



## サイプレスはインフィニオンテクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

### 文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

### 注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

## Programmable System-on-Chip

### 特長

- 1つの PSoC® (Programmable System-on-Chip) デバイス グループにおいて様々なリソース オプションあり
- 处理能力の高いハーバードアーキテクチャ プロセッサ
  - 最大 24MHz のクロックで動作する M8C プロセッサ
  - 8 × 8 乗算、32 ビット加算器
  - 高速で低消費電力
  - 動作電圧 : 3.0V ~ 5.25V
  - オンチップスイッチドモードポンプ (SMP) を使用して動作電圧を 1.5V まで低下可能
  - 産業用途向け温度範囲 : -40°C ~ +85°C
- 高度で再コンフィギュレーション可能なペリフェラル (PSoC ブロック)
  - 最大 12 個の Rail to Rail アナログ PSoC ブロックの特長 :
    - 最大 14 ビットの ADC
    - 最大 9 ビットの DAC
    - プログラム可能なゲインアンプ
    - プログラム可能なフィルターとコンパレータ
    - 複数の ADC コンフィギュレーション
    - 専用の SAR ADC、最大 142ksps でサンプルおよびホールド付き
    - 高度な用途向けの最大 4 個の同期型または独立型のデルタシグマ ADC
  - 最大 4 個の制約付き Type-E アナログ ブロックの特長 :
    - デュアル チャネルの静電容量センシング機能
    - プログラム可能な DAC リファレンスによるコンパレータ
    - 最大 10 ビットのシングル スロープ ADC
  - 最大 12 個のデジタル PSoC ブロックの特長 :
    - 8 ~ 32 ビット タイマーおよびカウンター、8 ビットと 16 ビットのパルス幅変調器 (PWM)
    - シフトレジスタ、CRC、PRS モジュール
    - 最大 3 個の全二重 UART
    - 最大 6 個の半二重 UART
    - 複数の可変データ長 SPI™ マスターまたはスレーブ
    - すべての GPIO に接続可能
  - ブロックの組み合わせで構成する複雑なペリフェラル
- プログラム可能な高精度クロック供給
  - ±2.5% の精度を持つ 24MHz または 48MHz の内部主振動子
  - 高精度オンチップクロック向けの任意の 32.768kHz 水晶振動子
  - 任意の最大 24MHz の外部振動子に対応
  - ウオッチドッグおよびスリープ機能用の内部低速低消費電力振動子
- 柔軟性のある内蔵メモリ
  - 50,000 回の消去と書き込みサイクルが可能な 16KB のフラッシュプログラムストレージ
  - 1KB の SRAM データストレージ
  - インシステムシリアルプログラミング (ISSP™)
  - フラッシュメモリの部分的な書き換えに対応
  - 柔軟性のある保護モード
  - フラッシュメモリによる EEPROM のエミュレーション
- プログラム可能なピン コンフィギュレーション

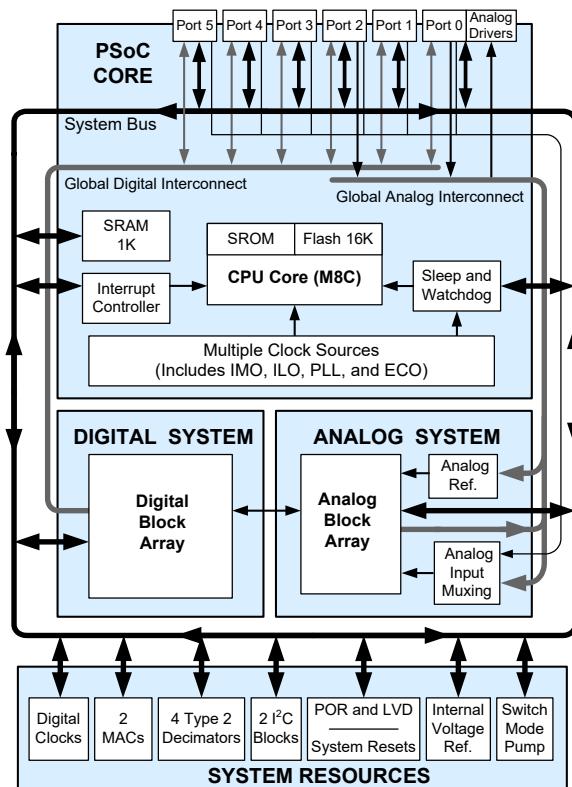
エラッタ : シリコンエラッタについては、86 ページの「エラッタ」を参照してください。詳細には、トリガ条件、影響を受けるデバイス、および提案された回避策が含まれます。

**Cypress Semiconductor Corporation**

文書番号 : 001-62938 Rev. \*D

- すべての GPIO で 25mA のシンクと 10mA の駆動能力を実現
- すべての GPIO で プルアップ、プルダウン、High-Z、ストロング、オープンドレインの各駆動モードに対応
- すべての GPIO で アナログ入力に対応
- GPIO で 30mA のアナログ出力を実現
- すべての GPIO で コンフィギュレーション可能な割込み
- 追加システムリソース
  - 最大 2 個のハードウェア I<sup>2</sup>C リソース
    - 各リソースにスレーブ、マスター、またはマルチマスターのモードを実装
    - 0 ~ 400kHz で動作
  - ウオッチドッグ タイマーおよびスリープ タイマー
  - ユーザーによりコンフィギュレーション可能な低電圧検出
  - 柔軟性のある内部リファレンス電圧
  - 内蔵の監視回路
  - 高精度のオンチップ リファレンス電圧
- 完全な開発ツール
  - 無償の開発ソフトウェア (PSoC Designer™)
  - 必要な機能を網羅したインサーキット エミュレータ、およびプログラマ
  - フルスピードのエミュレーション
  - 柔軟性のある機能的なブレークポイント構造
  - 128KB のトレース メモリ

### 論理ブロック図



• 198 Champion Court • San Jose, CA 95134-1709 • 408-943-2600

改訂日 2021 年 4 月 30 日

## 詳細情報

サイプレスは、[www.cypress.com](http://www.cypress.com) に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをします。リソースの総合リストについては、知識ベース記事「[How to Design with PSoC® 1, PowerPSoC®, and PLC – KBA88292](#)」を参照してください。以下は PSoC 1 の要約です。

- **概要**: PSoC ポートフォリオ、PSoC ロードマップ
  - **製品セレクタ** : [PSoC 1](#)、[PSoC 3](#)、[PSoC 4](#)、[PSoC 5LP](#)
  - さらに、PSoC Designer にはデバイス選択ツールが含まれます。
  - アプリケーションノート : サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の PSoC アプリケーションノートを提供しています。以下は PSoC 1 入門用の推薦アプリケーションノートです。
    - 「[Getting Started with PSoC® 1 – AN75320](#)」
    - 「[PSoC® 1 - Getting Started with GPIO – AN2094](#)」
    - 「[PSoC® 1 Analog Structure and Configuration – AN74170](#)」
    - 「[PSoC® 1 Switched Capacitor Analog Blocks – AN2041](#)」
    - 「[Selecting Analog Ground and Reference – AN2219](#)」
- 注**: CY8C28xxx デバイスに関するアプリケーションノートについては、[ここ](#)をクリックしてください。
- 開発キット**:
- [CY3210-PSoCEval1](#) は、CY8C25/26xxx デバイスを除いて、車載用デバイスを含むすべての PSoC 1 混在信号アレイファミリに対応します。このキットには、LCD モジュールやポテンショメーター、LED、ブレッドボードが含まれます。
  - [CY3214-PSoCEvalUSB](#) は、CY8C24x94 PSoC デバイスの開発用基板を備えます。この基板の特殊な特長には、USB および CapSense 開発とデバッグサポートが含まれます。
- 注**: CY8C28xxx デバイスに関する開発キットについては、[ここ](#)をクリックしてください。

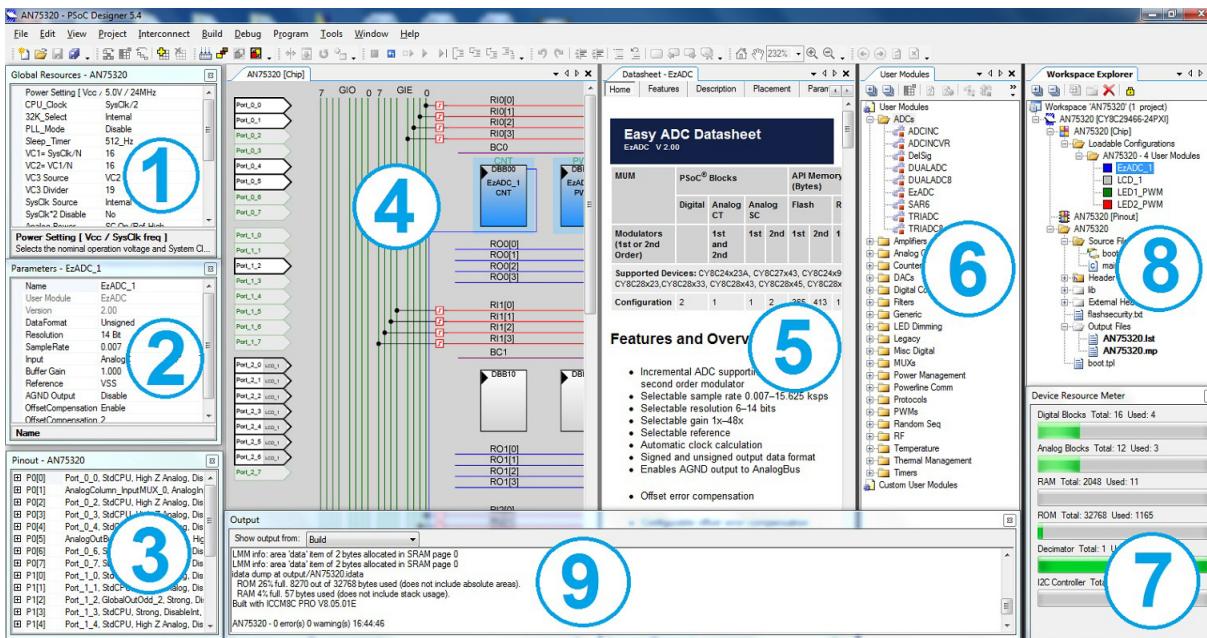
[MiniProg1](#) および [MiniProg3](#) デバイスは、フラッシュメモリのプログラミングとデバッグ用のインターフェースを提供します。

## PSoC Designer

PSoC Designer は無償の Windows ベースの統合設計環境(IDE)です。アプリケーション開発は、ドラッグ & ドロップの設計環境で特性化済みのアナログおよびデジタルペリフェラルのライブラリを使用して行われます。また、API ライブラリの動的生成が行えるコードを活用して、設計をカスタマイズすることも可能です。図 1 に PSoC Designer ウィンドウを示します。注: これはデフォルト画面ではありません。

1. **グローバルリソース** –すべてのデバイスハードウェアの設定
  2. **パラメーター** – 選択したユーザー モジュールのパラメータ
  3. **ピン配置** – デバイスのピンに関する情報
  4. **チップレベルエディター** – 選択したチップで使用可能リソースの図
  5. **データシート** – 選択したユーザー モジュールのデータシート
  6. **ユーザー モジュール** – 選択したデバイスのすべての使用可能なユーザー モジュール
  7. **デバイスリソースマスター** – 現時点のプロジェクトのコンフィギュレーション用のデバイスリソースの使用率
  8. **ワークスペース** – ツリー レベル図で表示されるプロジェクトに関するファイル
  9. **出力** – プロジェクトビルドおよびデバッグ処理からの出力
- 注**: PSoC Designer の詳細情報については、[PSoC® Designer > Help > Documentation > Designer Specific Documents > IDE User Guide](#) をご覧ください。

図 1. PSoC Designer のレイアウト



## 目次

|                             |    |
|-----------------------------|----|
| <b>PSoC の機能概要</b>           | 4  |
| PSoC コア                     | 4  |
| デジタル システム                   | 4  |
| アナログ システム                   | 5  |
| システム リソース                   | 8  |
| PSoC デバイスの特性                | 8  |
| <b>開発ツール</b>                | 10 |
| PSoC Designer ソフトウェア サブシステム | 10 |
| <b>PSoC Designer による設計</b>  | 10 |
| ユーザー モジュールの選択               | 11 |
| ユーザー モジュールをコンフィギュレーション      | 11 |
| 構成および接続                     | 11 |
| 生成、検証、およびデバッグ               | 11 |
| <b>ピン配置</b>                 | 12 |
| 20 ピン製品のピン配置                | 12 |
| 28 ピン製品のピン配置                | 13 |
| 44 ピン製品のピン配置                | 14 |
| 48 ピン製品のピン配置                | 15 |
| 56 ピン製品のピン配置                | 16 |
| <b>レジスタ リファレンス</b>          | 18 |
| レジスタの表記法                    | 18 |
| レジスタ マップ表                   | 18 |
| <b>電気的仕様</b>                | 33 |
| 絶対最大定格                      | 34 |
| 動作温度                        | 34 |
| DC 電気的特性                    | 35 |
| AC 電気的特性                    | 55 |
| <b>パッケージ情報</b>              | 68 |
| パッケージの寸法                    | 68 |
| 熱インピーダンス                    | 72 |

|                            |    |
|----------------------------|----|
| 水晶振動子ピンの静電容量               | 72 |
| はんだリフローの仕様                 | 72 |
| <b>開発ツールの選択</b>            | 73 |
| ソフトウェア                     | 73 |
| 開発キット                      | 73 |
| 評価ツール                      | 73 |
| デバイス プログラマ                 | 74 |
| アクセサリ (エミュレーションおよびプログラミング) | 74 |
| <b>注文情報</b>                | 75 |
| 注文コードの定義                   | 75 |
| <b>略語</b>                  | 76 |
| 使用する略語                     | 76 |
| <b>参考資料</b>                | 77 |
| <b>本書の表記法</b>              | 78 |
| 測定単位                       | 78 |
| 数値の表記                      | 78 |
| <b>用語集</b>                 | 78 |
| <b>エラッタ</b>                | 83 |
| 影響を受ける製品番号                 | 83 |
| 認定状態                       | 83 |
| エラッタのまとめ                   | 83 |
| <b>改訂履歴</b>                | 85 |
| <b>セールス、ソリューションおよび法律情報</b> | 86 |
| ワールドワイドな販売と設計サポート          | 86 |
| 製品                         | 86 |
| PSoC® ソリューション              | 86 |
| サイプレス開発者コミュニティ             | 86 |
| テクニカル サポート                 | 86 |

## PSoC の機能概要

PSoC ファミリは、オンチップコントローラーを備えた多くのデバイスから成ります。これらのデバイスは、従来の複数の MCU ベースシステム部品を低成本でプログラマブルなシングルチップで置き換えることを目的とします。PSoC デバイスは、コンフィギュレーション可能なアナログブロックとデジタルブロックおよび相互接続を備えます。このアーキテクチャによって、個々のアプリケーションの要件に合わせたペリフェラルコンフィギュレーションのカスタマイズが可能です。さらに、高速 CPU、フラッシュプログラムメモリ、SRAM データメモリ、およびコンフィギュレーション可能な I/O が、幅広い便利なピン配置とパッケージで提供されます。

本データシートで説明する CY8C28xxx グループの PSoC デバイスでは、複数のリソースコンフィギュレーションオプションが使用可能です。したがって、本データシートで説明するリソースはすべて CY8C28xxx サブグループで使用可能とはかぎりません。CY8C28x45 サブグループは、ここで説明するすべてのリソースの機能セットをすべて備えます。さらに 6 つの細分化したグループがあり、特定の用途に必要なリソースと機能のみを持つデバイスを設計段階で使用できます。

CY8C28xxx の各サブグループで使用可能なリソースについては、[9 ページの表 2](#) を参照してください。同様の情報は[注文情報](#)でも詳しく説明します。

**論理ブロック図**に示すように、この PSoC デバイスファミリーのアーキテクチャは 4 つの主要な領域で構成されます：PSoC コア、デジタルシステム、アナログシステム、システムリソース。コンフィギュレーション可能なグローバルバスにより、すべてのデバイスリソースを組み合わせて完全なカスタムシステムを構築できます。PSoC CY8C28xxx ファミリでは、グローバルデジタルとアナログの相互接続に接続する最大 6 個の I/O ポートが用意されており、最大 12 個のデジタルブロックと最大 16 個のアナログブロックへのアクセスが可能です。

## PSoC コア

PSoC コアは充実した機能セットを持つ高性能なエンジンです。このコアは CPU、メモリ、クロック、およびコンフィギュレーション可能な汎用 I/O (GPIO) を備えます。M8C CPU コアは最高 24MHz で動作する高性能プロセッサで、4MIPS 性能を持つ 8 ビットハーバードアーキテクチャのマイクロコントローラーを内蔵します。

メモリは、プログラムストレージ用の 16K バイトフラッシュと、データストレージ用の 1K バイト SRAM です。PSoC デバイスは、柔軟性のある各種内部クロックジェネレータを備えます。ジェネレータの一つは、広い範囲の温度と電圧にわたって ±2.5% の精度を発揮する 24MHz 内部主振動子 (IMO) です。スリープタイマーおよびウォッチドッグタイマー (WDT) 用に低消費電力の 32kHz 内部低速振動子 (ILO) が用意されます。32.768kHz の外部水晶振動子 (ECO) をリアルタイムクロック (RTC) として使用できるほか、必要に応じ、PLL を使用して水晶精度の高い 24MHz システムクロックを生成できます。

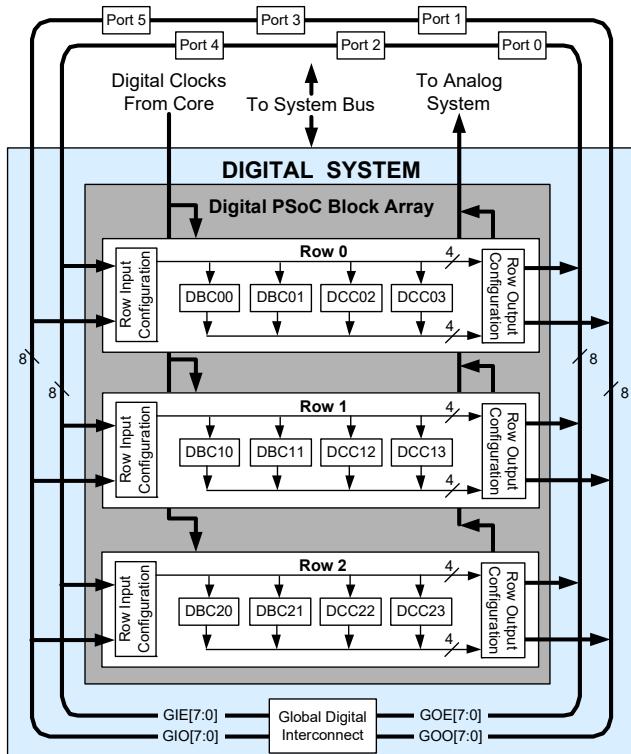
PSoC の GPIO は、CPU への接続、およびデジタルリソースとアナログリソースへの接続を提供します。各ピンの駆動モードは 8 つのオプションから選択でき、外部とのインターフェースを非常に柔軟に設定できます。また各ピンには、HIGH レベル、LOW レベル、および前回読み出し時からの変化に基づいてシステム割込みを発生する機能もあります。

## デジタルシステム

デジタルシステムは、最大 12 個のコンフィギュレーション可能なデジタル PSoC ブロックから構成されます。各ブロック

は 8 ビットのリソースであり、単独で使用できるほか、他のブロックと組み合わせ、ユーザー モジュールという 8 ビット、16 ビット、24 ビット、および 32 ビットのペリフェラルも構成できます。任意のピンに任意の信号を送れるグローバルバスを介して、どの GPIO にもデジタルブロックを接続できます。

図 2. デジタルシステムのブロック図<sup>[1]</sup>



デジタルペリフェラルのコンフィギュレーションには次のようなものがあります。

- PWM(8ビット、16ビット、ワンショットおよびマルチショット機能)
- デッドバンドとキル機能を備えた PWM(8 ビット、16 ビット)
- カウンター(8 ~ 32 ビット)
- タイマー(8 ~ 32 ビット)
- 選択可能なパリティを備えた全二重 8 ビット UART(最大 3 個)
- 選択可能なパリティを備えた半二重 8 ビット UART(最大 6 個)
- 可変長の SPI スレーブおよび SPI マスター
  - 最大で合計 6 個のスレーブおよびマスター(8 ビット)
  - 8 ~ 16 ビット演算のサポート
- I<sup>2</sup>C にスレーブ、マスター、またはマルチマスター(システムリソースとして最大 2 個が可能)
- IrDA(最大 3 個)
- 疑似乱数列発生器(8 ~ 32 ビット)
- CRC チェッカー/ジェネレータ(16 ビット)
- シフトレジスタ(2 ~ 32 ビット)

注：

1. CY8C28x52 デバイスには、デジタルブロック行 2 がありません。このデバイスには 2 本のデジタル行があり、デジタルブロックは合計で 8 個です。

## アナログ システム

アナログ システムは最大 16 個のコンフィギュレーション可能なアナログ ブロックで構成されます。アナログ ブロックごとにオペアンプ回路を持っており、複雑なアナログ信号フローを構築できます。この PSoC ファミリーのデバイスの中には、どの GPIO ピンにも接続可能なアナログ マルチプレクサ バスを持つものがあります。このバスをアナログ システムに接続し、コンパレータおよびアナログ - デジタル変換器による解析を行うこともできます。このバスを 2 個のセクションに分割してデュアル チャネルの同時処理が可能です。

一般的な PSoC アナログ機能として、以下のものがあります（ほとんどはユーザー モジュールとして提供されます）。

- アナログ - デジタル変換器(6 ~ 14 ビットの分解能で最大 4 個。インクリメンタルまたはデルタシグマを選択可能)
- 専用の 10 ビット SAR ADC。サンプリング速度最大 142ksps
- 同期型同時サンプリング デルタシグマ ADC (最大 4 個)
- フィルター (2 ~ 8 ポールのバンド パス、ローパス、およびノッチ)
- アンプ (最大 4 個、48xまでのゲインを選択可能)
- 計装用アンプ (最大 2 個、93xまでのゲインを選択可能)
- コンパレータ (最大 6 個、16 の閾値を選択可能)
- DAC (最大 4 個、6 ~ 9 ビットの分解能)
- 乗算型 DAC (最大 4 個、6 ~ 9 ビットの分解能)
- 大電流出力ドライバー (30mA 駆動能力で最大 4 個)
- 1.3V リファレンス電圧 (システム リソースとして可能)
- DTMF ダイヤラー
- 変調器
- 相関器
- ピーク検出器
- 他に多数のトポロジが可能

図 3. CY8C28x45 デバイスおよび CY8C28x52 デバイスのアナログ システム ブロック図

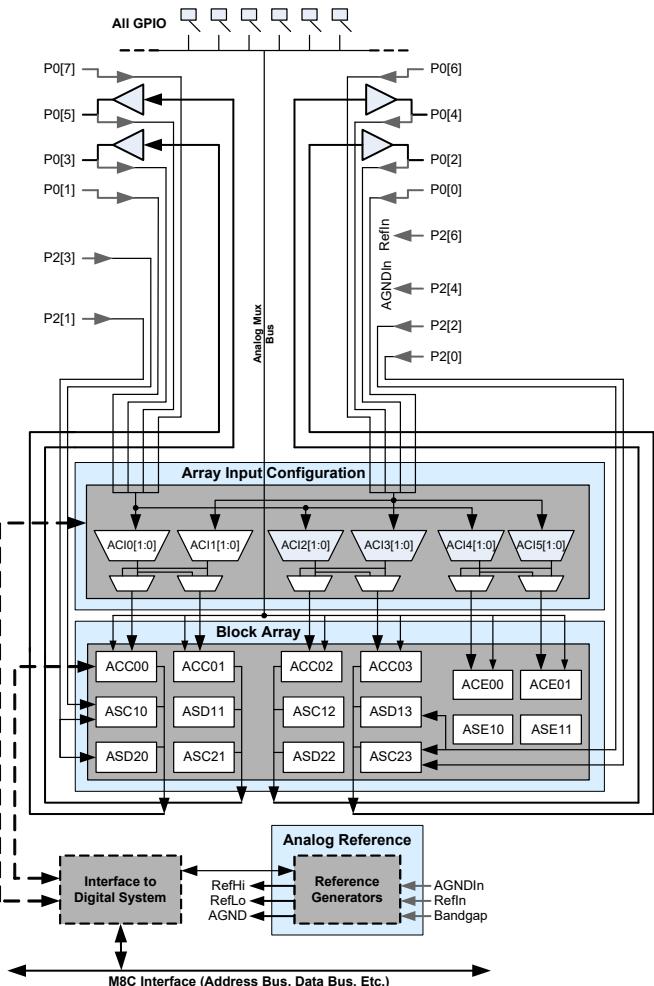


図4. CY8C28x43 デバイスのアナログ システム ブロック図

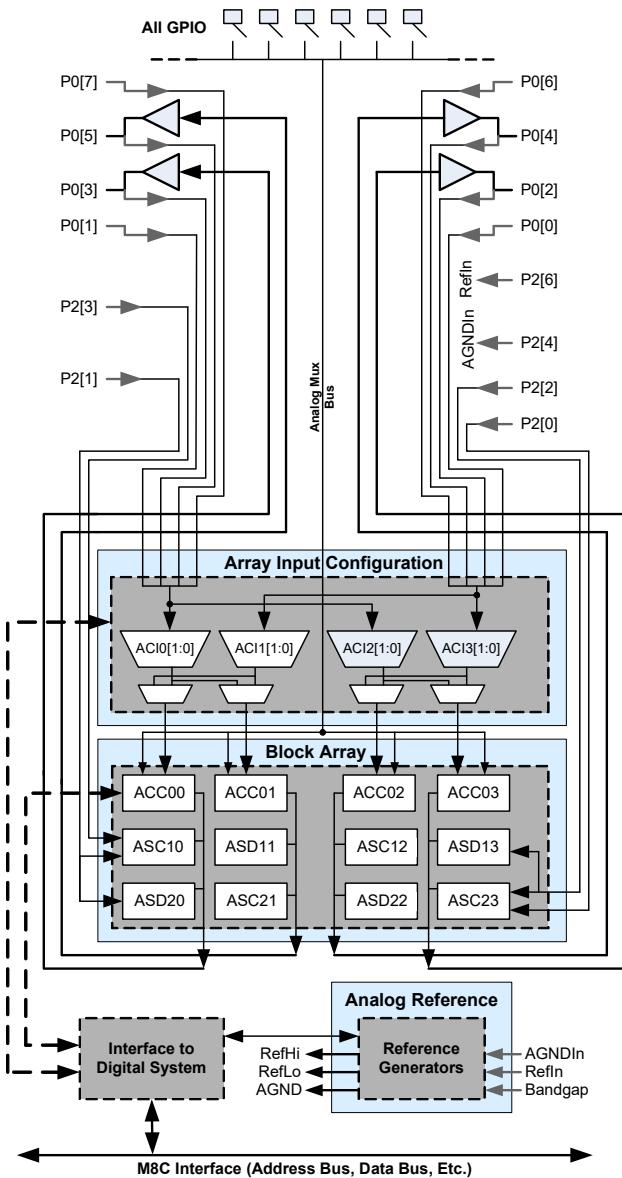


図5. CY8C28x33 デバイスのアナログ システム ブロック図

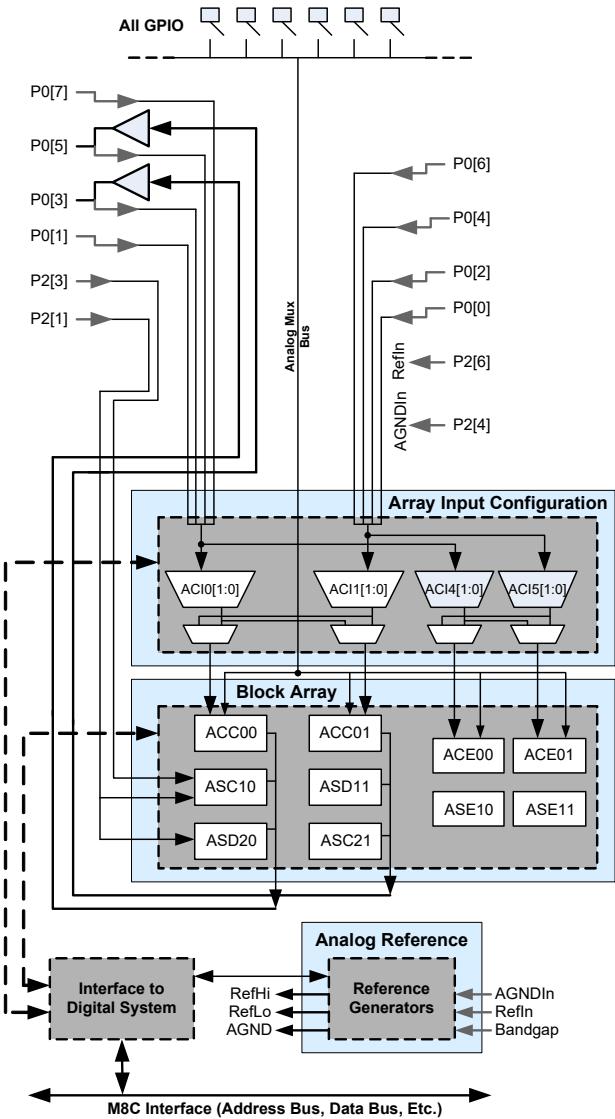


図6. CY8C28x23 デバイスのアナログ システム ブロック図

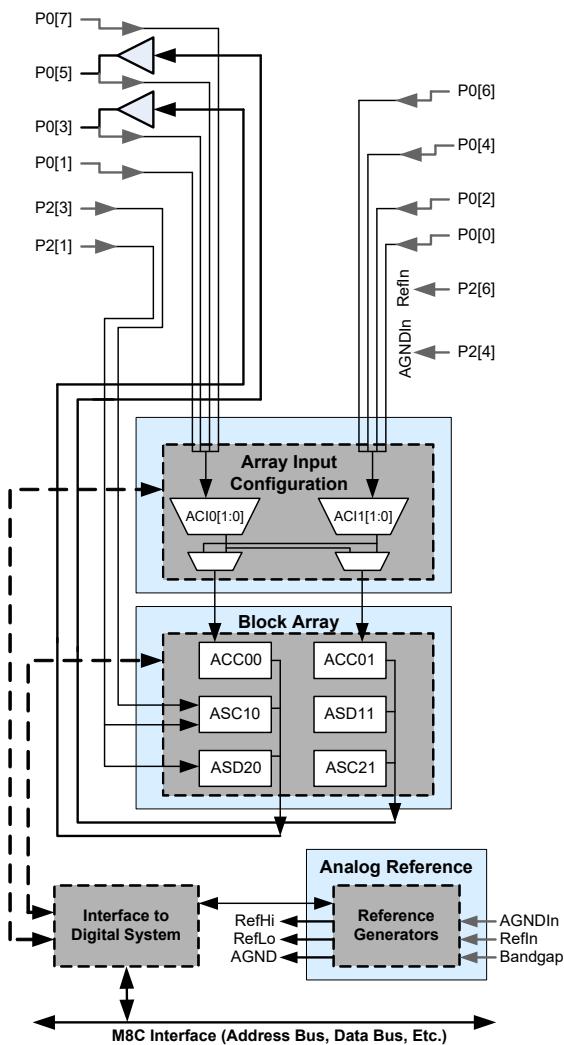
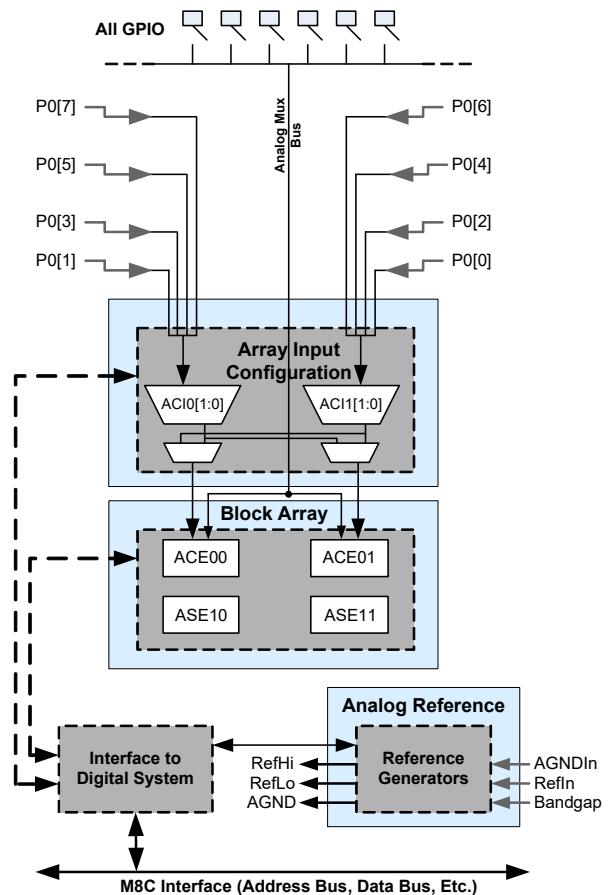


図7. CY8C28x13 デバイスのアナログ システム ブロック図



## システム リソース

システム リソースは、システムの構築に効果的な追加機能を提供します。一部のシステム リソースについては前の節でリストアップしました。この他の追加リソースとして、乗算器、複数のデシメータ、スイッチ モード ポンプ、低電圧検出、パワーオン リセットなどがあります。ここでは、各システム リソースの利点について説明します。

- デジタル クロック分周器は、各種用途向けにカスタマイズ可能な 3 種類のクロック周波数を提供します。このクロックは、デジタルとアナログ両方のシステムで使用できます。デジタル PSoC ブロックをクロック分周器として使用することで、さらに別のクロックを生成できます。
- 積和演算器(MAC)は、32ビットの積和演算を備えた高速8ビット乗算器を提供し、一般的な数学演算とデジタル フィルターを支援します。

## PSoC デバイスの特性

PSoC デバイスの特性に応じて、デジタル システムとアナログ システムは 16 個、8 個、または 4 個のデジタル ブロックと 12 個、6 個、または 4 個のアナログ ブロックを持っています。[表 1](#) は、特定の PSoC デバイス グループで使用可能なリソースの一覧を示します。本データ シートで説明されている PSoC デバイスはこの表でグレーの背景で表示されます。

表 1. PSoC デバイスの特性

| PSoC 製品番号  | デジタル I/O 数 | デジタル 行数 | デジタル ブロック数 | アナログ 入力数 | アナログ 出力数 | アナログ カラム数 | アナログ ブロック数          | SRAM サイズ | フラッシュ メモリサイズ |
|------------|------------|---------|------------|----------|----------|-----------|---------------------|----------|--------------|
| CY8C29x66  | 最大 64      | 4       | 16         | 最大 12    | 4        | 4         | 12                  | 2K       | 32K          |
| CY8C28xxx  | 最大 44      | 最大 3    | 最大 12      | 最大 44    | 最大 4     | 最大 6      | 最大 $12 + 4^{[2]}$   | 1K       | 16K          |
| CY8C27x43  | 最大 44      | 2       | 8          | 最大 12    | 4        | 4         | 12                  | 256      | 16K          |
| CY8C24x94  | 最大 56      | 1       | 4          | 最大 48    | 2        | 2         | 6                   | 1K       | 16K          |
| CY8C24x23A | 最大 24      | 1       | 4          | 最大 12    | 2        | 2         | 6                   | 256      | 4K           |
| CY8C23x33  | 最大 26      | 1       | 4          | 最大 12    | 2        | 2         | 4                   | 256      | 8K           |
| CY8C22x45  | 最大 38      | 2       | 8          | 最大 38    | 0        | 4         | 6 <sup>[2]</sup>    | 1K       | 16K          |
| CY8C21x45  | 最大 24      | 1       | 4          | 最大 24    | 0        | 4         | 6 <sup>[2]</sup>    | 512      | 8K           |
| CY8C21x34  | 最大 28      | 1       | 4          | 最大 28    | 0        | 2         | 4 <sup>[2]</sup>    | 512      | 8K           |
| CY8C21x23  | 最大 16      | 1       | 4          | 最大 8     | 0        | 2         | 4 <sup>[2]</sup>    | 256      | 4K           |
| CY8C20x34  | 最大 28      | 0       | 0          | 最大 28    | 0        | 0         | 3 <sup>[2, 3]</sup> | 512      | 8K           |
| CY8C20xx6  | 最大 36      | 0       | 0          | 最大 36    | 0        | 0         | 3 <sup>[2, 3]</sup> | 最大 2K    | 最大 32K       |

注 :

2. アナログ機能に制約あり。
3. 2 個のアナログ ブロックと 1 個の CapSense®。

本データシートの対象となっているすべてのデバイスは、アーキテクチャ、仕様、および定格が同一です。ただし、ハードウェアリソースの中には、グループ内のデバイスによって数量が異なるものもあります。次の表に、このデータシートの対象となっている各デバイス サブグループで使用可能なリソース数を示します。

**表 2. CY8C28xxx デバイスの特性**

| PSoC 製品番号 | CapSense | デジタルプロック数 | 通常アナログプロック数 | 制約付きアナログプロック数 | HW I <sup>2</sup> C 数 | デシメータ数 | デジタルI/O 数 | アナログ入力数 | アナログ出力数 | アナログマルチプレクサバス数 |
|-----------|----------|-----------|-------------|---------------|-----------------------|--------|-----------|---------|---------|----------------|
| CY8C28x03 | 無        | 12        | 0           | 0             | 2                     | 0      | 最大 24     | 最大 8    | 0       | 0              |
| CY8C28x13 | 有        | 12        | 0           | 4             | 1                     | 2      | 最大 40     | 最大 40   | 0       | 2              |
| CY8C28x23 | 無        | 12        | 6           | 0             | 2                     | 2      | 最大 44     | 最大 10   | 2       | 0              |
| CY8C28x33 | 有        | 12        | 6           | 4             | 1                     | 4      | 最大 40     | 最大 40   | 2       | 2              |
| CY8C28x43 | 無        | 12        | 12          | 0             | 2                     | 4      | 最大 44     | 最大 44   | 4       | 2              |
| CY8C28x45 | 有        | 12        | 12          | 4             | 2                     | 4      | 最大 44     | 最大 44   | 4       | 2              |
| CY8C28x52 | 有        | 8         | 12          | 4             | 1                     | 4      | 最大 24     | 最大 24   | 4       | 2              |

## 開発ツール

PSoC Designer は画期的な統合設計環境 (IDE) であり、特定のアプリケーション要件を満たすよう PSoC をカスタマイズすることができます。PSoC Designer ソフトウェアは、システム設計や市場投入までの時間を早めるお手伝いをいたします。ユーザー モジュールと呼ばれる予め用意されたアナログ ペリフェラルやデジタル ペリフェラルのライブラリを、ドラッグ & ドロップによる設計環境内で利用して独自のアプリケーションを開発できます。また、動的に生成されるアプリケーションプログラミング インターフェース (API) のコード ライブラリを活用しながら、設計をカスタマイズすることも可能です。そして、設計のデバッグおよびテストは、回路内エミュレーションや標準ソフトウェア デバッグ機能などを備えた統合デバッグ環境で行います。PSoC Designer には以下が含まれます。

- デバイス、ユーザー モジュール コンフィギュレーションおよびダイナミック リコンフィギュレーション向けのアプリケーション エディター グラフィカル ユーザー インターフェース (GUI)
- 広範なユーザー モジュール カタログ
- 統合ソース コード エディター (C およびアセンブリ言語)
- サイズ制限や使用期限のない無償の C コンパイラ
- 内蔵デバッガ
- インサーキット エミュレータ
- 通信インターフェースの組込みサポート機能は以下のとおりです。
  - ハードウェアおよびソフトウェア I<sup>2</sup>C スレーブとマスター
  - フルスピード USB 2.0
  - 最大 4 個の全二重汎用非同期レシーバー／トランスマッター (UART)、SPI マスターと SPI スレーブ、およびワイヤレス

PSoC Designer は、PSoC 1 デバイスの全ライブラリをサポートしており、Windows XP、Windows Vista、Windows 7 上で動作します。

## PSoC Designer ソフトウェア サブシステム

### デザインエントリ

まず、チップレベル ビューで対象の基本デバイスを選択します。次に、PSoC ブロックを使用するアナログとデジタルの各種オンボード コンポーネント (ユーザー モジュール) を選択します。ユーザー モジュールの例として、アナログ - デジタル 変換器 (ADC)、デジタル - アナログ変換器 (DAC)、アンプ、フィルターがあります。選択したアプリケーション向けにユーザー モジュールをコンフィギュレーションし、他のユーザー モジュールや適切なピンに接続します。その後、プロジェクトを生成します。それにより、アプリケーションのプログラミングに使用できる API とライブラリがプロジェクトに事前設定されます。

またこのツールを使用すると、マルチ コンフィギュレーションやダイナミック リコンフィギュレーション開発が容易になります。ダイナミック リコンフィギュレーションにより、実行中にコンフィギュレーションを変更できます。基本的に、この機能によって、1 つのアプリケーションで 100% 以上の PSoC リソースを使用できます。

### コード生成ツール

コード生成ツールは、PSoC Designer のインターフェースでシームレスに動作し、さまざまなデバッグ ツールでテスト済みです。C 言語、アセンブリ言語、または両方の組み合わせで設計を開発できます。

**アセンブリ**：アセンブリでは、アセンブリ コードを C コードとシームレスに組み合わせられます。リンク ライブラリでは、自動的に絶対アドレス指定を使用できるほか、相対モードでコンパイルした上で他のソフトウェア モジュールとリンクし、絶対アドレス指定も取得できます。

**C 言語コンパイラ**：PSoC ファミリのデバイスをサポートする C 言語コンパイラを利用できます。これらの製品を使用することで、PSoC ファミリ デバイス向けに完成した C プログラムを作成できます。これらの最適化 C コンパイラは、PSoC のアーキテクチャに合わせて設定した C 言語のすべての機能を提供します。コンパイラには、ポートとバスの動作、標準のキーパッドとディスプレイのサポート、および拡張演算機能を提供する組込みライブラリが付属します。

### デバッガ

PSoC Designer はハードウェアによる回路内のエミュレーション機能を提供するデバッグ環境を備えており、PSoC デバイスの内部状態を観察しながら実システムでプログラムに対してテストを行えます。デバッガ コマンドを使用して、データ メモリの読み出しとプログラム、データ メモリの読み書き、I/O レジスタの読み書きが可能です。また、CPU レジスタの読み書き、ブレークポイントの設定と消去、プログラムの実行、停止、およびステップ制御が可能です。また、調査対象のレジスタとメモリ位置のトレース バッファをデバッガでも作成できます。

### オンラインヘルプシステム

オンラインヘルプシステムでは、オンラインで状況に応じたヘルプが表示されます。それぞれの機能のサブシステムには固有状況に応じたヘルプがあり、操作手順のヘルプやクリックリファレンスとして使用できます。また、このヘルプシステムは設計者を支援するためのチュートリアル、FAQ とオンライン サポート フォーラムへのリンクを提供します。

### インサーキット エミュレータ

コストの低く、機能性の高いインサーキット エミュレータ (ICE) が開発作業をサポートするために用意されます。このハードウェアは単独のデバイスをプログラムできます。

エミュレータは、USB ポートを介して PC に接続する 1 つの基本ユニットで構成されます。この基本ユニットは汎用型で、すべての PSoC デバイスで動作します。各デバイス ファミリのエミュレーション ポッドは、それぞれ別々に用意されます。エミュレーション ポッドは、作業対象の基板上の PSoC デバイスと置き換わり、全速 (24MHz) で動作します。

## PSoC Designerによる設計

PSoC デバイスの開発プロセスは、従来の機能固定のマイクロプロセッサの開発プロセスとは異なります。コンフィギュレーション可能なアナログとデジタルハードウェア ブロックは PSoC アーキテクチャに独特の柔軟性をもたらし、開発時の仕様変更の管理や在庫費用の削減に役立ちます。これらのコンフィギュレーション可能なリソースは PSoC ブロックと呼ばれ、ユーザーが選択可能なさまざまな機能を実装できます。PSoC 開発プロセスは次のとおりです。

1. ユーザー モジュールの選択
2. ユーザー モジュールのコンフィギュレーション
3. 構成および接続
4. 生成、検証、およびデバッグ

### ユーザー モジュールの選択

PSoC Designer は、あらかじめ構築され、テスト済みのハードウェア周辺コンポーネント（ユーザー モジュールと呼ばれる）のライブラリを備えます。ユーザー モジュールにより、アナログとデジタル両方の周辺デバイスの選択と実装を簡素化できます。

### ユーザー モジュールをコンフィギュレーション

選択した各ユーザー モジュールにより、選択した機能を実装する基本的なレジスタ設定を確立できます。また、コンポーネントの適格なコンフィギュレーションを特定のアプリケーションに合わせるようにするパラメータとプロパティも提供されます。例えば PWM ユーザー モジュールでは、1 個以上のデジタル PSoC ブロックをそれぞれが 8 ビット分解能を持つようコンフィギュレーションします。これらのパラメーターを使って、パルス幅とデューティ比を設定できます。選択したアプリケーションに対応するようパラメーターとプロパティをコンフィギュレーションします。値は直接入力することも、ドロップダウンメニューから選択することもできます。すべてのユーザー モジュールはデータシートに文書化され、PSoC Designer またはサイプレスのウェブサイトで直接確認できます。ユーザー モジュール データシートには、ユーザー モジュールの内部動作に関する説明と性能仕様が記載されます。

また、各データシートにはユーザー モジュールの各パラメーターの使用方法や、デザインを適切に実装するために必要なその他の情報もまとめられています。

### 構成および接続

ユーザー モジュールを他のモジュールおよび I/O ピンに相互接続することによって、チップ レベルで信号チェーンを構築できます。すべてのオンチップ リソースを完全に制御できるように、選択、コンフィギュレーション、およびルーティングを行います。

### 生成、検証、およびデバッグ

ハードウェアのコンフィギュレーションのテスト、またはプロジェクトのコード開発の準備ができたら、「コンフィギュレーション ファイルの生成」手順を実行します。このステップで PSoC Designer によって生成されるソース コードは、仕様に合わせてデバイスを自動的にコンフィギュレーションし、システム用のソフトウェアを提供します。生成されたコードは、実行時に発生するハードウェアイベントの制御とそれに対する応答を実現する高レベル API、および必要に応じて修正して使用できる割込みサービス ルーチンを提供します。

高い完成度のコード開発環境により、C、アセンブリ、または両方の言語を使用したアプリケーションの開発とカスタマイズが可能です。

開発プロセスの最後のステップは、PSoC Designer のデバッガ内で進めます（Connect アイコンをクリックしてアクセスします）。PSoC Designer によって HEX イメージが ICE にダウンロードされ、フルスピードで実行されます。PSoC Designer のデバッグ機能は、何倍も高価なデバッグ システムの機能に匹敵します。デバッグ インターフェースは、シングル ステップ実行、ブレークポイントまでの実行、変数値の追跡などの従来からの機能のほか、大容量のトレース バッファを備えます。アドレスとデータ バス値の監視、メモリ位置の監視、外部信号の監視などの複雑なブレークポイント イベントを定義できます。

## ピン配置

本節では、CY8C28xxx PSoC デバイスのピン一覧およびピン配置について、表と図と共に説明します。

CY8C28xxx PSoC デバイスは様々なパッケージで提供します。各パッケージについては次の表に示します。すべてのポート ピン（「P」というラベルが付けられた）は、デジタル I/O 機能を備えます。しかし、V<sub>SS</sub>、V<sub>DD</sub>、SMP および XRES はデジタル I/O 機能を備えません。

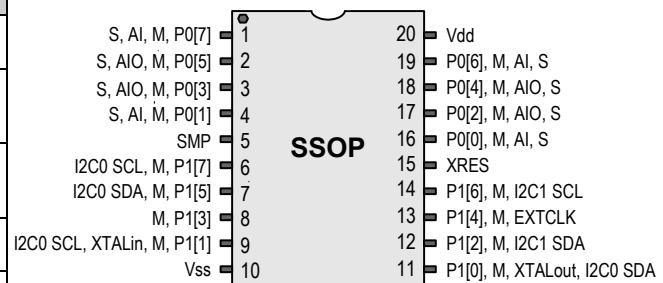
### 20 ピン製品のピン配置

表 3. 20 ピン製品 (SSOP) のピン配置

| ピン番号 | タイプ  |         | ピン名             | 説明  |
|------|------|---------|-----------------|---|
|      | デジタル | アナログ    |                 |   |
| 1    | I/O  | I、M、S   | P0[7]           | アナログ カラム マルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>                   |
| 2    | I/O  | I/O、M、S | P0[5]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 <sup>[5, 6]</sup>     |
| 3    | I/O  | I/O、M、S | P0[3]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 <sup>[5, 6]</sup>     |
| 4    | I/O  | I、M、S   | P0[1]           | アナログ カラム マルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>                   |
| 5    | 出力   |         | SMP             | 外部部品に接続するスイッチ モード ポンプ (SMP)                                     |
| 6    | I/O  | M       | P1[7]           | I2C0 シリアル クロック (SCL)  |
| 7    | I/O  | M       | P1[5]           | I2C0 シリアル データ (SDA)   |
| 8    | I/O  | M       | P1[3]           |   |
| 9    | I/O  | M       | P1[1]           | 水晶振動子入力 (XTALin)、I2C0 シリアル クロック (SCL)、ISSP-SCLK <sup>[4]</sup>  |
| 10   | 電源   |         | V <sub>SS</sub> | グランドに接続   |
| 11   | I/O  | M       | P1[0]           | 水晶振動子出力 (XTALout)、I2C0 シリアル データ (SDA)、ISSP-SDATA <sup>[4]</sup> |
| 12   | I/O  | M       | P1[2]           | I2C1 シリアル データ (SDA) <sup>[7]</sup>                              |
| 13   | I/O  | M       | P1[4]           | オプションの外部クロック入力 (EXTCLK)   |
| 14   | I/O  | M       | P1[6]           | I2C1 シリアル クロック (SCL) <sup>[7]</sup>                             |
| 15   | 入力   |         | XRES            | 内部でブルダウントされている、アクティブ HIGH の外部リセット                               |
| 16   | I/O  | I、M、S   | P0[0]           | アナログ カラム マルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>                   |
| 17   | I/O  | I/O、M、S | P0[2]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 <sup>[5, 8]</sup>     |
| 18   | I/O  | I/O、M、S | P0[4]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 <sup>[5, 8]</sup>     |
| 19   | I/O  | I、M、S   | P0[6]           | アナログ カラム マルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>                   |
| 20   | 電源   |         | V <sub>DD</sub> | 電源電圧  |

凡例 : A = アナログ、I = 入力、O = 出力、S = SAR ADC 入力、M = アナログ マルチプレクサ バス入力。

CY8C28243 20 ピン PSoC デバイス



#### 注 :

4. これらは ISSP ピンであり、POR (パワーオン リセット) の時に High-Z なりません。詳細については、CY8C28xxx PSoC デバイスの PSoC テクニカル リファレンス マニュアルを参照してください。
5. CY8C28x52 と CY8C28x23 デバイスは SAR ADC を備えません。したがって、このピンは、これらのデバイスでは SAR ADC 入力としては機能しません。
6. CY8C28x13 および CY8C28x03 デバイスは、どのアナログ出力バッファも備えません。したがって、このピンは、これらのデバイスではアナログ列出力として機能しません。
7. CY8C28x52, CY8C28x13 および CY8C28x03 デバイスは、1 個のみの I2C ブロックを備えます。したがって、この GPIO は、これらのデバイスでは I2C ピンとして機能しません。
8. CY8C28x33, CY8C28x23, CY8C28x13、および CY8C28x03 デバイスは、このピン用のアナログ出力バッファを持ちません。したがって、このピンは、これらのデバイスではアナログ カラム出力として機能しません。

## 28 ピン製品のピン配置

表 4. 28 ピン製品 (SSOP) のピン配置

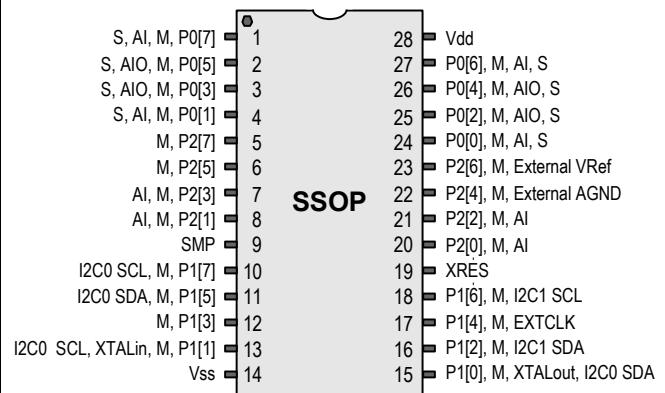
| ピン番号 | タイプ  |         | ピン名             | 説明  |
|------|------|---------|-----------------|---|
|      | デジタル | アナログ    |                 |   |
| 1    | I/O  | I、M、S   | P0[7]           | アナログ カラム マルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>                   |
| 2    | I/O  | I/O、M、S | P0[5]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 <sup>[5, 6]</sup>     |
| 3    | I/O  | I/O、M、S | P0[3]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 <sup>[5, 6]</sup>     |
| 4    | I/O  | I、M、S   | P0[1]           | アナログ カラム マルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>                   |
| 5    | I/O  | M       | P2[7]           |   |
| 6    | I/O  | M       | P2[5]           |   |
| 7    | I/O  | I、M     | P2[3]           | スイッチトキャパシタ ブロックの直接入力 <sup>[9]</sup>                             |
| 8    | I/O  | I、M     | P2[1]           | スイッチトキャパシタ ブロックの直接入力 <sup>[9]</sup>                             |
| 9    | 出力   |         | SMP             | 外部部品に接続するスイッチ モード ポンプ (SMP)                                     |
| 10   | I/O  | M       | P1[7]           | I2C0 シリアル クロック (SCL)  |
| 11   | I/O  | M       | P1[5]           | I2C0 シリアル データ (SDA)   |
| 12   | I/O  | M       | P1[3]           |   |
| 13   | I/O  | M       | P1[1]           | 水晶振動子入力 (XTALin)、I2C0 シリアル クロック (SCL)、ISSP-SCLK <sup>[4]</sup>  |
| 14   | 電源   |         | V <sub>SS</sub> | グランドに接続   |
| 15   | I/O  | M       | P1[0]           | 水晶振動子出力 (XTALout)、I2C0 シリアル データ (SDA)、ISSP-SDATA <sup>[4]</sup> |
| 16   | I/O  | M       | P1[2]           | I2C1 シリアル データ (SDA) <sup>[7]</sup>                              |
| 17   | I/O  | M       | P1[4]           | オプションの外部クロック入力 (EXTCLK)   |
| 18   | I/O  | M       | P1[6]           | I2C1 シリアル クロック (SCL) <sup>[7]</sup>                             |
| 19   | 入力   |         | XRES            | 内部でプルダウンされている、アクティブ HIGH の外部リセット                                |
| 20   | I/O  | I、M     | P2[0]           | スイッチトキャパシタ ブロックの直接入力 <sup>[10]</sup>                            |
| 21   | I/O  | I、M     | P2[2]           | スイッチトキャパシタ ブロックの直接入力 <sup>[10]</sup>                            |
| 22   | I/O  | M       | P2[4]           | 外部アナログ グランド (AGND)  |
| 23   | I/O  | M       | P2[6]           | 外部リファレンス電圧 (VRef)   |
| 24   | I/O  | I、M、S   | P0[0]           | アナログ カラム マルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>                   |
| 25   | I/O  | I/O、M、S | P0[2]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 <sup>[5, 8]</sup>     |
| 26   | I/O  | I/O、M、S | P0[4]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 <sup>[5, 8]</sup>     |
| 27   | I/O  | I、M、S   | P0[6]           | アナログ カラム マルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>                   |
| 28   | 電源   |         | V <sub>DD</sub> | 電源電圧  |

凡例 : A = アナログ、I = 入力、O = 出力、S = SAR ADC 入力、M = アナログ マルチプレクサ バス入力。

注 :

9. このピンは、CY8C28x03 および CY8C28x13 デバイスでは、スイッチトキャパシタ ブロックの直接アナログ入力ではありません。
10. このピンは、CY8C28x03、CY8C28x13、CY8C28x23 および CY8C28x33 デバイスでは、スイッチトキャパシタ ブロックの直接アナログ入力ではありません。

CY8C28403、CY8C28413、CY8C28433、CY8C28445、  
CY8C28452 28 ピン PSoC デバイス



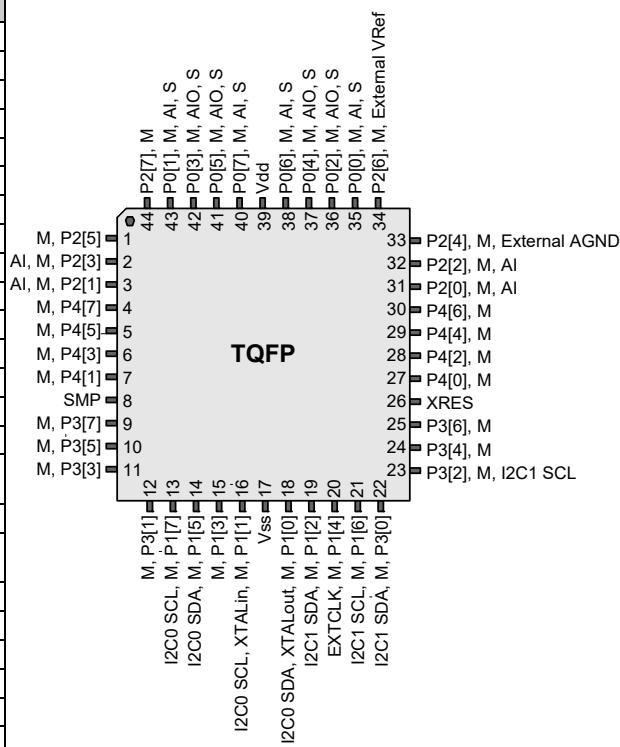
## 44 ピン製品のピン配置

表 5. 44 ピン製品 (TQFP) のピン配置

| ピン番号 | タイプ  | ピン名             | 説明   |
|------|------|-----------------|--|
|      | デジタル | アナログ            |  |
| 1    | I/O  | M               | P2[5]  |
| 2    | I/O  | I、M             | P2[3]  |
| 3    | I/O  | I、M             | P2[1]  |
| 4    | I/O  | M               | P4[7]  |
| 5    | I/O  | M               | P4[5]  |
| 6    | I/O  | M               | P4[3]  |
| 7    | I/O  | M               | P4[1]  |
| 8    | 出力   | SMP             | 外部部品に接続するスイッチモードポンプ (SMP)  |
| 9    | I/O  | M               | P3[7]  |
| 10   | I/O  | M               | P3[5]  |
| 11   | I/O  | M               | P3[3]  |
| 12   | I/O  | M               | P3[1]  |
| 13   | I/O  | M               | P1[7]  |
|      |      |                 | I <sub>2</sub> C0 シリアルクロック (SCL)   |
| 14   | I/O  | M               | P1[5]  |
|      |      |                 | I <sub>2</sub> C0 シリアルデータ (SDA)  |
| 15   | I/O  | M               | P1[3]  |
| 16   | I/O  | M               | P1[1]  |
|      |      |                 | 水晶振動子入力 (XTAL <sub>in</sub> )、I <sub>2</sub> C0 シリアルクロック (SCL)、ISSP-SCLK <sup>[4]</sup>  |
| 17   | 電源   | V <sub>SS</sub> | グランドに接続  |
| 18   | I/O  | M               | P1[0]  |
|      |      |                 | 水晶振動子出力 (XTAL <sub>out</sub> )、I <sub>2</sub> C0 シリアルデータ (SDA)、ISSP-SDATA <sup>[4]</sup> |
| 19   | I/O  | M               | P1[2]  |
|      |      |                 | I <sub>2</sub> C1 シリアルデータ (SDA) <sup>[7]</sup>   |
| 20   | I/O  | M               | P1[4]  |
|      |      |                 | オプションの外部クロック入力 (EXTCLK)  |
| 21   | I/O  | M               | P1[6]  |
|      |      |                 | I <sub>2</sub> C1 シリアルクロック (SCL) <sup>[7]</sup>  |
| 22   | I/O  | M               | P3[0]  |
|      |      |                 | I <sub>2</sub> C1 シリアルデータ (SDA) <sup>[7]</sup>   |
| 23   | I/O  | M               | P3[2]  |
|      |      |                 | I <sub>2</sub> C1 シリアルクロック (SCL) <sup>[7]</sup>  |
| 24   | I/O  | M               | P3[4]  |
| 25   | I/O  | M               | P3[6]  |
| 26   | 入力   | XRES            | 内部でプルダウンされている、アクティブ HIGH の外部リセット   |
| 27   | I/O  | M               | P4[0]  |
| 28   | I/O  | M               | P4[2]  |
| 29   | I/O  | M               | P4[4]  |
| 30   | I/O  | M               | P4[6]  |
| 31   | I/O  | I、M             | P2[0]  |
|      |      |                 | スイッチトキャパシタブロックの直接入力 <sup>[10]</sup>  |
| 32   | I/O  | I、M             | P2[2]  |
|      |      |                 | スイッチトキャパシタブロックの直接入力 <sup>[10]</sup>  |
| 33   | I/O  | M               | P2[4]  |
|      |      |                 | 外部アナロググランド (AGND)  |
| 34   | I/O  | M               | P2[6]  |
|      |      |                 | 外部リファレンス電圧 (VRef)  |
| 35   | I/O  | I、M、S           | P0[0]  |
|      |      |                 | アナログカラムマルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>  |
| 36   | I/O  | I/O、M、S         | P0[2]  |
|      |      |                 | アナログカラムマルチプレクサおよび SAR ADC 入力。アナログカラム出力 <sup>[5、8]</sup>                                  |
| 37   | I/O  | I/O、M、S         | P0[4]  |
|      |      |                 | アナログカラムマルチプレクサおよび SAR ADC 入力。アナログカラム出力 <sup>[5、8]</sup>                                  |
| 38   | I/O  | I、M、S           | P0[6]  |
|      |      |                 | アナログカラムマルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>  |
| 39   | 電源   | V <sub>DD</sub> | 電源電圧   |
| 40   | I/O  | I、M、S           | P0[7]  |
|      |      |                 | アナログカラムマルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>  |
| 41   | I/O  | I/O、M、S         | P0[5]  |
|      |      |                 | アナログカラムマルチプレクサおよび SAR ADC 入力。アナログカラム出力 <sup>[5、6]</sup>                                  |
| 42   | I/O  | I/O、M、S         | P0[3]  |
|      |      |                 | アナログカラムマルチプレクサおよび SAR ADC 入力。アナログカラム出力 <sup>[5、6]</sup>                                  |
| 43   | I/O  | I、M、S           | P0[1]  |
|      |      |                 | アナログカラムマルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>  |
| 44   | I/O  |                 | P2[7]  |

凡例 : A = アナログ、I = 入力、O = 出力、S = SAR ADC 入力、M = アナログマルチプレクサバス入力。

CY8C28513 および CY8C28545  
48 ピン PSoC デバイス



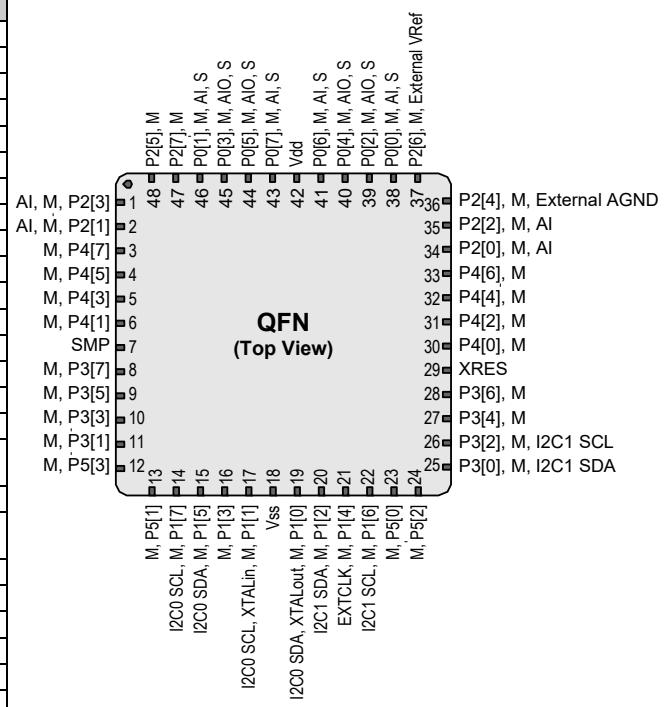
## 48 ピン製品のピン配置

表 6. 48 ピン製品 (QFN<sup>[1]</sup>) のピン配置

| ピン番号 |     | タイプ             | ピン名   | 説明   |
|------|-----|-----------------|-------|--|
|      |     | デジタル            | アナログ  |  |
| 1    | I/O | I, M            | P2[3] | スイッチト キャパシタ ブロックの直接入力 <sup>[9]</sup>                           |
| 2    | I/O | I, M            | P2[1] | スイッチト キャパシタ ブロックの直接入力 <sup>[9]</sup>                           |
| 3    | I/O | M               | P4[7] |  |
| 4    | I/O | M               | P4[5] |  |
| 5    | I/O | M               | P4[3] |  |
| 6    | I/O | M               | P4[1] |  |
| 7    | 出力  | SMP             |       | 外部部品に接続するスイッチ モード ポンプ (SMP)                                    |
| 8    | I/O | M               | P3[7] |  |
| 9    | I/O | M               | P3[5] |  |
| 10   | I/O | M               | P3[3] |  |
| 11   | I/O | M               | P3[1] |  |
| 12   | I/O | M               | P5[3] |  |
| 13   | I/O | M               | P5[1] |  |
| 14   | I/O | M               | P1[7] | I2C0 シリアルクロック (SCL)  |
| 15   | I/O | M               | P1[5] | I2C0 シリアルデータ (SDA)   |
| 16   | I/O | M               | P1[3] |  |
| 17   | I/O | M               | P1[1] | 水晶振動子入力 (XTALin)、I2C0 シリアルクロック (SCL)、ISSP-SCLK <sup>[4]</sup>  |
| 18   | 電源  | V <sub>SS</sub> |       | グランドに接続  |
| 19   | I/O | M               | P1[0] | 水晶振動子出力 (XTALout)、I2C0 シリアルデータ (SDA)、ISSP-SDATA <sup>[4]</sup> |
| 20   | I/O | M               | P1[2] | I2C1 シリアルデータ (SDA) <sup>[7]</sup>                              |
| 21   | I/O | M               | P1[4] | オプションの外部クロック入力 (EXTCLK)  |
| 22   | I/O | M               | P1[6] | I2C1 シリアルクロック (SCL) <sup>[7]</sup>                             |
| 23   | I/O | M               | P5[0] |  |
| 24   | I/O | M               | P5[2] |  |
| 25   | I/O | M               | P3[0] | I2C1 シリアルデータ (SDA) <sup>[7]</sup>                              |
| 26   | I/O | M               | P3[2] | I2C1 シリアルクロック (SCL) <sup>[7]</sup>                             |
| 27   | I/O | M               | P3[4] |  |
| 28   | I/O | M               | P3[6] |  |
| 29   | 入力  | XRES            |       | 内部でプルダウンされたアクティブ HIGH の外部リセット                                  |
| 30   | I/O | M               | P4[0] |  |
| 31   | I/O | M               | P4[2] |  |
| 32   | I/O | M               | P4[4] |  |
| 33   | I/O | M               | P4[6] |  |
| 34   | I/O | I, M            | P2[0] | スイッチト キャパシタ ブロックの直接入力 <sup>[10]</sup>                          |
| 35   | I/O | I, M            | P2[2] | スイッチト キャパシタ ブロックの直接入力 <sup>[10]</sup>                          |
| 36   | I/O | M               | P2[4] | 外部アナロググランド (AGND)  |
| 37   | I/O | M               | P2[6] | 外部リファレンス電圧 (VRef)  |
| 38   | I/O | I, M, S         | P0[0] | アナログカラムマルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>                    |
| 39   | I/O | I/O, M, S       | P0[2] | アナログカラムマルチプレクサおよび SAR ADC 入力。アナログカラム出力 <sup>[5, 8]</sup>       |
| 40   | I/O | I/O, M, S       | P0[4] | アナログカラムマルチプレクサおよび SAR ADC 入力。アナログカラム出力 <sup>[5, 8]</sup>       |

凡例 : A = アナログ、I = 入力、O = 出力、S = SAR ADC 入力、M = アナログマルチプレクサバス入力。

CY8C28623, CY8C28643, CY8C28645  
48 ピン PSoC デバイス



| ピン番号 |     | タイプ       | ピン名             | 説明   |
|------|-----|-----------|-----------------|--|
|      |     | デジタル      | アナログ            |  |
| 41   | I/O | I, M, S   | P0[6]           | アナログカラムマルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>              |
| 42   |     | 電源        | V <sub>DD</sub> | 電源電圧   |
| 43   | I/O | I, M, S   | P0[7]           | アナログカラムマルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>              |
| 44   | I/O | I/O, M, S | P0[5]           | アナログカラムマルチプレクサおよび SAR ADC 入力。アナログカラム出力 <sup>[5, 6]</sup> |
| 45   | I/O | I/O, M, S | P0[3]           | アナログカラムマルチプレクサおよび SAR ADC 入力。アナログカラム出力 <sup>[5, 6]</sup> |
| 46   | I/O | I, M, S   | P0[1]           | アナログカラムマルチプレクサおよび SAR ADC 入力 <sup>[5]</sup>              |
| 47   | I/O | M         | P2[7]           |  |
| 48   | I/O | M         | P2[5]           |  |

注 :

11. QFN パッケージは、グランドに接続する必要があるセンター パッドを持ちます (V<sub>SS</sub>)。

## 56 ピン製品のピン配置

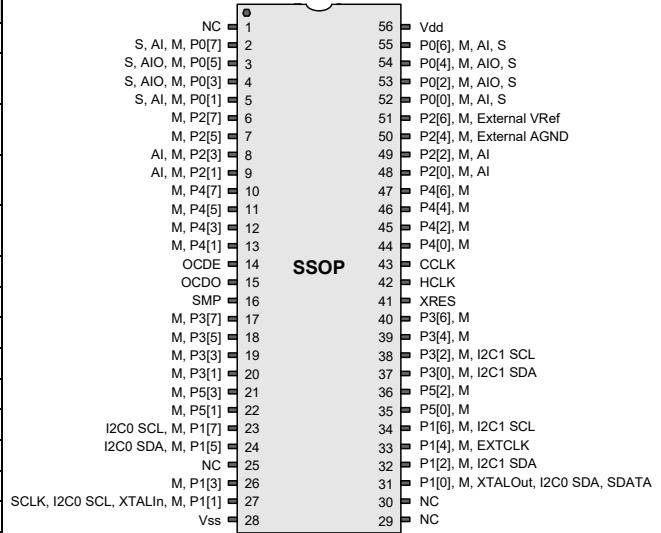
56 ピン SSOP 製品は、CY8C28000 オンチップ デバッグ (OCD) PSoC デバイス用です。

注：この製品は、インサーキット デバッグのみに使用されます。量産製品用としては提供されません。

表 7. 56 ピン製品 (SSOP) のピン配置

| ピン番号 | タイプ  |           | ピン名             | 説明   |
|------|------|-----------|-----------------|--|
|      | デジタル | アナログ      |                 |  |
| 1    |      |           | NC              | 未接続  |
| 2    | I/O  | I, M, S   | P0[7]           | アナログ カラム マルチプレクサおよび SAR ADC 入力                                 |
| 3    | I/O  | I/O, M, S | P0[5]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力                      |
| 4    | I/O  | I/O, M, S | P0[3]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力                      |
| 5    | I/O  | I, M, S   | P0[1]           | アナログ カラム マルチプレクサおよび SAR ADC 入力                                 |
| 6    | I/O  | M         | P2[7]           |  |
| 7    | I/O  | M         | P2[5]           |  |
| 8    | I/O  | I         | P2[3]           | スイッチト キャバシタ ブロックの直接入力  |
| 9    | I/O  | I         | P2[1]           | スイッチト キャバシタ ブロックの直接入力  |
| 10   | I/O  | M         | P4[7]           |  |
| 11   | I/O  | M         | P4[5]           |  |
| 12   | I/O  | I, M      | P4[3]           |  |
| 13   | I/O  | I, M      | P4[1]           |  |
| 14   | OCD  | M         | OCDE            | OCD 偶数データ I/O  |
| 15   | OCD  | M         | OCDO            | OCD 奇数データ出力  |
| 16   | 出力   |           | SMP             | 必要な外部部品に接続するスイッチ モード ポンプ (SMP)                                 |
| 17   | I/O  | M         | P3[7]           |  |
| 18   | I/O  | M         | P3[5]           |  |
| 19   | I/O  | M         | P3[3]           |  |
| 20   | I/O  | M         | P3[1]           |  |
| 21   | I/O  | M         | P5[3]           |  |
| 22   | I/O  | M         | P5[1]           |  |
| 23   | I/O  | M         | P1[7]           | I2C0 シリアルクロック (SCL)  |
| 24   | I/O  | M         | P1[5]           | I2C0 シリアルデータ (SDA)   |
| 25   | NC   |           | NC              | 未接続  |
| 26   | I/O  | M         | P1[3]           |  |
| 27   | I/O  | M         | P1[1]           | 水晶振動子入力 (XTALin)、I2C0 シリアルクロック (SCL)、ISSP-SCLK <sup>[4]</sup>  |
| 28   | 電源   |           | V <sub>SS</sub> | グランドに接続  |
| 29   | NC   |           | NC              | 未接続  |
| 30   | NC   |           | NC              | 未接続  |
| 31   | I/O  | M         | P1[0]           | 水晶振動子出力 (XTALout)、I2C0 シリアルデータ (SDA)、ISSP-SDATA <sup>[4]</sup> |
| 32   | I/O  | M         | P1[2]           | I2C1 シリアルデータ (SDA)   |
| 33   | I/O  | M         | P1[4]           | オプションの外部クロック入力 (EXTCLK)  |
| 34   | I/O  | M         | P1[6]           | I2C1 シリアルクロック (SCL)  |
| 35   | I/O  | M         | P5[0]           |  |
| 36   | I/O  | M         | P5[2]           |  |
| 37   | I/O  | M         | P3[0]           | I2C1 シリアルデータ (SDA)   |
| 38   | I/O  | M         | P3[2]           | I2C1 シリアルクロック (SCL)  |
| 39   | I/O  | M         | P3[4]           |  |
| 40   | I/O  | M         | P3[6]           |  |

## CY8C28000 56 ピン PSoC デバイス



量産用ではない

**表 7. 56 ピン製品 (SSOP) のピン配置 ( 続き )**

| ピン番号 | タイプ  |         | ピン名             | 説明  |
|------|------|---------|-----------------|---|
|      | デジタル | アナログ    |                 |   |
| 41   | 入力   |         | XRES            | 内部でプルダウンされたアクティブ HIGH の外部リセット             |
| 42   | OCD  | M       | HCLK            | OCD 高速クロック出力                              |
| 43   | OCD  | M       | CCLK            | OCD CPU クロック出力                            |
| 44   | I/O  | M       | P4[0]           |   |
| 45   | I/O  | M       | P4[2]           |   |
| 46   | I/O  | M       | P4[4]           |   |
| 47   | I/O  | M       | P4[6]           |   |
| 48   | I/O  | I、M     | P2[0]           | スイッチト キャバシタ ブロックの直接入力                     |
| 49   | I/O  | I、M     | P2[2]           | スイッチト キャバシタ ブロックの直接入力                     |
| 50   | I/O  | M       | P2[4]           | 外部アナログ グラウンド (AGND)                       |
| 51   | I/O  | M       | P2[6]           | 外部リファレンス電圧 (VRef)                         |
| 52   | I/O  | I、M、S   | P0[0]           | アナログ カラム マルチプレクサおよび SAR ADC 入力            |
| 53   | I/O  | I/O、M、S | P0[2]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 |
| 54   | I/O  | I/O、M、S | P0[4]           | アナログ カラム マルチプレクサおよび SAR ADC 入力。アナログ カラム出力 |
| 55   | I/O  | I、M、S   | P0[6]           | アナログ カラム マルチプレクサおよび SAR ADC 入力            |
| 56   | 電源   |         | V <sub>DD</sub> | 電源電圧                                      |

凡例 : A = アナログ、I = 入力、O = 出力、S = SAR ADC 入力、M = アナログ マルチプレクサ バス入力、OCD = オンチップ デバッグ。

## レジスタ リファレンス

ここでは、CY8C28xxx PSoC デバイスのレジスター一覧を示します。レジスタの詳細については、CY8C28xxx PSoC デバイスの PSoC テクニカル リファレンス マニュアルを参照してください。

### レジスタの表記法

次の表に、ここで使用しているレジスタの表記法を示します。

| 表記法 | 説明               |
|-----|------------------|
| R   | 読み出しレジスタまたはビット   |
| W   | 書き込みレジスタまたはビット   |
| L   | 論理レジスタまたはビット     |
| C   | クリア可能なレジスタまたはビット |
| #   | アクセスはビット固有       |

### レジスタ マップ表

CY8C28xxx PSoC デバイスには、全部で 512 バイトのレジスタ アドレス空間があります。このレジスタ空間は I/O 空間と呼ばれ、2 つのバンクに分割されます。フラグ レジスタ (CPU\_F) の XIO ビットで、CPU の命令がどのレジスタ バンクにアクセスするか決まります。XIO ビットがセットされた場合、CPU 命令はバンク 1 のレジスタにアクセスします。XIO ビットがクリアされた場合、CPU 命令はバンク 0 のレジスタにアクセスします。

注：次のレジスタ マップ表では、空白のフィールドは予約されており、アクセスしてはなりません。

**表8. CY8C28x03 のバンク 0 のレジスタ マップ表 : ユーザー空間**

| 名前       | アドレス(0, 16進) | アクセス | 名前       | アドレス(0, 16進) | アクセス | 名前       | アドレス(0, 16進) | アクセス | 名前        | アドレス(0, 16進) | アクセス |
|----------|--------------|------|----------|--------------|------|----------|--------------|------|-----------|--------------|------|
| PRT0DR   | 00           | RW   | DBC20DR0 | 40           | #    |          | 80           |      | RDI2RI    | C0           | RW   |
| PRT0IE   | 01           | RW   | DBC20DR1 | 41           | W    |          | 81           |      | RDI2SYN   | C1           | RW   |
| PRT0GS   | 02           | RW   | DBC20DR2 | 42           | RW   |          | 82           |      | RDI2IS    | C2           | RW   |
| PRT0DM2  | 03           | RW   | DBC21CR0 | 43           | #    |          | 83           |      | RDI2LT0   | C3           | RW   |
| PRT1DR   | 04           | RW   | DBC21DR0 | 44           | #    |          | 84           |      | RDI2LT1   | C4           | RW   |
| PRT1IE   | 05           | RW   | DBC21DR1 | 45           | W    |          | 85           |      | RDI2RO0   | C5           | RW   |
| PRT1GS   | 06           | RW   | DBC21DR2 | 46           | RW   |          | 86           |      | RDI2RO1   | C6           | RW   |
| PRT1DM2  | 07           | RW   | DBC21CR0 | 47           | #    |          | 87           |      | RDI2DSM   | C7           | RW   |
| PRT2DR   | 08           | RW   | DCC22DR0 | 48           | #    |          | 88           |      |           | C8           |      |
| PRT2IE   | 09           | RW   | DCC22DR1 | 49           | W    |          | 89           |      |           | C9           |      |
| PRT2GS   | 0A           | RW   | DCC22DR2 | 4A           | RW   |          | 8A           |      |           | CA           |      |
| PRT2DM2  | 0B           | RW   | DCC22CR0 | 4B           | #    |          | 8B           |      |           | CB           |      |
| PRT3DR   | 0C           | RW   | DCC23DR0 | 4C           | #    |          | 8C           |      |           | CC           |      |
| PRT3IE   | 0D           | RW   | DCC23DR1 | 4D           | W    |          | 8D           |      |           | CD           |      |
| PRT3GS   | 0E           | RW   | DCC23DR2 | 4E           | RW   |          | 8E           |      |           | CE           |      |
| PRT3DM2  | 0F           | RW   | DCC23CR0 | 4F           | #    |          | 8F           |      |           | CF           |      |
| PRT4DR   | 10           | RW   |          | 50           |      |          | 90           |      | CUR_PP    | D0           | RW   |
| PRT4IE   | 11           | RW   |          | 51           |      |          | 91           |      | STK_PP    | D1           | RW   |
| PRT4GS   | 12           | RW   |          | 52           |      |          | 92           |      |           | D2           |      |
| PRT4DM2  | 13           | RW   |          | 53           |      |          | 93           |      | IDX_PP    | D3           | RW   |
| PRT5DR   | 14           | RW   |          | 54           |      |          | 94           |      | MVR_PP    | D4           | RW   |
| PRT5IE   | 15           | RW   |          | 55           |      |          | 95           |      | MVW_PP    | D5           | RW   |
| PRT5GS   | 16           | RW   |          | 56           |      |          | 96           |      | I2C0_CFG  | D6           | RW   |
| PRT5DM2  | 17           | RW   |          | 57           |      |          | 97           |      | I2C0_SCR  | D7           | #    |
|          | 18           |      |          | 58           |      |          | 98           |      | I2C0_DR   | D8           | RW   |
|          | 19           |      |          | 59           |      |          | 99           |      | I2C0_MSCR | D9           | #    |
|          | 1A           |      |          | 5A           |      |          | 9A           |      | INT_CLR0  | DA           | RW   |
|          | 1B           |      |          | 5B           |      |          | 9B           |      | INT_CLR1  | DB           | RW   |
|          | 1C           |      |          | 5C           |      |          | 9C           |      | INT_CLR2  | DC           | RW   |
|          | 1D           |      |          | 5D           |      |          | 9D           |      | INT_CLR3  | DD           | RW   |
|          | 1E           |      |          | 5E           |      |          | 9E           |      | INT_MSK3  | DE           | RW   |
|          | 1F           |      |          | 5F           |      |          | 9F           |      | INT_MSK2  | DF           | RW   |
| DBC00DR0 | 20           | #    |          | 60           |      |          | A0           |      | INT_MSK0  | E0           | RW   |
| DBC00DR1 | 21           | W    |          | 61           |      |          | A1           |      | INT_MSK1  | E1           | RW   |
| DBC00DR2 | 22           | RW   |          | 62           |      |          | A2           |      | INT_VC    | E2           | RC   |
| DBC00CR0 | 23           | #    |          | 63           |      |          | A3           |      | RES_WDT   | E3           | W    |
| DBC01DR0 | 24           | #    |          | 64           |      |          | A4           |      | I2C1_SCR  | E4           | #    |
| DBC01DR1 | 25           | W    |          | 65           |      |          | A5           |      | I2C1_MSCR | E5           | #    |
| DBC01DR2 | 26           | RW   |          | 66           |      |          | A6           |      |           | E6           |      |
| DBC01CR0 | 27           | #    | I2C1_DR  | 67           | RW   |          | A7           |      |           | E7           |      |
| DCC02DR0 | 28           | #    |          | 68           |      | MUL1_X   | A8           | W    | MUL0_X    | E8           | W    |
| DCC02DR1 | 29           | W    |          | 69           |      | MUL1_Y   | A9           | W    | MUL0_Y    | E9           | W    |
| DCC02DR2 | 2A           | RW   | SADC_DH  | 6A           | RW   | MUL1_DH  | AA           | R    | MUL0_DH   | EA           | R    |
| DCC02CR0 | 2B           | #    | SADC_DL  | 6B           | RW   | MUL1_DL  | AB           | R    | MUL0_DL   | EB           | R    |
| DCC03DR0 | 2C           | #    | TMP_DR0  | 6C           | RW   | ACC1_DR1 | AC           | RW   | ACC0_DR1  | EC           | RW   |
| DCC03DR1 | 2D           | W    | TMP_DR1  | 6D           | RW   | ACC1_DR0 | AD           | RW   | ACC0_DR0  | ED           | RW   |
| DCC03DR2 | 2E           | RW   | TMP_DR2  | 6E           | RW   | ACC1_DR3 | AE           | RW   | ACC0_DR3  | EE           | RW   |
| DCC03CR0 | 2F           | #    | TMP_DR3  | 6F           | RW   | ACC1_DR2 | AF           | RW   | ACC0_DR2  | EF           | RW   |
| DBC10DR0 | 30           | #    |          | 70           |      | RDI0RI   | B0           | RW   |           | F0           |      |
| DBC10DR1 | 31           | W    |          | 71           |      | RDI0SYN  | B1           | RW   |           | F1           |      |
| DBC10DR2 | 32           | RW   |          | 72           |      | RDI0IS   | B2           | RW   |           | F2           |      |
| DBC10CR0 | 33           | #    |          | 73           |      | RDI0LT0  | B3           | RW   |           | F3           |      |
| DBC11DR0 | 34           | #    |          | 74           |      | RDI0LT1  | B4           | RW   |           | F4           |      |
| DBC11DR1 | 35           | W    |          | 75           |      | RDI0RO0  | B5           | RW   |           | F5           |      |
| DBC11DR2 | 36           | RW   |          | 76           |      | RDI0RO1  | B6           | RW   |           | F6           |      |
| DBC11CR0 | 37           | #    |          | 77           |      | RDI0DSM  | B7           | RW   | CPU_F     | F7           | RL   |
| DCC12DR0 | 38           | #    |          | 78           |      | RDI1RI   | B8           | RW   |           | F8           |      |
| DCC12DR1 | 39           | W    |          | 79           |      | RDI1SYN  | B9           | RW   |           | F9           |      |
| DCC12DR2 | 3A           | RW   |          | 7A           |      | RDI1IS   | BA           | RW   |           | FA           |      |
| DCC12CR0 | 3B           | #    |          | 7B           |      | RDI1LT0  | BB           | RW   |           | FB           |      |
| DCC13DR0 | 3C           | #    |          | 7C           |      | RDI1LT1  | BC           | RW   |           | FC           |      |
| DCC13DR1 | 3D           | W    |          | 7D           |      | RDI1RO0  | BD           | RW   |           | FD           |      |
| DCC13DR2 | 3E           | RW   |          | 7E           |      | RDI1RO1  | BE           | RW   | CPU_SCR1  | FE           | #    |
| DCC13CR0 | 3F           | #    |          | 7F           |      | RDI1DSM  | BF           | RW   | CPU_SCR0  | FF           | #    |

空白のフィールドは予約されているため、アクセスしてはいけない

# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表9. CY8C28x03 のバンク 1 のレジスタ マップ表：コンフィギュレーション空間**

| 名前       | アドレス(1、16進) | アクセス | 名前         | アドレス(1、16進) | アクセス | 名前          | アドレス(1、16進) | アクセス | 名前        | アドレス(1、16進) | アクセス |
|----------|-------------|------|------------|-------------|------|-------------|-------------|------|-----------|-------------|------|
| PRT0DM0  | 00          | RW   | DBC20FN    | 40          | RW   |             | 80          |      | RDI2RI    | C0          | RW   |
| PRT0DM1  | 01          | RW   | DBC20IN    | 41          | RW   | SADC_TSCMPL | 81          | RW   | RDI2SYN   | C1          | RW   |
| PRT0IC0  | 02          | RW   | DBC20OU    | 42          | RW   | SADC_TSCMPH | 82          | RW   | RDI2IS    | C2          | RW   |
| PRT0IC1  | 03          | RW   | DBC21CR1   | 43          | RW   |             | 83          |      | RDI2LT0   | C3          | RW   |
| PRT1DM0  | 04          | RW   | DBC21FN    | 44          | RW   |             | 84          |      | RDI2LT1   | C4          | RW   |
| PRT1DM1  | 05          | RW   | DBC21IN    | 45          | RW   |             | 85          |      | RDI2R00   | C5          | RW   |
| PRT1IC0  | 06          | RW   | DBC21OU    | 46          | RW   |             | 86          |      | RDI2R01   | C6          | RW   |
| PRT1IC1  | 07          | RW   | DBC21CR1   | 47          | RW   |             | 87          |      | RDI2DSM   | C7          | RW   |
| PRT2DM0  | 08          | RW   | DCC22FN    | 48          | RW   |             | 88          |      |           | C8          |      |
| PRT2DM1  | 09          | RW   | DCC22IN    | 49          | RW   |             | 89          |      |           | C9          |      |
| PRT2IC0  | 0A          | RW   | DCC22OU    | 4A          | RW   |             | 8A          |      |           | CA          |      |
| PRT2IC1  | 0B          | RW   | DCC22CR1   | 4B          | RW   |             | 8B          |      |           | CB          |      |
| PRT3DM0  | 0C          | RW   | DCC23FN    | 4C          | RW   |             | 8C          |      |           | CC          |      |
| PRT3DM1  | 0D          | RW   | DCC23IN    | 4D          | RW   |             | 8D          |      |           | CD          |      |
| PRT3IC0  | 0E          | RW   | DCC23OU    | 4E          | RW   |             | 8E          |      |           | CE          |      |
| PRT3IC1  | 0F          | RW   | DCC23CR1   | 4F          | RW   |             | 8F          |      |           | CF          |      |
| PRT4DM0  | 10          | RW   |            | 50          |      |             | 90          |      | GDI_O_IN  | D0          | RW   |
| PRT4DM1  | 11          | RW   |            | 51          |      |             | 91          |      | GDI_E_IN  | D1          | RW   |
| PRT4IC0  | 12          | RW   |            | 52          |      |             | 92          |      | GDI_O_OU  | D2          | RW   |
| PRT4IC1  | 13          | RW   |            | 53          |      |             | 93          |      | GDI_E_OU  | D3          | RW   |
| PRT5DM0  | 14          | RW   |            | 54          |      |             | 94          |      |           | D4          |      |
| PRT5DM1  | 15          | RW   |            | 55          |      |             | 95          |      |           | D5          |      |
| PRT5IC0  | 16          | RW   |            | 56          |      |             | 96          |      |           | D6          |      |
| PRT5IC1  | 17          | RW   |            | 57          |      |             | 97          |      |           | D7          |      |
|          | 18          |      |            | 58          |      |             | 98          |      |           | D8          |      |
|          | 19          |      |            | 59          |      |             | 99          |      |           | D9          |      |
|          | 1A          |      |            | 5A          |      |             | 9A          |      |           | DA          |      |
|          | 1B          |      |            | 5B          |      |             | 9B          |      |           | DB          |      |
|          | 1C          |      |            | 5C          |      |             | 9C          |      |           | DC          |      |
|          | 1D          |      |            | 5D          |      |             | 9D          |      | OSC_GO_EN | DD          | RW   |
|          | 1E          |      |            | 5E          |      |             | 9E          |      | OSC_CR4   | DE          | RW   |
|          | 1F          |      |            | 5F          |      |             | 9F          |      | OSC_CR3   | DF          | RW   |
| DBC00FN  | 20          | RW   |            | 60          |      | GDI_O_IN_CR | A0          | RW   | OSC_CR0   | E0          | RW   |
| DBC00IN  | 21          | RW   |            | 61          |      | GDI_E_IN_CR | A1          | RW   | OSC_CR1   | E1          | RW   |
| DBC00OU  | 22          | RW   |            | 62          |      | GDI_O_OU_CR | A2          | RW   | OSC_CR2   | E2          | RW   |
| DBC00CR1 | 23          | RW   |            | 63          |      | GDI_E_OU_CR | A3          | RW   | VLT_CR    | E3          | RW   |
| DBC01FN  | 24          | RW   |            | 64          |      | RTC_H       | A4          | RW   | VLT_CMP   | E4          | RW   |
| DBC01IN  | 25          | RW   |            | 65          |      | RTC_M       | A5          | RW   |           | E5          |      |
| DBC01OU  | 26          | RW   |            | 66          |      | RTC_S       | A6          | RW   |           | E6          |      |
| DBC01CR1 | 27          | RW   |            | 67          |      | RTC_CR      | A7          | RW   |           | E7          |      |
| DCC02FN  | 28          | RW   |            | 68          |      | SADC_CR0    | A8          | RW   | IMO_TR    | E8          | RW   |
| DCC02IN  | 29          | RW   |            | 69          |      | SADC_CR1    | A9          | RW   | ILO_TR    | E9          | RW   |
| DCC02OU  | 2A          | RW   |            | 6A          |      | SADC_CR2    | AA          | RW   | BDG_TR    | EA          | RW   |
| DCC02CR1 | 2B          | RW   | I2C1_CFG   | 6B          | RW   | SADC_CR3    | AB          | RW   | ECO_TR    | EB          | RW   |
| DCC03FN  | 2C          | RW   | TMP_DR0    | 6C          | RW   | SADC_CR4    | AC          | RW   |           | EC          |      |
| DCC03IN  | 2D          | RW   | TMP_DR1    | 6D          | RW   | I2C0_ADDR   | AD          | RW   |           | ED          |      |
| DCC03OU  | 2E          | RW   | TMP_DR2    | 6E          | RW   | I2C1_ADDR   | AE          | RW   |           | EE          |      |
| DCC03CR1 | 2F          | RW   | TMP_DR3    | 6F          | RW   | AMUX_CLK    | AF          | RW   |           | EF          |      |
| DBC10FN  | 30          | RW   |            | 70          |      | RDI0RI      | B0          | RW   |           | F0          |      |
| DBC10IN  | 31          | RW   | SADC_TSCR0 | 71          | RW   | RDI0SYN     | B1          | RW   |           | F1          |      |
| DBC10OU  | 32          | RW   | SADC_TSCR1 | 72          | RW   | RDI0IS      | B2          | RW   |           | F2          |      |
| DBC10CR1 | 33          | RW   |            | 73          |      | RDI0LT0     | B3          | RW   |           | F3          |      |
| DBC11FN  | 34          | RW   |            | 74          |      | RDI0LT1     | B4          | RW   |           | F4          |      |
| DBC11IN  | 35          | RW   |            | 75          |      | RDI0R00     | B5          | RW   |           | F5          |      |
| DBC11OU  | 36          | RW   |            | 76          |      | RDI0R01     | B6          | RW   |           | F6          |      |
| DBC11CR1 | 37          | RW   |            | 77          |      | RDI0DSM     | B7          | RW   | CPU_F     | F7          | RL   |
| DCC12FN  | 38          | RW   |            | 78          |      | RDI1RI      | B8          | RW   |           | F8          |      |
| DCC12IN  | 39          | RW   |            | 79          |      | RDI1SYN     | B9          | RW   |           | F9          |      |
| DCC12OU  | 3A          | RW   |            | 7A          |      | RDI1IS      | BA          | RW   | FLS_PR1   | FA          | RW   |
| DCC12CR1 | 3B          | RW   |            | 7B          |      | RDI1LT0     | BB          | RW   |           | FB          |      |
| DCC13FN  | 3C          | RW   |            | 7C          |      | RDI1LT1     | BC          | RW   |           | FC          |      |
| DCC13IN  | 3D          | RW   |            | 7D          |      | RDI1R00     | BD          | RW   |           | FD          |      |
| DCC13OU  | 3E          | RW   |            | 7E          |      | RDI1R01     | BE          | RW   | CPU_SCR1  | FE          | #    |
| DCC13CR1 | 3F          | RW   |            | 7F          |      | RDI1DSM     | BF          | RW   | CPU_SCR0  | FF          | #    |

空白のフィールドは予約されているため、アクセスしてはいけない

# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 10. CY8C28x13 のバンク 0 のレジスタ マップ表：ユーザー空間**

| 名前       | アドレス (0..16進) | アクセス | 名前       | アドレス (0..16進) | アクセス | 名前       | アドレス (0..16進) | アクセス | 名前        | アドレス (0..16進) | アクセス |
|----------|---------------|------|----------|---------------|------|----------|---------------|------|-----------|---------------|------|
| PRT0DR   | 00            | RW   | DBC20DR0 | 40            | #    |          | 80            |      | RDI2RI    | C0            | RW   |
| PRT0IE   | 01            | RW   | DBC20DR1 | 41            | W    |          | 81            |      | RDI2SYN   | C1            | RW   |
| PRT0GS   | 02            | RW   | DBC20DR2 | 42            | RW   |          | 82            |      | RDI2IS    | C2            | RW   |
| PRT0DM2  | 03            | RW   | DBC21CR0 | 43            | #    |          | 83            |      | RDI2LT0   | C3            | RW   |
| PRT1DR   | 04            | RW   | DBC21DR0 | 44            | #    |          | 84            |      | RDI2LT1   | C4            | RW   |
| PRT1IE   | 05            | RW   | DBC21DR1 | 45            | Ω    |          | 85            |      | RDI2RO0   | C5            | RW   |
| PRT1GS   | 06            | RW   | DBC21DR2 | 46            | RW   |          | 86            |      | RDI2RO1   | C6            | RW   |
| PRT1DM2  | 07            | RW   | DBC21CR0 | 47            | #    |          | 87            |      | RDI2DSM   | C7            | RW   |
| PRT2DR   | 08            | RW   | DCC22DR0 | 48            | #    |          | 88            |      |           | C8            |      |
| PRT2IE   | 09            | RW   | DCC22DR1 | 49            | W    |          | 89            |      |           | C9            |      |
| PRT2GS   | 0A            | RW   | DCC22DR2 | 4A            | RW   |          | 8A            |      |           | CA            |      |
| PRT2DM2  | 0B            | RW   | DCC22CR0 | 4B            | #    |          | 8B            |      |           | CB            |      |
| PRT3DR   | 0C            | RW   | DCC23DR0 | 4C            | #    |          | 8C            |      |           | CC            |      |
| PRT3IE   | 0D            | RW   | DCC23DR1 | 4D            | W    |          | 8D            |      |           | CD            |      |
| PRT3GS   | 0E            | RW   | DCC23DR2 | 4E            | RW   |          | 8E            |      |           | CE            |      |
| PRT3DM2  | 0F            | RW   | DCC23CR0 | 4F            | #    |          | 8F            |      |           | CF            |      |
| PRT4DR   | 10            | RW   |          | 50            |      |          | 90            |      | CUR_PP    | D0            | RW   |
| PRT4IE   | 11            | RW   |          | 51            |      |          | 91            |      | STK_PP    | D1            | RW   |
| PRT4GS   | 12            | RW   |          | 52            |      |          | 92            |      |           | D2            |      |
| PRT4DM2  | 13            | RW   |          | 53            |      |          | 93            |      | IDX_PP    | D3            | RW   |
| PRT5DR   | 14            | RW   |          | 54            |      |          | 94            |      | MVR_PP    | D4            | RW   |
| PRT5IE   | 15            | RW   |          | 55            |      |          | 95            |      | MVW_PP    | D5            | RW   |
| PRT5GS   | 16            | RW   |          | 56            |      |          | 96            |      | I2C0_CFG  | D6            | RW   |
| PRT5DM2  | 17            | RW   |          | 57            |      |          | 97            |      | I2C0_SCR  | D7            | #    |
|          | 18            |      |          | 58            |      |          | 98            |      | I2C0_DR   | D8            | RW   |
|          | 19            |      |          | 59            |      |          | 99            |      | I2C0_MSCR | D9            | #    |
|          | 1A            |      |          | 5A            |      |          | 9A            |      | INT_CLR0  | DA            | RW   |
|          | 1B            |      |          | 5B            |      |          | 9B            |      | INT_CLR1  | DB            | RW   |
|          | 1C            |      |          | 5C            |      |          | 9C            |      | INT_CLR2  | DC            | RW   |
|          | 1D            |      |          | 5D            |      |          | 9D            |      | INT_CLR3  | DD            | RW   |
|          | 1E            |      |          | 5E            |      |          | 9E            |      | INT_MSK3  | DE            | RW   |
|          | 1F            |      |          | 5F            |      |          | 9F            |      | INT_MSK2  | DF            | RW   |
| DBC00DR0 | 20            | #    |          | 60            |      | DEC0_DH  | A0            | RC   | INT_MSK0  | E0            | RW   |
| DBC00DR1 | 21            | W    | AMUX_CFG | 61            | RW   | DEC0_DL  | A1            | RC   | INT_MSK1  | E1            | RW   |
| DBC00DR2 | 22            | RW   |          | 62            |      | DEC1_DH  | A2            | RC   | INT_VC    | E2            | RC   |
| DBC00CR0 | 23            | #    |          | 63            |      | DEC1_DL  | A3            | RC   | RES_WDT   | E3            | W    |
| DBC01DR0 | 24            | #    |          | 64            |      |          | A4            |      |           | E4            |      |
| DBC01DR1 | 25            | W    |          | 65            |      |          | A5            |      |           | E5            |      |
| DBC01DR2 | 26            | RW   |          | 66            |      |          | A6            |      | DEC_CR0*  | E6            | RW   |
| DBC01CR0 | 27            | #    |          | 67            |      |          | A7            |      | DEC_CR1*  | E7            | RW   |
| DCC02DR0 | 28            | #    |          | 68            |      | MUL1_X   | A8            | W    | MUL0_X    | E8            | W    |
| DCC02DR1 | 29            | W    |          | 69            |      | MUL1_Y   | A9            | W    | MUL0_Y    | E9            | W    |
| DCC02DR2 | 2A            | RW   | SADC_DH  | 6A            | RW   | MUL1_DH  | AA            | R    | MUL0_DH   | EA            | R    |
| DCC02CR0 | 2B            | #    | SADC_DL  | 6B            | RW   | MUL1_DL  | AB            | R    | MUL0_DL   | EB            | R    |
| DCC03DR0 | 2C            | #    | TMP_DR0  | 6C            | RW   | ACC1_DR1 | AC            | RW   | ACCO_DR1  | EC            | RW   |
| DCC03DR1 | 2D            | W    | TMP_DR1  | 6D            | RW   | ACC1_DR0 | AD            | RW   | ACCO_DR0  | ED            | RW   |
| DCC03DR2 | 2E            | RW   | TMP_DR2  | 6E            | RW   | ACC1_DR3 | AE            | RW   | ACCO_DR3  | EE            | RW   |
| DCC03CR0 | 2F            | #    | TMP_DR3  | 6F            | RW   | ACC1_DR2 | AF            | RW   | ACCO_DR2  | EF            | RW   |
| DBC10DR0 | 30            | #    |          | 70            |      | RDI0RI   | B0            | RW   |           | F0            |      |
| DBC10DR1 | 31            | W    |          | 71            |      | RDI0SYN  | B1            | RW   |           | F1            |      |
| DBC10DR2 | 32            | RW   |          | 72            |      | RDI0IS   | B2            | RW   |           | F2            |      |
| DBC10CR0 | 33            | #    |          | 73            |      | RDI0LT0  | B3            | RW   |           | F3            |      |
| DBC11DR0 | 34            | #    |          | 74            |      | RDI0LT1  | B4            | RW   |           | F4            |      |
| DBC11DR1 | 35            | W    |          | 75            |      | RDI0R00  | B5            | RW   |           | F5            |      |
| DBC11DR2 | 36            | RW   |          | 76            |      | RDI0R01  | B6            | RW   |           | F6            |      |
| DBC11CR0 | 37            | #    |          | 77            |      | RDI0DSM  | B7            | RW   | CPU_F     | F7            | RL   |
| DCC12DR0 | 38            | #    |          | 78            |      | RDI1RI   | B8            | RW   |           | F8            |      |
| DCC12DR1 | 39            | W    |          | 79            |      | RDI1SYN  | B9            | RW   |           | F9            |      |
| DCC12DR2 | 3A            | RW   |          | 7A            |      | RDI1IS   | BA            | RW   |           | FA            |      |
| DCC12CR0 | 3B            | #    |          | 7B            |      | RDI1LT0  | BB            | RW   |           | FB            |      |
| DCC13DR0 | 3C            | #    |          | 7C            |      | RDI1LT1  | BC            | RW   | DAC1_D    | FC            | RW   |
| DCC13DR1 | 3D            | W    |          | 7D            |      | RDI1R00  | BD            | RW   | DAC0_D    | FD            | RW   |
| DCC13DR2 | 3E            | RW   |          | 7E            |      | RDI1R01  | BE            | RW   | CPU_SCR1  | FE            | #    |
| DCC13CR0 | 3F            | #    |          | 7F            |      | RDI1DSM  | BF            | RW   | CPU_SCR0  | FF            | #    |

空白のフィールドは予約されているため、アクセスしてはいけない

# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 11. CY8C28x13 のバンク 1 のレジスタ マップ表：コンフィギュレーション空間**

| 名前       | アドレス(1、16進) | アクセス | 名前            | アドレス(1、16進) | アクセス | 名前          | アドレス(1、16進) | アクセス | 名前        | アドレス(1、16進) | アクセス |
|----------|-------------|------|---------------|-------------|------|-------------|-------------|------|-----------|-------------|------|
| PRT0DM0  | 00          | RW   | DBC20FN       | 40          | RW   |             | 80          |      | RDI2RI    | C0          | RW   |
| PRT0DM1  | 01          | RW   | DBC20IN       | 41          | RW   | SADC_TSCMPL | 81          | RW   | RDI2SYN   | C1          | RW   |
| PRT0IC0  | 02          | RW   | DBC20OU       | 42          | RW   | SADC_TSCMPH | 82          | RW   | RDI2IS    | C2          | RW   |
| PRT0IC1  | 03          | RW   | DBC20CR1      | 43          | RW   | ACE_AMD_CR1 | 83          | RW   | RDI2LT0   | C3          | RW   |
| PRT1DM0  | 04          | RW   | DBC21FN       | 44          | RW   |             | 84          |      | RDI2LT1   | C4          | RW   |
| PRT1DM1  | 05          | RW   | DBC21IN       | 45          | RW   | ACE_PWM_CR  | 85          | RW   | RDI2R00   | C5          | RW   |
| PRT1IC0  | 06          | RW   | DBC21OU       | 46          | RW   | ACE_ADC0_CR | 86          | RW   | RDI2R01   | C6          | RW   |
| PRT1IC1  | 07          | RW   | DBC21CR1      | 47          | RW   | ACE_ADC1_CR | 87          | RW   | RDI2DSM   | C7          | RW   |
| PRT2DM0  | 08          | RW   | DCC22FN       | 48          | RW   |             | 88          |      |           | C8          |      |
| PRT2DM1  | 09          | RW   | DCC22IN       | 49          | RW   | ACE_CLK_CR0 | 89          | RW   |           | C9          |      |
| PRT2IC0  | 0A          | RW   | DCC22OU       | 4A          | RW   | ACE_CLK_CR1 | 8A          | RW   |           | CA          |      |
| PRT2IC1  | 0B          | RW   | DCC22CR1      | 4B          | RW   | ACE_CLK_CR3 | 8B          | RW   |           | CB          |      |
| PRT3DM0  | 0C          | RW   | DCC23FN       | 4C          | RW   |             | 8C          | RW   |           | CC          |      |
| PRT3DM1  | 0D          | RW   | DCC23IN       | 4D          | RW   | ACE01CR1    | 8D          | RW   |           | CD          |      |
| PRT3IC0  | 0E          | RW   | DCC23OU       | 4E          | RW   | ACE01CR2    | 8E          | RW   |           | CE          |      |
| PRT3IC1  | 0F          | RW   | DCC23CR1      | 4F          | RW   | ASE11CR0    | 8F          | RW   |           | CF          |      |
| PRT4DM0  | 10          | RW   |               | 50          |      |             | 90          |      | GDI_O_IN  | D0          | RW   |
| PRT4DM1  | 11          | RW   |               | 51          |      | DEC0_CR0    | 91          | RW   | GDI_E_IN  | D1          | RW   |
| PRT4IC0  | 12          | RW   |               | 52          |      | DEC_CR3     | 92          | RW   | GDI_O_OU  | D2          | RW   |
| PRT4IC1  | 13          | RW   |               | 53          |      |             | 93          |      | GDI_E_OU  | D3          | RW   |
| PRT5DM0  | 14          | RW   |               | 54          |      |             | 94          |      | DEC0_CR   | D4          | RW   |
| PRT5DM1  | 15          | RW   |               | 55          |      | DEC1_CR0    | 95          | RW   | DEC1_CR   | D5          | RW   |
| PRT5IC0  | 16          | RW   |               | 56          |      |             | 96          |      |           | D6          |      |
| PRT5IC1  | 17          | RW   |               | 57          |      |             | 97          |      |           | D7          |      |
|          | 18          |      |               | 58          |      |             | 98          |      | MUX_CR0   | D8          | RW   |
|          | 19          |      |               | 59          |      |             | 99          |      | MUX_CR1   | D9          | RW   |
|          | 1A          |      |               | 5A          |      | DEC_CR5     | 9A          | RW   | MUX_CR2   | DA          | RW   |
|          | 1B          |      |               | 5B          |      |             | 9B          |      | MUX_CR3   | DB          | RW   |
|          | 1C          |      |               | 5C          |      |             | 9C          |      | IDAC_CR1  | DC          | RW   |
|          | 1D          |      |               | 5D          |      |             | 9D          |      | OSC_GO_EN | DD          | RW   |
|          | 1E          |      |               | 5E          |      |             | 9E          |      | OSC_CR4   | DE          | RW   |
|          | 1F          |      |               | 5F          |      |             | 9F          |      | OSC_CR3   | DF          | RW   |
| DBC00FN  | 20          | RW   |               | 60          |      | GDI_O_IN_CR | A0          | RW   | OSC_CR0   | E0          | RW   |
| DBC00IN  | 21          | RW   |               | 61          |      | GDI_E_IN_CR | A1          | RW   | OSC_CR1   | E1          | RW   |
| DBC00OU  | 22          | RW   |               | 62          |      | GDI_O_OU_CR | A2          | RW   | OSC_CR2   | E2          | RW   |
| DBC00CR1 | 23          | RW   |               | 63          |      | GDI_E_OU_CR | A3          | RW   | VLT_CR    | E3          | RW   |
| DBC01FN  | 24          | RW   |               | 64          |      | RTC_H       | A4          | RW   | VLT_CMP   | E4          | RW   |
| DBC01IN  | 25          | RW   |               | 65          |      | RTC_M       | A5          | RW   | ADC0_TR   | E5          | RW   |
| DBC01OU  | 26          | RW   |               | 66          |      | RTC_S       | A6          | RW   | ADC1_TR   | E6          | RW   |
| DBC01CR1 | 27          | RW   |               | 67          |      | RTC_CR      | A7          | RW   | IDAC_CR2  | E7          | RW   |
| DCC02FN  | 28          | RW   |               | 68          |      | SADC_CR0    | A8          | RW   | IMO_TR    | E8          | RW   |
| DCC02IN  | 29          | RW   |               | 69          |      | SADC_CR1    | A9          | RW   | ILO_TR    | E9          | RW   |
| DCC02OU  | 2A          | RW   | AMUX_CFG1     | 6A          | RW   | SADC_CR2    | AA          | RW   | BDG_TR    | EA          | RW   |
| DCC02CR1 | 2B          | RW   |               | 6B          |      | SADC_CR3    | AB          | RW   | ECO_TR    | EB          | RW   |
| DCC03FN  | 2C          | RW   | TMP_DR0       | 6C          | RW   | SADC_CR4    | AC          | RW   | MUX_CR4   | EC          | RW   |
| DCC03IN  | 2D          | RW   | TMP_DR1       | 6D          | RW   | I2C0_ADDR   | AD          | RW   | MUX_CR5   | ED          | RW   |
| DCC03OU  | 2E          | RW   | TMP_DR2       | 6E          | RW   |             | AE          |      |           | EE          |      |
| DCC03CR1 | 2F          | RW   | TMP_DR3       | 6F          | RW   | AMUX_CLK    | AF          | RW   |           | EF          |      |
| DBC10FN  | 30          | RW   |               | 70          |      |             | RDI0RI      | B0   |           |             | F0   |
| DBC10IN  | 31          | RW   | SADC_TSCR0    | 71          | RW   | RDI0SYN     | B1          | RW   |           |             | F1   |
| DBC10OU  | 32          | RW   | SADC_TSCR1    | 72          | RW   | RDI0IS      | B2          | RW   |           |             | F2   |
| DBC10CR1 | 33          | RW   | ACE_AMD_CR0   | 73          | RW   | RDI0LT0     | B3          | RW   |           |             | F3   |
| DBC11FN  | 34          | RW   |               | 74          | RW   | RDI0LT1     | B4          | RW   |           |             | F4   |
| DBC11IN  | 35          | RW   | ACE_AMX_IN    | 75          | RW   | RDI0RO0     | B5          | RW   |           |             | F5   |
| DBC11OU  | 36          | RW   | ACE_CMP_CR0   | 76          | RW   | RDI0RO1     | B6          | RW   |           |             | F6   |
| DBC11CR1 | 37          | RW   | ACE_CMP_CR1   | 77          | RW   | RDI0DSM     | B7          | RW   | CPU_F     | F7          | RL   |
| DCC12FN  | 38          | RW   |               | 78          |      | RDI1RI      | B8          | RW   |           |             | F8   |
| DCC12IN  | 39          | RW   | ACE_CMP_GI_EN | 79          | RW   | RDI1SYN     | B9          | RW   |           |             | F9   |
| DCC12OU  | 3A          | RW   | ACE_ALT_CR0   | 7A          | RW   | RDI1IS      | BA          | RW   | FLS_PR1   | FA          | RW   |
| DCC12CR1 | 3B          | RW   | ACE_ABF_CR0   | 7B          | RW   | RDI1LT0     | BB          | RW   |           |             | FB   |
| DCC13FN  | 3C          | RW   |               | 7C          |      | RDI1LT1     | BC          | RW   |           |             | FC   |
| DCC13IN  | 3D          | RW   | ACE0_CR1      | 7D          | RW   | RDI1RO0     | BD          | RW   | IDAC_CR0  | FD          | RW   |
| DCC13OU  | 3E          | RW   | ACE0_CR2      | 7E          | RW   | RDI1RO1     | BE          | RW   | CPU_SCR1  | FE          | #    |
| DCC13CR1 | 3F          | RW   | ACE0_CR3      | 7F          | RW   | RDI1DSM     | BF          | RW   | CPU_SCR0  | FF          | #    |

空白のフィールドは予約されているため、アクセスしてはいけない # アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 12. CY8C28x23 のバンク 0 のレジスタ マップ表：ユーザー空間**

| 名前       | アドレス(0、16進) | アクセス | 名前       | アドレス(0、16進) | アクセス | 名前       | アドレス(0、16進) | アクセス | 名前        | アドレス(0、16進) | アクセス |
|----------|-------------|------|----------|-------------|------|----------|-------------|------|-----------|-------------|------|
| PRT0DR   | 00          | RW   | DBC20DR0 | 40          | #    | ASC10CR0 | 80          | RW   | RDI2RI    | C0          | RW   |
| PRT0IE   | 01          | RW   | DBC20DR1 | 41          | W    | ASC10CR1 | 81          | RW   | RDI2SYN   | C1          | RW   |
| PRT0GS   | 02          | RW   | DBC20DR2 | 42          | RW   | ASC10CR2 | 82          | RW   | RDI2IS    | C2          | RW   |
| PRT0DM2  | 03          | RW   | DBC20CR0 | 43          | #    | ASC10CR3 | 83          | RW   | RDI2LT0   | C3          | RW   |
| PRT1DR   | 04          | RW   | DBC21DR0 | 44          | #    | ASD11CR0 | 84          | RW   | RDI2LT1   | C4          | RW   |
| PRT1IE   | 05          | RW   | DBC21DR1 | 45          | W    | ASD11CR1 | 85          | RW   | RDI2R00   | C5          | RW   |
| PRT1GS   | 06          | RW   | DBC21DR2 | 46          | RW   | ASD11CR2 | 86          | RW   | RDI2R01   | C6          | RW   |
| PRT1DM2  | 07          | RW   | DBC21CR0 | 47          | #    | ASD11CR3 | 87          | RW   | RDI2DSM   | C7          | RW   |
| PRT2DR   | 08          | RW   | DCC22DR0 | 48          | #    |          | 88          |      |           | C8          |      |
| PRT2IE   | 09          | RW   | DCC22DR1 | 49          | W    |          | 89          |      |           | C9          |      |
| PRT2GS   | 0A          | RW   | DCC22DR2 | 4A          | RW   |          | 8A          |      |           | CA          |      |
| PRT2DM2  | 0B          | RW   | DCC22CR0 | 4B          | #    |          | 8B          |      |           | CB          |      |
| PRT3DR   | 0C          | RW   | DCC23DR0 | 4C          | #    |          | 8C          |      |           | CC          |      |
| PRT3IE   | 0D          | RW   | DCC23DR1 | 4D          | W    |          | 8D          |      |           | CD          |      |
| PRT3GS   | 0E          | RW   | DCC23DR2 | 4E          | RW   |          | 8E          |      |           | CE          |      |
| PRT3DM2  | 0F          | RW   | DCC23CR0 | 4F          | #    |          | 8F          |      |           | CF          |      |
| PRT4DR   | 10          | RW   |          | 50          |      | ASD20CR0 | 90          | RW   | CUR_PP    | D0          | RW   |
| PRT4IE   | 11          | RW   |          | 51          |      | ASD20CR1 | 91          | RW   | STK_PP    | D1          | RW   |
| PRT4GS   | 12          | RW   |          | 52          |      | ASD20CR2 | 92          | RW   |           | D2          |      |
| PRT4DM2  | 13          | RW   |          | 53          |      | ASD20CR3 | 93          | RW   | IDX_PP    | D3          | RW   |
| PRT5DR   | 14          | RW   |          | 54          |      | ASC21CR0 | 94          | RW   | MVR_PP    | D4          | RW   |
| PRT5IE   | 15          | RW   |          | 55          |      | ASC21CR1 | 95          | RW   | MVW_PP    | D5          | RW   |
| PRT5GS   | 16          | RW   |          | 56          |      | ASC21CR2 | 96          | RW   | I2C0_CFG  | D6          | RW   |
| PRT5DM2  | 17          | RW   |          | 57          |      | ASC21CR3 | 97          | RW   | I2C0_SCR  | D7          | #    |
|          | 18          |      |          | 58          |      |          | 98          |      | I2C0_DR   | D8          | RW   |
|          | 19          |      |          | 59          |      |          | 99          |      | I2C0_MSCR | D9          | #    |
|          | 1A          |      |          | 5A          |      |          | 9A          |      | INT_CLR0  | DA          | RW   |
|          | 1B          |      |          | 5B          |      |          | 9B          |      | INT_CLR1  | DB          | RW   |
|          | 1C          |      |          | 5C          |      |          | 9C          |      | INT_CLR2  | DC          | RW   |
|          | 1D          |      |          | 5D          |      |          | 9D          |      | INT_CLR3  | DD          | RW   |
|          | 1E          |      |          | 5E          |      |          | 9E          |      | INT_MSK3  | DE          | RW   |
|          | 1F          |      |          | 5F          |      |          | 9F          |      | INT_MSK2  | DF          | RW   |
| DBC00DR0 | 20          | #    | AMX_IN   | 60          | RW   | DEC0_DH  | A0          | RC   | INT_MSK0  | E0          | RW   |
| DBC00DR1 | 21          | W    | AMUX_CFG | 61          | RW   | DEC0_DL  | A1          | RC   | INT_MSK1  | E1          | RW   |
| DBC00DR2 | 22          | RW   | CLK_CR3  | 62          | RW   | DEC1_DH  | A2          | RC   | INT_VC    | E2          | RC   |
| DBC00CR0 | 23          | #    | ARF_CR   | 63          | RW   | DEC1_DL  | A3          | RC   | RES_WDT   | E3          | W    |
| DBC01DR0 | 24          | #    | CMP_CR0  | 64          | #    |          | A4          |      | I2C1_SCR  | E4          | #    |
| DBC01DR1 | 25          | W    | ASY_CR   | 65          | #    |          | A5          |      | I2C1_MSCR | E5          | #    |
| DBC01DR2 | 26          | RW   | CMP_CR1  | 66          | RW   |          | A6          |      | DEC_CR0*  | E6          | RW   |
| DBC01CR0 | 27          | #    | I2C1_DR  | 67          | RW   |          | A7          |      | DEC_CR1*  | E7          | RW   |
| DCC02DR0 | 28          | #    |          | 68          |      | MUL1_X   | A8          | W    | MUL0_X    | E8          | W    |
| DCC02DR1 | 29          | W    |          | 69          |      | MUL1_Y   | A9          | W    | MUL0_Y    | E9          | W    |
| DCC02DR2 | 2A          | RW   |          | 6A          |      | MUL1_DH  | AA          | R    | MUL0_DH   | EA          | R    |
| DCC02CR0 | 2B          | #    |          | 6B          |      | MUL1_DL  | AB          | R    | MUL0_DL   | EB          | R    |
| DCC03DR0 | 2C          | #    | TMP_DR0  | 6C          | RW   | ACC1_DR1 | AC          | RW   | ACC0_DR1  | EC          | RW   |
| DCC03DR1 | 2D          | W    | TMP_DR1  | 6D          | RW   | ACC1_DR0 | AD          | RW   | ACC0_DR0  | ED          | RW   |
| DCC03DR2 | 2E          | RW   | TMP_DR2  | 6E          | RW   | ACC1_DR3 | AE          | RW   | ACC0_DR3  | EE          | RW   |
| DCC03CR0 | 2F          | #    | TMP_DR3  | 6F          | RW   | ACC1_DR2 | AF          | RW   | ACC0_DR2  | EF          | RW   |
| DBC10DR0 | 30          | #    | ACB00CR3 | 70          | RW   | RDI0RI   | B0          | RW   |           | F0          |      |
| DBC10DR1 | 31          | W    | ACB00CR0 | 71          | RW   | RDI0SYN  | B1          | RW   |           | F1          |      |
| DBC10DR2 | 32          | RW   | ACB00CR1 | 72          | RW   | RDI0IS   | B2          | RW   |           | F2          |      |
| DBC10CR0 | 33          | #    | ACB00CR2 | 73          | RW   | RDI0LT0  | B3          | RW   |           | F3          |      |
| DBC11DR0 | 34          | #    | ACB01CR3 | 74          | RW   | RDI0LT1  | B4          | RW   |           | F4          |      |
| DBC11DR1 | 35          | W    | ACB01CR0 | 75          | RW   | RDI0R00  | B5          | RW   |           | F5          |      |
| DBC11DR2 | 36          | RW   | ACB01CR1 | 76          | RW   | RDI0R01  | B6          | RW   |           | F6          |      |
| DBC11CR0 | 37          | #    | ACB01CR2 | 77          | RW   | RDI0DSM  | B7          | RW   | CPU_F     | F7          | RL   |
| DCC12DR0 | 38          | #    |          | 78          |      | RDI1RI   | B8          | RW   |           | F8          |      |
| DCC12DR1 | 39          | W    |          | 79          |      | RDI1SYN  | B9          | RW   |           | F9          |      |
| DCC12DR2 | 3A          | RW   |          | 7A          |      | RDI1IS   | BA          | RW   |           | FA          |      |
| DCC12CR0 | 3B          | #    |          | 7B          |      | RDI1LT0  | BB          | RW   |           | FB          |      |
| DCC13DR0 | 3C          | #    |          | 7C          |      | RDI1LT1  | BC          | RW   |           | FC          |      |
| DCC13DR1 | 3D          | W    |          | 7D          |      | RDI1R00  | BD          | RW   |           | FD          |      |
| DCC13DR2 | 3E          | RW   |          | 7E          |      | RDI1R01  | BE          | RW   | CPU_SCR1  | FE          | #    |
| DCC13CR0 | 3F          | #    |          | 7F          |      | RDI1DSM  | BF          | RW   | CPU_SCR0  | FF          | #    |

空白のフィールドは予約されているため、アクセスしてはいけない  
# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 13. CY8C28x23 のバンク 1 のレジスタ マップ表：コンフィギュレーション空間**

| 名前       | アドレス(1、16進) | アクセス | 名前        | アドレス(1、16進) | アクセス | 名前          | アドレス(1、16進) | アクセス | 名前        | アドレス(1、16進) | アクセス |
|----------|-------------|------|-----------|-------------|------|-------------|-------------|------|-----------|-------------|------|
| PRT0DM0  | 00          | RW   | DBC20FN   | 40          | RW   |             | 80          |      | RDI2RI    | C0          | RW   |
| PRT0DM1  | 01          | RW   | DBC20IN   | 41          | RW   |             | 81          |      | RDI2SYN   | C1          | RW   |
| PRT0IC0  | 02          | RW   | DBC20OU   | 42          | RW   |             | 82          |      | RDI2IS    | C2          | RW   |
| PRT0IC1  | 03          | RW   | DBC21CR1  | 43          | RW   |             | 83          |      | RDI2LT0   | C3          | RW   |
| PRT1DM0  | 04          | RW   | DBC21FN   | 44          | RW   |             | 84          |      | RDI2LT1   | C4          | RW   |
| PRT1DM1  | 05          | RW   | DBC21IN   | 45          | RW   |             | 85          |      | RDI2RO0   | C5          | RW   |
| PRT1IC0  | 06          | RW   | DBC21OU   | 46          | RW   |             | 86          |      | RDI2RO1   | C6          | RW   |
| PRT1IC1  | 07          | RW   | DBC21CR1  | 47          | RW   |             | 87          |      | RDI2DSM   | C7          | RW   |
| PRT2DM0  | 08          | RW   | DCC22FN   | 48          | RW   |             | 88          |      |           | C8          |      |
| PRT2DM1  | 09          | RW   | DCC22IN   | 49          | RW   |             | 89          |      |           | C9          |      |
| PRT2IC0  | 0A          | RW   | DCC22OU   | 4A          | RW   |             | 8A          |      |           | CA          |      |
| PRT2IC1  | 0B          | RW   | DCC22CR1  | 4B          | RW   |             | 8B          |      |           | CB          |      |
| PRT3DM0  | 0C          | RW   | DCC23FN   | 4C          | RW   |             | 8C          |      |           | CC          |      |
| PRT3DM1  | 0D          | RW   | DCC23IN   | 4D          | RW   |             | 8D          |      |           | CD          |      |
| PRT3IC0  | 0E          | RW   | DCC23OU   | 4E          | RW   |             | 8E          |      |           | CE          |      |
| PRT3IC1  | 0F          | RW   | DCC23CR1  | 4F          | RW   |             | 8F          |      |           | CF          |      |
| PRT4DM0  | 10          | RW   |           | 50          |      |             | 90          |      | GDI_O_IN  | D0          | RW   |
| PRT4DM1  | 11          | RW   |           | 51          |      | DEC0_CR0    | 91          | RW   | GDI_E_IN  | D1          | RW   |
| PRT4IC0  | 12          | RW   |           | 52          |      | DEC_CR3     | 92          | RW   | GDI_O_OU  | D2          | RW   |
| PRT4IC1  | 13          | RW   |           | 53          |      |             | 93          | RW   | GDI_E_OU  | D3          | RW   |
| PRT5DM0  | 14          | RW   |           | 54          |      |             | 94          | RW   | DEC0_CR   | D4          | RW   |
| PRT5DM1  | 15          | RW   |           | 55          |      | DEC1_CR0    | 95          | RW   | DEC1_CR   | D5          | RW   |
| PRT5IC0  | 16          | RW   |           | 56          |      |             | 96          |      |           | D6          |      |
| PRT5IC1  | 17          | RW   |           | 57          |      |             | 97          |      |           | D7          |      |
|          | 18          |      |           | 58          |      |             | 98          |      |           | D8          |      |
|          | 19          |      |           | 59          |      |             | 99          |      |           | D9          |      |
|          | 1A          |      |           | 5A          |      | DEC_CR5     | 9A          | RW   |           | DA          |      |
|          | 1B          |      |           | 5B          |      |             | 9B          |      |           | DB          |      |
|          | 1C          |      |           | 5C          |      |             | 9C          |      |           | DC          |      |
|          | 1D          |      |           | 5D          |      |             | 9D          |      | OSC_GO_EN | DD          | RW   |
|          | 1E          |      |           | 5E          |      |             | 9E          |      | OSC_CR4   | DE          | RW   |
|          | 1F          |      |           | 5F          |      |             | 9F          |      | OSC_CR3   | DF          | RW   |
| DBC00FN  | 20          | RW   | CLK_CR0   | 60          | RW   | GDI_O_IN_CR | A0          | RW   | OSC_CR0   | E0          | RW   |
| DBC00IN  | 21          | RW   | CLK_CR1   | 61          | RW   | GDI_E_IN_CR | A1          | RW   | OSC_CR1   | E1          | RW   |
| DBC00OU  | 22          | RW   | ABF_CR0   | 62          | RW   | GDI_O_OU_CR | A2          | RW   | OSC_CR2   | E2          | RW   |
| DBC00CR1 | 23          | RW   | AMD_CR0   | 63          | RW   | GDI_E_OU_CR | A3          | RW   | VLT_CR    | E3          | RW   |
| DBC01FN  | 24          | RW   | CMP_GO_EN | 64          | RW   | RTC_H       | A4          | RW   | VLT_CMP   | E4          | RW   |
| DBC01IN  | 25          | RW   |           | 65          |      | RTC_M       | A5          | RW   |           | E5          |      |
| DBC01OU  | 26          | RW   | AMD_CR1   | 66          | RW   | RTC_S       | A6          | RW   |           | E6          |      |
| DBC01CR1 | 27          | RW   | ALT_CR0   | 67          | RW   | RTC_CR      | A7          | RW   |           | E7          |      |
| DCC02FN  | 28          | RW   |           | 68          |      |             | A8          |      | IMO_TR    | E8          | RW   |
| DCC02IN  | 29          | RW   | CLK_CR2   | 69          | RW   |             | A9          |      | ILO_TR    | E9          | RW   |
| DCC02OU  | 2A          | RW   |           | 6A          |      |             | AA          |      | BDG_TR    | EA          | RW   |
| DCC02CR1 | 2B          | RW   | I2C1_CFG  | 6B          | RW   |             | AB          |      | ECO_TR    | EB          | RW   |
| DCC03FN  | 2C          | RW   | TMP_DR0   | 6C          | RW   |             | AC          |      |           | EC          |      |
| DCC03IN  | 2D          | RW   | TMP_DR1   | 6D          | RW   | I2C0_ADDR   | AD          | RW   |           | ED          |      |
| DCC03OU  | 2E          | RW   | TMP_DR2   | 6E          | RW   | I2C1_ADDR   | AE          | RW   |           | EE          |      |
| DCC03CR1 | 2F          | RW   | TMP_DR3   | 6F          | RW   | AMUX_CLK    | AF          | RW   |           | EF          |      |
| DBC10FN  | 30          | RW   |           | 70          |      | RDI0RI      | B0          | RW   |           | F0          |      |
| DBC10IN  | 31          | RW   |           | 71          |      | RDI0SYN     | B1          | RW   |           | F1          |      |
| DBC10OU  | 32          | RW   |           | 72          |      | RDI0IS      | B2          | RW   |           | F2          |      |
| DBC10CR1 | 33          | RW   |           | 73          |      | RDI0LT0     | B3          | RW   |           | F3          |      |
| DBC11FN  | 34          | RW   |           | 74          |      | RDI0LT1     | B4          | RW   |           | F4          |      |
| DBC11IN  | 35          | RW   |           | 75          |      | RDI0R00     | B5          | RW   |           | F5          |      |
| DBC11OU  | 36          | RW   |           | 76          |      | RDI0R01     | B6          | RW   |           | F6          |      |
| DBC11CR1 | 37          | RW   |           | 77          |      | RDI0DSM     | B7          | RW   | CPU_F     | F7          | RL   |
| DCC12FN  | 38          | RW   |           | 78          |      | RDI1RI      | B8          | RW   |           | F8          |      |
| DCC12IN  | 39          | RW   |           | 79          |      | RDI1SYN     | B9          | RW   |           | F9          |      |
| DCC12OU  | 3A          | RW   |           | 7A          |      | RDI1IS      | BA          | RW   | FLS_PR1   | FA          | RW   |
| DCC12CR1 | 3B          | RW   |           | 7B          |      | RDI1LT0     | BB          | RW   |           | FB          |      |
| DCC13FN  | 3C          | RW   |           | 7C          |      | RDI1LT1     | BC          | RW   |           | FC          |      |
| DCC13IN  | 3D          | RW   |           | 7D          |      | RDI1R00     | BD          | RW   |           | FD          |      |
| DCC13OU  | 3E          | RW   |           | 7E          |      | RDI1R01     | BE          | RW   | CPU_SCR1  | FE          | #    |
| DCC13CR1 | 3F          | RW   |           | 7F          |      | RDI1DSM     | BF          | RW   | CPU_SCR0  | FF          | #    |

空白のフィールドは予約されているため、アクセスしてはいけない

# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 14. CY8C28x33 のバンク 0 のレジスタ マップ表：ユーザー空間**

| 名前       | アドレス(0, 16進) | アクセス | 名前       | アドレス(0, 16進) | アクセス | 名前       | アドレス(0, 16進) | アクセス | 名前        | アドレス(0, 16進) | アクセス |
|----------|--------------|------|----------|--------------|------|----------|--------------|------|-----------|--------------|------|
| PRT0DR   | 00           | RW   | DBC20DR0 | 40           | #    | ASC10CR0 | 80           | RW   | RDI2RI    | C0           | RW   |
| PRT0IE   | 01           | RW   | DBC20DR1 | 41           | W    | ASC10CR1 | 81           | RW   | RDI2SYN   | C1           | RW   |
| PRT0GS   | 02           | RW   | DBC20DR2 | 42           | RW   | ASC10CR2 | 82           | RW   | RDI2IS    | C2           | RW   |
| PRT0DM2  | 03           | RW   | DBC20CR0 | 43           | #    | ASC10CR3 | 83           | RW   | RDI2LT0   | C3           | RW   |
| PRT1DR   | 04           | RW   | DBC21DR0 | 44           | #    | ASD11CR0 | 84           | RW   | RDI2LT1   | C4           | RW   |
| PRT1IE   | 05           | RW   | DBC21DR1 | 45           | Q    | ASD11CR1 | 85           | RW   | RDI2R00   | C5           | RW   |
| PRT1GS   | 06           | RW   | DBC21DR2 | 46           | RW   | ASD11CR2 | 86           | RW   | RDI2R01   | C6           | RW   |
| PRT1DM2  | 07           | RW   | DBC21CR0 | 47           | #    | ASD11CR3 | 87           | RW   | RDI2DSM   | C7           | RW   |
| PRT2DR   | 08           | RW   | DCC22DR0 | 48           | #    |          | 88           |      |           | C8           |      |
| PRT2IE   | 09           | RW   | DCC22DR1 | 49           | W    |          | 89           |      |           | C9           |      |
| PRT2GS   | 0A           | RW   | DCC22DR2 | 4A           | RW   |          | 8A           |      |           | CA           |      |
| PRT2DM2  | 0B           | RW   | DCC22CR0 | 4B           | #    |          | 8B           |      |           | CB           |      |
| PRT3DR   | 0C           | RW   | DCC23DR0 | 4C           | #    |          | 8C           |      |           | CC           |      |
| PRT3IE   | 0D           | RW   | DCC23DR1 | 4D           | W    |          | 8D           |      |           | CD           |      |
| PRT3GS   | 0E           | RW   | DCC23DR2 | 4E           | RW   |          | 8E           |      |           | CE           |      |
| PRT3DM2  | 0F           | RW   | DCC23CR0 | 4F           | #    |          | 8F           |      |           | CF           |      |
| PRT4DR   | 10           | RW   |          | 50           |      | ASD20CR0 | 90           | RW   | CUR_PP    | D0           | RW   |
| PRT4IE   | 11           | RW   |          | 51           |      | ASD20CR1 | 91           | RW   | STK_PP    | D1           | RW   |
| PRT4GS   | 12           | RW   |          | 52           |      | ASD20CR2 | 92           | RW   |           | D2           |      |
| PRT4DM2  | 13           | RW   |          | 53           |      | ASD20CR3 | 93           | RW   | IDX_PP    | D3           | RW   |
| PRT5DR   | 14           | RW   |          | 54           |      | ASC21CR0 | 94           | RW   | MVR_PP    | D4           | RW   |
| PRT5IE   | 15           | RW   |          | 55           |      | ASC21CR1 | 95           | RW   | MVW_PP    | D5           | RW   |
| PRT5GS   | 16           | RW   |          | 56           |      | ASC21CR2 | 96           | RW   | I2C0_CFG  | D6           | RW   |
| PRT5DM2  | 17           | RW   |          | 57           |      | ASC21CR3 | 97           | RW   | I2C0_SCR  | D7           | #    |
|          | 18           |      |          | 58           |      |          | 98           |      | I2C0_DR   | D8           | RW   |
|          | 19           |      |          | 59           |      |          | 99           |      | I2C0_MSCR | D9           | #    |
|          | 1A           |      |          | 5A           |      |          | 9A           |      | INT_CLR0  | DA           | RW   |
|          | 1B           |      |          | 5B           |      |          | 9B           |      | INT_CLR1  | DB           | RW   |
|          | 1C           |      |          | 5C           |      |          | 9C           |      | INT_CLR2  | DC           | RW   |
|          | 1D           |      |          | 5D           |      |          | 9D           |      | INT_CLR3  | DD           | RW   |
|          | 1E           |      |          | 5E           |      |          | 9E           |      | INT_MSK3  | DE           | RW   |
|          | 1F           |      |          | 5F           |      |          | 9F           |      | INT_MSK2  | DF           | RW   |
| DBC00DR0 | 20           | #    | AMX_IN   | 60           | RW   | DEC0_DH  | A0           | RC   | INT_MSK0  | E0           | RW   |
| DBC00DR1 | 21           | W    | AMUX_CFG | 61           | RW   | DEC0_DL  | A1           | RC   | INT_MSK1  | E1           | RW   |
| DBC00DR2 | 22           | RW   | CLK_CR3  | 62           | RW   | DEC1_DH  | A2           | RC   | INT_VC    | E2           | RC   |
| DBC00CR0 | 23           | #    | ARF_CR   | 63           | RW   | DEC1_DL  | A3           | RC   | RES_WDT   | E3           | W    |
| DBC01DR0 | 24           | #    | CMP_CRO  | 64           | #    | DEC2_DH  | A4           | RC   |           | E4           |      |
| DBC01DR1 | 25           | W    | ASY_CR   | 65           | #    | DEC2_DL  | A5           | RC   |           | E5           |      |
| DBC01DR2 | 26           | RW   | CMP_CR1  | 66           | RW   | DEC3_DH  | A6           | RC   | DEC_CR0*  | E6           | RW   |
| DBC01CR0 | 27           | #    |          | 67           |      | DEC3_DL  | A7           | RC   | DEC_CR1*  | E7           | RW   |
| DCC02DR0 | 28           | #    |          | 68           |      | MUL1_X   | A8           | W    | MUL0_X    | E8           | W    |
| DCC02DR1 | 29           | W    |          | 69           |      | MUL1_Y   | A9           | W    | MUL0_Y    | E9           | W    |
| DCC02DR2 | 2A           | RW   | SADC_DH  | 6A           | RW   | MUL1_DH  | AA           | R    | MUL0_DH   | EA           | R    |
| DCC02CR0 | 2B           | #    | SADC_DL  | 6B           | RW   | MUL1_DL  | AB           | R    | MUL0_DL   | EB           | R    |
| DCC03DR0 | 2C           | #    | TMP_DR0  | 6C           | RW   | ACC1_DR1 | AC           | RW   | ACCO_DR1  | EC           | RW   |
| DCC03DR1 | 2D           | W    | TMP_DR1  | 6D           | RW   | ACC1_DR0 | AD           | RW   | ACCO_DR0  | ED           | RW   |
| DCC03DR2 | 2E           | RW   | TMP_DR2  | 6E           | RW   | ACC1_DR3 | AE           | RW   | ACCO_DR3  | EE           | RW   |
| DCC03CR0 | 2F           | #    | TMP_DR3  | 6F           | RW   | ACC1_DR2 | AF           | RW   | ACCO_DR2  | EF           | RW   |
| DBC10DR0 | 30           | #    | ACB00CR3 | 70           | RW   | RDI0RI   | B0           | RW   |           | F0           |      |
| DBC10DR1 | 31           | W    | ACB00CR0 | 71           | RW   | RDI0SYN  | B1           | RW   |           | F1           |      |
| DBC10DR2 | 32           | RW   | ACB00CR1 | 72           | RW   | RDI0IS   | B2           | RW   |           | F2           |      |
| DBC10CR0 | 33           | #    | ACB00CR2 | 73           | RW   | RDI0LT0  | B3           | RW   |           | F3           |      |
| DBC11DR0 | 34           | #    | ACB01CR3 | 74           | RW   | RDI0LT1  | B4           | RW   |           | F4           |      |
| DBC11DR1 | 35           | W    | ACB01CR0 | 75           | RW   | RDI0R00  | B5           | RW   |           | F5           |      |
| DBC11DR2 | 36           | RW   | ACB01CR1 | 76           | RW   | RDI0R01  | B6           | RW   |           | F6           |      |
| DBC11CR0 | 37           | #    | ACB01CR2 | 77           | RW   | RDI0DSM  | B7           | RW   | CPU_F     | F7           | RL   |
| DCC12DR0 | 38           | #    |          | 78           |      | RDI1RI   | B8           | RW   |           | F8           |      |
| DCC12DR1 | 39           | W    |          | 79           |      | RDI1SYN  | B9           | RW   |           | F9           |      |
| DCC12DR2 | 3A           | RW   |          | 7A           |      | RDI1IS   | BA           | RW   |           | FA           |      |
| DCC12CR0 | 3B           | #    |          | 7B           |      | RDI1LT0  | BB           | RW   |           | FB           |      |
| DCC13DR0 | 3C           | #    |          | 7C           |      | RDI1LT1  | BC           | RW   | DAC1_D    | FC           | RW   |
| DCC13DR1 | 3D           | W    |          | 7D           |      | RDI1R00  | BD           | RW   | DAC0_D    | FD           | RW   |
| DCC13DR2 | 3E           | RW   |          | 7E           |      | RDI1R01  | BE           | RW   | CPU_SCR1  | FE           | #    |
| DCC13CR0 | 3F           | #    |          | 7F           |      | RDI1DSM  | BF           | RW   | CPU_SCR0  | FF           | #    |

空白のフィールドは予約されているため、アクセスしてはいけない  
# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 15. CY8C28x33 のバンク 1 のレジスタ マップ表：コンフィギュレーション空間**

| 名前       | アドレス(1、16進) | アクセス | 名前            | アドレス(1、16進) | アクセス | 名前          | アドレス(1、16進) | アクセス | 名前        | アドレス(1、16進) | アクセス |
|----------|-------------|------|---------------|-------------|------|-------------|-------------|------|-----------|-------------|------|
| PRT0DM0  | 00          | RW   | DBC20FN       | 40          | RW   |             | 80          |      | RDI2RI    | C0          | RW   |
| PRT0DM1  | 01          | RW   | DBC20IN       | 41          | RW   | SADC_TSCMPL | 81          | RW   | RDI2SYN   | C1          | RW   |
| PRT0IC0  | 02          | RW   | DBC20OU       | 42          | RW   | SADC_TSCMPH | 82          | RW   | RDI2IS    | C2          | RW   |
| PRT0IC1  | 03          | RW   | DBC20CR1      | 43          | RW   | ACE_AMD_CR1 | 83          | RW   | RDI2LT0   | C3          | RW   |
| PRT1DM0  | 04          | RW   | DBC21FN       | 44          | RW   |             | 84          |      | RDI2LT1   | C4          | RW   |
| PRT1DM1  | 05          | RW   | DBC21IN       | 45          | RW   | ACE_PWM_CR  | 85          | RW   | RDI2R00   | C5          | RW   |
| PRT1IC0  | 06          | RW   | DBC21OU       | 46          | RW   | ACE_ADC0_CR | 86          | RW   | RDI2R01   | C6          | RW   |
| PRT1IC1  | 07          | RW   | DBC21CR1      | 47          | RW   | ACE_ADC1_CR | 87          | RW   | RDI2DSM   | C7          | RW   |
| PRT2DM0  | 08          | RW   | DCC22FN       | 48          | RW   |             | 88          | RW   |           | C8          |      |
| PRT2DM1  | 09          | RW   | DCC22IN       | 49          | RW   | ACE_CLK_CR0 | 89          | RW   |           | C9          |      |
| PRT2IC0  | 0A          | RW   | DCC22OU       | 4A          | RW   | ACE_CLK_CR1 | 8A          | RW   |           | CA          |      |
| PRT2IC1  | 0B          | RW   | DCC22CR1      | 4B          | RW   | ACE_CLK_CR3 | 8B          | RW   |           | CB          |      |
| PRT3DM0  | 0C          | RW   | DCC23FN       | 4C          | RW   |             | 8C          |      |           | CC          |      |
| PRT3DM1  | 0D          | RW   | DCC23IN       | 4D          | RW   | ACE01CR1    | 8D          | RW   |           | CD          |      |
| PRT3IC0  | 0E          | RW   | DCC23OU       | 4E          | RW   | ACE01CR2    | 8E          | RW   |           | CE          |      |
| PRT3IC1  | 0F          | RW   | DCC23CR1      | 4F          | RW   | ASE11CR0    | 8F          | RW   |           | CF          |      |
| PRT4DM0  | 10          | RW   |               | 50          |      |             | 90          |      | GDI_O_IN  | D0          | RW   |
| PRT4DM1  | 11          | RW   |               | 51          |      | DEC0_CR0    | 91          | RW   | GDI_E_IN  | D1          | RW   |
| PRT4IC0  | 12          | RW   |               | 52          |      | DEC_CR3     | 92          | RW   | GDI_O_OU  | D2          | RW   |
| PRT4IC1  | 13          | RW   |               | 53          |      |             | 93          |      | GDI_E_OU  | D3          | RW   |
| PRT5DM0  | 14          | RW   |               | 54          |      |             | 94          |      | DEC0_CR   | D4          | RW   |
| PRT5DM1  | 15          | RW   |               | 55          |      | DEC1_CR0    | 95          | RW   | DEC1_CR   | D5          | RW   |
| PRT5IC0  | 16          | RW   |               | 56          |      | DEC_CR4     | 96          | RW   | DEC2_CR   | D6          | RW   |
| PRT5IC1  | 17          | RW   |               | 57          |      |             | 97          |      | DEC3_CR   | D7          | RW   |
|          | 18          |      |               | 58          |      |             | 98          |      | MUX_CR0   | D8          | RW   |
|          | 19          |      |               | 59          |      | DEC2_CR0    | 99          | RW   | MUX_CR1   | D9          | RW   |
|          | 1A          |      |               | 5A          |      | DEC_CR5     | 9A          | RW   | MUX_CR2   | DA          | RW   |
|          | 1B          |      |               | 5B          |      |             | 9B          |      | MUX_CR3   | DB          | RW   |
|          | 1C          |      |               | 5C          |      |             | 9C          |      | IDAC_CR1  | DC          | RW   |
|          | 1D          |      |               | 5D          |      | DEC3_CR0    | 9D          | RW   | OSC_GO_EN | DD          | RW   |
|          | 1E          |      |               | 5E          |      |             | 9E          |      | OSC_CR4   | DE          | RW   |
|          | 1F          |      |               | 5F          |      |             | 9F          |      | OSC_CR3   | DF          | RW   |
| DBC00FN  | 20          | RW   | CLK_CR0       | 60          | RW   | GDI_O_IN_CR | A0          | RW   | OSC_CR0   | E0          | RW   |
| DBC00IN  | 21          | RW   | CLK_CR1       | 61          | RW   | GDI_E_IN_CR | A1          | RW   | OSC_CR1   | E1          | RW   |
| DBC00OU  | 22          | RW   | ABF_CR0       | 62          | RW   | GDI_O_OU_CR | A2          | RW   | OSC_CR2   | E2          | RW   |
| DBC00CR1 | 23          | RW   | AMD_CR0       | 63          | RW   | GDI_E_OU_CR | A3          | RW   | VLT_CR    | E3          | RW   |
| DBC01FN  | 24          | RW   | CMP_GO_EN     | 64          | RW   | RTC_H       | A4          | RW   | VLT_CMP   | E4          | RW   |
| DBC01IN  | 25          | RW   |               | 65          |      | RTC_M       | A5          | RW   | ADC0_TR   | E5          | RW   |
| DBC01OU  | 26          | RW   | AMD_CR1       | 66          | RW   | RTC_S       | A6          | RW   | ADC1_TR   | E6          | RW   |
| DBC01CR1 | 27          | RW   | ALT_CR0       | 67          | RW   | RTC_CR      | A7          | RW   | IDAC_CR2  | E7          | RW   |
| DCC02FN  | 28          | RW   |               | 68          |      | SADC_CR0    | A8          | RW   | IMO_TR    | E8          | RW   |
| DCC02IN  | 29          | RW   | CLK_CR2       | 69          | RW   | SADC_CR1    | A9          | RW   | ILO_TR    | E9          | RW   |
| DCC02OU  | 2A          | RW   | AMUX_CFG1     | 6A          | RW   | SADC_CR2    | AA          | RW   | BDG_TR    | EA          | RW   |
| DCC02CR1 | 2B          | RW   |               | 6B          |      | SADC_CR3    | AB          | RW   | ECO_TR    | EB          | RW   |
| DCC03FN  | 2C          | RW   | TMP_DR0       | 6C          | RW   | SADC_CR4    | AC          | RW   | MUX_CR4   | EC          | RW   |
| DCC03IN  | 2D          | RW   | TMP_DR1       | 6D          | RW   | I2C0_ADDR   | AD          | RW   | MUX_CR5   | ED          | RW   |
| DCC03OU  | 2E          | RW   | TMP_DR2       | 6E          | RW   |             | AE          |      |           | EE          |      |
| DCC03CR1 | 2F          | RW   | TMP_DR3       | 6F          | RW   | AMUX_CLK    | AF          | RW   |           | EF          |      |
| DBC10FN  | 30          | RW   |               | 70          |      | RDI0RI      | B0          | RW   |           | F0          |      |
| DBC10IN  | 31          | RW   | SADC_TSCR0    | 71          | RW   | RDI0SYN     | B1          | RW   |           | F1          |      |
| DBC10OU  | 32          | RW   | SADC_TSCR1    | 72          | RW   | RDI0IS      | B2          | RW   |           | F2          |      |
| DBC10CR1 | 33          | RW   | ACE_AMD_CR0   | 73          | RW   | RDI0LT0     | B3          | RW   |           | F3          |      |
| DBC11FN  | 34          | RW   |               | 74          |      | RDI0LT1     | B4          | RW   |           | F4          |      |
| DBC11IN  | 35          | RW   | ACE_AMX_IN    | 75          | RW   | RDI0RO0     | B5          | RW   |           | F5          |      |
| DBC11OU  | 36          | RW   | ACE_CMP_CR0   | 76          | RW   | RDI0RO1     | B6          | RW   |           | F6          |      |
| DBC11CR1 | 37          | RW   | ACE_CMP_CR1   | 77          | RW   | RDI0DSM     | B7          | RW   | CPU_F     | F7          | RL   |
| DCC12FN  | 38          | RW   |               | 78          |      | RDI1RI      | B8          | RW   |           | F8          |      |
| DCC12IN  | 39          | RW   | ACE_CMP_GI_EN | 79          | RW   | RDI1SYN     | B9          | RW   |           | F9          |      |
| DCC12OU  | 3A          | RW   | ACE_ALT_CR0   | 7A          | RW   | RDI1IS      | BA          | RW   | FLS_PR1   | FA          | RW   |
| DCC12CR1 | 3B          | RW   | ACE_ABF_CR0   | 7B          | RW   | RDI1LT0     | BB          | RW   |           | FB          |      |
| DCC13FN  | 3C          | RW   |               | 7C          |      | RDI1LT1     | BC          | RW   |           | FC          |      |
| DCC13IN  | 3D          | RW   | ACE0_CR1      | 7D          | RW   | RDI1RO0     | BD          | RW   | IDAC_CR0  | FD          | RW   |
| DCC13OU  | 3E          | RW   | ACE0_CR2      | 7E          | RW   | RDI1RO1     | BE          | RW   | CPU_SCR1  | FE          | #    |
| DCC13CR1 | 3F          | RW   | ACE0_CR3      | 7F          | RW   | RDI1DSM     | BF          | RW   | CPU_SCR0  | FF          | #    |

空白のフィールドは予約されているため、アクセスしてはいけない # アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 16. CY8C28x43 のバンク 0 のレジスタ マップ表 : ユーザー空間**

| 名前       | アドレス (0、16 進) | アクセス | 名前       | アドレス (0、16 進) | アクセス | 名前       | アドレス (0、16 進) | アクセス | 名前        | アドレス (0、16 進) | アクセス |
|----------|---------------|------|----------|---------------|------|----------|---------------|------|-----------|---------------|------|
| PRT0DR   | 00            | RW   | DBC20DR0 | 40            | #    | ASC10CR0 | 80            | RW   | RDI2RI    | C0            | RW   |
| PRT0IE   | 01            | RW   | DBC20DR1 | 41            | W    | ASC10CR1 | 81            | RW   | RDI2SYN   | C1            | RW   |
| PRT0GS   | 02            | RW   | DBC20DR2 | 42            | RW   | ASC10CR2 | 82            | RW   | RDI2IS    | C2            | RW   |
| PRT0DM2  | 03            | RW   | DBC21CR0 | 43            | #    | ASC10CR3 | 83            | RW   | RDI2LT0   | C3            | RW   |
| PRT1DR   | 04            | RW   | DBC21DR0 | 44            | #    | ASD11CR0 | 84            | RW   | RDI2LT1   | C4            | RW   |
| PRT1IE   | 05            | RW   | DBC21DR1 | 45            | W    | ASD11CR1 | 85            | RW   | RDI2R00   | C5            | RW   |
| PRT1GS   | 06            | RW   | DBC21DR2 | 46            | RW   | ASD11CR2 | 86            | RW   | RDI2R01   | C6            | RW   |
| PRT1DM2  | 07            | RW   | DBC21CR0 | 47            | #    | ASD11CR3 | 87            | RW   | RDI2DSM   | C7            | RW   |
| PRT2DR   | 08            | RW   | DCC22DR0 | 48            | #    | ASC12CR0 | 88            | RW   |           | C8            |      |
| PRT2IE   | 09            | RW   | DCC22DR1 | 49            | W    | ASC12CR1 | 89            | RW   |           | C9            |      |
| PRT2GS   | 0A            | RW   | DCC22DR2 | 4A            | RW   | ASC12CR2 | 8A            | RW   |           | CA            |      |
| PRT2DM2  | 0B            | RW   | DCC22CR0 | 4B            | #    | ASC12CR3 | 8B            | RW   |           | CB            |      |
| PRT3DR   | 0C            | RW   | DCC23DR0 | 4C            | #    | ASD13CR0 | 8C            | RW   |           | CC            |      |
| PRT3IE   | 0D            | RW   | DCC23DR1 | 4D            | W    | ASD13CR1 | 8D            | RW   |           | CD            |      |
| PRT3GS   | 0E            | RW   | DCC23DR2 | 4E            | RW   | ASD13CR2 | 8E            | RW   |           | CE            |      |
| PRT3DM2  | 0F            | RW   | DCC23CR0 | 4F            | #    | ASD13CR3 | 8F            | RW   |           | CF            |      |
| PRT4DR   | 10            | RW   |          | 50            |      | ASD20CR0 | 90            | RW   | CUR_PP    | D0            | RW   |
| PRT4IE   | 11            | RW   |          | 51            |      | ASD20CR1 | 91            | RW   | STK_PP    | D1            | RW   |
| PRT4GS   | 12            | RW   |          | 52            |      | ASD20CR2 | 92            | RW   |           | D2            |      |
| PRT4DM2  | 13            | RW   |          | 53            |      | ASD20CR3 | 93            | RW   | IDX_PP    | D3            | RW   |
| PRT5DR   | 14            | RW   |          | 54            |      | ASC21CR0 | 94            | RW   | MVR_PP    | D4            | RW   |
| PRT5IE   | 15            | RW   |          | 55            |      | ASC21CR1 | 95            | RW   | MVW_PP    | D5            | RW   |
| PRT5GS   | 16            | RW   |          | 56            |      | ASC21CR2 | 96            | RW   | I2C0_CFG  | D6            | RW   |
| PRT5DM2  | 17            | RW   |          | 57            |      | ASC21CR3 | 97            | RW   | I2C0_SCR  | D7            | #    |
|          | 18            |      |          | 58            |      | ASD22CR0 | 98            | RW   | I2C0_DR   | D8            | RW   |
|          | 19            |      |          | 59            |      | ASD22CR1 | 99            | RW   | I2C0_MSCR | D9            | #    |
|          | 1A            |      |          | 5A            |      | ASD22CR2 | 9A            | RW   | INT_CLR0  | DA            | RW   |
|          | 1B            |      |          | 5B            |      | ASD22CR3 | 9B            | RW   | INT_CLR1  | DB            | RW   |
|          | 1C            |      |          | 5C            |      | ASC23CR0 | 9C            | RW   | INT_CLR2  | DC            | RW   |
|          | 1D            |      |          | 5D            |      | ASC23CR1 | 9D            | RW   | INT_CLR3  | DD            | RW   |
|          | 1E            |      |          | 5E            |      | ASC23CR2 | 9E            | RW   | INT_MSK3  | DE            | RW   |
|          | 1F            |      |          | 5F            |      | ASC23CR3 | 9F            | RW   | INT_MSK2  | DF            | RW   |
| DBC00DR0 | 20            | #    | AMX_IN   | 60            | RW   | DEC0_DH  | A0            | RC   | INT_MSK0  | E0            | RW   |
| DBC00DR1 | 21            | W    | AMUX_CFG | 61            | RW   | DEC0_DL  | A1            | RC   | INT_MSK1  | E1            | RW   |
| DBC00DR2 | 22            | RW   | CLK_CR3  | 62            | RW   | DEC1_DH  | A2            | RC   | INT_VC    | E2            | RC   |
| DBC00CR0 | 23            | #    | ARF_CR   | 63            | RW   | DEC1_DL  | A3            | RC   | RES_WDT   | E3            | W    |
| DBC01DR0 | 24            | #    | CMP_CR0  | 64            | #    | DEC2_DH  | A4            | RC   | I2C1_SCR  | E4            | #    |
| DBC01DR1 | 25            | W    | ASY_CR   | 65            | #    | DEC2_DL  | A5            | RC   | I2C1_MSCR | E5            | #    |
| DBC01DR2 | 26            | RW   | CMP_CR1  | 66            | RW   | DEC3_DH  | A6            | RC   | DEC_CR0*  | E6            | RW   |
| DBC01CR0 | 27            | #    | I2C1_DR  | 67            | RW   | DEC3_DL  | A7            | RC   | DEC_CR1*  | E7            | RW   |
| DCC02DR0 | 28            | #    |          | 68            |      | MUL1_X   | A8            | W    | MUL0_X    | E8            | W    |
| DCC02DR1 | 29            | W    |          | 69            |      | MUL1_Y   | A9            | W    | MUL0_Y    | E9            | W    |
| DCC02DR2 | 2A            | RW   | SADC_DH  | 6A            | RW   | MUL1_DH  | AA            | R    | MUL0_DH   | EA            | R    |
| DCC02CR0 | 2B            | #    | SADC_DL  | 6B            | RW   | MUL1_DL  | AB            | R    | MUL0_DL   | EB            | R    |
| DCC03DR0 | 2C            | #    | TMP_DR0  | 6C            | RW   | ACC1_DR1 | AC            | RW   | ACC0_DR1  | EC            | RW   |
| DCC03DR1 | 2D            | W    | TMP_DR1  | 6D            | RW   | ACC1_DR0 | AD            | RW   | ACC0_DR0  | ED            | RW   |
| DCC03DR2 | 2E            | RW   | TMP_DR2  | 6E            | RW   | ACC1_DR3 | AE            | RW   | ACC0_DR3  | EE            | RW   |
| DCC03CR0 | 2F            | #    | TMP_DR3  | 6F            | RW   | ACC1_DR2 | AF            | RW   | ACC0_DR2  | EF            | RW   |
| DBC10DR0 | 30            | #    | ACB00CR3 | 70            | RW   | RDI0RI   | B0            | RW   |           | F0            |      |
| DBC10DR1 | 31            | W    | ACB00CR0 | 71            | RW   | RDI0SYN  | B1            | RW   |           | F1            |      |
| DBC10DR2 | 32            | RW   | ACB00CR1 | 72            | RW   | RDI0IS   | B2            | RW   |           | F2            |      |
| DBC10CR0 | 33            | #    | ACB00CR2 | 73            | RW   | RDI0LT0  | B3            | RW   |           | F3            |      |
| DBC11DR0 | 34            | #    | ACB01CR3 | 74            | RW   | RDI0LT1  | B4            | RW   |           | F4            |      |
| DBC11DR1 | 35            | W    | ACB01CR0 | 75            | RW   | RDI0R00  | B5            | RW   |           | F5            |      |
| DBC11DR2 | 36            | RW   | ACB01CR1 | 76            | RW   | RDI0R01  | B6            | RW   |           | F6            |      |
| DBC11CR0 | 37            | #    | ACB01CR2 | 77            | RW   | RDI0DSM  | B7            | RW   | CPU_F     | F7            | RL   |
| DCC12DR0 | 38            | #    | ACB02CR3 | 78            | RW   | RDI1RI   | B8            | RW   |           | F8            |      |
| DCC12DR1 | 39            | W    | ACB02CR0 | 79            | RW   | RDI1SYN  | B9            | RW   |           | F9            |      |
| DCC12DR2 | 3A            | RW   | ACB02CR1 | 7A            | RW   | RDI1IS   | BA            | RW   |           | FA            |      |
| DCC12CR0 | 3B            | #    | ACB02CR2 | 7B            | RW   | RDI1LT0  | BB            | RW   |           | FB            |      |
| DCC13DR0 | 3C            | #    | ACB03CR3 | 7C            | RW   | RDI1LT1  | BC            | RW   |           | FC            |      |
| DCC13DR1 | 3D            | W    | ACB03CR0 | 7D            | RW   | RDI1R00  | BD            | RW   |           | FD            |      |
| DCC13DR2 | 3E            | RW   | ACB03CR1 | 7E            | RW   | RDI1R01  | BE            | RW   | CPU_SCR1  | FE            | #    |
| DCC13CR0 | 3F            | #    | ACB03CR2 | 7F            | RW   | RDI1DSM  | BF            | RW   | CPU_SCR0  | FF            | #    |

空白のフィールドは予約されているため、アクセスしてはいけない

# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 17. CY8C28x43 のバンク 1 のレジスタ マップ表：コンフィギュレーション空間**

| 名前       | アドレス(1、16進) | アクセス | 名前         | アドレス(1、16進) | アクセス | 名前          | アドレス(1、16進) | アクセス | 名前        | アドレス(1、16進) | アクセス |
|----------|-------------|------|------------|-------------|------|-------------|-------------|------|-----------|-------------|------|
| PRT0DM0  | 00          | RW   | DBC20FN    | 40          | RW   |             | 80          |      | RDI2RI    | C0          | RW   |
| PRT0DM1  | 01          | RW   | DBC20IN    | 41          | RW   | SADC_TSCMPL | 81          | RW   | RDI2SYN   | C1          | RW   |
| PRT0IC0  | 02          | RW   | DBC20OU    | 42          | RW   | SADC_TSCMPH | 82          | RW   | RDI2IS    | C2          | RW   |
| PRT0IC1  | 03          | RW   | DBC20CR1   | 43          | RW   |             | 83          |      | RDI2LT0   | C3          | RW   |
| PRT1DM0  | 04          | RW   | DBC21FN    | 44          | RW   |             | 84          |      | RDI2LT1   | C4          | RW   |
| PRT1DM1  | 05          | RW   | DBC21IN    | 45          | RW   |             | 85          |      | RDI2RO0   | C5          | RW   |
| PRT1IC0  | 06          | RW   | DBC21OU    | 46          | RW   |             | 86          |      | RDI2RO1   | C6          | RW   |
| PRT1IC1  | 07          | RW   | DBC21CR1   | 47          | RW   |             | 87          |      | RDI2DSM   | C7          | RW   |
| PRT2DM0  | 08          | RW   | DCC22FN    | 48          | RW   |             | 88          |      |           | C8          |      |
| PRT2DM1  | 09          | RW   | DCC22IN    | 49          | RW   |             | 89          |      |           | C9          |      |
| PRT2IC0  | 0A          | RW   | DCC22OU    | 4A          | RW   |             | 8A          |      |           | CA          |      |
| PRT2IC1  | 0B          | RW   | DCC22CR1   | 4B          | RW   |             | 8B          |      |           | CB          |      |
| PRT3DM0  | 0C          | RW   | DCC23FN    | 4C          | RW   |             | 8C          |      |           | CC          |      |
| PRT3DM1  | 0D          | RW   | DCC23IN    | 4D          | RW   |             | 8D          |      |           | CD          |      |
| PRT3IC0  | 0E          | RW   | DCC23OU    | 4E          | RW   |             | 8E          |      |           | CE          |      |
| PRT3IC1  | 0F          | RW   | DCC23CR1   | 4F          | RW   |             | 8F          |      |           | CF          |      |
| PRT4DM0  | 10          | RW   |            | 50          |      |             | 90          |      | GDI_O_IN  | D0          | RW   |
| PRT4DM1  | 11          | RW   |            | 51          |      | DEC0_CR0    | 91          | RW   | GDI_E_IN  | D1          | RW   |
| PRT4IC0  | 12          | RW   |            | 52          |      | DEC_CR3     | 92          | RW   | GDI_O_OU  | D2          | RW   |
| PRT4IC1  | 13          | RW   |            | 53          |      |             | 93          |      | GDI_E_OU  | D3          | RW   |
| PRT5DM0  | 14          | RW   |            | 54          |      |             | 94          |      | DEC0_CR   | D4          | RW   |
| PRT5DM1  | 15          | RW   |            | 55          |      | DEC1_CR0    | 95          | RW   | DEC1_CR   | D5          | RW   |
| PRT5IC0  | 16          | RW   |            | 56          |      | DEC_CR4     | 96          | RW   | DEC2_CR   | D6          | RW   |
| PRT5IC1  | 17          | RW   |            | 57          |      |             | 97          |      | DEC3_CR   | D7          | RW   |
|          | 18          |      |            | 58          |      |             | 98          |      | MUX_CR0   | D8          | RW   |
|          | 19          |      |            | 59          |      | DEC2_CR0    | 99          | RW   | MUX_CR1   | D9          | RW   |
|          | 1A          |      |            | 5A          |      | DEC_CR5     | 9A          | RW   | MUX_CR2   | DA          | RW   |
|          | 1B          |      |            | 5B          |      |             | 9B          |      | MUX_CR3   | DB          | RW   |
|          | 1C          |      |            | 5C          |      |             | 9C          |      |           | DC          |      |
|          | 1D          |      |            | 5D          |      | DEC3_CR0    | 9D          | RW   | OSC_GO_EN | DD          | RW   |
|          | 1E          |      |            | 5E          |      |             | 9E          |      | OSC_CR4   | DE          | RW   |
|          | 1F          |      |            | 5F          |      |             | 9F          |      | OSC_CR3   | DF          | RW   |
| DBC00FN  | 20          | RW   | CLK_CR0    | 60          | RW   | GDI_O_IN_CR | A0          | RW   | OSC_CR0   | E0          | RW   |
| DBC00IN  | 21          | RW   | CLK_CR1    | 61          | RW   | GDI_E_IN_CR | A1          | RW   | OSC_CR1   | E1          | RW   |
| DBC00OU  | 22          | RW   | ABF_CR0    | 62          | RW   | GDI_O_OU_CR | A2          | RW   | OSC_CR2   | E2          | RW   |
| DBC00CR1 | 23          | RW   | AMD_CR0    | 63          | RW   | GDI_E_OU_CR | A3          | RW   | VLT_CR    | E3          | RW   |
| DBC01FN  | 24          | RW   | CMP_GO_EN  | 64          | RW   | RTC_H       | A4          | RW   | VLT_CMP   | E4          | RW   |
| DBC01IN  | 25          | RW   | CMP_GO_EN1 | 65          | RW   | RTC_M       | A5          | RW   |           | E5          |      |
| DBC01OU  | 26          | RW   | AMD_CR1    | 66          | RW   | RTC_S       | A6          | RW   |           | E6          |      |
| DBC01CR1 | 27          | RW   | ALT_CR0    | 67          | RW   | RTC_CR      | A7          | RW   |           | E7          |      |
| DCC02FN  | 28          | RW   | ALT_CR1    | 68          | RW   | SADC_CR0    | A8          | RW   | IMO_TR    | E8          | RW   |
| DCC02IN  | 29          | RW   | CLK_CR2    | 69          | RW   | SADC_CR1    | A9          | RW   | ILO_TR    | E9          | RW   |
| DCC02OU  | 2A          | RW   | AMUX_CFG1  | 6A          | RW   | SADC_CR2    | AA          | RW   | BDG_TR    | EA          | RW   |
| DCC02CR1 | 2B          | RW   | I2C1_CFG   | 6B          | RW   | SADC_CR3    | AB          | RW   | ECO_TR    | EB          | RW   |
| DCC03FN  | 2C          | RW   | TMP_DR0    | 6C          | RW   | SADC_CR4    | AC          | RW   | MUX_CR4   | EC          | RW   |
| DCC03IN  | 2D          | RW   | TMP_DR1    | 6D          | RW   | I2C0_ADDR   | AD          | RW   | MUX_CR5   | ED          | RW   |
| DCC03OU  | 2E          | RW   | TMP_DR2    | 6E          | RW   | I2C1_ADDR   | AE          | RW   |           | EE          |      |
| DCC03CR1 | 2F          | RW   | TMP_DR3    | 6F          | RW   | AMUX_CLK    | AF          | RW   |           | EF          |      |
| DBC10FN  | 30          | RW   |            | 70          |      | RDI0RI      | B0          | RW   |           | F0          |      |
| DBC10IN  | 31          | RW   | SADC_TSCR0 | 71          | RW   | RDI0SYN     | B1          | RW   |           | F1          |      |
| DBC10OU  | 32          | RW   | SADC_TSCR1 | 72          | RW   | RDI0IS      | B2          | RW   |           | F2          |      |
| DBC10CR1 | 33          | RW   |            | 73          |      | RDI0LT0     | B3          | RW   |           | F3          |      |
| DBC11FN  | 34          | RW   |            | 74          |      | RDI0LT1     | B4          | RW   |           | F4          |      |
| DBC11IN  | 35          | RW   |            | 75          |      | RDI0R00     | B5          | RW   |           | F5          |      |
| DBC11OU  | 36          | RW   |            | 76          |      | RDI0R01     | B6          | RW   |           | F6          |      |
| DBC11CR1 | 37          | RW   |            | 77          |      | RDI0DSM     | B7          | RW   | CPU_F     | F7          | RL   |
| DCC12FN  | 38          | RW   |            | 78          |      | RDI1RI      | B8          | RW   |           | F8          |      |
| DCC12IN  | 39          | RW   |            | 79          |      | RDI1SYN     | B9          | RW   |           | F9          |      |
| DCC12OU  | 3A          | RW   |            | 7A          |      | RDI1IS      | BA          | RW   | FLS_PR1   | FA          | RW   |
| DCC12CR1 | 3B          | RW   |            | 7B          |      | RDI1LT0     | BB          | RW   |           | FB          |      |
| DCC13FN  | 3C          | RW   |            | 7C          |      | RDI1LT1     | BC          | RW   |           | FC          |      |
| DCC13IN  | 3D          | RW   |            | 7D          |      | RDI1R00     | BD          | RW   |           | FD          |      |
| DCC13OU  | 3E          | RW   |            | 7E          |      | RDI1R01     | BE          | RW   | CPU_SCR1  | FE          | #    |
| DCC13CR1 | 3F          | RW   |            | 7F          |      | RDI1DSM     | BF          | RW   | CPU_SCR0  | FF          | #    |

空白のフィールドは予約されているため、アクセスしてはいけない

# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 18. CY8C28x45 のバンク 0 のレジスタ マップ表 : ユーザー空間**

| 名前       | アドレス (0, 16 進) | アクセス | 名前       | アドレス (0, 16 進) | アクセス | 名前       | アドレス (0, 16 進) | アクセス | 名前        | アドレス (0, 16 進) | アクセス |
|----------|----------------|------|----------|----------------|------|----------|----------------|------|-----------|----------------|------|
| PRT0DR   | 00             | RW   | DBC20DR0 | 40             | #    | ASC10CR0 | 80             | RW   | RDI2RI    | C0             | RW   |
| PRT0IE   | 01             | RW   | DBC20DR1 | 41             | W    | ASC10CR1 | 81             | RW   | RDI2SYN   | C1             | RW   |
| PRT0GS   | 02             | RW   | DBC20DR2 | 42             | RW   | ASC10CR2 | 82             | RW   | RDI2IS    | C2             | RW   |
| PRT0DM2  | 03             | RW   | DBC20CR0 | 43             | #    | ASC10CR3 | 83             | RW   | RDI2LT0   | C3             | RW   |
| PRT1DR   | 04             | RW   | DBC21DR0 | 44             | #    | ASD11CR0 | 84             | RW   | RDI2LT1   | C4             | RW   |
| PRT1IE   | 05             | RW   | DBC21DR1 | 45             | W    | ASD11CR1 | 85             | RW   | RDI2R00   | C5             | RW   |
| PRT1GS   | 06             | RW   | DBC21DR2 | 46             | RW   | ASD11CR2 | 86             | RW   | RDI2R01   | C6             | RW   |
| PRT1DM2  | 07             | RW   | DBC21CR0 | 47             | #    | ASD11CR3 | 87             | RW   | RDI2DSM   | C7             | RW   |
| PRT2DR   | 08             | RW   | DCC22DR0 | 48             | #    | ASC12CR0 | 88             | RW   |           | C8             |      |
| PRT2IE   | 09             | RW   | DCC22DR1 | 49             | W    | ASC12CR1 | 89             | RW   |           | C9             |      |
| PRT2GS   | 0A             | RW   | DCC22DR2 | 4A             | RW   | ASC12CR2 | 8A             | RW   |           | CA             |      |
| PRT2DM2  | 0B             | RW   | DCC22CR0 | 4B             | #    | ASC12CR3 | 8B             | RW   |           | CB             |      |
| PRT3DR   | 0C             | RW   | DCC23DR0 | 4C             | #    | ASD13CR0 | 8C             | RW   |           | CC             |      |
| PRT3IE   | 0D             | RW   | DCC23DR1 | 4D             | W    | ASD13CR1 | 8D             | RW   |           | CD             |      |
| PRT3GS   | 0E             | RW   | DCC23DR2 | 4E             | RW   | ASD13CR2 | 8E             | RW   |           | CE             |      |
| PRT3DM2  | 0F             | RW   | DCC23CR0 | 4F             | #    | ASD13CR3 | 8F             | RW   |           | CF             |      |
| PRT4DR   | 10             | RW   |          | 50             |      | ASD20CR0 | 90             | RW   | CUR_PP    | D0             | RW   |
| PRT4IE   | 11             | RW   |          | 51             |      | ASD20CR1 | 91             | RW   | STK_PP    | D1             | RW   |
| PRT4GS   | 12             | RW   |          | 52             |      | ASD20CR2 | 92             | RW   |           | D2             |      |
| PRT4DM2  | 13             | RW   |          | 53             |      | ASD20CR3 | 93             | RW   | IDX_PP    | D3             | RW   |
| PRT5DR   | 14             | RW   |          | 54             |      | ASC21CR0 | 94             | RW   | MVR_PP    | D4             | RW   |
| PRT5IE   | 15             | RW   |          | 55             |      | ASC21CR1 | 95             | RW   | MVW_PP    | D5             | RW   |
| PRT5GS   | 16             | RW   |          | 56             |      | ASC21CR2 | 96             | RW   | I2C0_CFG  | D6             | RW   |
| PRT5DM2  | 17             | RW   |          | 57             |      | ASC21CR3 | 97             | RW   | I2C0_SCR  | D7             | #    |
|          | 18             |      |          | 58             |      | ASD22CR0 | 98             | RW   | I2C0_DR   | D8             | RW   |
|          | 19             |      |          | 59             |      | ASD22CR1 | 99             | RW   | I2C0_MSCR | D9             | #    |
|          | 1A             |      |          | 5A             |      | ASD22CR2 | 9A             | RW   | INT_CLR0  | DA             | RW   |
|          | 1B             |      |          | 5B             |      | ASD22CR3 | 9B             | RW   | INT_CLR1  | DB             | RW   |
|          | 1C             |      |          | 5C             |      | ASC23CR0 | 9C             | RW   | INT_CLR2  | DC             | RW   |
|          | 1D             |      |          | 5D             |      | ASC23CR1 | 9D             | RW   | INT_CLR3  | DD             | RW   |
|          | 1E             |      |          | 5E             |      | ASC23CR2 | 9E             | RW   | INT_MSK3  | DE             | RW   |
|          | 1F             |      |          | 5F             |      | ASC23CR3 | 9F             | RW   | INT_MSK2  | DF             | RW   |
| DBC00DR0 | 20             | #    | AMX_IN   | 60             | RW   | DEC0_DH  | A0             | RC   | INT_MSK0  | E0             | RW   |
| DBC00DR1 | 21             | W    | AMUX_CFG | 61             | RW   | DEC0_DL  | A1             | RC   | INT_MSK1  | E1             | RW   |
| DBC00DR2 | 22             | RW   | CLK_CR3  | 62             | RW   | DEC1_DH  | A2             | RC   | INT_VC    | E2             | RC   |
| DBC00CR0 | 23             | #    | ARF_CR   | 63             | RW   | DEC1_DL  | A3             | RC   | RES_WDT   | E3             | W    |
| DBC01DR0 | 24             | #    | CMP_CR0  | 64             | #    | DEC2_DH  | A4             | RC   | I2C1_SCR  | E4             | #    |
| DBC01DR1 | 25             | W    | ASY_CR   | 65             | #    | DEC2_DL  | A5             | RC   | I2C1_MSCR | E5             | #    |
| DBC01DR2 | 26             | RW   | CMP_CR1  | 66             | RW   | DEC3_DH  | A6             | RC   | DEC_CR0*  | E6             | RW   |
| DBC01CR0 | 27             | #    | I2C1_DR  | 67             | RW   | DEC3_DL  | A7             | RC   | DEC_CR1*  | E7             | RW   |
| DCC02DR0 | 28             | #    |          | 68             |      | MUL1_X   | A8             | W    | MUL0_X    | E8             | W    |
| DCC02DR1 | 29             | W    |          | 69             |      | MUL1_Y   | A9             | W    | MUL0_Y    | E9             | W    |
| DCC02DR2 | 2A             | RW   | SADC_DH  | 6A             | RW   | MUL1_DH  | AA             | R    | MUL0_DH   | EA             | R    |
| DCC02CR0 | 2B             | #    | SADC_DL  | 6B             | RW   | MUL1_DL  | AB             | R    | MUL0_DL   | EB             | R    |
| DCC03DR0 | 2C             | #    | TMP_DR0  | 6C             | RW   | ACC1_DR1 | AC             | RW   | ACC0_DR1  | EC             | RW   |
| DCC03DR1 | 2D             | W    | TMP_DR1  | 6D             | RW   | ACC1_DR0 | AD             | RW   | ACC0_DR0  | ED             | RW   |
| DCC03DR2 | 2E             | RW   | TMP_DR2  | 6E             | RW   | ACC1_DR3 | AE             | RW   | ACC0_DR3  | EE             | RW   |
| DCC03CR0 | 2F             | #    | TMP_DR3  | 6F             | RW   | ACC1_DR2 | AF             | RW   | ACC0_DR2  | EF             | RW   |
| DBC10DR0 | 30             | #    | ACB00CR3 | 70             | RW   | RDI0RI   | B0             | RW   |           | F0             |      |
| DBC10DR1 | 31             | W    | ACB00CR0 | 71             | RW   | RDI0SYN  | B1             | RW   |           | F1             |      |
| DBC10DR2 | 32             | RW   | ACB00CR1 | 72             | RW   | RDI0IS   | B2             | RW   |           | F2             |      |
| DBC10CR0 | 33             | #    | ACB00CR2 | 73             | RW   | RDI0LT0  | B3             | RW   |           | F3             |      |
| DBC11DR0 | 34             | #    | ACB01CR3 | 74             | RW   | RDI0LT1  | B4             | RW   |           | F4             |      |
| DBC11DR1 | 35             | W    | ACB01CR0 | 75             | RW   | RDI0R00  | B5             | RW   |           | F5             |      |
| DBC11DR2 | 36             | RW   | ACB01CR1 | 76             | RW   | RDI0R01  | B6             | RW   |           | F6             |      |
| DBC11CR0 | 37             | #    | ACB01CR2 | 77             | RW   | RDI0DSM  | B7             | RW   | CPU_F     | F7             | RL   |
| DCC12DR0 | 38             | #    | ACB02CR3 | 78             | RW   | RDI1RI   | B8             | RW   |           | F8             |      |
| DCC12DR1 | 39             | W    | ACB02CR0 | 79             | RW   | RDI1SYN  | B9             | RW   |           | F9             |      |
| DCC12DR2 | 3A             | RW   | ACB02CR1 | 7A             | RW   | RDI1IS   | BA             | RW   |           | FA             |      |
| DCC12CR0 | 3B             | #    | ACB02CR2 | 7B             | RW   | RDI1LT0  | BB             | RW   |           | FB             |      |
| DCC13DR0 | 3C             | #    | ACB03CR3 | 7C             | RW   | RDI1LT1  | BC             | RW   | DAC1_D    | FC             | RW   |
| DCC13DR1 | 3D             | W    | ACB03CR0 | 7D             | RW   | RDI1R00  | BD             | RW   | DAC0_D    | FD             | RW   |
| DCC13DR2 | 3E             | RW   | ACB03CR1 | 7E             | RW   | RDI1R01  | BE             | RW   | CPU_SCR1  | FE             | #    |
| DCC13CR0 | 3F             | #    | ACB03CR2 | 7F             | RW   | RDI1DSM  | BF             | RW   | CPU_SCR0  | FF             | #    |

空白のフィールドは予約されているため、アクセスしてはいけない

# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 19. CY8C28x45 のバンク 1 のレジスタ マップ表：コンフィギュレーション空間**

| 名前       | アドレス(1、16進) | アクセス | 名前            | アドレス(1、16進) | アクセス | 名前          | アドレス(1、16進) | アクセス | 名前        | アドレス(1、16進) | アクセス |
|----------|-------------|------|---------------|-------------|------|-------------|-------------|------|-----------|-------------|------|
| PRT0DM0  | 00          | RW   | DBC20FN       | 40          | RW   |             | 80          | RW   | RDI2RI    | C0          | RW   |
| PRT0DM1  | 01          | RW   | DBC20IN       | 41          | RW   | SADC_TSCMPL | 81          | RW   | RDI2SYN   | C1          | RW   |
| PRT0IC0  | 02          | RW   | DBC20OU       | 42          | RW   | SADC_TSCMPH | 82          | RW   | RDI2IS    | C2          | RW   |
| PRT0IC1  | 03          | RW   | DBC20CR1      | 43          | RW   | ACE_AMD_CR1 | 83          | RW   | RDI2LT0   | C3          | RW   |
| PRT1DM0  | 04          | RW   | DBC21FN       | 44          | RW   |             | 84          | RW   | RDI2LT1   | C4          | RW   |
| PRT1DM1  | 05          | RW   | DBC21IN       | 45          | RW   | ACE_PWM_CR  | 85          | RW   | RDI2R00   | C5          | RW   |
| PRT1IC0  | 06          | RW   | DBC21OU       | 46          | RW   | ACE_ADC0_CR | 86          | RW   | RDI2R01   | C6          | RW   |
| PRT1IC1  | 07          | RW   | DBC21CR1      | 47          | RW   | ACE_ADC1_CR | 87          | RW   | RDI2DSM   | C7          | RW   |
| PRT2DM0  | 08          | RW   | DCC22FN       | 48          | RW   |             | 88          | RW   |           | C8          |      |
| PRT2DM1  | 09          | RW   | DCC22IN       | 49          | RW   | ACE_CLK_CR0 | 89          | RW   |           | C9          |      |
| PRT2IC0  | 0A          | RW   | DCC22OU       | 4A          | RW   | ACE_CLK_CR1 | 8A          | RW   |           | CA          |      |
| PRT2IC1  | 0B          | RW   | DCC22CR1      | 4B          | RW   | ACE_CLK_CR3 | 8B          | RW   |           | CB          |      |
| PRT3DM0  | 0C          | RW   | DCC23FN       | 4C          | RW   |             | 8C          | RW   |           | CC          |      |
| PRT3DM1  | 0D          | RW   | DCC23IN       | 4D          | RW   | ACE01CR1    | 8D          | RW   |           | CD          |      |
| PRT3IC0  | 0E          | RW   | DCC23OU       | 4E          | RW   | ACE01CR2    | 8E          | RW   |           | CE          |      |
| PRT3IC1  | 0F          | RW   | DCC23CR1      | 4F          | RW   | ASE11CR0    | 8F          | RW   |           | CF          |      |
| PRT4DM0  | 10          | RW   |               | 50          |      |             | 90          |      | GDI_O_IN  | D0          | RW   |
| PRT4DM1  | 11          | RW   |               | 51          |      | DEC0_CR0    | 91          | RW   | GDI_E_IN  | D1          | RW   |
| PRT4IC0  | 12          | RW   |               | 52          |      | DEC_CR3     | 92          | RW   | GDI_O_OU  | D2          | RW   |
| PRT4IC1  | 13          | RW   |               | 53          |      |             | 93          |      | GDI_E_OU  | D3          | RW   |
| PRT5DM0  | 14          | RW   |               | 54          |      |             | 94          |      | DEC0_CR   | D4          | RW   |
| PRT5DM1  | 15          | RW   |               | 55          |      | DEC1_CR0    | 95          | RW   | DEC1_CR   | D5          | RW   |
| PRT5IC0  | 16          | RW   |               | 56          |      | DEC_CR4     | 96          | RW   | DEC2_CR   | D6          | RW   |
| PRT5IC1  | 17          | RW   |               | 57          |      |             | 97          |      | DEC3_CR   | D7          | RW   |
|          | 18          |      |               | 58          |      |             | 98          |      | MUX_CR0   | D8          | RW   |
|          | 19          |      |               | 59          |      | DEC2_CR0    | 99          | RW   | MUX_CR1   | D9          | RW   |
|          | 1A          |      |               | 5A          |      | DEC_CR5     | 9A          | RW   | MUX_CR2   | DA          | RW   |
|          | 1B          |      |               | 5B          |      |             | 9B          |      | MUX_CR3   | DB          | RW   |
|          | 1C          |      |               | 5C          |      |             | 9C          |      | IDAC_CR1  | DC          | RW   |
|          | 1D          |      |               | 5D          |      | DEC3_CR0    | 9D          | RW   | OSC_GO_EN | DD          | RW   |
|          | 1E          |      |               | 5E          |      |             | 9E          |      | OSC_CR4   | DE          | RW   |
|          | 1F          |      |               | 5F          |      |             | 9F          |      | OSC_CR3   | DF          | RW   |
| DBC00FN  | 20          | RW   | CLK_CR0       | 60          | RW   | GDI_O_IN_CR | A0          | RW   | OSC_CR0   | E0          | RW   |
| DBC00IN  | 21          | RW   | CLK_CR1       | 61          | RW   | GDI_E_IN_CR | A1          | RW   | OSC_CR1   | E1          | RW   |
| DBC00OU  | 22          | RW   | ABF_CR0       | 62          | RW   | GDI_O_OU_CR | A2          | RW   | OSC_CR2   | E2          | RW   |
| DBC00CR1 | 23          | RW   | AMD_CR0       | 63          | RW   | GDI_E_OU_CR | A3          | RW   | VLT_CR    | E3          | RW   |
| DBC01FN  | 24          | RW   | CMP_GO_EN     | 64          | RW   | RTC_H       | A4          | RW   | VLT_CMP   | E4          | RW   |
| DBC01IN  | 25          | RW   | CMP_GO_EN1    | 65          | RW   | RTC_M       | A5          | RW   | ADC0_TR   | E5          | RW   |
| DBC01OU  | 26          | RW   | AMD_CR1       | 66          | RW   | RTC_S       | A6          | RW   | ADC1_TR   | E6          | RW   |
| DBC01CR1 | 27          | RW   | ALT_CR0       | 67          | RW   | RTC_CR      | A7          | RW   | IDAC_CR2  | E7          | RW   |
| DCC02FN  | 28          | RW   | ALT_CR1       | 68          | RW   | SADC_CR0    | A8          | RW   | IMO_TR    | E8          | RW   |
| DCC02IN  | 29          | RW   | CLK_CR2       | 69          | RW   | SADC_CR1    | A9          | RW   | ILO_TR    | E9          | RW   |
| DCC02OU  | 2A          | RW   | AMUX_CFG1     | 6A          | RW   | SADC_CR2    | AA          | RW   | BDG_TR    | EA          | RW   |
| DCC02CR1 | 2B          | RW   | I2C1_CFG      | 6B          | RW   | SADC_CR3    | AB          | RW   | ECO_TR    | EB          | RW   |
| DCC03FN  | 2C          | RW   | TMP_DR0       | 6C          | RW   | SADC_CR4    | AC          | RW   | MUX_CR4   | EC          | RW   |
| DCC03IN  | 2D          | RW   | TMP_DR1       | 6D          | RW   | I2C0_ADDR   | AD          | RW   | MUX_CR5   | ED          | RW   |
| DCC03OU  | 2E          | RW   | TMP_DR2       | 6E          | RW   | I2C1_ADDR   | AE          | RW   |           | EE          |      |
| DCC03CR1 | 2F          | RW   | TMP_DR3       | 6F          | RW   | AMUX_CLK    | AF          | RW   |           | EF          |      |
| DBC10FN  | 30          | RW   |               | 70          |      | RDI0RI      | B0          | RW   |           | F0          |      |
| DBC10IN  | 31          | RW   | SADC_TSCR0    | 71          | RW   | RDI0SYN     | B1          | RW   |           | F1          |      |
| DBC10OU  | 32          | RW   | SADC_TSCR1    | 72          | RW   | RDI0IS      | B2          | RW   |           | F2          |      |
| DBC10CR1 | 33          | RW   | ACE_AMD_CR0   | 73          | RW   | RDI0LT0     | B3          | RW   |           | F3          |      |
| DBC11FN  | 34          | RW   |               | 74          |      | RDI0LT1     | B4          | RW   |           | F4          |      |
| DBC11IN  | 35          | RW   | ACE_AMX_IN    | 75          | RW   | RDI0R00     | B5          | RW   |           | F5          |      |
| DBC11OU  | 36          | RW   | ACE_CMP_CR0   | 76          | RW   | RDI0R01     | B6          | RW   |           | F6          |      |
| DBC11CR1 | 37          | RW   | ACE_CMP_CR1   | 77          | RW   | RDI0DSM     | B7          | RW   | CPU_F     | F7          | RL   |
| DCC12FN  | 38          | RW   |               | 78          |      | RDI1RI      | B8          | RW   |           | F8          |      |
| DCC12IN  | 39          | RW   | ACE_CMP_GI_EN | 79          | RW   | RDI1SYN     | B9          | RW   |           | F9          |      |
| DCC12OU  | 3A          | RW   | ACE_ALT_CR0   | 7A          | RW   | RDI1IS      | BA          | RW   | FLS_PR1   | FA          | RW   |
| DCC12CR1 | 3B          | RW   | ACE_ABF_CR0   | 7B          | RW   | RDI1LT0     | BB          | RW   |           | FB          |      |
| DCC13FN  | 3C          | RW   |               | 7C          |      | RDI1LT1     | BC          | RW   |           | FC          |      |
| DCC13IN  | 3D          | RW   | ACE0_CR1      | 7D          | RW   | RDI1R00     | BD          | RW   | IDAC_CR0  | FD          | RW   |
| DCC13OU  | 3E          | RW   | ACE0_CR2      | 7E          | RW   | RDI1R01     | BE          | RW   | CPU_SCR1  | FE          | #    |
| DCC13CR1 | 3F          | RW   | ACE0_CR3      | 7F          | RW   | RDI1DSM     | BF          | RW   | CPU_SCR0  | FF          | #    |

空白のフィールドは予約されているため、アクセスしてはいけない

# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 20. CY8C28x52 のバンク 0 のレジスタ マップ表 : ユーザー空間**

| 名前       | アドレス (0, 16 進) | アクセス | 名前       | アドレス (0, 16 進) | アクセス | 名前       | アドレス (0, 16 進) | アクセス | 名前        | アドレス (0, 16 進) | アクセス |
|----------|----------------|------|----------|----------------|------|----------|----------------|------|-----------|----------------|------|
| PRT0DR   | 00             | RW   |          | 40             |      | ASC10CR0 | 80             | RW   |           | C0             |      |
| PRT0IE   | 01             | RW   |          | 41             |      | ASC10CR1 | 81             | RW   |           | C1             |      |
| PRT0GS   | 02             | RW   |          | 42             |      | ASC10CR2 | 82             | RW   |           | C2             |      |
| PRT0DM2  | 03             | RW   |          | 43             |      | ASC10CR3 | 83             | RW   |           | C3             |      |
| PRT1DR   | 04             | RW   |          | 44             |      | ASD11CR0 | 84             | RW   |           | C4             |      |
| PRT1IE   | 05             | RW   |          | 45             |      | ASD11CR1 | 85             | RW   |           | C5             |      |
| PRT1GS   | 06             | RW   |          | 46             |      | ASD11CR2 | 86             | RW   |           | C6             |      |
| PRT1DM2  | 07             | RW   |          | 47             |      | ASD11CR3 | 87             | RW   |           | C7             |      |
| PRT2DR   | 08             | RW   |          | 48             |      | ASC12CR0 | 88             | RW   |           | C8             |      |
| PRT2IE   | 09             | RW   |          | 49             |      | ASC12CR1 | 89             | RW   |           | C9             |      |
| PRT2GS   | 0A             | RW   |          | 4A             |      | ASC12CR2 | 8A             | RW   |           | CA             |      |
| PRT2DM2  | 0B             | RW   |          | 4B             |      | ASC12CR3 | 8B             | RW   |           | CB             |      |
| PRT3DR   | 0C             | RW   |          | 4C             |      | ASD13CR0 | 8C             | RW   |           | CC             |      |
| PRT3IE   | 0D             | RW   |          | 4D             |      | ASD13CR1 | 8D             | RW   |           | CD             |      |
| PRT3GS   | 0E             | RW   |          | 4E             |      | ASD13CR2 | 8E             | RW   |           | CE             |      |
| PRT3DM2  | 0F             | RW   |          | 4F             |      | ASD13CR3 | 8F             | RW   |           | CF             |      |
| PRT4DR   | 10             | RW   |          | 50             |      | ASD20CR0 | 90             | RW   | CUR_PP    | D0             | RW   |
| PRT4IE   | 11             | RW   |          | 51             |      | ASD20CR1 | 91             | RW   | STK_PP    | D1             | RW   |
| PRT4GS   | 12             | RW   |          | 52             |      | ASD20CR2 | 92             | RW   |           | D2             |      |
| PRT4DM2  | 13             | RW   |          | 53             |      | ASD20CR3 | 93             | RW   | IDX_PP    | D3             | RW   |
| PRT5DR   | 14             | RW   |          | 54             |      | ASD21CR0 | 94             | RW   | MVR_PP    | D4             | RW   |
| PRT5IE   | 15             | RW   |          | 55             |      | ASD21CR1 | 95             | RW   | MVW_PP    | D5             | RW   |
| PRT5GS   | 16             | RW   |          | 56             |      | ASD21CR2 | 96             | RW   | I2C0_CFG  | D6             | RW   |
| PRT5DM2  | 17             | RW   |          | 57             |      | ASD21CR3 | 97             | RW   | I2C0_SCR  | D7             | #    |
|          | 18             |      |          | 58             |      | ASD22CR0 | 98             | RW   | I2C0_DR   | D8             | RW   |
|          | 19             |      |          | 59             |      | ASD22CR1 | 99             | RW   | I2C0_MSCR | D9             | #    |
|          | 1A             |      |          | 5A             |      | ASD22CR2 | 9A             | RW   | INT_CLR0  | DA             | RW   |
|          | 1B             |      |          | 5B             |      | ASD22CR3 | 9B             | RW   | INT_CLR1  | DB             | RW   |
|          | 1C             |      |          | 5C             |      | ASC23CR0 | 9C             | RW   | INT_CLR2  | DC             | RW   |
|          | 1D             |      |          | 5D             |      | ASC23CR1 | 9D             | RW   | INT_CLR3  | DD             | RW   |
|          | 1E             |      |          | 5E             |      | ASC23CR2 | 9E             | RW   | INT_MSK3  | DE             | RW   |
|          | 1F             |      |          | 5F             |      | ASC23CR3 | 9F             | RW   | INT_MSK2  | DF             | RW   |
| DBC00DR0 | 20             | #    | AMX_IN   | 60             | RW   | DEC0_DH  | A0             | RC   | INT_MSK0  | E0             | RW   |
| DBC00DR1 | 21             | W    | AMUX_CFG | 61             | RW   | DEC0_DL  | A1             | RC   | INT_MSK1  | E1             | RW   |
| DBC00DR2 | 22             | RW   | CLK_CR3  | 62             | RW   | DEC1_DH  | A2             | RC   | INT_VC    | E2             | RC   |
| DBC00CR0 | 23             | #    | ARF_CR   | 63             | RW   | DEC1_DL  | A3             | RC   | RES_WDT   | E3             | W    |
| DBC01DR0 | 24             | #    | CMP_CRO  | 64             | #    | DEC2_DH  | A4             | RC   |           | E4             |      |
| DBC01DR1 | 25             | W    | ASY_CR   | 65             | #    | DEC2_DL  | A5             | RC   |           | E5             |      |
| DBC01DR2 | 26             | RW   | CMP_CR1  | 66             | RW   | DEC3_DH  | A6             | RC   | DEC_CR0*  | E6             | RW   |
| DBC01CR0 | 27             | #    |          | 67             |      | DEC3_DL  | A7             | RC   | DEC_CR1*  | E7             | RW   |
| DCC02DR0 | 28             | #    |          | 68             |      | MUL1_X   | A8             | W    | MUL0_X    | E8             | W    |
| DCC02DR1 | 29             | W    |          | 69             |      | MUL1_Y   | A9             | W    | MUL0_Y    | E9             | W    |
| DCC02DR2 | 2A             | RW   |          | 6A             |      | MUL1_DH  | AA             | R    | MUL0_DH   | EA             | R    |
| DCC02CR0 | 2B             | #    |          | 6B             |      | MUL1_DL  | AB             | R    | MUL0_DL   | EB             | R    |
| DCC03DR0 | 2C             | #    | TMP_DR0  | 6C             | RW   | ACC1_DR1 | AC             | RW   | ACC0_DR1  | EC             | RW   |
| DCC03DR1 | 2D             | W    | TMP_DR1  | 6D             | RW   | ACC1_DR0 | AD             | RW   | ACC0_DR0  | ED             | RW   |
| DCC03DR2 | 2E             | RW   | TMP_DR2  | 6E             | RW   | ACC1_DR3 | AE             | RW   | ACC0_DR3  | EE             | RW   |
| DCC03CR0 | 2F             | #    | TMP_DR3  | 6F             | RW   | ACC1_DR2 | AF             | RW   | ACC0_DR2  | EF             | RW   |
| DBC10DR0 | 30             | #    | ACB00CR3 | 70             | RW   | RDI0RI   | B0             | RW   |           | F0             |      |
| DBC10DR1 | 31             | W    | ACB00CR0 | 71             | RW   | RDI0SYN  | B1             | RW   |           | F1             |      |
| DBC10DR2 | 32             | RW   | ACB00CR1 | 72             | RW   | RDI0IS   | B2             | RW   |           | F2             |      |
| DBC10CR0 | 33             | #    | ACB00CR2 | 73             | RW   | RDI0LT0  | B3             | RW   |           | F3             |      |
| DBC11DR0 | 34             | #    | ACB01CR3 | 74             | RW   | RDI0LT1  | B4             | RW   |           | F4             |      |
| DBC11DR1 | 35             | W    | ACB01CR0 | 75             | RW   | RDI0R00  | B5             | RW   |           | F5             |      |
| DBC11DR2 | 36             | RW   | ACB01CR1 | 76             | RW   | RDI0R01  | B6             | RW   |           | F6             |      |
| DBC11CR0 | 37             | #    | ACB01CR2 | 77             | RW   | RDI0DSM  | B7             | RW   | CPU_F     | F7             | RL   |
| DCC12DR0 | 38             | #    | ACB02CR3 | 78             | RW   | RDI1RI   | B8             | RW   |           | F8             |      |
| DCC12DR1 | 39             | W    | ACB02CR0 | 79             | RW   | RDI1SYN  | B9             | RW   |           | F9             |      |
| DCC12DR2 | 3A             | RW   | ACB02CR1 | 7A             | RW   | RDI1IS   | BA             | RW   |           | FA             |      |
| DCC12CR0 | 3B             | #    | ACB02CR2 | 7B             | RW   | RDI1LT0  | BB             | RW   |           | FB             |      |
| DCC13DR0 | 3C             | #    | ACB03CR3 | 7C             | RW   | RDI1LT1  | BC             | RW   | DAC1_D    | FC             | RW   |
| DCC13DR1 | 3D             | W    | ACB03CR0 | 7D             | RW   | RDI1R00  | BD             | RW   | DAC0_D    | FD             | RW   |
| DCC13DR2 | 3E             | RW   | ACB03CR1 | 7E             | RW   | RDI1R01  | BE             | RW   | CPU_SCR1  | FE             | #    |
| DCC13CR0 | 3F             | #    | ACB03CR2 | 7F             | RW   | RDI1DSM  | BF             | RW   | CPU_SCR0  | FF             | #    |

空白のフィールドは予約されているため、アクセスしてはいけない

# アクセスはビット固有

\* アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。

**表 21. CY8C28x52 のバンク 1 のレジスタ マップ表：コンフィギュレーション空間**

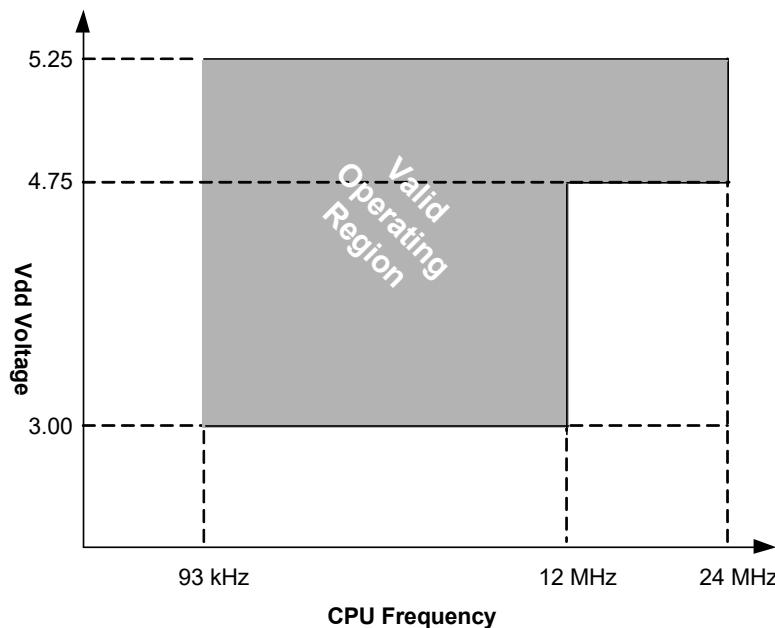
| 名前                             | アドレス(1, 16進) | アクセス         | 名前            | アドレス(1, 16進)                             | アクセス | 名前          | アドレス(1, 16進) | アクセス | 名前        | アドレス(1, 16進) | アクセス |
|--------------------------------|--------------|--------------|---------------|--|------|-------------|--------------|------|-----------|--------------|------|
| PRT0DM0                        | 00           | RW           |               | 40                                       |      |             | 80           |      |           | C0           |      |
| PRT0DM1                        | 01           | RW           |               | 41                                       |      |             | 81           |      |           | C1           |      |
| PRT0IC0                        | 02           | RW           |               | 42                                       |      |             | 82           |      |           | C2           |      |
| PRT0IC1                        | 03           | RW           |               | 43                                       |      | ACE_AMD_CR1 | 83           | RW   |           | C3           |      |
| PRT1DM0                        | 04           | RW           |               | 44                                       |      |             | 84           |      |           | C4           |      |
| PRT1DM1                        | 05           | RW           |               | 45                                       |      | ACE_PWM_CR  | 85           | RW   |           | C5           |      |
| PRT1IC0                        | 06           | RW           |               | 46                                       |      | ACE_ADC0_CR | 86           | RW   |           | C6           |      |
| PRT1IC1                        | 07           | RW           |               | 47                                       |      | ACE_ADC1_CR | 87           | RW   |           | C7           |      |
| PRT2DM0                        | 08           | RW           |               | 48                                       |      |             | 88           |      |           | C8           |      |
| PRT2DM1                        | 09           | RW           |               | 49                                       |      | ACE_CLK_CR0 | 89           | RW   |           | C9           |      |
| PRT2IC0                        | 0A           | RW           |               | 4A                                       |      | ACE_CLK_CR1 | 8A           | RW   |           | CA           |      |
| PRT2IC1                        | 0B           | RW           |               | 4B                                       |      | ACE_CLK_CR3 | 8B           | RW   |           | CB           |      |
| PRT3DM0                        | 0C           | RW           |               | 4C                                       |      |             | 8C           |      |           | CC           |      |
| PRT3DM1                        | 0D           | RW           |               | 4D                                       |      | ACE01CR1    | 8D           | RW   |           | CD           |      |
| PRT3IC0                        | 0E           | RW           |               | 4E                                       |      | ACE01CR2    | 8E           | RW   |           | CE           |      |
| PRT3IC1                        | 0F           | RW           |               | 4F                                       |      | ASE11CR0    | 8F           | RW   |           | CF           |      |
| PRT4DM0                        | 10           | RW           |               | 50                                       |      |             | 90           |      | GDI_O_IN  | D0           | RW   |
| PRT4DM1                        | 11           | RW           |               | 51                                       |      | DEC0_CR0    | 91           | RW   | GDI_E_IN  | D1           | RW   |
| PRT4IC0                        | 12           | RW           |               | 52                                       |      | DEC_CR3     | 92           | RW   | GDI_O_OU  | D2           | RW   |
| PRT4IC1                        | 13           | RW           |               | 53                                       |      |             | 93           |      | GDI_E_OU  | D3           | RW   |
| PRT5DM0                        | 14           | RW           |               | 54                                       |      |             | 94           |      | DEC0_CR   | D4           | RW   |
| PRT5DM1                        | 15           | RW           |               | 55                                       |      | DEC1_CR0    | 95           | RW   | DEC1_CR   | D5           | RW   |
| PRT5IC0                        | 16           | RW           |               | 56                                       |      | DEC_CR4     | 96           | RW   | DEC2_CR   | D6           | RW   |
| PRT5IC1                        | 17           | RW           |               | 57                                       |      |             | 97           |      | DEC3_CR   | D7           | RW   |
|                                | 18           |              |               | 58                                       |      |             | 98           |      | MUX_CR0   | D8           | RW   |
|                                | 19           |              |               | 59                                       |      | DEC2_CR0    | 99           | RW   | MUX_CR1   | D9           | RW   |
|                                | 1A           |              |               | 5A                                       |      | DEC_CR5     | 9A           | RW   | MUX_CR2   | DA           | RW   |
|                                | 1B           |              |               | 5B                                       |      |             | 9B           |      | MUX_CR3   | DB           | RW   |
|                                | 1C           |              |               | 5C                                       |      |             | 9C           |      | IDAC_CR1  | DC           | RW   |
|                                | 1D           |              |               | 5D                                       |      | DEC3_CR0    | 9D           | RW   | OSC_GO_EN | DD           | RW   |
|                                | 1E           |              |               | 5E                                       |      |             | 9E           |      | OSC_CR4   | DE           | RW   |
|                                | 1F           |              |               | 5F                                       |      |             | 9F           |      | OSC_CR3   | DF           | RW   |
| DBC00FN                        | 20           | RW           | CLK_CR0       | 60                                       | RW   | GDI_O_IN_CR | A0           | RW   | OSC_CR0   | E0           | RW   |
| DBC00IN                        | 21           | RW           | CLK_CR1       | 61                                       | RW   | GDI_E_IN_CR | A1           | RW   | OSC_CR1   | E1           | RW   |
| DBC00OU                        | 22           | RW           | ABF_CR0       | 62                                       | RW   | GDI_O_OU_CR | A2           | RW   | OSC_CR2   | E2           | RW   |
| DBC00CR1                       | 23           | RW           | AMD_CR0       | 63                                       | RW   | GDI_E_OU_CR | A3           | RW   | VLT_CR    | E3           | RW   |
| DBC01FN                        | 24           | RW           | CMP_GO_EN     | 64                                       | RW   | RTC_H       | A4           | RW   | VLT_CMP   | E4           | RW   |
| DBC01IN                        | 25           | RW           | CMP_GO_EN1    | 65                                       | RW   | RTC_M       | A5           | RW   | ADC0_TR   | E5           | RW   |
| DBC01OU                        | 26           | RW           | AMD_CR1       | 66                                       | RW   | RTC_S       | A6           | RW   | ADC1_TR   | E6           | RW   |
| DBC01CR1                       | 27           | RW           | ALT_CR0       | 67                                       | RW   | RTC_CR      | A7           | RW   | IDAC_CR2  | E7           | RW   |
| DCC02FN                        | 28           | RW           | ALT_CR1       | 68                                       | RW   |             | A8           |      | IMO_TR    | E8           | RW   |
| DCC02IN                        | 29           | RW           | CLK_CR2       | 69                                       | RW   |             | A9           |      | ILO_TR    | E9           | RW   |
| DCC02OU                        | 2A           | RW           | AMUX_CFG1     | 6A                                       | RW   |             | AA           |      | BDG_TR    | EA           | RW   |
| DCC02CR1                       | 2B           | RW           |               | 6B                                       |      |             | AB           |      | ECO_TR    | EB           | RW   |
| DCC03FN                        | 2C           | RW           | TMP_DR0       | 6C                                       | RW   |             | AC           |      | MUX_CR4   | EC           | RW   |
| DCC03IN                        | 2D           | RW           | TMP_DR1       | 6D                                       | RW   | I2C0_ADDR   | AD           | RW   | MUX_CR5   | ED           | RW   |
| DCC03OU                        | 2E           | RW           | TMP_DR2       | 6E                                       | RW   |             | AE           |      |           | EE           |      |
| DCC03CR1                       | 2F           | RW           | TMP_DR3       | 6F                                       | RW   | AMUX_CLK    | AF           | RW   |           | EF           |      |
| DBC10FN                        | 30           | RW           |               | 70                                       |      | RDI0RI      | B0           | RW   |           | F0           |      |
| DBC10IN                        | 31           | RW           |               | 71                                       |      | RDI0SYN     | B1           | RW   |           | F1           |      |
| DBC10OU                        | 32           | RW           |               | 72                                       |      | RDI0IS      | B2           | RW   |           | F2           |      |
| DBC10CR1                       | 33           | RW           | ACE_AMD_CR0   | 73                                       | RW   | RDI0LT0     | B3           | RW   |           | F3           |      |
| DBC11FN                        | 34           | RW           |               | 74                                       |      | RDI0LT1     | B4           | RW   |           | F4           |      |
| DBC11IN                        | 35           | RW           | ACE_AMX_IN    | 75                                       | RW   | RDI0R00     | B5           | RW   |           | F5           |      |
| DBC11OU                        | 36           | RW           | ACE_CMP_CR0   | 76                                       | RW   | RDI0R01     | B6           | RW   |           | F6           |      |
| DBC11CR1                       | 37           | RW           | ACE_CMP_CR1   | 77                                       | RW   | RDI0DSM     | B7           | RW   | CPU_F     | F7           | RL   |
| DCC12FN                        | 38           | RW           |               | 78                                       |      | RDI1RI      | B8           | RW   |           | F8           |      |
| DCC12IN                        | 39           | RW           | ACE_CMP_GI_EN | 79                                       | RW   | RDI1SYN     | B9           | RW   |           | F9           |      |
| DCC12OU                        | 3A           | RW           | ACE_ALT_CR0   | 7A                                       | RW   | RDI1IS      | BA           | RW   | FLS_PR1   | FA           | RW   |
| DCC12CR1                       | 3B           | RW           | ACE_ABF_CR0   | 7B                                       | RW   | RDI1LT0     | BB           | RW   |           | FB           |      |
| DCC13FN                        | 3C           | RW           |               | 7C                                       |      | RDI1LT1     | BC           | RW   |           | FC           |      |
| DCC13IN                        | 3D           | RW           | ACE0_CR1      | 7D                                       | RW   | RDI1R00     | BD           | RW   | IDAC_CR0  | FD           | RW   |
| DCC13OU                        | 3E           | RW           | ACE0_CR2      | 7E                                       | RW   | RDI1R01     | BE           | RW   | CPU_SCR1  | FE           | #    |
| DCC13CR1                       | 3F           | RW           | ACE0_CR3      | 7F                                       | RW   | RDI1DSM     | BF           | RW   | CPU_SCR0  | FF           | #    |
| 空白のフィールドは予約されているため、アクセスしてはいけない |              | # アクセスはビット固有 |               | * アドレスは二重目的。251 ページの「マッピングの例外」を参照してください。 |      |             |              |      |           |              |      |

## 電気的仕様

本節では、CY8C28xxx PSoC デバイスの DC および AC 電気的仕様について説明します。最新の電気的仕様については、[www.cypress.com](http://www.cypress.com) にアクセスして、参照しているデータシートが最新のものであることを確認してください。

特記されていない限り、仕様は  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$  および  $T_J \leq 100^{\circ}\text{C}$  で有効です。

図 8. 電圧と CPU 周波数の関係



## 絶対最大定格

表 22. 絶対最大定格

| 記号                    | 説明  | Min                   | Typ | Max                   | 単位 | 注  |
|-----------------------|---|-----------------------|-----|-----------------------|----|--|
| T <sub>STG</sub>      | 保管温度  | -55                   | 25  | +100                  | °C | 保管温度が高いほど、データ保存期間は短くなる。推奨保管温度は+25°C ± 25°C。65°C を超える温度で長期間保管すると、信頼性が低下 |
| T <sub>BAKETEMP</sub> | ベーキング温度                                     | -                     | 125 | パッケージのラベルを参照してください。   | °C |  |
| t <sub>BAKETIME</sub> | ベーキング時間                                     | パッケージのラベルを参照してください。   | -   | 72                    | 時間 |  |
| T <sub>A</sub>        | 通電時の周囲温度                                    | -40                   | -   | +85                   | °C |  |
| V <sub>DD</sub>       | V <sub>SS</sub> を基準にしたV <sub>DD</sub> の電源電圧 | -0.5                  | -   | +6.0                  | V  |  |
| V <sub>IO</sub>       | DC 入力電圧                                     | V <sub>SS</sub> - 0.5 | -   | V <sub>DD</sub> + 0.5 | V  |  |
| V <sub>IOZ</sub>      | トライステートの時の DC 電圧                            | V <sub>SS</sub> - 0.5 | -   | V <sub>DD</sub> + 0.5 | V  |  |
| I <sub>MIO</sub>      | ポート ピンへの最大電流                                | -25                   | -   | +50                   | mA |  |
| I <sub>MAIO</sub>     | アナログ ドライバーにコンフィギュレーションされたポート ピンへの最大電流       | -50                   | -   | +50                   | mA |  |
| ESD                   | 静電放電電圧                                      | 2000                  | -   | -                     | V  | 人体モデル ESD  |
| LU                    | ラッチアップ電流                                    | -                     | -   | 200                   | mA |  |

## 動作温度

表 23. 動作温度

| 記号             | 説明    | Min | Typ | Max  | 単位 | 注  |
|----------------|-------|-----|-----|------|----|--|
| T <sub>A</sub> | 周囲温度  | -40 | -   | +85  | °C |  |
| T <sub>J</sub> | 接合部温度 | -40 | -   | +100 | °C | 周囲温度からの接合部の温度上昇はパッケージによって異なる。熱インピーダンスを参照してください。この要件を満たすように消費電力を制限する必要がある |

## DC 電気的特性

### チップ レベルの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

表 24. チップ レベルの DC 仕様

| 記号                  | 説明  | Min   | Typ   | Max   | 単位            | 注   |
|---------------------|---|-------|-------|-------|---------------|---|
| $V_{\text{DD}}$     | 電源電圧  | 3.00  | —     | 5.25  | V             |   |
| $I_{\text{DD}}$     | 供給電流  | —     | 8     | 14    | mA            | 条件： $V_{\text{DD}} = 5.0\text{V}$ 、 $T_{\text{A}} = 25^{\circ}\text{C}$ 、<br>CPU = 3MHz、SYSCLK ダブラーが無効。VC1 = 1.5MHz、<br>VC2 = 93.75kHz、VC3 = 93.75kHz     |
| $I_{\text{DD3}}$    | 供給電流  | —     | 5     | 9     | mA            | 条件： $V_{\text{DD}} = 3.3\text{V}$ 、 $T_{\text{A}} = 25^{\circ}\text{C}$ 、<br>CPU = 3MHz、SYSCLK ダブラーが無効。VC1 = 1.5MHz、<br>VC2 = 93.75kHz、VC3 = 93.75kHz     |
| $I_{\text{DDP}}$    | SLIMO モード = 1、IMO = 6MHz の時の供給電流                                    | —     | 2     | 3     | mA            | 条件： $V_{\text{DD}} = 3.3\text{V}$ 、 $T_{\text{A}} = 25^{\circ}\text{C}$ 、<br>CPU = 0.75MHz、SYSCLK ダブラーが無効、VC1 = 0.375MHz、<br>VC2 = 23.44kHz、VC3 = 0.09kHz |
| $I_{\text{SB}}$     | POR、LVD、スリープ タイマー、WDT が有効の時のスリープ(モード)電流 <sup>[12]</sup>             | —     | 3     | 10    | $\mu\text{A}$ | 条件：内部低速振動子を使用、<br>$V_{\text{DD}} = 3.3\text{V}$ 、 $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 55^{\circ}\text{C}$   |
| $I_{\text{SBH}}$    | 高温での POR、LVD、スリープ タイマー、WDT が有効の時のスリープ(モード)電流 <sup>[12]</sup>        | —     | 4     | 25    | $\mu\text{A}$ | 条件：内部低速振動子を使用、<br>$V_{\text{DD}} = 3.3\text{V}$ 、 $55^{\circ}\text{C} < T_{\text{A}} \leq 85^{\circ}\text{C}$   |
| $I_{\text{SBXTL}}$  | POR、LVD、スリープ タイマー、WDT、外部水晶振動子が有効の時のスリープ(モード)電流 <sup>[12]</sup>      | —     | 4     | 13    | $\mu\text{A}$ | 条件：適切な負荷状態、最大 $1\mu\text{W}$ 、<br>$32.768\text{kHz}$ 。 $V_{\text{DD}} = 3.3\text{V}$ 、<br>$-40^{\circ}\text{C} \leq T_{\text{A}} \leq 55^{\circ}\text{C}$ |
| $I_{\text{SBXTLH}}$ | 高温での POR、LVD、スリープ タイマー、WDT、外部水晶振動子が有効の時のスリープ(モード)電流 <sup>[12]</sup> | —     | 5     | 26    | $\mu\text{A}$ | 条件：適切な負荷状態、最大 $1\mu\text{W}$ 、<br>$32.768\text{kHz}$ 。 $V_{\text{DD}} = 3.3\text{V}$ 、<br>$55^{\circ}\text{C} < T_{\text{A}} \leq 85^{\circ}\text{C}$     |
| $I_{\text{SBRTC}}$  | スリープ中に RTC が消費する電流  | —     | 0.5   | 1     | $\mu\text{A}$ | スリープ中に RTC が消費する余分の電流。 $25^{\circ}\text{C}$ 、5V の時の標準値  |
| $V_{\text{REF}}$    | リファレンス電圧(バンドギャップ)   | 1.280 | 1.300 | 1.320 | V             | 適切な $V_{\text{DD}}$ を得るためにトリム   |
| $I_{\text{SXRES}}$  | XRES が 5V にアサートされた時の供給電流  | —     | 0.65  | 3     | mA            | Max は XRES のアサート後のピーク電流値。Typ は定常状態の電流値。<br>$T_{\text{A}} = 25^{\circ}\text{C}$ 。  |
|                     | XRES が 3.3V にアサートされた時の供給電流  | -     | 0.4   | 1.5   | mA            |   |

注：

12. スタンバイ(スリープ)電流は、信頼性の高いシステム動作に必要なすべての機能(POR、LVD、WDT、スリープ タイマー)用の消費電力を含みます。これは、同様の機能が有効されたデバイスと比較すべきです。

**GPIO の DC 仕様**

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 。標準パラメーターは、25°C で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 25. GPIO の DC 仕様**

| 記号               | 説明                 | Min                   | Typ | Max  | 単位 | 注   |
|------------------|--------------------|-----------------------|-----|------|----|---|
| $R_{\text{PU}}$  | プルアップ抵抗            | 4                     | 5.6 | 8    | kΩ |   |
| $R_{\text{PD}}$  | プルダウン抵抗            | 4                     | 5.6 | 8    | kΩ |   |
| $V_{\text{OH}}$  | 出力 HIGH レベル        | $V_{\text{DD}} - 1.0$ | —   | —    | V  | $I_{\text{OH}} = 10\text{mA}$ 、 $V_{\text{DD}} = 4.75 \sim 5.25\text{V}$ （合計で 8 つの負荷があり、その中、4 つは偶数ポートピン（例えば、P0[2]、P1[4]）にあり、4 つは奇数ポートピン（例えば、P0[3]、P1[5]）にある）。すべてのピンの組み合わせた総電流 $I_{\text{OH}}$ が最大 80mA  |
| $V_{\text{OL}}$  | 出力 LOW レベル         | —                     | —   | 0.75 | V  | $I_{\text{OL}} = 25\text{mA}$ 、 $V_{\text{DD}} = 4.75 \sim 5.25\text{V}$ （合計で 8 つの負荷があり、その中、4 つは偶数ポートピン（例えば、P0[2]、P1[4]）にあり、4 つは奇数ポートピン（例えば、P0[3]、P1[5]）にある）。すべてのピンの組み合わせた総電流 $I_{\text{OL}}$ が最大 150mA |
| $I_{\text{OH}}$  | HIGH レベル ソース電流     | 10                    | —   | —    | mA | $V_{\text{OH}} = V_{\text{DD}} - 1.0\text{V}$ 。 $V_{\text{OH}}$ の注に記載されている総電流の制限を参照してください。  |
| $I_{\text{OL}}$  | LOW レベル シンク電流      | 25                    | —   | —    | mA | $V_{\text{OL}} = 0.75\text{V}$ 。 $V_{\text{OL}}$ の注に記載されている総電流の制限を参照してください。   |
| $V_{\text{IL}}$  | 入力 LOW レベル         | —                     | —   | 0.8  | V  | $V_{\text{DD}} = 3.0 \sim 5.25$   |
| $V_{\text{IH}}$  | 入力 HIGH レベル        | 2.1                   | —   | —    | V  | $V_{\text{DD}} = 3.0 \sim 5.25$   |
| $V_{\text{H}}$   | 入力ヒステリシス           | —                     | 60  | —    | mV |   |
| $I_{\text{IL}}$  | 入力リーケ電流（絶対値）       | —                     | 1   | —    | nA | 総リーケ電流が $1\mu\text{A}$ 以下   |
| $C_{\text{IN}}$  | 入力として使用されるピン上の容量負荷 | —                     | 3.5 | 10   | pF | パッケージとピンによって異なる。<br>温度 = $25^{\circ}\text{C}$   |
| $C_{\text{OUT}}$ | 出力として使用されるピンの容量負荷  | —                     | 3.5 | 10   | pF | パッケージとピンによって異なる。<br>温度 = $25^{\circ}\text{C}$   |

**オペアンプの DC 仕様**

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します： $4.75V \sim 5.25V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、または  $3.0V \sim 3.6V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。標準パラメーターは、 $25^{\circ}C$  で  $5V$  または  $3.3V$  の時に適用され、単なる設計の参考用のデータです。これら仕様を適用するオペアンプは、アナログ連続時間 PSoC ブロックとアナログスイッチトキャパシタ PSoC ブロック両方のコンポーネントです。保証された仕様は、アナログ連続時間 PSoC ブロックで測定されます。

**表 26. 5V 時のオペアンプの DC 仕様**

| 記号            | 説明  | Min                             | Typ                                       | Max  | 単位   | 注  |
|---------------|---|---------------------------------|---|--|--|--|
| $V_{OSOACT}$  | 入力オフセット電圧 (絶対値)<br>Power = Low、Opamp bias = High<br>Power = Medium、Opamp bias = High<br>Power = High、Opamp bias = High  | —<br>—<br>—                     | 1.6<br>1.3<br>1.2                         | 8<br>8<br>8                                | mV<br>mV<br>mV   |  |
| $V_{OSOA}$    | 入力オフセット電圧 SC および AGND オペアンプ (絶対値)   | —                               | 1   | 6  | mV   | 高と低オペアンプバイアスに適用  |
| $TCV_{OSOA}$  | 平均入力オフセット電圧 ドリフト  | —                               | 7.0                                       | 35.0                                       | $\mu V^{\circ}C$   |  |
| $I_{EBOA}$    | 入力リーク電流 (ポート 0 アナログ ピン)   | —                               | 200                                       | —  | pA   | 総リーク電流が $1\mu A$ 以下  |
| $C_{INOA}$    | 入力静電容量 (ポート 0 アナログ ピン)  | —                               | 4.5                                       | 9.5  | pF   | パッケージとピンによって異なる。温度 = $25^{\circ}C$   |
| $V_{CMOA}$    | 同相電圧範囲<br>同相電圧範囲<br>(高消費電力または高オペアンプバイアス)  | 0.0<br>0.5                      | —<br>—                                    | $V_{DD}$<br>$V_{DD} - 0.5$                 | V<br>V   | 同相入力電圧範囲はアナログ出力バッファを通して測定。仕様には、アナログ出力バッファの特性に伴う制限も含まれる                                   |
| $CMRR_{OA}$   | 同相除去比<br>Power = Low<br>Power = Medium<br>Power = High  | 60<br>60<br>60                  | —<br>—<br>—                               | —<br>—<br>—                                | dB<br>dB<br>dB   |  |
| $G_{OLOA}$    | オープンループゲイン<br>Power = Low<br>Power = Medium<br>Power = High   | 60<br>60<br>80                  | —<br>—<br>—                               | —<br>—<br>—                                | dB<br>dB<br>dB   |  |
| $V_{OHIGHOA}$ | 出力 HIGH 電圧スイング (内部信号)   | $V_{DD} - 0.2$                  | —   | —  | V  |  |
|               | Power = Low<br>Power = Medium<br>Power = High   | $V_{DD} - 0.2$                  | —   | —  | V  |  |
|               |   | $V_{DD} - 0.5$                  | —   | —  | V  |  |
| $V_{OLOWOA}$  | 出力 LOW 電圧スイング (内部信号)  | —<br>—<br>—                     | —<br>—<br>—                               | 0.2<br>0.2<br>0.5                          | V<br>V<br>V  |  |
| $I_{SOA}$     | 供給電流 (関連する AGND バッファを含む)<br>Power = Low、Opamp bias = Low<br>Power = Low、Opamp bias = High<br>Power = Medium、Opamp bias = Low<br>Power = Medium、Opamp bias = High<br>Power = High、Opamp bias = Low<br>Power = High、Opamp bias = High | —<br>—<br>—<br>—<br>—<br>—<br>— | 200<br>400<br>700<br>1400<br>2400<br>4600 | 300<br>600<br>1100<br>2000<br>3600<br>7700 | $\mu A$<br>$\mu A$<br>$\mu A$<br>$\mu A$<br>$\mu A$<br>$\mu A$ |  |
| $PSRR_{OA}$   | 電源電圧変動除去比   | 60                              | —   | —  | dB   | $V_{SS} \leq V_{IN} \leq (V_{DD} - 2.25)$ または $(V_{DD} - 1.25V) \leq V_{IN} \leq V_{DD}$ |

**表 27. 3.3V 時のオペアンプの DC 仕様**

| 記号            | 説明  | Min                        | Typ  | Max  | 単位   | 注  |
|---------------|---|----------------------------|--|--|--|--|
| $V_{OSOACT}$  | 入力オフセット電圧 ( 絶対値 )<br>Power = Low、Opamp bias = High<br>Power = Medium、Opamp bias = High<br>Power = High、Opamp bias = High  | —<br>—<br>—                | 1.65<br>1.32<br>—                                  | 8<br>8<br>—                                | mV<br>mV<br>mV   |  |
| $V_{OSOA}$    | 入力オフセット電圧 SC および AGND ( 絶対値 )   | —                          | 1  | 6  | mV   | 高と低オペアンプ バイアスに適用   |
| $TCV_{OSOA}$  | 平均入力オフセット電圧 ドリフト  | —                          | 7.0  | 35.0                                       | $\mu\text{V}/^\circ\text{C}$   |  |
| $I_{EBOA}$    | 入力リーク電流 ( ポート 0 アナログ ピン )   | —                          | 200  | —  | pA   | 総リーク電流が 1 $\mu\text{A}$ 以下   |
| $C_{INOA}$    | 入力静電容量 ( ポート 0 アナログ ピン )  | —                          | 4.5  | 9.5  | pF   | パッケージとピンによって異なる。温度 = 25°C  |
| $V_{CMOA}$    | 同相電圧範囲  | 0.2                        | —  | $V_{DD} - 0.2$                             | V  | 同相入力電圧範囲はアナログ出力バッファを通して測定。仕様には、アナログ出力バッファの特性に伴う制限も含まれる   |
| $CMRR_{OA}$   | 同相除去比<br>Power = Low<br>Power = Medium<br>Power = High  | 50<br>50<br>50             | —<br>—<br>—  | —<br>—<br>—                                | dB<br>dB<br>dB   |  |
| $G_{OLOA}$    | オープンループゲイン<br>Power = Low<br>Power = Medium<br>Power = High   | 60<br>60<br>80             | —<br>—<br>—  | —<br>—<br>—                                | dB<br>dB<br>dB   |  |
| $V_{OHIGHOA}$ | 出力 HIGH 電圧スイング ( 内部信号 )<br>Power = Low<br>Power = Medium<br>Power = High ( 5V の場合のみ )   |                            | $V_{DD} - 0.2$<br>$V_{DD} - 0.2$<br>$V_{DD} - 0.2$ | —<br>—<br>—                                | V<br>V<br>V  |  |
| $V_{OLOWOA}$  | 出力 LOW 電圧スイング ( 内部信号 )<br>Power = Low<br>Power = Medium<br>Power = High   |                            | —<br>—<br>—  | 0.2<br>0.2<br>0.2                          | V<br>V<br>V  |  |
| $I_{SOA}$     | 供給電流 ( 関連する AGND バッファを含む )<br>Power = Low、Opamp bias = Low<br>Power = Low、Opamp bias = High<br>Power = Medium、Opamp bias = Low<br>Power = Medium、Opamp bias = High<br>Power = High、Opamp bias = Low<br>Power = High、Opamp bias = High | —<br>—<br>—<br>—<br>—<br>— | 200<br>400<br>700<br>1400<br>2400<br>4600          | 300<br>600<br>1000<br>2000<br>3600<br>7500 | $\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$<br>$\mu\text{A}$ |  |
| $PSRR_{OA}$   | 電源電圧変動除去比   | 50                         | 80   | —  | dB   | $V_{SS} \leq V_{IN} \leq (V_{DD} - 2.25\text{V})$ または<br>$(V_{DD} - 1.25\text{V}) \leq V_{IN} \leq V_{DD}$ |

#### Type-E のオペアンプの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します： $4.75V \sim 5.25V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、または  $3.0V \sim 3.6V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。標準パラメーターは、 $25^{\circ}C$  で  $5V$  または  $3.3V$  の時に適用され、単なる設計の参考用のデータです。これら仕様を適用するオペアンプは、制約付き Type-E アナログ PSoC ブロックのコンポーネントです。

**表 28. 5V 時の Type-E オペアンプの DC 仕様**

| 記号                | 説明                      | Min | Typ | Max      | 単位                | 注   |
|-------------------|-------------------------|-----|-----|----------|-------------------|---|
| $V_{OSOA}$        | 入力オフセット電圧 (絶対値)         | –   | 2.5 | 15       | mV                | $0.2V < V_{IN} < V_{DD} - 1.2V$ の場合                     |
|                   |                         | –   | 2.5 | 20       | mV                | $V_{IN} = 0 \sim 0.2V$ 、かつ $V_{IN} > V_{DD} - 1.2V$ の場合 |
| $TCV_{OSOA}$      | 平均入力オフセット電圧 ドリフト        | –   | 10  | –        | $\mu V/^{\circ}C$ |   |
| $I_{EBOA}^{[13]}$ | 入力リーク電流 (ポート 0 アナログ ピン) | –   | 200 | –        | nA                | 総リーク電流が $1\mu A$ 以下                                     |
| $C_{INOA}$        | 入力容量 (ポート 0 アナログ ピン)    | –   | 4.5 | 9.5      | pF                | パッケージとピンによって異なる。<br>温度 = $25^{\circ}C$                  |
| $V_{CMOA}$        | 同相電圧範囲                  | 0.0 | –   | $V_{DD}$ | V                 |   |
| $I_{SOA}$         | アンプの供給電流                | –   | 10  | 30       | $\mu A$           |   |

**表 29. 3.3V 時の Type-E オペアンプの DC 仕様**

| 記号                | 説明                      | Min | Typ | Max      | 単位                | 注   |
|-------------------|-------------------------|-----|-----|----------|-------------------|---|
| $V_{OSOA}$        | 入力オフセット電圧 (絶対値)         | –   | 2.5 | 15       | mV                | $0.2V < V_{IN} < V_{DD} - 1.2V$ の場合                     |
|                   |                         | –   | 2.5 | 20       | mV                | $V_{IN} = 0 \sim 0.2V$ 、かつ $V_{IN} > V_{DD} - 1.2V$ の場合 |
| $TCV_{OSOA}$      | 平均入力オフセット電圧 ドリフト        | –   | 10  | –        | $\mu V/^{\circ}C$ |   |
| $I_{EBOA}^{[13]}$ | 入力リーク電流 (ポート 0 アナログ ピン) | –   | 200 | –        | nA                | 総リーク電流が $1\mu A$ 以下                                     |
| $C_{INOA}$        | 入力容量 (ポート 0 アナログ ピン)    | –   | 4.5 | 9.5      | pF                | パッケージとピンによって異なる。<br>温度 = $25^{\circ}C$                  |
| $V_{CMOA}$        | 同相電圧範囲                  | 0   | –   | $V_{DD}$ | V                 |   |
| $I_{SOA}$         | アンプ供給電流                 | –   | 10  | 30       | $\mu A$           |   |

#### 低消費電力コンパレータの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します： $4.75V \sim 5.25V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、 $3.0V \sim 3.6V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、または  $2.4V \sim 3.0V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。標準パラメーターは、 $25^{\circ}C$  で  $5V$  の時に適用され、単なる設計の参考用のデータです。

**表 30. 低消費電力コンパレータの DC 仕様**

| 記号           | 説明                           | Min | Typ | Max          | 単位      | 注 |
|--------------|------------------------------|-----|-----|--------------|---------|---|
| $V_{REFLPC}$ | 低消費電力コンパレータ (LPC) リファレンス電圧範囲 | 0.2 | –   | $V_{DD} - 1$ | V       |   |
| $V_{OSLPC}$  | LPC 電圧オフセット                  | –   | 2.5 | 30           | mV      |   |
| $I_{SLPC}$   | LPC 供給電流                     | –   | 10  | 40           | $\mu A$ |   |

**注：**

13. 例外：ポート 0、ピン 0 の  $I_{EBOA}$  は、 $25^{\circ}C$  の時  $1nA$  で、温度範囲全体にわたり  $50nA$  です。 $200nA$  の最小のリーク電流にするためには、ポート 0 のピン 1 ~ 7 を使用します。

**アナログ出力バッファの DC 仕様**

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します： $4.75V \sim 5.25V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、または  $3.0V \sim 3.6V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。標準パラメーターは、 $25^{\circ}C$  で  $5V$  または  $3.3V$  の時に適用され、単なる設計の参考用のデータです。

**表 31. 5V 時のアナログ出力バッファの DC 仕様**

| 記号            | 説明   | Min  | Typ        | Max  | 単位                   | 注   |
|---------------|--|--|------------|--|----------------------|---|
| $C_L$         | 負荷容量   | —  | —          | 200  | pF                   | この仕様は、アナログ出力バッファにより駆動されている外部回路に適用                                       |
| $V_{OSOB}$    | 入力オフセット電圧（絶対値）   | —  | 3          | 12   | mV                   |   |
| $TCV_{OSOB}$  | 平均入力オフセット電圧ドリフト  | —  | +6         | 20   | mV/ $^{\circ}$ C     |   |
| $V_{CMOB}$    | 同相入力電圧範囲   | 0.5  | —          | $V_{DD} - 1.0$   | V                    |   |
| $R_{OUTOB}$   | 出力抵抗値<br>Power = Low<br>Power = High   | —<br>—   | 1<br>1     | —<br>—   | $\Omega$<br>$\Omega$ |   |
| $V_{OHIGHOB}$ | 出力 HIGH 電圧スイング<br>( $V_{DD}/2$ に接続した負荷 = $32\Omega$ )<br>Power = Low<br>Power = High | $0.5 \times V_{DD} + 1.3$<br>$0.5 \times V_{DD} + 1.3$ | —<br>—     | —<br>—   | V<br>V               |   |
| $V_{OLOWOB}$  | 出力 LOW 電圧スイング<br>( $V_{DD}/2$ に接続した負荷 = $32\Omega$ )<br>Power = Low<br>Power = High  | —<br>—   | —<br>—     | $0.5 \times V_{DD} - 1.3$<br>$0.5 \times V_{DD} - 1.3$ | V<br>V               |   |
| $I_{SOB}$     | バイアスセルを含む供給電流<br>(負荷なし)<br>Power = Low<br>Power = High                               | —<br>—   | 1.1<br>2.6 | 5.1<br>8.8   | mA<br>mA             |   |
| $PSRR_{OB}$   | 電源電圧変動除去比  | 53   | 64         | —  | dB                   | $(0.5 \times V_{DD} - 1.0) \leq V_{OUT} \leq (0.5 \times V_{DD} + 0.9)$ |

**表 32. 3.3V 時のアナログ出力バッファの DC 仕様**

| 記号            | 説明   | Min  | Typ        | Max  | 単位                   | 注   |
|---------------|--|--|------------|--|----------------------|---|
| $C_L$         | 負荷容量   | —  | —          | 200  | pF                   | この仕様は、アナログ出力バッファにより駆動されている外部回路に適用                                       |
| $V_{OSOB}$    | 入力オフセット電圧（絶対値）   | —  | 3          | 12   | mV                   |   |
| $TCV_{OSOB}$  | 平均入力オフセット電圧ドリフト  | —  | +6         | 20   | mV/ $^{\circ}$ C     |   |
| $V_{CMOB}$    | 同相入力電圧範囲   | 0.5  | —          | $V_{DD} - 1.0$   | V                    |   |
| $R_{OUTOB}$   | 出力抵抗<br>Power = Low<br>Power = High  | —<br>—   | 1<br>1     | —<br>—   | $\Omega$<br>$\Omega$ |   |
| $V_{OHIGHOB}$ | 出力 HIGH 電圧スイング<br>( $V_{DD}/2$ に接続した負荷 = $1k\Omega$ )<br>Power = Low<br>Power = High | $0.5 \times V_{DD} + 1.0$<br>$0.5 \times V_{DD} + 1.0$ | —<br>—     | —<br>—   | V<br>V               |   |
| $V_{OLOWOB}$  | 出力 LOW 電圧スイング<br>( $V_{DD}/2$ に接続した負荷 = $1k\Omega$ )<br>Power = Low<br>Power = High  | —<br>—   | —<br>—     | $0.5 \times V_{DD} - 1.0$<br>$0.5 \times V_{DD} - 1.0$ | V<br>V               |   |
| $I_{SOB}$     | バイアスセルを含む供給電流<br>(負荷なし)<br>Power = Low<br>Power = High                               | —<br>—   | 0.8<br>2.0 | 2.0<br>4.3   | mA<br>mA             |   |
| $PSRR_{OB}$   | 電源電圧変動除去比  | 47   | 64         | —  | dB                   | $(0.5 \times V_{DD} - 1.0) \leq V_{OUT} \leq (0.5 \times V_{DD} + 0.9)$ |

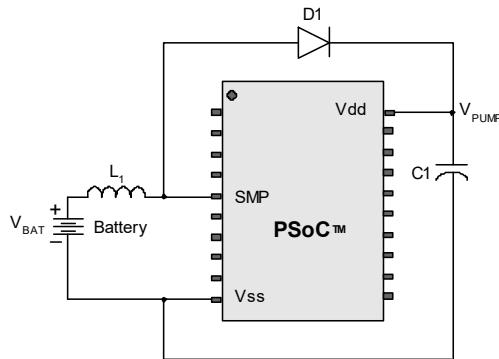
### スイッチ モード ポンプ (SMP) の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 33. スイッチ モード ポンプ (SMP) の DC 仕様**

| 記号                               | 説明   | Min    | Typ    | Max    | 単位       | 注  |
|----------------------------------|--|--------|--------|--------|----------|--|
| $V_{\text{PUMP}}\text{ 5V}$      | 5V 出力電圧  | 4.75   | 5.0    | 5.25   | V        | 脚注のコンフィギュレーション。 <sup>[14]</sup> 平均値、リップルを無視。SMP トリップ電圧は 5.0V に設定   |
| $V_{\text{PUMP}}\text{ 3V}$      | 3V 出力電圧  | 3.00   | 3.25   | 3.60   | V        | 脚注のコンフィギュレーション。 <sup>[14]</sup> 平均値、リップルを無視。SMP トリップ電圧は 3.25V に設定  |
| $I_{\text{PUMP}}$                | 利用可能な出力電流<br>$V_{\text{BAT}} = 1.5\text{V}$ 、 $V_{\text{PUMP}} = 3.25\text{V}$<br>$V_{\text{BAT}} = 1.8\text{V}$ 、 $V_{\text{PUMP}} = 5.0\text{V}$ | 8<br>5 | —<br>— | —<br>— | mA<br>mA | 脚注のコンフィギュレーション。 <sup>[14]</sup><br>SMP トリップ電圧は 3.25V に設定<br>SMP トリップ電圧は 5.0V に設定   |
| $V_{\text{BAT}}\text{ 5V}$       | バッテリからの入力電圧範囲  | 1.8    | —      | 5.0    | V        | 脚注のコンフィギュレーション。 <sup>[14]</sup> SMP トリップ電圧は 5.0V に設定   |
| $V_{\text{BAT}}\text{ 3V}$       | バッテリからの入力電圧範囲  | 1.5    | —      | 3.3    | V        | 脚注のコンフィギュレーション。 <sup>[14]</sup> SMP トリップ電圧は 3.25V に設定  |
| $V_{\text{BATSTART}}$            | ポンプを起動するためのバッテリからの最小入力電圧   | 2.6    | —      | —      | V        | 脚注のコンフィギュレーション <sup>[14]</sup>   |
| $\Delta V_{\text{PUMP\_Line}}$   | 電圧安定化 ( $V_{\text{BAT}}$ の範囲内)   | —      | 5      | —      | % $V_0$  | 脚注のコンフィギュレーション。 <sup>[14]</sup> $V_0$ は DC POR および LVD 仕様の VM[2:0] 設定で指定された「ポンプトリップ用の $V_{\text{DD}}$ 値」 <a href="#">52 ページの表 40</a> 。 |
| $\Delta V_{\text{PUMP\_Load}}$   | 負荷安定化  | —      | 5      | —      | % $V_0$  | 脚注のコンフィギュレーション。 <sup>[14]</sup> $V_0$ は DC POR および LVD 仕様の VM[2:0] 設定で指定された「ポンプトリップ用の $V_{\text{DD}}$ 値」 <a href="#">52 ページの表 40</a> 。 |
| $\Delta V_{\text{PUMP\_Ripple}}$ | 出力電圧リップル<br>(コンデンサ/負荷に依存)  | —      | 100    | —      | mVpp     | 脚注のコンフィギュレーション。 <sup>[14]</sup> 負荷は 5mA  |
| $E_3$                            | 効率   | 35     | 50     | —      | %        | 脚注のコンフィギュレーション。 <sup>[14]</sup> 負荷は 5mA。SMP トリップ電圧は 3.25V に設定  |
| $F_{\text{PUMP}}$                | スイッチング周波数  | —      | 1.3    | —      | MHz      |  |
| $DC_{\text{PUMP}}$               | スイッチング デューティ比  | —      | 50     | —      | %        |  |

**図 9. 基本的なスイッチ モード ポンプ回路**



注：

14.  $L_1 = 2\text{ }\mu\text{H}$  誘導子、 $C_1 = 10\mu\text{F}$  コンデンサ、 $D_1 = \text{ショットキー ダイオード}$ 。図 9 をご覧ください。

### アナログ リファレンスの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します： $4.75V \sim 5.25V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、または  $3.0V \sim 3.6V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。標準パラメーターは、 $25^{\circ}C$  で  $5V$  または  $3.3V$  の時に適用され、単なる設計の参考用のデータです。

RefHi と RefLo の保証された仕様は、アナログ連続時間 PSoC ブロックで測定されます。RefHi と RefLo の電圧レベルは、アナログ リファレンス制御レジスタで設定されます。AGND は AGND バイパス モードで P2[4] で測定されます。各アナログ連続時間 PSoC ブロックは、ローカル AGND バッファから保証された AGND 仕様に最大  $10mV$  の追加オフセット誤差が追加されます。特記されていない限り、リファレンス制御電源は「中」または「高」に設定できます。

注：アナログ リファレンスに依存するアナログ リソースを使用する際にデジタル シグナリング用に P2[4] を使用しないでください。使用した場合、デジタル信号のカップリングが AGND に生じることがあるからです。

表 34. 5V 時のアナログ リファレンスの DC 仕様

| リファレンス ARF_CR [5:3] | リファレンス電力 設定                                | 記号          | リファレンス 電圧      | 説明                   | Min                | Typ                | Max                | 単位 |
|---------------------|--|-------------|----------------|----------------------|--------------------|--------------------|--------------------|----|
| 0b000               | リファレンス Power = High<br>Opamp bias = High   | $V_{REFHI}$ | リファレンス 電圧 HIGH | $V_{DD}/2 + バンドギャップ$ | $V_{DD}/2 + 1.214$ | $V_{DD}/2 + 1.279$ | $V_{DD}/2 + 1.314$ | V  |
|                     |  | $V_{AGND}$  | AGND           | $V_{DD}/2$           | $V_{DD}/2 - 0.018$ | $V_{DD}/2 - 0.004$ | $V_{DD}/2 + 0.01$  | V  |
|                     |  | $V_{REFLO}$ | リファレンス 電圧 LOW  | $V_{DD}/2 - バンドギャップ$ | $V_{DD}/2 - 1.328$ | $V_{DD}/2 - 1.301$ | $V_{DD}/2 - 1.273$ | V  |
|                     | リファレンス Power = High<br>Opamp bias = Low    | $V_{REFHI}$ | リファレンス 電圧 HIGH | $V_{DD}/2 + バンドギャップ$ | $V_{DD}/2 + 0.228$ | $V_{DD}/2 + 1.284$ | $V_{DD}/2 + 1.344$ | V  |
|                     |  | $V_{AGND}$  | AGND           | $V_{DD}/2$           | $V_{DD}/2 - 0.015$ | $V_{DD}/2 - 0.002$ | $V_{DD}/2 + 0.011$ | V  |
|                     |  | $V_{REFLO}$ | リファレンス 電圧 LOW  | $V_{DD}/2 - バンドギャップ$ | $V_{DD}/2 - 1.329$ | $V_{DD}/2 - 1.303$ | $V_{DD}/2 - 1.275$ | V  |
|                     | リファレンス Power = Medium<br>Opamp bias = High | $V_{REFHI}$ | リファレンス 電圧 HIGH | $V_{DD}/2 + バンドギャップ$ | $V_{DD}/2 + 1.224$ | $V_{DD}/2 + 1.287$ | $V_{DD}/2 + 1.345$ | V  |
|                     |  | $V_{AGND}$  | AGND           | $V_{DD}/2$           | $V_{DD}/2 - 0.014$ | $V_{DD}/2 - 0.001$ | $V_{DD}/2 + 0.012$ | V  |
|                     |  | $V_{REFLO}$ | リファレンス 電圧 LOW  | $V_{DD}/2 - バンドギャップ$ | $V_{DD}/2 - 1.328$ | $V_{DD}/2 - 1.304$ | $V_{DD}/2 - 1.275$ | V  |
|                     | リファレンス Power = Medium<br>Opamp bias = Low  | $V_{REFHI}$ | リファレンス 電圧 HIGH | $V_{DD}/2 + バンドギャップ$ | $V_{DD}/2 + 1.226$ | $V_{DD}/2 + 1.288$ | $V_{DD}/2 + 1.346$ | V  |
|                     |  | $V_{AGND}$  | AGND           | $V_{DD}/2$           | $V_{DD}/2 - 0.014$ | $V_{DD}/2 - 0.001$ | $V_{DD}/2 + 0.012$ | V  |
|                     |  | $V_{REFLO}$ | リファレンス LOW     | $V_{DD}/2 - バンドギャップ$ | $V_{DD}/2 - 1.328$ | $V_{DD}/2 - 1.304$ | $V_{DD}/2 - 1.276$ | V  |

注：

15. AGND の許容誤差には、PSoC ブロック内のローカル バッファのオフセットが含まれます。

**表 34. 5V 時のアナログ リファレンスの DC 仕様 ( 続き )**

| リファレンス<br>ARF_CR<br>[5:3] | リファレンス電力<br>設定                                | 記号                 | リファレンス<br>電圧      | 説明  | Min                      | Typ                         | Max                         | 単位 |
|---------------------------|---|--------------------|-------------------|---|--------------------------|-----------------------------|-----------------------------|----|
| 0b001                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 1.3V) | P2[4] + P2[6]<br>- 0.055 | P2[4] +<br>P2[6] -<br>0.019 | P2[4] +<br>P2[6] +<br>0.019 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                    | P2[4]                       | P2[4]                       | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 1.3V) | P2[4] - P2[6]<br>- 0.030 | P2[4] -<br>P2[6] +<br>0.005 | P2[4] -<br>P2[6] +<br>0.035 | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 1.3V) | P2[4] + P2[6]<br>- 0.05  | P2[4] +<br>P2[6] -<br>0.015 | P2[4] +<br>P2[6] +<br>0.021 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                    | P2[4]                       | P2[4]                       | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 1.3V) | P2[4] - P2[6]<br>- 0.033 | P2[4] -<br>P2[6] +<br>0.001 | P2[4] -<br>P2[6] +<br>0.031 | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 1.3V) | P2[4] + P2[6]<br>- 0.048 | P2[4] +<br>P2[6] -<br>0.013 | P2[4] +<br>P2[6] +<br>0.022 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                    | P2[4]                       | P2[4]                       | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 1.3V) | P2[4] - P2[6]<br>- 0.034 | P2[4] -<br>P2[6] -<br>0.001 | P2[4] -<br>P2[6] +<br>0.031 | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 1.3V) | P2[4] + P2[6]<br>- 0.047 | P2[4] +<br>P2[6] -<br>0.012 | P2[4] +<br>P2[6] +<br>0.023 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                    | P2[4]                       | P2[4]                       | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 1.3V) | P2[4] - P2[6]<br>- 0.036 | P2[4] -<br>P2[6] -<br>0.002 | P2[4] -<br>P2[6] +<br>0.030 | V  |

**表 34. 5V 時のアナログ リファレンスの DC 仕様 ( 続き )**

| リファレンス<br>ARF_CR<br>[5:3] | リファレンス電力<br>設定                                | 記号                 | リファレンス<br>電圧      | 説明                 | Min                        | Typ                        | Max                        | 単位 |
|---------------------------|---|--------------------|-------------------|--------------------|----------------------------|----------------------------|----------------------------|----|
| 0b010                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub>    | V <sub>DD</sub> - 0.028    | V <sub>DD</sub> - 0.010    | V <sub>DD</sub>            | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2 | V <sub>DD</sub> /2 - 0.014 | V <sub>DD</sub> /2 - 0.002 | V <sub>DD</sub> /2 + 0.012 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub>    | V <sub>SS</sub>            | V <sub>SS</sub> + 0.004    | V <sub>SS</sub> + 0.008    | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub>    | V <sub>DD</sub> - 0.021    | V <sub>DD</sub> - 0.007    | V <sub>DD</sub>            | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2 | V <sub>DD</sub> /2 - 0.014 | V <sub>DD</sub> /2 - 0.001 | V <sub>DD</sub> /2 + 0.012 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub>    | V <sub>SS</sub>            | V <sub>SS</sub> + 0.002    | V <sub>SS</sub> + 0.005    | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub>    | V <sub>DD</sub> - 0.019    | V <sub>DD</sub> - 0.006    | V <sub>DD</sub>            | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2 | V <sub>DD</sub> /2 - 0.014 | V <sub>DD</sub> /2 - 0.001 | V <sub>DD</sub> /2 + 0.012 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub>    | V <sub>SS</sub>            | V <sub>SS</sub> + 0.002    | V <sub>SS</sub> + 0.004    | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub>    | V <sub>DD</sub> - 0.017    | V <sub>DD</sub> - 0.005    | V <sub>DD</sub>            | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2 | V <sub>DD</sub> /2 - 0.014 | V <sub>DD</sub> /2 - 0.001 | V <sub>DD</sub> /2 + 0.013 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub>    | V <sub>SS</sub>            | V <sub>SS</sub> + 0.001    | V <sub>SS</sub> + 0.003    | V  |
| 0b011                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 3 × バンドギャップ        | 3.736                      | 3.887                      | 4.030                      | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 2 × バンドギャップ        | 2.525                      | 2.598                      | 2.667                      | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | バンドギャップ            | 1.265                      | 1.302                      | 1.335                      | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 3 × バンドギャップ        | 3.747                      | 3.894                      | 4.034                      | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 2 × バンドギャップ        | 2.528                      | 2.601                      | 2.668                      | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | バンドギャップ            | 1.264                      | 1.302                      | 1.335                      | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 3 × バンドギャップ        | 3.749                      | 3.897                      | 4.035                      | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 2 × バンドギャップ        | 2.529                      | 2.602                      | 2.668                      | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | バンドギャップ            | 1.264                      | 1.302                      | 1.335                      | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 3 × バンドギャップ        | 3.751                      | 3.899                      | 4.037                      | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 2 × バンドギャップ        | 2.530                      | 2.603                      | 2.669                      | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | バンドギャップ            | 1.264                      | 1.302                      | 1.335                      | V  |

**表 34. 5V 時のアナログ リファレンスの DC 仕様 ( 続き )**

| リファレンス<br>ARF_CR<br>[5:3] | リファレンス電力<br>設定                                | 記号                 | リファレンス<br>電圧      | 説明  | Min           | Typ              | Max              | 単位 |
|---------------------------|---|--------------------|-------------------|---|---------------|------------------|------------------|----|
| 0b100                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ +<br>P2[6] (P2[6] = 1.3V)           | 2.483 – P2[6] | 2.578 –<br>P2[6] | 2.669 –<br>P2[6] | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 2 × バンドギャップ                                     | 2.525         | 2.598            | 2.666            | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | 2 × バンドギャップ –<br>P2[6] (P2[6] = 1.3V)           | 2.512 – P2[6] | 2.6V –<br>P2[6]  | 2.684 –<br>P2[6] | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>HIGH    | 2 × バンドギャップ +<br>P2[6] (P2[6] = 1.3V)           | 2.495 – P2[6] | 2.586 –<br>P2[6] | 2.673 –<br>P2[6] | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 2 × バンドギャップ                                     | 2.528         | 2.601            | 2.668            | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | 2 × バンドギャップ –<br>P2[6] (P2[6] = 1.3V)           | 2.510 – P2[6] | 2.6V –<br>P2[6]  | 2.685 –<br>P2[6] | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ +<br>P2[6] (P2[6] = 1.3V)           | 2.498 – P2[6] | 2.589 –<br>P2[6] | 2.674 –<br>P2[6] | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 2 × バンドギャップ                                     | 2.529         | 2.601            | 2.668            | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | 2 × バンドギャップ –<br>P2[6] (P2[6] = 1.3V)           | 2.509 – P2[6] | 2.601 –<br>P2[6] | 2.685 –<br>P2[6] | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ +<br>P2[6] (P2[6] = 1.3V)           | 2.500 – P2[6] | 2.591 –<br>P2[6] | 2.675 –<br>P2[6] | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 2 × バンドギャップ                                     | 2.530         | 2.603            | 2.669            | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | 2 × バンドギャップ –<br>P2[6] (P2[6] = 1.3V)           | 2.508 – P2[6] | 2.601 –<br>P2[6] | 2.686 –<br>P2[6] | V  |
| 0b101                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] + 1.218 | P2[4] +<br>1.283 | P2[4] +<br>1.344 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]         | P2[4]            | P2[4]            | –  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] – バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] – 1.329 | P2[4] –<br>1.297 | P2[4] –<br>1.265 | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] + 1.225 | P2[4] +<br>1.287 | P2[4] +<br>1.346 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]         | P2[4]            | P2[4]            | –  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] – バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] – 1.330 | P2[4] –<br>1.301 | P2[4] –<br>1.271 | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] + 1.226 | P2[4] +<br>1.288 | P2[4] +<br>1.346 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]         | P2[4]            | P2[4]            | –  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] – バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] – 1.330 | P2[4] –<br>1.302 | P2[4] –<br>1.272 | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] + 1.227 | P2[4] +<br>1.289 | P2[4] +<br>1.347 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]         | P2[4]            | P2[4]            | –  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] – バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] – 1.331 | P2[4] –<br>1.303 | P2[4] –<br>1.273 | V  |

**表 34. 5V 時のアナログ リファレンスの DC 仕様 ( 続き )**

| リファレンス<br>ARF_CR<br>[5:3] | リファレンス電力<br>設定                                | 記号                 | リファレンス<br>電圧      | 説明              | Min                        | Typ                        | Max   | 単位 |
|---------------------------|---|--------------------|-------------------|-----------------|----------------------------|----------------------------|-------|----|
| 0b110                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ     | 2.506                      | 2.597                      | 2.674 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | バンドギャップ         | 1.263                      | 1.302                      | 1.336 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> +<br>0.006 | V <sub>SS</sub> +<br>0.014 | V     | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ     | 2.508                      | 2.595                      | 2.675 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | バンドギャップ         | 1.263                      | 1.302                      | 1.336 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> +<br>0.003 | V <sub>SS</sub> +<br>0.008 | V     | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ     | 2.508                      | 2.595                      | 2.676 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | バンドギャップ         | 1.263                      | 1.302                      | 1.336 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> +<br>0.002 | V <sub>SS</sub> +<br>0.005 | V     | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ     | 2.508                      | 2.596                      | 2.677 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | バンドギャップ         | 1.263                      | 1.302                      | 1.336 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> +<br>0.001 | V <sub>SS</sub> +<br>0.003 | V     | V  |
| 0b111                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 3.2 × バンドギャップ   | 4.056                      | 4.155                      | 4.222 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 1.6 × バンドギャップ   | 2.012                      | 2.083                      | 2.168 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> + 0.01     | V <sub>SS</sub> +<br>0.035 | V     | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 3.2 × バンドギャップ   | 4.061                      | 4.153                      | 4.223 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 1.6 × バンドギャップ   | 2.023                      | 2.082                      | 2.145 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> +<br>0.006 | V <sub>SS</sub> +<br>0.022 | V     | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 3.2 × バンドギャップ   | 4.063                      | 4.154                      | 4.224 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 1.6 × バンドギャップ   | 2.020                      | 2.083                      | 2.152 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> +<br>0.006 | V <sub>SS</sub> +<br>0.024 | V     | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 3.2 × バンドギャップ   | 4.061                      | 4.154                      | 4.225 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | 1.6 × バンドギャップ   | 2.026                      | 2.081                      | 2.140 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> +<br>0.004 | V <sub>SS</sub> +<br>0.017 | V     | V  |

**表 35. 3.3V 時のアナログ リファレンスの DC 仕様**

| リファレンス<br>ARF_CR<br>[5:3] | リファレンス電力<br>設定                                | 記号                 | リファレンス<br>電圧      | 説明  | Min                        | Typ                        | Max                        | 単位 |
|---------------------------|---|--------------------|-------------------|---|----------------------------|----------------------------|----------------------------|----|
| 0b000                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub> /2 + バンドギャップ                            | V <sub>DD</sub> /2 + 1.223 | V <sub>DD</sub> /2 + 1.283 | V <sub>DD</sub> /2 + 1.343 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2                                      | V <sub>DD</sub> /2 - 0.013 | V <sub>DD</sub> /2 - 0.003 | V <sub>DD</sub> /2 + 0.005 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>DD</sub> /2 - バンドギャップ                            | V <sub>DD</sub> /2 - 1.322 | V <sub>DD</sub> /2 - 1.297 | V <sub>DD</sub> /2 - 1.270 | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub> /2 + バンドギャップ                            | V <sub>DD</sub> /2 + 1.228 | V <sub>DD</sub> /2 + 1.288 | V <sub>DD</sub> /2 + 1.345 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2                                      | V <sub>DD</sub> /2 - 0.008 | V <sub>DD</sub> /2 - 0.002 | V <sub>DD</sub> /2 + 0.005 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>DD</sub> /2 - バンドギャップ                            | V <sub>DD</sub> /2 - 1.322 | V <sub>DD</sub> /2 - 1.298 | V <sub>DD</sub> /2 - 1.271 | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub> /2 + バンドギャップ                            | V <sub>DD</sub> /2 + 1.232 | V <sub>DD</sub> /2 + 1.290 | V <sub>DD</sub> /2 + 1.346 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2                                      | V <sub>DD</sub> /2 - 0.008 | V <sub>DD</sub> /2 - 0.001 | V <sub>DD</sub> /2 + 0.006 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>DD</sub> /2 - バンドギャップ                            | V <sub>DD</sub> /2 - 1.322 | V <sub>DD</sub> /2 - 1.299 | V <sub>DD</sub> /2 - 1.272 | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub> /2 + バンドギャップ                            | V <sub>DD</sub> /2 + 1.233 | V <sub>DD</sub> /2 + 1.291 | V <sub>DD</sub> /2 + 1.347 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2                                      | V <sub>DD</sub> /2 - 0.006 | V <sub>DD</sub> /2         | V <sub>DD</sub> /2 + 0.006 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>DD</sub> /2 - バンドギャップ                            | V <sub>DD</sub> /2 - 1.322 | V <sub>DD</sub> /2 - 1.299 | V <sub>DD</sub> /2 - 1.272 | V  |
| 0b001                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 0.5V) | P2[4] + P2[6] - 0.045      | P2[4] + P2[6] - 0.017      | P2[4] + P2[6] + 0.016      | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                      | P2[4]                      | P2[4]                      | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 0.5V) | P2[4] - P2[6] - 0.019      | P2[4] - P2[6] + 0.004      | P2[4] - P2[6] + 0.023      | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 0.5V) | P2[4] + P2[6] - 0.036      | P2[4] + P2[6] - 0.012      | P2[4] + P2[6] + 0.013      | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                      | P2[4]                      | P2[4]                      | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 0.5V) | P2[4] - P2[6] - 0.021      | P2[4] - P2[6] - 0.001      | P2[4] - P2[6] + 0.021      | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 0.5V) | P2[4] + P2[6] - 0.034      | P2[4] + P2[6] - 0.011      | P2[4] + P2[6] + 0.013      | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                      | P2[4]                      | P2[4]                      | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 0.5V) | P2[4] - P2[6] - 0.023      | P2[4] - P2[6] - 0.002      | P2[4] - P2[6] + 0.016      | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 0.5V) | P2[4] + P2[6] - 0.033      | P2[4] + P2[6] - 0.009      | P2[4] + P2[6] + 0.014      | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                      | P2[4]                      | P2[4]                      | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - P2[6] (P2[4] = V <sub>DD</sub> /2、P2[6] = 0.5V) | P2[4] - P2[6] - 0.024      | P2[4] - P2[6] - 0.003      | P2[4] - P2[6] + 0.020      | V  |

**表 35. 3.3V 時のアナログ リファレンスの DC 仕様 ( 続き )**

| リファレンス<br>ARF_CR<br>[5:3] | リファレンス電力<br>設定                                | 記号                 | リファレンス<br>電圧      | 説明  | Min                        | Typ                        | Max                        | 単位 |
|---------------------------|---|--------------------|-------------------|---|----------------------------|----------------------------|----------------------------|----|
| 0b010                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub>                                 | V <sub>DD</sub> - 0.042    | V <sub>DD</sub> - 0.008    | V <sub>DD</sub>            | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2                              | V <sub>DD</sub> /2 - 0.035 | V <sub>DD</sub> /2 - 0.001 | V <sub>DD</sub> /2 + 0.031 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub>                                 | V <sub>SS</sub> + 0.003    | V <sub>SS</sub> + 0.0165   | V                          | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub>                                 | V <sub>DD</sub> - 0.035    | V <sub>DD</sub> - 0.005    | V <sub>DD</sub>            | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2                              | V <sub>DD</sub> /2 - 0.031 | V <sub>DD</sub> /2 - 0.001 | V <sub>DD</sub> /2 + 0.028 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub>                                 | V <sub>SS</sub> + 0.002    | V <sub>SS</sub> + 0.012    | V                          | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub>                                 | V <sub>DD</sub> - 0.044    | V <sub>DD</sub> - 0.005    | V <sub>DD</sub>            | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2                              | V <sub>DD</sub> /2 - 0.052 | V <sub>DD</sub> /2         | V <sub>DD</sub> /2 + 0.046 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub>                                 | V <sub>SS</sub> + 0.002    | V <sub>SS</sub> + 0.014    | V                          | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | V <sub>DD</sub>                                 | V <sub>DD</sub> - 0.036    | V <sub>DD</sub> - 0.004    | V <sub>DD</sub>            | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | V <sub>DD</sub> /2                              | V <sub>DD</sub> /2 - 0.032 | V <sub>DD</sub> /2         | V <sub>DD</sub> /2 + 0.029 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub>                                 | V <sub>SS</sub> + 0.001    | V <sub>SS</sub> + 0.012    | V                          | V  |
| 0b011                     | すべての電力設定。<br>3.3V に適用しない                      | -                  | -                 | -   | -                          | -                          | -                          | -  |
| 0b100                     | すべての電力設定。<br>3.3V に適用しない                      | -                  | -                 | -   | -                          | -                          | -                          | -  |
| 0b101                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] + 1.226              | P2[4] + 1.286              | P2[4] + 1.343              | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                      | P2[4]                      | P2[4]                      | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] - 1.323              | P2[4] - 1.293              | P2[4] - 1.262              | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] + 1.232              | P2[4] + 1.29               | P2[4] + 1.344              | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                      | P2[4]                      | P2[4]                      | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] - 1.324              | P2[4] - 1.296              | P2[4] - 1.267              | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] + 1.233              | P2[4] + 1.291              | P2[4] + 1.345              | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                      | P2[4]                      | P2[4]                      | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] - 1.324              | P2[4] - 1.298              | P2[4] - 1.269              | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | P2[4] + バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] + 1.234              | P2[4] + 1.292              | P2[4] + 1.345              | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | P2[4]   | P2[4]                      | P2[4]                      | P2[4]                      | -  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | P2[4] - バンドギャップ<br>(P2[4] = V <sub>DD</sub> /2) | P2[4] - 1.324              | P2[4] - 1.299              | P2[4] - 1.270              | V  |

**表 35. 3.3V 時のアナログ リファレンスの DC 仕様 ( 続き )**

| リファレンス<br>ARF_CR<br>[5:3] | リファレンス電力<br>設定                                | 記号                 | リファレンス<br>電圧      | 説明              | Min                     | Typ                     | Max   | 単位 |
|---------------------------|---|--------------------|-------------------|-----------------|-------------------------|-------------------------|-------|----|
| 0b110                     | リファレンス<br>Power = High<br>Opamp bias = High   | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ     | 2.504                   | 2.595                   | 2.672 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | バンドギャップ         | 1.262                   | 1.301                   | 1.336 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> + 0.006 | V <sub>SS</sub> + 0.013 | V     | V  |
|                           | リファレンス<br>Power = High<br>Opamp bias = Low    | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ     | 2.506                   | 2.593                   | 2.674 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | バンドギャップ         | 1.262                   | 1.301                   | 1.336 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> + 0.003 | V <sub>SS</sub> + 0.008 | V     | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = High | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ     | 2.506                   | 2.594                   | 2.675 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | バンドギャップ         | 1.262                   | 1.301                   | 1.335 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> + 0.002 | V <sub>SS</sub> + 0.007 | V     | V  |
|                           | リファレンス<br>Power = Medium<br>Opamp bias = Low  | V <sub>REFHI</sub> | リファレンス<br>電圧 HIGH | 2 × バンドギャップ     | 2.507                   | 2.595                   | 2.675 | V  |
|                           |   | V <sub>AGND</sub>  | AGND              | バンドギャップ         | 1.262                   | 1.301                   | 1.335 | V  |
|                           |   | V <sub>REFLO</sub> | リファレンス<br>電圧 LOW  | V <sub>SS</sub> | V <sub>SS</sub> + 0.001 | V <sub>SS</sub> + 0.005 | V     | V  |
| 0b111                     | すべての電力設定。<br>3.3V に適用しない                      | -                  | -                 | -               | -                       | -                       | -     | -  |

#### アナログ PSoC ブロックの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、25°C で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 36. アナログ PSoC ブロックの DC 仕様**

| 記号       | 説明                     | Min | Typ   | Max | 単位 | 注 |
|----------|------------------------|-----|-------|-----|----|---|
| $R_{CT}$ | 抵抗ユニット値(連続時間)          | –   | 12.24 | –   | kΩ |   |
| $C_{SC}$ | コンデンサユニット値(スイッチトキャパシタ) | –   | 80    | –   | fF |   |

#### アナログマルチプレクサバスの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、25°C で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 37. アナログマルチプレクサバスの DC 仕様**

| 記号        | 説明                      | Min | Typ | Max | 単位 | 注                           |
|-----------|-------------------------|-----|-----|-----|----|-----------------------------|
| $R_{SW}$  | コモンアナログバスに接続するスイッチ抵抗    | –   | –   | 400 | Ω  | $V_{DD} \geq < 3.0\text{V}$ |
| $R_{VSS}$ | $V_{SS}$ に接続する初期化スイッチ抵抗 | –   | –   | 800 | Ω  |                             |

#### SAR10 ADC の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、25°C で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 38. SAR10 ADC の DC 仕様**

| 記号                          | 説明   | Min  | Typ  | Max                    | 単位  | 注  |
|-----------------------------|--|------|------|------------------------|-----|--|
| $\text{INL}_{\text{SAR10}}$ | $V_{REF} \geq 3\text{V}$ の時の積分非直線性                       | –2.5 | –    | 2.5                    | LSB | 10 ビット分解能  |
|                             | $V_{REF} < 3\text{V}$ の時の積分非直線性                          | –5   | –    | 5                      | LSB | 10 ビット分解能  |
| $\text{DNL}_{\text{SAR10}}$ | $V_{REF} \geq 3\text{V}$ の時の微分非直線性                       | –1.5 | –    | 1.5                    | LSB | 10 ビット分解能  |
|                             | $V_{REF} > 3\text{V}$ の時の微分非直線性                          | –4   | –    | 4                      | LSB | 10 ビット分解能  |
| $I_{\text{SAR10}}$          | アクティブ消費電流  | 0.08 | 0.5  | 0.497                  | mA  |  |
| $I_{VREFSAR10}$             | SAR10 ADC の $V_{REF}$ 入力としてコンフィギュレーションされた P2[5] への入力電流   | –    | –    | 0.5                    | mA  | このコンフィギュレーションでは、内部電圧リファレンスバッファが無効  |
| $V_{VREFSAR10}$             | SAR10 ADC の外部電圧リファレンスとしてコンフィギュレーションされた P2[5] の入力リファレンス電圧 | 2.7  | –    | $V_{DD} - 0.3\text{V}$ | V   | $V_{REF}$ が SAR10 ADC 内部でバッファリングされた場合、P2[5] (外部リファレンス電圧としてコンフィギュレーションされた場合) での電圧レベルを、 $V_{DD}$ ピンでのチップ電源電圧レベルよりも少なくとも 300mV 低い電圧に常に維持する必要がある。<br>( $V_{VREFSAR10} < (V_{DD} - 300\text{mV})$ ) |
| $V_{OSSAR10}$               | オフセット電圧  | 5    | 7.7  | 10                     | mV  |  |
| $SAR_{\text{IMP}}$          | SAR 入力インピーダンス  | –    | 1.64 | –                      | MΩ  | 周波数依存 = $1/\text{Fs}^{\circ}\text{C}$ 。<br>142.9kHz (Max) および $C_{in} = 4.28\text{pF}$ (Typ)   |

IDAC の DC 仕様

表 39. IDAC の DC 仕様

| 記号         | 説明                                   | Min  | Typ  | Max  | 単位  | 注  |
|------------|--------------------------------------|------|------|------|-----|--|
| IDAC_DNL   | 微分非直線性                               | -5.0 | 2.0  | 5.0  | LSB | すべての 3 電流範囲に適用                             |
| IDAC_INL   | 積分非直線性                               | -5.0 | 2.0  | 5.0  | LSB | すべての 3 電流範囲に適用                             |
| IDAC_Gain  | ビットあたりのゲイン – 範囲 1 (91μA)             | 283  | 357  | 447  | nA  | フルスケールで測定                                  |
|            | ビットあたりのゲイン – 範囲 2 (318μA)            | 985  | 1250 | 1532 | nA  |  |
|            | ビットあたりのゲイン – 範囲 3 (637μA)            | 1959 | 2500 | 3056 | nA  |  |
| IDACOffset | コード 0 と LSB 理想間のオフセット – 範囲 1 (91μA)  |      | 2.0% | 20%  | %   | LSB の % として測定 ( コード 0 での電流 )/(LSB の理想的電流 ) |
|            | コード 0 と LSB 理想間のオフセット – 範囲 2 (318μA) |      | 1.0% | 10%  | %   |  |
|            | コード 0 と LSB 理想間のオフセット – 範囲 3 (637μA) |      | 1.0% | 10%  | %   |  |

### POR および LVD の DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します： $4.75V \sim 5.25V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 、または  $3.0V \sim 3.6V$  と  $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。標準パラメーターは、 $25^{\circ}C$  で  $5V$  または  $3.3V$  の時に適用され、単なる設計の参考用のデータです。

注 次の表に記載されている PORLEV および VM ビットは、VLT\_CR レジスタのビットを表します。VLT\_CR レジスタの詳細については、CY8C28xxx PSoC デバイスの PSoC テクニカル リファレンス マニュアルを参照してください。

**表 40. POR および LVD の DC 仕様**

| 記号           | 内容   | Min  | Typ  | Max                  | 単位 | 注  |
|--------------|--|------|------|----------------------|----|--|
| $V_{PPOR0R}$ | PPOR トリップ(正のランプ)用の $V_{DD}$ 値<br>$PORLEV[1:0] = 01b$ | —    | 2.91 | 2.985                | V  | 起動中、XRES ピンからのリセット中、またはウォッチドッグからのリセット中に $V_{DD}$ は $2.5V$ 以上 |
| $V_{PPOR1R}$ | $PORLEV[1:0] = 01b$                                  | —    | 4.39 | 4.49                 | V  |  |
| $V_{PPOR2R}$ | $PORLEV[1:0] = 10b$                                  | —    | 4.55 | 4.65                 | V  |  |
| $V_{PPOR0}$  | PPOR トリップ(負のランプ)用の $V_{DD}$ 値<br>$PORLEV[1:0] = 01b$ | —    | 2.82 | 2.90                 | V  | 起動中、XRES ピンからのリセット中、またはウォッチドッグからのリセット中に $V_{DD}$ は $2.5V$ 以上 |
| $V_{PPOR1}$  | $PORLEV[1:0] = 01b$                                  | —    | 4.39 | 4.49                 | V  |  |
| $V_{PPOR2}$  | $PORLEV[1:0] = 10b$                                  | —    | 4.55 | 4.64                 | V  |  |
| $V_{PH0}$    | PPOR ヒステリシス<br>$PORLEV[1:0] = 01b$                   | —    | 92   | —                    | mV |  |
| $V_{PH1}$    | $PORLEV[1:0] = 01b$                                  | —    | 0    | —                    | mV |  |
| $V_{PH2}$    | $PORLEV[1:0] = 10b$                                  | —    | 0    | —                    | mV |  |
| $V_{LVD0}$   | LVD トリップ用の $V_{DD}$ 値<br>$VM[2:0] = 000b$            | 2.83 | 2.91 | 3.00 <sup>[16]</sup> | V  |  |
| $V_{LVD1}$   | $VM[2:0] = 001b$                                     | 2.93 | 3.01 | 3.10                 | V  |  |
| $V_{LVD2}$   | $VM[2:0] = 010b$                                     | 3.04 | 3.12 | 3.21                 | V  |  |
| $V_{LVD3}$   | $VM[2:0] = 011b$                                     | 3.90 | 3.99 | 4.09                 | V  |  |
| $V_{LVD4}$   | $VM[2:0] = 100b$                                     | 4.38 | 4.47 | 4.58                 | V  |  |
| $V_{LVD5}$   | $VM[2:0] = 101b$                                     | 4.54 | 4.63 | 4.74 <sup>[17]</sup> | V  |  |
| $V_{LVD6}$   | $VM[2:0] = 110b$                                     | 4.62 | 4.71 | 4.83                 | V  |  |
| $V_{LVD7}$   | $VM[2:0] = 111b$                                     | 4.71 | 4.80 | 4.92                 | V  |  |
| $V_{PUMP0}$  | ポンプ トリップ用の $V_{DD}$ 値<br>$VM[2:0] = 000b$            | 2.93 | 3.01 | 3.10                 | V  |  |
| $V_{PUMP1}$  | $VM[2:0] = 001b$                                     | 3.00 | 3.08 | 3.17                 | V  |  |
| $V_{PUMP2}$  | $VM[2:0] = 010b$                                     | 3.16 | 3.24 | 3.33                 | V  |  |
| $V_{PUMP3}$  | $VM[2:0] = 011b$                                     | 4.09 | 4.17 | 4.28                 | V  |  |
| $V_{PUMP4}$  | $VM[2:0] = 100b$                                     | 4.53 | 4.62 | 4.74                 | V  |  |
| $V_{PUMP5}$  | $VM[2:0] = 101b$                                     | 4.61 | 4.71 | 4.82                 | V  |  |
| $V_{PUMP6}$  | $VM[2:0] = 110b$                                     | 4.70 | 4.80 | 4.91                 | V  |  |
| $V_{PUMP7}$  | $VM[2:0] = 111b$                                     | 4.88 | 4.98 | 5.10                 | V  |  |

**注：**

- 16. 電源電圧の低下を検出するために必ず PPOR (PORLEV = 00) を  $50mV$  超えた値以上です。
- 17. 電源電圧の低下を検出するために必ず PPOR (PORLEV = 10) を  $50mV$  超えた値以上です。

### プログラミングの DC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 41. プログラミングの DC 仕様**

| 記号                    | 説明   | Min                    | Typ | Max      | 単位 | 注   |
|-----------------------|--|------------------------|-----|----------|----|---|
| $V_{DDP}$             | プログラミングおよび消去時の $V_{DD}$                                    | 4.5                    | 5   | 5.5      | V  | この仕様は外部プログラマツールの機能要件に適用                         |
| $V_{DDLV}$            | 検証時の低 $V_{DD}$   | 3                      | 3.1 | 3.2      | V  | この仕様は外部プログラマツールの機能要件に適用                         |
| $V_{DDHV}$            | 検証時の高 $V_{DD}$   | 5.1                    | 5.2 | 5.3      | V  | この仕様は外部プログラマツールの機能要件に適用                         |
| $V_{DDIWRITE}$        | フラッシュメモリ書き込み動作の電源電圧  | 3                      | —   | 5.25     | V  | この仕様は内部フラッシュメモリ書き込みを実行中のデバイスに適用                 |
| $I_{DDP}$             | プログラミングまたは検証時の供給電流   | —                      | 5   | 25       | mA |   |
| $V_{ILP}$             | プログラミングまたは検証時の入力 LOW 電圧                                    | —                      | —   | 0.8      | V  |   |
| $V_{IHP}$             | プログラミングまたは検証時の入力 HIGH 電圧                                   | 2.2                    | —   | —        | V  |   |
| $I_{ILP}$             | プログラミングまたは検証時に $V_{ilp}$ を $P1[0]$ または $P1[1]$ に印加する時の入力電流 | —                      | —   | 0.21     | mA | 内部プルダウン抵抗を駆動中                                   |
| $I_{IHP}$             | プログラミングまたは検証時に $V_{ihp}$ を $P1[0]$ または $P1[1]$ に印加する時の入力電流 | —                      | —   | 1.5      | mA | 内部プルダウン抵抗を駆動中                                   |
| $V_{OLV}$             | プログラミングまたは検証時の出力 LOW 電圧                                    | —                      | —   | 0.75     | V  |   |
| $V_{OHV}$             | プログラミングまたは検証時の出力 HIGH 電圧                                   | $V_{DD} - 1.0$         | —   | $V_{DD}$ | V  |   |
| $\text{Flash}_{ENPB}$ | フラッシュアクセス可能回数(ブロックあたり)                                     | 50,000 <sup>[18]</sup> | —   | —        | —  | ブロックあたりの消去／書き込み回数                               |
| $\text{Flash}_{ENT}$  | フラッシュアクセス可能回数(合計) <sup>[19]</sup>                          | 1,800,000              | —   | —        | —  | 消去／書き込み回数。これを満たすためにはプログラミングと読み出しを同じ電圧で実施することが必要 |
| $\text{Flash}_{DR}$   | フラッシュデータ保持期間   | 10                     | —   | —        | 年  |   |

**注：**

18. ブロックあたりの 50,000 サイクル フラッシュアクセス可能回数は、フラッシュが 1 つの電圧範囲内で動作している場合にのみ保証されます。電圧範囲は、3.0V ~ 3.6V および 4.75V ~ 5.25V です。

19. 最大  $36 \times 50,000$  のブロックアクセス可能回数(サイクル)が可能です。それぞれ最大 50,000 サイクルの 36x1 ブロック、それぞれ最大 25,000 サイクルの 36x2 ブロック、またはそれぞれ最大 12,500 サイクルの 36x4 ブロックに対する操作を比較検討できます(合計サイクル数は  $36 \times 50,000$  に制限され、どのブロックも 50,000 サイクルを超えることはありません)。

産業用途向けの温度範囲全体においては、ユーザーは温度センサー ユーザー モジュール(FlashTemp)を使用し、書き込みの前に結果を温度引数に入力する必要があります。詳細については、[AN2015 - Getting Started with Flash & E2PROM](#) を参照してください。

**I<sup>2</sup>C の DC 仕様**

表 42 に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、25°C で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 42. I<sup>2</sup>C の DC 仕様** [20]

| 記号                 | 説明          | Min                        | Typ | Max                         | 単位 | 注   |
|--------------------|-------------|----------------------------|-----|-----------------------------|----|---|
| $V_{\text{ILI2C}}$ | 入力 LOW レベル  | –                          | –   | $0.3 \times V_{\text{DD}}$  | V  | $3.0\text{V} \leq V_{\text{DD}} \leq 3.6\text{V}$   |
|                    |             | –                          | –   | $0.25 \times V_{\text{DD}}$ | V  | $4.75\text{V} \leq V_{\text{DD}} \leq 5.25\text{V}$ |
| $V_{\text{IHI2C}}$ | 入力 HIGH レベル | $0.7 \times V_{\text{DD}}$ | –   | –                           | V  | $3.0\text{V} \leq V_{\text{DD}} \leq 5.25\text{V}$  |
| $V_{\text{OLI2C}}$ | 出力 LOW レベル  | –                          | –   | 0.4                         | V  | シンク電流が 3mA の時                                       |
|                    |             | –                          | –   | 0.6                         | V  | シンク電流が 6mA の時                                       |

**注：**

20. すべての GPIO は、GPIO の DC 仕様の節に記載されている GPIO  $V_{\text{IL}}$  と  $V_{\text{IH}}$  の DC 仕様を満たします。I<sup>2</sup>C GPIO ピンもこの仕様を満たします。

## AC 電気的特性

### チップ レベルの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証されている最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

表 43. チップ レベルの AC 仕様

| 記号                | 説明                                 | Min   | Typ    | Max                      | 単位  | 注   |
|-------------------|------------------------------------|-------|--------|--------------------------|-----|---|
| $F_{IMO}$         | 内部主発振器周波数                          | 23.4  | 24     | 24.6 <sup>[21]</sup>     | MHz | トリム済み。工場出荷時のトリム値を使用。SLIMO モード = 0   |
| $F_{IMO6}$        | 6MHz での内部主発振器周波数                   | 5.5   | 6      | 6.5 <sup>[21]</sup>      | MHz | 工場出荷時のトリム値を使用して 5V または 3.3V 動作向けにトリム済み。SLIMO モード = 1  |
| $F_{CPU1}$        | CPU 周波数 (公称電圧 5V)                  | 0.091 | 24     | 24.6 <sup>[21]</sup>     | MHz | トリム済み。工場出荷時のトリム値を使用。SLIMO モード = 0   |
| $F_{CPU2}$        | CPU 周波数 (公称電圧 3.3V)                | 0.091 | 12     | 12.3 <sup>[22]</sup>     | MHz | トリム済み。工場出荷時のトリム値を使用。SLIMO モード = 0   |
| $F_{BLK5}$        | デジタル PSoC ブロック周波数                  | 0     | —      | 49.2 <sup>[21, 23]</sup> | MHz | $4.75\text{V} < V_{DD} < 5.25\text{V}$  |
| $F_{BLK33}$       | デジタル PSoC ブロック周波数                  | 0     | 24     | 24.6 <sup>[23]</sup>     | MHz | $3.0\text{V} < V_{DD} < 3.6\text{V}$  |
| $F_{32K1}$        | 内部低速発振器周波数                         | 15    | 32     | 64                       | KHz | トリム済み。工場出荷時のトリム値を使用。  |
| $F_{32K2}$        | 外部水晶発振器                            | —     | 32.768 | —                        | KHz | 精度はコンデンサと水晶に依存。<br>デューティ比 50%   |
| $F_{32K\_U}$      | 内部低速発振器周波数 (未トリム)                  | 5     | —      | 100                      | KHz | リセット後、m8c が起動するまで、ILO はトリムされない。このタイミング計測の詳細については、PSoC テクニカル リファレンス マニュアルのシステム リセットの節を参照してください。  |
| $F_{PLL}$         | PLL 周波数                            | —     | 23.986 | —                        | MHz | 水晶周波数の倍数 (x732)   |
| $t_{PLLSLEW}$     | PLL ロック時間                          | 0.5   | —      | 10                       | ms  |   |
| $t_{PLLSLEWSLOW}$ | 低ゲイン設定用の PLL ロック時間                 | 0.5   | —      | 50                       | ms  |   |
| $T_{OS}$          | 外部水晶発振器の起動時から 1% 許容誤差に達するまでの時間     | —     | 1700   | 2620                     | ms  |   |
| $T_{OSACC}$       | 外部水晶発振器の起動時から 100ppm 許容誤差に達するまでの時間 | —     | 2800   | 3800                     | ms  | 水晶振動子周波数は $T_{osacc}$ 期間の終了までに最終値の 100ppm の許容誤差範囲内になる。正常な動作は、適切な負荷状態、駆動レベルの 32.768kHz 水晶を前提としている。 $3.0\text{V} \leq V_{DD} \leq 5.5\text{V}$ , $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ |

注：

21.  $4.75\text{V} < V_{DD} < 5.25\text{V}$ 。
22.  $3.0\text{V} < V_{DD} < 3.6\text{V}$ 。3.3V での動作用のトリミングについては、アプリケーション ノート「Adjusting PSoC® Trims for 3.3 V and 2.7 V Operation – AN2012」を参照してください。
23. ユーザー モジュールの最大周波数については、個々のユーザー モジュールのデータ シートを参照してください。

**表 43. チップ レベルの AC 仕様( 続き )**

| 記号                    | 説明                                    | Min  | Typ  | Max                     | 単位  | 注                    |
|-----------------------|---------------------------------------|------|------|-------------------------|-----|----------------------|
| $t_{XRST}$            | 外部リセットパルス幅                            | 10   | —    | —                       | μs  |                      |
| DC24M                 | 24MHz デューティ比                          | 40   | 50   | 60                      | %   |                      |
| DC <sub>ILO</sub>     | 内部低速発振器デューティ比                         | 20   | 50   | 80                      | %   |                      |
| Fout48M               | 48MHz の出力周波数                          | 46.8 | 48.0 | 49.2 <sup>[24、25]</sup> | MHz | トリム済み。工場出荷時のトリム値を使用。 |
| F <sub>MAX</sub>      | 行入力または行出力信号の最大周波数                     | —    | —    | 12.3                    | MHz |                      |
| SR <sub>POWERUP</sub> | 電源ランプ時間                               | 0    | —    | —                       | μs  |                      |
| $t_{POWERUP}$         | コード実行までの POR リリース時間                   | —    | 16   | 100                     | ms  |                      |
| $t_{jit\_IMO}^{[26]}$ | 24MHz IMO サイクル ツー サイクル ジッタ (RMS)      | —    | 200  | 1300                    | ps  |                      |
|                       | 24MHz IMO 長期 N サイクル ツー サイクル ジッタ (RMS) | —    | 300  | 1300                    | ps  | N = 32               |
|                       | 24MHz IMO 周期ジッタ (RMS)                 | —    | 200  | 800                     | ps  |                      |
| $t_{jit\_PLL}^{[26]}$ | 24MHz IMO サイクル ツー サイクル ジッタ (RMS)      | —    | 200  | 1100                    | ps  |                      |
|                       | 24MHz IMO 長期 N サイクル ツー サイクル ジッタ (RMS) | —    | 400  | 2800                    | ps  | N = 32               |
|                       | 24MHz IMO 周期ジッタ (RMS)                 | —    | 200  | 1400                    | ps  |                      |

**注 :**

24.  $4.75V < V_{DD} < 5.25V$ 。  
 25.  $3.0V < V_{DD} < 3.6V$ 。3.3V での動作用のトリミングについては、アプリケーション ノート「Adjusting PSoC® Trims for 3.3 V and 2.7 V Operation – AN2012」を参照してください。  
 26. 詳細については、サイプレスのジッタ仕様 アプリケーション ノート「Understanding Datasheet Jitter Specifications for Cypress Timing Products – AN5054」を参照してください。

図 10. PLL ロック タイミング図

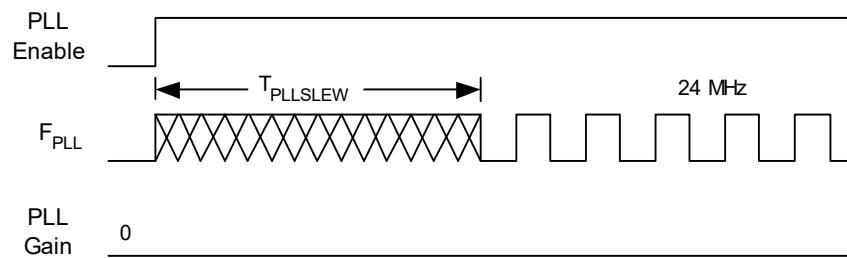


図 11. 低ゲイン設定時の PLL ロックのタイミング図

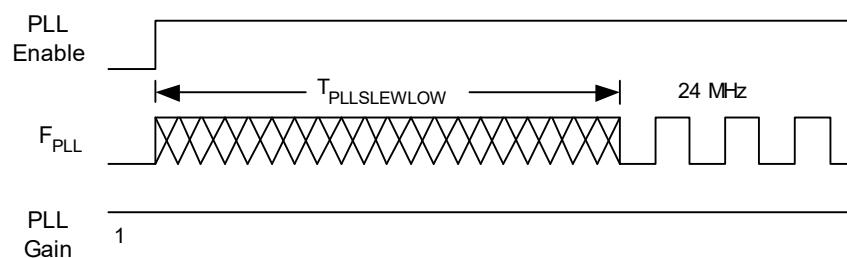
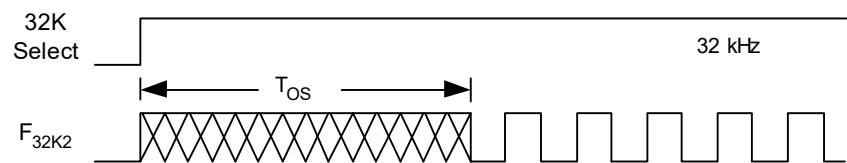


図 12. 外部水晶振動子の起動タイミング図

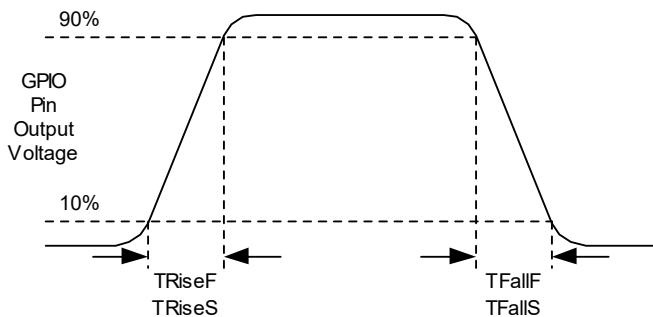


**GPIO の AC 仕様**

下表に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 。標準パラメーターは、25°C で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 44. GPIO の AC 仕様**

| 記号                 | 説明   | Min | Typ | Max  | 単位  | 注   |
|--------------------|--|-----|-----|------|-----|---|
| $F_{\text{GPIO}}$  | GPIO 動作周波数   | 0   | —   | 12.3 | MHz | 通常のストロング モード  |
| $t_{\text{RiseF}}$ | 立ち上り時間、通常ストロング モード、<br>$C_{\text{load}} = 50\text{pF}$ | 3   | —   | 18   | ns  | $V_{\text{DD}} = 4.5 \sim 5.25\text{V}, 10\% \sim 90\%$ |
| $t_{\text{FallF}}$ | 立ち下り時間、通常ストロング モード、<br>$C_{\text{load}} = 50\text{pF}$ | 2   | —   | 18   | ns  | $V_{\text{DD}} = 4.5 \sim 5.25\text{V}, 10\% \sim 90\%$ |
| $t_{\text{RiseS}}$ | 立ち上り時間、低速ストロング モード、<br>$C_{\text{load}} = 50\text{pF}$ | 10  | 27  | —    | ns  | $V_{\text{DD}} = 3 \sim 5.25\text{V}, 10\% \sim 90\%$   |
| $t_{\text{FallS}}$ | 立ち下り時間、低速ストロング モード、<br>$C_{\text{load}} = 50\text{pF}$ | 10  | 22  | —    | ns  | $V_{\text{DD}} = 3 \sim 5.25\text{V}, 10\% \sim 90\%$   |

**図 13. GPIO のタイミング図**


### オペアンプの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。これら仕様を適用するオペアンプは、アナログ連続時間 PSoC ブロックとアナログスイッチトキャパシタ PSoC ブロック両方のコンポーネントです。整定時間、スルーレート、およびゲイン帯域幅はアナログ連続時間 PSoC ブロックに基づきます。

Power = High、Opamp bias = High は 3.3V ではサポートされません。

**表 45. 5V 時のオペアンプの AC 仕様**

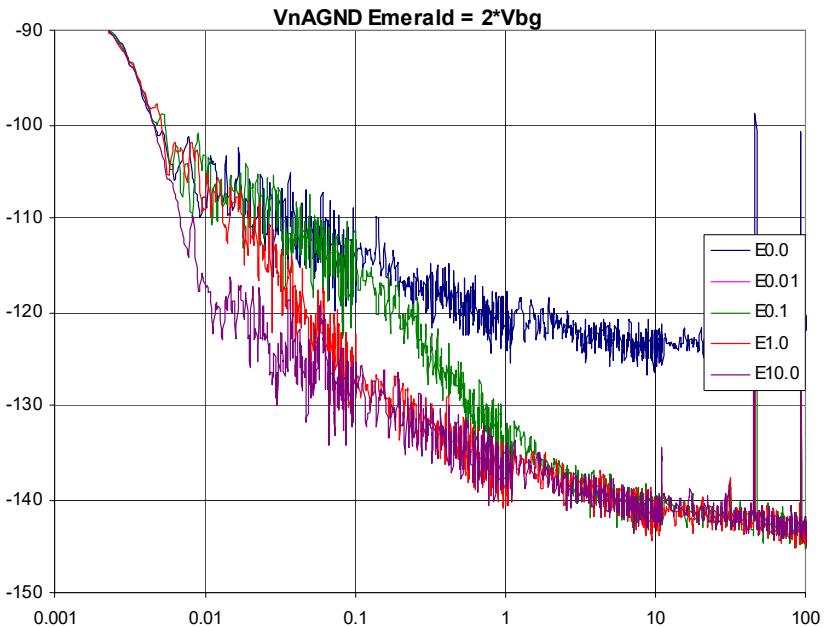
| 記号                | 説明   | Min                | Typ         | Max                 | 単位   | 注 |
|-------------------|--|--------------------|-------------|---------------------|--|---|
| $t_{\text{ROA}}$  | $\Delta V$ 80% から $\Delta V$ 0.1% までの立ち上り整定時間（アクティブプローブ負荷、ユニティゲイン）<br>Power = Low、Opamp bias = Low<br>Power = Medium、Opamp bias = High<br>Power = High、Opamp bias = High | —<br>—<br>—        | —<br>—<br>— | 3.9<br>0.72<br>0.62 | $\mu\text{s}$<br>$\mu\text{s}$<br>$\mu\text{s}$          |   |
| $t_{\text{SOA}}$  | $\Delta V$ 20% から $\Delta V$ 0.1% までの立ち下り整定時間（アクティブプローブ負荷、ユニティゲイン）<br>Power = Low、Opamp bias = Low<br>Power = Medium、Opamp bias = High<br>Power = High、Opamp bias = High | —<br>—<br>—        | —<br>—<br>— | 5.9<br>0.92<br>0.72 | $\mu\text{s}$<br>$\mu\text{s}$<br>$\mu\text{s}$          |   |
| $SR_{\text{ROA}}$ | 立ち上りスルーレート（20% ~ 80%）（アクティブプローブ負荷、ユニティゲイン）<br>Power = Low、Opamp bias = Low<br>Power = Medium、Opamp bias = High<br>Power = High、Opamp bias = High                         | 0.15<br>1.7<br>6.5 | —<br>—<br>— | —<br>—<br>—         | V/ $\mu\text{s}$<br>V/ $\mu\text{s}$<br>V/ $\mu\text{s}$ |   |
| $SR_{\text{FOA}}$ | 立ち下りスルーレート（20% ~ 80%）（アクティブプローブ負荷、ユニティゲイン）<br>Power = Low、Opamp bias = Low<br>Power = Medium、Opamp bias = High<br>Power = High、Opamp bias = High                         | 0.01<br>0.5<br>4.0 | —<br>—<br>— | —<br>—<br>—         | V/ $\mu\text{s}$<br>V/ $\mu\text{s}$<br>V/ $\mu\text{s}$ |   |
| $BW_{\text{OA}}$  | ゲインと帯域幅の積<br>Power = Low、Opamp bias = Low<br>Power = Medium、Opamp bias = High<br>Power = High、Opamp bias = High  | 0.75<br>3.1<br>5.4 | —<br>—<br>— | —<br>—<br>—         | MHz<br>MHz<br>MHz  |   |
| $E_{\text{NOA}}$  | 1kHz でのノイズ<br>Power = Medium、Opamp bias = High   | —                  | 100         | —                   | nV/rt-Hz   |   |

**表 46. 3.3V 時のオペアンプの AC 仕様**

| 記号         | 説明  | Min         | Typ    | Max          | 単位                       | 注 |
|------------|---|-------------|--------|--------------|--------------------------|---|
| $t_{ROA}$  | $\Delta V$ 80% から $\Delta V$ 0.1% までの立ち上り整定時間 (アクティブ プローブ負荷、ユニティ ゲイン)<br>Power = Low、Opamp bias = Low<br>Power = Low、Opamp bias = High    | —<br>—      | —<br>— | 3.92<br>0.72 | $\mu s$<br>$\mu s$       |   |
| $t_{SOA}$  | $\Delta V$ 20% から $\Delta V$ 0.1% までの立ち下り整定時間 (アクティブ プローブ負荷、ユニティ ゲイン)<br>Power = Low、Opamp bias = Low<br>Power = Medium、Opamp bias = High | —<br>—      | —<br>— | 5.41<br>0.72 | $\mu s$<br>$\mu s$       |   |
| $SR_{ROA}$ | 立ち上りスルーレート (20% ~ 80%) (アクティブ プローブ負荷、ユニティ ゲイン)<br>Power = Low、Opamp bias = Low<br>Power = Medium、Opamp bias = High                        | 0.31<br>2.7 | —<br>— | —<br>—       | V/ $\mu s$<br>V/ $\mu s$ |   |
| $SR_{FOA}$ | 立ち下りスルーレート (20% ~ 80%) (アクティブ プローブ負荷、ユニティ ゲイン)<br>Power = Low、Opamp bias = Low<br>Power = Medium、Opamp bias = High                        | 0.24<br>1.8 | —<br>— | —<br>—       | V/ $\mu s$<br>V/ $\mu s$ |   |
| $BW_{OA}$  | ゲインと帯域幅の積<br>Power = Low、Opamp bias = Low<br>Power = Medium、Opamp bias = High   | 0.67<br>2.8 | —<br>— | —<br>—       | MHz<br>MHz               |   |
| $E_{NOA}$  | 1kHz でのノイズ<br>Power = Medium、Opamp bias = High  | —           | 100    | —            | nV/rt-Hz                 |   |

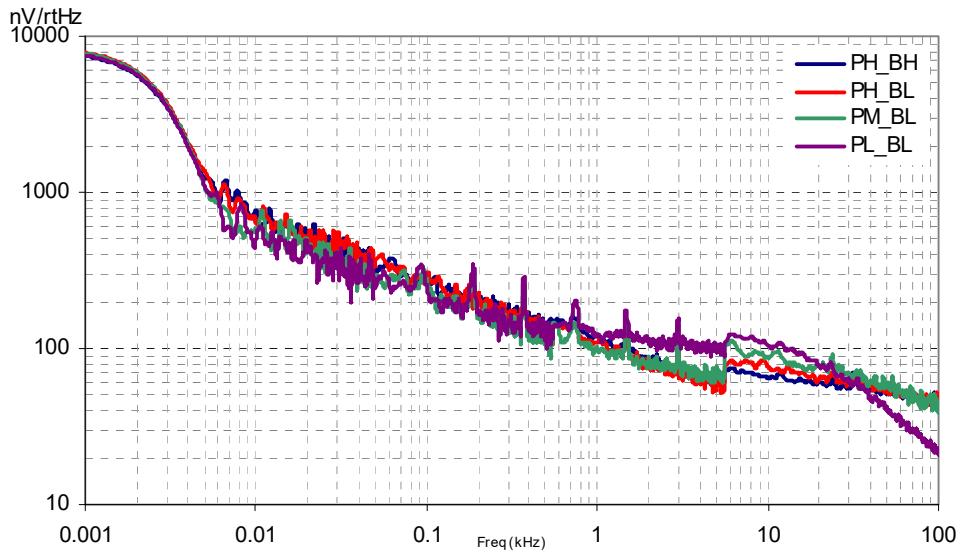
P2[4]に接続したコンデンサでバイパスされると、各ブロックに分配されるアナログ グランド信号のノイズは最大 5 係数で(14dB) 減少されます。これは、オンチップ  $8.1\text{k}\Omega$  抵抗と外部コンデンサにより定義されたコーナー周波数以上の周波数で行われます。

図 14. P2[4] でのバイパス コンデンサを使用した場合の標準 AGND ノイズ



低い周波数では、オペアンプ ノイズは  $1/f$  に比例し、電源に依存しなく、デバイスの形状で決まります。高い周波数では、電圧レベルが高いほど、ノイズの拡散レベルが低くなります。

図 15. 標準オペアンプ ノイズ



#### Type-E のオペアンプの AC 仕様

表 47 に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 2.4V ~ 3.0V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V、3.3V または 2.7V の時に適用され、単なる設計の参考用のデータです。これら仕様を適用するオペアンプは、制約付き Type-E アナログ PSoC ブロックのコンポーネントです。

**表 47. Type-E オペアンプの AC 仕様**

| 記号                | 説明             | Min | Typ | Max | 単位 | 注             |
|-------------------|----------------|-----|-----|-----|----|---------------|
| $t_{\text{COMP}}$ | コンパレータ モード応答時間 | —   | 75  | 100 | ns | 50mV オーバードライブ |

#### 低消費電力コンパレータの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 2.4V ~ 3.0V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V の時に適用され、単なる設計の参考用のデータです。

**表 48. 低消費電力コンパレータの AC 仕様**

| 記号                | 説明       | Min | Typ | Max | 単位 | 注                           |
|-------------------|----------|-----|-----|-----|----|-----------------------------|
| $t_{\text{RLPC}}$ | LPC 応答時間 | —   | —   | 50  | μs | $\geq 50\text{mV}$ オーバードライブ |

### デジタル ブロックの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 49. デジタル ブロックの AC 仕様**

| 機能                  | 説明   | Min                | Typ | Max | 単位  | 注   |
|---------------------|--|--------------------|-----|-----|-----|---|
| すべての機能              | ブロック入力クロック周波数  |                    |     |     |     |   |
|                     | $V_{\text{DD}} \geq 4.75 \text{ V}$                    | —                  | —   | 49  | MHz |   |
|                     | $V_{\text{DD}} < 4.75 \text{ V}$                       | —                  | —   | 25  | MHz |   |
| タイマー                | 入力クロック周波数  |                    |     |     |     |   |
|                     | キャプチャなし、 $V_{\text{DD}} \geq 4.75 \text{ V}$           | —                  | —   | 49  | MHz |   |
|                     | キャプチャなし、 $V_{\text{DD}} < 4.75 \text{ V}$              | —                  | —   | 25  | MHz |   |
|                     | キャプチャあり  | —                  | —   | 25  | MHz |   |
| カウンター               | 入力クロック周波数  |                    |     |     |     |   |
|                     | イネーブル入力なし、 $V_{\text{DD}} \geq 4.75 \text{ V}$         | —                  | —   | 49  | MHz |   |
|                     | イネーブル入力なし、 $V_{\text{DD}} < 4.75 \text{ V}$            | —                  | —   | 25  | MHz |   |
|                     | イネーブル入力あり  | —                  | —   | 25  | MHz |   |
|                     | イネーブル入力パルス幅  | 50 <sup>[27]</sup> | —   | —   | ns  |   |
| デッド バンド             | キルパルス幅   |                    |     |     |     |   |
|                     | 非同期再起動モード  | 20                 | —   | —   | ns  |   |
|                     | 同期リスタートモード   | 50 <sup>[27]</sup> | —   | —   | ns  |   |
|                     | ディスエーブル モード  | 50 <sup>[27]</sup> | —   | —   | ns  |   |
|                     | 入力クロック周波数  |                    |     |     |     |   |
|                     | $V_{\text{DD}} \geq 4.75 \text{ V}$                    | —                  | —   | 49  | MHz |   |
| CRCPRS<br>(PRS モード) | $V_{\text{DD}} < 4.75 \text{ V}$                       | —                  | —   | 25  | MHz |   |
|                     | 入力クロック周波数  |                    |     |     |     |   |
|                     | $V_{\text{DD}} \geq 4.75 \text{ V}$                    | —                  | —   | 49  | MHz |   |
| CRCPRS<br>(CRC モード) | $V_{\text{DD}} < 4.75 \text{ V}$                       | —                  | —   | 25  | MHz |   |
|                     | 入力クロック周波数  | —                  | —   | 25  | MHz |   |
| SPI                 | 入力クロック周波数  | —                  | —   | 8.2 | MHz | SPI シリアル クロック (SCLK) 周波数は入力クロック周波数を 2 で割った値 |
| SPIS                | 入力クロック (SCLK) 周波数                                      | —                  | —   | 4.1 | MHz | SPIS モードでは、入力クロックが SPI SCLK                 |
|                     | 送信間の SS_Negated の幅                                     | 50[13]             | —   | —   | ns  |   |
| トランスマッター            | 入力クロック周波数  |                    |     |     |     | ボーレートは、入力クロック周波数を 8 で割った値                   |
|                     | $V_{\text{DD}} \geq 4.75 \text{ V}, 2 \text{ ストップビット}$ | —                  | —   | 49  | MHz |   |
|                     | $V_{\text{DD}} \geq 4.75 \text{ V}, 1 \text{ ストップビット}$ | —                  | —   | 25  | MHz |   |
|                     | $V_{\text{DD}} < 4.75 \text{ V}$                       | —                  | —   | 25  | MHz |   |
| レシーバー               | 入力クロック周波数  |                    |     |     |     | ボーレートは、入力クロック周波数を 8 で割った値                   |
|                     | $V_{\text{DD}} \geq 4.75 \text{ V}, 2 \text{ ストップビット}$ | —                  | —   | 49  | MHz |   |
|                     | $V_{\text{DD}} \geq 4.75 \text{ V}, 1 \text{ ストップビット}$ | —                  | —   | 25  | MHz |   |
|                     | $V_{\text{DD}} < 4.75 \text{ V}$                       | —                  | —   | 25  | MHz |   |

注：

27. 50ns の最小入力パルス幅は、24MHz (42ns 公称期間) で動作する入力シンクロナイザに基づきます。

**アナログ出力バッファの AC 仕様**

下表に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 50. 5V 時のアナログ出力バッファの AC 仕様**

| 記号                       | 説明  | Min          | Typ    | Max        | 単位           | 注 |
|--------------------------|---|--------------|--------|------------|--------------|---|
| $t_{\text{ROB}}$         | 0.1% に達するまでの立ち上り整定時間、1V ステップ、100pF 負荷<br>Power = Low<br>Power = High              | —<br>—       | —<br>— | 2.5<br>2.9 | μs<br>μs     |   |
| $t_{\text{SOB}}$         | 0.1% に達するまでの立ち下り整定時間、1V ステップ、100pF 負荷<br>Power = Low<br>Power = High              | —<br>—       | —<br>— | 2.3<br>2.3 | μs<br>μs     |   |
| $\text{SR}_{\text{ROB}}$ | 立ち上りスルーレート (20% ~ 80%)、1V ステップ、100pF 負荷<br>Power = Low<br>Power = High            | 0.65<br>0.65 | —<br>— | —<br>—     | V/μs<br>V/μs |   |
| $\text{SR}_{\text{FOB}}$ | 立ち下りスルーレート (80% ~ 20%)、1V ステップ、100pF 負荷<br>Power = Low<br>Power = High            | 0.65<br>0.65 | —<br>— | —<br>—     | V/μs<br>V/μs |   |
| $\text{BW}_{\text{OB}}$  | 小信号帯域幅、 $20\text{mV}_{\text{pp}}$ 、3dB BW、100pF 負荷<br>Power = Low<br>Power = High | 0.8<br>0.8   | —<br>— | —<br>—     | MHz<br>MHz   |   |
| $\text{BW}_{\text{OB}}$  | 大信号帯域幅、 $1\text{V}_{\text{pp}}$ 、3dB BW、100pF 負荷<br>Power = Low<br>Power = High   | 300<br>300   | —<br>— | —<br>—     | kHz<br>kHz   |   |

**表 51. 3.3V 時のアナログ出力バッファの AC 仕様**

| 記号                       | 説明  | Min          | Typ    | Max        | 単位           | 注 |
|--------------------------|---|--------------|--------|------------|--------------|---|
| $t_{\text{ROB}}$         | 0.1% に達するまでの立ち上り整定時間、1V ステップ、100pF 負荷<br>Power = Low<br>Power = High              | —<br>—       | —<br>— | 3.8<br>3.8 | μs<br>μs     |   |
| $t_{\text{SOB}}$         | 0.1% に達するまでの立ち下り整定時間、1V ステップ、100pF 負荷<br>Power = Low<br>Power = High              | —<br>—       | —<br>— | 3.2<br>2.9 | μs<br>μs     |   |
| $\text{SR}_{\text{ROB}}$ | 立ち上りスルーレート (20% ~ 80%)、1V ステップ、100pF 負荷<br>Power = Low<br>Power = High            | 0.5<br>0.5   | —<br>— | —<br>—     | V/μs<br>V/μs |   |
| $\text{SR}_{\text{FOB}}$ | 立ち下りスルーレート (80% ~ 20%)、1V ステップ、100pF 負荷<br>Power = Low<br>Power = High            | 0.5<br>0.5   | —<br>— | —<br>—     | V/μs<br>V/μs |   |
| $\text{BW}_{\text{OB}}$  | 小信号帯域幅、 $20\text{mV}_{\text{pp}}$ 、3dB BW、100pF 負荷<br>Power = Low<br>Power = High | 0.64<br>0.64 | —<br>— | —<br>—     | MHz<br>MHz   |   |
| $\text{BW}_{\text{OB}}$  | 大信号帯域幅、 $1\text{V}_{\text{pp}}$ 、3dB BW、100pF 負荷<br>Power = Low<br>Power = High   | 200<br>200   | —<br>— | —<br>—     | kHz<br>kHz   |   |

### SAR10 ADC の AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 。標準パラメーターは、25°C で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 52. SAR10 ADC の AC 仕様**

| 記号                   | 説明   | Min | Typ | Max   | 単位    | 注  |
|----------------------|--|-----|-----|-------|-------|--|
| $F_{\text{INSAR}10}$ | SAR10 ADC の入力クロック周波数                           | –   | –   | 2.0   | MHz   |  |
| $F_{\text{SSAR}10}$  | SAR10 ADC のサンプリング速度<br>SAR10 ADC の分解能 = 10 ビット | –   | –   | 142.9 | ksp/s | 10 ビット分解能の場合、サンプリング速度は ADC の入力クロックを 14 で分周した値となる |

### 外部クロックの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 。標準パラメーターは、25°C で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 53. 5V 時の外部クロックの AC 仕様**

| 記号                  | 説明                  | Min   | Typ | Max  | 単位  | 注 |
|---------------------|---------------------|-------|-----|------|-----|---|
| $F_{\text{OSCEXT}}$ | 周波数                 | 0.093 | –   | 24.6 | MHz |   |
| –                   | HIGH 期間             | 20.6  | –   | 5300 | ns  |   |
| –                   | LOW 期間              | 20.6  | –   | –    | ns  |   |
| –                   | IMO 電源投入からスイッチまでの時間 | 150   | –   | –    | μs  |   |

**表 54. 3.3V 時の外部クロックの AC 仕様**

| 記号                  | 説明                           | Min   | Typ | Max  | 単位  | 注 |
|---------------------|------------------------------|-------|-----|------|-----|---|
| $F_{\text{OSCEXT}}$ | 1 で分周した CPU クロックでの周波数 [28]   | 0.093 | –   | 12.3 | MHz |   |
| $F_{\text{OSCEXT}}$ | 2 以上で分周した CPU クロックでの周波数 [29] | 0.186 | –   | 24.6 | MHz |   |
| –                   | 1 で分周した CPU クロックでの HIGH 期間   | 41.7  | –   | 5300 | ns  |   |
| –                   | 1 で分周した CPU クロックでの LOW 期間    | 41.7  | –   | –    | ns  |   |
| –                   | IMO 電源投入からスイッチまでの時間          | 150   | –   | –    | μs  |   |

#### 注：

28. 最大 CPU 周波数は 3.3V の時は 12MHz です。CPU クロック分周器が 1 に設定されると、外部クロックの最大周波数とデューティ比の要件を満たす必要があります。

29. 外部クロックの周波数が 12MHz を超えた場合、CPU のクロック分周器は 2 以上に設定する必要があります。この場合、CPU クロック分周器は、50% のデューティ比の要件が満たされることを保証します。

### プログラミングの AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。標準パラメーターは、 $25^{\circ}\text{C}$  で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 55. プログラミングの AC 仕様**

| 記号                         | 説明                              | Min | Typ | Max                 | 単位  | 注   |
|----------------------------|---------------------------------|-----|-----|---------------------|-----|---|
| $t_{\text{RSCLK}}$         | SCLK の立ち上り時間                    | 1   | —   | 20                  | ns  |   |
| $t_{\text{FSCLK}}$         | SCLK の立ち下り時間                    | 1   | —   | 20                  | ns  |   |
| $t_{\text{SSCLK}}$         | SCLK の立ち下りエッジまでのデータ セット アップ時間   | 40  | —   | —                   | ns  |   |
| $t_{\text{HSCLK}}$         | SCLK の立ち下りエッジからのデータ ホールド時間      | 40  | —   | —                   | ns  |   |
| $f_{\text{SCLK}}$          | SCLK の周波数                       | 0   | —   | 8                   | MHz |   |
| $t_{\text{ERASEB}}$        | フラッシュ消去時間 ( ブロック )              | —   | 10  | —                   | ms  |   |
| $t_{\text{WRITE}}$         | フラッシュ ブロック書き込み時間                | —   | 40  | —                   | ms  |   |
| $t_{\text{DSCLK}}$         | SCLK の立ち下りエッジからのデータ出力遅延         | —   | —   | 55                  | ns  | $V_{\text{DD}} > 3.6$                                 |
| $t_{\text{DSCLK3}}$        | SCLK の立ち下りエッジからのデータ出力遅延         | —   | —   | 75                  | ns  | $3.0 \leq V_{\text{DD}} \leq 3.6$                     |
| $t_{\text{ERASEALL}}$      | フラッシュ消去時間 ( バルク )               | —   | 40  | —                   | ms  | すべてのブロックおよび保護フィールドを一度に消去                              |
| $t_{\text{PROGRAM\_HOT}}$  | フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間 | —   | —   | 100 <sup>[30]</sup> | ms  | $0^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$ |
| $t_{\text{PROGRAM\_COLD}}$ | フラッシュ ブロック消去 + フラッシュ ブロック書き込み時間 | —   | —   | 200 <sup>[30]</sup> | ms  | $-40^{\circ}\text{C} \leq T_j \leq 0^{\circ}\text{C}$ |

**注：**

30. 産業用途向けの温度範囲全体においては、ユーザーは温度センサー ユーザー モジュール (FlashTemp) を使用し、書き込みの前に結果を温度引数に入力する必要があります。詳細については、[AN2015 - Getting Started with Flash & E2PROM](#) を参照してください。

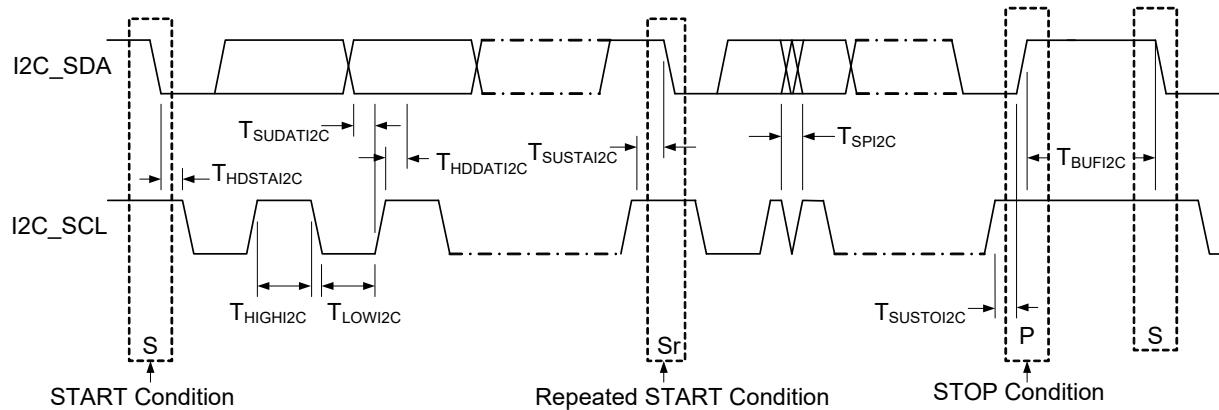
### I<sup>2</sup>C の AC 仕様

下表に、次の電圧範囲と温度範囲それぞれで保証される最大値と最小値の仕様を示します：4.75V ~ 5.25V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 、または 3.0V ~ 3.6V と  $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ 。標準パラメーターは、25°C で 5V または 3.3V の時に適用され、単なる設計の参考用のデータです。

**表 56. I<sup>2</sup>C SDA と SCL ピンの AC 特性**

| 記号                    | 説明  | 標準モード |     | ファースト モード           |     | 単位  | 注 |
|-----------------------|---|-------|-----|---------------------|-----|-----|---|
|                       |   | Min   | Max | Min                 | Max |     |   |
| $F_{\text{SCLI2C}}$   | SCL クロック周波数                                     | 0     | 100 | 0                   | 400 | kHz |   |
| $t_{\text{HDSTAI2C}}$ | ホールド時間（反復）START 条件。この時間が経過した後、最初のクロック パルスが生成される | 4.0   | —   | 0.6                 | —   | μs  |   |
| $t_{\text{LOWI2C}}$   | SCL クロックの LOW 期間                                | 4.7   | —   | 1.3                 | —   | μs  |   |
| $t_{\text{HIGHI2C}}$  | SCL クロックの HIGH 期間                               | 4.0   | —   | 0.6                 | —   | μs  |   |
| $t_{\text{SUSTAI2C}}$ | 反復 START 条件のセットアップ時間                            | 4.7   | —   | 0.6                 | —   | μs  |   |
| $t_{\text{HDDATI2C}}$ | データ ホールド時間                                      | 0     | —   | 0                   | —   | μs  |   |
| $t_{\text{SUDATI2C}}$ | データ セットアップ時間                                    | 250   | —   | 100 <sup>[31]</sup> | —   | ns  |   |
| $t_{\text{SUSTOI2C}}$ | STOP 条件のセットアップ時間                                | 4.0   | —   | 0.6                 | —   | μs  |   |
| $t_{\text{BUFI2C}}$   | STOP 条件と START 条件間のバス空き時間                       | 4.7   | —   | 1.3                 | —   | μs  |   |
| $t_{\text{SPI2C}}$    | スパイクのパルス幅は入力フィルターによって抑制される                      | —     | —   | 0                   | 50  | ns  |   |

**図 16. ファースト モードと標準モードの I<sup>2</sup>C バスのタイミングの定義**



**注：**

31. ファースト モード I<sup>2</sup>C バス デバイスは標準モード I<sup>2</sup>C バス システムでも使用できますが、 $T_{\text{SUDATI2C}} \geq 250\text{ns}$  という要件を満たさなければなりません。SCL 信号の LOW 期間をデバイスで延ばさなければ、この要件を自動的に満たします。SCL 信号の LOW 期間をデバイスで延ばした場合、SCL ラインを解放する [ $t_{\text{max}} + T_{\text{SUDATI2C}} = 1000 + 250 = 1250\text{ns}$ ] (標準モード I<sup>2</sup>C バス仕様による) の期間前に、次のデータ ビットを SDA ラインに出力する必要があります。

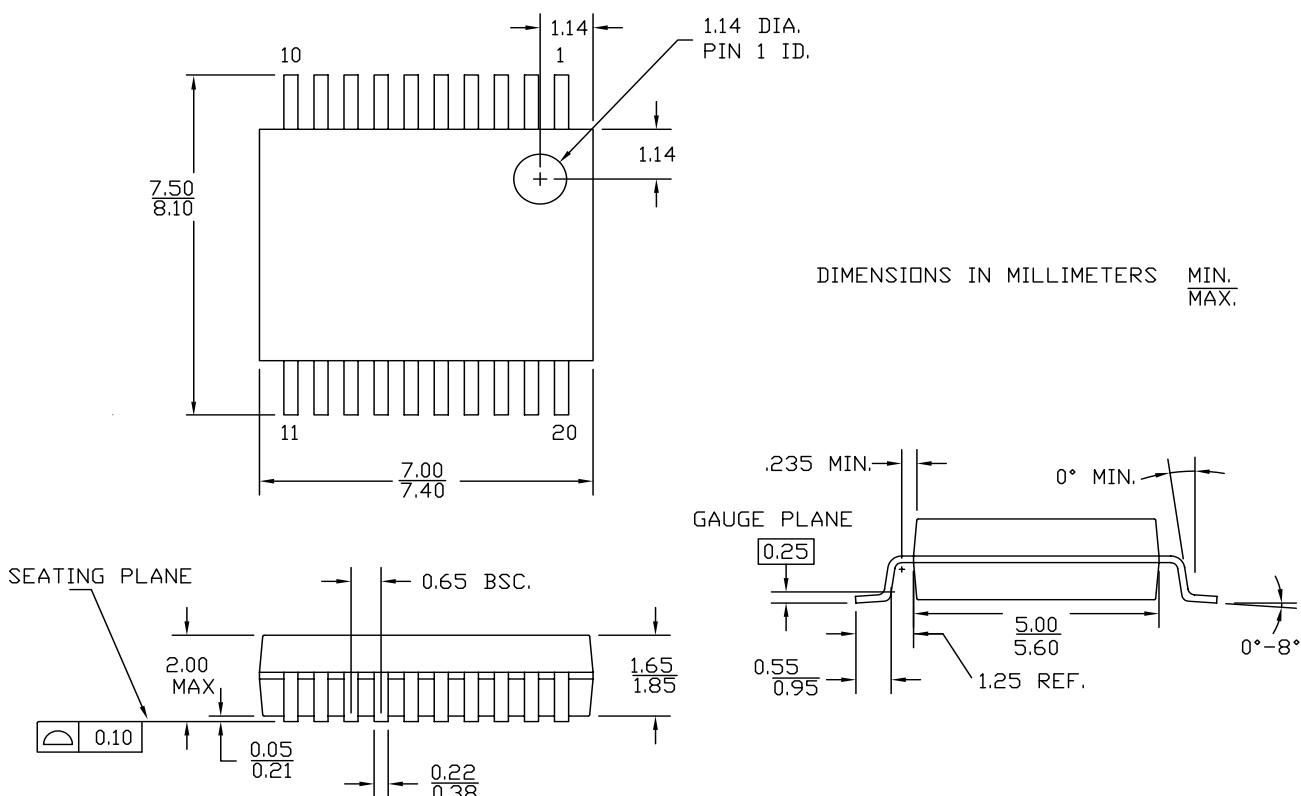
## パッケージ情報

本節には、CY8C28xxx PSoC デバイスのパッケージ仕様と、各パッケージの熱インピーダンスおよび水晶振動子ピンの一般的なパッケージ容量を記載します。

**重要な注意：**エミュレーションツールでは、対象のプリント基板上でチップの実装面積よりも広い面積が必要になる場合があります。エミュレーションツールの寸法の詳細説明については、[www.cypress.com](http://www.cypress.com) でエミュレータ ポッド ディメンションの図を参照してください。

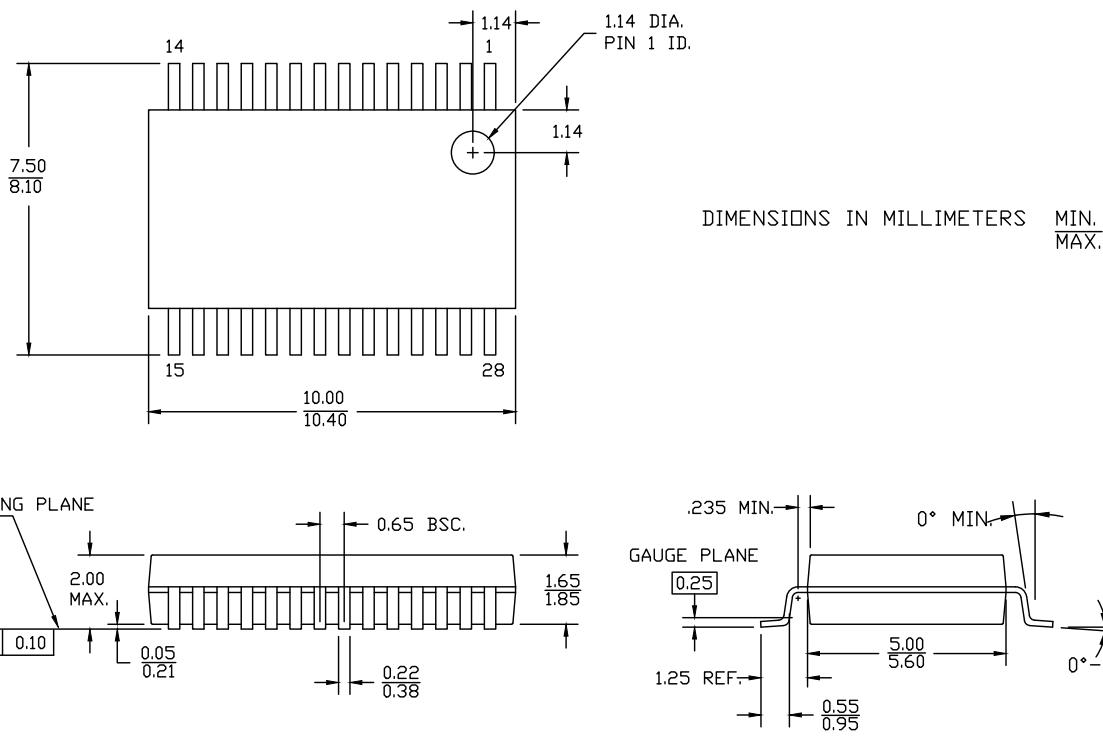
### パッケージの寸法

図 17. 20 ピン SSOP (210Mil) O20.21 パッケージ図、51-85077



51-85077 \*F

図 18. 28 ピン SSOP (210Mil) O28.21 パッケージ図、51-85079



51-85079 \*G

図 19. 44 ピン TQFP (10 × 10 × 1.4mm) A44S パッケージ図、51-85064

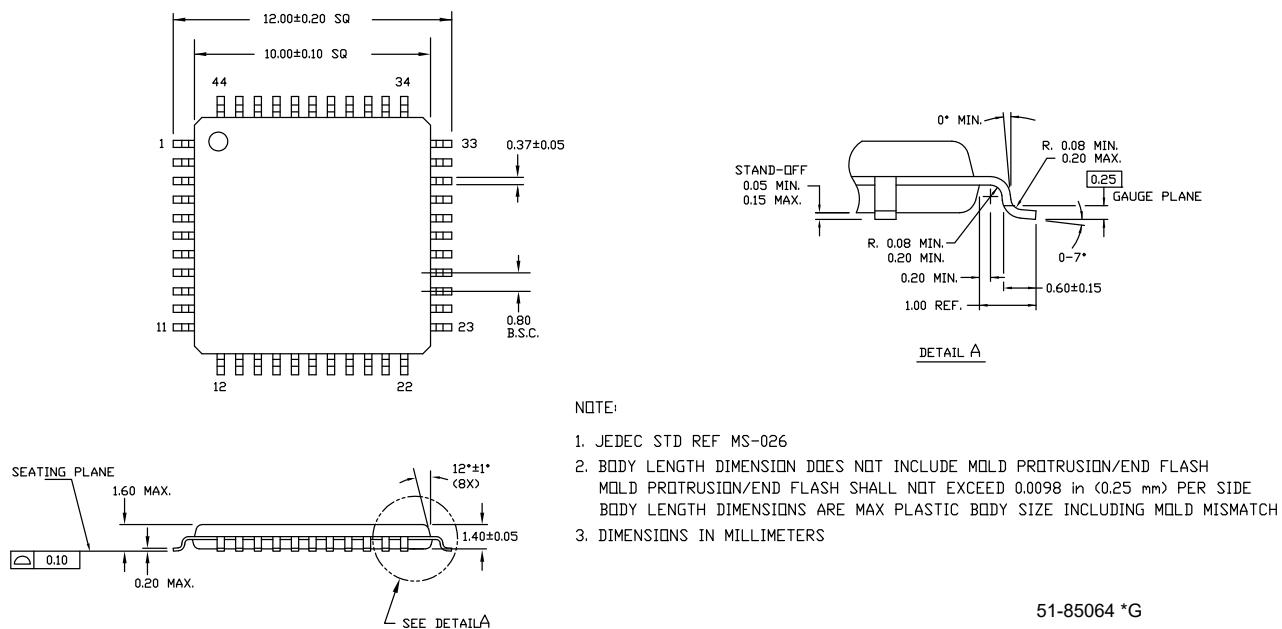
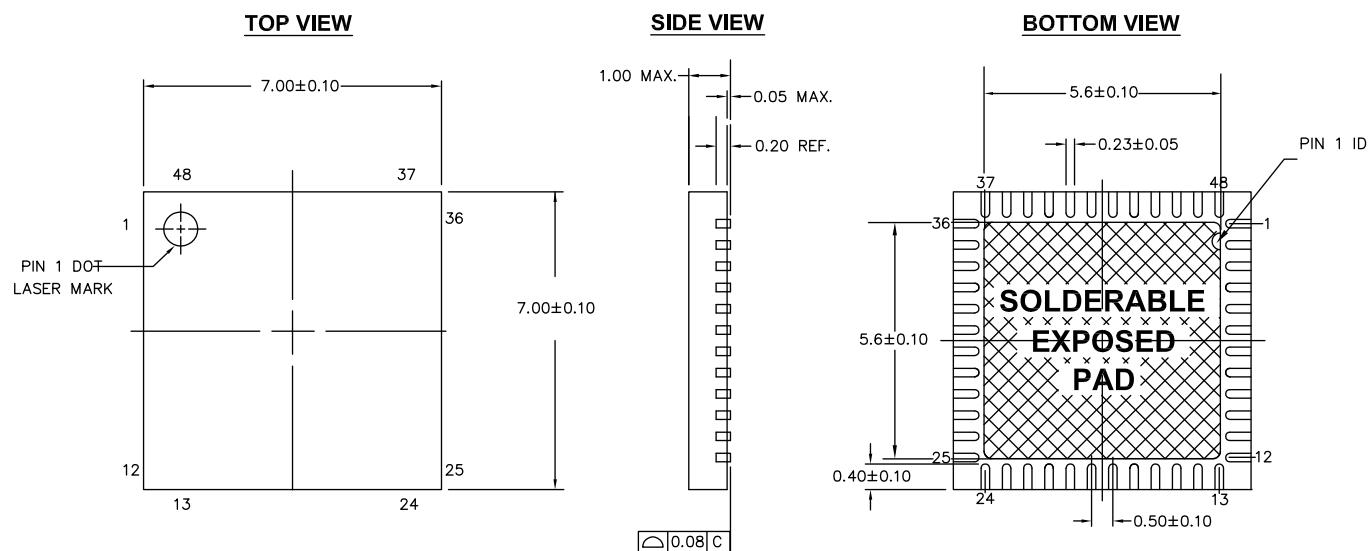


図 20. 48 ピン QFN (7 × 7 × 1.0mm) LT48D 5.6 × 5.6 E パッド (Sawn 種) パッケージ図、001-45616



NOTES:

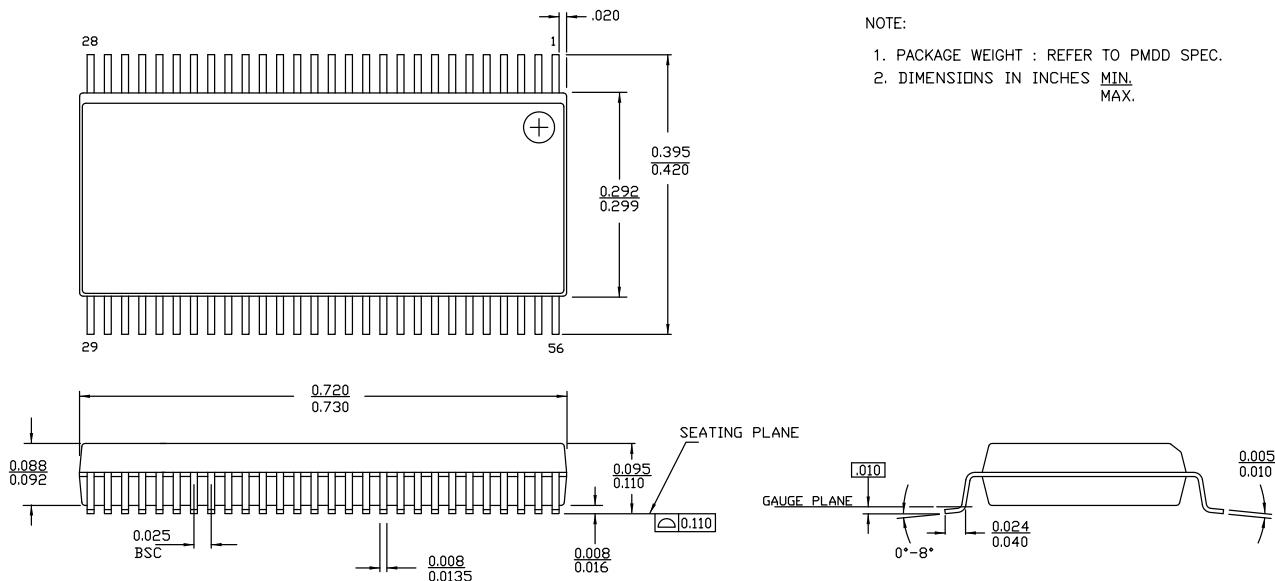
1. HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: REFER TO PMDD SPEC.
4. ALL DIMENSIONS ARE IN MM [MIN/MAX]
5. PACKAGE CODE

| PART # | DESCRIPTION |
|--------|-------------|
| LT48D  | LEAD FREE   |

001-45616 \*F

**重要な注意:** QFN パッケージの実装用の推奨寸法については、アプリケーション ノート [AN72845 - Design Guidelines For Cypress Quad Flat No-Lead \(QFN\) Packaged Devices](#) を参照してください。

図 21. 56 ピン SSOP (300Mil) O563 パッケージ図、51-85062



51-85062 \*F

## 熱インピーダンス

表 57. パッケージ別の熱インピーダンス

| パッケージ                     | 標準 $\theta_{JA}$ [32] |
|---------------------------|-----------------------|
| 20 ピン SSOP                | 80.8°C/W              |
| 28 ピン SSOP                | 45.4°C/W              |
| 44 ピン TQFP                | 24.0°C/W              |
| 48 ピン QFN <sup>[33]</sup> | 16.7°C/W              |
| 56 ピン SSOP                | 67.5°C/W              |

## 水晶振動子ピンの静電容量

表 58. パッケージの水晶発振器ピンの標準的な静電容量

| パッケージ      | パッケージ静電容量                                |
|------------|--|
| 20 ピン SSOP | ピン 9 = 0.0056pF<br>ピン 11 = 0.006048pF    |
| 28 ピン SSOP | ピン 13 = 0.006796pF<br>ピン 15 = 0.006755pF |
| 44 ピン TQFP | ピン 16 = 0.009428pF<br>ピン 18 = 0.008635pF |
| 48 ピン QFN  | ピン 17 = 0.008493pF<br>ピン 19 = 0.008742pF |
| 56 ピン SSOP | ピン 27 = 0.007916pF<br>ピン 31 = 0.007132pF |

## はんだリフローの仕様

表 59 に、超えてはならないはんだリフロー温度制限を表します。

表 59. はんだリフローの仕様

| パッケージ      | 最高ピーク温度<br>( $T_C$ ) | $T_C - 5^\circ\text{C}$ 以上の最大時間 |
|------------|----------------------|---------------------------------|
| 20 ピン SSOP | 260°C                | 30 秒                            |
| 28 ピン SSOP | 260°C                | 30 秒                            |
| 44 ピン TQFP | 260°C                | 30 秒                            |
| 48 ピン QFN  | 260°C                | 30 秒                            |
| 56 ピン SSOP | 260°C                | 30 秒                            |

### 注 :

- 32.  $T_J = T_A + \text{消費電力} \times \theta_{JA}$
- 33. QFN パッケージ専用の熱インピーダンスを達成するためには、「AN72845 - Design Guidelines For Cypress Quad Flat No-Lead (QFN) Packaged Devices」にてプリント基板の要件の詳細を参照してください。
- 34. はんだの溶融点に応じて、より高い温度が必要になる場合があります。はんだの標準的な温度は、 $220 \pm 5^\circ\text{C}$  (Sn-Pb クリームはんだ) または  $245 \pm 5^\circ\text{C}$  (Sn-Ag-Cu クリームはんだ) です。お使いのはんだメーカーの仕様を参照してください。

## 開発ツールの選択

本節では、CY8C28xxx ファミリを含む、現在のすべての PSoC デバイス ファミリに使用可能な開発ツールについて説明します。

### ソフトウェア

#### PSoC Designer

PSoC 開発ソフトウェア スイートの中核となるのは、PSoC Designer です。この安定したソフトウェアは、多数の PSoC 開発者によって使用され、数年間にわたり PSoC 設計を支援してきました。PSoC Designer は、[www.cypress.com](http://www.cypress.com) から無料で入手できます。

#### PSoC Programmer

開発現場で使用できるほど柔軟性があり、工場プログラミングにも適している PSoC Programmer は、スタンドアロンのプログラミング アプリケーションとして機能するほか、PSoC Designer から直接実行もできます。PSoC Programmer ソフトウェアは、PSoC ICE-Cube インサーキット エミュレータと PSoC MiniProg 両方との互換性があります。PSoC Programmer は [www.cypress.com](http://www.cypress.com) から無料で入手できます。

### 開発キット

すべての開発キットはサイプレスのオンラインストアから購入できます。

#### CY3215-DK 基本開発キット

CY3215-DK は、PSoC Designer を使用したプロトタイピングおよび開発用のキットです。このキットはインサーキット エミュレーションをサポートしており、ソフトウェアインターフェースを備えるため、プロセッサの実行、停止、およびシングルステップ実行や、特定のメモリ位置の内容表示ができます。PSoC Designer では、高度なエミュレーション機能がサポートされます。このキットの内容は次のとおりです。

- PSoC Designer ソフトウェア CD
- ICE-Cube インサーキット エミュレータ
- CY8C29x66 の PSoC ファミリ用ポッドキット
- Cat-5 アダプタ
- Mini-Eval プログラミング ボード
- 110 ~ 240V 電源、ヨーロッパ向けプラグ アダプタ
- ISSP ケーブル
- USB 2.0 ケーブルとブルー Cat-5 ケーブル
- CY8C29466-24PXE 28-PDIP チップ サンプル (2 個 )

### 評価ツール

すべての評価ツールはサイプレスのオンラインストアから購入できます。

#### CY3210-MiniProg1

CY3210-MiniProg1 キットを使用すると、MiniProg1 プログラミング ユニットを使用して PSoC デバイスをプログラムできます。MiniProg は、キットに同梱される USB 2.0 ケーブルで PC と接続する小型のプロトタイピング プログラマです。このキットの内容は次のとおりです。

- MiniProg プログラミング ユニット
- MiniEval ソケット プログラミングと評価用基板
- 28 ピン CY8C29466-24PXE PDIP PSoC デバイス サンプル
- 28 ピン CY8C27443-24PXE PDIP PSoC デバイス サンプル
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

#### CY3210-PSoCEval1

CY3210-PSoCEval1 キットには、評価用基板と MiniProg1 プログラミングユニットが含まれます。評価用基板は、評価に必要なすべての要件を満たすように、LCD モジュール、ポテンショメーター、LED、および十分な大きさのブレッドボードを備えます。このキットの内容は次のとおりです。

- LCD モジュール付きの評価用基板
- MiniProg プログラミング ユニット
- 28 ピン CY8C29466-24PXE PDIP PSoC デバイス サンプル (2 個 )
- PSoC Designer ソフトウェア CD
- スタート ガイド
- USB 2.0 ケーブル

## デバイス プログラマ

すべてのデバイス プログラマはサイプレスのオンラインストアから購入できます。

### CY3207ISSP インシステム シリアル プログラミング (ISSP)

CY3207ISSP は量産用のプログラマです。これには保護用回路と、量産プログラミング環境で MiniProg よりも堅牢な産業用のケースが含まれます。

注：CY3207ISSP プログラマは PSoC ISSP ソフトウェアを必要とします。PSoC のプログラマ ソフトウェアとの互換性は

## アクセサリ (エミュレーションおよびプログラミング)

表 60. エミュレーションおよびプログラミング アクセサリ

| 製品番号             | ピン パッケージ | ポッド キット <sup>[35]</sup> | フット キット <sup>[36]</sup> | アダプタ <sup>[37]</sup> |
|------------------|----------|-------------------------|-------------------------|----------------------|
| CY8C28243-24PVXI | 20-SSOP  | CY3250-28XXX            | CY3250-20SSOP-FK        |                      |
| CY8C28403-24PVXI | 28-SSOP  | CY3250-28XXX            | CY3250-28SSOP-FK        |                      |
| CY8C28413-24PVXI |          |                         |                         |                      |
| CY8C28433-24PVXI |          |                         |                         |                      |
| CY8C28445-24PVXI |          |                         |                         |                      |
| CY8C28452-24PVXI |          |                         |                         |                      |
| CY8C28643-24LTXI | 48-QFN   | CY3250-28XXXQFN         | CY3250-48QFN-FK         |                      |
| CY8C28645-24LTXI |          |                         |                         |                      |

ありません。このキットの最新の PSoC ISSP ソフトウェアは、[www.cypress.com](http://www.cypress.com) から無料でダウンロードできます。このキットの内容は次のとおりです。

- CY3207 プログラマ ユニット
- PSoC ISSP ソフトウェア CD
- 110 ~ 240V 電源、ヨーロッパ向けプラグ アダプタ
- USB 2.0 ケーブル

アダプタについては、  
[www.emulation.com](http://www.emulation.com) を参照してください。

注：

35. ポッド キットには、エミュレーション ポッド、フレックス ケーブル（ポッドを ICE に接続）、2 本のフット、デバイス サンプルが含まれます。

36. フット キットには、対象のプリント基板にはんだ付けできる表面実装フットが含まれます。

37. プログラミング アダプタは、非 DIP パッケージを DIP フットプリントに変換します。各アダプタの詳細と注文情報については、[www.emulation.com](http://www.emulation.com) を参照してください。

## 注文情報

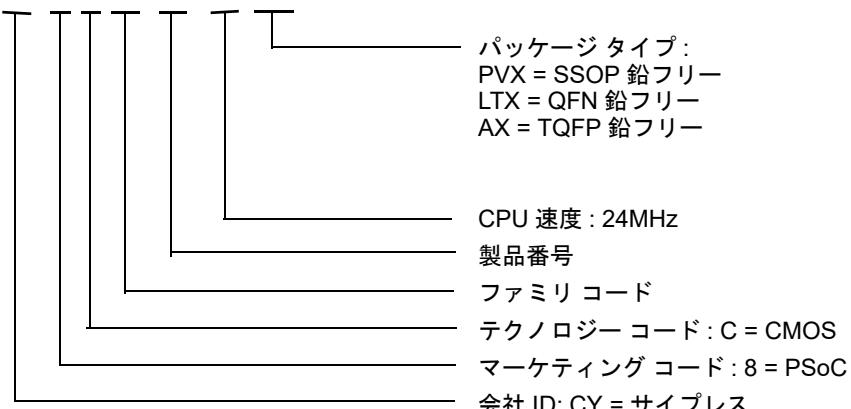
下表に、CY8C28xxx PSoC デバイスのパッケージの主な機能と注文コードを示します。

| パッケージ                              | 注文コード             | 温度範囲         | CapSense | デジタル プロック数 | 通常のアナログ プロック数 | 制約付きアナログ プロック数 | HW I <sup>2</sup> C 数 | デシメータ数 | 10 ビット SAR ADC | デジタル I/O ピン数 | アナログ入力数 | アナログ出力数 | フラッシュ (K バイト) | RAM (K バイト) | XRES ピン |
|------------------------------------|-------------------|--------------|----------|------------|---------------|----------------|-----------------------|--------|----------------|--------------|---------|---------|---------------|-------------|---------|
| 28 ピン (210Mil) SSOP                | CY8C28403-24PVXI  | -40°C ~ 85°C | 無        | 12         | 0             | 0              | 2                     | 0      | 有              | 24           | 8       | 0       | 16            | 1           | 有       |
| 28 ピン (210Mil) SSOP<br>(テープ & リール) | CY8C28403-24PVXIT | -40°C ~ 85°C | 無        | 12         | 0             | 0              | 2                     | 0      | 有              | 24           | 8       | 0       | 16            | 1           | 有       |
| 28 ピン (210Mil) SSOP                | CY8C28413-24PVXI  | -40°C ~ 85°C | 有        | 12         | 0             | 4              | 1                     | 2      | 有              | 24           | 24      | 0       | 16            | 1           | 有       |
| 28 ピン (210Mil) SSOP<br>(テープ & リール) | CY8C28413-24PVXIT | -40°C ~ 85°C | 有        | 12         | 0             | 4              | 1                     | 2      | 有              | 24           | 24      | 0       | 16            | 1           | 有       |
| 28 ピン (210Mil) SSOP                | CY8C28433-24PVXI  | -40°C ~ 85°C | 有        | 12         | 6             | 4              | 1                     | 4      | 有              | 24           | 24      | 2       | 16            | 1           | 有       |
| 28 ピン (210Mil) SSOP<br>(テープ & リール) | CY8C28433-24PVXIT | -40°C ~ 85°C | 有        | 12         | 6             | 4              | 1                     | 4      | 有              | 24           | 24      | 2       | 16            | 1           | 有       |
| 20 ピン (210Mil) SSOP                | CY8C28243-24PVXI  | -40°C ~ 85°C | 無        | 12         | 12            | 0              | 2                     | 4      | 有              | 16           | 16      | 4       | 16            | 1           | 有       |
| 20 ピン (210Mil) SSOP<br>(テープ & リール) | CY8C28243-24PVXIT | -40°C ~ 85°C | 無        | 12         | 12            | 0              | 2                     | 4      | 有              | 16           | 16      | 4       | 16            | 1           | 有       |
| 48 ピン Sawn QFN                     | CY8C28643-24LTXI  | -40°C ~ 85°C | 無        | 12         | 12            | 0              | 2                     | 4      | 有              | 44           | 44      | 4       | 16            | 1           | 有       |
| 48 ピン Sawn QFN<br>(テープ & リール)      | CY8C28643-24LTXIT | -40°C ~ 85°C | 無        | 12         | 12            | 0              | 2                     | 4      | 有              | 44           | 44      | 4       | 16            | 1           | 有       |
| 28 ピン (210Mil) SSOP                | CY8C28445-24PVXI  | -40°C ~ 85°C | 有        | 12         | 12            | 4              | 2                     | 4      | 有              | 24           | 24      | 4       | 16            | 1           | 有       |
| 28 ピン (210Mil) SSOP<br>(テープ & リール) | CY8C28445-24PVXIT | -40°C ~ 85°C | 有        | 12         | 12            | 4              | 2                     | 4      | 有              | 24           | 24      | 4       | 16            | 1           | 有       |
| 48 ピン Sawn QFN                     | CY8C28645-24LTXI  | -40°C ~ 85°C | 有        | 12         | 12            | 4              | 2                     | 4      | 有              | 44           | 44      | 4       | 16            | 1           | 有       |
| 48 ピン Sawn QFN<br>(テープ & リール)      | CY8C28645-24LTXIT | -40°C ~ 85°C | 有        | 12         | 12            | 4              | 2                     | 4      | 有              | 44           | 44      | 4       | 16            | 1           | 有       |
| 28 ピン (210Mil) SSOP                | CY8C28452-24PVXI  | -40°C ~ 85°C | 有        | 8          | 12            | 4              | 1                     | 4      | 無              | 24           | 24      | 4       | 16            | 1           | 有       |
| 28 ピン (210Mil) SSOP<br>(テープ & リール) | CY8C28452-24PVXIT | -40°C ~ 85°C | 有        | 8          | 12            | 4              | 1                     | 4      | 無              | 24           | 24      | 4       | 16            | 1           | 有       |

注： ダイ販売情報については、最寄りのサイプレスの販売代理店またはフィールド アプリケーション エンジニア (FAE) に連絡してください。

### 注文コードの定義

CY 8 C 28 xxx - SP xxxx



## 略語

### 使用する略語

表 61 には、本書で使用する略語を示します。

表 61. 本データシートで使用する略語

| 略語     | 説明  | 略語    | 説明  |
|--------|---|-------|---|
| AC     | alternating current ( 交流電流 )  | MIPS  | million instructions per second ( 100 万命令毎秒 )                         |
| ADC    | アナログ - デジタル変換器  | OCD   | on-chip debug ( オンチップ デバッグ )  |
| API    | application programming interface ( アプリケーション プログラミング インターフェース )               | PCB   | printed circuit board ( プリント回路基板 )                                    |
| CMOS   | complementary metal oxide semiconductor ( 相補型金属酸化膜半導体 )                       | PDIP  | plastic dual-in-line package ( プラスチック製デュアルインラインパッケージ )                |
| CPU    | central processing unit ( 中央演算処理装置 )  | PGA   | programmable gain amplifier ( プログラマブル ゲイン アンプ )                       |
| CRC    | cyclic redundancy check ( 巡回冗長検査 )  | PLL   | phase-locked loop ( 位相同期回路 )  |
| CT     | continuous time ( 連続時間 )  | POR   | power on reset ( パワー オン リセット )  |
| DAC    | digital-to-analog converter ( デジタル - アナログ変換器 )                                | PPOR  | precision power on reset ( 高精度パワー オン リセット )                           |
| DC     | direct current ( 直流 )   | PRS   | pseudo random sequence ( 疑似乱数列 )                                      |
| DTMF   | dual-tone multi frequency ( デュアルトーン マルチ周波数 )                                  | PSoC® | Programmable System-on-Chip ( プログラマブル システムオンチップ )                     |
| ECO    | external crystal oscillator ( 外部水晶振動子 )                                       | PWM   | pulse width modulator ( パルス幅変調器 )                                     |
| EEPROM | electrically erasable programmable read-only memory ( 電気的消去書き込み可能な読み出し専用メモリ ) | QFN   | quad flat no leads ( クアッド フラット ( リードなし ) パッケージ )                      |
| GPIO   | general purpose I/O ( 汎用 I/O )  | RTC   | real time clock ( リアル タイム クロック )                                      |
| ICE    | in-circuit emulator ( インサーキット エミュレータ )  | SAR   | successive approximation ( 逐次比較 )                                     |
| IDE    | integrated development environment ( 統合開発環境 )                                 | SC    | switched capacitor ( スイッチト キャパシタ )                                    |
| ILO    | internal low speed oscillator ( 内部低速振動子 )                                     | SLIMO | slow IMO ( 低速 IMO )   |
| IMO    | internal main oscillator ( 内部主振動子 )   | SMP   | switch mode pump ( スイッチ モード ポンプ )                                     |
| I/O    | input/output ( 入力／出力 )  | SOIC  | small-outline integrated circuit ( 小型外形集積回路 )                         |
| IrDA   | infrared data association ( 赤外線データ協会 )  | SPI™  | serial peripheral interface ( シリアル ペリフェラル インターフェース )                  |
| ISSP   | in-system serial programming ( インシステム シリアル プログラミング )                          | SRAM  | static random access memory ( スタティック ランダム アクセス メモリ )                  |
| LCD    | liquid crystal display ( 液晶ディスプレイ )   | SROM  | supervisory read-only memory ( 監視用読み出し専用メモリ )                         |
| LED    | light-emitting diode ( 発光ダイオード )  | SSOP  | shrink small-outline package ( シュリンク 小型パッケージ )                        |
| LPC    | Low power comparator ( 低消費電力コンパレータ )  | UART  | universal asynchronous receiver / transmitter ( 汎用非同期レシーバー／トランスマッター ) |
| LVD    | low voltage detect ( 低電圧検出 )  | USB   | universal serial bus ( 汎用シリアル バス )                                    |
| MAC    | multiply-accumulate ( 積和演算 )  | WDT   | watchdog timer ( ウォッチ ドッグ タイマー )                                      |
| MCU    | microcontroller unit ( マイクロコントローラー ユニット )                                     | XRES  | external reset ( 外部リセット )   |

## 参考資料

CY8CPLC20, CY8CLED16P01, CY8C29x66, CY8C27x43, CY8C24x94, CY8C24x23, CY8C24x23A, CY8C22x13, CY8C21x34, CY8C21x34B, CY8C21x23, CY7C64215, CY7C603xx, CY8CNP1xx, and CYWUSB6953 PSoC® Programmable System-on-Chip (TRM) (001-14463)

AN2015 - PSoC® 1 – Getting Started with Flash & E2PROM ([001-40459](#))

AN72845 - Design Guidelines For Cypress Quad Flat No-Lead (QFN) Packaged Devices ([001-72845](#))

## 本書の表記法

### 測定単位

表 62 に、測定単位の一覧を示します。

表 62. 測定単位

| 記号    | 測定単位      | 記号   | 測定単位             |
|-------|-----------|------|------------------|
| kB    | 1024 バイト  | μs   | マイクロ秒            |
| dB    | デシベル      | ms   | ミリ秒              |
| °C    | 摂氏温度      | ns   | ナノ秒              |
| fF    | フェムト ファラド | ps   | ピコ秒              |
| pF    | ピコファラド    | μV   | マイクロボルト          |
| kHz   | キロヘルツ     | mV   | ミリボルト            |
| MHz   | メガヘルツ     | mVpp | ミリボルト ピーク ツー ピーク |
| rt-Hz | ルート ヘルツ   | nV   | ナノボルト            |
| kΩ    | キロオーム     | V    | ボルト              |
| Ω     | オーム       | μW   | マイクロワット          |
| μA    | マイクロアンペア  | W    | ワット              |
| mA    | ミリアンペア    | mm   | ミリメートル           |
| nA    | ナノアンペア    | ppm  | 100 万分の 1        |
| pA    | ピコアンペア    | %    | パーセント            |
| mH    | ミリヘンリー    |      |                  |

### 数値の表記

16進数はすべて大文字で表記し、小文字の「h」を付記します（例えば、「14h」、または「3Ah」）。C の符号化規則に基づき、接頭語「0x」を使用して 16進数を表現する場合もあります。2進数には小文字の「b」を付記します（例えば、「01010100b」、または「01000011b」）。「h」も「b」も付かない数は 10進数です。

## 用語集

|                                 |  |
|---------------------------------|--|
| アクティブ HIGH                      | 1. アサート状態を論理値「1」状態とするロジック信号<br>2. 2つの状態のうち、高い電圧の方を論理値「1」状態とするロジック信号  |
| アナログ ブロック                       | 基本的なプログラム可能なオペアンプ回路。SC (スイッチト キャパシタ) および CT (連続時間) ブロック。これらのブロックは相互接続して、ADC、DAC、多極フィルター、ゲインステージなどを提供可能                             |
| アナログ - デジタル 変換器 (ADC)           | アナログ信号を対応する振幅のデジタル信号に変更するデバイス。一般的に、ADC は電圧をデジタル数値に変換。デジタル - アナログ変換器 (DAC) は ADC の逆の動作を行う   |
| API (アプリケーション プログラミング インターフェース) | コンピューター アプリケーションと低レベルのサービスと関数 (ユーザー モジュール、ライブラリなど) 間のインターフェースからなる一連のソフトウェア ルーチン。API は、ソフトウェア アプリケーションを作成するプログラマ向けのビルディング ブロックとして機能 |
| 非同期                             | どのクロック信号にも関係なく直ちに認識され、作用するデータを持つ信号   |
| バンドギャップ リファレンス                  | VT の正の温度係数と VBE の負の温度係数を一致させ、ゼロ温度係数 (理想) のリファレンス電圧を生成する、安定したリファレンス電圧の設計  |
| 帯域幅                             | 1. ヘルツを単位として計測されるメッセージまたは情報処理システムの周波数範囲<br>2. 増幅器 (または減衰器) に実質的なゲイン (またはロス) があるスペクトル領域の幅。より具体的に (例えば、最大値の 1/2 になる点の幅として) 示されることがある |

## 用語集 ( 続き )

|                       |   |
|-----------------------|---|
| バイアス                  | <ol style="list-style-type: none"> <li>1. リファレンス値からの意図的な偏差の値</li> <li>2. リファレンス値と値一式の平均値間の誤差</li> <li>3. デバイスを動作させるリファレンス レベルを確立するために、デバイスに適用される電気的、機械的、磁気的、その他の力 ( 場 )</li> </ol>  |
| ブロック                  | <ol style="list-style-type: none"> <li>1. 単一機能を実行する機能ユニット ( 発振器など )</li> <li>2. いくつかの機能のいずれかを実行するためにコンフィギュレーション可能な機能ユニット ( デジタル PSoC ブロックやアナログ PSoC ブロックなど )</li> </ol>   |
| バッファ                  | <ol style="list-style-type: none"> <li>1. 1 つのデバイスから他のデバイスへデータを転送する際に、速度差を補うために使用されるデータストレージ領域。通常、データが読み書きされる IO 操作のために予約された領域を示す</li> <li>2. 外部デバイスに送信されるデータや外部デバイスから受信されたばかりのデータを格納するメモリ部分</li> <li>3. システムの出力インピーダンスを下げるために使用される増幅器</li> </ol> |
| バス                    | <ol style="list-style-type: none"> <li>1. ラインの名前付き接続。バスとしてライン同士を束にすることにより、類似したルーティング パターンを持つラインの配線は容易になる</li> <li>2. 共通機能を実行し、同様のデータを運ぶ信号一式。一般的にベクトル表記で表される ( 例 : アドレス [7:0] )</li> <li>3. 関連するデバイスのグループの共通接続として機能する 1 つまたは複数の導電体</li> </ol>      |
| クロック                  | 一定の周波数およびデューティ比で周期信号を生成するデバイス。クロックは時々、異なる論理ブロックを同期化するために使用される。  |
| コンパレータ                | 2 つの入力レベルが同時に所定の振幅要件を満たすたびに、出力電圧または電流を生成する電子回路  |
| コンパイラ                 | C のような高レベルの言語を機械言語に変換するプログラム  |
| コンフィギュレーション空間         | PSoC デバイスでの、CPU_F レジスタ内の XIO ビットが「1」にセットされた時にアクセスされるレジスタ空間  |
| 水晶発振器                 | 周波数が圧電性水晶によって制御される発振器。一般的に、圧電性水晶は他の回路コンポーネントほど周囲温度に敏感ではない   |
| 巡回冗長検査 (CRC)          | 一般的に線形フィードバック シフト レジスタを使用して行われるデータ通信でエラーを検出するために使用される計算。同様の計算はデータ圧縮など他の多くの用途に使用可能   |
| データ バス                | メモリ位置から中央演算処理装置へ、またはその逆で、情報を伝えるためにコンピュータによって使用される一組の双方向信号。より一般的には、デジタル機能間でデータを伝えるために使用される信号一式   |
| デバッガ                  | ユーザーが開発中のシステムの動作を分析することを可能にするハードウェアおよびソフトウェア システム。通常、開発者はデバッガにより、ファームウェアを一段階ずつ手順を追って実行したり、ブレークポイントをセットしたり、メモリを分析したりすることが可能  |
| デッド バンド               | 2 つまたは複数の信号の内いずれもアクティブ状態や遷移中でない期間   |
| デジタル ブロック             | カウンターやタイマー、シリアル レシーバー、シリアル トランスマッター、CRC ジェネレータ、疑似乱数ジェネレータ、SPI として機能できる 8 ビットの論理ブロック   |
| デジタル - アナログ 変換器 (DAC) | デジタル信号を対応する振幅を持っているアナログ信号に変換するデバイス。アナログ - デジタル変換器 (ADC) は DAC の逆の動作を行う  |
| デューティ比                | クロック周期の HIGH 時間と LOW 時間の関係。パーセント単位で表される   |

## 用語集 ( 続き )

|                      |  |
|----------------------|--|
| エミュレータ               | 1つのシステムの機能を別のシステムに複製 ( エミュレーション実行 ) し、第 2 のシステムが第 1 のシステムのように動作する  |
| 外部リセット (XRES)        | PSoC デバイスに駆動されるアクティブ HIGH 信号。これにより、CPU およびブロックのすべての動作が停止し、事前定義された状態に戻る   |
| フラッシュ                | EPROM のプログラマビリティとデータストレージ、およびインシステム消去性をユーザーに提供する、電気的にプログラマブルで消去可能な不揮発性の技術。不揮発性とは、電源がオフになってもデータはまだ保持されるということ  |
| フラッシュ ブロック           | 一度にプログラムできるフラッシュ ROM の最小容量、および保護できるフラッシュ メモリの最小領域。1 つのフラッシュ ブロックは 64 バイトを保持  |
| 周波数                  | 周期的な機能の、時間単位当たりのサイクルまたは発生するイベントの数  |
| ゲイン                  | 出力の電流、電圧、電力それぞれと入力の電流、電圧、電力それぞれとの比率。ゲインは通常 dB で表される  |
| I <sup>2</sup> C     | Philips Semiconductors 社 ( 現 NXP Semiconductors 社 ) の 2 線式シリアルコンピュータバス。I <sup>2</sup> C はインターインテグレーテッド サーキット ( 内部集積回路 ) で、組込みシステムの低速ペリフェラルを接続するために使用。オリジナルシステムはパッテリ制御インターフェースとして 1980 年代初頭に作成された。その後、制御電子回路を構築するための単純な内部バスシステムとして使用。I <sup>2</sup> C は 2 つの双方向のピン ( クロックおよびデータ ) のみを使用。双方とも +5V で動作し、抵抗を介して HIGH にプルアップされる。バスは標準モードでは 100k ビット / 秒、高速モードでは 400k ビット / 秒で動作 |
| ICE                  | ユーザーがソフトウェア環境 ( PSoC Designer ) でデバッグ デバイスの動作を確認しながら、ハードウェア環境でプロジェクトをテストすることを可能にするインサーキット エミュレータ   |
| 入力／出力 ( I/O )        | システムへデータを導入したり、システムからデータを抽出するデバイス  |
| 割込み                  | 外部イベントによって引き起こされ、プロセスを再開できるような方法で行ったプロセス ( コンピュータ プログラムの実行など ) の一時停止   |
| 割込みサービス ルーチン ( ISR ) | M8C がハードウェア割込みを受信した時に通常のコードの実行から転向させられるコード ブロック。多くの割込みソースが、それ独自の優先順位および個別の ISR コード ブロックを持っている。各 ISR コード ブロックは RETI 命令で終了し、正常のプログラム実行を終了したポイントにデバイスを戻す  |
| ジッタ                  | 1. 遷移の理想的な位置からのタイミング誤配置。シリアルデータストリームで発生する破損の典型的形式<br>2. 連続パルス、連続サイクルの振幅、または連続サイクルの周波数あるいは位相間の間隔など、1 以上の信号特性の急激および不要な変動   |
| 低電圧検出 ( LVD )        | V <sub>DD</sub> を感知し、V <sub>DD</sub> が既定の閾値を下回るとシステムへ割込みを生成する回路  |
| M8C                  | 8 ビットハーバード アーキテクチャマイクロプロセッサ。マイクロプロセッサをフラッシュ、SRAM、レジスタ空間へインターフェースで接続することにより PSoC のすべての内部動作を整理   |
| マスター デバイス            | 2 つのデバイス間のデータ交換のタイミングを制御するデバイス。または、デバイスが幅でカスケード接続されている場合、マスター デバイスは、カスケード接続されたデバイスと外部インターフェース間のデータ交換のタイミングを制御するものです。制御されるデバイスはスレーブ デバイスと呼ばれる   |
| マイクロ コントローラー         | 主に制御システムおよび製品のために設計された集積回路チップ。通常、マイクロコントローラーは CPU に加え、メモリやタイミング回路、IO 回路を内蔵。理由は、最小量のチップを使用してコントローラーの実現を可能にするため。このようにして、最大の可能性の小型化を達成。これにより、コントローラーの寸法を低減し、コストを削減。マイクロコントローラーは通常、マイクロプロセッサとして汎用演算処理には使用されない  |

## 用語集 ( 続き )

|                  |  |
|------------------|--|
| 混合信号             | アナログとデジタルの技術およびコンポーネントの両方を含む回路   |
| 変調器              | 信号をキャリア信号と組み合わせるデバイス   |
| ノイズ              | 1. 信号に影響を与え、その信号によって運ばれた情報を歪める可能性がある妨害<br>2. 電圧や電流、データなど実体の1つ以上の特性のランダムなばらつき   |
| 発振器              | クロック周波数を生成するために使用される回路。水晶制御のものもある  |
| パリティ             | 送信データをテストする技術。通常、2進データに2進桁数を追加して、データのすべての桁数の合計が常に偶数(偶数パリティ)または常に奇数(奇数パリティ)になるようにする   |
| 位相ロック ループ (PLL)  | リファレンス信号に対して一定の位相角を維持するように発振器を制御する電子回路   |
| ピン配置             | ピン番号割り当て : PSoC デバイスの論理入力および出力とそれらのプリント回路基板 (PCB) パッケージ内の物理的なカウンターパートとの関係。ピン配置は回路図と PCB 設計 (両方ともコンピュータ生成ファイル) 間のリンクとしてのピン番号を含み、ピン名も含む場合がある |
| ポート              | 通常 8 本のピンのグループ。  |
| パワーオン リセット (POR) | 電圧が事前設定レベルを下回った時、PSoC デバイスを強制的にリセットさせる回路。ハードウェア リセットの一種  |
| PSoC®            | PSoC® はサイプレス セミコンダクタ社の登録商標で、Programmable System-on-Chip™ は同社の商標  |
| PSoC Designer™   | サイプレスのプログラマブル システムオンチップ技術のソフトウェア   |
| パルス幅変調器 (PWM)    | 適用された測定量の関数として変動するデューティ比としての出力   |
| RAM              | ランダム アクセス メモリ (random access memory) の頭字語。データを読み出したり、新しいデータを書き込んだりできるデータストレージ デバイス   |
| レジスタ             | ビットやバイトなど特定の容量を持つストレージ デバイス  |
| リセット             | システムを既知の状態に戻す手段。ハードウェア リセットおよびソフトウェア リセットを参照してください。  |
| ROM              | 読み出し専用メモリ (read only memory) の頭字語。データを読み出すことはできるが、新しいデータを書き込むことはできないデータストレージ デバイス  |
| シリアル             | 1. すべてのイベントが相次いで発生するプロセスを示す<br>2. 単一のデバイスまたはチャネルにある 2 つ以上の関連するアクティビティの逐次的または連続的発生を示す   |
| 整定時間             | 入力の値が変化した後に、出力の信号または値が安定化するために要する時間  |
| シフト レジスタ         | シリアル データ ストリームを出力するために、ワードを連続して右方移動または左方移動するメモリストレージ デバイス  |

## 用語集 ( 続き )

|                 |   |
|-----------------|---|
| スレーブ デバイス       | 他のデバイスに、2つのデバイス間のデータ交換のタイミングを制御させるデバイス。または、デバイスが幅でカスケード接続されている場合、スレーブ デバイスは、カスケード接続されたデバイスと外部インターフェース間のデータ交換のタイミングを他のデバイスに制御させるもの。制御するデバイスは、マスター デバイスと呼ばれる                        |
| SRAM            | スタティック ランダム アクセス メモリ (static random access memory) の頭字語。ユーザーが高速でデータを格納および取得することを可能にするメモリ デバイス。「スタティック」という用語が使用される理由は、値は SRAM セルにロードされた後に、明示的に変更されるか、またはデバイスの電源が切られるまで変わらないままであるため |
| SROM            | 監視用読み出し専用メモリ (supervisory read only memory) の頭字語。SROM は、デバイスを起動し、回路を校正し、フラッシュ動作を実行するために使用されるコードを保持。SROM の機能は、フラッシュ メモリから実行される通常ユーザー コードでアクセスすることが可能                               |
| ストップ ビット        | 受信デバイスが次の文字またはブロックを受信するように文字またはブロックの後に続く準備通知信号  |
| 同期              | <ol style="list-style-type: none"> <li>1. クロック信号の次のアクティブ エッジまで動作したり、受け取られることのないデータを持つ信号</li> <li>2. 動作がクロック信号によって同期されるシステム</li> </ol>   |
| トライステート         | 出力が 0、1、Z(高インピーダンス) の3つの状態となる機能。この機能は、Z の状態ではどんな値も駆動せず、多くの面では、回路の残りの部分から切断された状態として考慮されるため、他の出力が同じ回路を駆動することが可能   |
| UART            | UART またはユニバーサル非同期レシーバー トランスマッターは、データのパラレル ビットとシリアル ビット間での変換を行う  |
| ユーザー モジュール      | 低レベルのアナログおよびデジタル PSoC ブロックを管理およびコンフィギュレーションする、事前構築されたテスト済みのハードウェア／ファームウェアのペリフェラル機能。ユーザー モジュールはペリフェラル機能に高レベルの API (アプリケーション プログラミング インターフェース) も提供                                  |
| ユーザー空間          | レジスタ マップのバンク 0 空間。このバンクのレジスタは、初期化中にだけではなく、通常のプログラム実行中にも変更される可能性が高い。バンク 1 のレジスタはプログラムの初期化フェーズでのみ変更される可能性が最も高い  |
| V <sub>DD</sub> | 「電圧 ドレイン」を意味する電源ラインの名称。最も正の電源供給信号。通常 5V または 3.3V  |
| V <sub>SS</sub> | 「電圧 ソース」を意味する電源ラインの名称。最も負の電源供給信号  |
| ウォッチドッグ タイマー    | 定期的にサービスされる必要があるタイマー。サービスされない場合、CPU は一定時間経過後にリセット   |

## エラッタ

ここでは、CY8C28243、CY8C28403、CY8C28413、CY8C28433、CY8C28445、CY8C28452、CY8C28545、CY8C28643、CY8C28645 PSoC デバイスのエラッタについて説明します。詳細情報は、エラッタのトリガー条件、影響の範囲、可能な回避方法、シリコンチップのリビジョンの適用可能性などを含みます。ご質問があれば、最寄りのサイプレスの販売代理店まで連絡してください。

### 影響を受ける製品番号

| 製品番号      | デバイスの特性 |
|-----------|---------|
| CY8C28403 | 全バリアント  |
| CY8C28243 | 全バリアント  |
| CY8C28413 | 全バリアント  |
| CY8C28433 | 全バリアント  |
| CY8C28445 | 全バリアント  |
| CY8C28513 | 全バリアント  |
| CY8C28545 | 全バリアント  |
| CY8C28643 | 全バリアント  |
| CY8C28645 | 全バリアント  |
| CY8C28452 | 全バリアント  |
| CY8C28623 | 全バリアント  |

### 認定状態

エンジニアリング サンプル

### エラッタのまとめ

下表では、使用可能な CY8C28xxx ファミリデバイスへのエラッタの適用性を定義します。

注：下表のエラッタ項目はハイパーリンクされています。項目をクリックして、その説明に移動してください。

| 項目                                    | 製品番号   | シリコンバージョン | 問題解決状況                                   |
|---------------------------------------|--|-----------|--|
| 10 ビット SAR ADC は、DNL/INL の仕様を満たしていない  | CY8C28403<br>CY8C28413<br>CY8C28513<br>CY8C28433<br>CY8C28445<br>CY8C28643<br>CY8C28545<br>CY8C28645 | *A        | シリコン修正は計画されていません。<br>以下の回避策を使用する必要があります。 |
| IDAC_CRx と DACx_D レジスタから誤ったデータが読み出される | CY8C28413<br>CY8C28513<br>CY8C28433<br>CY8C28445<br>CY8C28545<br>CY8C28645<br>CY8C28452              | *A        | シリコン修正は計画されていません。<br>以下の回避策を使用する必要があります。 |

**1. 10 ビット SAR ADC は、DNL/INL の仕様を満たしていない**

|              |  |
|--------------|--|
| 問題の定義        | 10 ビット ハードウェアの SAR ADC は、いくつかの条件の下で、DNL と INL のデータシート精度仕様を満たしていません。  |
| 影響を受けるパラメーター | INLSAR10: 積分非直線性<br>DNLSAR10: 微分非直線性   |
| トリガー条件       | SAR ADC DNL はデータシート仕様が 1.5LSB ですが、すべての温度において測定値が 2LSB 以上です。<br>VPWR (Vdd) リファレンス コンフィギュレーションを使用すると、電源電圧が 3.3V の場合、SAR ADC DNL はすべての温度において測定値が 2LSB になります。電源電圧が 5.5V の場合、DNL の測定値が 3.5LSB を上回ります。   |
| 影響の範囲        | 不正確な変換されたデータ。  |
| 回避方法         | CY8C28xxx デバイスで用意されている代替の ADC の実装 (DelSig、ADCINC) を使用します。<br>アナログ - デジタル変換が内部 Vpwr (Vdd) を Vref として使用して実行する間にアドレスとデータ バスを変更する CPU の動作を回避します。<br>バッファ無しの RefHi を ADC Vref として適用します。RefHi リファレンスに混入されたノイズにより、アナログ アレイ内のアナログ ブロックにマイナスの影響を与えることがあります。 |
| 問題解決状況       | シリコン修正は計画されていません。上記の回避策を使用する必要があります。   |

**2. IDAC\_CRx と DACx\_D レジスタから誤ったデータが読み出される**

|              |   |
|--------------|---|
| 問題の定義        | 1CPU は次のレジスタからビット 0、3、5、または 7 の誤った値を読み出す可能性があります。<br><br>IDAC_CR0<br>IDAC_CR1<br>DAC0_D<br>DAC1_D |
| 影響を受けるパラメーター | デバイスのデータシートからの FCPU1 と FCPU2。   |
| トリガー条件       | CPU クロックがその最高周波数設定 (24MHz の定格値) にセットされる場合。  |
| 影響の範囲        | 影響を受けたレジスタから読み出される誤ったデータ。   |
| 回避方法         | 影響を受けたレジスタが読み出される時に、CPU のクロック周波数を一時的に 12MHz (定格値) 以下に減速します。                                       |
| 問題解決状況       | シリコン修正は計画されていません。上記の回避策を使用する必要があります。  |

## 改訂履歴

文書名 : CY8C28243/CY8C284xx/CY8C285xx/CY8C286xx、Programmable System-on-Chip  
文書番号 : 001-62938

| 版  | ECN 番号  | 発行日        | 変更内容   |
|----|---------|------------|--|
| ** | 2975948 | 07/09/2010 | 初版。  |
| *A | 4050380 | 07/10/2013 | 変更なし。  |
| *B | 4802430 | 06/29/2015 | これは英語版 001-48111 Rev. *N を翻訳した日本語版 001-62938 Rev. *B です。 |
| *C | 6298127 | 09/03/2018 | これは英語版 001-48111 Rev. *P を翻訳した日本語版 001-62938 Rev. *C です。 |
| *D | 7129235 | 04/30/2021 | これは英語版 001-48111 Rev. *Q を翻訳した日本語版 001-62938 Rev. *D です。 |

## セールス、ソリューションおよび法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

#### 製品

Arm® Cortex® Microcontrollers

[cypress.com/arm](http://cypress.com/arm)

車載用

[cypress.com/automotive](http://cypress.com/automotive)

クロック & バッファ

[cypress.com/clocks](http://cypress.com/clocks)

インターフェース

[cypress.com/interface](http://cypress.com/interface)

IoT (モノのインターネット)

[cypress.com/iot](http://cypress.com/iot)

メモリ

[cypress.com/memory](http://cypress.com/memory)

マイクロコントローラ

[cypress.com/mcu](http://cypress.com/mcu)

PSoC

[cypress.com/psoc](http://cypress.com/psoc)

電源用 IC

[cypress.com/pmic](http://cypress.com/pmic)

タッチ センシング

[cypress.com/touch](http://cypress.com/touch)

USB コントローラー

[cypress.com/usb](http://cypress.com/usb)

ワイヤレス

[cypress.com/wireless](http://cypress.com/wireless)

#### PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

#### サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

#### テクニカル サポート

[cypress.com/support](http://cypress.com/support)

© Cypress Semiconductor Corporation, 2008-2021. 本書面は, Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サプライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関するても、明示又は默示をとわず、いかなる保証（商品性及び特定の目的への適合性の默示を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害（継続して、以下「ヤキュリティ違反」という。）がないことを表明又は保証しない。Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためにのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイリスク・デバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイリスク・デバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、それの不具合が直接又は間接的にハイリスク・デバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイリスク・デバイスのあらゆる構成部分をいう。Cypress 製品をハイリスク・デバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む）、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイリスク・デバイスの重要な構成部品として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイリスク・デバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイリスク・デバイスの重要な構成部品として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイリスク・デバイスの重要な構成部品としての使用を意図又は承認されていない。

Cypress, Cypress のロゴ及びこれらの組み合わせ, PSoC, CapSense, EZ-USB, F-RAM, Traveo, WICED, 及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。他の名称及びブランドは、それぞれの権利者の中の財産として権利主張がなされている可能性がある。