

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

特性

- 性能强大的哈佛（Harvard）架构处理器
 - M8C 处理器的速度最高可达 24 MHz
 - 8 × 8 乘法、32 位累加运算能力
 - 速度高、功耗低
 - 工作电压范围：3.0 V 到 5.25 V
 - 利用片上开关电压泵（SMP），工作电压可低至 1.0 V
 - 工业温度范围：-40 °C 到 +85 °C
- 高级外设（PSoC® 模块）
 - 12 个轨至轨模拟 PSoC 模块，能够提供：
 - 高达 14 位的模数转换器（ADC）
 - 高达 9 位的数模转换器（DAC）
 - 可编程增益放大器（PGA）
 - 可编程滤波器和比较器
 - 8 个数字 PSoC 模块，能够提供：
 - 8 位到 32 位定时器和计数器，8 位和 16 位脉宽调制器（PWM）
 - 循环冗余校验（CRC）和伪随机序列（PRS）模块
 - 多达两个全双工通用异步发射器接收器（UART）
 - 多个串行外设接口（SPI）主设备或从设备
 - 可连接到所有通用 I/O（GPIO）引脚
 - 通过多个模块组合，能够构建复杂外设
- 高准确度的可编程时钟
 - 内部 2.5% 24 MHz/48MHz 主振荡器
 - 24 MHz/48 MHz，带可选 32 kHz 晶振
 - 可选外部振荡器，最高频率可达 24 MHz
 - 内部振荡器，能够实现看门狗和睡眠功能
- 灵活的片上存储器
 - 16 KB 的闪存程序存储器，50,000 次擦 / 写循环
 - 256 字节的 SRAM 数据存储器
 - 系统内串行编程（ISSP）
 - 局部闪存更新
 - 灵活的保护模式
 - 闪存内仿真电擦除可编程只读存储器（EEPROM）
- 可编程的引脚配置
 - 所有 GPIO 均有 25 mA 的灌电流和 10 mA 的源电流能力
 - 所有 GPIO 均可选择上拉驱动、下拉驱动、高阻态驱动、强驱动或开漏驱动模式
 - GPIO 上有 8 个标准模拟输入外加 4 个路由受限的模拟输入
 - 4 个具有 30 mA 的模拟输出能力的 GPIO
 - 所有 GPIO 都能生成可配置中断

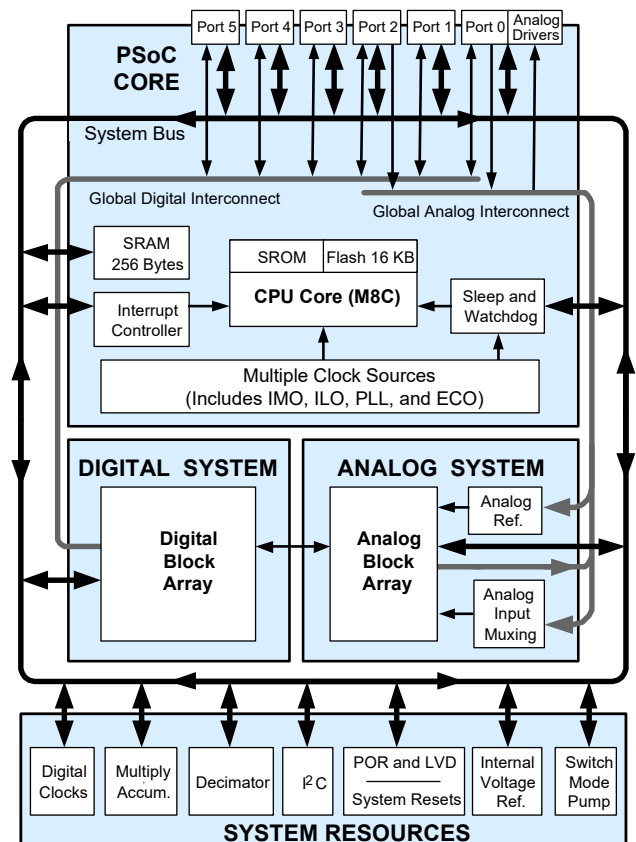
其它系统资源

- I²C 从设备、主设备和多主设备的频率可达 400 kHz
- 看门狗和睡眠定时器
- 用户可配置的低电压检测（LVD）功能
- 集成监测电路
- 片上高精度参考电压

完整的开发工具

- 免费的开发软件（PSoC Designer™）
- 功能齐全的在线仿真器（ICE）和编程器
- 全速仿真
- 复合断点结构
- 128 KB 的跟踪存储器

逻辑框图



勘误表：有关芯片勘误表的信息，请查看第 60 页上的“勘误表”。具体内容包括触发条件、受影响器件以及推荐的解决方案。

更多有关的信息

赛普拉斯的网站 www.cypress.com 上提供了大量资料，有助于您正确的选择设计所需要的 PSoC 器件，并使您能够快速和有效地将器件集成到设计中。有关使用资源的完整列表，请参考基础知识文章 (KBA) “[如何使用 PSoC® 1、PowerPSoC® 和 PLC 进行设计 — KBA88292](#)”。下面是 PSoC 1 的简要列表：

- 概述：PSoC 产品系列、PSoC 路线图
 - 产品选型器：PSoC 1、PSoC 3、PSoC 4、PSoC 5LP
 - 此外，PSoC Designer 还包含了一个器件选择工具。
 - 应用笔记：赛普拉斯提供了大量 PSoC 应用笔记，包括了从基础到高级的广泛内容。下面列出了 PSoC 1 入门的应用笔记：
 - PSoC® 1 入门 — AN75320
 - PSoC® 1 — GPIO 入门 — AN2094
 - PSoC® 1 模拟结构和配置 — AN74170
 - PSoC® 1 开关电容模拟模块 — AN2041
 - 选择模拟接地和参考电压 — AN2219
- 注释：**欲了解与本应用笔记相关的 CY8C27X43 器件，请点击[此处](#)。
- 开发套件：
 - 除了 CY8C25/26xxx 器件外，[CY3210-PSocEval1](#) 支持所有 PSoC 1 混合信号阵列系列（包括汽车级器件）。该套件包括 LCD 模块、电位器、LED 和实验板空间。
 - [CY3214-PSocEvalUSB](#) 主要作为 CY8C24x94 PSoC 器件的开发板使用。开发板的特殊功能包括 USB 和 CapSense 开发和调试支持。

注释：欲了解与开发套件相关的 CY8C27X43 器件，请点击[此处](#)。
[MiniProg1](#) 和 [MiniProg3](#) 器件提供了用于进行闪存编程和调试的接口。

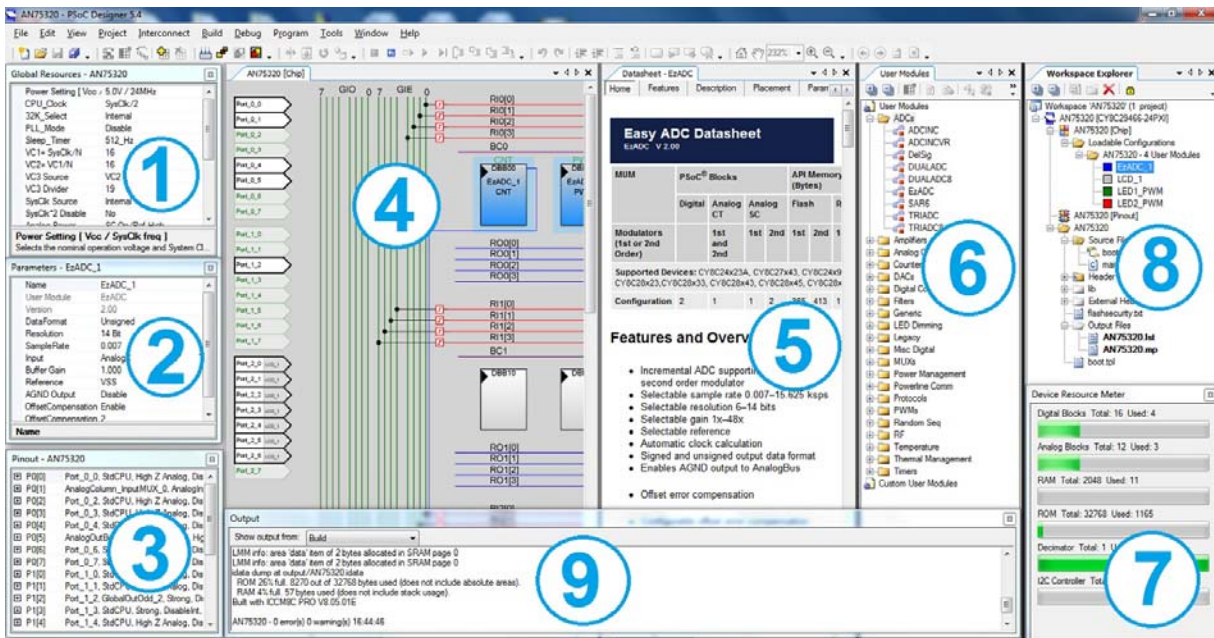
PSoC Designer

PSoC Designer 是基于 Windows 的免费集成设计环境 (IDE)。在拖放式设计环境中使用预先设定的模拟和数字外设库来开发您的应用程序。然后，利用动态生成的 API 代码库来自定义您的设计。[图 1](#) 显示了 PSoC Designer 窗口。**注释：**这并不是默认窗口。

1. **Global Resources**（全局资源）— 所有器件的硬件设置。
2. **Parameters**（参数）— 当前选中的用户模块的参数。
3. **Pinout**（引脚分布）— 器件引脚的相关信息。
4. **Chip-Level Editor**（芯片级编辑器）— 选中芯片上可用资源的框图。
5. **Datasheet**（数据手册）— 当前选中的用户模块的数据手册。
6. **User Modules**（用户模块）— 选中器件的所有可用的用户模块。
7. **Device Resource Meter**（器件资源计）— 当前项目配置的器件资源使用率。
8. **Workspace**（工作区）— 与项目有关的文件树级图。
9. **Output**（输出）— 项目构建和调试操作的输出。

注释：欲了解有关 PSoC Designer 的详细信息，请依次选择 PSoC® Designer > Help > Documentation > Designer Specific Documents > IDE User Guide。

图 1. PSoC Designer 布局



目录

PSoC 功能概述	4	封装信息	44
PSoC 内核	4	封装尺寸	44
数字系统	4	热阻	50
模拟系统	5	晶振引脚上的电容	50
其它系统资源	6	回流焊规范	50
PSoC 器件特性	6	开发工具选择	51
开发工具	7	软件	51
PSoC Designer 软件子系统	7	开发套件	51
使用 PSoC Designer 进行设计	8	评估工具	51
选择用户模块	8	器件编程器	52
配置用户模块	8	附件（仿真和编程）	52
组织和连接	8	订购信息	53
生成、验证和调试	8	订购代码定义	54
引脚分布	9	缩略语	55
8 引脚器件的引脚分布	9	参考文档	55
20 引脚器件的引脚分布	9	文档规范	56
28 引脚器件的引脚分布	10	测量单位	56
44 引脚器件的引脚分布	11	数字规范	56
48 引脚器件的引脚分布	12	术语表	56
56 引脚器件的引脚分布	14	勘误表	60
寄存器参考	16	正在生产	60
寄存器规范	16	不在生产过程中	62
寄存器映射表	16	文档修订记录页	65
电气规格	19	销售、解决方案和法律信息	66
最大绝对额定值	19	全球销售和 design 支持	66
工作温度	20	产品	66
直流电气特性	20	PSoC® 解决方案	66
交流电气特性	35	赛普拉斯开发者社区	66
		技术支持	66

PSoC 功能概述

PSoC 系列包含许多可编程片上系统控制器器件。这些器件旨在使用一个低成本的单芯片可编程器件取代多个基于 MCU 的传统系统组件。PSoC 器件包含多个可配置的模拟和数字逻辑模块，以及可编程互连。这种架构使得用户能够根据每个应用的要求，来创建定制的外设配置。此外，在一系列方便易用的引脚布局和封装中还包含快速 CPU、闪存程序存储器、SRAM 数据存储器和可配置的 I/O。

如第 1 页上的逻辑框图中所示，PSoC 架构由以下 4 个主要部分组成：PSoC 内核、数字系统、模拟系统和系统资源。利用可配置的全局总线系统，可将所有器件资源整合到一个完全定制的系统。PSoCCY8C27x43 系列具有多达 5 个连接到全局数字和模拟互连的 I/O 端口，能够访问 8 个数字模块和 12 个模拟模块。

PSoC 内核

PSoC 内核是一个强大的引擎，支持丰富的功能集。内核包括 CPU、存储器、时钟和可配置的 GPIO。

M8C CPU 内核是一个频率高达 24 MHz 的强大处理器，能够提供具有 4 MIPS 的 8 位 Harvard 架构微处理器。CPU 使用具有 17 个向量的中断控制器，能够简化实时嵌入式事件的编程。程序执行流程由附带的睡眠定时器和看门狗定时器（WDT）提供定时和保护功能。

存储器包括 16 KB 的闪存（用于存储程序）和 256 字节的 SRAM（用于存储数据），以及使用闪存仿真的 2 K EEPROM。程序闪存存在 64 字节的模块上采用四个保护级别，能够提供定制的软件 IP 保护。

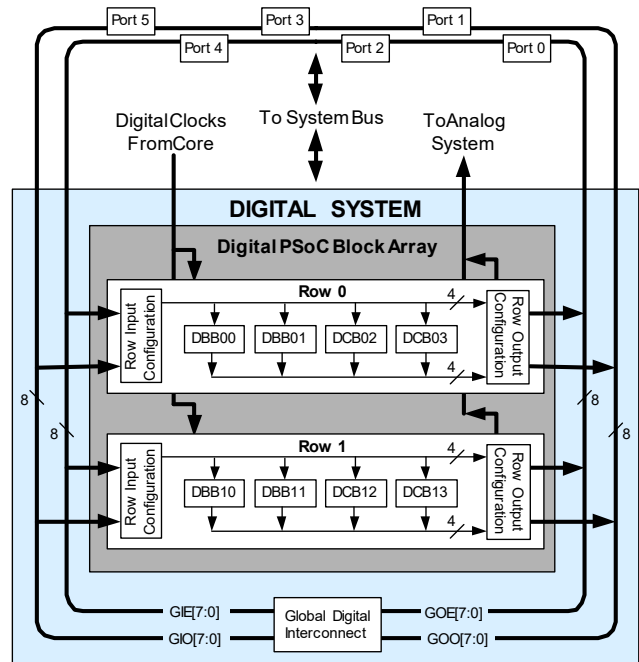
PSoC 器件采用了多个非常灵活的内部时钟发生器，其中包括在有效工作温度和电压下精度高达 2.5% 的 24 MHz 内部主振荡器（IMO）。24 MHz IMO 的频率还可以倍增至 48 MHz，以便供数字系统使用。PSoC 器件为睡眠定时器和 WDT 提供了一个低功耗的 32 kHz 内部低速振荡器（ILO）。如果需要晶振级精度，可将 32.768 kHz 外部晶振（ECO）用作实时时钟（RTC），并可以使用 PLL 选择性地生成具有晶振级精度的 24 MHz 系统时钟。时钟以及可编程时钟分频器（属于系统资源）具有高度的灵活性，能够使 PSoC 器件满足几乎任何时序要求。

PSoC GPIO 能够提供与器件 CPU、数字资源和模拟资源的连接。每个引脚都有 8 种驱动模式可供选择，在进行外部连接方面具有极大的灵活性。每个引脚还能够处于高电平、低电平以及自上次读取后发生变化时生成系统中断。

数字系统

数字系统由 8 个数字 PSoC 模块组成。每个模块都是一个 8 位资源，既可以单独使用，也可以与其他模块一起组成 8 位、16 位、24 位和 32 位外设（称为用户模块）。

图 2. 数字系统框图



数字外设配置包括：

- PWM（8 位和 16 位）
- 带死区的 PWM（8 位和 16 位）
- 计数器（8 到 32 位）
- 定时器（8 位到 32 位）[1, 2]
- 带可选奇偶校验位的 8 位 UART（最多 2 个）
- SPI 从设备和主设备（最多两个）[3]
- I²C 从设备和多主设备（其中一个属于系统资源）
- CRC/ 发生器（8 位到 32 位）
- IrDA（最多 2 个）
- 伪随机序列（PRS）发生器（8 位到 32 位）

注释：

1. **勘误表：**当工作电压为 4.75 V 到 5.25 V 时，输入捕获信号不可由行输出信号或广播时钟信号提供。该问题在芯片版本 B 中解决。更多有关信息，请参考第 60 页上的“勘误表”。
2. **勘误表：**当工作电压处于 3.0 V 到 4.75 V 的范围内时，只有已重新同步的行输入信号提供输入捕获信号。该问题在芯片版本 B 中解决。更多有关信息，请参考第 60 页上的“勘误表”。
3. **勘误表：**在 PSoC 中，当某个 SPI 从设备模块的其中一个输出连接到另一个 SPI 从设备模块的输入时，数据会正确转移，但最后一位会被错误读取。更多有关解决方案的详细信息，请参考第 60 页上的“勘误表”。

通过一系列能够将任何信号路由至任何引脚的全局总线，数字模块可以连接到任何 GPIO。此外，通过总线还可以实现信号复用和执行逻辑运算。这种可配置性使设计不再受固定外设控制器的限制。

数字模块采用四个一行的排列方式，具体的模块数量因 PSoC 器件系列不同而异。这有助于根据应用选择最佳的系统资源。有关系列资源，请参见第 6 页上的 PSoC 器件特性。

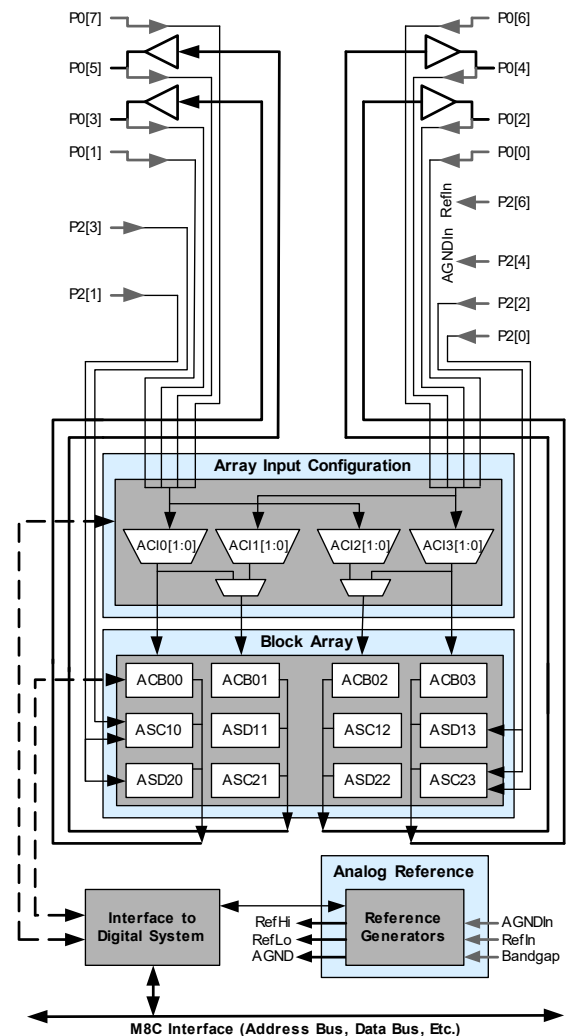
模拟系统

模拟系统由 12 个可配置的模块组成，其中每个模块都包含一个能够创建复杂模拟信号流的运算放大器电路。模拟外设非常灵活，并能够根据具体的应用要求进行定制。一些更常用的 PSoC 模拟功能（大部分都以用户模块的方式提供）包括：

- ADC（最多 4 个，具有 6 位到 14 位分辨率，可选择转换为增量、Delta Sigma 和 SAR 式的 ADC）
- 滤波器（2、4、6 和 8 极带通、低通和陷波滤波器）
- 放大器（最多 4 个，可选增益达 48x）
- 仪表放大器（最多 2 个，可选增益达 93x）
- 比较器（最多 4 个，有 16 个可选阈值）
- DAC（最多 4 个，有 6 到 9 位分辨率）
- 乘法 DAC（最多 4 个，有 6 位到 9 位分辨率）
- 高电流输出驱动器（4 个，驱动能力为 30 mA，可作为内核资源）
- 1.3 V 参考（属于系统资源）
- DTMF 拨号器
- 调制器
- 相关器
- 峰值检测器
- 可以使用许多其他拓扑

如下图所示，模拟模块都采用三个一行的排列方式，其中包括一个连续时间（CT）和两个开关电容（SC）模块。

图 3. 模拟系统框图



其它系统资源

系统资源能够提供对整个系统非常有用的附加功能。有些系统资源已在前面章节中列出。除此之外还包括乘法器、抽取滤波器、开关电压泵、低压检测和上电复位。

- 数字时钟分频器能够提供三个可定制的时钟频率，以便在应用中使用。这些时钟既可以路由到数字系统，又可以路由到模拟系统。通过将数字 PSoC 模块作为时钟分频器使用，可以生成更多时钟。
- 乘累加 (MAC) 资源能够提供具有 32 位累加运算能力的 8 位快速乘法器，以便协助通用数学和数字滤波器。
- 抽取滤波器能够针对数字信号处理应用（包括创建 Delta Sigma ADC）提供定制硬件滤波器。

- 通过两条线路，I²C 模块能够提供 100 kHz 和 400 kHz 的通信速率。支持从设备、主设备和多主设备模式。
- LVD 中断可以在电压下降时向应用程序发出信号，而高级上电复位 (POR) 电路却无需系统监控。
- 内部 1.3V 电压参考为 ADC、DAC 等模拟系统提供了一个绝对电压参考。
- 集成开关电压泵 (SMP) 能够利用单个 1.2 V 的电池生成正常工作电压，从而提供了一个低成本的升压转换器。

PSoC 器件特性

根据 PSoC 器件的特性，数字和模拟系统可以有 16、8 或 4 个数字模块和 12、6 或 4 个模拟模块。下表列出了特定 PSoC 器件系列可使用的资源。本数据手册中介绍的 PSoC 器件在表 1 中加亮显示。

表 1. PSoC 器件特性

PSoC 器件型号	数字 I/O	数字行	数字模块	模拟输入	模拟输出	模拟列	模拟模块	SRAM 大小	闪存大小
CY8C29x66	多达 64 个	4	16	多达 12 个	4	4	12	2 K	32 K
CY8C28xxx	多达 44 个	多达 3 个	多达 12 个	多达 44 个	多达 4 个	多达 6 个	多达 12 + 4 ^[4]	1 K	16 K
CY8C27x43	多达 44 个	2	8	多达 12 个	4	4	12	256	16 K
CY8C24x94	多达 56 个	1	4	多达 48 个	2	2	6	1 K	16 K
CY8C24x23A	多达 24 个	1	4	多达 12 个	2	2	6	256	4 K
CY8C23x33	多达 26 个	1	4	多达 12 个	2	2	4	256	8 K
CY8C22x45	多达 38 个	2	8	多达 38 个	0	4	6 ^[4]	1 K	16 K
CY8C21x45	多达 24 个	1	4	多达 24 个	0	4	6 ^[4]	512	8 K
CY8C21x34	多达 28 个	1	4	多达 28 个	0	2	4 ^[4]	512	8 K
CY8C21x23	多达 16 个	1	4	多达 8 个	0	2	4 ^[4]	256	4 K
CY8C20x34	多达 28 个	0	0	多达 28 个	0	0	3 ^[4、5]	512	8 K
CY8C20xx6	多达 36 个	0	0	多达 36 个	0	0	3 ^[4、5]	高达 2 K	高达 32 K

注释：

4. 模拟功能有限。
5. 两个模拟模块和一个 CapSense®。

开发工具

PSoC Designer™ 是革新的集成设计环境 (IDE)，您可以用来自定义 PSoC 以满足特定的应用需求。PSoC Designer 软件可加快系统的设计和上市进程。在拖放式设计环境中使用预先设定的模拟和数字外设库 (也称为用户模块) 来开发您的应用程序。然后，利用动态生成的应用编程接口 (API) 代码库来自定义您的设计。最后，使用集成调试环境 (包括在线仿真和标准的软件调试功能) 调试和测试您的设计。PSoC Designer 包括：

- 应用编辑器图形用户界面 (GUI)，用于器件和用户模块配置和动态重配置
- 内容丰富的用户模块目录
- 集成的源代码编辑器 (C 语言和汇编语言)
- 免费的 C 语言编译器 (无大小限制或时间限制)
- 内置调试器
- 在线仿真
- 通信接口内置支持：
 - 硬件和软件 I²C 从设备和主设备
 - 全速 USB 2.0
 - 最多四个全双工通用异步接收器/发送器 (UART)、SPI 主设备和从设备及无线模块

PSoC Designer 支持 PSoC 1 器件的整个库，并可在 Windows XP、Windows Vista 和 Windows 7 操作系统上运行。

PSoC Designer 软件子系统

设计入口

在芯片级视图中，选择需要使用的基本器件。然后选择不同的板上模拟和数字组件 (又称用户模块)。这些组件采用了 PSoC 模块。用户模块种类包括：模数转换器 (ADC)、数模转换器 (DAC)、放大器以及滤波器。为所选应用配置用户模块，并将它们互连并连接至适当的引脚。然后生成您的项目。这样，可以在项目中加入 API 和库，从而能使用它们编程应用。

通过此工具，用户还可以轻松开发多个配置和动态重新配置。利用动态重配置，可在运行时更改配置。本质上，您可以使用超过 100% 的 PSoC 特定应用资源来配置某个应用。

代码生成工具

这些代码生成工具能够在 PSoC Designer 界面中无缝工作，并且已经采用了一整套调试工具进行测试。您可以使用 C 语言、汇编语言或两者进行设计开发。

汇编器。汇编器可使汇编代码与 C 语言代码无缝合并。链接库会自动使用绝对寻址，或在相对模式下进行编译，然后与其他软件模块连接，以实现绝对寻址。

C 语言编译器。C 语言编译器支持 PSoC 器件系列。使用这些产品，您可以为 PSoC 器件系列创建完整的 C 语言程序。优化的 C 语言编译器能够提供针对 PSoC 架构定制的所有 C 语言功能。此外，还提供了各个嵌入式库。这些库能够提供端口和总线操作、标准键盘和显示屏支持，以及扩展的数学功能。

调试器

PSoC Designer 所提供的调试环境具有硬件在线仿真功能，不但提供了 PSoC 器件的内部视图，而且您还可以在物理系统中测试程序。借助调试器命令，可对数据存储器进行读 / 编程和读 / 写操作，对 I/O 寄存器进行读 / 写操作。可对 CPU 寄存器进行读 / 写操作、设置和清除断点，并且提供了程序运行、暂停和步进控制。调试器还可让您创建相关寄存器和存储器位置的跟踪缓冲区。

在线帮助系统

在线帮助系统可提供与上下文相关的在线帮助。每个功能子系统都有上下文关联帮助，从而提供了程序性快速参考。此外，为了协助设计人员，该系统还提供了相关的教程和常见问题解答链接，以及在线支持论坛链接。

在线仿真器

功能强大的低成本在线仿真器 (ICE) 可用于提供开发支持。该硬件可编程单个器件。

仿真器包含一个通过 USB 端口连接到 PC 的基本装置。这个基本装置是通用的，它能够与所有的 PSoC 器件一起使用。每个器件系列的仿真转接板 (Emulation Pod) 都可单独购买。仿真转接板取代了目标电路板中的 PSoC 器件并执行全速 (24 MHz) 操作。

使用 PSoC Designer 进行设计

PSoC 器件的开发过程与传统的固定功能微处理器不同。可配置的模拟和数字硬件模块赋予了 PSoC 架构独特的灵活性，这样有助于在开发期间管理规范变更，并降低库存成本。这些可配置的资源（称为 PSoC 模块）能够实现众多可供用户选择的功能。PSoC 开发过程可概括为以下四个步骤：

1. 选择用户模块。
2. 配置用户模块。
3. 组织和连接。
4. 生成、验证和调试。

选择用户模块

PSoC Designer 提供了一个预建且预测试的硬件外设组件库，被称为“用户模块”。使用用户模块可使选择和实现外设器件（包括模拟和数字器件）变得非常简单。

配置用户模块

所选择的每个用户模块都能够建立基本寄存器设置来实现所选功能。此外，它们还提供参数和属性，以便您针对特定应用定制精确配置。例如，脉冲宽度调制器（PWM）用户模块需要配置一个或多个数字 PSoC 模块（每 8 位分辨率一个模块）。借助用户模块参数，您可以确定脉冲宽度和占空比。请根据所选应用配置参数和属性。您可以直接输入某个值或从下拉菜单中选择。所有用户模块都记录在数据手册内，可在 PSoC Designer 中直接查看或在赛普拉斯网站上查看。这些[用户模块数据手册](#)介绍了用户模块的内部操作并提供了性能规范。每个数据手册都介绍了每个用户模块参数的使用，以及成功实现设计可能需要的其他信息。

组织和连接

您可以通过将用户模块互连并连接到 I/O 引脚来构建芯片级的信号链。通过选择、配置和布线操作，可完全控制所有的片上资源。

生成、验证和调试

当您准备测试硬件配置或需要开发项目代码时，请执行“生成配置文件”这一步骤。这会使 PSoC Designer 生成源代码，该源代码会自动按照您的规范配置器件，并为系统提供软件。生成的代码提供了带有高级函数的应用编程接口（API），用于在运行时控制并响应硬件事件。同时，还提供了可根据需要调整的中断服务子程序。

完善的代码开发环境可让您使用 C 语言和 / 或汇编语言来开发和定制应用程序。

开发过程的最后一步是在 PSoC Designer 的调试器（单击“连接”图标以进行访问）中完成的。PSoC Designer 会将 HEX 图像下载到 ICE 中并全速运行。PSoC Designer 的调试功能可以与成本高出数倍的系统相媲美。除了传统的单步执行、运行到断点和监视变量功能外，调试接口还提供大型跟踪缓冲器，允许您定义包括监控地址和数据总线值、存储器位置和外部信号的复杂断点事件。

引脚分布

CY8C27x43PSoC 器件在多种封装中提供，后续表格分别列出和阐释了这些封装。（带 P 标签的）任何端口引脚均能用作数字 I/O（V_{SS}、V_{DD}、SMP 和 XRES 引脚除外）。

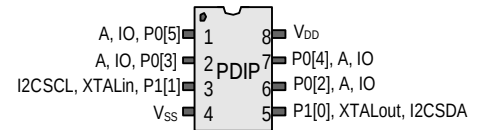
8 引脚器件的引脚分布

表 2. 引脚定义 — 8 引脚 PDIP

引脚编号	类型		引脚名称	描述
	数字	模拟		
1	I/O	I/O	P0[5]	模拟列复用器输入和列输出
2	I/O	I/O	P0[3]	模拟列复用器输入和列输出
3	I/O		P1[1]	晶振输入 (XTALin)、I ² C 串行时钟 (SCL)、ISSP-SCLK ^[6]
4	电源		V _{SS}	接地。
5	I/O		P1[0]	晶振输出 (XTALout)、I ² C 串行数据 (SDA)、ISSP-SDATA ^[6]
6	I/O	I/O	P0[2]	模拟列复用器输入和列输出
7	I/O	I/O	P0[4]	模拟列复用器输入和列输出
8	电源		V _{DD}	供电电压

注释: A = 模拟, I = 输入和 O = 输出。

图 4. CY8C27143 8 引脚 PSoc 器件



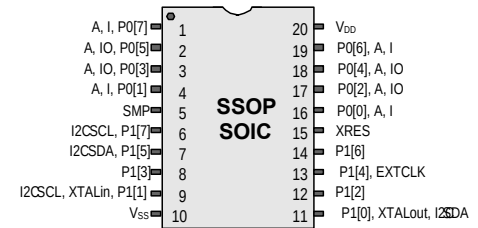
20 引脚器件的引脚分布

表 3. 引脚定义 — 20 引脚 SSOP、SOIC

引脚编号	类型		引脚名称	说明
	数字	模拟		
1	I/O	I	P0[7]	模拟列复用器输入
2	I/O	I/O	P0[5]	模拟列复用器输入和列输出
3	I/O	I/O	P0[3]	模拟列复用器输入和列输出
4	I/O	I	P0[1]	模拟列复用器输入
5	电源		SMP	开关模式升压泵 (SMP) 连接至所需的外部组件
6	I/O		P1[7]	I ² C 串行时钟 (SCL)
7	I/O		P1[5]	I ² C 串行数据 (SDA)
8	I/O		P1[3]	
9	I/O		P1[1]	晶振输入 (XTALin)、I ² C SCL、ISSP-SCLK ^[6]
10	电源		V _{SS}	接地。
11	I/O		P1[0]	晶振输出 (XTALout)、I ² C SDA、ISSP-SDATA ^[6]
12	I/O		P1[2]	
13	I/O		P1[4]	可选外部时钟输入 (EXTCLK)
14	I/O		P1[6]	
15	输入		XRES	采用内部下拉的高电平有效外部复位
16	I/O	I	P0[0]	模拟列复用器输入
17	I/O	I/O	P0[2]	模拟列复用器输入和列输出
18	I/O	I/O	P0[4]	模拟列复用器输入和列输出
19	I/O	I	P0[6]	模拟列复用器输入
20	电源		V _{DD}	供电电压

图标: A = 模拟, I = 输入和 O = 输出。

图 5. CY8C27243 20 引脚 PSoc 器件



注释:

- 这些是 ISSP 引脚，在 POR（上电复位）时不处于高阻态。有关详细信息，请参考 *PSoc 可编程片上系统技术参考手册*。

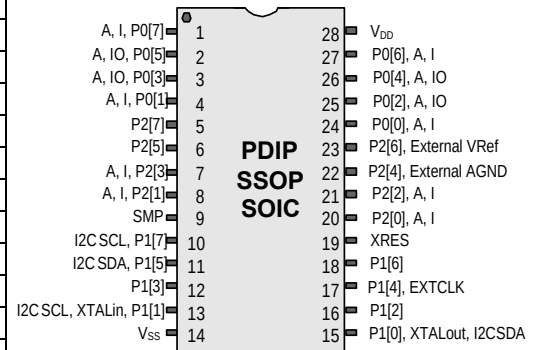
28 引脚器件的引脚分布

表 4. 引脚定义 — 28 引脚 PDIP、SSOP、SOIC

引脚 编号	类型		引脚名称	说明
	数字	模拟		
1	I/O	I	P0[7]	模拟列复用器输入
2	I/O	I/O	P0[5]	模拟列复用器输入和列输出
3	I/O	I/O	P0[3]	模拟列复用器输入和列输出
4	I/O	I	P0[1]	模拟列复用器输入
5	I/O		P2[7]	
6	I/O		P2[5]	
7	I/O	I	P2[3]	直接开关电容模块输入
8	I/O	I	P2[1]	直接开关电容模块输入
9	电源		SMP	开关电压泵模式（SMP）连接至所需的外部组件
10	I/O		P1[7]	I ² C SCL
11	I/O		P1[5]	I ² C SDA
12	I/O		P1[3]	
13	I/O		P1[1]	晶振输入（XTALin）、I ² C SCL、ISSP-SCLK ^[7]
14	电源		Vss	接地。
15	I/O		P1[0]	晶振输出（XTALout）、I ² C SDA、ISSP-SDATA ^[7]
16	I/O		P1[2]	
17	I/O		P1[4]	可选的外部时钟输入（EXTCLK）
18	I/O		P1[6]	
19	输入		XRES	采用内部下拉的高电平有效外部复位
20	I/O	I	P2[0]	直接开关电容模块输入
21	I/O	I	P2[2]	直接开关电容模块输入
22	I/O		P2[4]	外部模拟接地（AGND）
23	I/O		P2[6]	外部电压参考（V _{REF} ）
24	I/O	I	P0[0]	模拟列复用器输入
25	I/O	I/O	P0[2]	模拟列复用器输入和列输出
26	I/O	I/O	P0[4]	模拟列复用器输入和列输出
27	I/O	I	P0[6]	模拟列复用器输入
28	电源		V _{DD}	供电电压

图标：A = 模拟，I = 输入和 O = 输出。

图 6. CY8C27443 28 引脚 PSoC 器件



注释：

7. 这些是 ISSP 引脚，在 POR（上电复位）时不处于高阻态。有关详细信息，请参考 *PSoC 可编程片上系统技术参考手册*。

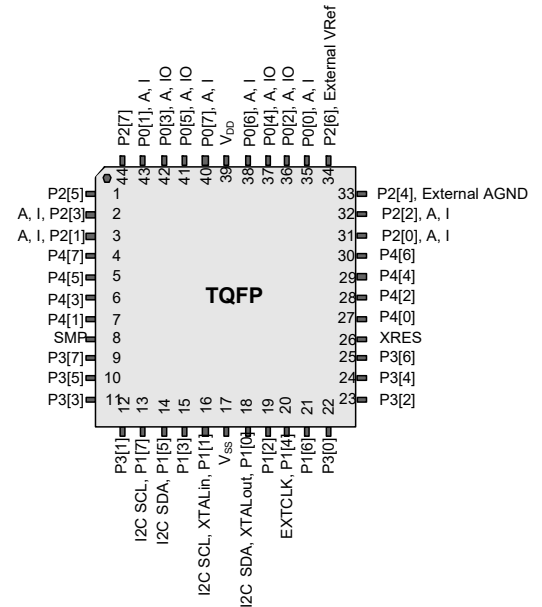
44 引脚器件的引脚分布

表 5. 引脚定义 — 44 引脚 TQFP

引脚 编号	类型		引脚名称	说明
	数字	模拟		
1	I/O		P2[5]	
2	I/O	I	P2[3]	直接开关电容模块输入
3	I/O	I	P2[1]	直接开关电容模块输入
4	I/O		P4[7]	
5	I/O		P4[5]	
6	I/O		P4[3]	
7	I/O		P4[1]	
8	电源		SMP	SMP 连接至所需的外部组件
9	I/O		P3[7]	
10	I/O		P3[5]	
11	I/O		P3[3]	
12	I/O		P3[1]	
13	I/O		P1[7]	I ² C SCL
14	I/O		P1[5]	I ² C SDA
15	I/O		P1[3]	
16	I/O		P1[1]	晶振输入 (XTALin)、I ² C SCL、ISSP-SCLK ^[8]
17	电源		Vss	接地。
18	I/O		P1[0]	晶振输出 (XTALout)、I ² C SDA、ISSP-SDATA ^[8]
19	I/O		P1[2]	
20	I/O		P1[4]	可选的外部时钟输入 (EXTCLK)
21	I/O		P1[6]	
22	I/O		P3[0]	
23	I/O		P3[2]	
24	I/O		P3[4]	
25	I/O		P3[6]	
26	输入		XRES	采用内部下拉的高电平有效外部复位
27	I/O		P4[0]	
28	I/O		P4[2]	
29	I/O		P4[4]	
30	I/O		P4[6]	
31	I/O	I	P2[0]	直接开关电容模块输入
32	I/O	I	P2[2]	直接开关电容模块输入
33	I/O		P2[4]	外部模拟接地 (AGND)
34	I/O		P2[6]	外部电压参考 (VRef)
35	I/O	I	P0[0]	模拟列复用器输入
36	I/O	I/O	P0[2]	模拟列复用器输入和列输出
37	I/O	I/O	P0[4]	模拟列复用器输入和列输出
38	I/O	I	P0[6]	模拟列复用器输入
39	电源		V _{DD}	供电电压
40	I/O	I	P0[7]	模拟列复用器输入
41	I/O	I/O	P0[5]	模拟列复用器输入和列输出
42	I/O	I/O	P0[3]	模拟列复用器输入和列输出
43	I/O	I	P0[1]	模拟列复用器输入
44	I/O		P2[7]	

图标: A = 模拟, I = 输入和 O = 输出。

图 7. CY8C27543 44 引脚 PSoC 器件



注释:

8. 这些是 ISSP 引脚, 在 POR (上电复位) 时不处于高阻态。有关详细信息, 请参考 *PSoC 可编程片上系统技术参考手册*。

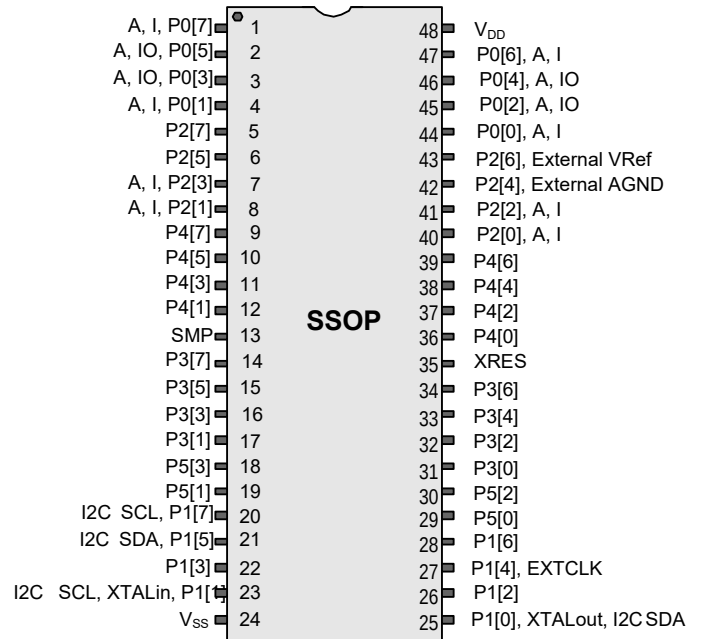
48 引脚器件的引脚分布

表 6. 引脚定义 — 48 引脚器件的引脚分布 (SSOP)

引脚 编号	类型		引脚 名称	描述
	数字	模拟		
1	I/O	I	P0[7]	模拟列复用器输入
2	I/O	I/O	P0[5]	模拟列复用器输入和列输出
3	I/O	I/O	P0[3]	模拟列复用器输入和列输出
4	I/O	I	P0[1]	模拟列复用器输入
5	I/O		P2[7]	
6	I/O		P2[5]	
7	I/O	I	P2[3]	直接开关电容模块输入
8	I/O	I	P2[1]	直接开关电容模块输入
9	I/O		P4[7]	
10	I/O		P4[5]	
11	I/O		P4[3]	
12	I/O		P4[1]	
13	电源		SMP	与所需外部组件相连的 SMP 连接
14	I/O		P3[7]	
15	I/O		P3[5]	
16	I/O		P3[3]	
17	I/O		P3[1]	
18	I/O		P5[3]	
19	I/O		P5[1]	
20	I/O		P1[7]	I ² C SCL
21	I/O		P1[5]	I ² C SDA
22	I/O		P1[3]	
23	I/O		P1[1]	晶振输入 (XTALin)、I ² C SCL、ISSP-SCLK ^[9]
24	电源		Vss	接地
25	I/O		P1[0]	晶振输出 (XTALout)、I ² C SDA、ISSP-SDATA ^[9]
26	I/O		P1[2]	
27	I/O		P1[4]	可选的外部时钟输入 (EXTCLK)
28	I/O		P1[6]	
29	I/O		P5[0]	
30	I/O		P5[2]	
31	I/O		P3[0]	
32	I/O		P3[2]	
33	I/O		P3[4]	
34	I/O		P3[6]	
35	输入		XRES	采用内部下拉的高电平有效外部复位
36	I/O		P4[0]	
37	I/O		P4[2]	
38	I/O		P4[4]	
39	I/O		P4[6]	
40	I/O	I	P2[0]	直接开关电容模块输入
41	I/O	I	P2[2]	直接开关电容模块输入
42	I/O		P2[4]	外部模拟接地 (AGND)
43	I/O		P2[6]	外部电压参考 (VRef)
44	I/O	I	P0[0]	模拟列复用器输入
45	I/O	I/O	P0[2]	模拟列复用器输入和列输出
46	I/O	I/O	P0[4]	模拟列复用器输入和列输出
47	I/O	I	P0[6]	模拟列复用器输入
48	电源		V _{DD}	供电电压

图标: A = 模拟, I = 输入和 O = 输出。

图 8. CY8C27643 48 引脚 PSoC 器件



注释:

9. 这些是 ISSP 引脚, 在 POR (上电复位) 时不处于高阻态。有关详细信息, 请参考 *PSoC 可编程片上系统技术参考手册*。

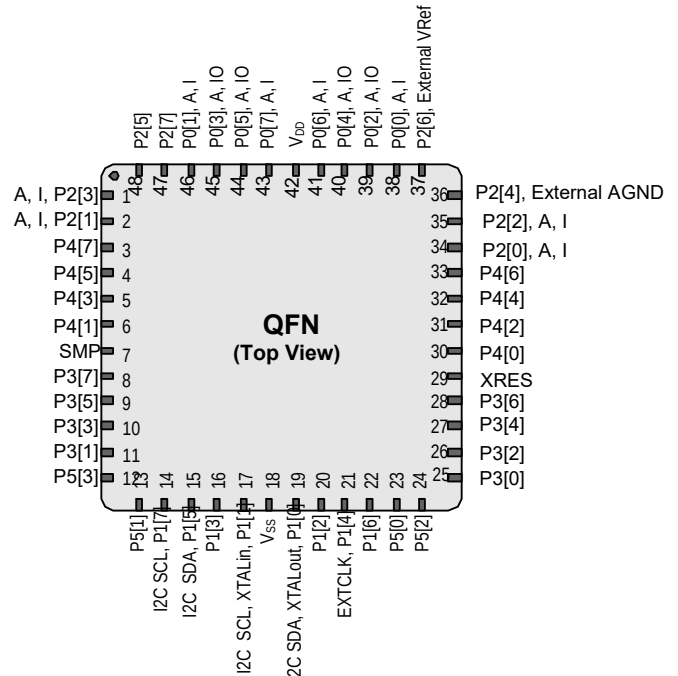
表 7. 引脚定义 — 48 引脚器件的引脚分布 (QFN)

引脚 编号	类型		引脚 名称	说明
	数字	模拟		
1	I/O	I	P2[3]	直接开关电容模块输入
2	I/O	I	P2[1]	直接开关电容模块输入
3	I/O		P4[7]	
4	I/O		P4[5]	
5	I/O		P4[3]	
6	I/O		P4[1]	
7	电源		SMP	与所需外部组件相连的 SMP 连接
8	I/O		P3[7]	
9	I/O		P3[5]	
10	I/O		P3[3]	
11	I/O		P3[1]	
12	I/O		P5[3]	
13	I/O		P5[1]	
14	I/O		P1[7]	I ² C SCL
15	I/O		P1[5]	I ² C SDA
16	I/O		P1[3]	
17	I/O		P1[1]	晶振输入 (XTALin)、I ² C SCL、ISSP-SCLK ^[11]
18	电源		Vss	接地。
19	I/O		P1[0]	晶振输出 (XTALout)、I ² C SDA、ISSP-SDATA ^[11]
20	I/O		P1[2]	
21	I/O		P1[4]	可选的外部时钟输入 (EXTCLK)
22	I/O		P1[6]	
23	I/O		P5[0]	
24	I/O		P5[2]	
25	I/O		P3[0]	
26	I/O		P3[2]	
27	I/O		P3[4]	
28	I/O		P3[6]	
29	输入		XRES	采用内部下拉的高电平有效外部复位
30	I/O		P4[0]	
31	I/O		P4[2]	
32	I/O		P4[4]	
33	I/O		P4[6]	
34	I/O	I	P2[0]	直接开关电容模块输入
35	I/O	I	P2[2]	直接开关电容模块输入
36	I/O		P2[4]	外部模拟接地 (AGND)
37	I/O		P2[6]	外部电压参考 (VREF)
38	I/O	I	P0[0]	模拟列复用器输入
39	I/O	I/O	P0[2]	模拟列复用器输入和列输出
40	I/O	I/O	P0[4]	模拟列复用器输入和列输出
41	I/O	I	P0[6]	模拟列复用器输入
42	电源		VDD	供电电压
43	I/O	I	P0[7]	模拟列复用器输入
44	I/O	I/O	P0[5]	模拟列复用器输入和列输出
45	I/O	I/O	P0[3]	模拟列复用器输入和列输出
46	I/O	I	P0[1]	模拟列复用器输入
47	I/O		P2[7]	
48	I/O		P2[5]	

图标: A = 模拟, I = 输入和 O = 输出。

注释:

- QFN 封装具有一个中心焊盘, 该焊盘必须连接至接地引脚 (Vss)。
- 这些是 ISSP 引脚, 在 POR (上电复位) 时不处于高阻态。有关详细信息, 请参考 *PSoC 技术参考手册*。

图 9. CY8C2764348 引脚 PSoC 器件^[10]


56 引脚器件的引脚分布

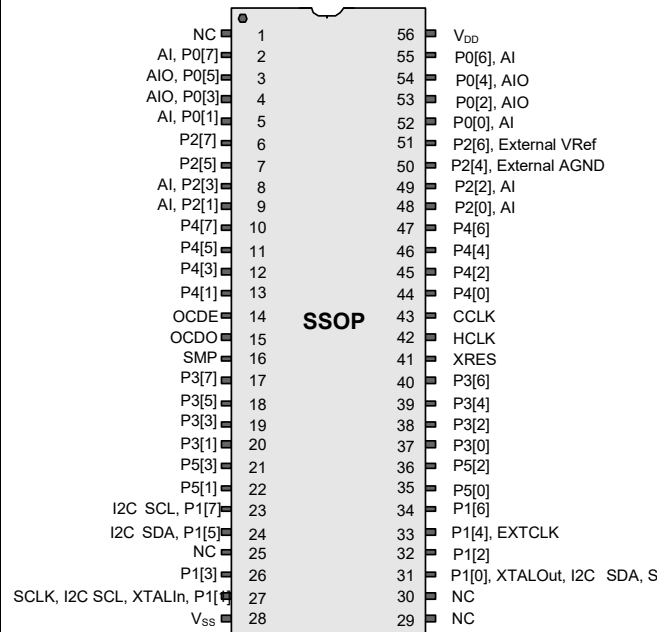
56 引脚 SSOP 器件适用于 CY8C27002 片上调试 (OCD) PSoC 器件。

注释：此器件仅用于进行在线调试。不能用于生产。

表 8. 引脚定义 — 56 引脚器件的引脚分布 (SSOP)

引脚 编号	类型		引脚 名称	描述
	数字	模拟		
1			NC	无连接。引脚必须处于悬空状态
2	I/O	I	P0[7]	模拟列复用器输入
3	I/O	I	P0[5]	模拟列复用器输入和列输出
4	I/O	I	P0[3]	模拟列复用器输入和列输出
5	I/O	I	P0[1]	模拟列复用器输入
6	I/O		P2[7]	
7	I/O		P2[5]	
8	I/O	I	P2[3]	直接开关电容模块输入
9	I/O	I	P2[1]	直接开关电容模块输入
10	I/O		P4[7]	
11	I/O		P4[5]	
12	I/O	I	P4[3]	
13	I/O	I	P4[1]	
14	OCD		OCDE	OCD 偶数据 I/O
15	OCD		OCDO	OCD 奇数据输出
16	电源		SMP	SMP 连接到所需的外部组件
17	I/O		P3[7]	
18	I/O		P3[5]	
19	I/O		P3[3]	
20	I/O		P3[1]	
21	I/O		P5[3]	
22	I/O		P5[1]	
23	I/O		P1[7]	I ² C SCL
24	I/O		P1[5]	I ² C SDA
25			NC	无连接。引脚必须处于悬空状态
26	I/O		P1[3]	
27	I/O		P1[1]	晶振输入 (XTALin)、I ² C SCL、ISSP-SCLK ^[12]
28	电源		V _{DD}	供电电压
29			NC	无连接。引脚必须处于悬空状态
30			NC	无连接。引脚必须处于悬空状态
31	I/O		P1[0]	晶振输出 (XTALout)、I ² C SDA、ISSP-SDATA ^[12]
32	I/O		P1[2]	
33	I/O		P1[4]	可选外部时钟输入 (EXTCLK)
34	I/O		P1[6]	
35	I/O		P5[0]	
36	I/O		P5[2]	
37	I/O		P3[0]	
38	I/O		P3[2]	
39	I/O		P3[4]	
40	I/O		P3[6]	

图 10. CY8C27002 56 引脚 PSoC 器件



不能用于生产目的

注释：

12. 这些是 ISSP 引脚，在 POR（上电复位）时不处于高阻态。有关详细信息，请参考 PSoC 可编程片上系统技术参考手册。

表 8. 引脚定义 — 56 引脚器件的引脚分布 (SSOP) (续)

引脚 编号	类型		引脚 名称	说明
	数字	模拟		
42	OCD		HCLK	OCD 高速时钟输出
43	OCD		CCLK	OCD CPU 时钟输出
44	I/O		P4[0]	
45	I/O		P4[2]	
46	I/O		P4[4]	
47	I/O		P4[6]	
48	I/O	I	P2[0]	直接开关电容模块输入
49	I/O	I	P2[2]	直接开关电容模块输入
50	I/O		P2[4]	外部模拟接地 (AGND)
51	I/O		P2[6]	外部电压参考 (VRef)
52	I/O	I	P0[0]	模拟列复用器输入
53	I/O	I	P0[2]	模拟列复用器输入和列输出
54	I/O	I	P0[4]	模拟列复用器输入和列输出
55	I/O	I	P0[6]	模拟列复用器输入
56	电源		V _{DD}	供电电压

注释: A = 模拟, I = 输入, O = 输出和 OCD = 片上调试。

寄存器参考

本节列出了 CY8C27x43PSoC 器件的寄存器。有关寄存器的详细信息，请参考 [PSoC 可编程片上系统技术参考手册](#)。

寄存器规范

下表列出了针对本节的寄存器规范。

表 9. 寄存器规范

规范	说明
R	读取寄存器或位
W	写寄存器或位
L	逻辑寄存器或位
C	可清除的寄存器或位
#	由位决定的访问

寄存器映射表

PSoC 器件共有 512 字节的寄存器地址空间。该寄存器空间也称为 I/O 空间，分为两个组。标志寄存器（CPU F）中的 XO1 位用于确定用户当前位于哪个组中。设置 XO1 位时，用户位于组 1 中。

注释：在以下寄存器映射表中，空白字段为保留字段，请勿访问这些字段。

表 10. 寄存器映射组 0 表格：用户空间

名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问
PRT0DR	00	RW		40		ASC10CR0	80	RW		C0	
PRT0IE	01	RW		41		ASC10CR1	81	RW		C1	
PRT0GS	02	RW		42		ASC10CR2	82	RW		C2	
PRT0DM2	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DR	04	RW		44		ASD11CR0	84	RW		C4	
PRT1IE	05	RW		45		ASD11CR1	85	RW		C5	
PRT1GS	06	RW		46		ASD11CR2	86	RW		C6	
PRT1DM2	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DR	08	RW		48		ASC12CR0	88	RW		C8	
PRT2IE	09	RW		49		ASC12CR1	89	RW		C9	
PRT2GS	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2DM2	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DR	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3IE	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3GS	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3DM2	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DR	10	RW		50		ASD20CR0	90	RW		D0	
PRT4IE	11	RW		51		ASD20CR1	91	RW		D1	
PRT4GS	12	RW		52		ASD20CR2	92	RW		D2	
PRT4DM2	13	RW		53		ASD20CR3	93	RW		D3	
PRT5DR	14	RW		54		ASC21CR0	94	RW		D4	
PRT5IE	15	RW		55		ASC21CR1	95	RW		D5	
PRT5GS	16	RW		56		ASC21CR2	96	RW	I2C_CFG	D6	RW
PRT5DM2	17	RW		57		ASC21CR3	97	RW	I2C_SCR	D7	#
	18			58		ASD22CR0	98	RW	I2C_DR	D8	RW
	19			59		ASD22CR1	99	RW	I2C_MSCR	D9	#
	1A			5A		ASD22CR2	9A	RW	INT_CLR0	DA	RW
	1B			5B		ASD22CR3	9B	RW	INT_CLR1	DB	RW
	1C			5C		ASC23CR0	9C	RW		DC	
	1D			5D		ASC23CR1	9D	RW	INT_CLR3	DD	RW
	1E			5E		ASC23CR2	9E	RW	INT_MSK3	DE	RW
	1F			5F		ASC23CR3	9F	RW		DF	
DBB00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBB00DR1	21	W		61			A1		INT_MSK1	E1	RW
DBB00DR2	22	RW		62			A2		INT_VC	E2	RC
DBB00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RC
DBB01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RC
DBB01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0	E6	RW
DBB01CR0	27	#		67			A7		DEC_CR1	E7	RW
DCB02DR0	28	#		68			A8		MUL_X	E8	W

空白字段为保留字段，并不能访问这些字段。

表示由位决定的访问。

表 10. 寄存器映射组 0 表格：用户空间（续）

名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问
DCB02DR1	29	W		69			A9		MUL_Y	E9	W
DCB02DR2	2A	RW		6A			AA		MUL_DH	EA	R
DCB02CR0	2B	#		6B			AB		MUL_DL	EB	R
DCB03DR0	2C	#		6C			AC		ACC_DR1	EC	RW
DCB03DR1	2D	W		6D			AD		ACC_DR0	ED	RW
DCB03DR2	2E	RW		6E			AE		ACC_DR3	EE	RW
DCB03CR0	2F	#		6F			AF		ACC_DR2	EF	RW
DBB10DR0	30	#	ACB00CR3	70	RW	RD10RI	B0	RW		F0	
DBB10DR1	31	W	ACB00CR0	71	RW	RD10SYN	B1	RW		F1	
DBB10DR2	32	RW	ACB00CR1	72	RW	RD10IS	B2	RW		F2	
DBB10CR0	33	#	ACB00CR2	73	RW	RD10LT0	B3	RW		F3	
DBB11DR0	34	#	ACB01CR3	74	RW	RD10LT1	B4	RW		F4	
DBB11DR1	35	W	ACB01CR0	75	RW	RD10RO0	B5	RW		F5	
DBB11DR2	36	RW	ACB01CR1	76	RW	RD10RO1	B6	RW		F6	
DBB11CR0	37	#	ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12DR0	38	#	ACB02CR3	78	RW	RD11RI	B8	RW		F8	
DCB12DR1	39	W	ACB02CR0	79	RW	RD11SYN	B9	RW		F9	
DCB12DR2	3A	RW	ACB02CR1	7A	RW	RD11IS	BA	RW		FA	
DCB12CR0	3B	#	ACB02CR2	7B	RW	RD11LT0	BB	RW		FB	
DCB13DR0	3C	#	ACB03CR3	7C	RW	RD11LT1	BC	RW		FC	
DCB13DR1	3D	W	ACB03CR0	7D	RW	RD11RO0	BD	RW		FD	
DCB13DR2	3E	RW	ACB03CR1	7E	RW	RD11RO1	BE	RW	CPU_SCR1	FE	#
DCB13CR0	3F	#	ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

空白字段为保留字段，并不能访问这些字段。

表示由位决定的访问。

表 11. 寄存器映射组 1 表：配置空间

名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问
PRT0DM0	00	RW		40		ASC10CR0	80	RW		C0	
PRT0DM1	01	RW		41		ASC10CR1	81	RW		C1	
PRT0IC0	02	RW		42		ASC10CR2	82	RW		C2	
PRT0IC1	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DM0	04	RW		44		ASD11CR0	84	RW		C4	
PRT1DM1	05	RW		45		ASD11CR1	85	RW		C5	
PRT1IC0	06	RW		46		ASD11CR2	86	RW		C6	
PRT1IC1	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DM0	08	RW		48		ASC12CR0	88	RW		C8	
PRT2DM1	09	RW		49		ASC12CR1	89	RW		C9	
PRT2IC0	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2IC1	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DM0	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3DM1	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3IC0	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3IC1	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DM0	10	RW		50		ASD20CR0	90	RW	GDI_O_IN	D0	RW
PRT4DM1	11	RW		51		ASD20CR1	91	RW	GDI_E_IN	D1	RW
PRT4IC0	12	RW		52		ASD20CR2	92	RW	GDI_O_OU	D2	RW
PRT4IC1	13	RW		53		ASD20CR3	93	RW	GDI_E_OU	D3	RW
PRT5DM0	14	RW		54		ASC21CR0	94	RW		D4	
PRT5DM1	15	RW		55		ASC21CR1	95	RW		D5	
PRT5IC0	16	RW		56		ASC21CR2	96	RW		D6	
PRT5IC1	17	RW		57		ASC21CR3	97	RW		D7	
	18			58		ASD22CR0	98	RW		D8	
	19			59		ASD22CR1	99	RW		D9	
	1A			5A		ASD22CR2	9A	RW		DA	
	1B			5B		ASD22CR3	9B	RW		DB	
	1C			5C		ASC23CR0	9C	RW		DC	

空白字段为保留字段，并不能访问这些字段。

表示由位决定的访问。

表 11. 寄存器映射组 1 表：配置空间（续）

名称	地址 (十六进制)	访问	名称	地址 (十六进制)	访问	名称	地址 (十六进制)	访问	名称	地址 (十六进制)	访问
	1D			5D		ASC23CR1	9D	RW	OSC_GO_EN	DD	RW
	1E			5E		ASC23CR2	9E	RW	OSC_CR4	DE	RW
	1F			5F		ASC23CR3	9F	RW	OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW		64			A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5			E5	
DBB01OU	26	RW	AMD_CR1	66	RW		A6			E6	
	27		ALT_CR0	67	RW		A7			E7	
DCB02FN	28	RW	ALT_CR1	68	RW		A8		IMO_TR	E8	W
DCB02IN	29	RW	CLK_CR2	69	RW		A9		ILO_TR	E9	W
DCB02OU	2A	RW		6A			AA		BDG_TR	EA	RW
	2B			6B			AB		ECO_TR	EB	W
DCB03FN	2C	RW		6C			AC			EC	
DCB03IN	2D	RW		6D			AD			ED	
DCB03OU	2E	RW		6E			AE			EE	
	2F			6F			AF			EF	
DBB10FN	30	RW	ACB00CR3	70	RW	RD10RI	B0	RW		F0	
DBB10IN	31	RW	ACB00CR0	71	RW	RD10SYN	B1	RW		F1	
DBB10OU	32	RW	ACB00CR1	72	RW	RD10IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RD10LT0	B3	RW		F3	
DBB11FN	34	RW	ACB01CR3	74	RW	RD10LT1	B4	RW		F4	
DBB11IN	35	RW	ACB01CR0	75	RW	RD10RO0	B5	RW		F5	
DBB11OU	36	RW	ACB01CR1	76	RW	RD10RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12FN	38	RW	ACB02CR3	78	RW	RD11RI	B8	RW		F8	
DCB12IN	39	RW	ACB02CR0	79	RW	RD11SYN	B9	RW		F9	
DCB12OU	3A	RW	ACB02CR1	7A	RW	RD11IS	BA	RW		FA	
	3B		ACB02CR2	7B	RW	RD11LT0	BB	RW		FB	
DCB13FN	3C	RW	ACB03CR3	7C	RW	RD11LT1	BC	RW		FC	
DCB13IN	3D	RW	ACB03CR0	7D	RW	RD11RO0	BD	RW		FD	
DCB13OU	3E	RW	ACB03CR1	7E	RW	RD11RO1	BE	RW	CPU_SCR1	FE	#
	3F		ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

空白字段为保留字段，并不能访问这些字段。

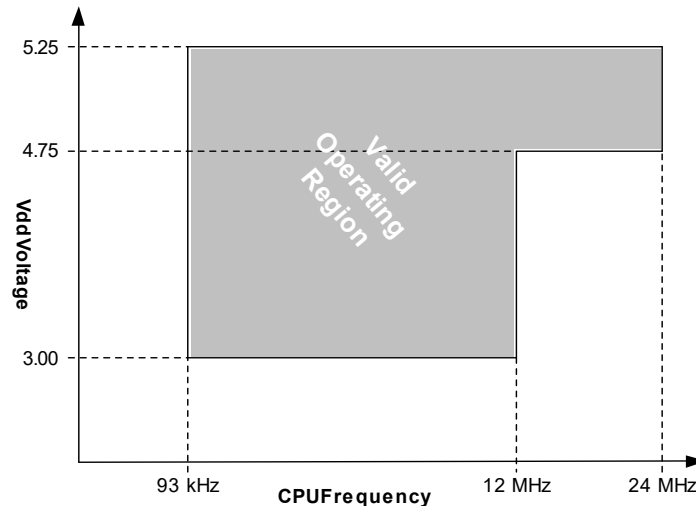
表示由位决定的访问。

电气规格

本节提供 CY8C27x43 PSoC 器件的直流和交流电气规范。有关最新的电气规范，请通过访问 <http://www.cypress.com> 网站确保您拥有最新的数据手册。

除非另有说明，否则规范的适用温度是 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 且 $T_J \leq 100^{\circ}\text{C}$ 。对于运行频率超过 12 MHz 的器件，此规范为： $-40^{\circ}\text{C} \leq T_A \leq 70^{\circ}\text{C}$ 和 $T_J \leq 82^{\circ}\text{C}$ 。

图 11. 电压与 CPU 频率



最大绝对额定值

超过最大额定值可能会缩短器件的使用寿命。用户指南未经测试。

表 12. 最大绝对额定值

符号	说明	最小值	典型值	最大值	单位	注释
T_{STG}	存放温度	-55	25	+100	$^{\circ}\text{C}$	存放温度越高，数据保留时间就越短。推荐的存放温度为 $+25^{\circ}\text{C} \pm 25^{\circ}\text{C}$ 。存放温度长期保持在 65°C 以上会降低可靠性。
T_{BAKETEMP}	烘烤温度	-	125	请参见封装标签	$^{\circ}\text{C}$	
t_{BAKETIME}	烘烤时间	请参见封装标签	-	72	小时	
T_A	上电时的环境温度	-40	-	+85	$^{\circ}\text{C}$	
V_{DD}	相对于 V_{SS} 的 V_{DD} 供电电压	-0.5	-	+6.0	V	
V_{IO}	直流输入电压	$V_{\text{SS}} - 0.5$	-	$V_{\text{DD}} + 0.5$	V	
V_{IOZ}	应用于三态的直流电压	$V_{\text{SS}} - 0.5$	-	$V_{\text{DD}} + 0.5$	V	
I_{MIO}	任意端口引脚上的最大输入电流	-25	-	+50	mA	
I_{MAIO}	被配置为模拟驱动器的任意端口引脚的最大电流	-50	-	+50	mA	
ESD	静电放电电压	2000	-	-	V	人体模型 ESD。
LU	闩锁电流	-	-	200	mA	

工作温度

表 13. 工作温度

符号	说明	最小值	典型值	最大值	单位	注释
T_A	环境温度	-40	—	+85	°C	
T_J	结温	-40	—	+100	°C	从环境温度到结温的温度升高情况因封装不同而有所变化。请参见第 50 页上的热阻。用户必须限制功耗，以满足此要求。

直流电气特性

直流芯片级规范

表 14 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ ，或 3.0 V 至 3.6 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 。典型参数适用于 25 °C 且电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

表 14. 直流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注释
V_{DD}	供电电压	3.00	—	5.25	V	
I_{DD}	供电电流	—	5	8	mA	条件为： $V_{DD} = 5.0\text{ V}$ ， $T_A = 25\text{ °C}$ ，CPU = 3 MHz，SYSCLK 倍频器处于禁用状态。VC1 = 1.5 MHz，VC2 = 93.75 kHz，VC3 = 93.75 kHz。
I_{DD3}	供电电流	—	3.3	6.0	mA	条件为： $V_{DD} = 3.3\text{ V}$ ， $T_A = 25\text{ °C}$ ，CPU = 3 MHz，SYSCLK 倍频器处于禁用状态。VC1 = 1.5 MHz，VC2 = 93.75 kHz，VC3 = 93.75 kHz。
I_{SB}	使用 POR、LVD、睡眠定时器和 WDT 时的睡眠（模式）电流。[13]	—	3	6.5	μA	条件为：使用内部低速振荡器， $V_{DD} = 3.3\text{ V}$ ， $-40\text{ °C} \leq T_A \leq 55\text{ °C}$ 。
I_{SBH}	在高温条件下使用 POR、LVD、睡眠定时器和 WDT 时的睡眠（模式）电流。[13]	—	4	25	μA	条件为使用内部低速振荡器， $V_{DD} = 3.3\text{ V}$ ， $55\text{ °C} < T_A \leq 85\text{ °C}$ 。
I_{SBXTL}	使用 POR、LVD、睡眠定时器、WDT 和外部晶振时的睡眠（模式）电流。[13]	—	4	7.5	μA	条件为使用适当负载且最大功耗为 1 μW 的 32.768 kHz 晶振。 $V_{DD} = 3.3\text{ V}$ ， $-40\text{ °C} \leq T_A \leq 55\text{ °C}$ 。
I_{SBXTLH}	在高温条件下使用 POR、LVD、睡眠定时器、WDT 和外部晶振时的睡眠（模式）电流。[13]	—	5	26	μA	条件为：使用适当负载且最大功耗为 1 μW 的 32.768 kHz 晶振。 $V_{DD} = 3.3\text{ V}$ ， $55\text{ °C} < T_A \leq 85\text{ °C}$ 。
V_{REF}	芯片 A ^[14] 的参考电压（带隙）	1.275	1.300	1.325	V	已针对相应的 V_{DD} 进行调整。
V_{REF}	芯片 B ^[14] 的参考电压（带隙）	1.280	1.300	1.320	V	已针对相应的 V_{DD} 进行调整。

注释：

13. 待机电流包括所有功能（POR、LVD、WDT、睡眠定时器）所需要以实现可靠的系统操作的电流。这必须与具有类似功能处于使能状态的器件进行比较。
14. 请参考第 53 页上的订购信息。

GPIO 直流规范

表 15 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

表 15. 直流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注释
R_{PU}	上拉电阻	4	5.6	8	$k\Omega$	
R_{PD}	下拉电阻	4	5.6	8	$k\Omega$	
V_{OH}	输出高电平	$V_{DD} - 1.0$	—	—	V	$I_{OH} = 10\text{ mA}$, $V_{DD} = 4.75 - 5.25\text{ V}$ (共 8 个负载, 其中 4 个在偶数端口引脚上 (如 P0[2]、P1[4]), 另外 4 个在奇数端口引脚上 (如 P0[3]、P1[5]))。
V_{OL}	输出低电平	—	—	0.75	V	$I_{OL} = 25\text{ mA}$, $V_{DD} = 4.75 - 5.25\text{ V}$ (共 8 个负载, 其中 4 个在偶数端口引脚上 (如 P0[2]、P1[4]), 另外 4 个在奇数端口引脚上 (如 P0[3]、P1[5]))。
I_{OH}	高电平拉电流	10	—	—	mA	$V_{OH} = V_{DD} - 1.0\text{ V}$, 请参见 V_{OH} 注释中的总电流限制
I_{OL}	低电平灌电流	25	—	—	mA	$V_{OL} = 0.75\text{ V}$, 请参见 V_{OL} 注释内容中介绍的总电流限制
V_{IL}	输入低电平	—	—	0.8	V	$V_{DD} = 3.0$ 到 5.25 V
V_{IH}	输入高电平	2.1	—	—	V	$V_{DD} = 3.0$ 到 5.25 V
V_H	输入迟滞	—	60	—	mV	
I_{IL}	输入漏电流 (绝对值)	—	1	—	nA	粗略测试结果为 $1\text{ }\mu\text{A}$ 。
C_{IN}	输入引脚上的电容负载	—	3.5	10	pF	取决于封装和引脚。 温度 = 25°C 。
C_{OUT}	输出引脚上的电容负载	—	3.5	10	pF	取决于封装和引脚。 温度 = 25°C 。

直流运算放大器规范

表 16 和表 17 分别列出了以下电压和温度规范内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

运算放大器既是模拟连续时间 PSoC 模块的组件，又是模拟开关电容 PSoC 模块的组件。许可的规范是在模拟连续时间 PSoC 模块中测得的。典型参数适用于 25°C 且电压为 5 V 的情况，仅供设计指导使用。

表 16. 5 V 直流运算放大器规范

符号	说明	最小值	典型值	最大值	单位	注释
V_{OSOA}	输入偏移电压 (绝对值)	—	1.6	10	mV	
	功耗 = 低, 运算放大器偏压 = 低	—	1.6	10	mV	
	功耗 = 低, 运算放大器偏压 = 高	—	1.6	10	mV	
	功耗 = 中, 运算放大器偏压 = 低	—	1.6	10	mV	
	功耗 = 中, 运算放大器偏压 = 高	—	1.6	10	mV	
	功耗 = 高, 运算放大器偏压 = 低	—	1.6	10	mV	
TCV_{OSOA}	平均输入偏移电压漂移	—	4	20	$\mu\text{V}/^{\circ}\text{C}$	
I_{EBOA}	输入漏电流 (端口 0 模拟引脚)	—	20	—	pA	粗略测试结果为 $1\text{ }\mu\text{A}$ 。
C_{INOA}	输入电容 (端口 0 模拟引脚)	—	4.5	9.5	pF	取决于封装和引脚。温度 = 25°C
V_{CMOA}	共模电压范围	0	—	V_{DD}	V	共模输入电压范围是通过模拟输出缓冲器测得的。该规范包含了模拟输出缓冲器特性所造成的限制。
	共模电压范围 (高功率或高运算放大器偏压)	0.5	—	$V_{DD} - 0.5$	V	
$CMRR_{OA}$	共模抑制比	—	—	—	dB	规范同时适用于高和低运算放大器偏压。
	功耗 = 低, 运算放大器偏压 = 高	60	—	—	dB	
	功耗 = 中, 运算放大器偏压 = 高	60	—	—	dB	
	功耗 = 高, 运算放大器偏压 = 高	60	—	—	dB	

表 16. 5 V 直流运算放大器规范

符号	说明	最小值	典型值	最大值	单位	注释
$G_{O\text{LOA}}$	开环增益					
	功耗 = 低, 运算放大器偏压 = 高	60	—	—	dB	规范适用于高运算放大器偏压。对于低运算放大器偏压模式, 最小值为 60 dB。
	功耗 = 中, 运算放大器偏压 = 高	60	—	—	dB	
	功耗 = 高, 运算放大器偏压 = 高	80	—	—	dB	
$V_{O\text{HIGHOA}}$	输出高电平电压摆幅 (内部信号)					
	功耗 = 低, 运算放大器偏压 = 高	$V_{DD} - 0.2$	—	—	V	
	功耗 = 中, 运算放大器偏压 = 高	$V_{DD} - 0.2$	—	—	V	
$V_{O\text{LOWOA}}$	输出低电平电压摆幅 (内部信号)					
	功耗 = 低, 运算放大器偏压 = 高	—	—	0.2	V	
	功耗 = 中, 运算放大器偏压 = 高	—	—	0.2	V	
I_{SOA}	供电电流 (含相关的 AGND 缓冲器)					
	功耗 = 低, 运算放大器偏压 = 低	—	150	200	μA	
	功耗 = 低, 运算放大器偏压 = 高	—	300	400	μA	
$PSRR_{\text{OA}}$	功耗 = 中, 运算放大器偏压 = 低	—	600	800	μA	
	功耗 = 中, 运算放大器偏压 = 高	—	1200	1600	μA	
	功耗 = 高, 运算放大器偏压 = 低	—	2400	3200	μA	
$PSRR_{\text{OA}}$	功耗 = 高, 运算放大器偏压 = 高	—	4600	6400	μA	
	供电电压抑制比	60	—	—	dB	$V_{SS} \leq V_{IN} \leq (V_{DD} - 2.25)$ 或 $(V_{DD} - 1.25 \text{ V}) \leq V_{IN} \leq V_{DD}$ 。

表 17. 3.3 V 运算放大器的直流规范

符号	说明	最小值	典型值	最大值	单位	注释
$V_{O\text{SOA}}$	输入偏移电压 (绝对值)					
	功耗 = 低, 运算放大器偏压 = 低	—	1.4	10	mV	功耗 = 高和运算放大器偏压 = 高的设置不适用于 3.3 V V_{DD} 操作。
	功耗 = 低, 运算放大器偏压 = 高	—	1.4	10	mV	
	功耗 = 中, 运算放大器偏压 = 低	—	1.4	10	mV	
	功耗 = 中, 运算放大器偏压 = 高	—	1.4	10	mV	
	功耗 = 高, 运算放大器偏压 = 低	—	1.4	10	mV	
	功耗 = 高, 运算放大器偏压 = 高	—	—	—	mV	
$TCV_{O\text{SOA}}$	平均输入偏移电压漂移	—	7	40	$\mu\text{V}/^\circ\text{C}$	
I_{EBOA}	输入漏电流 (端口 0 模拟引脚)	—	20	—	pA	粗略测试结果为 1 μA 。
C_{INOA}	输入电容 (端口 0 模拟引脚)	—	4.5	9.5	pF	取决于封装和引脚。温度 = 25 $^\circ\text{C}$ 。
V_{CMOA}	共模电压范围	0.2	—	$V_{DD} - 0.2$	V	共模输入电压范围是通过模拟输出缓冲器测得的。该规范包含了模拟输出缓冲器特性所造成的限制。
$CMRR_{\text{OA}}$	共模抑制比					
	功耗 = 低, 运算放大器偏压 = 低	50	—	—	dB	规范适用于低运算放大器偏压。对于高偏压模式 (高功耗、高运算放大器偏压除外), 最小值为 60 dB。
	功耗 = 中, 运算放大器偏压 = 低	50	—	—	dB	
	功耗 = 高, 运算放大器偏压 = 低	50	—	—	dB	
$G_{O\text{LOA}}$	开环增益					
	功耗 = 低, 运算放大器偏压 = 低	60	—	—	dB	规范适用于低运算放大器偏压。对于高运算放大器偏压模式 (高功耗、高运算放大器偏压除外), 最小值为 60 dB。
	功耗 = 中, 运算放大器偏压 = 低	60	—	—	dB	
	功耗 = 高, 运算放大器偏压 = 低	80	—	—	dB	
$V_{O\text{HIGHOA}}$	输出高电平电压摆幅 (内部信号)					
	功耗 = 低, 运算放大器偏压 = 低	$V_{DD} - 0.2$	—	—	V	功耗 = 高和运算放大器偏压 = 高的设置不适用于 3.3 V V_{DD} 操作。
	功耗 = 中, 运算放大器偏压 = 低	$V_{DD} - 0.2$	—	—	V	
	功耗 = 高, 运算放大器偏压 = 低	$V_{DD} - 0.2$	—	—	V	

表 17. 3.3 V 运算放大器的直流规范 (续)

符号	说明	最小值	典型值	最大值	单位	注释
V_{OLOWOA}	输出低电平电压摆幅 (内部信号)	—	—	0.2	V	功耗 = 高和运算放大器偏压 = 高的设置不适用于 3.3 V V_{DD} 操作。
	功耗 = 低, 运算放大器偏压 = 低	—	—	0.2	V	
	功耗 = 中, 运算放大器偏压 = 低	—	—	0.2	V	
	功耗 = 高, 运算放大器偏压 = 低	—	—	0.2	V	
I_{SOA}	供电电流 (含相关的 AGND 缓冲器)	—	150	200	μA	功耗 = 高和运算放大器偏压 = 高的设置不适用于 3.3 V V_{DD} 操作。
	功耗 = 低, 运算放大器偏压 = 低	—	300	400	μA	
	功耗 = 低, 运算放大器偏压 = 高	—	600	800	μA	
	功耗 = 中, 运算放大器偏压 = 低	—	1200	1600	μA	
	功耗 = 中, 运算放大器偏压 = 高	—	2400	3200	μA	
	功耗 = 高, 运算放大器偏压 = 低	—	—	—	μA	
	功耗 = 高, 运算放大器偏压 = 高	—	—	—	μA	
$PSRR_{OA}$	供电电压抑制比	50	80	—	dB	$V_{SS} \leq V_{IN} \leq (V_{DD} - 2.25)$ 或 $(V_{DD} - 1.25 V) \leq V_{IN} \leq V_{DD}$ 。

低功耗电压比较器的直流规范

表 18 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, 3.0 V 至 3.6 V 和 $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, 或 2.4 V 至 3.0 V 和 $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。典型参数适用于 25°C 且电压为 5 V 的情况, 仅供设计指导使用。

表 18. 直流低功耗比较器规范

符号	说明	最小值	典型值	最大值	单位
V_{REFLPC}	低功耗比较器 (LPC) 参考电压范围	0.2	—	$V_{DD} - 1$	V
I_{SLPC}	LPC 供电电流	—	10	40	μA
V_{OSLPC}	LPC 电压偏移	—	2.5	30	mV

直流模拟输出缓冲器规范

表 19 和第 24 页上的表 20 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}C \leq T_A \leq 85^{\circ}C$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况, 仅供设计指导使用。

表 19. 5 V 直流模拟输出缓冲器规范

符号	说明	最小值	典型值	最大值	单位	注释
V_{OSOB}	输入偏移电压 (绝对值)	—	3	19	mV	
	功耗 = 低, 运算放大器偏压 = 低	—	3	19	mV	
	功耗 = 低, 运算放大器偏压 = 高	—	3	19	mV	
	功耗 = 高, 运算放大器偏压 = 低	—	3	19	mV	
TCV_{OSOB}	平均输入偏移电压漂移	—	5	30	$\mu V/^{\circ}C$	
V_{CMOB}	共模输入电压范围	0.5	—	$V_{DD} - 1.0$	V	
R_{OUTOB}	输出电阻	—	1	—	W	
	功耗 = 低	—	1	—	W	
$V_{OHIGHOB}$	输出为高电平的电压摆幅 (32 Ω 的负载连接到 $V_{DD}/2$)	$0.5 \times V_{DD} + 1.3$	—	—	V	
	功耗 = 低	$0.5 \times V_{DD} + 1.3$	—	—	V	
V_{OLOWOB}	输出为低电平的电压摆幅 (32 Ω 的负载连接到 $V_{DD}/2$)	—	—	—		
	功耗 = 低	—	—	$0.5 \times V_{DD} - 1.3$	V	
	功耗 = 高	—	—	$0.5 \times V_{DD} - 1.3$	V	
I_{SOB}	供电电流 (包含运算放大器偏压单元 (无负载))	—	1.1	5.1	mA	
	功耗 = 低	—	2.6	8.8	mA	
	功耗 = 高	—	—	—	—	
$PSRR_{OB}$	供电电压抑制比	60	64	—	dB	
I_{OMAX}	最大输出电流	—	40	—	mA	
C_L	负载电容	—	—	200	pF	本规范适用于由模拟输出缓冲器驱动的外部电路。

表 20. 3.3 V 模拟输出缓冲器的直流规范

符号	说明	最小值	典型值	最大值	单位	注释
V_{OSOB}	输入偏移电压 (绝对值)	—	3.2	20	mV	不建议高功耗设置。
	功耗 = 低, 运算放大器偏压 = 低	—	3.2	20	mV	
	功耗 = 低, 运算放大器偏压 = 高	—	6	25	mV	
	功耗 = 高, 运算放大器偏压 = 低	—	6	25	mV	
TCV_{OSOB}	平均输入偏移电压漂移	—	9	55	$\mu V/^{\circ}C$	不建议高功耗设置。
	功耗 = 低, 运算放大器偏压 = 低	—	9	55	$\mu V/^{\circ}C$	
	功耗 = 低, 运算放大器偏压 = 高	—	12	70	$\mu V/^{\circ}C$	
	功耗 = 高, 运算放大器偏压 = 低	—	12	70	$\mu V/^{\circ}C$	
V_{CMOB}	共模输入电压范围	0.5	—	$V_{DD} - 1.0$	V	
R_{OUTOB}	输出电阻	—	1	—	W	
	功耗 = 低	—	1	—	W	
$V_{OHIGHOB}$	输出为高电平的电压摆幅 ($32\ \Omega$ 的负载连接到 $V_{DD}/2$)	$0.5 \times V_{DD} + 1.0$	—	—	V	
	功耗 = 低	$0.5 \times V_{DD} + 1.0$	—	—	V	
V_{OLOWOB}	输出为低电平的电压摆幅 ($32\ \Omega$ 的负载连接到 $V_{DD}/2$)	—	—	$0.5 \times V_{DD} - 1.0$	V	
	功耗 = 低	—	—	$0.5 \times V_{DD} - 1.0$	V	
I_{SOB}	供电电流 (包含运算放大器偏压单元 (无负载))	—	0.8	2	mA	
	功耗 = 低	—	2.0	4.3	mA	
$PSRR_{OB}$	供电电压抑制比	60	64	—	dB	
C_L	负载电容	—	—	200	pF	本规范适用于由模拟输出缓冲器驱动的外部电路。

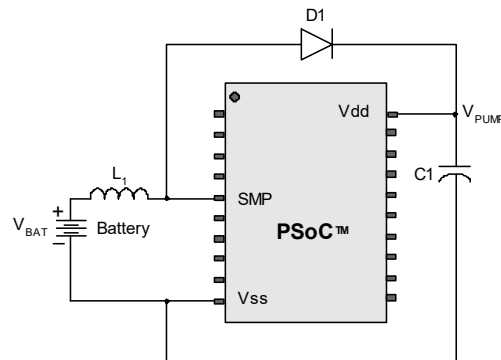
直流开关电压泵规范

表 21 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

表 21. 直流开关模式升压泵（SMP）规范

符号	说明	最小值	典型值	最大值	单位	注释
$V_{\text{PUMP}} 5\text{ V}$	5 V 输出电压	4.75	5.0	5.25	V	根据注解 15 配置。平均值，忽略纹波。SMP 激发电压设置为 5.0 V。
$V_{\text{PUMP}} 3\text{ V}$	3 V 输出电压	3.00	3.25	3.60	V	根据注解 15 配置。平均值，忽略纹波。SMP 激发电压设置为 3.25 V。
I_{PUMP}	可用输出电流 $V_{\text{BAT}} = 1.5\text{ V}$, $V_{\text{PUMP}} = 3.25\text{ V}$ $V_{\text{BAT}} = 1.8\text{ V}$, $V_{\text{PUMP}} = 5.0\text{ V}$	8 5	— —	— —	mA mA	根据注解 15 配置。SMP 激发电压设置为 3.25 V。 SMP 触发电压被设置为 5.0 V。
$V_{\text{BAT}} 5\text{ V}$	来自电池的输入电压范围	1.8	—	5.0	V	根据注解 15 配置。SMP 激发电压被设置为 5.0 V。
$V_{\text{BAT}} 3\text{ V}$	来自电池的输入电压范围	1.0	—	3.3	V	根据注解 15 配置。SMP 激发电压设置为 3.25 V。
V_{BATSTART}	来自电池的最低输入电压，用于启动泵	1.1	—	—	V	根据注解 15 配置。
$\Delta V_{\text{PUMP_Line}}$	线路调节（在 V_{BAT} 范围内）	—	5	—	% V_O	根据注解 15 配置。 V_O 是 DC POR 和 LVD 规范中通过 VM[2:0] 设置指定的“泵激发的 V_{DD} 值”第 33 页上的表 25。
$\Delta V_{\text{PUMP_Load}}$	负载调节	—	5	—	% V_O	根据注解 15 配置。 V_O 是 DC POR 和 LVD 规范中通过 VM[2:0] 设置指定的“泵激发的 V_{DD} 值”第 33 页上的表 25。
$\Delta V_{\text{PUMP_Ripple}}$	输出电压纹波（取决于电容 / 负载）	—	100	—	mVpp	根据注解 15 配置。负载为 5 mA。
E_3	效率	35	50	—	%	根据注解 15 配置。负载为 5 mA。将 SMP 激发电压设置为 3.25 V。
F_{PUMP}	开关频率	—	1.3	—	MHz	
DC_{PUMP}	开关占空比	—	50	—	%	

图 12. 基本开关电压泵电路



注释：

15. $L_1 = 2\text{ mH}$ 电感， $C_1 = 10\text{ mF}$ 电容， $D_1 =$ 肖特基二极管。请参考图 12。

直流模拟参考规范

下表分别列出了以下电压和温度范围内许可的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

许可的规范是通过模拟连续时间 PSoC 模块测得的。AGND 的功耗水平指模拟连续时间 PSoC 模块的功耗。RefHi 和 RefLo 的功耗水平指模拟参考控制寄存器的功耗。所注明的 AGND 限制包括模拟连续时间 PSoC 模块与本地 AGND 缓冲区的偏移误差。参考控制功耗为高。

注释：当使用由模拟参考决定的模拟源时，避免使用 P2[4] 数字信号。数字信号的某些耦合可能出现在 AGND 上。

表 22. 5 V 直流模拟参考规范

参考电压 ARF_CR [5:3]	参考功耗设置	符号	参考电压	说明	最小值	典型值	最大值	单位
0b000	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	$V_{DD}/2 + \text{带隙}$	$V_{DD}/2 + 1.228$	$V_{DD}/2 + 1.290$	$V_{DD}/2 + 1.352$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.078$	$V_{DD}/2 - 0.007$	$V_{DD}/2 + 0.063$	V
		VREFLO	参考电压为低	$V_{DD}/2 - \text{带隙}$	$V_{DD}/2 - 1.336$	$V_{DD}/2 - 1.295$	$V_{DD}/2 - 1.250$	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	$V_{DD}/2 + \text{带隙}$	$V_{DD}/2 + 1.224$	$V_{DD}/2 + 1.293$	$V_{DD}/2 + 1.356$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.056$	$V_{DD}/2 - 0.005$	$V_{DD}/2 + 0.043$	V
		VREFLO	参考电压为低	$V_{DD}/2 - \text{带隙}$	$V_{DD}/2 - 1.338$	$V_{DD}/2 - 1.298$	$V_{DD}/2 - 1.255$	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	$V_{DD}/2 + \text{带隙}$	$V_{DD}/2 + 1.226$	$V_{DD}/2 + 1.293$	$V_{DD}/2 + 1.356$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.057$	$V_{DD}/2 - 0.006$	$V_{DD}/2 + 0.044$	V
		VREFLO	参考电压为低	$V_{DD}/2 - \text{带隙}$	$V_{DD}/2 - 1.337$	$V_{DD}/2 - 1.298$	$V_{DD}/2 - 1.256$	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	$V_{DD}/2 + \text{带隙}$	$V_{DD}/2 + 1.226$	$V_{DD}/2 + 1.294$	$V_{DD}/2 + 1.359$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.047$	$V_{DD}/2 - 0.004$	$V_{DD}/2 + 0.035$	V
		VREFLO	参考电压为低	$V_{DD}/2 - \text{带隙}$	$V_{DD}/2 - 1.338$	$V_{DD}/2 - 1.299$	$V_{DD}/2 - 1.258$	V

注释：

16. AGND 容差包括 PSoC 模块本地缓冲器的偏移。

表 22. 5 V 直流模拟参考规范 (续)

参考电压 ARF_CR [5:3]	参考功耗设置	符号	参考电压	说明	最小值	典型值	最大值	单位
0b001	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 1.3 \text{ V}$)	$P2[4] + P2[6] - 0.085$	$P2[4] + P2[6] - 0.016$	$P2[4] + P2[6] + 0.044$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	—
		VREFLO	参考电压为低	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 1.3 \text{ V}$)	$P2[4] - P2[6] - 0.022$	$P2[4] - P2[6] + 0.010$	$P2[4] - P2[6] + 0.055$	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 1.3 \text{ V}$)	$P2[4] + P2[6] - 0.077$	$P2[4] + P2[6] - 0.010$	$P2[4] + P2[6] + 0.051$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	—
		VREFLO	参考电压为低	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 1.3 \text{ V}$)	$P2[4] - P2[6] - 0.022$	$P2[4] - P2[6] + 0.005$	$P2[4] - P2[6] + 0.039$	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 1.3 \text{ V}$)	$P2[4] + P2[6] - 0.070$	$P2[4] + P2[6] - 0.010$	$P2[4] + P2[6] + 0.050$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	—
		VREFLO	参考电压为低	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 1.3 \text{ V}$)	$P2[4] - P2[6] - 0.022$	$P2[4] - P2[6] + 0.005$	$P2[4] - P2[6] + 0.039$	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	$P2[4] + P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 1.3 \text{ V}$)	$P2[4] + P2[6] - 0.070$	$P2[4] + P2[6] - 0.007$	$P2[4] + P2[6] + 0.054$	V
		VAGND	AGND	$P2[4]$	$P2[4]$	$P2[4]$	$P2[4]$	—
		VREFLO	参考电压为低	$P2[4] - P2[6]$ ($P2[4] = V_{DD}/2$, $P2[6] = 1.3 \text{ V}$)	$P2[4] - P2[6] - 0.022$	$P2[4] - P2[6] + 0.002$	$P2[4] - P2[6] + 0.032$	V
0b010	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	V_{DD}	$V_{DD} - 0.037$	$V_{DD} - 0.009$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.061$	$V_{DD}/2 - 0.006$	$V_{DD}/2 + 0.047$	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.007$	$V_{SS} + 0.028$	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	V_{DD}	$V_{DD} - 0.039$	$V_{DD} - 0.006$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.049$	$V_{DD}/2 - 0.005$	$V_{DD}/2 + 0.036$	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.005$	$V_{SS} + 0.019$	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	V_{DD}	$V_{DD} - 0.037$	$V_{DD} - 0.007$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.054$	$V_{DD}/2 - 0.005$	$V_{DD}/2 + 0.041$	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.006$	$V_{SS} + 0.024$	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	V_{DD}	$V_{DD} - 0.042$	$V_{DD} - 0.005$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.046$	$V_{DD}/2 - 0.004$	$V_{DD}/2 + 0.034$	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.004$	$V_{SS} + 0.017$	V

表 22. 5 V 直流模拟参考规范 (续)

参考电压 ARF_CR [5:3]	参考功耗设置	符号	参考电压	说明	最小值	典型值	最大值	单位
0b011	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	3 × 带隙	3.788	3.891	3.986	V
		VAGND	AGND	2 × 带隙	2.500	2.604	3.699	V
		VREFLO	参考电压为低	带隙	1.257	1.306	1.359	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	3 × 带隙	3.792	3.893	3.982	V
		VAGND	AGND	2 × 带隙	2.518	2.602	2.692	V
		VREFLO	参考电压为低	带隙	1.256	1.302	1.354	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	3 × 带隙	3.795	3.894	3.993	V
		VAGND	AGND	2 × 带隙	2.516	2.603	2.698	V
		VREFLO	参考电压为低	带隙	1.256	1.303	1.353	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	3 × 带隙	3.792	3.895	3.986	V
		VAGND	AGND	2 × 带隙	2.522	2.602	2.685	V
		VREFLO	参考电压为低	带隙	1.255	1.301	1.350	V
0b100	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	2 × 带隙 + P2[6] (P2[6] = 1.3 V)	2.495 – P2[6]	2.586 – P2[6]	2.657 – P2[6]	V
		VAGND	AGND	2 × 带隙	2.502	2.604	2.719	V
		VREFLO	参考电压为低	2 × 带隙 – P2[6] (P2[6] = 1.3 V)	2.531 – P2[6]	2.611 – P2[6]	2.681 – P2[6]	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	2 × 带隙 + P2[6] (P2[6] = 1.3 V)	2.500 – P2[6]	2.591 – P2[6]	2.662 – P2[6]	V
		VAGND	AGND	2 × 带隙	2.519	2.602	2.693	V
		VREFLO	参考电压为低	2 × 带隙 – P2[6] (P2[6] = 1.3 V)	2.530 – P2[6]	2.605 – P2[6]	2.666 – P2[6]	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	2 × 带隙 + P2[6] (P2[6] = 1.3 V)	2.503 – P2[6]	2.592 – P2[6]	2.662 – P2[6]	V
		VAGND	AGND	2 × 带隙	2.517	2.603	2.698	V
		VREFLO	参考电压为低	2 × 带隙 – P2[6] (P2[6] = 1.3 V)	2.529 – P2[6]	2.606 – P2[6]	2.665 – P2[6]	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	2 × 带隙 + P2[6] (P2[6] = 1.3 V)	2.505 – P2[6]	2.594 – P2[6]	2.665 – P2[6]	V
		VAGND	AGND	2 × 带隙	2.525	2.602	2.685	V
		VREFLO	参考电压为低	2 × 带隙 – P2[6] (P2[6] = 1.3 V)	2.528 – P2[6]	2.603 – P2[6]	2.661 – P2[6]	V

表 22. 5 V 直流模拟参考规范 (续)

参考电压 ARF_CR [5:3]	参考功耗设置	符号	参考电压	说明	最小值	典型值	最大值	单位
0b101	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	P2[4] + 带隙 (P2[4] = $V_{DD}/2$)	P2[4] + 1.222	P2[4] + 1.290	P2[4] + 1.343	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	—
		VREFLO	参考电压为低	P2[4] - 带隙 (P2[4] = $V_{DD}/2$)	P2[4] - 1.331	P2[4] - 1.295	P2[4] - 1.254	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	P2[4] + 带隙 (P2[4] = $V_{DD}/2$)	P2[4] + 1.226	P2[4] + 1.293	P2[4] + 1.347	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	—
		VREFLO	参考电压为低	P2[4] - 带隙 (P2[4] = $V_{DD}/2$)	P2[4] - 1.331	P2[4] - 1.298	P2[4] - 1.259	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	P2[4] + 带隙 (P2[4] = $V_{DD}/2$)	P2[4] + 1.227	P2[4] + 1.294	P2[4] + 1.347	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	—
		VREFLO	参考电压为低	P2[4] - 带隙 (P2[4] = $V_{DD}/2$)	P2[4] - 1.331	P2[4] - 1.298	P2[4] - 1.259	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	P2[4] + 带隙 (P2[4] = $V_{DD}/2$)	P2[4] + 1.228	P2[4] + 1.295	P2[4] + 1.349	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	—
		VREFLO	参考电压为低	P2[4] - 带隙 (P2[4] = $V_{DD}/2$)	P2[4] - 1.332	P2[4] - 1.299	P2[4] - 1.260	V
0b110	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	2 × 带隙	2.535	2.598	2.644	V
		VAGND	AGND	带隙	1.227	1.305	1.398	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.009$	$V_{SS} + 0.038$	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	2 × 带隙	2.530	2.598	2.643	V
		VAGND	AGND	带隙	1.244	1.303	1.370	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.005$	$V_{SS} + 0.024$	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	2 × 带隙	2.532	2.598	2.644	V
		VAGND	AGND	带隙	1.239	1.304	1.380	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.006$	$V_{SS} + 0.026$	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	2 × 带隙	2.528	2.598	2.645	V
		VAGND	AGND	带隙	1.249	1.302	1.362	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.004$	$V_{SS} + 0.018$	V
0b111	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	3.2 × 带隙	4.041	4.155	4.234	V
		VAGND	AGND	1.6 × 带隙	1.998	2.083	2.183	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.010$	$V_{SS} + 0.038$	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	3.2 × 带隙	4.047	4.153	4.236	V
		VAGND	AGND	1.6 × 带隙	2.012	2.082	2.157	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.006$	$V_{SS} + 0.024$	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	3.2 × 带隙	4.049	4.154	4.238	V
		VAGND	AGND	1.6 × 带隙	2.008	2.083	2.165	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.006$	$V_{SS} + 0.026$	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	3.2 × 带隙	4.047	4.154	4.238	V
		VAGND	AGND	1.6 × 带隙	2.016	2.081	2.150	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.004$	$V_{SS} + 0.018$	V

表 23. 3.3 V 直流模拟参考规范

参考电压 ARF_CR [5:3]	参考功耗设置	符号	参考电压	说明	最小值	典型值	最大值	单位
0b000	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	$V_{DD}/2$ + 带隙	$V_{DD}/2 + 1.225$	$V_{DD}/2 + 1.292$	$V_{DD}/2 + 1.361$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.067$	$V_{DD}/2 - 0.002$	$V_{DD}/2 + 0.063$	V
		VREFLO	参考电压为低	$V_{DD}/2$ - 带隙	$V_{DD}/2 - 1.35$	$V_{DD}/2 - 1.293$	$V_{DD}/2 - 1.210$	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	$V_{DD}/2$ + 带隙	$V_{DD}/2 + 1.218$	$V_{DD}/2 + 1.294$	$V_{DD}/2 + 1.370$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.038$	$V_{DD}/2 - 0.001$	$V_{DD}/2 + 0.035$	V
		VREFLO	参考电压为低	$V_{DD}/2$ - 带隙	$V_{DD}/2 - 1.329$	$V_{DD}/2 - 1.296$	$V_{DD}/2 - 1.259$	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	$V_{DD}/2$ + 带隙	$V_{DD}/2 + 1.221$	$V_{DD}/2 + 1.294$	$V_{DD}/2 + 1.366$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.050$	$V_{DD}/2 - 0.002$	$V_{DD}/2 + 0.046$	V
		VREFLO	参考电压为低	$V_{DD}/2$ - 带隙	$V_{DD}/2 - 1.331$	$V_{DD}/2 - 1.296$	$V_{DD}/2 - 1.260$	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	$V_{DD}/2$ + 带隙	$V_{DD}/2 + 1.226$	$V_{DD}/2 + 1.295$	$V_{DD}/2 + 1.365$	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.028$	$V_{DD}/2 - 0.001$	$V_{DD}/2 + 0.025$	V
		VREFLO	参考电压为低	$V_{DD}/2$ - 带隙	$V_{DD}/2 - 1.329$	$V_{DD}/2 - 1.297$	$V_{DD}/2 - 1.262$	V
0b001	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	P2[4]+P2[6] (P2[4] = $V_{DD}/2$, P2[6] = 0.5 V)	P2[4] + P2[6] - 0.098	P2[4] + P2[6] - 0.018	P2[4] + P2[6] + 0.055	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		VREFLO	参考电压为低	P2[4] - P2[6] (P2[4] = $V_{DD}/2$, P2[6] = 0.5 V)	P2[4] - P2[6] - 0.055	P2[4] - P2[6] + 0.013	P2[4] - P2[6] + 0.086	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	P2[4] + P2[6] (P2[4] = $V_{DD}/2$, P2[6] = 0.5 V)	P2[4] + P2[6] - 0.082	P2[4] + P2[6] - 0.011	P2[4] + P2[6] + 0.050	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		VREFLO	参考电压为低	P2[4] - P2[6] (P2[4] = $V_{DD}/2$, P2[6] = 0.5 V)	P2[4] - P2[6] - 0.037	P2[4] - P2[6] + 0.006	P2[4] - P2[6] + 0.054	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	P2[4] + P2[6] (P2[4] = $V_{DD}/2$, P2[6] = 0.5 V)	P2[4] + P2[6] - 0.079	P2[4] + P2[6] - 0.012	P2[4] + P2[6] + 0.047	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		VREFLO	参考电压为低	P2[4] - P2[6] (P2[4] = $V_{DD}/2$, P2[6] = 0.5 V)	P2[4] - P2[6] - 0.038	P2[4] - P2[6] + 0.006	P2[4] - P2[6] + 0.057	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	P2[4]+P2[6] (P2[4] = $V_{DD}/2$, P2[6] = 0.5 V)	P2[4] + P2[6] - 0.080	P2[4] + P2[6] - 0.008	P2[4] + P2[6] + 0.055	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	-
		VREFLO	参考电压为低	P2[4]-P2[6] (P2[4] = $V_{DD}/2$, P2[6] = 0.5 V)	P2[4] - P2[6] - 0.032	P2[4] - P2[6] + 0.003	P2[4] - P2[6] + 0.042	V

表 23. 3.3 V 直流模拟参考规范

参考电压 ARF_CR [5:3]	参考功耗设置	符号	参考电压	说明	最小值	典型值	最大值	单位
0b010	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	V_{DD}	$V_{DD} - 0.06$	$V_{DD} - 0.010$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.05$	$V_{DD}/2 - 0.002$	$V_{DD}/2 + 0.040$	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.009$	$V_{SS} + 0.056$	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	V_{DD}	$V_{DD} - 0.060$	$V_{DD} - 0.006$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.028$	$V_{DD}/2 - 0.001$	$V_{DD}/2 + 0.025$	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.005$	$V_{SS} + 0.034$	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	V_{DD}	$V_{DD} - 0.058$	$V_{DD} - 0.008$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.037$	$V_{DD}/2 - 0.002$	$V_{DD}/2 + 0.033$	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.007$	$V_{SS} + 0.046$	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	V_{DD}	$V_{DD} - 0.057$	$V_{DD} - 0.006$	V_{DD}	V
		VAGND	AGND	$V_{DD}/2$	$V_{DD}/2 - 0.025$	$V_{DD}/2 - 0.001$	$V_{DD}/2 + 0.022$	V
		VREFLO	参考电压为低	V_{SS}	V_{SS}	$V_{SS} + 0.004$	$V_{SS} + 0.030$	V
0b011	所有功耗设置。 不适用于 3.3 V 的电 压	—	—	—	—	—	—	—
0b100	所有功耗设置。 不适用于 3.3 V 的电 压	—	—	—	—	—	—	—
0b101	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	P2[4] + 带隙 ($P2[4] = V_{DD}/2$)	$P2[4] + 1.213$	$P2[4] + 1.291$	$P2[4] + 1.367$	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	V
		VREFLO	参考电压为低	P2[4] - 带隙 ($P2[4] = V_{DD}/2$)	$P2[4] - 1.333$	$P2[4] - 1.294$	$P2[4] - 1.208$	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	P2[4] + 带隙 ($P2[4] = V_{DD}/2$)	$P2[4] + 1.217$	$P2[4] + 1.294$	$P2[4] + 1.368$	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	V
		VREFLO	参考电压为低	P2[4] - 带隙 ($P2[4] = V_{DD}/2$)	$P2[4] - 1.320$	$P2[4] - 1.296$	$P2[4] - 1.261$	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	P2[4] + 带隙 ($P2[4] = V_{DD}/2$)	$P2[4] + 1.217$	$P2[4] + 1.294$	$P2[4] + 1.369$	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	V
		VREFLO	参考电压为低	P2[4] - 带隙 ($P2[4] = V_{DD}/2$)	$P2[4] - 1.322$	$P2[4] - 1.297$	$P2[4] - 1.262$	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	P2[4] + 带隙 ($P2[4] = V_{DD}/2$)	$P2[4] + 1.219$	$P2[4] + 1.295$	$P2[4] + 1.37$	V
		VAGND	AGND	P2[4]	P2[4]	P2[4]	P2[4]	V
		VREFLO	参考电压为低	P2[4] - 带隙 ($P2[4] = V_{DD}/2$)	$P2[4] - 1.324$	$P2[4] - 1.297$	$P2[4] - 1.262$	V

表 23. 3.3 V 直流模拟参考规范

参考电压 ARF_CR [5:3]	参考功耗设置	符号	参考电压	说明	最小值	典型值	最大值	单位
0b110	参考电压 = 高 运算放大器偏压 = 高	VREFHI	参考电压为高	2 × 带隙	2.507	2.598	2.698	V
		VAGND	AGND	带隙	1.203	1.307	1.424	V
		VREFLO	参考电压为低	Vss	Vss	Vss + 0.012	Vss + 0.067	V
	参考电压 = 高 运算放大器偏压 = 低	VREFHI	参考电压为高	2 × 带隙	2.516	2.598	2.683	V
		VAGND	AGND	带隙	1.241	1.303	1.376	V
		VREFLO	参考电压为低	Vss	Vss	Vss + 0.007	Vss + 0.040	V
	参考电压 = 中 运算放大器偏压 = 高	VREFHI	参考电压为高	2 × 带隙	2.510	2.599	2.693	V
		VAGND	AGND	带隙	1.240	1.305	1.374	V
		VREFLO	参考电压为低	Vss	Vss	Vss + 0.008	Vss + 0.048	V
	参考电压 = 中 运算放大器偏压 = 低	VREFHI	参考电压为高	2 × 带隙	2.515	2.598	2.683	V
		VAGND	AGND	带隙	1.258	1.302	1.355	V
		VREFLO	参考电压为低	Vss	Vss	Vss + 0.005	Vss + 0.03	V
0b111	所有功耗设置。 不适用于 3.3 V 的电压	—	—	—	—	—	—	—

PSoC 模拟模块直流规范

表 24 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

表 24. 直流模拟 PSoC 模块规范

符号	说明	最小值	典型值	最大值	单位
R _{CT}	电阻值（连续时间）	—	12.2	—	kΩ
C _{SC}	电容元件值（开关电容）	—	80	—	fF

POR 和 LVD 的直流规范

表 25 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

注释：下表中的 PORLEV 和 VM 位数是指 VLT_CR 寄存器中的位数。有关 VLT_CR 寄存器的详细信息，请参见 PSoC 可编程片上系统技术参考手册。

表 25. 直流 POR 和 LVD 规范

符号	说明	最小值	典型值	最大值	单位	注释
V_{PPOR0R} V_{PPOR1R} V_{PPOR2R}	PPOR 被激发时的 V_{DD} 值（上升供电） PORLEV[1:0] = 00b PORLEV[1:0] = 01b PORLEV[1:0] = 10b	— — —	2.91 4.39 4.55	— — —	V V V	在启动期间，或者从 XRES 引脚或看门狗复位期间， V_{DD} 电压必须大于或等于 2.5 V。
V_{PPOR0} V_{PPOR1} V_{PPOR2}	PPOR 被激发时的 V_{DD} 值（下降供电） PORLEV[1:0] = 00b PORLEV[1:0] = 01b PORLEV[1:0] = 10b	— — —	2.82 4.39 4.55	— — —	V V V	
V_{PH0} V_{PH1} V_{PH2}	PPOR 迟滞 PORLEV[1:0] = 00b PORLEV[1:0] = 01b PORLEV[1:0] = 10b	— — —	92 0 0	— — —	mV mV mV	
V_{LVD0} V_{LVD1} V_{LVD2} V_{LVD3} V_{LVD4} V_{LVD5} V_{LVD6} V_{LVD7}	激发 LVD 的 V_{DD} 值 VM[2:0] = 000b VM[2:0] = 001b VM[2:0] = 010b VM[2:0] = 011b VM[2:0] = 100b VM[2:0] = 101b VM[2:0] = 110b VM[2:0] = 111b	2.86 2.96 3.07 3.92 4.39 4.55 4.63 4.72	2.92 3.02 3.13 4.00 4.48 4.64 4.73 4.81	2.98 ^[17] 3.08 3.20 4.08 4.57 4.74 ^[18] 4.82 4.91	V V V V V V V V	
V_{PUMP0} V_{PUMP1} V_{PUMP2} V_{PUMP3} V_{PUMP4} V_{PUMP5} V_{PUMP6} V_{PUMP7}	PUMP 被激发时的 V_{DD} 值 VM[2:0] = 000b VM[2:0] = 001b VM[2:0] = 010b VM[2:0] = 011b VM[2:0] = 100b VM[2:0] = 101b VM[2:0] = 110b VM[2:0] = 111b	2.96 3.03 3.18 4.11 4.55 4.63 4.72 4.90	3.02 3.10 3.25 4.19 4.64 4.73 4.82 5.00	3.08 3.16 3.32 4.28 4.74 4.82 4.91 5.10	V V V V V V V V	

注释：

17. 对于下降供电，始终比 PPOR（PORLEV = 00）高 50 mV。

18. 对于下降供电，始终比 PPOR（PORLEV = 10）高 50 mV。

直流编程规范

表 26 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导使用。

表 26. 直流编程规范

符号	说明	最小值	典型值	最大值	单位	注释
V_{DDP}	用于编程和擦除的 V_{DD}	4.5	5	5.5	V	本规范适用于外部编程工具的功能要求。
$V_{DDL\text{V}}$	用于验证的低电平 V_{DD}	3	3.1	3.2	V	本规范适用于外部编程工具的功能要求。
$V_{DDH\text{V}}$	用于验证的高电平 V_{DD}	5.1	5.2	5.3	V	本规范适用于外部编程工具的功能要求。
$V_{DDI\text{WRITE}}$	闪存写入操作的供电电压	3		5.25	V	执行内部闪存写入时，本规范适用于此器件。
I_{DDP}	编程或验证期间使用的供电电流	—	5	25	mA	
$V_{I\text{LP}}$	编程或验证期间的输入低电压	—	—	0.8	V	
$V_{I\text{HP}}$	编程或验证期间的输入高电压	2.2	—	—	V	
$I_{I\text{LP}}$	编程或验证期间为 P1[0] 或 P1[1] 施加 $V_{I\text{LP}}$ 电压时的输入电流	—	—	0.2	mA	驱动内部下拉电阻。
$I_{I\text{HP}}$	编程或验证期间为 P1[0] 或 P1[1] 施加 $V_{I\text{HP}}$ 电压时的输入电流	—	—	1.5	mA	驱动内部下拉电阻。
$V_{O\text{LV}}$	编程或验证期间的输出低电压	—	—	$V_{SS} + 0.75$	V	
$V_{O\text{HV}}$	编程或验证期间的输出高电压	$V_{DD} - 1.0$	—	V_{DD}	V	
Flash _{ENPB}	闪存耐久性（每一模块）	50,000 ^[19]	—	—	周期	每个模块的擦除/写循环次数。
Flash _{ENT}	闪存耐久性（总计） ^[20]	1,800,000	—	—	周期	擦除 / 写入次数。
Flash _{DR}	闪存数据保持时间	10	—	—	年	

I²C 直流规范

下表分别列出了以下电压和温度范围内许可的最大和最小规格：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导使用。

表 27. I²C 直流规范

参数	说明	最小值	典型值	最大值	单位	注释
$V_{I\text{LI}2\text{C}}^{[21]}$	输入低电压	—	—	$0.3 \times V_{DD}$	V	$3.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$
		—	—	$0.25 \times V_{DD}$	V	$4.75\text{ V} \leq V_{DD} \leq 5.25\text{ V}$
$V_{I\text{HI}2\text{C}}^{[21]}$	输入高电压	$0.7 \times V_{DD}$	—	—	V	$3.0\text{ V} \leq V_{DD} \leq 5.25\text{ V}$

注释：

19. 仅当闪存存在一个电压范围内工作时，才能保证每个模块均有 50,000 次擦 / 写循环的闪存耐久性。电压范围为 3.0 V 至 3.6 V 和 4.75 V 至 5.25 V。
20. 允许的最高模块耐久性擦 / 写循环为 $36 \times 50,000$ 次。可以选用下面的模块组织方式的其中一个： 36×1 模块，每个模块最多有 50,000 次擦 / 写循环； 36×2 模块，每个模块最多有 25,000 次擦 / 写循环； 36×4 模块，每个模块最多有 12,500 次擦 / 写循环。（这样，可将总擦 / 写周期数限制为 $36 \times 50,000$ 次，从而单个模块的擦 / 写周期数将不超过 50,000 次）。
- 对于整个工业级范围，您必须利用温度传感器用户模块（FlashTemp），并在写入之前将结果提供给温度参数。
- 更多有关信息，请参考闪存 API 应用笔记 设计辅助 – 读取和写入 PSoC® 闪存 — AN2015。
21. 所有 GPIO 符合 DC GPIO 规范章节中所示的 DC GPIO $V_{I\text{L}}$ 和 $V_{I\text{H}}$ 规范。此外，I²C GPIO 引脚也满足上述的规范。

交流电气特性

交流芯片级规范

下表分别列出了以下电压和温度范围内许可的最大和最小规格：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 $^{\circ}\text{C}$ 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导使用。

表 28. 交流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注释
F _{IMO}	内部主振荡器（IMO）频率	23.4	24	24.6 ^[22]	MHz	已经过调整。使用出厂预设值。
F _{CPU1}	CPU 频率（5 V 额定值）	0.0914	24	24.6 ^[22]	MHz	已经过调整。使用出厂预设值。SLIMO 模式 = 0。
F _{CPU2}	CPU 频率（3.3 V 额定值）	0.0914	12	12.3 ^[23]	MHz	已经过调整。使用出厂预设值。SLIMO 模式 = 0。
F _{48M}	PSoC 数字模块频率	0	48	49.2 ^[22、24]	MHz	请参考第 40 页上的交流数字模块规范。
F _{24M}	PSoC 数字模块频率	0	24	24.6 ^[24]	MHz	
F _{32K1}	内部低速振荡器（ILO）频率	15	32	64	kHz	
F _{32K2}	外部晶体振荡器	—	32.768	—	kHz	精度取决于电容和晶振。50% 占空比。
F _{32K_U}	ILO 的未调整频率	5	—	100	kHz	在复位之后以及 m8c 开始运行之前，未对 ILO 进行调整。请参见 PSoC 技术参考手册的“系统复位”一节，以便了解有关此调整的详细信息。
F _{PLL}	PLL 频率	—	23.986	—	MHz	晶振频率的倍数（x732）。
t _{PLLSLEW}	PLL 锁定时间	0.5	—	10	ms	
t _{PLLSLEWSLOW}	低增益设置的 PLL 锁定时间	0.5	—	50	ms	
t _{OS}	外部晶振从启动到频率达到最终频率的 1% 所用的时间	—	1700	2620	ms	
t _{OSACC}	外部晶振启动频率达到 100 ppm 的时间	—	2800	3800	ms	在 T _{OSACC} 时间段结束前，晶振的频率与其额定频率的偏差小于 100 ppm。实现正确操作的条件是使用具有适当负载且最大驱动能力为 1 μW 的 32.768 kHz 晶振。 3.0 V $\leq V_{DD} \leq 5.5$ V， $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。
t _{XRST}	外部复位脉冲宽度	10	—	—	μs	
DC _{24M}	24 MHz 占空比	40	50	60	%	
DC _{ILO}	ILO 占空比	20	50	80	%	
Step _{24M}	24 MHz 晶振的调整步长大小	—	50	—	kHz	
t _{POWERUP}	从上电复位结束到 CPU 执行代码间的时间	—	16	100	ms	从 0 V 开始加电。请参考 PSoC 技术参考手册的“系统复位”一节。
F _{out48M}	48 MHz 输出频率	46.8	48.0	49.2 ^[22、23]	MHz	已经过调整。使用出厂调整值。
F _{MAX}	行输入或行输出上信号的最大频率。	—	—	12.3	MHz	
SR _{POWER_UP}	电源上升速率	—	—	250	V/ms	加电期间 V _{DD} 的转换速率。

注释：

22. 4.75 V $< V_{DD} < 5.25$ V。

23. 3.0 V $< V_{DD} < 3.6$ V。有关在工作电压为 3.3 V 时进行调整的信息，请参考应用笔记工作电压为 2.7 V 和 3.3 V 时调整 PSoC® — AN2012。

24. 有关用户模块最大频率的信息，请参考独立用户模块数据手册。

表 28. 交流芯片级规范 (续)

符号	说明	最小值	典型值	最大值	单位	注释
tjit_IMO ^[25]	24 MHz IMO 周期期间的抖动 (RMS)	—	200	700	ps	N = 32
	24 MHz IMO 长期N周期期间抖动值 (RMS)	—	300	900		
	24 MHz IMO 期间抖动 (RMS)	—	100	400		
tjit_PLL ^[25]	24 MHz IMO 周期期间抖动值 (RMS)	—	200	800	ps	N = 32
	24 MHz IMO 长期N周期期间抖动值 (RMS)	—	300	1200		
	24 MHz IMO 期间抖动值 (RMS)	—	100	700		

图 13. PLL 锁定时序图

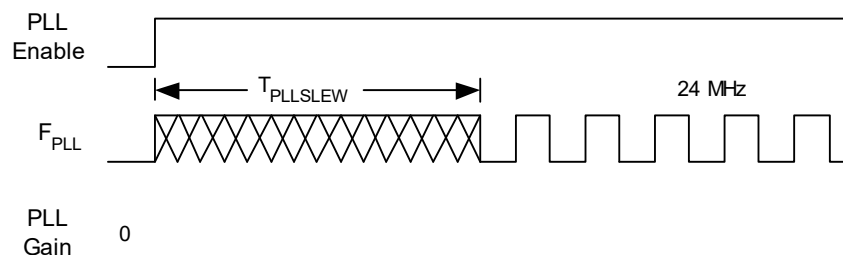


图 14. 低增益设置的 PLL 锁定时序图

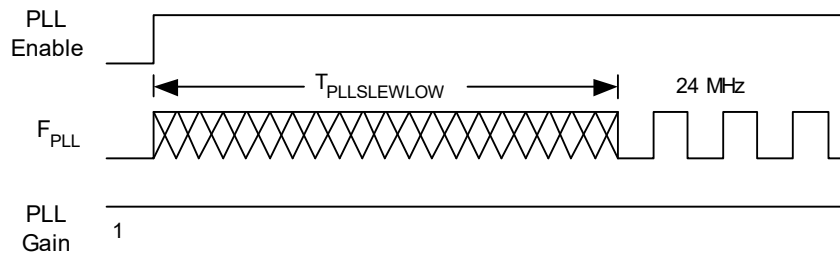
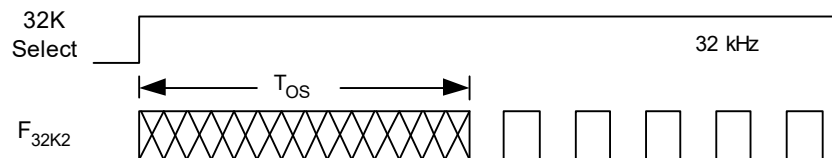


图 15. 外部晶振启动时序图


注释:

 25. 更多有关信息, 请参竞赛普拉斯抖动规范 应用笔记, 了解赛普拉斯时序产品数据手册的抖动规范 — [AN5054](#)。

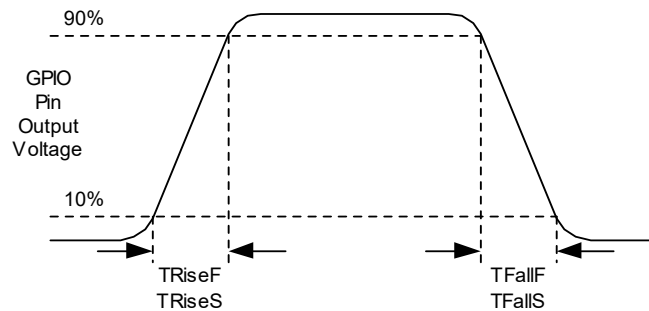
GPIO 交流规范

表 29 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导使用。

表 29. GPIO 交流规范

符号	说明	最小值	典型值	最大值	单位	注释
F_{GPIO}	GPIO 工作频率	0	—	12	MHz	正常强驱动模式
t_{RiseF}	上升时间，正常强驱动模式， $\text{Cload} = 50 \text{ pF}$	3	—	18	ns	$V_{\text{DD}} = 4.5 \text{ V} \sim 5.25 \text{ V}$ ，10% ~ 90%
t_{FallF}	下降时间，正常强驱动模式， $\text{Cload} = 50 \text{ pF}$	2	—	18	ns	$V_{\text{DD}} = 4.5 \text{ V} \sim 5.25 \text{ V}$ ，10% ~ 90%
t_{RiseS}	上升时间，慢速强驱动模式， $\text{Cload} = 50 \text{ pF}$	10	27	—	ns	$V_{\text{DD}} = 3 \text{ V} \sim 5.25 \text{ V}$ ，10% ~ 90%
t_{FallS}	下降时间，慢速强驱动模式， $\text{Cload} = 50 \text{ pF}$	10	22	—	ns	$V_{\text{DD}} = 3 \text{ V}$ 到 5.25 V，10% ~ 90%

图 16. GPIO 时序图



交流运算放大器规范

下表分别列出了以下电压和温度范围内许可的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导使用。

建立时间、斜率和增益带宽均基于模拟连续时间 PSoC 模块。

在 3.3 V 下不支持功耗为高且运算放大器偏压为高的情况。

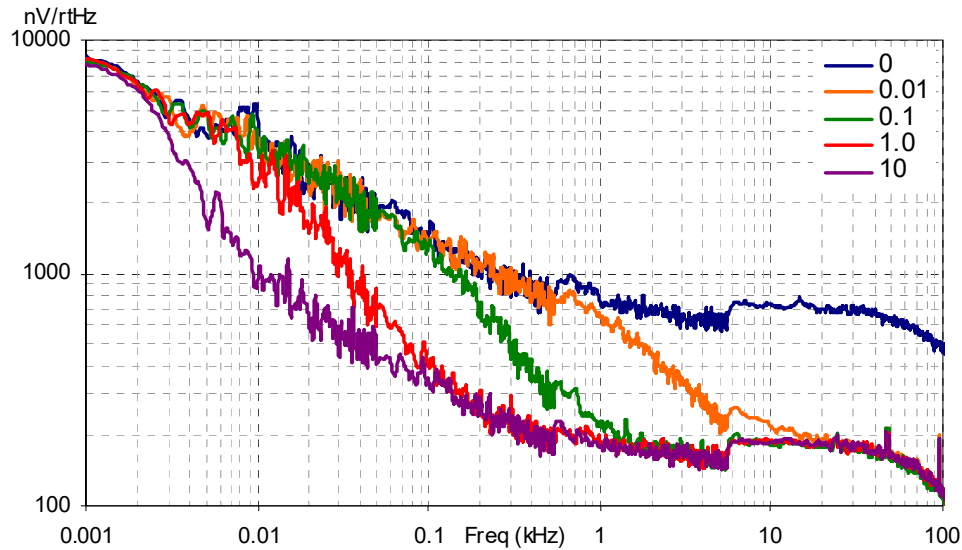
表 30. 5 V 交流运算放大器规范

符号	说明	最小值	典型值	最大值	单位
t_{ROA}	从 ΔV 为 80% 到 ΔV 为 0.1% 的上升建立时间（10 pF 负载，单位增益） 功耗 = 低，运算放大器偏压 = 低 功耗 = 中，运算放大器偏压 = 高 功耗 = 高，运算放大器偏压 = 高	— — —	— — —	3.9 0.72 0.62	μs μs μs
t_{SOA}	从 ΔV 为 20% 到 ΔV 为 0.1% 的下降建立时间（10 pF 负载，单位增益） 功耗 = 低，运算放大器偏压 = 低 功耗 = 中，运算放大器偏压 = 高 功耗 = 高，运算放大器偏压 = 高	— — —	— — —	5.9 0.92 0.72	μs μs μs
SR_{ROA}	上升转换速率（20% - 80%）（10 pF 负载，单位增益） 功耗 = 低，运算放大器偏压 = 低 功耗 = 中，运算放大器偏压 = 高 功耗 = 高，运算放大器偏压 = 高	0.15 1.7 6.5	— — —	— — —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
SR_{FOA}	下降转换速率（20% - 80%）（10 pF 负载，单位增益） 功耗 = 低，运算放大器偏压 = 低 功耗 = 中，运算放大器偏压 = 高 功耗 = 高，运算放大器偏压 = 高	0.01 0.5 4.0	— — —	— — —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
BW_{OA}	增益带宽积 功耗 = 低，运算放大器偏压 = 低 功耗 = 中，运算放大器偏压 = 高 功耗 = 高，运算放大器偏压 = 高	0.75 3.1 5.4	— — —	— — —	MHz MHz MHz
E_{NOA}	在频率为 1 kHz 时的噪声（功耗 = 中，运算放大器偏压 = 高）	—	100	—	nV/rt-Hz

表 31. 3.3 V 交流运算放大器规范

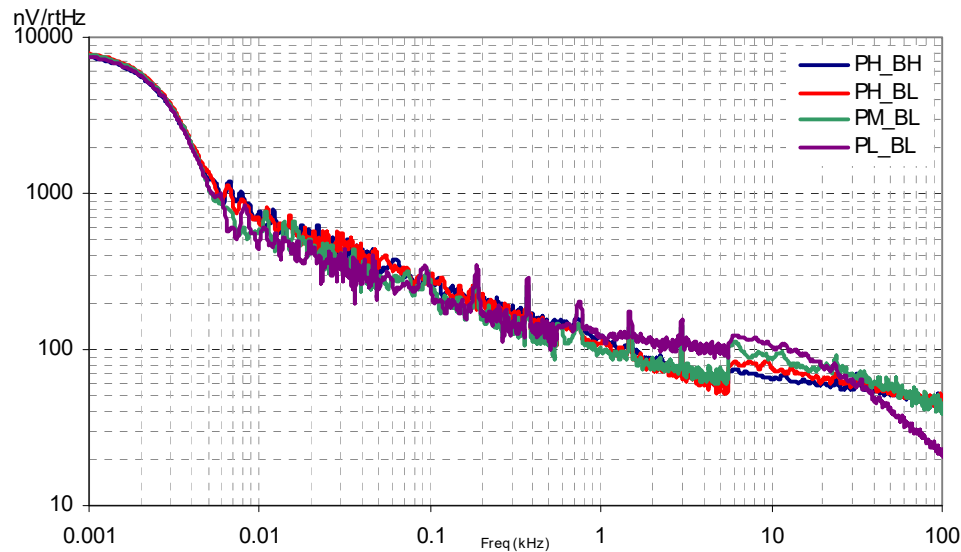
符号	说明	最小值	典型值	最大值	单位
t_{ROA}	从 ΔV 为 80% 到 ΔV 为 0.1% 的上升建立时间 (10 pF 负载, 单位增益) 功耗 = 低, 运算放大器偏压 = 低 功耗 = 低, 运算放大器偏压 = 高	— —	— —	3.92 0.72	μs μs
t_{SOA}	从 ΔV 为 20% 到 ΔV 为 0.1% 的下降建立时间 (10 pF 负载, 单位增益) 功耗 = 低, 运算放大器偏压 = 低 功耗 = 中, 运算放大器偏压 = 高	— —	— —	5.41 0.72	μs μs
SR_{ROA}	上升转换速率 (20% - 80%) (10 pF 负载, 单位增益) 功耗 = 低, 运算放大器偏压 = 低 功耗 = 中, 运算放大器偏压 = 高	0.31 2.7	— —	— —	V/ μs V/ μs
SR_{FOA}	下降转换速率 (20% - 80%) (10 pF 负载, 单位增益) 功耗 = 低, 运算放大器偏压 = 低 功耗 = 中, 运算放大器偏压 = 高	0.24 1.8	— —	— —	V/ μs V/ μs
BW_{OA}	增益带宽积 功耗 = 低, 运算放大器偏压 = 低 功耗 = 中, 运算放大器偏压 = 高	0.67 2.8	— —	— —	MHz MHz
E_{NOA}	在频率为 1 kHz 时的噪声 (功耗 = 中, 运算放大器偏压 = 高)	—	100	—	nV/rt-Hz

P2[4] 上的电容旁路时, 分布到每个模块的模拟接地信号的噪声最多可降至原来的 1/5 (14 dB)。这种情况所采用的频率高于通过片上 8.1 K 电阻和外部电容定义的转折频率。

图 17. 采用 P2[4] 旁路时的典型 AGND 噪声


在较低频率下，运算放大器的噪声与 $1/f$ 成正比，与功率无关，并且取决于器件的形状。在较高频率下，功耗水平越高，噪声谱级会越低。

图 18. 典型的运算放大器噪声



低功耗比较器的交流规范

下表分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 的情况，仅供设计指导使用。

表 32. 交流低功耗比较器规范

符号	说明	最小值	典型值	最大值	单位	注释
t_{RLPC}	LPC 响应时间	—	—	50	μs	$\geq 50 \text{ mV}$ 过驱动比较器参考设置（在 V_{REFLPC} 范围中）。

交流数字模块规范

下表分别列出了以下电压和温度范围内许可的最大和最小规格：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导使用。

表 33. 交流数字模块规范

功能	说明	最小值	典型值	最大值	单位	注释
所有功能	模块输入时钟频率					
	$V_{DD} \geq 4.75\text{ V}$	—	—	49.2	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	24.6	MHz	
定时器 [26, 27]	输入时钟频率					
	无捕获功能, $V_{DD} \geq 4.75\text{ V}$	—	—	49.2	MHz	
	无捕获功能, $V_{DD} < 4.75\text{ V}$	—	—	24.6	MHz	
	具有捕获功能	—	—	24.6	MHz	
	捕获脉冲宽度	50 ^[28]	—	—	ns	
计数器	输入时钟频率					
	无使能输入, $V_{DD} \geq 4.75\text{ V}$	—	—	49.2	MHz	
	无使能输入, $V_{DD} < 4.75\text{ V}$	—	—	24.6	MHz	
	有使能输入	—	—	24.6	MHz	
	使能输入脉冲宽度	50 ^[28]	—	—	ns	
死区	停止脉冲宽度					
	异步重启模式	20	—	—	ns	
	同步重启模式	50 ^[28]	—	—	ns	
	禁用模式	50 ^[28]	—	—	ns	
	输入时钟频率					
	$V_{DD} \geq 4.75\text{ V}$	—	—	49.2	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	24.6	MHz	
CRCPRS (PRS 模式)	输入时钟频率					
	$V_{DD} \geq 4.75\text{ V}$	—	—	49.2	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	24.6	MHz	
CRCPRS (CRC 模式)	输入时钟频率	—	—	24.6	MHz	
SPIM	输入时钟频率	—	—	8.2	MHz	SPI 串行时钟 (SCLK) 频率等于输入时钟二分频时的频率。
SPIS [29]	输入时钟 (SCLK) 频率	—	—	4.1	MHz	在 SPIS 模式下，输入时钟为 SPI SCLK。
	相邻传输之间的 SS_negated 宽度	50 ^[28]	—	—	ns	
发送器	输入时钟频率					
	$V_{DD} \geq 4.75\text{ V}$ ，两个停止位	—	—	49.2	MHz	波特率等于输入时钟被 8 分频后得到的频率。
	$V_{DD} \geq 4.75\text{ V}$ ，一个停止位	—	—	24.6	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	24.6	MHz	
接收器	输入时钟频率					波特率等于输入时钟被 8 分频后得到的频率。
	$V_{DD} \geq 4.75\text{ V}$ ，两个停止位	—	—	49.2	MHz	
	$V_{DD} \geq 4.75\text{ V}$ ，一个停止位	—	—	24.6	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	24.6	MHz	

注释：

26. 勘误表：当工作电压处于 4.75 V 到 5.25 V 的范围内时，行输出信号或广播时钟信号不能提供输入捕获信号。该问题在芯片版本 B 中已得到解决。更多有关信息，请参考第 60 页上的“勘误表”。

27. 勘误表：当工作电压处于 3.0 V 到 4.75 V 的范围内时，只有已重新同步的行输入信号提供输入捕获信号。该问题在芯片版本 B 中解决。更多有关信息，请参考第 60 页上的“勘误表”。

28. 50 ns 的最小输入脉冲宽度基于在 24 MHz（42 ns 标称周期）下运行的输入同步器。

29. 勘误表：在 PSoC 中，当某个 SPI 从设备模块上某个输出被连接到另一个 SPI 从设备模块的输入端时，可正确传输数据，但最后一位会被错误读取。更多有关解决方案的详细信息，请参考第 60 页上的“勘误表”。

交流模拟输出缓冲器规范

下表分别列出了以下电压和温度范围内许可的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况, 并仅供设计指导使用。

表 34. 5 V 交流模拟输出缓冲器规范

符号	说明	最小值	典型值	最大值	单位
t_{ROB}	上升建立时间可达到最终值的 0.1%, 步长为 1 V, 100 pF 负载 功耗 = 低 功耗 = 高	— —	— —	2.5 2.5	μs μs
t_{SOB}	下降建立时间可达到最终值的 0.1%, 步长为 1 V, 100 pF 负载 功耗 = 低 功耗 = 高	— —	— —	2.2 2.2	μs μs
SR_{ROB}	上升转换速率 (20% ~ 80%), 1 V 步长, 100 pF 负载 功耗 = 低 功耗 = 高	0.65 0.65	— —	— —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
SR_{FOB}	下降转换速率 (80% ~ 20%), 1 V 步长, 100 pF 负载 功耗 = 低 功耗 = 高	0.65 0.65	— —	— —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
BW_{OB}	小信号带宽, 20 mV _{pp} , 3 dB BW, 100 pF 负载 功耗 = 低 功耗 = 高	0.8 0.8	— —	— —	MHz MHz
BW_{OB}	大信号带宽, 1 V _{pp} , 3 dB BW, 100 pF 负载 功耗 = 低 功耗 = 高	300 300	— —	— —	kHz kHz

表 35. 3.3 V 交流模拟输出缓冲器规范

符号	说明	最小值	典型值	最大值	单位
t_{ROB}	上升建立时间可达到最终值的 0.1%, 步长为 1 V, 100 pF 负载 功耗 = 低 功耗 = 高	— —	— —	3.8 3.8	μs μs
t_{SOB}	下降建立时间可达到最终值的 0.1%, 步长为 1 V, 100 pF 负载 功耗 = 低 功耗 = 高	— —	— —	2.6 2.6	μs μs
SR_{ROB}	上升转换速率 (20% ~ 80%), 1 V 步长, 100 pF 负载 功耗 = 低 功耗 = 高	0.5 0.5	— —	— —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
SR_{FOB}	下降转换速率 (80% ~ 20%), 1 V 步长, 100 pF 负载 功耗 = 低 功耗 = 高	0.5 0.5	— —	— —	$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$
BW_{OB}	小信号带宽, 20m V _{pp} , 3 dB BW, 100 pF 负载 功耗 = 低 功耗 = 高	0.7 0.7	— —	— —	MHz MHz
BW_{OB}	大信号带宽, 1 V _{pp} , 3 dB BW, 100 pF 负载 功耗 = 低 功耗 = 高	200 200	— —	— —	kHz kHz

外部时钟的交流规范

下表分别列出了以下电压和温度范围内许可的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导使用。

表 36. 5 V 外部时钟的交流规范

符号	说明	最小值	典型值	最大值	单位
F_{OSCEXT}	频率	0.093	—	24.6	MHz
—	高电平时间	20.6	—	5300	ns
—	低电平时间	20.6	—	—	ns
—	从给 IMO 上电到它能为器件提供时钟源的时间	150	—	—	μs

表 37. 3.3 V 交流外部时钟规范

符号	说明	最小值	典型值	最大值	单位
F_{OSCEXT}	CPU 时钟进行一分频时的频率 ^[30]	0.093	—	12.3	MHz
F_{OSCEXT}	CPU 时钟进行二分频或更高分频时的频率 ^[31]	0.186	—	24.6	MHz
—	CPU 时钟一分频时的高电平时间	41.7	—	5300	ns
—	CPU 时钟一分频时的低电平时间	41.7	—	—	ns
—	从给 IMO 上电到它能为器件提供时钟源的时间	150	—	—	μs

交流编程规范

下表分别列出了以下电压和温度范围内许可的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导使用。

表 38. 交流编程规范

符号	说明	最小值	典型值	最大值	单位	注释
t_{RSCLK}	SCLK 的上升时间	1	—	20	ns	
t_{FSCLK}	SCLK 的下降时间	1	—	20	ns	
t_{SSCLK}	从数据建立到 SCLK 下降沿的时间	40	—	—	ns	
t_{HSCLK}	从 SCLK 下降沿开始的数据保持时间	40	—	—	ns	
F_{SCLK}	SCLK 的频率	0	—	8	MHz	
t_{ERASEB}	闪存擦除时间（模块）	—	30	—	ms	
t_{WRITE}	闪存模块写入时间	—	10	—	ms	
t_{DSCLK}	从 SCLK 下降沿开始的数据输出延迟时间	—	—	45	ns	$V_{\text{DD}} > 3.6$
t_{DSCLK3}	从 SCLK 下降沿开始的数据输出延迟时间	—	—	50	ns	$3.0 \leq V_{\text{DD}} \leq 3.6$
t_{ERASEALL}	闪存擦除时间（批量）	—	95	—	ms	一次性擦除所有模块和保护字段
$t_{\text{PROGRAM HOT}}$	闪存块擦除 + 闪存块写入的时间	—	—	80 ^[32]	ms	$0^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$
$t_{\text{PROGRAM COLD}}$	闪存块擦除 + 闪存块写入的时间	—	—	160 ^[32]	ms	$-40^{\circ}\text{C} \leq T_j \leq 0^{\circ}\text{C}$

注释：

30. 工作电压为 3.3 V 时，CPU 最大频率为 12 MHz。当 CPU 时钟分频器设为 1 时，外部时钟必须符合最大频率和占空比的要求。

31. 如果外部时钟的频率大于 12 MHz，必须将 CPU 时钟分频器设为 2 或更大值。在这种情况下，CPU 时钟分频器可确保满足百分之五十占空比的要求。

32. 对于整个工业级范围，您必须利用温度传感器用户模块（FlashTemp），并在写入之前将结果提供给温度参数。

更多有关信息，请参考闪存 API 应用笔记 [设计辅助 — 读取和写入 PSoC® 闪存 — AN2015](#)。

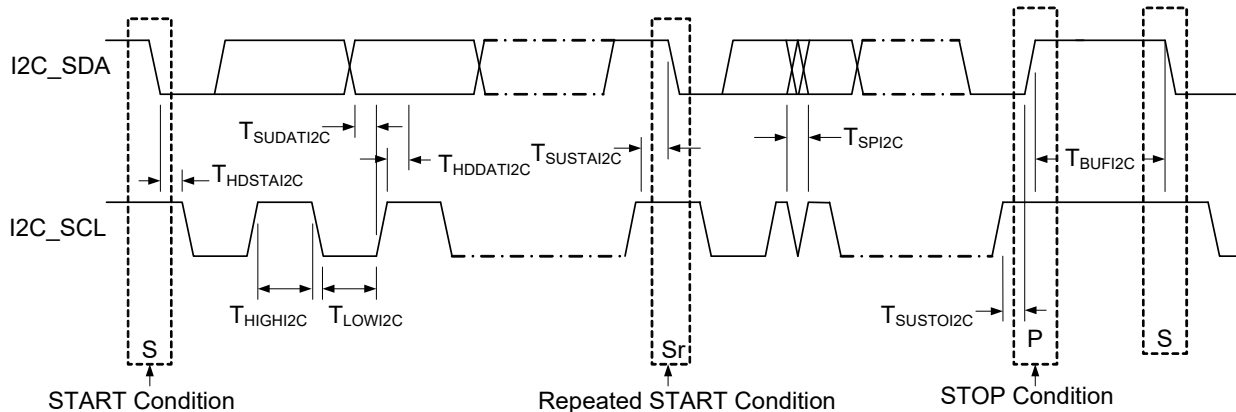
I²C 交流规范

表 39 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，并仅供设计指导使用。

表 39. I²C SDA 和 SCL 引脚的交流特性

符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
$F_{\text{SCL}2\text{C}}$	SCL 时钟频率	0	100	0	400	kHz
$t_{\text{HDSTA}2\text{C}}$	(重复) 启动条件的保持时间。经过这段时间后，会生成第一个时钟脉冲。	4.0	—	0.6	—	μs
$t_{\text{LOW}2\text{C}}$	SCL 时钟的低电平周期	4.7	—	1.3	—	μs
$t_{\text{HIGH}2\text{C}}$	SCL 时钟的高电平周期	4.0	—	0.6	—	μs
$t_{\text{SUSTA}2\text{C}}$	重复启动条件的建立时间	4.7	—	0.6	—	μs
$t_{\text{HDDAT}2\text{C}}$	数据保留时间	0	—	0	—	μs
$t_{\text{SUDAT}2\text{C}}$	数据建立时间	250	—	100 ^[33]	—	ns
$t_{\text{SUSTOI}2\text{C}}$	停止条件的建立时间	4.0	—	0.6	—	μs
$t_{\text{BUFI}2\text{C}}$	开始和停止条件之间的总线空闲时间	4.7	—	1.3	—	μs
$t_{\text{SPI}2\text{C}}$	输入滤波器抑制了尖峰脉冲宽度。	—	—	0	50	ns

图 19. I²C 总线上快速 / 标准模式的时序定义



注释:

33. 快速模式 I²C 总线器件可以用于标准模式 I²C 总线系统，但必须满足 $t_{\text{SU:DAT}} \geq 250 \text{ ns}$ 的要求。如果器件不延长 SCL 信号的低电平周期，这种情况会自动发生。如果此类器件延长 SCL 信号的低电平周期，则它必须在 SCL 线被释放之前将下一个数据位输出到 SDA 线 $t_{\text{max}} + t_{\text{SU:DAT}} = 1000 + 250 = 1250 \text{ ns}$ （根据标准模式 I²C 总线规范）。

封装信息

本节介绍 CY8C27x43 PSoC 器件的封装规范、每种封装的热阻以及晶振引脚上的典型封装电容。

重要说明： 仿真工具在目标 PCB 上可能需要比芯片空间更大的面积。有关仿真工具尺寸的详细说明，请参见 <http://www.cypress.com/design/MR10161> 网站上的仿真器转接板尺寸图。

封装尺寸

图 20. 8 引脚 (300 Mil) PDIP

8 Lead (300 Mil) PDIP

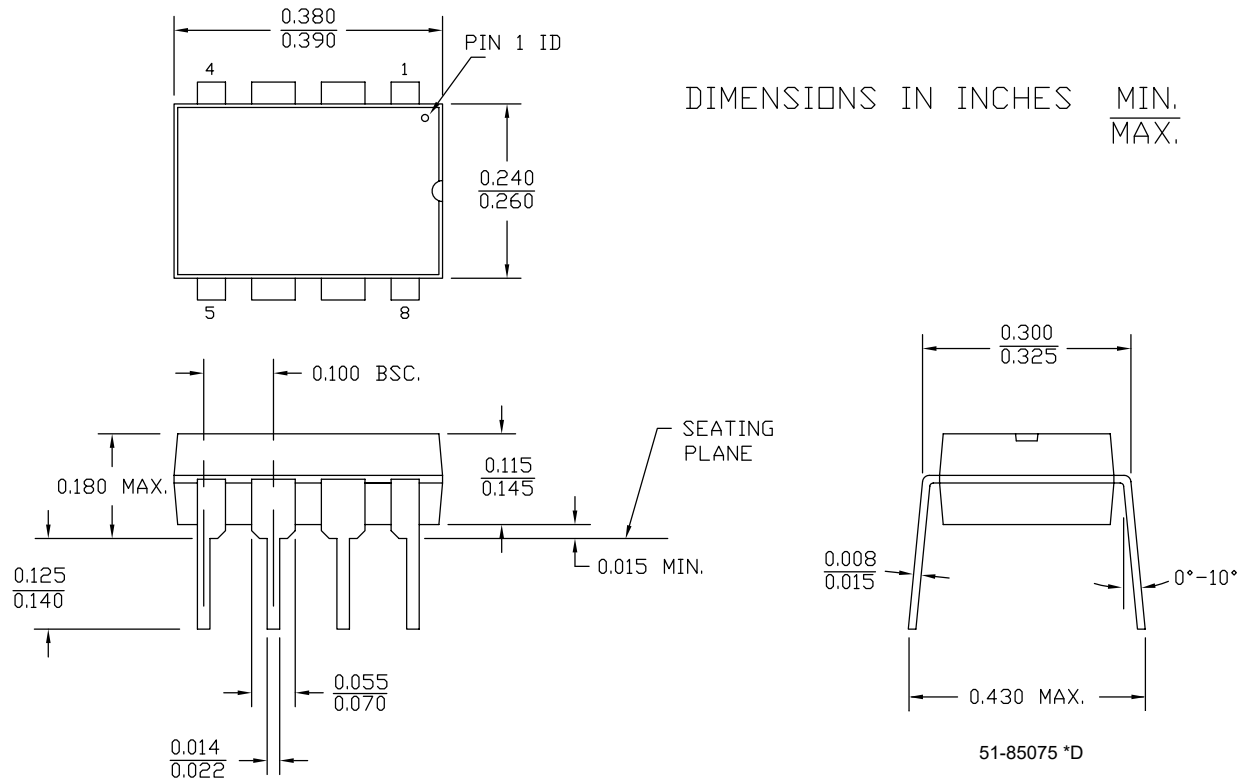


图 21. 20 引脚 (210 Mil) SSOP

20 Lead (5.3mm) SSOP

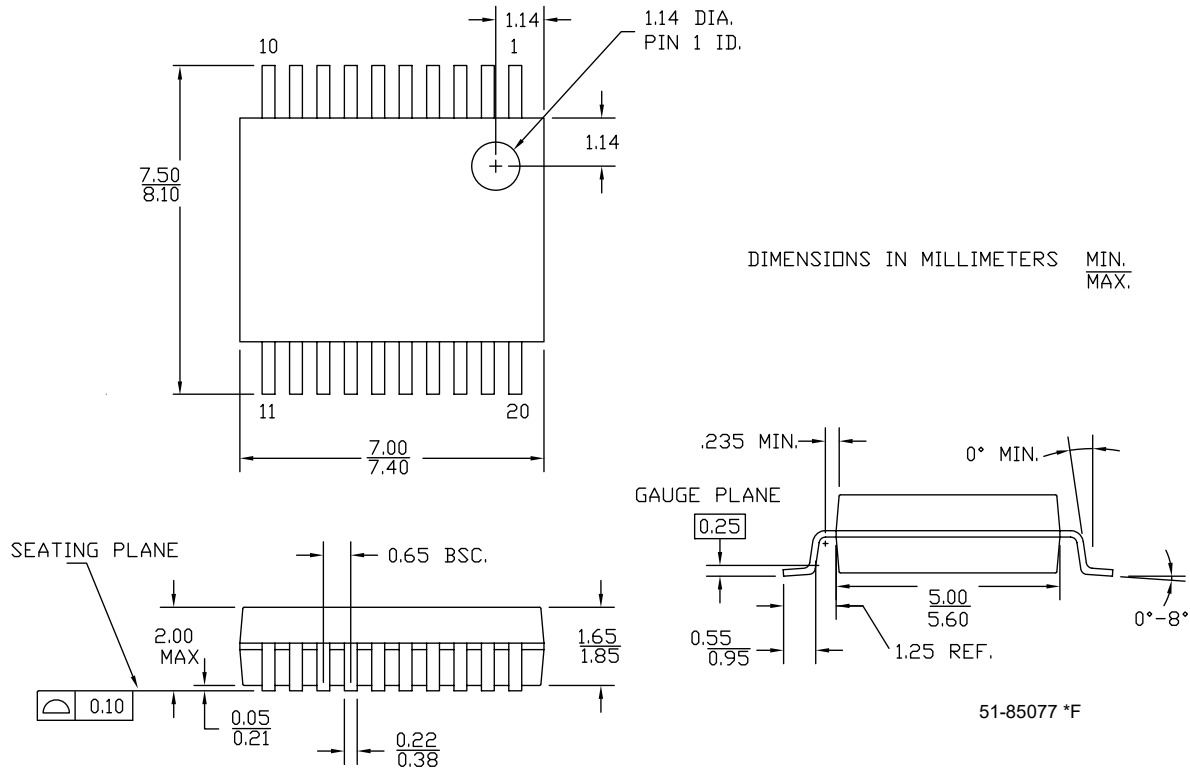


图 22. 20 引脚 SOIC (0.513 × 0.300 × 0.0932 英寸) 封装外形, 51-85024

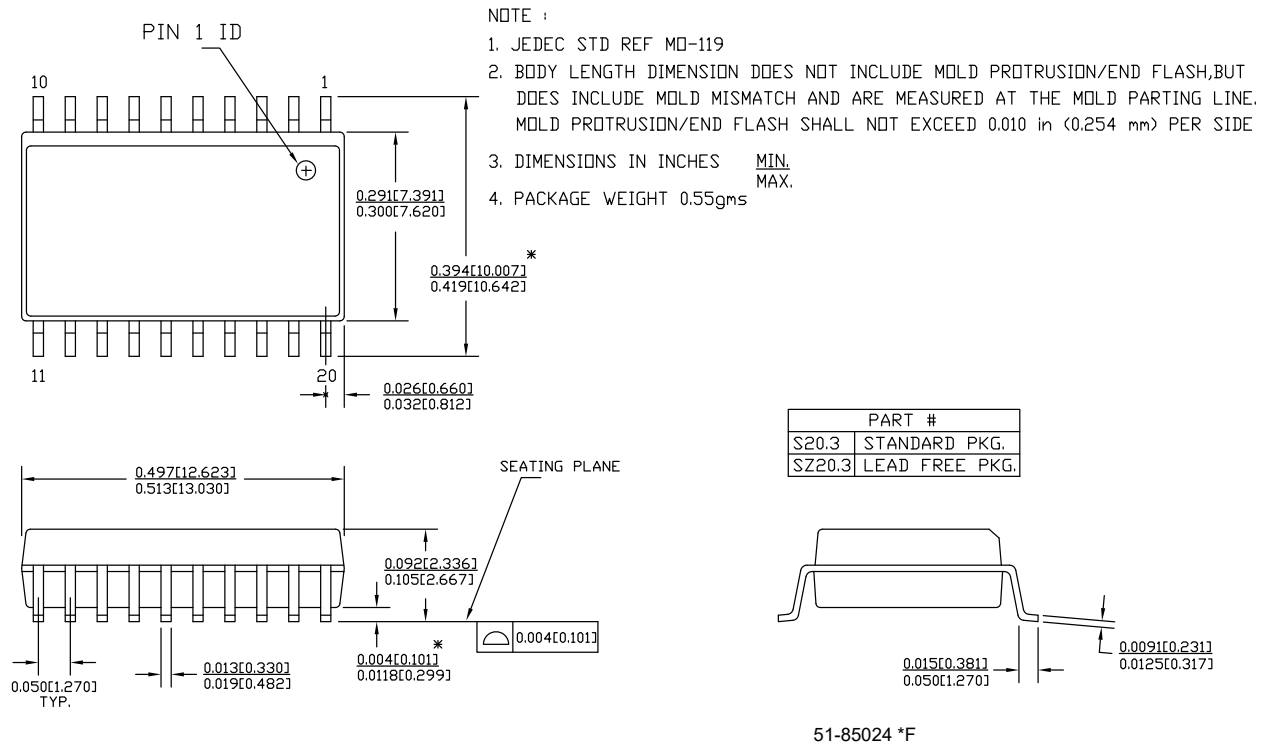


图 23. 28 引脚 (300 Mil) 模压 DIP

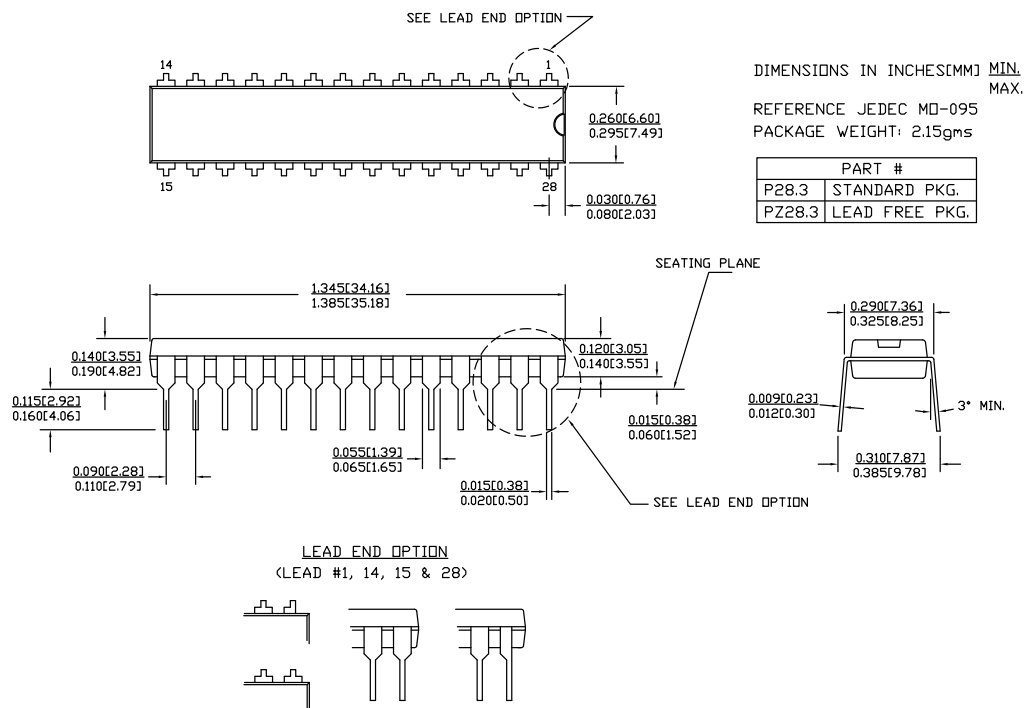


图 24. 28 引脚 (210 Mil) SSOP

28 Lead (5.3mm) SSOP

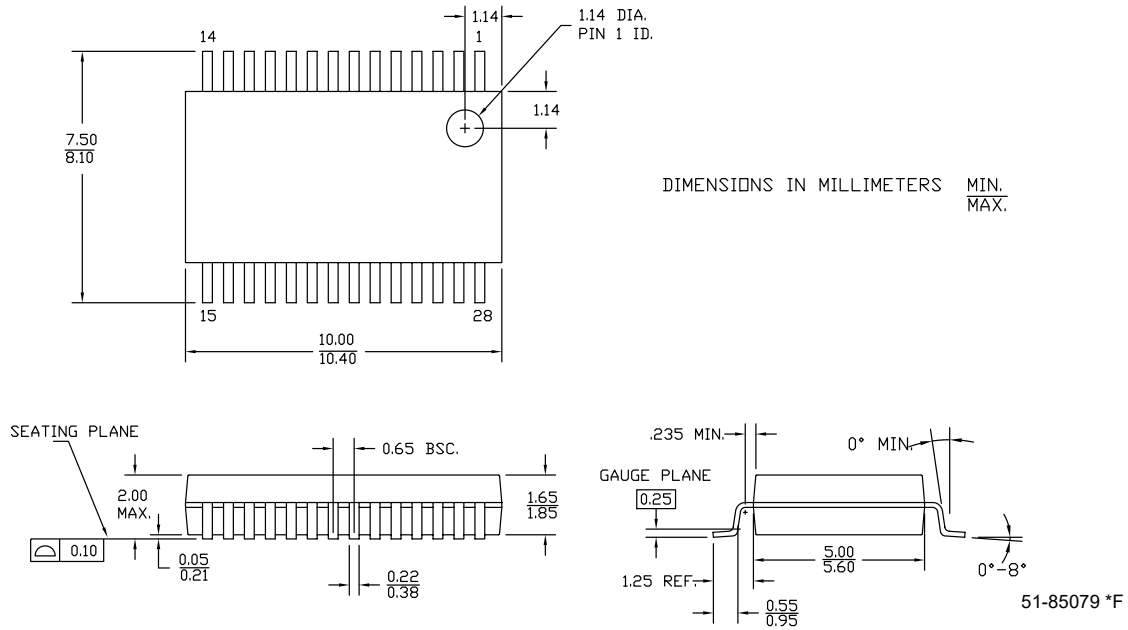
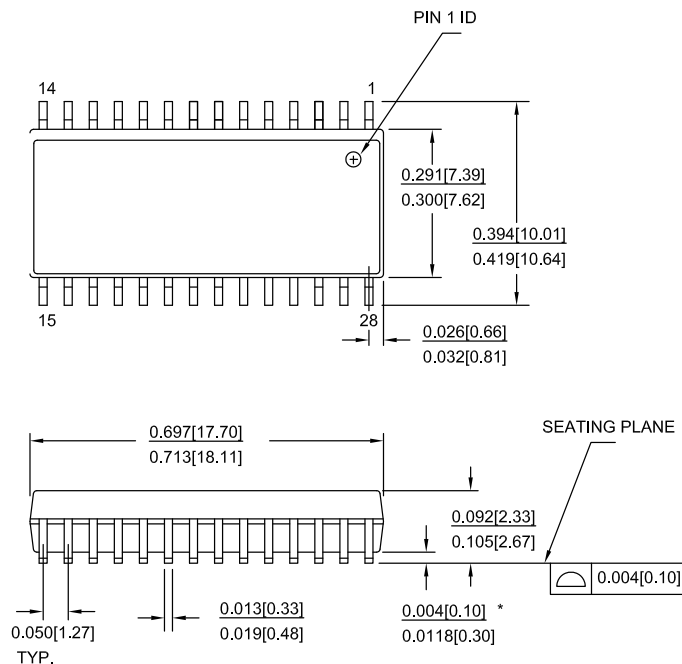


图 25. 28 引脚 SOIC (0.713 × 0.300 × 0.0932 英寸) 封装外形, 51-85026

NOTE :

1. JEDEC STD REF MO-119
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH, BUT DOES INCLUDE MOLD MISMATCH AND ARE MEASURED AT THE MOLD PARTING LINE. MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.010 in (0.254 mm) PER SIDE
3. DIMENSIONS IN INCHES MIN. MAX.



PART #	
S28.3	STANDARD PKG.
SZ28.3	LEAD FREE PKG.
SX28.3	LEAD FREE PKG.

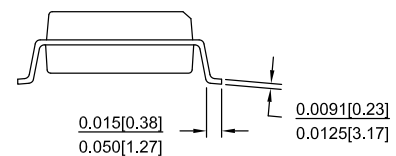
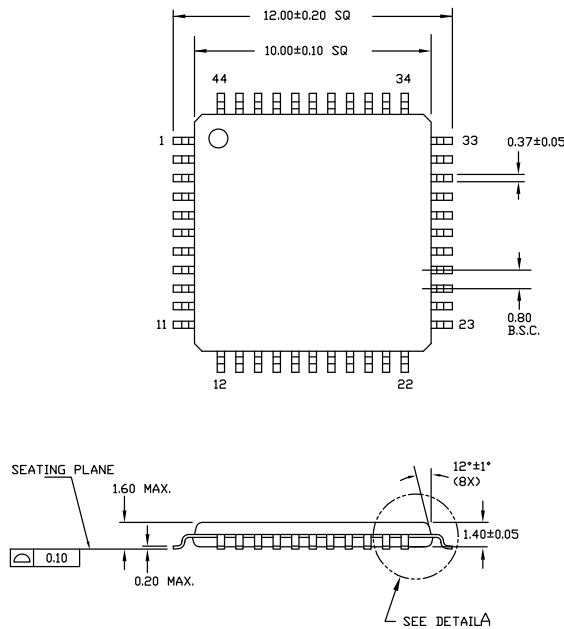
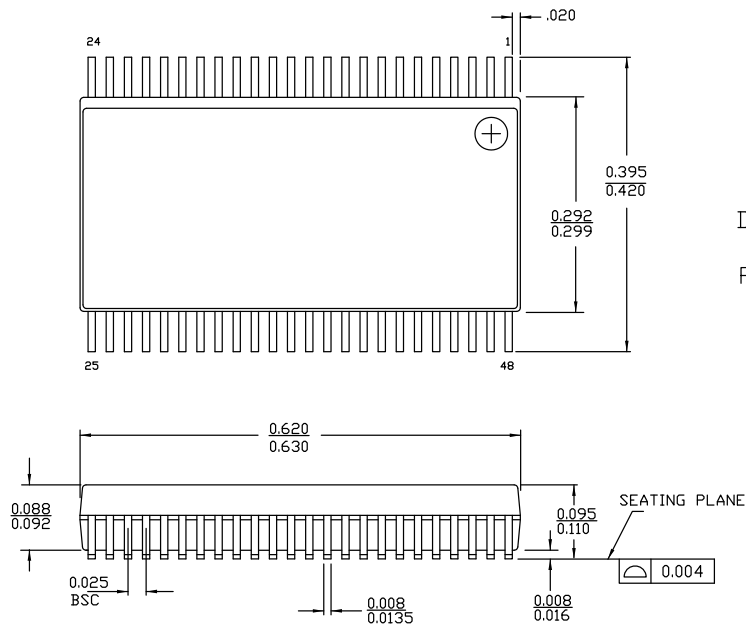


图 26. 44 引脚 TQFP (10 × 10 × 1.4 mm) A44S 封装外形, 51-85064

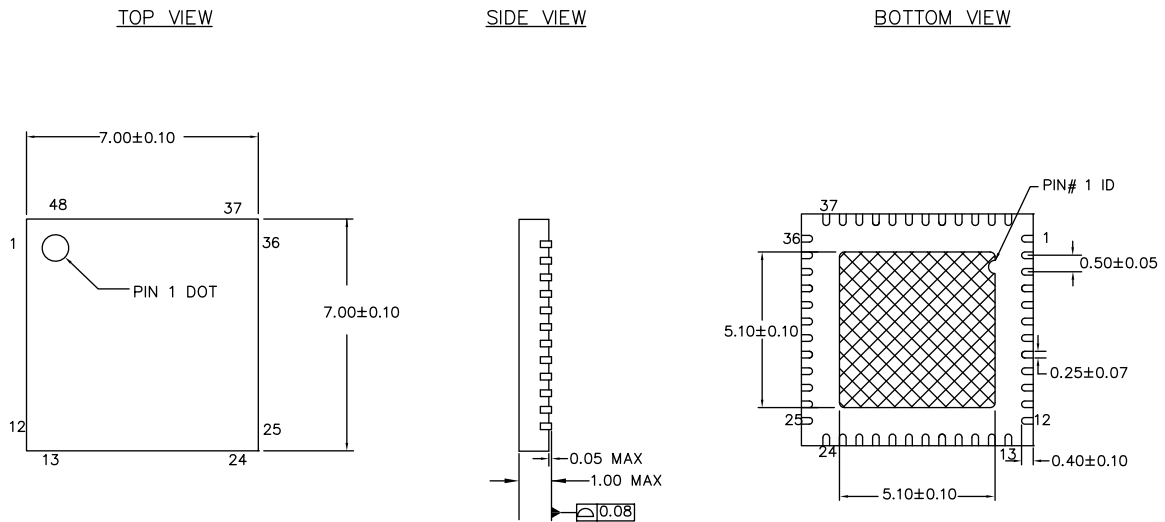


51-85064 *G

图 27. 48 引脚 (300 Mil) SSOP

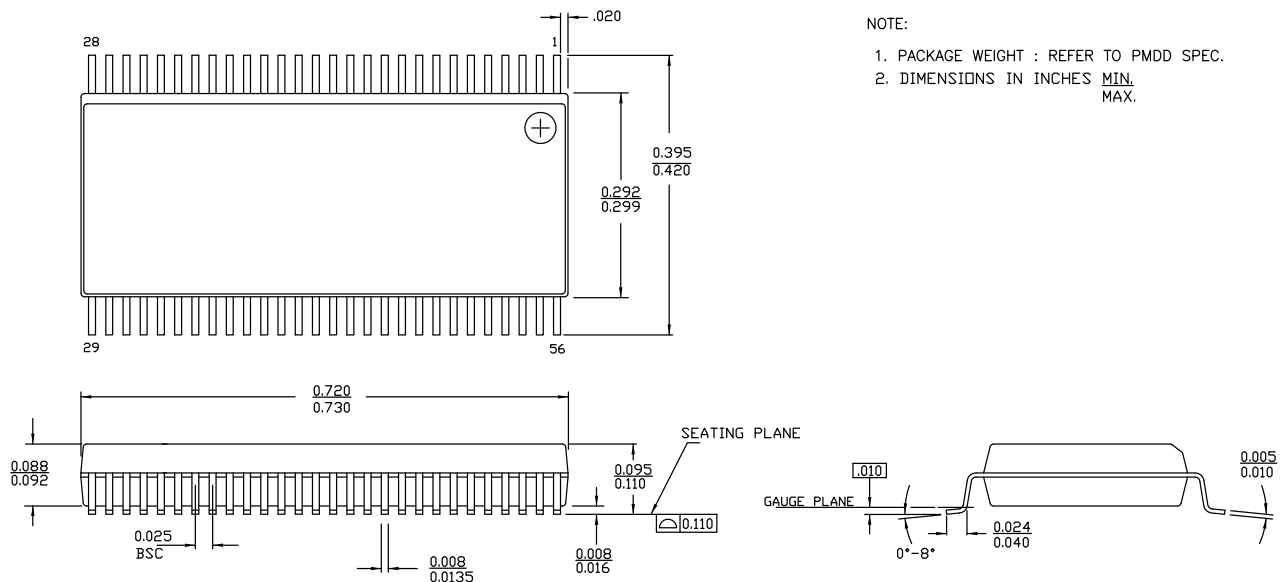


51-85061 *F

图 28. 48 引脚 QFN 7 × 7 × 1 mm (Sawn 类型)

NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 13 ± 1 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13191 *H

图 29. 56 引脚 (300 Mil) SSOP

NOTE:

1. PACKAGE WEIGHT : REFER TO PMDD SPEC.
2. DIMENSIONS IN INCHES
 MIN.
 MAX.

51-85062 *F

重要说明: 有关安装 QFN 封装的最佳尺寸信息, 请参考在 <http://www.cypress.com> 网站上提供的应用笔记赛普拉斯四方扁平无扩展引线 (QFN) 封装器件的设计指南 — AN72845。

热阻

表 40. 各种封装的热阻

封装	典型 θ_{JA} [34]
8 引脚 PDIP	120 °C/W
20 引脚 SSOP	116 °C/W
20 引脚 SOIC	79 °C/W
28 引脚 PDIP	67 °C/W
28 引脚 SSOP	95 °C/W
28 引脚 SOIC	68 °C/W
44-TQFP	61 °C/W
48 引脚 SSOP	69 °C/W
48 引脚 QFN [35]	18 °C/W
56 引脚 SSOP	47 °C/W

晶振引脚上的电容

表 41. 晶振引脚上的典型封装电容

封装	封装电容
8 引脚 PDIP	2.8 pF
20 引脚 SSOP	2.6 pF
20 引脚 SOIC	2.5 pF
28 引脚 PDIP	3.5 pF
28 引脚 SSOP	2.8 pF
28 引脚 SOIC	2.7 pF
44 引脚 TQFP	2.6 pF
48 引脚 SSOP	3.3 pF
48 引脚 QFN	2.3 pF
56 引脚 SSOP	3.3 pF

回流焊规范

下表显示不得超出的回流焊温度限制。Thermap 升降速率应为 3 °C 或更低。

表 42. 回流焊规范

封装	最大峰值温度 (T_C) [36]	超过 ' $T_C - 5\text{ °C}$ ' 的最长时间
8 引脚 PDIP	260 °C	30 秒
20 引脚 SSOP	260 °C	30 秒
20 引脚 SOIC	260 °C	30 秒
28 引脚 PDIP	260 °C	30 秒
28 引脚 SSOP	260 °C	30 秒
28 引脚 SOIC	260 °C	30 秒
44-TQFP	260 °C	30 秒
48-SSOP	260 °C	30 秒
48 引脚 QFN	260 °C	30 秒
56 引脚 SSOP	260 °C	30 秒

注释:

34. $T_J = T_A + \text{POWER} \times \theta_{JA}$.

35. 欲了解有关 QFN 封装特定的热阻信息, 请参考 <http://www.cypress.com> 网站上提供的赛普拉斯四方扁平无扩展引线 (QFN) 封装器件的设计指南 — AN72845。

36. 请参考第 53 页上的表 44。

开发工具选择

本章介绍当前所有 PSoC 器件系列（包括 CY8C27x43 系列）可用的开发工具。

软件

PSoC Designer™

PSoC Designer 是 PSoC 开发软件套装的核心，用于生成 PSoC 固件应用程序。在 <http://www.cypress.com> 上免费提供 PSoC Designer，并附带免费的 C 语言编译器。

PSoC 编程器

PSoC 编程器非常灵活，它不仅可用于开发，而且适用于工厂编程，既可以作为独立的编程应用程序运行，也可以从 PSoC Designer 或 PSoC Express 直接运行。PSoC 编程器软件与 PSoC ICE-Cube 在线仿真器和 PSoC MiniProg 均兼容。PSoC 编程器在 <http://www.cypress.com> 网站上提供免费提供的。

开发套件

所有开发工具包都可从赛普拉斯在线商店购买。

CY3215-DK 基本开发套件

CY3215-DK 用于通过 PSoC Designer 进行原型设计和开发。此套件支持在线仿真功能，其软件界面可以让用户运行、暂停和单步执行处理器，并查看特定存储器位置的内容。PSoC Designer 也支持高级仿真功能。该套件包括：

- PSoC Designer 软件 CD
- ICE-Cube 在线仿真器
- CY8C29x66 系列的 ICE Flex-Pod
- Cat-5 适配器
- Mini-Eval 编程板
- 110 ~ 240 V 电源，Euro-Plug 适配器
- iMAGEcraft C 语言编译器
- ISSP 线缆
- USB 2.0 线缆和蓝色 Cat-5 线缆
- 两个 CY8C29466-24PXI 28-PDIP 芯片样品

评估工具

所有评估工具都可从赛普拉斯在线商店购买。

CY3210-MiniProg1

CY3210-MiniProg1 套件可让您通过 MiniProg1 编程单元对 PSoC 器件进行编程。MiniProg 是一种紧凑的小型原型设计编程器，通过随附的 USB 2.0 线缆连接到 PC。该套件包括：

- MiniProg 编程单元
- MiniEval Socket 编程和评估板
- 28 引脚 CY8C29466-24PXI PDIP PSoC 器件样品
- 28 引脚 CY8C27443-24PXI PDIP PSoC 器件样品
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3210-PSoCEval1

CY3210-PSoCEval1 套件包含一个评估板和一个 MiniProg1 编程单元。评估板包括 LCD 模块、电位器、LED 和大量实验板空间，可满足您的所有评估需要。该套件包括：

- 带 LCD 模块的评估板
- MiniProg 编程单元
- 28 引脚 CY8C29466-24PXI PDIP PSoC 器件样品（2）
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3214-PSoCEvalUSB

CY3214-PSoCEvalUSB 评估套件主要用作 CY8C24794-24LFXI PSoC 器件的开发电路板。电路板的特殊功能包括 USB 和电容式感应开发和调试支持。此评估板还包括 LCD 模块、电位器、LED、报警器和大量实验板空间，可满足所有评估需要。该套件包括：

- PSoCEvalUSB 板
- LCD 模块
- MiniProg 编程单元
- Mini USB 线缆
- PSoC Designer 和示例项目 CD
- 入门指南
- 线包

器件编程器

所有器件编程器都可从赛普拉斯在线商店购买。

CY3216 模块化编程器

CY3216 模块化编程器套件提供模块化编程器和 MiniProg1 编程单元。模块化编程器包括 3 个编程模块卡，并支持多个赛普拉斯产品。该套件包括：

- 模块化编程器基础
- 3 张编程模块卡
- MiniProg 编程单元
- PSoC Designer 软件 CD
- 入门指南
- USB 2.0 线缆

CY3207ISSP 系统内串行编程器 (ISSP)

CY3207ISSP 是一个生产用的编程器。它具有保护电路和一个工业级外壳，该外壳在生产编程环境中比 MiniProg 更强大。

注释： CY3207ISSP 需要特殊软件，它与 PSoC 编程器不兼容。该套件包括：

- CY3207 编程器单元
- PSoC ISSP 软件 CD
- 110 ~ 240 V 电源，Euro-Plug 适配器
- USB 2.0 线缆

附件（仿真和编程）

表 43. 仿真和编程附件

器件编号	引脚封装	Flex-Pod 套件 ^[37]	支脚套件 ^[38]	适配器 ^[39]
CY8C27143-24PXI	8 引脚 PDIP	CY3250-27XXX	CY3250-8PDIP-FK	适配器可以在 http://www.emulation.com 网站上找到。
CY8C27243-24PVXI	20 引脚 SSOP	CY3250-27XXX	CY3250-20SSOP-FK	
CY8C27243-24SXI	20 引脚 SOIC	CY3250-27XXX	CY3250-20SOIC-FK	
CY8C27443-24PXI	28 引脚 PDIP	CY3250-27XXX	CY3250-28PDIP-FK	
CY8C27443-24PVXI	28 引脚 SSOP	CY3250-27XXX	CY3250-28SSOP-FK	
CY8C27443-24SXI	28 引脚 SOIC	CY3250-27XXX	CY3250-28SOIC-FK	
CY8C27543-24AXI	44 引脚 TQFP	CY3250-27XXX	CY3250-44TQFP-FK	
CY8C27643-24PVXI	48 引脚 SSOP	CY3250-27XXX	CY3250-48SSOP-FK	
CY8C27643-24LTXI	48 引脚 QFN	CY3250-27XXXQFN	CY3250-48QFN-FK	

注释：

37. Flex-Pod 套件包含一个练习 flex-pod 和一个练习 PCB，另外附带两个 flex-pod。

38. 支脚套件包括可焊接到目标 PCB 上的表面安装支脚。

39. 编程适配器用于将非 DIP 封装转换成 DIP 封装。有关每种适配器的详细信息和订购信息，请访问 <http://www.emulation.com> 网站。

订购信息

下表列出了 CY8C27x43 PSoC 器件的关键封装特征和订购代码。

表 44. CY8C27x43 PSoC 器件的主要功能和订购信息

封装	订购代码	闪存 (字节)	RAM (字节)	开关电压泵	温度范围	数字模块 (共 4 行)	模拟模块 (共 3 列)	数字 I/O 引脚	模拟输入	模拟输出	XRES 引脚
8 引脚 (300 Mil) DIP	CY8C27143-24PXI	16K	256	无	-40 °C 至 +85 °C	8	12	6	4	4	无
20 引脚 (210 Mil) SSOP	CY8C27243-24PVXI	16K	256	有	-40 °C 至 +85 °C	8	12	16	8	4	有
20 引脚 (210 Mil) SSOP (盘带封装)	CY8C27243-24PVXIT	16K	256	有	-40 °C 至 +85 °C	8	12	16	8	4	有
20 引脚 (300 Mil) SOIC	CY8C27243-24SXI	16K	256	有	-40 °C 至 +85 °C	8	12	16	8	4	有
20 引脚 (300 Mil) SOIC (盘带封装)	CY8C27243-24SXIT	16 K	256	有	-40 °C 至 +85 °C	8	12	16	8	4	有
28 引脚 (300 Mil) DIP	CY8C27443-24PXI	16K	256	有	-40 °C 至 +85 °C	8	12	24	12	4	有
28 引脚 (210 Mil) SSOP	CY8C27443-24PVXI	16K	256	有	-40 °C 至 +85 °C	8	12	24	12	4	有
28 引脚 (210 Mil) SSOP (盘带封装)	CY8C27443-24PVXIT	16K	256	有	-40 °C 至 +85 °C	8	12	24	12	4	有
28 引脚 (300 Mil) SOIC	CY8C27443-24SXI	16K	256	有	-40 °C 至 +85 °C	8	12	24	12	4	有
28 引脚 (300 Mil) SOIC (盘带封装)	CY8C27443-24SXIT	16K	256	有	-40 °C 至 +85 °C	8	12	24	12	4	有
44 引脚 TQFP	CY8C27543-24AXI	16K	256	有	-40 °C 至 +85 °C	8	12	40	12	4	有
44 引脚 TQFP (盘带封装)	CY8C27543-24AXIT	16K	256	有	-40 °C 至 +85 °C	8	12	40	12	4	有
48 引脚 (300 Mil) SSOP	CY8C27643-24PVXI	16K	256	有	-40 °C 至 +85 °C	8	12	44	12	4	有
48 引脚 (300 Mil) SSOP (盘带封装)	CY8C27643-24PVXIT	16K	256	有	-40 °C 至 +85 °C	8	12	44	12	4	有
48 引脚 (7 × 7 × 1 mm) QFN (Sawn)	CY8C27643-24LTXI	16K	256	有	-40 °C 至 +85 °C	8	12	44	12	4	有
48 引脚 (7 × 7 × 1 mm) QFN (Sawn)	CY8C27643-24LTXIT	16K	256	有	-40 °C 至 +85 °C	8	12	44	12	4	有
56 引脚 OCD SSOP	CY8C27002-24PVXI ^[40]	16K	256	有	-40 °C 至 +85 °C	8	12	44	14	4	有

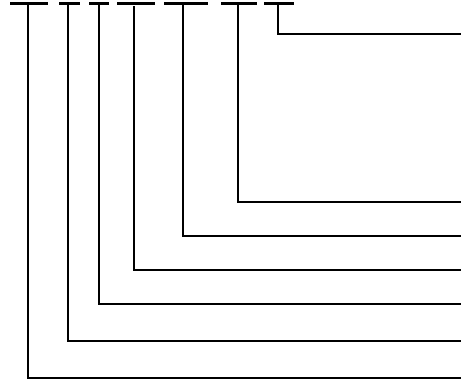
注释： 有关 Die 的销售信息，请与当地的赛普拉斯销售办事处或现场应用工程师（FAE）联系。

注释：

40. 此器件也可用于进行在线调试。它不能用于生产。

订购代码定义

CY 8 C 27 xxx-24xx



封装类型:
 PX = PDIP 无铅
 SX = SOIC 无铅
 PVX = SSOP 无铅
 LFX/LKX/LTX/LQX/LCX = QFN 无铅
 AX = TQFP 无铅

速度: 24 MHz

器件型号

系列代码

技术代码: C = CMOS

销售代码: 8 = 赛普拉斯 PSoC

公司 ID: CY = 赛普拉斯

热额定值:
 C = 商业级
 I = 工业级
 E = 扩展型

缩略语

表 45 列出了本文档中使用的缩略语。

表 45. 本数据手册中使用的缩略语

缩略语	说明	缩略语	说明
AC	交流	MIPS	每秒百万条指令
ADC	模数转换器	OCD	片上调试
API	应用编程接口	PCB	印刷电路板
CMOS	互补金属氧化物半导体	PDIP	塑料双列直插式封装
CPU	中央处理单元	PGA	可编程增益放大器
CRC	循环冗余校验	PLL	锁相环
CT	连续时间	POR	上电复位
DAC	数模转换器	PPOR	精密上电复位
DC	直流	PRS	伪随机序列
DTMF	双音多频	PSoC	可编程片上系统
ECO	外部晶体振荡器	PWM	脉冲宽度调制器
EEPROM	电可擦除可编程只读存储器	QFN	四方扁平无引线
GPIO	通用 I/O	RTC	实时时钟
ICE	在线仿真器	SAR	逐次逼近
IDE	集成开发环境	SC	开关电容
ILO	内部低速振荡器	SMP	开关模式升压泵
IMO	内部主振荡器	SOIC	小外形集成电路
I/O	输入 / 输出	SPI	串行外设接口
IrDA	红外数据关联性	SRAM	静态随机存取存储器
ISSP	系统内串行编程	SROM	监控只读存储器
LCD	液晶显示器	SSOP	紧缩小外形封装
LED	发光二极管	TQFP	薄型四方扁平封装
LPC	低功耗比较器	UART	通用异步接收器 / 发送器
LVD	低电压检测	USB	通用串行总线
MAC	乘累加	WDT	看门狗定时器
MCU	微控制器单元	XRES	外部复位

参考文档

CY8CPLC20、CY8CLED16P01、CY8C29X66、CY8C27X43、CY8C24X94、CY8C24X23、CY8C24X23A、CY8C22X13、CY8C21X34、CY8C21X34B、CY8C21X23、CY7C64215、CY7C603XX、CY8CNP1XX 和 CYWUSB6953 PSoC (R) 可编程片上系统技术参考手册 (TRM) (001-14463)

PSoC®1 — 读取和写入闪存 — AN2015 (001-40459)

<http://www.cypress.com> 网站上提供了 赛普拉斯四方扁平扩展引线 (QFN) 封装器件的设计指南 — AN72845。

文档规范

测量单位

表 46 列出了测量单位。

表 46. 测量单位

符号	测量单位	符号	测量单位
dB	分贝	ms	毫秒
°C	摄氏度	ns	纳秒
fF	飞法	ps	皮秒
pF	皮法	μV	微伏
kHz	千赫兹	mV	毫伏
MHz	兆赫兹	mVpp	毫伏峰峰值
rt-Hz	根赫兹	nV	纳伏
kΩ	千欧	V	伏特
Ω	欧姆	μW	微瓦
μA	微安	W	瓦特
mA	毫安	mm	毫米
nA	纳安	ppm	百万分率
pA	皮安	%	百分比
μs	微秒		

数字规范

十六进制数字中的所有字母均为大写，并且结尾是小写的 'h'（例如，'14h' 或 '3Ah'）。十六进制数字还可以使用前缀 '0x' 表示（C 编码规范）。二进制数字在结尾带小写的 'b'（例如，'01010100b' 或 '01000011b'）。不用 'h'、'b' 或 0x 来表示的数字是十进制数字。

术语表

高电平有效	- 它是一种逻辑信号，其激活状态为逻辑 1。 - 一种逻辑信号，其逻辑 1 状态作为两个状态中较高的电压值。
模拟模块	是基本的可编程运算放大器电路。它们是 SC（切换电容）和 CT（连续时间）模块。这些模块内部互联时可提供 ADC、DAC、多极滤波器、增益级等多种功能。
模数转换器（ADC）	是将模拟信号转换为相应量级的数字信号的器件。通常，ADC 可以将某个电压值转换成一个数字值。数模转换器（DAC）可逆向完成该操作。
应用编程接口（API）	一系列的软件程序，包含了计算机应用与低层服务和函数（例如，用户模块和库）之间的接口。应用编程接口（API）作为程序员在创建软件应用时使用的基本模块。
异步	该信号的数据被立即确认或作出响应，与任何时钟信号无关。
带隙参考	指的是一种稳定的电压参考设计，它将 VT 温度正系数与 VBE 温度负系数相互匹配，从而生成零温度系数（理想的）参考。
带宽	- 指的是消息或信息处理系统的频率范围（单位为 Hz）。 - 放大器（或吸收器）在其频谱区内会有大量增益（或损失）。有时它表示的更为具体，例如半峰全宽。
偏置	- 数值与参考值之间的系统偏差。 - 一组数据的平均值偏离参考值的幅度。 - 适用某个器件的电力、机械力、磁场或其他力（场），使该器件建立一个参考电压从而运行该器件。

术语表（续）

模块	1. 用于执行单项功能的功能单元，如振荡器。 2. 用于执行某项功能而配置的功能单元，例如，数字 PSoC 模块或模拟 PSoC 模块。
缓冲区	1. 数据存储区，当将数据从一个器件传输至另一个器件时，用于补偿速度之差。通常是指对 IO 操作保留的区域，可以对该区进行读写操作。 2. 用于存储数据的一部分存储器空间，通常在数据发送到外部器件之前或从外部器件接受数据时使用。 3. 它是一个用于降低系统的输出阻抗的放大器。
总线	1. 某个命名的网络连接。将网络捆绑到总线中，便于使用类似的路由模式路由网络。 2. 用于执行通用功能并携带类似数据的一组信号。通常使用向量符号来表示。例如，地址 [7:0]。 3. 一个或多个作为一组相关器件的共用连接的导体。
时钟	是指生成具有固定频率和占空比的周期信号的器件。有时，时钟可以用来同步各个不同的逻辑模块。
比较器	指两个输入电平同时满足预定振幅要求时会生成输出电压或电流的电气电路。
编译器	一种将高级语言（例如 C 语言）转换成机器语言的程序。
配置空间	在 PSoC 器件中，当 CPU_F 寄存器中的 XIO 位被设置为 ‘1’ 时，可以访问的寄存器空间。
晶体振荡器	由压电晶体控制频率的振荡器。通常情况下，与其他电路组件相比，压电晶体对环境温度的灵敏度更低。
循环冗余校验（CRC）	用于检测数据通信中的错误的计算方法，通常使用线性反馈移位寄存器执行。相似算法可用于其他多种用途，例如：数据压缩。
数据总线	计算机使用以将信息从存储器位置传输到中央处理单元（CPU）或反向传输信息的双向信号组。更为普遍的是，用来传送数字功能之间数据的信号组。
调试器	允许分析正在开发的系统操作的软件和硬件系统。调试器通常允许开发人员逐步执行固件操作，设置断点及分析存储器。
死区	两个或多个信号都没有处于活跃状态或切换状态的一段时间。
数字模块	可用作计数器、计时器、串行接收器、串行发送器、CRC 发生器、伪随机数发生器或 SPI 的 8 位逻辑模块。
数模转换器（DAC）	可将数字信号转换为相应量级的模拟信号的器件。模数转换器（ADC）用来逆向执行该操作。
占空比	时钟周期的高电平时间与其低电平时间的关系表示为一个百分比。
仿真器	使用不同系统复制（仿真）某个系统的功能，这样，第二个系统便可以实现与第一个系统相类似的操作。
外部复位（XRES）	传入 PSoC 器件的高电平有效信号。这会停止 CPU 的所有操作和模块，并返回到预定义的状态。
闪存	提供可编程功能、EPROM 数据存储及系统内可擦除功能的电可擦可编程、非易失性技术。非易失性表示下电时仍能保持数据。
闪存模块	可一次性程序化的闪存 ROM 最小空间及受保护的闪存最小空间。闪存模块的大小为 64 个字节
频率	是指一个周期功能中每时间单位内的周期数或事件数。

术语表（续）

增益	分别为输出电流、电压或功率与输入电流、电压或功率之间的比率。增益单位通常为分贝（dB）。
I ² C	由飞利浦半导体（现更名为 NXP 半导体）开发的两线串行计算机总线。I ² C 是内部集成电路。它用于连接嵌入式系统中的低速外设。原始系统创建于 20 世纪 80 年代初期，当时仅作为电池控制接口使用，后来被用作构建控制电子器件的简单内部总线系统。I ² C 仅使用两个双向引脚，即时钟和数据，二者均以 +5 V 的电压运行，并采用电阻上拉。在标准模式下，总线的运行速度为 100 Kb/s，而在快速模式下，其速度为 400 Kb/s。
ICE	在线仿真器允许您在硬件环境下测试项目，而在软件环境（PSoC Designer）下查看调试器件的活动。
输入 / 输出 (I/O)	用于将数据引入到系统或从系统中提取数据的器件。
中断	流程暂停（例如，执行计算机程序），由流程外部事件导致，并且暂停后可以恢复流程。
中断服务子程序 (ISR)	M8C 收到硬件中断时常规代码执行转入的代码模块。许多中断源均有各自的优先级和单个 ISR 代码模块。各个 ISR 代码模块均以 RETI 指令结束，并且器件会返回到离开常规程序执行的程序点。
抖动	1. 从它的理想位置跃变的时序错位。在串行数据流中出现的典型损坏。 2. 一个或多个信号特性的突发和意外变化，例如连续脉冲之间的间隔、连续周期的振幅或连续周期的频率或相位。
低压检测（LVD）	在 V _{DD} 降低并低于选定阈值时可检测 V _{DD} 并实现系统中断的电路。
M8C	8 位 Harvard 架构微处理器。通过连接到闪存、SRAM 和寄存器空间，该微处理器可协调 PSoC 内部的所有活动。
主设备	用于控制两个器件间数据交换时序的器件。或者，以脉冲宽度级联器件时，主设备是用来控制级联器件与外部接口之间数据交换时序的器件。受控制的器件被称为 从设备 。
微控制器	主要用于控制系统和产品的集成电路芯片。除 CPU 外，微控制器通常还包含存储器、定时电路和 I/O 电路。这是为了允许执行包含最小芯片数量的控制器，从而能够实现最大程度的微型化。从而能够降低控制器的体积和成本。微控制器通常不能用作微处理器执行通用计算的功能。
混合信号	是指包含模拟和数字技术及组件的电路参考。
调制器	指的是在载波上附加信号的器件。
噪声	1. 指的是一种干扰，它会影响信号，并且可使信号携带的信息失真。 2. 电压、电流或数据等任何实体的其中一种或多种特性的随机变化。
振荡器	它是一种可受晶控，并用于生成时钟频率的电路。
奇偶校验	用于测试传输数据的技术。通常，将一个二进制数字添加到数据中，以便使二进制数据的所有数字之和始终为奇数（奇校验）或偶数（偶校验）。
锁相环（PLL）	用来控制 振荡器 ，使其保持与参考信号相对的常相位角的电气电路。
引脚分布	引脚号分配：印刷电路板（PCB）封装中 PSoC 器件及其物理对立方的逻辑输入与输出之间的关系。引脚分布涉及引脚号（如原理图与 PCB 设计（两者均为计算机生成的文件）之间的链接），也涉及引脚名称。
端口	通常带八个引脚的一组引脚。
上电复位 (POR)	当电压低于预设电平时，用于强制 PSoC 器件复位的电路。这是一种硬件复位类型。

术语表（续）

PSoC®	赛普拉斯半导体的 PSoC® 是赛普拉斯公司的注册商标，Programmable System-on-Chip™（可编程片上系统）是赛普拉斯公司的商标。
PSoC Designer™	用于赛普拉斯的可编程片上系统技术的软件。
脉宽调制器 (PWM)	以占空比形式表示的输出，随着应用测量对象的不同而变化。
RAM	随机存取存储器的缩略语。数据存储器件，可以对该器件进行读写操作。
寄存器	具有特定容量（例如一位或一个字节）的存储器件。
复位	使系统返回已知状态的方法。请参见硬件复位和软件复位部分的内容。
ROM	只读存储器的缩略语。数据存储器件，可以读取该器件，但无法对它进行写操作。
串行	1. 是指所有事件在其中连续发生的流程。 2. 表示在单个器件或通道中两个或多个相关活动连续发生。
建立时间	输入从一个值改为另一个值后，输出信号或值进入稳定状态需要的时长。
移位寄存器	按顺序向左或向右转移一个字，使输出串行数据流的存储器件。
从设备	允许另一个器件控制两个器件之间数据交换的时序的器件。或者，以脉冲宽度级联器件时，从设备是允许另一个器件控制级联器件与外部接口之间数据交换的时序的器件。控制器件被称为主设备。
SRAM	静态随机存取存储器的缩略语。能以高速率存储及检索数据的存储器件。使用术语“静态”是因为在将值加载到 SRAM 单元之后，该值保持不变，直到其被明确更改，或直到器件断电为止。
SROM	监控只读存储器的缩略语。SROM 保留代码，用以启动器件、校准电路和执行闪存操作。可以使用从闪存中运行的普通用户代码来访问 SROM 功能。
停止位	是字符或模块带有的信号，用于准备接收器来接收下一个字符或模块。
同步	1. 指的是一个信号，其数据未被确认或做出响应，直到时钟信号的下一个边沿有效为止。 2. 使用时钟信号进行同步的系统。
三态	其输出可采用 0、1 和 Z（高阻抗）等三种状态的功能。该功能不在 Z 状态下驱动任何值，在许多方面，它可以被视为从其余电路断开，允许另一次输出以驱动相同网络。
UART	UART 或通用异步接收器 - 发送器在数据并行位和串行位之间转换。
用户模块	负责全面管理和配置低级模拟和数字 PSoC 模块的预构建、预测测试硬件 / 固件外围功能。此外，用户模块还针对外设功能提供高级 API（应用编程接口）。
用户空间	寄存器映射的组 0 空间。在执行常规程序和初始化期间，很可能对该组中的寄存器进行修改。在程序初始化阶段，很可能对组 1 中的寄存器进行修改。
V _{DD}	电源网络名称，意为“电压漏极”。正极的电源信号。电压通常为 5 V 或 3.3 V。
V _{SS}	电源网络名称，意为“电压源”。负极的电源信号。
看门狗定时器	是必须定期处理的定时器。如果未定期处理，则 CPU 会在指定时间期间后复位。

勘误表

本章节对 CY8C27143、CY8C27243、CY8C27443、CY8C27543 和 CY8C27643 器件的勘误表进行了相关介绍。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片修订适用性。若有任何问题，请联系本地赛普拉斯销售代表。

正在生产

受影响的器件型号

器件型号
CY8C27143
CY8C27243
CY8C27443
CY8C27543
CY8C27643

合格状态

CY8C27XXX 版本 B — 生产过程中

勘误表汇总

下表定义了可用器件系列的勘误表适用性。

项目	芯片型号	芯片版本	修复状态
1. 从链式 SPI 从设备进行读取不会获得正确结果	所有器件均受影响	B	未计划纠正芯片。需要相应的解决方案。
2. 在温度极限下的内部主振荡器 (IMO) 容许偏差。	所有器件	B	未计划纠正芯片。需要相应的解决方案。

1. 从链式 SPI 从设备进行读取不会获得正确结果

■ 问题定义

如果多个数字通信模块被配置为 SPI 从设备，并且一个 SPI 的输出端 (MISO) 被连接到另一个 SPI 的输入端 (MOSI)，那么能够正确传输串行数据，但如果读取第二个 SPI 器件中 DCBxxDR2 寄存器的结果，则会在移位最后一位时发生错误。

■ 受影响的参数

无

■ 触发条件

某个 PSoC SPI 从设备输出与另一个 PSoC SPI 从设备输入相连。

■ 影响范围

PSoC 终端用户设计包含了 SPI 配置和配置为 SPI 从设备的多个数字通信模块 (某个 SPI 的输出 (MISO) 以及另一个 SPI 的输入 (MOSI) 相连)。

■ 解决方案

该解决方案需要使用一个额外的数字模块，该模块被配置为一组占空比为 50% 的 PWM8。被路由到 PWM8 的时钟也连接了两个 SPI 从设备。PWM8 用户模块被参数化，这样可以使周期值为 15 (从而进行 16 分频)、脉冲宽度值为 8 (将 CompType 设置为“小于或等于”，这样“1”脉冲的宽度可包含 8 个时钟，“0”脉冲的宽度也会包含 8 个时钟)。PWM8 的输出被连接到每个 SPI 从设备的从设备选择 (/SS) 端。这些连接中的一个直接被连接的。其它连接使用了行输出 LUT 进行反转。此配置会将这两个 SPI 进行“交替”，因此每个 SPI 均能收到交替字节。使用这两个 SPI 从设备实现 16 位移位寄存器时，此解决方法非常有效。

■ 修复状态

没有计划修正。应当使用上面列出的解决方案。

2. 在温度极限下的内部主振荡器（IMO）容许偏差。

■ 问题定义

在 0 °C 到 70 °C 的温度范围外，无法实现异步数字通信连接。在 0 °C 到 70 °C 的温度范围内，这个问题不会影响到最终产品。

■ 受影响的参数

IMO 频率容差。最坏偏差情况是在 0°C 以下或 +70°C 以上运行，或在与数据手册温度范围高 / 低 $\pm 5\%$ 的温度运行。

■ 触发条件

在 0 °C 到 +70 °C 温度范围外运行时，异步 Rx/Tx 时钟源的 IMO 频率容差会与数据手册的限制相差 $\pm 2.5\%$ 。

■ 影响范围

该问题会影响 UART、IrDA 和 FSK 的实现。

■ 解决方案

在异步数字通信接口至少一端上提供稳定的石英晶体时钟源。

■ 修正状态

没有计划修正。应当使用上面列出的解决方案。

不在生产过程中

受影响的器件型号

芯片型号
CY8C27143
CY8C27243
CY8C27443
CY8C27543
CY8C27643

合格状态

CY8C27X43 版本 A — 不在生产过程中

勘误表汇总

下表定义了可用器件系列的勘误表适用性。

项目	器件型号	芯片版本	修复状态
1. 当工作电压超过 4.75 V 时，定时器捕获输入信号被限于重新同步行输入或模拟比较器总线输入	所有器件均受影响	A	在芯片版本 B 确认的修复
2. 当工作电压低于 4.75 V 时，定时器捕获输入被限制为重新同步的行输入。	所有器件均受影响	A	在芯片版本 B 确认的修复
3. I2C_CFG、I2C_SCR 和 I2C_MSCR 寄存器有一些限制，如 CPU 频率，当这些寄存器被写入时，该频率必须有效。	所有器件均受影响	A	在芯片版本 B 确认的修复

1. 当工作电压超过 4.75 V 时，定时器捕获输入信号被限于重新同步行输入或模拟比较器总线输入

■ 问题定义

当该器件的工作电压位于 4.75 V 到 5.25 V 的范围内时，在定时器模式下运行的数字模块的输入捕获信号源被限定为已重新同步的行输入信号或模拟比较器总线输入。不能将行输出信号或广播时钟信号作为定时器捕获信号的信号源。

■ 受影响的参数

NA

■ 触发条件

器件的 VCC 范围为 4.75 V 到 5.25 V。

■ 影响范围

在定时器模式下运行的数字模块和依赖于定时器输出的用户模块均受此勘误表元素的影响。

■ 解决方案

要想将输入捕获信号连接到同一行中另一个模块的输出端，需要将该模块的输出连接到行输出，然后将其连接到全局输出，再返回全局输入，最后连接到可重新同步信号的行输入。将输入捕获信号连接到另一行中模块的输出端时，该连接会自动沿着全局输出的路径，经过全局输入到达行输入。

■ 修复状态

在芯片版本 B 修复

2. 当工作电压低于 4.75 V 时，定时器捕获输入被限制为重新同步的行输入。

■ 问题定义

当该器件的工作电压为 3.0 V 到 4.75 V 时，在定时器模式下运行的数字模块的输入捕获信号源被限制为已重新同步的行输入信号。定时器捕获输入的最大带宽为 16 位，工作电压小于 4.75 V。不能将行输出信号、模拟比较器输入信号或广播时钟信号作为定时器捕获信号的信号源。

■ 受影响的参数

NA

■ 触发条件

器件的 VCC 为 3.0 V 到 4.75 V。

■ 影响范围

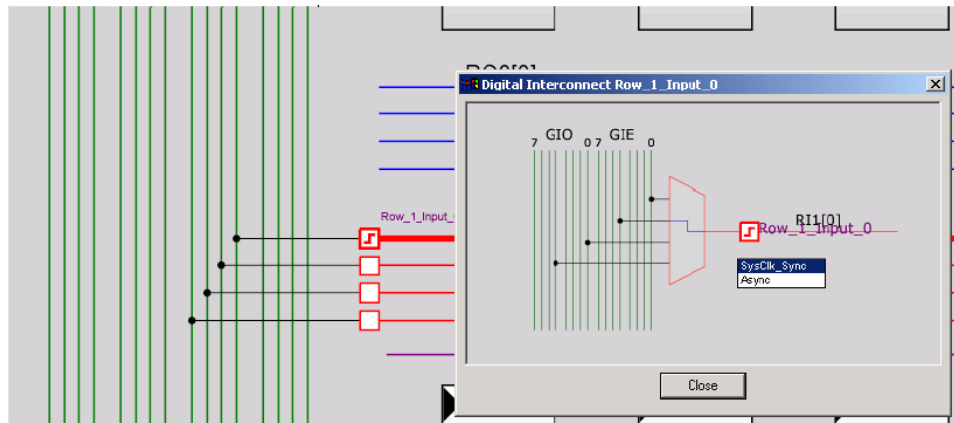
在定时器模式下运行的数字模块和依赖于定时器输出的用户模块均受此勘误表元素的影响。

■ 解决方案

要想将输入捕获信号连接到另一个模块的输出，需要将该模块的输出运行到行输出，然后将其运行到全局输出，再返回全局输入，然后到可重新同步信号的行输入。

要想将模拟比较器总线信号连接到输入捕获，则必须通过重新同步将该信号路由到这个输入捕获。实现上该操作的唯一方法是在模拟输出总线上路由模拟比较器，实现连接到 I/O 引脚。该操作会占用完模拟输出总线的资源，另外，即使该总线设计针对的是模拟信号，但在该总线上进行传输时，模拟比较器中的数字信号也能正确传输。将该信号连接到 I/O 引脚后，它会重新转换为数字信号，并使用该引脚的全局输入总线与数字阵列进行通信。要想建立该连接，需要使用已使能的全局输入总线设置端口引脚。要想在 PSoC Designer™ 中使能该配置，先要打开模拟输出，然后使能全局输入。

图 30. 重新同步



■ 修复状态

在芯片版本 B 修复

3. I2C_CFG、I2C_SCR 和 I2C_MSCR 寄存器有一些限制，如 CPU 频率，当这些寄存器被写入时，该频率必须有效。

■ 问题定义

对这些寄存器进行写操作前，必须将 CPU 频率设置为建议值中的某一个，并且可以使用后面该写操作的指令将其重新设置为原始工作频率。如果使用非建议的 CPU 频率对该寄存器进行写操作，将会导致不可预测的结果。下表列出的是 CPU 寄存器在写入到 I2C_CFG、I2C_SCR 和 I2C_MSCR 寄存器时可以选择的各种选项，另外它也加亮显示了建议 (Rec) 和不建议 (NR) 的特殊设置。

写入 I2C_SCR 和 I2C_MSCR 的频率	写入 I2C_CFG 的频率							
	24 MHz	12 MHz	6 MHz	3 MHz	1.5 MHz	375 K	180 K	93 K
24 MHz	NR	NR	NR	NR	NR	NR	NR	NR
12 MHz	NR	NR	Rec	Rec	Rec	Rec	NR	NR
6 MHz	NR	Rec	Rec	NR	NR	Rec	NR	NR
3 MHz	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec
1.5 MHz	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec
375 K	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec
180 K	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec
93 K	NR	Rec	NR	Rec	Rec	Rec	Rec	Rec

■ 受影响的参数

NA

■ 触发条件

有关触发错误写指令的 CPU 设置的详细信息，请参考涉及到的表格。

■ 影响范围

I²C 操作受此勘误表元素的影响。

■ 解决方案

设计 I2CHW 用户模块用于实现寄存器写频率的建议结合。该用户模块上有一个参数必须由 CY8C27x43 芯片版本 A 器件的用户设置。设置好该参数时，如果要对受影响的寄存器进行写操作，则用户模块代码会暂时将 CPU 的频率修正为建议值。PSoC Designer 用户需要下载并安装 <http://www.cypress.com/psoc> 网站上所提供的 PSoC Designer 4.1 Service Pack 1。

■ 修复状态

在芯片版本 B 中修复。

文档修订记录页

文档标题: CY8C27143/CY8C27243/CY8C27443/CY8C27543/CY8C27643, PSoC® 可编程片上系统 文档编号: 001-63470			
版本	ECN	提交日期	变更说明
**	3002415	08/06/2010	新数据手册
*A	3296518	06/29/2011	更新为 38-12012*T
*B	3319439	07/25/2011	译自 38-12012*T
*C	3566834	03/30/2012	译自 38-12012*T
*D	4483158	08/26/2014	更新封装信息: 规范 51-85024 – 将版本号从 *E 改为 *F。规范 51-85014 – 将版本号从 *F 改为 *G。规范 51-85026 – 将版本号从 *F 改为 *H。规范 51-85064 – 将版本号从 *E 改为 *F。规范 51-85061 – 将版本号从 *E 改为 *F。规范 001-13191 – 将版本号从 *F 改为 *G。规范 51-85062 – 将版本号从 *E 改为 *F。 完成了到期复审。
*E	4521454	11/05/2014	本文档版本号为 Rev*E, 译自英文版 38-12012 Rev*Z。
*F	4910628	09/011/2015	本文档版本号为 Rev*F, 译自英文版 38-12012 RevAB。
*G	6651897	04/06/2020	本文档版本号为 Rev*G, 译自英文版 38-12012 RevAD。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到最靠近您的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [代码示例](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2003-2020 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性的、非独家且不可转让的如下许可（无再许可）：（1）在赛普拉斯特软件著作权项下的下列许可：（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适用性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担任何或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。