

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

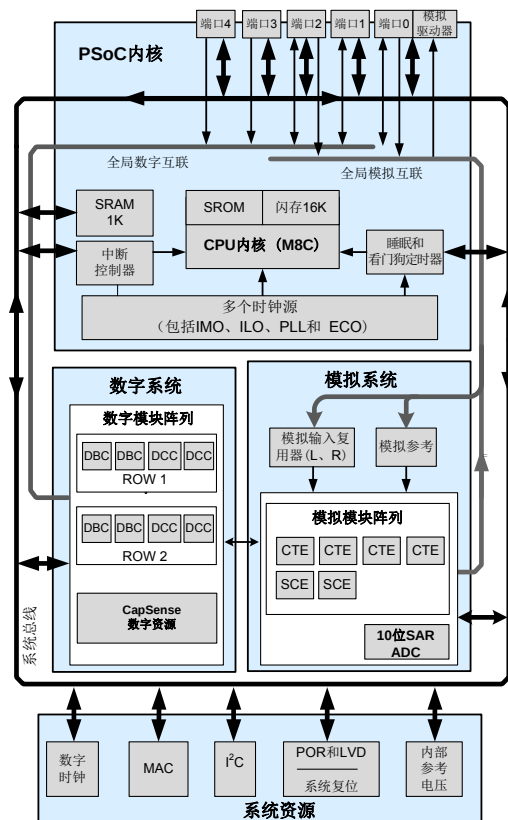
英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

特性

- 强大的哈佛（Harvard）架构处理器：
 - M8C 处理器的速度高达 24 MHz
 - 8 × 8 乘法、32 位累加运算能力
 - 能在高速度条件下实现低功耗操作
 - 工作电压范围：3.0 V ~ 5.25 V
 - 工业级温度范围：-40 °C ~ +85 °C
- 拥有多个高级外设（PSoC® 模块）
 - 6 个 E 型 PSoC 模拟模块，能够提供：
 - 一个或两个 8 位模数转换器（ADC）
 - 比较器（多达 4 个）
 - 最多可达 8 个 PSoC 数字模块，能够提供：
 - 8 位到 32 位定时器和计数器，8 位和 16 位脉宽调制器（PWM）
 - 定时器和 PWM 中提供单触发和多触发模式支持
 - 一个数字模块可提供带死区的脉冲宽度调制器
 - 移位寄存器、CRC 和 PRS 模块
 - 全双工 UART
 - 多个 SPI 主设备或从设备，支持可变数据长度：8 位到 16 位
 - 可连接至所有 GPIO 引脚
 - 通过组合多个模块，可构建复杂的外设
 - 支持移位功能，以进行 FSK 检测
 - 支持强大的同步功能。模拟模块操作可通过数字模块或外部信号进行同步。
- 高速的 10 位 SAR ADC 已为嵌入式控制对采样和保持数据进行了优化
- 高精度、可编程时钟：
 - 可在整个工业级温度范围内，内部振荡器的频率为 24/48 MHz ±5% [1]
 - 通过使用可选的 32 kHz 晶振和 PLL，可提供高精度的 24 MHz 时钟
 - 可选的外部振荡器频率最高可达 24 MHz
 - 内部 / 外部振荡器能够给看门狗和睡眠定时器提供时钟脉冲
- 灵活的片上存储器：
 - 存储程序的闪存容量高达 16 KB，最多 50,000 次擦 / 写周期
 - SRAM 数据存储器的容量高达 1 KB
 - 系统内串行编程（ISSP）
 - 局部闪存更新
 - 灵活的保护模式
 - 闪存内的 EEPROM 仿真
- CapSense® 资源已得到优化：
 - 两个 IDAC 可提供高达 640 μA 的源电流，不需要使用外部电阻
 - CapSense 功能专用的两个时钟资源：
 - CSD_CLK: 1/2/4/8/16/32/128/256，来源于 SYSCLK
 - CNT_CLK: 1/2/4/8，来源于 CSD_CLK

- CapSense 扫描专用的 16 位定时器 / 计数器
- 支持两个 CSD 通道同时扫描
- 可编程引脚配置：
 - 所有 GPIO 的灌电流为 25 mA，源电流为 10 mA
 - 所有 GPIO 均支持上拉、下拉、高阻、强驱动或开漏驱动模式
 - GPIO 上最多可有 38 个模拟输入
 - 所有 GPIO 都能生成可配置中断
- 其他的系统资源：
 - I²C™ 从设备、主设备和多主设备的频率可达 400 kHz
 - 支持硬件寻址功能
 - 看门狗和睡眠定时器
 - 支持用户可配置的低电压检测功能
 - 集成监控电路
 - 片上高精度参考电压
 - 支持在数字外设逻辑中包含 RTC 模块

顶级框图



勘误表：有关芯片勘误表的信息，请查看第 34 页上的“勘误表”。具体内容包括触发条件、受影响器件以及推荐的解决方案。

注释

1. **勘误表** 器件在 0°C ~ 70°C 的温度范围内运行时，频率容差会下降到 ±2.5%，如果在极限温度（0°C 以下或 70°C 以上）运行，则频率容差将从 ±2.5% 改变为 ±5%。更多有关信息，请参见第 34 页上的“勘误表”。

目录

PSoC 功能概述	3	最大绝对额定值	14
PSoC 内核	3	工作温度	14
数字系统	3	直流电气特性	15
模拟系统	4	交流电气特性	21
其它系统资源	4	封装信息	27
PSoC 器件特性	5	热阻	28
入门	5	回流焊规范	28
应用笔记	5	订购信息	28
开发套件	5	订购代码定义	28
培训	5	缩略语	29
CYPs 顾问	5	参考文档	29
解决方案库	5	文档常规	30
技术支持	5	测量单位	30
开发工具	6	数字常规	30
PSoC Designer 软件子系统	6	术语表	30
使用 PSoC Designer 进行设计	7	勘误表	34
选择用户模块	7	受影响的器件型号	34
配置用户模块	7	CY8C21x45、CY8C22x45 合格状态	34
组织和连接	7	勘误表总结	34
生成、验证和调试	7	文档修订记录页	36
引脚分布	8	销售、解决方案和法律信息	37
CY8C22345、CY8C21345 28 引脚 SOIC	8	全球销售和 design 支持	37
CY8C22545 44 引脚 TQFP	9	产品	37
寄存器	10	PSoC® 解决方案	37
寄存器规范	10	赛普拉斯开发者社区	37
寄存器映射表	10	技术支持	37
电气规范	13		

PSoC 功能概述

PSoC 系列包含许多片上控制器件。这些器件旨在使用一个低成本的单芯片可编程组件取代多个基于 MCU 的传统系统组件。PSoC 器件提供多个可配置的模拟和数字逻辑模块，以及可编程接口。这种架构允许用户能够根据每个应用的要求来创建自定义的外设配置。此外，PSoC 还提供快速 CPU、程序存储闪存、数据存储 SRAM 和可配置的 I/O，这样可便于进行引脚布局和封装。

如图 1 所示，PSoC 架构由以下 4 个主要部分组成：PSoC 内核、数字系统、模拟系统和系统资源。利用可配置的全局总线资源，可将所有器件资源组合在一个完整的自定义系统中。PSoC 系列具有多达 5 个连接到全局数字和模拟系统的 I/O 端口，能够访问 8 个数字模块和 6 个模拟模块。

PSoC 内核

PSoC 内核是一个强大的引擎，可支持多种功能。该内核包括 CPU、存储器、时钟和可配置的通用 I/O（GPIO）引脚。

M8C CPU 内核是一个频率高达 24 MHz 的强大处理器，能够提供 4 MIPS 的 8 位 Harvard 架构微处理器。CPU 使用具有 21 个向量的中断控制器，以便简化实时嵌入式事件的编程。

程序执行的流程由睡眠定时器和看门狗定时器（WDT）提供定时和保护功能。

存储器包括 16 KB 的闪存（用于存储程序）和 1 KB 的 SRAM（用于存储数据），以及使用闪存进行仿真的 2 KB 的 EEPROM。程序闪存存在 64 字节的模块上采用四个保护级别，能够提供自定义的软件 IP 保护。

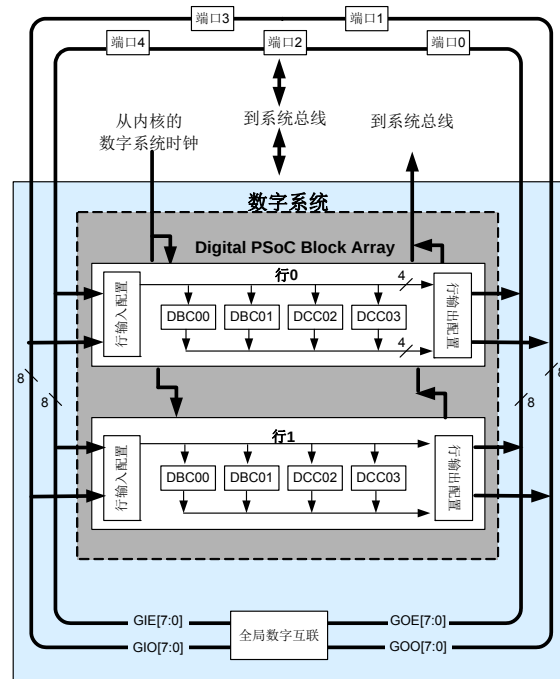
PSoC 器件采用了灵活的内部时钟发生器，包括 24 MHz IMO（内部主振荡器）。IMO 的 24 MHz 频率还可以倍增至 48 MHz，以便供数字系统使用。PSoC 器件为睡眠定时器和 WDT 提供了一个低功耗 32 kHz 的内部低速振荡器（ILO）。如果需要晶振的精度，可将 ECO（即 32.768 kHz 外部晶振）用作实时时钟（RTC），并且可以使用 PLL 选择性地生成具有晶振精度的 24 MHz 系统时钟。通过时钟以及可编程时钟分频器（作为一个系统资源），可非常容易使 PSoC 器件满足几乎所有时序要求。

通过 PSoC GPIO，可以连接到器件的 CPU、数字模块和模拟模块。每个引脚都有 8 种驱动模式可供选择，这样可以非常灵活进行外部连接。每个引脚还能够在处于高电平、低电平以及自上次读取后发生变化时生成系统中断。

数字系统

数字系统由 8 个 PSoC 数字模块组成。每个模块都是一个 8 位资源，既可以单独使用，也可以与其他模块一起组成 8 位、16 位、24 位和 32 位外设（称为用户模块）。

图 1. 数字系统框图



数字外设配置包括：

- PWM（8 位和 16 位）
- 带死区的 PWM（8 位和 16 位）
- 计数器（8 位到 32 位）
- 定时器（8 位到 32 位）
- 带可选奇偶校验位的 8 位 UART（最多 2 个）
- SPI 主设备和从设备（最多 2 个）
- 移位寄存器（1 位到 32 位）
- I2C 从设备和主设备（一个属于系统资源）
- 循环冗余检验器 / 发生器（8 位到 32 位）
- IrDA（最多 2 个）
- 伪随机序列发生器（8 位到 32 位）

通过一系列能够将任意信号路由至任意引脚的全局总线，数字模块可以连接到所有 GPIO。此外，通过总线还可以实现信号复用和执行逻辑运算。这种可配置特性使设计不再受固定外设控制器的限制。

4 个数字模块排列在一行内，具体的模块数量因 PSoC 器件系列不同而异。这样便可以根据应用来选择系统资源。有关器件系列的资源，请参见第 5 页上的表 1。

模拟系统

模拟系统包含一个 10 位 SAR ADC 和 6 个可配置模块。

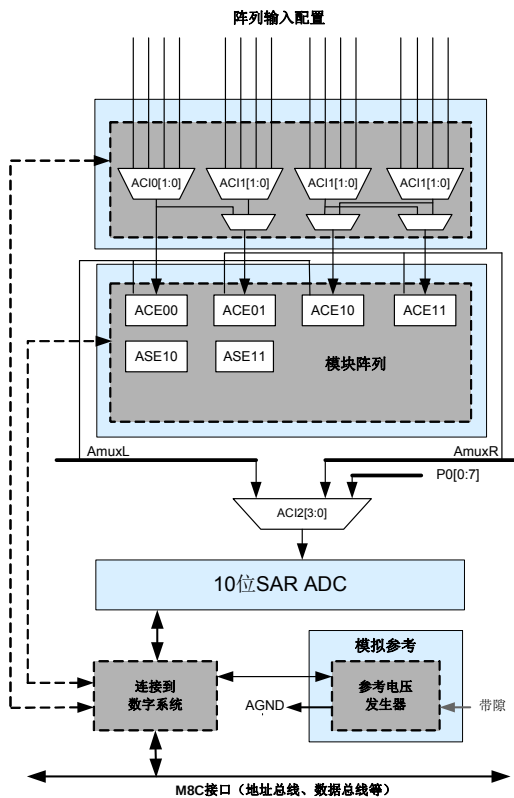
可编程的 10 位 SAR ADC 是一个得到优化的模数转换器 (ADC)，最大运行速度可达 200 kSPS，并且只有 ± 1.5 LSB DNL（微分非线性误差）和 ± 2.5 LSB INL（积分非线性误差）（适用条件为 $V_{DD} \geq 3.0$ V 且 $V_{ref} \geq 3.0$ V）。ADC 输入通道上需要使用外部滤波器，以消除信号混叠。这可确保任何带外的信号都不会混叠到输入信号带中。

通过可重新配置的模拟资源，可以创建复杂的模拟信号流。模拟外设非常灵活，并能够根据具体的应用要求进行自定义。一些更常用的 PSoC 模拟功能（大部分都以用户模块的方式提供）包括

- 模数转换器（一个或两个，8 位分辨率）
- 引脚至引脚比较器
- 使用绝对参考电压 (1.3V) 或 5 位 DAC 参考电压的单端比较器
- 1.3 V 参考电压（属于系统资源）

4 个模拟模块排列在一列中，其中包括 CT-E（连续时间）和 SC-E（开关电容）模块。这些器件提供功能有限的“E”型模拟模块。

图 2. 模拟系统框图



其它系统资源

系统资源（有些系统资源已在前面章节中列出）能够提供对整个系统非常有用的附加功能。此外，还支持 MAC、低压检测和上电复位功能。以下介绍了每种系统资源的优势：

- 数字时钟分频器能够提供三个可自定义的时钟频率，以便在应用中使用。可以将这些时钟路由到数字系统和模拟系统。通过将 PSoC 数字模块作为时钟分频器使用，可以生成更多时钟。
- 为 CSD 对额外数字资源和时钟进行优化。
- 支持在数字外设逻辑中包含“RTC”模块。
- 乘累加 (MAC) 资源能够提供 8 位快速乘法器和 32 位累加运算能力，以便协助通用计算和数字滤波器。
- I2C 模块能够通过两条线路提供 100 kHz 和 400 kHz 的通信。支持从设备、主设备和多主设备模式。
- 低压检测 (LVD) 中断可以在电压下降时向应用程序发出信号，而高级 POR（上电复位）电路并不需要系统监控。
- 1.3 V 的内部参考电压为 ADC、DAC 等模拟系统提供了一个绝对参考电压。

PSoC 器件特性

数字和模拟系统可以有 16、8 或 4 个数字模块和 12、6 或 3 个模拟模块，具体取决于 PSoC 器件的特性。下表列出了特定 PSoC 器件系列所拥有的资源。

表 1. PSoC 器件特性

PSoC 器件型号	数字 I/O	数字行	数字模块	模拟输入	模拟输出	模拟列	模拟模块	SRAM 大小	闪存大小
CY8C29x66 ^[2]	多达 64 个	4	16	多达 12 个	4	4	12	2 K	32 K
CY8C28xxx	多达 44 个	多达 3 个	多达 12 个	多达 44 个	多达 4 个	多达 6 个	多达 12 + 4 ^[3]	1K	16 K
CY8C27x43	多达 44 个	2	8	多达 12 个	4	4	12	256	16 K
CY8C24x94 ^[2]	多达 56 个	1	4	多达 48 个	2	2	6	1 K	16 K
CY8C24x23A ^[2]	多达 24 个	1	4	多达 12 个	2	2	6	256	4K
CY8C23x33	多达 26 个	1	4	多达 12 个	2	2	4	256	8 K
CY8C22x45 ^[2]	多达 38 个	2	8	多达 38 个	0	4	6 ^[3]	1 K	16 K
CY8C21x45 ^[2]	多达 24 个	1	4	多达 24 个	0	4	6 ^[3]	512	8 K
CY8C21x34 ^[2]	多达 28 个	1	4	多达 28 个	0	2	4 ^[3]	512	8K
CY8C21x23	多达 16 个	1	4	多达 8 个	0	2	4 ^[3]	256	4 K
CY8C20x34 ^[2]	多达 28 个	0	0	多达 28 个	0	0	3 ^[3、4]	512	8 K
CY8C20xx6	多达 36 个	0	0	多达 36 个	0	0	3 ^[3、4]	多达 2 K	最高达 32 K

入门

有关详细信息以及编程的详情，请参见 [CY8C22x45](#)、[CY8C21345](#)：PSoC® 可编程片上系统技术参考手册。

如需最新的订购、封装和电气规范信息，请参见网站上提供的最新 [PSoC 器件数据手册](#)。

应用笔记

赛普拉斯应用笔记已经对各种 PSoC 设计方案进行了完美介绍。使用 [PSoC 1 应用笔记查找工具](#) 给指定的应用和 / 或系列寻找相应的应用笔记或示例项目。

开发套件

可以从赛普拉斯网站上获得 [PSoC 1 套件](#)，也可以从其不断增加的地区和全球分销商（包括 Arrow、Avnet、Digi-Key、Farnell、Future Electronics 和 Newark）获取。可以从赛普拉斯的网站上获取该 [套件选型指南](#)，它针对每个 PSoC 1 产品系列提供了所有可用的开发套件、编程套件以及调试套件的列表。

培训

网址 www.cypress.com 下所在的在线免费 PSoC 技术培训（按需提供培训、在线研讨会和专题讨论会）包含了有助于您进行设计的大量主题和技能。

CYPros 顾问

从技术协助到完成 PSoC 设计，得到认证的 PSoC 顾问能够提供一切支持。要联系或成为 PSoC 顾问，请访问 [CYPros 顾问网站](#)。

解决方案库

请访问我们的 [以解决方案为中心且内容不断增多的设计库](#)。您可以从中找到各种应用设计，包括有助于快速完成设计的固件和硬件设计文件。

技术支持

可以在线获取 [技术支持](#)（包括可搜索的知识库文章和技术论坛）。如果找不到问题的解决方案，请致电 1-800-541-4736 联系技术支持。

注释

2. 此器件系列中包含符合汽车级产品规范的器件。
3. 模拟功能有限。
4. 两个模拟模块和一个 CapSense® 模块。

开发工具

PSoC Designer™ 是革新的集成开发环境 (IDE)，您可以用来自定义 PSoC 以满足特定的应用需求。PSoC Designer 软件可加快系统的设计和上市进程。在拖放式设计环境中使用预先设定的模拟和数字外设（也称为用户模块）库来开发您的应用程序。然后，利用动态生成的应用编程接口 (API) 代码库来自定义您的设计。最后，使用集成调试环境（包括在线仿真和标准的软件调试功能）来调试并测试您的设计。PSoC Designer 包括：

- 应用编辑器图形用户界面 (GUI)，用于配置和动态重新配置器件和用户模块
- 内容丰富的用户模块目录
- 集成的源码编辑器 (C 语言和汇编语言)
- 免费的 C 语言编译器 (无大小限制或时间限制)
- 内置调试器
- 在线仿真
- 通信接口的内置支持：
 - 硬件和软件 I²C 从设备和主设备
 - 全速 USB 2.0
 - 多达四个全双工通用异步收发器/发送器 (UART)、SPI 主接口和从接口及无线

PSoC Designer 支持整个库的 PSoC 1 器件，并可以在 Windows XP、Windows Vista 和 Windows 7 系统上运行。

PSoC Designer 软件子系统

设计入口

在芯片级视图中，选择需要使用的基本器件。然后选择不同的板上模拟和数字组件。这些组件称为用户模块，并采用 PSoC 模块。用户模块示例包括 ADC、DAC、放大器和滤波器。为所选应用配置用户模块，将它们互连并连接至适当的引脚。然后生成您的项目。这样，可以在项目中加入 API 和库，从而能使用它们编程应用。

通过此工具，用户还可以轻松开发多个配置和动态重新配置。利用动态重新配置，可在运行时更改配置。实质上，通过动态重新配置，您可对某个应用使用超过 100% 的 PSoC 资源。

代码生成工具

这些代码生成工具能够在 PSoC Designer 界面内无缝工作，并能够使用一整套调试工具进行测试。您可以使用 C 语言、汇编语言或两者进行开发设计。

汇编器。汇编器可使汇编代码与 C 语言代码无缝合并。链接库会自动使用绝对寻址，或在相对模式下进行编译，然后与其他软件模块链接，以实现绝对寻址。

C 语言编译器。C 语言编译器支持 PSoC 器件系列。通过使用这些产品，您可以为 PSoC 系列器件创建完整的 C 语言程序。优化的 C 语言编译器能够对 PSoC 架构提供 C 语言的所有功能此外，还提供了各个嵌入式库。这些库能够提供端口和总线操作、标准键盘和显示器支持以及扩展的数学功能。

调试器

PSoC Designer 提供的调试环境具有硬件在线仿真功能，不仅可提供了 PSoC 器件的内部视图，还可让您在物理系统中测试程序。借助调试器指令，可对数据存储器进行读 / 编程及读 / 写操作，对 I/O 寄存器进行读 / 写操作。可对 CPU 寄存器进行读 / 写操作、设置和清除断点，以及提供程序运行、暂停和步进控制。调试器还可让您创建相关寄存器和存储器位置的跟踪缓冲区。

在线帮助系统

在线帮助系统可提供上下文关联的在线帮助。每个功能子系统都有上下文关联的帮助，以便提供程式化的快速参考。在线帮助系统还提供相关教程以及指向常见问题和在线支持论坛的链接，以帮助设计人员。

在线仿真器

功能强大的低成本在线仿真器 (ICE) 可支持开发工作。该硬件可以编程单个器件。

仿真器包含一个通过 USB 端口连接到 PC 的基本装置。该基本装置是通用的，且能够与所有的 PSoC 器件一起使用。您可以单独购买任意器件系列的仿真转接板。仿真转接板取代了目标电路板中的 PSoC 器件并可执行全速 (24 MHz) 操作。

使用 PSoC Designer 进行设计

PSoC 器件的开发过程不同于传统的固定功能微处理器的开发过程。可配置的模拟和数字硬件模块赋予 PSoC 架构独特的灵活性，有助于在开发期间管理规范变更，并降低库存成本。这些可配置的资源（称为 PSoC 模块）能够实现众多可供用户选择的功能。PSoC 开发过程可概括为以下四个步骤：

1. 选择用户模块。
2. 配置用户模块。
3. 组织和连接。
4. 生成、验证和调试。

选择用户模块

PSoC Designer 提供了一个预建且预测试的硬件外设组件库，称为“用户模块”。通过使用用户模块可使选择和实现外设器件（包括模拟和数字器件）变得非常简单。

配置用户模块

所选的每个用户模块都能实现用于执行选定功能的基本寄存器设置。此外，它们还提供了各个参数和属性，使您能够针对特定应用自定义精确配置。例如，PWM 用户模块能够配置一个或多个数字 PSoC 模块（每个模块的分辨率均为 8 位）。借助用户模块参数，您可以确定脉冲宽度和占空比。请根据所选应用配置相应的参数和属性。您可以直接输入某个值或从下拉菜单中选择。所有用户模块都记录在数据手册中，可在 PSoC Designer 中或赛普

拉斯网站上直接查看。这些[用户模块数据手册](#)介绍了用户模块的内部操作并提供了性能规范。每个数据手册都介绍了每个用户模块参数的使用，以及成功实现设计可能需要的其他信息。

组织和连接

您可以通过用户模块互连及与 I/O 引脚相连来构建芯片级的信号链。通过进行选择、配置和布线，可完全控制所有片上资源。

生成、验证和调试

当测试硬件配置准备就绪或接下来要开发项目代码时，请执行“生成配置文件”这一步骤。这会使 PSoC Designer 生成源代码，而源代码会自动按照您的规范配置器件，并为系统提供软件。生成的代码提供了带有高级函数的应用编程接口（API），用于在运行时控制并响应硬件事件。同时，还提供了可根据需要调整的中断服务子程序

完善的代码开发环境可让您使用 C 语言和 / 或汇编语言来开发和自定义应用程序。

开发过程的最后一步是在 PSoC Designer 的调试器（单击“Connect”（连接）图标访问）中完成的。PSoC Designer 会将 HEX 图像下载到 ICE 中并全速运行。PSoC Designer 的调试功能可以与较其成本高出数倍的系统相媲美。除了传统的单步执行、运行到断点和监视变量功能外，调试接口还提供大型跟踪缓冲区，并允许您定义复杂断点事件。这些事件包括监控地址和数据总线值、存储器位置和外部信号。

引脚分布

此 PSoC 器件系列有多种封装可供选择，具体请参考后续表格。每个端口引脚（标有“P”）均能用作数字 I/O。但是，V_{ss}、V_{dd} 和 XRES 不能用作数字 I/O。

CY8C22345、CY8C21345 28 引脚 SOIC

表 2. 引脚定义

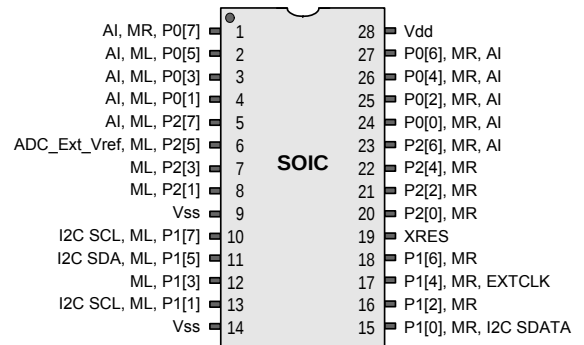
引脚 编号	类型		引脚名称	说明
	数字	模拟		
1	I/O	I, MR	P0[7]	MR 的积分电容
2	I/O	I, ML	P0[5]	ML 的积分电容
3	I/O	I, ML	P0[3]	
4	I/O	I, ML	P0[1]	
5	I/O	I, ML	P2[7]	将信号连接至 Compare Column 0（比较列 0）
6	I/O	ML	P2[5]	可选的 ADC 外部参考电压 V _{ref}
7	I/O	ML	P2[3]	
8	I/O	ML	P2[1]	
9	电源		V _{ss}	接地 ^[5]
10	I/O	ML	P1[7]	I2C 串行时钟（SCL）
11	I/O	ML	P1[5]	I2C 串行数据（SDA）
12	I/O	ML	P1[3]	
13	I/O	ML	P1[1]	I2C 串行时钟（SCL），ISSP-SCLK ^[6]
14	电源		V _{ss}	接地 ^[5]
15	I/O	MR	P1[0]	I2C 串行时钟（SCL），ISSP-SDATA ^[6]
16	I/O	MR	P1[2]	
17	I/O	MR	P1[4]	可选的外部时钟输入（EXT-CLK）
18	I/O	MR	P1[6]	
19	输入		XRES	采用内部下拉电阻的高电平有效复位引脚
20	I/O	MR	P2[0]	
21	I/O	MR	P2[2]	
22	I/O	MR	P2[4]	
23	I/O	I, MR	P2[6]	将信号连接至 Compare Column 1（比较列 1）
24	I/O	I, MR	P0[0]	
25	I/O	I, MR	P0[2]	
26	I/O	I, MR	P0[4]	
27	I/O	I, MR	P0[6]	
28	电源		V _{dd}	供电电压

注意：A = 模拟，I = 输入，O = 输出，MR = 模拟复用器右侧输入，ML = 模拟复用器左侧输入。

注释

- 应将所有 V_{ss} 引脚连接地（GND）。
- 如果不使用 ISSP，引脚 P1[0] 和 P1[1] 将分别对 POR 或 XRES 事件做出响应。POR 或 XRES 事件发生后，这两个引脚通过进入电阻为零的驱动模式而被下拉至地，直到达到高阻态驱动模式时为止。

图 3. 引脚图

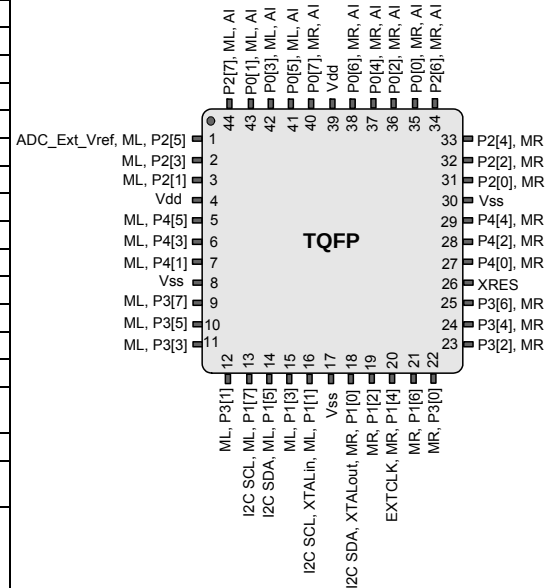


CY8C22545 44 引脚 TQFP

表 3. 引脚定义 [7]

引脚 编号	类型		引脚名称	说明
	数字	模拟		
1	I/O	ML	P2[5]	可选的 ADC 外部参考电压 Vref
2	I/O	ML	P2[3]	
3	I/O	ML	P2[1]	
4	电源		Vdd	供电电压
5	I/O	ML	P4[5]	
6	I/O	ML	P4[3]	
7	I/O	ML	P4[1]	
8	电源		Vss	接地
9	I/O	ML	P3[7]	
10	I/O	ML	P3[5]	
11	I/O	ML	P3[3]	
12	I/O	ML	P3[1]	
13	I/O	ML	P1[7]	I2C 串行时钟 (SCL)
14	I/O	ML	P1[5]	I2C 串行数据 (SDA)
15	I/O	ML	P1[3]	
16	I/O	ML	P1[1]	晶振输入 (XTALin)、I2C SCL、ISSP SCLK ^[6]
17	电源		Vss	接地
18	I/O	MR	P1[0]	晶振输出 (XTALout)、I2C SDA、ISSP SDATA ^[6]
19	I/O	MR	P1[2]	
20	I/O	MR	P1[4]	可选的外部时钟输入 (EXTCLK)
21	I/O	MR	P1[6]	
22	I/O	MR	P3[0]	
23	I/O	MR	P3[2]	
24	I/O	MR	P3[4]	
25	I/O	MR	P3[6]	
26	输入		XRES	采用内部下拉电阻的高电平有效复位引脚
27	I/O	MR	P4[0]	
28	I/O	MR	P4[2]	
29	I/O	MR	P4[4]	
30	电源		Vss	接地
31	I/O	MR	P2[0]	
32	I/O	MR	P2[2]	
33	I/O	MR	P2[4]	
34	I/O	I, MR	P2[6]	将信号连接至 Compare Column 1 (比较列 1)
35	I/O	I, MR	P0[0]	
36	I/O	I, MR	P0[2]	
37	I/O	I, MR	P0[4]	
38	I/O	I, MR	P0[6]	
39	电源		Vdd	供电电压
40	I/O	I, MR	P0[7]	MR 的积分电容
41	I/O	I, ML	P0[5]	ML 的积分电容
42	I/O	I, ML	P0[3]	
43	I/O	I, ML	P0[1]	
44	I/O	I, ML	P2[7]	将信号连接至 Compare Column 0 (比较列 0)

图 4. 引脚图



注意: A = 模拟, I = 输入, O = 输出, MR = 模拟复用器右侧输入, ML = 模拟复用器左侧输入。

注释

7. 应将所有 V_{SS} 引脚接地 (GND)。

寄存器

本节按映射表列出 PSoC 器件系列的寄存器。有关寄存器的详细信息，请参考 *PSoC 可编程片上系统技术参考手册*。

寄存器规范

表 4. 缩略词

规范	说明
RW	读和写寄存器或位
R	读取寄存器或位
W	写入寄存器或位
L	逻辑寄存器或位
C	可清除的寄存器或位
#	针对位进行的访问类型

寄存器映射表

PSoC 器件共有 512 字节的寄存器地址空间。该寄存器空间也称为 I/O 空间，分为两部分。标志寄存器中的 XOI 位用于确定用户当前的位置。当 XIO 位被设置时，表示用户正在访问 extended（扩展）地址空间或 configuration（配置）寄存器。

注意：在以下寄存器映射表中，空白字段均被保留，请勿访问这些字段。

表 5. 寄存器映射组 0 表格：用户空间

名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问
PRT0DR	00	RW		40	#	ASC10CR0*	80*	RW		C0	RW
PRT0IE	01	RW		41	W		81	RW		C1	RW
PRT0GS	02	RW		42	RW		82	RW		C2	RW
PRT0DM2	03	RW		43	#		83	RW		C3	RW
PRT1DR	04	RW		44	#	ASD11CR0*	84*	RW		C4	RW
PRT1IE	05	RW		45	W		85	RW		C5	RW
PRT1GS	06	RW		46	RW		86	RW		C6	RW
PRT1DM2	07	RW		47	#		87	RW		C7	RW
PRT2DR	08	RW		48	#		88	RW	PWMVREF0	C8	#
PRT2IE	09	RW		49	W		89	RW	PWMVREF1	C9	#
PRT2GS	0A	RW		4A	RW		8A	RW	IDAC_MODE	CA	RW
PRT2DM2	0B	RW		4B	#		8B	RW	PWM_SRC	CB	#
PRT3DR	0C	RW		4C	#		8C	RW	TS_CR0	CC	RW
PRT3IE	0D	RW		4D	W		8D	RW	TS_CMPH	CD	RW
PRT3GS	0E	RW		4E	RW		8E	RW	TS_CMPL	CE	RW
PRT3DM2	0F	RW		4F	#		8F	RW	TS_CR1	CF	RW
PRT4DR	10	RW	CSD0_DR0_L	50	R		90	RW	CUR_PP	D0	RW
PRT4IE	11	RW	CSD0_DR1_L	51	W		91	RW	STK_PP	D1	RW
PRT4GS	12	RW	CSD0_CNT_L	52	R		92	RW	PRV_PP	D2	RW
PRT4DM2	13	RW	CSD0_CR0	53	#		93	RW	IDX_PP	D3	RW
	14	RW	CSD0_DR0_H	54	R		94	RW	MVR_PP	D4	RW
	15	RW	CSD0_DR1_H	55	W		95	RW	MVW_PP	D5	RW
	16	RW	CSD0_CNT_H	56	R		96	RW	I2C0_CFG	D6	RW
	17	RW	CSD0_CR1	57	RW		97	RW	I2C0_SCR	D7	#
	18	RW	CSD1_DR0_L	58	R		98	RW	I2C0_DR	D8	RW
	19	RW	CSD1_DR1_L	59	W		99	RW	I2C0_MSCR	D9	#
	1A	RW	CSD1_CNT_L	5A	R		9A	RW	INT_CLR0	DA	RW
	1B	RW	CSD1_CR0	5B	#		9B	RW	INT_CLR1	DB	RW
	1C	RW	CSD1_DR0_H	5C	R		9C	RW	INT_CLR2	DC	RW
	1D	RW	CSD1_DR1_H	5D	W		9D	RW	INT_CLR3	DD	RW
	1E	RW	CSD1_CNT_H	5E	R		9E	RW	INT_MSK3	DE	RW
	1F	RW	CSD1_CR1	5F	RW		9F	RW	INT_MSK2	DF	RW
DBC00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBC00DR1	21	W	AMUX_CFG	61	RW		A1		INT_MSK1	E1	RW
DBC00DR2	22	RW	PWM_CR	62	RW		A2		INT_VC	E2	RC
DBC00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBC01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RW
DBC01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RW
DBC01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0*	E6	RW
DBC01CR0	27	#		67	RW		A7		DEC_CR1*	E7	RW
DCC02DR0	28	#	ADC0_CR	68	#		A8	W	MUL0_X	E8	W
DCC02DR1	29	W	ADC1_CR	69	#		A9	W	MUL0_Y	E9	W
DCC02DR2	2A	RW	SADC_DH	6A	RW		AA	R	MUL0_DH	EA	R
DCC02CR0	2B	#	SADC_DL	6B	RW		AB	R	MUL0_DL	EB	R
DCC03DR0	2C	#	TMP_DR0	6C	RW		AC	RW	ACC0_DR1	EC	RW
DCC03DR1	2D	W	TMP_DR1	6D	RW		AD	RW	ACC0_DR0	ED	RW
DCC03DR2	2E	RW	TMP_DR2	6E	RW		AE	RW	ACC0_DR3	EE	RW
DCC03CR0	2F	#	TMP_DR3	6F	RW		AF	RW	ACC0_DR2	EF	RW
DBC10DR0	30	#		70	RW	RD10RI	B0	RW	CPU_A	F0	#
DBC10DR1	31	W		71	RW	RD10SYN	B1	RW	CPU_T1	F1	#
DBC10DR2	32	RW	ACB00CR1*	72*	RW	RD10IS	B2	RW	CPU_T2	F2	#
DBC10CR0	33	#	ACB00CR2*	73*	RW	RD10LT0	B3	RW	CPU_X	F3	#
DBC11DR0	34	#		74	RW	RD10LT1	B4	RW	CPU_PCL	F4	#
DBC11DR1	35	W		75	RW	RD10RO0	B5	RW	CPU_PCH	F5	#
DBC11DR2	36	RW	ACB01CR1*	76*	RW	RD10RO1	B6	RW	CPU_SP	F6	#
DBC11CR0	37	#	ACB01CR2*	77*	RW	RD10DSM	B7	RW	CPU_F	F7	I
DCC12DR0	38	#		78	RW	RD11RI	B8	RW	CPU_TST0	F8	RW
DCC12DR1	39	W		79	RW	RD11SYN	B9	RW	CPU_TST1	F9	RW
DCC12DR2	3A	RW		7A	RW	RD11IS	BA	RW	CPU_TST2	FA	RW
DCC12CR0	3B	#		7B	RW	RD11LT0	BB	RW	CPU_TST3	FB	#
DCC13DR0	3C	#		7C	RW	RD11LT1	BC	RW	DAC1_D	FC	RW
DCC13DR1	3D	W		7D	RW	RD11RO0	BD	RW	DAC0_D	FD	RW
DCC13DR2	3E	RW		7E	RW	RD11RO1	BE	RW	CPU_SCR1	FE	#
DCC13CR0	3F	#		7F	RW	RD11DSM	BF	RW	CPU_SCR0	FF	#

灰色显示字段为保留字段，并不能访问这些字段。

表示针对位进行的访问类型。* 表示具有别的意义。

表 6. 寄存器映射组 1 表：配置空间

名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问
PRT0DM0	0	RW		40	RW	ASC10CR0*	80*	RW		C0	RW
PRT0DM1	1	RW		41	RW		81	RW		C1	RW
PRT0IC0	2	RW		42	RW		82	RW		C2	RW
PRT0IC1	3	RW		43			83	RW		C3	RW
PRT1DM0	4	RW		44	RW	ASD11CR0*	84*	RW		C4	RW
PRT1DM1	5	RW		45	RW		85	RW		C5	RW
PRT1IC0	6	RW		46	RW		86	RW		C6	RW
PRT1IC1	7	RW		47			87	RW		C7	RW
PRT2DM0	8	RW		48	RW		88	RW		C8	#
PRT2DM1	9	RW		49	RW		89	RW		C9	RW
PRT2IC0	0A	RW		4A	RW		8A	RW		CA	RW
PRT2IC1	0B	RW		4B			8B	RW		CB	RW
PRT3DM0	0C	RW		4C	RW		8C	RW		CC	#
PRT3DM1	0D	RW		4D	RW		8D	RW		CD	RW
PRT3IC0	0E	RW		4E	RW		8E	RW		CE	RW
PRT3IC1	0F	RW		4F			8F	RW		CF	RW
PRT4DM0	10	RW	CMP0CR1	50	RW		90	RW	GDI_O_IN	D0	RW
PRT4DM1	11	RW	CMP0CR2	51	RW		91	RW	GDI_E_IN	D1	RW
PRT4IC0	12	RW		52	RW		92	RW	GDI_O_OU	D2	RW
PRT4IC1	13	RW	VDAC50CR0	53	RW		93	RW	GDI_E_OU	D3	RW
	14	RW	CMP1CR1	54	RW		94	RW		D4	RW
	15	RW	CMP1CR2	55	RW		95	RW		D5	RW
	16	RW		56	RW		96	RW		D6	RW
	17	RW	VDAC51CR0	57	RW		97	RW		D7	RW
	18	RW	CSCMPCR0	58	#		98	RW	MUX_CR0	D8	RW
	19	RW	CSCMPGOEN	59	RW		99	RW	MUX_CR1	D9	RW
	1A	RW	CSLUTCR0	5A	RW		9A	RW	MUX_CR2	DA	RW
	1B	RW	CMPCOLMUX	5B	RW		9B	RW	MUX_CR3	DB	RW
	1C	RW	CMPPWMCR	5C	RW		9C	RW	DAC_CR1#	DC	RW
	1D	RW	CMPFLTCR	5D	RW		9D	RW	OSC_GO_EN	DD	RW
	1E	RW	CMPCLK1	5E	RW		9E	RW	OSC_CR4	DE	RW
	1F	RW	CMPCLK0	5F	RW		9F	RW	OSC_CR3	DF	RW
DBC00FN	20	RW	CLK_CR0	60	RW	GDI_O_IN_CR	A0	RW	OSC_CR0	E0	RW
DBC00IN	21	RW	CLK_CR1	61	RW	GDI_E_IN_CR	A1	RW	OSC_CR1	E1	RW
DBC00OU	22	RW	ABF_CR0	62	RW	GDI_O_OU_CR	A2	RW	OSC_CR2	E2	RW
DBC00CR1	23	RW	AMD_CR0	63	RW	GDI_E_OU_CR	A3	RW	VLT_CR	E3	RW
DBC01FN	24	RW	CMP_GO_EN	64	RW	RTC_H	A4	RW	VLT_CMP	E4	R
DBC01IN	25	RW	CMP_GO_EN1	65	RW	RTC_M	A5	RW	ADC0_TR*	E5	RW
DBC01OU	26	RW	AMD_CR1	66	RW	RTC_S	A6	RW	ADC1_TR*	E6	RW
DBC01CR1	27	RW	ALT_CR0	67	RW	RTC_CR	A7	RW	V2BG_TR	E7	RW
DCC02FN	28	RW	ALT_CR1	68	RW	SADC_CR0	A8	RW	IMO_TR	E8	W
DCC02IN	29	RW	CLK_CR2	69	RW	SADC_CR1	A9	RW	ILO_TR	E9	W
DCC02OU	2A	RW		6A	RW	SADC_CR2	AA	RW	BDG_TR	EA	RW
DBC02CR1	2B	RW	CLK_CR3	6B	RW	SAD-C_CR3TRIM	AB	RW	ECO_TR	EB	W
DCC03FN	2C	RW	TMP_DR0	6C	RW	SADC_CR4	AC	RW	MUX_CR4	EC	RW
DCC03IN	2D	RW	TMP_DR1	6D	RW	I2C0_AD	AD	RW	MUX_CR5	ED	RW
DCC03OU	2E	RW	TMP_DR2	6E	RW		AE	RW	MUX_CR6	EE	RW
DBC03CR1	2F	RW	TMP_DR3	6F	RW		AF	RW	MUX_CR7	EF	RW
DBC10FN	30	RW		70	RW	RD10RI	B0	RW	CPU_A	F0	#
DBC10IN	31	RW		71	RW	RD10SYN	B1	RW	CPU_T1	F1	#
DBC10OU	32	RW	ACB00CR1*	72	RW	RD10IS	B2	RW	CPU_T2	F2	#
DBC10CR1	33	RW	ACB00CR2*	73	RW	RD10LT0	B3	RW	CPU_X	F3	#
DBC11FN	34	RW		74	RW	RD10LT1	B4	RW	CPU_PCL	F4	#
DBC11IN	35	RW		75	RW	RD10RO0	B5	RW	CPU_PCH	F5	#
DBC11OU	36	RW	ACB01CR1*	76*	RW	RD10RO1	B6	RW	CPU_SP	F6	#
DBC11CR1	37	RW	ACB01CR2*	77*	RW	RD10DSM	B7	RW	CPU_F	F7	I
DCC12FN	38	RW		78	RW	RD11RI	B8	RW	FLS_PR0	F8	RW
DCC12IN	39	RW		79	RW	RD11SYN	B9	RW	FLS TR	F9	W
DCC12OU	3A	RW		7A	RW	RD11IS	BA	RW	FLS_PR1	FA	RW
DBC12CR1	3B	RW		7B	RW	RD11LT0	BB	RW		FB	
DCC13FN	3C	RW		7C	RW	RD11LT1	BC	RW	FAC_CR0	FC	SW
DCC13IN	3D	RW		7D	RW	RD11RO0	BD	RW	DAC_CR0#	FD	RW
DCC13OU	3E	RW		7E	RW	RD11RO1	BE	RW	CPU_SCR1	FE	#
DBC13CR1	3F	RW		7F	RW	RD11DSM	BF	RW	CPU_SCR0	FF	#

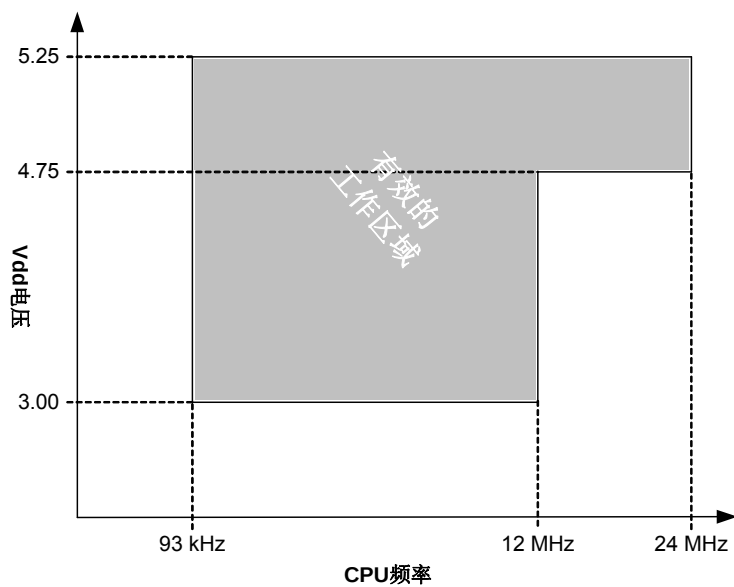
灰色显示字段为保留字段，并不能访问这些字段。

表示针对位进行的访问类型。* 表示具有别的意义。

电气规范

本节提供该 PSoC 器件系列的直流和交流电气规范。有关最新的电气规范，请访问 <http://www.cypress.com> 网站，查看最新的数据表。除非另有说明，否则这些规范的适用条件是： $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ 和 $T_J \leq 100\text{ }^{\circ}\text{C}$ 。对于运行频率超过 12 MHz 的器件，此规范为： $-40\text{ }^{\circ}\text{C} \leq T_A \leq 70\text{ }^{\circ}\text{C}$ 和 $T_J \leq 82\text{ }^{\circ}\text{C}$ 。

图 5. 电压与操作频率



最大绝对额定值

超过最大额定值可能会缩短设备的使用寿命。用户指引未经过测试。

表 7. 最大绝对额定值

符号	说明	最小值	典型值	最大值	单位	注意
T_{STG}	存放温度	-55	—	+100	°C	存放温度越高，数据保持时间就越短。
$T_{BAKETEMP}$	烘烤温度	—	125	请参见封装标签	°C	
$T_{BAKETIME}$	烘烤时间	请参见封装标签	—	72	小时	
T_A	上电时的环境温度	-40	—	+85	°C	
Vdd	相对于 Vss 的 Vdd 供电电压	-0.5	—	+6.0	V	
V_{IO}	直流输入电压	Vss - 0.5	—	Vdd + 0.5	V	
V_{IOZ}	应用于三态的直流电压	Vss - 0.5	—	Vdd + 0.5	V	
I_{MIO}	任意端口引脚的最大输入电流	-25	—	+50	mA	
ESD	静电放电电压	2000	—	—	V	人体模型 ESD
LU	门锁电流	—	—	200	mA	

工作温度

表 8. 工作温度

符号	说明	最小值	典型值	最大值	单位	注意
T_A	环境温度	-40	—	+85	°C	
T_J	结温	-40	—	+100	°C	从环境温度到结温的升温情况会因封装不同而存在变化。请参见第 28 页上的表 30。用户必须限制功耗，以满足该要求。

直流电气特性

芯片直流电平规范

表 9 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 到 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ；或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。除非另有说明，否则典型参数的适用条件为：温度 = 25°C、电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

表 9. 芯片级直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V _{DD}	供电电压	3.0	—	5.25	V	请参考 第 19 页上的表 17
I _{DD}	供电电流	—	7	12	mA	条件为：V _{DD} = 5.0 V， 温度 = 25°C，CPU = 3 MHz， 48 MHz 的时钟源处于禁用状态。 VC1 = 1.5 MHz VC2 = 93.75 kHz VC3 = 93.75 kHz
I _{DD3}	供电电流	—	4	7	mA	条件为：V _{DD} = 3.3 V T _A = 25 °C，CPU = 3 MHz 48 MHz 时钟源 = 禁用 VC1 = 1.5 MHz，VC2 = 93.75 kHz VC3 = 93.75 kHz
I _{SB}	在睡眠模式下使用 POR、LVD、睡眠定时器和 WDT 时所消耗的电流 [8]	—	3	6.5	μA	条件为：使用内部低速振荡器， V _{DD} = 3.3 V $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$
I _{SBH}	在高温条件下使用 POR、LVD、睡眠定时器和 WDT 时的睡眠（模式）电流 [8]	—	4	25	μA	条件为：使用内部低速振荡器， V _{DD} = 3.3 V $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$
I _{SBXTL}	使用 POR、LVD、睡眠定时器、WDT 和外部晶振时的睡眠（模式）电流 [8]	—	4	7.5	μA	条件为：使用具有适当负载且最大功耗为 1 μW 的 32.768 kHz 晶振。 V _{DD} = 3.3 V， $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$
I _{SBXTLH}	在高温条件下使用 POR、LVD、睡眠定时器、WDT 和外部晶振时的睡眠（模式）电流 [8]	—	5	26	μA	条件：使用具有适当负载且最大功耗为 1 μW 的 32.768 kHz 晶振。 V _{DD} = 3.3 V， $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$
V _{REF}	参考电压（带隙）	1.275	1.3	1.325	V	已针对相应的 V _{DD} 进行调整。

注释

8. 待机电流包括所有功能（POR、LVD、WDT、睡眠定时器）所需要以实现可靠的系统操作的电流。这必须与具有类似使能功能的器件进行比较。

GPIO 直流规范

表 10 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 到 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，这些参数仅供设计指导之用或其他特定目的。

表 10. GPIO 直流规范

符号	说明	最小值	典型值	最大值	单位	注意
R_{PU}	上拉电阻	4	5.6	8	$k\Omega$	
$R_{PD}^{[9]}$	下拉电阻	4	5.6	8	$k\Omega$	
V_{OH}	输出高电压	$V_{DD} - 1.0$	—	—	V	$I_{OH} = 10\text{ mA}$, $V_{DD} = 4.75 \sim 5.25\text{ V}$ (8 个总负载, 其中 4 个在偶数端口引脚上 (如 P0[2]、P1[4])，另外 4 个在奇数端口引脚上 (如 P0[3]、P1[5]))。 I_{OH} 最大总计为 80 mA。
V_{OL}	输出低电压	—	—	0.75	V	$I_{OL} = 25\text{ mA}$, $V_{DD} = 4.75 \sim 5.25\text{ V}$ (8 个总负载, 其中 4 个在偶数端口引脚上 (如 P0[2]、P1[4])，另外 4 个在奇数端口引脚上 (如 P0[3]、P1[5]))。 I_{OL} 最大总计为 150 mA。
I_{OH}	高电平拉电流	10	—	—	mA	$V_{OH} = V_{DD} - 1.0\text{ V}$, 请参见 V_{OH} 注解中总电流的限制。
I_{OL}	低电平灌电流	25	—	—	mA	$V_{OL} = 0.75\text{ V}$, 请参见 V_{OL} 注释中的总电流限制。
$V_{IL}^{[9]}$	输入低电压	—	—	0.8	V	$V_{DD} = 3.0 \sim 5.25\text{ V}$
$V_{IH}^{[9]}$	输入高电压	2.1	—	—	V	$V_{DD} = 3.0 \sim 5.25\text{ V}$
$V_H^{[9]}$	输入迟滞	—	60	—	mV	
$I_{IL}^{[9]}$	输入漏电流 (绝对值)	—	1	—	nA	总测试到 1 mA
$C_{IN}^{[9]}$	输入引脚上的电容负载	—	3.5	10	pF	取决于封装和引脚。 温度 = 25°C
C_{OUT}	输出引脚上的电容负载	—	3.5	10	pF	取决于封装和引脚。 温度 = 25°C

注释

9. GPIO 引脚的直流规范也可以适用于 XRES 引脚。

运算放大器的直流规范

下表分别列出了在以下电压和温度范围内许可的最大和最小规范：4.75 V 到 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

表 11. 电压为 5 V 时运算放大器的直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{OSOA}	输入偏移电压（绝对值）	—	2.5	15	mV	
TCV_{OSOA}	平均输入偏移电压漂移	—	10	—	$\mu\text{V}/^{\circ}\text{C}$	
$I_{\text{EBOA}}^{[10]}$	输入漏电流（端口 0 模拟引脚）	—	200	—	pA	总测试到 1mA
C_{INOA}	输入电容（端口 0 模拟引脚）	—	4.5	9.5	pF	取决于封装和引脚。 温度 = 25 °C
V_{CMOA}	共模电压范围	0.0	—	$V_{\text{DD}} - 1$	V	

表 12. 电压为 3.3 V 时运算放大器的直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{OSOA}	输入偏移电压（绝对值）	—	2.5	15	mV	
TCV_{OSOA}	平均输入偏移电压漂移	—	10	—	$\mu\text{V}/^{\circ}\text{C}$	
$I_{\text{EBOA}}^{[10]}$	输入漏电流（端口 0 模拟引脚）	—	200	—	pA	总测试到 1mA
C_{INOA}	输入电容（端口 0 模拟引脚）	—	4.5	9.5	pF	取决于封装和引脚。 温度 = 25 °C
V_{CMOA}	普通模式下的电压范围	0	—	$V_{\text{DD}} - 1$	V	

IDAC 直流参数

下表列出汽车 A 级和 E 级器件许可的最大和最小规范。除非另行说明，否则该表中的所有规范适用于以下电压和温度范围内的 A 级器件：电压 = 4.75 V ~ 5.25 V 和温度 = $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ ，或电压 = 3.0 V ~ 3.6 V 和温度 = $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 。除非另行说明，否则该表中的所有规范适用于以下电压和温度范围内的 E 级器件：4.75 V ~ 5.25 V 和 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 。除非另有说明，否则典型参数的适用于条件为：温度 = 25°C、电压 = 5 V 和 3.3 V；且仅供设计指导使用。

表 13. IDAC 直流规范

符号	说明	最小值	典型值	最大值	单位	注意
$\text{IDAC}_{\text{GAIN}}$	IDAC 增益值	—	75.4	218	nA/bit	1 倍电流增益的 IDAC 增益
		—	335	693	nA/bit	4 倍电流增益的 IDAC 增益
		—	1160	2410	nA/bit	16 倍电流增益的 IDAC 增益
		—	2340	5700	nA/bit	32 倍电流增益的 IDAC 增益
	单调性	无	—	—	—	步长大小为 (0x10) 时，IDAC 增益是非单周的。
$\text{IDAC}_{\text{GAIN_VAR}}$	IDAC 增益值在 -40°C 到 85°C 的温度范围内发生变化	—	3.22	—	nA	在 1 倍电流增益的值
		—	18.1	—	nA	在 4 倍电流增益的值
		—	59.9	—	nA	在 16 倍电流增益的值
		—	120	—	nA	在 32 倍电流增益的值
I_{IDAC}	代码最大 (0xFF) 时的 IDAC 电流	—	19.2	—	μA	在 1 倍电流增益的值
		—	85.4	—	μA	在 4 倍电流增益的值
		—	295	—	μA	在 16 倍电流增益的值
		—	596	—	μA	在 32 倍电流增益的值

注释

10. 典型行为：端口 0 引脚 0 的 I_{EBOA} 在温度为 25°C 时低于 1 nA；在更高温度下会达到 50 nA。要实现最低漏电流 200 nA，请使用端口 0 引脚 1-7。

低功耗电压比较器的直流规范

表 14 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 到 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 的情况，仅供设计指导之用。

表 14. 低功耗比较器的直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{REFLPC}	低功耗比较器（LPC）的参考电压范围	0.2	—	$V_{\text{DD}} - 1$	V	
V_{OSLPC}	LPC 电压偏移	—	2.5	30	mV	

SAR10 ADC 直流规范

表 15 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 15. SAR10 ADC 直流规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{adcvref}	引脚 P2[5] 在配置为 ADC 参考电压时的参考电压	3.0	—	5.25	V	当 V_{REF} 在 ADC 内部缓冲时，必须始终保持 P2[5]（在配置为 ADC 参考电压时）的电压电平至少比 VDD 引脚上芯片供电电压电平小 300 mV。 ($V_{\text{adcvref}} < V_{\text{DD}}$)
I_{adcvref}	P2[5] 配置为 ADC V_{REF} 时的电流	—	—	0.5	mA	禁用内部参考电压缓冲
10 位 ADC 的 INL 值	积分非线性	-2.5	—	2.5	LSB	$V_{\text{DD}} \geq 3.0\text{ V}$ 和 $V_{\text{ref}} \geq 3.0\text{ V}$
		-5.0	—	5.0	LSB	$V_{\text{DD}} < 3.0\text{ V}$ 或 $V_{\text{ref}} < 3.0\text{ V}$
10 位 ADC 的 DNL 值	微分非线性	-1.5	—	1.5	LSB	$V_{\text{DD}} \geq 3.0\text{ V}$ 和 $V_{\text{ref}} \geq 3.0\text{ V}$
		-4.0	—	4.0	LSB	$V_{\text{DD}} < 3.0\text{ V}$ 或 $V_{\text{ref}} < 3.0\text{ V}$
SPS ^[11]	每秒采样数	—	—	150	ksps	分辨率为 10 位

注释

11. 勘误表 如果 ADC 在自由运行模式下工作，在常量的输入电压条件下，ADC 的输出可以发生 7 LSB 的变化。通过使用平均技术或在读取数据之前禁用自由运行模式并在读取数据之后重新启用该模式，可以解决这个问题。更多有关信息，请参见第 34 页上的“勘误表”。

模拟复用器总线的直流规范

表 16 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 16. 模拟复用器总线的直流规范

符号	说明	最小值	典型值	最大值	单位	注意
R_{SW}	从开关到通用模拟总线的电阻	—	—	400	Ω	$V_{\text{dd}} \geq 3.00 \text{ V}$
R_{gnd}	GND 的初始化开关电阻	—	—	800	Ω	

POR 和 LVD 直流参数

表 17 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 17. POR 和 LVD 的直流规格

符号	说明	最小值	典型值	最大值	单位	注意
V_{PPOR1} V_{PPOR2}	PPOR 被激发时的 Vdd 值 PORLEV[1:0] = 01b PORLEV[1:0] = 10b	—	2.82 4.55	2.95 4.70	V V	系统在启动期间，或者由 XRES 引脚或看门狗复位期间，Vdd 必须大于或等于 3.0 V。
V_{LVD2} V_{LVD3} V_{LVD4} V_{LVD5} V_{LVD6} V_{LVD7}	LVD 被激发时的 Vdd 值 VM[2:0] = 010b VM[2:0] = 011b VM[2:0] = 100b VM[2:0] = 101b VM[2:0] = 110b VM[2:0] = 111b	2.95 3.06 4.37 4.50 4.62 4.71	3.02 3.13 4.48 4.64 4.73 4.81	3.09 3.20 4.55 4.75 4.83 4.95	V V V V V V	

直流编程参数

表 18 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 $^{\circ}\text{C}$ 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 18. 直流编程规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{DDP}	进行编程和清除操作时使用的电压 V_{DD}	4.5	5.0	5.5	V	该规范适用于外部编程工具的功能要求
$V_{DDL V}$	进行验证时使用的低电压 V_{DD}	3.0	3.1	3.2	V	该规范适用于外部编程工具的功能要求
$V_{DDH V}$	进行验证时使用的高电压 V_{DD}	5.1	5.2	5.3	V	该规范适用于外部编程工具的功能要求
$V_{DDIWRITE}$	闪存写入操作的供电电压	3.0	—	5.25	V	该规范适用于器件的内部闪存写入操作
I_{DDP}	编程或验证期间的供电电流	—	5	25	mA	
V_{ILP}	编程或验证期间的输入低电平电压	—	—	0.8	V	
V_{IHP}	编程或验证期间的输入高电平电压	2.2	—	—	V	
I_{ILP}	编程或验证期间在 P1[0] 或 P1[1] 引脚上使用 V_{ILP} 电压时的输入电流	—	—	0.2	mA	驱动内部下拉电阻
I_{IHP}	编程或验证期间在 P1[0] 或 P1[1] 上使用 V_{IHP} 电压时的输入电流	—	—	1.5	mA	驱动内部下拉电阻
V_{OLV}	编程或验证期间的输出低电平电压	—	—	$V_{SS} + 0.75$	V	
V_{OHV}	编程或验证期间的输出高电平电压	$V_{DD} - 1.0$	—	V_{DD}	V	
Flash _{ENPB}	闪存擦写次数（每个模块） ^[13]	50,000	—	—	—	每个模块的擦 / 写周期数
Flash _{ENT}	闪存擦写次数（总计） ^[12]	1,800,000	—	—	—	擦 / 写周期数
Flash _{DR}	闪存数据保持时间	10	—	—	年	

I²C 直流规格

表 19 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 $^{\circ}\text{C}$ 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 19. I²C 直流规范

参数	说明	最小值	典型值	最大值	单位	注意
$V_{IL I2C}^{[14]}$	输入低电压	—	—	$0.3 \times V_{DD}$	V	$3.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$
		—	—	$0.25 \times V_{DD}$	V	$4.75\text{ V} \leq V_{DD} \leq 5.25\text{ V}$
$V_{IH I2C}^{[14]}$	输入高电压	$0.7 \times V_{DD}$	—	—	V	$3.0\text{ V} \leq V_{DD} \leq 5.25\text{ V}$

注释

12. 模块的最高耐久性擦 / 写周期为 36 x 50,000 次。这可以在使用 36x1 个模块（每个模块多达 50,000 次擦 / 写周期）、36x2 模块（每个模块多达 25,000 次擦 / 写周期）或 36x4 个模块（每个模块多达 12,500 次擦 / 写周期）之间进行平衡（将总擦 / 写周期次数限制为 36x50,000 次，而且单个模块的擦 / 写周期次数不超过 50,000 次）。

在整个工业级温度范围内，用户必须在写入之前通过利用温度传感器用户模块（FlashTemp）将结果提供给温度参数。有关详细信息，请参见 <http://www.cypress.com> 网站上“应用笔记”下的《闪存 API 应用笔记 — AN2015》。

13. 只有闪存存在一个电压范围内工作时，才能确保闪存的每个模块有 50,000 次擦 / 写周期。电压范围为 3.0 V ~ 3.6 V 和 4.75 V ~ 5.25 V

14. 所有 GPIO 符合 GPIO 直流规范章节中的 V_{IL} 和 V_{IH} 直流规范。此外，I²C GPIO 引脚也满足上述各个规范。

交流电气特性

交流芯片级规范

下表分别列出了在以下电压和温度范围内许可的最大和最小规范：4.75 V ~ 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V ~ 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 20. 电压为 5 V 和 3.3 V 时芯片级交流规范

符号	说明	最小值	最小值 (%)	典型值	最大值	最大值 (%)	单位	注意
F _{IMO24} ^[15]	内部主振荡器频率为 24 MHz	22.8	—	24	25.2 ^[16、17、18]	—	MHz	已使用出厂预设值针对 5 V 或 3.3 V 工作电压进行了调整。请参见第 13 页上的图 5。 SLIMO 模式 = 0 < 85。
F _{IMO6}	内部主振荡器频率为 6 MHz	5.5	8	6	6.5 ^[16、17、18]	8	MHz	已使用出厂预设值针对 5 V 或 3.3 V 工作电压进行了调整。请参见第 13 页上的图 5。 SLIMO 模式 = 0 < 85。
F _{CPU1}	CPU 频率 (5 V 额定值)	0.089	—	24	24.6 ^[16、17]	—	MHz	只有 SLIMO 模式 = 0 时，该频率才为 24 MHz。
F _{CPU2}	CPU 频率 (3.3 V 额定值)	0.089	—	12	12.3 ^[17、18]	—	MHz	SLIMO 模式 = 0。
F _{BLK5}	PSoC 数字模块频率 (5 V 额定值)	0	—	48	49.2 ^[16、17、19]	—	MHz	请参考第 23 页上的表 24。
F _{BLK33}	PSoC 数字模块频率 (3.3 V 额定值)	0	—	24	24.6 ^[17、19]	—	MHz	
F _{32K1}	内部低速振荡器频率	15	—	32	85	—	kHz	
F _{32KU}	未调整的内部低速振荡器频率	5	—	—	100	—	kHz	仅在 CPU 开始运行后，才使用出厂预设值调整 ILO 频率。请参见《技术参考手册》中“系统复位”一节的内容。
T _{XRES}	外部复位脉冲宽度	10	—	—	—	—	μs	该值指的是完成器件复位操作所需的最小脉冲宽度。较小的脉冲宽度可能会导致未定义的芯片行为。
DC _{24M}	24 MHz 占空比	40	—	50	60	—	%	
DC _{ILO}	内部低速振荡器的占空比	20	—	50	80	—	%	
F _{MAX}	行输入或行输出上信号的最大频率	—	—	—	12.3	—	MHz	
SR _{POWERUP}	电源电压摆率	—	—	—	250	—	V/ms	加电期间的 Vdd 压摆率。
T _{POWERUP}	从 POR 结束到 CPU 执行代码的时间	—	—	—	100	—	ms	
tjit_IMO ^[20]	24 MHz IMO 周期之间的抖动 (RMS)	—	—	200	700	—	ps	
	24 MHz IMO 长期 N 个周期间的抖动 (RMS)	—	—	300	900	—	ps	N = 32
	24 MHz IMO 周期的抖动 (RMS)	—	—	100	400	—	ps	
tjit_PLL ^[20]	24 MHz IMO 周期期间的抖动 (RMS)	—	—	200	800	—	ps	
	24 MHz IMO 长期 N 个周期间的抖动 (RMS)	—	—	300	1200	—	ps	N = 32
	24 MHz IMO 周期的抖动 (RMS)	—	—	100	700	—	ps	

注释

15. 勘误表：器件在 0°C ~ 70°C 的温度范围内运行时，频率容差会下降到 ±2.5%，如果在极限温度 (0 °C 以下或 70 °C 以上) 运行，则频率容差将从 ±2.5% 改变为 ±5%。

更多有关信息，请参见第 34 页上的“勘误表”。

16. 仅在 4.75 V < Vdd < 5.25 V 条件下有效。

17. 利用内部主振荡器并针对 Vdd 范围进行适当调整后得出的准确度。

18. 3.0 V < Vdd < 3.6 V。

19. 有关用户模块最大频率的信息，请参见各个用户模块的数据手册。

20. 有关更多信息，请参考赛普拉斯抖动规范，以便了解赛普拉斯时序产品数据手册的抖动规范。

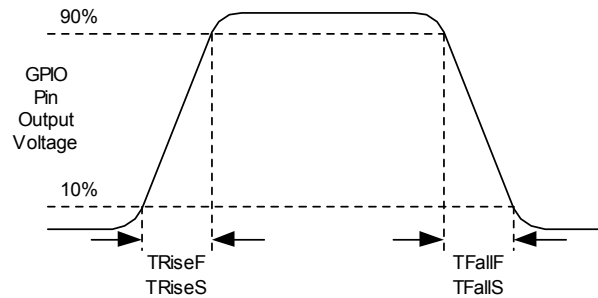
GPIO 交流规范

表 21 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 21. 电压为 5 V 和 3.3 V 时的 GPIO 交流规范

符号	说明	最小值	典型值	最大值	单位	注意
F_{GPIO}	GPIO 的工作频率	0	—	12	MHz	正常强驱动模式
T_{RiseF}	上升时间，正常强驱动模式， $C_{\text{load}} = 50 \text{ pF}$	3	—	18	ns	$V_{\text{dd}} = 4.5 \sim 5.25 \text{ V}$ ，10% - 90%
T_{FallF}	下降时间，正常强驱动模式， $C_{\text{load}} = 50 \text{ pF}$	2	—	18	ns	$V_{\text{dd}} = 4.5 \sim 5.25 \text{ V}$ ，10% - 90%
T_{RiseS}	上升时间，慢速强驱动模式， $C_{\text{load}} = 50 \text{ pF}$	7	27	—	ns	$V_{\text{dd}} = 3 \sim 5.25 \text{ V}$ ，10% - 90%
T_{FallS}	下降时间，慢速强驱动模式， $C_{\text{load}} = 50 \text{ pF}$	7	22	—	ns	$V_{\text{dd}} = 3 \sim 5.25 \text{ V}$ ，10% - 90%

图 6. GPIO 时序图



运算放大器交流规范

表 22 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 22. 运算放大器的交流规范

符号	说明	最小值	典型值	最大值	单位	注意
T_{COMP}	比较器模式响应时间，50 mV			100	ns	$V_{\text{dd}} \geq 3.0 \text{ V}$

低功耗比较器交流规范

表 23 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 的情况，仅供设计指导之用。

表 23. 低功耗比较器的交流规范

符号	说明	最小值	典型值	最大值	单位	注意
T_{RLPC}	LPC 响应时间	—	—	50	μs	已被设置的过压比较器参考电压 $\geq 50 \text{ mV}$ ，并且该电压值处于 V_{REFLPC} 的电压范围内

数字模块交流规格

下表分别列出了在以下电压和温度范围内许可的最大和最小规范：4.75 V ~ 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V ~ 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 24. 数字模块交流规范

功能	说明	最小值	典型值	最大值	单位	注意
所有功能	模块输入时钟频率					
	Vdd ≥ 4.75 V	—	—	50.4 ^[21]	MHz	
	Vdd < 4.75 V	—	—	25.2 ^[21]	MHz	
定时器	输入时钟频率					
	无捕获, Vdd ≥ 4.75 V	—	—	50.4 ^[21]	MHz	
	无捕获, Vdd < 4.75 V	—	—	25.2 ^[21]	MHz	
	有捕获	—	—	25.2 ^[21]	MHz	
	可捕获的脉冲宽度	50 ^[22]	—	—	ns	
计数器	输入时钟频率					
	无使能输入, Vdd ≥ 4.75 V	—	—	50.4 ^[21]	MHz	
	无使能输入, Vdd < 4.75 V	—	—	25.2 ^[21]	MHz	
	带使能输入	—	—	25.2 ^[21]	MHz	
	使能输入脉宽	50 ^[22]	—	—	ns	
死区	停止信号 (Kill) 脉宽					
	异步重启模式	20	—	—	ns	
	同步重启模式	50 ^[22]	—	—	ns	
	禁用模式	50 ^[22]	—	—	ns	
	输入时钟频率					
	Vdd ≥ 4.75 V	—	—	50.4 ^[21]	MHz	
	Vdd < 4.75 V	—	—	25.2 ^[21]	MHz	
CRCPRS (PRS 模式)	输入时钟频率					
	Vdd ≥ 4.75 V	—	—	50.4 ^[21]	MHz	
	Vdd < 4.75 V	—	—	25.2 ^[21]	MHz	
CRCPRS (CRC 模式)	输入时钟频率	—	—	25.2 ^[21]	MHz	
SPIM	输入时钟频率	—	—	8.4 ^[21]	MHz	SPI 串行时钟 (SCLK) 频率等于输入时钟被二分频后得到的频率。
SPIS	输入时钟 (SCLK) 频率	—	—	4.2 ^[21]	MHz	在 SPIS 模式下, 输入时钟为 SPI SCLK。
	相邻传输之间的 SS_Negated 宽度	50 ^[22]	—	—	ns	
发送器	输入时钟频率					波特率等于输入时钟被 8 分频后得到的频率。
	Vdd ≥ 4.75 V, 两个停止位	—	—	50.4 ^[21]	MHz	
	Vdd ≥ 4.75 V, 一个停止位	—	—	25.2 ^[21]	MHz	
	Vdd < 4.75 V	—	—	25.2 ^[21]	MHz	
接收器	输入时钟频率					波特率等于输入时钟被 8 分频后得到的频率。
	Vdd ≥ 4.75 V, 两个停止位	—	—	50.4 ^[21]	MHz	
	Vdd ≥ 4.75 V, 一个停止位	—	—	25.2 ^[21]	MHz	
	Vdd < 4.75 V	—	—	25.2 ^[21]	MHz	

注释

21. 针对 V_{DD} 范围进行适当调整 IMO 后得出的准确度。

22. 50 ns 的最小输入脉冲宽度是根据在 24 MHz (42 ns 标称周期) 下运行的输入同步器。

外部时钟交流规范

下表分别列出了在以下电压和温度范围内许可的最大和最小规范：4.75 V ~ 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V ~ 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，仅供设计指导使用。

表 25. 电压为 5 V 时外部时钟的交流规范

符号	说明	最小值	典型值	最大值	单位	注意
F _{OSCEXT}	频率	0.093	—	24.6	MHz	
—	高周期	20.6	—	5300	ns	
—	低周期	20.6	—	—	ns	
—	从给 IMO 上电到它能为器件提供时钟源的时间	150	—	—	μs	

表 26. 电压为 3.3 V 时外部时钟的交流规范

符号	说明	最小值	典型值	最大值	单位	注意
F _{OSCEXT}	对 CPU 时钟进行一分频时的频率	0.093	—	12.3	MHz	电压为 3.3 V 时，CPU 的最大频率为 12 MHz。当 CPU 时钟分频器的值设为 1 时，外部时钟必须符合最大频率和占空比要求。
F _{OSCEXT}	对 CPU 时钟进行二分频或更高分频时的频率	0.186	—	24.6	MHz	如果外部时钟的频率大于 12 MHz，必须将 CPU 时钟分频器设为 2 或更大的值。在这种情况下，CPU 时钟分频器可确保满足占空比为 50% 的要求。
—	对 CPU 时钟进行一分频时的高周期	41.7	—	5300	ns	
—	对 CPU 时钟进行一分频时的低周期	41.7	—	—	ns	
—	从给 IMO 上电到它能为器件提供时钟源的时间	150	—	—	μs	

SAR10 ADC 交流规范

表 27 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 和 3.3 V 的情况，这些参数仅供设计指导之用。

表 27. SAR10 ADC 交流规范

符号	说明	最小值	典型值	最大值	单位	注意
Freq ₃	电压为 3 V 时的输入时钟频率	—	—	2.7	MHz	
Freq ₅	电压为 5 V 时的输入时钟频率	—	—	2.7	MHz	

交流编程规范

表 28 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V 或 3.3 V 的情况，这些参数仅供设计指导之用。

表 28. 编程交流规范

符号	说明	最小值	典型值	最大值	单位	注意
T_{RSCLK}	SCLK 的上升时间	1	—	20	ns	
T_{FSCLK}	SCLK 的下降时间	1	—	20	ns	
T_{SSCLK}	从数据建立到 SCLK 下降沿的时间	40	—	—	ns	
T_{HSCLK}	从 SCLK 下降沿开始的数据保持时间	40	—	—	ns	
F_{SCLK}	SCLK 的频率	0	—	8	MHz	
F_{SCLK3}	SCLK3 的频率	0	—	6	MHz	$V_{\text{DD}} < 3.6 \text{ V}$
T_{ERASEB}	闪存擦除时间（模块）	—	10	—	ms	
T_{WRITE}	闪存模块写入时间	—	40	—	ms	
T_{DSCLK}	从 SCLK 下降沿开始的数据输出延迟时间	—	—	55	ns	$V_{\text{dd}} > 3.6 \text{ V}$; $\text{Cload} = 30 \text{ pF}$
T_{DSCLK3}	从 SCLK 下降沿开始的数据输出延迟时间	—	—	65	ns	$3.0 \text{ V} \leq V_{\text{dd}} \leq 3.6 \text{ V}$; $\text{Cload} = 30 \text{ pF}$
T_{ERASEALL}	闪存擦除时间（批量）	—	40	—	ns	
$T_{\text{PROGRAM_HOT}}$	闪存模块擦除 + 闪存模块写入时间	—	—	100	ms	
$T_{\text{PROGRAM_COLD}}$	闪存模块擦除 + 闪存模块写入时间	—	—	200	ms	

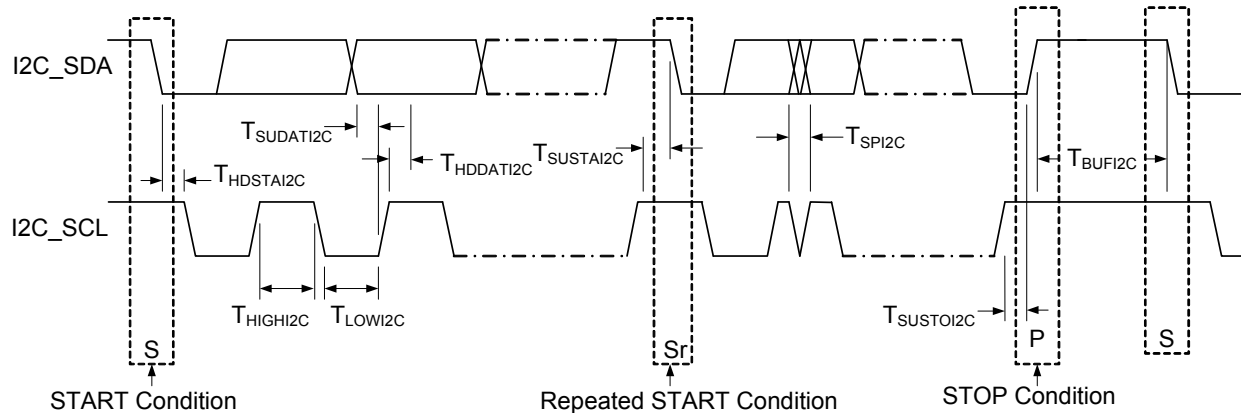
I²C 交流规范

表 29 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。

表 29. V_{DD} ≥ 3.0 V 时 I²C SDA 和 SCL 引脚的交流电气特性

符号	说明	标准模式		快速模式		单位	注意
		最小值	最大值	最小值	最大值		
F _{SCL I2C}	SCL 时钟频率	0	100	0	400	kHz	
T _{HDSTA I2C}	(重复) 启动条件的保持时间。经过这段时间后，会生成第一个时钟脉冲。	4.0	—	0.6	—	μs	
T _{LOW I2C}	SCL 时钟的低周期	4.7	—	1.3	—	μs	
T _{HIGH I2C}	SCL 时钟的高周期	4.0	—	0.6	—	μs	
T _{SUSTA I2C}	重复启动条件的建立时间	4.7	—	0.6	—	μs	
T _{HDDAT I2C}	数据保持时间	0	—	0	—	μs	
T _{SUDAT I2C}	数据建立时间	250	—	100 ^[23]	—	ns	
T _{SUSTOI I2C}	停止条件的建立时间	4.0	—	0.6	—	μs	
T _{BUFI I2C}	停止和启动条件之间的总线空闲时间	4.7	—	1.3	—	μs	
T _{SPI I2C}	输入滤波器抑制的尖峰脉冲宽度	—	—	0	50	ns	

图 7. I²C 总线上快速 / 标准模式的时序定义

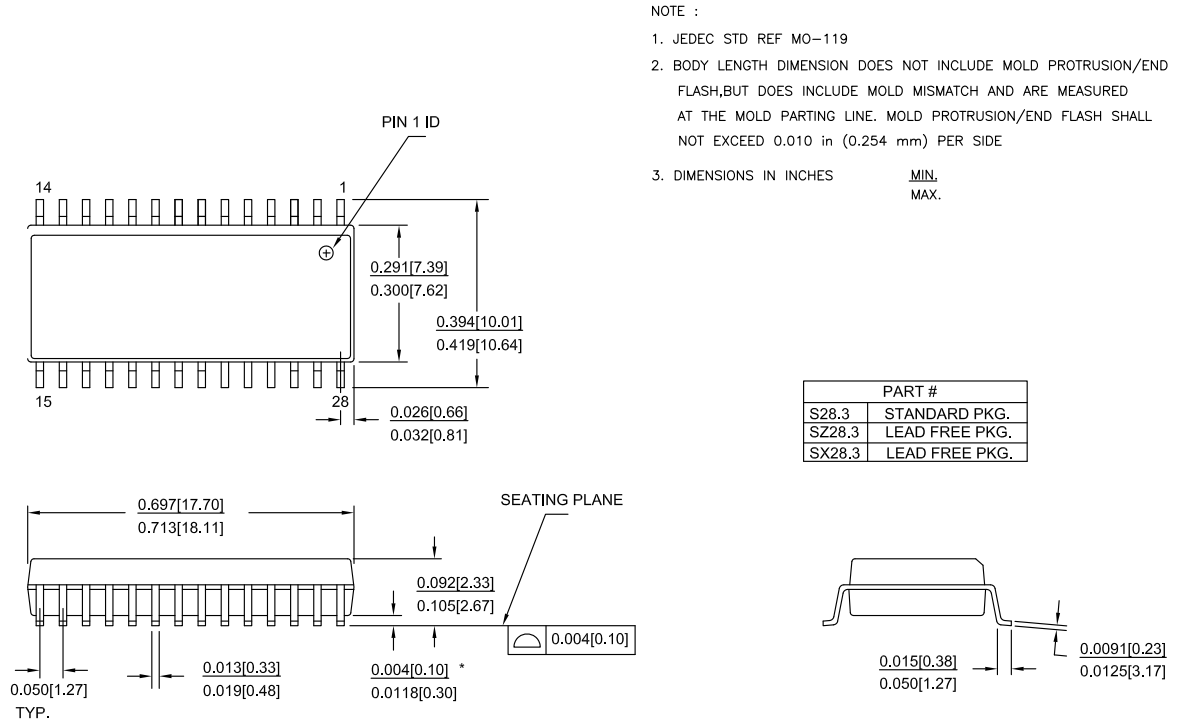


注释

23. 快速模式 I2C 总线器件可以用于标准模式 I2C 总线系统，但必须满足 T_{SUDAT I2C} ≥ 250 ns 的要求。如果器件不延长 SCL 信号的低电平周期，这种情况会自动发生。如果器件延长 SCL 信号的低电平周期，则它必须在 SDA 线路被释放前 t_{rmax} + T_{SUDAT I2C} = 1000 + 250 = 1250 ns（根据标准模式 I2C 总线规范）的时间将下一个数据位输出到 SDA 线路。

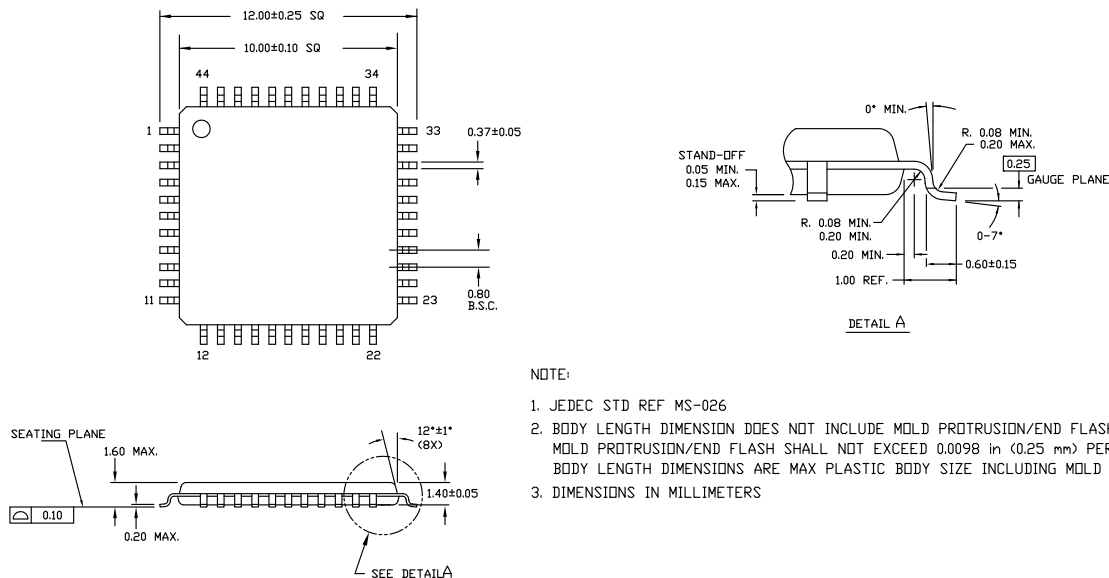
封装信息

图 8. 28-SOIC (0.713 × 0.300 × 0.0932 英寸) 封装外形, 51-85026



51-85026 *H

图 9. 44-TQFP (10 × 10 × 1.4 mm) A44S 封装外形, 51-85064



51-85064 *F

热阻

表 30. 每一种封装的热阻

封装	典型 θ_{JA} [25]
28-SOIC	68 °C/W
44-TQFP	61 °C/W

回流焊规范

表 31 显示不可超过的回流焊温度范围。

表 31. 回流焊规范

封装	最大峰值温度 (T_C)	温度为 $T_C - 5^\circ\text{C}$ 时的最长时间
28-SOIC	260 °C	30 秒
44-TQFP	260 °C	30 秒

订购信息

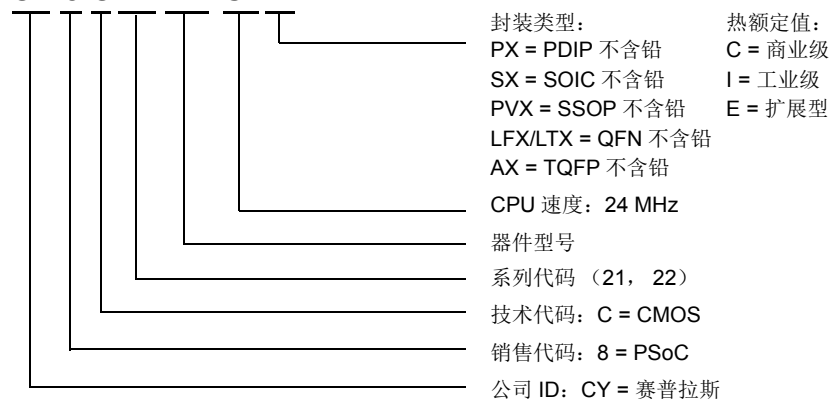
下表列出该 PSoC 器件系列的关键特性和订购代码。

表 32. PSoC 器件系列的重要功能和订购信息

封装	订购代码	闪存 (KB)	RAM (字节)	温度范围	数字模块 (共 4 行)	模拟模块 (共 3 列)	数字 I/O 引脚	模拟输入	模拟输出	XRES 引脚
28-SOIC	CY8C21345-24SXI	8	512B	-40 °C ~ +85 °C	4	6	24	24 ^[24]	0	有
28-SOIC (盘带封装)	CY8C21345-24SXIT	8	512B	-40 °C ~ +85 °C	4	6	24	24 ^[24]	0	有
28-SOIC	CY8C22345-24SXI	16	1 K	-40 °C ~ +85 °C	8	6	24	24 ^[24]	0	有
28-SOIC (盘带封装)	CY8C22345-24SXIT	16	1 K	-40 °C ~ +85 °C	8	6	24	24 ^[24]	0	有
44-TQFP	CY8C22545-24AXI	16	1 K	-40 °C ~ +85 °C	8	6	38	38 ^[24]	0	有
44-TQFP (盘带封装)	CY8C22545-24AXIT	16	1 K	-40 °C ~ +85 °C	8	6	38	38 ^[24]	0	有

订购代码定义

CY 8 C 2x xxx-SPxx



注释

24. 十个直接输入。

25. $T_J = T_A + \text{功耗} \times \theta_{JA}$

缩略语

表 33 列出了本文档中使用的缩略语。

表 33. 本数据手册中使用的缩略语

缩略语	说明	缩略语	说明
AC	交流电	MAC	乘法累加器
ADC	模数转换器	MCU	微控制器
API	应用编程接口	MIPS	每秒百万条指令
CMOS	互补金属氧化物半导体	PCB	印刷电路板
CPU	中央处理器	PGA	可编程增益放大器
CRC	循环冗余校验	PLL	锁相环
CSD	CapSense Sigma Delta	POR	上电复位
CT	连续时间	PPOR	精密上电复位
DAC	数模转换器	PRS	伪随机序列
DC	直流电	PSoC®	可编程片上系统
DNL	微分非线性	PWM	脉宽调制器
ECO	外部晶振	QFN	四方扁平无引脚器件
EEPROM	电可擦除可编程只读存储器	RTC	实时时钟
FSK	频移键控	SAR	逐次逼近
GPIO	通用输入 / 输出	SC	开关电容
I/O	输入 / 输出	SLIMO	慢速 IMO
ICE	在线仿真器	SOIC	小外形集成电路
IDE	集成开发环境	SPI™	串行外设接口
IDAC	电流数模转换器	SRAM	静态随机存取存储器
ILO	内部低速振荡器	SROM	监控只读存储器
IMO	内部主振荡器	SSOP	紧缩的小外形封装
INL	积分非线性	TQFP	薄型四方扁平封装
IrDA	红外数据关联性	UART	通用异步接收器 / 发送器
ISSP	系统内串行编程	USB	通用串行总线
LPC	低功耗比较器	WDT	看门狗定时器
LSB	最低有效位	XRES	外部复位
LVD	低压检测		

参考文档

CY8C22x45 和 CY8C21345 PSoC®Programmable System-on-Chip™ [技术参考手册 \(TRM\)](#) (001-48461)

设计辅助 — 读取和写入 PSoC® 闪存 — [AN2015](#) (001-40459)

[了解赛普拉斯时序产品的数据手册抖动规范](#)

文档常规

测量单位

表 34 列出了测量单位。

表 34. 测量单位

符号	测量单位	符号	测量单位
kB	1024 字节	mV	毫伏
°C	摄氏度	nA	纳安
kHz	千赫兹	ns	纳秒
kΩ	千欧	Ω	欧姆
LSB	最低有效位	%	百分比
MHz	兆赫兹	pF	皮法
μA	微安	ps	皮秒
μs	微秒	sps	每秒采样数
μV	微伏	pA	皮安
mA	毫安	V	伏特
mm	毫米	μW	微瓦
ms	毫秒	W	瓦特

数字常规

十六进制数字中的所有字母均为大写，结尾带小写的 'h'（例如，'14h' 或 '3Ah'）。十六进制数字还可以使用前缀 '0x' 来表示（C 编码常规）。二进制数字在结尾带小写的 'b'（例如，'01010100b' 或 '01000011b'）。不带 'h' 或 'b' 的数字都是十进制数字。

术语表

高电平有效	1. 一种逻辑信号，它的激活状态为逻辑 1 状态。 2. 一种逻辑信号，它的逻辑 1 状态作为两个状态中较高的电压状态。
模拟模块	基本的可编程运算放大器电路。它们是 SC（开关电容）和 CT（连续时间）模块。这些模块内部互联时能够提供 ADC、DAC、多极滤波器、增益级等功能。
模数转换器（ADC）	是将模拟信号转换为相应量级的数字信号的器件。通常，ADC 可以将电压转换成数字值。数模转换器（DAC）可用于执行逆向操作。
API（应用编程接口）	一系列软件程序，包括计算机应用与低层服务和函数（例如，用户模块和库）之间的接口。应用编程接口（API）用作程序员在创建软件应用时使用的基本模块。
异步	其数据被立即确认或作出响应的信号，与任何时钟信号无关。
带隙参考	一个稳定电压的参考设计将 VT 温度正系数与 VBE 温度负系数相互匹配，从而生成零温度系数（理想的）参考。
带宽	1. 消息或信息处理系统的频率范围（单位为 Hz）。 2. 放大器（或吸收器）在其频谱区会有大量增益（或损益）；有时，它表示更为具体，例如，半峰全宽。
偏置	1. 数值与参考值之间的系统偏差。 2. 一组值的平均值偏离参考值的幅度。 3. 针对器件的电力、机械力、磁场或其他力（场），以建立运行器件所需的参考电平。

术语表（续）

模块	1. 用于执行单项功能的功能单元，例如振荡器。 2. 用于执行某个功能而配置的功能单位，例如，数字 PSoC 模块或模拟 PSoC 模块。
缓冲区	1. 数据存储区，当将数据从一个器件传输至另一个器件时，用于补偿速度之差。通常是指针对 IO 操作保留的区域，可以对该区进行读写操作。 2. 一部分专门用于存储数据的存储器空间，通常在数据发送到外部器件之前或从外部器件接受到数据时使用。 3. 用于降低系统输出阻抗的放大器。
总线	1. 网络的命名连接。将网络捆绑到总线中，便于使用类似的布线模式来对网络进行布线。 2. 用于执行通用功能并携带类似数据的一组信号。通常使用向量符号来表示；例如，地址 [7:0]。 3. 作为一组相关器件的通用连接的一个或多个导体。
时钟	生成具有固定频率和占空比的周期性信号的器件。有时，时钟可以用来同步化各个不同的逻辑模块。
比较器	两个输入电平同时满足预定幅度要求时，产生输出电压或电流的电气电路。
编译器	一种将高级语言（例如 C 语言）转换成机器语言的程序。
配置空间	在 PSoC 器件中，当 CPU_F 寄存器中的 XIO 位被设置为 '1' 时，可以访问寄存器空间。
晶体振荡器	由压电晶体控制频率的振荡器。通常情况下，压电晶体对环境温度的敏感度低于其他电路组件。
循环冗余校验（CRC）	用于检测数据通讯中的错误时使用的计算方法，通常采用线性反馈移位寄存器来执行。相似算法可用于其他多种用途，例如，数据压缩。
数据总线	计算机使用以将信息从存储器位置传输到中央处理单元（CPU）或反向传输信息的双向信号组。更为普遍的是，用来传送数字功能之间数据的信号组。
调试器	允许用户用来分析正在开发系统操作的软件和硬件系统。调试器通常允许开发人员逐步执行固件操作，设置断点及分析存储器。
死区	两个或多个信号都没有处于活跃状态或切换状态的一段时间。
数字模块	可用作计数器、计时器、串行接收器、串行发送器、CRC 发生器、伪随机数发生器或 SPI 的 8 位逻辑模块。
数模转换器（DAC）	可将数字信号转换为相应量级的模拟信号的器件。模数转换器（ADC）可以用来执行逆向操作。
占空比	时钟周期的高电平时间与其低电平时间的关系，表示为一个百分比值。
仿真器	将某个系统的功能复制（仿真）到另一个系统，从而使第二个系统的操作类似于第一个系统的操作。
外部复位（XRES）	传入 PSoC 器件的高电平有效信号。这会停止 CPU 的所有操作和模块，并返回到预定义的状态。
闪存	可电编程和电擦除、非易失性得技术，可为用户提供可编程功能和数据存储以及系统内可擦除功能的 EPROM。非易失性意味着断电时，数据仍被保留。
闪存模块	可一次性程序化的闪存 ROM 最小空间及受保护的闪存最小空间。闪存模块的大小为 64 个字节。
频率	是指一个周期功能中每个时间单位内的周期数或事件数。
增益	分别为输出电流、电压或功率与相应的输入电流、电压或功率之间的比率。增益的单位通常为分贝（dB）。

术语表（续）

I ² C	由飞利浦半导体（现更名为 NXP 半导体）开发的两线串行计算机总线。I ² C 是内部集成电路。它用于连接嵌入式系统中的低速外设。原始系统创建于 20 世纪 80 年代初期，当时只作为电池控制接口，但后来被用作构建控制电子器件时使用的简单的内部总线系统。I ² C 仅使用两个双向引脚，即时钟和数据，两者均使用 +5 V 的电压运行，并采用电阻上拉。在标准模式下，总线的运行速度为 100 Kb/s，而在快速模式下，其速度为 400 Kb/s。
ICE	在线仿真系统允许您使用硬件测试项目，且使用软件（ PSoC Designer ）查看调试器件活动。
输入 / 输出（I/O）	用于将数据引入到系统或从系统中提取数据的器件。
中断	流程暂停（例如，执行计算机程序），由流程外事件导致的、且在暂停后可以恢复流程。
中断服务子程序（ISR）	M8C 收到硬件中断时常规代码执行转入的代码模块。许多中断源均有各自的优先级和单个 ISR 代码模块。每个 ISR 代码模块均以 RETI 指令结束，并将器件返回到离开常规程序执行的程序点。
抖动	1. 从其理想位置转换的时序错位。在串行数据流中发生的典型损坏。 2. 一个或多个信号特性的突发和无必要变化，例如连续脉冲之间的间隔、连续周期的振幅或连续周期的频率或相位。
低压检测（LVD）	在 V _{dd} 降低并低于选定阈值时可检测 V _{dd} 并实现系统中断的电路。
M8C	8 位哈佛（ Harvard ）架构微处理器。微处理器通过连接至闪存、SRAM 和寄存器空间来协调 PSoC 内部的所有活动。
主设备	用于控制两个器件间数据交换时序的器件。或者，以脉冲宽度级联器件时，主设备是用来控制级联器件与外部接口之间数据交换时序的器件。受控制的器件被称为 从设备 。
微控制器	主要用于控制系统和产品的集成电路芯片。除 CPU 外，微控制器通常还包含存储器、定时电路和 I/O 电路。这是为了允许执行包含最小芯片数量的控制器，从而能实现最大程度的微型化。相反，这会降低控制器的体积和成本。微控制器通常不能用作微处理器执行通用计算功能。
混合信号	是指包含模拟和数字技术及组件的电路。
调制器	在载波上附加信号的器件。
噪声	1. 影响信号，且使信号携带的信息失真的干扰。 2. 电压、电流或数据等任何实体的其中一种或多种特性的随机变化。
振荡器	可受晶控，并用于生成时钟频率的电路。
奇偶校验	用于测试传输数据的技术。通常，将一个二进制数字添加到数据中，以便求所有二进制数据奇数之和（奇校验）或偶数之和（偶校验）。
锁相环（PLL）	用来控制 振荡器 以便维持参考信息相关的常相角的电气电路。
引脚分布	引脚号分配：印刷电路板（PCB）封装中 PSoC 器件及其物理对立方的逻辑输入与输出之间的关系。引脚分布涉及引脚号（如原理图与 PCB 设计（两者均为计算机生成的文件）之间的链接），也涉及引脚名称。
端口	一组引脚，通常有八个。
上电复位（POR）	当电压下降至预设电压时强迫 PSoC 器件复位的电路。这是一种硬件复位的类型。

术语表 (续)

PSoC®	PSoC® 是赛普拉斯半导体公司的注册商标，可编程片上系统 (Programmable System-on-Chip™) 是赛普拉斯公司的商标。
PSoC Designer™	赛普拉斯的可编程片上系统技术的软件。
脉冲宽度调制器 (PWM)	以占空比形式表示的输出，随着应用测量对象的不同而变化。
RAM	随机存取存储器的缩略语。数据存储的器件，可以对该器件进行读写操作。
寄存器	具有特定容量 (例如一位或字节) 的存储器件。
复位	使系统返回已知状态的方法。请参见硬件复位和软件复位。
ROM	只读存储器的缩略语。数据存储器件，可以读取该器件，但无法对它进行写操作。
串行	1. 是指所有事件在其中连续发生的流程。 2. 表示在单个器件或通道中两个或多个相关活动的连续发生。
建立时间	输入信号从一个值改为另一个值后，输出信号或值进入稳定状态需要的时长。
移位寄存器	按顺序向左或向右转移一个文字，以便输出串行数据流的存储器件。
从设备	是一个器件，允许另一个器件控制两个器件之间数据交换的时序。或者，以脉冲宽度级联器件时，从设备是一个器件，它允许另一个器件控制级联器件与外部接口之间数据交换的时序。控制器件被称为主设备。
SRAM	静态随机存取存储器的缩略语。允许用户能高速存储和检索数据的存储器件。之所以使用术语 “静态”，是因为在将某一值加载到 SRAM 单元时，该值会保持不变，直至它被明确更改，或直至器件断电为止。
SROM	监控只读存储器的缩略语。SROM 保留用以引导器件、校准电路和执行闪存操作的代码。可以使用从闪存中运行的用户普通代码来访问 SROM 功能。
停止位	是字符或模块带有的信号，用于准备接收器来接收下一个字符或模块。
同步	1. 是指一个信号，其数据未被确认或做出响应，直到时钟信号的下一个边沿有效为止。 2. 使用时钟信号进行同步的系统。
三态	其输出可采用 0、1 和 Z (高阻抗) 等三种状态的功能。该功能不在 Z 状态下驱动任何值，在许多方面，它可以被视为从其余电路断开，允许另一次输出以驱动相同电路。
UART	UART (即通用异步接收器 - 发送器) 在数据并行位和串行位之间转换。
用户模块	负责全面管理和配置 PSoC 的低级模拟和数字模块的预构建、预测测试硬件 / 固件外围功能。此外，用户模块还针对外设功能提供高级 API (应用编程接口)。
用户空间	寄存器映射的组 0 空间。在执行常规程序和初始化期间，很可能对该组中的寄存器进行修改。在程序初始化阶段，很可能对组 1 中的寄存器进行修改。
V _{DD}	电力网名称，意为 “电压漏极”。最正极的电源信号。电压通常为 5 V 或 3.3 V。
V _{SS}	电源网络名称，意为 “电压源”。最负极的电源信号。
看门狗定时器	是必须定期处理的定时器。如果未定期刷新它，则 CPU 会在指定的时间后复位。

勘误表

本章节介绍的是 PSoC 器件 CY8C21x45、CY8C22x45 系列的勘误表。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片版本适用性。

若有任何问题，请联系本地赛普拉斯销售代表。

受影响的器件型号

芯片型号	器件特性
CY8C21345	所有形式
CY8C22345	所有形式
CY8C22545	所有形式

CY8C21x45、CY8C22x45 合格状态

产品状态：正在生产

勘误表总结

该表定义了应用于该 PSoC 器件系列的勘误表。

条目	芯片型号	芯片版本	修复状态
1. 在自由运行模式下连续进行读取操作引起 SAR10 ADC 中的伪代码发生 7 LSB 的变化	所有的 CY8C21x45 和 CY8C22x45 器件均受影响	全部	未计划纠正芯片。使用解决方案。
2. 在温度极限下的内部主振荡器 (IMO) 容许偏差	所有的 CY8C21x45 和 CY8C22x45 器件均受影响	全部	未计划纠正芯片。使用解决方案。

1. 在自由运行模式下连续进行读取操作引起 SAR10 ADC 中的伪代码发生 7 LSB 的变化

■ 问题定义

在自由运行模式下，SAR10 ADC 数字输出可发生 7 LSB 的变化。

■ 受影响的参数

代码变化。它不是被指定的参数。

该参数指的是由 ADC 在已给的常量输入电压条件下所生成的唯一输出代码数量（正确代码除外）。例如，如果输入电压为 2.000 V，那么，预期代码为 190hex，并且 ADC 将分别生成三个代码值：191hex、190hex 和 192hex。这样，代码值发生了 2 LSB 的变化。

■ 触发条件 (S)

对 SAR10 ADC 进行配置，使之在自由运行模式下工作。如果 ADC 在自由运行模式下工作，在常量的输入电压条件下，ADC 输出可以发生 7 LSB 的变化。通过采用求平均方法或在读取数据前禁用自由运行模式，然后在读取数据后重新启用该模式，可以解决该问题。

■ 影响范围

可以出现错误代码。

■ 解决方案

通过使用下面任意方法或同时使用它们，均可以解决该问题。请咨询赛普拉斯代表以获取更多帮助。

- 使用求平均方法，即为对多个输入值进行采样，然后使用数字求平均滤波器。
- 在读取数据前禁用自由运行模式，然后在完成读取操作后再次启用该模式。

■ 修复状态

无计划纠正芯片。

2. 在温度极限下的内部主振荡器（IMO）容许偏差

■ 问题定义

在 0 °C 到 70 °C 的温度范围外，无法实现异步数字通信连接。在 0 °C 到 70 °C 的温度范围内，这个问题不会影响到最终产品。

■ 受影响的参数

IMO 频率容差。最坏偏差情况是在 0 °C 以下或 +70 °C 以上运行，或在与数据手册温度范围高 / 低 $\pm 5\%$ 的温度运行。

■ 触发条件（S）

在 0 °C 到 +70 °C 温度范围外运行时，异步 Rx/Tx 时钟源的 IMO 频率容差会与数据手册的限制相差 $\pm 2.5\%$ 。

■ 影响范围

该问题可以对 UART、IrDA 和 FSK 的实现产生影响。

■ 解决方案

在异步数字通信接口的至少一端上实现石英晶体的稳定时钟源。

■ 修复状态

该问题的原因和其解决方案已被确认。没有计划来纠正芯片问题。

文档修订记录页

文档标题: CY8C21345/CY8C22345/CY8C22545 — PSoC® 可编程片上系统 文档编号: 001-94280				
版本	ECN	变更者	提交日期	变更说明
**	4504137	RLJW	09/17/2014	本文档版本号为 Rev**, 译自英文版 001-43084 Rev*R。
*A	4906913	RLJW	09/04/2015	本文档版本号为 Rev*A, 译自英文版 001-43084 Rev*V。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2008-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适用性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受相应的赛普拉斯软件许可协议限制。