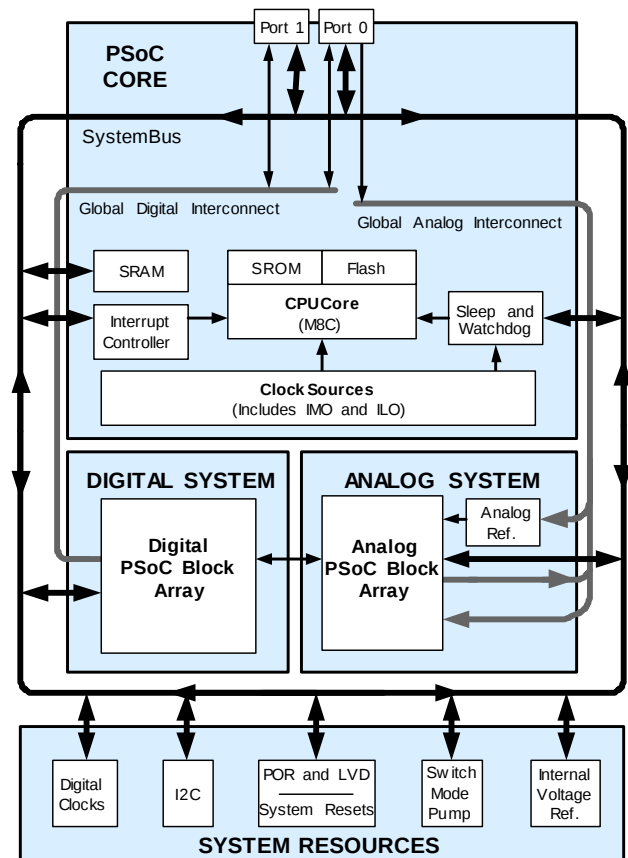


特性

- 强大的 Harvard 架构处理器：
 - M8C 处理器的速度最高可达 24 MHz
 - 高速低功耗
 - 运行电压：2.4 V 到 5.25 V
 - 利用片上开关电压泵（SMP），工作电压可低至 1.0 V
 - 工业温度范围：-40 °C 到 +85 °C
- 高级外设（PSoC® 模块）：
 - 4 个“E”型模拟 PSoC 模块，能够提供：
 - 2 个带数模转换器（DAC）作为参考电压的电压比较器
 - 1 个或 2 个 10 位 8-1 模数转换器（ADC）
 - 4 个数字 PSoC 模块提供：
 - 8 位到 32 位定时器和计数器，8 位和 16 位脉宽调制器（PWM）
 - CRC 和 PRS 模块
 - 全双工 UART, SPI™ 主器件或从器件：可连接到所有通用 I/O（GPIO）引脚
 - 通过多个模块组合，能够构建复杂外设
- 灵活的片上存储器：
 - 4 KB 闪速程序存储器，能实现 50,000 次擦 / 写循环
 - 256 字节的 SRAM 数据存储器
 - 系统内串行编程（ISSP）
 - 局部闪存更新
 - 灵活的保护模式
 - 闪存内 EEPROM 仿真
- 完善的开发工具：
 - 免费的开发软件（PSoC Designer™）
 - 功能齐全的在线仿真器（ICE）和编程器
 - 全速仿真
 - 复合断点结构
 - 128 KB 的跟踪存储器
- 高精度、可编程时钟：
 - 内部 ±5% 24/48 MHz 主振荡器
 - 内部低速、低功耗振荡器，能够实现看门狗和睡眠功能
- 可编程引脚配置：
 - 所有 GPIO 均具有 25 mA 的灌电流能力和 10 mA 的驱动电流能力
 - 所有 GPIO 均可选择上拉、下拉、高阻、强或开漏驱动模式
 - 所有 GPIO 上高达 8 个模拟输入
 - 所有 GPIO 都能生成可配置中断
- 额外的系统资源：

- I²C 主器件、从器件和多主器件的频率可达 400 kHz
- 看门狗和睡眠定时器
- 用户可配置的低压检测功能（LVD）
- 集成监控电路
- 片上高精度电压参考

逻辑框图



勘误表：器件在 0 °C 到 70 °C 温度范围内运行时，频率容差会下降到 ±2.5%，如果以极限温度（0 °C 以下或 70 °C 以上）运行，频率容差将从 ±2.5% 偏差到 ±5%。有关芯片勘误表的信息，请查看第 42 页上的“勘误表”。

目录

PSoC 功能概述	3	最大绝对额定值	16
PSoC 内核	3	工作温度	17
数字系统	3	直流电气特性	17
模拟系统	4	交流电气特性	23
其它系统资源	4	封装信息	31
PSoC 器件特性	5	封装尺寸	31
入门	5	热阻	34
应用笔记	5	回流焊规范	34
开发工具包	5	订购信息	35
培训	5	订购代码定义	35
CYPros 顾问	5	缩略语	36
解决方案库	5	所用缩略语	36
技术支持	5	参考文档	36
开发工具选择	6	文档规范	37
软件	6	测量单位	37
使用 PSoC Designer 进行设计	7	数字规范	37
选择组件	7	术语表	37
配置组件	7	勘误表	42
组织和连接	7	受影响的器件型号	42
生成、验证和调试	7	CY8C21123 的合格状态	42
引脚信息	8	CY8C21123 的勘误表汇总	42
8 引脚部件的引脚分布	8	文档修订记录页	44
16 引脚部件的引脚分布	8	销售、解决方案和法律信息	45
20 引脚部件的引脚分布	10	全球销售和 design 支持	45
24 引脚部件的引脚分布	11	产品	45
寄存器参考	12	PSoC® 解决方案	45
寄存器规范	12	赛普拉斯开发者社区	45
寄存器映射表	12	技术支持	45
电气规范	16		

PSoC 功能概述

PSoC 系列包含许多可编程片上系统控制器器件，这些器件旨在使用一个低成本的可编程组件取代多个基于 MCU 的传统系统组件。PSoC 器件包含多个可配置的模拟和数字逻辑模块，以及可编程互连。这种结构可帮助您根据每个应用的要求来创建定制的外设配置。此外，在一系列方便易用的引脚布局中还包含高速 CPU、闪存程序存储器、SRAM 数据存储器和可配置的 I/O。

如图 11 所示，PSoC 架构由以下 4 个主要部分组成：内核、系统资源、数字系统和模拟系统。利用可配置的全局总线资源，可将所有器件资源整合到一个完全定制的系统。每个 PSoC 器件包含四个数字模块。最多可以包括 2 个模拟电压比较器和 16 个 GPIO，具体取决于 PSoC 封装。GPIO 能够提供对全局数字和模拟互连的访问。

PSoC 内核

PSoC 内核是一个支持多种指令集的强大引擎。它包含用于存储数据的 SRAM、中断控制器、睡眠和看门狗定时器、内部主振荡器 (IMO) 和内部低速振荡器 (ILO)。M8C CPU 内核是一个速度高达 24 MHz 的强大处理器。M8C 是一个 4 MIPS 的 8 位 Harvard 架构微处理器。

系统资源提供额外的功能，例如，数字时钟或 I²C 功能，以便实现 I²C 主器件、从器件、多主器件，一个内部电压参考（能够为许多 PSoC 子系统提供 1.3 V 的绝对值）、开关电压泵 (SMP)（能够利用单个电池生成正常工作电压）及 M8C 支持的各种系统复位功能。

数字系统包括一个数字 PSoC 模块阵列，这些模块能够配置为各种数字外设。通过一系列能够将任意信号路由至任意引脚的全局总线，数字模块可以连接到 GPIO。这样一来，设计将不再受固定外设控制器的限制。

模拟系统包括四个模拟 PSoC 模块，支持电压比较器以及精度高达 10 位的模数转换。

数字系统

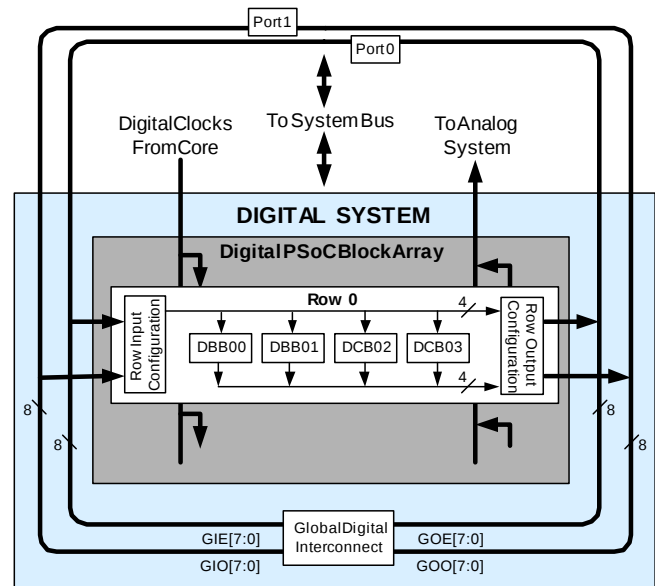
数字系统由 4 个数字 PSoC 模块组成。每个模块都是一个 8 位资源，既可以单独使用，也可以与其他模块一起组成 8、16、24 和 32 位外设（称为用户模块）。数字外设配置包括：

- PWM（8 位和 16 位）
- 带死区的 PWM（8 位和 16 位）
- 计数器（8 到 32 位）
- 定时器（8 到 32 位）
- 带可选奇偶校验位的 8 位 UART（最多 2 个）
- SPI 主器件和从器件
- I²C 从器件、主器件和多主器件（一个可用作系统资源）
- 循环冗余检验器 / 发生器（8 位）
- IrDA（最多二个）
- 伪随机序列发生器（8 位到 32 位）

通过一系列能够将任意信号路由至任意引脚的全局总线，数字模块可以连接到任何 GPIO。此外，通过总线还可以实现信号复用和执行逻辑运算。这种可配置性使设计不再受固定外设控制器的限制。

数字模块采用四个一行的排列方式，具体的模块数量因 PSoC 器件系列不同而异。这有助于根据应用选择最佳的系统资源。关于此产品系列的资源，请参见第 5 页上的表 1。

图 11. 数字系统框图



模拟系统

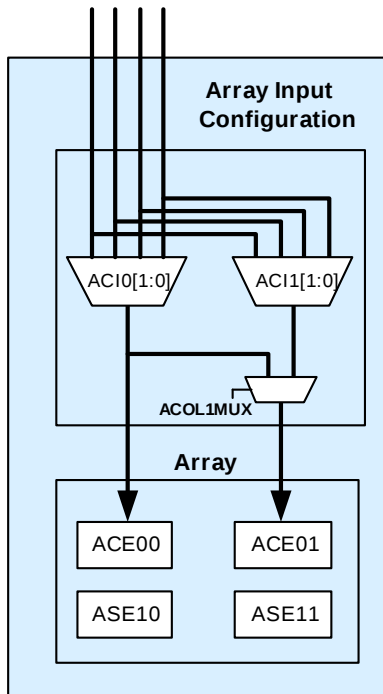
模拟系统包含 4 个可配置的模块，这些模块允许创建复杂的模拟信号流。模拟外设非常灵活，并能够根据具体的应用要求进行定制。一些更常用的 PSoC 模拟功能（大都以用户模块的方式提供）包括：

- 模数转换器（一个或两个，8 位或 10 位分辨率）
- 引脚至引脚电压比较器（一个）
- 带绝对（1.3 V）电压参考或 8 位 DAC 电压参考的单端电压比较器（最多 2 个）
- 1.3 V 参考电压（作为系统资源）

在大多数 PSoC 器件中，模拟模块都采用三个一列的排列方式，其中包括一个 CT（连续时间）和两个 SC（开关电容）模块。CY8C21x23 器件提供功能有限的 E 型模拟模块。每列包含一个 CT 模块和一个 SC 模块。

第 5 页上的表 1 中列出了该器件系列上的模块数。

图 11. CY8C21x23 模拟系统框图



其它系统资源

系统资源能够提供对整个系统非常有用的附加功能。有些系统资源已在前面章节中列出。除此之外还包括开关电压泵、欠压检测和加电复位。以下介绍了每种系统资源的优势：

- 数字时钟分频器能够提供三个可定制的时钟频率，以便在应用中使用。这些时钟既可以路由到数字系统，也可以路由到模拟系统。通过将数字 PSoC 模块用作时钟分频器，可以生成更多时钟。
- I²C 模块能够通过两条线路提供 100 和 400 kHz 的通信。支持从器件、主器件和多主器件模式。
- 低压检测（LVD）中断可以在电压下降时向应用程序发出信号，而高级 POR（加电复位）电路则消除系统监控方面的需要。
- 内部 1.3V 电压参考为 ADC、DAC 等模拟系统提供了一个绝对电压参考。
- 集成开关电压泵（SMP）能够利用单个 1.2 V 的电池生成正常工作电压，从而提供了一个低成本的升压转换器。

PSoC 器件特性

数字和模拟系统可以有 16、8 或 4 个数字模块和 12、6 或 4 个模拟模块，具体取决于 PSoC 器件的特性。表 1 列出了特定 PSoC 器件系列所提供的资源。本数据手册中介绍的 PSoC 器件为突出显示的器件。

表 1. PSoC 器件特性

PSoC 器件型号	数字 I/O	数字行	数字模块	模拟输入	模拟输出	模拟列	模拟模块	SRAM 大小	闪存大小
CY8C29x66	最多 64 个	4	16	最多 12 个	4	4	12	2K	32K
CY8C28xxx	最多 44 个	最多 3 个	最多 12 个	最多 44 个	最多 4 个	最多 6 个	最多 12 + 4 ^[1]	1K	16K
CY8C27x43	最多 44 个	2	8	最多 12 个	4	4	12	256	16K
CY8C24x94	最多 56 个	1	4	最多 48 个	2	2	6	1K	16K
CY8C24x23A	最多 24 个	1	4	最多 12 个	2	2	6	256	4K
CY8C23x33	最多 26 个	1	4	最多 12 个	2	2	4	256	8K
CY8C22x45	最多 38 个	2	8	最多 38 个	0	4	6 ^[1]	1K	16K
CY8C21x45	最多 24 个	1	4	最多 24 个	0	4	6 ^[1]	512	8K
CY8C21x34	最多 28 个	1	4	最多 28 个	0	2	4 ^[1]	512	8K
CY8C21x23	最多 16 个	1	4	最多 8 个	0	2	4 ^[1]	256	4K
CY8C20x34	最多 28 个	0	0	最多 28 个	0	0	3 ^[1,2]	512	8K
CY8C20xx6	最多 36 个	0	0	最多 36 个	0	0	3 ^[1,2]	最多 2K	最多 32K

入门

了解 PSoC 芯片的最快方式是先阅读本数据手册，然后再使用 PSoC Designer 集成开发环境 (IDE)。本数据手册概要介绍了 PSoC 集成电路，并包含具体的引脚、寄存器和电气规范。

有关详细信息以及详细的编程信息，请参见本 PSoC 器件的《技术参考手册》。

如需最新的订购、封装和电气规范信息，请参见 <http://www.cypress.com> 网站上最新的 PSoC 器件数据手册。

应用笔记

应用笔记是对众多 PSoC 设计方案的绝佳介绍。这些应用笔记可以在 <http://www.cypress.com> 网站上找到。

开发套件

PSoC 开发工具包可通过赛普拉斯网站 <http://www.cypress.com> 在线获得，也可以通过越来越多的地区和全球分销商（包括 Arrow、Avnet、Digi-Key、Farnell、Future Electronics 和 Newark）获得。

培训

<http://www.cypress.com> 网站在线提供免费的 PSoC 技术培训（按需提供的培训、在线研讨会和专题讨论会）。培训涵盖了可协助您进行设计的众多主题和技能。

CYPros 顾问

从技术协助到完整的 PSoC 设计，经过认证的 PSoC 顾问能够提供一切支持。要联系或成为 PSoC 顾问，请访问 <http://www.cypress.com> 并参考“CYPros 顾问”。

解决方案库

您可以通过 <http://www.cypress.com> 网站访问我们以解决方案为中心且内容不断增加的设计库。在这里，您可以找到各种应用设计，其中包括可帮助您快速完成设计的固件和硬件设计文件。

技术支持

如需技术问题方面的帮助，请在 <http://www.cypress.com> 网站上搜索知识库文章和论坛。如果找不到问题的答案，请致电 1-800-541-4736 联系技术支持。

注释

1. 有限的模拟功能。

开发工具选择

软件

PSoC Designer

PSoC Designer 是 PSoC 开发软件套装的核心。这款强大的软件被数以千计的 PSoC 开发人员用于简化 PSoC 设计已有数年时间。PSoC Designer 在 <http://www.cypress.com> 网站上提供免费提供的。PSoC Designer 附带免费的 C 语言编译器。

PSoC Designer 软件子系统

选择要使用的基本器件，然后选择不同的板上模拟和数字组件。这些组件称为用户模块，并采用 PSoC 模块。用户模块示例包括 ADC、DAC、放大器和滤波器。为所选应用配置用户模块，将它们互连并连接至适当的引脚。然后生成项目。这会在项目中加入 API 和库，您可以使用它们来对应用进行编程。

通过此工具，用户还可以轻松开发多个配置和动态重配置。动态配置允许在运行时更改配置。代码生成工具 PSoC Designer 支持多种第三方 C 语言编译器和汇编程序。这些代码生成工具能够在 PSoC Designer 界面内无缝工作，并已采用一整套调试工具进行测试，您可以随意选用。

汇编程序：汇编程序可让汇编代码与 C 语言代码无缝合并。链接库会自动使用绝对寻址，或在相对模式下进行编译，然后与其他软件模块链接，以实现绝对寻址。

C 语言编译器：C 语言编译器支持 PSoC 系列器件。这些产品允许您为 PSoC 系列器件创建完整的 C 语言程序。优化 C 语言编译器能够提供针对 PSoC 架构定制的所有 C 语言功能，并随附有嵌入式库，这些库能够提供端口和总线操作、标准键盘和显示器支持，以及扩展的数学功能。

调试器

PSoC Designer 提供的调试环境具有硬件在线仿真功能，不仅能够提供 PSoC 器件的内部视图，而且可让您在物理系统中测试程序。借助调试器命令，设计人员可以对数据存储器进行读、编程以及读写操作，对 I/O 寄存器和 CPU 寄存器进行读写操作，设置和清除断点，以及提供程序运行、暂停和步进控制。调试器还可让设计人员创建相关寄存器和存储器位置的跟踪缓冲区。

在线仿真器

功能强大的低成本在线仿真器（ICE）可用于提供开发支持。此硬件可以编程单个器件。仿真器包含一个通过 USB 端口连接到 PC 的基本装置。该基本装置是通用的，能够用于所有 PSoC 器件。每个器件系列的仿真转接板（Emulation Pod）都可单独购买。仿真转接板（Emulation Pod）取代了目标电路板中的 PSoC 器件并执行全速（24 MHz）操作。

标准的赛普拉斯 PSoC IDE 工具可用于调试 CY8C20x36A/66A 部件系列。但 Flex-Pod 中的额外轨迹长度和最小接地层可能会产生噪声问题，从而使调试设计变得非常困难。48 引脚 QFN 封装中包含自定义结合式片上调试（OCD）器件。对有高电流和/或高模拟精度要求的设计进行调试时，建议使用 OCD 器件。QFN 封装结构非常紧凑，并通过高密度连接器连接到 ICE。

PSoC 编程器

PSoC Programmer 非常灵活，它不仅可用于开发，而且适用于工厂编程，因此可作为独立的编程应用程序，也可从 PSoC Designer 中直接调用。PSoC 编程器软件同 PSoC ICE-Cube 在线仿真器和 PSoC MiniProg 均兼容。PSoC 编程器在 <http://www.cypress.com/psocprogrammer> 网站上是免费提供的。

使用 PSoC Designer 进行设计

PSoC 器件的开发过程与传统的固定功能微处理器不同。可配置的模拟和数字硬件模块赋予 PSoC 架构独特的灵活性，有助于在开发期间管理规范变更，并降低库存成本。这些可配置的资源（称为 PSoC 模块）能够实现众多可供用户选择的功能。

PSoC 开发过程可概括为以下四个步骤：

1. 选择用户模块
2. 配置用户模块
3. 组织和连接
4. 生成、验证和调试

选择组件

PSoC Designer 提供了一个预建且预测试的硬件外设组件，称作“用户模块”。用户模块使选择和实现外设器件，包括模拟和数字器件，变得简单。

配置组件

所选择的每个用户模块都能够建立用于实现所选功能的基本寄存器设置。此外，它们还提供参数和属性，以便您针对特定应用定制精确配置。例如，PWM 用户模块配置一个或多个

数字 PSoC 模块，每 8 位分辨率一个模块。借助用户模块参数，您可以确定脉冲宽度和占空比。请根据所选应用配置参数和属性。您可以直接输入值或从下拉菜单中选择值。所有用户模块都记录在了可在 PSoC Designer 中直接查看的数据手册或赛普拉斯网站上。这些用户模块数据手册介绍了用户模块内部操作并提供了性能规范。每个数据手册都介绍了每个用户模块参数的使用，以及成功实现设计可能需要的其他信息。

组织和连接

您可以通过用户模块互连及与 I/O 引脚相连构建芯片级的信号链。通过进行选择、配置和布线，可完全控制所有片上资源的使用。

生成、验证和调试

当测试硬件配置准备就绪或接下来要开发项目代码时，请执行“生成配置文件”这一步。这会使 PSoC Designer 生成源代码，而源代码会自动按照您的规范配置器件，并为系统提供软件。生成的代码提供具有高级功能的应用编程接口（API），以便在运行时控制与响应硬件事件，并中断可根据需要调整的服务例程。

完善的代码开发环境可让您使用 C 语言和 / 或汇编语言来开发和定制应用程序。

开发过程的最后一步是在 PSoC Designer 的调试器（单击“连接”图标访问）中完成的。PSoC Designer 会将 HEX 映像下载到 ICE 中并全速运行。PSoC Designer 的调试功能可以与较其成本高出数倍的系统相媲美。除了传统的单步执行、运行到断点和监视变量功能外，调试器还提供大型跟踪缓冲区，并允许您定义包括监控地址和数据总线值、存储器位置和外部信号的复杂断点事件。

引脚信息

本节说明、列出并阐释了 CY8C21x23 PSoC 器件的引脚和引脚分布配置。每个端口引脚（标有“P”）均能用作数字 I/O。但是，V_{SS}、V_{DD}、SMP 和 XRES 不能用作数字 I/O。

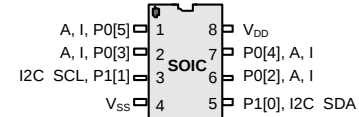
8 引脚部件的引脚分布

表 2. 引脚定义 — CY8C21123 8 引脚 SOIC

引脚编号	类型		引脚名称	说明
	数字	模拟		
1	I/O	I	P0[5]	模拟列复用器输入
2	I/O	I	P0[3]	模拟列复用器输入
3	I/O		P1[1]	I ² C 串行时钟（SCL）、ISSP-SCLK ^[3]
4	电源		V _{SS}	接地
5	I/O		P1[0]	I ² C 串行数据（SDA）、ISSP-SDATA ^[3]
6	I/O	I	P0[2]	模拟列复用器输入
7	I/O	I	P0[4]	模拟列复用器输入
8	电源		V _{DD}	供电电压

图标：A = 模拟，I = 输入和 O = 输出。

图 11. CY8C21123 8 引脚 SOIC



16 引脚部件的引脚分布

表 3. 引脚定义 — CY8C21223 16 引脚 SOIC

引脚编号	类型		引脚名称	说明
	数字	模拟		
1	I/O	I	P0[7]	模拟列复用器输入
2	I/O	I	P0[5]	模拟列复用器输入
3	I/O	I	P0[3]	模拟列复用器输入
4	I/O	I	P0[1]	模拟列复用器输入
5	电源		SMP	SMP 连接至所需的外部组件
6	电源		V _{SS}	接地
7	I/O		P1[1]	I ² C SCL、ISSP-SCLK ^[3]
8	电源		V _{SS}	接地
9	I/O		P1[0]	I ² C SDA、ISSP-SDATA ^[3]
10	I/O		P1[2]	
11	I/O		P1[4]	可选外部时钟输入（EXTCLK）
12	I/O	I	P0[0]	模拟列复用器输入
13	I/O	I	P0[2]	模拟列复用器输入
14	I/O	I	P0[4]	模拟列复用器输入
15	I/O	I	P0[6]	模拟列复用器输入
16	电源		V _{DD}	供电电压

图标：A = 模拟，I = 输入，O = 输出。

图 11. CY8C21223 16 引脚 SOIC

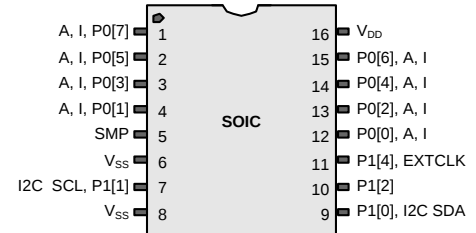
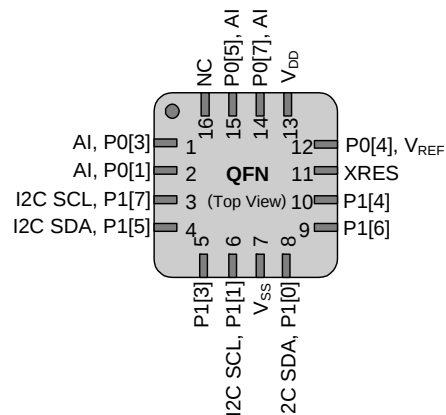


表 4. 引脚定义 — CY8C21223 16 引脚 QFN（无 E-Pad）^[3]

引脚 编号	类型		引脚 名称	说明
	数字	模拟		
1	I/O	I	P0[3]	模拟列复用器输入
2	I/O	I	P0[1]	模拟列复用器输入
3	I/O		P1[7]	I ² C SCL
4	I/O		P1[5]	I ² C SDA
5	I/O		P1[3]	
6	I/O		P1[1]	I ² C SCL、ISSP-SCLK ^[3]
7	电源		V _{SS}	接地
8	I/O		P1[0]	I ² C SDA、ISSP-SDATA ^[3]
9	I/O		P1[6]	
10	I/O		P1[4]	EXTCLK
11	输入		XRES	采用内部下拉电阻的高电平有效外部复位
12	I/O	I	P0[4]	V _{REF}
13	电源		V _{DD}	供电电压
14	I/O	I	P0[7]	模拟列复用器输入
15	I/O	I	P0[5]	模拟列复用器输入
16			NC	无连接。引脚必须悬空

图标: A = 模拟, I = 输入, O = 输出。

图 11. CY8C21223 16 引脚 QFN



注释

- 这些是 ISSP 引脚，该引脚在 POR（加电复位）时不是高阻模式。有关详细信息，请参见《PSoC 技术参考手册》。
- QFN 封装上的中心焊盘必须接地（V_{SS}），以获得最佳机械、热学和电气性能。如果未接地，则必须处于电气悬空状态，而不能连接到其他任何信号。

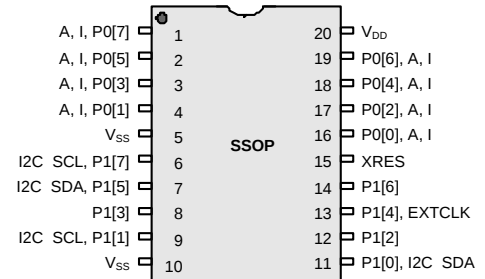
20 引脚部件的引脚分布

表 5. 引脚定义 — CY8C21323 20 引脚 SSOP

引脚 编号	类型		引脚 名称	说明
	数字	模拟		
1	I/O	I	P0[7]	模拟列复用器输入
2	I/O	I	P0[5]	模拟列复用器输入
3	I/O	I	P0[3]	模拟列复用器输入
4	I/O	I	P0[1]	模拟列复用器输入
5	电源		V _{SS}	接地
6	I/O		P1[7]	I ² C SCL
7	I/O		P1[5]	I ² C SDA
8	I/O		P1[3]	
9	I/O		P1[1]	I ² C SCL、ISSP-SCLK ^[3]
10	电源		V _{SS}	接地
11	I/O		P1[0]	I ² C SDA、ISSP-SDATA ^[3]
12	I/O		P1[2]	
13	I/O		P1[4]	可选的 EXTCLK 输入
14	I/O		P1[6]	
15	输入		XRES	采用内部下拉电阻的高电平有效外部复位
16	I/O	I	P0[0]	模拟列复用器输入
17	I/O	I	P0[2]	模拟列复用器输入
18	I/O	I	P0[4]	模拟列复用器输入
19	I/O	I	P0[6]	模拟列复用器输入
20	电源		V _{DD}	供电电压

图标：A = 模拟，I = 输入，O = 输出。

图 11. CY8C21323 20 引脚 SSOP



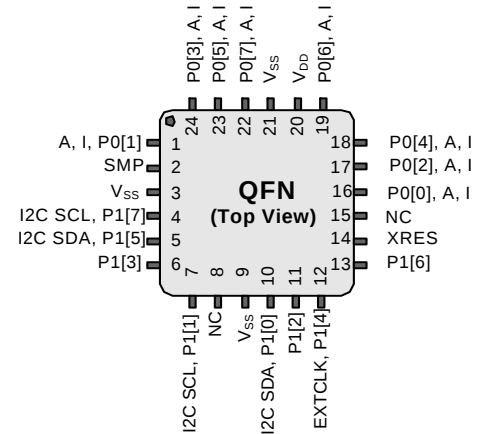
24 引脚部件的引脚分布

表 6. 引脚定义 — CY8C21323 24 引脚 QFN^[5]

引脚 编号	类型		引脚 名称	说明
	数字	模拟		
1	I/O	I	P0[1]	模拟列复用器输入
2	电源		SMP	SMP 连接至所需的外部组件
3	电源		V _{SS}	接地
4	I/O		P1[7]	I ² C SCL
5	I/O		P1[5]	I ² C SDA
6	I/O		P1[3]	
7	I/O		P1[1]	I ² C SCL、ISSP-SCLK ^[3]
8			NC	无连接。引脚必须悬空
9	电源		V _{SS}	接地
10	I/O		P1[0]	I ² C SDA、ISSP-SDATA ^[3]
11	I/O		P1[2]	
12	I/O		P1[4]	可选的 (EXTCLK) 输入
13	I/O		P1[6]	
14	输入		XRES	采用内部下拉的高电平有效外部复位
15			NC	无连接。引脚必须悬空
16	I/O	I	P0[0]	模拟列复用器输入
17	I/O	I	P0[2]	模拟列复用器输入
18	I/O	I	P0[4]	模拟列复用器输入
19	I/O	I	P0[6]	模拟列复用器输入
20	电源		V _{DD}	供电电压
21	电源		V _{SS}	接地
22	I/O	I	P0[7]	模拟列复用器输入
23	I/O	I	P0[5]	模拟列复用器输入
24	I/O	I	P0[3]	模拟列复用器输入

图标: A = 模拟, I = 输入, O = 输出。

图 11. CY8C21323 24 引脚 QFN



注释

5. QFN 封装上的中心焊盘必须接地 (V_{SS}), 以获得最佳机械、热学和电气性能。如果未接地, 则必须处于电气悬空状态, 而不能连接到其他任何信号。

寄存器参考

本节列出了 CY8C21x23 PSoC 器件的寄存器。有关寄存器的详细信息，请参见《PSoC 技术参考手册》。

寄存器规定

下表列出了针对本节的寄存器规定。

表 7. 寄存器规定

规范	说明
R	读寄存器或位
W	写寄存器或位
L	逻辑寄存器或位
C	可清除寄存器或位
#	针对位进行的访问

寄存器映射表

PSoC 器件共有 512 个字节的寄存器地址空间。该寄存器空间也称为 I/O 空间，分为两个组。标记寄存器（CPU_F）中的 XOI 位用于确定 CPU 指令访问哪个寄存器组。设置 XOI 位时，用户位于组 1 中。

注意：在以下寄存器映射表中，空白字段为保留字段，请勿访问这些字段。

表 8. 寄存器映射组 0 表：用户空间

名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问
PRT0DR	00	RW		40		ASE10CR0	80	RW		C0	
PRT0IE	01	RW		41			81			C1	
PRT0GS	02	RW		42			82			C2	
PRT0DM2	03	RW		43			83			C3	
PRT1DR	04	RW		44		ASE11CR0	84	RW		C4	
PRT1IE	05	RW		45			85			C5	
PRT1GS	06	RW		46			86			C6	
PRT1DM2	07	RW		47			87			C7	
	08			48			88			C8	
	09			49			89			C9	
	0A			4A			8A			CA	
	0B			4B			8B			CB	
	0C			4C			8C			CC	
	0D			4D			8D			CD	
	0E			4E			8E			CE	
	0F			4F			8F			CF	
	10			50			90			D0	
	11			51			91			D1	
	12			52			92			D2	
	13			53			93			D3	
	14			54			94			D4	
	15			55			95			D5	
	16			56			96		I2C_CFG	D6	RW
	17			57			97		I2C_SCR	D7	#
	18			58			98		I2C_DR	D8	RW
	19			59			99		I2C_MSCR	D9	#
	1A			5A			9A		INT_CLR0	DA	RW
	1B			5B			9B		INT_CLR1	DB	RW
	1C			5C			9C			DC	
	1D			5D			9D		INT_CLR3	DD	RW
	1E			5E			9E		INT_MSK3	DE	RW
	1F			5F			9F			DF	
DBB00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBB00DR1	21	W		61			A1		INT_MSK1	E1	RW
DBB00DR2	22	RW	PWM_CR	62	RW		A2		INT_VC	E2	RC
DBB00CR0	23	#		63			A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#		A4			E4	
DBB01DR1	25	W		65			A5			E5	
DBB01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0	E6	RW
DBB01CR0	27	#		67			A7		DEC_CR1	E7	RW
DCB02DR0	28	#	ADC0_CR	68	#		A8			E8	
DCB02DR1	29	W	ADC1_CR	69	#		A9			E9	
DCB02DR2	2A	RW		6A			AA			EA	
DCB02CR0	2B	#		6B			AB			EB	
DCB03DR0	2C	#	TMP_DR0	6C	RW		AC			EC	
DCB03DR1	2D	W	TMP_DR1	6D	RW		AD			ED	
DCB03DR2	2E	RW	TMP_DR2	6E	RW		AE			EE	
DCB03CR0	2F	#	TMP_DR3	6F	RW		AF			EF	

空白字段为保留字段，并不能访问这些字段。

表示由位决定的访问。

表 8. 寄存器映射组 0 表：用户空间 （续）

名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问	名称	地址 (0, 十六进制)	访问
	30			70		RDI0RI	B0	RW		F0	
	31			71		RDI0SYN	B1	RW		F1	
	32		ACE00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACE00CR2	73	RW	RDI0LT0	B3	RW		F3	
	34			74		RDI0LT1	B4	RW		F4	
	35			75		RDI0RO0	B5	RW		F5	
	36		ACE01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACE01CR2	77	RW		B7		CPU_F	F7	RL
	38			78			B8			F8	
	39			79			B9			F9	
	3A			7A			BA			FA	
	3B			7B			BB			FB	
	3C			7C			BC			FC	
	3D			7D			BD			FD	
	3E			7E			BE		CPU_SCR1	FE	#
	3F			7F			BF		CPU_SCR0	FF	#

空白字段为保留字段，并不能访问这些字段。

表示由位决定的访问。

表 9. 寄存器映射组 1 表：配置空间

名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问
PRT0DM0	00	RW		40		ASE10CR0	80	RW		C0	
PRT0DM1	01	RW		41			81			C1	
PRT0IC0	02	RW		42			82			C2	
PRT0IC1	03	RW		43			83			C3	
PRT1DM0	04	RW		44		ASE11CR0	84	RW		C4	
PRT1DM1	05	RW		45			85			C5	
PRT1IC0	06	RW		46			86			C6	
PRT1IC1	07	RW		47			87			C7	
	08			48			88			C8	
	09			49			89			C9	
	0A			4A			8A			CA	
	0B			4B			8B			CB	
	0C			4C			8C			CC	
	0D			4D			8D			CD	
	0E			4E			8E			CE	
	0F			4F			8F			CF	
	10			50			90		GDI_O_IN	D0	RW
	11			51			91		GDI_E_IN	D1	RW
	12			52			92		GDI_O_OU	D2	RW
	13			53			93		GDI_E_OU	D3	RW
	14			54			94			D4	
	15			55			95			D5	
	16			56			96			D6	
	17			57			97			D7	
	18			58			98			D8	
	19			59			99			D9	
	1A			5A			9A			DA	

空白字段为保留字段，并不能访问这些字段。

表示由位决定的访问。

表 9. 寄存器映射组 1 表：配置空间（续）

名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问	名称	地址 (1, 十六进制)	访问
	1B			5B			9B			DB	
	1C			5C			9C			DC	
	1D			5D			9D		OSC_GO_EN	DD	RW
	1E			5E			9E		OSC_CR4	DE	RW
	1F			5F			9F		OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW	CMP_GO_EN	64	RW		A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5		ADC0_TR	E5	RW
DBB01OU	26	RW	AMD_CR1	66	RW		A6		ADC1_TR	E6	RW
	27		ALT_CR0	67	RW		A7			E7	
DCB02FN	28	RW		68			A8		IMO_TR	E8	W
DCB02IN	29	RW		69			A9		ILO_TR	E9	W
DCB02OU	2A	RW		6A			AA		BDG_TR	EA	RW
	2B		CLK_CR3	6B	RW		AB		ECO_TR	EB	W
DCB03FN	2C	RW	TMP_DR0	6C	RW		AC			EC	
DCB03IN	2D	RW	TMP_DR1	6D	RW		AD			ED	
DCB03OU	2E	RW	TMP_DR2	6E	RW		AE			EE	
	2F		TMP_DR3	6F	RW		AF			EF	
	30			70		RDI0RI	B0	RW		F0	
	31			71		RDI0SYN	B1	RW		F1	
	32		ACE00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACE00CR2	73	RW	RDI0LT0	B3	RW		F3	
	34			74		RDI0LT1	B4	RW		F4	
	35			75		RDI0RO0	B5	RW		F5	
	36		ACE01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACE01CR2	77	RW		B7		CPU_F	F7	RL
	38			78			B8			F8	
	39			79			B9			F9	
	3A			7A			BA		FLS_PR1	FA	RW
	3B			7B			BB			FB	
	3C			7C			BC			FC	
	3D			7D			BD			FD	
	3E			7E			BE		CPU_SCR1	FE	#
	3F			7F			BF		CPU_SCR0	FF	#

空白字段为保留字段，并不能访问这些字段。

表示由位决定的访问。

电气规格

本节提供 CY8C21x23 PSoC 器件的直流和交流电气规范。有关最新的电气规范，请访问 <http://www.cypress.com> 网站查看最新的数据手册。

除非另有说明，规范的适用温度是 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 且 $T_J \leq 100^{\circ}\text{C}$ 。

请参考第 25 页上的表 24，了解 SLIMO 模式下的内部主振荡器（IMO）电气规范的信息。

图 11. 电压与 CPU 频率

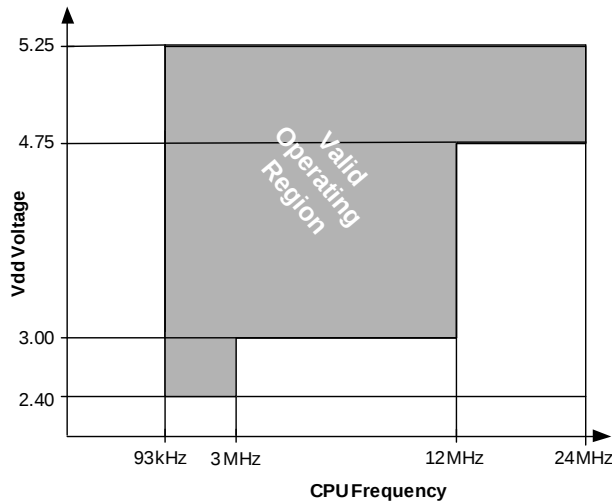
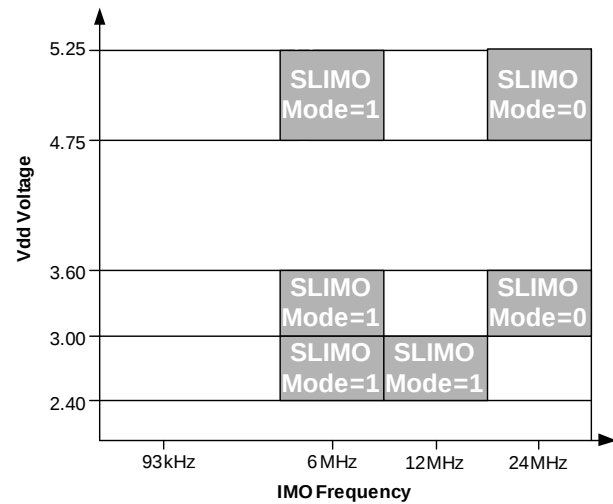


图 11. 电压与 IMO 频率



最大绝对额定值

超过最大额定值可能会缩短器件的使用寿命。用户指导未经过测试。

表 10. 最大绝对额定值

符号	说明	最小值	典型值	最大值	单位	注意
T_{STG}	存放温度	-55	-	+100	$^{\circ}\text{C}$	存放温度越高，数据保留时间就越短。推荐的存放温度为 $+25^{\circ}\text{C} \pm 25^{\circ}\text{C}$ 。存放温度长期保持在 65°C 以上会降低可靠性。
$T_{BAKETEMP}$	烘烤温度	-	125	请参见封装标签	$^{\circ}\text{C}$	
$t_{BAKETIME}$	烘烤时间	请参见封装标签	-	72	小时	
T_A	处于上电时的环境温度	-40	-	+85	$^{\circ}\text{C}$	
V_{DD}	相对于 V_{SS} 的 V_{DD} 供电电压	-0.5	-	+6.0	V	
V_{IO}	直流输入电压	$V_{SS} - 0.5$	-	$V_{DD} + 0.5$	V	
V_{IOZ}	应用于三态的直流电压	$V_{SS} - 0.5$	-	$V_{DD} + 0.5$	V	
I_{MIO}	任意端口引脚中的最大电流	-25	-	+50	mA	
ESD	静电放电电压	2000	-	-	V	人体模型 ESD
LU	栓锁电流	-	-	200	mA	

工作温度

表 11. 工作温度

符号	说明	最小值	典型值	最大值	单位	注意
T_A	环境温度	-40	—	+85	°C	
T_J	结温	-40	—	+100	°C	从环境温度到结温的升高情况因封装不同而有所变化。请参见第 34 页上的表 36。您必须限制功耗，以便满足此要求。

直流电气特性

直流芯片级规范

表 12 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 、3.0 V 至 3.6 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 或 2.4 V 至 3.0 V 和 $-40\text{ °C} \leq T_A \leq 85\text{ °C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。

表 12. 直流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{DD}	供电电压	2.40	—	5.25	V	请参见直流 POR 和 LVD 规范，第 21 页上的表 19。
I_{DD}	供电电流，IMO = 24 MHz	—	3	4	mA	条件为 $V_{DD} = 5.0\text{ V}$ ，25 °C，CPU = 3 MHz，SYSClk 时钟倍频器处于禁用状态。VC1 = 1.5 MHz VC2 = 93.75 kHz VC3 = 0.366 kHz
I_{DD3}	供电电流，IMO = 6 MHz	—	1.2	2	mA	条件为 $V_{DD} = 3.3\text{ V}$ ，25 °C，CPU = 3 MHz，时钟倍频器处于禁用状态。VC1 = 375 kHz VC2 = 23.4 kHz VC3 = 0.091 kHz
I_{DD27}	供电电流，IMO = 6 MHz	—	1.1	1.5	mA	条件为 $V_{DD} = 2.55\text{ V}$ ，25 °C，CPU = 3 MHz，时钟倍频器处于禁用状态。VC1 = 375 kHz VC2 = 23.4 kHz VC3 = 0.091 kHz
I_{SB27}	使用 POR、LVD、睡眠定时器、WDT 和内部低速振荡器运行时的睡眠（模式）电流。中等温度范围。	—	2.6	4	μA	$V_{DD} = 2.55\text{ V}$ ，0 °C 到 40 °C
I_{SB}	使用 POR、LVD、睡眠定时器、WDT 和内部低速振荡器运行时的睡眠（模式）电流。	—	2.8	5	μA	$V_{DD} = 3.3\text{ V}$ ， $-40\text{ °C} \leq T_A \leq 85\text{ °C}$
V_{REF}	参考电压（带隙）	1.28	1.30	1.32	V	已针对相应的 V_{DD} 进行调整。 $V_{DD} = 3.0\text{ V}$ 到 5.25 V
V_{REF27}	参考电压（带隙）	1.16	1.30	1.330	V	已针对相应的 V_{DD} 进行调整。 $V_{DD} = 2.4\text{ V}$ 到 3.0 V
AGND	模拟接地	$V_{REF} - 0.003$	V_{REF}	$V_{REF} + 0.003$	V	

直流 GPIO 规范

表 13 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 $^{\circ}\text{C}$ 且电压为 5 V、3.3 V 或 2.7 V 的情况, 这些参数仅供设计指导之用。

表 13. 5 V 和 3.3 V 直流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注意
R_{PU}	上拉电阻	4	5.6	8	$k\Omega$	
R_{PD}	下拉电阻	4	5.6	8	$k\Omega$	
V_{OH}	高输出电平	$V_{DD} - 1.0$	—	—	V	$I_{OH} = 10\text{ mA}$, $V_{DD} = 4.75$ 到 5.25 V (共有 8 个负载, 其中 4 个在偶数端口引脚上 (如 P0[2]、P1[4]), 另外 4 个在奇数端口引脚上 (如 P0[3]、P1[5]))。最大总计为 80 mA 的 I_{OH} 预算。
V_{OL}	低输出电平	—	—	0.75	V	$I_{OL} = 25\text{ mA}$, $V_{DD} = 4.75$ 到 5.25 V (共有 8 个负载, 其中 4 个在偶数端口引脚上 (如 P0[2]、P1[4]), 另外 4 个在奇数端口引脚上 (如 P0[3]、P1[5]))。最大总计为 150 mA 的 I_{OL} 预算。
I_{OH}	高电平源电流	10	—	—	mA	$V_{OH} = V_{DD} - 1.0\text{ V}$, 请参见 V_{OH} 注解中总电流的限制
I_{OL}	低电平灌电流	25	—	—	mA	$V_{OL} = 0.75\text{ V}$, 请参见 V_{OL} 注解中总电流限制
V_{IL}	输入低电平	—	—	0.8	V	$V_{DD} = 3.0$ 至 5.25
V_{IH}	输入高电平	2.1	—	—	V	$V_{DD} = 3.0$ 至 5.25
V_H	输入迟滞	—	60	—	mV	
I_{IL}	输入漏电流 (绝对值)	—	1	—	nA	粗略测试结果为 1 μA
C_{IN}	引脚上作为输入的电容负载	—	3.5	10	pF	取决于封装和引脚。 温度 = 25 $^{\circ}\text{C}$
C_{OUT}	引脚上作为输出的电容负载	—	3.5	10	pF	取决于封装和引脚。 温度 = 25 $^{\circ}\text{C}$

表 14 分别列出了以下电压和温度范围内允许的最大和最小规范: 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 $^{\circ}\text{C}$ 且电压为 2.7 V 的情况, 仅供设计指导之用。

表 14. 2.7 V 直流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注意
R_{PU}	上拉电阻	4	5.6	8	$k\Omega$	
R_{PD}	下拉电阻	4	5.6	8	$k\Omega$	
V_{OH}	高输出电平	$V_{DD} - 0.4$	—	—	V	$I_{OH} = 2.5\text{ mA}$ (6.25 典型值), $V_{DD} = 2.4 - 3.0\text{ V}$ (最大值为 16 mA, 总计为 50 mA 的典型 I_{OH} 预算)。
V_{OL}	低输出电平	—	—	0.75	V	$I_{OL} = 10\text{ mA}$, $V_{DD} = 2.4$ 至 3.0 V (总计为 90 mA 的 I_{OL} 预算)。
I_{OH}	高电平源电流	2.5	—	—	mA	$V_{OH} = V_{DD} - 0.4\text{ V}$, 请参见 V_{OH} 说明中总电流的限制
I_{OL}	低电平灌电流	10	—	—	mA	$V_{OL} = 0.75\text{ V}$, 请参见 V_{OL} 注解中总电流限制
V_{IL}	输入低电平	—	—	0.75	V	$V_{DD} = 2.4$ 至 3.0
V_{IH}	输入高电平	2.0	—	—	V	$V_{DD} = 2.4$ 至 3.0
V_H	输入迟滞	—	60	—	mV	
I_{IL}	输入漏电流 (绝对值)	—	1	—	nA	粗略测试结果为 1 μA
C_{IN}	输入引脚上的电容负载	—	3.5	10	pF	取决于封装和引脚。 温度 = 25 $^{\circ}\text{C}$
C_{OUT}	输入引脚上的电容负载	—	3.5	10	pF	取决于封装和引脚。 温度 = 25 $^{\circ}\text{C}$

直流放大器规范

下表分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。

表 15. 5 V 直流放大器规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{OSOA}	输入偏移电压（绝对值）	—	2.5	15	mV	
TCV_{OSOA}	平均输入偏移电压漂移	—	10	—	$\mu\text{V}/^{\circ}\text{C}$	
I_{EBOA}	输入漏电流（端口 0 模拟引脚）	—	200	—	pA	粗略测试结果为 1 μA
C_{INOA}	输入电容（端口 0 模拟引脚）	—	4.5	9.5	pF	取决于封装和引脚。 温度 = 25°C
V_{CMOA}	普通模式电压范围	0.0	—	$V_{\text{DD}} - 1$	V	
G_{OLOA}	开环增益	80	—	—	dB	
I_{SOA}	放大器供电电流	—	10	30	μA	

表 16. 3.3 V 直流放大器规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{OSOA}	输入偏移电压（绝对值）	—	2.5	15	mV	
TCV_{OSOA}	平均输入偏移电压漂移	—	10	—	$\mu\text{V}/^{\circ}\text{C}$	
I_{EBOA}	输入漏电流（端口 0 模拟引脚）	—	200	—	pA	粗略测试结果为 1 μA
C_{INOA}	输入电容（端口 0 模拟引脚）	—	4.5	9.5	pF	取决于封装和引脚。 温度 = 25°C
V_{CMOA}	共模电压范围	0	—	$V_{\text{DD}} - 1$	V	
G_{OLOA}	开环增益	80	—	—	dB	
I_{SOA}	放大器供电电流	—	10	30	μA	

表 17. 2.7 V 直流放大器规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{OSOA}	输入偏移电压（绝对值）	—	2.5	15	mV	
TCV_{OSOA}	平均输入偏移电压漂移	—	10	—	$\mu\text{V}/^{\circ}\text{C}$	
I_{EBOA}	输入漏电流（端口 0 模拟引脚）	—	200	—	pA	粗略测试结果为 1 μA
C_{INOA}	输入电容（端口 0 模拟引脚）	—	4.5	9.5	pF	取决于封装和引脚。 温度 = 25°C
V_{CMOA}	共模电压范围	0	—	$V_{\text{DD}} - 1$	V	
G_{OLOA}	开环增益	80	—	—	dB	
I_{SOA}	放大器供电电流	—	10	30	μA	

直流开关电压泵规范

表 18 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。

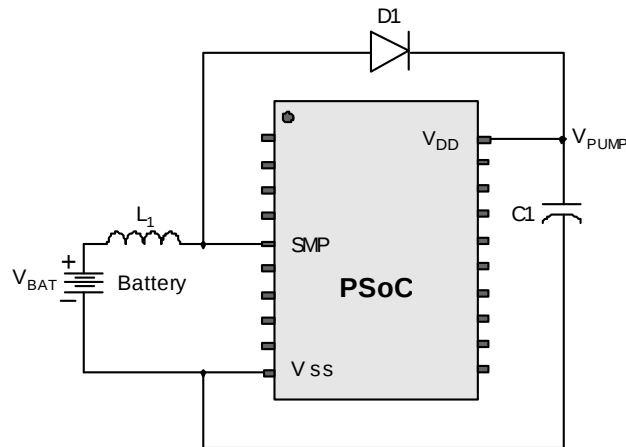
表 18. 直流开关电压泵（SMP）规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{PUMP5V}	泵输出电压为 5 V	4.75	5.0	5.25	V	脚注中的配置。 ^[6] 平均值，忽略纹波。SMP 激发电压设置为 5.0 V。
V_{PUMP3V}	3.3 V 泵输出电压	3.00	3.25	3.60	V	脚注中的配置。 ^[6] 平均值，忽略纹波。SMP 激发电压设置为 3.25 V。
V_{PUMP2V}	2.6 V 泵输出电压	2.45	2.55	2.80	V	脚注中的配置。 ^[6] 平均值，忽略纹波。SMP 激发电压设置为 2.55 V。
I_{PUMP}	可用输出电流 $V_{\text{BAT}} = 1.8 \text{ V}$ 、 $V_{\text{PUMP}} = 5.0 \text{ V}$ $V_{\text{BAT}} = 1.5 \text{ V}$ 、 $V_{\text{PUMP}} = 3.25 \text{ V}$ $V_{\text{BAT}} = 1.3 \text{ V}$ 、 $V_{\text{PUMP}} = 2.55 \text{ V}$	5 8 8	— — —	— — —	mA mA mA	脚注中的配置。 ^[6] SMP 激发电压设置为 5.0 V。 SMP 激发电压设置为 3.25 V。 SMP 激发电压设置为 2.55 V。
V_{BAT5V}	电池的输入电压范围	1.8	—	5.0	V	脚注中的配置。 ^[6] SMP 激发电压被设置为 5.0 V。
V_{BAT3V}	来自电池的输入电压范围	1.0	—	3.3	V	脚注中的配置。 ^[6] SMP 激发电压被设置为 3.25 V。
V_{BAT2V}	电池的输入电压范围	1.0	—	2.8	V	脚注中的配置。 ^[6] SMP 激发电压被设置为 2.55 V。
V_{BATSTART}	来自电池的最低输入电压，用于启动泵	1.2	—	—	V	脚注中的配置。 ^[6] $0^{\circ}\text{C} \leq T_A \leq 100$ 。 $T_A = -40^{\circ}\text{C}$ 时电压为 1.25 V。
$DV_{\text{PUMP_Line}}$	线路调节（超出 V_i 范围）	—	5	—	% V_O	脚注中的配置。 ^[6] V_O 是通过第 21 页上的表 19 “直流 POR 和 LVD 规范”中的 VM[2:0] 设置指定的“ V_{DD} 激发 PUMP 的门槛电压”。
$DV_{\text{PUMP_Load}}$	负载调节	—	5	—	% V_O	脚注中的配置。 ^[6] V_O 是通过第 21 页上的表 19 “直流 POR 和 LVD 规范”中的 VM[2:0] 设置指定的“ V_{DD} 激发 PUMP 的门槛电压”。
$DV_{\text{PUMP_Ripple}}$	输出电压纹波（取决于电容 / 负载）	—	100	—	mVpp	脚注中的配置。 ^[6] 负载为 5 mA。
E_3	效率	35	50	—	%	脚注中的配置。 ^[6] 负载为 5 mA。SMP 激发电压设置为 3.25 V。
E_2	效率	35	80	—	%	对于 $I_{\text{负载}} = 1 \text{ mA}$ ， $V_{\text{PUMP}} = 2.55 \text{ V}$ ， $V_{\text{BAT}} = 1.3 \text{ V}$ ，10 μH 电感，1 μF 电容和肖特基二极管。
F_{PUMP}	开关频率	—	1.3	—	MHz	
DC_{PUMP}	开关占空比	—	50	—	%	

注释

6. $L_1 = 2 \text{ mH}$ 电感， $C_1 = 10 \text{ mF}$ 电容， $D_1 =$ 肖特基二极管。请参考第 21 页上的图 11。

图 11. 基本开关电压泵电路



直流 POR 和 LVD 规范

表 19 分别列出了以下电压和温度范围内允许的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。

表 19. 直流 POR 和 LVD 规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{PPOR0}	PPOR 期间的 V_{DD} 值 PORLEV[1:0] = 00b	—	2.36	2.40	V	在启动期间，或者从 XRES 引脚或看门狗复位期间， V_{DD} 的电压必须大于或等于 2.5 V。
V_{PPOR1}	PORLEV[1:0] = 01b	—	2.82	2.95	V	
V_{PPOR2}	PORLEV[1:0] = 10b	—	4.55	4.70	V	
V_{LVD0}	LVD 期间的 V_{DD} 值 VM[2:0] = 000b	2.40	2.45	2.51 ^[7]	V	
V_{LVD1}	VM[2:0] = 001b	2.85	2.92	2.99 ^[8]	V	
V_{LVD2}	VM[2:0] = 010b	2.95	3.02	3.09	V	
V_{LVD3}	VM[2:0] = 011b	3.06	3.13	3.20	V	
V_{LVD4}	VM[2:0] = 100b	4.37	4.48	4.55	V	
V_{LVD5}	VM[2:0] = 101b	4.50	4.64	4.75	V	
V_{LVD6}	VM[2:0] = 110b	4.62	4.73	4.83	V	
V_{LVD7}	VM[2:0] = 111b	4.71	4.81	4.95	V	
V_{PUMP0}	PUMP 期间的 V_{DD} 值 VM[2:0] = 000b	2.45	2.55	2.62 ^[9]	V	
V_{PUMP1}	VM[2:0] = 001b	2.96	3.02	3.09	V	
V_{PUMP2}	VM[2:0] = 010b	3.03	3.10	3.16	V	
V_{PUMP3}	VM[2:0] = 011b	3.18	3.25	3.32 ^[10]	V	
V_{PUMP4}	VM[2:0] = 100b	4.54	4.64	4.74	V	
V_{PUMP5}	VM[2:0] = 101b	4.62	4.73	4.83	V	
V_{PUMP6}	VM[2:0] = 110b	4.71	4.82	4.92	V	
V_{PUMP7}	VM[2:0] = 111b	4.89	5.00	5.12	V	

注释

7. 对于下降供电，始终比 V_{PPOR} （PORLEV=00）高 50 mV。
8. 对于下降供电，始终比 V_{PPOR} （PORLEV=01）高 50 mV。
9. 始终大于 50 mV（超过 V_{LVD0} ）。
10. 始终大于 50 mV（超过 V_{LVD3} ）。

直流编程规范

表 20 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况, 这些参数仅供设计指导之用。

表 20. 直流编程规范

符号	说明	最小值	典型值	最大值	单位	注意
V_{DDP}	用于编程和清除的 V_{DD}	4.5	5.0	5.5	V	该规范适用于外部编程工具的功能要求
$V_{DDL V}$	用于验证的低电平 V_{DD}	2.4	2.5	2.6	V	该规范适用于外部编程工具的功能要求
$V_{DDH V}$	用于验证的高电平 V_{DD}	5.1	5.2	5.3	V	该规范适用于外部编程工具的功能要求
$V_{DDIWRITE}$	闪存写操作的供电电压	2.70	—	5.25	V	当执行内部闪存写操作时, 器件可以使用该规范
I_{DDP}	编程或验证期间的供电电流	—	5	25	mA	
V_{ILP}	编程或验证期间的输入低电平电压	—	—	0.8	V	
V_{IHP}	编程或验证期间的输入高电平电压	2.2	—	—	V	
I_{ILP}	编程或验证期间为 P1[0] 或 P1[1] 采取 V_{ILP} 电压时的输入电流	—	—	0.2	mA	驱动内部下拉电阻
I_{IHP}	编程或验证期间中为 P1[0] 或 P1[1] 采取 V_{IHP} 电压时的输入电流	—	—	1.5	mA	驱动内部下拉电阻
V_{OLV}	编程或验证期间中的输出低电平电压	—	—	$V_{SS} + 0.75$	V	
V_{OHV}	编程或验证期间的输出高电平电压	$V_{DD} - 1.0$	—	V_{DD}	V	
Flash _{ENPB}	闪存耐久性 (对于每个模块)	50,000 ^[11]	—	—	—	每个模块的擦 / 写周期数
Flash _{ENT}	闪存耐久性 (总计) ^[12]	1,800,000	—	—	—	擦 / 写循环次数
Flash _{DR}	闪存数据保留	10	—	—	年	

I²C 直流规范

表 20 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况, 这些参数仅供设计指导之用。

表 21. 直流 I²C 规范 ^[13]

符号	说明	最小值	典型值	最大值	单位	注意
V_{ILI2C}	输入低电平	—	—	$0.3 \times V_{DD}$	V	$2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$
		—	—	$0.25 \times V_{DD}$	V	$4.75 \text{ V} \leq V_{DD} \leq 5.25 \text{ V}$
V_{IHI2C}	输入高电平	$0.7 \times V_{DD}$	—	—	V	$2.4 \text{ V} \leq V_{DD} \leq 5.25 \text{ V}$

注释

- 仅当闪存存在一个电压范围内工作时, 才能保证每个模块 50,000 次擦 / 写循环的闪存耐久性。电压范围为 2.4 V 到 3.0 V、3.0 V 到 3.6 V 和 4.75 V 到 5.25 V。
- 每个模块的最多擦 / 写周期数为 36 x 50,000。这可以在使用 36 x 1 个模块 (每个模块最多 50,000 次擦 / 写循环)、36 x 2 个模块 (每个模块最多 25,000 次擦 / 写循环) 或 36 x 4 个模块 (每个模块最多 12,500 次擦 / 写循环) 之间进行平衡 (将总擦 / 写循环次数限制为 36 x 50,000 次, 而且单个模块的擦 / 写循环次数不超过 50,000 次)。对于整个工业级范围, 您必须利用温度传感器用户模块 (FlashTemp), 并在写入之前将结果提供给温度参数。有关闪存 API 的更多信息, 请参考应用笔记设计辅助 — 读取和写入 PSoC[®] 闪存 — AN2015。
- 所有 GPIO 均满足第 18 页上的直流 GPIO 规范节中提到的直流 GPIO V_{IL} 和 V_{IH} 规范。此外, I²C GPIO 引脚也满足上述规范。

交流电气特性

交流芯片级规范

表 22 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况, 这些参数仅供设计指导之用。

表 22. 5 V 和 3.3 V 交流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注意
$F_{\text{IMO}24}^{[14]}$	IMO 频率为 24 MHz	22.8	24	25.2 ^[15,16]	MHz	已使用出厂预设值针对 5 V 或 3.3 V 工作电压进行调整。请参考第 16 页上的图 11。 SLIMO 模式 = 0。
$F_{\text{IMO}6}$	IMO 频率为 6 MHz	5.5	6	6.5 ^[15, 16]	MHz	已使用出厂预设值针对 3.3 V 工作电压进行调整。请参见第 16 页上的图 11。 SLIMO 模式 = 1。
$F_{\text{CPU}1}$	CPU 频率 (5 V 额定值)	0.0937	24	24.6 ^[15]	MHz	12 MHz 仅针对 SLIMO 模式 = 0
$F_{\text{CPU}2}$	CPU 频率 (3.3 V 额定值)	0.0937	12	12.3 ^[16]	MHz	SLIMO 模式 = 0。
$F_{\text{BLK}5}$	数字 PSoC 模块频率 (5 V 额定值)	0	48	49.2 ^[15, 17]	MHz	请参见第 26 页上的交流数字模块规范节。
$F_{\text{BLK}33}$	数字 PSoC 模块的频率 (3.3 V 额定值)	0	24	24.6 ^[17]	MHz	
$F_{32\text{K}1}$	ILO 频率	15	32	64	kHz	
$F_{32\text{K}_U}$	ILO 的未调整频率	5	—	100	kHz	在复位之后以及 M8C 开始运行之前, 未对 ILO 进行调整。有关此调整的详细信息, 请参见 PSoC 技术参考手册的“系统复位”一节。
t_{XRST}	外部复位脉冲宽度	10	—	—	μs	
$\text{DC}_{24\text{M}}$	24 MHz 占空比	40	50	60	%	
DC_{ILO}	ILO 的占空比	20	50	80	%	
$\text{Step}_{24\text{M}}$	24 MHz 设置步长大小	—	50	—	kHz	
$F_{\text{out}48\text{M}}$	48 MHz 输出频率	46.8	48.0	49.2 ^[15, 16]	MHz	经出厂调整后。使用出厂预设值。
F_{MAX}	行输入或行输出上的信号最大频率。	—	—	12.3	MHz	
$\text{SR}_{\text{POWER_UP}}$	电源转换速率	—	—	250	V/ms	上电期间 V_{DD} 的转换速率。
t_{POWERUP}	从 POR 结束到 CPU 执行代码的时间	—	16	100	ms	从 0 V 开始加电。请参见 PSoC 技术参考手册的“系统复位”这一节。
$t_{\text{jit_IMO}}$	24 MHz IMO 周期期间抖动 (RMS) ^[18]	—	200	700	ps	
	24 MHz IMO 长期 N 周期期间抖动 (RMS) ^[18]	—	300	900	ps	N = 32
	24 MHz IMO 周期抖动 (RMS) ^[18]	—	100	400	ps	

注释

14. 勘误表 器件在 0°C 到 70°C 温度范围内运行时, 频率容差会下降到 $\pm 2.5\%$, 如果以极限温度 (0°C 以下或 70°C 以上) 运行, 频率容差将从 $\pm 2.5\%$ 偏差到 $\pm 5\%$ 。更多信息, 请参阅第 42 页上的“勘误表”。

15. $4.75\text{ V} < V_{\text{DD}} < 5.25\text{ V}$ 。

16. $3.0\text{ V} < V_{\text{DD}} < 3.6\text{ V}$ 。有关针对在 3.3V 下工作进行调整的信息, 请参见应用笔记为双电压范围操作调整 PSoC 微控制器修整 — AN2012。

17. 有关用户模块最大频率的信息, 请参见各个用户模块数据手册。

18. 有关抖动规范的更多信息, 请参考应用笔记了解赛普拉斯定时产品的数据手册抖动规范 — AN5054。

表 23. 2.7 V 交流芯片级规范

符号	说明	最小值	典型值	最大值	单位	注意
F _{IMO12}	IMO 频率为 12 MHz	11.5	12	12.7 ^[19, 20]	MHz	已使用出厂预设值针对 2.7 V 工作电压进行调整。请参见第 16 页上的图 11。 SLIMO 模式 = 1。
F _{IMO6}	IMO 频率为 6 MHz	5.5	6	6.5 ^[19, 20]	MHz	已使用出厂预设值针对 2.7 V 工作电压进行调整。请参见第 16 页上的图 11。 SLIMO 模式 = 1。
F _{CPU1}	CPU 频率 (2.7 V 额定值)	0.093	3	3.15 ^[19]	MHz	24 MHz 仅针对 SLIMO 模式 = 0。
F _{BLK27}	数字 PSoC 模块的频率 (2.7 V 额定值)	0	12	12.5 ^[19, 20]	MHz	请参见第 26 页上的交流数字模块规范节。
F _{32K1}	ILO 频率	8	32	96	kHz	
F _{32K_U}	ILO 的未调整频率	5	—	100	kHz	在复位之后以及 M8C 开始运行之前, 未对 ILO 进行调整。有关此调整的详细信息, 请参见《PSoC 技术参考手册》的“系统复位”一节。
t _{XRST}	外部复位脉冲宽度	10	—	—	μs	
DC _{ILO}	ILO 的占空比	20	50	80	%	
F _{MAX}	行输入或行输出上信号的最大频率	—	—	12.3	MHz	
SR _{POWER_UP}	电源转换速率	—	—	250	V/ms	上电期间 V _{DD} 的转换速率。
t _{POWERUP}	从 POR 结束到 CPU 执行代码时的时间	—	16	100	ms	从 0 V 开始加电。请参见 PSoC 技术参考手册的“系统复位”这一节。
t _{jitter_IMO}	12 MHz IMO 周期期间抖动 (RMS) ^[21]	—	400	1000	ps	
	12 MHz IMO 长期 N 周期期间抖动 (RMS) ^[21]	—	600	1300	ps	N = 32
	12 MHz IMO 周期抖动 (RMS) ^[21]	—	100	500	ps	

注释

 19. 2.4 V < V_{DD} < 3.0 V。

20. 有关用户模块最大频率的信息, 请参见应用笔记为双电压范围操作调整 PSoC 微控制器修整 — AN2012。

21. 有关抖动规范的更多信息, 请参考应用笔记了解赛普拉斯定时产品的数据手册抖动规范 — AN5054。

交流通用 I/O 规范

表 24 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况, 这些参数仅供设计指导之用。

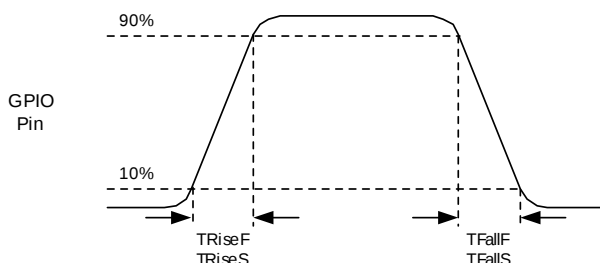
表 24. 5 V 和 3.3 V 交流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注意
F_{GPIO}	GPIO 工作频率	0	—	12	MHz	正常强驱动模式
t_{RiseF}	上升时间, 正常强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	3	—	18	ns	$V_{\text{DD}} = 4.5 \text{ V}$ 至 5.25 V , 10% 至 90%
t_{FallF}	下降时间, 正常强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	2	—	18	ns	$V_{\text{DD}} = 4.5 \text{ V}$ 至 5.25 V , 10% 至 90%
t_{RiseS}	上升时间, 慢速强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	10	27	—	ns	$V_{\text{DD}} = 3 \text{ V}$ 至 5.25 V , 10% 至 90%
t_{FallS}	下降时间, 慢速强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	10	22	—	ns	$V_{\text{DD}} = 3 \text{ V}$ 至 5.25 V , 10% 至 90%

表 25. 2.7 V 交流 GPIO 规范

符号	说明	最小值	典型值	最大值	单位	注意
F_{GPIO}	GPIO 工作频率	0	—	3	MHz	正常强驱动模式
t_{RiseF}	上升时间, 正常强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	6	—	50	ns	$V_{\text{DD}} = 2.4 \text{ V}$ 至 3.0 V , 10% 至 90%
t_{FallF}	下降时间, 正常强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	6	—	50	ns	$V_{\text{DD}} = 2.4 \text{ V}$ 至 3.0 V , 10% 至 90%
t_{RiseS}	上升时间, 慢速强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	18	40	120	ns	$V_{\text{DD}} = 2.4 \text{ V}$ 至 3.0 V , 10% 至 90%
t_{FallS}	下降时间, 慢速强驱动模式, $C_{\text{load}} = 50 \text{ pF}$	18	40	120	ns	$V_{\text{DD}} = 2.4 \text{ V}$ 至 3.0 V , 10% 至 90%

图 11. 通用 I/O 时序图



交流放大器规范

下表分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况, 这些参数仅供设计指导之用。

建立时间、转换速率和增益带宽依赖于模拟连续时间 PSoC 模块。

表 26. 5 V 和 3.3 V 交流放大器规范

符号	说明	最小值	典型值	最大值	单位
t_{COMP1}	电压比较器模式响应时间, 50 mVpp 信号集中在参考	—	—	100	ns
t_{COMP2}	电压比较器模式响应时间, 2.5 V 输入, 0.5 V 高速驱动	—	—	300	ns

表 27. 2.7 V 交流放大器规范

符号	说明	最小值	典型值	最大值	单位
t_{COMP1}	电压比较器模式响应时间, 50 mVpp 信号集中在参考	—	—	600	ns
t_{COMP2}	电压比较器模式响应时间, 1.5 V 输入, 0.5 V 高速驱动	—	—	300	ns

交流数字模块规范

表 28 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况, 这些参数仅供设计指导之用。

表 28. 5 V 和 3.3 V 交流数字模块规范

功能	说明	最小值	典型值	最大值	单位	注意
所有功能	模块输入时钟频率					
	$V_{DD} \geq 4.75\text{ V}$	—	—	50.4	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	25.2	MHz	
定时器	输入时钟频率					
	无捕获, $V_{DD} \geq 4.75\text{ V}$	—	—	50.4	MHz	
	无捕获, $V_{DD} < 4.75\text{ V}$	—	—	25.2	MHz	
	有捕获	—	—	25.2	MHz	
	捕获脉冲宽度	50 ^[22]	—	—	ns	
计数器	输入时钟频率					
	无使能输入, $V_{DD} \geq 4.75\text{ V}$	—	—	50.4	MHz	
	无使能输入, $V_{DD} < 4.75\text{ V}$	—	—	25.2	MHz	
	有使能输入	—	—	25.2	MHz	
	使能输入脉冲宽度	50 ^[22]	—	—	ns	
死区	停止 (kill) 信号脉冲宽度					
	异步重启模式	20	—	—	ns	
	同步重启模式	50 ^[22]	—	—	ns	
	禁用模式	50 ^[22]	—	—	ns	
	输入时钟频率					
	$V_{DD} \geq 4.75\text{ V}$	—	—	50.4	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	25.2	MHz	
CRCPRS (PRS 模式)	输入时钟频率					
	$V_{DD} \geq 4.75\text{ V}$	—	—	50.4	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	25.2	MHz	
CRCPRS (CRC 模式)	输入时钟频率	—	—	25.2	MHz	
SPIM	输入时钟频率	—	—	8.2	MHz	SPI 串行时钟 (SCLK) 频率等于二分频输入时钟。
SPIS	输入时钟 (SCLK) 频率	—	—	4.1	MHz	在 SPIS 模式下, 输入时钟为 SPI SCLK。
	相邻传输之间的 SS_Negated 宽度	50 ^[22]	—	—	ns	
发送器	输入时钟频率					波特率等于输入时钟的 8 分频。
	$V_{DD} \geq 4.75\text{ V}$, 2 个停止位	—	—	50.4	MHz	
	$V_{DD} \geq 4.75\text{ V}$, 1 个停止位	—	—	25.2	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	25.2	MHz	
接收器	输入时钟频率					波特率等于输入时钟的 8 分频。
	$V_{DD} \geq 4.75\text{ V}$, 2 个停止位	—	—	50.4	MHz	
	$V_{DD} \geq 4.75\text{ V}$, 1 个停止位	—	—	25.2	MHz	
	$V_{DD} < 4.75\text{ V}$	—	—	25.2	MHz	

注释

22. 50 ns 的最小输入脉冲宽度基于在 24 MHz (42 ns 标称周期) 下运行的输入同步器。

表 29. 2.7 V 交流数字模块规范

功能	说明	最小值	典型值	最大值	单位	注意
所有功能	模块输入时钟频率	—	—	12.7	MHz	2.4 V < V _{DD} < 3.0 V。
定时器	捕获脉冲宽度	100 ^[23]	—	—	ns	
	输入时钟频率，有捕获或无捕获	—	—	12.7	MHz	
计数器	使能输入脉冲宽度	100	—	—	ns	
	输入时钟频率，无使能输入	—	—	12.7	MHz	
	输入时钟频率，使能输入	—	—	12.7	MHz	
死区	非同步停止输入脉冲宽度：					
	异步重启模式	20	—	—	ns	
	同步重启模式	100	—	—	ns	
	禁用模式	100	—	—	ns	
	输入时钟频率	—	—	12.7	MHz	
CRCPRS (PRS 模式)	输入时钟频率	—	—	12.7	MHz	
CRCPRS (CRC 模式)	输入时钟频率	—	—	12.7	MHz	
SPIM	输入时钟频率	—	—	6.35	MHz	SPI 串行时钟 (SCLK) 频率等于输入时钟频率的 2 分频。
SPIS	输入时钟 (SCLK) 频率	—	—	4.1	MHz	
	相邻发射之间的 SS_Negated 宽度	100	—	—	ns	
发送器	输入时钟频率	—	—	12.7	MHz	波特率等于输入时钟的 8 分频。
接收器	输入时钟频率	—	—	12.7	MHz	波特率等于输入时钟的 8 分频。

注释

23. 100 ns 的最小输入脉冲宽度基于在 12 MHz (84 ns 标称周期) 下运行的输入同步器。

交流外部时钟规范

下表分别列出了以下电压和温度范围内许可的最大和最小规范：4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25 °C 且电压为 5 V、3.3 V 或 2.7 V 的情况，这些参数仅供设计指导之用。

表 30. 5 V 交流外部时钟规范

符号	说明	最小值	典型值	最大值	单位	注意
F _{OSCEXT}	频率	0.093	—	24.6	MHz	
—	高周期	20.6	—	5300	ns	
—	低周期	20.6	—	—	ns	
—	从给 IMO 上电到切换的时间	150	—	—	μs	

表 31. 3.3 V 交流外部时钟规范

符号	说明	最小值	典型值	最大值	单位	注意
F _{OSCEXT}	CPU 时钟一分频时的频率	0.093	—	12.3	MHz	3.3 V 时的最大 CPU 频率为 12 MHz。当 CPU 时钟分频器设为 ‘1’ 时，外部时钟必须符合最大频率和占空比要求。
F _{OSCEXT}	CPU 时钟二分频或更高分频时的频率	0.186	—	24.6	MHz	如果外部时钟的频率大于 12 MHz，必须将 CPU 时钟分频器设为 2 或更大。在这种情况下，CPU 时钟分频器可确保满足百分之五十占空比的要求。
—	CPU 时钟一分频时的高周期	41.7	—	5300	ns	
—	CPU 时钟一分频时的低周期	41.7	—	—	ns	
—	从给 IMO 上电到切换的时间	150	—	—	μs	

表 32. 2.7 V 交流外部时钟规范

符号	说明	最小值	典型值	最大值	单位	注意
F _{OSCEXT}	CPU 时钟一分频时的频率	0.093	—	6.06	MHz	2.7 V 时的最大 CPU 频率为 3 MHz。当 CPU 时钟分频器设为 1 时，外部时钟必须符合最大频率和占空比要求。
F _{OSCEXT}	CPU 时钟二分频或更高分频时的频率	0.186	—	12.12	MHz	如果外部时钟的频率大于 3 MHz，必须将 CPU 时钟分频器设为 2 或更大。在这种情况下，CPU 时钟分频器可确保满足百分之五十占空比的要求。
—	CPU 时钟一分频时的高周期	83.4	—	5300	ns	
—	CPU 时钟一分频时的低周期	83.4	—	—	ns	
—	从给 IMO 上电到切换的时间	150	—	—	μs	

交流编程规范

表 33 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, 或 3.0 V 到 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况, 这些参数仅供设计指导之用。

表 33. 交流编程规范

符号	说明	最小值	典型值	最大值	单位	注意
t_{RSCLK}	SCLK 的上升时间	1	—	20	ns	
t_{FSCLK}	SCLK 的下降时间	1	—	20	ns	
t_{SSCLK}	到 SCLK 下降沿的数据建立时间	40	—	—	ns	
t_{HSCLK}	SCLK 下降沿开始后的数据保持时间	40	—	—	ns	
F_{SCLK}	SCLK 的频率	0	—	8	MHz	
t_{ERASEB}	闪存擦除时间 (模块)	—	10	—	ms	
t_{WRITE}	闪存模块写时间	—	80	—	ms	
t_{DSCLK3}	从 SCLK 下降沿开始后的数据输出延迟时间	—	—	50	ns	$3.0 \leq V_{\text{DD}} \leq 3.6$
t_{DSCLK2}	从 SCLK 下降沿开始后的数据输出延迟时间	—	—	70	ns	$2.4 \leq V_{\text{DD}} \leq 3.0$
t_{ERASEALL}	闪存擦除时间 (批量)	—	20	—	ms	一次性擦除所有模块和保护字段。
$t_{\text{PROGRAM_HOT}}$	闪存模块擦除 + 闪存模块写时间	—	—	180 ^[25]	ms	$0^{\circ}\text{C} \leq T_j \leq 100^{\circ}\text{C}$
$t_{\text{PROGRAM_COLD}}$	闪存模块擦除 + 闪存模块写时间	—	—	360 ^[25]	ms	$-40^{\circ}\text{C} \leq T_j \leq 0^{\circ}\text{C}$

I²C 交流规范

表 34 分别列出了以下电压和温度范围内允许的最大和最小规范: 4.75 V 至 5.25 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、3.0 V 至 3.6 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 或 2.4 V 至 3.0 V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 且电压为 5 V、3.3 V 或 2.7 V 的情况, 这些参数仅供设计指导之用。

表 34. $V_{\text{CC}} \geq 3.0\text{ V}$ 的 I²C SDA 和 SCL 引脚的交流特性

符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
$F_{\text{SCL}2\text{C}}$	SCL 时钟频率	0	100	0	400	kHz
$t_{\text{HDSTA}2\text{C}}$	(重复) START 条件的保持时间。经过这段时间后, 会生成第一个时钟脉冲。	4.0	—	0.6	—	μs
$t_{\text{LOW}2\text{C}}$	SCL 时钟的低电平周期	4.7	—	1.3	—	μs
$t_{\text{HIGH}2\text{C}}$	SCL 时钟的高电平周期	4.0	—	0.6	—	μs
$t_{\text{SUSTA}2\text{C}}$	重复 START 条件的建立时间	4.7	—	0.6	—	μs
$t_{\text{HDDAT}2\text{C}}$	数据保留时间	0	—	0	—	μs
$t_{\text{SUDAT}2\text{C}}$	数据建立时间	250	—	100 ^[24]	—	ns
$t_{\text{SUSTOI}2\text{C}}$	停止条件的建立时间	4.0	—	0.6	—	μs
$t_{\text{BUFI}2\text{C}}$	STOP 和 START 条件之间的总线空闲时间	4.7	—	1.3	—	μs
$t_{\text{SPI}2\text{C}}$	输入滤波器抑制的尖峰脉冲宽度	—	—	0	50	ns

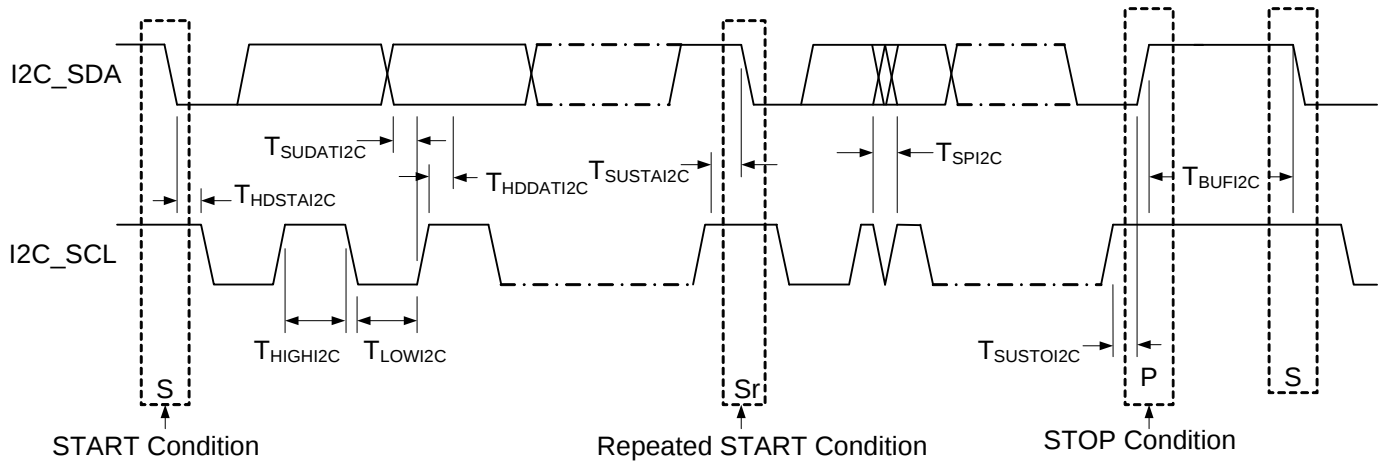
注释

- 快速模式 I²C 总线器件可以用于标准模式 I²C 总线系统, 但必须满足 $t_{\text{SUDAT}} \geq 250\text{ ns}$ 的要求。如果器件不会延长 SCL 信号的低周期, 这种情况会自动发生。如果此类器件延长 SCL 信号的低周期, 则必须在 SDA 线路被释放之前将下一个数据位输出到 SDA 线路 $t_{\text{rmax}} + t_{\text{SUDAT}} = 1000 + 250 = 1250\text{ ns}$ (根据标准模式 I²C 总线规范)。
- 对于整个工业级范围, 您必须利用温度传感器用户模块 (FlashTemp), 并在写入之前将结果提供给温度参数。有关闪存 API 的更多信息, 请参考应用笔记设计辅助 — 读取和写入 PSoC[®] 闪存 — AN2015。

表 35. I²C SDA 和 SCL 引脚的 2.7 V 交流特性（不支持快速模式）

符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
$F_{SCL I2C}$	SCL 时钟频率	0	100	—	—	kHz
$t_{HDSTA I2C}$	保持时间（重复）START 条件。经过这段时间后，会生成第一个时钟脉冲。	4.0	—	—	—	μs
$t_{LOW I2C}$	SCL 时钟的低电平周期	4.7	—	—	—	μs
$t_{HIGH I2C}$	SCL 时钟的高电平周期	4.0	—	—	—	μs
$t_{SUSTA I2C}$	重复 START 条件的建立时间	4.7	—	—	—	μs
$t_{HDDAT I2C}$	数据保留时间	0	—	—	—	μs
$t_{SUDAT I2C}$	数据建立时间	250	—	—	—	ns
$t_{SUSTOI2C}$	停止条件的建立时间	4.0	—	—	—	μs
t_{BUFI2C}	STOP 和 START 条件之间的总线空闲时间	4.7	—	—	—	μs
t_{SPI2C}	输入滤波器抑制的尖峰脉冲宽度。	—	—	—	—	ns

图 11. I²C 总线上快速 / 标准模式的时序定义



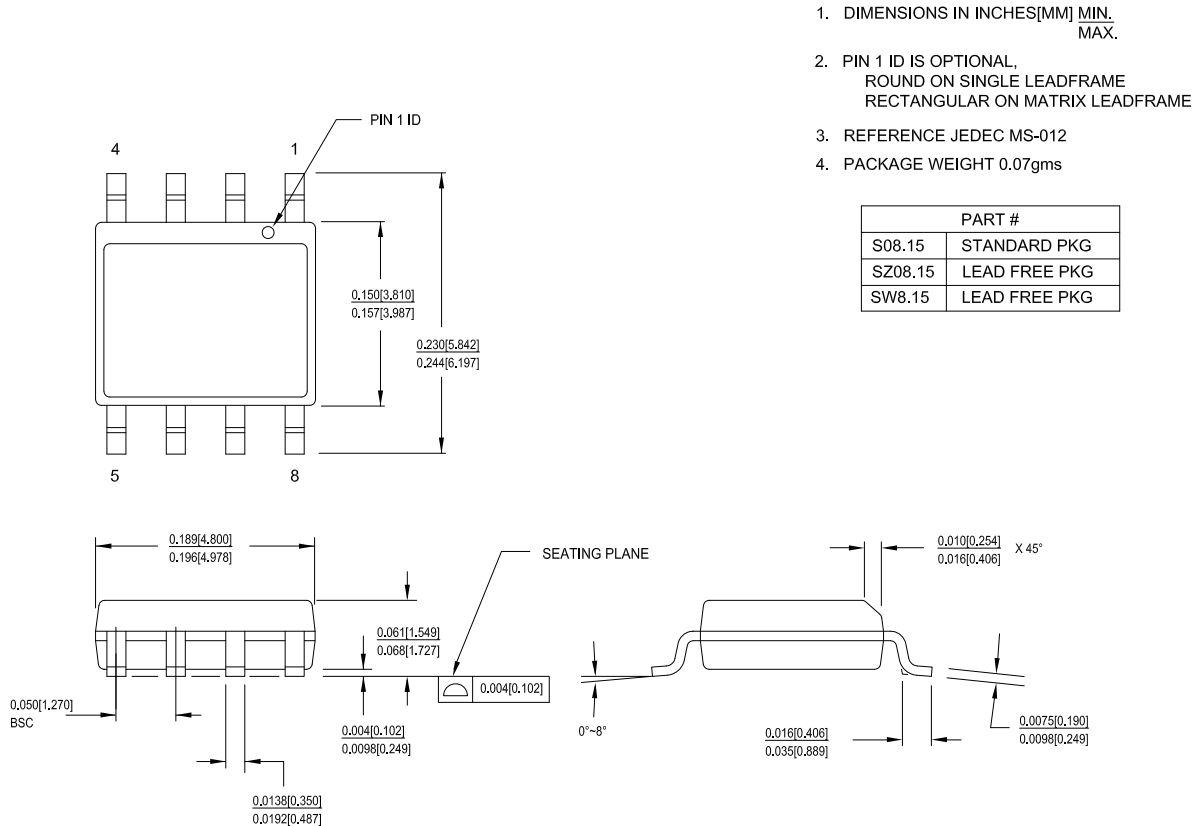
封装信息

本节阐明 CY8C21x23 PSoC 器件的封装规范、每个封装的热阻及最小回流焊峰值温度。

重要注意： 仿真工具在目标 PCB 上可能需要比芯片空间更大的面积。有关仿真工具尺寸的详细说明，请参见 <http://www.cypress.com> 上的仿真器转接板尺寸图。

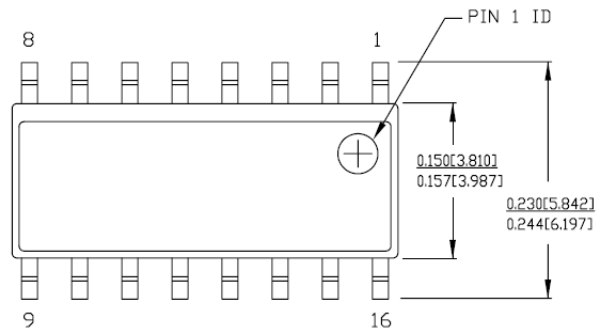
封装尺寸

图 11. 8 引脚（150-Mil）SOIC



51-85066 *F

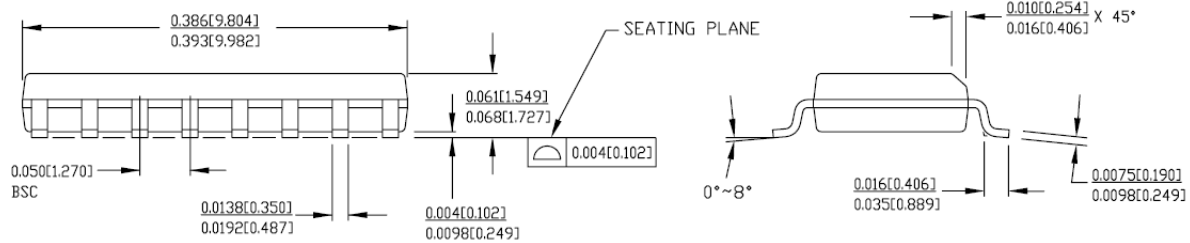
图 11. 16 引脚 (150-Mil) SOIC



NOTE:

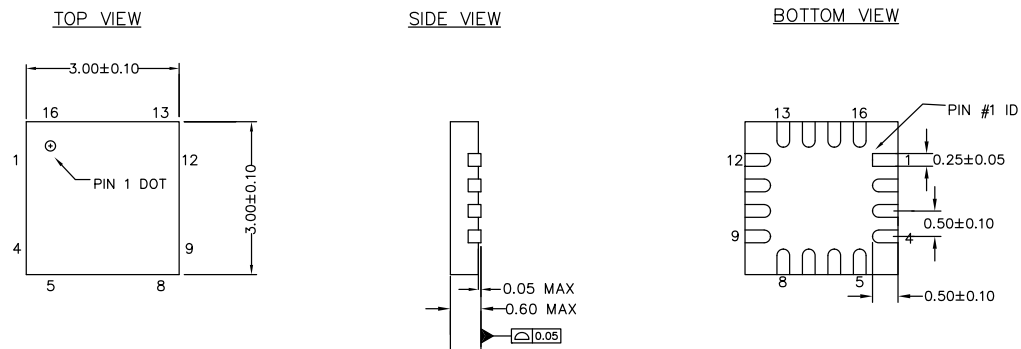
1. DIMENSIONS IN INCHES[MM] MAX.
2. REFERENCE JEDEC MS-012
3. PACKAGE WEIGHT : refer to PMDD spec. 001-04308

PART #	
S16.15	STANDARD PKG.
SZ16.15	LEAD FREE PKG.



51-85068 *E

图 11. 16 引脚 QFN (不含 E-Pad)



NOTES

1. REFERENCE JEDEC # MO-220
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-09116 *H

图 11. 20 引脚（210-Mil）SSOP

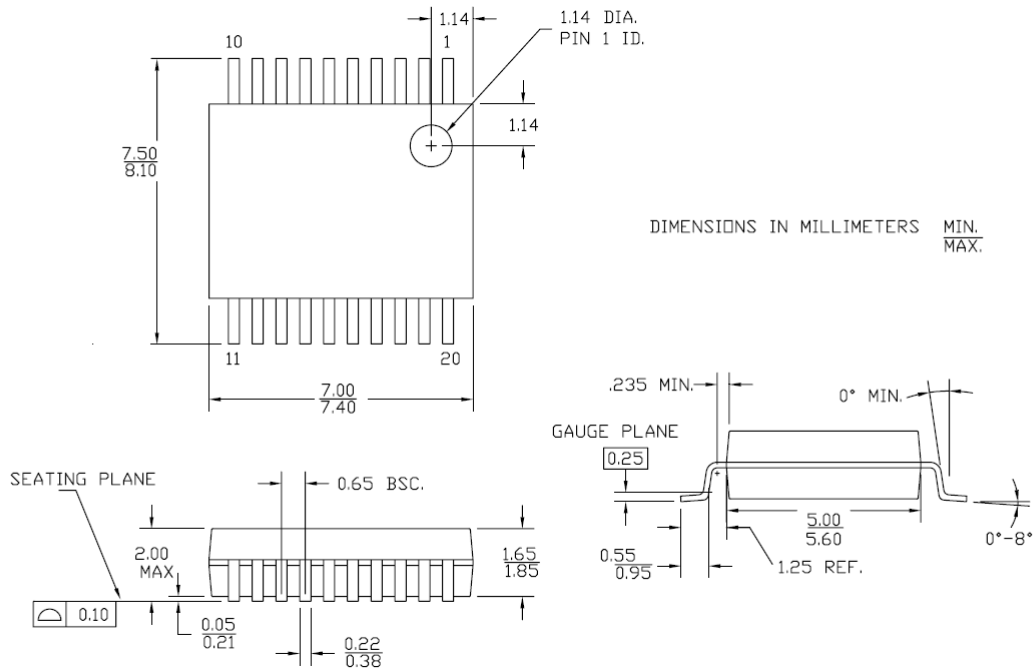
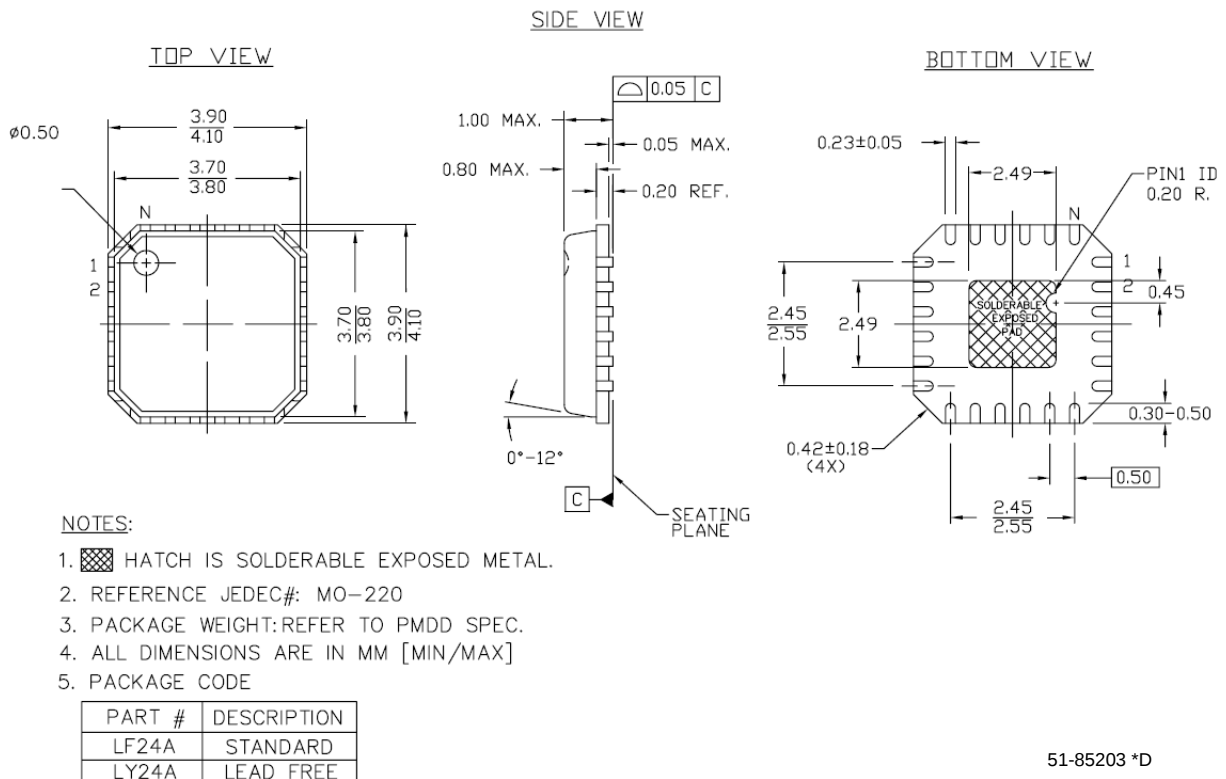


图 11. 24 引脚（4 × 4）QFN



重要说明： 有关安装 QFN 封装的首选尺寸信息，请参见 <http://www.amkor.com> 网站上提供的以下应用笔记：“Amkor MicroLeadFrame（MLF）封装的表面贴装汇编应用手册”。

注意：低功耗 24、32 和 48 引脚 QFN PSoC 器件不要求热导性引脚过孔。

热阻

表 36. 基于封装的热阻

封装	典型 θ_{JA} ^[26]
8 引脚 SOIC	186 °C/W
16 引脚 SOIC	125 °C/W
16 引脚 QFN	46 °C/W
20 引脚 SSOP	117 °C/W
24 引脚 QFN ^[27]	40 °C/W

回流焊规范

表 37 显示不可超过的回流焊温度限制。

表 37. 回流焊规范

封装	最大峰值温度 (T_C)	超过 $T_C - 5$ °C 时的最长时间
8 引脚 SOIC	260 °C	30 秒
16 引脚 SOIC	260 °C	30 秒
16 引脚 QFN	260 °C	30 秒
20 引脚 SSOP	260 °C	30 秒
24 引脚 QFN	260 °C	30 秒

注释

26. $T_J = T_A + \text{POWER} \times \theta_{JA}$

27. 要达到为 QFN 封装指定的热阻, 请参考 <http://www.amkor.com> 网站上提供的 “Amkor MicroLeadFrame (MLF) 封装的表面贴装汇编应用笔记”。

28. 根据焊料熔点的不同, 可能需要更高的温度。典型焊接温度为 220+/-5 °C (使用 Sn-Pb) 或 245+/-5 °C (使用 Sn-Ag-Cu 焊膏)。请参见焊料制造商提供的规范。

订购信息

下表列出了 CY8C21x23 PSoC 器件的关键封装特征和订购代码。

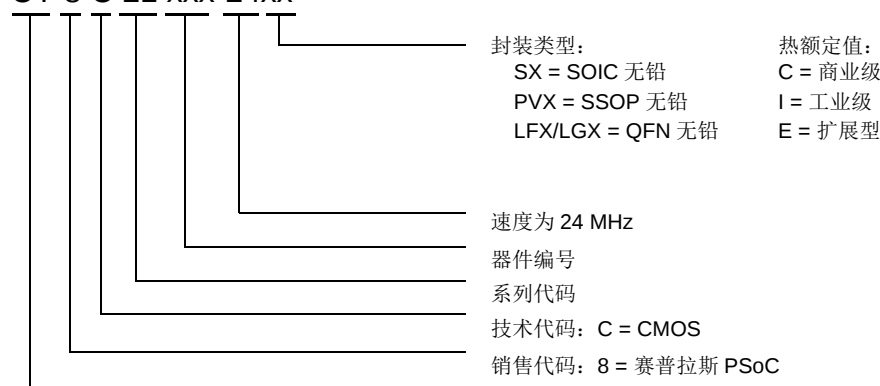
表 38. CY8C21x23 PSoC 器件系列的重要功能和订购信息

封装	订购代码	闪存 (字节)	RAM (字节)	开关 电压泵	温度范围	数字 PSoC 模块	模拟 模块	数字 I/O 引脚	模拟 输入	模拟 输出	XRES 引脚
8 引脚 (150-Mil) SOIC	CY8C21123-24SXI	4 K	256	无	-40°C 至 +85°C	4	4	6	4	0	无
8 引脚 (150-Mil) SOIC (盘带封装)	CY8C21123-24SXIT	4 K	256	无	-40°C 至 +85°C	4	4	6	4	0	无
16 引脚 (150-Mil) SOIC	CY8C21223-24SXI	4 K	256	有	-40°C 至 +85°C	4	4	12	8	0	无
16 引脚 (150-Mil) SOIC (盘带封装)	CY8C21223-24SXIT	4 K	256	有	-40°C 至 +85°C	4	4	12	8	0	无
16 引脚 (3 × 3) QFN (不含 E-Pad)	CY8C21223-24LGXI	4 K	256	无	-40°C 至 +85°C	4	4	12	8	0	有
20 引脚 (210-Mil) SSOP	CY8C21323-24PVXI	4 K	256	无	-40°C 至 +85°C	4	4	16	8	0	有
20 引脚 (210-Mil) SSOP (盘带封装)	CY8C21323-24PVXIT	4 K	256	无	-40°C 至 +85°C	4	4	16	8	0	有
24 引脚 (4 × 4) QFN	CY8C21323-24LFXI	4 K	256	有	-40°C 至 +85°C	4	4	16	8	0	有
24 引脚 (4 × 4) QFN (盘带封装)	CY8C21323-24LFXIT	4 K	256	有	-40°C 至 +85°C	4	4	16	8	0	有

注意：有关 Die 的销售信息，请与当地的赛普拉斯销售办事处或现场应用工程师（FAE）联系。

订购代码定义

CY 8 C 21 xxx-24xx



缩略语

所用缩略语

表 39 列出了本文档中使用的缩略语。

表 39. 本数据手册中使用的缩略语

缩略语	说明	缩略语	说明
AC	交流	PCB	印刷电路板
ADC	模数转换器	PGA	可编程增益放大器
API	应用编程接口	POR	上电复位
CMOS	互补金属氧化物半导体	PPOR	精密上电复位
CPU	中央处理单元	PRS	伪随机序列
CRC	循环冗余校验	PSoC®	可编程片上系统
CT	连续时间	PWM	脉冲宽度调制器
DAC	数模转换器	QFN	四方扁平无引脚器件
DC	直流	SC	开关电容
EEPROM	上电时可擦除并可编程的只读存储器	SLIMO	慢速 IMO
GPIO	通用 I/O	SMP	开关电压泵
ICE	在线仿真器	SOIC	小外形集成电路
IDE	集成开发环境	SPI™	串行外设接口
ILO	内部低速振荡器	SRAM	静态随机存取存储器
IMO	内部主振荡器	SROM	监控只读存储器
I/O	输入 / 输出	SSOP	紧缩小外形封装
IrDA	红外数据关联性	UART	通用异步接收器 / 发送器
ISSP	系统内串行编程	USB	通用串行总线
LVD	低电压检测	WDT	看门狗定时器
MCU	微控制器单元	XRES	外部复位
MIPS	每秒百万条指令		

参考文档

CY8CPLC20、CY8CLED16P01、CY8C29x66、CY8C27x43、CY8C24x94、CY8C24x23、CY8C24x23A、CY8C22x13、CY8C21x34、CY8C21x23、CY7C64215、CY7C603xx、CY8CNP1xx 和 CYWUSB6953 PSoC® 可编程片上系统 《技术参考手册》(TRM) (001-14463)

设计辅助 — 读取和写入 PSoC® 闪存 — AN2015 (001-40459)

在 3.3 V 和 2.7 V 下运行时调整 PSoC® — AN2012 (001-17397)

了解赛普拉斯定时产品数据手册抖动规范 — AN5054 (001-14503)

Amkor MicroLeadFrame (MLF) 封装的表面贴装汇编应用手册 — 可通过 <http://www.amkor.com> 获取。

文档规范

测量单位

表 40 列出测量单位

表 40. 测量单位

符号	测量单位	符号	测量单位
dB	分贝	mH	毫亨
°C	摄氏度	μH	微亨
μF	微法	μs	微秒
pF	皮法	ms	毫秒
kHz	千赫兹	ns	纳秒
MHz	兆赫兹	ps	皮秒
rt-Hz	根赫兹 (root hertz)	μV	微伏
kΩ	千欧	mV	毫伏
Ω	欧姆	mVpp	毫伏峰到峰
μA	微安	V	伏特
mA	毫安	W	瓦特
nA	纳安	mm	毫米
pA	微微安	%	百分比

数字规范

十六进制数字中的所有字母均为大写，结尾带小写的“h”（例如，“14h”或“3Ah”）。十六进制数字还可以通过前缀“0x”来表示（C 编码规范）。二进制数字在结尾带小写的“b”（例如，“01010100b”或“01000011b”）。不带“h”或“b”的数字是十进制数字。

术语表

高电平有效	1. 是一种逻辑信号，它的声明状态为逻辑 1。 2. 是一种逻辑信号，它的逻辑 1 状态作为两个状态中较高电压的状态。
模拟模块	是基本的可编程运算放大器电路。这些是 SC（开关电容）和 CT（连续时间）模块。这些模块可互相连接，以提供 ADC、DAC、多极滤波器、增益级等多种功能。
模数转换器 (ADC)	将模拟信号转换为相应量级的数字信号的器件。通常，ADC 可以将电压转换成数字值。数模 (DAC) 转换器可以用于执行逆向操作。
应用编程接口 (API)	一系列软件例程，包含计算机应用程序和下层服务和功能（例如用户模块和库）之间的接口。API 作为创建软件应用程序的编程器的构建模块。
异步	其数据被立即识别或作出响应的信号，与任何时钟信号无关。
带隙参考	一个稳定电压的参考设计将 VT 温度正系数与 VBE 的负温度系数相匹配，以生成零温度系数（理想情况）参考。
带宽	1. 消息或信息处理系统的频率范围（单位为赫兹）。 2. 放大器（或吸收器）在其频谱区会有大量增益（或损益）；有时，它表示更为具体，例如，半峰全宽。
偏置	1. 数值与参考值之间的系统偏差。 2. 一组值的平均值偏离参考值的幅度。 3. 针对某个器件建立运行该器件所需的参考电平所适用的电力、机械力、磁场或其他力（场）。

术语表（续）

模块	1. 用于执行单项功能的功能性单元，例如振荡器。 2. 用于执行某个功能而配置的功能单位，例如，数字 PSoC 模块或模拟 PSoC 模块。
缓冲区	1. 用来补偿数据从一个器件传输至另一个器件时速度之差的数据存储区。通常是指为 I/O 操作保留的区域，可在此区域读取或写入数据 2. 往往在将数据发送到外部器件之前或者从外部器件接收数据之前，留出一部分用于存储数据的存储器空间。 3. 用于降低系统的输出阻抗的放大器。
总线	1. 网络的命名连接。将网络捆绑到总线中，便于使用类似的路由模式路由网络。 2. 用于执行常用函数和携带类似数据的一组信号。通常使用矢量符号来表示；例如，地址 [7:0]。 3. 作为一组相关器件的通用连接的一个或多个导体。
时钟	生成具有固定频率和占空比的周期信号的器件。有时，时钟可以用来同步化各个不同的逻辑模块
比较器	两个输入电平同时满足预定振幅要求时，将生成输出电压或输出电流的电子电路。
编译器	将高级语言（例如 C 语言）转换成机器语言的程序。
配置空间	在 PSoC 器件中，当 CPU_F 寄存器中的 XIO 位设置为 ‘1’ 时，将访问寄存器空间。
晶体振荡器	由压电晶体控制频率的振荡器。通常，压电晶体对环境温度的敏感度低于其他电路组件。
循环冗余校验（CRC）	检测数据通讯使用的计算方法，通常采用线性反馈移位寄存器（LFSR）来执行。相似算法可用于其他多种用途，例如，数据压缩。
数据总线	计算机使用来从存储器位置向。中央处理单元（CPU）或反向传送信息的双向信号组一般来说，是用于传输数字功能之间的数据的一组信号。
调试器	允许用户用于分析正在开发系统操作的软件和硬件系统。调试器通常允许开发人员单步执行固件，一次执行一步，设置断点和分析存储器。
死区	两个或多个信号都不处于有效状态或切换状态时的一段时间。
数字模块	可用作计数器、计时器、串行接收器、串行发射器、CRC 发生器、模块伪随机数发生器或 SPI 的 8 位逻辑。
数模转换器（DAC）	可将数字信号转换为对应量级的模拟信号的器件。模数（ADC）转换器可以用来执行逆向的操作。
占空比	时钟周期高电平时间与其低电平时间的关系，表示为一个百分比。
仿真器	根据不同系统复制（仿真）某个系统的功能，这样，第二个系统便可以显示类似于第一个系统的操作。
外部复位（XRES）	传入 PSoC 器件的有效高电平信号。这导致 CPU 上所有操作和模块停止，并返回到预定义状态。
闪存	可电编程和电擦除、非易失性技术，可提供 EPROM 的可编程性和数据存储，以及系统内可擦除性。非易失性表示断电时，数据仍被保留。
闪存模块	实现一次性程序化的闪存 ROM 最小空间及受保护的闪存最小空间。闪存模块容量为 64 个字节。
频率	是指每个时间单位内的周期数量或事件数量，用于实现周期函数。

术语表（续）

增益	分别为输出电流、电压或功率与相应的输入电流、电压或功率之间的比率。增益通常使用分贝（dB）单位来表示。
I ² C	由飞利浦半导体（现更名为 NXP 半导体）生产的两线串行计算机总线。I ² C 是内部集成电路。它用于连接嵌入式系统中的低速外设。在 20 世纪 80 年代早期创建了作为电池控制接口的原始系统，但其后被用作构建控制电子装置的简易内部总线系统。I ² C 仅使用两个双向引脚（时钟引脚和数据引脚），两者都在 +5 V 下运行，并用电阻拉高。在标准模式下，总线的运行速度为 100 Kbit/s，而在快速模式下，总线的运行速度为 400 Kbit/s。
ICE	在线仿真器，可在硬件环境下测试项目，同时可在软件环境（PSoC Designer）下查看调试器件活动。
输入 / 输出（I/O）	将数据引入系统或从系统中提取数据的器件。
中断	由于流程外事件导致的、且在暂停后可恢复流程的流程暂停，例如执行计算机程序。
中断服务子程序（ISR）	M8C 收到硬件中断时常规代码执行转入的代码模块。许多中断源可能都有各自的优先级和单独的 ISR 代码模块。各个 ISR 代码模块均以 RETI 指令结束，并将器件返回到离开常规程序执行的程序点。
抖动	1. 从其理想位置转换的时序错位。在串行数据流中发生的典型的损坏。 2. 一个或多个信号特性的突发和无必要变化，例如连续脉冲之间的间隔、连续周期的振幅或连续周期的频率或相位。
低压检测（LVD）	在 V _{DD} 降低并低于选定阈值时可检测 V _{DD} 并实现系统中断的电路。
M8C	8 位 Harvard 架构微处理器。微处理器通过连接至闪存、SRAM 和寄存器空间，协调 PSoC 内部的所有活动。
主设备	用于控制两个器件间数据交换时序的器件。或者，以脉冲宽度级联器件时，主设备是用来控制级联器件与外部接口之间数据交换时序的器件。受控器件称为从设备。
微控制器	主要用于控制系统和产品的集成电路器件。除了 CPU 之外，微控制器通常包括存储器、定时电路和 I/O 电路。这是为了允许执行包含最小器件数量的控制器，从而能够实现最大程度的微型化。相反，这会降低控制器的体积和成本。微控制器通常不用于通用计算，而是作为微处理器。
混合信号	指包含模拟和数字技术及组件的电路。
调制器	在载波上附加信号的器件。
噪声	1. 会影响信号，且会使信号携带的信息失真的干扰。 2. 电压、电流或数据等任何实体的一种或多种特性的随机变化。
振荡器	可受晶控，并可用于生成时钟频率的电路。
奇偶校验	用于测试传输数据的技术。通常，将一个二进制数字添加到数据中，以便求所有二进制数据奇数之和（奇校验）或偶数之和（偶校验）。
锁相环（PLL）	通过控制 振荡器 来维持相对恒相角的电气电路的电子电路。
引脚分布	引脚号分配：PSoC 器件及其在印刷电路板（PCB）封装中的物理相对器件的逻辑输入与输出之间的关系。引脚分布涉及到原理图与 PCB 设计（两者均是计算机生成的文件）之间链接的引脚号，也涉及到引脚名称。
端口	一组引脚，通常有八个。

术语表（续）

上电复位 (POR)	当电压下降至预设电压时，强制 PSoC 器件复位的电路。这是硬件复位的一种类型。
PSoC®	赛普拉斯半导体的 PSoC® 是注册商标，可编程片上系统（Programmable System-on-Chip™）是赛普拉斯的商标。
PSoC Designer™	赛普拉斯的可编程片上系统技术的软件。
脉冲宽度调制器 (PWM)	以占空比形式表示的输出，随着应用测量对象的不同而变化。
RAM	随机存取存储器的缩略语。数据存储器件，可以对该器件进行读写操作。
寄存器	具有特定容量（例如一位或字节）的存储器件。
复位	使系统返回已知状态的方法。请参见硬件复位和软件复位。
ROM	只读存储器的缩略语。数据存储器件，可以对该器件进行读操作但无法进行写操作。
串行	1. 表示所有事件在其中相继发生的流程。 2. 表示在单个器件或通道中两个或多个相关活动的连续发生。
建立时间	输入从一个值改为另一个值后，输出信号或值变为稳定状态需要的时长。
移位寄存器	按顺序向左或向右转移一个文字以便输出串行数据流的存储器存储器件
从器件	允许另一个器件控制两个器件之间数据交换的时序的器件。或者，以脉冲宽度级联器件时，从设备是允许另一个器件控制级联器件与外部接口之间数据交换的时序的器件。控制器件也称为主器件。
SRAM	静态随机存取存储器的缩略语。可以高速存储和检索数据的存储器器件。之所以使用术语“静态”，是因为在将某一值加载到 SRAM 单元时，该值会保持不变，直至它被明确更改，或直至器件断电为止
SROM	只读管理存储器的缩略语。SROM 保留用以引导器件、校准电路和执行闪存操作的代码。可从闪存中开始操作，在通用用户代码中访问 SROM 并从闪存中运行。
停止位	随后字符或模块，用于准备接收器件以接收下一个字符或模块的信号。
同步	1. 是指其数据未被确认或做出响应，直到时钟信号的下一个边沿有效为止的信号 2. 其操作根据时钟信号进行同步的系统。
三态	其输出可采用三种状态的功能：0、1 和 Z（高阻抗）。该功能不驱动 Z 状态下的任何值，在许多方面，它可以被视为从其余电路断开，允许另一次输出以驱动相同网络。
UART	UART 或通用异步接收器 - 发射器在数据并行位和串行位之间转换。
用户模块	需要全面管理和配置低级模拟和数字 PSoC 模块的预构建、预测试硬件 / 固件外围功能。此外，用户模块还针对外围功能提供高级 API（应用编程接口）
用户空间	寄存器映射的组 0 空间。执行常规程序期间和初始化期间，很可能对该组中的寄存器进行了修改。在程序初始化阶段中，很可能对组 1 中的寄存器进行了修改。
V _{DD}	电力网名称，意为“电压漏极”。正极的电源信号。电压通常为 5 V 或 3.3 V。

术语表（续）

V_{SS} 电力网名称，意为“电压源”。最负极的电源信号。

看门狗定时器 必须定期处理的定时器。如果未定期处理，则 CPU 会在指定时间期间后复位。

勘误表

本章节介绍的是 CY8C21x23 PSoC® 可编程片上系统系列的勘误表。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片修订适用性。

若有任何问题，请联系您本地赛普拉斯销售代表。

受影响的器件型号

部件编号	订购信息
CY8C21123	CY8C21123-24SXI
	CY8C21123-24SXIT
	CY8C21223-24SXI
	CY8C21223-24SXIT
	CY8C21323-24PVXI
	CY8C21323-24PVXIT
	CY8C21323-24LFXI
	CY8C21323-24LFXIT

CY8C21123 合格状态

产品状态：版本

CY8C21123 勘误表汇总

该表定义了可用器件 CY8C21123 系列的勘误表适用性。“X” 字符表示该勘误表属于已选定的器件。

注意 下表中的勘误表项被超链接。通过点击该项可以查看其说明。

项目	芯片型号	芯片版本	修复状态
[1.]。温度极限时的内部主振荡器 (IMO) 容许偏差	CY8C21123	A	计划纠正芯片。

1. 温度极限时的内部主振荡器（IMO）容许偏差

■ 问题定义

在 0 到 70 °C 的温度范围外，无法实现异步数字通信连接。在 0 到 70 °C 范围内，这个问题不会影响到最终产品。

■ 受影响的参数

IMO 频率容差。最坏偏差情况是在 0 °C 以下或 +70 °C 以上运行，或在与数据手册温度范围高 / 低 $\pm 5\%$ 的温度运行。

■ 触发条件（S）

在 0 到 +70 °C 温度范围外运行时，异步 Rx/Tx 时钟源的 IMO 频率容差可能超过数据手册限制的 $\pm 2.5\%$ 。

■ 影响范围

该问题可以对 UART、IrDA 和 FSK 的实现产生影响。

■ 解决方案

至少在异步数字通信接口的一端上实现石英晶体的稳定时钟源。

■ 修复状态

该问题的原因和其解决方案已被确认。芯片纠正计划已经完成来纠正芯片的缺陷。

文档修订记录页

文档标题: CY8C21123、CY8C21223、CY8C21323 PSoC® 可编程片上系统 文档编号: 001-63473				
版本	ECN	变更者	提交日期	变更说明
**	3003474	VLX	08/11/2010	新数据手册。
*A	3546858	VLX	03/30/2012	再次对英文版的 001-05356 Rev *P 进行翻译
*B	4400686	SCHC	06/06/2014	更新了封装尺寸: 规范 51-85066: 将 Rev*E 变更为 Rev*F。 规范 51-85068: 将 Rev*D 变更为 Rev*E。 规范 001-12919: 将 Rev*C 变更为 Rev*D。 规范 001-90116: 将 Rev*F 变更为 Rev*J。 规范 001-13937: 将 Rev*C 变更为 Rev*E。 规范 001-48913: 将 Rev*B 变更为 Rev*D。 规范 001-44613: 将 Rev*B 变更为 Rev*C。
*C	4606122	RLJW	08/20/2014	本文档版本号为 Rev*C, 译自英文版 38-12022 Rev*X。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2004-2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。