サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

32 ビット・マイクロコントローラ

FM0+ファミリ PERIPHERAL MANUAL タイマ編

Doc. No. 002-05018 Rev. *D

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone (USA): 800.858.1810
Phone (Intnl): 408.943.2600
http://www.cypress.com

Copyrights

© Cypress Semiconductor Corporation, 2013-2017. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア (Cypress により提供され，修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress，Cypress のロゴ，Spansion，Spansion のロゴ及びこれらの組み合わせ，WICED，PSoC，CapSense，EZ-USB，F-RAM，及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは，それぞれの権利者の財産として権利主張がなされている可能性がある。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、『ペリフェラルマニュアル』およびご使用の製品の『データシート』をご一読ください。
尚､本書はペリフェラルマニュアルより通信マクロに関する内容を抜きだした別冊の位置づけで定義されております。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作、使い方について解説しています。

＜注意事項＞

- *本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。デバイス仕様の詳細については、それぞれのデータシートを参照してください。*
- *周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。*

サンプルプログラムおよび開発環境

FM0+ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本シリーズで使用する開発環境も掲載しています｡当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

- *サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。*
  また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアル タイマ編は、以下に示す章および APPENDIXES から構成されています。

CHAPTER 1: ウォッチドッグタイマ
CHAPTER 2: デュアルタイマ
CHAPTER 3-1: 時計カウンタプリスケーラ
CHAPTER 3-2: 時計カウンタ
CHAPTER 4-1: リアルタイムクロック
CHAPTER 4-2: RTC カウント部(A)
CHAPTER 4-3: RTC クロック制御部(A)
CHAPTER 4-4: RTC カウント部(B)
CHAPTER 4-5: RTC クロック制御部(B)
CHAPTER 5-1: ベースタイマ入出力選択機能
CHAPTER 5-2: ベースタイマ
CHAPTER 6: 多機能タイマ
CHAPTER 7-1: PPG 構成
CHAPTER 7-2: PPG

CHAPTER 7-3: PPG IGBT モード
CHAPTER 8-1: クアッドカウンタ
CHAPTER 8-2: クアッドカウンタ位置回転カウント表示機能
APPENDIXES

関連マニュアル

FM0+ ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

- FM0+ ファミリ ペリフェラルマニュアル
  (以降、『ペリフェラルマニュアル』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル タイマ編 (本書)
  (以降、『タイマ編』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル アナログマクロ編
  (以降、『アナログマクロ編』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル 通信マクロ編
  (以降、『通信マクロ編』とよびます。)

データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

- 32 ビット FM0+ファミリ DATA SHEET

<注意事項>

- *データシートはシリーズごとに用意されています。*
  お使いのシリーズ用のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M**0**+コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

- Cortex-M0+ テクニカルリファレンスマニュアル
- Armv6-M アーキテクチャ アプリケーション レベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

- FM0+ フラッシュプログラミングマニュアル

<注意事項>

- *本マニュアルはシリーズごとに用意されています。*
  お使いのシリーズ用のマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

■ 目次から探す

本書の内容を記載順に示します。

■ レジスタから探す

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『APPENDIXES』の『A.レジスタマップ』を参照してください。

章について

本書では、アナログマクロについて説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

■ 本書のレジスタ説明中のビット構成図では以下のように表記しています。

- bit　：　ビット番号
- Field　：　ビットフィールド名
- 属性　：　各ビットのリード、ライト属性
  - R　：　リードオンリ
  - W　：　ライトオンリ
  - R/W:　リード・ライト可能
  - -　：　未定義
- 初期値：　リセット直後のレジスタ初期値
  - 0　：　初期値"0"
  - 1　：　初期値"1"
  - X　：　初期値不定

■ 本書では、複数のビットを以下のように表記しています。

例：bit7 から bit0 の場合は bit7:0

■ 本書では、アドレスなどの数値を以下のように表記しています。

- 16 進数：　プレフィックス(接頭辞)として"0x"を付けて表記しています(例：0xFFFF)。
- 2 進数：　プレフィックス(接頭辞)として"0b"を付けて表記しています(例：0b1111)。
- 10 進数：　数値だけで表記しています(例：1000)。

本マニュアルにおける対象製品

■ 本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M0+","TYPE2-M0+","TYPE3-M0+"などの表記は、以下の一覧の FM0+ファミリ製品に置き換えてお読みください。

Table 1 FM0+ファミリの TYPE1 型格一覧

TYPE	フラッシュメモリサイズ	
	56K bytes	88K bytes
TYPE1-M0+	S6E1A11B S6E1A11C	S6E1A12B S6E1A12C

Table 2 FM0+ファミリの TYPE2 型格一覧

TYPE	フラッシュメモリサイズ	
	304K bytes	560K bytes
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 3 FM0+ファミリの TYPE3 型格一覧

TYPE	フラッシュメモリサイズ	
	64K bytes	128K bytes
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

Contents

CHAPTER 1: ウォッチドックタイマ 21
1. 概要 22
2. 構成・ブロックダイヤグラム 23
3. 動作説明 25
4. 設定手順例 30
5. 動作例 33
6. レジスター覧 36
   - 6.1 ソフトウェアウォッチドッグタイマ ロードレジスタ(WdogLoad) 37
   - 6.2 ソフトウェアウォッチドッグタイマ バリューレジスタ(WdogValue) 38
   - 6.3 ソフトウェアウォッチドッグタイマ 制御レジスタ(WdogControl) 39
   - 6.4 ソフトウェアウォッチドッグタイマ クリアレジスタ(WdogIntClr) 41
   - 6.5 ソフトウェアウォッチドッグタイマ 割込みステータスレジスタ(WdogRIS) 42
   - 6.6 ソフトウェアウォッチドッグタイマ ウィンドウウォッチドッグモード制御レジスタ (WdogSPMC) 43
   - 6.7 ソフトウェアウォッチドッグタイマ ロックレジスタ(WdogLock) 44
   - 6.8 ハードウェアウォッチドッグタイマ ロードレジスタ(WDG_LDR) 45
   - 6.9 ハードウェアウォッチドッグタイマ バリューレジスタ(WDG_VLR) 46
   - 6.10 ハードウェアウォッチドッグタイマ 制御レジスタ(WDG_CTL) 47
   - 6.11 ハードウェアウォッチドッグタイマ クリアレジスタ(WDG_ICL) 48
   - 6.12 ハードウェアウォッチドッグタイマ 割込みステータスレジスタ(WDG_RIS) 49
   - 6.13 ハードウェアウォッチドッグタイマ ロックレジスタ(WDG_LCK) 50
7. 使用上の注意 51

CHAPTER 2: デュアルタイマ 53
1. 概要 54
2. 構成 55
3. 動作説明 56
   - 3.1 タイマ動作モード 57
   - 3.2 初期状態 61
   - 3.3 割込み動作 62
4. 設定手順例 63
5. レジスタ 65
   - 5.1 ロードレジスタ(TimerXLoad) X=1 or 2 66
   - 5.2 バリューレジスタ(TimerXValue) X=1 or 2 67
   - 5.3 制御レジスタ(TimerXControl) X=1 or 2 68
   - 5.4 割込みクリアレジスタ(TimerXIntClr) X=1 or 2 70
   - 5.5 割込みステータスレジスタ(TimerXRIS) X=1 or 2 71
   - 5.6 マスク割込みステータスレジスタ(TimerXMIS) X=1 or 2 72

5.7 バックグランドロードレジスタ(TimerXBGLoad) X=1 or 2 ... 73
CHAPTER 3-1: 時計カウンタプリスケーラ ... 75
1. 時計カウンタプリスケーラの概要 ... 76
2. 時計カウンタプリスケーラの構成 ... 77
3. 時計カウンタプリスケーラの動作説明と設定手順例 ... 78
3.1 時計カウンタプリスケーラの設定手順 ... 78
3.2 時計カウンタプリスケーラの動作 ... 79
3.3 入力クロックの周波数(F_{CL})と分周クロックの周期の対応 ... 79
4. 時計カウンタプリスケーラのレジスタ ... 80
4.1 クロック選択レジスタ(CLK_SEL) ... 81
4.2 分周クロックイネーブルレジスタ(CLK_EN) ... 82
CHAPTER 3-2: 時計カウンタ ... 83
1. 時計カウンタの概要 ... 84
2. 時計カウンタの構成 ... 85
3. 時計カウンタの割込み ... 86
4. 時計カウンタの動作説明と設定手順例 ... 87
5. 時計カウンタのレジスタ ... 89
5.1 時計カウンタリードレジスタ(WCRD) ... 90
5.2 時計カウンタリロードレジスタ(WCRL) ... 91
5.3 時計カウンタ制御レジスタ(WCCR) ... 92
CHAPTER 4-1: リアルタイムクロック ... 95
1. リアルタイムクロックの構成 ... 96
2. リアルタイムクロックの略語表記 ... 98
3. リアルタイムクロックのリセット ... 99
CHAPTER 4-2: RTC カウント部(A) ... 101
1. RTC カウント部の概要 ... 102
2. RTC カウント部のブロックダイヤグラム ... 103
3. RTC カウント部の動作説明と設定手順例 ... 105
4. RTC カウント部のリセット動作 ... 115
5. RTC カウント部のうるう年の対応 ... 118
6. 時刻書換えエラー ... 120
7. RTC カウント部のレジスタ ... 122
7.1 制御レジスタ 1 (WTCR1) ... 123
7.2 制御レジスタ 2 (WTCR2) ... 129
7.3 カウンタ周期設定レジスタ (WTBR) ... 131
7.4 日レジスタ (WTDR) ... 132
7.5 時レジスタ (WTHR) ... 133
7.6 分レジスタ (WTMIR) ... 134
7.7 秒レジスタ (WTSR) ... 135
7.8 年レジスタ (WTYR) ... 136
7.9 月レジスタ (WTMOR) ... 137
7.10 曜日レジスタ (WTDW) ... 138
7.11 アラーム日レジスタ (ALDR) ... 139
7.12 アラーム時レジスタ (ALHR) ... 140
7.13 アラーム分レジスタ (ALMIR) ... 141

7.14 アラーム年レジスタ (ALYR) 142
7.15 アラーム月レジスタ (ALMOR) 143
7.16 タイマ設定レジスタ (WTTR) 144
8. 使用上の注意 145
CHAPTER 4-3: RTC クロック制御部(A) 147
1. RTC クロック制御部の概要 148
2. RTC クロック制御部の構成 149
3. RTC クロック制御部の動作説明 150
3.1 周波数補正部 150
3.2 RTCCO 外部端子出力クロック選択部 151
4. RTC クロック制御部の設定手順 154
5. RTC クロック制御部のレジスタ 155
5.1 クロック選択レジスタ(WTCLKS) 156
5.2 選択クロック状態レジスタ(WTCLKM) 157
5.3 周波数補正値設定レジスタ(WTCAL) 158
5.4 周波数補正許可レジスタ(WTCALEN) 159
5.5 分周比設定レジスタ(WTDIV) 160
5.6 分周器出力許可レジスタ(WTDIVEN) 161
5.7 周波数補正周期設定レジスタ(WTCALPRD) 162
5.8 RTCCO 出力選択レジスタ(WTCOSEL) 163
CHAPTER 4-4: RTC カウント部(B) 165
1. RTC カウント部の概要 166
2. RTC カウント部のブロックダイヤグラム 167
3. RTC カウント部の動作説明と設定手順例 169
4. RTC 制御部のリセット動作 183
5. RTC カウント部のうるう年の対応 186
6. 時刻書換えエラー 188
7. RTC 制御部のレジスタ 190
7.1 制御レジスタ 10 (WTCR10) 191
7.2 制御レジスタ 11 (WTCR11) 193
7.3 制御レジスタ 12 (WTCR12) 195
7.4 制御レジスタ 13 (WTCR13) 197
7.5 制御レジスタ 20 (WTCR20) 199
7.6 制御レジスタ 21 (WTCR21) 201
7.7 秒レジスタ(WTSR) 202
7.8 分レジスタ(WTMIR) 203
7.9 時レジスタ(WTHR) 204
7.10 日レジスタ(WTDR) 205
7.11 曜日レジスタ(WTDW) 206
7.12 月レジスタ(WTMOR) 207
7.13 年レジスタ(WTYR) 208
7.14 アラーム分レジスタ(ALMIR) 209
7.15 アラーム時レジスタ(ALHR) 210
7.16 アラーム日レジスタ(ALDR) 211
7.17 アラーム月レジスタ(ALMOR) 212
7.18 アラーム年レジスタ(ALYR) 213

7.19 タイマ設定レジスタ 0 (WTTR0) 214
7.20 タイマ設定レジスタ 1 (WTTR1) 215
7.21 タイマ設定レジスタ 2 (WTTR2) 216
8. 使用上の注意 217
CHAPTER 4-5: RTC クロック制御部(B) 219
1. RTC クロック制御部の概要 220
2. RTC クロック制御部の構成 221
3. RTC クロック制御部の動作説明 223
4. RTC クロック制御部の設定手順 226
5. RTC クロック制御部のレジスタ 227
5.1 周波数補正値設定レジスタ 0 (WTCAL0) 228
5.2 周波数補正値設定レジスタ 1 (WTCAL1) 229
5.3 周波数補正許可レジスタ(WTCALEN) 230
5.4 分周比設定レジスタ(WTDIV) 231
5.5 分周器出力許可レジスタ(WTDIVEN) 232
5.6 周波数補正周期設定レジスタ(WTCALPRD) 233
5.7 RTCCO 出力選択レジスタ(WTCOSEL) 234
CHAPTER 5-1: ベースタイマ入出力選択機能 235
1. 概要 236
2. 構成 237
3. 入出力モード 238
3.1 端子 239
3.2 入出力モード 241
4. レジスタ 259
4.1 入出力選択レジスタ(BTSEL0123) 260
4.2 入出力選択レジスタ(BTSEL4567) 262
4.3 入出力選択レジスタ(BTSEL89AB) 264
4.4 入出力選択レジスタ(BTSELCDEF) 266
4.5 同時ソフト起動レジスタ(BTSSSR) 268
CHAPTER 5-2: ベースタイマ 269
1. ベースタイマの概要 270
2. ベースタイマのブロックダイヤグラム 272
3. ベースタイマの動作 275
4. 32 ビットモード動作 276
5. ベースタイマ割込み 277
6. DMA コントローラ(DMAC)の起動 278
7. ベースタイマのレジスタ 279
8. ベースタイマの使用上の注意 280
9. ベースタイマの機能別説明 281
9.1 PWM タイマ機能 282
9.1.1 16 ビット PWM タイマ動作 283
9.1.2 ワンショット動作 284
9.1.3 割込み要因とタイミングチャート 285
9.1.4 出力波形 286
9.1.5 PWM タイマ動作フロー 287
9.1.6 PWM タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジ

スタ(STC)..... 288
9.1.7 PWM 周期設定レジスタ(PCSR)..... 295
9.1.8 PWM デューティ設定レジスタ(PDUT)..... 296
9.1.9 タイマレジスタ(TMR)..... 297
9.2 PPG タイマ機能..... 298
9.2.1 16 ビット PPG タイマ動作..... 299
9.2.2 連続動作..... 300
9.2.3 ワンショット動作..... 301
9.2.4 割込み要因とタイミングチャート..... 303
9.2.5 PPG タイマ動作フロー..... 304
9.2.6 PPG タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)..... 305
9.2.7 L 幅設定リロードレジスタ(PRLL)..... 312
9.2.8 H 幅設定リロードレジスタ(PRLH)..... 313
9.2.9 タイマレジスタ(TMR)..... 314
9.3 リロードタイマ機能..... 315
9.3.1 16 ビットリロードタイマの動作..... 316
9.3.2 リロードタイマ動作フロー..... 320
9.3.3 リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)..... 321
9.3.4 周期設定レジスタ(PCSR)..... 328
9.3.5 タイマレジスタ(TMR)..... 329
9.4 PWC タイマ機能..... 330
9.4.1 PWC タイマの動作..... 331
9.4.2 PWC タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)..... 339
9.4.3 データバッファレジスタ(DTBF)..... 346
CHAPTER 6: 多機能タイマ..... 347
1. 多機能タイマの概要..... 348
2. 多機能タイマの構成..... 349
2.1 多機能タイマのブロックダイヤグラム..... 350
2.1.1 ブロックダイヤグラム..... 350
2.1.2 各機能ブロックの概要..... 351
2.2 各機能ブロック説明..... 352
2.2.1 FRT: 3 チャネル..... 352
2.2.2 OCU: 6 チャネル(2 チャネル×3 ユニット)..... 354
2.2.3 WFG: 3 チャネル..... 357
2.2.4 NZCL..... 360
2.2.5 ICU: 4 チャネル(2 チャネル×2 ユニット)..... 361
2.2.6 ADCMP: 6 チャネル..... 362
2.3 多機能タイマユニットの入出力端子..... 365
2.3.1 外部入出力端子との対応..... 365
2.3.2 割込み信号出力..... 366
2.3.3 その他の入出力信号..... 367
2.4 製品 TYPE による機能差異について..... 368
3. 多機能タイマのレジスタ..... 369

3.1 機能説明時のチャネル番号の個別表記,共通表記について 370
3.2 多機能タイマのレジスター覧 372
3.3 レジスタ機能詳細 375
3.3.1 FRT 制御レジスタ A (TCSA) 376
3.3.2 FRT 制御レジスタ C (TCSC) 381
3.3.3 FRT 制御レジスタ D (TCSD) （TYPE2-M0+以降製品） 383
3.3.4 FRT 周期設定レジスタ (TCCP) 384
3.3.5 FRT カウント値レジスタ (TCDT) 385
3.3.6 FRT 同時起動制御レジスタ (TCAL) 386
3.3.7 OCU 接続 FRT 選択レジスタ (OCFS) 388
3.3.8 OCU 制御レジスタ A (OCSA) 389
3.3.9 OCU 制御レジスタ B (OCSB) 392
3.3.10 OCU 制御レジスタ C (OCSC) 394
3.3.11 OCU 制御レジスタ D (OCSD) (TYPE1-M0+製品) 395
3.3.12 OCU 制御レジスタ D (OCSD) (TYPE2-M0+以降製品) 398
3.3.13 OCU 制御レジスタ E (OCSE) 401
3.3.14 OCU コンペア値格納レジスタ (OCCP) 407
3.3.15 WFG 制御レジスタ A (WFSA) 408
3.3.16 WFG タイマ値レジスタ (WFTA,WFTB) 413
3.3.17 パルスカウンタ値レジスタ (WFTF) 414
3.3.18 NZCL 制御レジスタ (NZCL) 415
3.3.19 WFG 割込み制御レジスタ (WFIR) 421
3.3.20 ICU 接続 FRT 選択レジスタ (ICFS) 424
3.3.21 ICU 制御レジスタ A (ICSA) 425
3.3.22 ICU 制御レジスタ B (ICSB) 428
3.3.23 ICU キャプチャ値格納レジスタ (ICCP) 429
3.3.24 ADCMP 接続 FRT 選択レジスタ (ACFS) 430
3.3.25 ADCMP 制御レジスタ A (ACSA) 431
3.3.26 ADCMP 制御レジスタ C (ACSC) 433
3.3.27 ADCMP 制御レジスタ D (ACSD) 435
3.3.28 ADCMP コンペア値格納レジスタ (ACMP) 437
3.3.29 ADCMP マスクコンペア値格納レジスタ (ACMC) 438
4. 多機能タイマの動作 441
4.1 FRT 動作説明 442
4.1.1 FRT の制御レジスタ 442
4.1.2 FRT のカウント動作 443
4.1.3 TCCP レジスタ機能 452
4.1.4 FRT 割り込み動作 458
4.2 OCU 動作説明 462
4.2.1 OCU の制御レジスタ 462
4.2.2 チャネル独立動作 463
4.2.3 チャネル連動動作 473
4.2.4 OCU のバッファデータ転送 478
4.2.5 OCSE のバッファ機能 480
4.3 OCU の FM3 ファミリ製品互換動作 481
4.3.1 OCU の FM3 ファミリ製品互換動作 481

4.4 WFG 動作説明 ... 482
4.4.1 WFG の制御レジスタ ... 482
4.4.2 CH_GATE 信号出力内容 ... 483
4.4.3 RTO0~RTO5 信号出力内容 ... 484
4.4.4 スルーモード ... 485
4.4.5 RT-PPG モード ... 486
4.4.6 タイマ PPG モード ... 487
4.4.7 RT デッドタイマモード ... 490
4.4.8 RT デッドタイマ・フィルタモード ... 492
4.4.9 PPG デッドタイマモード ... 494
4.4.10 PPG デッドタイマ・フィルタモード ... 496
4.4.11 パルスカウンタのフィルタ動作に関する補足事項 ... 498
4.4.12 WFSA.DMOD による出力極性反転 ... 499
4.5 WFG の FM3 ファミリ製品互換動作 ... 502
4.5.1 WFG の FM3 ファミリ製品互換動作 ... 502
4.6 ADCMP 動作説明 ... 503
4.6.1 ADCMP の制御レジスタ ... 503
4.6.2 ノーマルモード動作 ... 503
4.6.3 オフセットモード動作 ... 508
4.6.4 ADCMP のバッファデータ転送 ... 512
4.6.5 FRT 割込みマスクカウンタに連動した ADC 起動 ... 514
4.7 ADCMP の FM3 ファミリ製品互換動作 ... 516
4.8 OCU, ICU, ADCMP の FRT 選択 ... 517
4.8.1 MFT2 個搭載製品 ... 517
4.8.2 MFT3 個搭載製品(TYPE6-M4 製品以外) ... 519
4.9 WFG に接続する PPG タイマユニット ... 522
4.9.1 MFT unit1 ... 522
4.9.2 MFT unit2 ... 523
4.10 イベント検出レジスタと割込みの取り扱いについて ... 524
4.10.1 イベント検出レジスタ，割込み許可レジスタの一覧 ... 524
4.10.2 回路の構成と動作 ... 525
4.10.3 区分 1 のイベント検出レジスタのクリア時の注意事項 ... 526
4.10.4 RMW(Read Modify Write)アクセス時の読出し値マスク機能 ... 527
4.10.5 区分 2 のイベント検出レジスタのクリア方法 ... 527
5. 多機能タイマの制御例 ... 528
5.1 多機能タイマの制御例-1 ... 529
5.1.1 タイムチャート ... 529
5.1.2 FRT, OCU の設定と動作 ... 530
5.1.3 WFG の設定と動作 ... 531
5.1.4 ICU の設定と動作 ... 531
5.1.5 処理終了 ... 531
5.1.6 他のチャネルの処理 ... 532
5.1.7 レジスタの設定値詳細 ... 532
5.2 多機能タイマの制御例-2 ... 537
5.2.1 タイムチャート ... 537
5.2.2 FRT, OCU,ADCMP の設定と動作 ... 538

5.2.3 WFG の設定と動作 ... 539
5.2.4 処理終了 ... 539
5.2.5 レジスタの設定値詳細 ... 539
6. 多機能タイマ入出力信号詳細タイミング ... 544
6.1 外部入力クロック使用時の FRT 動作詳細タイミング ... 545
6.2 OCU,WFG 動作詳細タイミング ... 546
6.3 ADCMP 動作詳細タイミング ... 547
6.4 ICU 動作詳細タイミング ... 548
6.5 DTTIX 入力詳細タイミング ... 549
CHAPTER 7-1: PPG 構成 ... 551
1. 構成 ... 552
CHAPTER 7-2: PPG ... 555
1. 概要 ... 556
2. PPG 構成・ブロックダイヤグラム ... 557
2.1 PPG 回路　ブロックダイヤグラム ... 557
3. PPG 動作 ... 559
3.1 PPG 回路の動作 ... 560
3.1.1 PPG の動作 ... 560
3.1.2 PPG 動作モード ... 561
3.1.3 PPG 動作モードの選択 ... 564
3.1.4 PPG 起動方法の選択 ... 565
3.1.5 カウントクロックの選択 ... 567
3.1.6 リロードレジスタとパルス幅指定 ... 567
3.1.7 High 幅設定リロードレジスタのバッファ機能 ... 568
3.1.8 割込みについて ... 569
3.1.9 REVn レジスタによる極性反転 ... 570
3.1.10 8 ビット PPG 動作モード例 ... 571
3.1.11 8+8 ビット PPG 動作モード例 ... 573
3.1.12 16 ビット PPG 動作モード例 ... 575
3.1.13 16+16 ビット PPG 動作モード例 ... 577
3.1.14 多機能タイマからの GATE 信号による PPG 動作例 ... 580
3.2 タイミングジェネレータ回路の動作 ... 582
3.2.1 タイミングジェネレータの構成 ... 582
3.2.2 タイミングジェネレータの動作例 ... 585
4. PPG 設定手順例 ... 587
4.1 PPG 起動レジスタ書込みによる PPG 起動例 ... 587
4.2 多機能タイマからの GATE 信号による PPG 起動例 ... 588
4.3 タイミングジェネレータによる PPG 起動例 ... 589
5. PPG レジスター覧 ... 591
5.1 タイミングジェネレータ PPG 起動トリガ制御レジスタ 0 (TTCR0) ... 595
5.2 タイミングジェネレータ PPG 起動トリガ制御レジスタ 1 (TTCR1) ... 597
5.3 タイミングジェネレータ PPG 起動トリガ制御レジスタ 2 (TTCR2) ... 598
5.4 タイミングジェネレータ PPG コンペアレジスタ n (COMPn n=0～14) ... 599
5.5 PPG 起動レジスタ 0(TRG0) ... 600
5.6 PPG 起動レジスタ 1(TRG1) ... 601
5.7 出力反転レジスタ 0(REVC0) ... 602

5.8 出力反転レジスタ 1(REVC1) ... 603
5.9 PPG 動作モード制御レジスタ n (PPGCn n=0～23) ... 604
5.10 PPG リロードレジスタ n (PRLHn, PRLLn n=0～23) ... 607
5.11 GATE 機能制御レジスタ n (GATECn n=0,4,8,12,16,20) ... 610
6. PPG 使用上の注意 ... 611
CHAPTER7-3: PPG IGBT モード ... 613
1. 概要 ... 614
2. 構成 ... 615
3. 動作説明 ... 616
4. 設定手順例 ... 622
5. レジスタ ... 623
5.1 IGBT モード制御レジスタ(IGBTC) ... 624
6. 使用上の注意 ... 625
CHAPTER 8-1: クアッドカウンタ ... 627
1. 概要 ... 628
2. 構成 ... 629
3. 動作説明 ... 630
3.1 位置カウンタの動作 ... 630
3.2 回転カウンタの動作 ... 637
3.3 位置の絶対値 ... 640
3.4 ノイズフィルタ動作 ... 641
3.5 クアッドカウンタの割込み ... 644
3.6 カウンタ最大位置レジスタ(QMPR)の割込み動作例 ... 645
3.7 位置カウンタリセットマスク機能 ... 646
4. レジスタ ... 648
4.1 クアッドカウンタ位置カウントレジスタ(QPCR) ... 649
4.2 クアッドカウンタ回転カウントレジスタ(QRCR) ... 650
4.3 クアッドカウンタ位置カウンタ比較レジスタ(QPCCR) ... 651
4.4 クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) ... 652
4.5 クアッドカウンタ制御レジスタ(QCR) ... 653
4.6 クアッドカウンタ拡張制御レジスタ(QECR) ... 657
4.7 クアッドカウンタ割込み制御レジスタ下位バイト(QICRL) ... 659
4.8 クアッドカウンタ割込み制御レジスタ上位バイト(QICRH) ... 663
4.9 クアッドカウンタ最大位置レジスタ(QMPR) ... 666
4.10 AIN 用ノイズ制御レジスタ(NFCTLA) ... 667
4.11 BIN 用ノイズ制御レジスタ(NFCTLB) ... 668
4.12 ZIN 用ノイズ制御レジスタ(NFCTLZ) ... 669
CHAPTER 8-2: クアッドカウンタ位置回転カウント表示機能 ... 671
1. 概要・構成 ... 672
2. レジスタ ... 673
2.1 クアッドカウンタ位置回転カウントレジスタ(QPRCRR) ... 674
APPENDIXES ... 675
A. 製品型格一覧 ... 677
1. 製品型格一覧 ... 678
B. レジスタマップ (TYPE1-M0+) ... 679
1. レジスタマップ ... 680

1.1 Flash I/F 682
1.2 Unique ID 683
1.3 Clock/Reset 684
1.4 HW WDT 686
1.5 SW WDT 687
1.6 Dual Timer 688
1.7 MFT 689
1.8 PPG 693
1.9 Base Timer 697
1.10 IO Selector for Base Timer 698
1.11 QPRC 699
1.12 QPRC NF 700
1.13 A/DC 701
1.14 D/AC 703
1.15 CR Trim 704
1.16 EXTI 705
1.17 INT-Req. READ 706
1.18 GPIO 709
1.19 HDMI-CEC 716
1.20 LVD 717
1.21 DS Mode 718
1.22 MFS 719
1.23 CRC 721
1.24 Watch Counter 722
1.25 RTC 723
1.26 Low-speed CR Prescaler 724
1.27 Peripheral Clock Gating 725
1.28 DMAC 726
1.29 MTB_DWT 728
1.30 Fast GPIO 730
C. レジスタマップ (TYPE2-M0+) 735
1. レジスタマップ 736
1.1 Flash I/F 738
1.2 Unique ID 739
1.3 Clock/Reset 740
1.4 HW WDT 742
1.5 SW_WDT 743
1.6 Dual Timer 744
1.7 MFT 745
1.8 PPG 749
1.9 Base Timer 753
1.10 IO Selector for Base Timer 754
1.11 QPRC 755
1.12 QPRC NF 756
1.13 A/DC 757
1.14 D/AC 759

1.15 CR Trim 760
1.16 EXTI 761
1.17 INT-Req. READ 762
1.18 LCDC 764
1.19 GPIO 765
1.20 HDMI-CEC 772
1.21 LVD 773
1.22 DS Mode 774
1.23 USB Clock 776
1.24 MFS 777
1.25 CRC 779
1.26 Watch Counter 780
1.27 RTC 781
1.28 Low-speed CR Prescaler 785
1.29 Peripheral Clock Gating 786
1.30 Smart Card I/F 787
1.31 MFSI2S 788
1.32 High Resilience 789
1.33 USB 790
1.34 DSTC 792
1.35 MTB_DWT 793
1.36 Fast GPIO 795
D. レジスタマップ (TYPE3-M0+) 799
1. レジスタマップ 800
1.1 Flash I/F 802
1.2 Unique ID 803
1.3 Clock/Reset 804
1.4 HW WDT 806
1.5 SW WDT 807
1.6 Dual Timer 808
1.7 Base Timer 809
1.8 IO Selector for Base Timer 810
1.9 A/DC 811
1.10 CR Trim 813
1.11 EXTI 814
1.12 INT-Req. READ 815
1.13 GPIO 817
1.14 HDMI-CEC 822
1.15 LVD 823
1.16 DS Mode 824
1.17 USB Clock 826
1.18 I2CSLAVE 827
1.19 MFS 828
1.20 CRC 830
1.21 Watch Counter 831
1.22 RTC 832

1.23 Low-speed CR Prescaler 833
1.24 Peripheral Clock Gating 834
1.25 Smart Card I/F 835
1.26 MFSI2S 836
1.27 USB 837
1.28 DSTC 839
1.29 MTB_DWT 840
1.30 Fast GPIO 842
1.31 VIR 844
E. 注意事項一覧 847
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 848
F. 主な変更内容 849
改訂履歴 851

CHAPTER 1: ウォッチドッグタイマ

ウォッチドッグタイマについて説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. 動作例
6. レジスター一覧
7. 使用上の注意

管理コード: 9BFWDT_FM0-J03.0

1. 概要

ウォッチドッグタイマの概要を説明します。

ウォッチドッグタイマは、ユーザプログラムの暴走を検出するための機能です。

事前に設定したインターバル時間内にウォッチドッグタイマがクリアされない場合、ユーザプログラムが暴走したと判断し、CPU への割込み要求またはシステムリセット要求を出力します。

この割込み要求をウォッチドッグ割込み要求、リセット要求をウォッチドッグリセット要求とよびます。

ウォッチドッグタイマの動作時は、事前に設定したインターバル時間が経過する前に、タイマを定期的にクリアし続ける必要があります。ユーザプログラムの暴走などの異常動作が発生して、定期的なクリアが行われないと、ウォッチドッグタイマはダウンカウントを続け、アンダフローし、ウォッチドッグ割込み要求またはウォッチドッグリセット要求を出力します。

本ファミリには、以下に示す、2 種類のウォッチドッグタイマがあります。

- ソフトウェアウォッチドッグタイマ
  - ユーザプログラムにより、ソフトウェアウォッチドッグタイマは起動します。
  - カウントクロックは APB バスクロックの分周クロックを用います。
  - CPU のプログラム動作中に周期をカウントし、スタンバイモードの APB クロック停止中(タイマモード, ストップモード, APB クロックのソースクロックの発振安定待ち時間中)はカウントを停止します。このとき、カウント値は保持しており、スタンバイモードからの復帰時は、カウントを継続します。
  - すべてのリセットにより、ソフトウェアウォッチドッグタイマは停止します。
  - ウィンドウウォッチドッグモード機能をもちます。
- ハードウェアウォッチドッグタイマ
  - デバイスの電源投入およびソフトウェアリセットを除く、すべてのリセットの解除後、ソフトウェアの介在なしにハードウェアウォッチドッグタイマは起動します。
  - ソフトウェアでレジスタにアクセスを行うことにより、ハードウェアウォッチドッグタイマを停止させられます。
  - カウントクロックは低速 CR クロック(CLKLC)を用います。
  - CLKLC の動作中に周期をカウントし、スタンバイモードの CLKLC の停止中(ストップモード時)はカウントを停止します。このときカウント値は保持しており、スタンバイモードからの復帰時は、カウントを継続します。
- 両ウォッチドッグタイマ共通
  - それぞれロックレジスタを持ち、一定の手順どおりのアクセスを行い、ロックを解除しない限り、ウォッチドッグタイマのすべてのレジスタにアクセスできません。
  - ウォッチドッグクリアレジスタにアクセスすることにより、ウォッチドッグタイマをリロードできます。
  - ウォッチドッグカウンタの 1 回目のアンダフローが発生した場合、割込み要求が発生します。割込み要求がクリアされないまま、2 回目のアンダフローが発生した場合、リセット要求が発生します。この機能はレジスタで設定できます。

2. 構成・ブロックダイヤグラム

ウォッチドッグタイマのブロックダイヤグラムを説明します。

Figure 2-1 ソフトウェアウォッチドッグタイマのブロックダイヤグラム

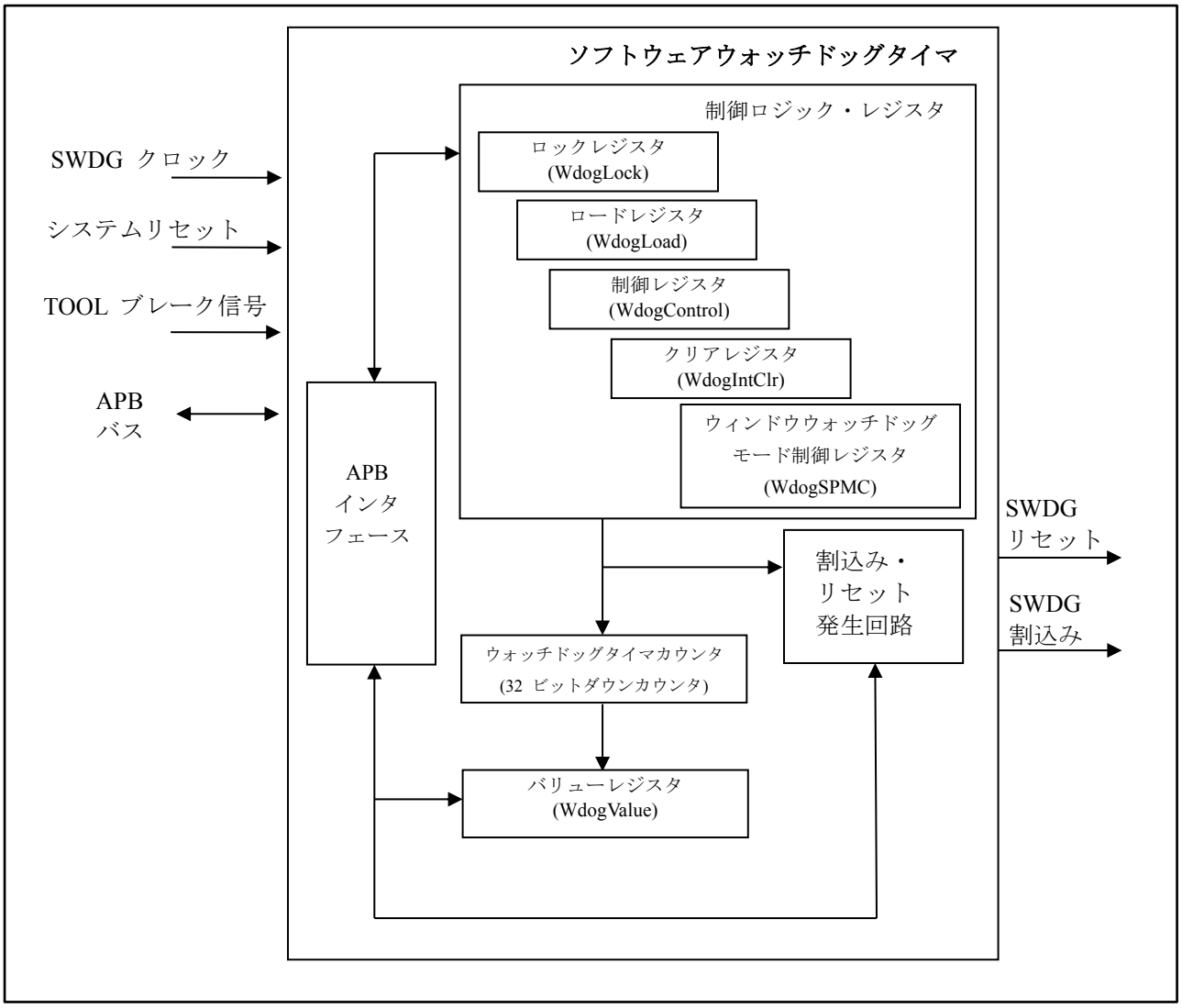
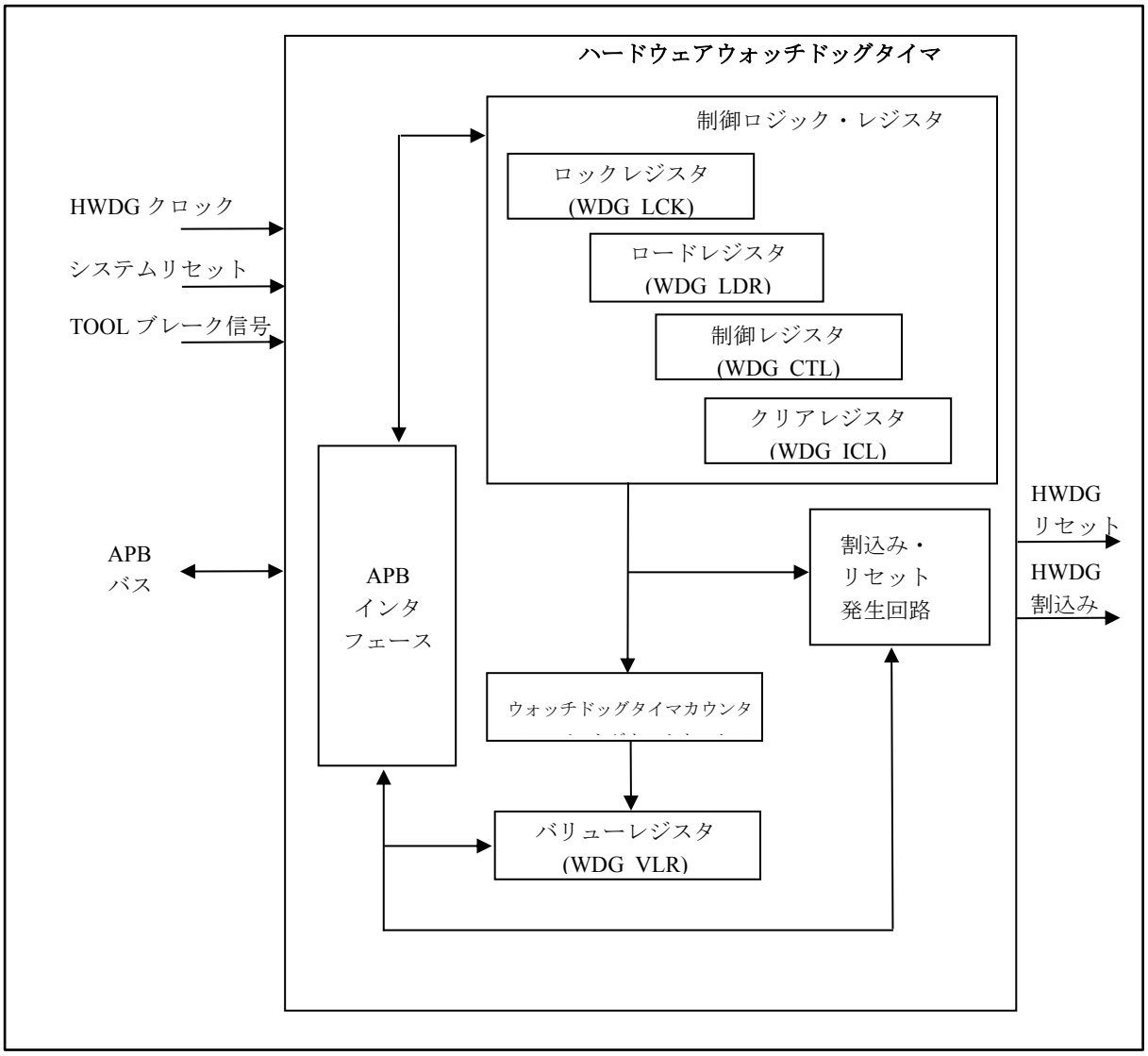


Figure 2-2 ハードウェアウォッチドッグタイマのブロックダイヤグラム



3. 動作説明

ウォッチドッグタイマの構成を示します。ウォッチドッグタイマは以下のブロックで構成されています。

ソフトウェアウォッチドッグタイマ

■ 制御レジスタ・ロジック

ソフトウェアウォッチドッグタイマの制御を行う回路です。
ロードレジスタ, ロックレジスタ, 制御レジスタ, クリアレジスタから構成されます。

- ロードレジスタ(WdogLoad)

  ソフトウェアウォッチドッグタイマのカウントインターバル周期を設定する、32 ビットのレジスタです。
  初期値は"0xFFFFFFFF"です。設定時間例を Table 3-1 に示します。

Table 3-1 ソフトウェアウォッチドッグタイマのインターバル時間設定例

カウント周波数	インターバル設定値	インターバル時間
40 MHz	"0xFFFFFFFF" [初期値]	約 107 s
20 MHz	"0xFFFFFFFF" [初期値]	約 214 s
40 MHz	"0x0000FFFF"	約 1.6 ms
20 MHz	"0x0000FFFF"	約 3.2 ms

- ロックレジスタ(WdogLock)

  ソフトウェアウォッチドッグタイマのすべてのレジスタのアクセスを制御します。
  本レジスタに"0x1ACCE551"を書き込むことにより、ソフトウェアウォッチドッグタイマの全レジスタにアクセスできます。

- 制御レジスタ(WdogControl)

  ソフトウェアウォッチドッグ割込みイネーブル, ソフトウェアウォッチドッグリセットイネーブル, ウィンドウウォッチドッグモードイネーブルを設定します。

- クリアレジスタ(WdogIntClr)

  ソフトウェアウォッチドッグタイマのクリアレジスタです。
  クリアレジスタに任意の値の書込みを行うと、カウンタにロードレジスタの設定値をリロードします。
  リロード完了後、カウントを継続します。

- ウィンドウウォッチドッグモード制御レジスタ(WdogSPMC)

  ソフトウェアウォッチドッグタイマのウィンドウウォッチドッグモードのトリガを設定します。

■ ウォッチドッグタイマカウンタ(32 ビットダウンカウンタ)

32 ビットのダウンカウンタです。ダウンカウントによりカウンタ値がゼロになる前に、クリアレジスタ(WdogIntClr) へアクセスすることで、ロードレジスタ(WdogLoad)に設定された設定値にカウント値がリロードされます。

ダウンカウンタリロード条件を Table 3-2 に示します。

Table 3-2 ソフトウェアウォッチドッグタイマ　ダウンカウンタリロード条件

リロード条件
クリアレジスタ(WdogIntClr)へのアクセス
32 ビットダウンカウンタがゼロをカウントした場合
ロードレジスタ(WdogLoad)の書換え
制御レジスタ(WdogControl)への、 INTEN=0 書込みによるウォッチドッグ停止後、INTEN=1 書込みによる再起動時

■ バリューレジスタ(WdogValue)
ウォッチドッグタイマの現在のカウンタ値を読み出すことが可能です。

■ 割込み・リセット発生回路
ウォッチドッグタイマカウンタのアンダフローを検出したとき、レジスタ設定により、ウォッチドッグ割込み, ウォッチドッグリセットが発生します。

- 割込みステータスレジスタ(WdogRIS)

  ソフトウェアウォッチドッグ割込みのステータスを示します。

■ ソフトウェアウォッチドッグタイマの起動
- 制御レジスタ(WdogControl)にアクセスし、ウォッチドッグ割込みおよびウォッチドッグリセット許可を行います。
- ウォッチドッグ割込みとウォッチドッグリセットの設定の組合せを Table 3-3 に示します。

Table 3-3 ソフトウェアウォッチドッグ割込みとリセットの設定組合せ

割込み	リセット	動作
禁止	禁止	ウォッチドッグタイマは動作しません
許可	禁止	アンダフローで割込み発生
禁止	許可	ウォッチドッグタイマは動作しません
許可	許可	1 回目のアンダフローで割込み発生 2 回目のアンダフローでリセット発生　[初期設定]

制御レジスタ(WdogControl)の割込み許可が、ウォッチドッグタイマの起動トリガになります。

■ ソフトウェアウォッチドッグタイマのリロードとレジスタのロック
- リセット後の初期状態ではレジスタはロックされていません。ロックを有効にしたい場合は、ソフトウェアにて WdogLock レジスタに"0x1ACCE551"以外の値を書き込んでください。
- クリアレジスタへのアクセス時は WdogLock レジスタに"0x1ACCE551"を書き込んで、ロックの解除をしてください。
- クリアレジスタ(WdogIntClr)に任意の書込みを行うことでロードレジスタ(WdogLoad)の設定値にリロードされます。
- クリアレジスタへのアクセス後、自動でロックされません。ソフトウェアで再度ロックしてください。

■ ソフトウェアウォッチドッグタイマの停止
- 制御レジスタ(WdogControl)にアクセスし、ウォッチドッグ割込み許可ビットに"0"を書き込むことで、ソフトウェアウォッチドッグタイマは停止します。
- リセット発行により、ソフトウェアウォッチドッグタイマは停止します。

■ ウィンドウウォッチドッグモード
- ソフトウェアウォッチドッグタイマはウィンドウウォッチドッグモードを持ちます。
- ウィンドウウォッチドッグモードとは、ソフトウェアによるカウンタリロードが正しいタイミングで行われているかを検出する動作モードです。
  以下の条件の時に、設定したイベント(割込みまたはリセット)を発行します。
  - カウンタアンダフローした場合
  - タイミングウィンドウ範囲外で WdogIntClr レジスタにアクセスし、カウンタがクリアされた場合
  - タイミングウィンドウ範囲外で WdogLoad レジスタにアクセスし、カウンタがリロードされた場合

ハードウェアウォッチドッグタイマ

■ 制御レジスタ・ロジック

ハードウェアウォッチドッグタイマの制御を行う回路です。
ロードレジスタ, ロックレジスタ, 制御レジスタ, クリアレジスタから構成されます。

- ロードレジスタ(WDG_LDR)

  ハードウェアウォッチドッグタイマのカウントインターバル周期を設定する、32 ビットのレジスタです。初期値は"0x0000FFFF" (16 ビット分のダウンカウンタ=> 約 655 ms @ 100 kHz (TYP))です。また、カウントクロックである CLKLC の周波数はご使用する製品の『データシート』を参照してください。

- ロックレジスタ(WDG_LCK)

  ハードウェアウォッチドッグタイマのレジスタのアクセス制御を行います。本レジスタに"0x1ACCE551"を書き込むことにより、制御レジスタ(WDG_CTL)以外の全レジスタにアクセスできます。

- 制御レジスタ(WDG_CTL)

  ウォッチドッグ割込みイネーブル, ウォッチドッグリセットイネーブルの設定を行います。本レジスタにアクセスするには、ロックレジスタに"0x1ACCE551"をライトした後、続いてロックレジスタに"0xE5331AAE"を書き込んでください。"0x1ACCE551"を書き込んだ後に正しい値が書き込まれない場合は、手順を最初から実行してください。

- クリアレジスタ(WDG_ICL)

  ハードウェアウォッチドッグタイマのクリアレジスタです。
  任意の 8 ビット値をライトした後、続けて任意の値の反転値を書き込むことにより、タイマカウンタをロードレジスタに設定された設定値にリロードしカウントを継続します。

■ ウォッチドッグタイマカウンタ(32 ビットダウンカウンタ)

32 ビットのダウンカウンタです。ダウンカウントによりカウンタ値がゼロになる前に、クリアレジスタ(WDG_ICL)へアクセスすることで、ロードレジスタ(WDG_LDR)に設定された設定値にリロードされます。

ダウンカウンタリロード条件を Table 3-4 に示します。

Table 3-4 ハードウェアウォッチドッグタイマ　ダウンカウンタリロード条件

リロード条件
クリアレジスタ(WDG_ICL)へのアクセス
32 ビットダウンカウンタがゼロをカウントした場合
ロードレジスタ(WDG_LDR)の書換え
制御レジスタ(WDG_CTL)への、 INTEN=0 書込みによるウォッチドッグ停止後、INTEN=1 書込みによる再起動時

■ バリューレジスタ(WDG_VLR)

ウォッチドッグタイマの現在のカウンタ値を読み出すことが可能です。ただし、ツールブレーク時ウォッチドッグタイマが停止中の場合のみ正しい値が読み出せます。ツールブレーク時以外では、非同期読出しのため、正確な値でないことがあります。その場合は、2 回読み出した後、値を比較するなどの対応をしてください。

■ 割込み・リセット発生回路

ウォッチドッグタイマカウンタのアンダフローを検出したとき、レジスタ設定により、ウォッチドッグ割込み, ウォッチドッグリセットが発生します。

- 割込みステータスレジスタ(WDG_RIS)

  ハードウェアウォッチドッグ割込みのステータスを示します。

■ ハードウェアウォッチドッグタイマの起動
- ロックレジスタ(WDG_LCK)に"0x1ACCE551"を書き込んだ後、反転値"0xE5331AAE"を書き込むことで、制御レジスタ(WDG_CTL)へのアクセスが可能となります。
- 制御レジスタ(WDG_CTL)にアクセスし、ウォッチドッグ割込みおよびウォッチドッグリセット許可を行います。
- ウォッチドッグ割込みとウォッチドッグリセットの設定の組合せを Table 3-5 に示します。

Table 3-5 ハードウェアウォッチドッグ割込みとリセットの設定組合せ

割込み	リセット	動作
禁止	禁止	ウォッチドッグタイマは動作しません
許可	禁止	アンダフローで割込み発生
禁止	許可	ウォッチドッグタイマは動作しません
許可	許可	1 回目のアンダフローで割込み発生 2 回目のアンダフローでリセット発生　[初期設定]

制御レジスタ(WDG_CTL)の割込み許可が、ハードウェアウォッチドッグタイマの起動トリガになります。

■ ハードウェアウォッチドッグタイマのリロードとレジスタのロック

クリアレジスタ(WDG_ICL)に書込みを行うことでロードレジスタから、32 ビットダウンカウンタに設定値をリロードします。リロード後レジスタには再度ロックがかかります。
以後、クリアレジスタへのアクセス時は毎回ロックの解除をしてください。

■ ハードウェアウォッチドッグタイマの停止
- WDG_LCK (ロックレジスタ)に"0x1ACCE551"を書き込み、続いて反転値"0xE5331AAE"を書き込むことで、制御レジスタ(WDG_CTL)へのアクセスが可能となります。
- WDG_CTL(制御レジスタ)にアクセスし、ウォッチドッグ割込み許可ビットに"0"を書き込むことで、ハードウェアウォッチドッグタイマは停止します。

ソフトウェアウォッチドッグタイマとハードウェアウォッチドッグタイマの相違点について

ソフトウェアウォッチドッグタイマとハードウェアウォッチドッグタイマの相違点について Table 3-6 に示します。

Table 3-6 ソフトウェアウォッチドッグとハードウェアウォッチドッグの相違点

	ソフトウェアウォッチドッグ	ハードウェアウォッチドッグ
カウントクロック	APB の分周クロック	CLKLC
バリューレジスタの 読出し値	同期読出し 読出し可能	非同期読出し ツールブレーク時のみ正しい値が読出し可能 ツールブレーク時以外では正確でない値の可能性あり。
ウォッチドッグ 割込み設定, リセット設定 初期値	ディセーブル (ウォッチドッグ動作なし)	イネーブル (ウォッチドッグ動作あり)
レジスタロック機能 初期状態	ロックなし (ソフトウェアで起動後にロックをかける)	ロックあり (ハードウェアで起動時からロックがかかる)
ロック解除	ロックレジスタへの"0x1ACCE551"書込みで 全レジスタロック解除	ロックレジスタへの"0x1ACCE551"書込みで WDG_CTL 以外の全レジスタロック解除
WdogControl/ WDG_CTL レジスタ 個別のロック解除	なし	ロックレジスタへの"0xE5331AAE"書込みで WDG_CTL レジスタのロック解除
再ロック条件	ロックレジスタへ"0x1ACCE551"以外の値を書込みで全レジスタ再ロック。	WDG_CTL 以外のロック解除後 - WDG_LCK への"0x1ACCE551" or "0xE5331AAE"以外の書込み - WDG_LDR への書込み - WDG_CTL への書込み - WDG_ICL への 2 回目の書込み 上記いずれかにて、再度ロックがかかる。
		WDG_CTL 含めたロック解除後 - WDG_LCK への"0x1ACCE551"以外の書込み - WDG_LDR への書込み - WDG_ICL への書込み - WDG_CTL への書込み 上記いずれかにて、再度ロックがかかる。
ロードレジスタ初期値	0xFFFFFFFF	0x0000FFFF
クリアレジスタ ビット数	32 ビット	8 ビット
クリアレジスタ アクセス	任意の値を書込みでクリア	任意の値の書込み後、 任意の値の反転値の書込みでクリア
ウィンドウウォッチドッグ モード	あり	なし

4. 設定手順例

ウォッチドッグタイマの設定手順例を説明します。

ソフトウェアウォッチドッグタイマ

Figure 4-1　ソフトフェアウォッチドッグタイマの設定手順例

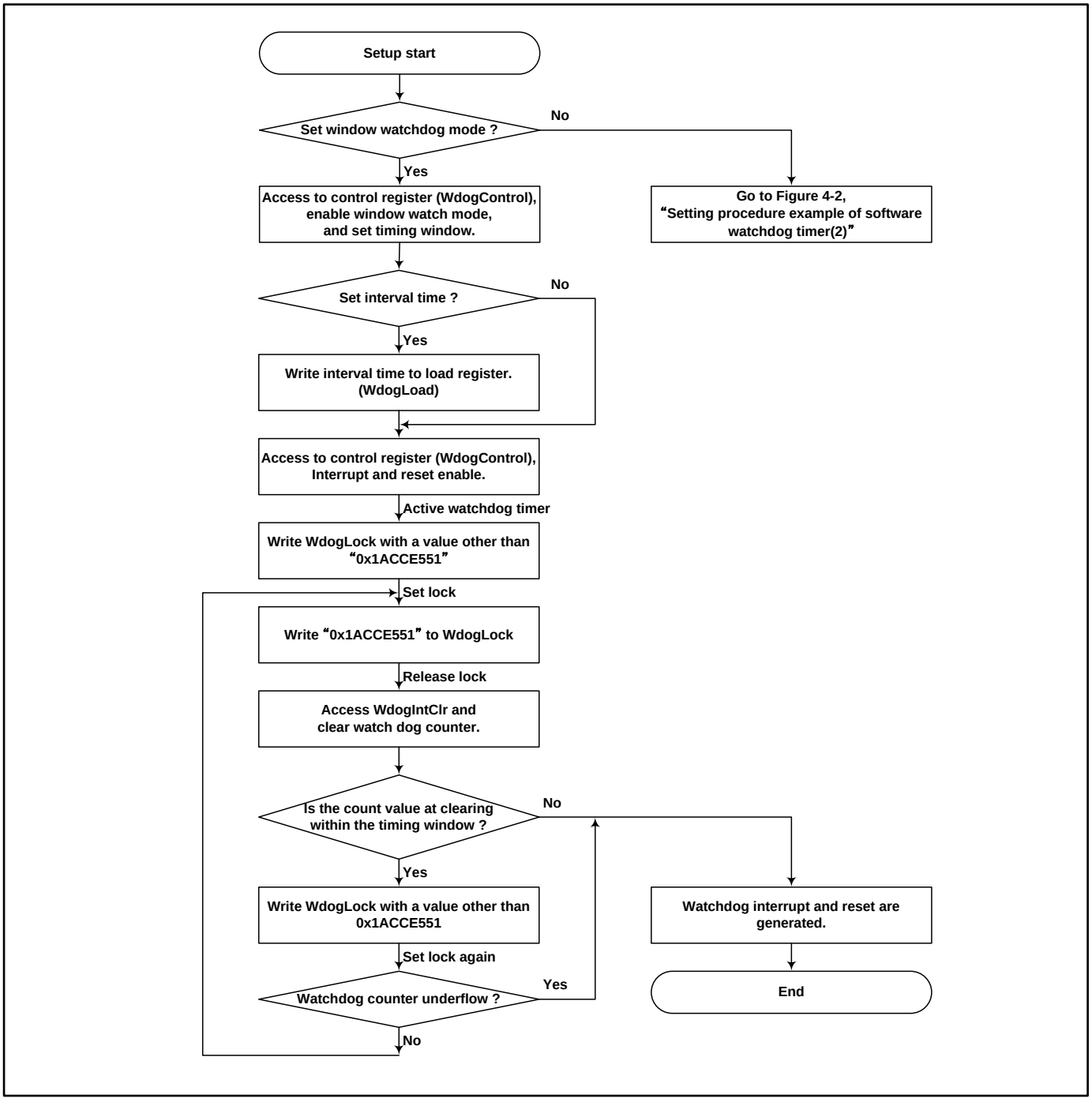
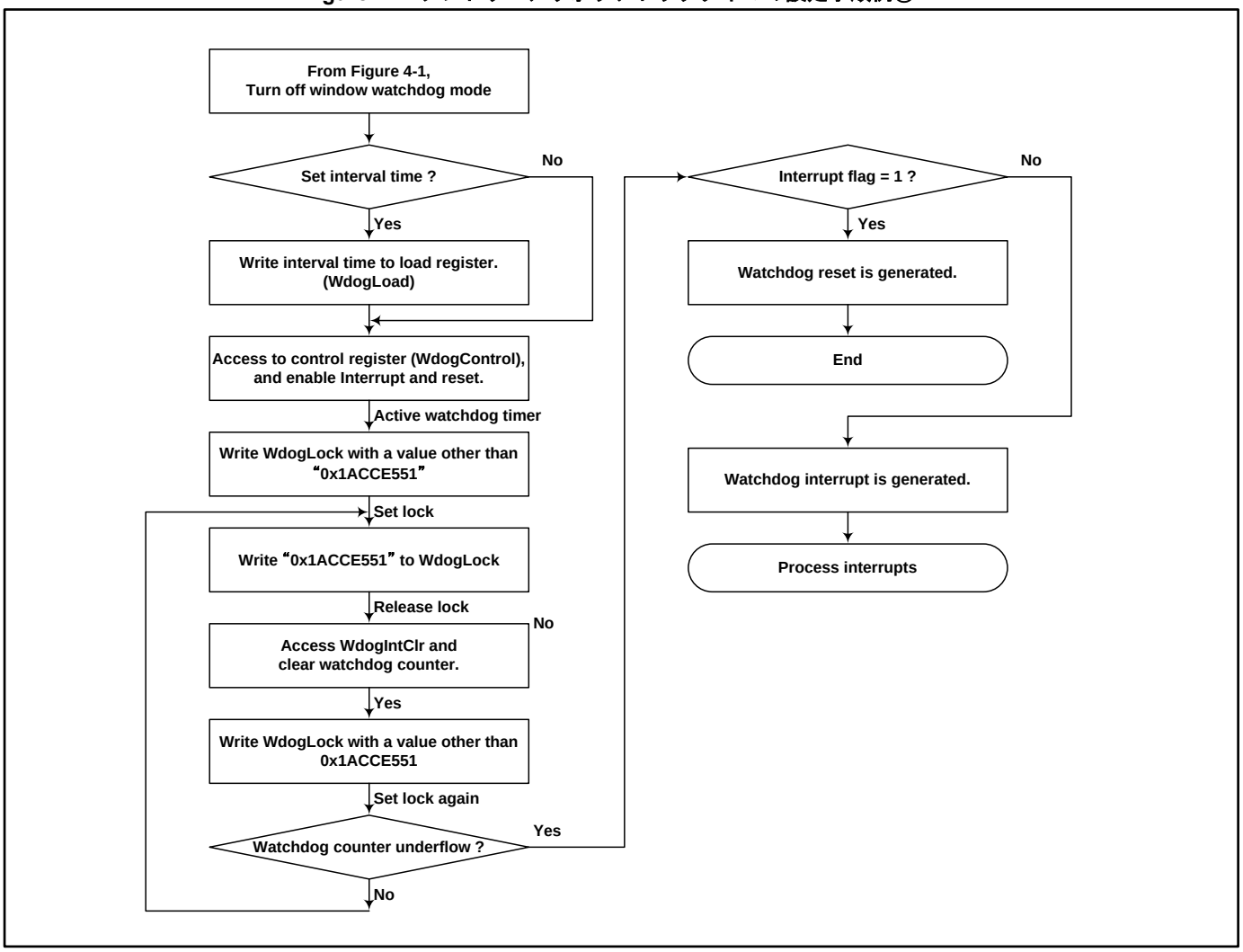
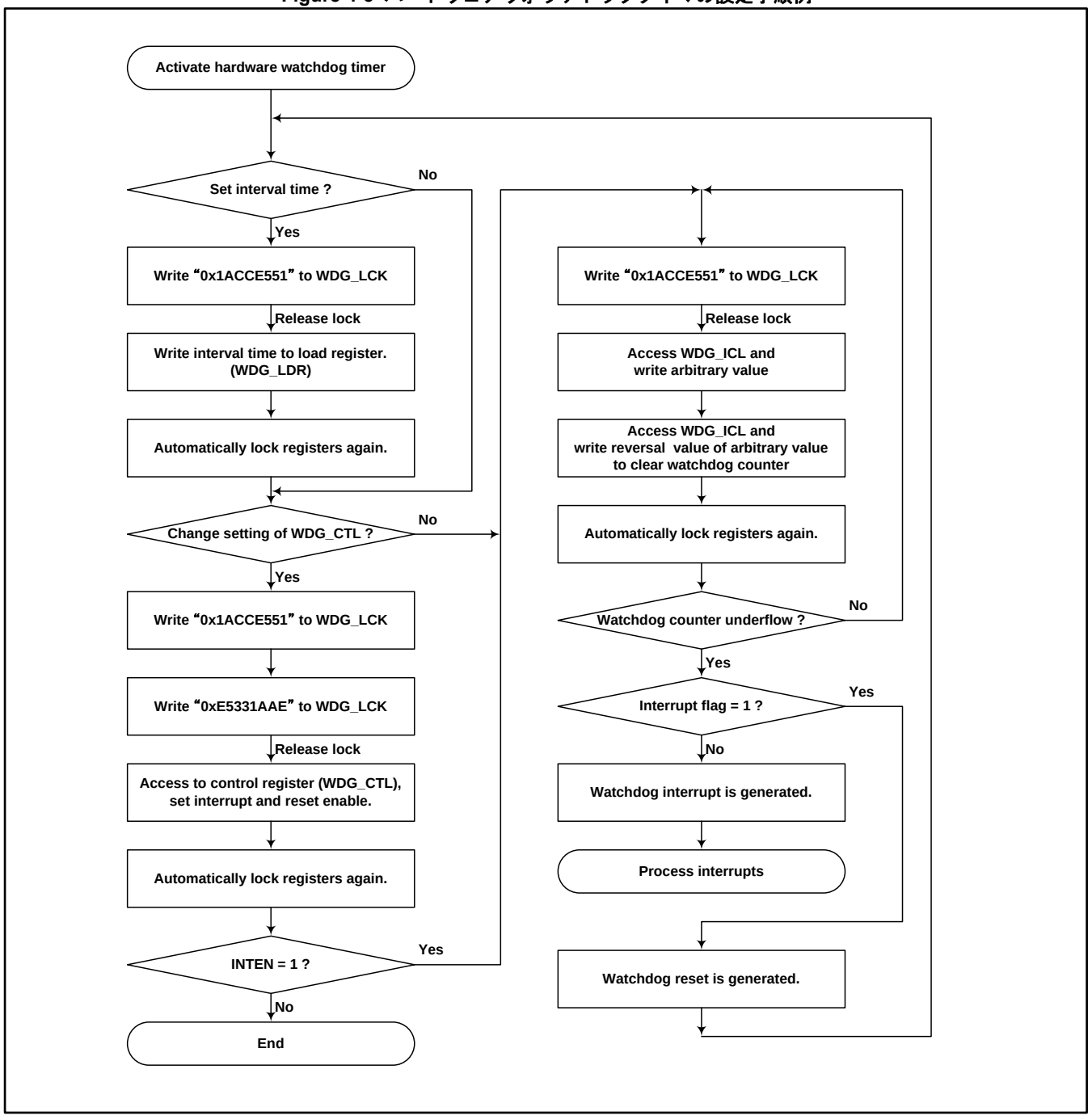


Figure 4-2 ソフトウェアウォッチドッグタイマの設定手順例②



ハードウェアウォッチドッグタイマ

Figure 4-3 ハードウェアウォッチドッグタイマの設定手順例

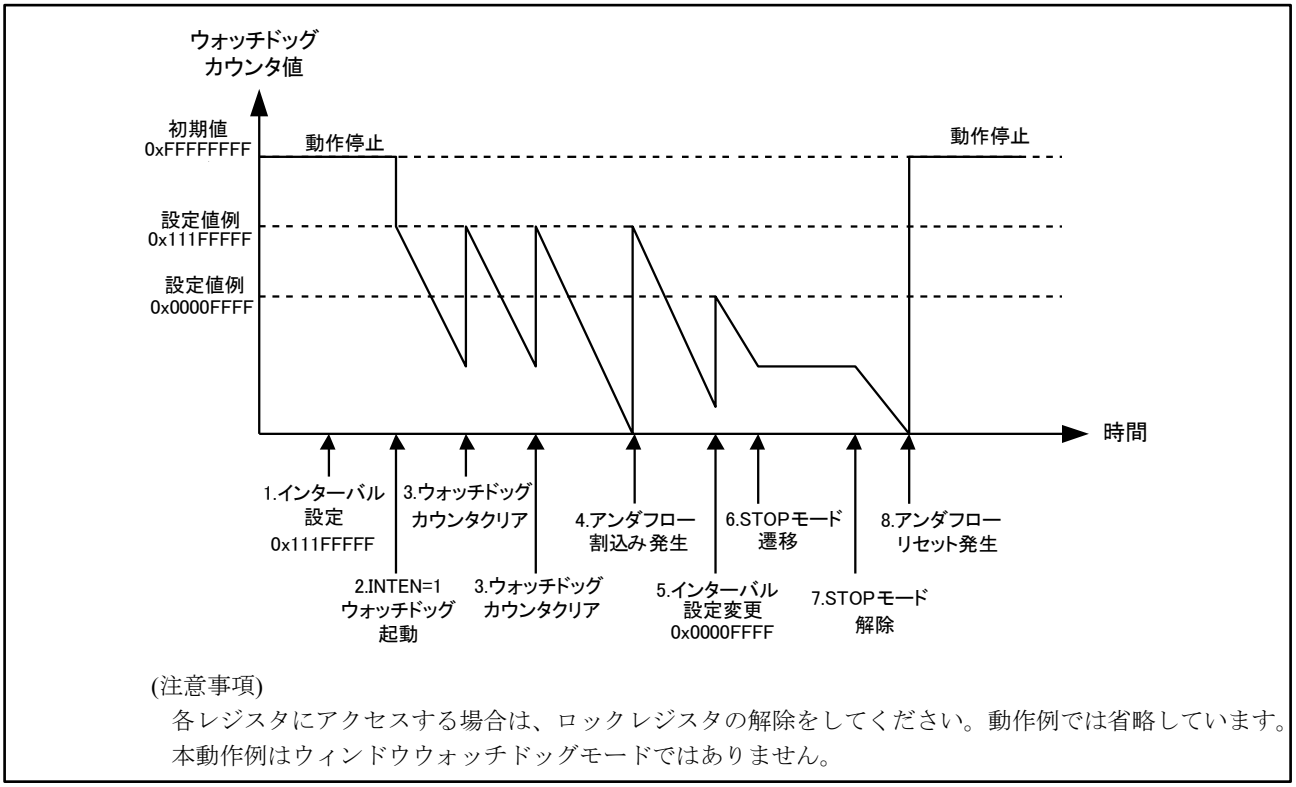


5. 動作例

ウォッチドッグタイマの動作例を示します。

ソフトウェアウォッチドッグタイマ

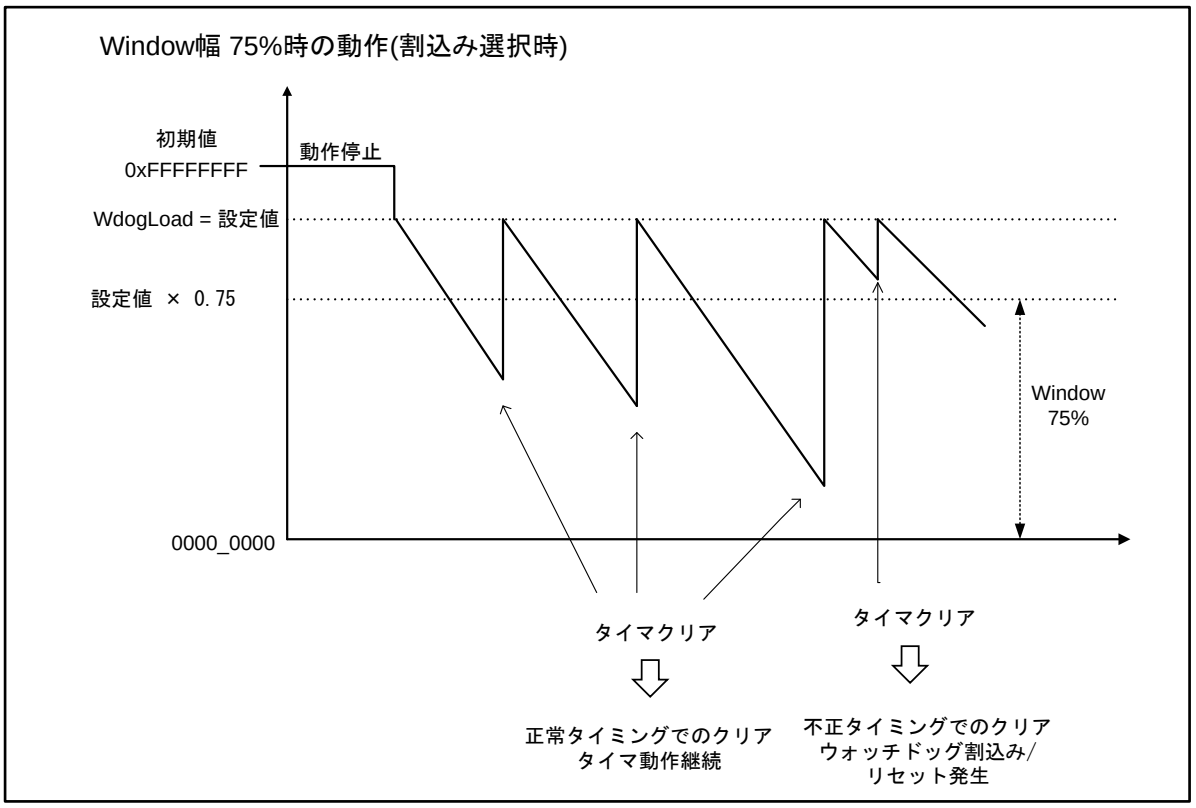
Figure 5-1 ソフトウェアウォッチドッグタイマの動作例



(注意事項)
各レジスタにアクセスする場合は、ロックレジスタの解除をしてください。動作例では省略しています。
本動作例はウィンドウウォッチドッグモードではありません。

1. 起動前に SWC_PSR, WdogControl レジスタの設定を行います。
   WdogLoad レジスタに設定値を書き込み、インターバル設定を行います。
   起動前のため、インターバル時間は反映されません。カウント値は初期値になります。
2. WdogControl レジスタの INTEN ビットに"1"を書き込み、ウォッチドッグを起動します。
   このとき、インターバル時間が反映され 1.で設定した値からダウンカウントが開始されます。
3. WdogIntClr レジスタに、任意の値を書き込み、ウォッチドッグカウンタクリアを行います。
   このとき、設定値は 2.で設定した値になります。
4. カウンタクリアを行わないと、アンダフローにて、割込みが発生します。
   このとき、ダウンカウンタ設定値は 2.で設定した値になります。
5. WdogLoad レジスタにアクセスし、インターバル時間を変更します。
   このとき、ダウンカウント値は設定値にクリアされます。
6. STOP モードに遷移します。これにより、ソフトウェアウォッチドッグは停止します。
7. STOP モードを解除します。ダウンカウンタが再開します。カウント値はクリアされません。
   (注意事項) 発振安定待ちが完了し、ベースクロック動作開始してからダウンカウント再開します。
8. WdogIntClr レジスタにアクセスせず、割込みフラグがクリアされないまま 2 回目のアンダフローが発生したとき、ソフトウェアウォッチドッグリセットが発生します。
   リセット発生により、ソフトウェアウォッチドッグタイマは動作停止します。

Figure 5-2 ウィンドウウォッチドッグモードの動作例



(注意事項)

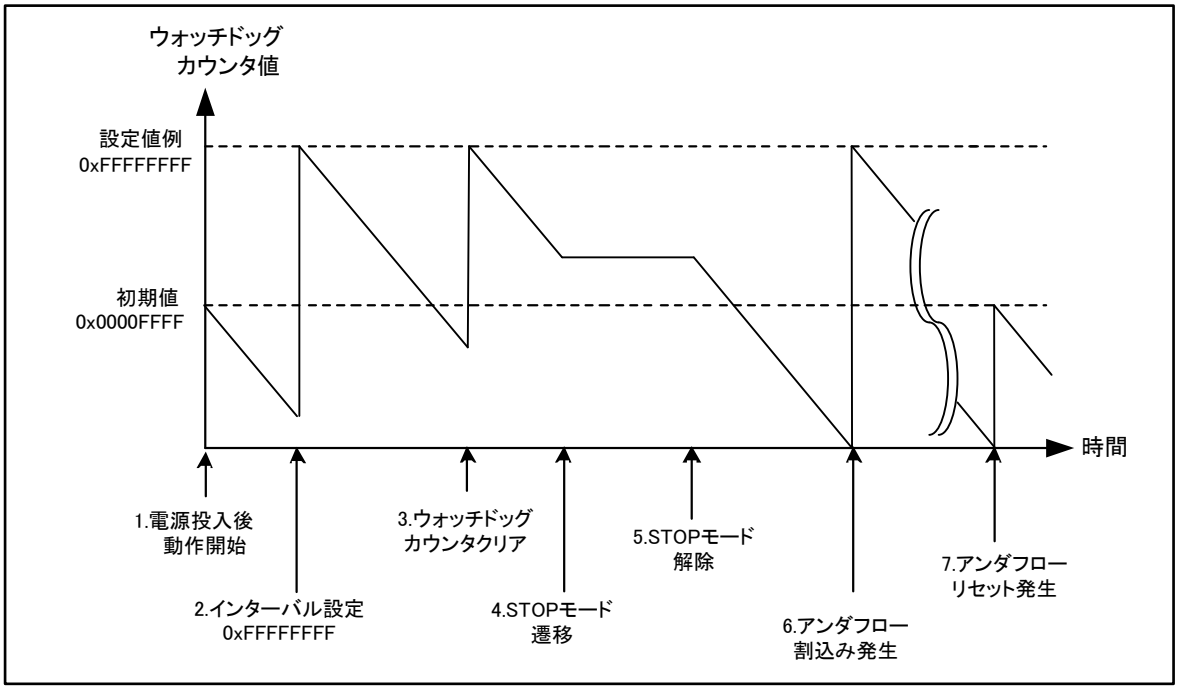
ウィンドウ範囲外にて WdogLoad レジスタにてカウント値を更新する場合も同様に割込み/リセットが発生します。

カウンタアンダフローした場合も割込み/リセットが発生します。

1. 起動前に SWC_PSR, WdogControl レジスタの設定を行います。
   WdogLoad レジスタに設定値を書き込み、インターバル設定を行います。
   WdogControl の SPM ビット, TWD ビットの設定を行います。この時は INTEN=0 である必要があります。
   起動前のため、インターバル時間は反映されません。カウント値は初期値になります。
   WdogSPMC レジスタの設定を行い、ウィンドウウォッチドッグモード時のトリガタイプを設定します。
2. WdogControl レジスタの INTEN ビットに"1"を書き込み、ウォッチドッグを起動します。
   このとき、インターバル時間が反映され 1.で設定した値からダウンカウントが開始されます。
3. WdogIntClr レジスタに、任意の値を書き込み、ウォッチドッグカウンタクリアを行います。
   クリアしたタイマ値が設定したウィンドウ範囲内 (上記動作例では 75%以下)のとき:
   正常タイミングでのクリアとなり、カウンタ値は 1.で設定した値になり、動作を継続します。
4. WdogIntClr レジスタにアクセスし、任意の値を書き込み、ウォッチドッグカウンタクリアを行います。
   クリアしたタイマ値が設定したウィンドウ範囲外 (上記動作例では 75%を超えた場合)のとき:
   不正タイミングでのクリアとなり、ウォッチドッグタイマは 1.でトリガ設定した割込み / リセットを発生させます。
5. ウォッチドッグタイマは割込み発生の場合は動作を継続します（上記動作例）
   リセット発生の場合はウォッチドッグ動作を停止します。

ハードウェアウォッチドッグタイマ

Figure 5-3 ハードウェアウォッチドッグタイマの動作例



(注意事項)

各レジスタにアクセスする場合は、ロックレジスタの解除をしてください。動作例では省略しています。

1. 電源投入後、ハードウェアウォッチドッグタイマは動作開始します。
   カウント値は初期値("0x0000FFFF")です。
2. WDG_LDR レジスタにアクセスし、インターバル時間を変更します。
   このとき、ダウンカウント値は設定値にクリアされます。
3. WDG_ICL レジスタに任意の値を書き込んだ後、続けて任意の値の反転値を書き込むことにより、ウォッチドッグカウンタクリアを行います。
   このとき、設定値は 2.で設定した値になります。
4. STOP モードに遷移します。これによりハードウェアウォッチドッグタイマは停止します。
5. STOP モードを解除します。ダウンカウンタが再開します。カウント値はクリアされません。
   (注意事項) CLKLC が発振開始し、HWDG クロックが入力されダウンカウントを再開します。
6. カウンタクリアを行わないと、アンダフローにて、割込みが発生します。
   このとき、設定値は 2.で設定した値になります。
7. WDG_ICL レジスタにアクセスせず、割込みフラグがクリアされないまま 2 回目のアンダフローが発生したとき、ハードウェアウォッチドッグリセットが発生します。
   カウント値は初期値に戻り、ダウンカウントを再開します。

6. レジスター覧

クロック生成のレジスター覧を説明します。

Table 6-1 ウォッチドッグタイマ　レジスター覧

レジスタ名	説明	参照先
WdogLoad	ソフトウェアウォッチドッグタイマ　ロードレジスタ	6.1
WdogValue	ソフトウェアウォッチドッグタイマ　バリューレジスタ	6.2
WdogControl	ソフトウェアウォッチドッグタイマ　制御レジスタ	6.3
WdogIntClr	ソフトウェアウォッチドッグタイマ　クリアレジスタ	6.4
WdogRIS	ソフトウェアウォッチドッグタイマ　割込みステータスレジスタ	6.5
WdogSPMC	ソフトウェアウォッチドッグタイマ　ウィンドウウォッチドッグモード制御レジスタ	6.6
WdogLock	ソフトウェアウォッチドッグタイマ　ロックレジスタ	6.7
WDG_LDR	ハードウェアウォッチドッグタイマ　ロードレジスタ	6.8
WDG_VLR	ハードウェアウォッチドッグタイマ　バリューレジスタ	6.9
WDG_CTL	ハードウェアウォッチドッグタイマ　制御レジスタ	6.10
WDG_ICL	ハードウェアウォッチドッグタイマ　クリアレジスタ	6.11
WDG_RIS	ハードウェアウォッチドッグタイマ　割込みステータスレジスタ	6.12
WDG_LCK	ハードウェアウォッチドッグタイマ　ロックレジスタ	6.13

6.1 ソフトウェアウォッチドッグタイマ ロードレジスタ(WdogLoad)

WdogLoad レジスタはソフトウェアウォッチドッグタイマの周期を設定します。

レジスタ構成

bit	31	0
Field	WdogLoad	
属性	R/W	
初期値	0xFFFFFFFF	

レジスタ機能

[bit31:0] WdogLoad : インターバル周期設定ビット

bit31:0	説明
書込み時	ソフトウェアウォッチドッグの周期設定を行います。 初期値は"0xFFFFFFFF"です。 書込みの最小値は"0x00000001"になります。 "0x00000000"を書き込んだ場合、割込みが発生します。 (設定によってはすぐにリセット発生します。)
読出し時	設定値が読み出せます。初期値は"0xFFFFFFFF"が読み出されます。

<注意事項>

- *ウォッチドッグタイマ動作中にWdogLoad を書き換えた場合、WdogLoad 値がタイマカウンタに反映され、カウントが継続されます。*
- *ウォッチドッグタイマ停止中にWdogLoad を書き換えた場合、WdogLoad 値はウォッチドッグタイマ起動時にタイマカウンタに反映されます。*

6.2 ソフトウェアウォッチドッグタイマ バリューレジスタ(WdogValue)

WdogValue レジスタはソフトウェアウォッチドッグタイマの現在のカウンタ値を読み出せます。

レジスタ構成

bit	31	0
Field	WdogValue	
属性	R	
初期値	0xFFFFFFFF	

レジスタ機能

[bit31:0] WdogValue : カウンタ値ビット

bit31:0	説明
書込み時	動作に影響しません。
読出し時	現在のウォッチドッグカウンタのカウント値が読み出されます。 起動前に読み出すことにより、初期値"0xFFFFFFFF"が読み出されます。

<注意事項>

- *ツールブレーク時のウォッチドッグタイマの設定については、『ペリフェラルマニュアル』の『クロック』の「5.13. デバッグブレーク ウォッチドッグタイマ制御レジスタ(DBWDT_CTL)」を参照してください。*

6.3 ソフトウェアウォッチドッグタイマ 制御レジスタ(WdogControl)

WdogControl レジスタはソフトウェアウォッチドッグタイマの有効/無効を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			SPM	TWD		RESEN	INTEN
属性	-			R/W	R/W		R/W	R/W
初期値	-			0	00		0	0

レジスタ機能

[bit7:5] 予約 : 予約ビット

これらのビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit4] SPM : ソフトウェアウォッチドッグ ウィンドウウォッチドッグモードイネーブルビット

bit	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	ウィンドウウォッチドッグモード ディセーブル
1 書込み時	ウィンドウウォッチドッグモード イネーブル

<注意事項>

- *INTEN="1"の時には本ビットへの書込みアクセスは無視されます。INTEN="0"の時に書き込んでください。*
- *INTEN="0"の時は本ビットと INTEN への同時書込みは有効です。*
  INTEN="1"の時は本ビットと INTEN への同時書込みは無効です。

[bit3:2] TWD : ソフトウェアウォッチドッグ タイミングウィンドウ設定ビット

bit	説明
読出し時	レジスタの値が読み出されます。
00 書込み時	WdogLoad 以下でのリロードは可能
01 書込み時	WdogLoad の 75%以下でのリロードは可能
10 書込み時	WdogLoad の 50%以下でのリロードは可能
11 書込み時	WdogLoad の 25%以下でのリロードは可能

<注意事項>

- *本ビット設定値は SPM="1"の時のみ有効です。*
- *INTEN="1"の時には本ビットへの書込みアクセスは無視されます。INTEN="0"の時に書き込んでください。*
- *INTEN="0"の時は本ビットと INTEN への同時書込みは有効です。*
  INTEN="1"の時は本ビットと INTEN への同時書込みは無効です。

[bit1] RESEN： ソフトウェアウォッチドッグ　リセットイネーブルビット

bit	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	ウォッチドッグリセット　ディセーブル
1 書込み時	ウォッチドッグリセット　イネーブル

＜注意事項＞

- *SPM="1"の時は本ビットの設定は無効です。*

[bit0] INTEN： ソフトウェアウォッチドッグ　割込み&カウンタイネーブルビット

bit	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	ウォッチドッグ割込み　ディセーブル ウォッチドッグカウンタ　ディセーブル
1 書込み時	ウォッチドッグ割込み　イネーブル ウォッチドッグカウンタ　イネーブル

＜注意事項＞

- *INTEN ビットに"1"を書き込むことにより、ウォッチドッグカウンタは WdogLoad からインターバル周期値をロードし、ソフトウェアウォッチドッグタイマは起動します。*
- *INTEN ビットに"0"を書き込むことにより、ウォッチドッグカウンタは停止します。その後、再度"1"を書き込んだ時、ウォッチドッグカウンタは WdogLoad から周期値をリロードし、再起動します。*
- *INTEN ビットのみに、"1"を書き込むことにより、ウォッチドッグタイマ起動可能です。RESEN ビットのみに、"1"を書き込んでも、ウォッチドッグタイマは起動しません。ウォッチドッグタイマを起動するには、INTEN ビットを"1"に設定してください。詳細は「3. 動作説明」を参照してください。*
- *INTEN ビットに"0"を書き込むことにより、ソフトウェアウォッチドッグタイマ割込みステータスレジスタ(WdogRIS)にある、割込みステータスビット(RIS)もクリアされます。*

6.4 ソフトウェアウォッチドッグタイマ クリアレジスタ(WdogIntClr)

WdogIntClr レジスタはソフトウェアウォッチドッグタイマのクリアを行います。

レジスタ構成

bit	31	0
Field	WdogIntClr	
属性	R/W	
初期値	0xXXXXXXXX	

レジスタ機能

[bit31:0] WdogIntClr : クリアビット

bit31:0	説明
読出し時	不定値が読み出されます。
書込み時	任意の値を書き込むことにより、 - ウォッチドッグタイマの割込みが発生していた場合 ウォッチドッグタイマの割込みをクリアします。 - ウォッチドッグタイマカウンタに WdogLoad レジスタから設定値を リロードします。

6.5 ソフトウェアウォッチドッグタイマ 割込みステータスレジスタ(WdogRIS)

WdogRIS レジスタはソフトウェアウォッチドッグタイマ割込みステータスを示します。

レジスタ構成

bit	7	1	0
Field	予約		RIS
属性	-		R
初期値	-		0

レジスタ機能

[bit7:1] 予約 : 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] RIS : ソフトウェアウォッチドッグ 割込みステータスビット

bit	説明
書込み時	動作に影響しません。
0 読出し時	ウォッチドッグ割込み発生なし
1 読出し時	ウォッチドッグ割込み発生

6.6 ソフトウェアウォッチドッグタイマ　ウィンドウウォッチドッグモード制御レジスタ(WdogSPMC)

WdogSPMC レジスタはソフトウェアウォッチドッグタイマ ウィンドウウォッチドッグモードを制御します。

レジスタ構成

bit	7	1	0
Field	予約		TGR
属性	-		R/W
初期値	-		0

レジスタ機能

[bit7:1] 予約 : 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] TGR : ソフトウェアウォッチドッグ トリガタイプビット

bit	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	以下の条件の場合、割込みを発生します。 - カウンタアンダフローが発生した場合 - タイミングウィンドウ範囲外でカウンタクリア(WdogIntClr ライト)が発生した場合 - タイミングウィンドウ範囲外でカウンタリロード(WdogLoad ライト)が発生した場合
1 書込み時	以下の条件の場合、リセットを発生します。 - カウンタアンダフローが発生した場合 - タイミングウィンドウ範囲外でカウンタクリア(WdogIntClr ライト)が発生した場合 - タイミングウィンドウ範囲外でカウンタリロード(WdogLoad ライト)が発生した場合

<注意事項>

- *本ビットは WdogControl:SPM="1"の時のみ有効です。*
  TGR="1"に設定した場合、WdogControl:RESEN ビットの設定にかかわらず、イベントとしてリセットを発行します。

6.7 ソフトウェアウォッチドッグタイマ ロックレジスタ(WdogLock)

WdogLock レジスタはソフトウェアウォッチドッグタイマの全レジスタのアクセスを制御します。

レジスタ構成

bit	31	0
Field	WdogLock	
属性	R/W	
初期値	0x00000000	

レジスタ機能

[bit31:0] WdogLock : ソフトウェアウォッチドッグロックレジスタ

bit31:0	説明
書込み時	"0x1ACCE551" : ソフトウェアウォッチドッグタイマの全レジスタのロックが解除されます。 "0x1ACCE551"以外の値 : ソフトウェアウォッチドッグタイマの全レジスタへのロックが有効になります。
読出し時	"0x00000000" : ロックは解除されています。 "0x00000001" : ロックは解除されていません。

<注意事項>

- *初期値ではロックは有効ではありません。ソフトウェアウォッチドッグ起動後にロック有効にしてください。*
- *ロック解除後、ソフトウェアウォッチドッグタイマ クリアレジスタ(WdogIntClr)へのアクセス可能です。*
- *クリアレジスタ(WdogIntClr)へのアクセス後、自動的にロックは有効になりません。クリアシーケンスでは、毎回 ロック解除→クリア→ロック有効 を組み込むようにしてください。*
- *ロックを解除していないときにソフトウェアウォッチドッグの各レジスタにアクセスした場合、読出しは有効で各レジスタの値が読み出せます。書込みは無効になります。*

6.8 ハードウェアウォッチドッグタイマ　ロードレジスタ(WDG_LDR)

WDG_LDR レジスタはハードウェアウォッチドッグタイマの周期を設定します。

レジスタ構成

bit	31	0
Field	WDG_LDR	
属性	R/W	
初期値	0x0000FFFF	

レジスタ機能

[bit31:0] WDG_LDR： インターバル周期設定ビット

bit31:0	説明
書込み時	ハードウェアウォッチドッグの周期設定を行います。 初期値は"0x0000FFFF"です。 書込みの最小値は"0x00000001"になります。 "0x00000000"を書き込んだ場合、割込みが発生します。
読出し時	設定値が読み出せます。初期値は"0x0000FFFF"が読み出されます。

<注意事項>

- *ウォッチドッグタイマ動作中にWDG_LDR を書き換えた場合、WDG_LDR 値がタイマカウンタに反映され、カウントが継続されます。*
- *ウォッチドッグタイマ停止中にWDG_LDR を書き換えた場合、WDG_LDR 値はウォッチドッグタイマ起動時にタイマカウンタに反映されます。*
- *ウォッチドッグタイマの割込みが発生していたときに、WDG_LDR を書き換えた場合、ウォッチドッグタイマの割込みをクリアします。*
- *本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。*

6.9 ハードウェアウォッチドッグタイマ　バリューレジスタ(WDG_VLR)

WDG_VLR レジスタはハードウェアウォッチドッグタイマの現在のカウンタ値を読み出せます。

レジスタ構成

bit	31	0
Field	WDG_VLR	
属性	R	
初期値	0xXXXXXXXX	

レジスタ機能

[bit31:0] WDG_VLR : カウンタ値ビット

bit31:0	説明
読出し時	現在のウォッチドッグカウンタのカウント値が読み出せます。 ハードウェアウォッチドッグは電源投入後、自動的に起動するため、読出し時には既にダウンカウントは開始しています。電源投入後や、リセット後の初期値"0x0000FFFF"からデクリメントされた値が読み出されます。
書込み時	動作に影響しません。

<注意事項>

- *本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。*
- *本レジスタはツールブレーク時にウォッチドッグタイマが停止するときのみ正確な値の読出しが可能です。ツールブレーク時のウォッチドッグタイマの設定については、『ペリフェラルマニュアル』の『クロック』の「5.13. デバッグブレーク ウォッチドッグタイマ制御レジスタ(DBWDT_CTL)」を参照してください。ツールブレーク時以外の動作時の読出し値は、バスクロックに対し、非同期読出しになるため、正確な値ではないことがあります。その場合は、2 回読み出した後、値を比較するなどの対応をしてください。*

6.10 ハードウェアウォッチドッグタイマ　制御レジスタ(WDG_CTL)

WDG_CTL レジスタはハードウェアウォッチドッグタイマの有効/無効を設定します。

レジスタ構成

bit	7	2	1	0
Field	予約		RESEN	INTEN
属性	-		R/W	R/W
初期値	-		1	1

レジスタ機能

[bit7:2] 予約: 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] RESEN : ハードウェアウォッチドッグ　リセットイネーブルビット

bit	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	ウォッチドッグリセット　ディセーブル
1 書込み時	ウォッチドッグリセット　イネーブル

[bit0] INTEN : ハードウェアウォッチドッグ　割込み&カウンタイネーブルビット

bit	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	ウォッチドッグ割込み　ディセーブル ウォッチドッグカウンタ　ディセーブル
1 書込み時	ウォッチドッグ割込み　イネーブル ウォッチドッグカウンタ　イネーブル

<注意事項>

- *INTEN ビットに"0"を書き込むことにより、ウォッチドッグカウンタは停止します。その後、再度"1"を書き込んだ時、ウォッチドッグカウンタはWDG_LDR レジスタから周期値をリロードし、カウンタ起動します。*
- *INTEN ビットのみに、"1"を書き込むことにより、ウォッチドッグタイマ起動可能です。RESEN ビットのみに、"1"を書き込んでも、ウォッチドッグタイマは起動しません。ウォッチドッグタイマ起動するには、INTEN ビットを"1"に設定してください。*
- *本レジスタにアクセスするためには、ハードウェアウォッチドッグタイマ ロックレジスタ(WDG_LCK)に"0x1ACCE551"書込み後、反転値"0xE5331AAE"書き込み、ロック解除をしてください。*
- *本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。*
- *INTEN ビットに"0"を書き込むことにより、ハードウェアウォッチドッグタイマ割込みステータスレジスタ(WDG_RIS)にある、割込みフラグもクリアされます。*

6.11 ハードウェアウォッチドッグタイマ　クリアレジスタ(WDG_ICL)

WDG_ICL レジスタはハードウェアウォッチドッグタイマのクリアを行います。

レジスタ構成

bit	7	0
Field	WDG_ICL	
属性	R/W	
初期値	0xXX	

レジスタ機能

[bit7:0] WDG_ICL : クリアビット

bit7:0	説明
読出し時	不定値が読み出されます。
書込み時	任意の 8 ビットの値を書き込んだ後、続けて任意の値の反転値を書き込むことにより、以下の動作をします。 - ウォッチドッグタイマの割込みが発生していた場合、ウォッチドッグタイマの割込みをクリアします。 - ウォッチドッグタイマカウンタに WDG_LDR レジスタから設定値をリロードします。

<注意事項>

- *本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。*

6.12 ハードウェアウォッチドッグタイマ　割込みステータスレジスタ(WDG_RIS)

WDG_RIS レジスタはハードウェアウォッチドッグタイマ割込みのステータスを示します。

レジスタ構成

bit	7	1	0
Field	予約		RIS
属性	-		R
初期値	-		0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] RIS : ハードウェアウォッチドッグ　割込みステータスビット

bit	説明
書込み時	動作に影響しません。
0 読出し時	ハードウェアウォッチドッグ割込み発生なし
1 読出し時	ハードウェアウォッチドッグ割込み発生

<注意事項>

- *本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。*

6.13 ハードウェアウォッチドッグタイマ　ロックレジスタ(WDG_LCK)

WDG_LCK レジスタはハードウェアウォッチドッグタイマの全レジスタのアクセスを制御します。

レジスタ構成

bit	31	0
Field	WDG_LCK	
属性	R/W	
初期値	0x00000001	

レジスタ機能

[bit31:0] WDG_LCK : ハードウェアウォッチドッグ　ロックレジスタ

bit31:0	説明
書込み時	"0x1ACCE551"書込み時: 　制御レジスタ以外の全レジスタのロックが解除されます。 その後、反転値"0xE5331AAE"書込み時: 　全レジスタのロックが解除されます。 上記手順および"0x1ACCE551"以外の書込み時: 　全レジスタのロックが有効になります。
読出し時	"0x00000000" : ロックは解除されています。 "0x00000001" : ロックは解除されていません。

<注意事項>

- *本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。*
- *ロックを解除していないときにハードウェアウォッチドッグの各レジスタにアクセスした場合、読出しは有効で各レジスタの値が読み出せます。書込みは動作に影響しません。*

7. 使用上の注意

ウォッチドッグタイマの使用上の注意を説明します。

■ ハードウェアウォッチドッグタイマ　クリアレジスタについて

ハードウェアウォッチドッグクリア時は、任意の 8 ビット値を書き込んだ後、続けて任意の値の反転値を書き込んでください。任意の値の反転値として、正しい値が書き込まれない場合、クリアはされません。また、クリアがされなくても、再度レジスタはロックされます。

■ デバッグツールとの連携について

デバッグツールにより、ツールブレークをかけたとき、レジスタの設定によりウォッチドッグタイマのカウンタの継続/停止の設定ができます。ウォッチドッグタイマのデバッグ中の動作の詳細については、『ペリフェラルマニュアル』の『クロック』の章を参照してください。

■ スタンバイモード時の動作について

意図しないプログラム動作でスタンバイモードに遷移し、ウォッチドッグタイマを停止させることのないように、スタンバイモードの設定時にキーレジスタに書込みをしてください。詳細は、『ペリフェラルマニュアル』の『低消費電力モード』の章を参照してください。

■ ウォッチドッグリセットの発生はリセット要因レジスタで確認できます。詳細は、『ペリフェラルマニュアル』の『リセット』の章の『4.1. リセット要因レジスタ(RST_STR : ReSeT STatus Register)』を参照してください。

■ 割込み要因は、『ペリフェラルマニュアル』の『割込み』の章の『3.3. EXC02 一括読出しレジスタ(EXC02MON)』,『3.5. IRQ001 一括読出しレジスタ(IRQ001MON)』を参照してください。

■ ソフトウェアウォッチドッグのカウントクロックは APB クロックの分周クロックを使用します。

カウントクロックの分周設定については、『ペリフェラルマニュアル』の『クロック』の章を参照してください。

■ ハードウェアウォッチドッグと割込みハンドラについて

ハードウェアウォッチドッグにて、WDG_CTL のロック解除前(WDG_CTL 以外のロック解除後)、ほかの割込みが有効になり、割込みハンドラに処理が移行した場合、ロック解除の回数がハードウェア的に不明になります。割込みハンドラの先頭で、WDG_LCK レジスタに書込みを行い、ロックをかけてください。

CHAPTER 2: デュアルタイマ

デュアルタイマの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

管理コード: 9BFDT-FM0-J03.0_SP804-E01.0

1. 概要

デュアルタイマは、2 つのプログラム可能な 32/16 ビットのダウンカウンタで構成されています。カウンタはゼロになると割込みを発生します。

デュアルタイマの概要

デュアルタイマは、2 つのプログラム可能なフリーランカウンタで構成されています。それぞれのタイマ部の動作は同一です。フリーランカウンタは、制御レジスタにより 32 ビットか 16 ビットかのどちらかのカウンタサイズに構成できます。また以下の 3 つのタイマモードのうちの 1 つに構成できます。

- フリーランモード
  カウンタがゼロになると、カウンタは最大値へ巡回して継続動作します。
- 周期モード
  カウンタがゼロになると、カウンタはロードレジスタからリロードして継続動作します。
- ワンショットモード
  ロードレジスタ(TimerXLoad)に書き込むと、カウンタは新しい値をロードします。カウンタがゼロになると、カウンタは再度プログラムするまで停止します。

2 つのフリーランカウンタは、共通のタイマクロック(TIMCLK)で動作します。タイマクロックは APB バスクロック(PCLK)を使用します。また、それぞれのフリーランカウンタには 1, 16, 256 に分周できるプリスケーラがあります。よって、個々のプリスケーラを使用して、それぞれのフリーランカウンタのカウント速度を制御できます。

ロードレジスタ(TimerXLoad)に書き込むとタイマカウント値をロードします。そしてタイマカウンタが許可状態のとき、タイマクロックとプリスケーラ設定により決定した速度でタイマはデクリメントします。タイマカウンタ動作中にロードレジスタへ書き込むと、カウンタは直ぐに新しい値から再スタートします。

タイマカウントをロードする別の方法は、バックグランドロードレジスタ(TimerXBGLoad)に書き込むことです。この場合、書込み後すぐには現在のカウント値に影響せずに、カウンタはデクリメントを続けます。そしてカウンタがゼロになったとき、周期モード設定の場合、新しいロード値をタイマカウンタにリロードします。

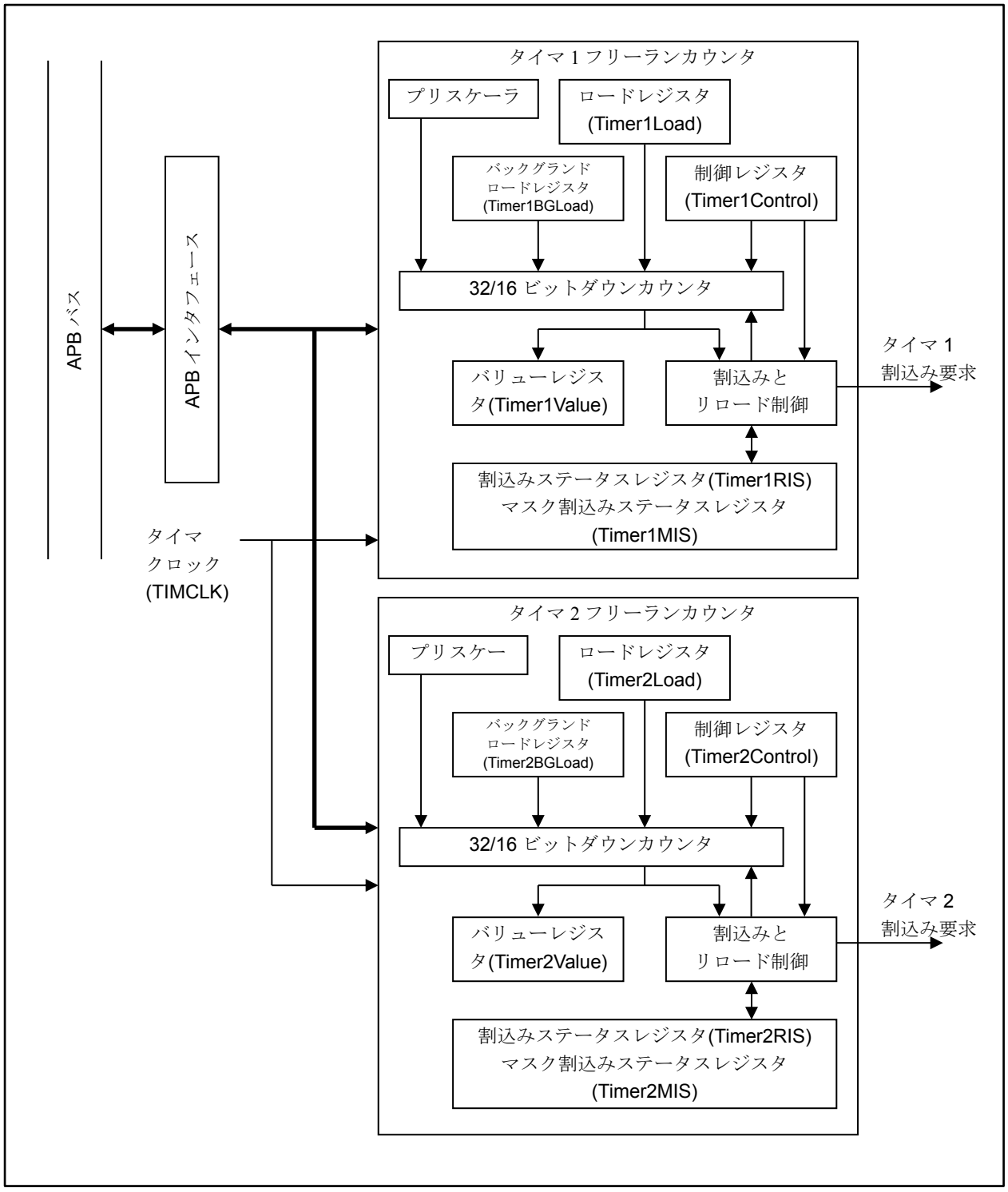
タイマカウントがゼロになると割込みが発生します。割込みは、割込みクリアレジスタ(TimerXIntClr)に書き込むことでクリアします。また、割込み出力信号はマスク割込みレジスタでマスクできます。

現在のカウント値は、いつでもバリューレジスタ(TimerXValue)から読み出せます。

2. 構成

デュアルタイマの構成を示します。

Figure 2-1 デュアルタイマのブロックダイヤグラム



3. 動作説明

デュアルタイマの動作について説明します。

3.1. タイマ動作モード
3.2. 初期状態
3.3. 割込み動作

3.1 タイマ動作モード

動作モードは、3 つのタイマモードから制御レジスタ(TimerXControl)のモードビット(TimerMode)とワンショットモードビット(OneShot)の設定で選択します。

Table 3-1 モード選択表

TimerMode	OneShot	選択モード
0	0	フリーランモード
1	0	周期モード
-	1	ワンショットモード

カウンタ動作が 32 ビットか 16 ビットかは、制御レジスタのタイマサイズビット(TimerSize)で適切に設定します。

<注意事項>

- *本章でレジスタ名にある文字"X"は、フリーランカウンタ 1 か 2 のどちらのレジスタであるかを意味します。*

フリーランモード

リセットによりタイマ値は 0xFFFFFFFF に初期化されます。そしてカウンタが許可状態のとき、タイマクロック(TIMCLK)の立上りエッジでカウントが 1 ずつデクリメントします。あるいは、ロードレジスタ(TimerXLoad)に書き込むと、新規のカウンタ初期値をロードできます。そしてカウンタがイネーブルならば、カウンタはこのロード値からデクリメントを開始します。

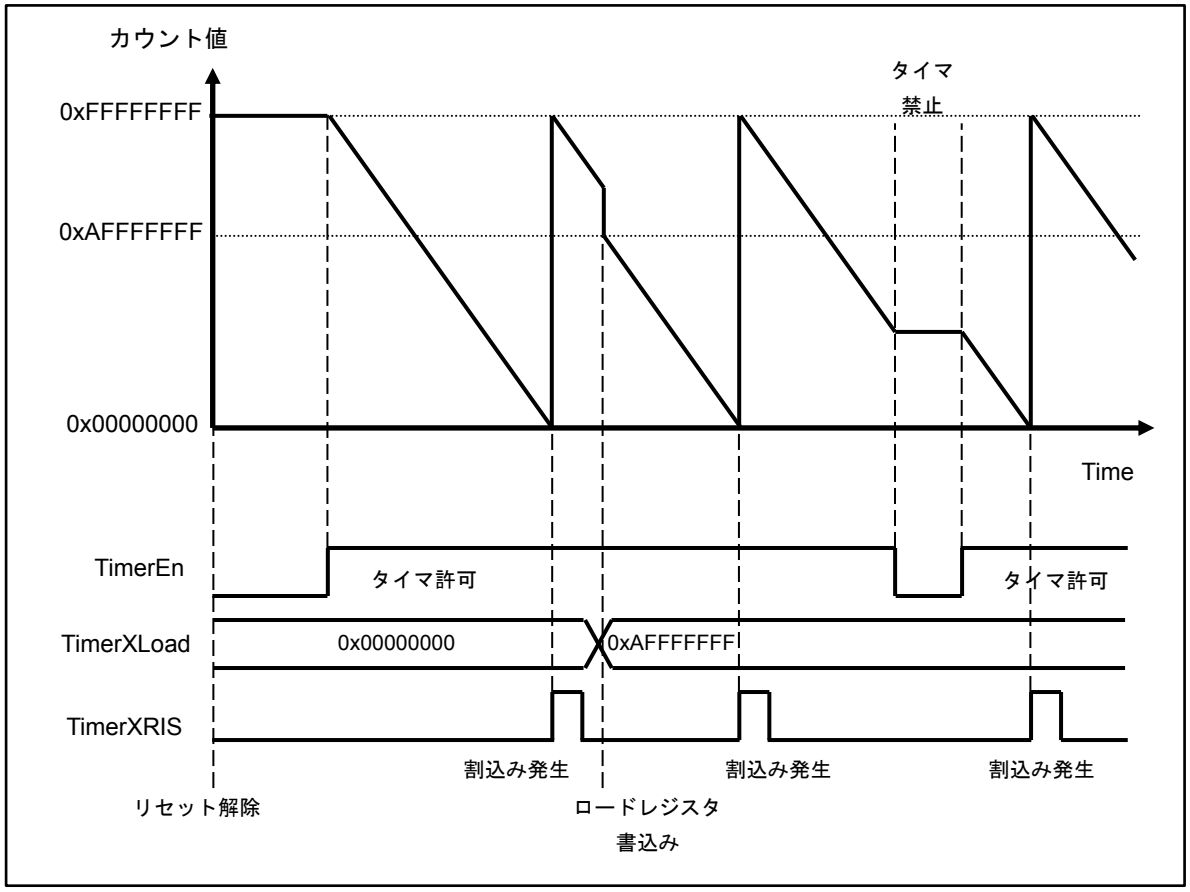
32 ビットモードでは、カウントがゼロ(0x00000000)となると割込みが発生します。そしてロードレジスタの値にかかわらず 0xFFFFFFFF へ巡回します。カウンタは再度デクリメントを開始して、カウンタが許可状態のときはこの一連のサイクルを繰り返します。

16 ビットモードでは、カウンタの下位 16 ビットだけがデクリメントします。カウントが 0x0000 となると割込みが発生します。そしてロードレジスタの値にかかわらず 0xFFFF へ巡回します。

制御レジスタ(TimerXControl)のイネーブルビット(TimerEn)をクリアしてカウンタがディセーブルになると、カウンタは停止して現在値を保持します。再度カウンタが許可状態になると、カウンタは現在値からデクリメントを続けます。

カウンタ値はいつでもバリューレジスタ(TimerXValue)から読み出せます。

Figure 3-1 フリーランモードの動作(32 ビットモード)



周期モード

カウンタ初期値はロードレジスタ(TimerXLoad)に書き込むことでロードされます。そして、カウンタが許可状態になると、カウンタはこの値からデクリメントを開始します。

32 ビットモードでは、カウンタの 32 ビットがデクリメントしてカウントがゼロ(0x00000000)になったときに割込みが発生します。そしてカウンタはロードレジスタの値をリロードします。カウンタは再度デクリメントを開始して、カウンタが許可状態のときはこの一連のサイクルを繰り返します。

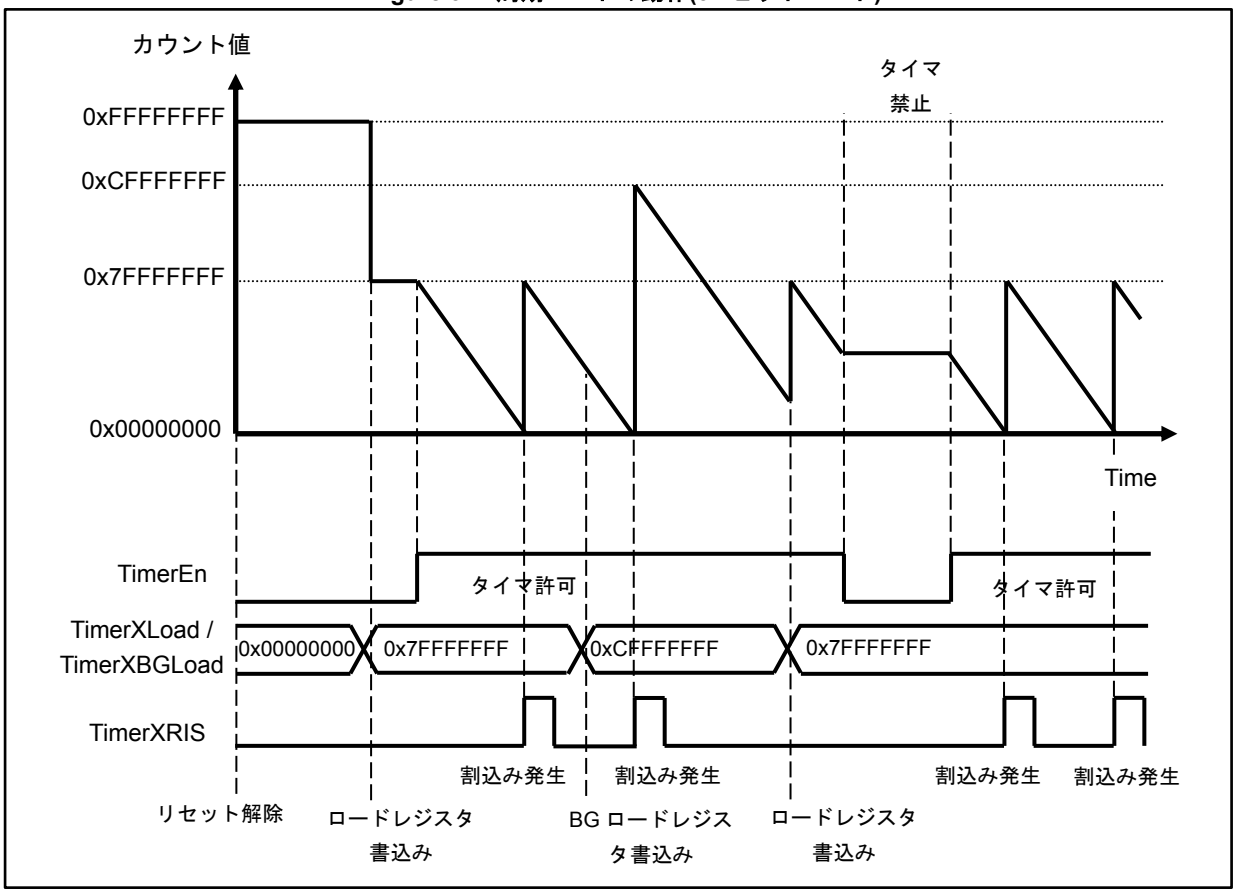
16 ビットモードでは、カウンタの下位 16 ビットだけデクリメントします。カウントが 0x0000 となると割込みが発生します。そしてカウンタはロードレジスタの値をリロードします。カウンタは再度デクリメントを開始して、カウンタが許可状態のときはこの一連のサイクルを繰り返します。

カウンタ動作中に新しい値をバックグランドロードレジスタ(TimerXBGLoad)に書き込むと、ロードレジスタにも同じロード値にアップデートしますが、カウンタはゼロへのデクリメントを続けます。カウンタはゼロとなると新しい値をリロードして、タイマが周期モード設定のときはこの新しいロード値をその後の各リロードに使用します。

カウンタ動作中、ロードレジスタに書き込んで新しい値をカウンタにロードする場合、その次のタイマクロックでカウンタ値が新しいロード値へ変わります。

制御レジスタ(TimerXControl)のイネーブルビット(TimerEn)をクリアしてカウンタがカウント禁止になると、カウンタは停止して現在値を保持します。再度カウンタが許可状態になると、カウンタは現在値からデクリメントを続けます。

Figure 3-2 周期モードの動作(32 ビットモード)



ワンショットモード

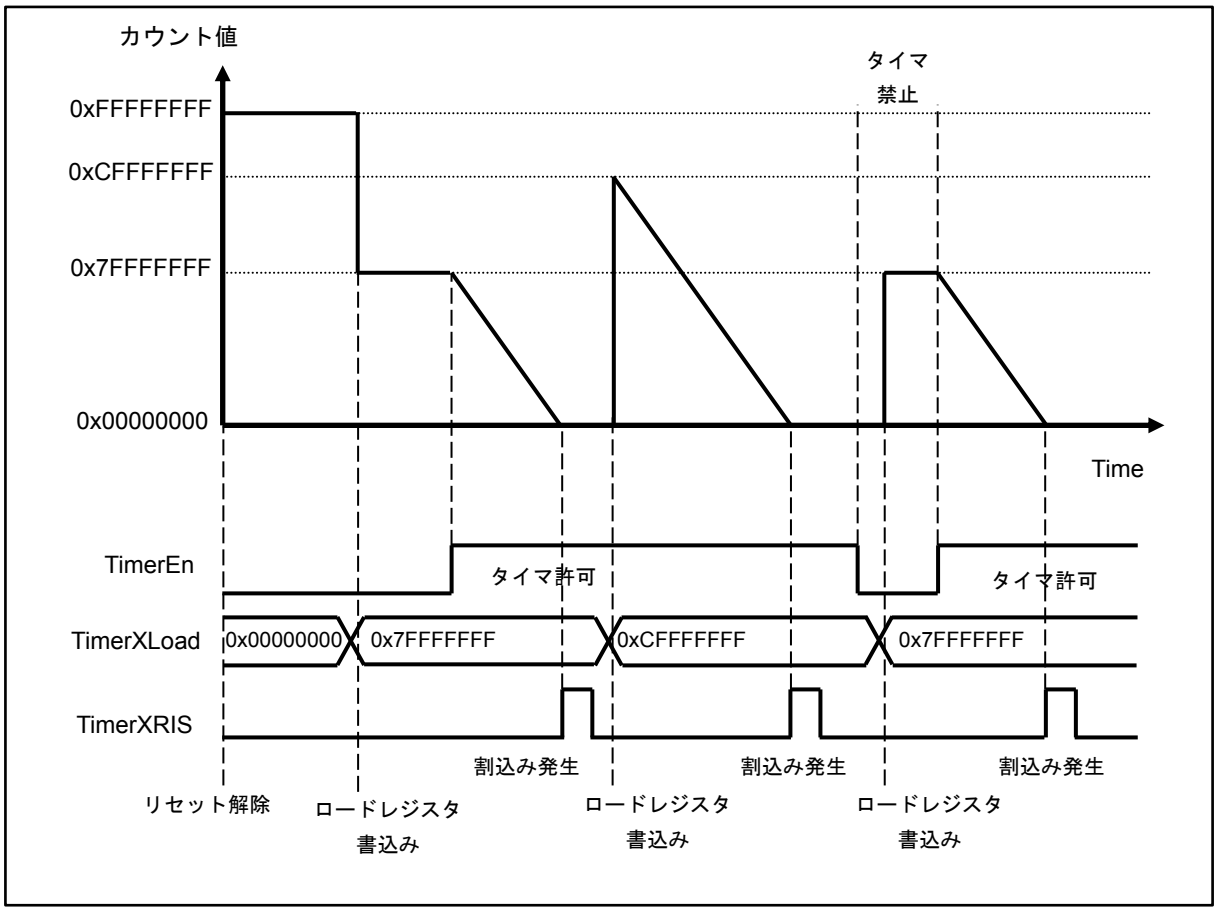
ワンショットモードでカウントダウンシーケンスを始めるために、新しいロード値をロードレジスタ(TimerXLoad)に書き込みます。カウンタが許可状態のとき、この値からデクリメントを開始します。

32 ビットモードでは、カウンタの 32 ビットがデクリメントしてカウントがゼロ(0x00000000)となったとき、割込みが発生します。そしてカウンタは停止します。

16 ビットモードでは、カウンタの下位 16 ビットだけデクリメントします。カウントが 0x0000 となると割込みが発生します。そしてカウンタは停止します。

ワンショットモードは、ロードレジスタに新しい値を書き込むことで再度起動できます。その次のタイマクロックでカウンタ値が新しいロード値へ変わります。

Figure 3-3 ワンショットモードの動作(32 ビットモード)



3.2 初期状態

リセット後、タイマは以下の状態に初期化されます。

- タイマカウンタディセーブル
- フリーランモード選択
- 16 ビットカウンタモード選択
- プリスケーラ 1 分周設定
- 割込みクリア、かつ割込み許可状態
- ロードレジスタはゼロに設定
- カウンタ値は 0xFFFFFFFF に設定

3.3 割込み動作

割込み動作について説明します。

割込み許可(IntEnable=1)で、カウンタが 0x00000000(32 ビットモード時)、または 0xXXXX0000(16 ビットモード時)となれば割込みが発生します。16 ビットモード時にはカウンタ上位 16 ビットは無視されます。

割込みは、割込みクリアレジスタ(TimerXIntClr)に書き込むことでクリアします。

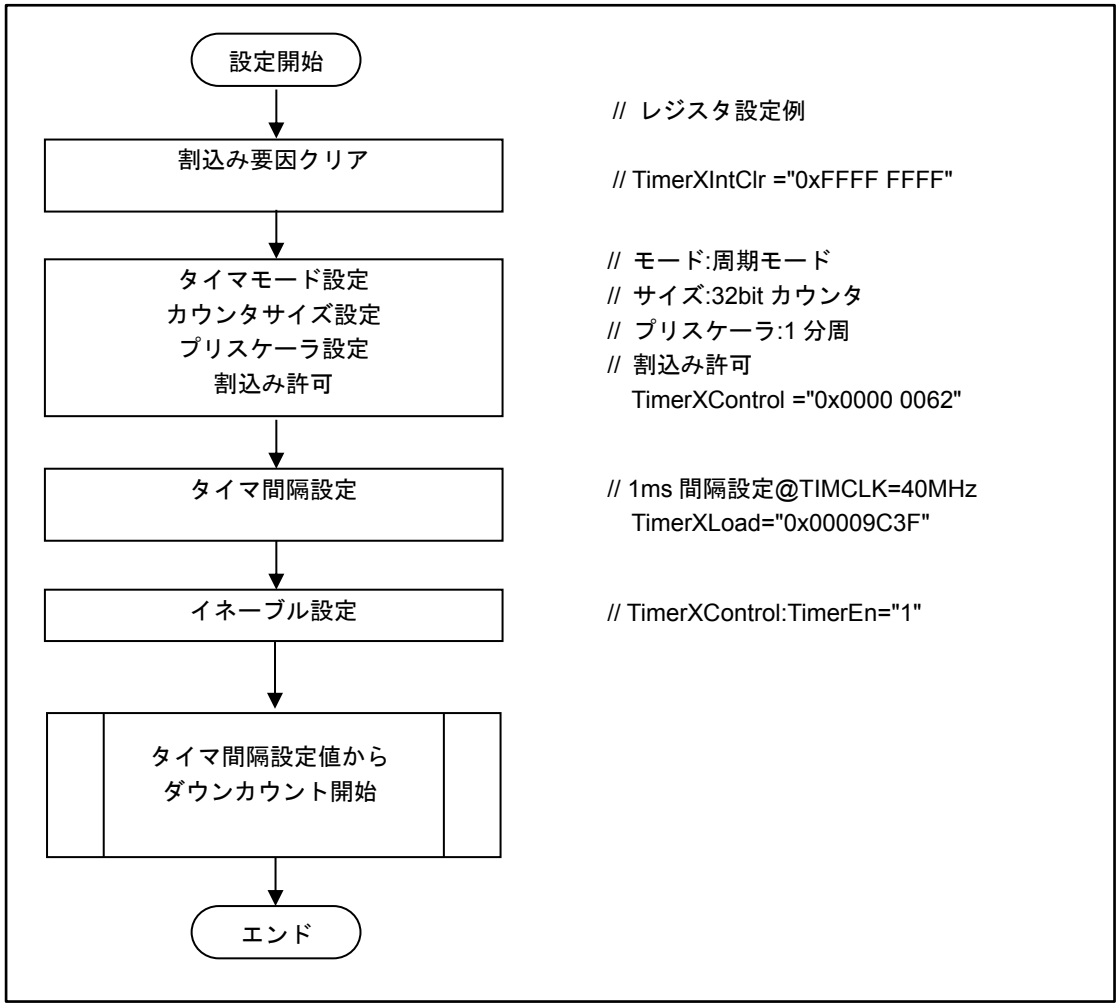
タイマで発生した割込み信号は、制御レジスタ(TimerXControl)の割込み許可ビット(IntEnable)を 0 に設定するとマスクできます。マスクする前の実際の割込み状態は割込みステータスレジスタ(TimerXRIS)から読み出せます。また、マスクされた割込み状態はマスク割込みステータスレジスタ(TimerXMIS)から読み出せます。

4. 設定手順例

デュアルタイマの設定手順例を説明します。

デュアルタイマ設定手順フロー

Figure 4-1 周期モード設定手順例



タイマ間隔設定

各モードにおけるタイマ間隔の計算式を Table 4-1 **タイマ間隔計算式**で示します。

Table 4-1 タイマ間隔計算式

モード	タイマ間隔
フリーラン 32 ビット	$(PRESCALE_{DIV} / TIMCLK_{FREQ}) \times 2^{32}$
フリーラン 16 ビット	$(PRESCALE_{DIV} / TIMCLK_{FREQ}) \times 2^{16}$
周期 & ワンショット	$(PRESCALE_{DIV} / TIMCLK_{FREQ}) \times$ (TimerXLoad +1)

- $TIMCLK_{FREQ}$ はタイマクロック(TIMCLK)の周波数
- $PRESCALE_{DIV}$ は制御レジスタ(TimerXControl)の bit3:2 で設定した 1, 16 または 256 のプリスケーラ分周値
- TimerXLoad はロードレジスタ(TimerXLoad)の値

例えば、$TIMCLK_{FREQ}$=40MHz, $PRESCALE_{DIV}$=1 の場合、1ms タイマ間隔を設定するためのロードレジスタ(TimerXLoad)の値は次のように計算できます。

$$\text{TimerXLoad} = \text{タイマ間隔} \times TIMCLK_{FREQ} / PRESCALE_{DIV} - 1$$
$$= 1\text{ms} \times 40\text{ MHz} / 1 = 4 \times 10^4 = 0\text{x}00009C3F$$

<注意事項>

- *ロードレジスタ(TimerXLoad)の最小有効値は"0x00000001"です。もしロードレジスタ(TimerXLoad)に"0x00000000"を設定すると、すぐに割込みが発生します。*

5. レジスタ

デュアルタイマで使用するレジスタの構成と機能について説明します。

デュアルタイマのレジスター覧

レジスタ略称	レジスタ名	参照先
Timer1Load	タイマ 1 ロードレジスタ	5.1
Timer1Value	タイマ 1 バリューレジスタ	5.2
Timer1Control	タイマ 1 制御レジスタ	5.3
Timer1IntClr	タイマ 1 割込みクリアレジスタ	5.4
Timer1RIS	タイマ 1 割込みステータスレジスタ	5.5
Timer1MIS	タイマ 1 マスク割込みステータスレジスタ	5.6
Timer1BGLoad	タイマ 1 バックグランドロードレジスタ	5.7
Timer2Load	タイマ 2 ロードレジスタ	5.1
Timer2Value	タイマ 2 バリューレジスタ	5.2
Timer2Control	タイマ 2 制御レジスタ	5.3
Timer2IntClr	タイマ 2 割込みクリアレジスタ	5.4
Timer2RIS	タイマ 2 割込みステータスレジスタ	5.5
Timer2MIS	タイマ 2 マスク割込みステータスレジスタ	5.6
Timer2BGLoad	タイマ 2 バックグランドロードレジスタ	5.7

5.1 ロードレジスタ(TimerXLoad) X=1 or 2

ロードレジスタ(TimerXLoad)は、32 ビットレジスタでカウンタのデクリメント開始値を設定するレジスタです。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	TimerXLoad[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TimerXLoad[15:0]															
属性	R/W															
初期値	0x0000															

[bit31:0] TimerXLoad : タイマ X ロードビット

本レジスタに直接書き込むと、次のタイマクロックですぐに現在のカウント値が新しい値に設定されます。また、周期モード設定時には、現在のカウントがゼロとなったときにこの値をリロードするために使います。

また、バックグランドロードレジスタ(TimerXBGLoad)値を書き込むと、本レジスタも上書きされますがそのときは現在のカウント値はすぐには影響を受けません。

ロードレジスタ(TimerXLoad)とバックグランドロードレジスタ(TimerXBGLoad)のどちらかに書き込んだ後は、いつ読み出しても最後に書き込まれたレジスタ値を返します。つまり、ロードレジスタ(TimerXLoad)とバックグランドロードレジスタ(TimerXBGLoad)からは同じ値が読み出され、その値は周期モードでカウンタがゼロになった後に常にリロードする値です。

<注意事項>

- *ロードレジスタ(TimerXLoad)の最小有効値は 0x00000001 です。もしロードレジスタ(TimerXLoad)に 0x00000000 を設定すると、すぐに割込みが発生します。*

5.2 バリューレジスタ(TimerXValue) X=1 or 2

バリューレジスタ(TimerXValue)は、32 ビットのリードオンリレジスタでデクリメントカウンタの現在値を示します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	TimerXValue[31:16]															
属性	R															
初期値	0xFFFF															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TimerXValue[15:0]															
属性	R															
初期値	0xFFFF															

[bit31:0] TimerXValue： タイマ X バリュービット

ロードレジスタ(TimerXLoad)への新しいロード値書込みのロード動作後、このバリューレジスタ(TimerXValue)にはすぐに新しいロード値が反映されます。

<注意事項>

- *16 ビットタイマモード時、バリューレジスタ(TimerXValue)32 ビットの上位 16 ビットは自動的に 0 には設定されません。例えば、タイマが 32 ビットモードから 16 ビットモードへの変更後、ロードレジスタ(TimerXLoad)への書込みが発生していない場合、バリューレジスタの上位 16 ビットはゼロではない値が残っています。*

5.3 制御レジスタ(TimerXControl) X=1 or 2

制御レジスタ(TimerXControl)は、タイマを制御します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	-															
初期値	0xXXXX															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								Timer En	Timer Mode	Int Enable	予約	TimerPre		Timer Size	One Shot
属性	-								R/W							
初期値	0xXX								0	0	1	0	00		0	0

[bit31:8] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit7] TimerEn : イネーブルビット

bit	説明
0	タイマ ディセーブル [初期値]
1	タイマ イネーブル

[bit6] TimerMode : モードビット

bit	説明
0	フリーランモード [初期値]
1	周期モード

[bit5] IntEnable : 割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可 [初期値]

[bit4] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit3:2] TimerPre : プリスケールビット

bit3	bit2	説明
0	0	クロック 1 分周 [初期値]
0	1	クロック 16 分周
1	0	クロック 256 分周
1	1	設定禁止

[bit1] TimerSize : カウンタサイズビット

16/32 ビットカウンタ動作を選択します。

bit	説明
0	16 ビットカウンタ [初期値]
1	32 ビットカウンタ

[bit0] OneShot : ワンショットモードビット

ワンショットモードまたはカウンタ巡回モード(フリーランモード/周期モード)を選択します。フリーランモードまたは周期モードの設定はモードビット(TimerMode)で行います。

bit	説明
0	巡回モード(フリーランモード/周期モード) [初期値]
1	ワンショットモード

<注意事項>

- *タイマ動作中に、カウンタモード, サイズ, プリスケール設定の変更は禁止です。*
  設定を変更する場合は、以下の手順で行ってください。

  1. *タイマをディセーブルにしてから新しい設定値を各レジスタへ書き込んでください。*
  2. *設定変更完了後、再度イネーブルにしてください。*

  本手順で設定しないと、デバイスが予期せぬ動作をします。

5.4 割込みクリアレジスタ(TimerXIntClr) X=1 or 2

割込みクリアレジスタ(TimerXIntClr)は、割込みをクリアします。

bit	31															16
Field	TimerXIntClr[31:16]															
属性	W															
初期値	0xXXXX															

bit	15															0
Field	TimerXIntClr[15:0]															
属性	W															
初期値	0xXXXX															

[bit31:0] TimerXIntClr： 割込みクリアビット

本レジスタに任意の値を書き込むと、カウンタからの割込み出力をクリアします。

5.5 割込みステータスレジスタ(TimerXRIS) X=1 or 2

割込みステータスレジスタ(TimerXRIS)は、マスクされていない割込みステータスを示します。

bit	31															16
Field	予約															
属性	-															
初期値	0xXXXX															

bit	15														1	0
Field	予約															Timer XRIS
属性	-															R
初期値	XXXXXXXXXXXXXXX															0

[bit31:1] 予約 : 予約ビット

読出し値は不定です。

書込みは動作に影響しません。

[bit0] TimerXRIS :割込みステータスレジスタビット

bit	説明
0	カウンタから割込み発生なし [初期値]
1	カウンタから割込み発生

5.6 マスク割込みステータスレジスタ(TimerXMIS) X=1 or 2

マスク割込みステータスレジスタ(TimerXMIS)は、マスクされた割込みステータスを示します。

bit	31															16
Field	予約															
属性	-															
初期値	0xXXXX															

bit	15														1	0
Field	予約															Timer XMIS
属性	-															R
初期値	XXXXXXXXXXXXXXX															0

[bit31:1] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit0] TimerXMIS : マスク割込みステータスビット

本ビットは、割込みステータスと制御レジスタ(TimerXControl)のタイマ割込み許可ビット(IntEnable)との論理AND の値です。そして本ビットと同じ値が割込み出力信号へ接続されます。

bit	説明
0	カウンタから割込み発生なし[初期値]
1	カウンタから割込み発生

5.7 バックグランドロードレジスタ(TimerXBGLoad) X=1 or 2

バックグランドロードレジスタ(TimerXBGLoad)は、カウンタがデクリメントを開始する値を入れておく 32 ビットレジスタです。

bit	31															16
Field	TimerXBGLoad[31:16]															
属性	R/W															
初期値	0x0000															

bit	15															0
Field	TimerXBGLoad[15:0]															
属性	R/W															
初期値	0x0000															

[bit31:0] TimerXBGLoad : バックグランドロードビット

本レジスタは、周期モード設定で現在のカウント値がゼロとなったときにリロードするために使います。フリーランモードやワンショットモードでは使用しません。

本レジスタへの書込みはロードレジスタ(TimerXLoad)への書込みとは別のリロード動作をします。その違いは、ロードレジスタへの書込みはすぐに新しい値からカウントが開始されますが、このレジスタへの書込みはすぐにその新しい値からカウンタが再スタートしません。

ロードレジスタとバックグランドロードレジスタ(TimerXBGLoad)のどちらかに書き込んだ後は、いつ読み出しても最後に書き込まれたレジスタ値を返します。つまり、ロードレジスタ(TimerXLoad)とバックグランドロードレジスタ(TimerXBGLoad)からは同じ値が読み出され、その値は周期モードでカウンタがゼロになった後に常にリロードする値です。

CHAPTER 3-1: 時計カウンタプリスケーラ

時計カウンタプリスケーラの機能と動作について示します。

1. 時計カウンタプリスケーラの概要
2. 時計カウンタプリスケーラの構成
3. 時計カウンタプリスケーラの動作説明と設定手順例
4. 時計カウンタプリスケーラのレジスタ

管理コード: 9BFWCPRE_FM0-J03.0

1. 時計カウンタプリスケーラの概要

時計カウンタプリスケーラは、時計カウンタで使用するカウンタクロックを生成するプリスケーラです。

時計カウンタプリスケーラ

時計カウンタのカウントクロックを生成するプリスケーラです。

入力クロック(F_{CL})としてメインクロック，サブクロック，高速 CR, CLKLC を選択可能です。時計カウンタプリスケーラは、クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット(SEL_OUT[2:0])を設定することで、Table 1-1 に示す分周クロック(WCCK0～WCCK3)を出力します。

Table 1-1 時計カウンタプリスケーラで生成される分周クロック

SEL_OUT[2:0]	WCCK3	WCCK2	WCCK1	WCCK0
000	$2^{15}/F_{CL}$	$2^{14}/F_{CL}$	$2^{13}/F_{CL}$	$2^{12}/F_{CL}$
001	$2^{25}/F_{CL}$	$2^{24}/F_{CL}$	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$
010	$2^{4}/F_{CL}$	$2^{3}/F_{CL}$	$2^{2}/F_{CL}$	$2/F_{CL}$
011	$2^{8}/F_{CL}$	$2^{7}/F_{CL}$	$2^{6}/F_{CL}$	$2^{5}/F_{CL}$
100	$2^{12}/F_{CL}$	$2^{11}/F_{CL}$	$2^{10}/F_{CL}$	$2^{9}/F_{CL}$
101	$2^{19}/F_{CL}$	$2^{18}/F_{CL}$	$2^{17}/F_{CL}$	$2^{16}/F_{CL}$
110	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$	$2^{21}/F_{CL}$	$2^{20}/F_{CL}$

SEL_OUT[2:0] :クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット

F_{CL} :入力クロックの周波数

＜注意事項＞

- *CLKLC は低速 CR を低速 CR プリスケーラで分周したクロックを示します。*

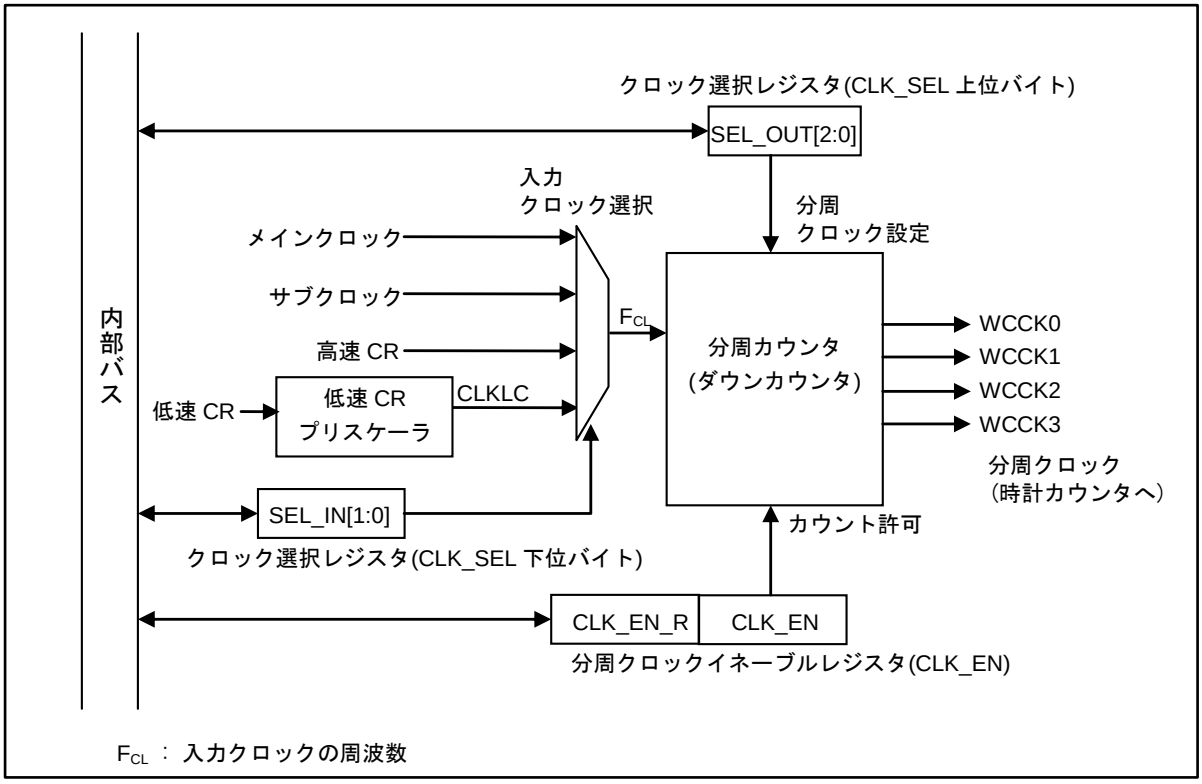
2. 時計カウンタプリスケーラの構成

時計カウンタプリスケーラのブロックダイヤグラムを示します。

時計カウンタプリスケーラのブロックダイヤグラム

時計カウンタプリスケーラのブロックダイヤグラムを Figure 2-1 に示します。

Figure 2-1 時計カウンタプリスケーラのブロックダイヤグラム



■ クロック選択レジスタ(CLK_SEL)

分周カウンタに入力する入力クロック(F_{CL})の選択および出力する分周クロック(WCCK0～WCCK3)の設定を行います。

■ 分周クロックイネーブルレジスタ(CLK_EN)

分周カウンタのカウントダウンを許可します。

本レジスタに値が書き込まれてから分周カウンタが動作するまでには、クロック選択レジスタ(CLK_SEL)の入力クロック選択ビット(SEL_IN[1:0])で選択されたクロックの 2 サイクル分の遅延があります。

■ 分周カウンタ

入力クロック(F_{CL})の分周クロック(WCCK0～WCCK3)を生成するダウンカウンタです。

3. 時計カウンタプリスケーラの動作説明と設定手順例

時計カウンタプリスケーラの動作について説明します。また、設定手順についても示します。

3.1 時計カウンタプリスケーラの設定手順

以下に時計カウンタプリスケーラの設定手順を示します。

■ 分周クロックの出力を開始する場合

1. クロック選択レジスタ(CLK_SEL)の入力クロック選択ビット(SEL_IN[1:0])で分周カウンタの入力クロック(F_{CL})の選択をしてください。また、クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット(SEL_OUT[2:0])で出力する分周クロックの設定を行ってください。この時点では、分周カウンタが動作していないため、出力する分周クロックは"L"固定となります。
2. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"1"に設定して、分周クロックの出力を許可してください。

■ 分周クロックの出力を停止する場合

分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"0"に設定して、分周クロックの出力を禁止してください。

■ 分周クロックの出力を停止した後再開する場合

1. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"1"に設定して、分周クロックの出力を許可してください。
2. 時計カウンタの時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)に"0"を書込み、時計カウンタ内の 6 ビットダウンカウンタの値を"0b000000"にクリアしてください。
3. 時計カウンタの時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)に"1"を書込み、時計カウンタの動作を再開してください。

■ 分周クロックを動作中に切り換える場合

1. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"0"に設定して、分周クロックの出力を禁止してください。
2. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルリードビット(CLK_EN_R)を読み出し、分周クロックの出力が停止(CLK_EN_R=0)したことを確認してください。
3. クロック選択レジスタ(CLK_SEL)の入力クロック選択ビット(SEL_IN[1:0])で分周カウンタの入力クロック(F_{CL})の選択をしてください。また、クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット(SEL_OUT[2:0])で出力する分周クロックの設定を行ってください。
4. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"1"に設定して、分周クロックの出力を許可してください。

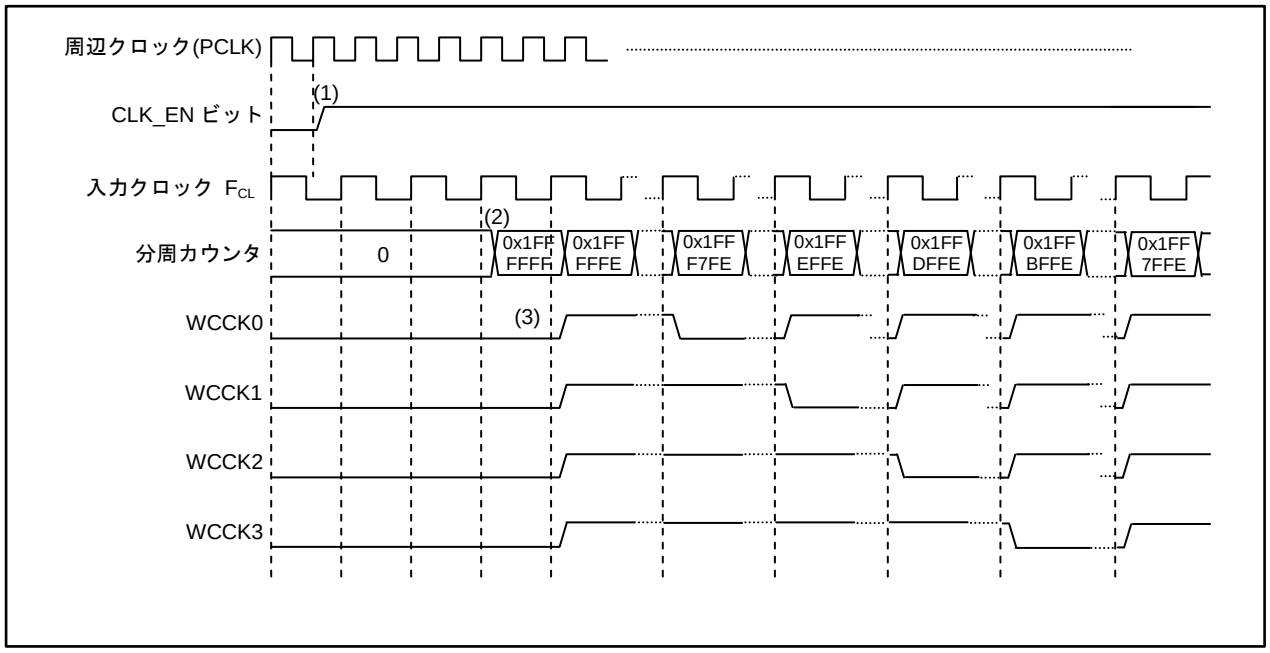
<注意事項>

- *時計カウンタプリスケーラの各レジスタの設定は周辺クロック(PCLK)を利用しています。分周カウンタの入力クロック(F_{CL})と周辺クロック(PCLK)は非同期です。このため、WCCK0～WCCK3 には各レジスタに値が設定されてから入力クロック(F_{CL})で 3 クロックの遅延が発生します。*
- *「■分周クロックを動作中に切り換える場合」の 2.において分周カウンタの動作中に、分周クロックを切り換えるとグリッジが発生することがあります。そのため、分周カウンタの出力が停止したことを確認してください。*
- *時計カウンタは時計カウンタプリスケーラの出力をカウントクロックとして使用するため、時計カウンタの動作中は、時計カウンタプリスケーラの設定を変更しないでください。*

3.2 時計カウンタプリスケーラの動作

SEL_OUT=0 に設定したときの時計カウンタプリスケーラの動作を Figure 3-1 に示します。

Figure 3-1 時計カウンタプリスケーラの動作説明



(1) 周辺クロック(PCLK)の立上りで CLK_EN ビットをセットします。

(2) 入力クロック(F_{CL})に同期して分周カウンタが動作します。

(3) カウンタから SEL_OUT ビットの設定にしたがって、WCCK0～WCCK3 にクロックを出力します。

<注意事項>

- *時計カウンタプリスケーラの各レジスタの設定は周辺クロック(PCLK)を利用しています。分周カウンタの入力クロック(F_{CL})と周辺クロック(PCLK)は非同期のため、WCCK0～WCCK3 には各レジスタに値が設定されてから入力クロック(F_{CL})で 4 クロックの遅延が発生します。*

3.3 入力クロックの周波数(F_{CL})と分周クロックの周期の対応

入力クロックの周波数(F_{CL})と分周クロックの周期の設定例を Table 3-1 に示します。

Table 3-1 時計カウンタプリスケーラの設定例

SEL_IN [1:0]	SEL_OUT [2:0]	入力クロック 周波数(F_{CL})	分周クロックの周期			
			WCCK3	WCCK2	WCCK1	WCCK0
00 (サブクロック)	000	32.768 kHz	1 s	500 ms	250 ms	125 ms
01 (メインクロック)	001	33.554 MHz	1 s	500 ms	250 ms	125 ms
10 (高速 CR)	110	4 MHz	2.097 s	1.049 s	524 ms	262 ms
11 (CLKLC)	100	100 kHz	41 ms	20 ms	10 ms	5 ms

4. 時計カウンタプリスケーラのレジスタ

時計カウンタプリスケーラのレジスター一覧を示します。

時計カウンタプリスケーラのレジスタ

Table 4-1 時計カウンタプリスケーラのレジスター一覧

レジスタ略称	レジスタ名	参照先
CLK_SEL	クロック選択レジスタ	4.1
CLK_EN	分周クロックイネーブルレジスタ	4.2

4.1 クロック選択レジスタ(CLK_SEL)

クロック選択レジスタ(CLK_SEL)は、入力クロック(F_{CL})の選択と、出力する分周クロック(WCCK0～WCCK3)の設定を行います。

bit	15	14	13	12	11	10	9	8
Field	予約					SEL_OUT[2:0]		
属性	-					R/W		
初期値	00000					000		

bit	7	6	5	4	3	2	1	0
Field	予約						SEL_IN[1:0]	
属性	-						R/W	
初期値	000000						00	

[bit15:11, bit7:2] 予約 : 予約ビット

読出しは常に"0"となります。
書込みは動作に影響しません。

[bit10:8] SEL_OUT[2:0] : 出力クロック選択ビット

分周カウンタから出力する分周クロック(WCCK0～WCCK3)の選択をします。

bit10:8	説明			
	WCCK3	WCCK2	WCCK1	WCCK0
000	$2^{15}/F_{CL}$	$2^{14}/F_{CL}$	$2^{13}/F_{CL}$	$2^{12}/F_{CL}$
001	$2^{25}/F_{CL}$	$2^{24}/F_{CL}$	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$
010	$2^{4}/F_{CL}$	$2^{3}/F_{CL}$	$2^{2}/F_{CL}$	$2/F_{CL}$
011	$2^{8}/F_{CL}$	$2^{7}/F_{CL}$	$2^{6}/F_{CL}$	$2^{5}/F_{CL}$
100	$2^{12}/F_{CL}$	$2^{11}/F_{CL}$	$2^{10}/F_{CL}$	$2^{9}/F_{CL}$
101	$2^{19}/F_{CL}$	$2^{18}/F_{CL}$	$2^{17}/F_{CL}$	$2^{16}/F_{CL}$
110	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$	$2^{21}/F_{CL}$	$2^{20}/F_{CL}$

[bit1:0] SEL_IN[1:0] : 入力クロック選択ビット

使用する入力クロック(F_{CL})を選択します。

bit1:0	説明
00	サブクロックを使用して分周クロックを生成します。
01	メインクロックを使用して分周クロックを生成します。
10	高速 CR を使用して分周クロックを生成します。
11	CLKLC を使用して分周クロックを生成します。

4.2 分周クロックイネーブルレジスタ(CLK_EN)

分周クロックイネーブルレジスタ(CLK_EN)は、分周カウンタのカウントダウンを許可するレジスタです。

bit	7 … 2	1	0
Field	予約	CLK_EN_R	CLK_EN
属性	-	R/W	R/W
初期値	000000	0	0

[bit7:2] 予約 : 予約ビット

読出しは常に"0"となります。
書込みは動作に影響しません。

[bit1] CLK_EN_R : 分周クロックイネーブルリードビット

分周の制御に使用されている、CLK_EN の値は読み出せます。本ビットへの書込みは動作および読出し値に影響しません。

bit	説明
0	クロック分周用のカウンタがカウントを停止し、分周クロックの発振を行っていません。
1	クロック分周用のカウンタがカウントを実行し、分周クロックの発振を行っています。

[bit0] CLK_EN : 分周クロックイネーブルビット

CLK_EN ビットに値が書き込まれてから反映までに、CLK_SEL レジスタで選択されたクロックで 2 サイクルの遅延があります。

bit	説明
0	分周カウンタがカウントを停止し、分周クロックの発振を禁止します。 分周カウンタの値を 0 にクリアします。
1	分周カウンタがカウントを開始し、分周クロックの発振を許可します。

CHAPTER 3-2: 時計カウンタ

時計カウンタの機能と動作について示します。

1. 時計カウンタの概要
2. 時計カウンタの構成
3. 時計カウンタの割込み
4. 時計カウンタの動作説明と設定手順例
5. 時計カウンタのレジスタ

管理コード: 9BFWC-J01.4_FW09-J00.5

1. 時計カウンタの概要

時計カウンタは、あらかじめ設定した値からカウントダウンを行い、6 ビットダウンカウンタがアンダフローすると割込み要求を発生させるタイマです。

時計カウンタ

- 時計カウンタは、4 種類(WCCK0, WCCK1, WCCK2, WCCK3)のクロックから、時計カウンタ制御レジスタ(WCCR)のカウントクロック選択ビット(CS[1:0])で選択した 1 つを 6 ビットダウンカウンタのカウントクロックとして使用します。
- 6 ビットダウンカウンタでカウントする値を、0～63 の範囲内で設定できます。カウント周期が 1s のときに、カウントする値を"60"にすると、1 分ごとに割込み要求が発生します。また、カウント周期が 1s のときに、カウントする値を"0"に設定すると、64 秒ごとに割込み要求が発生します。
- 6 ビットダウンカウンタがアンダフローすると割込み要求を発生できます。

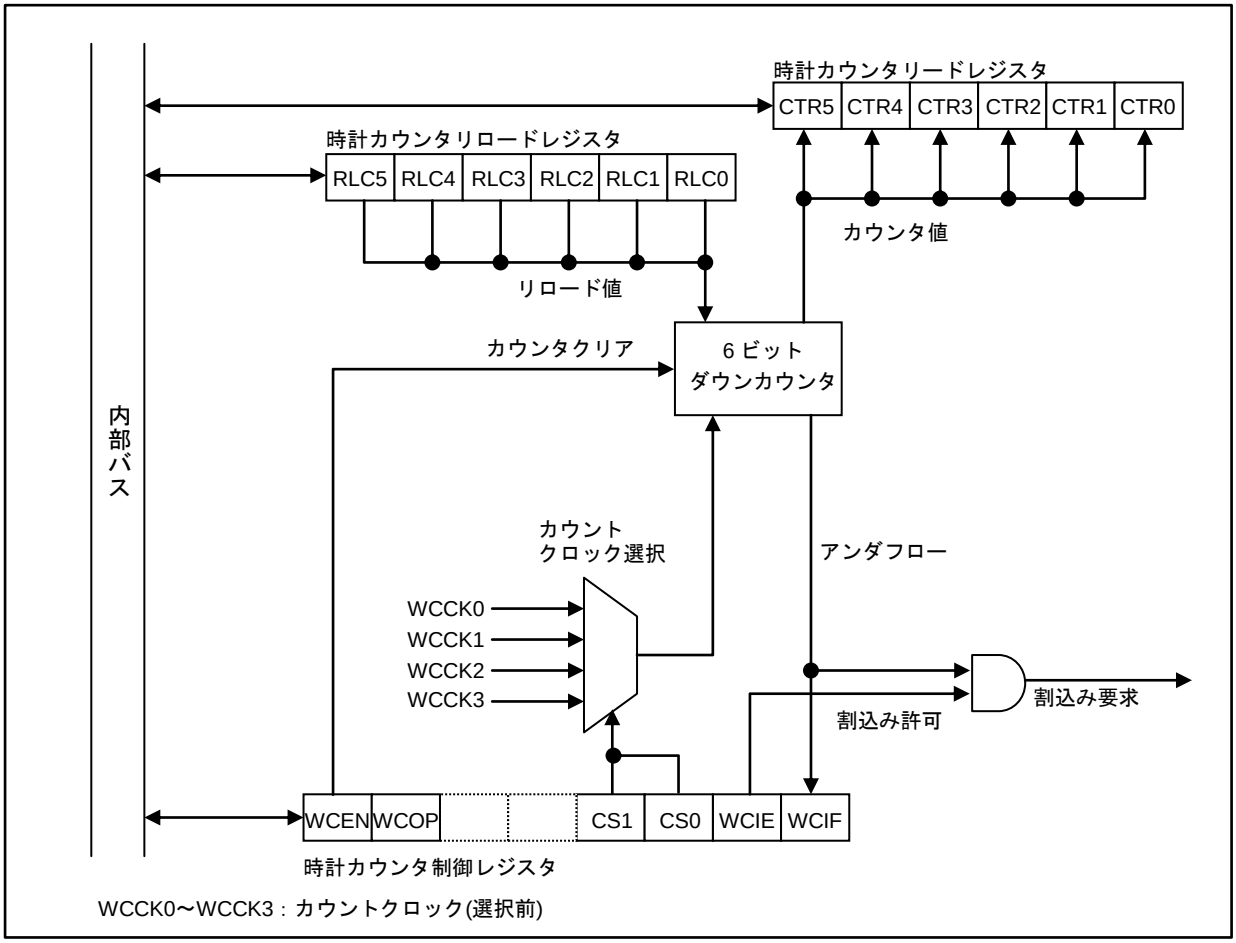
2. 時計カウンタの構成

時計カウンタのブロックダイヤグラムを示します。

時計カウンタのブロックダイヤグラム

時計カウンタのブロックダイヤグラムを Figure 2-1 に示します。

Figure 2-1 時計カウンタのブロックダイヤグラム



■ 6 ビットダウンカウンタ

時計カウンタの 6 ビットのダウンカウンタです。時計カウンタリロードレジスタ(WCRL)に設定された値をリロードしてカウントダウンします。

■ 時計カウンタリロードレジスタ(WCRL)

時計カウンタがカウントを開始する値を設定するレジスタです。ここに設定した値から 6 ビットダウンカウンタがカウントダウンします。

■ 時計カウンタリードレジスタ(WCRD)

6 ビットのダウンカウンタの値を読み出すレジスタです。このレジスタを読み出すとカウンタの値を確認できます。

■ 時計カウンタ制御レジスタ(WCCR)

時計カウンタの動作を制御するレジスタです。

3. 時計カウンタの割込み

6 ビットダウンカウンタの値が"0b000001"になり 6 ビットダウンカウンタがアンダフローすると、アンダフロー割込み要求が発生します。

時計カウンタの割込み

時計カウンタで使用できる割込みについて、Table 3-1 に示します。

Table 3-1 時計カウンタの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
アンダフロー割込み要求	WCCR の WCIF=1	WCCR の WCIE=1	WCCR の WCIF ビットに "0"を書き込む

WCCR : 時計カウンタ制御レジスタ

<注意事項>

割込み要求フラグが"1"のときに割込み要求許可すると、その時点で割込み要求が発生します。割込み要求の発生を許可する場合は、以下のいずれかの処理を行ってください。

- *割込み要求の発生を許可する前に割込み要求を許可する。*
- *割込み許可と同時に割込み要求をクリアする。*

4. 時計カウンタの動作説明と設定手順例

時計カウンタの動作について説明します。また、設定手順についても示します。

時計カウンタの設定手順

以下に時計カウンタの設定手順を示します。

(1) 時計カウンタ制御レジスタ(WCCR)のカウントクロック選択ビット(CS[1:0])で、カウントクロックを選択してください。

(2) 時計カウンタリロードレジスタ(WCRL)のカウンタリロード値設定ビット(RLC[5:0])に、カウントする値を設定してください。

(3) 時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)で、時計カウンタの動作を許可(WCEN=1)してください。
カウントダウンを開始します。カウントクロックの立上りエッジでカウントが行われます。

(4) 6 ビットダウンカウンタがアンダフローすると、時計カウンタ制御レジスタ(WCCR)の割込み要求フラグビット(WCIF)が"1"に変わります。
このとき、時計カウンタ制御レジスタ(WCCR)の割込み要求許可ビット(WCIE)で、アンダフロー割込み要求の発生が許可(WCIE=1)されていると、アンダフロー割込み要求が発生します。
また、時計カウンタリロードレジスタ(WCRL)のカウンタリロード値設定ビット(RLC[5:0])に設定した値が 6 ビットダウンカウンタにリロードされ、再度カウントダウンします。

(5) 時計カウンタの動作中に、時計カウンタリロードレジスタ(WCRL)のカウンタリロード値設定ビット(RLC[5:0])を書き換えると、次のリロードタイミングで書き換えた値が更新されます。

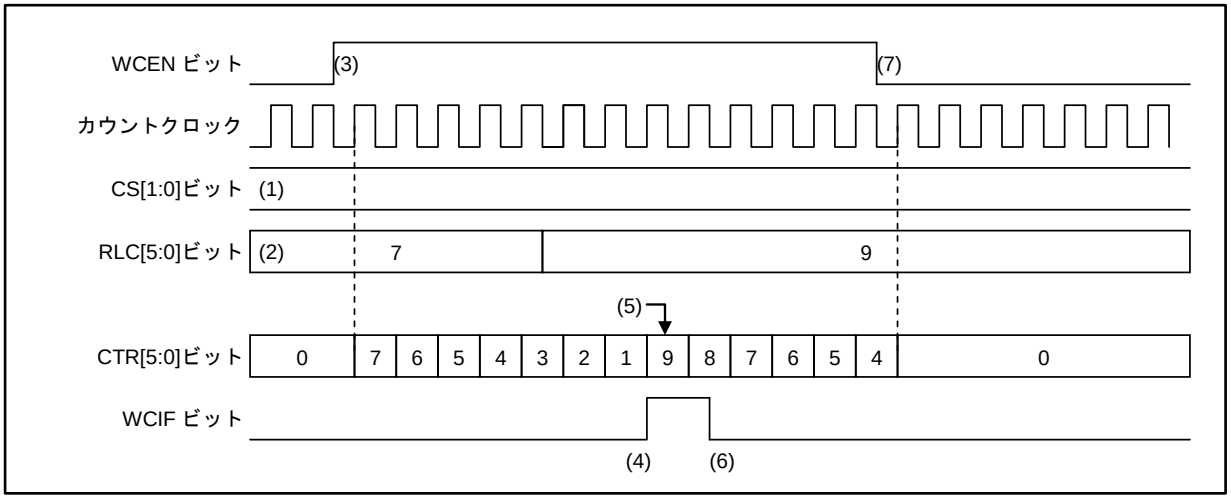
(6) 時計カウンタ制御レジスタ(WCCR)の割込み要求フラグビット(WCIF)に"0"を書き込むと、アンダフロー割込み要求がクリアされます。

(7) 時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)に"0"を書き込むと、6 ビットダウンカウンタの値が"0b000000"にクリアされ、カウント動作が停止します。

時計カウンタの動作

時計カウンタの動作を Figure 4-1 に示します。

Figure 4-1 時計カウンタの動作説明図



<注意事項>

- *時計カウンタの各レジスタの設定は周辺クロック(PCLK)を利用しています。カウントクロックと周辺クロック(PCLK)は非同期のため、時計カウンタ制御レジスタ(WCCR)の WCEN ビットに"1"を書き込んだタイミングによっては、カウント開始のタイミングで最大 1T(T： カウントクロックの周期)の誤差が発生することがあります。*
- *タイマモード遷移時においても、メインクロックまたはサブクロックが動作している場合は時計カウンタは動作し続けます。時計カウンタの割込みルーチンで、タイマモードを解除することもできます。*
- *以下の場合は、時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作状態フラグ(WCOP)で、時計カウンタが停止中(WCOP=0)を確認してから、時計カウンタを再起動してください。*
  条件： 時計カウンタ制御レジスタ(WCCR)の WCEN ビットに"0"を書き込んで、時計カウンタを停止した後に、WCEN ビットで時計カウンタを再起動(WCEN=1)する場合。

5. 時計カウンタのレジスタ

時計カウンタのレジスター一覧を示します。

時計カウンタのレジスタ

Table 5-1 時計カウンタのレジスター一覧

レジスタ略称	レジスタ名	参照先
WCRD	時計カウンタリードレジスタ	5.1
WCRL	時計カウンタリロードレジスタ	5.2
WCCR	時計カウンタ制御レジスタ	5.3

5.1 時計カウンタリードレジスタ(WCRD)

6 ビットダウンカウンタの値を読み出すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		CTR[5:0]					
属性	R		R					
初期値	00		000000					

[bit7:6] 予約 : 予約ビット

読出しは常に"0"となります。

書込みは動作に影響しません。

[bit5:0] CTR[5:0] : カウンタリードビット

読出し時はカウンタ値が読み出されます。

書込みは動作に影響しません。

<注意事項>

- *6 ビットダウンカウンタが動作中にカウンタの値を読み出す場合は、本レジスタを 2 度読み出して、同じ値が読み出されることを確認してください。*

5.2 時計カウンタリロードレジスタ(WCRL)

時計カウンタがカウントを開始する値を設定するレジスタです。本レジスタに設定した値から 6 ビットダウンカウンタがカウントダウンします。

6 ビットのダウンカウンタのリロード値を設定します。6 ビットダウンカウンタがアンダフローすると、本レジスタの値が 6 ビットダウンカウンタにリロードされ、再度カウントします。

bit	15	14	13	12	11	10	9	8
Field	予約		RLC[5:0]					
属性	-		R/W					
初期値	00		000000					

[bit15:14] 予約 : 予約ビット

読出しは常に"0"が読み出されます。
書込みは動作に影響しません。

[bit13:8] RLC[5:0] : カウンタリロード値設定ビット

6 ビットダウンカウンタのリロード値を設定します。

6 ビットカウンタは、リロード値から"1"までカウントダウンして"1"でアンダフローします。本ビットで"0"を設定すると、"63"～"0"まで 64 カウントします。
本ビットをカウント中に変更した場合は、アンダフロー後のリロード時に変更値が有効になります。

<注意事項>

- *6 ビットダウンカウンタが動作中に RLC[5:0]ビットを書き換えると、アンダフロー発生後に、変更後の値がリロードされます。*
- *アンダフロー割込み要求が発生すると同時に RLC[5:0]ビットを書き換えると、正しい値がリロードされません。必ず時計カウンタの停止中や割込み処理ルーチン内など、割込み要求が発生する前に RLC[5:0]ビットを書き換えてください。*
- *リロード値が正しく設定されたかどうか、本レジスタを読み出して確認してください。*

5.3 時計カウンタ制御レジスタ(WCCR)

時計カウンタのカウントクロックを選択したり、割込み要求の発生を許可/禁止したりするレジスタです。また、時計カウンタの動作も本レジスタで許可/禁止します。

bit	23	22	21	20	19	18	17	16
Field	WCEN	WCOP	予約		CS1	CS0	WCIE	WCIF
属性	R/W	R	-		R/W	R/W	R/W	R/W
初期値	0	0	00		0	0	0	0

[bit23] WCEN： 時計カウンタ動作許可ビット

本ビットは、時計カウンタの動作許可を行います。

- 時計カウンタの各レジスタの設定は周辺クロック(PCLK)を利用しています。カウントクロックと周辺クロック(PCLK)は非同期のため、時計カウンタ制御レジスタ(WCCR)の WCEN ビットに"1"を書き込んだタイミングによっては、カウント開始のタイミングで最大 1T(T： カウントクロックの周期)分の誤差が発生することがあります。
- 本ビットに"1"を書き込んで時計カウンタの動作を開始する場合は、WCOP ビットで時計カウンタが停止中(WCOP=0)であることを確認してから、時計カウンタの動作を開始してください。

bit	説明
0	時計カウンタを禁止/停止します。6 ビットカウンタの値は"0b000000"にクリアされます。
1	時計カウンタの動作を許可/開始します。

[bit22] WCOP： 時計カウンタ動作状態フラグ

本ビットは、時計カウンタの動作状態を示します。

bit	説明
0	時計カウンタは停止中です。
1	時計カウンタは動作中です。

[bit21:20] 予約 ： 予約ビット

読出しは常に"0"が読み出されます。
書込みは動作に影響しません。

[bit19:18] CS1, CS0： カウントクロック選択ビット

時計カウンタのクロック選択を行います。
本ビットの変更は、WCCR : WCEN=0(時計カウンタの動作禁止)かつ WCOP=0(時計カウンタ停止中)のときに行ってください。

bit19	bit18	説明
0	0	カウントクロックとして WCCK0 を選択します。
0	1	カウントクロックとして WCCK1 を選択します。
1	0	カウントクロックとして WCCK2 を選択します。
1	1	カウントクロックとして WCCK3 を選択します。

[bit17] WCIE： 割込み要求許可ビット

6 ビットダウンカウンタがアンダフローしたとき(WCIF=1)にアンダフロー割込み要求を発生させるかどうかを設定します。

bit	説明
0	アンダフロー割込み要求の発生を禁止します。
1	アンダフロー割込み要求の発生を許可します。

[bit16] WCIF： 割込み要求フラグビット

本ビットはカウンタがアンダフローすると"1"になります。

- 本ビットと WCIE ビットが共に"1"のとき、時計カウンタ割込みが発生します。
- リードモディファイライト系命令の読出し時には"1"が読み出せます。

bit		説明
書込み	0	このビットをクリアします。
	1	動作に影響しません。
読出し	0	アンダフローが発生していないことを示します。
	1	アンダフローが発生していることを示します。

CHAPTER 4-1: リアルタイムクロック

リアルタイムクロックは RTC クロック制御部と RTC カウント部で構成されます。

1. リアルタイムクロックの構成
2. リアルタイムクロックの略語表記
3. リアルタイムクロックのリセット

1. リアルタイムクロックの構成

リアルタイムクロックの構成を示します。

リアルタイムクロック参照章

Table 1-1 リアルタイムクロック章対応表

製品 TYPE	VBAT ドメイン
TYPE1-M0+ TYPE3-M0+	『RTC カウント部(A)』の章 『RTC クロック制御部(A)』の章
TYPE2-M0+	『RTC カウント部(B)』の章 『RTC クロック制御部(B)』の章

リアルタイムクロックの構成

Figure 1-1 RTC クロック制御部(A)と RTC カウント部(A)の構成

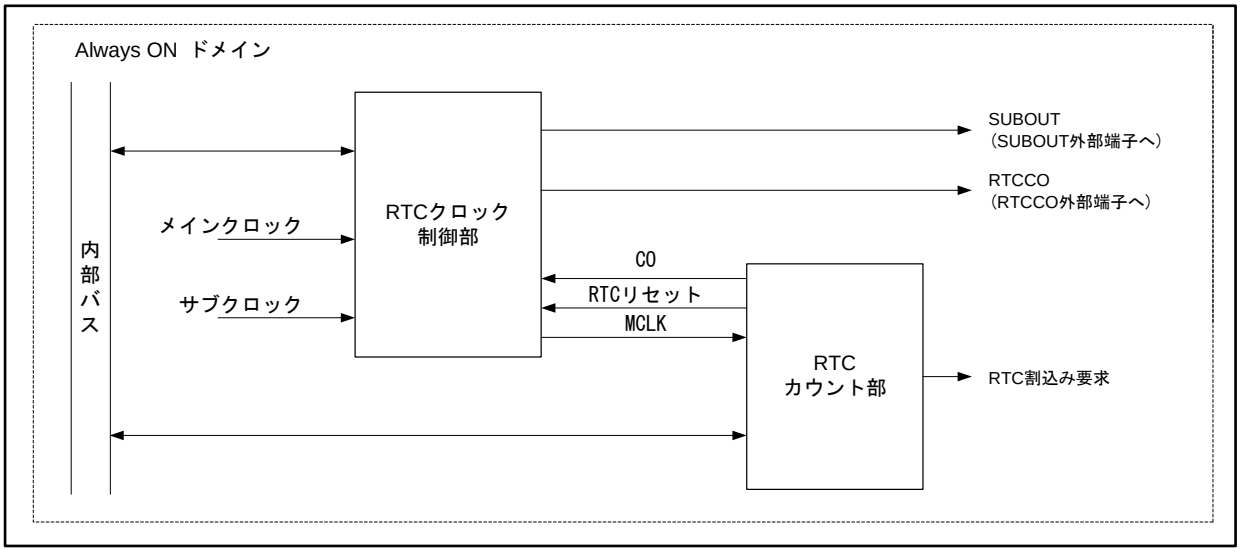
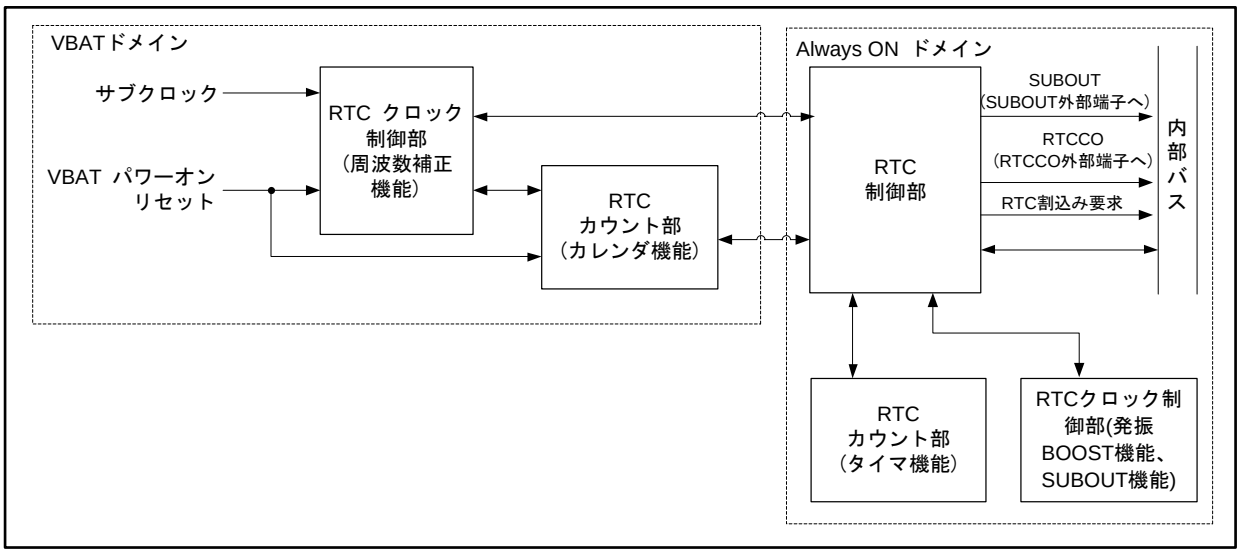


Figure 1-2 RTC クロック制御部(B)と RTC カウント部(B)の構成



＜注意事項＞

- *RTC クロック制御部(A)と RTC カウント部(A)の構成の場合､RTC クロック制御部と RTC カウント部の全機能は Always ON ドメイン内に含まれます。*
- *RTC クロック制御部(B)と RTC カウント部(B)の構成の場合、RTC クロック制御部の周波数補正機能と RTC カウント部のカレンダ機能は VBAT ドメイン内に含まれます。*
  RTC 制御部の詳細は『ペリフェラルマニュアル』の『VBAT ドメイン』の章を参照してください。

2. リアルタイムクロックの略語表記

リアルタイムクロックの略語表記について説明します。

略語表記について

RTC : リアルタイムクロック

RTC は RTC クロック制御部と RTC カウント部の 2 つのブロックから構成されます。

3. リアルタイムクロックのリセット

リアルタイムクロックのリセットについて説明します。

リアルタイムクロックのリセット (TYPE1-M0+ / TYPE3-M0+)

リアルタイムクロックは 4 つのリセットがあり、それぞれ初期化されるレジスタが異なります。

■ 低電圧検出リセット/電源投入リセット

リアルタイムクロックのすべてのレジスタが初期化されます。

■ システムリセット

INITX 端子入力、ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロック故障検出リセット, 異常周波数検出リセットで発生します。

RTC クロック制御部のすべてのレジスタが初期化されます。

RTC カウント部の初期化されるレジスタは、『RTC カウント部(A)』の章の「4.RTC カウント部のリセット動作」を参照してください。

■ RTC リセット

RTC カウント部の SRST(RTC リセットビット)に、"1"を書き込むことで発生します。

RTC クロック制御部の初期化されるレジスタは、『RTC カウント部(A)』の章の「7. RTC クロック制御部のレジスタ」の各レジスタの注意事項を参照してください。

RTC カウント部の初期化されるレジスタは、『RTC カウント部(A)』の章の「4.RTC カウント部のリセット動作」を参照してください。

リアルタイムクロックのリセット (TYPE2-M0+)

リアルタイムクロックは、VBAT パワーオンリセットにて初期化され、Always ON ドメインのリセットではクリアされません。

Table 3-1 に VBAT ドメインと Always ON ドメインのリセット要因について記載します。

Table 3-1 VBAT ドメインと Always ON ドメインのリセット要因

	VBAT ドメイン	Always ON ドメイン
VBAT パワーオンリセット	○	×
電源投入リセット	×	○
低電圧検出リセット	×	○
システムリセット	×	○
RTC リセット	×	○

“○”はリセットされる要因を示しています。

システムリセットに含まれるリセット要因は以下になります。

- INITX 端子入力
- ソフトウェア・ウォッチドッグリセット
- ハードウェア・ウォッチドッグリセット
- クロック故障検出リセット
- 異常周波数検出リセット

RTC リセットは RTC リセットビット(WTCR10:SRST)に”1”を書き込むことで発生します。

<注意事項>

- *Always ON ドメインの初期化対象バッファは『RTC カウント部』の章を参照してください。*

CHAPTER 4-2: RTC カウント部(A)

RTC カウント部(A)の機能と動作について示します。

1. RTC カウント部の概要
2. RTC カウント部のブロックダイヤグラム
3. RTC カウント部の動作説明と設定手順例
4. RTC カウント部のリセット動作
5. RTC カウント部のうるう年の対応
6. 時刻書換えエラー
7. RTC カウント部のレジスタ
8. 使用上の注意

管理コード: FS13-J03.0

1. RTC カウント部の概要

RTC カウント部は、00 年～99 年までの日付と時刻(年/月/日/時/分/秒/曜日)のカウントを行います。アラーム設定, タイマ設定も可能でアラームは、年/月/日/時/分の設定が可能で年/月/日/時/分だけの個別設定も可能です。タイマは、1 日間までの設定が可能で何(時間,分,秒)後, 何(時間,分,秒)おきといった設定も行えます。以下に RTC カウント部の概要を示します。

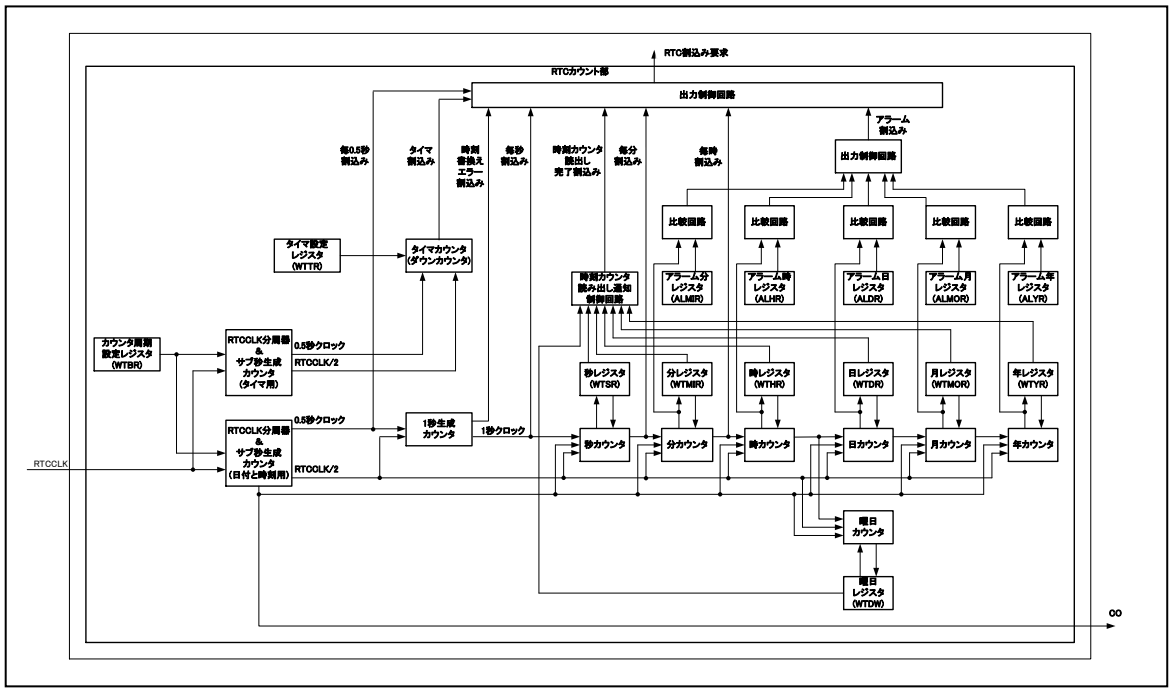
RTC カウント部の機能概要

- 日付と時刻(年/月/日/時/分/秒/曜日)の設定
- 日付と時刻(年/月/日/時/分/秒/曜日)のカウント (年は 00 年～99 年に対応)
- うるう年の対応（00 年はうるう年として動作）
- 日付と時刻(年/月/日/時/分)を指定したアラーム設定
- 年,月,日,時,分だけの個別設定も可能
- 何(時間, 分, 秒)後, 何(時間, 分, 秒)おきといった 1 日間までのタイマ設定
- 時報での時刻設定用に RTC カウント部の時計カウントをリセットし時刻書換えが可能
- タイムゾーン変更用に RTC カウント部の時計カウントを継続させながら時刻書換えが可能(書換えが 1 秒以内の場合、時刻継続は保証)
- 以下の割込みが出力可能
  - アラーム(設定日時で割込みを発生)
  - 毎時
  - 毎分
  - 毎秒
  - 毎 0.5 秒
  - タイマ
  - 時刻書換えエラー
  - 時刻カウンタ読出し完了
  - 0.5 秒毎のパルス出力

2. RTC カウント部のブロックダイヤグラム

Figure 2-1 にブロックダイヤグラムを示します。

Figure 2-1 RTC カウント部のブロックダイヤグラム



カウンタ周期設定レジスタ(WTBR)

サブ秒生成カウンタ(日付と時刻用、タイマ用)へロードする値を格納するレジスタです。
0.5 秒カウントできる値を本レジスタに設定します。RTC の動作開始時およびサブ秒生成カウンタが 0 になると本レジスタの値がサブ秒生成カウンタにロードされます。

RTCCLK 分周器&サブ秒生成カウンタ(タイマ用)

RTCCLK 分周器は RTCCLK を 2 分周したクロックを生成します。サブ秒生成カウンタ(タイマ用)は、その生成したクロックで動作し、サブ秒(0.5 秒)カウントを行います。

RTCCLK 分周器&サブ秒生成カウンタ(日付と時刻用)

RTCCLK 分周器は RTCCLK を 2 分周したクロックを生成します。サブ秒生成カウンタ(日付と時刻用)は、その生成したクロックで動作し、サブ秒(0.5 秒)カウントを行います。

タイマ設定レジスタ(WTTR)

何(時間, 分, 秒)後, 何(時間, 分, 秒)間隔といったタイマ設定値を格納するレジスタです。

タイマカウンタ(ダウンカウンタ)

タイマカウンタはタイマ設定レジスタに設定された値がロードされ、サブ秒生成カウンタ(タイマ用)が出力する 0.5 秒パルスでダウンカウントします。

1 秒生成カウンタ
サブ秒生成カウンタ(日付と時刻用)が出力する 0.5 秒パルスをカウントし、1 秒パルスを生成します。

秒カウンタ/分カウンタ/時カウンタ/日カウンタ/月カウンタ/年カウンタ/曜日カウンタ
秒カウンタ/分カウンタ/時カウンタ/日カウンタ/月カウンタ/年カウンタ/曜日カウンタは秒/分/時/日/月/年/曜日をカウントします。

秒レジスタ(WTSR)/分レジスタ(WTMIR)/時レジスタ(WTHR)/日レジスタ(WTDR)/月レジスタ(WTMOR)/年レジスタ(WTYR)
RTC カウント部の秒/分/時/日/月/年情報を表すレジスタです。

時刻カウンタ読出し通知制御回路
時刻カウンタ読出し時に読出しが完了したことを通知する回路です。

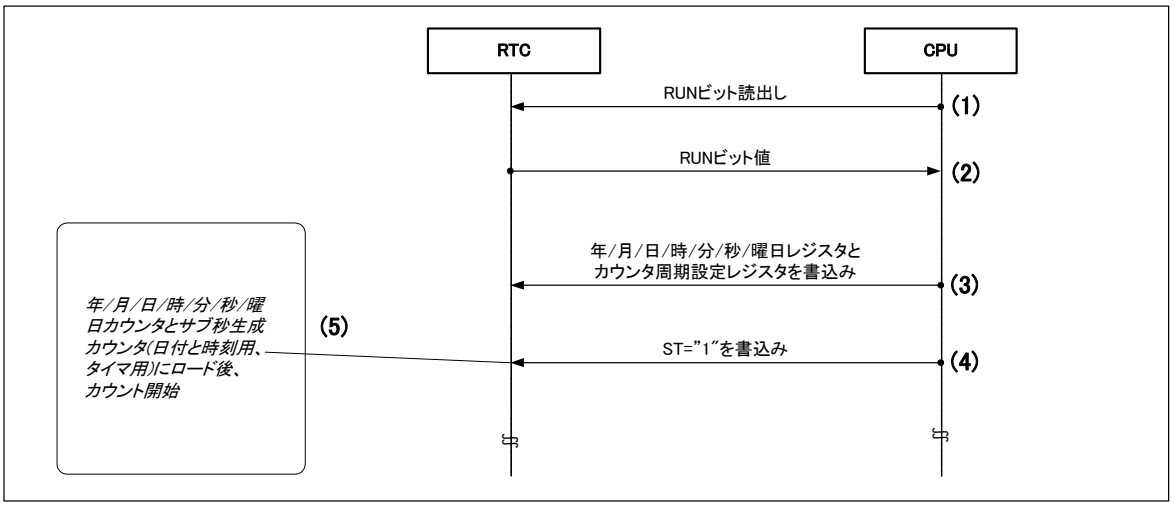
アラーム分レジスタ(ALMIR)/アラーム時レジスタ(ALHR)/アラーム日レジスタ(ALDR)/アラーム月レジスタ(ALMOR)/アラーム年レジスタ(ALYR)
アラームの分/時/日/月/年の設定値を格納するレジスタです。アラーム動作時は本レジスタに格納された値と分/時/日/月/年カウンタとの値を比較回路により比較し、値が一致するとアラーム割込みが発生します。

3. RTC カウント部の動作説明と設定手順例

RTC カウント部の動作説明と設定手順例を以下に示します。

時刻初期設定手順例

Figure 3-1 時刻初期設定動作フロー



(1) RUN ビットを読み出します。
(2) RUN=0 の場合は、(3)～(5)に従って、時刻初期設定が可能です。
RUN=1 の場合は、「■時刻書換え設定手順例(時刻カウント継続)」,「■時刻書換え設定手順例(時刻カウントリセット)」を参照してください。
(3) 年/月/日/時/分/秒/曜日レジスタ(WTYR,WTMOR,WTDR,WTHR,WTMIR,WTSR,WTDW)に時刻を書き込みます。カウンタ周期設定レジスタ(WTBR)に 0.5 秒カウントできる値を書き込みます。
(4) ST= 1 を書き込みます。
(5) ST= 1 になると、以下の動作を行い、カウントを開始します。

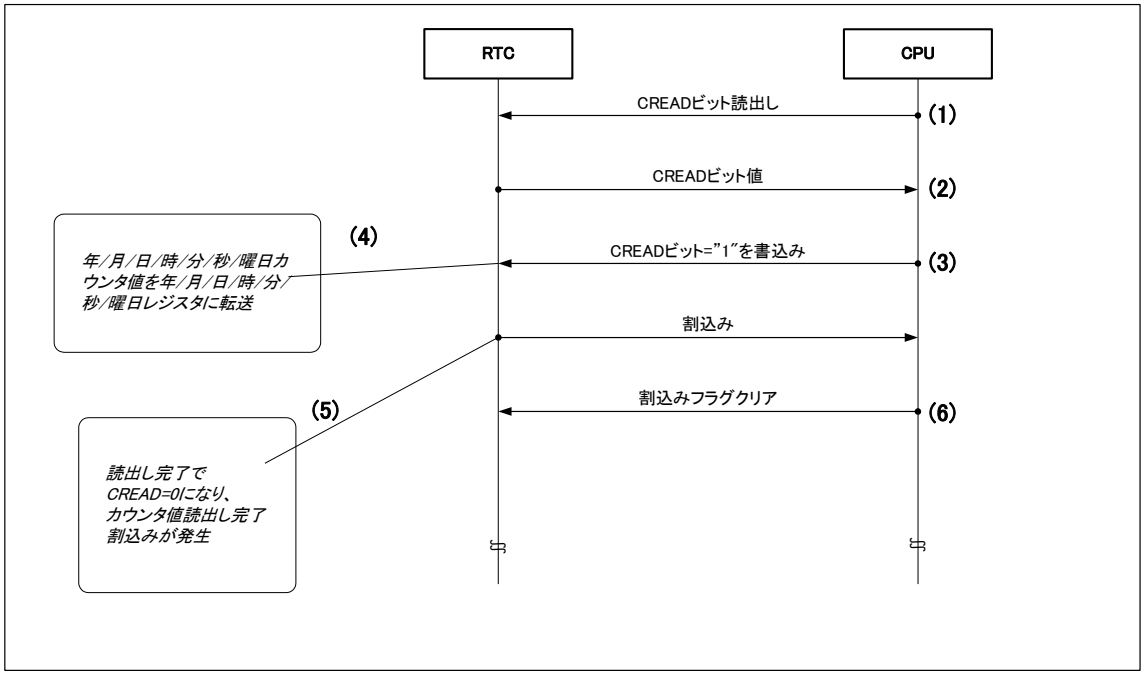
- 年/月/日/時/分/秒/曜日レジスタの値が年/月/日/時/分/秒/曜日カウンタにロードされます。
- カウンタ周期設定レジスタ(WTBR)の値がサブ秒生成カウンタ(日付と時刻用, タイマ用)にロードされます。

<注意事項>

- *システムリセットや RTC リセット後に時刻を継続する場合、ST=1 を書込む前に READ=1 を書込んで READ=0 になるまで待ってください。これらのリセット前の時刻が年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへ転送されます。ST=1 後、年/月/日/時/分/秒/曜日レジスタの値が年/月/日/時/分/秒/曜日カウンタに転送され、時刻を継続することができます。*

時刻読出し設定手順例

Figure 3-2 時刻読出し動作フロー



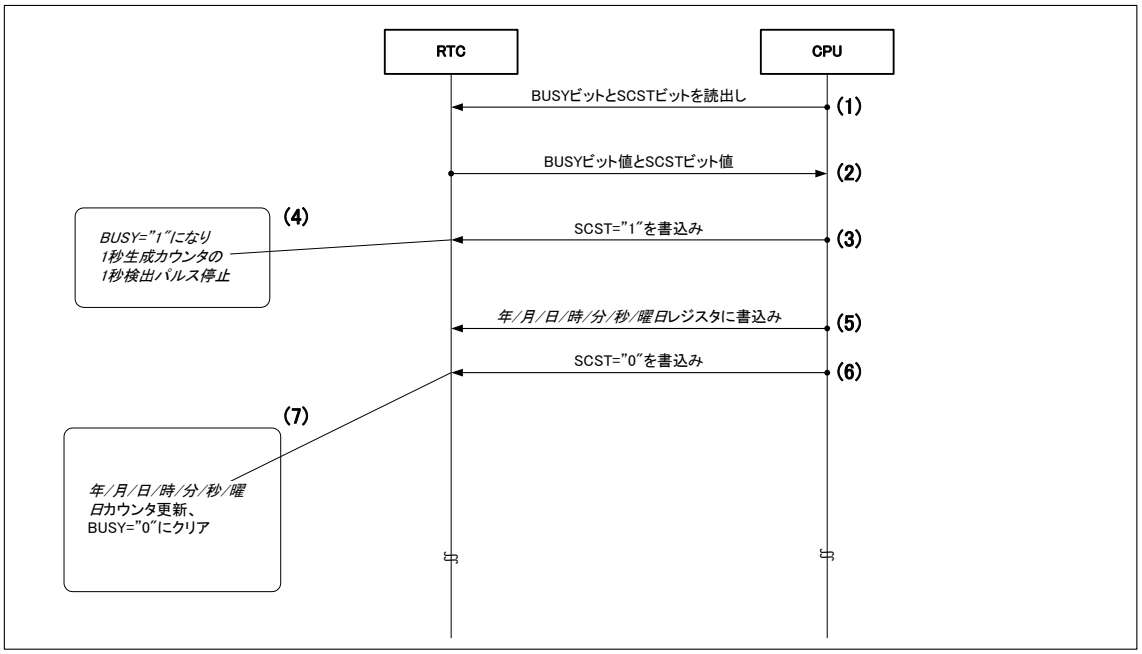
(1) CREAD ビットを読み出します。
(2) CREAD が 1 のとき、CREAD が"0"になるまで待ってください。
(3) CREAD=1 を書き込みます。
(4) CREAD=1 になると年/月/日/時/分/秒/曜日カウンタの値を年/月/日/時/分/秒/曜日レジスタ (WTYR, WTMOR, WTDR, WTHR, WTMIR, WTSR, WTDW)に転送します。
(5) 年/月/日/時/分/秒/曜日レジスタへの転送が完了すると CREAD=0 になり年/月/日/時/分/秒/曜日カウンタ値読出し完了割込みが発生します。
(6) 年/月/日/時/分/秒/曜日カウンタ値読出し完了割込みフラグビットをクリアします。

<注意事項>

- *CREAD=1 の時に SCST と SRST に 1 を書き込まないでください。*
- *CREAD=1 の間に STOP モードに設定しないでください。*
- *CREAD=1 を書き込んだ後、年/月/日/時/分/秒/曜日カウンタ値読出し完了割込みが発生するまで、RTC カウント部を停止(ST="0"書込み)しないでください。*

時刻書換え設定手順例(時刻カウント継続)

Figure 3-3 時刻書換え設定動作フロー(時刻カウント継続)



(1) BUSY ビットと SCST ビットを読み出します。
(2) BUSY が 1 で SCST が 0 のとき、BUSY が 0 になるまで待ってください。
それ以外は(3)以降の手順で処理してください。
(3) SCST=1 を書き込みます。
(4) SCST に 1 が書き込まれると BUSY=1 になります。
BUSY が 1 になると 1 秒生成カウンタの 1 秒パルスの検出が停止します。
(5) SCST=1 の間に変更したい年/月/日/時/分/秒/曜日の値を年/月/日/時/分/秒/曜日レジスタ
(WTYR, WTMOR, WTDR, WTHR, WTMIR, WTSR, WTDW)に書き込みます。
(6) SCST=0 を書き込みます。
(7) 更新された年/月/日/時/分/秒/曜日レジスタの値だけが、年/月/日/時/分/秒/曜日カウンタに転送され、
BUSY=0 にクリアされます。

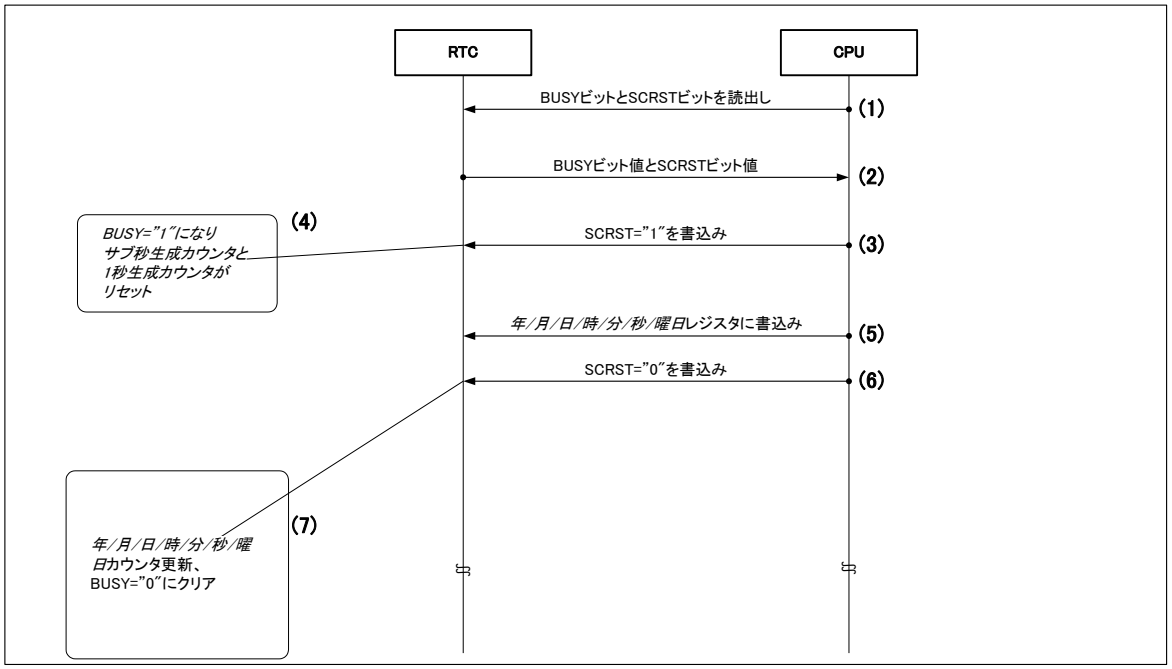
<注意事項>

- *BUSY=1 で SCST=0 の場合、SCST=1 の書込みは禁止です。*
- *RUN=0 の場合、SCST=1 の書込みは禁止です。*
- *(3)～(6)が 1 秒を超えると時刻継続が保証できません。その場合、時刻書換えエラー割込みが発生します。時刻書換えエラー割込みフラグが"1"になった場合、時刻ずれが生じていることがあるため、SCST=0 に設定し、時刻書換えエラーフラグをクリア後、再度、上記手順にしたがって、最初から時刻設定を行ってください。*
- *SCST=0 かつ BUSY=1 の時、年/月/日/時/分/秒/曜日レジスタから年/月/日/時/分/秒/曜日カウンタへ転送中のため、年/月/日/時/分/秒/曜日レジスタは書込み禁止です。*
- *SCST=1 設定後、年/月/日/時/分/秒/曜日カウンタ更新前に CREAD=1 を書き込むと、年/月/日/時/分/秒/曜日レジスタに書いた値が年/月/日/時/分/秒/曜日カウンタの値で上書きされます。*

- *BUSY=1 の間に STOP モードに設定されると、年/月/日/時/分/秒/曜日レジスタから年/月/日/時/分/秒/曜日カウンタへの転送が正しくできなくなるため、年/月/日/時/分/秒/曜日カウンタの値の保証はできません。*
- *BUSY=1 の間、ST=0 の書込みは禁止です。*

時刻書換え設定手順例(時刻カウントリセット)

Figure 3-4 時刻書換え動作フロー(時刻カウントリセット)



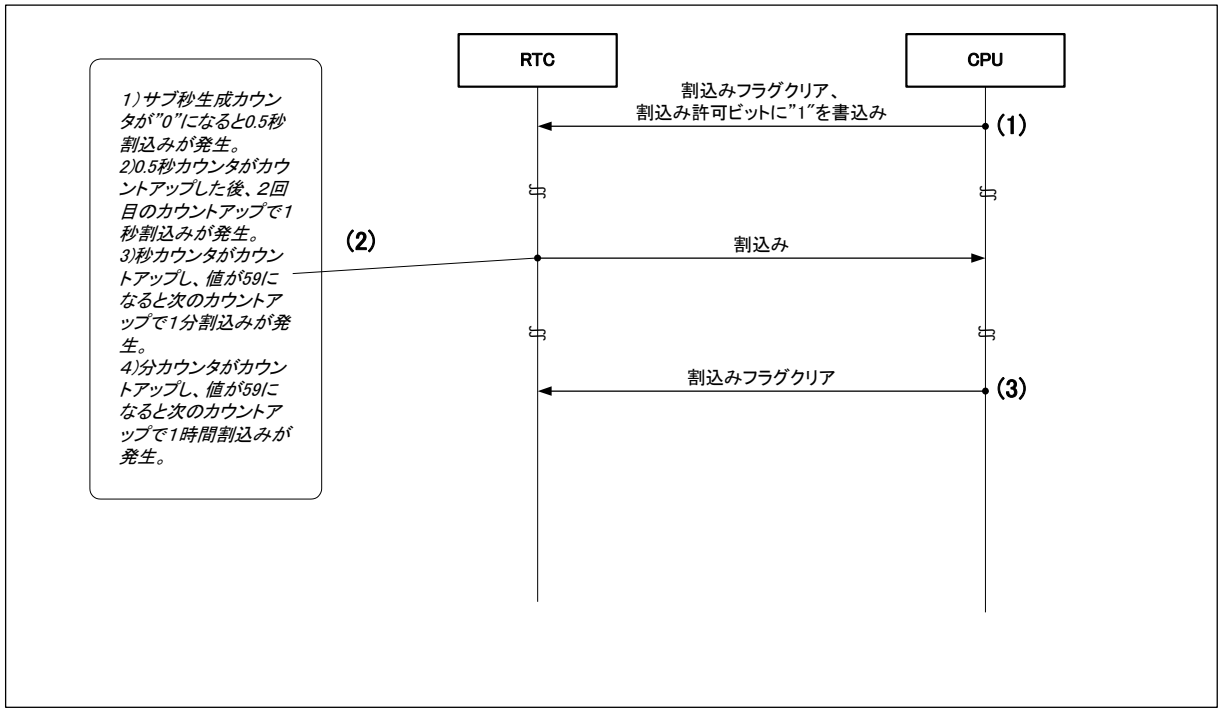
(1) BUSY ビットと SCRST ビットを読み出します。
(2) BUSY が 1 で SCRST が 0 のとき、BUSY が 0 になるまで待ってください。
それ以外は(3)以降の手順で処理してください。
(3) SCRST=1 を書き込みます。
(4) SCRST に 1 が書き込まれると、BUSY=1 になります。
サブ秒生成カウンタ/1 秒生成カウンタがリセットされます。
(5) SCRST=1 の間に変更したい年/月/日/時/分/秒/曜日の値を年/月/日/時/分/秒/曜日レジスタ(WTYR, WTMOR, WTDR, WTHR, WTMIR, WTSR, WTDW)に書き込みます。
(6) SCRST=0 を書き込みます。
(7) 更新された年/月/日/時/分/秒/曜日レジスタの値だけが年/月/日/時/分/秒/曜日カウンタに転送され、BUSY=0 にクリアされます。

<注意事項>

- *BUSY=1 で SCRST=0 の場合、SCRST=1 の書込みは禁止です。*
- *RUN=0 の場合、SCRST=0 の書込みは禁止です。*
- *SCRST =0 かつ BUSY=1 の時、年/月/日/時/分/秒/曜日レジスタから年/月/日/時/分/秒/曜日カウンタへ転送中のため、年/月/日/時/分/秒/曜日レジスタは書込み禁止です。*
- *SCRST=1 設定後、年/月/日/時/分/秒/曜日カウンタ更新前に CREAD を行うと年/月/日/時/分/秒/曜日レジスタに書いた値が年/月/日/時/分/秒/曜日カウンタの値で上書きされます。*
- *BUSY=1 の間に STOP モードに設定されると、年/月/日/時/分/秒/曜日レジスタから年/月/日/時/分/秒/曜日カウンタへの転送が正しくできなくなるため、年/月/日/時/分/秒/曜日カウンタの値の保証はできません。*
- *BUSY=1 の間、ST=0 の書込みは禁止です。*

毎 0.5 秒/1 秒/1 分/1 時間　割込み設定手順例

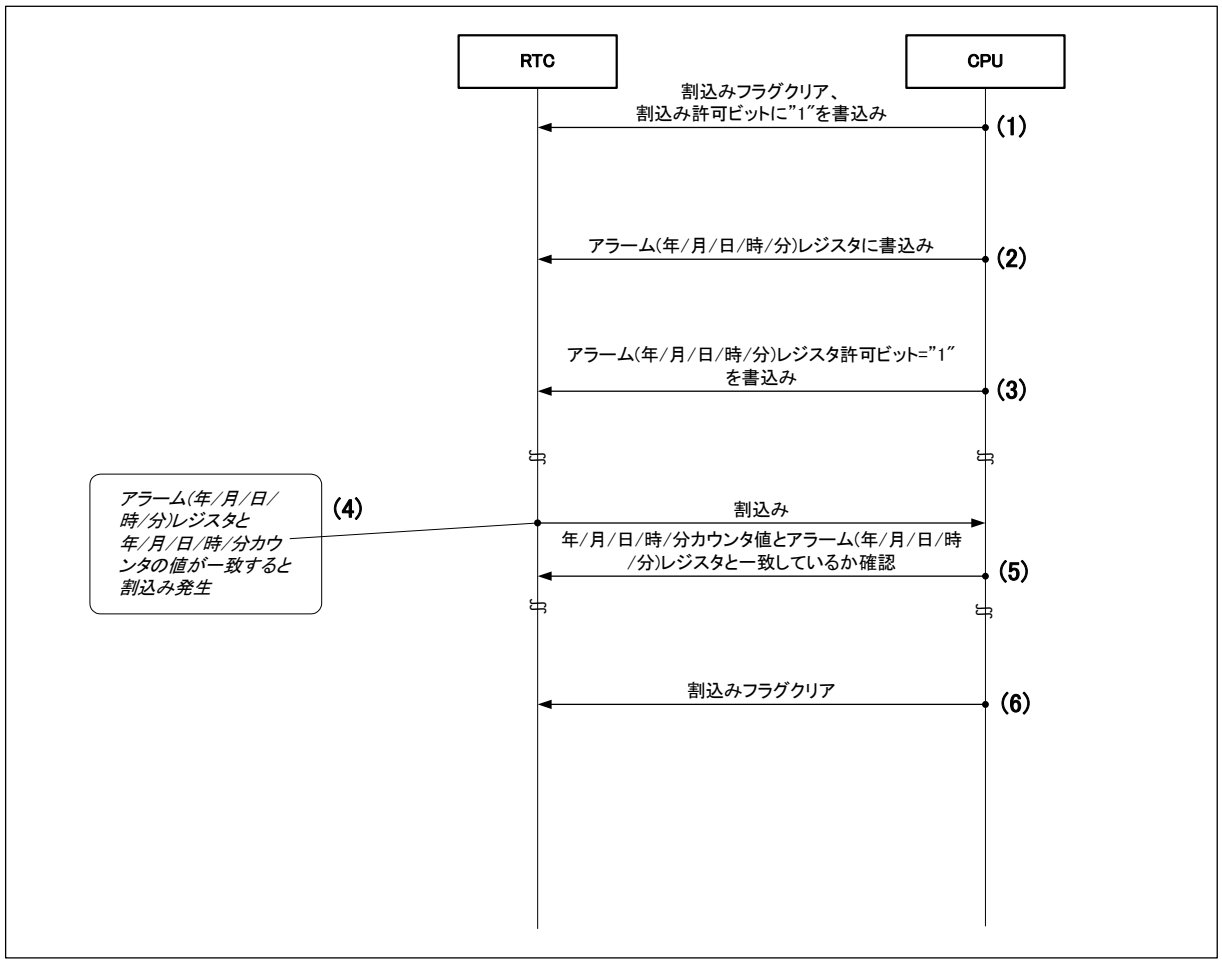
Figure 3-5 毎 0.5 秒/1 秒/1 分/1 時間　割込み設定動作フロー



(1) INTSSI/ INTSI/ INTMI/ INTHI=0 を書き込み、割込みのフラグビットをクリアします。
INSSIE/ INTSIE/ INTMIE/ INHIE の使用したい割込みの許可ビットに 1 を書き込み、割込みを許可します。
(2) 0.5 秒/1 秒/1 分/1 時間割込みのどれかが発生した場合、割込み要求が発生します。
(3) INSSIE/ INTSIE/ INTMIE /INHIE =0 を書き込み、割込みフラグビットをクリアします。

アラーム割込み設定手順例

Figure 3-6 アラーム割込み設定動作フロー



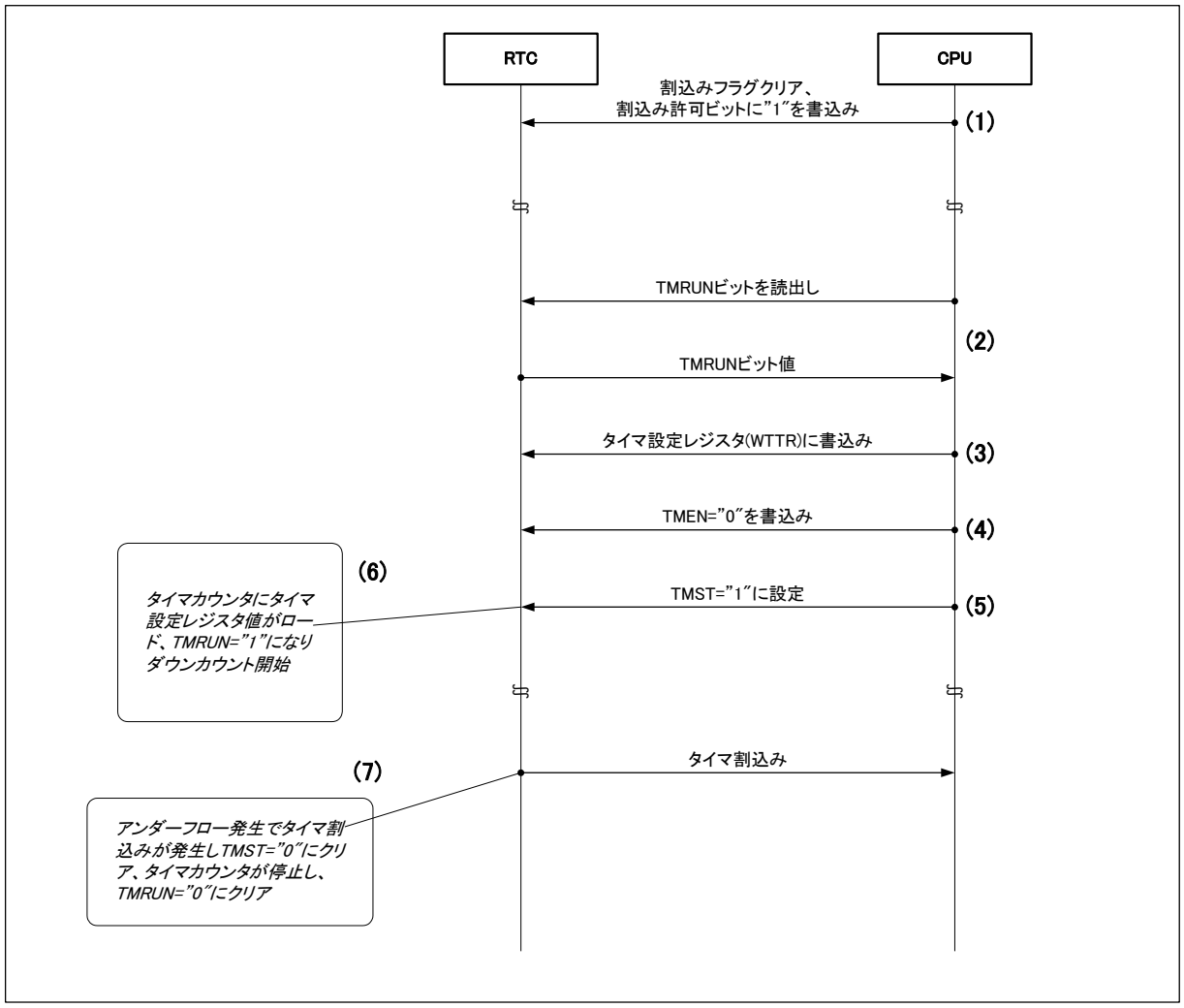
(1) INTALI=0 を書き込み、アラーム割込みフラグビットをクリアします。
INTALIE=1 を書き込み、アラーム割込みを許可します。
(2) アラーム(年/月/日/時/分)レジスタにアラーム割込みを発生させたい日時の値を書き込みます。
(3) アラーム(年/月/日/時/分)レジスタ許可ビットに 1 を書き込みます。
(4) アラーム(年/月/日/時/分)レジスタと年/月/日/時/分カウンタの値が一致すると、割込み要求が発生します。
(5) 時刻読出し設定手順例に従い、時刻を読み出し、年/月/日/時/分カウンタの値がアラーム(年/月/日/時/分)レジスタと一致しているか確認します。
(6) INTALI=0 を書込み、アラーム割込みフラグビットをクリアします。

<注意事項>

- *アラームレジスタ許可ビットのいずれかに 1 を書き込んだ場合、その直後に割込みが発生することがあるため、割込み後、時刻を読み出し、年/月/日/時/分カウンタの値がアラーム(年/月/日/時/分) レジスタと一致しているかを確認してください。*

タイマ割込み設定手順例(何(時間，分，秒)後)

Figure 3-7 タイマ割込み設定動作フロー(何(時間，分，秒)後)



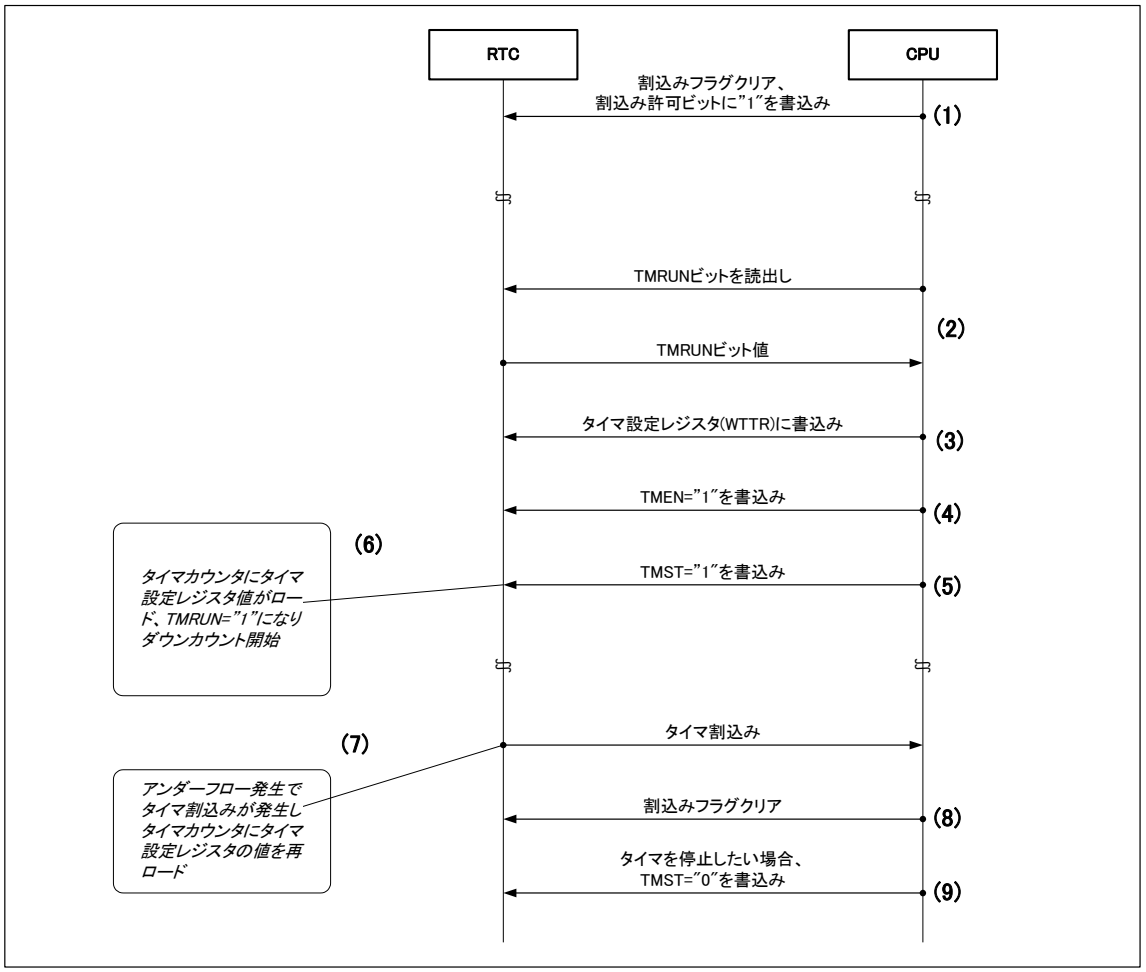
(1) INTTMI=0 を書き込み、タイマ割込みフラグビットをクリアします。
INTTMIE=1 を書き込み、タイマ割込みを許可します。
(2) タイマカウンタ動作ビット(TMRUN)を読出し、0 (停止中)であることを確認します。
(3) タイマ設定レジスタ(WTTR)にタイマ設定値を書き込みます。
(4) タイマカウンタ制御ビット(TMEN)に 0 を書き込みます。
(5) タイマカウンタスタートビット(TMST)に 1 を書き込みます。
(6) タイマ設定レジスタの値がタイマカウンタに転送され、ダウンカウントを開始します。
(7) ダウンカウントしアンダフローが発生すると割込み要求が発生し、TMST=0 にクリアされ、
タイマカウンタが停止後、TMRUN=0 にクリアされます。

<注意事項>

- *タイマカウンタ動作中(TMRUN=1)の時に、TMST="0"書込み後、TMRUN=0 になる前に TMST=1 の書込みは禁止です。*
- *TMEN の設定を変更する場合は、タイマカウンタ停止中(TMRUN=0)に行なってください。*

タイマ割込み設定手順例(何(時間,分,秒)間隔)

Figure 3-8 タイマ割込み設定動作フロー(何(時間,分,秒)間隔)



(1) INTTMI=0 を書き込み、タイマ割込みフラグビットをクリアします。
INTTMIE=1 を書き込み、タイマ割込みを許可します。
(2) タイマカウンタ動作ビット(TMRUN)を読出し、0(停止中)であることを確認します。
(3) タイマ設定レジスタ(WTTR)にタイマ設定値を書き込みます。
(4) タイマカウンタ制御ビット(TMEN)に 1 を書き込みます。
(5) タイマカウンタスタートビット(TMST)に 1 を書き込みます。
(6) タイマ設定レジスタの値がタイマカウンタに転送され、ダウンカウントを開始します。
(7) カウントが終了すると RTC カウント部割込み要求が発生し、タイマカウンタにタイマ設定レジスタの値を再ロードし、動作を継続します。
(8) INTTMI=0 を書き込み、タイマ割込みフラグビットをクリアします。
(9) タイマを停止したい場合は、TMST に 0 を書き込みます。

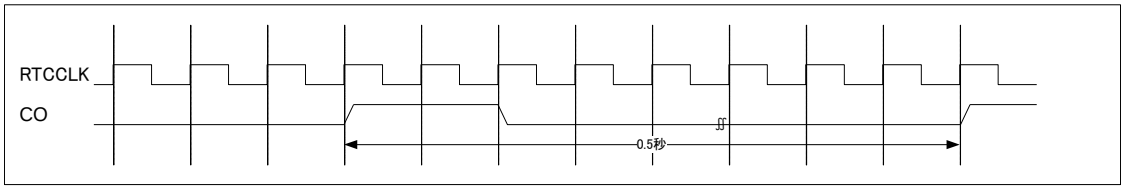
<注意事項>

- *タイマカウンタ動作中(TMRUN=1)の時に、TMST=0 書込み後、TMRUN=0 になる前に TMST=1 の書込みは禁止です。*
- *TMEN の設定を変更する場合は、タイマカウンタ停止中(TMRUN=0)に行なってください。*

CO 外部端子出力動作

RTC カウント部は、0.5 秒パルスを出力する CO 外部端子があります。
0.5 秒パルス(CO)が CO 外部端子から出力されます。
CO 外部端子出力の波形を Figure 3-9 に示します。

Figure 3-9 CO 外部端子出力波形



4. RTC カウント部のリセット動作

各リセット動作を示します。

低電圧検出リセット/電源投入リセットの動作

Table 4-1 の網掛け部分が、低電圧検出リセット/電源投入リセット対象ビットです。
また、Table 4-1 にないサブ秒生成カウンタ, 1 秒生成カウンタ, タイマカウンタ, 年/月/日/時/分/秒/曜日カウンタも低電圧検出リセット/電源投入リセット対象です。

Table 4-1 低電圧検出リセット/電源投入リセット対象ビット

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	Bit2	bit1	bit0
WTCR1	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
	-	-	-	YEN	MOEN	DEN	HEN	MIEN	-	BUSY	SCRST	SCST	SRST	RUN	OE	ST
WTCR2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	-	-	-	-	-	TMRUN	TMEN	TMST	-	-	-	-	-	-	-	CREAD
WTBR	-	-	-	-	-	-	-	-	BR23	BR22	BR21	BR20	BR19	BR18	BR17	BR16
	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
WTDR/WTHR/WTMIR/WTSR	-	-	TD1	TD0	D3	D2	D1	D0	-	-	TH1	TH0	H3	H2	H1	H0
	-	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0	-	TS2	TS1	TS0	S3	S2	S1	S0
WTYR/WTMOR/WTDW	-	-	-	-	-	-	-	-	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
	-	-	-	TMO0	MO3	MO2	MO1	MO0	-	-	-	-	-	DW2	DW1	DW0
ALDR/ALHR/ALMIR	-	-	TAD1	TAD0	AD3	AD2	AD1	AD0	-	-	TAH1	TAH0	AH3	AH2	AH1	AH0
	-	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0	-	-	-	-	-	-	-	-
ALYR/ALMOR	-	-	-	-	-	-	-	-	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
	-	-	-	TAMO0	AMO3	AMO2	AMO1	AMO0	-	-	-	-	-	-	-	-
WTTR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TM17	TM16
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0

システムリセットの動作

Table 4-2 の網掛け部分が、システムリセット対象ビットです。また、Table 4-2 にない 1 秒生成カウンタ，タイマカウンタもシステムリセット対象です。
サブ秒生成カウンタ(日付と時刻用，タイマ用)，年/月/日/時/分/秒/曜日カウンタは、リセット対象外です。

Table 4-2 システムリセット対象ビット

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	Bit2	bit1	bit0
WTCR1	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
	-	-	-	YEN	MOEN	DEN	HEN	MIEN	-	BUSY	SCRST	SCST	SRST	RUN	OE	ST
WTCR2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	-	-	-	-	-	TMRUN	TMEN	TMST	-	-	-	-	-	-	-	CREAD
WTBR	-	-	-	-	-	-	-	-	BR23	BR22	BR21	BR20	BR19	BR18	BR17	BR16
	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
WTDR/WTHR/WTMIR/WTSR	-	-	TD1	TD0	D3	D2	D1	D0	-	-	TH1	TH0	H3	H2	H1	H0
	-	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0	-	TS2	TS1	TS0	S3	S2	S1	S0
WTYR/WTMOR/WTDW	-	-	-	-	-	-	-	-	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
	-	-	-	TMO0	MO3	MO2	MO1	MO0	-	-	-	-	-	DW2	DW1	DW0
ALDR/ALHR/ALMIR	-	-	TAD1	TAD0	AD3	AD2	AD1	AD0	-	-	TAH1	TAH0	AH3	AH2	AH1	AH0
	-	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0	-	-	-	-	-	-	-	-
ALYR/ALMOR	-	-	-	-	-	-	-	-	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
	-	-	-	TAMO0	AMO3	AMO2	AMO1	AMO0	-	-	-	-	-	-	-	-
WTTR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TM17	TM16
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0

RTC リセットの動作

Table 4-3 の網掛け部分が、RTC リセット対象ビットです。また、Table 4-3 にない 1 秒生成カウンタ，タイマカウンタも RTC リセット対象です。
サブ秒生成カウンタ(日付と時刻用，タイマ用)，年/月/日/時/分/秒/曜日カウンタは、リセット対象外です。

Table 4-3 RTC リセット対象ビット

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
WTCR1	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
	-	-	-	YEN	MOEN	DEN	HEN	MIEN	-	BUSY	SCRST	SCST	SRST	RUN	OE	ST
WTCR2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	-	-	-	-	-	TMRUN	TMEN	TMST	-	-	-	-	-	-	-	CREAD
WTBR	-	-	-	-	-	-	-	-	BR23	BR22	BR21	BR20	BR19	BR18	BR17	BR16
	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
WTDR/WTHR/WTMIR/WTSR	-	-	TD1	TD0	D3	D2	D1	D0	-	-	TH1	TH0	H3	H2	H1	H0
	-	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0	-	TS2	TS1	TS0	S3	S2	S1	S0
WTYR/WTMOR/WTDW	-	-	-	-	-	-	-	-	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
	-	-	-	TMO0	MO3	MO2	MO1	MO0	-	-	-	-	-	DW2	DW1	DW0
ALDR/ALHR/ALMIR	-	-	TAD1	TAD0	AD3	AD2	AD1	AD0	-	-	TAH1	TAH0	AH3	AH2	AH1	AH0
	-	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0	-	-	-	-	-	-	-	-
ALYR/ALMOR	-	-	-	-	-	-	-	-	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
	-	-	-	TAMO0	AMO3	AMO2	AMO1	AMO0	-	-	-	-	-	-	-	-
WTTR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TM17	TM16
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0

5. RTC カウント部のうるう年の対応

RTC カウント部のうるう年の対応について説明します。

Table 5-1 うるう年一覧

年	うるう年	月											
		1	2	3	4	5	6	7	8	9	10	11	12
00	○	31	29	31	30	31	30	31	31	30	31	30	31
01～03	×	31	28	31	30	31	30	31	31	30	31	30	31
04	○	31	29	31	30	31	30	31	31	30	31	30	31
05～07	×	31	28	31	30	31	30	31	31	30	31	30	31
08	○	31	29	31	30	31	30	31	31	30	31	30	31
09～11	×	31	28	31	30	31	30	31	31	30	31	30	31
12	○	31	29	31	30	31	30	31	31	30	31	30	31
13～15	×	31	28	31	30	31	30	31	31	30	31	30	31
16	○	31	29	31	30	31	30	31	31	30	31	30	31
17～19	×	31	28	31	30	31	30	31	31	30	31	30	31
20	○	31	29	31	30	31	30	31	31	30	31	30	31
21～23	×	31	28	31	30	31	30	31	31	30	31	30	31
24	○	31	29	31	30	31	30	31	31	30	31	30	31
25～27	×	31	28	31	30	31	30	31	31	30	31	30	31
28	○	31	29	31	30	31	30	31	31	30	31	30	31
29～31	×	31	28	31	30	31	30	31	31	30	31	30	31
32	○	31	29	31	30	31	30	31	31	30	31	30	31
33～35	×	31	28	31	30	31	30	31	31	30	31	30	31
36	○	31	29	31	30	31	30	31	31	30	31	30	31
37～39	×	31	28	31	30	31	30	31	31	30	31	30	31
40	○	31	29	31	30	31	30	31	31	30	31	30	31
41～43	×	31	28	31	30	31	30	31	31	30	31	30	31
44	○	31	29	31	30	31	30	31	31	30	31	30	31
45～47	×	31	28	31	30	31	30	31	31	30	31	30	31
48	○	31	29	31	30	31	30	31	31	30	31	30	31
49～51	×	31	28	31	30	31	30	31	31	30	31	30	31
52	○	31	29	31	30	31	30	31	31	30	31	30	31
53～55	×	31	28	31	30	31	30	31	31	30	31	30	31
56	○	31	29	31	30	31	30	31	31	30	31	30	31
57～59	×	31	28	31	30	31	30	31	31	30	31	30	31
60	○	31	29	31	30	31	30	31	31	30	31	30	31
61～63	×	31	28	31	30	31	30	31	31	30	31	30	31
64	○	31	29	31	30	31	30	31	31	30	31	30	31
65～67	×	31	28	31	30	31	30	31	31	30	31	30	31
68	○	31	29	31	30	31	30	31	31	30	31	30	31
69～71	×	31	28	31	30	31	30	31	31	30	31	30	31
72	○	31	29	31	30	31	30	31	31	30	31	30	31

年	うるう年	月											
		1	2	3	4	5	6	7	8	9	10	11	12
73～75	×	31	28	31	30	31	30	31	31	30	31	30	31
76	○	31	29	31	30	31	30	31	31	30	31	30	31
77～79	×	31	28	31	30	31	30	31	31	30	31	30	31
80	○	31	29	31	30	31	30	31	31	30	31	30	31
81～83	×	31	28	31	30	31	30	31	31	30	31	30	31
84	○	31	29	31	30	31	30	31	31	30	31	30	31
85～87	×	31	28	31	30	31	30	31	31	30	31	30	31
88	○	31	29	31	30	31	30	31	31	30	31	30	31
89～91	×	31	28	31	30	31	30	31	31	30	31	30	31
92	○	31	29	31	30	31	30	31	31	30	31	30	31
93～95	×	31	28	31	30	31	30	31	31	30	31	30	31
96	○	31	29	31	30	31	30	31	31	30	31	30	31
97～99	×	31	28	31	30	31	30	31	31	30	31	30	31

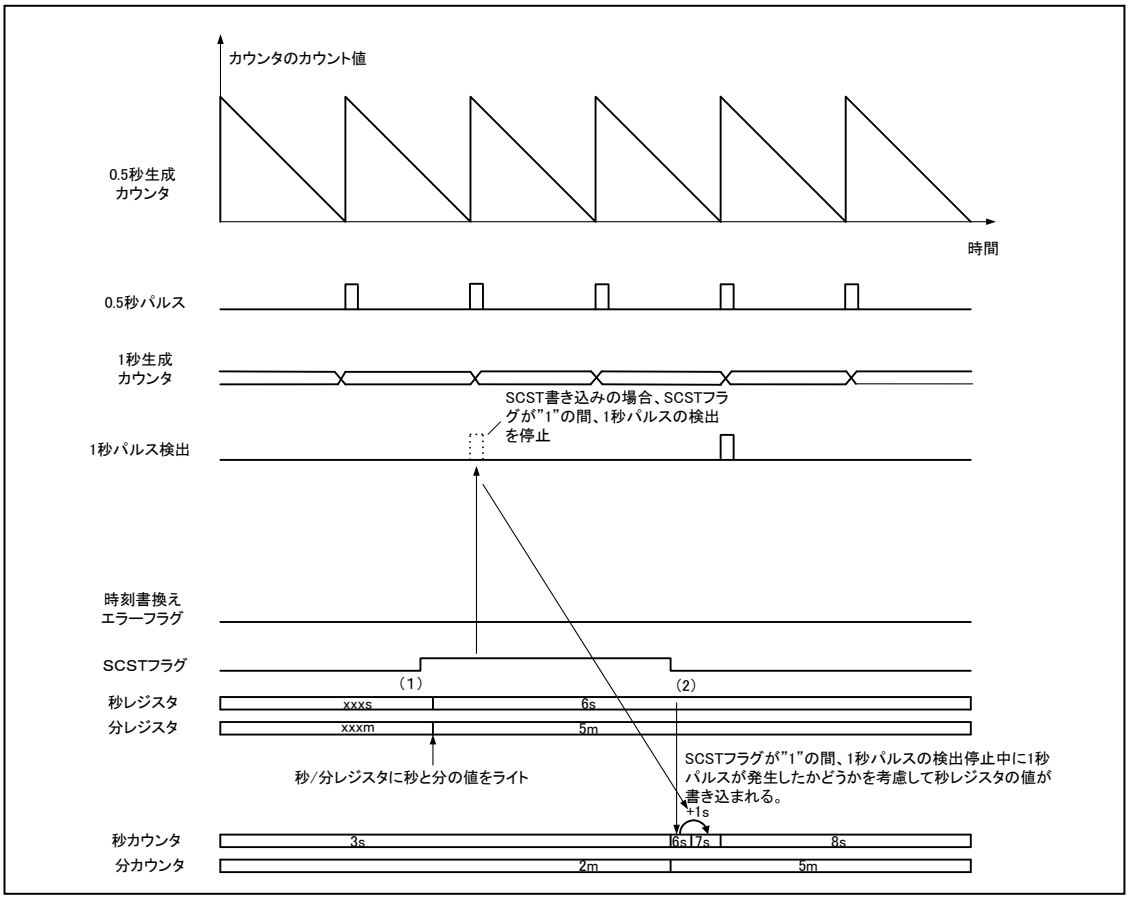
6. 時刻書換えエラー

時刻書換え(時刻カウント継続)のときの時刻書換えエラーについて説明します。

時刻書換えエラー1

時刻書換え(時刻カウント継続)において SCST フラグが 1 の間に 0.5 秒生成カウンタの 0.5 秒パルスが 2 回検出された場合の例を以下に示します。

■ 秒カウンタ, 分カウンタのみを書き換えた場合



(1)SCST フラグに 1 を設定して秒レジスタ, 分レジスタにそれぞれ、6 秒と 5 分を書き込みます。
(2)SCST フラグが 1 の間に 0.5 秒パルスを 2 回検出し、SCST フラグに 0 を設定した場合、
秒カウンタには 6 秒が書き込まれた後、1 が加算され、7 秒となります。

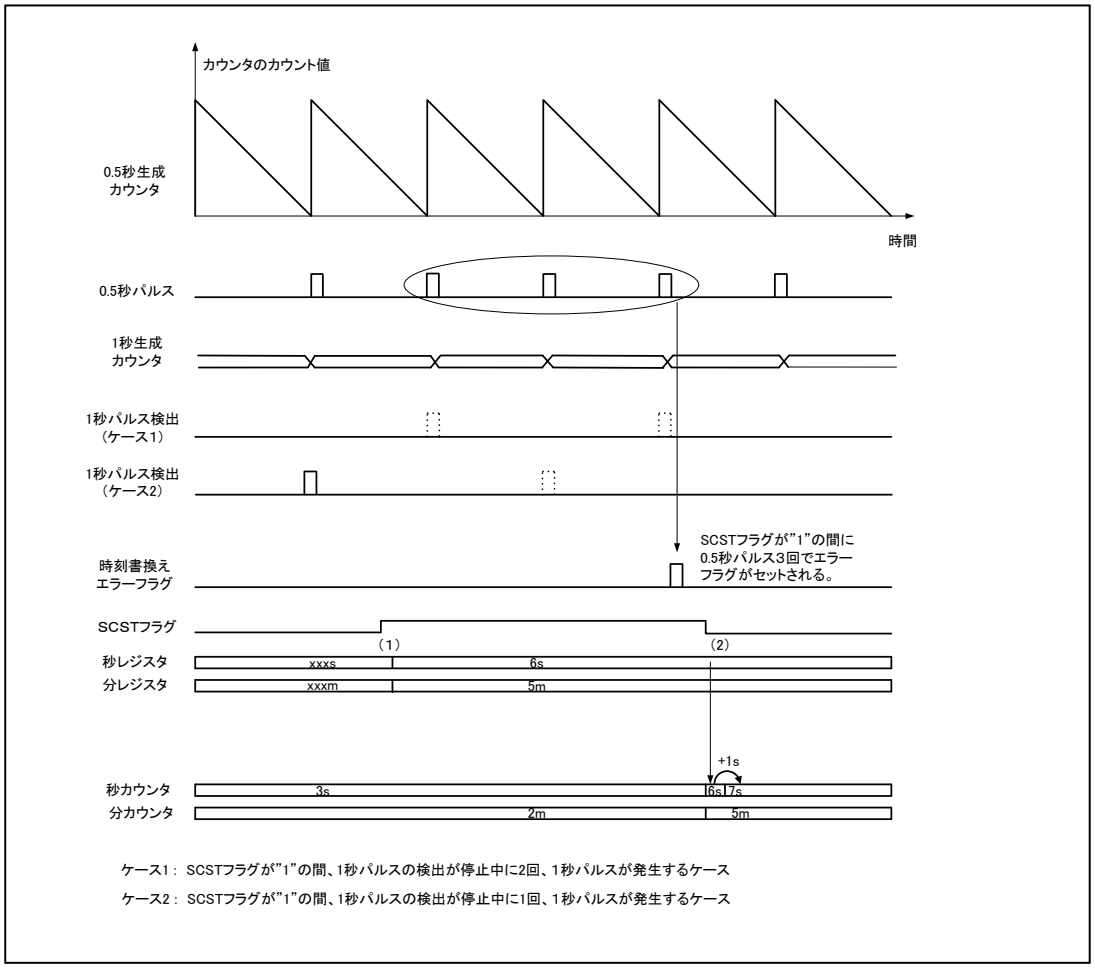
<注意事項>

- *SCST フラグが 1 の間の 0.5 秒パルスの検出が 2 回以下の場合、時刻書換えエラーフラグは 1 になりません。*
- *SCST フラグが 1 の間、1 秒パルスの検出が停止しているため、秒カウンタはカウントしません。1 秒パルスの検出が停止中に 1 秒パルスが発生したことを記憶しておきます。その後、SCST フラグが 0 に設定されると、秒カウンタには秒レジスタの値が書き込まれ、その後、1 が加算されます。SCST フラグが 1 の間に 1 秒パルスが発生しなかった場合、秒レジスタの値が秒カウンタに書き込まれ、1 は加算されません。*

時刻書換えエラー2

時刻書換え(時刻カウント継続)において SCST フラグが 1 の間に 0.5 秒生成カウンタの 0.5 秒パルスが 3 回検出された場合の例を以下に示します。

■ 秒カウンタ, 分カウンタのみを書き換えた場合



(1)SCST フラグに 1 を設定して秒レジスタ、分レジスタにそれぞれ、6 秒と 5 分を書き込みます。

(2)SCST フラグが 1 の間に 0.5 秒の桁上げを 3 回検出し、SCST フラグに 1 を設定した場合、
時刻書換えエラーフラグが 1 になり、秒カウンタには 6 秒が書き込まれた後、1 が加算され、
7 秒となります。

<注意事項>

- *時刻書換えエラーフラグが 1 になった場合、ケース 1 では SCST フラグが 1、ケース 2 では SCST フラグが 1 の間、1 秒パルスの検出が停止中に 1 回、1 秒パルスが発生したため、1 秒のずれは発生しません。ただし、時刻書換えエラーが発生した場合はどちらのケースかわからないため、再度、時刻書換えをやり直してください。*

7. RTC カウント部のレジスタ

RTC カウント部のレジスター一覧を示します。

RTC カウント部のレジスター一覧

Table 7-1 RTC カウント部のレジスター一覧

レジスタ略称	レジスタ名	参照先
WTCR1	制御レジスタ 1	7.1
WTCR2	制御レジスタ 2	7.2
WTBR	カウンタ周期設定レジスタ	7.3
WTDR	日レジスタ	7.4
WTHR	時レジスタ	7.5
WTMIR	分レジスタ	7.6
WTSR	秒レジスタ	7.7
WTYR	年レジスタ	7.8
WTMOR	月レジスタ	7.9
WTDW	曜日レジスタ	7.10
ALDR	アラーム日レジスタ	7.11
ALHR	アラーム時レジスタ	7.12
ALMIR	アラーム分レジスタ	7.13
ALYR	アラーム年レジスタ	7.14
ALMOR	アラーム月レジスタ	7.15
WTTR	タイマ設定レジスタ	7.16

7.1 制御レジスタ 1 (WTCR1)

RTC カウント部の動作を制御するためのレジスタです。

bit	31	30	29	28	27	26	25	24
Field	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約			YEN	MOEN	DEN	HEN	MIEN
属性		R		R/W	R/W	R/W	R/W	R/W
初期値		000		0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	BUSY	SCRST	SCST	SRST	RUN	予約	ST
属性	R	R	R/W	R/W	R/W	R	R	R/W
初期値	0	0	0	0	0	0	0	0

[bit31] INTCRIE： 年/月/日/時/分/秒/曜日カウンタ値読出し完了割込み許可ビット

年/月/日/時/分/秒/曜日カウンタ値読出し完了割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit30] INTERIE： 時刻書換えエラー割込み許可ビット

時刻書換えエラー割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit29] INTALIE： アラーム一致割込み許可ビット

アラーム一致割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit28] INTTMIE: タイマアンダフロー割込み許可ビット

タイマアンダフロー割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit27] INTHIE: 毎時割込み許可ビット

毎時割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit26] INTMIE: 毎分割込み許可ビット

毎分割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit25] INTSIE: 毎秒割込み許可ビット

毎秒割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit24] INTSSIE: 毎 0.5 秒割込み許可ビット

毎 0.5 秒割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit23] INTCRI: 年/月/日/時/分/秒/曜日カウンタ値読出し完了フラグビット

CREAD ビットによって、日付と時刻読出し時に年/月/日/時/分/秒/曜日カウンタの値が年/月/日/時/分/秒/曜日レジスタへ転送が完了したかどうかを表すビットです。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	年/月/日/時/分/秒/曜日カウンタ値読出しは完了していません。
1 読出し時	年/月/日/時/分/秒/曜日カウンタ値読出しは完了した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit22] INTERI: 時刻書換えエラーフラグビット

時刻書換え中(SCST=1)に、秒カウンタが正常にカウントアップされていない状態を示します。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	時刻書換えエラーは発生していません。
1 読出し時	時刻書換えエラーが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit21] INTALI: アラーム一致フラグビット

アラーム年/月/日/時/分レジスタに設定された値と年/月/日/時/分カウンタの値が一致したことを示します。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	アラーム一致は発生していません。
1 読出し時	アラーム一致が発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit20] INTTMI: タイマアンダフロー検出フラグビット

タイマカウンタのアンダフロー時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	タイマアンダフローは発生していません。
1 読出し時	タイマアンダフローが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit19] INTHI: 毎時フラグビット

時カウンタのカウントアップ時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	時カウンタのカウントアップは発生していません。
1 読出し時	時カウンタのカウントアップが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit18] INTMI: 毎分フラグビット

分カウンタのカウントアップ時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	分カウンタのカウントアップは発生していません。
1 読出し時	分カウンタのカウントアップが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit17] INTSI: 毎秒フラグビット

秒カウンタのカウントアップ時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	秒カウンタのカウントアップは発生していません。
1 読出し時	秒カウンタのカウントアップが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit16] INTSSI: 毎 0.5 秒フラグビット

0.5 秒パルスが発生する時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	0.5 秒パルスは発生していません。
1 読出し時	0.5 秒パルスが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit15:13] 予約 : 予約ビット

読出しは常に 0 となります。
書込み時は、0 を設定してください。

[bit12] YEN: アラーム年レジスタ許可ビット

アラーム年レジスタと年カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム年レジスタと年カウンタの比較を禁止します。
1	アラーム年レジスタと年カウンタの比較を許可します。

[bit11] MOEN: アラーム月レジスタ許可ビット

アラーム月レジスタと月カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム月レジスタと月カウンタの比較を禁止します。
1	アラーム月レジスタと月カウンタの比較を許可します。

[bit10] DEN: アラーム日レジスタ許可ビット

アラーム日レジスタと日カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム日レジスタと日カウンタの比較を禁止します。
1	アラーム日レジスタと日カウンタの比較を許可します。

[bit9] HEN: アラーム時レジスタ許可ビット

アラーム時レジスタと時カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム時レジスタと時レジスタの比較を禁止します。
1	アラーム時レジスタと時レジスタの比較を許可します。

[bit8] MIEN: アラーム分レジスタ許可ビット

アラーム分レジスタと分カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム分レジスタを禁止します。
1	アラーム分レジスタを許可します。

[bit7] 予約 : 予約ビット

読出しは常に 0 となります。
書込み時は、0 を設定してください。

[bit6] BUSY : ビジービット

時刻書換え動作中であることを示します。

bit	説明
0	時刻書換え動作中でない時
1	以下の条件のいずれか ・SCST=1 ・SCRST=1 ・年/月/日/時/分/秒/曜日レジスタの値を年/月/日/時/分/秒/曜日カウンタに転送中

[bit5] SCRST: サブ秒生成/1 秒生成カウンタリセットビット

サブ秒生成/1 秒生成カウンタ(日付と時刻用)のリセットを制御するビットです。

bit	説明
0	サブ秒生成/1 秒生成カウンタ(日付と時刻用)のリセットを解除します。
1	サブ秒生成/1 秒生成カウンタ(日付と時刻用)をリセットします。

RTC 動作中(RUN= 1)で本ビットが 0、SCST ビットが 0 の時、年/月/日/時/分/秒/曜日レジスタの値は更新できません。SCST ビットと SCRST ビットの両方に 1 を設定することは禁止です。RTC 停止中(RUN=0)、本ビットに 1 を設定することは禁止です。

[bit4] SCST: 1 秒パルス検出停止ビット

1 秒生成カウンタの 1 秒パルス検出を制御するビットです。

Bit	説明
0	1 秒パルス検出を許可します
1	1 秒パルス検出を停止します

RTC 動作中(RUN= 1)で本ビットが 0、SCRST ビットが 0 の時、年/月/日/時/分/秒/曜日レジスタの値は更新できません。SCST ビットと SCRST ビットの両方に 1 を設定することは禁止です。RTC 停止中(RUN=0)、本ビットに 1 を設定することは禁止です。

[bit3] SRST: RTC リセットビット

RTC リセットビットです。

RTC リセットにより初期化されるレジスタ・ビットは、「4 RTC カウント部のリセット動作」の Table 4-3 を参照ください。

リードモディファイライトアクセスのリードアクセス時は、常に 0 が読み出されます。

bit	説明
0	RTC リセットが完了した時
1	1 が書き込まれた時でハードウェアは RTC リセットを発行します

[bit2] RUN: RTC カウント部動作ビット

RTC カウント部の動作状態を表すビットです。

ST=1 の RTC カウント部動作中に ST=0 を設定すると RTC カウント部の動作は停止し RUN=0 になります。

bit	説明
0	RTC カウント部は停止中
1	RTC カウント部は動作中

[bit1] 予約 : 予約ビット

読出しは常に 0 となります。

書込み時は、0 を設定してください。

[bit0] ST: スタートビット

RTC カウント部の動作開始を制御するビットです。

bit	説明
0	RTC カウント部は停止します。
1	年/月/日/時/分/秒/曜日レジスタに設定した値を年/月/日/時/分/秒/曜日カウンタに転送し、RTC カウント部が動作を開始します。

7.2 制御レジスタ 2 (WTCR2)

制御レジスタ 2 は、RTC カウント部の動作を制御するためのレジスタです。

bit	31							24
Field	予約							
属性	R							
初期値	0x00							

bit	23							16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約					TMRUN	TMEN	TMST
属性	R					R	R/W	R/W
初期値	00000					0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約							CREAD
属性	R							R/W
初期値	0000000							0

[bit31:11] 予約 : 予約ビット

読出しは常に 0 となります。
書込み時は、0 を設定してください。

[bit10] TMRUN: タイマカウンタ動作ビット

タイマカウンタの動作を表すビットです。
タイマカウンタ制御ビットが 0 の場合、カウントがアンダフローすると本ビットはハードウェアによりクリアされます。タイマカウンタ制御ビット(TMEN)が 1 の場合、タイマカウンタスタートビット(TMST)に 0 を書き込むまで本ビットは 1 です。
TMST= 1 のタイマ動作中に TMST= 0 を設定するとタイマ動作は停止し TMRUN= 0 になります。

bit	説明
0	タイマカウンタ停止中
1	タイマカウンタ動作中

[bit9] TMEN: タイマカウンタ制御ビット

タイマカウンタが何(時間, 分, 秒)後, 何(時間, 分, 秒)間隔のどちらで動作するのかを制御するビットです。

bit	説明
0	タイマカウンタが何(時間, 分, 秒)後で動作
1	タイマカウンタが何(時間, 分, 秒)間隔で動作

[bit8] TMST: タイマカウンタスタートビット

タイマカウンタの動作を開始するビットです。
タイマカウンタ制御ビット(TMEN)が 0 の場合は、カウントが終了するとハードウェアにより 0 にクリアされます。
タイマカウンタの動作状態は、タイマカウンタ動作ビット(TMRUN)を参照してください。タイマ設定レジスタの書換えをする場合は、本ビットを 0 で一度停止後、タイマ設定レジスタの書換えを行い、1 に設定し直して動作を再開させてください。

bit	説明
0	タイマカウンタを停止
1	タイマカウンタを動作開始

[bit7:1] 予約 : 予約ビット

読出しは常に 0 となります。
書込みの場合には、0 を設定してください。

[bit0] CREAD: 年/月/日/時/分/秒/曜日カウンタ値読出し制御ビット

本ビットに 1 を設定すると年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへ転送を開始し、完了すると 0 クリアされます。
リードモディファイライトアクセスのリードアクセス時は、常に 0 が読み出されます。

bit	説明
0 読出し時	年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへの転送が完了しています。
1 読出し時	年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへ転送中です。
0 書込み時	動作に影響しません。
1 書込み時	年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへのコピーを開始します。

7.3 カウンタ周期設定レジスタ (WTBR)

カウンタ周期設定レジスタは、サブ秒生成カウンタ(日付と時刻用, タイマ用)へリロードする値を格納するレジスタです。

bit	31							24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	BR23	BR22	BR21	BR20	BR19	BR18	BR17	BR16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:24] 予約 : 予約ビット

読出しは常に 0 となります。
書込み時は、0 を設定してください。

[bit23:0] BR23～BR0 : カウンタ周期設定ビット

サブ秒生成カウンタ(日付と時刻用, タイマ用)へのリロードされる値を設定します。
サブ秒生成カウンタが 0.5 秒カウントする値をレジスタに設定してください。サブ秒生成カウンタが"0"になると WTBR の値がサブ秒生成カウンタにリロードされます。
WTBR に設定する値は下記の計算式で求めてください。

WTBR ＝ (0.5[s] ÷ (2 × RTCCLK 周期[s])) － 1

<注意事項>

- *WTBR を設定する場合は、ST が 0 (RTC カウント部停止中)、TMST が 0 (タイマカウンタ停止中)の時に行ってください。*
- *カウンタ周期設定レジスタには 7 以上の値を設定してください。6 以下の値を設定すると、年/月/日/時/分/秒/曜日カウンタ値読出しで正しい値が読めなくなります。*

7.4 日レジスタ (WTDR)

RTC カウント部の日情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約		TD1	TD0	D3	D2	D1	D0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出しは常に 0 となります。

書込み時は、0 を設定してください。

[bit5:4] TD1, TD0 : 日レジスタ

RTC カウント部の日情報の 2 桁目を表します。

[bit3:0] D3～D0 : 日レジスタ

RTC カウント部の日情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.5 時レジスタ (WTHR)

RTC カウント部の時情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約		TH1	TH0	H3	H2	H1	H0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出しは常に 0 となります。

書込み時は、0 を設定してください。

[bit5:4] TH1, TH0 : 時レジスタ

RTC カウント部の時情報の 2 桁目を表します。

0～2: 有効

3: 設定禁止

[bit3:0] H3～H0 : 時レジスタ

RTC カウント部の時情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.6 分レジスタ (WTMIR)

RTC カウント部の分情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出しは常に 0 となります。
書込み時は、0 を設定してください。

[bit6:4] TMI2～TMI0 : 分レジスタ

RTC カウント部の分情報の 2 桁目を表します。
0～5: 有効
6, 7: 設定禁止

[bit3:0] MI3～MI0 : 分レジスタ

RTC カウント部の分情報の 1 桁目を表します。
0～9: 有効
A～F: 設定禁止

7.7 秒レジスタ (WTSR)

RTC カウント部の秒情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約	TS2	TS1	TS0	S3	S2	S1	S0
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出しは常に 0 となります。

書込み時は、0 を設定してください。

[bit6:4] TS2～TS0 : 秒レジスタ

RTC カウント部の秒情報の 2 桁目を表します。

0～5: 有効

6, 7: 設定禁止

[bit3:0] S3～S0 : 秒レジスタ

RTC カウント部の秒情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.8 年レジスタ (WTYR)

RTC カウント部の年情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:4] TY3～TY0： 年レジスタ

RTC カウント部の年情報の 2 桁目を表します。

0～9: 有効

A～F: 設定禁止

[bit3:0] Y3～Y0： 年レジスタ

RTC カウント部の年情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.9 月レジスタ (WTMOR)

RTC カウント部の月情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約			TMO0	MO3	MO2	MO1	MO0
属性	R			R/W	R/W	R/W	R/W	R/W
初期値	000			0	0	0	0	0

[bit7:5] 予約 : 予約ビット

読出しは常に 0 となります。

書込み時は、0 を設定してください。

[bit4] TMO0 : 月レジスタ

RTC カウント部の月情報の 2 桁目を表します。

[bit3:0] MO3～MO0 : 月レジスタ

RTC カウント部の月情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.10 曜日レジスタ (WTDW)

RTC カウント部の曜日情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約					DW2	DW1	DW0
属性	R					R/W	R/W	R/W
初期値	00000					0	0	0

[bit7:3] 予約 : 予約ビット

読出しは常に 0 となります。
書込み時は、0 を設定してください。

[bit2:0] DW2～DW0 : 曜日レジスタ

RTC カウント部の曜日情報を表します。

0 の場合: 日曜
1 の場合: 月曜
2 の場合: 火曜
3 の場合: 水曜
4 の場合: 木曜
5 の場合: 金曜
6 の場合: 土曜
7 の場合: 設定禁止

7.11 アラーム日レジスタ (ALDR)

アラーム設定した日情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		TAD1	TAD0	AD3	AD2	AD1	AD0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出しは常に 0 となります。

書込み時は、0 を設定してください。

[bit5:4] TAD1, TAD0 : アラーム日レジスタ

アラーム設定した日情報の 2 桁目を表します。

[bit3:0] AD3～AD0 : アラーム日レジスタ

アラーム設定した日情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.12 アラーム時レジスタ (ALHR)

アラーム設定した日情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		TAH1	TAH0	AH3	AH2	AH1	AH0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出しは常に 0 となります。

書込み時は、0 を設定してください。

[bit5:4] TAH1, TAH0 : アラーム時レジスタ

アラーム設定した時情報の 2 桁目を表します。

0～2: 有効

3: 設定禁止

[bit3:0] AH3～AH0 : アラーム時レジスタ

アラーム設定した時情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.13 アラーム分レジスタ (ALMIR)

アラーム設定した分情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出しは常に 0 となります。

[bit6:4] TAMI2～TAMI0 : アラーム分レジスタ

アラーム設定した分情報の 2 桁目を表します。

0～5: 有効

6, 7: 設定禁止

[bit3:0] AMI3～AMI0 : アラーム分レジスタ

アラーム設定した分情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.14 アラーム年レジスタ (ALYR)

アラーム設定した年情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:4] TAY3～TAY0： アラーム年レジスタ

アラーム設定した年情報の 2 桁目を表します。

0～9: 有効

A～F: 設定禁止

[bit3:0] AY3～AY0： アラーム年レジスタ

アラーム設定した年情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.15 アラーム月レジスタ (ALMOR)

アラーム設定した月情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約			TAMO0	AMO3	AMO2	AMO1	AMO0
属性	R			R/W	R/W	R/W	R/W	R/W
初期値	000			0	0	0	0	0

[bit7:5] 予約 : 予約ビット

読出しは常に 0 となります。

書込み時は、0 を設定してください。

[bit4] TAMO0 : アラーム月レジスタ

アラーム設定した月情報の 2 桁目を表します。

[bit3:0] AMO3～AMO0 : アラーム月レジスタ

アラーム設定した月情報の 1 桁目を表します

0～9: 有効

A～F: 設定禁止

7.16 タイマ設定レジスタ (WTTR)

何(時間,分,秒)後、何(時間,分,秒)間隔といったタイマ設定値を設定するレジスタです。
1 秒から 1 日間までの値が設定可能です。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約						TM17	TM16
属性	R						R/W	R/W
初期値	000000						0	0

bit	15	14	13	12	11	10	9	8
Field	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:18] 予約 : 予約ビット

読出しは常に 0 となります。
書込み時は、0 を設定してください。

[bit17:0] TM17～ TM0 : タイマ設定レジスタ

タイマ設定情報ビットです。
何(時間, 分, 秒)後, 何(時間, 分, 秒)間隔といった 1 日間のタイマを設定します。
設定可能なタイマ設定値は 1 秒～1 日まで 0.5 秒間隔です。
タイマ設定レジスタに設定する値は下記の計算式で求めてください。
TM[17:0] = (設定時間[s] × 2) − 1

1～172799: 有効
0, 172800～262143: 設定禁止

8. 使用上の注意

RTC カウント部を使用する際は、次の点を注意してください。

- PCLK1(周辺バスクロック) ≧ RTCCLK(RTC クロック) / 2 の周波数条件で使用してください。
- 各アラームレジスタの設定は、各アラーム割込み用データ制御ビット(WTCR1:YEN, WTCR1:MOEN, WTCR1:DEN, WTCR1:HEN, WTCR1:MIEN)が 0 のときに変更してください。
- アラーム割込み用データ制御ビット(WTCR1:YEN, WTCR1:MOEN, WTCR1:DEN, WTCR1:HEN, WTCR1:MIEN)のいずれかに 1 を設定した場合、その直後に割込みが発生することがあります。そのため、割込み後、日時を読み出し、確認してください。

CHAPTER 4-3: RTC クロック制御部(A)

RTC クロック制御部(A)の機能と動作について示します。

1. RTC クロック制御部の概要
2. RTC クロック制御部の構成
3. RTC クロック制御部の動作説明
4. RTC クロック制御部の設定手順
5. RTC クロック制御部のレジスタ

管理コード: 9RTCCLKC_A-J03.0

1. RTC クロック制御部の概要

RTC クロック制御部の機能概要を示します。

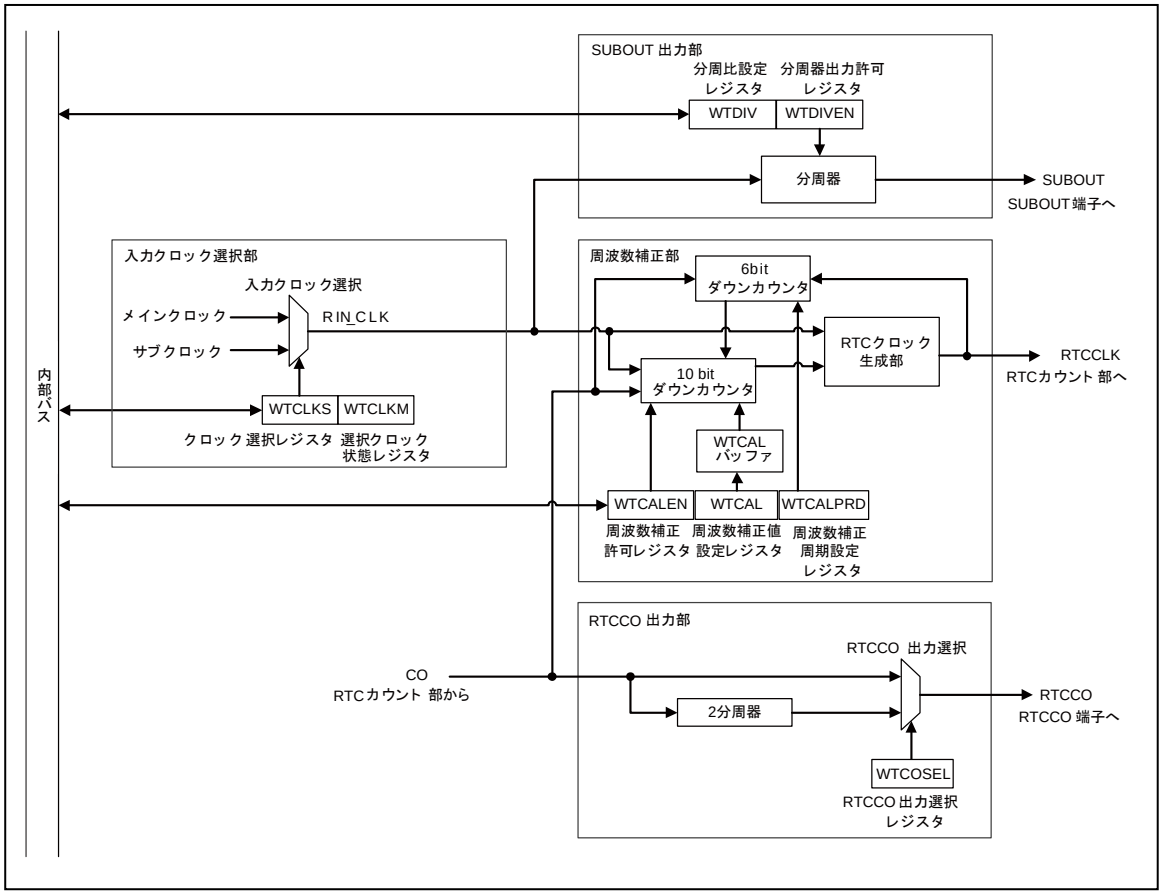
RTC クロック制御部

- RTC カウント部で使用するカウントクロック(RTCCLK)の生成機能
- 入力クロック(RIN_CLK)としてメインクロックまたはサブクロックを選択する機能
- SUBOUT 外部端子に出力する分周クロックの生成機能
- RTCCO 外部端子に出力する 0.5 秒または 1 秒のパルス生成機能
- 温度依存による入力クロックの周波数変動を補正する機能(周波数補正機能)
  (上記周波数補正機能は温度センサを外部接続することを想定しています。)

2. RTC クロック制御部の構成

Figure 2-1 にブロックダイヤグラムを示します。

Figure 2-1 RTC クロック制御部のブロックダイヤグラム



入力クロック選択部

クロック選択レジスタ(WTCALS)の設定により、メインクロック,サブクロックから入力クロック(RIN_CLK)を選択します。

周波数補正部

周波数補正部は、RIN_CLK をマスクし、周波数補正を行った RTCCLK を出力します。
WTCALPRD に設定した周期で、WTCAL バッファの値の数だけ、RIN_CLK をマスクします。

SUBOUT 出力部

SUBOUT 外部端子に出力する分周クロックを生成します。
ディープスタンバイ RTC モード時は、SUBOUT 外部端子から出力できません。

RTCCO 出力部

RTCCO 外部端子に出力する信号を生成します。
RTC カウント部からの CO 信号または CO 信号を 2 分周した信号を選択できます。
ディープスタンバイ RTC モード時は、RTCCO 外部端子から出力できません。

3. RTC クロック制御部の動作説明

RTC クロック制御部の動作について説明します。

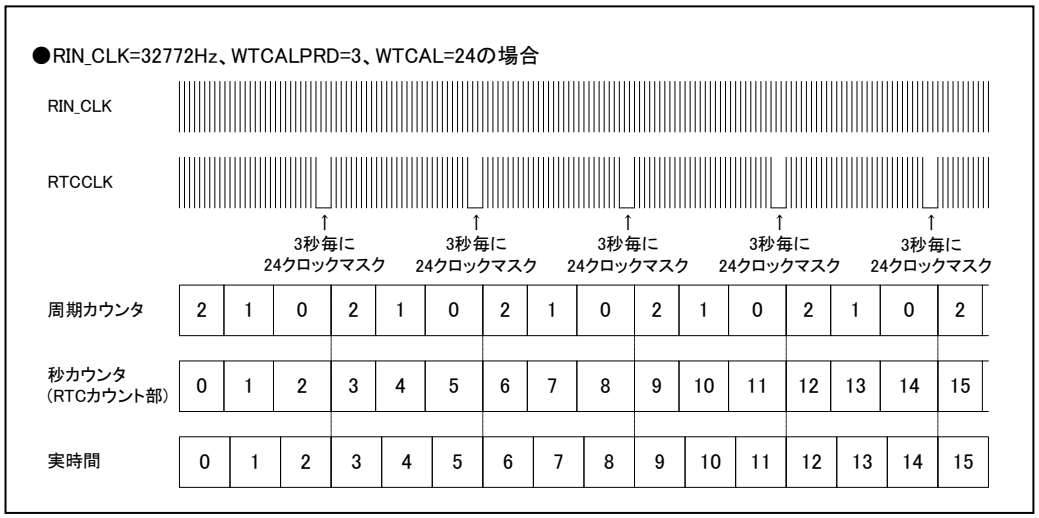
3.1 周波数補正部

RIN_CLK の周波数のずれを補正します。
一定の周期で RIN_CLK をマスクし、周波数補正を行った RTCCLK を出力します。
周期は補正周期設定レジスタ(WTCALPRD)に設定します。
補正値設定レジスタ(WTCAL)にマスクするクロック数を設定します。

Figure 3-1 周波数補正部の動作例 (WTBR=8190、WTCALPRD=19 の場合)



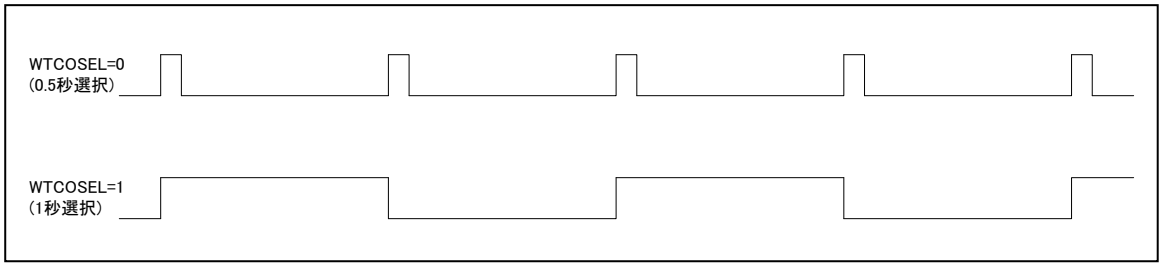
Figure 3-2 周波数補正部の動作例 (WTBR=8190、WTCALPRD=3 の場合)



3.2 RTCCO 外部端子出力クロック選択部

RTCCO クロック選択レジスタ(WTCOSEL)の設定により、RTC カウント部からの CO 信号(0.5 秒)または CO 信号の 2 分周(1 秒)を選択し、RTCCO 外部端子に出力します。

Figure 3-3 周波数補正部の動作例 (WTBR=8190 の場合)

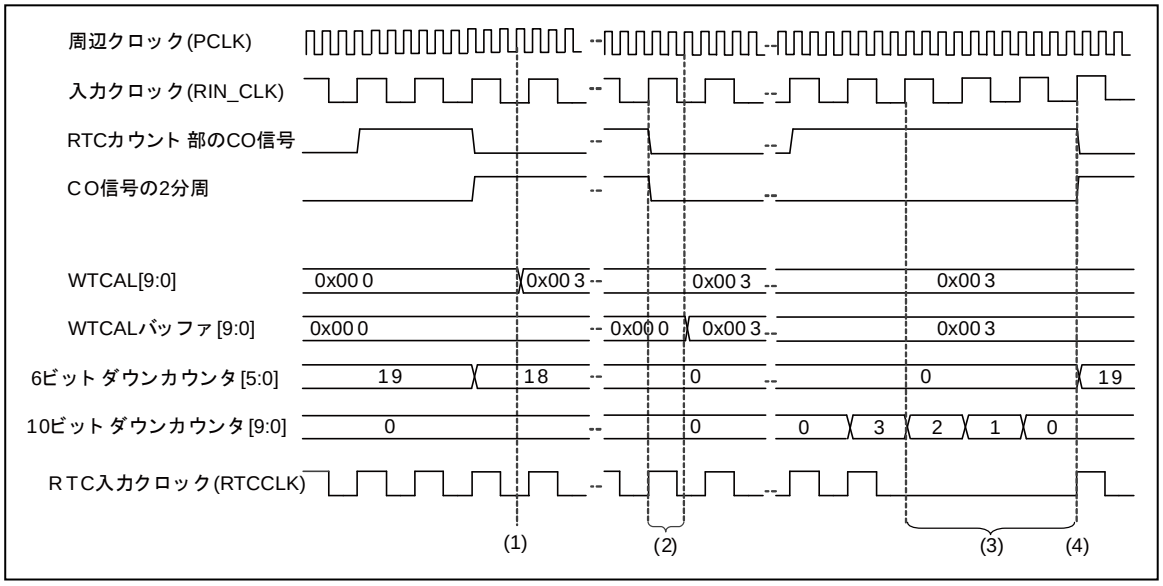


RTC カウント部からの CO 信号(0.5 秒)について、『RTC カウント部』の章を参照してください。

WTCAL バッファの動作

周波数補正値設定レジスタ(WTCAL)は、周波数補正機能でマスクするクロック数を設定できます。
周波数補正部が動作中に周波数補正値設定レジスタ(WTCAL)を書換え可能にするため、周波数補正部は WTCAL バッファを搭載しています。

Figure 3-4 WTCAL バッファの動作



(1) 周波数補正値設定レジスタ(WTCAL)にマスクするクロック数を書き込んでください。
(2) 6 ビットダウンカウンタ=0 になり、APB1 バスクロック(PCLK1)の 3 クロック後に WTCAL の値が WTCAL バッファに転送されます。
(3) 6 ビットダウンカウンタのアンダフロー直前に、10 ビットダウンカウンタに WTCAL レジスタの値がロードされ、設定した値のクロックをマスクします。
(4) 6 ビットダウンカウンタは、アンダフロー時に WTCAL バッファの値をロードします。

<注意事項>

- *WTCAL レジスタで設定したクロックがマスクされている間は、RTC カウント部の CO 信号が High のままとなります。*

周波数補正範囲

周波数補正範囲の例を Table 3-1 と Table 3-2 に示します。RTC カウント部の WTBR レジスタ, WTCAL レジスタと WTCALPRD レジスタの設定を組み合せて補正します。

Table 3-1 WTCALPRD=19 時の周波数補正範囲の例 (理想値)

WTCAL	WTBR=8190		WTBR=8189	
	補正率 [ppm]	サブクロック周波数[Hz]	補正率 [ppm]	サブクロック周波数[Hz]
0	122.1	32764.00	244.1	32760.00
1	120.5	32764.05	242.6	32760.05
2	119.0	32764.10	241.1	32760.10
:	:	:	:	:
79	1.5	32767.95	123.6	32763.95
80	0.0	32768.00	122.1	32764.00
81	-1.5	32768.05	120.5	32764.05
:	:	:	:	:
159	-120.5	32771.95	1.5	32767.95
160	-122.1	32772.00	0.0	32768.00
161	-123.6	32772.05	-1.5	32768.05
:	:	:	:	:
318	-363.2	32779.90	-241.1	32775.90
319	-364.7	32779.95	-242.6	32775.95
320	-366.2	32780.00	-244.1	32776.00

Table 3-2 WTCALPRD=59 時の周波数補正範囲の例 (理想値)

WTCAL	WTBR=8190		WTBR=8189	
	補正率 [ppm]	サブクロック周波数[Hz]	補正率 [ppm]	サブクロック周波数[Hz]
0	122.1	32764.00	244.1	32760.00
1	121.6	32764.02	243.6	32760.02
2	121.1	32764.03	243.1	32760.03
:	:	:	:	:
239	0.5	32767.98	122.6	32763.98
240	0.0	32768.00	122.1	32764.00
241	-0.5	32768.02	121.6	32764.02
:	:	:	:	:
479	-121.6	32771.98	0.5	32767.98
480	-122.1	32772.00	0.0	32768.00
481	-122.6	32772.02	-0.5	32768.02
:	:	:	:	:
958	-365.2	32779.97	-243.1	32775.97
959	-365.7	32779.98	-243.6	32775.98
960	-366.2	32780.00	-244.1	32776.00

4. RTC クロック制御部の設定手順

RTC クロック制御部の設定手順について説明します。

周波数補正設定手順(サブクロックを選択する場合)

(1) 入力クロック選択ビット(WTCLKS)に 0 を書き込んでください。
(2) クロック選択状態ビット(WTCLKM)を読み出して、10 になるまで待ってください。
(3) 周波数補正周期設定レジスタ(WTCALPRD)に補正周期、周波数補正値設定レジスタ(WTCAL)に補正値を書き込んでください。
WTCAL の設定値は以下の式で算出してください。

$$WTCAL = \{(補正前の周波数 - (WTBR+1)\times 4) / (WTCALPRD+1)\} \times 2^{20}$$

(4) 周波数補正許可ビット(WTCALEN)に 1 を書き込んでください。周波数補正が許可されます。

SUBOUT 出力部の設定手順

(1) 分周器出力許可ビット(WTDIVEN)に 0 を書き込んでください。
分周器が停止し、SUBOUT 外部出力に L レベルが出力されます。
(2) 分周器状態ビット(WTDIVRDY)を読み出し、0 (停止中)になるまで待ってください。
(3) 分周比設定ビット(WTDIV)に分周比を書き込んでください。
分周比設定については、「5.5 分周比設定レジスタ(WTDIV)」をご参照ください。
(4) 分周器出力許可ビット(WTDIVEN)に 1 を書き込んでください。分周器が動作許可に設定されます。

5. RTC クロック制御部のレジスタ

RTC クロック制御部のレジスター一覧を示します。

RTC クロック制御部のレジスター一覧

Table 5-1 RTC クロック制御部のレジスター一覧

レジスタ略称	レジスタ名	参照先
WTCLKS	クロック選択レジスタ	5.1
WTCLKM	選択クロック状態レジスタ	5.2
WTCAL	周波数補正値設定レジスタ	5.3
WTCALEN	周波数補正許可レジスタ	5.4
WTDIV	分周比設定レジスタ	5.5
WTDIVEN	分周器出力許可レジスタ	5.6
WTCALPRD	周波数補正周期設定レジスタ	5.7
WTCOSEL	RTCCO 出力選択レジスタ	5.8

5.1 クロック選択レジスタ(WTCLKS)

入力クロック(RIN_CLK)の選択を行います。

bit	7						1	0
Field	予約							WTCLKS
属性	R							R/W
初期値	0000000							0

[bit7:1] 予約 : 予約ビット

読出しは常に 0 です。

書込み時は、0 を設定してください。

[bit0] WTCLKS : 入力クロック選択ビット

使用する入力クロック(RIN_CLK)を選択します。

bit	説明
0	サブクロックを選択します。
1	メインクロックを選択します。

5.2 選択クロック状態レジスタ(WTCLKM)

入力クロック(RIN_CLK)の選択状態を示します。

bit	7	2	1	0
Field	予約		WTCLKM	
属性	R		R	
初期値	000000		00	

[bit7:2] 予約 : 予約ビット

読出しは常に 0 です。

書込み時は、0 を設定してください。

[bit1:0] WTCLKM : クロック選択状態ビット

入力クロック(RIN_CLK)の選択状態を示します。

bit1:0	説明
0x	RIN_CLK は停止しています。
10	サブクロックが選択されています。
11	メインクロックが選択されています。

<注意事項>

- *本レジスタは、ソフトウェアリセットと RTC リセットと APB1 バスリセットでは初期化されません。*

5.3 周波数補正値設定レジスタ(WTCAL)

RTC カウント部へ出力するカウントクロック(RTCCLK)の周波数補正値を設定します。

bit	15						10	9	8
Field	予約							WTCAL	
属性	R							R/W	
初期値	000000							00	

bit	7							0
Field	WTCAL							
属性	R/W							
初期値	00000000							

[bit15:10] 予約 : 予約ビット

読出しは常に 0 です。
書込み時は、0 を設定してください。

[bit9:0] WTCAL: 周波数補正値設定ビット

WTCALPRD レジスタに設定した周期ごとに、マスクするクロック数を設定します。
WTCALPRD を 19、WTCAL を 8 に設定した場合、20 秒ごとに入力クロック(RIN_CLK)から 8 クロックをマスクし、RTC カウント部へ RTCCLK を出力します。
WTCAL に設定する値は、「4. RTC クロック制御部の設定手順」の「周波数補正設定手順(サブクロックを選択する場合)」を参照してください。

<注意事項>

- *本レジスタは、ソフトウェアリセットと APB1 バスリセットでは初期化されません。*

5.4 周波数補正許可レジスタ(WTCALEN)

RTC カウント部へ入力するクロック(RTCCLK)の周波数補正を許可するレジスタです。

bit	7						1	0
Field	予約							WTCALEN
属性	R							R/W
初期値	0000000							0

[bit7:1] 予約 : 予約ビット

読出しは常に 0 です。

書込み時は、0 を設定してください。

[bit0] WTCALEN: 周波数補正許可ビット

周波数補正を許可します。

bit	説明
0	周波数補正を禁止します。
1	周波数補正を許可します。

<注意事項>

- *本レジスタは、ソフトウェアリセットと APB1 バスリセットでは初期化されません。*

5.5 分周比設定レジスタ(WTDIV)

分周器の分周比を設定します。

bit	7	4	3	0
Field	予約		WTDIV	
属性	R		R/W	
初期値	0000		0000	

[bit7:4] 予約 : 予約ビット

読出しは常に 0 です。

書込み時は、0 を設定してください。

[bit3:0] WTDIV: 分周比設定ビット

入力クロック(RIN_CLK)と分周器が出力する分周クロック(SUBOUT)の分周比を設定します。

bit3:0	説明
0000	分周なし
0001	2 分周
0010	4 分周
0011	8 分周
0100	16 分周
0101	32 分周
0110	64 分周
0111	128 分周
1000	256 分周
1001	512 分周
1010	1024 分周
1011	2048 分周
1100	4096 分周
1101	8192 分周
1110	16384 分周
1111	32768 分周

<注意事項>

- *WTDIV ビットへの書込みは、分周器出力許可レジスタ(WTDIVEN)の分周器許可ビット(WTDIVEN)と分周器状態ビット(WTDIVRDY)が 0 のときに行ってください。*
- *本レジスタは、ソフトウェアリセットと APB1 バスリセットでは初期化されません。*

5.6 分周器出力許可レジスタ(WTDIVEN)

分周器の出力を許可するレジスタです。

bit	7	2	1	0
Field	予約		WTDIVRDY	WTDIVEN
属性	R		R	R/W
初期値	000000		0	0

[bit7:2] 予約 : 予約ビット

読出しは常に 0 です。
書込み時は、0 を設定してください。

[bit1] WTDIVRDY : 分周器状態ビット

分周器の動作状態を示します。

bit	説明
0	分周器は停止中です。SUBOUT 外部端子出力は Low 固定です。
1	分周器は動作中です。

[bit0] WTDIVEN: 分周器許可ビット

分周器の動作を許可します。

bit	説明
0	分周器の動作を停止します。
1	分周器の動作を許可します。

<注意事項>

- *本レジスタは、ソフトウェアリセットと APB1 バスリセットでは初期化されません。*

5.7 周波数補正周期設定レジスタ(WTCALPRD)

周波数補正の周期を設定するレジスタです。

bit	7	6	5	0
Field	予約		WTCALPRD	
属性	R		R/W	
初期値	00		010011	

[bit7:6] 予約 : 予約ビット

読出しは常に 0 です。

書込み時は、0 を設定してください。

[bit5:0] WTCALPRD: 周波数補正値設定ビット

周波数補正のためのクロックをマスクする周期(秒)から 1 引いた値を設定します。

例えば、0 を設定すると 1 秒周期、19 を設定すると 20 秒周期となります。

<注意事項>

- *本レジスタは、ソフトウェアリセットと APB1 バスリセットでは初期化されません。*

5.8 RTCCO 出力選択レジスタ(WTCOSEL)

RTCCO 出力を選択するレジスタです。

bit	7	1	0
Field	予約		WTCOSEL
属性	R		R/W
初期値	0000000		0

[bit7:1] 予約 : 予約ビット

読出しは常に 0 です。
書込み時は、0 を設定してください。

[bit0] WTCOSEL: RTCCO 出力選択ビット

RTCCO 出力を選択します。

bit	説明
0	RTC カウント部の CO 信号を出力します。
1	CO 信号の 2 分周を出力します。

<注意事項>

- *本レジスタは、ソフトウェアリセットと APB1 バスリセットでは初期化されません。*

CHAPTER 4-4: RTC カウント部(B)

RTC カウント部(B)の機能と動作について示します。

1. RTC カウント部の概要
2. RTC カウント部のブロックダイヤグラム
3. RTC カウント部の動作説明と設定手順例
4. RTC 制御部のリセット動作
5. RTC カウント部のうるう年の対応
6. 時刻書換えエラー
7. RTC 制御部のレジスタ
8. 使用上の注意

1. RTC カウント部の概要

RTC カウント部は、00 年～99 年までの日付と時刻(年/月/日/時/分/秒/曜日)のカウントを行います。アラーム設定, タイマ設定も可能でアラームは、年/月/日/時/分の設定が可能で年/月/日/時/分だけの個別設定も可能です。タイマは、1 日間までの設定が可能で何(時間,分,秒)後, 何(時間,分,秒)おきといった設定も行えます。以下に RTC カウント部の概要を示します。

RTC カウント部の機能概要

- 日付と時刻(年/月/日/時/分/秒/曜日)の設定
- 日付と時刻(年/月/日/時/分/秒/曜日)のカウント (年は 00 年～99 年に対応)
- うるう年の対応（00 年はうるう年として動作）
- 日付と時刻(年/月/日/時/分)を指定したアラーム設定
- 年,月,日,時,分だけの個別設定も可能
- 何(時間, 分, 秒)後, 何(時間, 分, 秒)おきといった 1 日間までのタイマ設定
- 時報での時刻設定用に RTC カウント部の時計カウントをリセットし時刻書換えが可能
- タイムゾーン変更用に RTC カウント部の時計カウントを継続させながら時刻書換えが可能(書換えが 1 秒以内であれば時刻継続は保証)
- 以下の割込みが出力可能
  - アラーム(設定日時で割込みを発生)
  - 毎時
  - 毎分
  - 毎秒
  - 毎 0.5 秒
  - タイマ
  - 時刻書換えエラー
  - 時刻カウンタ読出し完了
  - 0.5 秒ごとのパルス出力

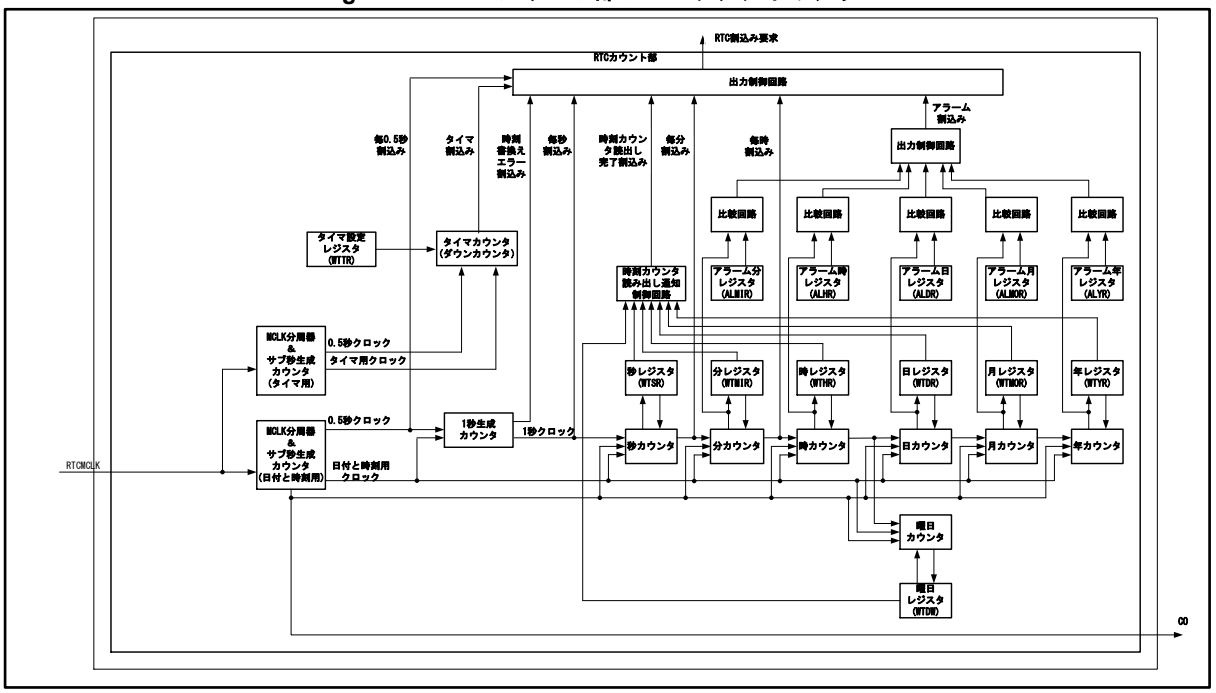
＜注意事項＞

- *本機能をご利用の際は、RTC クロック制御部に実装されている周波数補正機能によって周波数の補正を行ってください。周波数の補正を行わない場合、カレンダとタイマのカウント速度は、サブクロック周波数が 32.768kHz の時に通常よりも 244.1ppm 速くなりますのでご注意ください。*
  詳しくは、「RTC クロック制御部」の章をご参照ください。

2. RTC カウント部のブロックダイヤグラム

Figure 2-1 にブロックダイヤグラムを示します。

Figure 2-1 RTC カウント部のブロックダイヤグラム



RTCMCLK 分周器&サブ秒生成カウンタ(タイマ用)

RTCMCLK 分周器はタイマ用クロックを生成します。サブ秒生成カウンタ(タイマ用)は、その生成したクロックで動作し、サブ秒(0.5 秒)カウントを行います。

RTCMCLK 分周器&サブ秒生成カウンタ(日付と時刻用)

RTCMCLK 分周器は日付と時刻用クロックを生成します。サブ秒生成カウンタ(日付と時刻用)は、その生成したクロックで動作し、サブ秒(0.5 秒)カウントを行います。

タイマ設定レジスタ(WTTR)

何(時間, 分, 秒)後, 何(時間, 分, 秒)間隔といったタイマ設定値を格納するレジスタです。

タイマカウンタ(ダウンカウンタ)

タイマカウンタはタイマ設定レジスタに設定された値がロードされ、サブ秒生成カウンタ(タイマ用)が出力する 0.5 秒パルスでダウンカウントします。(本機能は Always on ドメインにあります。)

1 秒生成カウンタ

サブ秒生成カウンタ(日付と時刻用)が出力する 0.5 秒パルスをカウントし、1 秒パルスを生成します。

秒カウンタ/分カウンタ/時カウンタ/日カウンタ/月カウンタ/年カウンタ/曜日カウンタ

秒カウンタ/分カウンタ/時カウンタ/日カウンタ/月カウンタ/年カウンタ/曜日カウンタは秒/分/時/日/月/年/曜日をカウントします。

秒レジスタ(WTSR)/分レジスタ(WTMIR)/時レジスタ(WTHR)/日レジスタ(WTDR)/月レジスタ(WTMOR)/年レジスタ(WTYR)

RTC カウント部の秒/分/時/日/月/年情報を表すレジスタです。

時刻カウンタ読出し通知制御回路

時刻カウンタ読出し時に読出しが完了したことを通知する回路です。

アラーム分レジスタ(ALMIR)/アラーム時レジスタ(ALHR)/アラーム日レジスタ(ALDR)/アラーム月レジスタ(ALMOR)/アラーム年レジスタ(ALYR)

アラームの分/時/日/月/年の設定値を格納するレジスタです。アラーム動作時は本レジスタに格納された値と分/時/日/月/年カウンタとの値を比較回路により比較し、値が一致するとアラーム割込みが発生します。

<注意事項>

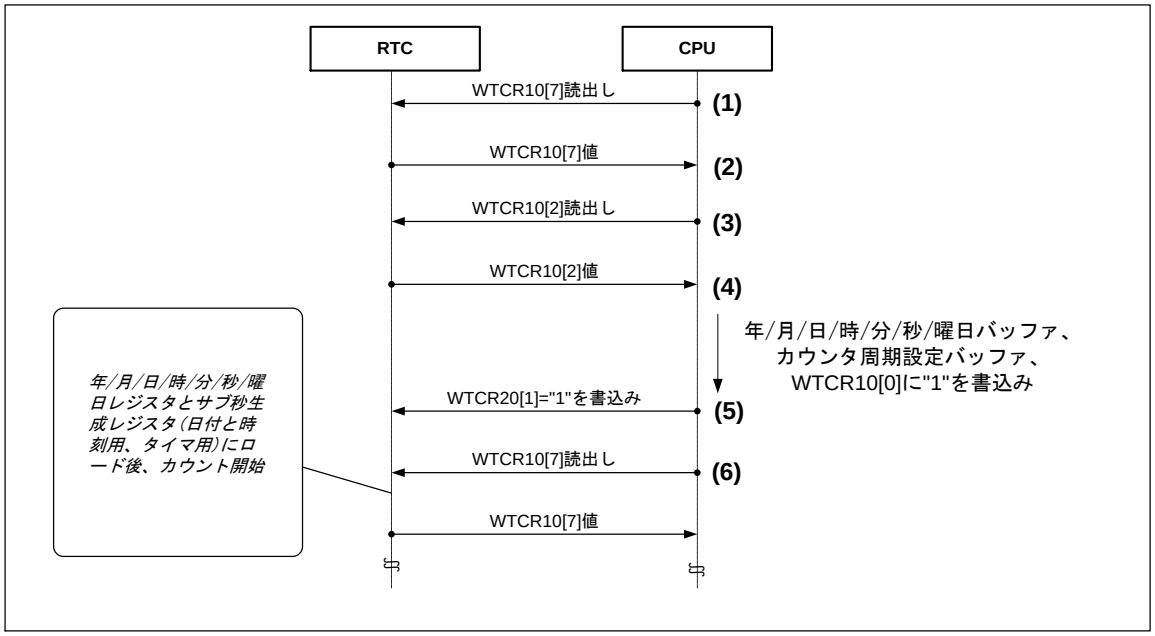
- *本機能をご利用の際は、RTC クロック制御部に実装されている周波数補正機能によって周波数の補正を行ってください。周波数の補正を行わない場合、カレンダとタイマのカウント速度は、サブクロック周波数が 32.768kHz の時に通常よりも 244.1ppm 速くなりますのでご注意ください。*
  詳しくは、「RTC クロック制御部」の章をご参照ください。

3. RTC カウント部の動作説明と設定手順例

RTC カウント部の動作説明と設定手順例を以下に示します。

時刻初期設定手順例

Figure 3-1 時刻初期設定動作フロー



(1) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)を読み出します。

(2) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 のときは 0 になるまで待ってください。

(3) 制御レジスタ 10(WTCR10)の RTC カウント部動作ビット(RUN)が 0 の場合は、(4)～(6)に従って時刻 初期設定が可能です。 制御レジスタ 10(WTCR10)の RTC カウント部動作ビット(RUN)が 1 の場合は、「■時刻書換え設定手順例(時刻カウント継続)」,「■時刻書換え設定手順例(時刻カウントリセット)」を参照してください。

(4) 年/月/日/時/分/秒/曜日バッファ(WTYR,WTMOR,WTDR,WTHR,WTMIR,WTSR,WTDW)に時刻を書き込み、制御レジスタ 10(WTCR10)のスタートビット(ST)に 1 を書き込みます。

(5) 制御レジスタ 20(WTCR20)の RTC 設定値セーブ動作制御ビット(CWRITE)に 1 を書き込みます。 (CWRITE 動作)

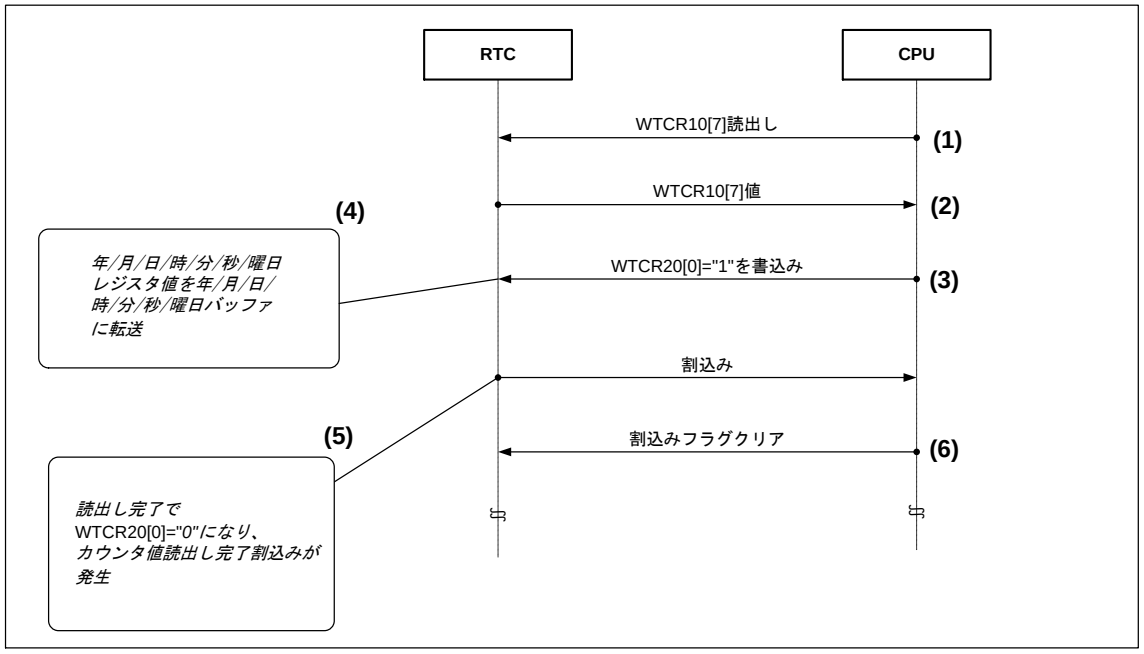
(6) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 の場合は、転送中です。制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)=が 0 の場合は、転送が完了し、時刻カウントを開始します。

<注意事項>

- *リコール/セーブ動作中は RTC 制御部のバッファへの書込みは禁止です。*
- *転送中(制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 の間)は RTC 制御部にリセット，電源遮断動作を行わないでください。セーブ動作中にリセット、電源遮断動作を行った場合は、再度設定してください。*
- *セーブ動作中に、RTCMCLK が停止する動作は行わないでください。*

時刻読出し設定手順例

Figure 3-2 時刻読出し動作フロー



(1) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)を読み出します。

(2) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 のときは 0 になるまで待ってください。

(3) 制御レジスタ 20(WTCR20)の RTC 設定値リコール動作制御ビット(CREAD)に 1 を書き込みます。 (CREAD 動作)

(4) 制御レジスタ 20(WTCR20)の RTC 設定値リコール動作制御ビット(CREAD)が"1"になると年/月/日/時/ 分/秒/曜日レジスタ値を年/月/日/時/分/秒/曜日バッファ (WTYR, WTMOR, WTDR, WTHR, WTMIR, WTSR, WTDW)に転送します。

(5) 年/月/日/時/分/秒/曜日バッファへの転送が完了すると制御レジスタ 10(WTCR10)の転送フラグビット (TRANS)が 0 になり、年/月/日/時/分/秒/曜日カウンタ値読出し完了割込みが発生します。

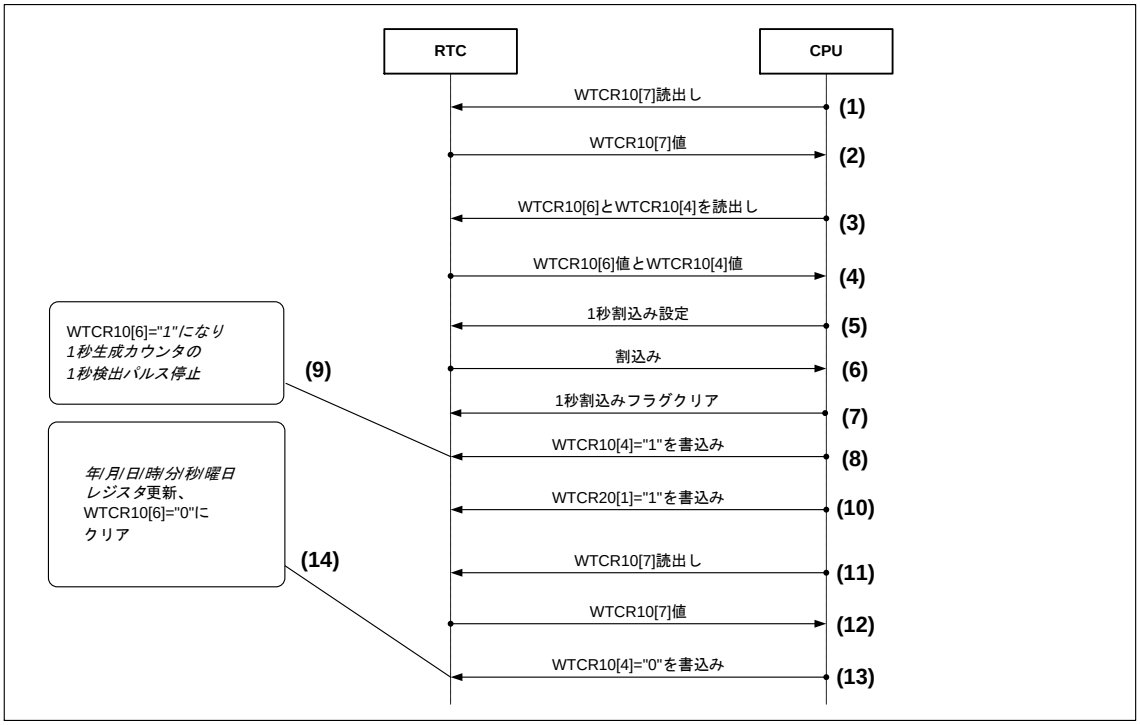
(6) 年/月/日/時/分/秒/曜日カウンタ値読出し完了割込みフラグビットをクリアします。

<注意事項>

- *リコール/セーブ動作中に RTC 制御部のバッファへの書込みは禁止です。*
- *転送中(制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 の間)はリセット，電源遮断動作を行わないでください。*
- *制御レジスタ 20(WTCR20)の RTC 設定値リコール動作制御ビット(CREAD)=1 の時に制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)と制御レジスタ 10(WTCR10)の RTC リセットビット(SRST)に 1 を書き込まないでください。*
- *リコール動作中に RTCMCLK が停止する動作は行わないでください。*

時刻書換え設定手順例(時刻カウント継続)

Figure 3-3 時刻書換え設定動作フロー(時刻カウント継続)



(1) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)を読み出します。

(2) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 のとき、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になるまで待ってください。

(3) 制御レジスタ 10(WTCR10)のビジービット(BUSY)と 制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)ビットを読み出します。

(4) 制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 で制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)が 0 のとき、制御レジスタ 10(WTCR10)のビジービット(BUSY)が 0 になるまで待ってください。それ以外は(5)以降の手順で処理してください。

(5) 制御レジスタ 12(WTCR12)の毎秒フラグヒット(INTSI)に 0 を書き込み、割込みのフラグビットをクリアします。制御レジスタ 13(WTCR13)の毎秒割り込み許可ビット(INTSIE)に 1 を書き込み、割込みを許可します。

(6) 1 秒割込み要求が発生します。

(7) 制御レジスタ 12(WTCR12)の毎秒フラグビット(INTSI)に 0 を書き込み､割込みフラグビットをクリアします。

(8) 制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)= 1 を書き込みます。

(9) 制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)= 1 を書き込むと制御レジスタ 10 (WTCR10)の ビジービット(BUSY)= 1 になります。制御レジスタ 10(WTCR10)のビジービット(BUSY) が"1"になると 1 秒生成カウンタの 1 秒パルスの検出が停止します。

(10) 制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 の間に変更したい年/月/日/時/分/秒/曜日の値を年/月/日/時/分/秒/曜日バッファ(WTYR, WTMOR, WTDR, WTHR, WTMIR, WTSR, WTDW)に書き込みます。制御レジスタ 20(WTCR20)の RTC 設定値セーブ動作制御ビット(CWRITE)に 1 を書き込みます。

(11) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)を読み出します。

(12) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 のときは 0 になるまで待ってください。

(13) 制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)に 0 を書き込みます。

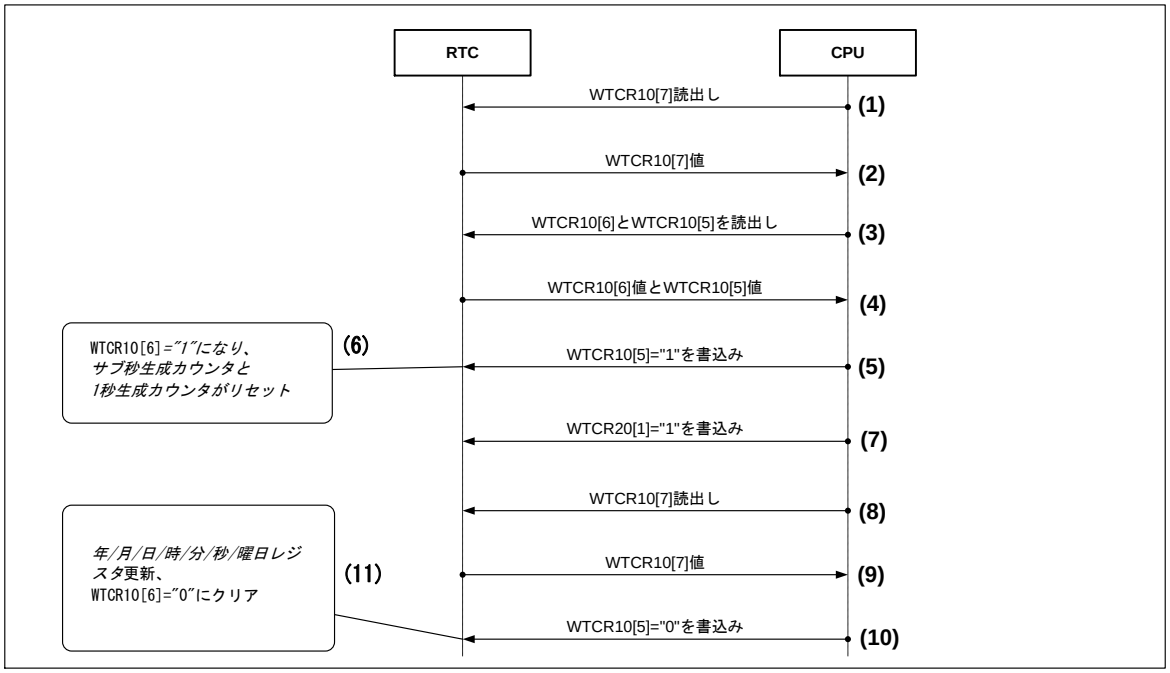
(14) 制御レジスタ 10(WTCR10)のビジービット(BUSY)が 0 にクリアされます。

＜注意事項＞

- *リコール/セーブ動作中に RTC 制御部のバッファへの書込みは禁止です。*
- *転送中は RTC 制御部にリセット、電源遮断動作を行わないでください。リセット解除後、制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 のときは、(8)から再度設定してください。再設定しない場合、時刻がずれる可能性があります。*
- *時刻書換えを行う場合は必ずリコール動作を行い、最新の時刻を読出し後、時刻書換えを行なってください。リコール動作を行わない場合、時刻がずれる可能性があります。*
- *制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 で制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)が 0 の場合、制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)に 1 の書込みは禁止です。*
- *制御レジスタ 10(WTCR10)の RTC カウント部動作ビット(RUN)が 0 の場合、制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)に 1 の書込みは禁止です。*
- *(7)～(13)が 1 秒を超えると時刻継続が保証できません。その場合、時刻書換えエラー割込みが発生します。時刻書換えエラー割込みフラグが 1 になった場合、時刻ずれが生じていることがあるため、制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)に 0 に設定し、時刻書換えエラーフラグをクリア後、再度、上記手順にしたがって、最初から時刻設定を行ってください。*
- *制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)が 0 かつ制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 のとき、または制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 の時、年/月/日/時/分/秒/曜日バッファから年/月/日/時/分/秒/曜日レジスタへ転送中のため、年/月/日/時/分/秒/曜日バッファは書込み禁止です。*
- *制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)に 1 設定後、年/月/日/時/分/秒/曜日レジスタ更新前に CREAD に 1 を書き込むと、年/月/日/時/分/秒/曜日バッファに書いた値が年/月/日/時/分/秒/曜日レジスタの値に上書きされます。*
- *制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 の間に RTCMCLK が停止する設定を行うと、年/月/日/時/分/秒/曜日レジスタから年/月/日/時/分/秒/曜日カウンタへの転送が正しくできなくなるため、年/月/日/時/分/秒/曜日カウンタの値の保証はできません。*
- *制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 の間、制御レジスタ 10(WTCR10)のスタートビット(ST)に 0 の書込みは禁止です。*

時刻書換え設定手順例(時刻カウントリセット)

Figure 3-4 時刻書換え動作フロー(時刻カウントリセット)



(1) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)を読み出します。

(2) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 のときは 0 になるまで待ってください。

(3) 制御レジスタ 10(WTCR10)のビジービット(BUSY)と制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)を読み出します。

(4) 制御レジスタ 10(WTCR10)のビジービット(BUSY)=1 かつ制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)が 0 のとき、制御レジスタ 10(WTCR10)のビジービット (BUSY)が"0"になるまで待ってください。それ以外は(5)以降の手順で処理してください。

(5) 制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)に 1 を書き込みます。

(6) 制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)に 1 が書き込まれると、制御レジスタ 10(WTCR10)のビジービット(BUSY)=1 になります。サブ秒生成カウンタ/1 秒生成カウンタがリセットされます。

(7) 制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)が 1 の間に変更したい年/月/日/時/分/秒/曜日のレジスタ値を年/月/日/時/分/秒/曜日バッファ(WTYR, WTMOR, WTDR, WTHR, WTMIR, WTSR, WTDW)に書き込みます。制御レジスタ 20(WTCR20)の RTC 設定値セーブ動作制御ビット(CWRITE)に 1 を書き込みます。

(8) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)を読み出します。

(9) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 のときは 0 になるまで待ってください。

(10) 制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)に 0 を書き込みます。

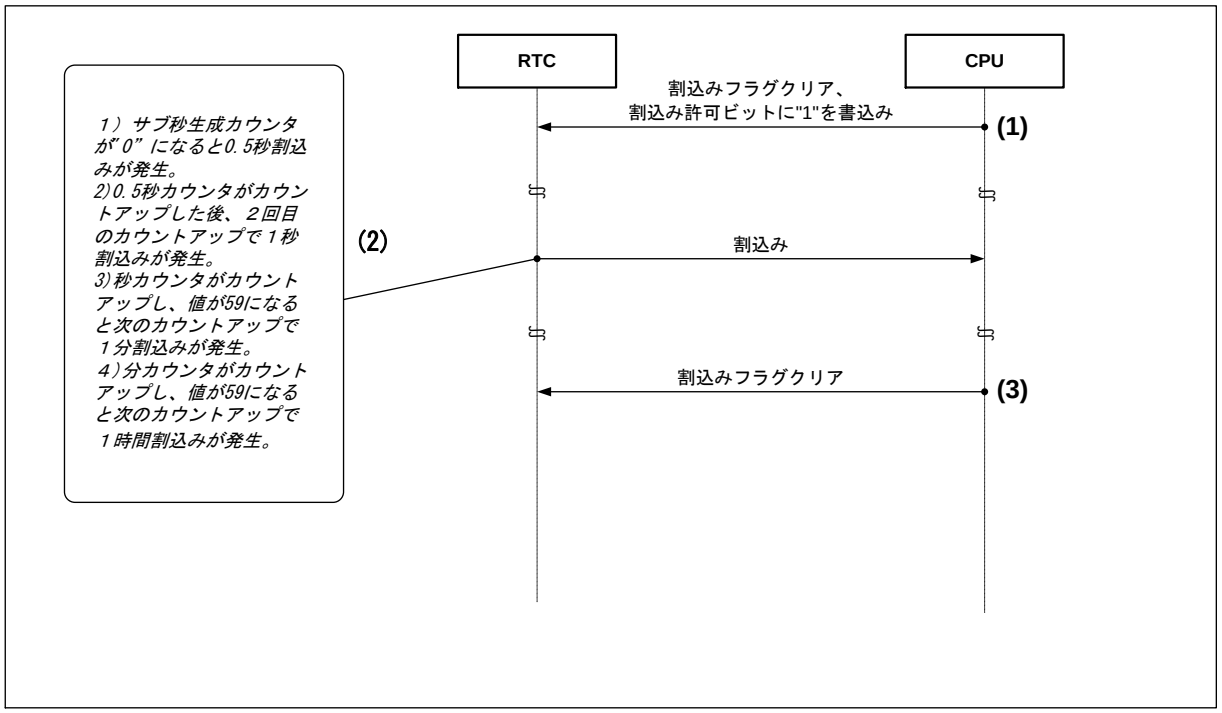
(11) 年/月/日/時/分/秒/曜日バッファの値が年/月/日/時/分/秒/曜日レジスタに転送され、制御レジスタ 10(WTCR10)のビジービット(BUSY)が 0 にクリアされます。

＜注意事項＞

- *リコール/セーブ動作中に RTC 制御部のバッファへの書込みは禁止です。*
- *転送中(制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 の間) または制御レジスタ 10(WTCR10) のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)が 1 の間はリセット，電源遮断動作を行わないでください。リセット解除後、制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 のときは、制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)に 0 を書き込み、(5)から再度設定してください。再設定しない場合、時刻がずれる可能性があります。*
- *時刻書換えを行う場合は必ずリコール動作を行い、最新の時刻を読出し後、時刻書換えを行なってください。リコール動作を行わない場合、時刻がずれる可能性があります。*
- *制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 で制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)が 0 の場合、制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)に 1 書込みは禁止です。*
- *制御レジスタ 10(WTCR10)の RTC カウント部動作ビット(RUN)が 0 の場合、制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)に 0 書込みは禁止です。*
- *制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)が 0 かつ制御レジスタ 10(WTCR10)のビジービット(BUSY)=1、または制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)= 0 の時、年/月/日/時/分/秒/曜日バッファから年/月/日/時/分/秒/曜日レジスタへ転送中のため、年/月/日/時/分/秒/曜日バッファは書込み禁止です。*
- *制御レジスタ 10(WTCR10)のサブ秒生成/1 秒生成カウンタリセットビット(SCRST)に 1 設定後、年/月/日/時/分/秒/曜日レジスタ更新前に CREAD 動作を行うと年/月/日/時/分/秒/曜日バッファに書いた値が年/月/日/時/分/秒/曜日レジスタの値に上書きされます。*
- *制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 の間に RTCMCLK が停止する設定(STOP モードまたは、WTOSCCNT によるサブ発振停止制御) を行うと、年/月/日/時/分/秒/曜日バッファから年/月/日/時/分/秒/曜日レジスタへの転送が正しくできなくなるため、年/月/日/時/分/秒/曜日レジスタの値の保証はできません。*
- *制御レジスタ 10(WTCR10)のビジービット(BUSY)が 1 の間、制御レジスタ 10(WTCR10)のスタートビット(ST)の 0 書込みは禁止です。*

毎 0.5 秒/1 秒/1 分/1 時間　割込み設定手順例

Figure 3-5　毎 0.5 秒/1 秒/1 分/1 時間　割込み設定動作フロー



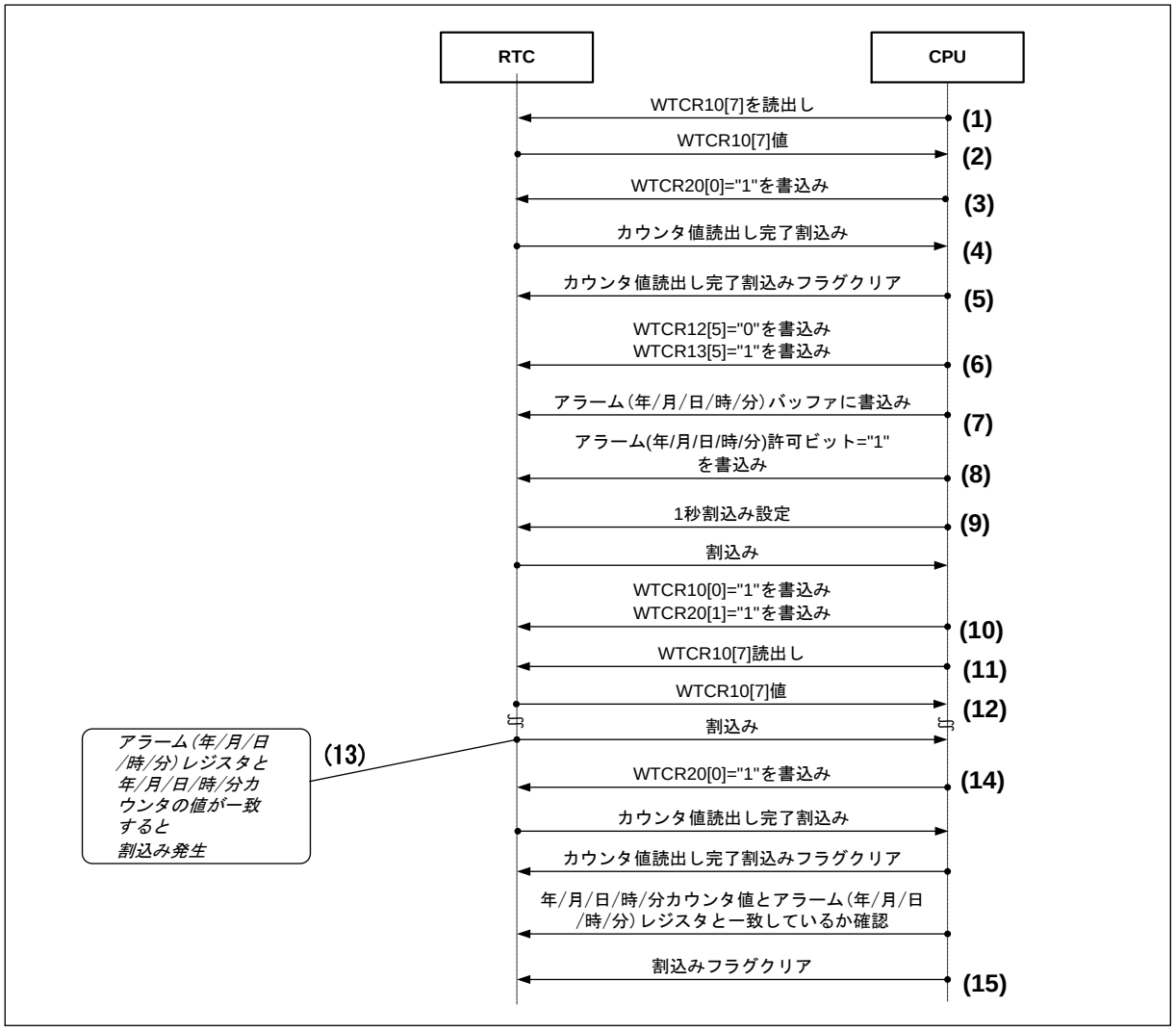
(1)　制御レジスタ 12(WTCR12)の毎時/毎分/毎秒/毎 0.5 秒割込み(INTHI/INTMI/INTSI/INTSSI) に 0 を書き込み、割込みのフラグビットをクリアします。制御レジスタ 13(WTCR13)の毎時/毎分/毎秒/毎 0.5 秒割込み許可ビット(INTHIE/INTMIE/INTSIE/INTSSIE)の使用したい割込みの許可ビットに 1 を書き込み、割込みを許可します。

(2)　0.5 秒/1 秒/1 分/1 時間割込みのどれかが発生した場合、割込み要求が発生します。

(3)　制御レジスタ 12(WTCR12)の毎時/毎分/毎秒/毎 0.5 秒割込み(INTHI/INTMI/INTSI/INTSSI) に 0 を書き込み、割込みフラグビットをクリアします。

アラーム割込み設定手順例

Figure 3-6 アラーム割込み設定動作フロー



(1) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)を読み出します。

(2) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 のときは 0 になるまで待ってください。

(3) 制御レジスタ 20(WTCR20)の RTC 設定値リコール動作制御ビット(CREAD)が 1 を書き込み、カウンタ値を読出します。

(4) 年/月/日/時/分/秒/曜日バッファへの転送が完了すると年/月/日/時/分/秒/曜日カウンタ値読出し完了割込みが発生します。

(5) カウンタ読出し値完了割込みフラグビットをクリアします。

(6) 制御レジスタ 12(WTCR12)のアラーム一致フラグビット(INTALI)に 0 を書き込み、アラーム割込みフラグビットをクリアします。制御レジスタ 13(WTCR13)のアラーム一致割込み許可ビット(INTALIE)に 1 を書き込み、アラーム割込みを許可します。

(7) アラーム(年/月/日/時/分)バッファにアラーム割込みを発生させたい日時の値を書き込みます。

(8) アラーム(年/月/日/時/分)許可ビットに 1 を書き込みます。

(9) 1 秒割込み設定後、1 秒割込みを待ちます。

(10) 1 秒割込み発生後、制御レジスタ 10(WTCR10)のスタートビット(ST)に 1、制御レジスタ 20(WTCR20)の RTC 設定値セーブ動作制御ビット(CWRITE)に 1 を書き込み、アラーム値を転送します。

(11) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)を読み出します。

(12) 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になるまで待ってください。

(13) アラーム(年/月/日/時/分)レジスタと年/月/日/時/分カウンタの値が一致すると、割込み要求が発生します。

(14) 時刻読出し設定手順例に従い、時刻を読み出し、年/月/日/時/分カウンタの値がアラーム(年/月/日/時/分)レジスタと一致しているか確認します。

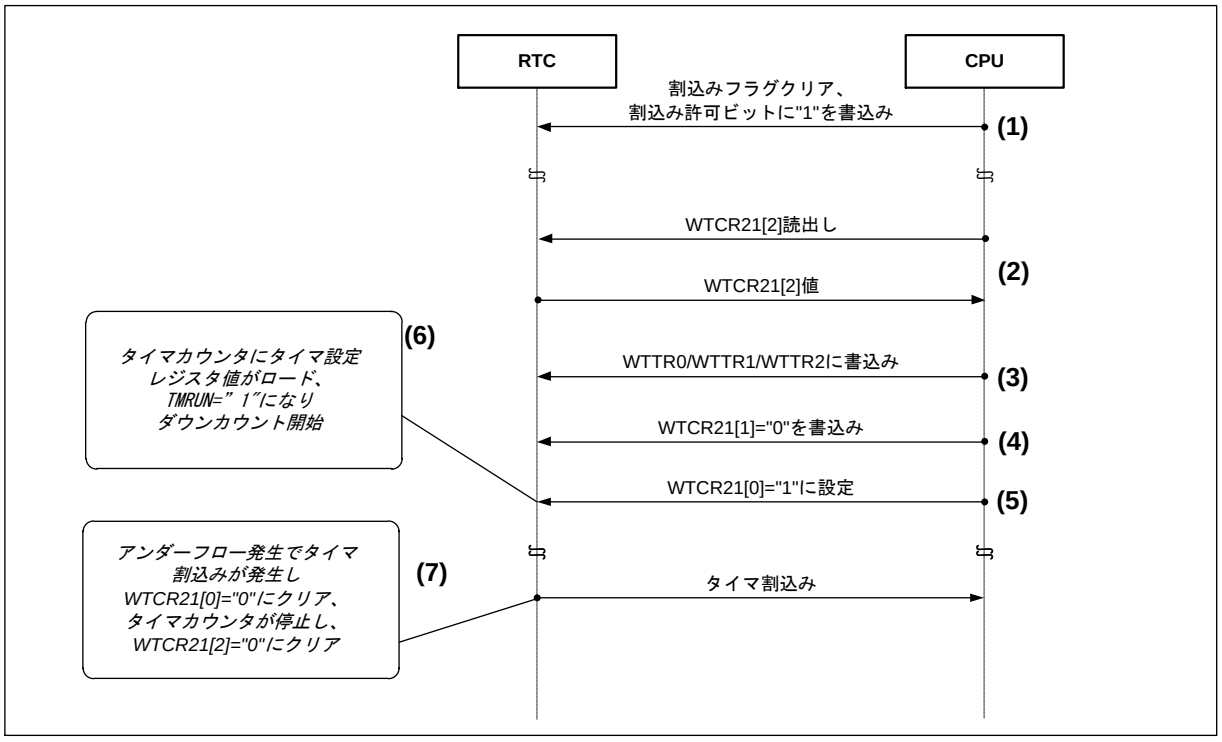
(15) 制御レジスタ 12(WTCR12)のアラーム一致フラグビット(INTALI)に 0 を書き込み、アラーム割込みフラグビットをクリアします。

<注意事項>

- *アラーム許可ビットのいずれかに 1 を書き込んだ場合、その直後に割込みが発生することがあるため、割込み後、リコール動作を行い、時刻を読み出し、年/月/日/時/分カウンタの値がアラーム(年/月/日/時/分)レジスタと一致しているかを確認してください。*
- *リコール/セーブ動作中に RTC 制御部のバッファへの書込みは禁止です。*
- *転送中(制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 の間)はリセット，電源遮断動作を行わないでください。*

タイマ割込み設定手順例(何(時間，分，秒)後)

Figure 3-7 タイマ割込み設定動作フロー(何(時間，分，秒)後)



(1) 制御レジスタ 12(WTCR12)のタイマアンダフロー検出フラグビット(INTTMI)に 0 を書き込み、タイマ割込みフラグビットをクリアします。制御レジスタ 13(WTCR13)のタイマアンダフロー割込み許可ビット(INTTMIE)に 1 を書き込み、タイマ割込みを許可します。

(2) 制御レジスタ 21(WTCR21)のタイマカウンタ動作ビット(TMRUN)を読み出し、0 (タイマ停止中)であることを確認します。

(3) タイマ設定レジスタ 0/1/2(WTTR0/WTTR1/WTTR2)にタイマ設定値を書き込みます。

(4) 制御レジスタ 21(WTCR21)のタイマカウンタ制御ビット(TMEN)に 0 を書き込みます。

(5) 制御レジスタ 21(WTCR21)のタイマカウンタスタートビット(TMST)に 1 を書き込みます。

(6) タイマ設定レジスタの値がタイマカウンタに転送され、ダウンカウントを開始します。

(7) ダウンカウントしアンダフローが発生すると割込み要求が発生し、制御レジスタ 21(WTCR21)のタイマカウンタスタートビット(TMST)が 0 にクリアされ、タイマカウンタが停止後、制御レジスタ 21(WTCR21)のタイマカウンタ動作ビット(TMRUN)が 0 にクリアされます。

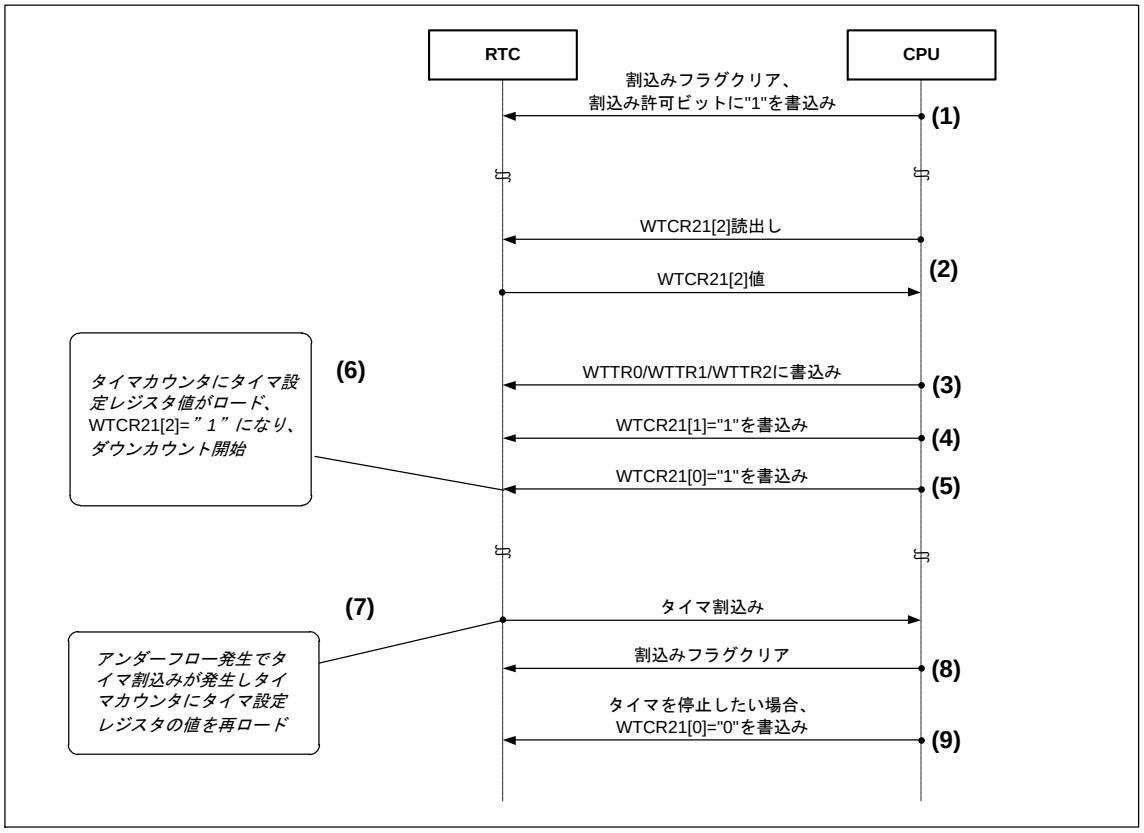
<注意事項>

- *タイマカウンタ動作中(制御レジスタ 21(WTCR21)のタイマカウンタ動作ビット(TMRUN)が 1)の時に、制御レジスタ 21(WTCR21)のタイマカウンタスタートビット(TMST)に 0 書込み後、制御レジスタ 21(WTCR21)のタイマカウンタ動作ビット(TMRUN)が 0 になる前に制御レジスタ 21(WTCR21)のタイマカウンタスタートビット(TMST)に 1 書込みは禁止です。*

- *制御レジスタ 21(WTCR21)のタイマカウンタ制御ビット(TMEN)の設定を変更する場合は、タイマカウンタ停止中(制御レジスタ 21(WTCR21)のタイマカウンタ動作ビット(TMRUN)が"0"の間)に行なってください。*

タイマ割込み設定手順例(何(時間,分,秒)間隔)

Figure 3-8 タイマ割込み設定動作フロー(何(時間,分,秒)間隔)



(1) 制御レジスタ 12(WTCR12)のタイマアンダフロー検出フラグビット(INTTMI)に 0 を書き込み、タイマ割込みフラグビットをクリアします。制御レジスタ 13(WTCR13)のタイマアンダフロー割込み許可ビット(INTTMIE)に 1 を書き込み、タイマ割込みを許可します。

(2) 制御レジスタ 21(WTCR21)のタイマカウンタ動作ビット(TMRUN)を読み出し、0 (タイマ停止中)であることを確認します。

(3) タイマ設定レジスタ 0/1/2(WTTR0/WTTR1/WTTR2)にタイマ設定値を書き込みます。

(4) 制御レジスタ 21(WTCR21)のタイマカウンタ制御ビット(TMEN)に 1 を書き込みます。

(5) 制御レジスタ 21(WTCR21)のタイマカウンタスタートビット(TMST)に 1 を書き込みます。

(6) タイマ設定レジスタの値がタイマカウンタに転送され、ダウンカウントを開始します。

(7) カウントが終了すると RTC カウント部割込み要求が発生し、タイマカウンタにタイマ設定レジスタの値を再ロードし、動作を継続します。

(8) 制御レジスタ 12(WTCR12)のタイマアンダフロー検出フラグビット(INTTMI)に 0 を書き込み、タイマ割込みフラグビットをクリアします。

(9) タイマを停止したい場合は、TMST に 0 を書き込みます。

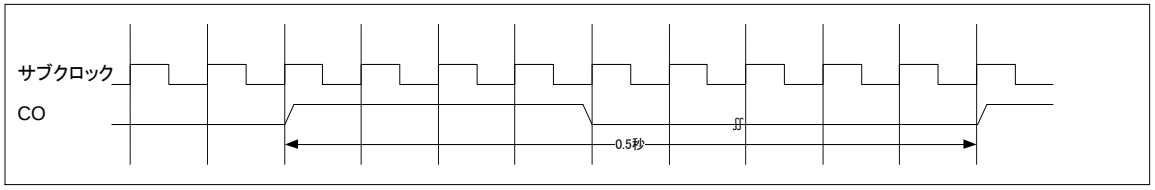
＜注意事項＞

- *タイマカウンタ動作中(制御レジスタ 21(WTCR21)のタイマカウンタ動作ビット(TMRUN)が 1)の時に、制御レジスタ 21(WTCR21)のタイマカウンタスタートビット(TMST)に 0 書込み後、制御レジスタ 21(WTCR21)のタイマカウンタ動作ビット(TMRUN)が 0 になる前に制御レジスタ 21(WTCR21)のタイマカウンタスタートビット(TMST)に 1 書込みは禁止です。*
- *制御レジスタ 21(WTCR21)のタイマカウンタ制御ビット(TMEN)の設定を変更する場合は、タイマカウンタ停止中(制御レジスタ 21(WTCR21)のタイマカウンタ動作ビット(TMRUN)が"0"の間)に行なってください。*

CO 外部端子出力動作

RTC カウント部は、0.5 秒パルスを出力する CO 外部端子があります。
0.5 秒パルス(CO)が CO 外部端子から出力されます。
CO 外部端子出力の波形を Figure 3-9 に示します。

Figure 3-9　CO 外部端子出力波形



4. RTC 制御部のリセット動作

各リセット動作を示します。

低電圧検出リセット/電源投入リセットの動作

Table 4-1 の網掛け部分が、低電圧検出リセット/電源投入リセット対象ビットです。
また、Table 4-1 にないサブ秒生成カウンタ(タイマ用), タイマカウンタもリセット対象です。サブ秒生成カウンタ(日付と時刻用)、年/月/日/時/分/秒/曜日カウンタはリセット対象外です。

INTALI, RUN ビットは VBAT ドメインで生成しており、Always on ドメインのリセットでクリアされません。

Table 4-1 低電圧検出リセット/電源投入リセット対象ビット

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
WTCR10	TRANS	BUSY	SCRST	SCST	SRST	RUN	-	ST
WTCR11	-	-	-	YEN	MOEN	DEN	HEN	MIEN
WTCR12	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
WTCR13	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE
WTCR20	-	-	PWRITE	PREAD	BWRITE	BREAD	CWRITE	CREAD
WTCR21	-	-	-	-	-	TMRUN	TMEN	TMST
WTSR	-	TS2	TS1	TS0	S3	S2	S1	S0
WTMIR	-	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0
WTHR	-	-	TH1	TH0	H3	H2	H1	H0
WTDR	-	-	TD1	TD0	D3	D2	D1	D0
WTDW	-	-	-	-	-	DW2	DW1	DW0
WTMOR	-	-	-	TMO0	MO3	MO2	MO1	MO0
WTYR	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
ALMIR	-	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0
ALHR	-	-	TAH1	TAH0	AH3	AH2	AH1	AH0
ALDR	-	-	TAD1	TAD0	AD3	AD2	AD1	AD0
ALMOR	-	-	-	TAMO0	AMO3	AMO2	AMO1	AMO0
ALYR	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
WTTR0	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
WTTR1	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
WTTR2	-	-	-	-	-	-	TM17	TM16

システムリセットの動作

Table 4-2 の網掛け部分が、システムリセット対象ビットです。また、Table 4-2 システムリセット対象ビットにないサブ秒生成カウンタ(タイマ用), タイマカウンタもシステムリセット対象です。
サブ秒生成カウンタ(日付と時刻用), 年/月/日/時/分/秒/曜日カウンタは、1 秒生成カウンタはリセット対象外です。

Table 4-2 システムリセット対象ビット

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
WTCR10	TRANS	BUSY	SCRST	SCST	SRST	RUN	-	ST
WTCR11	-	-	-	YEN	MOEN	DEN	HEN	MIEN
WTCR12	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
WTCR13	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE
WTCR20	-	-	PWRITE	PREAD	BWRITE	BREAD	CWRITE	CREAD
WTCR21	-	-	-	-	-	TMRUN	TMEN	TMST
WTSR	-	TS2	TS1	TS0	S3	S2	S1	S0
WTMIR	-	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0
WTHR	-	-	TH1	TH0	H3	H2	H1	H0
WTDR	-	-	TD1	TD0	D3	D2	D1	D0
WTDW	-	-	-	-	-	DW2	DW1	DW0
WTMOR	-	-	-	TMO0	MO3	MO2	MO1	MO0
WTYR	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
ALMIR	-	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0
ALHR	-	-	TAH1	TAH0	AH3	AH2	AH1	AH0
ALDR	-	-	TAD1	TAD0	AD3	AD2	AD1	AD0
ALMOR	-	-	-	TAMO0	AMO3	AMO2	AMO1	AMO0
ALYR	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
WTTR0	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
WTTR1	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
WTTR2	-	-	-	-	-	-	TM17	TM16

RTC リセットの動作

Table 4-3 の網掛け部分が、RTC リセット対象ビットです。また、Table 4-3 にないタイマカウンタも RTC リセット対象です。

サブ秒生成カウンタ(日付と時刻用, タイマ用), 年/月/日/時/分/秒/曜日カウンタ、1 秒生成カウンタはリセット対象外です。

Table 4-3 RTC リセット対象ビット

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
WTCR10	TRANS	BUSY	SCRST	SCST	SRST	RUN	-	ST
WTCR11	-	-	-	YEN	MOEN	DEN	HEN	MIEN
WTCR12	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
WTCR13	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE
WTCR20	-	-	PWRITE	PREAD	BWRITE	BREAD	CWRITE	CREAD
WTCR21	-	-	-	-	-	TMRUN	TMEN	TMST
WTSR	-	TS2	TS1	TS0	S3	S2	S1	S0
WTMIR	-	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0
WTHR	-	-	TH1	TH0	H3	H2	H1	H0
WTDR	-	-	TD1	TD0	D3	D2	D1	D0
WTDW	-	-	-	-	-	DW2	DW1	DW0
WTMOR	-	-	-	TMO0	MO3	MO2	MO1	MO0
WTYR	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
ALMIR	-	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0
ALHR	-	-	TAH1	TAH0	AH3	AH2	AH1	AH0
ALDR	-	-	TAD1	TAD0	AD3	AD2	AD1	AD0
ALMOR	-	-	-	TAMO0	AMO3	AMO2	AMO1	AMO0
ALYR	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
WTTR0	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
WTTR1	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
WTTR2	-	-	-	-	-	-	TM17	TM16

5. RTC カウント部のうるう年の対応

RTC カウント部のうるう年の対応について説明します。

うるう年の対応

各月の日付は Table 5-1 に示します。

Table 5-1 うるう年一覧

年	うるう年	月											
		1	2	3	4	5	6	7	8	9	10	11	12
00	○	31	29	31	30	31	30	31	31	30	31	30	31
01～03	×	31	28	31	30	31	30	31	31	30	31	30	31
04	○	31	29	31	30	31	30	31	31	30	31	30	31
05～07	×	31	28	31	30	31	30	31	31	30	31	30	31
08	○	31	29	31	30	31	30	31	31	30	31	30	31
09～11	×	31	28	31	30	31	30	31	31	30	31	30	31
12	○	31	29	31	30	31	30	31	31	30	31	30	31
13～15	×	31	28	31	30	31	30	31	31	30	31	30	31
16	○	31	29	31	30	31	30	31	31	30	31	30	31
17～19	×	31	28	31	30	31	30	31	31	30	31	30	31
20	○	31	29	31	30	31	30	31	31	30	31	30	31
21～23	×	31	28	31	30	31	30	31	31	30	31	30	31
24	○	31	29	31	30	31	30	31	31	30	31	30	31
25～27	×	31	28	31	30	31	30	31	31	30	31	30	31
28	○	31	29	31	30	31	30	31	31	30	31	30	31
29～31	×	31	28	31	30	31	30	31	31	30	31	30	31
32	○	31	29	31	30	31	30	31	31	30	31	30	31
33～35	×	31	28	31	30	31	30	31	31	30	31	30	31
36	○	31	29	31	30	31	30	31	31	30	31	30	31
37～39	×	31	28	31	30	31	30	31	31	30	31	30	31
40	○	31	29	31	30	31	30	31	31	30	31	30	31
41～43	×	31	28	31	30	31	30	31	31	30	31	30	31
44	○	31	29	31	30	31	30	31	31	30	31	30	31
45～47	×	31	28	31	30	31	30	31	31	30	31	30	31
48	○	31	29	31	30	31	30	31	31	30	31	30	31
49～51	×	31	28	31	30	31	30	31	31	30	31	30	31
52	○	31	29	31	30	31	30	31	31	30	31	30	31
53～55	×	31	28	31	30	31	30	31	31	30	31	30	31
56	○	31	29	31	30	31	30	31	31	30	31	30	31
57～59	×	31	28	31	30	31	30	31	31	30	31	30	31
60	○	31	29	31	30	31	30	31	31	30	31	30	31
61～63	×	31	28	31	30	31	30	31	31	30	31	30	31
64	○	31	29	31	30	31	30	31	31	30	31	30	31
65～67	×	31	28	31	30	31	30	31	31	30	31	30	31
68	○	31	29	31	30	31	30	31	31	30	31	30	31
69～71	×	31	28	31	30	31	30	31	31	30	31	30	31

年	うるう年	月											
		1	2	3	4	5	6	7	8	9	10	11	12
72	○	31	29	31	30	31	30	31	31	30	31	30	31
73～75	×	31	28	31	30	31	30	31	31	30	31	30	31
76	○	31	29	31	30	31	30	31	31	30	31	30	31
77～79	×	31	28	31	30	31	30	31	31	30	31	30	31
80	○	31	29	31	30	31	30	31	31	30	31	30	31
81～83	×	31	28	31	30	31	30	31	31	30	31	30	31
84	○	31	29	31	30	31	30	31	31	30	31	30	31
85～87	×	31	28	31	30	31	30	31	31	30	31	30	31
88	○	31	29	31	30	31	30	31	31	30	31	30	31
89～91	×	31	28	31	30	31	30	31	31	30	31	30	31
92	○	31	29	31	30	31	30	31	31	30	31	30	31
93～95	×	31	28	31	30	31	30	31	31	30	31	30	31
96	○	31	29	31	30	31	30	31	31	30	31	30	31
97～99	×	31	28	31	30	31	30	31	31	30	31	30	31

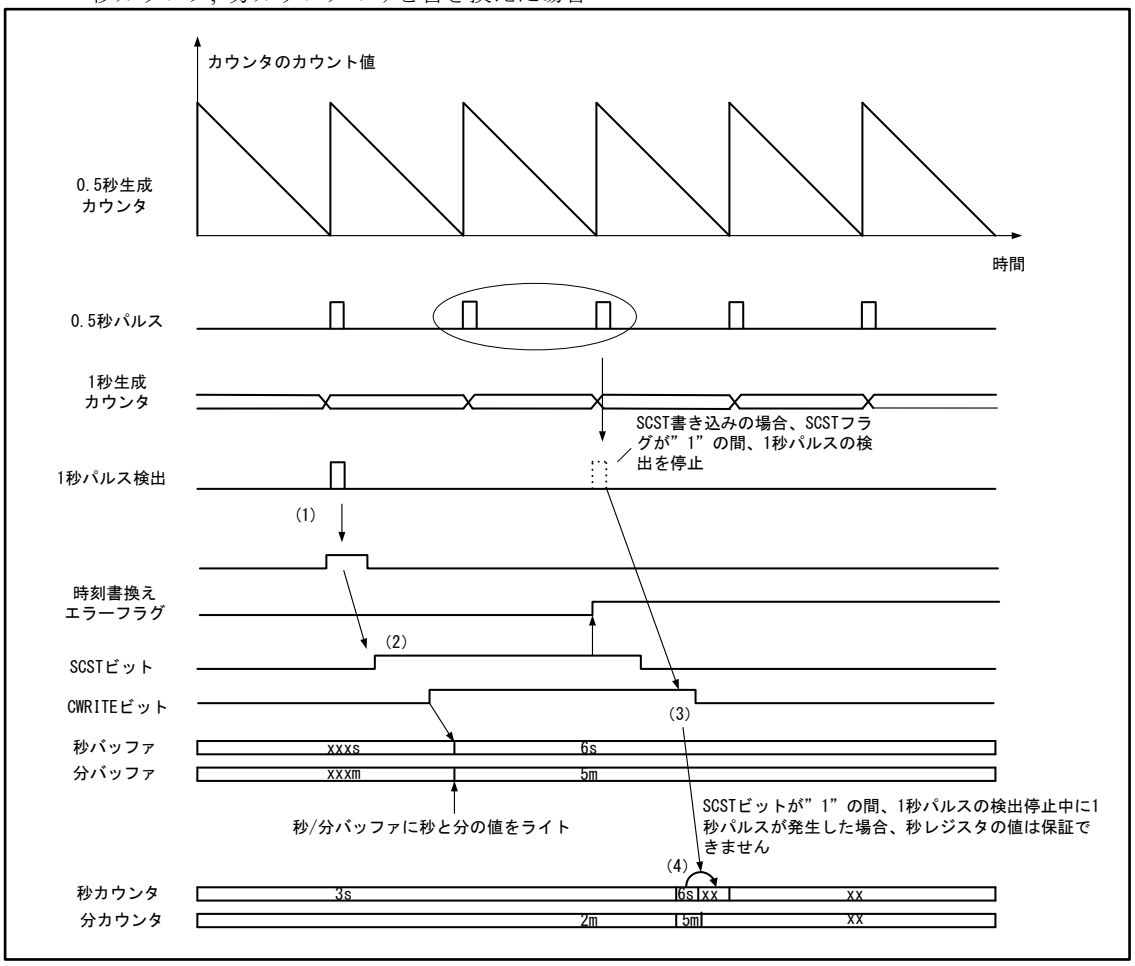
6. 時刻書換えエラー

時刻書換え(時刻カウント継続)のときの時刻書換えエラーについて説明します。

時刻書換えエラー

時刻書換え(時刻カウント継続)において SCST フラグが"1"の間に 0.5 秒生成カウンタの 0.5 秒パルスが 2 回検出された場合の例を以下に示します。

■ 秒カウンタ, 分カウンタのみを書き換えた場合



(1) 1 秒割込み検出後、1 秒割込みフラグクリア、制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)に 1 を設定し、カレンダ値を書き込みます。

(2) 制御レジスタ 20(WTCR20)の RTC 設定値セーブ動作制御ビット(CWRITE)に"1"を設定して、カレンダ値を書き込みます。

(3) 制御レジスタ 10(WTCR10)の 1 秒パルス検出停止ビット(SCST)が 1 の間に 0.5 秒パルスを 2 回検出した時、時刻書換えエラーフラグが 1 になります。

(4) 秒/分/時/日/週/月/年カレンダ値は保証できません。

＜注意事項＞

- *SCST フラグが 1 の間の 0.5 秒パルスの検出が 1 回以下の場合、時刻書換えエラーフラグは 1 になりません。*
- *SCST フラグが 1 の間、0.5 秒パルス検出が 2 回以上発生した場合は、秒カウンタの値は保証できないため、再度、時刻書換えをやり直してください。*
- *時刻書換えは 1 秒割込み検出後、1 秒以内に完了してください。*

7. RTC 制御部のレジスタ

RTC 制御部のレジスター一覧を示します。

RTC 制御部のレジスター一覧

Table 7-1 RTC 制御部のレジスター一覧

レジスタ略称	レジスタ名	インタフェース 回路形式	参照先
WTCR10	制御レジスタ 10	Bit0 ST:2, Bit2 RUN:4	7.1
WTCR11	制御レジスタ 11	2	7.2
WTCR12	制御レジスタ 12	-	7.3
WTCR13	制御レジスタ 13	-	7.4
WTCR20	制御レジスタ 20	1	7.5
WTCR21	制御レジスタ 21	-	7.6
WTSR	秒レジスタ	2	7.7
WTMIR	分レジスタ	2	7.8
WTHR	時レジスタ	2	7.9
WTDR	日レジスタ	2	7.10
WTDW	曜日レジスタ	2	7.11
WTMOR	月レジスタ	2	7.12
WTYR	年レジスタ	2	7.13
ALMIR	アラーム分レジスタ	2	7.14
ALHR	アラーム時レジスタ	2	7.15
ALDR	アラーム日レジスタ	2	7.16
ALMOR	アラーム月レジスタ	2	7.17
ALYR	アラーム年レジスタ	2	7.18
WTTR0	タイマ設定レジスタ 0	-	7.19
WTTR1	タイマ設定レジスタ 1	-	7.20
WTTR2	タイマ設定レジスタ 2	-	7.21

Table 7-1 に記載のあるレジスタは『VBAT ドメイン』の章に記載の”回路形式 1”、”回路形式 2” 、”回路形式 4”に該当するものがあります。”回路形式 2”に該当する場合、VBAT ドメインのレジスタはシステムリセット/RTC リセットで初期化されませんが、Always ON ドメインのバッファは初期化されます。従って、リセット後のセーブ動作は値を再設定もしくは、リコール動作後に行なってください。回路形式が”-“のレジスタは VBAT ドメインには影響しないレジスタです。

インタフェース回路形式については、『VBAT ドメイン』の章に記載の”インタフェースの回路形式一覧”を参照して下さい。

<注意事項>

- *RTC 制御部のバッファ値は、制御レジスタ 20(WTCR20)の RTC 設定値セーブ動作制御ビット(CWRITE)に 1 を書き込み、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 後に RTC カウント部(VBAT ドメイン)のレジスタへ反映されます。*
  制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 の間は、RTC 制御部のバッファへの書込みは禁止です。

7.1 制御レジスタ 10 (WTCR10)

RTC 制御部の動作を制御するためのレジスタです。

bit	7	6	5	4	3	2	1	0
Field	TRANS	BUSY	SCRST	SCST	SRST	RUN	予約	ST
属性	R	R	R/W	R/W	W	R	R	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] TRANS : 転送フラグビット

転送中であることを示すビットです。
本ビットが 1 の時、RTC カウント部のレジスタへの書込みは禁止です。

Bit	説明
0	転送完了したことを示します。
1	転送中であることを示します。

[bit6] BUSY : ビジービット

時刻書換え動作中であることを示します。

bit	説明
0	時刻書換え動作中でない時
1	以下の条件のいずれか - SCST="1" - SCRST="1" - 年/月/日/時/分/秒/曜日レジスタの値を年/月/日/時/分/秒/曜日カウンタに転送中

[bit5] SCRST: サブ秒生成/1 秒生成カウンタリセットビット

サブ秒生成/1 秒生成カウンタ(日付と時刻用)のリセットを制御するビットです。

bit	説明
0	サブ秒生成/1 秒生成カウンタ(日付と時刻用)のリセットを解除します。
1	サブ秒生成/1 秒生成カウンタ(日付と時刻用)をリセットします。

RTC 動作中(RUN=1)で本ビットが 0、SCST ビットが 0 の時、年/月/日/時/分/秒/曜日レジスタの値は更新できません。SCST ビットと SCRST ビットの両方に 1 を設定することは禁止です。
RTC 停止中(RUN=0)、本ビットに 1 を設定することは禁止です。

[bit4] SCST: 1 秒パルス検出停止ビット

1 秒生成カウンタの 1 秒パルス検出を制御するビットです。

bit	説明
0	1 秒パルス検出を許可します。
1	1 秒パルス検出を停止します。

RTC 動作中(RUN=1)で本ビットが 0、SCRST ビットが 0 の時、年/月/日/時/分/秒/曜日レジスタの値は更新できません。SCST ビットと SCRST ビットの両方に 1 を設定することは禁止です。
RTC 停止中(RUN=0)、本ビットに 1 を設定することは禁止です。

[bit3] SRST: RTC リセットビット

RTC リセットビットです。

RTC リセットにより初期化されるレジスタ・ビットは、「4. RTC 制御部のリセット動作」の Table 4-3 を参照ください。

bit	説明
読出し時	常に 0 が読み出されます。
0 書込み時	動作に影響しません。
1 書込み時	RTC リセットを発行します。

[bit2] RUN: RTC カウント部動作ビット

RTC カウント部の動作状態を表すビットです。

ST= 1 の RTC カウント部動作中に ST= 0 を設定すると RTC カウント部の動作は停止し RUN= 0 になります。

bit	説明
0	RTC カウント部は停止中
1	RTC カウント部は動作中

[bit1] 予約 : 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit0] ST: スタートビット

RTC カウント部の動作開始を制御するビットです。

サブ発振停止中は 1 書き込みできません。

bit	説明
0	RTC カウント部は停止します。
1	年/月/日/時/分/秒/曜日レジスタに設定した値を年/月/日/時/分/秒/曜日カウンタに転送し、RTC カウント部が動作を開始します。

7.2 制御レジスタ 11 (WTCR11)

RTC 制御部の割込み許可を制御するためのレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約			YEN	MOEN	DEN	HEN	MIEN
属性	R			R/W	R/W	R/W	R/W	R/W
初期値	000			0	0	0	0	0

[bit7:5] 予約 : 予約ビット

読出しは常に 0 となります。
書込みの場合には、0 を設定してください。

[bit4] YEN: アラーム年レジスタ許可ビット

アラーム年レジスタと年カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム年レジスタと年カウンタの比較を禁止します。
1	アラーム年レジスタと年カウンタの比較を許可します。

[bit3] MOEN: アラーム月レジスタ許可ビット

アラーム月レジスタと月カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム月レジスタと月カウンタの比較を禁止します。
1	アラーム月レジスタと月カウンタの比較を許可します。

[bit2] DEN: アラーム日レジスタ許可ビット

アラーム日レジスタと日カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム日レジスタと日カウンタの比較を禁止します。
1	アラーム日レジスタと日カウンタの比較を許可します。

[bit1] HEN: アラーム時レジスタ許可ビット

アラーム時レジスタと時カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム時レジスタと時レジスタの比較を禁止します。
1	アラーム時レジスタと時レジスタの比較を許可します。

[bit0] MIEN: アラーム分レジスタ許可ビット

アラーム分レジスタと分カウンタの比較を許可します。本ビットが 1 に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

bit	説明
0	アラーム分レジスタと分レジスタの比較を禁止します。
1	アラーム分レジスタと分レジスタの比較を許可します。

7.3 制御レジスタ 12 (WTCR12)

RTC 制御部の割込みフラグレジスタです。

bit	7	6	5	4	3	2	1	0
Field	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] INTCRI: 年/月/日/時/分/秒/曜日カウンタ値読出し完了フラグビット

CREAD ビットによって、日付と時刻読出し時に年/月/日/時/分/秒/曜日カウンタの値が年/月/日/時/分/秒/曜日レジスタへ転送が完了したかどうかを表すビットです。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	年/月/日/時/分/秒/曜日カウンタ値読出しは完了していません。
1 読出し時	年/月/日/時/分/秒/曜日カウンタ値読出しは完了した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit6] INTERI: 時刻書換えエラーフラグビット

時刻書換え中(SCST=1)に、秒カウンタが正常にカウントアップされていない状態を示します。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	時刻書換えエラーは発生していません。
1 読出し時	時刻書換えエラーが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit5] INTALI: アラーム一致フラグビット

アラーム年/月/日/時/分レジスタに設定された値と年/月/日/時/分カウンタの値が一致したことを示します。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	アラーム一致は発生していません。
1 読出し時	アラーム一致が発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit4] INTTMI: タイマアンダフロー検出フラグビット

タイマカウンタのアンダフロー時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	タイマアンダフローは発生していません。
1 読出し時	タイマアンダフローが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit3] INTHI: 毎時フラグビット

時カウンタのカウントアップ時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	時カウンタのカウントアップは発生していません。
1 読出し時	時カウンタのカウントアップが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit2] INTMI: 毎分フラグビット

分カウンタのカウントアップ時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	分カウンタのカウントアップは発生していません。
1 読出し時	分カウンタのカウントアップが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit1] INTSI: 毎秒フラグビット

秒カウンタのカウントアップ時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	秒カウンタのカウントアップは発生していません。
1 読出し時	秒カウンタのカウントアップが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit0] INTSSI: 毎 0.5 秒フラグビット

0.5 秒パルスが発生する時に本フラグが 1 になります。
リードモディファイライトアクセスのリードアクセス時は、常に 1 が読み出されます。

bit	説明
0 読出し時	0.5 秒パルスは発生していません。
1 読出し時	0.5 秒パルスが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

7.4 制御レジスタ 13 (WTCR13)

RTC 制御部の割込み許可レジスタです。

bit	7	6	5	4	3	2	1	0
Field	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] INTCRIE： 年/月/日/時/分/秒/曜日カウンタ値読出し完了割込み許可ビット

年/月/日/時/分/秒/曜日カウンタ値読出し完了割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit6] INTERIE： 時刻書換えエラー割込み許可ビット

時刻書換えエラー割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit5] INTALIE： アラーム一致割込み許可ビット

アラーム一致割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit4] INTTMIE: タイマアンダフロー割込み許可ビット

タイマアンダフロー割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit3] INTHIE: 毎時割込み許可ビット

毎時割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit2] INTMIE: 毎分割込み許可ビット

毎分割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit1] INTSIE: 毎秒割込み許可ビット

毎秒割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit0] INTSSIE: 毎 0.5 秒割込み許可ビット

毎 0.5 秒割込み許可ビットです。

bit	説明
0	割込み禁止
1	割込み許可

7.5 制御レジスタ 20 (WTCR20)

制御レジスタ 20 は、セーブ，リコール動作制御を行うレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		PWRITE	PREAD	BWRITE	BREAD	CWRITE	CREAD
属性	R		W	W	W	W	W	W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出しは常に 0 となります。
書込みの場合には、0 を設定してください。

[bit5] PWRITE: VBAT PORT セーブ動作制御ビット

本ビットに 1 を設定すると Always ON ドメインで設定したバッファ値を VBAT ドメインへセーブ動作が開始します。

bit	説明
読出し	常に 0 が読み出されます。
0 書込み	動作に影響しません。
1 書込み	Always ON ドメインから VBAT ドメインへバッファ値のセーブ動作を開始します。

[bit4] PREAD: VBAT PORT リコール動作制御ビット

本ビットに 1 を設定すると VBAT ドメインのバッファ値を Always ON ドメインへリコール動作が開始します。

bit	説明
読出し	常に 0 が読み出されます。
0 書込み	動作に影響しません。
1 書込み	VBAT ドメインから Always ON ドメインへレジスタ値のリコール動作を開始します。

[bit3] BWRITE: バックアップレジスタセーブ動作制御ビット

本ビットに 1 を設定すると Always ON ドメインで設定したバッファ値を VBAT ドメインへセーブ動作が開始します。

bit	説明
読出し	常に 0 が読み出されます。
0 書込み	動作に影響しません。
1 書込み	Always ON ドメインから VBAT ドメインへバッファ値のセーブ動作を開始します。

[bit2] BREAD: バックアップレジスタリコール動作制御ビット

本ビットに 1 を設定すると VBAT ドメインのレジスタ値を Always ON ドメインへリコール動作が開始します。

bit	説明
読出し	常に 0 が読み出されます。
0 書込み	動作に影響しません。
1 書込み	VBAT ドメインから Always ON ドメインへレジスタ値のリコール動作を開始します。

[bit1] CWRITE: RTC 設定値セーブ動作制御ビット

本ビットに 1 を設定すると Always ON ドメインで設定したバッファ値を VBAT ドメインへセーブ動作が開始します。サブ発振停止中は 1 書込みできません。

bit	説明
読出し	常に 0 が読み出されます。
0 書込み	動作に影響しません。
1 書込み	Always ON ドメインから VBAT ドメインへバッファのセーブ動作を開始します。

[bit0] CREAD: RTC 設定値リコール動作制御ビット

本ビットに 1 を設定すると VBAT ドメインのレジスタ値を Always ON ドメインへリコール動作が開始します。サブ発振停止中は 1 書込みできません。

bit	説明
読出し	常に 0 が読み出されます。
0 書込み	動作に影響しません。
1 書込み	Always ON ドメインから VBAT ドメインへレジスタ値のリコール動作を開始します。

<注意事項>

- *同時転送の組み合わせには制限があります。同時転送の組み合わせと各 bit の転送対象レジスタについては『ペリフェラルマニュアル』の『VBAT ドメイン』の章の、『インタフェース回路が接続する回路』を参照してください。*

7.6 制御レジスタ 21 (WTCR21)

制御レジスタ 21 は、RTC カウント部のタイマ動作を制御するためのレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約					TMRUN	TMEN	TMST
属性	R					R	R/W	R/W
初期値	00000					0	0	0

[bit7:3] 予約 : 予約ビット

読出しは常に 0 となります。
書込みの場合には、0 を設定してください。

[bit2] TMRUN: タイマカウンタ動作ビット

タイマカウンタの動作を表すビットです。
タイマカウンタ制御ビットが 0 の場合、カウントがアンダフローすると本ビットはハードウェアによりクリアされます。タイマカウンタ制御ビット(TMEN)が 1 の場合、タイマカウンタスタートビット(TMST)に 0 を書き込むまで本ビットは 1 です。
TMST=1 のタイマ動作中に TMST=0 を設定するとタイマ動作は停止し TMRUN=0 になります。

bit	説明
0	タイマカウンタ停止中
1	タイマカウンタ動作中

[bit1] TMEN: タイマカウンタ制御ビット

タイマカウンタが何(時間, 分, 秒)後, 何(時間, 分, 秒)間隔のどちらで動作するのかを制御するビットです。サブ発振停止中は 1 書込みできません。

bit	説明
0	タイマカウンタが何(時間, 分, 秒)後で動作
1	タイマカウンタが何(時間, 分, 秒)間隔で動作

[bit0] TMST: タイマカウンタスタートビット

タイマカウンタの動作を開始するビットです。
タイマカウンタ制御ビット(TMEN)が 0 の場合は、カウントが終了するとハードウェアにより 0 にクリアされます。
タイマカウンタの動作状態は、タイマカウンタ動作ビット(TMRUN)を参照してください。タイマ設定レジスタの書換えをする場合は、本ビットを 0 で一度停止後、タイマ設定レジスタの書換えを行い、1 に設定し直して動作を再開させてください。

サブ発振停止中は 1 書込みできません。

bit	説明
0	タイマカウンタを停止
1	タイマカウンタを動作開始

7.7 秒レジスタ(WTSR)

RTC カウント部の秒情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約	TS2	TS1	TS0	S3	S2	S1	S0
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit6:4] TS2～TS0 : 秒レジスタ

RTC カウント部の秒情報の 2 桁目を表します。

0～5: 有効

6, 7: 設定禁止

[bit3:0] S3～S0 : 秒レジスタ

RTC カウント部の秒情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.8 分レジスタ(WTMIR)

RTC カウント部の分情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit6:4] TMI2～TMI0 : 分レジスタ

RTC カウント部の分情報の 2 桁目を表します。

0～5: 有効

6, 7: 設定禁止

[bit3:0] MI3～MI0 : 分レジスタ

RTC カウント部の分情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.9 時レジスタ(WTHR)

RTC カウント部の時情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約		TH1	TH0	H3	H2	H1	H0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit5:4] TH1, TH0 : 時レジスタ

RTC カウント部の時情報の 2 桁目を表します。

0～2: 有効

3: 設定禁止

[bit3:0] H3～H0 : 時レジスタ

RTC カウント部の時情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.10 日レジスタ(WTDR)

RTC カウント部の日情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約		TD1	TD0	D3	D2	D1	D0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit5:4] TD1, TD0 : 日レジスタ

RTC カウント部の日情報の 2 桁目を表します。

[bit3:0] D3～D0 : 日レジスタ

RTC カウント部の日情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.11 曜日レジスタ(WTDW)

RTC カウント部の曜日情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約					DW2	DW1	DW0
属性	R					R/W	R/W	R/W
初期値	00000					0	0	0

[bit7:3] 予約 : 予約ビット

読出しは常に 0 となります。
書込みの場合には、0 を設定してください。

[bit2:0] DW2～DW0 : 曜日レジスタ

RTC カウント部の曜日情報を表します。
以下は設定の一例です。7 のみ設定禁止です。

0 の場合: 日曜
1 の場合: 月曜
2 の場合: 火曜
3 の場合: 水曜
4 の場合: 木曜
5 の場合: 金曜
6 の場合: 土曜
7 の場合: 設定禁止

7.12 月レジスタ(WTMOR)

RTC カウント部の月情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約			TMO0	MO3	MO2	MO1	MO0
属性	R			R/W	R/W	R/W	R/W	R/W
初期値	000			0	0	0	0	0

[bit7:5] 予約 ： 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit4] TMO0： 月レジスタ

RTC カウント部の月情報の 2 桁目を表します。

[bit3:0] MO3～MO0： 月レジスタ

RTC カウント部の月情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.13 年レジスタ(WTYR)

RTC カウント部の年情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:4] TY3～TY0： 年レジスタ

RTC カウント部の年情報の 2 桁目を表します。

0～9: 有効

A～F: 設定禁止

[bit3:0] Y3～Y0： 年レジスタ

RTC カウント部の年情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.14 アラーム分レジスタ(ALMIR)

アラーム設定した分情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit6:4] TAMI2～TAMI0 : アラーム分レジスタ

アラーム設定した分情報の 2 桁目を表します。

0～5: 有効

6, 7: 設定禁止

[bit3:0] AMI3～AMI0 : アラーム分レジスタ

アラーム設定した分情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.15 アラーム時レジスタ(ALHR)

アラーム設定した時情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		TAH1	TAH0	AH3	AH2	AH1	AH0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit5:4] TAH1, TAH0 : アラーム時レジスタ

アラーム設定した時情報の 2 桁目を表します。

0～2: 有効

3: 設定禁止

[bit3:0] AH3～AH0 : アラーム時レジスタ

アラーム設定した時情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.16 アラーム日レジスタ(ALDR)

アラーム設定した日情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		TAD1	TAD0	AD3	AD2	AD1	AD0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit5:4] TAD1, TAD0 : アラーム日レジスタ

アラーム設定した日情報の 2 桁目を表します。

[bit3:0] AD3～AD0 : アラーム日レジスタ

アラーム設定した日情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.17 アラーム月レジスタ(ALMOR)

アラーム設定した月情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約			TAMO0	AMO3	AMO2	AMO1	AMO0
属性	R			R/W	R/W	R/W	R/W	R/W
初期値	000			0	0	0	0	0

[bit7:5] 予約 : 予約ビット

読出しは常に 0 となります。

書込みの場合には、0 を設定してください。

[bit4] TAMO0 : アラーム月レジスタ

アラーム設定した月情報の 2 桁目を表します。

[bit3:0] AMO3～AMO0 : アラーム月レジスタ

アラーム設定した月情報の 1 桁目を表します

0～9: 有効

A～F: 設定禁止

7.18 アラーム年レジスタ(ALYR)

アラーム設定した年情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:4] TAY3～TAY0： アラーム年レジスタ

アラーム設定した年情報の 2 桁目を表します。

0～9: 有効

A～F: 設定禁止

[bit3:0] AY3～AY0： アラーム年レジスタ

アラーム設定した年情報の 1 桁目を表します。

0～9: 有効

A～F: 設定禁止

7.19 タイマ設定レジスタ 0 (WTTR0)

何(時間,分,秒)後、何(時間,分,秒)間隔といったタイマ設定値を設定するレジスタです。
1 秒から 1 日間までの値が設定可能です。

bit	7	6	5	4	3	2	1	0
Field	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:0] TM7～TM0： タイマ設定レジスタ

タイマ設定情報ビットです。
WTTR0 はタイマ設定レジスタの 7 bit ~ 0 bit 目を設定します。WTTR0/WTTR1/WTTR2 の 3 レジスタを用いて、タイマ設定を行います。
何(時間, 分, 秒)後, 何(時間, 分, 秒)間隔といった 1 日間のタイマを設定します。
設定可能なタイマ設定値は 1 秒～1 日まで 0.5 秒間隔です。
タイマ設定レジスタに設定する値は以下の計算式で算出してください。
TM[17:0] = (設定時間[s] × 2) － 1

1～172799: 有効
0, 172800～262143: 設定禁止

TM[17:0]の設定値は binary で設定してください。

7.20 タイマ設定レジスタ 1 (WTTR1)

何(時間,分,秒)後、何(時間,分,秒)間隔といったタイマ設定値を設定するレジスタです。
1 秒から 1 日間までの値が設定可能です。

bit	7	6	5	4	3	2	1	0
Field	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:0] TM15～TM8： タイマ設定レジスタ

タイマ設定情報ビットです。
WTTR1 はタイマ設定レジスタの 15 bit ~ 8 bit 目を設定します。WTTR0/WTTR1/WTTR2 の 3 レジスタを用いて、タイマ設定を行います。
タイマ設定レジスタに設定する値は WTTR0 レジスタの説明を参照してください。

7.21 タイマ設定レジスタ 2 (WTTR2)

何(時間,分,秒)後、何(時間,分,秒)間隔といったタイマ設定値を設定するレジスタです。
1 秒から 1 日間までの値が設定可能です。

bit	7	6	5	4	3	2	1	0
Field	予約						TM17	TM16
属性	R						R/W	R/W
初期値	000000						0	0

[bit1:0] TM17, TM16： タイマ設定レジスタ

タイマ設定情報ビットです。
WTTR2 はタイマ設定レジスタの 17 bit, 16 bit 目を設定します。WTTR0/WTTR1/WTTR2 の 3 レジスタを用いて、タイマ設定を行います。
タイマ設定レジスタに設定する値は WTTR0 レジスタの説明を参照してください。

8. 使用上の注意

RTC カウント部を使用する際は、次の点を注意してください。

- 時刻書換えを行う際は、必ず CREAD 動作を行った後に CWRITE 動作を行なってください。
- 各アラームレジスタの設定は、各アラーム割込み用データ制御ビット(WTCR11:YEN, WTCR11:MOEN, WTCR11:DEN, WTCR11:HEN, WTCR11:MIEN)が 0 のときに変更してください。
- アラーム割込み用データ制御ビット(WTCR11:YEN, WTCR11:MOEN, WTCR11:DEN, WTCR11:HEN, WTCR11:MIEN)のいずれかに 1 を設定した場合、その直後に割込みが発生することがあります。そのため、割込み後、日時を読み出し、確認してください。
- 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 のときに RTC 制御部のレジスタに書込みをすることは禁止です。
- 転送中はサブロックを停止する動作を行わないでください。
- 時刻継続書換え(WTCR10:SCRST, WTCR10:SCST)は 1 秒割込み後、1 秒以内に転送完了してください。
- SCST アサート中に Always ON ドメインへリセットをかけた場合は、時刻がずれている可能性があるため、再度 SCST にて時刻書換えを行ってください。リセット解除後、WTCR10:BUSY が 1 の場合は再設定が必要です。
- RTC カウント部を使用する場合は、『ペリフェラルマニュアル』の『VBAT ドメイン』の「6.7. VDET レジスタ」のパワーオンビット(VDET:PON)に 0 を書込み後、使用してください。
- 本機能をご利用の際は、RTC クロック制御部に実装されている周波数補正機能によって周波数の補正を行ってください。周波数の補正を行わない場合、カレンダとタイマのカウント速度は、サブクロック周波数が 32.768kHz の時に通常よりも 244.1ppm 速くなりますのでご注意ください。
  詳しくは、「RTC クロック制御部」の章をご参照ください。

CHAPTER 4-5: RTC クロック制御部(B)

RTC クロック制御部の機能(B)と動作について示します。

1. RTC クロック制御部の概要
2. RTC クロック制御部の構成
3. RTC クロック制御部の動作説明
4. RTC クロック制御部の設定手順
5. RTC クロック制御部のレジスタ

管理コード: 9RTCCLKC_B_FM0-J03.0

1. RTC クロック制御部の概要

RTC クロック制御部の機能概要を示します。

RTC クロック制御部

RTC クロック制御部には、以下の機能があります。

- RTC カウント部で使用する RTC クロック(RTCMCLK)の生成機能
- SUBOUT 外部端子に出力する分周クロックの生成機能
- RTCCO 外部端子に出力する 0.5 秒または 1 秒のパルス生成機能
- 温度依存による入力クロック(サブクロック)の周波数変動を補正する機能(周波数補正機能)
  (上記周波数補正機能は温度センサを外部接続することを想定しています。)

<注意事項>

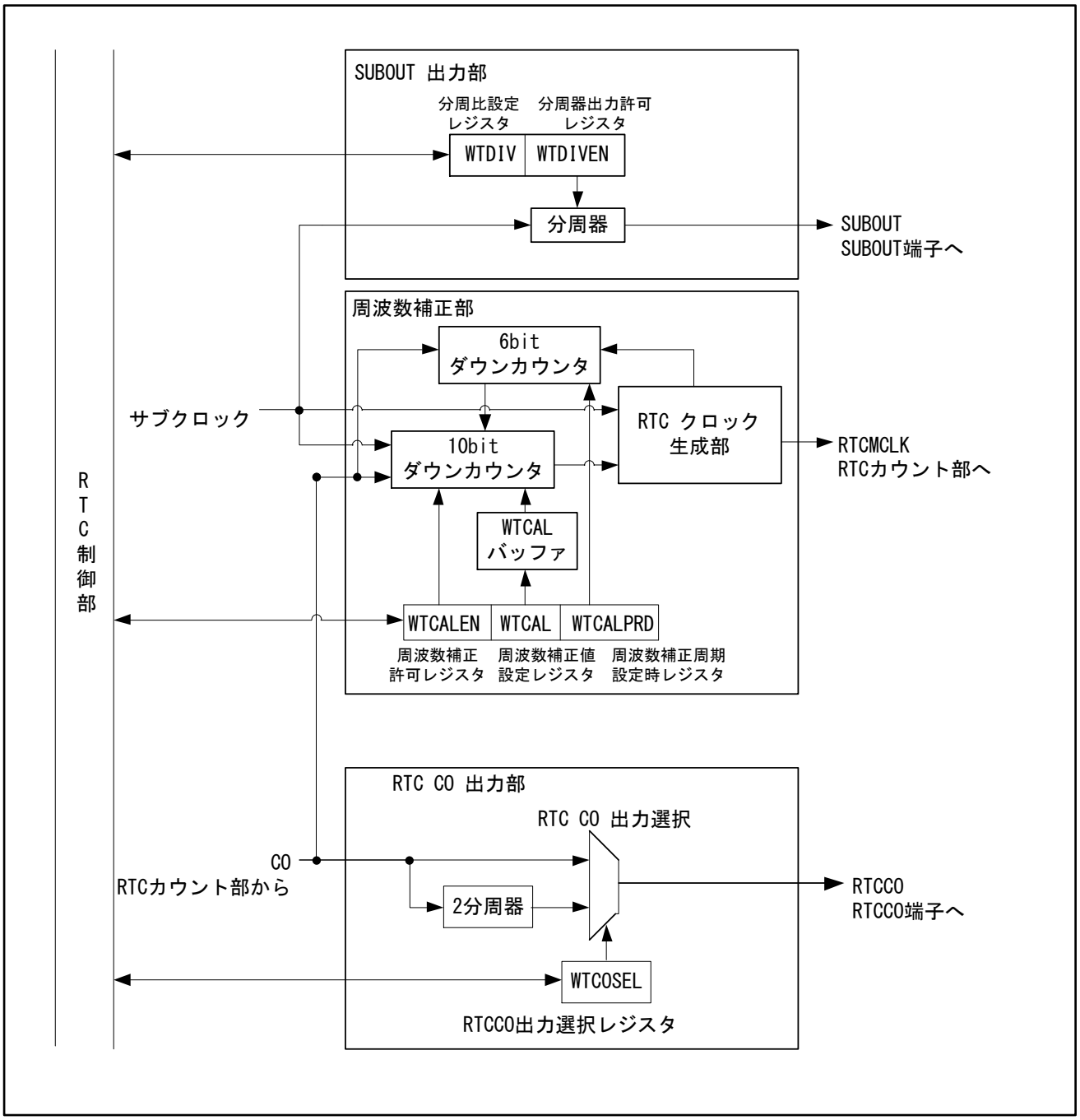
- *本機能には、RTC カウント部に実装されているカレンダとタイマの周波数補正を行う機能が実装されています。周波数の補正を行わない場合、カレンダとタイマのカウント速度は、サブクロック周波数が 32.768kHz の時に通常よりも 244.1ppm 速くなりますのでご注意ください。*
  詳しくは、「RTC クロック制御部」の章もご参照ください。

2. RTC クロック制御部の構成

ブロックダイヤグラムを示します。

RTC クロック制御部のブロックダイヤグラム

Figure 2-1　RTC クロック制御部のブロックダイヤグラム



■ 周波数補正部

周波数補正部は、サブクロックをマスクし、周波数補正を行った RTCMCLK を出力します。
WTCALPRD に設定した周期で、WTCAL バッファの値の数だけ、サブクロックをマスクします。

■ SUBOUT 出力部

SUBOUT 外部端子に出力する分周クロックを生成します。
ディープスタンバイ RTC モード時は、SUBOUT 外部端子から出力できません。

■ RTCCO 出力部

RTCCO 外部端子に出力する信号を生成します。
RTC カウント部からの CO 信号または CO 信号を 2 分周した信号を選択できます。ディープスタンバイ RTC モード時は、RTCCO 外部端子から出力できません。

3. RTC クロック制御部の動作説明

RTC クロック制御部の動作について説明します。

周波数補正部

サブクロックの周波数のずれを補正します。
一定の周期でサブクロックをマスクし、周波数補正を行った RTCMCLK を出力します。
周期は補正周期設定レジスタ(WTCALPRD)に設定します。
補正値設定レジスタ(WTCAL)にマスクするクロック数を設定します。

Figure 3-1 周波数補正部の動作例 (WTCALPRD=19 の場合)

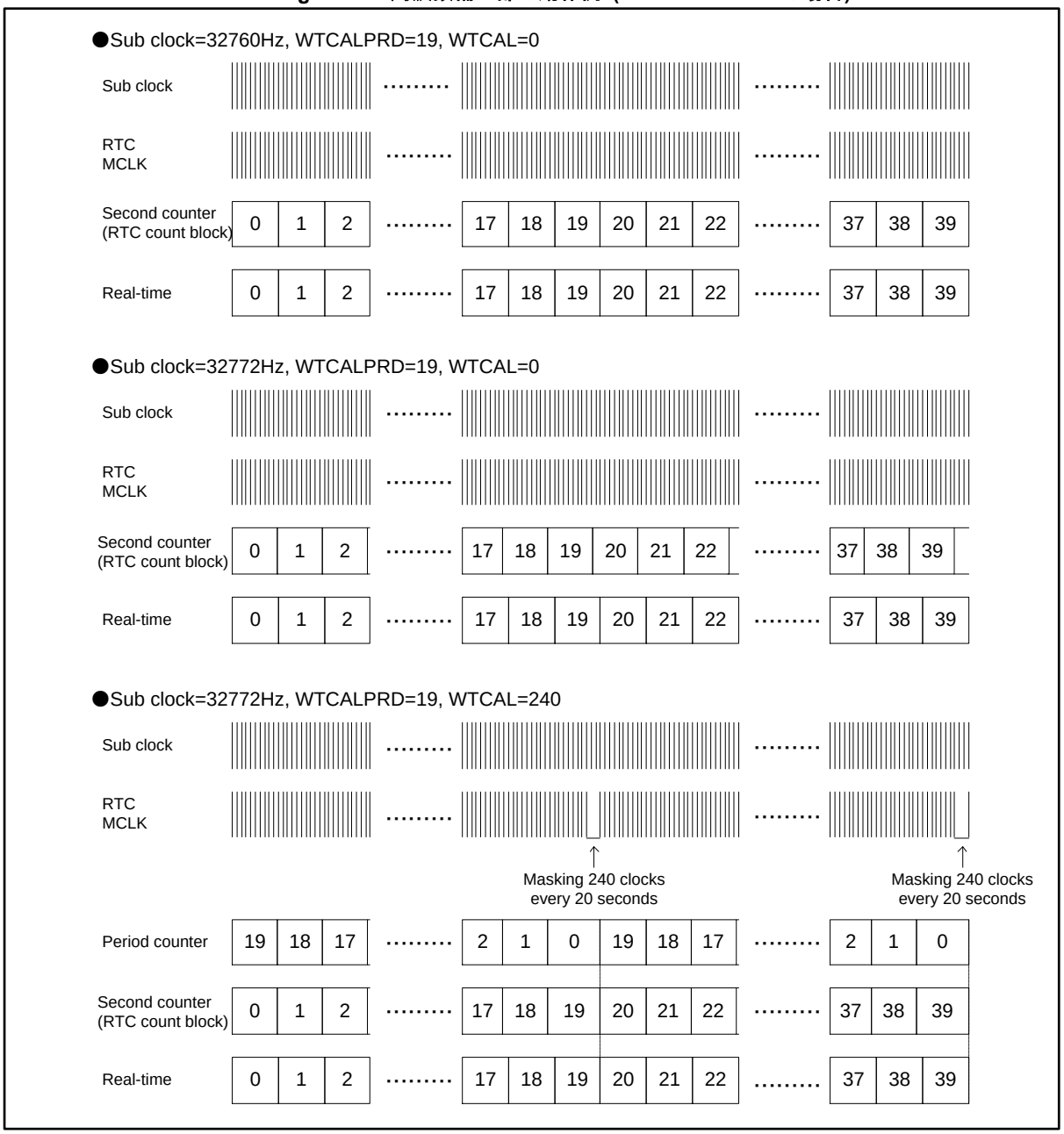
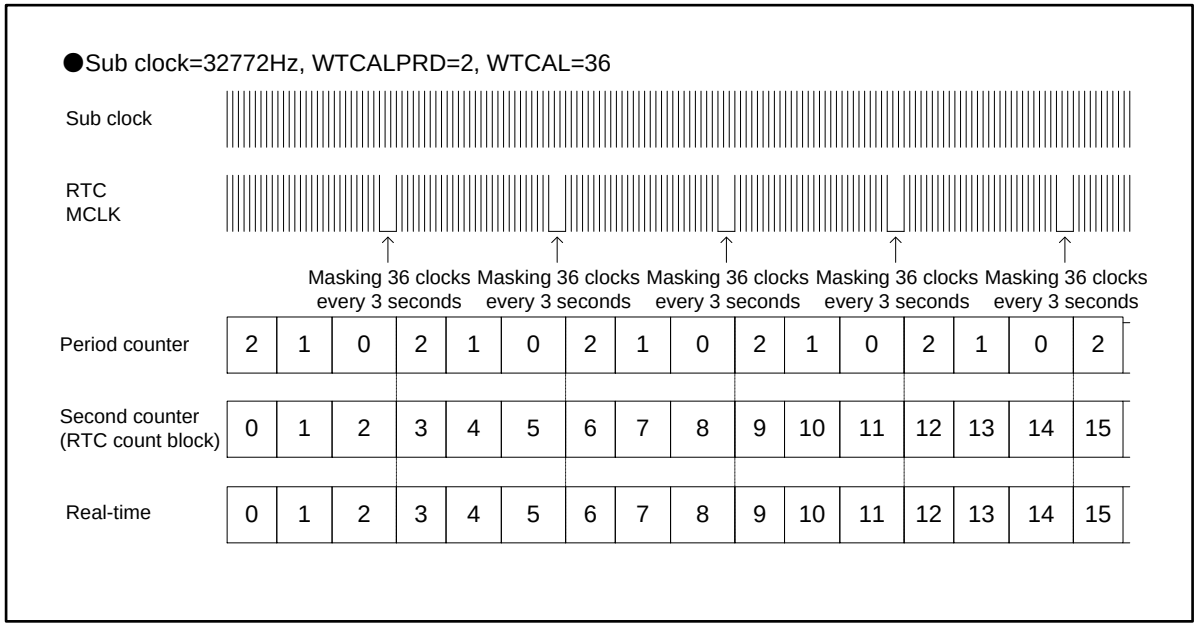


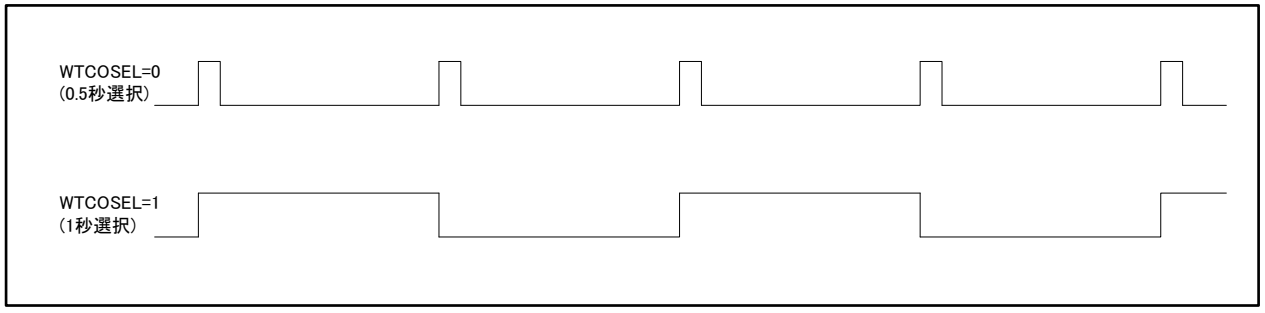
Figure 3-2 周波数補正部の動作例 (WTCALPRD=2 の場合)



RTCCO 外部端子出力クロック選択部

RTCCO クロック選択レジスタ(WTCOSEL)の設定により、RTC カウント部からの CO 信号(0.5 秒)または CO 信号の 2 分周(1 秒)を選択し、RTCCO 外部端子に出力します。

Figure 3-3 周波数補正部の動作例



<注意事項>

- *補正値設定レジスタ(WTCAL)で設定したクロックがマスクされている間は、CO の出力周期がマスクされている分長くなります。*
  RTC カウント部からの CO 信号(0.5 秒)については、『RTC カウント部』の章を参照してください。

■ 周波数補正範囲

周波数補正範囲の例を Table 3-1 と Table 3-2 に示します。RTC カウント部の補正値設定レジスタ(WTCAL)と補正周期設定レジスタ(WTCALPRD)の設定を組み合せて補正します。

Table 3-1 WTCALPRD=19 時の周波数補正範囲の例 (32768 Hz に補正する場合)

補正前のサブクロック周波数[Hz]	WTCAL	補正率[ppm]
32760.00	0	244.1
32760.05	1	242.6
32760.10	2	241.1
:	:	:
32763.95	79	123.6
32764.00	80	122.1
32764.05	81	120.5
:	:	:
32767.95	159	1.5
32768.00	160	0.0
32768.05	161	-1.5
:	:	:
32775.90	318	-241.1
32775.95	319	-242.6
32776.00	320	-244.1

Table 3-2 WTCALPRD=59 時の周波数補正範囲の例 (32768 Hz に補正する場合)

補正前のサブクロック周波数[Hz]	WTCAL	補正率[ppm]
32760.00	0	244.1
32760.02	1	243.6
32760.03	2	243.1
:	:	:
32763.98	239	122.6
32764.00	240	122.1
32764.02	241	121.6
:	:	:
32767.98	479	0.5
32768.00	480	0.0
32768.02	481	-0.5
:	:	:
32775.97	958	-243.1
32775.98	959	-243.6
32776.00	960	-244.1

4. RTC クロック制御部の設定手順

RTC クロック制御部の設定手順について説明します。

周波数補正設定手順

1. 周波数補正周期設定バッファ(WTCALPRD)に補正周期, 周波数補正値設定バッファ(WTCAL)に補正値を書き込んでください。
   WTCAL の設定値は、以下の計算式で算出してください。
   WTCAL = {(補正前の周波数[Hz] + 8 － 理想の周波数[Hz]) / 理想の周波数[Hz] } × 32768 × (WTCALPRD + 1)
2. 周波数補正許可バッファ(WTCALEN)に 1 を書き込んでください。周波数補正が許可されます。
3. 転送クロックが 1 MHz 以下になるように、転送クロック分周設定レジスタ(VB_CLKDIV) (詳細は『ペリフェラルマニュアル』の『VBAT ドメイン』の章の「VB_CLKDIV レジスタ」を参照) を設定してください。
4. 制御レジスタ 20(WTCR20)の VBAT PORT セーブ動作制御ビット(PWRITE)に”1”を書き込んでください。
5. 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS) が 0 になることを確認してください。

周波数補正機能動作中の設定変更手順

1. 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が”0”になっていることを確認してください。
2. 周波数補正周期設定バッファ(WTCALPRD)に補正周期, 周波数補正値設定バッファ(WTCAL)に補正値を書き込んでください。
3. 転送クロックが 1 MHz 以下になるように、転送クロック分周設定レジスタ(VB_CLKDIV) (詳細は『ペリフェラルマニュアル』の『VBAT ドメイン』の章の「VB_CLKDIV レジスタ」を参照) を設定してください。
4. 0.5 秒割込みの設定をしてください。詳細は『ペリフェラルマニュアル』の『RTC カウント部』の章の「毎 0.5 秒/1 秒/1 分/1 時間 割込み設定動作フロー」を参照してください。
5. 毎 0.5 秒割込み発生から、次の 0.5 秒割込みが発生するまでに、制御レジスタ 20(WTCR20)の VBAT PORT セーブ動作制御ビット(PWRITE)に 1 を設定してください。
6. 制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になることを確認してください。

SUBOUT 出力部の設定手順

1. 分周器出力許可ビット(WTDIVEN)に 0 を書き込んでください。
   分周器が停止し、SUBOUT 外部出力に L レベルが出力されます。
2. 分周器状態ビット(WTDIVRDY)を読み出し、0 (停止中)になるまで待ってください。
3. 分周比設定ビット(WTDIV)に分周比を書き込んでください。
   分周比の設定値は「5.4.分周比設定レジスタ(WTDIV)」を参照してください。
4. 分周器出力許可ビット(WTDIVEN)に 1 を書き込んでください。分周器が動作許可に設定されます。

5. RTC クロック制御部のレジスタ

レジスター一覧を示します。

RTC クロック制御部のレジスタ

Table 5-1 RTC クロック制御部のレジスター一覧

レジスタ略称	レジスタ名	参照先
WTCAL0	周波数補正値設定レジスタ 0	5.1
WTCAL1	周波数補正値設定レジスタ 1	5.2
WTCALEN	周波数補正許可レジスタ	5.3
WTDIV	分周比設定レジスタ	5.4
WTDIVEN	分周器出力許可レジスタ	5.5
WTCALPRD	周波数補正周期設定レジスタ	5.6
WTCOSEL	RTCCO 出力選択レジスタ	5.7

Table 5-1 RTC クロック制御部のレジスター一覧 に記載のあるレジスタは、WTDIV, WTDIVEN を除き『VBAT ドメイン』の章に記載の”回路形式 3”に該当します。そのため、VBAT ドメインのレジスタはシステムリセット/RTC リセットで初期化されま
せんが、Always ON ドメインのバッファは初期化されます。したがって、リセット後のセーブ動作は値を再設定もしくは、リコール動作後に行なってください。

5.1 周波数補正値設定レジスタ 0 (WTCAL0)

RTC カウント部へ出力する RTC クロック(RTCMCLK)の周波数補正値を設定します。

Bit	7						0
Field	WTCAL0						
属性	R/W						
初期値	0x00						

[bit7:0] WTCAL0： 周波数補正値設定ビット 0

WTCALPRD レジスタに設定した周期ごとに、マスクするクロック数を設定します。
WTCALPRD を 19、WTCAL を 8 に設定した場合、20 秒ごとに入力クロック(サブクロック)から 8 クロックをマスクし、RTC カウント部へ RTCMCLK を出力します。
WTCAL に設定する値は、「4. RTC クロック制御部の設定手順」の「周波数補正設定手順」を参照してください。

5.2 周波数補正値設定レジスタ 1 (WTCAL1)

RTC カウント部へ出力する RTC クロック(RTCMCLK)の周波数補正値を設定します。

Bit	7	2	1	0
Field	予約		WTCAL1	
属性	R		R/W	
初期値	000000		00	

[bit7:2] 予約 : 予約ビット

読出しは常に 0 です。

書込みの場合には、0 を設定してください。

[bit1:0] WTCAL1 : 周波数補正値設定ビット 1

WTCALPRD レジスタに設定した周期ごとに、マスクするクロック数を設定します。

WTCALPRD を 19、WTCAL を 8 に設定した場合、20 秒ごとに入力クロック(サブクロック)から 8 クロックをマスクし、RTC カウント部へ RTCMCLK を出力します。

WTCAL に設定する値は、「4. RTC クロック制御部の設定手順」の「周波数補正設定手順」を参照してください。

5.3 周波数補正許可レジスタ(WTCALEN)

RTC カウント部へ入力する RTC クロック(RTCMCLK)の周波数補正を許可するレジスタです。

Bit	7	1	0
Field	予約		WTCALEN
属性	R		R/W
初期値	0000000		0

[bit7:1] 予約 : 予約ビット

読出しは常に 0 です。
書込みの場合には、0 を設定してください。

[bit0] WTCALEN : 周波数補正許可ビット

周波数補正を許可します。

Bit	説明
0	周波数補正を禁止します。
1	周波数補正を許可します。

5.4 分周比設定レジスタ(WTDIV)

分周器の分周比を設定します。

Bit	7	6	5	4	3	2	1	0
Field	予約				WTDIV			
属性	R				R/W			
初期値	0000				0000			

[bit7:4] 予約 : 予約ビット

読出しは常に 0 です。

書込みの場合には、0 を設定してください。

[bit3:0] WTDIV : 分周比設定ビット

入力クロック(サブクロック)と分周器が出力する分周クロック(SUBOUT)の分周比を設定します。

Bit3:0	説明
0000	分周なし
0001	2 分周
0010	4 分周
0011	8 分周
0100	16 分周
0101	32 分周
0110	64 分周
0111	128 分周
1000	256 分周
1001	512 分周
1010	1024 分周
1011	2048 分周
1100	4096 分周
1101	8192 分周
1110	16384 分周
1111	32768 分周

<注意事項>

- *WTDIV ビットへの書込みは、分周器出力許可レジスタ(WTDIVEN)の分周器許可ビット(WTDIVEN)と分周器状態ビット(WTDIVRDY)が 0 のときに行ってください。*

5.5 分周器出力許可レジスタ(WTDIVEN)

分周器の出力を許可するレジスタです。

Bit	7	2	1	0
Field	予約		WTDIVRDY	WTDIVEN
属性	R		R	R/W
初期値	000000		0	0

[bit7:2] 予約 : 予約ビット

読出しは常に 0 です。
書込みの場合には、0 を設定してください。

[bit1] WTDIVRDY : 分周器状態ビット

分周器の動作状態を示します。

Bit	説明
0	分周器は停止中です。SUBOUT 外部端子出力は Low 固定です。
1	分周器は動作中です。

[bit0] WTDIVEN : 分周器許可ビット

分周器の動作を許可します。

Bit	説明
0	分周器の動作を停止します。
1	分周器の動作を許可します。

5.6 周波数補正周期設定レジスタ(WTCALPRD)

周波数補正の周期を設定するレジスタです。

Bit	7	6	5	0
Field	予約		WTCALPRD	
属性	R		R/W	
初期値	00		010011	

[bit7:6] 予約 : 予約ビット

読出しは常に 0 です。

書込みの場合には、0 を設定してください。

[bit5:0] WTCALPRD : 周波数補正値設定ビット

周波数補正のためのクロックをマスクする周期(秒)から 1 引いた値を設定します。

例えば、0 を設定すると 1 秒周期、19 を設定すると 20 秒周期となります。

5.7 RTCCO 出力選択レジスタ(WTCOSEL)

RTCCO 出力を選択するレジスタです。

Bit	7	1	0
Field	予約		WTCOSEL
属性	R		R/W
初期値	0000000		0

[bit7:1] 予約 : 予約ビット

読出しは常に 0 です。
書込みの場合には、0 を設定してください。

[bit0] WTCOSEL : RTCCO 出力選択ビット

RTCCO 出力を選択します。

Bit	説明
0	RTC カウント部の CO 信号を出力します。
1	CO 信号の 2 分周を出力します。

CHAPTER 5-1: ベースタイマ入出力選択機能

ベースタイマの入出力選択機能について説明します。

1. 概要
2. 構成
3. 入出力モード
4. レジスタ

管理コード: 9BFBTSELA-FM0--J03.0_FW14-J00.4

1. 概要

ベースタイマ入出力選択機能は、入出力モードを設定することにより、ベースタイマへの信号(外部クロック/外部起動トリガ/波形)の入出力方法を選択する機能です。

また、ベースタイマはタイマ機能を切り換えることで、チャネルごとに次のいずれかのタイマとして使用します。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

概要

2 チャネルごとに入出力モードを以下の 10 種類の中から選択できます。

複数チャネル同時ソフト起動機能があり、最大 16 チャネルまで同時にソフト起動を行えます。

■ 入出力モード 0 : 16 ビットタイマ標準モード
ベースタイマを 1 チャネルごとに個別に動作させるモードです。

■ 入出力モード 1 : タイマフルモード
ベースタイマの偶数チャネルの信号を個別に外部端子に割り当てて動作させるモードです。

■ 入出力モード 2 : 外部トリガ共有モード
2 チャネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。このモードを利用すると、2 チャネルのベースタイマを同時に起動できます。

■ 入出力モード 3 : 他チャネルトリガ共有モード
ほかのチャネルからの外部信号を外部起動トリガにして起動するモードです。このモードは ch.0 および ch.1 には設定できません。

■ 入出力モード 4 : タイマ起動/停止モード
偶数チャネルで、奇数チャネルの起動/停止を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。

■ 入出力モード 5 : 同時ソフト起動モード
ソフトウェアで複数のチャネルを同時に起動するモードです。

■ 入出力モード 6 : ソフト起動タイマ起動/停止モード
偶数チャネルで、奇数チャネルの起動/停止を制御するモードです。偶数チャネルはソフトウェアで起動します。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。

■ 入出力モード 7 : タイマ起動モード
偶数チャネルで、奇数チャネルの起動を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジで起動します。

■ 入出力モード 8 : 他チャネルトリガ共有タイマ起動/停止モード
ほかのチャネルからの外部信号を外部起動トリガにして、起動するモードです。このモードは ch.0 および ch.1 には設定できません。

■ 入出力モード 9 : イベントカウンタモード (外部クロックモード)
本モードは、TYPE3-M0+製品に搭載されています。
外部クロックを奇数チャネルの入力クロック(カウントクロック)として使用するモードです。

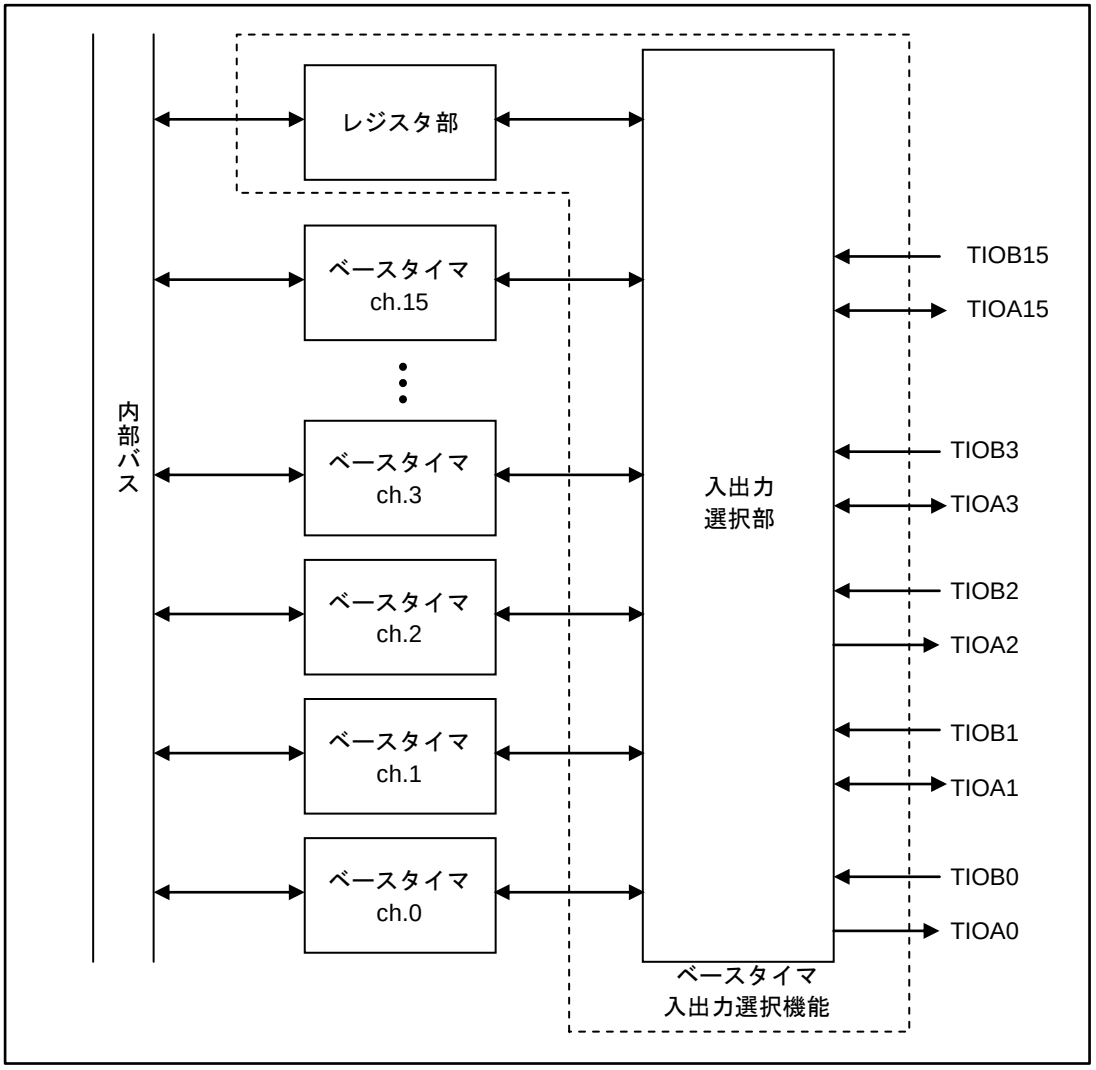
2. 構成

ベースタイマ入出力選択機能は Figure 2-1 に示すブロックで構成されています。

ブロックダイヤグラム

ベースタイマ入出力選択機能のブロックダイヤグラムを Figure 2-1 に示します。

Figure 2-1 ベースタイマ入出力選択機能のブロックダイヤグラム



■ 入出力選択部

ベースタイマの入出力モードをチャネルごとに選択する回路です。

■ ベースタイマ(ch.0～ch.15)

ベースタイマの ch.0～ch.15 (最大 16 チャネル搭載)です。

■ レジスタ部

ベースタイマ入出力選択機能のレジスタ部です。

3. 入出力モード

ベースタイマ入出力選択機能で入出力モードを設定する端子および各入出力モードについて説明します。

3.1. 端子
3.2. 入出力モード

3.1 端子

ベースタイマ入出力選択機能で、入出力モードを設定する端子について説明します。

ベースタイマには、チャネルごとに 2 種類の外部端子と 5 種類の内部信号があります。また、
ベースタイマ入出力選択機能には、2 種類の内部信号があります。外部端子と内部信号を接続することで
ベースタイマへ、接続先に対応した信号(外部クロック(ECK 信号)/外部起動トリガ(TGIN 信号)/波形(TIN 信号))
を入出力します。外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。使用
する端子と入出力する信号は入出力モードによって異なります。

外部端子

- TIOA 端子
  ベースタイマの波形(TOUT 信号)を出力する、または外部起動トリガ(TGIN 信号)を入力する端子です。
- TIOB 端子
  外部起動トリガ(TGIN 信号)/外部クロック(ECK 信号)/他チャネルの波形(TIN 信号)を入力する端子です。

内部信号

上記の外部端子と接続する、またはほかのチャネルからの出力信号を入力することでベースタイマへ信号を入出力します。

- TOUT 信号
  ベースタイマの出力波形です(16/32 ビット PWC タイマでは使用しません)。
- ECK 信号
  ベースタイマの外部クロックです(16/32 ビット PWC タイマでは使用しません)。
  カウント用クロックに外部クロックを選択した場合に入力します。
- TGIN 信号
  ベースタイマの外部起動トリガです(16/32 ビット PWC タイマでは使用しません)。
  外部起動トリガの有効エッジを選択すると、この信号のエッジを検出してベースタイマが起動します。
- TIN 信号
  ベースタイマへの入力波形です。測定する波形です(16/32 ビット PWC タイマでのみ使用します)。
- DTRG 信号
  ベースタイマへのトリガ入力です。ベースタイマは、この信号の立下りエッジで動作を停止します。
- COUT 信号
  ベースタイマ入出力選択機能のトリガ出力です。ベースタイマのほかのチャネルへの出力信号です。
- CIN 信号
  ベースタイマ入出力選択機能へのトリガ入力です。ベースタイマのほかのチャネルから入力される信号です。

外部端子と内部信号の接続

外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。

入出力モードと端子接続の対応を Table 3-1 に示します。

Table 3-1 入出力モードと端子接続の対応

入出力モード	TIOAn (偶数チャネル)		TIOBn (偶数チャネル)		TIOAn+1 (奇数チャネル)		TIOBn+1 (奇数チャネル)	
	接続先	入出力	接続先	入出力	接続先	入出力	接続先	入出力
0	ch.n の TOUT	出力	ch.n の ECK/TGIN/TIN	入力	ch.n+1 の TOUT	出力	ch.n+1 の ECK/TGIN/TIN	入力
1			ch.n の ECK	入力	ch.n の TGIN	入力	ch.n の TIN	入力
2			ch.n/ch.n+1 の ECK/TGIN/TIN *1	入力	ch.n+1 の TOUT	出力	使用しない	
3			使用しない					
4			ch.n の ECK/TGIN/TIN	入力				
5			使用しない					
6								
7			ch.n の ECK/TGIN/TIN	入力				
8			使用しない					
9			ch.n の ECK/TGIN/TIN	入力			ch.n+1 の ECK	入力

n: 偶数(n=0, 2, 4, 6, 8, 10, 12, 14)
ただし、n は、製品に搭載される搭載チャネルにより異なります。

ch.n: 偶数チャネル

ch.n+1: 奇数チャネル

*1: 周辺クロック(PCLK)で同期化

3.2 入出力モード

入出力選択レジスタ(BTSEL)で設定した入出力モードによって、外部端子の働きやベースタイマの起動/停止のタイミングなどが異なります。

入出力モード 0 (16 ビットタイマ標準モード)

ベースタイマの各チャネルを個別に利用するモードです。

このモードに設定した場合に使用する外部端子を Table 3-2 に示します。

Table 3-2 入出力モード 0 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	1 本
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について Table 3-3 に示します。

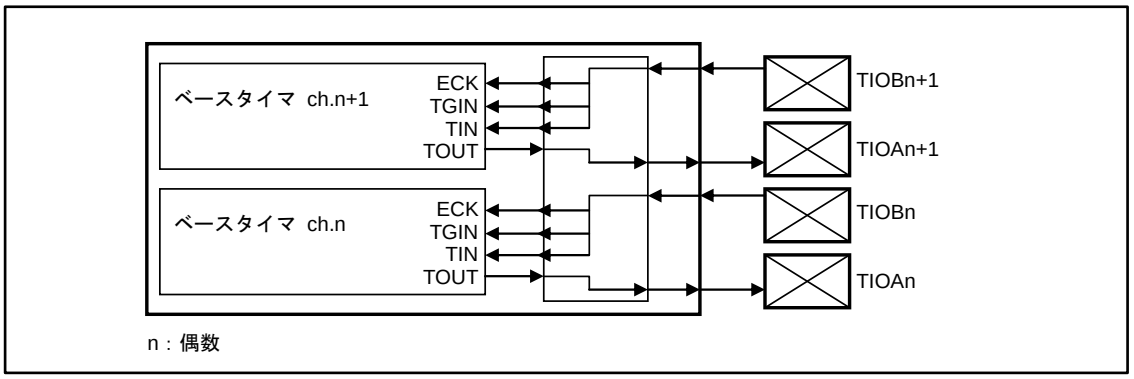
Table 3-3 入出力モード 0 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOA	出力	TOUT	ベースタイマの波形を出力
TIOB	入力	ECK/TGIN/TIN*	入力した信号を次のいずれかとして使用 – 外部クロック(ECK 信号) – 外部起動トリガ(TGIN 信号) – 測定する波形(TIN 信号)

*: 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 0(16 ビットタイマ標準モード)のブロックダイヤグラムを Figure 3-1 に示します。

Figure 3-1 入出力モード 0(16 ビットタイマ標準モード)のブロックダイヤグラム



入出力モード 0 の接続を Table 3-4 に示します。

Table 3-4 入出力モード 0 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	ECK/TGIN/TIN として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
TIOBn+1 端子からの入力信号	ECK/TGIN/TIN として ch.n+1 に入力

n: 偶数

入出力モード 1(タイマフルモード)

偶数チャネルの信号をすべて外部端子に個別に割り当てて使用するモードです。

このモードに設定した場合に使用する外部端子を Table 3-5 に示します。

Table 3-5 入出力モード 1 に設定した場合に使用する外部端子

	偶数チャネル
入力端子	3 本
出力端子	1 本

使用する外部端子の接続先と入出力信号について Table 3-6 に示します。

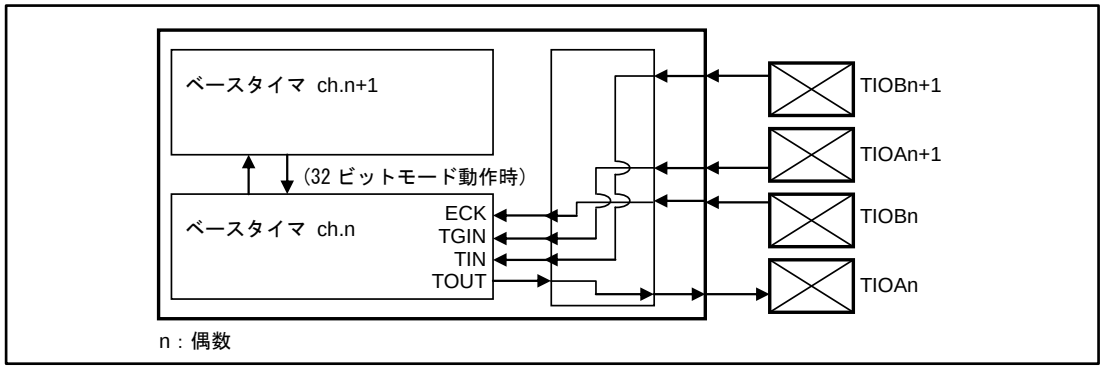
Table 3-6 入出力モード 1 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK	偶数チャネルに外部クロック(ECK 信号)を入力
TIOAn+1	入力	偶数チャネルの TGIN	偶数チャネルに外部起動トリガ(TGIN 信号)を入力
TIOBn+1	入力	偶数チャネルの TIN	偶数チャネルに測定する波形(TIN 信号)を入力

n: 偶数

入出力モード 1(タイマフルモード)のブロックダイヤグラムを Figure 3-2 に示します。

Figure 3-2 入出力モード 1(タイマフルモード)のブロックダイヤグラム



入出力モード 1 の接続を Table 3-7 に示します。

Table 3-7 入出力モード 1 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	ECK 信号として ch.n に入力
TIOAn+1 端子	TGIN 信号として ch.n に入力
TIOBn+1 端子	TIN 信号として ch.n に入力

n : 偶数

<注意事項>

- *このモードに設定した場合は、GPIO のポート機能レジスタ(PFR)で奇数チャネルに対応する TIOA 端子 (TIOA1, TIOA3, ・・・)をポート入力モードに設定してください。*

入出力モード 2(外部トリガ共有モード)

ベースタイマの入力信号(ECK/TGIN/TIN)を 2 チャネルで共有するモードです。

このモードに設定した場合に使用する外部端子を Table 3-8 に示します。

Table 3-8 入出力モード 2 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本(2 チャネルで共有)	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について Table 3-9 に示します。

Table 3-9 入出力モード 2 に設定した場合の外部端子の接続先と入出力信号

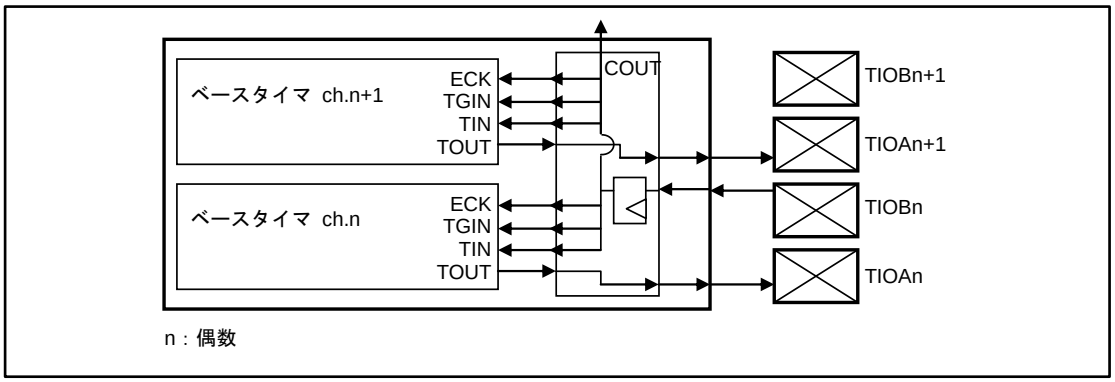
外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数/奇数チャネルの ECK/TGIN/TIN*	偶数/奇数両方のチャネルに入力(周辺クロック(PCLK)で同期化)して、次のいずれかとして使用 – 外部クロック(ECK 信号) – 外部起動トリガ(TGIN 信号) – 測定する波形(TIN 信号)
TIOBn+1	-	-	使用しない

n: 偶数

* : 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 2(外部トリガ共有モード)のブロックダイヤグラムを Figure 3-3 に示します。

Figure 3-3 入出力モード 2(外部トリガ共有モード)のブロックダイヤグラム



入出力モード 2 の接続を Table 3-10 に示します。

Table 3-10 入出力モード 2 の接続

接続元	接続先	備考
ch.n の TOUT 信号	TIOAn 端子から出力	
TIOBn 端子からの入力信号	– ECK/TGIN/TIN 信号として ch.n と ch.n+1 に入力 – COUT 信号としてほかのチャネルに出力	周辺クロック(PCLK)で同期化
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力	

n: 偶数

＜注意事項＞

- *このモードに設定したチャネルの上位 2 チャネル(n+2, n+3)を入出力モード 3(他チャネルトリガ共有モード)に設定すると、4 チャネル同時に入力信号(ECK/TGIN/TIN)を入力できます。*
  (例：ch.0 と ch.1 をこのモードに設定し、ch.2 と ch.3 を入出力モード 3 に設定すると ch.0～ch.3 の 4 チャネル同時に入力信号(ECK/TGIN/TIN)を入力できます。)

入力モード 3(他チャネルトリガ共有モード)

2 チャネル下位側のチャネルの COUT 信号を CIN 信号として入力し、ECK/TGIN/TIN 信号として使用するモードです。

このモードに設定した場合に使用する外部端子を Table 3-11 に示します。

Table 3-11 入出力モード 3 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について Table 3-12 に示します。

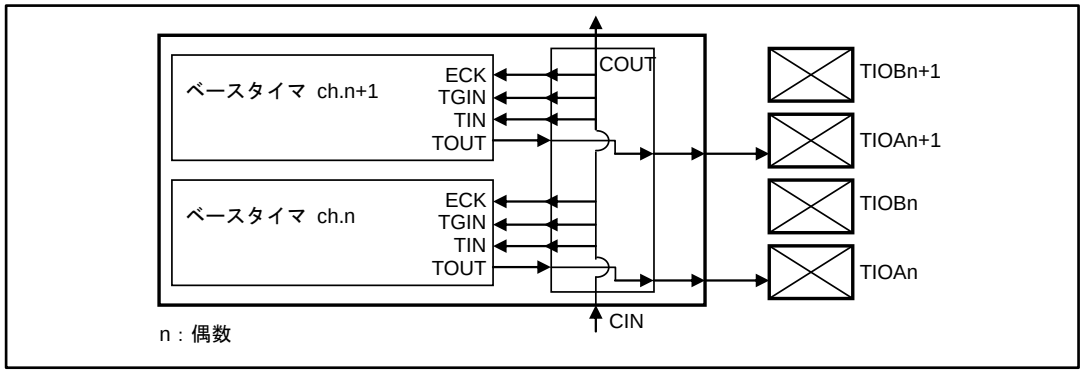
Table 3-12 入出力モード 3 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n: 偶数

入出力モード 3(他チャネルトリガ共通モード)のブロックダイヤグラムを Figure 3-4 に示します。

Figure 3-4 入出力モード 3(他チャネルトリガ共有モード)のブロックダイヤグラム



入出力モード 3 の接続を Table 3-13 に示します。

Table 3-13 入出力モード 3 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
CIN 信号*	– ECK/TGIN/TIN 信号として ch.n と ch.n+1 に入力 – COUT 信号としてほかのチャネルに出力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n: 偶数

*: ほかのチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK/TGIN/TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- 入出力モード 4 時の TIOAn-2 出力

- 入出力モード 6 時の TIOAn-2 出力
- 入出力モード 7 時の TIOAn-2 出力
- 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

＜注意事項＞

- *ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。*
- *このモードに設定したチャネルは、2 チャネル下位側(n-2, n-1)の COUT 信号を CIN 信号として入力して使用します(例：ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)。そのため、ch.0 および ch.1 はこのモードに設定できません。*

入出力モード 4(タイマ起動/停止モード)

偶数チャネルで奇数チャネルの起動/停止を制御できるモードです。

奇数チャネルは、偶数チャネルの出力波形(TOUT 信号)の立上りエッジで起動し、立下りエッジで停止します。

このモードに設定した場合に使用する外部端子を Table 3-14 に示します。

Table 3-14 入出力モード 4 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について Table 3-15 に示します。

Table 3-15 入出力モード 4 に設定した場合の外部端子の接続先と入出力信号

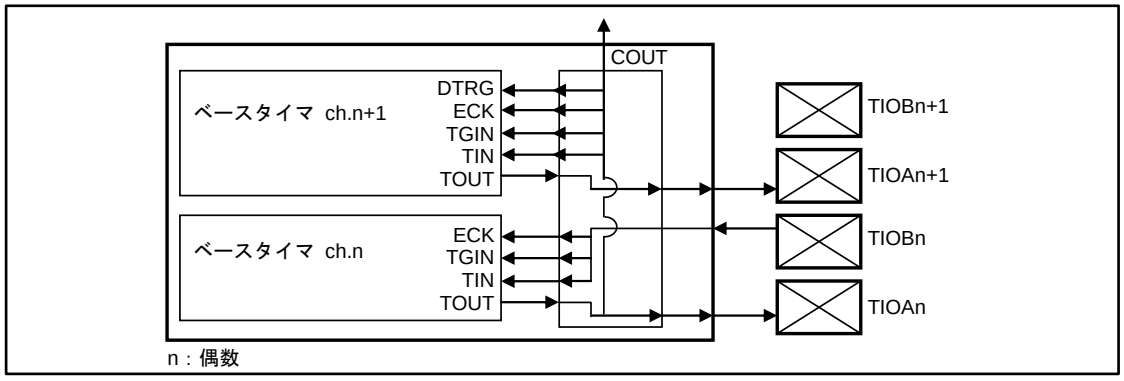
外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK/ TGIN/TIN*	偶数チャネルに入力して、次のいずれかとして使用 - 外部クロック(ECK 信号) - 外部起動トリガ(TGIN 信号) - 測定する波形(TIN 信号)
TIOBn+1	-	-	使用しない

n: 偶数

*: 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 4(タイマ起動/停止モード)のブロックダイヤグラムを Figure 3-5 に示します。

Figure 3-5 入出力モード 4(タイマ起動/停止モード)のブロックダイヤグラム



入出力モード 4 の接続を Table 3-16 に示します。

Table 3-16 入出力モード 4 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力 ECK/TGIN/TIN および DTRG 信号として ch.n+1 に入力 COUT 信号としてほかのチャネルに出力
TIOBn 端子からの入力信号	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n: 偶数

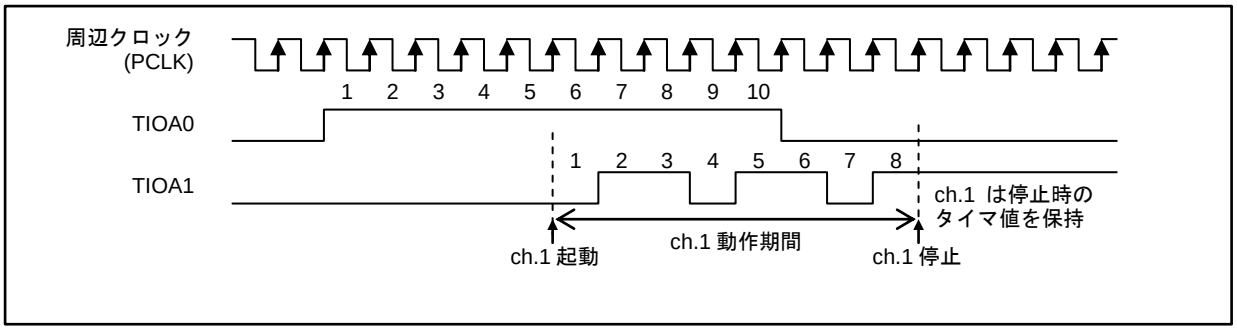
<注意事項>

- *ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットで奇数チャネルのトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。*
- *奇数チャネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。*

入出力モード 4(タイマ起動/停止モード)設定時の動作を ch.0 と ch.1 を PWM タイマとして使用する場合の設定例を Figure 3-6 に示します。

ベースタイマ ch.0	設定値	ベースタイマ ch.1	設定値
周期設定レジスタ(PCSR)	0x0010	周期設定レジスタ(PCSR)	0x0002
デューティ設定レジスタ(PDUT)	0x0009	デューティ設定レジスタ(PDUT)	0x0001
タイマ制御レジスタ(TMCR)	0x0013	タイマ制御レジスタ(TMCR)	0x0112

Figure 3-6 入出力モード 4(タイマ起動/停止モード)の動作例



入出力モード 5(同時ソフト起動モード)

同時ソフト起動レジスタ(BTSSSR)で複数のチャネルを同時に起動できるモードです。

同時ソフト起動レジスタ(BTSSSR)で"1"を書き込んだビットに対応するチャネルがすべて同時に起動します。

このモードに設定した場合に使用する外部端子を Table 3-17 に示します。

Table 3-17 入出力モード 5 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について Table 3-18 に示します。

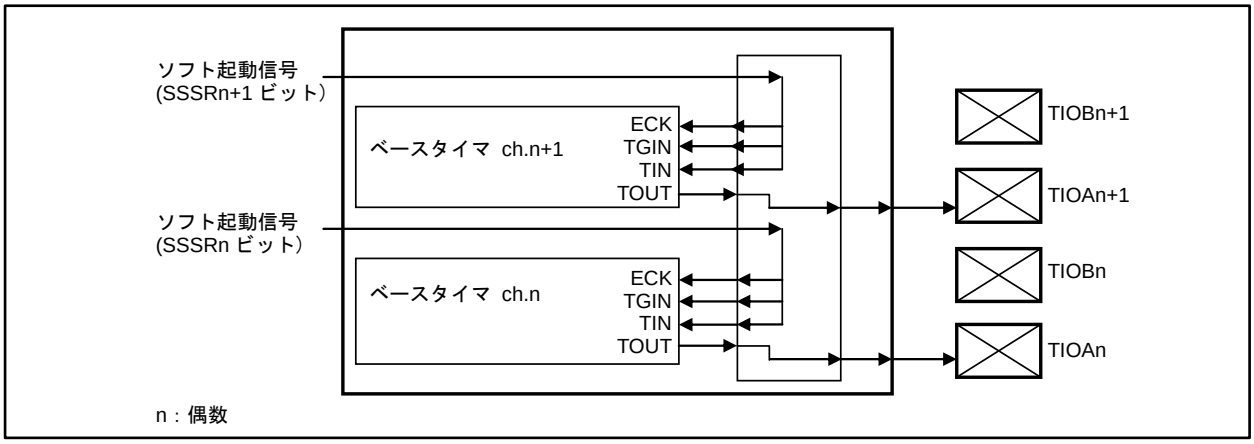
Table 3-18 入出力モード 5 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n: 偶数

入出力モード 5(同時ソフト起動モード)のブロックダイヤグラムを Figure 3-7 に示します。

Figure 3-7 入出力モード 5(同時ソフト起動モード)のブロックダイヤグラム



入出力モード 5 の接続を Table 3-19 に示します。

Table 3-19 入出力モード 5 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの"1"書込み)	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
ソフト起動信号 (BTSSSR の SSSRn+1 ビットへの"1"書込み)	ECK/TGIN/TIN 信号として ch.n+1 に入力

n: 偶数

BTSSSR: 同時ソフト起動レジスタ

同時ソフト起動レジスタ(BTSSSR)で 1 を書き込むと、書き込んだビットに対応するチャネルに立上りエッジが入力(ECK/TGIN/TIN 信号)されます。

<注意事項>

- *ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。*

入出力モード 6(ソフト起動タイマ起動/停止モード)

偶数チャネルで奇数チャネルの起動/停止を制御できるモードです。

偶数チャネルは、同時ソフト起動レジスタ(BTSSSR)に 1 を書き込んで起動します。

奇数チャネルは、偶数チャネルの出力波形(TOUT 信号)で立上りエッジを検出すると起動し、立下りエッジを検出すると停止します。

このモードに設定した場合に使用する外部端子を Table 3-20 に示します。

Table 3-20 入出力モード 6 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について Table 3-21 に示します。

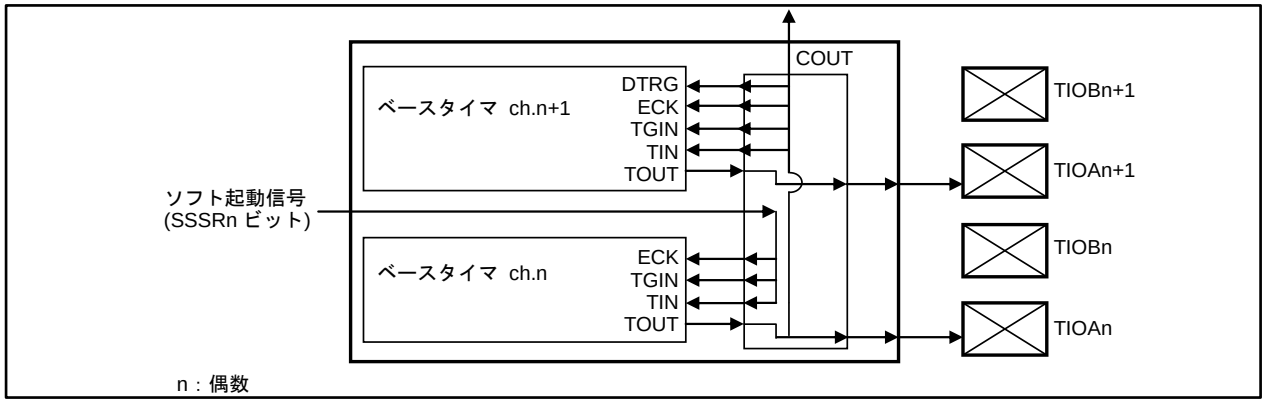
Table 3-21 入出力モード 6 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n: 偶数

入出力モード 6(ソフト起動タイマ起動/停止モード)のブロックダイヤグラムを Figure 3-8 に示します。

Figure 3-8 入出力モード 6(ソフト起動タイマ起動/停止モード)のブロックダイヤグラム



入出力モード 6 の接続を Table 3-22 に示します。

Table 3-22 入出力モード 6 の接続

接続元	接続先
ch.n の TOUT 信号	- TIOAn 端子から出力 - ECK/TGIN/TIN/DTRG 信号として ch.n+1 に入力 - COUT 信号としてほかのチャネルに出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの"1"書込み)	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n: 偶数
BTSSSR: 同時ソフト起動レジスタ

同時ソフト起動レジスタ(BTSSSR)で起動したい偶数チャネルに対応するビットに"1"を書き込むと、対応するチャネルに立上りエッジが入力(ECK/TGIN/TIN 信号)されます。

ch.n の起動/停止タイミングは入出力モード 4 と同じです。

<注意事項>

- *ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。*
- *奇数チャネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。*

入出力モード 7(タイマ起動モード)

偶数チャネルの出力波形(TOUT 信号)を奇数チャネルの入力信号(ECK/TGIN/TIN 信号)として使用するモードです。

このモードに設定した場合に使用する外部端子を Table 3-23 に示します。

Table 3-23 入出力モード 7 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について Table 3-24 に示します。

Table 3-24 入出力モード 7 に設定した場合の外部端子の接続先と入出力信号

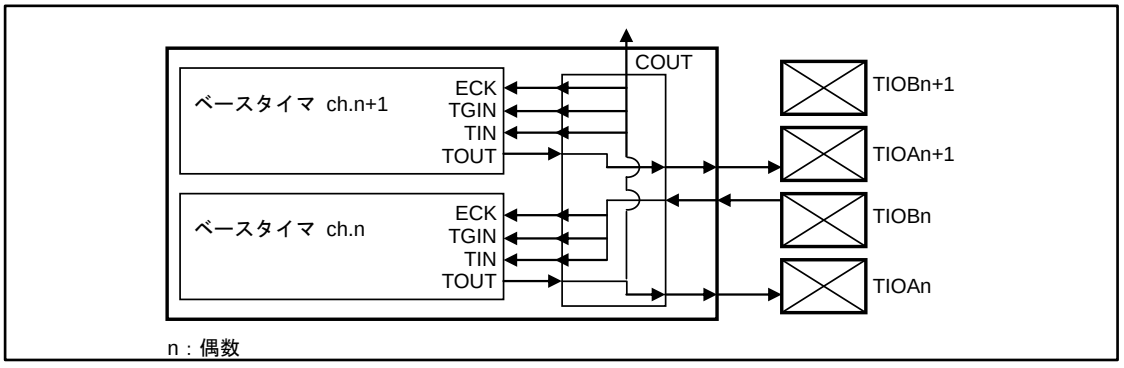
外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK/ TGIN/TIN*	偶数チャネルに入力し、次のいずれかとして使用 - 外部クロック(ECK 信号) - 外部起動トリガ(TGIN 信号) - 測定する波形(TIN 信号)
TIOBn+1	-	-	使用しない

n: 偶数

*: 入力波形の使用方法(ECK/TGIN/TIN 信号)は、タイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 7(タイマ起動モード)時のブロックダイヤグラムを Figure 3-9 に示します。

Figure 3-9 入出力モード 7(タイマ起動モード)のブロックダイヤグラム



入出力モード 7 の接続を Table 3-25 に示します。

Table 3-25 入出力モード 7 の接続

接続元	接続先
ch.n の TOUT 信号	- TIOAn 端子から出力 - ECK/TGIN/TIN 信号として ch.n+1 に入力 - COUT 信号としてほかのチャネルに出力
TIOBn 端子からの入力信号	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n: 偶数

ch.n の起動タイミングは入出力モード 4 と同じです。

入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)

2 チャネル下位側のチャネルの COUT 信号を CIN 信号として入力し、外部起動トリガ(TGIN 信号)として使用するモードです。

このモードに設定した場合に使用する外部端子を Table 3-26 に示します。

Table 3-26 入出力モード 8 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について Table 3-27 に示します。

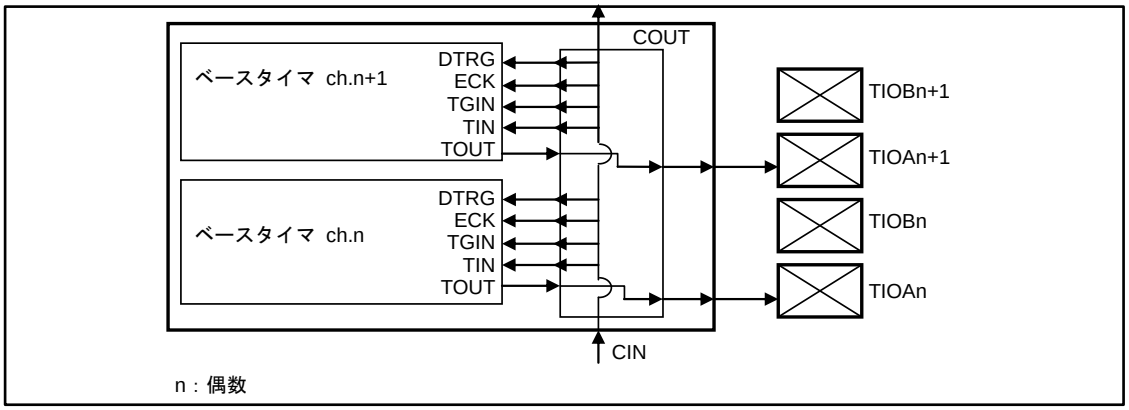
Table 3-27 入出力モード 8 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n: 偶数

入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)時のブロックダイヤグラムを Figure 3-10 に示します。

Figure 3-10 入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)のブロックダイヤグラム



入出力モード 8 の接続を Table 3-28 に示します。

Table 3-28 入出力モード 8 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
CIN 信号*	– ECK/TGIN/TIN 信号および DTRG 信号として ch.n と ch.n+1 に入力 – COUT 信号としてほかのチャネルに出力

n: 偶数

*: ほかのチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK, TGIN, TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- 入出力モード 4 時の TIOAn-2 出力
- 入出力モード 6 時の TIOAn-2 出力
- 入出力モード 7 時の TIOAn-2 出力
- 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

<注意事項>

- *このモードに設定したチャネルは、2 チャネル下位側(n-2, n-1)の COUT 信号を CIN 信号として入力して使用します(例 : ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)。そのため、ch.0 および ch.1 はこのモードに設定できません。*
- *このモードに設定したチャネルは、ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。*
  ただし、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットでタイマ機能を 16/32 ビット PWC タイマ機能(FMD[2:0]="100")に設定した場合を除きます。
- *ベースタイマは DTRG 信号で立下りエッジが検出されると動作を停止します。*

入出力モード 9 (イベントカウンタモード (外部クロックモード))

本モードは、TYPE5-M4 と TYPE6-M4 製品に搭載されています。

外部クロックを奇数チャネルの入力クロック(ECK 信号)として使用するモードです。
偶数チャネルは、PWM タイマ機能で任意のパルスを生成します。
奇数チャネルは、リロードタイマのゲート機能を使用して、偶数チャネルの出力波形(TOUT 信号)の"H"パルス幅を測定するようにします。
このように設定することで、外部クロックの周波数を計算することができます。

このモードに設定した場合に使用する外部端子を Table 3-29 に示します。

Table 3-29 入出力モード 9 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	1 本
出力端子	1 本	使用しない

使用する外部端子の接続先と入出力信号について Table 3-30 に示します。

Table 3-30 入出力モード 9 に設定した場合の外部端子の接続先と入出力信号

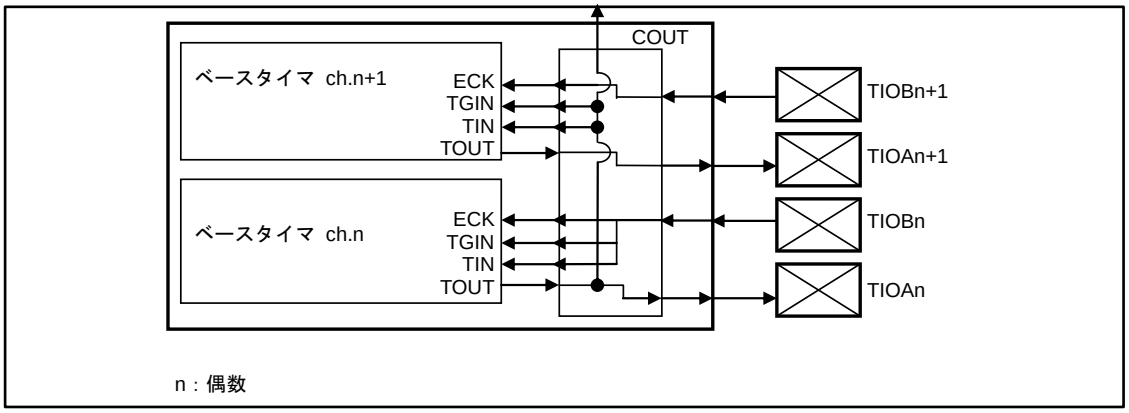
外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK/TGIN/TIN*	偶数チャネルに入力して、次のいずれかとして使用 – 外部クロック端子(ECK 信号) – 外部トリガ(TGIN 信号) – 測定する波形(TIN 信号)
TIOBn+1	入力	奇数チャネルの ECK	奇数チャネルの外部クロック(ECK 信号)を入力

n: 偶数

*: 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 9 (イベントカウンタモード) 時のブロックダイヤグラムを Figure 3-11 に示します。

Figure 3-11 入出力モード 9 (イベントカウンタモード)のブロックダイヤグラム



入出力モード 9 の接続を Table 3-31 に示します。

Table 3-31 入出力モード 9 の接続

接続元	接続先
TIOBn 端子からの入力信号	ECK/TGIN/TIN 端子として ch.n に入力
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn+1 端子からの入力信号	ECK 信号として ch.n+1 に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n: 偶数

外部クロック周波数の計算式を以下に示します。

$$\text{外部クロック周波数} = \frac{\text{奇数チャネルの TMR (リロードタイマの測定値)}}{\text{PWM 信号の H パルス幅}}$$

$$\text{(PWM 信号の H パルス幅)} = \frac{\text{偶数チャネルの PDUT 設定値}}{\text{偶数チャネルのカウントクロックの周波数}}$$

4. レジスタ

ベースタイマ入出力選択機能のレジスター一覧を示します。

ベースタイマ入出力選択機能のレジスタ

Table 4-1 ベースタイマ入出力選択機能のレジスター一覧

レジスタ略称	レジスタ名	参照先
BTSEL0123	入出力選択レジスタ	4.1
BTSEL4567	入出力選択レジスタ	4.2
BTSEL89AB	入出力選択レジスタ	4.3
BTSELCDEF	入出力選択レジスタ	4.4
BTSSSR	同時ソフト起動レジスタ	4.5

4.1 入出力選択レジスタ(BTSEL0123)

ベースタイマの ch.0～ch.3 の入出力モードを設定するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SEL23_3	SEL23_2	SEL23_1	SEL23_0	SEL01_3	SEL01_2	SEL01_1	SEL01_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:12] SEL23_3～SEL23_0 : ch.2/ch.3 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
1	0	0	1	入出力モード 9 (イベントカウンタモード(外部クロックモード))
上記以外				設定禁止

[bit11:8] SEL01_3～SEL01_0 : ch.0/ch.1 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
1	0	0	1	入出力モード 9 (イベントカウンタモード(外部クロックモード))
上記以外				設定禁止

<注意事項>

- *ch.0 および ch.1 は、ベースタイマの最下位のチャネルになり、下位側のチャネルの信号を利用するモードは使用できません。そのため、以下のモードは設定禁止となります。*
- *入出力モード 3(他チャネルトリガ共有モード)*
- *入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)*
- *本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]="000")に設定してから書き換えてください。*
- *入出力モード 9 は、TYPE3-M0+製品が対応しています。*
  TYPE1-M0+と TYPE2-M0+製品は、入出力モード 9 は設定禁止です。

4.2 入出力選択レジスタ(BTSEL4567)

ベースタイマの ch.4～ch.7 の入出力モードを設定するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SEL67_3	SEL67_2	SEL67_1	SEL67_0	SEL45_3	SEL45_2	SEL45_1	SEL45_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:12] SEL67_3～SEL67_0 : ch.6/ch.7 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
1	0	0	1	入出力モード 9 (イベントカウンタモード(外部クロックモード))
上記以外				設定禁止

[bit11:8] SEL45_3～SEL45_0 : ch.4/ch.5 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
1	0	0	1	入出力モード 9 (イベントカウンタモード(外部クロックモード))
上記以外				設定禁止

<注意事項>

- *本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]=000)に設定してから書き換えてください。*
- *入出力モード 9 は、TYPE3-M0+製品が対応しています。*
  TYPE1-M0+と TYPE2-M0+製品は、入出力モード 9 は設定禁止です。

4.3 入出力選択レジスタ(BTSEL89AB)

ベースタイマの ch.8～ch.11 の入出力モードを設定するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SELAB_3	SELAB_2	SELAB_1	SELAB_0	SEL89_3	SEL89_2	SEL89_1	SEL89_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:12] SELAB_3～SELAB_0 : ch.10/ch.11 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
1	0	0	1	入出力モード 9 (イベントカウンタモード(外部クロックモード))
上記以外				設定禁止

[bit11:8] SEL89_3～SEL89_0 : ch.8/ch.9 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
1	0	0	1	入出力モード 9 (イベントカウンタモード(外部クロックモード))
上記以外				設定禁止

<注意事項>

- *本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]=000)に設定してから書き換えてください。*
- *入出力モード 9 は、TYPE3-M0+製品が対応しています。*
  TYPE1-M0+と TYPE2-M0+製品は、入出力モード 9 は設定禁止です。

4.4 入出力選択レジスタ(BTSELCDEF)

ベースタイマの ch.12～ch.15 の入出力モードを設定するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SELEF_3	SELEF_2	SELEF_1	SELEF_0	SELCD_3	SELCD_2	SELCD_1	SELCD_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:12] SELEF_3～SELEF_0 : ch.14/ch.15 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
1	0	0	1	入出力モード 9 (イベントカウンタモード(外部クロックモード))
上記以外				設定禁止

[bit11:8] SELCD_3～SELCD_0 : ch.12/ch.13 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
1	0	0	1	入出力モード 9 (イベントカウンタモード(外部クロックモード))
上記以外				設定禁止

<注意事項>

- *本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]=000)に設定してから書き換えてください。*
- *入出力モード 9 は、TYPE3-M0+製品が対応しています。*
  TYPE1-M0+と TYPE2-M0+製品は、入出力モード 9 は設定禁止です。

4.5 同時ソフト起動レジスタ(BTSSSR)

ベースタイマをソフトウェアで同時に起動するレジスタです。

1 を書き込んだビットに対応する複数のチャネルを最大 16 チャネルまで同時に起動できます。

レジスタ構成

bit	15	0
Field	SSSR15～SSSR0	
属性	W	
初期値	0xXXXX	

レジスタ機能

[bit15:0] SSSR15～SSSR0： 同時ソフト起動ビット

bit	同時ソフト起動ビット
0	"0"書込みは無効です。
1	ビットに対応するチャネルのベースタイマを起動します。

<注意事項>

- *以下のモード以外に設定しているときは、本レジスタへの書込みは禁止です。*
- *入出力モード5(同時ソフト起動モード)*
- *入出力モード6(ソフト起動タイマ起動/停止モード)(偶数チャネルのみ)*
- *このレジスタを利用して起動するチャネルは、ベースタイマのタイマ制御レジスタ(TMCR)のEGS1, EGS0 ビットで、トリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。*

CHAPTER 5-2: ベースタイマ

ベースタイマの機能と動作について示します。

1. ベースタイマの概要
2. ベースタイマのブロックダイヤグラム
3. ベースタイマの動作
4. 32 ビットモード動作
5. ベースタイマ割込み
6. DMA コントローラ(DMAC)の起動
7. ベースタイマのレジスタ
8. ベースタイマの使用上の注意
9. ベースタイマの機能別説明

管理コード: FM10_FM0-J03.0

1. ベースタイマの概要

ベースタイマは、タイマ制御レジスタ(TMCR)の FMD[2:0]ビットの設定により、リセットモード, 16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。選択可能な各種タイマの概要を以下に示します。

モード設定と各種タイマ機能の関係

タイマ制御レジスタ(TMCR)の FMD[2:0]ビットによる設定	機能
000	リセットモード
001	16 ビット PWM タイマ
010	16 ビット PPG タイマ
011	16/32 ビットリロードタイマ
100	16/32 ビット PWC タイマ

リセットモード

リセットモードは、ベースタイマのマクロをリセットした状態(各レジスタは初期値)です。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、マクロのリセット後の場合、本モードの設定なしにタイマ機能や T32 ビットを設定できます。

16 ビット PWM タイマ

16 ビットダウンカウンタ, 周期設定用バッファ付き 16 ビットデータレジスタ, デューティ設定用バッファ付き 16 ビットコンペアレジスタ, 端子制御部で構成されます。

周期, デューティのデータはバッファ付きレジスタに格納するため、タイマ動作中に書換えが可能です。

16 ビットダウンカウンタのカウンタクロックは、内部クロック 8 種類(マシンクロックの 1/4/16/128/256/512/1024/2048 分周)と、外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

アンダフローでカウントを停止するワンショットモードと、再ロードしてカウントを繰り返す連続モードが選択できます。

16 ビット PWM タイマの起動はソフトウェアトリガと外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

16 ビット PPG タイマ

16 ビットダウンカウンタ、H 幅設定用 16 ビットデータレジスタ, L 幅設定用 16 ビットデータレジスタ, 端子制御部で構成されます。

16 ビットダウンカウンタのカウントクロックは、内部クロック 8 種類(マシンクロックの 1/4/16/128/256/512/1024/2048 分周)と、外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

アンダフローでカウントを停止するワンショットモードと、再ロードしてカウントを繰り返す連続モードが選択できます。

16 ビット PPG タイマの起動はソフトウェアトリガと外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

16/32 ビットリロードタイマ

16 ビットダウンカウンタ, 16 ビットのリロードレジスタ, 端子制御部で構成されます。

16 ビットダウンカウンタのカウントクロックは、内部クロック 8 種類(マシンクロックの 1/4/16/128/256/512/1024/2048 分周)と、外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

アンダフローでカウントを停止するワンショットモードと、再ロードしてカウントを繰り返す連続モードが選択できます。

16/32 ビットリロードタイマの起動はソフトウェアトリガと外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

外部からの有効レベル入力時のみダウンカウントを行うゲート機能があります。有効レベルは 2 種類(H レベル, L レベル)から選択できます。

16/32 ビット PWC タイマ

16 ビットアップカウンタ, 測定入力端子, 制御レジスタで構成されます。

外部からのパルス入力で、任意イベント間の時間を測定します。

基準となるカウントクロックは、内部クロック 8 種類(1/4/16/128/256/512/1024/2048 分周)から選択できます。

各種測定モード　　H パルス幅(↑～↓) / L パルス幅(↓～↑)
立上り周期(↑～↑) / 立下り周期(↓～↓)
エッジ間測定(↑または↓～↓または↑)

測定終了時に割込み要求を発生できます。

1 回のみの測定か、連続測定かを選択できます。

2. ベースタイマのブロックダイヤグラム

Figure 2-1～Figure 2-4 に、モード別にベースタイマのブロックダイヤグラムを示します。

Figure 2-1 16 ビット PWM タイマのブロックダイヤグラム

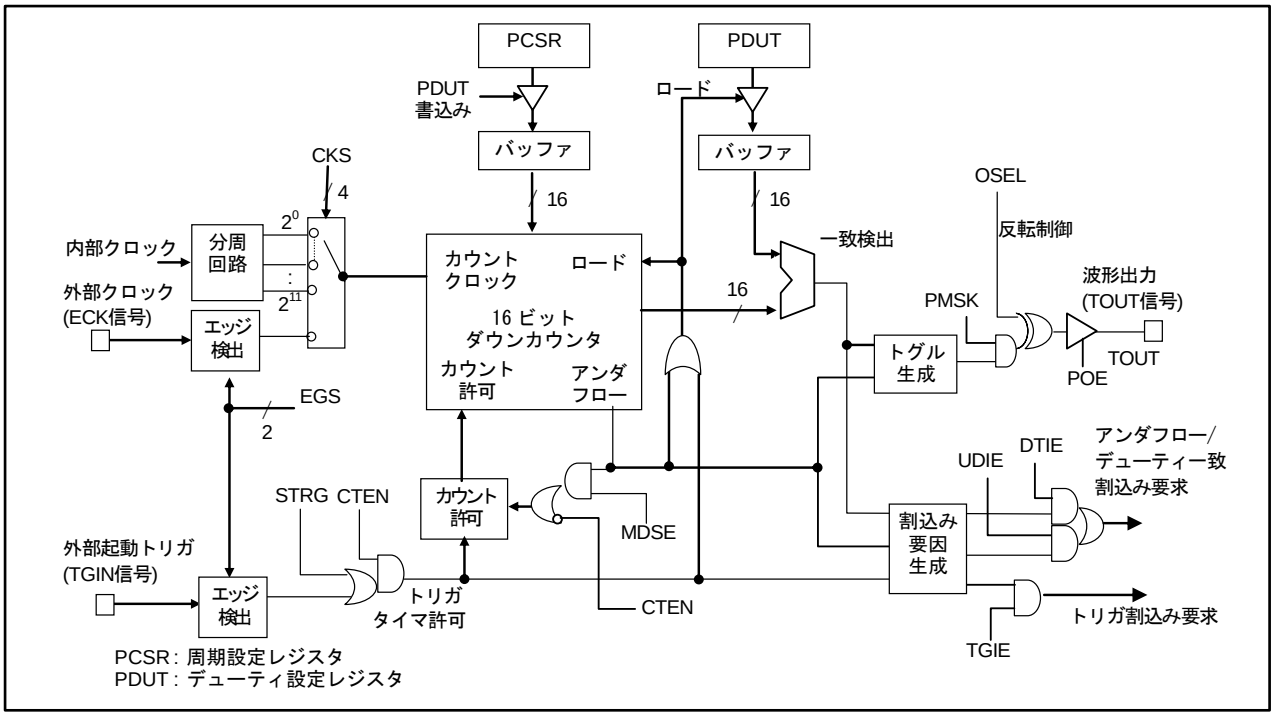


Figure 2-2 16 ビット PPG タイマのブロックダイヤグラム

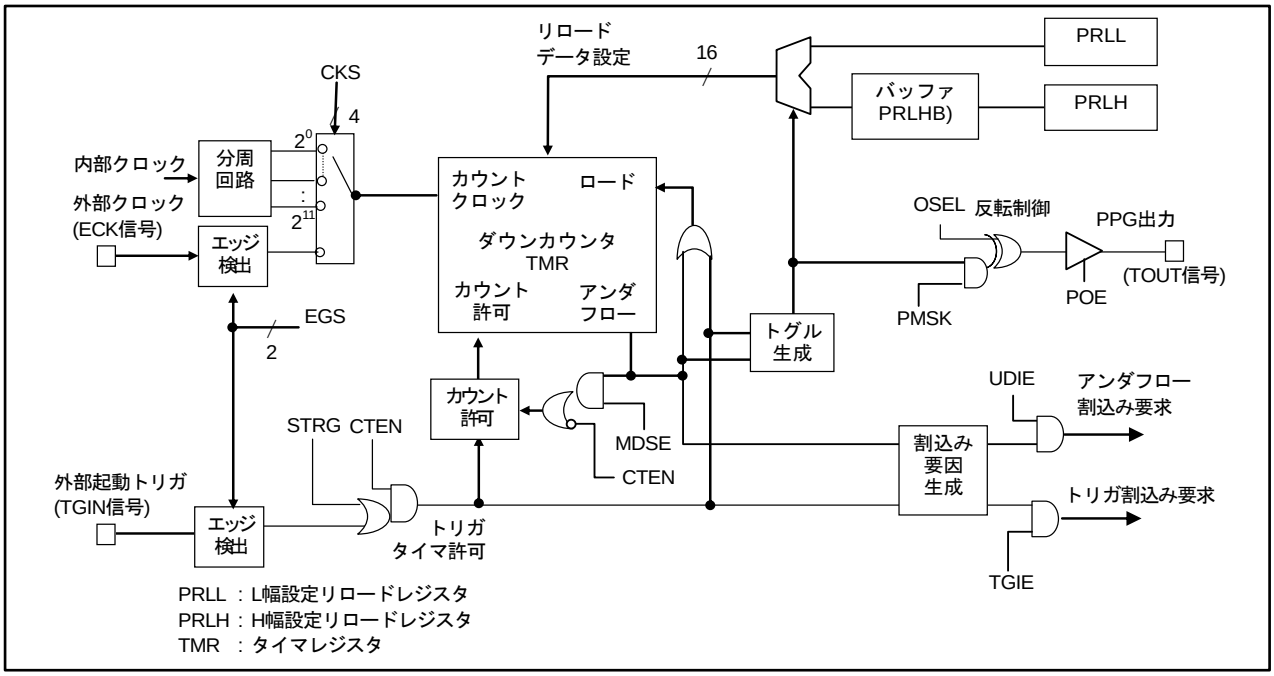


Figure 2-3 16/32 ビットリロードタイマ(ch.1, ch.0)のブロックダイヤグラム

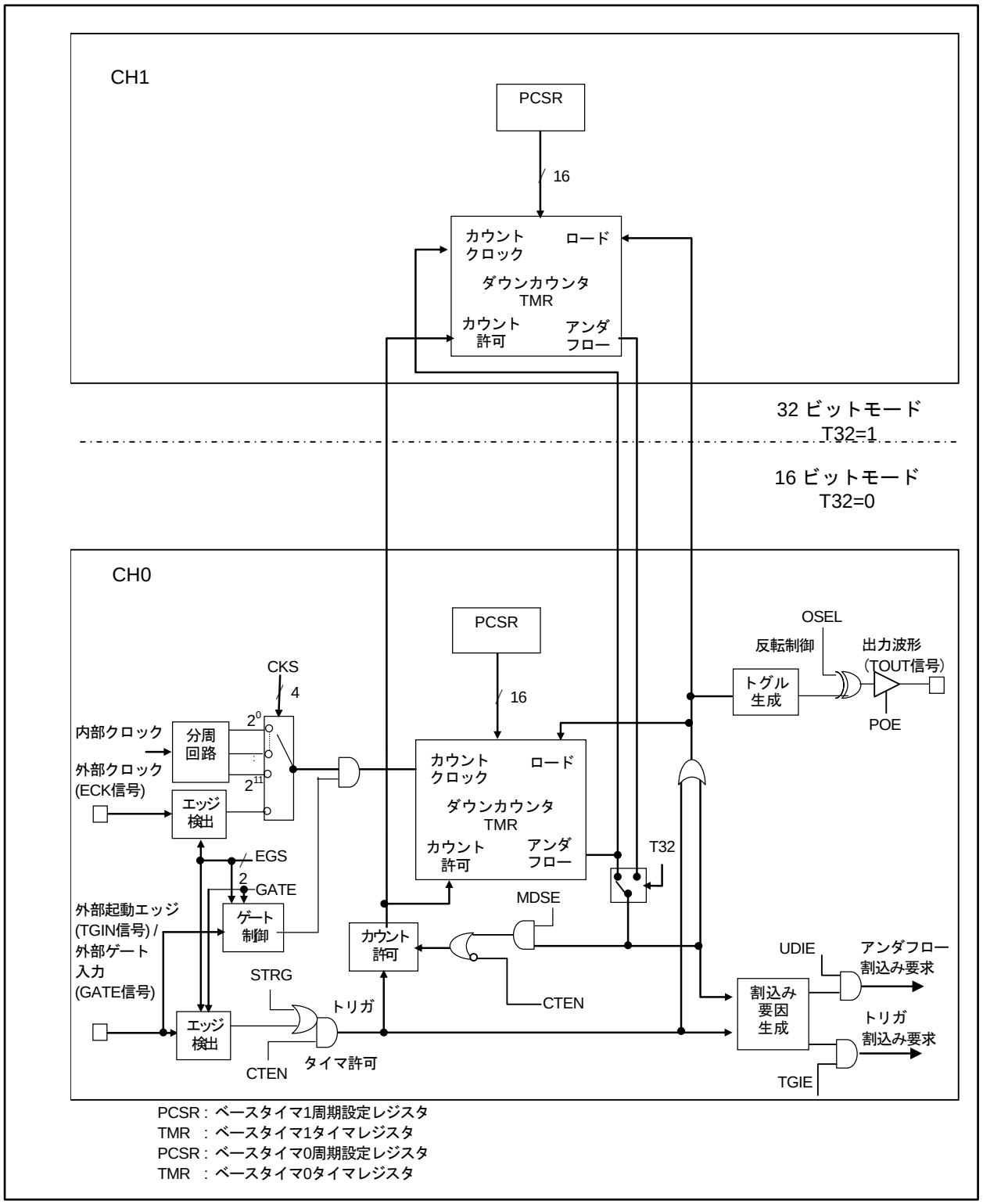
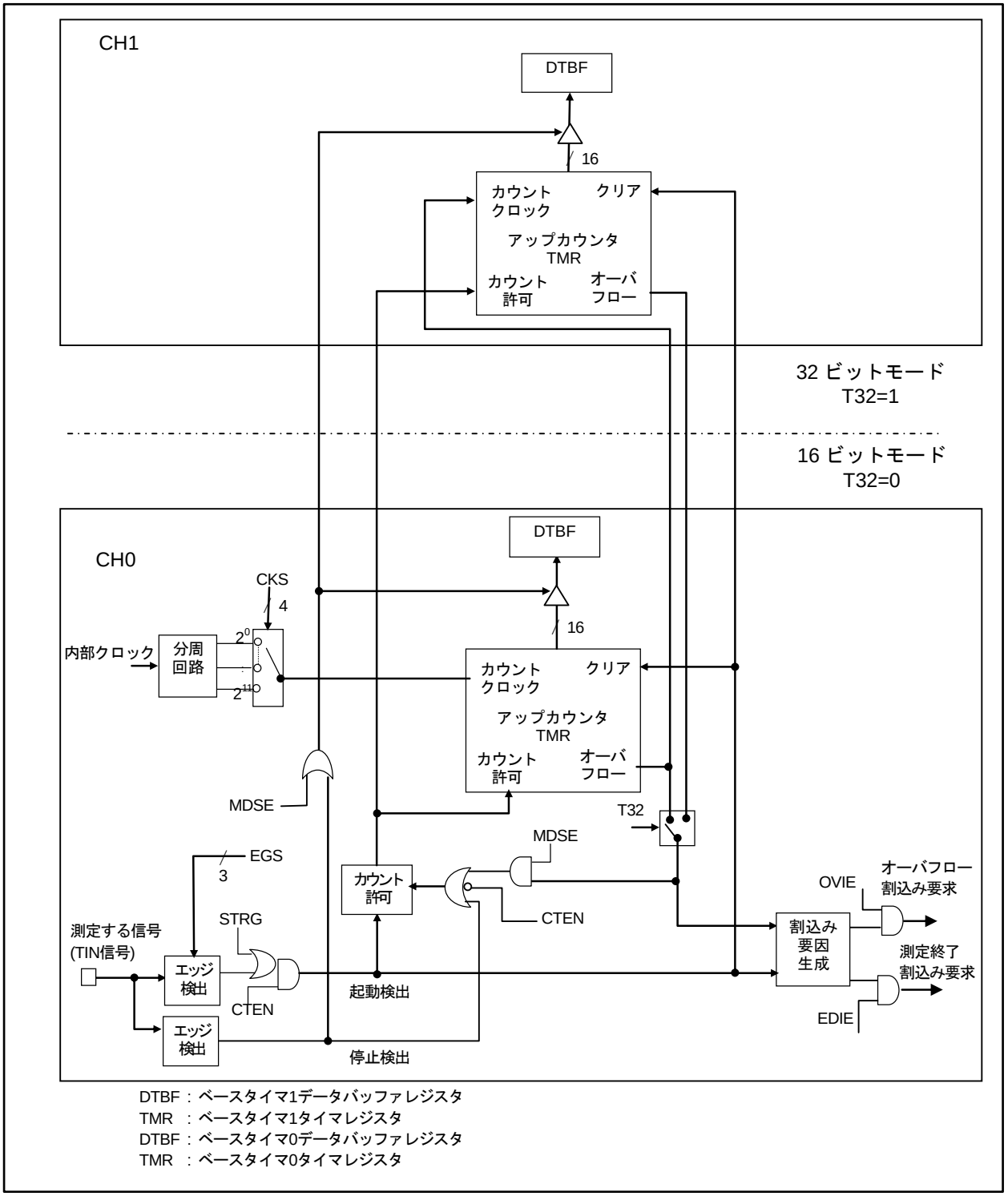


Figure 2-4 16/32 ビット PWC タイマ(ch.1, ch.0)のブロックダイヤグラム



3. ベースタイマの動作

ベースタイマの動作について説明します。

ベースタイマの動作

■ リセットモード

リセットモードは、ベースタイマのマクロをリセットした状態(各レジスタは初期値)です。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、マクロのリセット後は、本モードの設定なしにタイマ機能や T32 ビットを設定できます。32 ビットモード設定時にこのモードを偶数チャネルに設定した場合、奇数チャネルも同時にリセットがかかるため、奇数チャネルに対してリセットモードを設定する必要はありません。

■ 16 ビット PWM タイマ

16 ビット PWM タイマは、トリガ起動により周期設定した値からダウンカウントを開始します。その際、まず L レベルを出力します。16 ビットダウンカウンタがデューティ設定レジスタに設定されている値と一致した場合は、出力が H レベルに反転します。その後、カウンタがアンダフローになったとき、再度出力が L レベルに反転します。これにより、周期とデューティが任意の波形を生成できます。

■ 16 ビット PPG タイマ

16 ビット PPG タイマは、トリガ起動により L 幅設定リロードレジスタに設定されている値からダウンカウントを開始します。その際、まず L レベルを出力します。アンダフローになったときに出力が H レベルに反転します。引き続き H 幅設定リロードレジスタに設定されている値からダウンカウントを開始し、アンダフローになったときに出力が L レベルに反転します。これにより、任意の L 幅, H 幅の波形を生成できます。

■ 16 ビットリロードタイマ

16 ビットリロードタイマは、トリガ起動により周期設定した値からダウンカウントを開始します。16 ビットダウンカウンタがアンダフローになったときに割込みフラグが設定されます。出力レベルは MDSE ビットの設定によって、アンダフローごとに反転するトグル出力か, カウント開始で"H",アンダフローで"L"出力のパルス出力になります。

■ 32 ビットリロードタイマ

基本動作は 16 ビットリロードタイマと同じですが、偶数チャネルと奇数チャネルの 2 チャネルを使用することで、32 ビットリロードタイマとして動作します。その際、偶数チャネルは下位 16 ビットタイマ動作となり、奇数チャネルは上位 16 ビットタイマ動作となります。割込み制御, 出力波形制御は偶数チャネルの設定にのみ従います。周期を設定する場合は、先に上位レジスタ(奇数チャネル)に書き込んだ後に下位レジスタ(偶数チャネル)に書き込んでください。

タイマ値を読み出す場合は、先に下位レジスタ(偶数チャネル)を読み出した後に上位レジスタ(奇数チャネル)を読み出してください。

■ 16 ビット PWC タイマ

PWC タイマは、設定した測定開始エッジの入力によって 16 ビットアップカウンタを起動させ、測定終了エッジの検出によってカウンタを停止します。この間のカウント値がパルス幅としてデータバッファレジスタに格納されます。

■ 32 ビット PWC タイマ

基本動作は 16 ビット PWC タイマと同じですが､偶数チャネルと奇数チャネルの 2 チャネルを使用することで、32 ビット PWC タイマとして動作します。その際、偶数チャネルは下位 16 ビットカウント動作となり、奇数チャネルは上位 16 ビットカウント動作となります。割込み制御は偶数チャネルの設定にのみ従います。測定値ま

たはカウント値を読み出す場合は、先に下位レジスタ(偶数チャネル)を読み出した後に上位レジスタ(奇数チャネル)を読み出してください。

4. 32 ビットモード動作

リロードタイマ, PWC は 2 チャネル使用することで、32 ビットモード動作が可能です。以下に、32 ビットモード機能における基本機能/動作について示します。

32 ビットモード機能

ベースタイマを 2 チャネル組み合わせて 32 ビットデータのリロードタイマまたは 32 ビットデータの PWC タイマ動作を実現する機能です。偶数チャネルの下位 16 ビットタイマ・カウンタ値を読み出す際に、奇数チャネルの上位 16 ビットタイマ・カウンタ値も取り込むため、動作中のタイマ・カウンタ値も読み出せます。

32 ビットモード設定

1. 偶数チャネルの TMCR レジスタの FMD[2:0]ビットを"000"でリセットモードにして状態をリセットしてください。
2. 16 ビットモード時と同様にリロードタイマ、または PWC タイマ選択と動作を設定してください。このとき、TMCR レジスタの T32 ビットにも"1"を書き込むことで 32 ビット動作モードに設定されます。奇数チャネルの T32 ビットは"0"のままにしてください。リセットモードの設定も必要ありません。
3. リロードタイマの場合は、奇数チャネルの周期設定レジスタに 32 ビットのうち、上位 16 ビットのリロード値を設定してください。
4. 偶数チャネルの周期設定レジスタに下位 16 ビットのリロード値を設定してください。

32 ビット動作モードへの移行は T32 ビット書込み後、直ちに反映されるため、両チャネルともカウント停止状態で設定を変更してください。

32 ビットモードから 16 ビットモードへの移行は、偶数チャネルの TMCR レジスタの FMD[2:0]ビットを"000"でリセットモードにしてください。これにより、偶数, 奇数の両チャネルの状態がリセットされ、それぞれのチャネルごとに 16 ビットモードでの設定ができます。

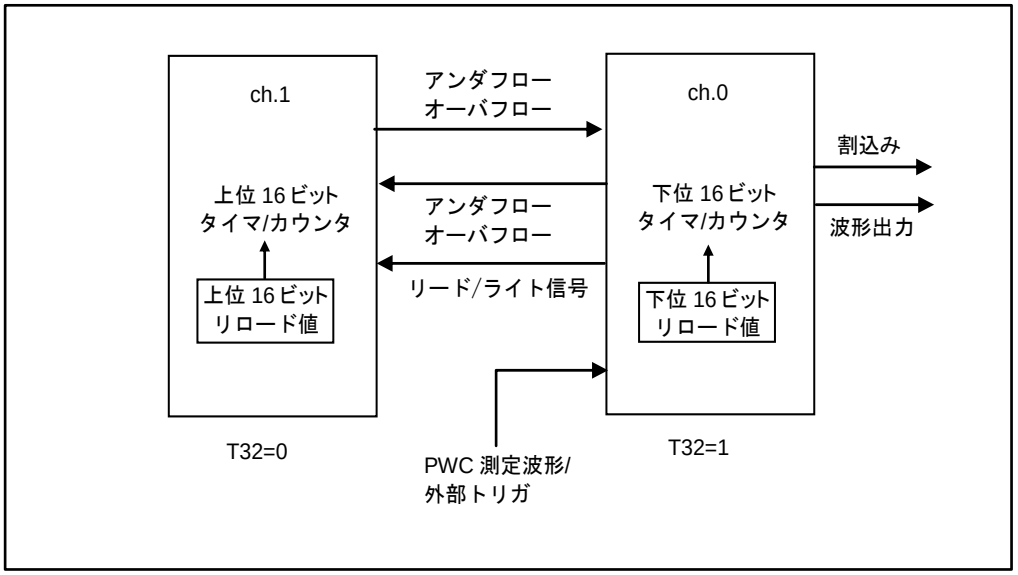
32 ビットモード動作

32 ビットモード設定の後、リロードタイマまたは PWC タイマを、偶数チャネルの制御によって起動した場合、偶数チャネルのタイマ/カウンタは下位 16 ビット動作となります。また奇数チャネルのタイマ/カウンタは上位 16 ビット動作となります。

32 ビットモードでの動作は偶数チャネルの設定に従います。このため、奇数チャネルの設定は(リロードタイマ時の周期設定レジスタを除き)無視されます。タイマ起動, 波形出力, 割込み信号も偶数チャネルに対して有効です(奇数チャネルは L 固定にマスクされます)。

Figure 4-1 に 32 ビットモード(ch.0, ch.1 の場合)の場合の構成を示します。

Figure 4-1 32 ビットモード動作の構成(ch.0, ch.1 の場合)



5. ベースタイマ割込み

ベースタイマの各機能での割込み要求フラグ, 割込み許可ビットと割込み要因を Table 5-1 に示します。

機能ごとの割込み制御ビットと割込み要因

機能ごとの割込み制御ビットと割込み要因を Table 5-1 に示します。

Table 5-1 各モードでの割込み制御ビットと割込み要因

	ステータス制御レジスタ(STC)			
	割込み要求フラグビット	割込み要求許可ビット	割込み要因	割込み要因出力信号
PWM タイマ機能 (16 ビット PWM タイマ)	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	DTIR : bit1	DTIE : bit5	デューティー致検出	
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PPG タイマ機能 (16 ビット PPG タイマ)	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
リロードタイマ機能 (16/32 ビットリロードタイマ)	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PWC タイマ機能 (16/32 ビット PWC タイマ)	OVIR : bit0	OVIE : bit4	オーバフロー検出	IRQ0
	EDIR : bit2	EDIE : bit6	測定終了検出	IRQ1

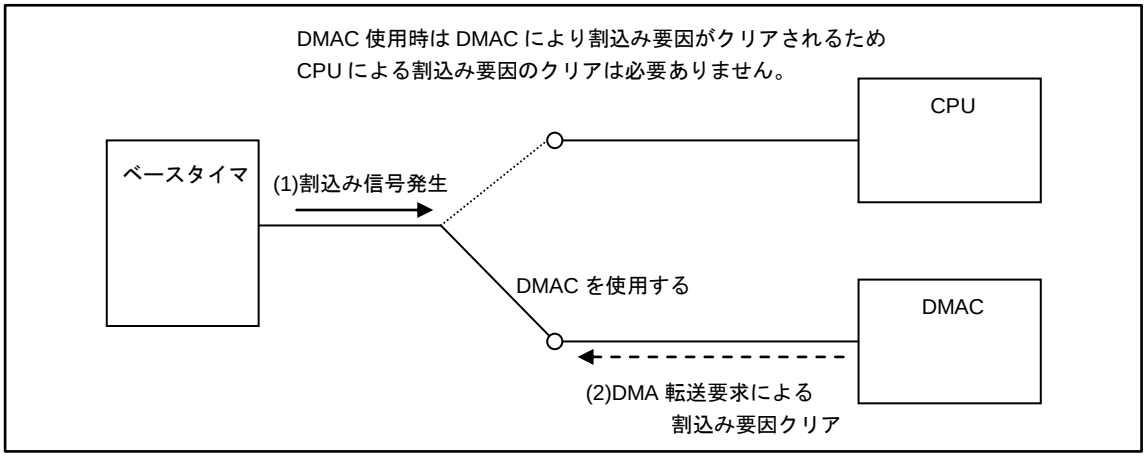
6. DMA コントローラ(DMAC)の起動

ベースタイマの割込み要求の発生を利用して DMAC を起動できます。

ベースタイマの割込み要因を利用した DMA 転送動作

ベースタイマの割込み要因の発生を利用して、DMAC を起動できます。Figure 6-1 にベースタイマによる DMAC 起動の概要を示します。

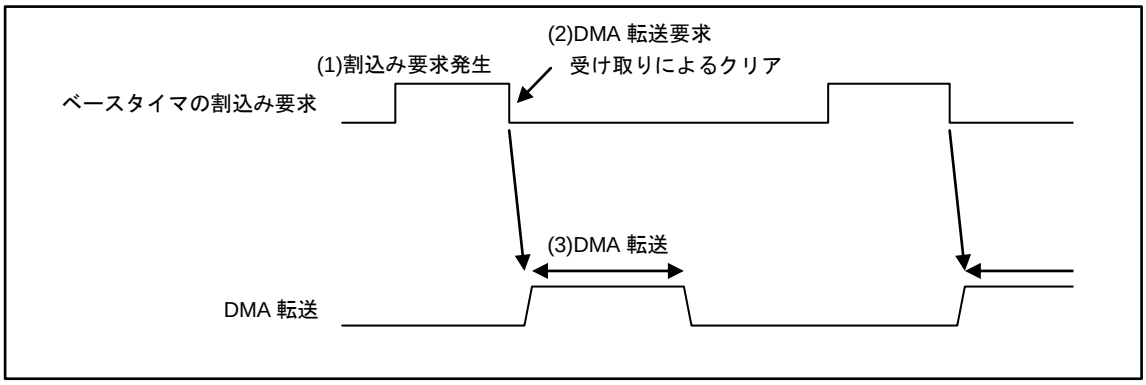
Figure 6-1 ベースタイマによる DMAC 起動の概要



ベースタイマで DMAC を起動する前に、DMAC の設定を行ってください。DMAC の設定の詳細については『ペリフェラルマニュアル』の『DMAC』および『割込み』の章を参照してください。

ベースタイマの割込み要求による DMA 転送動作例を Figure 6-2 に示します。

Figure 6-2 DMA 転送動作例



7. ベースタイマのレジスタ

ベースタイマの各モードのレジスター一覧を示します。

16 ビット PWM タイマ選択時のレジスター一覧

Table 7-1 16 ビット PWM タイマ選択時のレジスター一覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.1.6
TMCR2	タイマ制御レジスタ 2	9.1.6
STC	ステータス制御レジスタ	9.1.6
PCSR	PWM 周期設定レジスタ	9.1.7
PDUT	PWM デューティ設定レジスタ	9.1.8
TMR	タイマレジスタ	9.1.9

16 ビット PPG タイマ選択時のレジスター一覧

Table 7-2 16 ビット PPG タイマ選択時のレジスター一覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.2.6
TMCR2	タイマ制御レジスタ 2	9.2.6
STC	ステータス制御レジスタ	9.2.6
PRLL	L 幅設定リロードレジスタ	9.2.7
PRLH	H 幅設定リロードレジスタ	9.2.8
TMR	タイマレジスタ	9.2.9

リロードタイマ選択時のレジスター一覧

Table 7-3 リロードタイマ選択時のレジスター一覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.3.3
TMCR2	タイマ制御レジスタ 2	9.3.3
STC	ステータス制御レジスタ	9.3.3
PCSR	周期設定レジスタ	9.3.4
TMR	タイマレジスタ	9.3.5

PWC タイマ選択時のレジスター一覧

Table 7-4 PWC タイマ選択時のレジスター一覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.4.2
TMCR2	タイマ制御レジスタ 2	9.4.2
STC	ステータス制御レジスタ	9.4.2
DTBF	データバッファレジスタ	9.4.3

8. ベースタイマの使用上の注意

ベースタイマの使用上の注意を以下に示します。

各タイマの使用上で共通したプログラムによる設定上の注意

TMCR2 レジスタ, TMCR レジスタの以下に示すビットを動作中に書き換えることを禁止します。書換えは必ず起動前か停止後に行ってください。

[TMCR2 bit8], [TMCR bit14:12]	CKS3～CKS0	: クロック選択ビット
[bit10:8]	EGS2, EGS1, EGS0	: 測定エッジ選択ビット
[bit7]	T32	: 32 ビットタイマ選択ビット (リロードタイマ・PWC 機能選択時)
[bit6:4]	FMD[2:0]	: タイマ機能選択ビット
[bit2]	MDSE	: 測定モード(単発/連続)選択ビット

- TMCR レジスタの FMD[2:0]ビットを 000 のリセットモードに設定した時はベースタイマの全レジスタは初期化されます。このため、すべてのレジスタに対して再設定をしてください。
- TMCR レジスタの FMD[2:0]ビットを 000 のリセットモードに設定するとき、TMCR レジスタの FMD[2:0]ビット以外のビットへの設定は無視されて初期化されます。

16 ビット PWM/PPG/リロードタイマの使用上の注意

- 割込み要求フラグセットタイミングとクリアタイミングが重複した場合には、フラグセットが優先され、クリア動作は無効です。
- ダウンカウンタは、ロードとカウントのタイミングが重複した場合には、ロード動作が優先されます。
- TMCR レジスタの FMD[2:0]ビットによるタイマ機能の設定後に周期設定、デューティ設定, H 幅設定, L 幅設定をしてください。
- ワンショットモードでカウント終了時に再起動を検出した場合は、カウント値をリロードして再起動を開始します。

PWC タイマの使用上の注意

- カウント起動許可ビット(CTEN)に"1"を書き込むと、カウンタがクリアされます。このため、起動許可前にカウンタ中にあったデータは無効になります。
- システムリセット・リセットモードから PWC モードの設定(FMD[2:0]=100)と測定開始設定(CTEN=1)を同時にした場合、その直前の測定信号の状態によって動作する場合があります。
- 連続測定モードにおいて再起動を設定したときに、同時に測定開始エッジを検出した場合は、直ちにカウントを"0x0001"から開始します。
- カウント動作を開始した後に再起動を行う場合は、そのタイミングによっては以下に示すような動作が発生することがあります。
  - パルス幅単発測定モード時、測定終了エッジと同時であった場合

    再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ(EDIR)は設定されます。
  - パルス幅連続測定モード時、測定終了エッジと同時であった場合

    再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ(EDIR)は設定され、その時点での測定結果は DTBF に転送されます。

以上のように、動作中の再起動時には、フラグの動作に注意して割込み制御などを行ってください。

9. ベースタイマの機能別説明

ベースタイマの各機能について説明します。

ベースタイマの機能
9.1. PWM タイマ機能
9.2. PPG タイマ機能
9.3. リロードタイマ機能
9.4. PWC タイマ機能

9.1 PWM タイマ機能

ベースタイマは、タイマ制御レジスタの FMD[2:0]ビットの設定により、16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。PWM を設定した時のタイマ機能の説明を示します。

9.1.1. 16 ビット PWM タイマ動作
9.1.2. ワンショット動作
9.1.3. 割込み要因とタイミングチャート
9.1.4. 出力波形
9.1.5. PWM タイマ動作フロー
9.1.6. PWM タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)
9.1.7. PWM 周期設定レジスタ(PCSR)
9.1.8. PWM デューティ設定レジスタ(PDUT)
9.1.9. タイマレジスタ(TMR)

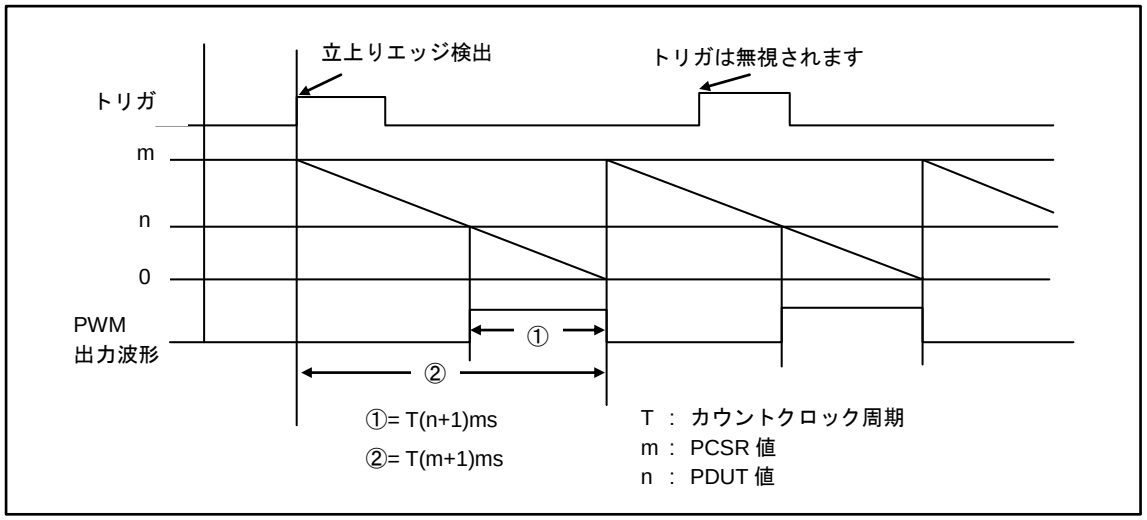
9.1.1 16 ビット PWM タイマ動作

PWM 動作では、トリガの検出時より設定周期の波形を単発または連続して出力できます。出力パルスの周期は、PCSR 値を変えることにより制御できます。また、デューティ比は、PDUT 値を変えることにより制御できます。PCSR にデータを書き込んだ後は、必ず PDUT への書込みを行ってください。

連続動作

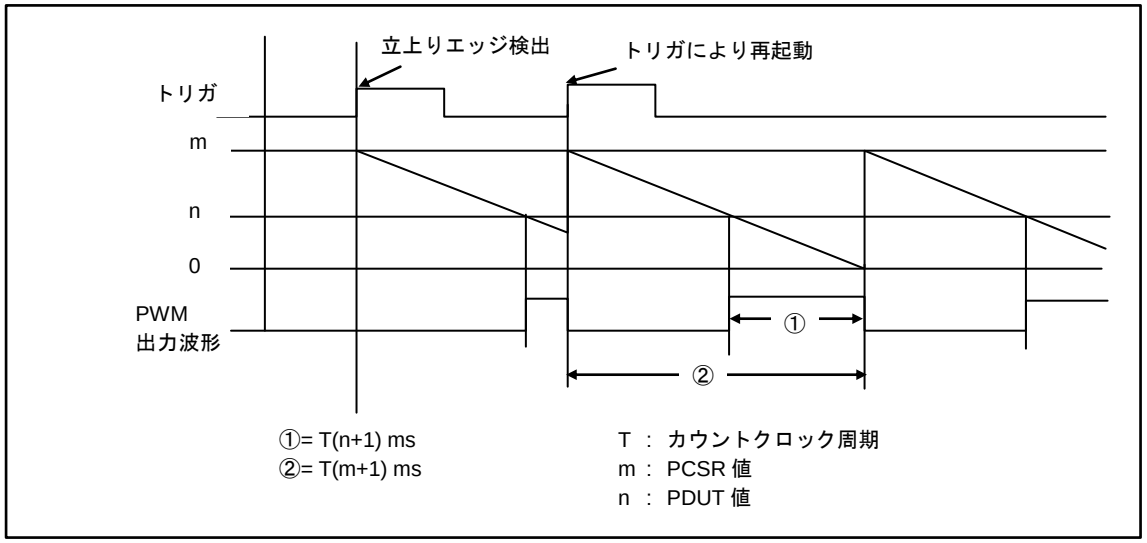
■ 再起動禁止の場合(RTGEN=0)

Figure 9-1 PWM 動作のタイミングチャート(再起動禁止の場合)



■ 再起動許可の場合(RTGEN=1)

Figure 9-2 PWM 動作のタイミングチャート(再起動許可の場合)



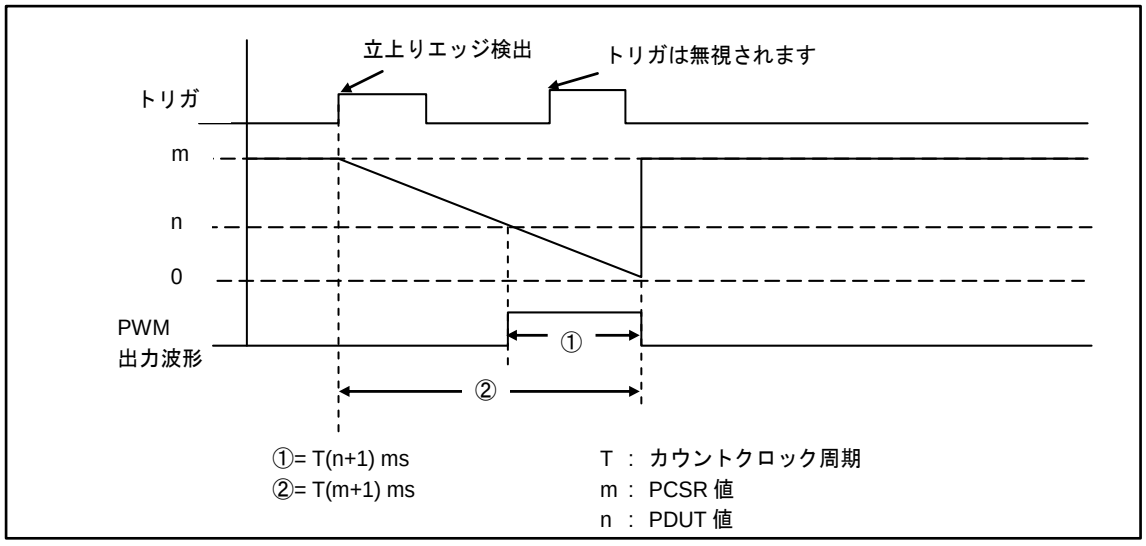
9.1.2 ワンショット動作

ワンショット動作では、トリガにより任意の幅の単一パルスを出力できます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

ワンショット動作

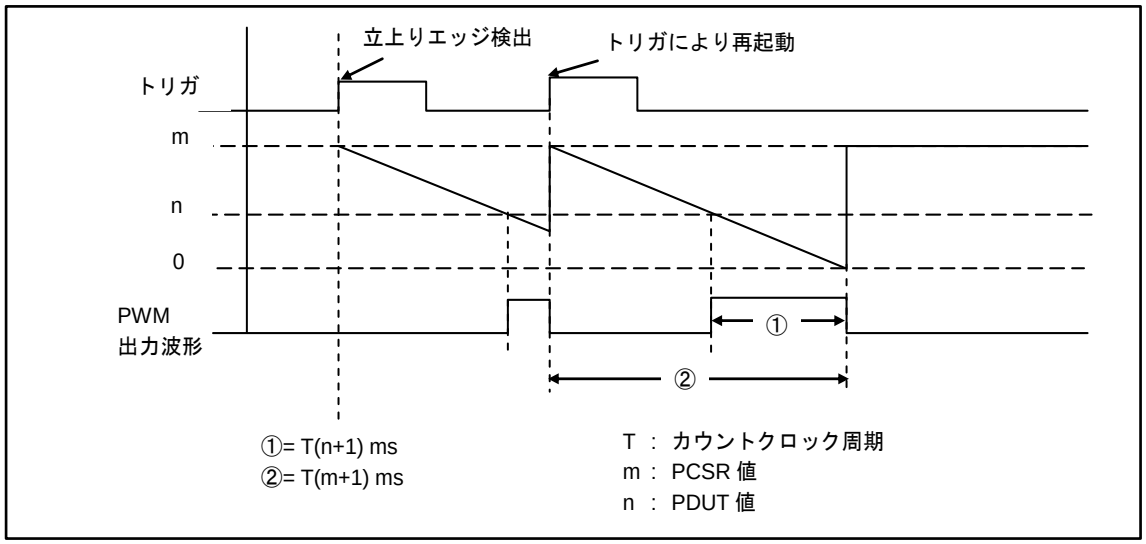
■ 再起動禁止の場合(RTGEN=0)

Figure 9-3 ワンショット動作のタイミングチャート(トリガ再起動禁止)



■ 再起動許可の場合(RTGEN=1)

Figure 9-4 ワンショット動作のタイミングチャート(トリガ再起動許可)



9.1.3 割込み要因とタイミングチャート

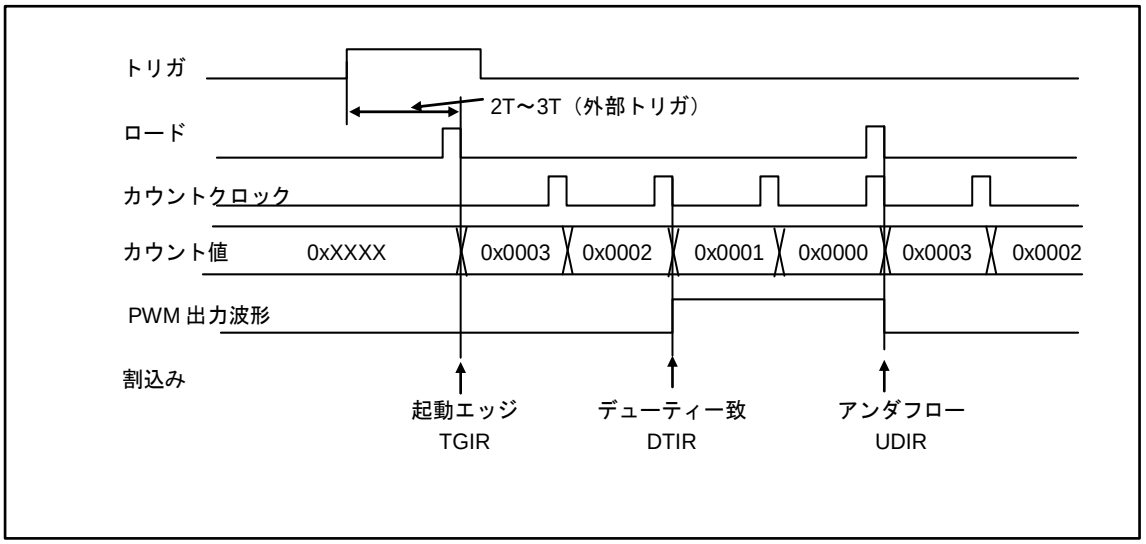
割込み要因とタイミングチャートについて示します。

割込み要因とタイミングチャート(PWM 出力 ： 通常極性)

トリガが入力されて、カウンタ値がロードされるまでの時間として、ソフトウェアトリガ時は T、外部トリガ時は 2T～3T(T : マシンサイクル)が必要です。

Figure 9-5 に周期設定値=3, デューティ値=1 の場合の割込み要因とタイミングチャートを示します。

Figure 9-5 PWM タイマの割込み要因とタイミングチャート



9.1.4 出力波形

PWM 出力について示します。

PWM 出力オール L またはオール H の出力方法

Figure 9-6 に PWM 出力をオール L にする出力方法を、Figure 9-7 にオール H にする出力方法を示します。

Figure 9-6 PWM 出力をオール L レベルにする例

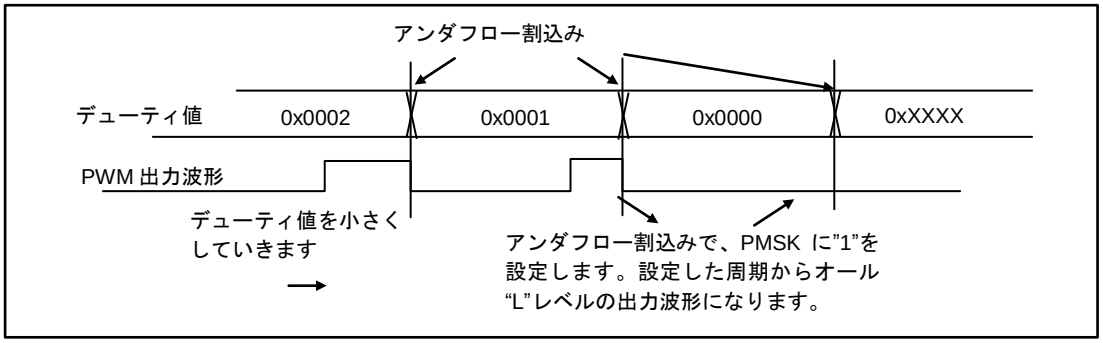
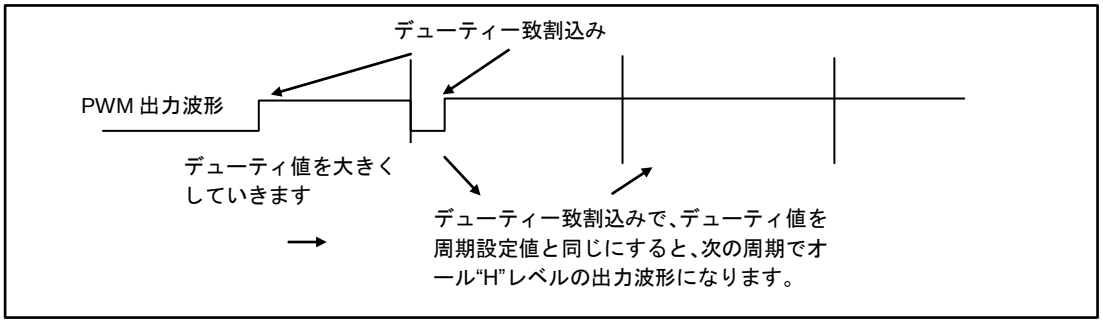


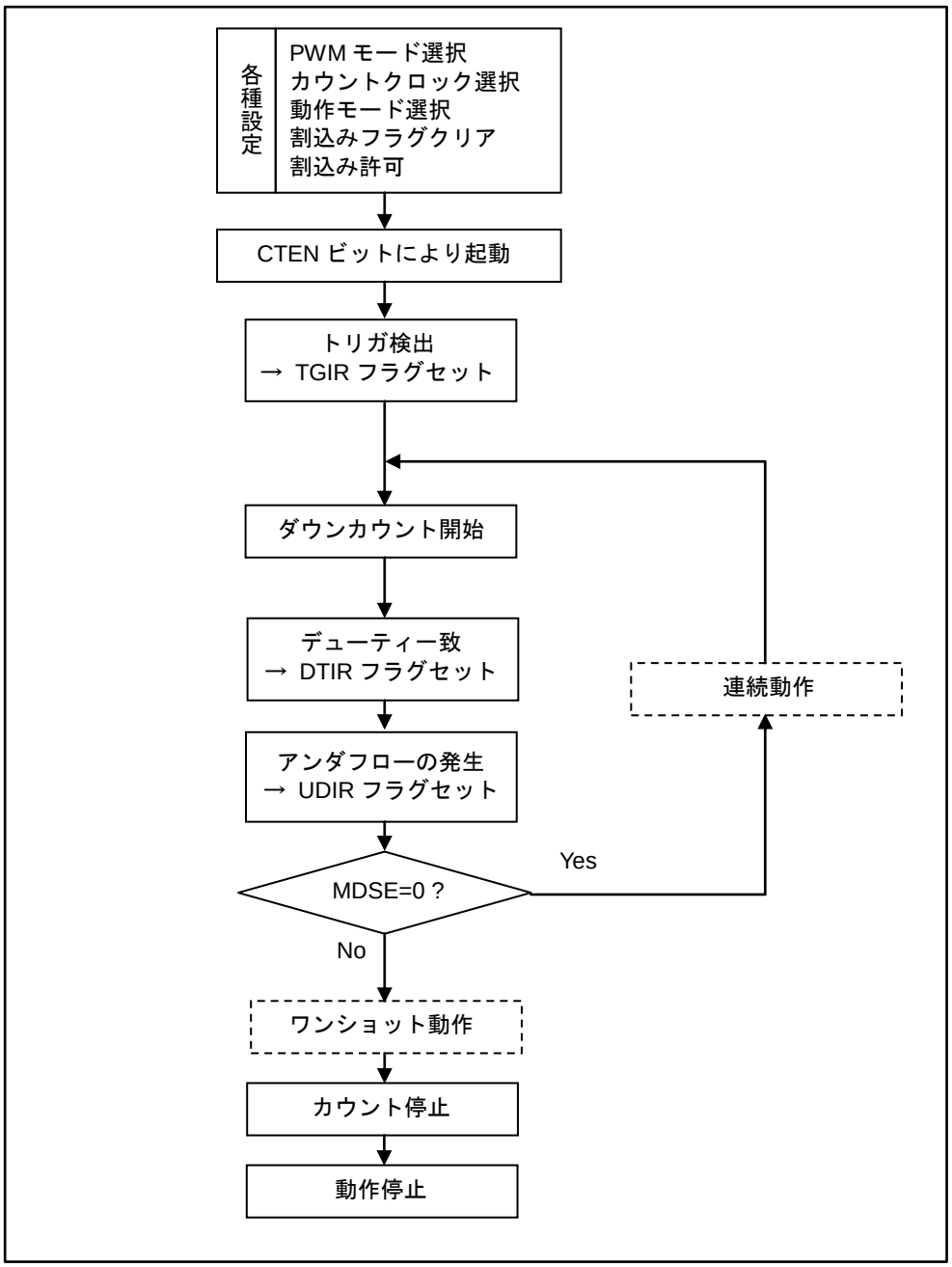
Figure 9-7 PWM 出力をオール H レベルにする例



9.1.5 PWM タイマ動作フロー

PWM タイマの動作フローを示します。

PWM タイマ動作フロー



9.1.6 PWM タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)

タイマ制御レジスタ(TMCR)は、PWM タイマを制御します。PWM タイマ動作中に書換え不可能なビットがあるため注意してください。

9.1.6.1 タイマ制御レジスタ(TMCR 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	CKS2	CKS1	CKS0	RTGEN	PMSK	EGS1	EGS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されます。したがって、CKS3～CKS0 ビットの変更はカウント停止状態(CTEN=0)で行ってください。ただし、カウント動作許可ビット(CTEN)への 1 書込みと同時に変更は可能です。

CKS3	CKS2	CKS1	CKS0	説明
0	0	0	0	ϕ
0	0	0	1	ϕ/4
0	0	1	0	ϕ/16
0	0	1	1	ϕ/128
0	1	0	0	ϕ/256
0	1	0	1	外部クロック(立上りエッジイベント)
0	1	1	0	外部クロック(立下りエッジイベント)
0	1	1	1	外部クロック(両エッジイベント)
1	0	0	0	ϕ/512
1	0	0	1	ϕ/1024
1	0	1	0	ϕ/2048
上記以外				設定禁止

[bit11] RTGEN： 再起動許可ビット

ソフトウェアトリガまたはトリガ入力による再起動を許可するビットです。

bit	説明
0	再起動禁止
1	再起動許可

[bit10] PMSK： パルス出力マスクビット

- PWM 出力波形の出力波形レベルを制御します。
- 本ビットが 0 のときは PWM 波形をそのまま出力します。
- 本ビットが 1 のときは、周期やデューティ設定の値にかかわらず PWM 出力を L 出力にマスクします。

bit	説明
0	通常出力
1	L 出力に固定

<注意事項>

- *タイマ制御レジスタ(TMCR 下位バイト)の出力極性指定ビット(OSEL)が反転出力に設定されている場合に、PMSK ビットを 1 にすると H 出力にマスクします。*

[bit9:8] EGS1, EGS0： トリガ入力エッジ選択ビット

- 外部起動要因として、入力波形に対する有効エッジを選択し、トリガの条件を設定します。
- 初期値または 00 の設定の場合、入力波形に対する有効エッジが選択されていない状態のため外部波形による起動はかかりません。
- EGS1, EGS0 ビットの変更はカウント停止状態(CTEN=0)で行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit9	bit8	説明
0	0	トリガ入力無効
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

<注意事項>

- *EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに 1 を書き込むとソフトウェアトリガは有効になります。*

9.1.6.2 タイマ制御レジスタ(TMCR 下位バイト)

bit	7	6	5	4	3	2	1	0
Field	予約	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit6:4] FMD2～FMD0 : タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD[2:0]ビットに 001 を設定すると PWM 機能が選択されます。
- 変更はタイマ停止中(CTEN=0)に行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	16 ビット PWM タイマ
0	1	0	16 ビット PPG タイマ
0	1	1	16/32 ビットリロードタイマ
1	0	0	16/32 ビット PWC タイマ
1	0	1	設定禁止
1	1	0	
1	1	1	

[bit3] OSEL : 出力極性指定ビット

PWM 出力の極性を設定します。

極性	リセット後	デューティー致	アンダフロー
通常	L 出力		
反転	H 出力		

bit	説明
0	通常極性
1	反転極性

[bit2] MDSE： モード選択ビット

■ 連続してパルスを出力する動作か、単一パルスを出力するワンショット動作かを選択します。
■ 変更はタイマ停止中(CTEN=0)に行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit	説明
0	連続動作
1	ワンショット動作

[bit1] CTEN： カウント動作許可ビット

■ ダウンカウンタの動作を許可するビットです。
■ カウンタが動作許可状態(本ビットが 1)のときに 0 を書き込むとカウンタは停止します。

bit	説明
0	停止
1	動作許可

<注意事項>

- *CTEN=0 と書き込むことで、PPG 出力は L になります。*

[bit0] STRG： ソフトウェアトリガビット

■ CTEN ビットが 1 のときに STRG ビットに 1 を書き込むとソフトウェアトリガがかかります。
■ 本ビットの読出し値は常に 0 が読み出されます。

bit	説明
0	無効
1	ソフトウェアによる起動開始

<注意事項>

- *CTEN ビットと STRG ビットへ同時に 1 を書き込んだ場合でも、ソフトウェアトリガがかかります。*
- *EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに 1 を書き込むとソフトウェアトリガは有効になります。*

9.1.6.3 タイマ制御レジスタ 2(TMCR2)

bit	15	14	13	12	11	10	9	8
Field	予約							CKS3
属性				R/W				R/W
初期値				0000000				0

(注意事項) 本レジスタは STC レジスタの上位に配置されます。

[bit15:9] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit8] CKS3 : カウントクロック選択ビット

「9.1.6 PWM タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)」の「[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット」を参照してください。

9.1.6.4 ステータス制御レジスタ(STC)

bit	7	6	5	4	3	2	1	0
Field	予約	TGIE	DTIE	UDIE	予約	TGIR	DTIR	UDIR
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

(注意事項) 本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit6] TGIE : トリガ割込み要求許可ビット

■ トリガ割込み要求ビット(bit2:TGIR)の割込み要求を制御します。

■ 本ビットが許可されていて TGIR ビットが"1"に設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] DTIE : デューティー致割込み要求許可ビット

■ デューティー致割込み要求ビット(bit1:DTIR)の割込み要求を制御します。

■ 本ビットが許可されていて DTIR ビットが 1 に設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit4] UDIE : アンダフロー割込み要求許可ビット

■ アンダフロー割込み要求ビット(bit0:UDIR)の割込み要求を制御します。

■ 本ビットが許可されていて UDIR ビットが 1 に設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit2] TGIR : トリガ割込み要求ビット

- ソフトウェアトリガまたはトリガ入力の検出をした時に本ビットが 1 に設定されます。
- 本ビットは 0 書込みによりクリアされます。
- 本ビットに 1 書込みしてもビット値には影響しません。
- リードモディファイライト系命令におけるリード値は、ビット値にかかわらず 1 になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit1] DTIR : デューティー致割込み要求ビット

- カウント値がデューティ設定値と一致した時に本ビットが 1 に設定されます。
- 本ビットは 0 書込みによりクリアされます。
- 本ビットに 1 書込みしてもビット値には影響しません。
- リードモディファイライト系命令におけるリード値は、ビット値にかかわらず 1 になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit0] UDIR : アンダフロー割込み要求ビット

- カウント値が 0x0000→0xFFFF へのアンダフロー時に本ビットが 1 に設定されます。
- 本ビットは 0 書込みによりクリアされます。
- 本ビットに 1 書込みしてもビット値には影響しません。
- リードモディファイライト系命令におけるリード値は、ビット値にかかわらず 1 になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

9.1.7 PWM 周期設定レジスタ(PCSR)

PWM 周期設定レジスタ(PCSR)は、周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は、起動時とアンダフロー時に行われます。

bit	15	0
Field	PCSR[15:0]	
属性	R/W	
初期値	0xXXXX	

周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は起動時とアンダフロー時に行われます。

周期設定レジスタの初期設定時および書換え時は、周期設定レジスタの書込み後に必ずデューティ設定レジスタへの書込み動作を行ってください。

- PCSR レジスタは 8 ビットアクセス禁止です。
- PCSR レジスタは TMCR レジスタの FMD[2:0]ビットで PWM 機能の設定後に周期を設定してください。

9.1.8 PWM デューティ設定レジスタ(PDUT)

PWM デューティ設定レジスタ(PDUT)はデューティを設定するためのバッファ付きレジスタです。バッファの転送は、アンダフローで行われます。

bit	15	0
Field	PDUT[15:0]	
属性	R/W	
初期値	0xXXXX	

デューティを設定するためのバッファ付きレジスタです。バッファからの転送はアンダフローで行われます。

周期設定レジスタの値とデューティ設定レジスタの値を同じにすると、通常極性時にオール"H"を、反転極性時にオール"L"を出力します。

PCSR＜PDUT となるような値を設定しないでください。PWM 出力は不定となります。

- PDUT レジスタは 8 ビットアクセス禁止です。
- PDUT レジスタは TMCR レジスタの FMD[2:0]ビットで PWM 機能の設定後にデューティ設定をしてください。

9.1.9 タイマレジスタ(TMR)

タイマレジスタ(TMR)は、16 ビットダウンカウンタの値を読み出せます。

bit	15	0
Field	TMR[15:0]	
属性	R	
初期値	0x0000	

16 ビットダウンカウンタの値を読み出せます。

- TMR レジスタは 8 ビットアクセス禁止です。

9.2 PPG タイマ機能

ベースタイマは、タイマ制御レジスタの FMD[2:0]ビットの設定により、16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。PPG を設定した時のタイマ機能の説明を示します。

9.2.1. 16 ビット PPG タイマ動作
9.2.2. 連続動作
9.2.3. ワンショット動作
9.2.4. 割込み要因とタイミングチャート
9.2.5. PPG タイマ動作フロー
9.2.6. PPG タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)
9.2.7. L 幅設定リロードレジスタ(PRLL)
9.2.8. H 幅設定リロードレジスタ(PRLH)
9.2.9. タイマレジスタ(TMR)

9.2.1 16 ビット PPG タイマ動作

PPG タイマ動作では、出力パルスの L 幅と H 幅をそれぞれのリロードレジスタに設定することで、任意の出力パルスを制御できます。

動作概要

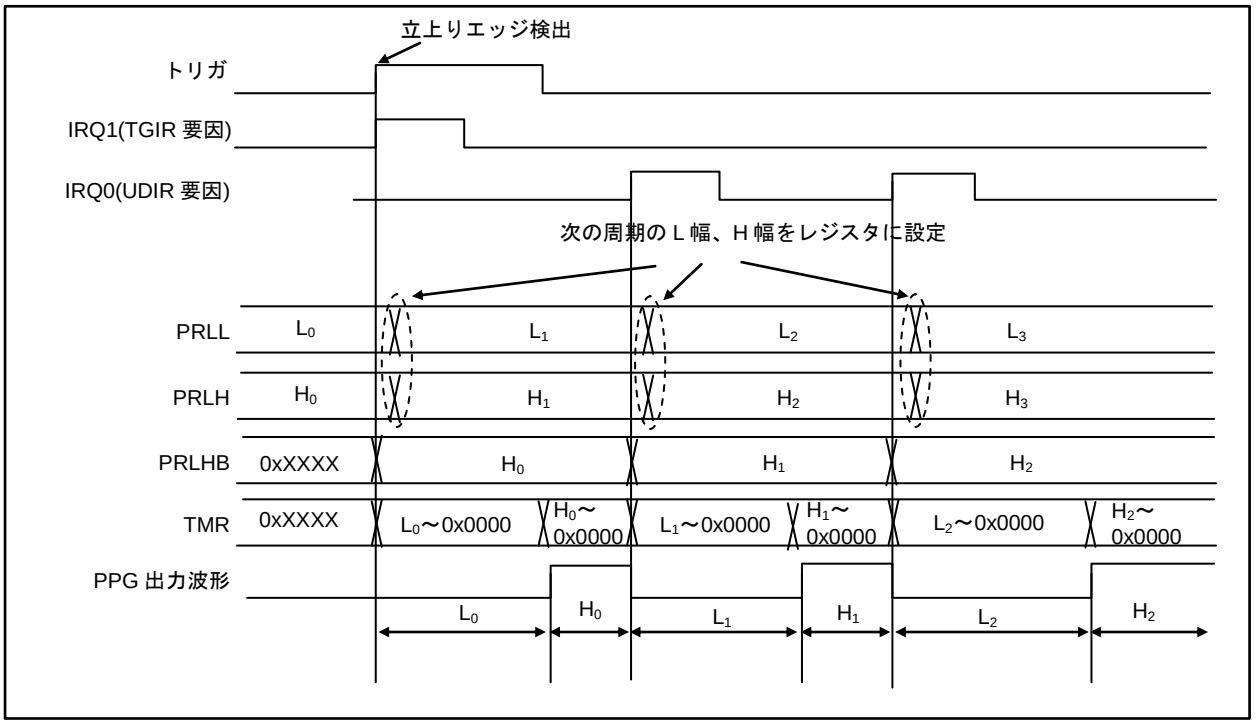
16 ビット長のリロードレジスタが L 幅設定用と H 幅設定用の 2 本、H 幅設定のバッファが 1 本あります(PRLL, PRLH, PRLHB)。

起動トリガにより、16 ビットダウンカウンタに最初は PRLL の設定値がロードされ、同時に PRLHB に PRLH の設定値が転送されます。PPG 出力はレベルを L にして、カウントクロックごとにダウンカウントしていきます。アンダフローの検出により PRLHB の値がカウンタにリロードされ、PPG 出力波形を反転してダウンカウントしていきます。再度アンダフローの検出で PPG 出力波形を反転し、PRLL の設定値をカウンタにリロードし、PRLH の設定値を PRLHB に転送します。

この動作によって、出力波形は各リロードレジスタ値に対応した L 幅・H 幅をもつパルス出力となります。

リロードレジスタへの書込みタイミング

リロードレジスタ PRLL, PRLH へのデータの書込みは起動トリガ検出時と、アンダフロー割込み要因(UDIR)が設定されてから、次の周期に移るまでの間に行います。その際に設定するデータは次の周期の設定となります。PRLL, PRLH に設定したデータは起動トリガ検出時と H 幅カウント終了時のアンダフロー時に TMR と PRLHB にそれぞれ自動で転送されます。PRLHB に転送されたデータは L 幅カウント終了時のアンダフロー時に TMR に自動でリロードされます。



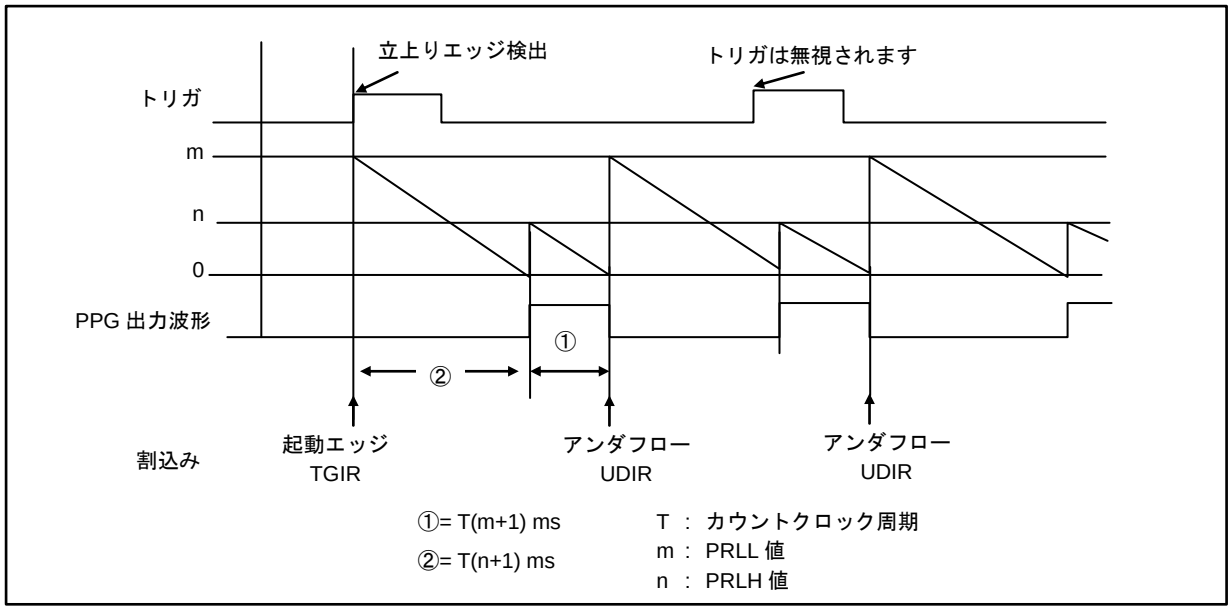
9.2.2 連続動作

連続動作では、各割込み要因のセットタイミングで L 幅と H 幅を更新することにより、任意のパルスを連続で出力できます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

連続動作

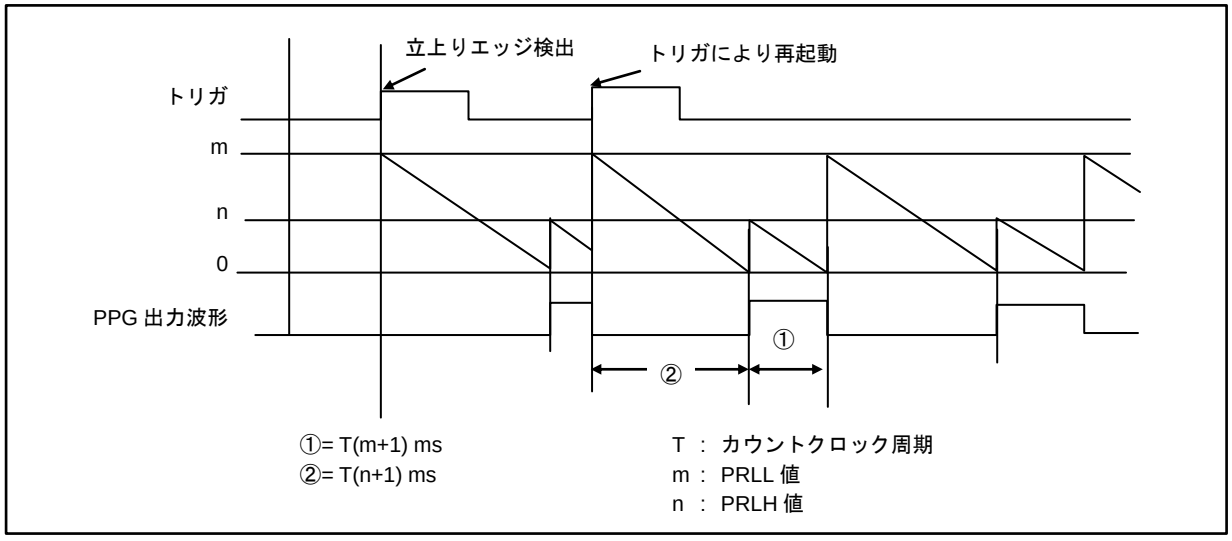
■ 再起動禁止の場合(RTGEN=0)

Figure 9-8 PPG 動作のタイミングチャート(再起動禁止の場合)



■ 再起動許可の場合(RTGEN=1)

Figure 9-9 PPG 動作のタイミングチャート(再起動許可の場合)



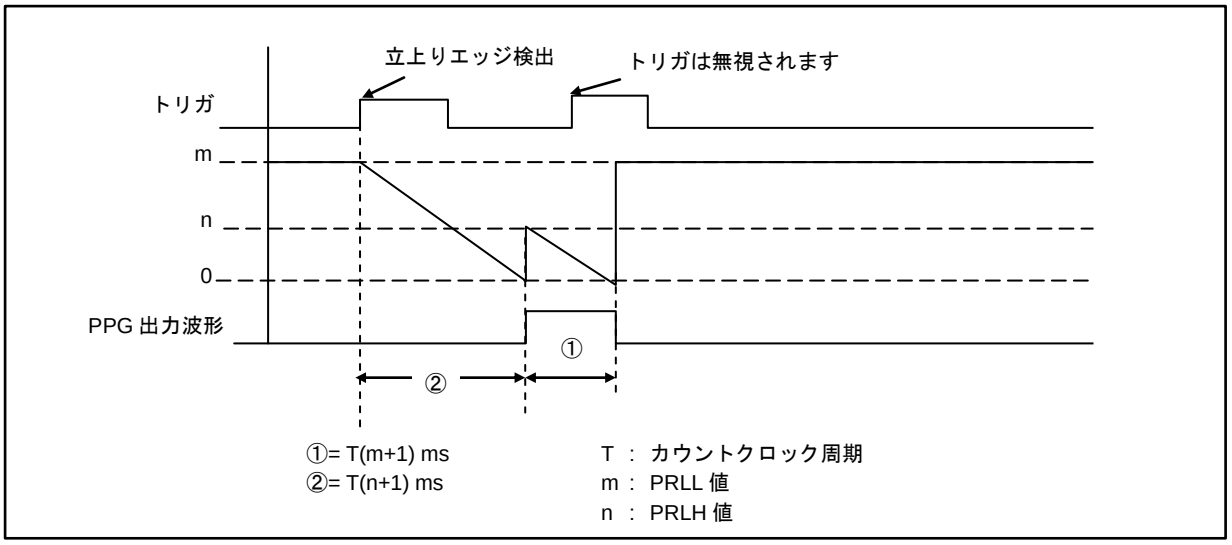
9.2.3 ワンショット動作

ワンショット動作では、トリガにより任意の幅の単一パルスを出力できます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

ワンショット動作

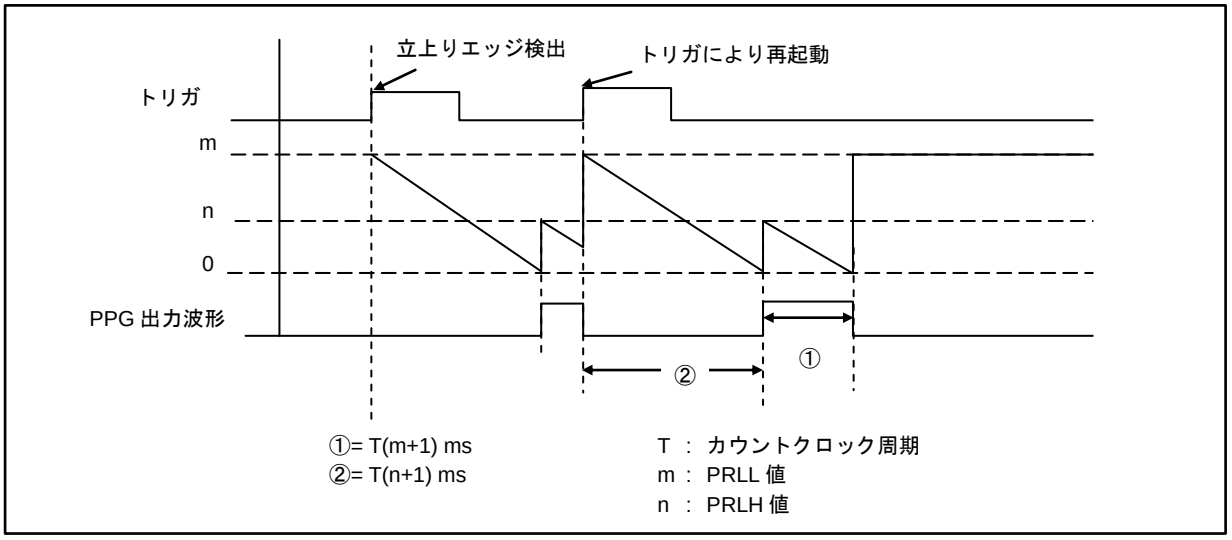
■ 再起動禁止の場合(RTGEN=0)

Figure 9-10 ワンショット動作のタイミングチャート(トリガ再起動禁止)



■ 再起動許可の場合(RTGEN=1)

Figure 9-11 ワンショット動作のタイミングチャート(トリガ再起動許可)



リロード値とパルス幅の関係

16 ビット長のリロードレジスタに書き込まれた値を+1 した値に、カウントクロックの周期をかけた値が出力されるパルス幅となります。したがって、リロードレジスタ値が 0x0000 のときはカウントクロック 1 周期のパルス幅になります。また、リロードレジスタ値が 0xFFFF のときはカウントクロック 65536 周期のパルス幅になります。パルス幅の計算式は以下のようになります。

PL=T×(L+1)
PH=T×(H+1)

PL: L パルスの幅
PH: H パルスの幅

T: カウントクロック周期
L: PRLL 値
H: PRLH 値

9.2.4 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

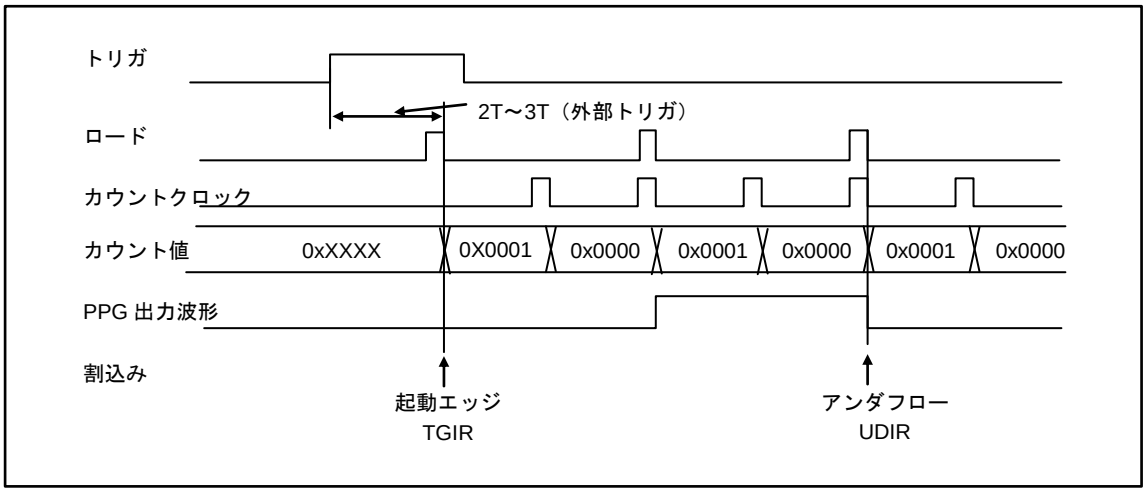
割込み要因とタイミングチャート(PPG 出力 ： 通常極性)

トリガがかかってからカウンタ値がロードされるまで、ソフトウェアトリガ時は T、外部トリガ時は 2T～3T(T: マシンサイクル)を必要とします。

割込み要因は PPG 起動トリガ検出時と、H レベル出力時のアンダフロー検出時に設定されます。

Figure 9-12 に、L 幅設定値=1, H 幅設定値=1 の場合の割込み要因とタイミングチャートを示します。

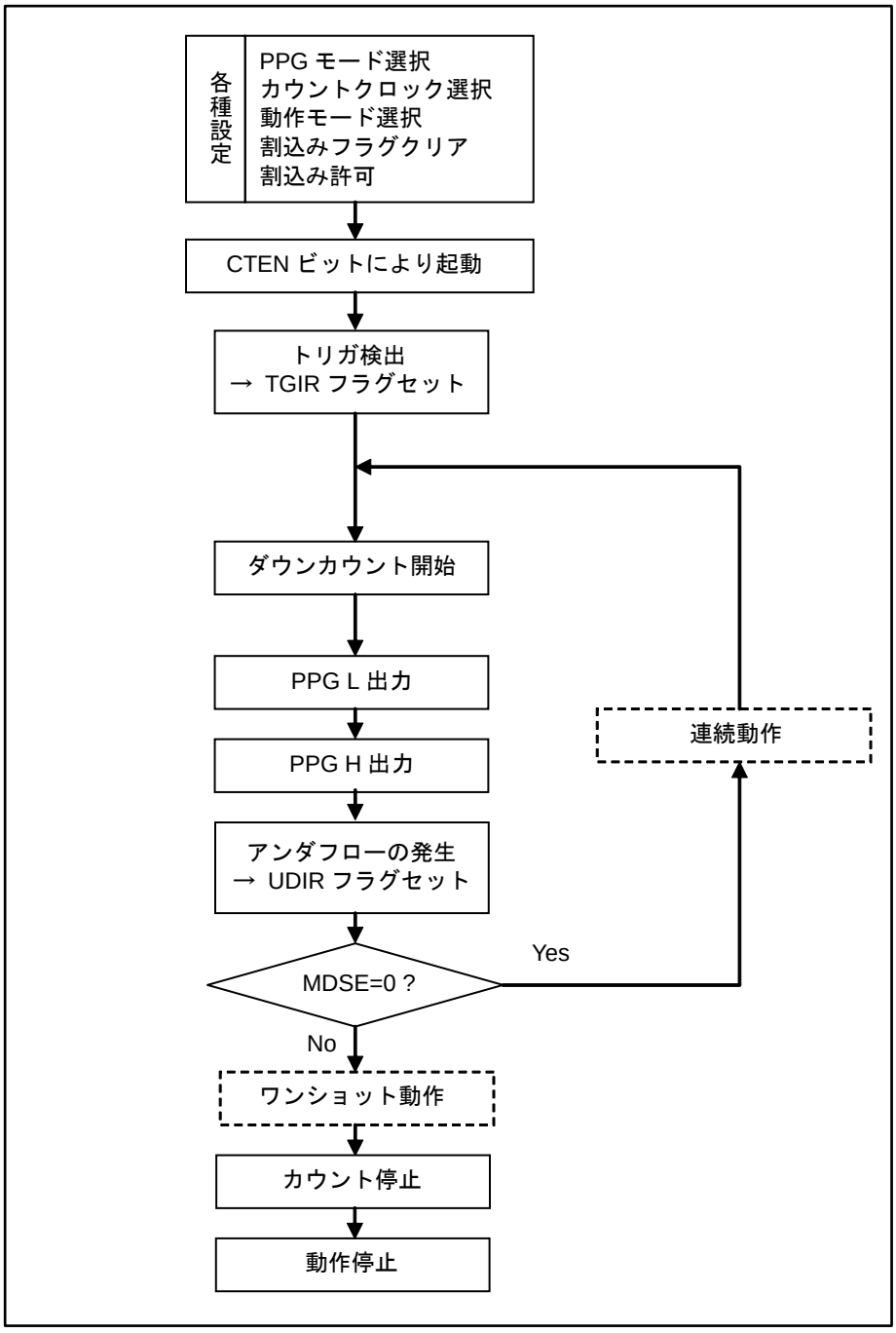
Figure 9-12 PPG タイマの割込み要因とタイミングチャート



9.2.5 PPG タイマ動作フロー

PPG タイマの動作フローを示します。

PPG タイマ動作フロー



9.2.6 PPGタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)

タイマ制御レジスタ(TMCR)は、PPG タイマを制御します。PPG タイマ動作中に書換え不可能なビットがあるため、注意してください。

9.2.6.1 タイマ制御レジスタ(TMCR 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	CKS2	CKS1	CKS0	RTGEN	PMSK	EGS1	EGS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されます。したがって、CKS3～CKS0 ビットの変更はカウント停止状態(CTEN=0)で行ってください。ただし、CTEN ビットへの 1 書込みと同時に変更は可能です。

CKS3	CKS2	CKS1	CKS0	説明
0	0	0	0	ϕ
0	0	0	1	ϕ/4
0	0	1	0	ϕ/16
0	0	1	1	ϕ/128
0	1	0	0	ϕ/256
0	1	0	1	外部クロック(立上りエッジイベント)
0	1	1	0	外部クロック(立下りエッジイベント)
0	1	1	1	外部クロック(両エッジイベント)
1	0	0	0	ϕ/512
1	0	0	1	ϕ/1024
1	0	1	0	ϕ/2048
上記以外				設定禁止

[bit11] RTGEN： 再起動許可ビット

ソフトウェアトリガまたはトリガ入力による再起動を許可するビットです。

bit	説明
0	再起動禁止
1	再起動許可

[bit10] PMSK： パルス出力マスクビット

- PPG 出力波形の出力波形レベルを制御します。
- 本ビットが 0 のときは PPG 波形をそのまま出力します。
- 本ビットが 1 のときは、周期やデューティ設定の値にかかわらず PPG 出力を L 出力にマスクします。

bit	説明
0	通常出力
1	L 出力に固定

<注意事項>

- *タイマ制御レジスタ(TMCR 下位バイト)の出力極性指定ビット(OSEL)が反転出力に設定されている場合に、PMSK ビットを"1"にすると H 出力にマスクします。*

[bit9:8] EGS1, EGS0： トリガ入力エッジ選択ビット

- 外部起動要因として、入力波形に対する有効エッジを選択し、トリガの条件を設定します。
- 初期値または 00 の設定の場合、入力波形に対する有効エッジが選択されていない状態のため外部波形による起動はかかりません。
- EGS1, EGS0 ビットの変更はカウント停止状態(CTEN=0)で行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit9	bit8	説明
0	0	トリガ入力無効
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

<注意事項>

- *EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに 1 を書き込むとソフトウェアトリガは有効になります。*

9.2.6.2 タイマ制御レジスタ(TMCR 下位バイト)

bit	7	6	5	4	3	2	1	0
Field	予約	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit6:4] FMD2～FMD0 : タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD[2:0]ビットに 0b010 を設定すると PPG 機能が選択されます。
- 変更はタイマ停止中(CTEN=0)に行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	16 ビット PWM タイマ
0	1	0	16 ビット PPG タイマ
0	1	1	16/32 ビットリロードタイマ
1	0	0	16/32 ビット PWC タイマ
1	0	1	設定禁止
1	1	0	
1	1	1	

[bit3] OSEL : 出力極性指定ビット

PPG 出力の極性を設定します。

極性	リセット後	L 幅カウント終了	H 幅カウント終了
通常	L 出力		
反転	H 出力		

bit	説明
0	通常極性
1	反転極性

[bit2] MDSE： モード選択ビット

■ 連続してパルスを出力する動作か、単一パルスを出力するワンショット動作かを選択します。
■ 変更はタイマ停止中(CTEN=0)に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

bit	説明
0	連続動作
1	ワンショット動作

[bit1] CTEN： カウント動作許可ビット

■ ダウンカウンタの動作を許可するビットです。
■ カウンタが動作許可状態(本ビットが 1)のときに 0 を書き込むとカウンタは停止します。

bit	説明
0	停止
1	動作許可

<注意事項>

- *CTEN=0 と書き込むことで、PPG 出力は L になります。*

[bit0] STRG： ソフトウェアトリガビット

■ CTEN ビットが 1 のときに本ビットに 1 を書き込むとソフトウェアトリガがかかります。
■ 本ビットの読出し値は常に 0 が読み出されます。

bit	説明
0	無効
1	ソフトウェアによる起動開始

<注意事項>

- *CTEN ビットと STRG ビットを同時に 1 を書き込んだ場合でも、ソフトウェアトリガがかかります。*
- *EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに 1 を書き込むとソフトウェアトリガは有効になります。*

タイマ制御レジスタ 2(TMCR2 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							CKS3
属性	R/W							R/W
初期値	0000000							0

(注意事項) 本レジスタは STC レジスタの上位に配置されます。

[bit15:9] 予約 : 予約ビット

読出し値は 0 が読み出されます。
本ビットへの書込みは 0 を書き込んでください。

[bit8] CKS3 : カウントクロック選択ビット

「9.2.6. PPG タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)」の「[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット」を参照してください。

9.2.6.3 ステータス制御レジスタ(STC)

bit	7	6	5	4	3	2	1	0
Field	予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

(注意事項) 本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit6] TGIE : トリガ割込み要求許可ビット

■ トリガ割込み要求ビット(bit2:TGIR)の割込み要求を制御します。

■ 本ビットが許可されていて TGIR ビットが 1 に設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit4] UDIE : アンダフロー割込み要求許可ビット

■ アンダフロー割込み要求ビット(bit0:UDIR)の割込み要求を制御します。

■ 本ビットが許可されていて UDIR ビットが 1 に設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit2] TGIR : トリガ割込み要求ビット

- ソフトウェアトリガまたはトリガ入力の検出をした時に本ビットが 1 に設定されます。
- 本ビットは 0 書込みによりクリアされます。
- 本ビットに 1 書込みしてもビット値には影響しません。
- リードモディファイライト系命令におけるリード値は、ビット値にかかわらず 1 になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit1] 予約 : 予約ビット

読出し値は 0 が読み出されます。
本ビットへの書込みは 0 を書き込んでください。

[bit0] UDIR : アンダフロー割込み要求ビット

- H 幅設定した値からのカウント中でカウント値が 0x0000→0xFFFF へアンダフロー変化したときに本ビットが 1 に設定されます。
- 本ビットは 0 書込みによりクリアされます。
- 本ビットに 1 書込みしてもビット値には影響しません。
- リードモディファイライト系命令におけるリード値は、ビット値にかかわらず 1 になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

9.2.7 L 幅設定リロードレジスタ(PRLL)

L 幅設定リロードレジスタ(PRLL)は、PPG 出力波形の L 幅を設定するためのレジスタです。タイマレジスタへの転送は、起動トリガ検出時か、H 幅カウント終了後のアンダフローで行われます。

bit	15	0
Field	PRLL[15:0]	
属性	R/W	
初期値	0xXXXX	

PPG 出力波形の L 幅を設定するためのレジスタです。タイマレジスタへの転送は起動トリガ検出時と H 幅カウント終了時のアンダフローで行われます。

- PRLL レジスタは 8 ビットアクセス禁止です。
- PRLL レジスタは TMCR レジスタの FMD[2:0]ビットで PPG 機能の設定後に L 幅設定してください。

9.2.8 H 幅設定リロードレジスタ(PRLH)

H 幅設定リロードレジスタ(PRLH)は、PPG 出力波形の H 幅を設定するためのバッファ付きレジスタです。PRLH からバッファレジスタへの転送は起動トリガ検出時と H 幅カウント終了後のアンダフローで行われます。バッファレジスタからタイマレジスタへの転送は、L 幅カウント終了時のアンダフローで行われます。

bit	15	0
Field	PRLH[15:0]	
属性	R/W	
初期値	0xXXXX	

PPG 出力波形の H 幅を設定するためのレジスタです。PRLH からバッファレジスタへの転送は起動トリガ検出時と H 幅カウント終了時のアンダフローで行われます。バッファレジスタからタイマレジスタへの転送は L 幅カウント終了時のアンダフローで行われます。

- PRLH レジスタは 8 ビットアクセス禁止です。
- PRLH レジスタは TMCR レジスタの FMD[2:0]ビットで PPG 機能の設定後に H 幅設定してください。

9.2.9 タイマレジスタ(TMR)

タイマレジスタ(TMR)は、16 ビットダウンカウンタの値を読み出せます。

bit	15	0
Field	TMR[15:0]	
属性	R	
初期値	0x0000	

16 ビットダウンカウンタの値を読み出せます。

- TMR レジスタは 8 ビットアクセス禁止です。

9.3 リロードタイマ機能

ベースタイマは、タイマ制御レジスタの FMD[2:0]ビットの設定により、16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。リロードタイマを設定した時のタイマ機能の説明を示します。

9.3.1. 16 ビットリロードタイマの動作
9.3.2. リロードタイマ動作フロー
9.3.3. リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)
9.3.4. 周期設定レジスタ(PCSR)
9.3.5. タイマレジスタ(TMR)

9.3.1 16 ビットリロードタイマの動作

リロードタイマ動作では、カウントクロックに同期して周期設定レジスタに設定する値からカウントダウンを実行します。カウント値 0 になったときにカウントを終了するか、または周期設定を自動でロードしてカウントダウンを停止するまで継続動作します。

内部クロック選択時のカウント動作

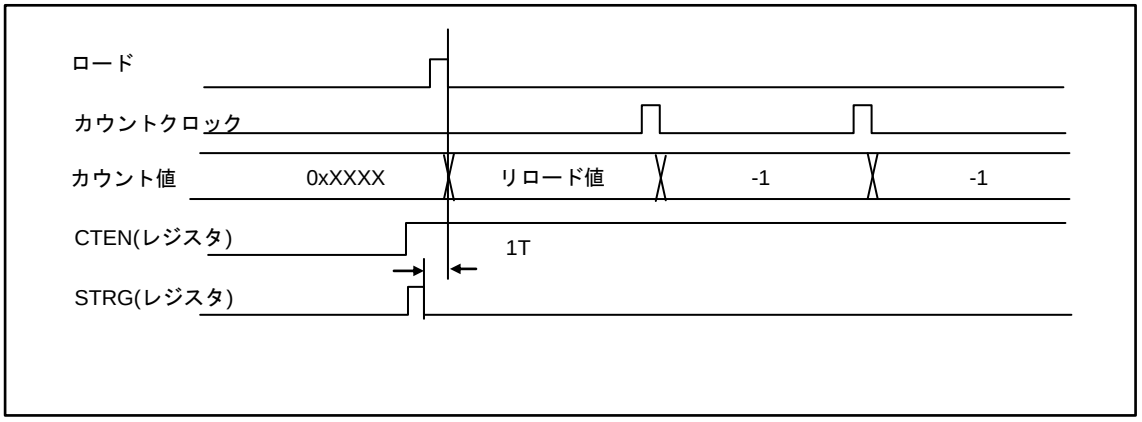
カウント許可と同時にカウント動作を開始したい場合は、タイマ制御レジスタの CTEN ビットと STRG ビットの両方に 1 を書き込んでください。STRG ビットによるトリガ入力は、タイマが起動状態のとき(CNTE=1)は動作モードにかかわらず常に有効です。

カウント動作を許可し、ソフトウェアトリガまたは外部トリガでタイマを起動すると、周期設定レジスタの値をカウンタにロードしてカウントダウンを開始します。

カウンタスタートのトリガが設定されてから周期設定レジスタのデータがカウンタへロードされるまでに、1T(T:マシンサイクル)の時間がかかります。

Figure 9-13 に、ソフトウェアトリガによるカウンタの起動および動作を示します。

Figure 9-13 内部クロック選択時のカウント動作



アンダフロー動作

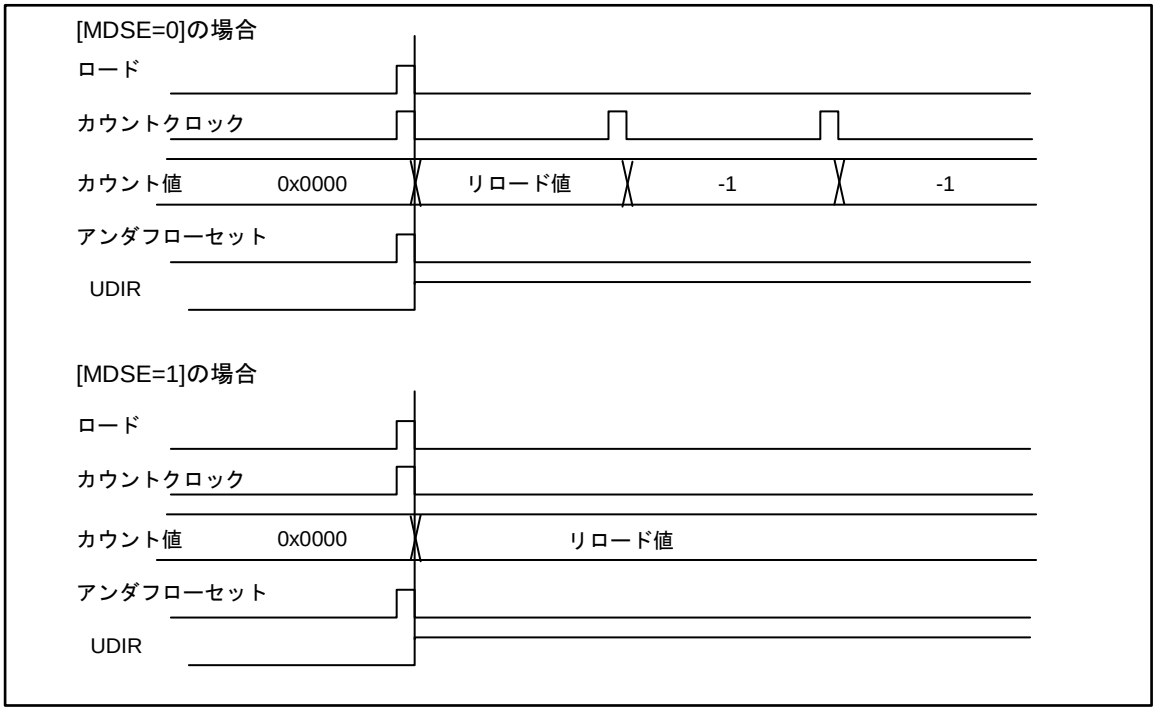
カウンタの値が 0x0000 から 0xFFFF になる場合にアンダフローが発生します。したがって、〔周期設定レジスタの設定値+1〕カウントでアンダフローが発生します。

アンダフロー発生時には、周期設定レジスタ(PCSR)の内容がカウンタへロードされます。タイマ制御レジスタ(TMCR)の MDSE ビットが 0 のときはカウント動作が継続されます。MDSE ビットが 1 のときは、ロードしたカウンタ値のまま停止します。

アンダフローによりステータス制御レジスタ(STC)の UDIR ビットが設定されます。その際、UDIE ビットが 1 であれば割込み要求が発生します。

Figure 9-14 に、アンダフロー動作のタイミングチャートを示します。

Figure 9-14 アンダフロー動作のタイミングチャート

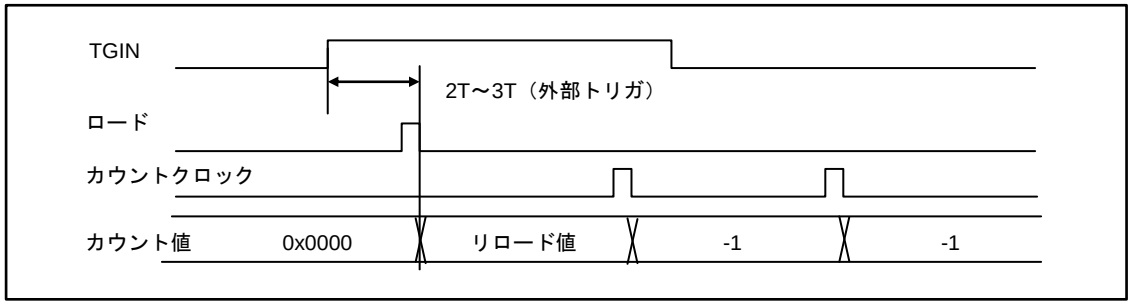


入力端子機能の動作

TGIN 端子はトリガ入力として使用できます。TGIN 端子に有効エッジが入力されると周期設定レジスタの内容をカウンタにロードしてカウント動作を開始します。トリガがかかってから、カウンタ値がロードされるまで、2T～3T(T:マシンサイクル)を必要とします。タイマ制御レジスタ 2 のゲート入力許可ビットを 1 に設定した場合(GATE=1)は、TGIN 端子をトリガ入力として使用できません。

Figure 9-15 に、有効エッジ指定を立上りエッジにした場合のトリガ入力動作を示します。

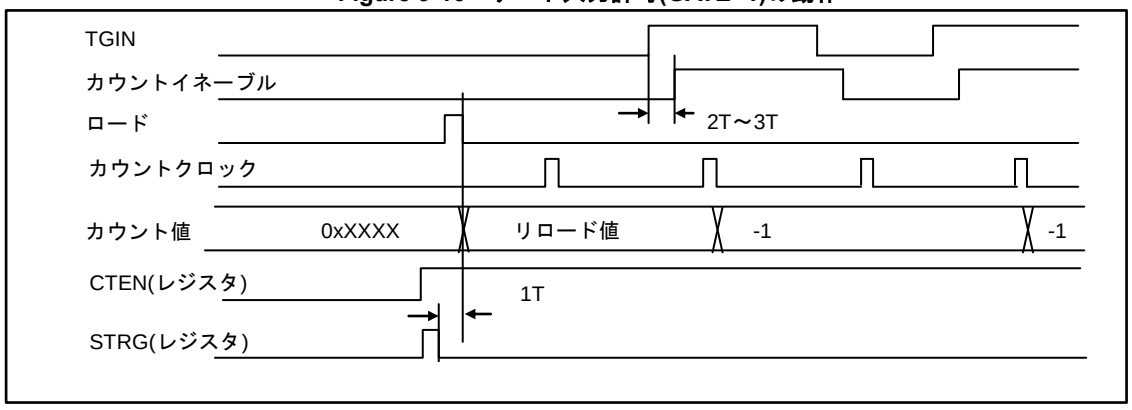
Figure 9-15 トリガ入力の動作



タイマ制御レジスタ 2 のゲート入力許可ビットを 1 に設定した場合(GATE=1)、カウント動作を許可し、ソフトウェアトリガでタイマを起動すると、周期設定レジスタの値をカウンタにロードし、TGIN 端子に有効レベルが入力されている間のみカウントクロックによるカウントダウンを行います。有効レベルが入力されてからカウントイネーブルが有効になるまで、2T～3T(T:マシンサイクル)を必要とします。

Figure 9-16 に、有効レベル指定を H レベルにした場合のカウントダウン動作を示します。

Figure 9-16 ゲート入力許可(GATE=1)の動作

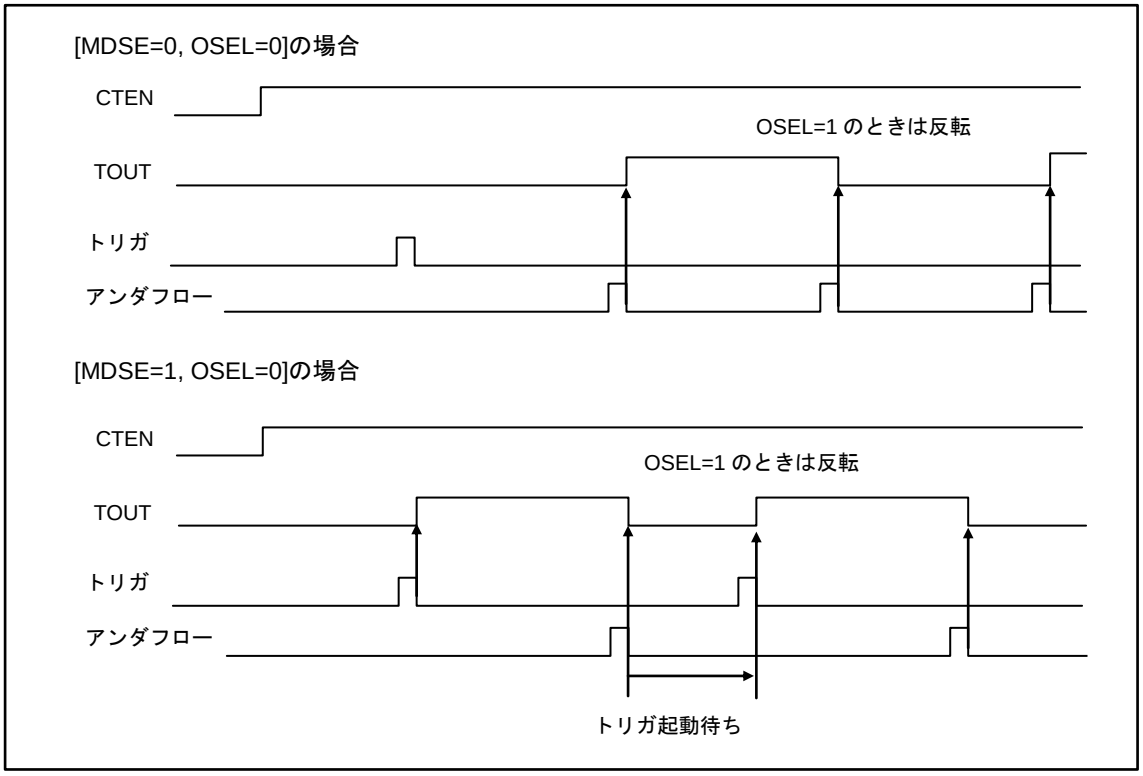


出力端子機能の動作

TOUT 出力端子は、リロードモード時はアンダフローにより反転するトグル出力として、ワンショットモード時はカウント中を示すパルス出力として機能します。出力極性は、タイマ制御レジスタ(TMCR)の OSEL ビットにより設定できます。OSEL=0 の場合トグル出力は初期値が 0 で、ワンショットパルス出力は、カウント中 1 を出力します。OSEL=1 にすると出力波形は、反転します。

Figure 9-17 に、出力端子機能動作のタイミングチャートを示します。

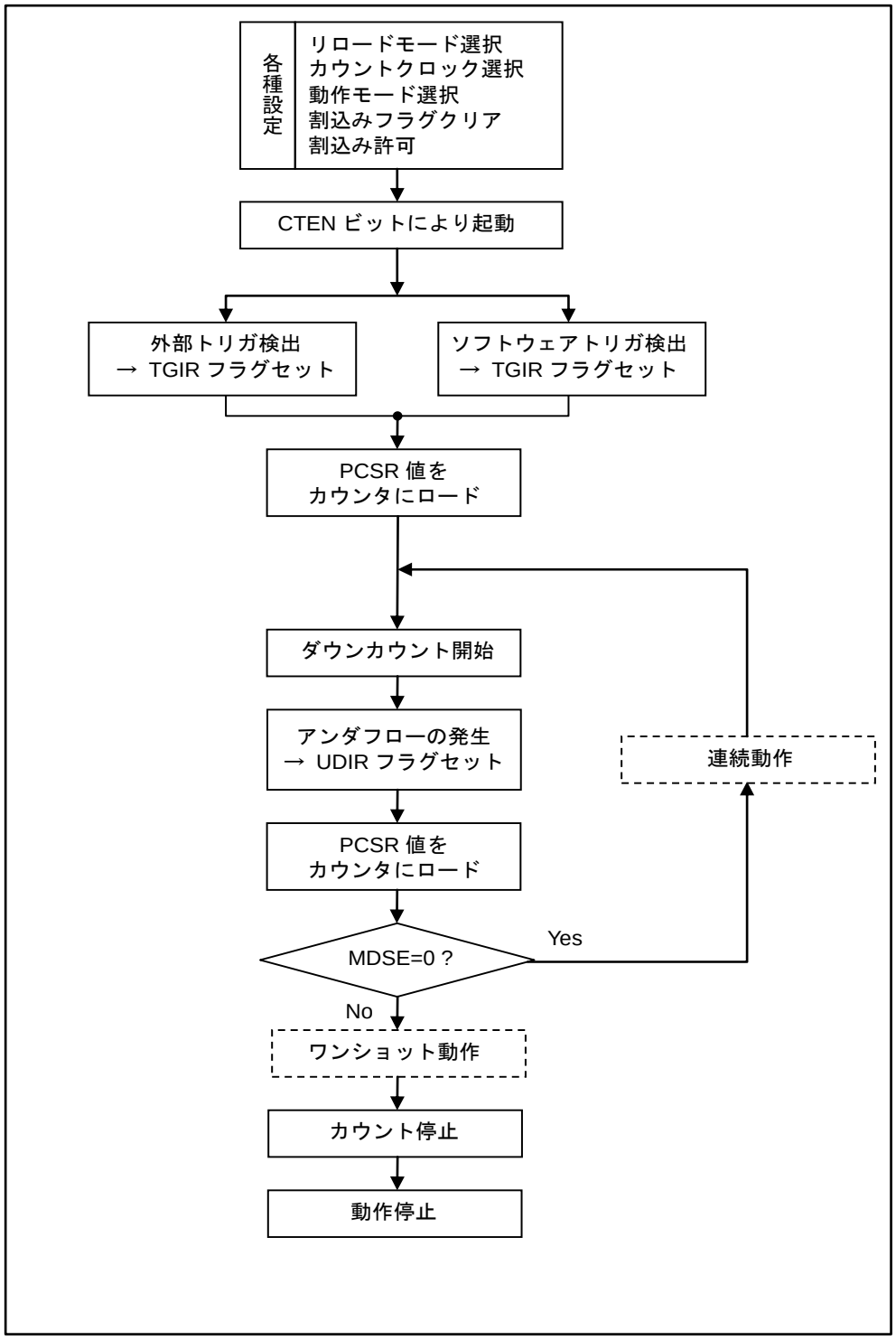
Figure 9-17 出力端子機能動作のタイミングチャート



9.3.2 リロードタイマ動作フロー

リロードタイマの動作フローを示します。

リロードタイマ動作フロー



9.3.3 リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)

タイマ制御レジスタ(TMCR)は、タイマの動作を制御します。

9.3.3.1 タイマ制御レジスタ(TMCR 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	CKS2	CKS1	CKS0	予約		EGS1	EGS0
属性	R/W	R/W	R/W	R/W	R/W		R/W	R/W
初期値	0	0	0	0	00		0	0

[bit15] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されます。したがって、CKS3～CKS0 ビットの変更はカウント停止状態(CTEN=0)で行ってください。ただし、CTEN ビットへの"1"書込みと同時に変更は可能です。

CKS3	CKS2	CKS1	CKS0	説明
0	0	0	0	ϕ
0	0	0	1	ϕ/4
0	0	1	0	ϕ/16
0	0	1	1	ϕ/128
0	1	0	0	ϕ/256
0	1	0	1	外部クロック(立上りエッジイベント)
0	1	1	0	外部クロック(立下りエッジイベント)
0	1	1	1	外部クロック(両エッジイベント)
1	0	0	0	ϕ/512
1	0	0	1	ϕ/1024
1	0	1	0	ϕ/2048
上記以外				設定禁止

[bit11:10] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit9:8] EGS1, EGS0： トリガ入力エッジ・ゲート機能レベル選択ビット

- トリガ入力選択時(GATE=0)の場合、外部起動要因として、入力波形に対する有効エッジを選択し、トリガの条件を設定します。
- トリガ入力選択時(GATE=0)の場合かつ初期値または 00 の設定の場合、入力波形に対する有効エッジが選択されていない状態のため外部波形による起動はかかりません。
- ゲート機能選択時(GATE=1)の場合、外部カウント要因として、入力波形に対する有効レベルを選択し、選択したレベルが有効な間のみダウンカウンタがカウントダウンします。
- EGS1, EGS0 ビットの変更はカウント停止状態(CTEN=0)で行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit9	bit8	説明	
		トリガ入力選択時 (GATE=0)	ゲート機能選択時 (GATE=1)
0	0	トリガ入力無効	L レベル
0	1	外部トリガ(立上りエッジ)	H レベル
1	0	外部トリガ(立下りエッジ)	L レベル
1	1	外部トリガ(両エッジ)	H レベル

<注意事項>

- *EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに 1 を書き込むとソフトウェアトリガは有効になります。*

9.3.3.2 タイマ制御レジスタ 2(TMCR 下位バイト)

bit	7	6	5	4	3	2	1	0
Field	T32	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] T32 : 32 ビットタイマ選択ビット

- 32 ビットタイマ機能を選択するビットです。
- FMD[2:0]ビットに 011 を設定して、リロードタイマ機能を選択している場合、本ビットを 1 に設定すると 32 ビットタイマモードになります。

変更はタイマ停止中(CTEN=0)に行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です(32 ビットモード動作を参照してください)。

bit	説明
0	16 ビットタイマモード
1	32 ビットタイマモード

[bit6:4] FMD2～FMD0： タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD[2:0]ビットに 011 を設定するとリロードタイマ機能が選択されます。
- 変更はタイマ停止中(CTEN=0)に行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
上記以外			設定禁止

[bit3] OSEL： 出力極性指定ビット

- タイマ出力のレベルを通常のまま出力するか反転させるかを選択します。
- モード選択ビット(bit2:MDSE)との組合せにより次のように出力波形を生成します。

MDSE	OSEL	出力波形
0	0	カウント開始時 L のトグル出力
0	1	カウント開始時 H のトグル出力
1	0	カウント中 H の矩形波
1	1	カウント中 L の矩形波

bit	説明
0	通常極性
1	反転極性

[bit2] MDSE： モード選択ビット

- 本ビットを 0 に設定するとリロードモードとなります。カウント値が 0x0000→0xFFFF へのアンダフローと同時にリロードレジスタ値をカウンタにロードしてカウント動作を続けます。
- 本ビットを"1"に設定するとワンショットモードとなります。カウント値が 0x0000→0xFFFF へのアンダフローにより動作を停止します。
- 変更はタイマ停止中(CTEN=0)に行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit	説明
0	リロードモード
1	ワンショットモード

[bit1] CTEN： タイマ許可ビット

- ダウンカウンタの動作を許可するビットです。
- カウンタが動作許可状態(本ビットが 1)のときに 0 を書き込むとカウンタは停止します。

bit	説明
0	停止
1	動作許可

<注意事項>

- *CTEN=0 と書き込むことで、PPG 出力は L になります。*

[bit0] STRG： ソフトウェアトリガビット

- CTEN ビットが 1 のときに本ビットに"1"を書き込むとソフトウェアトリガがかかります。
- 本ビットの読出し値は常に 0 が読み出されます。

bit	説明
0	無効
1	ソフトウェアによる起動開始

<注意事項>

- *CTEN ビットと STRG ビットへ同時に 1 を書き込んだ場合でも、ソフトウェアトリガがかかります。*
- *EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに 1 を書き込むとソフトウェアトリガは有効になります。*

9.3.3.3 タイマ制御レジスタ 2(TMCR2 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	GATE	予約						CKS3
属性	R/W	R/W						R/W
初期値	0	000000						0

(注意事項) 本レジスタは STC レジスタの上位に配置されます。

[bit15] GATE : ゲート入力許可ビット

リロードタイマ動作時の外部要因端子を、トリガ入力機能またはゲート機能を選択します。

- トリガ入力機能: 外部要因端子に有効エッジが入力されると、カウントダウンを開始します。
- ゲート機能: 外部要因端子に有効レベルが入力されている間だけ、カウントダウンします。

bit	説明
0	トリガ入力機能
1	ゲート機能

[bit14:9] 予約 : 予約ビット

読出し値は 0 が読み出されます。
本ビットへの書込みは 0 を書き込んでください。

[bit8] CKS3 : カウントクロック選択ビット

「9.3.3. リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)」の「[bit14:12, TMCR2:bit8] CKS3～CKS0 :カウントクロック選択ビット」を参照してください。

9.3.3.4 ステータス制御レジスタ(STC)

bit	7	6	5	4	3	2	1	0
Field	予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

<注意事項>

- *本レジスタの上位バイトには TMCR2 レジスタが配置されます。*

[bit7] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit6] TGIE : トリガ割込み要求許可ビット

■ トリガ割込み要求ビット(bit2:TGIR)の割込み要求を制御します。

■ 本ビットが許可されていて TGIR ビットが 1 に設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit4] UDIE : アンダフロー割込み要求許可ビット

■ アンダフロー割込み要求ビット(bit0:UDIR)の割込み要求を制御します。

■ 本ビットが許可されていて UDIR ビットが 1 に設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit2] TGIR : トリガ割込み要求ビット

- ソフトウェアトリガまたはトリガ入力の検出をした時に TGIR ビットが 1 に設定されます。
- 本ビットは 0 書込みによりクリアされます。
- 本ビットに 1 書込みしてもビット値には影響しません。
- リードモディファイライト系命令におけるリード値は、ビット値にかかわらず 1 になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit1] 予約 : 予約ビット

読出し値は 0 が読み出されます。
本ビットへの書込みは 0 を書き込んでください。

[bit0] UDIR : アンダフロー割込み要求ビット

- H 幅設定した値からのカウント中でカウント値が 0x0000→0xFFFF へアンダフロー変化したときに UDIR ビットが 1 に設定されます。
- 本ビットは 0 書込みによりクリアされます。
- 本ビットに 1 書込みしてもビット値には影響しません。
- リードモディファイライト系命令におけるリード値は、ビット値にかかわらず 1 になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

9.3.4 周期設定レジスタ(PCSR)

周期設定レジスタ(PCSR)は、カウントの初期値を保持するレジスタです。32 ビットモード時には、偶数チャネルの場合、下位 16 ビットのカウント初期値となります。奇数チャネルの場合は上位 16 ビットのカウント初期値となります。リセット時の初期値は不定です。このレジスタは、8 ビットアクセス禁止です。

bit	15	0
Field	PCSR[15:0]	
属性	R/W	
初期値	0xXXXX	

周期を設定するためのレジスタです。タイマレジスタへの転送はアンダフローで行われます。

- PCSR レジスタは 8 ビットアクセス禁止です。
- PCSR レジスタは TMCR レジスタの FMD[2:0]ビットでリロードタイマ機能の設定後に周期を設定してください。
- 32 ビットモードで PCSR レジスタにデータを書き込む場合、上位 16 ビットデータ(奇数チャネルのデータ)から先にアクセスした後で、下位 16 ビットデータ(偶数チャネルのデータ)にアクセスしてください。

9.3.5 タイマレジスタ(TMR)

タイマレジスタ(TMR)は、タイマのカウント値を読み出すことができるレジスタです。32 ビットモード時には、偶数チャネルの場合は下位 16 ビットのカウント値となります。奇数チャネルの場合には上位 16 ビットのカウント値となります。初期値は不定です。

本レジスタの読出しは、8 ビットアクセス禁止です。

bit	15														0
Field	TMR[15:0]														
属性	R														
初期値	0xXXXX														

16 ビットダウンカウンタの値を読み出せます。

- TMR レジスタは 8 ビットアクセス禁止です。
- 32 ビットモードで TMR レジスタを読み出す場合、下位 16 ビットデータ(偶数チャネルのデータ)から先に読み出した後で、上位 16 ビットデータ(奇数チャネルのデータ)を読み出してください。

9.4 PWC タイマ機能

ベースタイマは、タイマ制御レジスタの FMD[2:0]ビットの設定により、16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。PWC を設定した時のタイマ機能の説明を示します。

9.4.1. PWC タイマの動作
9.4.2. PWC タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)
9.4.3. データバッファレジスタ(DTBF)

9.4.1 PWC タイマの動作

PWC タイマにはパルス幅測定機能があります。5 種類のカウントクロックを選択でき、入力パルスの任意イベント間の時間・周期をカウンタで測定できます。以下に、パルス幅測定機能における基本機能/動作について示します。

9.4.1.1 パルス幅測定機能

起動後、カウンタを"0x0000"にクリアし、設定した測定開始エッジが入力されるまでは、カウント動作は行われません。測定開始エッジを検出すると 0x0001 からカウントアップを開始し、測定終了エッジを検出するとカウントを停止します。この間のカウント値がパルス幅としてレジスタに保存されます。

測定終了時およびオーバフロー発生時に割込み要求を発生できます。

測定終了後は、測定モードに応じて以下のように動作します。

- 単発測定モード時　　動作を停止します。
- 連続測定モード時　　カウンタ値をバッファレジスタに転送後、再度測定開始エッジが入力されるまでカウントを停止します。

Figure 9-18 パルス幅測定動作(単発測定モード/"H"幅測定)

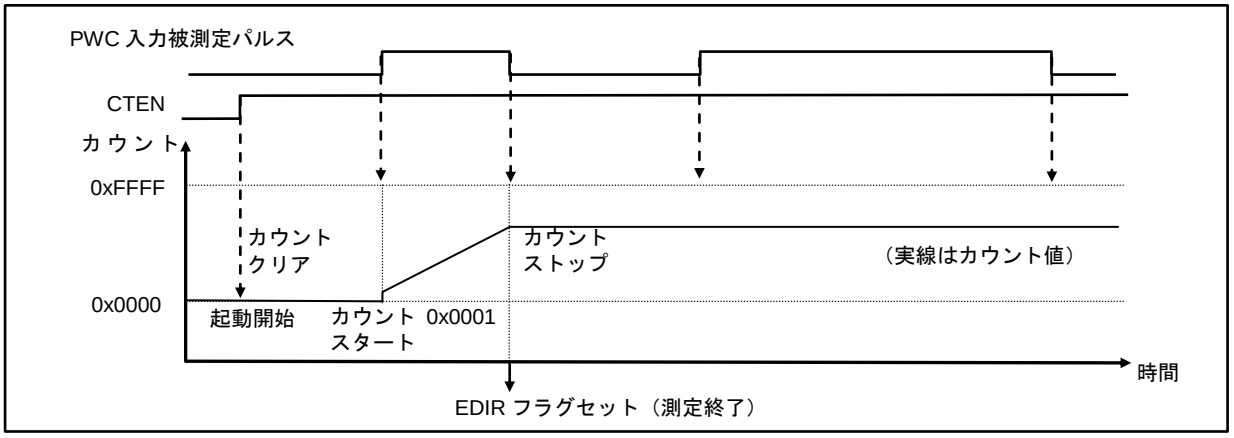
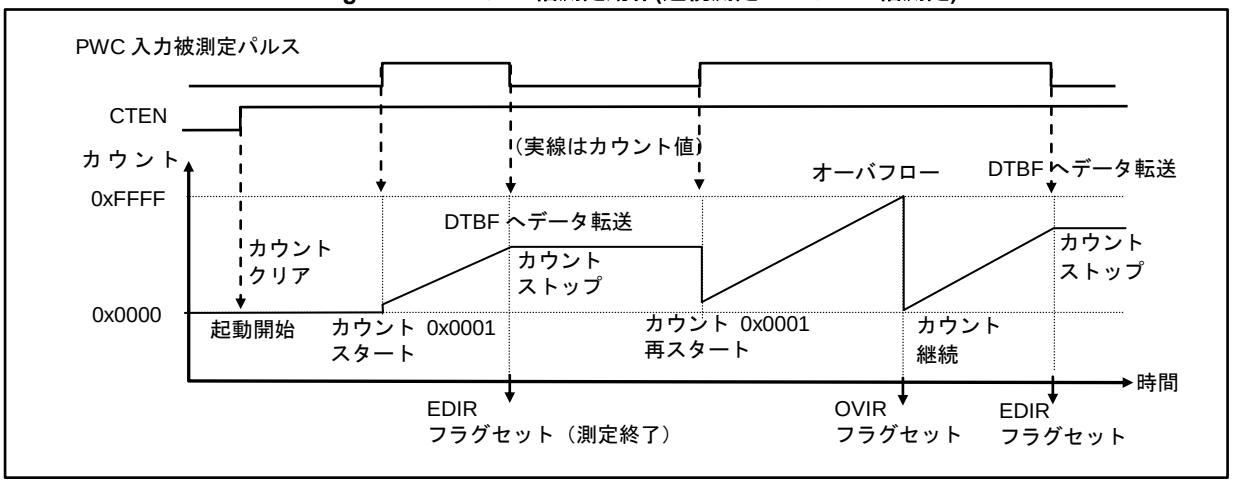


Figure 9-19 パルス幅測定動作(連続測定モード/"H"幅測定)



9.4.1.2 カウントクロックの選択

カウンタのカウントクロックは、TMCR2 レジスタ bit8 : CKS3, TMCR レジスタ bit14:12 : CKS2, CKS1, CKS0 の設定によって、8 種類から選択できます。

選択できるカウントクロックは以下のとおりです。

TMCR2, TMCR レジスタ CKS3, CKS2, CKS1, CKS0 ビット	選択される内部カウントクロック
0000	マシンクロック [初期値]
0001	マシンクロックの 4 分周
0010	マシンクロックの 16 分周
0011	マシンクロックの 128 分周
0100	マシンクロックの 256 分周
0101	設定禁止
0110	
0111	
1000	マシンクロックの 512 分周
1001	マシンクロックの 1024 分周
1010	マシンクロックの 2048 分周
上記以外	設定禁止

リセット後の初期値では、マシンクロックが選択されています。
カウントクロックの選択は、必ずカウンタ起動前に行ってください。

9.4.1.3 動作モードの選択

各動作モード/測定モードの選択は、TMCR を設定してください。

動作モードの設定 … TMCR bit10:8: EGS2, EGS1, EGS0 (測定エッジの選択)
測定モードの設定 … TMCR bit2 : MDSE (単発測定/連続測定の選択)

動作モードの選択の一覧を以下に示します。

動作モード		MDSE	EGS2	EGS1	EGS0
↑～↓ H パルス幅測定	連続測定 : バッファ有効	0	0	0	0
	単発測定 : バッファ無効	1	0	0	0
↑～↑ 立上り間周期測定	連続測定 : バッファ有効	0	0	0	1
	単発測定 : バッファ無効	1	0	0	1
↓～↓ 立下り間周期測定	連続測定 : バッファ有効	0	0	1	0
	単発測定 : バッファ無効	1	0	1	0
↑ or ↓～↑ or ↓ 全エッジ間測定	連続測定 : バッファ有効	0	0	1	1
	単発測定 : バッファ無効	1	0	1	1
↓～↑ L パルス幅測定	連続測定 : バッファ有効	0	1	0	0
	単発測定 : バッファ無効	1	1	0	0
設定禁止		0	1	0	1
		1	1	0	1
		0	1	1	0
		1	1	1	0
		0	1	1	1
		1	1	1	1

リセット後の初期値では、H パルス幅測定 - 単発測定モードが選択されています。
動作モードの選択は、必ずカウンタ起動前に行ってください。

9.4.1.4 パルス幅測定の起動と停止

各動作の起動/再起動/強制停止は、TMCR の bit1 : CTEN ビットを設定してください。

パルス幅測定の起動/再起動は CTEN ビットに、1 を書き込むことにより機能し、強制停止は CTEN ビットに 0 を書き込むことにより機能します。

CTEN	機能
1	パルス幅測定の起動/再起動
0	パルス幅測定の強制停止

9.4.1.5 起動後の動作

パルス幅測定モードの起動後の動作は、測定開始エッジが入力されるまでカウントは行われません。測定開始エッジ検出後、16 ビットアップカウンタは 0x0001 からカウントを開始します。

9.4.1.6 再起動

起動後、動作中に再度起動をかける(CTEN ビットが 1 の状態で再度 1 を書き込む)ことを再起動とよびます。再起動すると、以下のような動作が行われます。

- 測定開始エッジ待ち状態の場合:

  動作に影響しません。

- 測定中の場合:

  カウントを 0x0000 にクリアし、再度測定開始エッジ待ち状態となります。この際、測定終了エッジ検出と再起動が同時になると、測定終了フラグ(EDIR)が設定され、連続測定モード時は測定結果が DTBF に転送されます。

9.4.1.7 停止について

単発測定モードでは、カウンタのオーバフローまたは測定終了により、自動的にカウント動作を停止するため、特に意識する必要はありません。連続測定モードや自動停止する前に停止させたい場合は、強制停止させてください。

9.4.1.8 カウンタのクリアと初期値

16 ビットアップカウンタは、以下の場合に 0x0000 にクリアされます。

- リセット時
- TMCR の bit1 : CTEN ビットに、1 を書き込んだ時(再起動時も含む)

16 ビットアップカウンタは、以下の場合に 0x0001 に初期化されます。

- 測定開始エッジ検出時

9.4.1.9 パルス幅測定動作詳細

■ 単発測定と連続測定

パルス幅測定には、1 回のみの測定を行うモードと、連続して測定を行うモードがあります。各モードは TMCR の MDSE ビットによって選択します(「9.4.1.3 動作モードの選択」を参照してください)。両モードにおける相違点は以下のとおりです。

- 単発測定モード:

  1 回目の測定終了エッジが入力されるとカウンタのカウントは停止し、STC 中の測定終了フラグ(EDIR)が設定され、以降の測定は行われません。
  ただし、同時に再起動された場合は測定開始待ち状態となります。

- 連続測定モード:

  測定終了エッジが入力されるとカウンタのカウントは停止し、STC 中の測定終了フラグ(EDIR)が設定され、再度測定開始エッジが入力されるまでカウントを停止します。再度、測定開始エッジが入力されるとカウンタを"0x0001"に初期化して測定を開始します。測定終了時、カウンタの測定結果は DTBF に転送されます。

測定モードの選択/変更は、必ずカウンタ停止中に行ってください。

■ 測定結果データ

単発測定モードと連続測定モードでは、測定結果とカウンタ値の扱いおよび DTBF の機能に違いがあります。両モードにおける測定結果の相違点は以下のとおりです。

- 単発測定モード :

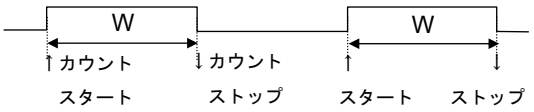
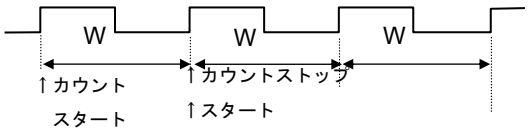
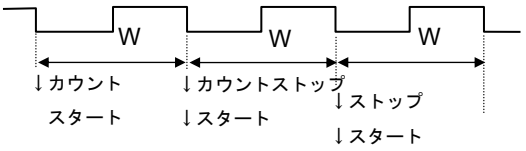
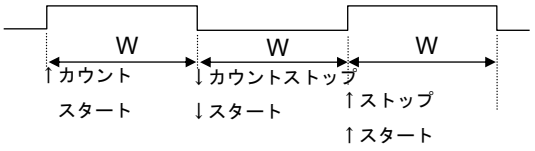
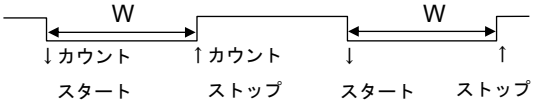
  DTBF を動作中に読み出すと測定中のカウント値が得られます。
  DTBF を測定終了後に読み出すと測定結果データが得られます。

- 連続測定モード :

  測定終了時、カウンタ内の測定結果は DTBF に転送されます。
  DTBF を読み出すと直前の測定結果が得られ、測定動作中も前回の測定結果を保持しています。測定中のカウント値は読み出せません。
  連続測定モードにて、測定結果を読み出さないうちに次の測定が終了してしまった場合、前回の測定結果は新しい測定結果に消されてしまいます。この際、STC 中のエラーフラグ(ERR)が設定されます。エラーフラグ(ERR)は、DTBF を読み出すと自動的にクリアされます。

■ 測定モードとカウント動作

入力されたパルスのどこを測定するかによって、測定モードは 5 種類から選択できます。
以下に、測定モードの詳細について説明します。

測定モード	EGS[2:0]	測定内容(W： 測定するパルス幅)
H パルス幅測定	000	 "H"期間の幅を測定します。 カウント(測定)開始 ： 立上りエッジ検出時 カウント(測定)終了 ： 立下りエッジ検出時
立上り エッジ間周期 測定	001	 立上りエッジ間の周期を測定します。 カウント(測定)開始 ： 立上りエッジ検出時 カウント(測定)終了 ： 立上りエッジ検出時
立下り エッジ間周期 測定	010	 立下りエッジ間の周期を測定します。 カウント(測定)開始 ： 立下りエッジ検出時 カウント(測定)終了 ： 立下りエッジ検出時
全エッジ間 パルス幅測定	011	 連続して入力されるエッジ間の幅を測定します。 カウント(測定)開始 ： エッジ検出時 カウント(測定)終了 ： エッジ検出時
L パルス幅測定	100	 "L"期間の幅を測定します。 カウント(測定)開始 ： 立下りエッジ検出時 カウント(測定)終了 ： 立上りエッジ検出時

すべての測定モードにおいて、測定起動でカウンタは 0x0000 にクリアされた後、測定開始エッジが入力されるまではカウンタはカウント動作を行いません。測定開始エッジ入力されると、測定終了エッジが入力されるまでの間、カウントクロックごとにアップカウントを続けます。

連続測定モードの場合で、全エッジ間パルス幅測定や周期測定などを行った場合、終了エッジが次の測定開始エッジとなります。

■ パルス幅/周期算出方法

測定終了後、DTBF に得られた測定結果データから、被測定パルス幅/周期算出方法は以下のように求められます。

$Tw = n \times t$	Tw:	被測定パルス幅/周期
	n:	DTBF 内の測定結果データ
	t:	カウントクロックの周期

■ 割込み要求発生

以下の 2 つの割込み要求を発生できます。

- カウンタのオーバフローによる割込み要求

  測定中、カウントアップによりオーバフローが発生するとオーバフローフラグ(OVIR)が設定され、オーバフロー割込み要求が許可されていると割込み要求が発生します。

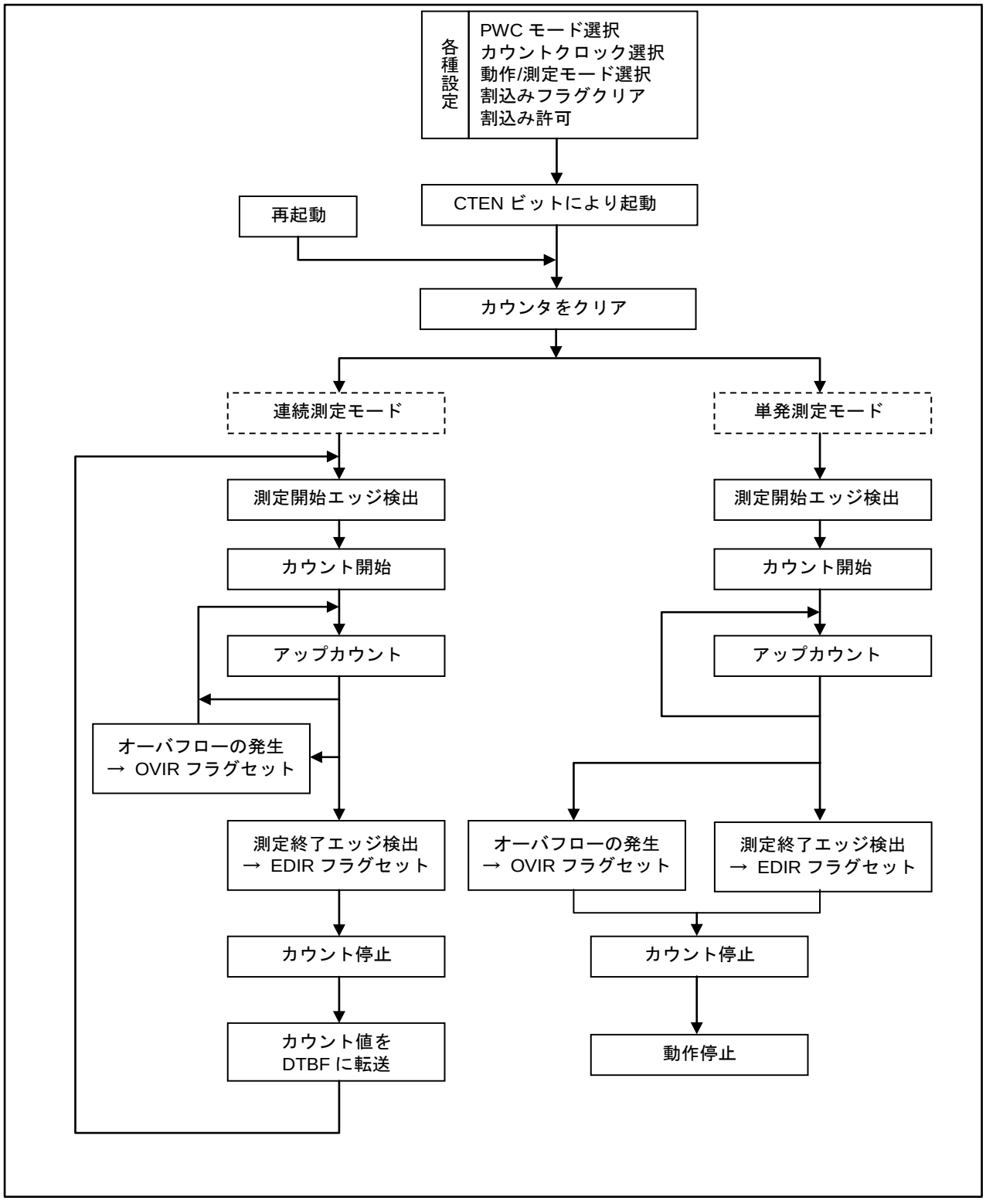
- 測定終了による割込み要求

  測定終了エッジを検出すると、STC 中の測定終了フラグ(EDIR)が設定され、測定終了割込み要求が許可されていると割込み要求が発生します。

  測定終了フラグ(EDIR)は、測定結果 DTBF を読み出すと自動的にクリアされます。

■ パルス幅測定動作フロー

Figure 9-20 パルス幅測定動作フロー



9.4.2 PWC タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)

タイマ制御レジスタ(TMCR)は、タイマの動作制御をします。

9.4.2.1 タイマ制御レジスタ(TMCR 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	CKS2	CKS1	CKS0	予約	EGS2	EGS1	EGS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されます。したがって、CKS3～CKS0 ビットの変更はカウント停止状態(CTEN=0)で行ってください。ただし、CTEN ビットへの 1 書込みと同時に変更は可能です。

CKS3	CKS2	CKS1	CKS0	説明
0	0	0	0	ϕ
0	0	0	1	ϕ /4
0	0	1	0	ϕ /16
0	0	1	1	ϕ /128
0	1	0	0	ϕ /256
0	1	0	1	設定禁止
0	1	1	0	
0	1	1	1	
1	0	0	0	ϕ /512
1	0	0	1	ϕ /1024
1	0	1	0	ϕ /2048
上記以外				設定禁止

[bit11] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit10:8] EGS2～EGS0： 測定エッジ選択ビット

■ 測定エッジの条件を設定します。

■ EGS2, EGS1, EGS0 ビットの変更はカウント停止状態(CTEN=0)で行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit10	bit9	bit8	説明
0	0	0	H パルス幅測定(↑～↓)
0	0	1	立上りエッジ間周期測定(↑～↑)
0	1	0	立下りエッジ間周期測定(↓～↓)
0	1	1	全エッジ間パルス幅測定(↑ or ↓～↓ or ↑)
1	0	0	L パルス幅測定(↓～↑)
1	0	1	設定禁止
1	1	0	
1	1	1	

9.4.2.2 タイマ制御レジスタ(TMCR 下位バイト)

bit	7	6	5	4	3	2	1	0
Field	T32	FMD2	FMD1	FMD0	予約	MDSE	CTEN	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] T32 : 32 ビットタイマ選択ビット

- 32 ビットタイマ機能を選択するビットです。
- FMD[2:0]ビットに 100 を設定して、PWC 機能を選択している場合、本ビットを"1"に設定すると 32 ビット PWC モードになります。
- 変更はタイマ停止中(CTEN=0)に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です(32 ビットモード動作を参照してください。)。

bit	説明
0	16 ビットタイマモード
1	32 ビットタイマモード

[bit6:4] FMD2～FMD0： タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD[2:0]ビットに 100 を設定すると PWC タイマ機能が選択されます。
- 変更はタイマ停止中(CTEN=0)に行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
1	0	1	設定禁止
1	1	0	
1	1	1	

[bit3] 予約 ： 予約ビット

読出し値は 0 が読み出されます。
本ビットへの書込みは 0 を書き込んでください。

[bit2] MDSE： モード選択ビット

変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの 1 書込みと同時に変更は可能です。

bit	説明
0	連続測定モード(バッファレジスタ有効)
1	単発測定モード(1 回測定後に停止)

[bit1] CTEN : タイマ許可ビット

■ アップカウンタの起動または再起動を許可するビットです。
■ カウンタが動作許可状態(本ビットが 1)のとき
  − 本ビットに 1 を書き込むと再起動となり、カウンタはクリアされ、測定開始エッジ待ち状態となります。
  − 本ビットに 0 を書き込むとカウンタは停止します。

bit	説明
0	停止
1	動作許可

＜注意事項＞

− *CTEN=0 と書き込むことで、PPG 出力は L になります。*

[bit0] 予約 : 予約ビット

読出し値は 0 が読み出されます。
本ビットへの書込みは 0 を書き込んでください。

9.4.2.3 タイマ制御レジスタ 2(TMCR2 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							CKS3
属性				R/W				R/W
初期値				0000000				0

(注意事項) 本レジスタは STC レジスタの上位に配置されます。

[bit15:9] 予約 : 予約ビット

読出し値は 0 が読み出されます。

本ビットへの書込みは 0 を書き込んでください。

[bit8] CKS3 : カウントクロック選択ビット

「9.4.2. PWC タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)」の「[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット」を参照してください。

9.4.2.4 ステータス制御レジスタ(STC)

bit	7	6	5	4	3	2	1	0
Field	ERR	EDIE	予約	OVIE	予約	EDIR	予約	OVIR
属性	R	R/W	R/W	R/W	R/W	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

(注意事項) 本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] ERR : エラーフラグビット

- 連続測定モード時において、DTBF レジスタの測定結果を読み出さないうちに、次の測定が終了してしまったことを示すフラグです。この場合、DTBF レジスタの値は新しい測定結果に更新されて 1 つ前の測定結果は消失します。
- 測定は本ビット値に関係なく続行されます。
- 本ビットは読出しのみ可能で、書込みしてもビット値には影響しません。
- 本ビットは測定結果(DTBF)を読み出すことによりクリアされます。

bit	説明
0	正常状態
1	リードしていない測定結果に次の測定結果が上書きされた

[bit6] EDIE : 測定終了割込み要求許可ビット

- 測定終了割込み要求ビット(bit2:EDIR)の割込み要求を制御します。
- 本ビットが許可されていて EDIR ビットが"1"に設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] 予約 : 予約ビット

読出し値は 0 が読み出されます。
本ビットへの書込みは 0 を書き込んでください。

[bit4] OVIE : オーバフロー割込み要求許可ビット

- オーバフロー割込み要求ビット(bit0:OVIR)の割込み要求を制御します。
- 本ビットが許可されていて OVIR ビットが 1 に設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] 予約 : 予約ビット

読出し値は 0 が読み出されます。
本ビットへの書込みは 0 を書き込んでください。

[bit2] EDIR： 測定終了割込み要求ビット

■ 測定終了したことを示し、終了時にフラグが 1 に設定されます。
■ 本ビットは測定結果(DTBF)を読み出すことによりクリアされます。
■ 本ビットは読出しのみ可能で、書込みしてもビット値には影響しません。

bit	説明
0	測定結果(DTBF)をリード
1	割込み要因の検出

[bit1] 予約 ： 予約ビット

読出し値は 0 が読み出されます。
本ビットへの書込みは 0 を書き込んでください。

[bit0] OVIR： オーバフロー割込み要求ビット

■ カウント値が 0xFFFF→0x0000 へのオーバフロー時にフラグが 1 に設定されます。
■ 本ビットは 0 書込みによりクリアされます。
■ 本ビットに 1 を書き込んでもビット値には影響しません。
■ リードモディファイライト系命令におけるリード値は、ビット値にかかわらず 1 になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

9.4.3 データバッファレジスタ(DTBF)

データバッファレジスタ(DTBF)は、PWC タイマの測定値またはカウント値を読み出すことができるレジスタです。32 ビットモード時には、偶数チャネルの場合は下位 16 ビットの値となり、奇数チャネルの場合は上位 16 ビットの値となります。

本レジスタの読出しは、8 ビットアクセス禁止です。

bit	15															0
Field	DTBF[15:0]															
属性	R															
初期値	0x0000															

- DTBF レジスタは連続測定モード, ワンショット測定モードのいずれにおいても、読出しのみ可能なレジスタです。書き込んでもレジスタ値は変化しません。
- 連続測定モード時(TMCR bit3 MDSE=1)は、前回の測定結果を保持するバッファレジスタとなります。
- ワンショット測定モード時(TMCR bit3 MDSE=0)は、DTBF レジスタでアップカウンタを直接アクセスします。カウント中も読出し可能で、カウント値が読み出せます。測定終了後は測定結果をそのまま保存します。
- DTBF レジスタは 8 ビットアクセス禁止です。

CHAPTER 6: 多機能タイマ

多機能タイマユニットについて説明します。

1. 多機能タイマの概要
2. 多機能タイマの構成
3. 多機能タイマのレジスタ
4. 多機能タイマの動作
5. 多機能タイマの制御例
6. 多機能タイマ入出力信号詳細タイミング

管理コード: 9BMFT_FM0-J03.0

1. 多機能タイマの概要

多機能タイマは、三相モータ制御を実現する機能ブロックです。PPG, A/D コンバータ(以降、ADC と記載します。) と連携することで、多彩なモータ制御を実現できます。以下に多機能タイマの概要を示します。

機能

多機能タイマには、以下の機能があります。

- 任意の周期・パルスのデューティ比の PWM 信号を出力できます(PWM 信号出力機能)。
- PWM 信号出力に同期して、PPG の起動ができます。PPG の出力信号を PWM 信号に重畳して出力できます(DC チョッパ波形出力機能)。
- PWM 信号出力から、パワートランジスタの応答時間(デッドタイム)を確保したノンオーバラップ信号を生成できます(デッドタイマ機能)。
- 入力信号の変化タイミングや、パルス幅を PWM 信号出力に同期して取り込めます(インプット・キャプチャ機能)。
- ADC の起動を PWM 信号出力に同期して任意のタイミングで行えます(ADC 起動機能)。
- モータ緊急停止割込み信号(DTTIX 入力信号)のノイズキャンセル処理を行います。有効な信号入力が検出された場合、モータ停止時の端子状態を任意に設定可能です(DTIF 割込み機能)。

略語表記について

本章では、以下略称表記を用いて説明します。

MFT	多機能タイマ
PPG	プログラマブル・パルスジェネレータ
FRT	フリーラン・タイマ
FRTS	フリーラン・タイマ選択回路
OCU	アウトプット・コンペア・ユニット
WFG	波形ジェネレータ
NZCL	ノイズキャンセラ
ICU	インプット・キャプチャ・ユニット
ADCMP	ADC 起動コンペア

2. 多機能タイマの構成

多機能タイマの構成と、各機能ブロック・入出力端子の機能を説明します。

2.1. 多機能タイマのブロックダイヤグラム
2.2. 各機能ブロック説明
2.3. 多機能タイマユニットの入出力端子
2.4. 製品 TYPE による機能差異について

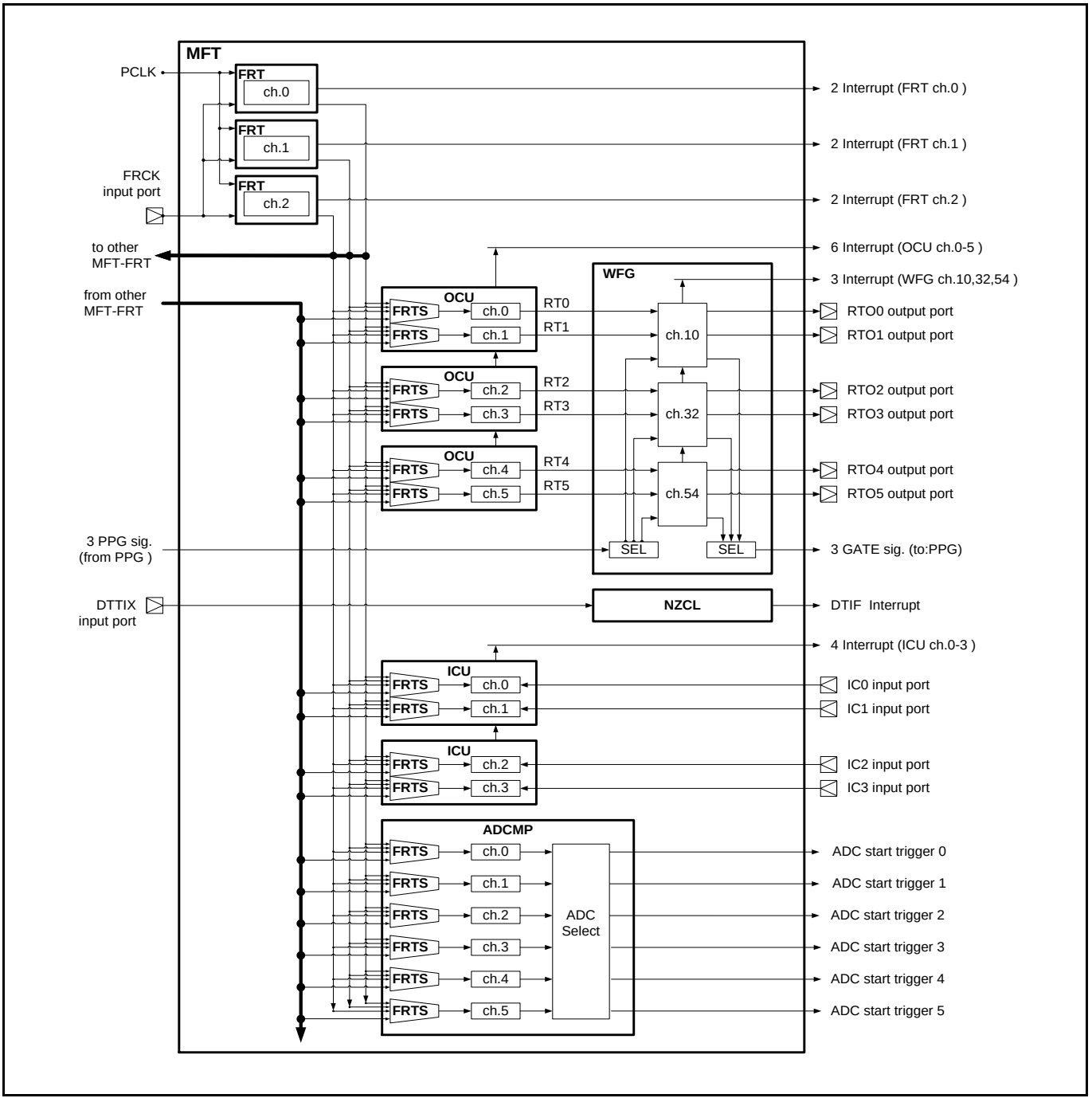
2.1 多機能タイマのブロックダイヤグラム

多機能タイマ(MFT)の全体構成について説明します。

2.1.1 ブロックダイヤグラム

Figure 2-1 に MFT の 1 ユニットのブロックダイヤグラムを示します。

Figure 2-1 MFT のブロックダイヤグラム



2.1.2 各機能ブロックの概要

MFT(多機能タイマ)の 1 ユニットは、以下の機能ブロックにより構成されます。

- FRT (フリーラン・タイマ)ユニット
  FRT は、MFT 内の各機能ブロックの動作基準となるカウンタ値を出力するタイマ機能ブロックです。3 チャネル搭載しています。
- OCU (アウトプット・コンペア・ユニット)
  OCU は、FRT のカウンタ値を基準として PWM 信号を生成出力する機能ブロックです。
  6 チャネル(2 チャネル×3 ユニット)搭載しています。
- WFG (波形ジェネレータ)ユニット
  WFG は、OCU の後段に位置し、OCU の出力(RT0～RT5)信号と、PPG 信号から、モータ制御用の信号波形の生成を行う機能ブロックです。3 チャネル搭載しています。
- NZCL (ノイズキャンセラ)ユニット
  NZCL は、モータ緊急停止用の専用入力信号(DTTIX 信号)から、CPU に DTIF 割込みを発生させる機能ブロックです。1 チャネル搭載しています。
- ICU (インプット・キャプチャ・ユニット)
  ICU は、外部入力端子信号に有効エッジが検出されると、FRT カウント値をキャプチャし、CPU に割込みを発生させる機能ブロックです。4 チャネル(2 チャネル×2 ユニット)搭載しています。
- ADCMP (ADC 起動コンペア)ユニット
  ADCMP は、FRT のカウンタ値を基準として、AD 変換起動信号を生成する機能ブロックです。6 チャネル搭載しています。

MFT は、1 ユニットを使用することで、1 個の三相モータ制御が行える構成です。本ファミリには MFT を複数ユニット搭載している製品があります。複数の三相モータ制御に対応できます。

MFT の 1 ユニットには､FRT を 3 個搭載しています｡それぞれの FRT が独立した動作を行えます｡MFT の中で、FRT カウンタ値出力は、OCU, ICU, ADCMP に接続されます。これらのユニットは、接続する FRT を選択する回路(FRTS：フリーランタイマ選択回路)を持っており、選択した FRT のカウンタ値出力を基準として連動動作を行えます。1 つの FRT ですべてのユニットを連動動作させること、2 グループ, 3 グループの連動動作グループを構築できます。

2.2 各機能ブロック説明

多機能タイマ内の各機能ブロックの構成、動作について説明します。

2.2.1 FRT: 3 チャネル

FRT は、MFT 内の各機能ブロックの動作基準となるカウンタ値を出力するタイマ機能ブロックです。

Figure 2-2 に FRT の構成を示します。FRT は、クロック・プリスケーラ, 16 ビットアップダウンカウンタ, 周期設定レジスタ(TCCP レジスタ), 制御回路から構成されます。

- クロック・プリスケーラは、LSI 内部の周辺クロック信号(PCLK)信号の分周を行って、16 ビット・アップダウンカウンタの動作クロックを生成します。
- TCCP レジスタは、16 ビットアップダウンカウンタの Peak 値(カウント周期)、オフセット値を設定します。カウント動作中に設定変更できるようにバッファレジスタがあります。
- 16 ビットアップダウンカウンタは、指定された Peak 値(カウント周期)、オフセット値に従い、アップカウント動作、アップダウンカウント動作を行い、カウンタ値を出力します。

CPU から制御回路に指示することで、以下の処理を行えます。

- クロック・プリスケーラの分周比を選択できます。
- PCLK(内部クロック)と FRCK(外部クロック)の使用選択ができます。
- 16 ビット・アップダウンカウンタのカウントモードを以下から選択できます。
  - ノーマル・アップカウントモード
  - ノーマル・アップダウンカウントモード
  - オフセット付アップカウントモード(TYPE2-M0+以降製品のみ)
  - オフセット付アップダウンカウントモード(TYPE2-M0+以降製品のみ)
- カウント動作の開始・停止・カウンタクリアを指定できます。
- TCCP レジスタのバッファレジスタ機能の有無を選択できます。
- カウント値が 0x0000 値、ピーク値(=TCCP 値)である状態を検出して CPU に対して割込みを発生させられます(FRT1 チャネルにつき、2 本の割込み信号出力)。
- 割込み発生を一定の割合でマスクすることができます。
- 複数の FRT を同時に起動, 停止, クリアすることができます。)

Figure 2-2 FRT の構成

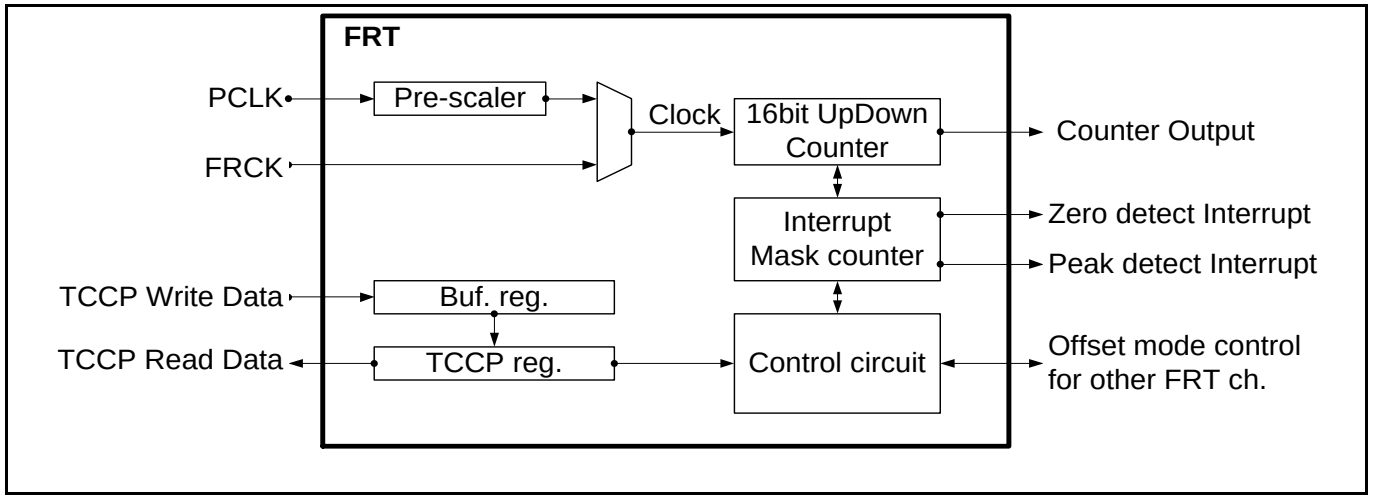


Figure 2-3 にアップカウントモードの FRT の動作例を示します。

Figure 2-3 FRT アップカウントモードの動作例

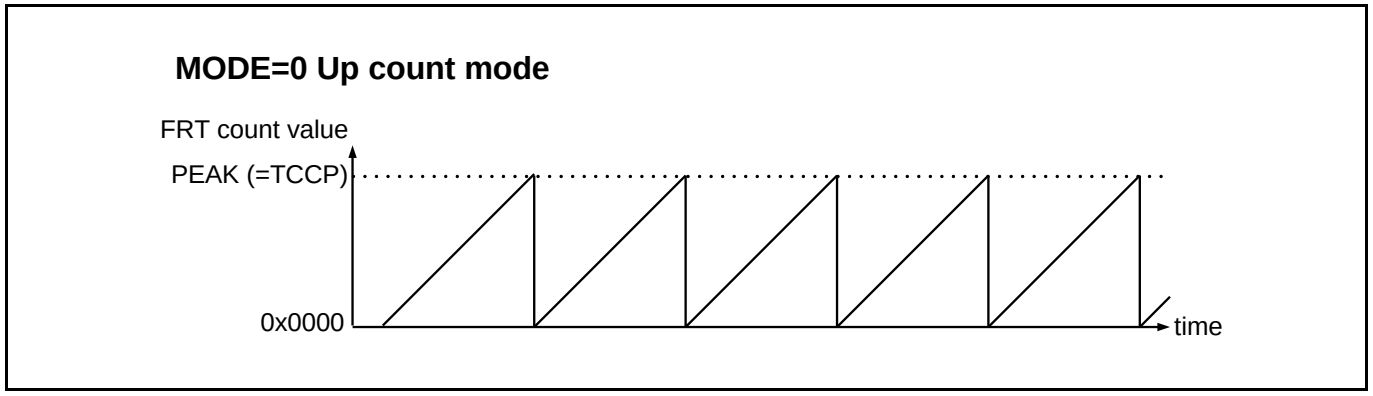


Figure 2-4 にアップダウンカウントモードの FRT の動作例を示します。

Figure 2-4 FRT アップダウンカウントモードの動作例

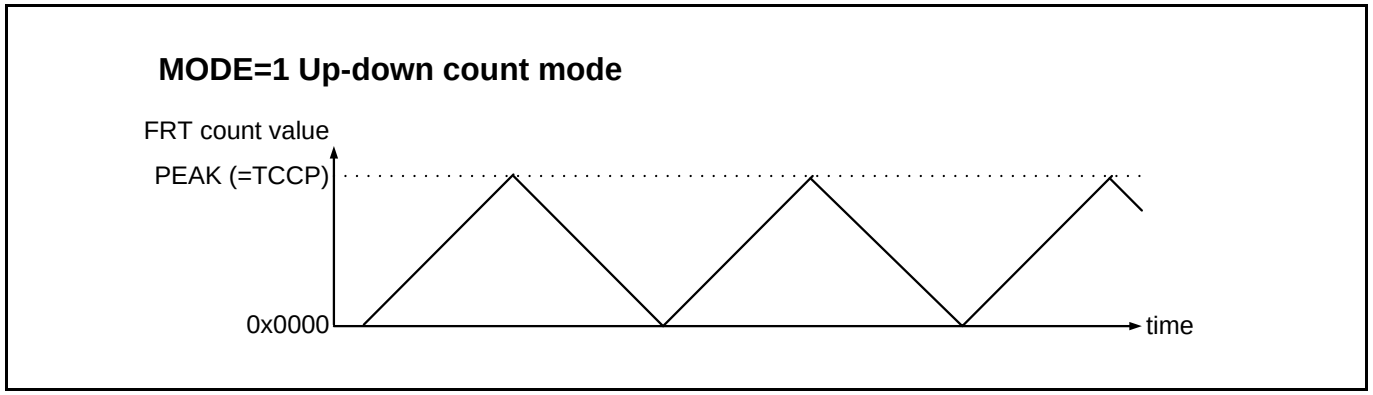
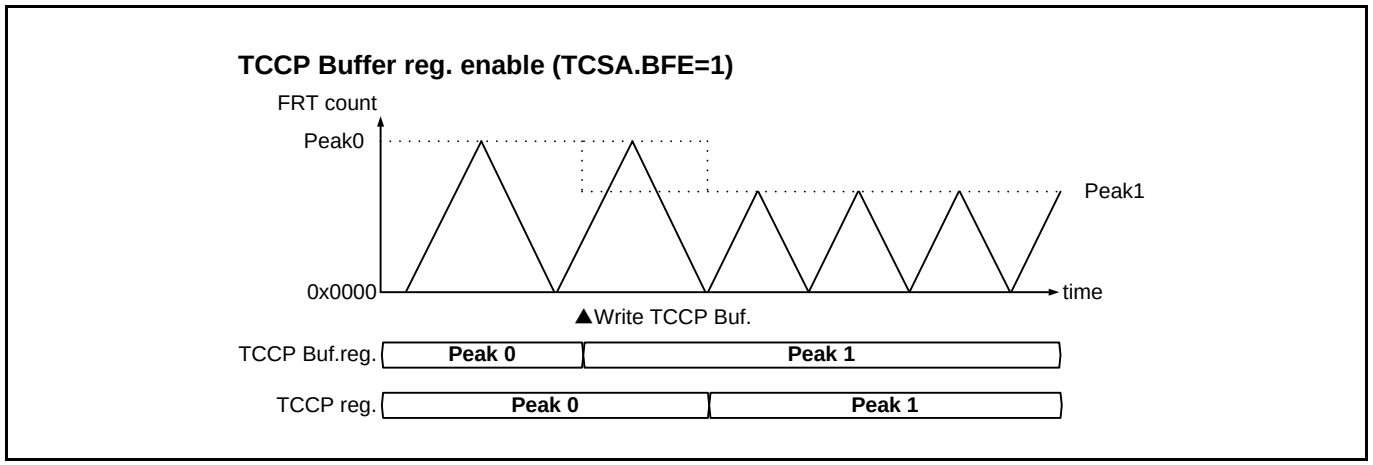


Figure 2-5 にアップダウンカウントモードで、TCCP レジスタのバッファ機能を利用し、FRT の周期変更を行った動作例を示します。

Figure 2-5 FRT アップダウンカウントモードの周期変更例



2.2.2 OCU: 6 チャネル(2 チャネル×3 ユニット)

OCU は、FRT のカウンタ値を基準として PWM 信号を生成出力する機能ブロックです。OCU から出力される PWM 信号の信号名は、それぞれ RT0～RT5 です。これらの信号は、WFG を経由して LSI 外部出力端子へ出力されます。Figure 2-6 に OCU の構成を示します。OCU は、FRTS, コンペア値格納レジスタ(OCCP レジスタ), 出力変化条件指定レジスタ(OCSE レジスタ), 制御回路から構成されます。それぞれの回路を 2 組持った 2 チャネル構成が基本単位です。

- FRTS は、OCU で接続使用する FRT カウンタ値を選択する回路です。
- OCCP レジスタは、PWM 信号の変化タイミングの指定を FRT カウンタ値のコンペア値として指定するレジスタです。OCCP レジスタへの書込みを FRT のカウント動作とは非同期に行えるようにバッファレジスタを持っています。
- OCSE レジスタは、PWM 信号の変化条件を指定するレジスタです。OCSE レジスタへの書込みを FRT のカウント動作とは非同期に行えるようにバッファレジスタを持っています。

CPU から制御回路に指示することで、以下の処理を行えます。

- OCU に接続する FRT を選択できます。
- OCU の動作許可・禁止を指定できます。
- OCU の動作禁止時に、RT0～RT5 信号の出力レベルの直接指定ができます。
- OCU の動作許可時に、FRT カウンタ値とコンペア値格納レジスタの値が比較され、一致、不一致検出時に、OCSE レジスタ指定に従い、RT0～RT5 信号の出力レベルが変化します。
- RT0,RT2,RT4 信号の変化条件を、OCCP0 レジスタ値との比較結果を用い、 FRT の値、方向を指定して、任意に指定することができます。
- RT1,RT3,RT5 信号の変化条件を、OCCP0 レジスタ値、OCCP1 レジスタ値との比較結果を用い、FRT の値、方向を指定して、任意に指定することができます。
- OCCP レジスタと FRT カウンタ値の一致検出時に CPU に割込みを発生させられます。
- OOCP レジスタ, OCSE レジスタのバッファレジスタの使用の有無, 転送タイミングの選択ができます。
- FRT の割込みマスクに連動したバッファ転送ができます。(TYPE3-M4 以降製品のみ)

1 個の MFT の中には、この OCU を 3 個搭載しており、合計: 6 個のコンペアレジスタ, 6 本の出力信号端子, 6 本の割込み出力があります(2 チャネル×3 ユニット構成)。また ADCMP のオフセット起動モード用に OCCP レジスタと FRT の一致検出信号を ADCMP に出力します。

Figure 2-6 OCU の構成

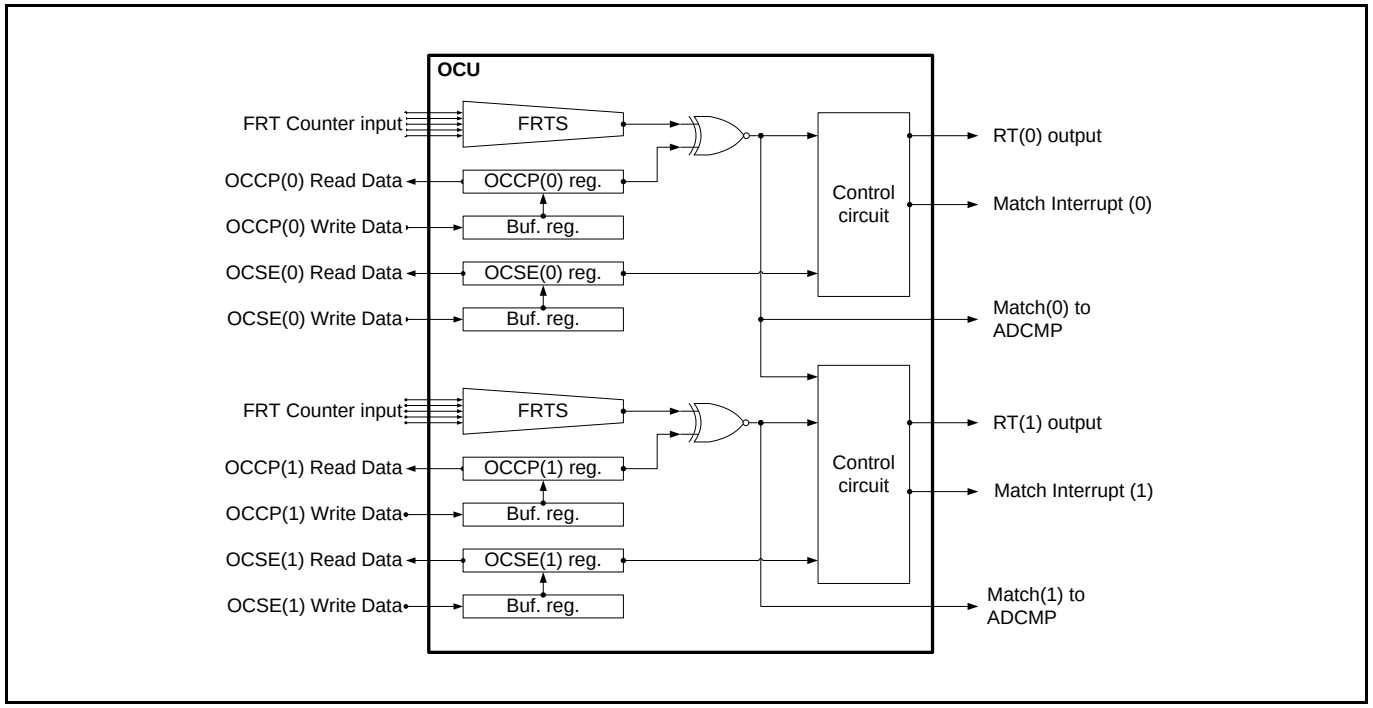


Figure 2-7 にアップカウントモードの FRT に接続した OCU から出力される RT0 信号の出力波形例を示します。

Figure 2-7 OCU 出力波形例

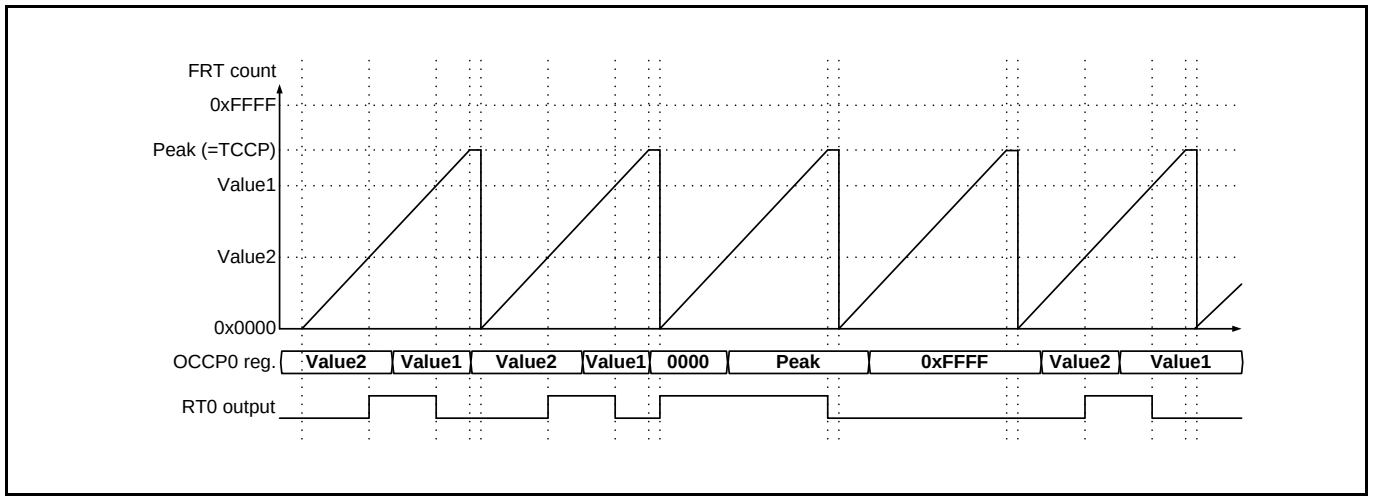
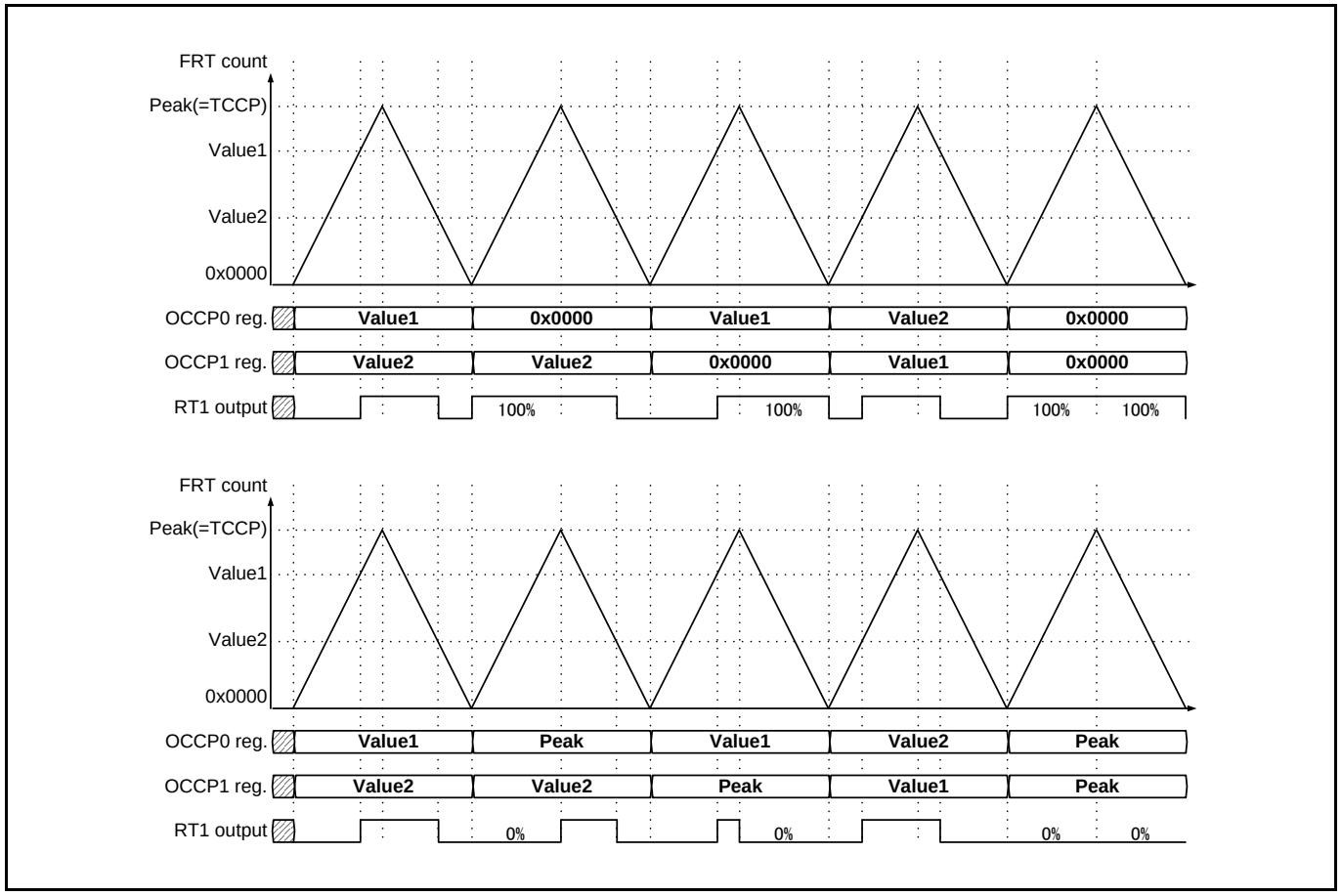


Figure 2-8 にアップダウンカウントモードの FRT に接続した OCU から出力される,RT1 信号の出力波形例を示します。

Figure 2-8 OCU 出力波形例



2.2.3 WFG: 3 チャネル

WFG は、OCU の後段に位置し、OCU の出力(RT0～RT5)信号と、PPG 信号から、モータ制御用の信号波形の生成を行う機能ブロックです(PPG は多機能タイマの外部にあります)。Figure 2-9 に WFG の構成を示します。WFG からの LSI 外部端子への信号出力名は、それぞれ、RTO0～RTO5 です。RT0, RT1 から RTO0, RTO1 を、RT2, RT3 から RTO2, RTO3 を、RT4, RT5 から RTO4, RTO5 をそれぞれ出力するブロックに分割されています。それぞれ、WFG ch.10, WFG ch.32, WFG ch.54 という名称です。WFG は、クロック・プリスケーラ, WFG タイマ, WFG タイマ初期値レジスタ(WFTA レジスタ, WFTB レジスタ), パルスカウンタ, パルスカウンタ初期値レジスタ(WFTF レジスタ), 波形生成部, PPG タイマユニット選択回路, 制御回路から構成されます。

- クロック・プリスケーラは、LSI 内部の周辺クロック信号(PCLK)信号の分周を行って、WFG タイマ、パルスカウンタの動作クロックを生成します。
- WFG タイマは、WFTA, WFTB レジスタで設定した時間をカウントして、信号波形生成を行うタイマ回路です。
- パルスカウンタは、WFTF レジスタで設定した時間をカウントして、RT0～RT5 信号, PPG からの信号のフィルタリング処理を行うタイマ回路です。
- パルスカウンタは、フィルタリング処理を行わない動作モードの場合、単独のリロードタイマとして使用でき、CPU に対し定期的な割込みを発生させられます。WFG1 個につき 1 個のリロードタイマ割込み出力があります。
- 波形生成部は、OCU からの RT0～RT5 信号, PPG からの信号および WFG タイマのカウント状態から、波形生成処理を行って、LSI 外部出力信号を生成するブロックです。
- PPG タイマユニット選択回路は、WFG で使用する PPG タイマユニットの選択を行う回路です。PPG 起動の指示信号(GATE 信号)の出力先と、PPG 出力信号を選択します。

CPU から制御回路に指示することで、以下の処理を行えます。

- クロック・プリスケーラの分周比を選択できます。
- 波形生成は、以下のモードから選択できます。
  - スルーモード：

    OCU、PPG からの入力信号をそのままスルー出力します。
  - RT-PPG モード：

    OCU からの入力信号に PPG からの入力信号を重畳し出力します。(Figure 2-10)
  - タイマ-PPG モード：

    OCU からの入力信号にて WFG タイマを起動し、WFTA, WFTB で規定されたタイマカウント期間、PPG からの入力信号を出力します。(Figure 2-11)
  - RT デッドタイマモード：

    OCU からの RT1 入力信号から、2 相ノンオーバラップ信号を生成します。出力信号のデッドタイムを WFTA、WFTB で別々に指定することができます。(Figure 2-12)
  - RT デッドタイマフィルタモード：

    OCU からの RT1 入力信号から、WFTF 指定以下のパルス幅の信号をフィルタリングし、2 相ノンオーバラップ信号を生成します。出力信号のデッドタイムを WFTA, WFTB で別々に指定することができます。
  - PPG デッドタイマモード：

    PPG からの入力信号から、2 相ノンオーバラップ信号を生成します。出力信号のデッドタイムを WFTA、WFTB で別々に指定することができます。
  - PPG デッドタイマフィルタモード：

    PPG からの入力信号から、WFTF 指定以下のパルス幅の信号をフィルタリングし、2 相ノンオーバラップ信号を生成します。出力信号のデッドタイムを WFTA, WFTB で別々に指定することができます。

- PPG に起動指示を行う GATE 信号を出力できます。
- RTO0～RTO5 信号の出力極性を反転できます。

Figure 2-9 WFG の構成

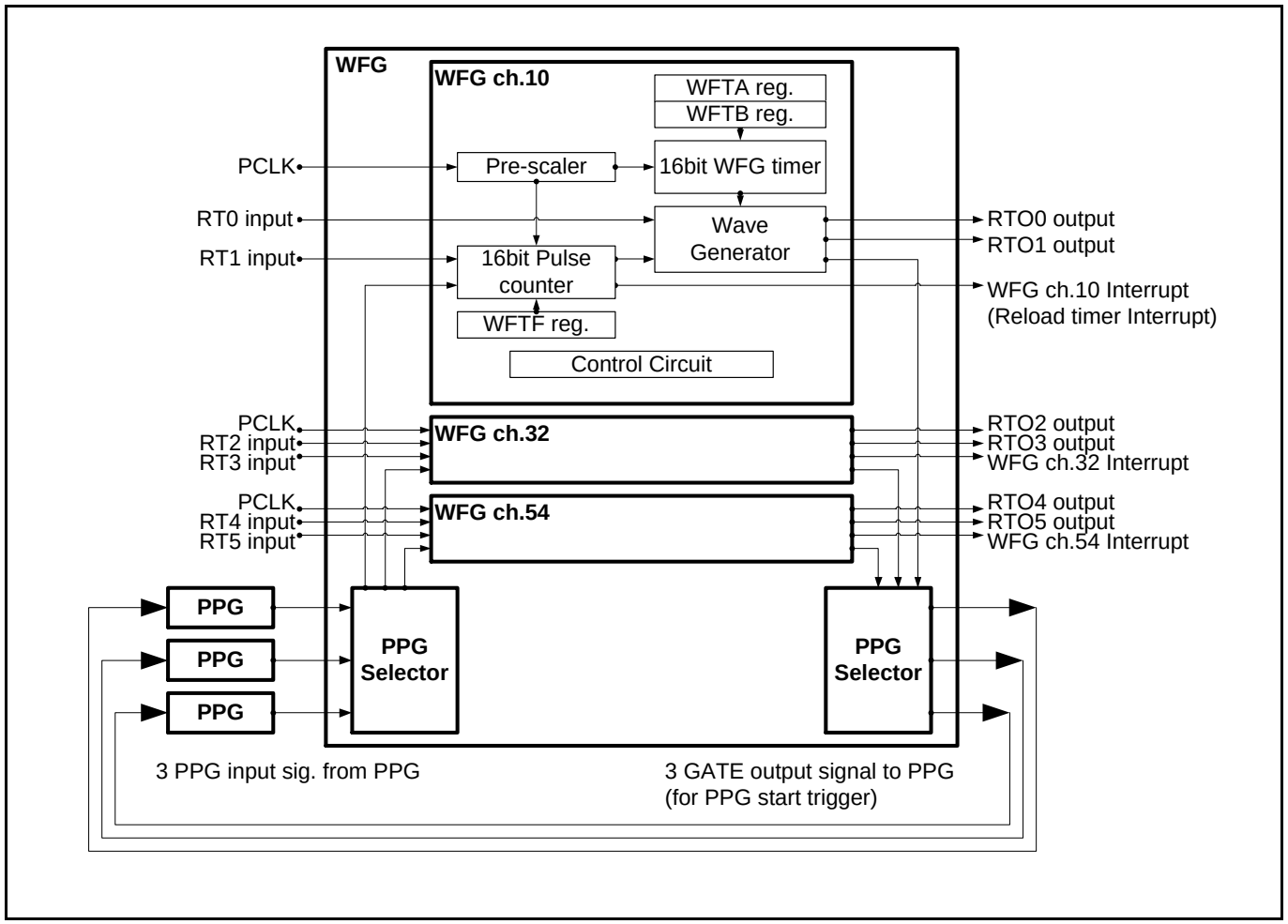


Figure 2-10 RT-PPG モード動作例

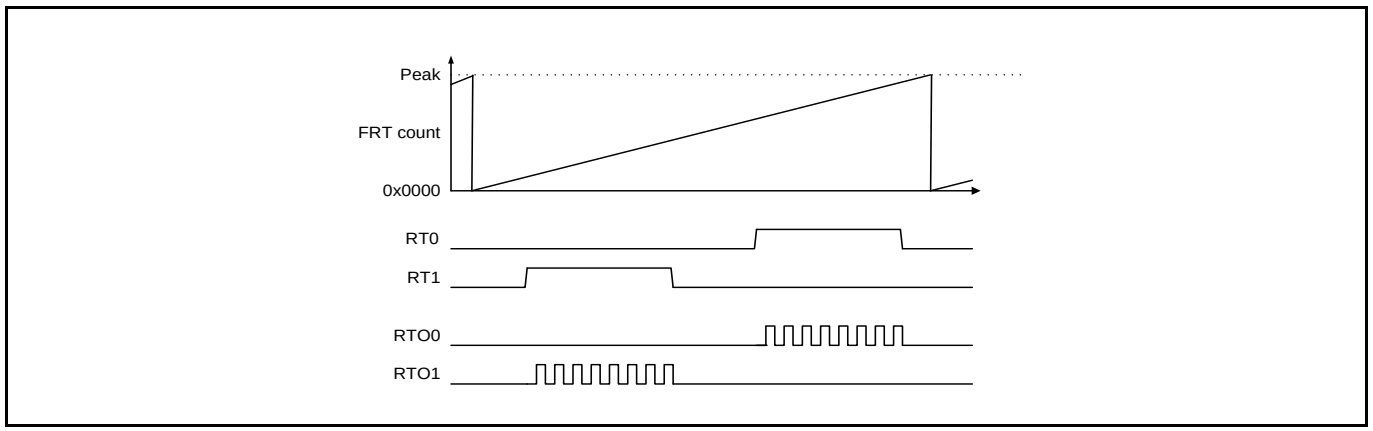


Figure 2-11 タイマ-PPG モード動作例

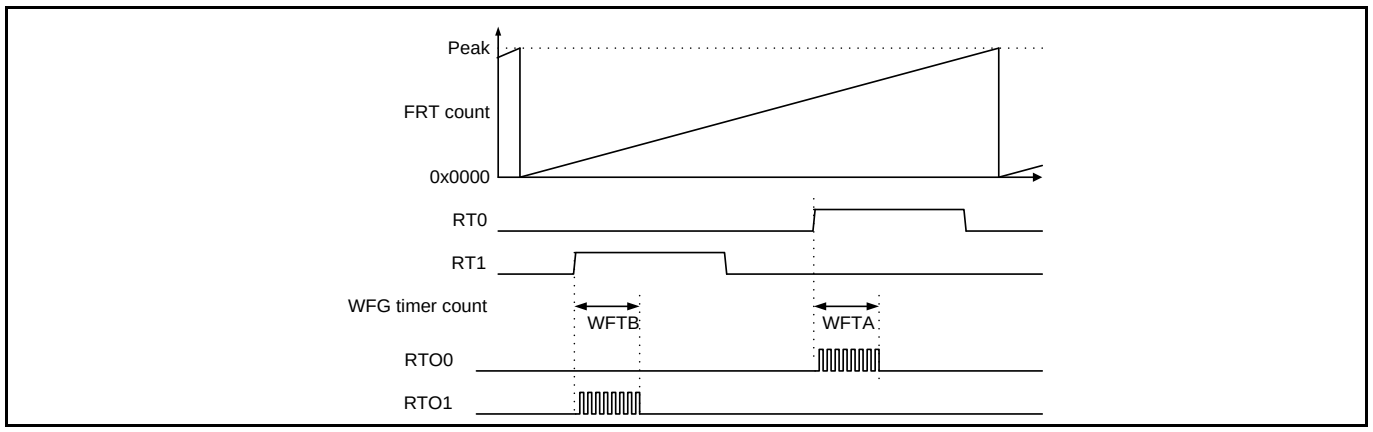


Figure 2-12 RT デッドタイマモード動作例(FRT がノーマル・アップダウンカウントモードの場合)

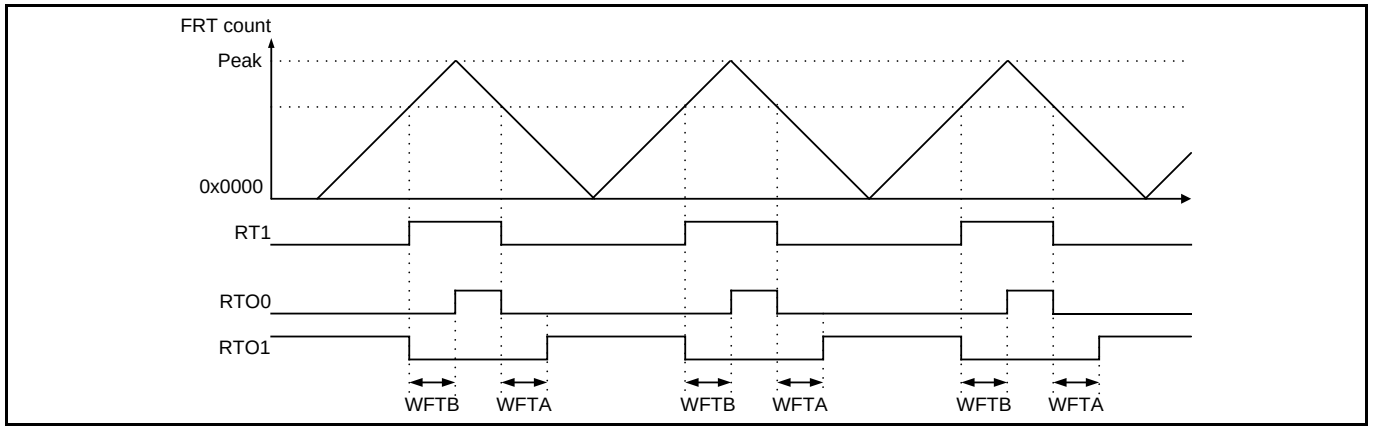
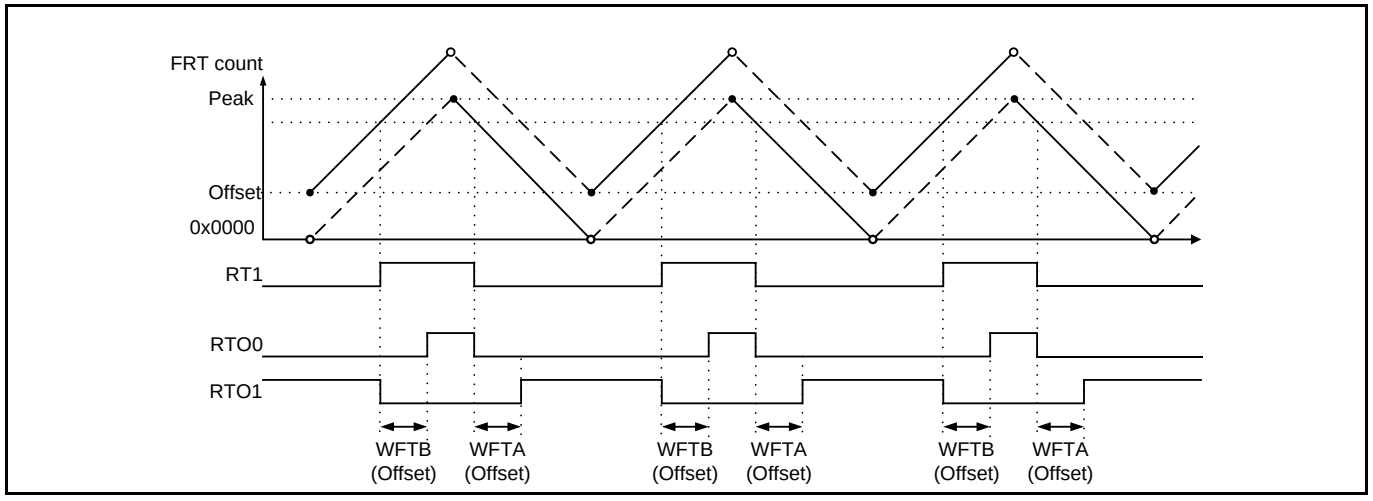


Figure 2-13 RT デッドタイマモード動作例(FRT がオフセット付アップダウンカウントモードの場合)

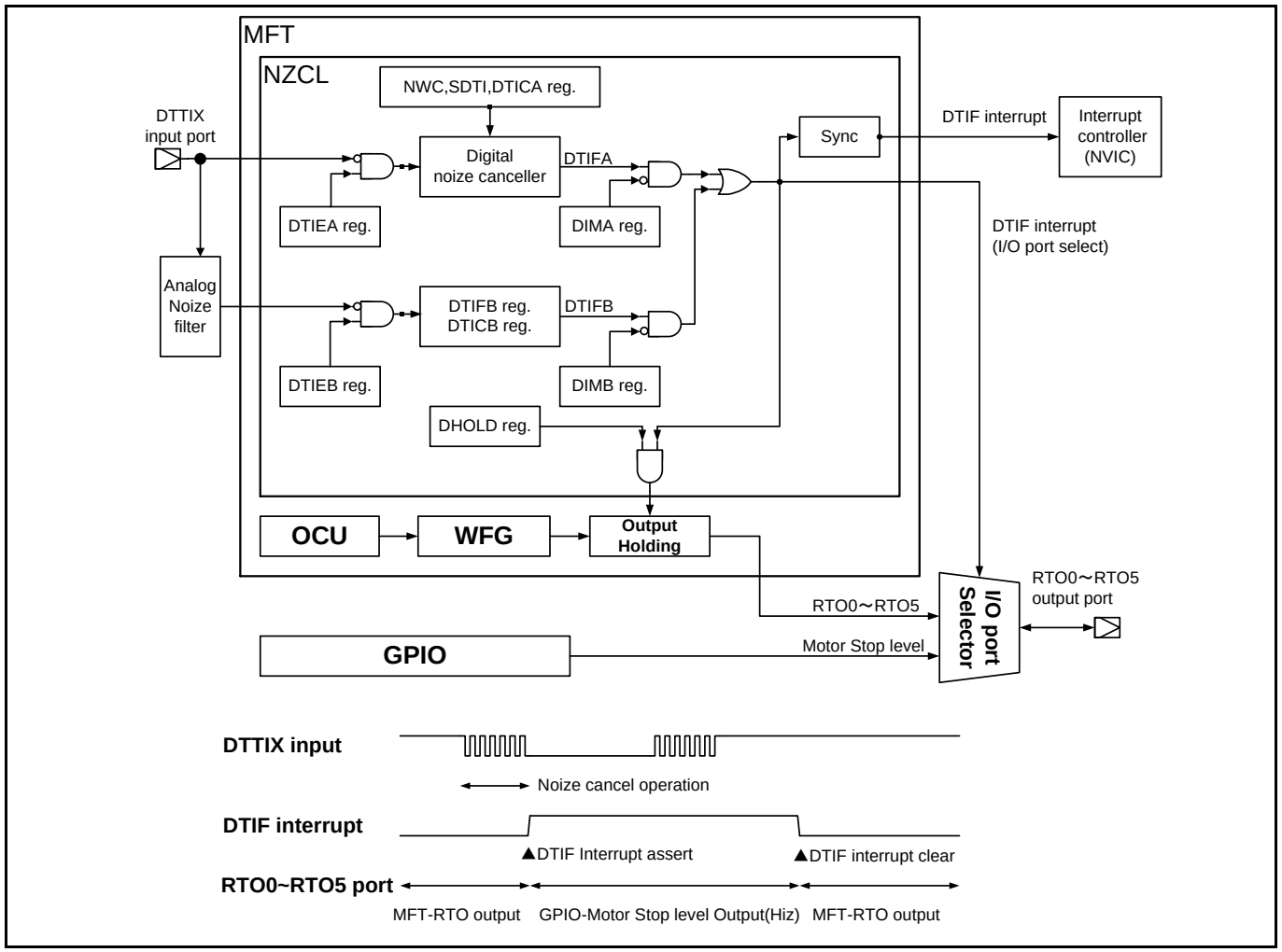


2.2.4 NZCL

NZCL は、モータ緊急停止用の専用入力信号(DTTIX 信号)から、CPU に DTIF 割込みを発生させる機能ブロックです。Figure 2-14 に、NZCL と I/O ポート選択部の構成を示します。NZCL は、デジタルノイズキャンセル回路と制御回路から構成されます。

- DTTIX 入力信号から、デジタルノイズキャンセラ経由で、DTIF 割込みを発生させることができます。
- DTTIX 入力信号から、デジタルノイズキャンセラを経由せず、クロックレスで DTIF 割込みを発生させることができます。(図のアナログノイズフィルタ経由のパスを示します。この機能が使用できるのは、TYPE3-M4 以降の製品のみです。)
- DTIF 割込みが発生している間、I/O ポート部の選択機能により、WFG の外部出力信号(RTO0～RTO5)を兼用されている GPIO ポートの状態に切り換えられます。あらかじめ、GPIO ポートの入出力状態をモータの非動作レベルに設定しておくことで、モータの緊急停止を行えます。クロックレスの DTIF 割込み信号を有効としている場合、MCU のクロックが停止状態でもモータの緊急停止を行えます。
- DTIF 割込みが発生している間、DHOLD レジスタ選択による出力保持機能により、DTIF 割込み発生直前の WFG の外部出力信号(RTO0～RTO5)の出力レベルを保持することができます。

Figure 2-14 NZCL と I/O ポート選択部の構成



2.2.5 ICU: 4 チャネル(2 チャネル×2 ユニット)

ICU は、外部入力端子信号に有効エッジが検出されると、FRT カウント値をキャプチャし、CPU に割込みを発生させる機能ブロックです。Figure 2-15 に ICU の構成を示します。ICU は、FRTS, エッジ検出回路, 16 ビットキャプチャレジスタ, 制御レジスタから構成されます。それぞれの回路を 2 組持った 2 チャネル構成が基本単位です。

- FRTS は、ICU で接続使用する FRT カウンタ値を選択する回路です。
- エッジ検出回路は、入力信号の有効エッジを検出する回路です。
- ICCP レジスタは、入力信号の変化タイミングを FRT カウント値としてキャプチャします。

CPU から制御回路に指示することで、以下の処理を行えます。

- ICU に接続する FRT を選択できます。
- 入力信号の有効エッジを立上りエッジ, 立下りエッジ, 両エッジから選択できます。
- ICU の動作許可・禁止を指定できます。
- 有効エッジが検出され、キャプチャ動作が行われると CPU に割込みを発生させられます。

1 個の MFT の中には、この ICU を 2 個搭載しており、合計 : 4 本の外部入力端子, 4 個のキャプチャレジスタがあります(2 チャネル×2 ユニット構成)。ICU への LSI 外部入力信号名は、それぞれ、IC0～IC3 です。ICU の入力信号は、I/O ポート部の選択機能により、LSI 外部端子以外に LSI 内部の信号と切り換えて使用できるものがあります(詳細は「2.3 多機能タイマユニットの入出力端子」を参照してください)。

Figure 2-16 に ICU の動作例図を示します。

Figure 2-15 ICU の構成

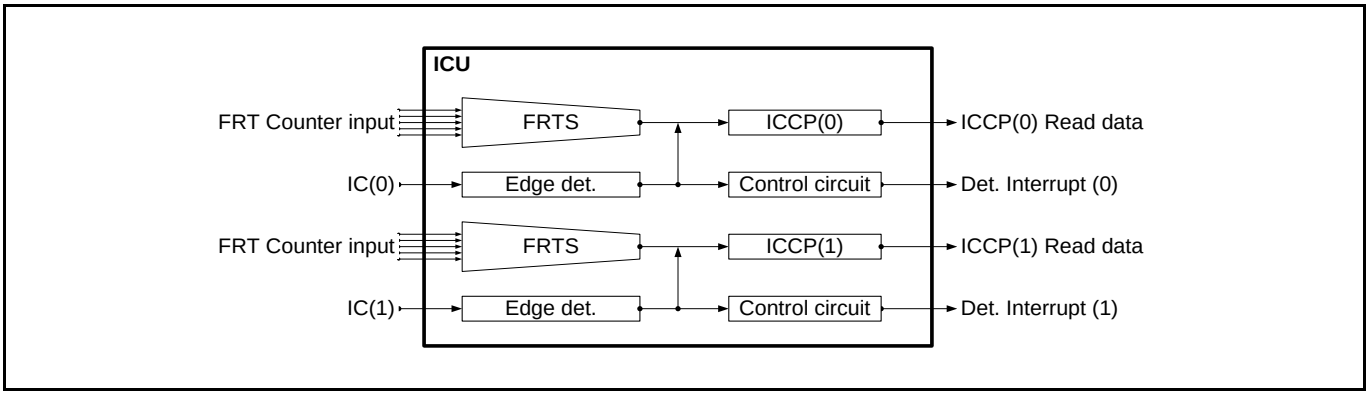
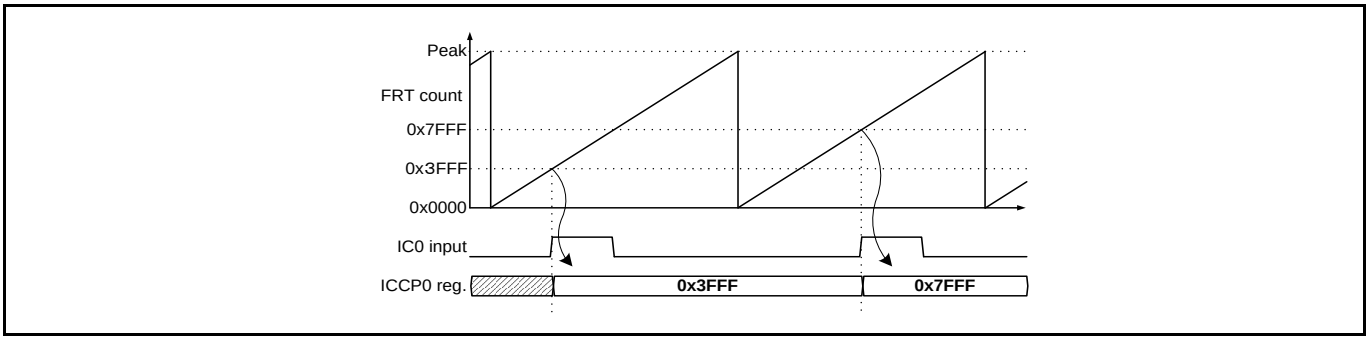


Figure 2-16 ICU の動作例(立上りエッジ検出の場合)



2.2.6 ADCMP: 6 チャネル

ADCMP は、FRT のカウンタ値を基準として、AD 変換起動信号を生成する機能ブロックです。ADCMP は、6 チャネル構成です。Figure 2-17 に ADCMP の構成を示します。ADCMP は、FRTS, コンペアレジスタ(ACMP レジスタ), オフセット起動用ダウンカウンタ, 出力セレクタ, 制御レジスタから構成されます。

- FRTS は、ADCMP で接続使用する FRT カウンタ値を選択する回路です。
- ノーマルモード時、ACMP レジスタは、AD 変換起動タイミングを FRT カウンタ値のコンペア値として指定します。
- オフセット起動モード時、ACMP レジスタは、OCU で一致検出した後、AD 変換起動までのオフセット遅延時間を指定します。
- ACMP レジスタへの書込みを FRT のカウント動作とは非同期に行えるように、それぞれバッファレジスタを持っています。
- オフセットダウンカウンタは、オフセット起動モード時に使用します。OCU で OCCP との一致が検出されると、ACMP レジスタ指定の時間(オフセット時間)をカウントし、AD 変換起動信号を生成します。
- 出力セレクタは、生成した AD 変換起動信号をどの ADC 向けに出力するかを選択します。

CPU から制御回路に指示することで、以下の処理を行えます。

- ADCMP に接続する FRT を選択できます。
- ADCMP の動作許可・禁止を指定できます。
- AD 変換起動信号を出力する ADC を選択できます。
- ノーマルモード時、AD 変換起動のタイミングを、FRT の値, 方向を指定して設定できます。
- オフセット起動モード時、OCU での一致検出タイミングを FRT の値、方向を指定して設定でき、そこからの AD 変換起動までのオフセット時間を設定できます。
- ACMP レジスタのバッファレジスタの使用の有無, 転送タイミングを選択できます。
- FRT の割込みマスクに連動したバッファ転送ができます。(TYPE2-M0+以降製品のみ)
- ACMC レジスタを使用し、FRT 割込みマスクに連動した ADC 起動が行えます。(TYPE2-M0+以降製品のみ)

ADCMP からの各 ADC への起動信号は、各チャネルの出力セレクタで選択後、対応する ADC ユニットごとに論理 OR して出力されます。複数の ADCMP チャネルで同じ ADC ユニットを選択することで、FRT の 1 周期中に最大 12 個の ADC 起動変換タイミングを設定できます。

Figure 2-17 ADCMP の構成

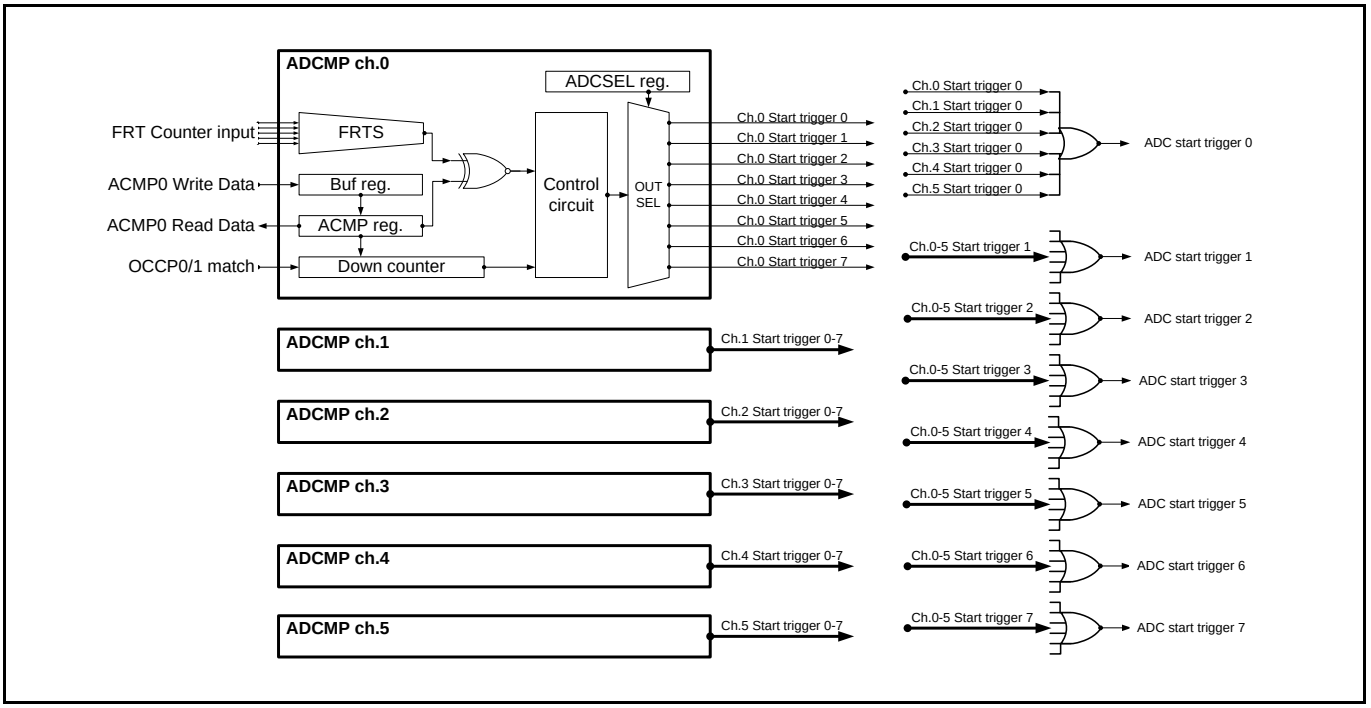


Figure 2-18 に ADCMP ノーマルモード、2 チャネル併用時の動作例を示します。

Figure 2-18 ADCMP ノーマルモード動作例

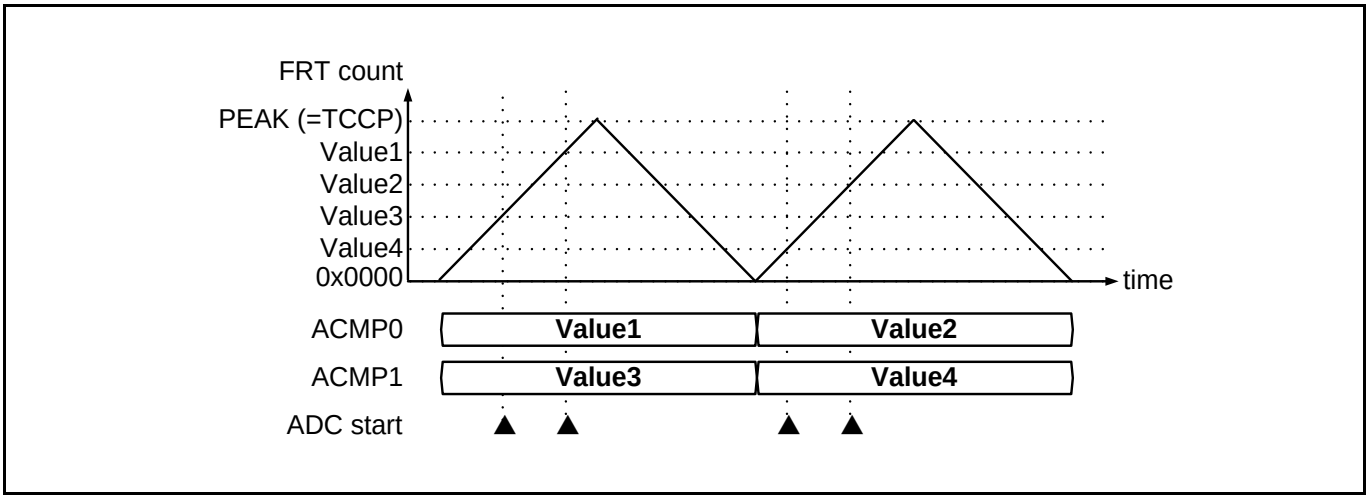


Figure 2-19 に ADCMP オフセット起動モード時の動作例を示します。

Figure 2-19 ADCMP オフセットモード動作例

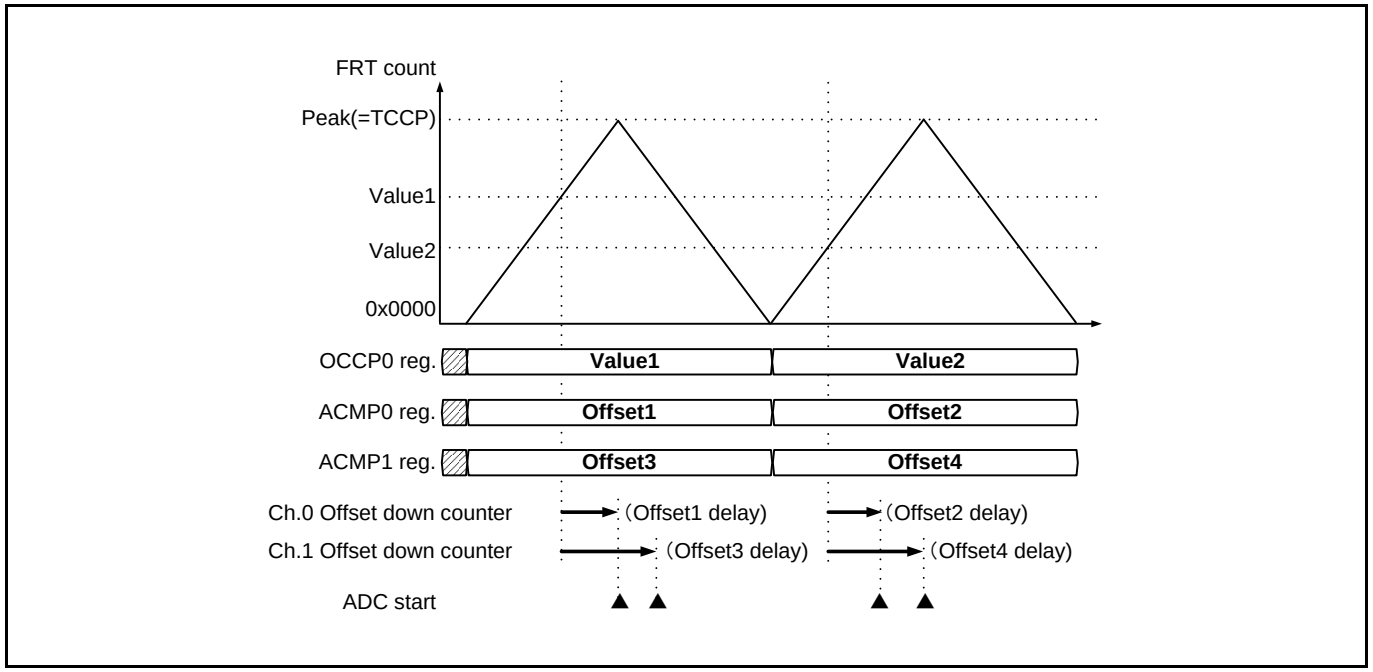
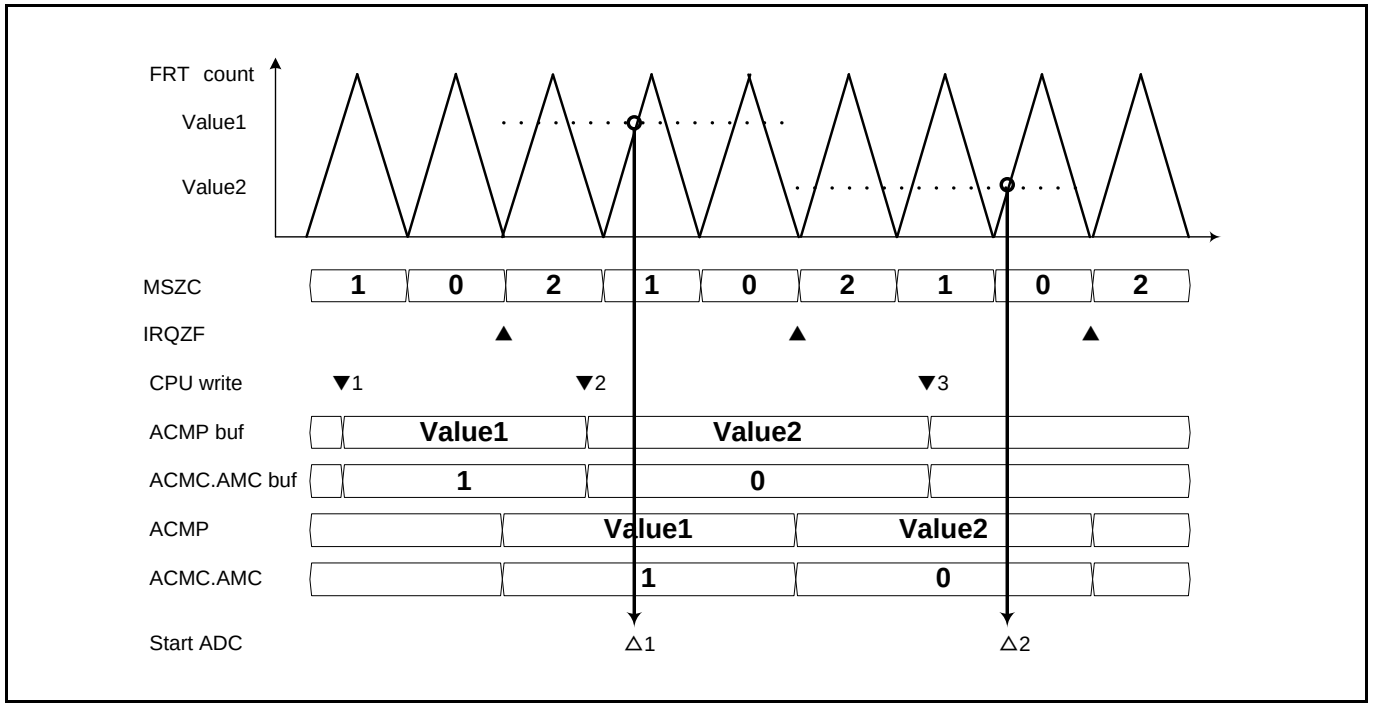


Figure 2-20 に ADCMP の FRT 割込みマスクに連動した ADC 起動例を示します。

Figure 2-20 FRT 割込みマスクカウンタに連動した ADC 起動



2.3 多機能タイマユニットの入出力端子

多機能タイマユニットの入出力端子について説明します。

2.3.1 外部入出力端子との対応

Figure 2-1 に示した入出力信号の内、MFT ユニットの入出力端子と外部入出力端子の対応の一覧を Table 2-1 に示します。本ファミリには、複数ユニットの MFT を搭載している製品があります。このため、Figure 2-1 に示した入出力端子名に、MFT のユニット番号(0, 1, 2)を追加した端子名が、外部端子名です。本章では、Figure 2-1 の端子名にて説明しているため、注意してください。

Table 2-1 MFT ユニットの入出力端子と外部入出力端子の対応表

MFT ユニット端子名 (Figure 2-1 の端子名)	機能	外部端子名		
		MFT-unit0	MFT-unit1	MFT-unit2
FRCK	FRT 外部入力クロック	FRCK0	FRCK1	FRCK2
DTTIX	モータ緊急停止要求入力	DTTI0X	DTTI1X	DTTI2X
RTO0	WFG → PWM 出力 ch.0	RTO00	RTO10	RTO20
RTO1	WFG → PWM 出力 ch.1	RTO01	RTO11	RTO21
RTO2	WFG → PWM 出力 ch.2	RTO02	RTO12	RTO22
RTO3	WFG → PWM 出力 ch.3	RTO03	RTO13	RTO23
RTO4	WFG → PWM 出力 ch.4	RTO04	RTO14	RTO24
RTO5	WFG → PWM 出力 ch.5	RTO05	RTO15	RTO25
IC0	ICU 入力 ch.0	IC00	IC10	IC20
IC1	ICU 入力 ch.1	IC01	IC11	IC21
IC2	ICU 入力 ch.2	IC02	IC12	IC22
IC3	ICU 入力 ch.3	IC03	IC13	IC23

ICU の入力端子は、I/O ポート部のセレクタ機能により、外部端子入力のほかに、以下の LSI 内部信号との切換えができます。

- マルチファンクションシリアルブロックの LYN 機能使用時の SYNC 信号
- 内部 CR 発振器・発振周波数トリミング入力信号

詳細については、『ペリフェラルマニュアル』の『I/O ポート』の章を参照してください。

2.3.2 割込み信号出力

Figure 2-1 に示した入出力信号の内、MFT ユニットから発生する割込み信号の一覧を Table 2-2 に示します。複数の MFT ユニットを搭載している製品の場合、各割込み信号は、搭載している MFT のユニット数分の割込み出力が存在しています。

Table 2-2 MFT ユニットから発生する割込み信号の一覧

生成ブロック	割込み種別
FRT ch.0	Zero 値検出割込み
FRT ch.1	Zero 値検出割込み
FRT ch.2	Zero 値検出割込み
FRT ch.0	ピーク値検出割込み
FRT ch.1	ピーク値検出割込み
FRT ch.2	ピーク値検出割込み
OCU ch.0	一致検出割込み
OCU ch.1	一致検出割込み
OCU ch.2	一致検出割込み
OCU ch.3	一致検出割込み
OCU ch.4	一致検出割込み
OCU ch.5	一致検出割込み
ICU ch.0	入力信号エッジ検出割込み
ICU ch.1	入力信号エッジ検出割込み
ICU ch.2	入力信号エッジ検出割込み
ICU ch.3	入力信号エッジ検出割込み
NZCL	DTIF 割込み(モータ緊急停止割込み)
WFG ch.10	WFG10　リロードタイマ割込み
WFG ch.32	WFG32　リロードタイマ割込み
WFG ch.54	WFG54　リロードタイマ割込み

2.3.3 その他の入出力信号

Figure 2-1 に示した入出力信号の内、その他の信号について、以下に説明します。

PCLK

MFT ユニットで使用する LSI 内部周辺クロック信号です。接続する APB バスのクロック信号を使用します。FRT(内部周辺クロックを選択した場合)および、WFG タイマ, パルスカウンタは、PCLK から分周したカウントクロックにて動作します。

外部 MFT の FRT 入力, FRT 出力

MFT が複数ユニット搭載されている製品の場合、FRT カウンタ出力を、ほかの MFT でも使用できます。この接続構成により 1 つの FRT で、複数の MFT ユニットに分割搭載されている OCU, ICU,ADCMP を連動させられます。
(MFT を 2 ユニット搭載している製品の場合、12 チャネルの PWM 同時出力ができます。3 ユニットを搭載している製品の場合、18 チャネルの PWM 同時出力ができます。)
詳細は「4.8 OCU, ICU, ADCMP の FRT 選択」を参照してください。

GATE 信号・PPG 信号

GATE 信号は、MFT から出力され、PPG に入力される PPG の起動信号です。PPG 信号は、PPG から出力され、MFT に入力されます。これらの信号は、搭載されている MFT ユニットごとに接続する PPG ユニットが異なります。接続詳細は「4.9 WFG に接続する PPG タイマユニット」を参照してください。

AD 変換起動信号

ADCMP からの AD 変換起動信号は、MFT 外部に存在している ADC のそれぞれのスキャン起動信号, 優先起動信号に接続されています。起動したい ADC の起動要因に合わせて、ADCMP の出力先を選択してください。

Table 2-3 AD 変換起動信号の接続先

出力信号名	ADC 接続先
ADC start trigger 0	ADC unit0 スキャン変換起動
ADC start trigger 1	ADC unit0 優先変換起動
ADC start trigger 2	ADC unit1 スキャン変換起動
ADC start trigger 3	ADC unit1 優先変換起動
ADC start trigger 4	ADC unit2 スキャン変換起動
ADC start trigger 5	ADC unit2 優先変換起動
ADC start trigger 6	未接続
ADC start trigger 7	未接続

複数の MFT ユニットを搭載している製品の場合、ADC ユニットごとに起動信号が論理 OR されて、各 ADC ユニットで使用されます。詳細は『アナログマクロ編』の『A/D コンバータ』の章を参照してください。

2.4 製品 TYPE による機能差異について

多機能タイマユニットの機能のうち、特定の機能は、搭載されている製品 TYPE によって、機能・動作が異なる場合があります。Table 2-4 に、製品 TYPE 別の機能差異の一覧を示します。詳細は、各章を参照してください。

Table 2-4 製品 TYPE による機能差異

機能	参照	該当制御レジスタ	TYPE1-M0+	TYPE2-M0+以降
オフセット付 FRT カウントモード動作	3.3.3 4.1.2	TCSD.OFMD1 TCSD.OFMD2	機能なし	機能あり
OCU/ADCMP/ICU 接続 FRT 選択範囲	3.3.7 3.3.20 3.3.24 4.8	OCFS.FSO0 OCFS.FSO1 ICFS.FSI0 ICFS.FSI1 ACFS.FSA0 ACFS.FSA1	選択可能範囲の拡張なし	選択可能範囲を拡張
OCU のバッファ転送 FRT マスクカウンタ連動	3.3.11 3.3.12 4.2.4	OCSD.OPBM0 OCSD.OPBM1 OCSD.OEBM0 OCSD.OEBM1	機能なし	機能あり
OCU の比較条件拡張	3.3.12	OCSD.OFEX0 OCSD.OFEX1	機能なし	機能あり
WFG RT デッドタイマ・フィルタモード動作、PPG デッドタイマ・フィルタモード動作	3.3.15 4.4.11	WFSA.TMD	TYPE1-M0+と TYPE2-M0+以降の動作は同じ	
DTTIX ディジタルノイズフィルタ・キャンセル幅	3.3.18	NZCL.NWS	選択可能範囲の拡張なし	選択可能範囲を拡張
DTIF アサート時の RTO 保持機能	3.3.18	NZCL.DHOLD	機能なし	機能あり
クロックレス DTIF 機能	3.3.18	NZCL.DTIEB NZCL.DIMB WFIR.DTIFB WFIR.DTICB	機能なし	機能あり
ADCMP のバッファ転送 FRT マスクカウンタ連動	3.3.26 4.6.4	ACSC.APBM	機能なし	機能あり
ADCMP の ADC 起動 FRT マスクカウンタ連動	3.3.29 4.6.5	ACMC.MZCE ACMC.MPCE ACMC.AMC	機能なし	機能あり

3. 多機能タイマのレジスタ

多機能タイマのレジスタについて説明します。

3.1. 機能説明時のチャネル番号の個別表記,共通表記について
3.2. 多機能タイマのレジスタ一覧
3.3. レジスタ機能詳細

3.1 機能説明時のチャネル番号の個別表記,共通表記について

本章の機能説明におけるチャネル番号の個別表記, 共通表記について説明します。

多機能タイマユニットは、同機能ブロックを複数個搭載し、複数チャネル回路を構成しているため、各チャネルで共通となる事項があります。チャネルの区別をする必要がなく、各チャネルにて共通の機能の説明を行う場合には、チャネル番号を省略した表記, および( )付きの表記(共通表記)を用いています。これにより説明の重複を避けて、説明の簡素化を行っています。各チャネルの動作説明, 入出力信号, 制御レジスタを区別して説明する必要がある場合には、チャネル番号を明記した表記(個別表記)を用いて説明を行っています。以下にその表記ルールと表記例について説明します。

- チャネル番号が、直接表記されている場合は、個別表記であることを示しています。
  この表記の場合、該当チャネルの動作説明, 入出力信号, 制御レジスタの説明を行っていることを示しています。
- 制御レジスタは、2 個のチャネルを同時に制御するものが存在しています。この場合、該当チャネル番号を 2 つ併記して、区別する個別表記を行っています。
- チャネル番号が、省略されて表記されている場合は、共通表記であることを示しています。
  この表記の場合、すべてのチャネルにて共通となる動作説明, 入出力信号説明, 制御レジスタ説明であり、重複説明を省いていることを示しています。
- チャネル番号が､( )付き数字で表記されている場合､一部のチャネルで共通表記であることを示しています。
  搭載されているチャネルの中で、偶数チャネルと奇数チャネルを区別する必要がある場合に、(0), (1)の表記を用いています。この場合、(0)は、偶数チャネルに共通の機能、(1)は、奇数チャネルに共通の機能の説明を行っていることを示しています。

例 1)　MFT ユニット 0 の ICU-ch.3 は、内部 CR 発振器のキャリブレーション入力を選択できます。

例 1 は、個別表記の例で、MFT ユニット 0 の ICU-ch.3 のみが内部 CR 発振器のキャリブレーション入力を選択できることを示しています。この表記の場合、MFT ユニット 0 の ICU の ch.0～ch.2 および他の MFT ユニットの ICU ch.0～ch.3 は、内部 CR 発振器のキャリブレーション入力が選択できることは示しません。

例 2)　ICFS10 レジスタは、ICU-ch.1 と ICU-ch.0 に接続する FRT を選択するレジスタです。

例 3)　ICFS32 レジスタは、ICU-ch.3 と ICU-ch.2 に接続する FRT を選択するレジスタです。

例 2～3 は、制御レジスタ(ICFS)に、2 個のチャネル番号(10 と 32)を併記して個別表記を行っている例です。

例 4)　ICFS レジスタは、ICU に接続する FRT を選択するレジスタです。

例 4 は、制御レジスタ(ICFS)のチャネル番号を省略して共通表記を行っている例です。記載内容が説明している意味は、例 2～3 と同じで、共通表記により、重複説明を省略しています。

例 5)　ICFS10.FSI0[3:0]は、ICU-ch.0 に接続する FRT を選択するレジスタです。

例 6)　ICFS10.FSI1[3:0]は、ICU-ch.1 に接続する FRT を選択するレジスタです。

例 7)　ICFS32.FSI0[3:0]は、ICU-ch.2 に接続する FRT を選択するレジスタです。

例 8)　ICFS32.FSI1[3:0]は、ICU-ch.3 に接続する FRT を選択するレジスタです。

例 5～8 は、制御レジスタ(ICFS)に、2 個のチャネル番号を併記して、制御レジスタ内の制御レジスタ・ビットとチャネルの対応を明確に個別表記した例です。

例 9)　ICFS.FSI0[3:0]は、ICU-ch.(0)に接続する FRT を選択するレジスタです。

例 10)　　ICFS.FSI1[3:0]は、ICU-ch.(1)に接続する FRT を選択するレジスタです。

例 9～10 は、制御レジスタのチャネル番号の省略と、( )付きの共通表記を行っている例です。記載内容が説明している意味は、例 5～8 と同じで、共通表記により、説明の重複を省略しています。上記のように、各機能ブロックの説明において、共通表記が用いられている場合、該当するチャネルの個別表記に読み替える必要があります。Table 3-1～Table 3-3 に、個別表記と共通表記の対応表を示します。レジスタ名に関する個別表記と共通表記の対応については、レジスタ一覧表を参照してください。

Table 3-1 OCU・ADCMP の個別表記と共通表記

チャネル番号		5	4	3	2	1	0
OCU・ADCMP チャネル番号	個別表記	ch.5	ch.4	ch.3	ch.2	ch.1	ch.0
	共通表記	ch.(1)	ch.(0)	ch.(1)	ch.(0)	ch.(1)	ch.(0)
OCCP レジスタ名	個別表記	OCCP5	OCCP4	OCCP3	OCCP2	OCCP1	OCCP0
	共通表記	OCCP(1)	OCCP(0)	OCCP(1)	OCCP(0)	OCCP(1)	OCCP(0)
OCU 出力信号名	個別表記	RT5	RT4	RT3	RT2	RT1	RT0
	共通表記	RT(1)	RT(0)	RT(1)	RT(0)	RT(1)	RT(0)
ACMP レジスタ名	個別表記	ACMP5	ACMP4	ACMP3	ACMP2	ACMP1	ACMP0
	共通表記	ACMP(1)	ACMP(0)	ACMP(1)	ACMP(0)	ACMP(1)	ACMP(0)

Table 3-2 WFG の個別表記と共通表記

チャネル番号		54		32		10	
WFG のチャネル番号	個別表記	ch.54		ch.32		ch.10	
	共通表記	表記なし					
WFG 入力信号名	個別表記	RT5	RT4	RT3	RT2	RT1	RT0
	共通表記	RT(1)	RT(0)	RT(1)	RT(0)	RT(1)	RT(0)
WFG 出力信号名	個別表記	RTO5	RTO4	RTO3	RTO2	RTO1	RTO0
	共通表記	RTO(1)	RTO(0)	RTO(1)	RTO(0)	RTO(1)	RTO(0)
PPG 入力信号名	個別表記	CH10_PPG		CH32_PPG		CH54_PPG	
	共通表記	CH_PPG					
GATE 出力信号名	信号名	CH10_GATE		CH32_GATE		CH54_GATE	
	共通表記	CH_GATE					

Table 3-3 ICU の個別表記と共通表記

チャネル番号		3	2	1	0
ICU のチャネル番号	個別表記	ch.3	ch.2	ch.1	ch.0
	共通表記	ch.(1)	ch.(0)	ch.(1)	ch.(0)
ICU の入力信号名	個別表記	IC3	IC2	IC1	IC0
	共通表記	IC(1)	IC(0)	IC(1)	IC(0)
ICCP レジスタ名	個別表記	ICCP3	ICCP2	ICCP1	ICCP0
	共通表記	ICCP(1)	ICCP(0)	ICCP(1)	ICCP(0)

3.2 多機能タイマのレジスター覧

多機能タイマユニットに存在するレジスタの一覧を示します。

多機能タイマユニットに存在するレジスタの一覧を Table 3-4 に示します。

多機能タイマユニットの制御レジスタは搭載チャネルごとに同じ構成のものが存在します。本節では、機能が同じレジスタは、共通表記を用いて動作説明をしています。レジスター覧表に、各レジスタの個別表記名と共通表記名を記載しています。該当するチャネルの個別表記に読み替えてください。

レジスター覧表に記載のレジスタは、多機能タイマの 1 つのユニットに存在するレジスタを示します。複数の多機能タイマユニットが搭載されている製品の場合、多機能タイマユニット数分、同様のレジスタが搭載されています。TCAL(FRT 同時起動制御レジスタ)のみは、MFT の搭載ユニット数に関係なく Unit0 に 1 つのみが存在します。

Table 3-4 多機能タイマユニットのレジスター覧表

ブロック名	レジスタ名 (個別表記)	レジスタ機能	レジスタ名 (共通表記)	参照先
FRT	TCSA0	FRT ch.0 制御レジスタ A	TCSA	3.3.1
	TCSA1	FRT ch.1 制御レジスタ A		
	TCSA2	FRT ch.2 制御レジスタ A		
	TCSC0	FRT ch.0 制御レジスタ C	TCSC	3.3.2
	TCSC1	FRT ch.1 制御レジスタ C		
	TCSC2	FRT ch.2 制御レジスタ C		
	TCSD	FRT ch.1,ch.2 制御レジスタ D	TCSD	3.3.3
	TCCP0	FRT ch.0 周期設定レジスタ	TCCP	3.3.4
	TCCP1	FRT ch.1 周期設定レジスタ		
	TCCP2	FRT ch.2 周期設定レジスタ		
	TCDT0	FRT ch.0 カウント値レジスタ	TCDT	3.3.5
	TCDT1	FRT ch.1 カウント値レジスタ		
	TCDT2	FRT ch.2 カウント値レジスタ		
	TCAL	FRT 同時起動制御レジスタ	TCAL	3.3.6
OCU	OCFS10	OCU ch.1, ch.0 接続 FRT 選択レジスタ	OCFS	3.3.7
	OCFS32	OCU ch.3, ch.2 接続 FRT 選択レジスタ		
	OCFS54	OCU ch.5, ch.4 接続 FRT 選択レジスタ		
	OCSA10	OCU ch.1, ch.0 制御レジスタ A	OCSA	3.3.8
	OCSA32	OCU ch.3, ch.2 制御レジスタ A		
	OCSA54	OCU ch.5, ch.4 制御レジスタ A		
	OCSB10	OCU ch.1, ch.0 制御レジスタ B	OCSB	3.3.9
	OCSB32	OCU ch.3, ch.2 制御レジスタ B		
	OCSB54	OCU ch.5, ch.4 制御レジスタ B		
	OCSC	OCU ch.5～ch.0 制御レジスタ C	OCSC	3.3.10
	OCSD10	OCU ch.1, ch.0 制御レジスタ D	OCSD	3.3.11 3.3.12
	OCSD32	OCU ch.3, ch.2 制御レジスタ D		
	OCSD54	OCU ch.5, ch.4 制御レジスタ D		

ブロック名	レジスタ名 (個別表記)	レジスタ機能	レジスタ名 (共通表記)		参照先
OCU	OCSE0	OCU ch.0 制御レジスタ E	OCSE	OCSE(0)	3.3.13
	OCSE1	OCU ch.1 制御レジスタ E		OCSE(1)	
	OCSE2	OCU ch.2 制御レジスタ E		OCSE(0)	
	OCSE3	OCU ch.3 制御レジスタ E		OCSE(1)	
	OCSE4	OCU ch.4 制御レジスタ E		OCSE(0)	
	OCSE5	OCU ch.5 制御レジスタ E		OCSE(1)	
	OCCP0	OCU ch.0 コンペア値格納レジスタ	OCCP	OCCP(0)	3.3.14
	OCCP1	OCU ch.1 コンペア値格納レジスタ		OCCP(1)	
	OCCP2	OCU ch.2 コンペア値格納レジスタ		OCCP(0)	
	OCCP3	OCU ch.3 コンペア値格納レジスタ		OCCP(1)	
	OCCP4	OCU ch.4 コンペア値格納レジスタ		OCCP(0)	
	OCCP5	OCU ch.5 コンペア値格納レジスタ		OCCP(1)	
WFG	WFSA10	WFG ch.10 制御レジスタ A	WFSA		3.3.15
	WFSA32	WFG ch.32 制御レジスタ A			
	WFSA54	WFG ch.54 制御レジスタ A			
	WFTA10	WFG ch.10 タイマ値レジスタ A	WFTA		3.3.16
	WFTA32	WFG ch.32 タイマ値レジスタ A			
	WFTA54	WFG ch.54 タイマ値レジスタ A			
	WFTB10	WFG ch.10 タイマ値レジスタ B	WFTB		3.3.16
	WFTB32	WFG ch.32 タイマ値レジスタ B			
	WFTB54	WFG ch.54 タイマ値レジスタ B			
	WFTF10	WFG ch.10 タイマ値レジスタ F	WFTF		3.3.17
	WFTF32	WFG ch.32 タイマ値レジスタ F			
	WFTF54	WFG ch.54 タイマ値レジスタ F			
NZCL	NZCL	NZCL 制御レジスタ	NZCL		3.3.18
	WFIR	WFG 割込み制御レジスタ	WFIR		3.3.19
ICU	ICFS10	ICU ch.1, ch.0 接続 FRT 選択レジスタ	ICFS		3.3.20
	ICFS32	ICU ch.3, ch.2 接続 FRT 選択レジスタ			
	ICSA10	ICU ch.1, ch.0 制御レジスタ A	ICSA		3.3.21
	ICSA32	ICU ch.3, ch.2 制御レジスタ A			
	ICSB10	ICU ch.1, ch.0 制御レジスタ B	ICSB		3.3.22
	ICSB32	ICU ch.3, ch.2 制御レジスタ B			
	ICCP0	ICU ch.0 キャプチャ値格納レジスタ	ICCP	ICCP(0)	3.3.23
	ICCP1	ICU ch.1 キャプチャ値格納レジスタ		ICCP(1)	
	ICCP2	ICU ch.2 キャプチャ値格納レジスタ		ICCP(0)	
	ICCP3	ICU ch.3 キャプチャ値格納レジスタ		ICCP(1)	

ブロック名	レジスタ名 (個別表記)	レジスタ機能	レジスタ名 (共通表記)		参照先
ADCMP	ACFS10	ADCMP ch.1, ch.0 接続 FRT 選択レジスタ	ACFS		3.3.24
	ACFS32	ADCMP ch.3, ch.2 接続 FRT 選択レジスタ			
	ACFS54	ADCMP ch.5, ch.4 接続 FRT 選択レジスタ			
	ACSA	ADCMP ch.5～ch.0 制御レジスタ A	ACSA		3.3.25
	ACSC0	ADCMP ch.0 制御レジスタ C	ACSC		3.3.26
	ACSC1	ADCMP ch.1 制御レジスタ C			
	ACSC2	ADCMP ch.2 制御レジスタ C			
	ACSC3	ADCMP ch.3 制御レジスタ C			
	ACSC4	ADCMP ch.4 制御レジスタ C			
	ACSC5	ADCMP ch.5 制御レジスタ C			
	ACSD0	ADCMP ch.0 制御レジスタ D	ACSD		3.3.27
	ACSD1	ADCMP ch.1 制御レジスタ D			
	ACSD2	ADCMP ch.2 制御レジスタ D			
	ACSD3	ADCMP ch.3 制御レジスタ D			
	ACSD4	ADCMP ch.4 制御レジスタ D			
	ACSD5	ADCMP ch.5 制御レジスタ D			
	ACMP0	ADCMP ch.0 コンペア値格納レジスタ	ACMP	ACMP(0)	3.3.28
	ACMP1	ADCMP ch.1 コンペア値格納レジスタ		ACMP(1)	
	ACMP2	ADCMP ch.2 コンペア値格納レジスタ		ACMP(0)	
	ACMP3	ADCMP ch.3 コンペア値格納レジスタ		ACMP(1)	
	ACMP4	ADCMP ch.4 コンペア値格納レジスタ		ACMP(0)	
	ACMP5	ADCMP ch.5 コンペア値格納レジスタ		ACMP(1)	
	ACMC0	ADCMP ch.0 マスクコンペア値格納レジスタ	ACMC		3.3.29
	ACMC1	ADCMP ch.1 マスクコンペア値格納レジスタ			
	ACMC2	ADCMP ch.2 マスクコンペア値格納レジスタ			
	ACMC3	ADCMP ch.3 マスクコンペア値格納レジスタ			
	ACMC4	ADCMP ch.4 マスクコンペア値格納レジスタ			
	ACMC5	ADCMP ch.5 マスクコンペア値格納レジスタ			

3.3 レジスタ機能詳細

多機能タイマユニットに存在するレジスタの詳細を説明します。

3.3.1. FRT 制御レジスタ A (TCSA)
3.3.2. FRT 制御レジスタ C (TCSC)
3.3.3. FRT 制御レジスタ D (TCSD) （TYPE2-M0+以降製品）
3.3.4. FRT 周期設定レジスタ (TCCP)
3.3.5. FRT カウント値レジスタ (TCDT)
3.3.6. FRT 同時起動制御レジスタ (TCAL)
3.3.7. OCU 接続 FRT 選択レジスタ (OCFS)
3.3.8. OCU 制御レジスタ A (OCSA)
3.3.9. OCU 制御レジスタ B (OCSB)
3.3.10. OCU 制御レジスタ C (OCSC)
3.3.11. OCU 制御レジスタ D (OCSD) (TYPE1-M0+製品)
3.3.12. OCU 制御レジスタ D (OCSD) (TYPE2-M0+以降製品)
3.3.13. OCU 制御レジスタ E (OCSE)
3.3.14. OCU コンペア値格納レジスタ (OCCP)
3.3.15. WFG 制御レジスタ A (WFSA)
3.3.16. WFG タイマ値レジスタ (WFTA,WFTB)
3.3.17. パルスカウンタ値レジスタ (WFTF)
3.3.18. NZCL 制御レジスタ (NZCL)
3.3.19. WFG 割込み制御レジスタ (WFIR)
3.3.20. ICU 接続 FRT 選択レジスタ (ICFS)
3.3.21. ICU 制御レジスタ A (ICSA)
3.3.22. ICU 制御レジスタ B (ICSB)
3.3.23. ICU キャプチャ値格納レジスタ (ICCP)
3.3.24. ADCMP 接続 FRT 選択レジスタ (ACFS)
3.3.25. ADCMP 制御レジスタ A (ACSA)
3.3.26. ADCMP 制御レジスタ C (ACSC)
3.3.27. ADCMP 制御レジスタ D (ACSD)
3.3.28. ADCMP コンペア値格納レジスタ (ACMP)
3.3.29. ADCMP マスクコンペア値格納レジスタ (ACMC)

3.3.1 FRT 制御レジスタ A (TCSA)

TCSA は、FRT の制御を行う 16 ビットレジスタです。
搭載チャネルごとに TCSA0, TCSA1, TCSA2 の 3 つのレジスタがあります。
TCSA0 は、FRT ch.0 を制御します。
TCSA1 は、FRT ch.1 を制御します。
TCSA2 は、FRT ch.2 を制御します。

TCSD.OFMD1=1 の設定により、FRT-ch.1 に対し、オフセット付カウントモードを指定している場合、TCSA1 レジスタは使用しません。TCSA0 レジスタにより、ch.0 と ch.1 を同時に制御します。

TCSD.OFMD2=1 の設定により、FRT-ch.2 に対し、オフセット付カウントモードを指定している場合、TCSA2 レジスタは使用しません。TCSA0 レジスタにより、ch.0 と ch.2 を同時に制御します。

レジスタ構成

Bit	15	14	13	12	11	10	9	8
Field	ECKE	IRQZF	IRQZE	予約			ICLR	ICRE
属性	R/W	R/W	R/W	-			R/W	R/W
初期値	0	0	0	000			0	0

Bit	7	6	5	4	3	2	1	0
Field	BFE	STOP	MODE	SCLR	CLK[3:0]			
属性	R/W	R/W	R/W	W	R/W			
初期値	0	1	0	0	0000			

レジスタ機能

[bit3:0] CLK[3:0]

本ビットは､FRT のカウンタ(16 ビットアップダウンカウンタ)のカウントクロック周期を設定するビットです。
本ビットの設定変更は、FRT 停止中に行ってください。

処理	値	機能
書込み	0000	FRT のカウントクロック周期を PCLK と同じにします。
	0001	FRT のカウントクロック周期を PCLK の 2 倍にします。
	0010	FRT のカウントクロック周期を PCLK の 4 倍にします。
	0011	FRT のカウントクロック周期を PCLK の 8 倍にします。
	0100	FRT のカウントクロック周期を PCLK の 16 倍にします。
	0101	FRT のカウントクロック周期を PCLK の 32 倍にします。
	0110	FRT のカウントクロック周期を PCLK の 64 倍にします。
	0111	FRT のカウントクロック周期を PCLK の 128 倍にします。
	1000	FRT のカウントクロック周期を PCLK の 256 倍にします。
	1001	FRT のカウントクロック周期を PCLK の 512 倍にします。
	1010	FRT のカウントクロック周期を PCLK の 1024 倍にします。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

FRT カウントクロックは、PCLK をプリスケーラにより分周したものを使用するか、外部クロック入力を使用するかを選択できます。本ビットの設定は、プリスケーラの設定のため、外部クロック入力が選択されているときは無意味な値です。PCLK の周期と、本ビットで設定されたクロック分周比により、FRT のカウントクロック周期が決定されます。表に CLK[3:0]設定値と FRT カウントクロック周期の例を示します。

CLK[3:0]	周期比	FRT カウントクロック周期		
		PCLK=25 ns (40 MHz)	PCLK=12.5 ns (80 MHz)	PCLK=6.25 ns (160 MHz)
0000	1	25 ns	12.5 ns	6.25 ns
0001	2	50 ns	25 ns	12.5 ns
0010	4	100 ns	50 ns	25 ns
0011	8	200 ns	100 ns	50 ns
0100	16	400 ns	200 ns	100 ns
0101	32	800 ns	400 ns	200 ns
0110	64	1.6 µs	800 ns	400 ns
0111	128	3.2 µs	1.6 µs	800 ns
1000	256	6.4 µs	3.2 µs	1.6 µs
1001	512	12.8 µs	6.4 µs	3.2 µs
1010	1024	25.6 µs	12.8 µs	6.4 µs

[bit4] SCLR

本ビットは、FRT の動作状態初期化の要求を行うビットです。
本ビットの使用方法については、「[bit6] STOP」を参照してください。

処理	値	機能
書込み	0	動作に影響しません。
	1	FRT の動作状態初期化要求を発行します。
読出し	-	常に 0 が読み出されます。

[bit5] MODE

本ビットは、FRT のカウントモードを選択するビットです。TCSD.OFMD1/2 レジスタとの組み合わせにより、FRT のカウントモードを選択します。Table 4-2, Table 4-3, Table 4-4 を参照してください。
本ビットの設定変更は、FRT 停止中に行ってください。

処理	値	機能
書込み	0	ノーマル・アップカウントモード/オフセット付アップカウントモードを設定します。
	1	ノーマル・アップダウンカウントモード/オフセット付アップダウンカウントモードを設定します。
読出し	-	設定値を読み出します。

[bit6] STOP

本ビットは、FRT の動作開始・動作停止を制御するビットです。

処理	値	機能
書込み	0	FRT を動作状態にします。
	1	FRT を停止状態にします。
読出し	-	設定値を読み出します。

本ビットは、SCLR ビットと組み合わせて以下のように使用します。

■ FRT カウンタが停止している時 (現在の STOP の値が 1 の場合)

- STOP=0, SCLR=0 を書き込むと、現在の TCDT 値から、FRT カウント動作を開始します。
- STOP=0, SCLR=1 を書き込むと、TCDT 値をクリアし、TCDT=0x0000 からカウントを開始します。また、割込みマスクカウンタに初期値をロードします。
- STOP=1, SCLR=0 を書き込むと、現在の FRT 停止状態を継続し、何も行いません。

- STOP=1, SCLR=1 を書き込むと、FRT 停止状態のまま、TCDT をクリアします。割込みマスクカウンタに初期値をロードします。FRT が 0x0000 をカウント(0x0000 から 0x0001 に変化)するのは、次回 FRT を動作状態にした時です。

■ FRT カウンタが動作している時 (現在の STOP の値が 0 の場合)

- STOP=0, SCLR=0 を書き込むと、現在の FRT 動作状態を継続し、何も行いません。
- STOP=0, SCLR=1 を書き込むと、TCDT 値をクリアし、TCDT=0x0000 からカウント動作を継続します。また、割込みマスクカウンタに初期値をロードします。
- STOP=1, SCLR=0 を書き込むと、現在の FRT カウント状態のままカウント停止します。
- STOP=1, SCLR=1 を書き込むと、FRT を停止し、TCDT をクリアします。割込みマスクカウンタに初期値をロードします。FRT が 0x0000 をカウント(0x0000 から 0x0001 に変化)するのは、次回 FRT を動作状態にした時です。

FRT カウント動作中(STOP=0)に、TCSA レジスタの他のレジスタ値の書換えを行う場合は、STOP=0, SCLR=0 を書き込んでください。FRT カウント停止中(STOP=1)に、TCSA レジスタの他のレジスタ値の書換えを行う場合には、STOP=1, SCLR=0 を書き込んでください。

Figure 3-1,

Figure 3-2 に STOP と SCLR の書込み値と、FRT のカウント動作例を示します。

Figure 3-1 FRT のカウント開始，クリア，停止(ノーマル・アップカウントモード)

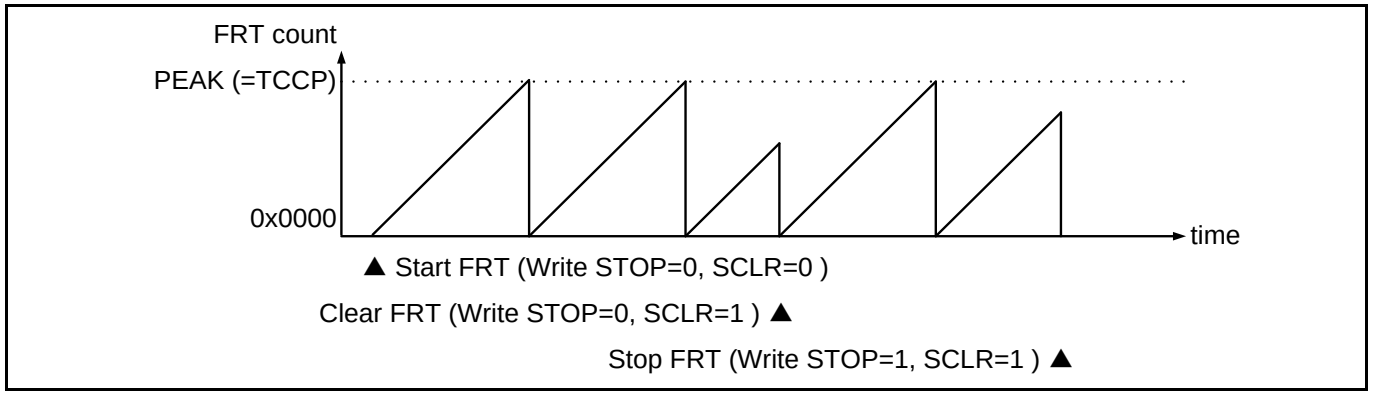
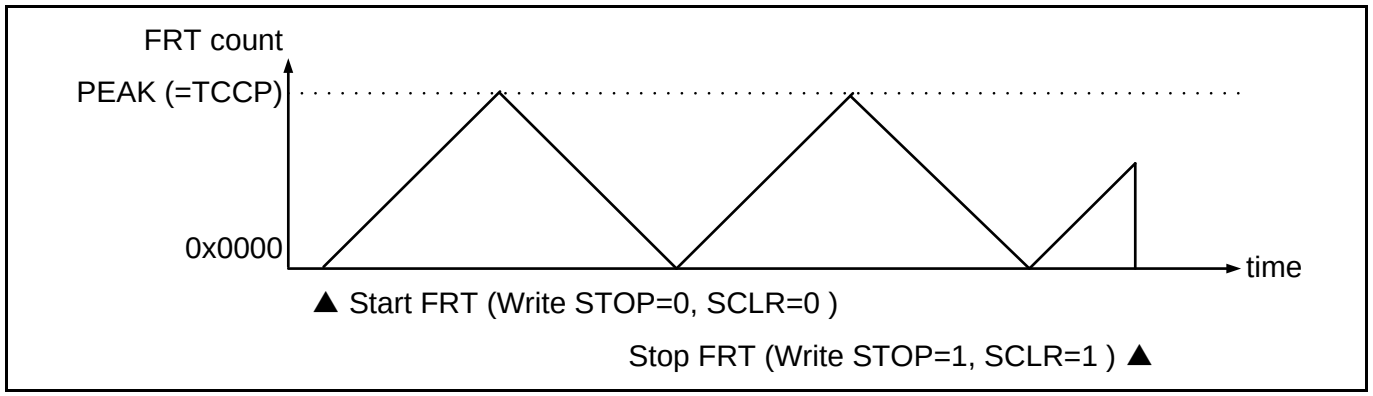


Figure 3-2 FRT のカウント開始，停止(ノーマル・アップダウンカウントモード)



[bit7] BFE

本ビットは、TCCP レジスタのバッファ機能の有効・無効を選択するビットです。

「3.3.4 FRT 周期設定レジスタ (TCCP)」を参照してください。

処理	値	機能
書込み	0	TCCP のバッファ機能を無効にします。
	1	TCCP のバッファ機能を有効にします。
読出し	-	設定値を読み出します。

[bit8] ICRE

本ビットは、ICLR ビットがセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するレジスタです。

「4.10 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

処理	値	機能
書込み	0	ICLR に"1"がセットされた場合、割込みを発生しません。
	1	ICLR に"1"がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

[bit9] ICLR

本ビットは、FRT カウンタ値(TCDT)が、TCCP 値から 0x0000 (または TCCP-1)にカウント動作する場合に、"1"がセットされるイベント検出ビットです。

処理	値	機能
書込み	0	0 にクリアします。
	1	動作に影響しません。
読出し	0	FRT のカウント値と TCCP 値の一致が検出されていない状態を示します。
	1	FRT のカウント値と TCCP 値の一致が検出済である状態を示します。
RMW アクセス時の読出し		常に 1 が読み出されます。

本ビットを読み出すことにより、FRT のカウント値が TCCP 値に到達したか否かを判断できます。本ビットは、0 を書込むことにより、クリアできます。TCSA レジスタの他のレジスタ値を書き換える際には、本ビットは必ず 1 を書き込んでください。「4.10 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

バスリセットまたは SCLR=1 書込みにより、FRT の初期化を行った場合、最初の FRT カウント動作では、本ビットはセットされません。

TCSC レジスタの割込みマスク機能を使用している場合、ICLR ビットのセットは、マスクカウンタの値に従いマスクされます。

[bit12:10] 予約 : 予約ビット

書込み時は 0 を書き込んでください。読出し値は 0 が読み出されます。

[bit13] IRQZE

本ビットは、IRQZF ビットがセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するビットです。

「4.10 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

処理	値	機能
書込み	0	IRQZF に 1 がセットされた場合、割込みを発生しません。
	1	IRQZF に 1 がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

[bit14] IRQZF

本ビットは、FRT カウンタ値(TCDT)が、0x0000 から 0x0001 にカウント動作する場合に、1 がセットされるイベント検出ビットです。

処理	値	機能
書込み	0	0 にクリアします。
	1	動作に影響しません。
読出し	0	FRT のカウント値と 0x0000 値の一致が検出されていない状態を示します。
	1	FRT のカウント値と 0x0000 値の一致が検出済である状態を示します。
RMW アクセス時の読出し		常に 1 が読み出されます。

本ビットを読み出すことにより、FRT のカウント値が 0x0000 値に到達したか否かを判断できます。本ビットは、0 を書き込むことにより、クリアできます。TCSA レジスタの他のレジスタ値を書き換える際には、本ビットは必ず 1 を書き込んでください。「4.10 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

バスリセットまたは SCLR=1 書込みにより、FRT の初期化を行った場合、最初の FRT カウント動作では、本ビットはセットされません。

TCSC レジスタの割込みマスク機能を使用している場合、IRQZF ビットのセットは、マスクカウンタの値に従いマスクされます。

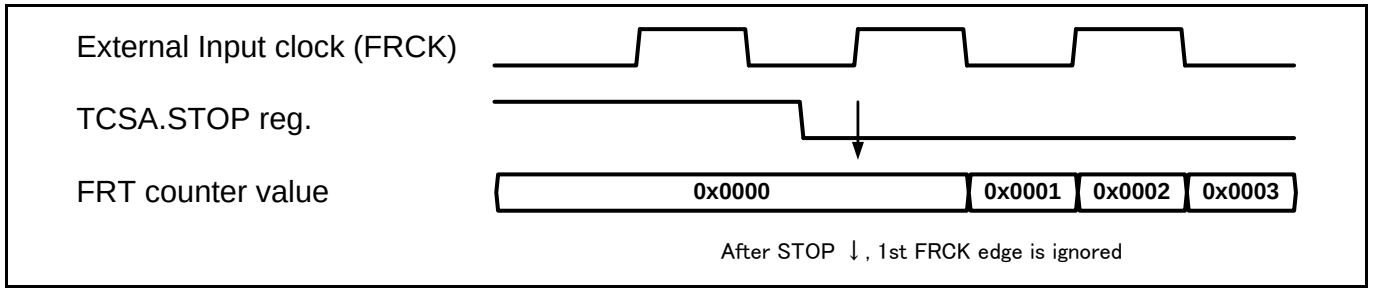
[bit15] ECKE

本ビットは、FRT のカウントクロックとして使用するクロック信号を選択するビットです。
本ビットの設定変更は、FRT 停止中に行ってください。

処理	値	機能
書込み	0	FRT のカウントクロックとして内部クロック(PCLK)を使用します。
	1	FRT のカウントクロックとして外部入力クロック(FRCK)を使用します。
読出し	-	設定値を読み出します。

外部入力クロックを選択する場合、あらかじめ I/O ポート部にて使用する FRCK 端子を決定しておく必要があります。外部入力クロック信号の立上りエッジ，立下りエッジの両方で、FRT のカウント動作が行われます。外部入力クロックで動作させる場合、FRT 動作開始(STOP に 0 書込み時)後、最初の外部入力クロックのエッジは、立上りエッジ，立下りエッジのいずれであっても無視され、その次のエッジからカウント動作が開始されます。

Figure 3-3 外部入力クロックの選択



3.3.2 FRT 制御レジスタ C (TCSC)

TCSC は、FRT の制御を行う 16 ビットレジスタです。
搭載チャネルごとに TCSC0, TCSC1, TCSC2 の 3 つのレジスタがあります。
TCSC0 は、FRT ch.0 を制御します。
TCSC1 は、FRT ch.1 を制御します。
TCSC2 は、FRT ch.2 を制御します。

TCSD.OFMD1=1 の設定により、FRT-ch.1 に対し、オフセット付カウントモードを指定している場合、TCSC1 レジスタは使用しません。TCSC0 レジスタにより、ch.0 から割り込みを発生させます。

TCSD.OFMD2=1 の設定により、FRT-ch.2 に対し、オフセット付カウントモードを指定している場合、TCSC2 レジスタは使用しません。TCSC0 レジスタにより、ch.0 から割り込みを発生させます。

レジスタ構成

Bit	31	30	29	28	27	26	25	24
Field	MSPC[3:0]				MSZC[3:0]			
属性	R				R			
初期値	0000				0000			

Bit	23	22	21	20	19	18	17	16
Field	MSPI[3:0]				MSZI[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

レジスタ機能

[bit19:16] MSZI

本ビットは、Zero 値検出マスクカウンタの初期値指定により、Zero 値検出マスク回数を設定します。

処理	機能
書込み	Zero 値検出マスク回数を設定します。
読出し	レジスタ設定値を読み出します。

[bit23:20] MSPI

本ビットは、Peak 値検出マスクカウンタの初期値指定により、Peak 値検出マスク回数を設定します。

処理	機能
書込み	Peak 値検出マスク回数を設定します。
読出し	設定値を読み出します。

[bit27:24] MSZC

本ビットは、Zero 値検出マスクカウンタの現在の値を読み出します。

処理	機能
書込み	動作に影響を与えません。
読出し	Zero 値検出マスクカウンタの現在のカウンタ値を読み出します。

[bit31:28] MSPC

本ビットは、Peak 値検出マスクカウンタの現在の値を読み出します。

処理	機能
書込み	動作に影響を与えません。
読出し	Peak 値検出マスクカウンタの現在のカウンタ値を読み出します。

「4.1.4.2 割込みマスクカウンタ動作」を参照してください。

3.3.3 FRT 制御レジスタ D (TCSD) （TYPE2-M0+以降製品）

TCSD は、FRT の制御を行う 8 ビットレジスタです。
本レジスタは、FRT の ch.1 と ch.2 の制御を行います。

<注意事項>

- *TCSD レジスタは、TYPE2-M0+以降の製品にのみ存在します。*
- *TYPE1-M0+製品には、TCSD レジスタは存在しません。*
- *FRT のオフセット付カウントモード動作は TYPE2-M0+以降の製品のみが可能です。*

レジスタ構成

Bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	予約	予約	OFMD2	OFMD1
属性	-	-	-	-	-	-	R/W	R/W
初期値	-	-	-	-	-	-	0	0

レジスタ機能

[bit0] OFMD1
本ビットは、FRT ch.1 に対し、オフセット付カウントモードを選択するレジスタです。

Table 4-3 を参照してください。本ビットの設定変更は、FRT ch.0 および FRT ch.1 を停止状態に移行した後に行ってください。

処理	値	機能
書込み	0	FRT ch.1 のカウント動作をノーマル・カウントモードにします。
	1	FRT ch.1 のカウント動作をオフセット付カウントモードにします。
読出し	-	設定値を読み出します。

[bit1] OFMD2
本ビットは、FRT ch.2 に対し、オフセット付カウントモードを選択するレジスタです。

Table 4-4 を参照してください。本ビットの設定変更は、FRT ch.0 および FRT ch.2 を停止状態に移行した後に行ってください。

処理	値	機能
書込み	0	FRT ch.2 のカウント動作をノーマル・カウントモードにします。
	1	FRT ch.2 のカウント動作をオフセット付カウントモードにします。
読出し	-	設定値を読み出します。

[bit7:2] 予約
書込み値は無効です。読出し値は 0 が読み出されます。

オフセット付カウントモードの動作は、「4.1 FRT 動作説明」を参照してください。

3.3.4 FRT 周期設定レジスタ (TCCP)

TCCP は、FRT の Peak 値(カウント周期)、オフセット値を設定する 16 ビットレジスタです。
搭載チャネルごとに TCCP0, TCCP1, TCCP2 の 3 つのレジスタがあります。
TCCP0 は、FRT ch.0 の Peak 値設定を行います。
TCCP1 は、FRT ch.1 の Peak 値設定、オフセット値設定を行います。
TCCP2 は、FRT ch.2 の Peak 値設定、オフセット値設定を行います。
本レジスタは、バイトアクセスすることができないため、注意してください。

レジスタ構成

bit	31															16
field	TCCP[15:0]															
属性	R/W															
初期値	0xFFFF															

レジスタ機能

TCCP レジスタは、FRT の Peak 値(カウント周期)、オフセット値を設定する 16 ビットレジスタです。FRT カウント動作中に、TCCP レジスタに書込みを行い、Peak 値、オフセット値を変更できます。TCCP レジスタに設定された FRT の Peak 値により、FRT のカウント周期は、以下のように決定します。

・アップカウントモードの場合：FRT カウント周期 ＝ (TCCP+1)×FRT カウントクロック周期

・アップダウンカウントモードの場合：FRT カウント周期 ＝TCCP×2×FRT カウントクロック周期

TCCP レジスタには、バッファ機能があります。TCCP レジスタに FRT の Peak 値を設定する場合、TCSA.BUFE レジスタ設定により、バッファレジスタ機能有効・無効を選択することができます。

バッファレジスタ機能が有効な場合(TCSA.BUFE=1)、CPU から TCCP レジスタに書込まれた Peak 値は、一旦、TCCP バッファレジスタに格納されます。その後、FRT の Zero 検出により、TCCP バッファレジスタから、TCCP レジスタに転送されます。

バッファレジスタ機能が無効な場合(TCSA.BUFE=0)、CPU から TCCP レジスタに書込まれた Peak 値は、直ちに TCCP レジスタに転送されます。

FRT で、オフセット付カウントモードを選択していて、TCCP レジスタに FRT のオフセット値を設定する場合、バッファレジスタ機能は常に無効となります。この場合、CPU から TCCP レジスタに書込まれたオフセット値は、直ちに TCCP レジスタに転送されます。ただし、オフセット値の変更を行った場合でも、FRT のカウンタ値のオフセット値はすぐには変化せず、次のサイクルから、更新した値が適用されます。

TCCP レジスタからデータの読出しを行うと、TCCP バッファレジスタの値ではなく、TCCP レジスタの値が読み出されます。バッファ機能有効時、転送終了するまでは転送前の値が読み出されます。

<注意事項>

- *このアドレス領域に対する RMW アクセスによるビット書換えはできません。*
- *本レジスタに、Peak 値として 0x0000 を書き込むことは禁止です。*

[bit31:16] TCCP[15:0]

処理	機能
書込み	FRT の Peak 値、オフセット値の設定を行います。書込み値を TCCP バッファレジスタに格納します。
読出し	TCCP レジスタ値を読み出します(TCCP バッファレジスタ値ではありません)。

3.3.5 FRT カウント値レジスタ (TCDT)

TCDT は、FRT のカウント値の読出し、書込みを行う 16 ビットレジスタです。
搭載チャネルごとに TCDT0, TCDT1, TCDT2 の 3 つのレジスタがあります。
TCDT0 は、FRT ch.0 のタイマカウント値です。
TCDT1 は、FRT ch.1 のタイマカウント値です。
TCDT2 は、FRT ch.2 のタイマカウント値です。
本レジスタは、バイトアクセスすることができないため、注意してください。

レジスタ構成

bit	31	16
field	TCDT[15:0]	
属性	R/W	
初期値	0x0000	

レジスタ機能

TCDT レジスタは、FRT のカウント値の読出し, 書込みを行う 16 ビットレジスタです。TCDT の読出しを行うと、その時点での FRT のカウント値が読出されます。FRT 動作中のデータ書込みは行わないでください。ノーマル・カウントモードでは、FRT 停止中にデータ書込みを行うと、次回起動時 FRT はその値からカウント動作を開始します。

オフセット付カウントモードでは、FRT 停止中であっても、データ書込みを行うことはできません。

[bit31:16] TCDT[15:0]

処理	機能
書込み	FRT のカウント値を書き換えます。(ノーマル・カウントモード、FRT 停止中のみ)
読出し	現在の FRT のカウント値を読み出します。

3.3.6 FRT 同時起動制御レジスタ (TCAL)

TCAL は、MFT に複数存在する FRT の同時起動、同時停止、同時クリア制御を行う 32 ビットレジスタです。本レジスタは、MFT の搭載ユニット数に関係なく、1 個のみ存在します。本レジスタは、ワードアクセス(32bit)のみが可能です。

レジスタ構成

Bit	31	30	29	28	27	26	25	24
Field	予約							SCLR22
属性	R	R	R	R	R	R	R	W
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	SCLR21	SCLR20	SCLR12	SCLR11	SCLR10	SCLR02	SCLR01	SCLR00
属性	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	予約							STOP22
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

Bit	7	6	5	4	3	2	1	0
Field	STOP21	STOP20	STOP12	STOP11	STOP10	STOP02	STOP01	STOP00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

レジスタ機能

本レジスタに書込みアクセスを行うことにより、複数の MFT ユニットに存在する複数の FRT を 1 回の CPU アクセスで、一括して同時起動、停止、クリア制御することができます。

同時起動を行う場合は、起動前に、各 FRT の TCSA, TCCP, TCDT レジスタにて動作モードの初期化を行っておいてください。

[bit8:0] STOPxy （x は MFT のユニット番号、y は FRT のチャネル番号を示します。）

本ビットは、各 TCSA レジスタに存在する STOP ビットのミラーレジスタです。

この領域への書込みを行うと、各 TCSA レジスタの STOP レジスタへ同じ値が書き込まれます。また、各 TCSA レジスタの STOP ビットにて個別の書込みを行った場合、本レジスタの読出し値も同じ値に更新されます。

処理	機能
書込み	対応する TCSA.STOP ビットへの同時書込み処理を行います。
読出し	対応する TCSA.STOP ビットへの同時読出し処理を行います。

同時起動・停止制御を行わない FRT が存在する場合、その STOP に対しては、TCAL レジスタの読出しを行って、読出した値と同じ値を書き戻す必要があります。

存在しない MFT ユニットに対する書込み、読出しは、無効な処理となります。

オフセット付カウントモードを選択している FRT-ch.1、ch.2 が存在する場合、その STOP レジスタには 1 を書き込んでください。同時動作している FRT-ch.0 の STOP レジスタへの書込み値で、ch.0 と同時に制御されます。

[bit24:16] SCLRxy （x は MFT のユニット番号、y は FRT のチャネル番号を示します。）

本ビットは、各 TCSA レジスタに存在する SCLR ビットのミラーレジスタです。

この領域への書込みを行うと、各 TCSA レジスタの SCLR ビットへ同じ値が書込まれます。1 書込みの場合、該当 FRT が同時クリアされます。

処理	機能
書込み	対応する TCSA.SCLR ビットへの同時書込み処理を行います。
読出し	常に 0 を読出します。

同時クリア制御を行わない FRT の SCLR に対しては、必ず 0 を書き込む必要があります。存在しない MFT ユニットに対する書込みは、無効な処理となります。

オフセット付カウントモードを選択している FRT-ch.1、ch.2 が存在する場合、その SCLR レジスタには 0 を書き込んでください。同時動作している FRT-ch.0 の SCLR レジスタへの書込み値で、ch.0 と同時に制御されます。

＜注意事項＞

- *TCAL レジスタは、Unit0 に存在するレジスタのみがアクセスすることができます。Unit1,Unit2 の TCAL レジスタ領域(ベースアドレス＋0x0164 のアドレス)はアクセス禁止です。*

3.3.7 OCU 接続 FRT 選択レジスタ (OCFS)

OCFS は、OCU に接続する FRT を選択設定する 8 ビットレジスタです。
搭載チャネルごとに OCFS10, OCFS32, OCFS54 の 3 つのレジスタがあります。
OCFS10 は、OCU ch.1 と OCU ch.0 を制御します。
OCFS32 は、OCU ch.3 と OCU ch.2 を制御します。
OCFS54 は、OCU ch.5 と OCU ch.4 を制御します。
OCFS10, OCFS32, OCFS54 のビット位置はそれぞれ、[7:0]、[15:8]、[23:16]です。

レジスタ構成

Bit	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
Field	FSO1[3:0]				FSO0[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

レジスタ機能

[bit3:0/11:8/19:16] FSO0[3:0]

本ビットは、OCU の ch.(0)に接続して使用する FRT を選択するビットです。
本ビットの設定変更は、接続する OCU の動作禁止中に行ってください。

処理	値	機能
書込み	0000	OCU ch.(0)に FRT ch.0 を接続します。
	0001	OCU ch.(0)に FRT ch.1 を接続します。
	0010	OCU ch.(0)に FRT ch.2 を接続します。
	0011 ～ 1000	MFT を複数ユニット搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT を 1 ユニット搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

[bit7:4/15:12/23:20] FSO1[3:0]

本ビットは、OCU の ch.(1)に接続して使用する FRT を選択するビットです。
本ビットの設定変更は、接続する OCU の動作禁止中に行ってください。

処理	値	機能
書込み	0000	OCU ch.(1)に FRT ch.0 を接続します。
	0001	OCU ch.(1)に FRT ch.1 を接続します。
	0010	OCU ch.(1)に FRT ch.2 を接続します。
	0011 ～ 1000	MFT を複数ユニット搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT を 1 ユニット搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

MFT が複数ユニット存在する製品の場合、別 MFT ユニットに存在する FRT の接続を選択できます。その際の設定については、「4.8 OCU, ICU, ADCMP の FRT 選択」を参照してください。

3.3.8 OCU 制御レジスタ A (OCSA)

OCSA は、OCU の動作制御を行う 8 ビットレジスタです。
搭載チャネルごとに OCSA10, OCSA32, OCSA54 の 3 つのレジスタがあります。
OCSA10 は、OCU ch.1 と OCU ch.0 を制御します。
OCSA32 は、OCU ch.3 と OCU ch.2 を制御します。
OCSA54 は、OCU ch.5 と OCU ch.4 を制御します。

レジスタ構成

Bit	7	6	5	4	3	2	1	0
Field	IOP1	IOP0	IOE1	IOE0	予約	予約	CST1	CST0
属性	R/W	R/W	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit0] CST0

本ビットは、OCU ch.(0)の動作状態の選択を行うビットです。

処理	値	機能
書込み	0	OCU ch.(0)を動作禁止状態にします。 ・RT(0)出力、OCSA.IOP0 の状態を保持します。 ・OCSB:OTD0 への書込み値を RT(0)出力に反映します。
	1	OCU ch.(0)を動作許可状態にします。 ・RT(0)出力、OCSA.IOP0 を各レジスタ設定に従い変化させます。 ・OCSB:OTD0 への書込み値を無視します。
読出し	-	設定値を読み出します。

[bit1] CST1

本ビットは、OCU ch.(1)の動作状態の選択を行うビットです。

処理	値	機能
書込み	0	OCU ch.(1)を動作禁止状態にします。 ・RT(1)出力、OCSA.IOP1 の状態を保持します。 ・OCSB:OTD1 への書込み値を RT(1)出力に反映します。
	1	OCU ch.(0)を動作許可状態にします。 ・RT(1)出力、OCSA.IOP1 を各レジスタ設定に従い変化させます。 ・OCSB:OTD1 への書込み値を無視します。
読出し	-	設定値を読み出します。

OCU の動作モードの詳細は「4.2. OCU 動作説明」を参照してください。

＜注意事項＞

- *OCU による PWM 信号出力を開始する場合は、必ず以下の手順に従い、制御を行ってください。*
  1. *初期設定*

     FRT 動作モード設定(TCSA:STOP 以外の FRT 制御レジスタ)
     OCU 動作モード設定, 出力レベル初期化(CST0, CST1 以外の OCU 制御レジスタ)
     OCCP コンペア値設定(OCCP 値書込み)
  2. *FRT のカウント開始(TCSA:STOP=0 書込み)*
  3. *OCU の動作許可(CST0=1, CST1=1 書込み)*

- *OCU による PWM 信号出力を終了する場合は、必ず以下の手順に従い、制御を行ってください。*
  1. *OCU の動作禁止(CST0=0, CST1=0 書込み)*
  2. *OCU 出力端子の出力レベル再設定(OCSB:OTD0, OCSB:OTD1 書込み)*
  3. *FRT のカウント停止(TCSA:STOP=1, TCSA:SCLR=1)*

[bit3:2] 予約

本領域への書込み値は無視されます。読出し値は 00 です。

[bit4] IOE0

本ビットは、IOP0 ビットに 1 がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するビットです。
「4.10. イベント検出レジスタと割込みの取り扱いについて」を参照してください。

処理	値	機能
書込み	0	IOP0 に 1 がセットされた場合、割込みを発生しません。
	1	IOP0 に 1 がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

[bit5] IOE1

本ビットは、IOP1 ビットに 1 がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するビットです。
「4.10. イベント検出レジスタと割込みの取り扱いについて」を参照してください。

処理	値	機能
書込み	0	IOP1 に 1 がセットされた場合、割込みを発生しません。
	1	IOP1 に 1 がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

[bit6] IOP0

本ビットは、OCU ch.(0)が動作許可状態(CST0=1)時、OCU ch.(0)に接続する FRT のカウント値と OCCP(0)値の一致検出した場合、1 がセットされるイベント検出ビットです。

処理	値	機能
書込み	0	IOP0 を 0 にクリアします。
	1	動作に影響しません。
読出し	0	OCU ch.(0)にて、FRT のカウント値と OCCP(0)値の一致が検出されていない状態を示します。
	1	OCU ch.(0)にて、FRT のカウント値と OCCP(0)値の一致が検出済みである状態を示します。
RMW アクセス時の読出し		常に 1 が読み出されます。

[bit7] IOP1

本ビットは、OCU ch.(1)が動作許可状態(CST1=1)時、OCU ch.(1)に接続する FRT のカウント値と OCCP(1)値の一致検出した場合、1 がセットされるイベント検出ビットです。

処理	値	機能
書込み	0	IOP1 を 0 にクリアします。
	1	動作に影響しません。
読出し	0	OCU ch.(1)にて、FRT のカウント値と OCCP(1)値の一致が検出されていない状態を示します。
	1	OCU ch.(1)にて、FRT のカウント値と OCCP(1)値の一致が検出済みである状態を示します。
RMW アクセス時の読出し		常に 1 が読み出されます。

以下は、IOP0, IOP1 共通の説明事項です。

本ビットを読み出すことにより、FRT のカウント値が OCCP 値に到達したか否かを判断することが可能です。一致検出の条件は、OCSB, OCSC, OCSE レジスタの指定により変更されます。動作モードの詳細は「4.2 OCU 動作説明」を参照してください。

本ビットは、CPU から 0 を書き込むことにより、クリアできます。同じアドレス領域のほかのレジスタを書き換える際は、本レジスタは必ず 1 を書き込んでください。本ビットは、CPU から 1 を書き込んでも動作に影響しません。詳細は「4.10 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

3.3.9 OCU 制御レジスタ B (OCSB)

OCSB は、OCU の動作制御を行う 8 ビットレジスタです。
搭載チャネルごとに OCSB10, OCSB32, OCSB54 の 3 つのレジスタがあります。
OCSB10 は、OCU ch.1 と OCU ch.0 を制御します。
OCSB32 は、OCU ch.3 と OCU ch.2 を制御します。
OCSB54 は、OCU ch.5 と OCU ch.4 を制御します。

レジスタ構成

Bit	15	14	13	12	11	10	9	8
Field	FM4	予約	予約	CMOD	予約	予約	OTD1	OTD0
属性	R/W	R	R	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit8] OTD0

本ビットは、OCU ch.(0)の RT(0)出力端子の状態読出し、出力レベル設定を行うビットです。

処理	値	機能
書込み	0	OCSA:CST0=0 の場合、RT(0)端子の出力レベルを Low レベルにします。 OCSA:CST0=1 の場合、動作に影響しません。
	1	OCSA:CST0=0 の場合、RT(0)端子の出力レベルを High レベルにします。 OCSA:CST0=1 の場合、動作に影響しません。
読出し	0	RT(0)出力端子が、Low レベル出力状態であることを示します。
	1	RT(0)出力端子が、High レベル出力状態であることを示します。

[bit9] OTD1

本ビットは、OCU ch.(1)の RT(1)出力端子の状態読出し、出力レベル設定を行うビットです。

処理	値	機能
書込み	0	OCSA:CST1=0 の場合、RT(1)端子の出力レベルを Low レベルにします。 OCSA:CST1=1 の場合、動作に影響しません。
	1	OCSA:CST1=0 の場合、RT(1)端子の出力レベルを High レベルにします。 OCSA:CST1=1 の場合、動作に影響しません。
読出し	0	RT(1)出力端子が、Low レベル出力状態であることを示します。
	1	RT(1)出力端子が、High レベル出力状態であることを示します。

以下は、ODT0,OTD1 共通の説明事項です。

OCU が動作禁止状態の場合、本ビットに書込みを行うことで、OCU 出力端子(RT0～RT5)の出力レベルを設定できます。
OCU が動作許可状態の場合、本ビットへの書込みは無視されます。OCU の動作状態にかかわらず、本ビットの読出し値は OCU の出力端子の出力レベルを示します。

＜注意事項＞

- *OCU の出力端子(RT0～RT5)は、WFG で処理された後、LSI の外部出力端子(RTO0～RTO5)となります。このため、WFG の動作モードによっては、OCU の出力端子レベルは、LSI 外部出力端子レベルと一致しないため注意してください。LSI 外部出力端子の状態は、I/O ポート部の PDIR レジスタにより読み出せます。*
- *CST0=1(OCU 動作許可中)かつ OTD0=1(High レベル出力状態)のときに、OCU の動作停止を行って、出力レベルを Low にしたい場合、以下のようにします。*
  - *OCU の動作許可中は、OTD0 に"0"を書き込めないため、最初に CST0 に"0"を書込み、OCU の動作を停止します。*
  - *次に、OTD0 に"0"を書込み、出力レベルを Low にします。*
- *この順番を逆にした場合、OTD0 への値書込みが無視されてしまうため、注意してください。OCSA レジスタ, OCSB レジスタにハーフワードアクセスにより、CST0=0, OTD0=0 値を同時に書き込んだ場合も、OCU が動作許可中であることから、同様に OTD0 への書込みは無視されます。OTD1 への書込みも同様に注意が必要です。*

[bit11:10] 予約

この領域への書込み値は無視されます。読出し値は 00 です。

[bit12] CMOD

本ビットは、FM3 互換モード(OCSB:FM4=0)時に OCU の動作モードを選択するレジスタです。

OCSC:MOD0～MOD5 と組み合わせて、FM3 互換モードの動作モードを設定します。FM4 モード(OCSB:FM4=1)の場合、このレジスタの設定値は無視されます。

本ビットの設定変更は、OCU の動作禁止中に行ってください。本ビットの設定による動作モードの詳細は「4.3. OCU の FM3 ファミリ製品互換動作」を参照してください。

処理	値	機能
書込み	0	このレジスタに"0"を書き込みます。
	1	このレジスタに"1"を書き込みます。
読出し	-	設定値を読み出します。

OCSB10:CMOD の設定は、ch.1 と ch.0 で共通の設定です。OCSB32:CMOD の設定は、ch.3 と ch.2 で共通の設定です。OCSB54:CMOD の設定は、ch.5 と ch.4 で共通の設定です。

[bit14:13] 予約

この領域への書込み値は無視されます。読出し値は 000 です。

[bit15] FM4

本ビットは、OCU の動作モードを選択するレジスタです。

処理	値	機能
書込み	0	動作モードに FM3 互換モードを選択します。
	1	動作モードに FM4 モードを選択します。
読出し	-	設定値を読み出します。

本ビットの設定変更は、OCU の動作禁止中に行ってください。本ビットの設定による動作モードの詳細は「4.2. OCU 動作説明」、「4.3. OCU の FM3 ファミリ製品互換動作」を参照してください。

OCSB10:FM4 の設定は、ch.1 と ch.0 で共通の設定です。OCSB32:FM4 の設定は、ch.3 と ch.2 で共通の設定です。OCSB54:FM4 の設定は、ch.5 と ch.4 で共通の設定です。

3.3.10 OCU 制御レジスタ C (OCSC)

OCSC は、OCU の動作制御を行う 8 ビットレジスタです。
本レジスタは、OCU の ch.0～ch.5 のすべてを制御します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
field	予約	予約	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	0	0	0	0	0	0

レジスタ機能

[bit13:8] MOD5～MOD0

本ビットは、FM3 互換モード(OCSB:FM4=0)時に OCU の動作モードを選択するレジスタです。OCSB:CMOD と組み合わせて、FM3 互換モードの動作モードを設定します。FM4 モード(OCSB:FM4=1)の場合、このレジスタの設定値は無視されます。本レジスタの設定変更は、OCU の動作禁止中に行ってください。本ビットの設定による動作モードの詳細は、詳細は「4.3. OCU の FM3 ファミリ製品互換動作」を参照してください。

処理	値	機能
書込み	0	このレジスタに"0"を書き込みます。
	1	このレジスタに"1"を書き込みます。
読出し	-	設定値を読み出します。

MOD0 と MOD1 は、OCSB10:CMOD との組み合わせにより、FM3 モード時の OCU ch.0, ch.1 の動作モードを選択します。

MOD2 と MOD3 は、OCSB32:CMOD との組み合わせにより、FM3 モード時の OCU ch.2, ch.3 の動作モードを選択します。

MOD4 と MOD5 は、OCSB54:CMOD との組み合わせにより、FM3 モード時の OCU ch.4, ch.5 の動作モードを選択します。

[bit15:14] 予約

書込み値は無効です。読出し値は不定値が読み出されます。

3.3.11 OCU 制御レジスタ D (OCSD) (TYPE1-M0+製品)

本節は、TYPE1-M0+製品の OCSD レジスタ機能について説明します。TYPE2-M0+以降の製品の OCSD レジスタ機能については、「3.3.12 OCU 制御レジスタ D (OCSD) (TYPE2-M0+以降製品)」を参照してください。

OCSD は、OCU の動作制御を行う 16 ビットレジスタです。
搭載チャネルごとに OCSD10, OCSD32, OCSD54 の 3 つのレジスタがあります。
OCSD10 は、OCU ch.1 と OCU ch.0 を制御します。
OCSD32 は、OCU ch.3 と OCU ch.2 を制御します。
OCSD54 は、OCU ch.5 と OCU ch.4 を制御します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
field	予約	予約	予約	予約	予約	予約	予約	予約
属性	-	-	-	-	-	-	-	-
初期値	-	-	-	-	-	-	-	-

bit	23	22	21	20	19	18	17	16
field	OCSE1BUFE[1:0]		OCSE0BUFE[1:0]		OCCP1BUFE[1:0]		OCCP0BUFE[1:0]	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit17:16] OCCP0BUFE[1:0]

本ビットは、OCCP(0)レジスタのバッファ機能の有効/無効と転送タイミングを選択します。

処理	値	機能
書込み	00	OCCP(0)レジスタのバッファ機能を無効にします。 CPU から OCCP(0)書込み時、常にバッファ転送を行います。
	01	OCCP(0)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(0)接続 FRT が、Zero/Bottom 状態の時に行います。
	10	OCCP(0)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(0)接続 FRT が、Peak/Top 状態の時に行います。
	11	OCCP(0)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(0)接続 FRT が、Zero/Bottom 状態、Peak/Top 状態の両方で行います。
読出し	-	設定値を読み出します。

[bit19:18] OCCP1BUFE[1:0]

本ビットは、OCCP(1)レジスタのバッファ機能の有効/無効と転送タイミングを選択します。

処理	値	機能
書込み	00	OCCP(1)レジスタのバッファ機能を無効にします。 CPU から OCCP(1)書込み時、常にバッファ転送を行います。
	01	OCCP(1)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(1)接続 FRT が、Zero/Bottom 状態の時に行います。
	10	OCCP(1)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(1)接続 FRT が、Peak/Top 状態の時に行います。
	11	OCCP(1)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(1)接続 FRT が、Zero/Bottom 状態、Peak/Top 状態の両方で行います。
読出し	-	設定値を読み出します。

以下は、OCCP0BUFE[1:0], OCCP1BUFE[1:0]共通の説明事項です。

本レジスタの設定変更は、OCU の動作禁止中(OCSA:CST0=0, OCSA:CST1=0)に行ってください。FM3 互換モード(OCSB:FM4=0)の場合、動作モードにより設定できる値に制約があります。
詳細は「4.3 OCU の FM3 ファミリ製品互換動作」を参照してください。

[bit21:20] OCSE0BUFE[1:0]

本ビットは、OCSE(0)レジスタのバッファ機能の有効/無効と転送タイミングを選択します。

処理	値	機能
書込み	00	OCSE(0)レジスタのバッファ機能を無効にします。 CPU から OCSE(0)書込み時、常にバッファ転送を行います。
	01	OCSE(0)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(0)接続 FRT が、Zero/Bottom 状態の時に行います。
	10	OCSE(0)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(0)接続 FRT が、Peak/Top 状態の時に行います。
	11	OCSE(0)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(0)接続 FRT が、Zero/Bottom 状態、Peak/Top 状態の両方で行います。
読出し	-	設定値を読み出します。

[bit23:22] OCSE1BUFE[1:0]

本ビットは、OCSE(1)レジスタのバッファ機能の有効/無効と転送タイミングを選択します。

処理	値	機能
書込み	00	OCSE(1)レジスタのバッファ機能を無効にします。 CPU から OCSE(1)書込み時、常にバッファ転送を行います。
	01	OCSE(1)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(1)接続 FRT が、Zero/Bottom 状態の時に行います。
	10	OCSE(1)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(1)接続 FRT が、Peak/Top 状態の時に行います。
	11	OCSE(1)レジスタのバッファ機能を有効にします。 バッファ転送を ch.(1)接続 FRT が、Zero/Bottom 状態、Peak/Top 状態の両方で行います。
読出し	-	設定値を読み出します。

以下は、OCSE0BUFE[1:0], OCSE1BUFE[1:0]共通の説明事項です。

本レジスタの設定変更は、OCU の動作禁止中(OCSA:CST0=0, OCSA:CST1=0)に行ってください。FM3 互換モード(OCSB.FM4=0)の場合、”00”以外を設定することはできません。

[bit31:24] 予約

予約レジスタです。書込み値は意味を持ちません。読出し値はすべて 1 です。

3.3.12 OCU 制御レジスタ D (OCSD) (TYPE2-M0+以降製品)

本節は、TYPE2-M0+以降製品の OCSD レジスタ機能について説明します。TYPE1-M0+製品の OCSD レジスタ機能については、「3.3.11 OCU 制御レジスタ D (OCSD) (TYPE1-M0+製品)」を参照してください。

OCSD は、OCU の動作制御を行う 16 ビットレジスタです。
搭載チャネルごとに OCSD10, OCSD32, OCSD54 の 3 つのレジスタがあります。
OCSD10 は、OCU ch.1 と OCU ch.0 を制御します。
OCSD32 は、OCU ch.3 と OCU ch.2 を制御します。
OCSD54 は、OCU ch.5 と OCU ch.4 を制御します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
field	予約	予約	OFEX1	OFEX0	OEBM1	OEBM0	OPBM1	OPBM0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
field	OCSE1BUFE[1:0]		OCSE0BUFE[1:0]		OCCP1BUFE[1:0]		OCCP0BUFE[1:0]	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit17:16] OCCP0BUFE[1:0]および[bit24] OPBM0

OCCP0BUFE[1:0]は、OCCP(0)レジスタのバッファ機能の設定を行います。バッファ機能の有効/無効と、転送タイミングの選択が行えます。OPBM0 は、FRT の割り込みマスクカウンタとの連動転送の設定を行います。

処理	値		機能	
	OPBM0	OCCP0BUFE	バッファ機能	転送タイミング
書込み	0	00	無効	CPU から OCCP(0)書込み時、常に転送-
	0	01	有効	ch.(0)接続 FRT が、Zero/Bottom 状態の時
	0	10		ch.(0)接続 FRT が、Peak/Top 状態の時
	0	11		ch.(0)接続 FRT が、Zero/Botom 状態、Peak/Top 状態の時
	1	00	無効	CPU から OCCP(0)書込み時、常に転送-
	1	01	有効	ch.(0)接続 FRT が、Zero/Bottom 状態であり、かつ ch.(0)接続 FRT が、MSZC=0000 の時
	1	10		ch.(0)接続 FRT が、Peak/Top 状態の時であり、かつ ch.(0)接続 FRT が、MSPC=0000 の時
	1	11		ch.(0)接続 FRT が、Zero/Bottom 状態の時・・条件 A ch.(0)接続 FRT が、MSZC=0000 の時 ・・条件 B ch.(0)接続 FRT が、Peak/Top 状態の時 ・・条件 C ch.(0)接続 FRT が、MSPC=0000 の時 ・・条件 D (条件 A かつ条件 B)または(条件 C かつ条件 D)の時
読出し	-	-	設定値を読み出します。	

[bit19:18] OCCP1BUFE[1:0]および[bit25] OPBM1

OCCP1BUFE[1:0]は、OCCP(1)レジスタのバッファ機能の設定を行います。バッファ機能の有効/無効と、転送タイミングの選択が行えます。OPBM1 は、FRT の割り込みマスクカウンタとの連動転送の設定を行います。

処理	値		機能	
	OPBM1	OCCP1BUFE	バッファ機能	転送タイミング
書込み	0	00	無効	CPU から OCCP(1)書込み時、常に転送-
	0	01	有効	ch.(1)接続 FRT が、Zero/Bottom 状態の時
	0	10		ch.(1)接続 FRT が、Peak/Top 状態の時
	0	11		ch.(1)接続 FRT が、Zero/Botom 状態、Peak/Top 状態の時
	1	00	無効	CPU から OCCP(1)書込み時、常に転送-
	1	01	有効	ch.(1)接続 FRT が、Zero/Bottom 状態であり、かつ ch.(1)接続 FRT が、MSZC=0000 の時
	1	10		ch.(1)接続 FRT が、Peak/Top 状態の時であり、かつ ch.(1)接続 FRT が、MSPC=0000 の時
	1	11		ch.(1)接続 FRT が、Zero/Bottom 状態の時・・条件 A ch.(1)接続 FRT が、MSZC=0000 の時 ・・条件 B ch.(1)接続 FRT が、Peak/Top 状態の時 ・・条件 C ch.(1)接続 FRT が、MSPC=0000 の時 ・・条件 D (条件 A かつ条件 B)または(条件 C かつ条件 D)の時
読出し	-	-	設定値を読み出します。	

以下は、OCCP0BUFE[1:0], OCCP1BUFE[1:0], OPBM0, OPBM1、共通の説明事項です。
本レジスタの設定変更は、OCU の動作禁止中(OCSA:CST0=0, OCSA:CST1=0)に行ってください。FM3 互換モード(OCSB:FM4=0)の場合、動作モードにより設定できる値に制約があります。
詳細は「4.3 OCU の FM3 ファミリ製品互換動作」を参照してください。

[bit21:20] OCSE0BUFE[1:0]および[bit26]OEBM0

OCSE1BUFE[1:0]は、OCSE(0)レジスタのバッファ機能の設定を行います。バッファ機能の有効/無効と、転送タイミングの選択が行えます。OEBM0 は、FRT の割り込みマスクカウンタとの連動転送の設定を行います。

処理	値		機能	
	OEBM0	OCSE0BUFE	バッファ機能	転送タイミング
書込み	0	00	無効	CPU から OCSE(0)書込み時、常に転送-
	0	01	有効	ch.(0)接続 FRT が、Zero/Bottom 状態の時
	0	10		ch.(0)接続 FRT が、Peak/Top 状態の時
	0	11		ch.(0)接続 FRT が、Zero/Botom 状態、Peak/Top 状態の時
	1	00	無効	CPU から OCSE(0)書込み時、常に転送-
	1	01	有効	ch.(0)接続 FRT が、Zero/Bottom 状態であり、かつ ch.(0)接続 FRT が、MSZC=0000 の時
	1	10		ch.(0)接続 FRT が、Peak/Top 状態の時であり、かつ ch.(0)接続 FRT が、MSPC=0000 の時
	1	11		ch.(0)接続 FRT が、Zero/Bottom 状態の時・・条件 A ch.(0)接続 FRT が、MSZC=0000 の時 ・・条件 B ch.(0)接続 FRT が、Peak/Top 状態の時 ・・条件 C ch.(0)接続 FRT が、MSPC=0000 の時 ・・条件 D (条件 A かつ条件 B)または(条件 C かつ条件 D)の時
読出し	-	-	設定値を読み出します。	

[bit23:22] OCSE1BUFE[1:0]および[bit27] OEBM1

OCSE1BUFE[1:0]は、OCSE(1)レジスタのバッファ機能の設定を行います。バッファ機能の有効/無効と、転送タイミングの選択が行えます。OEBM1 は、FRT の割込みマスクカウンタとの連動転送の設定を行います。

処理	値		機能	
	OEBM1	OCSE1BUFE	バッファ機能	転送タイミング
書込み	0	00	無効	CPU から OCSE(1)書込み時、常に転送-
	0	01	有効	ch.(1)接続 FRT が、Zero/Bottom 状態の時
	0	10		ch.(1)接続 FRT が、Peak/Top 状態の時
	0	11		ch.(1)接続 FRT が、Zero/Botom 状態、Peak/Top 状態の時
	1	00	無効	CPU から OCSE(1)書込み時、常に転送-
	1	01	有効	ch.(1)接続 FRT が、Zero/Bottom 状態であり、かつ ch.(1)接続 FRT が、MSZC=0000 の時
	1	10		ch.(1)接続 FRT が、Peak/Top 状態の時であり、かつ ch.(1)接続 FRT が、MSPC=0000 の時
	1	11		ch.(1)接続 FRT が、Zero/Bottom 状態の時・・条件 A ch.(1)接続 FRT が、MSZC=0000 の時 ・・条件 B ch.(1)接続 FRT が、Peak/Top 状態の時 ・・条件 C ch.(1)接続 FRT が、MSPC=0000 の時 ・・条件 D (条件 A かつ条件 B)または(条件 C かつ条件 D)の時
読出し	-	-	設定値を読み出します。	

以下は、OCSE0BUFE[1:0], OCSE1BUFE[1:0], OEBM0, OEBM1、共通の説明事項です。

本レジスタの設定変更は、OCU の動作禁止中(OCSA:CST0=0, OCSA:CST1=0)に行ってください。FM3 互換モード(OCSB.FM4=0)の場合、OCSE0BUFE[1:0], OCSE1BUFE[1:0], OEBM0, OEBM1、には、0 以外を設定することはできません。

[bit24] OFEX0

本ビットは、OCU-ch.(0)において、OCCP(0)レジスタ値と、接続 FRT の一致判定条件を拡張するビットです。

処理	値	機能
書込み	0	このレジスタに 0 を書き込み、一致判定条件を拡張しません。
	1	このレジスタに 1 を書き込み、一致判定条件を拡張します。
読出し	-	設定値を読み出します。

[bit25] OFEX1

本ビットは、OCU-ch.(1)において、OCCP(1)レジスタと、接続 FRT の一致判定条件を拡張するビットです。

処理	値	機能
書込み	0	このレジスタに 0 を書き込み、一致判定条件を拡張しません。
	1	このレジスタに 1 を書き込み、一致判定条件を拡張します。
読出し	-	設定値を読み出します。

以下は、OFEX0, OFEX1、共通の説明事項です。

本レジスタの機能詳細は、OCSE レジスタの節を参照してください。

本レジスタの機能は、FM4 モード(OCSB.FM4=1)の場合のみ使用できます。FM3 互換モード(OCSB.FM4=0)の場合、0 を書込んでください。

本レジスタには、バッファ機能はありません。設定変更は、OCU の動作禁止中(OCSA:CST0=0)に行ってください。

3.3.13 OCU 制御レジスタ E (OCSE)

OCSE は、OCU の動作制御を行う 16 ビット/32 ビットレジスタです。
搭載チャネルごとに OCSE0～OCSE5 の 6 つのレジスタがあります。
OCSE0 は、OCU ch.0 を制御します。(16 ビットレジスタ)
OCSE1 は、OCU ch.1 を制御します。(32 ビットレジスタ)
OCSE2 は、OCU ch.2 を制御します。(16 ビットレジスタ)
OCSE3 は、OCU ch.3 を制御します。(32 ビットレジスタ)
OCSE4 は、OCU ch.4 を制御します。(16 ビットレジスタ)
OCSE5 は、OCU ch.5 を制御します。(32 ビットレジスタ)
OCSE(0)レジスタは、ハーフワードアクセスを行ってください。
OCSE(1)レジスタは、ワードアクセスを行ってください。

レジスタ構成(OCSE(0)の場合)

bit	31	16	15	0
field	予約		OCSE[15:0]	
属性	R		R/W	
初期値	-		0x0000	

レジスタ構成(OCSE(1)の場合)

bit	31	0
field	OCSE[31:0]	
属性	R/W	
初期値	0x0000 0000	

レジスタ機能

OCSE レジスタは、OCU の動作を指定する 16/32 ビットレジスタです。以下の指定を行います。

- 一致検出レジスタ(OCSA.IOP0, OCSA.IOP1)のセット条件
- 出力信号(RT(0), RT(1))の変化条件

OCU は、OCCP レジスタの値と FRT 値の比較を行い、OCSE レジスタ、OCSD.OFEX0/1 レジスタで指定された内容に従って、一致検出レジスタ(OCSA.IOP0 レジスタ)と RT(0)出力信号を変化させます。OCU の一致検出タイミング、出力信号変化タイミングを、用途に合わせて変更することができます。

本レジスタは、FM4 モード(OCSB.FM4=1)の場合にのみ有効です。FM3 互換モード(OCSB:FM4=0)の場合、初期値(All 0)から書換えを行わないでください。

OCSE レジスタには、バッファ機能があります。このアドレス領域にデータ書込みを行うと、データはいったんバッファレジスタに格納されます。その後、以下の条件で、バッファレジスタから OCSE レジスタにデータが転送されます。

■ バッファ機能無効の場合(OCSD.OCSEBUFE=00)
バッファレジスタ書込み直後にデータ転送されます。

■ バッファ機能有効の場合(OCSD:OCSEBUFE≠00)
FRT がカウント停止(TCSA.STOP=1)しているとき、または指定された転送タイミングにデータ転送されます。

バッファ機能有効の場合、OCU の動作許可中、このレジスタを書き換えることにより、OCU の一致検出レジスタのセット条件, 出力信号の変化条件を変更できます。
バッファ機能無効の場合、OCU の動作許可中に OCSE の書換えはできません。

このアドレス領域からデータの読出しを行うと、バッファレジスタの値ではなく、OCSE レジスタの値が読み出されます。このため、バッファ機能有効時、転送終了するまでは前の値が読み出されます。また、このアドレス領域に対する RMW アクセスによるビット書換えはできません。

3.3.13.1 OCSE(0)のレジスタ機能

OCU-ch.(0)は、接続 FRT のカウント状態と OCCP(0)-FRT の比較判定結果から動作内容が決定します。OCSE(0)レジスタには、それぞれの制御条件に対し、出力信号(RT(0))の変化内容と、一致検出レジスタ(OCSA.IOP0)のセット条件を指定するビットがあります。

Table 3-5 は、各制御条件が成立した場合に、RT(0)出力の変化条件、OCSA.IOP0 レジスタのセット条件を指定する OCSE(0)レジスタのビット位置を示します。

Table 3-5 OCU ch.(0)の制御条件と、指定を行うビット位置

制御条件		OCSE(0)の指定ビット位置	
FRT のカウント状態 (条件 1)	OCCP(0)と FRT の比較判定結果 (条件 2)	RT(0)出力変化条件を指定するビット位置	IOP0 のセット条件を指定するビット位置
Zero/Bottom	一致	bit11:10	bit3
	不一致	bit15:14	無：Hold
Up	一致	bit9:8	bit2
	不一致	無：Hold	無：Hold
Peak/Top	一致	bit7:6	bit1
	不一致	bit13:12	無：Hold
Down	一致	bit5:4	bit0
	不一致	無：Hold	無：Hold

OCSE(0)の bit[3:0]に指定する値については Table 3-7 を、bit[15:4]に指定する値については、Table 3-8 を、それぞれ参照してください。Table 3-5 で、ビット位置の欄が“無：Hold”と記載されている場合、その条件が成立した場合の動作を指定するビットはありません。その条件が成立した場合、現状の値の保持動作(Hold)を行います。また、OCCP(0)の比較対象となる FRT は、OCFS:FSO0 で選択された FRT を指します。

OCCP(0)と FRT の比較判定結果は、OCCP(0)==FRT の場合に一致と判断します。ただしこの他に、以下の条件が成立する場合にも、一致と判断します。

- 接続する FRT がノーマル・アップダウンカウントモード/オフセット付アップダウンカウントモード(TCSA:MODE=1)の場合、Peak/Top 時に、OCCP(0)が 0xFFFF の場合、OCCP(0)と FRT は一致と判断します。FRT がノーマル・アップカウントモード/オフセット付アップカウントモード(TCSA:MODE=0)の場合、この処理は行われません。
- OCSD.OFEX0=1 の設定の場合、Peak/Top 時に、OCCP(0)が FRT のカウント値以上の場合、OCCP(0)と FRT は一致と判断します。OCSD.OFEX0=0 の設定の場合、この処理は行われません。
- OCSD.OFEX0=1 の設定の場合、Zero/Bottom 時に、OCCP(0)が FRT のカウント値以下の場合、OCCP(0)と FRT は一致と判断します。OCSD.OFEX0=0 の設定の場合、この処理は行われません。

Table 3-**6** に、上記内容を示します。表中の X は、その条件が無視されることを示します。TYPE1-M0+製品では、OCSD.OFEX0 は 0 であるとみなされます。

Table 3-6 OCCP(0)と FRT の一致判定条件

OCSD. OFEX0	TCSA. MODE	FRT カウント状態	OCCP(0)と 0xFFFF の比較結果	OCCP(0)と FRT の比較結果	比較判定結果
X	X	X	X	一致	一致
X	1	Peak/Top	一致	X	一致
1	X	Zero/Bottom	X	OCCP(0) <= FRT	一致
		Peak/Top	X	OCCP(0) >= FRT	一致
上記に該当しない場合					不一致

以下に、OCSE(0)レジスタの設定値と、OCU の動作内容の関係を示します。

[bit3:0] OCSE(0)[3:0]

bit3:0 の各ビットの指定により、一致検出レジスタ(OCSA.IOP0)のセット条件を指定します。

Table 3-7 OCSE(0)[3:0]の指定内容

処理	値	機能
書込み	0	Table 3-5 の条件 1,2 が成立時、OCSA.IOP0 を保持します。(Hold)
	1	Table 3-5 の条件 1,2 が成立時、OCSA.IOP0 に 1 をセットします。(Set)
読出し	-	OCSE(0)レジスタ値を読み出します。(バッファレジスタ値ではありません)

(指定内容例)

■ OCSE0[0]=0 の場合

FRT カウントダウン中、FRT==OCCP0 が検出された場合、一致検出を無視し、IOP0 の値を保持します。(Hold)

■ OCSE0[0]=1 の場合

FRT カウントダウン中、FRT==OCCP0 が検出された場合、IOP0 の値を 1 にします。(Set)

[bit15:4] OCSE(0)[15:4]

bit15:4 の 2 ビットごとの指定により、出力信号:RT(0)の変化条件をそれぞれ指定します。

Table 3-8 OCSE(0)[15:4]の指定内容

処理	値	機能
書込み	00	Table 3-5 の条件 1,2 が成立時、RT(0)出力信号を保持します。(Hold)
	01	Table 3-5 の条件 1,2 が成立時、RT(0)出力信号を High レベルにします。(Set)
	10	Table 3-5 の条件 1,2 が成立時、RT(0)出力信号を Low レベルにします。(Reset)
	11	Table 3-5 の条件 1,2 が成立時、RT(0)出力信号レベルを反転します。(Reverse)
読出し	-	OCSE(0)レジスタ値を読み出します。(バッファレジスタ値ではありません)

(指定内容例)

■ OCSE0[5:4]=00 の場合

FRT カウントダウン中、FRT=OCCP0 が検出された場合、一致検出を無視し、RT0 出力を保持します。(Hold)

■ OCSE0[5:4]=01 の場合

FRT カウントダウン中、FRT=OCCP0 が検出された場合、RT0 出力を High レベルにします。その時点で既に High レベルであれば、High レベルを継続します。(Set)

■ OCSE0[5:4]=10 の場合

FRT カウントダウン中、FRT=OCCP0 が検出された場合、RT0 出力を Low レベルにします。その時点で既に Low レベルであれば、Low レベルを継続します。(Reset)

■ OCSE0[5:4]=11 の場合

FRT カウントダウン中、FRT=OCCP0 が検出された場合、RT0 出力を反転させます。その時点で Low レベルであれば、High レベルに変化させます。その時点で High レベルであれば、Low レベルに変化させます。(Reverse)

OCSE レジスタの設定の具体例を「4.2. OCU 動作説明」に記載していますので、参照してください。

3.3.13.2 OCSE(1)のレジスタ機能

OCU-ch.(1)は､接続 FRT のカウント状態と OCCP(0),OCCP(1),と FRT の比較判定結果から動作内容が決定します。OCSE(1)レジスタには、それぞれの制御条件に対し、出力信号(RT(1))の変化内容と、一致検出レジスタ(OCSA.IOP1)のセット条件を指定するビットがあります。OCU-ch.(1)は、OCCP(1)と FRT の比較結果に加え、OCCP(0)と FRT の比較結果を出力信号制御に用いることができるようになっています。

Table 3-9 は、各制御条件が成立した場合に、RT(1)出力の変化条件、OCSA.IOP1 レジスタのセット条件を指定する OCSE(1)レジスタのビット位置を示します。

Table 3-9 OCU ch.(1)の制御条件と、指定を行うビット位置

制御条件			指定ビット	
FRT のカウント状態 (条件 1)	OCCP(1)と FRT の比較判定結果 (条件 2)	OCCP(0)と FRT の比較判定結果 (条件 3)	RT(1)出力変化条件を指定するビット位置	IOP1 のセット条件を指定するビット位置
Zero/Bottom	一致	一致	bit27:26	bit3
	一致	不一致	bit11:10	
	不一致	一致	bit31:30	無：Hold
	不一致	不一致	bit15:14	
Up	一致	一致	bit25:24	bit2
	一致	不一致	bit9:8	
	不一致	一致	bit19:18	無：Hold
	不一致	不一致	無：Hold	
Peak/Top	一致	一致	bit23:22	bit1
	一致	不一致	bit7:6	
	不一致	一致	bit29:28	無：Hold
	不一致	不一致	bit13:12	
Down	一致	一致	bit21:20	bit0
	一致	不一致	bit5:4	
	不一致	一致	bit17:16	無：Hold
	不一致	不一致	無：Hold	

OCSE(1)の bit[3:0]に指定する値については Table 3-11 を、bit[31:4]に指定する値については、Table 3-12 を、それぞれ参照してください。Table 3-9 で、ビット位置の欄が“無：Hold”と記載されている場合、その条件が成立した場合の動作を指定するビットはありません。その条件が成立した場合、現状の値の保持動作(Hold)を行いま

す。また、OCCP(0)の比較対象となる FRT は、OCFS:FSO0 で選択された FRT を、OCCP(1)の比較対象となる FRT は、OCFS:FSO1 で選択された FRT をそれぞれ指します。

OCCP(0)と FRT の比較判定結果は、OCCP(0)==FRT の場合に一致と判断します。ただしこの他に、

Table 3-**6** で示した条件が成立する場合にも、一致と判断します。

OCCP(1)と FRT の比較判定結果は、OCCP(1)==FRT の場合に一致と判断します。ただしこの他に、以下の条件が成立する場合にも、一致と判断します。

- 接続する FRT がノーマル・アップダウンカウントモード/オフセット付アップダウンカウントモード(TCSA:MODE=1)の場合、Peak/Top 時に、OCCP(1)が 0xFFFF の場合、OCCP(1)と FRT は一致と判断します。FRT がノーマル・アップカウントモード/オフセット付アップカウントモード(TCSA:MODE=0）の場合、この処理は行われません。
- OCSD.OFEX1=1 の設定の場合、Peak/Top 時に、OCCP(1)が FRT のカウント値以上の場合、OCCP(1)と FRT は一致と判断します。OCSD.OFEX1=0 の設定の場合、この処理は行われません。
- OCSD.OFEX1=1 の設定の場合、Zero/Bottom 時に、OCCP(1)が FRT のカウント値以下の場合、OCCP(1)と FRT は一致と判断します。OCSD.OFEX1=0 の設定の場合、この処理は行われません。

Table 3-10 に、上記内容を示します。表中の X は、その条件が無視されることを示します。TYPE1-M0+製品では、OCSD.OFEX1 は 0 であるとみなされます。

Table 3-10 OCCP(1)と FRT の一致判定条件

OCSD. OFEX1	TCSA. MODE	FRT カウント状態	OCCP(1)と 0xFFFF の比較結果	OCCP(1)と FRT の比較結果	比較判定結果
X	X	X	X	一致	一致
X	1	Peak/Top	一致	X	一致
1	X	Zero/Bottom	X	OCCP(1) <= FRT	一致
		Peak/Top	X	OCCP(1) >= FRT	一致
上記に該当しない場合					不一致

以下に、OCSE(1)レジスタの設定値と、OCU の動作内容の関係を示します。

[bit3:0] OCSE(1)[3:0]

bit3:0 の各ビットの指定により、一致検出レジスタ(OCSA.IOP0)のセット条件を指定します。

Table 3-11 OCSE(1)[3:0]の指定内容

処理	値	機能
書込み	0	Table 3-9 の条件 1, 2 が成立時、OCSA:IOP1 を保持します。(Hold)　条件 3 は無視されます。
	1	Table 3-9 の条件 1, 2 が成立時、OCSA:IOP1 をセットします。(Set)　条件 3 は無視されます。
読出し	-	OCSE(1)レジスタ値を読み出します。(バッファレジスタ値ではありません)

[bit31:4] OCSE(1)[31:4]

bit31:4 の 2 ビットごとの指定により、出力信号：RT(1)の変化条件をそれぞれ指定します。

Table 3-12 OCSE(1)[31:4]の指定内容

処理	値	機能
書込み	00	Table 3-9 の条件 1,2,3 が成立時、RT(1)出力信号を保持します。(Hold)

	01	Table 3-9 の条件 1,2,3 が成立時、RT(1)出力信号を High レベルにします。(Set)
	10	Table 3-9 の条件 1,2,3 が成立時、RT(1)出力信号を Low レベルにします。(Reset)
	11	Table 3-9 の条件 1,2,3 が成立時、RT(1)出力信号レベルを反転します。(Reverse)
読出し	-	OCSE(1)レジスタ値を読み出します。(バッファレジスタ値ではありません)

指定内容例：

- OCSE1[5:4]=00 の場合
  FRT カウントダウン中、FRT≠OCCP0、FRT=OCCP1 が検出された場合、一致検出を無視し、RT1 出力を保持します。(Hold)
- OCSE1[5:4]=01 の場合
  FRT カウントダウン中、FRT≠OCCP0、FRT=OCCP1 が検出された場合、RT1 出力を High レベルにします。その時点で既に High レベルであれば、High レベルを継続します。(Set)
- OCSE1[5:4]=10 の場合
  FRT カウントダウン中、FRT≠OCCP0、FRT=OCCP1 が検出された場合、RT1 出力を Low レベルにします。その時点で既に Low レベルであれば、Low レベルを継続します。(Reset)
- OCSE1[5:4]=11 の場合
  FRT カウントダウン中、FRT≠OCCP0、FRT=OCCP1 が検出されると、RT1 出力を反転します。その時点で Low レベルであれば、High レベルに変化させます。その時点で High レベルであれば、Low レベルに変化させます。(Reverse)

OCSE レジスタの設定の具体例を「4.2. OCU 動作説明」に記載していますので、参照してください。

3.3.13.3 チャネル独立動作とチャネル連動動作について

OCU-ch.(0)の RT(0)出力信号は、OCCP(0)レジスタと FRT の比較結果で動作させることができます。これに対し、OCU-ch.(1)の RT(1)出力信号は、OCCP(1)レジスタと FRT の比較結果で動作させることと(チャネル独立動作)、OCCP(0)レジスタと OCCP(1)レジスタの両方の比較結果で動作させること(チャネル連動動作)の選択が可能です。

OCSE(1)レジスタの bit[31:20]と bit[15:4]に同じ 12 ビット値を指定し、かつ bit[19:16]=0000 の指定を行うと、OCU-ch.(1)の RT(1)出力信号の変化条件から、OCCP(0)の値の影響を排除することができます。これは、OCCP(1)の比較結果に対し、OCCP(0)と FRT の比較結果が一致と不一致の場合の RT(1)の変化条件が完全に同じになるからです。

この設定条件の場合、ch.(0)の RT(0)出力を OCCP(0)で制御し、ch.(1)の RT(1)出力を OCCP(1)で制御する別々の独立した OCU として使用することが可能です。この条件を満たさない場合、ch.(1)の RT(1)出力信号は、なんらかの形で OCCP(0)値の影響を受けることになり、独立動作を行いません。

3.3.14 OCU コンペア値格納レジスタ (OCCP)

OCCP は、OCU の出力信号の変化タイミングを FRT カウント値のコンペア値として指定する 16 ビットレジスタです。
搭載チャネルごとに OCCP0～OCCP5 の 6 つのレジスタがあります。
OCCP0 は、OCU ch.0 のコンペア値を格納します。(OCU ch.1 でも使用可能です。)
OCCP1 は、OCU ch.1 のコンペア値を格納します。
OCCP2 は、OCU ch.2 のコンペア値を格納します。(OCU ch.3 でも使用可能です。)
OCCP3 は、OCU ch.3 のコンペア値を格納します。
OCCP4 は、OCU ch.4 のコンペア値を格納します。(OCU ch.5 でも使用可能です。)
OCCP5 は、OCU ch.5 のコンペア値を格納します。
本レジスタは、バイトアクセスすることができないため、注意してください。

レジスタ構成

bit	31	16
field	OCCP[15:0]	
属性	R/W	
初期値	0x0000	

レジスタ機能

OCCP レジスタは、OCU の出力信号の変化タイミングを FRT カウント値のコンペア値として指定する 16 ビットレジスタです。このアドレス領域にデータ書込みを行うと、データはいったん、バッファレジスタに格納されます。その後、以下の条件で、バッファレジスタから OCCP レジスタにデータが転送されます。

■ バッファ機能無効の場合(OCSD.OCCPBUFE=00)
バッファレジスタ書込み直後にデータ転送されます。

■ バッファ機能有効の場合(OCSD:OCCPBUFE≠00)
FRT がカウント停止(TCSA.STOP=1)しているとき、または指定された転送タイミングにデータ転送されます。

OCU の動作許可中、このレジスタを書き換えて、OCU 出力信号(RT(0),RT(1))の変化タイミングを指定しパルス幅を変更できます。バッファ機能無効の場合、書き込んだ値を直ちに OCCP レジスタに反映できます。バッファ機能有効の場合、複数のチャネルの OCCP レジスタ設定を同期化することができます。

接続する FRT が、アップダウンカウントモード(TCSA:MODE=1)の場合、このレジスタ値に”0xFFFF”を書き込むと、べた出力の処理を行うことができます。

このアドレス領域からデータの読出しを行うと、バッファレジスタの値ではなく、OCCP レジスタの値が読み出されます。このため、バッファ機能有効時、転送終了するまでは前の値が読み出されます。また、このアドレス領域に対する RMW アクセスによるビット書換えはできません。

[bit31:16] OCCP[15:0]

処理	機能
書込み	OCU 出力信号の変化タイミングを指定します。書込み値をバッファレジスタに格納します。
読出し	OCCP レジスタ値を読出します(OCCP バッファレジスタ値ではありません)。

3.3.15 WFG 制御レジスタ A (WFSA)

WFSA は、WFG の動作制御を行う 16 ビットレジスタです。
搭載チャネルごとに WFSA10, WFSA32, WFSA54 の 3 つのレジスタがあります。
WFSA10 は、WFG ch.10 (OCU ch.1 と OCU ch.0 の出力処理部)を制御します。
WFSA32 は、WFG ch.32 (OCU ch.3 と OCU ch.2 の出力処理部)を制御します。
WFSA54 は、WFG ch.54 (OCU ch.5 と OCU ch.4 の出力処理部)を制御します。

レジスタ構成

Bit	15	14	13	12	11	10	9	8
Field	予約	予約	DMOD[1:0]		PGEN[1:0]		PSEL[1:0]	
属性	R	R	R/W		R/W		R/W	
初期値	-	-	00		00		00	

Bit	7	6	5	4	3	2	1	0
Field	GTEN[1:0]		TMD[2:0]			DCK[2:0]		
属性	R/W		R/W			R/W		
初期値	00		000			000		

レジスタ機能

[bit2:0] DCK[2:0]

本ビットは、WFG タイマ, パルスカウンタのカウントクロック周期を設定するビットです。

WFG 内の WFG タイマとパルスカウンタのクロックは、MFT に接続する周辺クロック(PCLK)を内部のプリスケーラにより分周して生成されます。本レジスタはプリスケーラの分周比を設定します。PCLK の周期と、本ビットで設定されたクロック分周比により、WFG タイマとパルスカウンタのクロック周期が決定されます。

本ビットの設定変更は、WFG タイマ, パルスカウンタの停止中に行ってください。

処理	値	機能
書込み	000	カウントクロック周期を PCLK と同じにします。
	001	カウントクロック周期を PCLK の 2 倍にします。
	010	カウントクロック周期を PCLK の 4 倍にします。
	011	カウントクロック周期を PCLK の 8 倍にします。
	100	カウントクロック周期を PCLK の 16 倍にします。
	101	カウントクロック周期を PCLK の 32 倍にします。
	110	カウントクロック周期を PCLK の 64 倍にします。
	111	カウントクロック周期を PCLK の 128 倍にします。
読出し	-	設定値を読み出します。

下表に DCK[2:0]設定値と、WFG タイマカウントクロック周期の例を示します。

DCK[2:0]	周期比	WFG タイマとパルスカウンタのカウントクロック周期		
		PCLK=25 ns (40 MHz)	PCLK=12.5 ns (80 MHz)	PCLK=6.25 ns (160 MHz)
000	1	25 ns	12.5 ns	6.25 ns
001	2	50 ns	25 ns	12.5 ns
010	4	100 ns	50n s	25 ns
011	8	200 ns	100 ns	50 ns
100	16	400 ns	200 ns	100 ns
101	32	800 ns	400 ns	200 ns
110	64	1.6 µs	800 ns	400 ns
111	128	3.2 µs	1.6 µs	800 ns

[bit5:3] TMD[2:0]

本ビットは、WFG の動作モードを選択するビットです。

処理	値	機能	リロードタイマ利用可否
書込み	000	スルーモード	○
	001	RT PPG モード	○
	010	タイマ PPG モード	○
	011	設定禁止	×
	100	RT デッドタイマモード	○
	101	RT デッドタイマ・フィルタモード	×
	110	PPG デッドタイマ・フィルタモード	×
	111	PPG デッドタイマモード	○
読出し	-	設定値を読み出します。	−

本ビットの設定による動作モードの詳細は、「4.4WFG 動作説明」を参照してください。WFG の動作モードが、パルスカウンタを使用しないモードの場合、(表中○印)、パルスカウンタを波形生成とは独立した 16bit リロードタイマとして使用できます。

本レジスタの設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。本ビットに設定されている値を別の値に書き換えると、WFG タイマ、パルスカウンタのカウント状態がリセットされます。

[bit7:6] GTEN[1:0]

本ビットは、WFG の CH_GATE 出力信号の出力条件を選択します。

生成された CH_GATE 信号は、PPG に起動指示を行います。本ビットの設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。WFG の各チャネルは、PPG を起動する GATE 信号を出力し、PPG タイマユニットからの PPG 信号を OCU からの RT 信号に重畳して RTO 信号として出力することができます。詳細は「4.4 WFG 動作説明」を参照してください。

処理	値	機能
書込み	00	CH_GATE 信号を生成しません。
	上記以外	CH_GATE 信号を生成します。 詳細は「4.4 WFG 動作説明」を参照してください。
読出し	-	設定値を読み出します。

[bit9:8] PSEL[1:0]

本ビットは、WFG の各チャネルで使用する PPG タイマユニットを選択します。

GATE 信号の出力先と PPG 信号の入力元となる PPG タイマユニットを一括選択します。本ビットの設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。

処理	値	機能
書込み	00	GATE 信号の出力先を PPG タイマユニット ch.0 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.0 に設定します。
	01	GATE 信号の出力先を PPG タイマユニット ch.2 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.2 に設定します。
	10	GATE 信号の出力先を PPG タイマユニット ch.4 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.4 に設定します。
	11	設定禁止
読出し	-	設定値を読み出します。

Figure 3-4 に、PPG 選択回路の構成図を示します。以下に PPG 選択回路の構成と動作について説明します。

WFG の各チャネルは、PPG タイマユニットを起動するためのトリガ信号(CH_GATE 信号)を出力します。CH10_GATE 信号, CH32_GATE 信号, CH54_GATE 信号は、それぞれ、WFG ch.10, WFG ch.32, WFG ch.54 にて生成された WFG のチャネルごとの GATE 信号を示します。

各 CH_GATE 信号は、接続する PPG タイマユニットごとに PSEL[1:0]にて出力選択後、PPG タイマユニットごとに論理 OR されて、各 PPG ユニットへ出力されます。

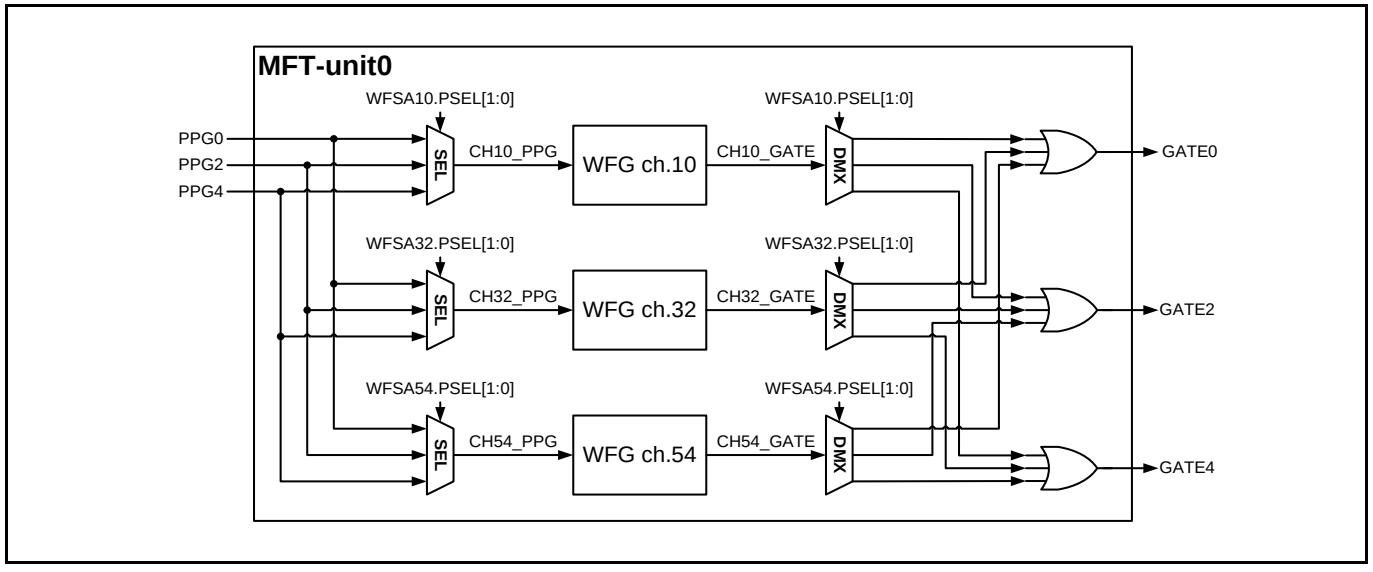
GATE0 信号, GATE2 信号, GATE4 信号は、それぞれ PPG タイマユニット ch.0, ch.2, ch.4 へ出力される GATE 信号を示します。

各 PPG タイマユニットは、GATE 信号により起動し、PPG 信号を出力します。

PPG0 信号, PPG2 信号, PPG4 信号は、それぞれ PPG タイマユニット ch.0, ch.2, ch.4 から出力され、WFG に入力される PPG 信号を示します。

CH10_PPG 信号, CH32_PPG 信号, CH54_PPG 信号は、それぞれ、PSEL[1:0]にて入力選択した WFG ch.10, WFG ch.32, WFG ch.54 で使用する PPG 信号を示します。

Figure 3-4 PPG 選択回路構成(MFT unit0)



PSEL レジスタの設定例 1

WFSA10:PSEL[1:0]=00, WFSA32:PSEL[1:0]=00, WFSA54:PSEL[1:0]=00 と設定した場合、WFG の各チャネルで PPG タイマユニット ch.0 を共通に使用します。GATE0 は、CH10_GATE, CH32_GATE, CH54_GATE の論理 OR 信号になります。GATE2, GATE4 は、両方とも Low 固定出力になります。WFG の各チャネルから、PPG タイマユニット ch.0 に起動指示を行います。

CH10_PPG, CH32_PPG, CH54_PPG のすべてが、PPG0 信号となります。WFG の各チャネルは、PPG タイマユニット ch.0 の出力信号を波形生成に使用します。

PSEL レジスタの設定例 2

WFSA10:PSEL[1:0]=00, WFSA32:PSEL[1:0]=01, WFSA54:PSEL[1:0]=10 と設定した場合、WFG の各チャネルでそれぞれ PPG タイマユニット ch.0, ch.2, ch.4 を使用します。GATE0=CH10_GATE, GATE2=CH32_GATE, GATE4=CH54_GATE がそれぞれ出力されます。WFG の各チャネルは、それぞれ、PPG タイマユニット ch.0, ch.2, ch.4 に別途起動指示を行います。

CH10_PPG = PPG0, CH32_PPG=PPG2, CH54_PPG=PPG4 となります。WFG の各チャネルは、それぞれの PPG タイマユニットの出力信号を波形生成に使用します。

<注意事項>

- *PSEL[1:0]の値により、接続する PPG タイマユニットのチャネル番号は、MFT のユニットごとに異なります。上記説明は、MFT- unit0 における PSEL[1:0]の説明です。MFT- unit1,unit2 に関しては、「4.9 WFG に接続する PPG タイマユニット」を参照してください。*
- *GATE 信号を用いる場合、あらかじめ PPG タイマユニットの設定を行っておく必要があります。詳細は『PPG』の章を参照してください。*
- *PPG タイマユニットは、GATE 信号を用いなくても、CPU からの指示により、出力を開始できます。*

[bit11:10] PGEN[1:0]

本ビットは、WFG の各チャネルに入力された CH_PPG 信号を、どのように WFG の出力に反映させるかを選択します。

このレジスタの設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。詳細は「4.4 WFG 動作説明」を参照してください。

処理	値	機能
書込み	00	CH_PPG 信号を WFG 出力(RTO 出力)に反映しません。
	上記以外	CH_PPG 信号を WFG 出力に反映させる条件を指定します。 詳細は、「4.4 WFG 動作説明」を参照してください。
読出し	-	設定値を読み出します。

WFG の動作モードがスルーモードの場合には、WFSA:PGEN[1:0]の設定により、CH_PPG 信号をそのまま RTO 端子に出力することが可能です。このレジスタの設定は、WFSA:TMD[2:0]が 100, 101, 110, 111 の場合には意味を持ちません。

[bit13:12] DMOD[1:0]

本ビットは、RTO(0), RTO(1)信号出力極性を選択するレジスタです。

このレジスタの設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。

処理	値	機能
書込み	00	RTO(1)信号、RTO(0)信号をそのままのレベルで出力します。
	01	RTO(1)信号、RTO(0)信号を両方反転レベルで出力します。
	10	RTO(0)信号は、RTO(0)信号を反転レベルで出力します。 RTO(1)信号は、RTO(1)信号をそのままのレベルで出力します。
	11	RTO(0)信号は、RTO(0)信号をそのままのレベルで出力します。 RTO(1)信号は、RTO(1)信号を反転レベルで出力します。
読出し	-	設定値を読み出します。

本ビットの設定により、RTO(0)出力信号、RTO(1)出力信号の出力極性を選択できます。本ビットの設定は、TMD[2:0]の値がいずれであっても有効です。

RT デッドタイマモード、RT デッドタイマ・フィルタモード、PPG デッドタイマモード、PPG デッドタイマ・フィルタモード(WFSA.TMD=100、101、110、111)の場合、DMOD=00,01 は、IGBT や N-Ch ドライバ×2 など同一極性ドライバを使う場合に使用します。DMOD=10,11 は、MOSFET(N-Ch＋P-Ch)など極性の異なるドライバを使う場合に使用します。接続されるドライバの仕様を確認して設定してください。

＜注意事項＞

- *「4.4.12 WFSA.DMOD による出力極性反転」の Figure 4-43 に示すような外部回路を接続し、RT デッドタイマモード(WFSA.TMD=100)、DMOD=10 等の誤った設定を行った場合、電源-GND 間の短絡が発生するので注意してください。*
- *FM3 ファミリ製品とは本レジスタの機能が有効になる範囲が異なるため、注意してください。*

[bit15:14] 予約

書込みは無効です。読出し値は不定値が読み出されます。

3.3.16 WFG タイマ値レジスタ (WFTA,WFTB)

WFTA、WFTB は、WFG タイマの初期値を設定する 16 ビットレジスタです。
搭載チャネルごとに WFTA10,WFTB10, WFTA32, WFTB32, WFTA54,WFTB54 の 6 つのレジスタがあります。
WFTA10,WFTB10 は、WFG ch.10 の WFG タイマ初期値を設定します。
WFTA32,WFTB32 は、WFG ch.32 の WFG タイマ初期値を設定します。
WFTA54,WFTB54 は、WFG ch.54 の WFG タイマ初期値を設定します。
本レジスタは、バイトアクセスすることができないため、注意してください。

レジスタ構成

bit	31	16	15	0
field	WFTB[15:0]		WFTA[15:0]	
属性	R/W		R/W	
初期値	0x0000		0x0000	

レジスタ機能

WFTA[15:0], WFTB[15:0]は、WFG の各動作モードで、以下の表のように適用されます。

動作モード	TMD	WFTA	WFTB
スルーモード	000	無視されます。	無視されます。
RT-PPG モード	001	無視されます。	無視されます。
タイマ PPG モード	010	RT(0)立上りからの WFG タイマカウント数	RT(1)立上りからの WFG タイマカウント数
RT デッドタイマモード	100	RTO(0)立下りから RTO(1)立上りまでの WFG タイマカウント数 (正極性の場合)	RTO(1)立下りから RTO(0)立上りまでの WFG タイマカウント数 (正極性の場合)
RT デッドタイマ・フィルタモード	101		
PPG デッドタイマ・フィルタモード	110		
PPG デッドタイマモード	111		

WFTA, WFTB は、WFG タイマ回路のリロード用初期値です。WFG タイマ回路は、起動が指示されると WFTA, WFTB レジスタより、初期値をロードしてダウンカウントを開始します。WFG タイマの動作時間は、以下のように設定できます。0x0000 を設定した場合には、65536 を設定したことになります。

WFG タイマの動作時間 =(WFTA 値または WFTB 値)×WFG タイマの動作クロック周期

本レジスタは、WFG タイマの動作・停止にかかわらず書き換えられます。本レジスタを書き換えた場合、その値が有効となるのは、その次の WFG タイマ起動からです。

[bit31:16] WFTB[15:0], [bit15:0] WFTA[15:0]

処理	機能
書込み	WFG タイマの初期値を設定します。 0x0000 を設定した場合には、65536 を設定したことになります。
読出し	レジスタの設定値を読み出します。

3.3.17 パルスカウンタ値レジスタ (WFTF)

WFTF は、パルスカウンタの初期値を設定する 16 ビットレジスタです。
搭載チャネルごとに WFTF10,WFTF32,WFTF54 の 3 つのレジスタがあります。
WFTF10 は、WFG ch.10 のパルスカウンタ初期値を設定します。
WFTF32 は、WFG ch.32 のパルスカウンタ初期値を設定します。
WFTF54 は、WFG ch.54 のパルスカウンタ初期値を設定します。
本レジスタは、バイトアクセスすることができないため、注意してください。

レジスタ構成

bit	31	16
field	WFTF[15:0]	
属性	R/W	
初期値	0x0000	

レジスタ機能

WFTF[15:0]の値は、WFG の各動作モードで、以下の表のように適用されます。

動作モード	TMD	WFTF
スルーモード	000	16 ビットリロードタイマ カウント数
RT-PPG モード	001	
タイマ PPG モード	010	
RT デッドタイマモード	100	
RT デッドタイマ・フィルタモード	101	フィルタカウント数
PPG デッドタイマ・フィルタモード	110	
PPG デッドタイマモード	111	16 ビットリロードタイマカウント数

WFTF は、パルスカウンタ回路のリロード用初期値です。内部パルスカウンタ回路は、起動が指示されると WFTF レジスタより、初期値をロードしてダウンカウントを開始します。パルスカウンタの動作時間は、以下のように設定できます。0x0000 を設定した場合には、65536 を設定したことになります。

パルスカウンタの動作時間 = (WFTF 値)×パルスカウンタの動作クロック周期

本レジスタは、パルスカウンタの動作・停止にかかわらず書き換えられます。本レジスタを書き換えた場合、その値が有効となるのは、その次のパルスカウンタ起動からです。

[bit31:16] WFTF[15:0]

処理	機能
書込み	パルスカウンタの初期値を設定します。 0x0000 を設定した場合には、65536 を設定したことになります。
読出し	レジスタの設定値を読み出します。

3.3.18 NZCL 制御レジスタ (NZCL)

NZCL は、DTIF 割込み(DTTIX 端子からの信号入力によるモータ緊急停止用割込み)の制御、および、WFG のリロードタイマ割込みマスクを行う 16 ビットレジスタです。

レジスタ構成

Bit	15	14	13	12	11	10	9	8
Field	予約	WIM54	WIM32	WIM10	予約	予約	DIMB	DIMA
属性	R/W	R/W	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	DHOLD	予約	DTIEB	SDTI	NWS[2:0]			DTIEA
属性	R/W	R/W	R/W	W	R/W			R/W
初期値	0	0	0	0	000			0

レジスタ機能

[bit0] DTIEA

本ビットは、DTTIX 端子からの信号入力から、デジタルノイズフィルタ経由のパスで、WFIR:DTIFA レジスタをセットさせるかどうかを選択するビットです。

処理	値	機能
書込み	0	DTTIX 端子から、デジタルノイズフィルタへのパスを無効化します。
	1	DTTIX 端子から、デジタルノイズフィルタへのパスを有効化します。
読出し	-	設定値を読み出します。

[bit3:1] NWS[2:0]

本ビットは、デジタルノイズキャンセラのノイズキャンセル幅を設定するビットです。

処理	値	機能
書込み	000	DTTIX 端子から Low レベル入力直後に、DTIF 割込みを発生します。 (ノイズキャンセル動作なし)
	001	ノイズキャンセル幅を PCLK 周期 4 サイクル幅に設定します。
	010	ノイズキャンセル幅を PCLK 周期 8 サイクル幅に設定します。
	011	ノイズキャンセル幅を PCLK 周期 16 サイクル幅に設定します。
	100	ノイズキャンセル幅を PCLK 周期 32 サイクル幅に設定します。
	101	ノイズキャンセル幅を PCLK 周期 64 サイクル幅に設定します。
	110	ノイズキャンセル幅を PCLK 周期 128 サイクル幅に設定します。
	111	ノイズキャンセル幅を PCLK 周期 256 サイクル幅に設定します。(欄外参照)
読出し	-	設定値を読み出します。

・NWS=111 の設定は、TYPE2-M0+以降製品のみが可能です。TYPE1-M0+製品では NWS=111 の設定は禁止です。

[bit4] SDTI
本ビットは、CPU からのレジスタ書込みで、WFIR:DTIFA レジスタをセットさせるビットです。

処理	値	機能
書込み	0	動作に影響しません。
	1	DTIEA の設定によらず、強制的に WFIR:DTIFA をセットします。
読出し	-	常に”0”が読み出されます。

本レジスタに 1 を書き込むことにより、DTIEA の設定, DTTIX 端子の状態によらず、WFIR:DTIFA レジスタをセットし、DTIF 割込みを発生させることができます。本レジスタへの書込みにより、I/O ポート制御部における RTO 端子の出力切換え機能を利用できます。発生した割込み信号は、WFIR:DTIFA レジスタをクリアする (WFIR:DTICA レジスタに”1”書込み)ことで、ディアサートされます。

[bit5] DTIEB
本ビットは、DTTIX 端子からの信号入力から、アナログノイズフィルタ経由のパスで、WFIR:DTIFB レジスタをセットさせるかどうかを選択するビットです。

本ビットは、TYPE2-M0+以降製品のみで使用可能です。TYPE1-M0+ 製品では、必ず 0 設定としてください。

処理	値	機能
書込み	0	DTTIX 端子-アナログノイズフィルタへのパスを無効化します。
	1	DTTIX 端子-アナログノイズフィルタへのパスを有効化します。
読出し	-	設定値を読み出します。

[bit6]予約
書込み時は 0 を書き込んでください。読出し値は 0 が読み出されます。

[bit7] DHOLD
本ビットは、DTIF 割込み信号がアサートされた場合に、WFG の RTO 出力信号を保持しない/保持するを選択するビットです。

本ビットは、TYPE2-M0+以降製品のみで使用可能です。TYPE1-M0+ 製品では、必ず 0 設定としてください。

処理	値	機能
書込み	0	DTIF 割込み信号アサート時、WFG-RTO 出力信号を保持しません。
	1	DTIF 割込み信号アサート時、WFG-RTO 出力信号を保持する。
読出し	-	設定値を読み出します。

[bit8] DIMA
本ビットは、WFIR:DTIFA レジスタがセットされた場合に DTIF 割込みをマスクするかどうかを選択するビットです。

処理	値	機能
書込み	0	DTIF 割込み許可
	1	DTIF 割込み禁止
読出し	-	設定値を読み出します。

[bit9] DIMB
本ビットは、WFIR:TIFDTIFB レジスタがセットされた場合に DTIF 割込みをマスクするかどうかを選択するビットです。

本ビットは、TYPE2-M0+以降製品のみで使用可能です。TYPE1-M0+ 製品では、必ず 0 設定としてください。

処理	値	機能
書込み	0	DTIF 割込み許可
	1	DTIF 割込み禁止
読出し	-	設定値を読み出します。

[bit11:10]予約
書込み時は 00 を書き込んでください。読出し値は 00 が読み出されます。

[bit12] WIM10
本ビットは、WFIR:TMIF10 レジスタがセットされた場合に、WFG10 リロードタイマ割込みをマスクするかどうかを選択するビットです。

処理	値	機能
書込み	0	WFG10 リロードタイマ割込み許可
	1	WFG10 リロードタイマ割込み禁止
読出し	-	設定値を読み出します。

[bit13] WIM32
本ビットは、WFIR:TMIF32 レジスタがセットされた場合に、WFG32 リロードタイマ割込みをマスクするかどうかを選択するビットです。

処理	値	機能
書込み	0	WFG32 リロードタイマ割込み許可
	1	WFG32 リロードタイマ割込み禁止
読出し	-	設定値を読み出します。

[bit14] WIM54
本ビットは、WFIR:TMIF54 レジスタがセットされた場合に、WFG54 リロードタイマ割込みをマスクするかどうかを選択するビットです。

処理	値	機能
書込み	0	WFG54 リロードタイマ割込み許可
	1	WFG54 リロードタイマ割込み禁止
読出し	-	設定値を読み出します。

[bit15]予約
書込み時は 0 を書き込んでください。読出し値は 0 が読み出されます。

3.3.18.1 NZCL 動作説明

Figure 3-5 に DTTIX 端子, DTIF 割込み関連のブロックダイヤグラムとタイムチャートを示します。

DTTIX 端子は、モータ緊急停止用の外部信号を入力するための専用端子です。Low レベルが入力された場合、モータの緊急停止要求として認識します。

この端子の入力信号は、NZCL 内部で、2 系統の処理がされて、割込み信号として割込みコントローラへ通知されます。

DTTIX 端子から、デジタルノイズキャンセラ回路に入力される系統は、NZCL:DTIEA レジスタで有効無効が選択されます。デジタルノイズキャンセラにて設定された値(NZCL.NWS)以上の Low レベルパルスが入力されると、WFIR:DTIFA レジスタがセットされます。

DTTIX 端子から、アナログノイズフィルタに入力される系統は、NZCL:DTIEB レジスタで有効無効が選択されます。アナログノイズフィルタ規定値以上の Low レベルパルスが入力されると、WFIR:DTIFB レジスタがセットされます。

WFIR:DTIFA レジスタ, WFIR:DTIFB レジスタがセットされた時の、DTIF 割込み発生を、NZCL:DIMA レジスタ, NZCL:DIMB レジスタでそれぞれマスクすることができます。割込みがマスクされていない場合、WFIR:DTIFA, WFIR:DTIFB のいずれかがセットされると DTIF 割込み信号がアサートされ、CPU に対する割込みが発生します。

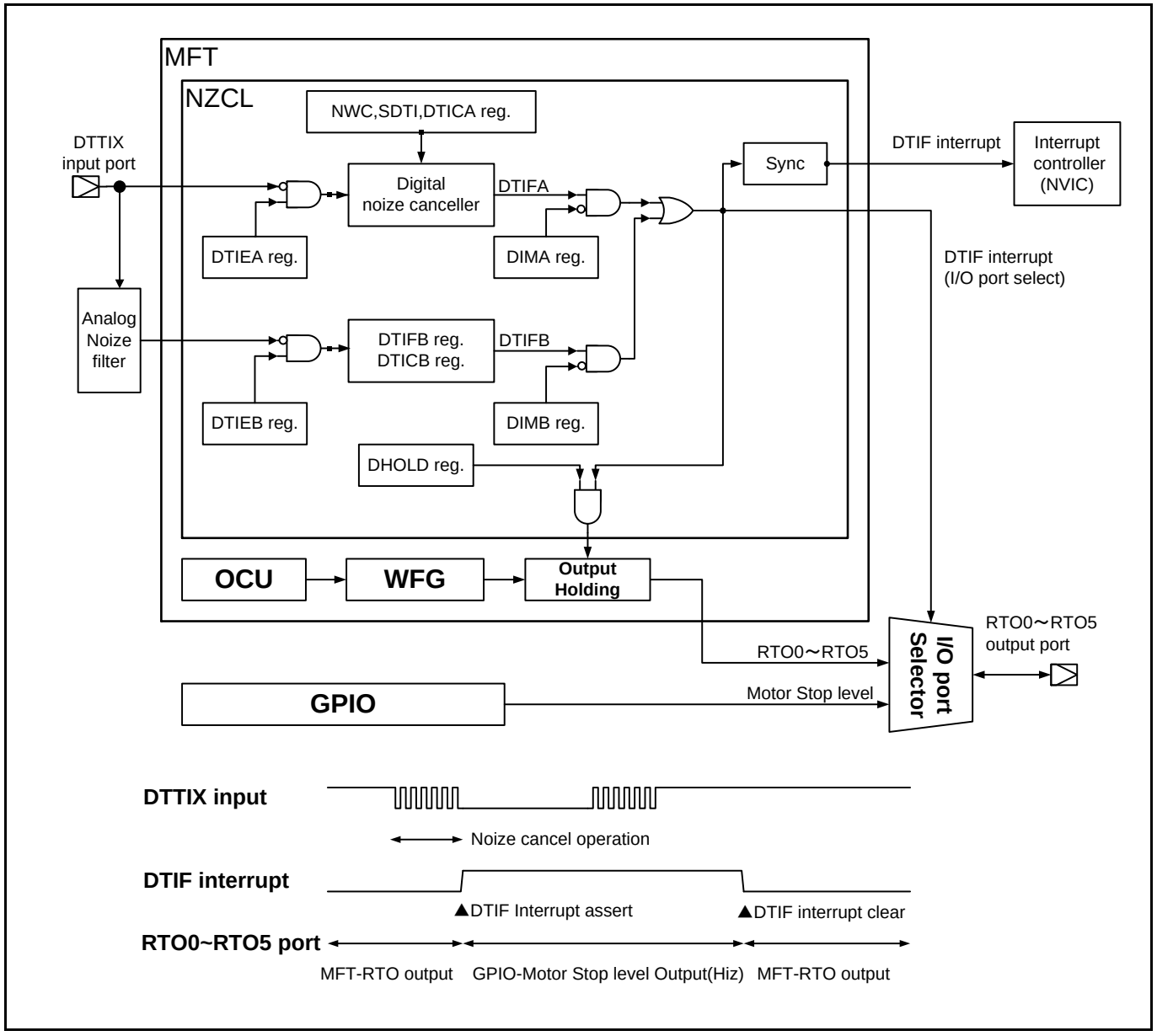
DTIF 割込み信号は、割込み制御部と I/O ポート選択部に接続されます。I/O ポート選択部では、DTIF 割込みが発生している間、RTO0～RTO5 出力端子の状態を兼用している GPIO ポートの設定状態に切り換えられます。図のタイムチャートのように、RTO0～RTO5 端子と兼用している GPIO 端子設定を、あらかじめモータの非動作レベルに設定しておくことで、RTO0～RTO5 端子にモータの緊急停止のための出力を行えます。

アナログノイズフィルタを経由する DTIF 割込み信号のパスは、MCU のクロックを使用しない構成となっています。このパスが有効な場合、MCU のクロックが停止している場合に、DTIF 割込みを認識することはできませんが、RTO0～RTO5 端子にモータの緊急停止のための出力を行うことができます。このクロックレス DTIF 機能は、TYPE3-M4 以降の製品で使用することができます。

NZCL.DHOLD レジスタに 1 を設定している場合、DTIF 割込み信号がアサートされた時点での RTO0～RTO5 出力信号を保持します。CPU から DTIF 割込みがクリアされるまで、直前の出力レベルを維持することができます。

発生した割込み信号は、WFIR:DTIFA レジスタ、WFIR:DTIFB レジスタをクリアする(WFIR:DTICA レジスタに 1 書込み、WFIR:DTICB レジスタに 1 書込み)ことで、ディアサートされます。

Figure 3-5 DTTIX 端子, DTIF 割込み関連説明



3.3.18.2 GPIO 切り替え機能設定

GPIO 端子機能設定の一覧を Table 3-13 に示します。表の PFR, DDR, PDOR は、使用選択している RTO0～RTO5 端子と兼用している GPIO ポートの該当レジスタを示します。

Table 3-13 DTTIX 端子割込みによるモータ非動作レベルの設定一覧

	GPIO レジスタの設定					NZCL 設定	DTIF 信号レベル	RTO 端子の状態
	PFR	EPFRx [11:0]	EPFRx [12]	DDR	PDOR	DHOLD		
DTIF 割込みにより端子出力状態切換えを行う場合	1	101010101010 または 010101010101	1	1	1	0	0	RTO0～RTO5 を出力
							1	High レベルを出力
				1	0		0	RTO0～RTO5 を出力
							1	Low レベルを出力
				0	設定無視		0	RTO0～RTO5 を出力
							1	Hi-Z 状態
DTIF 割込みにより端子出力状態切換えを行わない場合			0	設定無視	設定無視		信号状態無視	RTO0～RTO5 を出力
DTIF 割込みにより端子の前出力状態の保持を行う場合						1	0	RTO0～RTO5 を出力
							1	直前の RTO0～RTO5 を保持して出力

- PFR, EPFRx[11:0]は、外部端子を MFT の RTO 出力として使用するための基本設定です。
- EPFRx[12]は、割込みにより、端子機能切換えを行うか、行わないかを選択します。
- MFT の RTO 出力と兼用されている GPIO ポートのそれぞれの DDR, PDOR レジスタの設定により、端子機能切換えを行った場合の、モータ非動作レベルを設定します。
- EPFRx レジスタは、MFT unit0 の場合、EPFR01 レジスタを、MFT unit1 の場合、EPFR02 レジスタを、MFT unit2 の場合、EPFR03 レジスタをそれぞれ指します。

DTIF 割込みによる出力状態の切換えを行わない場合(EPFRx[12]=0)、出力端子の状態は切り換わりませんが、DTIF 割込みは発生するため、CPU は割込み通知を受けることができます。

3.3.19 WFG 割込み制御レジスタ (WFIR)

WFIR は、DTIF 割込みと WFG リロードタイマを制御するレジスタです。
本レジスタは、割込み制御専用レジスタです。どのレジスタ・ビットも、0 の書込みは状態に変化を与えないように構成されています。このため、レジスタ書込み時に事前の読出しは不要です。また、どのレジスタ・ビットも読み出した値の書戻しは状態に変化を与えないように構成されています。

レジスタ構成

bit	15	14	13	12	11	10	9	8
field	TMIS54	TMIE54	TMIC54	TMIF54	TMIS32	TMIE32	TMIC32	TMIF32
属性	W	R/W	W	R	W	R/W	W	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
field	TMIS10	TMIE10	TMIC10	TMIF10	DTICB	DTIFB	DTICA	DTIFA
属性	W	R/W	W	R	W	R	W	R
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit0] DTIFA

本ビットは、デジタルノイズキャンセラ経由の DTTIX 信号入力のイベント検出ビットです。

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	デジタルノイズキャンセラ経由の DTTIX 信号の入力未検出状態を示します。
	1	デジタルノイズキャンセラ経由の DTTIX 信号の入力検出済み状態を示します。

[bit1] DTICA

本ビットは、DTIFA レジスタのクリアを行うビットです。

処理	値	機能
書込み	0	動作に影響しません。
	1	DTIFA レジスタを 0 クリアします。
読出し	-	常に 0 が読み出されます。

[bit2] DTIFB

本ビットは、アナログノイズフィルタ経由の DTTIX 信号入力のイベント検出ビットです。

本ビットは、TYPE3-M4 以降製品のみで使用可能です。

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	アナログノイズフィルタ経由の DTTIX 信号の入力未検出状態を示します。
	1	アナログノイズフィルタ経由の DTTIX 信号の入力検出済み状態を示します。

[bit3] DTICB

本ビットは、DTIFB レジスタのクリアを行うビットです。

本ビットは、TYPE2-M0+以降製品のみで使用可能です。

処理	値	機能
書込み	0	動作に影響しません。
	1	DTIFB レジスタをクリアします。
読出し	-	常に 0 が読み出されます。

[bit4] TMIF10
本ビットは、WFG10 リロードタイマ割込み発生のイベント検出ビットです。

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	WFG10 リロードタイマ割込みが発生していないことを示します。
	1	WFG10 リロードタイマ割込みが発生していることを示します。

[bit5] TMIC10
本ビットは、TIMF10 レジスタのクリアを行うビットです。

処理	値	機能
書込み	0	動作に影響しません。
	1	TMIF10 をクリアし、WFG10 タイマ割込み信号をディアサートします。
読出し	-	常に 0 が読み出されます。

[bit6] TMIE10
本ビットは、WFG10 リロードタイマの起動および動作状態確認を行うビットです。

処理	値	機能
書込み	0	動作に影響しません。
	1	WFG10 リロードタイマを起動します。 (既にリロードタイマが起動されている場合は何も行いません。)
読出し	0	WFG10 リロードタイマが停止中であることを示します。
	1	WFG10 リロードタイマが動作中であることを示します。

[bit7] TMIS10
本ビットは、WFG10 リロードタイマの停止、TMIF10 のクリアを行うビットです。

処理	値	機能
書込み	0	動作に影響しません。
	1	WFG10 リロードタイマを停止します。 (割込み発生時は、同時に割込みのクリアも行います。)
読出し	-	常に”0”が読み出されます。

[bit11:8] TMIS32,TMIE32,TMIC32,TMIF32
本ビットは、WFG ch.32 のリロードタイマの制御を行います。
機能・使用方法は、TMIS10,TMIE10,TMIC10,TMIF10 と同じです。

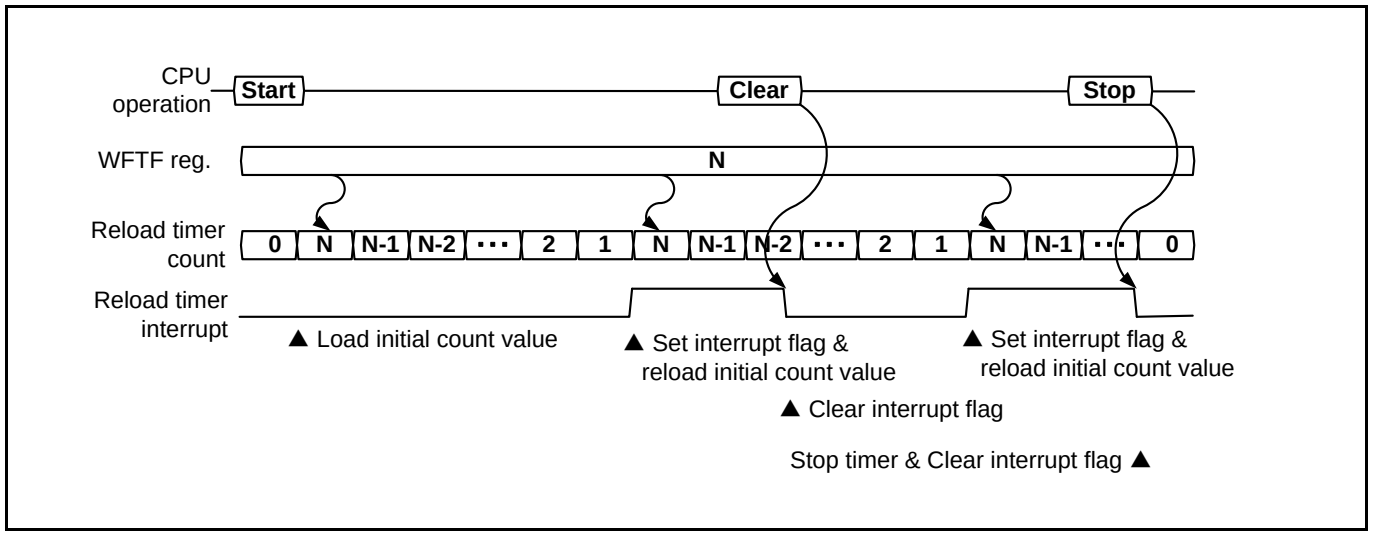
[bit15:12] TMIS54,TMIE54,TMIC54,TMIF54
本ビットは、WFG ch.54 のリロードタイマの制御を行います。
機能・使用方法は、TMIS10,TMIE10,TMIC10,TMIF10 と同じです。

3.3.19.1 リロードタイマ機能の動作説明

WFG のパルスカウンタを波形生成に使用しない場合(WFSA:TMD=000,001,010,100,111)、各チャネルのパルスカウンタをそれぞれ、CPU に対して定期的に割込みを発生させる独立したリロードタイマとして使用できます。

Figure 3-6 に、パルスカウンタをリロードタイマとして使用する場合の動作を示します。

Figure 3-6 パルスカウンタをリロードタイマとして使用する場合の動作



パルスカウンタをリロードタイマとして使用する場合の使用手順を以下に示します。

- 最初に、WFTF レジスタにタイマ初期値を、WFSA:DCK にクロック分周比を設定しておきます。タイマから発生する割込み間隔時間= (WFTF 値)×(WFG 分周比(WFSA:DCK))×PCLK 周期です。
- TMIE に 1 を書き込むことで、タイマが起動します。パルスカウンタは、WFTF レジスタから初期値をロードし、ダウンカウントを行います。カウント値が 1 になった時点で、TMIF レジスタをセットし、割込みを発生させます。同時に、WFTF レジスタから再度初期値をロードし、ダウンカウント動作を継続します。
- TMIE から 1 が読み出せた場合、パルスカウンタがリロードタイマとして起動していることを示します。
- TMIF から 1 が読み出せた場合、割込みが発生していることを示します。
- TMIC に 1 を書き込むと、TMIF をクリア(割込みクリア)します。カウント動作を継続します。
- TMIS に 1 を書き込むと、TMIE をクリア(タイマ停止)します。カウント動作を停止します。以降は割込みを発生しなくなります。
- TMIS に 1 を書き込んだ時点で、TMIF がセットされている場合、同時に TMIF をクリア(割込みクリア)します。
- WFTF レジスタの値は、タイマの動作中に書き換えることが可能です。変更値が反映されるのは次のタイマのリロード時点からです。
- TMIS, TMIC, TMIE に重複して 1 をライトした場合には、次の優先順位の処理が行われます。
  (優先順位高) タイマの停止 > タイマ割込みのクリア > タイマの起動 (優先順位低)
- NZCL レジスタの WIM10, WIM32, WIM54 を用いて、TMIF10, TMIF32, TMIF54 レジスタがセットされた時の割込み信号アサートをマスクすることができます。

3.3.20 ICU 接続 FRT 選択レジスタ (ICFS)

ICFS は、ICU に接続する FRT を選択設定する 8 ビットレジスタです。
搭載チャネルごとに ICFS10, ICFS32 の 2 つのレジスタがあります。
ICFS10 は、ICU ch.1 と ICU ch.0 を制御します。
ICFS32 は、ICU ch.3 と ICU ch.2 を制御します。
ICFS10 は、偶数アドレスに存在し、ICFS32 は奇数アドレスに存在するため、それぞれビット位置が[7:0]と[15:8]です。

レジスタ構成

Bit	15/7	14/6	13/5	12/4	11/3	10/2	9/1	8/0
Field	FSI1[3:0]				FSI0[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

レジスタ機能

[bit3:0/11:8] FSI0[3:0]

本ビットは、ICU ch.(0)に接続して使用する FRT を選択するビットです。
本ビットの設定変更は、接続する ICU の動作禁止中に行ってください。

処理	値	機能
書込み	0000	ICU ch.(0)に FRT ch.0 を接続します。
	0001	ICU ch.(0)に FRT ch.1 を接続します。
	0010	ICU ch.(0)に FRT ch.2 を接続します。
	0011 ～ 1000	MFT を複数ユニット搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT を 1 ユニット搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

[bit7:4/15:12] FSI1[3:0]

本ビットは、ICU ch.(1)に接続して使用する FRT を選択するビットです。
本ビットの設定変更は、接続する ICU の動作禁止中に行ってください。

処理	値	機能
書込み	0000	ICU ch.(1)に FRT ch.0 を接続します。
	0001	ICU ch.(1)に FRT ch.1 を接続します。
	0010	ICU ch.(1)に FRT ch.2 を接続します。
	0011 ～ 1000	MFT を複数ユニット搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT を 1 ユニット搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

MFT が複数ユニット存在する製品の場合、別 MFT ユニットに存在する FRT の接続を選択できます。その際の設定詳細は「4.8 OCU, ICU, ADCMP の FRT 選択」を参照してください。

3.3.21 ICU 制御レジスタ A (ICSA)

ICSA は、ICU の動作制御を行う 8 ビットレジスタです。
搭載チャネルごとに ICSA10, ICSA32 の 2 つのレジスタがあります。
ICSA10 は、ICU ch.1 と ICU ch.0 を制御します。
ICSA32 は、ICU ch.3 と ICU ch.2 を制御します。

レジスタ構成

Bit	7	6	5	4	3	2	1	0
Field	ICP1	ICP0	ICE1	ICE0	EG1[1:0]		EG0[1:0]	
属性	R/W	R/W	R/W	R/W	R/W		R/W	
初期値	0	0	0	0	00		00	

レジスタ機能

[bit1:0] EG0[1:0]

本ビットは、ICU ch.(0)の動作許可・禁止状態の選択、有効エッジの選択を行うビットです。

処理	値	機能
書込み	00	ICU ch.(0)を動作禁止状態にします。 IC(0)信号入力を無視します。
	01	ICU ch.(0)を動作許可状態にします。 IC(0)信号入力の立上りエッジのみを、有効エッジとします。
	10	ICU ch.(0)を動作許可状態にします。 IC(0)信号入力の立下りエッジのみを、有効エッジとします。
	11	ICU ch.(0)を動作許可状態にします。 IC(0)信号入力の立上り，立下り両エッジを、有効エッジとします。
読出し	-	設定値を読み出します。

[bit3:2] EG1[1:0]

本ビットは、ICU ch.(1)の動作許可・禁止状態の選択、有効エッジの選択を行うビットです。

処理	値	機能
書込み	00	ICU ch.(1)を動作禁止状態にします。 IC(1)信号入力を無視します。
	01	ICU ch.(1)を動作許可状態にします。 IC(1)信号入力の立上りエッジのみを、有効エッジとします。
	10	ICU ch.(1)を動作許可状態にします。 IC(1)信号入力の立下りエッジのみを、有効エッジとします。
	11	ICU ch.(1)を動作許可状態にします。 IC(1)信号入力の立上り，立下り両エッジを、有効エッジとします。
読出し	-	設定値を読み出します。

[bit4] ICE0

本ビットは、ICP0 に 1 がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するビットです。

処理	値	機能
書込み	0	ICP0 に 1 がセットされた場合、割込みを発生しません。
	1	ICP0 に 1 がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

[bit5] ICE1

本ビットは、ICP1 に 1 がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するレジスタです。

処理	値	機能
書込み	0	ICP1 に 1 がセットされた場合、割込みを発生しません。
	1	ICP1 に 1 がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

[bit6] ICP0

本ビットは、ICU ch.(0)の動作許可状態時、有効エッジ検出・キャプチャ動作により、1 がセットされるイベント検出ビットです。

処理	値	機能
書込み	0	0 にクリアします。
	1	動作に影響しません。
読出し	0	ICU ch.(0)にて、有効エッジが検出されず、キャプチャ動作が行われていない状態を示します。
	1	ICU ch.(0)にて、有効エッジが検出され、キャプチャ動作が行われた状態を示します。
RMW アクセス時の読出し		常に"1"が読み出されます。

[bit7] ICP1

本ビットは、ICU ch.(1)の動作許可状態時、有効エッジが検出・キャプチャ動作により、1 がセットされるイベント検出ビットです。

処理	値	機能
書込み	0	0 にクリアします。
	1	動作に影響しません。
読出し	0	ICU ch.(1)にて、有効エッジが検出されず、キャプチャ動作が行われていない状態を示します。
	1	ICU ch.(1)にて、有効エッジが検出され、キャプチャ動作が行われた状態を示します。
RMW アクセス時の読出し		常に"1"が読み出されます。

以下は、ICP0, ICP1 共通の説明事項です。

ICP0, ICP1 を読み出すことにより、有効エッジ検出・キャプチャ動作が行われたか否かを判断できます。本レジスタは、0 を書き込むことにより、クリアできます。同じアドレス領域のほかのレジスタを書き換える際には、本レジスタは必ず 1 を書き込んでください。本レジスタは、1 を書き込んでも何も行われません。RMW アクセス時には本レジスタは常に"1"が読み出されます。「4.10 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

3.3.21.1 ICU の動作説明

ICU は動作許可状態の場合、入力信号に有効エッジが検出されると、FRT カウント出力を ICCP レジスタに取り込むキャプチャ動作を行います。同時に、有効エッジが検出されたことを ICP0, ICP1 を通じて、CPU に通知します。入力信号の有効エッジは、立上りエッジのみ，立下りエッジのみ，立上り，立下り両エッジから選択できます。動作禁止状態の場合、何も行わず入力信号を無視します。

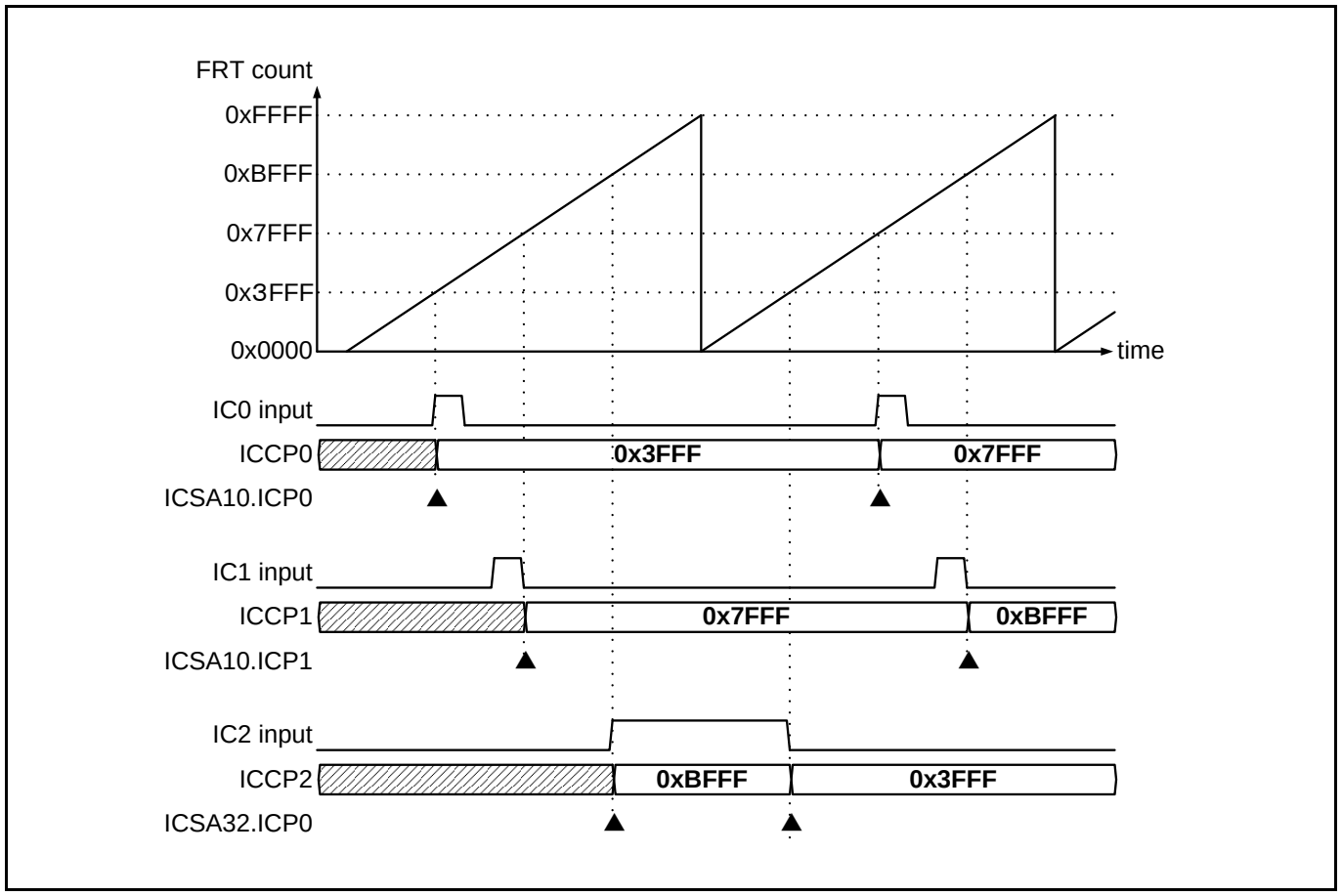
Figure 3-7 に ICU の動作例を示します。▲はイベント検出レジスタのセットを示します。

ICU ch.0 は、IC0 信号入力の立上りエッジの検出による動作を示しています。

ICU ch.1 は、IC1 信号入力の立下りエッジの検出による動作を示しています。

ICU ch.2 は、IC2 信号入力の立上り，立下り両エッジの検出による動作を示しています。

Figure 3-7 ICU の動作例



3.3.22 ICU 制御レジスタ B (ICSB)

ICSB は、ICU の動作状態を読出す 8 ビットレジスタです。
搭載チャネルごとに ICSB10, ICSB32 の 2 つのレジスタがあります。
ICSB10 は、ICU ch.1 と ICU ch.0 の動作状態を読出します。
ICSB32 は、ICU ch.3 と ICU ch.2 の動作状態を読出します。

レジスタ構成

Bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	IEI1	IE10
属性	-	-	-	-	-	-	R	R
初期値	-	-	-	-	-	-	0	0

レジスタ機能

[bit8] IEI0

本ビットは、ICU ch.(0)の直前の有効エッジを示すレジスタです。

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	ICU ch.(0)の直前のキャプチャ動作が立下りエッジで行われたことを示します。
	1	ICU ch.(0)の直前のキャプチャ動作が立上りエッジで行われたことを示します。

[bit9] IEI1

本ビットは、ICU ch.(1)の直前の有効エッジを示すレジスタです。

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	ICU ch.(1)の直前のキャプチャ動作が立下りエッジで行われたことを示します。
	1	ICU ch.(1)の直前のキャプチャ動作が立上りエッジで行われたことを示します。

以下は、IEI0, IE11 共通の説明事項です。

IEI0, IE11 を読出すことにより、直前のキャプチャ動作のエッジを判断できます。本レジスタは初期値が 0 のため、キャプチャ動作が 1 回も行われていない場合、0 が読み出せます。また、入力信号の有効エッジが検出されるたびに更新されます。従って、キャプチャ動作後、次の有効エッジの前に本レジスタを読み出す必要があります。

[bit15:10] 予約

書込み値は無効です。読出し値は不定値が読み出されます。

3.3.23 ICU キャプチャ値格納レジスタ (ICCP)

ICCP は、ICU にキャプチャされた値を読出す 16 ビットレジスタです。
搭載チャネルごとに ICCP0～ICCP3 の 4 つのレジスタがあります。
ICCP0 は、ICU ch.0 のキャプチャ値を格納します。
ICCP1 は、ICU ch.1 のキャプチャ値を格納します。
ICCP2 は、ICU ch.2 のキャプチャ値を格納します。
ICCP3 は、ICU ch.3 のキャプチャ値を格納します。
本レジスタは、バイトアクセスすることができないため、注意してください。

レジスタ構成

bit	31	16
field	ICCP[15:0]	
属性	R	
初期値	0x0000	

レジスタ機能

[bit31:16] ICCP[15:0]

本レジスタは、ICU の各チャネルでキャプチャされた値を読み出す 16 ビットレジスタです。

処理	機能
書込み	書込みは無効です。
読出し	ICU にキャプチャされているデータが読み出されます。

本レジスタは入力信号の有効エッジが検出されるたびに更新されます。従って、キャプチャ動作後、次の有効エッジの前に本レジスタを読み出す必要があります。

3.3.24 ADCMP 接続 FRT 選択レジスタ (ACFS)

ACFS は、ADCMP に接続する FRT を選択設定する 8 ビットレジスタです。
搭載チャネルごとに ACFS10,ACFS32,ACFS54 の 3 つのレジスタがあります。
ACFS10 は、ADCMP ch.1 と ADCMP ch.0 を制御します。
ACFS32 は、ADCMP ch.3 と ADCMP ch.2 を制御します。
ACFS54 は、ADCMP ch.5 と ADCMP ch.4 を制御します。
ACFS10, ACFS32, ACFS54 のビット位置はそれぞれ、[7:0], [15:8], [23:16]です。

レジスタ構成

Bit	23/15/7	22/14/6	21/13/5	20/12/4	19/11/3	18/10/2	17/9/1	16/8/0
Field	FSA1[3:0]				FSA0[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

レジスタ機能

[bit3:0/11:8/19:16] FSA0[3:0]

本ビットは、ADCMP の ch.(0)に接続して使用する FRT を選択するビットです。

本ビットの設定変更は、接続する ADCMP の動作禁止中に行ってください。

処理	値	機能
書込み	0000	ADCMP ch.(0)に FRT ch.0 を接続します。
	0001	ADCMP ch.(0)に FRT ch.1 を接続します。
	0010	ADCMP ch.(0)に FRT ch.2 を接続します。
	0011 ～ 1000	MFT を複数ユニット搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT を 1 ユニット搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

[bit7:4/15:12/23:20] FSA1[3:0]

本ビットは、ADCMP の ch.(1)に接続して使用する FRT を選択するビットです。

本ビットの設定変更は、接続する ADCMP の動作禁止中に行ってください。

処理	値	機能
書込み	0000	ADCMP ch.(1)に FRT ch.0 を接続します。
	0001	ADCMP ch.(1)に FRT ch.1 を接続します。
	0010	ADCMP ch.(1)に FRT ch.2 を接続します。
	0011 ～ 1000	MFT を複数ユニット搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT を 1 ユニット搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

MFT が複数ユニット存在する製品の場合、別 MFT ユニットに存在する FRT の接続を選択できます。その際の設定詳細は「4.8 OCU, ICU, ADCMP の FRT 選択」を参照してください。

3.3.25 ADCMP 制御レジスタ A (ACSA)

ACSA は、ADCMP の動作制御を行う 16 ビットレジスタです。本レジスタは、FM3 ファミリ製品との互換制御のためのレジスタです。ADCMP の ch.0~ch.5 のすべてを制御します。FM3 ファミリ製品との互換については、「4.7 ADCMP の FM3 ファミリ製品互換動作」を参照して下さい。

レジスタ構成

Bit	15	14	13 12	11 10	9 8
Field	予約	予約	SEL54[1:0]	SEL32[1:0]	SEL10[1:0]
属性	-	-	R/W	R/W	R/W
初期値	0	0	00	00	00

Bit	7	6	5 4	3 2	1 0
Field	予約	予約	CE54[1:0]	CE32[1:0]	CE10[1:0]
属性	-	-	R/W	R/W	R/W
初期値	0	0	00	00	00

レジスタ機能

[bit1:0] CE10[1:0]

本ビットは、ADCMP ch.1, ch.0 の FM3 ファミリ製品互換の動作許可・禁止指定を行います。

処理	値	機能
書込み	00	ADCMP ch.1, ch.0 を動作禁止状態にします。
	01	ADCMP ch.1, ch.0 を FM3 ファミリ製品互換の動作許可状態にします。
	10,11	設定禁止
読出し	-	設定値を読み出します。

[bit3:2] CE32[1:0]

本ビットは、ADCMP ch.3, ch.2 の FM3 ファミリ製品互換の動作許可・禁止指定を行います。

処理	値	機能
書込み	00	ADCMP ch.3,ch.2 を動作禁止状態にします。
	01	ADCMP ch.3,ch.2 ををを FM3 ファミリ製品互換の動作許可状態にします。
	10,11	設定禁止
読出し	-	設定値を読み出します。

[bit5:4] CE54[1:0]

本ビットは、ADCMP ch.5, ch.4 の FM3 ファミリ製品互換の動作許可・禁止指定を行います。

処理	値	機能
書込み	00	ADCMP ch.5,ch.4 を動作禁止状態にします。
	01	ADCMP ch.5,ch.4 を FM3 ファミリ製品互換の動作許可状態にします。
	10,11	設定禁止
読出し	-	設定値を読み出します。

[bit7:6] 予約

書込み時は 0 を書き込んでください。読出し値は 0 が読み出されます。

[bit9:8] SEL10[1:0]
本ビットは、ADCMP ch.1, ch.0 の FM3 ファミリ製品互換の動作を選択します。

処理	機能
書込み	ADCMP ch.1,ch.0 の動作を選択します。 「4.7. ADCMP の FM3 ファミリ製品互換動作」を参照してください。
読出し	設定値を読み出します。

[bit11:10] SEL32[1:0]
本ビットは、ADCMP ch.3, ch.2 の FM3 ファミリ製品互換の動作を選択します。

処理	機能
書込み	ADCMP ch.3,ch.2 の動作を選択します。 「4.7. ADCMP の FM3 ファミリ製品互換動作」を参照してください。
読出し	設定値を読み出します。

[bit13:12] SEL54[1:0]
本ビットは、ADCMP ch.5, ch.4 の FM3 ファミリ製品互換の動作を選択します。

処理	機能
書込み	ADCMP ch.5,ch.4 の動作を選択します。 「4.7. ADCMP の FM3 ファミリ製品互換動作」を参照してください。
読出し	設定値を読み出します。

[bit15:14] 予約:
書込み時は 0 を書き込んでください。読出し値は 0 が読み出されます。

3.3.26 ADCMP 制御レジスタ C (ACSC)

ACSC は、ADCMP の動作制御を行う 8 ビットレジスタです。搭載チャネルごとに
ACSC0～ACSC5 の 6 つのレジスタがあります。
ACSC0 は、ADCMP ch.0 の制御を行います。
ACSC1 は、ADCMP ch.1 の制御を行います。
ACSC2 は、ADCMP ch.2 の制御を行います。
ACSC3 は、ADCMP ch.3 の制御を行います。
ACSC4 は、ADCMP ch.4 の制御を行います。
ACSC5 は、ADCMP ch.5 の制御を行います。

レジスタ構成

Bit	7	6	5	4	3	2	1	0
Field	予約	予約	APBM	ADSEL[2:0]			BUFE[1:0]	
属性	R	R	R/W	R/W			R/W	
初期値	0	0	0	000			00	

レジスタ機能

[bit1:0] BUFE[1:0]および[bit5] APBM

BUFE[1:0]は、ACMP レジスタ, ACMC レジスタのバッファ機能の設定を行います。バッファ機能の有効/無効と、転送タイミングの選択が行えます。APBM は、FRT の割り込みマスクカウンタとの連動転送の設定を行います。

APBM は、TYPE2-M0+以降製品でのみ設定可能です。TYPE1-M0+製品では APBM=0 として扱われます。

このレジスタ設定は、ADCMP が動作禁止中に行ってください。

処理	値		機能	
	APBM	BUFE	バッファ機能	転送タイミング
書込み	0	00	無効	CPU から ACMP,ACMC 書込み時、常に転送-
	0	01	有効	接続 FRT が、Zero/Bottom 状態の時
	0	10		接続 FRT が、Peak/Top 状態の時
	0	11		接続 FRT が、Zero/Botom 状態、Peak/Top 状態の時
	1	00	無効	CPU から ACMP,ACMC 書込み時、常に転送-
	1	01	有効	接続 FRT が、Zero/Bottom 状態であり、かつ 接続 FRT が、MSZC=0000 の時
	1	10		接続 FRT が、Peak/Top 状態の時であり、かつ 接続 FRT が、MSPC=0000 の時
	1	11		接続 FRT が、Zero/Bottom 状態の時・・条件 A 接続 FRT が、MSZC=0000 の時 ・・条件 B 接続 FRT が、Peak/Top 状態の時 ・・条件 C 接続 FRT が、MSPC=0000 の時 ・・条件 D (条件 A かつ条件 B)または(条件 C かつ条件 D)の時
読出し	-	-	設定値を読み出します。	

ACSC レジスタにて、バッファ機能無効からバッファ機能有効に設定変更を行う場合、ACSC レジスタと ACMC レジスタを 32 ビットアクセス(ワードアクセス)により同時に書き換えると、その際の ACMC レジスタへの書込み値が、ACMC レジスタに転送された後に、バッファ機能有効になります。

[bit4:2] ADCSEL

本ビットは、ADCMP が出力する ADC 起動信号の出力先を指定します。
本レジスタ設定は、ADCMP が動作禁止中に行ってください。複数のチャネルの ACSC.ADSEL の値を、同じ出力先に選択することができます。この場合、同じ ADC に対し、複数の ADC 起動タイミングを設定することができます。

処理	値	機能
書込み	000	ADC start trigger 0 を出力します。
	001	ADC start trigger 1 を出力します。
	010	ADC start trigger 2 を出力します。
	011	ADC start trigger 3 を出力します。
	100	ADC start trigger 4 を出力します。
	101	ADC start trigger 5 を出力します。
	110	ADC start trigger 6 を出力します。
	111	ADC start trigger 7 を出力します。
読出し	-	設定値を読み出します。

[bit7:5] 予約

書込み時は 0 を書き込んでください。読出し値は 0 が読み出されます。

3.3.27 ADCMP 制御レジスタ D (ACSD)

ACSD は、ADCMP の動作制御を行う 8 ビットレジスタです。
搭載チャネルごとに ACSD0～ACSD5 の 6 つのレジスタがあります。
ACSD0 は、ADCMP ch.0 の制御を行います。
ACSD1 は、ADCMP ch.1 の制御を行います。
ACSD2 は、ADCMP ch.2 の制御を行います。
ACSD3 は、ADCMP ch.3 の制御を行います。
ACSD4 は、ADCMP ch.4 の制御を行います。
ACSD5 は、ADCMP ch.5 の制御を行います。

レジスタ構成

Bit	15	14	13	12	11	10	9	8
Field	ZE	UE	PE	DE	予約	予約	OCUS	AMOD
属性	R/W	R/W	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit8] AMOD

本ビットは、ADCMP の動作モードを選択します。

処理	値	機能
書込み	0	ADCMP をノーマルモードで起動します。
	1	ADCMP をオフセットモードで起動します。
読出し	-	設定値を読み出します。

ノーマルモードの場合、ACMP レジスタ値と、FRT の一致検出時、ADC 起動信号が出力されます。

オフセットモードの場合、選択した OCCP とその OCU に接続する FRT の一致検出時、ACMP の値をオフセット起動ダウンカウンタにロードします。オフセット起動ダウンカウンタが、ACMP 指定のカウント動作を行った後、ADC 起動信号が出力されます。OCCP の一致検出から ADC 起動までのオフセット時間は以下のようになります。

オフセット時間 ＝ACMP 値×フリーランタイマクロック周期

[bit9] OCUS

本ビットは、オフセット起動の場合に起動元となる OCU の OCCP レジスタを選択します。
AMOD=0 を指定している場合、このレジスタ値は無意味な値です。

処理	値	機能
書込み	0	OCCP(0)を選択します。
	1	OCCP(1)を選択します。
読出し	-	設定値を読み出します。

OCUS の値により、どの OCCP が選択されるかは、ADCMP のチャネル番号により異なります。
詳細は、「4.6 ADCMP 動作説明」を参照してください。

[bit11:10] 予約

書込み時は 00 を書き込んでください。読出し値は 00 が読み出されます。

[bit12] DE
本ビットは、ADCMP に接続する FRT が Down 状態の場合の ADCMP の動作許可・禁止を選択します。

処理	値	機能
書込み	0	ADCMP に接続する FRT が Down 状態の ADCMP の動作を禁止します。
	1	ADCMP に接続する FRT が Down 状態の ADCMP の動作を許可します。 AMOD=0 の場合、ACMP=FRT かつ ACMC 一致で、ADC 起動信号を出力します。 AMOD=1 の場合、OCCP=FRT かつ ACMC 一致で、オフセットダウンカウンタを起動します。
読出し	-	設定値を読み出します。

[bit13] PE
本ビットは、ADCMP に接続する FRT が Peak/Top 状態の場合の ADCMP の動作許可・禁止を選択します。

処理	値	機能
書込み	0	ADCMP に接続する FRT が Peak/Top 状態の ADCMP の動作を禁止します。
	1	ADCMP に接続する FRT が Peak/Top 状態の ADCMP の動作を許可します。 AMOD=0 の場合、ACMP=FRT かつ ACMC 一致で、ADC 起動信号を出力します。 AMOD=1 の場合、OCCP=FRT かつ ACMC 一致で、オフセットダウンカウンタを起動します。
読出し	-	設定値を読み出します。

[bit14] UE
本ビットは、ADCMP に接続する FRT が Up 状態の場合の ADCMP の動作許可・禁止を選択します。

処理	値	機能
書込み	0	ADCMP に接続する FRT が Up 状態の ADCMP の動作を禁止します。
	1	ADCMP に接続する FRT が Up 状態の ADCMP の動作を許可します。 AMOD=0 の場合、ACMP=FRT かつ ACMC 一致で、ADC 起動信号を出力します。 AMOD=1 の場合、OCCP=FRT かつ ACMC 一致で、オフセットダウンカウンタを起動します。
読出し	-	設定値を読み出します。

[bit15] ZE
本ビットは、ADCMP に接続する FRT が Zero/Bottom 時の ADCMP の動作許可・禁止を選択します。

処理	値	機能
書込み	0	ADCMP に接続する FRT が Zero/Bottom 状態の ADCMP の動作を禁止します。
	1	ADCMP に接続する FRT が Zero/Bottom 状態の ADCMP の動作を許可します。 AMOD=0 の場合、ACMP=FRT かつ ACMC 一致で、ADC 起動信号を出力します。 AMOD=1 の場合、OCCP=FRT かつ ACMC 一致で、オフセットダウンカウンタを起動します。
読出し	-	設定値を読み出します。

DE, PE, UE, ZE のいずれかに 1 を書き込むことで、ADCMP の動作許可を行います。
ACSD0 レジスタ, ACSD1 レジスタのいずれかで、ADCMP-ch.0 または ch.1 を動作許可とする場合、ACSA:CE10=01 の設定は禁止です。

ACSD2 レジスタ, ACSD3 レジスタのいずれかで、ADCMP-ch.2 または ch.3 を動作許可とする場合、ACSA:CE32=01 の設定は禁止です。

ACSD4 レジスタ, ACSD5 レジスタのいずれかで、ADCMP-ch.4 または ch.5 を動作許可とする場合、ACSA:CE54=01 の設定は禁止です。

3.3.28 ADCMP コンペア値格納レジスタ (ACMP)

ACMP は、ADCMP にて、AD 変換起動のタイミングを、FRT カウント値のコンペア値、もしくは、OCU の一致検出後のオフセット値を指定する 16 ビットレジスタです。搭載チャネルごとに ACMP0～5 の 6 つのレジスタがあります。

ACMP0 は、ADCMP ch.0 のコンペア値, オフセット値を格納します。
ACMP1 は、ADCMP ch.1 のコンペア値, オフセット値を格納します。
ACMP2 は、ADCMP ch.2 のコンペア値, オフセット値を格納します。
ACMP3 は、ADCMP ch.3 のコンペア値, オフセット値を格納します。
ACMP4 は、ADCMP ch.4 のコンペア値, オフセット値を格納します。
ACMP5 は、ADCMP ch.5 のコンペア値, オフセット値を格納します。
本レジスタは、バイトアクセスすることができないため、注意してください。

レジスタ構成

bit	31	16
field	ACMP[15:0]	
属性	R/W	
初期値	0x0000	

レジスタ機能

ACMP レジスタは、AD 変換起動のタイミング(FRT コンペア値またはオフセット値)を指定するレジスタです。このアドレス領域にデータ書込みを行うと、データはいったんバッファレジスタに格納されます。その後、以下の条件で、バッファレジスタから ACMP レジスタにデータが転送されます。

■ バッファ機能無効の場合(ACSC.BUFE=00)
バッファレジスタ書込み直後にデータ転送されます。

■ バッファ機能有効の場合(ACSC.BUFE≠00)
FRT がカウント停止(TCSA.STOP=1)しているとき、または指定された転送タイミングにデータ転送されます。

FRT のカウント動作中に、このレジスタを書き換えることにより、AD 変換起動のタイミングを変更できます。バッファ機能無効の場合、書込んだ値を直ちに ACMP レジスタに反映できます。バッファ機能有効の場合、複数のチャネルの ACMP レジスタ設定を同期化することができます。

このアドレス領域からデータの読出しを行うと、バッファレジスタの値ではなく、ACMP レジスタの値が読み出されます。このため、バッファ機能有効時、転送終了するまでは前の値が読み出されます。また、このアドレス領域に対する RMW アクセスによるビット書換えはできません。

[bit31:16] ACMP[15:0]

処理	機能
書込み	AD 変換起動のタイミング(FRT コンペア値またはオフセット値)を指定します。値は、ACMP バッファレジスタに書き込まれます。
読出し	ACMP レジスタ値を読み出します(ACMP バッファレジスタ値ではありません)。

3.3.29 ADCMP マスクコンペア値格納レジスタ (ACMC)

ACMC は、ADCMP にて、AD 変換起動のタイミングを、FRT の割り込みマスクカウンタのコンペア値として指定する 8 ビットレジスタです。搭載チャネルごとに ACMC0～5 の 6 つのレジスタがあります。

ACMC0 は、ADCMP ch.0 のコンペア値, オフセット値を格納します。
ACMC1 は、ADCMP ch.1 のコンペア値, オフセット値を格納します。
ACMC2 は、ADCMP ch.2 のコンペア値, オフセット値を格納します。
ACMC3 は、ADCMP ch.3 のコンペア値, オフセット値を格納します。
ACMC4 は、ADCMP ch.4 のコンペア値, オフセット値を格納します。
ACMC5 は、ADCMP ch.5 のコンペア値, オフセット値を格納します。

<注意事項>

- *本レジスタは、TYPE2-M0+以降製品にのみ存在します。*

レジスタ構成

bit	23	22	21	20	19	18	17	16
field	MPCE	MZCE	予約	予約	AMC[3:0]			
属性	R/W	R/W	-	-	R/W			
初期値	0	0	-	-	0000			

レジスタ機能

ACMC レジスタは、AD 変換起動のタイミングを、FRT の割り込みマスクカウンタとのコンペア値として指定するレジスタです。FRT の割込みマスクカウンタがコンペア値と一致するタイミングで、AD 変換起動を行えます。

このアドレス領域にデータ書込みを行うと、各ビットのデータはいったんバッファレジスタに格納されます。その後、以下の条件で、バッファレジスタから ACMC レジスタの各ビットにデータが転送されます。

■ バッファ機能無効の場合(ACSC.BUFE=00)
バッファレジスタ書込み直後にデータ転送されます。

■ バッファ機能有効の場合(ACSC.BUFE≠00)
FRT がカウント停止(TCSA.STOP=1)しているとき、または指定された転送タイミングにデータ転送されます。

FRT のカウント動作中に、このレジスタの各ビットを書き換えることにより、AD 変換起動のタイミングを変更できます。バッファ機能無効の場合、書込んだ値を直ちに ACMC レジスタに反映できます。バッファ機能有効の場合、複数のチャネルの ACMC レジスタ設定を同期化することができます。

このアドレス領域からデータの読出しを行うと、バッファレジスタの値ではなく、ACMC レジスタの値が読み出されます。このため、バッファ機能有効時、転送終了するまでは前の値が読み出されます。また、このアドレス領域に対する RMW アクセスによるビット書換えはできません。

[bit19:16] AMC[3:0]

本ビットは、FRT の割り込みマスクカウンタとのコンペア値を指定します。

処理	機能
書込み	AD 変換起動のタイミングを FRT の割込みマスクカウンタとのコンペア値で指定します。 値は、バッファレジスタに書き込まれます。
読出し	AMC レジスタ値を読み出します(AMC バッファレジスタ値ではありません)。

[bit21:20] 予約
書込み時は 00 を書き込んでください。読出し値は 00 が読み出されます。

[bit22] MZCE
本ビットは、FRT の Zero 割り込みマスクカウンタとのコンペアを行うかどうかを指定します。

処理	値	機能
書込み	0	FRT の Zero 割込みマスクカウンタとのコンペアを行いません。 値は、バッファレジスタに書き込まれます。
	1	FRT の Zero 割込みマスクカウンタとのコンペアを行います。 値は、バッファレジスタに書き込まれます。
読出し	-	MZCE レジスタ値を読み出します(MZCE バッファレジスタ値ではありません)。

[bit23] MPCE
本ビットは、FRT の Peak 割り込みマスクカウンタとのコンペアを行うかどうかを指定します。

処理	値	機能
書込み	0	FRT の Peak 割込みマスクカウンタとのコンペアを行いません。 値は、バッファレジスタに書き込まれます。
	1	FRT の Peak 割込みマスクカウンタとのコンペアを行います。 値は、バッファレジスタに書き込まれます。
読出し	-	MZCE レジスタ値を読み出します(MZCE バッファレジスタ値ではありません)。

上記の MZCE、MPCE の各レジスタの指定と、接続されている FRT の割込みマスクカウンタと AMC[3:0]、の比較結果に基づき、以下に記載の ACMC 一致判定が行われます。この判定結果を基に ADCMP で処理が行われます。

- MPCE=0、MZCE=0 の場合、AMC[3:0]値、接続 FRT のマスクカウンタ値によらず、常に ACMC 一致と判定します。
- MPCE=0、MZCE=1 の場合、AMC[3:0]値と接続 FRT の Zero 割り込みマスクカウンタ値(MSZC[3:0])が一致した場合に、ACMC 一致と判定します。
- MPCE=1、MZCE=0 の場合、AMC[3:0]値と接続 FRT の Peak 割り込みマスクカウンタ値(MSPC[3:0])が一致した場合に、ACMC 一致と判定します。
- MPCE=1、MZCE=1 の場合、AMC[3:0]値と接続 FRT の Zero 割り込みマスクカウンタ値、Peak 割り込みマスクカウンタ値のいずれかが一致した場合に、ACMC 一致と判定します。

Table 3-14 に、上記内容を示します。表中の X は、その条件が無視されることを示します。TYPE1-M4, TYPE2-M4 製品では、MPCE=MZCE=0 であるとみなされます。

Table 3-14 ACMC 一致の判定結果

MPCE	MZCE	AMC[3:0]と MSPC[3:0] の比較結果	AMC[3:0]と MSZC[3:0] の比較結果	ACMC 一致 判定の結果
0	0	X	X	一致
0	1	X	一致	一致
		X	不一致	不一致
1	0	一致	X	一致
		不一致	X	不一致
1	1	一致	X	一致
		X	一致	一致
		不一致	不一致	不一致

上記のように、ACMC レジスタの指定を行うことで、FRT の割り込みマスクカウンタ値が、指定した値に一致した場合にのみ、ADC 起動信号の出力/オフセットダウンカウンタの起動をすることができます。
MPCE=MZCE=0 の場合、FRT 割込みマスクカウンタ値とは無関係に処理が行えます。

「4.6.5 FRT 割込みマスクカウンタに連動した ADC 起動」および「3.3.27 ADCMP 制御レジスタ D (ACSD)」の ZE, UE, PE, DE の項を参照してください。

ADCMP で接続を選択している FRT が、オフセット付カウントモード(ch.1,2)の場合、FRT の割込みマスクカウンタ値は、同時動作している ch.0 の割込みマスクカウンタ値が接続されます。このため、オフセット付カウントモードの FRT を接続していても、割込みマスクカウンタに連動した AD 起動が行えます。

レジスタ設定には、以下の制限がありますので、注意してください。

・ACMC.MZCE=1 の設定を行う場合、ACSD.ZE=1 とすることはできません。

・ACMC.MPCE=1 の設定を行う場合、ACSD.PE=1 とすることはできません。

<注意事項>

- *本レジスタ機能は、TYPE2-M0+以降製品のみで利用可能です。TYPE1-M0+製品では、MPCE=MZCE=0 の値を設定した動作と同じとなり、常に ACMC 一致と見なします。*
- *TYPE1-M0+製品では、本レジスタのアドレス領域の読出しを行うと、すべて"1"の値が読み出せるため、注意してください。*
- *本レジスタ機能は、ACSD レジスタを用いて ADC 起動信号を出力する場合に使用できます。ACSA レジスタを用いた FM3 互換起動の場合は使用できないので、注意してください。*

4. 多機能タイマの動作

多機能タイマの動作の詳細を説明します。

4.1. FRT 動作説明
4.2. OCU 動作説明
4.3. OCU の FM3 ファミリ製品互換動作
4.4. WFG 動作説明
4.5. WFG の FM3 ファミリ製品互換動作
4.6. ADCMP 動作説明
4.7. ADCMP の FM3 ファミリ製品互換動作
4.8. OCU, ICU, ADCMP の FRT 選択
4.9. WFG に接続する PPG タイマユニット
4.10. イベント検出レジスタと割込みの取り扱いについて

4.1 FRT 動作説明

FRT の動作について説明します。

4.1.1 FRT の制御レジスタ

Table 4-1 に、FRT の制御レジスタの一覧を示します。各レジスタの機能概要と設定タイミングを示します。

FRT の初期基本設定(クロック分周比設定, カウントモード選択)は、FRT のカウント動作を停止している間に行います。初期設定終了後、カウント動作を開始(TCSA.STOP=0)させます。

FRT に接続する OCU、ICU、ADCMP には、FRT のカウント値、カウント状態が入力されます。各ブロックは、これらの入力を基準として、同期した出力信号変化、バッファ転送動作等を行うことができます。

FRT カウンタが、0x0000 をカウントすると Zero 値検出レジスタ(TCSA.IRQZF)を、Peak 値(=TCCP)をカウントすると、Peak 値検出レジスタ(TCSA.ICLR)をそれぞれセットします。これらのイベント検出レジスタを使用し、CPU に割込みを発生させることができます。Zero 検出, Peak 検出レジスタのセットタイミングは、割込みマスクカウンタにより、一定回数の割合で間引くことができます。

TCAL レジスタを用いることで、複数の FRT を同時にカウント開始、停止、初期化することができます。

Table 4-1 FRT の制御レジスタ

設定レジスタ	レジスタ機能	レジスタ変更タイミング
TCSA.STOP TCAL.STOP	カウント動作の開始/停止	初期設定終了後、 任意のタイミング
TCSA.SCLR TCAL.SCLR	カウンタ値の初期化	
TCSA.CLK	クロック分周比の設定	カウント動作停止中に設定 カウント動作開始後は、 設定変更禁止
TCSA.BFE	TCCP レジスタバッファ機能選択	
TCSA.MODE	カウントモードの選択	
TCSD.OFMD1/2 (TYPE2-M0+以降製品)	オフセット付カウントモードの選択	
TCSA.ECKE	外部クロックの選択	
TCSC.MSZI TCSC.MSPI	割り込みマスクカウンタ初期値設定	任意のタイミング
TCSC.MSZC TCSC.MSPC	割り込みマスクカウンタ値読出し	
TCSA.ICLR TCSA.IRQZF	一致検出レジスタ読出し、クリア	
TCSA:ICLRE TCSA.IRQZE	割込み許可/禁止	
TCCP	Peak 値/オフセット値の指定	バッファ機能有効時： 任意のタイミング バッファ機能無効時： 設定変更タイミングに注意が必要

4.1.2 FRT のカウント動作

4.1.2.1 カウントモードの選択

Table 4-2, Table 4-3, Table 4-4 に、FRT の各チャネルのカウントモードの選択条件、選択されるカウントモードと、その場合の制御レジスタの関係の一覧を示します。

Table 4-2 FRT-ch.0 のカウントモード選択

動作モード選択条件	FRT-ch.0 のカウントモード	制御レジスタ
TCSA0.MODE=0	ノーマル・ アップカウント	TCSA0：基本制御 TCSC0：割り込みマスクカウンタ TCCP0：Peak 値(カウント周期)設定 TCDT0：現在の ch.0 カウンタ値読出し
TCSA0.MODE=1	ノーマル・ アップダウンカウント	

Table 4-3 FRT-ch.1 のカウントモード選択

動作モード選択条件	FRT-ch.1 の動作モード	制御を行うレジスタ
TCSD.OFMD1=0 TCSA1.MODE=0	ノーマル・ アップカウント	TCSA1：基本制御 TCSC1：割り込みマスクカウンタ TCCP1：Peak 値(カウント周期)設定 TCDT1：現在の ch.1 カウンタ値読出し
TCSD.OFMD1=0 TCSA1.MODE=1	ノーマル・ アップダウンカウント	
TCSD.OFMD1=1 TCSA0.MODE=0	オフセット付 アップカウント	TCSA0：基本制御(ch.0 と ch.1 を同時制御) TCSA1：制御に使用しません。 TCSC0：割り込みマスクカウンタ TCSC1：制御に使用しません。 TCCP0：Peak 値(カウント周期)設定 TCCP1：オフセット値設定 TCDT0：現在の ch.0 のカウンタ値読出し TCDT1：現在の ch.1 のカウンタ値読出し
TCSD.OFMD1=1 TCSA0.MODE=1	オフセット付 アップダウンカウント	

Table 4-4 FRT-ch.2 のカウントモード選択

動作モード選択条件	FRT-ch.2 の動作モード	制御を行うレジスタ
TCSD.OFMD2=0 TCSA2.MODE=0	ノーマル・ アップカウント	TCSA2：基本制御 TCSC2：割り込みマスクカウンタ TCCP2：Peak 値(カウント周期)設定 TCDT2：現在のカウンタ値読出し
TCSD.OFMD2=0 TCSA2.MODE=1	ノーマル・ アップダウンカウント	
TCSD.OFMD2=1 TCSA0.MODE=0	オフセット付 アップカウント	TCSA0：基本制御(ch.0 と ch.2 を同時制御) TCSA2：制御に使用しません。 TCSC0：割り込みマスクカウンタ TCSC2：制御に使用しません。 TCCP0：Peak 値(カウント周期)設定 TCCP2：オフセット値設定 TCDT0：現在の ch.0 のカウンタ値読出し TCDT2：現在の ch.2 のカウンタ値読出し
TCSD.OFMD2=1 TCSA0.MODE=1	オフセット付 アップダウンカウント	

ch.0 は、ノーマル・アップカウントモード, ノーマル・アップダウンカウントモードの 2 つのいずれかの選択が可能です。オフセット付のカウントモードは選択できません。

Ch.1,2 は、それぞれ、ノーマル・アップカウントモード, ノーマル・アップダウンカウントモード, オフセット付アップカウントモード, オフセット付アップダウンカウントモードの 4 つのいずれかの選択が可能です。

Ch.0,1,2 で、ノーマル・カウントモードを選択した場合、他の FRT チャネルのカウント動作の影響は受けません。そのチャネルは、他のチャネルとは独立した FRT として使用することができます。FRT カウンタの動作制御は、各 TCSA, TCSC, TCCP, TCDT レジスタを用いて、個別に行います。

Ch.1 に対し、オフセット付カウントモードを選択(TCSD.OFMD1=1)した場合、ch.1 は、ch.0 に従属したカウント動作を行います。Ch.0 をノーマル・アップカウントモード(TCSA0.MODE=0)とした場合、ch.1 は、オフセット付アップカウントモードになります。Ch.0 をノーマル・アップダウンカウントモード(TCSA0.MODE=1)とした場合、ch.1 は、オフセット付アップダウンカウントモードになります。TCSA0 レジスタ、TCSC0 レジスタの設定が、ch.0 と ch.1 のカウンタ両方に対して有効となり、同時にカウント動作の制御を行います。TCSA1 レジスタ, TCSC1 レジスタは使用しません。TCCP0 レジスタで、Peak 値を指定します。TCCP1 レジスタで、オフセット値を設定します。TCDT0 レジスタで ch0 のカウンタ値を、TCDT1 レジスタで、ch.1 のカウンタ値をそれぞれ読み出すことができます。

Ch.2 に対し、オフセット付カウントモードを選択(TCSD.OFMD2=1)した場合、ch.2 は ch.0 に従属したカウント動作を行います。Ch.0 をノーマル・アップカウントモード(TCSA0.MODE=0)とした場合、ch.2 はオフセット付アップカウントモードになります。Ch.0 をノーマル・アップダウンカウントモード(TCSA0.MODE=1)とした場合、ch.2 はオフセット付アップダウンカウントモードになります。TCSA0 レジスタ, TCSC0 レジスタの設定が、ch.0 と ch.2 のカウンタ両方に対して有効となり、同時にカウント動作の制御を行います。TCSA2 レジスタ, TCSC2 レジスタは使用しません。TCCP0 レジスタで、Peak 値を指定します。TCCP2 レジスタで、オフセット値を設定します。TCDT0 レジスタで ch0 のカウンタ値を、TCDT2 レジスタで、ch.2 のカウンタ値をそれぞれ読み出すことができます。

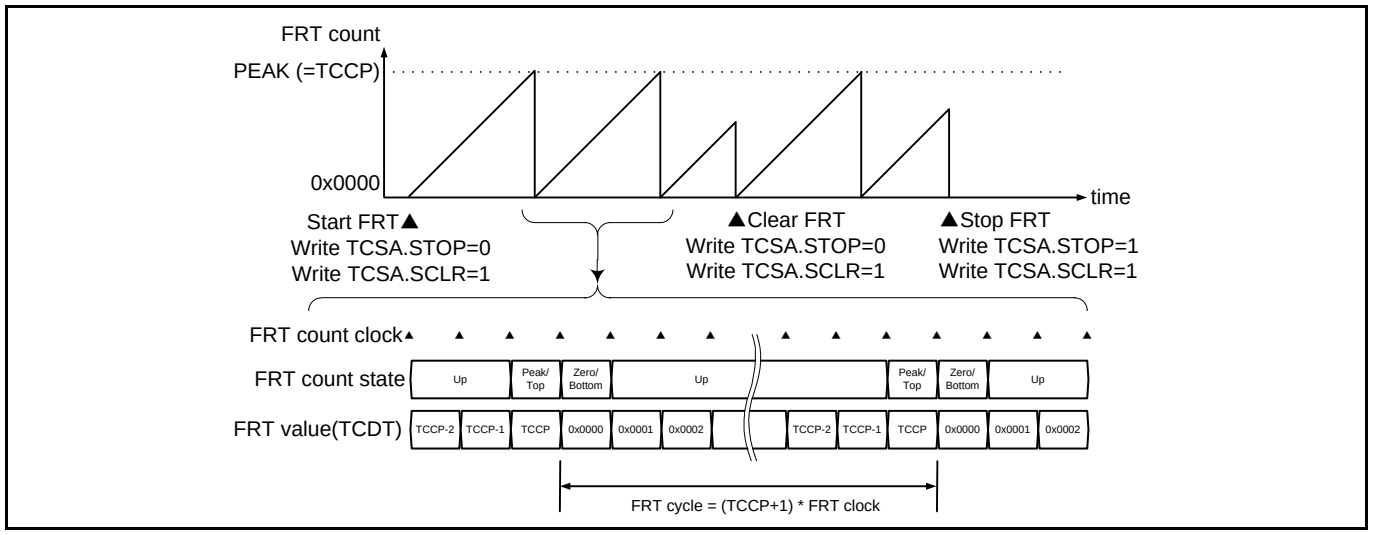
TCSD.OFMD1=1, TCSD.OFMD2=1 の設定とすることで、ch.1,2 両方をオフセット付カウントモードにすることができます。TCSA0 レジスタ、TCSC0 レジスタを用い、ch.0,1,.2 に対し、同時にカウント動作の制御を行います。この場合、TCSA1,2 レジスタ, TCSC1,2 レジスタは使用しません。TCCP0 レジスタで、Peak 値を指定します。TCCP1 レジスタで、ch.1 のオフセット値を、TCCP2 レジスタで、ch.2 のオフセット値を指定することができます。TCDT0, TCDT1, TCDT2 レジスタで ch0, ch.1, ch.2 のカウンタ値を、それぞれ読み出すことができます。

オフセット付カウントモードが選択できるのは、TYPE2-M0+以降製品です。TYPE1-M0+製品は、ノーマル・カウントモードのみの選択ができます。

4.1.2.2 ノーマル・アップカウントモードの動作(ch.0,1,2)

この節は、ch.0,1,2 に共通の説明です。レジスタ名のチャネル番号が省略された共通表記の場合、該当チャネルに読み替えてください。Figure 4-1 に、ノーマル・アップカウントモードを選択した場合の FRT カウント動作を示します。

Figure 4-1 ノーマル・アップカウントモード時 FRT 動作



このカウントモードの動作と、制御方法を以下に説明します。

ノーマル・アップカウントモードを選択します。

- ch.0 の場合、TCSA0.MODE=0 の指定を行います。
- ch.1 の場合、TCSA1.MODE=0, TCSD.OFMD1=0 の指定を行います。
- ch.2 の場合、TCSA2.MODE=0, TCSD.OFMD2=0 の指定を行います。

TCCP に FRT の Peak 値を設定します。

TCSA.STOP=0、TCSA.SCLR=1 の書込みを行います。FRT のカウンタ値(＝TCDT)が 0x0000 に初期化され、カウント動作を開始します。

FRT のカウンタ値は、0x0000 からインクリメントを開始します。Peak 値(=TCCP レジスタ設定値)まで インクリメント後、0x0000 に戻ります。以降は、このカウント動作を繰り返します。FRT のカウント周期は、(TCCP+1)×カウントクロック周期です。

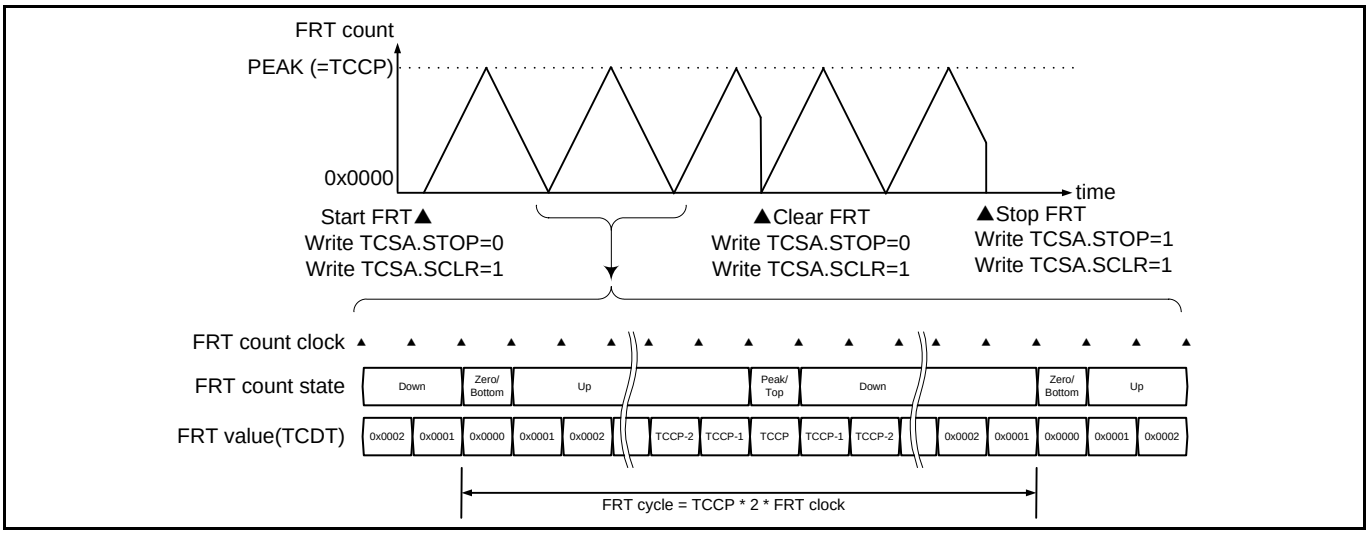
カウント動作中、TCSA.STOP=0, TCSA.SCLR=1 の書込みにより、カウンタ値を 0x0000 に初期化し、その後のカウント動作を継続することができます。

TCSA.STOP=1, TCSA.SCLR=1 の書込みにより、カウンタ値を 0x0000 に初期化して、カウント動作を停止させます。

4.1.2.3 ノーマル・アップダウンカウントモードの動作(ch.0,1,2)

この節は、ch.0,1,2 に共通の説明です。レジスタ名のチャネル番号が省略された共通表記の場合、該当チャネルに読み替えてください。Figure 4-2 に、ノーマル・アップダウンカウントモードの場合の FRT カウント動作を示します。

Figure 4-2 ノーマル・アップダウンカウントモード FRT 動作(ch.0,1,2)



このカウントモードの動作と、制御方法を以下に説明します。

ノーマル・アップダウンカウントモードを選択します。

- ch.0 の場合、TCSA0.MODE=1 の指定を行います。
- ch.1 の場合、TCSA1.MODE=1, TCSD.OFMD1=0 の指定を行います。
- ch.2 の場合、TCSA2.MODE=1, TCSD.OFMD2=0 の指定を行います。

TCCP に FRT の Peak 値を設定します。

TCSA.STOP=0, TCSA.SCLR=1 の書込みを行います。FRT のカウンタ値(＝TCDT)が 0x0000 に初期化され、カウント動作を開始します。

FRT のカウンタ値(=TCDT)は、0x0000 からカウントを開始します。Peak 値(=TCCP レジスタ設定値)までインクリメントします。その後、0x0000 までデクリメントします。以降は、このカウント動作を繰り返します。FRT のカウント周期は、(TCCP)×2×カウントクロック周期です。

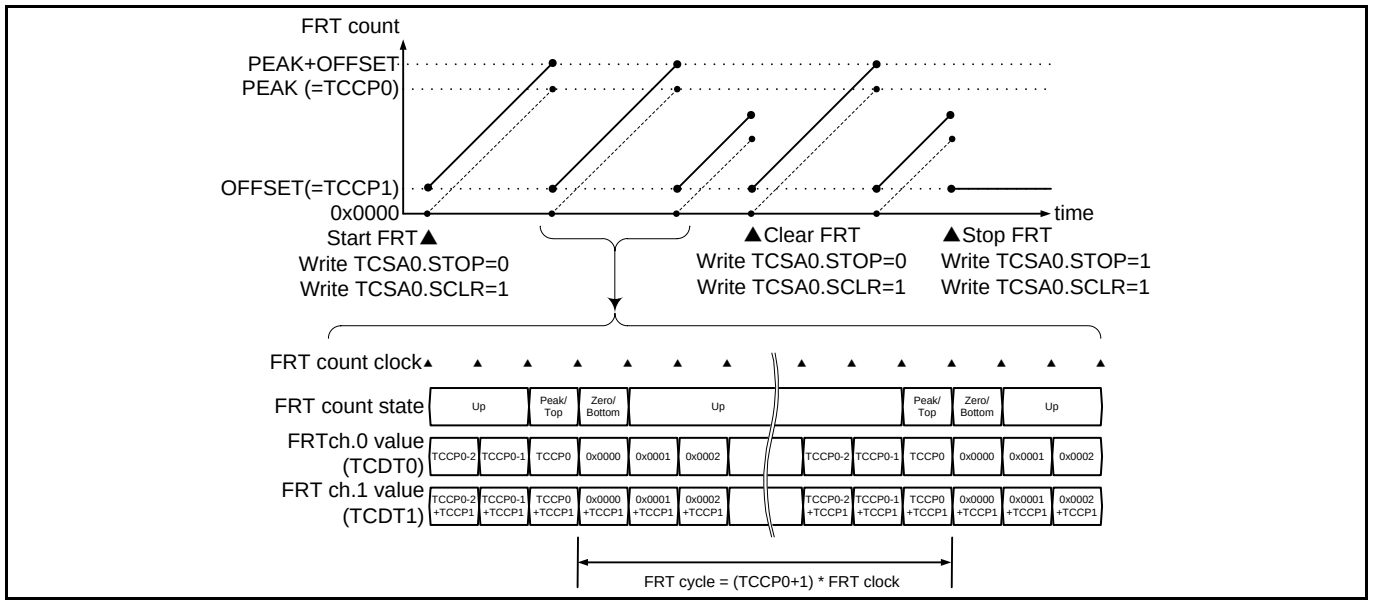
カウント動作中、TCSA.STOP=0, TCSA.SCLR=1 の書込みにより、カウンタ値を 0x0000 に初期化し、その後のカウント動作を継続することができます。初期化後、アップ方向でカウントを再開します。

TCSA.STOP=1, TCSA.SCLR=1 の書込みにより、カウンタ値を 0x0000 にクリアして、カウント停止します。

4.1.2.4 オフセット付アップカウントモードの動作(ch.1)

この節は、ch.1 の説明です。Figure 4-3 に、ch.1 のオフセット付アップカウントモードの場合の FRT カウント動作を示します。図の実線が ch.1、破線が ch.0 のカウント動作を示します。図は見やすくするために、ch.0 の Peak から Zero への変化、ch.1 の Peak+offset から offset への変化を結線していません。

Figure 4-3 オフセット付アップカウントモード FRT 動作(ch.1)



このカウントモードの動作と、制御方法を以下に説明します。

FRT-ch.0 をノーマル・アップカウントモード、FRT-ch.1 をオフセット付アップカウントモードに設定します。(TCSA0.MODE=0, TCSD.OFMD1=1)

TCCP0 に ch.0 の Peak 値を、TCCP1 に ch.1 のオフセット値を設定します。

TCSA0.STOP=0, TCSA0.SCLR=1 の書込みを行います。FRT-ch.0 のカウンタ値(＝TCDT0)が 0x0000 に、FRT-ch.1 のカウンタ値(＝TCDT1)がオフセット値(=TCCP1)にそれぞれ初期化されます。Ch.0 と ch.1 が同時にカウント動作を開始します。

Ch.0 のカウンタ値は、前述のノーマル・アップカウントモードで動作します。Ch.1 のカウンタ値は、オフセット値(=TCCP1)からカウントを開始し、Peak＋オフセット値(=TCCP0+TCCP1)までインクリメントします。その後、オフセット値(=TCCP1)に戻ります。以降は、このカウント動作を繰り返します。FRT のカウント周期は、ch.0、ch.1 共に、(TCCP0+1)×カウントクロック周期です。

カウント動作中、TCSA0.STOP=0,TCSA0.SCLR=1 の書込みにより、ch.0 のカウント値を 0x0000 に、ch.1 のカウント値をオフセット値(=TCCP1)に同時に初期化し、その後のカウント動作を継続することができます。

TCSA0.STOP=1、TCSA0.SCLR=1 の書込みにより、ch.0 カウンタ値を 0x0000 に、ch.1 のカウント値をオフセット値(=TCCP1)に同時に初期化してカウント停止します。

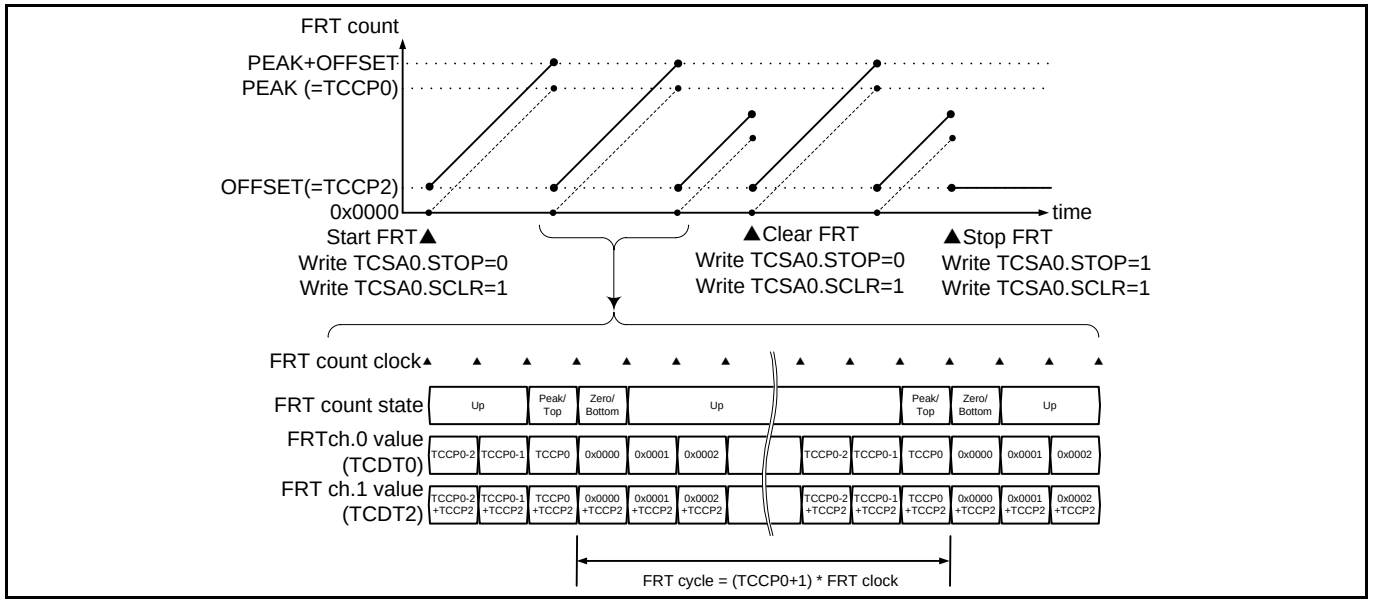
オフセット付カウントモードを選択後、最初にカウント開始をする場合は、最初に必ず TCSA0.SCLR=1 の書込みを行ってください。この書込みにより、ch.0 と ch.1 の両カウンタ値の初期化が行われます。

TCSD.OFMD1=1 の場合、ch.1 の制御レジスタ(TCSA1、TCSC1)は使用しません。Ch.0 の制御レジスタ(TCSA0, TCSC0)で、ch.0 と ch.1 を同時に制御します。

4.1.2.5 オフセット付アップカウントモードの動作(ch.2)

この節は、FRT-ch.2 の説明です。Figure 4-4 に、FRT-ch.2 のオフセット付アップカウントモードの FRT カウント動作を示します。図の実線が ch.2、破線が ch.0 のカウント動作を示します。図は見やすくするために、ch.0 の Peak から Zero への変化、ch.2 の Peak+offset から offset への変化を結線していません。

Figure 4-4 オフセット付アップカウントモード FRT 動作(ch.2)



ch.2 にて、オフセット付アップカウントモードを選択した場合、ch.1 のオフセット付アップカウントモードと同じカウント動作です。このカウントモードの動作と、制御方法を以下に説明します。

FRT-ch.0 をノーマル・アップカウントモード、FRT-ch.2 をオフセット付アップカウントモードに設定します。(TCSA0.MODE=0, TCSD.OFMD2=1)

TCCP0 に ch.0 の Peak 値を、TCCP2 に ch.2 のオフセット値を設定します。

TCSA0.STOP=0, TCSA0.SCLR=1 の書込みを行います。FRT-ch.0 のカウンタ値(＝TCDT0)が 0x0000 に、FRT-ch.2 のカウンタ値(＝TCDT2)がオフセット値(=TCCP2)にそれぞれ初期化されます。Ch.0 と ch.2 が同時にカウント動作を開始します。

Ch.0 のカウンタ値は、前述のノーマル・アップカウントモードで動作します。Ch.2 のカウンタ値は、オフセット値(=TCCP2)からカウントを開始し、Peak＋オフセット値(=TCCP0+TCCP2)までインクリメントします。その後、オフセット値(=TCCP2)に戻ります。以降は、このカウント動作を繰り返します。FRT のカウント周期は、ch.0、ch.2 共に、(TCCP0+1)×カウントクロック周期です。

カウント動作中、TCSA0.STOP=0, TCSA0.SCLR=1 の書込みにより、ch.0 のカウント値を 0x0000 に、ch.2 のカウント値をオフセット値(=TCCP2)に同時に初期化し、その後のカウント動作を継続することができます。

TCSA0.STOP=1, TCSA0.SCLR=1 の書込みにより、ch.0 カウンタ値を 0x0000 に、ch.2 のカウント値をオフセット値(=TCCP2)に同時に初期化してカウント停止します。

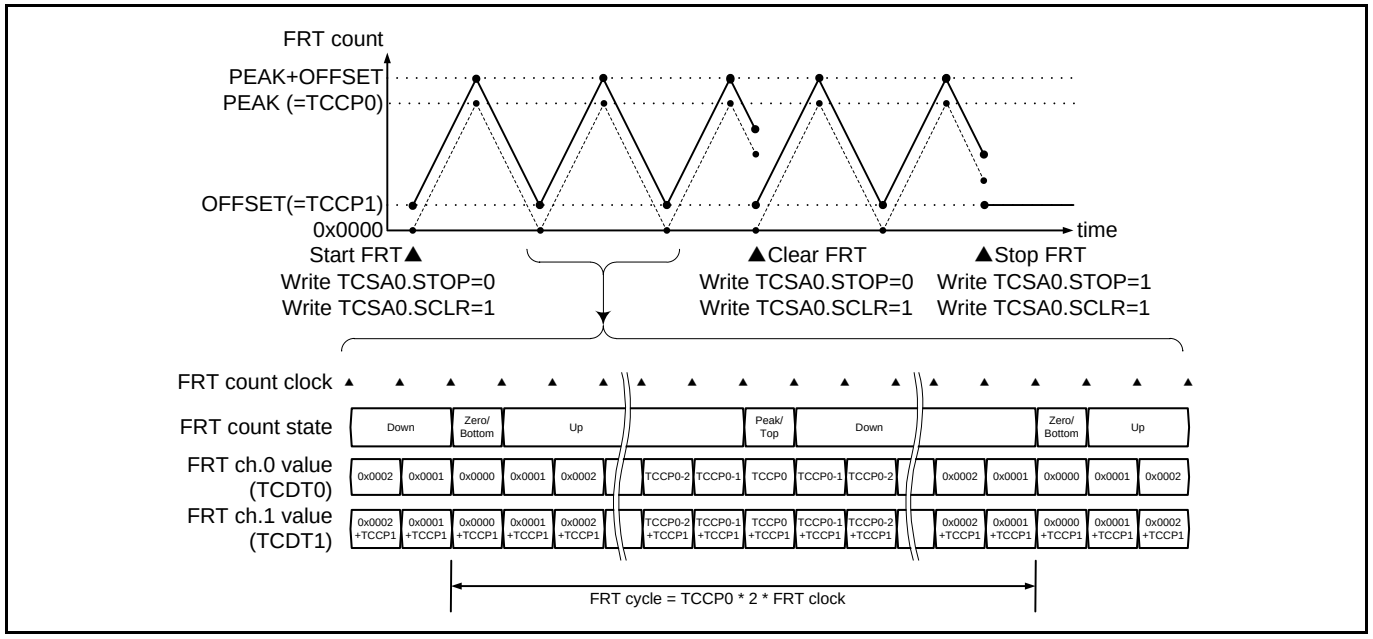
オフセット付カウントモードを選択後、最初にカウント開始をする場合は、必ず TCSA0.SCLR=1 の書込みを行ってください。この書込みにより、ch.0 と ch.2 の両カウンタ値の初期化が行われます。

TCSD.OFMD2=1 の場合、ch.2 の制御レジスタ(TCSA2, TCSC2)は使用しません。Ch.0 の制御レジスタ(TCSA0, TCSC0)で、ch.0 と ch.2 を同時に制御します。

4.1.2.6 オフセット付アップダウンカウントモードの動作(ch.1)

この節は、FRT-ch.1 の説明です。Figure 4-5 に、FRT-ch.1 のオフセット付アップダウンカウントモードの FRT カウント動作を示します。図の実線が ch.1 のカウント動作、破線が ch.0 のカウント動作を示します。図は見やすくするために、カウンタ値をクリアした時の変化を結線していません。

Figure 4-5 オフセット付アップダウンカウントモード FRT 動作(ch.1)



このカウントモードの動作と、制御方法を以下に説明します。

FRT-ch.0 をノーマル・アップダウンカウントモード、FRT-ch.1 をオフセット付アップダウンカウントモードに設定します。(TCSA0.MODE=1, TCSD.OFMD1=1)

TCCP0 に ch.0 の Peak 値を、TCCP1 に ch.1 のオフセット値を設定します。

TCSA0.STOP=0, TCSA0.SCLR=1 の書込みを行います。FRT-ch.0 のカウンタ値(＝TCDT0)が 0x0000 に、FRT-ch.1 のカウンタ値(＝TCDT1)がオフセット値(=TCCP1)にそれぞれ初期化されます。Ch.0 と ch.1 が同時にカウント動作を開始します。

Ch.0 のカウンタ値は、前述のノーマル・アップダウンカウントモードで動作します。Ch.1 のカウンタ値(=TCDT1)は、オフセット値(=TCCP1)からカウントを開始し、Peak＋オフセット値(=TCCP0+TCCP1)までインクリメントします。その後、オフセット値(=TCCP1)までデクリメントします。以降は、このカウント動作を繰り返します。FRT のカウント周期は、ch.0, ch.1 共に、TCCP0×2×カウントクロック周期です。

カウント動作中、TCSA0.STOP=0, TCSA0.SCLR=1 の書込みにより、ch.0 のカウント値を 0x0000 に、ch.1 のカウント値をオフセット値(=TCCP1)に同時に初期化し、その後のカウント動作を継続することができます。初期化後、アップ方向でカウントを再開します。

TCSA0.STOP=1、TCSA0.SCLR=1 の書込みにより、ch.0 カウンタ値を 0x0000 に、ch.1 のカウント値をオフセット値(=TCCP1)に同時に初期化してカウント停止します。

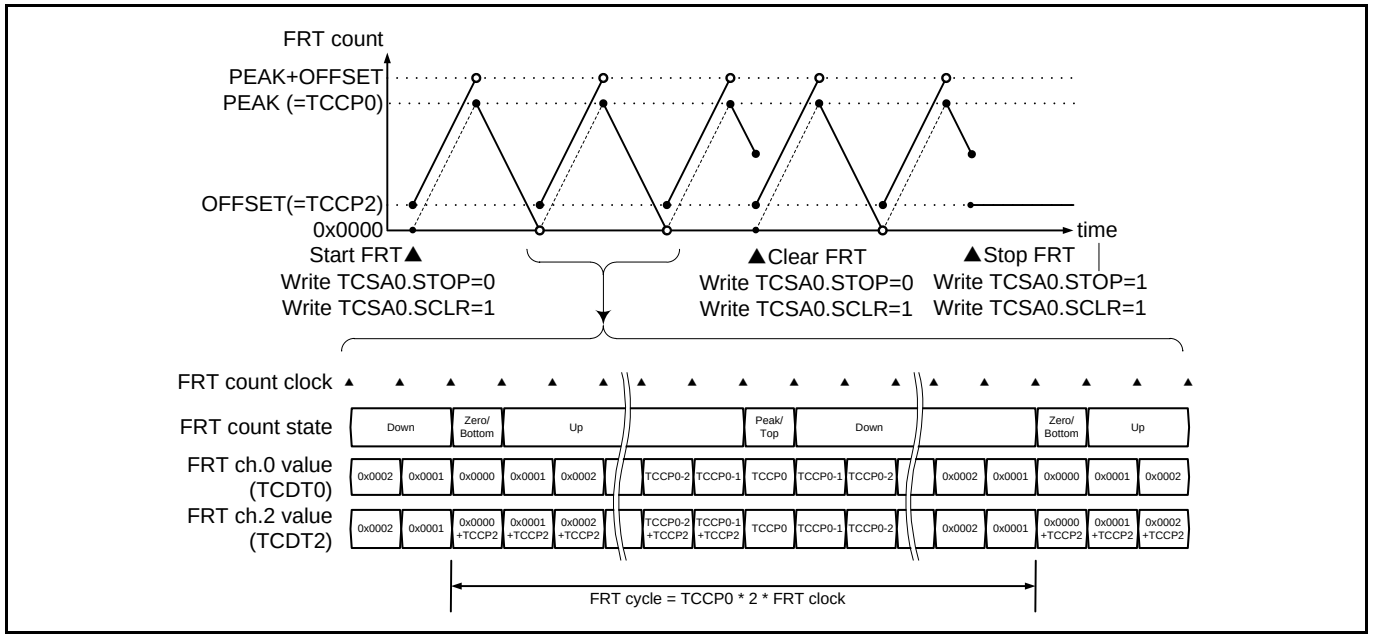
オフセット付カウントモードを選択後、最初にカウント開始をする場合は、最初に必ず TCSA0.SCLR=1 の書込みを行ってください。この書込みにより、ch.0 と ch.1 の両カウンタ値の初期化が行われます。

TCSD.OFMD1=1 の場合、ch.1 の制御レジスタ(TCSA1, TCSC1)は使用しません。Ch.0 の制御レジスタ(TCSA0, TCSC0)で、ch.0 と ch.1 を同時に制御します。

4.1.2.7 オフセット付アップダウンカウントモードの動作(ch.2)

この節は、FRT-ch.2 の説明です。Figure 4-6 に、FRT-ch.2 のオフセット付アップダウンカウントモードの FRT カウント動作を示します。図の実線が ch.2 のカウント動作、破線が ch.0 のカウント動作を示します。図は見やすくするために、カウンタ値をクリアした時の変化を結線していません。

Figure 4-6 オフセット付アップカウントモード FRT 動作(ch.2)



このカウントモードの動作と、制御方法を以下に説明します。

FRT-ch.0 をノーマル・アップダウンカウントモード、FRT-ch.2 をオフセット付アップダウンカウントモードに設定します。(TCSA0.MODE=1, TCSD.OFMD2=1)

TCCP0 に ch.0 の Peak 値を、TCCP2 に ch.2 のオフセット値を設定します。

TCSA0.STOP=0, TCSA0.SCLR=1 の書込みを行います。FRT-ch.0 のカウンタ値(＝TCDT0)が 0x0000 に、FRT-ch.2 のカウンタ値(＝TCDT2)がオフセット値(=TCCP1)にそれぞれ初期化されます。Ch.0 と ch.2 が同時にカウント動作を開始します。

Ch.0 は、前述のノーマル・アップダウンカウントモードでカウント動作を行います。Ch.0 と ch.2 が同じカウント値となるところは、図の破線の記載は省略しています。Ch.2 のカウンタ値(=TCDT2)は、オフセット値(=TCCP2)からカウントを開始し、Peak＋オフセット値-1(=TCCP0+TCCP2-1)までインクリメントします。次に、Peak 値(=TCCP0)となり、0x0001 までデクリメントします。次に、オフセット値(=TCCP2)となります。以降は、このカウント動作を繰り返します。図の上部で、この動作を黒丸、白丸で表記しています。図の下部に、FRT のカウント値を示します。Ch.0 のカウント値が、Peak 状態、カウントダウン状態の場合、ch.2 のカウント値には、オフセット値は加算されません。FRT のカウント周期は、ch.0, ch.2 共に TCCP0×2×カウントクロック周期です。

カウント動作中、TCSA0.STOP=0, TCSA0.SCLR=1 の書込みにより、ch.0 のカウント値を 0x0000 に、ch.2 のカウント値をオフセット値(=TCCP2)に同時に初期化し、その後のカウント動作を継続することができます。初期化後、アップ方向でカウントを再開します。

TCSA0.STOP=1, TCSA0.SCLR=1 の書込みにより、ch.0 カウンタ値を 0x0000 に、ch.2 のカウント値をオフセット値(=TCCP2)に同時に初期化してカウント停止します。

オフセット付カウントモードを選択後、最初にカウント開始をする場合は、最初に必ず TCSA0.SCLR=1 の書込みを行ってください。この書込みにより、ch.0 と ch.2 の両カウンタ値の初期化が行われます。

TCSD.OFMD2=1 の場合、ch.2 の制御レジスタ(TCSA2, TCSC2)は使用しません。Ch.0 の制御レジスタ(TCSA0, TCSC0)で、ch.0 と ch.2 を同時に制御します。

4.1.2.8 FRT のカウント状態

Figure 4-1,Figure 4-2,Figure 4-3,Figure 4-4,Figure 4-5,Figure 4-6 の下部には、FRT のカウント値と、FRT のカウント状態を記載しています。FRT に接続する OCU, ICU, ADCMP には、FRT のカウント状態、カウント値が入力されます。各ブロックは、これらの入力を基準として、出力信号変化、バッファ転送動作等を行います。FRT のカウント状態は、それぞれ以下のように定義されます。OCU,ADCMP の動作説明の箇所を参照してください。

FRT のカウンタ値が 0x0000 もしくはオフセット値の状態:	Zero/Bottom 状態
FRT のカウンタ値が Peak 値もしくは Peak+オフセット値の状態:	Peak/Top 状態
FRT のカウンタ値がインクリメントしている状態:	Up 状態
FRT のカウンタ値がデクリメントしている状態:	Down 状態

4.1.3 TCCP レジスタ機能

4.1.3.1 TCCP レジスタ機能

TCCP レジスタは、FRT の Peak 値(カウント周期)、オフセット値を設定する 16 ビットレジスタです。FRT カウント動作中に、TCCP レジスタに書込みを行い、Peak 値、オフセット値を変更できます。TCCP レジスタに設定された FRT の Peak 値により、FRT のカウント周期は、以下のように決定します。

- アップカウントモードの場合：FRT カウント周期 = (TCCP+1)×FRT カウントクロック周期
- アップダウンカウントモードの場合：FRT カウント周期 = TCCP×2×FRT カウントクロック周期

TCCP レジスタには、バッファ機能があります。TCCP レジスタに FRT の Peak 値を設定する場合、TCSA.BUFE レジスタ設定により、バッファレジスタ機能有効・無効を選択することができます。

バッファレジスタ機能が有効な場合(TCSA.BUFE=1)、CPU から TCCP レジスタに書込まれた Peak 値は、一旦、TCCP バッファレジスタに格納されます。その後、FRT の Zero 検出により、TCCP バッファレジスタから、TCCP レジスタに転送されます。

バッファレジスタ機能が無効な場合(TCSA.BUFE=0)、CPU から TCCP レジスタに書込まれた Peak 値は、直ちに TCCP レジスタに転送されます。

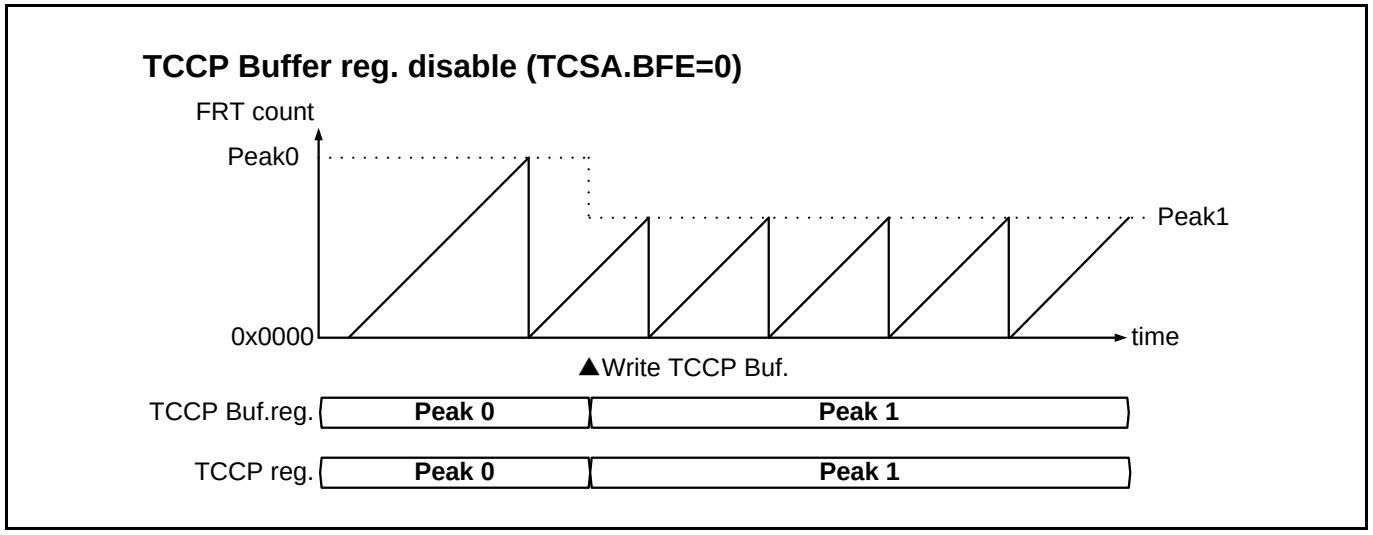
FRT で、オフセット付カウントモードを選択していて、TCCP レジスタに FRT のオフセット値を設定する場合、バッファレジスタ機能は常に無効となります。この場合、CPU から TCCP レジスタに書込まれたオフセット値は、直ちに TCCP レジスタに転送されます。ただし、オフセット値の変更を行った場合でも、FRT のカウンタ値のオフセット値はすぐには変化せず、次のサイクルから、更新した値が適用されます。

TCCP レジスタからデータの読出しを行うと、TCCP バッファレジスタの値ではなく、TCCP レジスタの値が読み出されます。バッファ機能有効時、転送終了するまでは転送前の値が読み出されます。

4.1.3.2 Peak 値の設定変更(ノーマル・アップカウントモード)

Figure 4-7 に、ノーマル・アップカウントモードで、TCCP レジスタバッファ機能無効の場合に、Peak 値の更新を行った場合の動作波形を示します。

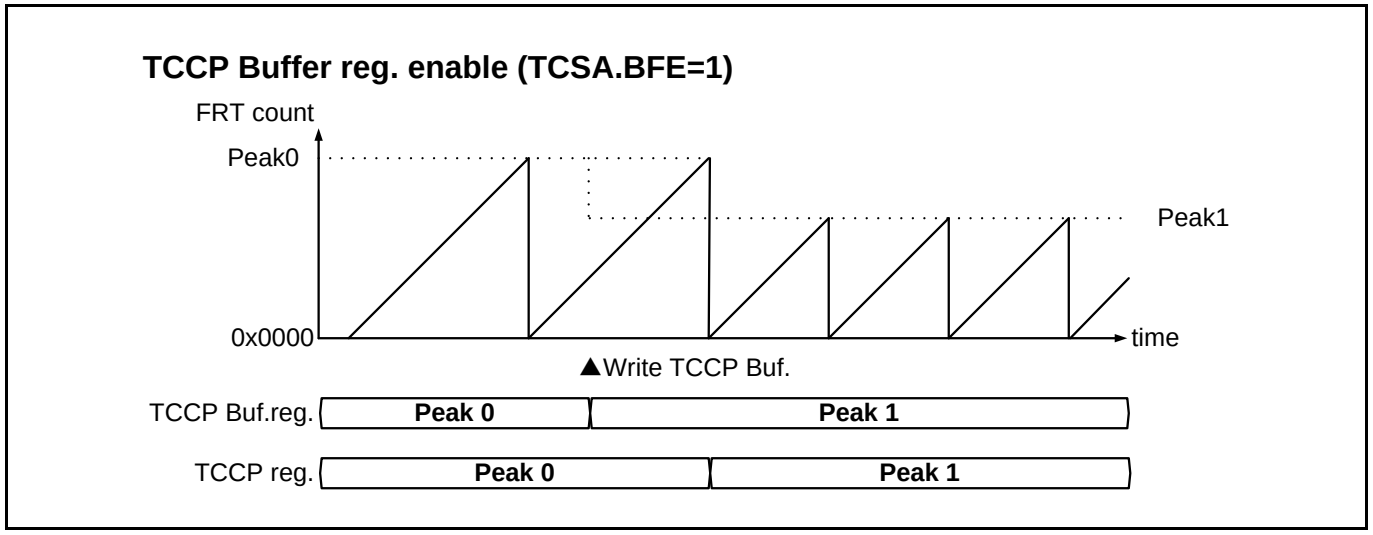
Figure 4-7 ノーマル・アップカウントモード周期変更



バッファ機能無効の場合、バッファレジスタの値が直ちに TCCP レジスタに反映されます。書込みを行った FRT サイクルから FRT 周期を変更できます。この場合、その時点での FRT カウント値より小さい値を書き込むと、FRT のカウント値は"0xFFFF"までカウントアップする動作を行うため、注意してください。

Figure 4-8 に、ノーマル・アップカウントモードで、TCCP レジスタバッファ機能有効の場合に、Peak 値の更新を行った場合の動作波形を示します。

Figure 4-8 ノーマル・アップカウントモード周期変更

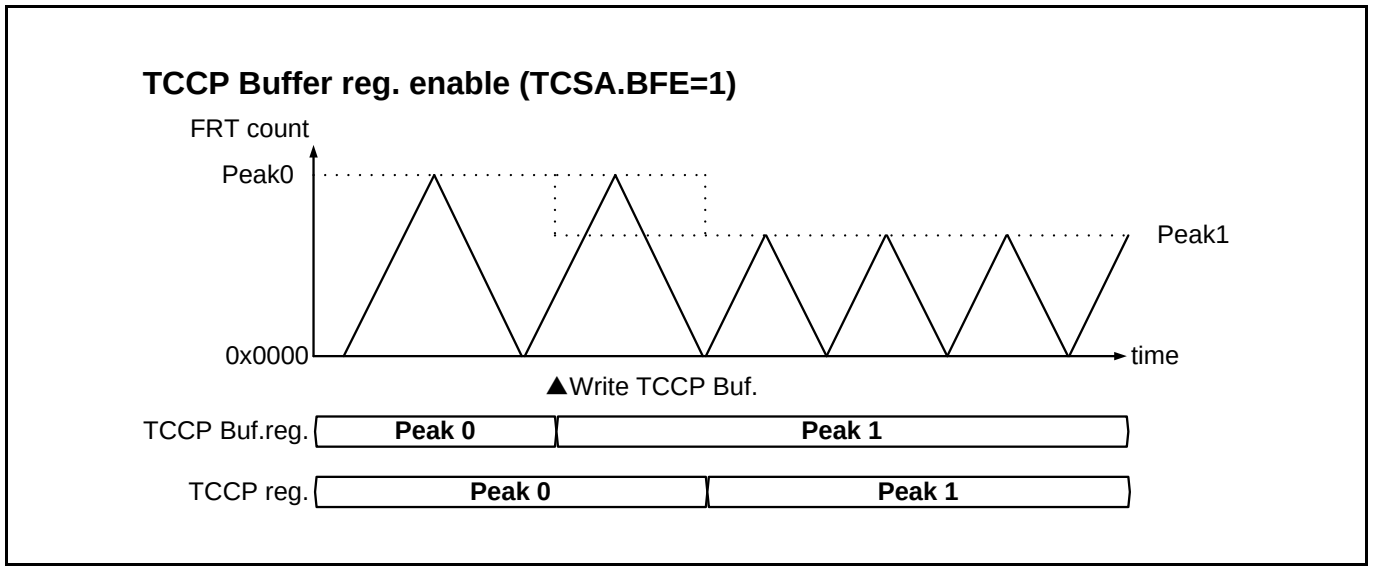


バッファ機能有効の場合、バッファレジスタに値を書き込んだ後、次の Zero/Bottom 検出時に、TCCP レジスタに値が転送されます。FRT のカウント周期が変更されるのは、書込みを行った次の FRT サイクルからです。

4.1.3.3 Peak 値の設定変更(ノーマル・アップダウンカウントモード)

Figure 4-9 に、ノーマル・アップダウンカウントモードで、バッファ機能有効の場合の動作波形を示します。

Figure 4-9 ノーマル・アップダウンカウントモード周期変更

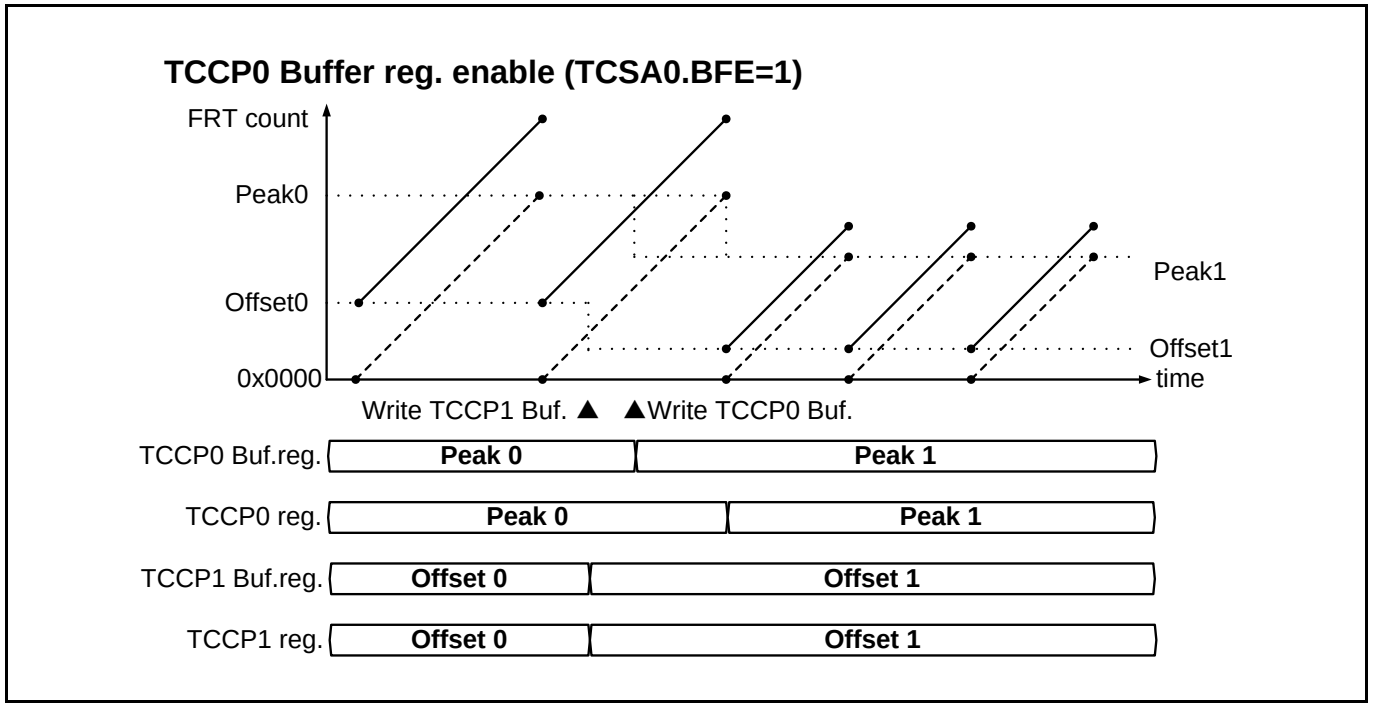


ノーマル・アップダウンカウントモードの場合、Peak 値設定の TCCP レジスタは、バッファ機能有効を選択して使用します。バッファレジスタに値を書き込んだ値は、次の Zero/Bottom 検出時に、TCCP レジスタに転送されます。FRT のカウント周期が変更されるのは、書込みを行った次の FRT サイクルからです。

4.1.3.4 オフセット値の設定変更(ch.1,2 オフセット付アップカウント)

Figure 4-10 に、ch.1 のオフセット付アップカウントモードで、Peak 値、オフセット値の両方の変更を行った場合の動作波形を示します。

Figure 4-10 オフセット付アップカウントモード周期・オフセット変更



図の実線が ch.1 のカウント動作、破線が ch.0 のカウント動作を示します。図は見やすくするために、ch.0 の Peak から Zero の変化、ch.1 の Peak+offset から offset への変化を結線していません。この図は、TCSA0.BUFE=1 の設定により、TCCP0 の Peak 値のバッファ機能が有効な場合を示しています。

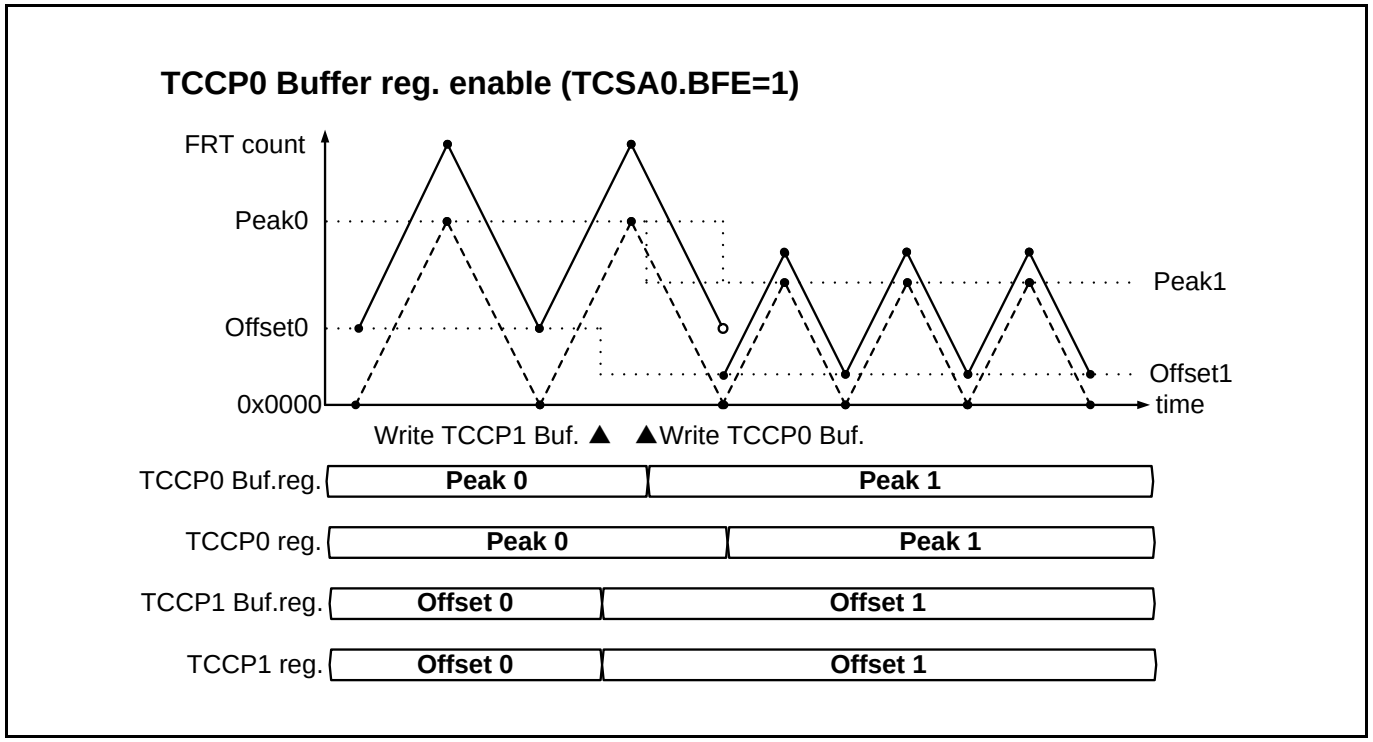
オフセット付アップカウントモードの ch.1 のカウンタは、ch.0 のカウンタ値が Peak 値の状態であるか、初期化の場合に、TCCP1 レジスタ値をオフセット値として ch.1 カウンタ値に反映させます。その他の状態の場合、ch.1 のカウンタは、現在のカウンタ値をインクリメントさせるカウント動作を行います。このため、カウント動作中に TCCP1 レジスタの書き換えを行った場合、オフセット値が反映されるのは、その次の FRT サイクルからです。オフセットを格納している TCCP1 レジスタのバッファ機能は無効ですが、ch.1 のカウンタのオフセット値は、FRT サイクル中には変化しません。

Ch.2 で、オフセット付アップカウントモードを選択した場合の動作も同様となります。

4.1.3.5 オフセット値の設定変更(ch.1 オフセット付アップダウンカウント)

Figure 4-11 に、ch.1 のオフセット付アップダウンカウントモードで、Peak 値, オフセット値の両方の変更を行った場合の動作波形を示します。

Figure 4-11 オフセット付アップダウンカウントモード(ch.1)周期・オフセット変更動作



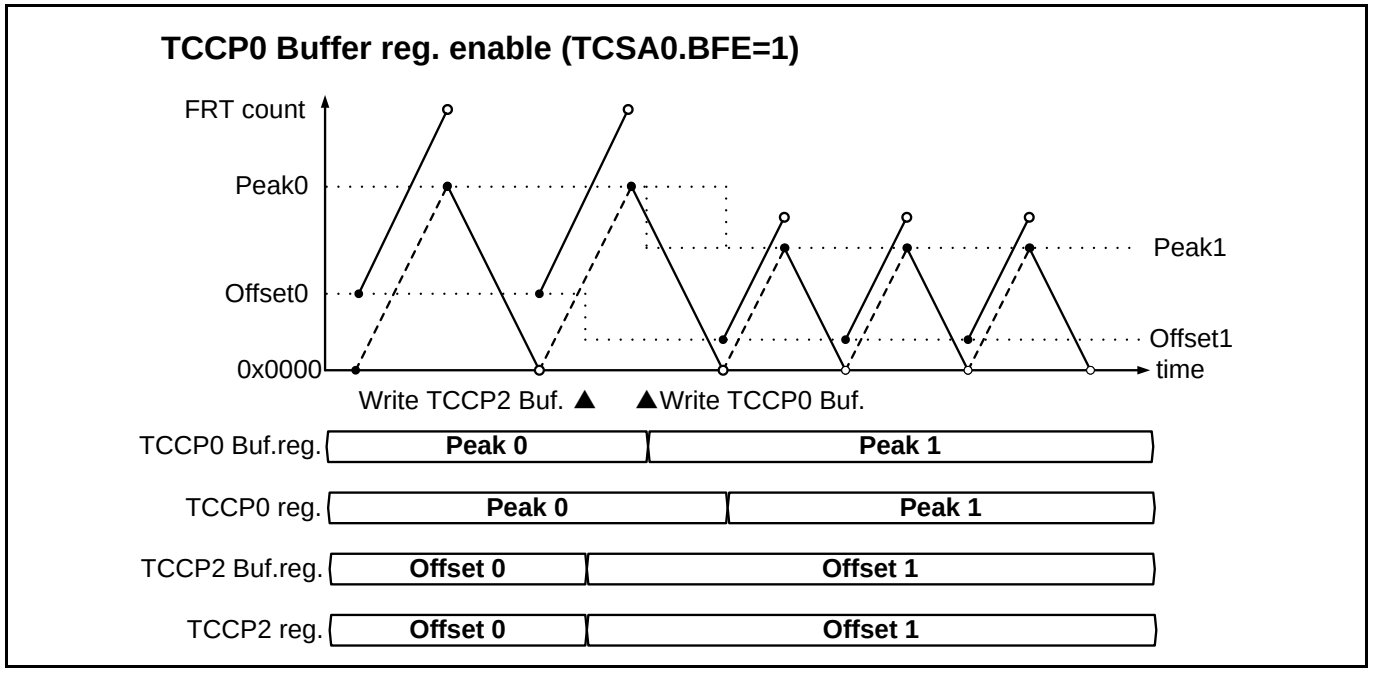
図の実線が ch.1 のカウント動作、破線が ch.0 のカウント動作を示します。この図は、TCSA0.BUFE=1 の設定により、TCCP0 の Peak 値のバッファ機能が有効な場合を示しています。

オフセット付アップダウンカウントモードの ch.1 のカウンタは、ch.0 のカウンタ値が 0x0000 の状態であるか、初期化の場合に、TCCP1 レジスタを参照し、ch.1 のカウンタ値にオフセット値として反映させます。その他の状態の場合、現在のカウンタ値をインクリメント/デクリメントさせるカウント動作を行います。このため、カウント動作中に、TCCP1 レジスタの書き換えを行った場合、オフセット値が反映されるのは、その次のサイクルからになります。オフセットを格納している TCCP1 レジスタのバッファ機能は無効ですが、ch.1 のカウンタのオフセット値は、FRT サイクル中には変化しません。Ch.1 のカウント値に、変更された新しい Offset が反映されるのは、ch.0 のカウンタ値が 0x0000 の時からです。図の ch.1 のカウント動作を示す実線上の白丸は、この動作を示しています。

4.1.3.6 オフセット値の設定変更(ch.2 オフセット付アップダウンカウント）

Figure 4-12 に、ch.2 のオフセット付アップダウンカウントモードで、Peak 値、オフセット値の変更を行った場合の動作波形を示します。

Figure 4-12 オフセット付アップダウンカウントモード(ch.2)周期・オフセット変更動作



図の実線が ch.2 のカウント動作、破線が ch.0 のカウント動作を示します。この図は、TCSA0.BUFE=1 の設定により、TCCP0 の Peak 値のバッファ機能が有効な場合を示しています。

オフセット付アップダウンカウントモードの ch.2 のカウンタは、ch.0 のカウンタ値が 0x0000 の状態であるか、初期化の場合に、TCCP2 レジスタを参照し、ch.2 のカウンタ値にオフセット値として反映させます。その他の状態の場合、TCCP2 レジスタは参照しません。このため、カウント動作中に、TCCP2 レジスタの書き換えを行った場合、オフセット値が反映されるのは、その次のサイクルからになります。オフセットを格納している TCCP2 レジスタのバッファ機能は無効ですが、ch.2 のカウンタのオフセット値は、FRT サイクル中には変化しません。Ch.2 のカウント値に、変更された新しい Offset が反映されるのは、ch.0 のカウンタ値が 0x0000 の時からです。

4.1.4 FRT 割り込み動作

4.1.4.1 Zero 検出、Peak 検出イベントレジスタ動作

TCSA.IRQZF ビットは、FRT が Zero/Bottom 状態でカウント動作を行ったことを CPU に通知するためのイベント検出レジスタです。TCSA.IRQZE=1 で割り込み許可されている場合、CPU は Zero 検出割り込みを受け取ることができます。TCSA.IRQZF ビットは、CPU からの 0 書込みによりクリアすることができます。

TCSA.ICLR.ビットは、FRT が Peak/Top 状態でカウント動作を行ったことを CPU に通知するためのイベント検出レジスタです。TCSA.ICRE=1 で割り込み許可されている場合、CPU は Zero 検出割り込みを受け取ることができます。TCSA.ICLR ビットは、CPU からの 0 書込みによりクリアすることができます。

「4.10 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

これらのイベント検出レジスタは、以下の場合には、セットされず、不要な割り込みが発生しません。

- FRT がカウント動作していない時
- バスリセット後、もしくは、TCSA.SCLR=1 書込み後に、最初にカウント動作するとき
- Zero 割込みマスクカウンタが 0 でない時(TCSC.MSZC≠0000)は、IRQZF はセットされません。
- Peak 割込みマスクカウンタが 0 でない時(TCSC.MSPC≠0000)は、ICLR はセットされません。
- TCSD.OFMD1=1 の場合、TCSA1.IRQZF、TCSA1.ICLR は 0 固定で、セットされません。
- TCSD.OFMD2=1 の場合、TCSA2.IRQZF、TCSA2.ICLR は 0 固定で、セットされません。

オフセット付カウントモードを選択している場合、ch.0 の TCSA0.IRQZF、TCSA0.ICLR のみがセットされます。Ch.1,2 の IRQZF、ICLR はセットされず、割込みは発生しません。

4.1.4.2 割込みマスクカウンタ動作

FRT 内部の Zero 値検出 4 ビットマスクカウンタ(TCSC.MSZC)により、Zero 値検出レジスタ(TCSA.IRQZF)のセットを一定の割合で間引く(マスクする)ことができます。Zero 値検出マスクカウンタは、TCSC.MSZI の値を初期値としてリロードするダウンカウント動作を行います。Zero 値検出マスクカウンタが 0 の場合に、Zero 値検出レジスタをセットします。Table 4-5 に、MSZI 設定値と Zero 値検出割り込みのマスク回数の関係を示します。

Table 4-5 TCSC.MSZI 設定値と Zero 値検出割り込みマスク回数

MSZI 設定値	機能
0	FRT=0x0000 カウント時、常に IRQZF をセット(マスクしない)
1	FRT=0x0000 カウント 2 回ごとに、1 回 IRQZF をセット。(1 回間引き)
・・・	中略
15	FRT=0x0000 カウント 16 回ごとに、1 回 IRQZF セット(15 回間引き)

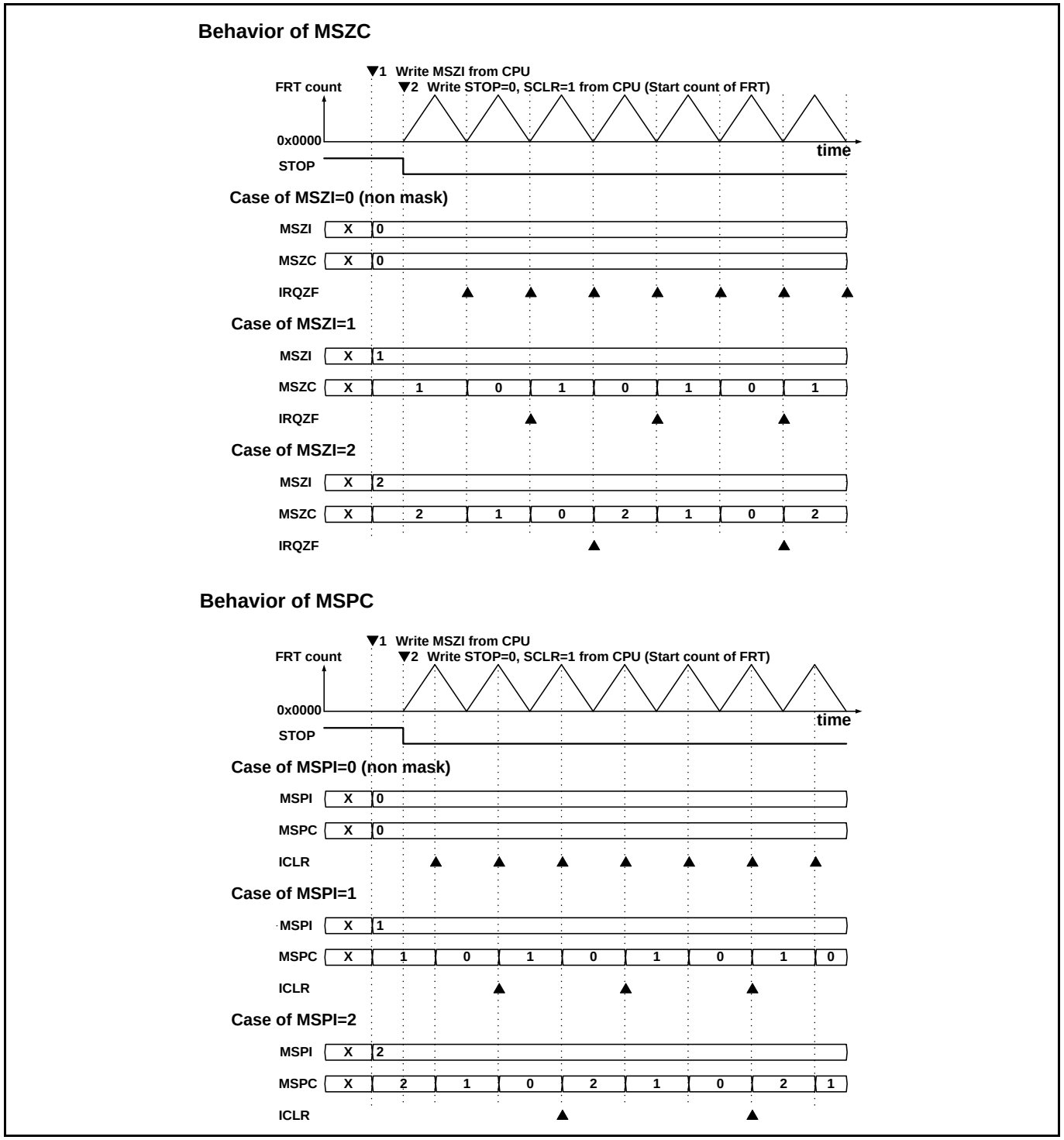
FRT 内部の Peak 値検出 4 ビットマスクカウンタ(TCSC.MSPC)により、Peak 値検出レジスタ(TCSA.ICLR)のセットを一定の割合で間引く(マスクする)ことができます。Peak 値検出マスクカウンタは、TCSC.MSPI の値を初期値としてリロードするダウンカウント動作を行います。Peak 値検出マスクカウンタが 0 の場合に、Peak 値検出レジスタをセットします。Table 4-6 に、MSPI 設定値と Peak 値検出割り込みのマスク回数の関係を示します。

Table 4-6 TCSC.MSPI 設定値と Peak 値検出割り込みマスク回数

MSPI 設定値	機能
0	FRT=Peak カウント時、常に ICLR をセット(マスクしない)
1	FRT=Peak カウント 2 回ごとに、1 回 ICLR をセット。(1 回間引き)
・・・	中略
15	FRT=Peak カウント 16 回ごとに、1 回 ICLR をセット(15 回間引き)

Figure 4-13 に、Zero 値検出マスクカウンタ, Peak 値検出マスクカウンタの動作例を示します。

Figure 4-13 割込みマスクカウンタ動作 1



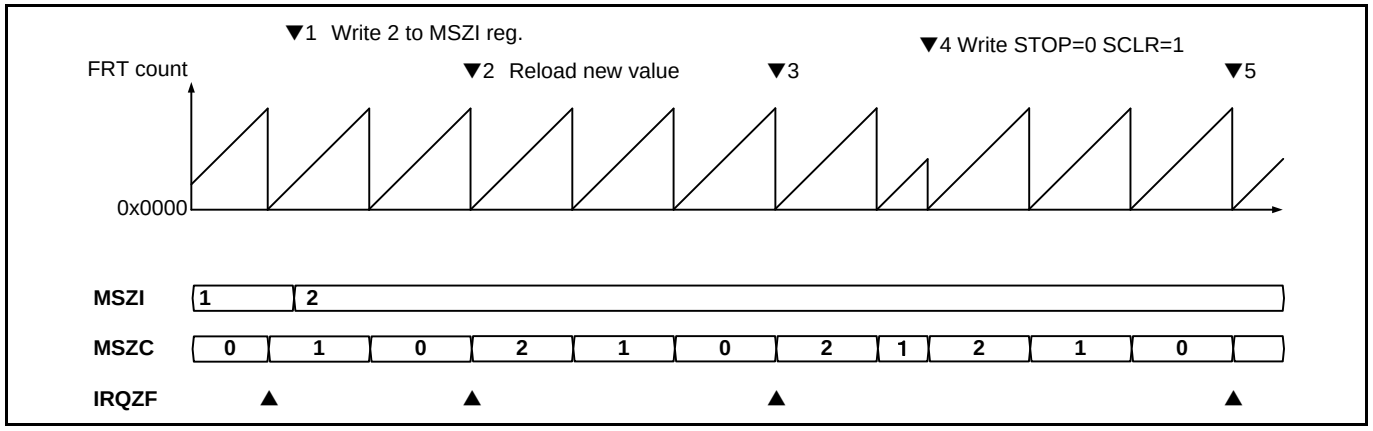
図は、上段が、MSZI が、0, 1, 2 の場合の MSZC の動作を示します。下段が、MSPI が 0, 1, 2 の場合の MSPC の動作を示します。▲の個所がそれぞれ、IRQZF、ICLR がセットされるタイミングを示します。

▼1 のタイミングで、初期値設定(MSZI, MSPI に書込み)を行います。FRT のカウント停止中(STOP=1)に、MSZI, MSPI に書込みを行うと、その値は、内部のカウンタ(MSZC, MSPC)に直ちに反映されます。▼2 のタイミングで、FRT のカウント開始(STOP=0, SCLR=1 の書込み)を行っています。バスリセット後もしくは SCLR=1 の書込み後、最初の 0x0000 から 0x0001 への FRT カウント動作のため、このタイミングでは、MSZC の値によらず、IRQZF はセットされません。また、MSZC カウンタはダウンカウントしません。それ以降、それぞれのカウンタは、FRT=0x0000、FRT=TCCP のタイミングでダウンカウントします。

FRT のカウント動作中(STOP=0)に、MSZI, MSPI に書込みを行うと、初期値設定のみが書き換わり、カウンタ値(MSZC, MSPC)には反映されません。また、SCLR への 1 書込みを行うと、マスクカウンタには、MSZI, MSPI の初期値がリロードされます。

Figure 4-14 に、FRT のカウント動作中に MSZI を書き換えた場合の動作を示します。

Figure 4-14 割込みマスクカウンタ動作 2



FRT のカウント動作中(STOP=0)に、▼1 のタイミングで、MSZI の値を 1 から 2 に書き換えています。この場合、新しい MSZI の設定値は、▼2 のタイミングで MSZC にリロードされます。IRQZF の割込み発生タイミングが変更されるのは、▼3 のタイミングからです。▼4 のタイミングで、SCLR への 1 書込みを行っています。MSZI の値が MSZC にリロードされます。▼5 のタイミングで次の IRQZF 割込みが発生します。図の▼4 のタイミングでは、SCLR=1 書込みを行い、最初の 0x0000 から 0x0001 へのカウント動作を行っています。この場合、MSZC の値によらず、IRQZF はセットされません。

Zero 検出割込みのマスクと、Peak 検出の割込みマスクの両方を使用している場合、FRT 動作中に MSZI, MSPI の値を書き換える時は、書換えタイミングに注意してください。両方のマスクカウンタの同期が合わなくなる場合があります。

オフセット付カウントモードを選択している場合、ch.0 の TCSC0.MSZC、TCSC0.MSPC のみがダウンカウントします。Ch.1,2 の MSZC カウンタ、MSPC カウンタは、0 固定となり、ダウンカウントしません。

FRT に接続する OCU,ADCMP では、FRT の割込みマスクカウンタに連動したバッファ転送動作、AD 起動などを行います。OCU,ADCMP で接続を選択している FRT が、オフセット付カウントモード(ch.1, 2)の場合、FRT の割込みマスクカウンタ値は、同時動作している ch.0 の割込みマスクカウンタ値が接続されます。このため、オフセット付カウントモードの FRT を接続していても、割込みマスクカウンタに連動したバッファ転送、AD 起動が行えます。

4.2 OCU 動作説明

OCU の動作について説明します。

4.2.1 OCU の制御レジスタ

Table 4-7 に、OCU の制御レジスタの一覧を示します。各レジスタの機能概要と設定タイミングを示します。OCU の初期基本設定は、OCU の各チャネルの動作を禁止している間に行います。初期設定終了後、動作を許可(OCSA:CST0=1, OCSA.CST1=1)します。動作許可後、OCU は、接続する FRT のカウンタ値を基準とし、コンペア値(OCCP 値)との比較結果から、出力信号(RT(0), RT(1))を変化させて、PWM 信号を出力します。また、一致検出レジスタ(OCSA:IOP0, OCSA:OP1)をセットします。

Table 4-7 OCU の制御レジスタ

設定レジスタ ch.(1)	設定レジスタ ch.(0)	レジスタ機能	レジスタ変更タイミング
OCSA:CST1	OCSA:CST0	動作許可・禁止の指定	初期設定終了後、任意のタイミング
OCFS:FSO1	OCFS:FSO0	接続する FRT の選択(*1)	動作許可前に設定。 動作許可状態への移行後は、 設定変更禁止
OCSD:OCCP1BUFE OCSD:OPBM1	OCSD:OCCP0BUFE OCSD:OPBM0	OCCP バッファ機能、転送条件選択	
OCSD:OCSE1BUFE OCSD.OEBM1	OCSD:OCSE0BUFE OCSD.OEBM0	OCSE バッファ機能、転送条件選択	
OCSB:FM4 ch.(1), ch.(0) で共通(*2)		FM4 モード/FM3 互換モード選択	
OCSB:CMOD ch.(1), ch.(0) で共通		FM3 互換モード時の動作内容指定	
OCSC:MOD(1)	OCSC:MOD(0)		
OCSD.OFEX1	OCSD.OFEX0	FM4 モード時の動作内容指定	
OCSE(1)[31:0]	OCSE(0)[15:0]	FM4 モード時の動作内容指定	動作許可前に設定。 動作許可状態移行後、 OCSE バッファ機能有効ならば 任意のタイミングで設定変更可能 OCSE バッファ機能無効ならば 設定変更禁止
OCSB:OTD1	OCSB:OTD0	RT(0)、RT(1)出力レベル設定	動作許可前に初期出力レベルを設定 動作許可状態への移行後は、 変更要求は無視します。
OCSA:IOP1	OCSA:IOP0	一致検出レジスタ読出し、クリア	任意のタイミング
OCSA:IOE1	OCSA:IOE0	割込み許可, 禁止選択	
OCCP(1)	OCCP(0)	OCU コンペア値指定	

*1: OCU は、接続選択している FRT の動作モード(TCSA:MODE)の値により動作内容が変わります。

*2: OCSB:FM4=0(FM3 互換モード)の場合の動作は、「4.3 OCU の FM3 ファミリ製品互換動作」を参照してください。

4.2.2 チャネル独立動作

OCU は ch.(0)と ch.(1)を OCCP(0)、OCCP(1)の値でそれぞれ別々に出力波形を生成する動作“独立動作”と、ch.(1)を OCCP(0)と OCCP(1)の両方の値で出力波形を生成する動作“連動動作”の 2 種類が可能です。

この節では、OCU-ch.(0)と OCU-ch.(1)を独立動作させる場合を、設定例を基に説明します。

4.2.2.1 設定例の一覧

以降に説明する設定例 1～9 の初期設定値一覧を Table 4-8, Table 4-9 に示します。

Table 4-8 OCU ch.0 の設定例

設定内容	設定レジスタ	設定例 1	設定例 2	設定例 3	設定例 4
FRT 動作モード	TCSA0:MODE	0	1	1	1
FRT 選択	OCFS10:FSO0	0000	0000	0000	0000
OCCP0 バッファ機能	OCSD10:OCCP0BUFE OCSD10.OPBM0	00 0	01 0	01 0	11 0
OCSE0 バッファ機能	OCSD10:OCSE0BUFE OCSD10.OEBM0	00 0	00 0	00 0	00 0
ch.0 動作条件	OCSB10.FM4 OCSE0[15:0] OCSD10.OFEX0	1 0x0FFF 0	1 0x852D 0	1 0x4A1D 0	1 0x95A0 0
割込み	OCSA10:IOE0	任意	任意	任意	任意
出力レベル	OCSB10:OTD0 OCCP0	初期値 を指定	初期値 を指定	初期値 を指定	初期値 を指定

Table 4-9 OCU ch.1 の設定例

設定内容	設定レジスタ	設定例 5	設定例 6	設定例 7	設定例 8	設定例 9
FRT 動作モード	TCSD.OFMD1	-	-	-	-	1
	TCSD.OFMD2	-	-	-	-	1
	TCSA0:MODE	0	1	1	1	0
	TCSA1.MODE	-	-	-	-	0
	TCSA2.MODE	-	-	-	-	0
FRT 選択	OCFS10:FSO1	0000	0000	0000	0000	0010
OCCP0 バッファ機能	OCSD10:OCCP1BUFE OCSD10.OPBM1	00 0	01 0	01 0	11 0	11 0
OCSE0 バッファ機能	OCSD10:OCSE1BUFE OCSD10.OEBM1	00 0	00 0	00 0	00 0	00 0
ch.1 動作条件	OCSB10.FM4 OCSE1[15:0] OCSE1[31:0] OCSD10.OFEX1	1 0x0FFF 0x0FF0 0	1 0x852D 0x8520 0	1 0x4A1D 0x4A10 0	1 0x95A0 0x95A0 0	1 0x95A0 0x95A0 1
割込み	OCSA10:IOE1	任意	任意	任意	任意	任意
出力レベル	OCSB10:OTD1 OCCP1	初期値 を指定	初期値 を指定	初期値 を指定	初期値 を指定	初期値 を指定

・設定例 9 は、FRT にオフセット付アップダウンカウントモードを選択する例であるため、TCSD.OFMD レジスタの値を記載しています。

4.2.2.2 設定例 1 の動作

設定例 1 の各制御タイミングでの RT0, IOP0 の動作を Table 4-10 に示します。出力波形図を Figure 4-15 に示します。図では OCCP0 バッファを省略しています。▲印は、IOP0 のセットタイミングを示します。FRT は、アップカウントモードで動作を行います。CPU からの OCCP0 バッファへの書込み値は、直ちに OCCP0 レジスタへ転送されます。この設定例では、FRT と OCCP0 の一致ごとに RT0 の出力レベルが反転し、割込みを発生させることができます。

図の▼1～▼3, ▼5, ▼6 のタイミングは、表の条件番号欄のそれぞれの制御条件が成立しています。それ以外のタイミングは、条件 4 が成立しています。RT0 信号出力, IOP0 は、それぞれの指定に従い動作を行います。FRT をアップカウントモードで動作させているため、条件 7, 条件 8 が成立することはありません。

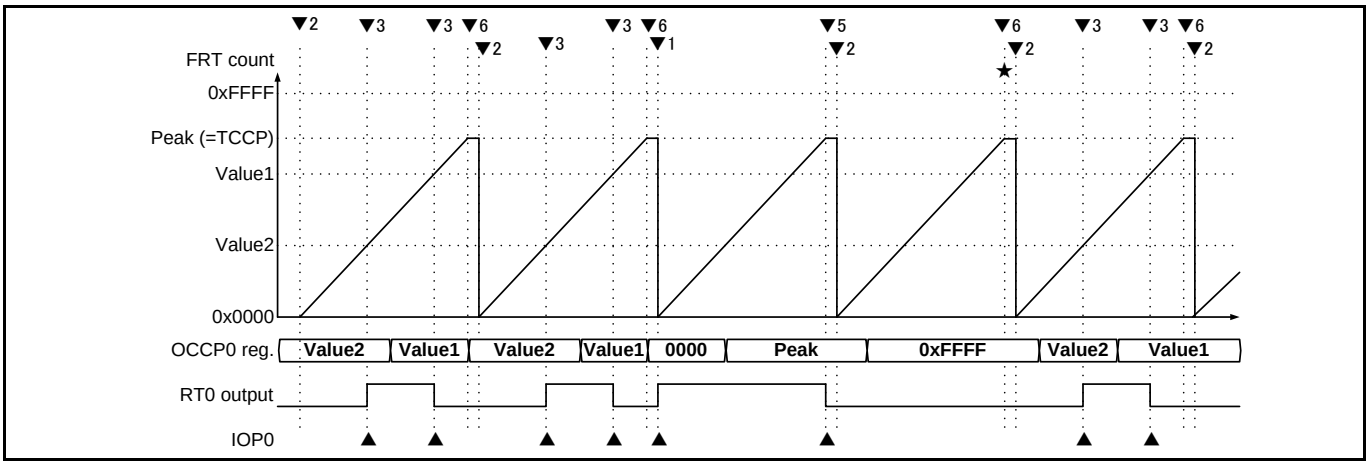
図の★のタイミングは、FRT をアップカウントモード(TCSA.MODE=0)で動作させているため、OCCP0=0xFFFF は、ピーク一致扱いにはなりません。条件 6 の動作を行います。(TCCP=0xFFFF)の場合は、一致検出します。

この設定例では、Peak 値＜OCCP0<=0xFFFF の値が OCCP0 に設定されると、出力変化しません。

Table 4-10 OCU 設定例 1 の動作内容

制御条件			設定例 1 OCSE0=0x0FFF	
FRT 状態	**OCCP0 比較結果**	**条件番号**	**RT0 動作**	**IOP0 動作**
Zero/Bottom	一致	1	Reverse	Set
	不一致	2	Hold	Hold
Up	一致	3	Reverse	Set
	不一致	4	Hold	Hold
Peak/Top	一致	5	Reverse	Set
	不一致	6	Hold	Hold
Down	一致	7	Reverse	Set
	不一致	8	Hold	Hold

Figure 4-15 OCU 設定例 1 の動作波形



4.2.2.3 設定例 2 の動作

設定例 2 の各制御タイミングでの RT0、IOP0 の動作を Table 4-11 に示します。出力波形図を Figure 4-16 に示します。▲印は、IOP0 のセットタイミングを示します。FRT は、アップダウンカウントモードで動作を行います。CPU からの OCCP0 への書込み値は、いったんバッファレジスタに格納され、FRT の 0x0000 で、OCCP0 レジスタへ転送されます。転送された新データは、FRT=0x0000 から比較対象です。この設定例では、この設定例では、OCU の RT0 の変化位置が、FRT の Up 側と Down 側で同じとなる Active-High の波形が出力できます。また、OCCP0 に 0x0000 指定により、0x0000 以外の指定まで、べた(High)出力を行います。

図の▼1～▼3, ▼5～▼7 のタイミングは、表の条件番号欄のそれぞれの制御条件が成立しています。それ以外のタイミングは、条件 4, 条件 8 のいずれかが成立しています。RT0 信号出力, IOP0 は、それぞれの指定に従い動作を行います。

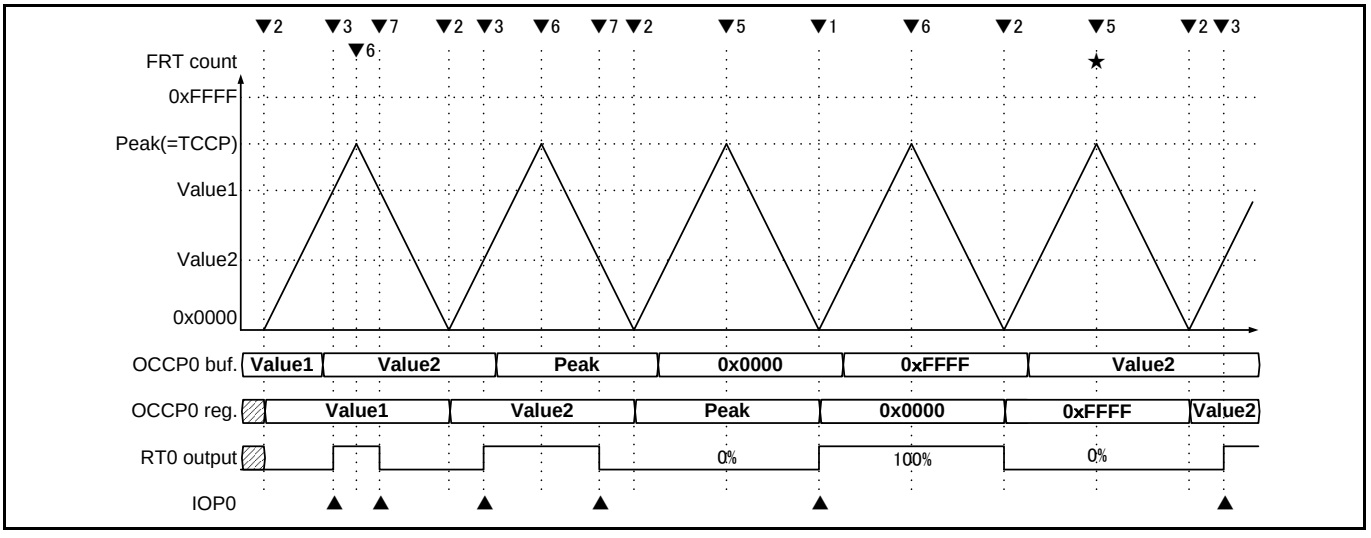
図の★のタイミングは、FRT をアップダウンカウントモード(TCSA.MODE=1)で動作させているため、OCCP0=0xFFFF は、ピーク一致扱いになります。条件 5 の動作を行います。

この設定例では、Peak 値<=OCCP0＜0xFFFF の値が OCCP0 に設定されると、出力変化しません。

Table 4-11 OCU 設定例 2 の動作内容

制御条件			設定例 2 OCSE0＝0x852D	
FRT 状態	**OCCP0 比較結果**	**条件番号**	**RT0 動作**	**IOP0 動作**
Zero/Bottom	一致	1	Set	Set
	不一致	2	Reset	Hold
Up	一致	3	Set	Set
	不一致	4	Hold	Hold
Peak/Top	一致	5	Hold	Hold
	不一致	6	Hold	Hold
Down	一致	7	Reset	Set
	不一致	8	Hold	Hold

Figure 4-16 OCU 設定例 2 の動作波形



4.2.2.4 設定例 3 の動作

設定例 3 の各制御タイミングでの RT0、IOP0 の動作を Table 4-12 に示します。出力波形図を Figure 4-17 に示します。▲印は、IOP0 のセットタイミングを示します。FRT は、アップダウンカウントモードで動作を行います。CPU からの OCCP0 への書込み値は、いったんバッファレジスタに格納され、FRT の 0x0000 で、OCCP0 レジスタへ転送されます。転送された新データは、FRT=0x0000 から比較対象です。この設定例では、OCU の RT0 の変化位置が、FRT の Up 側と Down 側で同じとなる Active-Low の波形が出力できます。また、OCCP0 に 0x0000 指定により、0x0000 以外の指定まで、べた(Low)出力を行います。

図の▼1～▼3, ▼5～▼7 のタイミングは、表の条件番号欄のそれぞれの制御条件が成立しています。それ以外のタイミングは、条件 4, 条件 8 のいずれかが成立しています。RT(0)信号出力, IOP0 は、それぞれの指定に従い動作を行います。

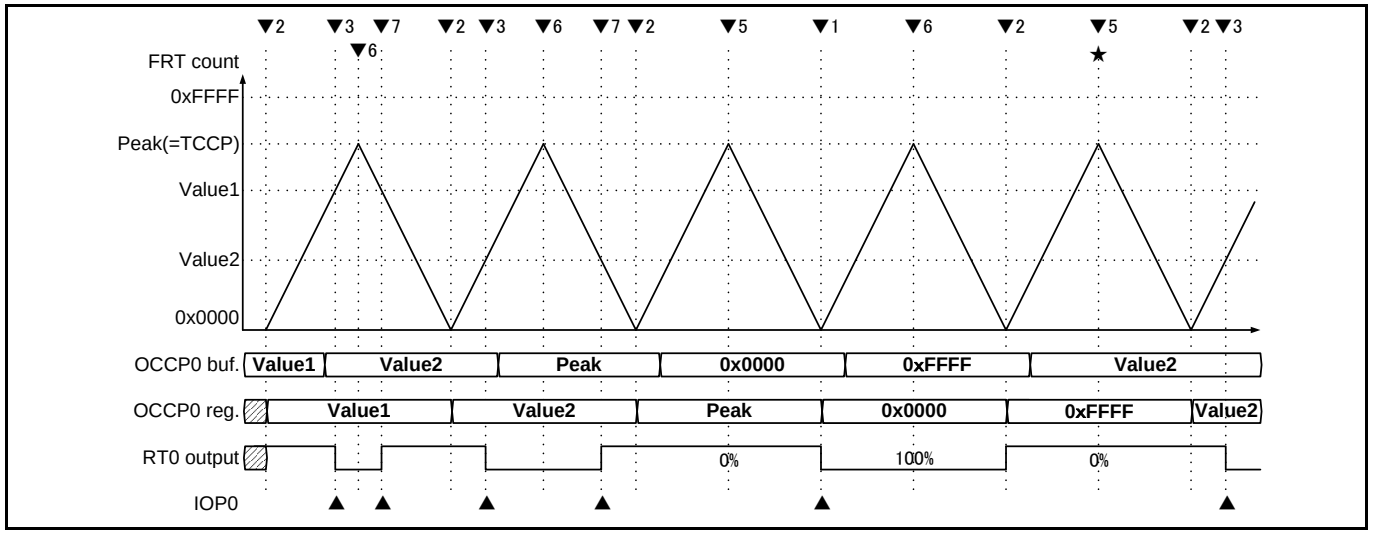
図の★のタイミングは、FRT をアップダウンカウントモード(TCSA.MODE=1)で動作させていますので、OCCP0=0xFFFF は、ピーク一致扱いになります。条件 5 の動作を行います。

この設定例では、Peak 値<=OCCP0<0xFFFF の値が OCCP0 に設定されると、出力変化しません。

Table 4-12 OCU 設定例 3 の動作内容

制御条件			設定例 3 OCSE0=0x4A1D	
FRT 状態	OCCP0 比較結果	条件番号	RT0 動作	IOP0 動作
Zero/Bottom	一致	1	Reset	Set
	不一致	2	Set	Hold
Up	一致	3	Reset	Set
	不一致	4	Hold	Hold
Peak/Top	一致	5	Hold	Hold
	不一致	6	Hold	Hold
Down	一致	7	Set	Set
	不一致	8	Hold	Hold

Figure 4-17 OCU 設定例 3 の動作波形



4.2.2.5 設定例 4 の動作

設定例 4 の各制御タイミングでの RT0, IOP0 の動作を Table 4-13 に示します。出力波形図を Figure 4-18 に示します。図ではバッファレジスタを省略しています。FRT は、アップダウンカウントモードで動作を行います。CPU からの OCCP0 への書込み値は、いったんバッファレジスタに格納され、FRT の 0x0000 と Peak 値の両方で、OCCP0 レジスタへ転送されます。転送された新データは、FRT= 0x0000, Peak から比較対象です。この設定例では、OCU の RT0 の変化位置が、FRT の Up 側と Down 側で別々に指定できる Active-High の波形が出力できます。また、OCCP0 に 0x0000, Peak 値(または 0xFFFF)を指定した場合、べた出力を行います。IOP0 は常にセットされません。

図の▼1～▼3, ▼5～▼7 のタイミングは、表の条件番号欄のそれぞれの制御条件が成立しています。それ以外のタイミングは、条件 4, 条件 8 のいずれかが成立しています。RT(0)信号出力は、それぞれの指定に従い動作を行います。

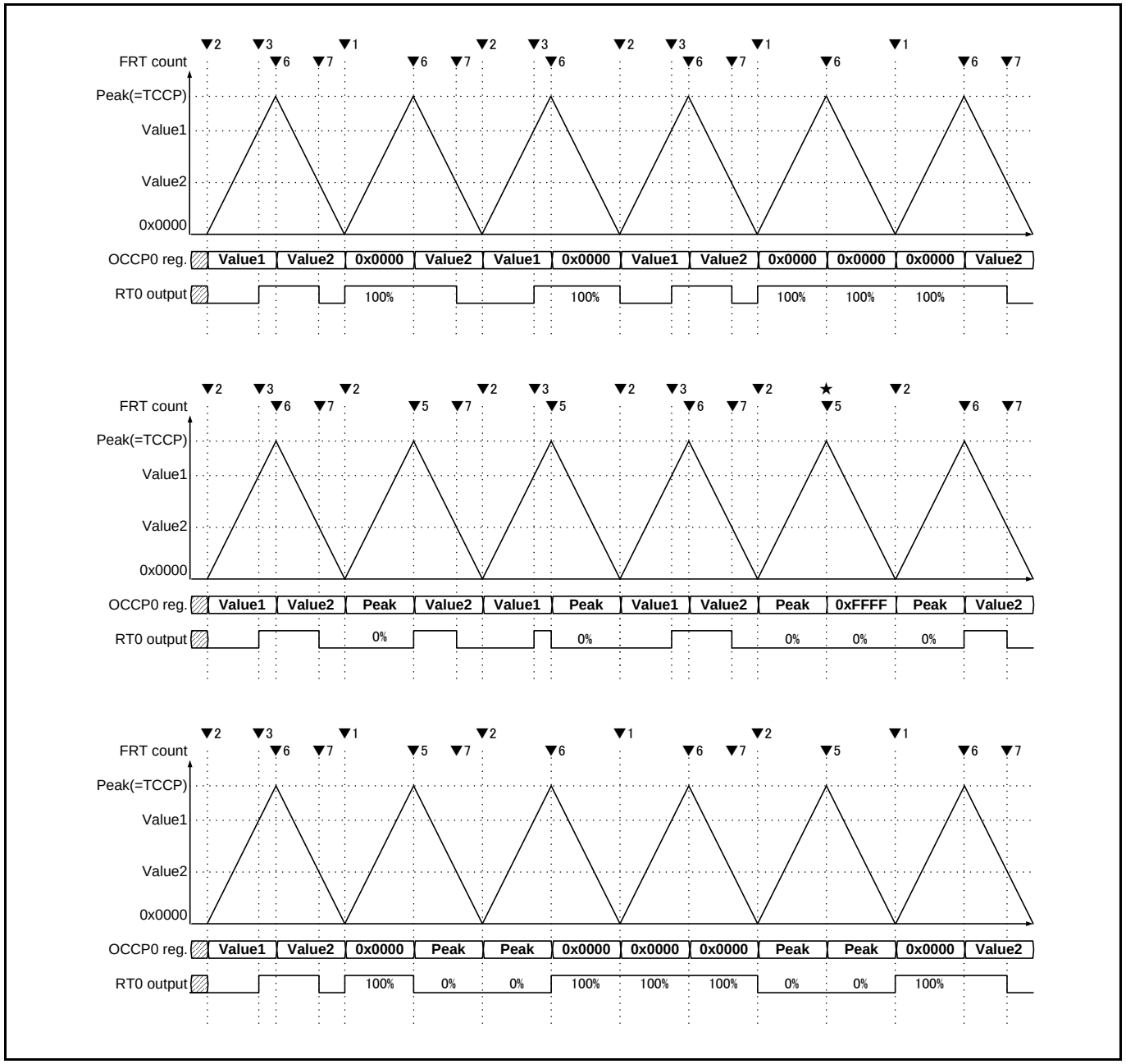
図の★のタイミングは、FRT をアップダウンカウントモードで動作させているため、OCCP0=0xFFFF は、ピーク一致扱いになります。条件 5 の動作を行います。

この設定例では、Peak 値＜OCCP0＜0xFFFF の値が OCCP0 に設定されると、出力変化しません。

Table 4-13 OCU 設定例 4 の動作内容

制御条件			設定例 4 OCSE0=0x95A0	
FRT 状態	OCCP0 比較結果	条件番号	RT0 動作	IOP0 動作
Zero/Bottom	一致	1	Set	Hold
	不一致	2	Reset	Hold
Up	一致	3	Set	Hold
	不一致	4	Hold	Hold
Peak/Top	一致	5	Reset	Hold
	不一致	6	Set	Hold
Down	一致	7	Reset	Hold
	不一致	8	Hold	Hold

Figure 4-18 OCU 設定例 4 の動作波形



4.2.2.6 OCU-ch.(1)を独立動作させる条件

OCSE(1)レジスタの bit[31:20]と bit[15:4]に同じ 12 ビット値を指定し、かつ bit[19:16]=0000 の指定を行うと、ch.(1)の RT(1)出力信号の変化条件から、OCCP(0)の値の影響を排除することができます。これは、OCCP(1)の比較結果に対し、OCCP(0)と FRT の比較結果が一致と不一致の場合の RT(1)の変化条件が完全に同じになるからです。この設定条件の場合、ch.(0)を OCCP(0)で制御し、ch.(1)を OCCP(1)で制御する別々の独立した OCU として使用することが可能です。この条件を満たさない場合、ch.(1)の RT(1)出力信号は、なんらかの形で OCCP(0)値の影響を受けることになり、独立動作を行いません。

4.2.2.7 設定例 5～8 の動作

設定例 5～8 は、OCSE1 レジスタの bit[31:20]と bit[15:4]に同じ 12 ビット値を指定し、bit[19:16] =0000 の指定を行っています。Ch.1 は、ch.0 の設定に関係なく、独立して使用できます。

設定例 5～8 の各制御タイミングでの RT1, IOP1 の動作を Table 4-14 に示します。設定例 5～8 の動作は、設定例 1～4 の OCCP0 レジスタ、RT0 出力信号、IOP0 レジスタをそれぞれ、OCCP1 レジスタ, RT1 出力信号, IOP1 レジスタに置き換えた動作となります。出力波形図と動作説明は省略します。

Table 4-14 OCU 設定例 5～8 の動作内容

制御条件		設定例 5 OCSE1[31:0] =0x0FF00FFF		設定例 6 OCSE1[31:0] =0x8520852D		設定例 7 OCSE1[31:0] =0x4A104A1D		設定例 8 OCSE1[31:0] =0x95A095A0	
FRT 状態	OCCP1 比較結果	RT1 動作	IOP1 動作	RT1 動作	IOP1 動作	RT1 動作	IOP1 動作	RT1 動作	IOP1 動作
Zero/Bottom	一致	Reverse	Set	Set	Set	Reset	Set	Set	Hold
	不一致	Hold	Hold	Reset	Hold	Set	Hold	Reset	Hold
Up	一致	Reverse	Set	Set	Set	Reset	Set	Set	Hold
	不一致	Hold	Hold	Hold	Hold	Hold	Hold	Hold	Hold
Peak/Top	一致	Reverse	Set	Hold	Hold	Hold	Hold	Reset	Hold
	不一致	Hold	Hold	Hold	Hold	Hold	Hold	Set	Hold
Down	一致	Reverse	Set	Reset	Set	Set	Set	Reset	Hold
	不一致	Hold	Hold	Hold	Hold	Hold	Hold	Hold	Hold

4.2.2.8 設定例 9 の動作

設定例 9 は、OCU-ch.1 に、オフセット付アップダウンカウント動作をする FRT-ch.2 を接続し、OCSD.OFEX1=1 の設定により、OCCP1 のコンペア一致条件を拡張した例です。設定例 9 の各制御タイミングでの RT1、IOP1 の動作を Table 4-15 に示します。出力波形図を Figure 4-19 に示します。

この設定例は、オフセット付アップダウンカウント動作の FRT-ch.2 を OCU に接続します。図では、FRT-ch.2 のカウント動作を実線で記載しています。同時にカウント動作する FRT-ch.0(ノーマル・アップカウント動作)と、FRT-ch.1(オフセット付アップダウンカウント動作)を破線で記載しています。OCSD.OFEX1=1 の設定により、Table 4-15 の OCCP1 比較結果の欄は、Zero/Bottom 状態、Peak/Top 状態の比較判定条件が拡張されています。OCCP1 の比較対象となる FRT は、FRT-ch.2 の値です。

図では、OCCP バッファレジスタを省略しています。CPU からの OCCP1 への書込み値は、いったんバッファレジスタに格納され、FRT の Zero/Botom、Peak/Top の両方で、OCCP1 レジスタへ転送されます。転送された新データは、転送直後から比較対象です。

この設定例では、OCU の RT1 の変化位置を、FRT の Up 側と Down 側で別々に指定した Active-High の波形が出力できます。また、後段の WFG に RT デッドタイマモードを設定し、FRT のオフセット値と WFG のデッドタイム時間を同じ値に設定しています。図には WFG の RTO0、RTO1 出力を併せて記載しています。

この設定例の場合、デッドタイム時間(offset) <= OCCP1 < Peak の範囲で、RTO0、RTO1 出力の変化位置を、OCCP1 の値が FRTch.0,1 にそれぞれ一致するタイミングに合わせることができます。また、OCCP1=0x0000 の設定で、べた High を出力します。(Peak 値+デッドタイム時間) <= OCCP1 の設定で、べた Low を出力します。

図の▼1～▼3, ▼5～▼7 のタイミングは、表の条件番号欄のそれぞれの制御条件が成立しています。それ以外のタイミングは、条件 4, 条件 8 のいずれかが成立しています。RT(1)信号出力は、それぞれの指定に従い動作を行います。

Table 4-15 OCU 設定例 9 の動作内容

制御条件			設定例 9 OCSE1[31:0]=0x95A095A0 OCSD10.OFEX1=1	
FRT 状態	OCCP1 比較結果	条件番号	RT1 動作	IOP1 動作
Zero/Bottom	OCCP1 <= FRT ch.2	1	Set	Hold
	OCCP1 > FRT ch.2	2	Reset	Hold
Up	OCCP1 == FRT ch.2 (一致)	3	Set	Hold
	OCCP1 != FRT ch.2 (不一致)	4	Hold	Hold
Peak/Top	OCCP1 >= FRT	5	Reset	Hold
	OCCP < FRT	6	Set	Hold
Down	OCCP1 == FRT ch.2 (一致)	7	Reset	Hold
	OCCP1 != FRT ch.2 (不一致)	8	Hold	Hold

Figure 4-19 OCU 設定例 9 の動作波形 1

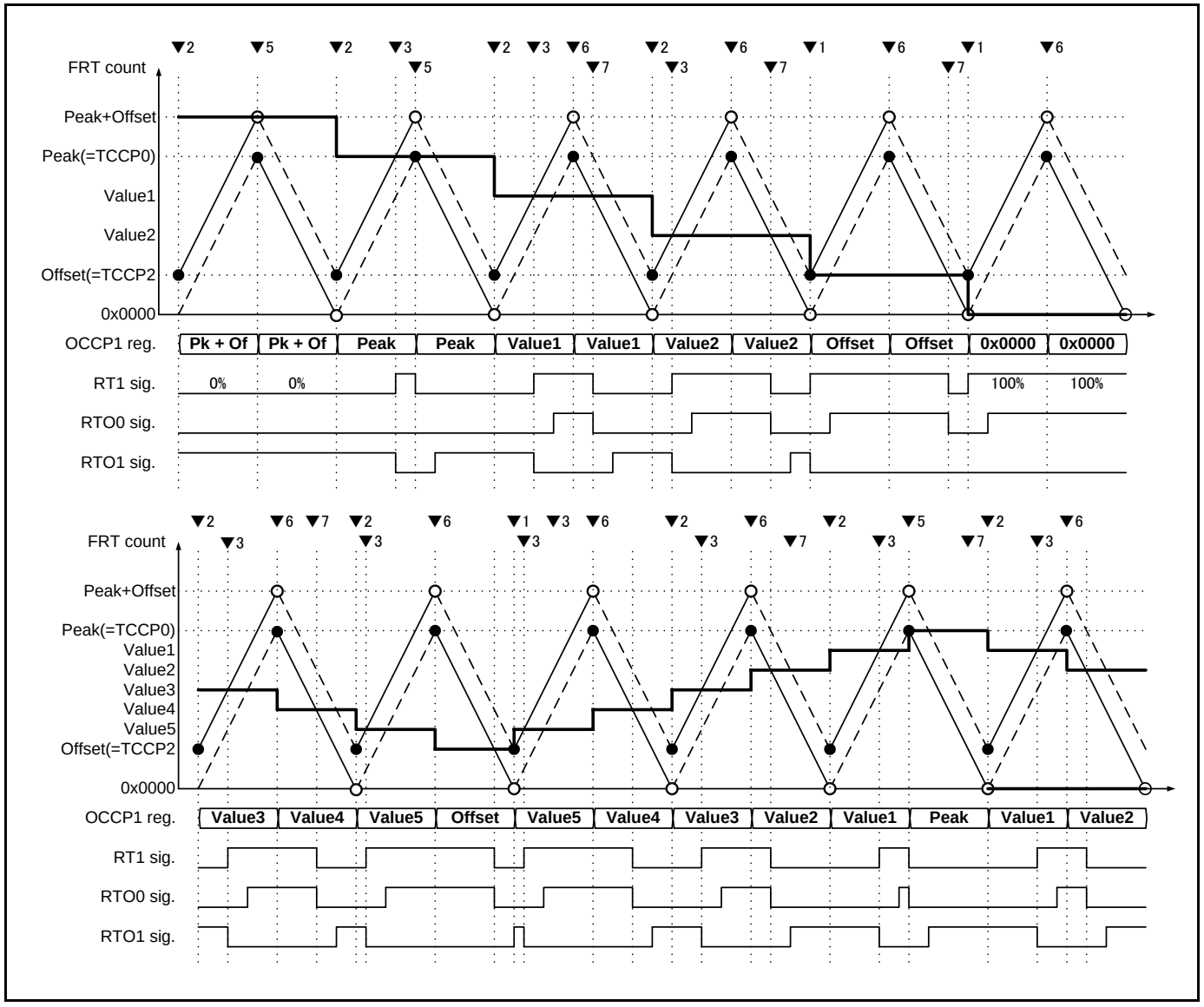


Figure 4-20 に、0x0000 < OCCP1 < デッドタイム時間の範囲の OCCP1 設定(図中の Valule3)を行った場合の動作波形例を示します。この場合、▼1 のタイミングで、RTO1 信号が Low に変化します。▼2 のタイミングで RTO0 信号が High に変化します。

Figure 4-20 OCU 設定例 9 の動作波形 2

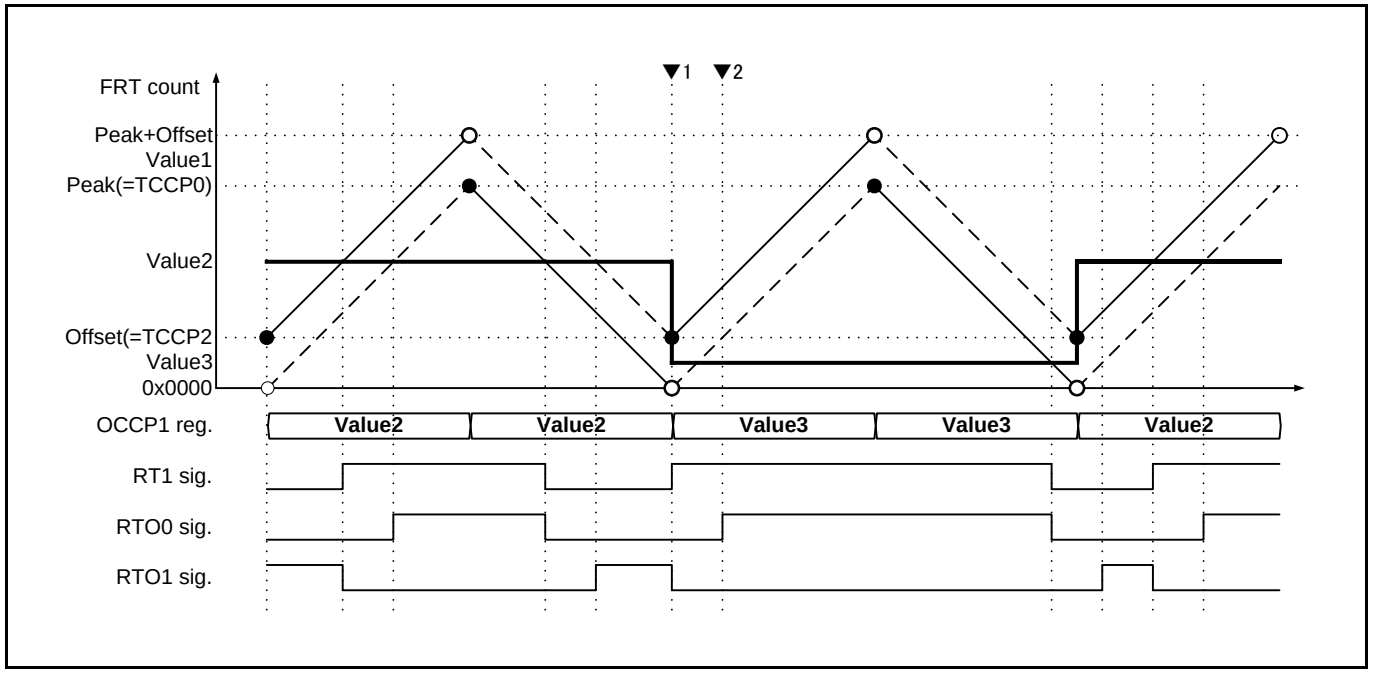
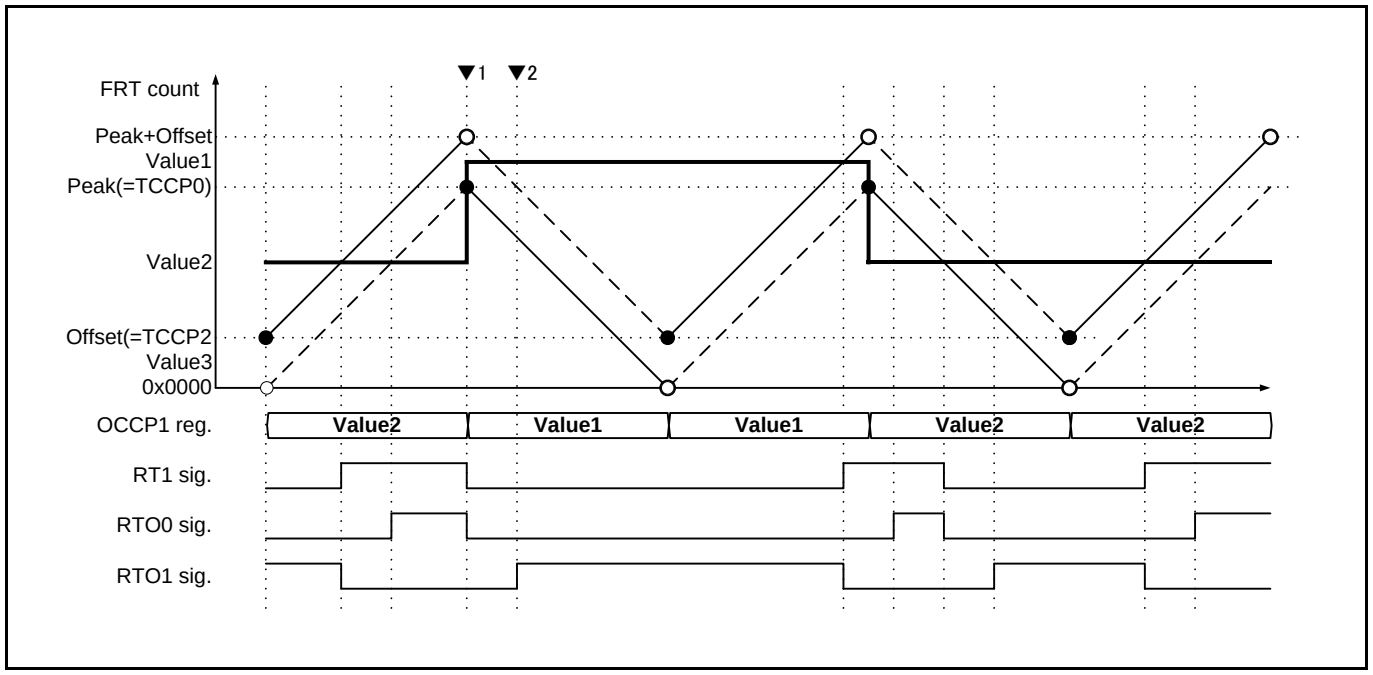


Figure 4-21 に、Peak < OCCP1 < (Peak＋デッドタイム時間)の範囲の OCCP1 設定(図中の Valule1)を行った場合の動作波形例を示します。この場合、▼1 のタイミングで、RTO0 信号が Low に変化します。▼2 のタイミングで RTO1 信号が High に変化します。

Figure 4-21 OCU 設定例 9 の動作波形 3



4.2.3 チャネル連動動作

OCU-ch.(0)と OCU-ch.(1)を連動動作させる場合の出力波形の生成動作を説明します。連動動作は、OCCP(0)と OCCP(1)の 2 値を使用して、ch.(1)側の RT(1)出力信号を制御します。Ch.(0)側の RT(0)信号は、連動動作はできません。

連動動作させる場合、ch.(0)と ch.(1) に接続する FRT に、オフセット付カウントモードの FRT、ノーマル・カウントモードで動作する FRT-ch.0 を選択することができます。

Ch.(0)と ch.(1) のバッファ転送の指定は、同じ設定にする必要はありません。Ch.(0)を Zero/bottom 転送、ch.(1)を Peak/Top 転送とするような指定が可能です。

Ch.(1)では、OCCP(0)と FRT の一致を検出して割込みを発生させることができません。OCCP(0)と FRT の一致により、IOP0 をセットしたい場合、CST0=1 として ch.(0)の動作許可を行ってください。RT(1)出力信号のみを使用し、RT(0) 出力信号、IOP0 を使用しない場合は、CST0=1 とする必要はありません。

4.2.3.1 設定例の一覧

以降に説明する設定例 10, 11 の初期設定値一覧を表に示します。

Table 4-16 OCU ch.0 と ch.1 を連動動作時の設定例

設定内容	設定レジスタ	設定例 10	設定例 11
FRT 動作モード	TCSA0:MODE	0	1
FRT 選択	OCFS10:FSO0 OCFS10:FSO1	0000 0000	0000 0000
OCCP0、OCCP1 バッファ機能	OCSD10:OCCP0BUFE OCSD10.OPBM0 OCSD10:OCCP1BUFE OCSD10.OPBM1	01 0 01 0	01 0 01 0
OCSE0、OCSE1 バッファ機能	OCSD10:OCSE0BUFE OCSD10.OEBM0 OCSD10:OCSE1BUFE OCSD10.OEBM1	00 0 00 0	00 0 00 0
FM4 モード選択	OCSB10.FM4	1	1
ch.0 動作条件	OCSE0 [15:0] OCSD10.OFEX0	0x000F 0	0x0000 0
ch.1 動作条件	OCSE1[15:0] OCSE1[31:16] OCSD10.OFEX1	0x0FFF 0xFFFF 0	0x98A0 0x55A4 0
割込み	OCSA10:IOE0 OCSA10:IOE1	任意	任意
出力レベル	OCSB10:OTD0 OCSB10:OTD1 OCCP0 OCCP1	初期値を指定	初期値を指定

4.2.3.2 設定例 10 の動作

設定例 10 の各制御タイミングでの RT1, IOP1, RT0, IOP0 の動作を Table 4-17 に示します。出力波形図を Figure 4-22 に示します。▲印は、IOP0, IOP1 のセットタイミングを示します。

FRT はアップカウントモードで動作を行います。CPU からの OCCP0 バッファ, OCCP1 バッファへの書込み値は、いったんバッファレジスタに格納され、FRT の 0x0000 で、各レジスタへ転送されます。転送された新データは、FRT=0x0000 から比較対象です。この設定例では、OCCP0 と OCCP1 のいずれか一致で、RT1 出力が反転します。IOP1 は、OCCP1 と FRT の一致、IOP0 は、OCCP0 と FRT の一致でセットされます。この例では、IOP0 をセットするために、CST0=1 とし、ch.0 の動作許可を併せて行う必要があります。

図の▼1～▼3, ▼5, ▼6 のタイミングは、表の条件番号欄のそれぞれの制御条件が成立しています。それ以外のタイミングは、条件 4 が成立しています。RT0 信号出力、IOP0 は、それぞれの指定に従い動作を行います。FRT をアップカウントモードで動作させているため、条件 7, 条件 8 が成立することはありません。

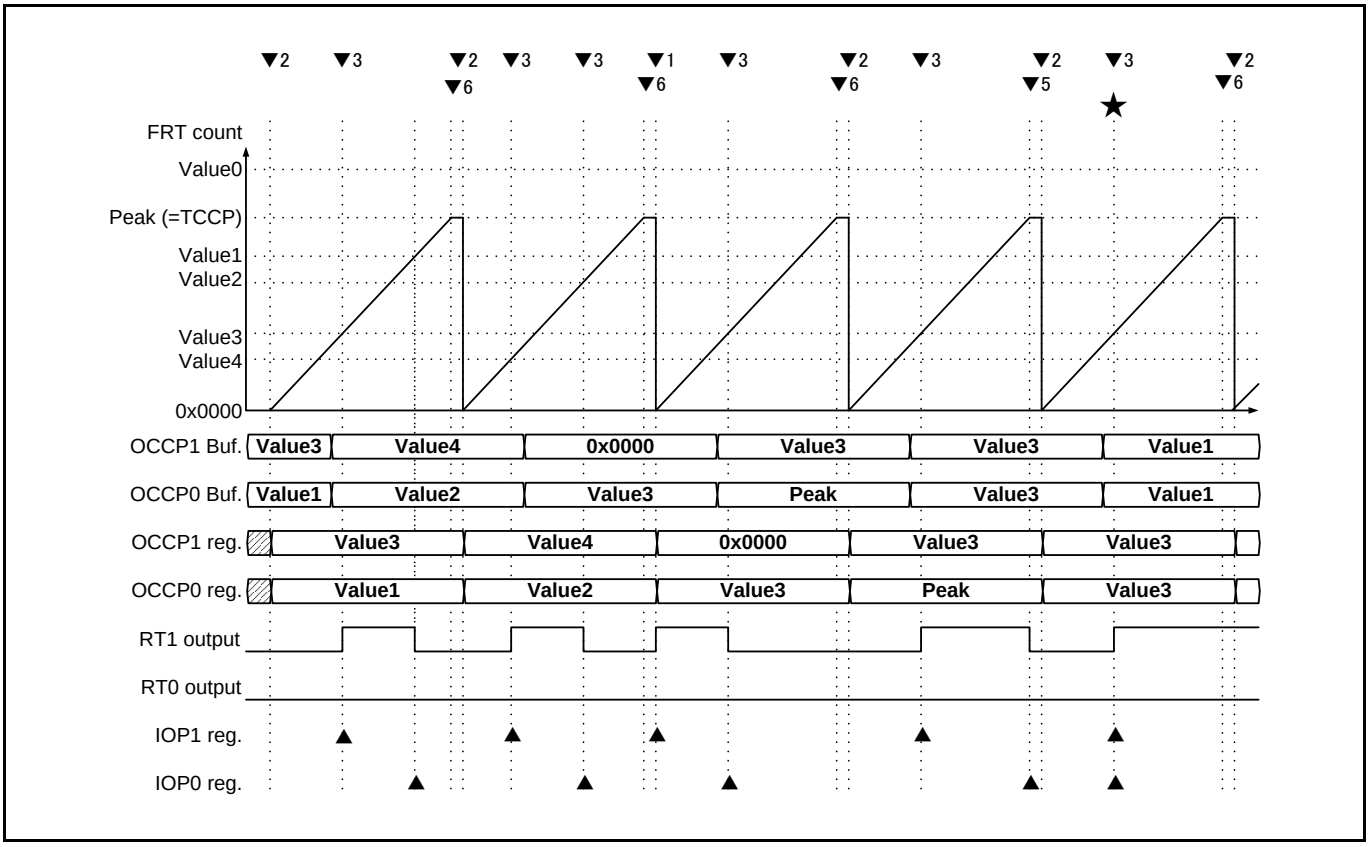
この設定例の場合、OCCP0, OCCP1 が同時に一致検出した場合(★のタイミング)では出力レベルが反転します。OCSE1 レジスタの設定変更により、OCCP0, OCCP1 が同時に一致検出した場合の動作を変更することが可能です。

この設定例では、Peak 値＜OCCP<=0xFFFF の値が OCCP に設定されると、出力変化しません。

Table 4-17 OCU 設定例 10 の動作内容

制御条件				設定例 10 OCSE1=0xFFFF0FFF, OCSE0=0x000F			
FRT 状態	OCCP1 比較結果	OCCP0 比較結果	条件番号	RT1 動作	IOP1 動作	RT0 動作	IOP0 動作
Zero/Bottom	一致	一致	1	Reverse	Set	Hold	Set
	一致	不一致		Reverse			Hold
	不一致	一致		Reverse	Hold		Set
	不一致	不一致	2	Hold			Hold
Up	一致	一致	3	Reverse	Set		Set
	一致	不一致		Reverse			Hold
	不一致	一致		Reverse	Hold		Set
	不一致	不一致	4	Hold			Hold
Peak/Top	一致	一致	5	Reverse	Set		Set
	一致	不一致		Reverse			Hold
	不一致	一致		Reverse	Hold		Set
	不一致	不一致	6	Hold			Hold
Down	一致	一致	7	Reverse	Set		Set
	一致	不一致		Reverse			Hold
	不一致	一致		Reverse	Hold		Set
	不一致	不一致	8	Hold			Hold

Figure 4-22 OCU 設定例 10 動作波形



4.2.3.3 設定例 11 の動作

設定例 11 の各制御タイミングでの RT1, IOP1, RT0, IOP0 の動作を Table 4-18 に示します。出力波形図を Figure 4-23 に示します。

設定例 11 は、設定例 4, 8 と同様に、OCU の RT1 の変化位置が、FRT の Up 側と Down 側で別々に指定できる Active-High の波形を出力する例です。また OCCP0, OCCP1 に 0x0000、Peak 値(または 0xFFFF)を指定した場合、べた出力が行われます。設定例 4, 8 と異なり、OCCP0 と OCCP1 の 2 値を使用します。

設定例 11 では、FRT が 0x0000、Up 中は、OCCP1 の値を無視し、OCCP0 と FRT の一致条件のみで、RT1 出力を変化させます。また、FRT が Peak、Down 中は、OCCP0 の値を無視し、OCCP1 と FRT の一致条件のみで、RT1 出力を変化させます。表の備考欄に示すように、比較結果を無視する側の OCCP の一致・不一致の条件設定を同じ指定にすることで、このような制御が可能となります。

この設定例では、OCCP0 で FRT カウント前半の RT1 変化タイミング、OCCP1 で FRT カウント後半の RT1 変化タイミングを指定できます。FRT からの Zero 検出割込みだけで CPU から制御が行えます。設定例 4,8 と異なり、CPU の割込み処理回数を減らすことができます。

FRT は、アップダウンカウントモードで動作を行います。CPU から OCCP0, OCCP1 への書込み値は、いったんバッファレジスタに格納され、FRT の Zero 検出で、OCCP0, OCCP1 レジスタへ転送されます。転送された新データは、FRT=0x0000 から比較対象となります。この例では、RT0 出力信号、IOP0 はセットしないため、CST0=1 とする必要はありません。

図の▼1～▼3, ▼5～▼7 のタイミングは、表の条件番号欄のそれぞれの制御条件が成立しています。それ以外のタイミングは、条件 4, 条件 8 のいずれかが成立しています。RT1 信号出力は、それぞれの指定に従い動作を行います。

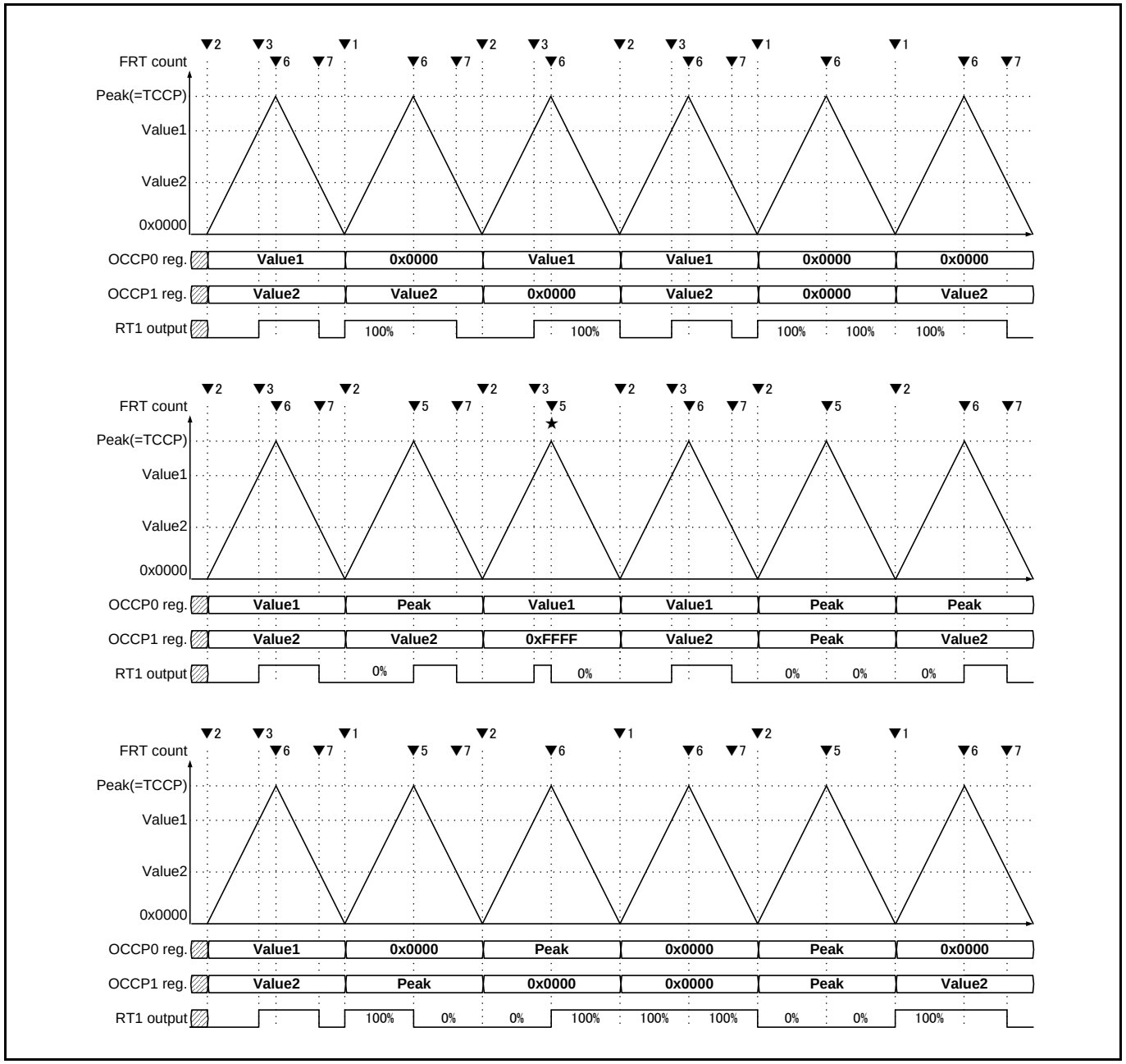
図の★のタイミングは、FRT をアップダウンカウントモードで動作させているため、OCCP1=0xFFFF は、ピーク一致扱いになります。条件 5 の動作を行います。

この設定例の場合、OCCP に Peak 値＜OCCP＜0xFFFF の値が設定されると、出力変化しません。

Table 4-18 OCU 設定例 11 の動作内容

制御条件				設定例 11 OCSE1=0x55A498A0, OCSE0=0x0000				
FRT 状態	OCCP1 比較結果	OCCP0 比較結果	条件番号	RT1 動作	IOP1 動作	備考	RT0 動作	IOP0 動作
Zero/ Bottom	無視	一致	1	Set	Hold	bit[27:26]=bit[31:30]	Hold	Hold
		不一致	2	Reset		bit[11:10]=bit[15:14]		
Up		一致	3	Set		bit[25:24]=bit[19:18]		
		不一致	4	Hold		bit[9:8]=00(Hold)		
Peak/ Top	一致	無視	5	Reset		bit[23:22]=bit[7:6]		
	不一致		6	Set		bit[29:28]=bit[13:12]		
Down	一致		7	Reset		bit[21:20]=bit[5:4]		
	不一致		8	Hold		bit[17:16]=00(Hold)		

Figure 4-23 OCU 設定例 11 の動作波形



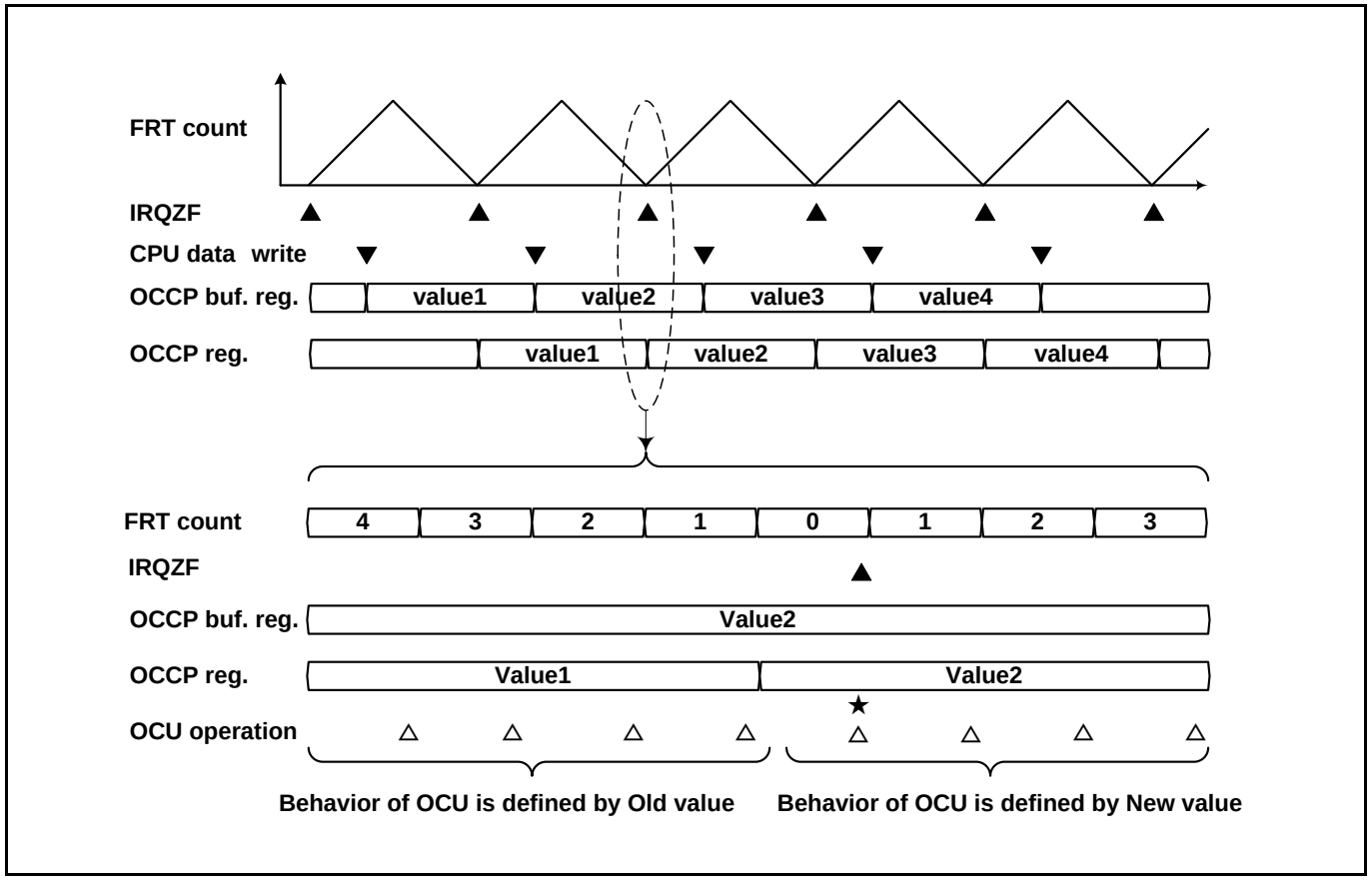
4.2.4 OCU のバッファデータ転送

OCCP レジスタ、OCSE レジスタには、バッファ機能が有ります。バッファ機能を有効としている場合、FRT がカウント動作中に、CPU から OCCP, OCSE に書き込まれたデータは、バッファレジスタに書き込まれます。その後、指定した転送タイミングで各レジスタへ転送されます。

FRT 割り込みマスク連動転送無の場合、指定した FRT カウント状態の時にバッファ転送を行います。FRT の割り込みマスクカウンタの影響は受けません。

Figure 4-24 に、OCCP のバッファ機能有効、Zero/Bottom 転送、(OCSD.OCCPBUFE=01) FRT 割り込みマスク連動転送無(OCSD.OPBM=0)の場合の動作例を示します。

Figure 4-24 OCU バッファデータ転送(割込みマスク連動無)



図の上部は、全体図、下部は転送動作部分の拡大図を示します。FRT はアップダウンカウントモードでカウント動作を行っています。▲のタイミングで、FRT より Zero 検出割り込みが発生します。▼のタイミングで CPU から OCCP バッファレジスタの書換えを行います。書き込まれたデータは、OCCP バッファレジスタに格納されます。その後、FRT の Zero 検出ごとに、OCCP レジスタへの転送動作が行われ、割込みが発生します。

OCU は、△のタイミングで、OCCP レジスタの指定に従い、RT 出力信号、IOP レジスタを変化させる動作を行います。★のタイミング(FRT=0x0000)以降での OCU の動作は、OCCP の転送後の新しいデータに従って行われ

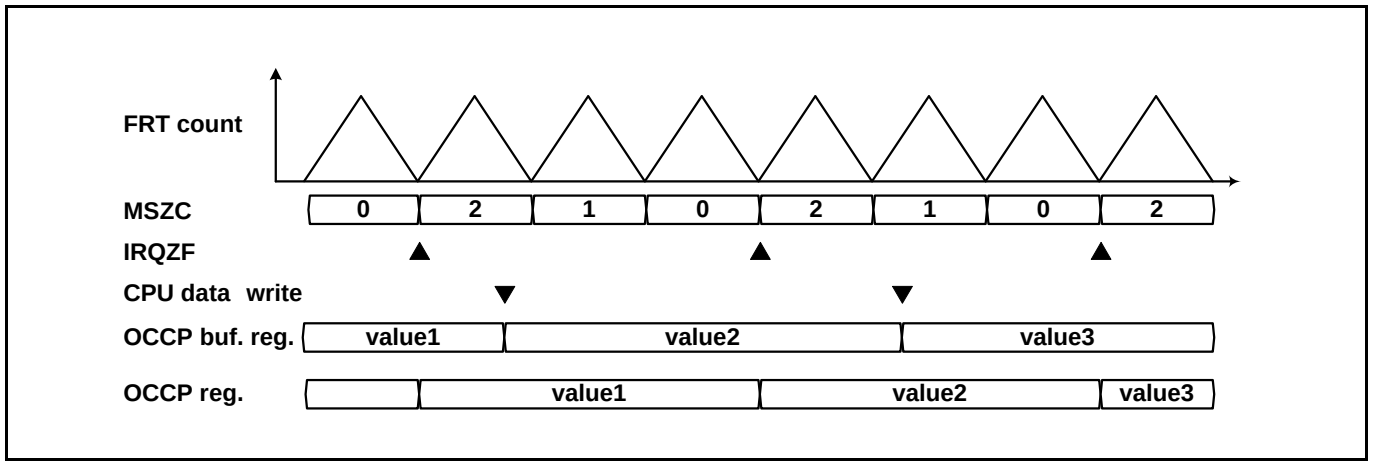
ます。それ以前のタイミングでの OCU の動作は、 OCCP の転送前の古いデータに従って行われます。このように、OCU は、転送されたデータを、転送タイミングから使用します。

図は OCCP の Zero/Bottom 転送の場合の例を示していますが、OCSE のバッファ転送動作および、Peak/Top 転送の場合も同様の動作となります。いずれも、転送されたデータを、転送タイミングから使用します。

FRT 割り込みマスク連動転送有(OCSD.OPBM=1)の場合、接続する FRT が指定したカウント状態であって、FRT の割り込みマスクカウンタが 0 の場合にバッファ転送を行います。

Figure 4-25 に、OCCP のバッファ機能有効、Zero/Bottom 転送、(OCSD.OCCPBUFE=01) FRT 割り込みマスク連動転送有(OCSD.OPBM=1)の場合の動作例を示します。

Figure 4-25 OCU バッファデータ転送(割り込みマスク連動有)



FRT はアップダウンカウントモードでカウント動作を行っています。Zero 検出割り込みマスクカウンタ(MSZC)は、2 から 0 へのダウンカウントを行っています。▲のタイミングで、FRT より Zero 検出割り込みが発生します。▼のタイミングで CPU から OCCP バッファレジスタの書換えを行います。書き込まれたデータは、OCCP バッファレジスタに格納されます。その後、Zero 検出割り込みマスクカウンタが 0 の場合の FRT の Zero 検出ごとに、OCCP レジスタへの転送動作が行われ、割込みが発生します。

転送されたデータは、Figure 4-24 の下部と同様に、その FRT カウントの時点から使用して動作を行います。上記のように、FRT 割り込みマスクカウンタと連動して、OCCP バッファの転送動作を間引くことができます。

接続している FRT がオフセット付カウントモード(ch.1 もしくは ch.2)の場合、その FRT の割込みマスクカウンタ値は 0 固定になります。ただし、バッファ転送条件の判断に使用される割込みマスクカウンタ値は、その FRT と同時にカウント動作している FRT-ch.0 の割り込みマスクカウンタ値が適用されます。このため、接続している FRT がオフセット付カウントモードである場合でも、FRT の割込みマスクカウンタに連動したバッファ転送動作を行えます。

<注意事項>

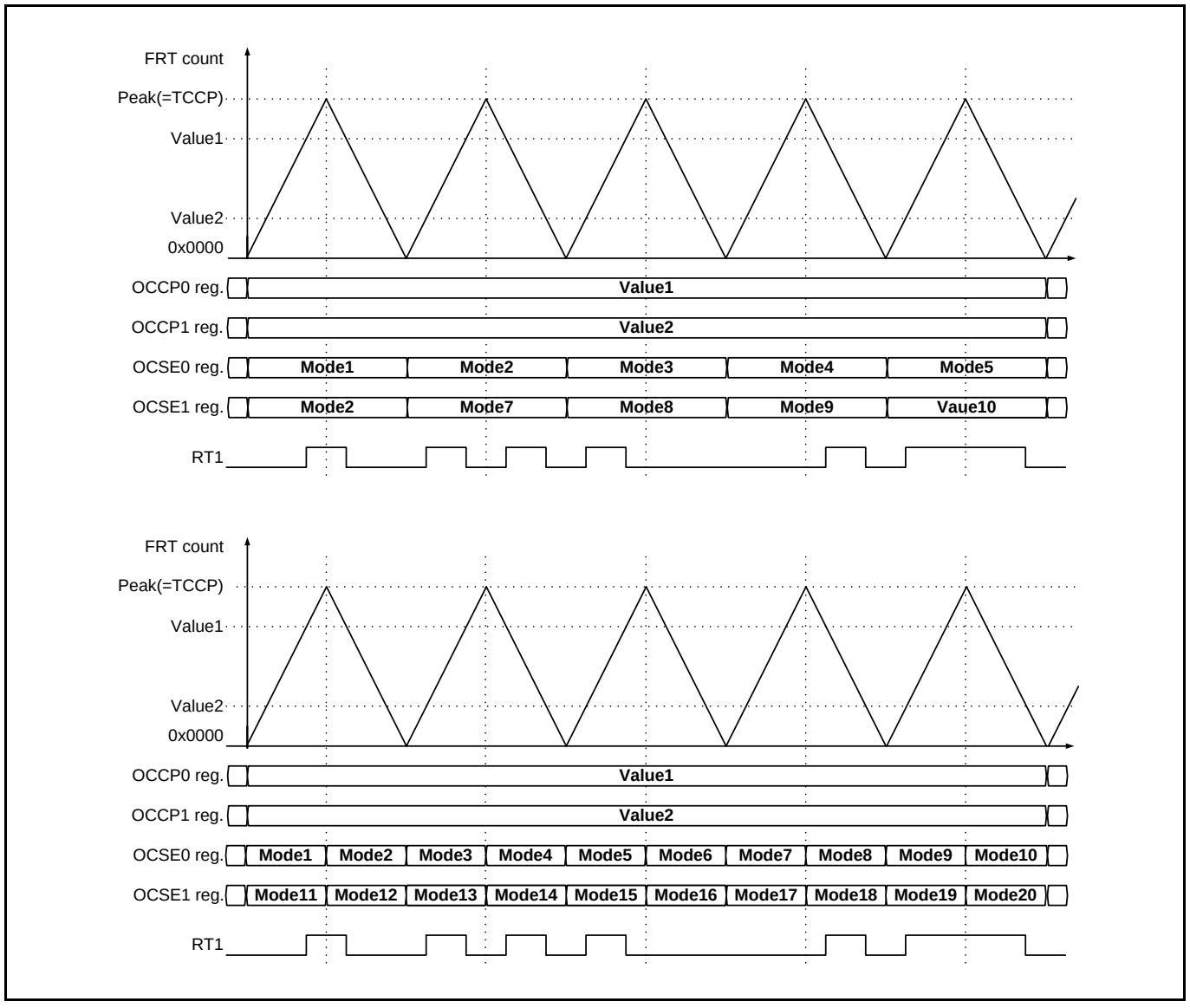
- *FRT 割込みマスクカウンタに連動したバッファ転送機能は、TYPE2-M0+以降製品のみで使用可能です。TYPE1-M0+製品では使用することはできません。*

4.2.5 OCSE のバッファ機能

OCSE レジスタには、バッファ機能があります。OCSE レジスタのバッファ機能を利用すると、FRT の動作中に、RT(0)出力信号、RT(1)出力信号の変化条件を、FRT の Zero 検出、Peak 検出に同期して変更することができます。OCCP(0)と OCCP(1)のバッファ機能、値比較の連動機能を併せて使用することで、様々な PWM 波形を生成することができます。

Figure 4-26 では、OCCP(0)と OCCP(1)レジスタの値を変更せず、OCSE レジスタの値のみの書換えを行い、出力モードの変更を行って出力波形を生成する例を示しています。

Figure 4-26 OCU OCSE レジスタのバッファ機能利用例



4.3 OCU の FM3 ファミリ製品互換動作

OCU の FM3 ファミリ製品互換動作について説明します。

4.3.1 OCU の FM3 ファミリ製品互換動作

OCU は OCSB:FM4=0 の場合、OCSB:CMOD レジスタと、OCSC:MOD レジスタの設定値で、動作モードが選択されます。OCSE レジスタの設定値は無視されます。Table 4-19 に、レジスタ設定値と OCU ch.(0), OCU ch.(1)の各動作モードの一覧表を示します。各モードの動作は、「4.2 OCU 動作説明」に示した各設定例と同じ動作を行います。OCCP レジスタのバッファ機能有無、転送タイミング指定については、FM3 ファミリ製品互換ではありません。OCSB:FM4=0 であっても、OCSD レジスタにて、初期設定時に設定します。

Table 4-19 FM3 ファミリ製品互換動作

レジスタ設定				選択される動作モードと動作内容	
TCSA: MODE ch.(1) (*1)	TCSA: MODE ch.(0) (*2)	OCSB: CMOD (*3)	OCSC: MOD (*4)	CH(1) 動作モード	CH(0) 動作モード
0	0	0	00	アップカウントモード (1 変化) (OCU 設定例 5 の動作)	アップカウントモード(1 変化) (OCU 設定例 1 の動作)
0	0	1	00	アップカウントモード(2 変化) (OCU 設定例 5 or 9 の動作)(*5)	アップカウントモード(1 変化) (OCU 設定例 1 の動作)
0	1	0	01	アップカウントモード(1 変化) (OCU 設定例 5 の動作)	アップダウンカウントモード (ActiveHigh) (OCU 設定例 2 の動作)(*6)
1	0	0	10	アップダウンカウントモード (ActiveHigh) (OCU 設定例 6 の動作)(*6)	アップカウントモード(1 変化) (OCU 設定例 1 の動作)
1	0	1	10	アップダウンカウントモード (ActiveLow) (OCU 設定例 7 の動作)(*6)	アップカウントモード(1 変化) (OCU 設定例 1 の動作)
1	1	0	11	アップダウンカウントモード (ActiveHigh) (OCU 設定例 6 の動作)(*6)	アップダウンカウントモード (ActiveHigh) (OCU 設定例 2 の動作)(*6)
1	1	1	11	アップダウンカウントモード (ActiveLow) (OCU 設定例 7 の動作)(*6)	アップダウンカウントモード (ActiveLow) (OCU 設定例 3 の動作)(*6)

*1: TCSA:MODE ch.(1)は、OCU ch.(1)に接続する FRT の TCSA:MODE の値を示します。

*2: TCSA:MODE ch.(0)は、OCU ch.(0)に接続する FRT の TCSA:MODE の値を示します。

*3: OCSB:CMOD は、ch.1-ch.0 の場合、OCSB10:CMOD の値を示します。Ch.3-ch.2 の場合、OCSB32:CMOD の値を示します。Ch.5-ch.4 の場合、OCSB54:CMOD の値を示します。

*4: OCSC:MOD は、ch.1-ch.0 の場合、OCSC:MOD[1:0]の値を示します。Ch.3-ch.2 の場合、OCSC:MOD[3:2]の値を示します。Ch.5-ch.4 の場合、OCSC:MOD[5:4]の値を示します。

*5: OCSA.CST0=0 時、RT(1)出力、IOP1 は、OCU 設定例 5 の動作を行います。OCSA.CST0=1 時、RT(1)出力、IOP1 は、OCU 設定例 10 の動作を行います。Ch.(0)、ch.(1)は同じ FRT を接続します。

*6: OCSD レジスタ指定により、 OCCP のバッファ機能を有効かつ Zero 値転送で使用してください。バッファ機能無効もしくは Peak 値転送とした場合、FM3 ファミリ製品と互換動作を行いません。

*7: TCSA.MODE,OCSB:CMOD, OCSC:MOD[5:0]が Table 4-19 以外の組合せでは互換動作を行いません。

4.4 WFG 動作説明

WFG の各モードにおける出力波形の詳細を以下に説明します。

4.4.1 WFG の制御レジスタ

Table 4-20 に WFG の制御レジスター覧を示します。各レジスタの機能概要と設定タイミングを示します。

Table 4-20 WFG の制御レジスタ

設定レジスタ	レジスタ機能	レジスタ変更タイミング
WFSA:DCK	クロックの分周比設定	OCU、PPG の動作許可前に設定します。 動作許可状態への移行後は、設定変更禁止。
WFSA:TMD	WFG 動作モードの選択	
WFSA:GTEN	CH_GATE 信号出力条件選択	
WFSA:PSEL	CH_PPG 信号入力元選択	
WFSA:PGEN	CH_PPG 信号入力反映条件選択	
WFSA:DMOD	RTO 出力信号極性選択	
WFTA、WFTB	WFG タイマ時間設定	任意のタイミング
WFTF	パルスカウンタ値設定	

WFG は、WFSA レジスタの設定に従い、動作を行います。WFG の入力信号である OCU からの RT0～RT1 信号および PPG からの PPG 信号が入力される前(OCU, PPG の動作許可を行う前)に、初期設定を完了してください。WFSA レジスタで動作モード選択を行うと、RTO0～RTO5 出力信号、GATE 信号の初期出力レベルが決定します。

4.4.2 CH_GATE 信号出力内容

Table 4-21 に、WFG の動作モード，レジスタ設定値による CH_GATE 信号の出力内容一覧を示します。

Table 4-21 CH_GATE 信号出力内容一覧表

動作モード	WFSA: TMD[2:0]	WFSA: GTEN[1:0]	CH_GATE 信号出力
スルーモード	000	設定無視	常に Low レベル出力
RT-PPG モード	001	00	常に Low レベル出力
		01	RT(0)信号を出力
		10	RT(1)信号を出力
		11	RT(1)信号と RT(0)信号の論理 OR 信号を出力
タイマ PPG モード	010	00	常に Low レベル出力
		01	WFG timer active flag 0 を出力
		10	WFG timer active flag 1 を出力
		11	WFG timer active flag 1 と WFG timer active flag 0 の論理 OR 出力
RT デッドタイマモード	100	設定無視	常に Low レベル出力
RT デッドタイマフィルタモード	101	設定無視	常に Low レベル出力
PPG デッドタイマフィルタモード	110	00	常に Low レベル出力
		01	RT(0)信号を出力
		10	RT(1)信号を出力
		11	RT(1)信号と RT(0)信号の論理 OR 信号を出力
PPG デッドタイマモード	111	00	常に Low レベル出力
		01	RT(0)信号を出力
		10	RT(1)信号を出力
		11	RT(1)信号と RT(0)信号の論理 OR 信号を出力

*: 表中の CH_GATE 信号は、それぞれ Figure 3-4, Figure 4-56, Figure 4-57 の PPG 選択回路構成図に示した WFSA:PSEL[1:0]で選択される前の CH10_GATE, CH32_GATE, CH54_GATE を示しています。

4.4.3 RTO0~RTO5 信号出力内容

Table 4-22 に WFG の動作モード，レジスタ設定値, RTO(1)信号, RTO(0)信号の出力一覧を示します。

Table 4-22 RTO 端子の出力内容一覧表

動作モード	WFSA: TMD [2:0]	WFSA: PGEN [1:0]	RTO(1)信号の出力	RTO(0)信号の出力
スルーモード	000	00	RT(1)信号を出力	RT(0)信号を出力
		01	RT(1)信号を出力	CH_PPG 信号を出力
		10	CH_PPG 信号を出力	RT(0)信号を出力
		11	CH_PPG 信号を出力	CH_PPG 信号を出力
RT-PPG モード	001	00	RT(1)信号を出力	RT(0)信号を出力
		01	RT(1)信号を出力	RT(0)信号と CH_PPG 信号の論理 AND を出力
		10	RT(1)信号と CH_PPG 信号の論理 AND を出力	RT(0)信号を出力。
		11	RT(1)信号と CH_PPG 信号の論理 AND を出力	RT(0)信号と CH_PPG 信号の論理 AND を出力
タイマ PPG モード	010	00	WFG timer active flag 1 を出力	WFG timer active flag 0 を出力
		01	WFG timer active flag 1 を出力	WFG timer active flag 0 と CH_PPG 信号の論理 AND を出力
		10	WFG timer active flag 1 と CH_PPG 信号の論理 AND を出力	WFG timer active flag 0 を出力
		11	WFG timer active flag 1 と CH_PPG 信号の論理 AND を出力	WFG timer active flag 0 と CH_PPG 信号の論理 AND を出力
RT デッドタイマモード	100	設定無視	RT(1)信号から WFG タイマ使用し、ノンオーバラップ信号を生成し出力します。	
RT デッドタイマフィルタモード	101	設定無視	RT(1)信号に対し、パルスカウンタでパルス幅フィルタリング処理を実施します。処理後の信号から WFG タイマ使用し、ノンオーバラップ信号を生成し出力します。	
PPG デッドタイマフィルタモード	110	設定無視	CH_PPG 信号に対し、パルスカウンタでパルス幅フィルタリング処理を実施します。処理後の信号から WFG タイマ使用し、ノンオーバラップ信号を生成出力します。。	
PPG デッドタイマモード	111	設定無視	CH_PPG 信号から WFG タイマ使用し、ノンオーバラップ信号を生成し出力します。	

*: 表中の CH_PPG 信号は、それぞれ Figure 3-4, Figure 4-56, Figure 4-57 の PPG 選択回路構成図に示した WFSA:PSEL[1:0]で選択された後の CH10_PPG, CH32_PPG, CH54_PPG を示しています。

WFSA.DMOD[1:0]の設定で、Table 4-22 の RTO(0), RTO(1)信号の出力極性を、WFSA の他のレジスタ設定に関わらず、以下のように変更できます。

WFSA:DMOD[1:0]=00: RTO(0), RTO(1)信号を、それぞれその極性のままで出力します。

WFSA:DMOD[1:0]=01: RTO(0), RTO(1)信号を、それぞれ反転して出力します。

WFSA:DMOD[1:0]=10: RTO(0)信号を反転、RTO(1)信号をその極性のままで出力します。

WFSA:DMOD[1:0]=11: RTO(1)信号を反転、RTO(0)信号をその極性のままで出力します。

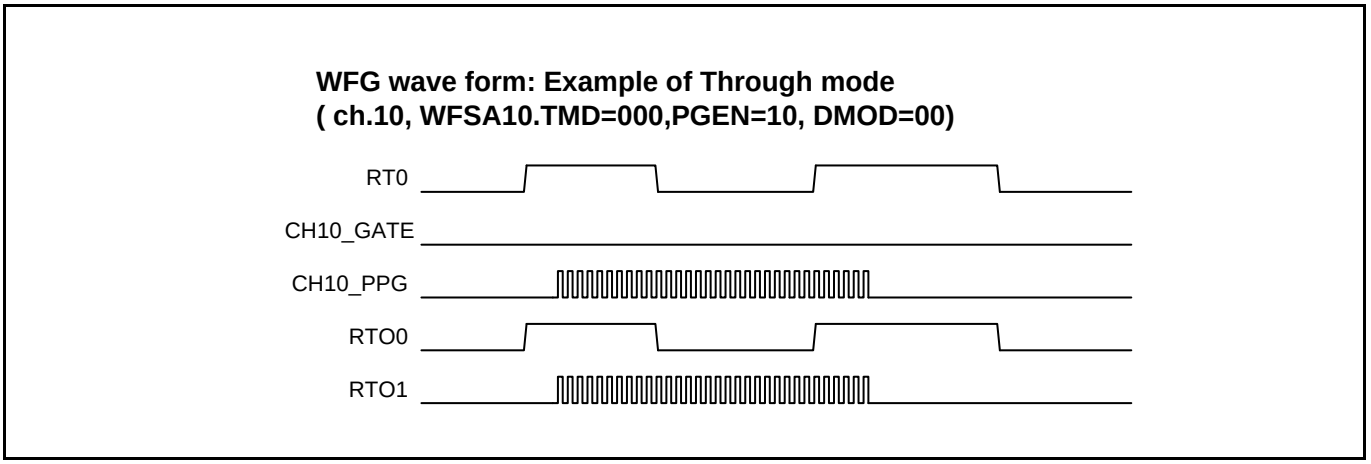
4.4.4 スルーモード

スルーモード(WFSA.TMD=000)の動作を説明します。

このモードの場合、CH_GATE 信号は、常に Low レベル固定出力です。RTO(1)信号, RTO(0)信号は、PGEN[1:0]の設定により、RT(1)信号, RT(0)信号, CH_PPG 信号をそのままスルー出力します。

Figure 4-27 に、WFG ch.10 のスルーモード時の動作波形例を示します。この例では、RT0 入力信号を RTO0 出力信号に、CH10_PPG 入力信号を RTO1 出力信号にそれぞれ出力しています。PPG タイマユニットは、GATE 信号を使用せずに出力を開始するモードで使用しています。

Figure 4-27 WFG スルーモード動作波形例



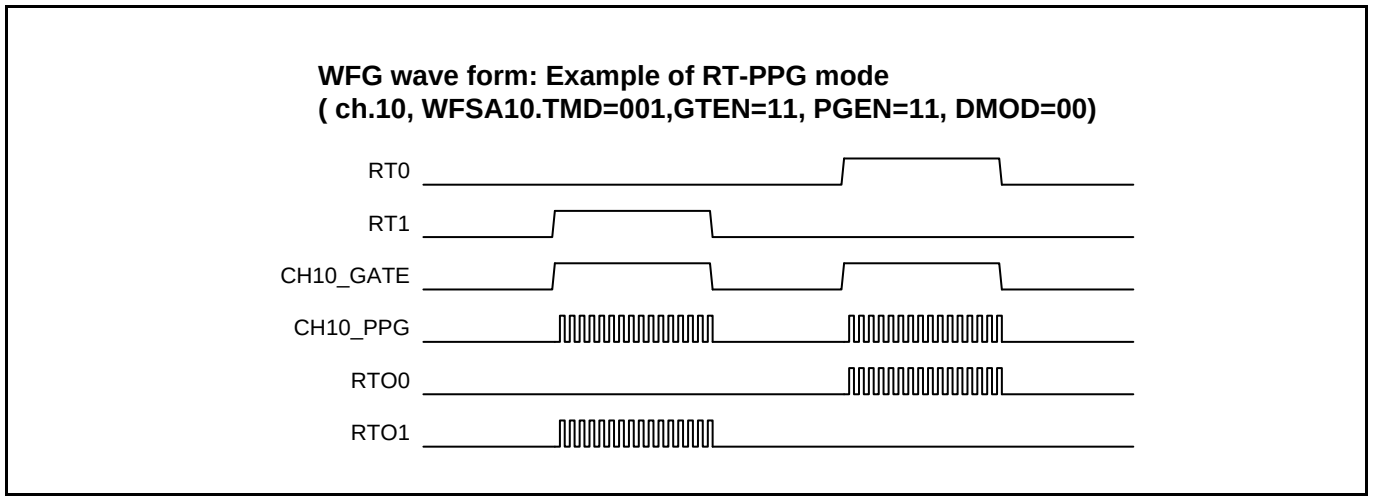
4.4.5 RT-PPG モード

RT-PPG モード(WFSA.TMD=001)の動作を説明します。

このモードの場合、CH_GATE 信号は、RT(1)信号, RT(0)信号, それぞれの信号の論理 OR 信号のいずれかを GTEN[1:0]の設定で選択し出力します。RTO(1)信号, RTO(0)信号は、RT(1)信号, RT(0)信号と CH_PPG 信号の論理 AND 信号のいずれかを PGEN[1:0]の設定で選択し出力します。

Figure 4-28 に、WFG ch.10 の RT-PPG モード時の動作波形例を示します。この例では、RT1 入力と RT0 入力の論理 OR 信号により CH10_GATE 信号を生成し、PPG ch.0 の起動を行っています。CH10_PPG 入力信号それぞれ、RT0 入力、RT1 入力と論理 AND し、RTO0 出力、RTO1 出力に重畳して出力しています。

Figure 4-28 WFG RT-PPG モード動作波形例



4.4.6 タイマ PPG モード

タイマ PPG モード(WFSA.TMD=010)の動作を説明します。

WFG の各チャネル内には、それぞれ WFG timer active flag0, WFG timer active flag 1 の 2 個のフラグが存在しています。このモードの場合、これらのフラグを利用した波形を出力します。

WFSA.TMD レジスタの書換えを行って、このモードを選択した時点では、WFG タイマ動作 flag0,1 は、0 (Low レベル)にリセットされています。モード選択時点では、RT(0)入力, RT(1)入力, CH_PPG 入力のレベル状態によらず、RTO(0)出力, RTO(1)出力は、Low レベルです。

RT(0)信号の立上りエッジが検出されると、WFG timer active flag 0 を、1 にセットし、WFTA レジスタから初期値をロードしてダウンカウントを開始します。

RT(1)信号の立上りエッジが検出されると、WFG timer active flag 1 を、1 にセットし、WFTB レジスタから初期値をロードしてダウンカウントを開始します。

なお、RT(0)信号と RT(1)信号の立上りエッジが同時に検出された場合は、両方の WFG timer active flag を、1 にセットし、WFTA レジスタから初期値をロードしてダウンカウントを開始します。

WFG タイマは、カウント終了時、両方の WFG timer active flag を 0 にリセットします。従って、RT(0)入力, RT(1)入力のパルス幅に関係なく、それぞれの立上りエッジから WFG タイマの設定時間分、WFG timer flag 0, 1 がセットされます。

CH_GATE 信号は、WFG timer active flag 0, WFG timer active flag 1 およびそれぞれの論理 OR 信号のいずれかを GTEN[1:0]の設定で選択し出力します。RTO(1)信号, RTO(0)信号は、これら 2 つの動作フラグと CH_PPG 信号の論理 AND 信号のいずれかを PGEN[1:0]の設定で選択し出力します。

Figure 4-29, Figure 4-30 に、WFG ch.10 のタイマ PPG モード時の動作波形例 1,2 を示します。

Figure 4-29 WFG タイマ PPG モード動作波形例 1

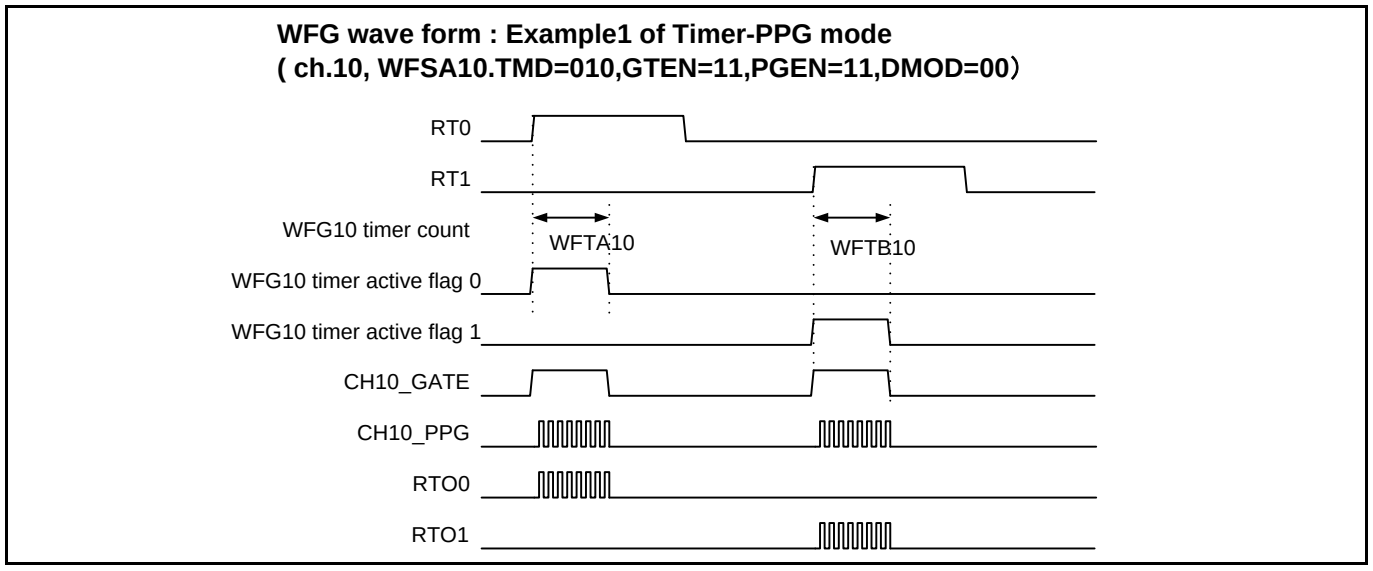


Figure 4-29 では、RT0 入力と RT1 入力の立ち上がりにより、WFG タイマの起動を行い、それぞれ、WFTA10 時間、WFTB10 時間の間、WFG10 timer active flag 0 と 1 がセットされています。この 2 つの論理 OR 信号により CH10_GATE 信号を生成し、PPG ch.0 の起動を行っています。CH10_PPG 入力信号をそれぞれ、WFG10 timer active

flag 0 と 1 に論理 AND し、RTO0 出力、RTO1 出力としています。CH10_PPG 入力信号をタイマ動作中、RTO0、RTO1 に重畳して出力しています。

Figure 4-30 は、WFG タイマの時間設定値(WFTA10,WFTB10)を RT0, RT1 のパルス長より長く設定している例です。RT0 信号, RT1 信号は、Figure 4-29 と同じ信号を入力していますが、タイマ設定時間により、Figure 4-29 とは違う出力が得られることを示しています。

Figure 4-30 WFG タイマ PPG モード動作波形例 2

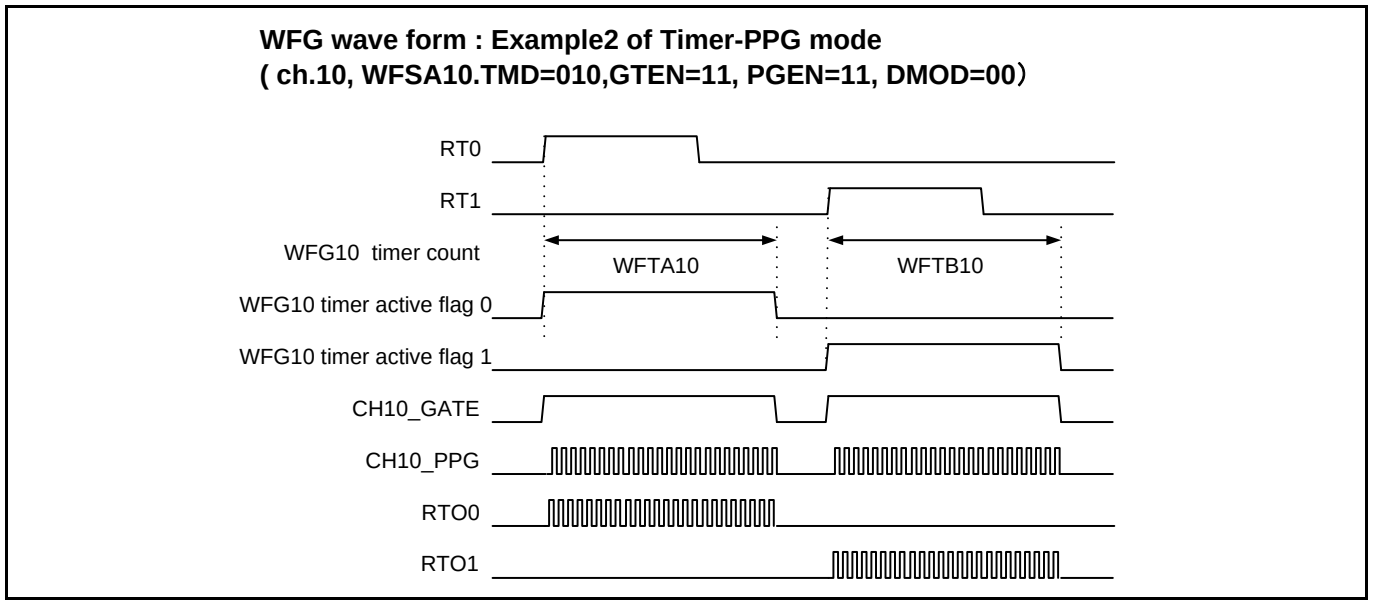


Figure 4-31 に、WFG ch.10 のタイマ PPG モード時の動作波形例 3 を示します。

Figure 4-31 WFG タイマ PPG モード動作波形例 3

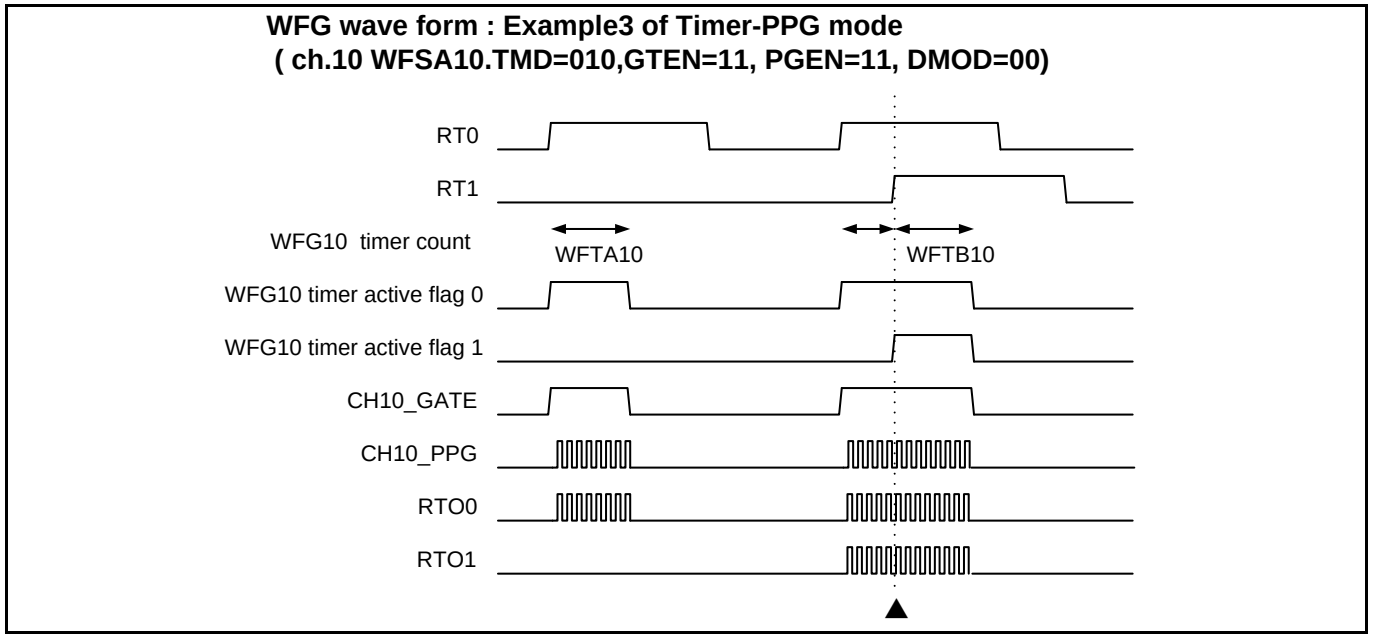


Figure 4-31 の例は例外的なケースを示しています。Figure 4-31 の▲の時点では以下の動作が行われています。RT0 信号の立上りエッジで、WFG10 timer active flag 0 がセットされ、WFG タイマがカウント動作を開始しています。この最中に、RT1 信号に立上りエッジが検出され、WFG10 timer active flag 1 がセットされています。この場合、WFG タイマは初期値(WFTB10 レジスタ値)を再ロードし、タイマカウントを再度スタートする動作を行います。WFG10 timer active flag 0 と 1 がリセットされるのは、WFG タイマのカウントが終了した時点です。このため、Figure 4-31 のように WFG10 timer active flag 0 がセットされている時間は、タイマ設定値(WFTA10 レジスタ値)より長い時間になります。RTO0, RTO1 には、Figure 4-31 のような波形出力が得られます。

4.4.7 RT デッドタイマモード

RT デッドタイマモード(WFSA.TMD=100)の動作を説明します。

このモードでは、RTO(1)信号, RTO(0)信号は、RT(1)信号を基準信号として、WFTA,WFTB レジスタにより設定されたデッドタイムを持つノンオーバラップ信号を出力します。このモードは、OCU の RT(1)出力の出力極性が Active High であることを前提としています。CH_GATE 信号は、常に Low レベル固定出力です。このモードの場合、WFTF レジスタの値、RT(0)信号、CH_PPG 信号は使用しません。

WFSA.TMD レジスタの書換えを行って、このモードを選択した時点では、RTO(0)信号は、RT(1)信号と同じ出力レベル、RTO(1)信号は、RT(1)信号と反対の出力レベルになります。

RT(1)信号の立上りエッジが検出されると、RTO(1)信号出力が Low レベルになります。WFG タイマが WFTB レジスタの値をロードし、その時間をカウントします。カウント終了後、RTO(0)信号が High レベルになります。

RT(1)信号の立下りエッジが検出されると、RTO(0)信号出力が Low レベルになります。WFG タイマが WFTA レジスタの値をロードし、その時間をカウントします。カウント終了後、RTO(1)信号が High レベルになります。

WFTA レジスタと WFTB レジスタにより、立上り側と立下り側のデッドタイムをそれぞれ別々に指定することができます。

Figure 4-32 に、WFG ch.10 の RT デッドタイマモードの動作波形例 1 を示します。

Figure 4-32 WFG RT デッドタイマモード動作波形例 1

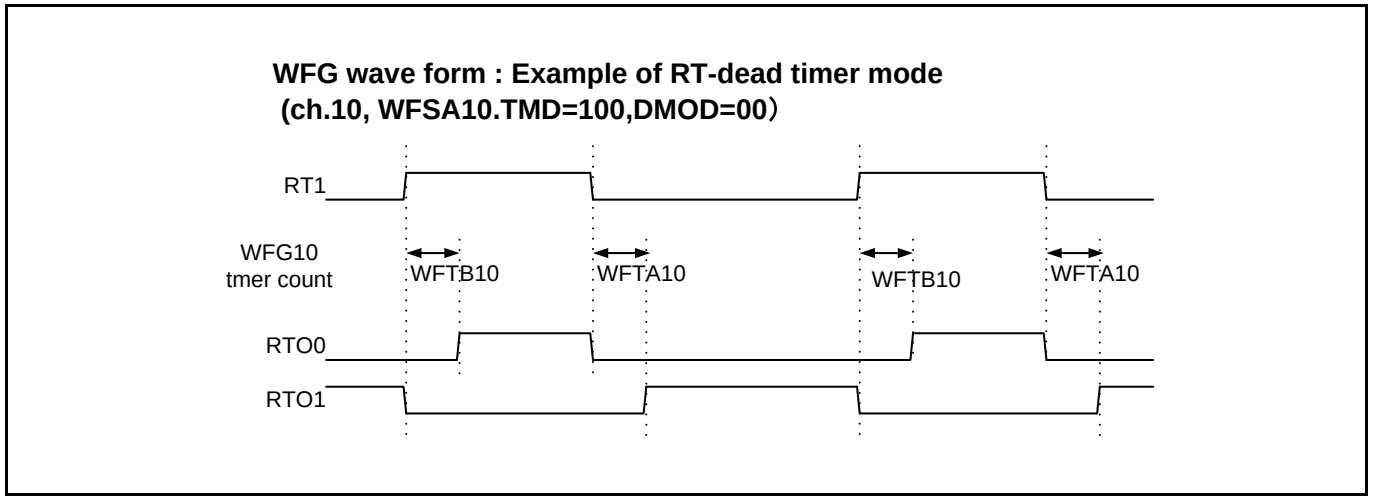
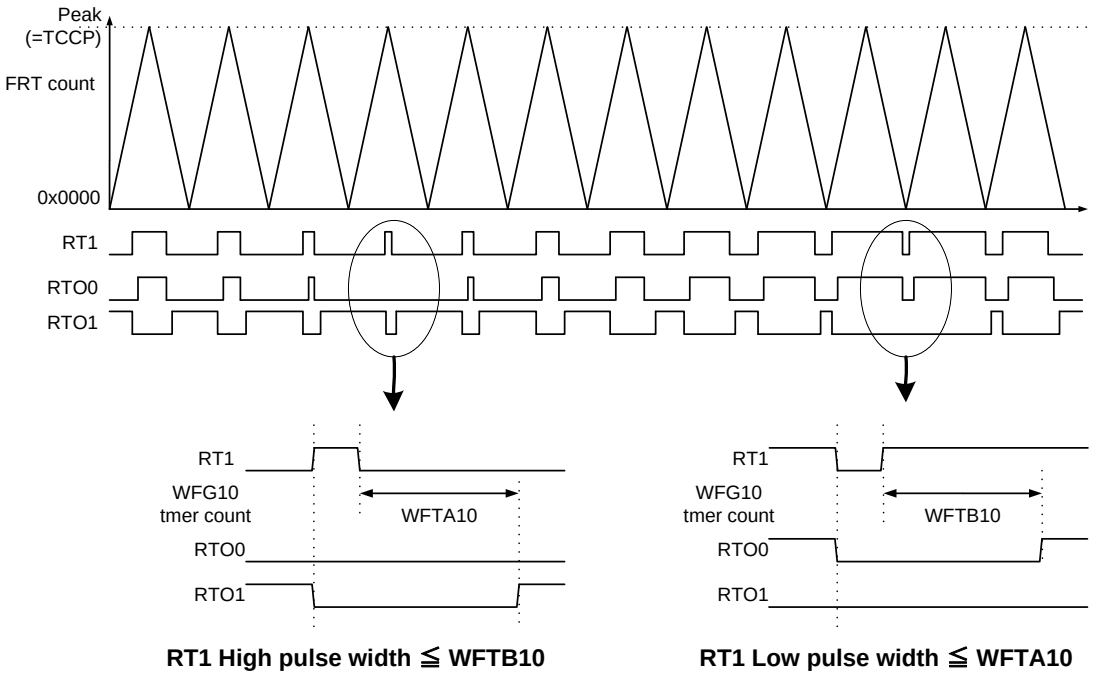


Figure 4-33 に、WFG ch.10 の RT デッドタイマモードの動作波形例 2 を示します。

OCU からの RT1 入力信号の High パルス幅が、WFTB10 設定のデッドタイム以下のパルスが入力された場合、RTO1 出力信号のみが Low レベルになります。RT1 入力信号の立下り後、WFTA10 時間後に、RTO1 出力信号が High レベルになります。この場合、RTO0 出力信号に High レベルが存在しない信号波形が出力されます。

また、RT1 入力信号の Low パルス幅が、WFTA10 設定のデッドタイム以下のパルスが入力された場合、RTO0 出力信号のみが Low レベルになります。RT1 入力信号の立上り後、WFTB10 時間後に、RTO0 出力信号が High レベルになります。この場合、RTO1 出力信号に High レベルが存在しない信号波形が出力されます。

Figure 4-33 WFG RT デッドタイマモード動作波形例 2



RT1 High pulse width ≦ WFTB10

RT1 Low pulse width ≦ WFTA10

4.4.8 RT デッドタイマ・フィルタモード

RT デッドタイマ・フィルタモード(WFSA.TMD=101)の動作を説明します。

RT デッドタイマ・フィルタモードは、最初に WFG 内のパルスカウンタを用いて、WFTF レジスタ規定値以下のパルス長の RT(1)入力信号をフィルタリングします。RT(1)入力信号が、WFTF 時間より長いパルス幅の場合、RT(1)入力から WFTF 時間遅延したフィルタ信号を生成します。このフィルタ信号から、WFTA レジスタ、WFTB レジスタに設定されたデッドタイムを持つノンオーバラップ信号を RTO(1), RTO(0)に出力します。CH_GATE 信号は、常に Low レベル固定出力です。このモードの場合、RT(0)信号と CH_PPG 信号は使用しません。このモードは、OCU の RT(1)出力の出力極性が Active High であることを前提としています。

WFSA.TMD レジスタの書換えを行って、このモードを選択した時点では、RTO(0)信号は、RT(1)信号と同じ出力レベル、RTO(1)信号は、RT(1)信号と反対の出力レベルになります。

RT(1)信号の立上りエッジが検出されると、パルスカウンタが WFTF レジスタの値をロードし、RT(1)信号の High パルス幅をカウントします。WFTF 時間より長い High パルス幅の場合、WFTF 時間後に、RTO(1)信号出力が Low レベルになります。WFG タイマが WFTB レジスタの値をロードし、その時間をカウントします。カウント終了後、RTO(0)信号が High レベルになります。

RT(1)信号の立下りエッジが検出されると、パルスカウンタが WFTF レジスタの値をロードし、RT(1)信号の Low パルス幅をカウントします。WFTF 時間より長い Low パルス幅の場合、WFTF 時間後に、RTO(0)信号出力が Low レベルになります。WFG タイマが WFTA レジスタの値をロードし、その時間をカウントします。カウント終了後、RTO(1)信号が High レベルになります。

RT(1)信号が、WFTF 時間以下のパルス幅の場合、RTO(0)、RTO(1)出力は変化しません。また、WFTA レジスタと WFTB レジスタにより、立上り側と立下り側のデッドタイムをそれぞれ別々に指定することができます。

Figure 4-34 に、WFG ch.10 の RT デッドタイマ・フィルタモードの動作波形例 1 を示します。

Figure 4-34 WFG RT デッドタイマ・フィルタモード動作波形例 1

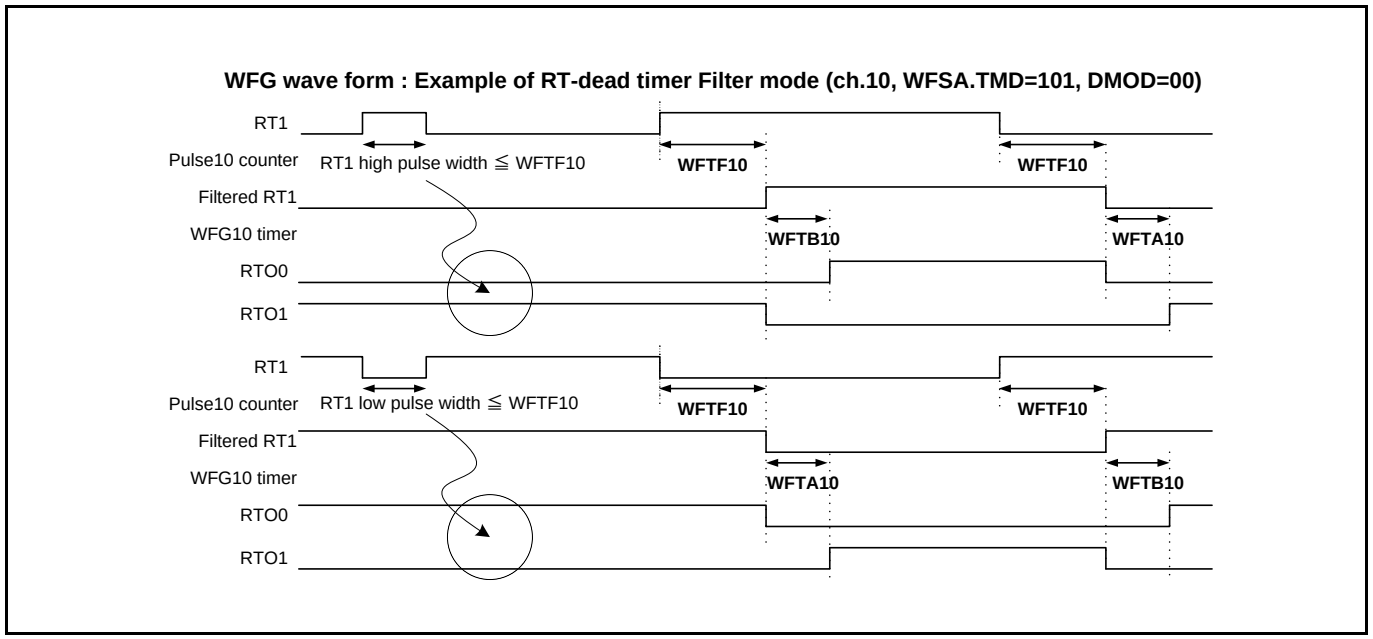
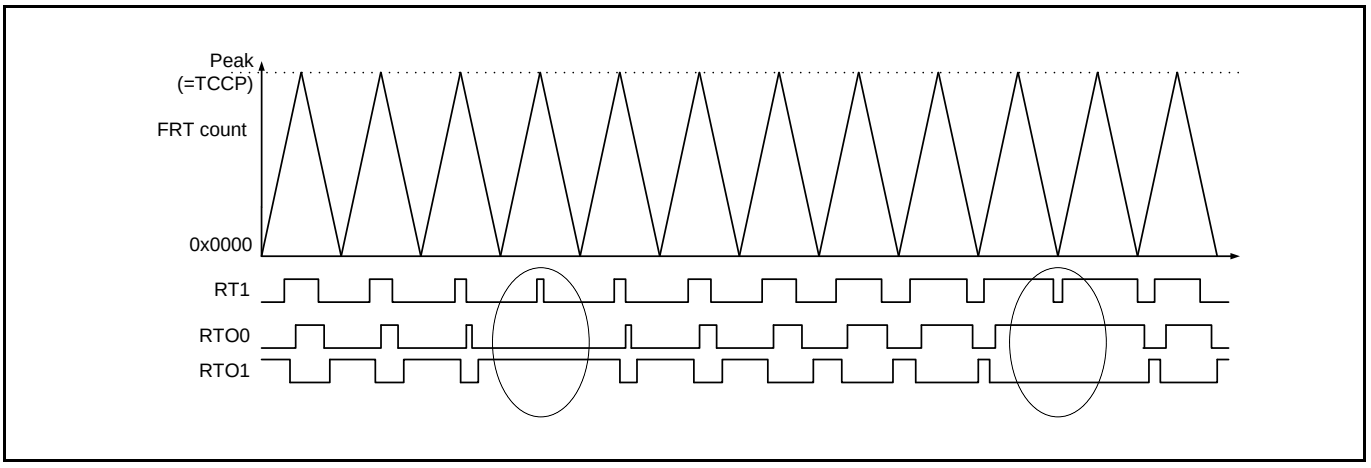


Figure 4-35 に、RT デッドタイマ・フィルタモードの動作波形例 2 を示します。RT1 信号のパルス幅が、WFTF10 時間以下の場合、RT1 信号はフィルタリングされ、RTO0 出力信号、RTO1 出力信号は変化しません。

WFTF10>=WFTA10、かつ WFTF10>=WFTB10 の条件の場合、Figure 4-35 のような RTO0 出力信号、RTO1 出力信号が得られます。

Figure 4-35 WFG RT デッドタイマ・フィルタモード動作波形例 2



4.4.9 PPG デッドタイマモード

PPG デッドタイマモード(WFSA.TMD=111)の動作を説明します。

このモードの場合、RTO(1)信号, RTO(0)信号は、CH_PPG 信号を基準信号として、WFTA,WFTB レジスタにより設定されたデッドタイムを持つノンオーバラップ信号を出力します。CH_GATE 信号は、RT(1)信号, RT(0)信号, およびそれぞれの論理 OR 信号のいずれかを GTEN[1:0]の設定で選択し出力します。RT(0)信号, RT(1)信号は、CH_GATE 信号の出力のみに使用します。WFTF レジスタの値は使用しません。このモードは、PPG 出力の出力極性が Active High であることを前提としています。

WFSA.TMD レジスタの書換えを行って、このモードを選択した時点では、RTO(0)信号は、CH_PPG 信号と同じ出力レベル、RTO(1)信号は、CH_PPG 信号と反対の出力レベルになります。

CH_PPG 信号の立上りエッジが検出されると、RTO(1)信号出力が Low レベルになります。WFG タイマが WFTB レジスタの値をロードし、その時間をカウントします。カウント終了後、RTO(0)信号が High レベルになります。

CH_PPG 信号の立下りエッジが検出されると、RTO(0)信号出力が Low レベルになります。WFG タイマが WFTA レジスタの値をロードし、その時間をカウントします。カウント終了後、RTO(1)信号が High レベルになります。

WFTA レジスタと WFTB レジスタにより、立上り側と立下り側のデッドタイムをそれぞれ別々に指定することができます。

Figure 4-36 に、WFG ch.10 の PPG デッドタイマモードの動作波形例 1 を示します。

Figure 4-36 WFG PPG デッドタイマモードの動作波形例 1

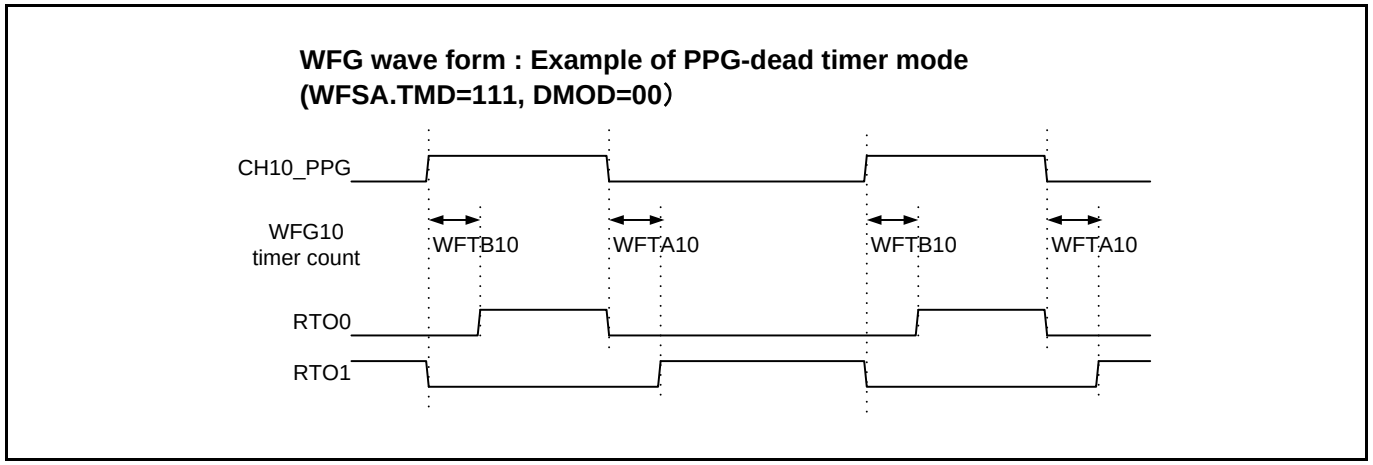
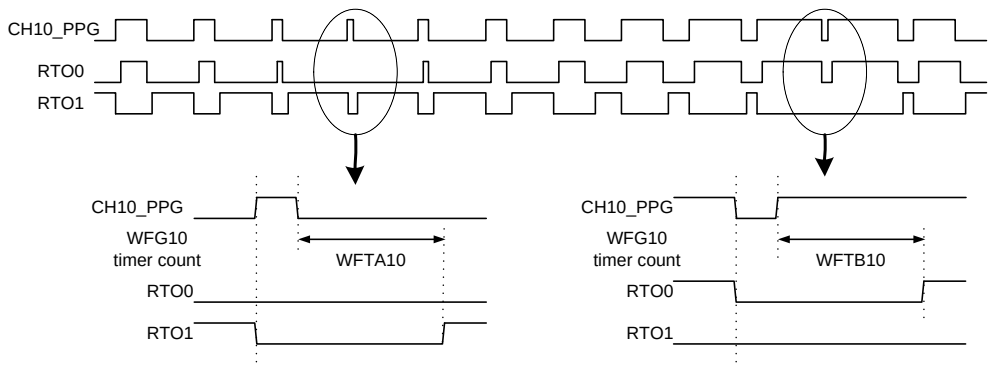


Figure 4-37 に、WFG ch.10 の PPG デッドタイマモードの動作波形例 2 を示します。

CH10_PPG 入力信号の High パルス幅が、WFTB10 設定のデッドタイム以下のパルスが入力された場合、RTO1 出力信号のみが Low レベルになります。CH10_PPG 入力信号の立下り後、WFTA10 時間後に、RTO1 出力信号が High レベルになります。この場合、RTO0 出力信号に High レベルが存在しない信号波形が出力されます。

また、CH10_PPG 入力信号の Low パルス幅が、WFTA10 設定のデッドタイム以下のパルスが入力された場合、RTO0 出力信号のみが Low レベルになります。CH10_PPG 入力信号の立上り後、WFTB10 時間後に、RTO0 出力信号が High レベルになります。この場合、RTO1 出力信号に High レベルが存在しない信号波形が出力されます。

Figure 4-37 WFG PPG デッドタイマモードの動作波形例 2



CH10_PPG High pulse width ≦ WFTB10　　**CH10_PPG Low pulse width ≦ WFTA10**

4.4.10 PPG デッドタイマ・フィルタモード

PPG デッドタイマ・フィルタモード(WFSA:TMD=110)の動作を説明します。

PPG デッドタイマ・フィルタモードは、最初に WFG 内のパルスカウンタを用いて、WFTF レジスタ規定値以下のパルス長の CH_PPG 入力信号をフィルタリングします。CH_PPG 入力信号が、WFTF 時間より長いパルス幅の場合、CH_PPG 入力から WFTF 時間遅延したフィルタ信号を生成します。このフィルタ信号から、WFTA レジスタ、WFTB レジスタに設定されたデッドタイムを持つノンオーバラップ信号を RTO(1), RTO(0)に出力します。CH_GATE 信号は、RT(1)信号, RT(0)信号およびそれぞれの論理 OR 信号のいずれかを GTEN[1:0]の設定で選択出力します。このモードの場合、RT(0)信号, RT(1)信号は、CH_GATE 信号の出力のみに使用されます。このモードは、PPG 出力の出力極性が Active High であることを前提としています。

WFSA.TMD レジスタの書換えを行って、このモードを選択した時点では、RTO(0)信号は、CH_PPG 信号と同じ出力レベル、RTO(1)信号は、CH_PPG 信号と反対の出力レベルになります。

CH_PPG 信号の立上りエッジが検出されると、パルスカウンタが WFTF レジスタの値をロードし、CH_PPG 信号の High パルス幅をカウントします。WFTF 時間より長い High パルス幅の場合、WFTF 時間後に、RTO(1)信号出力が Low レベルになります。WFG タイマが WFTB レジスタの値をロードし、その時間をカウントします。カウント終了後、RTO(0)信号が High レベルになります。

CH_PPG 信号の立下りエッジが検出されると、パルスカウンタが WFTF レジスタの値をロードし、CH_PPG 信号の Low パルス幅をカウントします。WFTF 時間より長い Low パルス幅の場合、WFTF 時間後に、RTO(0)信号出力が Low レベルになります。WFG タイマが WFTA レジスタの値をロードし、その時間をカウントします。カウント終了後、RTO(1)信号が High レベルになります。

CH_PPG 信号が、WFTF 時間以下のパルス幅の場合、RTO(0)、RTO(1)出力は変化しません。また、WFTA レジスタと WFTB レジスタにより、立上り側と立下り側のデッドタイムをそれぞれ別々に指定することができます。

Figure 4-38 に、WFG ch.10 の PPG デッドタイマ・フィルタモードの動作波形例 1 を示します。

Figure 4-38 WFG PPG デッドタイマ・フィルタモード動作波形例 1

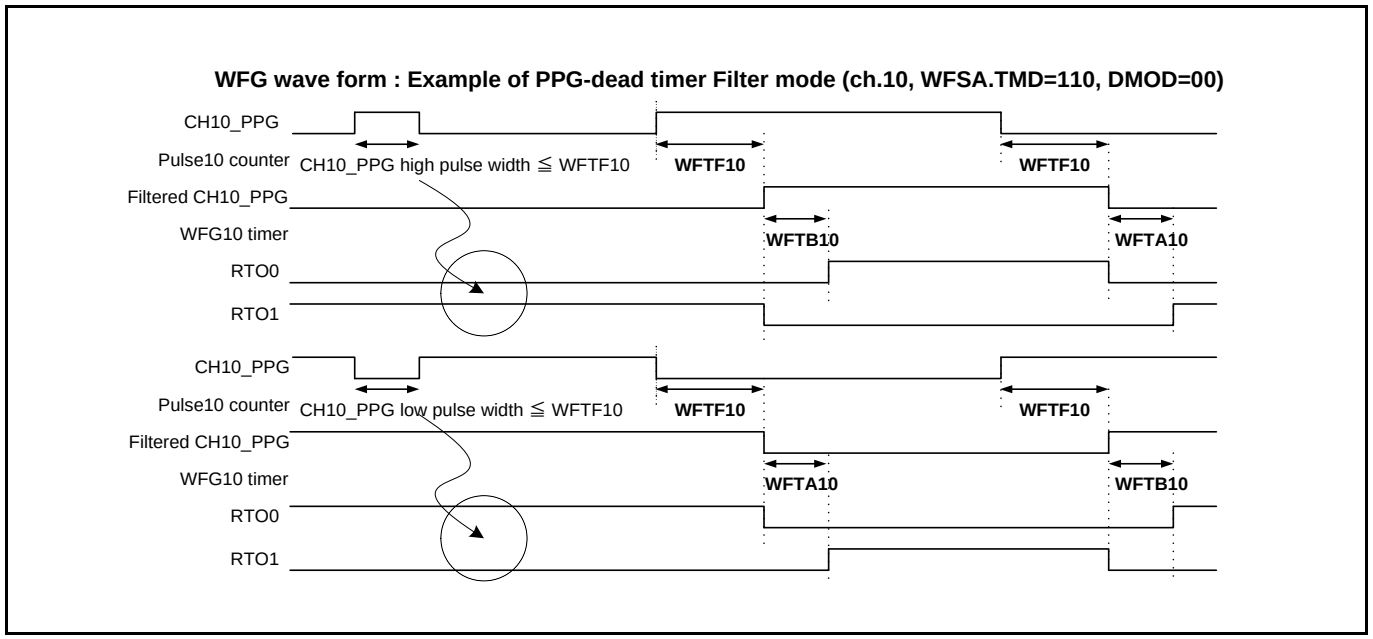
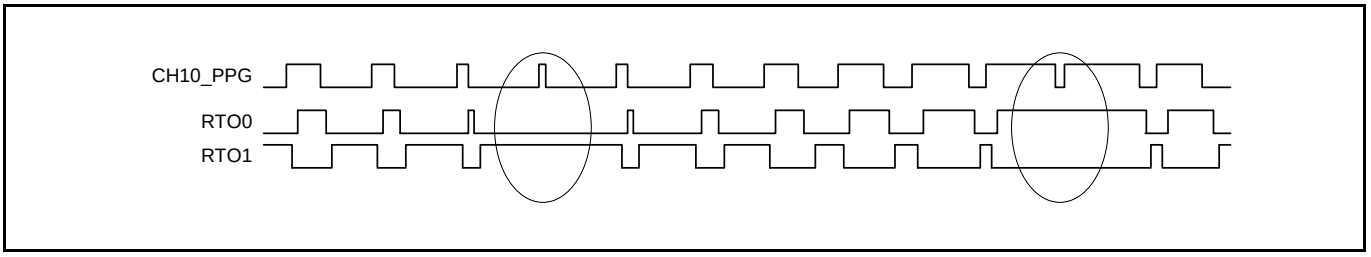


Figure 4-39 に、WFG ch.10 の PPG デッドタイマ・フィルタモードの動作波形例 2 を示します。 CH10_PPG 信号のパルス幅が、WFTF10 時間以下の場合、CH10_PPG 信号はフィルタリングされ、RTO0 出力信号、RTO1 出力信号は変化しません。WFTF10>=WFTA10 かつ WFTF10>=WFTB10 の条件の場合、Figure 4-39 のような RTO0 出力信号、RTO1 出力信号が得られます。

Figure 4-39 WFG PPG デッドタイマ・フィルタモード動作波形例 2

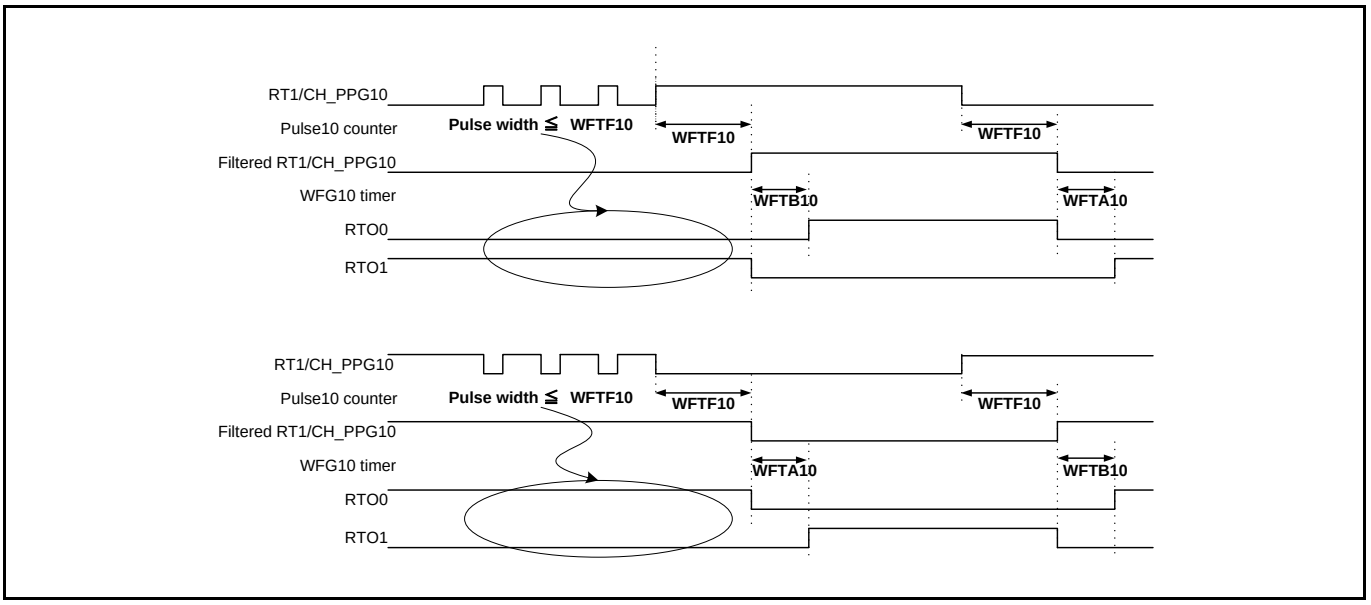


4.4.11 パルスカウンタのフィルタ動作に関する補足事項

RT デッドタイマフィルタモード, PPG デッドタイマフィルタモードを使用する際のパルスカウンタによるフィルタ動作に関する補足事項を以下に記載します。

TYPE1-M0+以降製品の場合の動作波形を Figure 4-40 に示します。これらの製品の場合、RT(1)信号または CH_PPG 信号の入力信号波形のパルス幅が WFTF 時間以下であれば、入力信号は無視され、RTO(0), RTO(1)の出力信号の変化は生じません。入力信号波形のパルス幅が WFTF 時間より長い場合、WFTF 時間後から、RTO(0)信号、RTO(1)信号に出力変化が生じます。

Figure 4-40 RT/PPG デッドタイマ・フィルタモード動作波形例(TYPE1-M0+以降製品)



4.4.12 WFSA.DMOD による出力極性反転

WFSA.DMOD[1:0]の設定で、Table 4-22 の RTO(0), RTO(1)信号の出力極性を、WFSA の他のレジスタ設定に関わらず、以下のように変更できます。

WFSA:DMOD[1:0]=00: RTO(0), RTO(1)信号を、それぞれその極性のままで出力します。

WFSA:DMOD[1:0]=01: RTO(0), RTO(1)信号を、それぞれ反転して出力します。

WFSA:DMOD[1:0]=10: RTO(0)信号を反転、RTO(1)信号をその極性のままで出力します。

WFSA:DMOD[1:0]=11: RTO(1)信号を反転、RTO(0)信号をその極性のままで出力します。

Figure 4-41, Figure 4-42 に、出力波形例を示します。

Figure 4-41 DMOD による出力反転波形例 1

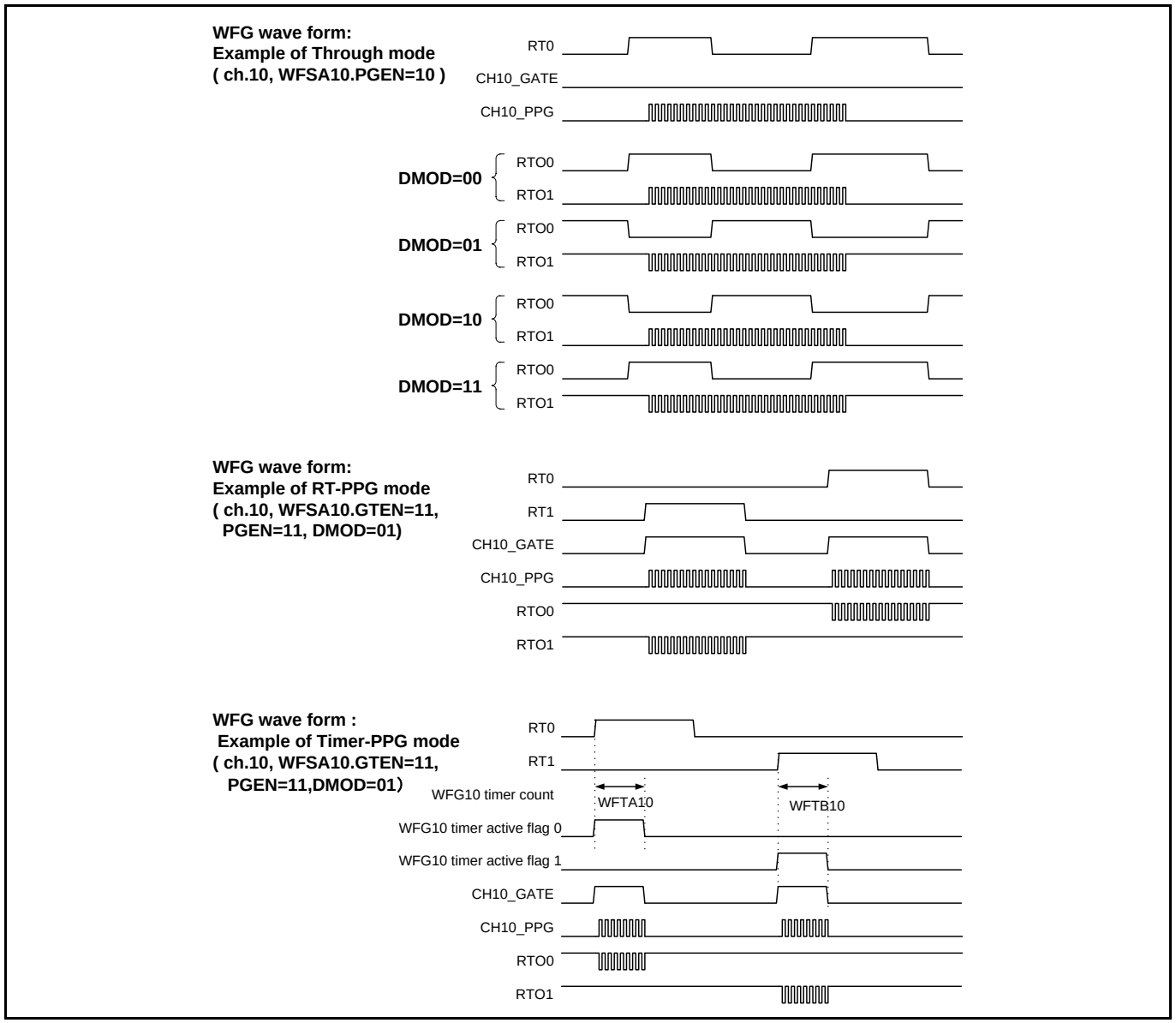
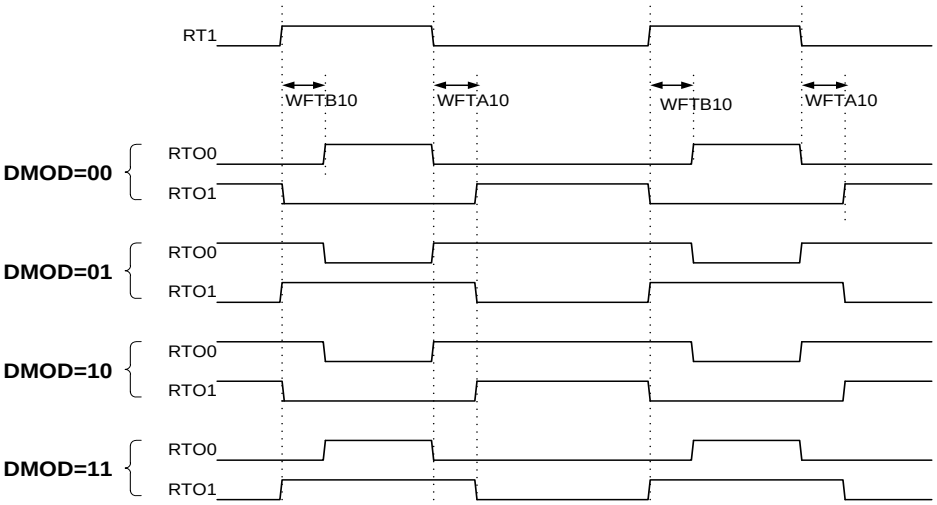
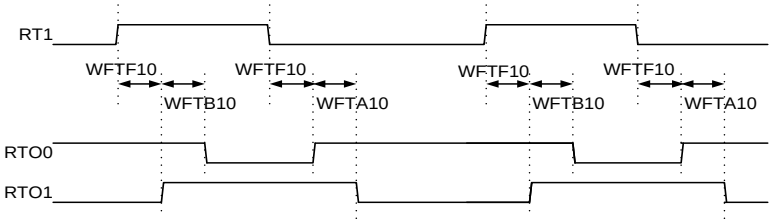


Figure 4-42 DMOD による出力反転波形例 2

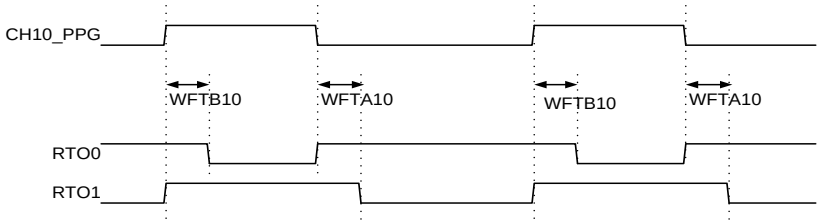
WFG wave form : Example of RT-dead timer mode (ch.10, WFSA10.TMD=100）



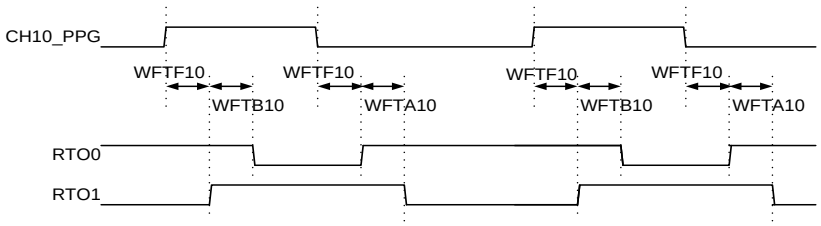
WFG wave form : Example of RT-dead timer Filter mode (ch.10, WFSA.TMD=101, DMOD=01)



WFG wave form : Example of PPG-dead timer mode (ch.10, WFSA10.TMD=111,DMOD=01）



WFG wave form : Example of PPG-dead timer Filter mode (ch.10, WFSA.TMD=110, DMOD=01)

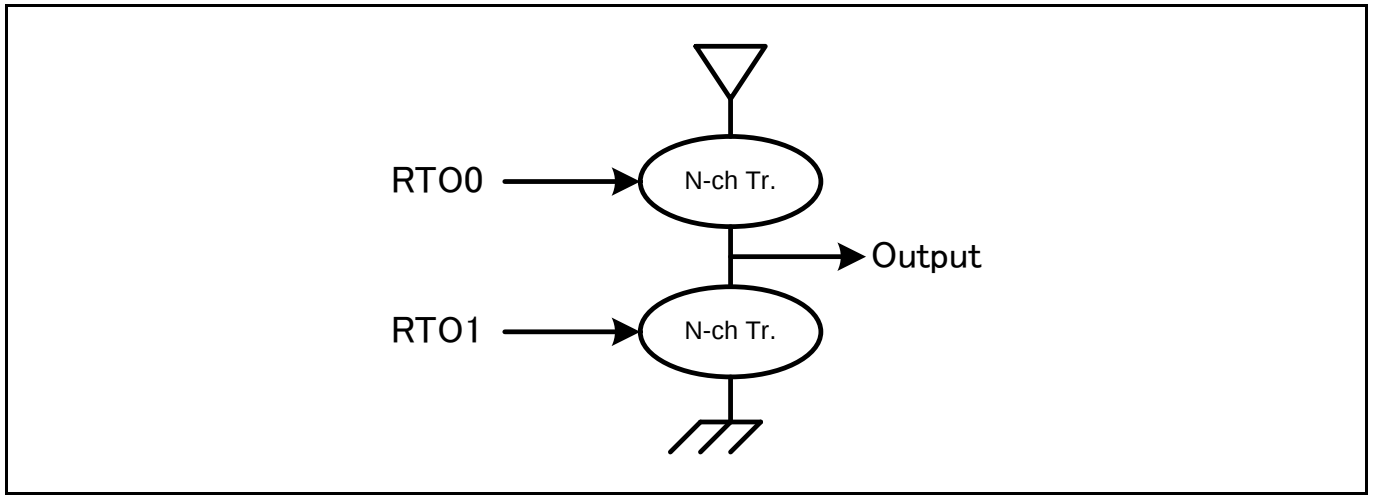


RT デッドタイマモード, RT デッドタイマ・フィルタモード, PPG デッドタイマモード, PPG デッドタイマ・フィルタモード(WFSA.TMD=100, 101, 110, 111)の場合、DMOD=00,01 は、IGBT や N-Ch ドライバ×2 など同一極性ドライバを使う場合に使用します。DMOD=10,11 は、MOSFET(N-Ch＋P-Ch)など極性の異なるドライバを使う場合に使用します。接続されるドライバの仕様を確認して設定してください。

<注意事項>

- *Figure 4-43 に示すような外部回路を接続し、RT デッドタイマモード(WFSA.TMD=100)、 DMOD=10 等の誤った設定を行った場合、電源-GND 間の短絡が発生するので注意してください。*
- *FM3 ファミリ製品とは DMOD レジスタの機能が有効になる範囲が異なるため、注意してください。*

Figure 4-43　外部回路例



4.5 WFG の FM3 ファミリ製品互換動作

WFG の FM3 ファミリ製品互換動作について説明します。

4.5.1 WFG の FM3 ファミリ製品互換動作

WFG を FM3 ファミリ製品互換で使用する場合、以下の点に注意してください。

- タイマ PPG モード、RT デッドタイマモード、PPG デッドタイマモード

  WFG タイマの動作時間設定を行うレジスタ(FM3 ファミリ製品の WFTM レジスタ)は、FM4 ファミリ製品では､WFTA レジスタと WFTB レジスタの 2 つに分割され､別々の指定ができるようになっています。WFTA レジスタと WFTB の両方に、従来の WFTM レジスタと同じ値を指定することにより、FM3 ファミリ製品と互換動作となります。

- リロードタイマ機能

  リロードタイマ機能を使用する際のカウント時間設定するレジスタ(FM3 ファミリ製品の WFTM レジスタ)は、FM4 ファミリ製品では、WFTF レジスタに変更されています。WFTF レジスタに従来の WFTM レジスタと同じ値を指定することにより、FM3 ファミリ製品と互換動作となります。

- DMOD による極性反転機能

  WFSA:DMOD による RTO 出力信号の極性反転機能は、FM3 ファミリ製品では、RT デッドタイマモード、PPG デッドタイマモードのみ時に有効で、ほかのモードでは WFSA:DMOD レジスタの値は無視される仕様です。FM4 ファミリ製品では、WFSA:TMD の値によらず、WFSA:DMOD による RTO 出力信号の極性反転が有効です。WFSA:DMOD=00 の設定の場合、FM3 ファミリ製品と互換動作となります。

4.6 ADCMP 動作説明

ADCMP の動作を説明します。

4.6.1 ADCMP の制御レジスタ

Table 4-23 に、ADCMP の各制御レジスタの一覧を示します。各レジスタの機能概要と設定タイミングを示します。ADCMP の基本設定は、ADCMP の各チャネルの動作を禁止している間に行います。各チャネルは、動作を許可(ACSD レジスタの ZE, UE, PE, DE のいずれかを 1)すると、接続する FRT のカウンタ値を基準として、制御レジスタの指定に従い、ADC 起動信号を出力します。

Table 4-23 ADMP の制御レジスタ

設定レジスタ	レジスタ機能	レジスタ変更タイミング
ACSD:ZE ACSD:UE ACSD:PE ACSD:DE	動作許可・禁止の選択 すべてのレジスタが 0 の場合：動作禁止状態 いずれかのレジスタが 1 の場合：動作許可状態	初期設定終了後、任意のタイミング
ACFS:FSA	接続する FRT の選択	動作許可前に設定。 動作許可状態への移行後は、 設定変更禁止
ACSC:BUFE ACSC:APBM	ACMP バッファ機能、転送条件の選択	
ACSC:ADSEL	起動信号の出力先 ADC を選択	
ACSD:AMOD	ノーマルモード/オフセットモードの選択	動作許可前に設定。 動作許可状態への移行後は、 設定変更禁止(*1)
ACSD:OCUS	オフセットモード時の起動元 OCU 選択	
ACMP	ADCMP コンペア値・オフセット値の指定	任意のタイミング
ACMC:MZCE ACMC:MPCE ACMC:AMC	ADCMP マスクカウンタ・コンペア値の指定	

*1: ACSD レジスタへの書込みアクセス時に、ACSD:ZE, UE, PE, DE の動作許可禁止と同時に AMOD, OCUS の設定値を書き換えることは問題ありません。

ADCMP は、複数のチャネルの ACSC:ADSEL の値を、同じ出力先に選択することで、同じ ADC に対し複数の ADC 起動タイミングで起動指示を行うことが可能です。

4.6.2 ノーマルモード動作

ACSD:AMOD=0 の場合、ノーマルモードで ADCMP を動作させることができます。ADC 起動信号の出力条件は、ACSD レジスタの ZE, UE, PE, DE の値、ADCMP に接続する FRT の状態、接続する FRT と ACMP レジスタの比較結果、ACMC 判定結果により、Table 4-24 のように決定されます。表中の X は、その条件が無視されることを示します。ACSD レジスタの ZE, UE, PE, DE の指定により、出力したい FRT 状態を選択できます。

Table 4-24 ADCMP ノーマルモード時 AD 起動信号の出力条件

ACSD レジスタ値				接続 FRT の状態	接続 FRT と ACMP 比較結果	ACMC 一致判定結果	ADC 起動信号
ZE	UE	PE	DE				
1	X	X	X	Zero/Bottom	一致	一致	出力する
X	1	X	X	Up	一致	一致	
X	X	1	X	Peak/Top	一致	一致	
X	X	X	1	Down	一致	一致	
上記に該当しない場合							出力しない

・ノーマルモードの場合、OCU と異なり、接続する FRT が Peak/Top 状態で ACMP＝0xFFFF の値が一致検出扱いになることはありません。

・ACMC 一致判定については、「ADCMP マスクコンペア値格納レジスタ (ACMC)」を参照してください。

4.6.2.1 設定例の一覧

以下にノーマルモードの設定例と動作を説明します。説明する設定例 1～5 の設定値一覧を表に示します。

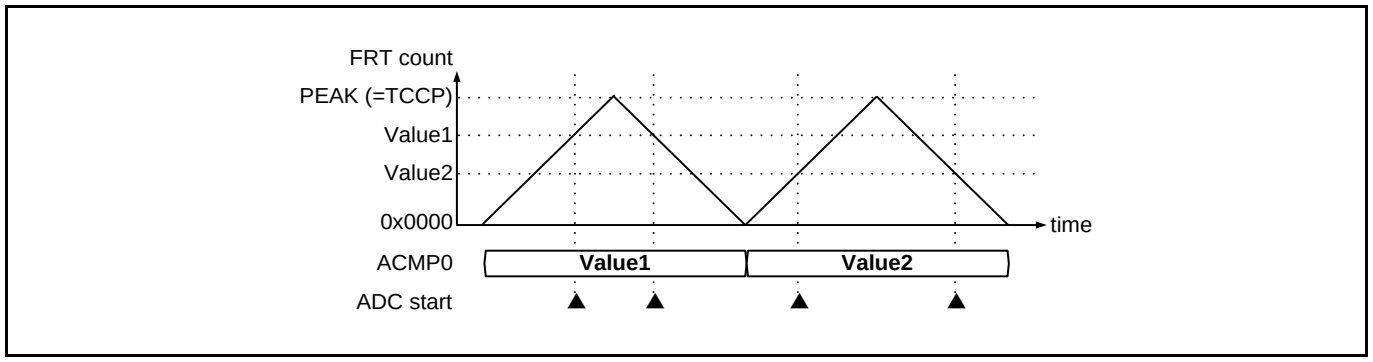
Table 4-25 ADCMP ノーマルモードの設定例一覧

設定レジスタ	設定例 1	設定例 2	設定例 3	設定例 4	設定例 5
ACFS10:FSA0 (ch.0 接続 FRT の選択)	任意	任意	任意	任意	任意
ACFS10:FSA1 (ch.1 接続 FRT の選択)	-	-	-	ch.0 と同じ FRT	ch.0 と同じ FRT
TCSA:MODE (選択 FRT の動作モード)	1	1	1	1	1
ACSA:CE10 (FM3 互換モードの選択)	00	00	00	00	00
ACSC0:BUFE (ch.0 のバッファ機能選択)	01	01	01	01	01
ACSC0:APBM	0	0	0	0	0
ACSC1:BUFE (ch.1 のバッファ機能選択)	-	-	-	01	01
ACSC1:APBM	-	-	-	0	0
ACSC0:ADSEL (ch.0 の出力先 ADC 選択)	任意	任意	任意	任意	任意
ACSC1:ADSEL (ch.1 の出力先 ADC 選択)	-	-	-	ch.0 と同じ ADC	ch.0 と同じ ADC
ACSD0:AMOD	0	0	0	0	0
ACSD0:OCUS	0	0	0	0	0
ACSD0:ZE,UE,,PE,DE (ch.0 の動作モード選択)	1111	1100	0011	1100	1100
ACSD1:AMOD	-	-	-	0	0
ACSD1:CUS	-	-	-	0	0
ACSD1:ZE,UE,PE,DE (ch.1 の動作モード選択)	-	-	-	0011	1100
ACMP0 (ch.0 コンペア値指定)	初期値指定	初期値指定	初期値指定	初期値指定	初期値指定
ACMP1 (ch.1 コンペア値指定)	-	-	-	初期値指定	初期値指定
ACMC0 (ch.0 マスクコンペア指定)	0x00	0x00	0x00	0x00	0x00
ACMC1 (ch.1 マスクコンペア指定)				0x00	0x00

4.6.2.2 設定例 1 の動作

設定例 1 は、ADCMP の ch.0 のみ使用する例です。Ch.1 の設定は任意です。FRT の Zero, Up, Peak, Down のすべての条件で AD 変換起動を許可しています。Figure 4-44 に示すように、FRT と ACMP0 の一致検出時に AD 変換起動信号が出力されます。(▲印は ADC 起動タイミングを示します。)

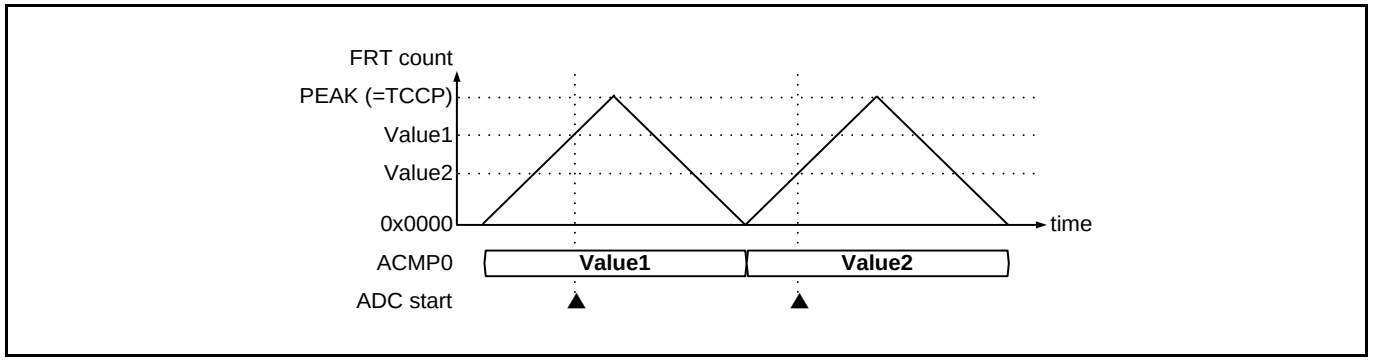
Figure 4-44 ADCMP 設定例 1 の動作



4.6.2.3 設定例 2 の動作

設定例 2 は、ADCMP の ch.0 のみを使用する例です。Ch.1 の設定は任意です。FRT の Zero, Up の条件で AD 変換起動を許可しています。Figure 4-45 に示すように、FRT と ACMP0 の一致検出時に AD 変換起動信号が出力されます。

Figure 4-45 ADCMP 設定例 2 の動作

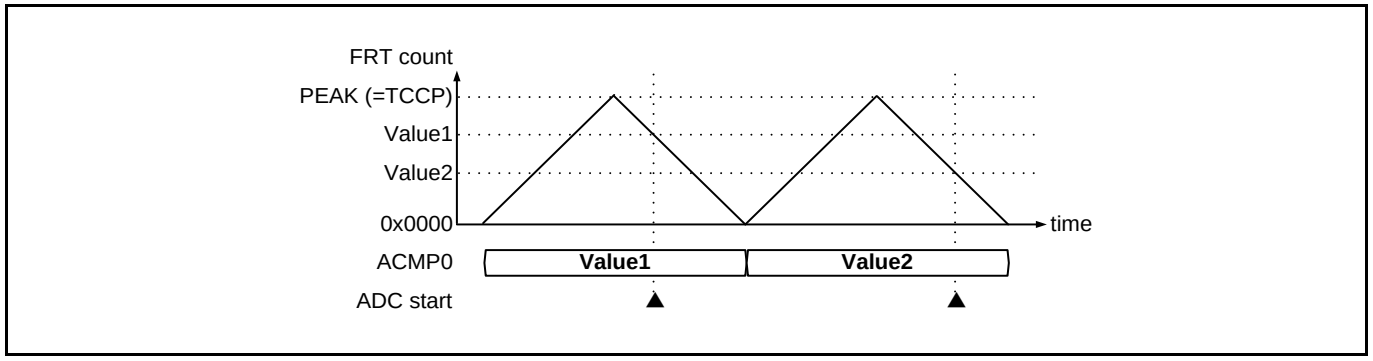


4.6.2.4 設定例 3 の動作

設定例 3 は、ADCMP の ch.0 のみを使用する例です。Ch.1 の設定は任意です。FRT の Peak, Down の条件で AD 変換起動を許可しています。

Figure 4-46 に示すように、FRT と ACMP0 の一致検出時に AD 変換起動信号が出力されます。

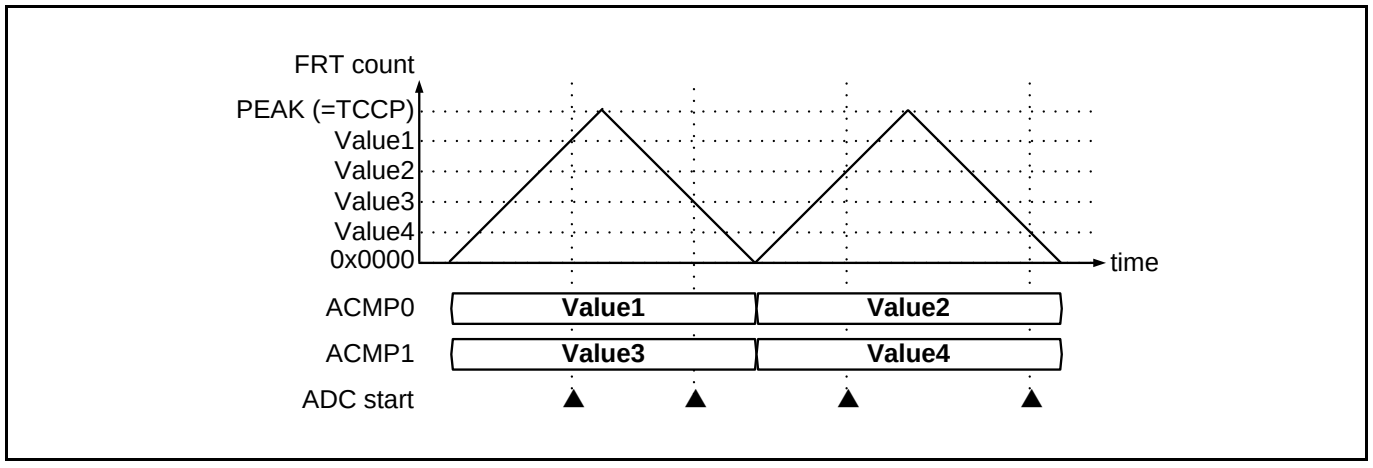
Figure 4-46 ADCMP 設定例 3 の動作



4.6.2.5 設定例 4 の動作

設定例 4 は、ADCMP の ch.0 と ch.1 の 2 チャネルを併用している例です。Ch.0 は、FRT の Zero, Up の条件で、AD 変換起動を許可しています。Ch.1 は、FRT の Peak, Down の条件で、AD 変換起動を許可しています。Ch.0 と ch.1 の起動信号は論理 OR されます。Figure 4-47 に示すように、FRT と ACMP0 の一致検出時および FRT と ACMP1 の一致検出時に AD 変換起動信号が出力されます。

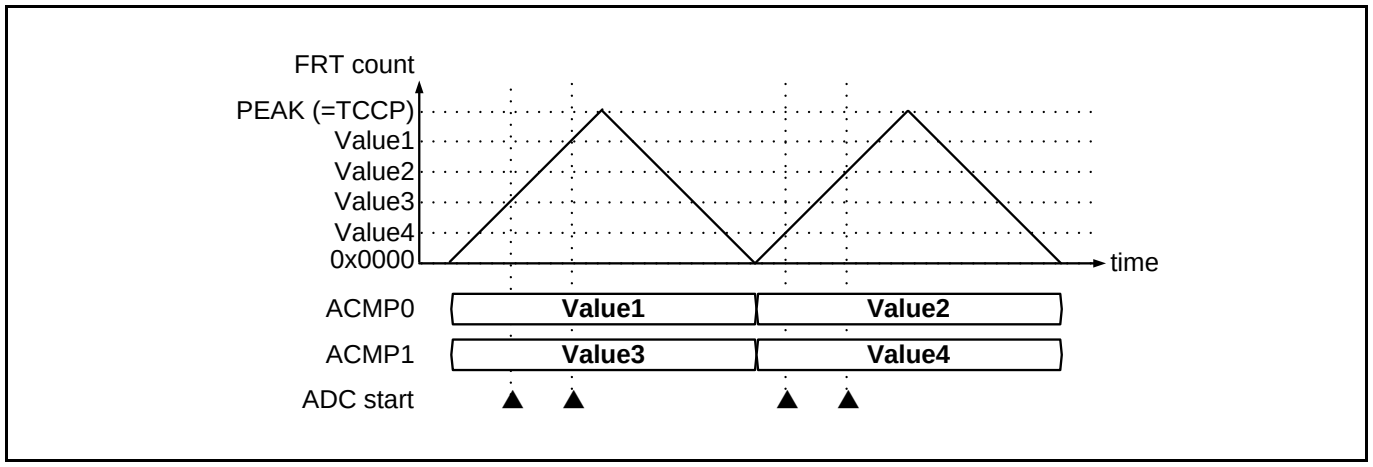
Figure 4-47 ADCMP 設定例 4 の動作



4.6.2.6 設定例 5 の動作

設定例 5 は、ADCMP の ch.0 と ch.1 の 2 チャネルを併用している例です。Ch.0 は、FRT の Zero, Up の条件で、AD 変換起動を許可しています。Ch.1 は、FRT の Zero, Up の条件で、AD 変換起動を許可しています。Ch.0 と ch.1 の起動信号は論理 OR されます。Figure 4-48 に示すように、FRT と ACMP0 の一致検出時および FRT と ACMP1 の一致検出時に AD 変換起動信号が出力されます。

Figure 4-48 ADCMP 設定例 5 の動作



4.6.3 オフセットモード動作

ACSD:AMOD=1 の場合、オフセットモードで ADCMP を動作させることができます。オフセットモードの場合、選択した OCCP とその OCU に接続する FRT の一致検出時、ACMP の値をオフセット起動ダウンカウンタにロードします。オフセット起動ダウンカウンタが、ACMP 指定値のカウント動作を行った後、ADC 起動信号が出力されます。OCCP の一致検出から ADC 起動までのオフセット時間は以下のようになります。

・オフセット時間 =ACMP 値×フリーランタイマクロック周期

ACSD:OCUS の値により、起動元となる OCCP レジスタを選択できます。選択される OCCP は、ADCMP のチャネル番号により異なります。選択される OCCP を Table 4-26 に示します。

Table 4-26 OCUS により選択される OCCP レジスタ

ADCMP チャネル番号	OCUS=0 の場合	OCUS=1 の場合
ADCMP ch.0	OCCP0	OCCP1
ADCMP ch.1	OCCP0	OCCP1
ADCMP ch.2	OCCP2	OCCP3
ADCMP ch.3	OCCP2	OCCP3
ADCMP ch.4	OCCP4	OCCP5
ADCMP ch.5	OCCP4	OCCP5

オフセット起動ダウンカウンタに ACMP 値がロードされ、ダウンカウントを開始する条件は、ACSD レジスタの ZE, UE, PE, DE の値、ADCMP に接続する FRT の状態、選択した OCU の OCCP と FRT の比較結果、ACMC 判定結果により、Table 4-27 のように決定されます。表中の X は、その条件が無視されることを示します。ACSD レジスタの ZE, UE, PE, DE の指定により、カウントを開始したい FRT 状態を選択できます。

Table 4-27 ADCMP オフセットモード時ダウンカウント開始条件

ACSD レジスタ値				接続 FRT の状態	OCU の比較結果	ACMC 一致判定結果	ダウンカウント
ZE	UE	PE	DE				
1	X	X	X	Zero/Bottom	一致	一致	開始する
X	1	X	X	Up	一致	一致	
X	X	1	X	Peak/Top	一致	一致	
X	X	X	1	Down	一致	一致	
上記に該当しない場合							開始しない

・OCU の比較結果の判定条件は、OCCP(0)レジスタを選択している場合、「Table 3-6 OCCP(0)と FRT の一致判定条件」の条件が適用されます。OCCP(1)レジスタを選択している場合、「Table 3-10 OCCP(1)と FRT の一致判定条件」が適用されます。

・ACMC 一致判定については、「ADCMP マスクコンペア値格納レジスタ (ACMC)」を参照してください。

オフセット時間のカウントダウン中にダウンカウンタの起動条件が成立すると、ダウンカウンタは再度、ACMP をロードし直し、ダウンカウントを再開します。また、ACSD:ZE, UE, PE, DE にすべて 0 を書き込んだ場合または AMOD=0 を書き込んだ場合、ダウンカウンタはリセットされます。

OCU に接続する FRT にオフセット付カウントモードを選択し、ADCMP に接続する FRT にノーマル・カウントモードで動作する FRT-ch.0 を選択することができます。

4.6.3.1 設定例の一覧

以下にオフセットモードの設定例と動作を説明します。説明する設定例 6, 7 の設定値一覧を表に示します。

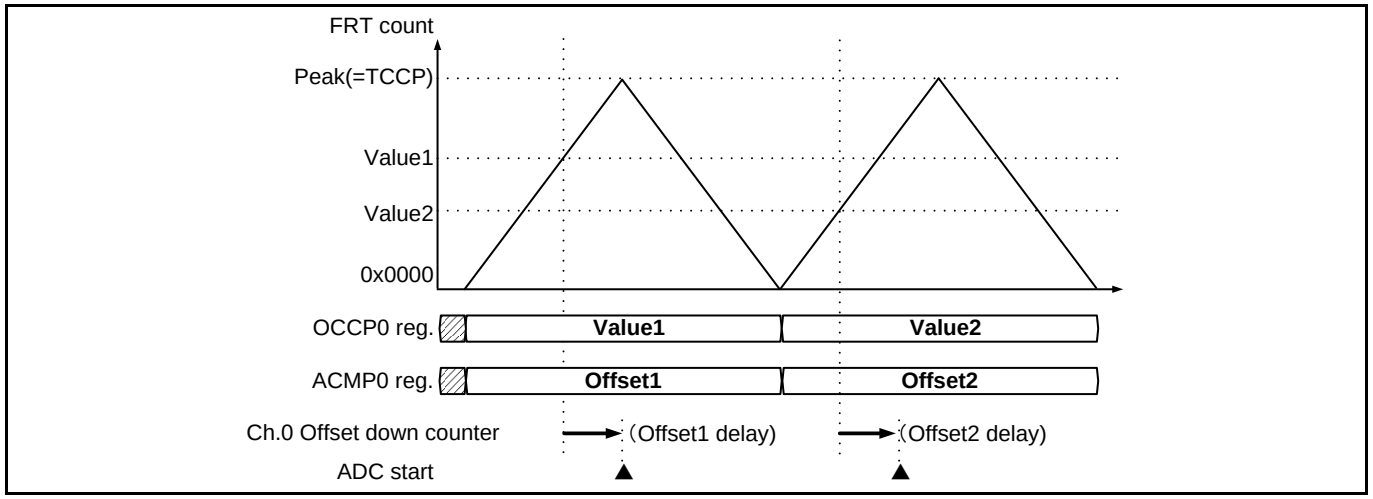
Table 4-28 ADCMP オフセットモードの設定例一覧

設定レジスタ	設定例 6	設定例 7
ACFS10:FSA0 (ch.0 接続 FRT の選択)	任意	任意
ACFS10:FSA1 (ch.1 接続 FRT の選択)	-	ADCMP-ch.0 と同じ FRT
TCSA:MODE (選択 FRT の動作モード)	1	1
OCFS10:FSO0 (OCU-ch.0 の接続 FRT の選択)	ADCMP-ch.0 と同じ FRT	ADCMP-ch.0 と同じ FRT
ACSA:CE10 (FM3 互換モードの選択)	00	00
ACSC0:BUFE (ch.0 のバッファ機能選択) ACSC0:APBM	01 0	01 0
ACSC1:BUFE (ch.1 のバッファ機能選択) ACSC1:APBM	-	01 0
ACSC0:ADSEL (ch.0 の出力先 ADC 選択)	任意	任意
ACSC1:ADSEL (ch.1 の出力先 ADC 選択)	-	ADCMP-ch.0 と同じ ADC
ACSD0:AMOD ACSD0:OCUS ACSD0:ZE,UE,PE,DE (ch.0 の動作モード選択)	1 0 1100	1 0 1100
ACSD1:.AMOD ACSD1:OCUS ACSD1:ZE,UE,PE,DE (ch.1 の動作モード選択)	- - -	1 0 1100
ACMP0 (ch.0 オフセット値指定)	初期値 指定	初期値指定
ACMP1 (ch.1 オフセット値指定)	-	初期値指定
ACMC0 (ch.0 マスクコンペア指定)	0x00	0x00
ACMC1 (ch.1 マスクコンペア指定)		0x00

4.6.3.2 設定例 6 の動作

設定例 6 は、ADCMP の ch.0 のみを使用する例です。Ch.1 の設定は任意です。FRT の Zero, Up の条件でオフセット起動を許可しています。Figure 4-49 に示すように、FRT と OCCP0 の一致検出時に ACMP0 の値がダウンカウンタにロードされ、指定時間後に AD 変換起動信号が出力されます。

Figure 4-49 ADCMP 設定例 6 の動作

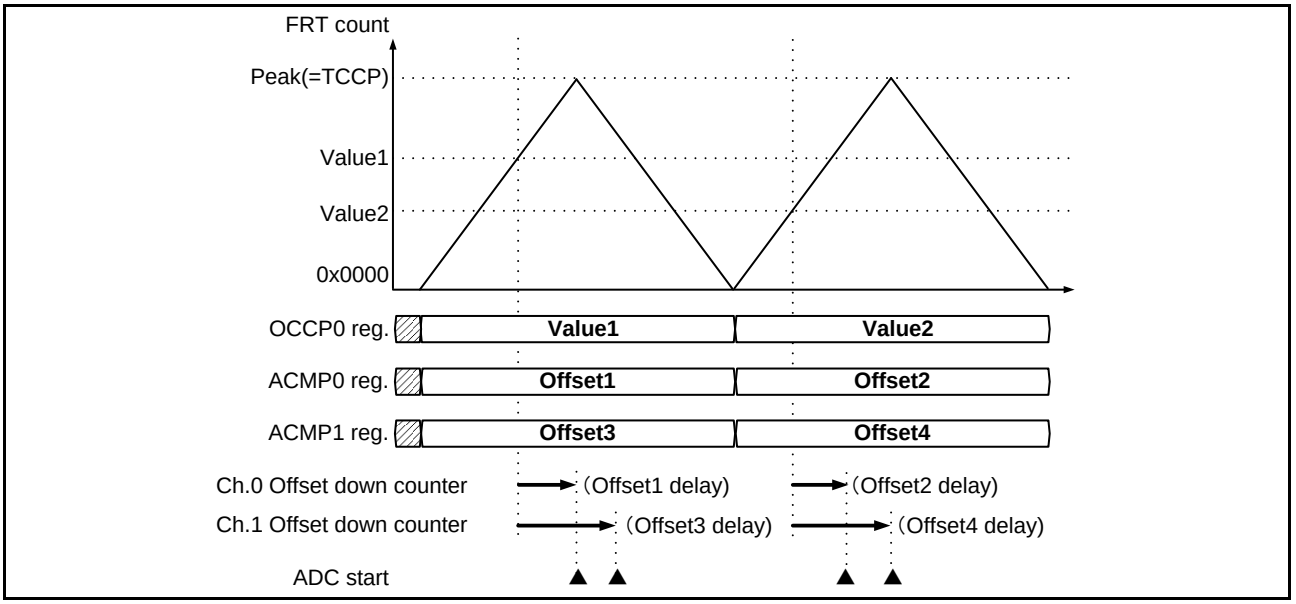


ダウンカウンタのカウント動作中に OCCP の一致検出があると、ダウンカウンタは再度 ACMP の値をロードしなおしカウント動作を再開します。このため、起動元の OCCP の一致検出の間隔が、指定オフセット時間より短いと、AD 起動変換信号が出力されない場合があります。

4.6.3.3 設定例 7 の動作

設定例 7 は、ADCMP の ch.0 と ch.1 の 2 チャネルを併用している例です。Ch.0 は、FRT の Zero, Up の条件で、オフセット起動を許可しています。Ch.1 は、FRT の Zero, Up の条件で、オフセット起動を許可しています。Figure 4-50 に示すように、FRT と OCCP0 の一致検出時に、ACMP0 と ACMP1 の値がそれぞれのダウンカウンタにロードされます。それぞれの指定時間後に、ch.0 と ch.1 の起動信号が論理 OR されて、AD 変換起動信号が出力されます。

Figure 4-50 ADCMP 設定例 7 の動作



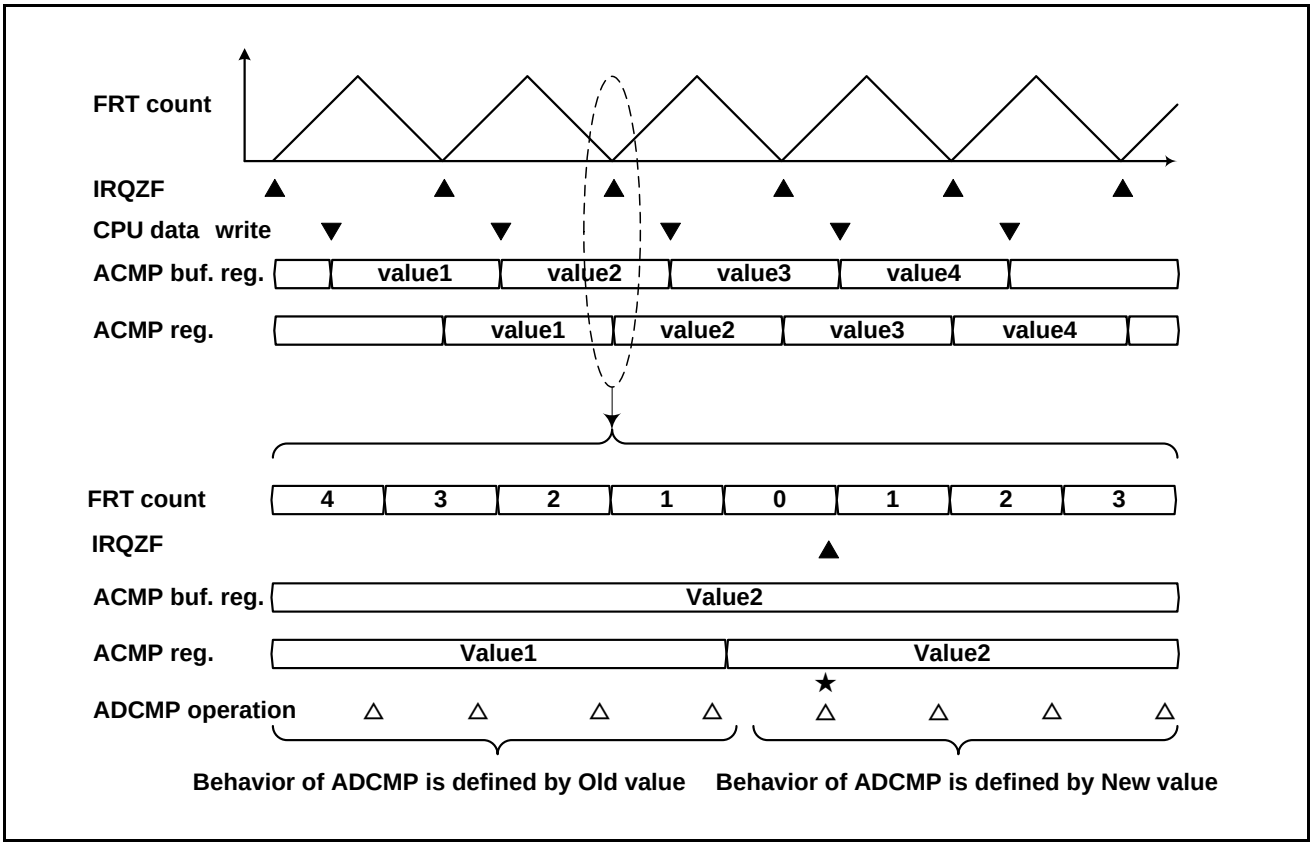
4.6.4 ADCMP のバッファデータ転送

ACMP レジスタ、ACMC レジスタには、バッファ機能が有ります。バッファ機能を有効としている場合、FRT がカウント動作中に、CPU から ACMP, ACMC に書き込まれたデータは、バッファレジスタに書き込まれます。その後、指定した転送タイミングで各レジスタへ転送されます。

FRT 割り込みマスク連動転送無の場合、指定した FRT カウント状態の時にバッファ転送を行います。FRT の割り込みマスクカウンタの影響は受けません。

Figure 4-51 に、ACMP のバッファ機能有効、Zero/Bottom 転送、(ACSC.BUFE=01) FRT 割り込みマスク連動転送無(ACSC.APBM=0)の場合の動作例を示します。

Figure 4-51 ADCMP バッファデータ転送(割込みマスク連動無)



図の上部は、全体図、下部は転送動作部分の拡大図を示します。FRT はアップダウンカウントモードでカウント動作を行っています。▲のタイミングで、FRT より Zero 検出割り込みが発生します。▼のタイミングで CPU から ACMP バッファレジスタの書換えを行います。書き込まれたデータは、ACMP バッファレジスタに格納されます。その後、FRT の Zero 検出ごとに、ACMP レジスタへの転送動作が行われ、割込みが発生します。

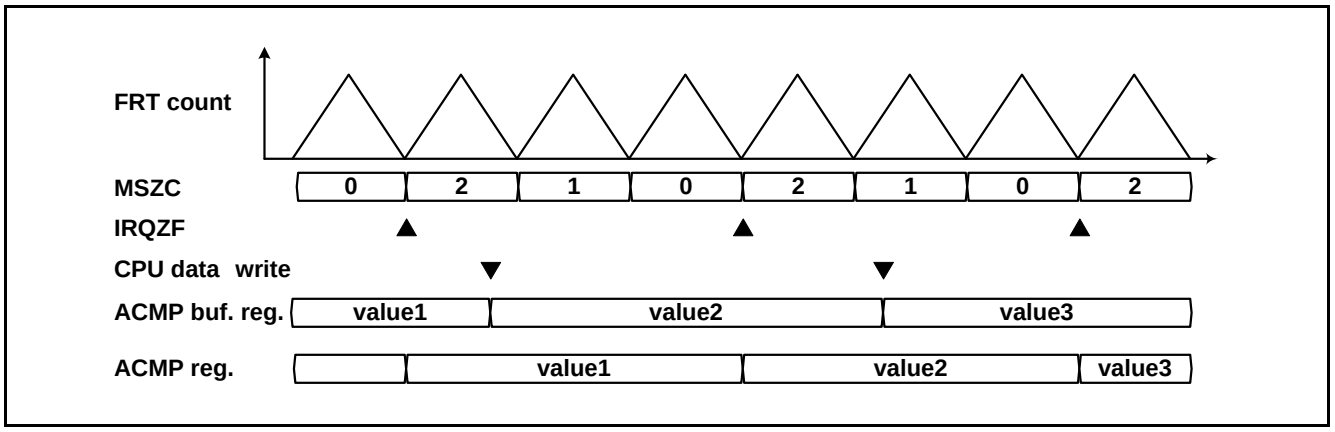
ADCMP は、△のタイミングで、ACMP レジスタの指定に従い動作を行います。★のタイミング(FRT=0x0000)以降での ADCMP の動作は、ACMP の転送後の新しいデータに従って行われます。それ以前のタイミングでの ADCMP の動作は、 ACMP の転送前の古いデータに従って行われます。このように、ADCMP は、転送されたデータを、転送タイミングから使用します。

図は ACMP の Zero/Bottom 転送の場合の例を示していますが、ACMC のバッファ転送動作および、Peak/Top 転送の場合も同様の動作となります。いずれも、転送されたデータを、転送タイミングから使用します。

FRT 割り込みマスク連動転送有(ACSC.APBM=1)の場合、接続する FRT が指定したカウント状態であって、FRT の割り込みマスクカウンタが 0 の場合にバッファ転送を行います。

Figure 4-52 に、ACMP のバッファ機能有効、Zero/Bottom 転送、(ACSC.BUFE=01) FRT 割り込みマスク連動転送有(ACSC.APBM=1)の場合の動作例を示します。

Figure 4-52 ADCMP バッファデータ転送(割り込みマスク連動有)



FRT はアップダウンカウントモードでカウント動作を行っています。Zero 検出割り込みマスクカウンタ(MSZC)は、2 から 0 へのダウンカウントを行っています。▲のタイミングで、FRT より Zero 検出割り込みが発生します。▼のタイミングで CPU から ACMP バッファレジスタの書換えを行います。書き込まれたデータは、ACMP バッファレジスタに格納されます。その後、Zero 検出割り込みマスクカウンタが 0 の場合の FRT の Zero 検出ごとに、ACMP レジスタへの転送動作が行われ、割込みが発生します。

転送されたデータは、Figure 4-51 の下部と同様に、その FRT カウントの時点から使用して動作を行います。上記のように、FRT 割り込みマスクカウンタと連動して、ACMP バッファの転送動作を間引くことができます。

接続している FRT がオフセット付カウントモード(ch.1 もしくは ch.2)の場合、その FRT の割込みマスクカウンタ値は 0 固定になります。ただし、バッファ転送条件の判断に使用される割込みマスクカウンタ値は、その FRT と同時にカウント動作している FRT-ch.0 の割り込みマスクカウンタ値が適用されます。このため、接続している FRT がオフセット付カウントモードである場合でも、FRT の割込みマスクカウンタに連動したバッファ転送動作を行えます。

<注意事項>

- *FRT 割込みマスクカウンタに連動したバッファ転送機能は、TYPE2-M0+以降製品のみで使用可能です。TYPE1-M0+製品では使用することはできません。*

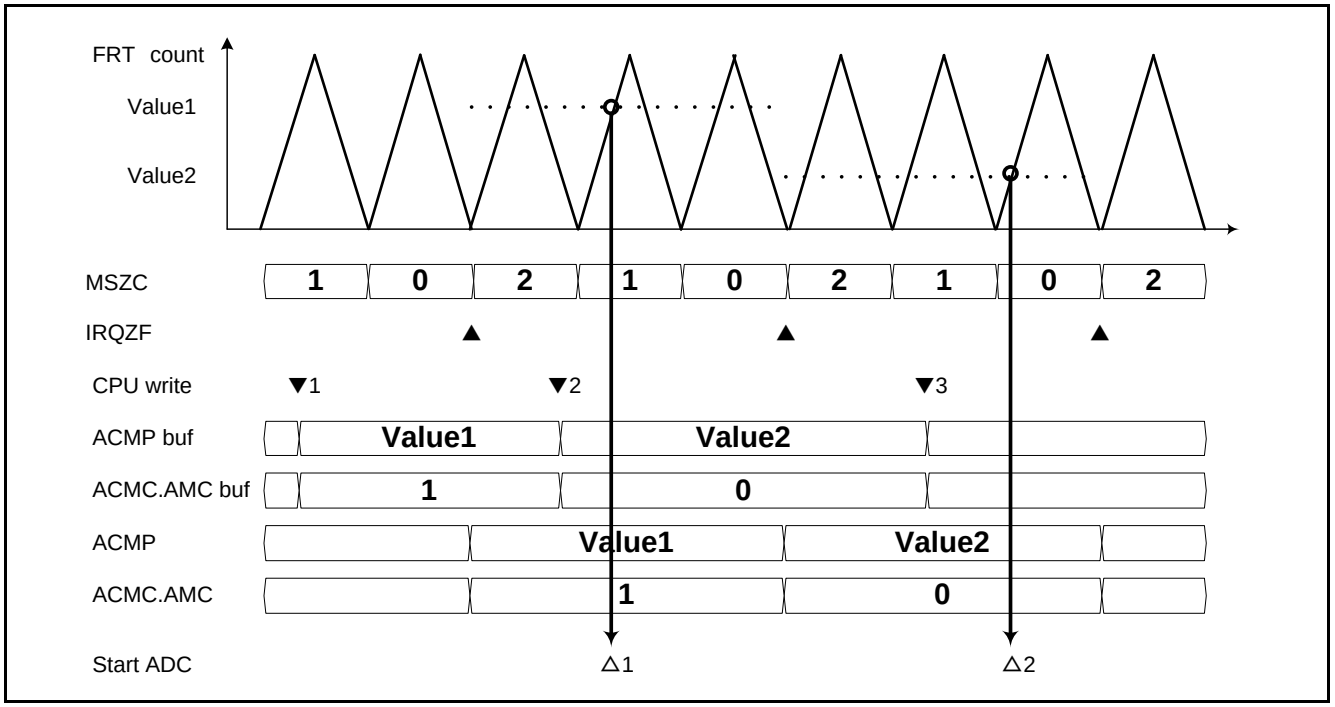
4.6.5 FRT 割込みマスクカウンタに連動した ADC 起動

ACMC レジスタの一致出力を用いることにより、FRT 割込みマスクカウンタに連動した ADC 起動を行うことができます。Figure 4-53 に ADCMP ノーマルモードの場合の動作例を示します。以下の設定を前提として説明します。

ACSC レジスタ: BUFE=01, APBM=1

ACSD レジスタ: AMOD=0, ZE=0, UE=1, PE=0, DE=0

Figure 4-53 FRT 割込みマスクカウンタに連動した ADC 起動



FRT はアップダウンカウントモードでカウント動作を行っています。Zero 検出割り込みマスクカウンタ(MSZC)は、2 から 0 へのダウンカウントを行っています。▲のタイミングで、FRT より Zero 検出割り込みが発生します。

▼1 のタイミングで ACMP バッファレジスタに Value1 の書込みを行います。同時に ACMC バッファレジスタに、MZCE=1、MPCE=0、AMC=0001 の書込みを行います。その後、▲のタイミングで、ACMP レジスタ、ACMC レジスタへの転送動作が行われます。△1 のタイミングで、MSZC=AMC=1、FRT=ACMP=Value1 であることから、ADC の起動を行います。

▼2 のタイミングで ACMP バッファレジスタに Value2 の書込みを行います。同時に ACMC バッファレジスタに、MZCE=1、MPCE=0、AMC=0000 の書込みを行います。その後、▲のタイミングで、ACMP レジスタ、ACMC レジスタへの転送動作が行われます。△2 のタイミングで、MSZC=AMC=0、FRT=ACMP=Value2 であることから、ADC の起動を行います。

上記のように、ACMC レジスタの設定により、FRT の割込みマスクカウンタと連動した ADC 起動を行えます。ADCMP オフセットモードの場合も同様に、オフセット起動ダウンカウンタを起動できます。

ACMC レジスタの値を都度変更する必要が無い場合、書き換えの必要はありません。ACMC レジスタ初期化時の設定値が適用されます。

<注意事項>

- *FRT 割込みマスクカウンタに連動した ADC 起動機能は、TYPE2-M0+以降製品のみで使用可能です。TYPE1-M0+製品では使用することはできません。*
- *FRT 割込みマスクカウンタに連動した ADC 起動機能は、ACSD レジスタを用いて ADC 起動信号を出力する場合に使用できます。ACSA レジスタを用いた FM3 互換起動の場合は使用できません。*

4.7 ADCMP の FM3 ファミリ製品互換動作

ADCMP の FM3 ファミリ製品互換動作について説明します。

ADCMP の FM3 ファミリ製品互換動作

ADCMP は、ACSA:CE10,CE32,CE54 と ACSA:SEL10,SEL32,SEL54 を使用することにより、FM3 ファミリ製品と互換動作を行います。この場合、ADCMP の ch.(0)と ch.(1)をペアで使用します。Table 4-29 に、レジスタ設定値と ADCMP ch.(0), OCU ch.(1)の各動作モードの一覧表を示します。選択された動作は、「4.6 ADCMP 動作説明」に示した ADCMP の各設定例と同じ動作を行います。

Table 4-29 ADCMP の FM3 ファミリ互換起動

ACSA:CE10 ACSA:CE32 ACSA:CE54	ACSA:SEL10 ACSA:SEL32 ACSA:SEL54	選択される動作モード
00	-	動作禁止状態
01	00	ch.(0)が、ADCMP 設定例 1 の動作を行います。 Ch.(1)は使用できません。
01	01	ch.(0)が、ADCMP 設定例 2 の動作を行います。 Ch.(1)は使用できません。
01	10	ch.(0)が、ADCMP 設定例 3 の動作を行います。 Ch.(1)は使用できません。
01	11	ch.(0)と ch.(1)が、ADCMP 設定例 4 の動作を行います。 Ch.(0)の ACMP(0)に FRT-Zero, UP 中のコンペア値を設定します。 Ch.(1)の ACMP(1)に FRT-Peak, Down 中のコンペア値を設定します。 Ch.(0)と ch.(1)の接続 FRT、出力先 ADC を同じ設定にします。
上記外の値	-	動作禁止状態

ADCMP を FM3 ファミリ製品互換で使用する場合、ADCMP に接続する FRT を FRT-ch.0 以外を接続する指定、ACMP レジスタのバッファ機能・転送タイミング指定および出力先 ADC の選択指定については、レジスタ指定方法が、FM3 ファミリ製品とは互換ではありません。ACFS レジスタ, ACSC レジスタにて、ADCMP 起動許可前に、選択指定を行ってください。

コンペア値格納レジスタ名称が、FM3 ファミリ製品と FM4 ファミリ製品では異なります。
以下に FM3 ファミリ製品と FM4 ファミリ製品の AD 起動コンペアレジスタの対応表を示します。

Table 4-30 FM3 ファミリ製品と FM4 ファミリ製品の ADCMP コンペアレジスタ名対応表

FM3 ファミリ製品レジスタ名	FM4 ファミリ製品レジスタ名
ACCP0	ACMP0
ACCPDN0	ACMP1
ACCP1	ACMP2
ACCPDN1	ACMP3
ACCP2	ACMP4
ACCPDN2	ACMP5

4.8 OCU, ICU, ADCMP の FRT 選択

OCU, ICU, ADCMP は、他の多機能タイマユニットの FRT を選択できる構成になっています。多機能タイマユニット間の FRT の接続および選択方法の説明をします。

4.8.1 MFT2 個搭載製品

Figure 4-54 に多機能タイマユニット 2 個搭載品の多機能タイマユニット間の FRT 接続図を示します。

Figure 4-54 多機能タイマユニット間の FRT 接続図(多機能タイマユニット 2 個搭載品)

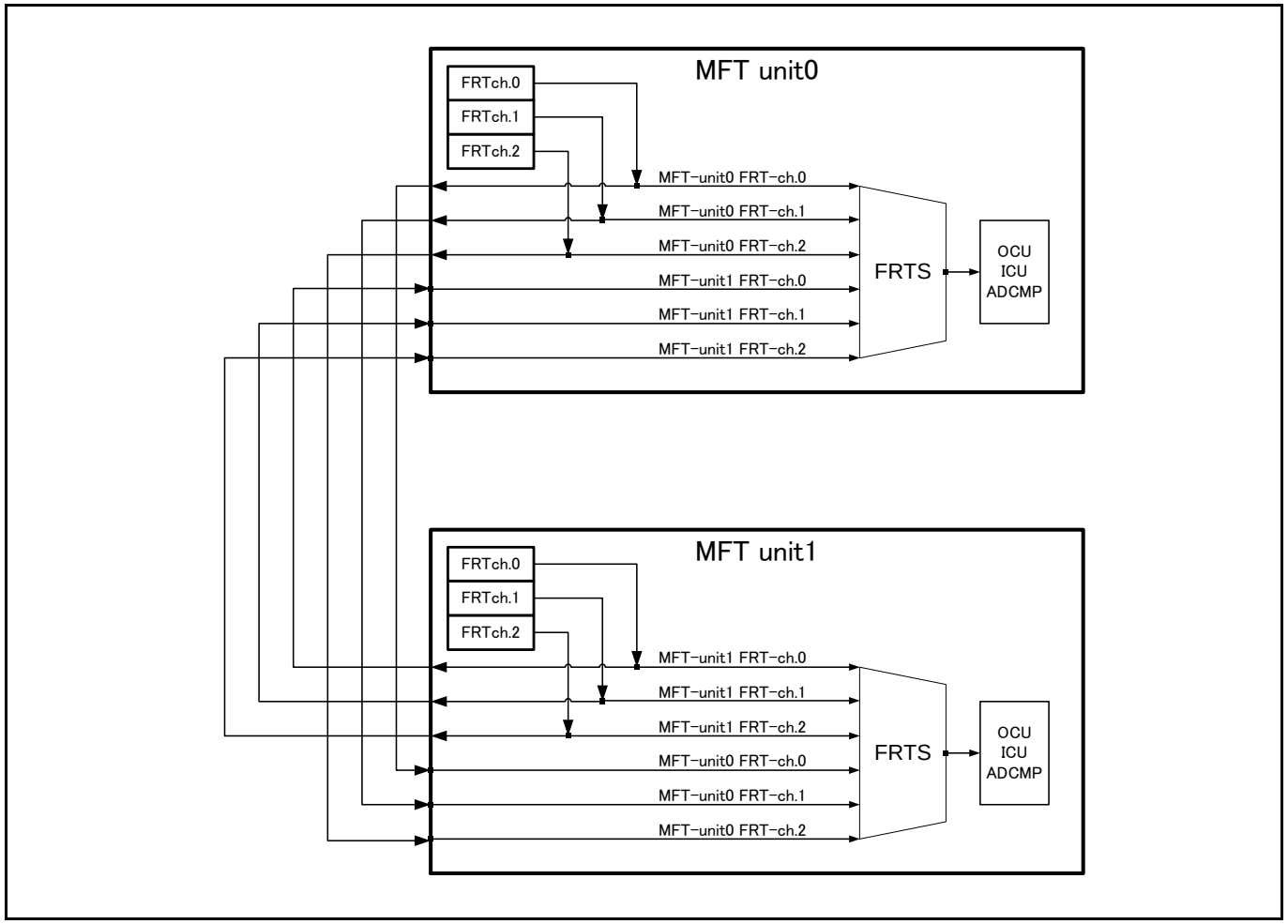


Table 4-31, Table 4-32 に、多機能タイマユニット 2 個搭載品の MFT-unit0, MFT-unit1 のそれぞれの OCFS, ICFS,ACFS レジスタの設定値と、接続選択される FRT を示します。表では、各レジスタの設定を一括記載しています。TP3 の欄に※印の設定は、TYPE2-M0+以降の製品のみが可能です。TYPE1-M0+製品では設定禁止です。

Table 4-31 MFT unit0 OCFS, ICFS, ACFS レジスタ設定値(多機能タイマユニット 2 個搭載品)

レジスタ名称		設定値	TP3	機能
OCFS ICFS ACFS	FSO0[3:0] FSI0[3:0] FSA0[3:0] ch.(0)側	0000		MFT unti0-OCU/ICU/ADCMP ch.(0)に、MFT unti0-FRT ch.0 を接続します。
		0001		MFT unti0-OCU/ICU/ADCMP ch.(0)に、MFT unti0-FRT ch.1 を接続します。
		0010		MFT unti0-OCU/ICU/ADCMP ch.(0)に、MFT unti0-FRT ch.2 を接続します。
		0011		MFT unti0-OCU/ICU/ADCMP ch.(0)に、MFT unti1-FRT ch.0 を接続します。
		0100		MFT unti0-OCU/ICU/ADCMP ch.(0)に、MFT unti1-FRT ch.1 を接続します。
		0101	※	MFT unti0-OCU/ICU/ADCMP ch.(0)に、MFT unti1-FRT ch.2 を接続します。
		上記外		設定禁止
	FSO1[3:0] FSI13:0] FSA1[3:0] ch.(1)側	0000		MFT unti0-OCU/ICU/ADCMP ch.(1)に、MFT unti0-FRT ch.0 を接続します。
		0001		MFT unti0-OCU/ICU/ADCMP ch.(1)に、MFT unti0-FRT ch.1 を接続します。
		0010		MFT unti0-OCU/ICU/ADCMP ch.(1)に、MFT unti0-FRT ch.2 を接続します。
		0011		MFT unti0-OCU/ICU/ADCMP ch.(1)に、MFT unti1-FRT ch.0 を接続します。
		0100		MFT unti0-OCU/ICU/ADCMP ch.(1)に、MFT unti1-FRT ch.1 を接続します。
		0101	※	MFT unti0-OCU/ICU/ADCMP ch.(1)に、MFT unti1-FRT ch.2 を接続します。
		上記外		設定禁止

Table 4-32 MFT unit1 OCFS, ICFS, ACFS レジスタ設定値(多機能タイマユニット 2 個搭載品)

レジスタ名称		設定値	TP3	機能
OCFS ICFS ACFS	FSO0[3:0] FSI0[3:0] FSA0[3:0] ch.(0)側	0000		MFT unti1-OCU/ICU/ADCMP ch.(0)に、MFT unti1-FRT ch.0 を接続します。
		0001		MFT unti1-OCU/ICU/ADCMP ch.(0)に、MFT unti1-FRT ch.1 を接続します。
		0010		MFT unti1-OCU/ICU/ADCMP ch.(0)に、MFT unti1-FRT ch.2 を接続します。
		0011		MFT unti1-OCU/ICU/ADCMP ch.(0)に、MFT unti0-FRT ch.0 を接続します。
		0100		MFT unti1-OCU/ICU/ADCMP ch.(0)に、MFT unti0-FRT ch.1 を接続します。
		0101	※	MFT unti1-OCU/ICU/ADCMP ch.(0)に、MFT unti0-FRT ch.2 を接続します。
		上記外		設定禁止
	FSO1[3:0] FSI13:0] FSA1[3:0] ch.(1)側	0000		MFT unti1-OCU/ICU/ADCMP ch.(1)に、MFT unti1-FRT ch.0 を接続します。
		0001		MFT unti1-OCU/ICU/ADCMP ch.(1)に、MFT unti1-FRT ch.1 を接続します。
		0010		MFT unti1-OCU/ICU/ADCMP ch.(1)に、MFT unti1-FRT ch.2 を接続します。
		0011		MFT unti1-OCU/ICU/ADCMP ch.(1)に、MFT unti0-FRT ch.0 を接続します。
		0100		MFT unti1-OCU/ICU/ADCMP ch.(1)に、MFT unti0-FRT ch.1 を接続します。
		0101	※	MFT unti1-OCU/ICU/ADCMP ch.(1)に、MFT unti0-FRT ch.2 を接続します。
		上記外		設定禁止

4.8.2 MFT3 個搭載製品(TYPE6-M4 製品以外)

Figure 4-55 に多機能タイマユニット 3 個搭載品の多機能タイマユニット間の FRT 接続図を示します。

Figure 4-55 多機能タイマユニット間の FRT 接続図(多機能タイマユニット 3 個搭載品)

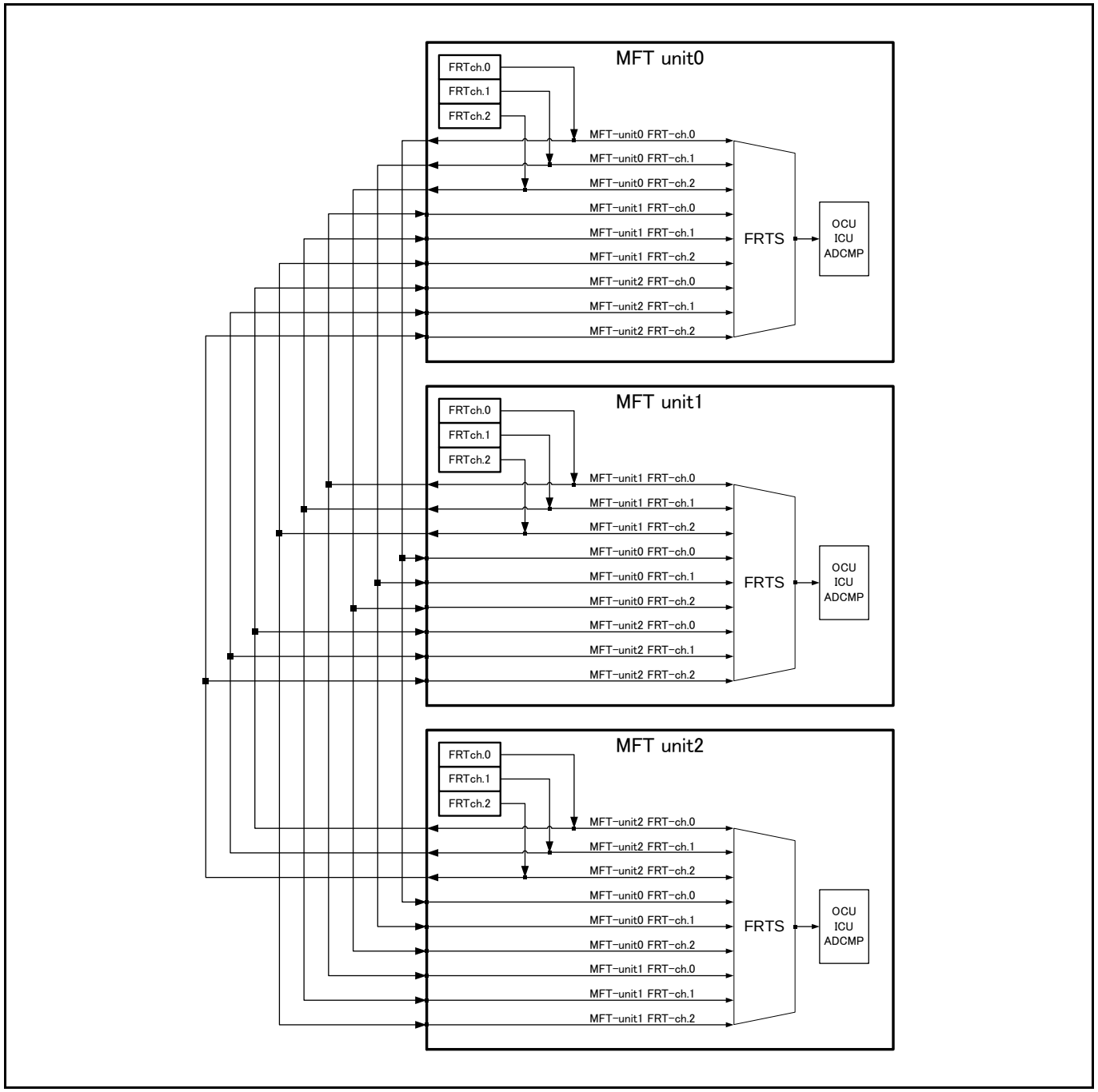


Table 4-33, Table 4-34, Table 4-35 に、多機能タイマユニット 3 個搭載品の MFT-unit0, MFT-unit1, MFT-unit2 のそれぞれの OCFS, ICFS,ACFS レジスタの設定値と、接続選択される FRT を示します。表では、各レジスタの設定を一括記載しています。TP3 の欄に※印の設定は、TYPE2-M0+以降製品のみが可能です。TYPE1-M0+製品では設定禁止です。

Table 4-33 MFT unit0 OCFS, ICFS, ACFS レジスタ設定値(多機能タイマユニット 3 個搭載品)

レジスタ名称		設定値	TP3	機能
OCFS ICFS ACFS	FSO0[3:0] FSI0[3:0] FSA0[3:0] ch.(0)側	0000		MFT unti0 の OCU/ICU/ADCMP ch.(0)に MFT unti0 の FRT ch.0 を接続します。
		0001		MFT unti0 の OCU/ICU/ADCMP ch.(0)に MFT unti0 の FRT ch.1 を接続します。
		0010		MFT unti0 の OCU/ICU/ADCMP ch.(0)に MFT unti0 の FRT ch.2 を接続します。
		0011		MFT unti0 の OCU/ICU/ADCMP ch.(0)に MFT unti1 の FRT ch.0 を接続します。
		0100		MFT unti0 の OCU/ICU/ADCMP ch.(0)に MFT unti2 の FRT ch.0 を接続します。
		0101	※	MFT unti0 の OCU/ICU/ADCMP ch.(0)に MFT unti1 の FRT ch.1 を接続します。
		0110	※	MFT unti0 の OCU/ICU/ADCMP ch.(0)に MFT unti2 の FRT ch.1 を接続します。
		0111	※	MFT unti0 の OCU/ICU/ADCMP ch.(0)に MFT unti1 の FRT ch.2 を接続します。
		1000	※	MFT unti0 の OCU/ICU/ADCMP ch.(0)に MFT unti2 の FRT ch.2 を接続します。
		上記外		設定禁止
	FSO1[3:0] FSI13:0] FSA1[3:0] ch.(1)側	0000		MFT unti0 の OCU/ICU/ADCMP ch.(1)に MFT unti0 の FRT ch.0 を接続します。
		0001		MFT unti0 の OCU/ICU/ADCMP ch.(1)に MFT unti0 の FRT ch.1 を接続します。
		0010		MFT unti0 の OCU/ICU/ADCMP ch.(1)に MFT unti0 の FRT ch.2 を接続します。
		0011		MFT unti0 の OCU/ICU/ADCMP ch.(1)に MFT unti1 の FRT ch.0 を接続します。
		0100		MFT unti0 の OCU/ICU/ADCMP ch.(1)に MFT unti2 の FRT ch.0 を接続します。
		0101	※	MFT unti0 の OCU/ICU/ADCMP ch.(1)に MFT unti1 の FRT ch.1 を接続します。
		0110	※	MFT unti0 の OCU/ICU/ADCMP ch.(1)に MFT unti2 の FRT ch.1 を接続します。
		0111	※	MFT unti0 の OCU/ICU/ADCMP ch.(1)に MFT unti1 の FRT ch.2 を接続します。
		1000	※	MFT unti0 の OCU/ICU/ADCMP ch.(1)に MFT unti2 の FRT ch.2 を接続します。
		上記外		設定禁止

Table 4-34 MFT unit1 OCFS, ICFS, ACFS レジスタ設定値(多機能タイマユニット 3 個搭載品)

レジスタ名称		設定値	TP3	機能
OCFS ICFS ACFS	FSO0[3:0] FSI0[3:0] FSA0[3:0] ch.(0)側	0000		MFT unti1 の OCU/ICU/ADCMP ch.(0)に MFT unti1 の FRT ch.0 を接続します。
		0001		MFT unti1 の OCU/ICU/ADCMP ch.(0)に MFT unti1 の FRT ch.1 を接続します。
		0010		MFT unti1 の OCU/ICU/ADCMP ch.(0)に MFT unti1 の FRT ch.2 を接続します。
		0011		MFT unti1 の OCU/ICU/ADCMP ch.(0)に MFT unti0 の FRT ch.0 を接続します。
		0100		MFT unti1 の OCU/ICU/ADCMP ch.(0)に MFT unti2 の FRT ch.0 を接続します。
		0101	※	MFT unti1 の OCU/ICU/ADCMP ch.(0)に MFT unti0 の FRT ch.1 を接続します。
		0110	※	MFT unti1 の OCU/ICU/ADCMP ch.(0)に MFT unti2 の FRT ch.1 を接続します。
		0111	※	MFT unti1 の OCU/ICU/ADCMP ch.(0)に MFT unti0 の FRT ch.2 を接続します。
		1000	※	MFT unti1 の OCU/ICU/ADCMP ch.(0)に MFT unti2 の FRT ch.2 を接続します。
		上記外		設定禁止
	FSO1[3:0] FSI13:0] FSA1[3:0] ch.(1)側	0000		MFT unti1 の OCU/ICU/ADCMP ch.(1)に MFT unti1 の FRT ch.0 を接続します。
		0001		MFT unti1 の OCU/ICU/ADCMP ch.(1)に MFT unti1 の FRT ch.1 を接続します。
		0010		MFT unti1 の OCU/ICU/ADCMP ch.(1)に MFT unti1 の FRT ch.2 を接続します。
		0011		MFT unti1 の OCU/ICU/ADCMP ch.(1)に MFT unti0 の FRT ch.0 を接続します。
		0100		MFT unti1 の OCU/ICU/ADCMP ch.(1)に MFT unti2 の FRT ch.0 を接続します。
		0101	※	MFT unti1 の OCU/ICU/ADCMP ch.(1)に MFT unti0 の FRT ch.1 を接続します。
		0110	※	MFT unti1 の OCU/ICU/ADCMP ch.(1)に MFT unti2 の FRT ch.1 を接続します。
		0111	※	MFT unti1 の OCU/ICU/ADCMP ch.(1)に MFT unti0 の FRT ch.2 を接続します。
		1000	※	MFT unti1 の OCU/ICU/ADCMP ch.(1)に MFT unti2 の FRT ch.2 を接続します。
		上記外		設定禁止

Table 4-35 MFT unit2 OCFS, ICFS, ACFS レジスタ設定値(多機能タイマユニット 3 個搭載品)

レジスタ名称		設定値	TP3	機能
OCFS ICFS ACFS	FSO0[3:0] FSI0[3:0] FSA0[3:0] ch.(0)側	0000		MFT unti2 の OCU/ICU/ADCMP ch.(0)に MFT unti2 の FRT ch.0 を接続します。
		0001		MFT unti2 の OCU/ICU/ADCMP ch.(0)に MFT unti2 の FRT ch.1 を接続します。
		0010		MFT unti2 の OCU/ICU/ADCMP ch.(0)に MFT unti2 の FRT ch.2 を接続します。
		0011		MFT unti2 の OCU/ICU/ADCMP ch.(0)に MFT unti0 の FRT ch.0 を接続します。
		0100		MFT unti2 の OCU/ICU/ADCMP ch.(0)に MFT unti1 の FRT ch.0 を接続します。
		0101	※	MFT unti2 の OCU/ICU/ADCMP ch.(0)に MFT unti0 の FRT ch.1 を接続します。
		0110	※	MFT unti2 の OCU/ICU/ADCMP ch.(0)に MFT unti1 の FRT ch.1 を接続します。
		0111	※	MFT unti2 の OCU/ICU/ADCMP ch.(0)に MFT unti0 の FRT ch.2 を接続します。
		1000	※	MFT unti2 の OCU/ICU/ADCMP ch.(0)に MFT unti1 の FRT ch.2 を接続します。
		上記外		設定禁止
	FSO1[3:0] FSI13:0] FSA1[3:0] ch.(1)側	0000		MFT unti2 の OCU/ICU/ADCMP ch.(1)に MFT unti2 の FRT ch.0 を接続します。
		0001		MFT unti2 の OCU/ICU/ADCMP ch.(1)に MFT unti2 の FRT ch.1 を接続します。
		0010		MFT unti2 の OCU/ICU/ADCMP ch.(1)に MFT unti2 の FRT ch.2 を接続します。
		0011		MFT unti2 の OCU/ICU/ADCMP ch.(1)に MFT unti0 の FRT ch.0 を接続します。
		0100		MFT unti2 の OCU/ICU/ADCMP ch.(1)に MFT unti1 の FRT ch.0 を接続します。
		0101	※	MFT unti2 の OCU/ICU/ADCMP ch.(1)に MFT unti0 の FRT ch.1 を接続します。
		0110	※	MFT unti2 の OCU/ICU/ADCMP ch.(1)に MFT unti1 の FRT ch.1 を接続します。
		0111	※	MFT unti2 の OCU/ICU/ADCMP ch.(1)に MFT unti0 の FRT ch.2 を接続します。
		1000	※	MFT unti2 の OCU/ICU/ADCMP ch.(1)に MFT unti1 の FRT ch.2 を接続します。
		上記外		設定禁止

4.9 WFG に接続する PPG タイマユニット

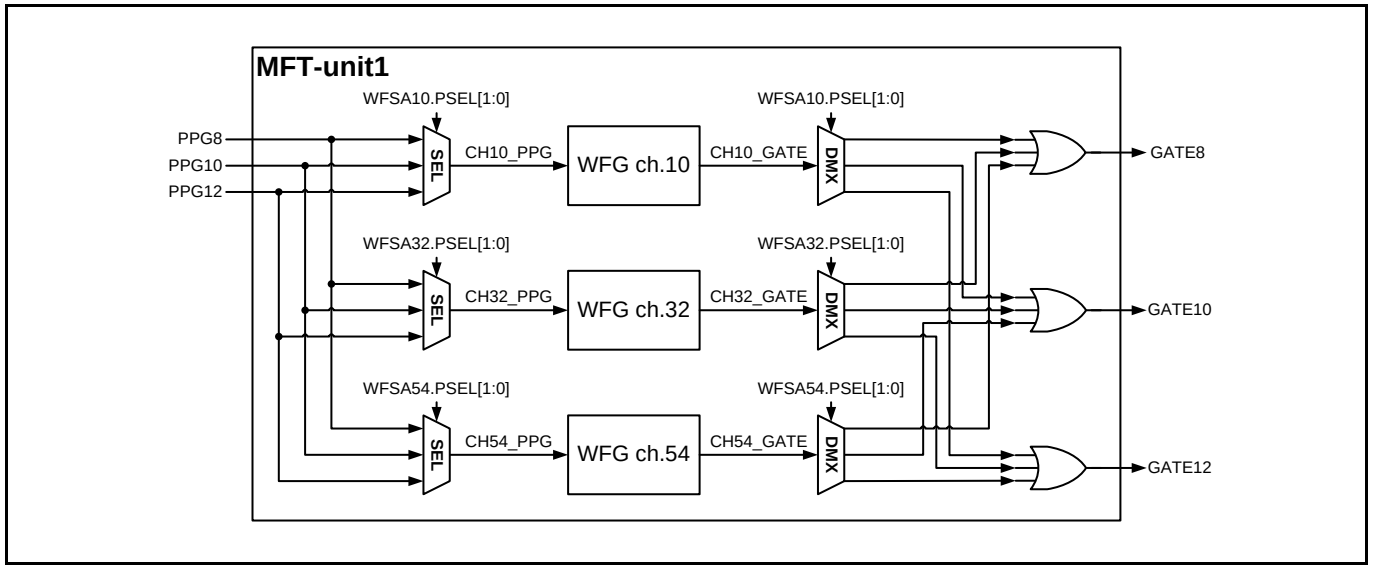
WFGに接続するPPGタイマユニットは、多機能タイマユニットごとに異なります。PPGタイマユニットの接続、および選択方法を説明します。

MFT unit0 については、Figure 3-4 を参照してください。

4.9.1 MFT unit1

Figure 4-56 のように、MFT unit1 の WFG には、PPG タイマユニット ch.8, ch.10, ch.12 が接続されています。

Figure 4-56 PPG 選択回路構成(MFT unit1)



MFT unit1 内の WFG の場合、PSEL[1:0]の設定値により、以下の選択が行われます。

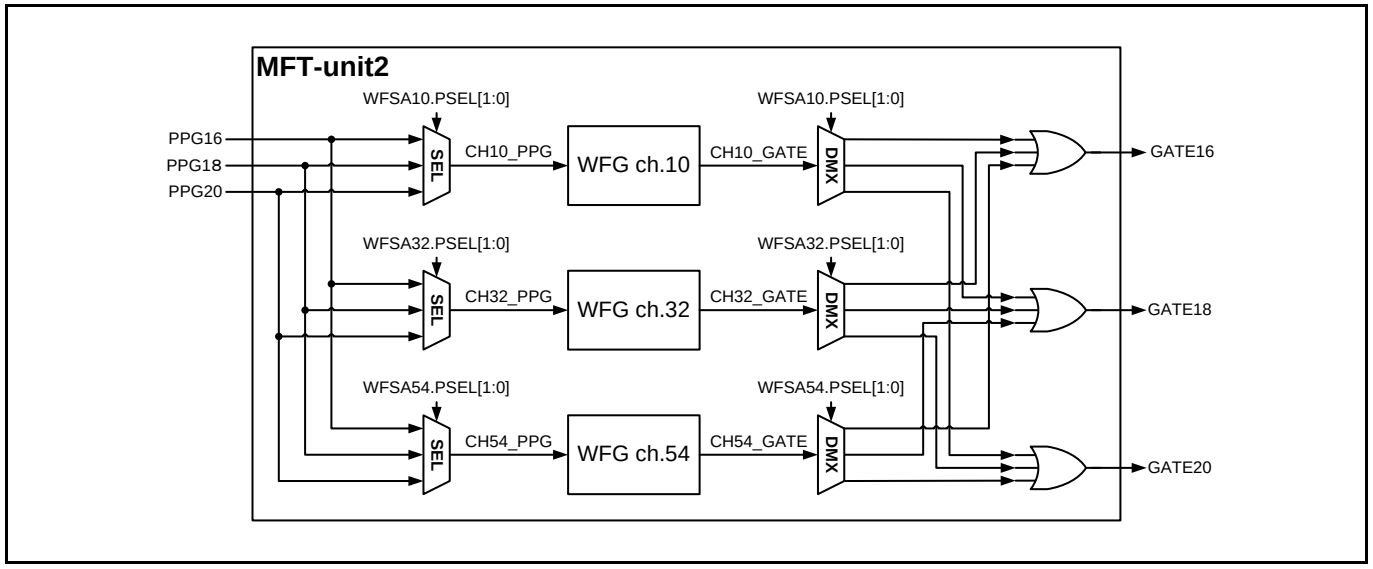
[bit9:8] PSEL[1:0]

処理	bit9:8	機能
書込み	00	GATE 信号の出力先を PPG タイマユニット ch.8 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.8 に設定します。
	01	GATE 信号の出力先を PPG タイマユニット ch.10 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.10 に設定します。
	10	GATE 信号の出力先を PPG タイマユニット ch.12 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.12 に設定します。
	11	設定禁止
読出し	-	レジスタの設定値を読み出します。

4.9.2 MFT unit2

Figure 4-57 のように、MFT unit2 の WFG には、PPG タイマユニット ch.16, ch.18, ch.20 が接続されています。

Figure 4-57 PPG 選択回路構成(MFT unit2)



MFT unit2 内の WFG の場合、PSEL[1:0]の設定値により、以下の選択が行われます。

[bit9:8] PSEL[1:0]

処理	bit9:8	機能
書込み	00	GATE 信号の出力先を PPG タイマユニット ch.16 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.16 に設定します。
	01	GATE 信号の出力先を PPG タイマユニット ch.18 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.18 に設定します。
	10	GATE 信号の出力先を PPG タイマユニット ch.20 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.20 に設定します。
	11	設定禁止
読出し	-	レジスタの設定値を読み出します。

4.10 イベント検出レジスタと割込みの取り扱いについて

多機能タイマユニット内のイベント検出レジスタ，割込み関連の回路の動作，制御に関する注意事項について説明します。

4.10.1 イベント検出レジスタ，割込み許可レジスタの一覧

多機能タイマ内に存在するイベント検出レジスタ，割込み許可/マスクレジスタと割込み信号の一覧を Table 4-36 に示します。

Table 4-36 イベント検出レジスタ，割込み許可/マスクレジスター覧

ブロック	対象イベント	イベント検出レジスタ	割込み許可/マスクレジスタ	割込み信号名称	区分
FRT ch.0	FRT0 == 0x0000 検出	TCSA0:IRQZF	TCSA0:IRQZE	Zero 値検出割込み	1
FRT ch.1	FRT1 == 0x0000 検出	TCSA1:IRQZF	TCSA1:IRQZE	Zero 値検出割込み	1
FRT ch.2	FRT2 == 0x0000 検出	TCSA2:IRQZF	TCSA2:IRQZE	Zero 値検出割込み	1
FRT ch.0	FRT0 == TCCP0 検出	TCSA0:ICLR	TCSA0:ICRE	ピーク値検出割込み	1
FRT ch.1	FRT1 == TCCP1 検出	TCSA1:ICLR	TCSA1:ICRE	ピーク値検出割込み	1
FRT ch.2	FRT2 == TCCP2 検出	TCSA2:ICLR	TCSA2:ICRE	ピーク値検出割込み	1
OCU ch.0	FRT == OCCP0 検出	OCSA10:IOP0	OCSA10:IOE0	一致検出割込み	1
OCU ch.1	FRT == OCCP1 検出	OCSA10:IOP1	OCSA10:IOE1	一致検出割込み	1
OCU ch.2	FRT == OCCP2 検出	OCSA32:IOP0	OCSA32:IOE0	一致検出割込み	1
OCU ch.3	FRT == OCCP3 検出	OCSA32:IOP1	OCSA32:IOE1	一致検出割込み	1
OCU ch.4	FRT == OCCP4 検出	OCSA54:IOP0	OCSA54:IOE0	一致検出割込み	1
OCU ch.5	FRT == OCCP5 検出	OCSA54:IOP1	OCSA54:IOE1	一致検出割込み	1
ICU ch.0	有効エッジ検出	ICSA10:ICP0	ICSA10:ICE0	入力エッジ検出割込み	1
ICU ch.1	有効エッジ検出	ICSA10:ICP1	ICSA10:ICE1	入力エッジ検出割込み	1
ICU ch.2	有効エッジ検出	ICSA32:ICP0	ICSA32:ICE0	入力エッジ検出割込み	1
ICU ch.3	有効エッジ検出	ICSA32:ICP1	ICSA32:ICE1	入力エッジ検出割込み	1
NZCL	モータ緊急停止信号入力(デジタル系)	WFIR:DTIFA	NZCL:DIMA	DTIF 割込み	2
NZCL	モータ緊急停止信号入力(アナログ系)	WFIR:DTIFB	NZCL:DIMB		2
WFG ch.10	タイマカウント終了	WFIR:TMIF10	NZCL:WIM10	WFG10 リロードタイマ割込み	2
WFG ch.32	タイマカウント終了	WFIR:TMIF32	NZCL:WIM32	WFG32 リロードタイマ割込み	2
WFG ch.54	タイマカウント終了	WFIR:TMIF54	NZCL:WIM54	WFG54 リロードタイマ割込み	2

4.10.2 回路の構成と動作

Table 4-36 の区分欄で 1 と表示の場合のイベント検出レジスタ, 割込み許可レジスタと割込み信号の生成回路の構成を Figure 4-58 に示します。区分欄で 2 と表示の場合の割込み信号の生成回路の構成を Figure 4-59 に示します。

Figure 4-58 割込み信号の生成回路の構成(区分 1)

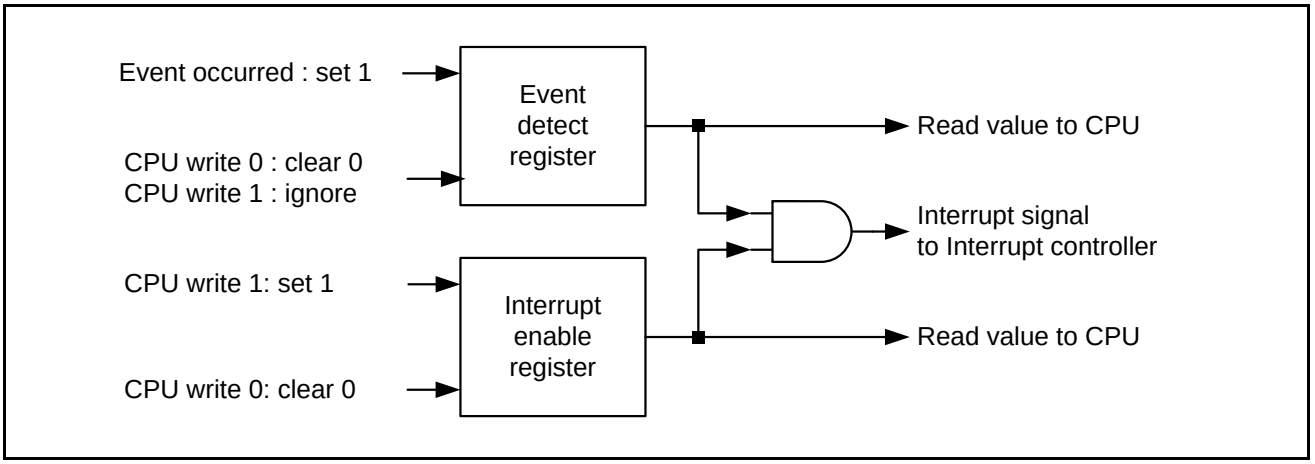
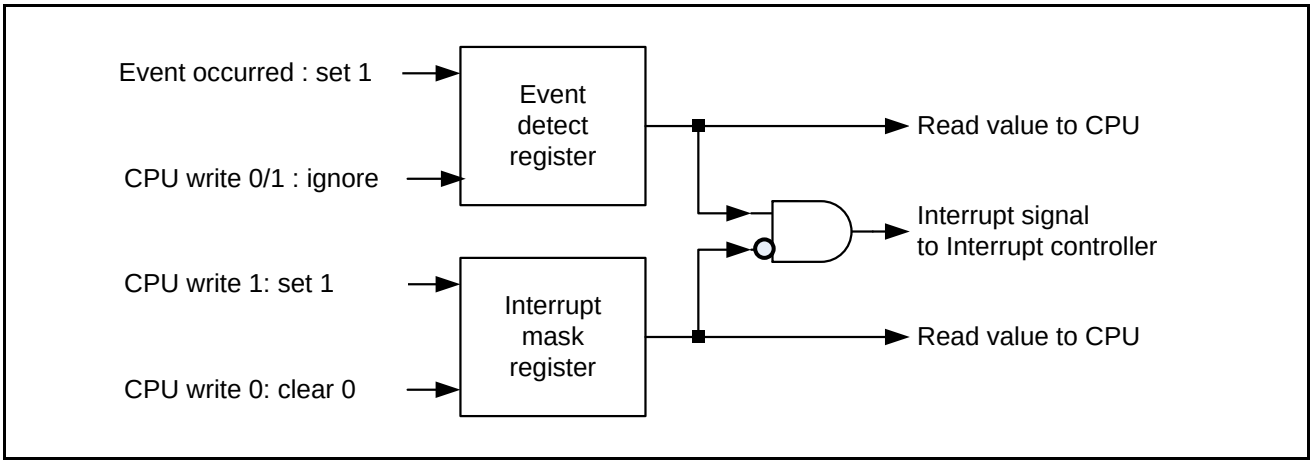


Figure 4-59 割込み信号の生成回路の構成(区分 2)



イベント検出レジスタ

イベント検出レジスタは、特定のイベント(例えば ICU で入力信号の立上りエッジが検出されたことなど)が発生したことを CPU に通知するためのレジスタです。このレジスタは、該当イベントが発生していない状態では値が 0 です。イベントが発生した時点で 1 がセットされます。

割込み許可レジスタ・割込みマスクレジスタ

上記のイベント発生を割込みとして、CPU に通知するか、しないかを選択するためのレジスタがあります。区分 1 の場合、割込み許可レジスタ、区分 2 の場合、割込みマスクレジスタです。Figure 4-58, Figure 4-59 に示すように、イベント検出レジスタの値と割込み許可レジスタ(割込みマスクレジスタ)の値の論理 AND が割込み信号として、割込みコントローラ(NVIC)へ接続されています。

各レジスタの書込み, 読出しについて

イベント検出レジスタは、割込み許可レジスタ(割込みマスクレジスタ)の値に関係なく常に CPU から読み出せます。CPU からクリアはできますが、セットはできません。

割込み許可レジスタ(割込みマスクレジスタ)は、CPU から任意値の設定が可能です。常に CPU の書き込んだ値が読み出せます。MFT 側から値が書き換えられることはありません。

割込み禁止とした場合の動作

割込み許可レジスタを 0 または割込みマスクレジスタを 1 とした場合、割込み禁止となります。イベント発生時、イベント検出レジスタに 1 がセットされても、割込み信号がアサートされず、割込みが発生しません。この場合、CPU から定期的にイベント検出レジスタの読出しを行うことで、イベント発生を認識できます。

割込み許可とした場合の動作

割込み許可レジスタを 1 または割込みマスクレジスタを 0 とした場合、割込み許可となります。イベント発生時、イベント検出レジスタに"1"が設定された時点で、割込み信号がアサートされ、割込みが発生します。CPU は割込みによりイベント発生を認識できます。

イベント検出レジスタのクリア

イベント検出レジスタは、自動ではクリアされません。イベント検出レジスタに 1 がセットされた後、その次のイベント発生を認識するために、CPU からイベント検出レジスタをクリアしてください。CPU からクリアを行わない場合、CPU は以降のイベント発生を認識できなくなります。

割込み処理からの復帰

割込み信号を利用して、割込み処理を行った場合、割込み処理から復帰する際には、イベント検出レジスタをクリアして、割込み信号をディアサートしてから、割込み復帰する必要があります。
割込み信号をディアサートせずに、割込み処理から復帰した場合、処理は再度割込み処理に移行するため、割込み処理から抜けられなくなります。

4.10.3 区分 1 のイベント検出レジスタのクリア時の注意事項

区分 1 のイベント検出レジスタの値は、ライト・リード時で以下の意味があります。

- 0 をライト: レジスタのクリアを行う。
- 1 をライト: 何も行わない
- 0 をリード: イベント発生なし
- 1 をリード: イベント発生あり

区分 1 のイベント検出レジスタは上記の構成のため、CPU からイベント検出レジスタの値の読出しを行い、その値をそのまま書き戻すことは、通常はできません。これは、以下の理由によります。ある時点で、イベント検出レジスタから 0 が読み出せた場合、その時点では、イベントが発生していない状態を示しています。次に、イベント検出レジスタに値をそのまま書き戻すこと(0 を書き込む)は、イベント検出レジスタに対し、クリアを指示することです。CPU から読出しを行い、書き戻すまでの間にイベント発生があった場合、レジスタがクリアされてしまい、CPU がそのイベントを認識できなくなるためです。上記理由により、イベント検出レジスタに対し書込みを行う場合は、レジスタクリアを意図しているとき以外は、常に 1 を書き込む(何も行わないようにする)必要があります。以下に例を示します。

ICSA10 レジスタは、8 ビット幅のレジスタで以下のような構成です。

Bit	7	6	5	4	3	2	1	0

field	ICP1	ICP0	ICE1	ICE0	EG1[1:0]	EG0[1:0]

ICP1 レジスタ, ICP0 レジスタは、それぞれ ICU-ch.1, ICU-ch.0 で入力信号のエッジ検出のイベントを通知するイベント検出レジスタです。このレジスタから、ある時点で、01111111 という値が読み出せたとします。この場合、ch.0 では、有効エッジが検出されたこと(ICP0=1)を示し、ch.1 では、有効エッジが検出されていないこと(ICP1=0)を示します。

ここで、ICP0 レジスタをクリアするために、bit6=0 を書き込みます。その際、ICP0 レジスタの値のみを 0 にした値、00111111 を書込むことは、上記に説明した理由によりできません。レジスタを読み出した後、書き込むまでの期間に、ch.1 でイベント検出があった場合、その検出情報がクリアされてしまうからです。このため、ICP0 レジスタをクリアするためには、bit7=1,bit6=0 とした、10111111 を書き込んでください。

4.10.4 RMW(Read Modify Write)アクセス時の読出し値マスク機能

上記手順は煩雑であるため、RMW アクセス時には、区分 1 のイベント検出レジスタの読出し値を、書戻し値のために 1 にマスクする機能が用意されています。

本ファミリでは、RMW アクセスは、ビッドバンディングエイリアス領域への書込みアクセスを行った際に発生します。ビッドバンディングエイリアス領域への書込みアクセスは、対象 bit の存在するアドレス領域のすべてのレジスタ・ビットの読出しを行い、対象ビットのみの書換えを行い、すべてのレジスタ・ビットを書き戻す RMW アクセスとして実行されます。

先ほどの ICSA10 レジスタの例の場合、ある時点で”01111111”という値が、読み出せたとします。ここで、ICP0 レジスタをクリアするため、bit6=0 を書き込みたい場合、通常のアドレス領域に対する書込みアクセスでは、先ほど説明したとおり、bit7=1, bit6=0 を書き込まなければなりません。しかし、ビッドバンディングエイリアス領域に対し、bit6 へ”0”の書込みアクセスを行うと、ハードウェアは以下の動作を行います。

- 最初に ICSA10 レジスタの値を読み出します。
- この際、RMW アクセスであるため、ICP1, ICP0 レジスタの値は、読出し値が”1”にマスクされた値を返します。すなわち読み出される値は、11111111 です。
- bit6(ICP0)の値のみ”0”に置き換えた値、10111111 を ICSA10 レジスタに書き戻します。

上記動作となるため、bit7 のクリアは行われません。この例では、bit6 の書換えについて説明しましたが、bit7, bit5:0 の書換えを行う場合であっても、同様に bit7, bit6 の読出し値は 1 にマスクされるため、書戻し値を考慮する必要がなくなります。このように、ビッドバンディングエイリアス領域への書込みアクセスは、イベント検出レジスタの書戻し値を考慮する必要がないように構成されています。

*: ビッドバンディングエイリアス領域への読出しアクセスは、RMW アクセスではありません。イベント検出レジスタの値は、現在の値がマスクされずに読み出されます。

4.10.5 区分 2 のイベント検出レジスタのクリア方法

区分 2 のイベント検出レジスタのレジスタクリアは、別アドレス領域に存在するクリアレジスタに 1 を書き込むことによりクリアすることができます。イベント検出レジスタ自体への書込み値は無視されます。このため、RMW アクセスを行う必要はありません。

5. 多機能タイマの制御例

多機能タイマの制御例と設定手順を基に説明します。

5.1. 多機能タイマの制御例-1
5.2. 多機能タイマの制御例-2

5.1 多機能タイマの制御例-1

多機能タイマ制御例-1 では、各機能ブロックを以下のモードで動作させる例を説明します。

FRT: ノーマル・アップカウントモード, 割込みなし

OCU: FRT と OCCP 一致で RT 出力反転、割込み発生 (OCU 設定例 1,5 と同じ)

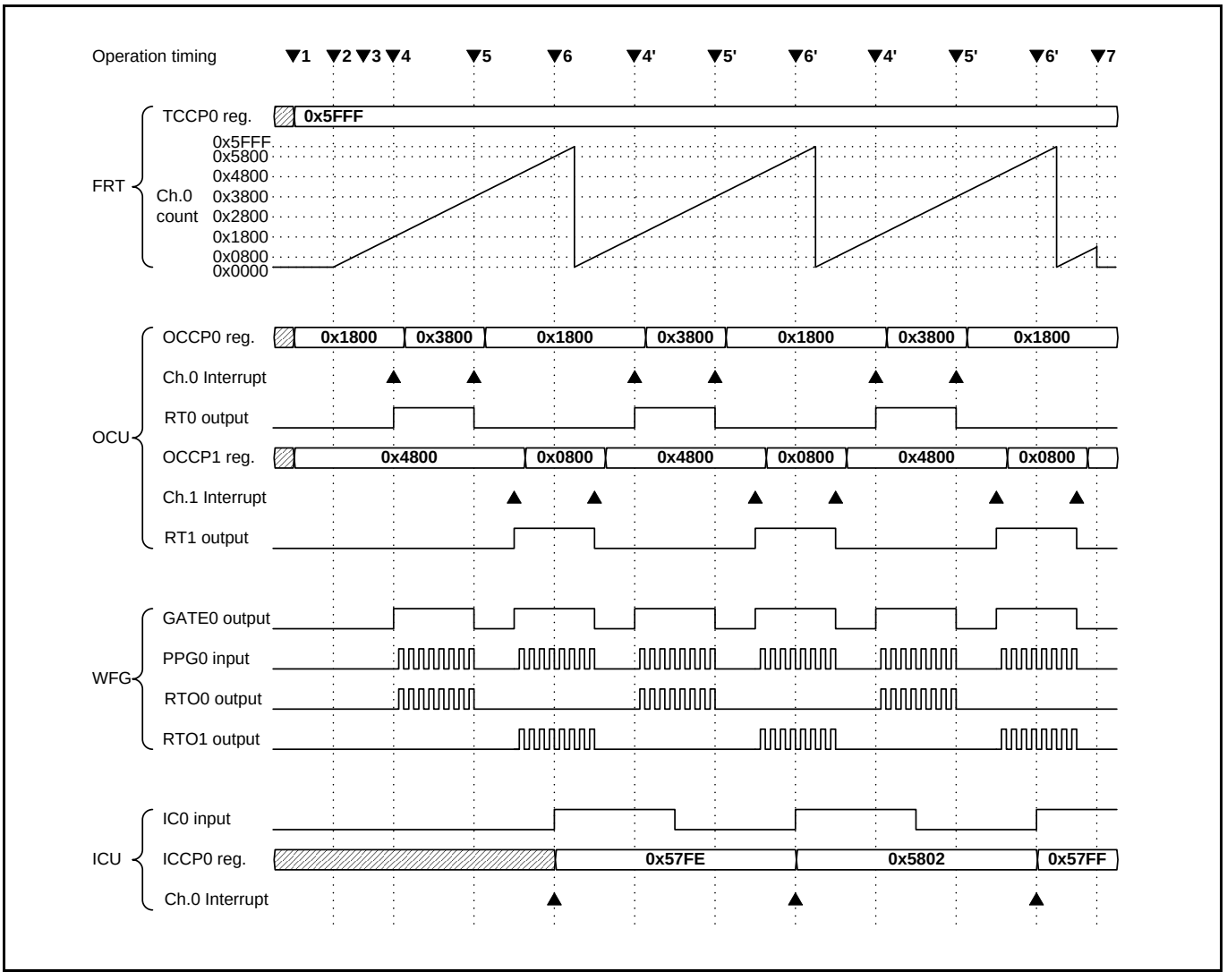
WFG: RT-PPG モード, GATE 信号生成, PPG 信号重畳

ICU: 立上りエッジ検出モード, 割込みあり

5.1.1 タイムチャート

Figure 5-1 に MFT 各ブロックの主なレジスタ，入出力信号のタイムチャートを示します。

Figure 5-1 各ブロックの主なレジスタ，入出力信号のタイムチャート



図は、上段から、動作タイミング, FRT 動作, OCU 動作, WFG 動作, ICU 動作を示します。
以下に、動作タイミング 1～7 での、CPU からの制御内容と各機能ブロックの動作を説明します。また、各タイミングでの CPU のレジスタの設定値の具体例を示します。レジスタの設定内容の詳細については、「3 多機能タイマのレジスタ」を参照してください。このほかに LSI の I/O ポート部, 割込み制御部, PPG の設定が別途必要のため、注意してください。

5.1.2 FRT, OCU の設定と動作

動作タイミング 1

FRT-ch.0 の初期設定(ノーマル・アップカウントモード)を行います。(TCSA0 レジスタ・ライト)

FRT-ch.0 の Peak 値(カウント周期)を設定します。(TCCP0 レジスタ・ライト)
本例では、”0x5FFF”を設定しています。
プリスケーラ設定=1/128, PCLK=40 MHz の条件で、FRT のカウント周期は、78.6432 ms になります。

OCU-ch.0, ch.1 の初期設定を行います。「4.2 OCU 動作説明」の OCU 設定例 1、OCU 設定例 5 の動作を設定します。(FRT と OCCP の一致ごとに RT 出力反転, 割込み発生)また、OCU-ch.0, ch.1 の出力信号(RT0, RT1)の初期出力レベルを指定します。(OCFS10, OCSA10, OCSB10, OCSD10, OCSE0, OCSE1 各レジスタ・ライト)

OCU-ch.0 の出力信号(RT0)の変化タイミングの初期値を設定します。(OCCP0 レジスタ・ライト)。本例では 0x1800 を設定しています。書き込まれた値は、バッファレジスタに書き込まれた後、OCCP0 レジスタに転送されます。

OCU-ch.1 の出力信号(RT1)の変化タイミングの初期値を設定します。(OCCP1 レジスタ・ライト)。本例では”0x4800”を設定しています。書き込まれた値は、バッファレジスタに書き込まれた後、OCCP1 レジスタに転送されます。

動作タイミング 2

FRT-ch.0 にカウント動作開始を指示します。(TCSA0 レジスタ・ライト)

FRT-ch.0 は、Figure 5-1 のように 0x0000 からカウント開始し、TCCP 値(=0x5FFF)までアップカウント動作を行います。その後 0x0000 に戻り、カウント動作を継続します。

動作タイミング 3

OCU-ch.0, ch.1 に動作許可を指示します。(OCSA10 レジスタ・ライト)

動作タイミング 4

OCU-ch.0 は、FRT カウンタ値が 0x1800 になり、OCCP0 の設定値と一致したことを検出して、出力信号(RT0)を Low レベルから High レベルに変化させます。また、CPU に割込みを発生します。

CPU は、OCU-ch.0 の一致検出レジスタ(IOP0)に 1 がセットされていることから、OCU-ch.0 から割込みが発生していることを判別します(OCSA10 レジスタ・リード)。OCU-ch.0 の出力信号(RT0)の変化タイミングを”0x3800”に更新します(OCCP0 レジスタ・ライト)。CPU は、一致検出レジスタをクリアして、割込みから復帰します(OCSA10 レジスタ・ライト)。

動作タイミング 5

OCU-ch.0 は、FRT カウンタ値と OCCP0 の値が一致したことを検出して、出力信号(RT0)を High レベルから Low レベルに変化させます。また、CPU に割込みを発生します

CPU は、OCU-ch.0 からの割込みを判別します(OCSA10 レジスタ・リード)。OCU-ch.0 の OCCP0 レジスタを 0x1800 に更新します(OCCP0 レジスタ・ライト)。CPU は、一致検出レジスタ(IOP0)をクリアし、割込みから復帰します(OCSA10 レジスタ・ライト)。

動作タイミング 4', 5'
以降は、4 と 5 の動作を繰り返すことで、Figure 5-1 のような、RT0 出力信号を得られます。RT1 出力信号についても、同様に割込み発生の都度 OCCP1 レジスタ値を更新します。

5.1.3 WFG の設定と動作

動作タイミング 1
WFG-ch.10 に RT-PPG モード動作を設定します(WFSA10 レジスタ・ライト)。

動作タイミング 2
WFG は、OCU-ch.0 からの RT0 信号が High レベルになると、GATE0 信号をアサートし、PPG-ch.0 に起動指示を行います。PPG-ch.0 は、GATE0 信号がアサートされると、PPG0 信号の出力を開始します。WFG は、RT0 信号が High レベルの期間、RTO0 に PPG 信号を重畳して出力を行います。

動作タイミング 5
WFG は、RT0 信号が Low レベルになると、GATE0 信号をディアサートし、PPG-ch.0 に停止指示をします。PPG-ch.0 は、PPG 信号を Low レベルとし、出力を停止します。WFG は、RTO0 信号を Low レベルとし、出力を停止します。

WFG は、OCU-ch.1 からの RT1 信号に対しても同様の動作を行い、RTO1 に PPG0 信号を重畳して出力を行います。WFG の機能を利用することで、RTO0, RTO1 出力に Figure 5-1 のような DC チョッパ制御波形を出力できます。

5.1.4 ICU の設定と動作

動作タイミング 1
ICU-ch.0 の初期設定を行います。入力信号の立上りエッジ検出動作を設定します。(ICFS10、ICSA10 レジスタ・ライト)。

動作タイミング 6
ICU-ch.0 は、入力信号(IC0)に立上りエッジが検出されると、FRT のカウント値を ICCP0 レジスタに格納します。また、CPU に対し割込みを発生します。

CPU は、ICU-ch.0 の有効エッジ検出レジスタ(ICP0)に 1 がセットされていることから、ICU-ch.0 から割込みが発生していることを判別します(ICSA10 レジスタ・リード)。CPU は、信号の立上りエッジの位置を取り込みます(ICCP0 レジスタ・リード)。CPU は、有効エッジ検出レジスタ(ICP0)をクリアし、割込みから復帰します(ICSA10 レジスタ・ライト)。

5.1.5 処理終了

動作タイミング 7
動作タイミング 7 の処理は、CPU から PWM 信号の出力を終了する手続きを示しています。

OCU-ch.0, ch.1 を動作禁止状態にし、OCU-ch.0, ch.1 の出力信号(RT0,RT1)レベルを設定します。(OCSA10、OCSB10 レジスタ・ライト)。

ICU-ch.0 を動作禁止状態にします(ICSA10 レジスタ・ライト)。

WFG は、OCU の出力が停止すれば、出力信号を変化させません。

FRT-ch.0 にカウント動作停止指示を行います(TCSA0 レジスタ・ライト)。

5.1.6 他のチャネルの処理

上記例では、OCU-を 2 チャネル, WFG を 1 チャネル, ICU を 1 チャネルの動作説明を行いましたが、OCU-6ch, WFG-3ch, ICU-3ch を同じ FRT に接続し、連動制御を行うことで、三相モータ制御を実現できます。

5.1.7 レジスタの設定値詳細

多機能タイマ制御例-1 のレジスタの設定値詳細を Table 5-1～Table 5-4 に示します。

Table 5-1～Table 5-4 の AC 欄と Vlaue 欄に記載されている略表記の意味を以下に示します。

AC (Access)	WW	ワード・ライト・アクセス
	HW	ハーフワード・ライト・アクセス
	BW	バイト・ライト・アクセス
	HR	ハーフワード・リード・アクセス
	BR	バイト・リード・アクセス
Value	数値	ビットフィールドの値を示します。
	NM	レジスタ既設定値と同じ値を書き込むか、レジスタの読出しを行って書き戻すことを示します(No Modify)。
	1(RMW)	レジスタクリアを意図しない場合は、"1"を書き込むことを示します。RMW アクセス(「4.10 イベント検出レジスタと割込みの取り扱いについて」を参照してください)による更新の場合、読み出した値を書き戻せることを示します。
	他	他チャネルの設定ビットで、本説明例に関係しないことを示します。
	DC	読み出された値が無関係であることを示します(Don't Care)。

Table 5-1 制御例-1 のレジスタ設定 1

Timing	Register	AC	bit field	Value	設定内容
1	TCSA0	HW	CLK[3:0]	0111	クロック分周プリスケーラ設定 : 1/128
			SCLR	0	ソフトクリア : 何もしない
			MODE	0	カウントモード設定 : ノーマル・アップカウントモード
			STOP	1	FRT カウント動作 : カウント停止
			BFE	1	TCCP バッファ機能 : 有効
			ICRE	0	ピーク値検出割込み : 禁止
			ICLR	0	ピーク値検出 : クリア
			Reserved	000	-
			IRQZE	0	Zero 値検出割込み : 禁止
			IRQZF	0	Zero 値検出 : クリア
			ECKE	0	使用クロック選択 : 内部クロック
	TCCP0	HW	TCCP	0x5FFF	FRT 周期を設定
	OCFS10	BW	FSO0[3:0]	0000	ch.0 の接続 FRT : FRT ch.0
			FSO1[3:0]	0000	ch.1 の接続 FRT : FRT ch.0
	OCSA10	BW	CST0	0	ch.0 動作状態 : 動作禁止
			CST1	0	ch.1 動作状態 : 動作禁止
			Reserved	00	ch.1 OCCP バッファ機能 : 無効
			IOE0	1	ch.0 割込み : 許可
			IOE1	1	ch.1 割込み : 許可
			IOP0	0	ch.0 一致検出 : クリア
			IOP1	0	ch.1 一致検出 : クリア
	OCSB10	BW	OTD0	0	RT0 出力レベル初期設定 : Low
			OTD1	0	RT1 出力レベル初期設定 : Low
			Reserved	00	-
			CMOD	0	動作モード : FM4 モード指定
			Reserved	00	-
			FM4	1	動作モード : FM4 モード指定-
	OCSD10	HW	OCCP0BUFE[1:0]	00	ch.0 OCCP バッファ機能 : 無効
			OCCP1BUFE[1:0]	00	ch.1 OCCP バッファ機能 : 無効
			OCSE0BUFE[1:0]	00	ch.0 OCSE バッファ転送 : 無効
			OCSE1BUFE[1:0]	00	ch.1 OCSE バッファ転送 : 無効
			OPBM0	0	ch.0 OCCP バッファ割込みマスク連動転送無
			OPBM1	0	ch.1 OCCP バッファ割込みマスク連動転送無
			OEBM0	0	ch.0 OCSE バッファ割込みマスク連動転送無
			OEBM1	0	ch.1 OCSE バッファ割込みマスク連動転送無
			OFEX0	0	ch.0 一致条件拡張無
			OFEX1	0	ch.0 一致条件拡張無
			Reserved	00	-
	OCSE0	HW	OCSE0[15:0]	0x0FFF	ch.0 動作指定 : OCU 設定例 1 参照
	OCSE1	WW	OCSE1[31:0]	0x0FF00FFF	ch.1 動作指定 : OCU 設定例 5 参照
	OCCP0	HW	OCCP	0x1800	ch.0 の変化タイミングを指定
	OCCP1	HW	OCCP	0x4800	ch.1 の変化タイミングを指定

Table 5-2 制御例-1 のレジスタ設定 2

Timing	Register	AC	bit field	Value	設定内容
1	WFSA10	HW	DCK[2:0]	000	クロック分周プリスケーラ設定 : 1/1(設定無効)
			TMD[2:0]	001	動作モード : RT-PPG モードを選択
			GTEN[1:0]	11	Gate: GATE0 = RT0 | RT1
			PSEL[1:0]	00	接続 PPG : PPG0
			PGEN[1:0]	11	PPG :RTO0=RT0&PPG0, RTO1=RT1&PPG0
			DMOD[1:0]	00	出力極性 : 正極性
			Reserved	00	-
	ICFS10	BW	FSI0[3:0]	0000	ch.0 の接続 FRT : FRT ch.0
			FSI1[3:0]	他	-
	ICSA10	BW	EG0[1:0]	01	ch.0 動作状態 : 動作許可, 立上りエッジ
			EG1[1:0]	他	-
			ICE0	1	ch.0 割込み : 許可
			ICE1	他	-
			ICP0	0	ch.0 エッジ検出 : クリア
			ICP1	他	-
2	TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 :
			SCLR	NM	ソフトクリア :
			MODE	NM	カウントモード設定 :
			STOP	0	FRT カウント動作 : カウント開始
			BFE	NM	TCCP バッファ機能 :
			ICRE	NM	ピーク値検出割込み :
			ICLR	1(RMW)	ピーク値検出 : 何もしない
			Reserved	NM	-
			IRQZE	NM	Zero 値検出割込み :
			IRQZF	1(RMW)	Zero 値検出 : 何もしない
			ECKE	NM	使用クロック選択 :
3	OCSA10	BW	CST0	1	ch.0 動作状態 : 動作許可
			CST1	1	ch.1 動作状態 : 動作許可
			Resreved	00	-
			IOE0	NM	ch.0 割込み :
			IOE1	NM	ch.1 割込み :
			IOP0	1	ch.0 一致検出 : 何もしない
			IOP1	1	ch.1 一致検出 : 何もしない
4	OCSA10	BR	CST0	DC	ch.0 動作状態 :
			CST1	DC	ch.1 動作状態 :
			Resreved	DC	-
			IOE0	DC	ch.0 割込み :
			IOE1	DC	ch.1 割込み :
			IOP0	1	ch.0 一致検出 : 一致検出あり
			IOP1	0	ch.1 一致検出 : 一致検出なし

Table 5-3 制御例-1 のレジスタ設定 3

Timing	Register	AC	bit field	Value	設定内容
4	OCCP0	HW	OCCP0	0x3800	ch.0 の変化タイミングを指定
	OCSA10	BW	CST0	NM	ch.0 動作状態 :
			CST1	NM	ch.1 動作状態 :
			Reserved	NM	-
			IOE0	NM	ch.0 割込み :
			IOE1	NM	ch.1 割込み :
			IOP0	0	ch.0 一致検出 : レジスタクリア
			IOP1	1(RMW)	ch.1 一致検出 : 何もしない
5	OCSA10	BR	CST0	DC	ch.0 動作状態 :
			CST1	DC	ch.1 動作状態 :
			Resreved	DC	-
			IOE0	DC	ch.0 割込み :
			IOE1	DC	ch.1 割込み :
			IOP0	1	ch.0 一致検出 : 一致検出あり
			IOP1	0	ch.1 一致検出 : 一致検出なし
	OCCP0	HW	OCCP0	0x1800	ch.0 の変化タイミングを指定
	OCSA10	BW	CST0	NM	ch.0 動作状態 :
			CST1	NM	ch.1 動作状態 :
			Resreved	DC	-
			IOE0	NM	ch.0 割込み :
			IOE1	NM	ch.1 割込み :
			IOP0	0	ch.0 一致検出 : レジスタクリア
			IOP1	1(RMW)	ch.1 一致検出 : 何もしない
6	ICSA10	BR	EG0[1:0]	DC	ch.0 動作状態 :
			EG1[1:0]	DC	ch.1 動作状態 :
			ICE0	DC	ch.0 割込み :
			ICE1	DC	ch.1 割込み :
			ICP0	1	ch.0 エッジ検出 : エッジ検出あり
			ICP1	0	ch.1 エッジ検出 : エッジ検出なし
	ICCP0	HR	ICCP0	0x57FE	ch.0 のキャプチャ値を取り込み
	ICSA10	BW	EG0[1:0]	NM	ch.0 動作状態 :
			EG1[1:0]	NM	ch.1 動作状態 :
			ICE0	NM	ch.0 割込み :
			ICE1	NM	ch.1 割込み :
			ICP0	0	ch.0 エッジ検出 : クリア
			ICP1	1(RMW)	ch.1 エッジ検出 : 何もしない

Table 5-4 制御例-1 のレジスタ設定 4

Timing	Register	AC	bit field	Value	設定内容
7	OCSA10	BW	CST0	0	ch.0 動作状態:禁止
			CST1	0	ch.1 動作状態:禁止
			Reserved	NM	-
			IOE0	NM	ch.0 割込み ：
			IOE1	NM	ch.1 割込み ：
			IOP0	1	ch.0 一致検出 ： 何もしない
			IOP1	1	ch.1 一致検出 ： 何もしない
	OCSB10	BW	OTD0	0	RT0 出力レベル ：Low
			OTD1	0	RT1 出力レベル ：Low
			Reserved	NM	-
			CMOD	NM	動作モード ：
			Reserved	NM	-
			FM4	NM	動作モード
	ICSA10	BW	EG0[1:0]	00	ch.0 動作状態 ： 動作禁止
			EG1[1:0]	00	ch.1 動作状態 ： 動作禁止
			ICE0	NM	ch.0 割込み ：
			ICE1	NM	ch.1 割込み ：
			ICP0	1	ch.0 エッジ検出 ： 何もしない
			ICP1	1	ch.1 エッジ検出 ： 何もしない
	TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 ：
			SCLR	1	ソフトクリア ：FRT の初期化
			MODE	NM	カウントモード設定 ：
			STOP	1	FRT カウント動作 ： カウント停止
			BFE	NM	TCCP バッファ機能 ：
			ICRE	NM	ピーク値検出割込み ：
			ICLR	1	ピーク値検出 ： 何もしない
			Reserved	NM	-
			IRQZE	NM	Zero 値検出割込み ：
			IRQZF	1	Zero 値検出 ： 何もしない
			ECKE	NM	使用クロック選択 ：

5.2 多機能タイマの制御例-2

多機能タイマ制御例-2 では、各機能ブロックを以下のモードで動作させる例を説明します。

FRT: ノーマル・アップダウンカウントモード, Zero 検出割込みあり

OCU: RT1 の変化位置が、FRT の Up 側と Down 側で同じとなる Active High 波形出力(OCU 設定例 6 と同じ)

WFG: RT-デッドタイマモード

ADCMP: アップカウント時の一致条件で変換起動指示(ADCMP 設定例 2 と同じ)

5.2.1 タイムチャート

Figure 5-2 に MFT 各ブロックの主なレジスタ, 入出力信号のタイムチャートを示します。

Figure 5-2 各ブロックの主なレジスタ, 入出力信号のタイムチャート

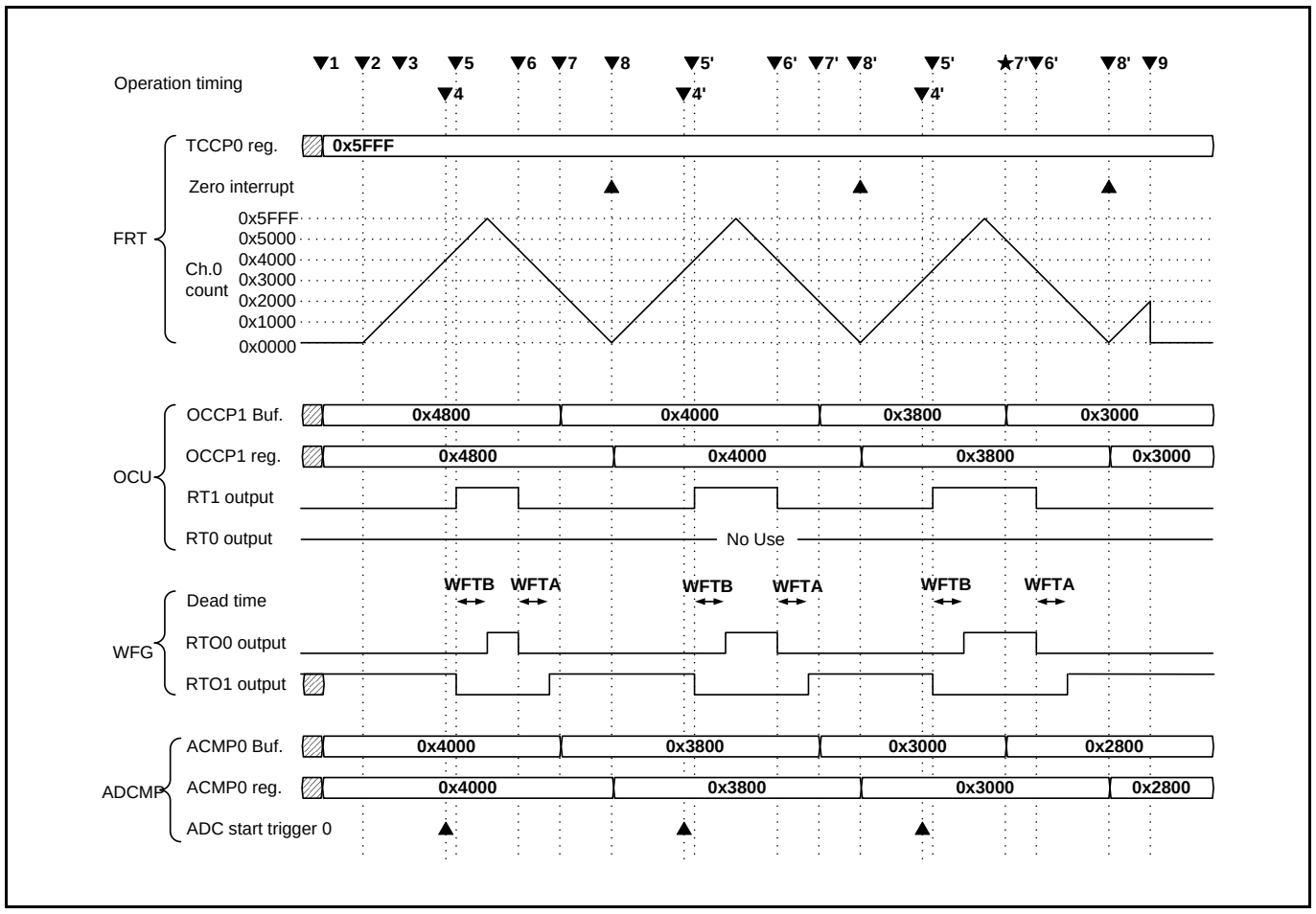


Figure 5-2 は、上段から、動作タイミング, FRT 動作, OCU 動作, WFG 動作, ADCMP 動作を示します。以下に、動作タイミング 1～9 での、CPU からの制御内容と各機能ブロックの動作を説明します。また、各タイミングでの CPU のレジスタの設定値の具体例を示します。レジスタの設定内容の詳細については「3 多機能タイマのレジスタ」を参照してください。このほかに LSI の I/O ポート部, 割込み制御部, ADC 部の設定が別途必要のため、注意してください。

5.2.2 FRT, OCU,ADCMP の設定と動作

動作タイミング 1

FRT-ch.0 の初期設定(ノーマル・アップダウンカウントモード)を行います。(TCSA0 レジスタ・ライト)

FRT-ch.0 の Peak 値(カウント周期)を設定します(TCCP0 レジスタ・ライト)。
本例では、0x5FFF を設定しています。
プリスケーラ設定=1/4, PCLK=40 MHz の条件で、FRT のカウント周期は、4.915 ms になります。

OCU-ch.1 の初期設定を行います。「4.2 OCU 動作説明」の OCU 設定例 6 の動作を設定します。(OCU の RT1 の変化位置が、FRT の Up 側と Down 側で同じとなる Active High 波形出力)また、OCU-ch.1 の出力信号(RT1)の初期出力レベルを指定します。(OCFS10, OCSA10, OCSB10, OCSD10, OCSE1 各レジスタ・ライト)

OCU-ch.1 の出力信号(RT1)の変化タイミングの初期値を設定します(OCCP1 レジスタ・ライト)。本例では"0x4800"を設定しています。書き込まれた値は、バッファレジスタに書き込まれた後、OCCP1 レジスタに転送されます。

ADCMP-ch.0 の初期設定を行います。「4.6 ADCMP 動作説明」の ADCMP 設定例 2 の動作を設定します。(FRT のカウントアップ中の一致検出で ADC 変換起動指示)(ACFS10, ACSC0 レジスタ・ライト)。

ADCMP-ch.0 の起動タイミングの初期値を設定します。(ACMP0 レジスタ・ライト)。本例では、0x4000 を設定しています。書き込まれた値は、バッファレジスタに書き込まれた後、ACMP0 レジスタに転送されます。

動作タイミング 2

FRT-ch.0 にカウント動作開始を指示します(TCSA0 レジスタ・ライト)。

FRT-ch.0 は、Figure 5-2 のように、0x0000 からカウント開始し、TCCP 値(=0x5FFF)まで、アップカウント動作を行います。その後、カウント方向が切り換わり、0x0000 まで、ダウンカウント動作を行います。その後、このカウント動作を継続します。

動作タイミング 3

OCU-ch.1 に動作許可を指示します(OCSA10 レジスタ・ライト)。

ADCMP-ch.0 に動作許可を指示します(ACSD0 レジスタ・ライト)。

動作タイミング 4

ADCMP-ch.0 は、FRT カウンタ値がカウントアップ中に 0x4000 になり、ACMP0 の設定値と一致したことを検出して、ADC 起動信号を出力します。

動作タイミング 5

OCU-ch.1 は、FRT カウンタ値がカウントアップ中に 0x4800 になり、OCCP1 の設定値と一致したことを検出して、出力信号(RT1)を Low レベルから High レベルに変化させます。

動作タイミング 6

OCU-ch.1 は、FRT カウンタ値がカウントダウン中に 0x4800 になり、OCCP1 の設定値と一致したことを検出して、出力信号(RT1)を High レベルにから Low レベルに変化させます。

動作タイミング 7

CPU は、次の FRT 周期での OCU-ch.1 の出力信号(RT1)の変化タイミング、ADCMP-ch.0 の起動タイミングを設定します。(OCCP1、ACMP0 レジスタ・ライト)。OCCP1 と ACMP0 のバッファ機能有効、Zero 値検出転送モードが選択されているため、書き込まれた値はいったんバッファレジスタに格納されます。次に FRT カウンタ値が Zero 値になった時点(動作タイミング 8)に、バッファレジスタの値が OCCP1、ACMP0 レジスタに転送され、

OCU 出力、ADC 起動信号出力に反映されます。このため、図の★のタイミングのように、5 のタイミングの前に書込みが行われても、出力信号(RT1)の変化タイミングには影響がありません。

動作タイミング 8

FRT-ch.0 は、カウント値が 0x0000 から 0x0001 にカウント動作するタイミングで、CPU に対し、Zero 値検出割込みを発生します(FRT の起動直後の 2 のタイミングでは、割込みは発生しません)。

CPU は、FRT-ch.0 の Zero 値検出レジスタに 1 がセットされていることから、FRT-ch.0 から割込みが発生していることを判別します(TCSA0 レジスタ・リード)。CPU は、Zero 値検出レジスタをクリアし、割込みから復帰します(TCSA0 レジスタ・ライト)。

動作タイミング 4'～8'

以降は、4～8 の動作を繰り返すことで、図のように、OCU の RT1 の変化位置が、FRT の Up 側と Down 側で同じとなる Active High 波形出力が得られます。

5.2.3 WFG の設定と動作

動作タイミング 1

WFG-ch.10 に RT-デッドタイマモードの初期設定を行います(WFSA10 レジスタ・ライト)。WFG に、このモード設定を行った時点で、WFG の出力信号(RTO0)は、OCU-ch.1 の出力信号(RT1)に対し、同じレベル、WFG の出力信号(RTO1)は、逆のレベルの信号が出力されます。

WFG-ch.10 にデッドタイムを設定します(WFTA、WFTB レジスタ・ライト)。
本例では、0x0010 を設定しており、WFG のプリスケーラ設定=1/2、PCLK=40 MHz の条件で、挿入されるデッドタイムは 0.8 µs です。

動作タイミング 4

RT1 信号が Low レベルから High レベルに変化すると、RTO1 信号が、High レベルから Low レベルに変化します。WFTB レジスタ指定のデッドタイム後、RTO0 信号が、Low レベルから High レベルに変化します。

動作タイミング 5

RT1 信号が High レベルから Low レベルに変化すると、RTO0 信号が、High レベルから Low レベルに変化します。WFTA レジスタ指定のデッドタイム後、RTO1 信号が、Low レベルから High レベルに変化します。

5.2.4 処理終了

動作タイミング 9

動作タイミング 9 の処理は、PWM 信号の出力を終了する手続きを示しています。

OCU-ch.1 を動作禁止状態にし、OCU-ch.1 の出力信号(RT1)レベルを設定します。(OCSA10, OCSB10 レジスタ・ライト)。

ADCMP-ch.0 を動作禁止状態にします(ACSD0 レジスタ・ライト)。

WFG は、OCU の出力が停止すれば、出力信号を変化させません。

FRT-ch.0 にカウント動作停止指示を行います(TCSA0 レジスタ・ライト)。

上記例では、OCU-を 1 チャネル, WFG を 1 チャネル, ADCMP を 1 チャネルの動作説明を行いましたが、OCU-3ch, WFG-3ch, ADCMP-3ch を同じ FRT に接続し、連動制御を行うことで、三相モータ制御を実現できます。

5.2.5 レジスタの設定値詳細

多機能タイマ制御例-2 のレジスタの設定値詳細を Table 5-5～Table 5-8 に示します。

各表の AC 欄と Vlaue 欄に記載されている略表記の意味は、制御例-1 と同じです。

Table 5-5 制御例-2 のレジスタ設定 1

Timing	Register	AC	bit field	値	設定内容
1	TCSA0	HW	CLK[3:0]	0010	クロック分周プリスケーラ設定 : 1/4
			SCLR	0	ソフトクリア : 何もしない
			MODE	1	カウントモード : ノーマル・アップダウンカウントモード
			STOP	1	FRT カウント動作 : カウント停止
			BFE	1	TCCP バッファ機能 : 有効
			ICRE	0	ピーク値検出割込み : 禁止
			ICLR	0	ピーク値検出 : クリア
			Reserved	000	-
			IRQZE	1	Zero 値検出割込み : 許可
			IRQZF	0	Zero 値検出 : クリア
			ECKE	0	使用クロック選択 : 内部クロック
	TCCP0	HW	TCCP	0x5FFF	FRT 周期を設定します。
	OCFS10	BW	FSO0[3:0]	他	ch.0 の接続 FRT :
			FSO1[3:0]	0000	ch.1 の接続 FRT : FRT ch.0
	OCSA10	BW	CST0	他	ch.0 動作状態 :
			CST1	0	ch.1 動作状態 : 動作禁止
			Reserved	00	-
			IOE0	他	ch.0 割込み :
			IOE1	0	ch.1 割込み : 禁止
			IOP0	他	ch.0 一致検出 :
			IOP1	0	ch.1 一致検出 : クリア
	OCSB10	BW	OTD0	他	RT0 出力レベル :
			OTD1	0	RT1 出力レベル : Low
			Reserved	00	-
			CMOD	0	動作モード : FM4 モード指定
			Reserved	00	-
			FM4	1	動作モード : FM4 モード指定-
	OCSD10	HW	OCCP0BUFE[1:0]	他	ch.0 OCCP バッファ機能
			OCCP1BUFE[1:0]	01	ch.1 OCCP バッファ機能 : 有効、Zero 転送
			OCSE0BUFE[1:0]	他	ch.0 OCSE バッファ転送 :
			OCSE1BUFE[1:0]	00	ch.1 OCSE バッファ転送 : 無効
			OPBM0	他	ch.0 OCCP バッファ割込みマスク連動転送
			OPBM1	0	ch.1 OCCP バッファ割込みマスク連動転送無
			OEBM0	他	ch.0 OCSE バッファ割込みマスク連動転送
			OEBM1	0	ch.1 OCSE バッファ割込みマスク連動転送無
			OFEX0	他	ch.0 一致条件拡張
			OFEX1	0	ch.0 一致条件拡張無
			Reserved	00	-

Table 5-6 制御例-2 のレジスタ設定 2

Timing	Register	AC	bit field	値	設定内容
1	OCSE1	WW	OCSE1[31:0]	0x8520852D	ch.1 動作指定 : OCU 設定例 5 参照
	OCCP1	HW	OCCP	0x4800	ch.1 の変化タイミングを指定
	ACFS10	BW	FSA0[3:0]	0000	ch.0 の接続 FRT : FRT ch.0
			FSA1[3:0]	他	ch.1 の接続 FRT :
	ACSC0	BW	BUFE[1:0]	01	ch.0 ACMP バッファ機能 : 有効、Zero 転送
			ADSEL[2:0]	000	ch.0 ADC 選択 : start trigger0
			APBM	0	Ch.0 ACMP バッファ割込みマスク連動転送無
			Reserved	00	-
	ACMP0	HW	ACMP0[15:0]	0x4000	ch.0 の起動タイミングを指定
	WFSA10	HW	DCK[2:0]	001	クロック分周プリスケーラ設定 : 1/2
			TMD[2:0]	100	動作モード : RT-デッドタイマモードを選択
			GTEN[1:0]	00	Gate 信号生成 : 設定無効
			PSEL[1:0]	00	接続 PPG : 設定無効
			PGEN[1:0]	00	PPG 反映 : 設定無効
			DMOD[1:0]	00	出力極性 : 正極性
			Reserved	00	-
	WFTA10	HW	WFTA	0x0010	デッドタイム値を設定
	WFTB10	HW	WFTB	0x0010	デッドタイム値を設定
2	TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 :
			SCLR	NM	ソフトクリア :
			MODE	NM	カウントモード設定 :
			STOP	0	FRT カウント動作 : カウント開始
			BFE	NM	TCCP バッファ機能 :
			ICRE	NM	ピーク値検出割込み :
			ICLR	1(RMW)	ピーク値検出 : 何もしない
			Reserved	NM	-
			IRQZE	NM	Zero 値検出割込み :
			IRQZF	1(RMW)	Zero 値検出 : 何もしない
			ECKE	NM	使用クロック選択 :
3	OCSA10	BW	CST0	NM	ch.0 動作状態 :
			CST1	1	ch.1 動作状態:動作許可
			BDIS0	NM	ch.0 OCCP バッファ機能 :
			BDIS1	NM	ch.1 OCCP バッファ機能 :
			IOE0	NM	ch.0 割込み :
			IOE1	NM	ch.1 割込み :
			IOP0	1	ch.0 一致検出 : 何もしない
			IOP1	1	ch.1 一致検出 : 何もしない

Table 5-7 制御例-2 のレジスタ設定 3

Timing	Register	AC	bit field	Value	設定内容
3	ACSD0	BW	AMOD	0	ch.0 の動作モード :ノーマルモード
			OCUS	0	オフセット時の OCCP 選択 無効設定:
			Rserved	0	-
			DE	0	ch.0 FRT=ダウン時起動：動作禁止 :
			PE	0	ch.0 FRT=Peak 時起動：動作禁止 :
			UE	1	ch.0 FRT=アップ時起動：動作許可 :
			ZE	1	ch.0 FRT=0x0000 時起動：動作許可
7	OCCP1	HW	OCCP1	0x4000	ch.1 の変化タイミングを指定
	ACMP0	HW	ACMP0	0x3800	ch.0 の起動タイミングを指定
8	TCSA0	HR	CLK[3:0]	DC	クロック分周プリスケーラ設定 :
			SCLR	DC	ソフトクリア :
			MODE	DC	カウントモード設定 :
			STOP	DC	FRT カウント動作 :
			BFE	DC	TCCP バッファ機能 :
			ICRE	DC	ピーク値検出割込み :
			ICLR	DC	ピーク値検出 :
			Reserved	DC	-
			IRQZE	DC	Zero 値検出割込み :
			IRQZF	1	Zero 値検出 : Zero 値検出
			ECKE	DC	使用クロック選択 :
	TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 :
			SCLR	NM	ソフトクリア :
			MODE	NM	カウントモード設定 :
			STOP	NM	FRT カウント動作 :
			BFE	NM	TCCP バッファ機能 :
			ICRE	NM	ピーク値検出割込み :
			ICLR	1(RMW)	ピーク値検出 : 何もしない
			Reserved	NM	-
			IRQZE	NM	Zero 値検出割込み :
			IRQZF	0	Zero 値検出 : レジスタクリア
			ECKE	NM	使用クロック選択 :

Table 5-8 制御例-2 のレジスタ設定 4

Timing	Register	AC	bit field	Value	設定内容
9	OCSA10	BW	CST0	NM	ch.0 動作状態:
			CST1	0	ch.1 動作状態:禁止
			Reserved	NM	-
			IOE0	NM	ch.0 割込み ：
			IOE1	NM	ch.1 割込み ：
			IOP0	1	ch.0 一致検出 ： 何もしない
			IOP1	1	ch.1 一致検出 ： 何もしない
	OCSB10	BW	OTD0	NM	RT0 出力レベル ：
			OTD1	0	RT1 出力レベル ：Low
			Reserved	NM	-
			CMOD	NM	動作モード ：
			Rserved	NM	-
			FM4	NM	動作モード
	ACSD0	BW	AMOD	NM	ch.0 の動作モード ：
			OCUS	NM	オフセット時の OCCP 選択 : :
			Rserved	NM	-
			DE	0	ch.0 FRT=ダウン時起動：禁止 ：
			PE	0	ch.0 FRT=Peak 時起動：禁止 ：
			UE	0	ch.0 FRT=アップ時起動：禁止 ：
			ZE	0	ch.0 FRT=0x0000 時起動：禁止
	TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 ：
			SCLR	1	ソフトクリア ：FRT の初期化
			MODE	NM	カウントモード設定 ：
			STOP	1	FRT カウント動作 ： カウント停止
			BFE	NM	TCCP バッファ機能 ：
			ICRE	NM	ピーク値検出割込み ：
			ICLR	1	ピーク値検出 ： 何もしない
			Reserved	NM	-
			IRQZE	NM	Zero 値検出割込み ：
			IRQZF	1	Zero 値検出 ： 何もしない
			ECKE	NM	使用クロック選択 ：

6. 多機能タイマ入出力信号詳細タイミング

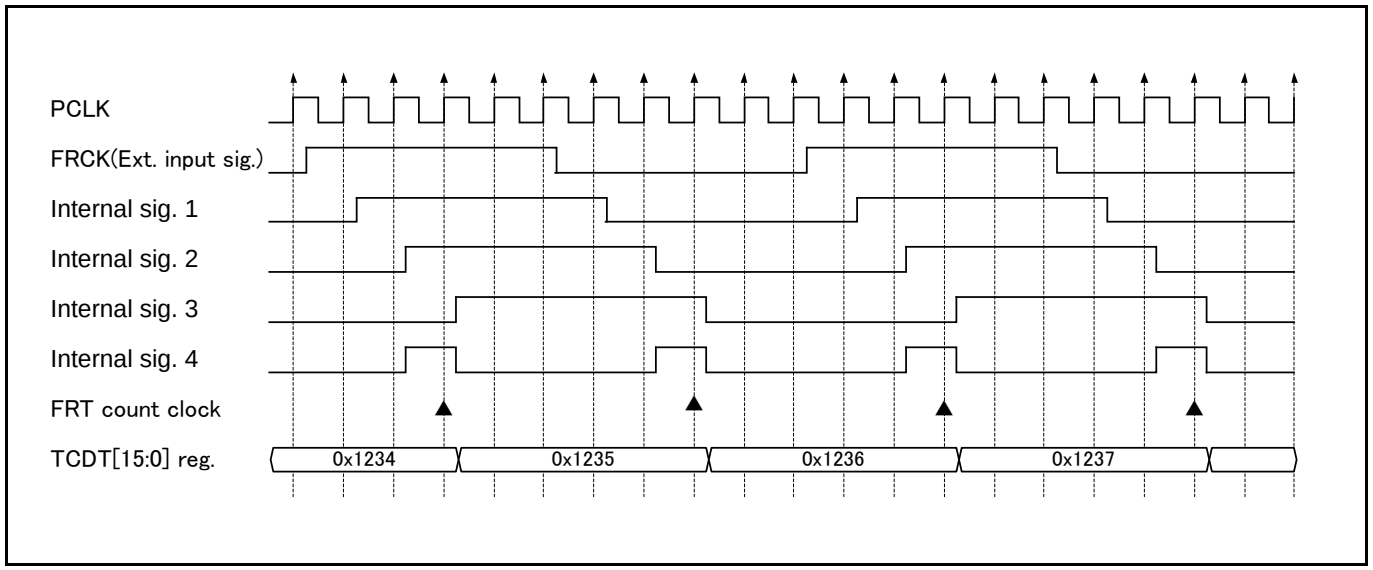
多機能タイマの入出力信号の詳細タイミングチャートを記載します。

6.1. 外部入力クロック使用時の FRT 動作詳細タイミング
6.2. OCU,WFG 動作詳細タイミング
6.3. ADCMP 動作詳細タイミング
6.4. ICU 動作詳細タイミング
6.5. DTTIX 入力詳細タイミング

6.1 外部入力クロック使用時の FRT 動作詳細タイミング

Figure 6-1 に、外部入力クロック(FRCK)を使用した場合の FRT カウント動作のタイミングチャートを示します。

Figure 6-1 FRT 動作タイミングチャート(外部入力クロック使用時)



6.2 OCU,WFG 動作詳細タイミング

Figure 6-2,Figure 6-3 に、OCU, WFG の動作タイミングチャートを示します。OCU にて、一致検出した場合の、IOP レジスタ, RTx 出力信号, および WFG の RTOx 出力信号変化を示しています。

Figure 6-2 は、WFG にてスルーモード(WFSA.TMD=000)を選択した場合の例です。FRT は PCLK の分周クロックでカウント動作します。図は 4 分周(TCSA.CLK[3:0]=0010)の例です。

WFG の RTOx 信号は、OCU の RTx 信号から、PCLK で 1 サイクル後に変化します。RTOx 信号は、マイコンの外部出力端子です。外部出力端子の負荷容量に応じ遅延が生じます。

Figure 6-2 OCU-WFG 動作タイミングチャート(WFG スルーモード)

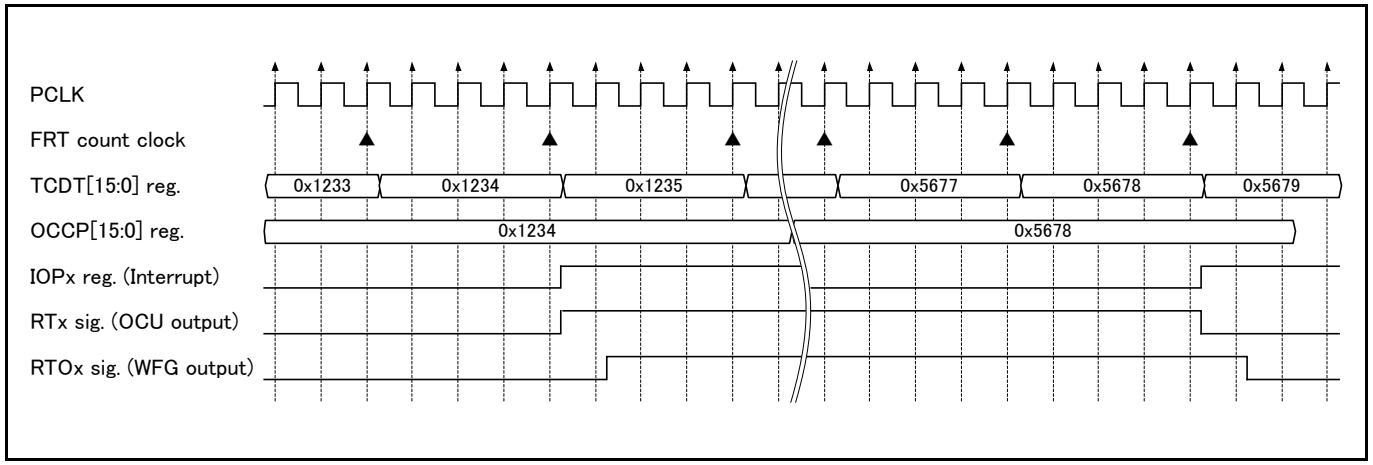
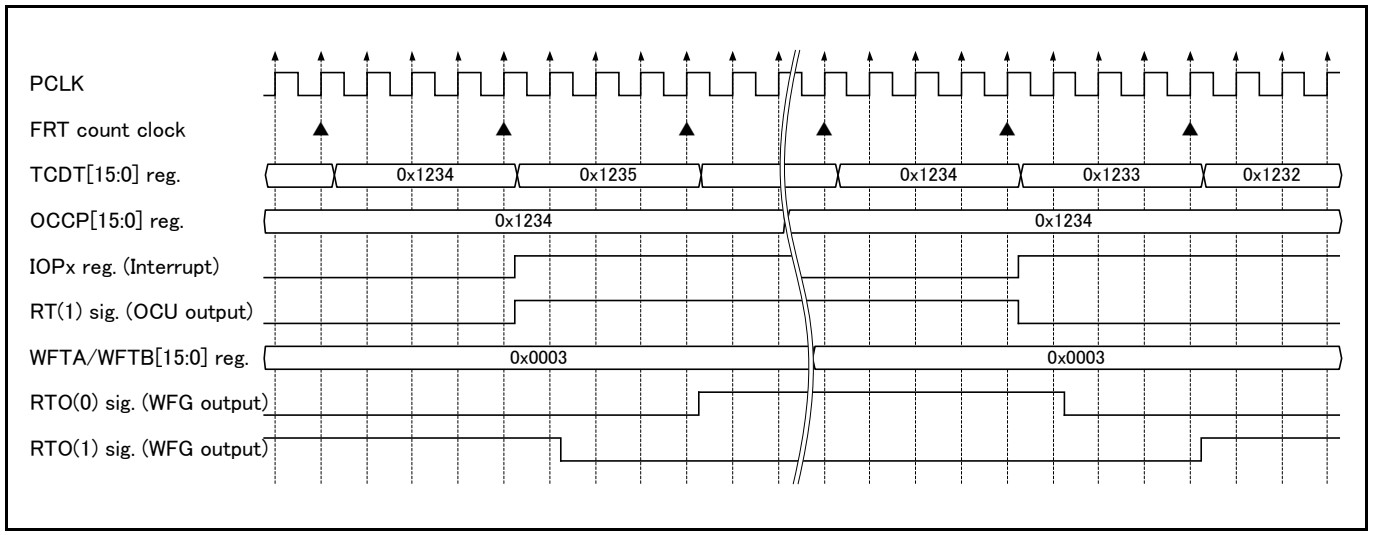


Figure 6-3 は、WFG にて RT デッドタイマモード(WFSA.TMD=100)を選択した場合の例です。
WFTA/WFTB=0x0003、WFSA.DCK=000 の指定で、3*PCLK 時間分のデッドタイムが挿入されている例を示します。

WFG の RTO(0)、RTO(1)信号は、それぞれ、デッドタイムが挿入されない場合、OCU の RT(1)信号から、PCLK で 1 サイクル後に変化します。デッドタイムが挿入される場合は、PCLK で 1 サイクル後、指定したデッドタイム時間後に出力が変化します。

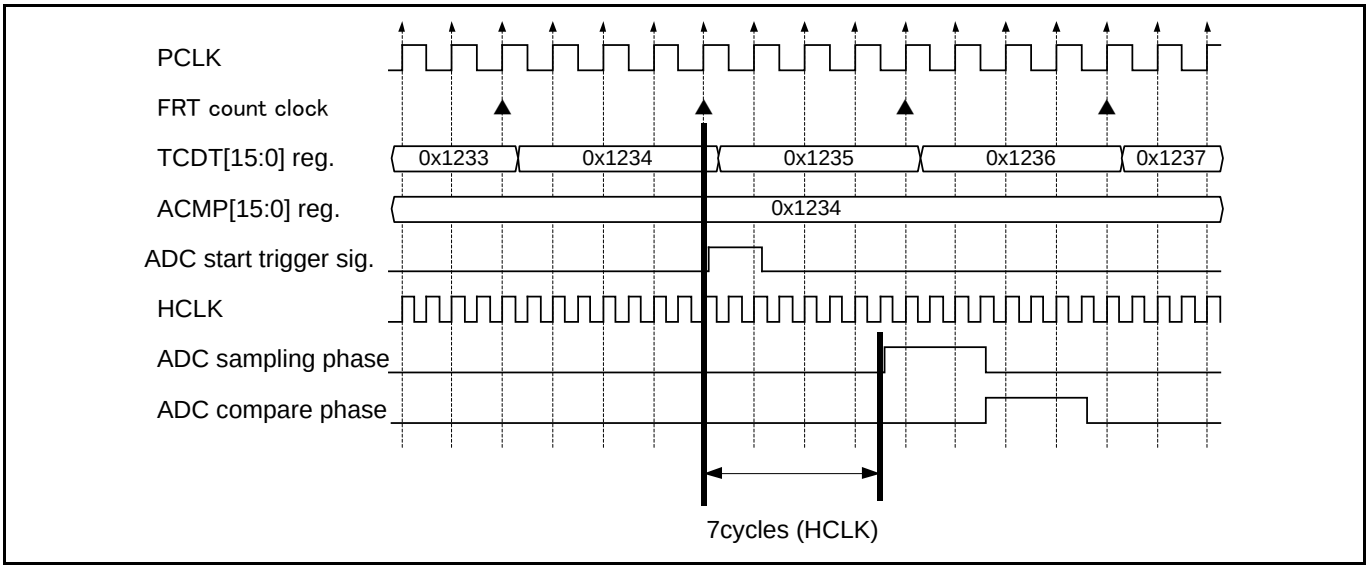
Figure 6-3 OCU-WFG 動作タイミングチャート(WFG RT デッドタイマモード)



6.3 ADCMP 動作詳細タイミング

Figure 6-4 に、ADCMP の動作タイミングチャートを示します。ADCMP にて、FRT カウンター致検出から、ADC 起動開始までの動作タイミングを示しています。FRT カウントクロックの一致検出から ADC の変換開始まで、HCLK で 7 サイクル分の時間を要します。ADC のサンプリング時間指定、コンペア時間指定は、ADC 側で設定を行います。

Figure 6-4 ADCMP 動作タイミングチャート



6.4 ICU 動作詳細タイミング

Figure 6-5, Figure 6-6 に、ICU の動作のタイミングチャートを示します。外部入力端子(IC x)の信号変化から、ICCP レジスタに FRT カウント値がキャプチャされる動作と、ICP レジスタ(割り込みフラグ)がセットされる動作を記載しています。キャプチャタイミングは、FRT のカウントクロックの影響を受けず、入力信号の変化タイミングのみで決定します。

Figure 6-5 ICU 動作タイミングチャート(入力信号立上り)

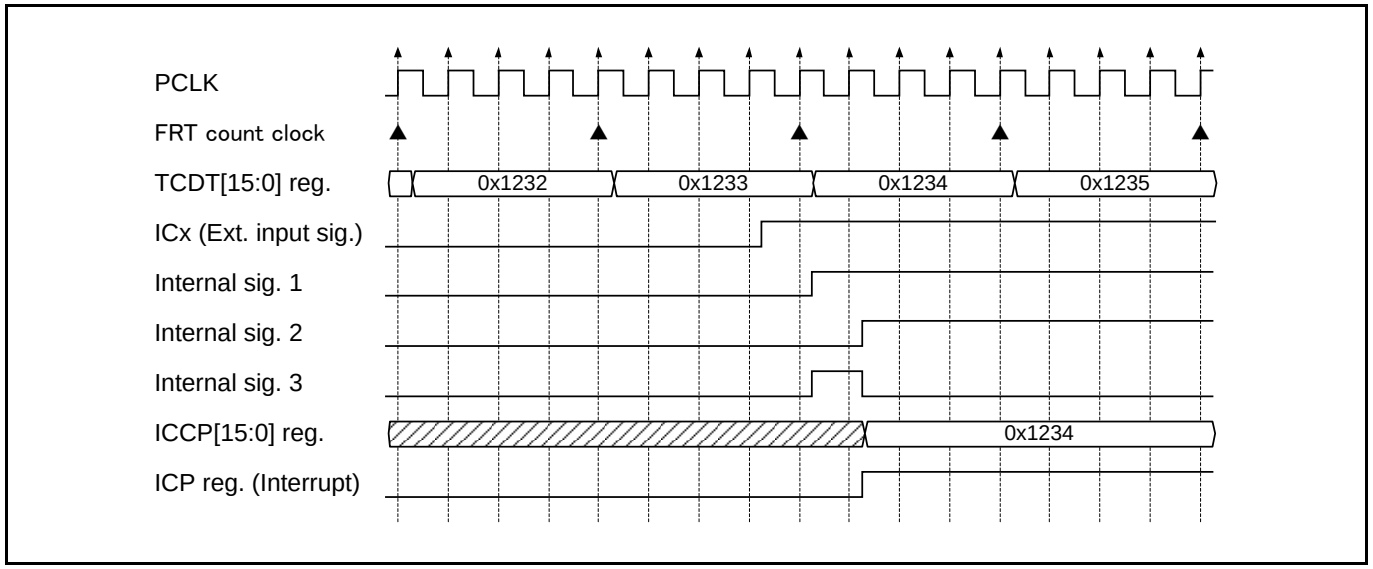
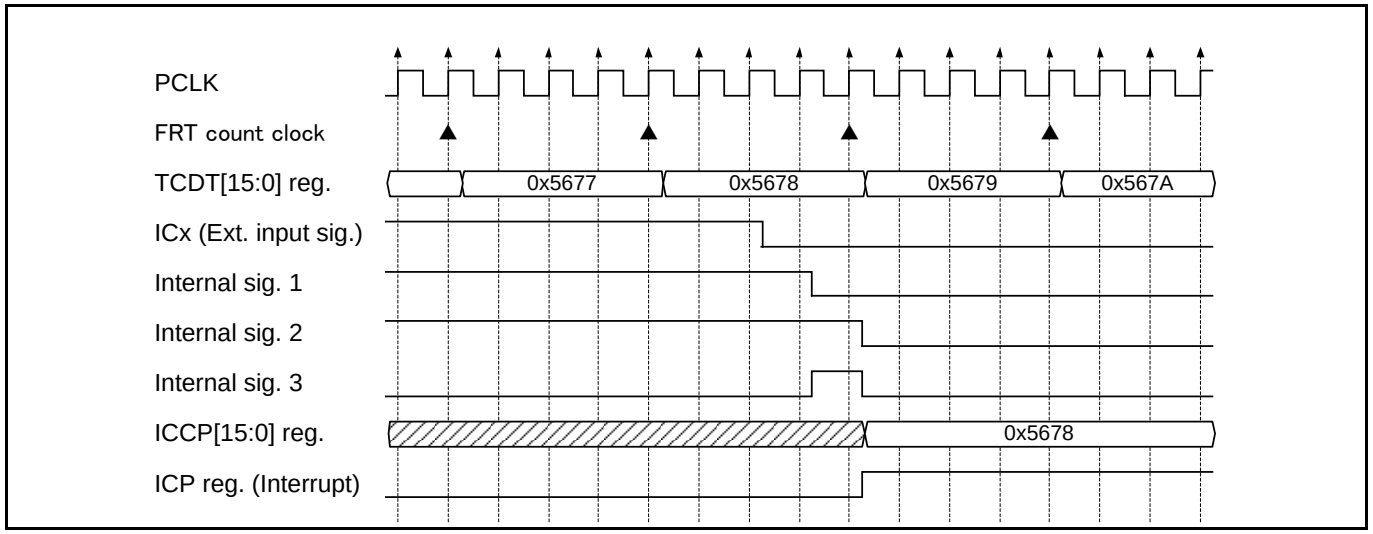


Figure 6-6 ICU 動作タイミングチャート(入力信号立下り)



6.5 DTTIX 入力詳細タイミング

Figure 6-7 に、DTTIX 信号からデジタルノイズフィルタ経由で、DTIF 割込みにより、I/O ポート出力が切り替わるまでのタイミングチャートを示します。

Figure 6-7 DTTIX-DTIF タイミングチャート(デジタルノイズフィルタ経由)

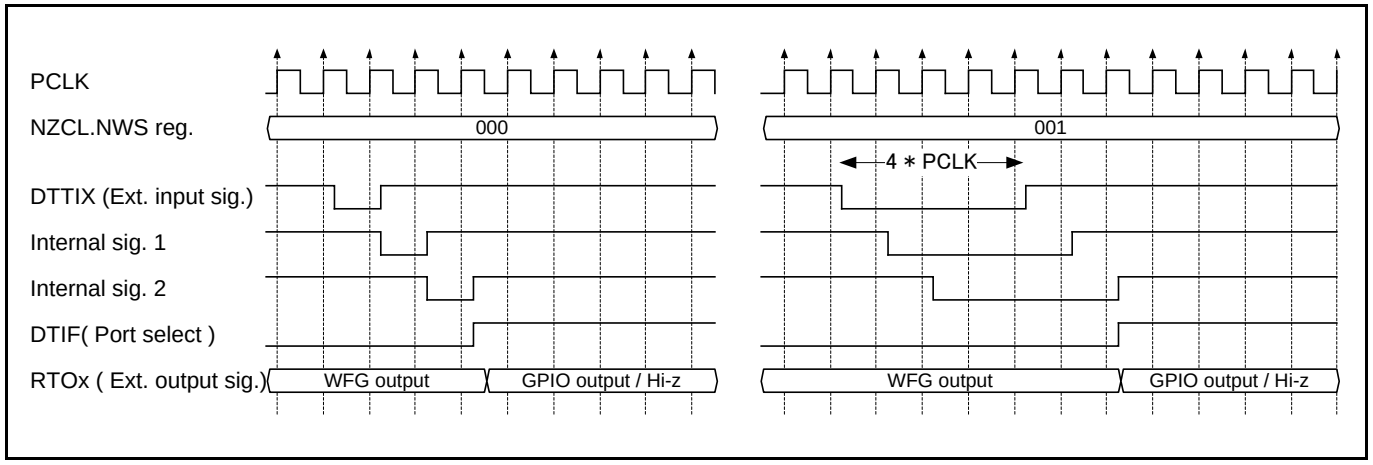
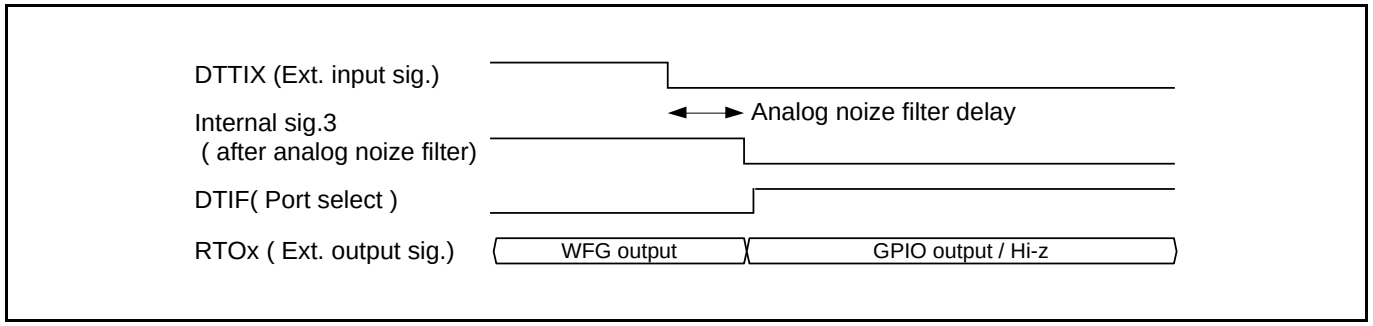


Figure 6-8 に、DTTIX 信号からアナログノイズフィルタ経由で、DTIF 割込みにより、I/O ポート出力が切り替わるまでのタイミングチャートを示します。

Figure 6-8 DTTIX-DTIF タイミングチャート(アナログノイズフィルタ経由)



CHAPTER 7-1: PPG 構成

PPG 機能について説明します。

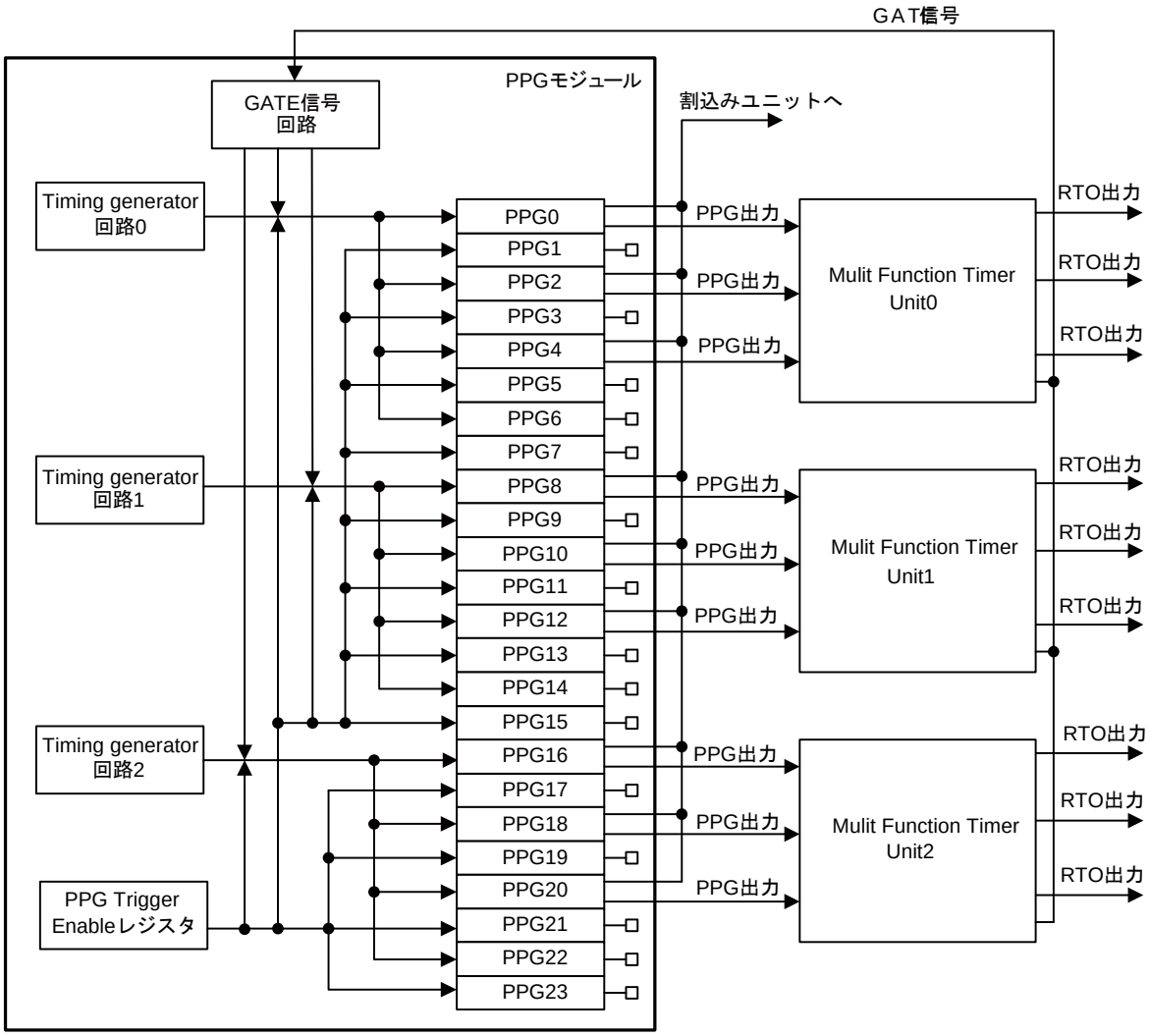
1. 構成

管理コード: 9BFPPGTOP-J01.3

1. 構成

PPG 構成を説明します。

PPG 構成を以下に示します。



(注意事項)　MFT および Timing generator および PPG の搭載数は製品によって異なります。
詳細はご使用する製品の『データシート』を参照してください。

PPG の接続

- PPG 出力は、多機能タイマを経由し、多機能タイマの出力 RTO 端子から出力されます。
- PPG 出力および PPG 割込みは、PPG0/PPG2/PPG4/PPG8/PPG10/PPG12/PPG16/PPG18/PPG20 のみが接続されています。そのため、それ以外の PPG チャネルの出力は得られません。
- PPG 出力がないチャネルの PPG 起動要因も設定可能ですが、出力が接続されていない PPG チャネルの出力は得られません。
- PPG 動作モードの選択(8 ビットモード, 8+8 ビットモード, 16 ビットモード, 16+16 ビットモード)が可能ですが、出力が接続されていない PPG チャネルの出力は得られません。

タイミングジェネレータ 0, 1, 2 の相違点

- タイミングジェネレータ 0
  - コンペアレジスタ : COMP0/COMP2/COMP4/COMP6
  - トリガ対象 PPG チャネル : ch.0/ch.2/ch.4/ch.6

- タイミングジェネレータ 1
  - コンペアレジスタ : COMP1/COMP3/COMP5/COMP7
  - トリガ対象 PPG チャネル : ch.8/ch.10/ch.12/ch.14

- タイミングジェネレータ 2
  - コンペアレジスタ : COMP8/COMP10/COMP12/COMP14
  - トリガ対象 PPG チャネル : ch.16/ch.18/ch.20/ch.22

PPG GATE 機能制御レジスタの EDGE ビットの設定

PPG GATE 機能制御レジスタ(GATEC)の EDGE ビットは"0"のみ設定可能です。

* : GATE 信号の立上り起動のみになります。

動作モードと出力可能 PPG チャネルの組合せ

PPG チャネル	8 ビットモード	8+8 ビットモード	16 ビット モード	16+16 ビット モード
PPG ch.0	PPG0 出力	PPG0 出力	PPG0 出力	PPG0 出力
PPG ch.1	使用不可	PPG0 プリスケーラ		
PPG ch.2	PPG2 出力	PPG2 出力	PPG2 出力	PPG0 プリスケーラ
PPG ch.3	使用不可	PPG2 プリスケーラ		
PPG ch.4	PPG4 出力	PPG4 出力	PPG4 出力	PPG4 出力
PPG ch.5	使用不可	PPG4 プリスケーラ		
PPG ch.6	使用不可	使用不可	使用不可	PPG4 プリスケーラ
PPG ch.7	使用不可	使用不可		
PPG ch.8	PPG8 出力	PPG8 出力	PPG8 出力	PPG8 出力
PPG ch.9	使用不可	PPG8 プリスケーラ		
PPG ch.10	PPG10 出力	PPG10 出力	PPG10 出力	PPG8 プリスケーラ
PPG ch.11	使用不可	PPG10 プリスケーラ		
PPG ch.12	PPG12 出力	PPG12 出力	PPG12 出力	PPG12 出力
PPG ch.13	使用不可	PPG12 プリスケーラ		
PPG ch.14	使用不可	使用不可	使用不可	PPG12 プリスケーラ
PPG ch.15	使用不可	使用不可		
PPG ch.16	PPG16 出力	PPG16 出力	PPG16 出力	PPG16 出力
PPG ch.17	使用不可	PPG16 プリスケーラ		
PPG ch.18	PPG18 出力	PPG18 出力	PPG18 出力	PPG16 プリスケーラ
PPG ch.19	使用不可	PPG18 プリスケーラ		
PPG ch.20	PPG20 出力	PPG20 出力	PPG20 出力	PPG20 出力
PPG ch.21	使用不可	PPG20 プリスケーラ		
PPG ch.22	使用不可	使用不可	使用不可	PPG20 プリスケーラ
PPG ch.23	使用不可	使用不可		

CHAPTER 7-2: PPG

PPG 機能について説明します。

1. 概要
2. PPG 構成・ブロックダイヤグラム
3. PPG 動作
4. PPG 設定手順例
5. PPG レジスタ一覧
6. PPG 使用上の注意

管理コード: 9BFPPG-J02.5

1. 概要

PPG 機能の概要を説明します。

PPG はタイマ動作に応じたパルス出力制御により任意の周期・デューティ比のパルス出力が可能なモジュールです。

PPG モジュールの機能

- 8 ビット PPG 動作モードをサポート
- 16 ビット PPG 動作モードをサポート
- 8+8 ビット PPG 動作モードをサポート
- 16+16 ビット PPG 動作モードをサポート
- PPG 停止時の初期レベル出力も含め、レベルを反転できます。
- PPG カウントクロックを選択することにより、周期の選択が可能です。
- レジスタ設定により、任意デューティ比のパルス波を出力します。
  外付け回路により、D/A コンバータとしても使用可能です。
- 割込み許可を設定している場合、PPG 出力変化タイミング（リロード値のカウントが終了してアンダフローが発生したとき）に割込みを発生できます。

PPG の起動方法

以下の 3 種類から PPG 起動方法を選択できます。

- PPG 起動レジスタ書込みによる起動
- タイミングジェネレータ回路による起動
- 多機能タイマからの GATE 信号による起動

上記の起動方法以外に、IGBT モードによる起動方法を選択できます。詳細は、PPG IGBT モードの章を参照してください。

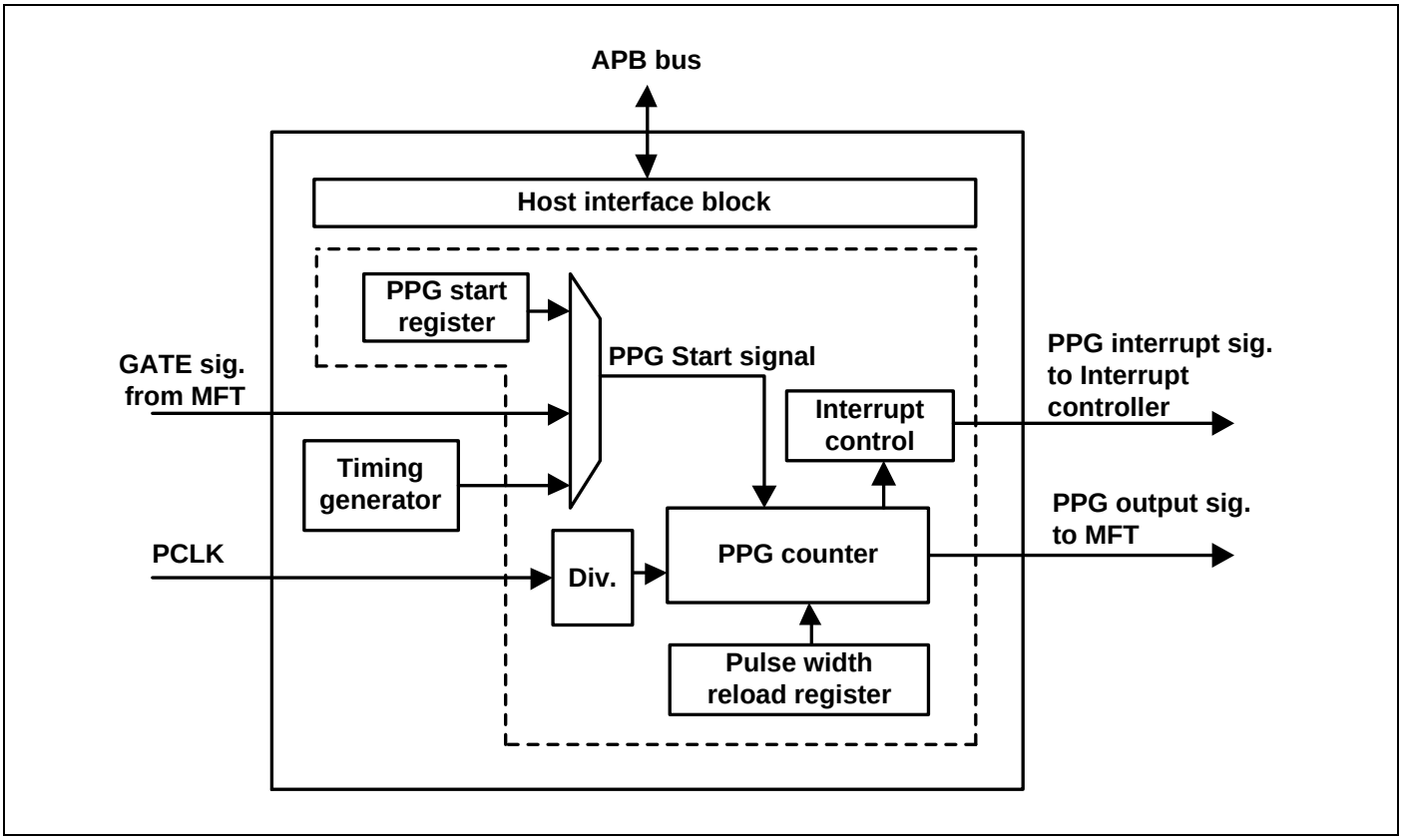
2. PPG 構成・ブロックダイヤグラム

PPG のブロックダイヤグラムを説明します。

2.1 PPG 回路 ブロックダイヤグラム

Figure 2-1 に PPG のブロックダイヤグラムを示します。

Figure 2-1 PPG のブロックダイヤグラム



PPG は、以下のブロックから構成されます。

ホストインタフェース部

CPU からの指示に基づき、PPG の各ブロックの機能制御を行います。

PPG 起動レジスタ

CPU からのレジスタ書込みにより、PPG 起動信号を直接生成するレジスタです。

タイミングジェネレータ

複数の PPG を、指定したタイミングで個々に起動するための回路です。内部のコンペアレジスタの設定タイミングで、複数の PPG に対し別々に PPG 起動信号を生成します。内部構成ブロック図を、Figure 3-14,Figure 3-15,Figure 3-16 に示します。

PPG 起動信号セレクタ

制御レジスタ指定により、PPG 起動信号を選択します。PPG 起動レジスタからの PPG 起動、タイミングジェネレータからの PPG 起動、多機能タイマ（MFT）からの GATE 信号による PPG 起動を選択します。

PCLK ディバイダ

PPG は周辺クロック信号（PCLK）を基準クロックとして動作します。PPG カウンタで使用するカウントクロックを、PCLK 分周器により生成します。PPG からの出力信号のパルス幅は、PCLK 周期をベースに規定されます。

PPG カウンタ、パルス幅リロードレジスタ

CPU から、PPG 出力信号の Low パルス幅、High パルス幅をリロードレジスタに指定します。PPG カウンタは、指定されたパルス幅のカウント動作を行い、PPG 出力信号を変化させます。

割込み制御回路

PPG 出力信号変化時に、PPG 割込み信号を生成し出力します。

Figure 2-1 において、破線で囲まれた部分は、搭載されている PPG チャネル数分が存在します。また、選択された PPG 動作モードにより、PPG チャネルの接続形態が変化し、使用できるチャネル数が変化します。Figure 3-1,Figure 3-3,Figure 3-4,Figure 3-5 に、各動作モードにおけるチャネルの接続構成図を示します。

PPG タイマの動作によって得られる PPG 出力信号のうち、一部のチャネル出力を多機能タイマ経由で外部端子に出力できます。また、一部の PPG 割込み出力が割込みコントローラに接続されており、割込み処理を行うことができます。

多機能タイマ経由で外部端子に出力される PPG 出力端子と、割込みコントローラに接続されている PPG 割込みについては、『PPG 構成』の章を参照してください。

3. PPG 動作

PPG の動作を説明します。

3.1. PPG 回路の動作
3.2. タイミングジェネレータ回路の動作

3.1 PPG 回路の動作

PPG は任意の周期・デューティ比のパルス出力が可能なモジュールです。タイマ動作に応じたパルス出力を制御します。

3.1.1 PPG の動作

PPG タイマ回路の動作を説明します。Figure 3-1 に 8 ビット PPG 動作モード時の構成を示します。Figure 3-2 に、入出力信号の波形を示します。

Figure 3-1 8 ビット PPG モード時の構成

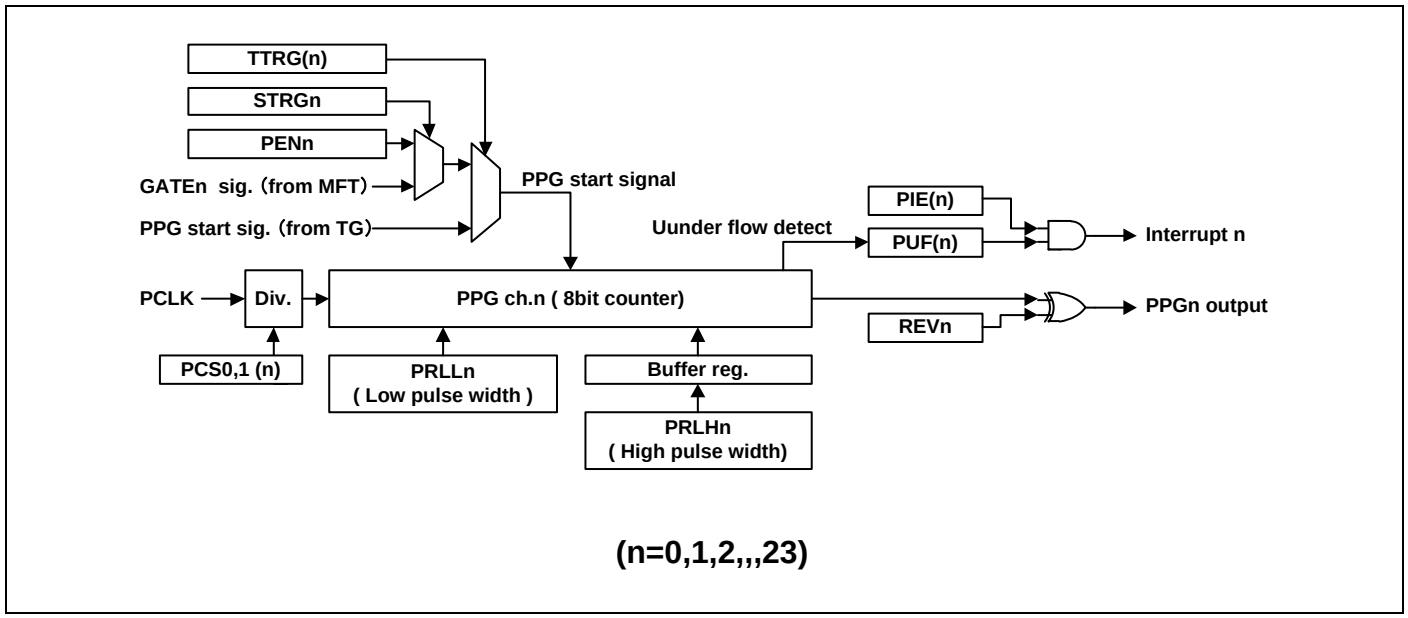
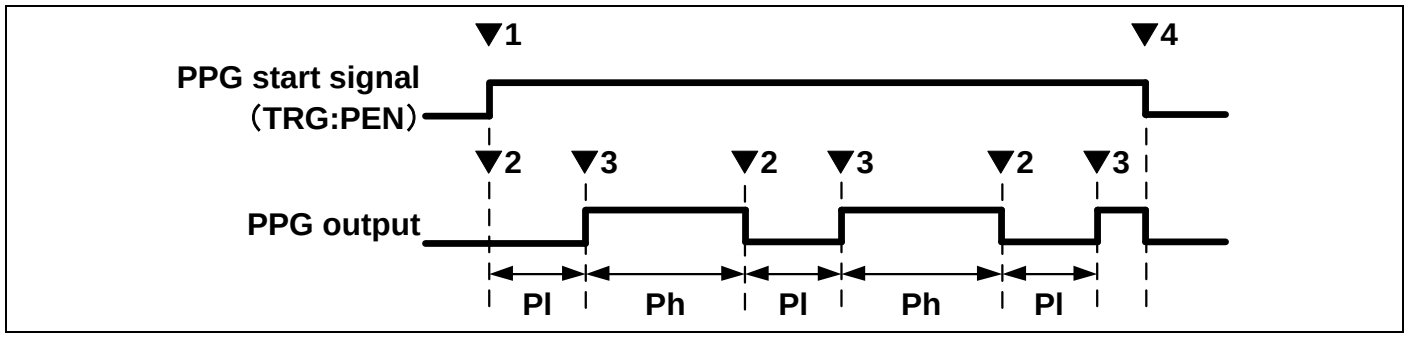


Figure 3-2 PPG 入出力信号波形



以下文中の▼1～4 は、Figure 3-2 のタイミングを示します。PPG 起動レジスタ（TRG:PEN）書込みによる起動方法を指定し、正極性（REVC:REV=0）の指定の場合の動作を説明します。

PPG 出力の初期レベルは Low です。PPG は、起動信号のアサートにより動作を開始します。▼1 のタイミングで、CPU から PPG 起動レジスタ（TRG:PEN）への"1"の書込みを行い、PPG 起動信号をアサートしてい

ます。PPG 起動信号がアサートされている期間、PPG タイマ回路は、以下の▼2、▼3 の動作を繰り返し継続します。

▼2 のタイミングで、PPG 出力を Low レベルにします。また、Low 幅設定リロードレジスタ（PRLL）より、Low 幅値を PPG カウンタにロードし、ダウンカウントを開始します。Low 幅指定の時間経過を待ちます。

▼3 のタイミングで、PPG 出力を High レベルにします。また、High 幅設定リロードレジスタ（PRLH）より、High 幅値を PPG カウンタにロードし、ダウンカウントを開始します。High 幅指定の時間経過を待ちます。

この動作により、指定した Low 幅,High 幅の出力波形を生成します。Figure 3-2 において、出力パルスの Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期） = PPGC:PCS1,PCS0 レジスタで選択したカウントクロック周期
Pl（PPG 出力 Low 幅） = T × (PRLL レジスタ値 + 1)
Ph（PPG 出力 High 幅） = T × (PRLH レジスタ値 + 1)

▼4 のタイミングで、CPU から PPG 起動レジスタ（TRG:PEN）への"0"書込みを行い、起動信号をネゲートしています。 PPG タイマ回路は、カウント動作を停止します。カウント途中であっても出力を Low レベルにします。

3.1.2 PPG 動作モード

PPG はチャネルごとに 8 ビット長のカウンタを持ちます。複数の PPG チャネルを連結させて、より長いカウント長の出力パルスを生成できます。以下の PPG の動作モードが使用できます。

8 ビット PPG 動作モード

Figure 3-1 に、この動作モードのチャネル接続図を示します。各チャネルを独立した 8 ビット長カウンタの PPG として動作させるモードです。出力パルス幅を 8 ビット長値で指定できます。

16 ビット PPG 動作モード

Figure 3-3 に、この動作モードのチャネル接続図を示します。2 つのチャネルを連結し、16 ビット長カウンタの PPG として動作させるモードです。出力パルス幅を 16 ビット長値で指定できます。

8+8 ビット PPG 動作モード

Figure 3-4 に、この動作モードのチャネル接続図を示します。2 つのチャネルを使用します。片方の PPG をプリスケーラとして動作させます。（以降、プリスケーラ側と表記します。）プリスケーラ側の出力を動作クロックとして、もう片方の PPG を動作させます。（以降、PPG 出力側と表記します。）プリスケーラ側と PPG 出力側で、出力パルス幅を 8 ビット長値で、それぞれ別々に指定して動作させるモードです。PPG 出力側のカウンタは、プリスケーラ側出力信号の立上り/立下り両エッジでカウント動作をします。

16+16 ビット PPG 動作モード

Figure 3-5 に、この動作モードのチャネル接続図を示します。4 つのチャネルを使用します。それぞれ 2 つのチャネルを連結し、16 ビット長カウンタとして動作させます。片方をプリスケーラ側として動作させます。プリスケーラ側の出力を動作クロックとして、もう片方を PPG 出力側として動作させます。プリスケーラ側と PPG 出力側で、出力パルス幅を 16 ビット長値で、それぞれ別々に指定して動作させるモードです。PPG 出力側のカウンタは、プリスケーラ側出力信号の立上り/立下り両エッジでカウント動作をします。

Figure 3-3　16 ビット PPG モード時の構成

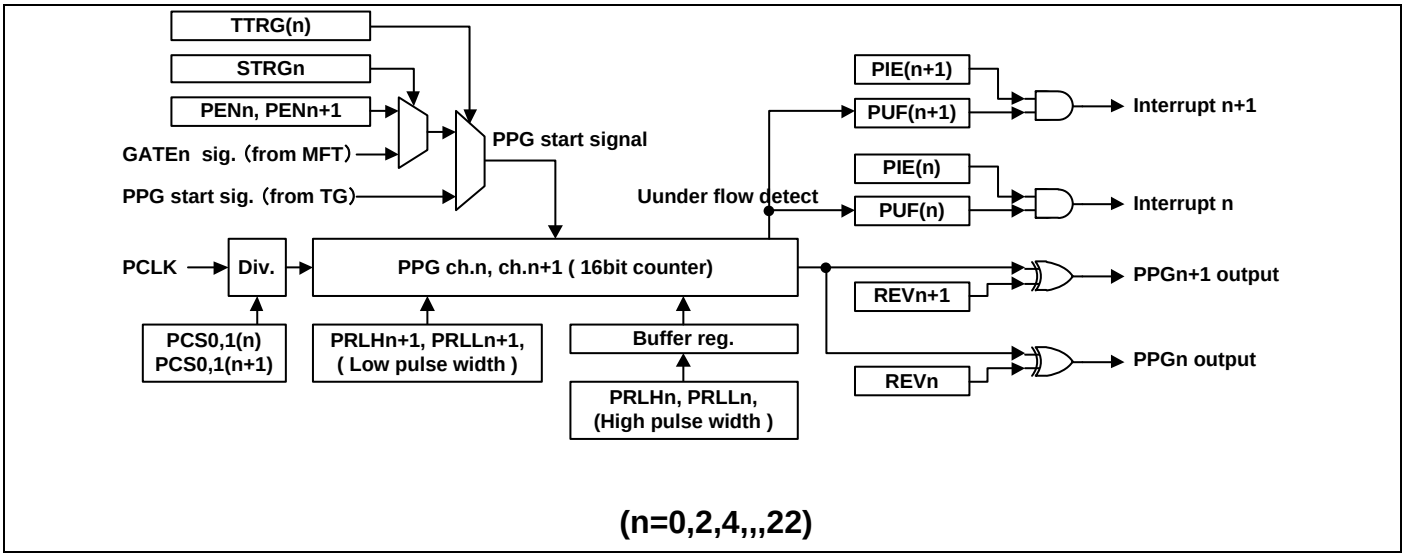


Figure 3-4　8+8 ビット PPG モード時の構成

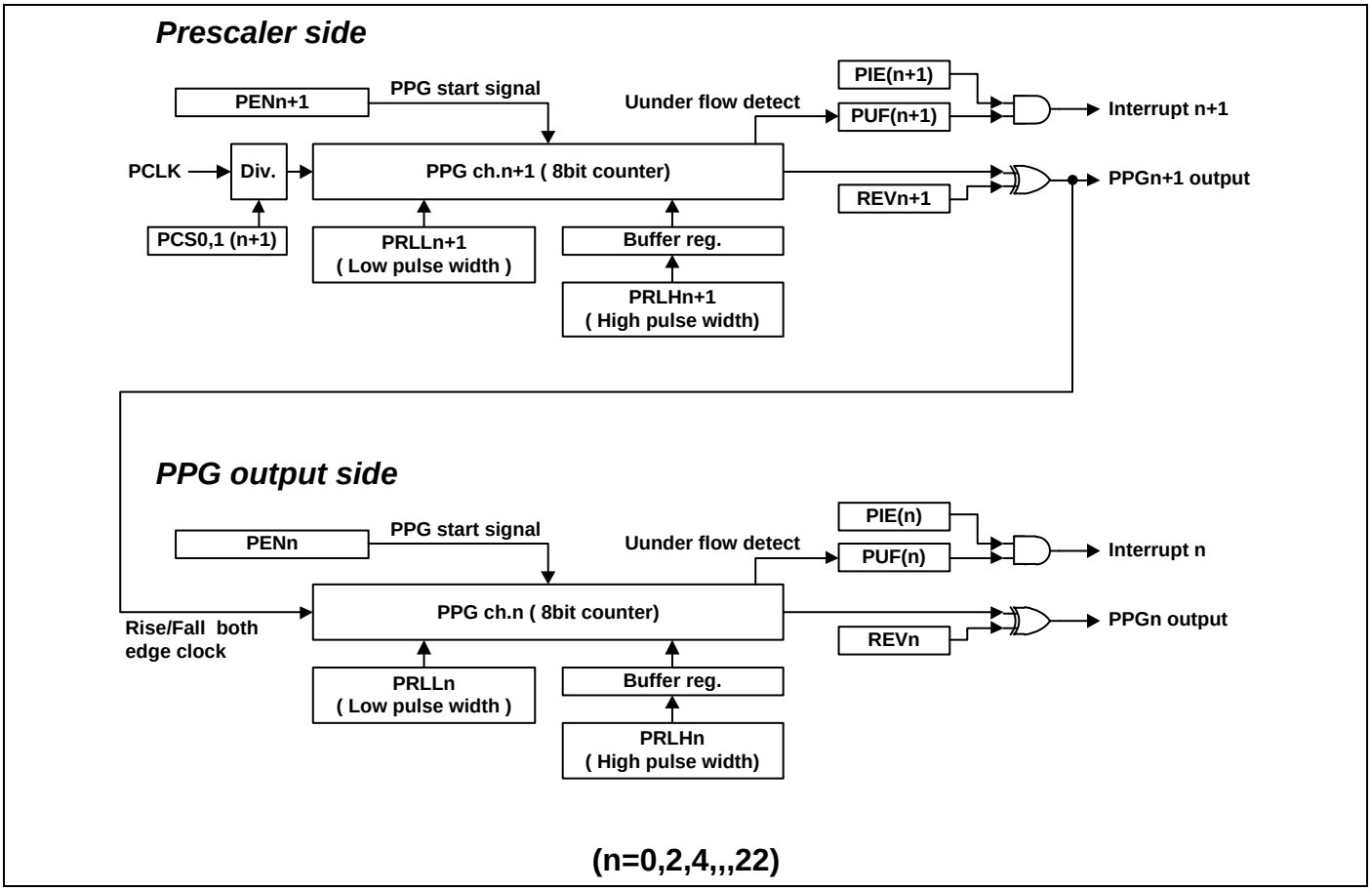
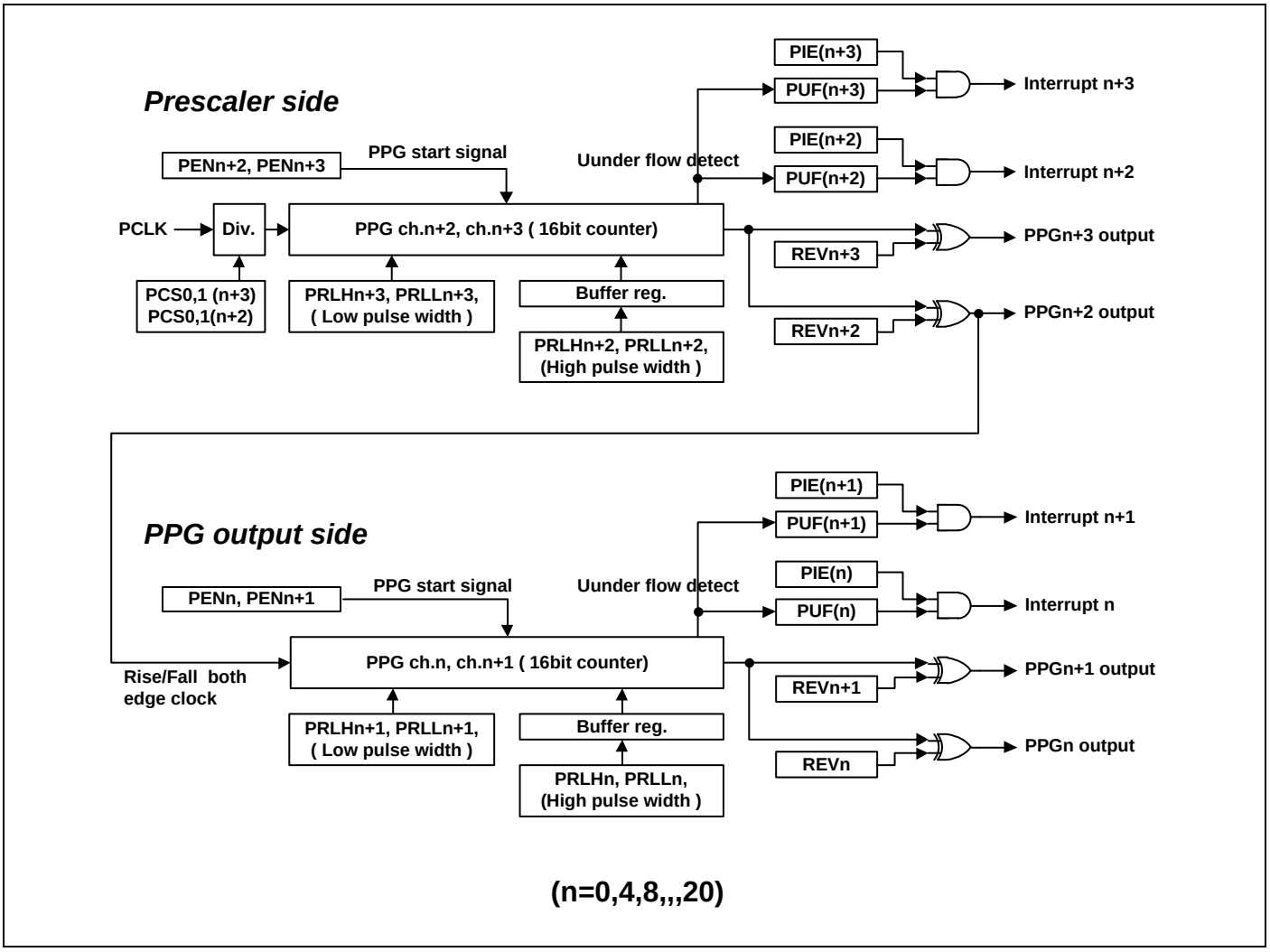


Figure 3-5　16+16 ビット PPG モード時の構成



3.1.3 PPG 動作モードの選択

PPGC:MD[1:0]のレジスタ設定により、各 PPG チャネルの動作モードを選択します。このレジスタ設定により各チャネルにおける動作モード（チャネルの連結、プリスケーラ側使用、PPG 出力側使用）が、一意に決定します。

PPGCn:MD[1:0]レジスタは、n が偶数のレジスタにのみ存在します。PPGCn:MD[1:0]レジスタの指定により、チャネル n（偶数）と、チャネル n+1（奇数）の両方のチャネルの動作モードが決定されます。16+16 ビット PPG モードの場合は、PPGCn:MD[1:0]レジスタと PPGCn+2:MD[1:0]レジスタの両方を"11"にします。

Table 3-1 に、PPGCn:MD[1:0]レジスタ値と、PPGCn+2:MD[1:0]レジスタ値により、選択される PPG 動作モードの一覧を示します。

Table 3-1 のレジスタ番号、チャネル番号を示す添え字の n は、n=0,4,8,12,16,20 を示します。ch.0~ch.3,ch.4～ch7, ch.8~ch.11, ch.12~ch.15, ch16~ch.19, ch20~ch.23 で同じ組合せの指定が可能です。

動作モードの選択は、PPG の起動前に行います。PPG 動作中に、動作モード変更を行うことはできません。

Table 3-1 PPG 動作モードの選択

レジスタ設定				選択される動作モード			
PPGCn		PPGCn+2		Ch.n+0	Ch.n+1	Ch.n+2	Ch.n+3
MD1	MD0	MD1	MD0				
0	0	0	0	8 PPG : ☆◎	8 PPG : ★◎	8 PPG : ☆◎	8 PPG : ★◎
0	0	0	1	8 PPG : ☆◎	8 PPG : ★◎	8+8 out : ★● ←	8+8 pre: ★◎
0	0	1	0	8 PPG : ☆◎	8 PPG : ★◎	16 PPG : ☆○	
0	0	1	1	設定禁止			
0	1	0	0	8+8 out: ★● ←	8+8 pre: ★◎	8 PPG : ☆◎	8 PPG : ★◎
0	1	0	1	8+8 out: ★● ←	8+8 pre: ★◎	8+8 out : ★● ←	8+8 pre: ★◎
0	1	1	0	8+8 out: ★● ←	8+8 pre: ★◎	16 PPG : ☆○	
0	1	1	1	設定禁止			
1	0	0	0	16 PPG : ☆○		8 PPG : ☆◎	8 PPG : ★◎
1	0	0	1	16 PPG : ☆○		8+8 out : ★● ←	8+8 pre: ★◎
1	0	1	0	16 PPG : ☆○		16 PPG : ☆○	
1	0	1	1	設定禁止			
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1	16+16 out: ★● ←		16+16 pre: ★○	

Table 3-1 の記載内容の意味を以下に説明します。

8 PPG	:	8 ビット PPG 動作モードが選択されることを示します。
16 PPG	:	16 ビット PPG 動作モードが選択されることを示します。 2 つのチャネルが連結され 16 ビット長カウンタ動作を行います。
8+8 pre	:	8+8 ビット PPG 動作モードが選択されることを示します。 プリスケーラ側の動作を行うことを示します。 表中の矢印はプリスケーラのクロック出力先を示します。
8+8 out	:	8+8 ビット PPG 動作モードが選択されることを示します。 PPG 出力側の動作を行うことを示します。
16+16 pre	:	16+16 ビット PPG 動作モードが選択されることを示します。 2 つのチャネルが連結され 16 ビット長カウンタ動作を行います。 プリスケーラ側の動作を行うことを示します。 表中の矢印はプリスケーラのクロック出力先を示します。
16 + 16 out	:	16+16 ビット PPG 動作モードが選択されることを示します。 2 つのチャネルが連結され 16 ビット長カウンタ動作を行います。 PPG 出力側の動作を行うことを示します。
☆印、★印	:	選択可能な起動方法を示します。PPG 起動方法の選択の節で説明します。
◎印、○印、●印	:	選択可能なカウントクロックを示します。カウントクロックの選択の節で説明します。

3.1.4 PPG 起動方法の選択

PPG は、以下の 3 種類の方式で起動することができます。

- PPG 起動レジスタ(TRG:PEN)へ CPU から直接書込みを行い、PPG を起動
- 多機能タイマからの GATE 信号により PPG を起動
- タイミングジェネレータの PPG 起動信号により PPG を起動

上記の起動方法以外に、IGBT モードによる起動方法を選択できます。詳細は、PPG IGBT モードの章を参照してください。

Table 3-1 において、☆印の動作モードの場合、上記 3 種類から PPG 起動方法を選択できます。★印の場合は、PPG 起動レジスタ(TRG:PEN)への直接書込み起動のみが使用できます。PPG 起動方法は、GATEC:STRG、PPGC:TTRG レジスタ設定により選択します。設定により、対応する起動信号が PPG に接続されます。Table 3-2 に、レジスタ設定、PPG 動作モード、選択される PPG 起動信号を示します。GATEC:STRGn、PPGCn:TTRG レジスタは、n が偶数のもののみ存在します。このレジスタの指定により、チャネル n（偶数）と、チャネル n+1（奇数）の両方のチャネルの起動方法が決定されます。

Table 3-2　PPG 起動の選択

レジスタ設定		PPG 動作モード	PPG 起動信号	補足番号
GATEC: STRGn	PPGCn: TTRG			
0	0	8 ビット	PPG 起動レジスタ(TRG:PEN)	
		16 ビット		1
		8+8 ビット		1
		16+16 ビット		1, 2
1	0	8 ビット	多機能タイマからの GATE 信号	3
		16 ビット		4
		8+8 ビット	設定禁止	7
		16+16 ビット		7
X	1	8 ビット	タイミングジェネレータからの起動信号	5
		16 ビット		6
		8+8 ビット	設定禁止	7
		16+16 ビット		7

補足事項

1. PPG 起動レジスタ(TRG:PEN)書込みによる起動、複数 PPG チャネルを使用する動作モード（8+8 ビット、16 ビット、16+16 ビット）は、使用するすべてのチャネルの TRG:PEN レジスタに同時に"1"を書込み、PPG 起動を行います。また、TRG:PEN レジスタに同時に"0"を書込み、PPG 停止を行います。同時に行わない場合、カウント周期がずれることがあります。
2. 16+16 ビット PPG 動作モード時、GATEC:STRGn、PPGCn:TTRG レジスタは、n チャネルと n+2 チャネルの両方のレジスタを、それぞれ"0"に設定してください。
3. この場合、偶数チャネルにのみ多機能タイマからの GATE 信号を接続します。奇数チャネルは TRG:PEN を接続します。
4. この場合、偶数チャネル、奇数チャネル両方に多機能タイマからの GATE 信号を接続します。
5. この場合、偶数チャネルにのみタイミングジェネレータからの起動信号を接続します。奇数チャネルは TRG:PEN を接続します。
6. この場合、偶数チャネル、奇数チャネル両方にタイミングジェネレータからの起動信号を接続します。
7. 8+8 ビットモード、16+16 ビットモードの場合、PPG 起動レジスタ(TRG:PEN)書込みによる起動以外は選択できません。

3.1.5 カウントクロックの選択

各 PPG チャネルのカウントクロックは、PCLK 分周器により、4 種類の分周比選択が可能です。Table 3-3 にレジスタ設定と、選択されるカウントクロックを示します。

Table 3-3 カウントクロック選択表

PPGC:PCS1	PPGC:PCS0	カウントクロック動作
0	0	カウントクロックは PCLK ごとに 1 カウント
0	1	カウントクロックは PCLK 4 サイクルごとに 1 カウント
1	0	カウントクロックは PCLK 16 サイクルごとに 1 カウント
1	1	カウントクロックは PCLK 64 サイクルごとに 1 カウント

Table 3-1 において、◎印、○印の動作モードの場合、PPGC:PCS1,PCS0 レジスタを用いて、カウントクロックを選択できます。○印の場合、偶数チャネル側と奇数チャネル側のカウントクロック選択設定（PCS1,PCS0）は、必ず同じ設定にしてください。●印の場合、カウントクロックは、プリスケーラ側の出力の両エッジが用いられます。そのチャネルの PCS1,PCS0 レジスタ設定は無視されます。

3.1.6 リロードレジスタとパルス幅指定

PPG 出力信号のパルス幅は、リロードレジスタ（PRLH、PRLL）に指定を行います。PPG 動作中にパルス幅の変更が可能です。High 幅と Low 幅の指定をそれぞれ行います。出力されるパルス幅は、リロードレジスタに書き込まれた値に"+1"した値に、カウントクロックの周期を掛けた値です。PPG チャネルを連結して 16 ビット長とする場合、パルス幅を指定する 8 ビットリロードレジスタも連結し、16 ビット長値を指定します。詳細は、「5.10 PPG リロードレジスタ n (PRLHn, PRLLn n=0～23)」を参照してください。Table 3-4 に設定例と出力パルス幅の関係を示します。

Table 3-4 リロードレジスタ設定値例

PPG ビット幅	リロードレジスタ値	出力パルス幅
8 ビット	0x00	1×カウントクロック周期
	0x01	2×カウントクロック周期
	0xFF	256×カウントクロック周期
16 ビット	0x0000	1×カウントクロック周期
	0x0001	2×カウントクロック周期
	0x00FF	256×カウントクロック周期
	0x0100	257×カウントクロック周期
	0xFFFF	65536×カウントクロック周期

3.1.7 High 幅設定リロードレジスタのバッファ機能

High 幅設定のリロードレジスタには、バッファ機能があります。Figure 3-6 にバッファレジスタの動作を説明します。

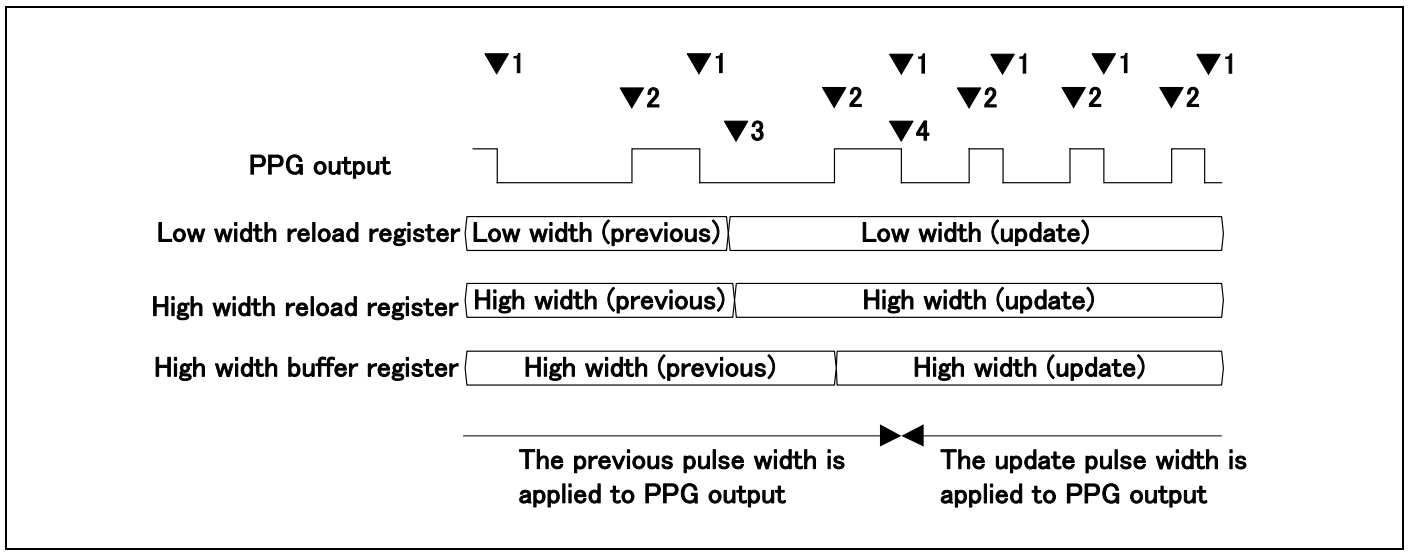
PPG 出力信号が High から Low に変化するタイミング（図中▼1）で、PPG カウンタは、Low 幅の設定値をリロードレジスタから取り込みます。PPG 出力信号が Low から High に変化するタイミング（図中▼2）で、PPG カウンタは、High 幅の設定値をバッファレジスタから取り込みます。

▼3 のタイミングで、CPU から Low 幅設定値、High 幅設定値の変更を行った場合、更新前の High 幅設定値は、バッファレジスタに格納されます。そして、次の▼2 のタイミングでは、PPG カウンタは、更新前の High 幅設定値をバッファレジスタから取り込み、出力パルス幅に適用します。

このため、▼4 のタイミングまで、PPG 出力は、更新前の Low 幅、High 幅設定値が適用されます。▼4 のタイミングから、PPG 出力は、更新後の Low 幅、High 幅設定値が適用されます。

出力パルス幅設定の更新時に、Low 幅と High 幅設定の組み合わせを維持することができます。

Figure 3-6　High 幅設定バッファレジスタ機能



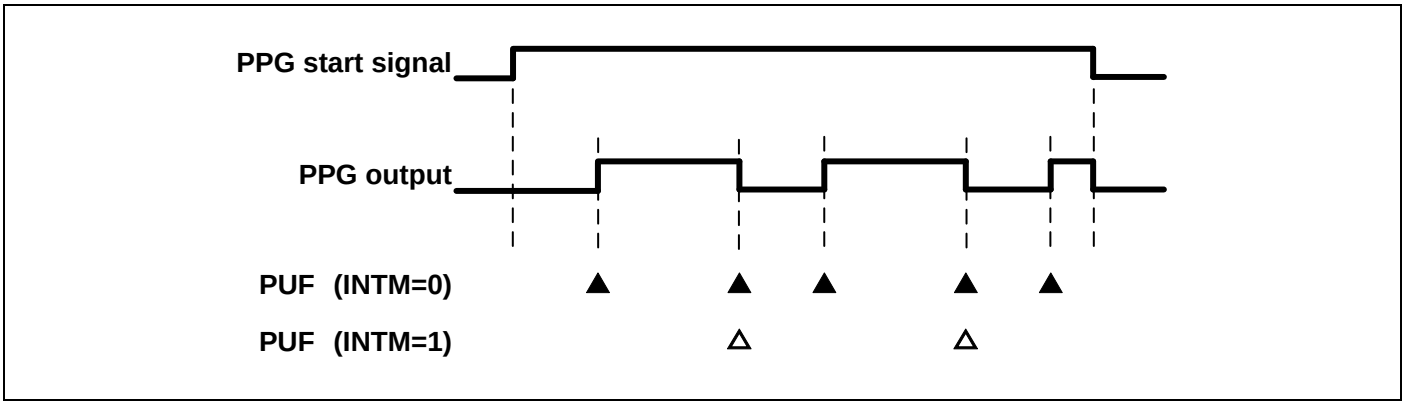
3.1.8 割込みについて

PPG が出力信号を変化させたとき（リロード値のカウントが終了してアンダフローが発生したとき）、PPG 動作モード制御レジスタ（PPGC）の PUF に"1"がセットされます。PPGCn:INTM により、以下の選択が行われます。

- PPGC:INTM=0 の場合、Low パルス終了時、High パルス終了時、それぞれセットされます。
- PPGC:INTM=1 の場合、High パルス終了時にセットされます。

Figure 3-7 に、INTM の値による PUF セットタイミング選択を示します。▲が INTM=0 時、△が INTM=1 時の PUF セットタイミングを示します。

Figure 3-7　INTM による PUF セットタイミング選択



PPG チャネルを連結して 16 ビット長で動作させている場合、偶数チャネルと奇数チャネルの両方の PUF が、同時にセットされます。

PPG からセットされた PUF は、CPU から PUF への"0"書込みにより、クリアすることができます。

PPG 動作モード制御レジスタで割込み許可を設定している場合（PIE=1）、PUF を利用して割込み信号をアサートすることができます。

3.1.9 REVn レジスタによる極性反転

REVC:REV レジスタの設定により、PPG 出力信号の極性反転が可能です。Figure 3-8 に、REV=1、8 ビット PPG 動作モードの場合の出力波形を示します。

Figure 3-8 REVn=1 の場合の出力波形

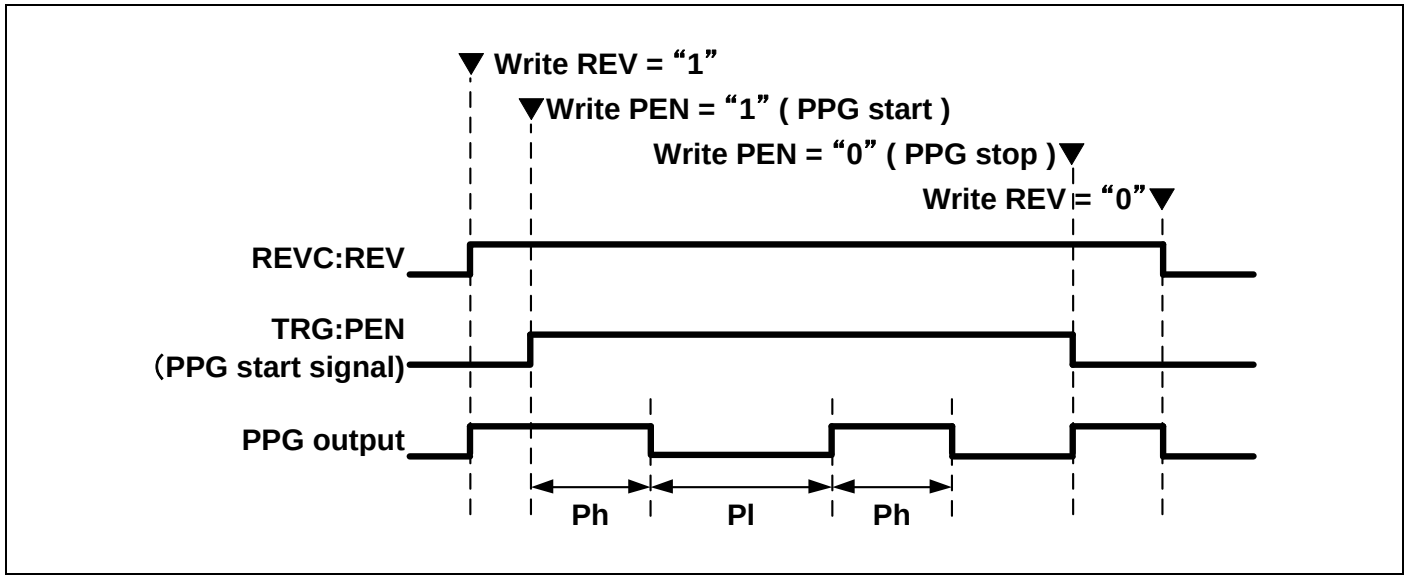


Figure 3-1, Figure 3-3, Figure 3-4, Figure 3-5 の接続図に記載のように、REV レジスタ値により、直接 PPG 出力を反転する構成です。このため、REV=1 の場合、以下のようになります。

- PPG 出力の動作開始前の出力レベル、動作停止後の出力レベルが、High レベルに反転します。
- 出力パルスの Low-High が反転し、リロードレジスタの Low 幅設定、High 幅設定の関係が反転します。
- PPGC:INTM=1 時、Low パルス終了時に PUF がセットされます。
- 8+8 ビット PPG 動作モード、16+16 ビット PPG 動作モードにおいて、プリスケーラ側から PPG 出力側に供給される動作クロックが反転します。

Figure 3-8 において、出力パルスの Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期） = PPGC:PCS1,PCS0 レジスタで選択したカウントクロック周期
Pl（PPG 出力 Low 幅） = T × (PRLH レジスタ値 + 1)
Ph（PPG 出力 High 幅） = T × (PRLL レジスタ値 + 1)

3.1.10 8 ビット PPG 動作モード例

PPG-ch.0 を使用した 8 ビット PPG 動作モードの動作例を記載します。Table 3-5 に、本動作例のレジスタ初期設定を記載します。Figure 3-9 に、本動作例の出力波形を記載します。

Table 3-5 8 ビット PPG 動作モードレジスタ設定例

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=00 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	TRG0:PEN00 による起動 8 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
GATEC0	STRG0=0 STRG2=X	TRG0:PEN00 による起動 他チャネルの設定なので本説明の対象外	
REVC0	REV00=0 REV01~15=X	PPG0 を正極性で出力 他チャネルの設定なので本説明の対象外	

Figure 3-9 8 ビット PPG 動作モード出力波形例

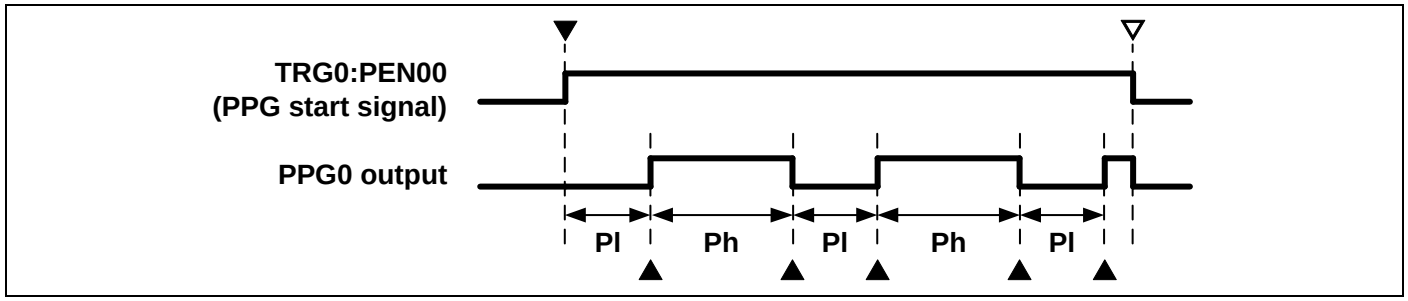


Figure 3-9 の記号の意味は以下のとおりです。

▼ PPG 動作開始 （補足 2 参照）
▽ PPG 動作停止 （補足 3 参照）
▲ PPGC0:PUF セットタイミング（補足 4 参照）
Pl PPG0 出力 Low 幅
Ph PPG0 出力 High 幅

PPG0 出力の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期） = PCLK 周期×4 （補足 1 参照）
Pl（PPG0 出力 Low 幅） = T × (PRLL0 レジスタ値 + 1)
Ph（PPG0 出力 High 幅） = T × (PRLH0 レジスタ値 + 1)

補足事項

1. PPG0 のカウントクロック選択レジスタ（PPGC0:PCS1,PCS0）で選択されたクロック周期により、T（カウントクロック周期）が決定します。
2. TRG0:PEN00 に"1"を書込むことで、PPG 起動信号がアサートされ、PPG が動作開始します。
3. TRG0:PEN00 に"0"を書込むことで、PPG 起動信号がネゲートされ、PPG が動作停止します。
4. PPGC0:INTM=0 の指定に基づき、PPGC0:PUF が▲のタイミングでセットされます。

3.1.11 8+8 ビット PPG 動作モード例

PPG-ch.0,1 を利用した 8+8 ビット PPG 動作モードの動作例を記載します。Table 3-6 に、本動作例のレジスタ設定を記載します。Figure 3-10 に、本動作例の出力波形を記載します。

Table 3-6 8+8 ビット PPG 動作モードレジスタ設定例

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=01 PCS1,PCS0=00 INTM=0 PUF=0 PIE=0	TRG0:PEN00/PEN01 による起動 8+8 ビット PPG 動作モード 設定は無視されます。 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 2 参照
PPGC1	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
GATEC0	STRG0=0 STRG2=X	TRG0:PEN00/PEN01 による起動 他チャネルの設定なので本説明の対象外	
REVC0	REV00=0 REV01=0 REV02~15=X	PPG0（PPG 出力側）を正極性で出力 PPG1（プリスケーラ側）を正極性で出力 他チャネルの設定なので本説明の対象外	補足 9 参照 補足 9 参照

Figure 3-10 8+8 ビット PPG 動作モード出力波形例

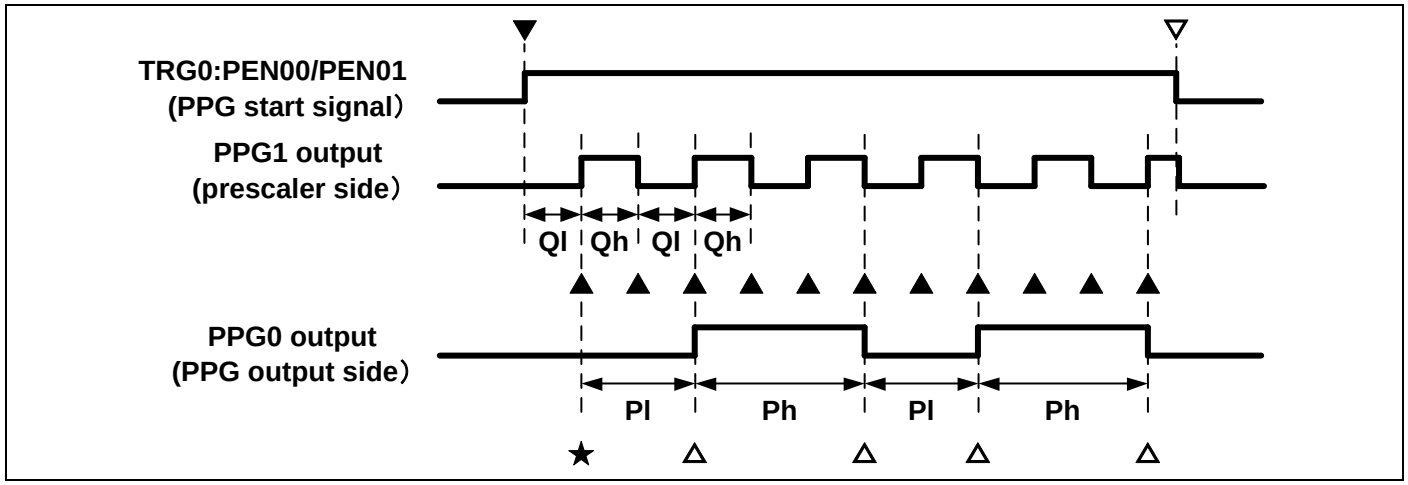


Figure 3-10 の記号の意味は以下のとおりです。

▼	PPG 動作開始（補足 3 参照）
▽	PPG 動作停止（補足 4 参照）
▲	PPGC1:PUF セットタイミング（プリスケーラ側、補足 5 参照）
△	PPGC0:PUF セットタイミング（PPG 出力側、補足 6 参照）
★	PPG 出力側のカウント動作開始タイミング（補足 7 参照）
Ql	PPG1 出力（プリスケーラ側）Low パルス幅
Qh	PPG1 出力（プリスケーラ側）High パルス幅
Pl	PPG0 出力（PPG 出力側）Low パルス幅
Ph	PPG0 出力（PPG 出力側）High パルス幅

PPG1 出力（プリスケーラ側）の Low 幅（Ql）、High 幅（Qh）、および PPG0 出力（PPG 出力側）の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（プリスケーラ側クロック周期）	=	PCLK 周期×4 （補足 1 参照）
Ql（PPG1 出力パルス Low 幅）	=	T × (PRLL1 レジスタ値 + 1)
Qh（PPG1 出力パルス High 幅）	=	T × (PRLH1 レジスタ値 + 1)
Qa（PPG 出力側クロック周期）	=	(Ql + Qh)/2 (Ql と Qh の平均値：補足 8 参照)
Pl（PPG0 出力パルス Low 幅）	=	Qa × (PRLL0 レジスタ値 + 1)
Ph（PPG0 出力パルス High 幅）	=	Qa × (PRLH0 レジスタ値 + 1)

補足事項

1. PPG1（プリケーラ側）のカウントクロック選択レジスタ（PPGC1:PCS1,PCS0）で選択されたクロック周期により、T（プリスケーラ側のクロック周期）が決定します。
2. PPG0（PPG 出力側）のカウントクロック選択レジスタ（PPGC0:PCS1,PCS0）の値は無視されます。
3. TRG0:PEN00,PEN01 に同時に"11"を書込むことで、PPG 起動信号がアサートされ、PPG が動作開始します。同時に"11"の書込みを行わない場合、カウント周期がずれることがあります。
4. TRG0:PEN00,PEN01 に同時に"00"を書込むことで、PPG 起動信号がネゲートされ、PPG が動作停止します。同時に"00"の書込みを行わない場合、カウント周期がずれることがあります。
5. PPGC1:INTM=0 の指定に基づき、PPGC1:PUF が▲のタイミングでセットされます。(プリスケーラ側)
6. PPGC0:INTM=0 の指定に基づき、PPGC0:PUF が△のタイミングでセットされます。(PPG 出力側)
7. PPG0（PPG 出力側）は、▼の起動指示後、Ql が経過した★の位置からカウント開始します。PPG 出力側は、★のタイミングで、出力パルス幅をリロードレジスタより取り込みます。▼の起動指示後、★のタイミングまでの間に PPG 出力側の出力パルス幅設定を書き換えた場合、それ以前の出力パルス幅の設定は反映されません。
8. PPG0（PPG 出力側）のカウント動作は、PPG1（プリスケーラ側）出力の立上がり/立下り両エッジで行われます。このため、上記計算式では Qa を Ql と Qh の平均値としています。プリスケーラ側の Low パルス幅、High パルス幅は同じ値にすることを推奨します。プリスケーラ側の Low パルス幅、High パルス幅が異なる場合で、PPG 出力側のパルスカウント数が奇数の場合、PPG 出力側の出力パルス幅が上記計算式に一致しないので、注意してください。
9. REVC0:REV00,REV01 レジスタの指定により、PPG0（PPG 出力側）の出力信号と PPG1（プリスケーラ側）の出力信号を反転することができます。

3.1.12 16 ビット PPG 動作モード例

PPG-ch.0,1 を利用した 16 ビット PPG 動作モードの動作例を記載します。Table 3-7 に、本動作例のレジスタ設定を記載します。Figure 3-11 に、本動作例の出力波形を記載します。

Table 3-7 16 ビット PPG 動作モードレジスタ設定例

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=10 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	TRG0:PEN00/PEN01 による起動 16 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
PPGC1	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
GATEC0	STRG0=0 STRG2=X	TRG0:PEN00/PEN01 による起動 他チャネルの設定なので本説明の対象外	
REVC0	REV00=0 REV01=0 REV02~15=X	PPG0 を正極性で出力 PPG1 を正極性で出力 他チャネルの設定なので本説明の対象外	補足 5 参照

Figure 3-11 16 ビット PPG 動作モード出力波形例

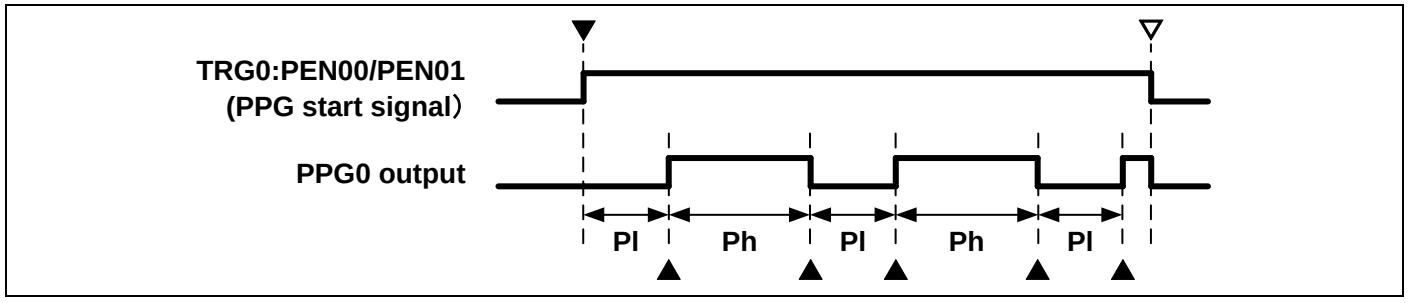


Figure 3-11 の記号の意味は以下のとおりです。

- ▼ PPG 動作開始（補足 2 参照）
- ▽ PPG 動作停止（補足 3 参照）
- ▲ PPGC0:PUF、PPGC1:PUF セットタイミング（補足 4 参照）
- Pl PPG0 出力 Low パルス幅
- Ph PPG0 出力 High パルス幅

PPG0 出力の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期）　=　PCLK 周期×4（補足 1 参照）
Pl (PPG0 出力パルス Low 幅）　=　T × (PRLH1 レジスタ値×256 + PRLL1 レジスタ値 + 1)
Ph (PPG0 出力パルス High 幅）　=　T × (PRLH0 レジスタ値×256 + PRLL0 レジスタ値 + 1)

補足事項

1. PPG0 と PPG1 のカウントクロック選択レジスタ（PPGC0:PCS1,PCS0）と（PPGC1:PCS1,PCS0）の値は必ず同じ値にします。この値により、T（カウントクロック周期）が決定します。
2. TRG0:PEN00,PEN01 に同時に"11"を書込むことで、PPG 起動信号がアサートされ、PPG が動作開始します。同時に"11"の書込みを行わない場合、カウント周期がずれることがあります。
3. TRG0:PEN00,PEN01 に同時に”00”を書込むことで、PPG 起動信号がネゲートされ、PPG が動作停止します。同時に"00"の書込みを行わない場合、カウント周期がずれることがあります。
4. PPGC0:INTM=0 の指定に基づき、PPGC0:PUF が▲のタイミングでセットされます。PPGC1: INTM=0 の指定に基づき、PPGC1:PUF が▲のタイミングでセットされます。この場合、両方のフラグが同時にセットされます。
5. 図の記載は省略していますが、REVC0:REV00=0、REVC0:REV01=0、の指定の場合、PPG1 出力には PPG0 出力と同じ出力波形が得られます。

3.1.13 16+16 ビット PPG 動作モード例

PPG-ch.0,1,2,3 を使用した 16+16 ビット PPG 動作モードの動作例を記載します。Table 3-8 に、本動作例のレジスタ設定を記載します。Figure 3-12 に、本動作例の出力波形を記載します。

Table 3-8 16+16 ビット PPG 動作モードレジスタ設定例

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=11 PCS1,PCS0=00 INTM=0 PUF=0 PIE=0	TRG0:PEN00/PEN01/PEN02/PEN03 による起動 16+16 ビット PPG 動作モード 設定は無視されます。 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 2 参照
PPGC1	PCS1,PCS0=00 INTM=0 PUF=0 PIE=0	設定は無視されます。 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 2 参照
PPGC2	TTRG=0 MD1,MD0=11 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	TRG0:PEN00/PEN01/PEN02/PEN03 による起動 16+16 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
PPGC3	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
GATEC0	STRG0=0 STRG2=0	TRG0:PEN00/PEN01/PEN02/PEN03 による起動 TRG0:PEN00/PEN01/PEN02/PEN03 による起動	
REVC0	REV00=0,REV01=0 REV02=0 ,REV03=0 REV04~15=X	PPG0,PPG1（PPG 出力側）を正極性で出力 PPG2,PPG3（プリスケーラ側）を正極性で出力 他チャネルの設定なので本説明の対象外	補足 9 参照 補足 9 参照

Figure 3-12　16+16 ビット PPG 動作モード出力波形例

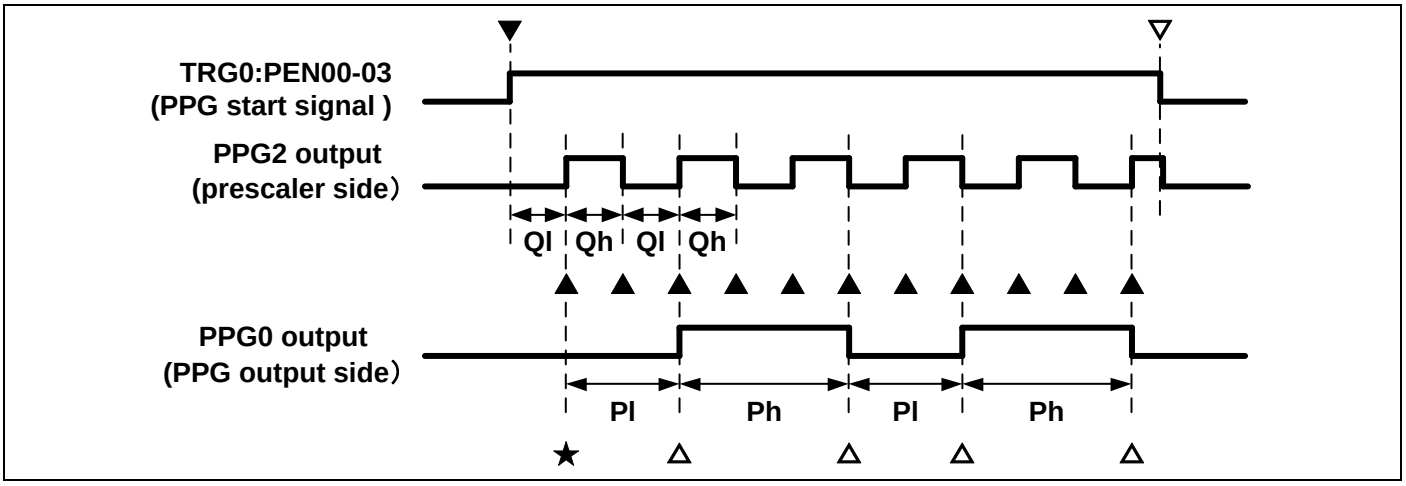


Figure 3-12 の記号の意味は以下のとおりです。

▼	PPG 動作開始（補足 3 参照）
▽	PPG 動作停止（補足 4 参照）
▲	PPGC2:PUF, PPGC3:PUF セットタイミング（プリスケーラ側、補足 5 参照）
△	PPGC0:PUF, PPGC1:PUF セットタイミング（PPG 出力側、補足 6 参照）
★	PPG 出力側のカウント動作開始タイミング（補足 7 参照）
Ql	PPG2 出力（プリスケーラ側）Low パルス幅
Qh	PPG2 出力（プリスケーラ側）High パルス幅
Pl	PPG0 出力（PPG 出力側）Low パルス幅
Ph	PPG0 出力（PPG 出力側）High パルス幅

PPG2 出力（プリスケーラ側）の Low 幅（Ql）、High 幅（Qh）、および PPG0 出力（PPG 出力側）の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（プリスケーラ側クロック周期）	=	PCLK 周期×4 （補足 1 参照）
Ql（PPG2 出力パルス Low 幅）	=	T×(PRLH3 レジスタ値×256 + PRLL3 レジスタ値 + 1)
Qh（PPG2 出力パルス High 幅）	=	T×(PRLH2 レジスタ値×256 + PRLL2 レジスタ値 + 1)
Qa（PPG 出力側クロック周期）	=	(Ql + Qh)/2 (Ql と Qh の平均値：補足 8 参照)
Pl（PPG0 出力パルス Low 幅）	=	Qa×(PRLH1 レジスタ値×256 + PRLL1 レジスタ値 + 1)
Ph（PPG0 出力パルス High 幅）	=	Qa×(PRLH0 レジスタ値×256 + PRLL0 レジスタ値 + 1)

補足事項

1. PPG2 と PPG3（16 ビットプリケーラ側）のカウントクロック選択レジスタ（PPGC2:PCS1,PCS0 と PPGC3:PCS1,PCS0）で選択されたカウントクロック周期により、T（プリスケーラ側のクロック周期）が決定します。PPGC2 と PPGC3 のそれぞれの PCS1,0 は、必ず同じ値に設定する必要があります。
2. PPG0 と PPG1（16 ビット PPG 出力側）のカウントクロック選択レジスタ（PPGC0:PCS1,PCS0 と PPGC1:PCS1,PCS0）の値は無視されます。
3. TRG0:PEN00~,PEN03 に同時に"1111"を書込むことで、PPG 起動信号がアサートされ、PPG が動作

開始します。同時に"1111"の書込みを行わない場合、カウント周期がずれることがあります。

4. TRG0:PEN00~PEN03 に同時に"0000"を書込むことで、PPG 起動信号がネゲートされ、PPG が動作停止します。同時に"0000"の書込みを行わない場合、カウント周期がずれることがあります。
5. PPGC2:INTM=0 の指定に基づき、PPGC2:PUF が▲のタイミングでセットされます。PPGC3:INTM=0 の指定に基づき、PPGC3:PUF が▲のタイミングでセットされます。この場合、両方のフラグが同時にセットされます。
6. PPGC0:INTM=0 の指定に基づき、PPGC0:PUF が△のタイミングでセットされます。PPGC1:INTM=0 の指定に基づき、PPGC1:PUF が△のタイミングでセットされます。この場合、両方のフラグが同時にセットされます。
7. PPG0（PPG 出力側）は、▼の起動指示後、Ql が経過した★の位置からカウント開始します。PPG 出力側は、★のタイミングで、出力パルス幅をリロードレジスタより取り込みます。▼の起動指示後、★のタイミングまでの間に PPG 出力側の出力パルス幅設定を書き換えた場合、それ以前の出力パルス幅の設定は反映されません。
8. PPG0（PPG 出力側）のカウント動作は、PPG2（プリスケーラ側）出力の立上がり/立下り両エッジで行われます。このため、上記計算式では Qa を Ql と Qh の平均値としています。プリスケーラ側の Low パルス幅、High パルス幅は同じ値にすることを推奨します。プリスケーラ側の Low パルス幅、High パルス幅が異なる場合で、PPG 出力側のパルスカウント数が奇数の場合、PPG 出力側の出力パルス幅が上記計算式に一致しないので、注意してください。
9. 図の記載は省略していますが、REVC0:REV00~REV03=0000 の場合、PPG1 出力には PPG0 出力と同じ出力波形が、PPG3 出力には PPG2 出力と同じ出力波形がそれぞれ得られます。

3.1.14 多機能タイマからの GATE 信号による PPG 動作例

多機能タイマからの GATE 信号による PPG 起動（PPG-ch.0,1 を使用した 16 ビット PPG 動作モードの場合）の動作例を記載します。Table 3-9 に、本動作例のレジスタ設定を記載します。Figure 3-13 に、本動作例の出力波形を記載します。

Table 3-9 多機能タイマからの起動時のレジスタ設定例（16 ビット PPG 動作モード）

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=10 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	多機能タイマからの GATE 信号による起動 16 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	
PPGC1	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	
GATEC0	STRG0=1 STRG2=X	多機能タイマからの GATE 信号による起動 他チャネルの設定なので本説明の対象外	
REVC0	REV00=0 REV01=0 REV02~15=X	PPG0 を正極性で出力 PPG1 を正極性で出力 他チャネルの設定なので本説明の対象外	

Figure 3-13 多機能タイマからの GATE 信号による PPG 動作例

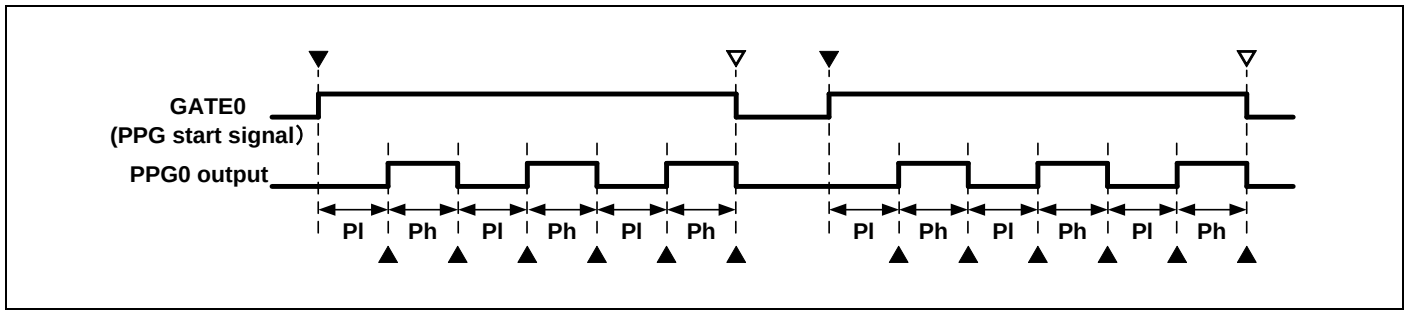


Figure 3-13 の記号の意味は以下のとおりです。

- ▼ PPG 動作開始（多機能タイマからの GATE0 信号アサート）
- ▽ PPG 動作停止（多機能タイマからの GATE0 信号ネゲート）
- ▲ PPGC0:PUF、PPGC1:PUF セットタイミング
- Pl PPG0 出力 Low パルス幅
- Ph PPG0 出力 High パルス幅

PPG0 出力の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期） = PCLK 周期×4（クロック選択による）
Pl (PPG0 出力パルス Low 幅） = T × (PRLH1 レジスタ値×256 + PRLL1 レジスタ値 + 1)
Ph (PPG0 出力パルス High 幅） = T × (PRLH0 レジスタ値×256 + PRLL0 レジスタ値 + 1)

3.2 タイミングジェネレータ回路の動作

タイミングジェネレータ回路は、複数の PPG を、指定したタイミングで個々に起動するための回路です。8 ビットアップカウンタとコンペアレジスタとの比較一致により、PPG タイマの起動信号を生成出力します。

3.2.1 タイミングジェネレータの構成

タイミングジェネレータは、プリスケーラ、8 ビットアップカウンタ、4 つのコンペアレジスタ、で構成されています。タイミングジェネレータ 1 ユニットにつき、4 つの PPG 起動信号を出力します。Figure 3-14,Figure 3-15,Figure 3-16 に、それぞれ、タイミングジェネレータ 0,1,2 のブロック図を示します。

Figure 3-14 タイミングジェネレータ回路 0 ブロックダイヤグラム

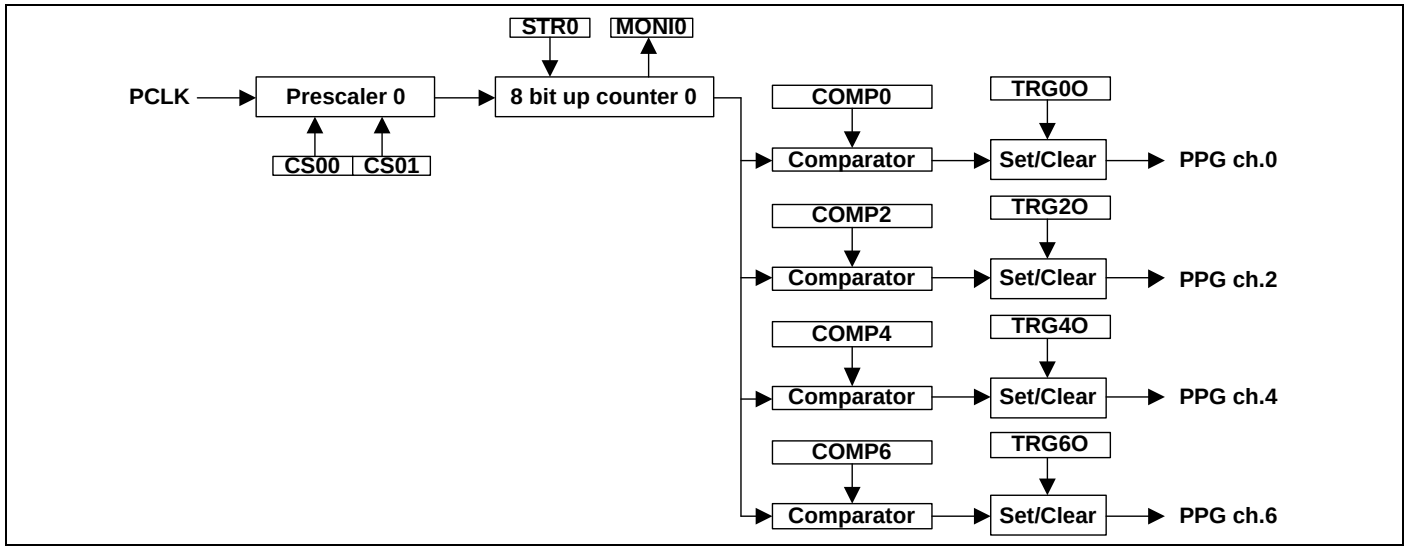


Figure 3-15 タイミングジェネレータ回路 1 ブロックダイヤグラム

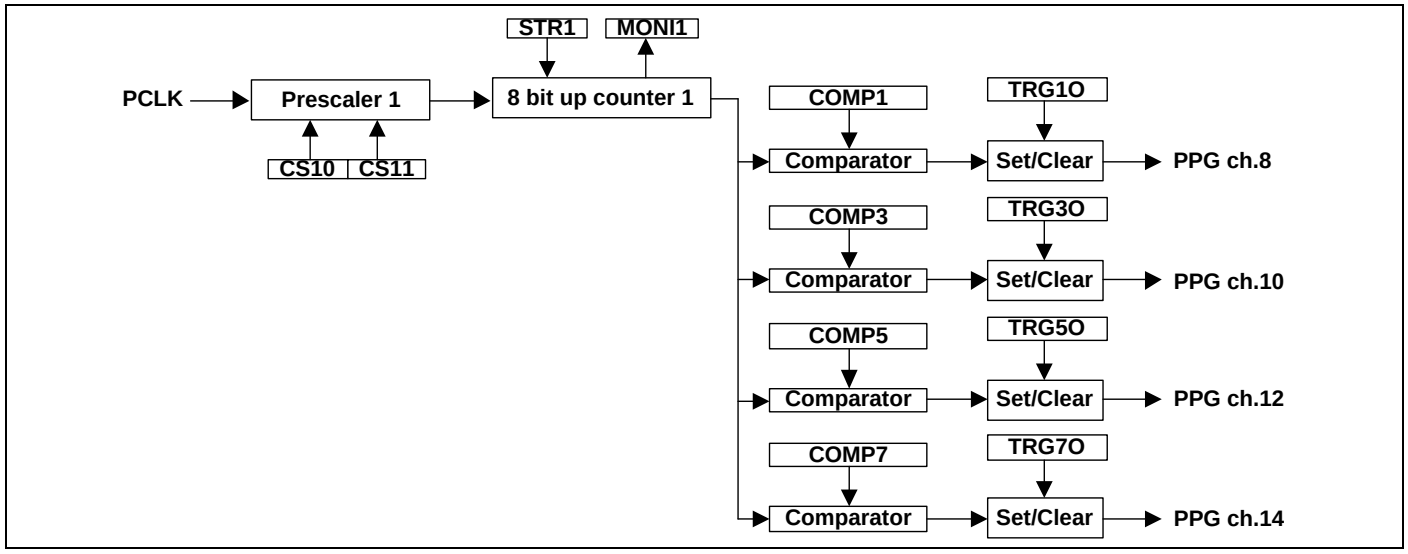
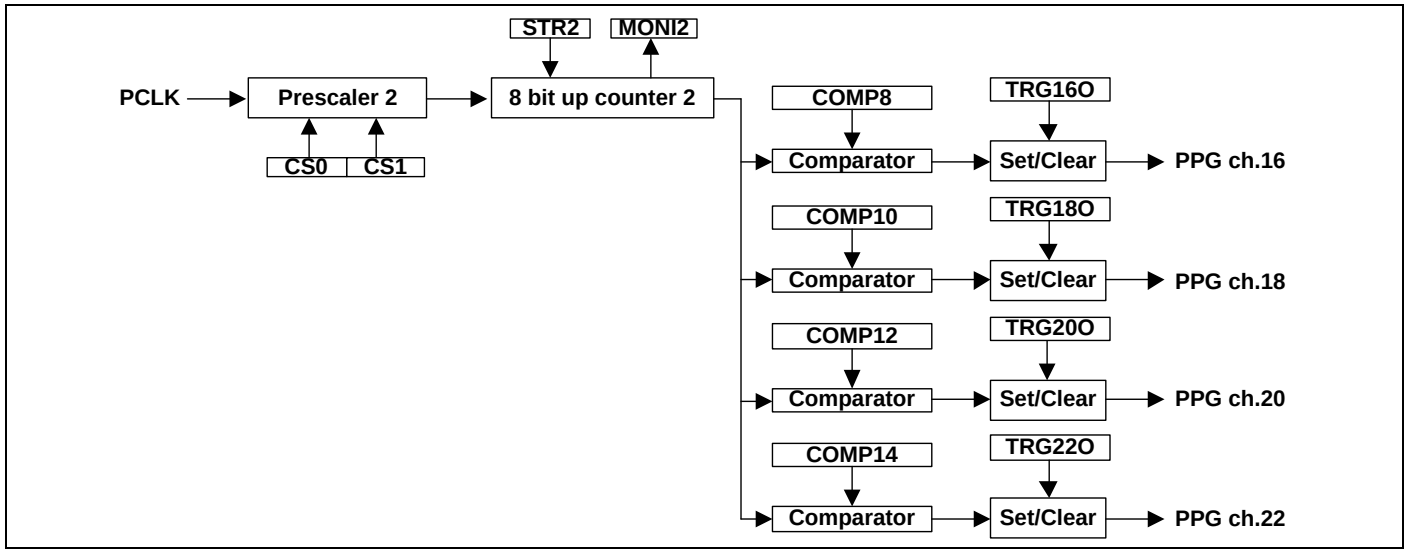


Figure 3-16　タイミングジェネレータ回路 2 ブロックダイヤグラム



以下にタイミングジェネレータ回路を構成するブロックの説明を行います。

- プリスケーラにより、8 ビットアップカウンタの動作クロックを 4 種類(PCLK/2, PCLK/8, PCLK/32, PCLK/64) から選択できます。
- 8 ビットアップカウンタは、TTCRx:STR="1"書込みにより、カウント動作を開始します。
- 8 ビットアップカウンタの動作状態を、TTCRx:MONI ビットから読み出せます。
- 4 つのコンペアレジスタ（COMPx）は、各 PPG チャネルに対応しており、それぞれの起動タイミングを設定します。
- 8 ビットアップカウンタのカウント値とコンペアレジスタ値が一致すると、各 PPG 起動信号をアサートします。
- TTCRx:TRGx0="0"書込みにより、PPG 起動信号をネゲートします。
- TTCRx:TRGx0="1"書込みの場合、PPG 起動信号をネゲートしません。
- 8 ビットアップカウンタは、0xFF までカウントアップするとカウント動作を停止します。

タイミングジェネレータから出力される PPG 起動信号は、PPG の偶数チャネルに接続されます。COMP レジスタ番号、TTCRx:TRGxO レジスタの番号と、PPG チャネル番号の対応関係が異なります。レジスタ設定時は番号に注意してください。Table 3-10 に、タイミングジェネレータ番号、COMP レジスタ番号、TTCRx:TRGxO レジスタ番号、PPG チャネル番号の対応を記載します。

Table 3-10　タイミングジェネレータのレジスタ番号と PPG チャネル対応

タイミング ジェネレータ	COMP レジスタ	TRGxO レジスタ	接続する PPG の チャネル番号
タイミング ジェネレータ 0	COMP0	TTCR0:TRG0O	PPG ch.0
	COMP2	TTCR0:TRG2O	PPG ch.2
	COMP4	TTCR0:TRG4O	PPG ch.4
	COMP6	TTCR0:TRG6O	PPG ch.6
タイミング ジェネレータ 1	COMP1	TTCR1:TRG1O	PPG ch.8
	COMP3	TTCR1:TRG3O	PPG ch.10
	COMP5	TTCR1:TRG5O	PPG ch.12
	COMP7	TTCR1:TRG7O	PPG ch.14
タイミング ジェネレータ 2	COMP8	TTCR2:TRG16O	PPG ch.16
	COMP10	TTCR2:TRG18O	PPG ch.18
	COMP12	TTCR2:TRG20O	PPG ch.20
	COMP14	TTCR2:TRG22O	PPG ch.22

3.2.2 タイミングジェネレータの動作例

タイミングジェネレータ 0 による PPG ch.2,4,6,8 起動の動作例を示します。Table 3-11 に、初期レジスタ設定例を、Figure 3-17 に入出力信号の波形例を示します。

Table 3-11 タイミングジェネレータから起動時レジスタ設定（16 ビット PPG 動作モード）

レジスタ名	ビット書込み値	設定内容	備考
PPGC0 PPGC2 PPGC4 PPGC6	TTRG=1 MD1,MD0=10 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	タイミングジェネレータによる起動 16 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	
PPGC1 PPGC3 PPGC5 PPGC7	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	
TTCR0	STR0=0 MONI0=0 CS01,CS00=00 TRG0O=0 TRG2O=0 TRG4O=0 TRG6O=0	カウンタ動作開始しない（初期設定） 書込み値は無視されます。 8 ビットアップカウンタのクロックに PCLK/2 を選択 PPG ch.0 に対する起動信号初期化 PPG ch.2 に対する起動信号初期化 PPG ch.4 に対する起動信号初期化 PPG ch.6 に対する起動信号初期化	
REVC0	REV00-PPG07 REV08~15=X	PPG0~7 を正極性で出力 他チャネルの設定なので本説明の対象外	
COMP0	COMP0=0x40	PPG0/PPG1 の出力開始タイミングを指定	
COMP2	COMP2=0x80	PPG2/PPG3 の出力開始タイミングを指定	
COMP4	COMP4=0xC0	PPG4/PPG5 の出力開始タイミングを指定	
COMP6	COMP6=0xF0	PPG6/PPG7 の出力開始タイミングを指定	

Figure 3-17 の▼1～▼6 の各タイミングでの CPU からの制御内容と PPG の動作を以下に示します。

▼1 のタイミング：

Table 3-11 に示すように、PPG とタイミングジェネレータの初期設定を行います。8 ビットアップカウンタの動作中は、初期設定が行えないため、TTCR0:MONI0 レジスタの読出しを行って、カウンタが動作停止していることを確認してから、初期設定を行います。PPGC0,2,4,6:TTRG=1 の指定により、タイミングジェネレータからの起動を選択します。TTCR0:CS01,CS00 レジスタにて、8 ビットアップカウンタで使用するクロックの選択を行います。COMP0,2,4,6 レジスタに、各 PPG の起動タイミングを指定します。PPG 起動信号をアサートしない場合、COMPx=0x00 の指定を行います。

▼2 のタイミング：

TTCR0:STR0="1"書込みを行います。8 ビットアップカウンタがカウント動作を開始します。TTCR0:MONI0 レ

ジスタより、8 ビットアップカウンタのカウント動作状態が読み出せます。カウント動作中は"1"が読み出せます。カウント停止中は"0"が読み出せます。

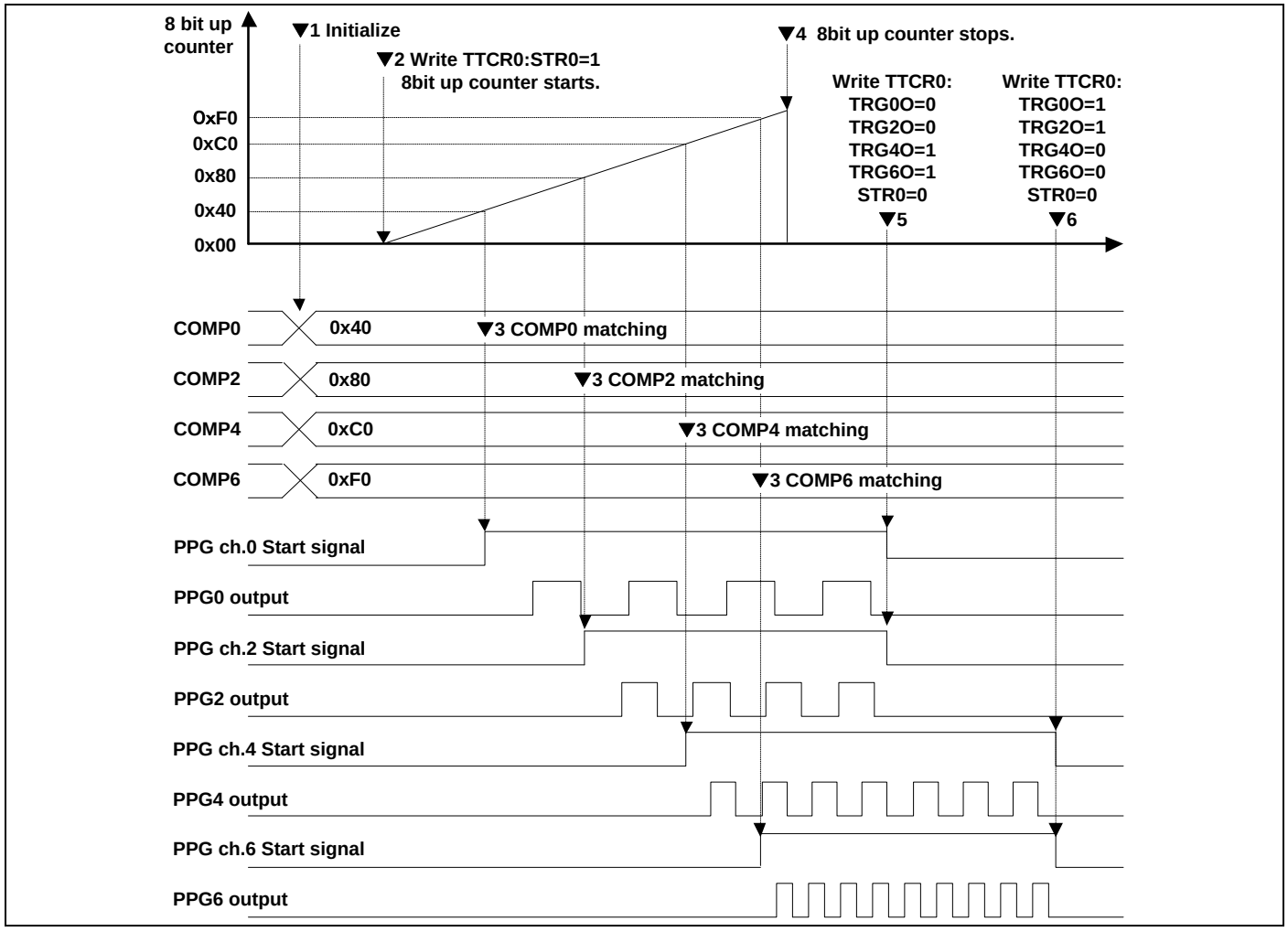
▼3 のタイミング：
8 ビットアップカウンタのカウンタ値が COMP0 値、COMP2 値、COMP4、COMP6 値と一致したタイミングで、各チャネルに対するタイミングジェネレータからの PPG 起動信号がアサートされます。各 PPG は、それぞれの起動信号がアサートされたタイミングで、出力を開始します。

▼4 のタイミング:
8 ビットアップカウンタは、0xFF までカウントアップすると停止します。

▼5 のタイミング：
TRG0O=TRG2O=0、TRG4O=TRG6O=1、STR0=0 の書込みを行います。 PPG0 と PPG2 に対し動作停止、PPG4 と PPG6 に対し動作継続を指示しています。8 ビットアップカウンタを再起動しないために STR0=0 を書込みます。

▼6:のタイミング：
TRG0O=TRG2O=1、TRG4O=TRG6O=0、STR0=0 の書込みを行い、PPG4 と PPG6 に対し停止指示します。

Figure 3-17　タイミングジェネレータ 0 による PPG 起動の動作例



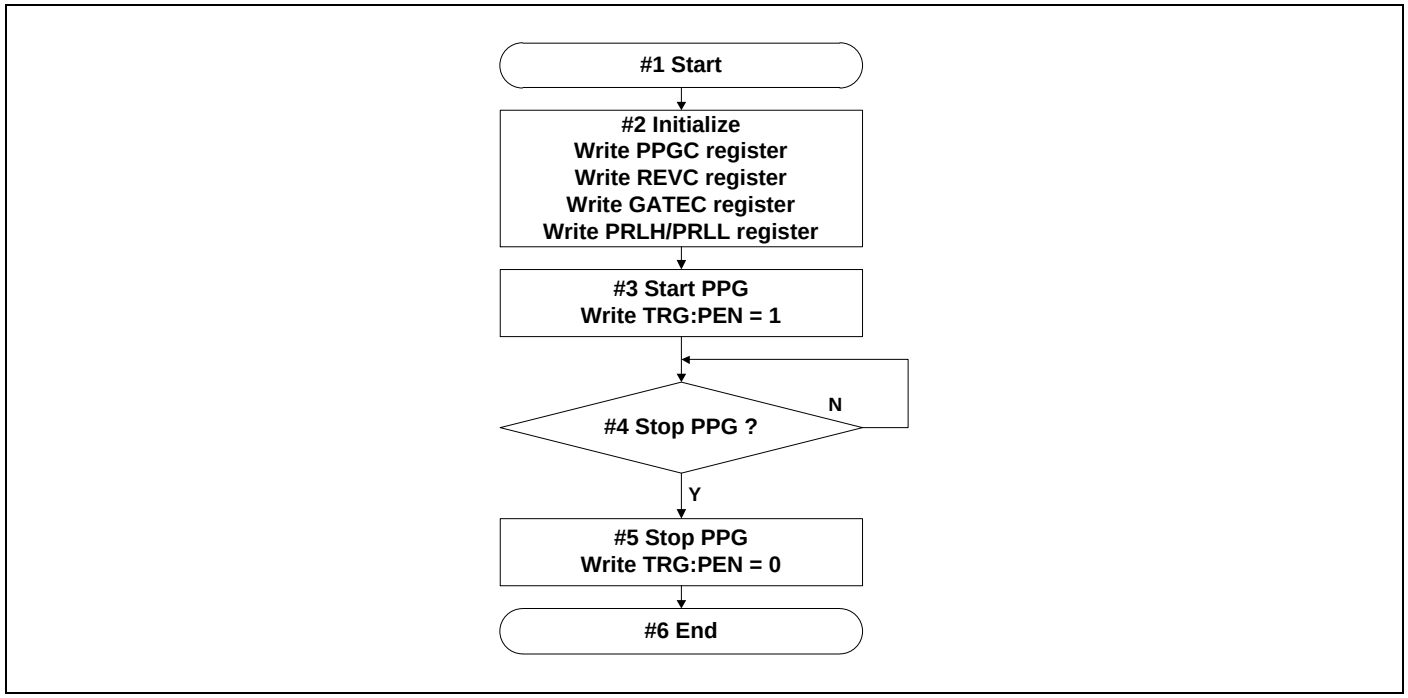
4. PPG 設定手順例

PPG の設定手順例を説明します。

4.1 PPG 起動レジスタ書込みによる PPG 起動例

Figure 4-1 に、PPG 起動レジスタ（TRG:PEN）への直接書込みによる PPG 起動を選択した場合の設定手順例を示します。図中の番号は、以下の説明文の番号に対応します。

Figure 4-1 PPG 起動レジスタへの直接書込みによる PPG 起動



#1 本例の設定手順を開始します。

#2 各レジスタの初期化を行います。PPGC:TTRG=0、GATEC:STRG=0 の設定を行い、PPG 起動レジスタ（TRG:PEN）への直接書込みによる PPG 起動を選択します。各レジスタの初期設定値は、Table 3-5,Table 3-6,Table 3-7,Table 3-8 を参考にしてください。

#3 PPG 起動レジスタ（TRG:PEN）へ"1"の書込みを行い、PPG 出力開始を指示します。

#4 PPG は出力開始後、起動停止指示があるまで出力を継続します。起動停止する場合#5 へ進みます。

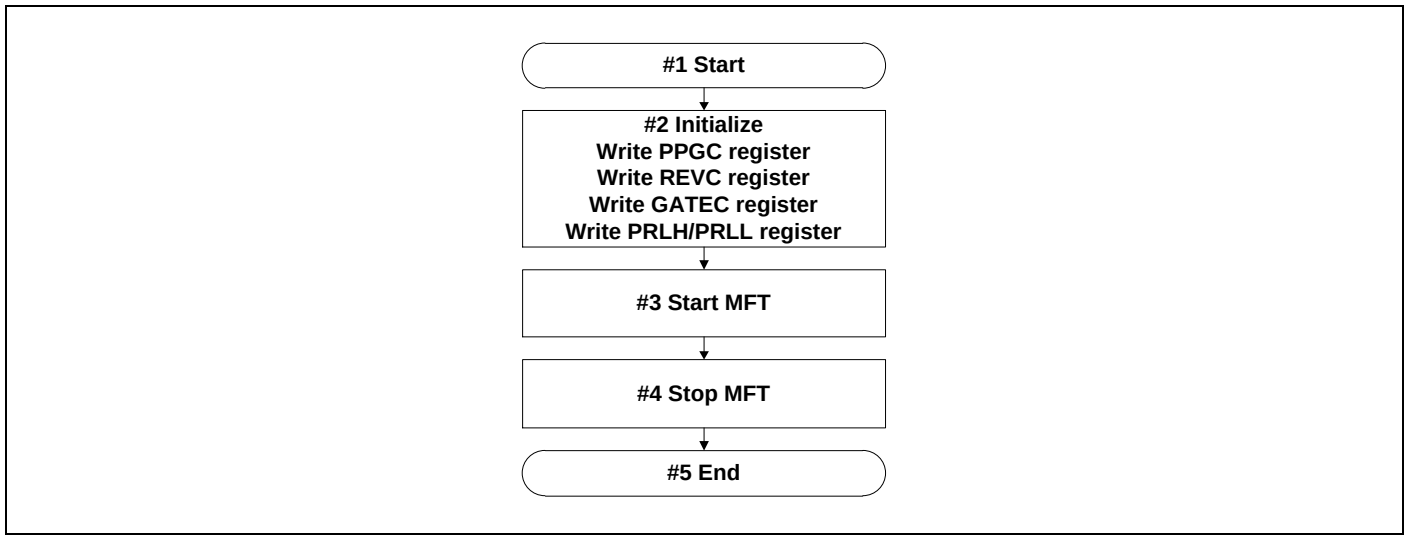
#5 PPG 起動レジスタ（TRG:PEN）へ"0"の書込みを行い、PPG 出力停止を指示します。

#6 本例の設定手順を終了します。

4.2 多機能タイマからの GATE 信号による PPG 起動例

Figure 4-2 に、多機能タイマ（MFT）からの GATE 信号による PPG 起動を選択した場合の設定手順例を示します。図中の番号は、以下の説明文の番号に対応します。

Figure 4-2 多機能タイマからの GATE 信号による PPG 起動



#1 本例の設定手順を開始します。

#2 各レジスタの初期化を行います。PPGC:TTRG=0、GATEC:STRG=1 の設定を行い、多機能タイマからの GATE 信号による起動を選択します。各レジスタの初期設定値は、Table 3-9 を参考にしてください。

#3 多機能タイマの動作を開始させます。多機能タイマから供給される GATE 信号のアサート/ネゲートに従い、PPG の出力開始、出力停止が制御されます。

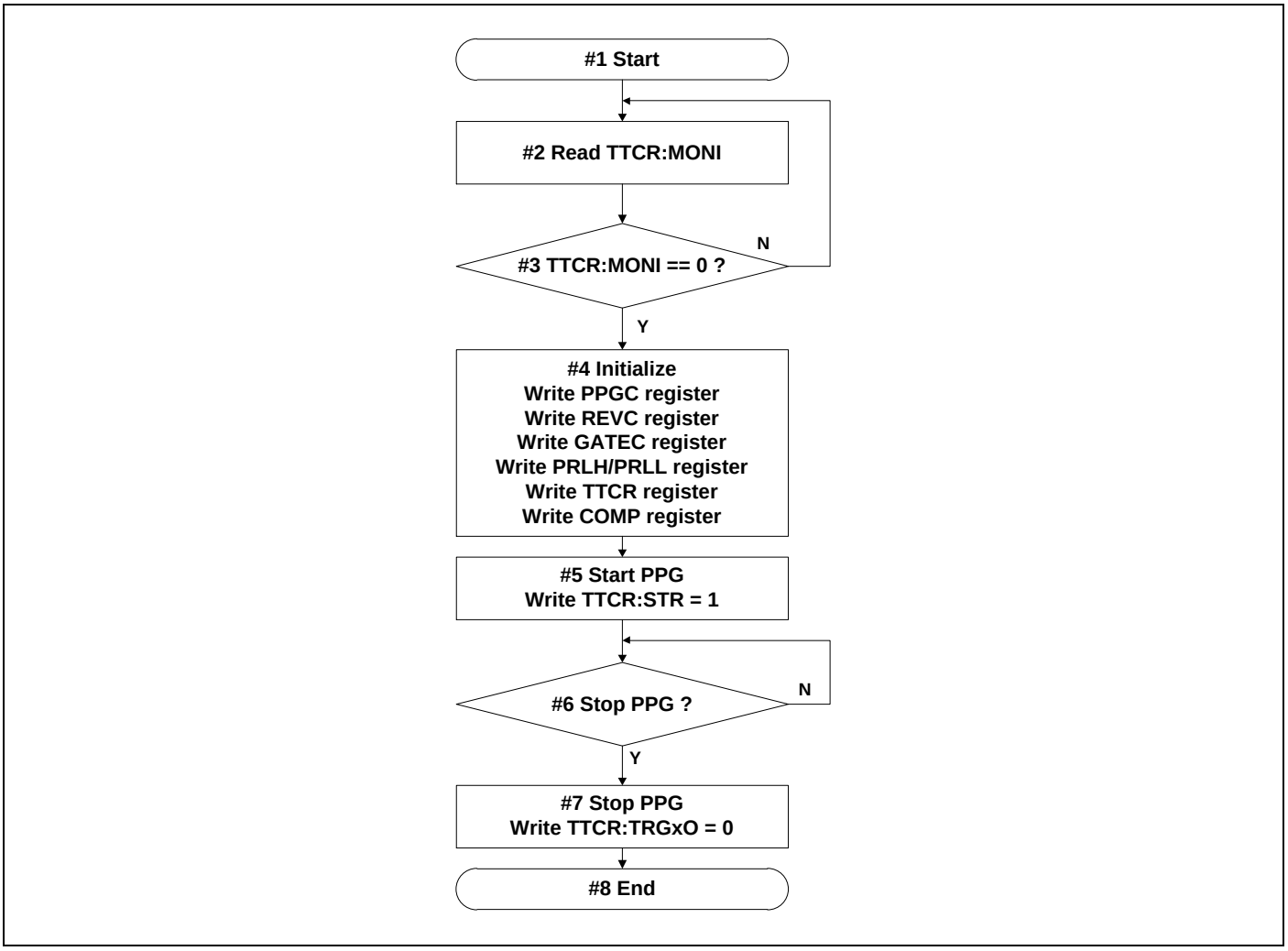
#4 多機能タイマの動作を停止させます。この際、GATE 信号がネゲート状態で終了するよう、多機能タイマ側で制御を行ってください。GATE 信号がネゲート状態である場合、PPG はそれ以降出力を停止します。

#5 本例の設定手順を終了します。

4.3 タイミングジェネレータによる PPG 起動例

Figure 4-3 に、タイミングジェネレータからの PPG 起動を選択した場合の設定手順例を示します。図中の番号は、以下の説明文の番号に対応します。

Figure 4-3 タイミングジェネレータからの PPG 起動



#1 本例の設定手順を開始します。

#2, #3 タイミングジェネレータによる PPG 起動を行う場合、8 ビットアップカウンタのカウント動作中は、初期化ができないため、TTCR:MONI の読出しを行い、カウント動作が停止していることを確認してから、#4 へ進みます。

#4 各レジスタの初期化を行います。PPGC:TTRG=1 の設定を行い、タイミングジェネレータによる起動を選択します。各レジスタの初期設定値は、Table 3-11 を参考にしてください。

#5 TTCR:STR へ"1"の書込みを行い、8 ビットアップカウンタのカウント開始を指示します。COMP レジスタ設定値と 8 ビットアップカウンタの一致により、PPG 起動信号がアサートされ、PPG の出力が開始されます。

#6 PPG は出力開始後、、起動停止指示まで出力を継続します。起動停止する場合#7 へ進みます。

#7 TTCR:TRGxO レジスタへ"0"の書込みを行い、PPG 出力停止を指示します。対応する PPG 起動信号がネゲートされ、PPG の出力が停止します。

#8 本例の設定手順を終了します。

5. PPG レジスター覧

PPG のレジスター覧を説明します。

PPG のレジスター覧を Table 5-1 に示します。

Table 5-1 レジスター覧表

レジスタ略称	レジスタ名	参照先
TTCR0	タイミングジェネレータ PPG 起動トリガ制御レジスタ 0	5.1
TTCR1	タイミングジェネレータ PPG 起動トリガ制御レジスタ 1	5.2
TTCR2	タイミングジェネレータ PPG 起動トリガ制御レジスタ 2	5.3
COMP0	タイミングジェネレータ PPG コンペアレジスタ 0	5.4
COMP1	タイミングジェネレータ PPG コンペアレジスタ 1	
COMP2	タイミングジェネレータ PPG コンペアレジスタ 2	
COMP3	タイミングジェネレータ PPG コンペアレジスタ 3	
COMP4	タイミングジェネレータ PPG コンペアレジスタ 4	
COMP5	タイミングジェネレータ PPG コンペアレジスタ 5	
COMP6	タイミングジェネレータ PPG コンペアレジスタ 6	
COMP7	タイミングジェネレータ PPG コンペアレジスタ 7	
COMP8	タイミングジェネレータ PPG コンペアレジスタ 8	
COMP10	タイミングジェネレータ PPG コンペアレジスタ 10	
COMP12	タイミングジェネレータ PPG コンペアレジスタ 12	
COMP14	タイミングジェネレータ PPG コンペアレジスタ 14	
TRG0	PPG 起動レジスタ 0	5.5
TRG1	PPG 起動レジスタ 1	5.6
REVC0	出力反転レジスタ 0	5.7
REVC1	出力反転レジスタ 1	5.8
PPGC0	PPG 動作モード制御レジスタ 0	5.9
PPGC1	PPG 動作モード制御レジスタ 1	
PPGC2	PPG 動作モード制御レジスタ 2	
PPCG3	PPG 動作モード制御レジスタ 3	
PPGC4	PPG 動作モード制御レジスタ 4	
PPGC5	PPG 動作モード制御レジスタ 5	
PPGC6	PPG 動作モード制御レジスタ 6	

レジスタ略称	レジスタ名	参照先
PPCG7	PPG 動作モード制御レジスタ 7	
PPGC8	PPG 動作モード制御レジスタ 8	
PPGC9	PPG 動作モード制御レジスタ 9	
PPGC10	PPG 動作モード制御レジスタ 10	
PPCG11	PPG 動作モード制御レジスタ 11	
PPGC12	PPG 動作モード制御レジスタ 12	5.9
PPGC13	PPG 動作モード制御レジスタ 13	
PPGC14	PPG 動作モード制御レジスタ 14	
PPCG15	PPG 動作モード制御レジスタ 15	
PPCG16	PPG 動作モード制御レジスタ 16	
PPCG17	PPG 動作モード制御レジスタ 17	
PPCG18	PPG 動作モード制御レジスタ 18	
PPCG19	PPG 動作モード制御レジスタ 19	
PPCG20	PPG 動作モード制御レジスタ 20	
PPCG21	PPG 動作モード制御レジスタ 21	
PPCG22	PPG 動作モード制御レジスタ 22	
PPCG23	PPG 動作モード制御レジスタ 23	
PRLH0	PPG リロードレジスタ H 0	5.10
PRLL0	PPG リロードレジスタ L 0	
PRLH1	PPG リロードレジスタ H 1	
PRLL1	PPG リロードレジスタ L 1	
PRLH2	PPG リロードレジスタ H 2	
PRLL2	PPG リロードレジスタ L 2	
PRLH3	PPG リロードレジスタ H 3	
PRLL3	PPG リロードレジスタ L 3	
PRLH4	PPG リロードレジスタ H 4	
PRLL4	PPG リロードレジスタ L 4	
PRLH5	PPG リロードレジスタ H 5	
PRLL5	PPG リロードレジスタ L 5	
PRLH6	PPG リロードレジスタ H 6	
PRLL6	PPG リロードレジスタ L 6	

レジスタ略称	レジスタ名	参照先
PRLH7	PPG リロードレジスタ H 7	
PRLL7	PPG リロードレジスタ L 7	
PRLH8	PPG リロードレジスタ H 8	
PRLL8	PPG リロードレジスタ L 8	
PRLH9	PPG リロードレジスタ H 9	
PRLL9	PPG リロードレジスタ L 9	
PRLH10	PPG リロードレジスタ H 10	
PRLL10	PPG リロードレジスタ L 10	
PRLH11	PPG リロードレジスタ H 11	
PRLL11	PPG リロードレジスタ L 11	
PRLH12	PPG リロードレジスタ H 12	
PRLL12	PPG リロードレジスタ L 12	
PRLH13	PPG リロードレジスタ H 13	
PRLL13	PPG リロードレジスタ L 13	
PRLH14	PPG リロードレジスタ H 14	
PRLL14	PPG リロードレジスタ L 14	
PRLH15	PPG リロードレジスタ H 15	
PRLL15	PPG リロードレジスタ L 15	
PRLH16	PPG リロードレジスタ H 16	
PRLL16	PPG リロードレジスタ L 16	
PRLH17	PPG リロードレジスタ H 17	5.10
PRLL17	PPG リロードレジスタ L 17	
PRLH18	PPG リロードレジスタ H 18	
PRLL18	PPG リロードレジスタ L 18	
PRLH19	PPG リロードレジスタ H 19	
PRLL19	PPG リロードレジスタ L 19	
PRLH20	PPG リロードレジスタ H 20	
PRLL20	PPG リロードレジスタ L 20	
PRLH21	PPG リロードレジスタ H 21	
PRLL21	PPG リロードレジスタ L 21	
PRLH22	PPG リロードレジスタ H 22	

レジスタ略称	レジスタ名	参照先
PRLL22	PPG リロードレジスタ L 22	
PRLH23	PPG リロードレジスタ H 23	
PRLL23	PPG リロードレジスタ L 23	
GATEC0	GATE 機能制御レジスタ 0	5.11
GATEC4	GATE 機能制御レジスタ 4	
GATEC8	GATE 機能制御レジスタ 8	
GATEC12	GATE 機能制御レジスタ 12	
GATEC16	GATE 機能制御レジスタ 16	
GATEC20	GATE 機能制御レジスタ 20	

5.1 タイミングジェネレータ PPG 起動トリガ制御レジスタ 0 (TTCR0)

TTCR0 レジスタはタイミングジェネレータ 0 を制御します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	TRG6O	TRG4O	TRG2O	TRG0O	CS01	CS00	MONI0	STR0
属性	W	W	W	W	R/W	R/W	R	W
初期値	-	-	-	-	0	0	0	-

レジスタ機能

[bit15:12] TRG6O, TRG4O, TRG2O, TRG0O : PPG トリガ停止ビット

タイミングジェネレータ 0 により生成された PPG 起動信号をネゲートします。

bit	機能
読出し	常に"1"が読み出されます。
0 書込み	タイミングジェネレータからの PPG 起動信号をネゲートし、PPG 出力を停止します。
1 書込み	動作に影響しません。

[bit11:10] CS01, CS00 : 8 ビットアップカウンタクロック選択ビット

8 ビットアップカウンタの動作クロックを設定できます。

bit11	bit10	機能
0	0	PCLK/2 [初期値]
0	1	PCLK/8
1	0	PCLK/32
1	1	PCLK/64

[bit9] MONI0 : 8 ビットアップカウンタ動作状態モニタビット

8 ビットアップカウンタの動作状態を示します。

bit	機能
0 読出し	8 ビットアップカウンタ停止状態[初期値]
1 読出し	8 ビットアップカウンタ動作状態
書込み時	動作に影響しません。

[bit8] STR0 : 8 ビットアップカウンタ動作許可ビット

8 ビットアップカウンタの動作開始を指示します。

bit	機能
読出し	常に"0"が読み出されます。
0 書込み	動作に影響しません。
1 書込み	8 ビットアップカウンタ動作開始

<注意事項>

- *TRGxO ビットの番号と、制御対象となる PPG チャネル番号が異なる場合があります。Table 3-10 を参照してください。*

- *コンペアレジスタの比較一致による PPG 起動信号アサートと、TRGxO="0"書込みが同時に発生した場合、PPG 起動信号ネゲートが優先されます。*
- *コンペアレジスタの比較一致による PPG 起動信号アサートの前に、TRGxO="0"書込んでも、動作に影響ありません。*
- *8 ビットアップカウンタは、カウント開始後、0xFF までカウントアップした後に停止します。一度カウント開始後、再度 0x00 からカウント開始する場合は、カウント動作が停止していることを、MONI0 ビットで確認した後に、カウント開始指示を行ってください。*
- *CS01, CS00 ビットは 8 ビットアップカウンタの動作中は書換え禁止です。*

5.2 タイミングジェネレータ PPG 起動トリガ制御レジスタ 1 (TTCR1)

TTCR1 レジスタはタイミングジェネレータ 1 の起動を制御します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	TRG7O	TRG5O	TRG3O	TRG1O	CS11	CS10	MONI1	STR1
属性	W	W	W	W	R/W	R/W	R	W
初期値	-	-	-	-	0	0	0	-

レジスタ機能

[bit15:12] TRG7O/TRG5O/TRG3O/TRG1O : PPG トリガ停止ビット

タイミングジェネレータにより生成された PPG 起動信号をネゲートします。

bit	機能
読出し	常に"1"が読み出されます。
0 書込み	タイミングジェネレータからの PPG 起動信号をネゲートし、PPG 出力を停止します。
1 書込み	動作に影響しません。

[bit11:10] CS11, CS10 : 8 ビットアップカウンタクロック選択ビット

8 ビットアップカウンタの動作クロックを設定できます。

bit11	bt10	機能
0	0	PCLK/2 [初期値]
0	1	PCLK/8
1	0	PCLK/32
1	1	PCLK/64

[bit9] MONI1 : 8 ビットアップカウンタ動作状態モニタビット

8 ビットアップカウンタの動作状態を示します。

bit	機能
0 読出し	8 ビットアップカウンタ停止状態[初期値]
1 読出し	8 ビットアップカウンタ動作状態
書込み時	動作に影響しません。

[bit8] STR1 : 8 ビットアップカウンタ動作許可ビット

8 ビットアップカウンタの動作開始を指示します。

bit	機能
読出し	常に"0"が読み出されます。
0 書込み	動作に影響しません。
1 書込み	8 ビットアップカウンタ動作開始

<注意事項>

- *「タイミングジェネレータ PPG 起動トリガ制御レジスタ 0 (TTCR0)」の注意事項を参照ください。TTCR1 レジスタにも同様に適用されます。*

5.3 タイミングジェネレータ PPG 起動トリガ制御レジスタ 2 (TTCR2)

TTCR2 レジスタはタイミングジェネレータ 2 の起動を制御します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	TRG22O	TRG20O	TRG18O	TRG16O	CS21	CS20	MONI2	STR2
属性	W	W	W	W	R/W	R/W	R	W
初期値	-	-	-	-	0	0	0	-

レジスタ機能

[bit15:12] TRG22O/TRG20O/TRG18O/TRG16O : PPG トリガ停止ビット

タイミングジェネレータにより生成された PPG 起動信号をネゲートします。

bit	機能
読出し	常に"1"が読み出されます。
0 書込み	タイミングジェネレータからの PPG 起動信号をネゲートし、PPG 出力を停止します。
1 書込み	動作に影響しません。

[bit11:10] CS21, CS20 : 8 ビットアップカウンタクロック選択ビット

8 ビットアップカウンタの動作クロックを設定できます。

bit11	bit10	機能
0	0	PCLK/2 [初期値]
0	1	PCLK/8
1	0	PCLK/32
1	1	PCLK/64

[bit9] MONI2 : 8 ビットアップカウンタ動作状態モニタビット

8 ビットアップカウンタの動作状態を示します。

bit	機能
0 読出し	8 ビットアップカウンタ停止状態[初期値]
1 読出し	8 ビットアップカウンタ動作状態
書込み時	動作に影響しません。

[bit8] STR2 : 8 ビットアップカウンタ動作許可ビット

8 ビットアップカウンタの動作開始を指示します。

bit	機能
読出し	常に"0"が読み出されます。
0 書込み	動作に影響しません。
1 書込み	8 ビットアップカウンタ動作開始

<注意事項>

- *「タイミングジェネレータ PPG 起動トリガ制御レジスタ 0 (TTCR0)」の注意事項を参照ください。TTCR1 レジスタにも同様に適用されます。*

5.4 タイミングジェネレータ PPG コンペアレジスタ n (COMPn n=0～14)

COMPn レジスタはタイミングジェネレータのコンペア値を設定します。

レジスタ構成

bit	15/7	14/6	13/5	12/4	11/3	10/2	9/1	8/0
Field	COMPn							
属性	R/W							
初期値	0x00							

レジスタ機能

[bit15:8/bit7:0] COMP14～COMP0： コンペアレジスタ ch.14～ch.0

タイミングジェネレータによる起動時のコンペア値を設定できます。

bit15:8 / bit7:0	機能
読出し	コンペア値が読み出されます。 初期値は 0x00 です。
書込み	コンペア値が設定できます。

<注意事項>

- *本レジスタは 8 ビットのコンペアレジスタで、各 PPG 起動信号に対して 1 個ずつあります。本レジスタ番号と制御対象となる PPG チャネル番号が異なる場合があります。Table 3-10　を参照してください。*
- *本レジスタ値が 8 ビットアップカウンタ値と一致すると、対応する PPG に対し、起動信号がアサートされます。*
- *本レジスタ値が 0x00 の場合は 8 ビットアップカウンタ値との一致比較は行われず、PPG 起動信号はアサートされません。*
- *本レジスタは、8 ビットアップカウンタが動作中の書込みは禁止です。*

5.5 PPG 起動レジスタ 0(TRG0)

TRG0 レジスタは PPG0~PPG15 を直接起動する PPG 起動レジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	PEN15	PEN14	PEN13	PEN12	PEN11	PEN10	PEN09	PEN08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	PEN07	PEN06	PEN05	PEN04	PEN03	PEN02	PEN01	PEN00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:0] PEN15～PEN00 : PPG 起動レジスタ

PPG の各チャネルを直接起動する PPG 起動レジスタです。"1"書込みにより、PPG 起動信号をアサートし、PPG を起動します。"0"書込みにより、PPG 起動信号をネゲートし、PPG を停止します。複数チャネルへの同時書込みにより、同時 PPG 起動、同時 PPG 停止が可能です。

bit	機能
0	PPG 起動信号をネゲートし、PPG の動作を停止します。[初期値]
1	PPG 起動信号をアサートし、PPG の動作を開始します。

<注意事項>

- *PEN のビット番号 n (n=0,1,2,,,15）は、各 PPG のチャネル番号に対応します。*
- *PPGC:TTRG レジスタ、および GATEC:STRG レジスタの指定により、PEN レジスタによる PPG 起動が選択されている場合、PEN レジスタから PPG を起動・停止することができます。*
- *PEN レジスタによるPPG起動が選択されていない場合は、PEN レジスタの値は無視されます。Table 3-2 を参照してください。*
- *PEN レジスタ書込みによる起動を行う場合で、複数の PPG チャネルを使用する動作モード（8+8 ビット、16 ビット、16+16 ビット）の場合は、使用するすべてのチャネルの PEN レジスタに同時に"1"を書込み、PPG の起動を行います。また、使用するすべて PEN レジスタに同時に"0"を書込み、PPG の停止を行います。書込みを同時に行わない場合、カウント周期がずれることがあります。*

5.6 PPG 起動レジスタ 1(TRG1)

TRG1 レジスタは PPG16~PPG23 を直接起動する PPG 起動レジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	PEN23	PEN22	PEN21	PEN20	PEN19	PEN18	PEN17	PEN16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit7:0] PEN23～PEN16 : PPG 起動レジスタ

PPG の各チャネルを直接起動する PPG 起動レジスタです。"1"書込みにより、PPG 起動信号をアサートし、PPG を起動します。"0"書込みにより、PPG 起動信号をネゲートし、PPG を停止します。複数チャネルへの同時書込みにより、同時 PPG 起動、同時 PPG 停止が可能です。

bit	機能
0	PPG 起動信号をネゲートし、PPG の動作を停止します。[初期値]
1	PPG 起動信号をアサートし、PPG の動作を開始します。

<注意事項>

- *PEN のビット番号 n（n=16,17,,,23）は、各 PPG のチャネル番号に対応します。*
- *「PPG 起動レジスタ 0(TRG0)」の注意事項を参照してください。TRG1 レジスタにも同様に適用されます。*

5.7 出力反転レジスタ 0(REVC0)

REVC0 レジスタは PPG0~PPG15 出力信号の出力極性を設定します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	REV15	REV14	REV13	REV12	REV11	REV10	REV09	REV08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	REV07	REV06	REV05	REV04	REV03	REV02	REV01	REV00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:0] REV15～REV00 : PPG 出力反転許可ビット

PPG の各チャネル出力信号の極性を設定できます。

bit	機能
0	通常(停止時に L 出力)[初期値]
1	反転(停止時に H 出力)

<注意事項>

- *REV のビット番号 n（n=0,1,2,,,15）は、各 PPG のチャネル番号に対応します。*
- *Figure 3-1, Figure 3-3, Figure 3-4, Figure 3-5 の接続図に記載のように、REV レジスタ値により、直接 PPG 出力を反転する構成です。このため、REV=1 の場合、以下のようになります。*

- PPG 出力の動作開始前の出力レベル、動作停止後の出力レベルが、High レベルに反転します。
- 出力パルスの Low-High が反転し、リロードレジスタの Low 幅設定、High 幅設定の関係が反転します。
- PPGC:INTM=1 時、Low パルス終了時に PUF がセットされます。
- 8+8 ビット PPG 動作モード、16+16 ビット PPG 動作モードにおいて、プリスケーラ側から PPG 出力側に供給される動作クロックが反転します。

5.8 出力反転レジスタ 1(REVC1)

REVC1 レジスタは PPG16~PPG23 出力信号の出力極性を設定します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	REV23	REV22	REV21	REV20	REV19	REV18	REV17	REV16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit7:0] REV23～REV16 : PPG 出力反転許可ビット

PPG の各チャネル出力信号の極性を設定できます。

bit	機能
0	通常(停止時に L 出力)[初期値]
1	反転(停止時に H 出力)

<注意事項>

- *REV のビット番号 n（n=16,17,,,23）は、各 PPG のチャネル番号に対応します。*
- *「出力反転レジスタ 0(REVC0)」の注意事項を参照してください。REV1 レジスタにも同様に適用されます。*

5.9 PPG 動作モード制御レジスタ n (PPGCn n=0～23)

PPGCn レジスタは、PPG の割込み,動作モード,クロック選択 などを設定します。

PPGC のレジスタ構成　一覧

bit 15 ～ 8	bit 7 ～ 0	初期値	属性	対応 PPG
PPGC0	PPGC1	0x0000	R/W	PPG0, PPG1
PPGC2	PPGC3	0x0000	R/W	PPG2, PPG3
PPGC4	PPGC5	0x0000	R/W	PPG4, PPG5
PPGC6	PPGC7	0x0000	R/W	PPG6, PPG7
PPGC8	PPGC9	0x0000	R/W	PPG8, PPG9
PPGC10	PPGC11	0x0000	R/W	PPG10, PPG11
PPGC12	PPGC13	0x0000	R/W	PPG12, PPG13
PPGC14	PPGC15	0x0000	R/W	PPG14, PPG15
PPGC16	PPGC17	0x0000	R/W	PPG16, PPG17
PPGC18	PPGC19	0x0000	R/W	PPG18, PPG19
PPGC20	PPGC21	0x0000	R/W	PPG20, PPG21
PPGC22	PPGC23	0x0000	R/W	PPG22, PPG23

<注意事項>

- *PPGC のレジスタ番号 n (n=0,1,2,,,,23)は、制御対象となる PPG のチャネル番号に対応します。*
- *本レジスタは、n が偶数の場合、上位側（bit[15:8]）に配置されています。*
- *本レジスタは、n が奇数の場合、下位側（bit[7:0]）に配置されています。*
- *上位側と下位側で、レジスタ構成が異なります。偶数チャネル側にのみ存在する制御ビットがあります。*

PPGCn レジスタ構成（n が偶数の場合）

Bit	15	14	13	12	11	10	9	8
Field	PIE	PUF	INTM	PCS1	PCS0	MD1	MD0	TTRG

PPGCn レジスタ構成（n が奇数の場合）

bit	7	6	5	4	3	2	1	0
Field	PIE	PUF	INTM	PCS1	PCS0	予約		

レジスタ機能

[bit15/bit7] PIE : PPG 割込み許可ビット

PPG 割込みを許可/禁止を選択します。割込み許可を設定している場合、PUF を利用して割込み信号をアサートすることができます。Figure 3-1, Figure 3-3, Figure 3-4, Figure 3-5 の接続図に示すように、割込み出力信号は、PUF 値と PIE 値の論理 AND 信号です。

bit	機能
0 書込み時	割込み禁止[初期値]
1 書込み時	割込み許可
読出し時	設定値が読み出せます。

[bit14/bit6] PUF : PPG カウンタアンダフロービット

PPG 出力パルス変化のイベント発生を CPU に通知するためのビットです。PPG カウンタのアンダフローにより"1"がセットされます。CPU から"0"にクリアすることができます。

bit	機能
0　読出し時	PPG カウンタのアンダフローを検出していません[初期値]
1　読出し時	PPG カウンタのアンダフローを検出しました。
0　書込み時	PUF フラグをクリアします。
1　書込み時	動作に影響しません。

PPG のカウンタは、指定されたパルス幅値のダウンカウントを終了し、アンダフローが発生した時に、出力パルスを変化させます。この際のカウンタのアンダフローにより、PUF に"1"がセットされます。PUF は、出力パルス変化のイベント発生を CPU に通知するためのイベントレジスタです。PPGCn:INTM により、以下の選択が行われます。

- PPGCn:INTM=0 の場合、Low パルス幅カウント終了時のアンダフロー、High パルス幅カウント終了時のアンダフローで、それぞれセットされます。
- PPGCn:INTM=1 の場合、High パルス幅カウント終了時のアンダフローで、セットされます。

PPG チャネルを連結して 16 ビット長で動作させている場合、偶数チャネルと奇数チャネルの両方の PUF が、同時にセットされます。

PPG からセットされた PUF は、CPU から PUF への"0"書込みにより、クリアすることができます。PUF は、1 度セットされると、PPG からはクリアされません。CPU が出力パルス変化のイベント発生を認識するためには、PUF のセットの都度、CPU から PUF をクリアする必要があります。

PUF は、"0"書込みにより、クリアされます。このため、PUF クリアせずに、PPGCn レジスタに書込みアクセスを行う場合は、PUF には"1"を書き込んでください。リードモディファイライトアクセス時の読出し時は、PUF の値に関係なく、"1"が読み出せます。

[bit13/bit5] INTM : 割込みモード選択ビット

割込みモードを設定します。

bit	機能
0 書込み時	Low パルス幅カウント終了時のアンダフロー、および、High パルス幅カウントカウント終了時のアンダフローで、PUF ビットを"1"にします。 [初期値]
1 書込み時	High パルス幅カウント終了時のアンダフローで PUF ビットを"1"にします。
読出し時	設定値が読み出せます。

[bit12:11/bit4:3] PCS1, PCS0 : PPG ダウンカウンタ動作クロック選択ビット

PPG のダウンカウンタの動作クロックを設定します。

「カウントクロックの選択」を参照してください。

bit12	bit11	機能
0	0	PCLK　[初期値]
0	1	PCLK/4
1	0	PCLK/16
1	1	PCLK/64

[bit10:9] MD1, MD0 : PPG 動作モード設定ビット

PPG の動作モードを設定します。

本ビットは偶数チャネル（n=0,2,4,,,,22）にのみ存在します。本ビットの設定で、偶数チャネル(n)と奇数チャネル(n+1)の両方の PPG チャネルの動作モードを指定します。

16+16 ビット PPG 動作モードを設定する場合､4 チャネルを使用します｡PPGCm:MD1,MD0 = PPGCm+2:MD1,MD = 11（m=0,4,8,12,16,20）の設定を行います。

「PPG 動作モードの選択」を参照してください。

bit10	bit9	機能
0	0	偶数チャネル(n)、奇数チャネル(n+1)を両方とも、8 ビット PPG 動作モードに設定します。[初期値]
0	1	8+8 ビット PPG 動作モードに設定します。 偶数チャネル(n)を 8bit の PPG 出力側に設定します。 奇数チャネル(n+1)を 8bit のプリスケーラ側に設定します。
1	0	偶数(n)、奇数チャネル(n+1)を連結し、16 ビット PPG 動作モードに設定します。
1	1	16+16 ビット PPG 動作モードに設定します。 PPGm、PPGm+1 を連結し、16bit の PPG 出力側に設定します。 PPGm+2、PPGm+3 を連結し、16bit のプリスケーラ側に設定します。

[bit8] TTRG : PPG 起動信号選択ビット

PPG 起動信号を選択します。本ビットは偶数チャネルにのみ存在します。本ビットの設定と、GATECx:STRGn レジスタの設定の組み合わせで、偶数チャネルと奇数チャネルの両方の PPG 起動信号を選択します。選択している PPG 動作モードにより、選択可能な起動信号が異なります。

「PPG 起動方法の選択」を参照してください。

bit	機能
0	PPG 起動レジスタ（TRG:PEN）からの起動、もしくは、多機能タイマからの GATE 信号による起動を選択します。[初期値]
1	タイミングジェネレータからの起動信号を選択します。

[bit2:0] 予約 : 予約ビット

本ビットからは、"000"が読み出されます。
書込みの場合には、"000"を設定してください。

5.10 PPG リロードレジスタ n (PRLHn, PRLLn n=0～23)

PRLHn, PRLLn レジスタは PPG の出力パルス幅を設定します。

PRLHn /PRLLn のレジスタ構成　一覧

bit 15 … 8	7 … 0	初期値	属性
PRLH0	PRLL0	0xXXXX	R/W
PRLH1	PRLL1	0xXXXX	R/W
PRLH2	PRLL2	0xXXXX	R/W
PRLH3	PRLL3	0xXXXX	R/W
PRLH4	PRLL4	0xXXXX	R/W
PRLH5	PRLL5	0xXXXX	R/W
PRLH6	PRLL6	0xXXXX	R/W
PRLH7	PRLL7	0xXXXX	R/W
PRLH8	PRLL8	0xXXXX	R/W
PRLH9	PRLL9	0xXXXX	R/W
PRLH10	PRLL10	0xXXXX	R/W
PRLH11	PRLL11	0xXXXX	R/W
PRLH12	PRLL12	0xXXXX	R/W
PRLH13	PRLL13	0xXXXX	R/W
PRLH14	PRLL14	0xXXXX	R/W
PRLH15	PRLL15	0xXXXX	R/W
PRLH16	PRLL16	0xXXXX	R/W
PRLH17	PRLL17	0xXXXX	R/W
PRLH18	PRLL18	0xXXXX	R/W
PRLH19	PRLL19	0xXXXX	R/W
PRLH20	PRLL20	0xXXXX	R/W
PRLH21	PRLL21	0xXXXX	R/W
PRLH22	PRLL22	0xXXXX	R/W
PRLH23	PRLL23	0xXXXX	R/W

レジスタ構成

bit	15 … 8	7 … 0
Field	PRLHn	PRLLn
属性	R/W	R/W
初期値	0xXX	0xXX

レジスタ機能

[bit15:8] PRLH : PPG リロードレジスタ H 設定ビット

PPG のパルス幅を指定します。

bit	機能
書込み時	任意の値の書込みが可能です。
読出し時	レジスタ値が読み出されます。初期値は不定です。

[bit7:0] PRLL : PPG リロードレジスタ L 設定ビット

PPG のパルス幅を指定します。

bit	機能
書込み時	任意の値の書込みが可能です。
読出し時	レジスタ値が読み出されます。初期値は不定です。

本レジスタは、PPG 出力のパルス幅を指定します。PPG 動作中にパルス幅の変更が可能です。High 幅と Low 幅の指定をそれぞれ行います。出力されるパルス幅は、書き込まれた値に"+1"した値に、カウントクロックの周期を掛けた値です。PPG チャネルを連結して 16 ビット長とする場合、リロードレジスタも連結し、16 ビット長値をを指定します。High 幅設定を行う場合は、バッファレジスタ機能が有効になります。「リロードレジスタとパルス幅指定」「High 幅設定リロードレジスタのバッファ機能」を参照してください。

PPG 動作モードにより、設定内容が一意に決定します。チャネル番号 0-3 の設定を以下に示します。チャネル番号 4 以降は、同じ組み合わせです。

8 ビット PPG 動作モード

PRLH0	PRLL0
PPG0　High 幅（8bit）	PPG0　Low 幅（8bit）
PRLH1	PRLL1
PPG1　High 幅（8bit）	PPG1　Low 幅（8bit）
PRLH2	PRLL2
PPG2　High 幅（8bit）	PPG2　Low 幅（8bit）
PRLH3	PRLL3
PPG3　High 幅（8bit）	PPG3　Low 幅（8bit）

8+8 ビット PPG 動作モード

PRLH0	PRLL0
PPG0（PPG 出力側）High 幅(8bit)	PPG0（PPG 出力側）Low 幅(8bit)
PRLH1	PRLL1
PPG1（プリスケーラ側）High 幅(8bit)	PPG1 (プリスケーラ側）Low 幅(8bit)
PRLH2	PRLL2
PPG2（PPG 出力側）High 幅(8bit)	PPG2（PPG 出力側）Low 幅(8bit)
PRLH3	PRLL3
PPG3（プリスケーラ側）High 幅(8bit)	PPG3 (プリスケーラ側）Low 幅(8bit)

16 ビット PPG 動作モード

PRLH0	PRLL0

PPG0/PPG1 High 幅 (16bit)

PRLH1	PRLL1

PPG0/PPG1 Low 幅設定(16bit)

PRLH2	PRLL2

PPG2/PPG3 High 幅 (16bit)

PRLH3	PRLL3

PPG2/PPG3 Low 幅設定(16bit)

16+16 ビット動作モード

PRLH0	PRLL0

PPG0/PPG1 (PPG 出力側) High 幅 (16bit)

PRLH1	PRLL1

PPG0/PPG1 (PPG 出力側) Low 幅設定(16bit)

PRLH2	PRLL2

PPG2/PPG3（プリスケーラ側）High 幅 (16bit)

PRLH3	PRLL3

PPG2/PPG3（プリスケーラ側）Low 幅設定(16bit)

5.11 GATE 機能制御レジスタ n (GATECn n=0,4,8,12,16,20)

GATECn レジスタは多機能タイマからの GATE 信号による PPG 起動を設定します。

GATECn のレジスタ構成　一覧

bit 15 – 8	bit 7 – 0	初期値	属性	対応 PPG
Reserved	GATEC0	0x00	R/W	PPG2, PPG0
Reserved	GATEC4	0x00	R/W	PPG6, PPG4
Reserved	GATEC8	0x00	R/W	PPG10, PPG8
Reserved	GATEC12	0x00	R/W	PPG14, PPG12
Reserved	GATEC16	0x00	R/W	PPG18, PPG16
Reserved	GATEC20	0x00	R/W	PPG22, PPG20

GATECn レジスタ構成(n=0, 4, 8, 12, 16, 20)

bit	7	6	5	4	3	2	1	0
Field	予約		STRGn+2	EDGEn+2	予約		STRGn	EDGEn
属性	-		R/W	R/W	-		R/W	R/W
初期値	-		0	0	-		0	0

レジスタ機能

[bit7:6/bit3:2] 予約、 : 予約ビット

本ビットからは、"00"が読み出されます。書込みの場合には、"00"を設定してください。

[bit5] STRGn+2 : セレクトトリガビット n+2　(n=0, 4, 8, 12, 16, 20)

PPG 起動信号を選択します。本ビットと PPGCn+2:TTRG:レジスタの組み合わせで、PPGn+3 と PPGn+2 の両方の起動信号を選択します。「PPG 起動方法の選択」を参照してください。

bit	機能
0	PPG 起動レジスタ（TRGx:PEN）からの起動を選択します。[初期値]
1	多機能タイマからの GATE 信号による起動を選択します。

[bit4] EDGEn+2 : スタート有効レベル選択ビット n+2 (n=0, 4, 8, 12, 16, 20)

本レジスタは、”0”書込みで使用します。"0"が読み出せます。

[bit1] STRGn : セレクトトリガビット n (n=0, 4, 8, 12, 16, 20)

PPG 起動信号を選択します。本ビットと PPGCn:TTRG:レジスタの組み合わせで、PPGn+1 と PPGn の両方の起動信号を選択します。「PPG 起動方法の選択」を参照してください。

bit	機能
0	PPG 起動レジスタ（TRGx:PEN）からの起動を選択します。[初期値]
1	多機能タイマからの GATE 信号による起動を選択します。

[bit0] EDGEn : スタート有効レベル選択ビット n (n=0, 4, 8, 12, 16, 20)

本レジスタは、”0”書込みで使用します。"0"が読み出せます。

6. PPG 使用上の注意

PPG の使用上の注意を説明します。

PG 出力動作について

PPG 動作時は、L レベル期間と H レベル期間のパルス出力波形を連続して出力します。PPG はパルス出力を開始すると、動作停止を設定するまで停止しません。停止させる場合は、リセットの入力、または停止設定を行ってください。停止条件を以下に示します。

- タイミングジェネレータ回路による起動の場合、PPGC:TRGxO=0 の書込みにて、PPG 起動信号をネゲートし、PPG 出力を停止します。
- 多機能タイマからの GATE 信号による起動の場合、多機能タイマからの GATE 信号のネゲートにより、PPG 出力を停止します。
- PPG 起動レジスタ(TRG)書込みによる起動の場合、TRG:PEN=0 の書込みにて PPG 起動信号をネゲートし、PPG 出力を停止します。

PPG 動作モード設定について

PPG 動作モードは、各 PPGC レジスタの MD[1:0]ビットの設定によって決まります。必ず、PPG 起動前に PPG 動作モードの選択を行ってください。

他モジュールの設定について

PPG 出力は多機能タイマを経由して I/O 出力されます。多機能タイマの設定については『多機能タイマ』の章を参照してください。I/O ポートへの波形の出力については『ペリフェラルマニュアル』の『I/O ポート』の章を参照してください。また、割込みについては『ペリフェラルマニュアル』の『割込み』の章を参照してください。

PPG 出力信号と割込み信号について

PPG タイマの動作によって得られる PPG 出力信号のうち、一部のチャネル出力を多機能タイマ経由で外部端子に出力できます。また、一部の PPG 割込み出力が割込みコントローラに接続されており、割込み処理を行うことができます。

多機能タイマ経由で外部端子に出力される PPG 出力端子と、割込みコントローラに接続されている PPG 割込みについては、『PPG 構成』の章を参照してください。

CHAPTER7-3: PPG IGBT モード

PPG の IGBT モードの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意

管理コード: 9xFPPGIGBT-FM0-J03.0

1. 概要

IGBT モードの概要を説明します。

PPG の IGBT モードは IGBT 制御に適した波形出力を行うモードです。PPG の出力を組み合わせて、波形を生成します。

IGBT モードの機能

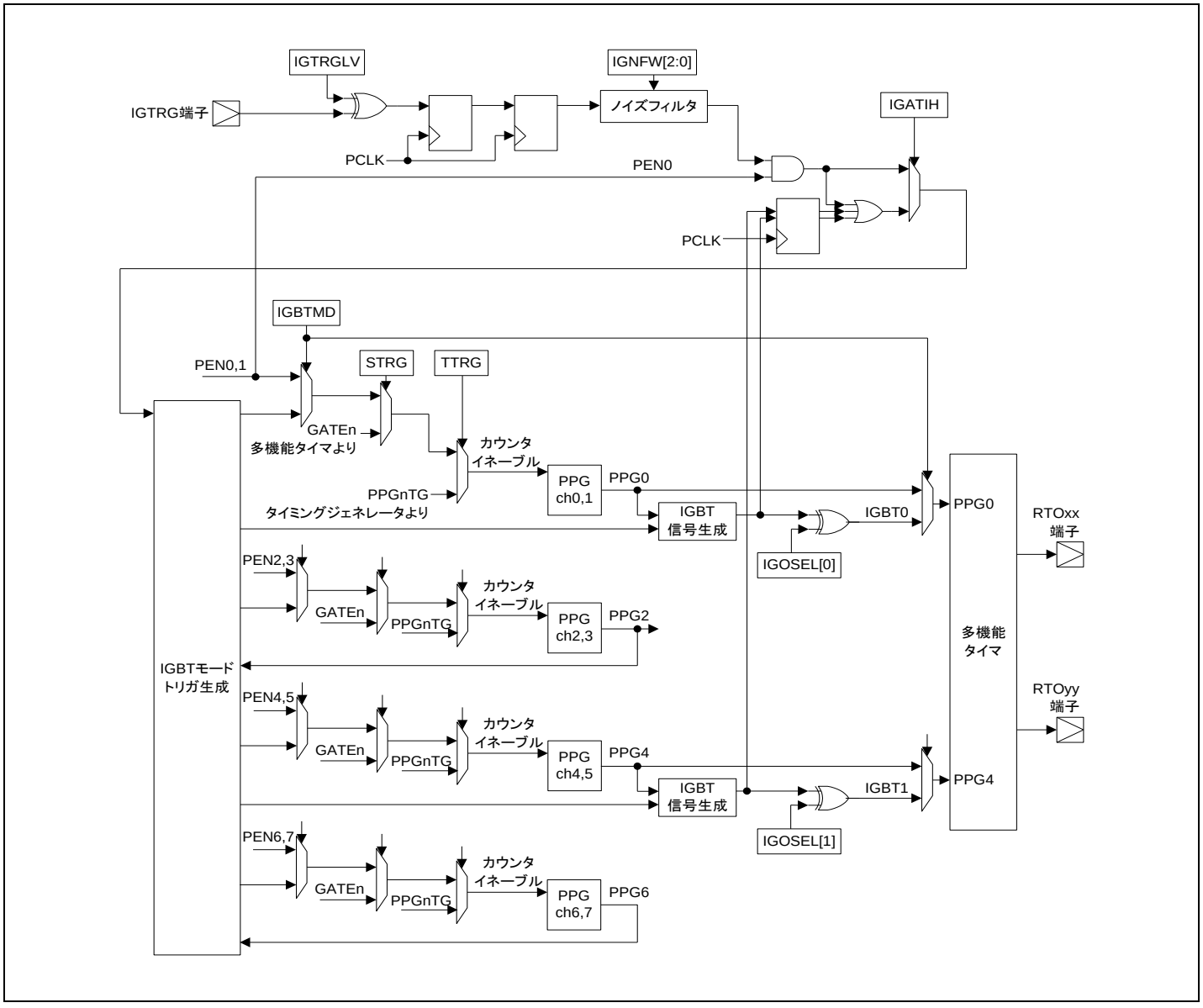
- IGBT 出力 2 チャネル
- IGBT 出力反転機能
- 外部端子 IGTRG 入力によるトリガ機能
- IGTRG 入力反転機能
- アクティブ出力時にトリガ無効を選択可能
- トリガ入力からアクティブ出力までの遅延機能
- IGTRG 端子入力ノイズフィルタ機能

2. 構成

IGBT モードの構成を示します。

IGBT モードのブロックダイヤグラム

Figure 2-1 IGBT モードのブロックダイヤグラム



3. 動作説明

IGBT モードの動作について説明します。

IGBT モード波形出力

16 ビット PPG　2 チャネルの出力を組み合わせて、波形を生成します。

Figure 3-1 IGATIH=0 時の動作例

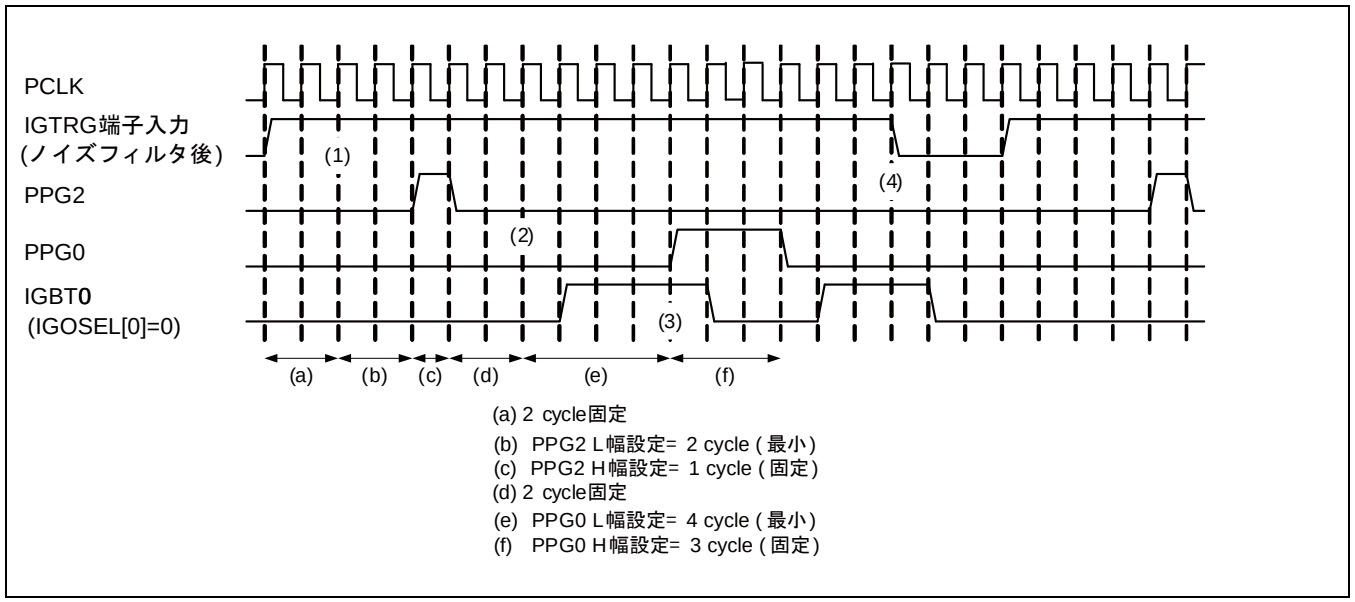


Figure 3-1 は IGATIH=0 時の IGBT0 動作例です。ノイズフィルタ後の IGTRG 端子入力は、High の時に動作許可です。

1. ノイズフィルタ後の IGTRG が High になると、2 サイクル後に PPG2 が動作開始します。
2. PPG2 の H パルス出力の 2 サイクル後に PPG0 が動作開始し、PPG2 は停止します。その時、IGBT0 出力がアクティブになります。
3. PPG0 が H 出力の間、IGBT0 がインアクティブになります。
4. ノイズフィルタ後の IGTRG が Low になると PPG0 は停止、IGBT0 がインアクティブになります。

IGBT0 信号は多機能タイマ内で 1 クロック遅延し、RTOxx 端子から出力されます。どの RTOxx 端子から出力するか、多機能タイマのレジスタで選択できます。

Figure 3-2 IGATIH=1 時の動作例

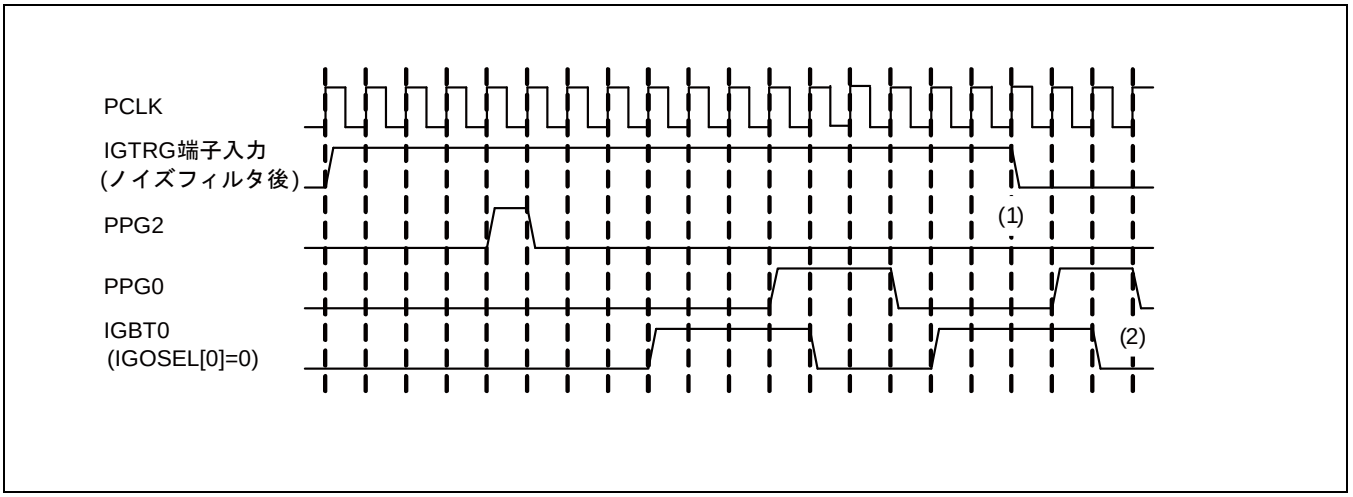
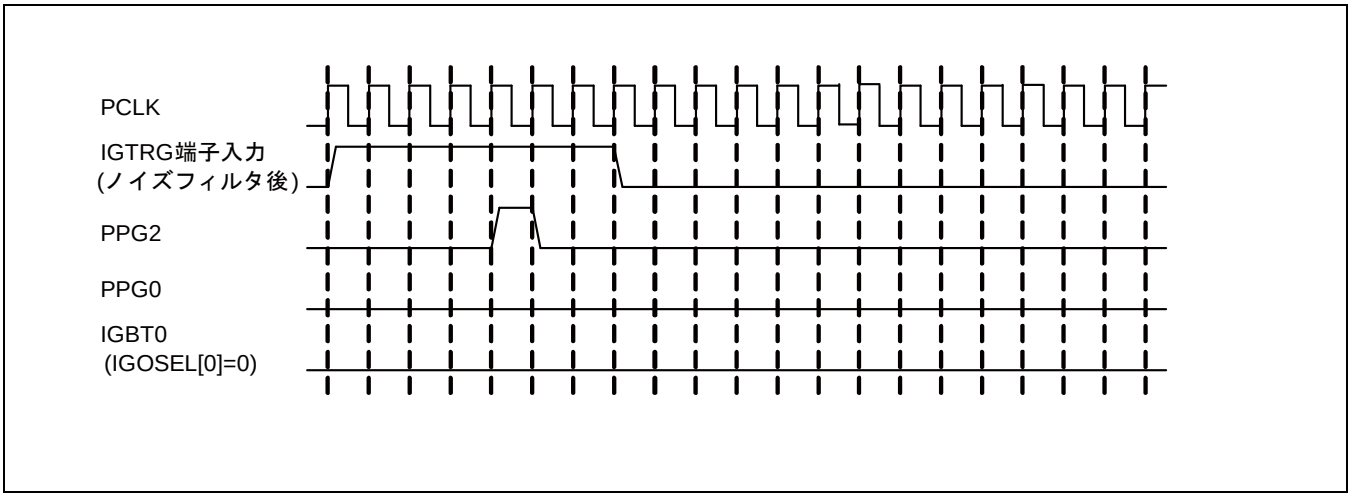


Figure 3-2 は IGATIH=1 時の IGBT0 動作例です。

1. ノイズフィルタ後の IGTRG が Low になる前までは、IGATIH=0 時と同じです。IGBT0 がアクティブ中は、ノイズフィルタ後の IGTRG が Low になっても動作を継続します。
2. IGBT0 がインアクティブの時にノイズフィルタ後の IGTRG が Low になると、動作を停止します。

Figure 3-3 PPG2 動作中にノイズフィルタ後の IGTRG 端子が Low になった場合



PPG2 動作中にノイズフィルタ後の IGTRG 端子が Low になった場合、Figure 3-3 の通り IGBT0 がアクティブになる前に動作を停止します。

Figure 3-4　2 チャネル動作例(IGATIH=1 時)

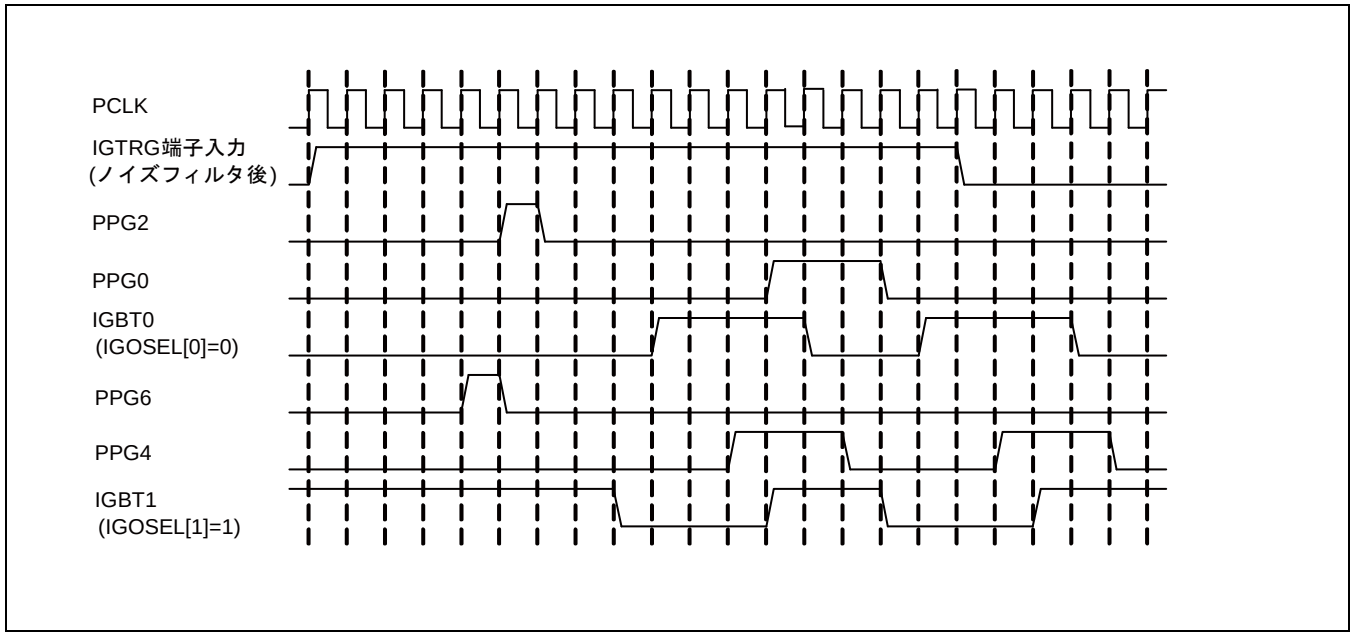


Figure 3-4 は IGATIH=1 時の 2 チャネル動作の例です。IGBT0, IGBT1 のどちらかがアクティブの時は、ノイズフィルタ後の IGTRG を無視して動作を継続します。

IGTRGLV ビットとトリガ入力レベルについて、Table 3-1 に示します。

Table 3-1

IGTRGLV	トリガ入力レベル
0	High の時に動作
1	Low の時に動作

IGOSEL ビットと出力のアクティブレベルについて、Table 3-2 に示します。

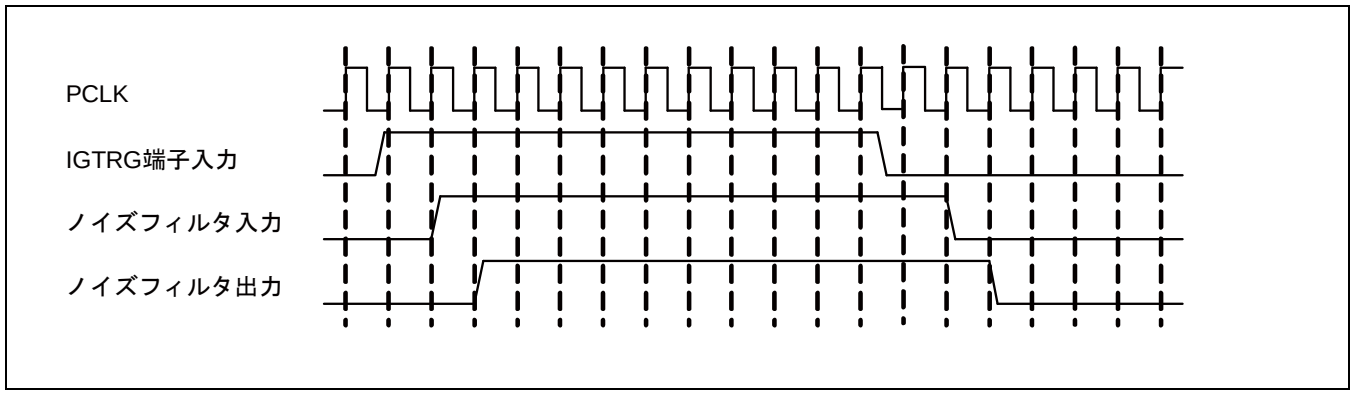
Table 3-2

IGOSEL	出力アクティブレベル
0	High
1	Low

ノイズフィルタの動作

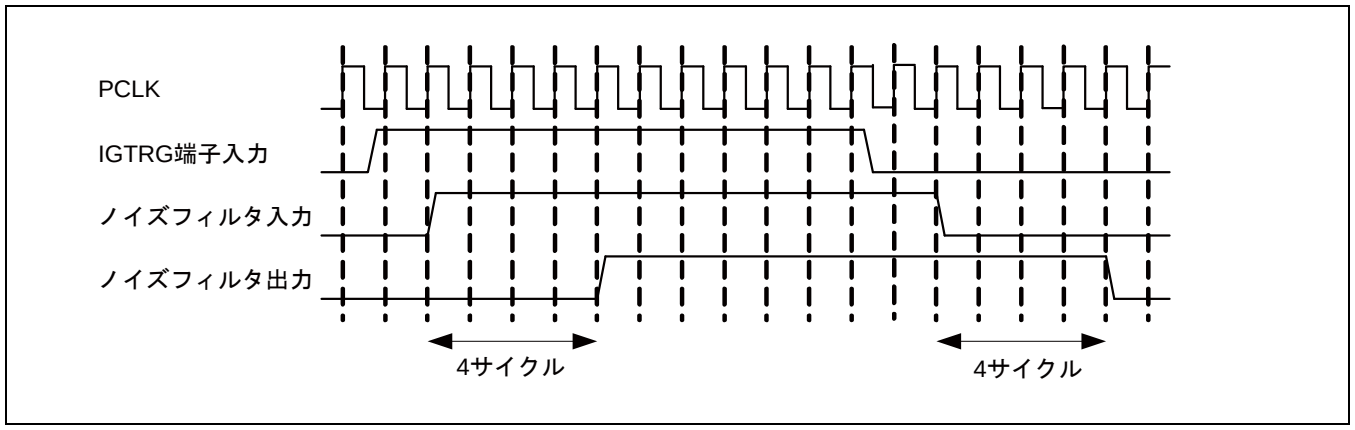
IGTRG 端子の入力信号は PCLK×2 クロックで同期化後、ノイズフィルタに入力されます。
ノイズフィルタ動作なし(IGNFW[2:0]=000)に設定時の波形を Figure 3-5 に示します。IGTRG 端子入力からノイズフィルタ出力まで、PCLK で 2~3 サイクル分遅延します。

Figure 3-5 ノイズフィルタ動作なし(IGNFW[2:0]=000)に設定時の波形



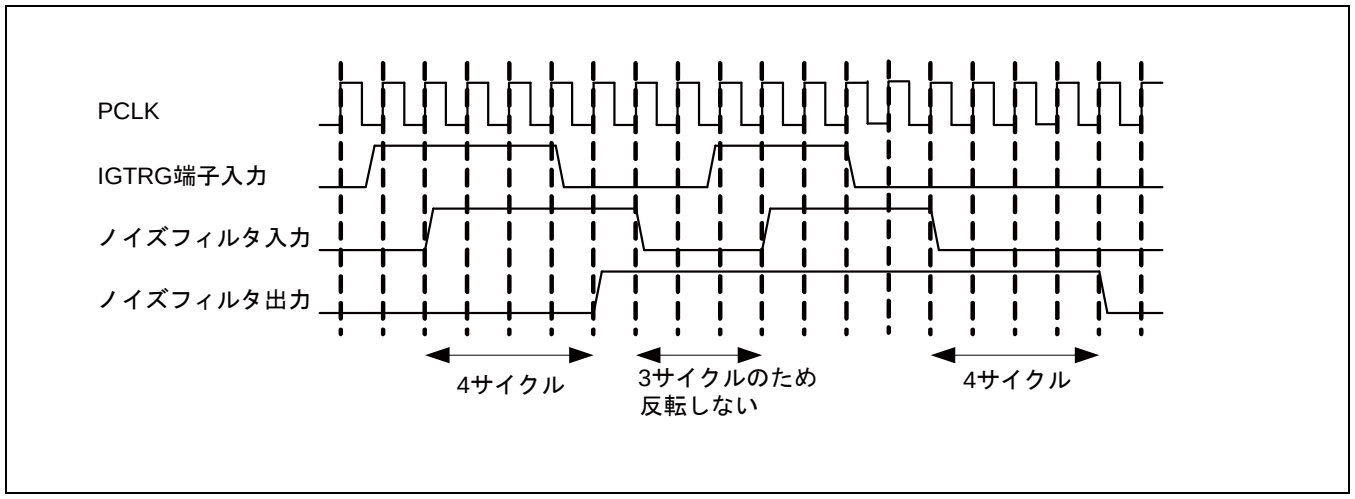
ノイズフィルタが有効時の例として、ノイズフィルタ幅を PCLK 周期 4 サイクル幅(IGNFW[2:0]=001)に設定時について説明します。IGTRG 端子入力からノイズフィルタ出力まで、PCLK で 5~6 サイクル分遅延します。
ノイズフィルタ入力に出力値と反対の値が連続して 4 サイクル以上入力されると、ノイズフィルタ出力は反転します。例を Figure 3-6 に示します。

Figure 3-6 ノイズフィルタ入力に出力値と反対の値が連続して 4 サイクル以上入力されたときの波形の例



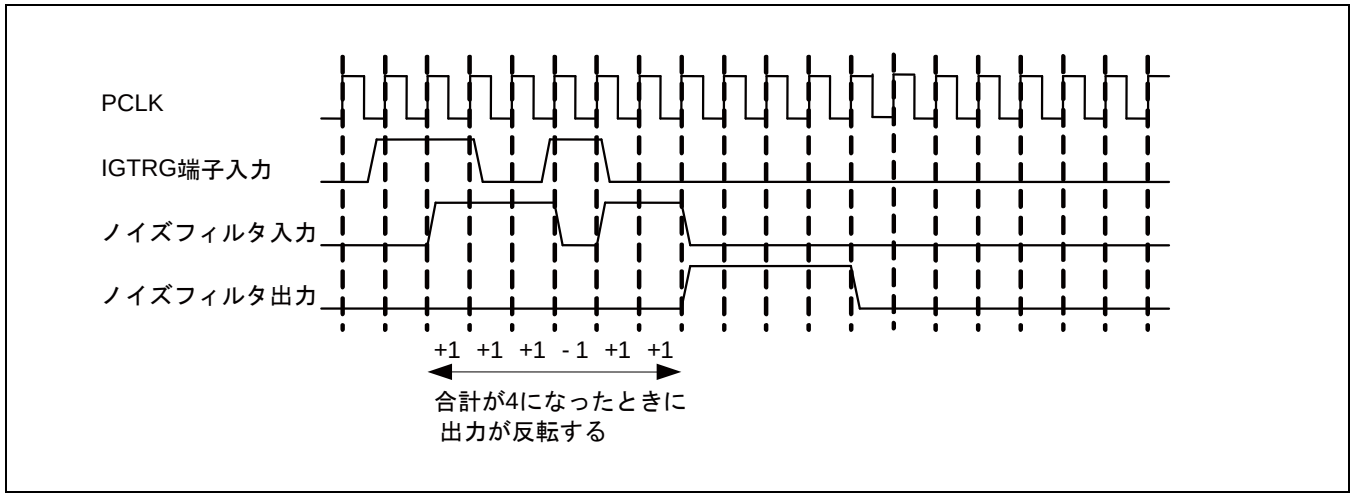
出力値と反対の値が 3 サイクル入力された場合の波形を Figure 3-7 に示します。

Figure 3-7 出力値と反対の値が 3 サイクル入力された場合の波形



出力値の反対の値の時に+1、同じ値の時に-1 の演算を行い、合計が 4 になった時に出力が反転します。波形の例を Figure 3-8 に示します。

Figure 3-8



IGNFW[2:0]の設定値と、IGTRG 端子からノイズフィルタ出力までの遅延の最大サイクル数について

Table 3-**3** に示します。

Table 3-3 IGTRG 端子入力からノイズフィルタ出力までの遅延

IGNFW[2:0]	遅延 PCLK サイクル数
000	2~3
001	5~6
010	9~10
011	17~18
100	33~34

4. 設定手順例

IGBT モードの設定手順例を説明します。

設定手順例

1. PPGC レジスタの TTRG ビットを"0"、GATEC レジスタの STRG ビットを"0"、TRG レジスタの PEN ビットを"0"に設定する。
2. 多機能タイマ(WFG)の動作モードをスルーモードにする。
3. 多機能タイマ(WFG)の RTO 端子を PPG 出力に選択する。
4. IGBTC レジスタの各ビットを設定し、IGBTMD ビットに"1"を書込み、IGBT モードにする。
5. I/O ポートで RTO 端子出力を設定する。
6. PPG 周期設定する。
7. TRG レジスタの使用するチャネルの PEN ビットを"1"に設定する。

5. レジスタ

IGBT モードで使用するレジスタの構成と機能について説明します。

IGBT モードのレジスター覧

レジスタ略称	レジスタ名	参照先
IGBTC	IGBT モード制御レジスタ	5.1

5.1 IGBT モード制御レジスタ(IGBTC)

IGBT モード制御レジスタ(IGBTC)は、IGBT モードの動作を制御します。

bit	7	6	5	4	3	2	1	0
Field	IGATIH	IGNFW[2:0]			IGOSEL[1:0]		IGTRGLV	IGBTMD
属性	R/W	R/W			R/W		R/W	R/W
初期値	0	000			00		0	0

[bit7] IGATIH： 出力アクティブ時停止禁止モード選択ビット

bit	説明
0	通常モード
1	出力アクティブ時停止禁止モード

[bit6:4] IGNFW[2:0]： ノイズフィルタ幅選択ビット

bit6:4	説明
000	ノイズフィルタ動作なし
001	ノイズフィルタ幅を PCLK 周期の 4 サイクル幅に設定。
010	ノイズフィルタ幅を PCLK 周期の 8 サイクル幅に設定。
011	ノイズフィルタ幅を PCLK 周期の 16 サイクル幅に設定。
100	ノイズフィルタ幅を PCLK 周期の 32 サイクル幅に設定。
上記以外	設定禁止

[bit3:2] IGOSEL[1:0]： 出力レベル選択ビット

IGBT0 は IGOSEL[0]、IGBT1 は IGOSEL[1]に対応します。

bit	説明
0	通常出力
1	反転出力

[bit1] IGTRGLV： トリガ入力レベル選択ビット

bit	説明
0	通常入力
1	反転入力

[bit0] IGBTMD : IGBT モード選択ビット

bit	説明
0	通常モード
1	IGBT モード

6. 使用上の注意

IGBT モードの注意事項を示します。

IGBT モードの注意事項

- PPG は 16 ビットモードに設定してください。
- PPG2 と PPG6 の L 幅は 2 サイクル以上に設定してください。
- PPG2 と PPG6 の H 幅は 1 サイクルに設定してください。
- PPG 動作中に IGBTC レジスタの設定変更は禁止です。

CHAPTER 8-1: クアッドカウンタ

クアッドカウンタ(Quad Position & Revolution Counter)の機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ

管理コード: FX13_FM0-J03.0

1. 概要

クアッドカウンタはポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとして使用できます。クアッドカウンタは、16 ビット位置カウンタ, 16 ビット回転カウンタ, 2 つの 16 ビット比較レジスタ, 制御レジスタとその制御回路を搭載しています。

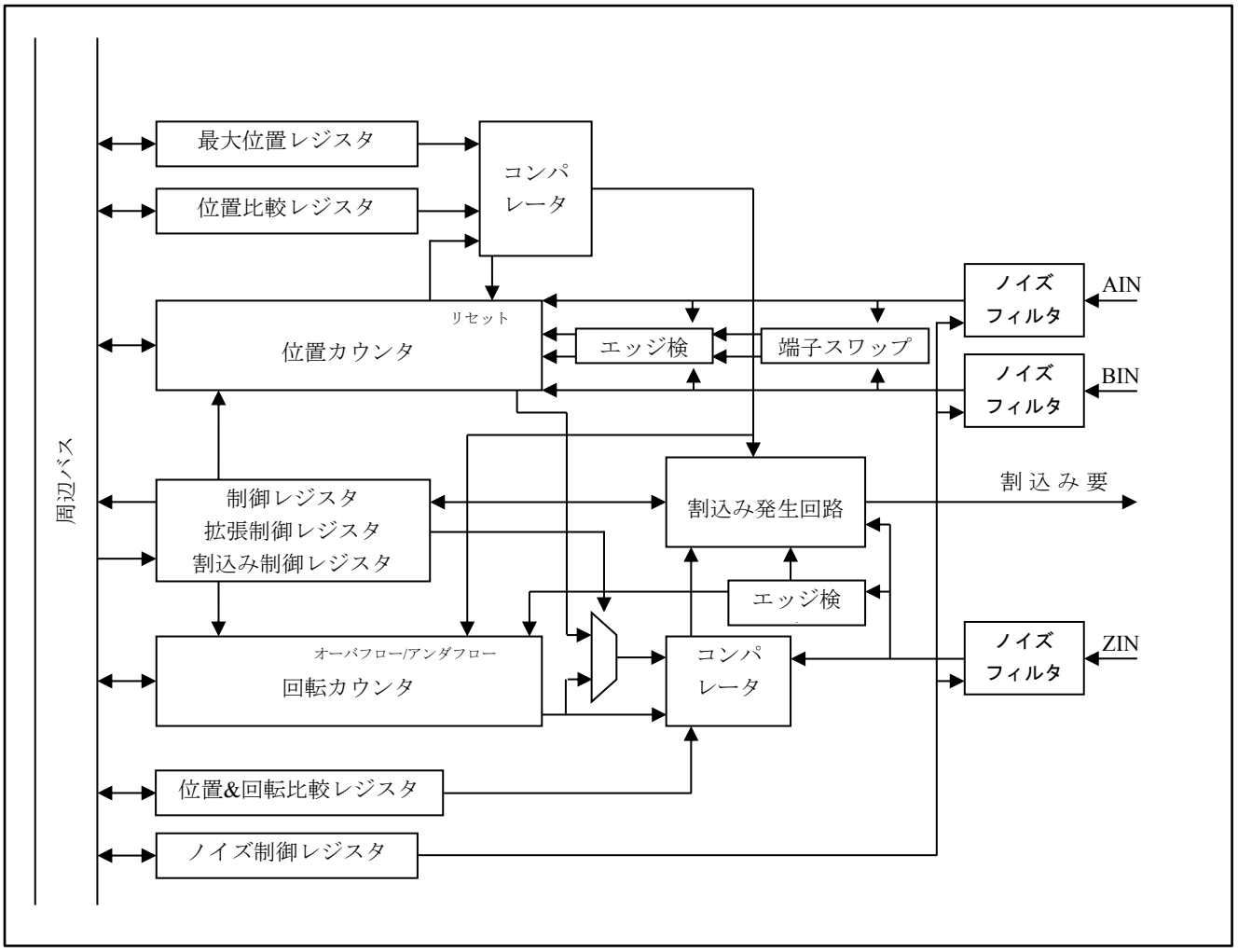
クアッドカウンタの特長

- 位置カウンタは次の 3 カウントモードからモード選択可能
  - PC_Mode1: アップダウンカウントモード
  - PC_Mode2: 位相差カウントモード(1 逓倍モード、2 逓倍モード&4 逓倍モード対応)
  - PC_Mode3: 方向付きカウントモード
- 回転カウンタは次の 3 カウントモードからモード選択可能
  - RC_Mode1: 回転カウンタは ZIN のアクティブエッジでのみカウントアップ/カウントダウン可能
  - RC_Mode2: 回転カウンタは位置カウンタ出力値でのみカウントアップ/カウントダウン可能
  - RC_Mode3: 回転カウンタは位置カウンタ出力値と ZIN のアクティブエッジの両方でカウントアップ/カウントダウン可能
- 3 つの外部端子(AIN, BIN, ZIN)からの入力イベントを検出するエッジを選択可能
  - 立下りエッジ検出
  - 立上りエッジ検出
  - 立上りと立下りの両エッジ検出
- 3 つの外部端子(AIN,BIN,ZIN)のノイズフィルタ機能
  - ノイズ除去幅設定可能(最大 PCLK の 256 サイクル幅)
  - 入力反転機能
  - 入力マスク機能
- ZIN 端子入力用に 2 つの機能が選択可能
  - カウンタクリア機能
  - ゲート機能
- 以下の場合の割込み要求を発生可能
  - 位置カウンタと位置比較レジスタの値が一致
  - 位置カウンタと位置&回転比較レジスタの値が一致または回転カウンタと位置&回転比較レジスタの値が一致
  - 位置カウンタのアンダフロー
  - 位置カウンタのオーバフロー(位置カウンタと最大位置レジスタ値が一致)
  - ZIN のアクティブエッジによる位置カウンタのリセット
  - 位置カウンタのカウント反転
  - 位置カウンタと位置比較レジスタが一致、かつ回転カウンタと位置&回転比較レジスタが一致
  - 回転カウンタの範囲外検出
- カウンタ使用時に便利な以下の機能を搭載
  - 外部端子(AIN, BIN)のスワップ機能
  - 位置カウンタのリセットマスク機能
  - 位置カウンタの動作時やオーバフロー/アンダフロー発生時のカウント方向確認機能

2. 構成

クアッドカウンタの構成を示します。

Figure 2-1 クアッドカウンタのブロックダイヤグラム



3. 動作説明

クアッドカウンタの動作について説明します。

3.1 位置カウンタの動作

外部端子(AIN, BIN)の入力信号による各種イベントをカウント用クロックとしてカウントアップ/カウントダウンします。Table 3-1 に示すように、位置カウンタは、制御レジスタの位置カウンタモードビット(QCR:PCM[1:0])設定でカウントモードを選択できます。それぞれのカウントモードでカウントする条件が異なります。

位置カウンタは、以下の ZIN 条件でのみカウントアップ/カウントダウンします。

- ZIN の機能がカウントクリア機能(QCR:CGSC=0)の場合
- ZIN の機能がゲート機能(QCR:CGSC=1)で、ZIN の L レベル検出(QCR:CGE[1:0]=01)に設定し、ZIN が L レベルの場合
- ZIN の機能がゲート機能(QCR:CGSC=1)で、ZIN の H レベル検出(QCR:CGE[1:0]=10)に設定し、ZIN が H レベルの場合

ZIN の機能をゲート機能(QCR:CGSC="1")にし、ZIN の High または Low レベル以外(QCR:CGE[1:0]=00 or 11)に設定した場合、位置カウンタはカウントアップ/カウントダウンしません。

また、制御レジスタの SWAP ビットで信号 AIN と BIN の構成をスワッピング設定した場合、AIN, BIN 端子を入れ換えて位置カウンタをカウントアップ/カウントダウンします。
例えば、PC_Mode1(QCR:PCM[1:0]="01")のとき、AES[1:0]=10 (立上りエッジ), BES[1:0]=01 (立下りエッジ)に設定した場合は以下のとおりです。

- QCR:SWAP=0 のとき、AIN の立上りエッジを検出した場合、位置カウンタをカウントアップ、BIN の立下りエッジを検出した場合、位置カウンタをカウントダウンします。
- QCR.SWAP=1 のとき、AIN の立下りエッジで位置カウンタをカウントダウン、BIN の立上りエッジで位置カウンタをカウントアップします。

Table 3-1 AIN と BIN の位置カウンタのカウント条件

位置カウントモード(PC_MODE)	AIN カウント条件	BIN カウント条件
カウントディセーブル PC_Mode0:QCR:PCM[1:0]=00	位置カウンタ ディセーブル	位置カウンタ ディセーブル
アップダウンカウント PC_Mode1:QCR:PCM[1:0]=01	AIN アクティブエッジ	BIN アクティブエッジ
位相差カウント PC_Mode2:QCR:PCM[1:0]=10	AIN アクティブエッジ or High/Low レベル	High/Low レベル or BIN アクティブエッジ
カウント方向 PC_Mode3:QCR:PCM[1:0]=11	High/Low レベル	BIN アクティブエッジ

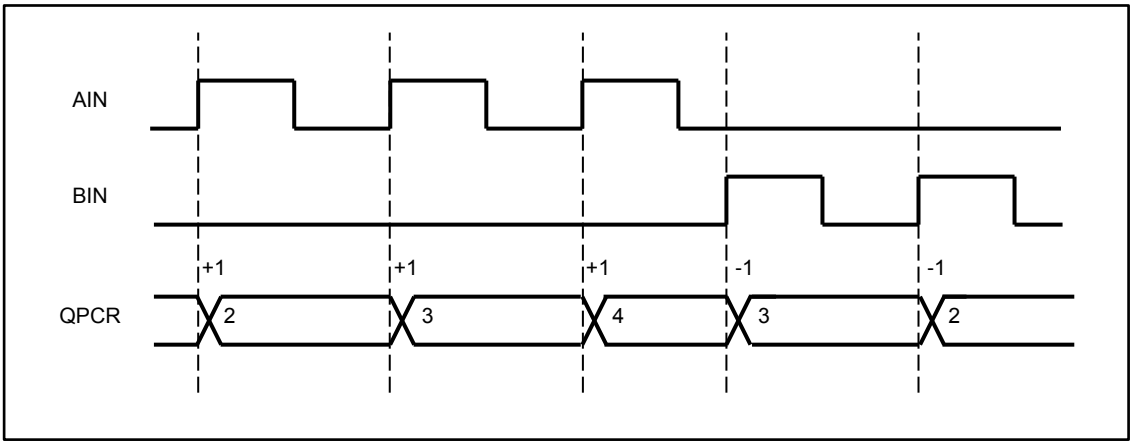
<注意事項>

- *AIN のアクティブエッジと BIN のアクティブエッジとは、AIN 検出エッジ選択ビット(QCR:AES[1:0]=01 or 10 or 11)または BIN 検出エッジ選択ビット(QCR:BES[1:0]=01 or 10 or 11)でそれぞれ選択した立上り, 立下り, 両エッジのいずれかのエッジのことを意味します。*

PC_Mode1: アップダウンカウントモード

- 外部端子(AIN, BIN)から入力される外部信号をカウント用クロックとして、位置カウンタをカウントアップ/カウントダウンします。
- このモードでは、AIN のアクティブエッジが検出されると位置カウンタをカウントアップします。BIN のアクティブエッジが検出されると位置カウンタをカウントダウンします。

Figure 3-1 アップダウンカウントモード動作
(QCR:AES[1:0]=10, QCR:BES[1:0]=10, QCR:SWAP=0)



PC_Mode2: 位相差カウントモード(1 逓倍モード/2 逓倍モード/4 逓倍モード対応)

- "エンコーダ出力信号"の A 相と B 相の位相差をカウントする際に適しています。A 相, B 相の出力を AIN 端子, BIN 端子にそれぞれ接続することで、A 相の方が B 相より進んでいる場合はカウントアップ、遅れている場合はカウントダウンします。
- このモードでは、AIN 信号のアクティブエッジが検出されたときに BIN のレベルを確認して位置カウンタがカウントします。またその逆によっても位置カウンタがカウントします。
- 制御レジスタ(QCR)の AES ビットと BES ビットの設定をすることで 4 逓倍モードや 2 逓倍モードでカウントできます。逓倍モードによるカウントは、カウント分解能が高くて細かな位置測定が可能です。
- 1 逓倍モードは製品 TYPE により動作が異なります。TYPE1-M0+製品以外では、QECR:PEC ビットの設定をすることで、1 逓倍位相差カウントモードのカウント方法として、両エッジが選択可能です。

Table 3-2 逓倍モードの AES ビットと BES ビットの設定

逓倍モード	AES[1:0]設定	BES[1:0]設定
1 逓倍モード	01	00
	10	00
	00	01
	00	10
2 逓倍モード	11	00
	00	11
4 逓倍モード	11	11

Table 3-3 1 逓倍位相差カウントモードのカウント方法(片エッジ)
(QECR:PEC=0, QCR:AES[1:0]=10, QCR:BES[1:0]=00, QCR:SWAP=0)

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	Figure 3-2 1 逓倍位相差カウントモード動作タイミング
AIN	立上り	BIN	Low	Up	(1)
	立上り		High	Down	(2)
	立下り		Low	Keep	(3)
	立下り		High	Keep	(4)

Figure 3-2　1 逓倍位相差カウントモード動作(片エッジ)
(QECR:PEC=0, QCR:AES[1:0]=10, QCR:BES[1:0]=00, QCR:SWAP=0)

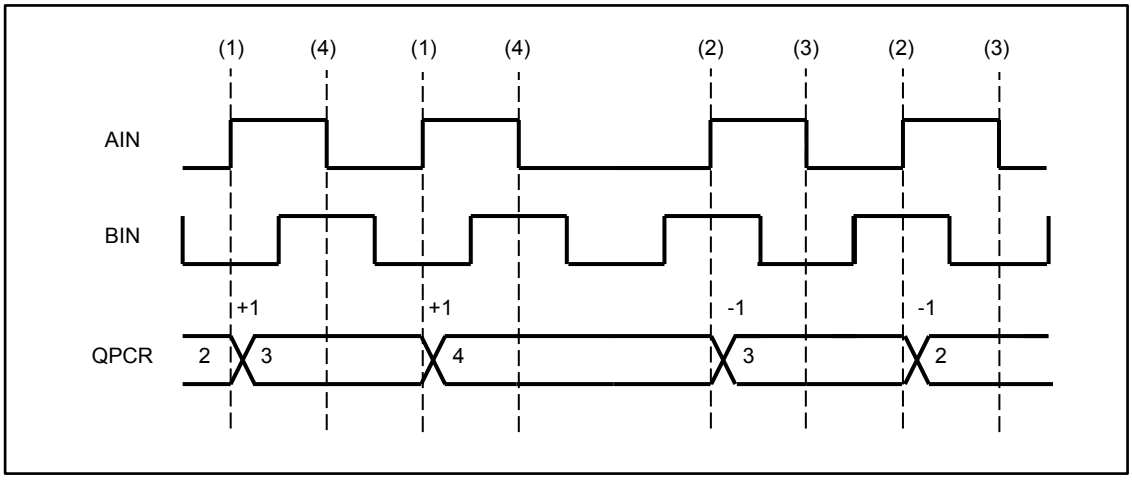


Table 3-4　1 逓倍位相差カウントモードのカウント方法(両エッジ)
(QECR:PEC=1, QCR:AES[1:0]=10, QCR:BES[1:0]=00, QCR:SWAP=0)

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	Figure 3-3 タイミング
AIN	立上り	BIN	Low	Up	(1)
	立上り		High	Keep	(2)
	立下り		Low	Down	(3)
	立下り		High	Keep	(4)

Figure 3-3　1 逓倍位相差カウントモード動作(両エッジ)
(QECR:PEC=1, QCR:AES[1:0]=10, QCR:BES[1:0]=00, QCR:SWAP=0)

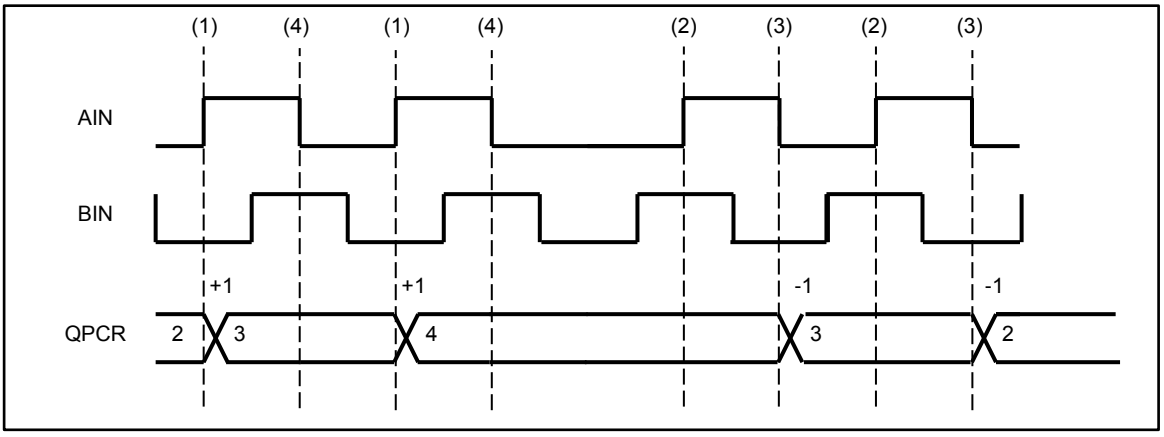


Table 3-5　2 逓倍位相差カウントモードのカウント方法
(QCR:AES[1:0]=00, QCR:BES[1:0]=11, QCR:SWAP=0)

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	Figure 3-4 タイミング
BIN	立上り	AIN	High	Up	(1)
	立上り		Low	Down	(2)
	立下り		High	Down	(3)
	立下り		Low	Up	(4)

Figure 3-4　2 逓倍位相差カウントモード動作
(QCR:AES[1:0]=00, QCR:BES[1:0]=11, QCR:SWAP=0)

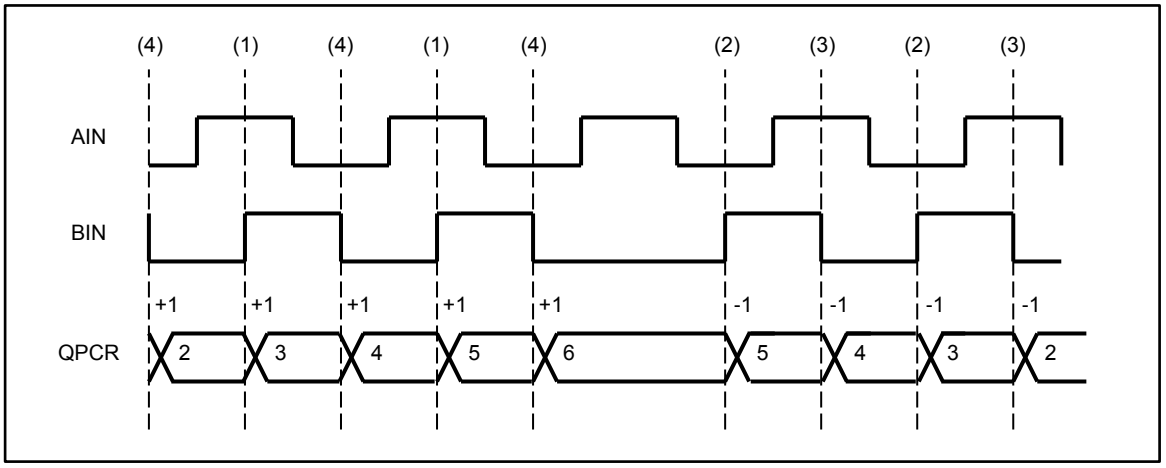
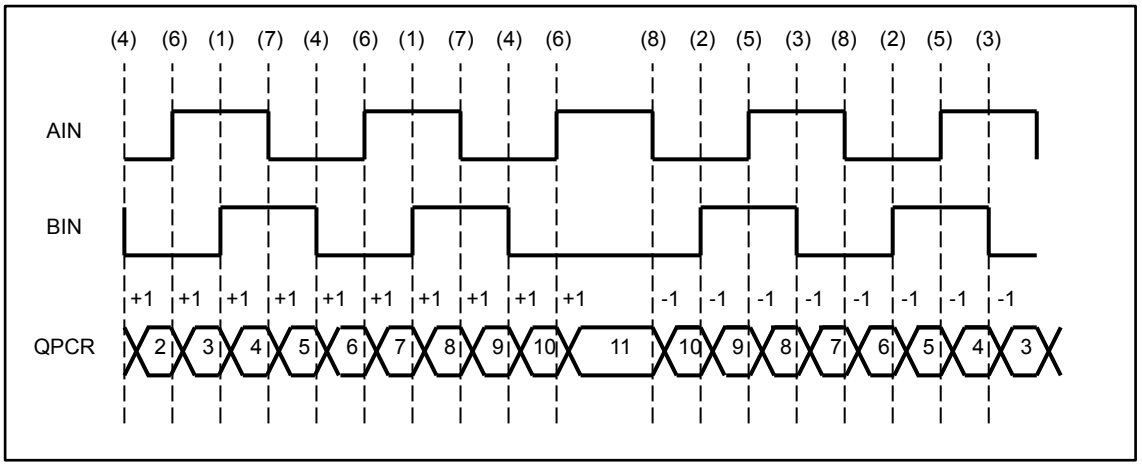


Table 3-6　4 逓倍位相差カウントモードのカウント方法
(QCR:AES[1:0]=11, QCR:BES[1:0]=11)

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	Figure 3-5 タイミング
BIN	立上り	AIN	High	Up	(1)
	立上り		Low	Down	(2)
	立下り		High	Down	(3)
	立下り		Low	Up	(4)
AIN	立上り	BIN	High	Down	(5)
	立上り		Low	Up	(6)
	立下り		High	Up	(7)
	立下り		Low	Down	(8)

Figure 3-5　4 逓倍位相差カウントモード動作
(QCR:AES[1:0]=11, QCR:BES[1:0]=11, QCR:SWAP=0)



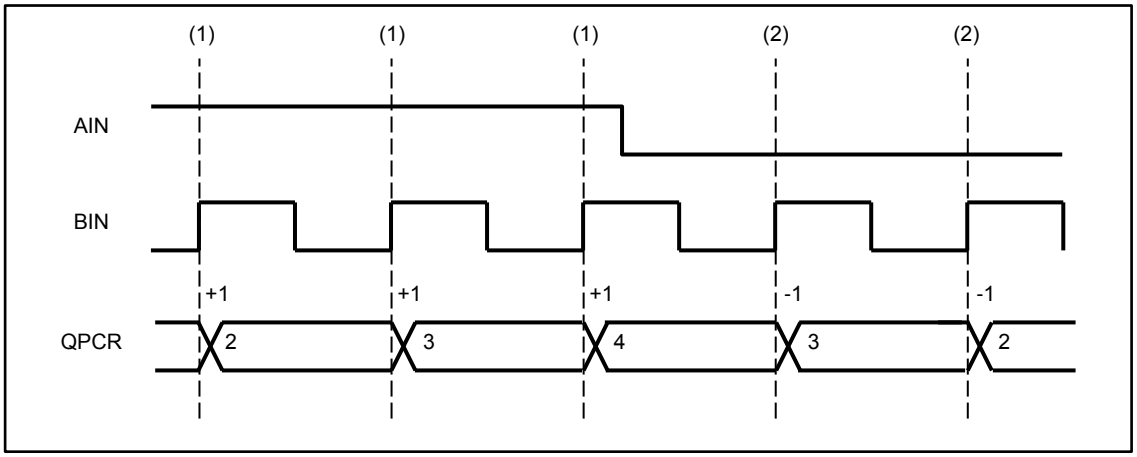
PC_Mode3: 方向付きカウントモード

- 外部端子(BIN)から入力される信号をカウント用クロックに、外部端子(AIN)からの入力レベルをカウント方向制御に用いてカウントアップ/カウントダウンします。
- このモードでは、BIN のアクティブエッジが検出されたときに AIN のレベルを確認して位置カウンタをカウントアップ/カウントダウンします。アクティブエッジは、立上りエッジ, 立下りエッジまたは両エッジに選択できます。

Table 3-7 方向付きカウントモードのカウント方法

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	Figure 3-6 タイミング
BIN	アクティブエッジ	AIN	High	Up	(1)
	アクティブエッジ		Low	Down	(2)

Figure 3-6 方向付きカウントモード動作
(QCR:AES[1:0]=00, QCR:BES[1:0]=10, QCR:SWAP=0)



3.2 回転カウンタの動作

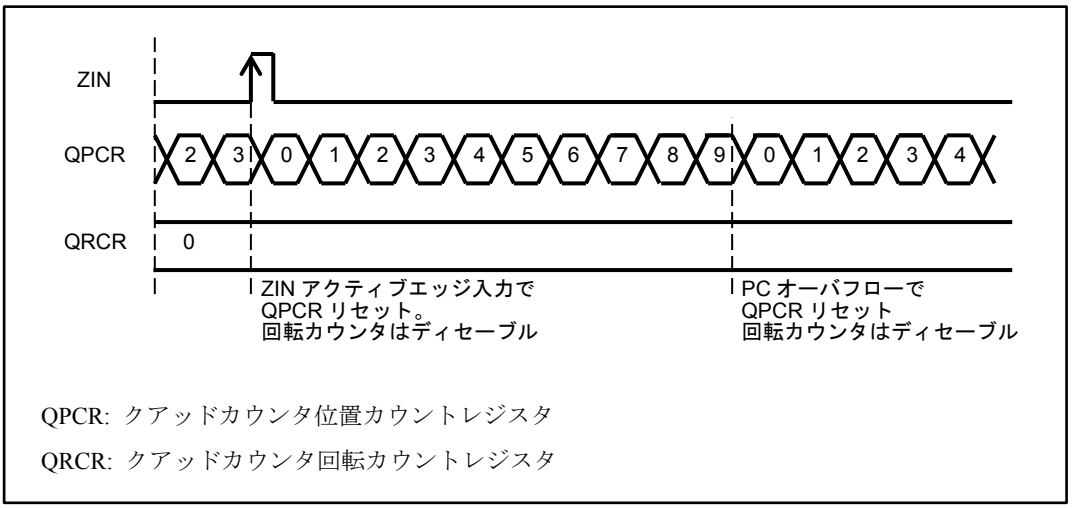
回転カウンタは、カウンタクリア機能を設定した ZIN 端子の入力か、位置カウンタの出力(アンダフロー/オーバフロー)によりカウント動作します。ZIN のアクティブエッジは、立上りエッジ, 立下りエッジまたは両エッジを選択できます。

回転カウンタのカウント条件は、以下のとおり各モードにより異なります。

RC_Mode0 (QCR:RCM[1:0]=00)

- 回転カウンタはディセーブルです。
- ZIN をカウンタクリア機能(QCR:CGSC=0)として使用するときの ZIN のアクティブエッジや、位置カウンタオーバフローで位置カウンタをリセットします。

Figure 3-7 RC_Mode0 動作(最大位置レジスタ QMPR=9, QCR:CGSC=0)



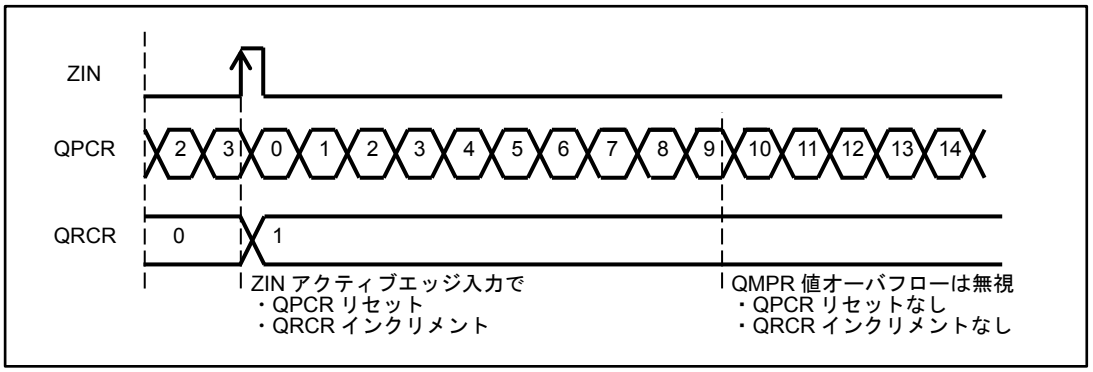
QPCR: クアッドカウンタ位置カウントレジスタ

QRCR: クアッドカウンタ回転カウントレジスタ

RC_Mode1 (QCR:RCM[1:0]="01")

- 回転カウンタは ZIN をカウンタクリア機能(QCR:CGSC="0")として使用するときの ZIN のアクティブエッジでのみ動作します(位置カウンタからの入力は無視されます)。
- 位置カウンタがインクリメント方向(QICR:DIRPC="0")で ZIN のアクティブエッジを検出したとき、回転カウンタはカウントアップします。位置カウンタがデクリメント方向(QICR:DIRPC=1)で ZIN のアクティブエッジを検出したとき、回転カウンタはカウントダウンします。
- ZIN がカウンタクリア機能(QCR:CGSC=0)として使用するときの ZIN のアクティブエッジでのみ位置カウンタをリセットします。
- 位置カウンタのオーバフローを検出しても位置カウンタはリセットされません。位置カウンタのオーバフローを検出した場合、位置カウンタはカウントアップし、オーバフローフラグ(QICR:OFDF)に 1 を設定します。

Figure 3-8 RC_Mode1 動作(最大位置レジスタ QMPR=9, QCR:CGSC=0)



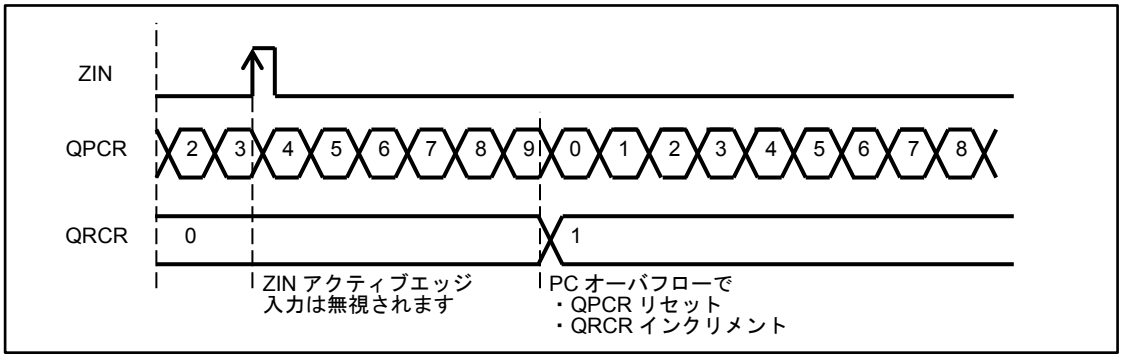
<注意事項>

- *位置カウンタがインクリメント方向(QICR:DIRPC=0) で ZIN の有効エッジと位置カウンタをカウントダウンする有効エッジが同時に検出された場合、回転カウンタはカウントダウンします。*
- *位置カウンタがデクリメント方向(QICR:DIRPC=1) で ZIN の有効エッジと位置カウンタをカウントアップする有効エッジが同時に検出された場合、回転カウンタはカウントアップします。*
- *ZIN の有効エッジ, AIN の有効エッジ, BIN の有効エッジが同時に検出された場合、回転カウンタは、位置カウンタ最終方向ビット(QICR:DIRPC)にしたがってカウントアップまたはカウントダウンします。*

RC_Mode2 (QCR:RCM[1:0]=10)

- 回転カウンタは、位置カウンタの出力値でのみカウントアップ/カウントダウンします。
- 位置カウンタのオーバフローの検出でのみ位置カウンタをリセットします(ZIN のイベントは無視されます)。
- 3 つの位置カウンタモード(PC_Mode1, PC_Mode2, PC_Mode3)で、位置カウンタのオーバフローを検出した場合、回転カウンタをカウントアップします。位置カウンタのアンダフローを検出した場合、回転カウンタをカウントダウンします。

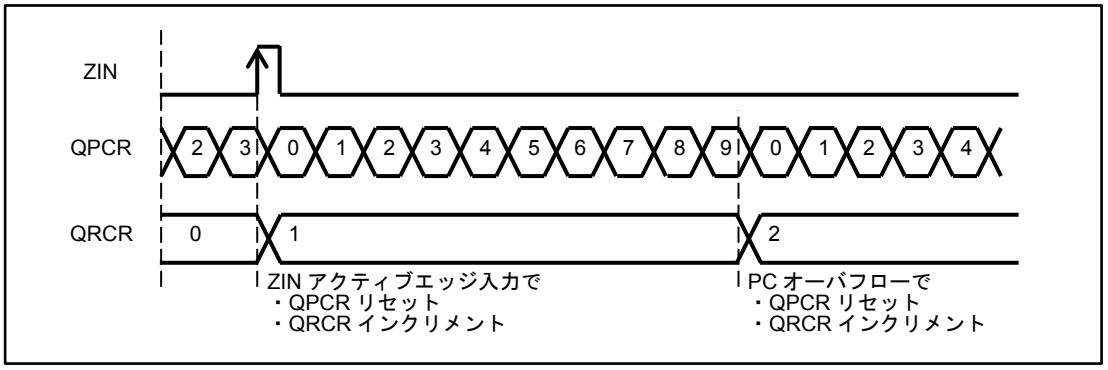
Figure 3-9 RC_Mode2 動作(最大位置レジスタ QMPR=9)



RC_Mode3 (QCR:RCM[1:0]=11)

- このモードでは、回転カウンタは位置カウンタの出力値と、ZIN をカウンタクリア機能(QCR:CGSC=0)として使用するときの ZIN のアクティブエッジの両方で回転カウンタをカウントアップ/カウントダウンします。
- 位置カウンタがインクリメント方向(QICR:DIRPC=0)で ZIN のアクティブエッジを検出するか、または位置カウンタのオーバフローを検出したら、回転カウンタをカウントアップします。
- 位置カウンタがデクリメント方向(QICR:DIRPC=1)で ZIN のアクティブエッジを検出するか、または位置カウンタのアンダフローを検出したら、回転カウンタをカウントダウンします。
- ZIN がカウンタクリア機能(QCR:CGSC=0)として使用しているときの ZIN のアクティブエッジや、位置カウンタのオーバフローの検出で位置カウンタをリセットします。

Figure 3-10 RC_Mode3 動作(最大位置レジスタ QMPR=9, QCR:CGSC=0)



<注意事項>

- *位置カウンタがインクリメント方向(QICR:DIRPC=0) で ZIN の有効エッジと位置カウンタをカウントダウンする有効エッジが同時に検出された場合、回転カウンタはカウントダウンします。*
- *位置カウンタがデクリメント方向(QICR:DIRPC=1) で ZIN の有効エッジと位置カウンタをカウントアップする有効エッジが同時に検出された場合、回転カウンタはカウントアップします。*
- *ZIN の有効エッジ, AIN の有効エッジ, BIN の有効エッジが同時に検出された場合、回転カウンタは、位置カウンタ最終方向ビット(QICR:DIRPC)にしたがってカウントアップまたはカウントダウンします。*

3.3 位置の絶対値

RC_Mode2, 3(位置カウンタ出力で回転カウンタが動作)の場合に、位置の絶対値を以下に示します。

位置カウントレジスタ(QPCR)+回転カウントレジスタ(QRCR)×(最大位置レジスタ(QMPR)+1)

例 : 時間測定例

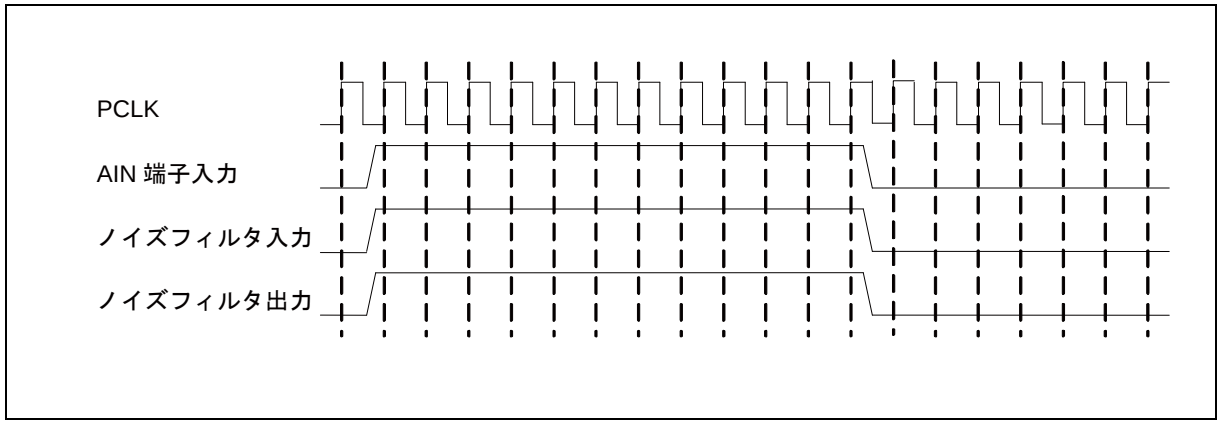
回転カウンタが"時(hour)"をカウント、位置カウンタが"分(min)"をカウント。
QMPR=59, QPCR=20, QRCR=5 のとき

Time = 20 + 5 × (59 + 1)
= 320 min ・・・ 位置カウンタ単位(分)での絶対値

3.4 ノイズフィルタ動作

AIN(BIN, ZIN も同一説明となるため、BIN, ZIN の場合、以下説明の AIN を BIN, ZIN に読み替えてください) 端子の入力信号はノイズフィルタ動作あり(AINNWS[2:0]!=0b000)の場合 PCLK×2 クロックで同期化後、ノイズフィルタに入力されます。ノイズフィルタ動作なし(AINNWS[2:0]= 0b000)に設定時の波形を Figure 3-11 に示します。AIN 端子入力からノイズフィルタ出力まで、スルー出力します。この時、AINLV, AINMD 機能も無効になります。

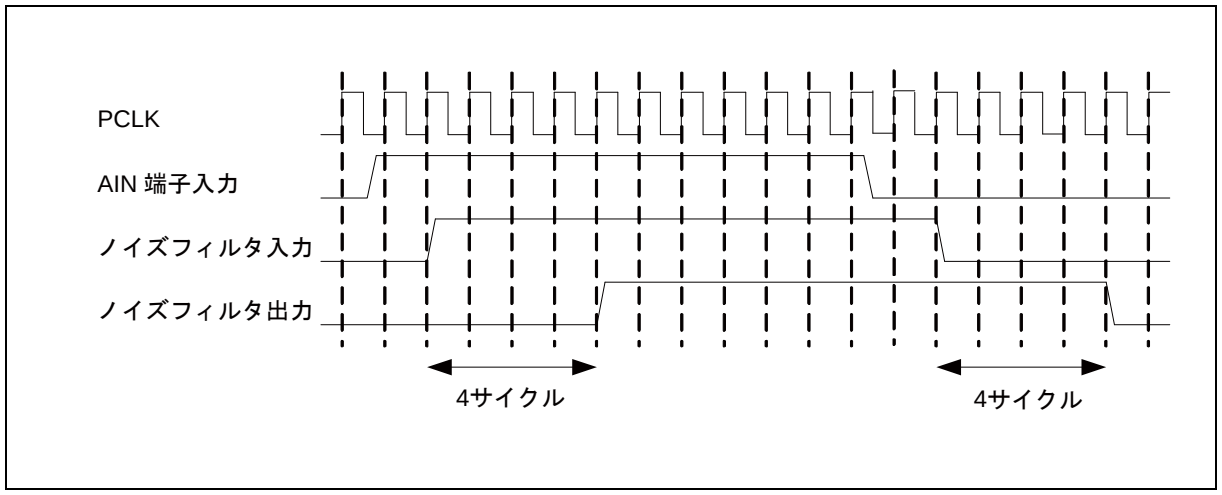
Figure 3-11 ノイズフィルタ動作説明(1)



ノイズフィルタが有効時の例として、ノイズフィルタ幅を PCLK 周期 4 サイクル幅(AINNWS[2:0]= 0b001)に設定時について説明します。AIN 端子入力からノイズフィルタ出力まで、PCLK で 5～6 サイクル分遅延します。

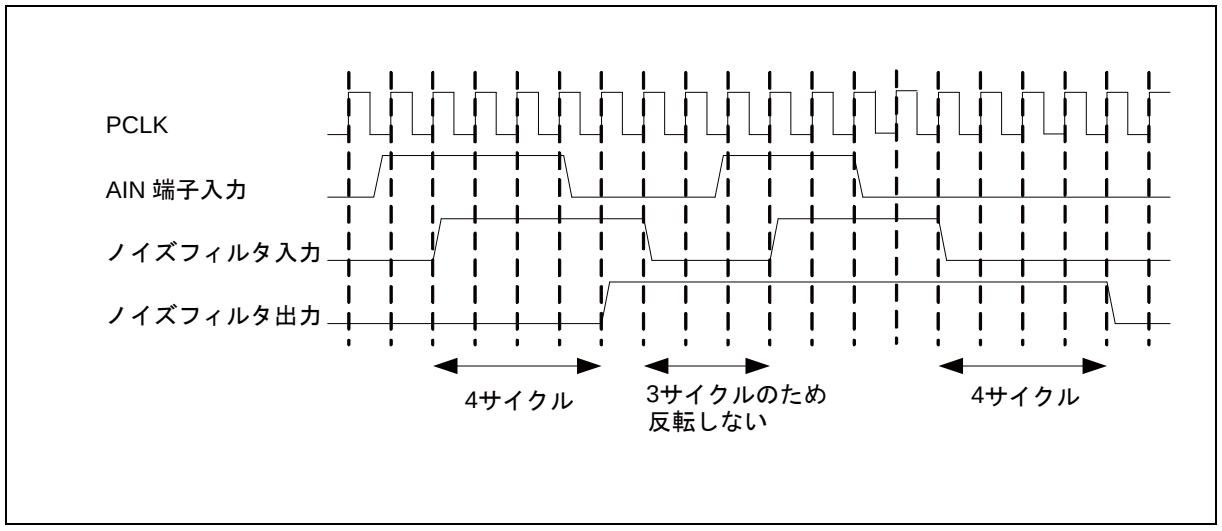
ノイズフィルタ入力に出力値と反対の値が連続して 4 サイクル以上入力されると、ノイズフィルタ出力は反転します。例を Figure 3-12 に示します。

Figure 3-12 ノイズフィルタ動作説明(2)



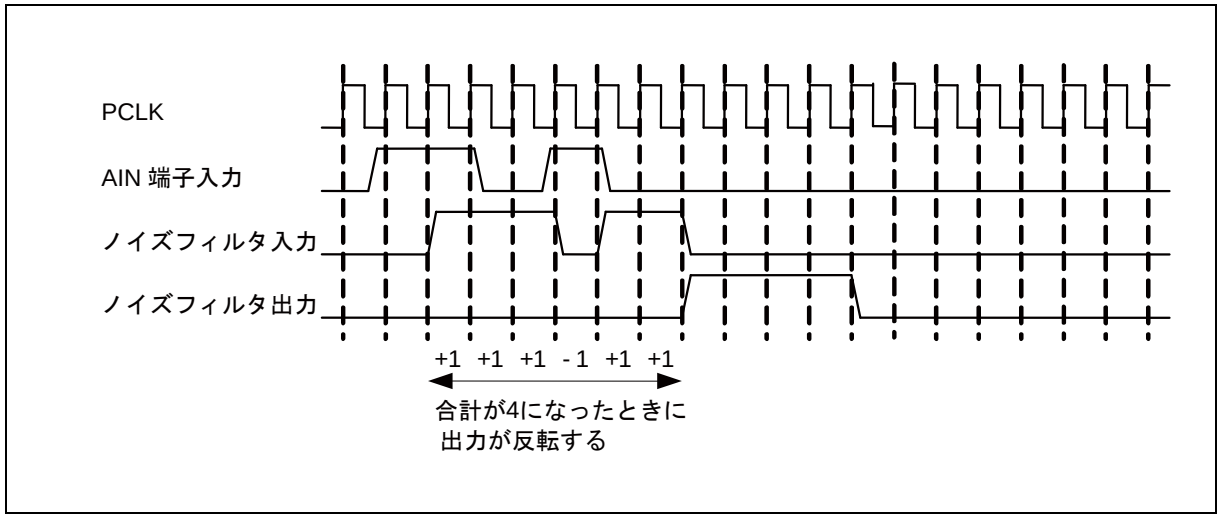
出力値と反転した値が 3 サイクル入力された場合の波形を Figure 3-13 に示します。

Figure 3-13 ノイズフィルタ動作説明(3)



出力値と反転した値の時に+1、同じ値の時に-1 の演算を行い、合計が 4 になった時に出力が反転します。波形の例を Figure 3-14 に示します。

Figure 3-14 ノイズフィルタ動作説明(4)



AINNWS[2:0]の設定値と、AIN からノイズフィルタ出力までの遅延の最大サイクル数は、Table 3-8 のとおりとなります。入力の Synchronizer の遅延 1～2 サイクルを含みます。

Table 3-8　レジスタ設定値と遅延サイクル数

AINNWS[2:0]	遅延 PCLK サイクル数
000	0
001	5～6
010	9～10
011	17～18
100	33~34
101	65～66
110	129～130
111	257～258

3.5 クアッドカウンタの割込み

クアッドカウンタの割込み要求が発生する条件を Table 3-9 に示します。

Table 3-9 クアッドカウンタの割込み要求発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
カウント反転割込み要求	QICR:CDCF=1	QICR: CDCIE=1	QICR:CDCF に 0 書込み
ゼロインデックス割込み要求	QICR:ZIIF=1	QICR: OUZIE=1	QICR:ZIIF に 0 書込み
オーバフロー割込み要求	QICR:OFDF=1		QICR:OFDF に 0 書込み
アンダフロー割込み要求	QICR:UFDF=1		QICR:UFDF に 0 書込み
PC&RC 一致割込み要求	QICR:QPRCMF=1	QICR: QPRCMIE=1	QICR:QPRCMF に 0 書込み
PC 一致割込み要求	QICR:QPCMF=1	QICR: QPCMIE=1	QICR:QPCMF に 0 書込み
PC 一致&RC 一致割込み要求	QICR:QPCNRCMF=1	QICR: QPCNRCMIE=1	QICR:QPCNRCMF に 0 書込み
範囲外割込み要求	QECR:ORNGF=1	QICR: ORNGIE=1	QECR:QRNGF に 0 書込み

QICR: クアッドカウンタ割込み制御レジスタ
QECR: クアッドカウンタ拡張制御レジスタ

3.6 カウンタ最大位置レジスタ(QMPR)の割込み動作例

クアッドカウンタ最大位置レジスタ(QMPR)は、位置カウンタのオーバフローの検出や位置カウンタのアンダフローを検出したときの位置カウンタへのリロードデータとして使用されます。

以下のように回転カウンタのモード設定により、位置カウンタとクアッドカウンタ最大位置レジスタ(QMPR)が一致した場合の動作が異なります。

- RC_Mode0(QCR:RCM[1:0]=00), RC_Mode2(QCR:RCM[1:0]=10), または RC_Mode3(QCR:RCM[1:0]=11)で位置カウンタをカウントアップの場合、オーバフローフラグ(QICR:OFDF)を 1 にし、位置カウンタをリセットします。
- RC_Mode1(QCR:RCM[1:0]=01)で位置カウンタをカウントアップの場合、オーバフローフラグ(QICR:OFDF)を 1 にしますが、位置カウンタはリセットされずにカウントアップします。

以下に RC_Mode2(QCR:RCM[1:0]=10)時のカウンタ最大位置レジスタ(QMPR)を使用した動作例を示します。

カウントアップ時:
位置カウンタで最大値から 0x0000 へオーバフローが発生することで、回転カウンタをカウントアップします。そのときオーバフローフラグ(QICRL:OFDF)が 1 に設定されます。
例 ： 最大位置レジスタ(QMPR)設定 : 18

位置カウンタ	15	16	17	18	0	1	2
回転カウンタ	1	1	1	1	2	2	2

カウントダウン時:
0x0000 からのアンダフローを検出して、クアッドカウンタ最大位置カウンタレジスタ(QMPR)の値が位置カウンタにリロードされることで、回転カウンタをカウントダウンします。そのときアンダフローフラグ(QICRL:UFDF)が 1 に設定されます。
例 ： 最大位置レジスタ(QMPR)設定 : 5

位置カウンタ	4	3	2	1	0	5	4	3	2	1	0	5
回転カウンタ	1	1	1	1	1	0	0	0	0	0	0	0xFFFF

<注意事項>

- *位置カウンタのカウント方向は外部入力(AIN, BIN)にのみ依存します。*

3.7 位置カウンタリセットマスク機能

位置カウンタリセットマスク機能は、RC_Mode0(QCR:RCM[1:0]=00)または RC_Mode3(QCR:RCM[1:0]=11)時のみ使用可能です。また、この機能は、位置カウンタモード(PC_Mode1, PC_Mode2, PC_Mode3)の設定とは関係なく動作します。

位置カウンタリセットマスク機能は、以下の順で動作します。

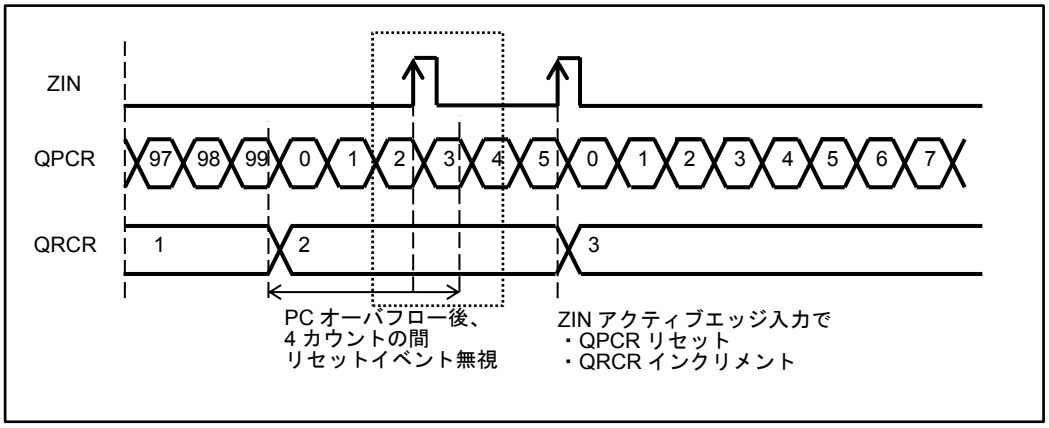
1. ZIN のアクティブイベント, 位置カウンタのオーバフロー検出, または位置カウンタのアンダフロー検出が発生した場合、マスクカウンタ*1 に位置カウンタリセットマスクビット(QCR:PCRM[1:0])の設定にしたがった値が設定されます。
2. 位置カウンタが同一方向でカウントアップ/カウントダウンが行われるとマスクカウンタ*1 をカウントダウンします。
   マスクカウンタ*1 が 0x0 になるまで位置カウンタをリセットしません。また回転カウンタをカウントアップ/カウントダウンしません。
   位置カウンタのカウント反転が検出されるとマスクカウンタ*1 は 0x0 になります。
3. マスクカウンタ*1 が 0x0 になると ZIN のアクティブエッジの検出または位置カウンタのオーバフロー検出で位置カウンタは 0x0000 になります。

*1: 位置カウンタのリセットと回転カウンタのカウントアップ/カウントダウンをマスクする回数をカウントします。このカウンタが 0x0 になるまでマスクします。

以下に RC_Mode3(QCR:RCM[1:0]="11")時の位置カウンタリセットマスク機能を使用した動作例を示します。

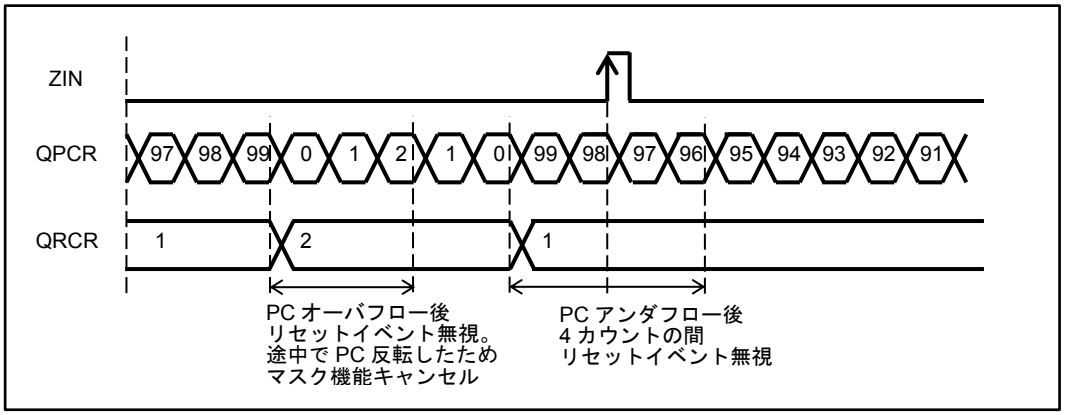
例 1:
位置カウンタのオーバフロー発生後に続く位置カウンタ 4 カウントの間(QPCR=0~3)、ZIN のアクティブエッジを無視します。

Figure 3-15 位置カウンタリセットマスク動作例 1
(QMPR=99, QCR:PCRM[1:0]=10, QCR:CGSC=0)



例 2:
位置カウンタの反転後に続くアンダフロー発生後、位置カウンタ 4 カウントの間(QPCR=99~96)、ZIN のアクティブエッジを無視します。

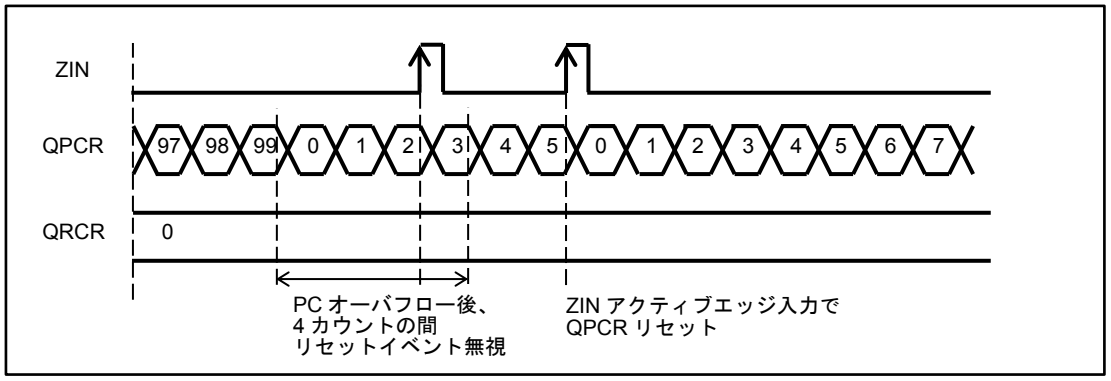
Figure 3-16 位置カウンタリセットマスク動作例 2
(QMPR=99, QCR:PCRM[1:0]=10, QCR:CGSC=0)



以下に RC_Mode0(QCR:RCM[1:0]=00)時の位置カウンタリセットマスク機能を使用した動作例を示します。

例 3:
回転カウンタがディセーブルのとき、位置カウンタのオーバフロー発生後に続く位置カウンタ 4 カウントの間(QPCR=0~3)、ZIN のアクティブエッジを無視します。

Figure 3-17 位置カウンタリセットマスク動作例 3
(QMPR=99, QCR:PCRM[1:0]=10, QCR:CGSC=0)



<注意事項>

- *位置カウンタリセットマスク機能が動作中に以下のいずれかの条件でマスク機能は解除され、位置カウンタのリセットが可能になります。*
- *位置カウンタモードビット(QCR:PCM[1:0])を変更した場合*
- *回転カウンタモードビット(QCR:RCM[1:0])を変更した場合*
- *位置カウンタの方向が変更された場合*
- *RC_Mode 0(QCR:RCM[1:0]=00)または RC_Mode3(QCR:RCM[1:0]=11)で位置カウンタリセットマスク機能が動作中に位置カウンタが反転せずに位置カウンタのオーバフローやアンダフローが発生しても回転カウンタはカウントアップやカウントダウンしませんが、オーバフローが発生した場合、位置カウンタは 0 になります。アンダフローが発生した場合、位置カウンタに QMPR がリロードされます。オーバフロー割込み要求フラグビット(QICR:OFDF)やアンダフロー割込み要求フラグビット(QICR:UFDF)は 1 に設定されます。*

4. レジスタ

クアッドカウンタで使用するレジスタの構成と機能について説明します。

クアッドカウンタのレジスター覧

レジスタ略称	レジスタ名	参照先
QPCR	クアッドカウンタ位置カウントレジスタ	4.1
QRCR	クアッドカウンタ回転カウントレジスタ	4.2
QPCCR	クアッドカウンタ位置カウンタ比較レジスタ	4.3
QPRCR	クアッドカウンタ位置&回転カウンタ比較レジスタ	4.4
QCR	クアッドカウンタ制御レジスタ	4.5
QECR	クアッドカウンタ拡張制御レジスタ	4.6
QICRL	クアッドカウンタ割込み制御レジスタ下位バイト	4.7
QICRH	クアッドカウンタ割込み制御レジスタ上位バイト	4.8
QMPR	クアッドカウンタ最大位置レジスタ	4.9
NFCTLA	AIN 用ノイズ制御レジスタ	4.10
NFCTLB	BIN 用ノイズ制御レジスタ	4.11
NFCTLZ	ZIN 用ノイズ制御レジスタ	4.12

4.1 クアッドカウンタ位置カウントレジスタ(QPCR)

クアッドカウンタ位置カウントレジスタ(QPCR)は、位置カウンタを示しています。

bit	15	0
Field	QPCR[15:0]	
属性	R/W	
初期値	0x0000	

[bit15:0] QPCR[15:0] :

本レジスタの値を読み出すと現在の位置カウンタ値が読み出されます。位置カウンタがカウント停止中(QCR:PSTP=1)、本レジスタにカウント値を書き込めます。カウント動作中(QCR:PSTP=0)は、本レジスタへの書込みは無視されます。

本レジスタは以下のいずれかの条件で 0x0000 に設定されます。

- リセット
- 以下の条件での ZIN のアクティブエッジ検出
  - RC_Mode1(QCR:RCM[1:0]=01)で ZIN 機能がカウンタクリア機能(QCR:CGSC=0)
  - RC_Mode0(QCR:RCM[1:0]=00)または RC_Mode3(QCR:RCM[1:0]=11)で ZIN 機能がカウンタクリア機能(QCR:CGSC=0)で位置カウンタのリセットマスク機能が有効(QCR:PCRM[1:0]=01 or 10 or 11)な場合、位置カウンタのカウント反転が検出されず、マスク設定値分、位置カウンタがインクリメントまたはデクリメントを行われた後
  - RC_Mode0(QCR:RCM[1:0]=00)または RC_Mode3(QCR:RCM[1:0]=11)で ZIN 機能がカウンタクリア機能(QCR:CGSC=0)で位置カウンタのリセットマスク機能が無効(QCR:PCRM[1:0]=00)
- 以下の条件での位置カウンタのオーバフロー検出
  - RC_Mode2(QCR:RCM[1:0]=10)
  - RC_Mode0(QCR:RCM[1:0]=00)または RC_Mode3(QCR:RCM[1:0]=11)で ZIN 機能がカウンタクリア機能(QCR:CGSC=0)で位置カウンタのリセットマスク機能が有効(QCR:PCRM[1:0]=01 or 10 or 11)のとき、位置カウンタのカウント反転が検出されず、マスク設定値分、位置カウンタがインクリメントまたはデクリメントを行われた後
  - RC_Mode0(QCR:RCM[1:0]=00)または RC_Mode3(QCR:RCM[1:0]=11)で ZIN 機能がカウンタクリア機能(QCR:CGSC=0)で位置カウンタのリセットマスク機能が無効(QCR:PCRM[1:0]=00)
- 位置カウンタが停止中(QCR:PSTP=1)に、この QPCR に 0x0000 を書き込んだ場合

以下の条件でクアッドカウンタ最大位置レジスタ (QMPR)値がこのレジスタに設定されます。

- 位置カウンタのアンダフロー検出

<注意事項>

- *クアッドカウンタ位置カウントレジスタ(QPCR)にバイトアクセス命令でアクセスは禁止です。*
- *RC_Mode0(QCR:RCM[1:0]=00), RC_Mode1(QCR:RCM[1:0]=01)または RC_Mode3(QCR:RCM[1:0]=11)で位置カウンタ停止中(QCR:PSTP=1)にクアッドカウンタ位置カウントレジスタ(QPCR)にカウント値を書き込んだ後、カウント機能(QCR:CGSC=0)で ZIN のアクティブエッジが検出されるとクアッドカウンタ位置カウントレジスタ(QPCR)は 0x0000 に設定されてしまいます。*
  クアッドカウンタ位置カウントレジスタ(QPCR)にカウント値を書き込む場合、ZIN のエッジ検出を無効(QCR:CGE[1:0]=00)にした後、クアッドカウンタ位置カウントレジスタ(QPCR)にカウント値を書き込んでください。

4.2 クアッドカウンタ回転カウントレジスタ(QRCR)

クアッドカウンタ回転カウントレジスタ(QRCR)は、回転カウンタを示します。

bit	15														0
Field	QRCR[15:0]														
属性	R/W														
初期値	0x0000														

[bit15:0] QRCR[15:0] :

本レジスタの値を読み出すと現在の回転カウンタ値が読み出されます。回転カウンタがカウント停止中(QCR:RCM[1:0]=00)、本レジスタにカウント値を書き込めます。カウント動作中(QCR:RCM[1:0]≠00)は、本レジスタへの書込みは無視されます。

本レジスタは以下のいずれかの条件で 0x0000 に設定されます。

- リセット
- 回転カウンタが停止中(QCR:RCM[1:0]=00)、このレジスタに 0x0000 を書き込んだ場合

<注意事項>

- *クアッドカウンタ回転カウントレジスタ(QRCR)にバイトアクセス命令でのアクセスは禁止です。*
- *PC_Mode0(QCR:PCM[1:0]=00)の場合、位置カウンタの方向を検出しないため位置カウンタ最終方向ビット(QICR:DIRPC)は不定になります。そのため、PC_Mode0(QCR:PCM[1:0]=00)からほかのモードに移行させた場合、AIN/BIN の有効エッジが検出される前に ZIN の有効エッジが検出されると、以下の動作になります。*
- *位置カウンタは RC_Mode0(QCR:RCM[1:0]=00), RC_Mode1(QCR:RCM[1:0]=01), RC_Mode3(QCR:RCM[1:0]=11)の場合、リセットされる*
- *回転カウンタはカウントアップまたはカウントダウンされない*

4.3 クアッドカウンタ位置カウンタ比較レジスタ(QPCCR)

クアッドカウンタ位置カウンタ比較レジスタ(QPCCR)は、位置カウンタのカウント値と比較します。

bit	15	0
Field	QPCCR[15:0]	
属性	R/W	
初期値	0x0000	

[bit15:0] QPCCR[15:0] :

本レジスタの値が位置カウンタと一致する場合、クアッドカウンタ位置カウンタ比較一致フラグ(QICR:QPCMF)が 1 に設定されます。この比較レジスタは位置カウンタとの比較だけに使用できます。

<注意事項>

- *クアッドカウンタ位置カウンタ比較レジスタ(QPCCR)にバイトアクセス命令でのアクセスは禁止です。*

4.4 クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)は、位置カウンタまたは回転カウンタの選択されたカウント値と比較します。

bit	15	0
Field	QPRCR[15:0]	
属性	R/W	
初期値	0x0000	

[bit15:0] QPRCR[15:0] :

位置カウンタか回転カウンタかどちらのカウンタと比較するかは、クアッドカウンタ制御レジスタ(QCR)のRSEL ビットで選択します。レジスタ値が、位置カウンタか回転カウンタと一致する場合、クアッドカウンタ位置&回転カウンタ比較一致フラグ(QICR:QPRCMF)が 1 に設定されます。

<注意事項>

- *クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)にバイトアクセス命令でのアクセスは禁止です。*

4.5 クアッドカウンタ制御レジスタ(QCR)

クアッドカウンタ制御レジスタ(QCR)は、位置カウンタと 16 ビットの回転カウンタの動作モードを設定します。また、各カウンタをスタートしたりストップしたりします。

クアッドカウンタ制御レジスタ下位バイト(QCRL)

bit	7	6	5	4	3	2	1	0
Field	SWAP	RSEL	CGSC	PSTP	RCM1	RCM0	PCM1	PCM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] SWAP： スワップビット

本ビットは、位置カウンタへの AIN 入力と BIN 入力の接続を交換します。

本ビットが 0 のとき、AIN 端子は位置カウンタの AIN 入力に利用でき、BIN 端子は位置カウンタの BIN 入力に利用できます。本ビットが 1 のとき、AIN 端子は位置カウンタの BIN 入力に利用でき、BIN 端子は位置カウンタの AIN 入力に利用できます。

bit	説明
0	スワップなし
1	AIN 入力と BIN 入力をスワップ

<注意事項>

- *スワップビット(SWAP)は、位置カウンタディセーブル(PCM[1:0]=00)のときに変更してください。*

[bit6] RSEL： レジスタ機能選択ビット

本ビットは、クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)を位置カウンタと回転カウンタのどちらと比較するかを選択します。

bit	説明
0	クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)を位置カウンタと比較
1	クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)を回転カウンタと比較

<注意事項>

- *本ビットの設定に関係なく、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、PC 一致&RC 一致割込み要求フラグビット(QICR:QPCNRCMF)は 1 に設定されます。*

[bit5] CGSC： カウントクリア・ゲート選択ビット

本ビットは、外部端子(ZIN)の機能を選択します。

カウンタクリア機能使用時(QGSC=0)、回転カウントモードが RC_Mode0(RCM[1:0]=00), RC_Mode1(RCM[1:0]=01), RC_Mode3(RCM[1:0]=11)のとき ZIN 端子は位置カウンタをクリアします。QCR レジスタの CGE1, CGE0 ビットは、ZIN 端子の有効なエッジを選択し、その選択されたエッジを検出することで位置カウンタをクリアします。

ゲート機能使用時(QGSC=1)、ZIN 端子は位置カウンタのカウント動作を制御します。QCR レジスタの CGE1, CGE0 ビットは、ZIN 端子の有効なレベルで位置カウンタをカウントします。

bit	説明
0	カウンタクリア機能
1	ゲート機能

[bit4] PSTP： 位置カウンタストップビット

本ビットは、位置カウンタを停止します。

bit	説明
0	カウント動作許可
1	カウント停止

[bit3:2] RCM1, RCM0： 回転カウンタモードビット

これらのビットは回転カウンタのカウントモードと、位置カウンタのリセットモードを選択します。位置カウンタへの影響については、「■回転カウンタの動作」を参照してください。

bit3	bit2	説明
0	0	回転カウンタディセーブル(RC_Mode0)
0	1	回転カウンタは ZIN のアクティブエッジでのみカウントアップ/カウントダウン (RC_Mode1)
1	0	回転カウンタは、(QMPR と一致する)位置カウンタのオーバフロー/アンダフローでのみ、それぞれカウントアップ/カウントダウン(RC_Mode2)
1	1	回転カウンタは位置カウンタのオーバフロー/アンダフローと、ZIN のアクティブエッジの両方でカウントアップ/カウントダウン(RC_Mode3)

[bit1:0] PCM1, PCM0： 位置カウンタモードビット

これらのビットは位置カウンタのカウントモードを選択します。

bit1	bit0	説明
0	0	位置カウンタディセーブル(PC_Mode0)。位置カウンタ停止
0	1	アップダウンカウントモード(PC_Mode1) AIN のアクティブエッジでインクリメント、 BIN のアクティブエッジでデクリメント
1	0	位相差カウントモード(PC_Mode2) AIN が BIN より進んでいるならカウントアップ、 BIN が AIN より進んでいるならカウントダウン
1	1	方向付きカウントモード(PC_Mode3) BIN のアクティブエッジと AIN のレベルでカウントアップ/カウントダウン

＜注意事項＞

PC_Mode0(PCM[1:0]=00)の場合、位置カウンタの方向を検出しませんので位置カウンタ最終方向ビット (QICR:DIRPC)は不定になります。そのため、PC_Mode0(PCM[1:0]=00)からほかのモードに移行させた場合、AIN/BIN の有効エッジが検出される前に ZIN の有効エッジが検出されると、以下の動作になります。

- *位置カウンタは RC_Mode0(RCM[1:0]=00), RC_Mode1(RCM[1:0]=01), RC_Mode3(RCM[1:0]=11)の場合、リセットされる*
- *回転カウンタはカウントアップまたはカウントダウンされない*

クアッドカウンタ制御レジスタ上位バイト(QCRH)

bit	15	14	13	12	11	10	9	8
Field	CGE1	CGE0	BES1	BES0	AES1	AES0	PCRM1	PCRM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:14] CGE1, CGE0： 検出エッジ選択ビット

これらのビットは、外部端子(ZIN)をカウンタクリア機能で使用する場合(CGSC=0)の検出エッジを選択します。また、ZIN をゲート機能で使用する場合(CGSC=1)の検出レベルを選択します。

bit15	bit14	ZIN がカウンタクリア機能 (CGSC="0")	ZIN がゲート機能 (CGSC="1")
0	0	エッジ検出無効	レベル検出無効
0	1	立下りエッジ検出	L レベル検出
1	0	立上りエッジ検出	H レベル検出
1	1	立上り/立下りエッジ検出	レベル検出無効

[bit13:12] BES1, BES0 : BIN 検出エッジ選択ビット

これらのビットは、外部端子(BIN)の検出エッジを選択します。

bit13	bit12	説明
0	0	エッジ検出は無効
0	1	立下りエッジを検出
1	0	立上りエッジを検出
1	1	立上りと立下りエッジを検出

[bit11:10] AES1, AES0 : AIN 検出エッジ選択ビット

これらのビットは、外部端子(AIN)の検出エッジを選択します。

bit11	bit10	説明
0	0	エッジ検出は無効
0	1	立下りエッジを検出
1	0	立上りエッジを検出
1	1	立上りと立下りエッジを検出

[bit9:8] PCRM1, PCRM0： 位置カウンタリセットマスクビット

これらのビットは、位置カウンタのオーバフロー, アンダフローまたは ZIN のアクティブエッジ検出後、どれくらいの間(マスク期間)、次に示すイベントを無視するかを設定します。

- 位置カウンタのリセット
- 回転カウンタのインクリメント/デクリメント

このマスク機能は、位置カウンタのカウント方向が変わるとこの機能は解除され、次の位置カウンタのオーバフロー, アンダフローまたは ZIN のアクティブエッジ検出で再度、マスク機能が動作します。

bit9	bit8	説明
0	0	リセットマスクなし
0	1	位置カウンタ2カウント分位置カウンタのリセットまたは回転カウンタのカウントアップ/カウントダウンのイベント無視
1	0	位置カウンタ4カウント分位置カウンタのリセットまたは回転カウンタのカウントアップ/カウントダウンのイベント無視
1	1	位置カウンタ8カウント分位置カウンタのリセットまたは回転カウンタのカウントアップ/カウントダウンのイベント無視

<注意事項>

- *位置カウンタリセットマスク機能は、RC_Mode0(RCM[1:0]=00)とRC_Mode3(RCM[1:0]=11)の場合のみ有効です。また、この機能は、位置カウンタモード(PC_Mode1, PC_Mode2, PC_Mode3)の設定とは関係なく動作します。*
- *位置カウンタリセットマスク機能が動作中に以下のいずれかの条件でマスク機能は解除され、位置カウンタのリセットが可能になります。*
- *位置カウンタモードビット(PCM[1:0])を変更した場合*
- *回転カウンタモードビット(RCM[1:0])を変更した場合*
- *位置カウンタの方向が変更された場合*

4.6 クアッドカウンタ拡張制御レジスタ(QECR)

クアッドカウンタ拡張制御レジスタ(QECR)は、回転カウンタのカウント範囲内を選択したり、回転カウンタがカウント範囲外になったことを示したり、その範囲外になったときに割込みの発生を制御します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約												PEC	ORNGIE	ORNGF	ORNGMD
属性	-												R/W	R/W	R/W	R/W
初期値	000000000000												0	0	0	0

[bit15:4] 予約 : 予約ビット

これらのビットには常に 0 を書き込んでください。読出し値は 0 が読み出されます。

[bit3] PEC : 位相エッジ変更ビット

本ビットは PC_Mode2 の 1 逓倍の動作エッジを変更するビットです。

PC_Mode2 の 1 逓倍のみ影響し、他のモードは影響しません。

TYPE1-M0+製品では、本ビットは、0 のみが設定可能です。

bit	説明
0	片エッジ(立上りエッジまたは立下りエッジ)でカウンタをアップダウン
1	両エッジ(立上りエッジと立下りエッジ)でカウンタをアップダウン

[bit2] ORNGIE : 範囲外割込みイネーブルビット

本ビットは範囲外割込み要求フラグ(ORNGF)が"1"になったときに CPU へ割込みを通知するかどうかを制御します。本ビットが"1"で回転カウント値が範囲外になった(ORNGF=1)とき、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

[bit1] ORNGF : 範囲外割込み要求フラグビット

本フラグは回転カウンタの範囲外を示します。

回転カウンタの範囲外モードとして正数値を選択する(ORNGMD=0)と、回転カウンタがカウントダウンして 0x0001 から 0x0000 に変化したときに、またはカウントアップして 0xFFFE から 0xFFFF に変化したときに本フラグは 1 に設定されます。

回転カウンタの範囲外モードとして 8K 値を選択する(ORNGMD=1)と、回転カウンタがカウントダウンして 0x8001 から 0x8000 に変化したときに、またはカウントアップして 0x7FFE から 0x7FFF に変化したときに本フラグは 1 に設定されます。

書込みでは、フラグは 0 にクリアできます。1 を書き込んでも影響しません。

リードモディファイライト系命令で 1 を読み出します。

bit	説明	
	読出し	書込み
0	範囲外未検出	ビットクリア
1	範囲外検出	動作に影響しません

[bit0] ORNGMD： 範囲外モード選択ビット

本ビットは、回転カウンタの範囲外モードを定義します。

bit	説明
0	正数値を選択(範囲は 0x0000 ～ 0xFFFF)
1	8K 値を選択(範囲は 0x0000 ～ 0x7FFF)

4.7 クアッドカウンタ割込み制御レジスタ下位バイト(QICRL)

クアッドカウンタ割込み制御レジスタ下位バイト(QICRL)は、位置カウンタのオーバフロー/アンダフローの割込み, ゼロインデックス割込み, クアッドカウンタ位置カウンタ比較一致割込み, クアッドカウンタ位置&回転カウンタ比較一致割込みを制御します。

bit	7	6	5	4	3	2	1	0
Field	ZIIF	OFDF	UFDF	OUZIE	QPRCMF	QPRCMIE	QPCMF	QPCMIE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] ZIIF： ゼロインデックス割込み要求フラグビット

位置カウンタが ZIN 入力でリセットされたときに、本フラグは 1 となります。

書込みでは、フラグは 0 にクリアできます。1 を書き込んでも影響しません。

リードモディファイライト系命令で 1 を読み出します。

bit	説明	
	読出し	書込み
0	ゼロインデックス未検出	ビットクリア
1	ゼロインデックス検出	動作に影響しません

<注意事項>

- *ゼロインデックス割込み要求フラグビット(ZIIF)は、ZIN をゲート機能(QCR:CGSC=1)として使用するか、または RC_Mode2(QCR:RCM[1:0]=10)の場合、位置カウンタがリセットされても 1 になりません。*

[bit6] OFDF： オーバフロー割込み要求フラグビット

本フラグは位置カウンタのオーバフローの発生を示します。位置カウンタとクアッドカウンタ最大位置レジスタ(QMPR)の設定値が一致した状態で位置カウンタをカウントアップすると、本ビットは 1 になります。

書込みでは、フラグは 0 にクリアできます。1 を書き込んでも影響しません。

リードモディファイライト系命令で 1 を読み出します。

bit	説明	
	読出し	書込み
0	オーバフロー未検出	ビットクリア
1	オーバフロー検出	動作に影響しません

[bit5] UFDF： アンダフロー割込み要求フラグビット

本フラグは位置カウンタのアンダフローの発生を示します。位置カウンタが 0x0000 で一カウンタをカウントダウンすると、本ビットは 1 になります。書込みでは、フラグは 0 にクリアできます。1 を書き込んでも影響しません。

リードモディファイライト系命令で 1 を読み出します。

bit	説明	
	読出し	書込み
0	アンダフロー未検出	ビットクリア
1	アンダフロー検出	動作に影響しません

[bit4] OUZIE : オーバフロー/アンダフロー/ゼロインデックス割込みイネーブルビット

本ビットは、オーバフロー割込み要求フラグビット(OFDF), アンダフロー割込み要求フラグビット(UFDF)またはゼロインデックス割込み要求フラグビット(ZIIF)が 1 になったときに CPU へ割込みを通知するかどうかを制御します。本ビットが 1 でオーバフロー検出(OFDF=1), アンダフロー検出(UFDF=1)またはゼロインデックス検出(ZIIF=1)で、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

[bit3] QPRCMF : PC&RC 一致割込み要求フラグビット

本フラグは位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致したかどうか、または回転カウンタ(QRCR)とクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致したかどうかを示します。

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)と位置カウンタとの比較を選択した(QCR:RSEL=0)場合、位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、本フラグは 1 になります。

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)と回転カウンタとの比較を選択した(QCR:RSEL=1)場合、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、本フラグは 1 になります。

書込みでは、フラグは 0 にクリアできます。1 を書き込んでも影響しません。

リードモディファイライト系命令で 1 を読み出します。

bit	説明	
	読出し	書込み
0	QPRCR と比較一致未検出	ビットクリア
1	QPRCR と比較一致検出	動作に影響しません

<注意事項>

- *レジスタ機能選択ビット(QCR:RSEL)が"0"の場合、以下のいずれかの条件で直ちに PC&RC 一致割込み要求フラグビット(QPRCMF)は 1 になります。*
  - *位置カウンタディセーブル(QCR:PCM[1:0]=00)にし、位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した状態で PC_Mode1(QCR:PCM[1:0]=01), PC_Mode2(QCR:PCM[1:0]=10)または PC_Mode3(QCR:PCM[1:0]=11)に変更した場合*
  - *PC_Mode1(QCR:PCM[1:0]=01), PC_Mode2(QCR:PCM[1:0]=10)または PC_Mode3(QCR:PCM[1:0]=11)でクアッドカウンタ位置カウントレジスタ(QPCR)またはクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)にデータを書き込んで位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合*

- *レジスタ機能選択ビット(QCR:RSEL)が 1 の場合、以下の条件で直ちに PC&RC 一致割込み要求フラグビット(QPRCMF)は 1 になります。*
  - *RC_Mode1(QCR:RCM[1:0]=01), RC_Mode2(QCR:RCM[1:0]=10 または RC_Mode3(QCR:RCM[1:0]=11)のとき、クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)にデータを書き込んで回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合*
  - *RC_Mode0(QCR:RCM[1:0]=00)からほかのモードに変更して回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合*

- *レジスタ機能選択ビット(QCR:RSEL)を変更した場合、以下の条件で直ちにPC&RC 一致割込み要求フラグビット(QPRCMF)は1になります。*
  - *RC_Mode0(QCR.RCM[1:0]=00)以外でレジスタ機能選択ビット(QCR:RSEL)が0から1に変更されたとき、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合*
  - *PC_Mode0(QCR.PCM[1:0]=00)以外でレジスタ機能選択ビット(QCR:RSEL)が1から0に変更されたとき、位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合*

[bit2] QPRCMIE : PC&RC 一致割込みイネーブルビット

本ビットは、PC&RC 一致割込み要求フラグ(QPRCMF)が 1 になったときに CPU へ割込みを通知するかどうかを制御します。本ビットが 1 で位置カウンタまたは回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致する(QPRCMF=1)と、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

[bit1] QPCMF : PC 一致割込み要求フラグビット

本フラグは、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致したかどうかを示します。

位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した場合、本フラグは 1 になります。

書込みでは、フラグは 0 にクリアできます。1 を書き込んでも影響しません。

リードモディファイライト系命令で 1 を読み出します。

bit	説明	
	読出し	書込み
0	QPCCR と比較一致未検出	ビットクリア
1	QPCCR と比較一致検出	動作に影響しません

<注意事項>

以下のいずれかの条件で直ちにPC 一致割込み要求フラグビット(QPCMF)は1になります。

- *位置カウンタディセーブル(QCR:PCM[1:0]=00)にし、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した状態でPC_Mode1(QCR:PCM[1:0]=01), PC_Mode2(QCR:PCM[1:0]=10)またはPC_Mode3(QCR:PCM[1:0]=11)に変更した場合*
- *位置カウンタストップビット(QCR:PSTP)が1 でPC_Mode1(QCR:PCM[1:0]=01), PC_Mode2(QCR:PCM[1:0]=10)またはPC_Mode3(QCR:PCM[1:0]=11)のとき、クアッドカウンタ位置カウントレジスタ(QPCR)に書き込んで位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した場合*
- *PC_Mode1(QCR:PCM[1:0]=01), PC_Mode2(QCR:PCM[1:0]=10)またはPC_Mode3(QCR:PCM[1:0]=11)のとき、クアッドカウンタ比較レジスタ(QPCCR)に書き込んで位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した場合*

[bit0] QPCMIE : PC 一致割込みイネーブルビット

本ビットは、PC 一致割込み要求フラグ(QPCMF)が 1 になったときに CPU へ割込みを通知するかどうかを制御します。

本ビットが 1 で位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致する(QPCMF=1)と、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

4.8 クアッドカウンタ割込み制御レジスタ上位バイト(QICRH)

クアッドカウンタ割込み制御レジスタ上位バイト(QICRH)は、位置カウンタと QPCCR との一致かつ回転カウンタと QPRCR との一致、カウント反転の割込みを制御します。また、最後のアンダフロー/オーバフロー割込み時や、最後の位置カウンタ値変化時の位置カウンタの方向を示します。

bit	15	14	13	12	11	10	9	8
Field	予約		QPCNRCMF	QPCNRCMIE	DIROU	DIRPC	CDCF	CDCIE
属性	-		R/W	R/W	R	R	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit15:14] 予約 : 予約ビット

これらのビットには常に 0 を書き込んでください。読出し値は 0 が読み出されます。

[bit13] QPCNRCMF : PC 一致&RC 一致割込み要求フラグビット

本フラグは、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し、かつ回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致したかどうかを示します。

位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し(QPCMF=1)、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、本フラグは 1 になります。

書込みでは、フラグは 0 にクリアできます。1 を書き込んでも影響しません。

リードモディファイライト系命令で 1 を読み出します。

bit	説明	
	読出し	書込み
0	一致検出なし	ビットクリア
1	一致検出	動作に影響しません

<注意事項>

以下のいずれかの条件で直ちに PC 一致&RC 一致割込み要求フラグビット(QPCNRCMF)は 1 になります。

- *位置カウンタディセーブル(QCR:PCM[1:0]=00)で回転カウンタが RC_Mode0(QCR:RCM[1:0]=00)以外のとき、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した状態で PC_Mode1(QCR:PCM[1:0]=01), PC_Mode2(QCR:PCM[1:0]=10)または PC_Mode3(QCR:PCM[1:0]=11)に変更した場合*
- *PC_Mode1(QCR:PCM[1:0]=01), PC_Mode2(QCR:PCM[1:0]=10)または PC_Mode3(QCR:PCM[1:0]=11)で回転カウンタが RC_Mode0(QCR:RCM[1:0]=00)以外のとき、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した状態のときに、クアッドカウンタ位置カウントレジスタ(QPCR)またはクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)にデータを書き込んで、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した場合*
- *PC_Mode1(QCR:PCM[1:0]=01), PC_Mode2(QCR:PCM[1:0]=10)または PC_Mode3(QCR:PCM[1:0]=11)でクアッドカウンタ位置カウントレジスタ(QPCR)またはクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した状態のときに、RC_Mode0(QCR:RCM[1:0]=00)以外でクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)にデータを書き込んで、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合*
- *PC_Mode1(QCR:PCM[1:0]=01), PC_Mode2(QCR:PCM[1:0]=10)または PC_Mode3(QCR:PCM[1:0]=11)でクアッドカウンタ位置カウントレジスタ(QPCR)またはクアッドカウンタ位置カウンタ比較レジスタ*

(QPCCR)が一致した状態のときに、RC_Mode0(QCR:RCM[1:0]=00)からほかのモードに変更して、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合

- *レジスタ機能選択ビット(QCR:RSEL)の設定に関係なく、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、本ビットは 1 になります。*

[bit12] QPCNRCMIE : PC 一致&RC 一致割込みイネーブルビット

本ビットは、PC 一致&RC 一致割込み要求フラグ(QPCNRCMF)が 1 に設定されたときに CPU へ割込みを通知するかどうかを制御します。

本ビットが 1 で位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し、かつ回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致する(QPCNRCMF=1)と、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

[bit11] DIROU : 位置カウンタ最終フロー方向ビット

本ビットは、位置カウンタが最後にオーバフロー/アンダフローしたときの位置カウンタの方向を示します。

bit	説明
0	位置カウンタはインクリメントを行った
1	位置カウンタはデクリメントを行った

[bit10] DIRPC : 位置カウンタ最終方向ビット

本ビットは、位置カウンタが最後に変化したときのカウント方向を示します。

bit	説明
0	位置カウンタはインクリメントを行った
1	位置カウンタはデクリメントを行った

<注意事項>

PC_Mode0(QCR:PCM[1:0]=00)の場合、位置カウンタの方向を検出しないため位置カウンタ最終方向ビット(QICR:DIRPC)は不定になります。そのため、PC_Mode0(QCR:PCM[1:0]=00)からほかのモードに移行させた場合、AIN/BIN の有効エッジが検出される前に ZIN の有効エッジが検出されると、以下の動作になります。

- *位置カウンタは RC_Mode0(QCR:RCM[1:0]=00), RC_Mode1(QCR:RCM[1:0]=01), RC_Mode3(QCR:RCM[1:0]=11)の場合、リセットされる*
- *回転カウンタはカウントアップまたはカウントダウンされない*

[bit9] CDCF： カウント反転割込み要求フラグビット

本ビットは位置カウンタがカウントの方向が反転したかどうかを示します。

位置カウンタがカウント方向を反転した場合、本ビットは 1 になります。カウント方向の反転とはカウンタをカウントアップし、次にカウンタをカウントダウンする、またはカウンタをカウントダウンし、次にカウンタをカウントアップすることを指します。

書込みでは、フラグは 0 にクリアできます。1 を書き込んでも影響しません。

リードモディファイライト系命令で 1 を読み出します。

bit	説明	
	読出し	書込み
0	位置カウンタのカウント反転なし	ビットクリア
1	位置カウンタのカウント反転が最低でも 1 回あり	動作に影響しません

<注意事項>

- *PC_Mode0(QCR:PCM[1:0]=00)の場合、位置カウンタの方向を検出しないため位置カウンタ最終方向ビット(QICR:DIRPC)は不定になります。そのため、PC_Mode0(QCR:PCM[1:0]=00)からほかのモードに移行させた後、AIN/BIN の有効エッジが検出され、位置カウンタの方向が反転してもカウント反転割込み要求フラグビット(QICR:CDCF)は 1 に設定されません。*

[bit8] CDCIE： カウント反転割込みイネーブルビット

本ビットはカウント反転割込み要求フラグ(CDCF)が"1"に設定されたときに CPU へ割込みを通知するかどうかを制御します。

本ビットが 1 で位置カウンタのカウント方向が反転する(CDCF=1)と、割込みが発生します。

bit	説明
0	割込み禁止
1	割込み許可

4.9 クアッドカウンタ最大位置レジスタ(QMPR)

クアッドカウンタ最大位置レジスタ (QMPR)は、位置カウンタの最大値を設定します。

bit	15	0
Field	QMPR[15:0]	
属性	R/W	
初期値	0xFFFF	

[bit15:0] QMPR :

クアッドカウンタ最大位置レジスタ(QMPR)の設定値と位置カウンタが一致した状態で位置カウンタがカウントアップすると、位置カウンタのオーバフローを検出します(QPCR:OFDF=1)。位置カウンタがカウントダウンするとき、位置カウンタのアンダフローを検出する(QICR:UFDF=1)とクアッドカウンタ最大位置レジスタ(QMPR)の設定値を位置カウンタにリロードします。

<注意事項>

- *クアッドカウンタ最大位置レジスタ(QMPR)にバイトアクセス命令でアクセスは禁止です。*

4.10 AIN 用ノイズ制御レジスタ(NFCTLA)

外部端子(AIN)の動作を設定します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約										AINMD	AINLV	予約	AINNWS[2:0]		
属性	-										R/W	R/W	-	R/W		
初期値											0	0		000		

[bit15:6] 予約 : 予約ビット

書込みは無効です。読出し値は不定が読み出されます。

[bit5] AINMD : マスクビット

本ビットは、外部端子(AIN)のマスク設定を行います。

bit	説明
0	AIN の入力を許可します。
1	AIN の入力をマスクします。

[bit4] AINLV : 入力反転ビット

本ビットは、外部端子(AIN)の入力を反転させます。

bit	説明
0	AIN レベルを反転しません。
1	AIN レベルを反転します。

[bit3] 予約 : 予約ビット

書込みは無効です。読出し値は不定が読み出されます。

[bit2:0] AINNWS[2:0] : ノイズフィルタ幅選択ビット

本ビットは、外部端子(AIN)デジタルノイズフィルタのフィルタ幅を設定します。

bit2	bit1	bit0	説明
0	0	0	ノイズフィルタ動作なし
0	0	1	ノイズフィルタ幅を PCLK 周期の 4 サイクル幅に設定
0	1	0	ノイズフィルタ幅を PCLK 周期の 8 サイクル幅に設定
0	1	1	ノイズフィルタ幅を PCLK 周期の 16 サイクル幅に設定
1	0	0	ノイズフィルタ幅を PCLK 周期の 32 サイクル幅に設定
1	0	1	ノイズフィルタ幅を PCLK 周期の 64 サイクル幅に設定
1	1	0	ノイズフィルタ幅を PCLK 周期の 128 サイクル幅に設定
1	1	1	ノイズフィルタ幅を PCLK 周期の 256 サイクル幅に設定

4.11 BIN 用ノイズ制御レジスタ(NFCTLB)

外部端子(BIN)の動作を設定します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約										BINMD	BINLV	予約	BINNWS[2:0]		
属性	-										R/W	R/W	-	R/W		
初期値											0	0		000		

[bit15:6] 予約 : 予約ビット

書込みは無効です。読出し値は不定が読み出されます。

[bit5] BINMD : マスクビット

本ビットは、外部端子(BIN)のマスク設定を行います。

bit	説明
0	BIN の入力を許可します。
1	BIN の入力をマスクします。

[bit4] BINLV : 入力反転ビット

本ビットは、外部端子(BIN)の入力を反転させます。

bit	説明
0	BIN レベルを反転しません。
1	BIN レベルを反転します。

[bit3] 予約 : 予約ビット

書込みは無効です。読出し値は不定が読み出されます。

[bit2:0] BINNWS[2:0] : ノイズフィルタ幅選択ビット

本ビットは、外部端子(BIN)デジタルノイズフィルタのフィルタ幅を設定します。

bit2	bit1	bit0	説明
0	0	0	ノイズフィルタ動作なし
0	0	1	ノイズフィルタ幅を PCLK 周期の 4 サイクル幅に設定
0	1	0	ノイズフィルタ幅を PCLK 周期の 8 サイクル幅に設定
0	1	1	ノイズフィルタ幅を PCLK 周期の 16 サイクル幅に設定
1	0	0	ノイズフィルタ幅を PCLK 周期の 32 サイクル幅に設定
1	0	1	ノイズフィルタ幅を PCLK 周期の 64 サイクル幅に設定
1	1	0	ノイズフィルタ幅を PCLK 周期の 128 サイクル幅に設定
1	1	1	ノイズフィルタ幅を PCLK 周期の 256 サイクル幅に設定

4.12 ZIN 用ノイズ制御レジスタ(NFCTLZ)

外部端子 ZIN の動作を設定します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約										ZINMD	ZINLV	予約	ZINNWS[2:0]		
属性	-										R/W	R/W	-	R/W		
初期値											0	0		000		

[bit15:6] 予約 : 予約ビット

書込みは無効です。読出し値は不定が読み出されます。

[bit5] ZINMD : マスクビット

本ビットは、外部端子(ZIN)のマスク設定を行います。

bit	説明
0	ZIN の入力を許可します。
1	ZIN の入力をマスクします。

[bit4] ZINLV : 入力反転ビット

本ビットは、外部端子(ZIN)の入力を反転させます。

bit	説明
0	ZIN レベルを反転しません。
1	ZIN レベルを反転します。

[bit3] 予約 : 予約ビット

書込みは無効です。読出し値は不定が読み出されます。

[bit2:0] ZINNWS[2:0] : ノイズフィルタ幅選択ビット

本ビットは、外部端子(ZIN)デジタルノイズフィルタのフィルタ幅を設定します。

bit2	bit1	bit0	説明
0	0	0	ノイズフィルタ動作なし
0	0	1	ノイズフィルタ幅を PCLK 周期の 4 サイクル幅に設定
0	1	0	ノイズフィルタ幅を PCLK 周期の 8 サイクル幅に設定
0	1	1	ノイズフィルタ幅を PCLK 周期の 16 サイクル幅に設定
1	0	0	ノイズフィルタ幅を PCLK 周期の 32 サイクル幅に設定
1	0	1	ノイズフィルタ幅を PCLK 周期の 64 サイクル幅に設定
1	1	0	ノイズフィルタ幅を PCLK 周期の 128 サイクル幅に設定
1	1	1	ノイズフィルタ幅を PCLK 周期の 256 サイクル幅に設定

CHAPTER 8-2: クアッドカウンタ位置回転カウント表示機能

クアッドカウンタ位置回転カウント表示機能について説明します。

1. 概要・構成
2. レジスタ

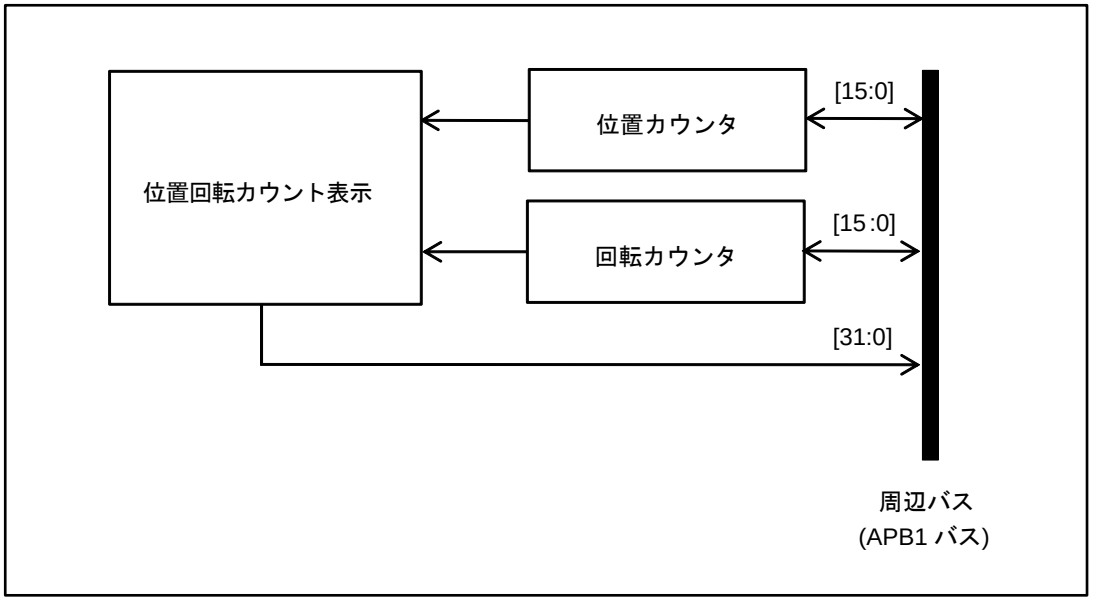
管理コード: 9BFQPRCRR_J02.0

1. 概要・構成

クアッドカウンタ位置回転カウント表示機能の概要を説明します。

クアッドカウンタ位置カウントレジスタ(QPCR)の値とクアッドカウンタ回転カウントレジスタ(QRCR)の値を同時に読み出せる機能が搭載されています。

Figure 1-1 クアッドカウンタ位置回転カウントレジスタのブロックダイヤグラム



2. レジスタ

クアッドカウンタ位置回転カウント表示機能のレジスタについて説明します。

レジスタ略称	レジスタ名	参照先
QPRCRR	クアッドカウンタ位置回転カウントレジスタ	2.1

2.1 クアッドカウンタ位置回転カウントレジスタ(QPRCRR)

クアッドカウンタ位置カウントレジスタ(QPCR)およびクアッドカウンタ回転カウントレジスタ(QRCR)の値を表示します。

レジスタ構成

bit	31															16
Field	QRCRR[15:0]															
属性	R															
初期値	0x0000															

bit	15															0
Field	QPCRR[15:0]															
属性	R															
初期値	0x0000															

レジスタ機能

[bit31:16] QRCRR： クアッドカウンタ回転カウント表示ビット

クアッドカウンタ回転カウントレジスタ(QRCR)と同じ値を読み出せるミラーレジスタです。書込みは無効です。

[bit15:0] QPCRR： クアッドカウンタ位置カウント表示ビット

クアッドカウンタ位置カウントレジスタ(QPCR)と同じ値を読み出せるミラーレジスタです。書込みは無効です。

本レジスタを使用することでクアッドカウンタ位置カウントレジスタ(QPCR)の値とクアッドカウンタ回転カウントレジスタ(QRCR)の値を同時に読み出せます。

APPENDIXES

レジスタマップ、注意事項について説明します。

A. 製品型格一覧
B. レジスタマップ (TYPE1-M0+)
C. レジスタマップ (TYPE2-M0+)
D. レジスタマップ (TYPE3-M0+)
E. 注意事項一覧

CODE: 9AFAPPENDIXES-J03.0

A. 製品型格一覧

製品型格について説明します。

1. 製品型格一覧

CODE: J3.0

1. 製品型格一覧

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M0+","TYPE2-M0+","TYPE3-M0+"などの表記は、以下の一覧の FM0+ファミリ製品に置き換えてお読みください。

Table 1-1 FM0+ファミリの TYPE1 型格一覧

TYPE	フラッシュメモリサイズ	
	56K bytes	88K bytes
TYPE1-M0+	S6E1A11B S6E1A11C	S6E1A12B S6E1A12C

Table 1-2 FM0+ファミリの TYPE2 型格一覧

TYPE	フラッシュメモリサイズ	
	304K bytes	560K bytes
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 1-3 FM0+ファミリの TYPE3 型格一覧

TYPE	フラッシュメモリサイズ	
	64K bytes	128K bytes
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

B. レジスタマップ (TYPE1-M0+)

レジスタマップについて説明します。

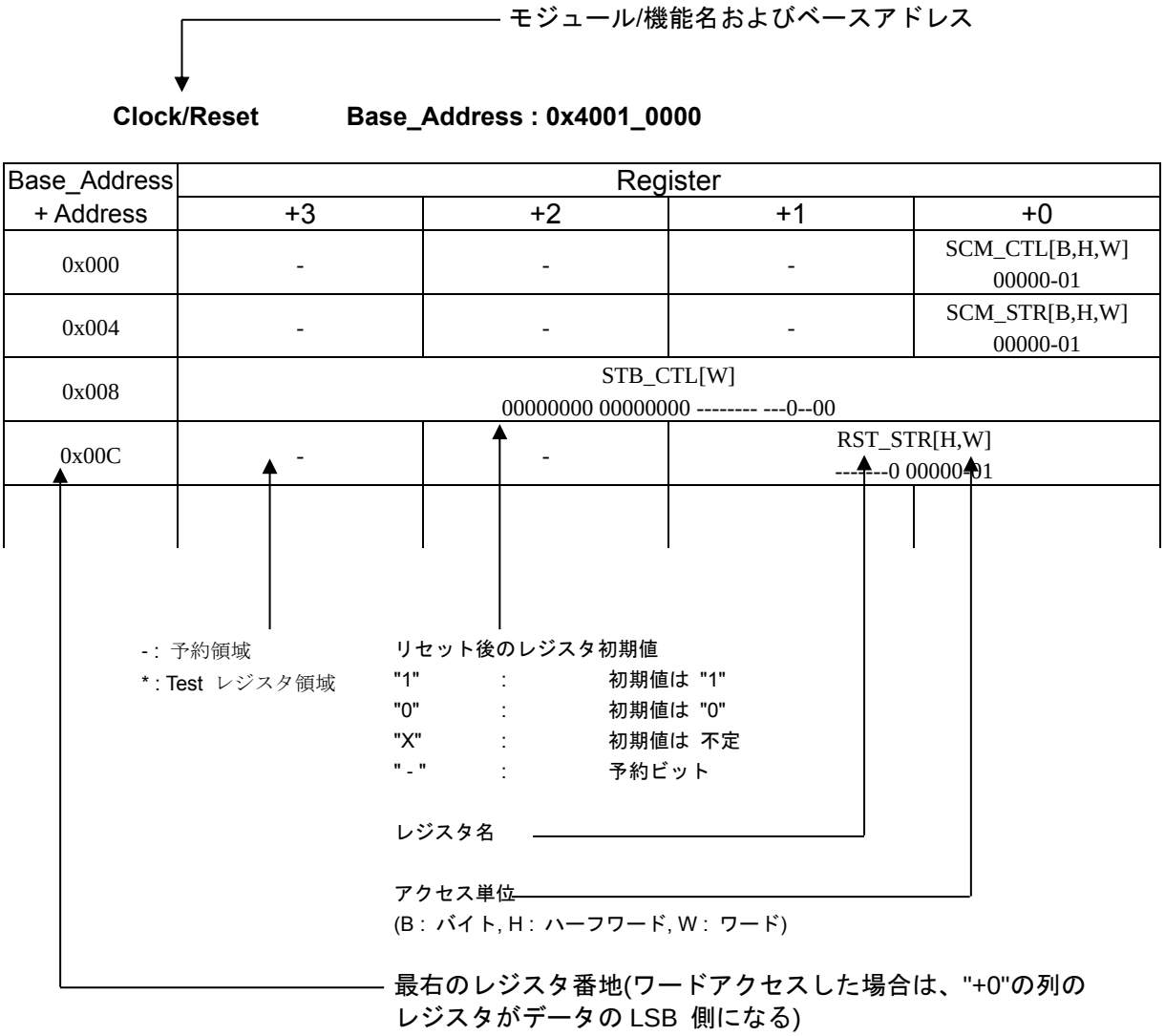
1. レジスタマップ

CODE: 9AFREGMAP-J01.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C				
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT unit0 Base_Address : 0x4002_0000

MFT unit1 Base_Address : 0x4002_1000

MFT unit2 Base_Address : 0x4002_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	OCCP0[H,W]		-	-
	00000000 00000000			
0x104	OCCP1[H,W]		-	-
	00000000 00000000			
0x108	OCCP2[H,W]		-	-
	00000000 00000000			
0x10C	OCCP3[H,W]		-	-
	00000000 00000000			
0x110	OCCP4[H,W]		-	-
	00000000 00000000			
0x114	OCCP5[H,W]		-	-
	00000000 00000000			
0x118	-	OCSD10[B,H,W]	OCSB10[B,H,W]	OCSA10[B,H,W]
		00000000	00000000	00000000
0x11C	-	OCSD32[B,H,W]	OCSB32[B,H,W]	OCSA32[B,H,W]
		00000000	00000000	00000000
0x120	-	OCSD54[B,H,W]	OCSB54[B,H,W]	OCSA54[B,H,W]
		00000000	00000000	00000000
0x124	-	-	OCSC[B,H,W]	-
			--000000	
0x128	-	-	OCSE0[H,W]	
			00000000 00000000	
0x12C	OCSE1[H,W]			
	00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[H,W]	
			00000000 00000000	
0x134	OCSE3[H,W]			
	00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[H,W]	
			00000000 00000000	
0x13C	OCSE5[H,W]			
	00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W]		-	-
	11111111 11111111			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x144	TCDT0[H,W]		-	-
	00000000 00000000			
0x148	TCSC0[B,H,W]		TCSA0[B,H,W]	
	00000000 00000000		000---00 01000000	
0x14C	TCCP1[H,W]		-	-
	11111111 11111111			
0x150	TCDT1[H,W]			
	00000000 00000000			
0x154	TCSC1[B,H,W]		TCSA1[B,H,W]	
	00000000 00000000		000---00 01000000	
0x158	TCCP2[H,W]		-	-
	11111111 11111111			
0x15C	TCDT2[H,W]		-	-
	00000000 00000000			
0x160	TCSC2[B,H,W]		TCSA2[B,H,W]	
	00000000 00000000		000---00 01000000	
0x164	TCAL[B,H,W] (only in unit 0)			
	00000000 00000000 11111111 11111111			
0x168	-	OCFS54[B,H,W]	OCFS32[B,H,W]	OCFS10[B,H,W]
		00000000	00000000	00000000
0x16C	-	-	ICFS32[B,H,W]	ICFS10[B,H,W]
			00000000	00000000
0x170	-	ACFS54[B,H,W]	ACFS32[B,H,W]	ACFS10[B,H,W]
		00000000	00000000	00000000
0x174	ICCP0[H,W]		-	-
	00000000 00000000			
0x178	ICCP1[H,W]		-	-
	00000000 00000000			
0x17C	ICCP2[H,W]		-	-
	00000000 00000000			
0x180	ICCP3[H,W]		-	-
	00000000 00000000			
0x184	-	-	ICSB10[B,H,W]	ICSA10[B,H,W]
			------00	00000000
0x188	-	-	ICSB32[B,H,W]	ICSA32[B,H,W]
			------00	00000000
0x18C	WFTF10[H,W]		-	-
	00000000 00000000			
0x190	WFTB10[H,W]		WFTA10[H,W]	
	00000000 00000000		00000000 00000000	
0x194	WFTF32[H,W]		-	-
	00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x198	WFTB32[H,W]		WFTA32[H,W]	
	00000000 00000000		00000000 00000000	
0x19C	WFTF54[H,W]		-	-
	00000000 00000000			
0x1A0	WFTB54[H,W]		WFTA54[H,W]	
	00000000 00000000		00000000 00000000	
0x1A4	-	-	WFSA10[H,W]	
			---00000 000000	
0x1A8	-	-	WFSA32[H,W]	
			---00000 000000	
0x1AC	-	-	WFSA54[H,W]	
			---00000 000000	
0x1B0	-	-	WFIR[H,W]	
			00000000 00000000	
0x1B4	-	-	NZCL[H,W]	
			-000--00 ---00000	
0x1B8	ACMP0		-	-
	00000000 00000000			
0x1BC	ACMP1		-	-
	00000000 00000000			
0x1C0	ACMP2		-	-
	00000000 00000000			
0x1C4	ACMP3		-	-
	00000000 00000000			
0x1C8	ACMP4		-	-
	00000000 00000000			
0x1CC	ACMP5		-	-
	00000000 00000000			
0x1D0	-	-	ACSA[B,H,W]	
			--000000 --000000	
0x1D4	-	-	ACSD0[B,H,W]	ACSC0[B,H,W]
			00000000	00000000
0x1D8	-	-	ACSD1[B,H,W]	ACSC1[B,H,W]
			00000000	00000000
0x1DC	-	-	ACSD2[B,H,W]	ACSC2[B,H,W]
			00000000	00000000
0x1E0	-	-	ACSD3[B,H,W]	ACSC3[B,H,W]
			00000000	00000000
0x1E4	-	-	ACSD4[B,H,W]	ACSC4[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x1E8	-	-	ACSD5[B,H,W]	ACSC5[B,H,W]
			00000000	00000000
0x1EC - 0xFFC	-	-	-	-

1.8 PPG

PPG Base_Address : 0x4002_4000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W]	-
			11110000	
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W]	-
			00000000	
0x00C	-	-	-	COMP2[B,H,W]
				00000000
0x010	-	-	COMP4[B,H,W]	-
			00000000	
0x014	-	-	-	COMP6[B,H,W]
				00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W]	-
			11110000	
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W]	-
			00000000	
0x02C	-	-	-	COMP3[B,H,W]
				00000000
0x030	-	-	COMP5[B,H,W]	-
			00000000	
0x034	-	-	-	COMP7[B,H,W]
				00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W]	-
			11110000	
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W]	-
			00000000	
0x04C	-	-	-	COMP10[B,H,W]
				00000000
0x050	-	-	COMP12[B,H,W]	-
			00000000	
0x054	-	-	-	COMP14[B,H,W]
				00000000
0x058 - 0x0FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	-	-	TRG0[B,H,W]	
			00000000 00000000	
0x104	-	-	REVC0[B,H,W]	
			00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x31C - 0x33C	-	-	-	-
0x340			PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11 (Base Timer)　　Base Address : 0x4002_5500

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15 (Base Timer)　　Base Address : 0x4002_5700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W] XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100

QPRC ch.1 NF Base Address : 0x4002_6110

QPRC ch.2 NF Base Address : 0x4002_6120

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	-------- -------- -------- --00-000			
0x0004	NFCTLB[B,H,W]			
	-------- -------- -------- --00-000			
0x0008	NFCTLC[B,H,W]			
	-------- -------- -------- --00-000			
0x000C	-	-	-	-

1.13 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

12-bit A/DC unit1 Base_Address : 0x4002_7100

12-bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10-bit D/AC　　Base_Address : 0x4002_8000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				---10000
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C - 0x0FC	-	-	-	-

1.17 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DRQSEL[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	*			
0x008 - 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- 00000000 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- ----0000 00000000 00000000			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ----0000			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ----0000			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ----0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ----0000			
0x050	IRQ15MON[B,H,W]			
	-------- -------- -------- ------00			
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ----0000			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ----0000			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ---00000			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ---00000			
0x070	IRQ23MON[B,H,W]			
	-------- -------- -------0 00000000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -------- --00-000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- ---00000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --000000			
0x084	IRQ28MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 - 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x214	RCINTSEL1[B,H,W] 00000000 00000000 00000000 00000000			
0x218 - 0xFFC	-	-	-	-

1.18 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x32C	PDIRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x43C	PDORF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 - 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 --00 0000 0000 0000			
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x628 - 0x62C	-	-	-	-
0x630	EPFR12[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W]			
	---- ---- ---- ---- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x644	EPFR17[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x648	EPFR18[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0000			
0x64C - 0x650	-	-	-	-
0x654	EPFR21[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- -000			
0x658	EPFR22[B,H,W]			
	---- ---- ---- ---- 0000 ---- 0000 ----			
0x65C - 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0x7FC	-	-	-	-
0x800	*			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x804	*			
0x808 - 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 - 0xFFC	-	-	-	-

1.19 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				--0000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				--00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 - 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 - 0xFC	-	-	-	-

1.20 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL[B,H,W]	
			100000-- 000011--	
0x004	-	-	-	LVD_STR[B,H,W]
				0-------
0x008	-	-	-	LVD_CLR[B,H,W]
				1-------
0x00C	LVD_RLR[W]			
	00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2
				01------
0x014 - 0x0FC	-	-	-	-

1.21 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL[B,H,W]
				-------0
0x004	-	-	-	RCK_CTL[B,H,W]
				------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W]
				-------0
0x704	-	-	-	WRFSR[B,H,W]
				------00
0x708	-	-	WIFSR[B,H,W]	
			------00 00000000	
0x70C	-	-	WIER[B,H,W]	
			------00 00000-00	
0x710	-	-	-	WILVR[B,H,W]
				-----000
0x714	-	-	-	DSRAMR[B,H,W]
				------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W]	BUR03[B,H,W]	BUR02[B,H,W]	BUR01[B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08[B,H,W]	BUR07[B,H,W]	BUR06[B,H,W]	BUR05[B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012[B,H,W]	BUR11[B,H,W]	BUR10[B,H,W]	BUR09[B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16[B,H,W]	BUR15[B,H,W]	BUR14[B,H,W]	BUR13[B,H,W]
	00000000	00000000	00000000	00000000
0x810 - 0xEFC	-	-	-	-

1.22 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0--00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	-	-	RDR/TDR[H,W]	
			00000000 00000000	
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0 [B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000--0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044 - 0x0FC	-	-	-	-

1.23 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.24 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00--0000	--000000	--000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 - 0xFFC	-	-	-	-

1.25 RTC

RTC Base_Address : 0x4003_B000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0
0x034 - 0xFFC	-	-	-	-

1.26 Low-speed CR Prescaler

Low-speed CR Prescaler　　Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000 - 0x0FC	-	-	-	-

1.27 Peripheral Clock Gating

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	-------0 ----0000 00000000 00000000			
0x008 - 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000 ----0000 ----0000			
0x018 - 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- -------- -------- --00----			
0x024	MRST2[B,H,W]			
	-------- -------- -------- --00----			
0x028 - 0x0FC	-	-	-	-

1.28 DMAC

DMAC Base_Address : 0x4006_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	DMACR[B,H,W]			
	00-00000 -------- -------- --------			
0x0010	DMACA0[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0014	DMACB0[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0018	DMACSA0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x001C	DMACDA0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0020	DMACA1[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0024	DMACB1[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0028	DMACSA1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x002C	DMACDA1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0030	DMACA2[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0034	DMACB2[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0038	DMACSA2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x003C	DMACDA2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0040	DMACA3[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0044	DMACB3[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0048	DMACSA3[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004C	DMACDA3[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0050	DMACA4[B,H,W]			
	00000000 0---0000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0054	DMACB4[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0058	DMACSA4[B,H,W]			
	00000000 00000000 00000000 00000000			
0x005C	DMACDA4[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0060	DMACA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0064	DMACB5[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0068	DMACSA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x006C	DMACDA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0070	DMACA6[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0074	DMACB6[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0078	DMACSA6[B,H,W]			
	00000000 00000000 00000000 00000000			
0x007C	DMACDA6[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0080	DMACA7[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0084	DMACB7[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0088	DMACSA7[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008C	DMACDA7[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0090 - 0x00FC	-	-	-	-

1.29 MTB_DWT

MTB_DWT　　Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 - 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.30 Fast GPIO

Fast GPIO　　Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 - 0xFFC	-	-	-	-

C. レジスタマップ (TYPE2-M0+)

レジスタマップについて説明します。

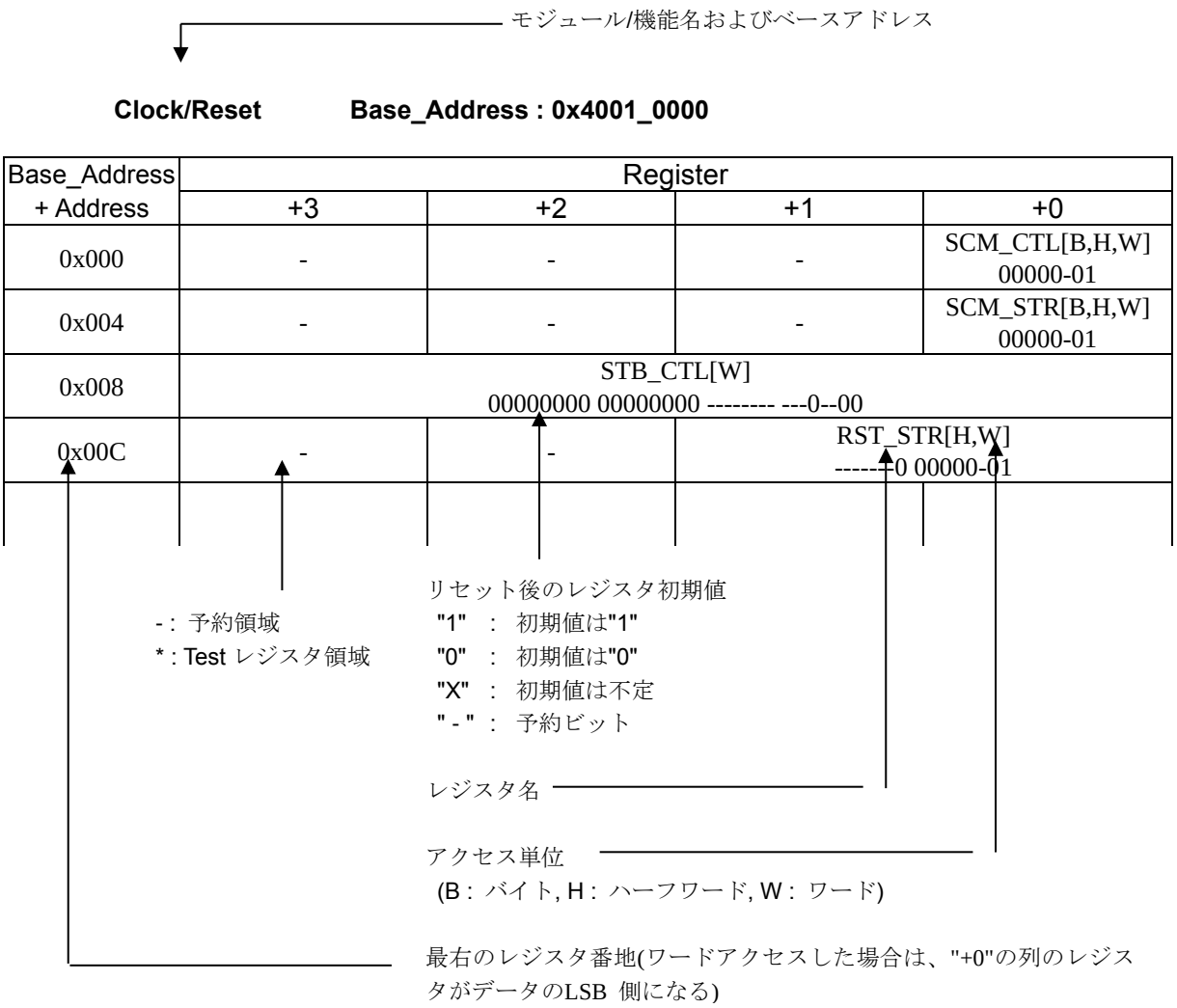
1. レジスタマップ

CODE: 9AFREGMAP-J01.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	FRVRC[B,H,W]			
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[R]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW_WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[R]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT unit0 Base_Address : 0x4002_0000

MFT unit1 Base_Address : 0x4002_1000

MFT unit2 Base_Address : 0x4002_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	OCSD10[B,H,W] --000000 00000000		OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	OCSD32[B,H,W] --000000 00000000		OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	OCSD54[B,H,W] --000000 00000000		OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-	-	WFIR[H,W] 00000000 00000000	
0x1B4	-	-	NZCL[H,W] 00000000 00000000	
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	ACMC0[B,H,W] 00--0000	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	ACMC1[B,H,W] 00--0000	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	ACMC2[B,H,W] 00--0000	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1E0	-	ACMC3[B,H,W] 00--0000	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	ACMC4[B,H,W] 00--0000	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	ACMC5[B,H,W] 00--0000	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC	-	-	-	TCSD[B,H,W] ------00
0x1F0-0xFFC	-	-	-	-

1.8 PPG

PPG Base_Address : 0x4002_4000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W]	-
			11110000	
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W]	-
			00000000	
0x00C	-	-	-	COMP2[B,H,W]
				00000000
0x010	-	-	COMP4[B,H,W]	-
			00000000	
0x014	-	-	-	COMP6[B,H,W]
				00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W]	-
			11110000	
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W]	-
			00000000	
0x02C	-	-	-	COMP3[B,H,W]
				00000000
0x030	-	-	COMP5[B,H,W]	-
			00000000	
0x034	-	-	-	COMP7[B,H,W]
				00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W]	-
			11110000	
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W]	-
			00000000	
0x04C	-	-	-	COMP10[B,H,W]
				00000000
0x050	-	-	COMP12[B,H,W]	-
			00000000	
0x054	-	-	-	COMP14[B,H,W]
				00000000
0x058 - 0x0FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	-	-	TRG0[B,H,W]	
			00000000 00000000	
0x104	-	-	REVC0[B,H,W]	
			00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11 (Base Timer)　　Base Address : 0x4002_5500

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15 (Base Timer)　　Base Address : 0x4002_5700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W] XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF　　Base Address : 0x4002_6100

QPRC ch.1 NF　　Base Address : 0x4002_6110

QPRC ch.2 NF　　Base Address : 0x4002_6120

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	-------- -------- -------- --00-000			
0x0004	NFCTLB[B,H,W]			
	-------- -------- -------- --00-000			
0x0008	NFCTLC[B,H,W]			
	-------- -------- -------- --00-000			
0x000C	-	-	-	-

1.13 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

12-bit A/DC unit1 Base_Address : 0x4002_7100

12-bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10-bit D/AC Base_Address : 0x4002_8000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-0111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C – 0x0FC	-	-	-	-

1.17 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	*			
0x008 – 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- -------- ----0000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- -------- 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- -------- -------- ------00			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- -------0			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ------00			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- -------0			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ------00			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- -------0			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ------00			
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- -------0			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ------00			
0x050	IRQ15MON[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	-------- -------- -------- -------0			
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ------00			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- -------0			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ------00			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- -------0			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ------00			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- -------0			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ------00			
0x070	IRQ23MON[B,H,W]			
	-------- -------- ---0000- -----000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -----00- --000000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- --000000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --0-----			
0x084	IRQ28MON[B,H,W]			
	-------- -------- -------- --000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- -------0 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- -------- -------- --000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 – 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x214	RCINTSEL1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x218 – 0xFFC	-	-	-	-

1.18 LCDC

LCDC Base_Address : 0x4003_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	LCDCC3[B,H,W]	LCDCC2[B,H,W]	LCDCC1[B,H,W]
		0011111-	--010100	-00000--
0x04	LCDC_PSR[B,H,W]			
	-------- -0000000 00000000 00000000			
0x08	LCDC_COMEN[B,H,W]			
	-------- -------- -------- 00000000			
0x0C	LCDC_SEGEN1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x10	LCDC_SEGEN2[B,H,W]			
	-------- -------- -------- 00000000			
0x14	-	-	LCDC_BLINK[B,H,W]	
			00000000 00000000	
0x18	-	-	LCDC_BOOSTER[B,H,W]	
			--001110	----0011
0x1C	LCDRAM03[B,H,W]	LCDRAM02[B,H,W]	LCDRAM01[B,H,W]	LCDRAM00[B,H,W]
	00000000	00000000	00000000	00000000
0x20	LCDRAM07[B,H,W]	LCDRAM06[B,H,W]	LCDRAM05[B,H,W]	LCDRAM04[B,H,W]
	00000000	00000000	00000000	00000000
0x24	LCDRAM11[B,H,W]	LCDRAM10[B,H,W]	LCDRAM09[B,H,W]	LCDRAM08[B,H,W]
	00000000	00000000	00000000	00000000
0x28	LCDRAM15[B,H,W]	LCDRAM14[B,H,W]	LCDRAM13[B,H,W]	LCDRAM12[B,H,W]
	00000000	00000000	00000000	00000000
0x2C	LCDRAM19[B,H,W]	LCDRAM18[B,H,W]	LCDRAM17[B,H,W]	LCDRAM16[B,H,W]
	00000000	00000000	00000000	00000000
0x30	LCDRAM23[B,H,W]	LCDRAM22[B,H,W]	LCDRAM21[B,H,W]	LCDRAM20[B,H,W]
	00000000	00000000	00000000	00000000
0x34	LCDRAM27[B,H,W]	LCDRAM26[B,H,W]	LCDRAM25[B,H,W]	LCDRAM24[B,H,W]
	00000000	00000000	00000000	00000000
0x38	LCDRAM31[B,H,W]	LCDRAM30[B,H,W]	LCDRAM29[B,H,W]	LCDRAM28[B,H,W]
	00000000	00000000	00000000	00000000
0x3C	LCDRAM35[B,H,W]	LCDRAM34[B,H,W]	LCDRAM33[B,H,W]	LCDRAM32[B,H,W]
	00000000	00000000	00000000	00000000
0x40	LCDRAM39[B,H,W]	LCDRAM38[B,H,W]	LCDRAM37[B,H,W]	LCDRAM36[B,H,W]
	00000000	00000000	00000000	00000000
0x44 – 0xFC	-	-	-	-

1.19 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 – 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 – 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 – 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x340 – 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 – 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	---- ---- 1111 1111 1111 1111 1111 1111			
0x504 – 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 – 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 –00 0000 0000 0000			
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 –00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 –00 00-- --00 0000 –00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	---- ---- ---- ---- 0000 ---- ---- ----			
0x628 – 0x638	-	-	-	-
0x63C	EPFR15[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x644	-			
	-	-	-	-
0x648	EPFR18[B,H,W]			
	--00 0000 0000 0000 0000 0000 0000 0000			
0x64C – 0x658	-	-	-	-
0x65C	EPFR23[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x660 – 0x680	-	-	-	-
0x684	EPFR33[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- 0000 0000 0000 ---- 0000 0000 0000			
0x688	EPFR34[B,H,W]			
	---- ---- ---- ---- ---- ---- 0000 ----			
0x68C – 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	---- 0000 0000 0000 ---- ---- ---- ----			
0x698	EPFR38[B,H,W]			
	---- ---- ---- ---- ---- 0000 0000 0000			
0x69C – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740	LVDIE[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- ---- ---- ---- ---0			
0x744 – 0x7FC	-	-	-	-
0x800	*			
0x804	*			
0x808 – 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 – 0xFFC	-	-	-	-

1.20 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 – 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 – 0xFC	-	-	-	-

1.21 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			100000–000011--	
0x004	-	-	LVD_STR [B,H,W]	
			0------1 0------1	
0x008	-	-	LVD_CLR [B,H,W]	
			1------- 1-------	
0x00C	LVD_RLR [W]			
	---------- 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			0------- 01------	
0x014	-	-	LVD_CTL2 [B,H,W]	
			-------0 000011--	
0x018	-	-	-	LVD2_CTL [B,H,W]
				000011--
0x01C	-	-	LVD2_CTL2 [B,H,W]	
			0------0 000011--	
0x020 – 0x0FC	-	-	-	-

1.22 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W]
				---- -10-
0x004	-	-	-	RCK_CTL [B,H,W]
				---- --01
0x008	-	-	-	REG_CTL2 [B,H,W]
				---- -011
0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W]
				---- -10-
0x014 – 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W]
				---- 0000
0x104	-	-	-	CAL_SET [B,H,W]
				---1 0001
0x108	CAL_KEY [W]			
	00000000 00000000 00000000 00000001			
0x10C – 0x1FC	-	-	-	-
0x200 – 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W]
				---- ---0
0x704	-	-	-	WRFSR [B,H,W]
				---- --00
0x708	-	-	WIFSR [B,H,W]	
			00000000 00000000	
0x70C	-	-	WIER [B,H,W]	
			00000000 00000-00	
0x710	-	-	WILVR [B,H,W]	
			-----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W]
				---- --00
0x718 – 0x71C	-	-	-	-
0x720	-	-	-	STBFLASHPDX [B,H,W]
				---- ---0
0x724	RST_MSK [W]			
	00000000 00000000 -------- -------0			
0x728 – 0x7FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x800	BUR04 [B,H,W]	BUR03 [B,H,W]	BUR02 [B,H,W]	BUR01 [B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08 [B,H,W]	BUR07 [B,H,W]	BUR06 [B,H,W]	BUR05 [B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 – 0xEFC	-	-	-	-

1.23 USB Clock

USB Clock　　Base_Address : 0x4003_6000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-000 0000
0x004	-	-	-	UPCR [B,H,W]
				---- --00
0x008	-	-	-	UPCR2 [B,H,W]
				---- -000
0x00C	-	-	-	UPCR3 [B,H,W]
				---0 0000
0x010	-	-	-	UPCR4 [B,H,W]
				-011 1011
0x014	-	-	-	UP_STR [B,H,W]
				---- ---0
0x018	-	-	-	UPINT_ENR [B,H,W]
				---- ---0
0x01C	-	-	-	UPINT_CLR [B,H,W]
				---- ---0
0x020	-	-	-	UPINT_STR [B,H,W]
				---- ---0
0x024	-	-	-	UPCR5 [B,H,W]
				---- 0001
0x028	-	-	-	UPCR6 [B,H,W]
				---- 0010
0x02C	-	-	-	UP_CR7 [B,H,W]
				---- ---0
0x030	-	-	-	USBEN0 [B,H,W]
				---- -100
0x034	-	-	-	USBEN1 [B,H,W]
				---- -100
0x038 – 0xFFC	-	-	-	-

1.24 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0–00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000–0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x030	-	-	SCSCR[B,H,W]	
			00000000	00100000
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044	-	-	FTICR2[B,H,W] 00000000	FTICR1[B,H,W] 00000000
0x048 – 0x0FC	-	-	-	-

<注意事項>

- *RDR/TDR レジスタの上位 16bit は、MFS-I2S モードで Word アクセスを使用するときのみ有効です。*

1.25 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.26 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00–0000	--000000	--000000
0x004 – 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 – 0xFFC	-	-	-	-

1.27 RTC

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_CLKDIV[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 11001110
0x180	-	-	-	CCB[B,H,W] 11001110
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A4	-	-	-	VBDDR[B,H,W] ----XXXX
0x1A8	-	-	-	VBDIR[B,H,W] ----0000
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x0B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W] 00000000	BREG02[B,H,W] 00000000	BREG01[B,H,W] 00000000	BREG00[B,H,W] 00000000
0x204	BREG07[B,H,W] 00000000	BREG06[B,H,W] 00000000	BREG05[B,H,W] 00000000	BREG04[B,H,W] 00000000
0x208	BREG0B[B,H,W] 00000000	BREG0A[B,H,W] 00000000	BREG09[B,H,W] 00000000	BREG08[B,H,W] 00000000
0x20C	BREG0F[B,H,W] 00000000	BREG0E[B,H,W] 00000000	BREG0D[B,H,W] 00000000	BREG0C[B,H,W] 00000000
0x210	BREG13[B,H,W] 00000000	BREG12[B,H,W] 00000000	BREG11[B,H,W] 00000000	BREG10[B,H,W] 00000000
0x214	BREG17[B,H,W] 00000000	BREG16[B,H,W] 00000000	BREG15[B,H,W] 00000000	BREG14[B,H,W] 00000000
0x218	BREG1B[B,H,W] 00000000	BREG1A[B,H,W] 00000000	BREG19[B,H,W] 00000000	BREG18[B,H,W] 00000000
0x21C	BREG1F[B,H,W] 00000000	BREG1E[B,H,W] 00000000	BREG1D[B,H,W] 00000000	BREG1C[B,H,W] 00000000
0x220	BREG23[B,H,W] 00000000	BREG22[B,H,W] 00000000	BREG21[B,H,W] 00000000	BREG20[B,H,W] 00000000
0x224	BREG27[B,H,W] 00000000	BREG26[B,H,W] 00000000	BREG25[B,H,W] 00000000	BREG24[B,H,W] 00000000
0x228	BREG2B[B,H,W] 00000000	BREG2A[B,H,W] 00000000	BREG29[B,H,W] 00000000	BREG28[B,H,W] 00000000
0x22C	BREG2F[B,H,W] 00000000	BREG2E[B,H,W] 00000000	BREG2D[B,H,W] 00000000	BREG2C[B,H,W] 00000000
0x230	BREG33[B,H,W] 00000000	BREG32[B,H,W] 00000000	BREG31[B,H,W] 00000000	BREG30[B,H,W] 00000000
0x234	BREG37[B,H,W] 00000000	BREG36[B,H,W] 00000000	BREG35[B,H,W] 00000000	BREG34[B,H,W] 00000000
0x238	BREG3B[B,H,W] 00000000	BREG3A[B,H,W] 00000000	BREG39[B,H,W] 00000000	BREG38[B,H,W] 00000000
0x23C	BREG3F[B,H,W] 00000000	BREG3E[B,H,W] 00000000	BREG3D[B,H,W] 00000000	BREG3C[B,H,W] 00000000
0x240	BREG43[B,H,W] 00000000	BREG42[B,H,W] 00000000	BREG41[B,H,W] 00000000	BREG40[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x244	BREG47[B,H,W] 00000000	BREG46[B,H,W] 00000000	BREG45[B,H,W] 00000000	BREG44[B,H,W] 00000000
0x248	BREG4B[B,H,W] 00000000	BREG4A[B,H,W] 00000000	BREG49[B,H,W] 00000000	BREG48[B,H,W] 00000000
0x24C	BREG4F[B,H,W] 00000000	BREG4E[B,H,W] 00000000	BREG4D[B,H,W] 00000000	BREG4C[B,H,W] 00000000
0x250	BREG53[B,H,W] 00000000	BREG52[B,H,W] 00000000	BREG51[B,H,W] 00000000	BREG50[B,H,W] 00000000
0x254	BREG57[B,H,W] 00000000	BREG56[B,H,W] 00000000	BREG55[B,H,W] 00000000	BREG54[B,H,W] 00000000
0x258	BREG5B[B,H,W] 00000000	BREG5A[B,H,W] 00000000	BREG59[B,H,W] 00000000	BREG58[B,H,W] 00000000
0x25C	BREG5F[B,H,W] 00000000	BREG5E[B,H,W] 00000000	BREG5D[B,H,W] 00000000	BREG5C[B,H,W] 00000000
0x260	BREG63[B,H,W] 00000000	BREG62[B,H,W] 00000000	BREG61[B,H,W] 00000000	BREG60[B,H,W] 00000000
0x264	BREG67[B,H,W] 00000000	BREG66[B,H,W] 00000000	BREG65[B,H,W] 00000000	BREG64[B,H,W] 00000000
0x268	BREG6B[B,H,W] 00000000	BREG6A[B,H,W] 00000000	BREG69[B,H,W] 00000000	BREG68[B,H,W] 00000000
0x26C	BREG6F[B,H,W] 00000000	BREG6E[B,H,W] 00000000	BREG6D[B,H,W] 00000000	BREG6C[B,H,W] 00000000
0x270	BREG73[B,H,W] 00000000	BREG72[B,H,W] 00000000	BREG71[B,H,W] 00000000	BREG70[B,H,W] 00000000
0x274	BREG77[B,H,W] 00000000	BREG76[B,H,W] 00000000	BREG75[B,H,W] 00000000	BREG74[B,H,W] 00000000
0x278	BREG7B[B,H,W] 00000000	BREG7A[B,H,W] 00000000	BREG79[B,H,W] 00000000	BREG78[B,H,W] 00000000
0x27C	BREG7F[B,H,W] 00000000	BREG7E[B,H,W] 00000000	BREG7D[B,H,W] 00000000	BREG7C[B,H,W] 00000000
0x280-0xFFC	-	-	-	-

1.28 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000 – 0x0FC	-	-	-	-

1.29 Peripheral Clock Gating

Peripheral Clock Gating Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1–11 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	------00 ----0000 00000000 00000000			
0x008 – 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000 ----0000 ----0000			
0x018 – 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- ---1-1-1 1111-1-- --**--00 Products with CAN : *=”1” Products without CAN : *=”0”			
0x024	MRST2[B,H,W]			
	-------- ---0-0-0 0000-0-- --00–00			
0x028 – 0x0FC	-	-	-	-

1.30 Smart Card I/F

Smart Card I/F ch.0Base_Address : 0x4003_C900

Smart Card I/F ch.1Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000–00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.31 MFSI2S

MFSI2S ch.5 Base_Address : 0x4003_CA00

MFSI2S ch.6 Base_Address : 0x4003_CA80

Base_Address	Register			
+Address	+3	+2	+1	+0
0x00	-		CNTLREG [H,W] -------- -------- -----000 00000001	
0x04	-		I2SCLK [H,W] -------- -------- 000----- 00000000	
0x08	-		I2SST [B] ------00	I2SRST[B] 00000000

1.32 High Resilience

High Resilience Base_Address : 0x4003_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	RTR_CTL3 [B,H,W]	RTR_CTL2 [B,H,W]	RTR_CTL1 [B,H,W]	RTR_CTL0 [B,H,W]
	000- 000-	000- ----	---- ----	1111 1111
0x004	RTR_RTS3 [B,H,W]	RTR_RTS2 [B,H,W]	RTR_RTS1 [B,H,W]	RTR_RTS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x008	RTR_TGS3 [B,H,W]	RTR_TGS2 [B,H,W]	RTR_TGS1 [B,H,W]	RTR_TGS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x00C	RTR_STR3 [B,H,W]	RTR_STR2 [B,H,W]	RTR_STR1 [B,H,W]	RTR_STR0 [B,H,W]
	00-- ----	---- ----	00-- ----	---- ----
0x010	RTR_RLR [W]			
	00000000 00000000 00000000 00000000			
0x014	RTR_CT23 [B,H,W]	RTR_CT22 [B,H,W]	RTR_CT21 [B,H,W]	RTR_CT20 [B,H,W]
	0000 0000	0000 0000	0000 0000	---0 ---0
0x018	RTR_REV [B,H,W]			
	00000000 00010101 00000001 00000000			
0x01C – 0xFFC	-	-	-	-

1.33 USB

USB ch.0 Base_Address : 0x4004_0000

USB ch.1 Base_Address : 0x4005_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2148	-	-	EP0OS[H,W] 100–00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 – 0x217C	-	-	-	-

1.34 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x00C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x018-0x02C	-			
0x030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x038-0x04C	-			
0x050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x058-0x06C	-			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078-0x08C	-			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098-0xFFC	-			

1.35 MTB_DWT

MTB_DWT Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 – 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.36 Fast GPIO

Fast GPIO Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 – 0xFFC	-	-	-	-

D. レジスタマップ (TYPE3-M0+)

レジスタマップについて説明します。

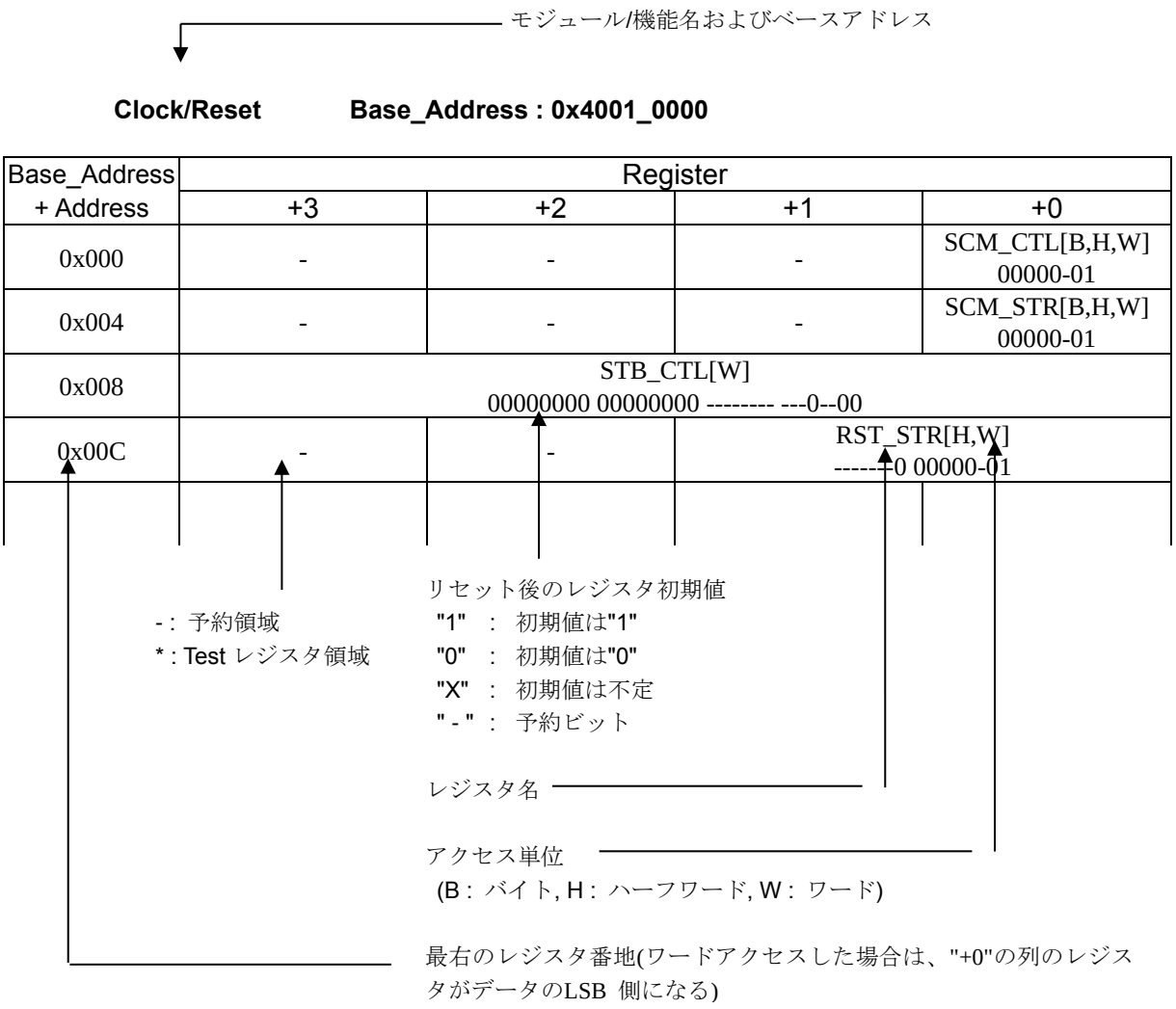
1. レジスタマップ

CODE: 9AFREGMAP-J03.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
	-------- -------- -------- -----011			
0x008	FSTR[B,H,W]			
	-------- -------- -------- --00000X			
0x00C	-	-	-	-
0x010	FSYNDN[B,H,W]			
	-------- -------- -------- ----0001			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
	-------- -------- -------- ------00			
0x024	FISR[B,H,W]			
	-------- -------- -------- ------00			
0x028	FICLR[B,H,W]			
	-------- -------- -------- ------00			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 00000-01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			0-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.8 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] -------- XXXXXXXX	

1.9 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			10000000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			00000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.10 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				-----001
0x004	-	-	MCR_FTRM[B,H,W]	
			------10 00000110	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-1111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.11 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C	ELVR2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x020	-	-	-	NMIENR[B,H,W]
	-	-	-	-------0
0x024–- 0x0FC	-	-	-	-

1.12 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 – 0x004	-	-	-	-
0x008	VIR_OFFSET[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	-	-	-	ODDPKS[B,H,W]
				---00000
0x014 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x204	IRQ00MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x208	IRQ01MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x20C	IRQ02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x210	IRQ03MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x214	IRQ04MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x218	IRQ05MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x21C	IRQ06MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x220	IRQ07MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x224	IRQ08MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x228	IRQ09MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x22C	IRQ10MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x230	IRQ11MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x234	IRQ12MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x238	IRQ13MON[B,H,W]			
	00000000 00000000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x23C	IRQ14MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x240	IRQ15MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x244	IRQ16MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x248	IRQ17MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x24C	IRQ18MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x250	IRQ19MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x254	IRQ20MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x258	IRQ21MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x25C	IRQ22MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x260	IRQ23MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x264	IRQ24MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x268	IRQ25MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x26C	IRQ26MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x270	IRQ27MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x274	IRQ28MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x278	IRQ29MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x27C	IRQ30MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x280	IRQ31MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x284–- 0xFFC	-	-	-	-

1.13 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	-	-	-	-
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024 – 0x034	-	-	-	-
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C–- 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C – 0x134	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C – 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	-	-	-	-
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224 – 0x234	-	-	-	-
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C–- 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	-	-	-	-
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324 – 0x334	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C–- 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	-	-	-	-
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424 – 0x434	-	-	-	-
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C–- 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504–- 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---0 0101			
0x584–- 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- --00 ---- --01 ---- --0- ---- --00			
0x604–- 0x60C	-	-	-	-
0x610	EPFR04[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x614	EPFR05[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x620	EPFR08[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x628–- 0x654	-	-	-	-
0x658	EPFR22[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x65C	EPFR23[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x660–- 0x678	-	-	-	-
0x67C	EPFR31[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x680	-	-	-	-
0x684	EPFR33[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x688–- 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x698	EPFR38[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x69C–- 0x6FC	-	-	-	-
0x700	-	-	-	-
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	-	-	-	-
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710 – 0x714	-	-	-	-
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C – 0x7FC	-	-	-	-
0x800 – 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	-	-	-	-
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924 – 0x934	-	-	-	-
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C–- 0xFFC	-	-	-	-

1.14 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10–- 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68–- 0xFC	-	-	-	-

1.15 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			10000000 00001100	
0x004	-	-	LVD_STR [B,H,W]	
			00000000 0000000-	
0x008	-	-	LVD_CLR [B,H,W]	
			00000000 10000000	
0x00C	LVD_RLR [W]			
	00000000 00000000 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			00000000 01000000	
0x014–- 0x0FC	-	-	-	-

1.16 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W]
				---- -10-
0x004	-	-	-	RCK_CTL [B,H,W]
				---- --01
0x008–- 0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W]
				---- -10-
0x014–- 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W]
				---- 0000
0x104	-	-	-	-
0x108	CAL_KEY [W]			
	00000000 00000000 00000000 00000001			
0x10C–- 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W]
				---- ---0
0x704	-	-	-	WRFSR [B,H,W]
				---- --00
0x708	-	-	WIFSR [B,H,W]	
			00000000 00000000	
0x70C	-	-	WIER [B,H,W]	
			00000000 00000-00	
0x710	-	-	WILVR [B,H,W]	
			-----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W]
				---- --00
0x718–- 0x7FC	-	-	-	-
0x800	BUR04 [B,H,W]	BUR03 [B,H,W]	BUR02 [B,H,W]	BUR01 [B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08 [B,H,W]	BUR07 [B,H,W]	BUR06 [B,H,W]	BUR05 [B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 – 0x8FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x900	WIOLC_CTL [B,H,W]			
	-------0 -------1 -------0 -------0			
0x904	-	-	-	SUBOSC_CTL[B,H,W]
				------01
0x908	-	-	-	CEC_CTL [B,H,W]
				----0000
0x90C	-	-	-	DEBUG_SW_CTL[B,H,W]
				-------1
0x910–- 0xEFC	-	-	-	-

1.17 USB Clock

USB Clock　　Base_Address : 0x4003_6000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-----000
0x004 – 0x024	-	-	-	-
0x028	-	-	-	UPCR6[B,H,W]
				----0010
0x02C	-	-	-	-
0x030	-	-	-	USBEN0[B,H,W]
				-------0
0x038 – 0x0FC	-	-	-	-

1.18 I2CSLAVE

I2CSLAVE ch.6 Base_Address : 0x4003_7980

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	IBSCR[B,H,W]		IBSSR[B,H,W]	
	------00 0-000000		-----001 00000000	
0x04	-	IBSDSTUPR[B,H,W]	IBSMSKR[B,H,W]	IBSADR[B,H,W]
	-	11111111	01111111	00000000
0x08	-	-	-	IBSTDR[B,H,W]
	-	-	-	11111111
0x0C	-	-	-	IBSRDR[B,H,W]
	-	-	-	11111111
0x10	-	-	IBSSCR[B,H,W]	
	-	-	-----0-- -----00-	
0x14	-	-	IBSSSR[B,H,W]	
	-	-	-------0 --------	
0x18–- 0x3F	-	-	-	-

1.19 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			–-00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--00–-0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044–- 0x0FC	-	-	-	-

<注意事項>

- *RDR/TDR レジスタの上位 16bit は、MFS-I2S モードで Word アクセスを使用するときのみ有効です。*

1.20 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.21 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		0–-0000	--000000	--000000
0x004–- 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018–- 0xFFC	-	-	-	-

1.22 RTC

RTC Base_Address : 0x4003_B000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0
0x034–- 0xFFC	-	-	-	-

1.23 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000–- 0x0FC	-	-	-	-

1.24 Peripheral Clock Gating

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---- -------1 -------- 11-11-11			
0x004	MRST0[B,H,W]			
	-------- -------0 -------- 00-00-00			
0x008–- 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- -------- -------- ------11			
0x014	MRST1[B,H,W]			
	-------- -------- -------- ------00			
0x018–- 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- ------– 111----- -------0			
0x024	MRST2[B,H,W]			
	-------- ------– 000----- -------0			
0x028–- 0x0FC	-	-	-	-

1.25 Smart Card I/F

Smart Card I/F ch.1 Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 000–-00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.26 MFSI2S

MFSI2S ch.4 Base_Address : 0x4003_CA00

MFSI2S ch.6 Base_Address : 0x4003_CA80

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	CNTLREG[B, H,W] -----0-0 -0000-01	
0x04	-	-	I2SCLK[B, H,W] 00------ 00000000	
0x08	-	-	I2SST[B,H,W] ------00	I2SRST[B,H,W] 00000000
0x0C- 0x3C	-	-	-	-

1.27 USB

USB ch.0 Base_Address : 0x4004_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 10--00- -XXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178–- 0x217C	-	-	-	-

1.28 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x00C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x018-0x02C				
0x030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x038-0x04C				
0x050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x058-0x06C				
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078-0x08C				
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098–- 0xFFC	-	-	-	-

1.29 MTB_DWT

MTB_DWT　　Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024–- 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.30 Fast GPIO

Fast GPIO Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	-	-
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024–- 0x034	-	-	-	-
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	-	-
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064–- 0x074	-	-	-	-
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	-	-
0x080				M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088 – 0x0BF	-			
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8–- 0x0FC	-	-	-	-

1.31 VIR

VIR Base_Address : 0xF800_0100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	VIR00[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x004	VIR01[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	VIR02[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x00C	VIR03[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	VIR04[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x014	VIR05[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x018	VIR06[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x01C	VIR07[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x020	VIR08[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x024	VIR09[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x028	VIR10[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x02C	VIR11[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	VIR12[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x034	VIR13[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x038	VIR14[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x03C	VIR15[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x040	VIR16[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x044	VIR17[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	VIR18[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x04C	VIR19[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x050	VIR20[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x054	VIR21[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x058	VIR22[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x05C	VIR23[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x060	VIR24[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x064	VIR25[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x068	VIR26[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x06C	VIR27[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x070	VIR28[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x074	VIR29[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x078	VIR30[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x07C	VIR31[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

E. 注意事項一覧

各機能仕様の注意事項について示します。

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

管理コード: 9APRECAUTION_FM0-J03.0

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。

また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/ PCLK0/PCLK1	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB	―	各規格で規定されている周波数精度を満たせないため、使用できません。
マルチファンクションシリアル インタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO, I2C, MFS-I2S	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
Smart Card インターフェース	―	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。

F. 主な変更内容

ページ	場所	変更箇所
	本マニュアルにおける対象製品	TYPE2-M0+製品、TYPE3-M0+製品を追加。
95 101 147 165 219	CHAPTER4-1:リアルタイムクロック CHAPTER4-2:RTC カウント部(A) CHAPTER4-3:RTC クロック制御部(A) CHAPTER4-4:RTC カウント部(B) CHAPTER4-5:RTC クロック制御部(B)	TYPE2-M0+製品、TYPE3-M0+製品の機能説明のため、章を追加。 機能説明を修正・追加 うるう年の対応に関し、01 年の記載を 00 年に修正。
235	CHAPTER5-1:ベースタイマ入出力選択機能	TYPE3-M0+製品の機能説明（入出力モード 9） を追加。 ベースタイマのチャネル数を拡張. (4 ch. -> 16 ch.)
242	CHAPTER5-1:ベースタイマ入出力選択機能 3.2 入出力モード	Figure 3-2, Table 3-7 を修正
347	CHAPTER6:多機能タイマ	TYPE2-M0+製品の機能説明を追加 機能説明を修正・追加
555	CHAPTER 7-2: PPG	機能説明を修正・追加
627	CHAPTER 8-1: クアッドカウンタ	機能説明を修正・追加
735	APPENDIX C.レジスタマップ(TYPE2-M0+)	TYPE2-M0+製品のレジスタマップを追加
799	APPENDIX D.レジスタマップ(TYPE3-M0+)	TYPE3-M0+製品のレジスタマップを追加

改訂履歴

改訂履歴

文書名: 32 ビット・マイクロコントローラ FM0+ファミリ PERIPHERAL MANUAL タイマ編 文書番号: 002-05018			
版	**ECN 番号**	**変更者**	**変更内容**
**	-	TOYO	Initial release New Spec
*A	5037026	KEMU	TYPE2-M0+製品、TYPE3-M0+製品を追加。 詳細は、“F. 主な変更内容”を参照してください。
*B	5361082	HIFU	これは英語版の 002-04973 Rev. *A を翻訳した日本語版です。 7 ページ: 表紙(本マニュアルにおける対象商品)の Table 2 を修正 185 ページ: CHAPTER4-4: RTC カウンタ部(B)の Figure 2-1 及びその説明文を修正 269 ページ: CHAPTER5-2:ベースタイマの 9.ベースタイマの機能別説明の誤記を修正 677 ページ: A.製品型格一覧の Table 1-2 を修正 679 ページ: B.レジスタマップ(TYPE1-M0+)の誤記を修正 735 ページ: C.レジスタマップ(TYPE2-M0+)の誤記を修正 799 ページ: D.レジスタマップ(TYPE3-M0+)の誤記を修正
*C	5823918	YOST	Updated Cypress logo. Updated Copyright.
*D	6000367	YSKA	これは英語版の 002-04973 Rev. *C を翻訳した日本語版です。 P.3 「マイコンサポート情報」の URL を追記 P.7 Table 1, 2, 3 の型格を 10 桁から 8 桁表記に修正 P.413 多機能タイマの WFTA/WFTB レジスタ説明の誤記を修正 P.678 1.製品型格一覧の型格を 10 桁から 8 桁に修正 P.848 E.注意事項一覧：「機能マクロへの影響」の表から CAN を削除