サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

32 ビット・マイクロコントローラ

FM0+ファミリ PERIPHERAL MANUAL

Doc. No. 002-04971 Rev. *D

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
http://www.cypress.com

Copyrights

© Cypress Semiconductor Corporation, 2013-2018. 本書面は，Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合，Cypress は，(1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、本書およびご使用の製品の『データシート』をご一読ください。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作, 使い方について解説しています。アナログマクロ, タイマ, 通信マクロに関する記述は、別冊のペリフェラルマニュアルを参照してください。

＜注意事項＞

- *本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。デバイス仕様の詳細については、それぞれのデータシートを参照してください。*
- *周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。*

サンプルプログラムおよび開発環境

FM0+ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本シリーズで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

- *サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。*
  また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアルは、以下に示す章および APPENDIXES から構成されています。

CHAPTER 1: システム概要
CHAPTER 2-1: クロック
CHAPTER 2-2: 周辺クロック停止機能
CHAPTER 2-3: 高速 CR トリミング
CHAPTER 2-4: 低速 CR プリスケーラ
CHAPTER 3: クロック監視機能
CHAPTER 4: リセット
CHAPTER 5-1: 低電圧検出概要
CHAPTER 5-2: 低電圧検出(TYPE1)
CHAPTER 5-3: 低電圧検出(TYPE2)
CHAPTER 5-4: 低電圧検出(TYPE3)
CHAPTER 6-1: 低消費電力モード
CHAPTER 6-2: Vbat ドメイン
CHAPTER 7-1: 割込みの概要
CHAPTER 7-2: 割込み構成(TYPE1)

CHAPTER 7-3: 割込み(TYPE1-A)
CHAPTER 7-4: 割込み(TYPE1-B)
CHAPTER 7-5: 割込み構成(TYPE2)
CHAPTER 7-6: 割込み(TYPE2-A)
CHAPTER 7-7: 割込み(TYPE2-B)
CHAPTER 7-8: 割込み(TYPE3)
CHAPTER 8: 外部割込み・NMI 制御部
CHAPTER 9: DMAC
CHAPTER 10-1:I/O ポート
CHAPTER 10-2:Fast GPIO
CHAPTER 11: CRC (Cyclic Redundancy Check)
CHAPTER 12: デバッグインタフェース
CHAPTER 13: Micro Trace Buffer Data Watchpoint and Trace
CHAPTER 14: フラッシュメモリ
CHAPTER 15: ユニーク ID レジスタ
CHAPTER 16: DSTC
APPENDIXES

関連マニュアル

FM0+ ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

- FM0+ ファミリ ペリフェラルマニュアル (本書)
  (以降、『ペリフェラルマニュアル』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル タイマ編
  (以降、『タイマ編』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル アナログマクロ編
  (以降、『アナログマクロ編』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル 通信マクロ編
  (以降、『通信マクロ編』とよびます。)

データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

- 32 ビット FM0+ファミリ DATA SHEET

<注意事項>

- *データシートはシリーズごとに用意されています。*
  お使いのシリーズ用のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M**0**+コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

- Cortex-M0+ テクニカルリファレンスマニュアル
- Armv6-M アーキテクチャ アプリケーション レベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

- FM0+ フラッシュプログラミングマニュアル

<注意事項>

- *本マニュアルはシリーズごとに用意されています。*
  お使いのシリーズ用のマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

■ 目次から探す

本書の内容を記載順に示します。

■ レジスタから探す

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『APPENDIXES』の『A.レジスタマップ』を参照してください。

章について

本書では、アナログマクロについて説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

■ 本書のレジスタ説明中のビット構成図では以下のように表記しています。

- bit　:　ビット番号
- Field　:　ビットフィールド名
- 属性　:　各ビットのリード、ライト属性
  - R　:　リードオンリ
  - W　:　ライトオンリ
  - R/W:　リード・ライト可能
  - -　:　未定義
- 初期値 :　リセット直後のレジスタ初期値
  - 0　:　初期値"0"
  - 1　:　初期値"1"
  - X　:　初期値不定

■ 本書では、複数のビットを以下のように表記しています。

例 : bit7 から bit0 の場合は bit7:0

■ 本書では、アドレスなどの数値を以下のように表記しています。

- 16 進数 :　プレフィックス(接頭辞)として"0x"を付けて表記しています(例 : 0xFFFF)。
- 2 進数 :　プレフィックス(接頭辞)として"0b"を付けて表記しています(例 : 0b1111)。
- 10 進数 :　数値だけで表記しています(例 : 1000)。

本マニュアルにおける対象製品

■ 本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M0+","TYPE2-M0+","TYPE3-M0+"などの表記は、以下の一覧の FM0+ファミリ製品に置き換えてお読みください。

Table 1 FM0+ファミリの TYPE1 型格一覧

TYPE	フラッシュメモリサイズ	
	56K bytes	88K bytes
TYPE1-M0+	S6E1A11B S6E1A11C	S6E1A12B S6E1A12C

Table 2 FM0+ファミリの TYPE2 型格一覧

TYPE	フラッシュメモリサイズ	
	304K bytes	560K bytes
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 3 FM0+ファミリの TYPE3 型格一覧

TYPE	フラッシュメモリサイズ	
	64K bytes	128K bytes
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

Contents

CHAPTER 1: システム概要 23
1. バス構成 24
1.1 バス構成図 26
1.2 メモリ構成 27
1.3 ペリフェラル・アドレスマップ 30
2. Cortex-M0+の構成 33
2.1 オプション構成 35
3. モード 36
CHAPTER 2-1: クロック 39
1. 概要 40
2. 構成 42
3. 動作説明 46
3.1 クロックモード選択 46
3.2 内部バスクロック分周制御 48
3.3 PLL クロック制御 49
3.4 発振安定待ち時間 51
3.5 割込み要因 54
4. クロック設定手順例 55
4.1 設定手順例（TYPE1-M0+, TYPE3-M0+） 55
4.2 設定手順例（TYPE2-M0+） 58
5. レジスタ 62
5.1 システムクロックモード制御レジスタ(SCM_CTL) 63
5.2 システムクロックモード状態レジスタ(SCM_STR) 65
5.3 ベースクロックプリスケーラレジスタ(BSC_PSR) 67
5.4 APB0 プリスケーラレジスタ(APBC0_PSR) 68
5.5 APB1 プリスケーラレジスタ(APBC1_PSR) 69
5.6 ソフトウェアウォッチドッグクロックプリスケーラレジスタ(SWC_PSR) 70
5.7 クロック安定待ち時間レジスタ(CSW_TMR) 71
5.8 PLL クロック安定待ち時間設定レジスタ(PSW_TMR) 73
5.9 PLL 制御レジスタ 1 (PLL_CTL1) 75
5.10 PLL 制御レジスタ 2 (PLL_CTL2) 76
5.11 デバッグブレークウォッチドッグタイマ制御レジスタ(DBWDT_CTL) 77
5.12 割込みイネーブルレジスタ(INT_ENR) 78
5.13 割込み状態レジスタ(INT_STR) 79
5.14 割込みクリアレジスタ(INT_CLR) 80
6. 使用上の注意点 82
CHAPTER 2-2: 周辺クロック停止機能 85

1. 周辺クロック停止機能の概要 ... 86
2. 周辺クロック停止機能の構成 ... 89
3. 周辺クロック停止機能の制御 ... 91
3.1 周辺クロックの制御手順 ... 92
4. 周辺クロック停止機能のレジスター覧 ... 95
4.1 周辺クロック制御レジスタ 0(CKEN0) ... 96
4.2 周辺リセット制御レジスタ 0(MRST0) ... 99
4.3 周辺クロック制御レジスタ 1(CKEN1) ... 102
4.4 周辺リセット制御レジスタ 1(MRST1) ... 105
4.5 周辺クロック制御レジスタ 2(CKEN2) ... 108
4.6 周辺リセット制御レジスタ 2(MRST2) ... 111
5. 周辺クロック停止機能　使用時の注意 ... 114
CHAPTER 2-3: 高速 CR トリミング ... 117
1. 高速 CR トリミング機能 概要 ... 118
2. 高速 CR トリミング機能 構成・ブロックダイヤグラム ... 119
3. 高速 CR トリミング機能 動作説明 ... 120
4. 高速 CR トリミング機能 設定手順例 ... 121
5. 高速 CR トリミング機能 レジスター覧 ... 130
5.1 高速 CR 発振 分周設定レジスタ(MCR_PSR) ... 131
5.2 高速 CR 発振 周波数トリミング設定レジスタ(MCR_FTRM) ... 132
5.3 高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM) ... 134
5.3.1 MCR_TTRM (TYPE1-M0+) ... 134
5.3.2 MCR_TTRM (TYPE2-M0+) ... 135
5.3.3 MCR_TTRM (TYPE3-M0+) ... 136
5.4 高速 CR 発振 レジスタ書込み保護レジスタ(MCR_RLR) ... 137
6. 高速 CR トリミング機能 使用上の注意点 ... 138
CHAPTER 2-4: 低速 CR プリスケーラ ... 139
1. 低速 CR プリスケーラの概要 ... 140
2. 低速 CR プリスケーラの構成 ... 140
3. 低速 CR プリスケーラの動作説明と設定手順例 ... 142
3.1 低速 CR プリスケーラの設定手順 ... 142
3.2 低速 CR プリスケーラの動作 ... 143
3.3 低速 CR の補正例 ... 144
4. 低速 CR プリスケーラのレジスタ ... 145
4.1 低速 CR プリスケーラリロードレジスタ(LCR_PRSLD) ... 146
CHAPTER 3: クロック監視機能 ... 147
1. 概要 ... 148
2. 構成・ブロックダイヤグラム ... 148
2.1 クロック故障検出機能 ... 148
2.2 異常周波数検出機能 ... 149
3. 動作説明 ... 150
4. 設定手順例 ... 151
5. 動作例 ... 153
5.1 クロック故障検出 ... 153
5.2 異常周波数検出 ... 154
5.3 異常周波数検出機能のウィンドウ設定例 ... 155

6. レジスター覧 157
6.1 CSV 制御レジスタ(CSV_CTL) 158
6.1.1 レジスタ構成 158
6.1.2 レジスタ機能 158
6.2 CSV 状態レジスタ(CSV_STR) 160
6.2.1 レジスタ構成 160
6.2.2 レジスタ機能 160
6.3 周波数検出ウィンドウ設定レジスタ(上位)(FCSWH_CTL) 161
6.3.1 レジスタ構成 161
6.3.2 レジスタ機能 161
6.4 周波数検出ウィンドウ設定レジスタ(下位)(FCSWL_CTL) 162
6.4.1 レジスタ構成 162
6.4.2 レジスタ機能 162
6.5 周波数検出カウンタレジスタ(FCSWD_CTL) 163
6.5.1 レジスタ構成 163
6.5.2 レジスタ機能 163
7. 使用上の注意 164
CHAPTER 4: リセット 165
1. 概要 166
2. 構成 167
3. 動作説明 168
3.1 リセット要因 169
3.2 デバイス内部のリセット 174
3.2.1 Cortex-M0+へのリセット 175
3.2.2 周辺回路へのリセット 176
3.3 リセットシーケンス 177
3.4 リセット解除後の動作 179
4. レジスタ 180
4.1 リセット要因レジスタ(RST_STR) 181
CHAPTER 5-1: 低電圧検出概要 185
1. 概要 186
CHAPTER 5-2: 低電圧検出 (TYPE1) 189
1. 構成 190
2. 動作説明 192
3. 設定手順例 195
4. レジスタ 197
4.1 低電圧検出電圧設定レジスタ(LVD_CTL) 198
4.2 低電圧検出割込み要因レジスタ(LVD_STR) 200
4.3 低電圧検出割込み要因クリアレジスタ(LVD_CLR) 201
4.4 低電圧検出電圧保護レジスタ(LVD_RLR) 202
4.5 低電圧検出回路状態レジスタ(LVD_STR2) 203
5. 使用上の注意 204
CHAPTER 5-3: 低電圧検出 (TYPE2) 205
1. 構成 206
2. 動作説明 208
3. 設定手順例 211

3.1 低電圧検出リセット 211
3.2 低電圧検出割込み (LVDRLIE = 0) 212
3.3 低電圧検出割込み (LVDRLIE = 1) 213
3.4 Vref 較正の例 214
4. レジスタ 215
4.1 低電圧検出電圧設定レジスタ(LVD_CTL) 216
4.2 低電圧検出リリース電圧制御レジスタ(LVD_CTL2) 218
4.3 低電圧検出(ch.2)電圧制御レジスタ(LVD2_CTL) 220
4.4 低電圧検出(ch.2)リリース電圧制御レジスタ(LVD2_CTL2) 222
4.5 低電圧検出割込み要因レジスタ(LVD_STR) 224
4.6 低電圧検出割込み要因クリアレジスタ(LVD_CLR) 226
4.7 低電圧検出電圧保護レジスタ(LVD_RLR) 227
4.8 低電圧検出回路状態レジスタ(LVD_STR2) 228
4.9 Vref 較正制御レジスタ(CAL_CTL) 230
4.10 Vref 較正値レジスタ(CAL_SET) 231
4.11 Vref 較正セキュリティキーレジスタ(CAL_KEY) 232
5. 使用上の注意 233
CHAPTER 5-4: 低電圧検出 (TYPE3) 235
1. 構成 236
2. 動作説明 238
3. 設定手順例 242
3.1 低電圧検出リセット 242
3.2 低電圧検出割込み 243
3.3 キャリブレーション 244
4. レジスタ 245
4.1 低電圧検出電圧設定レジスタ(LVD_CTL) 246
4.2 低電圧検出割込み要因レジスタ(LVD_STR) 248
4.3 低電圧検出割込み要因クリアレジスタ(LVD_CLR) 249
4.4 低電圧検出電圧保護レジスタ(LVD_RLR) 250
4.5 低電圧検出回路状態レジスタ(LVD_STR2) 251
4.6 基準電圧キャリブレーション制御レジスタ(CAL_CTL) 252
4.7 基準電圧キャリブレーション設定保護レジスタ(CAL_KEY) 253
5. 使用上の注意 254
CHAPTER 6-1: 低消費電力モード 255
1. 概要 256
2. CPU 動作モードの構成 262
3. スタンバイモードの動作説明 274
3.1 スリープモード(高速 CR スリープ, メインスリープ, PLL スリープ, 低速 CR スリープ, サブスリープ)の動作 277
3.2 タイマモード(高速 CR タイマ, メインタイマ, PLL タイマ, 低速 CR タイマ, サブタイマ)の動作 279
3.3 RTC モードの動作 281
3.4 ストップモードの動作 284
4. スタンバイモードの設定手順例 287
5. ディープスタンバイモードの動作説明 293
5.1 ディープスタンバイモードの動作 293

5.2 ディープスタンバイ RTC モードの動作 295
5.3 ディープスタンバイストップモードの動作 297
6. ディープスタンバイモードの設定手順例 299
7. ディープスタンバイ復帰要因判定の手順 301
8. レジスタ 302
8.1 スタンバイモードコントロールレジスタ(STB_CTL) 304
8.2 サブ発振回路電源制御レジスタ(REG_CTL) 306
8.3 サブクロック供給制御レジスタ(RCK_CTL) 307
8.4 RTC モード制御レジスタ(PMD_CTL) 308
8.5 ディープスタンバイ復帰要因レジスタ 1 (WRFSR) 309
8.6 ディープスタンバイ復帰要因レジスタ 2 (WIFSR) 310
8.7 ディープスタンバイ復帰許可レジスタ(WIER) 312
8.8 WKUP 端子入力レベルレジスタ(WILVR) 314
8.9 ディープスタンバイ RAM 保持レジスタ(DSRAMR) 315
8.10 バックアップレジスタ 01~16 (BUR01~16) 316
8.11 メイン発振水晶タイプ選択制御レジスタ (MOSC_CTL) 317
8.12 IO 状態保持制御レジスタ(WIOLC_CTL) 318
8.13 サブ発振 IO 制御レジスタ(SUBOSC_CTL) 320
8.14 CEC 入出力制御レジスタ(CEC_CTL) 321
8.15 シリアルワイヤデバッグ制御レジスタ (DEBUG_SW_CTL) 322
9. 使用上の注意 323
CHAPTER 6-2: VBAT ドメイン 325
1. VBAT ドメインの概要 326
2. VBAT ドメインの構成 328
2.1 Always ON ドメインとのインタフェース 329
2.1.1 インタフェースの概要 329
2.1.2 インタフェース回路の形式一覧 330
2.1.3 インタフェース回路が接続する回路 333
2.2 RTC 339
2.3 32 kHz 発振回路 340
2.3.1 32 kHz 発振回路の機能概要 340
2.3.2 32 kHz 発振回路の使用方法 341
2.3.3 32 kHz 発振回路で使用するレジスタの説明 341
2.4 パワーオン回路 342
2.5 バックアップレジスタ 343
2.6 VBAT I/O ポート 345
3. チップの電源制御 349
4. ハイバネーション制御 352
5. 32 kHz クロックの設定手順 356
6. VBAT I/O ポートの設定手順 360
7. レジスター覧 363
7.1 VB_CLKDIV レジスタ 364
7.2 WTOSCCNT レジスタ 365
7.3 CCS/CCB レジスタ 366
7.4 BOOST レジスタ 366
7.5 EWKUP レジスタ 368

7.6 HIBRST レジスタ 369
7.7 VDET レジスタ 370
7.8 ポート機能設定レジスタ(VBPFR) 371
7.9 プルアップ設定レジスタ(VBPCR) 373
7.10 ポート入出力方向設定レジスタ(VBDDR) 374
7.11 ポート入力データレジスタ(VBDIR) 375
7.12 ポート出力データレジスタ(VBDOR) 376
7.13 ポート擬似オープンドレイン設定レジスタ(VBPZR) 377
8. 使用上の注意 378
CHAPTER 7-1: 割込みの概要 379
1. 割込み参照章 380
CHAPTER 7-2: 割込み構成(TYPE1) 381
1. 概要 382
2. 構成 383
CHAPTER 7-3: 割込み(TYPE1-A) 387
1. 例外と割込み要因ベクタ 388
2. レジスタ 390
2.1 DMA 要求選択レジスタ(DRQSEL) 391
2.2 EXC02 一括読出しレジスタ(EXC02MON) 392
2.3 IRQ00 一括読出しレジスタ(IRQ00MON) 393
2.4 IRQ01 一括読出しレジスタ(IRQ01MON) 394
2.5 IRQ02 一括読出しレジスタ(IRQ02MON) 395
2.6 IRQ03 一括読出しレジスタ(IRQ03MON) 396
2.7 IRQ04 一括読出しレジスタ(IRQ04MON) 398
2.8 IRQ05 一括読出しレジスタ(IRQ05MON) 399
2.9 IRQ06 一括読出しレジスタ(IRQ06MON) 401
2.10 IRQ07/09/11/13/15/17 一括読出しレジスタ(IRQxxMON) 403
2.11 IRQ19/21 一括読出しレジスタ(IRQxxMON) 404
2.12 IRQ08/10/12/14/16/18 一括読出しレジスタ(IRQxxMON) 405
2.13 IRQ20/22 一括読出しレジスタ(IRQxxMON) 407
2.14 IRQ23 一括読出しレジスタ(IRQ23MON) 408
2.15 IRQ24 一括読出しレジスタ(IRQ24MON) 409
2.16 IRQ25/26 一括読出しレジスタ(IRQxxMON) 411
2.17 IRQ27 一括読出しレジスタ(IRQ27MON) 412
2.18 IRQ28 一括読出しレジスタ(IRQ28MON) 413
2.19 IRQ29 一括読出しレジスタ(IRQ29MON) 415
2.20 IRQ30 一括読出しレジスタ(IRQ30MON) 417
2.21 IRQ31 一括読出しレジスタ(IRQ31MON) 419
3. 使用上の注意 421
CHAPTER 7-4: 割込み(TYPE1-B) 423
1. 例外と割込み要因ベクタ 424
2. レジスタ 426
2.1 DMA 要求選択レジスタ(DRQSEL) 427
2.2 EXC02 一括読出しレジスタ(EXC02MON) 428
2.3 IRQ00 一括読出しレジスタ(IRQ00MON) 429
2.4 IRQ01 一括読出しレジスタ(IRQ01MON) 430

2.5 IRQ02 一括読出しレジスタ(IRQ02MON) 431
2.6 IRQ03～IRQ10 一括読出しレジスタ(IRQ03MON～IRQ10MON) 432
2.7 IRQ11 一括読出しレジスタ(IRQxxMON) 434
2.8 IRQ12 一括読出しレジスタ(IRQ12MON) 435
2.9 IRQ13 一括読出しレジスタ(IRQ13MON) 436
2.10 IRQ14 一括読出しレジスタ(IRQ14MON) 438
2.11 IRQ15～IRQ18 一括読出しレジスタ(IRQ15MON～IRQ18MON) 440
2.12 IRQ19/21 一括読出しレジスタ(IRQxxMON) 441
2.13 IRQ20/22 一括読出しレジスタ(IRQxxMON) 442
2.14 IRQ23 一括読出しレジスタ(IRQ23MON) 443
2.15 IRQ24 一括読出しレジスタ(IRQ24MON) 444
2.16 IRQ25/26 一括読出しレジスタ(IRQxxMON) 446
2.17 IRQ27 一括読出しレジスタ(IRQ27MON) 448
2.18 IRQ28/29 一括読出しレジスタ (IRQxxMON) 450
2.19 IRQ30 一括読出しレジスタ(IRQ30MON) 452
2.20 IRQ31 一括読出しレジスタ(IRQ31MON) 454
2.21 割込み要因ベクタリロケート設定レジスタ(IRQCMODE) 457
2.22 割込み要因選択レジスタ 0 (RCINTSEL0) 458
2.23 割込み要因選択レジスタ 1 (RCINTSEL1) 459
3. 使用上の注意 461
CHAPTER 7-5: 割込み構成(TYPE2) 463
1. 概要 464
2. 構成 465
CHAPTER 7-6: 割込み(TYPE2-A) 469
1. 割込み一覧 470
1.1 例外および割込みの一覧 470
1.2 DSTC に入力される割込み信号 475
2. レジスタ 477
2.1 EXC02 一括読出しレジスタ (EXC02MON) 478
2.2 IRQxx 一括読出しレジスタ (IRQxxMON) 479
3. 使用上の注意 480
CHAPTER 7-7: 割込み(TYPE2-B) 481
1. 割込み一覧 482
1.1 例外および割込みの一覧 482
1.2 DSTC に入力される割込み信号 488
2. レジスタ 490
2.1 EXC02 一括読出しレジスタ (EXC02MON) 491
2.2 IRQxx 一括読出しレジスタ (IRQxxMON) 492
2.3 割込み要因ベクタリロケート設定レジスタ(IRQCMODE) 493
2.4 割込み要因選択レジスタ 0 (RCINTSEL0) 494
2.5 割込み要因選択レジスタ 1 (RCINTSEL1) 495
3. 使用上の注意 497
CHAPTER 7-8: 割込み(TYPE3) 499
1. 概要 500
2. 構成と機能 501
2.1 接続構成図 501

2.2 NVIC (ネスト型ベクタ割込みコントローラ) 502
2.3 割込み集約と一括読出しレジスタ 502
2.4 Vector Indicate Register 502
2.5 DSTC 転送要求、転送終了通知の接続 504
2.6 DMA 転送承認信号の接続 505
2.7 DMA 転送停止信号の接続 505
3. 割込み一覧 506
3.1 例外と割込みアサイン 506
3.2 DSTC 転送要求信号アサイン 511
4. レジスタ 512
4.1 レジスター覧 512
4.2 EXC02 一括読出しレジスタ (EXC02MON) 513
4.3 IRQxx 一括読出しレジスタ (IRQxxMON) 514
4.4 VIR オフセットレジスタ (VIR_OFFSET) 515
4.5 Vector Indicate Register xx (VIRxx) 516
4.6 USB ch.0 奇数パケットサイズ DMA 許可レジスタ (ODDPKS) 517
5. 使用上の注意 519
CHAPTER 8: 外部割込み・NMI 制御部 521
1. 概要 522
2. ブロックダイヤグラム 523
3. 動作説明および設定手順例 524
3.1 外部割込み制御部の動作 525
3.2 NMI 制御部の動作 529
3.3 タイマモード、ストップモード、RTC モードからの復帰 531
4. レジスタ 533
4.1 外部割込み許可レジスタ(ENIR : ENable Interrupt request Register) 534
4.2 外部割込み要因レジスタ(EIRR : External Interrupt Request Register) 535
4.3 外部割込み要因クリアレジスタ(EICL: External Interrupt CLear register) 536
4.4 外部割込み要求レベルレジスタ(ELVR : External interrupt LeVel Register) 537
4.5 外部割込み要求レベルレジスタ 1 (ELVR1 : External interrupt LeVel Register 1) 538
4.6 ノンマスカブル割込み要因レジスタ(NMIRR : Non Maskable Interrupt Request Register) 539
4.7 ノンマスカブル割込み要因クリアレジスタ(NMICL: Non Maskable Interrupt CLear register) 540
4.8 外部割込み要求レベルレジスタ 2 (ELVR2 : External interrupt LeVel Register 2) 541
4.9 ノンマスカブル割込み許可レジスタ (NMIENR:NMI Enable Register) 542
CHAPTER 9: DMAC 543
1. DMAC の概要 544
2. DMAC の構成 545
2.1 DMAC とシステム構成 546
2.2 DMAC の入出力信号 548
3. DMAC の機能と動作 550
3.1 ソフトウェア・Block 転送 551
3.2 ソフトウェア・Burst 転送 554
3.3 ハードウェア・Demand 転送 555
3.4 ハードウェア・Block 転送/Burst 転送 556

3.5 チャネル優先順位制御 558
4. DMAC の制御 559
4.1 DMAC 制御概要 560
4.2 ソフトウェア転送時の DMAC 動作と制御手順 561
4.3 ハードウェア(EM=0)転送時の DMAC 動作と制御手順 569
4.4 ハードウェア(EM=1)転送時の DMAC 動作と制御手順 580
5. DMAC のレジスタ 584
5.1 レジスター覧 585
5.2 DMAC 全体コンフィギュレーションレジスタ(DMACR) 586
5.3 コンフィギュレーション A レジスタ(DMACA) 588
5.4 コンフィギュレーション B レジスタ(DMACB) 592
5.5 転送元アドレスレジスタ(DMACSA) 596
5.6 転送先アドレスレジスタ(DMACDA) 597
6. 使用上の注意 598
CHAPTER 10-1: I/O ポート 599
1. 概要 600
2. 構成・ブロックダイヤグラム・動作説明 601
2.1 I/O ポートの構成 601
2.2 I/O ポートの初期選択機能 606
2.3 リロケート機能について 607
2.4 EPFR の出力固定優先順位について 609
2.5 ディープスタンバイモード時の動作(TYPE2-M0+) 611
2.6 ディープスタンバイモード時の動作(TYPE3-M0+) 612
2.7 ディープスタンバイ遷移リセット 615
3. 設定手順例 616
3.1 I/O ポートの設定 616
3.2 I/O 状態保持機能の使用方法（TYPE3-M0+製品） 617
4. レジスター覧 619
4.1 ポート機能設定レジスタ(PFRx) 623
4.2 プルアップ設定レジスタ(PCRx) 625
4.3 ポート入出力方向設定レジスタ(DDRx) 627
4.4 ポート入力データレジスタ(PDIRx) 629
4.5 ポート出力データレジスタ x(PDORx) 631
4.6 アナログ入力設定レジスタ(ADE) 633
4.7 拡張機能端子設定レジスタ(EPFRx) 634
4.8 拡張機能端子設定レジスタ 00(EPFR00) 636
4.9 拡張機能端子設定レジスタ 01(EPFR01) 639
4.10 拡張機能端子設定レジスタ 02(EPFR02) 644
4.11 拡張機能端子設定レジスタ 03(EPFR03) 649
4.12 拡張機能端子設定レジスタ 04(EPFR04) 654
4.13 拡張機能端子設定レジスタ 05(EPFR05) 659
4.14 拡張機能端子設定レジスタ 06(EPFR06) 664
4.15 拡張機能端子設定レジスタ 07(EPFR07) 669
4.16 拡張機能端子設定レジスタ 08(EPFR08) 674
4.17 拡張機能端子設定レジスタ 09(EPFR09) 679
4.18 拡張機能端子設定レジスタ 12(EPFR12) 684

4.19 拡張機能端子設定レジスタ 13(EPFR13) 689
4.20 拡張機能端子設定レジスタ 14(EPFR14) 694
4.21 拡張機能端子設定レジスタ 15(EPFR15) 696
4.22 拡張機能端子設定レジスタ 16(EPFR16) 701
4.23 拡張機能端子設定レジスタ 17(EPFR17) 706
4.24 拡張機能端子設定レジスタ 18(EPFR18) 711
4.25 拡張機能端子設定レジスタ 21(EPFR21) 713
4.26 拡張機能端子設定レジスタ 22(EPFR22) 715
4.27 拡張機能端子設定レジスタ 23(EPFR23) 718
4.28 拡張機能端子設定レジスタ 31(EPFR31) 721
4.29 拡張機能端子設定レジスタ 33(EPFR33) 723
4.30 拡張機能端子設定レジスタ 34(EPFR34) 727
4.31 拡張機能端子設定レジスタ 37(EPFR37) 729
4.32 拡張機能端子設定レジスタ 38(EPFR38) 733
4.33 特殊ポート設定レジスタ(SPSR) 736
4.34 ポート擬似オープンドレイン設定レジスタ(PZRx) 739
4.35 LVDI 入力設定レジスタ(LVDIE) 741
5. 使用上の注意 743
CHAPTER 10-2: Fast GPIO 747
1. 概要 748
2. 構成 749
3. 設定手順例 755
4. レジスタ 757
4.1 Fast GPIO 入力データレジスタ(FPDIRx) 760
4.2 Fast GPIO 出力データレジスタ(FPDORx) 762
4.3 Fast GPIO 入力データミラーレジスタ(M_FPDIRx) 764
4.4 Fast GPIO 出力データミラーレジスタ(M_FPDORx) 766
4.5 Fast GPIO 出力イネーブルレジスタ(FPOERx) 768
5. ビットマニピュレーションベースアドレス 770
CHAPTER 11: CRC (Cyclic Redundancy Check) 771
1. CRC の概要 772
2. CRC の動作説明 773
2.1 CRC 計算シーケンス 775
2.2 CRC 使用例 776
3. CRC のレジスタ 781
3.1 CRC 制御レジスタ(CRCCR) 782
3.2 初期値レジスタ(CRCINIT) 784
3.3 Input Data レジスタ(CRCIN) 785
3.4 CRC レジスタ(CRCR) 786
CHAPTER 12: デバッグインタフェース 787
1. 概要 788
2. 端子説明 789
2.1 デバッグ端子について 790
2.2 端子の初期機能について 791
2.3 SW-DP 端子の内部プルアップについて 792
CHAPTER 13: Micro Trace Buffer Data Watchpoint and Trace 793

1. 概要 794
2. ブロックダイヤグラム 795
3. 構成と設定手順例 796
3.1 MTB_DWT の構成 797
3.2 設定手順例 798
4. レジスタ 799
4.1 MTB_DWT アドレス比較スタートトレースレジスタ (CMP_ADDR_START) 800
4.2 MTB_DWT データ比較スタートトレースレジスタ (CMP_DATA_START) 801
4.3 MTB_DWT マスクデータ比較スタートトレースレジスタ (CMP_MASK_START) 802
4.4 MTB_DWT アドレス比較ストップトレースレジスタ (CMP_ADDR_STOP) 803
4.5 MTB_DWT データ比較ストップトレースレジスタ (CMP_DATA_STOP) 804
4.6 MTB_DWT マスクデータ比較ストップトレースレジスタ (CMP_MASK_STOP) 805
4.7 MTB_DWT 機能レジスタ(FCT) 806
4.8 ペリフェラル ID0-7 レジスタ(PID0-7) 808
4.9 コンポーネント ID0-3 レジスタ(CID0-3) 809
CHAPTER 14: フラッシュメモリ 811
CHAPTER 15: ユニーク ID レジスタ 813
1. 概要 814
2. レジスタ 814
2.1 ユニーク ID レジスタ 0 (UIDR0) 815
2.2 ユニーク ID レジスタ 1 (UIDR1) 816
CHAPTER 16: DSTC 817
1. DSTC の概要 818
2. DSTC の動作概要とシステム構成 819
2.1 DSTC の動作概要 819
2.2 DSTC システム構成 821
3. DSTC の機能と動作 824
3.1 DES の設定 825
3.1.1 転送データ量の設定 825
3.1.2 転送アドレスの設定 826
3.1.3 OuterReload の設定 828
3.1.4 Chain 起動と転送終了割込み通知設定 830
3.1.5 その他の DES 設定 832
3.2 DSTC の制御機能 835
3.2.1 DSTC 内部ブロック図 835
3.2.2 DESTP レジスタ 835
3.2.3 SW 転送の制御 835
3.2.4 HW 転送の制御 836
3.2.5 起動要求の調停動作 837
3.2.6 リードスキップバッファ機能 839
3.2.7 転送終了処理 839
3.2.8 MONERS レジスタ 840
3.2.9 スタンバイ機能 842
3.3 DSTC 動作フロー 844
3.3.1 SW 転送フロー 844
3.3.2 HW 転送フロー 847

3.3.3 DESP 指定後の動作フロー 849
4. DSTC の動作例と制御例 852
4.1 転送動作例 1 853
4.2 転送動作例 2 856
4.3 転送動作例 3 859
4.4 転送動作例 4 862
4.5 転送動作例 5 864
4.6 DSTC 制御例 867
5. DSTC のレジスタおよびディスクリプタ 871
5.1 制御レジスタ、DES 一覧 872
5.2 DESTP レジスタ 873
5.3 HWDESP[n]レジスタ 874
5.4 CMD レジスタ 875
5.5 CFG レジスタ 876
5.6 SWTR レジスタ 878
5.7 MONERS レジスタ 879
5.8 DREQENB[n]レジスタ 882
5.9 HWINT[n]レジスタ 883
5.10 HWINTCLR[n]レジスタ 884
5.11 DQMSK[n]レジスタ 885
5.12 DQMSKCLR[n]レジスタ 886
5.13 ディスクリプタ 0 (DES0) 887
5.14 ディスクリプタ 1 (DES1） 891
5.15 ディスクリプタ 2 (DES2） 893
5.16 ディスクリプタ 3 (DES3） 893
5.17 ディスクリプタ 4 (DES4） 894
5.18 ディスクリプタ 5 (DES5） 894
5.19 ディスクリプタ 6 (DES6） 894
APPENDIXES 895
A. 製品型格一覧 897
1. 製品型格一覧 898
B. レジスタマップ (TYPE1-M0+) 899
1. レジスタマップ 900
1.1 Flash I/F 902
1.2 Unique ID 903
1.3 Clock/Reset 904
1.4 HW WDT 906
1.5 SW WDT 907
1.6 Dual Timer 908
1.7 MFT 909
1.8 PPG 913
1.9 Base Timer 917
1.10 IO Selector for Base Timer 918
1.11 QPRC 919
1.12 QPRC NF 920
1.13 A/DC 921

1.14 D/AC 923
1.15 CR Trim 924
1.16 EXTI 925
1.17 INT-Req. READ 926
1.18 GPIO 929
1.19 HDMI-CEC 936
1.20 LVD 937
1.21 DS Mode 938
1.22 MFS 939
1.23 CRC 941
1.24 Watch Counter 942
1.25 RTC 943
1.26 Low-speed CR Prescaler 944
1.27 Peripheral Clock Gating 945
1.28 DMAC 946
1.29 MTB_DWT 947
1.30 Fast GPIO 949
C. レジスタマップ (TYPE2-M0+) 953
1. レジスタマップ 954
1.1 Flash I/F 956
1.2 Unique ID 957
1.3 Clock/Reset 958
1.4 HW WDT 960
1.5 SW_WDT 961
1.6 Dual Timer 962
1.7 MFT 963
1.8 PPG 967
1.9 Base Timer 971
1.10 IO Selector for Base Timer 972
1.11 QPRC 973
1.12 QPRC NF 974
1.13 A/DC 975
1.14 D/AC 977
1.15 CR Trim 978
1.16 EXTI 979
1.17 INT-Req. READ 980
1.18 LCDC 982
1.19 GPIO 983
1.20 HDMI-CEC 990
1.21 LVD 991
1.22 DS Mode 992
1.23 USB Clock 994
1.24 MFS 995
1.25 CRC 997
1.26 Watch Counter 998
1.27 RTC 999

1.28 Low-speed CR Prescaler 1003
1.29 Peripheral Clock Gating 1004
1.30 Smart Card I/F 1005
1.31 MFSI2S 1006
1.32 High Resilience 1007
1.33 USB 1008
1.34 DSTC 1010
1.35 MTB_DWT 1011
1.36 Fast GPIO 1013
D. レジスタマップ (TYPE3-M0+) 1017
1. レジスタマップ 1018
1.1 Flash I/F 1020
1.2 Unique ID 1021
1.3 Clock/Reset 1022
1.4 HW WDT 1024
1.5 SW WDT 1025
1.6 Dual Timer 1026
1.7 Base Timer 1027
1.8 IO Selector for Base Timer 1028
1.9 A/DC 1029
1.10 CR Trim 1031
1.11 EXTI 1032
1.12 INT-Req. READ 1033
1.13 GPIO 1035
1.14 HDMI-CEC 1040
1.15 LVD 1041
1.16 DS Mode 1042
1.17 USB Clock 1044
1.18 I2CSLAVE 1045
1.19 MFS 1046
1.20 CRC 1048
1.21 Watch Counter 1049
1.22 RTC 1050
1.23 Low-speed CR Prescaler 1051
1.24 Peripheral Clock Gating 1052
1.25 Smart Card I/F 1053
1.26 MFSI2S 1054
1.27 USB 1055
1.28 DSTC 1057
1.29 MTB_DWT 1058
1.30 Fast GPIO 1060
1.31 VIR 1062
E. 注意事項一覧 1065
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 1066

CHAPTER 1: システム概要

本ファミリのシステム概要について説明します。

1. バス構成
2. Cortex-M0+の構成
3. モード

管理コード: 9AFSYSTEM-J03.0

1. バス構成

本ファミリのバス構成について説明します。

本ファミリのバスは、AHB バスマトリクス回路によりマルチレイヤーバスを実現しています。
マスタ, スレーブの構成を以下に示します。

■ マスタ
- Cortex-M0+ CPU (AHB-Lite)
- DMAC
- DSTC

■ スレーブ
- オンチップフラッシュメモリ
- オンチップ SRAM (MTB SRAM と共用可能)
- AHB-AHB バスブリッジ
- AHB-APB バスブリッジ (APB0, APB1)
- USB ch.0/ch.1

バス構成図については、Figure 1-1 を参照してください。

特長

■ RAM 構成

ユーザ SRAM 領域は MTB SRAM 領域と共用できます。両領域はユーザ設定に従って分割されます。

■ APB 拡張バスについて

APB1 ペリフェラルバスは、AMBA3.0 を元に以下の機能を独自に追加した拡張 APB バスです(APB0 は含まれません)。

- ハーフワード(16 ビット), バイト(8 ビット)アクセス対応

  対応するレジスタについては、ハーフワードアクセス, バイトアクセスが可能となります。
  対応するレジスタについては、『APPENDIXES』の「A. レジスタマップ」を参照してください。

- リードモディファイライト(RMW)信号追加

  ビットバンド操作時の HMASTLOCK 信号を使って生成しています。
  RMW 信号は、ビットバンド操作のリードモディファイライト処理時に誤って関係のないフラグがクリアされることを防ぐために追加した信号です。
  対応するフラグは、リードモディファイライト処理中のリード時は"1"を読み出し、また、"1"のライトを無視するように設計されています。
  こうすることで「リード→モディファイ→ライト」シーケンスのリード直後にフラグがセットされた場合、次の書込み時に誤ってクリアされることを防ぎます。
  対応するフラグ, レジスタは「"リードモディファイライト"時はビット値にかかわらず"1"が読めます」のように記述されています。

<注意事項>

- *RMW を禁止しているレジスタに対しては、ビットバンド操作禁止です。*
- *ビットバンド操作を行わずにソフトウェア中でリードモディファイライト処理を行う場合には RMW 信号は出力されません。*
  よって、この場合には RMW 対応のレジスタであっても読出し時はフラグの値が読み出せるため、書込み時に誤って関係のないフラグをクリアされないようにしてください。

- *Cortex-M3+ビットバンド操作と互換性があります。詳細については『Cortex-M3 テクニカルリファレンスマニュアル』を参照してください。*

■ 優先順位について

バス権の優先度はラウンドロビン方式で決定されます。

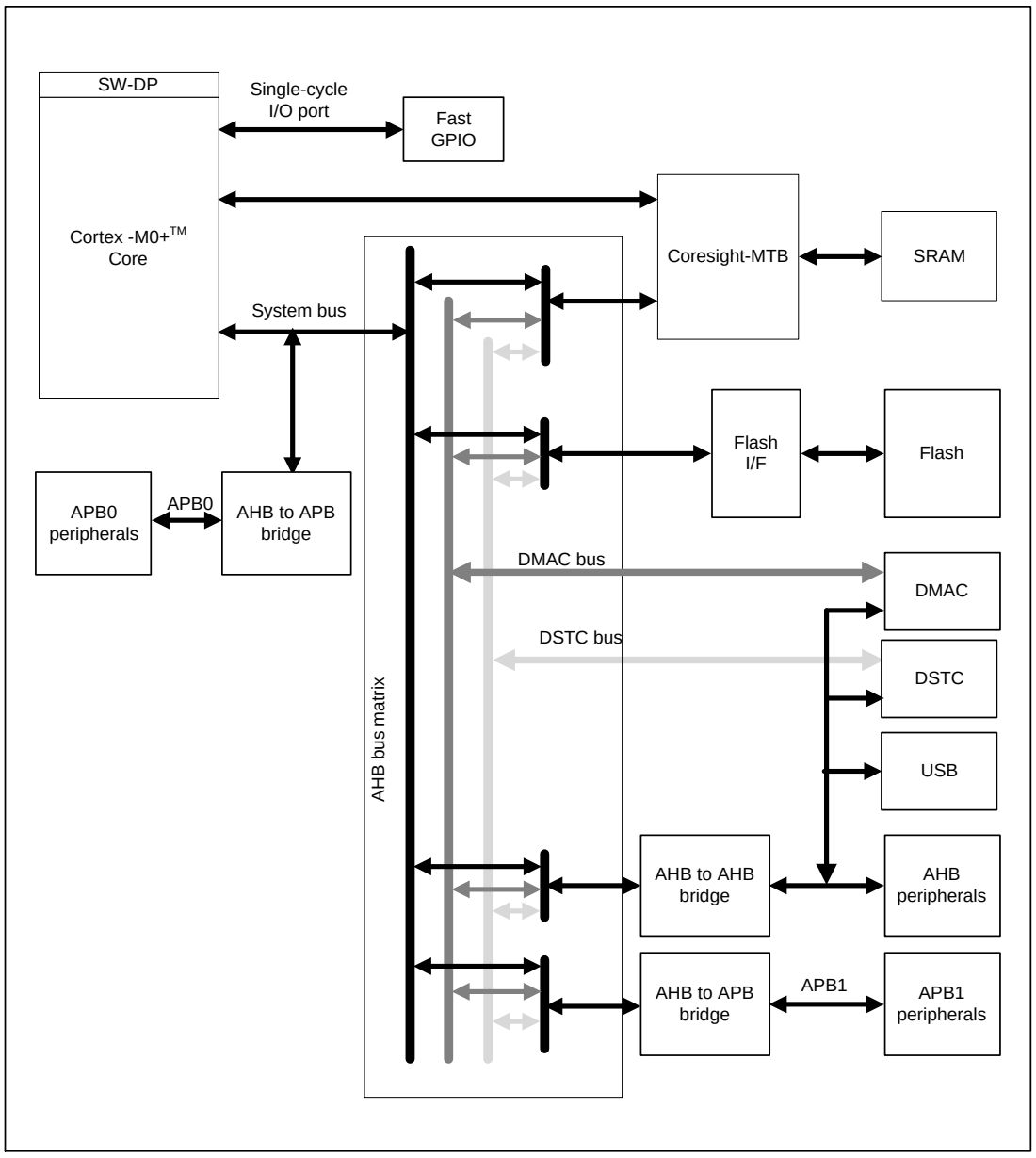
■ エンディアンについて

本ファミリのエンディアン(バイトオーダ)はリトルエンディアンです。

1.1 バス構成図

Figure 1-1 に本ファミリのバス構成図を示します。

Figure 1-1 バス構成図



<注意事項>

- *一部 DMA 転送が行えない領域があります。詳細は「0 メモリマップ」の注意事項と Table 1-1 の「DMA 転送」欄を参照してください。*

1.2 メモリ構成

本ファミリのメモリ構成を示します。

本ファミリには 4G バイトのアドレス空間があります。

最大 1M バイトのフラッシュメモリ，最大 512K バイトの SRAM 領域が定義されています。

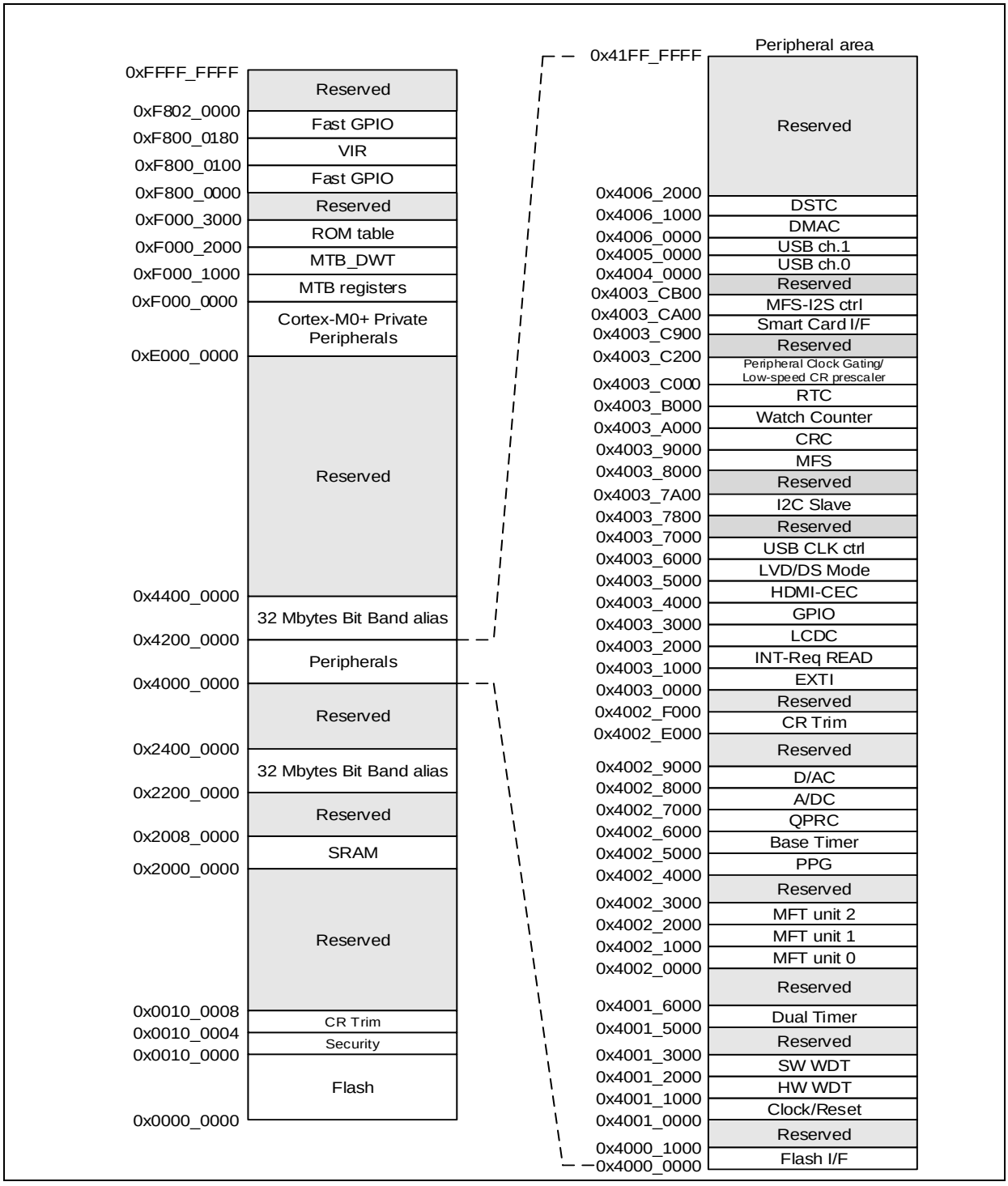
ここでは、「0 メモリマップ」でメモリマップ、「1.3 ペリフェラル・アドレスマップ」でペリフェラル・アドレスマップについて説明します。

Figure 1-2 に記載されている Cortex-M0+プライベートペリフェラル領域の詳細については、『Cortex-M0+テクニカルリファレンスマニュアル』を参照してください。

メモリマップ

Figure 1-2 に本ファミリのメモリマップを示します。

Figure 1-2 メモリマップ



<注意事項>

- *予約領域へのアクセスは禁止です。*
- *フラッシュメモリの詳細については、ご使用の製品の『フラッシュプログラミングマニュアル』を参照してください。*
- *下記の領域への DMA 転送は禁止です。*
  - *ビッドバンドエイリアス領域*
  - *Fast GPIO*
  - *VIR*
  - *ROM table*
  - *MTB_DWT*
  - *MTB registers(SFR)*
  - *Cortex-M0+ Private Peripherals*

1.3 ペリフェラル・アドレスマップ

Table 1-1 に本ファミリのペリフェラル・アドレスマップを示します。

Table 1-1 ペリフェラル・アドレスマップ

スタート アドレス	エンド アドレス	バス	DMA 転送	ペリフェラル	レジスタ マップ	詳細
0x4000_0000	0x4000_0FFF	AHB	不可	FLASH IF レジスタ/ ユニーク ID レジスタ	『FLASH_IF』 『Unique ID』	* 『第 15 章』
0x4000_1000	0x4000_FFFF			予約	-	-
0x4001_0000	0x4001_0FFF	APB0	不可	クロック・リセット制御	『Clock/ Reset』	『第 2-1 章』 『第 3 章』 『第 4 章』
0x4001_1000	0x4001_1FFF			ハードウェアウォッチドッグタイマ	『HWWDT』	タイマ編 『第 1 章』
0x4001_2000	0x4001_2FFF			ソフトウェアウォッチドッグタイマ	『SWWDT』	
0x4001_3000	0x4001_4FFF			予約	-	-
0x4001_5000	0x4001_5FFF			デュアルタイマ	『Dual_ Timer』	タイマ編 『第 2 章』
0x4001_6000	0x4001_FFFF			予約	-	-
0x4002_0000	0x4002_0FFF	APB1	可	多機能タイマ unit 0	『MFT』	タイマ編 『第 6 章』
0x4002_1000	0x4002_1FFF			多機能タイマ unit 1	『MFT』	
0x4002_2000	0x4002_2FFF			多機能タイマ unit 2	『MFT』	
0x4002_3000	0x4002_3FFF			予約	-	-
0x4002_4000	0x4002_4FFF			PPG	『PPG』	タイマ編 『第 7-1 章』 『第 7-2 章』 『第 7-3 章』
0x4002_5000	0x4002_5FFF			ベースタイマ	『Base Timer』 『Base Timer Selector』	タイマ編 『第 5-1 章』 『第 5-2 章』
0x4002_6000	0x4002_6FFF			クアッドカウンタ	『QPRC』	タイマ編 『第 8-1 章』 『第 8-2 章』
0x4002_7000	0x4002_7FFF			A/D コンバータ	『A/DC』	アナログ マクロ編 『第 1 章』
0x4002_8000	0x4002_8FFF			D/A コンバータ	『D/AC』	アナログ マクロ編 『第 2 章』
0x4002_9000	0x4002_DFFF			予約	-	-
0x4002_E000	0x4002_EFFF			高速 CR トリミング	『CR Trim』	『第 2-3 章』
0x4002_F000	0x4002_FFFF			予約	-	-

スタート アドレス	エンド アドレス	バス	DMA 転送	ペリフェラル	レジスタ マップ	詳細
0x4003_0000	0x4003_0FFF	APB1	可	外部割込み	『EXTI』	『第 8 章』
0x4003_1000	0x4003_1FFF			割込み要因確認レジスタ	『INT-Req READ』	『第 7 章』
0x4003_2000	0x4003_2FFF			LCDC	『LCDC』	アナログ マクロ編 『第 3 章』
0x4003_3000	0x4003_3FFF			GPIO	『GPIO』	『第 10 章』
0x4003_4000	0x4003_4FFF			HDMI-CEC/リモコン受信	『HDMI-CEC』	通信 マクロ編 『第 3 章』
0x4003_5000	0x4003_50FF			低電圧検出	『LVD』	『第 5 章』
0x4003_5100	0x4003_5FFF			ディープスタンバイ制御部	『DS_ Mode』	『第 6 章』
0x4003_6000	0x4003_6FFF			USB クロック生成	USB Clock	通信 マクロ編 『第 4 章』
0x4003_7800	0x4003_79FF			I2C SLAVE	『I2C Slave』	通信 マクロ編 『第 7 章』
0x4003_7A00	0x4003_7FFF			予約	-	-
0x4003_8000	0x4003_8FFF			マルチファンクション シリアル	『MFS』	通信 マクロ編 『第 1-2 章』 『第 1-3 章』 『第 1-4 章』 『第 1-5 章』
0x4003_9000	0x4003_9FFF			CRC	『CRC』	『第 11 章』
0x4003_A000	0x4003_AFFF			時計カウンタ	『Watch Counter』	タイマ編 『第 3 章』
0x4003_B000	0x4003_BFFF			リアルタイムクロック	『RTC』	タイマ編 『第 4 章』
0x4003_C000	0x4003_C1FF			クロック停止 低速 CR プリスケーラ	『Peripheral Clock Gating』	『第 2-2 章』 『第 2-4 章』
0x4003_C200	0x4003_C8FF			予約	-	-
0x4003_C900	0x4003_C9FF			スマートカードインタフェース	『Smart Card I/F』	通信 マクロ編 『第 6 章』
0x4003_CA00	0x4003_CAFF			MFS-I^{2}S	『MFS-I2S ctrl』	通信 マクロ編 『第 1-6 章』
0x4003_CB00	0x4003_FFFF			予約	-	-

スタート アドレス	エンド アドレス	バス	DMA 転送	ペリフェラル	レジスタ マップ	詳細
0x4004_0000	0x4005_FFFF	AHB	可	USB ch.0/ch.1	『USB』	通信 マクロ編 『第 5 章』
0x4006_0000	0x4006_0FFF			DMAC レジスタ	『DMAC』	『第 9 章』
0x4006_1000	0x4006_1FFF			DSTC レジスタ	『DSTC』	『第 16 章』
0x4006_4000	0x41FF_FFFF			予約	-	-

*: 「FLASH IF レジスタ」の詳細については、『フラッシュプログラミングマニュアル』を参照してください。

2. Cortex-M0+の構成

本ファミリに搭載されているコアの構成について説明します。

本ファミリに搭載されている Cortex-M0+コアブロックの構成*は、以下になります。

- Cortex-M0+コア
- NVIC
- Data watchpoint unit
- BPU
- MTB
- SW-DP
- ROM テーブル
- Single-cycle I/O port

*: 構成は製品により異なります。詳細は 2.1 オプション構成を参照してください。

Cortex-M0+コア

本ファミリは低消費電力の 32 ビットプロセッサコア(Arm 社製 Cortex-M0+コア)を搭載しています。
本ペリフェラルマニュアルでは Cortex-M0+コアの詳細については記載していません。
詳細については『Cortex-M0+ テクニカルリファレンスマニュアル』を参照してください。

- Cortex-M0+コアのバージョンについて

Cortex-M0+コアのバージョンについてはご使用の製品の『データシート』を参照してください。

NVIC(ネスト型ベクタ割込みコントローラ)

本ファミリは 1 個の NMI(ノンマスカブル割込み)と最大 32 個の周辺割込み(IRQ0～IRQ31)[*1] が利用できます。
また、割込み優先度レジスタ(0xE000E400～)は 2 ビットで構成されており、4 つの割込み優先度レベルを設定できます。

周辺割込みの詳細については、『割込み構成』にて使用されている製品を確認し、対象の『割込み』の章を、NMI の動作については、別章『外部割込み・NMI 制御部』もあわせて参照してください。

NMI 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。
NMI 機能を使用する場合は、ポートの設定にて NMI を許可してください。
詳細は別章『I/O ポート』を参照してください。

*1 :「Cortex-M0+テクニカルリファレンスマニュアル」では例外タイプ : IRQ を外部割込みと定義しています。
本ペリフェラルマニュアルでは、外部端子による割込み「外部割込み・NMI 制御部」と区別するため、例外タイプ : IRQ を周辺割込みと表現します。

優先度の高い他の割り込み処理がある時、NVIC へ通知する各ペリフェラルからの割り込み要求は、NVIC 内部で保留されます。NVIC 内部で保留された割り込み要求をキャンセルする時は、各ペリフェラルからの割り込み要求をクリアし、NVIC にある割り込み保留クリアレジスタ(アドレス : 0xE000E280)によって、NVIC 内に保留された割り込みをクリアします。

■ SysTick タイマ

SysTick タイマは、NVIC に統合された、OS タスク管理用のシステムタイマです。

本ファミリでは、STCLK を HCLK の 8 分周で生成し、SysTick 較正レジスタ (アドレス: 0xE000E01C)の値を以下のように設定しています。

bit31 : NOREF = 0
bit30 : SKEW = 1
bit23:0 : TENMS = 0x00C350 (50000)*1

*1 : TENMS の値については、HCLK の 1/8 クロックを STCLK に入力し HCLK が 40MHz 時 (1/8 で 5MHz)に 10ms となる値に設定しています。
HCLK はクロック制御部にてほかの周波数に変更可能ですが、TENMS の値が必ず 10ms を示すわけではありません。よって HCLK の周波数にあわせて適切な割込みタイミングの計算をしてください。

DWT(データウォッチポイント&トレースユニット)

本ファミリでは、デバッグ機能として DWT を搭載しています。
DWT は 4 つのコンパレータを持ち、各コンパレータをハードウェア・ウォッチポイントに設定できます。

BPU(ブレークポイント)

BPU は命令フェッチに対するブレークポイント機能をサポートします。

MTB(マイクロトレース バッファ)

本ファミリでは、Cortex-M0+のオプションコンポーネントである、MTB を搭載しており、命令トレースをサポートします。

MTB_DWT は、トレースの開始/停止を制御します。

SW-DP

本ファミリでは、SW-DP を搭載しシリアルワイヤープロトコルをサポートします。

ROM テーブル

ROM テーブルは、外部のデバッグツールにデバッグコンポーネントのアドレス情報を提供します。

Single-cycle I/O port

本ファミリでは、密結合されたペリフェラルへ非常に高速なアクセス可能なシングルサイクル I/O ポートを搭載しています。

2.1 オプション構成

Table 2-1 に Cortex-M0+コアのオプション構成を示します。

Table 2-1 オプション構成

項目	TYPE1-M0+ TYPE2-M0+ TYPE3-M0+
Interrupts	32
Data endianness	Little-endian
SysTick timer	Present
Number of watchpoint comparators	2
Number of breakpoint comparators	4
Halting debug support	Present
Multiplier	Fast
Single-cycle I/O port	Present
Wake-up interrupt controller	Not present
Vector Table Offset Register	Present
Unprivileged/Privileged support	Not present
Memory Protection Unit	Not present
Reset all registers	Present
Instruction fetch width	32-bit
MTB	Present
Debug port	Serial wire (SW-DP) only
Serial wire multi drop support	Not present

3. モード

動作モードの機能について説明します。

本ファミリは、以下の動作モードを使用できます。

■ ユーザモード

内部 ROM(Flash)起動: CPU はリセットベクタを内蔵されているフラッシュメモリから取得し、動作を開始します。

■ シリアルライタモード

内蔵されているフラッシュメモリに、シリアル書込みが可能になります。
*:本モードの詳細はご使用の製品の『フラッシュプログラミングマニュアル』を参照してください。

動作モードは、電源投入リセット、低電圧検出リセット、INITX 端子入力リセットの解除後に決定されます。

*:消費電力制御モードやクロック選択モードについては、別章『低消費電力モード』および『クロック』を参照してください。

動作モード設定方法

動作モードは、MD 端子(MD0)入力により設定します。

TYPE1－M0+ 製品

MD 端子	動作モード
MD0	
0	ユーザモード 内部 ROM(Flash)起動
1	シリアルライタモード

TYPE1－M0+ 以外の製品

MD Pins		Operating Mode
MD1	MD0	
-	0	ユーザモード 内部 ROM(Flash)起動
0	1	シリアルライタモード
1	1	設定禁止

起動シーケンス

起動シーケンスにおける動作モードを決定するプロセスを以下に示します。

1. MD 端子のサンプリング
2. 動作モードの決定とモードデータの保持

以下に、これらのプロセスを説明します。

1. MD 端子のサンプリング

   動作モードは、MD 端子入力(MD0/MD1)により設定されます。これを電源投入リセット、低電圧検出リセット、INITX 端子入力リセットによりサンプリングします。
   サンプリング要因である各リセットが解除されるまでは、MD0/MD1 端子入力を確定してください。

2. 動作モードの決定とモードデータの保持

   各リセットによってサンプリングされた MD0 MD1 は、再び各リセットが入力されるまで保持されます。

   保持された MD0 MD1 から動作モードを決定します。よって、リセット解除後に MD0 MD1 が変化しても、動作モードに影響しません。

CHAPTER 2-1: クロック

動作クロックについて説明します。

1. 概要
2. 構成
3. 動作説明
4. クロック設定手順例
5. レジスタ
6. 使用上の注意点

管理コード: 9AFCLOCK-J03.0

1. 概要

クロック生成部の概要を説明します。

クロック生成部は MCU を動作させるための様々なクロックを生成します。

ソースクロックとは、本 MCU の外部/内蔵発振クロックの総称です。

以下に示す 5 種類のクロックです。

- メインクロック(CLKMO)
- サブクロック(CLKSO)
- 高速 CR クロック(CLKHC)
- 低速 CR クロック(CLKLC)
- メイン PLL クロック(CLKPLL)

ソースクロックから 1 つを選択してください。本章では、選択されたクロックをマスタクロックとよびます。本 MCU を動作させるために使用する、内部バスクロックの生成元になるクロックです。

マスタクロックを分周することにより、ベースクロックが生成されます。また、ベースクロックを分周することにより、各バスクロックが生成されます。

本章では、ベースクロックおよび各バスクロックを内部バスクロックとよびます。内部バスクロックは、以下に示す 3 種類のクロックです。

- ベースクロック(HCLK/ FCLK)
- APB0 バスクロック(PCLK0)
- APB1 バスクロック(PCLK1)

ソースクロック, マスタクロック, 内部バスクロック以外のクロックとして、以下のクロックがあります。

- USB 用 PLLOUT クロック（TYPE3-M0+）
- USB クロック（TYPE2-M0+, TYPE3-M0+）
- ソフトウェアウォッチドッグタイマカウントクロック

クロック生成部の特長を以下に示します。

- メインクロック(CLKMO)の発振安定待ち時間を設定できます。
- メインクロック(CLKMO)の発振安定待ち時間完了割込みを設定できます。
- サブクロック(CLKSO)の発振安定待ち時間を設定できます。
- サブクロック(CLKSO)の発振安定待ち時間完了割込みを設定できます。
- メイン PLL クロック(CLKPLL)の発振安定待ち時間を設定できます。
- メイン PLL クロック(CLKPLL)の発振安定待ち時間完了割込みを設定できます。
- PLL 逓倍率を設定できます。
- マスタクロックを選択できます。
- 各内部バスクロックの分周比を設定できます。
- APB1 バスクロックの動作/停止を選択できます。

- ソフトウェアウォッチドッグタイマのカウントクロック分周比を設定できます。
- ソフトウェアウォッチドッグタイマのカウントクロックの動作/停止を設定できます。
- デバッグ時のウォッチドッグタイマのカウント動作を設定できます。
- クロック関連の割込みイネーブル, 割込みステータス確認, 割込み要因クリアの各レジスタを持ちます。

2. 構成

クロック生成部の構成を説明します。

ソースクロック

ソースクロックとは本 MCU の外部/内蔵発振クロックの総称です。以下に示す 5 種類があります。

■ メインクロック(CLKMO)

CLKMO は、メインクロック発振端子(X0, X1)に水晶振動子などを接続して生成させるか、外部クロックを入力したクロックです。

■ サブクロック(CLKSO)

CLKSO は、サブクロック発振端子(X0A, X1A)に水晶振動子などを接続して生成させるか、外部クロックを入力したクロックです。

■ 高速 CR クロック(CLKHC)

CLKHC は、内蔵高速 CR 発振器の出力クロックです。

■ 低速 CR クロック(CLKLC)

CLKLC は、内蔵低速 CR 発振器の出力クロックです。

(注意事項) TYPE1-M0+製品、TYPE2-M0+製品の場合、低速 CR クロックは低速 CR クロックプリスケーラ後のクロックです。低速 CR クロックプリスケーラの詳細については『低速 CR クロックプリスケーラ』を参照してください。

TYPE3-M0+製品の場合、低速 CR クロックは、内臓低速 CR 発振器の出力クロックが直接接続されています。

■ メイン PLL クロック(CLKPLL)

発振クロック、もしくは高速 CR クロックを PLL クロック逓倍回路(PLL 発振回路)によって逓倍したクロックです。

マスタクロック

ソースクロックから選択された信号をマスタクロックとよびます。マスタクロックは、すべてのバスクロックの元になるクロックです。

マスタクロックの値は『データシート』の「交流規格」の「内部動作クロック周波数: Fcc (ベースクロック (HCLK/FCLK))」の最大値を超えないでください。

(注意事項)下記のクロックをマスタクロックに使用する場合は『APPENDIXES』の『E. 注意事項一覧』の『1. 高速 CR をマスタクロックに使用する場合の注意事項』を参照してください。

- 高速 CR クロック
- メイン PLL クロック(PLL の入力クロックに高速 CR クロックを選択した場合)

内部バスクロック

以下の信号は内部生成されたバスクロックです。

■ ベースクロック(HCLK/FCLK)

HCLK/FCLK を合わせてベースクロックとよびます。HCLK/FCLK 両方が CPU に供給されます。HCLK は AHB バスに接続されているマクロ用のクロックです。
マスタクロックの 1～16 分周を設定できます。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
また、CPU はスリープモード時に HCLK のみ供給を停止します。FCLK は供給し続けます。

■ APB0 バスクロック(PCLK0)

PCLK0 は、APB0 バスに接続された周辺マクロ用クロックです。
ベースクロックの 1～8 分周を設定できます。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。

■ APB1 バスクロック(PCLK1)

PCLK1 は、APB1 バスに接続された周辺マクロ用クロックです。
ベースクロックの 1～8 分周を設定できます。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
また、レジスタでクロック供給を停止することも可能です。

ソースクロック，内部バスクロック以外のクロック

■ USB 用 PLLOUT クロック(TYPE3-M0+)

メイン PLL ブロックの内部でこのクロックを使用することに加えて、TYPE3-M0+製品の USB は、USB クロックのソースとして、PLLOUT クロックを使用することができます。詳細については、『通信マクロ編』の『USB クロック生成』を参照してください。

■ USB クロック（TYPE2-M0+, TYPE3-M0+）

USB が通信で使用する 48MHz のクロックを生成します。USB クロックの動作設定は『通信マクロ編』の『USB クロック生成』を参照してください。

■ ソフトウェアウォッチドッグタイマ　カウントクロック(SWDOGCLK)

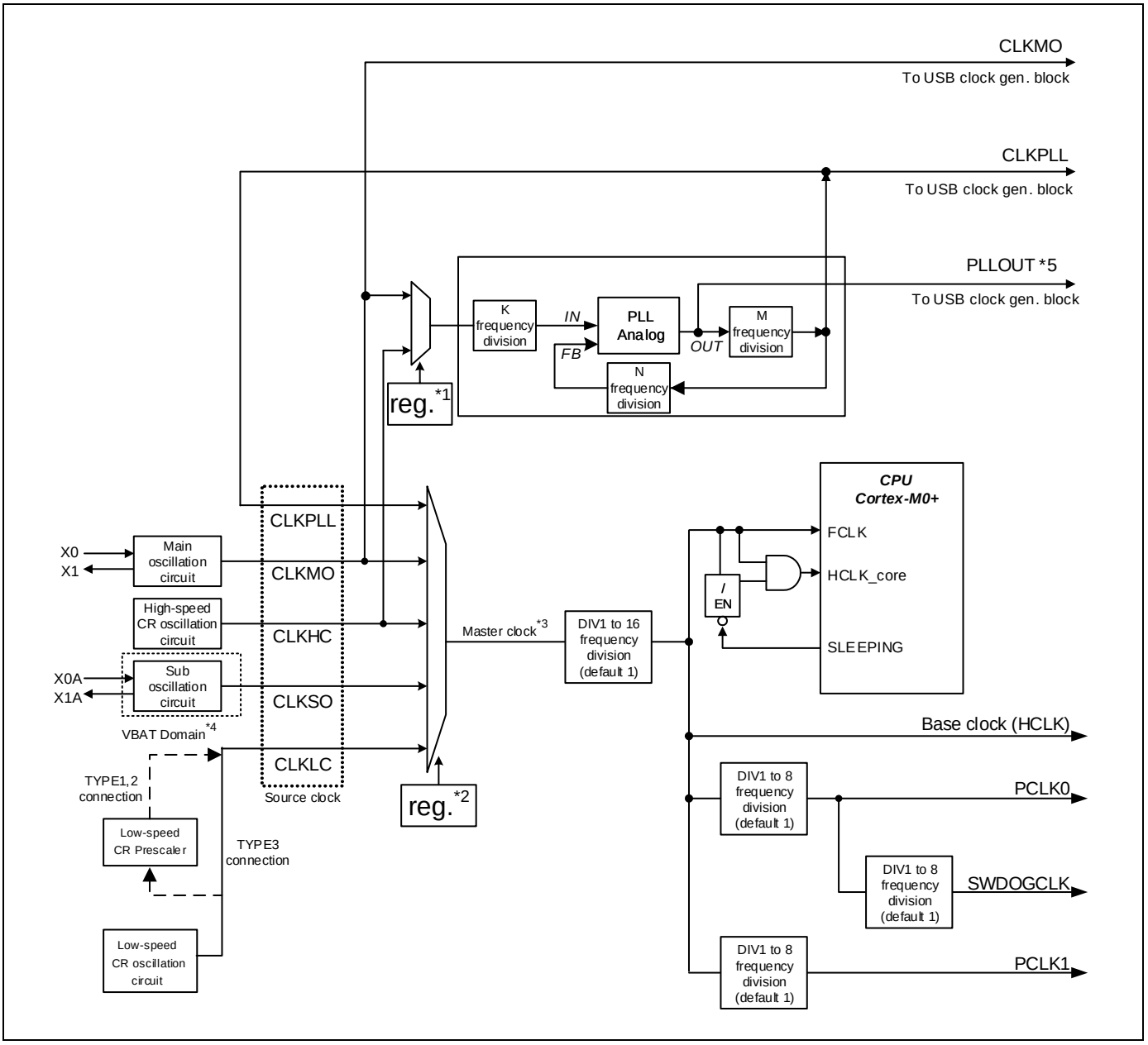
SWDOGCLK は、APB0 バスに接続されたソフトウェアウォッチドッグタイマ用クロックです。
APB0 バスクロックの 1～8 分周を設定できます。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。

ソフトウェアウォッチドッグタイマの動作設定は、『タイマ編』の『ウォッチドッグタイマ』を参照してください。

ブロックダイヤグラム

Figure 2-1 にクロック生成部のブロックダイヤグラムを示します。

Figure 2-1 クロック生成部　ブロックダイヤグラム



*1: PSW_TMR:PINC (PLL 入力クロック選択ビット)

*2: SCM_CTL:RCS (マスタクロック切換え制御ビット)

*3: マスタクロック周波数は、ベースクロック(HCLK/FCLK)周波数の最大値を超えないでください。ベースクロック(HCLK/FCLK)周波数の最大値については、ご使用の製品の『データシート』の「交流規格」を参照してください。

*4: TYPE2-M0+製品では、サブ発振回路は別の独立したパワードメインにあります。詳細については『VBATドメイン』を参照してください。

*5: TYPE3-M0+製品では、PLLOUT クロックは USB クロックのソースクロックとして使用できます。

3. 動作説明

クロック生成部について説明します。

3.1 クロックモード選択

クロックモード定義(マスタクロック選択)

MCU のクロックモードはシステムクロックモード制御レジスタで選択されたソースクロックで定義されます。クロックモードには、メインクロックモード, サブクロックモード, 高速 CR クロックモード, 低速 CR クロックモード, メイン PLL クロックモードの 5 種類があります。

■ メインクロックモード

メインクロックモードでは、メインクロック(CLKMO)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

メイン PLL クロック(CLKPLL)はシステムクロックモード制御レジスタ(SCM_CTL)の PLLE ビットの設定によって、サブクロック(CLKSO)はシステムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビットの設定によって、高速 CR クロック(CLKHC)はシステムクロックモード制御レジスタ(SCM_CTL)の HCRE ビットの設定によって、状態を決定できます。ただし、CSV 制御レジスタ(CSV_CTL)の MCSVE/FCSDE ビットの設定により、高速 CR クロック(CLKHC)は動作します。低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

■ サブクロックモード

サブクロックモードでは、サブクロック(CLKSO)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

メインクロック(CLKMO), 高速 CR クロック(CLKHC), メイン PLL クロック(CLKPLL)はハードウェアで停止します。低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

■ 高速 CR クロックモード

高速 CR クロックモードでは、高速 CR クロック(CLKHC)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

メインクロック(CLKMO), メイン PLL クロック(CLKPLL), サブクロック(CLKSO)は、システムクロックモード制御レジスタ(SCM_CTL)の MOSCE, PLLE, SOSCE ビットの設定によって状態を決定できます。高速 CR クロック(CLKHC), 低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

■ 低速 CR クロックモード

低速 CR クロックモードでは、低速 CR クロック(CLKLC)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

また、低速 CR クロックモード時、メインクロック(CLKMO), 高速 CR クロック(CLKHC), メイン PLL クロック(CLKPLL)はハードウェアで停止します。サブクロック(CLKSO)は、システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビットの設定によって状態を決定できます。

■ メイン PLL クロックモード

メイン PLL クロックモードでは、メイン PLL クロック(CLKPLL)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

サブクロック(CLKSO)は、システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビットの設定によって状態を決定できます。高速 CR クロック(CLKHC)は、レジスタ設定により状態を決定できます。詳細は別章『低消費電力モード』を参照してください。メインクロック(CLKMO)は PLL クロック安定待ち時間設定レジスタ

(PSW_TMR)の PINC ビットとシステムクロックモード制御レジスタ(SCM_CTL)の MOSCE ビットによって状態を決定できます。低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

3.2 内部バスクロック分周制御

内部バスクロック分周について説明します。

内部バスクロックは、それぞれ独立してベースクロックからの分周比を設定できます。
この機能により、各回路に最適な動作周波数を設定できます。

内部バスクロック周波数の最大値については、製品ごとに異なります。詳細はご使用の製品の『データシート』を参照してください。

内部バスクロックの分周比は、ベースクロックプリスケーラレジスタ(BSC_PSR), APB0 プリスケーラレジスタ(APBC0_PSR), APB1 プリスケーラレジスタ(APBC1_PSR)にて設定します。各レジスタの詳細は「5. レジスタ」を参照してください。

バスクロック分周設定

- 分周設定比はソフトウェアリセットではクリアされず、ソフトウェアリセット発生前の設定が保持されています。
- ソフトウェアリセット以外のリセット発生によって初期化されます。
  初期状態からマスタクロックを、より高速なソースクロックに変更する前に、必ず分周比を設定してください。
- マスタクロックの選択, PLL の逓倍率の設定, 分周比の設定の組合せで、各内部バスの最大動作周波数を超える設定をした場合、動作は保証されません。

3.3 PLL クロック制御

PLL クロック制御を説明します。

PLL クロック制御回路は、メインクロックまたは高速 CR からのメイン PLL クロック生成に使用されます。PLL 発振回路について、動作(発振)許可・禁止，入力クロック選択，安定待ち時間設定および逓倍設定を行うことが可能です。

PLL 動作説明

以下に、メイン PLL クロック動作について説明します。

- PLL クロック発振安定待ち時間設定レジスタ(PSW_TMR)により、以下の設定を行います。
  - PLL の入力クロック選択
  - メイン PLL クロックの安定待ち時間の設定
- システムクロックモード制御レジスタ(SCM_CTL)の PLL 発振許可ビット(PLLE)を"1"にセットすることで、PLL 回路が発振を開始します。
- PLL クロック安定待ち時間経過後、システムクロックモード状態レジスタ(SCM_STR)の「PLL 発振安定ビット」が安定状態を示すことでメイン PLL クロックモードへの遷移準備が完了します。
- システムクロックモード制御レジスタ(SCM_CTL)のマスタクロック切換え制御ビット(RCS[2:0])をメイン PLL クロックモード(RCS[2:0]=010)に設定することで、メイン PLL クロックモードへと遷移します。

メイン PLL クロックの発振安定待ち時間の設定

「5.8 PLL クロック安定待ち時間設定レジスタ(PSW_TMR)」を参照してください。

<注意事項>

- *PLL クロック制御回路のブロックダイヤグラムは「2. 構成」を参照してください。*
- *各内部バスクロックの分周設定手順については、「4. クロック設定手順例」を参照してください。*
- *発振安定待ち時間については「3.4 発振安定待ち時間」を参照してください。*
- *PLL の入力クロックに高速 CR を選択する場合は『APPENDIXES』の『E. 注意事項一覧』の『1. 高速 CR をマスタクロックに使用する場合の注意事項』を参照してください。*

メイン PLL クロック生成のための逓倍率設定

PLL 制御レジスタ 1(PLL_CTL1)および PLL 制御レジスタ 2(PLL_CTL2)にて、PLL 逓倍回路における各分周クロックです。Table 3-1 と Table 3-2 に分周設定例を示します。

Table 3-1 PLL 逓倍率設定例 (TYPE1-M0+, TYPE2-M0+)

入力クロック	K	PLLin	N	PLLout	M	CLKPLL
4MHz	1	4MHz	2	80MHz	10	8MHz
4MHz	1	4MHz	4	80MHz	5	16MHz
4MHz	1	4MHz	5	80MHz	4	20MHz
4MHz	1	4MHz	6	120MHz	5	24MHz
4MHz	1	4MHz	9	108MHz	3	36MHz
4MHz	1	4MHz	10	80MHz	2	40MHz
8MHz	1	8MHz	5	80MHz	2	40MHz
8MHz	2	4MHz	10	80MHz	2	40MHz
12MHz	3	4MHz	10	80MHz	2	40MHz
16MHz	2	8MHz	5	80MHz	2	40MHz
16MHz	4	4MHz	10	80MHz	2	40MHz
24MHz	3	8MHz	5	80MHz	2	40MHz

Table 3-2 PLL 逓倍率設定例 (TYPE3-M0+)

入力クロック	K	PLLin	N	PLLout	M	CLKPLL
8 MHz	1	8 MHz	2	80 MHz	5	16 MHz
8 MHz	1	8 MHz	3	96 MHz	4	24 MHz
8 MHz	1	8 MHz	4	96 MHz	3	32 MHz
8 MHz	1	8 MHz	5	80 MHz	2	40 MHz
12 MHz	1	12 MHz	3	144 MHz	4	36 MHz
16 MHz	2	8 MHz	5	80 MHz	2	40 MHz
24 MHz	3	8 MHz	5	80 MHz	2	40 MHz
48MHz	6	8MHz	5	80MHz	2	40MHz

<注意事項>

- *PLL の特性はご使用の製品の『データシート』を参照してください。*
- *PLLin は『データシート』の「PLL 入力クロック周波数 : f_{PLLI}」の範囲内にしてください。*
- *「M ×N」の値が PLLin に対する逓倍率になります。この値が『データシート』の「PLL 逓倍率」の範囲内にしてください。*
- *PLLin が「M ×N」逓倍された周波数が PLLout になります。この値が『データシート』の「PLL マクロ発振クロック周波数 : f_{PLLO}」の範囲内にしてください。*
- *PLLout が「M」分周された値が CLKPLL になります。*
- *PLL と分周器の構成は Figure 2-1 を参照してください。*
- *マスタクロック/ CLKPLL の値は『データシート』の「交流規格」の「内部動作クロック周波数: Fcc (ベースクロック(HCLK/FCLK))」の最大値を超えないでください。*
- *TYPE3-M0+製品では、PLLout クロックを USB クロック生成のクロックソースとして使用できます。『通信マクロ編』の『USB クロック生成部』を参照してください。*

3.4 発振安定待ち時間

発振安定待ち時間を説明します。

ソースクロックが安定動作状態になっていない場合、発振安定待ち時間が必要です。発振安定待ち時間中は、内部および外部のクロック供給は停止し、内蔵タイムカウンタのみが動作して、クロック安定待ち時間レジスタ(CSW_TMR)、または PLL クロック発振安定待ち時間設定レジスタ(PSW_TMR)にて設定された安定待ち時間の経過を待ちます。発振安定待ち時間が経過すると、対応する発振器の準備は完了し、クロックをマスタクロックとして使用できます。

発振安定待ち時間のカウント方式

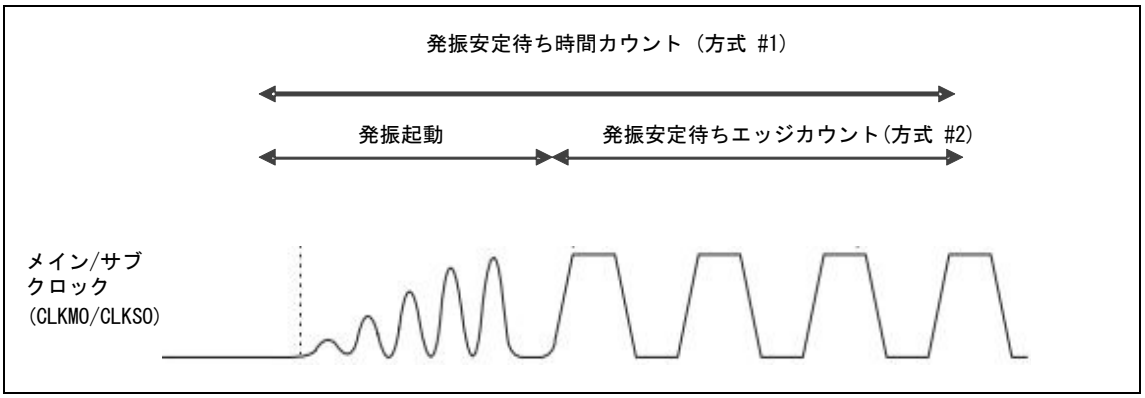
- メイン/サブクロック(CLKMO/CLKSO)の発振安定待ち時間をカウントする方式は 2 種類あります。

1. メイン/サブクロック(CLKMO/CLKSO)の発振安定待ち時間を内蔵 CR クロック(CLKHC/CLKLC)によってカウントします。発振安定待ち時間が経過すると、メイン/サブクロック(CLKMO/CLKSO)は安定状態となります。
2. メイン/サブクロック(CLKMO/CLKSO)の発振安定待ち時間をメイン/サブクロック(CLKMO/CLKSO)自身の立上りエッジによってカウントします。

- 各カウント方式で発振安定するために必要な時間の設定を行います。

- 下図は発振安定待ち時間のカウント方式の例です。

Figure 3-1 発振安定待ち時間カウント方式



- 発振安定待ち時間のカウント方式はクロック監視機能が有効か無効かによって選択されます。

  CSV_CTL.FCSDE=0 かつ CSV_CTL.MCSVE=0 時 : CLKMC の立上りエッジカウント方式 2 が選択されます。
  CSV_CTL.FCSDE=1 または CSV_CTL.MCSVE=1 時 : CLKHC によるカウント方式 1 が選択されます。
  CSV_CTL.SCSVE=0 時 : CLKSC の立上りエッジカウント方式 2 が選択されます。
  CSV_CTL.SCSVE=1 時 : CLKLC によるカウント方式 1 が選択されます。

発振安定待ち時間の優先順位

いくつかのクロックがモード移行によって発振を開始すると、クロック制御部は、優先度の指定された順序に応じてクロックのそれぞれの発振安定待ち時間をカウントします。

■ メインクロックモードへの移行
- MCSV もしくは FCS がイネーブルの時
  低速 CR ⇒ サブ OSC ⇒ 高速 CR ⇒ PLL(高速 CR 入力) ⇒ メイン OSC ⇒ PLL（メイン OSC 入力）
- MCSV と FCS がディネーブルの時
  低速 CR ⇒ サブ OSC ⇒ メイン OSC ⇒ PLL(メイン OSC 入力) ⇒ 高速 CR ⇒ PLL（高速 CR 入力）

■ サブクロックモードへの移行
低速 CR ⇒ サブ OSC

■ 高速 CR クロックモードへの移行
低速 CR ⇒ サブ OSC ⇒ 高速 CR ⇒ PLL（高速 CR 入力）⇒ メイン OSC ⇒ PLL（メイン OSC 入力）

■ 低速 CR クロックモードへの移行
低速 CR ⇒ サブ OSC

■ メインクロック PLL モードへの移行
- MCSV もしくは FCS がイネーブルの時
  低速 CR ⇒ サブ OSC ⇒ 高速 CR ⇒ メイン OSC ⇒ PLL（メイン OSC 入力）
- MCSV と FCS がディネーブルの時
  低速 CR ⇒ サブ OSC ⇒ メイン OSC ⇒ PLL（メイン OSC 入力）⇒ 高速 CR

■ 高速クロック PLL モードへの移行
低速 CR ⇒ サブ OSC ⇒ 高速 CR ⇒ PLL（高速 CR 入力）⇒ メイン OSC

発振安定待ち時間の設定

■ メインクロック(CLKMO)
クロック安定待ち時間レジスタ(CSW_TMR)にて、メインクロックの安定待ち時間を設定してください。設定した安定待ち時間は CLKHC(クロック監視機能許可時)/CLKMO(メインクロック監視機能禁止時)にてカウントされます。

■ サブクロック(CLKSO)
クロック安定待ち時間レジスタ(CSW_TMR)にて、サブクロックの安定待ち時間を設定してください。設定した安定待ち時間は CLKLC(サブ CSV 機能許可時)/CLKSO(サブ CSV 機能禁止時)にてカウントされます。

■ メイン PLL クロック
PLL クロック発振安定待ち時間設定レジスタ(PSW_TMR)により、以下の設定をしてください。設定した安定待ち時間は CLKPLL にてカウントされます。
- PLL の入力クロック選択
- メイン PLL クロックの安定待ち時間の設定

発振安定待ち発生要因

■ ソフトウェアでの発振許可後
システムクロックモード制御レジスタ(SCM_CTL)の PLL 発振許可ビット(PLLE), サブクロック発振許可ビット(SOSCE), メインクロック発振許可ビット(MOSCE)と高速 CR 発振許可ビット (HCRE)を"1"に設定することで、各発振器は発振安定待ち時間を待ちます。

■ RTC モードからの時計カウンタ割込み, RTC 割込み, 外部割込み復帰時
時計カウンタ割込み, RTC 割込み, 外部割込みにて RTC モード前のクロックモードに復帰します。RTC モード時はハードウェアが自動で発振安定待ち時間を待ちます。

■ ストップモードからの外部割込み復帰時
外部割込みにてストップモード前のクロックモードに復帰します。ストップモード時はすべてのソースクロックが停止しているため、ハードウェアが自動で発振安定待ち時間を待ちます。

■ PLL 動作許可後
PLL 動作許可後、PLL 発振安定待ち時間を待ちます。

＜注意事項＞

- *各発振安定待ち時間の設定値変更は、クロック許可前に行ってください。*
- *ソフトウェアリセット後は発振安定待ち時間を待ちません。*
- *クロック安定待ち時間設定分のカウント終了にて、発振安定待ち完了フラグが立ちますので、各発振器の状態とは独立しています。そのため、発振安定待ち時間の設定が短すぎる場合、発振器の発振安定前に、発振安定待ち時間が完了してしまうことがあります。*
- *メインクロック発振器とサブクロック発振器の安定待ち時間は、発振子の種類(水晶, セラミックなど)によって異なるため、使用する発振子に対して適切な発振安定待ち時間を選択してください。*
- *PLL 発振安定待ち時間はご使用の製品の『データシート』の「電気的特性：PLL クロック」の LOCKUP 時間」を参照の上、設定してください。*

3.5 割込み要因

クロック関係の割込み要因について説明します。

クロック生成部は以下の割込み要因を持ちます。

割込み要因

クロック生成部は以下の 4 種類の割込み要因があります。

■ FCS(異常周波数検出)割込み

FCS(異常周波数検出)機能を有効にし、メインクロックの異常周波数を検出した際に割込みが発生します。

■ メイン PLL クロック発振安定待ち完了割込み

メイン PLL クロック発振安定待ち完了により、割込みが発生します。

■ サブクロック発振安定待ち完了割込み

サブクロック発振安定待ち完了により、割込みが発生します。

■ メインクロック発振安定待ち完了割込み

メインクロック発振安定待ち完了により、割込みが発生します。

レジスタ

各割込み要因について以下の 3 種類のレジスタがあります。

■ 割込みイネーブルレジスタ (INT_ENR)

各割込みのイネーブル設定を行います。

■ 割込み状態レジスタ (INT_STR)

各割込みの状態を示します。このレジスタはリードオンリです。

■ 割込み要因クリアレジスタ (INT_CLR)

各割込み要因のクリアを行います。このレジスタはライトオンリです。

4. クロック設定手順例

4.1 設定手順例（TYPE1-M0+, TYPE3-M0+）

TYPE1-M0+, TYPE3-M0+製品のクロック設定手順例を示します。

Figure 4-1 クロック設定手順例 (電源投入→高速 CR ランモード→希望するクロックモード)

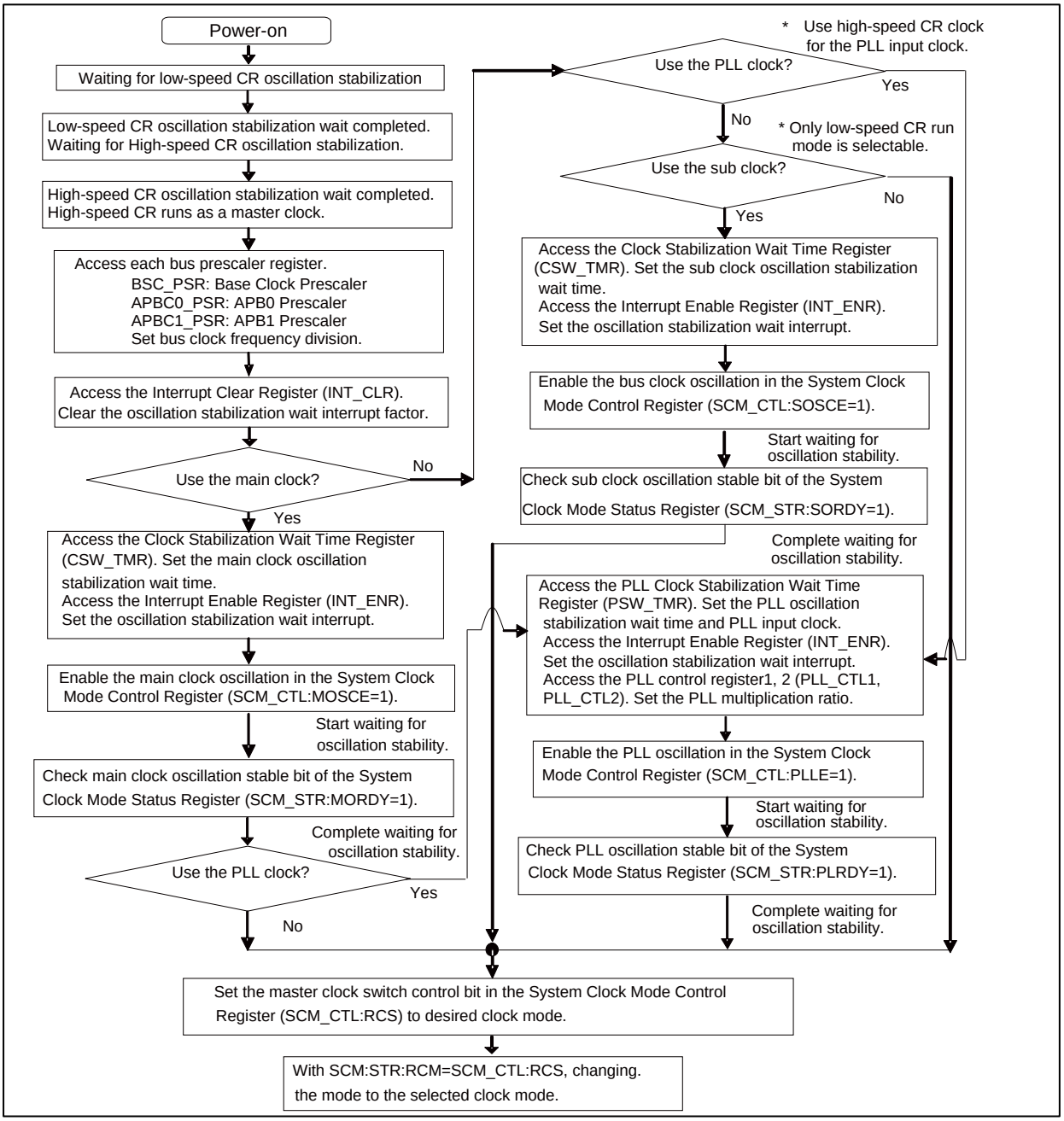
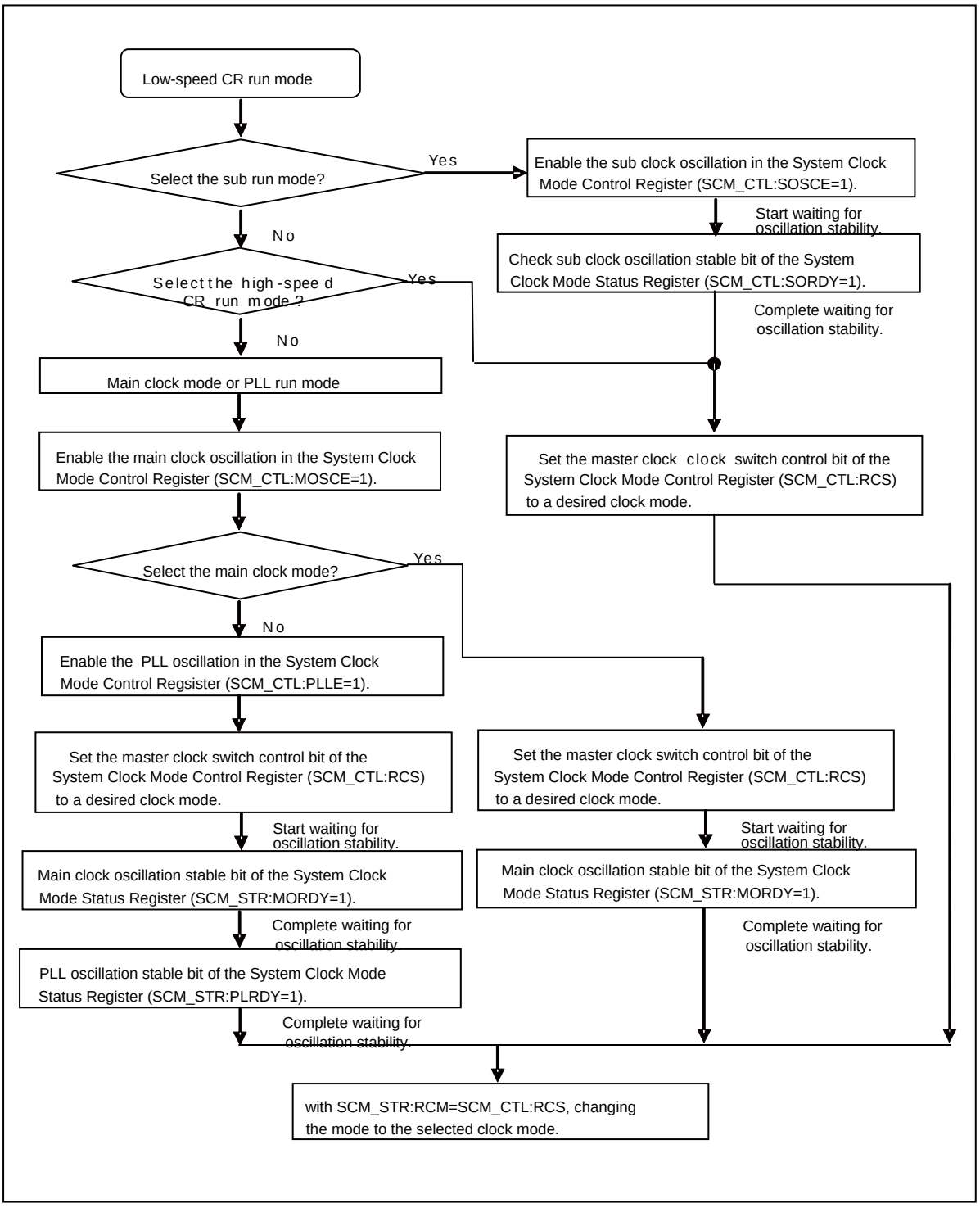


Figure 4-2 クロック設定手順例 (低速 CR ランモード→希望するクロックのランモード)



＜注意事項＞

- *Figure 4-2 では各クロックの発振安定待ち時間の設定，割込みの設定, PLL 逓倍設定およびバスクロックの分周設定は既に、設定済みであるものとして省略しています。*
- *サブクロックモード，低速 CR クロックモード時は、メインクロック(CLKMO)，高速 CR クロック(CLKHC)，メイン PLL クロック(CLKPLL)はハードウェアで停止しているため、CLKMO, CLKHC, CLKPLL は各発振許可設定ビット=1 だけでは発振は開始しません。各発振許可設定ビット=1 かつ、SCM_CTL:RCS を変更することにより、発振が開始します。*
- *メインクロック/サブクロック発振安定待ち時間の設定が短く、各発振器の安定前に発振安定待ち時間が完了した場合、クロック監視機能によりリセットされることがあります。*

4.2 設定手順例（TYPE2-M0+）

TYPE2-M0+製品のクロック設定手順例を示します。

Figure 4-3 クロック設定手順例 (電源投入→高速 CR ランモード→希望するクロックモード)

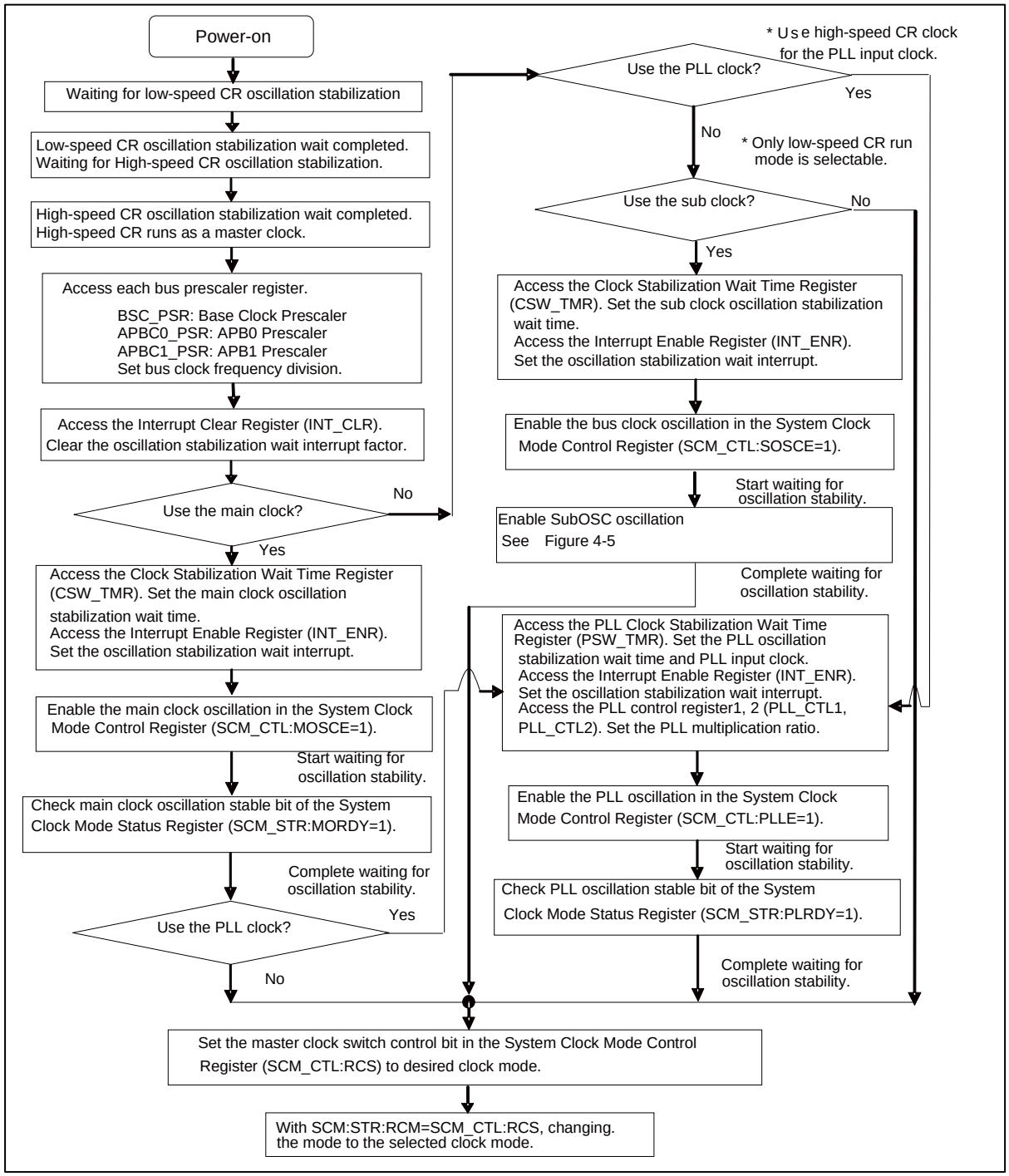
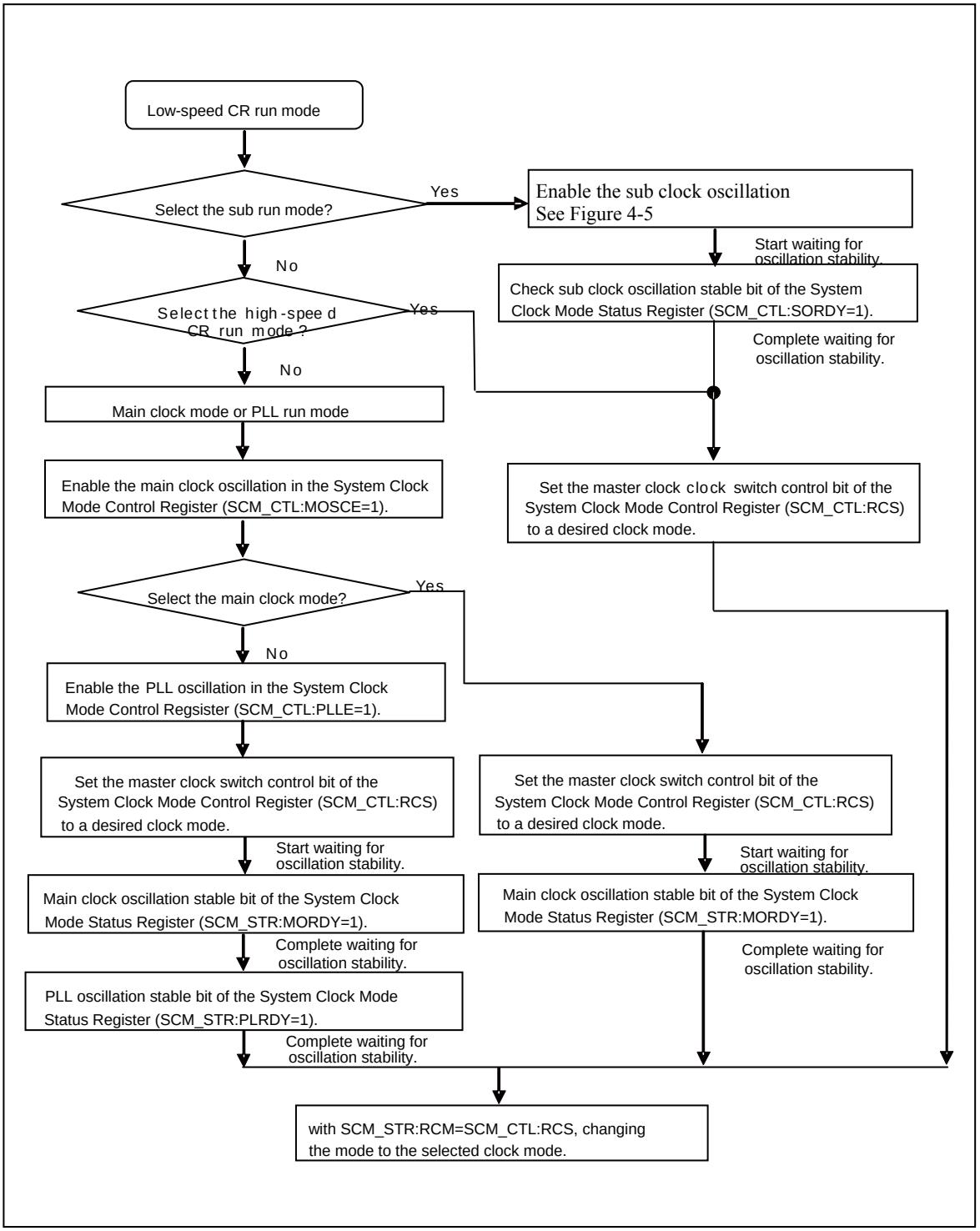


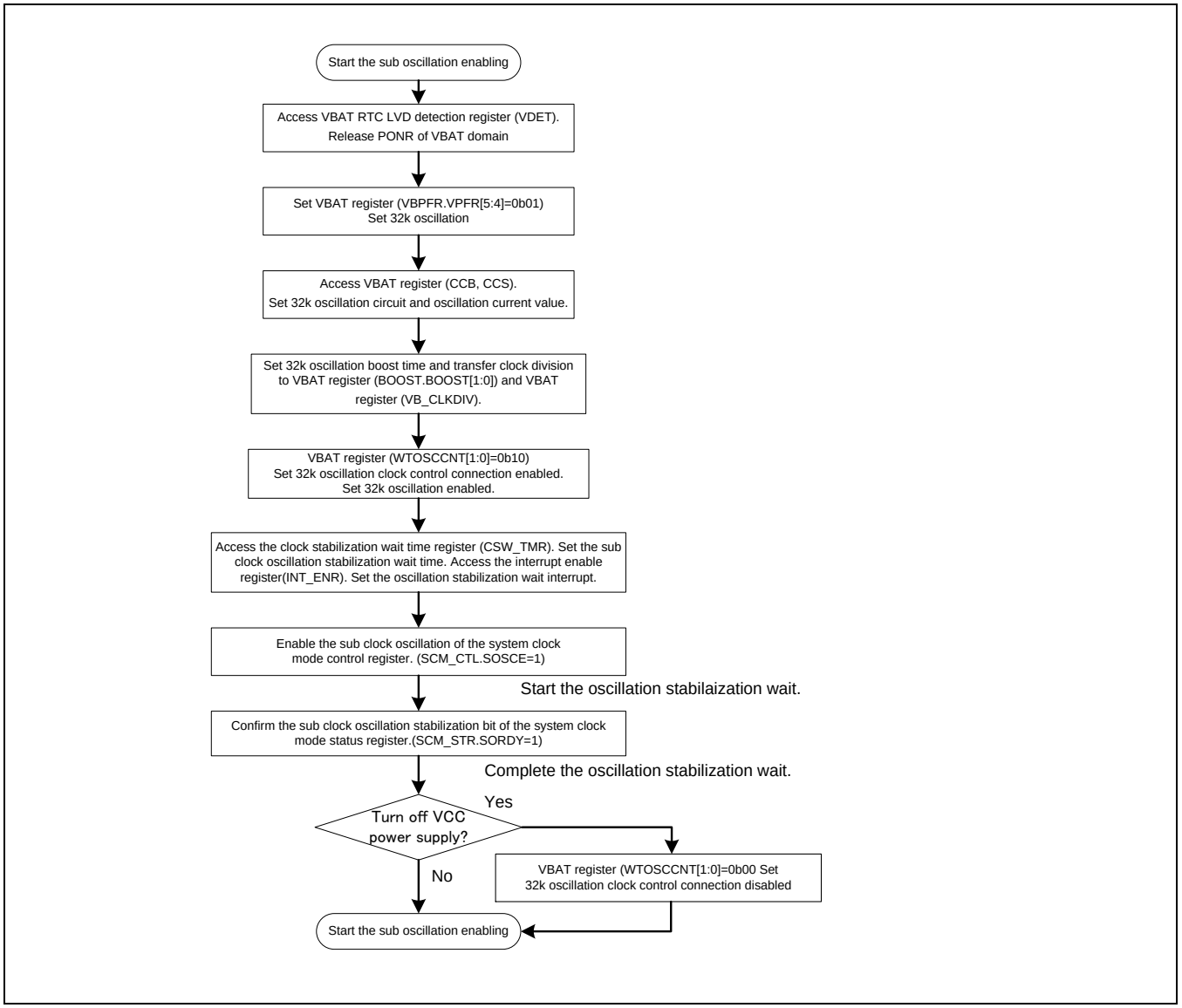
Figure 4-4 クロック設定手順例 (低速 CR ランモード→希望するクロックのランモード)



- *＜注意事項＞*

- *Figure 4-2 では各クロックの発振安定待ち時間の設定，割込みの設定, PLL 逓倍設定およびバスクロックの分周設定は既に、設定済みであるものとして省略しています。*
- *サブクロックモード，低速 CR クロックモード時は、メインクロック(CLKMO)，高速 CR クロック(CLKHC)，メイン PLL クロック(CLKPLL)はハードウェアで停止しているため、CLKMO, CLKHC, CLKPLL は各発振許可設定ビット=1 だけでは発振は開始しません。各発振許可設定ビット=1 かつ、SCM_CTL:RCS を変更することにより、発振が開始します。*
- *メインクロック/サブクロック発振安定待ち時間の設定が短く、各発振器の安定前に発振安定待ち時間が完了した場合、クロック監視機能によりリセットされることがあります。*

Figure 4-5 サブ発振の設定手順例



＜注意事項＞

- *VBAT RTC 32k 発振ブースト設定時間（BOOST:BOOST[1:0]）よりも長いサブクロック発振安定待ち時間（SCM_CTL.SOWT）をセットします。*
- *以下の設定の組み合わせは禁止されています。*
  - *VBAT レジスタの 32k 発振クロック制御リンクがディセーブル（WTOSCCNT.SOSCNTL=0）かつ、32k 発振がディセーブル(WTOSCCNT.SOSCEX=1)の時、システムクロックモード制御レジスタのサブクロックモード発信設定の組み合わせがイネーブル（SCM_CTL.SOSCE=1）かつ、CSV 制御レジスタのサブCSV 機能がイネーブル(CSV_CTL.SVSVE=1)となる設定は禁止です。*
- *『VBAT RTC』の詳細は、『VBAT ドメイン』の章を参照してください。*

5. レジスタ

クロック生成部のレジスタについて説明します。

クロック生成部のレジスター一覧

Table 5-1 クロック生成部のレジスター一覧

レジスタ略称	レジスタ名	参照先
SCM_CTL	システムクロックモード制御レジスタ	5.1
SCM_STR	システムクロックモード状態レジスタ	5.2
BSC_PSR	ベースクロックプリスケーラレジスタ	5.3
APBC0_PSR	APB0 プリスケーラレジスタ	5.4
APBC1_PSR	APB1 プリスケーラレジスタ	5.5
SWC_PSR	ソフトウェアウォッチドッグクロックプリスケーラレジスタ	5.6
CSW_TMR	クロック安定待ち時間レジスタ	5.7
PSW_TMR	PLL クロック安定待ち時間設定レジスタ	5.8
PLL_CTL1	PLL 制御レジスタ 1	5.9
PLL_CTL2	PLL 制御レジスタ 2	5.10
DBWDT_CTL	デバッグブレークウォッチドッグタイマ制御レジスタ	5.11
INT_ENR	割込みイネーブルレジスタ	5.12
INT_STR	割込み状態レジスタ	5.13
INT_CLR	割込みクリアレジスタ	5.14

5.1 システムクロックモード制御レジスタ(SCM_CTL)

システムクロックモード制御レジスタ(SCM_CTL)はマスタクロックの選択およびクロックの発振許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	RCS[2:0]			PLLE	SOSCE	予約	MOSCE	HCRE
属性	R/W			R/W	R/W	-	R/W	R/W
初期値	000			0	0	-	0	1

レジスタ機能

[bit7:5] RCS2～RCS0： マスタクロック切換え制御ビット

bit7	bit6	bit5	説明
0	0	0	高速 CR クロック[初期値]
0	0	1	メインクロック
0	1	0	メイン PLL クロック
0	1	1	設定禁止
1	0	0	低速 CR クロック
1	0	1	サブクロック
1	1	0	設定禁止
1	1	1	設定禁止

[bit4] PLLE : PLL 発振許可ビット

bit	説明
0	PLL 発振禁止[初期値]
1	PLL 発振許可

[bit3] SOSCE： サブクロック発振許可ビット

bit	説明
0	サブクロック発振禁止[初期値]
1	サブクロック発振許可

[bit2] 予約 ： 予約ビット

読出し値は不定です。書き込みは動作に影響しません。

[bit1] MOSCE： メインクロック発振許可ビット

bit	説明
0	メインクロック発振禁止[初期値]
1	メインクロック発振許可

[bit0] HCRE : 高速 CR クロック発振許可ビット

bit	説明
0	高速 CR クロック発振禁止
1	高速 CR クロック発振許可[初期値]

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*
- *クロックモードを変更する場合、遷移先のクロックの発振許可を設定してから、クロック切換え制御ビット(SCM_CTL:RCS[2:0])を変更してください。*
- *RTC モード制御レジスタ(PMD_CTL)の RTCE ビットが"1"の時、SOSCE ビット, SORDY ビットの値に関わらずサブクロック発振許可状態になります。*
- *PMD_CTL:RTCE ビットへの"1"書込みは、SORDY ビットが"1"の時のみ有効です。*
- *RTC モード, ディープスタンバイ RTC モードを搭載していない製品には PMD_CTL:RTCE ビットがありません。『低消費電力モード』の章の Table 1-1 を参照してください。*
- *CSV 制御レジスタ(CSV_CTL)の FCSDE ビットが"1"の時、もしくは MCSVE ビットが"1"の時、HCRE ビットの値に関わらず高速 CR クロック発振許可状態になります。*
- *TYPE2-M0+製品では、最初に電源が投入された後、サブクロック発振を動作させるために VBAT RTC のレジスタを設定する必要があります。サブクロック発振動作については、Figure 4-5 を参照してください。*
- *いずれかのクロックが安定待ち状態の時に、それ以外のクロックを発振許可にすることは禁止です。*

5.2 システムクロックモード状態レジスタ(SCM_STR)

システムクロックモード状態レジスタ(SCM_STR)はマスタクロックの選択状態およびクロックの発振安定待ち状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	RCM[2:0]			PLRDY	SORDY	予約	MORDY	HCRDY
属性	R			R	R	-	R	R
初期値	000			0	0	-	0	1

レジスタ機能

[bit7:5] RCM2～RCM0： マスタクロックの選択状態ビット

bit7	bit6	bit5	説明
0	0	0	高速 CR クロック[初期値]
0	0	1	メインクロック
0	1	0	メイン PLL クロック
0	1	1	設定禁止
1	0	0	低速 CR クロック
1	0	1	サブクロック
1	1	0	設定禁止
1	1	1	設定禁止

[bit4] PLRDY : PLL 発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

[bit3] SORDY： サブクロック発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

[bit2] 予約 ： 予約ビット

読出し値は不定です。書き込みは動作に影響しません。

[bit1] MORDY： メインクロック発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

[bit0] HCRDY : 高速 CR クロック発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態
1	安定状態[初期値]

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*
- *RTC モード制御レジスタ(PMD_CTL)の RTCE ビットが"1"の時、SOSCE ビット, SORDY ビットの値に関わらずサブクロック発振許可状態になります。*
- *PMD_CTL:RTCE ビットへの"1"書込みは、SORDY ビットが"1"の時のみ有効です。*

5.3 ベースクロックプリスケーラレジスタ(BSC_PSR)

ベースクロックプリスケーラレジスタ(BSC_PSR)はベースクロックの分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						BSR	
属性			-				R/W	
初期値			-				000	

レジスタ機能

[bit7:3] 予約 : 予約ビット

本ビットからは、"0b00000"が読み出されます。書込みの場合には、"0b00000"を設定してください。

[bit2:0] BSR : ベースクロック分周比設定ビット

bit2	bit1	bit0	説明
0	0	0	1/1[初期値]
0	0	1	1/2
0	1	0	1/3
0	1	1	1/4
1	0	0	1/6
1	0	1	1/8
1	1	0	1/16
1	1	1	設定禁止

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.4 APB0 プリスケーラレジスタ(APBC0_PSR)

APB0 プリスケーラレジスタ(APBC0_PSR)は APB0 バスクロックの分周を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						APBC0	
属性	-						R/W	
初期値	-						00	

レジスタ機能

[bit7:2] 予約 : 予約ビット

本ビットからは、"0b000000"が読み出されます。書込みの場合には、"0b000000"を設定してください。

[bit1:0] APBC0 : APB0 バスクロック分周設定ビット

bit1	bit0	説明
0	0	1/1[初期値]
0	1	1/2
1	0	1/4
1	1	1/8

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.5 APB1 プリスケーラレジスタ(APBC1_PSR)

APB1 プリスケーラレジスタ(APBC1_PSR)は APB1 バスクロックの分周を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	APBC1EN	予約		APBC1RST	予約		APBC1	
属性	R/W	-		R/W	-		R/W	
初期値	1	-		0	-		00	

レジスタ機能

[bit7] APBC1EN : APB1 クロックイネーブルビット

bit	説明
0	PCLK1 出力禁止
1	PCLK1 出力許可[初期値]

[bit6:5] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。書込みの場合には、"0b00"を設定してください。

[bit4] APBC1RST : APB1 バスリセット制御ビット

bit	説明
0	APB1 バスリセット　非アクティブ [初期値]
1	APB1 バスリセット　アクティブ

[bit3:2] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。書込みの場合には、"0b00"を設定してください。

[bit1:0] APBC1 : APB1 バスクロック分周設定ビット

bit1	bit0	説明
0	0	1/1[初期値]
0	1	1/2
1	0	1/4
1	1	1/8

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.6 ソフトウェアウォッチドッグクロックプリスケーラレジスタ(SWC_PSR)

ソフトウェアウォッチドッグクロックプリスケーラレジスタ(SWC_PSR)はソフトウェアウォッチドッグクロックの分周および出力イネーブルを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	TESTB	予約					SWDS	
属性	R/W	-					R/W	
初期値	X	-					00	

レジスタ機能

[bit7] TESTB : TEST ビット

bit	説明
0	設定禁止
1	常に"1"を書き込んでください。

* 本ビットの読出し値は不定です。

[bit6:2] 予約 : 予約ビット

本ビットからは、"0b00000"が読み出されます。書込みの場合には、"0b00000"を設定してください。

[bit1:0] SWDS : ソフトウェアウォッチドッグクロック分周比設定ビット

bit1	bit0	説明
0	0	APB0 バスクロック(PCLK0)の 1 分周に設定されます。[初期値]
0	1	APB0 バスクロック(PCLK0)の 2 分周に設定されます。
1	0	APB0 バスクロック(PCLK0)の 4 分周に設定されます。
1	1	APB0 バスクロック(PCLK0)の 8 分周に設定されます。

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*
- *本レジスタに値を書き込むとき、TESTB ビットには必ず"1"を書き込んでください。*

5.7 クロック安定待ち時間レジスタ(CSW_TMR)

クロック安定待ち時間レジスタ(CSW_TMR)はメイン/サブクロック安定待ち時間を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SOWT				MOWT			
属性	R/W				R/W			
初期値	0000				0000			

レジスタ機能

[bit7:4] SOWT： サブクロックの安定待ち時間設定ビット

安定待ち時間は CLKLC または CLKSO によってカウントされます。

bit7	bit6	bit5	bit4	説明	計算例 1 CLKLC = 100KHz	計算例 2 CLKSO = 32.768kHz
0	0	0	0	2^{10} cycles [初期値]	約 10.3ms	約 31.3ms
0	0	0	1	2^{11} cycles	約 20.5ms	約 62.5ms
0	0	1	0	2^{12} cycles	約 41ms	約 125ms
0	0	1	1	2^{13} cycles	約 82ms	約 250ms
0	1	0	0	2^{14} cycles	約 164ms	約 500ms
0	1	0	1	2^{15} cycles	約 327ms	約 1.00s
0	1	1	0	2^{16} cycles	約 655ms	約 2.00s
0	1	1	1	2^{17} cycles	約 1.31s	約 4.00s
1	0	0	0	2^{18} cycles	約 2.62s	約 8.00s
1	0	0	1	2^{19} cycles	約 5.24s	約 16.0s
1	0	1	0	2^{20} cycles	約 10.49s	約 32.0s
1	0	1	1	2^{21} cycles	約 20.97s	約 64.0s
1	1	0	0	2^{1} cycles	約 0.02ms	約 0.06ms
1	1	0	1	2^{2} cycles	約 0.04ms	約 0.12ms
1	1	1	0	2^{3} cycles	約 0.08ms	約 0.24ms
1	1	1	1	2^{4} cycles	約 0.16ms	約 0.49ms

[bit3:0] MOWT： メインクロックの安定待ち時間設定ビット

安定待ち時間は CLKHC または CLKMO によってカウントされます。

bit3	bit2	bit1	bit0	説明	計算例		
					CLKHC=4MHz または CLKMO=4MHz	CLKHC=8MHz または CLKMO=8MHz	CLKMO=40MHz
0	0	0	0	2^1 cycles [初期値]	約 500ns	約 250ns	約 50ns
0	0	0	1	2^5 cycles	約 8µs	約 4µs	約 0.8µs
0	0	1	0	2^6 cycles	約 16µs	約 8µs	約 1.6µs
0	0	1	1	2^7 cycles	約 32µs	約 16µs	約 3.2µs
0	1	0	0	2^8 cycles	約 64µs	約 32µs	約 6.4µs
0	1	0	1	2^9 cycles	約 128µs	約 64µs	約 12.8µs
0	1	1	0	2^{10} cycles	約 256µs	約 128µs	約 25.6µs
0	1	1	1	2^{11} cycles	約 512µs	約 256µs	約 51.2µs
1	0	0	0	2^{12} cycles	約 1.0ms	約 512µs	約 0.1ms
1	0	0	1	2^{13} cycles	約 2.0ms	約 1.0ms	約 0.2ms
1	0	1	0	2^{14} cycles	約 4.1ms	約 2.0ms	約 0.4ms
1	0	1	1	2^{15} cycles	約 8.2ms	約 4.1ms	約 0.8ms
1	1	0	0	2^{17} cycles	約 33.0ms	約 16.4ms	約 3.3ms
1	1	0	1	2^{19} cycles	約 131ms	約 655.5ms	約 13.1ms
1	1	1	0	2^{21} cycles	約 524ms	約 262ms	約 52.4ms
1	1	1	1	2^{23} cycles	約 2.0s	約 1.0s	約 0.2s

＜注意事項＞

- *各発振安定待ち時間設定は、SCM_CTL レジスタの各発振許可ビット(SOSCE, MOSCE)を有効にする前に行ってください。*
  各発振器の発振安定待ち中に、MOWT, SOWT ビットを変更すると各発振安定待ち時間は保証されません。
- *本レジスタはソフトウェアリセットでは初期化されません。*

5.8 PLL クロック安定待ち時間設定レジスタ(PSW_TMR)

PLL クロック安定待ち時間設定レジスタ(PSW_TMR)はメイン PLL クロック安定待ち時間を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			PINC	予約	POWT		
属性	-			R/W	-	R/W		
初期値	-			0	-	000		

レジスタ機能

[bit7:5] 予約 : 予約ビット

本ビットからは、"0b000"が読み出されます。書込みの場合には、"0b000"を設定してください。

[bit4] PINC : PLL 入力クロック選択ビット

bit	説明
0	CLKMO(メインクロック発振)を選択[初期値]
1	CLKHC(高速 CR クロック)を選択

(注意事項) 本ビットを "1" に設定する場合はいくつかの制限があります。
『APPENDIXES』の『E. 注意事項一覧』の「1. 高速 CR をマスタクロックに使用する場合の注意事項」を必ず参照してください。

[bit3] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。書込みの場合には、"0"を設定してください。

[bit2:0] POWT : メイン PLL クロックの安定待ち時間設定ビット

bit2	bit1	bit0	説明	計算例 1 CLKPLL=20MHz	計算例 2 CLKPLL=40MHz
0	0	0	2^9 cycles [初期値]	約 25.6µs	約 12.8µs
0	0	1	2^{10} cycles	約 51.2µs	約 25.6µs
0	1	0	2^{11} cycles	約 102.4µs	約 51.2µs
0	1	1	2^{12} cycles	約 204.8µs	約 102.4µs
1	0	0	2^{13} cycles	約 409.6µs	約 204.8µs
1	0	1	2^{14} cycles	約 819.2µs	約 409.6µs
1	1	0	2^{15} cycles	約 1638.4µs	約 819.2µs
1	1	1	2^{16} cycles	約 3276.8µs	約 1638.4µs

＜注意事項＞

- *各発振安定待ち時間設定は、SCM_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。*
  PLL 発振器の発振安定待ち中に、POWT ビットを変更すると発振安定待ち時間は保証されません。
- *本レジスタはソフトウェアリセットでは初期化されません。*
- *メイン PLL クロックモードでは、PINC ビットが"1"の時、SCM_CTL レジスタの HCRE ビットの値に関わらず高速 CR クロック発振許可状態になります。PINC ビットが"0"の時は HCRE ビット、CSV_CTL レジスタの FCSDE ビット、MCSVE ビットの状態により高速 CR クロックの状態が決まります。*
- *メイン PLL クロックモードでは、PINC ビットが"1"の時、SCM_CTL レジスタの MOSCE ビットの値によりメインクロック発振の状態が決まります。PINC ビットが"0"の時は MOSCE ビットの値にかかわらずメインクロック発振許可状態になります。*

5.9 PLL 制御レジスタ 1 (PLL_CTL1)

PLL 制御レジスタ 1 (PLL_CTL1)は PLL の分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	PLLK				PLLM			
属性	R/W				R/W			
初期値	0000				0000			

レジスタ機能

[bit7:4] PLLK : PLL 入力クロック分周比設定ビット

bit7:4	説明
0000	(PLLK の値+1)分周になります。(設定範囲:1 分周～16 分周) 例 : PLLK の値(0000)+1 ⇒ 1 分周[初期値]
0001	
・	
・	
1111	

[bit3:0] PLLM : PLL の VCO クロックの分周比設定ビット

bit3:0	説明
0000	(PLLM の値+1)分周になります。(設定範囲:1 分周～16 分周) 例 : PLLM の値(0000)+1 ⇒ 1 分周[初期値]
0001	
・	
・	
1111	

<注意事項>

- *各分周比設定は、SCM_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

5.10 PLL 制御レジスタ 2 (PLL_CTL2)

PLL 制御レジスタ 2 (PLL_CTL2)は PLL の分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		PLLN					
属性	-		R/W					
初期値	-		000000					

レジスタ機能

[bit7:6] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。書込みの場合には、"0b00"を設定してください。

[bit5:0] PLLN : PLL のフィードバック分周比設定ビット

bit5:0	説明
000000	(PLLN の値+1)分周になります。(設定範囲:1 分周～50 分周) 例 : PLLN の値(000000)+1 ⇒ 1 分周[初期値]
000001	
・	
・	
110001	
110010	設定禁止
・	
111111	

<注意事項>

- *分周比設定は、SCM_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

5.11 デバッグブレークウォッチドッグタイマ制御レジスタ(DBWDT_CTL)

デバッグブレークウォッチドッグタイマ制御レジスタ(DBWDT_CTL)はデバッグの際のツールブレーク時のウォッチドッグタイマのカウント動作を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	DPHWBE	予約	DPSWBE	予約				
属性	R/W	-	R/W	-				
初期値	0	-	0	-				

レジスタ機能

[bit7] DPHWBE : HW-WDG デバッグモード　ブレークビット

bit	説明
0	ツールブレーク時、ハードウェアウォッチドッグはカウントを停止する [初期値]
1	ツールブレーク時、ハードウェアウォッチドッグはカウントを継続する

[bit6] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。書込みの場合には、"0"を設定してください。

[bit5] DPSWBE : SW-WDG デバッグモード　ブレークビット

bit	説明
0	ツールブレーク時、ソフトウェアウォッチドッグはカウントを停止する [初期値]
1	ツールブレーク時、ソフトウェアウォッチドッグはカウントを継続する

[bit4:0] 予約 : 予約ビット

本ビットからは、"0b00000"が読み出されます。書込みの場合には、"0b00000"を設定してください。

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.12 割込みイネーブルレジスタ(INT_ENR)

割込みイネーブルレジスタ(INT_ENR)は割込みのイネーブル設定を行います。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		FCSE	予約		PCSE	SCSE	MCSE
属性	-		R/W	-		R/W	R/W	R/W
初期値	-		0	-		0	0	0

レジスタ機能

[bit7:6] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。書込みの場合には、"0b00"を設定してください。

[bit5] FCSE : 異常周波数検出割込みイネーブルビット

bit	説明
0	FCS 割込み禁止
1	FCS 割込み許可

[bit4:3] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。書込みの場合には、"0b00"を設定してください。

[bit2] PCSE : PLL 発振安定待ち完了割込みイネーブルビット

bit	説明
0	PLL 発振安定待ち完了割込み禁止
1	PLL 発振安定待ち完了割込み許可

[bit1] SCSE : サブクロック発振安定待ち完了割込みイネーブルビット

bit	説明
0	サブクロック発振安定待ち完了割込み禁止
1	サブクロック発振安定待ち完了割込み許可

[bit0] MCSE : メインクロック発振安定待ち完了割込みイネーブルビット

bit	説明
0	メインクロック発振安定待ち完了割込み禁止
1	メインクロック発振安定待ち完了割込み許可

<注意事項>

- *「異常周波数検出」については、別章『クロック監視機能』を参照してください。*

5.13 割込み状態レジスタ(INT_STR)

割込み状態レジスタ(INT_STR)は割込みの状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		FCSI	予約		PCSI	SCSI	MCSI
属性	-		R	-		R	R	R
初期値	-		0	-		0	0	0

レジスタ機能

[bit7:6] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。書込みの場合には、"0b00"を設定してください。

[bit5] FCSI : 異常周波数検出割込み状態ビット

bit	説明
0	FCS 割込みはアサートされていない。
1	FCS 割込みはアサートされた。

[bit4:3] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。書込みの場合には、"0b00"を設定してください。

[bit2] PCSI : PLL 発振安定待ち完了割込み状態ビット

bit	説明
0	PLL 発振安定待ち完了割込みはアサートされていない。
1	PLL 発振安定待ち完了割込みはアサートされた。

[bit1] SCSI : サブクロック発振安定待ち完了割込み状態ビット

bit	説明
0	サブクロック発振安定待ち完了割込みはアサートされていない。
1	サブクロック発振安定待ち完了割込みはアサートされた。

[bit0] MCSI : メインクロック発振安定待ち完了割込み状態ビット

bit	説明
0	メインクロック発振安定待ち完了割込みはアサートされていない。
1	メインクロック発振安定待ち完了割込みはアサートされた。

5.14 割込みクリアレジスタ(INT_CLR)

割込みクリアレジスタ(INT_CLR)は割込み要因をクリアします。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		FCSC	予約		PCSC	SCSC	MCSC
属性	-		W	-		W	W	W
初期値	-		0	-		0	0	0

レジスタ機能

[bit7:6] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。書込みの場合には、"0b00"を設定してください。

[bit5] FCSC : 異常周波数検出割込み要因クリアビット

bit		説明
書込み時	0	FCS 割込み要因は書込みに影響されません。
	1	FCS 割込み要因クリアを行う。
読出し時		常に"0"が読み出されます。

[bit4:3] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。書込みの場合には、"0b00"を設定してください。

[bit2] PCSC : PLL 発振安定待ち完了割込み要因クリアビット

bit		説明
書込み時	0	PLL 発振安定待ち完了割込み要因は書込みに影響されません。
	1	PLL 発振安定待ち完了割込み要因クリアを行う。
読出し時		常に"0"が読み出されます。

[bit1] SCSC : サブクロック発振安定待ち完了割込み要因クリアビット

bit		説明
書込み時	0	サブクロック発振安定待ち完了割込み要因は書込みに影響されません。
	1	サブクロック発振安定待ち完了割込み要因クリアを行う。
読出し時		常に"0"が読み出されます。

[bit0] MCSC： メインクロック発振安定待ち完了割込み要因クリアビット

bit		説明
書込み時	0	メインクロック発振安定待ち完了割込み要因は書込みに影響されません。
	1	メインクロック発振安定待ち完了割込み要因クリアを行う。
読出し時		常に"0"が読み出されます。

＜注意事項＞

- *本レジスタをクリアすることで、INT_STR レジスタの各割込み状態ビット(FCSI, PCSI, SCSI, MCSI)も"0"にクリアされます。*

6. 使用上の注意点

クロック生成部の使用上の注意点を説明します。

■ メインクロック発振器とサブクロック発振器の発振安定待ち時間

メインクロック発振器とサブクロック発振器の安定待ち時間は、発振子の種類(水晶, セラミックなど)によって異なるため、使用する発振子に対して適切な発振安定待ち時間を選択してください。

■ PLL 発振安定後の分周設定変更

PLL 発振が安定してから PLL の分周比を変更する場合は、いったん PLL 発振を停止し、分周比の変更後、再度 PLL 発振許可を行ってください。

■ クロック生成部によるクロック制御から独立したペリフェラル群について

以下のペリフェラルは、クロック生成部によるクロック制御から独立して動作します。
各動作クロックの取り扱いについては、以下の章を参照してください。

- USB クロック生成部 : 『通信マクロ編』の『USB クロック生成部』を参照してください。
- クロック監視機能 : 別章『クロック監視機能』を参照してください。
- ウォッチドッグタイマ : 『タイマ編』の『ウォッチドッグタイマ』を参照してください。
- 時計カウンタ : 『タイマ編』の『時計カウンタ』を参照してください。
- リアルタイムクロック : 『タイマ編』の『リアルタイムクロック』を参照してください。

■ 発振安定待ち時間の設定

メインクロック発振器, サブクロック発振器, PLL 発振器の各発振安定待ち時間設定レジスタにて発振安定待ち時間を設定してから、各発振器を有効にしてください。
また、発振安定待ち中に、発振安定待ち時間を変更しないでください。

■ メイン PLL クロック使用時のメインクロック発振確認

PLL 発振を使用中にメインクロック発振を停止することを禁止します。

■ クロックモードの切換え

クロックモードの切換えは SCM_CTL レジスタの RCS[2:0]ビットを変更することにより行われます。
クロックモードの切換えは以下の手順で行ってください。

1. 各発振器の発振安定待ち時間を設定する。
2. 使用するクロックの発振許可ビット(SCM_CTL:xxxE) を"1"に設定する。
3. 使用するクロックの発振安定ビット(SCM_STR:xxxRDY)が 1 になったことを確認する。
4. SCM_CTL:RCS[2:0]を切り換える。
5. SCM_STR:RCM[2:0]=SCM_CTL:RCS[2:0]となるまで待つ。

■ クロックモードの切換えと発振安定ビットの関係

以下のクロックモード切換えの場合、発振安定ビット(SCM_STR:xxxRDY)=1 になるタイミングが異なります。

- 高速 CR ラン・メインラン・PLL ランから別クロックモードに切り換える場合

  SCM_CTL:xxxE=1 にすることで、発振安定待ちは開始されます。発振安定待ち時間経過後、SCM_STR:xxxRDY=1 を確認することが可能です。

- 低速 CR ラン・サブランから、高速 CR ラン・メインラン・PLL ランに切り換える場合

  SCM_CTL:MOSCE = 1(PLLE=1)にしても、メインクロックの発振は開始されません。
  SCM_CTL:MOSCE = 1 (PLLE=1)にした後、SCM_CTL:RCS[2:0]を切り換えることで、メインクロック発振安定待ち(または、高速 CR 発振安定待ち・PLL 発振安定待ち)が開始されます。発振安定待ち時間経過後、SCM_STR:xxxRDY=1 を確認することが可能です。

- 割込みによりスタンバイモードが解除されると、SCM_CTL レジスタの RCS[2:0]ビットに示されているクロックモードで再開します。
- マスタクロックはソフトウェアリセット以外のリセット要因が発生すると、高速 CR クロック(CLKHC)に設定されます。クロックモードも高速 CR クロックモードに設定されます。
- ソフトウェアリセット以外のリセットが行われた後、メインクロック発振器, サブクロック発振器, PLL 発振は停止します。リセット後、再度これらの発振を使用したい場合、SCM_CTL レジスタによって発振器を有効にしてください。
- 各クロックモードと発振器の発振/停止の関係は、別章『低消費電力モード』を参照してください。
- チップの電源をオフにして、VBAT ドメインのみを操作するには、WTOSCCNT.SOSCNTL=0 を設定した後に、チップの電源をオフにしてください。

CHAPTER 2-2: 周辺クロック停止機能

周辺クロック停止機能について説明します。

1. 周辺クロック停止機能の概要
2. 周辺クロック停止機能の構成
3. 周辺クロック停止機能の制御
4. 周辺クロック停止機能のレジスタ
5. 周辺クロック停止機能　使用時の注意

管理コード：9BFPCG-J3.0

1. 周辺クロック停止機能の概要

周辺クロック停止機能は、周辺機能の動作クロックを個別に停止する機能ブロックです。本機能により、システム動作で使用しない周辺機能はその動作クロックを停止させることで、システム全体の消費電流を低減します。

周辺クロック停止機能の概要

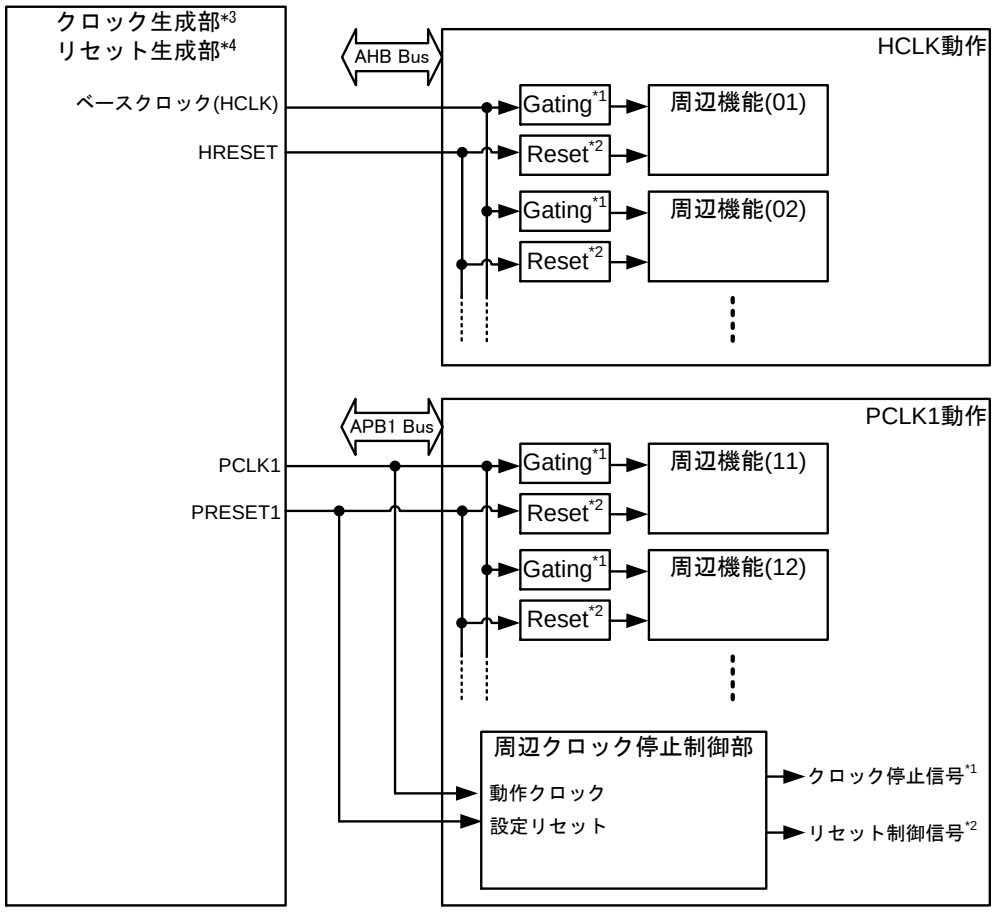
- システム動作で使用しない周辺機能について、個別に動作クロックを停止します。
- 周辺クロック停止機能の対象と設定単位は、『■周辺機能クロックの停止単位と初期状態』を参照してください。
- クロック停止時または、クロック再供給前に周辺機能の内部状態をリセットできます。

上記の周辺クロック停止およびリセット制御は APB1 バスに接続されているレジスタの設定で行います。

クロック・リセット接続概要

クロック生成部・リセット生成部と周辺クロック停止機能の接続を Figure 1-1 に示します。周辺クロック停止機能は、クロック生成部・リセット生成部と周辺機能の間にあり、周辺機能単位のクロック停止およびリセット制御を行います。クロック制御部からの内部バスクロック供給が停止している状態においては、クロック制御部の設定が優先となり、周辺機能への動作クロック供給も停止します。周辺クロック停止機能を使用する場合、必ず APB1 バスクロック(PCLK1)をクロック生成部側で出力許可に設定した状態で制御を実行してください。

Figure 1-1 周辺クロック停止機能に関するクロック・リセット接続



*1 : 周辺機能単位のクロック停止(内部バスクロックのゲーティング)

*2 : 周辺機能単位のリセット制御またはバスリセット(別章『リセット』を参照)で強制リセット

*3 : 詳細は別章『クロック』の章を参照してください。

*4 : 詳細は別章『リセット』の章を参照してください。

周辺機能クロックの停止単位と初期状態

周辺クロック停止機能の制御単位と初期状態を Table 1-1 に示します。

Table 1-1 周辺クロック停止機能の制御単位と初期状態

周辺機能	クロック停止単位	初期状態	備考
マルチファンクション シリアルインタフェース	1 チャネル	クロック供給	
ベースタイマ	4 チャネル	クロック供給	"ch.0～ch.3", "ch.4～ch.7", "ch.8～ch.11", "ch12～ch.15" の 4 チャネル単位でクロック停止を制御できます。
多機能タイマ	1 ユニット	クロック供給	
PPG	8 チャネル	クロック供給	"ch.0～ch.7”,”ch.8～ch.15", "ch.16～ch.23”, “ch.24～ch.32"の 8 チャネル単位でクロック停止を制御できます。
クアッドカウンタ	1 ユニット	クロック供給	
DMAC	1 ユニット	クロック供給	
A/D コンバータ	1 ユニット	クロック供給	
I/O ポート	全ポート	クロック供給	クロック停止時の制限事項は『5. 周辺クロック停止機能　使用時の注意』を参照してください。
DSTC	1 ユニット	クロック供給	
スマートカードインタフェース	1 チャネル	クロック供給	
MFS-I2S	1 チャネル	クロック供給	
LCD コントローラ	1 ユニット	クロック供給	
HDMI-CEC/リモコン受信	1 ユニット	クロック供給	
Programmable-CRC	1 ユニット	クロック供給	
USB（ファンクション/ホスト）	1 チャネル	クロック停止	

<注意事項>

- *搭載されている周辺機能および搭載されている数は、ご使用する製品の『データシート』を参照してください。*
- *PPG のクロック制御は多機能タイマと同じ設定ビットを共有しています。詳細は、『4.3 周辺クロック制御レジスタ 1(CKEN1) 』を参照してください。*
- *DSTC のクロック制御は、DSTC 内の 5. DSTC レジスタで行います。*

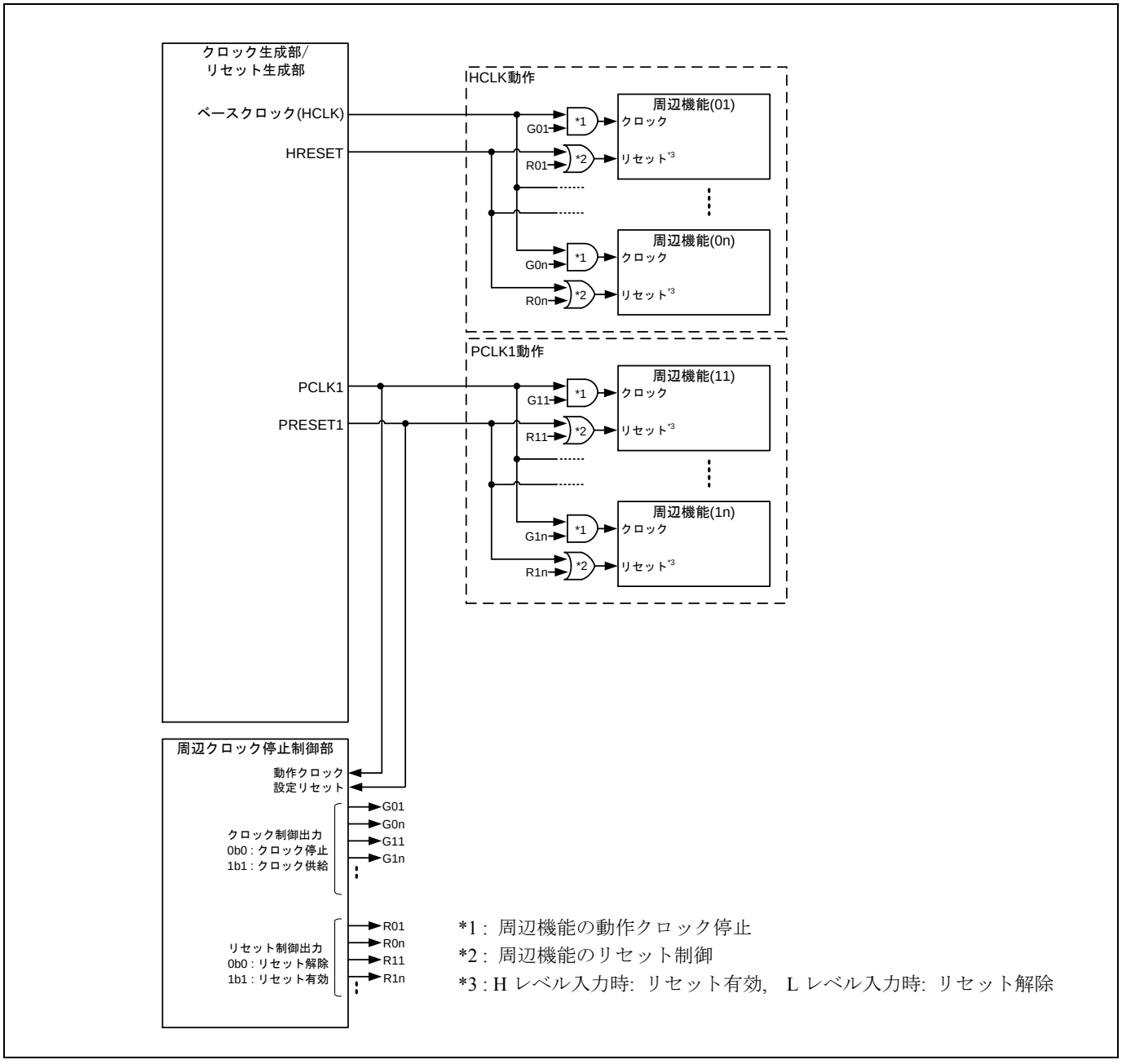
2. 周辺クロック停止機能の構成

周辺クロック停止機能の構成を説明します。

ブロックダイヤグラム

Figure 2-1 に周辺クロック停止機能に関するシステム構成を示します。

Figure 2-1 周辺クロック停止機能のブロックダイヤグラム



ブロックダイヤグラムの説明

■ 周辺クロック停止制御部

APB1 バス経由でレジスタの設定値を変更することで、周辺機能単位のクロック制御または、リセット制御を実行します。本レジスタの書換えは、必ずクロック制御部の APB1 プリスケーラレジスタ(APBC1_PSR)の APB1 クロックイネーブルビット(APBC1EN)を出力許可に設定し、PCLK1 を出力許可した状態で実行してください。

周辺機能ごとのクロック制御は、対象のビットに"0"を設定するとクロックが停止します。"1"に設定するとクロックが供給されます。レジスタの初期値は、周辺機能ごとに異なります。詳細は、Table 1-1 を参照してください。

周辺機能ごとのリセット制御は、対象のビットに"1"を設定するとリセットが発行されます。"0"を設定するとリセットが解除されます。レジスタの初期状態はいずれもリセット解除の"0"設定になります。

■ 周辺クロック停止論理

周辺クロック停止制御部からのクロック停止信号に従い、内部バスクロック(HCLK, PCLK1)を特定の周辺機能単位で供給・停止します。

■ 周辺リセット制御論理

周辺クロック停止制御部からのリセット制御信号に従い、周辺機能単位でリセット制御を実行します。リセット制御単位は、周辺クロック制御と同じです。ただし、I/O ポートについてのみ、例外で本リセット制御用のビットを持ちません。

3. 周辺クロック停止機能の制御

周辺クロック停止機能の制御について説明します。

周辺クロック停止機能のレジスタは、バスリセット(PRESET1)*により初期状態になります。バスリセット(PRESET1)はすべてのリセット要因により発生するため、バスリセット直後は周辺クロック停止機能のレジスタを設定し直してください。

*: バスリセット(PRESET1)の発生条件については、別章『リセット』を参照してください。

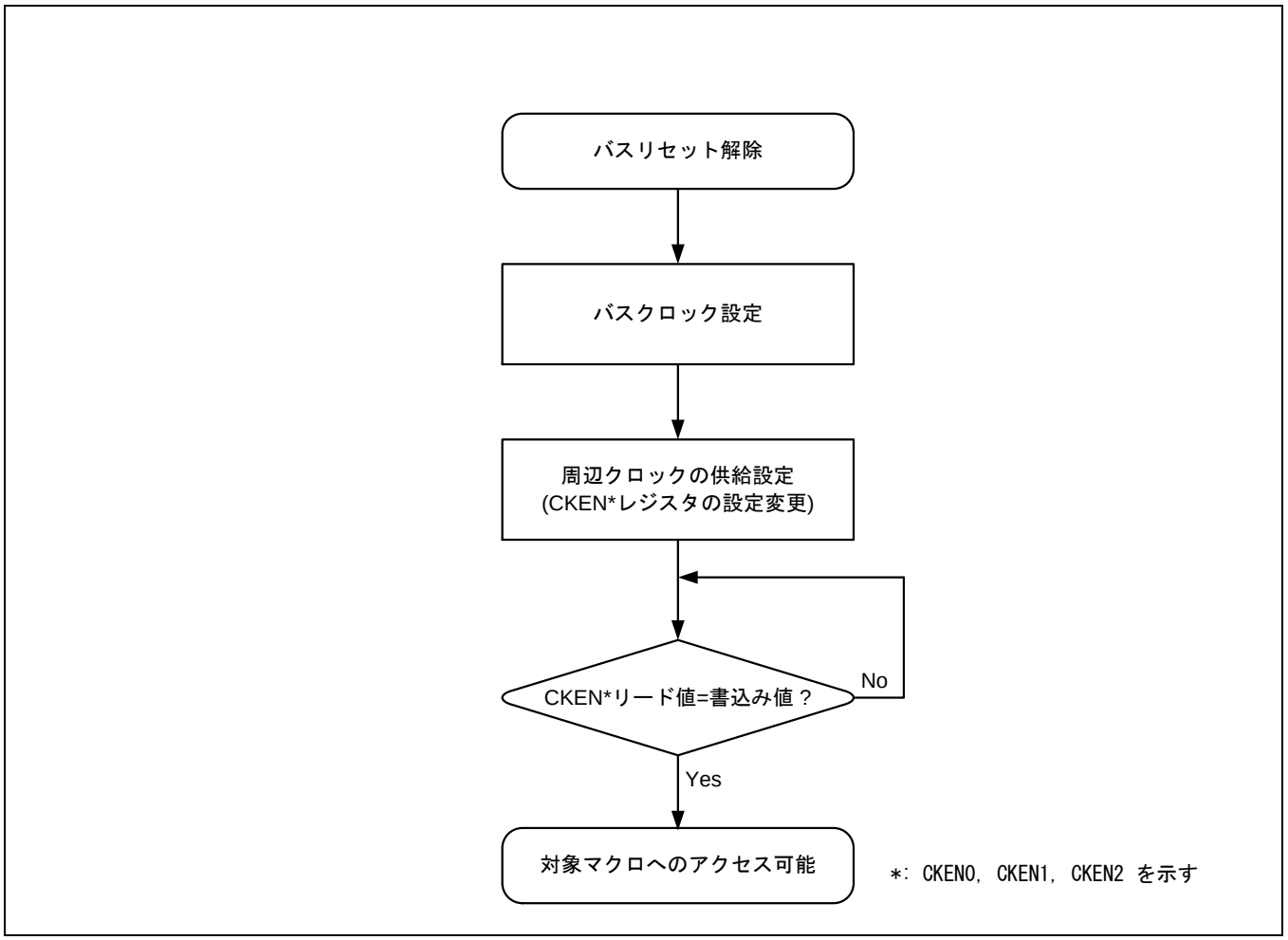
3.1 周辺クロックの制御手順

周辺クロックの供給・停止に関する制御手順について説明します。

クロック供給手順

バスリセット解除直後は、周辺クロックの設定が初期値になるため、初期状態でクロックの停止している周辺機能は、Figure 3-1 の手順でクロック供給の設定をしてください。

Figure 3-1 クロック供給手順



1. バスクロックの設定

   バスクロックの設定が初期化されるリセットが発生した場合は、各バスクロックの設定はクロック生成部のレジスタで行ってください。
   詳細な設定については、別章の『クロック』を参照してください。

2. 周辺クロックの供給設定

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)について、初期状態のクロック停止からクロックを供給したい周辺機能に該当するビットの設定を変更してください。
   バスクロックが停止している周辺機能のビットは、その設定値を変更することができません。

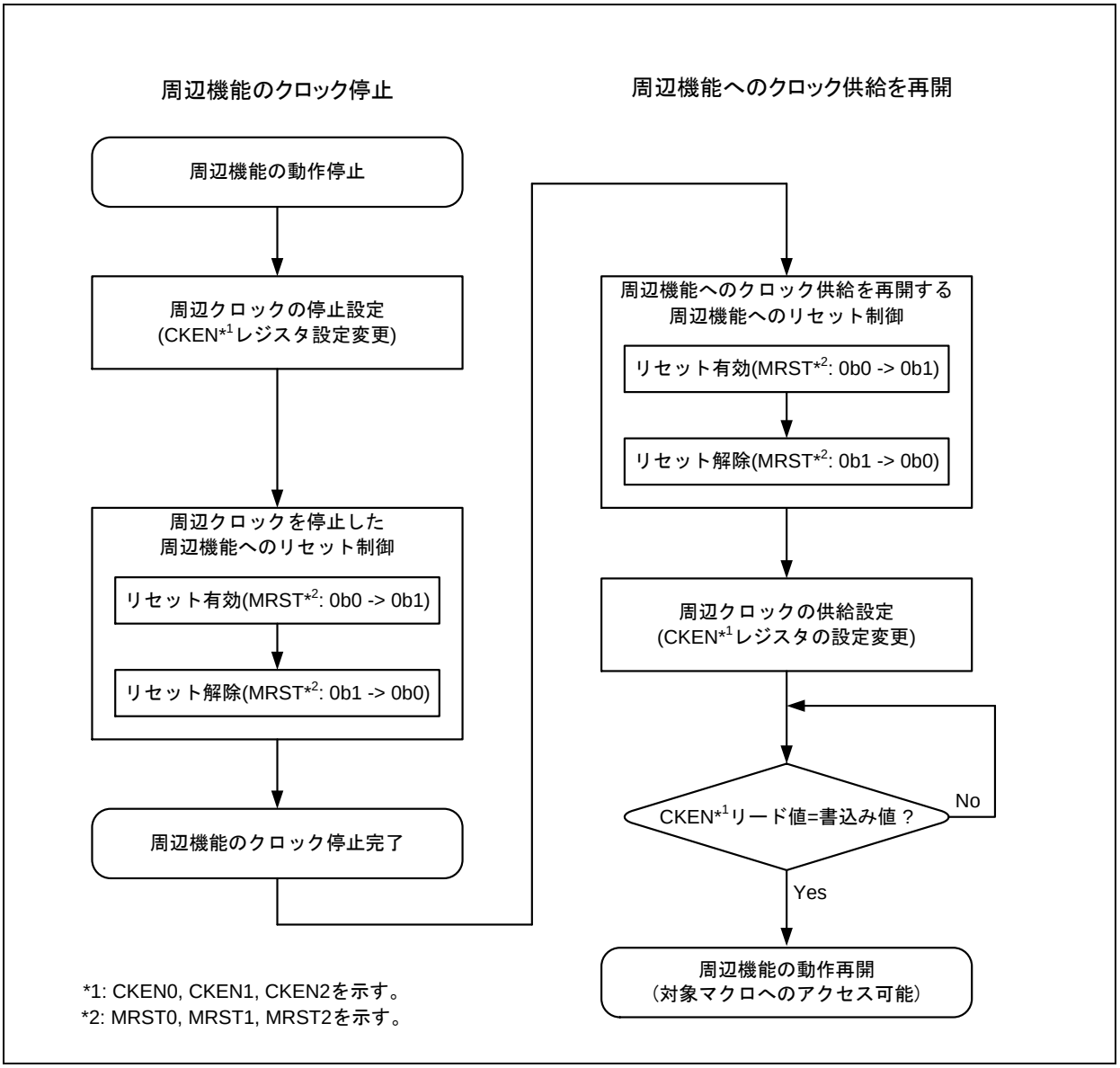
3. 周辺クロック制御レジスタの設定値の確認

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)は設定を変更した周辺機能へのクロック供給が開始された段階で、そのレジスタ値を書込み値に更新します。
   クロック停止中の周辺機能へのアクセスは無効のため、必ず上記 2 の設定変更後に、同レジスタを読み出し、書込み値と一致していることを確認した後に周辺機能へのアクセスを開始してください。

クロック停止・再供給手順

周辺機能のクロック停止および周辺機能へクロック供給を再開する手順を Figure 3-2 で説明します。

Figure 3-2 システム動作中のクロック停止・再供給手順



■ 周辺機能のクロック停止

1. 周辺クロックの停止設定

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)について、クロック供給を停止したい周辺機能に該当するビットを"0"に変更してください。
   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)はクロック停止を指示した周辺機能へのクロックが停止した後、そのレジスタ値を書込み値に更新します。

2. 周辺クロックを停止した周辺機能へのリセット制御

   周辺クロックを停止した周辺機能に対して、内部状態をリセットするため、以下の手順で周辺機能単位のリセット制御を実行してください。

   リセット有効 :
   周辺機能リセット制御レジスタ(MRST0, MRST1, MRST2)の該当ビットへ"1"を書き込んでください。
   リセット解除 :
   周辺機能リセット制御レジスタ(MRST0, MRST1, MRST2)の該当ビットへ"0"を書き込んでください。

■ 周辺機能へのクロック供給を再開

1. 周辺クロックを再供給する周辺機能へのリセット制御

   周辺クロックを停止している周辺機能に対して、動作を再開する前に周辺機能リセット制御レジスタ(MRST0, MRST1, MRST2)を使用して、周辺機能単位のリセット制御を実行してください。手順は、上記の周辺クロック停止直後のリセット制御と同じです。

2. 周辺クロックの供給設定

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)に対して、クロック供給を再開したい周辺機能に該当するビットの設定を変更してください。
   このとき、周辺機能が搭載されていない、またはバスクロックが停止している周辺機能のビットを初期値以外に設定しないでください。理由は、下記 3 のレジスタ設定値確認において、書込み値との一致が取れなくなり、処理ループを抜けられなくなる状態が発生するためです。

3. 周辺クロック制御レジスタの設定値確認

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)は設定を変更した周辺機能へのクロック設定変更が反映された段階で、そのレジスタ値を書込み値に更新します。
   クロック停止中の周辺機能へのアクセスは無効のため、必ず上記 2 の設定変更後に、同レジスタを読み出し、書込み値と一致していることを確認した後に周辺機能へのアクセスを開始してください。

4. 周辺クロック停止機能のレジスター一覧

周辺クロック停止機能の各レジスタ機能を説明します。

Table 4-1 に周辺クロック停止機能のレジスター一覧を示します。

Table 4-1 周辺クロック停止機能のレジスター一覧

略称	レジスタ名	参照先
CKEN0	周辺クロック制御レジスタ 0	4.1
MRST0	周辺リセット制御レジスタ 0	4.2
CKEN1	周辺クロック制御レジスタ 1	4.3
MRST1	周辺リセット制御レジスタ 1	4.4
CKEN2	周辺クロック制御レジスタ 2	4.5
MRST2	周辺リセット制御レジスタ 2	4.6

4.1 周辺クロック制御レジスタ 0(CKEN0)

周辺クロック制御レジスタ 0(CKEN0)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約			GIOCK	予約		DSTCCK	DMACK
属性		-		R/W		-	RW	R/W
初期値		-		1		-	1	1

bit	23	22	21	20	19	18	17	16
Field	予約				ADCCK[3:0]			
属性		-				R/W		
初期値		-				1111		

bit	15	14	13	12	11	10	9	8
Field	MFSCK[15:8]							
属性				R/W				
初期値				0xFF				

bit	7	6	5	4	3	2	1	0
Field	MFSCK[7:0]							
属性				R/W				
初期値				0xFF				

[bit31:29] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit28] GIOCK : GPIO/Fast GPIO 機能の動作クロック供給・停止設定

本ビットは、I/O ポート機能への動作クロック供給および停止を制御します。本ビットは、すべての I/O ポート機能に対しての動作クロックを一括して制御します。

本ビットに"1"を設定すると、I/O ポート機能ブロックにバスクロックが供給され、I/O ポート機能を使用できます。

本ビットに"0"を設定すると、I/O ポート機能ブロックへのバスクロック入力が停止します。バスクロック停止中は I/O ポート機能のレジスタ設定を変更できません。詳細は、『5. 周辺クロック停止機能　使用時の注意』を参照してください。

bit	説明
0	I/O ポート機能ブロックへのバスクロック入力を停止します。
1	I/O ポート機能ブロックにバスクロックを供給します。(初期値) I/O ポート機能を使用する場合は、必ず"1"を設定してください。

[bit27:26] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit25] DSTCCK : DSTC 機能のソフトウェアクロックコントロール

本ビットは、DSTC 機能への動作クロック供給および停止を制御します。本ビットに”1”に設定すると、DSTC ブロックにバスクロックが供給され、DSTC 機能を使用できます。

本ビットを”0”に設定すると、DSTC ブロックへのバスクロック入力が停止します。バスクロック停止中は DSTC 機能のレジスタ設定を変更できません。

bit	説明
0	DSTC 機能ブロックへのバスクロック入力を停止します。
1	DSTC 機能ブロックにバスクロックを供給します。(初期値) DSTC 機能を使用する場合は、必ず"1"を設定してください。

注 : TYPE3-M0+製品では、本ビットは無効です。DSTC のスタンバイコントロールレジスタが、DSTC クロックを停止させることができます。

[bit24] DMACK : DMAC の動作クロック供給・停止設定

本ビットは、DMAC 機能への動作クロック供給および停止を制御します。本ビットに"1"を設定すると、DMAC ブロックにバスクロックが供給され、DMAC 機能を使用できます。
本ビットに"0"を設定すると、DMAC ブロックへのバスクロック入力が停止します。バスクロック入力停止中は、DMAC の機能を使用できません。

bit	説明
0	DMAC へのバスクロック入力を停止します。
1	DMAC にバスクロックを供給します。(初期値)

[bit23:20] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit19:16] ADCCK[3:0] : A/D コンバータの動作クロック供給・停止設定

本ビットは、A/D コンバータへの動作クロック供給および停止を制御します。各ビットと A/D コンバータユニットの対応を以下に示します。

bit16 - ADCCK0 : A/D コンバータユニット 0
bit17 - ADCCK1 : A/D コンバータユニット 1
bit18 - ADCCK2 : A/D コンバータユニット 2
bit19 - ADCCK3 : A/D コンバータユニット 3

当該ビットに"1"を設定すると、対応する A/D コンバータのユニットにバスクロックが供給され、A/D コンバータ機能を使用できます。該当する A/D コンバータユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、対応する A/D コンバータユニットへのバスクロック入力が停止します。バスクロック入力停止中は、該当するユニットの A/D コンバータ機能は使用できません。

bit	説明
0	当該ビットに対応する A/D コンバータユニットへのバスクロック入力を停止します。
1	当該ビットに対応する A/D コンバータユニットにバスクロックを供給します。 (初期値)

[bit15:0] MFSCK [15:0]: マルチファンクションシリアルインタフェースの動作クロック供給・停止設定

本ビットは、マルチファンクションシリアルインタフェースへの動作クロック供給および停止を制御します。各ビットとチャネルの対応を以下に示します。

bit0 - MFSCK0 : マルチファンクションシリアルインタフェース チャネル 0
bit1 - MFSCK1 : マルチファンクションシリアルインタフェース チャネル 1
bit2 - MFSCK2 : マルチファンクションシリアルインタフェース チャネル 2
bit3 - MFSCK3 : マルチファンクションシリアルインタフェース チャネル 3
bit4 - MFSCK4 : マルチファンクションシリアルインタフェース チャネル 4
bit5 - MFSCK5 : マルチファンクションシリアルインタフェース チャネル 5
bit6 - MFSCK6 : マルチファンクションシリアルインタフェース チャネル 6
bit7 - MFSCK7 : マルチファンクションシリアルインタフェース チャネル 7
bit8 - MFSCK8 : マルチファンクションシリアルインタフェース チャネル 8
bit9 - MFSCK9 : マルチファンクションシリアルインタフェース チャネル 9
bit10 - MFSCK10 : マルチファンクションシリアルインタフェース チャネル 10
bit11 - MFSCK11 : マルチファンクションシリアルインタフェース チャネル 11
bit12 - MFSCK12 : マルチファンクションシリアルインタフェース チャネル 12
bit13 - MFSCK13 : マルチファンクションシリアルインタフェース チャネル 13
bit14 - MFSCK14 : マルチファンクションシリアルインタフェース チャネル 14
bit15 - MFSCK15 : マルチファンクションシリアルインタフェース チャネル 15

当該ビットに"1"を設定すると、対応するマルチファンクションシリアルインタフェースのチャネルにバスクロックが供給され、マルチファンクションシリアルインタフェースの機能を使用できます。該当するマルチファンクションシリアルインタフェースのチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、対応するマルチファンクションシリアルインタフェースのチャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当するチャネルのマルチファンクションシリアルインタフェース機能は使用できません。

bit	説明
0	当該ビットに対応するマルチファンクションシリアルインタフェース・チャネルへのバスクロック入力を停止します。
1	当該ビットに対応するマルチファンクションシリアルインタフェース・チャネルにバスクロックを供給します。(初期値)

4.2 周辺リセット制御レジスタ 0(MRST0)

周辺リセット制御レジスタ 0(MRST0)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約						DSTCRST	DMARST
属性	-						R/W	R/W
初期値	-						0	0

bit	23	22	21	20	19	18	17	16
Field	予約				ADCRST[3:0]			
属性	-				R/W			
初期値	-				0000			

bit	15	14	13	12	11	10	9	8
Field	MFSRST [15:8]							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	MFSRST [7:0]							
属性	R/W							
初期値	0x00							

[bit31:26] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit25] DSTCRST : DSTC のリセット制御

本ビットは、DSTC 単体のリセットを制御します。本ビットに"1"を設定すると、DSTC がリセット状態となり、DSTC の DMA 転送動作が停止し、レジスタはすべて初期化されます。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	DSTC のリセットを解除します。(初期値)
1	DSTC へリセットを発行します。

注：TYPE3-M0+製品では、本ビットは無効です。

[bit24] DMARST : DMAC のリセット制御

本ビットは、DMAC 単体のリセットを制御します。本ビットに"1"を設定すると、DMAC がリセット状態となり、DMA 転送動作が停止し、レジスタはすべて初期化されます。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	DMAC のリセットを解除します。(初期値)
1	DMAC へリセットを発行します。

[bit23:20] 予約 :予約ビット
書込みは、"0"を書き込んでください。

[bit19:16] ADCRST : A/D コンバータのリセット制御
本ビットは、A/D コンバータのユニット単位のリセットを制御します。各ビットと A/D コンバータユニットの対応を以下に示します。

bit16 - ADCRST 0 : A/D コンバータユニット 0
bit17 - ADCRST 1 : A/D コンバータユニット 1
bit18 - ADCRST 2 : A/D コンバータユニット 2
bit19 - ADCRST 3 : A/D コンバータユニット 3

当該ビットに"1"を設定すると、対応する A/D コンバータのユニットがリセット状態となり、A/D 変換動作が停止し、レジスタは初期化されます。該当する A/D コンバータユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	当該ビットに対応する A/D コンバータユニットのリセットを解除します。(初期値)
1	当該ビットに対応する A/D コンバータユニットへリセットを発行します。

[bit15:0] MFSRST[15:0] : マルチファンクションシリアルインタフェースのリセット制御
本ビットは、マルチファンクションシリアルインタフェースのチャネル単位のリセットを制御します。各ビットとチャネルの対応を以下に示します。

bit0 - MFSRST0 : マルチファンクションシリアルインタフェース チャネル 0
bit1 - MFSRST1 : マルチファンクションシリアルインタフェース チャネル 1
bit2 - MFSRST2 : マルチファンクションシリアルインタフェース チャネル 2
bit3 - MFSRST3 : マルチファンクションシリアルインタフェース チャネル 3
bit4 - MFSRST4 : マルチファンクションシリアルインタフェース チャネル 4
bit5 - MFSRST5 : マルチファンクションシリアルインタフェース チャネル 5
bit6 - MFSRST6 : マルチファンクションシリアルインタフェース チャネル 6
bit7 - MFSRST7 : マルチファンクションシリアルインタフェース チャネル 7
bit8 - MFSRST8 : マルチファンクションシリアルインタフェース チャネル 8
bit9 - MFSRST9 : マルチファンクションシリアルインタフェース チャネル 9
bit10 - MFSRST10 : マルチファンクションシリアルインタフェース チャネル 10
bit11 - MFSRST11 : マルチファンクションシリアルインタフェース チャネル 11
bit12 - MFSRST12 : マルチファンクションシリアルインタフェース チャネル 12

bit13 - MFSRST13 : マルチファンクションシリアルインタフェース チャネル 13
bit14 - MFSRST14 : マルチファンクションシリアルインタフェース チャネル 14
bit15 - MFSRST15 : マルチファンクションシリアルインタフェース チャネル 15

当該ビットに"1"を設定すると、対応するマルチファンクションシリアルインタフェースのチャネルがリセット状態となり、シリアル通信が停止し、レジスタは初期化されます。該当するマルチファンクションシリアルインタフェースのチャネルが搭載されていない製品では、該当するビットに"1"を設定することは禁止です。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	当該ビットに対応するマルチファンクションシリアルインタフェース・チャネルのリセットを解除します。(初期値)
1	当該ビットに対応するマルチファンクションシリアルインタフェース・チャネルへリセットを発行します。

4.3 周辺クロック制御レジスタ 1(CKEN1)

周辺クロック制御レジスタ 1(CKEN1)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約				QDUCK[3:0]			
属性	-				R/W			
初期値	-				1111			

bit	15	14	13	12	11	10	9	8
Field	予約				MFTCK[3:0]			
属性	-				R/W			
初期値	-				1111			

bit	7	6	5	4	3	2	1	0
Field	予約				BTMCK[3:0]			
属性	-				R/W			
初期値	-				1111			

[bit31:20] 予約 :予約ビット
書込みは、"0"を書き込んでください。

[bit19:16] QDUCK[3:0] : クアッドカウンタの動作クロック供給・停止設定
本ビットは、クアッドカウンタへの動作クロック供給および停止を制御します。各ビットとクアッドカウンタユニットの対応を以下に示します。

bit16 - QDUCK0 : クアッドカウンタユニット 0
bit17 - QDUCK1 : クアッドカウンタユニット 1
bit18 - QDUCK2 : クアッドカウンタユニット 2
bit19 - QDUCK3 : クアッドカウンタユニット 3

当該ビットに"1"を設定すると、対応するクアッドカウンタのユニットにバスクロックが供給され、クアッドカウンタ機能を使用できます。該当するクアッドカウンタユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、対応するクアッドカウンタユニットへのバスクロック入力が停止します。バスクロック入力停止中は、該当するユニットのクアッドカウンタ機能は使用できません。

bit	説明
0	当該ビットに対応するクアッドカウンタユニットへのバスクロック入力を停止します。
1	当該ビットに対応するクアッドカウンタユニットにバスクロックを供給します。 (初期値)

[bit15:12] 予約 :予約ビット
書込みは、"0"を書き込んでください。

[bit11:8] MFTCK[3:0]: 多機能タイマと PPG の動作クロック供給・停止設定
本ビットは、多機能タイマと PPG への動作クロック供給および停止を制御します。各ビットと多機能タイマユニットと PPG チャネルの対応を以下に示します。

bit8 - MFTCK0 : 多機能タイマユニット 0・PPG ch.0, ch.2, ch.4, ch.6
bit9 - MFTCK1 : 多機能タイマユニット 1・PPG ch.8, ch.10, ch.12, ch.14
bit10 - MFTCK2 : 多機能タイマユニット 2・PPG ch.16, ch.18, ch.20, ch.22
bit11 - MFTCK3 : 多機能タイマユニット 3・PPG ch.24, ch.26, ch.28, ch.30

当該ビットに"1"を設定すると、対応する多機能タイマユニットと PPG チャネルにバスクロックが供給され、多機能タイマと PPG 機能を使用できます。該当する多機能タイマユニットと PPG チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、対応する多機能タイマユニットと PPG チャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当する多機能タイマおよび PPG 機能は使用できません。

bit	説明
0	当該ビットに対応する多機能タイマユニットと PPG チャネルへのバスクロック入力を停止します。
1	当該ビットに対応する多機能タイマユニットと PPG チャネルにバスクロックを供給します。(初期値)

[bit7:4] 予約 :予約ビット
書込みは、"0"を書き込んでください。

[bit3:0] BTMCK[3:0] : ベースタイマの動作クロック供給・停止設定
これらのビットは、ベースタイマへの動作クロック供給および停止を制御します。各ビットとベースタイマチャネルの対応を以下に示します。

bit0 - BTMCK0 : ベースタイマチャネル 0～3
bit1 - BTMCK1 : ベースタイマチャネル 4～7
bit2 - BTMCK2 : ベースタイマチャネル 8～11
bit3 - BTMCK3 : ベースタイマチャネル 12～15

当該ビットに"1"を設定すると、対応するベースタイマチャネルにバスクロックが供給され、ベースタイマ機能を使用できます。該当するベースタイマチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、対応するベースタイマチャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当するチャネルのベースタイマ機能は使用できません。

bit	説明
0	当該ビットに対応するベースタイマチャネルへのバスクロック入力を停止します。
1	当該ビットに対応するベースタイマチャネルにバスクロックを供給します。 (初期値)

4.4 周辺リセット制御レジスタ 1(MRST1)

周辺リセット制御レジスタ 1(MRST1)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約				QDURST[3:0]			
属性	-				R/W			
初期値	-				0000			

bit	15	14	13	12	11	10	9	8
Field	予約				MFTRST[3:0]			
属性	-				R/W			
初期値	-				0000			

bit	7	6	5	4	3	2	1	0
Field	予約				BTMRST[3:0]			
属性	-				R/W			
初期値	-				0000			

[bit31:20] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit19:16] QDURST[3:0] :クアッドカウンタのリセット制御

本ビットは、クアッドカウンタのユニット単位のリセットを制御します。各ビットとクアッドカウンタユニットの対応を以下に示します。

bit16 - QDURST0 : クアッドカウンタユニット 0
bit17 - QDURST1 : クアッドカウンタユニット 1
bit18 - QDURST2 : クアッドカウンタユニット 2
bit19 - QDURST3 : クアッドカウンタユニット 3

当該ビットに"1"を設定すると、対応するクアッドカウンタのユニットがリセット状態となり、クアッドカウンタ動作が停止し、レジスタは初期化されます。該当するクアッドカウンタユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	当該ビットに対応するクアッドカウンタユニットのリセットを解除します。 (初期値)
1	当該ビットに対応するクアッドカウンタユニットへリセットを発行します。

[bit15:12] 予約 :予約ビット
書込みは、"0"を書き込んでください。

[bit11:8] MFTRST[3:0] :多機能タイマと PPG のリセット制御
本ビットは、ユニット単位の多機能タイマリセットと 4 チャネル単位の PPG リセットを制御します。各ビットとクアッドカウンタユニットと PPG チャネルの対応を以下に示します。

bit8 - MFTRST0 : 多機能タイマユニット 0・PPG ch.0, ch.2, ch.4, ch.6
bit9 - MFTRST1 : 多機能タイマユニット 1・PPG ch.8, ch.10, ch.12, ch.14
bit10 - MFTRST2 : 多機能タイマユニット 2・PPG ch.16, ch.18, ch.20, ch.22
bit11 - MFTRST3 : 多機能タイマユニット 3・PPG ch.24, ch.26, ch.28, ch.30

当該ビットに"1"を設定すると、対応する多機能タイマユニットと PPG チャネルがリセット状態となり、多機能タイマ動作が停止し、レジスタは初期化されます。該当する多機能タイマユニットと PPG チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	当該ビットに対応する多機能タイマユニットと PPG チャネルのリセットを解除します。(初期値)
1	当該ビットに対応する多機能タイマユニットと PPG チャネルへリセットを発行します。

[bit7:4] 予約 :予約ビット
書込みは、"0"を書き込んでください。

[bit3:0] BTMRST[3:0] : ベースタイマのリセット制御
本ビットは、ベースタイマの 4 単位でリセットを制御します。各ビットとベースタイマチャネルの対応を以下に示します。

bit0 - BTMRST0 : ベースタイマチャネル 0～3
bit1 - BTMRST1 : ベースタイマチャネル 4～7
bit2 - BTMRST2 : ベースタイマチャネル 8～11
bit3 - BTMRST3 : ベースタイマチャネル 12～15

当該ビットに"1"を設定すると、対応するベースタイマチャネルのユニットがリセット状態となり、ベースタイマ動作が停止し、レジスタは初期化されます。該当するベースタイマチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	当該ビットに対応するベースタイマチャネルのリセットを解除します。 (初期値)
1	当該ビットに対応するベースタイマチャネルへリセットを発行します。

4.5 周辺クロック制御レジスタ 2(CKEN2)

周辺クロック制御レジスタ 2(CKEN2)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約			PCRCCK	予約	CECCK	予約	LCDCCK
属性	-			R/W	-	R/W	-	R/W
初期値	-			1	-	1	-	1

bit	15	14	13	12	11	10	9	8
Field	I2SCCK[1:0]		ICCCK[1:0]		予約		予約	
属性	R/W		R/W		-		-	
初期値	11		11		-		-	

bit	7	6	5	4	3	2	1	0
Field	予約						USBCK[1:0]	
属性	-						R/W	
初期値	-						00	

[bit31:21] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit20] PCRCCK : プログラマブル CRC の動作クロック供給・停止

本ビットは、プログラマブル CRC へのバスクロック供給および停止を制御します。

本ビットに"1"を設定すると、プログラマブル CRC ブロックへバスクロックが供給され、プログラマブル CRC 機能を使用できます。プログラマブル CRC ブロックが搭載されていない製品では、本ビットを初期値から変更しないでください。

当該ビットに"0"を設定すると、プログラマブル CRC ブロックへのバスクロック入力が停止します。バスクロック入力停止中は、プログラマブル CRC 機能は使用できません。

bit	説明
0	プログラマブル CRC ブロックへのバスクロック入力を停止します。
1	プログラマブル CRC ブロックにバスクロックを供給します。(初期値:)

[bit19] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit18] CECCK : HDMI-CEC/リモコン受信の動作クロック供給・停止

本ビットは、HDMI-CEC/リモコン受信ブロックへのバスクロック供給および停止を制御します。
本ビットに"1"を設定すると、HDMI-CEC/リモコン受信ブロックへバスクロックが供給され、HDMI-CEC/リモコン受信機能を使用できます。HDMI-CEC/リモコン受信ブロックが搭載されていない製品では、本ビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、HDMI-CEC/リモコン受信ブロックへのバスクロック入力が停止します。バスクロック入力停止中は、HDMI-CEC/リモコン受信機能は使用できません。

bit	説明
0	HDMI-CEC/リモコン受信ブロックへのバスクロック入力を停止します。
1	HDMI-CEC/リモコン受信ブロックにバスクロックを供給します。(初期値:)

[bit17] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit16] LCDCCK : LCD コントローラの動作クロック供給・停止

本ビットは、LCD コントローラへのバスクロック供給および停止を制御します。
本ビットに"1"を設定すると、LCD コントローラへバスクロックが供給され、LCD コントローラ機能を使用できます。LCD コントローラが搭載されていない製品では、本ビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、LCD コントローラへのバスクロック入力が停止します。バスクロック入力停止中は、LCD コントローラ機能は使用できません。

bit	説明
0	LCD コントローラへのバスクロック入力を停止します。
1	LCD コントローラにバスクロックを供給します。(初期値:)

[bit15:14] I2SCCK[1:0] : MFS-I2S の動作クロック供給・停止設定

本ビットは、MFS-I2S へのバスクロック供給および停止を制御します。各ビットと MFS-I2S チャネルの対応を以下に示します。

[TYPE2-M0+製品]
bit14 - I2SCCK 0 : MFS-I2S インタフェースチャネル 5
bit15 - I2SCCK 1 : MFS-I2S インタフェースチャネル 6

[TYPE3-M0+製品]
bit14 - I2SCCK 0 : MFS-I2S インタフェースチャネル 4
bit15 - I2SCCK 1 : MFS-I2S インタフェースチャネル 6

当該ビットに"1"を設定すると、対応する MFS-I2S チャネルにバスクロックが供給され、MFS-I2S 機能を使用できます。該当する MFS-I2S チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。

当該ビットに"0"を設定すると、対応する MFS-I2S チャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当するチャネルの MFS-I2S 機能は使用できません。

bit	説明
0	当該ビットに対応する MFS-I2S チャネルへのバスクロック入力を停止します。
1	当該ビットに対応する MFS-I2S チャネルにバスクロックを供給します。 (初期値)

[bit13:12] ICCCK[1:0] : スマートカードインタフェースの動作クロック供給・停止設定

本ビットは、スマートカードインタフェースへのバスクロック供給および停止を制御します。各ビットとスマートカードインタフェースチャネルの対応を以下に示します。

bit12 - ICCCK0 : スマートカードインタフェースチャネル 0
bit13 - ICCCK1 : スマートカードインタフェースチャネル 1

当該ビットに"1"を設定すると、対応するスマートカードインタフェースチャネルにバスクロックが供給され、スマートカードインタフェース機能を使用できます。該当するスマートカードインタフェースチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、対応するスマートカードインタフェースチャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当するチャネルのスマートカードインタフェース機能は使用できません。

bit	説明
0	当該ビットに対応するスマートカードインタフェースチャネルへのバスクロック入力を停止します。
1	当該ビットに対応するスマートカードインタフェースチャネルにバスクロックを供給します。 (初期値)

[bit11:2] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit1:0] USBCK[1:0] : USB（ファンクション/ホスト）の動作クロック供給・停止設定

本ビットは、USB(ファンクション/ホスト)へのバスクロック供給および停止を制御します。各ビットと USB チャネルの対応を以下に示します。

bit0 - USB CK0 : USB チャネル 0
bit1 - USB CK1 : USB チャネル 1

当該ビットに"1"を設定すると、対応する USB チャネルにバスクロックが供給され、USB 機能を使用できます。該当する USB チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、対応する USB チャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当するチャネルの USB 機能は使用できません。

bit	説明
0	当該ビットに対応する USB チャネルへのバスクロック入力を停止します。(初期値)
1	当該ビットに対応する USB チャネルにバスクロックを供給します。

4.6 周辺リセット制御レジスタ 2(MRST2)

周辺リセット制御レジスタ 2(MRST2)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約			PCRCRST	予約	CECRST	予約	LCDCRST
属性	-			R/W	-	R/W	-	R/W
初期値	-			0	-	0	-	0

bit	15	14	13	12	11	10	9	8
Field	I2SCRST [1:0]		ICCRST [1:0]		予約		予約	
属性	R/W		R/W		-		-	
初期値	00		00		-		-	

bit	7	6	5	4	3	2	1	0
Field	予約						USBRST [1:0]	
属性	-						R/W	
初期値	-						00	

[bit31:21] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit20] PCRCRST[1:0] :プログラマブル CRC のリセット制御

本ビットは、プログラマブル CRC ブロックのリセットを制御します。本ビットに"1"を設定すると、プログラマブル CRC がリセット状態となり、プログラマブル CRC 動作が停止し、レジスタは初期化されます。プログラマブル CRC ブロックが搭載されていない製品では、初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	プログラマブル CRC ブロックのリセットを解除します。(初期値)
1	プログラマブル CRC ブロックへリセットを発行します。

[bit19] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit18] CECRST[1:0] : HDMI-CEC/リモコン受信のリセット制御

本ビットは、HDMI-CEC/リモコン受信ブロックのリセットを制御します。本ビットに"1"を設定すると、HDMI-CEC/リモコン受信部がリセット状態となり、HDMI-CEC/リモコン受信動作が停止し、レジスタは初期化されます。HDMI-CEC/リモコン受信ブロックが搭載されていない製品では、初期値から変更しないでくだ

さい。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	HDMI-CEC/リモコン受信ブロックのリセットを解除します。(初期値)
1	HDMI-CEC/リモコン受信ブロックへリセットを発行します。

[bit17] 予約 :予約ビット
書込みは、"0"を書き込んでください。

[bit16] LCRCRST[1:0] : LCD コントローラのリセット制御
本ビットは、LCD コントローラのリセットを制御します。本ビットに"1"を設定すると、LCD コントローラがリセット状態となり、LCD コントローラ動作が停止し、レジスタは初期化されます。LCD コントローラが搭載されていない製品では、初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	LCD コントローラのリセットを解除します。(初期値)
1	LCD コントローラへリセットを発行します。

[bit15:14] I2SCRST[1:0] :MFS-I2S のリセット制御
本ビットは、MFS-I2S のチャネル単位でリセットを制御します。各ビットと MFS-I2S チャネルの対応を以下に示します。

[TYPE2-M0+製品]
bit14 – I2SCRST0 : MFS-I2S チャネル 5
bit15 – I2SCRST1 : MFS-I2S チャネル 6

[TYPE3-M0+製品]
bit14 – I2SCRST0 : MFS-I2S チャネル 4
bit15 – I2SCRST1 : MFS-I2S チャネル 6

当該ビットに"1"を設定すると、対応する MFS-I2S のチャネルがリセット状態となり、MFS-I2S 動作が停止し、レジスタは初期化されます。該当する MFS-I2S チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	当該ビットに対応する MFS-I2S チャネルのリセットを解除します。(初期値)
1	当該ビットに対応する MFS-I2S チャネルへリセットを発行します。

[bit13:12] ICCRST[1:0] :スマートカードインタフェースのリセット制御
本ビットは、スマートカードインタフェースのチャネル単位でリセットを制御します。各ビットとスマートカードインタフェースチャネルの対応を以下に示します。

bit12 - ICCRST0 : スマートカードインタフェースチャネル 0
bit13 - ICCRST1 : スマートカードインタフェースチャネル 1

当該ビットに"1"を設定すると、対応するスマートカードインタフェースのチャネルがリセット状態となり、スマートカードインタフェース動作が停止し、レジスタは初期化されます。該当するスマートカードインタフェースチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	当該ビットに対応するスマートカードインタフェースチャネルのリセットを解除します。 (初期値)
1	当該ビットに対応するスマートカードインタフェースチャネルへリセットを発行します。

[bit11:2] 予約 :予約ビット
書込みは、"0"を書き込んでください。

[bit1:0] USBRST[1:0] :USB（ファンクション/ホスト）のリセット制御
本ビットは、USB（ファンクション/ホスト）のチャネル単位でリセットを制御します。各ビットと USB チャネルの対応を以下に示します。

bit0 - USBRST0 : USB チャネル 0
bit1 - USBRST1 : USB チャネル 1

当該ビットに"1"を設定すると、対応する USB のチャネルがリセット状態となり、USB 動作が停止し、レジスタは初期化されます。該当する USB チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	当該ビットに対応する USB チャネルのリセットを解除します。 (初期値)
1	当該ビットに対応する USB チャネルへリセットを発行します。

5. 周辺クロック停止機能　使用時の注意

周辺クロック停止機能を使用する際の注意点について、周辺機能毎に説明します。

全般

■ クロック供給を停止している周辺機能の制御

クロック供給を停止している周辺機能へのレジスタアクセスはリード・ライト共に動作を保証しません。読出し値は不定、書込みは禁止です。

周辺クロック停止中に、周辺リセット制御レジスタ 0～2(MRST0, MRST1, MRST2)の制御で内部状態をリセットすることはできます。

■ 周辺クロック設定の組み合わせ

複数の周辺機能を組み合わせで動作する機能は、必ず対象の周辺機能すべてを周辺クロック制御レジスタ 0～2 (CKEN0, CKEN1, CKEN2)でクロック供給側に設定してください。

例えば、A/D コンバータのタイマトリガ選択でベースタイマを使用する場合は、使用する A/D コンバータの該当ユニットとベースタイマの該当チャネルを周辺クロック制御レジスタ(CKEN0, CKEN1)でそれぞれ設定してください。

■ 周辺クロック設定の初期化条件

周辺クロック停止機能は以下のリセットで初期状態になります。以下のリセット発生後は必ず、周辺クロック停止機能の再設定を実施してください。

以下のリセットの詳細は、『リセット』の章を参照してください。

- 電源投入リセット(PONR)
- 低電圧検出リセット(LVDH)
- INITX 端子入力(INITX)
- ソフトウェア・ウォッチドッグリセット(SWDGR)
- ハードウェア・ウォッチドッグリセット(HWDGR)
- クロック故障検出リセット(CSVR)
- 異常周波数検出リセット(FCSR)
- ソフトウェアリセット(SRST)
- APB1 バスリセット(APBC1_PSR)
- ディープスタンバイ遷移リセット(DSTR)

マルチファンクションシリアルインタフェース

■ LIN Sync field 検出 : LSYN

LIN バスインタフェースモードでインプットキャプチャ(ICU)を使用する場合は、マルチファンクションシリアルインタフェースの周辺クロック設定と合せて、対応する多機能タイマ(インプットキャプチャ)への動作クロック供給を行う設定を別途実施してください。マルチファンクションシリアルインタフェースとインプットキャプチャの接続は、『I/O ポート』の章の拡張機能端子設定レジスタ(EPFR)を参照してください。

■ MFS I^2S インタフェース

クロック同期シリアルインタフェース(CSIO)モードで I^2S を使用する場合は、マルチファンクションシリアルインタフェースの周辺クロック設定と合わせて、対応する MFS I^2S インタフェースへの動作クロック供給を行う設定を別途実施してください。

ベースタイマ

■ ベースタイマのクロック設定単位

ベースタイマの周辺クロック制御は、Table 5-1 に示す 4 チャネル単位でクロックの停止・供給の制御を行います。

Table 5-1 周辺クロック停止設定とベースタイマチャネルの対応

周辺クロック制御レジスタ (CKEN1)の設定ビット	対象チャネル
bit0	ベースタイマ ch.3, ch.2, ch.1, ch.0
bit1	ベースタイマ ch.7, ch.6, ch.5, ch.4
bit2	ベースタイマ ch.11, ch.10, ch.9, ch.8
bit3	ベースタイマ ch.15, ch.14, ch.13, ch.12

多機能タイマ

■ FRT 選択レジスタ

以下の FRT 選択機能を使用する場合は、接続元の FRT が搭載されている多機能タイマユニットの動作クロックは供給側に設定してください。

- OCU 接続 FRT 選択レジスタ(OCFS)
- ICU 接続 FRT 選択レジスタ(ICFS)
- ADC 起動コンペア接続 FRT 選択レジスタ(ADCMP)

PPG

■ PPG のクロック制御

PPG への入力クロック制御は、多機能タイマへの入力クロック設定と連動しています。Table 5-2 に PPG のチャネル番号と多機能タイマのユニット番号を示します。

Table 5-2 多機能タイマと PPG の入力クロック制御

多機能タイマのユニット番号	PPG のチャネル番号
ユニット 0	チャネル 0～チャネル 7
ユニット 1	チャネル 8～チャネル 15
ユニット 2	チャネル 16～チャネル 23
ユニット 3	チャネル 24～チャネル 31

USB（ファンクション/ホスト）

■ クロック制御対象

USB 通信用のクロック供給・停止は周辺クロック制御レジスタ 2(CKEN2)の USBCK ビットで制御することは出来ません。USB クロック制御レジスタ(UCCR)の UCEN ビットによって、USB 通信用のクロック制御を実施します。詳細は、FM0+ファミリペリフェラルマニュアル『マクロ通信編』の『USB クロック生成』を参照してください。

A/D コンバータ

■ A/D タイマトリガ選択

A/D コンバータの起動要因としてベースタイマを使用する場合は、選択するベースタイマチャネルの動作クロックは供給側に設定してください。

GPIO/Fast GPIO

■ バスクロック停止時の制限

GPIO/Fast GPIO のバスクロック停止中は、Table 5-3 に示すように I/O ポートに関する機能を一部使用できません。必ず使用条件を確認して、I/O ポートのバスクロック制御を実施してください。I/O ポート機能の詳細は、『I/O ポート』と『Fast GPIO』の章を参照してください。

Table 5-3 GPIO/Fast GPIO クロック停止時の制限

制御内容	バスクロックの状態	
	供給時*	停止時*
I/O ポート機能の入力レベル読出し (PDIR/FPDIR/M_FPDIR レジスタのリード)	○	×
I/O ポート機能の出力レベル切換えと状態確認 (PDOR/FPDOR/M_FPDOR レジスタの読出し・書込み)	○	×
I/O ポートのモード変更 (PFR・PCR・DDR・ADE・SPSR・EPFR・PZR・FPOER レジスタの設定変更)	○	×
周辺機能動作(信号入力および信号出力)	○	○
外部割込み・NMI 制御	○	○
リセット入力(INITX)	○	○
ディープスタンバイモードからの復帰 (WKUP 端子入力)	○	○

*: ○は使用可能、×は使用禁止を示す。

HDMI-CEC/リモコン受信

■ クロック制御対象

HDMI-CEC/リモコン受信用のサブクロック供給・停止は周辺クロック制御レジスタ 2(CKEN2)の CECCK ビットで制御することができません。サブクロック制御レジスタ(RCK_CTL)の CECCKE ビットによって、HDMI-CEC/リモコン受信用のサブクロックのクロック制御を実施します。詳細は、低消費電力モードの章を参照してください。

CHAPTER 2-3: 高速 CR トリミング

高速 CR トリミング機能について説明します。

1. 高速 CR トリミング機能 概要
2. 高速 CR トリミング機能 構成・ブロックダイヤグラム
3. 高速 CR トリミング機能 動作説明
4. 高速 CR トリミング機能 設定手順例
5. 高速 CR トリミング機能 レジスタ一覧
6. 高速 CR トリミング機能 使用上の注意点

管理コード: 9BFCRTRIM_FM0-J03.0

1. 高速 CR トリミング機能 概要

高速 CR 発振器の周波数トリミング機能を説明します。

本デバイスの高速 CR 発振器は、プロセスばらつきにより、周波数精度に変動幅を持ちます。トリミング機能を設定することで、周波数のオフセット調整および温度による周波数の変動を抑えることができます。

高速 CR トリミング機能は、周波数トリミング設定部と温度トリミング設定部から構成されます。

周波数トリミング設定部は以下の機能を持ちます。

- 周波数トリミングレジスタ(MCR_FTRM)にトリミング値を書き込むことにより、高速 CR の周波数オフセット調整が可能
- ベースタイマの ch.0 を使用することにより、一定期間内のカウント値から、周波数トリミングレジスタへの設定値を算出することが可能

温度トリミング設定部は以下の機能を持ちます。

- 温度トリミングレジスタ(MCR_TTRM)にトリミング値を書き込むことにより、高速 CR の温度補正が可能

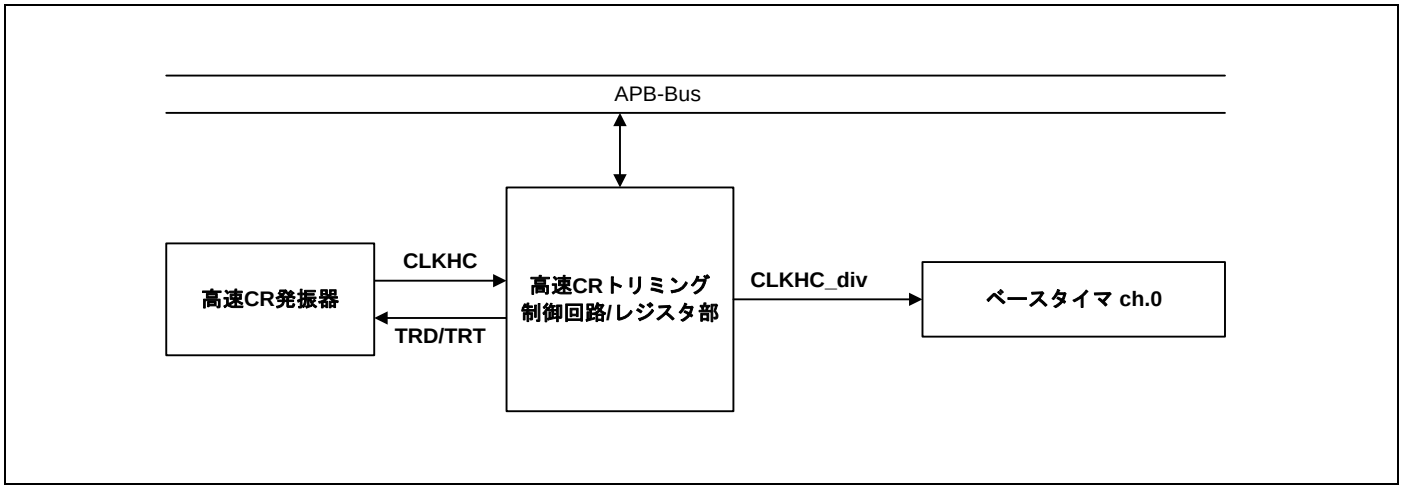
高速 CR 発振器の周波数精度はご使用する製品の『データシート』の電気的特性を参照してください。

2. 高速 CR トリミング機能 構成・ブロックダイヤグラム

高速 CR 発振器の周波数トリミング機能の構成・ブロックダイヤグラムを説明します。

Figure 2-1 に高速 CR 発振器の周波数トリミング機能のブロックダイヤグラムを示します。

Figure 2-1 高速 CR 発振器　タイミング回路のブロックダイヤグラム



構成

■ 高速 CR 発振器

高速 CR 発振器です。CLKHC(高速 CR クロック)を出力します。
また、高速 CR 発振 周波数トリミング設定レジスタ(MCR_FTRM)の TRD ビット、高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM)の TRT ビットにより、トリミングを行えます。

■ 高速 CR トリミング制御回路・レジスタ部

高速 CR クロックのトリミング設定を行うための制御回路, レジスタを持ちます。
また、高速 CR 発振 分周設定レジスタ(MCR_PSR)の CSR ビットで設定した分周比で分周した高速 CR クロック(CLKHC_div)をベースタイマ ch.0 に出力します。

■ ベースタイマ

高速 CR クロックの周波数トリミングデータを算出するため、周波数をカウントできます。

<注意事項>

- *クロック定義については、別章『クロック』を参照してください。*

3. 高速 CR トリミング機能 動作説明

高速 CR 発振器の周波数トリミング機能の動作説明をします。

高速 CR 発振 周波数トリミング機能　動作説明

■ 周波数トリミング設定

周波数トリミング設定レジスタ(MCR_FTRM)にトリミングデータ値を書き込むことにより、プロセスばらつきによる高速 CR クロックの誤差を補正できます。

■ 温度トリミング設定

温度トリミング設定レジスタ(MCR_TTRM)にトリミングデータ値を書き込むことにより、温度変動による高速 CR クロックの誤差を補正できます。

■ レジスタ Lock 機能

周波数トリミング設定レジスタ(MCR_FTRM)/温度トリミング設定レジスタ(MCR_TTRM)には書込み保護機能があります。
これはシステム暴走時などに不正にレジスタを書き換えられないようにするためです。

■ トリミングデータ取得

周波数トリミング設定レジスタ(MCR_FTRM)に書込むデータ取得方法は以下の 3 つがあります。

- 工場出荷時のフラッシュメモリの「CR トリミング」領域に保存されている値を用いる。
  リセット発行後は、フラッシュメモリに保持されている CR トリミング値が CR トリミング値のミラーレジスタ（CRTRMM）に保持されます。周波数トリミング設定レジスタ（MCR_FTRM）に書き込むトリミング値は、CR トリミング値のミラーレジスタ（CRTRMM）の TRMM ビットの値を使用してください。
- ユーザ自身がベースタイマを使用することにより、一定期間内のカウント値から、周波数トリミング設定レジスタへの設定値を算出する。
- 高速 CR クロックを外部端子に出力し、波形モニタを行い、周波数トリミング設定レジスタへの設定値を算出する。

温度トリミング設定レジスタ(MCR_TTRM)に書込むデータは、工場出荷時のフラッシュメモリの「CR トリミング」領域に保存されている値を用いてください。リセット発行後は、フラッシュメモリに保持されている CR トリミング値が CR トリミング値のミラーレジスタ（CRTRMM）に保持されます。温度トリミング設定レジスタ（MCR_TTRM）に書き込むトリミング値は、CR トリミング値のミラーレジスタ（CRTRMM）の TTMM ビットの値を使用してください。

<注意事項>

- *フラッシュメモリを消去する場合、「CR トリミング」領域も同時に消去されます。「CR トリミング」領域の値を使用する場合、フラッシュメモリを消去する前に「CR トリミング」領域のデータを別領域(RAM など)に保存してください。*
  または、「CR トリミング」領域以外のセクタを消去してください。
- *「CR トリミング」領域のアドレスについては、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

4. 高速 CR トリミング機能 設定手順例

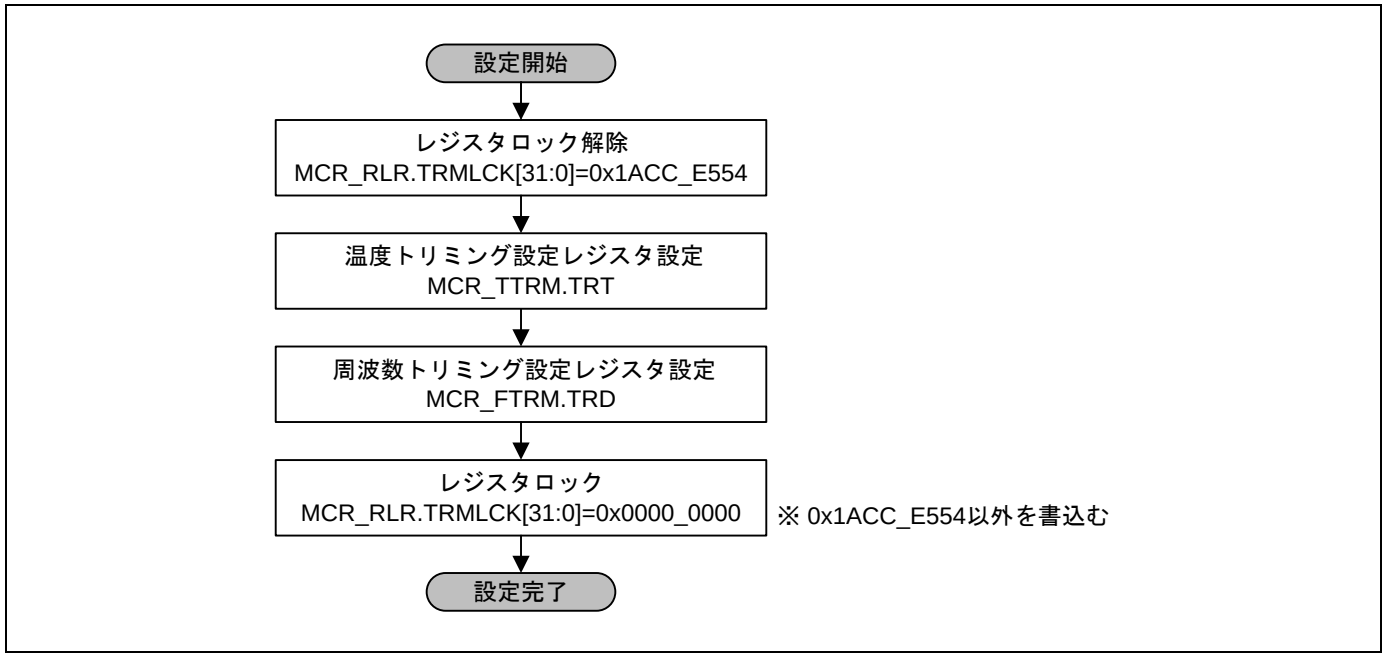
高速 CR 発振器のトリミング機能の設定手順例を説明します。

トリミング機能設定

Figure 4-1 に示す手順で設定してください。

1. 高速 CR 発振 レジスタ書込み保護レジスタ(MCR_RLR)の TRMLCK[31:0]ビットに「0x1ACCE554」を書込み、周波数トリミング設定レジスタ(MCR_FTRM) / 温度トリミング設定レジスタ(MCR_TTRM)のロックを解除する。
2. 温度トリミング設定レジスタ(MCR_TTRM)の TRT ビットにトリミングデータを設定する。
3. 周波数トリミング設定レジスタ(MCR_FTRM)の TRD ビットを設定する。
4. 高速 CR 発振 レジスタ書込み保護レジスタ(MCR_RLR)の TRMLCK[31:0]ビットに「0x1ACCE554 以外」の値を書込み、周波数トリミング設定レジスタ(MCR_FTRM)/温度トリミング設定レジスタ(MCR_TTRM)にロックをかける。

Figure 4-1 周波数/温度トリミングデータ設定



周波数トリミングデータ 取得例

フラッシュメモリの「CR トリミング」領域から取得する場合

フラッシュメモリの「CR トリミング」領域を読み出し、取得した値を周波数トリミングレジスタ(MCR_FTRM)の TRD ビットに書き込んでください。

周波数トリミングデータ算出方法

以下に高速 CR 発振器のトリミングデータ算出方法を説明します。

1. ターゲット発振周波数 Ftgt[MHz]とし、その周期を Ttgt[ns]とします。そのときの高速 CR 発振 周波数トリミング設定レジスタの TRD[9:5]ビットの値を Xtrm_coarse、TRD[4:0]ビットの値を Xtrm_fine とし、TRD[9:0]ビットのの値を Xtrm とします。
2. TRD[4:0]ビットに 0b00000 を設定します
3. TRD[9:5]ビットに 0b00000 を設定したときの値を Xtrmmin_coarse とします。そのときの周期を Tmax_coarse[sec]とします。
4. TRD[9:5]ビットに 0b11111 を設定したときの値を Xtrmmax_coarse とします。そのときの周期を Tmin_coarse [sec]とします。
5. 以下の式より、ターゲット発振周期 Ttgt 以上となる TRD[9:5]設定値 Xtrm_coarse を算出します。

$$Xtrm_coarse = \frac{Ttgt - \frac{T\max_coarse - T\min_corse}{31} - T\max_coarse}{\frac{T\min_coarse - T\max_coarse}{31}}$$

※小数点以下は切り捨て

6. 求めた Xtrm_coarse を TRD[9:5]ビットに設定します。
7. TRD ビットを設定した後の高速 CR クロック F_{CRH} が Ftgt 以下となっているか確認します。Ftgt を超えている場合は、Xtrm_coarse から 1 を減算し、手順 6.に戻ります。Ftgt 以下となっている場合は、手順 8.に進みます。
8. TRD[4:0]ビットに 0b00000 を設定したときの値を Xtrmmin_fine とします。そのときの周期を Tmax_fine[sec]とします。
9. TRD[4:0]ビットに 0b11111 を設定したときの値を Xtrmmax_fine とします。そのときの周期を Tmin_fine [sec]とします。また、
10. 以下の式より、ターゲット発振周期 Ttgt となる TRD[4:0]設定値 Xtrm_fine を算出します。

$$Xtrm_fine = \frac{Ttgt - \frac{T\max_fine - T\min_fine}{31} - T\max_fine}{\frac{T\min_fine - T\max_fine}{31}}$$

※小数点以下は切り上げ

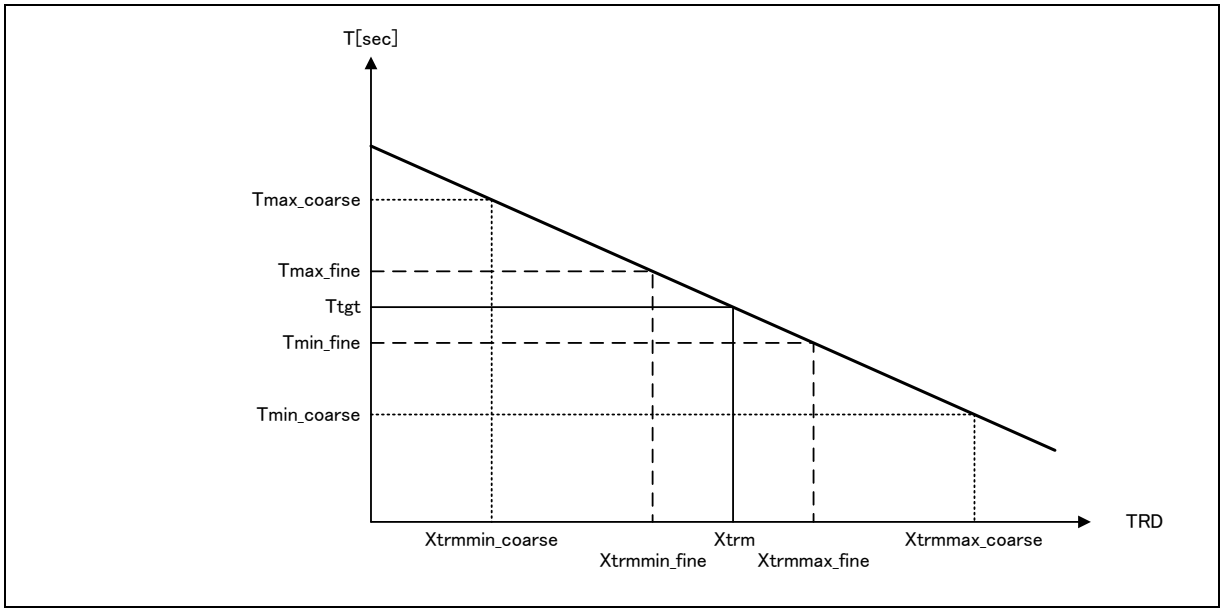
11. 求めた Xtrm_fine を TRD[4:0]ビットに設定します。
12. TRD ビットを設定した後の高速 CR クロック F_{CRH} が Ftgt 以上かつ高速 CR クロックの発振周波数の規格内となっているか確認します。F_{CRH} が規格を超えている場合は、Xtrm_fine から 1 を減算し、手順 11.に

戻ります。また、F_{CRH} が Ftgt 未満の場合、Xtrm_fine に 1 を加算し、手順 11.に戻ります。規格内の場合、トリミングデータの算出は完了です。

<注意事項>

- *高速 CR クロックの発振周波数の規格値については、ご使用する製品の『データシート』を参照してください。*

Figure 4-2 高速 CR クロックのトリミング方法



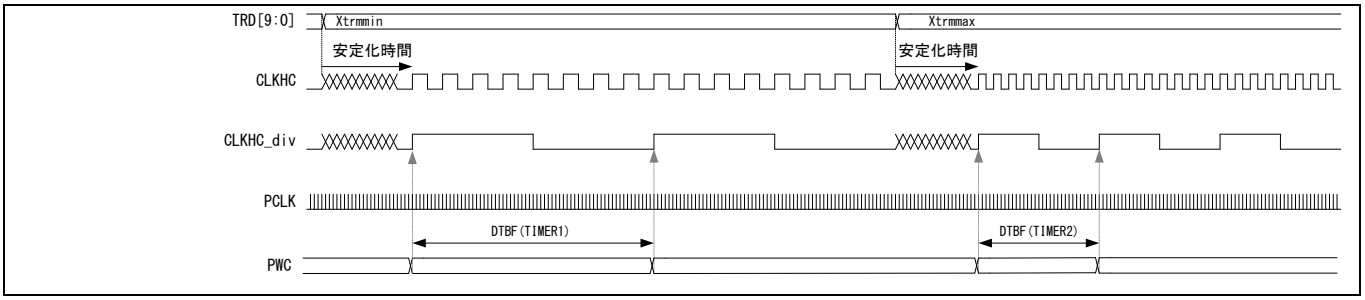
<注意事項>

- *Tmin_coarse/fine,Tmax_coarse/fine の測定方法については「ベースタイマを用いたトリミングデータ取得例」を参照してください。*

ベースタイマを用いたトリミングデータ取得例

高速 CR 発振 トリミング方法のタイムチャートを Figure 4-3 に示します。

Figure 4-3 ベースタイマを使用した高速 CR クロックのトリミング方法のタイムチャート



メインクロック(CLKMO)をマスタクロック(測定基準クロック)としてベースタイマを動作させます。
Xtrmmin および Xtrmmax 設定に対して、分周した高速 CR クロック(CLKHC_div)の立上りでトリガをかけ、そのときのベースタイマのタイマ値を読み出して下記を計算します。

Tmax = (TIMER1×PCLK) / DIV

Tmin = (TIMER2×PCLK) / DIV

- TIMER1, TIMER2 : ベースタイマ(PWC)のカウント値
- PCLK : APB1 バスクロック
- DIV : 分周設定レジスタ(MCR_PSR)の CSR ビットで設定された分周比

(例) PCLK = 40 MHz (25 ns), 分周比 1/8, TIMER1 = 100 のとき、

Tmax = (100 × 25 ns) / 8 = 312.5 ns

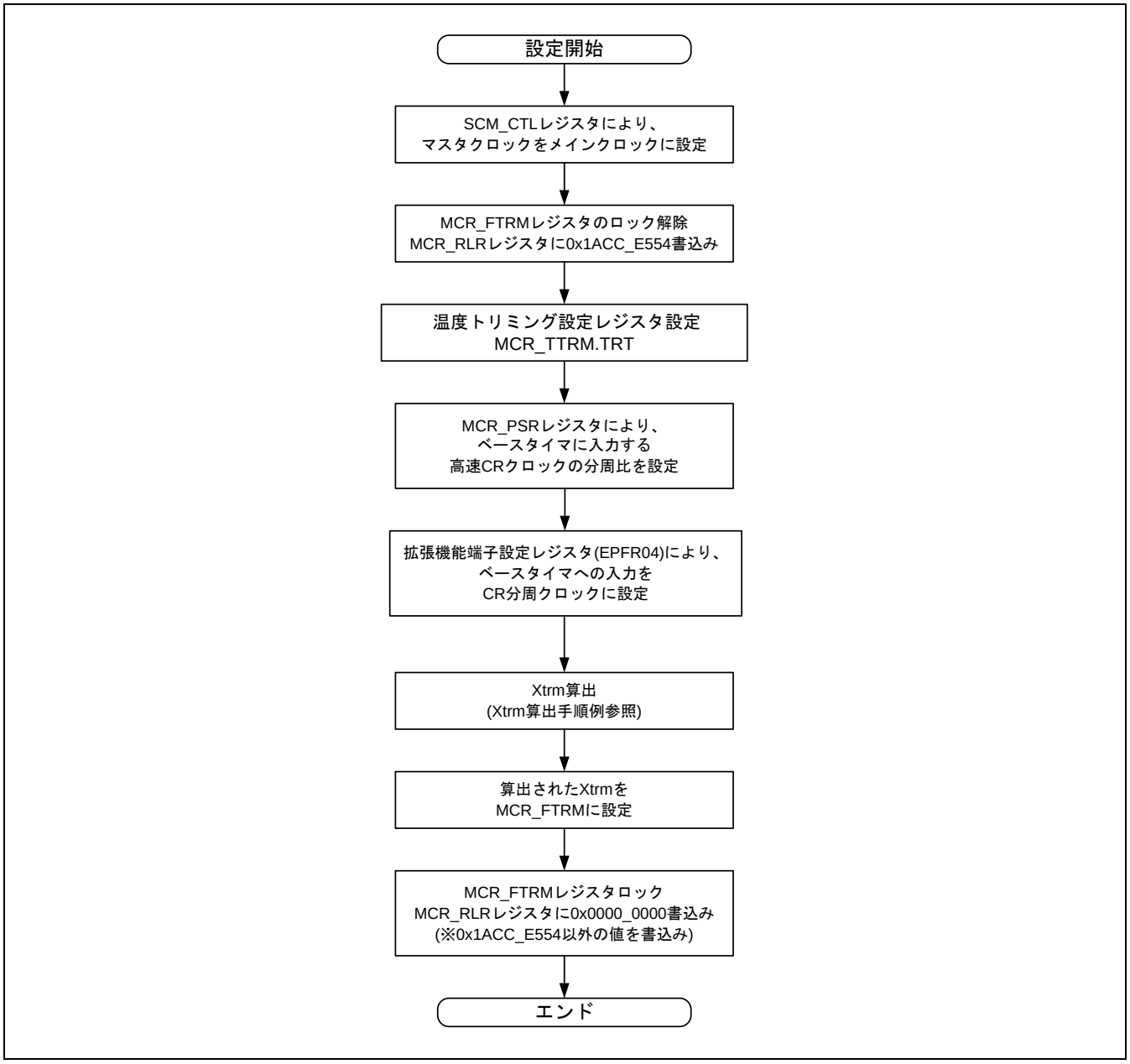
<注意事項>

- *トリミングに使用できるベースタイマは、ch.0 になります。*
  Figure 4-3 の PCLK は APB1 バスクロックになります。
  このときの PCLK はメインクロックをマスタクロックにしてください。

周波数トリミング手順例

Figure 4-4 に高速 CR 発振のトリミング手順例を示します。

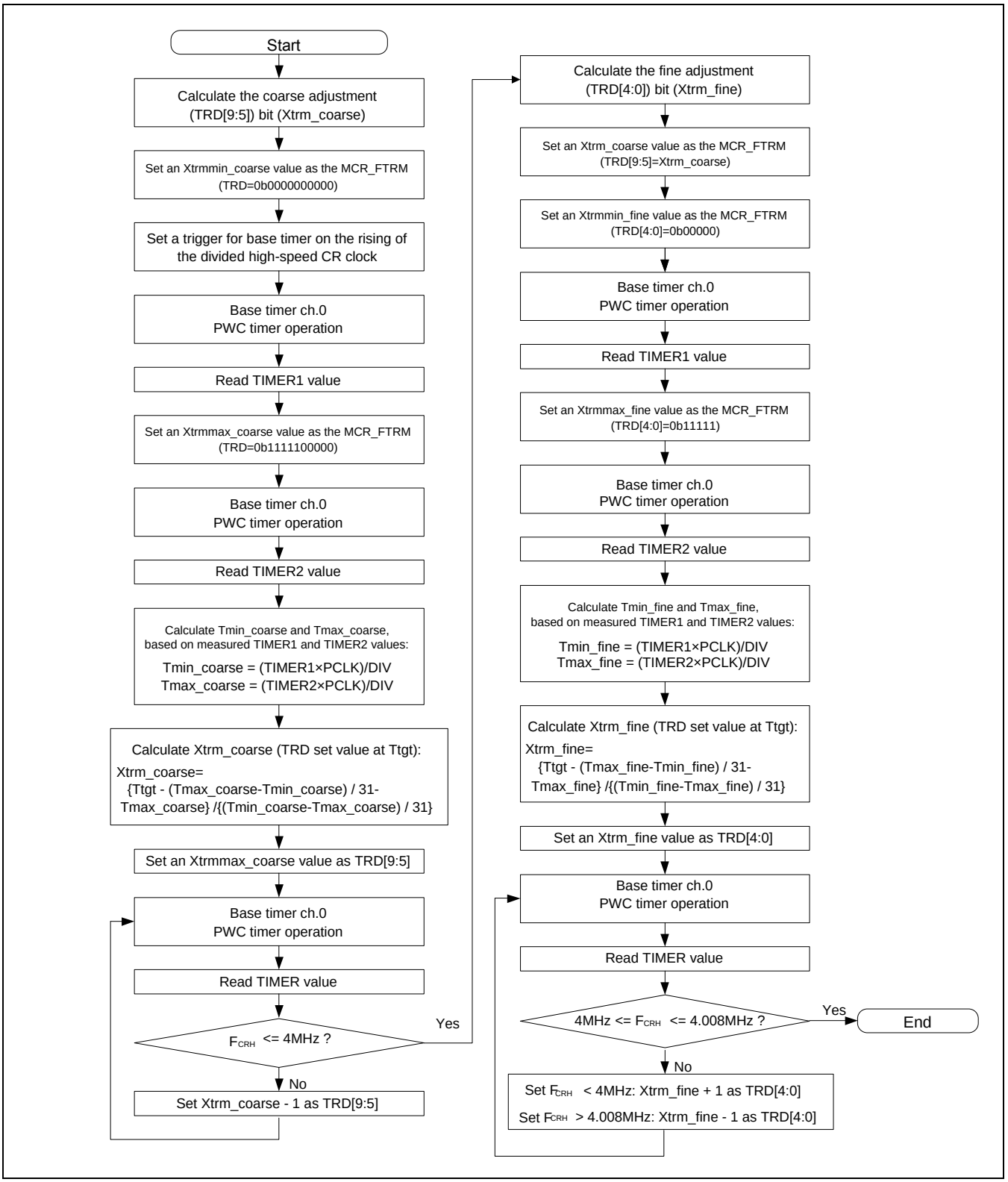
Figure 4-4 高速 CR 発振のトリミング手順例



Xtrm 算出手順例（4MHz 発振の場合）

Figure 4-5 に 4MHz 発振時の Xtrm 算出手順例を示します。粗調整および微調整の 2 段階での周波数トリミングを行ってください。

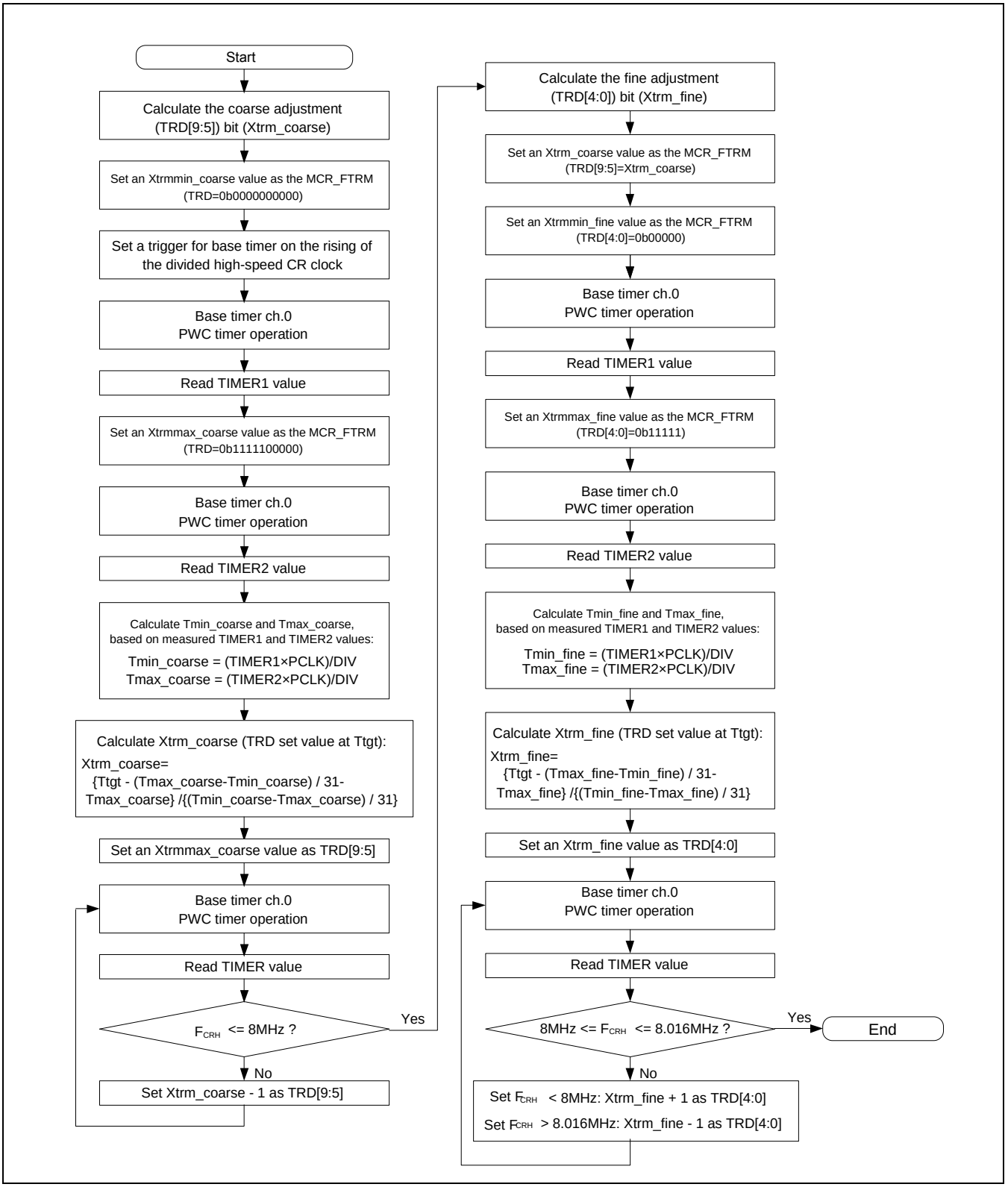
Figure 4-5 Xtrm 算出手順例 （4MHz）


Start
Calculate the coarse adjustment (TRD[9:5]) bit (Xtrm_coarse)
Set an Xtrmmin_coarse value as the MCR_FTRM (TRD=0b0000000000)
Set a trigger for base timer on the rising of the divided high-speed CR clock
Base timer ch.0 PWC timer operation
Read TIMER1 value
Set an Xtrmmax_coarse value as the MCR_FTRM (TRD=0b1111100000)
Base timer ch.0 PWC timer operation
Read TIMER2 value
Calculate Tmin_coarse and Tmax_coarse, based on measured TIMER1 and TIMER2 values:
Tmin_coarse = (TIMER1×PCLK)/DIV
Tmax_coarse = (TIMER2×PCLK)/DIV
Calculate Xtrm_coarse (TRD set value at Ttgt):
Xtrm_coarse= {Ttgt - (Tmax_coarse-Tmin_coarse) / 31- Tmax_coarse} /{(Tmin_coarse-Tmax_coarse) / 31}
Set an Xtrmmax_coarse value as TRD[9:5]
Base timer ch.0 PWC timer operation
Read TIMER value
FCRH <= 4MHz ?
Yes
No
Set Xtrm_coarse - 1 as TRD[9:5]
Calculate the fine adjustment (TRD[4:0]) bit (Xtrm_fine)
Set an Xtrm_coarse value as the MCR_FTRM (TRD[9:5]=Xtrm_coarse)
Set an Xtrmmin_fine value as the MCR_FTRM (TRD[4:0]=0b00000)
Base timer ch.0 PWC timer operation
Read TIMER1 value
Set an Xtrmmax_fine value as the MCR_FTRM (TRD[4:0]=0b11111)
Base timer ch.0 PWC timer operation
Read TIMER2 value
Calculate Tmin_fine and Tmax_fine, based on measured TIMER1 and TIMER2 values:
Tmin_fine = (TIMER1×PCLK)/DIV
Tmax_fine = (TIMER2×PCLK)/DIV
Calculate Xtrm_fine (TRD set value at Ttgt):
Xtrm_fine= {Ttgt - (Tmax_fine-Tmin_fine) / 31- Tmax_fine} /{(Tmin_fine-Tmax_fine) / 31}
Set an Xtrm_fine value as TRD[4:0]
Base timer ch.0 PWC timer operation
Read TIMER value
4MHz <= FCRH <= 4.008MHz ?
Yes
End
No
Set FCRH < 4MHz: Xtrm_fine + 1 as TRD[4:0]
Set FCRH > 4.008MHz: Xtrm_fine - 1 as TRD[4:0]

Xtrm 算出手順例（8MHz 発振の場合）

Figure 4-6 に 8MHz 発振時の Xtrm 算出手順例を示します。粗調整および微調整の 2 段階での周波数トリミングを行ってください。

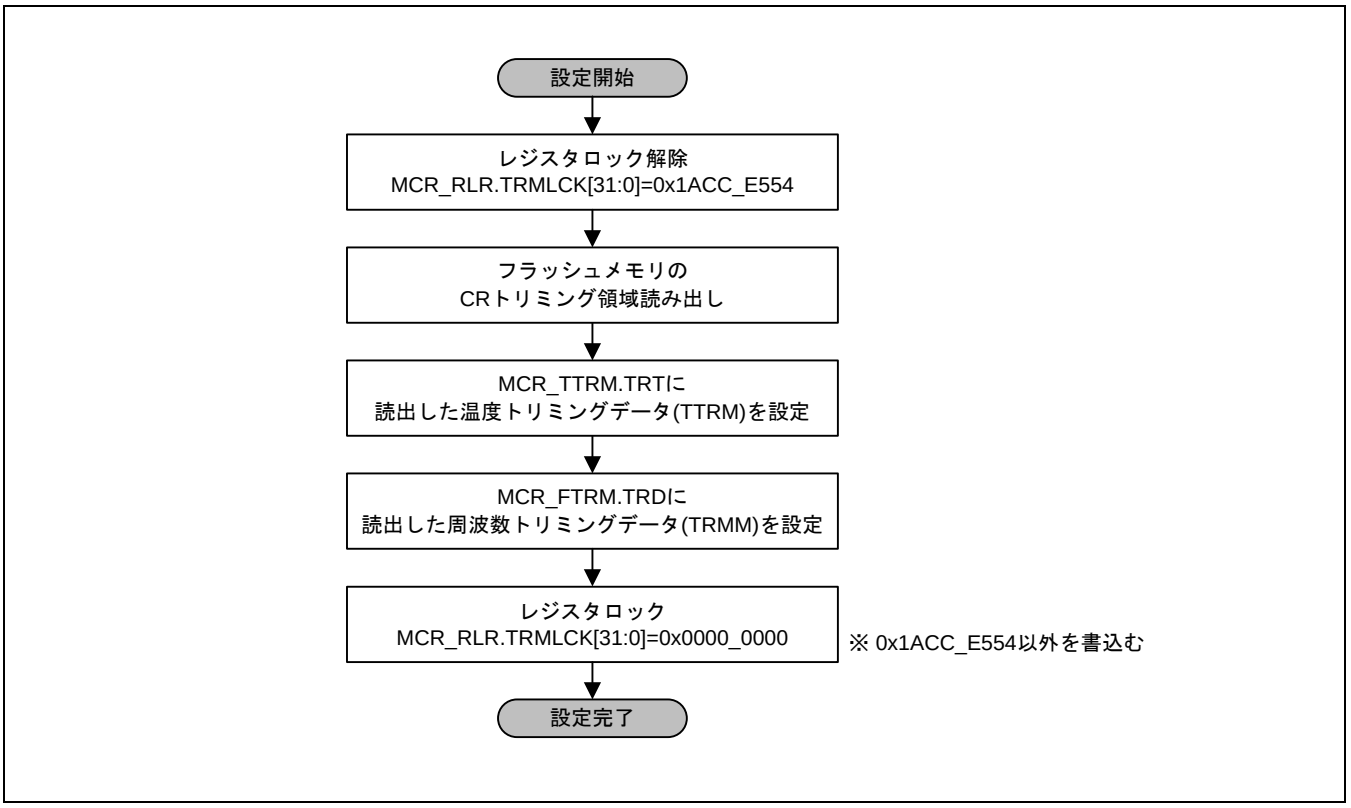
Figure 4-6 Xtrm 算出手順例 （8MHz）



フラッシュメモリ内部の CR トリミング領域保存データの使用手順例

以下にフラッシュメモリの CR トリミング領域に保存されているトリミングデータを読み出して周波数トリミング設定レジスタ，温度トリミング設定レジスタに設定する手順例を Figure 4-7 に示します。

Figure 4-7 CR トリミング領域保存データの使用手順例



<注意事項>

- *CR トリミング領域のアドレスについては、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

5. 高速 CR トリミング機能 レジスター覧

高速 CR 発振器の周波数トリミング機能のレジスター覧を説明します。

Table 5-1 にレジスター覧を示します。

Table 5-1 レジスター覧表

レジスタ略称	レジスタ名	参照先
MCR_PSR	高速 CR 発振 分周設定レジスタ	5.1
MCR_FTRM	高速 CR 発振 周波数トリミング設定レジスタ	5.2
MCR_TTRM	高速 CR 発振 温度トリミング設定レジスタ	5.3
MCR_RLR	高速 CR 発振 レジスタ書込み保護レジスタ	5.4

5.1 高速 CR 発振 分周設定レジスタ(MCR_PSR)

MCR_PSR レジスタは、高速 CR 発振の分周比を設定します。
分周されたクロックはベースタイマに入力できます。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						CSR	
属性	-						R/W	
初期値	-						001	

レジスタ機能

[bit7:3] 予約 : 予約ビット

これらのビットからは、"0b00000"が読み出されます。
書込みの場合には、"0b00000"を設定してください。

[bit2:0] CSR : 高速 CR 発振分周比設定ビット

bit2	bit1	bit0	説明
0	0	0	1/4
0	0	1	1/8[初期値]
0	1	0	1/16
0	1	1	1/32
1	0	0	1/64
1	0	1	1/128
1	1	0	1/256
1	1	1	1/512

5.2 高速 CR 発振 周波数トリミング設定レジスタ(MCR_FTRM)

MCR_FTRM レジスタは、周波数トリミング値を設定します。

レジスタ構成

bit	31															16
Field	予約															
属性	-															
初期値	-															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約						TRD[9:0]									
属性	-						R/W									
初期値	-						01111 01111 (TYPE1-M0+, TYPE2-M0+) 10000 00110 (TYPE3-M0+)									

レジスタ機能

[bit31:10] 予約 : 予約ビット

これらのビットからは、常に"0"が読み出されます。
書込みは動作に影響しません。

[bit9:0] TRD[9:0] : 周波数トリミング設定ビット

bit9:5	説明
書込み時	高速 CR 発振器の出力周波数の粗調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに以下の周波数ステップで変動します。 約 1.0%（TYPE1-M0+製品） 約 3.3%（TYPE2-M0+製品） 約 1.8%（TYPE3-M0+製品）
読出し時	設定された値が読み出されます。 初期値は以下の値が読みだされます。 0b01111（TYPE1-M0+、TYPE2-M0+の時） 0b10000（TYPE3-M0+の時）

bit4:0	説明
書込み時	高速 CR 発振器の出力周波数の微調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに以下の周波数ステップで変動します。 約 0.2%（TYPE1-M0+製品） 約 0.3%（TYPE2-M0+製品） 約 0.1%（TYPE3-M0+製品）
読出し時	設定された値が読み出されます。 初期値は以下の値が読みだされます。 0b01111（TYPE1-M0+、TYPE2-M0+の時） 0b10000（TYPE3-M0+の時）

<注意事項>

- *本レジスタはソフトウェアリセット時には初期化されません。*
- *TRD ビットに設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。*

5.3 高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM)

MCR_TTRM レジスタは、温度トリミング値を設定します。

本レジスタは、製品タイプ（TYPE1-M0+／TYPE2-M0+／TYPE3-M0+）によって、それぞれ異なる仕様になっています。

5.3.1 MCR_TTRM (TYPE1-M0+)

レジスタ構成

bit	31	16
Field	予約	
属性	-	
初期値	-	

bit	15	5	4	3	2	1	0
Field	予約		TRT[4:0]				
属性	-		R/W				
初期値	-		10000				

レジスタ機能

[bit31:5] 予約 ： 予約ビット

これらのビットからは、常に"0"が読み出されます。
書込みは動作に影響しません。

[bit4:0] TRT[4:0]： 温度トリミング設定ビット

bit4:0	説明
書込み時	温度による周波数変動の補正を行うビットです。 フラッシュメモリの温度トリミングビット保存領域を読み出した値を書き込んでください。 温度トリミングビット保存領域については、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。
読出し時	設定された値が読み出されます。 初期値は 0b10000 が読み出されます。

＜注意事項＞

- *本レジスタはソフトウェアリセット時には初期化されません。*
- *周波数トリミングデータを取得する際は、必ず先に本レジスタの設定を行ってください。*

5.3.2 MCR_TTRM (TYPE2-M0+)

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	-															
初期値	-															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約									TRT[6:0]						
属性	-									R/W						
初期値	-									0111111						

レジスタ機能

[bit31:7] 予約 : 予約ビット

これらのビットからは、常に"0"が読み出されます。
書込みは動作に影響しません。

[bit6:0] TRT[6:0] : 温度トリミング設定ビット

bit4:0	説明
書込み時	温度による周波数変動の補正を行うビットです。 フラッシュメモリの温度トリミングビット保存領域を読み出した値を書き込んでください。 温度トリミングビット保存領域については、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。
読出し時	設定された値が読み出されます。 初期値は 0b0111111 が読み出されます。

<注意事項>

- *本レジスタはソフトウェアリセット時には初期化されません。*
- *周波数トリミングデータを取得する際は、必ず先に本レジスタの設定を行ってください。*

5.3.3 MCR_TTRM (TYPE3-M0+)

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	-															
初期値	-															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約									TRT[6:0]						
属性	-									R/W						
初期値	-									1111111						

レジスタ機能

[bit31:7] 予約 : 予約ビット

これらのビットからは、常に"0"が読み出されます。
書込みは動作に影響しません。

[bit6:0] TRT[6:0] : 温度トリミング設定ビット

bit4:0	説明
書込み時	温度による周波数変動の補正を行うビットです。 フラッシュメモリの温度トリミングビット保存領域を読み出した値を書き込んでください。 温度トリミングビット保存領域については、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。
読出し時	設定された値が読み出されます。 初期値は 0b1111111 が読み出されます。

<注意事項>

- *本レジスタはソフトウェアリセット時には初期化されません。*
- *周波数トリミングデータを取得する際は、必ず先に本レジスタの設定を行ってください。*

5.4 高速 CR 発振 レジスタ書込み保護レジスタ(MCR_RLR)

MCR_RLR レジスタは、周波数トリミング設定レジスタ(MCR_FTRM),高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM)に対する書込み保護を制御します。

レジスタ構成

bit	31															16
Field	TRMLCK[31:16]															
属性	R/W															
初期値	0x0000															

bit	15															0
Field	TRMLCK[15:0]															
属性	R/W															
初期値	0x0001															

レジスタ機能

[bit31:0] TRMLCK[31:0]： レジスタ書込み保護ビット

bit31:0	説明
読出し時	読出し値が 0x00000000 : MCR_FTRM/MCR_TTRM レジスタはロック解除状態 読出し値が 0x00000001 : MCR_FTRM/MCR_TTRM レジスタはロック状態
0x1ACCE554 以外 書込み時	MCR_FTRM/MCR_TTRM レジスタはロックされます。
0x1ACCE554 書込み時	MCR_FTRM/MCR_TTRM レジスタがロック解除されます。

<注意事項>

- *本レジスタはソフトウェアリセット時には初期化されません。*

6. 高速 CR トリミング機能 使用上の注意点

高速 CR トリミング機能の使用上の注意点を説明します。

■ 低速 CR 発振器について

本トリミング機能は高速 CR 発振器にのみ有効です。
低速 CR 発振器には適用できません。

■ 「CR トリミング」領域に保存されているデータについて

「CR トリミング」領域には、工場出荷時に設定した周波数/温度トリミングデータが保存されています。「CR トリミング」領域のアドレスについては、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。
フラッシュメモリを一括消去する場合、「CR トリミング」領域も同時に消去されます。「CR トリミング」領域の値を使用する場合、フラッシュメモリを消去する前に「CR トリミング」領域のデータを別領域(RAM など)に保存してください。
または、「CR トリミング」領域以外のセクタのデータを消去してください。

■ 高速 CR 発振器 発振周波数精度について

高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM)と高速 CR 発振 周波数トリミング設定レジスタ(MCR_FTRM)の設定を行わない場合、『データシート』に記載されている高速 CR 発振器の精度を保証できないため、必ず設定を行ってください。

■ ベースタイマの使用方法について

ベースの使用方法は、『タイマ編』の『ベースタイマ』および『I/O ポート』の章を参照してください。

■ FCS(異常周波数検出機能) について

FCS 機能(異常周波数検出機能)については、『クロック監視機能』の章を参照してください。また、FCS 機能有効後には CR トリミングは禁止です。

CHAPTER 2-4: 低速 CR プリスケーラ

低速 CR プリスケーラの機能と動作について説明します。

1. 低速 CR プリスケーラの概要
2. 低速 CR プリスケーラの構成
3. 低速 CR プリスケーラの動作説明と設定手順例
4. 低速 CR プリスケーラのレジスタ

管理コード : 9BFLCPC-FM0-J03.0

1. 低速 CR プリスケーラの概要

低速 CR プリスケーラの概要を示します。

低速 CR プリスケーラ

低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)を設定することで低速 CR を分周し、低速 CR 分周クロック(CLKLC)を生成します。

本マクロを使用することで、低速 CR の精度を補正することが可能です。補正の仕方については、「3.低速 CR プリスケーラの動作説明と設定手順例」の「低速 CR の補正例」を参照してください。

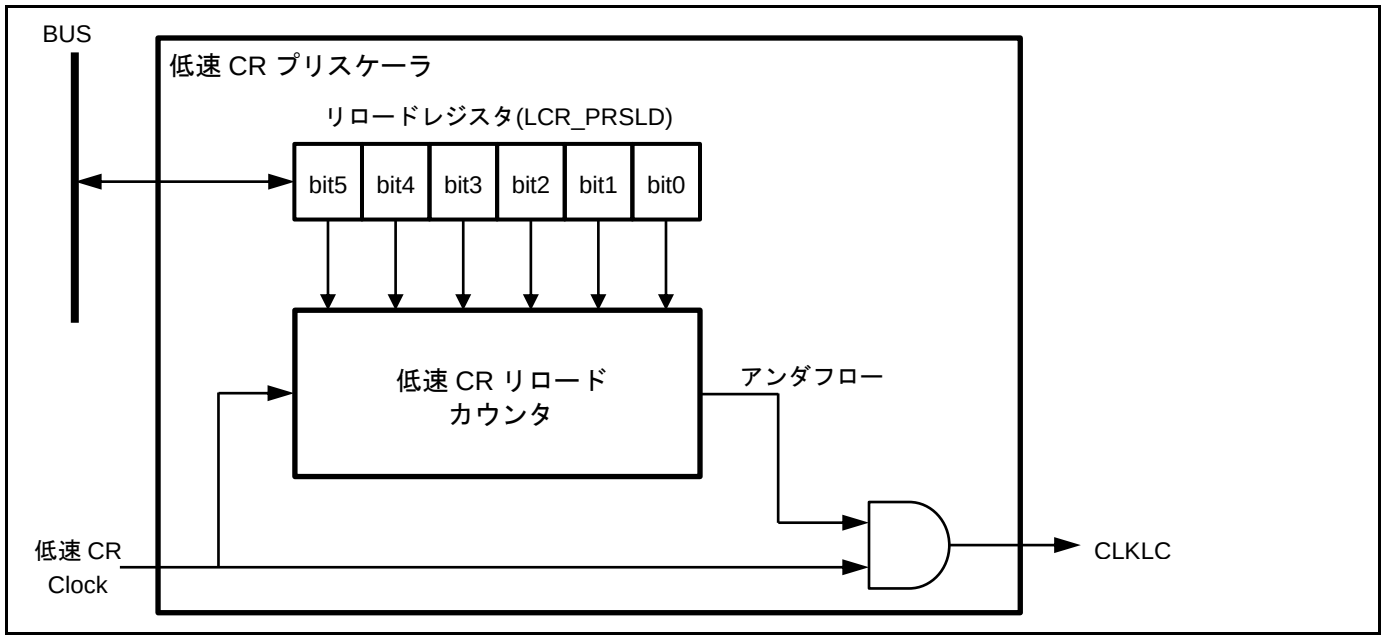
2. 低速 CR プリスケーラの構成

低速 CR プリスケーラのブロックダイヤグラムを示します。

低速 CR プリスケーラのブロックダイヤグラム

低速 CR スケーラのブロックダイヤグラムを Figure 2-1 に示します。

Figure 2-1 低速 CR プリスケーラのブロックダイヤグラム



■ 低速 CR プリスケーラリロードレジスタ (LCR_PRSLD)
低速 CR プリスケーラの分周比(リロード値)を設定します。

■ 低速 CR リロードカウンタ

低速 CR 分周クロック(CLKLC)を生成するダウンカウンタです。

3. 低速 CR プリスケーラの動作説明と設定手順例

低速 CR プリスケーラの動作について説明します。また、設定手順についても示します。

3.1 低速 CR プリスケーラの設定手順

低速 CR と周辺クロック(PCLK)は非同期です。

低速 CR プリスケーラリロードレジスタの書込みは周辺クロック(PCLK)を利用しています。そのため、低速 CR プリスケーラリロードレジスタ設定変更とリロードカウンタのリロードが同時に発生した場合に、リロードカウンタにリロードされる値を保証できません。

よって、低速 CR プリスケーラリロードレジスタの書換えは以下の手順にて行ってください。

分周クロックを切り換える場合

低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)の初期値は"0"です。

そのため、初期値から設定を変更する場合は、本手順は不要です。

1. 低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)に"0"を設定します。
2. リロードカウンタに低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)の値がロードされるまで待ちます。
   待ち時間は、低速 CR 周期 (50 kHz : 20 µs)×「1.で"0"に書き換える前の設定値」です。
3. 低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)に新しい設定値を書き込みます。

設定変更時の待ち時間を Table 3-1 に示します。

Table 3-1 設定待ち時間

設定前 リロード値	設定値	待ち時間
0	0	なし
1	0	20 µs (20 µs×1)
2	0	40 µs (20 µs×2)
3	0	60 µs (20 µs×3)
:	:	:
60	0	1200 µs (20 µs×60)
61	0	1220 µs (20 µs×61)
62	0	1240 µs (20 µs×62)
63	0	1260 µs (20 µs×63)

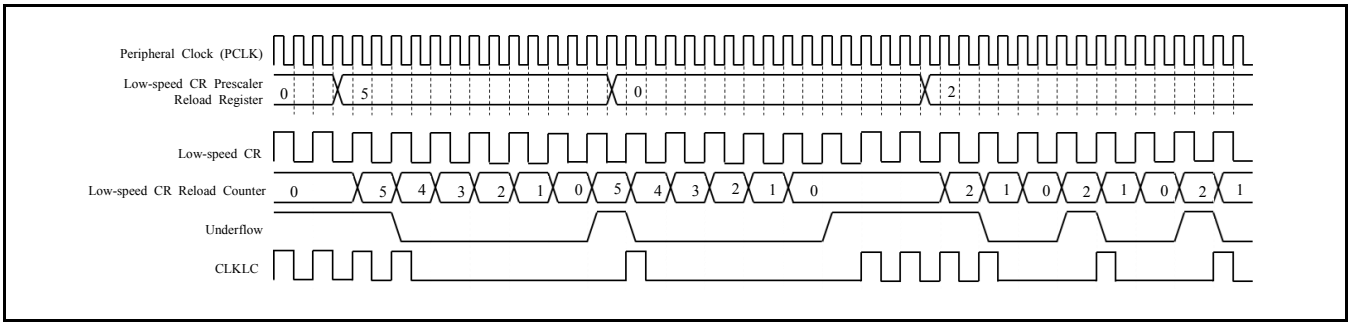
<注意事項>

- *分周クロックを停止することはできません。*
- *低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)の設定は低速 CR リロードカウンタのアンダフロー時に行われます。*

3.2 低速 CR プリスケーラの動作

低速 CR プリスケーラの動作を Figure 3-1 に示します。

Figure 3-1 低速 CR プリスケーラの動作説明図

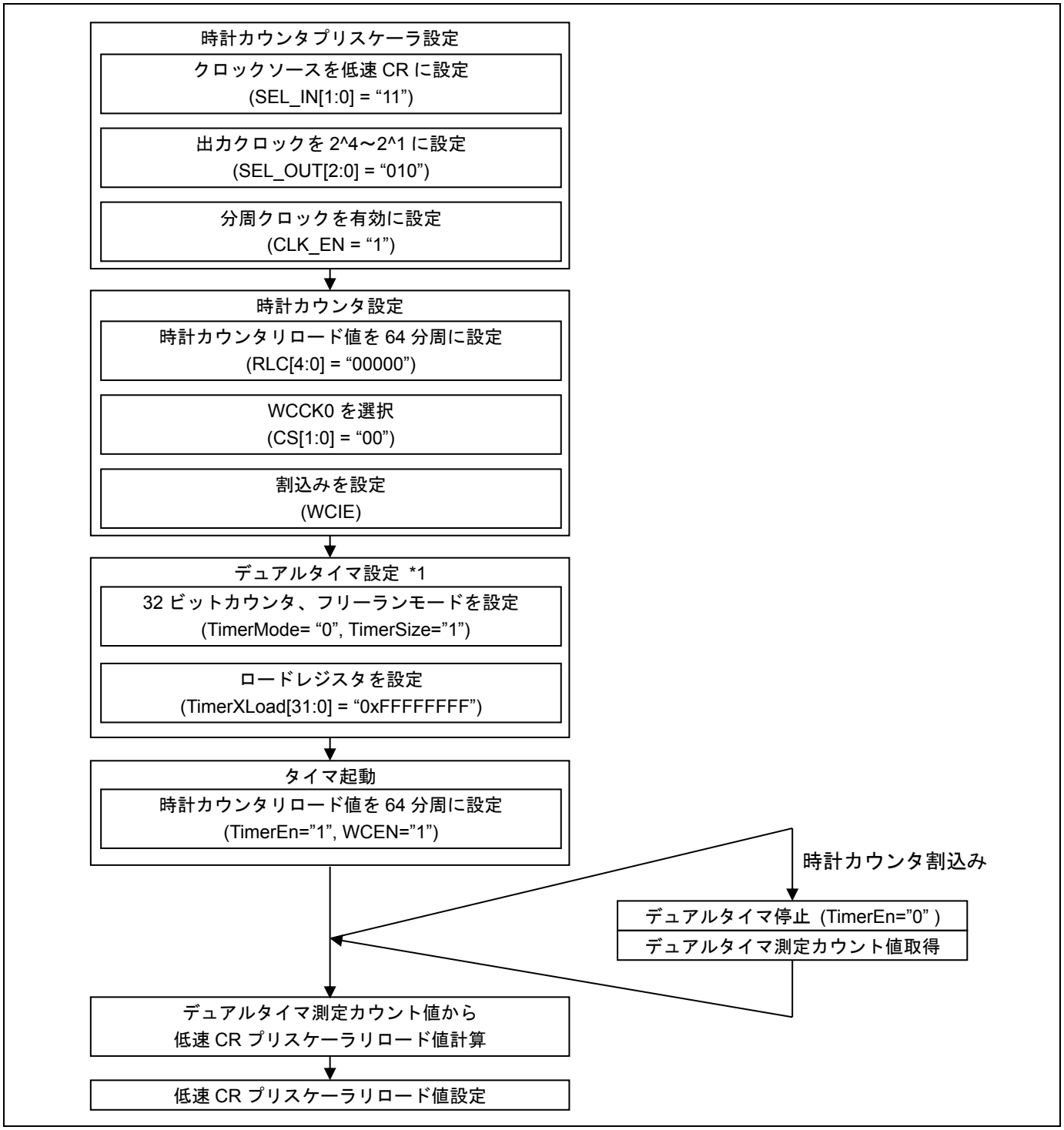


1. 周辺クロック(PCLK)に同期して、低速 CR プリスケーラロードレジスタ(LCR_PRSLD)をセットします。
2. 低速 CR リロードカウンタが 0 のタイミングで、低速 CR プリスケーラロードレジスタ(LCR_PRSLD)の値を取り込みます。
3. 低速 CR リロードカウンタアンダフローのタイミングで、低速 CR(CLKLC)を出力します。

3.3 低速 CR の補正例

低速 CR の補正例を Figure 3-2 に示します。

Figure 3-2 低速 CR の補正例



4. 低速 CR プリスケーラのレジスタ

低速 CR プリスケーラのレジスター一覧を示します。

低速 CR プリスケーラのレジスタ

Table 4-1 低速 CR プリスケーラのレジスター一覧

レジスタ略称	レジスタ名	参照先
LCR_PRSLD	低速 CR プリスケーラリロードレジスタ	4.1

4.1 低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)

低速 CR プリスケーラリロードレジスタは、低速 CR の分周比を設定するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		LCR_PRSLD[5:0]					
属性	-		R/W					
初期値	00		000000					

[bit7:6] 予約 : 予約ビット
読出しは常に"0"となります。
書込みは動作に影響しません。

[bit5:0] LCR_PRSLD : 低速 CR プリスケーラリロード
書込み時は低速 CR プリスケーラの分周比(リロードカウンタのリロード値)を設定します。
読出し時は設定値が読み出されます。

<注意事項>

- *本レジスタはソフトウェアリセットで初期化されません。*

CHAPTER 3: クロック監視機能

クロック監視機能について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. 動作例
6. レジスター一覧
7. 使用上の注意

管理コード: 9BFCSV-FM0-J03.0

1. 概要

クロック監視機能の概要を説明します。

クロック監視機能には以下の 2 種類の機能があります。

クロック故障検出機能(CSV : Clock failure detection by clock Supervisor)
クロック故障検出機能は、メインクロックとサブクロックを監視します。一定期間監視対象のクロック立上りエッジが検出されなかった場合は、発振器が故障したと判断しシステムリセット要求を出力します。

異常周波数検出機能(FCS : anomalous Frequency detection by Clock Supervisor)
異常周波数検出機能は、メインクロックの周波数を監視します。高速 CR の分周クロックのエッジから次のエッジまでの一定期間、メインクロックにより、内部のカウンタがカウントアップします。カウント値が、設定したウィンドウの範囲外になった場合、メインクロックの周波数が異常であると判断し、CPU への割込み要求、またはシステムリセット要求を出力します。

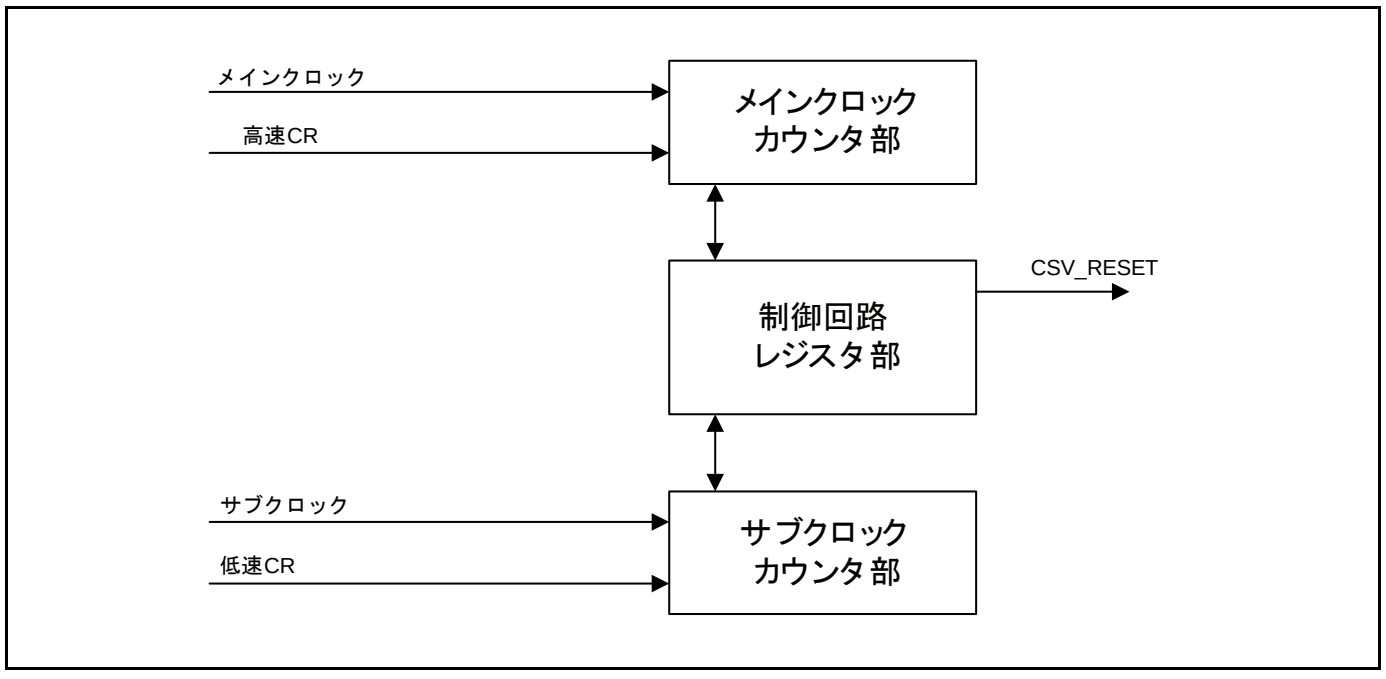
2. 構成・ブロックダイヤグラム

クロック監視機能のブロックダイヤグラムを説明します。

2.1 クロック故障検出機能

Figure 2-1 にクロック故障検出機能のブロックダイヤグラムを示します。

Figure 2-1 クロック故障検出機能のブロックダイヤグラム



クロック故障検出機能は、以下の 3 種類のブロックから構成されます。

■ 制御回路・レジスタ部
- クロック故障検出機能の制御回路を持ちます。
- 設定レジスタを持ち、クロック故障検出機能の有効/無効を設定します。

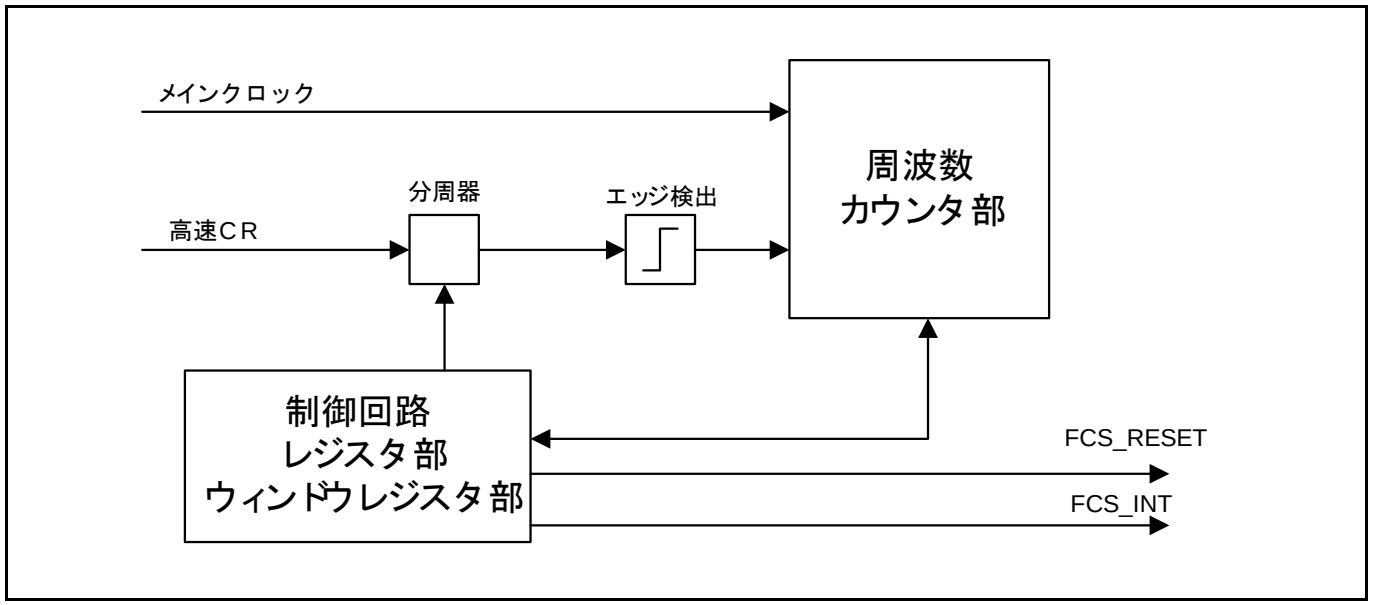
■ メインクロックカウンタ部
メインクロックを高速 CR クロックで監視しているカウンタ部です。

■ サブクロックカウンタ部
サブクロックを低速 CR クロックで監視しているカウンタ部です。

2.2 異常周波数検出機能

Figure 2-2 に異常周波数検出機能のブロックダイヤグラムを示します。

Figure 2-2 異常周波数検出機能のブロックダイヤグラム



異常周波数検出機能は、以下の 3 種類のブロックから構成されます。

■ 制御回路・レジスタ部・ウィンドウレジスタ部
- 異常周波数検出機能の制御回路を持ちます。
- 設定レジスタを持ち、異常周波数検出機能の有効/無効を設定します。
- 測定の際、周波数範囲を定めるウィンドウレジスタを持ちます。

■ 周波数カウンタ部
メインクロックによるカウンタ部です。

■ 分周器・エッジ検出部
- 高速 CR を分周します。
- 高速 CR の分周クロックの立上りエッジを検出します。

3. 動作説明

クロック監視機能の動作を説明します。

クロック故障検出機能

クロック故障検出機能は、メインクロックとサブクロックを監視します。一定期間、監視対象のクロック立上りエッジが検出されなかった場合、発振器が故障したと判断し、システムリセット要求を出力します。

- このリセット要求を CSV リセット要求とよびます。
- CSV 機能では、メインクロックとサブクロックを独立して監視します。
- メイン発振器・サブ発振器が発振停止したとき、監視を停止します。
- 発振安定待ち時間中は監視を停止します。
- CSV 機能は、メイン・サブ発振器の発振安定待ち完了から自動的に有効になります。

<注意事項>

- *CSV 制御レジスタ(CSV_CTL)により、メインクロック故障検出機能, サブクロック故障検出機能をそれぞれ独立して有効/無効が設定できます。*
- *メインクロックは高速 CR クロック、サブクロックは低速 CR クロックで監視されており、それぞれ、メインクロックは高速 CR 32 クロックの間、サブクロックは低速 CR 32 クロックの間に立上りエッジが検出されない場合、発振器が故障したと判断します。*

異常周波数検出機能

異常周波数検出機能は、メインクロックを監視します。

高速 CR の分周クロックの立上りエッジから次の立上りエッジまでの期間、メインクロックにより、内部のカウンタがカウントアップします。カウント値が、設定したウィンドウの範囲外になった場合、メインクロックの周波数が異常であると判断し、CPU への割込み要求、またはシステムリセット要求を出力します。

- この割込み要求を FCS 割込み要求, リセット要求を FCS リセット要求とよびます。
- FCS 機能では、メインクロックの周波数のみを監視します。
- メイン発振器が発振停止したとき、監視を停止します。
- 発振安定待ち時間中は監視を停止します。
- FCS 機能は、ユーザプログラムにより、ソフトウェアで起動されます。

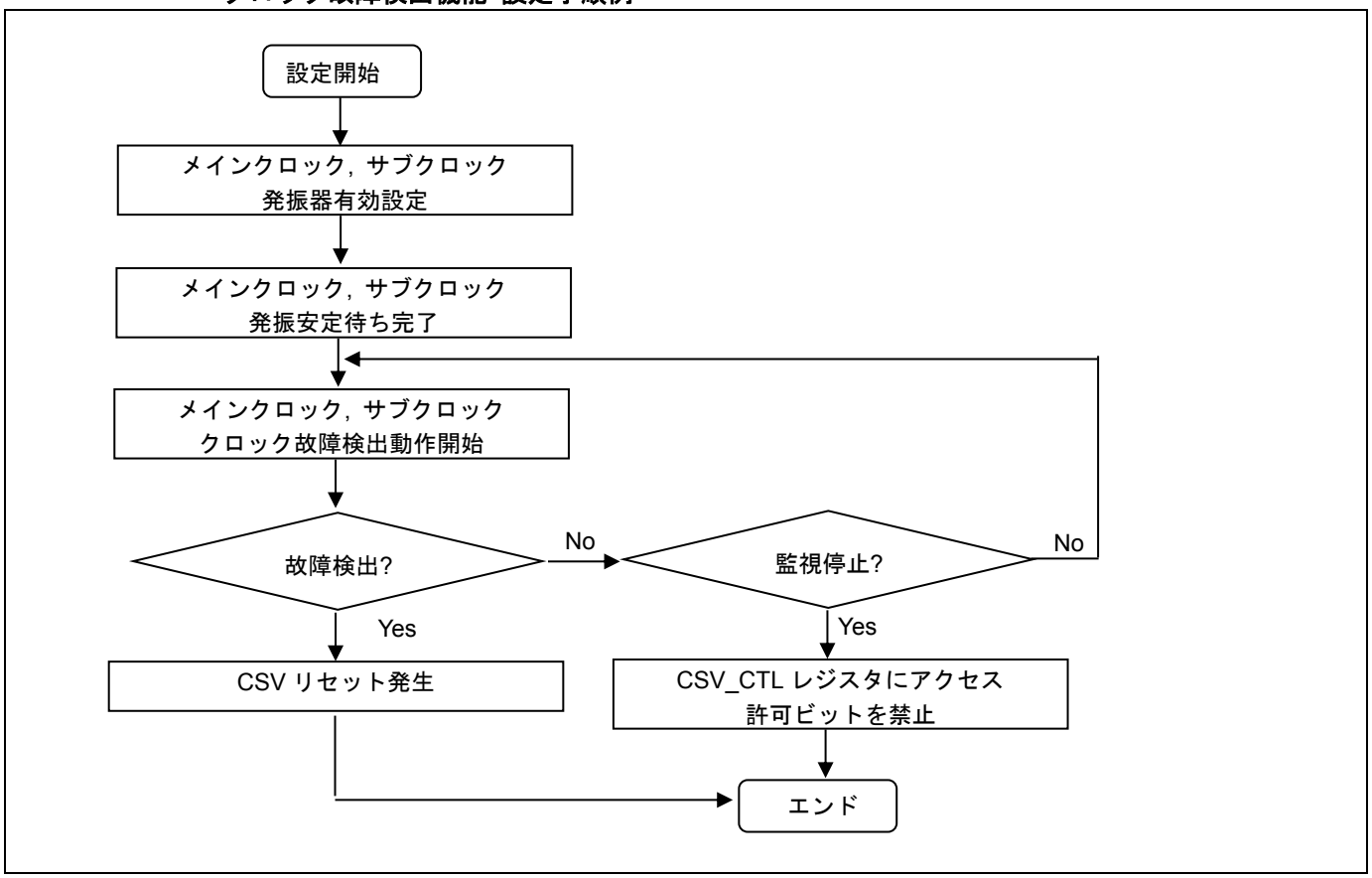
<注意事項>

- *FCS リセット許可をしている場合*
  カウンタ値が設定ウィンドウから外れた場合、1 回目は割込み要求が発生します。割込み要求がクリアされないまま、カウンタ値が設定ウィンドウ外に外れた場合、システムリセット要求を出力します。
  FCS リセット許可されていない場合は、リセット要求はマスクされます。
- *カウンタ値は設定したウィンドウ外に外れたときに、周波数検出カウンタレジスタ(FCSWD_ CTL)に保存します。*

4. 設定手順例

クロック監視機能の設定手順例を説明します。

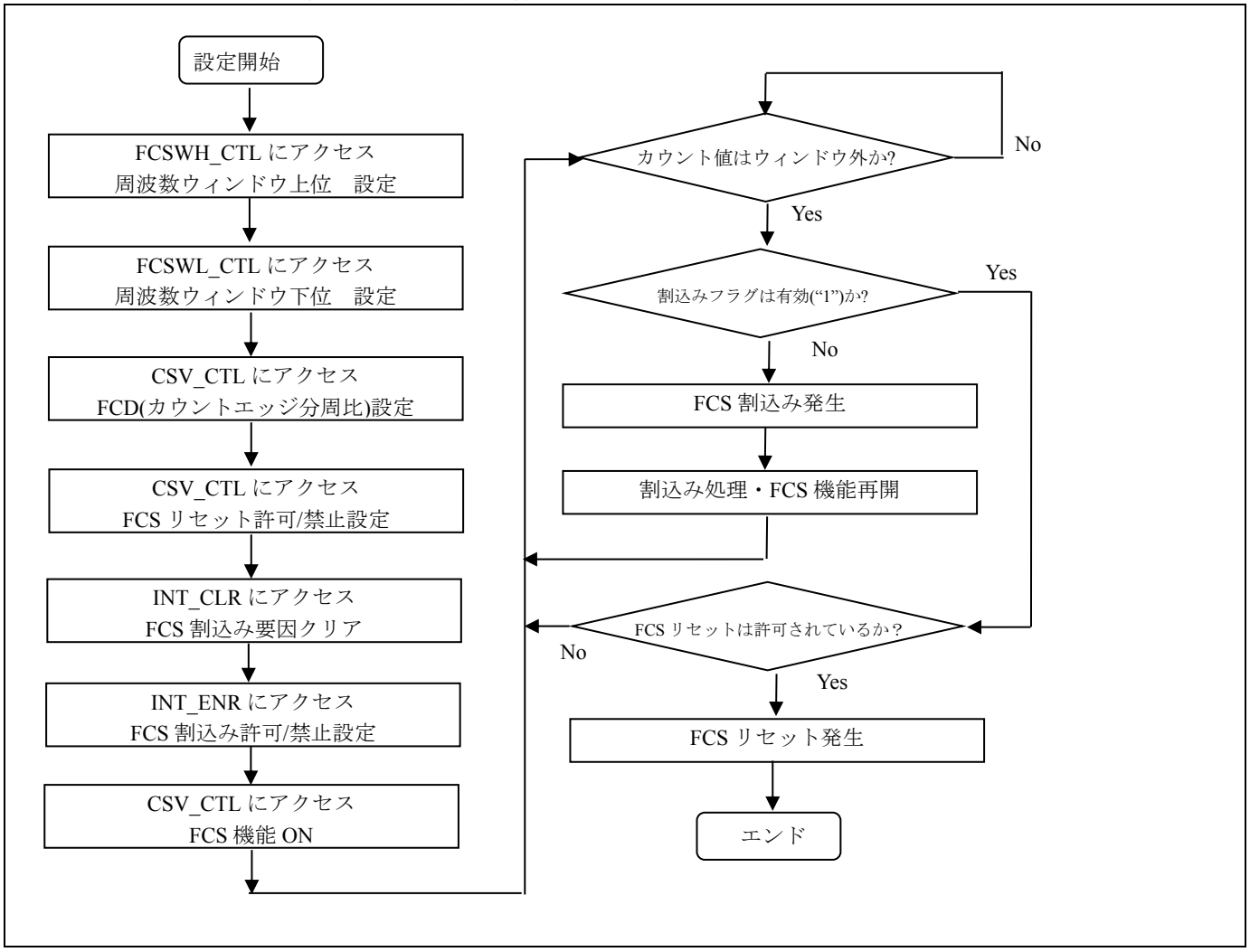
クロック故障検出機能 設定手順例



<注意事項>

- *VBAT のレジスタの 32k 発振クロック制御連携を有効→無効(WTOSCCNT.SOSCNTL="1"→"0")にする場合は、サブクロック発振安定待ち完了後にレジスタ値を書き換えてください。*
- *CHIP 側の電源を切断(OFF)し VBAT ドメインのみ動作させる場合、WTOSCCNT.SOSCNTL="0"に設定してから CHIP 側の電源を切断(OFF)してください。また、CHIP 側の電源を切断(OFF)した後にはサブクロック監視機能は働きません。*
- *VBAT レジスタの詳細については別章『VBAT ドメイン』を参照してください。*

異常周波数検出機能 設定手順例



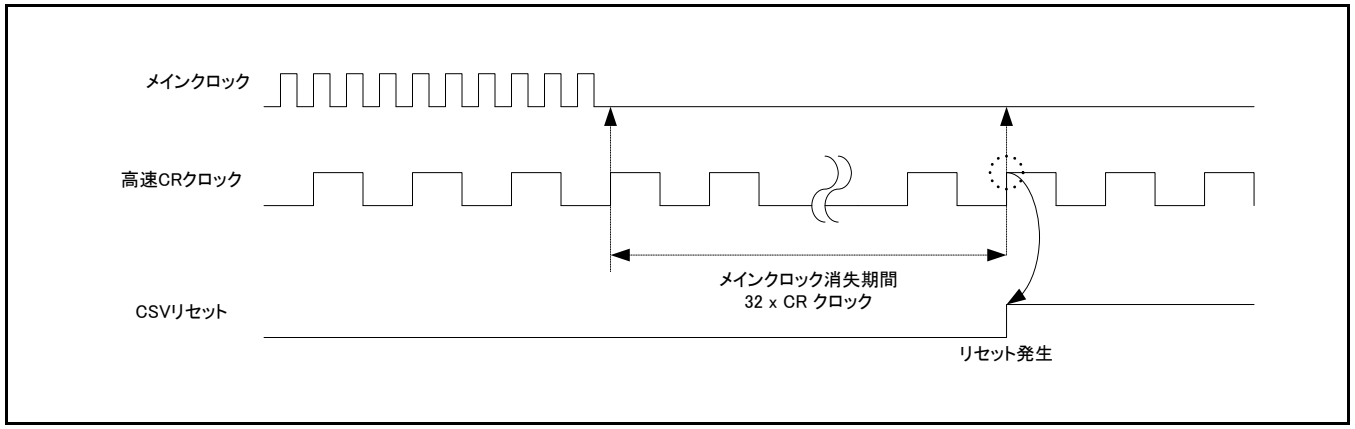
5. 動作例

クロック監視機能の動作例を説明します。

5.1 クロック故障検出

Figure 5-1 にクロック故障検出の動作例を示します。

Figure 5-1 クロック故障検出動作例



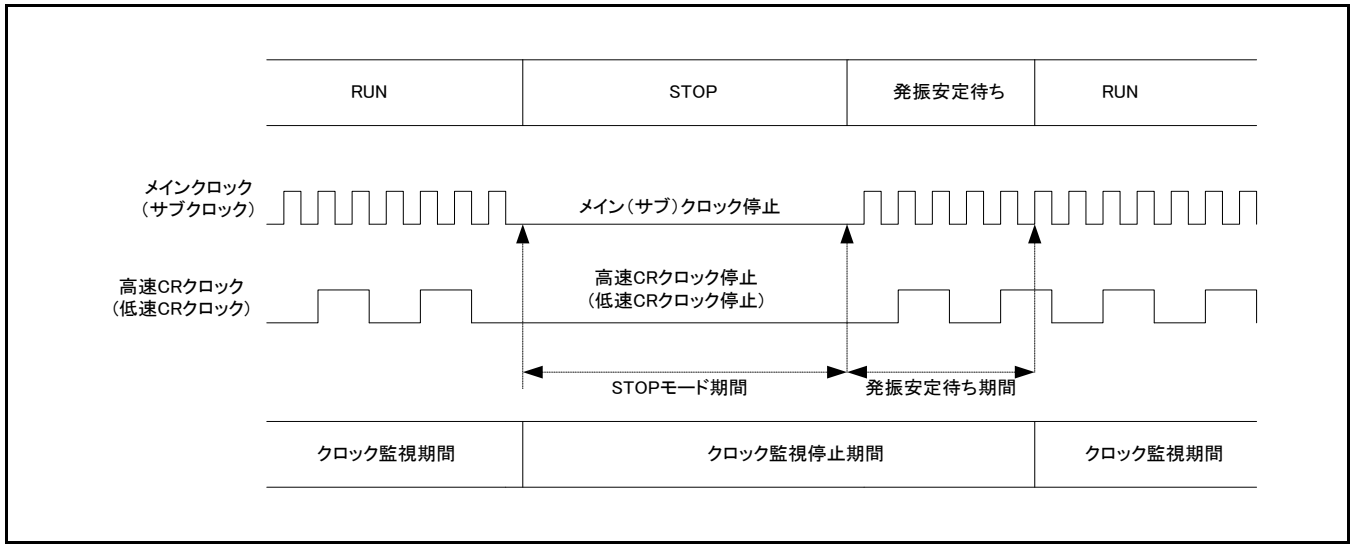
1. メインクロックが故障により停止します。
2. 高速 CR クロックによるカウントアップします。
3. 高速 CR 32 クロック期間、メインクロックが停止していた場合、クロック故障と認識し、CSV リセットを発行します。

<注意事項>

- ***サブクロック監視の場合、低速 CR 32 クロック期間サブクロックが停止していた場合、クロック故障と判断します。***

Figure 5-2 にストップモード時のクロック故障検出の動作例を示します。

Figure 5-2 ストップモード時のクロック故障検出動作例

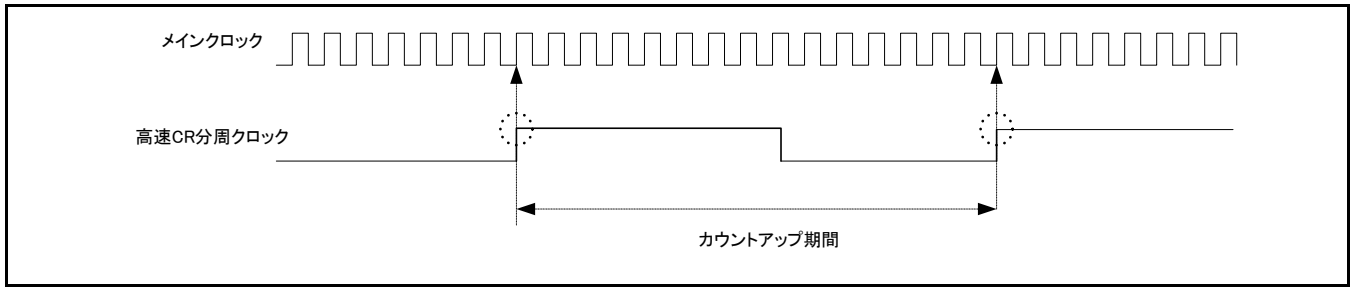


1. ストップモード時、メインクロックおよび高速 CR クロックが停止します。
   その間、クロック監視機能も停止します。
2. ストップモード解除により、メインクロックおよび高速 CR クロックの発振が再開され、発振安定待ち時間を取ります。その間、クロック監視機能は停止を継続します。
3. 発振安定待ち時間完了により、クロック監視を再開します。

5.2 異常周波数検出

Figure 5-3 に異常周波数検出機能の動作例を示します。

Figure 5-3 異常周波数検出機能　動作例



1. *高速 CR の分周クロックの立上りエッジを検出します。*
2. *エッジ検出から、メインクロックによりカウントアップします。*
3. *再度高速 CR の分周クロックの立上りエッジを検出するまで、カウントアップを継続します。*
4. *メインクロックによるカウント値=αとします。*
   ウィンドウ下限設定値=A, ウィンドウ上限値=B　のとき、カウント値αとウィンドウ値を比較し、
   $A \leqq \alpha \leqq B$
   の範囲内にαがある場合、周波数は問題ないと判断します。
   カウント値αがウィンドウの範囲外
   $\alpha < A$、もしくは、$B < \alpha$
   となった場合、周波数が異常になっていると判断し、割込みを発生します。
   設定により、割込み発生後割込みフラグがクリアされずに再度異常周波数を検出した場合、リセットを発生します。

5.3 異常周波数検出機能のウィンドウ設定例

高速 CR の分周クロックのエッジ間でカウントを行います。測定間隔は CR の精度にも影響を受けます。ウィンドウレジスタ値を設定する際は CR の精度も考慮した値を設定してください。
CR 発振器の周波数精度についてはデータシートにて確認してください。

算出方法

CR 精度の影響を加味したカウント値の範囲の算出後、ウィンドウレジスタ値を設定します。カウント値の範囲は以下の計算式にて算出します。

$$\text{カウント値} = \left[\frac{1}{\text{CRの分周クロック周波数} \times \left(1 \pm \frac{\text{CR精度}}{100} \right)} \right] \times \text{メインクロック周波数}$$

例 :

周波数 K[Hz]で±Z%精度の CR 発振器を Y 分周したクロックを用いて、周波数 L[Hz]のメインクロックのカウント値を算出します。

カウント値 A(CR の周波数精度プラス側) = 1 / [(K/Y) × (1 + Z/100)] × L
カウント値 B(CR の周波数精度マイナス側)= 1 / [(K/Y) × (1 - Z/100)] × L

この計算式より、内蔵 CR 精度の影響を加味したカウント値は A~B の範囲になります。
ウィンドウ下限はカウント値 A よりも小さい値を、ウィンドウ上限はカウント値 B よりも大きい値を設定してください。

ウィンドウの設定はユーザのメイン発振の周波数変動の許容値によります。

算出例

周波数 4MHz で±5%精度の CR 発振器を 1024 分周したクロックを用いて、周波数 4MHz のメインクロックのカウント値を算出します。

カウント値 A(CR の周波数精度プラス側)

$$\text{カウント値 A} = \left[\frac{1}{\frac{4\times10^6}{1024} \times \left(1 + \frac{5}{100} \right)} \right] \times 4\times10^6 \fallingdotseq 975$$

カウント値 B(CR の周波数精度マイナス側)

$$\text{カウント値 B} = \left[\frac{1}{\frac{4\times10^6}{1024} \times \left(1 - \frac{5}{100} \right)} \right] \times 4\times10^6 \fallingdotseq 1078$$

これにより、高速 CR 誤差を含むカウント値の範囲は 975～1078 になります。ウィンドウ設定値を仮にカウント範囲の±5%としたとき、ウィンドウ設定値は以下のようになります。

ウィンドウ下限 ＝975×0.95(-5%)　＝926.25 ≒ 3.43 MHz
ウィンドウ上限 ＝1078×1.05(+5%)＝1131.9 ≒ 4.64 MHz

これにより、メインクロックの周波数が 3.4 MHz～4.6 MHz の範囲を外れたとき、異常周波数であると確認できます。Table 5-1 にウィンドウ設定例を示します。

Table 5-1 ウィンドウ設定例

高速 CR 分周クロック	メイン クロック	高速 CR 誤差	高速 CR 誤差を含む カウント値	ウィンドウ 設定値下限	ウィンドウ 設定値上限
CR:4MHz の 1024 分周	4 MHz	±5%	975(≒3.61 MHz) ～1078(≒4.42 MHz)	926 (≒3.43 MHz)	1131 (≒4.64 MHz)

6. レジスター覧

クロック監視機能のレジスター覧を説明します。

レジスター覧

レジスター覧を Table 6-1 に示します。

Table 6-1 レジスター覧表

略称	レジスタ名	参照先
CSV_CTL	CSV 制御レジスタ	6.1
CSV_STR	CSV 状態レジスタ	6.2
FCSWH_CTL	周波数検出ウィンドウ設定レジスタ(上位)	6.3
FCSWL_CTL	周波数検出ウィンドウ設定レジスタ(下位)	6.4
FCSWD_CTL	周波数検出カウンタレジスタ	6.5

6.1 CSV 制御レジスタ(CSV_CTL)

CSV_CTL レジスタは CSV 機能を制御する設定を行います。

6.1.1 レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約	FCD			予約		FCSRE	FCSDE
属性	-	R/W			-		R/W	R/W
初期値	0	111			00		0	0

bit	7	6	5	4	3	2	1	0
Field	予約						SCSVE	MCSVE
属性	-						R/W	R/W
初期値	000000						1	1

6.1.2 レジスタ機能

[bit15] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit14:12] FCD : FCS カウント期間設定ビット

bit14:12		説明
書込み時	000	設定禁止
	001	
	010	
	011	
	100	
	101	高速 CR 発振の 256 分周
	110	高速 CR 発振の 512 分周
	111	高速 CR 発振の 1024 分周 [初期値]
読出し時		レジスタの値が読み出されます。

[bit11:10] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit9] FCSRE : FCS リセット出力許可ビット

bit		説明
書込み時	0	FCS リセットは禁止されます。 [初期値]
	1	FCS リセットは許可されます。
読出し時		レジスタの値が読み出されます。

[bit8] FCSDE : FCS 機能許可ビット

bit		説明
書込み時	0	FCS 機能は禁止されます。[初期値]
	1	FCS 機能は許可されます。
読出し時		レジスタの値が読み出されます。

[bit7:2] 予約ビット

本ビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] SCSVE : サブ CSV 機能許可ビット

bit		説明
書込み時	0	サブ CSV 機能は禁止されます。
	1	サブ CSV 機能は許可されます。[初期値]
読出し時		レジスタの値が読み出されます

[bit0] MCSVE : メイン CSV 機能許可ビット

bit		説明
書込み時	0	メイン CSV 機能は禁止されます。
	1	メイン CSV 機能は許可されます。[初期値]
読出し時		レジスタの値が読み出されます

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*
- *サブクロック監視機能を有効にするためには、システムクロックモード制御レジスタのサブクロック発振許可設定(SCM_CTL.SOSCE)=1 とし、システムクロックモード状態レジスタのサブクロック発振安定ビットの発振安定(SCM_STR.SORDY=1)を待つ必要があります。*
- *VBAT のレジスタの 32k 発振イネーブル設定(WTOSCCNT.SOSCEX=0)を行っただけではサブクロック監視機能は働きません。*
- *VBAT のレジスタの 32k 発振クロック制御連携　無効設定(WTOSCCNT.SOSCNTL=0)および VBAT のレジスタの 32k 発振ディスエーブル設定(WTOSCCNT.SOSCEX=1)の時に、システムクロックモード制御レジスタのサブクロック発振許可設定(SCM_CTL.SOSCE)=1，CSV 制御レジスタのサブ CSV 機能許可(CSV_CTL.SCSVE)=1 とする設定組み合わせは禁止です。*
- *VBAT RTC の詳細については『VBAT ドメイン』を参照してください。*

6.2 CSV 状態レジスタ(CSV_STR)

CSV_STR レジスタは CSV 機能の状態を示します。

6.2.1 レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						SCMF	MCMF
属性	-						R	R
初期値	000000						0	0

6.2.2 レジスタ機能

[bit7:2] 予約 : 予約ビット

本ビットからは、"0b000000"が読み出されます。

書込みの場合には、"0b000000"を設定してください。

[bit1] SCMF : サブクロック故障検出フラグ

bit		説明
書込み時		動作に影響しません
読出し時	0	サブクロック故障は検出されていない[初期値]
	1	サブクロック故障が検出された

[bit0] MCMF : メインクロック故障検出フラグ

bit		説明
書込み時		動作に影響しません
読出し時	0	メインクロック故障は検出されていない[初期値]
	1	メインクロック故障が検出された

<注意事項>

- *本レジスタは読出しでクリアされます。*

6.3 周波数検出ウィンドウ設定レジスタ(上位)(FCSWH_CTL)

FCSWH_CTL レジスタは周波数検出ウィンドウ設定レジスタ(上位)を設定します。

6.3.1 レジスタ構成

bit	15	0
Field	FWH	
属性	R/W	
初期値	0xFFFF	

6.3.2 レジスタ機能

[bit15:0] FWH： 周波数検出ウィンドウ設定ビット(上位)

bit15:0	説明
書込み時	任意の値の書込みが可能です。
読出し時	レジスタの値が読み出されます。

<注意事項>

- *FCSWL_CTL(周波数検出ウィンドウ設定レジスタ(下位))よりも大きな値を設定してください。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

6.4 周波数検出ウィンドウ設定レジスタ(下位)(FCSWL_CTL)

FCSWL_CTL レジスタは周波数検出ウィンドウ設定レジスタ(下位)を設定します。

6.4.1 レジスタ構成

bit	15	0
Field	FWL	
属性	R/W	
初期値	0x0000	

6.4.2 レジスタ機能

[bit15:0] FWL： 周波数検出ウィンドウ設定ビット(下位)

bit15:0	説明
書込み時	任意の値の書込みが可能です。
読出し時	レジスタの値が読み出されます。

<注意事項>

- *FCSWH_CTL(周波数検出ウィンドウ設定レジスタ(上位))よりも小さな値を設定してください。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

6.5 周波数検出カウンタ レジスタ(FCSWD_CTL)

FCSWD_CTL レジスタは周波数検出のメインクロックによるカウンタ値を示します。

6.5.1 レジスタ構成

bit	15	0
Field	FWD	
属性	R	
初期値	0x0000	

6.5.2 レジスタ機能

[bit15:0] FWD： 周波数検出カウントデータ

bit15:0	説明
書込み時	動作に影響しません。
読出し時	カウント値が読み出されます。

<注意事項>

- *本レジスタは異常検出したときのみカウント値を保持します。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

7. 使用上の注意

クロック監視機能の使用上の注意を説明します。

■ 周波数検出の割込み要因のイネーブル，クリアについては、別章『クロック』を参照してください。

■ クロック故障検出および異常周波数検出のリセット要因については、別章『リセット』を参照してください。

■ リセット発生後の動作について

クロック故障検出によるリセット発生後、クロックモードは高速 CR に戻ります。
故障したクロックを再度選択しないでください。

■ 周波数検出機能を使う際の高速 CR クロックについて

周波数故障検出機能は高速 CR 自身の周波数精度に影響されます。
周波数ウィンドウを設定する際は、高速 CR の精度を考慮した値を設定してください。また、異常周波数検出機能を有効にした後は、高速 CR クロックのトリミングを行わないでください。

■ 異常周波数検出機能を使う際の設定順序について

FCS を有効(FCSDE=1)にする前に、カウント期間設定(FCD), リセット許可(FCSRE), 周波数ウィンドウ設定(FWH/FWL)を設定してください。
また、FCS を有効にした後、FCD/FCSRE/FWH/FWL の変更をする場合は、いったん FCS 機能を停止し、設定変更を行ってください。FCS 有効時に設定変更は行わないでください。

■ 異常周波数検出機能を使う際のイネーブル設定について

CSV 制御レジスタ(CSV_CTL)の FCSRE ビットの設定により、異常周波数検出時の動作が変わります。
Table 7-1 に FCS 機能と FCSRE ビットの設定一覧を示します。

Table 7-1 FCS 機能と FCSRE ビットの設定一覧

	FCSRE=0	FCSRE=1
FCSDE=0	FCS 機能停止	FCS 機能停止
FCSDE=1	FCS 機能有効 異常検出で割込み発生	FCS 機能有効 1 回目の異常検出で割込みを発生 2 回目の異常検出でリセットを発生

■ 周波数検出機能の割込み設定とメインタイマモード

クロックモードがメインタイマモード時には、内部バスクロックが停止しているため、FCSRE=0 のときは異常を検出しても割込みは発生しません。
メインタイマモード時は FCSRE=0 と設定しないでください。FCSRE=1 の場合は 1 回目の異常検出で割り込みは発生しません。2 回目の異常検出でリセットが発生します。

■ CSV OFF 設定と外部リセットについて

CSV 機能を OFF にした場合、クロック故障が発生しても CSV リセットが発生しなくなります。クロック故障が発生すると外部リセット(INITX)も受け付けなくなるため、特別な理由がない場合、CSV 機能は OFF にしないことを推奨します。

CHAPTER 4: リセット

リセットの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ

管理コード: 9AFRESET-FM0-J03.1

1. 概要

本ファミリは以下のリセット要因を持ち、各要因の受付けによりデバイス内部の初期化のためのリセットを発行します。

- 電源投入リセット
- INITX 端子入力
- 外部電源・低電圧検出リセット
- ソフトウェアウォッチドッグリセット
- ハードウェアウォッチドッグリセット
- クロック故障検出リセット
- 異常周波数検出リセット
- ソフトウェアリセット
- ディープスタンバイ遷移リセット

VBAT ドメインは、本章で説明するリセット要因では初期化されません。

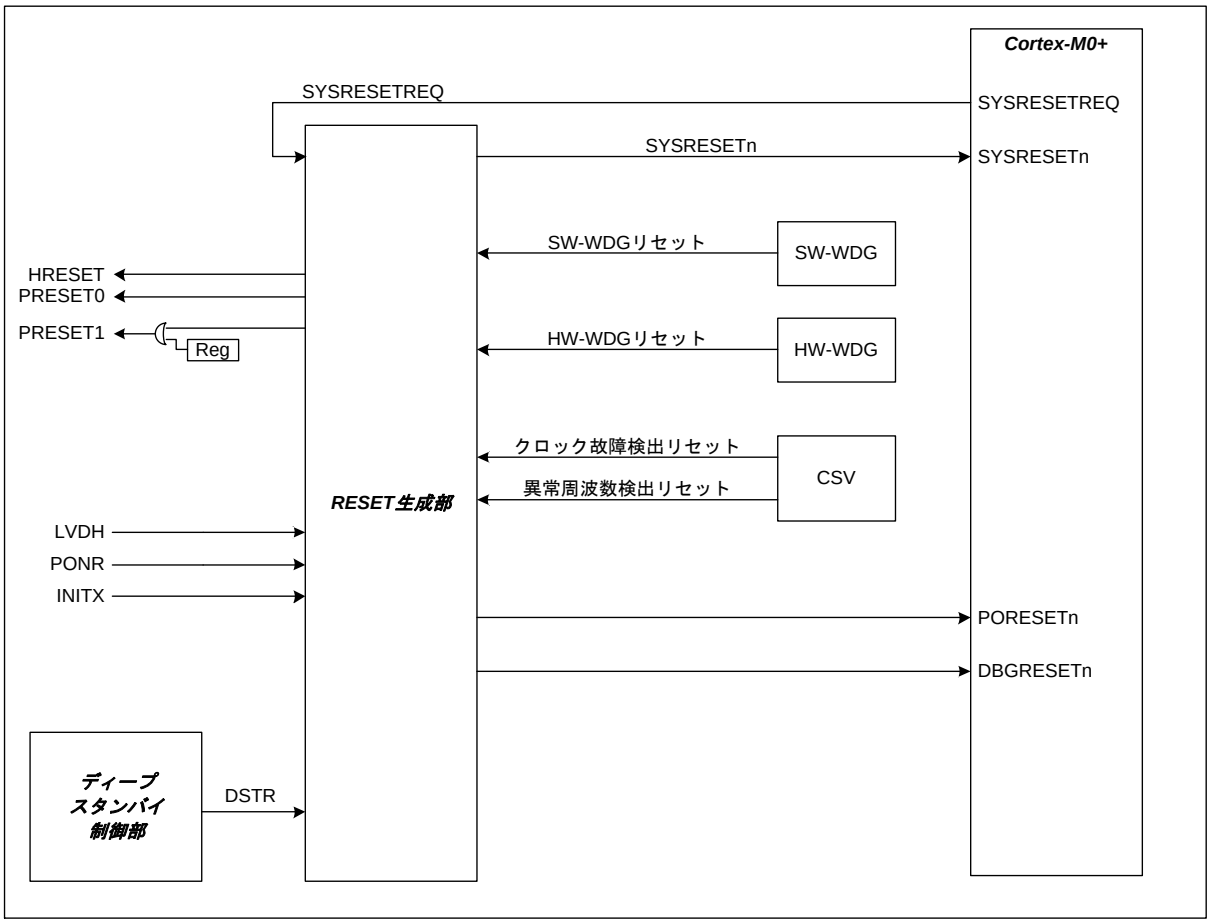
VBAT ドメインのリセットについては、「VBAT ドメイン」の章をご参照ください。

2. 構成

リセット回路の構成を説明します。

リセットのブロックダイヤグラム

Figure 2-1 リセットのブロックダイヤグラム



PONR :	電源投入リセット
INITX :	INITX 端子入力リセット
LVDH :	低電圧検出リセット
HRESET :	AHB バスリセット(全リセット要因で発行されるバスリセット)
PRESET0, 1 :	APB0, 1 バスリセット(全リセット要因で発行されるバスリセット)
SW-WDG リセット :	ソフトウェアウォッチドッグリセット
HW-WDG リセット :	ハードウェアウォッチドッグリセット
CSV リセット :	クロック故障検出リセット
FCS リセット :	異常周波数検出リセット

PORESETn :	Cortex-M0+に入力されるパワーオンリセット
SYSRESETn :	Cortex-M0+に入力されるシステムリセット
SYSRESETREQ :	Cortex-M0+内部リセット制御レジスタ「SYSRESETREQ ビット」信号
DBGRESETn :	SW-DP リセット
DSTR :	ディープスタンバイ遷移リセット

3. 動作説明

本ファミリのリセットの各動作について説明します。

3.1 リセット要因

3.2 デバイス内部のリセット

3.3 リセットシーケンス

3.4 リセット解除後の動作

3.1 リセット要因

各リセット要因について説明します。

電源投入リセット(PONR)

電源投入後に発生する電源投入リセットです。

発生要因	電源の立上りを検出することにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	すべてのレジスタの設定, ハードウェアを初期化
対応フラグ	リセット要因レジスタ(RST_STR)の bit0(PONR)=1

INITX 端子入力リセット(INITX)

デバイス外部から入力されるリセットです。

発生要因	INITX 端子へ"L"レベルを入力することにより発生
解除要因	INITX 端子へ"H"レベルを入力することにより解除
初期化対象	デバッグ回路とディープスタンバイ制御部と RTC 回路（一部のレジスタ）以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 – ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ(DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit1(INITX)=1

* INITX 端子から非同期にリセットが入力されてもオンチップ SRAM の内容は保持されます。

低電圧検出リセット　外部電圧監視(LVDH)

外部電圧の低下を検出した場合に低電圧検出回路から入力されるリセットです。

発生要因	外部電圧が、規定の電圧レベル以下になることにより発生
解除要因	外部電圧が、規定の電圧レベル以上になることにより解除
初期化対象	すべてのレジスタの設定, ハードウェアを初期化
対応フラグ	リセット要因レジスタ(RST_STR)の bit0(PONR)=1

ソフトウェアウォッチドッグリセット(SWDGR)

ソフトウェアウォッチドッグタイマから入力されるリセットです。

発生要因	ソフトウェアウォッチドッグタイマがアンダフローすることにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路とハードウェアウォッチドッグタイマ(制御レジスタ含む)とディープスタンバイ制御部以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 – ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ (DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit4(SWDT)=1

ハードウェアウォッチドッグリセット(HWDGR)

ハードウェアウォッチドッグタイマから入力されるリセットです。

発生要因	ハードウェアウォッチドッグタイマがアンダフローすることにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路とディープスタンバイ制御部と RTC 回路（一部のレジスタ）以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 – ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ (DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit5(HWDT)=1

クロック故障検出リセット(CSVR)

監視中のメインまたはサブ水晶発振の故障により入力されるリセットです。

発生要因	メイン水晶・サブ水晶のクロック故障を検出することにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路とクロック故障検出回路(一部のレジスタ)とディープスタンバイ制御部と RTC 回路（一部のレジスタ）以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 – ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ (DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit6(CSVR)=1 CSV 状態レジスタ(CSV_STR)の bit1(SCMF)=1 または bit0(MCMF)=1 (注意事項) CSV_STR の詳細は『クロック監視機能』の章を参照してください。

異常周波数検出リセット(FCSR)

メイン水晶発振の異常周波数を検出することにより入力されるリセットです。

発生要因	メイン水晶発振の周波数が任意の設定値から外れた場合に発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路と異常周波数検出(一部のレジスタ)とディープスタンバイ制御部と RTC 回路（一部のレジスタ）以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 – ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ (DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit7(FCSR)=1

ソフトウェアリセット(SRST)

リセット制御レジスタへのアクセスにより発生するソフトウェアリセットです。

発生要因	Cortex-M0+内部リセット制御レジスタ(SYSRESETREQ ビット)への書込みにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	下記以外のすべてのレジスタの設定, ハードウェアを初期化 ソフトウェアリセットで初期化されない機能とレジスタ – デバッグ回路 – ディープスタンバイ制御部 – RTC の一部のレジスタ – クロック制御に関わるレジスタ（周辺クロック停止機能レジスタは初期化されます。） – ソフトウェア/ハードウェアウォッチドッグタイマの一部のレジスタ – クロック故障検出回路の一部のレジスタ – 異常周波数検出の一部のレジスタ – CR トリミング機能の一部のレジスタ – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 – RTC モード制御レジスタ (PMD_CTL) – ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ (DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit8(SRST)=1

ディープスタンバイ遷移リセット(DSTR)

ディープスタンバイモードへの遷移時に発生するリセットです。

発生要因	ディープスタンバイモードに遷移することにより発生
解除要因	ディープスタンバイモードから復帰することにより解除
初期化対象	下記以外のすべてのレジスタの設定, ハードウェアを初期化 ディープスタンバイ遷移リセットで初期化されない機能とレジスタ – ディープスタンバイ制御部 – RTC の一部のレジスタ – HDMI-CEC/リモコン受信 – GPIO の一部のレジスタ – 低電圧検出回路のレジスタ – RTC モード制御レジスタ(PMD_CTL) – ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR,WIFSR) – ディープスタンバイ復帰許可レジスタ(WIER) – WKUP 端子入力レベルレジスタ(WILVR) – ディープスタンバイ RAM 保持レジスタ(DSRAMR) – バックアップレジスタ 01～16(BUR01~16)
対応フラグ	ディープスタンバイ復帰要因レジスタ 1,2 のいずれかのビットが"1" (注意事項) 復帰要因により"1"になるビットは異なります。

＜注意事項＞

- *ソフトウェアリセットを制御している「リセット制御レジスタ(SYSRESETREQ)」については、『Armv6-M アーキテクチャリファレンスマニュアル』の「CHAPTER B3 システムアドレマップ」を参照してください。*
- *各リセット要因の発生状態を確認できるリセット要因レジスタは、電源投入リセットでのみ初期化されます。*

3.2 デバイス内部のリセット

デバイスの内部リセット信号について説明します。

デバイスの内部へ接続されるリセットは、Cortex-M0+コアへ入力されるリセットと、周辺回路へ入力されるリセットに分けられます。

3.2.1 Cortex-M0+へのリセット

3.2.2 周辺回路へのリセット

3.2.1 Cortex-M0+へのリセット

Cortex-M0+へ入力されるリセットは PORESETn, SYSRESETn, DBGRESETn の 3 種類です。
以下に 3 種類のリセットのリセット要因を示します。

パワーオンリセット　PORESETn

リセット要因	– 電源投入リセット(PONR) – 低電圧検出リセット(LVDH) – ディープスタンバイ遷移リセット(DSTR)

システムリセット　SYSRESETn

リセット要因	– 電源投入リセット(PONR) – 低電圧検出リセット(LVDH) – INITX 端子入力(INITX) – ソフトウェアウォッチドッグリセット(SWDGR) – ハードウェアウォッチドッグリセット(HWDGR) – クロック故障検出リセット(CSVR) – 異常周波数検出リセット(FCSR) – ソフトウェアリセット(SRST) – ディープスタンバイ遷移リセット(DSTR)

SW-DP リセット　DBGRESETn

リセット要因	– 電源投入リセット(PONR) – 低電圧検出リセット(LVDH) – ディープスタンバイ遷移リセット(DSTR)

3.2.2 周辺回路へのリセット

周辺回路へ入力されるバスリセット(HRESET, PRESET0～PRESET1)は、基本的にすべてのリセット要因により発生します。また、PRESET1 についてはレジスタ設定にてリセット制御が可能です。

以下にバスリセットのリセット要因を示します。

周辺回路リセット

■ HRESET, PRESET0

リセット要因	– 電源投入リセット(PONR) – 低電圧検出リセット(LVDH) – INITX 端子入力(INITX) – ソフトウェアウォッチドッグリセット(SWDGR) – ハードウェアウォッチドッグリセット(HWDGR) – クロック故障検出リセット(CSVR) – 異常周波数検出リセット(FCSR) – ソフトウェアリセット(SRST) – ディープスタンバイ遷移リセット(DSTR)

■ PRESET1

リセット要因	– 電源投入リセット(PONR) – 低電圧検出リセット(LVDH) – INITX 端子入力(INITX) – ソフトウェアウォッチドッグリセット(SWDGR) – ハードウェアウォッチドッグリセット(HWDGR) – クロック故障検出リセット(CSVR) – 異常周波数検出リセット(FCSR) – ソフトウェアリセット(SRST) – APB バスリセット(APBC1_PSR) – ディープスタンバイ遷移リセット(DSTR)

<注意事項>

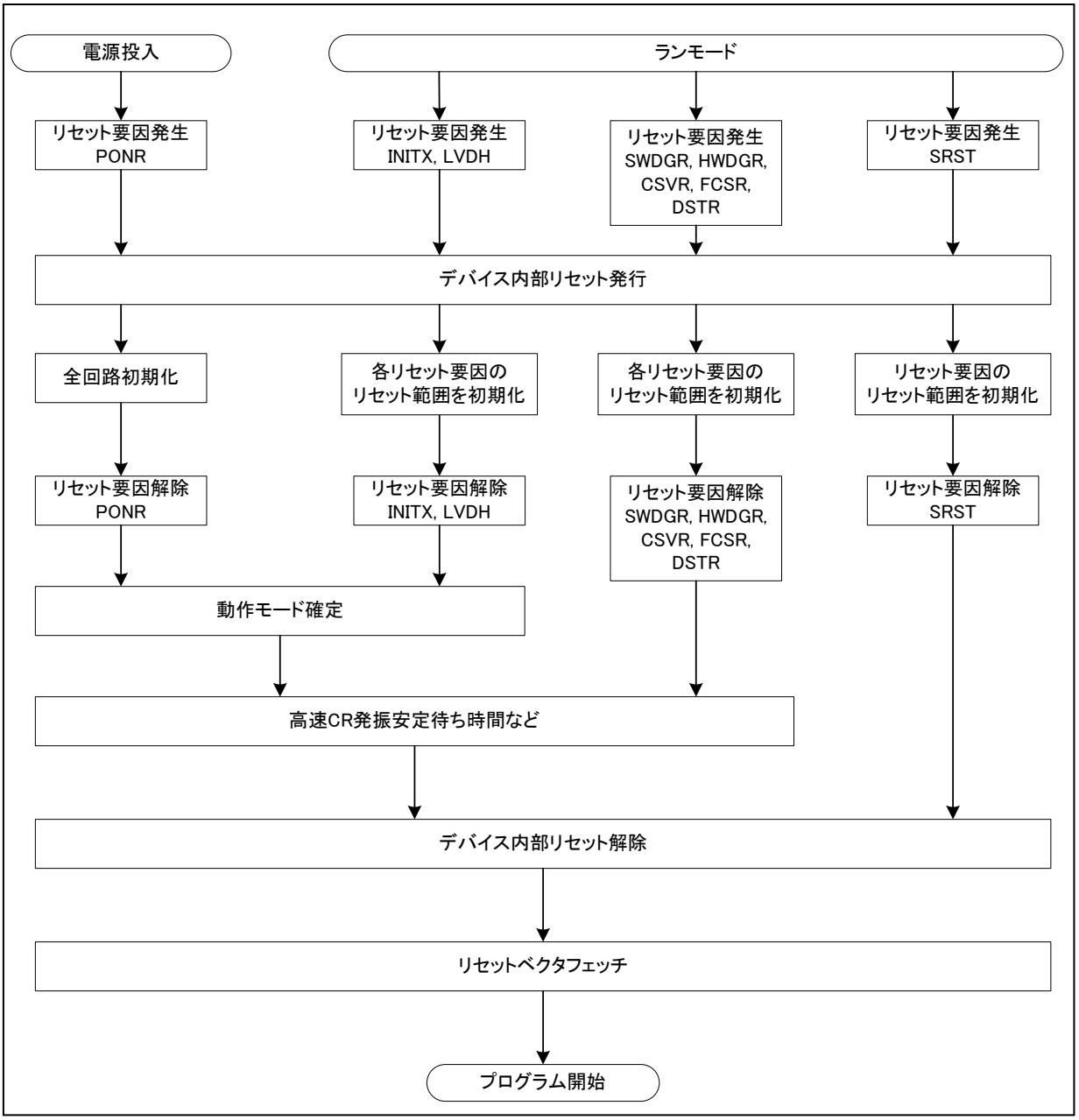
- *周辺回路は、基本的にすべてのリセット要因により初期化されますが、周辺回路の仕様によっては特定の要因のみで初期化されるレジスタが存在します。各レジスタの初期化条件については各章のレジスタ初期化条件を参照してください。*
- *APB バスリセット(APBC1_PSR)の詳細は、別章『クロック』を参照してください。*

3.3 リセットシーケンス

リセット要因の解除により、本ファミリは初期状態からプログラムおよびハードウェア動作を開始します。このリセットから動作開始までの一連の動作をリセットシーケンスとよびます。
以下、リセットシーケンスについて説明します。

リセット状態遷移図

リセット状態の遷移を下図に示します。詳細動作については「3.4. リセット解除後の動作」を参照してください。



1. リセット要因の取込み

   発生したリセット要因が取り込まれ、リセットがデバイス内部に発行されるまで保持されます。

2. リセットの発行

   リセット発行準備が完了すると、デバイス内部へのリセットが発行されます。

3. リセットの解除

   リセット要因が解除されると、高速 CR の発振安定待ち時間など解除に必要な時間分、デバイス内部リセットが延長されます。延長時間が終了するとリセットが解除されます。

4. 動作モード確定

   PONR, LVDH, INITX 解除と同時に動作モードが決定し、各ハードウェアに通知します。ほかのリセット要因では動作モードは変化しません。

5. リセットベクタフェッチ

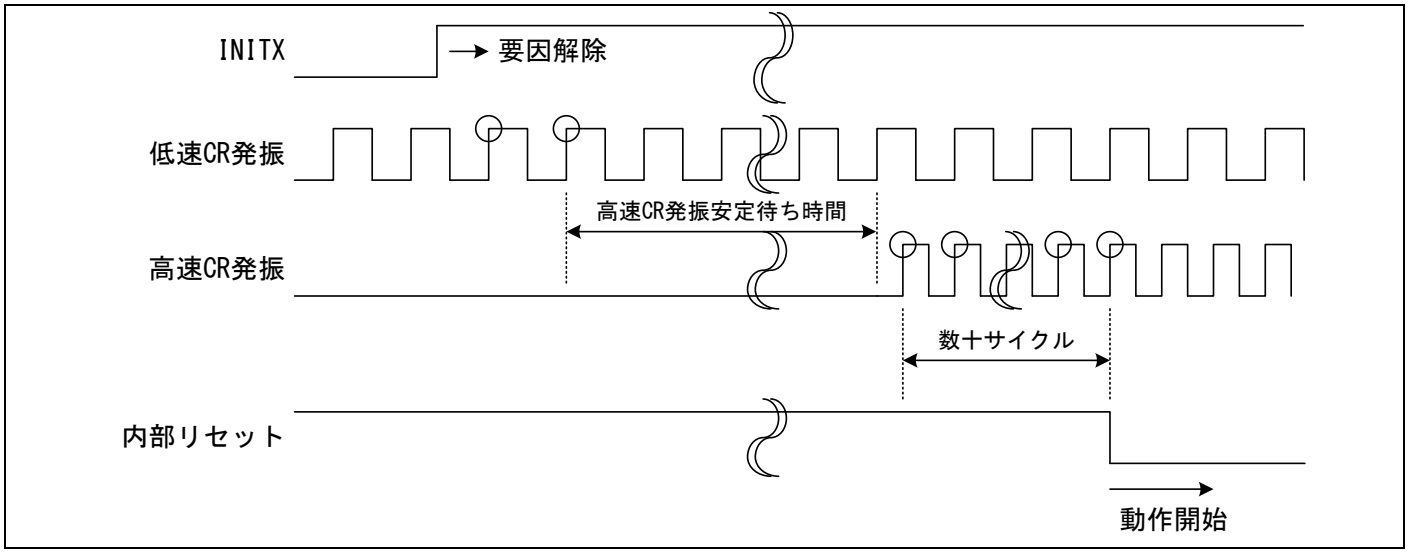
   デバイス内部リセットの解除後に、CPU がリセットベクタの取込みを開始します。CPU は取得したリセットベクタをプログラムカウンタに取り込んで、プログラム動作を開始します。

3.4 リセット解除後の動作

PONR, LVDH, INITX, HWDGR, SWDGR, CSVR, FCSR, DSTR

INITX 端子入力リセットの要因解除後の動作波形例を Figure 3-1 に示します。

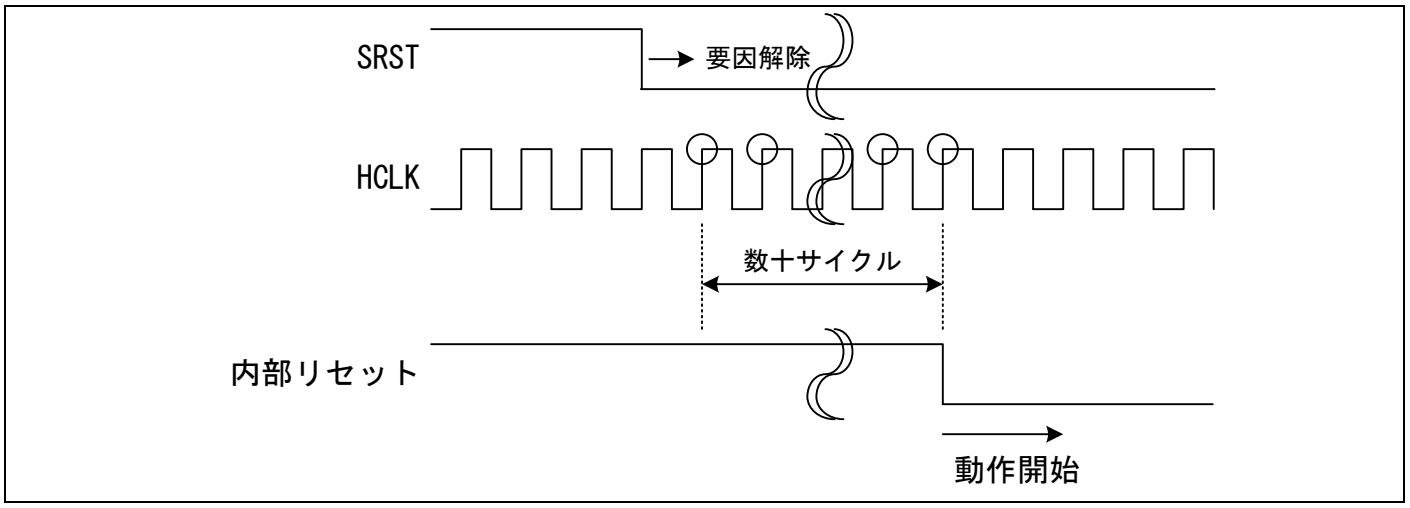
Figure 3-1 INITX 端子入力リセット解除後の動作波形例



SRST

ソフトウェアリセット解除後の動作波形例を Figure 3-2 に示します。

Figure 3-2 ソフトウェアリセット解除後の動作波形例



4. レジスタ

レジスタの構成と機能について説明します。

レジスター覧

レジスタ略称	レジスタ名	参照先
RST_STR	リセット要因レジスタ	4.1

4.1 リセット要因レジスタ(RST_STR)

リセット要因レジスタ（RST_STR）は直前までに発生した各種リセット要因を表示します。RST_STR の全てのビットは、パワーオンリセット、低電圧検出リセット、ディープスタンバイリセットにより値が初期化されます。その他のリセットでは、初期化されません。RST_STR の全てのビットは、このレジスタの読み出しにより、0 にクリアされます。初期化後、読み出すまでの間に発生したリセット要因をすべて格納します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							SRST
属性				-				R
初期値				-				0

bit	7	6	5	4	3	2	1	0
Field	FCSR	CSVR	HWDT	SWDT	予約		INITX	PONR
属性	R	R	R	R	-		R	R
初期値	0	0	0	0	-		0	1

＜注意事項＞

初期値は、パワーオンリセット、低電圧検出リセット、ディープスタンバイリセットにより初期化される値を示しています。

レジスタ機能

[bit15:9] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit8] SRST : ソフトウェアリセットフラグ

Cortex-M0+内部リセット制御レジスタの SYSRESETREQ ビットへの"1"書込みにより発生するリセットを示します。
ソフトウェアリセットが発生すると、SRST=1 となります。このビットは、読み出しにより 0 にクリアされます。

bit	説明
0	ソフトウェアリセットは発行されていません。
1	ソフトウェアリセットが発行されました。

[bit7] FCSR : 異常周波数検出リセットフラグ

メイン発振の異常周波数を検出した場合のリセットを示します。
メイン発振の周波数が設定値から外れた場合に、リセットが発行され FCSR=1 となります。
このビットは、読み出しにより 0 にクリアされます。

bit	説明
0	異常周波数検出リセットは発行されていません。
1	異常周波数検出リセットが発行されました。

[bit6] CSVR : クロック故障検出リセットフラグ

メイン・サブ発振の故障を検出した場合のリセットを示します。
停止を検出した場合、リセットが発行され CSVR=1 となります。このビットは、読み出しにより 0 にクリアされます。

bit	説明
0	クロック故障検出リセットは発行されていません。
1	クロック故障検出リセットが発行されました。

(注意事項) メイン発振とサブ発振のどちらが故障したか判断する方法については、別章『クロック監視機能』を参照してください。

[bit5] HWDT : ハードウェアウォッチドッグリセットフラグ

ハードウェアウォッチドッグタイマからのリセットを示します。
タイマがアンダフローした場合、リセットが発行され HWDT=1 となります。このビットは、読み出しにより 0 にクリアされます。

bit	説明
0	ハードウェアウォッチドッグリセットは発行されていません。
1	ハードウェアウォッチドッグリセットが発行されました。

[bit4] SWDT : ソフトウェアウォッチドッグリセットフラグ

ソフトウェアウォッチドッグタイマからのリセットを示します。
タイマがオーバフローした場合、リセットが発行され SWDT=1 となります。このビットは、読み出しにより 0 にクリアされます。

bit	説明
0	ソフトウェアウォッチドッグリセットは発行されていません。
1	ソフトウェアウォッチドッグリセットが発行されました。

[bit3:2] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit1] INITX : INITX 端子入力リセットフラグ

外部から入力されるリセットを示します。
外部からリセットが入力された場合、INITX=1 となります。このビットは、読み出しにより 0 にクリアされます。

bit	説明
0	INITX 端子入力リセットは発行されていません。
1	INITX 端子入力リセットが発行されました。

[bit0] PONR : 電源投入リセット・低電圧検出リセットフラグ

パワーオンリセット、低電圧検出リセット、ディープスタンバイリセットを示します。
電源の立上り、低電圧、ディープスタンバイへの遷移を検出した場合、リセットが発行され PONR=1 となります。このビットは、読み出しにより 0 にクリアされます。

bit	説明
0	パワーオンリセット、低電圧検出リセット、ディープスタンバイリセットは発行されていません。
1	パワーオンリセット、低電圧検出リセット、ディープスタンバイリセットが発行されました。

＜注意事項＞

- *ディープスタンバイモードからの復帰かどうかの判断は、ディープスタンバイ復帰要因レジスタ 1,2(WRFSR, WIFSR) で行ってください。詳細は、『低消費電力モード』の『8.5. ディープスタンバイ復帰要因レジスタ 1(WRFSR)』および『8.6. ディープスタンバイ復帰要因レジスタ 2(WIFSR)』を参照してください。*

CHAPTER 5-1: 低電圧検出概要

低電圧検出回路の機能と動作について示します。

1. 概要

1. 概要

低電圧検出回路は、電源電圧を監視し、検出電圧よりも電源電圧が低下したときにリセット信号および割込み信号を発生させる回路です。

低電圧検出回路の概要

■ 低電圧リセット回路の動作
- 電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときにリセット信号を発生させます。
- 動作許可または停止を選択できます。初期状態は動作しています。
- 検出電圧の設定が可能です(LVD のタイプによる)。ただし、低電圧検出リセットが掛かると設定値は初期化されます。そのため解除電圧は初期値になり、電源電圧が解除電圧よりも高い場合、リセットは解除されます。
- スタンバイモード時、ディープスタンバイモード時も電源電圧を監視します。
- スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、リセット信号を発生させます。

■ 低電圧割込み回路の動作
- 電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。
- 動作の許可または停止を選択できます。初期状態は停止しています。
- 検出電圧の設定が可能です。
- スタンバイモード時、ディープスタンバイモード時も電源電圧を監視できます。
- スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、スタンバイモード, ディープスタンバイモードから復帰します。

＜注意事項＞
- *低電圧検出割込みの許可をしたときおよび低電圧検出割込みの検出電圧設定を行った場合は、低電圧検出回路の安定待ち期間経過後に VCC 電圧監視を開始します。*
  低電圧検出回路の安定待ち期間については、ご使用する製品の『データシート』を参照してください。
- *低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよびAPB1 プリスケーラレジスタ (APBC1_PSR)により PCLK1 の停止を行うと、電源電圧の監視が行われません。状態フラグの読出しを行い、安定待ち期間が完了したのち遷移させてください。*
- *低電圧検出電圧設定レジスタ(LVD_CTL)は、誤書込み防止のため、書込み保護されております。書込み保護を解除する場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込んでください。*

■ 低電圧検出(LVD)のタイプ
プロダクトタイプにより 3 種類の LVD が搭載されています。それぞれの設定方法の詳細については Table 1-1 に示されている Chapter を参照下さい。

Table 1-1 LVD の対応テーブル

Product TYPE	Reference
TYPE1-M0+	低電圧検出(TYPE1)"
TYPE2-M0+	低電圧検出(TYPE2)"
TYPE3-M0+	低電圧検出(TYPE3)"

CHAPTER 5-2: 低電圧検出 (TYPE1)

低電圧検出回路の機能と動作について示します。

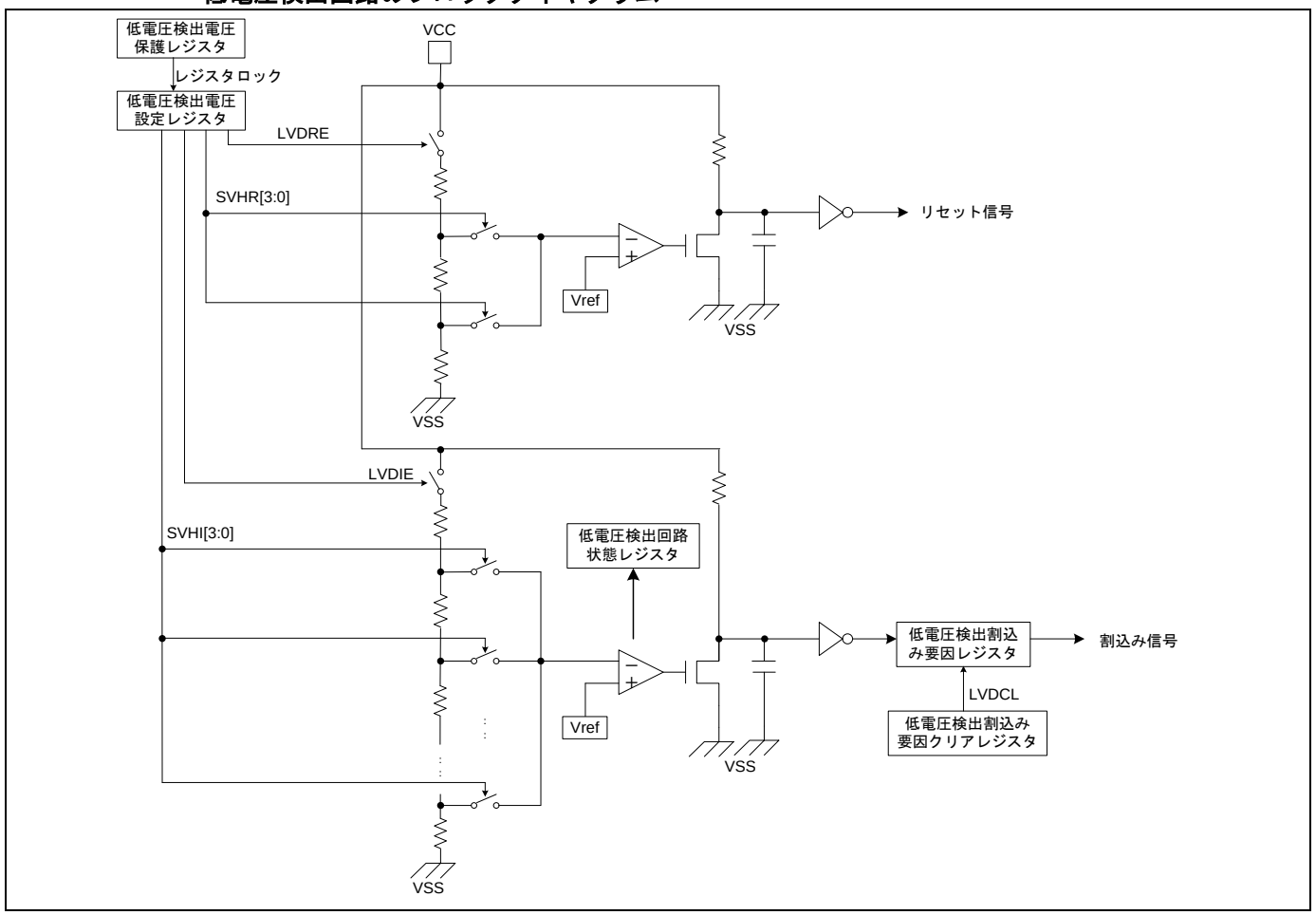
1. 構成
2. 動作説明
3. 設定手順例
4. レジスタ
5. 使用上の注意

管理コード: 9AFLVD-FM0T1-J03.0

1. 構成

低電圧検出回路のブロックダイヤグラムを示します。

低電圧検出回路のブロックダイヤグラム



■ 低電圧検出電圧設定レジスタ (LVD_CTL)
低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御，低電圧検出リセットと低電圧検出割込みの検出電圧設定を行うレジスタです。

■ 低電圧検出電圧保護レジスタ (LVD_RLR)
低電圧検出電圧設定レジスタの書込み保護を行うレジスタです。

■ 低電圧検出割込み要因レジスタ (LVD_STR)
低電圧検出割込みの要因を保持するレジスタです。

■ 低電圧検出割込み要因クリアレジスタ (LVD_CLR)
低電圧検出割込み要因をクリアするレジスタです。

■ 低電圧検出回路状態レジスタ (LVD_STR2)
低電圧検出割込み回路の動作状態を確認するレジスタです。

低電圧検出回路の端子

低電圧検出回路に使用する端子を以下に示します。

- VCC 端子

  低電圧検出回路は本端子の電源電圧を監視します。

- VSS 端子

  電源検出の基準となる GND 端子です。

2. 動作説明

低電圧検出リセット回路の動作および低電圧検出割込み回路の動作について説明します。

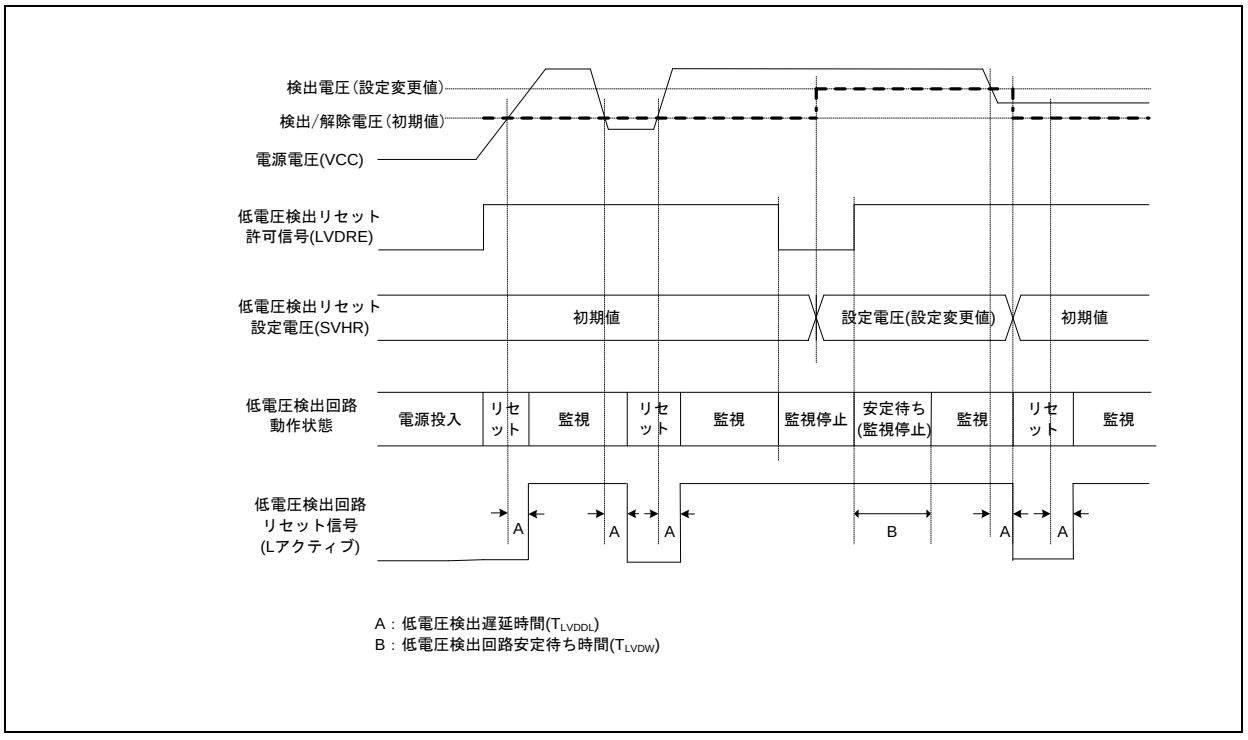
低電圧検出リセット回路の動作

■ 回路動作説明

低電圧検出リセット回路は、電源投入後から常に監視状態になります。電源電圧(VCC)が設定された検出電圧よりも低下したときにリセット信号を発生させます。解除電圧よりも電源電圧が高くなると、リセットを解除します。

低電圧検出電圧設定レジスタの LVDRE ビットが"1"のときにリセット動作は有効です。低電圧検出電圧設定レジスタ(LVD_CTL)の SVHR ビットによりリセットの検出電圧の設定ができます。ただし、低電圧検出リセットにより SVHR ビットは初期化されます。それにより解除電圧は初期値になり、電源電圧が解除電圧より高い場合リセットは解除されます。リセット許可およびリセット検出電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ(LVD_STR2)の低電圧検出リセット状態フラグ(LVDRRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード)、ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。



A：低電圧検出遅延時間(T_{LVDDL})
B：低電圧検出回路安定待ち時間(T_{LVDW})

低電圧検出割込み回路の動作

■ 回路動作説明

低電圧検出割込み回路は、電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。

低電圧検出電圧設定レジスタ(LVD_CTL)の LVDIE ビットが"1"のときに割込み要求が許可され有効になります。初期値は許可されていません。低電圧検出電圧設定レジスタ (LVD_CTL) の SVHI ビットにより割込みの検出電圧の設定ができます。割込み要求許可および割込み検出電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ (LVD_STR2) の低電圧検出割込み状態フラグ(LVDIRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード,ストップモード), ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。また、スタンバイモード, ディープスタンバイモードからの復帰に使用できます。

■ 低電圧検出割込み要求

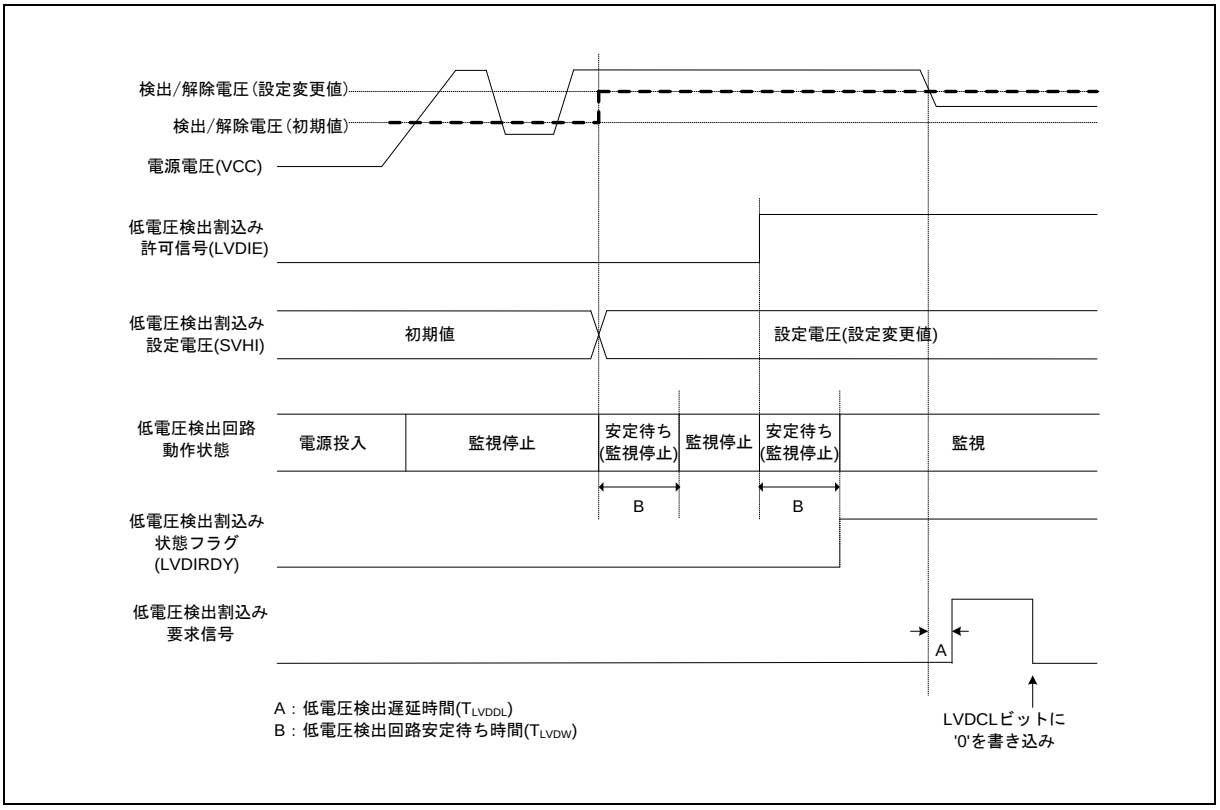
低電圧検出割込みが有効かつ電源電圧 VCC が設定された電圧よりも低下したときに、低電圧検出割込み要因レジスタ (LVD_STR)の LVDIR ビットが"1"になり、割込み要求信号を発生させます。

LVDIR ビットを読み出すことで、割込み要求を確認できます。

■ 低電圧検出割込み要求の取下げ

低電圧検出割込み検出要求を取り下げるには、低電圧検出割込み要因クリアレジスタ (LVD_CLR)の LVDCL ビットに"0"を書き込んでください。これにより低電圧検出割込み要因がクリアされ、低電圧検出割込み要求が取り下げられます。

また、電源電圧が設定された検出電圧よりも低下している間に、LVDCL ビットに"0"書込みを行った場合も、割込み要求が取り下げられます。



<注意事項>

- *低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよびAPB1 プリスケーラレジスタ(APBC1_PSR)によりPCLK1 の停止を行うと、電源電圧の監視が行われません。低電圧検出回路状態レジスタ(LVD_STR2)の低電圧検出割込み状態フラグ(LVDIRDY)が"1"になっていることを確認後、遷移させてください。*

3. 設定手順例

低電圧検出回路の設定手順例を説明します。

Figure 3-1 低電圧検出リセット設定手順例

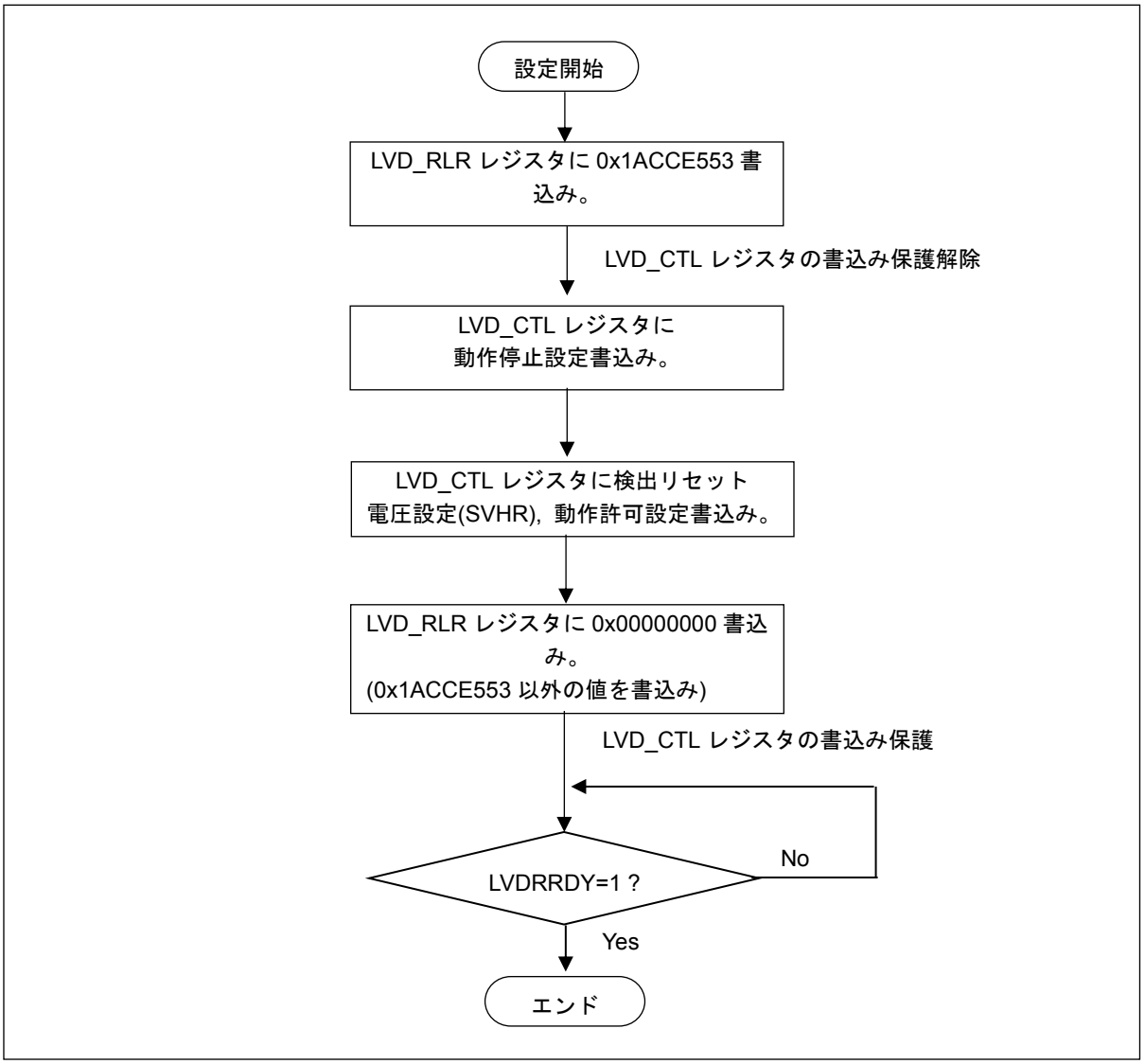
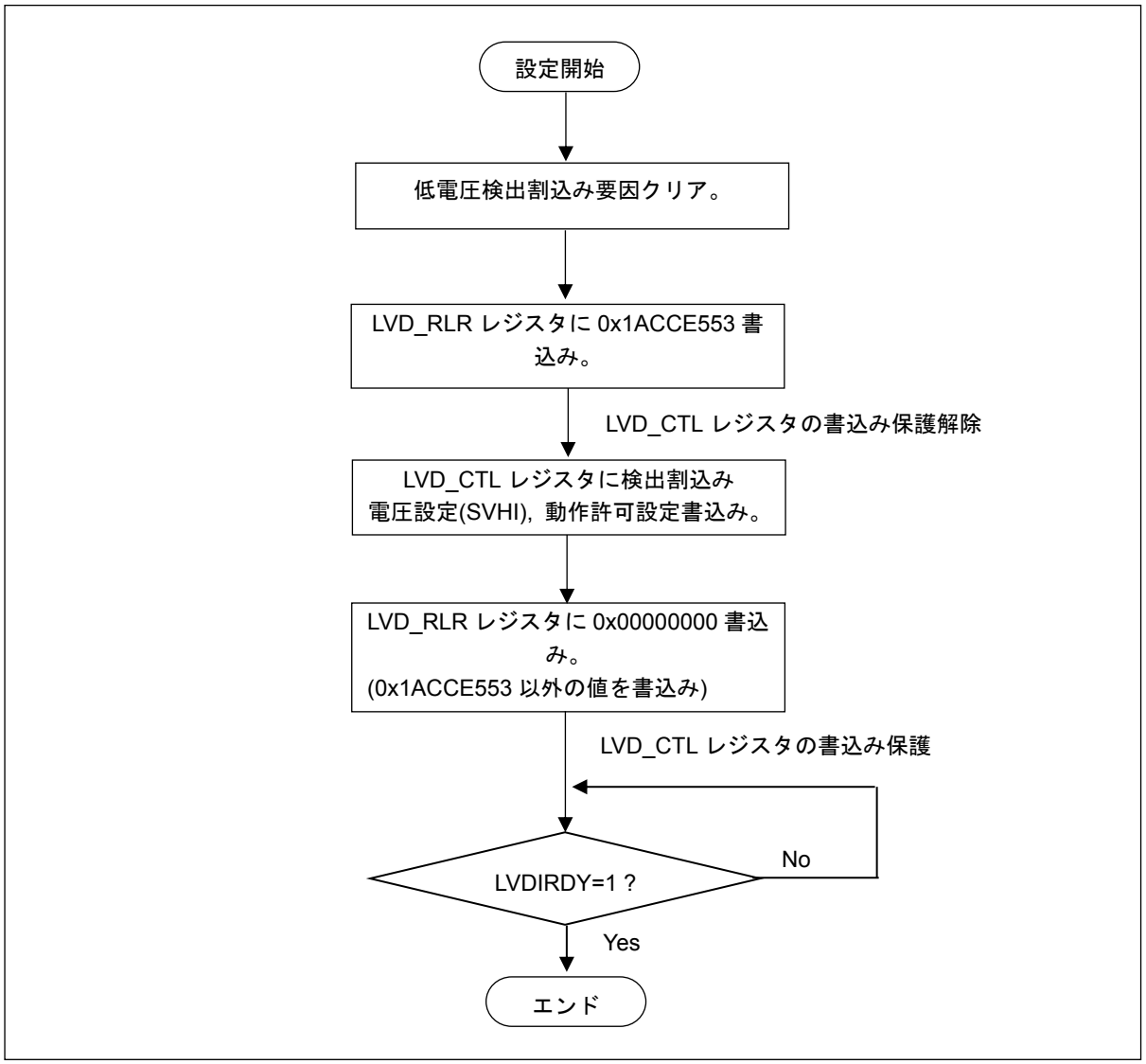


Figure 3-2 低電圧検出割込み設定手順例



4. レジスタ

低電圧検出回路で使用するレジスタの構成と機能について説明します。

低電圧検出回路のレジスター覧

Table 4-1 低電圧検出回路のレジスター覧

レジスタ略称	レジスタ名	参照先
LVD_CTL	低電圧検出電圧設定レジスタ	4.1
LVD_STR	低電圧検出割込み要因レジスタ	4.2
LVD_CLR	低電圧検出割込み要因クリアレジスタ	4.3
LVD_RLR	低電圧検出電圧保護レジスタ	4.4
LVD_STR2	低電圧検出回路状態レジスタ	4.5

4.1 低電圧検出電圧設定レジスタ(LVD_CTL)

低電圧検出電圧設定レジスタ(LVD_CTL)は、低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御, 低電圧検出リセットと低電圧検出割込みの検出電圧設定を行うレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	LVDRE	SVHR					予約	
属性	R/W	R/W					-	
初期値	1	00000					00	

bit	7	6	5	4	3	2	1	0
Field	LVDIE	SVHI					予約	
属性	R/W	R/W					-	
初期値	0	00011					00	

レジスタ機能

[bit15] LVDRE： 低電圧検出リセット動作許可ビット

本ビットは、低電圧検出リセットの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出リセット回路は動作停止します。

bit	説明
0	低電圧検出リセットの発生を許可しません。
1	低電圧検出リセットの発生を許可します。[初期値]

[bit14:10] SVHR： 低電圧検出リセット電圧設定ビット

本ビットは、低電圧検出リセットの検出電圧設定を行います。

bit14:10	説明
00000	低電圧検出リセットの検出電圧を 2.45V 中心に設定します。[初期値]
00001	低電圧検出リセットの検出電圧を 2.60V 中心に設定します。
00010	低電圧検出リセットの検出電圧を 2.70V 中心に設定します。
00011	低電圧検出リセットの検出電圧を 2.80V 中心に設定します。
00100	低電圧検出リセットの検出電圧を 3.00V 中心に設定します。
00101	低電圧検出リセットの検出電圧を 3.20V 中心に設定します。
00110	低電圧検出リセットの検出電圧を 3.60V 中心に設定します。
00111	低電圧検出リセットの検出電圧を 3.70V 中心に設定します。
01000	低電圧検出リセットの検出電圧を 4.00V 中心に設定します。
01001	低電圧検出リセットの検出電圧を 4.10V 中心に設定します。
01010	低電圧検出リセットの検出電圧を 4.20V 中心に設定します。
上記以外	設定禁止

[bit9:8] 予約 : 予約ビット
読出しは常に"0"です。書込みは動作に影響しません。

[bit7] LVDIE : 低電圧検出割込み動作許可ビット
本ビットは、低電圧検出割込みの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出割込み回路は動作停止します。

bit	説明
0	低電圧検出割込みの発生を許可しません。[初期値]
1	低電圧検出割込みの発生を許可します。

[bit6:2] SVHI : 低電圧検出割込み電圧設定ビット
本ビットは、低電圧検出割込みの検出電圧設定を行います。

bit6:2	説明
00011	低電圧検出割込みの検出/解除電圧を 2.80V 中心に設定します。[初期値]
00100	低電圧検出割込みの検出/解除電圧を 3.00V 中心に設定します。
00101	低電圧検出割込みの検出/解除電圧を 3.20V 中心に設定します。
00110	低電圧検出割込みの検出/解除電圧を 3.60V 中心に設定します。
00111	低電圧検出割込みの検出/解除電圧を 3.70V 中心に設定します。
01000	低電圧検出割込みの検出/解除電圧を 4.00V 中心に設定します。
01001	低電圧検出割込みの検出/解除電圧を 4.10V 中心に設定します。
01010	低電圧検出割込みの検出/解除電圧を 4.20V 中心に設定します。
上記以外	設定禁止

[bit1:0] 予約 : 予約ビット
読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *低電圧検出割込み動作許可ビット(LVDIE)は、必ず低電圧検出割込み要因クリアレジスタ(LVD_CLR)の LVDCL ビットに"0"を書き込み、低電圧検出割込み要因ビット(LVDIR)をクリアしてから許可してください。*
- *低電圧検出割込み動作許可ビット(LVDIE)を許可しない場合は、低電圧割込み検出用の低電圧検出回路は停止します。そのため、低電圧検出割込み要因ビット(LVDIR)のセットは行いません。*
- *低電圧検出電圧設定レジスタ(LVD_CTL)は初期状態で書込み保護されており、保護を解除しない限り書込みは無効になります。低電圧検出電圧設定レジスタ(LVD_CTL)に書込みを行う場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込み、書込み保護を解除してください。*
- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。*
- *低電圧検出リセット検出電圧の設定値を変更後、低電圧検出リセットにより設定値が初期化されるため、解除電圧は初期値になります。その時の電源電圧が解除電圧よりも高い場合、リセットが解除されます。検出電圧/解除電圧の初期値はデータシートを参照してください。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.2 低電圧検出割込み要因レジスタ(LVD_STR)

低電圧検出割込み要因レジスタ(LVD_STR)は低電圧検出割込みの要因を保持するレジスタです。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	LVDIR	予約						
属性	R	-						
初期値	0	0000000						

レジスタ機能

[bit7] LVDIR： 低電圧検出割込み要因ビット

bit	説明
0	低電圧検出割込み要求は検出されていません。[初期値]
1	低電圧検出割込み要求が検出されました。

[bit6:0] 予約 ： 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.3 低電圧検出割込み要因クリアレジスタ(LVD_CLR)

低電圧検出割込み要因クリアレジスタ(LVD_CLR)は低電圧検出割込み要因をクリアするレジスタです。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	LVDCL	予約						
属性	R/W	-						
初期値	1	0000000						

レジスタ機能

[bit7] LVDCL： 低電圧検出割込み要因クリアビット

bit	説明
0	低電圧検出割込み要因レジスタ(LVD_STR)の低電圧検出割込み要因ビット(LVDIR)を"0"にクリアします。
1	書込みは動作に影響しません。[初期値]

読出しは常に"1"が読み出されます。

[bit6:0] 予約 ： 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.4 低電圧検出電圧保護レジスタ(LVD_RLR)

低電圧検出電圧保護レジスタ(LVD_RLR)は低電圧検出電圧設定レジスタ(LVD_CTL)を書込み保護するレジスタです。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LVDLCK[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LVDLCK[15:0]															
属性	R/W															
初期値	0x0001															

レジスタ機能

[bit31:0] LVDLCK[31:0] : 低電圧検出電圧設定レジスタ保護ビット

- 0x1ACCE553 を書き込むことにより、低電圧検出電圧設定レジスタ(LVD_CTL)の書込みが可能となります(書込み保護解除)。
- 0x1ACCE553 以外の値を書き込むと、低電圧検出電圧設定レジスタ(LVD_CTL)の書込みが無効になります(書込み保護)。
- 低電圧検出電圧設定レジスタ(LVD_CTL)の保護が解除されているときは、0x00000000 が読み出されます。
- 低電圧検出電圧設定レジスタ(LVD_CTL)が保護されているときは、0x00000001 が読み出されます。

<注意事項>

- *低電圧検出電圧設定レジスタ(LVD_CTL)は、初期状態で書込み保護されております。LVD_CTL レジスタに書込みを行う場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込み、書込み保護を解除してください。*
- *LVD_CTL レジスタの書込み保護を有効にしたい場合は、LVD_RLR レジスタに 0x1ACCE553 以外の値を書き込んでください。*
- *LVD_CTL レジスタの書込み保護を解除した場合は、LVD_RLR レジスタに 0x1ACCE553 以外の値を書き込むまで保護が解除されたままになります。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.5 低電圧検出回路状態レジスタ(LVD_STR2)

低電圧検出回路状態レジスタ(LVD_STR2)は低電圧検出割込みの動作状態を確認するレジスタです。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	LVDIRDY	LVDRRDY	予約					
属性	R	R	-					
初期値	0	1	000000					

レジスタ機能

[bit7] LVDIRDY : 低電圧検出割込み状態フラグ

bit	説明
0	安定待ち状態または監視停止状態[初期値]
1	監視状態

書込みは動作に影響しません。

[bit6] LVDRRDY : 低電圧検出リセット状態フラグ

bit	説明
0	安定待ち状態または監視停止状態
1	監視状態[初期値]

書込みは動作に影響しません。

[bit5:0] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

5. 使用上の注意

低電圧検出回路の使用上の注意点を説明します。

■ STOP モード遷移時の低電圧検出割込み要因ビットについて

低電圧検出割込み要因ビット(LVD_STR:LVDIR)クリア後、電源電圧がそのまま検出電圧以下であっても、いったん解除電圧を上回らない限り、再度割込み要因が発生することはありません。
しかし、LVDIR クリア後、検出電圧以下にいる時に STOP モード遷移を行った際には必ず低電圧検出回路が電圧比較を行います。
そのため、STOP モード遷移により、再度低電圧検出割込み要因がセットされ、割込みルーチンに遷移する可能性があります。

例えば、低電圧検出の割込み処理ルーチン内で STOP モード遷移するような場合、割込み要因をクリアして割込み処理ルーチンを抜けても、すぐに再度割込み要因ビットが立ち、割込み処理ルーチンを繰り返す可能性があります。

低電圧割込み検出後も電源電圧が検出電圧以下となっている場合に、繰り返し割込みが発生する現象を抑えるには、低電圧検出割込み許可ビット(LVDIE)を禁止にしてから割込みルーチンを抜けてください。

■ 低電圧検出リセットの検出電圧設定について

低電圧検出リセット電圧の検出電圧設定後、低電圧検出リセットが発生すると、検出電圧設定値が初期化されます。ゆっくり電源電圧が低下していく時のように、電源電圧が設定初期値よりも高い場合、リセットが解除されます。しかし、リセットによりプログラムは先頭に戻るため再度検出電圧を設定しなおします。すでに電源電圧が検出電圧設定値よりも低いため、再度低電圧検出リセットが発生します。

すなわち、電源電圧の変化とプログラム記述によっては、

検出電圧変更 → リセット → 初期化(プログラム先頭) → 検出電圧変更 → リセット

を繰り返すループになる可能性があります。

電源電圧が検出電圧以下の場合の低電圧検出リセットのループを避けるには、以下の方法があります。

- 低電圧検出リセット設定値は初期値のみを使用する。
- 低電圧検出割込みを低電圧検出リセットよりも先に設定し、プログラムの先頭で割込みフラグが立っているかを確認し、それにより低電圧リセットの検出電圧の設定値を変更する。

CHAPTER 5-3: 低電圧検出 (TYPE2)

低電圧検出回路の機能と動作について示します。

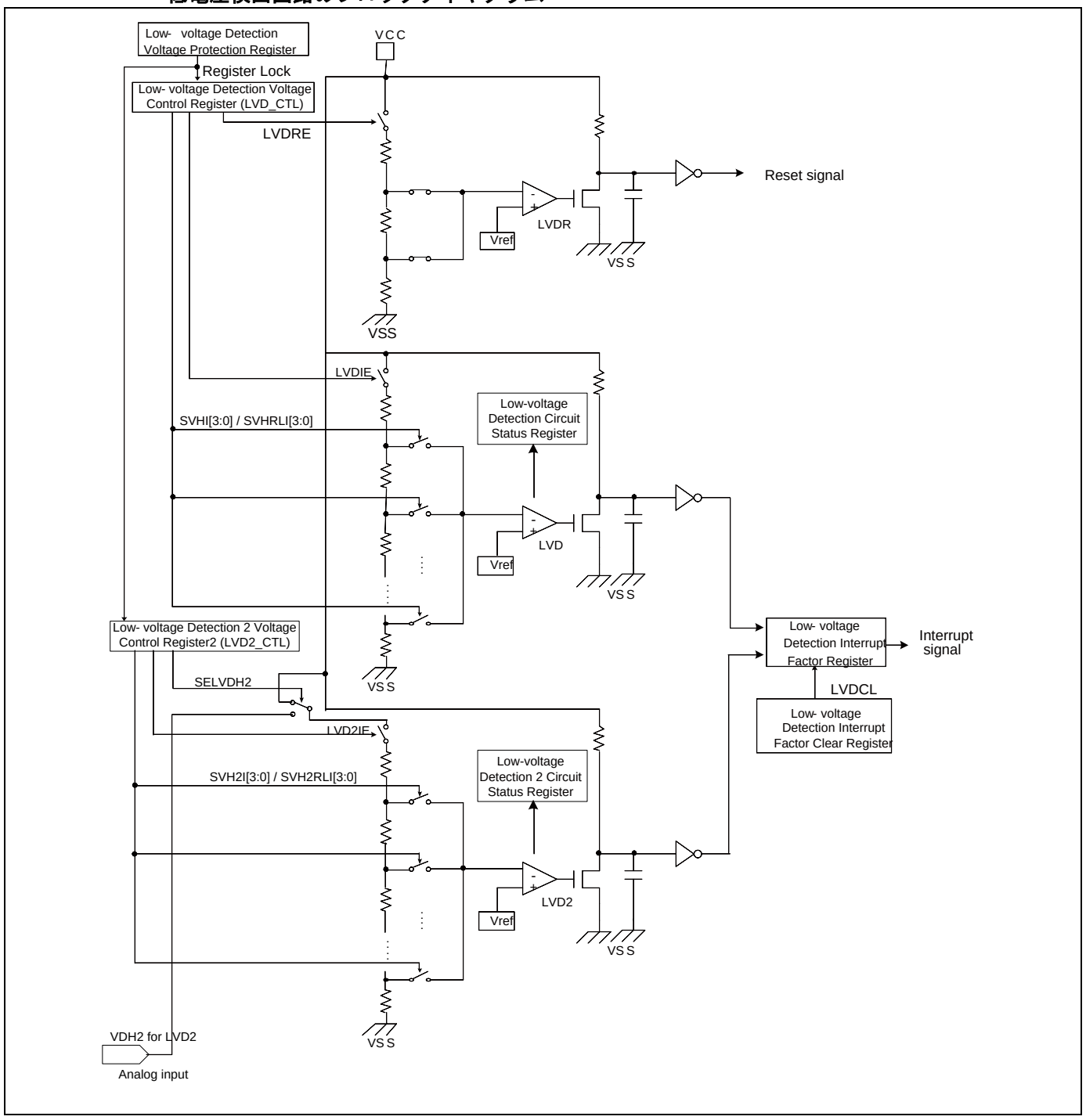
1. 構成
2. 動作説明
3. 設定手順例
4. レジスタ
5. 使用上の注意

管理コード: 9AFLVD-FM0T2-J01.0

1. 構成

低電圧検出回路のブロックダイヤグラムを示します。

低電圧検出回路のブロックダイヤグラム



■ 低電圧検出電圧設定レジスタ (LVD_CTL)
低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御，低電圧検出リセットと低電圧検出割込みの検出電圧設定を行うレジスタです。

■ 低電圧検出 2 電圧制御レジスタ(LVD2_CTL)
このレジスタは、電源の電圧を監視して低電圧検出割込みを発生する動作を有効にするかを制御し、低電圧検出割込みを発生する検出電圧を指定します。

■ 低電圧検出電圧保護レジスタ (LVD_RLR)
低電圧検出電圧設定レジスタの書込み保護を行うレジスタです。

■ 低電圧検出割込み要因レジスタ (LVD_STR)
低電圧検出割込みの要因を保持するレジスタです。

■ 低電圧検出割込み要因クリアレジスタ (LVD_CLR)
低電圧検出割込み要因をクリアするレジスタです。

■ 低電圧検出回路状態レジスタ (LVD_STR2)
低電圧検出割込み回路の動作状態を確認するレジスタです。

■ Vref 較正制御レジスタ(CAL_CTL)
このレジスタは、Vref 較正を制御します。

■ Vref 較正値セットレジスタ(CAL_SET)
このレジスタは、Vref 較正値を保持します。

■ Vref 較正セキュリティキーレジスタ(CAL_KEY)

低電圧検出回路の端子

低電圧検出回路に使用する端子を以下に示します。

- VCC 端子
  低電圧検出回路は本端子の電源電圧を監視します。

- VDH2 端子
  低電圧検出回路は、このピンの外部電圧を監視します。

- VSS 端子
  電源検出の基準となる GND 端子です。

2. 動作説明

低電圧検出リセット回路の動作および低電圧検出割込み回路の動作について説明します。

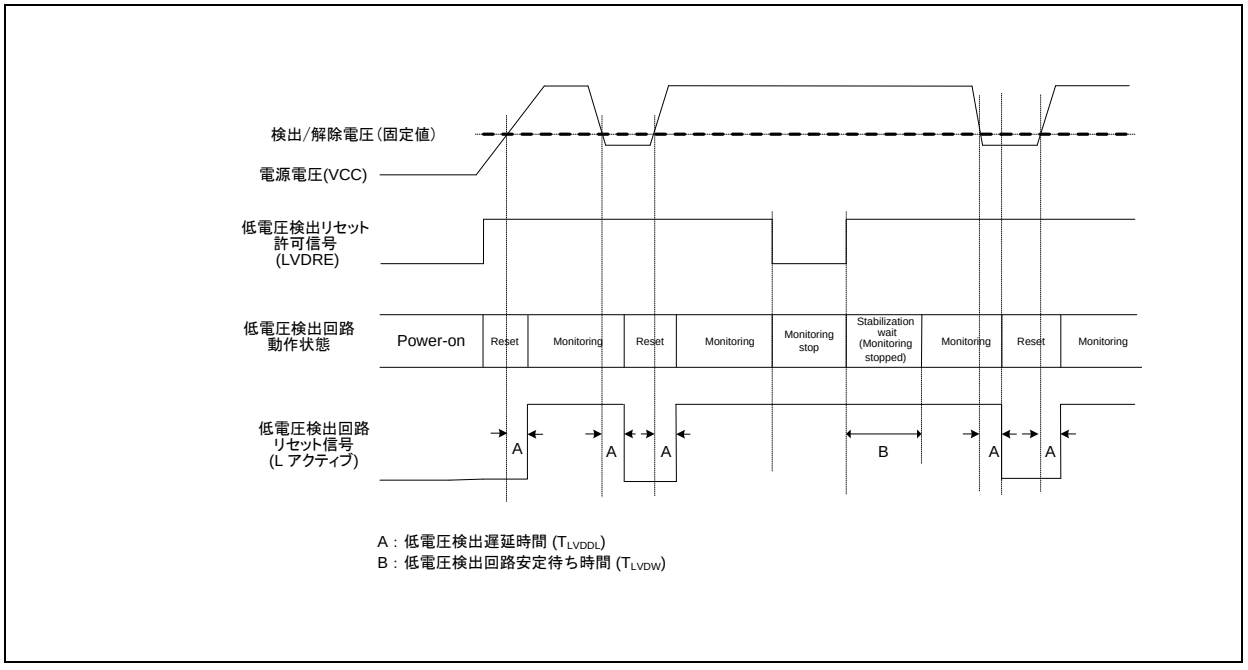
低電圧検出リセット回路の動作

■ 回路動作説明

低電圧検出リセット回路は、電源投入後から常に監視状態になります。電源電圧(VCC)が設定された検出電圧よりも低下したときにリセット信号を発生させます。解除電圧よりも電源電圧が高くなると、リセットを解除します。

低電圧検出電圧設定レジスタの LVDRE ビットが"1"のときにリセット動作は有効です。低電圧検出リセットの検出電圧は固定値が設定されており、この値を変更することはできません。また、電源電圧が解除電圧より高い場合リセットは解除されます。リセット許可の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ(LVD_STR2)の低電圧検出リセット状態フラグ(LVDRRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード)、ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。



低電圧検出割込み回路の動作

■ 回路動作説明

低電圧検出割込み回路は、電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。

低電圧検出電圧設定レジスタ(LVD_CTL)の LVDIE ビットが"1"のときに割込み要求が許可され有効になります。初期値は許可されていません。低電圧検出電圧設定レジスタ (LVD_CTL) の SVHI ビットにより割込みの検出電圧の設定ができます。リリース電圧は、低電圧検出リリース電圧制御レジスタ(LVD_CTL2)の SVHRLI ビットにより設定できます。割込み要求許可および割込み検出/リリース電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ (LVD_STR2) の低電圧検出割込み状態フラグ(LVDIRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード,ストップモード), ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。また、スタンバイモード, ディープスタンバイモードからの復帰に使用できます。

■ 低電圧検出割込み要求

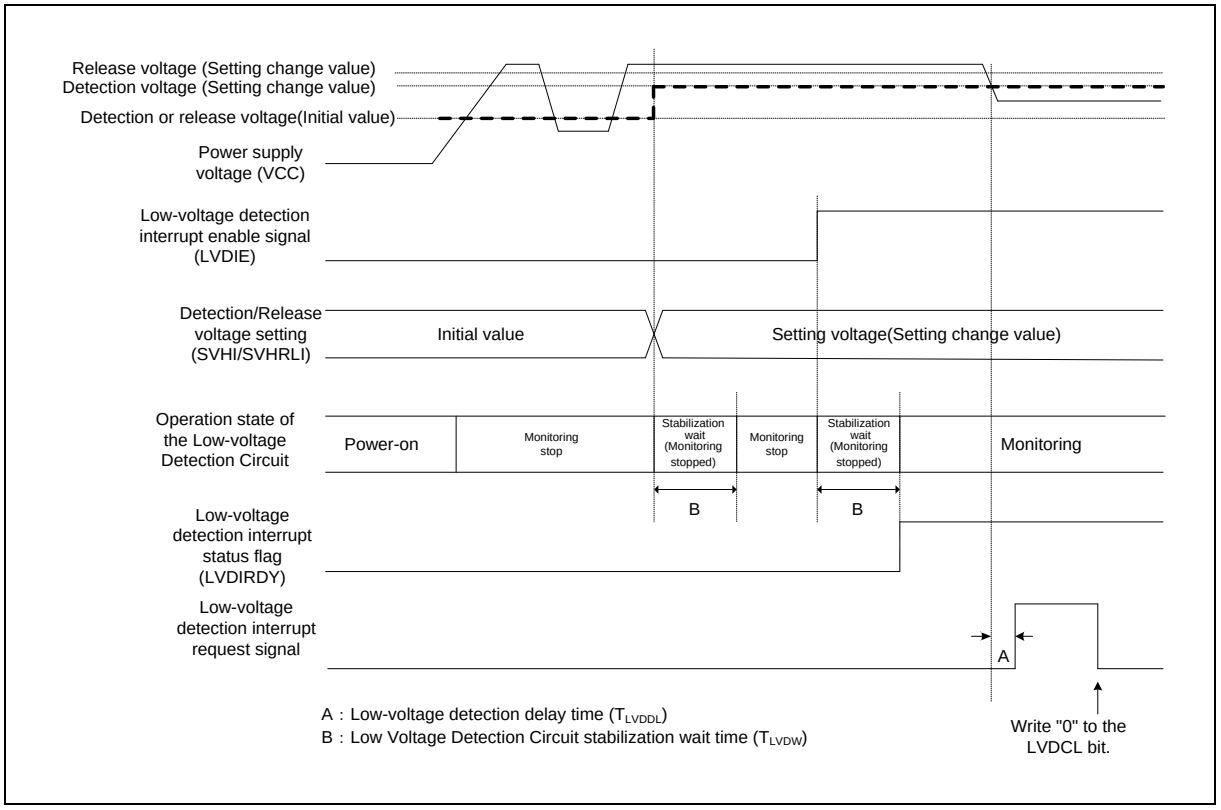
低電圧検出割込みが有効かつ電源電圧 VCC が設定された電圧よりも低下したときに、低電圧検出割込み要因レジスタ (LVD_STR)の LVDIR ビットが"1"になり、割込み要求信号を発生させます。

LVDIR ビットを読み出すことで、割込み要求を確認できます。

■ 低電圧検出割込み要求の取下げ

低電圧検出割込み検出要求を取り下げるには、低電圧検出割込み要因クリアレジスタ (LVD_CLR)の LVDCL ビットに"0"を書き込んでください。これにより低電圧検出割込み要因がクリアされ、低電圧検出割込み要求が取り下げられます。

また、電源電圧が設定された検出電圧よりも低下している間に、LVDCL ビットに"0"書込みを行った場合も、割込み要求が取り下げられます。



<注意事項>

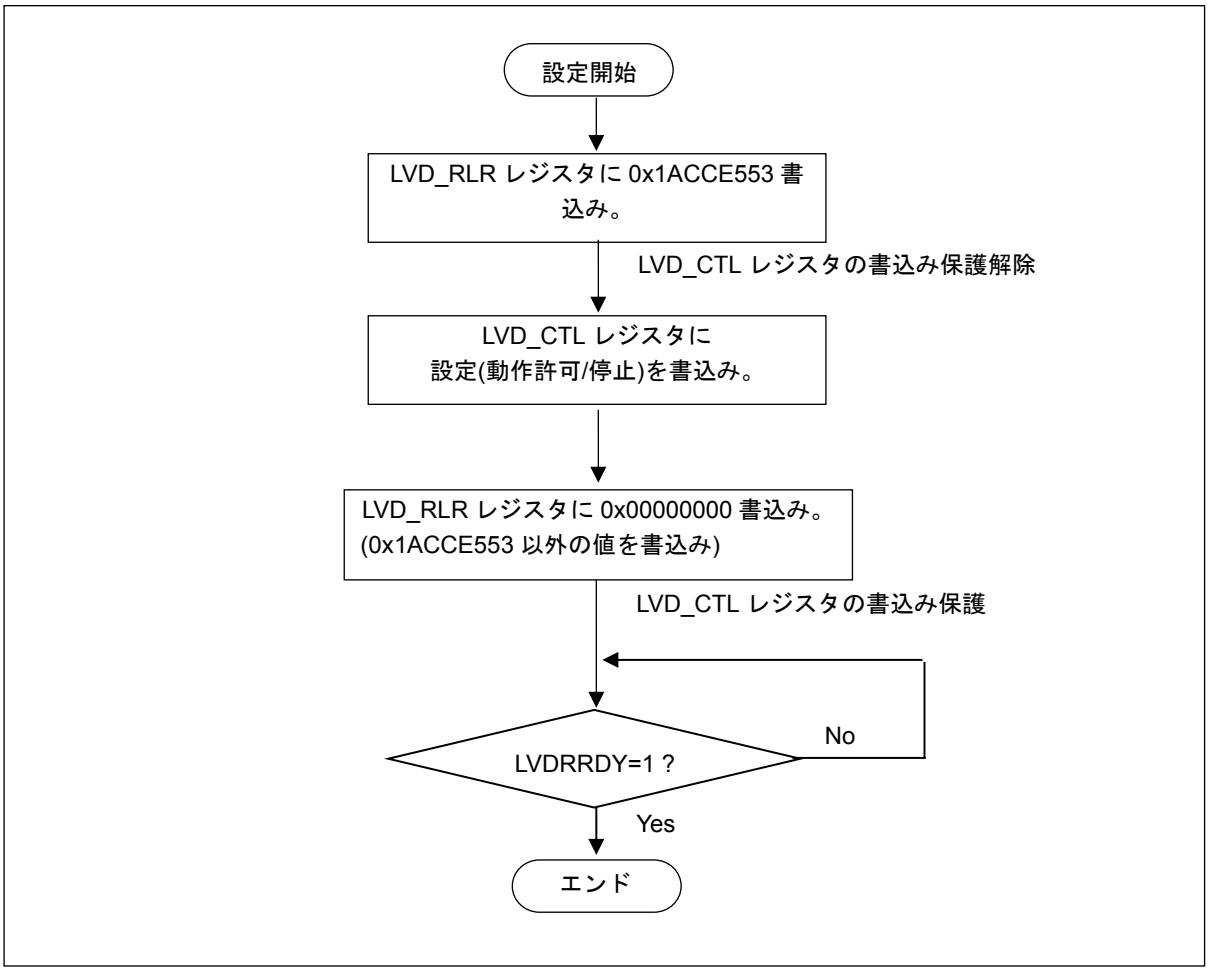
- *低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよび APB1 プリスケーラレジスタ (APBC1_PSR) により PCLK1 の停止を行うと、電源電圧の監視が行われません。低電圧検出回路状態レジスタ(LVD_STR2)の低電圧検出割込み状態フラグ(LVDIRDY)が"1"になっていることを確認後、遷移させてください。*

3. 設定手順例

低電圧検出回路の設定手順例を説明します。

3.1 低電圧検出リセット

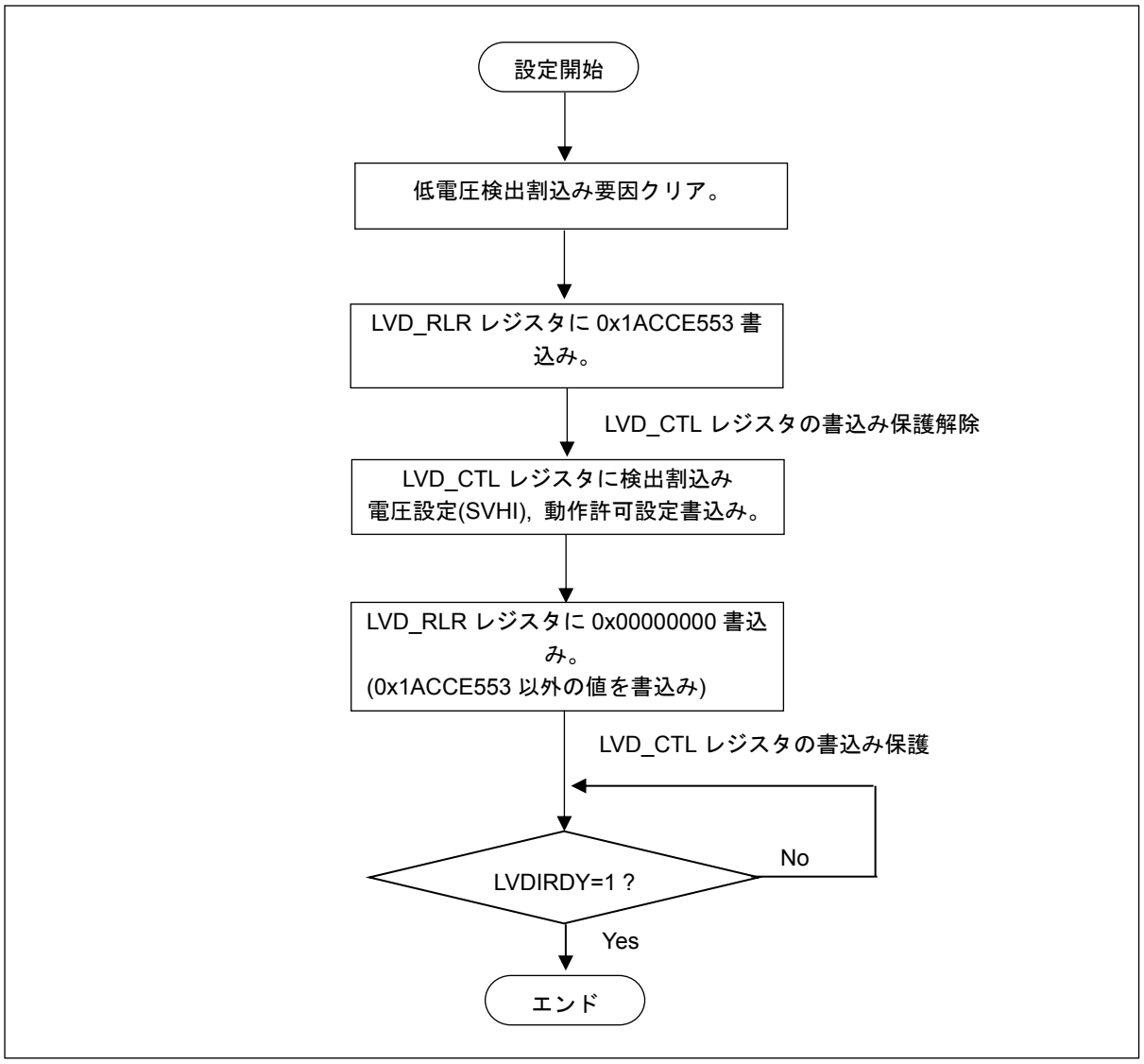
Figure 3-1 低電圧検出リセット設定手順例



3.2 低電圧検出割込み (LVDRLIE = 0)

ここでは低電圧検出回路の設定手順について説明します（リリース電圧の設定をしない場合)。

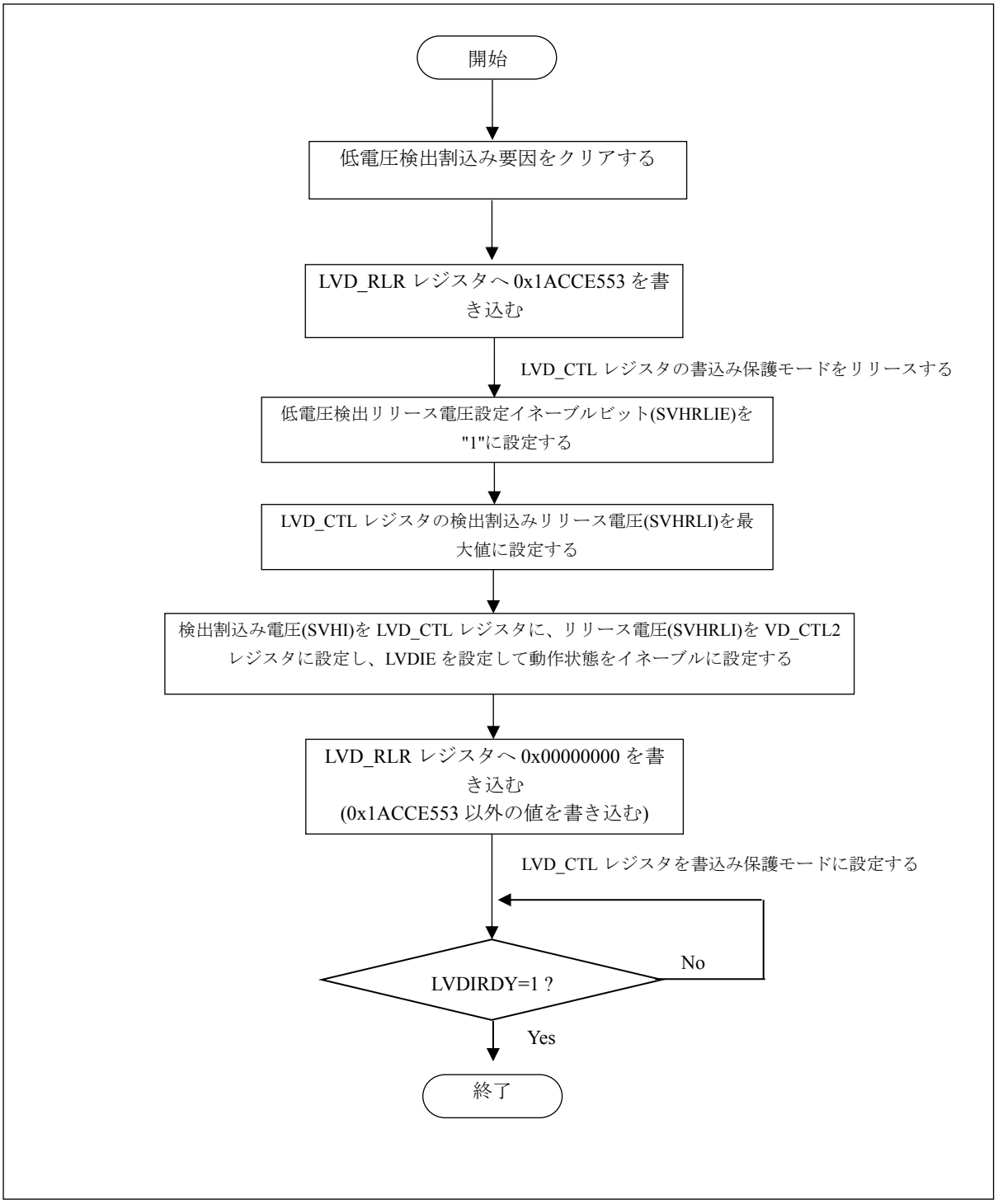
Figure 3-2 低電圧検出割込み設定手順例（LVDRLIE = 0）



3.3 低電圧検出割込み (LVDRLIE = 1)

ここでは低電圧検出回路の設定手順について説明します(検出電圧とリリース電圧を別々に設定をする場合)。

Figure 3-3 低電圧検出割込み設定手順例（LVDRLIE = 1）

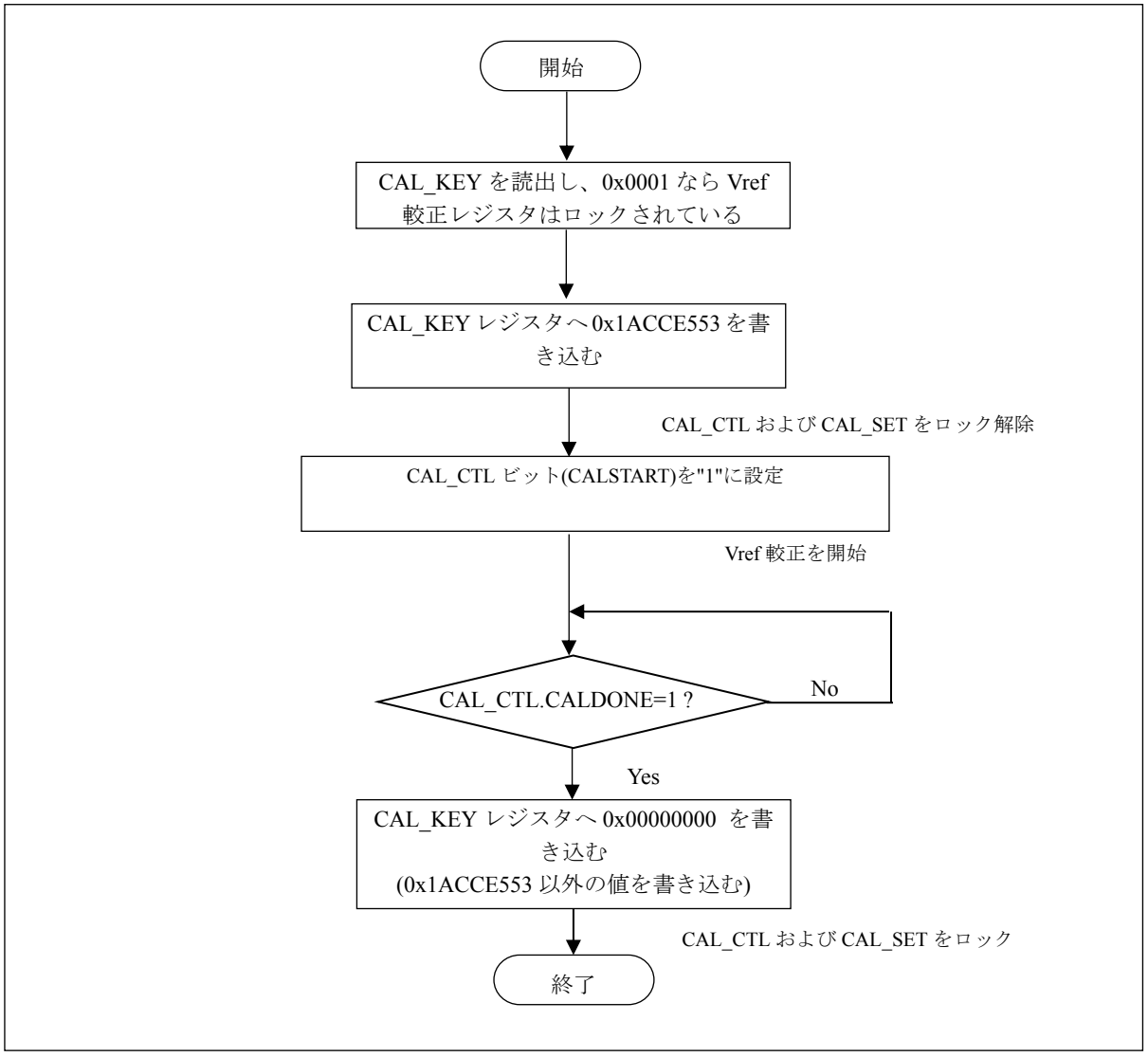


3.4 Vref 較正の例

Vref 較正を開始する手順について説明します。

この製品には 2 つの Vref が存在し、1 つはバイポーラ Vref で、大電流において正確です。もう 1 つは MOS Vref で、低電力であり、バイポーラ Vref により較正可能です。MOS Vref 較正を行う方法と、選択する方法について説明します。

Figure 3-4 Vref 較正の設定手順の例



4. レジスタ

低電圧検出回路で使用するレジスタの構成と機能について説明します。

低電圧検出回路のレジスター覧

Table 4-1 低電圧検出回路のレジスター覧

レジスタ略称	レジスタ名	参照先
LVD_CTL	低電圧検出電圧設定レジスタ	4.1
LVD_STR	低電圧検出割込み要因レジスタ	4.5
LVD_CLR	低電圧検出割込み要因クリアレジスタ	4.6
LVD_RLR	低電圧検出電圧保護レジスタ	4.7
LVD_STR2	低電圧検出回路状態レジスタ	4.8
LVD_CTL2	低電圧検出リリース電圧制御レジスタ	4.2
LVD2_CTL	低電圧検出(ch.2)電圧制御レジスタ御レジスタ	4.3
LVD2_CTL2	低電圧検出(ch.2)リリース電圧制御レジスタ	4.4
CAL_CTL	Vref 較正制御レジスタ	4.9
CAL_SET	Vref 較正値レジスタ	4.10
CAL_KEY	Vref 較正セキュリティキーレジスタ	4.11

4.1 低電圧検出電圧設定レジスタ(LVD_CTL)

低電圧検出電圧設定レジスタ(LVD_CTL)は、低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御,低電圧検出割込みの検出電圧設定を行うレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	LVDRE	予約					予約	
属性	R/W	-					-	
初期値	1	00000					00	

bit	7	6	5	4	3	2	1	0
Field	LVDIE	SVHI					予約	
属性	R/W	R/W					-	
初期値	0	00011					00	

レジスタ機能

[bit15] LVDRE： 低電圧検出リセット動作許可ビット

本ビットは、低電圧検出リセットの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出リセット回路は動作停止します。

bit	説明
0	低電圧検出リセットの発生を許可しません。
1	低電圧検出リセットの発生を許可します。[初期値]

[bit14:8] 予約 ： 予約ビット

読出しは常に"0"です。書込みは動作に影響しません。

[bit7] LVDIE： 低電圧検出割込み動作許可ビット

本ビットは、低電圧検出割込みの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出割込み回路は動作停止します。

bit	説明
0	低電圧検出割込みの発生を許可しません。[初期値]
1	低電圧検出割込みの発生を許可します。

[bit6:2] SVHI : 低電圧検出割込み電圧設定ビット

本ビットは、低電圧検出割込みの検出電圧設定を行います。

bit6:2	説明
00000	低電圧検出割込みの検出電圧を 1.50 V. 中心に設定します。
00001	低電圧検出割込みの検出電圧を 1.55 V. 中心に設定します。
00010	低電圧検出割込みの検出電圧を 1.60 V. 中心に設定します。
00011	低電圧検出割込みの検出電圧を 1.65 V. 中心に設定します。[初期値]
00100	低電圧検出割込みの検出電圧を 1.70 V. 中心に設定します。
00101	低電圧検出割込みの検出電圧を 1.75 V. 中心に設定します。
00110	低電圧検出割込みの検出電圧を 1.80 V. 中心に設定します。
00111	低電圧検出割込みの検出電圧を 1.85 V. 中心に設定します。
01000	低電圧検出割込みの検出電圧を 1.90 V. 中心に設定します。
01001	低電圧検出割込みの検出電圧を 1.95 V. 中心に設定します。
01010	低電圧検出割込みの検出電圧を 2.00 V. 中心に設定します。
01011	低電圧検出割込みの検出電圧を 2.05 V. 中心に設定します。
01100	低電圧検出割込みの検出電圧を 2.50 V. 中心に設定します。
01101	低電圧検出割込みの検出電圧を 2.60 V. 中心に設定します。
01110	低電圧検出割込みの検出電圧を 2.70 V. 中心に設定します。
01111	低電圧検出割込みの検出電圧を 2.80 V. 中心に設定します。
10000	低電圧検出割込みの検出電圧を 2.90 V. 中心に設定します。
10001	低電圧検出割込みの検出電圧を 3.00 V. 中心に設定します。
10010	低電圧検出割込みの検出電圧を 3.10 V. 中心に設定します。
10011	低電圧検出割込みの検出電圧を 3.20 V. 中心に設定します。
上記以外	設定禁止

[bit1:0] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *低電圧検出割込み動作許可ビット(LVDIE)は、必ず低電圧検出割込み要因クリアレジスタ(LVD_CLR)のLVDCL ビットに"0"を書き込み、低電圧検出割込み要因ビット(LVDIR)をクリアしてから許可してください。*
- *低電圧検出割込み動作許可ビット(LVDIE)を許可しない場合は、低電圧割込み検出用の低電圧検出回路は停止します。そのため、低電圧検出割込み要因ビット(LVDIR)のセットは行いません。*
- *低電圧検出電圧設定レジスタ(LVD_CTL)は初期状態で書込み保護されており、保護を解除しない限り書込みは無効になります。低電圧検出電圧設定レジスタ(LVD_CTL)に書込みを行う場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込み、書込み保護を解除してください。*
- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。*
- *低電圧検出リセットの検出電圧は固定値となります。検出電圧の値についてはデータシートを参照してください。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.2 低電圧検出リリース電圧制御レジスタ(LVD_CTL2)

低電圧検出リリース電圧制御レジスタ(LVD_CTL2)は、低電圧検出割込みについて検出電圧とリリース電圧を別々に設定するかどうかを制御し、低電圧検出割込みのリリース電圧を指定します。さらに、LVD の極性も設定できます。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							LVDPOL
属性				-				R/W
初期値				0000000				0

bit	7	6	5	4	3	2	1	0
Field	LVDRLIE	SVHRLI					予約	
属性	R/W	R/W					-	
初期値	0	00011					00	

レジスタ機能

[bit15:9] 予約 : 予約ビット

読出し値は常に"0"です。これらのビットに書込みを行っても、動作に影響を及ぼしません。

[bit8] LVDPOL : 低電圧検出極性設定ビット

このビットは、LVD の極性を反転します。

詳細については、「動作」を参照してください。

Bit	説明
0	LVD の極性を反転しません[初期値]。
1	LVD の極性を反転します。

[bit7] LVDRLIE : 低電圧検出リリース電圧設定イネーブルビット

このビットは、LVD の検出電圧とリリース電圧を別々に設定できるようにするかを決定します。

Bit	説明
0	リリース電圧は設定できません。SVHRLI の値は常に SVHI と同じです[初期値]。
1	リリース電圧を独立に設定できます。

[bit6:2] SVHRLI : 低電圧検出リリース電圧設定ビット

これらのビットは、低電圧検出割込みの検出電圧を指定します。

bit6:2	説明
00000	低電圧検出リリース電圧を 1.55 V 中心に設定します。
00001	低電圧検出リリース電圧を 1.60 V 中心に設定します。
00010	低電圧検出リリース電圧を 1.65 V 中心に設定します。
00011	低電圧検出リリース電圧を 1.70 V 中心に設定します。 [初期値]
00100	低電圧検出リリース電圧を 1.75 V 中心に設定します。
00101	低電圧検出リリース電圧を 1.80 V 中心に設定します。
00110	低電圧検出リリース電圧を 1.85 V 中心に設定します。
00111	低電圧検出リリース電圧を 1.90 V 中心に設定します。
01000	低電圧検出リリース電圧を 1.95 V 中心に設定します。
01001	低電圧検出リリース電圧を 2.00 V 中心に設定します。
01010	低電圧検出リリース電圧を 2.05 V 中心に設定します。
01011	低電圧検出リリース電圧を 2.10 V 中心に設定します。
01100	低電圧検出リリース電圧を 2.60 V 中心に設定します。
01101	低電圧検出リリース電圧を 2.70 V 中心に設定します。
01110	低電圧検出リリース電圧を 2.80 V 中心に設定します。
01111	低電圧検出リリース電圧を 2.90 V 中心に設定します。
10000	低電圧検出リリース電圧を 3.00 V 中心に設定します。
10001	低電圧検出リリース電圧を 3.10 V 中心に設定します。
10010	低電圧検出リリース電圧を 3.20 V 中心に設定します。
10011	低電圧検出リリース電圧を 3.30 V 中心に設定します。
その他	他の設定は使用禁止です。

[bit1:0] 予約 : 予約ビット

読出し値は常に"0"です。これらのビットに書込みを行っても、動作に影響を及ぼしません。

<注意事項>

- *LVDIE を有効にする前に、低電圧検出割込みリリース電圧設定イネーブルビット(LVDRLIE)を 0 に設定する必要があります。*
- *低電圧検出電圧制御レジスタ(LVD_CTL2)は初期状態では書込み保護されているため、書込み保護モードを解除しない限り、書込みは無効です。低電圧検出電圧制御レジスタ(LVD_CTL2)へ書き込むには、低電圧検出電圧保護レジスタ LVD_RLR)を 0x1ACCE553 に設定し、書込み保護モードを解除します。*
- *このレジスタはパワーオンリセット時に初期化され、低電圧検出がリセットされます。これらのリセットを除くリセット要因では初期化されません。*
- *LVDRLIE が"0"に設定されているとき、SVHRLI は常に SVHI の値と等しくなります。*
- *LVDRLIE=1 のとき、SVHI の値よりも小さな値を SVHRLI へ書き込もうとすると、SVHRLI への書込みアクセスは拒否されます。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.3 低電圧検出(ch.2)電圧制御レジスタ(LVD2_CTL)

低電圧検出(ch.2)電圧制御レジスタ(LVD2_CTL)は、電源電圧/外部電圧を監視して低電圧検出時の別の割込みを有効にするかどうかを制御し、低電圧検出割込みの検出電圧を指定します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	LVD2IE	SVH2I					予約	
属性	R/W	R/W					-	
初期値	0	00011					00	

レジスタ機能

[bit15:8] 予約 :予約ビット

読出し値は常に"0"です。これらのビットに書込みを行っても、動作に影響を及ぼしません。

[bit7] LVD2IE： 低電圧検出 2 割込みイネーブルビット

このビットは、電源電圧/外部電圧を監視して低電圧検出割込み(チャネル 2)を有効にするために使用されます。電源電圧/外部電圧の監視が有効でないとき、低電圧検出割込み回路は停止します。

Bit	説明
0	低電圧検出割込みの生成を無効にします[初期値]。
1	低電圧検出割込みの生成を有効にします。

[bit6:2] SVH2I : 低電圧検出 2 割込み電圧設定ビット

これらのビットは、低電圧検出割込み(チャネル 2)の検出電圧を指定します。

bit6:2	説明
00000	低電圧検出 2 割込み電圧を 1.50 V 中心に設定します。
00001	低電圧検出 2 割込み電圧を 1.55 V 中心に設定します。
00010	低電圧検出 2 割込み電圧を 1.60 V 中心に設定します。
00011	低電圧検出 2 割込み電圧を 1.65 V 中心に設定します。 [初期値]
00100	低電圧検出 2 割込み電圧を 1.70 V 中心に設定します。
00101	低電圧検出 2 割込み電圧を 1.75 V 中心に設定します。
00110	低電圧検出 2 割込み電圧を 1.80 V 中心に設定します。
00111	低電圧検出 2 割込み電圧を 1.85 V 中心に設定します。
01000	低電圧検出 2 割込み電圧を 1.90 V 中心に設定します。
01001	低電圧検出 2 割込み電圧を 1.95 V 中心に設定します。
01010	低電圧検出 2 割込み電圧を 2.00 V 中心に設定します。
01011	低電圧検出 2 割込み電圧を 2.05 V 中心に設定します。
01100	低電圧検出 2 割込み電圧を 2.50 V 中心に設定します。
01101	低電圧検出 2 割込み電圧を 2.60 V 中心に設定します。
01110	低電圧検出 2 割込み電圧を 2.70 V 中心に設定します。
01111	低電圧検出 2 割込み電圧を 2.80 V 中心に設定します。
10000	低電圧検出 2 割込み電圧を 2.90 V 中心に設定します。
10001	低電圧検出 2 割込み電圧を 3.00 V 中心に設定します。
10010	低電圧検出 2 割込み電圧を 3.10 V 中心に設定します。
10011	低電圧検出 2 割込み電圧を 3.20 V 中心に設定します。
その他	他の設定は使用禁止です。

[bit1:0] 予約 : 予約ビット

読出し値は常に"0"です。これらのビットに書込みを行っても、動作に影響を及ぼしません。

<注意事項>

- *低電圧検出 2 割込みイネーブルビット(LVD2IE)を有効にする前に、低電圧検出割込み要因クリアレジスタ(LVD_CLR)の LVD2CL ビットに"0"を書込み、低電圧検出割込み要因ビット(LVD2IR)をクリアする必要があります。*
- *低電圧検出 2 割込みイネーブルビット(LVD2IE)が有効でないとき、低電圧割込みを検出するための低電圧検出回路(チャネル 2)は停止します。このため、低電圧検出 2 割込み要因ビット(LVD2IR)はセットされません。*
- *低電圧検出電圧制御レジスタ(LVD2_CTL)は初期状態では書込み保護されているため、書込み保護モードを解除しない限り、書込みは無効です。低電圧検出電圧制御レジスタ(LVD2_CTL)へ書き込むには、低電圧検出電圧保護レジスタ(LVD_RLR)を 0x1ACCE553 に設定し、書込み保護モードを解除します。*
- *このレジスタは、パワーオンリセット、および低電圧検出リセット時に初期化されます。これらのリセットを除くリセット要因では初期化されません。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.4 低電圧検出(ch.2)リリース電圧制御レジスタ(LVD2_CTL2)

低電圧検出 2 リリース電圧制御レジスタ(LVD2_CTL2)は、低電圧検出割込み(ch.2)について検出電圧とリリース電圧を別々に設定するかどうかを制御し、低電圧検出割込みのリリース電圧を指定します。さらに、LVD2 の極性も設定できます。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約	予約						LVD2POL
Attribute	R/W	-						R/W
Initial value	0	000000						0

bit	7	6	5	4	3	2	1	0
Field	LVD2RLIE	SVH2RLI					予約	
Attribute	R/W	R/W					-	
Initial value	0	00011					00	

レジスタ機能

[bit15:9] 予約 :予約ビット

読出し値は常に"0"です。これらのビットに書込みを行っても、動作に影響を及ぼしません。

[bit8] LVDPOL :低電圧検出 2 極性設定ビット

このビットは、LVD2 の極性を反転します。

Bit	説明
0	LVD2 の極性を反転しません[初期値]。
1	LVD2 の極性を反転します。

[bit7] LVD2RLIE : 低電圧検出 2 リリース電圧設定イネーブルビット

このビットは、LVD の検出電圧とリリース電圧を別々に設定できるようにするかどうかを決定します。

Bit	説明
0	リリース電圧は設定できません。SVH2RLI の値は常に SVH2I と同じです。 [初期値]
1	リリース電圧を独立に設定できます。

[bit6:2] SVH2RLI : 低電圧検出リリース電圧設定ビット

これらのビットは、低電圧検出割込みの検出電圧を指定します。

bit6:2	説明
00000	低電圧検出 2 リリース電圧を 1.55 V 中心に設定します。
00001	低電圧検出 2 リリース電圧を 1.60 V 中心に設定します。
00010	低電圧検出 2 リリース電圧を 1.65 V 中心に設定します。
00011	低電圧検出 2 リリース電圧を 1.70 V 中心に設定します。 [初期値]
00100	低電圧検出 2 リリース電圧を 1.75 V 中心に設定します。
00101	低電圧検出 2 リリース電圧を 1.80 V 中心に設定します。
00110	低電圧検出 2 リリース電圧を 1.85 V 中心に設定します。
00111	低電圧検出 2 リリース電圧を 1.90 V 中心に設定します。
01000	低電圧検出 2 リリース電圧を 1.95 V 中心に設定します。
01001	低電圧検出 2 リリース電圧を 2.00 V 中心に設定します。
01010	低電圧検出 2 リリース電圧を 2.05 V 中心に設定します。
01011	低電圧検出 2 リリース電圧を 2.10 V 中心に設定します。
01100	低電圧検出 2 リリース電圧を 2.60 V 中心に設定します。
01101	低電圧検出 2 リリース電圧を 2.70 V 中心に設定します。
01110	低電圧検出 2 リリース電圧を 2.80 V 中心に設定します。
01111	低電圧検出 2 リリース電圧を 2.90 V 中心に設定します。
10000	低電圧検出 2 リリース電圧を 3.00 V 中心に設定します。
10001	低電圧検出 2 リリース電圧を 3.10 V 中心に設定します。
10010	低電圧検出 2 リリース電圧を 3.20 V 中心に設定します。
10011	低電圧検出 2 リリース電圧を 3.30 V 中心に設定します。
その他	他の設定は使用禁止です。

[bit1:0] 予約 :予約ビット

読出し値は常に"0"です。これらのビットに書込みを行っても、動作に影響を及ぼしません。

<注意事項>

- *LVDIE を有効にする前に、低電圧検出割込みリリース電圧設定イネーブルビット(LVDRLIE) を 0 に設定する必要があります。*
- *LVDRLIE が"0"に設定されているとき、SVHRLI は常に SVHI の値と等しくなります。*
- *低電圧検出電圧制御レジスタ(LVD_CTL2)は初期状態では書込み保護されているため、書込み保護モードを解除しない限り、書込みは無効です。低電圧検出電圧制御レジスタ(LVD_CTL2)へ書き込むには、低電圧検出電圧保護レジスタ LVD_RLR) を 0x1ACCE553 に設定し、書込み保護モードを解除します。*
- *このレジスタは、パワーオンリセット、および低電圧検出リセット時に初期化されます。これらのリセットを除くリセット要因では初期化されません。*
- *SVH2I の値よりも小さな値を SVH2RLI へ書き込もうとすると、SVH2RLI への書込みアクセスは拒否されます。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.5 低電圧検出割込み要因レジスタ(LVD_STR)

低電圧検出割込み要因レジスタ(LVD_STR)は低電圧検出割込みの要因を保持するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	LVD2IR	予約						LVD2HSTR
属性	R	-						R
初期値	0	000000						0

bit	7	6	5	4	3	2	1	0
Field	LVDIR	予約						LVDHSTR
属性	R	-						R
初期値	0	000000						0

レジスタ機能

[bit15] LVD2IR :低電圧検出 2 割込み要因ビット

Bit	説明
0	低電圧検出 2 割込み要求は検出されていません[初期値]。
1	低電圧検出 2 割込み要求が検出されました。

[bit14:9] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

[bit8] LVD2HSTR :

元の LVD2 の出力を示します。このビットは、"LVD2POL"をセットしても影響を受けません。

Bit	説明
0	VCC の電圧は SVH2I の設定を下回っています。
1	VCC の電圧は SVH2RLI の設定を上回っています[初期値]。

[bit7] LVDIR : 低電圧検出割込み要因ビット

bit	説明
0	低電圧検出割込み要求は検出されていません。[初期値]
1	低電圧検出割込み要求が検出されました。

[bit6:1] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

[bit0] LVDHSTR :

元の LVDH の出力を示します。このビットは、"LVDPOL"をセットしても影響を受けません。

Bit	説明
0	VCC の電圧は SVHI の設定を下回っています。
1	VCC の電圧は SVHRLI の設定を上回っています[初期値]。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.6 低電圧検出割込み要因クリアレジスタ(LVD_CLR)

低電圧検出割込み要因クリアレジスタ(LVD_CLR)は低電圧検出割込み要因をクリアするレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	LVD2CL	Reserved						
属性	R1/W0	-						
初期値	1	0000000						

bit	7	6	5	4	3	2	1	0
Field	LVDCL	Reserved						
属性	R1/W0	-						
初期値	1	0000000						

レジスタ機能

[bit15] LVD2CL： 低電圧検出 2 割込み要因クリアビット

Bit	説明
0	低電圧検出 2 割込み要因レジスタ(LVD_STR)の低電圧検出 2 割込み要因ビット(LVD2IR)を"0"にクリアします。
1	書込みモードの動作に影響を及ぼしません[初期値]。

読出しは常に"1"が読み出されます。

[bit14:8] 予約 ： 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

[bit7] LVDCL： 低電圧検出割込み要因クリアビット

bit	説明
0	低電圧検出割込み要因レジスタ(LVD_STR)の低電圧検出割込み要因ビット(LVDIR)を"0"にクリアします。
1	書込みは動作に影響しません。[初期値]

読出しは常に"1"が読み出されます。

[bit6:0] 予約 ： 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.7 低電圧検出電圧保護レジスタ(LVD_RLR)

低電圧検出電圧保護レジスタ(LVD_RLR)は低電圧検出電圧設定レジスタ(LVD_CTL)を書込み保護するレジスタです。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LVDLCK[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LVDLCK[15:0]															
属性	R/W															
初期値	0x0001															

レジスタ機能

[bit31:0] LVDLCK[31:0] : 低電圧検出電圧設定レジスタ保護ビット

- 0x1ACCE553 を書き込むことにより、低電圧検出電圧設定レジスタ(LVD_CTL)の書込みが可能となります(書込み保護解除)。
- 0x1ACCE553 以外の値を書き込むと、低電圧検出電圧設定レジスタ(LVD_CTL)の書込みが無効になります(書込み保護)。
- 低電圧検出電圧設定レジスタ(LVD_CTL)の保護が解除されているときは、0x00000000 が読み出されます。
- 低電圧検出電圧設定レジスタ(LVD_CTL)が保護されているときは、0x00000001 が読み出されます。

<注意事項>

- *低電圧検出電圧設定レジスタ(LVD_CTL)は、初期状態で書込み保護されております。LVD_CTL レジスタに書込みを行う場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込み、書込み保護を解除してください。*
- *LVD_CTL レジスタの書込み保護を有効にしたい場合は、LVD_RLR レジスタに 0x1ACCE553 以外の値を書き込んでください。*
- *LVD_CTL レジスタの書込み保護を解除した場合は、LVD_RLR レジスタに 0x1ACCE553 以外の値を書き込むまで保護が解除されたままになります。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.8 低電圧検出回路状態レジスタ(LVD_STR2)

低電圧検出回路状態レジスタ(LVD_STR2)は低電圧検出割込みの動作状態を確認するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	LVD2IRDY	予約						
属性	R	-						
初期値	0	0000000						

bit	7	6	5	4	3	2	1	0
Field	LVDIRDY	LVDRRDY	予約					
属性	R	R	-					
初期値	0	1	000000					

レジスタ機能

[bit15] LVD2IRDY : 低電圧検出 2 割込みステータスフラグ

Bit	説明
0	安定化待ち状態または監視停止状態
1	監視状態[初期値]

書込みは動作に影響しません。

[bit14:8] 予約 : 予約ビット

読出しは常に"0"です。書込みは動作に影響しません。

[bit7] LVDIRDY : 低電圧検出割込み状態フラグ

bit	説明
0	安定待ち状態または監視停止状態[初期値]
1	監視状態

書込みは動作に影響しません。

[bit6] LVDRRDY : 低電圧検出リセット状態フラグ

bit	説明
0	安定待ち状態または監視停止状態
1	監視状態[初期値]

書込みは動作に影響しません。

[bit5:0] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.9 Vref 較正制御レジスタ(CAL_CTL)

Vref 較正制御レジスタ(CAL_CTL)は、Vref 較正を制御します。

この製品には 2 つの Vref が存在し、1 つは双極性 Vref で、大電流において正確です。もう 1 つは MOS Vref で、低電力であり、双極性 Vref により較正可能です。低電力 Vref 較正を行う方法と、選択する方法について説明します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	予約				CALDONE	BGRSEL	予約	CALSTART
属性	-				R	R/W	-	R/W
初期値	0000				1	0	0	0

レジスタ機能

[bit3] CALDONE : Vref 較正完了フラグ

Bit	説明
0	Vref 較正が進行中、または開始していません[初期値]。
1	Vref 較正が完了しています。

このビットは、書込みモードの動作に影響を及ぼしません。

[bit2] BGRSEL : Vref 選択ビット

Bit	説明
0	双極性 Vref を選択します[初期値]。
1	MOS Vref を選択します。Vref 較正が完了すると、MOS Vref が自動的に選択されます。

[bit0] CALSTART : Vref 較正開始ビット

Bit	説明
0	Vref 較正が開始していません。[初期値]。
1	1 を書き込むと Vref 較正が開始します。較正が完了すると、このビットは自動的に 0 にクリアされます。

[bit15:4][bit1] 予約 : 予約ビット

読出し値は常に"0"です。これらのビットに書込みを行っても、動作に影響を及ぼしません。

4.10 Vref 較正値レジスタ(CAL_SET)

Vref 較正値レジスタ(CAL_set)は、Vref の較正値を格納します。

この較正値は、MOS Vref が選択されているときのみ有効です。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	予約			DSTB[4:0]				
属性	-			R/W				
初期値	000			10001				

レジスタ機能

[bit4:0] DSTB : Vref 較正値

Bit4:0	説明
xxxxx	Vref 較正値[初期値 : 10001、約 1.2000V]。 DSTB[4:0]は、CAL_CTL.BGRSEL=1 がセットされているとき有効になります。

[bit15:5] 予約 : 予約ビット

読出し値は常に"0"です。これらのビットに書込みを行っても、動作に影響を及ぼしません。

4.11 Vref 較正セキュリティキーレジスタ(CAL_KEY)

Vref 較正セキュリティキーは、CAL_CTL および CAL_SET への書込みをロック/ロック解除するために使用されます。

ロックされているとき、ユーザは CAL_CTL および CAL_SET レジスタを変更できません。

ワードアクセスのみサポートされます。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	CAL_KEY[31:24]							
属性	R0/W							
初期値	00000000							

bit	23	22	21	20	19	18	17	16
Field	CAL_KEY[23:16]							
属性	R0/W							
初期値	00000000							

bit	15	14	13	12	11	10	9	8
Field	CAL_KEY[15:8]							
属性	R0/W							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	CAL_KEY[7:0]							
属性	R0/W							
初期値	00000001							

レジスタ機能

[bit31:0] CAL_KEY : Vref 較正セキュリティキー値

Bit31:0	説明
xxxxxxxx	Vref 較正セキュリティキー値[初期値 : 0001]。 レジスタ CAL_CTL および CAL_SET をロック解除するには、32'h1ACCE553 を書き込みます。 他の値を書き込むと、これらのレジスタはロックされます。 読出し値が 0x0001 の場合、これらのレジスタは保護されています。 読出し値が 0x0000 の場合、これらのレジスタは保護されていません。

5. 使用上の注意

低電圧検出回路の使用上の注意点を説明します。

■ STOP モード遷移時の低電圧検出割込み要因ビットについて

低電圧検出割込み要因ビット(LVD_STR:LVDIR)クリア後、電源電圧がそのまま検出電圧以下であっても、いったん解除電圧を上回らない限り、再度割込み要因が発生することはありません。
しかし、LVDIR クリア後、検出電圧以下にいる時に STOP モード遷移を行った際には必ず低電圧検出回路が電圧比較を行います。
そのため、STOP モード遷移により、再度低電圧検出割込み要因がセットされ、割込みルーチンに遷移する可能性があります。

例えば、低電圧検出の割込み処理ルーチン内で STOP モード遷移するような場合、割込み要因をクリアして割込み処理ルーチンを抜けても、すぐに再度割込み要因ビットが立ち、割込み処理ルーチンを繰り返す可能性があります。

低電圧割込み検出後も電源電圧が検出電圧以下となっている場合に、繰り返し割込みが発生する現象を抑えるには、低電圧検出割込み許可ビット(LVDIE)を禁止にしてから割込みルーチンを抜けてください。

■ 低電圧検出リセットの検出電圧設定について

低電圧検出リセット電圧の検出電圧設定後、低電圧検出リセットが発生すると、検出電圧設定値が初期化されます。ゆっくり電源電圧が低下していく時のように、電源電圧が設定初期値よりも高い場合、リセットが解除されます。しかし、リセットによりプログラムは先頭に戻るため再度検出電圧を設定しなおします。すでに電源電圧が検出電圧設定値よりも低いため、再度低電圧検出リセットが発生します。

すなわち、電源電圧の変化とプログラム記述によっては、

検出電圧変更 → リセット → 初期化(プログラム先頭) → 検出電圧変更 → リセット

を繰り返すループになる可能性があります。

電源電圧が検出電圧以下の場合の低電圧検出リセットのループを避けるには、以下の方法があります。

- 低電圧検出リセット設定値は初期値のみを使用する。
- 低電圧検出割込みを低電圧検出リセットよりも先に設定し、プログラムの先頭で割込みフラグが立っているかを確認し、それにより低電圧リセットの検出電圧の設定値を変更する。

CHAPTER 5-4: 低電圧検出 (TYPE3)

低電圧検出回路の機能と動作について示します。

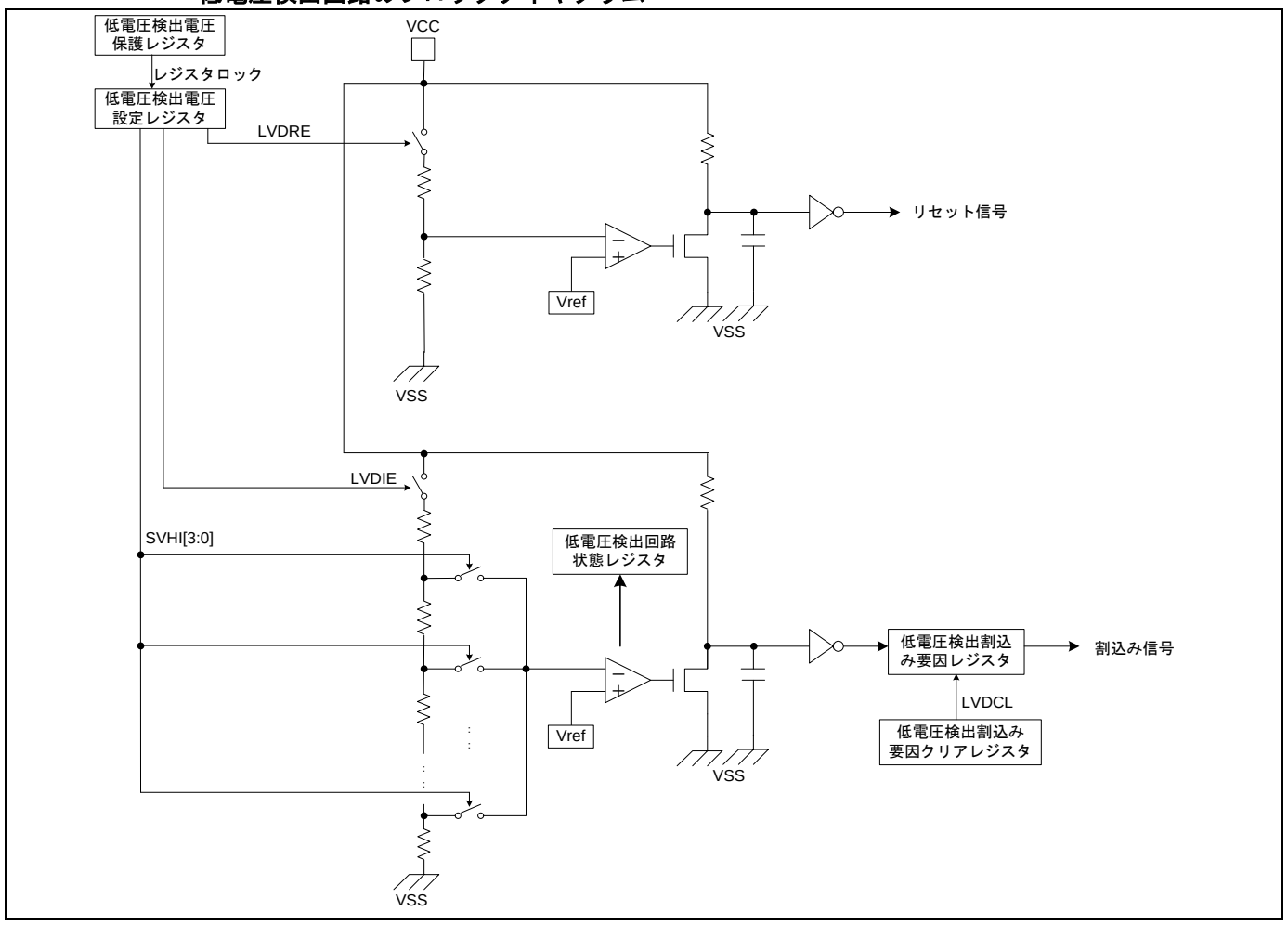
1. 構成
2. 動作説明
3. 設定手順例
4. レジスタ
5. 使用上の注意

管理コード: 9AFLVD-FM0T3-J03.0

1. 構成

低電圧検出回路のブロックダイヤグラムを示します。

低電圧検出回路のブロックダイヤグラム



■ 低電圧検出電圧設定レジスタ (LVD_CTL)
低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御,低電圧検出割込みの検出電圧設定を行うレジスタです。

■ 低電圧検出電圧保護レジスタ (LVD_RLR)
低電圧検出電圧設定レジスタの書込み保護を行うレジスタです。

■ 低電圧検出割込み要因レジスタ (LVD_STR)
低電圧検出割込みの要因を保持するレジスタです。

■ 低電圧検出割込み要因クリアレジスタ (LVD_CLR)
低電圧検出割込み要因をクリアするレジスタです。

■ 低電圧検出回路状態レジスタ (LVD_STR2)
低電圧検出割込み回路の動作状態を確認するレジスタです。

■ 基準電圧発生回路 (Vref)

基準電圧を発生させる回路で、バイポーラ基準電圧発生回路と MOS 基準電圧発生回路の 2 種類が搭載されています。初期状態ではバイポーラ基準電圧発生回路が基準電圧を発生させ、その基準電圧を定電圧検出回路(リセット、割り込み両方)に供給するよう設定されています。

低電圧検出回路の端子

低電圧検出回路に使用する端子を以下に示します。

- VCC 端子

  低電圧検出回路は本端子の電源電圧を監視します。

- VSS 端子

  電源検出の基準となる GND 端子です。

2. 動作説明

低電圧検出リセット回路の動作および低電圧検出割込み回路の動作について説明します。

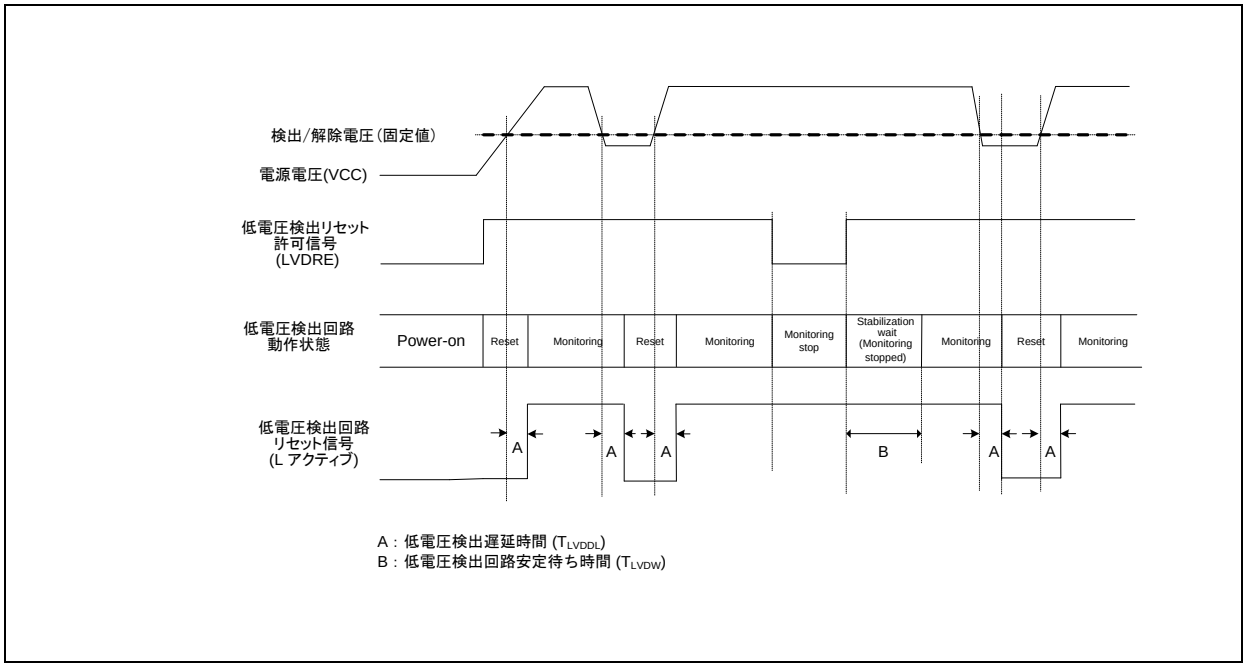
低電圧検出リセット回路の動作

■ 回路動作説明

低電圧検出リセット回路は、電源投入後から常に監視状態になります。電源電圧(VCC)が設定された検出電圧よりも低下したときにリセット信号を発生させます。解除電圧よりも電源電圧が高くなると、リセットを解除します。

低電圧検出電圧設定レジスタ(LVD_CTL)の LVDRE ビットが"1"のときにリセット動作は有効です。低電圧検出リセットの検出電圧は固定値が設定されており、この値を変更することはできません。また、電源電圧が解除電圧より高い場合リセットは解除されます。リセット許可を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ(LVD_STR2)の低電圧検出リセット状態フラグ(LVDRRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード)、ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。



低電圧検出割込み回路の動作

■ 回路動作説明

低電圧検出割込み回路は、電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。

低電圧検出電圧設定レジスタ(LVD_CTL)の LVDIE ビットが"1"のときに割込み要求が許可され有効になります。初期値は"0"で許可されていません。低電圧検出電圧設定レジスタ (LVD_CTL) の SVHI ビットにより割込みの検出電圧の設定ができます。割込み要求許可および割込み検出電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ (LVD_STR2) の低電圧検出割込み状態フラグ (LVDIRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード,ストップモード), ディープスタンバイモード (ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。また、スタンバイモード, ディープスタンバイモードからの復帰に使用できます。

■ 低電圧検出割込み要求

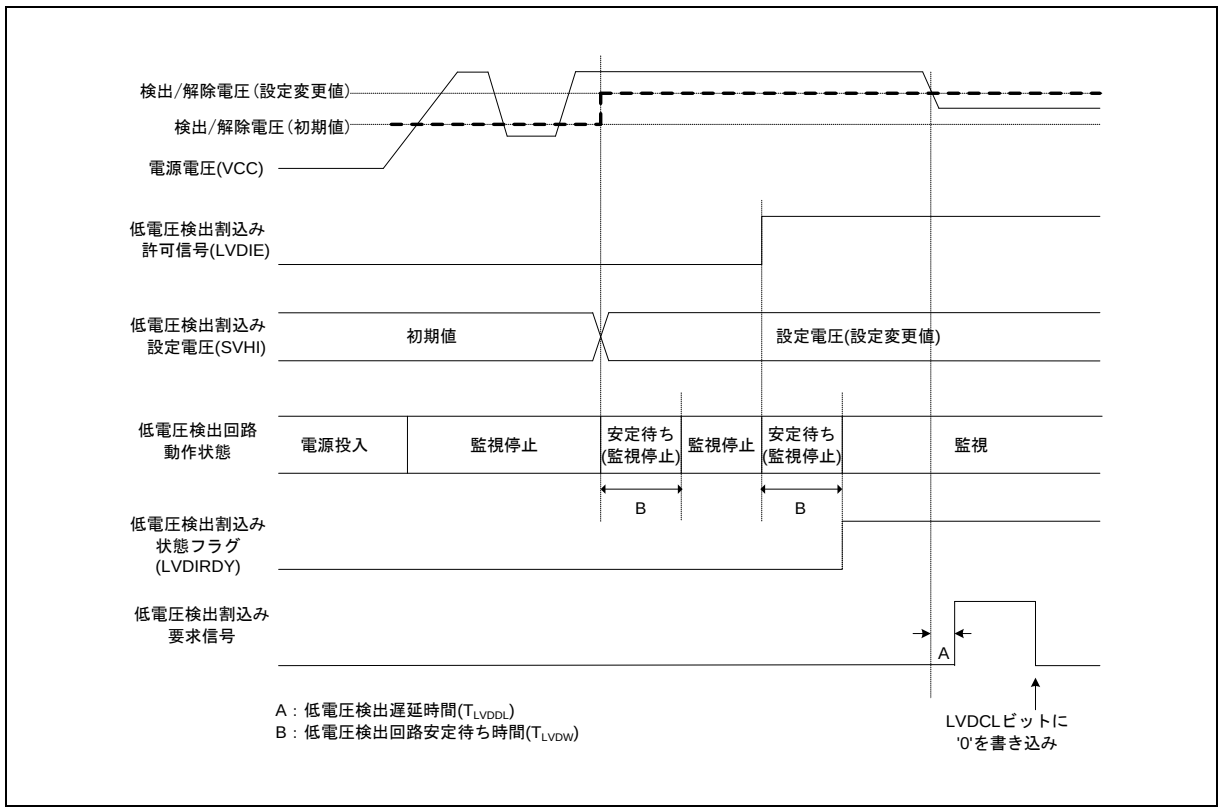
低電圧検出割込みが有効かつ電源電圧 VCC が設定された電圧よりも低下したときに、低電圧検出割込み要因レジスタ (LVD_STR)の LVDIR ビットが"1"になり、割込み要求信号を発生させます。

LVDIR ビットを読み出すことで、割込み要求を確認できます。

■ 低電圧検出割込み要求の取下げ

低電圧検出割込み検出要求を取り下げるには、低電圧検出割込み要因クリアレジスタ (LVD_CLR)の LVDCL ビットに"0"を書き込んでください。これにより低電圧検出割込み要因がクリアされ、低電圧検出割込み要求が取り下げられます。

また、電源電圧が設定された検出電圧よりも低下している間に、LVDCL ビットに"0"書込みを行った場合も、割込み要求が取り下げられます。



<注意事項>

- *低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよび APB1 プリスケーラレジスタ (APBC1_PSR) により PCLK1 の停止を行うと、電源電圧の監視が行われません。低電圧検出回路状態レジスタ(LVD_STR2)の低電圧検出割込み状態フラグ(LVDIRDY)が"1"になっていることを確認後、遷移させてください。*

基準電圧キャリブレーションの動作

■ 基準電圧キャリブレーションの目的

LVD(低電圧検出リセット、低電圧検出割込み)を正しく動作させるには正確な基準電圧が必要となります。

本 LSI には 2 種類の基準電圧回路を実装しています。一つはバイポーラ基準電圧発生回路で、消費電流は大きいものの高精度の基準電圧を発生させます。もう一つは MOS 基準電圧発生回路で、消費電流が小さく、バイポーラ基準電圧発生回路の出力電圧を基準にキャリブレーションする事で精度の高い基準電圧を発生させることができます。

通常、消費電力削減の目的で、MOS 基準電圧発生回路を使用しますが、この場合事前にキャリブレーションを実施する必要があります。特に Deep Standby モードで、消費電力を削減するには、キャリブレーションを行い MOS 基準電圧発生回路に切り替える必要があります。

■ 基準電圧キャリブレーションの開始

CAL_CTL レジスタの CALSTART ビットに 1 を書きこむことでキャリブレーションが開始されます。CAL_CTL レジスタの CALDONE ビットをモニタすることでキャリブレーションが完了したかを判断する事ができます。また、キャリブレーション完了と同時に LVD で参照される基準電圧回路はバイポーラ基準電圧回路から MOS 基準電圧回路に切り替わります。

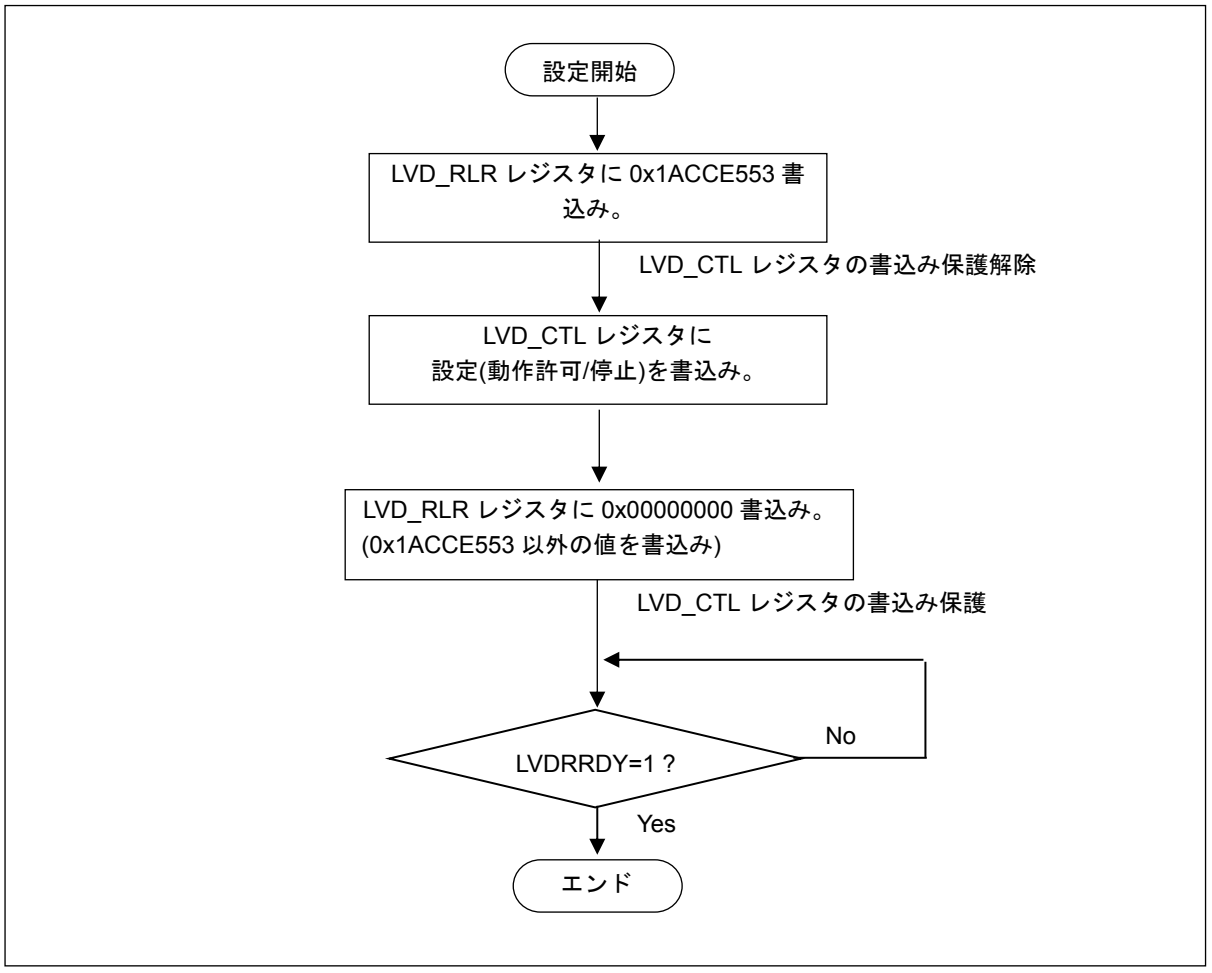
尚、CAL_CTL レジスタの操作するには CAL_KEY レジスタを使って書込み保護機能を解除する必要があります。詳細は設定手順の例を参照下さい。

3. 設定手順例

低電圧検出回路の設定手順例を説明します。

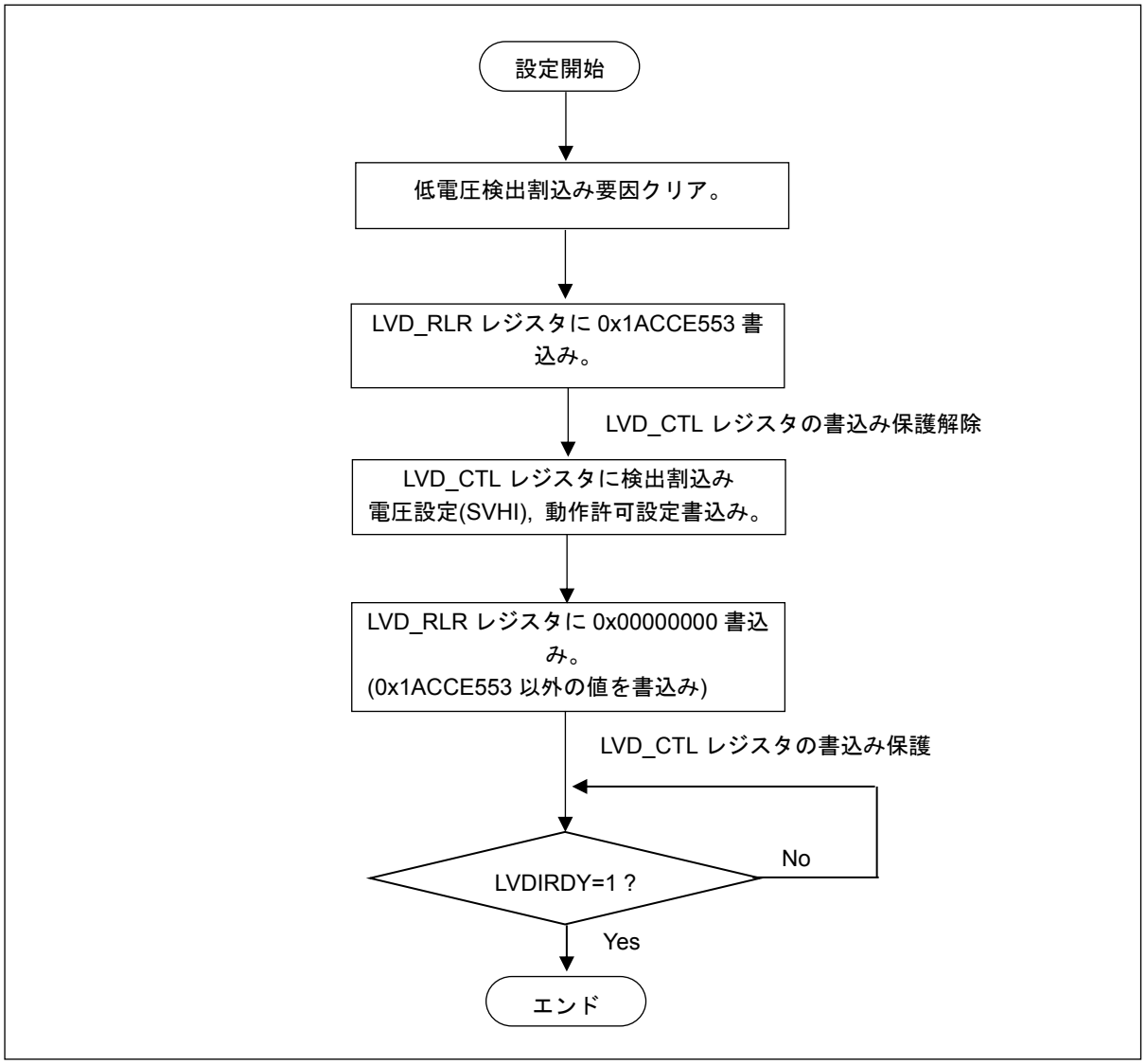
3.1 低電圧検出リセット

Figure 3-1 低電圧検出リセット設定手順例



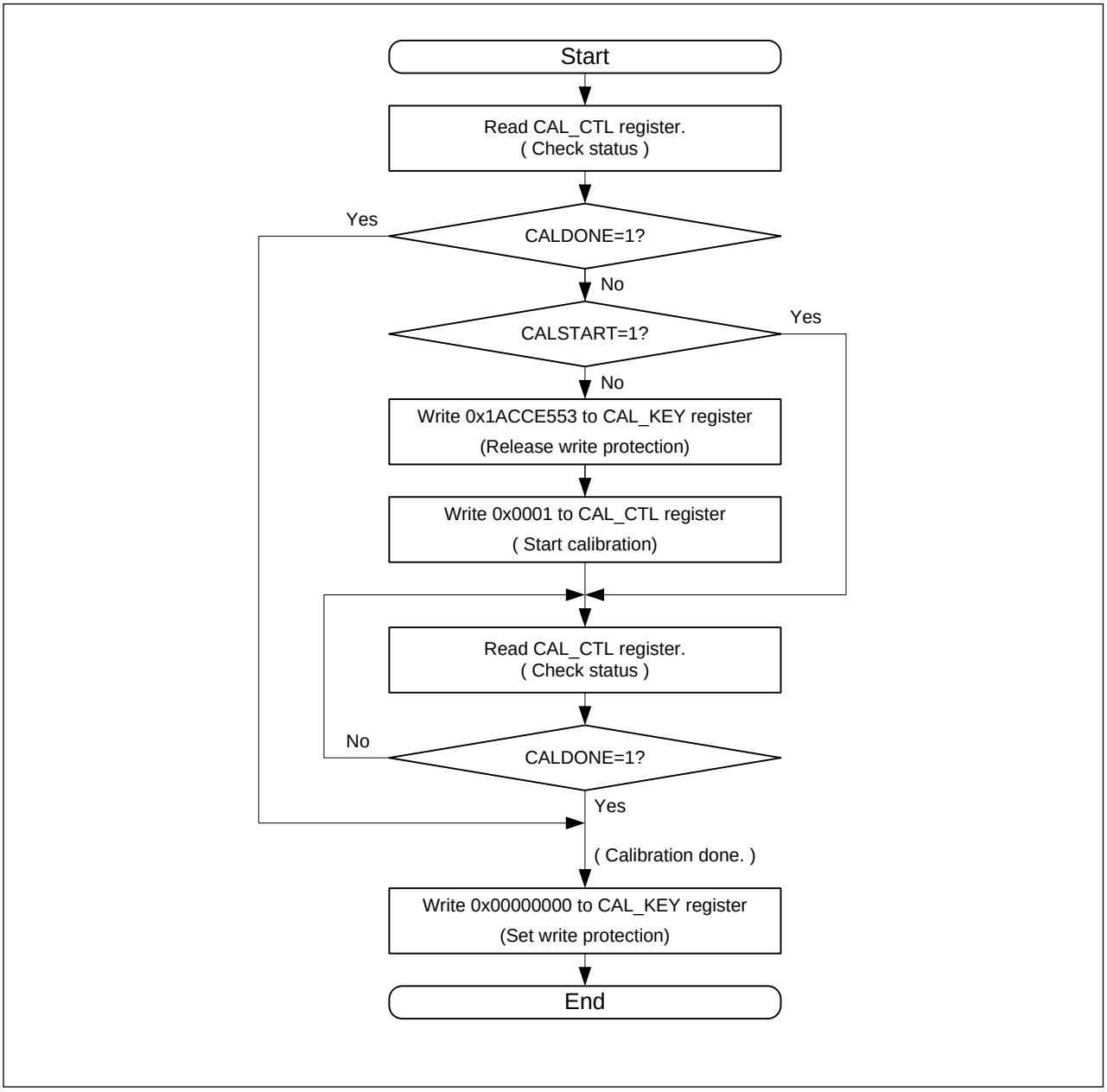
3.2 低電圧検出割込み

Figure 3-2 低電圧検出割込み設定手順例



3.3 キャリブレーション

Figure 3-3 キャリブレーション設定手順例



4. レジスタ

低電圧検出回路で使用するレジスタの構成と機能について説明します。

低電圧検出回路のレジスター覧

Table 4-1 低電圧検出回路のレジスター覧

レジスタ略称	レジスタ名	参照先
LVD_CTL	低電圧検出電圧設定レジスタ	4.1
LVD_STR	低電圧検出割込み要因レジスタ	4.2
LVD_CLR	低電圧検出割込み要因クリアレジスタ	4.3
LVD_RLR	低電圧検出電圧保護レジスタ	4.4
LVD_STR2	低電圧検出回路状態レジスタ	4.5
CAL_CTL	基準電圧キャリブレーション制御レジスタ	4.6
CAL_KEY	基準電圧キャリブレーション設定保護レジスタ	4.7

4.1 低電圧検出電圧設定レジスタ(LVD_CTL)

低電圧検出電圧設定レジスタ(LVD_CTL)は、低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御, 低電圧検出割込みの検出電圧設定を行うレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	LVDRE	予約						
属性	R/W	-						
初期値	1	0000000						

bit	7	6	5	4	3	2	1	0
Field	LVDIE	SVHI					予約	
属性	R/W	R/W					-	
初期値	0	00011					00	

レジスタ機能

[bit15] LVDRE： 低電圧検出リセット動作許可ビット

本ビットは、低電圧検出リセットの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出リセット回路は動作停止します。

bit	説明
0	低電圧検出リセットの発生を許可しません。
1	低電圧検出リセットの発生を許可します。[初期値]

[bit14:8] 予約 ： 予約ビット

読出しは常に"0"です。書込み時は、常に 0 を書いてください。

[bit7] LVDIE： 低電圧検出割込み動作許可ビット

本ビットは、低電圧検出割込みの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出割込み回路は動作停止します。

bit	説明
0	低電圧検出割込みの発生を許可しません。[初期値]
1	低電圧検出割込みの発生を許可します。

[bit6:2] SVHI : 低電圧検出割込み電圧設定ビット

本ビットは、低電圧検出割込みの検出電圧設定を行います。

bit6:2	説明
00000	低電圧検出割込みの検出/解除電圧を 1.50 V 中心に設定します。
00001	低電圧検出割込みの検出/解除電圧を 1.55 V 中心に設定します。
00010	低電圧検出割込みの検出/解除電圧を 1.60 V 中心に設定します。
00011	低電圧検出割込みの検出/解除電圧を 1.65 V 中心に設定します。[初期値]
00100	低電圧検出割込みの検出/解除電圧を 1.70 V 中心に設定します。
00101	低電圧検出割込みの検出/解除電圧を 1.75 V 中心に設定します。
00110	低電圧検出割込みの検出/解除電圧を 1.80 V 中心に設定します。
00111	低電圧検出割込みの検出/解除電圧を 1.85 V 中心に設定します。
01000	低電圧検出割込みの検出/解除電圧を 1.90 V 中心に設定します。
01001	低電圧検出割込みの検出/解除電圧を 1.95 V 中心に設定します。
01010	低電圧検出割込みの検出/解除電圧を 2.00 V 中心に設定します。
01011	低電圧検出割込みの検出/解除電圧を 2.05 V 中心に設定します。
01100	低電圧検出割込みの検出/解除電圧を 2.50 V 中心に設定します。
01101	低電圧検出割込みの検出/解除電圧を 2.60 V 中心に設定します。
01110	低電圧検出割込みの検出/解除電圧を 2.70 V 中心に設定します。
01111	低電圧検出割込みの検出/解除電圧を 2.80 V 中心に設定します。
10000	低電圧検出割込みの検出/解除電圧を 2.90 V 中心に設定します。
10001	低電圧検出割込みの検出/解除電圧を 3.00 V 中心に設定します。
10010	低電圧検出割込みの検出/解除電圧を 3.10 V 中心に設定します。
10011	低電圧検出割込みの検出/解除電圧を 3.20 V 中心に設定します。
上記以外	設定禁止

[bit1:0] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *低電圧検出割込み動作許可ビット(LVDIE)は、必ず低電圧検出割込み要因クリアレジスタ(LVD_CLR)の LVDCL ビットに"0"を書き込み、低電圧検出割込み要因ビット(LVDIR)をクリアしてから許可してください。*
- *低電圧検出割込み動作許可ビット(LVDIE)を許可しない場合は、低電圧割込み検出用の低電圧検出回路は停止します。そのため、低電圧検出割込み要因ビット(LVDIR)のセットは行いません。*
- *低電圧検出電圧設定レジスタ(LVD_CTL)は初期状態で書込み保護されており、保護を解除しない限り書込みは無効になります。低電圧検出電圧設定レジスタ(LVD_CTL)に書込みを行う場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込み、書込み保護を解除してください。*
- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。*
- *低電圧検出リセットの検出電圧は固定値となります。検出電圧の値についてはデータシートを参照してください。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.2 低電圧検出割込み要因レジスタ(LVD_STR)

低電圧検出割込み要因レジスタ(LVD_STR)は低電圧検出割込みの要因を保持するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	LVDIR	予約						予約
属性	R	-						-
初期値	0	000000						-

レジスタ機能

[bit15:8] 予約 : 予約ビット

読出しは常に"0"です。書込みは動作に影響しません。

[bit7] LVDIR : 低電圧検出割込み要因ビット

bit	説明
0	低電圧検出割込み要求は検出されていません。[初期値]
1	低電圧検出割込み要求が検出されました。

[bit6:1] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

[bit0] 予約 : 予約ビット

読出しは"0"または”1”が読み出されます。書込みは動作に影響しません。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.3 低電圧検出割込み要因クリアレジスタ(LVD_CLR)

低電圧検出割込み要因クリアレジスタ(LVD_CLR)は低電圧検出割込み要因をクリアするレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	LVDCL	予約						
属性	R/W	-						
初期値	1	0000000						

レジスタ機能

[bit15:8] 予約 : 予約ビット

読出しは常に"0"です。書込みは動作に影響しません。

[bit7] LVDCL : 低電圧検出割込み要因クリアビット

bit		説明
書込み	0	低電圧検出割込み要因レジスタ(LVD_STR)の低電圧検出割込み要因ビット(LVDIR)を"0"にクリアします。
	1	書込みは動作に影響しません。[初期値]
読み出し	1	常に"1"が読み出されます。

読出しは常に"1"が読み出されます。

[bit6:0] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.4 低電圧検出電圧保護レジスタ(LVD_RLR)

低電圧検出電圧保護レジスタ(LVD_RLR)は低電圧検出電圧設定レジスタ(LVD_CTL)を書込み保護するレジスタです。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LVDLCK[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LVDLCK[15:0]															
属性	R/W															
初期値	0x0001															

レジスタ機能

[bit31:0] LVDLCK[31:0] : 低電圧検出電圧設定レジスタ保護ビット

- 0x1ACCE553 を書き込むことにより、低電圧検出電圧設定レジスタ(LVD_CTL)の書込みが可能となります(書込み保護解除)。
- 0x1ACCE553 以外の値を書き込むと、低電圧検出電圧設定レジスタ(LVD_CTL)の書込みが無効になります(書込み保護)。
- 低電圧検出電圧設定レジスタ(LVD_CTL)の保護が解除されているときは、0x00000000 が読み出されます。
- 低電圧検出電圧設定レジスタ(LVD_CTL)が保護されているときは、0x00000001 が読み出されます。

<注意事項>

- *低電圧検出電圧設定レジスタ(LVD_CTL)は、初期状態で書込み保護されております。LVD_CTL レジスタに書込みを行う場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込み、書込み保護を解除してください。*
- *LVD_CTL レジスタの書込み保護を有効にしたい場合は、LVD_RLR レジスタに 0x1ACCE553 以外の値を書き込んでください。*
- *LVD_CTL レジスタの書込み保護を解除した場合は、LVD_RLR レジスタに 0x1ACCE553 以外の値を書き込むまで保護が解除されたままになります。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.5 低電圧検出回路状態レジスタ(LVD_STR2)

低電圧検出回路状態レジスタ(LVD_STR2)は低電圧検出割込みの動作状態を確認するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	LVDIRDY	LVDRRDY	予約					
属性	R	R	-					
初期値	0	1	000000					

レジスタ機能

[bit15:8] 予約 : 予約ビット

読出しは常に"0"です。書込みは動作に影響しません。

[bit7] LVDIRDY : 低電圧検出割込み状態フラグ

bit	説明
0	安定待ち状態または監視停止状態[初期値]
1	監視状態

書込みは動作に影響しません。

[bit6] LVDRRDY : 低電圧検出リセット状態フラグ

bit	説明
0	安定待ち状態または監視停止状態
1	監視状態[初期値]

書込みは動作に影響しません。

[bit5:0] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.6 基準電圧キャリブレーション制御レジスタ(CAL_CTL)

基準電圧キャリブレーション制御レジスタ(CAL_CTL)は、基準電圧のキャリブレーションの制御を行います。

レジスタ構成

bit	15 14 13 12 11 10 9 8 7 6 5 4	3	2	1	0
Field	予約	CALDONE	予約	予約	CALSTART
属性	-	R	-	-	R/W
初期値	000000000000	0	0	0	0

レジスタ機能

[bit15:4] 予約 : 予約ビット

読出しは常に"0"です。書込みは動作に影響しません。

[bit3] CALDONE : キャリブレーション実行フラッグビット

本ビットは、キャリブレーションが完了しているかどうかを示すビットです。

本ビットへの書き込み値は無視されます。

bit	説明
0 読み出し	キャリブレーションが完了していない。[初期値]
1 読み出し	キャリブレーションが完了している。

[bit2:1] 予約 : 予約ビット

読出しは”0”または”1”です。書込み時は”0”を書込んで下さい。”1”書き込みは禁止です。

[bit0] CALSTART : キャリブレーション開始ビット

キャリブレーションの開始指示と、キャリブレーション実行状態を表示するビットです。

Bit	説明
0 書き込み	0 書き込みは禁止です。
1 書き込み	キャリブレーション開始を指示します。
0 読み出し	キャリブレーションの実行中でない状態を示します。[初期値] （キャリブレーションが開始されていない、もしくは完了）
1 読み出し	キャリブレーションを実行中である状態を示します。

<注意事項>

- *キャリブレーション完了後、自動的に MOS 基準電圧発生回路が有効になります。*
- *CALDONE レジスタは、ディープスタンバイリセットにより初期化されません。*
- *CALSTART への 1 書き込み（キャリブレーションの開始指示）は、CALDONE=0 かつ CALSTART=0 が読み出せる状態でのみ行うことができます。*
- *CALDONE=1 または CALSTART=1 が読み出せる状態では、CALSTART への 1 書き込みは禁止です。開始指示前に必ず、CAL_CTL レジスタの読み出しを行い、状態確認を行ってください。*
- *本レジスタは、ビットバンドエイリアス領域経由のリードモディファイライトアクセスは禁止です。*

4.7 基準電圧キャリブレーション設定保護レジスタ(CAL_KEY)

基準電圧キャリブレーション設定保護レジスタ(CAL_KEY)は CAL_CTL レジスタの書き込み保護/書き込み保護解除を行うレジスタです。本レジスタが書き込み保護されている場合には CAL_CTL レジスタの変更はできません。本レジスタはワークアクセスのみ可能です。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	CAL_KEY[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	CAL_KEY[15:0]															
属性	R/W															
初期値	0x0001															

レジスタ機能

[bit31:0] CAL_KEY[31:0] : CAL_CTL レジスタ保護ビット

- 0x1ACCE553 を書き込むことにより、基準電圧キャリブレーション制御レジスタ(CAL_CTL)の書込みが可能となります(書込み保護解除)。
- 0x1ACCE553 以外の値を書き込むと、基準電圧キャリブレーション制御レジスタ(CAL_CTL)の書込みが無効になります(書込み保護)。
- 基準電圧キャリブレーション制御レジスタ(CAL_CTL)の保護が解除されているときは、0x00000000 が読み出されます。
- 基準電圧キャリブレーション制御レジスタ(CAL_CTL)が保護されているときは、0x00000001 が読み出されます。

<注意事項>

- *基準電圧キャリブレーション制御レジスタ(CAL_CTL)は、初期状態で書込み保護されております。CAL_CTL レジスタに書込みを行う場合は、基準電圧キャリブレーション設定保護レジスタ(CAL_KEY)に 0x1ACCE553 を書き込み、書込み保護を解除してください。*
- *CAL_CTL レジスタの書込み保護を有効にしたい場合は、CAL_KEY レジスタに 0x1ACCE553 以外の値を書き込んでください。*
- *CAL_CTL レジスタの書込み保護を解除した場合は、CAL_EKY レジスタに 0x1ACCE553 以外の値を書き込むまで保護が解除されたままになります。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

5. 使用上の注意

低電圧検出回路の使用上の注意点を説明します。

■ STOP モード遷移時の低電圧検出割込み要因ビットについて

低電圧検出割込み要因ビット(LVD_STR:LVDIR)クリア後、電源電圧がそのまま検出電圧以下であっても、いったん解除電圧を上回らない限り、再度割込み要因が発生することはありません。
しかし、LVDIR クリア後、検出電圧以下にいる時に STOP モード遷移を行った際には必ず低電圧検出回路が電圧比較を行います。
そのため、STOP モード遷移により、再度低電圧検出割込み要因がセットされ、割込みルーチンに遷移する可能性があります。

例えば、低電圧検出の割込み処理ルーチン内で STOP モード遷移するような場合、割込み要因をクリアして割込み処理ルーチンを抜けても、すぐに再度割込み要因ビットが立ち、割込み処理ルーチンを繰り返す可能性があります。

低電圧割込み検出後も電源電圧が検出電圧以下となっている場合に、繰り返し割込みが発生する現象を抑えるには、低電圧検出割込み許可ビット(LVDIE)を禁止にしてから割込みルーチンを抜けてください。

■ 低電圧検出リセットの検出電圧設定について

低電圧検出リセット電圧の検出電圧設定後、低電圧検出リセットが発生すると、検出電圧設定値が初期化されます。ゆっくり電源電圧が低下していく時のように、電源電圧が設定初期値よりも高い場合、リセットが解除されます。しかし、リセットによりプログラムは先頭に戻るため再度検出電圧を設定しなおします。すでに電源電圧が検出電圧設定値よりも低いため、再度低電圧検出リセットが発生します。

すなわち、電源電圧の変化とプログラム記述によっては、

検出電圧変更 → リセット → 初期化(プログラム先頭) → 検出電圧変更 → リセット

を繰り返すループになる可能性があります。

電源電圧が検出電圧以下の場合の低電圧検出リセットのループを避けるには、以下の方法があります。

- 低電圧検出リセット設定値は初期値のみを使用する。
- 低電圧検出割込みを低電圧検出リセットよりも先に設定し、プログラムの先頭で割込みフラグが立っているかを確認し、それにより低電圧リセットの検出電圧の設定値を変更する。

CHAPTER 6-1: 低消費電力モード

低消費電力モードの機能と動作について示します。

1. 概要
2. CPU 動作モードの構成
3. スタンバイモードの動作説明
4. スタンバイモードの設定手順例
5. ディープスタンバイモードの動作説明
6. ディープスタンバイモードの設定手順例
7. ディープスタンバイ復帰要因判定の手順
8. レジスタ
9. 使用上の注意

管理コード: 9AFLPMODE-FM0-J03.0

1. 概要

低消費電力モードとして、消費電力を低減するために、スリープモード, タイマモード, RTC モード, ストップモードのスタンバイモードと、ディープスタンバイ RTC モード, ディープスタンバイストップモードのディープスタンバイモードを利用できます。

CPU 動作モードの概要

CPU 動作モードにはそれぞれ下記の動作モードがあります。

- ランモード
  - 高速 CR ランモード
  - メインランモード
  - PLL ランモード
  - 低速 CR ランモード
  - サブランモード

- スタンバイモード
  - スリープモード
    - 高速 CR スリープモード
    - メインスリープモード
    - PLL スリープモード
    - 低速 CR スリープモード
    - サブスリープモード
  - タイマモード
    - 高速 CR タイマモード
    - メインタイマモード
    - PLL タイマモード
    - 低速 CR タイマモード
    - サブタイマモード
  - RTC モード
  - ストップモード

- ディープスタンバイモード
  - ディープスタンバイ RTC モード
  - ディープスタンバイストップモード

製品 TYPE 別の低消費電力モード

Table 1-1 低消費電力モード

低消費電力モード	TYPE1-M0+	TYPE2-M0+ TYPE3-M0+
Run モード	○	○
スタンバイモード	○	○
ディープスタンバイモード	-	○

ランモードの概要

ランモードは、マスタクロックとして選択されたクロックで定義されます。マスタクロックの周波数を分周したベースクロックを CPU クロック, AHB バスクロック, APB バスクロックに供給し、 CPU, バスおよび大部分の周辺機能を動作させます。

また、ソースクロックの周波数をダイナミックに変更できます。メイン発振, サブ発振を使用しない場合は、ソースクロックの発振器を停止できます。

マスタクロックとして選択されたクロックにより、以下のモードに分かれます。

■ 高速 CR ランモード

このモードでは、高速 CR 発振クロックがマスタクロックとして使用されます。メイン発振, サブ発振を使用しない場合は、それぞれの発振器を停止できます。PLL 逓倍回路の状態は、PLLE ビットの設定によって異なります。低速 CR 発振器は常に動作状態となります。リセット解除後にこのモードに遷移します。

■ メインランモード

このモードでは、メイン発振クロックがマスタクロックとして使用されます。高速 CR 発振器, PLL 逓倍回路, サブ発振器の状態は、それぞれ HCRE, PLLE, SOSCE の設定によって異なります。低速 CR 発振器は常に動作状態となります。

■ PLL ランモード

このモードでは、メイン発振クロックまたは高速 CR 発振クロックの逓倍である PLL クロックがマスタクロックとして使用されます。低速 CR 発振器は常に動作状態となります。サブ発振器の状態は SOSCE ビットの設定によって異なります。高速 CR 発振器の状態またはメイン発振の状態は PSW_TMR レジスタの PINC ビットの設定によって異なります。

■ 低速 CR ランモード

このモードでは、低速 CR 発振クロックがマスタクロックとして使用されます。サブ発振器の状態は、SOSCE ビットの設定によって異なります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

■ サブランモード

このモードでは、サブ発振クロックがマスタクロックとして使用されます。低速 CR 発振器は常に動作状態となります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

スリープモードの概要

スリープモードはスタンバイモードの 1 つに分類されます。スリープモードは、CPU へのクロックを停止します。これにより CPU が停止状態になるため、消費電力が削減されます。AHB バスおよび APB バスクロックに接続されているリソースは動作を継続します。

スリープモード遷移時のマスタクロックにより、以下のモードに分かれます。

■ 高速 CR スリープモード

高速 CR 発振クロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、高速 CR スリープモードに遷移します。このモードでの各発振器の状態は、PLL 逓倍回路,メイン発振器, サブ発振器の状態はそれぞれ PLLE, MOSCE, SOSCE ビットの設定によって異なります。低速 CR 発振器は常に動作状態となります。

■ メインスリープモード

メインクロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、メインスリープモードに遷移します。このモードでは, 高速 CR 発振器, PLL 逓倍回路, サブ発振器の状態は、それぞれ HCRE, PLLE, SOSCE の設定によって異なります。低速 CR 発振器は常に動作状態となります。

■ PLL スリープモード

PLL クロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、PLL スリープモードに遷移します。このモードでは、低速 CR 発振器は常に動作状態となります。サブ発振器の状態は SOSCE ビットの設定によって異なります。高速 CR 発振器の状態またはメイン発振の状態は PSW_TMR レジスタの PINC ビットの設定によって異なります。

■ 低速 CR スリープモード

低速 CR クロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、低速 CR スリープモードに遷移します。このモードでの各発振器の状態は、サブ発振器は、SOSCE ビットの設定によって異なります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

■ サブスリープモード

サブクロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、サブスリープモードに遷移します。このモードでの各発振器の状態は、低速 CR 発振器は常に動作状態となります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

タイマモードの概要

タイマモードはスタンバイモードの 1 つに分類されます。タイマモードは、ベースクロックの供給を停止します。これにより、CPU クロック, AHB バスクロックおよび、すべての APB バスクロック停止するため、消費電力がさらに削減されます。この場合は、発振器, PLL, ハードウェアウォッチドッグタイマ, 時計カウンタ, RTC, クロック故障検出機能, 低電圧検出回路を除くすべての機能が停止します。

タイマモード遷移時のマスタクロックにより、以下のモードに分かれます。

■ 高速 CR タイマモード

高速 CR 発振クロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、高速 CR タイマモードに遷移します。このモードでの各発振器の状態は、PLL 逓倍回路, メイン発振器, サブ発振器の状態はそれぞれ PLLE, MOSCE, SOSCE ビットの設定によって異なります。低速 CR 発振器は常に動作状態となります。

■ メインタイマモード

メインクロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、メインタイマモードに遷移します。このモードでは, 高速 CR 発振器, PLL 逓倍回路, サブ発振器の状態は、それぞれ HCRE, PLLE, SOSCE の設定によって異なります。低速 CR 発振器は常に動作状態となります。

■ PLL タイマモード

PLL クロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、PLL タイマモードに遷移します。このモードでは, 低速 CR 発振器は常に動作状態となります。サブ発振器の状態は SOSCE ビットの設定によって異なります。高速 CR 発振器の状態またはメイン発振の状態は PSW_TMR レジスタの PINC ビットの設定によって異なります。

■ 低速 CR タイマモード

低速 CR クロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、低速 CR タイマモードに遷移します。このモードでの各発振器の状態は、サブ発振器は、SOSCE ビットの設定によって異なります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

■ サブタイマモード

サブクロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、サブタイマモードに遷移します。このモードでの各発振器の状態は、サブ発振器および低速 CR 発振器は常に動作状態となります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

RTC モードの概要

RTC モードはスタンバイモードの 1 つに分類されます。RTC モードは、サブ発振器以外の発振を停止します。時計カウンタ, RTC, 低電圧検出回路以外のすべての機能が停止状態になります。

ストップモードの概要

ストップモードはスタンバイモードの 1 つに分類されます。ストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止状態になります。

ディープスタンバイ RTC モードの概要

ディープスタンバイ RTC モードはディープスタンバイモードの 1 つに分類されます。ディープスタンバイ RTC モードは、サブ発振器以外の発振を停止します。RTC, 低電圧検出回路以外のすべての機能が停止状態になります。RTC, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュメモリ, オンチップ SRAM*, 周辺機能をチップ内部で電源オフします。

ディープスタンバイストップモードの概要

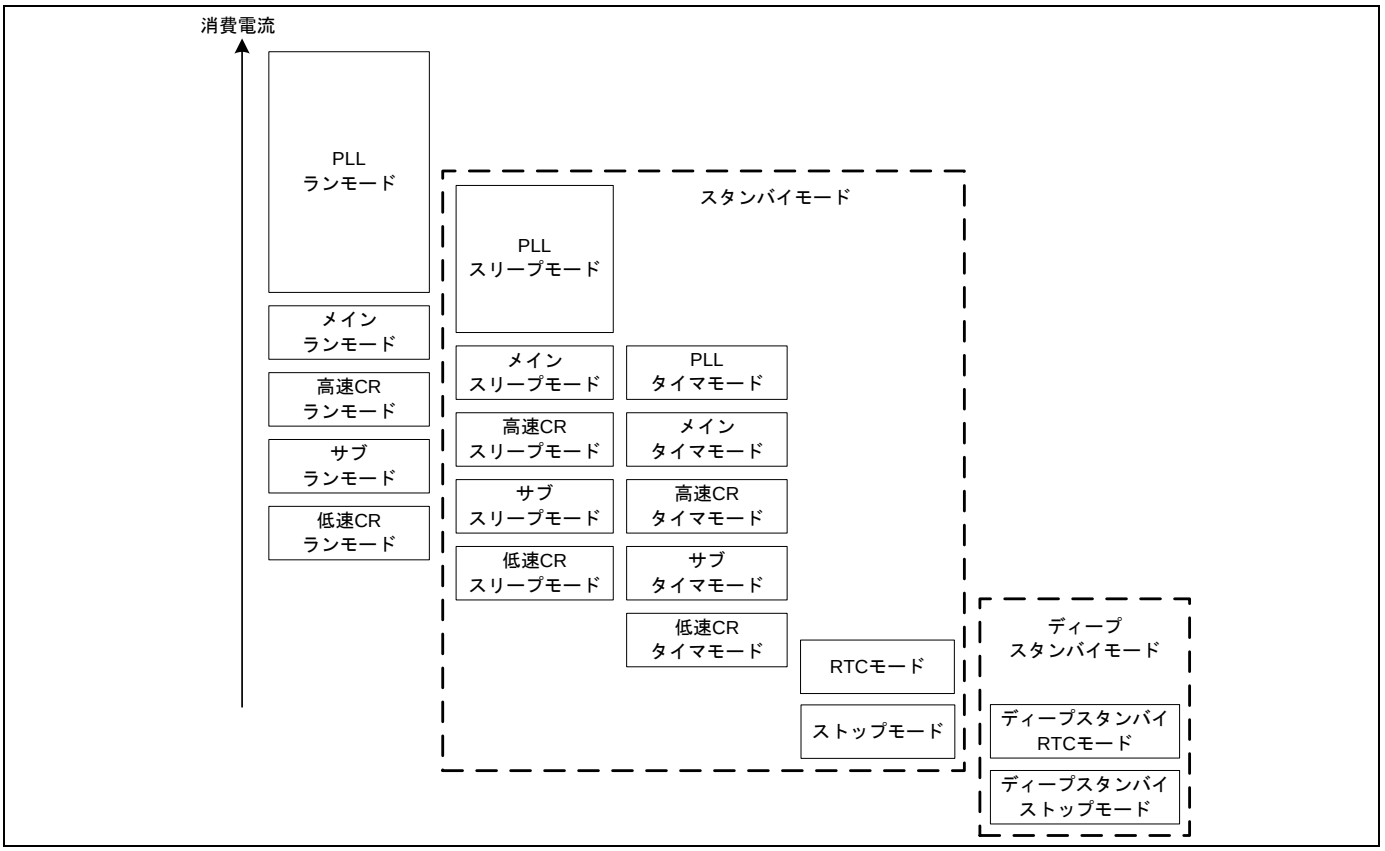
ディープスタンバイストップモードはディープスタンバイモードの 1 つに分類されます。ディープスタンバイストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止状態になります。RTC, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュメモリ, オンチップ SRAM*, 周辺機能をチップ内部で電源オフします。

*:オンチップ SRAM の内容は保持可能です。
オンチップ SRAM の内容を保持設定にした場合は、オンチップ SRAM は電源オンになります。

CPU 動作モードと消費電流の関係

CPU 動作モードと消費電流の関係を Figure 1-1 に示します。

Figure 1-1 CPU 動作モードと消費電流の関係図



＜注意事項＞

- *Figure 1-1 では、モードごとの消費電流の大小関係程度しか示していません。実際の消費電流は各モードでの発振器と PLL の起動, 選択された周波数などのクロック構成により変わります。*

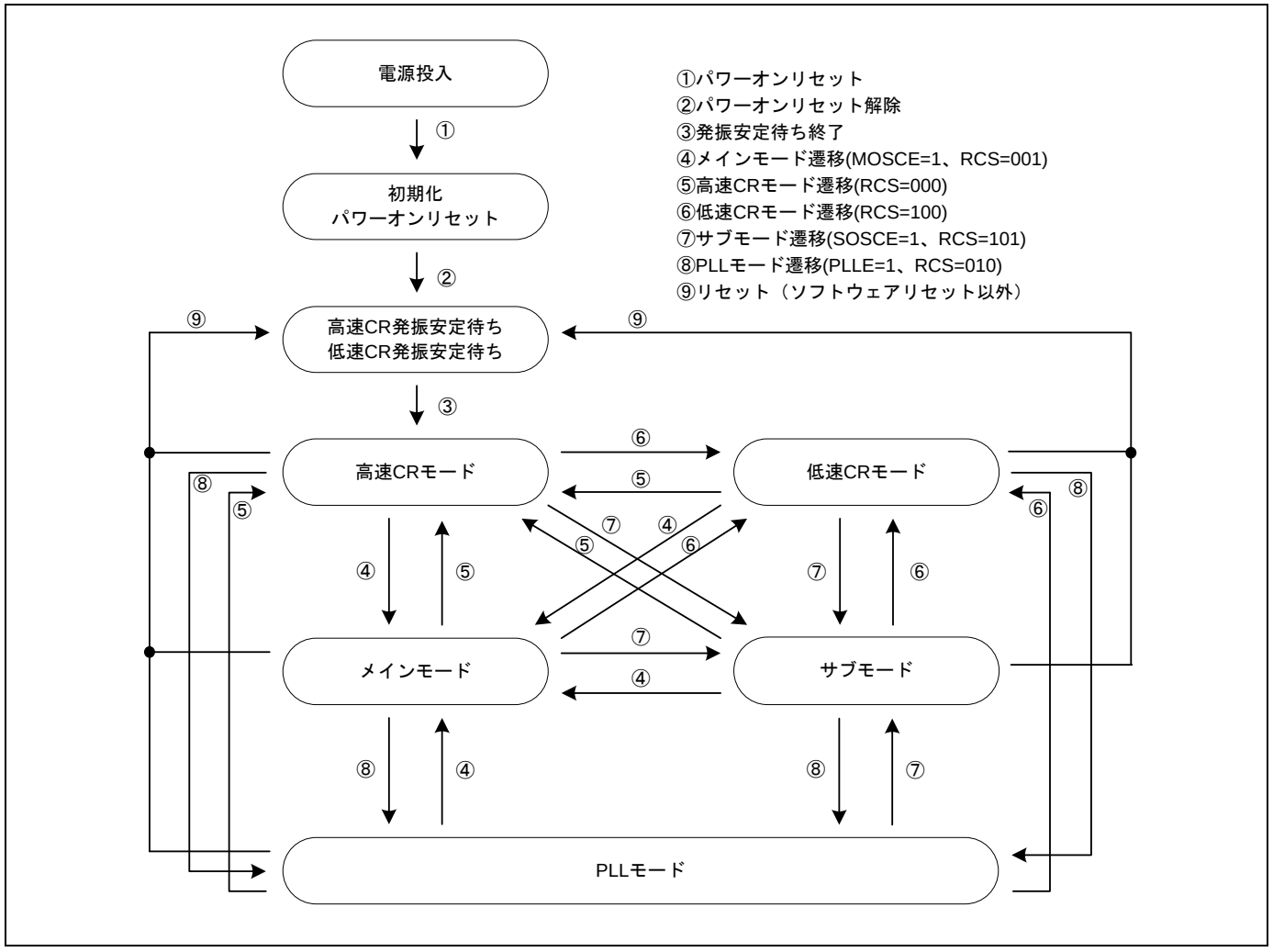
2. CPU 動作モードの構成

CPU 動作モードの構成について説明します。

CPU 動作モード遷移図

CPU 動作モードの遷移図を Figure 2-1 に示します。

Figure 2-1 CPU 動作モードの遷移図



■ 高速 CR モード

高速 CR 発振クロックがマスタクロックとして使用されます。

■ メインモード

メイン発振クロックがマスタクロックとして使用されます。

■ 低速 CR モード

低速 CR 発振クロックがマスタクロックとして使用されます。

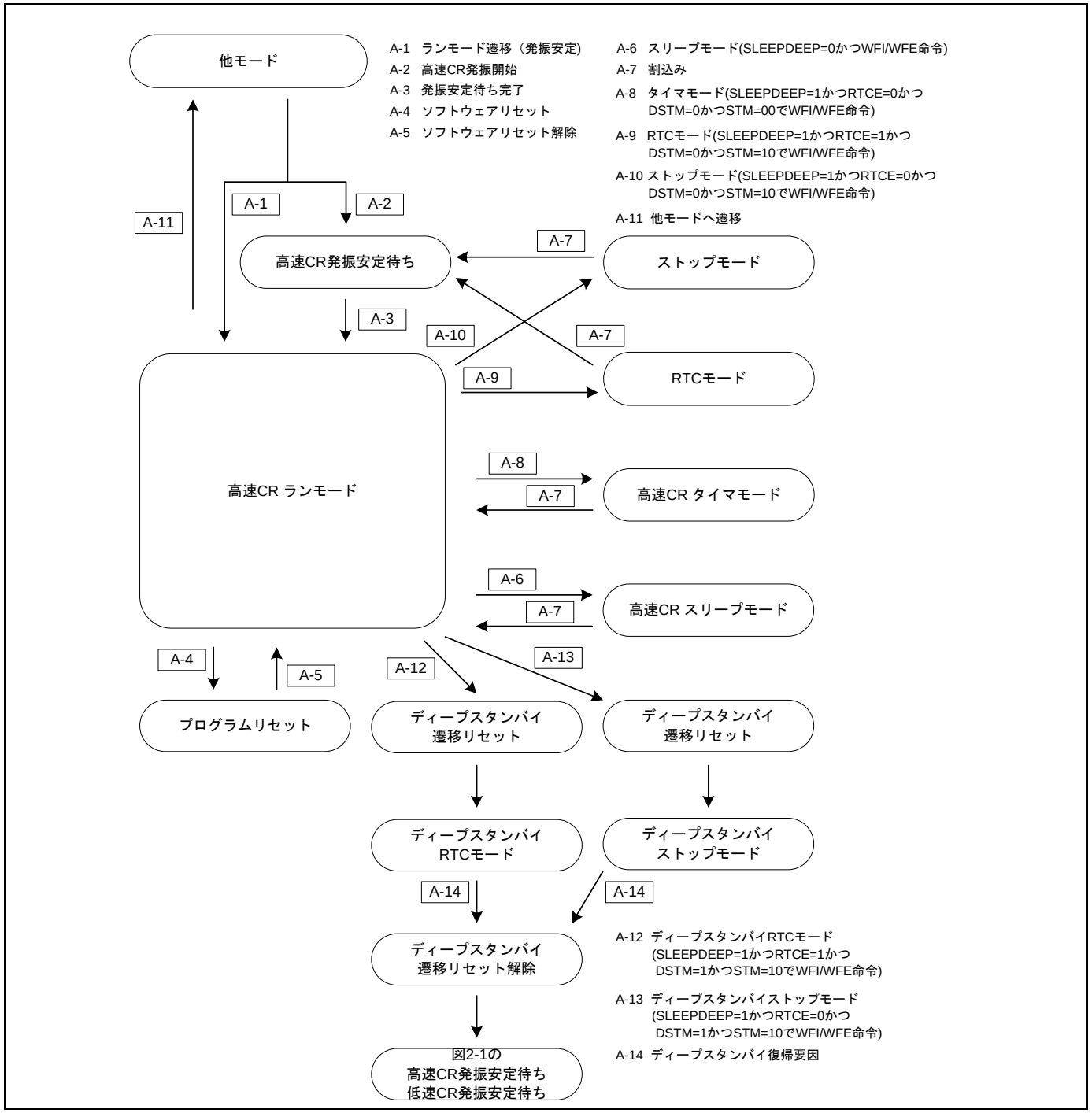
■ サブモード
サブ発振クロックがマスタクロックとして使用されます。

■ PLL モード
PLL 発振クロックがマスタクロックとして使用されます。

高速 CR モード遷移図

高速 CR モードでは、高速 CR 発振クロックがマスタクロックとして使用されます。

Figure 2-2 高速 CR モード遷移図



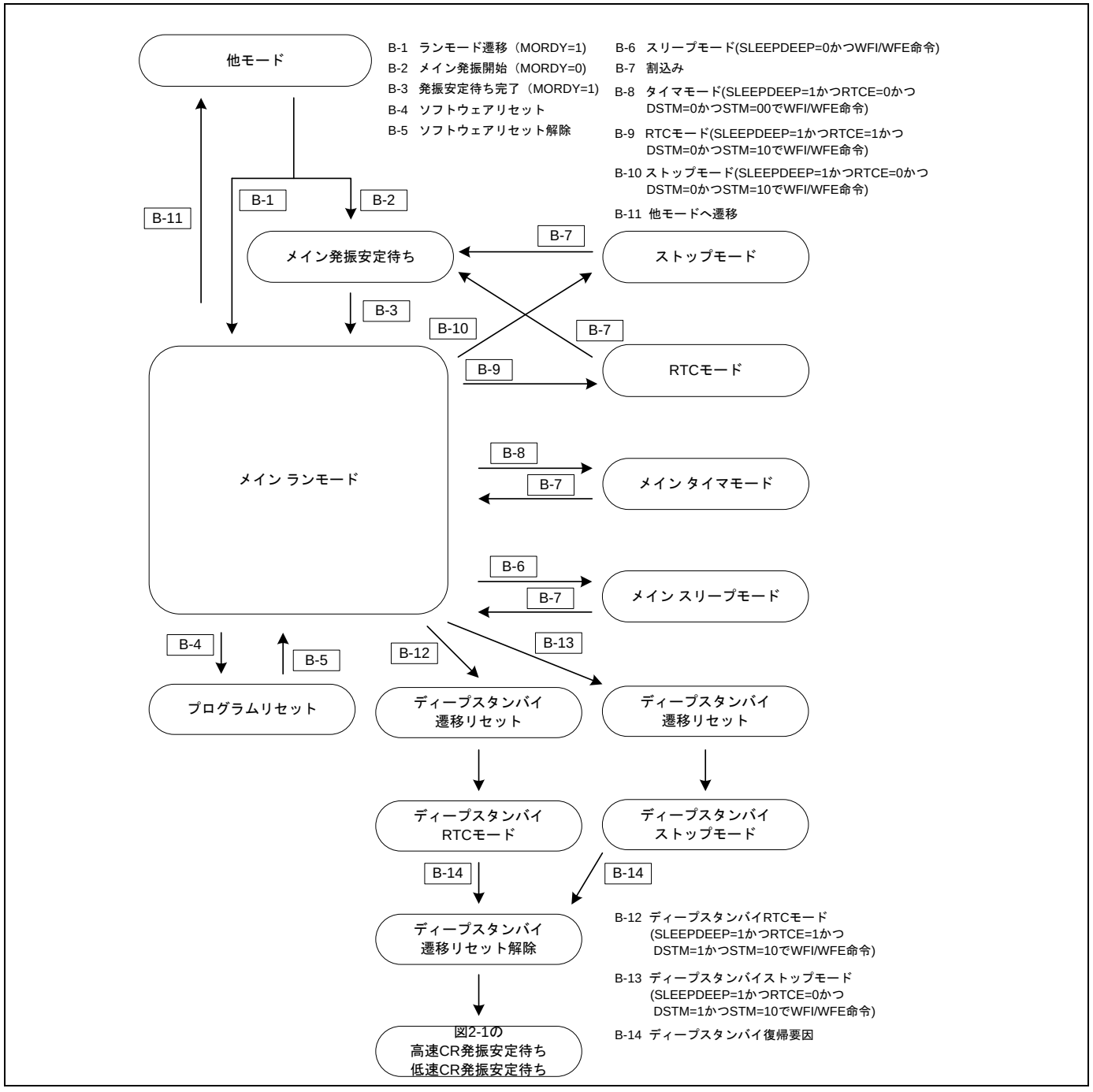
<注意事項>

- *ディープスタンバイ RTC モード，ディープスタンバイストップモードを搭載していない製品があります。詳細は Table 1-1 を参照してください。*

メインモード遷移図

メインモードでは、メイン発振クロックがマスタクロックとして使用されます。

Figure 2-3 メインモード遷移図



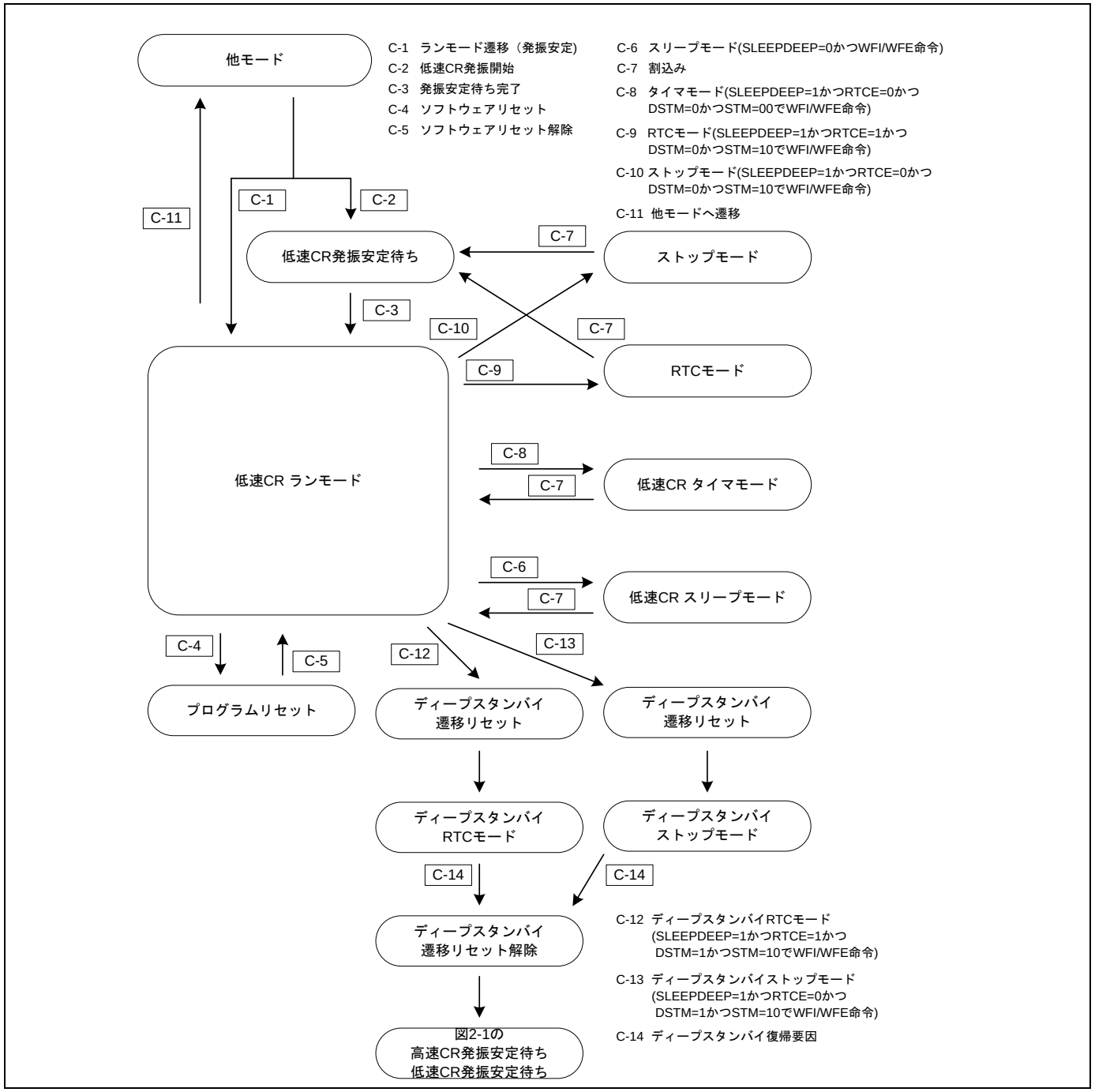
<注意事項>

- *ディープスタンバイ RTC モード，ディープスタンバイストップモードを搭載していない製品があります。詳細は Table 1-1 を参照してください。*

低速 CR モード遷移図

低速 CR モードでは、低速 CR 発振クロックがマスタクロックとして使用されます。

Figure 2-4 低速 CR モード遷移図



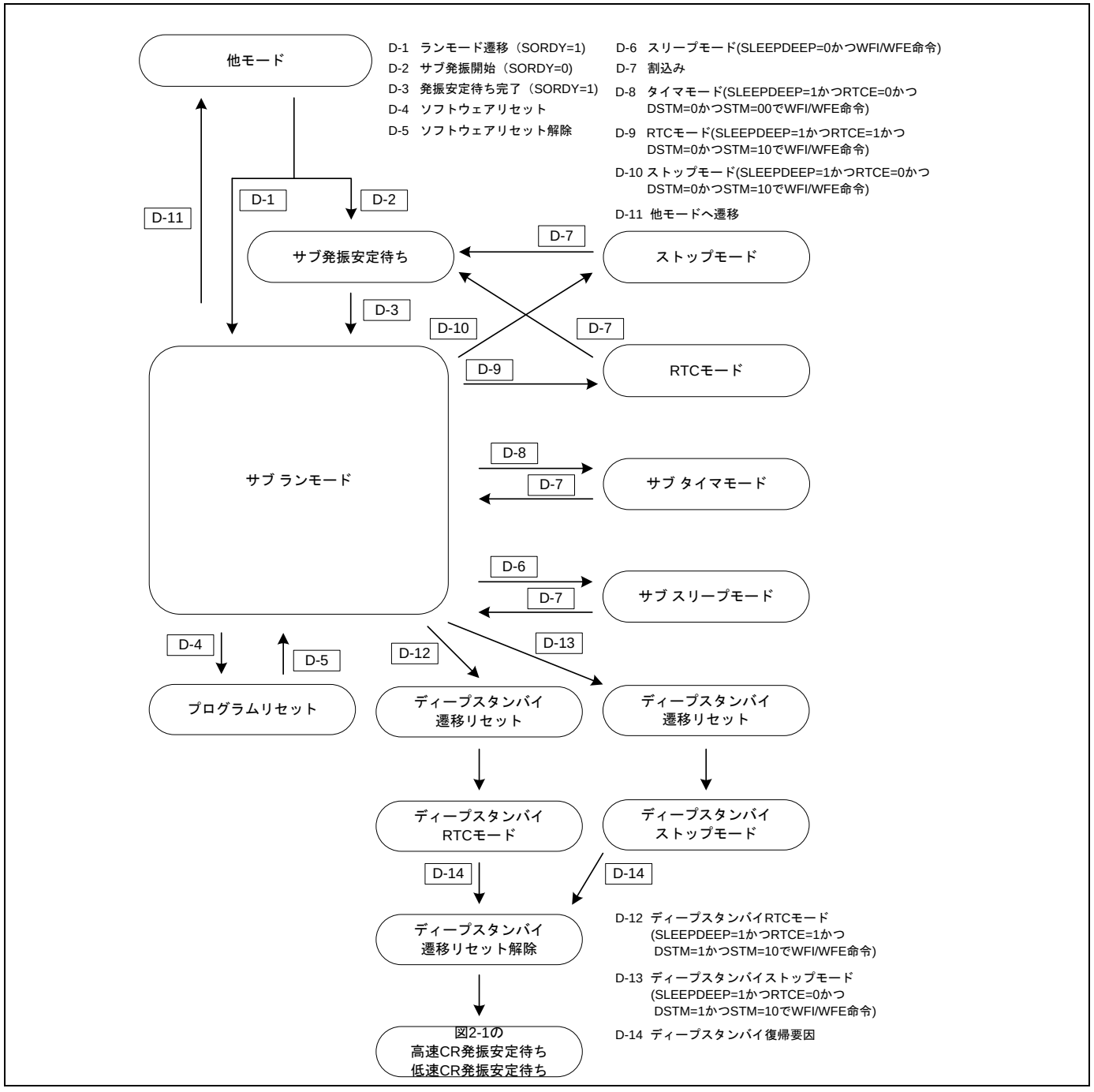
<注意事項>

- *ディープスタンバイ RTC モード，ディープスタンバイストップモードを搭載していない製品があります。詳細は Table 1-1 を参照してください。*

サブモード遷移図

サブモードでは、サブ発振クロックがマスタクロックとして使用されます。

Figure 2-5 サブモード遷移図



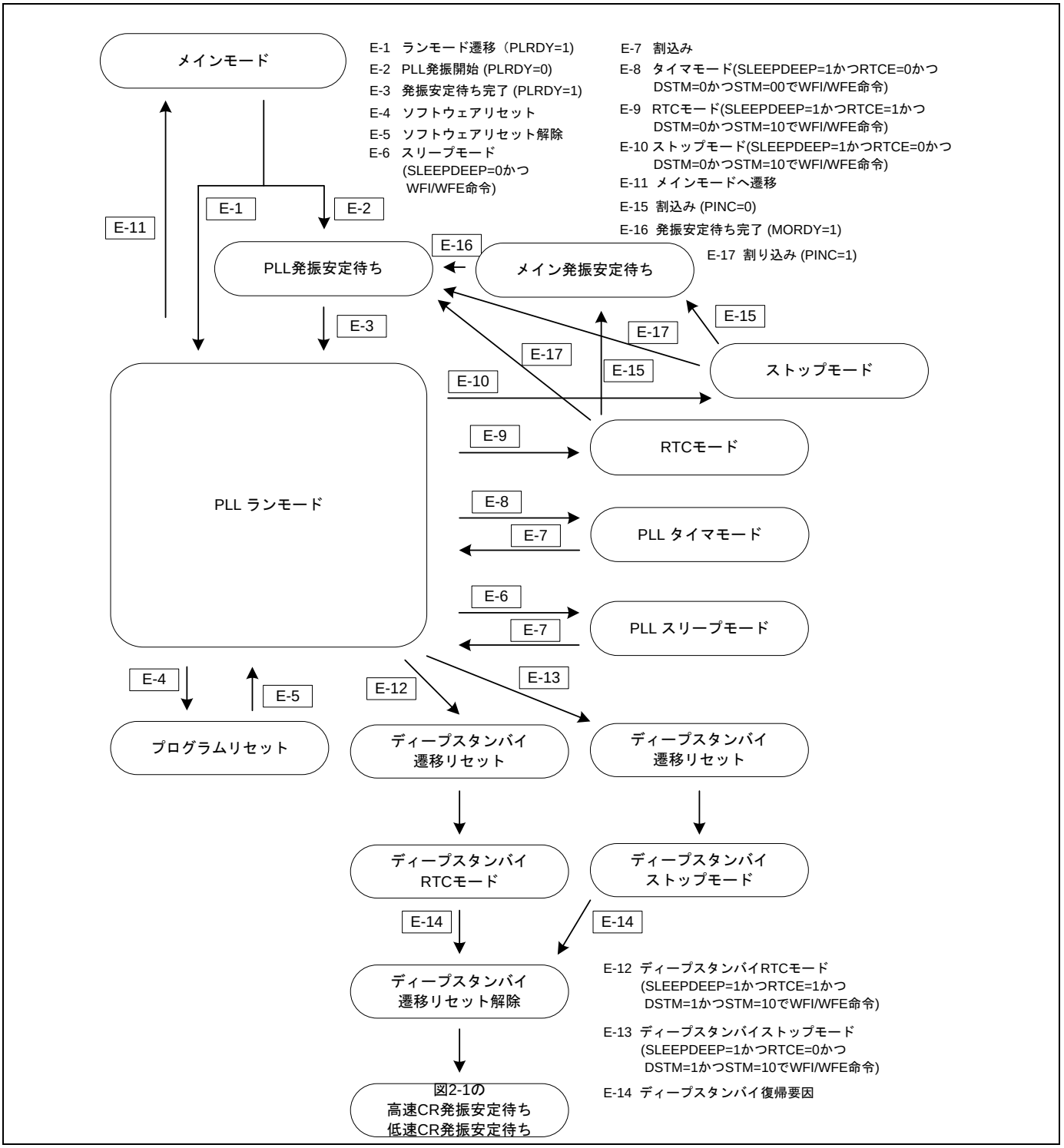
<注意事項>

- *ディープスタンバイ RTC モード，ディープスタンバイストップモードを搭載していない製品があります。詳細は Table 1-1 を参照してください。*

PLL モード遷移図

PLL モードでは、PLL クロックがマスタクロックとして使用されます。

Figure 2-6 PLL モード遷移図



<注意事項>

- *ディープスタンバイ RTC モード，ディープスタンバイストップモードを搭載していない製品があります。詳細は Table 1-1 を参照してください。*

MOSCE : システムクロックモード制御レジスタ(SCM_CTL)の MOSCE ビット
SOSCE : システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビット
PLLE : システムクロックモード制御レジスタ(SCM_CTL)の PLLE ビット
RCS : システムクロックモード制御レジスタ(SCM_CTL)の RCS ビット
MORDY : システムクロックモード状態レジスタ(SCM_STR)の MORDY ビット
SORDY : システムクロックモード状態レジスタ(SCM_STR)の SORDY ビット
PLRDY : システムクロックモード状態レジスタ(SCM_STR)の PLRDY ビット
PINC : PLL クロック安定待ち時間レジスタ(PSW_TMR)の PINC ビット

*:SCM_CTL, SCM_STR, PSW_TMR レジスタについては、別章『クロック』を参照してください。

<注意事項>

- *低速 CR タイマモード，サブタイマモード, RTC モード，ストップモード，ディープスタンバイ RTC モードおよびディープスタンバイストップモードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百μs)を自動的に確保します。その後に各ランモードへの復帰動作を行います。*

3. スタンバイモードの動作説明

スタンバイモードの動作について説明します。
スタンバイモードには、スリープモード(高速 CR スリープ, メインスリープ, PLL スリープ, 低速 CR スリープ, サブスリープ), タイマモード(高速 CR タイマ, メインタイマ, PLL タイマ, 低速 CR タイマ, サブタイマ) および RTC モード, ストップモードがあります。

スタンバイモード時のクロック動作状態

スリープモード, タイマモード, RTC モード, ストップモードにある間の発振クロック, CPU クロック, AHB バスクロック, APB バスクロックの状態を示します。

Table 3-1 スリープモード時のクロック動作状態

<table>
<tr><td rowspan="2"></td><td colspan="5">スリープモード</td></tr>
<tr><td>高速 CR
スリープモード</td><td>メイン
スリープモード</td><td>PLL
スリープモード</td><td>低速 CR
スリープモード</td><td>サブ
スリープモード</td></tr>
<tr><td>高速 CR
クロック</td><td>動作</td><td>HCRE ビット、MCSVE ビット、FCSDE ビットによって異なります。</td><td>PINC ビット、HCRE ビット、MCSVE ビット、FCSDE ビットによって異なります。</td><td colspan="2">停止</td></tr>
<tr><td>メイン
クロック</td><td>MOSCE ビットによって異なります。</td><td>動作</td><td>PINC ビット、MOSCE ビットによって異なります。</td><td colspan="2">停止</td></tr>
<tr><td>メイン PLL
クロック</td><td colspan="2">PLLE ビットによって異なります。</td><td>動作</td><td colspan="2">停止</td></tr>
<tr><td>低速 CR
クロック</td><td colspan="5">動作</td></tr>
<tr><td>サブ
クロック</td><td colspan="4">SOSCE ビットによって異なります。</td><td>動作</td></tr>
<tr><td>USB PLL
クロック</td><td colspan="3">UPLLEN ビットによって異なります。</td><td colspan="2">停止</td></tr>
<tr><td>CPU
クロック</td><td colspan="5">停止</td></tr>
<tr><td>AHB バス
クロック</td><td>高速 CR
クロック</td><td>メイン
クロック</td><td>PLL
クロック</td><td>低速 CR
クロック</td><td>サブ
クロック</td></tr>
<tr><td>APB0 バス
クロック</td><td>高速 CR
クロック</td><td>メイン
クロック</td><td>PLL
クロック</td><td>低速 CR
クロック</td><td>サブ
クロック</td></tr>
<tr><td rowspan="2">APB1 バス
クロック</td><td>高速 CR
クロック</td><td>メイン
クロック</td><td>PLL
クロック</td><td>低速 CR
クロック</td><td>サブ
クロック</td></tr>
<tr><td colspan="5">* 動作許可は、APBC1EN ビットによって異なります。</td></tr>
</table>

Table 3-2 タイマモード時のクロック動作状態

	タイマモード				
	高速 CR タイマモード	メイン タイマモード	PLL タイマモード	低速 CR タイマモード	サブ タイマモード
高速 CR クロック	動作	HCRE ビット、MCSVE ビット、FCSDE ビットによって異なります。	PINC ビット、HCRE ビット、MCSVE ビット、FCSDE ビットによって異なります。	停止	
メイン クロック	MOSCE ビットによって異なります。	動作	PINC ビット、MOSCE ビットによって異なります。	停止	
メイン PLL クロック	PLLE ビットによって異なります。	PLLE ビットによって異なります	動作	停止	
低速 CR クロック	動作				
サブ クロック	SOSCE ビットによって異なります。	SOSCE ビットによって異なります。	SOSCE ビットによって異なります。	SOSCE ビットによって異なります。	動作
USB PLL クロック	停止				
CPU クロック	停止				
AHB バス クロック	停止				
APB0 バス クロック	停止				
APB1 バス クロック	停止				

Table 3-3 RTC モードとストップモード時のクロック動作状態

	RTC モード	ストップモード
高速 CR クロック	停止	停止
メインクロック		
メイン PLL クロック		
低速 CR クロック		
サブクロック	動作	
USB PLL クロック	停止	
CPU クロック		
AHB バスクロック		
APB0 バスクロック		
APB1 バスクロック		

MOSCE : システムクロックモード制御レジスタ(SCM_CTL)の MOSCE ビット
SOSCE : システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビット
PLLE : システムクロックモード制御レジスタ(SCM_CTL)の PLLE ビット
HCRE : システムクロックモード制御レジスタ(SCM_CTL)の HCRE ビット

MCSVE : CSV 制御レジスタ(CSV_CTL)の MCSVE ビット
FCSDE : CSV 制御レジスタ(CSV_CTL)の FCSDE ビット
PINC : PLL クロック安定待ち時間設定レジスタ(PSW_TMR)の PINC ビット
APBC1EN : 周辺バスクロック分周レジスタ(APBC1_PSR)の APBC1EN ビット

*:SCM_CTL, APBC1_PSR レジスタについては、別章『クロック』を参照してください。

スタンバイモードからの復帰要因

スリープモード, タイマモード, RTC モード, ストップモードからの復帰要因を Table 3-4 に示します。

Table 3-4 スタンバイモードからの復帰要因

	スリープモード	タイマモード	RTC モード	ストップモード
リセット復帰要因	– INITX 端子入力リセット – 低電圧検出リセット – ソフトウェアウォッチドッグリセット – ハードウェアウォッチドッグリセット – クロック故障検出リセット – 異常周波数検出リセット	– INITX 端子入力リセット – 低電圧検出リセット – ハードウェアウォッチドッグリセット – クロック故障検出リセット – 異常周波数検出リセット（メインタイマモード, PLL タイマモード）	– INITX 端子入力リセット – 低電圧検出リセット	– INITX 端子入力リセット – 低電圧検出リセット
割込み復帰要因	– 各周辺機能からの有効な割込み	– NMI 割込み – 外部割込み – I2C Slave 割込み – ハードウェアウォッチドッグタイマ割込み – USB ウェイクアップ割込み – 時計カウンタ割込み – RTC 割込み – HDMI-CEC/リモコン受信割込み – 低電圧検出割込み	– NMI 割込み – 外部割込み – I2C Slave 割込み – USB ウェイクアップ割込み – RTC 割込み – HDMI-CEC/リモコン受信割込み – 低電圧検出割込み	– NMI 割込み – 外部割込み – I2C Slave 割込み – USB ウェイクアップ割込み – 低電圧検出割込み

3.1 スリープモード(高速 CR スリープ, メインスリープ, PLL スリープ, 低速 CR スリープ, サブスリープ)の動作

スリープモードはスタンバイモードの 1 つに分類されます。スリープモードは、CPU クロックが停止します。これにより消費電力が削減されます。

スリープモード機能

■ CPU, オンチップメモリ

スリープモードでは、CPU に供給しているクロックが停止します。AHB バスクロックは動作を継続します。オンチップメモリは動作を行い、データを保持します。

■ 周辺機能

APB0 バスクロックはスリープモードでも動作します。APB1 バスクロックは APBC1EN ビットにより異なります。周辺機能は遷移時の状態で動作します。

■ 時計カウンタ, RTC

時計カウンタ, RTC はスリープモードの影響を受けません。スリープモードに遷移する前の設定に従って動作を続けます。

■ 発振クロック

それぞれの発振クロックの状態を、Table 3-1 に示します。

■ リセットと割込み

リセットと割込みはスリープモードからの復帰に使用できます。

■ 端子の状態

スリープモードにある間は、すべての端子で設定が保持されます。

スリープモード設定手順

次の手順を実施するとスリープモードへ遷移します。

1. Cortex-M0+システムコントロールレジスタの SLEEPDEEP ビットに"0"を設定してください。
2. WFI または WFE 命令を実行してください。
   システムクロックモード状態レジスタ(SCM_STR)の RCM[2:0]ビットに示されている現在のクロックモードに応じて、対応するスリープモードに遷移します。

システムクロックモード状態レジスタ(SCM_STR)については、別章『クロック』を参照してください。

スリープモードからの復帰

次のいずれかの場合に CPU がスリープモードから復帰します。

■ リセットによる復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット, ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

■ 割込みによる復帰

スリープモードにある間に周辺機能から発生した有効な割込みを受け付けると、スリープモードから復帰して、システムクロックモード状態レジスタ(SCM_STR)の RCM [2:0]ビットに示されているクロックモードに応じたランモードに遷移します。

Table 3-5 スリープモードからの割込み復帰後の動作モード

	スリープモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

RCM : システムクロックモード状態レジスタ(SCM_STR)の RCM[2:0]ビット

*:SCM_CTL, SCM_STR レジスタについては、別章『クロック』を参照してください。

■ 復帰時の発振安定待ち

リセットにより復帰をした場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、発振安定待ちはありません。

3.2 タイマモード(高速 CR タイマ，メインタイマ, PLL タイマ，低速 CR タイマ，サブタイマ)の動作

タイマモードは、ベースクロックの供給を停止します。これにより、CPU クロック, AHB バスクロックおよび、すべての APB バスクロックが停止するため、消費電力がさらに削減されます。本モードでは、発振器, PLL，ハードウェアウォッチドッグタイマ，時計カウンタ, RTC,クロック故障検出機能，低電圧検出回路を除くすべての機能が停止します。

タイマモード機能

■ CPU，オンチップメモリ

タイマモードでは、CPU に供給している CPU クロック，オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止します。ただし、オンチップメモリの内容は保持されます。また、デバッグ機能が停止します。

■ 周辺機能

すべての APB クロックはタイマモードで停止し、ハードウェアウォッチドッグタイマ，時計カウンタ, RTC，クロックスーパバイザ，低電圧検出回路以外のすべてのリソースは最後の状態のまま停止します。

■ 時計カウンタ, RTC

時計カウンタ, RTC はタイマモードの影響を受けません。タイマモードに遷移する前の設定に従って動作を続けます。

■ 発振クロック

それぞれの発振クロックの状態を、Table 3-2 に示します。

■ リセットと割込み

リセットと割込みはタイマモードからの復帰に使用できます。

■ 外部バス

外部バスはタイマモードで停止します。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子がタイマモードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを制御できます。

タイマモード設定手順

次の手順を実施するとタイマモードへ遷移します。

1. RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"0"を設定してください。
2. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"0"かつ STM ビットに"0b00"を書き込んでください。SPL ビットにより、タイマモードでの端子状態を設定してください。
3. Cortex-M0+システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
4. WFI または WFE 命令を実行してください。
   システムクロックモード状態レジスタ(SCM_STR)の RCM [2:0]ビットに示されている現在のクロックモードに応じて、対応するタイマモードへの遷移が要求されます。

<注意事項>

- *ディープスタンバイ RTC モード，ディープスタンバイストップモードを搭載していない製品には DSTM ビットがありません。詳細は Table 1-1 を参照してください。*

タイマモードからの復帰

次のいずれかの場合に CPU がタイマモードから復帰します。

■ リセットによる復帰

リセット(INITX 端子入力リセット，低電圧検出リセット，ハードウェアウォッチドッグリセット，クロックスーパバイザリセット，異常周波数検出リセット(メインタイマモード，PLL タイマモード))が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセットは動作しないため、復帰できません。

■ 割込みによる復帰

タイマモードにある間に有効な NMI 割込み，外部割込み，ハードウェアウォッチドッグタイマ割込み，時計カウンタ割込み，RTC 割込み，低電圧検出割込みの要求を受け付けると、タイマモードから復帰して、システムクロックモード状態レジスタ(SCM_STR)の RCM[2:0]ビットに示されているクロックモードに応じたランモードに遷移します。

Table 3-6 タイマモードからの割込み復帰後の動作モード

	タイマモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

■ 復帰時の発振安定待ち

リセットにより復帰した場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、発振安定待ちはありません。

■ 復帰時の内蔵レギュレータ電圧安定待ち

低速 CR タイマモード，サブタイマモードからのリセットおよび割込みによる復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百μs)を自動的に確保します。その後に復帰動作を行います。

<注意事項>

- *復帰に使用する割込みの優先度設定が CPU を復帰させるレベルに設定されていない場合は、割込みによりクロックは復帰しますが、CPU は復帰せずに停止した状態を継続します。そのため、必ず割込み優先度設定は CPU が復帰可能なレベルに設定してください。*
- *タイマモードへ遷移する前に必ず Table 3-4 のタイマモードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。*
- *デバッグ中にタイマモードに遷移した場合は、CPU へのクロックが停止するため、ICE からランモードへの復帰ができません。リセットまたは割込みによる復帰を使用してください。*
- *低速 CR タイマモード，サブタイマモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

3.3 RTC モードの動作

RTC モードは、サブ発振器以外の発振を停止します。時計カウンタ, RTC, 低電圧検出回路以外のすべての機能が停止します。

RTC モード機能

■ CPU, オンチップメモリ

RTC モードでは、CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止します。ただし、オンチップメモリの内容は保持されます。またデバッグ機能が停止します。

■ 周辺機能

すべての APB バスクロックは停止し、時計カウンタ, RTC, 低電圧検出回路以外のすべてのリソースは最後の状態のまま停止します。

■ 時計カウンタ, RTC

時計カウンタのカウント動作は、RTC モードの影響をうけず、RTC モードに遷移する前の設定に従って動作を続けますが、時計カウンタ割込みによる RTC モードからの復帰は行えません。
RTC は RTC モードの影響を受けません。RTC モードに遷移する前の設定に従って動作を続けます。

■ 発振クロック

それぞれの発振クロックの状態を、Table 3-3 に示します。

■ リセットと割込み

リセットと割込みは RTC モードからの復帰に使用できます。

■ 外部バス

外部バスは RTC モードで停止します。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子が RTC モードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを制御します。

RTC モード設定手順

次の手順を実施すると RTC モードへ遷移します。

5. システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"の状態で、RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"1"を設定してください。
6. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"0"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、RTC モードでの端子状態を設定してください。
7. Cortex-M0+システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
8. WFI または WFE 命令を実行してください。

<注意事項>

- *ディープスタンバイ RTC モード, ディープスタンバイストップモードを搭載していない製品には DSTM ビットがありません。詳細は Table 1-1 を参照してください。*

RTC モード復帰

次のいずれかの場合に CPU が RTC モードから復帰します。

■ リセットによる復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

■ 割込みによる復帰

RTC モードにある間に有効な NMI 割込み, 外部割込み, RTC 割込み, 低電圧検出割込みの要求を受け付けると、RTC モードから復帰して、システムクロックモード状態レジスタ(SCM_STR)の RCM[2:0]ビットに示されているクロックモードに応じたランモードに遷移します。

Table 3-7 RTC モードからの割込み復帰後の動作モード

	RTC モード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

■ 復帰時の発振安定待ち

リセットにより復帰した場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、RTC モード遷移前のマスタクロックにより、発振安定待ちが変わります。Table 3-8 に示します。

Table 3-8 RTC モードからの割込み復帰時の発振安定待ち

		RTC モード遷移前のマスタクロック状態				
		RCM=000 (高速CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速CR 発振)	RCM=101 (サブ発振)
割込み復帰後の発振安定待ち	高速 CR クロック	有	HCR="許可": 有*1 その他: 無	PINC="1" または HCR="許可": 有*1 その他: 無	無	
	メイン クロック	MOSCE="0" : 無 MOSCE="1" : 有	有	PINC="0" または MOSCE="1": 有 その他: 無	無	
	メイン PLL クロック	PLLE="0" : 無 PLLE="1" : 有	PLLE="0" : 無 PLLE="1" : 有	有	無	
	低速 CR クロック	有				
	サブ クロック	無*2				

*1 : HCR は HCRE ="1" または MCSVE="1" または FCSDE="1"の時に許可と定義します。

*2 : TYPE1-M0+/TYPE2-M0+/TYPE3-M0+ 製品は発振安定待ち時間をとりますが、実際の発振は継続しているためクロック安定待ち時間レジスタ(CSW_TMR)の SOWT ビット設定を最小の待ち時間設定"1100"にすることが可能です。

■ 復帰時の内蔵レギュレータ電圧安定待ち

RTC モードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百µs)を自動的に確保します。その後に復帰動作を行います。

＜注意事項＞

- *復帰に使用する割込みの優先度設定が CPU を復帰させるレベルに設定されていない場合は、割込みによりクロックは復帰しますが、CPU は復帰せずに停止した状態を継続します。そのため、必ず割込み優先度設定は CPU が復帰可能なレベルに設定してください。*
- *RTC モードへ遷移する前に必ず Table 3-4 のタイマモードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。*
- *デバッグ中に RTC モードに遷移した場合は、CPU へのクロックが停止するため、ICE からランモードへの復帰ができません。リセットまたは割込みによる復帰を使用してください。*
- *RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

3.4 ストップモードの動作

ストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止します。

ストップモード機能

■ CPU, オンチップメモリ

ストップモードでは、CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止します。ただし、オンチップメモリの内容は保持されます。またデバッグ機能が停止します。

■ 周辺機能

すべての APB バスクロックは停止し、低電圧検出回路以外のすべてのリソースは最後の状態のまま停止します。

■ 発振クロック

すべて停止します。

■ リセットと割込み

リセットと割込みはストップモードからの復帰に使用できます。

■ 外部バス

外部バスはストップモードで停止します。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子がストップモードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを制御します。

ストップモード設定手順

次の手順を実施するとストップモードへ遷移します。

9. RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"0"を設定してください。
10. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"0"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、ストップモードでの端子状態を設定してください。
11. Cortex-M0+システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
12. WFI または WFE 命令を実行してください。

<注意事項>

- *ディープスタンバイ RTC モード, ディープスタンバイストップモードを搭載していない製品には DSTM ビットがありません。詳細は Table 1-1 を参照してください。*

ストップモード復帰

次のいずれかの場合に CPU がストップモードから復帰します。

■ リセットによる復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

■ 割込みによる復帰

ストップモードにある間に有効な NMI 割込み, 外部割込み, 低電圧検出割込みの要求を受け付けると、ストップモードから復帰して、システムクロックモード状態レジスタ(SCM_STR)の RCM[2:0]ビットに示されているクロックモードに応じたランモードに遷移します。

Table 3-9 ストップモードからの割込み復帰後の動作モード

	ストップモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

■ 復帰時の発振安定待ち

リセットにより復帰した場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、ストップモード遷移前のマスタクロックにより、発振安定待ちが変わります。Table 3-10 に示します。

Table 3-10 ストップモードからの割込み復帰時の発振安定待ち

		ストップモード遷移前のマスタクロック状態				
		RCM=000 (高速CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速CR 発振)	RCM=101 (サブ発振)
割込み復帰後の発振安定待ち	高速 CR クロック	有	HCR="許可": 有 * その他: 無	PINC="1" または HCR="許可": 有* その他: 無	無	
	メイン クロック	MOSCE="0" : 無 MOSCE="1" : 有	有	PINC="0" または MOSCE="1": 有 その他: 無	無	
	メイン PLL クロック	PLLE="0" : 無 PLLE="1" : 有	PLLE="0" : 無 PLLE="1" : 有	有	無	
	低速 CR クロック	有				
	サブ クロック	SOSCE="0" : 無 SOSCE="1" : 有				有

* : HCR は HCRE ="1" または MCSVE="1" または FCSDE="1"の時に許可と定義します。

■ 復帰時の内蔵レギュレータ電圧安定待ち

ストップモードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百µs)を自動的に確保します。その後に復帰動作を行います。

<注意事項>

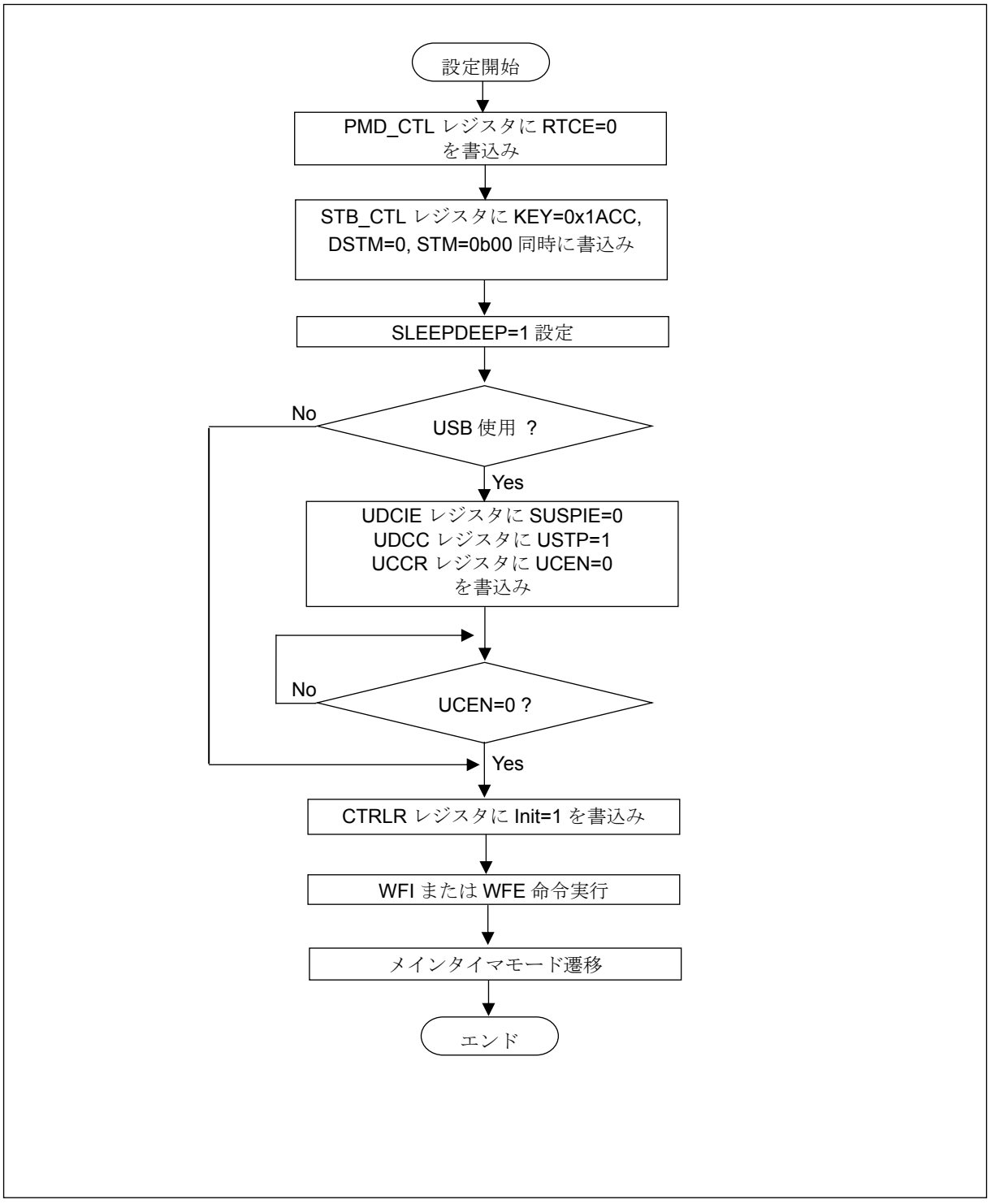
- *復帰に使用する割込みの優先度設定が CPU を復帰させるレベルに設定されていない場合は、割込みによりクロックは復帰しますが、CPU は復帰せずに停止した状態を継続します。そのため、必ず割込み優先度設定は CPU が復帰可能なレベルに設定してください。*

- *ストップモードへ遷移する前に必ずTable 3-4 のタイマモードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。*
- *デバッグ中にストップモードに遷移した場合は、CPU へのクロックが停止するため、ICE からランモードへの復帰ができません。リセットまたは割込みによる復帰を使用してください。*
- *ストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

4. スタンバイモードの設定手順例

各スタンバイモードの設定手順例を説明します。

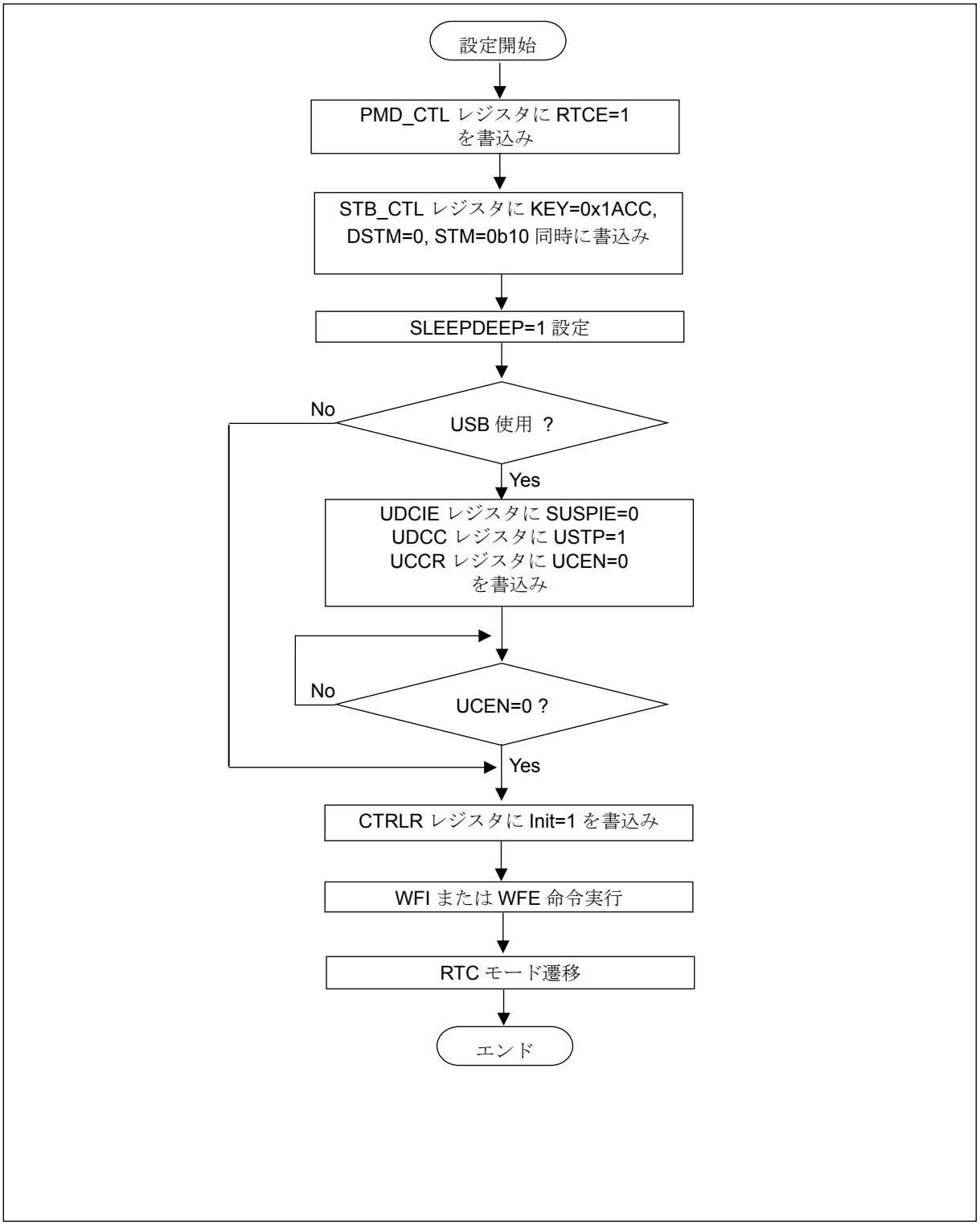
Figure 4-1 メインタイマモード設定手順例



<注意事項>

- *ディープスタンバイ RTC モード，ディープスタンバイストップモードを搭載していない製品があります。詳細は Table 1-1 を参照してください。*

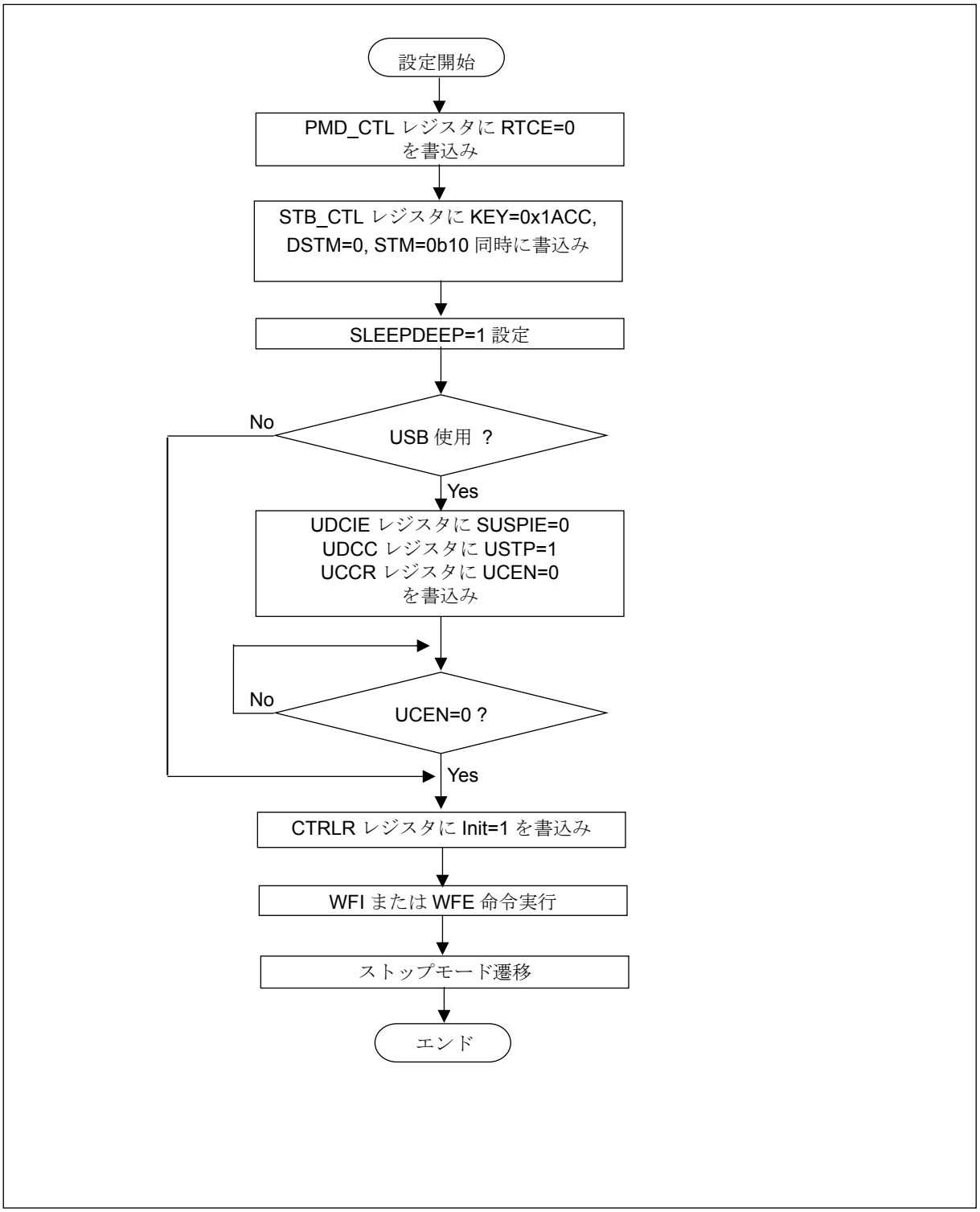
Figure 4-2 RTC モード設定手順例(マスタクロックはメインクロックを選択)



<注意事項>

- *RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*
- *RTC モード制御レジスタ(PMD_CTL)の RTCE ビットへの"1"書込みは、システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"のときのみ有効です。*
- *ディープスタンバイ RTC モード，ディープスタンバイストップモードを搭載していない製品には DSTM ビットがありません。詳細は Table 1-1 を参照してください。*

Figure 4-3 ストップモード設定手順例(マスタクロックはメインクロックを選択)



<注意事項>

- *ストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*
- *ディープスタンバイ RTC モード，ディープスタンバイストップモードを搭載していない製品には DSTM ビットがありません。詳細は Table 1-1 を参照してください。*

5. ディープスタンバイモードの動作説明

ディープスタンバイモードの動作について説明します。
ディープスタンバイモードには、ディープスタンバイ RTC モードおよびディープスタンバイストップモードがあります。

5.1 ディープスタンバイモードの動作

ディープスタンバイモード時のクロック動作状態

ディープスタンバイ RTC モード, ディープスタンバイストップモードにある間の発振クロック, CPU クロック, AHB バスクロック, APB バスクロックの状態を示します。

Table 5-1 ディープスタンバイモード時のクロック動作状態

	ディープスタンバイ RTC モード	ディープスタンバイ ストップモード
高速 CR クロック	停止	停止
メインクロック		
メイン PLL クロック		
低速 CR クロック		
サブクロック	動作	
USB PLL クロック	停止	
CPU クロック		
AHB バスクロック		
APB0 バスクロック		
APB1 バスクロック		

ディープスタンバイモードからの復帰要因

ディープスタンバイ RTC モード, ディープスタンバイストップモードからの復帰要因を示します。

Table 5-2 ディープスタンバイスタンバイモードからの復帰要因

	ディープスタンバイ RTC モード	ディープスタンバイ ストップモード
ディープスタンバイ 復帰要因	- INITX 端子入力リセット - 低電圧検出リセット	- INITX 端子入力リセット - 低電圧検出リセット
	- 低電圧検出割込み - RTC 割込み - HDMI-CEC/リモコン受信割込み	- 低電圧検出割込み
	- WKUP 端子入力	- WKUP 端子入力

<注意事項>

- *ディープスタンバイモードからの復帰後、各割込み要因は保持されています。しかし、ディープスタンバイ遷移リセットで NVIC が初期化されているため、割込み処理は行われません。*

ディープスタンバイモード時の内部電源状態とリセット状態

ディープスタンバイモード時の各機能の電源状態と、ディープスタンバイ遷移リセットでの初期化状態を示します。

Table 5-3 ディープスタンバイモード時の内部電源状態と初期化状態

	Product TYPE	電源状態	リセット状態
CPU	TYPE2-M0+	オフ	初期化する
オンチップフラッシュ		オフ	*1
オンチップ SRAM		オフ *2	*3
RTC		オン	初期化しない
HDMI-CEC/リモコン受信		オン	初期化しない
低電圧検出回路		オン	初期化しない
GPIO		オン	一部初期化する *4
ディープスタンバイ制御部		オン	初期化しない
上記以外の周辺機能		オフ	初期化する
CPU	TYPE3-M0+	オフ	初期化する
オンチップフラッシュ		オフ	*1
オンチップ SRAM		オフ *2*5	*3
RTC		オン	初期化しない
HDMI-CEC/リモコン受信		オン	初期化しない
低電圧検出回路		オン	初期化しない
GPIO		オフ	初期化する
ディープスタンバイ制御部		オン	初期化しない
上記以外の周辺機能		オフ	初期化する

*1: オンチップフラッシュの内容は保持されます。

*2: オンチップ SRAM の内容を保持可能です。
オンチップ SRAM の内容を保持する設定の時は、オンチップ SRAM は電源オンになります。

*3: 電源状態がオフの時は、オンチップ SRAM の内容は保持されません。
オンチップ SRAM の内容を保持する設定の時は、オンチップ SRAM の内容は保持されます。

*4: PFR0 の bit4:0 及び CEC を除く PFRx レジスタが初期化され、ほかは初期化されません。

*5: SRAM の内容を保持する設定の時は、0x2000_3000~0x2000_3FFF のアドレス領域の内容が保持されます。

5.2 ディープスタンバイ RTC モードの動作

ディープスタンバイ RTC モードは、サブ発振器以外の発振を停止します。RTC, HDMI-CEC/リモコン受信, 低電圧検出回路以外のすべての機能が停止します。RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュ, オンチップ SRAM*, 周辺機能をチップ内部で電源オフします。

ディープスタンバイ RTC モード機能

■ CPU, オンチップメモリ

ディープスタンバイ RTC モードでは、CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止し、CPU, オンチップフラッシュ, オンチップ SRAM*を電源オフします。CPU のレジスタの内容とオンチップ SRAM の内容は保持されません*。オンチップフラッシュメモリの内容は保持されます。また、デバッグ機能が停止し、電源オフします。

*: オンチップ SRAM の内容を保持可能です。
オンチップ SRAM の内容を保持する設定の時は、オンチップ SRAM は電源オンになります。

■ 周辺機能

すべての APB バスクロックは停止し、RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外のすべてのリソースの電源をオフします。

■ RTC, HDMI-CEC/リモコン受信

RTC, HDMI-CEC/リモコン受信はディープスタンバイ RTC モードの影響を受けません。ディープスタンバイ RTC モードに遷移する前の設定に従って動作を続けます。

■ 発振クロック

それぞれの発振クロックの状態を、Table 5-1 に示します。

■ リセットと割込みと WKUP 端子入力

リセットと割込みと WKUP 端子入力はディープスタンバイ RTC モードからの復帰に使用できます。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子がディープスタンバイ RTC モード時に GPIO に切り換わるか、ハイインピーダンス状態にするかを制御します。

ディープスタンバイ RTC モードの設定手順

次の手順を実施するとディープスタンバイ RTC モードへ遷移します。

13. システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"の状態で、RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"1"を設定してください。
14. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"1"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、ディープスタンバイ RTC モードでの端子状態を設定してください。
15. Cortex-M0+システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
16. WFI または WFE 命令を実行してください。

<注意事項>

- *ディープスタンバイ RTC モード, ディープスタンバイストップモードを搭載していない製品には DSTM ビットがありません。詳細は Table 1-1 を参照してください。*

ディープスタンバイ RTC モード復帰

次のいずれかの場合に CPU がディープスタンバイ RTC モードから復帰します。

■ リセットと割込みと WKUP 端子入力による復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット)の発生またはディープスタンバイ RTC モードにある間に有効な RTC 割込み, HDMI-CEC/リモコン受信割込み, 低電圧検出割込み, WKUP 端子入力の要求を受け付けると、ディープスタンバイ RTC モードから復帰して、クロックモードに関係なく、ディープスタンバイ遷移リセット発生により高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

■ 復帰時の発振安定待ち

復帰要因に関わらず、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。

■ 復帰時の内蔵レギュレータ電圧安定待ち

ディープスタンバイ RTC モードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百µs)を自動的に確保します。その後に復帰動作を行います。

<注意事項>

- *ディープスタンバイ RTC モードへ遷移する前に必ず Table 5-2 のディープスタンバイ RTC モードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。*
- *デバッグ中にディープスタンバイ RTC モードに遷移した場合は、デバッグ機能の電源がオフするため、ICE からランモードへの復帰ができません。リセット, 割込みまたは WKUP 端子入力による復帰を使用してください。*
- *ディープスタンバイ RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

5.3 ディープスタンバイストップモードの動作

ディープスタンバイストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止します。RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュ, オンチップ SRAM*, 周辺機能をチップ内部で電源オフします。

ディープスタンバイストップモード機能

■ CPU, オンチップメモリ

ディープスタンバイストップモードでは、CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止し、CPU, オンチップフラッシュ, オンチップ SRAM*を電源オフします。CPU のレジスタの内容とオンチップ SRAM の内容は保持されません*。オンチップフラッシュメモリの内容は保持されます。また、デバッグ機能が停止し、電源オフします。

*: オンチップ SRAM の内容を保持可能です。
オンチップ SRAM の内容を保持する設定の時は、オンチップ SRAM は電源オンになります。

■ 周辺機能

すべての APB バスクロックは停止し、RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外のすべてのリソースの電源をオフします。

■ 発振クロック

すべて停止します。

■ リセットと WKUP 端子入力

リセットと WKUP 端子入力はディープスタンバイストップモードからの復帰に使用できます。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子がディープスタンバイストップモード時に GPIO に切り換わるか、ハイインピーダンス状態にするかを制御します。

ディープスタンバイストップモードの設定手順

以下の手順を実施するとディープスタンバイストップモードへ遷移します。

17. RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"0"を設定してください。
18. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"1"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、ディープスタンバイストップモードでの端子状態を設定してください。
19. Cortex-M0+システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
20. WFI または WFE 命令を実行してください。

<注意事項>

- *ディープスタンバイ RTC モード, ディープスタンバイストップモードを搭載していない製品には DSTM ビットがありません。詳細は Table 1-1 を参照してください。*

ディープスタンバイストップモード復帰

以下のいずれかの場合に CPU がディープスタンバイストップモードから復帰します。

■ リセットと割込みと WKUP 端子入力による復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット)の発生またはディープスタンバイストップモードにある間に有効な低電圧検出割込み, WKUP 端子入力の要求を受け付けると、ディープスタンバイストップモードから復帰して、クロックモードに関係なく、ディープスタンバイ遷移リセットにより高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

■ 復帰時の発振安定待ち

復帰要因に関わらず、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。

■ 復帰時の内蔵レギュレータ電圧安定待ち

ディープスタンバイストップモードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百µs)を自動的に確保します。その後に復帰動作を行います。

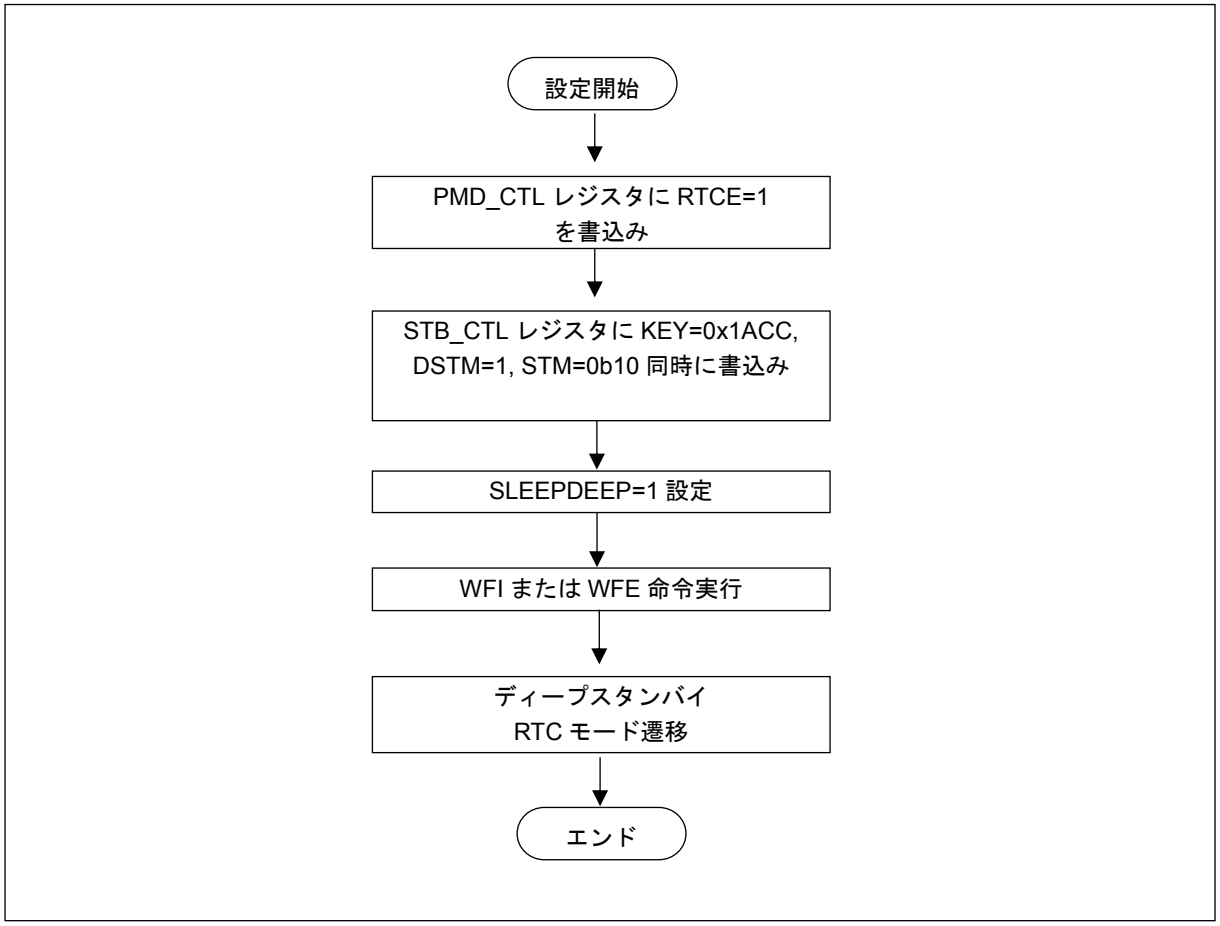
<注意事項>

- *ディープスタンバイストップモードへ遷移する前に必ずTable 5-2 のディープスタンバイ RTC モードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。*
- *デバッグ中にディープスタンバイストップモードに遷移した場合は、デバッグ機能の電源がオフするため、ICE からランモードへの復帰ができません。リセット, 割込みまたは WKUP 端子入力による復帰を使用してください。*
- *ディープスタンバイストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

6. ディープスタンバイモードの設定手順例

ディープスタンバイモードの設定手順例を説明します。

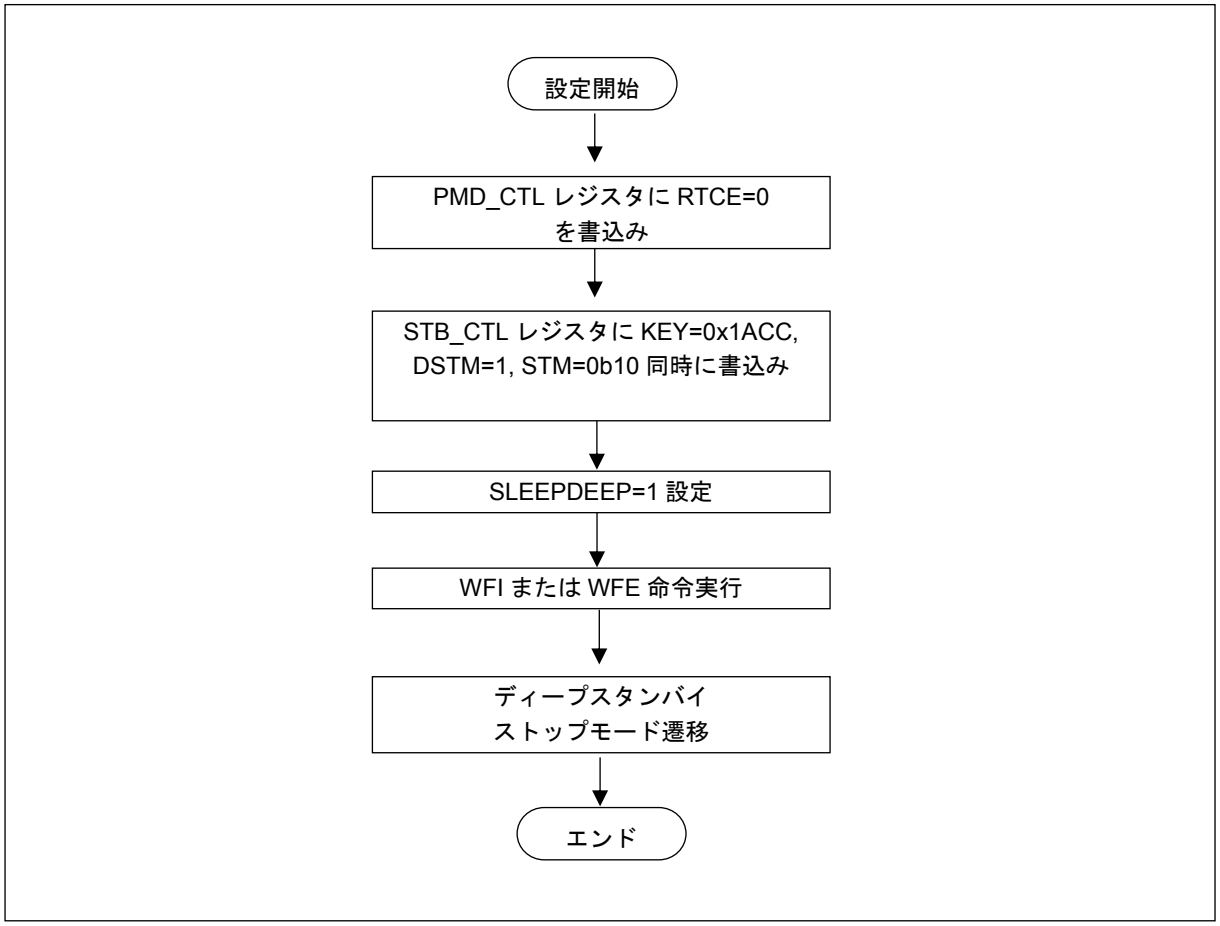
Figure 6-1 ディープスタンバイ RTC モードの設定手順例



<注意事項>

- *ディープスタンバイ RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*
- *RTC モード制御レジスタ(PMD_CTL)の RTCE ビットへの"1"書込みは、システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"のときのみ有効です。*

Figure 6-2 ディープスタンバイストップモードの設定手順例



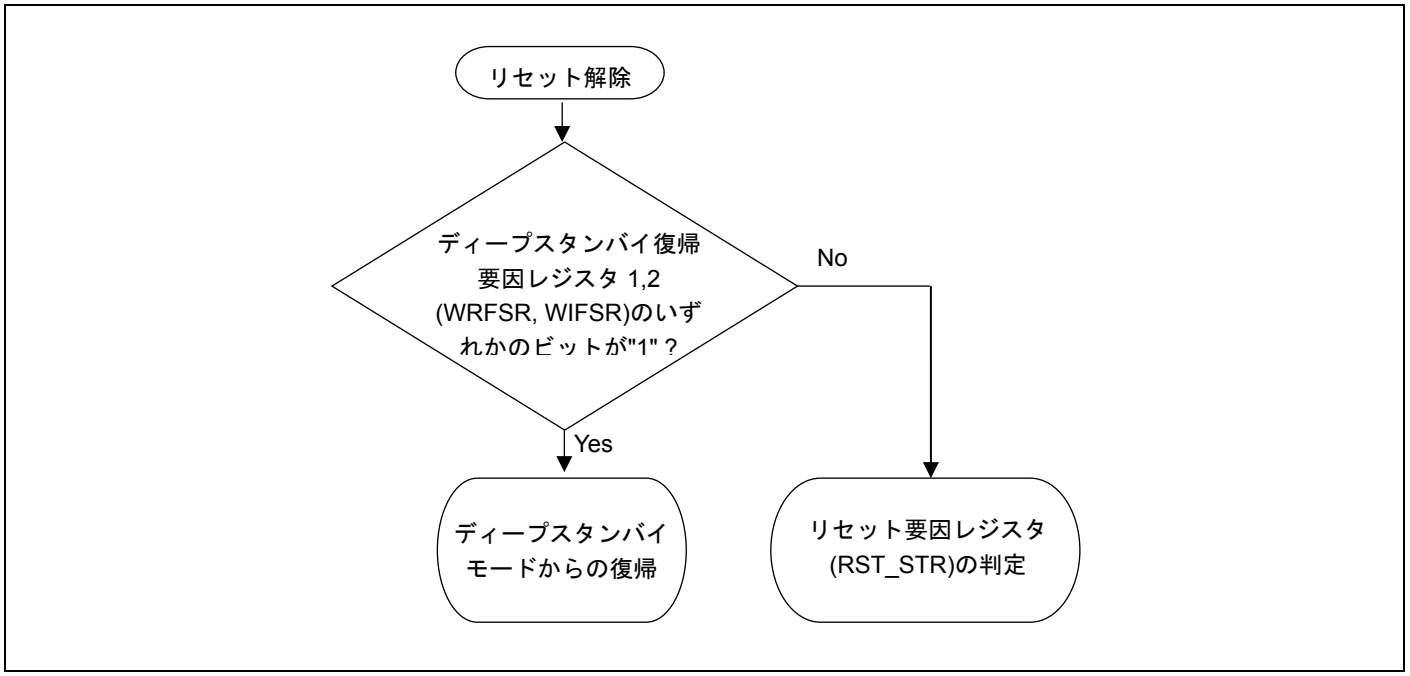
<注意事項>

- *ディープスタンバイストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

7. ディープスタンバイ復帰要因判定の手順

ディープスタンバイモードからの復帰を判定する手順例を Figure 7-1 に示します。

Figure 7-1 ディープスタンバイ復帰要因判定の手順例



<注意事項>

- *ディープスタンバイモードへの遷移時、ディープスタンバイ遷移リセット後に CPU の電源がオフされます。そのためディープスタンバイモードからの復帰時、リセット要因レジスタ(RST_STR)の値は無効です。*

8. レジスタ

低消費電力モードで使用するレジスタについて説明します。

低消費電力モードのレジスター覧

Table 8-1 低消費電力モードのレジスター覧

レジスタ略称	レジスタ名	参照先
STB_CTL	スタンバイモードコントロールレジスタ	8.1

■ ディープスタンバイ制御部のレジスター覧

Table 8-2 ディープスタンバイ制御部のレジスター覧

レジスタ略称	レジスタ名	参照先
REG_CTL	サブ発振回路電源制御レジスタ	8.2
RCK_CTL	サブクロック供給制御レジスタ	8.3
PMD_CTL	RTC モード制御レジスタ	8.4
WRFSR	ディープスタンバイ復帰要因レジスタ 1	8.5
WIFSR	ディープスタンバイ復帰要因レジスタ 2	8.6
WIER	ディープスタンバイ復帰許可レジスタ	8.7
WILVR	WKUP 端子入力レベルレジスタ	8.8
DSRAMR	ディープスタンバイ RAM 保持レジスタ	8.9
BUR01~16	バックアップレジスタ 01~16	8.10
MOSC_CTL	メイン発振水晶タイプ選択制御レジスタ	8.11
WIOLC_CTL	IO 状態保持制御レジスタ	8.12
SUBOSC_CTL	サブ発振 IO 制御レジスタ	8.13
CEC_CTL	CEC 入出力制御レジスタ	8.14
DEBUG_SW_CTL	シリアルワイヤデバッグ制御レジスタ	8.15

■ 各タイプで使用可能なレジスター一覧

Table 8-3 各タイプで使用可能なレジスター一覧

レジスタ略称	TYPE1-M0+	TYPE2-M0+	TYPE3-M0+
STB_CTL	○	○	○
REG_CTL	○	-	○
RCK_CTL	○	○	○
PMD_CTL	○	○	○
WRFSR	-	○	○
WIFSR	-	○	○
WIER	-	○	○
WILVR	○	○	○
DSRAMR	-	○	○
BUR01 to 16	-	○	○
MOSC_CTL	-	○	○
WIOLC_CTL	-	-	○
SUBOSC_CTL	-	-	○
CEC_CTL	-	-	○
DEBUG_SW_CTL	-	-	○

<注意事項>

- *システムクロックモード制御レジスタ(SCM_CTL)の詳細は、別章『クロック』を参照してください。*
  ディープスタンバイ制御部のレジスタは、ディープスタンバイモード時に電源オフしません。

8.1 スタンバイモードコントロールレジスタ(STB_CTL)

スタンバイモードコントロールレジスタ(STB_CTL)はスタンバイモード, ディープスタンバイモードを制御するレジスタです。SPL ビット, DSTM ビット, STM ビットの書込みは、KEY ビットの値に 0x1ACC が同時に書き込まれたときのみ、値が有効となります。

レジスタ構成

bit	31															16	15							8
Field	KEY																予約							
属性	R/W																-							
初期値	0x0000																0x00							

bit	7	6	5	4	3	2	1	0
Field	予約			SPL	予約	DSTM	STM	
属性	-			R/W	-	R/W	R/W	
初期値	000			0	0	0	00	

レジスタ機能

[bit31:16] KEY： スタンバイモードコントロール書込み制御ビット

本ビットは SPL ビット, DSTM ビット, STM ビットの書込み制御を解除します。

- 0x1ACC を書き込んだときのみ、SPL ビット, DSTM ビットおよび STM ビットへの書込みが有効になります。
- 0x1ACC 以外の値を書き込んだときは SPL ビット, DSTM ビットおよび STM ビットへの書込みは無効です。
- 読出しは常に 0x0000 が読み出されます。

[bit15:5] 予約 ： 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

[bit4] SPL： スタンバイ端子レベル設定ビット

本ビットは、タイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモード時の端子の状態を設定します。

bit	説明
0	タイマモード, RTC モード, ストップモード時に各端子の状態を保持し、ディープスタンバイ RTC モード, ディープスタンバイストップモード時に GPIO に切り換えます。[初期値]
1	タイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモード時に各端子の状態をハイインピーダンスにします。

[bit3] 予約 ： 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

[bit2] DSTM : ディープスタンバイモード選択ビット

本ビットは、スタンバイモードかディープスタンバイモードのどちらに遷移するかを選択します。

[bit1:0] STM : スタンバイモード選択ビット

本ビットは、DSTM ビットと RTC モード制御レジスタ(PMD_CTL)の RTCE ビットの組合せでタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードに遷移するか選択します。

DSTM	STM		PMD_CTL:RTCE	説明
	bit1	bit0		
0	0	0	0	タイマモード[初期値]
0	0	0	1	設定禁止
0	0	1	0	設定禁止
0	0	1	1	設定禁止
0	1	0	0	ストップモード
0	1	0	1	RTC モード
0	1	1	0	設定禁止
0	1	1	1	設定禁止
1	0	0	0	設定禁止
1	0	0	1	設定禁止
1	0	1	0	設定禁止
1	0	1	1	設定禁止
1	1	0	0	ディープスタンバイストップモード
1	1	0	1	ディープスタンバイ RTC モード
1	1	1	0	設定禁止
1	1	1	1	設定禁止

<注意事項>

- *スタンバイモードコントロールレジスタ(STB_CTL)の SPL ビット, DSTM ビット, STM ビットの書込みは、KEY ビットに 0x1ACC が同時に書き込まれたときのみ値が有効となります。KEY ビットにそれ以外の値が書き込まれた場合は、SPL ビット, DSTM ビット, STM ビットの書込みは無効となります。*

8.2 サブ発振回路電源制御レジスタ(REG_CTL)

サブ発振回路電源制御レジスタ(REG_CTL)はサブ発振回路の電源を制御するレジスタです。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					ISUBSEL		予約
属性			-			R/W		-
初期値			00000			10		0

レジスタ機能

[bit7:3] 予約 : 予約ビット

読出しは常に"0b00000"が読み出されます。書込みは動作に影響しません。

[bit2:1] ISUBSEL : サブ発振回路電流設定ビット

本ビットは、サブ発振回路への電流を設定します。

bit2	bit1	説明
0	0	設定禁止
0	1	設定禁止
1	0	360nA[初期値]
1	1	設定禁止

[bit0] 予約 : 予約ビット

読出しは常に"0b0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *本レジスタはソフトウェアリセットとディープスタンバイ遷移リセットで初期化されません。*
- *TYPE2-M0+製品では使用できません。*

8.3 サブクロック供給制御レジスタ(RCK_CTL)

サブクロック供給制御レジスタ(RCK_CTL)は RTC,HDMI-CEC/リモコン受信へのクロックを制御するレジスタです。

使用しないリソースに対してクロックの供給を停止することで、消費電力を削減できます。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						CECCKE	RTCCKE
属性	-						R/W	R/W
初期値	000000						0	1

レジスタ機能

[bit7:2] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。書込みは動作に影響しません。

[bit1] CECCKE : CEC クロック制御ビット

本ビットは、HDMI-CEC/リモコン受信マクロへのサブクロックを制御します。

bit	説明
0	HDMI-CEC/リモコン受信マクロにサブクロックを供給しません。[初期値]
1	HDMI-CEC/リモコン受信マクロにサブクロックを供給します。

[bit0] RTCCKE : RTC クロック制御ビット

本ビットは、RTC マクロへのサブクロックを制御します。

bit	説明
0	RTC マクロにサブクロックを供給しません。
1	RTC マクロにサブクロックを供給します。[初期値]

8.4 RTC モード制御レジスタ(PMD_CTL)

RTC モード制御レジスタ(PMD_CTL)は RTC モードまたはストップモード, ディープスタンバイ RTC モードまたはディープスタンバイストップモードを制御するレジスタです。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							RTCE
属性				-				R/W
初期値				0000000				0

レジスタ機能

[bit7:1] 予約 : 予約ビット

読出しは常に"0b0000000"が読み出されます。書込みは動作に影響しません。

[bit0] RTCE : RTC モード制御ビット

本ビットは、ストップモード, ディープスタンバイストップモードまたは、RTC モード, ディープスタンバイ RTC モードに遷移するかを選択します。

bit	説明
0	ストップモード, ディープスタンバイストップモード[初期値]
1	RTC モード, ディープスタンバイ RTC モード

DSTM=0 の時スタンバイモード、DSTM=1 の時ディープスタンバイモードに選択されます。

<注意事項>

- *本レジスタはソフトウェアリセットとディープスタンバイ遷移リセットで初期化されません。*
- *RTCE ビットへの"1"書込みは、システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"のときのみ有効です。*
- *システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビットとシステムクロックモード状態レジスタ(SCM_STR)の SORDY ビットの値に関わらず、RTCE=1 の時、サブ発振は許可状態です。*

8.5 ディープスタンバイ復帰要因レジスタ 1 (WRFSR)

ディープスタンバイ復帰要因レジスタ 1 (WRFSR)はディープスタンバイモード中に発生した低電圧検出リセットと INITX 端子入力リセットによる復帰要因を示すレジスタです。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						WLVDH	WINITX
属性	-						R	R
初期値	000000						0	0

レジスタ機能

[bit7:2] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。書込みは動作に影響しません。

[bit1] WLVHD : 低電圧検出リセット復帰ビット

低電圧検出リセットでディープスタンバイモードから復帰したことを示します。

bit	説明
0	低電圧検出リセットで復帰していません。[初期値]
1	低電圧検出リセットで復帰しました。

[bit0] WINITX : INITX 端子入力リセット復帰ビット

INITX 端子入力リセットでディープスタンバイモードから復帰したことを示します。

bit	説明
0	INITX 端子入力リセットで復帰していません。[初期値]
1	INITX 端子入力リセットで復帰しました。

<注意事項>

- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。また、本レジスタは読出しにより全ビットがクリアされます。*
- *ディープスタンバイモードへ遷移する前に必ず復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。*
- *本レジスタはディープスタンバイモード中のみセットされます。*

8.6 ディープスタンバイ復帰要因レジスタ 2 (WIFSR)

ディープスタンバイ復帰要因レジスタ 2 (WIFSR)はディープスタンバイモード中に発生した WKUPx 端子入力, 低電圧検出割込みと RTC 割込み, HDMI-CEC/リモコン受信割込みによる復帰要因を示すレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	WUI11	WUI10	WUI9	WUI8	WUI7	WUI6	WCEC1I	WCEC0I
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	WUI5	WUI4	WUI3	WUI2	WUI1	WUI0	WLVDI	WRTCI
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:10] WUI11～WUI6 : WKUPx 端子入力復帰ビット

WKUPx 端子入力でディープスタンバイモードから復帰したことを示します。

bit	説明
0	WKUPx 端子入力で復帰していません。[初期値]
1	WKUPx 端子入力で復帰しました。

[bit9] WCEC1I: CEC ch.1 割込み復帰ビット

HDMI-CEC/リモコン受信 ch.1 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.1 割込みで復帰していません。[初期値]
1	HDMI-CEC/リモコン受信 ch.1 割込みで復帰しました。

[bit8] WCEC0I: CEC ch.0 割込み復帰ビット

HDMI-CEC/リモコン受信 ch.0 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.0 割込みで復帰していません。[初期値]
1	HDMI-CEC/リモコン受信 ch.0 割込みで復帰しました。

[bit7:2] WUI5~WUI0 : WKUPx 端子入力復帰ビット

WKUPx 端子入力でディープスタンバイモードから復帰したことを示します。

bit	説明
0	WKUPx 端子入力で復帰していません。[初期値]
1	WKUPx 端子入力で復帰しました。

[bit1] WLVDI : LVD 割込み復帰ビット

LVD 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	LVD 割込みで復帰していません。[初期値]
1	LVD 割込みで復帰しました。

[bit0] WRTCI : RTC 割込み復帰ビット

RTC 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	RTC 割込みで復帰していません。[初期値]
1	RTC 割込みで復帰しました。

<注意事項>

- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。また、本レジスタは読出しにより全ビットがクリアされます。*
- *ディープスタンバイモードへ遷移する前に必ず復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。*
- *本レジスタはディープスタンバイモード中のみセットされます。*

8.7 ディープスタンバイ復帰許可レジスタ(WIER)

ディープスタンバイ復帰許可レジスタ(WIER)はディープスタンバイモード中に発生した WKUPx 端子入力, 低電圧検出割込みと RTC 割込み, HDMI-CEC/リモコン受信割込みによる復帰を許可するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	WUI11E	WUI10E	WUI9E	WUI8E	WUI7E	WUI6E	WCEC1E	WCEC0E
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	WUI5E	WUI4E	WUI3E	WUI2E	WUI1E	予約	WLVDE	WRTCE
属性	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:10] WUI11E~WUI6E : WKUPx 端子入力復帰許可ビット

WKUPx 端子入力によるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	WKUPx 端子入力による復帰を禁止します。[初期値]
1	WKUPx 端子入力による復帰を許可します。

[bit9] WCEC1E : HDMI-CEC/リモコン受信 ch.1 割込み復帰許可ビット

HDMI-CEC/リモコン受信 ch.1 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.1 割込みによる復帰を禁止します。[初期値]
1	HDMI-CEC/リモコン受信 ch.1 割込みによる復帰を許可します。

[bit8] WCEC0E : HDMI-CEC/リモコン受信 ch.0 割込み復帰許可ビット

HDMI-CEC/リモコン受信 ch.0 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.0 割込みによる復帰を禁止します。[初期値]
1	HDMI-CEC/リモコン受信 ch.0 割込みによる復帰を許可します。

[bit7:3] WUI5E~WUI1E : WKUPx 端子入力復帰許可ビット

WKUPx 端子入力によるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	WKUPx 端子入力による復帰を禁止します。[初期値]
1	WKUPx 端子入力による復帰を許可します。

[bit2] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

[bit1] WLVDE : LVD 割込み復帰許可ビット

LVD 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	LVD 割込みによる復帰を禁止します。[初期値]
1	LVD 割込みによる復帰を許可します。

[bit0] WRTCE : RTC 割込み復帰許可ビット

RTC 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	RTC 割込みによる復帰を禁止します。[初期値]
1	RTC 割込みによる復帰を許可します。

<注意事項>

- *WKUP0 端子入力によるディープスタンバイモードからの復帰は常に許可されています。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

8.8 WKUP 端子入力レベルレジスタ(WILVR)

WKUP 端子入力レベルレジスタ(WILVR)はディープスタンバイモード中に発生した WKUP1~WKUP5 端子入力の有効レベルを選択するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約					WUI11LV	WUI10LV	WUI9LV
属性			-			R/W	R/W	R/W
初期値			00000			0	0	0

bit	7	6	5	4	3	2	1	0
Field	WUI8LV	WUI7LV	WUI6LV	WUI5LV	WUI4LV	WUI3LV	WUI2LV	WUI1LV
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:11] 予約 : 予約ビット

読出しは常に"0b00000"が読み出されます。書込みは動作に影響しません。

[bit10:0] WUI11LV~WUI1LV : WKUPx 端子入力レベル選択ビット

WKUPx 端子入力の有効レベルを選択します。

bit	説明
0	WKUPx 端子入力が"L"レベルの時に復帰要求します。[初期値]
1	WKUPx 端子入力が"H"レベルの時に復帰要求します。

<注意事項>

- *WKUP0 端子入力は常に"L"レベルで復帰要求します。*
  例として WUI1LV=0 で WKUP1 が"L"レベル入力している時、ディープスタンバイモードに遷移するとすぐに復帰します。
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

8.9 ディープスタンバイ RAM 保持レジスタ(DSRAMR)

ディープスタンバイ RAM 保持レジスタ(DSRAMR)はディープスタンバイモード時にオンチップ SRAM の内容の保持制御を行うレジスタです。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						SRAMR	
属性	-						R/W	
初期値	000000						00	

レジスタ機能

[bit7:2] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。書込みは動作に影響しません。

[bit1:0] SRAMR : オンチップ SRAM 保持制御ビット

本ビットは、ディープスタンバイモード時オンチップ SRAM の内容の保持制御を行います。

bit1	bit0	説明
0	0	ディープスタンバイモード時オンチップ SRAM 領域の内容を保持しません。 [初期値]
0	1	設定禁止
1	0	設定禁止
1	1	ディープスタンバイモード時オンチップ SRAM 領域の内容を保持します。

<注意事項>

- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。*

8.10 バックアップレジスタ 01~16 (BUR01~16)

バックアップレジスタ 01～16 (BUR01～16)はディープスタンバイモード中に値が保持される汎用レジスタです。

レジスタ構成

bit	31 24	23 16	15 8	7 0
Field	BUR04	BUR03	BUR02	BUR01
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	BUR08	BUR07	BUR06	BUR05
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	BUR12	BUR11	BUR10	BUR09
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	BUR16	BUR15	BUR14	BUR13
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

<注意事項>

- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。*

8.11 メイン発振水晶タイプ選択制御レジスタ (MOSC_CTL)

メイン発振水晶タイプ選択制御レジスタ(MOSC_CTL)は外部水晶のタイプを選択するのに使用します。推奨のタイプを適切に合わせることで消費電力の低減が可能になります。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					IMAINSEL		予約
属性	-					R/W		-
初期値	00000					10		0

レジスタ機能

[bit7:3] 予約 : 予約ビット

読出しは常に"0b00000"が読み出されます。書込みは動作に影響しません。

[bit2:1] IMAINSEL: メイン発振回路電流設定ビット

メイン発振回路への電流を設定します。

TYPE2-M0+:

bit1	bit0	説明
0	0	小電力消費(4MHz 水晶のみサポート)
0	1	中電力消費(4MHz/8MHz 水晶サポート)
1	0	高電力消費(4MHz/8MHz/16MHz 水晶サポート) [初期値]
1	1	最大電力消費(48MHz 水晶サポート)

TYPE3-M0+:

bit1	bit0	説明
0	0	設定禁止
0	1	中電力消費(8MHz 水晶サポート)
1	0	高電力消費(8MHz/16MHz 水晶サポート) [初期値]
1	1	最大電力消費(48MHz 水晶サポート)

[bit0] 予約 : 予約ビット

読出しは常に"0b0"が読み出されます。書込みは動作に影響しません。

<注意事項>

- *このレジスタはソフトウェアリセット及びディープスタンバイ遷移リセットで初期化されません。*

8.12 IO 状態保持制御レジスタ(WIOLC_CTL)

IO 状態保持制御レジスタ(WIOCL_CTL)はディープスタンバイ時の IO 状態の保持機能を設定します。また、ディープスタンバイから復帰後、保持された IO の状態を解除します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							予約
属性				-				-
初期値				0000000				0

bit	23	22	21	20	19	18	17	16
Field	予約							LHX_ST
属性				-				R
初期値				0000000				1

bit	15	14	13	12	11	10	9	8
Field	予約							CONTX
属性				-				R/W
初期値				0000000				0

bit	7	6	5	4	3	2	1	0
Field	予約							LH_CL
属性				-				R/W
初期値				0000000				0

レジスタ機能

[bit31:25] 予約 : 予約ビット

読出しは常に"0x00"が読み出されます。書込み時は”0x00”を書込んで下さい。

[bit24] 予約 : 予約ビット

読出しは常に"0x0"が読み出されます。書込み時は”0x0”を書込んで下さい。

[bit23:17] 予約 : 予約ビット

読出しは常に"0x00"が読み出されます。書込み時は”0x00”を書込んで下さい。

[bit16] LHX_ST : IO 状態ビット

IO の状態が保持されているか解除されていかを表します。

Bit16		説明
読み出し	0	IO 状態は保持されています。
	1	IO 状態は解除(スルー)されています。

[bit15:9] 予約 : 予約ビット
読出しは常に"0x00"が読み出されます。書込み時は”0x00”を書込んで下さい。

[bit8] CONTX : IO 状態保持機能有効ビット
IO 状態保持機能を有効にします。

Bit8		説明
読出し		レジスタの値を読み出します。
書込み	0	IO 状態保持機能を有効にする。
	1	IO 状態保持機能を無効にする。

[bit7:1] 予約 : 予約ビット
読出しは常に"0x00"が読み出されます。書込み時は”0x00”を書込んで下さい。

[bit0] LH_CL : IO 状態保持解除ビット
IO の状態保持を解除します。本ビットへの書き込み時は高速 CR クロックが動作している必要があります。

Bit0		説明
読出し		常に’0’が読み出されます。
書込み	0	IO 状態は影響されません。
	1	IO 状態は解除されます(Run モード)。

8.13 サブ発振 IO 制御レジスタ(SUBOSC_CTL)

サブ発振 IO 制御レジスタ(SUBOSC_CTL)はピンをサブクロック(発振)として使用するよう設定する事ができます。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						SUBXC	
属性	-						R/W	
初期値	-						01	

レジスタ機能

[bit7:2] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込み時は”0”を書込んで下さい。

[bit1:0] SUBXC: サブクロック(発振)ピン設定ビット

サブクロック(発振)ピンの使用方法を設定します。

bit1:0		説明
読出し		レジスタの値が読み出されます
書込み	00	ディジタル入出力ピンとして使用する(X0A/X1A をサブクロック(発振)ピンとし使用しない)。
	01	X0A/X1A をサブクロック(発振)ピンとし使用する。[初期値] (I/O セルは、入力状態、入力 Cut-off 状態、及び Pull-up 抵抗未接続状態になります)
	10	設定禁止
	11	ディープスタンバイモード時: 設定禁止 他の動作モード時: X0A は外部クロック入力ピンとして使用。 X1A はディジタル入出力ピンとして使用。

<注意事項>

- *SUBXC ビットに”01”を書き込むだけではサブクロックは発振しません。発振を開始させるには、SUBXC ビットに”01”を書き込んだ後、SCM_CTL レジスタの SOSCE ビットで発信を有効にさせて下さい。詳細は”Clock”の章を参照下さい。*
- *外部クロックを使用する場合には、各製品のデータシートの”取デバイス使用上の注意”の”外部クロック使用時の注意”を参照下さい。*
- *このレジスタはディープスタンバイ遷移リセットでは初期化されません。*

8.14 CEC 入出力制御レジスタ(CEC_CTL)

CEC 入出力制御レジスタ(CEC_CTL) は HDMI-CEC/リモコン受信の入出力選択を行います。

このレジスタは TYPE3-M0+のみ有効です。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				WS_CECR1B		WS_CECR0B	
属性					R/W		R/W	
初期値	0000				00		00	

レジスタ機能

[bit7:4] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

[bit3:2] WS_CECR1B: CEC1 入出力選択ビット

HDMI-CEC/リモコン受信 ch.1 入出力端子 CEC1 の入出力選択を行います。

Bit3:2		説明
読出し		レジスタの値を読み出します。
書込み	00	HDMI-CEC/リモコン受信 ch.1 の入出力を行いません。[初期値]
	01	HDMI-CEC/リモコン受信 ch.1 の入出力端子に CEC1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit1:0] WS_CECR0B: CEC0 入出力選択ビット

HDMI-CEC/リモコン受信 ch.0 入出力端子 CEC0 の入出力選択を行います。

Bit1:0		説明
読出し		レジスタの値を読み出します。
書込み	00	HDMI-CEC/リモコン受信 ch.0 の入出力を行いません。[初期値]
	01	HDMI-CEC/リモコン受信 ch.0 の入出力端子に CEC0_0 を使用します。
	10	設定禁止
	11	設定禁止

Notes:

- *TYPE3-M0+製品では、EPFR18 レジスタの CECR1B/CECR0B ではなく、本レジスタの設定が有効になります。EPFR18 レジスタの CECR1B/CECR0B に書き込む最は、常に 0 を書き込んでください。*
- *WS_CECR1B/WS_CECR0B に"01"を設定した場合、PCR の設定値によらず CEC の Pul*
- *l-up 抵抗が遮断されます。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

8.15 シリアルワイヤデバッグ制御レジスタ (DEBUG_SW_CTL)

シリアルワイヤデバッグ制御レジスタ(DEBUG_SW_CTL)はシリアルワイヤデバッグを行う際の端子の設定を行います。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							DBG_EN
属性	R/W							R/W
初期値	0000000							1

レジスタ機能

[bit7:1] 予約 : 予約ビット

読出しは常に"0"が読み出されます。書込みは動作に影響しません。

[bit0] DBG_EN: SWD 許可ビット

SWD を許可する。

Bit0		説明
読出し		レジスタの値を読み出します。
書込み	0	GPIO を使用する。
	1	シリアルワイヤデバッグポートを使用する。

Notes:

- *SWD を有効にするには、DBG_EN に加えてEPFR00 のSWDEN ビットを1 に設定する必要があります。*
- *シリアルワイヤデバッグポートをGPIO として使用する場合には、本レジスタを0 に設定してください。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

9. 使用上の注意

低消費電力モードを使用する際は、以下の点を注意してください。

アナログ入力と WKUP が兼用されている端子では、WKUPx 端子入力による復帰が許可されている場合でも対応するアナログ入力設定レジスタ(ADE)の ADE ビットが"1"に設定されている時は WKUPx 端子入力が遮断されます。WKUPx 端子入力による復帰を使用する場合は、ディープスタンバイモードに遷移する前に対応するアナログ入力設定レジスタ(ADE)の ADE ビットを"0"に設定してください。

CHAPTER 6-2: VBAT ドメイン

VBAT パワードメインの機能と動作について示します。

1. VBAT ドメインの概要
2. VBAT ドメインの構成
3. チップの電源制御
4. ハイバネーション制御
5. 32 kHz クロックの設定手順
6. VBAT I/O ポートの設定手順
7. レジスター覧
8. 使用上の注意

管理コード: 9BFVBATPD-FM0-J03.0

1. VBAT ドメインの概要

VBAT 電源端子「RTC(カレンダ回路)／32 kHz 発振回路に独立した電源を供給する端子」を使用して、RTC 動作時の消費電力を低減できます。

本機能は TYPE2-M0+製品に適応されます。

電源ドメイン構成

FM0+ファミリは、以下の 3 種類の電源ドメインから構成されます。

■ CPU ドメイン

本ドメインには以下の回路があります。

- CPU
- オンチップフラッシュメモリ
- オンチップ SRAM
- 周辺機能

本ドメインは VCC 電源端子から電源を供給され、ディープスタンバイ RTC モード, ディープスタンバイストップモードで電源がオフになります。

■ Always ON ドメイン

本ドメインには以下の回路があります。

- オンチップレギュレータ
- パワー制御回路
- ポート回路
- メイン発振回路 ＋I/O ポート
- RTC (制御部、タイマ)

本ドメインは VCC 電源端子から常時電源を供給されます。
VCC 電源端子にはシステム電源(オンボードレギュレータ)から電力が供給されます。

■ VBAT ドメイン

本ドメインには以下の回路があります。

- RTC (カレンダ)
- 32kHz 発振回路
- パワーオン回路
- バックアップレジスタ
- ポート回路

本ドメインは VBAT 電源端子から常時電源を供給されます。
VBAT 電源端子には、バックアップ電源(電池など)やシステム電源から電力が供給されます。

オンチップパワーゲーティング

FM0+ファミリをディープスタンバイ RTC モード, ディープスタンバイストップモードにすると、内蔵しているパワースイッチの機能で CPU ドメインの電源をオフにします。
Always ON ドメインは、ディープスタンバイ RTC モード, ディープスタンバイストップモードでも電源オン状態を維持します。

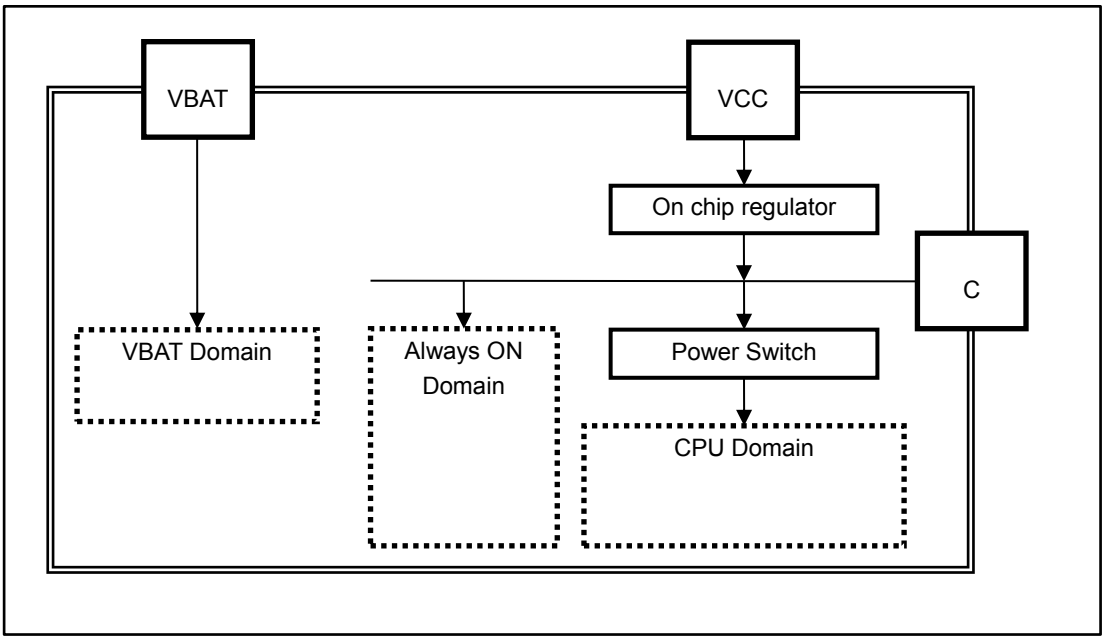
ディープスタンバイ RTC モード, ディープスタンバイストップモードについては『低消費電力モード』の章を参照してください。

オフチップパワーゲーティング

FM0+ファミリの VCC 端子に供給するシステム電源をオフにすると CPU ドメインと Always ON ドメインの電源がオフになります。
この時、バックアップ電源からの電源供給で VBAT ドメインの電源オン状態を維持できます。

RTC に設定したアラーム時刻か外部端子からの入力信号でシステム電源を供給するオンボードレギュレータのオン/オフを制御できます。

Figure 1-1 FM0+ファミリの電源構成図



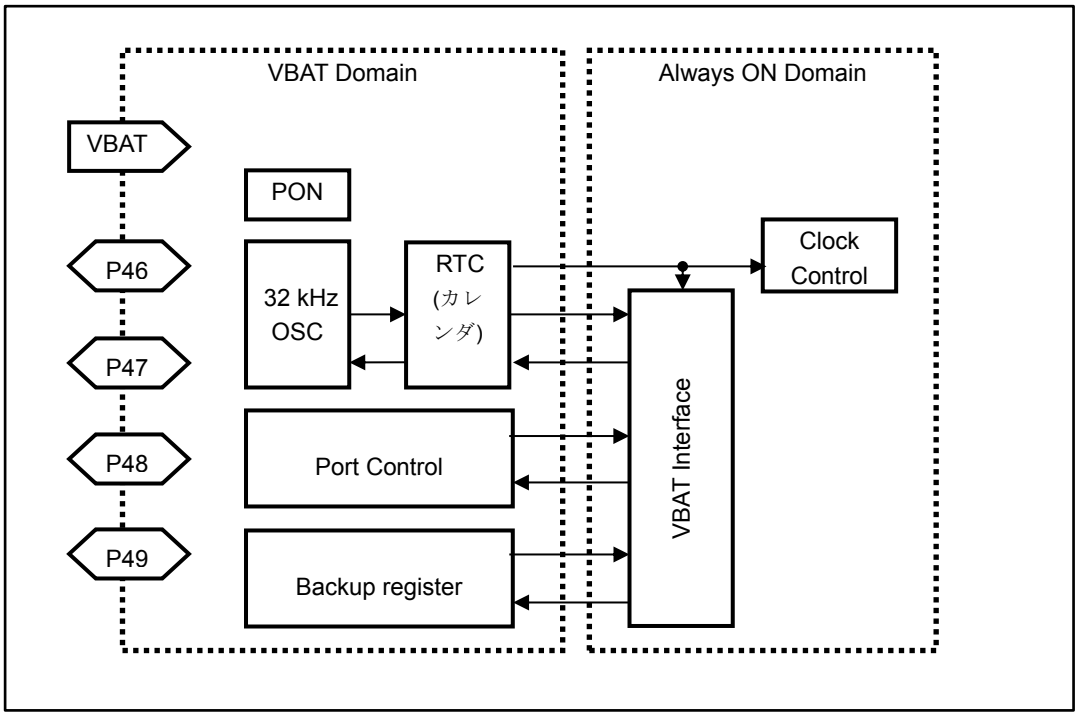
2. VBAT ドメインの構成

VBAT ドメインの内部構成について説明します。

VBAT ドメインの内部構成

VBAT ドメインの内部構成, Always ON ドメインとの接続を Figure 2-1 に示します。

Figure 2-1 VBAT ドメインの内部構成、Always ON ドメインとの接続図



■ RTC (カレンダ)

周波数補償機能付きのカレンダ回路です。タイマ機能は含みません。

■ 32 kHz 発振回路 (32K OSC)

時計用の水晶振動子(32768 Hz)を接続できる発振回路です。

■ パワーオン回路 (PON)

VBAT ドメインのパワーオンを検出し、回路初期化信号を生成します。

■ バックアップレジスタ (Backup register)

32 バイトのレジスタで、VBAT 端子の電源が供給されている間データを保持します。

■ VBAT I/O ポート (P46-P49, Port Control)

VBAT 端子からの電源で駆動される入出力ポートです。

ポートの制御回路が P46-P49 以外の I/O ポートとは独立しています。

2.1 Always ON ドメインとのインタフェース

VBAT ドメインと Always ON ドメインのインタフェース方法について説明します。

2.1.1 インタフェースの概要

VBAT ドメインは、動作電流を抑制するため 32 kHz や PCLK の分周クロックで駆動されます。

そのため、内部バスに VBAT ドメインに属するレジスタを直結すると、そのレジスタをアクセスした際に、CPU などのバスマスタが Wait で待たされます。

FM0+ファミリでは以下の 2 つの対策を行い、アクセスが Wait で待たされることを防止しています。

- Always ON ドメインの中にバッファを設け、内部バスのアクセスはバッファに対して行う。
- Always ON ドメインのバッファと VBAT ドメインのレジスタとの間でデータ転送を行う。

Always ON ドメインのバッファと VBAT ドメインのレジスタとの間のデータ転送動作を、FM0+ファミリのドキュメントでは以下のようによびます。

- リコール: VBAT ドメインのレジスタから Always ON ドメインのバッファへの転送
- セーブ: Always ON ドメインのバッファから VBAT ドメインのレジスタへの転送

バッファに書き込まれたデータは、VCC 電源がオフの期間には消えるため、VCC 電源がオンの間に VBAT ドメインのレジスタに保存してください。

また、VCC 電源が立ち上がった直後や Always ON ドメインにリセットが発生した場合、バッファの値は Always ON ドメイン系のリセット信号で初期化されています。

バッファから値を読み出す前にリコール動作を行い、VBAT 電源(バックアップ電源)で保持していたレジスタの値をバッファに読み出してください。

RTC のカレンダ部分のバッファのデータは自動的には更新されません。
バッファから時刻データを読み出す前に、リコール動作でレジスタの時刻データをバッファに読み出してください。

2.1.2 インタフェース回路の形式一覧

インタフェース回路の形式は、Table 2-1 の 4 種類あります。

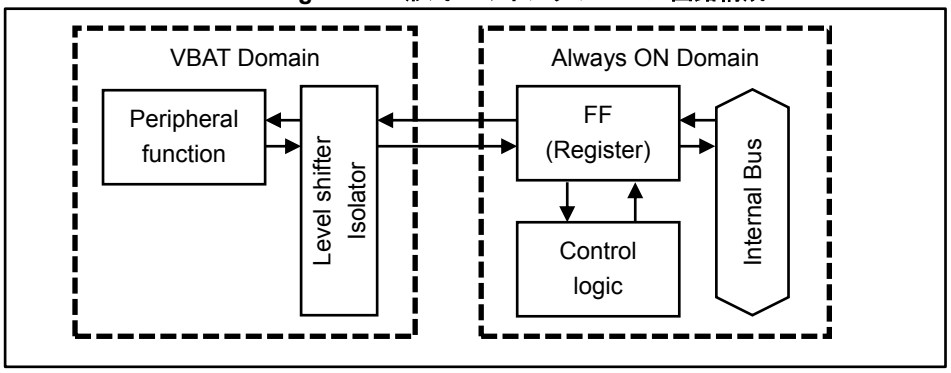
Table 2-1 インタフェース回路形式一覧

回路形式	Always ON ドメイン	VBAT ドメイン	転送クロック	対応図
形式 1	FF あり	FF なし	—	Figure 2-2
形式 2	FF あり	FF あり	32kHz	Figure 2-3
形式 3	FF あり	FF あり	PCLK1(分周)	Figure 2-4
形式 4	FF なし	FF あり	—	Figure 2-5 形式 4 のインタフェース回路構成

Always ON ドメインから VBAT ドメインへの信号は、Always ON ドメインのパワーオフ時は Level shifter, Isolator の機能で VSS にクリップされます。
本機能により Always ON ドメインがパワーオフしている期間も RTC のカレンダ, アラームの動作継続, VBAT I/O ポートの端子状態保持, バックアップレジスタのデータ保持ができます。

回路形式 1

Figure 2-2 形式 1 のインタフェース回路構成



VCC オフの期間は、レジスタが値を保持する必要がない場合にこの回路形式を使っています。

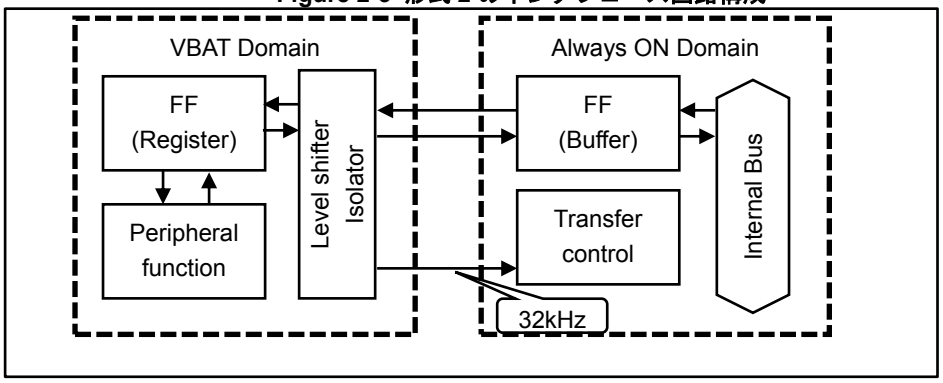
Table 2-2 形式 1 のレジスタの動作

	レジスタの動作
レジスタ初期化	Always ON ドメインのリセット信号で初期化
バス・リード	制御回路(Always ON ドメイン)および周辺回路(VBAT ドメイン)の状態が直接読み出せます。

バス・ライト	制御回路(Always ON ドメイン)および周辺回路(VBAT ドメイン)の動作に直接影響します。

回路形式 2

Figure 2-3 形式 2 のインタフェース回路構成



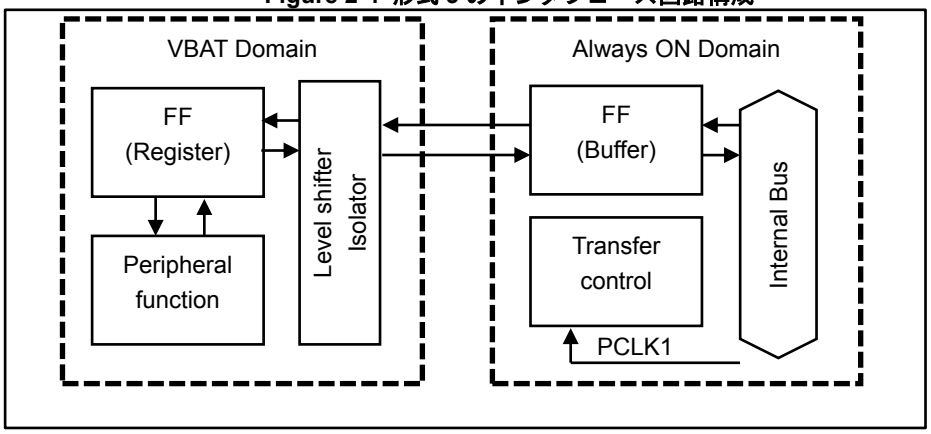
VCC オフの期間もレジスタが値を保持する必要がある場合にこの回路形式を使います。

Table 2-3 形式 2 のレジスタの動作

	レジスタ / バッファの動作
レジスタ初期化	VBAT ドメインのパワーオン信号で初期化
バッファ初期化	Always ON ドメインのリセット信号で初期化 リセット要因は『RTC カウント部』の章を参照してください
バス・リード	バッファの値がバスに読み出される。
バス・ライト	バスの値がバッファに書き込まれる。
リコール動作	レジスタの値がバッファに書き込まれる。
セーブ動作	バッファの値がレジスタに書き込まれる。

回路形式 3

Figure 2-4 形式 3 のインタフェース回路構成



VCC オフの期間もレジスタが値を保持する必要がある場合にこの回路形式を使います。

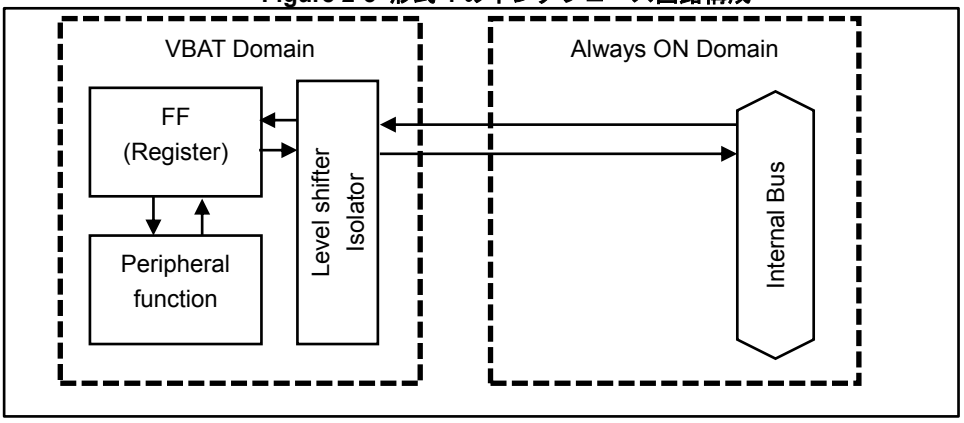
Table 2-4 形式 3 のレジスタの動作

	レジスタ / バッファの動作
レジスタ初期化	VBAT ドメインのパワーオン信号で初期化
バッファ初期化	Always ON ドメインのリセット信号で初期化 RTC リセットで初期化
バス・リード	バッファの値がバスに読み出される。
バス・ライト	バスの値がバッファに書き込まれる。
リコール動作	レジスタの値がバッファに書き込まれる。
セーブ動作	バッファの値がレジスタに書き込まれる。

回路形式 2 との相違は、リコール動作 / セーブ動作のクロックです。

回路形式 4

Figure 2-5 形式 4 のインタフェース回路構成



VCC オフの期間もレジスタが値を保持する必要がある場合にこの回路形式を使います。

Table 2-5 形式 4 のレジスタの動作

	レジスタ / バッファの動作
レジスタ初期化	VBAT ドメインのパワーオン信号で初期化
バス・リード	レジスタの値がバスに読み出される。
バス・ライト	VBAT ドメインの動作に直接影響します。

回路形式 4 はリコール動作 / セーブ動作が不要な回路形式です。

2.1.3 インタフェース回路が接続する回路

VBAT パワードメインに含まれる回路は、RTC(カレンダ), VBAT ポート, バックアップレジスタに大別されます。
そして、それぞれの回路ごとに含まれるバッファ/レジスタを一括してセーブ/リコール動作します。
(以下の説明の WTCR20 の機能の詳細は『タイマ編』の『RTC カウント部』の章の「7.5 制御レジスタ(WTCR20)」を参照してください。)

CREAD/CWRITE

RTC 回路に含まれる、Table 2-6 のレジスタを一括してセーブ/リコール動作を行います。

Table 2-6 CWRITE/CREAD で転送されるレジスター覧

No.	レジスタ名	参照先	No.	レジスタ名	参照先
1	WTSR	[RTCCAL]	2	WTMIR	[RTCCAL]
3	WTHR	[RTCCAL]	4	WTDR	[RTCCAL]
5	WTDW	[RTCCAL]	6	WTMOR	[RTCCAL]
7	WTYR	[RTCCAL]	8	ALMIR	[RTCCAL]
9	ALHR	[RTCCAL]	10	ALDR	[RTCCAL]
11	ALMOR	[RTCCAL]	12	ALYR	[RTCCAL]
13	Reserve	—	14	WTCR11	[RTCCAL]
15	WTCR10 (bit0 のみ)	[RTCCAL]			

各レジスタの機能は[RTCCAL] ⇒『タイマ編』の『RTC カウント部』の章の RTC カウント部を参照してください。

RTC のレジスタの No.1～No.14 のインタフェース回路形式は、"回路形式 2"です。

No.15 WTCR10 レジスタは bit ごとに形式が異なり、bit0:ST は”回路形式 2”、bit2:RUN は”回路形式 4”になります。それ以外の bit は VBAT ドメインからの信号には影響しない通常のレジスタビットになります。

セーブ動作は制御レジスタ 20(WTCR20)の RTC 設定値セーブ動作制御ビット(CWRITE)に 1 ライトすると起動され、”CWRITE 動作”と呼びます。

リコール動作は制御レジスタ 20(WTCR20)の RTC 設定値リコール動作制御ビット(CREAD)に 1 ライトすると起動され、"CREAD 動作"と呼びます。

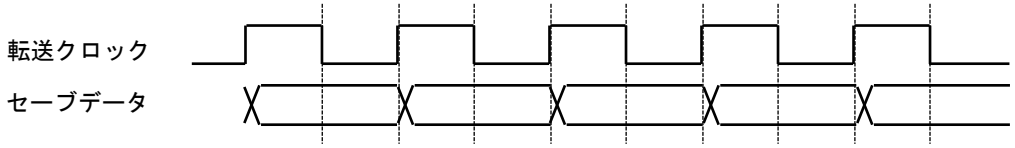
転送クロックは、サブクロックを使用します。
1 転送クロックで 1 バイトのデータを転送します。
1 回の CREAD/CWRITE で、Table 2-6 のレジスタを No.1 から順番に No.15 まで転送します。

RTC のレジスタは 15 バイトのためデータ転送は 15 転送クロックで終了します。

セーブ動作、リコール動作は注意事項があるため、『タイマ編』の『RTC カウント部』の章の「3. RTC カ

ウント部の動作説明と設定手順例」の注意事項を参照してください。

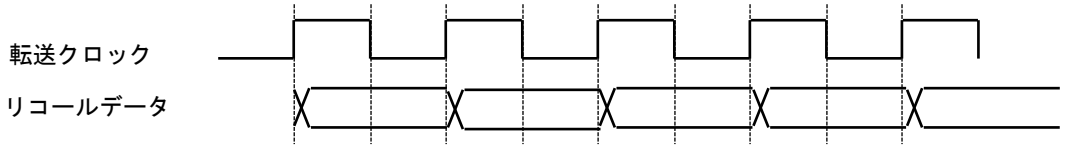
＊CWRITE 動作波形



セーブデータは、転送クロックの立上りでバッファから出力され、転送クロックの立下りでレジスタに書き込まれます。

転送開始の前処理に、3 転送クロック、転送終了の後処理に 2 転送クロック必要です。

＊CREAD 動作波形



リコールデータは、転送クロックの立上りでレジスタから出力され、最後のレジスタ転送が完了したところで、バッファに反映されます。

転送開始の前処理に、3 転送クロック、転送終了の後処理に 2 転送クロック必要です。

PWRITE/PREAD

VBAT ポート回路に含まれる、Table 2-7 PWRITE/PREAD で転送されるレジスター一覧のレジスタを一括してセーブ/リコール動作を行います。

Table 2-7 PWRITE/PREAD で転送されるレジスター一覧

No.	レジスタ名	参照先	No.	レジスタ名	参照先
1	WTCAL0	[RTCCLK]	2	WTCAL1	[RTCCLK]
3	WTCALPRD	[RTCCLK]	4	WTCALEN	[RTCCLK]
5	WTCOSEL	[RTCCLK]	6	CCS	2.3. 32 kHz 発振回路
7	Reserve	—	8	WTOSCCNT	2.3. 32 kHz 発振回路
9	VBPFR	2.6. VBAT I/O ポート	10	VBPCR	2.6. VBAT I/O ポート
11	VBDDR	2.6. VBAT I/O ポート	12	VBPZR	2.6. VBAT I/O ポート
13	VBDOR	2.6. VBAT I/O ポート			

各レジスタの機能は[RTCCLK]　⇒『タイマ編』の『RTC クロック制御部』の章、
「2.6. VBAT I/O ポート」と「2.3. 32 kHz 発振回路」を参照してください。

VBAT ポート回路のインタフェース回路形式は、レジスタ No.1～No.13 が"回路形式 3"です。

セーブ動作は制御レジスタ 20(WTCR20)の VBAT PORT セーブ動作制御ビット(PWRITE)に 1 ライトすると起動され、"PWRITE 動作"と呼びます。

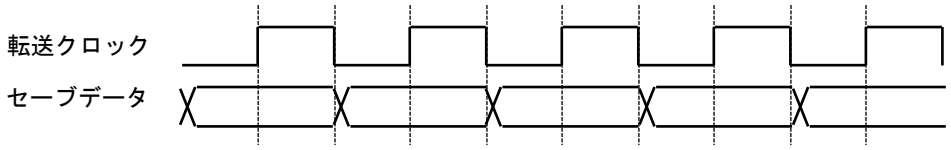
リコール動作は制御レジスタ 20(WTCR20)の VBAT PORT リコール動作制御ビット(PREAD)に 1 ライトすると起動され、"PREAD 動作"と呼びます。

転送クロックは、PCLK1 を VB_CLKDIV レジスタに設定した値で分周して作成します。

1 転送クロックで 1 バイトのデータを転送します。
1 回の PREAD/PWRITE で、Table 2-7 のレジスタを No.1 から順番に No.13 まで転送します。

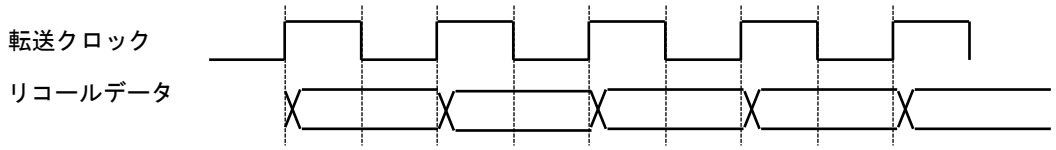
VBAT ポート回路のレジスタは 13 バイトのためデータ転送は 13 転送クロックで終了します。

＊PWRITE 動作波形



セーブデータは、転送クロックの立下りでバッファから出力され、転送クロックの立上りで
レジスタに書き込まれます。
転送開始の前処理に、1 転送クロック必要です。

＊PREAD 動作波形



リコールデータは、転送クロックの立上りでレジスタから出力され、転送クロックの立下りで
バッファに読み込まれます。
転送開始の前処理に、1 転送クロック、転送終了の後処理に 1 転送クロック必要です。

BWRITE/BREAD

バックアップレジスタは、BREG00 から BREG1F の 32 バイトです。

バックアップレジスタの機能は「2.5. バックアップレジスタ」で説明します。

バックアップレジスタのインタフェース回路形式は"回路形式 3"です。

セーブ動作は制御レジスタ 20(WTCR20)のバックアップレジスタセーブ動作制御ビット(BWRITE)に 1 ライトすると起動され、"BWRITE 動作"とよびます。

リコール動作は制御レジスタ 20(WTCR20)のバックアップレジスタリコール動作制御ビット(BREAD)に 1 ライトすると起動され、"BREAD 動作"とよびます。

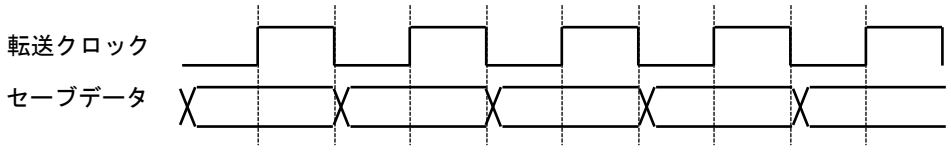
転送クロックは、PCLK1 を VB_CLKDIV レジスタに設定した値で分周して作成します。

1 転送クロックで 1 バイトのデータを転送します。
1 回の BREAD/BWRITE で、BREG00 から BREG1F のレジスタを順番に転送します。

転送は BREG00 から開始され、転送クロックごとに転送先/転送元がインクリメントされます。

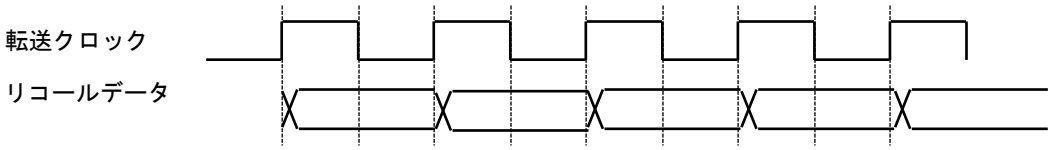
FM0+ファミリのバックアップレジスタ容量は 32 バイトのため、データ転送は 32 転送クロックで終了します。

＊BWRITE 動作波形



セーブデータは、転送クロックの立下りでバッファから出力され、転送クロックの立上りで
レジスタに書き込まれます。
転送開始の前処理に、1 転送クロック必要です。

＊BREAD 動作波形



リコールデータは、転送クロックの立上りでレジスタから出力され、転送クロックの立下りでバッファに読み込まれます。
転送開始の前処理に、1 転送クロック、転送終了の後処理に 1 転送クロック必要です。

転送の組み合わせ可否

リコール/セーブ動作は、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 である事を確認して起動しますが、下表の○印の組み合わせは、例外的に可能です。

	CREAD	CWRITE	PREAD	PWRITE	BREAD	BWRITE
CREAD		×	×	×	○	○
CWRITE	×		×	×	○	○
PREAD	×	×		×	○	○
PWRITE	×	×	×		○	○
BREAD	○	○	○	○		×
BWRITE	○	○	○	○	×	

○: 転送の組み合わせは同時実行できます。
×: 転送の組み合わせは同時実行できません。

説明上の注意

FM0+ファミリのペリフェラルマニュアルで、インタフェース形式が"回路形式 2"、"回路形式 3"のレジスタに対するリード, ライトと説明されている場合、以下に読み替えてください。

レジスタの読出し＝リコール動作してからバッファを読み出す。

レジスタへの書込み＝リコール動作してバッファを全面更新後、
該当部分のバッファを書き換えてからセーブ動作する。

使用上の注意

- セーブ動作中, リコール動作中はバッファのアクセスは禁止です。
  正しいデータをセーブしたか、正しいデータをリードしたか判別できません。
- PCLK1 を分周して作成する PREAD/PWRITE、BREAD/BWRITE の転送クロックが 1MHz 以下になるように VB_CLKDIV に値を設定してください。

2.2 RTC

FM0+ファミリの RTC は 32kHz の周波数補償機能付きカレンダ回路です。

RTC の機能概要

RTC は以下の機能があります。

- 時計機能
- アラーム機能
- タイマ機能 (Always on ドメイン)
- 周波数補償機能

RTC の構成

RTC の機能については『タイマ編』の『RTC カウント部』および『RTC クロック制御部』の章を参照してください。

2.3 32 kHz 発振回路

32 kHz 発振回路は時計用水晶振動子専用の発振回路で、サブクロックを作成します。

2.3.1 32 kHz 発振回路の機能概要

32 kHz 発振回路は以下の機能があります。

- 発振電流切換え機能 (Always on ドメイン)
- 発振ブースト機能 (Always on ドメイン)
- クロック生成部との連携機能

発振電流切り替え機能

32kHz 発振回路の増幅回路は定電流源で駆動されます。
定電流源の電流値は CCS レジスタに設定する値で制御できます。

発振ブースト機能

時計用の水晶振動子の場合、発振周波数が安定するまでの時間が長くかかります。
発振開始設定後の一定時間のみ増幅回路に供給する電流を増加させることで、発振安定時間を短縮できることがあります。

定電流源が供給する電流は、発振開始設定から BOOST レジスタに設定したクロックの間だけ CCB に設定した電流値で、その後 CCS レジスタに設定した電流値に切り換わります。
CCB レジスタに CCS レジスタより大きい電流値を設定すると発振ブースト機能が有効になります。
発振ブースト機能を使用しない場合には CCB レジスタに CCS レジスタと同じ値を設定してください。

クロック制御部との連携機能

CPU ドメインに属するクロック生成部と 32kHz 発振回路の連携動作の有効/無効を WTOSCCNT レジスタの連携制御ビット(SOSCNTL)で設定できます。
有効に設定した場合には、ストップモード, ディープスタンバイストップモードに遷移した場合に 32kHz の発振が停止します。
無効に設定した場合には、マイコンの動作モードに依存せず 32kHz の発振が継続します。

<注意事項>

- *VBAT ドメインの 32 kHz 発振回路には発振安定待ち機能, クロック故障検出機能はありません。クロック連携機能を有効にして CPU ドメインの中のクロック故障検出機能をお使いください。*
- *増幅回路に流す適切な電流値は接続する振動子の特性(ESR)や負荷容量(CL)によって異なります。水晶振動子とのマッチング評価を行って適切な電流値を選択してください。*
- *VCC 電源とは別に VBAT 用のバックアップ電源を用意して RTC を使用する場合には、クロック制御部との連携機能を無効に設定してください。*
- *32 kHz の発振を開始した後は、CCB, CCS レジスタを更新しないでください。*

2.3.2 32 kHz 発振回路の使用方法

「5. 32 kHz クロックの設定手順」に各種の設定手順を記載しますので参照してください。

2.3.3 32 kHz 発振回路で使用するレジスタの説明

■

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	予約	予約	予約	VB_CLKDIV	0x00000007	R/W
	予約	予約	予約	WTOSCCNT	0x00000001	R/W
	予約	予約	予約	CCS	0x000000CE	R/W
	予約	予約	予約	CCB	0x000000CE	R/W
	予約	予約	予約	BOOST	0x00000003	R/W
	予約	予約	予約	EWKUP	0x00000000	R/W
	予約	予約	予約	VDET	0x00000080	R/W
	予約	予約	予約	HIBRST	0x00000000	R/W

これらのレジスタのインタフェース回路形式は"回路形式 1"と"回路形式 3"と”回路形式 4”です。
セーブ/リコール動作は、PWRITE/PREAD です。

2.4 パワーオン回路

FM0+ファミリには、VBAT ドメインの電源投入を検出する VCC 電源端子とは独立したパワーオン回路があります。

パワーオン回路の機能概要

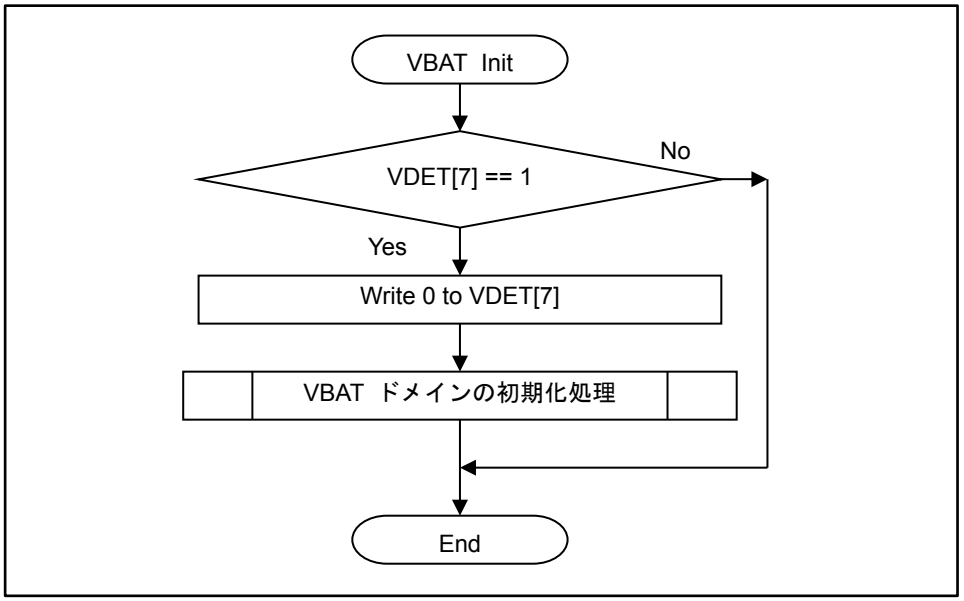
VBAT ドメイン用のパワーオン回路は以下の機能があります。

VBAT 電源端子の立上り検出機能

- パワーオン回路がパワーオン信号を出している間は、VDET レジスタのパワーオンビット(PON)から 1 が読み出せます。
- パワーオン信号は、VDET レジスタのパワーオンビット(PON)に 0 を書き込むまでアサートされ続けます。
- パワーオン信号と VDET レジスタのパワーオンビット(PON)の値は、VCC 電源がオン・オフしても影響を受けません。

以下のフローで VBAT ドメインに属する回路を初期化すると、VCC 立上りで周辺機能を初期化する際に、既に動作している VBAT ドメインの初期化をスキップし、RTC 回路の動作を継続できます。

Figure 2-6 VBAT パワードメインのパワーオン判定および初期化のフロー



<注意事項>

- *VBAT ドメイン用のパワーオン回路には、VBAT 電源端子の電圧低下検出機能はありません。(FM0+ ファミリには VBAT 電源の電圧低下検出回路を搭載していません。)*
- *パワーオン信号がアサートされている間、VBAT ドメイン(RTC, 32kHz 発振回路, VBAT I/O 回路, バックアップレジスタ)のレジスタは初期値に固定されます。これらの回路の設定を行う前に、VDET レジスタのパワーオンビット(PON) に 0 を書き込んでパワーオン信号をクリアする必要があります。*

2.5 バックアップレジスタ

FM0+ファミリには、VBAT 電源でデータを保持する 32 バイトのバックアップレジスタがあります。

バックアップレジスタの機能概要

バックアップレジスタは VBAT 電源端子に電力が供給されている間、書き込まれた値を保持します。
VBAT 電源が立ち上がった直後は、パワーオン回路によってリセットされます。
VBAT 電源の投入は VDET レジスタのパワーオンビット(PON)の値で識別できるため、必要に応じて、プログラムでバックアップレジスタの内容を初期化してください。

バックアップレジスタの構成とアクセス方法

バックアップレジスタのインタフェース回路形式は、"回路形式 3"です。

詳細は「2.1. Always ON ドメインとのインタフェース」を参照ください。

バッファレジスタとデータ保持レジスタの間のデータ転送は、全領域一括転送です。
以下の手順でデータの更新を行ってください。

1. VB_CLKDIV レジスタに、転送クロックが 1MHz 以下になるように値を設定する。

2. データ保持レジスタからバッファレジスタにデータをリコール(BREAD)する。
   制御レジスタ 20(WTCR20)のバックアップレジスタリコール動作制御ビット(BREAD)に 1 ライトするとリコール動作がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。リコール動作(BREAD)が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

3. バッファレジスタの内容を書き換える。
   バッファレジスタはランダムリードライト可能です。

4. バッファレジスタからデータ保持レジスタにデータをセーブ(BWRITE)する。
   制御レジスタ 20(WTCR20)のバックアップレジスタセーブ動作制御ビット(BWRITE)に 1 ライトするとセーブ動作(BWRITE)がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。
   セーブ動作(BWRITE)が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

*: Always ON ドメインの電源がオフになるとバッファレジスタの内容が失われます。
保持するデータは、必ずセーブ動作(BWRITE)でデータ保持レジスタに転送してください。

*: データ転送中(WTCR10[7] = 1)は、バッファレジスタへのアクセスは禁止です。

*: 転送中に Always ON ドメインのリセット発生した場合、VCC 電源オフの場合にはデータ保持レジスタの内容は保証できません。

バックアップレジスタの説明

■ バックアップレジスタ一覧

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	BREG03	BREG02	BREG01	BREG00	0x00000000	R/W
	BREG07	BREG06	BREG05	BREG04	0x00000000	R/W
	BREG0B	BREG0A	BREG09	BREG08	0x00000000	R/W
	BREG0F	BREG0E	BREG0D	BREG0C	0x00000000	R/W
	BREG13	BREG12	BREG11	BREG10	0x00000000	R/W
	BREG17	BREG16	BREG15	BREG14	0x00000000	R/W
	BREG1B	BREG1A	BREG19	BREG18	0x00000000	R/W
	BREG1F	BREG1E	BREG1D	BREG1C	0x00000000	R/W

バックアップレジスタのインタフェース回路形式は"回路形式 3"です。

セーブ/リコール動作は、BWRITE/BREAD です。

VBAT 端子の電源でデータを保持する、バックアップレジスタです。

バイト, ハーフワード, ワードでアクセスできます。

2.6 VBAT I/O ポート

FM0+ファミリには VBAT ドメインに属する I/O ポートが 4 本あります。これらの I/O ポート(VBAT I/O ポート)は VBAT ドメインの中のポート制御回路(VBAT ポート制御回路)で制御され、VCC 電源端子がオフの場合でも動作を継続します。VBAT ポート制御回路は『I/O ポート』の章に記載されているポート制御回路とは独立しており、レジスタのアドレスも別領域にマッピングされます。

VBAT I/O ポートの機能概要

VBAT I/O ポートは、VBAT 電源がオンの場合、VCC 電源端子がオフの場合も動作を継続できます。
VBAT I/O ポートにはリロケート機能はありません。

VBAT I/O ポートの構成

VBAT ポート制御回路の各レジスタの設定により、入出力方向選択, GPIO/周辺選択を行います。
VBAT I/O ポートの構成は『I/O ポート』の章の Figure 2-1 を参照してください。(同様機能のレジスタは、レジスタ名を読み替えてください。)

Table 2-8 にレジスター覧および機能説明をします。

Table 2-8 レジスター覧および機能説明

レジスタ名	機能説明
VBPFR[5:4]	VBAT I/O ポートを特殊端子(発振)として使用するか、デジタル入出力端子として使用するかを設定するレジスタです。
VBPFR[3:0]	VBAT I/O ポートを GPIO 機能の入出力端子として使用するか、周辺機能の入出力端子として使用するかを設定するレジスタです。
VBPCR[3:0]	VBAT I/O ポートをデジタル入力端子, デジタル双方向端子として使用する場合に、VBAT I/O ポートのプルアップ抵抗を接続するか、切断するかを設定するレジスタです。
VBDDR[3:0]	VBAT I/O ポートを GPIO 機能端子として使用する場合、入力端子で使用するか、出力端子で使用するかを設定するレジスタです。 (注意事項) 端子が周辺機能の入出力端子として選択されている場合、設定値は無効です。
VBDIR[3:0]	VBAT I/O ポートのレベル状態を読み出すレジスタです。 - VBAT I/O ポートをデジタル入力端子として使用する場合、入力レベルを読み出します。 - VBAT I/O ポートをデジタル出力端子として使用する場合、出力レベルを読み出します。 - VBAT I/O ポートを特殊端子として使用する場合、常に"0"を読み出します。
VBDOR[3:0]	VBAT I/O ポートを GPIO 機能の出力端子として使用する場合に、出力レベルを設定するレジスタです。 - "0"設定時、Low レベルを出力します。 - "1"設定時、High レベルを出力します。 (注意事項) 端子が GPIO 入力、周辺機能の入出力端子として選択されている場合、設定値は無効です。
VBPZR[1:0]	VBAT I/O ポートのオープンドレイン制御を設定するレジスタです。 - VBAT I/O ポートが Low レベル出力時、I/O ポートを Low 出力にします。 (PCR の設定値によらず、プルアップ切断します) - VBAT I/O ポートが High レベル出力時、I/O ポートを Hi-Z 化し、擬似的にオープンドレイン制御します。(PCR の設定値によらず、プルアップ切断します) - VBAT I/O ポートが入力時、I/O ポートを Hi-Z 化し、入力方向にします。 (PCR の設定値によらず、プルアップ切断します)

VBDIR のインタフェースは"回路形式 4"で、残りのレジスタのインタフェースは"回路形式 3"です。
セーブ/リコール動作は、PWRITE/PREAD です。(回路形式 3 のレジスタ)

<注意事項>

- *CPU ドメインの I/O ポート用制御レジスタ(PFR4[6:9], PCR4[6:9], DDR4[6:9], DIR4[6:9], DOR4[6:9], PZR4[6:9])の設定は、VBAT I/O ポートの動作には影響しません。*

VBAT I/O ポートの初期設定

Table 2-9 に VBAT IO ポートの初期状態を示します。

Table 2-9 VBAT IO ポートの初期状態

No.	端子	初期選択機能
1	P46/X0A	発振端子として使用可能です。(発振は停止しています) デジタル入力は遮断されており"0"が入力されています。
2	P47/X1A	発振端子として使用可能です。(発振は停止しています) デジタル入力は遮断されており"0"が入力されています。
3	P48/VREGCTL	デジタル入力です。出力はオープンドレイン形式です。
4	P49/VWAKEUP	デジタル入力です。出力はオープンドレイン形式です。

VBAT パワーオン回路が VBAT ドメインをリセットしている期間は Table 2-9 の初期状態を維持します。

VBAT I/O ポートの設定手順

■ 32 kHz 発振回路を使用する場合
「5. 32 kHz クロックの設定手順」に各種の設定手順を記載しますので参照してください。

■ ハイバネーション制御を行う場合
「4. ハイバネーション制御」に I/O の設定手順も含めて記載しますので参照してください。

■ 汎用入出力ポートとして使用する場合
設定方法は『I/O ポート』の章を参照してください。
(同様機能のレジスタは、レジスタ名を読み替えてください。)

VBAT I/O ポートのレジスタ説明

■ VBAT I/O ポートレジスタ一覧

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	予約	予約	予約	VBPFR	0x0000001C	R/W
	予約	予約	予約	VBPCR	0x00000000	R/W
	予約	予約	予約	VBDDR	0x00000000	R/W
	予約	予約	予約	VBDIR	0x000000XX	R
	予約	予約	予約	VBDOR	0x0000000F	R/W
	予約	予約	予約	VBPZR	0x00000003	R/W

VBAT I/O ポートのレジスタの構成とアクセス方法

VBAT I/O ポートレジスタのインタフェース回路形式は、"回路形式 3"です。
詳細は「2.1. Always ON ドメインとのインタフェース」を参照してください。

バッファレジスタと VBAT I/O ポートレジスタの間のデータ転送は、全領域一括転送です。
以下の手順でデータの更新を行ってください。

1. VB_CLKDIV レジスタに、転送クロックが 1MHz 以下になるように値を設定する。

2. VBAT I/O ポートレジスタからバッファレジスタにデータをリコールする。
   制御レジスタ 20(WTCR20)の VBAT PORT リコール動作制御ビット(PREAD)に 1 ライトすると
   リコール動作がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。リコール動作が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

3. バッファレジスタの内容を書き換える。
   バッファレジスタはランダムリードライト可能です。

4. バッファレジスタから VBAT I/O ポートレジスタにデータをセーブする。
   制御レジスタ 20(WTCR20)の VBAT PORT セーブ動作制御ビット(PWRITE)に 1 ライトするとセーブ動作がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。セーブ動作が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

*: バッファレジスタを書き換えただけでは VBAT I/O ポートの端子状態は変化しません。
レジスタ値(端子の状態)を変更するために、セーブ動作でバッファレジスタから VBAT I/O ポートレジスタに転送してください。

*: データ転送中(転送フラグビット(TRANS)が”1”の間)は、バッファレジスタへのアクセスは禁止です。

*: 転送中に Always ON ドメインのリセット発生した場合、VCC 電源オフの場合にはデータ保持レジスタの内容が保証できません。

3. チップの電源制御

チップの電源投入・切断について説明します。

VCC 電源、VBAT 電源の組み合わせ表

VCC 電源端子と VBAT 電源端子の状態は、Table 3-1 のとおりです。

Table 3-1 VCC/VBAT の電源状態組み合わせ

	VBAT 電源 オン	VBAT 電源 オフ
VCC 電源 オン	通常動作	この状態は禁止
VCC 電源 オフ	VBAT ドメインのみ動作継続	動作停止

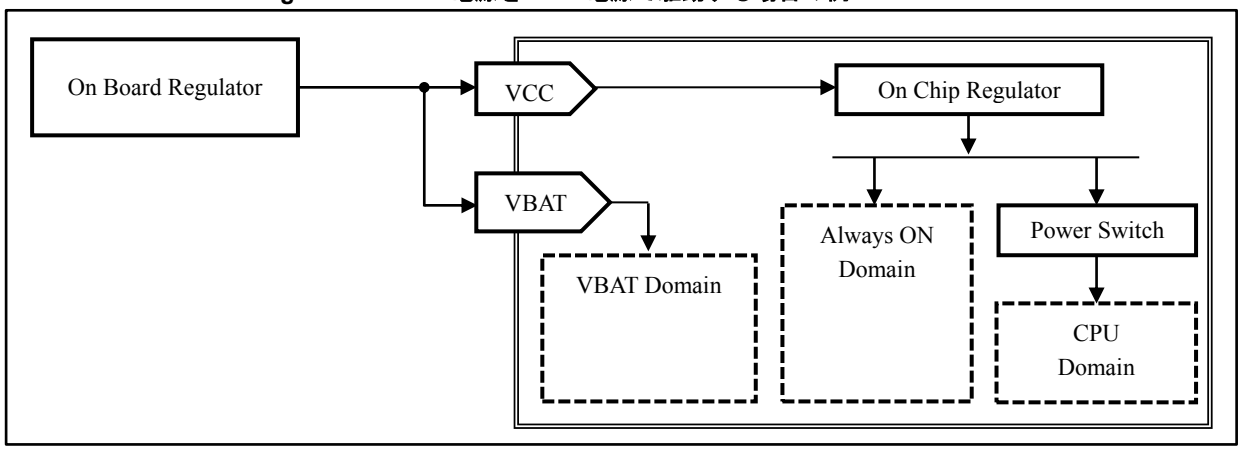
VBAT 電源を VCC と同一電源で駆動する場合

■ 電源状態の遷移

VBAT 電源と VCC 電源を同一電源で駆動する場合には、チップ電源状態は Table 3-1 の"通常動作"と"動作停止"の 2 種類の状態のみです。

この VBAT ドメインも VCC 電源投入の際に毎回初期化が必要です。

Figure 3-1 VBAT 電源を VCC 電源で駆動する場合の例



VBAT 電源用のバックアップ電源を使わない場合は、チップ外部で VBAT 電源端子と VCC 電源端子を短絡してください。

VCC 端子と VBAT 端子を短絡すると、「VCC 電源オン, VBAT 電源オフ」という禁止状態を避けられます。

VBAT 電源を電池で駆動する場合

■ 電源状態の遷移

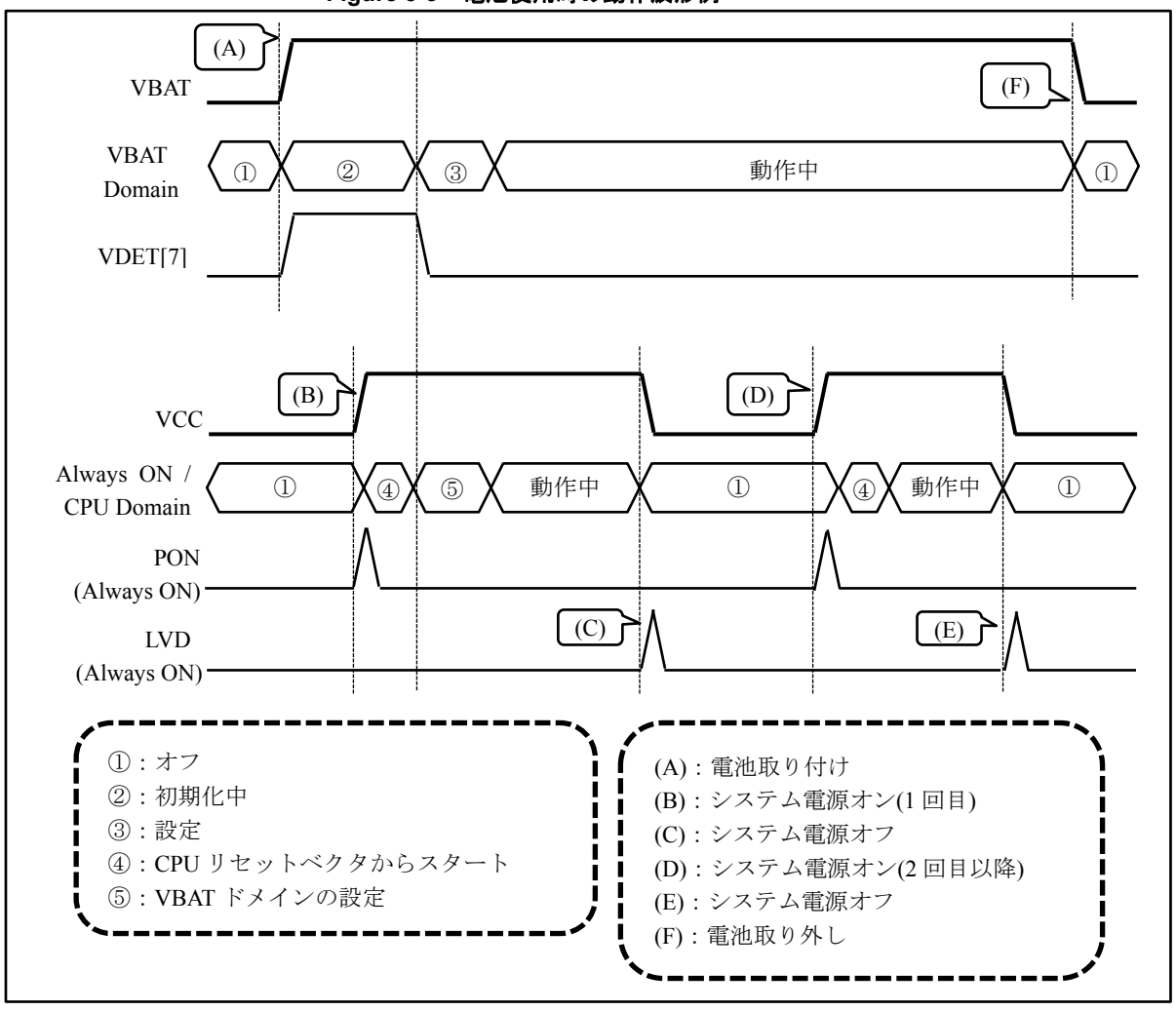
VBAT 電源用に電池を使用する場合の電源状態遷移は Figure 3-2 のとおりで、各部分の動作波形は Figure 3-3 のとおりです。

1 回目のシステム電源オンかどうか VDET レジスタのパワーオンビット(PON)で識別できます。
1 回目のシステム電源オンの場合には VBAT ドメインにある回路の設定を行ってください。

Figure 3-2 VBAT 電源に電池を使用する場合の状態遷移



Figure 3-3 電池使用時の動作波形例



■ 電源構成の例

Figure 3-4 バックアップ電源に一次電池を使用する場合の例

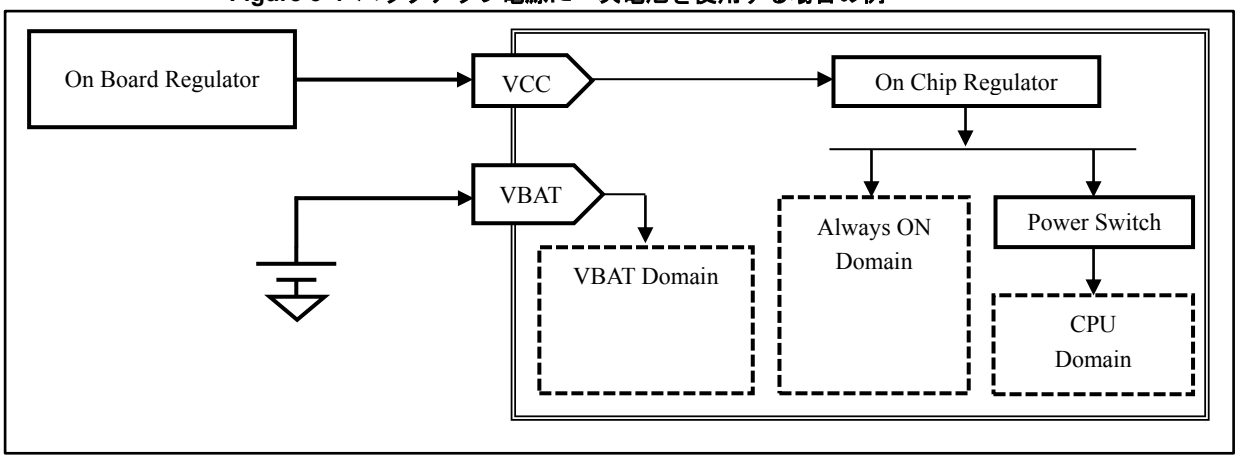
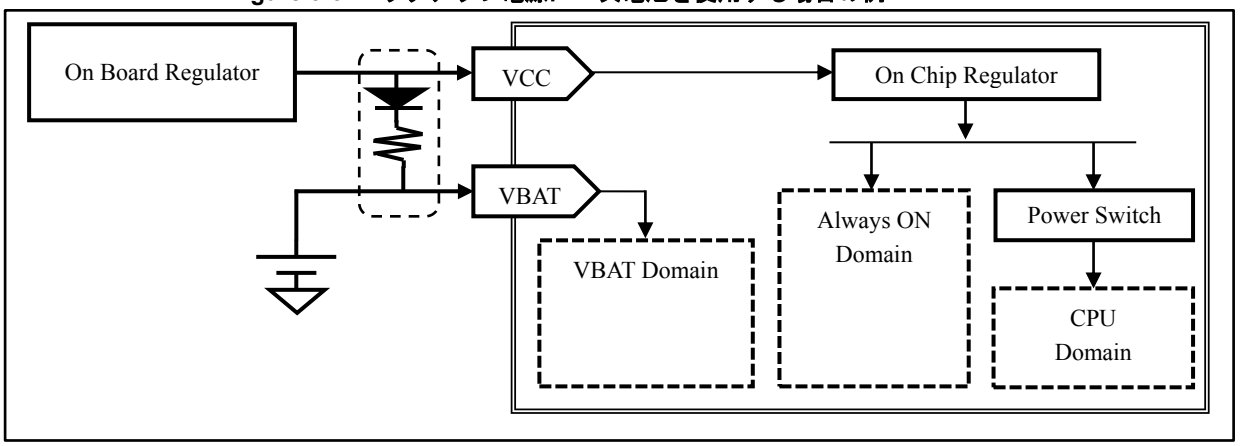


Figure 3-5 バックアップ電源に二次電池を使用する場合の例



破線内のダイオードと抵抗は、二次電池をトリクル充電します。
使用する二次電池がトリクル充電可能かどうかと、トリクル充電の最大電流値を確認して抵抗値を設定してください。
使用する二次電池がトリクル充電できない場合には、一次電池と同様にお使いください。

<注意事項>

- *電池の取り付けと取り外しは、システム電源がオフの期間に行ってください。*
- *バックアップ電源に一次電池を使う場合には、システム電源とバックアップ電源をダイオードで接続することは推奨しません。*

4. ハイバネーション制御

オフチップパワーゲーティングをマイコンから制御する場合の回路構成の例とシーケンスの例を示します。

ハイバネーション制御の概要

ハイバネーション制御は、VBAT ドメインからオンボードレギュレータのスタンバイ機能を制御することで、VCC 電源(Always ON ドメイン, CPU ドメイン共に)のオン/オフを VBAT ドメインから制御します。

ハイバネーション制御を行う場合には、VCC 電源(システム電源)とは別のバックアップ電源を VBAT 端子に供給してください。

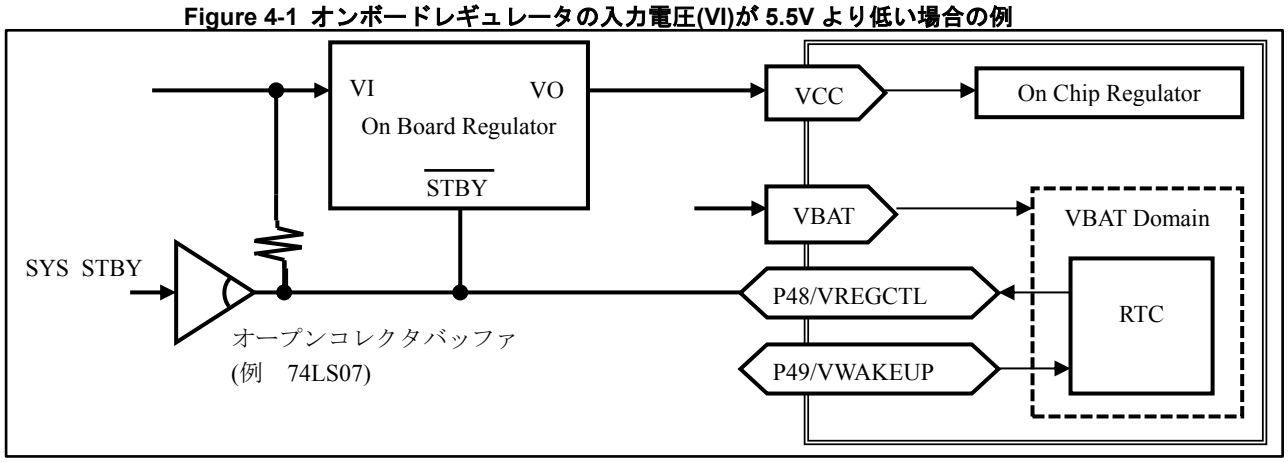
ハイバネーション状態から復帰する要因は以下の 2 つあります。

- RTC のアラーム割込み
- P49/VWAKEUP 端子へのウェイクアップ要求(立上りエッジで要求発生)

ハイバネーション状態からの復帰に RTC のアラーム割込みを使用する場合には、VCC オフ期間も 32 kHz 発振を継続する必要があります。

FM0+ファミリの外部接続例

Figure 4-1 オンボードレギュレータの入力電圧(VI)が 5.5V より低い場合の例



多くのオンボードレギュレータの"STBY"入力は"L"レベルでスタンバイ動作になります。
VBAT I/O ポートの P48/VREGCTL 端子は、擬似オープンドレインで 5V トレラントです。

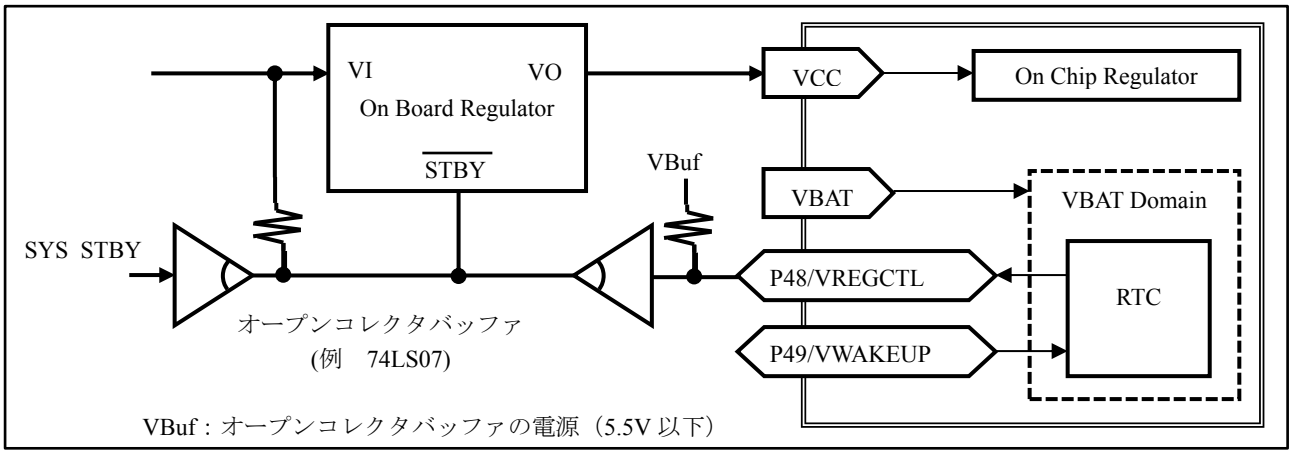
オンボードレギュレータの"STBY"入力と接続し、オンボードレギュレータの入力電圧(VI)に抵抗でプルアップしてください。

システムのスタンバイ制御信号をオープンコレクタバッファでバッファリングして"P48/VREGCTL"とワイヤード OR するとオンボードレギュレータの動作は、Table 4-1 になります。

Table 4-1 オンボードレギュレータの動作

	VREGCTL = “L”	VREGCTL = “H”
SYS_STBY = "L"	スタンバイモード	スタンバイモード
SYS_STBY = "H"	スタンバイモード	通常動作モード

Figure 4-2 オンボードレギュレータの入力電圧(VI)が 5.5V より高い場合の例



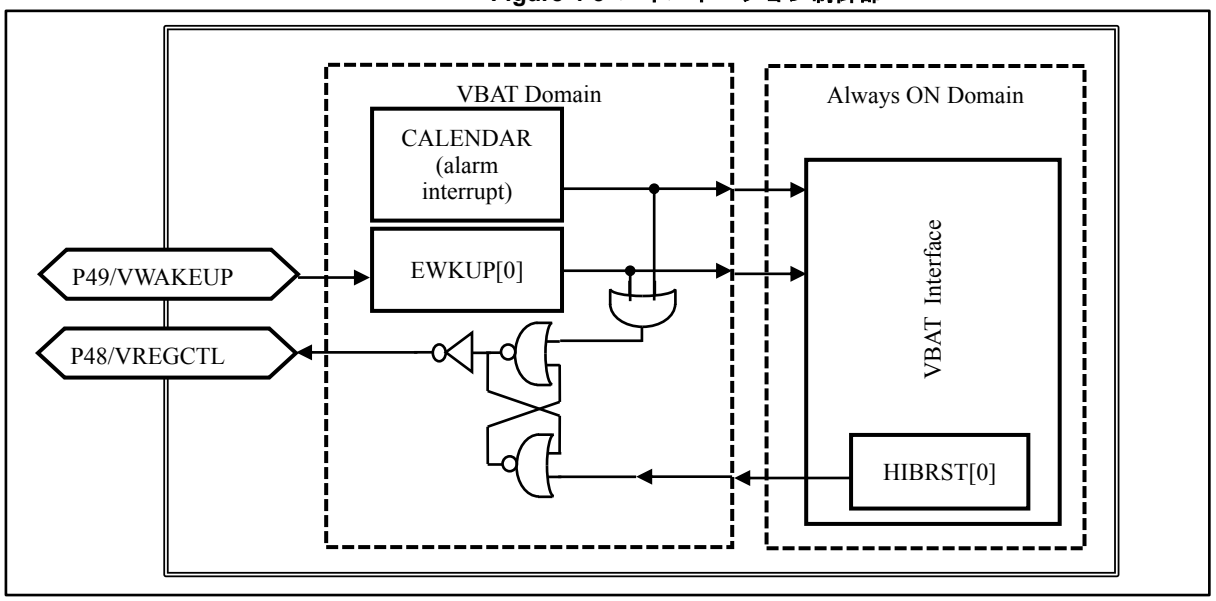
オンボードレギュレータの入力電圧が 5.5V よりも高い場合には、"P48/VREGCTL"端子でオンボードレギュレータのスタンバイ端子を直接制御することはできません。

オンボードレギュレータの入力電圧よりも耐圧が高いオープンコレクタバッファなどでバッファリングしてください。

ハイバネーション制御部のブロック構成

ハイバネーション制御部は RTC 回路の一部で、その構成は Figure 4-3 のとおりです。

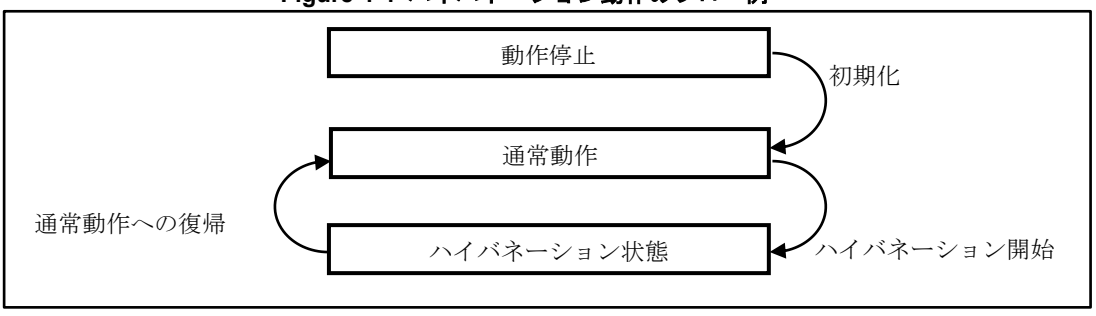
Figure 4-3 ハイバネーション制御部



ハイバネーション動作のフロー例

ハイバネーションの動作フローは Figure 4-4 のとおりです。

Figure 4-4 ハイバネーション動作のフロー例



■ ハイバネーション動作の初期設定

ハイバネーション動作に必要な初期設定は以下のとおりです。

- RTC のアラーム設定
  アラームの設定の方法は『タイマ編』の『RTC』の章を参照してください。
- P49/VWAKEUP 端子の設定
  ポート機能設定レジスタ(VBPFR)の P49/VWAKEUP 端子のポート機能設定ビット(VPFR1)に"1"を書き込む。
- P48/VREGCTL 端子の設定
  ポート機能設定レジスタ(VBPFR)の P48/VREGCTL 端子のポート機能設定ビット(VPFR0) に"1"を書き込む。

RTC のアラーム設定, P49/VWAKEUP 端子の設定は実施しなくてもハイバネーション状態に遷移できます。
両方の設定を未実施のままハイバネーション状態に遷移すると、通常動作への復帰ができません。

■ ハイバネーション開始の設定

RTC のアラーム割込みとウェイクアップ(P49/VWAKEUP 端子)の両方がクリアされている状態で HIBRST[0]に"1"を書き込むと、P48/VREGCTL 端子が"0"になりオンボードレギュレータがスタンバイ状態に遷移して VCC 電源がオフになります。

■ ハイバネーション状態から復帰した際の判定および動作

RTC のアラーム割込みかウェイクアップ要求が発生すると、P48/VREGCTL 端子が"1"になり、オンボードレギュレータがスタンバイ状態から復帰して VCC 電源がオンになります。
VCC 電源がオンになると、CPU コアは通常のパワーオン動作を行います。

ハイバネーションからの復帰か否かは、以下の 3 つを確認することで識別できます。

- VBAT ドメインのパワーオンが発生しているかどうか (VDET レジスタのパワーオンビット(PON))
- RTC アラーム割込みが発生しているかどうか (制御レジスタ 12(WTCR12)のアラーム一致フラグビット(INTALI))
- ウェイクアップ要求が発生しているかどうか (EWKUP レジスタのウェイクアップ要求ビット(WUP0))

<注意事項>

- *HIBRST レジスタのハイバネーションスタートビット(HIBRST)に"1"を書き込むと、直後に P48/VREGCTL 端子が"0"になります。*
  VCC 電源のオフ準備をすべて済ませたのち HIBRST レジスタのハイバネーションスタートビット(HIBRST)に"1"を書き込んでください。
- *ハイバネーション動作は P48/VREGCTL 端子の制御で VCC 電源がオフになる前提です。*
  デバッグの際にオンボードレギュレータを P48/VREGCTL 端子で直接制御しない場合にはマニュアル操作でいったん VCC 電源をオフにしてください。

5. 32 kHz クロックの設定手順

RTC を使用する場合の、32 kHz 発振回路周りの推奨設定シーケンスについて説明します。

VBAT ドメインに属する 32 kHz 発振回路の特長

32 kHz 発振回路が VBAT ドメインに含まれていることで、CPU ドメイン、Always ON ドメインがオフの期間も 32 kHz 発振回路の動作を継続し、RTC が時刻をカウントし続けることができます。

クロック制御回路と連携する場合

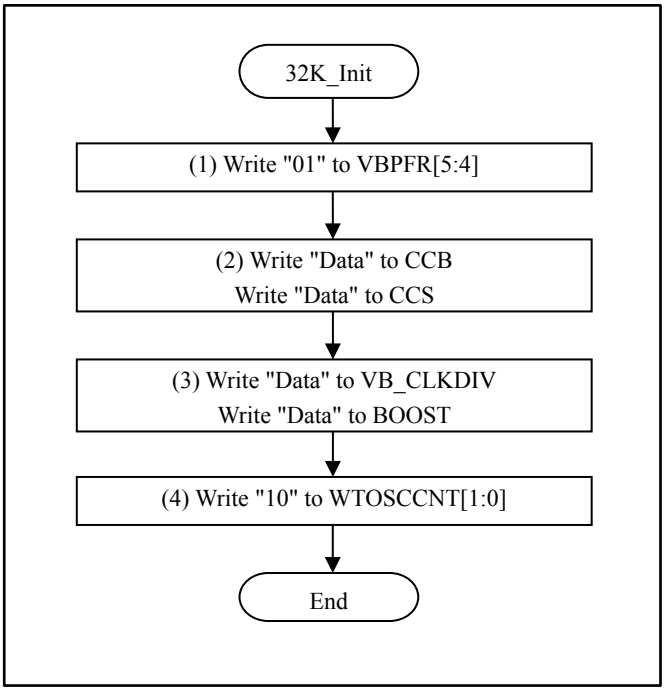
VBAT ドメインの 32 kHz 発振回路をクロック制御回路と連携すると、FM3 ファミリと互換動作になります。

また、クロック制御回路と連携させると、VCC 電源オフ時、VCC 電源オンでストップモード,
ディープスタンバイストップモードに遷移した時に 32 kHz の発振が自動的に停止します。

32 kHz 発振回路はバックアップ電源の電力で動作します。
32 kHz クロックをサブランモードのクロックのみの目的で使用する場合には、クロック制御回路と連携することでバックアップ電源の電力消費を自動的に低減することが可能です。

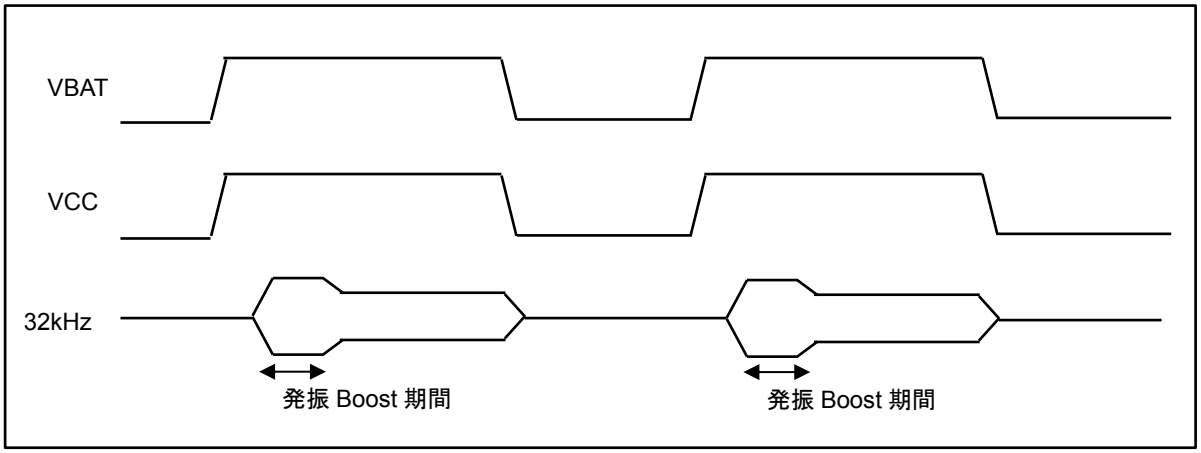
■ 設定手順例

1. VBAT I/O ポートのレジスタ「32kHz 発振回路を使用する場合」の設定にする。
2. 発振増幅回路に流す適切な電流値を設定する。
3. 発振ブースト時間を設定する。
4. クロック制御回路との連携を有効に設定する。
   同時に、発振イネーブルを設定する。

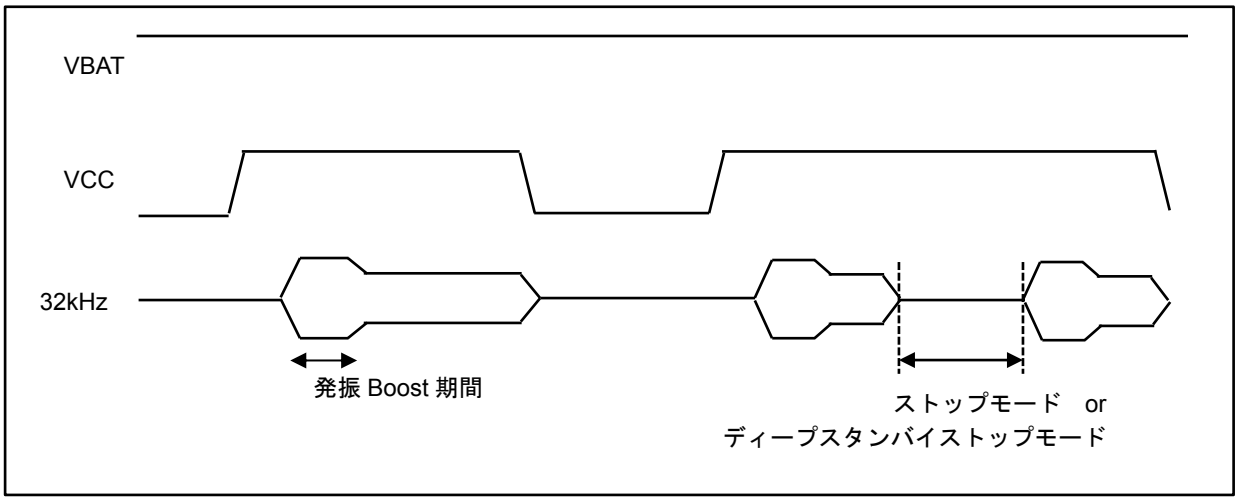


■ 動作の例

– バックアップ電源を使わない場合



– バックアップ電源を使うが、クロック制御回路と連携する場合



クロック制御回路と連携しない場合

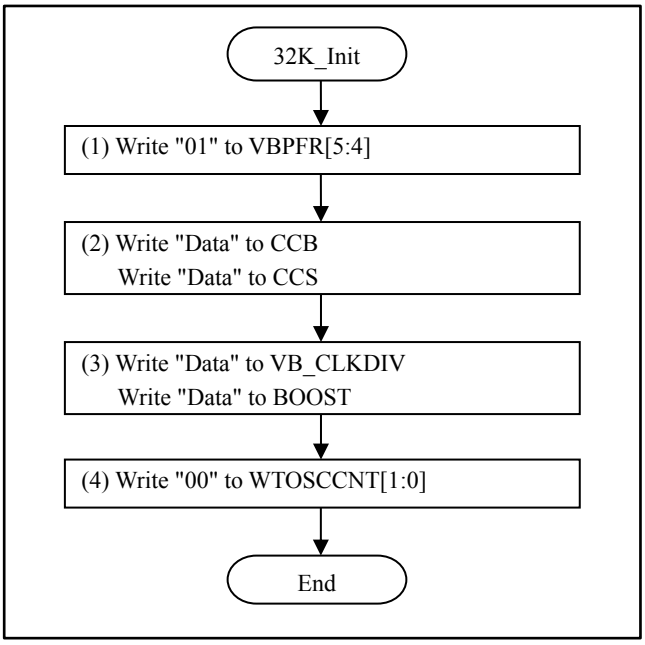
バックアップ電源で常に RTC を動作し続ける場合には、クロック制御回路とは連携させない必要があります。

VBAT ドメインのみバックアップ電源で動作させ続け、CPU の処理が不要な期間は VCC 電源を自らのハイバネーション制御か、外部回路の制御でオフすることで、システム全体の平均消費電力を低減することが可能です。

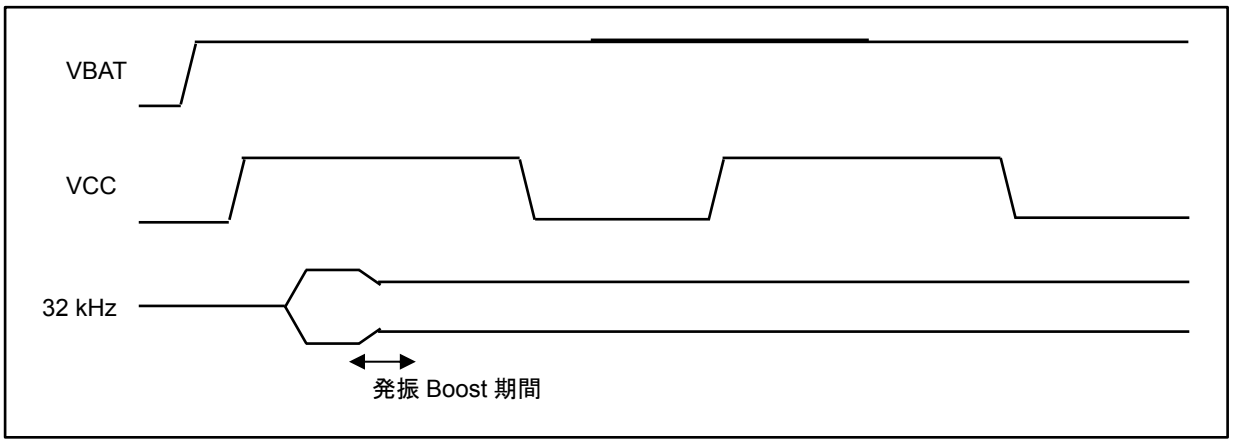
■ 設定手順例

1. VBAT I/O ポートのレジスタ「32 kHz 発振回路を使用する場合」の設定にする。
2. 発振増幅回路に流す適切な電流値を設定する。
3. 発振ブースト時間を設定する。
4. クロック制御回路との連携を無効に設定する。

同時に、発振イネーブルを設定する。



■ 動作の例



クロック制御回路と連携しないが発振安定待ちを行う場合

バックアップ電源で常に RTC を動作し続ける場合には、クロック制御回路とは連携させない必要がありますが、VBAT ドメインの 32 kHz 発振回路、RTC には発振安定待ちの機能がありません。

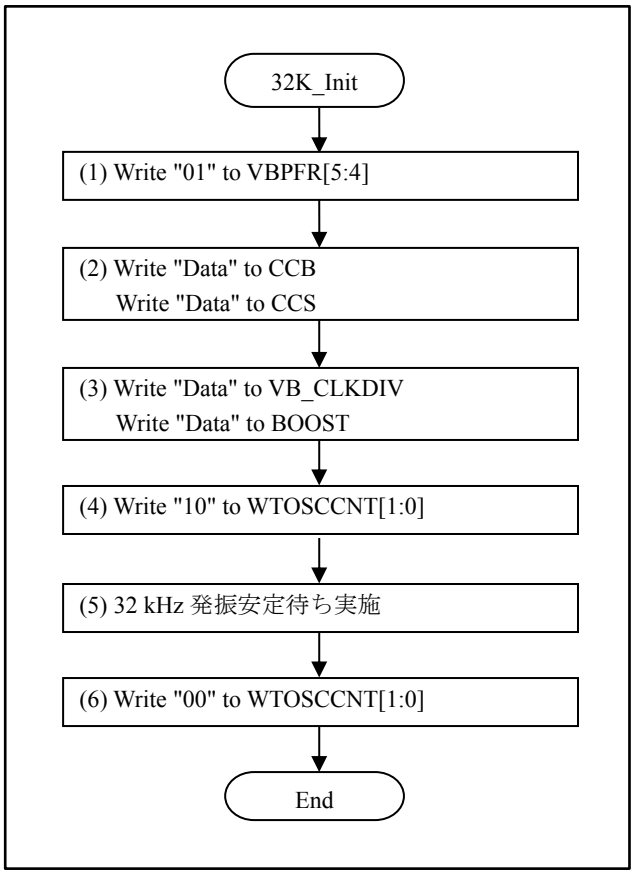
32 kHz クロックを RTC のみで使用する場合には発振安定時間相当のソフトタイマを使うという選択肢がありますが、32 kHz クロックをサブランモードでも使用する場合にはクロックの発振安定待ちが必要です。

その場合には、以下のような手順を踏んで発振開始時のみ発振安定待ち機能を有効にできます。

■ 設定手順例

クロック制御回路との連携機能を有効にして発振スタートする。
発振安定待ち時間経過後、クロック制御回路との連携機能を無効に変更する。

1. VBAT I/O ポートのレジスタ「32 kHz 発振回路を使用する場合」の設定にする。
2. 発振増幅回路に流す適切な電流値を設定する。
3. 発振ブースト時間を設定する。
4. クロック制御回路との連携を有効に設定する。同時に、発振イネーブルを設定する。
5. 32 kHz の発振安定待ちを行う。
6. クロック制御回路との連携を無効に設定変更する。(発振イネーブルは有効の設定のまま。)



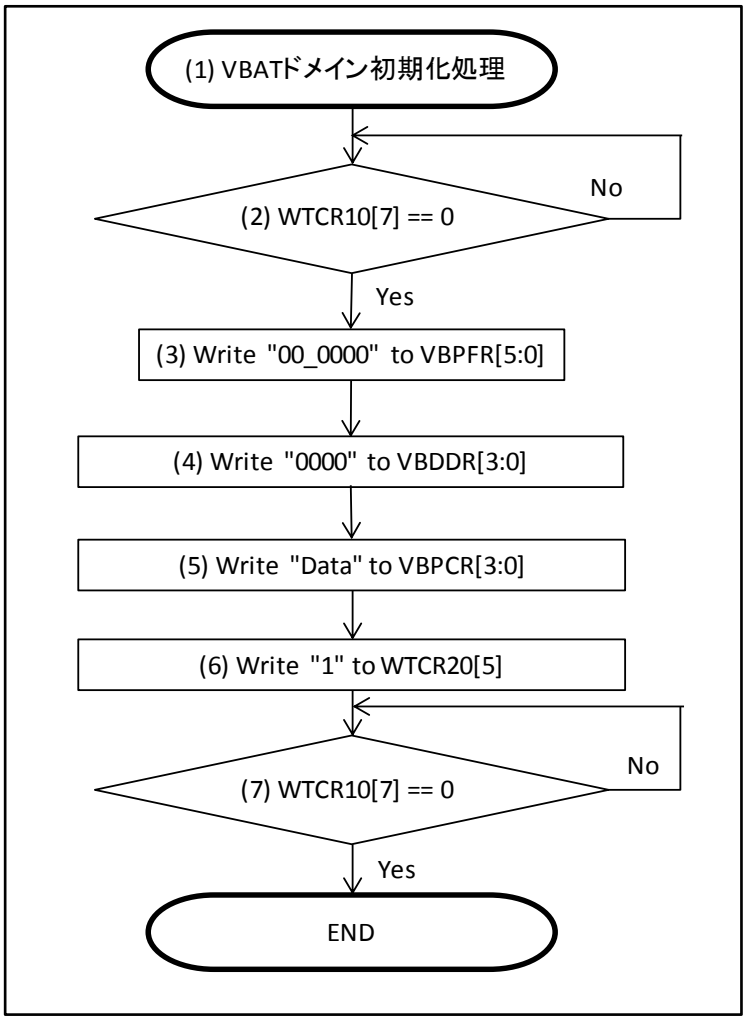
6. VBAT I/O ポートの設定手順

■ VBAT I/O を汎用 I/O 入力として、使用する場合

・設定手順例

P46/P47/P48/P49 をすべて汎用 I/O 入力として使用する場合の設定例を記載します。

1. VBAT ドメインの初期化処理を行う (Figure 2-6 参照)
2. 汎用 IO ポートを GPIO 端子として使用する設定にする
3. プルアップ設定を行う
4. ポート出力方向設定を入力方向に設定する
5. 設定値を VBAT ドメインに転送する
6. 転送完了を待つ

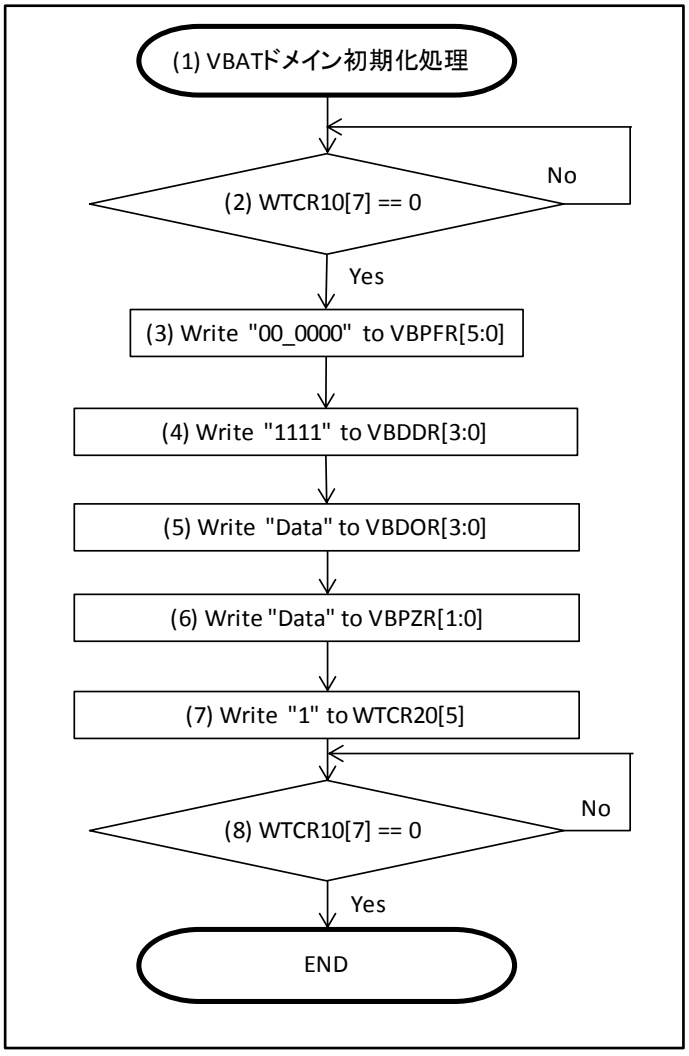


■ VBAT I/O を汎用 I/O 出力として、使用する場合

・設定手順例

P46/P47/P48/P49 をすべて汎用 I/O 出力として使用する場合の設定例を記載します。

1. VBAT ドメインの初期化処理を行う (Figure 2-6 参照)
2. 汎用 IO ポートを GPIO 端子として使用する設定にする
3. ポート出力方向設定を出力方向に設定する
4. ポート出力データレジスタを設定する
5. ポート擬似オープンドレインレジスタを設定する (P48/P49 のみ設定可能)
6. 設定値を VBAT ドメインに転送する
7. 転送完了を待つ

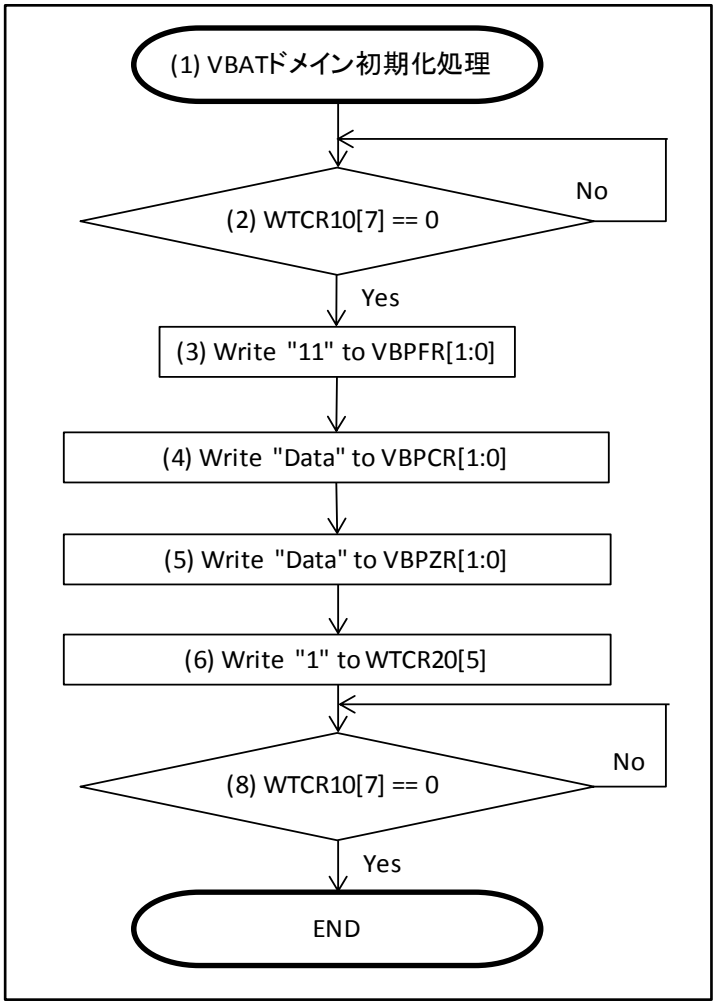


■ VBAT I/O を周辺機能として、使用する場合

・設定手順例

P48/P49 を周辺機能として使用する場合の設定例を記載します。

1. VBAT ドメインの初期化処理を行う (Figure 2-6 参照)
2. 汎用 IO ポートを周辺機能として使用する設定にする。
3. プルアップ設定を行う
4. 擬似オープンドレイン設定をする
5. 設定値を VBAT ドメインに転送する
6. 転送完了を待つ



7. レジスター覧

VBAT ドメイン部のレジスター覧を説明します。

Table 7-1 にレジスター覧を示します。

Table 7-1 レジスター覧

レジスタ略称	レジスタ名	参照先
VB_CLKDIV	VB_CLKDIV レジスタ	7.1
WTOSCCNT	WTOSCCNT レジスタ	7.2
CCS/CCB	CCS/CCB レジスタ	7.3
BOOST	BOOST レジスタ	7.4
EWKUP	EWKUP レジスタ	7.5
HIBRST	HIBRST レジスタ	7.6
VDET	VEDT レジスタ	7.7
VBPFR	ポート機能設定レジスタ	7.8
VBPCR	プルアップ設定レジスタ	7.9
VBDDR	ポート入出力方向設定レジスタ	7.10
VBDIR	ポート入力データレジスタ	7.11
VBDOR	ポート出力データレジスタ	7.12
VBPZR	ポート擬似オープンドレイン設定レジスタ	7.13

Table 7-1 レジスター覧に記載の VBDIR/VDET/EWKUP を除く Always ON ドメインのレジスタ、バッファはシステム
リセット、RTC リセットでクリアされます。そのため、リセット後のセーブ動作は値を再設定もしくは、リコール動作後に行なってください。

7.1 VB_CLKDIV レジスタ

VB_CLKDIV レジスタは、バックアップレジスタ, ポートレジスタの一括転送を行う場合の転送クロックの周期を設定します。

bit	7	6	5	4	3	2	1	0
Field	DIV7	DIV6	DIV5	DIV4	DIV3	DIV2	DIV1	DIV0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:0] DIV[7:0] : PREAD, PWRITE, BREAD, BWRITE の転送クロック設定ビット

バックアップレジスタ, ポートレジスタの一括転送を行う場合の転送クロックの周期を設定します。

レジスタ設定値の計算式 : 転送クロック = PCLK / (VB_CLKDIV + 2)

(BREAD/BWRITE, PREAD/PWRITE で使用する転送クロックは、周波数が 1 MHz 以下に設定してください。)

7.2 WTOSCCNT レジスタ

WTOSCCNT レジスタは、32 kHz 発振回路の動作を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約						SOSCNTL	SOSCEX
属性	-						R/W	R/W
初期値	-						0	1

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:2] 予約：予約ビット

これらのビットからは"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] SOSCNTL：連携制御ビット

クロック制御部との連携の有無を設定します。

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	VBAT ドメインとして独立して動作します。(初期値)
	1	クロック制御回路と連携動作します。

[bit0] SOSCEX：発振イネーブルビット

VBAT ドメインとして独立動作する場合に、発振回路の動作イネーブルを設定します。
クロック制御回路と連携動作する場合には、本ビットの制御は無効です。

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	発振を開始します。
	1	発振を停止します。(初期値)

7.3 CCS/CCB レジスタ

CCS レジスタは、発振を継続しているときの電流値を設定します。
CCB レジスタは、発振開始時のブースト電流値を設定します。

TYPE2-M0+製品

■ CCS レジスタ

bit	7	6	5	4	3	2	1	0
Field	CCS							
属性	R/W							
初期値	11001110							

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:0] CCS：発振維持電流設定ビット

発振を継続しているときの電流値を設定します。

■ CCB レジスタ

bit	7	6	5	4	3	2	1	0
Field	CCB							
属性	R/W							
初期値	11001110							

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:0] CCB：発振ブースト電流設定ビット

発振開始時のブースト電流値を設定します。

CCS/CCB 共に、ビットとモードの対応は Table 7-3 になります。

Table 7-2 CCS/CCB 設定値とモードの対応

CCS/CCB	モード	説明
00000100	低消費電力	負荷容量がより小さいタイプの水晶発振子を使用することが可能となります。
11001110	標準	(初期値)
上記以外	未設定	設定禁止

<注意事項>

- *CCS レジスタと CCB レジスタは同じ設定値としてください。*

7.4 BOOST レジスタ

BOOST レジスタは、発振ブーストのクロック数を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約						BOOST1	BOOST0
属性	-						R/W	R/W
初期値	-						1	1

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:2] 予約：予約ビット

これらのビットからは"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1:0] BOOST1 / BOOST0：発振ブースト時間設定ビット

発振ブーストのクロック数を設定します。

Table 7-3 発振ブースト時間の設定値

bit1	bit0	発振ブースト時間
1	1	500 ms (初期値)
1	0	250 ms
0	1	125 ms
0	0	62.5 ms

7.5 EWKUP レジスタ

EWKUP レジスタは、ウェイクアップ要求の状態表示とクリア操作をします。

bit	7	6	5	4	3	2	1	0
Field	予約							WUP0
属性	-							R/W
初期値	-							0

本レジスタのインタフェース方式は"回路形式 4"です。

[bit7:1] 予約：予約ビット

これらのビットからは"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] WUP0 ：ウェイクアップ要求ビット

bit		説明
読出し時	0	ウェイクアップ要求を受け付けていません。
	1	ウェイクアップ要求を受け付けました。
書込み時	0	ウェイクアップ要求をクリアします。
	1	1 書込みは無効です。

ウェイクアップ要求機能は、ポート機能設定レジスタ(VBPFR)の P49/VWAKEUP 端子のポート機能設定ビット(VPFR1)を 1 に設定した場合に有効になります。
ウェイクアップ要求を有効に設定した場合、P49/VWAKEUP 端子の立上りエッジを検出すると
ウェイクアップ要求を受け付け、割込み制御回路に RTC 割込みが要求されます。

ウェイクアップ要求は、ウェイクアップ要求クリアの PCLK 7 サイクル後から受け付けます。
VBAT ドメイン内のレジスタをクリアするために PCLK 7 サイクル必要です。
このため、ウェイクアップ要求クリア後、PCLK7 サイクルを待たずに外部リセット入力やスタンバイモードに入れると PCLK が停止するため、ウェイクアップ要求を受け付けられません。

7.6 HIBRST レジスタ

HIBRST レジスタは、ハイバネーションスタートを設定します。

bit	7	6	5	4	3	2	1	0
Field	予約							HIBRST
属性				-				R/W
初期値				-				0

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:1] 予約：予約ビット

これらのビットからは"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] HIBRST ：ハイバネーションスタートビット

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	0 が書込めます。ただし、ハイバネーションの動作には影響しません。
	1	ハイバネーションをスタートします。

ハイバネーションスタートは、ポート機能設定レジスタ(VBPFR)の P48/VREGCTL 端子のポート機能設定ビット(VPFR0)を 1 に設定した場合に有効になります。

7.7 VDET レジスタ

VDET レジスタは、パワーオン回路の状態表示とパワーオン信号のクリア操作を行います。

bit	7	6	5	4	3	2	1	0
Field	PON	予約						
属性	R/W	-						
初期値	1	-						

本レジスタのインタフェース方式は"回路形式 4"です。

[bit7] PON：パワーオンビット

パワーオン回路の状態表示と、パワーオン信号のクリア操作を行います。

bit		説明
読出し時	0	パワーオン回路の初期化信号がクリアされています。
	1	パワーオン回路が初期化信号を出力しています。
書込み時	0	パワーオン信号をクリアします。
	1	1 書込みは無効です。

[bit6:0] 予約：予約ビット

これらのビットからは"0b0000000"が読み出せます。
書込みの場合には、"0b0000000"を設定してください。

7.8 ポート機能設定レジスタ(VBPFR)

VBPFR レジスタは、端子の利用方法を選択します。

bit	7	6	5	4	3	2	1	0
Field	予約		SPSR1	SPSR0	VPFR3	VPFR2	VPFR1	VPFR0
属性	-		R/W	R/W	R/W	R/W	R/W	R/W
初期値	-		0	1	1	1	0	0

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:6] 予約：予約ビット

これらのビットからは"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5:4] SPSR1, SPSR0：発振端子の機能設定ビット

bit5	bit4	機能設定
0	0	P46, P47 をデジタル(GPIO)端子として使用します。
0	1	P46, P47 を 32kHz 発振端子として使用します。(初期値)
1	0	P46, P47 をデジタル(GPIO)端子として使用します。
1	1	P46 を外部クロック入力端子として使用します。 P47 をデジタル(GPIO)端子として使用します。

[bit3] VPFR3： P46/X0A 端子のポート機能設定ビット

[bit2] VPFR2： P47/X1A 端子のポート機能設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子を GPIO 端子として使用します。
	1	当該ビットに対応する端子を周辺機能の入出力端子として使用します。(初期値)

[bit1] VPFR1： P49/VWAKEUP 端子のポート機能設定ビット

[bit0] VPFR0： P48/VREGCTL 端子のポート機能設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子を GPIO 端子として使用します。(初期値)
	1	当該ビットに対応する端子を周辺機能の入出力端子として使用します。

VBPFR[5:2]の設定組み合わせは Table 7-4 VBPFR[5:2] の設定組み合わせのとおりです。

Table 7-4 VBPFR[5:2] の設定組み合わせ

	VBPFR[5]	VBPFR[4]	VBPFR[3]	VBPFR[2]
GPIO	0	0	0	0
32 kHz 発振	0	1	-	-
GPIO	1	0	0	0
P46 外部クロック入力	1	1	1	0

32 kHz 発振回路を使用する場合は、VBPFR[5:4]に 0b01 を設定してください。VBPFR[3:2]によらず、32 kHz 発振回路を使用することができます。

P46/X0A を外部クロックとして使用する場合は、VBPFR[5:2]に 0b1110 を設定し、P46/X0A から外部クロックを入力してください。この時 P47 は GPIO 端子として使用可能です。

7.9 プルアップ設定レジスタ(VBPCR)

VBPCR レジスタは、端子のプルアップを設定します。

TYPE2-M0+製品では、P46/X0A, P47/X1A 端子のプルアップ機能がないため、VBPCR[3:2]の設定は無効です。

bit	7	6	5	4	3	2	1	0
Field	予約				VPCR3	VPCR2	VPCR1	VPCR0
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:4] 予約：予約ビット
これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VPCR3： P46/X0A 端子のプルアップ設定ビット
[bit2] VPCR2： P47/X1A 端子のプルアップ設定ビット
[bit1] VPCR1： P49/VWAKEUP 端子のプルアップ設定ビット
[bit0] VPCR0： P48/VREGCTL 端子のプルアップ設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。(初期値＝0)
書込み時	0	当該ビットに対応する端子のプルアップ抵抗を切断します。
	1	当該ビットに対応する端子が入力状態(GPIO・周辺機能いずれも)の場合にプルアップ抵抗が接続されます。 当該ビットに対応する端子が出力状態の場合プルアップ抵抗は切断されます。

7.10 ポート入出力方向設定レジスタ(VBDDR)

VBDDR レジスタは、端子の入出力方向を設定します。

TYPE2-M0+製品では、P46/X0A, P47/X1A 端子の GPIO 機能は入力専用のため、VBDDR[3:2]の出力方向設定は無効です。

bit	7	6	5	4	3	2	1	0
Field	予約				VDDR3	VDDR2	VDDR1	VDDR0
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:4] 予約：予約ビット
これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VDDR3： P46/X0A 端子のポート出力方向設定ビット
[bit2] VDDR2： P47/X1A 端子のポート出力方向設定ビット
[bit1] VDDR1： P49/VWAKEUP 端子のポート出力方向設定ビット
[bit0] VDDR0： P48/VREGCTL 端子のポート出力方向設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。(初期値＝0)
書込み時	0	GPIO を入力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。
	1	GPIO を出力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。

7.11 ポート入力データレジスタ(VBDIR)

VBDIR レジスタは、端子の入力データを示します。

bit	7	6	5	4	3	2	1	0
Field	予約				VDIR3	VDIR2	VDIR1	VDIR0
属性	-				R	R	R	R
初期値	-				x	x	x	x

本レジスタのインタフェース方式は"回路形式 4"です。

[bit7:4] 予約：予約ビット

これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VDIR3： P46/X0A 端子のポート入力データビット
[bit2] VDIR2： P47/X1A 端子のポート入力データビット
[bit1] VDIR1： P49/VWAKEUP 端子のポート入力データビット
[bit0] VDIR0： P48/VREGCTL 端子のポート入力データビット

bit		説明
読出し時	0	端子機能の設定(VBPFR[3:0]/VBDDR/VBPDOR)によらず、端子が"L"レベル入力状態または、"L"レベル出力状態であることを示します。 VBPFR[5:4](SPSR1,SPSR0)により、特殊端子が選択されている場合は、入力遮断されているため常に 0 が読み出されます。
	1	端子機能の設定(VBPFR[3:0]/VBDDR/VBPDOR)によらず、端子が"H"レベル入力状態または、"H"レベル出力状態であることを示します。
書込み時		書込みは動作に影響しません。

7.12 ポート出力データレジスタ(VBDOR)

VBDOR レジスタは、端子への出力データを設定します。

TYPE2-M0+製品では、P46/X0A, P47/X1A 端子の GPIO 機能は入力専用のため、VBDOR[3:2]の設定は無効です。

Bit	7	6	5	4	3	2	1	0
Field	予約				VDOR3	VDOR2	VDOR1	VDOR0
属性	-				R/W	R/W	R/W	R/W
初期値	-				1	1	1	1

本レジスタのインタフェース方式は”回路形式 3”です。

[bit7:4] 予約：予約ビット
これらのビットからは”0b0000”が読み出されます。
書込みの場合には、”0b0000”を設定してください。

[bit3] VDOR3： P46/X0A 端子のポート出力データビット
[bit2] VDOR2： P47/X1A 端子のポート出力データビット
[bit1] VDOR1： P49/VWAKEUP 端子のポート出力データビット
[bit0] VDOR0： P48/VREGCTL 端子のポート出力データビット

bit		説明
読出し時		レジスタの値を読み出します。(初期値＝1)
書込み時	0	GPIO に”L”レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、 設定値は無効です。
	1	GPIO に”H”レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、 設定値は無効です。

7.13 ポート擬似オープンドレイン設定レジスタ(VBPZR)

VBPZR レジスタは、端子のポート疑似オープンドレインを設定します。

Bit	7	6	5	4	3	2	1	0
Field	予約						VPZR1	VPZR0
属性	-						R/W	R/W
初期値	-						1	1

本レジスタのインタフェース方式は”回路形式 3”です。

[bit7:2] 予約：予約ビット

これらのビットからは”0b000000”が読み出されます。
書込みの場合には、”0b000000”を設定してください。

[bit1] VPZR1： P49/VWAKEUP 端子のポート擬似オープンドレイン設定ビット
[bit0] VPZR0： P48/VREGCTL 端子のポート擬似オープンドレイン設定ビット

bit		説明
読出し時		レジスタの設定値を読み出します。(初期値＝1)
書込み時	0	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を High レベルにします。
	1	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を Hi-Z にします。プルアップ抵抗を PCR の設定によらず、切断します。

8. 使用上の注意

バックアップ電源を使用する際は、次の点を注意してください。

- 一次電池の充電や、二次電池の過充電は液漏れや発火の危険があります。
  お使いの電池の特性をご確認の上で電池回りの回路構成を決めてください。
- ハイバネーション制御機能は、オンボードレギュレータにスタンバイ端子がない場合には
  使用できません。ハイバネーション制御を行う場合にはスタンバイ端子があるレギュレータを
  選択ください。

CHAPTER 7-1: 割込みの概要

NVIC（ネスト型割込みコントローラ）による周辺機器と Coretex-M0+コアを接続する割込みについて説明します。

1 割込み参照章

管理コード: 9BFINTTOP_FM0-J03.0

1. 割込み参照章

割込みの構成は、製品タイプによって異なります。ご利用の製品タイプによって Table 1-1 割込み章対応表に示す章をご参照ください。

Table 1-1 割込み章対応表

製品タイプ	参照章
TYPE1-M0+	"割込み構成(TYPE1)"章 “割込み(TYPE1-A)”章 "割込み(TYPE1-B)"章
TYPE2-M0+	"割込み構成(TYPE2)"章 “割込み(TYPE2-A)”章 "割込み(TYPE2-B)"章
TYPE3-M0+	"割込み(TYPE3)"章

CHAPTER 7-2: 割込み構成(TYPE1)

割込みコントローラ(TYPE1)と周辺割込み要求(TYPE1)について説明します。

1. 概要
2. 構成

管理コード: 9AFIRQC_T1-J03.0

1. 概要

割込みコントローラは、割込み要求の優先度を判定して、要求を CPU へ送ります。Cortex-M0+の CPU コアはコア内部に NVIC(ネスト型ベクタ割込みコントローラ)を搭載しています。周辺からのいくつかの割込み信号は、NVIC の 1 つの割込み要因ベクタに集約して入力されます。どの割込み要求が発生しているかは、割込み要求一括読出しレジスタで確認できます。

NVIC(ネスト型ベクタ割込みコントローラ)の特長

- 32 個のマスク可能な周辺割込みチャネル(Cortex-M0+の 16 個の例外割込みは含みません)
- プログラム可能な 4 の割込み優先度レベル(2 ビットの優先割込みを使用)
- レイテンシが短い例外および割込み処理の実現
- システム制御レジスタの実装
- ノンマスカブル割込み(NMI)入力対応

NVIC とプロセッサコアのインタフェースとは密接に結びついており、レイテンシの短い割込み処理や、後着割込みを効率的に処理できるように工夫されています。NVIC は割込みのテールチェーンを可能にするため、ネストされた割込み情報を保持します。

コアの例外を含むすべての割込みは NVIC で管理されます。例外と NVIC の詳細については、Arm 社『Cortex-M0+ テクニカルリファレンスマニュアル』の『第 5 章 例外』と『第 8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

<注意事項>

- *『Cortex-M0+ テクニカルリファレンスマニュアル』では例外タイプ:IRQ をすべて外部割込み入力と定義しています。本マニュアルでは、例外タイプ:IRQ を周辺割込みと表現します。周辺割込みには、外部端子による割込み「外部割込み・NMI 制御部」と LSI 内部の周辺リソースからの割込みがあります。*

割込み要因集約機能

各周辺リソースからの割込み要求信号を 32 要因に集約して、NVIC に入力しています。また、NMIX 外部端子の割込み要求信号は、ハードウェアウォッチドッグの割込み信号と論理 OR して NVIC に入力しています。

周辺割込み要求一括読出し機能

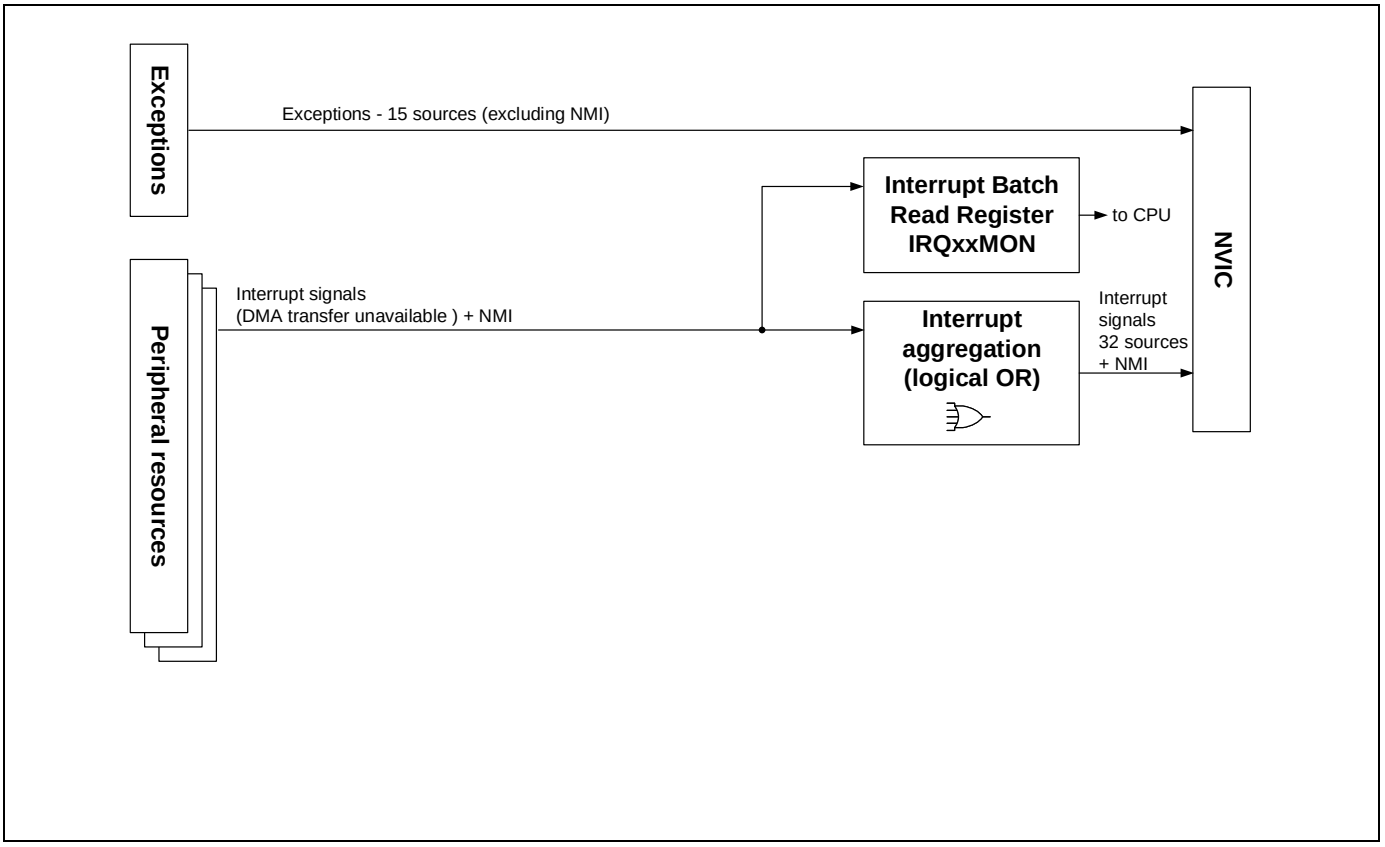
割込み要求一括読出しレジスタは、1 つの割込み要求信号に集約された周辺リソースからの割込み要求信号を一度に読み出せるレジスタです。このレジスタを読み出すことにより、どの割込み要求が発生しているかを確認できます。ただし、この機能で割込み要求フラグをクリアすることはできません。割込み要求フラグは、各周辺機能のレジスタでクリアしてください。

2. 構成

割込みコントローラの関連構成を示します。

割込みコントローラのブロックダイヤグラム

Figure 2-1 割込みコントローラのブロックダイヤグラム



■ 割込み要因集約部(Interrupt aggregation)
各周辺リソースからの割込み要求信号を 32 要因に集約(論理 OR)して、NVIC に出力します。

■ 周辺割込み要求一括読出しレジスタ部(Interrupt Batch Read Register)
1 つの割込み要求信号に集約された周辺リソースからの割込み要求信号に対し、各周辺リソースのどの割込み要求信号によって、該当割込みが発生しているかを確認できるレジスタです。

■ 割込み要因ベクタリロケート機能

IRQCMODE ビットの設定により Table 2-2 に示す 2 種類の割込み要因ベクタアサインを選択できます。IRQCMODE ビットについては『割込み(B)』を参照してください。

各設定の詳細については Table 2-1 の各章を参照ください。

また、RCINTSEL0, RCINTSEL1 レジスタにより任意の割込み要因を選択できます。RCINTSEL0, RCINTSEL1 レジスタの詳細は『割込み(B)』を参照してください。

Table 2-1 割り込み章対応表

IRQCMODE 設定	参照先
IRQCMODE=0 リロケート非選択時	『割込み(A)』の章
IRQCMODE=1 リロケート選択時	『割込み(B)』の章

Table 2-2 例外と割込み要因ベクター覧

ベクタ No.	IRQ No.	例外と割込み要因ベクタ	
		IRQCMODE=0	IRQCMODE=1
0	-	スタックポインタ初期値	
1	-	リセット	
2	-	ノンマスカブル割込み(NMI) / ハードウェアウォッチドッグタイマ	
3	-	ハードフォルト	
4	-	Resserved	
5	-	Resserved	
6	-	Resserved	
7-10	-	Reserved	
11	-	SVCall (スーパバイザコール)	
12	-	Resserved	
13	-	Reserved	
14	-	PendSV	
15	-	SysTick	
16	0	クロックスーパバイザによる異常周波数検出(FCS)	
17	1	ソフトウェアウォッチドッグタイマ	
18	2	低電圧検出(LVD)	
19	3	MFT unit 0, unit 1, unit 2 波形ジェネレータ/ DTIF(モータ緊急停止)	RCINTSEL0 レジスタで割込み要因選択
20	4	外部端子割込み ch.0～ch.7	RCINTSEL0 レジスタで割込み要因選択
21	5	外部端子割込み ch.8～ch.31	RCINTSEL0 レジスタで割込み要因選択
22	6	デュアルタイマ / クアッドカウンタ(QPRC) ch.0, ch.1, ch.2	RCINTSEL0 レジスタで割込み要因選択
23	7	MFS ch.0 の受信割込み / MFS ch.8 の受信割込み	RCINTSEL1 レジスタで割込み要因選択

ベクタ No.	IRQ No.	例外と割込み要因ベクタ	
		IRQCMODE=0	IRQCMODE=1
24	8	MFS ch.0 の送信、ステータス割込み / MFS ch.8 の送信、ステータス割込み	RCINTSEL1 レジスタで割込み要因選択
25	9	MFS ch.1 の受信割込み / MFS ch.9 の受信割込み	RCINTSEL1 レジスタで割込み要因選択
26	10	MFS ch.1 の送信、ステータス割込み / MFS ch.9 の送信、ステータス割込み	RCINTSEL1 レジスタで割込み要因選択
27	11	MFS ch.2 の受信割込み / MFS ch.10 の受信割込み	MFT unit 0 波形ジェネレータ/ DTIF(モータ緊急停止) / MFS ch.8 の受信、送信、ステータス割込み
28	12	MFS ch.2 の送信、ステータス割込み / MFS ch.10 の送信、ステータス割込み	外部端子割込み ch.0～ch.7
29	13	MFS ch.3 の受信割込み / MFS ch.11 の受信割込み	外部端子割込み ch.8～ch.31
30	14	MFS ch.3 の送信、ステータス割込み / MFS ch.11 の送信、ステータス割込み	デュアルタイマ / QPRC ch.0
31	15	MFS ch.4 の受信割込み / MFS ch.12 の受信割込み	MFS ch.0 の受信、送信 、ステータス割込み
32	16	MFS ch.4 の送信、ステータス割込み / MFS ch.12 の送信、ステータス割込み	MFS ch.1 の受信、送信、ステータス割込み
33	17	MFS ch.5 の受信割込み / MFS ch.13 の受信割込み	MFS ch.2 の受信、送信 、ステータス割込み
34	18	MFS ch.5 の送信、ステータス割込み / MFS ch.13 の送信、ステータス割込み	MFS ch.3 の受信、送信, ステータス割込み
35	19	MFS ch.6 の受信割込み / MFS ch.14 の受信割込み	MFS ch.4 の受信割込み
36	20	MFS ch.6 の送信、ステータス割込み / MFS ch.14 の送信、ステータス割込み	MFS ch.4 の送信、ステータス割込み
37	21	MFS ch.7 の受信割込み / MFS ch.15 の受信割込み	MFS ch.5 の受信割込み
38	22	MFS ch.7 の送信, ステータス割込み / MFS ch.15 の送信, ステータス割込み	MFS ch.5 の送信、ステータス割込み
39	23	PPG ch.0/2/4/8/10/12/16/18/20	
40	24	外部メイン発振 / 外部サブ発振 / メイン PLL /時計カウンタ/リアルタイムカウンタ	
41	25	A/D コンバータ unit 0	A/D コンバータ unit 0 / MFS ch.9 の受信、送信、ステータス割込み
42	26	A/D コンバータ unit 1	A/D コンバータ unit 1 / MFS ch.10 の受信、送信、ステータス割込み
43	27	A/D コンバータ unit 2 / LCD コントローラ	A/D コンバータ unit 2 / LCD コントローラ / MFS ch.11 の受信、送信、ステータス割込み

ベクタ No.	IRQ No.	例外と割込み要因ベクタ	
		IRQCMODE=0	IRQCMODE=1
44	28	MFT unit 0、unit 1、unit 2 フリーラン タイマ	MFT unit 0 フリーランタイマ、インプットキャプチャ、アウトプットキャプチャ
45	29	MFT unit 0、unit 1、unit 2 インプット キャプチャ	MFT unit 1 フリーランタイマ、インプットキャプチャ、アウトプットキャプチャ
46	30	MFT unit 0、unit 1、unit 2 アウトプット コンペア	MFT unit 2 フリーランタイマ、インプットキャプチャ、アウトプットキャプチャ
47	31	ベースタイマ ch.0～ch.7/ Flash RDY 割り込み/ Flash HANG 割込み	

CHAPTER 7-3: 割込み(TYPE1-A)

IRQCMODE=0 時の例外と割り込み要因ベクタ、レジスタについて説明します。(TYPE1)

1. 例外と割込み要因ベクタ
2. レジスタ
3. 使用上の注意

管理コード: 9AFIRQC_T1_A-J03.0

1. 例外と割込み要因ベクタ

NVIC に入力される例外と割込みの要因ベクタ表を示します。

Table 1-1 例外と割込み要因ベクタ

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ オフセット
0	-	スタックポインタ初期値	0x00
1	-	リセット	0x04
2	-	ノンマスカブル割込み(NMI) / ハードウェアウォッチドッグタイマ	0x08
3	-	ハードフォルト	0x0C
4	-	Resserved	0x10
5	-	Resserved	0x14
6	-	Resserved	0x18
7-10	-	Reserved	0x1C - 0x2B
11	-	SVCall (スーパバイザコール)	0x2C
12	-	Resserved	0x30
13	-	Reserved	0x34
14	-	PendSV	0x38
15	-	SysTick	0x3C
16	0	クロックスーパバイザによる異常周波数検出(FCS)	0x40
17	1	ソフトウェアウォッチドッグタイマ	0x44
18	2	低電圧検出(LVD)	0x48
19	3	MFT unit 0、unit 1、unit 2 波形ジェネレータ/ DTIF(モータ緊急停止)	0x4C
20	4	外部端子割込み要求 ch.0～ch.7	0x50
21	5	外部端子割込み要求 ch.8～ch.31	0x54
22	6	デュアルタイマ / QPRC ch.0、ch.1、ch.2	0x58
23	7	MFS ch.0 の受信割込み要求 / MFS ch.8 の受信割込み要求	0x5C
24	8	MFS ch.0 の送信割込み要求、ステータス割込み要求 / MFS ch.8 の送信割込み要求、ステータス割込み要求	0x60
25	9	MFS ch.1 の受信割込み要求 / MFS ch.9 の受信割込み要求	0x64
26	10	MFS ch.1 の送信割込み要求、ステータス割込み要求 / MFS ch.9 の送信割込み要求、ステータス割込み要求	0x68
27	11	MFS ch.2 の受信割込み要求 / MFS ch.10 の受信割込み要求	0x6C
28	12	MFS ch.2 の送信割込み要求、ステータス割込み要求 / MFS ch.10 の送信割込み要求、ステータス割込み要求	0x70
29	13	MFS ch.3 の受信割込み要求 / MFS ch.11 の受信割込み要求	0x74
30	14	MFS ch.3 の送信割込み要求、ステータス割込み要求/ MFS ch.11 の送信割込み要求、ステータス割込み要求	0x78
31	15	MFS ch.4 の受信割込み要求 / MFS ch.12 の受信割込み要求	0x7C
32	16	MFS ch.4 の送信割込み要求、ステータス割込み要求/ MFS ch.12 の送信割込み要求、ステータス割込み要求	0x80
33	17	MFS ch.5 の受信割込み要求 / MFS ch.13 の受信割込み要求	0x84
34	18	MFS ch.5 の送信割込み要求、ステータス割込み要求/ MFS ch.13 の送信割込み要求、ステータス割込み要求	0x88

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ オフセット
35	19	MFS ch.6 の受信割込み要求 / MFS ch.14 の受信割込み要求	0x8C
36	20	MFS ch.6 の送信割込み要求、ステータス割込み要求/ MFS ch.14 の送信割込み要求、ステータス割込み要求	0x90
37	21	MFS ch.7 の受信割込み要求 / MFS ch.15 の受信割込み要求	0x94
38	22	MFS ch.7 の送信割込み要求、ステータス割込み要求/ MFS ch.15 の送信割込み要求、ステータス割込み要求	0x98
39	23	PPG ch.0/2/4/8/10/12/16/18/20	0x9C
40	24	外部メイン発振 / 外部サブ発振 / メイン PLL /時計カウンタ/ リアルタイムカウンタ	0xA0
41	25	A/D コンバータ unit 0	0xA4
42	26	A/D コンバータ unit 1	0xA8
43	27	A/D コンバータ unit 2 / LCD コントローラ	0xAC
44	28	MFT unit 0、unit 1、unit 2 フリーランタイマ	0xB0
45	29	MFT unit 0、unit 1、unit 2 インプットキャプチャ	0xB4
46	30	MFT unit 0、unit 1、unit 2 アウトプットコンペア	0xB8
47	31	ベースタイマ ch.0～ch.7 / フラッシュメモリ RDY 割込み / フラッシュメモリ HANG 割込み	0xBC

ベクタ No.4～No.15 の例外の優先度は、NVIC に実装されたシステムハンドラ優先度レジスタ(System Handlers Priority Register、アドレス 0xE000ED18、0xE000ED1C、0xE000ED20)で設定可能です。ベクタ No.16 以降の周辺割込みの優先度は、NVIC に実装された割込み優先度レジスタ(IRQ Priority Register、アドレス 0xE000E400～0xE000E42C)で設定可能です。

ベクタ No.2、No.16～No.47 の割込みは一括読出しレジスタで要因が確認できます。そのほかの例外・割込みについては『Cortex-M0+ テクニカルリファレンスマニュアル』の『第 5 章 ネスト型ベクタ割込みコントローラ』を参照してください。

また、ベクタ No.2、No.16～No.47 の割込みは、一括読出しされた要因が各周辺マクロ内で複数の割込み要因が論理 OR された信号の場合があります。その詳細は、各周辺リソースの割込みについての説明を参照してください。

2. レジスタ

DMA 転送要求選択レジスタと割込み要求一括読出しレジスタについて説明します。

DMA 転送要求選択レジスタと割込み要求一括読出しレジスター覧

Table 2-1 DMA 転送要求選択レジスタと割込み要求一括読出しレジスター覧

レジスタ略称	レジスタ名	参照先
DRQSEL	DMA 要求選択レジスタ	2.1
EXC02MON	EXC02 一括読出しレジスタ	2.2
IRQ00MON	IRQ00 一括読出しレジスタ	2.3
IRQ01MON	IRQ01 一括読出しレジスタ	2.4
IRQ02MON	IRQ02 一括読出しレジスタ	2.5
IRQ03MON	IRQ03 一括読出しレジスタ	2.6
IRQ04MON	IRQ04 一括読出しレジスタ	2.7
IRQ05MON	IRQ05 一括読出しレジスタ	2.8
IRQ06MON	IRQ06 一括読出しレジスタ	2.9
IRQ07MON	IRQ07 一括読出しレジスタ	2.10
IRQ08MON	IRQ08 一括読出しレジスタ	2.12
IRQ09MON	IRQ09 一括読出しレジスタ	2.10
IRQ10MON	IRQ10 一括読出しレジスタ	2.12
IRQ11MON	IRQ11 一括読出しレジスタ	2.10
IRQ12MON	IRQ12 一括読出しレジスタ	2.12
IRQ13MON	IRQ13 一括読出しレジスタ	2.10
IRQ14MON	IRQ14 一括読出しレジスタ	2.12
IRQ15MON	IRQ15 一括読出しレジスタ	2.10
IRQ16MON	IRQ16 一括読出しレジスタ	2.12
IRQ17MON	IRQ17 一括読出しレジスタ	2.10
IRQ18MON	IRQ18 一括読出しレジスタ	2.12
IRQ19MON	IRQ19 一括読出しレジスタ	2.11
IRQ20MON	IRQ20 一括読出しレジスタ	2.13
IRQ21MON	IRQ21 一括読出しレジスタ	2.11
IRQ22MON	IRQ22 一括読出しレジスタ	2.13
IRQ23MON	IRQ23 一括読出しレジスタ	2.14
IRQ24MON	IRQ24 一括読出しレジスタ	2.15
IRQ25MON	IRQ25 一括読出しレジスタ	2.16
IRQ26MON	IRQ26 一括読出しレジスタ	2.16
IRQ27MON	IRQ27 一括読出しレジスタ	2.17
IRQ28MON	IRQ28 一括読出しレジスタ	2.18
IRQ29MON	IRQ29 一括読出しレジスタ	2.19
IRQ30MON	IRQ30 一括読出しレジスタ	2.20
IRQ31MON	IRQ31 一括読出しレジスタ	2.21

NVIC 内のレジスタの詳細は、『Cortex-M0+ テクニカルリファレンスマニュアル』の『第 5 章 ネスト型ベクタ割込みコントローラ』を参照してください。

2.1 DMA 要求選択レジスタ(DRQSEL)

DMA 要求選択レジスタ(DRQSEL)は、DMA 転送可能な割込み信号を CPU への割込み要求として出力させるか、DMAC への転送要求として出力させるかを選択します。

レジスタ構成

bit	31	5	4	3	2	1	0
Field	予約		予約				
属性	R/W		R				
初期値	00000000000000000000000000		00000				

レジスタ機能

[bit31:5] 予約 :予約ビット

書込みは、"0"を書き込んでください。

[bit4:0] 予約: 予約ビット

"0"が読み出されます。

2.2 EXC02 一括読出しレジスタ(EXC02MON)

EXC02 一括読出しレジスタ(EXC02MON)は、割込みベクタ No.2 に割り当てられた割込み要求を一括で読み出せます。

EXC02MON は、ハードウェアウォッチドッグタイマと NMIX 外部端子の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														HWINT	NMI
属性	R														R	R
初期値	00000000000000														0	0

レジスタ機能

[bit31:2] 予約: 予約ビット

"0"が読み出されます。

[bit1] HWINT:

bit	説明
0	ハードウェアウォッチドッグタイマの割込み要求なし
1	ハードウェアウォッチドッグタイマの割込み要求あり

[bit0] NMI:

bit	説明
0	NMIX 外部端子の割込み要求なし
1	NMIX 外部端子の割込み要求あり

2.3 IRQ00 一括読出しレジスタ(IRQ00MON)

IRQ00 一括読出しレジスタ(IRQ00MON)は、割込みベクタ No.16 に割り当てられた割込み要求を一括で読み出せます。

IRQ00MON は、CSV による異常周波数検出の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															FCSINT
属性	R															R
初期値	000000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット

"0"が読み出されます。

[bit0] FCSINT:

bit	説明
0	CSV による異常周波数検出の割込み要求なし
1	CSV による異常周波数検出の割込み要求あり

2.4 IRQ01 一括読出しレジスタ(IRQ01MON)

IRQ01 一括読出しレジスタ(IRQ01MON)は、割込みベクタ No.17 に割り当てられた割込み要求を一括で読み出せます。

IRQ01MON は、ソフトウェアウォッチドッグタイマの割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															SWWDTINT
属性	R															R
初期値	000000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット

"0"が読み出されます。

[bit0] SWWDTINT:

bit	説明
0	ソフトウェアウォッチドッグタイマの割込み要求なし
1	ソフトウェアウォッチドッグタイマの割込み要求あり

2.5 IRQ02 一括読出しレジスタ(IRQ02MON)

IRQ02 一括読出しレジスタ(IRQ02MON)は、割込みベクタ No.18 に割り当てられた割込み要求を一括で読み出せます。

IRQ02MON は、低電圧検出(LVD)の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															LVDINT
属性	R															R
初期値	000000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット

"0"が読み出されます。

[bit0] LVDINT:

bit	説明
0	低電圧検出(LVD)の割込み要求なし
1	低電圧検出(LVD)の割込み要求あり

2.6 IRQ03 一括読出しレジスタ(IRQ03MON)

IRQ03 一括読出しレジスタ(IRQ03MON)は、割込みベクタ No.19 に割り当てられた割込み要求を一括で読み出せます。

IRQ03MON は、MFT unit 0、MFT unit 1 と MFT unit 2 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約				WAVE2INT				WAVE1INT				WAVE0INT			
属性	R				R				R				R			
初期値	0000				0000				0000				0000			

レジスタ機能

[bit31:12] 予約: 予約ビット

"0"が読み出されます。

[bit11:8] WAVE2INT:

bit 番号	bit	説明
11	0	MFT unit 2 の WFG タイマ 54 の割込み要求なし
	1	MFT unit 2 の WFG タイマ 54 の割込み要求あり
10	0	MFT unit 2 の WFG タイマ 32 の割込み要求なし
	1	MFT unit 2 の WFG タイマ 32 の割込み要求あり
9	0	MFT unit 2 の WFG タイマ 10 の割込み要求なし
	1	MFT unit 2 の WFG タイマ 10 の割込み要求あり
8	0	MFT unit 2 の DTIF (モータ緊急停止) の割込み要求なし
	1	MFT unit 2 の DTIF (モータ緊急停止) の割込み要求あり

[bit7:4] WAVE1INT:

bit 番号	bit	説明
7	0	MFT unit 1 の WFG タイマ 54 の割込み要求なし
	1	MFT unit 1 の WFG タイマ 54 の割込み要求あり
6	0	MFT unit 1 の WFG タイマ 32 の割込み要求なし
	1	MFT unit 1 の WFG タイマ 32 の割込み要求あり
5	0	MFT unit 1 の WFG タイマ 10 の割込み要求なし
	1	MFT unit 1 の WFG タイマ 10 の割込み要求あり
4	0	MFT unit 1 の DTIF (モータ緊急停止) の割込み要求なし
	1	MFT unit 1 の DTIF (モータ緊急停止) の割込み要求あり

[bit3:0] WAVE0INT:

bit 番号	bit	説明
3	0	MFT unit 0 の WFG タイマ 54 の割込み要求なし
	1	MFT unit 0 の WFG タイマ 54 の割込み要求あり
2	0	MFT unit 0 の WFG タイマ 32 の割込み要求なし
	1	MFT unit 0 の WFG タイマ 32 の割込み要求あり
1	0	MFT unit 0 の WFG タイマ 10 の割込み要求なし
	1	MFT unit 0 の WFG タイマ 10 の割込み要求あり
0	0	MFT unit 0 の DTIF (モータ緊急停止) の割込み要求なし
	1	MFT unit 0 の DTIF (モータ緊急停止) の割込み要求あり

2.7 IRQ04 一括読出しレジスタ(IRQ04MON)

IRQ04 一括読出しレジスタ(IRQ04MON)は、割込みベクタ No.20 に割り当てられた割込み要求を一括で読み出せます。

IRQ04MON は、外部割込み ch.0～ch.7 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								EXTINT							
属性	R								R							
初期値	0x00								0x00							

レジスタ機能

[bit31:8] 予約: 予約ビット

"0"が読み出されます。

[bit7:0] EXTINT:

bit 番号	bit	説明
7	0	外部割込み ch.7 の割込み要求なし
	1	外部割込み ch.7 の割込み要求あり
6	0	外部割込み ch.6 の割込み要求なし
	1	外部割込み ch.6 の割込み要求あり
5	0	外部割込み ch.5 の割込み要求なし
	1	外部割込み ch.5 の割込み要求あり
4	0	外部割込み ch.4 の割込み要求なし
	1	外部割込み ch.4 の割込み要求あり
3	0	外部割込み ch.3 の割込み要求なし
	1	外部割込み ch.3 の割込み要求あり
2	0	外部割込み ch.2 の割込み要求なし
	1	外部割込み ch.2 の割込み要求あり
1	0	外部割込み ch.1 の割込み要求なし
	1	外部割込み ch.1 の割込み要求あり
0	0	外部割込み ch.0 の割込み要求なし
	1	外部割込み ch.0 の割込み要求あり

2.8 IRQ05 一括読出しレジスタ(IRQ05MON)

IRQ05 一括読出しレジスタ(IRQ05MON)は、割込みベクタ No.21 に割り当てられた割込み要求を一括で読み出せます。

IRQ05MON は、外部割込み ch.8～ch.31 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約								EXTINT							
属性	R								R							
初期値	0x00								0x00							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXTINT															
属性	R															
初期値	0x0000															

レジスタ機能

[bit31:24] 予約: 予約ビット

"0"が読み出されます。

[bit23:0] EXTINT:

bit 番号	bit	説明
23	0	外部割込み ch.31 の割込み要求なし
	1	外部割込み ch.31 の割込み要求あり
22	0	外部割込み ch.30 の割込み要求なし
	1	外部割込み ch.30 の割込み要求あり
21	0	外部割込み ch.29 の割込み要求なし
	1	外部割込み ch.29 の割込み要求あり
20	0	外部割込み ch.28 の割込み要求なし
	1	外部割込み ch.28 の割込み要求あり
19	0	外部割込み ch.27 の割込み要求なし
	1	外部割込み ch.27 の割込み要求あり
18	0	外部割込み ch.26 の割込み要求なし
	1	外部割込み ch.26 の割込み要求あり
17	0	外部割込み ch.25 の割込み要求なし
	1	外部割込み ch.25 の割込み要求あり
16	0	外部割込み ch.24 の割込み要求なし
	1	外部割込み ch.24 の割込み要求あり
15	0	外部割込み ch.23 の割込み要求なし
	1	外部割込み ch.23 の割込み要求あり
14	0	外部割込み ch.22 の割込み要求なし
	1	外部割込み ch.22 の割込み要求あり

bit 番号	bit	説明
13	0	外部割込み ch.21 の割込み要求なし
	1	外部割込み ch.21 の割込み要求あり
12	0	外部割込み ch.20 の割込み要求なし
	1	外部割込み ch.20 の割込み要求あり
11	0	外部割込み ch.19 の割込み要求なし
	1	外部割込み ch.19 の割込み要求あり
10	0	外部割込み ch.18 の割込み要求なし
	1	外部割込み ch.18 の割込み要求あり
9	0	外部割込み ch.17 の割込み要求なし
	1	外部割込み ch.17 の割込み要求あり
8	0	外部割込み ch.16 の割込み要求なし
	1	外部割込み ch.16 の割込み要求あり
7	0	外部割込み ch.15 の割込み要求なし
	1	外部割込み ch.15 の割込み要求あり
6	0	外部割込み ch.14 の割込み要求なし
	1	外部割込み ch.14 の割込み要求あり
5	0	外部割込み ch.13 の割込み要求なし
	1	外部割込み ch.13 の割込み要求あり
4	0	外部割込み ch.12 の割込み要求なし
	1	外部割込み ch.12 の割込み要求あり
3	0	外部割込み ch.11 の割込み要求なし
	1	外部割込み ch.11 の割込み要求あり
2	0	外部割込み ch.10 の割込み要求なし
	1	外部割込み ch.10 の割込み要求あり
1	0	外部割込み ch.9 の割込み要求なし
	1	外部割込み ch.9 の割込み要求あり
0	0	外部割込み ch.8 の割込み要求なし
	1	外部割込み ch.8 の割込み要求あり

2.9 IRQ06 一括読出しレジスタ(IRQ06MON)

IRQ06 一括読出しレジスタ(IRQ06MON)は、割込みベクタ No.22 に割り当てられた割込み要求を一括で読み出せます。

IRQ06MON は、QPRC とデュアルタイマの割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約												QUD2INT			
属性	R												R			
初期値	0x000												0000			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	QUD2INT		QUD1INT						QUD0INT						TIMINT	
属性	R		R						R						R	
初期値	00		000000						000000						00	

レジスタ機能

[bit31:20] 予約: 予約ビット

"0"が読み出されます。

[bit19:14] QUD2INT:

bit 番号	bit	説明
19	0	QPRC ch.2 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.2 PC 一致&RC 一致の割込み要求あり
18	0	QPRC ch.2 RC 範囲外検出の割込み要求なし
	1	QPRC ch.2 RC 範囲外検出の割込み要求あり
17	0	QPRC ch.2 PC カウント反転の割込み要求なし
	1	QPRC ch.2 PC カウント反転の割込み要求あり
16	0	QPRC ch.2 オーバフロー/アンダフロー/ゼロインデックスの割込み要求なし
	1	QPRC ch.2 オーバフロー/アンダフロー/ゼロインデックスの割込み要求あり
15	0	QPRC ch.2 PC&RC 一致の割込み要求なし
	1	QPRC ch.2 PC&RC 一致の割込み要求あり
14	0	QPRC ch.2 PC 一致の割込み要求なし
	1	QPRC ch.2 PC 一致の割込み要求あり

[bit13:8] QUD1INT:

bit 番号	bit	説明
13	0	QPRC ch.1 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.1 PC 一致&RC 一致の割込み要求あり
12	0	QPRC ch.1 RC 範囲外検出の割込み要求なし
	1	QPRC ch.1 RC 範囲外検出の割込み要求あり
11	0	QPRC ch.1 PC カウント反転の割込み要求なし
	1	QPRC ch.1 PC カウント反転の割込み要求あり
10	0	QPRC ch.1 オーバフロー/アンダフロー/ゼロインデックスの 割込み要求なし
	1	QPRC ch.1 オーバフロー/アンダフロー/ゼロインデックスの 割込み要求あり
9	0	QPRC ch.1 PC&RC 一致の割込み要求なし
	1	QPRC ch.1 PC&RC 一致の割込み要求あり
8	0	QPRC ch.1 PC 一致の割込み要求なし
	1	QPRC ch.1 PC 一致の割込み要求あり

[bit7:2] QUD0INT:

bit 番号	bit	説明
7	0	QPRC ch.0 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.0 PC 一致&RC 一致の割込み要求あり
6	0	QPRC ch.0 RC 範囲外検出の割込み要求なし
	1	QPRC ch.0 RC 範囲外検出の割込み要求あり
5	0	QPRC ch.0 PC カウント反転の割込み要求なし
	1	QPRC ch.0 PC カウント反転の割込み要求あり
4	0	QPRC ch.0 オーバフロー/アンダフロー/ゼロインデックスの 割込み要求なし
	1	QPRC ch.0 オーバフロー/アンダフロー/ゼロインデックスの 割込み要求あり
3	0	QPRC ch.0 PC&RC 一致の割込み要求なし
	1	QPRC ch.0 PC&RC 一致の割込み要求あり
2	0	QPRC ch.0 PC 一致の割込み要求なし
	1	QPRC ch.0 PC 一致の割込み要求あり

[bit1:0] TIMINT:

bit 番号	bit	説明
1	0	デュアルタイマ TIMINT2 の割込み要求なし
	1	デュアルタイマ TIMINT2 の割込み要求あり
0	0	デュアルタイマ TIMINT1 の割込み要求なし
	1	デュアルタイマ TIMINT1 の割込み要求あり

2.10 IRQ07/09/11/13/15/17 一括読出しレジスタ(IRQxxMON)

IRQ07 一括読出しレジスタ(IRQ07MON)は、割込みベクタ No.23 に割り当てられた割込み要求を一括で読み出せます。
IRQ09 一括読出しレジスタ(IRQ09MON)は、割込みベクタ No.25 に割り当てられた割込み要求を一括で読み出せます。
IRQ11 一括読出しレジスタ(IRQ11MON)は、割込みベクタ No.27 に割り当てられた割込み要求を一括で読み出せます。
IRQ13 一括読出しレジスタ(IRQ13MON)は、割込みベクタ No.29 に割り当てられた割込み要求を一括で読み出せます。
IRQ15 一括読出しレジスタ(IRQ15MON)は、割込みベクタ No.31 に割り当てられた割込み要求を一括で読み出せます。
IRQ17 一括読出しレジスタ(IRQ17MON)は、割込みベクタ No.33 に割り当てられた割込み要求を一括で読み出せます。

IRQ07MON は、MFS ch.0 / ch.8 の受信割込み要求の状態を示します。
IRQ09MON は、MFS ch.1 / ch.9 の受信割込み要求の状態を示します。
IRQ11MON は、MFS ch.2 / ch.10 の受信割込み要求の状態を示します。
IRQ13MON は、MFS ch.3 / ch.11 の受信割込み要求の状態を示します。
IRQ15MON は、MFS ch.4 / ch.12 の受信割込み要求の状態を示します。
IRQ17MON は、MFS ch.5 / ch.13 の受信割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														MFSINT	
属性	R														R	
初期値	00000000000000														00	

レジスタ機能

[bit31:2] 予約: 予約ビット
"0"が読み出されます。

[bit1:0] MFSINT:

bit 番号	bit	説明
1	0	MFS の該当するチャネル(ch.8~ch.13)の受信割込み要求なし
	1	MFS の該当するチャネル(ch.8~ch.13)の受信割込み要求あり
0	0	MFS の該当するチャネル(ch.0~ch.5)の受信割込み要求なし
	1	MFS の該当するチャネル(ch.0~ch.5)の受信割込み要求あり

2.11 IRQ19/21 一括読出しレジスタ(IRQxxMON)

IRQ19 一括読出しレジスタ(IRQ19MON)は、割込みベクタ No.35 に割り当てられた割込み要求を一括で読み出せます。
IRQ21 一括読出しレジスタ(IRQ21MON)は、割込みベクタ No.37 に割り当てられた割込み要求を一括で読み出せます。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約											予約	予約		MFSINT	
属性	R											R	R		R	
初期値	00000000000											0	00		00	

レジスタ機能

[bit31:5] 予約: 予約ビット
"0"が読み出されます。

[bit4] 予約: 予約ビット
"0"が読み出されます。

[bit3:2] 予約: 予約ビット
"0"が読み出されます。

[bit1:0] MFSINT:

bit 番号	bit	説明
1	0	MFS の該当するチャネル(ch.14 / ch.15)の受信割込み要求なし
	1	MFS の該当するチャネル(ch.14 / ch.15)の受信割込み要求あり
0	0	MFS の該当するチャネル(ch.6 / ch.7)の受信割込み要求なし
	1	MFS の該当するチャネル(ch.6 / ch.7)の受信割込み要求あり

2.12 IRQ08/10/12/14/16/18 一括読出しレジスタ(IRQxxMON)

IRQ08 一括読出しレジスタ(IRQ08MON)は、割込みベクタ No.24 に割り当てられた割込み要求を一括で読み出せます。
IRQ10 一括読出しレジスタ(IRQ10MON)は、割込みベクタ No.26 に割り当てられた割込み要求を一括で読み出せます。
IRQ12 一括読出しレジスタ(IRQ12MON)は、割込みベクタ No.28 に割り当てられた割込み要求を一括で読み出せます。
IRQ14 一括読出しレジスタ(IRQ14MON)は、割込みベクタ No.30 に割り当てられた割込み要求を一括で読み出せます。
IRQ16 一括読出しレジスタ(IRQ16MON)は、割込みベクタ No.32 に割り当てられた割込み要求を一括で読み出せます。
IRQ18 一括読出しレジスタ(IRQ18MON)は、割込みベクタ No.34 に割り当てられた割込み要求を一括で読み出せます。

IRQ08MON は、MFS ch.0 / ch.8 の送信割込み要求、ステータス割込み要求の状態を示します。
IRQ10MON は、MFS ch.1 / ch.9 の送信割込み要求、ステータス割込み要求の状態を示します。
IRQ12MON は、MFS ch.2 / ch.10 の送信割込み要求、ステータス割込み要求の状態を示します。
IRQ14MON は、MFS ch.3 / ch.11 の送信割込み要求、ステータス割込み要求の状態を示します。
IRQ16MON は、MFS ch.4 / ch.12 の送信割込み要求、ステータス割込み要求の状態を示します。
IRQ18MON は、MFS ch.5 / ch.13 の送信割込み要求、ステータス割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約												MFSINT			
属性	R												R			
初期値	000000000000												0000			

レジスタ機能

[bit31:4] 予約: 予約ビット
"0"が読み出されます。

[bit3:0] MFSINT:

bit 番号	bit	説明
3	0	MFS の該当するチャネル(ch.8~ch.13)のステータス割込み要求なし
	1	MFS の該当するチャネル(ch.8~ch.13)のステータス割込み要求あり
2	0	MFS の該当するチャネル(ch.8~ch.13)の送信割込み要求なし
	1	MFS の該当するチャネル(ch.8~ch.13)の送信割込み要求あり
1	0	MFS の該当するチャネル(ch.0~ch.5)のステータス割込み要求なし
	1	MFS の該当するチャネル(ch.0~ch.5)のステータス割込み要求あり
0	0	MFS の該当するチャネル(ch.0~ch.5)の送信割込み要求なし
	1	MFS の該当するチャネル(ch.0~ch.5)の送信割込み要求あり

2.13 IRQ20/22 一括読出しレジスタ(IRQxxMON)

IRQ20 一括読出しレジスタ(IRQ20MON)は、割込みベクタ No.36 に割り当てられた割込み要求を一括で読み出せます。
IRQ22 一括読出しレジスタ(IRQ22MON)は、割込みベクタ No.38 に割り当てられた割込み要求を一括で読み出せます。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約											予約	MFSINT			
属性	R											R	R			
初期値	00000000000											0	0000			

レジスタ機能

[bit31:5] 予約: 予約ビット
"0"が読み出されます。

[bit4] 予約: 予約ビット
"0"が読み出されます。

[bit3:0] MFSINT:

bit 番号	bit	説明
3	0	MFS の該当するチャネル(ch.14 / ch.15)のステータス割込み要求なし
	1	MFS の該当するチャネル(ch.14 / ch.15)のステータス割込み要求あり
2	0	MFS の該当するチャネル(ch.14 / ch.15)の送信割込み要求なし
	1	MFS の該当するチャネル(ch.14 / ch.15)の送信割込み要求あり
1	0	MFS の該当するチャネル(ch.6 / ch.7)のステータス割込み要求なし
	1	MFS の該当するチャネル(ch.6 / ch.7)のステータス割込み要求あり
0	0	MFS の該当するチャネル(ch.6 / ch.7)の送信割込み要求なし
	1	MFS の該当するチャネル(ch.6 / ch.7)の送信割込み要求あり

2.14 IRQ23 一括読出しレジスタ(IRQ23MON)

IRQ23 一括読出しレジスタ(IRQ23MON)は、割込みベクタ No.39 に割り当てられた割込み要求を一括で読み出せます。

IRQ23MON は、PPG の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約							PPGINT								
属性	R							R								
初期値	0000000							000000000								

レジスタ機能

[bit31:9] 予約: 予約ビット

"0"が読み出されます。

[bit8:0] PPGINT:

bit 番号	bit	説明
8	0	PPG ch.20 の割込み要求なし
	1	PPG ch.20 の割込み要求あり
7	0	PPG ch.18 の割込み要求なし
	1	PPG ch.18 の割込み要求あり
6	0	PPG ch.16 の割込み要求なし
	1	PPG ch.16 の割込み要求あり
5	0	PPG ch.12 の割込み要求なし
	1	PPG ch.12 の割込み要求あり
4	0	PPG ch.10 の割込み要求なし
	1	PPG ch.10 の割込み要求あり
3	0	PPG ch.8 の割込み要求なし
	1	PPG ch.8 の割込み要求あり
2	0	PPG ch.4 の割込み要求なし
	1	PPG ch.4 の割込み要求あり
1	0	PPG ch.2 の割込み要求なし
	1	PPG ch.2 の割込み要求あり
0	0	PPG ch.0 の割込み要求なし
	1	PPG ch.0 の割込み要求あり

2.15 IRQ24 一括読出しレジスタ(IRQ24MON)

IRQ24 一括読出しレジスタ(IRQ24MON)は、割込みベクタ No.40 に割り当てられた割込み要求を一括で読み出せます。

IRQ24MON は、RTC、時計カウンタ、メイン PLL 発振、サブ発振とメインクロック発振の割込み要求の状態を示します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約		RTCINT	WCINT	予約	MPLLINT	SOSCINT	MOSCINT
属性	R		R	R	R	R	R	R
初期値	00		0	0	0	0	0	0

レジスタ機能

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5] RTCINT:

bit	説明
0	RTC の割込み要求なし
1	RTC の割込み要求あり

[bit4] WCINT:

bit	説明
0	時計カウンタの割込み要求なし
1	時計カウンタの割込み要求あり

[bit3] 予約: 予約ビット

"0"が読み出されます。

[bit2] MPLLINT:

bit	説明
0	メイン PLL 発振の安定待ち完了割込み要求なし
1	メイン PLL 発振の安定待ち完了割込み要求あり

[bit1] SOSCINT:

bit	説明
0	サブクロック発振の安定待ち完了割込み要求なし
1	サブクロック発振の安定待ち完了割込み要求あり

[bit0] MOSCINT:

bit	説明
0	メインクロック発振の安定待ち完了割込み要求なし
1	メインクロック発振の安定待ち完了割込み要求あり

2.16 IRQ25/26 一括読出しレジスタ(IRQxxMON)

IRQ25 一括読出しレジスタ(IRQ25MON)は、割込みベクタ No.41 に割り当てられた割込み要求を一括で読み出せます。
IRQ26 一括読出しレジスタ(IRQ26MON)は、割込みベクタ No.42 に割り当てられた割込み要求を一括で読み出せます。

IRQ25MON は、A/D コンバータ unit 0 の割込み要求の状態を示します。
IRQ26MON は、A/D コンバータ unit 1 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約											ADCINT				
属性	R											R				
初期値	00000000000											00000				

レジスタ機能

[bit31:5] 予約: 予約ビット

"0"が読み出されます。

[bit4:0] ADCINT:

bit 番号	bit	説明
4	0	A/D コンバータの該当する unit の範囲比較結果の割込み要求なし
	1	A/D コンバータの該当する unit の範囲比較結果の割込み要求あり
3	0	A/D コンバータの該当する unit の変換結果比較の割込み要求なし
	1	A/D コンバータの該当する unit の変換結果比較の割込み要求あり
2	0	A/D コンバータの該当する unit の FIFO オーバランの割込み要求なし
	1	A/D コンバータの該当する unit の FIFO オーバランの割込み要求あり
1	0	A/D コンバータの該当する unit のスキャン変換の割込み要求なし
	1	A/D コンバータの該当する unit のスキャン変換の割込み要求あり
0	0	A/D コンバータの該当する unit の優先変換の割込み要求なし
	1	A/D コンバータの該当する unit の優先変換の割込み要求あり

2.17 IRQ27 一括読出しレジスタ(IRQ27MON)

IRQ27 一括読出しレジスタ(IRQ27MON)は、割込みベクタ No.43 に割り当てられた割込み要求を一括で読み出せます。

IRQ27MON は、A/D コンバータ unit 2 と LCD コントローラの割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約										LCDCINT	ADCINT				
属性	R										R	R				
初期値	0000000000										0	00000				

レジスタ機能

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5] LCDCINT:

bit	説明
0	LCD コントローラの割込み要求なし
1	LCD コントローラの割込み要求あり

[bit4:0] ADCINT:

bit 番号	bit	説明
4	0	A/D コンバータ unit 2 の範囲比較結果の割込み要求なし
	1	A/D コンバータ unit 2 の範囲比較結果の割込み要求あり
3	0	A/D コンバータ unit 2 の変換結果比較の割込み要求なし
	1	A/D コンバータ unit 2 の変換結果比較の割込み要求あり
2	0	A/D コンバータ unit 2 の FIFO オーバランの割込み要求なし
	1	A/D コンバータ unit 2 の FIFO オーバランの割込み要求あり
1	0	A/D コンバータ unit 2 のスキャン変換の割込み要求なし
	1	A/D コンバータ unit 2 のスキャン変換の割込み要求あり
0	0	A/D コンバータ unit 2 の優先変換の割込み要求なし
	1	A/D コンバータ unit 2 の優先変換の割込み要求あり

2.18 IRQ28 一括読出しレジスタ(IRQ28MON)

IRQ28 一括読出しレジスタ(IRQ28MON)は、割込みベクタ No.44 に割り当てられた割込み要求を一括で読み出せます。

IRQ28MON は、MFT unit 0、MFT unit 1 と MFT unit 2 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約														FRT2INT	
属性	R														R	
初期値	00000000000000														00	

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	FRT2INT				FRT1INT						FRT0INT					
属性	R				R						R					
初期値	0000				000000						000000					

レジスタ機能

[bit31:18] 予約: 予約ビット

"0"が読み出されます。

[bit17:12] FRT2INT:

bit 番号	bit	説明
17	0	MFT unit 2 フリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT unit 2 フリーランタイマ ch.2 ゼロ検出の割込み要求あり
16	0	MFT unit 2 フリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT unit 2 フリーランタイマ ch.1 ゼロ検出の割込み要求あり
15	0	MFT unit 2 フリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT unit 2 フリーランタイマ ch.0 ゼロ検出の割込み要求あり
14	0	MFT unit 2 フリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT unit 2 フリーランタイマ ch.2 ピーク値検出の割込み要求あり
13	0	MFT unit 2 フリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT unit 2 フリーランタイマ ch.1 ピーク値検出の割込み要求あり
12	0	MFT unit 2 フリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT unit 2 フリーランタイマ ch.0 ピーク値検出の割込み要求あり

[bit11:6] FRT1INT:

bit 番号	bit	説明
11	0	MFT unit 1 フリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT unit 1 フリーランタイマ ch.2 ゼロ検出の割込み要求あり
10	0	MFT unit 1 フリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT unit 1 フリーランタイマ ch.1 ゼロ検出の割込み要求あり
9	0	MFT unit 1 フリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT unit 1 フリーランタイマ ch.0 ゼロ検出の割込み要求あり
8	0	MFT unit 1 フリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT unit 1 フリーランタイマ ch.2 ピーク値検出の割込み要求あり
7	0	MFT unit 1 フリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT unit 1 フリーランタイマ ch.1 ピーク値検出の割込み要求あり
6	0	MFT unit 1 フリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT unit 1 フリーランタイマ ch.0 ピーク値検出の割込み要求あり

[bit5:0] FRT0INT:

bit 番号	bit	説明
5	0	MFT unit 0 フリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT unit 0 フリーランタイマ ch.2 ゼロ検出の割込み要求あり
4	0	MFT unit 0 フリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT unit 0 フリーランタイマ ch.1 ゼロ検出の割込み要求あり
3	0	MFT unit 0 フリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT unit 0 フリーランタイマ ch.0 ゼロ検出の割込み要求あり
2	0	MFT unit 0 フリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT unit 0 フリーランタイマ ch.2 ピーク値検出の割込み要求あり
1	0	MFT unit 0 フリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT unit 0 フリーランタイマ ch.1 ピーク値検出の割込み要求あり
0	0	MFT unit 0 フリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT unit 0 フリーランタイマ ch.0 ピーク値検出の割込み要求あり

2.19 IRQ29 一括読出しレジスタ(IRQ29MON)

IRQ29 一括読出しレジスタ(IRQ29MON)は、割込みベクタ No.45 に割り当てられた割込み要求を一括で読み出せます。

IRQ29MON は、MFT unit 0、MFT unit 1 と MFT unit 2 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約				ICU2INT				ICU1INT				ICU0INT			
属性	R				R				R				R			
初期値	0000				0000				0000				0000			

レジスタ機能

[bit31:12] 予約: 予約ビット

"0"が読み出されます。

[bit11:8] ICU2INT:

bit 番号	bit	説明
11	0	MFT unit 2 インプットキャプチャ ch.3 の割込み要求なし
	1	MFT unit 2 インプットキャプチャ ch.3 の割込み要求あり
10	0	MFT unit 2 インプットキャプチャ ch.2 の割込み要求なし
	1	MFT unit 2 インプットキャプチャ ch.2 の割込み要求あり
9	0	MFT unit 2 インプットキャプチャ ch.1 の割込み要求なし
	1	MFT unit 2 インプットキャプチャ ch.1 の割込み要求あり
8	0	MFT unit 2 インプットキャプチャ ch.0 の割込み要求なし
	1	MFT unit 2 インプットキャプチャ ch.0 の割込み要求あり

[bit7:4] ICU1INT:

bit 番号	bit	説明
7	0	MFT unit 1 インプットキャプチャ ch.3 の割込み要求なし
	1	MFT unit 1 インプットキャプチャ ch.3 の割込み要求あり
6	0	MFT unit 1 インプットキャプチャ ch.2 の割込み要求なし
	1	MFT unit 1 インプットキャプチャ ch.2 の割込み要求あり
5	0	MFT unit 1 インプットキャプチャ ch.1 の割込み要求なし
	1	MFT unit 1 インプットキャプチャ ch.1 の割込み要求あり
4	0	MFT unit 1 インプットキャプチャ ch.0 の割込み要求なし
	1	MFT unit 1 インプットキャプチャ ch.0 の割込み要求あり

[bit3:0] ICU0INT:

bit 番号	bit	説明
3	0	MFT unit 0 インプットキャプチャ ch.3 の割込み要求なし
	1	MFT unit 0 インプットキャプチャ ch.3 の割込み要求あり
2	0	MFT unit 0 インプットキャプチャ ch.2 の割込み要求なし
	1	MFT unit 0 インプットキャプチャ ch.2 の割込み要求あり
1	0	MFT unit 0 インプットキャプチャ ch.1 の割込み要求なし
	1	MFT unit 0 インプットキャプチャ ch.1 の割込み要求あり
0	0	MFT unit 0 インプットキャプチャ ch.0 の割込み要求なし
	1	MFT unit 0 インプットキャプチャ ch.0 の割込み要求あり

2.20 IRQ30 一括読出しレジスタ(IRQ30MON)

IRQ30 一括読出しレジスタ(IRQ30MON)は、割込みベクタ No.46 に割り当てられた割込み要求を一括で読み出せます。

IRQ30MON は、MFT unit 0、MFT unit 1 と MFT unit 2 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約														OCU2INT	
属性	R														R	
初期値	00000000000000														00	

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	OCU2INT				OCU1INT						OCU0INT					
属性	R				R						R					
初期値	0000				000000						000000					

レジスタ機能

[bit31:18] 予約: 予約ビット

"0"が読み出されます。

[bit17:12] OCU2INT:

bit 番号	bit	説明
17	0	MFT unit 2 アウトプットコンペア ch.5 の割込み要求なし
	1	MFT unit 2 アウトプットコンペア ch.5 の割込み要求あり
16	0	MFT unit 2 アウトプットコンペア ch.4 の割込み要求なし
	1	MFT unit 2 アウトプットコンペア ch.4 の割込み要求あり
15	0	MFT unit 2 アウトプットコンペア ch.3 の割込み要求なし
	1	MFT unit 2 アウトプットコンペア ch.3 の割込み要求あり
14	0	MFT unit 2 アウトプットコンペア ch.2 の割込み要求なし
	1	MFT unit 2 アウトプットコンペア ch.2 の割込み要求あり
13	0	MFT unit 2 アウトプットコンペア ch.1 の割込み要求なし
	1	MFT unit 2 アウトプットコンペア ch.1 の割込み要求あり
12	0	MFT unit 2 アウトプットコンペア ch.0 の割込み要求なし
	1	MFT unit 2 アウトプットコンペア ch.0 の割込み要求あり

[bit11:6] OCU1INT:

bit 番号	bit	説明
11	0	MFT unit 1 アウトプットコンペア ch.5 の割込み要求なし
	1	MFT unit 1 アウトプットコンペア ch.5 の割込み要求あり
10	0	MFT unit 1 アウトプットコンペア ch.4 の割込み要求なし
	1	MFT unit 1 アウトプットコンペア ch.4 の割込み要求あり
9	0	MFT unit 1 アウトプットコンペア ch.3 の割込み要求なし
	1	MFT unit 1 アウトプットコンペア ch.3 の割込み要求あり
8	0	MFT unit 1 アウトプットコンペア ch.2 の割込み要求なし
	1	MFT unit 1 アウトプットコンペア ch.2 の割込み要求あり
7	0	MFT unit 1 アウトプットコンペア ch.1 の割込み要求なし
	1	MFT unit 1 アウトプットコンペア ch.1 の割込み要求あり
6	0	MFT unit 1 アウトプットコンペア ch.0 の割込み要求なし
	1	MFT unit 1 アウトプットコンペア ch.0 の割込み要求あり

[bit5:0] OCU0INT:

bit 番号	bit	説明
5	0	MFT unit 0 アウトプットコンペア ch.5 の割込み要求なし
	1	MFT unit 0 アウトプットコンペア ch.5 の割込み要求あり
4	0	MFT unit 0 アウトプットコンペア ch.4 の割込み要求なし
	1	MFT unit 0 アウトプットコンペア ch.4 の割込み要求あり
3	0	MFT unit 0 アウトプットコンペア ch.3 の割込み要求なし
	1	MFT unit 0 アウトプットコンペア ch.3 の割込み要求あり
2	0	MFT unit 0 アウトプットコンペア ch.2 の割込み要求なし
	1	MFT unit 0 アウトプットコンペア ch.2 の割込み要求あり
1	0	MFT unit 0 アウトプットコンペア ch.1 の割込み要求なし
	1	MFT unit 0 アウトプットコンペア ch.1 の割込み要求あり
0	0	MFT unit 0 アウトプットコンペア ch.0 の割込み要求なし
	1	MFT unit 0 アウトプットコンペア ch.0 の割込み要求あり

2.21 IRQ31 一括読出しレジスタ(IRQ31MON)

IRQ31 一括読出しレジスタ(IRQ31MON)は、割込みベクタ No.47 に割り当てられた割込み要求を一括で読み出せます。

IRQ31MON は、フラッシュメモリとベースタイマの割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約				FLASHINT	予約										
属性	R				R	R										
初期値	0000				0	00000000000										

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	BTINT															
属性	R															
初期値	0x0000															

レジスタ機能

[bit31:28] 予約: 予約ビット

"0"が読み出されます。

[bit27] FLASHINT:

bit	説明
0	フラッシュメモリの RDY 割込み要求または HANG 割込み要求なし
1	フラッシュメモリの RDY 割込み要求または HANG 割込み要求あり

[bit26:16] 予約: 予約ビット

"0"が読み出されます。

[bit15:0] BTINT:

bit 番号	bit	説明
15	0	ベースタイマ ch.7 の IRQ1 割込み要求なし
	1	ベースタイマ ch.7 の IRQ1 割込み要求あり
14	0	ベースタイマ ch.7 の IRQ0 割込み要求なし
	1	ベースタイマ ch.7 の IRQ0 割込み要求あり
13	0	ベースタイマ ch.6 の IRQ1 割込み要求なし
	1	ベースタイマ ch.6 の IRQ1 割込み要求あり
12	0	ベースタイマ ch.6 の IRQ0 割込み要求なし
	1	ベースタイマ ch.6 の IRQ0 割込み要求あり
11	0	ベースタイマ ch.5 の IRQ1 割込み要求なし
	1	ベースタイマ ch.5 の IRQ1 割込み要求あり
10	0	ベースタイマ ch.5 の IRQ0 割込み要求なし
	1	ベースタイマ ch.5 の IRQ0 割込み要求あり
9	0	ベースタイマ ch.4 の IRQ1 割込み要求なし
	1	ベースタイマ ch.4 の IRQ1 割込み要求あり
8	0	ベースタイマ ch.4 の IRQ0 割込み要求なし
	1	ベースタイマ ch.4 の IRQ0 割込み要求あり
7	0	ベースタイマ ch.3 の IRQ1 割込み要求なし
	1	ベースタイマ ch.3 の IRQ1 割込み要求あり
6	0	ベースタイマ ch.3 の IRQ0 割込み要求なし
	1	ベースタイマ ch.3 の IRQ0 割込み要求あり
5	0	ベースタイマ ch.2 の IRQ1 割込み要求なし
	1	ベースタイマ ch.2 の IRQ1 割込み要求あり
4	0	ベースタイマ ch.2 の IRQ0 割込み要求なし
	1	ベースタイマ ch.2 の IRQ0 割込み要求あり
3	0	ベースタイマ ch.1 の IRQ1 割込み要求なし
	1	ベースタイマ ch.1 の IRQ1 割込み要求あり
2	0	ベースタイマ ch.1 の IRQ0 割込み要求なし
	1	ベースタイマ ch.1 の IRQ0 割込み要求あり
1	0	ベースタイマ ch.0 の IRQ1 割込み要求なし
	1	ベースタイマ ch.0 の IRQ1 割込み要求あり
0	0	ベースタイマ ch.0 の IRQ0 割込み要求なし
	1	ベースタイマ ch.0 の IRQ0 割込み要求あり

Table 2-2 に示すようにベースタイマの割込み要因 IRQ0 および IRQ1 は、使用するベースタイマ機能によって異なります。

Table 2-2 ベースタイマの各機能での割込み要因

機能	割込み要因 IRQ0	割込み要因 IRQ1
16 ビット PWM タイマ	アンダフロー検出/ デューティー一致検出	タイマ起動トリガ検出
16 ビット PPG タイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビットリロードタイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビット PWC タイマ	オーバフロー検出	測定終了検出

3. 使用上の注意

割込みコントローラを使用する際は、次の点を注意してください。

- 各周辺リソースからの割込み要求信号はレベルで通知されています。割込み処理から復帰する場合には、必ずその割込み要求をクリアしてください。
- NMIX 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI を使用する場合は、ポートの設定にて NMI を許可してください。詳細は別章『外部割込み・NMI 制御部』を参照してください。
- 各周辺リソースにおける具体的なイベント検出レジスタと割込み許可レジスタの対応は、各マクロの章を参照してください。

CHAPTER 7-4: 割込み(TYPE1-B)

IRQCMODE=1 時の例外と割り込み要因ベクタ、レジスタについて説明します。(TYPE1)

1. 例外と割込み要因ベクタ
2. レジスタ
3. 使用上の注意

管理コード: 9AFIRQC_T1_B-J03.0

1. 例外と割込み要因ベクタ

NVIC に入力される例外と割込みの要因ベクタ表を示します。

Table 1-1 例外と割込み要因ベクタ

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ オフセット
0	-	スタックポインタ初期値	0x00
1	-	リセット	0x04
2	-	ノンマスカブル割込み(NMI) /ハードウェアウォッチドッグタイマ	0x08
3	-	ハードフォルト	0x0C
4	-	Resserved	0x10
5	-	Resserved	0x14
6	-	Resserved	0x18
7-10	-	Reserved	0x1C - 0x2B
11	-	SVCall (スーパバイザコール)	0x2C
12	-	Resserved	0x30
13	-	Reserved	0x34
14	-	PendSV	0x38
15	-	SysTick	0x3C
16	0	クロックスーパバイザによる異常周波数検出(FCS)	0x40
17	1	ソフトウェアウォッチドッグタイマ	0x44
18	2	低電圧検出(LVD)	0x48
19	3	RCINTSEL0 レジスタの INTSEL0 で選択した割込み要因	0x4C
20	4	RCINTSEL0 レジスタの INTSEL1 で選択した割込み要因	0x50
21	5	RCINTSEL0 レジスタの INTSEL2 で選択した割込み要因	0x54
22	6	RCINTSEL0 レジスタの INTSEL3 で選択した割込み要因	0x58
23	7	RCINTSEL1 レジスタの INTSEL4 で選択した割込み要因	0x5C
24	8	RCINTSEL1 レジスタの INTSEL5 で選択した割込み要因	0x60
25	9	RCINTSEL1 レジスタの INTSEL6 で選択した割込み要因	0x64
26	10	RCINTSEL1 レジスタの INTSEL7 で選択した割込み要因	0x68
27	11	MFT unit 0 波形ジェネレータ/ DTIF(モータ緊急停止) / MFS ch.8 の受信割込み要求、送信割込み要求、ステータス割込み要求	0x6C
28	12	外部端子割込み要求 ch.0～ch.7	0x70
29	13	外部端子割込み要求 ch.8～ch.31	0x74
30	14	デュアルタイマ / QPRC ch.0	0x78
31	15	MFS ch.0 の受信割込み要求、送信割込み要求、ステータス割込み要求	0x7C
32	16	MFS ch.1 の受信割込み要求、送信割込み要求、ステータス割込み要求	0x80
33	17	MFS ch.2 の受信割込み要求、送信割込み要求、ステータス割込み要求	0x84
34	18	MFS ch.3 の受信割込み要求、送信割込み要求、ステータス割込み要求	0x88
35	19	MFS ch.4 の受信割込み要求	0x8C
36	20	MFS ch.4 の送信割込み要求、ステータス割込み要求	0x90
37	21	MFS ch.5 の受信割込み要求	0x94
38	22	MFS ch.5 の送信割込み要求、ステータス割込み要求	0x98

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ オフセット
39	23	PPG ch.0/2/4/8/10/12/16/18/20	0x9C
40	24	外部メイン発振/外部サブ発振/メイン PLL / 時計カウンタ/リアルタイムカウンタ	0xA0
41	25	A/D コンバータ unit 0 / MFS ch.9 の受信割込み要求、送信割込み要求、ステータス割込み要求	0xA4
42	26	A/D コンバータ unit 1 / MFS ch.10 の受信割込み要求、送信割込み要求、ステータス割込み要求	0xA8
43	27	A/D コンバータ unit 2 / LCD コントローラ/ MFS ch.11 の受信割込み要求、送信割込み要求、ステータス割込み要求	0xAC
44	28	MFT unit 0 フリーランタイマ/インプットキャプチャ/ アウトプットコンペア	0xB0
45	29	MFT unit 1 フリーランタイマ/インプットキャプチャ/ アウトプットコンペア	0xB4
46	30	MFT unit 2 フリーランタイマ/インプットキャプチャ/	0xB8
47	31	ベースタイマ ch.0～ch.7 / フラッシュメモリ RDY 割込み / フラッシュメモリ HANG 割込み	0xBC

ベクタ No.4～No.15 の例外の優先度は、NVIC に実装されたシステムハンドラ優先度レジスタ(System Handlers Priority Register、アドレス 0xE000ED18、0xE000ED1C、0xE000ED20)で設定可能です。ベクタ No.16 以降の周辺割込みの優先度は、NVIC に実装された割込み優先度レジスタ(IRQ Priority Register、アドレス 0xE000E400～0xE000E42C)で設定可能です。

ベクタ No.2、No.16～No.47 の割込みは一括読出しレジスタで要因が確認できます。そのほかの例外・割込みについては『Cortex-M0+ テクニカルリファレンスマニュアル』の『第 5 章 ネスト型ベクタ割り込みコントローラ』を参照してください。

また、ベクタ No.2、No.16～No.47 の割込みは、一括読出しされた要因が各周辺マクロ内で複数の割込み要因が論理 OR された信号の場合があります。その詳細は、各周辺リソースの割込みについての説明を参照してください。

2. レジスタ

DMA 転送要求選択レジスタと割込み要求一括読出しレジスタについて説明します。

DMA 転送要求選択レジスタと割込み要求一括読出しレジスター覧

Table 2-1 DMA 転送要求選択レジスタと割込み要求一括読出しレジスター覧

レジスタ略称	レジスタ名	参照先
DRQSEL	DMA 要求選択レジスタ	2.1
EXC02MON	EXC02 一括読出しレジスタ	2.2
IRQ00MON	IRQ00 一括読出しレジスタ	2.3
IRQ01MON	IRQ01 一括読出しレジスタ	2.4
IRQ02MON	IRQ02 一括読出しレジスタ	2.5
IRQ03MON	IRQ03 一括読出しレジスタ	2.6
IRQ04MON	IRQ04 一括読出しレジスタ	
IRQ05MON	IRQ05 一括読出しレジスタ	
IRQ06MON	IRQ06 一括読出しレジスタ	
IRQ07MON	IRQ07 一括読出しレジスタ	
IRQ08MON	IRQ08 一括読出しレジスタ	
IRQ09MON	IRQ09 一括読出しレジスタ	
IRQ10MON	IRQ10 一括読出しレジスタ	
IRQ11MON	IRQ11 一括読出しレジスタ	2.7
IRQ12MON	IRQ12 一括読出しレジスタ	2.8
IRQ13MON	IRQ13 一括読出しレジスタ	2.9
IRQ14MON	IRQ14 一括読出しレジスタ	2.10
IRQ15MON	IRQ15 一括読出しレジスタ	2.11
IRQ16MON	IRQ16 一括読出しレジスタ	
IRQ17MON	IRQ17 一括読出しレジスタ	
IRQ18MON	IRQ18 一括読出しレジスタ	
IRQ19MON	IRQ19 一括読出しレジスタ	2.12
IRQ20MON	IRQ20 一括読出しレジスタ	2.13
IRQ21MON	IRQ21 一括読出しレジスタ	2.12
IRQ22MON	IRQ22 一括読出しレジスタ	2.13
IRQ23MON	IRQ23 一括読出しレジスタ	2.14
IRQ24MON	IRQ24 一括読出しレジスタ	2.15
IRQ25MON	IRQ25 一括読出しレジスタ	2.16
IRQ26MON	IRQ26 一括読出しレジスタ	
IRQ27MON	IRQ27 一括読出しレジスタ	2.17
IRQ28MON	IRQ28 一括読出しレジスタ	2.18
IRQ29MON	IRQ29 一括読出しレジスタ	
IRQ30MON	IRQ30 一括読出しレジスタ	2.20
IRQ31MON	IRQ31 一括読出しレジスタ	2.20
IRQCMODE	割込み要因ベクタリロケート設定レジスタ	0
RCINTSEL0	割込み要因選択レジスタ 0	2.22
RCINTSEL1	割込み要因選択レジスタ 1	2.23

NVIC 内のレジスタの詳細は、『Cortex-M0+ テクニカルリファレンスマニュアル』の『第 5 章 ネスト型ベクタ割込みコントローラ』を参照してください。

2.1 DMA 要求選択レジスタ(DRQSEL)

DMA 要求選択レジスタ(DRQSEL)は、DMA 転送可能な割込み信号を CPU への割込み要求として出力させるか、DMAC への転送要求として出力させるかを選択します。

レジスタ構成

bit	31					5	4	3	2	1	0
Field	予約					予約					
属性	R/W					R					
初期値	00000000000000000000000000					00000					

レジスタ機能

[bit31:5] 予約 :予約ビット
書込みは、"0"を書き込んでください。

[bit4:0] 予約: 予約ビット
"0"が読み出されます。

2.2 EXC02 一括読出しレジスタ(EXC02MON)

EXC02 一括読出しレジスタ(EXC02MON)は、割込みベクタ No.2 に割り当てられた割込み要求を一括で読み出せます。

EXC02MON は、ハードウェアウォッチドッグタイマと NMIX 外部端子の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														HWINT	NMI
属性	R														R	R
初期値	00000000000000														0	0

レジスタ機能

[bit31:2] 予約: 予約ビット

"0"が読み出されます。

[bit1] HWINT:

bit	説明
0	ハードウェアウォッチドッグタイマの割込み要求なし
1	ハードウェアウォッチドッグタイマの割込み要求あり

[bit0] NMI:

bit	説明
0	NMIX 外部端子の割込み要求なし
1	NMIX 外部端子の割込み要求あり

2.3 IRQ00 一括読出しレジスタ(IRQ00MON)

IRQ00 一括読出しレジスタ(IRQ00MON)は、割込みベクタ No.16 に割り当てられた割込み要求を一括で読み出せます。

IRQ00MON は、CSV による異常周波数検出の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															FCSINT
属性	R															R
初期値	000000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット

"0"が読み出されます。

[bit0] FCSINT:

bit	説明
0	CSV による異常周波数検出の割込み要求なし
1	CSV による異常周波数検出の割込み要求あり

2.4 IRQ01 一括読出しレジスタ(IRQ01MON)

IRQ01 一括読出しレジスタ(IRQ01MON)は、割込みベクタ No.17 に割り当てられた割込み要求を一括で読み出せます。

IRQ01MON は、ソフトウェアウォッチドッグタイマの割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															SWWDTINT
属性	R															R
初期値	000000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット

"0"が読み出されます。

[bit0] SWWDTINT:

bit	説明
0	ソフトウェアウォッチドッグタイマの割込み要求なし
1	ソフトウェアウォッチドッグタイマの割込み要求あり

2.5 IRQ02 一括読出しレジスタ(IRQ02MON)

IRQ02 一括読出しレジスタ(IRQ02MON)は、割込みベクタ No.18 に割り当てられた割込み要求を一括で読み出せます。

IRQ02MON は、低電圧検出(LVD)の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															LVDINT
属性	R															R
初期値	000000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット

"0"が読み出されます。

[bit0] LVDINT:

bit	説明
0	低電圧検出(LVD)の割込み要求なし
1	低電圧検出(LVD)の割込み要求あり

2.6 IRQ03～IRQ10 一括読出しレジスタ(IRQ03MON～IRQ10MON)

IRQ03 一括読出しレジスタ(IRQ03MON)は、割込みベクタ No.19 に割り当てられた割込み要求を一括で読み出せます。
IRQ04 一括読出しレジスタ(IRQ04MON)は、割込みベクタ No.20 に割り当てられた割込み要求を一括で読み出せます。
IRQ05 一括読出しレジスタ(IRQ05MON)は、割込みベクタ No.21 に割り当てられた割込み要求を一括で読み出せます。
IRQ06 一括読出しレジスタ(IRQ06MON)は、割込みベクタ No.22 に割り当てられた割込み要求を一括で読み出せます。
IRQ07 一括読出しレジスタ(IRQ07MON)は、割込みベクタ No.23 に割り当てられた割込み要求を一括で読み出せます。
IRQ08 一括読出しレジスタ(IRQ08MON)は、割込みベクタ No.24 に割り当てられた割込み要求を一括で読み出せます。
IRQ09 一括読出しレジスタ(IRQ09MON)は、割込みベクタ No.25 に割り当てられた割込み要求を一括で読み出せます。
IRQ10 一括読出しレジスタ(IRQ10MON)は、割込みベクタ No.26 に割り当てられた割込み要求を一括で読み出せます。

IRQ03MON は、RCINTSEL0:INTSEL0 で選択された割込み要求の状態を示します。
IRQ04MON は、RCINTSEL0:INTSEL1 で選択された割込み要求の状態を示します。
IRQ05MON は、RCINTSEL0:INTSEL2 で選択された割込み要求の状態を示します。
IRQ06MON は、RCINTSEL0:INTSEL3 で選択された割込み要求の状態を示します。
IRQ07MON は、RCINTSEL1:INTSEL4 で選択された割込み要求の状態を示します。
IRQ08MON は、RCINTSEL1:INTSEL5 で選択された割込み要求の状態を示します。
IRQ09MON は、RCINTSEL1:INTSEL6 で選択された割込み要求の状態を示します。
IRQ10MON は、RCINTSEL1:INTSEL7 で選択された割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															RCINT
属性	R															R
初期値	00000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット
"0"が読み出されます。

[bit0] RCINT:

bit	説明
0	該当する RCINTSEL0:INTSELx / RCINTSEL1:INTSELx で選択した割込み要求なし
1	該当する RCINTSEL0:INTSELx / RCINTSEL1:INTSELx で選択した割込み要求あり*

*:割込み要因にベースタイマを選択した場合は IRQ0/IRQ1 のどちらかの要因により"1"に設定されます。

2.7 IRQ11 一括読出しレジスタ(IRQxxMON)

IRQ11 一括読出しレジスタ(IRQ11MON)は、割込みベクタ No.27 に割り当てられた割込み要求を一括で読み出せます。

IRQ11MON は、MFT unit 0 と MFS ch.8 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約									MFSINT			WAVEINT			
属性	R									R			R			
初期値	000000000									000			0000			

レジスタ機能

[bit31:7] 予約: 予約ビット

"0"が読み出されます。

[bit6:4] MFSINT:

bit 番号	bit	説明
6	0	MFS の該当するチャネルのステータス割込み要求なし
	1	MFS の該当するチャネルのステータス割込み要求あり
5	0	MFS の該当するチャネルの送信割込み要求なし
	1	MFS の該当するチャネル.の送信割込み要求あり
4	0	MFS の該当するチャネルの受信割込み要求なし
	1	MFS の該当するチャネルの受信割込み要求あり

[bit3:0] WAVEINT:

bit 番号	bit	説明
3	0	MFT の該当する unit の WFG タイマ 54 の割込み要求なし
	1	MFT の該当する unit の WFG タイマ 54 の割込み要求あり
2	0	MFT の該当する unit の WFG タイマ 32 の割込み要求なし
	1	MFT の該当する unit の WFG タイマ 32 の割込み要求あり
1	0	MFT の該当する unit の WFG タイマ 10 の割込み要求なし
	1	MFT の該当する unit の WFG タイマ 10 の割込み要求あり
0	0	MFT の該当する unit の DTIF(モータ緊急停止)の割込み要求なし
	1	MFT の該当する unit の DTIF(モータ緊急停止)の割込み要求あり

2.8 IRQ12 一括読出しレジスタ(IRQ12MON)

IRQ12 一括読出しレジスタ(IRQ12MON)は、割込みベクタ No.28 に割り当てられた割込み要求を一括で読み出せます。

IRQ12MON は、外部割込み ch.0～ch.7 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								EXTINT							
属性	R								R							
初期値	0x00								0x00							

レジスタ機能

[bit31:8] 予約: 予約ビット

"0"が読み出されます。

[bit7:0] EXTINT:

bit 番号	bit	説明
7	0	外部割込み ch.7 の割込み要求なし
	1	外部割込み ch.7 の割込み要求あり
6	0	外部割込み ch.6 の割込み要求なし
	1	外部割込み ch.6 の割込み要求あり
5	0	外部割込み ch.5 の割込み要求なし
	1	外部割込み ch.5 の割込み要求あり
4	0	外部割込み ch.4 の割込み要求なし
	1	外部割込み ch.4 の割込み要求あり
3	0	外部割込み ch.3 の割込み要求なし
	1	外部割込み ch.3 の割込み要求あり
2	0	外部割込み ch.2 の割込み要求なし
	1	外部割込み ch.2 の割込み要求あり
1	0	外部割込み ch.1 の割込み要求なし
	1	外部割込み ch.1 の割込み要求あり
0	0	外部割込み ch.0 の割込み要求なし
	1	外部割込み ch.0 の割込み要求あり

2.9 IRQ13 一括読出しレジスタ(IRQ13MON)

IRQ13 一括読出しレジスタ(IRQ13MON)は、割込みベクタ No.29 に割り当てられた割込み要求を一括で読み出せます。

IRQ13MON は、外部割込み ch.8～ch.31 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約								EXTINT							
属性	R								R							
初期値	0x00								0x00							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXTINT															
属性	R															
初期値	0x0000															

レジスタ機能

[bit31:24] 予約: 予約ビット

"0"が読み出されます。

[bit23:0] EXTINT:

bit 番号	bit	説明
23	0	外部割込み ch.31 の割込み要求なし
	1	外部割込み ch.31 の割込み要求あり
22	0	外部割込み ch.30 の割込み要求なし
	1	外部割込み ch.30 の割込み要求あり
21	0	外部割込み ch.29 の割込み要求なし
	1	外部割込み ch.29 の割込み要求あり
20	0	外部割込み ch.28 の割込み要求なし
	1	外部割込み ch.28 の割込み要求あり
19	0	外部割込み ch.27 の割込み要求なし
	1	外部割込み ch.27 の割込み要求あり
18	0	外部割込み ch.26 の割込み要求なし
	1	外部割込み ch.26 の割込み要求あり
17	0	外部割込み ch.25 の割込み要求なし
	1	外部割込み ch.25 の割込み要求あり
16	0	外部割込み ch.24 の割込み要求なし
	1	外部割込み ch.24 の割込み要求あり
15	0	外部割込み ch.23 の割込み要求なし
	1	外部割込み ch.23 の割込み要求あり
14	0	外部割込み ch.22 の割込み要求なし
	1	外部割込み ch.22 の割込み要求あり

bit 番号	bit	説明
13	0	外部割込み ch.21 の割込み要求なし
	1	外部割込み ch.21 の割込み要求あり
12	0	外部割込み ch.20 の割込み要求なし
	1	外部割込み ch.20 の割込み要求あり
11	0	外部割込み ch.19 の割込み要求なし
	1	外部割込み ch.19 の割込み要求あり
10	0	外部割込み ch.18 の割込み要求なし
	1	外部割込み ch.18 の割込み要求あり
9	0	外部割込み ch.17 の割込み要求なし
	1	外部割込み ch.17 の割込み要求あり
8	0	外部割込み ch.16 の割込み要求なし
	1	外部割込み ch.16 の割込み要求あり
7	0	外部割込み ch.15 の割込み要求なし
	1	外部割込み ch.15 の割込み要求あり
6	0	外部割込み ch.14 の割込み要求なし
	1	外部割込み ch.14 の割込み要求あり
5	0	外部割込み ch.13 の割込み要求なし
	1	外部割込み ch.13 の割込み要求あり
4	0	外部割込み ch.12 の割込み要求なし
	1	外部割込み ch.12 の割込み要求あり
3	0	外部割込み ch.11 の割込み要求なし
	1	外部割込み ch.11 の割込み要求あり
2	0	外部割込み ch.10 の割込み要求なし
	1	外部割込み ch.10 の割込み要求あり
1	0	外部割込み ch.9 の割込み要求なし
	1	外部割込み ch.9 の割込み要求あり
0	0	外部割込み ch.8 の割込み要求なし
	1	外部割込み ch.8 の割込み要求あり

2.10 IRQ14 一括読出しレジスタ(IRQ14MON)

IRQ14 一括読出しレジスタ(IRQ14MON)は、割込みベクタ No.30 に割り当てられた割込み要求を一括で読み出せます。

IRQ14MON は、QPRC とデュアルタイマの割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								QUDINT						TIMINT	
属性	R								R						R	
初期値	0x00								000000						00	

レジスタ機能

[bit31:8] 予約: 予約ビット

"0"が読み出されます。

[bit7:2] QUDINT:

bit 番号	bit	説明
7	0	QPRC ch.0 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.0 PC 一致&RC 一致の割込み要求あり
6	0	QPRC ch.0 RC 範囲外検出の割込み要求なし
	1	QPRC ch.0 RC 範囲外検出の割込み要求あり
5	0	QPRC ch.0 PC カウント反転の割込み要求なし
	1	QPRC ch.0 PC カウント反転の割込み要求あり
4	0	QPRC ch.0 オーバフロー/アンダフロー/ゼロインデックスの割込み要求なし
	1	QPRC ch.0 オーバフロー/アンダフロー/ゼロインデックスの割込み要求あり
3	0	QPRC ch.0 PC&RC 一致の割込み要求なし
	1	QPRC ch.0 PC&RC 一致の割込み要求あり
2	0	QPRC ch.0 PC 一致の割込み要求なし
	1	QPRC ch.0 PC 一致の割込み要求あり

[bit1:0] TIMINT:

bit 番号	bit	説明
1	0	デュアルタイマ TIMINT2 の割込み要求なし
	1	デュアルタイマ TIMINT2 の割込み要求あり
0	0	デュアルタイマ TIMINT1 の割込み要求なし
	1	デュアルタイマ TIMINT1 の割込み要求あり

2.11 IRQ15～IRQ18 一括読出しレジスタ(IRQ15MON～IRQ18MON)

IRQ15 一括読出しレジスタ(IRQ15MON)は、割込みベクタ No.31 に割り当てられた割込み要求を一括で読み出せます。
IRQ16 一括読出しレジスタ(IRQ16MON)は、割込みベクタ No.32 に割り当てられた割込み要求を一括で読み出せます。
IRQ17 一括読出しレジスタ(IRQ17MON)は、割込みベクタ No.33 に割り当てられた割込み要求を一括で読み出せます。
IRQ18 一括読出しレジスタ(IRQ18MON)は、割込みベクタ No.34 に割り当てられた割込み要求を一括で読み出せます。

IRQ15MON は、MFS ch.0 の受信割込み要求、送信割込み要求、ステータス割込み要求の状態を示します。
IRQ16MON は、MFS ch.1 の受信割込み要求、送信割込み要求、ステータス割込み要求の状態を示します。
IRQ17MON は、MFS ch.2 の受信割込み要求、送信割込み要求、ステータス割込み要求の状態を示します。
IRQ18MON は、MFS ch.3 の受信割込み要求、送信割込み要求、ステータス割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														MFSINT	
属性	R														R	
初期値	0000000000000														000	

レジスタ機能

[bit31:3] 予約: 予約ビット

"0"が読み出されます。

[bit2:0] MFSINT:

bit 番号	bit	説明
2	0	MFS の該当するチャネルのステータス割込み要求なし
	1	MFS の該当するチャネルのステータス割込み要求あり
1	0	MFS の該当するチャネルの送信割込み要求なし
	1	MFS の該当するチャネル.の送信割込み要求あり
0	0	MFS の該当するチャネルの受信割込み要求なし
	1	MFS の該当するチャネルの受信割込み要求あり

2.12 IRQ19/21 一括読出しレジスタ(IRQxxMON)

IRQ19 一括読出しレジスタ(IRQ19MON)は、割込みベクタ No.35 に割り当てられた割込み要求を一括で読み出せます。
IRQ21 一括読出しレジスタ(IRQ21MON)は、割込みベクタ No.37 に割り当てられた割込み要求を一括で読み出せます。

IRQ19MON は、MFS ch.4 の受信割込み要求の状態を示します。
IRQ21MON は、MFS ch.5 の受信割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															MFSINT
属性	R															R
初期値	000000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット
"0"が読み出されます。

[bit0] MFSINT:

bit	説明
0	MFS の該当するチャネルの受信割込み要求なし
1	MFS の該当するチャネルの受信割込み要求あり

2.13 IRQ20/22 一括読出しレジスタ(IRQxxMON)

IRQ20 一括読出しレジスタ(IRQ20MON)は、割込みベクタ No.36 に割り当てられた割込み要求を一括で読み出せます。
IRQ22 一括読出しレジスタ(IRQ22MON)は、割込みベクタ No.38 に割り当てられた割込み要求を一括で読み出せます。

IRQ20MON は、MFS ch.4 の送信割込み要求、ステータス割込み要求の状態を示します。
IRQ22MON は、MFS ch.5 の送信割込み要求、ステータス割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														MFSINT	
属性	R														R	
初期値	00000000000000														00	

レジスタ機能

[bit31:2] 予約: 予約ビット
"0"が読み出されます。

[bit1:0] MFSINT:

bit 番号	bit	説明
1	0	MFS の該当するチャネルのステータス割込み要求なし
	1	MFS の該当するチャネルのステータス割込み要求あり
0	0	MFS の該当するチャネルの送信割込み要求なし
	1	MFS の該当するチャネルの送信割込み要求あり

2.14 IRQ23 一括読出しレジスタ(IRQ23MON)

IRQ23 一括読出しレジスタ(IRQ23MON)は、割込みベクタ No.39 に割り当てられた割込み要求を一括で読み出せます。

IRQ23MON は、PPG の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約							PPGINT								
属性	R							R								
初期値	0000000							000000000								

レジスタ機能

[bit31:9] 予約: 予約ビット

"0"が読み出されます。

[bit8:0] PPGINT:

bit 番号	bit	説明
8	0	PPG ch.20 の割込み要求なし
	1	PPG ch.20 の割込み要求あり
7	0	PPG ch.18 の割込み要求なし
	1	PPG ch.18 の割込み要求あり
6	0	PPG ch.16 の割込み要求なし
	1	PPG ch.16 の割込み要求あり
5	0	PPG ch.12 の割込み要求なし
	1	PPG ch.12 の割込み要求あり
4	0	PPG ch.10 の割込み要求なし
	1	PPG ch.10 の割込み要求あり
3	0	PPG ch.8 の割込み要求なし
	1	PPG ch.8 の割込み要求あり
2	0	PPG ch.4 の割込み要求なし
	1	PPG ch.4 の割込み要求あり
1	0	PPG ch.2 の割込み要求なし
	1	PPG ch.2 の割込み要求あり
0	0	PPG ch.0 の割込み要求なし
	1	PPG ch.0 の割込み要求あり

2.15 IRQ24 一括読出しレジスタ(IRQ24MON)

IRQ24 一括読出しレジスタ(IRQ24MON)は、割込みベクタ No.40 に割り当てられた割込み要求を一括で読み出せます。

IRQ24MON は、RTC, 時計カウンタ, メイン PLL 発振, サブ発振とメインクロック発振の割込み要求の状態を示します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約		RTCINT	WCINT	予約	MPLLINT	SOSCINT	MOSCINT
属性	R		R	R	-	R	R	R
初期値	00		0	0	-	0	0	0

レジスタ機能

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5] RTCINT:

bit	説明
0	RTC の割込み要求なし
1	RTC の割込み要求あり

[bit4] WCINT:

bit	説明
0	時計カウンタの割込み要求なし
1	時計カウンタの割込み要求あり

[bit3] 予約: 予約ビット

"0"が読み出されます。

[bit2] MPLLINT:

bit	説明
0	メイン PLL 発振の安定待ち完了割込み要求なし
1	メイン PLL 発振の安定待ち完了割込み要求あり

[bit1] SOSCINT:

bit	説明
0	サブクロック発振の安定待ち完了割込み要求なし
1	サブクロック発振の安定待ち完了割込み要求あり

[bit0] MOSCINT:

bit	説明
0	メインクロック発振の安定待ち完了割込み要求なし
1	メインクロック発振の安定待ち完了割込み要求あり

2.16 IRQ25/26 一括読出しレジスタ(IRQxxMON)

IRQ25 一括読出しレジスタ(IRQ25MON)は、割込みベクタ No.41 に割り当てられた割込み要求を一括で読み出せます。
IRQ26 一括読出しレジスタ(IRQ26MON)は、割込みベクタ No.42 に割り当てられた割込み要求を一括で読み出せます。

IRQ25MON は、A/D コンバータ unit 0 と MFS ch.9 の割込み要求の状態を示します。
IRQ26MON は、A/D コンバータ unit 1 と MFS ch.10 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								MFSINT			ADCINT				
属性	R								R			R				
初期値	0x00								000			00000				

レジスタ機能

[bit31:8] 予約: 予約ビット
"0"が読み出されます。

[bit7:5] MFSINT:

bit 番号	bit	説明
7	0	MFS の該当するチャネルのステータス割込み要求なし
	1	MFS の該当するチャネルのステータス割込み要求あり
6	0	MFS の該当するチャネルの送信割込み要求なし
	1	MFS の該当するチャネル.の送信割込み要求あり
5	0	MFS の該当するチャネルの受信割込み要求なし
	1	MFS の該当するチャネルの受信割込み要求あり

[bit4:0] ADCINT:

bit 番号	bit	説明
4	0	A/D コンバータの該当する unit の範囲比較結果の割込み要求なし
	1	A/D コンバータの該当する unit の範囲比較結果の割込み要求あり
3	0	A/D コンバータの該当する unit の変換結果比較の割込み要求なし
	1	A/D コンバータの該当する unit の変換結果比較の割込み要求あり
2	0	A/D コンバータの該当する unit の FIFO オーバランの割込み要求なし
	1	A/D コンバータの該当する unit の FIFO オーバランの割込み要求あり
1	0	A/D コンバータの該当する unit のスキャン変換の割込み要求なし
	1	A/D コンバータの該当する unit のスキャン変換の割込み要求あり
0	0	A/D コンバータの該当する unit の優先変換の割込み要求なし
	1	A/D コンバータの該当する unit の優先変換の割込み要求あり

2.17 IRQ27 一括読出しレジスタ(IRQ27MON)

IRQ27 一括読出しレジスタ(IRQ27MON)は、割込みベクタ No.43 に割り当てられた割込み要求を一括で読み出せます。

IRQ27MON は、A/D コンバータ unit 2, LCD コントローラと MFS ch.11 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約							MFSINT			LCDCINT	ADCINT				
属性	R							R			R	R				
初期値	0000000							000			0	00000				

レジスタ機能

[bit31:9] 予約: 予約ビット

"0"が読み出されます。

[bit8:6] MFSINT:

bit 番号	bit	説明
8	0	MFS ch.11 のステータス割込み要求なし
	1	MFS ch.11 のステータス割込み要求あり
7	0	MFS ch.11 の送信割込み要求なし
	1	MFS ch.11.の送信割込み要求あり
6	0	MFS ch.11 の受信割込み要求なし
	1	MFS ch.11 の受信割込み要求あり

[bit5] LCDCINT:

bit	説明
0	LCD コントローラの割込み要求なし
1	LCD コントローラの割込み要求あり

[bit4:0] ADCINT:

bit 番号	bit	説明
4	0	A/D コンバータ unit 2 の範囲比較結果の割込み要求なし
	1	A/D コンバータ unit 2 の範囲比較結果の割込み要求あり
3	0	A/D コンバータ unit 2 の変換結果比較の割込み要求なし
	1	A/D コンバータ unit 2 の変換結果比較の割込み要求あり
2	0	A/D コンバータ unit 2 の FIFO オーバランの割込み要求なし
	1	A/D コンバータ unit 2 の FIFO オーバランの割込み要求あり
1	0	A/D コンバータ unit 2 のスキャン変換の割込み要求なし
	1	A/D コンバータ unit 2 のスキャン変換の割込み要求あり
0	0	A/D コンバータ unit 2 の優先変換の割込み要求なし
	1	A/D コンバータ unit 2 の優先変換の割込み要求あり

2.18 IRQ28/29 一括読出しレジスタ (IRQxxMON)

IRQ28 一括読出しレジスタ(IRQ28MON)は、割込みベクタ No.44 に割り当てられた割込み要求を一括で読み出せます。
IRQ29 一括読出しレジスタ(IRQ29MON)は、割込みベクタ No.45 に割り当てられた割込み要求を一括で読み出せます。

IRQ28MON は、MFT unit 0 の割込み要求の状態を示します。
IRQ29MON は、MFT unit 1 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	OCUINT						ICUINT				FRTINT					
属性	R						R				R					
初期値	000000						0000				000000					

レジスタ機能

[bit31:16] 予約: 予約ビット
"0"が読み出されます。

[bit15:10] OCUINT:

bit 番号	bit	説明
15	0	MFT の該当する unit のアウトプットコンペア ch.5 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.5 の割込み要求あり
14	0	MFT の該当する unit のアウトプットコンペア ch.4 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.4 の割込み要求あり
13	0	MFT の該当する unit のアウトプットコンペア ch.3 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.3 の割込み要求あり
12	0	MFT の該当する unit のアウトプットコンペア ch.2 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.2 の割込み要求あり
11	0	MFT の該当する unit のアウトプットコンペア ch.1 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.1 の割込み要求あり
10	0	MFT の該当する unit のアウトプットコンペア ch.0 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.0 の割込み要求あり

[bit9:6] ICUINT:

bit 番号	bit	説明
9	0	MFT の該当する unit のインプットキャプチャ ch.3 の割込み要求なし
	1	MFT の該当する unit のインプットキャプチャ ch.3 の割込み要求あり
8	0	MFT の該当する unit のインプットキャプチャ ch.2 の割込み要求なし
	1	MFT の該当する unit のインプットキャプチャ ch.2 の割込み要求あり
7	0	MFT の該当する unit のインプットキャプチャ ch.1 の割込み要求なし
	1	MFT の該当する unit のインプットキャプチャ ch.1 の割込み要求あり
6	0	MFT の該当する unit のインプットキャプチャ ch.0 の割込み要求なし
	1	MFT の該当する unit のインプットキャプチャ ch.0 の割込み要求あり

[bit5:0] FRTINT:

bit 番号	bit	説明
5	0	MFT の該当する unit のフリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.2 ゼロ検出の割込み要求あり
4	0	MFT の該当する unit のフリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.1 ゼロ検出の割込み要求あり
3	0	MFT の該当する unit のフリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.0 ゼロ検出の割込み要求あり
2	0	MFT の該当する unit のフリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.2 ピーク値検出の割込み要求あり
1	0	MFT の該当する unit のフリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.1 ピーク値検出の割込み要求あり
0	0	MFT の該当する unit のフリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.0 ピーク値検出の割込み要求あり

2.19 IRQ30 一括読出しレジスタ(IRQ30MON)

IRQ30 一括読出しレジスタ(IRQ30MON)は、割込みベクタ No.46 に割り当てられた割込み要求を一括で読み出せます。

IRQ30MON は、MFT unit 2 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約								予約							
属性	R								R							
初期値	0x00								0x00							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	OCUINT						ICUINT				FRTINT					
属性	R						R				R					
初期値	000000						0000				000000					

レジスタ機能

[bit31:24] 予約: 予約ビット

"0"が読み出されます。

[bit23:16] 予約: 予約ビット

"0"が読み出されます。

[bit15:10] OCUINT:

bit 番号	bit	説明
15	0	MFT unit 2 のアウトプットコンペア ch.5 の割込み要求なし
	1	MFT unit 2 のアウトプットコンペア ch.5 の割込み要求あり
14	0	MFT unit 2 のアウトプットコンペア ch.4 の割込み要求なし
	1	MFT unit 2 のアウトプットコンペア ch.4 の割込み要求あり
13	0	MFT unit 2 のアウトプットコンペア ch.3 の割込み要求なし
	1	MFT unit 2 のアウトプットコンペア ch.3 の割込み要求あり
12	0	MFT unit 2 のアウトプットコンペア ch.2 の割込み要求なし
	1	MFT unit 2 のアウトプットコンペア ch.2 の割込み要求あり
11	0	MFT unit 2 のアウトプットコンペア ch.1 の割込み要求なし
	1	MFT unit 2 のアウトプットコンペア ch.1 の割込み要求あり
10	0	MFT unit 2 のアウトプットコンペア ch.0 の割込み要求なし
	1	MFT unit 2 のアウトプットコンペア ch.0 の割込み要求あり

[bit9:6] ICUINT:

bit 番号	bit	説明
9	0	MFT unit 2 のインプットキャプチャ ch.3 の割込み要求なし
	1	MFT unit 2 のインプットキャプチャ ch.3 の割込み要求あり
8	0	MFT unit 2 のインプットキャプチャ ch.2 の割込み要求なし
	1	MFT unit 2 のインプットキャプチャ ch.2 の割込み要求あり
7	0	MFT unit 2 のインプットキャプチャ ch.1 の割込み要求なし
	1	MFT unit 2 のインプットキャプチャ ch.1 の割込み要求あり
6	0	MFT unit 2 のインプットキャプチャ ch.0 の割込み要求なし
	1	MFT unit 2 のインプットキャプチャ ch.0 の割込み要求あり

[bit5:0] FRTINT:

bit 番号	bit	説明
5	0	MFT unit 2 のフリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT unit 2 のフリーランタイマ ch.2 ゼロ検出の割込み要求あり
4	0	MFT unit 2 のフリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT unit 2 のフリーランタイマ ch.1 ゼロ検出の割込み要求あり
3	0	MFT unit 2 のフリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT unit 2 のフリーランタイマ ch.0 ゼロ検出の割込み要求あり
2	0	MFT unit 2 のフリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT unit 2 のフリーランタイマ ch.2 ピーク値検出の割込み要求あり
1	0	MFT unit 2 のフリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT unit 2 のフリーランタイマ ch.1 ピーク値検出の割込み要求あり
0	0	MFT unit 2 のフリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT unit 2 のフリーランタイマ ch.0 ピーク値検出の割込み要求あり

2.20 IRQ31 一括読出しレジスタ(IRQ31MON)

IRQ31 一括読出しレジスタ(IRQ31MON)は、割込みベクタ No.47 に割り当てられた割込み要求を一括で読み出せます。

IRQ31MON は、フラッシュメモリとベーススタイマ ch.0～ch.7 の割込み要求の状態を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約				FLASHINT	予約										
属性	R				R	R										
初期値	0000				0	00000000000										

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	BTINT															
属性	R															
初期値	0x0000															

レジスタ機能

[bit31:28] 予約: 予約ビット

"0"が読み出されます。

[bit27] FLASHINT:

bit	説明
0	フラッシュメモリの RDY 割込み要求または HANG 割込み要求なし
1	フラッシュメモリの RDY 割込み要求または HANG 割込み要求あり

[bit26:16] 予約: 予約ビット

"0"が読み出されます。

[bit15:0] BTINT:

bit 番号	bit	説明
15	0	ベースタイマ ch.7 の IRQ1 割込み要求なし
	1	ベースタイマ ch.7 の IRQ1 割込み要求あり
14	0	ベースタイマ ch.7 の IRQ0 割込み要求なし
	1	ベースタイマ ch.7 の IRQ0 割込み要求あり
13	0	ベースタイマ ch.6 の IRQ1 割込み要求なし
	1	ベースタイマ ch.6 の IRQ1 割込み要求あり
12	0	ベースタイマ ch.6 の IRQ0 割込み要求なし
	1	ベースタイマ ch.6 の IRQ0 割込み要求あり
11	0	ベースタイマ ch.5 の IRQ1 割込み要求なし
	1	ベースタイマ ch.5 の IRQ1 割込み要求あり
10	0	ベースタイマ ch.5 の IRQ0 割込み要求なし
	1	ベースタイマ ch.5 の IRQ0 割込み要求あり
9	0	ベースタイマ ch.4 の IRQ1 割込み要求なし
	1	ベースタイマ ch.4 の IRQ1 割込み要求あり
8	0	ベースタイマ ch.4 の IRQ0 割込み要求なし
	1	ベースタイマ ch.4 の IRQ0 割込み要求あり
7	0	ベースタイマ ch.3 の IRQ1 割込み要求なし
	1	ベースタイマ ch.3 の IRQ1 割込み要求あり
6	0	ベースタイマ ch.3 の IRQ0 割込み要求なし
	1	ベースタイマ ch.3 の IRQ0 割込み要求あり
5	0	ベースタイマ ch.2 の IRQ1 割込み要求なし
	1	ベースタイマ ch.2 の IRQ1 割込み要求あり
4	0	ベースタイマ ch.2 の IRQ0 割込み要求なし
	1	ベースタイマ ch.2 の IRQ0 割込み要求あり
3	0	ベースタイマ ch.1 の IRQ1 割込み要求なし
	1	ベースタイマ ch.1 の IRQ1 割込み要求あり
2	0	ベースタイマ ch.1 の IRQ0 割込み要求なし
	1	ベースタイマ ch.1 の IRQ0 割込み要求あり
1	0	ベースタイマ ch.0 の IRQ1 割込み要求なし
	1	ベースタイマ ch.0 の IRQ1 割込み要求あり
0	0	ベースタイマ ch.0 の IRQ0 割込み要求なし
	1	ベースタイマ ch.0 の IRQ0 割込み要求あり

Table 2-2 に示すようにベースタイマの割込み要因 IRQ0 および IRQ1 は、使用するベースタイマ機能によって異なります。

Table 2-2 ベースタイマの各機能での割込み要因

機能	割込み要因 IRQ0	割込み要因 IRQ1
16 ビット PWM タイマ	アンダフロー検出/ デューティ一致検出	タイマ起動トリガ検出
16 ビット PPG タイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビットリロードタイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビット PWC タイマ	オーバフロー検出	測定終了検出

2.21 割込み要因ベクタリロケート設定レジスタ(IRQCMODE)

割込み要因ベクタリロケート設定レジスタ(IRQCMODE)は、『割込み(A)』の章にある Table 1-1 または本章の Table 1-1 に従って割込み要因ベクタを割り当てるかを選択できます。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															IRQCMODE
属性	R/W															R/W
初期値	000000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット

"0"を書き込んでください。"0"が読み出されます。

[bit0] IRQCMODE:

bit	説明
0	割込み要因ベクタを『割込み(A)』の Table 1-1 の通りに割り当てます。
1	割込み要因ベクタを本章の Table 1-1 の通りに割り当てます。

2.22 割込み要因選択レジスタ 0 (RCINTSEL0)

割込み要因選択レジスタ 0 (RCINTSEL0)は、割込みベクタ No.19～22 の割込み要因を選択します。
IRQCMODE=1 の場合に有効です。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	INTSEL3								INTSEL2							
属性	R/W								R/W							
初期値	0x00								0x00							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	INTSEL1								INTSEL0							
属性	R/W								R/W							
初期値	0x00								0x00							

レジスタ機能

[bit31:24] INTSEL3
割込みベクタ No.22 の割込み要因を選択*します。

[bit23:16] INTSEL2
割込みベクタ No.21 の割込み要因を選択*します。

[bit15:8] INTSEL1
割込みベクタ No.20 の割込み要因を選択*します。

[bit7:0] INTSEL0
割込みベクタ No.19 の割込み要因を選択*します。

*:選択割込み要因は、Table 2-3 を参照してください。

＜注意事項＞

- *RCINTSEL0 で選択した割込み要因はIRQ11～IRQ31 ではマスクされます。(IRQ11MON～IRQ31MON レジスタの該当ビットもマスクされます。)*
  INTSEL0～INTSEL7 ビットで選択する割込み要因は重複しないように設定してください。

2.23 割込み要因選択レジスタ 1 (RCINTSEL1)

割込み要因選択レジスタ 1 (RCINTSEL1)は、割込みベクタ No.23～26 の割込み要因を選択します。
IRQCMODE:IRQCMODE=1 の場合に有効です。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	INTSEL7								INTSEL6							
属性	R/W								R/W							
初期値	0x00								0x00							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	INTSEL5								INTSEL4							
属性	R/W								R/W							
初期値	0x00								0x00							

レジスタ機能

[bit31:24] INTSEL7
割込みベクタ No.26 の割込み要因を選択*します。

[bit23:16] INTSEL6
割込みベクタ No.25 の割込み要因を選択*します。

[bit15:8] INTSEL5
割込みベクタ No.24 の割込み要因を選択*します。

[bit7:0] INTSEL4
割込みベクタ No.23 の割込み要因を選択*します。

*:選択割込み要因は Table 2-3 を参照してください。

<注意事項>

- *RCINTSEL1 で選択した割込み要因はIRQ11～IRQ31 ではマスクされます。(IRQ11MON～IRQ31MON レジスタの該当ビットもマスクされます。)*
  INTSEL0～INTSEL7 ビットで選択する割込み要因は重複しないように設定してください。

Table 2-3 割込み要因選択

RCINTSELx:INTSELx 設定値	割込み要因
0x00	割込み要因が選択されません。
0x01	外部割込み ch.0
0x02	外部割込み ch.1
0x03	外部割込み ch.2
0x04	外部割込み ch.3
0x05	外部割込み ch.4
0x06	外部割込み ch.5
0x07	外部割込み ch.6
0x08	外部割込み ch.7
0x09	外部割込み ch.8
0x0A	外部割込み ch.9
0x0B	外部割込み ch.10
0x0C	外部割込み ch.11
0x0D	ベースタイマ ch.0 の IRQ0/IRQ1
0x0E	ベースタイマ ch.1 の IRQ0/IRQ1
0x0F	ベースタイマ ch.2 の IRQ0/IRQ1
0x10	ベースタイマ ch.3 の IRQ0/IRQ1
0x11	ベースタイマ ch.4 の IRQ0/IRQ1
0x12	ベースタイマ ch.5 の IRQ0/IRQ1
0x13	ベースタイマ ch.6 の IRQ0/IRQ1
0x14	ベースタイマ ch.7 の IRQ0/IRQ1
0x15	MFS ch.0 の受信割込み
0x16	MFS ch.1 の受信割込み
0x17	MFS ch.2 の受信割込み
0x18	MFS ch.3 の受信割込み
0x19	MFT unit 0 フリーランタイマ ch.0 ゼロ検出割込み
0x1A	MFT unit 1 フリーランタイマ ch.0 ゼロ検出割込み
0x1B	MFT unit 2 フリーランタイマ ch.0 ゼロ検出割込み
0x1C	Reserved
0x1D	Reserved
0x1E	Reserved
0x1F	Reserved
0x20	MFS ch.8 の受信割込み
0x21	MFS ch.9 の受信割込み
0x22	MFS ch.10 の受信割込み
0x23	MFS ch.11 の受信割込み
0x24	MFS ch.12 の受信割込み
0x25	MFS ch.13 の受信割込み
0x26	MFS ch.14 の受信割込み
0x27	MFS ch.15 の受信割込み
0x28	MFS ch.8 の送信/ステータス割込み
0x29	MFS ch.9 の送信/ステータス割込み

RCINTSELx:INTSELx 設定値	割込み要因
0x2A	MFS ch.10 の送信/ステータス割込み
0x2B	MFS ch.11 の送信/ステータス割込み
0x2C	MFS ch.12 の送信/ステータス割込み
0x2D	MFS ch.13 の送信/ステータス割込み
0x2E	MFS ch.14 の送信/ステータス割込み
0x2F	MFS ch.15 の送信/ステータス割込み
0x30～0xFF	Reserved

3. 使用上の注意

割込みコントローラを使用する際は、次の点を注意してください。

- 各周辺リソースからの割込み要求信号はレベルで通知されています。割込み処理から抜ける場合には、必ずその割込み要求をクリアしてください。
- NMIX 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI を使用する場合は、ポートの設定にて NMI を許可してください。詳細は別章『外部割込み・NMI 制御部』を参照してください。
- 各周辺リソースにおける具体的なイベント検出レジスタと割込み許可レジスタの対応は、各マクロの章を参照してください。

CHAPTER 7-5: 割込み構成(TYPE2)

割込みコントローラ(TYPE2)と周辺割込み要求(TYPE2)について説明します。

1. 概要
2. 構成

管理コード: 9AFIRQC_T2_FM0-J03.0

1. 概要

割込 Cortex-M0+ CPU コアには、ネスト型ベクタ割込みコントローラ(NVIC)が内蔵されています。NVIC は予約済みのシステム例外と 32 の周辺割込みをサポートし、4 つの割込み優先度レベルの優先順位を設定できます(内蔵の 2 ビットレジスタを使用します)。マイクロコントローラ(TYPE2)に搭載されている周辺機能からの割込み信号、および NVIC と割込み信号(TYPE2)との接続について説明します。

2. 構成

ブロックダイアグラム

Figure 2-1 割込み信号（TYPE2）と NVIC の接続

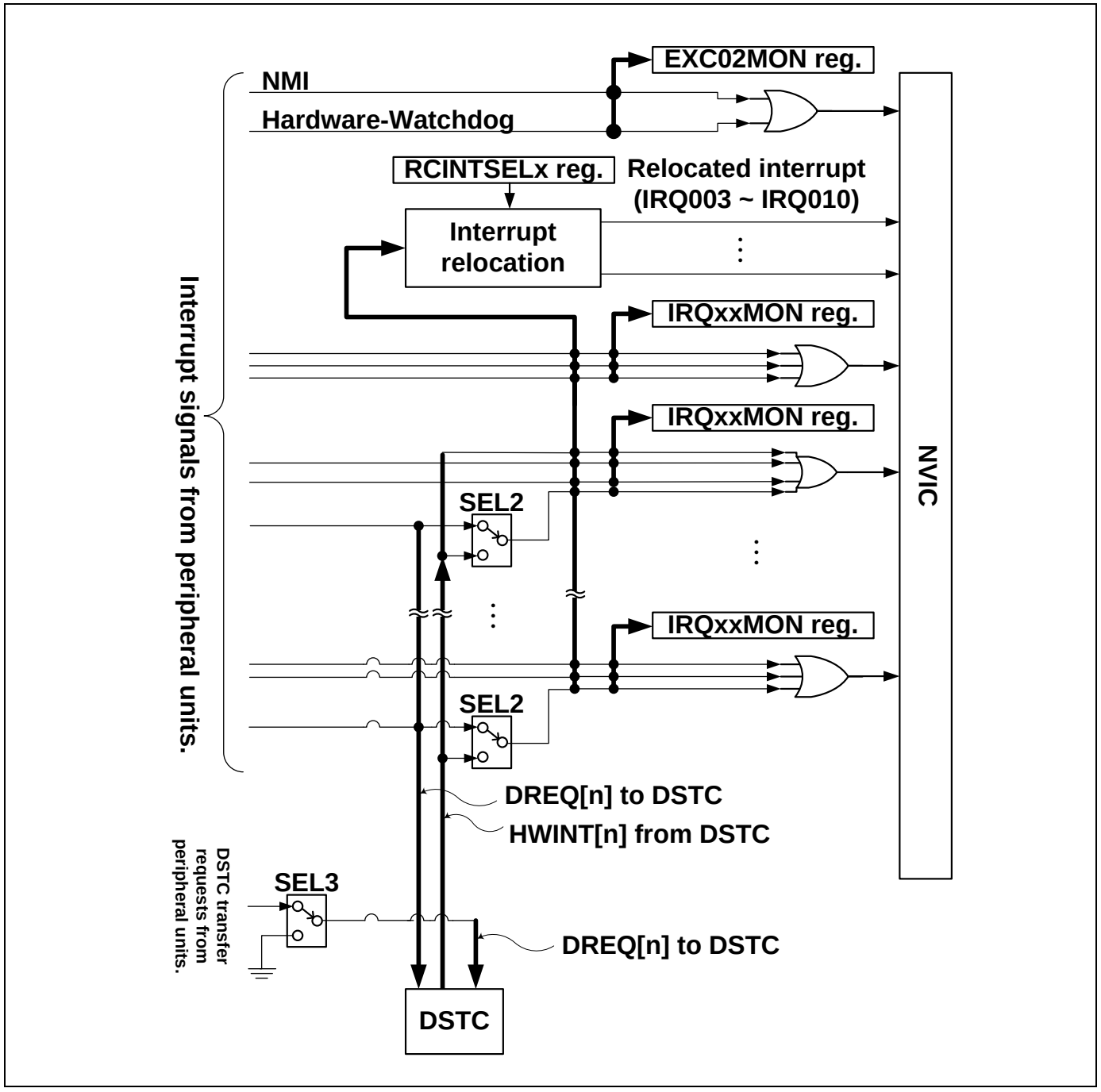


Figure 2-1 は、NVIC がどのように、周辺機能からの割込み信号入力と DSTC に接続されるかを示したものです。接続の詳細について、以下に説明します。

NVIC

NVIC は、予約されているシステム例外と 32 個の周辺割込みに対応します。NVIC の詳細については、『Cortex-M0+テクニカルリファレンスマニュアル』を参照してください。『Cortex-M0+テクニカルリファレンスマニュアル』では、予約されているシステム例外を除く例外は"外部割込み(IRQ)"として定義されています。本書では、マイクロコントローラの外部入力端子からの外部割込みと区別するため、外部割込み(IRQ)を周辺割込みと呼びます。

NVIC の割込み優先度レジスタは 2 ビットで構成され、4 つの割込み優先レベルを設定可能です。

予約済みのシステム例外 No.4～15 に対応する優先度は、NVIC に搭載されているシステムハンドラ優先度レジスタ(アドレス : 0xE000ED18, 0xE000ED1C, 0xE000ED20)を使用して設定可能です。

例外 No.16～47 の周辺割込みに対応する優先度は、NVIC に搭載されている IRQ 優先度レジスタ(アドレス : 0xE000E400～0xE000E41C)を使用して設定可能です。

NVIC はノンマスカブル割込み(NMI)入力をサポートしています。

割込み集約および一括読出しレジスタ

各周辺機能から入力される割込み信号(Figure 2-1 の Interrupt signals from peripheral units)は、図に示す論理 OR 回路により集約されます。集約された割込み信号は、NVIC に存在する 32 の周辺割込みのいずれか 1 つに接続されます。NVIC の割込み出力がどの周辺機能に割り当てられるかについては、Table 2-1 を参照してください。

割込み信号は論理 OR 回路により集約されるため、NVIC の 1 つの割込みは複数のソースから生成されます。割込みが生成されたとき、その割込みを引き起こしたソースは、割込み一括読出しレジスタ(Figure 2-1 の IRQxxMON reg.)を読み出すことで識別できます。割込み一括読出しレジスタ(IRQ00MON から IRQ31MON まで)は、NVIC のすべての周辺割込み入力をカバーします。

IRQxxxMON レジスタの各ビットは各製品で非搭載の場合、予約ビットです。

外部割込み・NMI 制御部からのノンマスカブル割込み信号(NMI)と、ハードウェアウォッチドッグタイマからの割込み信号(HW-Watchdog)は、論理 OR されて、NVIC の例外 2 入力に接続されています。EXC02MON レジスタを読出して、どちらの要因により割込みが発生しているかを判別できます。

割込み要因ベクタリロケート機能

IRQCMODE ビットの設定により Table 2-1 に示す 2 種類の割込み要因ベクタアサインを選択できます。IRQCMODE ビットについては『割込み(B)』を参照してください。

各設定の詳細については Table 2-1 の各章を参照ください。

また、RCINTSEL0, RCINTSEL1 レジスタにより任意の割込み要因を選択できます。RCINTSEL0, RCINTSEL1 レジスタの詳細は『割込み(B)』を参照してください。

Table 2-1 割り込み章対応表

IRQCMODE 設定	参照先
IRQCMODE=0 リロケート非選択時	『割込み(TYPE2-A)』の章
IRQCMODE=1 リロケート選択時	『割込み(TYPE2-B)』の章

DSTC 転送要求と DSTC 転送終了通知の接続選択

DSTC の DMA 転送を使用する周辺機能には 2 つのタイプがあります。割込みを DSTC への転送要求として使用するタイプと、割込みと DSTC への転送要求が分かれているタイプがあります。

割込みを DSTC への転送要求として使用する周辺機能では、割込み信号を、DSTC への DMA 転送要求信号として使用できます。DSTC の DREQENB[n]レジスタ設定により、周辺機能からの割込み信号が、DMA 転送要求として認識されます。

割込みと DSTC への転送要求が分かれているタイプの周辺機能は、プログラマブル CRC です。この周辺機能では割込みとは別に DSTC 転送要求信号を持っています。

機能の相違点を **Table** 2-2 に示します。

Table 2-2 DSTC を使用する周辺機能の違い

周辺機能のタイプ	DREQENB[n]=0 のとき			DREQENB[n]=1 のとき		
	回路の状態	IRQxxMON	NVIC への通知	回路の状態	IRQxxMON	NVIC への通知
割込みと DSTC への転送要求が分かれている周辺機能 (プログラマブル CRC)	SEL3 は GND を選択します。	周辺機能からの割込みを表示 (DSTC からの転送完了割込みは発生しない)。	周辺機能からの割込み (DSTC からの転送完了割込みは発生しない)。	SEL3 は、周辺機能から DMA 転送要求を選択。	周辺機能からの割込みと、DSTC からの転送完了割込みを別レジスタでそれぞれ表示	周辺機能からの割込みと DSTC からの割込みの両方
割込みを DSTC への転送要求として使用する周辺機能 (プログラマブル CRC 以外の DSTC 転送を使用する周辺機能)。	SEL2 が、周辺機能からの割込みを選択。	周辺機能からの割込みを表示。	周辺機能からの割込み	SEL2 が、DSTC からの割込みを選択。	DSTC からの割込みを表示	DSTC からの割込み

周辺機割込みを DSTC への転送要求として使用するタイプの周辺機能の場合、NVIC に入力される割込み信号はセレクタ回路(図中 : SEL2)にて、DSTC から出力される DMA 転送の終了通知信号(図中 : HWINT[n] from DSTC)と、周辺機能からの割込み信号のいずれが接続されるかが選択されます。SEL2 の切換えは、DSTC 内の DREQENB[n]レジスタ設定により切換えが行われます。

DSTC による DMA 転送を選択している場合、周辺からの割込みの代わりに DSTC からの転送終了割込みが発生します。図のような回路構成であるため、DSTC からの転送終了割込みは、IRQxxMON レジスタの該当 bit から読み出すことができます。また、割込みリロケート機能を適用することができます。

DSTC が選択されているときに DMA 転送が行われると、DSTC からの転送完了割込みが、周辺からの割込みの代わりに発生します。図に示されている回路構成により、DSTC からの転送完了割込みは IRQxxxMON レジスタの対応ビットから読出し可能です。また、割込みリロケート機能を適用できます。

割込みと DSTC への転送要求が分かれているタイプの周辺機能の場合、DSTC の DREQENB レジスタ設定により周辺機能からの DSTC 転送要求を DSTC に接続するかどうかの選択(図中:SEL3) を行います。また、この場合セレクタ回路(図中:SEL2)を介さず周辺機能からの割り込みと DSTC からの転送終了割込みがそれぞれ NVIC に入力されます。DSTC からの転送終了割込みと周辺機能の割込みは、それぞれ別の IRQxxxMON レジスタの該当 bit から読み出すことができます。また、割込みリロケート機能を適用することができます。

各周辺機能からの DSTC 転送要求の詳細については各周辺機能の章を参照してください。

DMA 転送承認信号の接続

DMA 転送完了後、転送要求信号(割込み信号)のクリアが必要な周辺機能ブロックがあります。これらの周辺機能に対して、DSTC から転送要求信号のクリア処理がなされます。図中に記載していませんが、SEL2 にて、DSTC による DMA 転送を選択した場合、DSTC からの DMA 転送承認信号が周辺機能に接続されます。

DMA 転送停止信号の接続

マルチ・ファンクション・シリアル・ユニット(以下 MFS と略)からは、DMA 転送停止要求信号が出力されます。図中の記載は省略していますが、SEL2 の選択により、以下の接続が行われます。

SEL2 にて DSTC と MFS の接続選択を行った場合、転送停止要求信号により DSTC は転送動作を停止します。MFS からの転送停止要求信号がネゲートされるまで、DSTC は転送動作を行わなくなります。また、MFS からの転送停止要求信号は、DSTC の転送終了割込み(HWINT[n]信号)と論理 OR され、割込み信号として NVIC に通知されます。

CHAPTER 7-6: 割込み(TYPE2-A)

IRQCMODE=0 時の例外と割り込み要因ベクタ、レジスタについて説明します。(TYPE2)

1. 割込み一覧
2. レジスタ
3. 使用上の注意

CODE: 9BFIRQC_T2_A_FM0-J03.0

1. 割込み一覧

NVIC へ入力される例外と割込みの要因、DSTC の DMA 転送によって転送可能な割込みの一覧を示します。

1.1 例外および割込みの一覧

NVIC へ入力される例外および割込みソースの一覧を、Table 1-1 に示します。以下は、Table 1-1 の各列の詳細です。

Exc No
NVIC の例外番号を示します。

IRQ No
周辺割込み番号を示します。IRQNo.= Exc No. － 16 の値となります。

Vector offset
割込みにより参照されるベクタの格納 offset アドレスを示します。

Bit
割込み要因が、一括読出しレジスタ(IRQxxxMON, EXC02MON)のどのビット位置で読出せるのかを示します。1 個の IRQ に対して、複数ビットの記載が存在する場合、それらの要因が論理 OR されていることを示し、各要因が対応するビット位置から読出せます。1 個の IRQ に対して、0 の記載のみの場合は、複数割込みの論理 OR がないことを示します。記載値が"-"の場合、一括読出しレジスタが存在しないことを示します。

DSTC
記載値が数字の場合、割込みを DSTC への転送要求として使用するタイプの周辺機能で、DSTC による DMA 転送に対応している割込み信号であることを示します。記載数字は DSTC の DREQENB[n]レジスタのビット番号を示します。この場合、DSTC の DREQENB[n]レジスタの設定により、接続が切り換わります。DREQENB[n]=0 の場合は、記載されている割込みが NVIC に入力されます。DREQENB[n]=1 の場合は、DSTC からの転送終了通知が NVIC に入力されます。

記載値が"*"の場合、割込みと DSTC への転送要求が分かれているタイプの周辺機能で、DSTC による DMA 転送終了割り込みのみが入力されていることを示します。周辺機能からの転送要求信号は NVIC に入力されず、その転送終了により DSTC から発生する転送終了割り込み（HWINT[n]）が、NVIC に入力されます。

記載値が"-"の場合、DSTC による DMA 転送に対応していないことを示します。

例外と割込み要因
例外と割込み要因の名称を記載します。複数存在する場合、各周辺機能内の割込み要因が論理 OR されていることを示します。また単独の記載であっても、各周辺機能の内部にて、複数の割込み要因が論理 OR されていることがあります。各周辺機能の説明を参照してください。

Table 1-1 例外と割込み要因の一覧 (IRQCMODE=0)

Exc. No.	IRQ No.	Vector Offset	Bit	DSTC	例外と割込み要因
0	-	0x000	-	-	(Stack pointer initial value)
1	-	0x004	-	-	Reset
2	-	0x008	1	-	Hardware watchdog timer interrupt
			0	-	Non-maskable interrupt (NMI)
3	-	0x00C	-	-	Hard fault
4	-	0x010	-	-	Reserved
5	-	0x014	-	-	Reserved
6	-	0x018	-	-	Reserved
7 ~ 10	-	0x01C | 0x02B	-	-	Reserved
11	-	0x02C	-	-	SVCall (supervisor call)
12	-	0x030	-	-	Reserved
13	-	0x034	-	-	Reserved
14	-	0x038	-	-	PendSV
15	-	0x03C	-	-	SysTick
16	0	0x040	0	-	Anomalous frequency detection interrupt by Clock supervisor (FCS)
17	1	0x044	0	-	Software watchdog timer interrupt
18	2	0x048	0	-	Low-voltage detection (LVD) interrupt
19	3	0x04C	3	25	MFT unit 0 WFG timer 54 interrupt
			2	24	MFT unit 0 WFG timer 32 interrupt
			1	23	MFT unit 0 WFG timer 10 interrupt
			0	-	MFT unit 0 DTIF (motor emergency stop) interrupt
20	4	0x050	7	7	External Pin Interrupt ch.7
			6	6	External Pin Interrupt ch.6
			5	5	External Pin Interrupt ch.5
			4	4	External Pin Interrupt ch.4
			3	3	External Pin Interrupt ch.3
			2	2	External Pin Interrupt ch.2
			1	1	External Pin Interrupt ch.1
			0	0	External Pin Interrupt ch.0

Exc. No.	IRQ No.	Vector Offset	Bit	DSTC	例外と割込み要因
21	5	0x054	15	-	External Pin Interrupt ch.23
			14	-	External Pin Interrupt ch.22
			13	-	External Pin Interrupt ch.21
			12	-	External Pin Interrupt ch.20
			11	-	External Pin Interrupt ch.19
			10	-	External Pin Interrupt ch.18
			9	-	External Pin Interrupt ch.17
			8	-	External Pin Interrupt ch.16
			7	-	External Pin Interrupt ch.15
			6	-	External Pin Interrupt ch.14
			5	-	External Pin Interrupt ch.13
			4	12	External Pin Interrupt ch.12
			3	11	External Pin Interrupt ch.11
			2	10	External Pin Interrupt ch.10
			1	9	External Pin Interrupt ch.9
			0	8	External Pin Interrupt ch.8
22	6	0x058	1	-	Dual timer interrupt ch.2
			0	-	Dual timer interrupt ch.1
23	7	0x05C	0	46	Reception Interrupt of MFS ch.0
24	8	0x060	1	-	Status Interrupt of MFS ch.0
			0	47	Transmit Interrupt of MFS ch.0
25	9	0x064	0	48	Reception Interrupt of MFS ch.1
26	10	0x068	1	-	Status Interrupt of MFS ch.1
			0	49	Transmit Interrupt of MFS ch.1
27	11	0x06C	0	50	Reception Interrupt of MFS ch.2
28	12	0x070	1	-	Status Interrupt of MFS ch.2
			0	51	Transmit Interrupt of MFS ch.2
29	13	0x074	0	52	Reception Interrupt of MFS ch.3
30	14	0x078	1	-	Status Interrupt of MFS ch.3
			0	53	Transmit Interrupt of MFS ch.3
31	15	0x07C	0	54	Reception Interrupt of MFS ch.4
32	16	0x080	1	-	Status Interrupt of MFS ch.4
			0	55	Transmit Interrupt of MFS ch.4
33	17	0x084	0	56	Reception Interrupt of MFS ch.5
34	18	0x088	1	-	Status Interrupt of MFS ch.5
			0	57	Transmit Interrupt of MFS ch.5
35	19	0x08C	0	58	Reception Interrupt of MFS ch.6
36	20	0x090	1	-	Status Interrupt of MFS ch.6
			0	59	Transmit Interrupt of MFS ch.6
37	21	0x094	0	60	Reception Interrupt of MFS ch.7
38	22	0x098	1	-	Status Interrupt of MFS ch.7
			0	61	Transmit Interrupt of MFS ch.7

Exc. No.	IRQ No.	Vector Offset	Bit	DSTC	例外と割込み要因
39	23	0x09C	12	-	DSTC ERINT interrupt
			11	-	DSTC SWINT interrupt
			10	-	Smart card (IC card) interrupt ch.0
			9	-	HDMI-CEC remote control reception interrupt ch.0
			3-8	-	Reserved
			2	44	PPG interrupt ch.4
			1	43	PPG interrupt ch.2
			0	42	PPG interrupt ch.0
40	24	0x0A0	10	-	Smart card (IC card) interrupt ch.1
			9	-	HDMI-CEC remote control reception interrupt ch.1
			8~6	-	reserved
			5	-	Real timer counter interrupt
			4	45	Watch counter interrupt
			3	-	PLL of USB oscillation stabilization wait completion interrupt
			2	-	Main PLL oscillation stabilization wait completion interrupt
			1	-	Sub clock oscillation stabilization wait completion interrupt
			0	-	Main clock oscillation stabilization wait completion interrupt
41	25	0x0A4	4	-	ADC unit0 Range comparison result interrupt
			3	-	ADC unit0 result comparison interrupt
			2	-	ADC unit0 FIFO overrun interrupt
			1	62	ADC unit0 Scan conversion interrupt
			0	63	ADC unit0 Priority conversion interrupt
42	26	0x0A8	5	-	USB ch.0 host SOFIRQ interrupt USB ch.0 host CMPIRQ interrupt
			4	-	USB ch.0 host DIRQ interrupt USB ch.0 host URIRQ interrupt USB ch.0 host RWKIRQ interrupt USB ch.0 host CNNIRQ interrupt
			3	-	USB ch.0 device SPK interrupt
			2	-	USB ch.0 device SUSP interrupt USB ch.0 device SOF interrupt USB ch.0 device BRST interrupt USB ch.0 device CONF interrupt USB ch.0 device WKUP interrupt
			1	-	USB ch.0 device endpoint 0 DRQO interrupt
			0	-	USB ch.0 device endpoint 0 DRQI interrupt
43	27	0x0AC	5	-	LCD controller interrupt
			4~0	-	reserved

Exc. No.	IRQ No.	Vector Offset	Bit	DSTC	例外と割込み要因
44	28	0x0B0	5	31	MFT unit 0 Free-run Timer zero detection interrupt ch.2
			4	30	MFT unit 0 Free-run Timer zero detection interrupt ch.1
			3	29	MFT unit 0 Free-run Timer zero detection interrupt ch.0
			2	28	MFT unit 0 Free-run Timer peak detection interrupt ch.2
			1	27	MFT unit 0 Free-run Timer peak detection interrupt ch.1
			0	26	MFT unit 0 Free-run Timer peak detection interrupt ch.0
45	29	0x0B4	8	-	USB ch.0 device endpoint 5 DRQ interrupt
			7	-	USB ch.0 device endpoint 4 DRQ interrupt
			6	-	USB ch.0 device endpoint 3 DRQ interrupt
			5	-	USB ch.0 device endpoint 2 DRQ interrupt
			4	-	USB ch.0 device endpoint 1 DRQ interrupt
			3	35	MFT unit 0 ICU input edge detection interrupt ch.3
			2	34	MFT unit 0 ICU input edge detection interrupt ch.2
			1	33	MFT unit 0 ICU input edge detection interrupt ch.1
			0	32	MFT unit 0 ICU input edge detection interrupt ch.0
46	30	0x0B8	5	41	MFT unit 0 OCU match detection interrupt ch.5
			4	40	MFT unit 0 OCU match detection interrupt ch.4
			3	39	MFT unit 0 OCU match detection interrupt ch.3
			2	38	MFT unit 0 OCU match detection interrupt ch.2
			1	37	MFT unit 0 OCU match detection interrupt ch.1
			0	36	MFT unit 0 OCU match detection interrupt ch.0
47	31	0x0BC	27	-	Flash memory RDY, HANG interrupt
			26~16	-	reserved
			15	-	Base timer ch.7 source 1 (IRQ1)
			14	-	Base timer ch.7 source 0 (IRQ0)
			13	-	Base timer ch.6 source 1 (IRQ1)
			12	22	Base timer ch.6 source 0 (IRQ0)
			11	-	Base timer ch.5 source 1 (IRQ1)
			10	-	Base timer ch.5 source 0 (IRQ0)
			9	-	Base timer ch.4 source 1 (IRQ1)
			8	21	Base timer ch.4 source 0 (IRQ0)
			7	20	Base timer ch.3 source 1 (IRQ1)
			6	19	Base timer ch.3 source 0 (IRQ0)
			5	18	Base timer ch.2 source 1 (IRQ1)
			4	17	Base timer ch.2 source 0 (IRQ0)
			3	16	Base timer ch.1 source 1 (IRQ1)
			2	15	Base timer ch.1 source 0 (IRQ0)
			1	14	Base timer ch.0 source 1 (IRQ1)
			0	13	Base timer ch.0 source 0 (IRQ0)

1.2 DSTC に入力される割込み信号

Table 1-2 に DSTC に転送要求信号として入力される割込み信号を示します。番号は DSTC の DREQENB[n] レジスタの番号に対応します。

Table 1-2 DSTC に入力される割込み信号一覧

番号	割込み信号名
0	External pin interrupt ch.0
1	External pin interrupt ch.1
2	External pin interrupt ch.2
3	External pin interrupt ch.3
4	External pin interrupt ch.4
5	External pin interrupt ch.5
6	External pin interrupt ch.6
7	External pin interrupt ch.7
8	External pin interrupt ch.8
9	External pin interrupt ch.9
10	External pin interrupt ch.10
11	External pin interrupt ch.11
12	External pin interrupt ch.12
13	Base timer ch.0 source 0 (IRQ0) interrupt
14	Base timer ch.0 source 1 (IRQ1) interrupt
15	Base timer ch.1 source 0 (IRQ0) interrupt
16	Base timer ch.1 source 1 (IRQ1) interrupt
17	Base timer ch.2 source 0 (IRQ0) interrupt
18	Base timer ch.2 source 1 (IRQ1) interrupt
19	Base timer ch.3 source 0 (IRQ0) interrupt
20	Base timer ch.3 source 1 (IRQ1) interrupt
21	Base timer ch.4 source 0 (IRQ0) interrupt
22	Base timer ch.6 source 0 (IRQ0) interrupt
23	MFT unit 0 WFG timer 10 interrupt
24	MFT unit 0 WFG timer 32 interrupt
25	MFT unit 0 WFG timer 54 interrupt
26	MFT unit 0 FRT ch.0 peak value detection interrupt
27	MFT unit 0 FRT ch.1 peak value detection interrupt
28	MFT unit 0 FRT ch.2 peak value detection interrupt
29	MFT unit 0 FRT ch.0 zero detection interrupt
30	MFT unit 0 FRT ch.1 zero detection interrupt
31	MFT unit 0 FRT ch.2 zero detection interrupt
32	MFT unit 0 ICU ch.0 input edge detection interrupt
33	MFT unit 0 ICU ch.1 input edge detection interrupt
34	MFT unit 0 ICU ch.2 input edge detection interrupt
35	MFT unit 0 ICU ch.3 input edge detection interrupt
36	MFT unit 0 OCU ch.0 match detection interrupt
37	MFT unit 0 OCU ch.1 match detection interrupt

番号	割込み信号名
38	MFT unit 0 OCU ch.2 match detection interrupt
39	MFT unit 0 OCU ch.3 match detection interrupt
40	MFT unit 0 OCU ch.4 match detection interrupt
41	MFT unit 0 OCU ch.5 match detection interrupt
42	PPG ch.0 interrupt
43	PPG ch.2 interrupt
44	PPG ch.4 interrupt
45	Watch counter interrupt
46	MFS ch.0 reception interrupt
47	MFS ch.0 transmission interrupt
48	MFS ch.1 reception interrupt
49	MFS ch.1 transmission interrupt
50	MFS ch.2 reception interrupt
51	MFS ch.2 transmission interrupt
52	MFS ch.3 reception interrupt
53	MFS ch.3 transmission interrupt
54	MFS ch.4 reception interrupt
55	MFS ch.4 transmission interrupt
56	MFS ch.5 reception interrupt
57	MFS ch.5 transmission interrupt
58	MFS ch.6 reception interrupt
59	MFS ch.6 transmission interrupt
60	MFS ch.7 reception interrupt
61	MFS ch.7 transmission interrupt
62	A/D converter unit 0 scan conversion interrupt
63	A/D converter unit 0 priority conversion interrupt

2. レジスタ

各レジスタ機能について説明します。

レジスター覧

レジスタ略称	レジスタ機能名称	参照先
EXC02MON	EXC02 一括読出しレジスタ	2.1
IRQ00MON	IRQ00 一括読出しレジスタ	2.2
IRQ01MON	IRQ01 一括読出しレジスタ	
IRQ02MON	IRQ02 一括読出しレジスタ	
IRQ03MON	IRQ03 一括読出しレジスタ	
IRQ04MON	IRQ04 一括読出しレジスタ	
IRQ05MON	IRQ05 一括読出しレジスタ	
IRQ06MON	IRQ06 一括読出しレジスタ	
IRQ07MON	IRQ07 一括読出しレジスタ	
IRQ08MON	IRQ08 一括読出しレジスタ	
IRQ09MON	IRQ09 一括読出しレジスタ	
IRQ10MON	IRQ10 一括読出しレジスタ	
IRQ11MON	IRQ11 一括読出しレジスタ	
IRQ12MON	IRQ12 一括読出しレジスタ	
IRQ13MON	IRQ13 一括読出しレジスタ	
IRQ14MON	IRQ14 一括読出しレジスタ	
IRQ15MON	IRQ15 一括読出しレジスタ	
IRQ16MON	IRQ16 一括読出しレジスタ	
IRQ17MON	IRQ17 一括読出しレジスタ	
IRQ18MON	IRQ18 一括読出しレジスタ	
IRQ19MON	IRQ19 一括読出しレジスタ	
IRQ20MON	IRQ20 一括読出しレジスタ	
IRQ21MON	IRQ21 一括読出しレジスタ	
IRQ22MON	IRQ22 一括読出しレジスタ	
IRQ23MON	IRQ23 一括読出しレジスタ	
IRQ24MON	IRQ24 一括読出しレジスタ	
IRQ25MON	IRQ25 一括読出しレジスタ	
IRQ26MON	IRQ26 一括読出しレジスタ	
IRQ27MON	IRQ27 一括読出しレジスタ	
IRQ28MON	IRQ28 一括読出しレジスタ	
IRQ29MON	IRQ29 一括読出しレジスタ	
IRQ30MON	IRQ30 一括読出しレジスタ	
IRQ31MON	IRQ31 一括読出しレジスタ	

2.1 EXC02 一括読出しレジスタ (EXC02MON)

EXC02MON は、例外 No.2 の割込み(NMI/ハードウェアウォッチドックタイマ割込み)を一括で読み出します。

レジスタ構成

bit	31															8
Field	予約															
属性	R															
初期値	0x000000															

bit	7	6	5	4	3	2	1	0
Field	予約						HWINT	NMI
属性	R						R	R
初期値	000000						0	0

レジスタ機能

[bit31:2] 予約: 予約ビット

"0"が読み出されます。

[bit1] HWINT:

処理	説明
書込み	書込みは無視されます。
読出し 0	ハードウェアウォッチドッグタイマの割込み要求なし
読出し 1	ハードウェアウォッチドッグタイマの割込み要求あり

[bit0] NMI:

処理	説明
書込み	書込みは無視されます。
読出し 0	NMIX 外部端子の割込み要求なし
読出し 1	NMIX 外部端子の割込み要求あり

2.2 IRQxx 一括読出しレジスタ (IRQxxMON)

IRQxxMON レジスタは、IRQ00～IRQ31 割込みに対応し、IRQ00MON～IRQ31MON の 32 個が存在します。NVIC に入力される IRQxx 割込み信号で、論理 OR 回路で論理 OR されている各割込み信号の状態を表示します。本レジスタを参照することで、IRQxx に発生している割込み要因を判断できます。IRQxxMON のどのビットに、どの周辺機能の割込み信号がアサインされているかは、

Table 1-**1** を参照してください。

レジスタ構成

Bit	31	30	29	28	27	26	25	24
Field	INT31	INT30	INT29	INT28	INT27	INT26	INT25	INT24
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	INT23	INT22	INT21	INT20	INT19	INT18	INT17	INT16
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	INT15	INT14	INT13	INT12	INT11	INT10	INT09	INT08
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0
Field	INT07	INT06	INT05	INT04	INT03	INT02	INT01	INT00
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:0] INT31 – INT00

処理	説明
書込み	書込みは無視されます。
読出し 0	該当レジスタの Bit にアサインされている割込みの発生無し
読出し 1	該当レジスタの Bit にアサインされている割込みの発生有り

3. 使用上の注意

割込みコントローラを使用する際は、次の点を注意してください。

- 各周辺リソースからの割込み要求信号はレベルで通知されています。割込み処理から抜ける場合には、必ずその割込み要求をクリアしてください。

- NVIC に通知された各周辺リソースからの割込み要求は、他の高い優先度の割込みが実行中など直ちに処理を行うことができない場合、NVIC 内部で保留されます。保留中の割込み要求をキャンセルする場合、各周辺リソースからの割込み要求をクリアすると共に、NVIC に実装された割込み保留クリアレジスタ(IRQ Clear-Pending Registers、アドレス 0xE000E280～0xE000E29C)によって保留中の割込みをクリアしてください。

- NMIX 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI を使用する場合は、ポートの設定にて NMI を許可してください。詳細は別章『外部割込み・NMI 制御部』を参照してください。

- DSTC による DMA 転送を使用する場合、周辺機能からの割込みの代わりに DSTC からの転送終了割込み(HWINT[n])が発生します。この構成のため、NVIC の処理は、周辺機能からの割込みと、DSTC の転送終了割込みが、同じ割込みベクタに Jump します。DREQENB[n]レジスタの値により、どちらの割込み処理を行うかを選択する必要があります。

- 特定のイベント検出レジスタと、ペリフェラル機能の割込みイネーブルレジスタとの関係については、該当ペリフェラル機能の章を参照してください。

CHAPTER 7-7: 割込み(TYPE2-B)



IRQCMODE=1 時の例外と割り込み要因ベクタ、レジスタについて説明します。(TYPE2)

1. 割込み一覧
2. レジスタ
3. 使用上の注意

CODE: 9BFIRQC_T2_B_FM0+-J03.0

1. 割込み一覧

NVIC へ入力される例外と割込みの要因、DSTC の DMA 転送によって転送可能な割込みの一覧を示します。

1.1 例外および割込みの一覧

NVIC へ入力される例外および割込みソースの一覧を、Table 1-1 に示します。以下は、Table 1-1 の各列の詳細です。

Exc No
NVIC の例外番号を示します。

IRQ No
周辺割込み番号を示します。IRQNo.= Exc No. － 16 の値となります。

Vector offset
割込みにより参照されるベクタの格納 offset アドレスを示します。

Bit
割込み要因が、一括読出しレジスタ(IRQxxxMON, EXC02MON)のどのビット位置で読出せるのかを示します。1 個の IRQ に対して、複数ビットの記載が存在する場合、それらの要因が論理 OR されていることを示し、各要因が対応するビット位置から読出せます。1 個の IRQ に対して、0 の記載のみの場合は、複数割込みの論理 OR がないことを示します。記載値が"-"の場合、一括読出しレジスタが存在しないことを示します。

DSTC
記載値が数字の場合、割込みを DSTC への転送要求として使用するタイプの周辺機能で、DSTC による DMA 転送に対応している割込み信号であることを示します。記載数字は DSTC の DREQENB[n]レジスタのビット番号を示します。この場合、DSTC の DREQENB[n]レジスタの設定により、接続が切り換わります。DREQENB[n]=0 の場合は、記載されている割込みが NVIC に入力されます。DREQENB[n]=1 の場合は、DSTC からの転送終了通知が NVIC に入力されます。

記載値が"*"の場合、割込みと DSTC への転送要求が分かれているタイプの周辺機能で、DSTC による DMA 転送終了割り込みのみが入力されていることを示します。周辺機能からの転送要求信号は NVIC に入力されず、その転送終了により DSTC から発生する転送終了割り込み（HWINT[n]）が、NVIC に入力されます。

記載値が"-"の場合、DSTC による DMA 転送に対応していないことを示します。

例外と割込み要因
例外と割込み要因の名称を記載します。複数存在する場合、各周辺機能内の割込み要因が論理 OR されていることを示します。また単独の記載であっても、各周辺機能の内部にて、複数の割込み要因が論理 OR されていることがあります。各周辺機能の説明を参照してください。

Table 1-1 例外と割込み要因の一覧 (IRQCMODE=1)

Exc. No.	IRQ No.	Vector Offset	Bit	DSTC	例外と割込み要因
0	-	0x000	-	-	(Stack pointer initial value)
1	-	0x004	-	-	Reset
2	-	0x008	1	-	Hardware watchdog timer interrupt
			0	-	Non-maskable interrupt (NMI)
3	-	0x00C	-	-	Hard fault
4	-	0x010	-	-	Reserved
5	-	0x014	-	-	Reserved
6	-	0x018	-	-	Reserved
7 ~ 10	-	0x01C | 0x02B	-	-	Reserved
11	-	0x02C	-	-	SVCall (supervisor call)
12	-	0x030	-	-	Reserved
13	-	0x034	-	-	Reserved
14	-	0x038	-	-	PendSV
15	-	0x03C	-	-	SysTick
16	0	0x040	0	-	Anomalous frequency detection interrupt by Clock supervisor (FCS)
17	1	0x044	0	-	Software watchdog timer interrupt
18	2	0x048	0	-	Low-voltage detection (LVD) interrupt
19	3	0x04C	0	-	Relocatable Interrupt (This is selected by the INTSEL0:RCINTSEL0 Register.)
20	4	0x050	0	-	Relocatable Interrupt (This is selected by the INTSEL1:RCINTSEL0 Register.)
21	5	0x054	0	-	Relocatable Interrupt (This is selected by the INTSEL2:RCINTSEL0 Register.)
22	6	0x058	0	-	Relocatable interrupt (This is selected by the INTSEL3:RCINTSEL0 Register.)
23	7	0x05C	0	-	Relocatable Interrupt (This is selected by the INTSEL4:RCINTSEL1 Register.)
24	8	0x060	0	-	Relocatable Interrupt (This is selected by the INTSEL5:RCINTSEL1 Register.)
25	9	0x064	0	-	Relocatable Interrupt (This is selected by the INTSEL6:RCINTSEL1 Register.)
26	10	0x068	0	-	Relocatable Interrupt (This is selected by the INTSEL7:RCINTSEL1 Register.)
27	11	0x06C	3	25	MFT unit0 Wave Form Generator 54
			2	24	MFT unit0 Wave Form Generator 32
			1	23	MFT unit0 Wave Form Generator 10
			0	-	MFT unit 0 DTIF (motor emergency stop) interrupt

Exc. No.	IRQ No.	Vector Offset	Bit	DSTC	例外と割込み要因
28	12	0x070	7	7	External Pin Interrupt ch.7
			6	6	External Pin Interrupt ch.6
			5	5	External Pin Interrupt ch.5
			4	4	External Pin Interrupt ch.4
			3	3	External Pin Interrupt ch.3
			2	2	External Pin Interrupt ch.2
			1	1	External Pin Interrupt ch.1
			0	0	External Pin Interrupt ch.0
29	13	0x074	15	-	External Pin Interrupt ch.23
			14	-	External Pin Interrupt ch.22
			13	-	External Pin Interrupt ch.21
			12	-	External Pin Interrupt ch.20
			11	-	External Pin Interrupt ch.19
			10	-	External Pin Interrupt ch.18
			9	-	External Pin Interrupt ch.17
			8	-	External Pin Interrupt ch.16
			7	-	External Pin Interrupt ch.15
			6	-	External Pin Interrupt ch.14
			5	-	External Pin Interrupt ch.13
			4	12	External Pin Interrupt ch.12
			3	11	External Pin Interrupt ch.11
			2	10	External Pin Interrupt ch.10
			1	9	External Pin Interrupt ch.9
			0	8	External Pin Interrupt ch.8
30	14	0x078	1	-	Dual timer interrupt ch.2
			0	-	Dual timer interrupt ch.1
31	15	0x07C	2	-	Status Interrupt of MFS ch.0
			1	47	Transmit Interrupt of MFS ch.0
			0	46	Reception Interrupt of MFS ch.0
32	16	0x080	2	-	Status Interrupt of MFS ch.1
			1	49	Transmit Interrupt of MFS ch.1
			0	48	Reception Interrupt of MFS ch.1
33	17	0x084	2	-	Status Interrupt of MFS ch.2
			1	51	Transmit Interrupt of MFS ch.2
			0	50	Reception Interrupt of MFS ch.2
34	18	0x088	2	-	Status Interrupt of MFS ch.3
			1	53	Transmit Interrupt of MFS ch.3
			0	52	Reception Interrupt of MFS ch.3
35	19	0x08C	0	54	Reception Interrupt of MFS ch.4
36	20	0x090	1	-	Status Interrupt of MFS ch.4
			0	55	Transmit Interrupt of MFS ch.4
37	21	0x094	0	56	Reception Interrupt of MFS ch.5

Exc. No.	IRQ No.	Vector Offset	Bit	DSTC	例外と割込み要因
38	22	0x098	1	-	Status Interrupt of MFS ch.5
			0	57	Transmit Interrupt of MFS ch.5
39	23	0x09C	12	-	DSTC ERINT interrupt
			11	-	DSTC SWINT interrupt
			10	-	Smart card (IC card) interrupt ch.0
			9	-	HDMI-CEC remote control reception interrupt ch.0
			8~3	-	reserved
			2	44	PPG interrupt ch.4
			1	43	PPG interrupt ch.2
			0	42	PPG interrupt ch.0
40	24	0x0A0	10	-	Smart card (IC card) interrupt ch.1
			9	-	HDMI-CEC remote control reception interrupt ch.1
			8~6	-	reserved
			5	-	Real timer counter interrupt
			4	45	Watch counter interrupt
			3	-	PLL of USB oscillation stabilization wait completion interrupt
			2	-	Main PLL oscillation stabilization wait completion interrupt
			1	-	Sub clock oscillation stabilization wait completion interrupt
			0	-	Main clock oscillation stabilization wait completion interrupt
41	25	0x0A4	4	-	ADC unit0 Range comparison result interrupt
			3	-	ADC unit0 result comparison interrupt
			2	-	ADC unit0 FIFO overrun interrupt
			1	62	ADC unit0 Scan conversion interrupt
			0	63	ADC unit0 Priority conversion interrupt
42	26	0x0A8	5	-	USB ch.0 host SOFIRQ interrupt USB ch.0 host CMPIRQ interrupt
			4	-	USB ch.0 host DIRQ interrupt USB ch.0 host URIRQ interrupt USB ch.0 host RWKIRQ interrupt USB ch.0 host CNNIRQ interrupt
			3	-	USB ch.0 device SPK interrupt
			2	-	USB ch.0 device SUSP interrupt USB ch.0 device SOF interrupt USB ch.0 device BRST interrupt USB ch.0 device CONF interrupt USB ch.0 device WKUP interrupt
			1	-	USB ch.0 device endpoint 0 DRQO interrupt
			0	-	USB ch.0 device endpoint 0 DRQI interrupt
43	27	0x0AC	5	-	LCD controller interrupt
			4~0	-	reserved

Exc. No.	IRQ No.	Vector Offset	Bit	DSTC	例外と割込み要因
44	28	0x0B0	15	41	MFT unit 0 OCU match detection interrupt ch.5
			14	40	MFT unit 0 OCU match detection interrupt ch.4
			13	39	MFT unit 0 OCU match detection interrupt ch.3
			12	38	MFT unit 0 OCU match detection interrupt ch.2
			11	37	MFT unit 0 OCU match detection interrupt ch.1
			10		MFT unit 0 OCU match detection interrupt ch.0
			9		MFT unit 0 ICU input edge detection interrupt ch.3
			8		MFT unit 0 ICU input edge detection interrupt ch.2
			7		MFT unit 0 ICU input edge detection interrupt ch.1
			6		MFT unit 0 ICU input edge detection interrupt ch.0
			5	31	MFT unit 0 Free-run Timer zero detection interrupt ch.2
			4	30	MFT unit 0 Free-run Timer zero detection interrupt ch.1
			3	29	MFT unit 0 Free-run Timer zero detection interrupt ch.0
			2	28	MFT unit 0 Free-run Timer peak detection interrupt ch.2
			1	27	MFT unit 0 Free-run Timer peak detection interrupt ch.1
			0	26	MFT unit 0 Free-run Timer peak detection interrupt ch.0
45	29	0x0B4	8	36	USB ch.0 device endpoint 5 DRQ interrupt
			7	35	USB ch.0 device endpoint 4 DRQ interrupt
			6	34	USB ch.0 device endpoint 3 DRQ interrupt
			5	33	USB ch.0 device endpoint 2 DRQ interrupt
			4	32	USB ch.0 device endpoint 1 DRQ interrupt
			3~0	-	reserved
46	30	0x0B8	31~0	-	reserved

Exc. No.	IRQ No.	Vector Offset	Bit	DSTC	例外と割込み要因
47	31	0x0BC	27	-	Flash memory RDY, HANG interrupt
			26~16	-	reserved
			15	-	Base timer ch.7 source 1 (IRQ1)
			14	-	Base timer ch.7 source 0 (IRQ0)
			13	-	Base timer ch.6 source 1 (IRQ1)
			12	22	Base timer ch.6 source 0 (IRQ0)
			11	-	Base timer ch.5 source 1 (IRQ1)
			10	-	Base timer ch.5 source 0 (IRQ0)
			9	-	Base timer ch.4 source 1 (IRQ1)
			8	21	Base timer ch.4 source 0 (IRQ0)
			7	20	Base timer ch.3 source 1 (IRQ1)
			6	19	Base timer ch.3 source 0 (IRQ0)
			5	18	Base timer ch.2 source 1 (IRQ1)
			4	17	Base timer ch.2 source 0 (IRQ0)
			3	16	Base timer ch.1 source 1 (IRQ1)
			2	15	Base timer ch.1 source 0 (IRQ0)
			1	14	Base timer ch.0 source 1 (IRQ1)
			0	13	Base timer ch.0 source 0 (IRQ0)

1.2 DSTC に入力される割込み信号

Table 1-2 に DSTC に転送要求信号として入力される割込み信号を示します。番号は DSTC の DREQENB[n] レジスタの番号に対応します。

Table 1-2 DSTC に入力される割込み信号一覧

番号	割込み信号名
0	External pin interrupt ch.0
1	External pin interrupt ch.1
2	External pin interrupt ch.2
3	External pin interrupt ch.3
4	External pin interrupt ch.4
5	External pin interrupt ch.5
6	External pin interrupt ch.6
7	External pin interrupt ch.7
8	External pin interrupt ch.8
9	External pin interrupt ch.9
10	External pin interrupt ch.10
11	External pin interrupt ch.11
12	External pin interrupt ch.12
13	Base timer ch.0 source 0 (IRQ0) interrupt
14	Base timer ch.0 source 1 (IRQ1) interrupt
15	Base timer ch.1 source 0 (IRQ0) interrupt
16	Base timer ch.1 source 1 (IRQ1) interrupt
17	Base timer ch.2 source 0 (IRQ0) interrupt
18	Base timer ch.2 source 1 (IRQ1) interrupt
19	Base timer ch.3 source 0 (IRQ0) interrupt
20	Base timer ch.3 source 1 (IRQ1) interrupt
21	Base timer ch.4 source 0 (IRQ0) interrupt
22	Base timer ch.6 source 0 (IRQ0) interrupt
23	MFT unit 0 WFG timer 10 interrupt
24	MFT unit 0 WFG timer 32 interrupt
25	MFT unit 0 WFG timer 54 interrupt
26	MFT unit 0 FRT ch.0 peak value detection interrupt
27	MFT unit 0 FRT ch.1 peak value detection interrupt
28	MFT unit 0 FRT ch.2 peak value detection interrupt
29	MFT unit 0 FRT ch.0 zero detection interrupt
30	MFT unit 0 FRT ch.1 zero detection interrupt
31	MFT unit 0 FRT ch.2 zero detection interrupt
32	USB ch.0 device DRQ interrupt of endpoint 1
33	USB ch.0 device DRQ interrupt of endpoint 2
34	USB ch.0 device DRQ interrupt of endpoint 3
35	USB ch.0 device DRQ interrupt of endpoint 4
36	USB ch.0 device DRQ interrupt of endpoint 5

番号	割込み信号名
37	MFT unit 0 OCU ch.1 match detection interrupt
38	MFT unit 0 OCU ch.2 match detection interrupt
39	MFT unit 0 OCU ch.3 match detection interrupt
40	MFT unit 0 OCU ch.4 match detection interrupt
41	MFT unit 0 OCU ch.5 match detection interrupt
42	PPG ch.0 interrupt
43	PPG ch.2 interrupt
44	PPG ch.4 interrupt
45	Watch counter interrupt
46	MFS ch.0 reception interrupt
47	MFS ch.0 transmission interrupt
48	MFS ch.1 reception interrupt
49	MFS ch.1 transmission interrupt
50	MFS ch.2 reception interrupt
51	MFS ch.2 transmission interrupt
52	MFS ch.3 reception interrupt
53	MFS ch.3 transmission interrupt
54	MFS ch.4 reception interrupt
55	MFS ch.4 transmission interrupt
56	MFS ch.5 reception interrupt
57	MFS ch.5 transmission interrupt
58	-
59	-
60	-
61	-
62	A/D converter unit 0 scan conversion interrupt
63	A/D converter unit 0 priority conversion interrupt

2. レジスタ

各レジスタ機能について説明します。

レジスター覧

レジスタ略称	レジスタ機能名称	参照先
EXC02MON	EXC02 一括読出しレジスタ	2.1
IRQ00MON	IRQ00 一括読出しレジスタ	2.2
IRQ01MON	IRQ01 一括読出しレジスタ	
IRQ02MON	IRQ02 一括読出しレジスタ	
IRQ03MON	IRQ03 一括読出しレジスタ	
IRQ04MON	IRQ04 一括読出しレジスタ	
IRQ05MON	IRQ05 一括読出しレジスタ	
IRQ06MON	IRQ06 一括読出しレジスタ	
IRQ07MON	IRQ07 一括読出しレジスタ	
IRQ08MON	IRQ08 一括読出しレジスタ	
IRQ09MON	IRQ09 一括読出しレジスタ	
IRQ10MON	IRQ10 一括読出しレジスタ	
IRQ11MON	IRQ11 一括読出しレジスタ	
IRQ12MON	IRQ12 一括読出しレジスタ	
IRQ13MON	IRQ13 一括読出しレジスタ	
IRQ14MON	IRQ14 一括読出しレジスタ	
IRQ15MON	IRQ15 一括読出しレジスタ	
IRQ16MON	IRQ16 一括読出しレジスタ	
IRQ17MON	IRQ17 一括読出しレジスタ	
IRQ18MON	IRQ18 一括読出しレジスタ	
IRQ19MON	IRQ19 一括読出しレジスタ	
IRQ20MON	IRQ20 一括読出しレジスタ	
IRQ21MON	IRQ21 一括読出しレジスタ	
IRQ22MON	IRQ22 一括読出しレジスタ	
IRQ23MON	IRQ23 一括読出しレジスタ	
IRQ24MON	IRQ24 一括読出しレジスタ	
IRQ25MON	IRQ25 一括読出しレジスタ	
IRQ26MON	IRQ26 一括読出しレジスタ	
IRQ27MON	IRQ27 一括読出しレジスタ	
IRQ28MON	IRQ28 一括読出しレジスタ	
IRQ29MON	IRQ29 一括読出しレジスタ	
IRQ30MON	IRQ30 一括読出しレジスタ	
IRQ31MON	IRQ31 一括読出しレジスタ	
IRQCMODE	割込み要因ベクタリロケートレジスタ	2.3
RCINTSEL0	割込み要因選択レジスタ 0	2.4
RCINTSEL1	割込み要因選択レジスタ 1	2.5

2.1 EXC02 一括読出しレジスタ (EXC02MON)

EXC02MON は、例外 No.2 の割込み(NMI/ハードウェアウォッチドックタイマ割込み)を一括で読み出します。

レジスタ構成

bit	31															8
Field	予約															
属性	R															
初期値	0x000000															

bit	7	6	5	4	3	2	1	0
Field	予約						HWINT	NMI
属性	R						R	R
初期値	000000						0	0

レジスタ機能

[bit31:2] 予約: 予約ビット

"0"が読み出されます。

[bit1] HWINT:

処理	説明
書込み	書込みは無視されます。
読出し 0	ハードウェアウォッチドッグタイマの割込み要求なし
読出し 1	ハードウェアウォッチドッグタイマの割込み要求あり

[bit0] NMI:

処理	説明
書込み	書込みは無視されます。
読出し 0	NMIX 外部端子の割込み要求なし
読出し 1	NMIX 外部端子の割込み要求あり

2.2 IRQxx 一括読出しレジスタ (IRQxxMON)

IRQxxMON レジスタは、IRQ00～IRQ31 割込みに対応し、IRQ00MON～IRQ31MON の 32 個が存在します。NVIC に入力される IRQxx 割込み信号で、論理 OR 回路で論理 OR されている各割込み信号の状態を表示します。本レジスタを参照することで、IRQxx に発生している割込み要因を判断できます。IRQxxMON のどのビットに、どの周辺機能の割込み信号がアサインされているかは、Table 1-1 を参照してください。

レジスタ構成

Bit	31	30	29	28	27	26	25	24
Field	INT31	INT30	INT29	INT28	INT27	INT26	INT25	INT24
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	INT23	INT22	INT21	INT20	INT19	INT18	INT17	INT16
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	INT15	INT14	INT13	INT12	INT11	INT10	INT09	INT08
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	

Bit	7	6	5	4	3	2	1	0
Field	INT07	INT06	INT05	INT04	INT03	INT02	INT01	INT00
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:0] INT31 – INT00

処理	説明
書込み	書込みは無視されます。
読出し 0	該当レジスタの Bit にアサインされている割込みの発生無し
読出し 1	該当レジスタの Bit にアサインされている割込みの発生有り

2.3 割込み要因ベクタリロケート設定レジスタ(IRQCMODE)

割込み要因ベクタリロケート設定レジスタ(IRQCMODE)は、『割込み(A)』の章にある Table 1-1 または本章の Table 1-1 に従って割込み要因ベクタを割り当てるかを選択できます。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															IRQCMODE
属性	R/W															R/W
初期値	000000000000000															0

レジスタ機能

[bit31:1] 予約: 予約ビット

"0"を書き込んでください。"0"が読み出されます。

[bit0] IRQCMODE:

bit	説明
0	割込み要因ベクタを『割込み(A)』の Table1-1 の通りに割り当てます。
1	割込み要因ベクタを本章の Table 1-1 の通りに割り当てます。

2.4 割込み要因選択レジスタ 0 (RCINTSEL0)

割込み要因選択レジスタ 0 (RCINTSEL0)は、例外 No.19～22（IRQ03~IRQ06）の割込み要因を選択します。IRQCMODE=1 の場合に有効です。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	INTSEL3								INTSEL2							
属性	R/W								R/W							
初期値	0x00								0x00							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	INTSEL1								INTSEL0							
属性	R/W								R/W							
初期値	0x00								0x00							

レジスタ機能

[bit31:24] INTSEL3
例外 No.22（IRQ06）の割込み要因を選択*します。

[bit23:16] INTSEL2
例外 No.21（IRQ05）の割込み要因を選択*します。

[bit15:8] INTSEL1
例外 No.20（IRQ04）の割込み要因を選択*します。

[bit7:0] INTSEL0
例外 No.19（IRQ03）の割込み要因を選択*します。

*: 選択される割込み要因は、Table 2-1 を参照してください。

<注意事項>

- *RCINTSEL0 で選択した割込み要因は IRQ11～IRQ31 ではマスクされます。(IRQ11MON～IRQ31MON レジスタの該当ビットもマスクされます。） INTSEL0～INTSEL7 ビットで選択する割込み要因は重複しないように設定してください。*

2.5 割込み要因選択レジスタ 1 (RCINTSEL1)

割込み要因選択レジスタ 1 (RCINTSEL1)は、例外 No.23～26（IRQ07~IRQ10）の割込み要因を選択します。
IRQCMODE:IRQCMODE=1 の場合に有効です。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	INTSEL7								INTSEL6							
属性	R/W								R/W							
初期値	0x00								0x00							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	INTSEL5								INTSEL4							
属性	R/W								R/W							
初期値	0x00								0x00							

レジスタ機能

[bit31:24] INTSEL7
例外 No.26（IRQ10）の割込み要因を選択*します。

[bit23:16] INTSEL6
例外 No.25（IRQ09）の割込み要因を選択*します。

[bit15:8] INTSEL5
例外 No.24（IRQ08）の割込み要因を選択*します。

[bit7:0] INTSEL4
例外 No.23（IRQ07）の割込み要因を選択*します。

* 選択される割込み要因は、Table 2-1 を参照してください。

<注意事項>

- *RCINTSEL1 で選択した割込み要因は IRQ11～IRQ31 ではマスクされます。(IRQ11MON～IRQ31MON レジスタの該当ビットもマスクされます。)*
  INTSEL0～INTSEL7 ビットで選択する割込み要因は重複しないように設定してください。

Table 2-1 割込み要因の選択

RCINTSELx:INTSELx の設定値	選択される割込み要因
0x00	割込み要因は選択されません。
0x01	External interrupt ch.0
0x02	External interrupt ch.1
0x03	External interrupt ch.2
0x04	External interrupt ch.3
0x05	External interrupt ch.4
0x06	External interrupt ch.5
0x07	External interrupt ch.6
0x08	External interrupt ch.7
0x09	External interrupt ch.8
0x0A	External interrupt ch.9
0x0B	External interrupt ch.10
0x0C	External interrupt ch.11
0x0D	IRQ0/IRQ1 of base timer ch.0
0x0E	IRQ0/IRQ1 of base timer ch.1
0x0F	IRQ0/IRQ1 of base timer ch.2
0x10	IRQ0/IRQ1 of base timer ch.3
0x11	IRQ0/IRQ1 of base timer ch.4
0x12	IRQ0/IRQ1 of base timer ch.5
0x13	IRQ0/IRQ1 of base timer ch.6
0x14	IRQ0/IRQ1 of base timer ch.7
0x15	Reception interrupt of MFS ch.0
0x16	Reception interrupt of MFS ch.1
0x17	Reception interrupt of MFS ch.2
0x18	Reception interrupt of MFS ch.3
0x19	Zero detection interrupt of MFT unit 0 free-run timer ch.0
0x1A to 0xFF	Reserved

3. 使用上の注意

割込みコントローラを使用する際は、次の点を注意してください。

- 各周辺リソースからの割込み要求信号はレベルで通知されています。割込み処理から抜ける場合には、必ずその割込み要求をクリアしてください。

- NVIC に通知された各周辺リソースからの割込み要求は、他の高い優先度の割込みが実行中など直ちに処理を行うことができない場合、NVIC 内部で保留されます。保留中の割込み要求をキャンセルする場合、各周辺リソースからの割込み要求をクリアすると共に、NVIC に実装された割込み保留クリアレジスタ(IRQ Clear-Pending Registers、アドレス 0xE000E280～0xE000E29C)によって保留中の割込みをクリアしてください。

- NMIX 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI を使用する場合は、ポートの設定にて NMI を許可してください。詳細は別章『外部割込み・NMI 制御部』を参照してください。

- DSTC による DMA 転送を使用する場合、周辺機能からの割込みの代わりに DSTC からの転送終了割込み(HWINT[n])が発生します。この構成のため、NVIC の処理は、周辺機能からの割込みと、DSTC の転送終了割込みが、同じ割込みベクタに Jump します。DREQENB[n]レジスタの値により、どちらの割込み処理を行うかを選択する必要があります。

- 特定のイベント検出レジスタと、ペリフェラル機能の割込みイネーブルレジスタとの関係については、該当ペリフェラル機能の章を参照してください。

CHAPTER 7-8: 割込み(TYPE3)

割込みコントローラ(TYPE3)と周辺割込み要求(TYPE3)について説明します。

1. 概要
2. 構成と機能
3. 割込み一覧
4. レジスタ
5. 使用上の注意

管理コード: 9BFIRQC_T3-FM0-J03.0

1. 概要

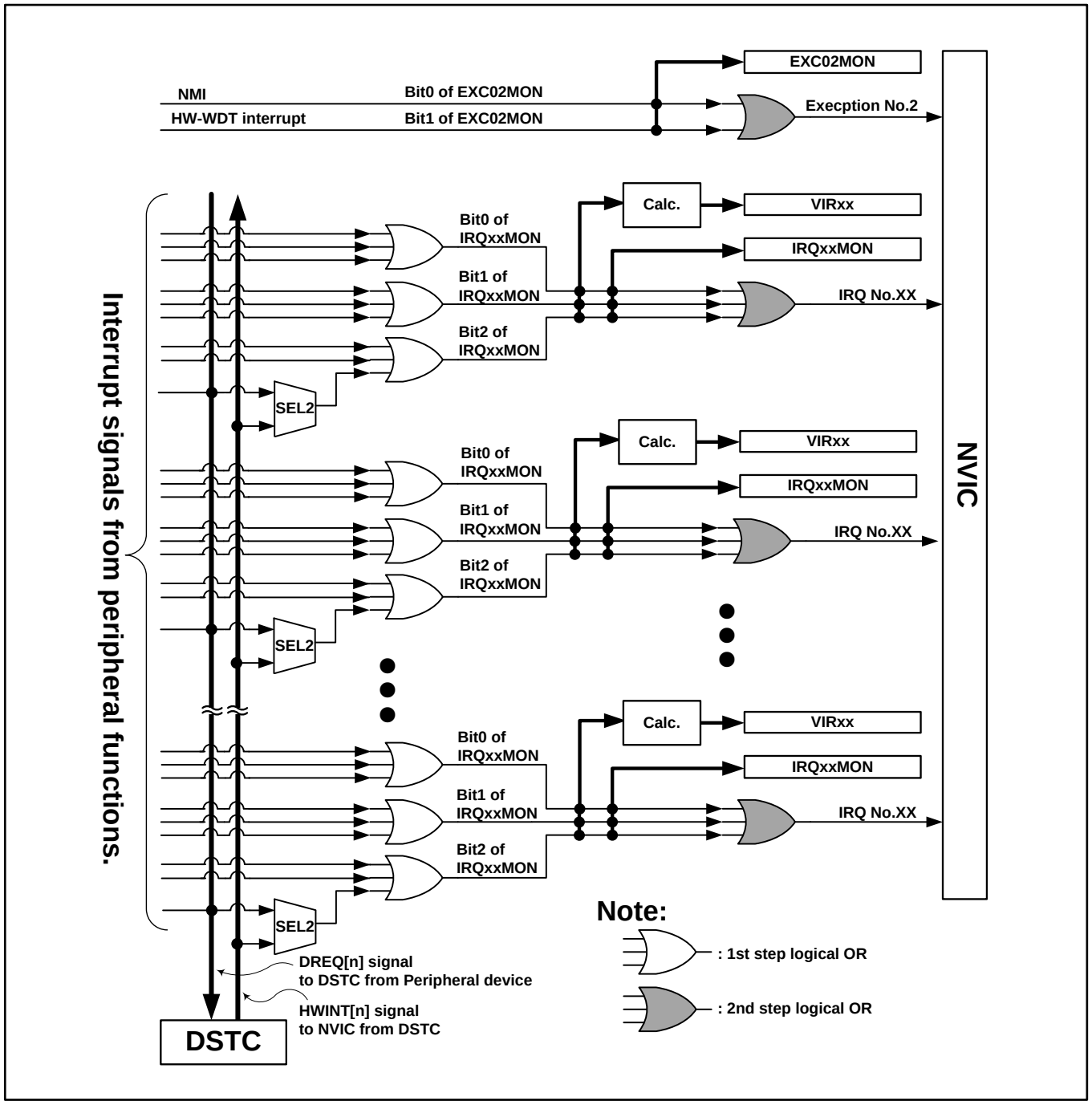
本製品は、CPU コア内部に NVIC(ネスト型ベクタ割込みコントローラ)を搭載しています。NVIC は、予約されているシステム例外と 32 個の周辺割込みに対応し、4 の割込み優先度設定（2bit 実装）が可能です。本章では、マイコンに搭載されている周辺機能からの割込み信号と NVIC との接続、DSTC との接続構成について説明します。

2. 構成と機能

2.1 接続構成図

Figure 2-1 に周辺機能ブロックから入力される割込み信号と NVIC および DSTC の接続構成を示します。以下に説明を行います。

Figure 2-1 割込み信号と NVIC/DSTC の接続構成



2.2 NVIC (ネスト型ベクタ割込みコントローラ)

Figure 2-1 の NVIC は、予約されているシステム例外と 32 個の周辺割込みに対応します。NVIC の詳細については、『Cortex-M0+テクニカルリファレンスマニュアル』を参照してください。『Cortex-M0+テクニカルリファレンスマニュアル』では、予約されているシステム例外以外の例外は、外部割込み(IRQ)と定義しています。本マニュアルでは、マイコン外部入力端子からの外部割込みと区別するため、周辺割込みと表現します。

NVIC の割込み優先度レジスタは 2 ビットで構成されており、4 の割込み優先度レベルを設定できます。

例外 No.11,14,15 の優先度は、NVIC に実装されたシステムハンドラ優先度レジスタ(System Handler Priority Register、アドレス 0xE000ED1C, 0xE000ED20)で設定可能です。

例外 No.16～No.47 の周辺割込みの優先度は、NVIC に実装された割込み優先度レジスタ(Interrupt Priority Register、アドレス 0xE000E400～0xE000E41C)で設定可能です。ノンマスカブル割込み(NMI)入力に対応しています。

2.3 割込み集約と一括読出しレジスタ

各周辺機能から入力される割込み信号(Figure 2-1 : Interrupt signals from peripheral functions)は、1 段目の論理 OR 回路(Figure 2-1 : 1st step logical OR)と 2 段目の論理 OR 回路(Figure 2-1 : 2nd step logical OR)により集約され、NVIC の 32 個の周辺割込みのいずれかに接続されます。NVIC の各 IRQ 入力に対し、周辺機能のどの割込み信号がアサインされているかは、Table 3-1, Table 3-2,Table 3-3 を参照してください。

論理 OR 回路による集約のため、NVIC の 1 個の割込みは、複数の割込み要因により発生します。割込み発生時、2 段目の論理 OR 回路により集約されている要因の中のいずれの要因で割込みが発生したかを、割込み一括読出しレジスタ(Figure 2-1 : IRQxxMON)の読出し値で判別できます。割込み一括読出しレジスタは、NVIC の割込み入力毎に存在し、IRQ00MON～IRQ32MON の 32 個のレジスタがあります。

1 段目の論理 OR により集約されている割込み要因の判別は、IRQxxMON レジスタの読出し値で行うことはできません。各周辺機能ブロックの割込み要因レジスタのリードを行い、割込み要因の判別を行う必要があります。

外部割込み・NMI 制御部からのノンマスカブル割込み信号(NMI)と、ハードウェアウォッチドッグタイマからの割込み信号(HW-WDT Interrupt)は、論理 OR 回路により集約されて、NVIC の例外 2 入力に接続されています。EXC02MON 一括読出しレジスタ(Figure 2-1:EXC02MON)を読出して、どちらの要因により割込みが発生しているかを判別できます。

マイコンの NMI 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されています。また、NMI 割込みはマスクされています。NMI 機能を使用する場合は、端子機能設定を行い、NMI を許可する必要があります。「I/O ポート」、「外部割込み・NMI 制御部」を参照してください。

2.4 Vector Indicate Register

割込み発生時、割込み処理を高速に分岐するために、Vector indicate Register （Figure 2-1 : VIRxx）を利用することができます。VIRxx は、NVIC の IRQ00～IRQ31 割込みに対応し、VIR00～VIR31 の 32 個が存在します。割込み発生時、VIRxx からは決められたアドレス値が読み出せます。このアドレス値は、2 段目の論理 OR に入力される割込み信号の状態で決定されます。このアドレス領域に、割込みハンドラの先頭アドレス値を配置しておくことで、割込み処理の分岐を高速に行えます。以下に IRQ00 の割込み発生時の VIR00 レジスタの使用方法例を説明します。

Table 2-1 に示すように、アドレス 0x0000 0040 - 0x0000 00BC の範囲に、IRQ 割込みの処理プログラム（InterruptHandler）の先頭アドレス値を配置しておきます。アドレス 0x0000 00C0 - 0x0000 01FC の範囲に、2 段目の論理 OR で集約されている Bit0,1,2 に対応する割込み処理プログラム（InterruptHandler）の先頭アドレス値を配置しておきます。

Table 2-1 割込みベクタテーブル

Address	Data
0x0000 0000	Stack pointer initial value
0x0000 0004	Exception 1: Reset vector
0x0000 0008	Exception 2: NMI/HW-WDT Handler top address
0x0000 000C	Exception 3: Hard fault Handler top address
0x0000 0010 - 0x0000 0028	Reserved
0x0000 002C	Exception 11: SVCal Handler top address
0x0000 0030 - 0x0000 0034	Reserved
0x0000 0038	Exception 14:PendSV Handler top address
0x0000 003C	Exception 15:SysTick Handler top address
0x0000 0040	IRQ00 Handler top address
0x0000 0044	IRQ01 Handler top address
....	....
0x0000 00B8	IRQ30 Handler top address
0x0000 00BC	IRQ31 Handler top address
0x0000 00C0	IRQ00 - bit0 Handler top address
0x0000 00C4	IRQ01 - bit0 Handler top address
....	....
0x0000 0138	IRQ30 - bit0 Handler top address
0x0000 013C	IRQ31 - bit0 Handler top address
0x0000 0140	IRQ00 - bit1 Handler top address
0x0000 0144	IRQ01 - bit1 Handler top address
....	....
0x0000 01B8	IRQ30 - bit1 Handler top address
0x0000 01BC	IRQ31 - bit1 Handler top address
0x0000 01C0	IRQ00 - bit2 Handler top address
0x0000 01C4	IRQ01 - bit2 Handler top address
....	....
0x0000 01F8	IRQ14 - bit2 Handler top address
0x0000 01FC	IRQ15 - bit2 Handler top address

Table 2-2 IRQ00 の状態と VIR00 リード値

IRQ00 input signal status			VIR00 read value
Bit0 interrupt status	Bit1 interrupt status	Bit2 interrupt status	
1	Ignored	Ignored	0x0000 00C0 + VIR_OFFSET
0	1	Ignored	0x0000 0140 + VIR_OFFSET
0	0	1	0x0000 01C0 + VIR_OFFSET
0	0	0	Undefined value

IRQ00 の割込み発生時、IRQ00 の割込みハンドラが開始されます。IRQ00 の割込みハンドラの中で、VIR00 からアドレス値の読出しを行います。Table 2-2 は、VIR00 から読み出せるアドレス値を示します。Bit0 の割込みが発生している場合、0x0000 00C0 が、Bit1 の割込みが発生している場合、0x0000 0140 が、Bit2 の割込みが発生している場合、0x0000 01C0 が読み出せます。IRQ00 による割り込み処理プログラムは、VIR00 から読出したアドレス領域を再度読出し、そこから読み出したアドレスへ処理を分岐させます。この処理により、割込み処理の分岐を高速化できます。

VIRxx から読み出せる値は、Table 3-1, Table 3-2,Table 3-3 の”VIR value”に記載しています。VIR00 以外のレジスタについても、Table 2-2 と同様の動作となり、同様の処理を行うことができます。以下に VIRxx に関する注意事項を記載します。

VIRxx の読出しアクセスは、必ず Word アクセス（32 ビットアクセス）で行ってください。VIRxx の読出し値により、割り込み分岐を行う場合、割込み優先順位は、Bit0＞Bit1＞Bit2 の固定優先順位となります。Bit0、Bit1、Bit2 のいずれの割込みも発生していない場合には、VIRxx からは不定値が読み出せます。このため、VIRxx は必ず、割込み発生後、割込み処理プログラムの中で、割込み信号をクリアする前に読出しを行ってください。VIRxx の読出し値からは、割込み発生の有無の判別はできません。割込み信号をクリアした後は、その割込み処理の中では、再度 VIRxx の読出し値は利用できません。

VIR_OFFSET レジスタに値を設定することで、VIRxx に共通のオフセット値を設定することができます。VIRxx は、CM0+の Single Cylcle I/O 領域に存在します。CPU から 1 サイクルでアクセスが可能です。

1 段目の論理 OR により集約されている割込み要因の分岐は、VIRxx の読出し値で行うことはできません。各周辺機能ブロックの割込み要因レジスタのリードを行い、割込み要因の判別を行う必要があります。

2.5 DSTC 転送要求、転送終了通知の接続

周辺機能からの割込み信号の一部は、DSTC への DMA 転送要求信号として使用できます。DSTC の DREQENB[n] レジスタの設定により、周辺機能からの割込み信号が、DSTC への DMA 転送要求信号(Figure 2-1 : DREQ[n] signal to DSTC from peripheral)として認識されます。

NVIC に入力される割込み信号は、セレクタ回路(Figure 2-1 : SEL2)にて、DSTC から出力される DMA 転送の終了通知割込み信号(Figure 2-1 : HWINT[n] signal to NVIC from DSTC)と、周辺機能からの割込み信号のいずれが接続されるかが選択されます。SEL2 の切換えは、DSTC 内の DREQENB[n]レジスタ設定により切換えが行われます。

図のような回路構成であるため、DSTC による DMA 転送を選択している場合、周辺からの割込みの代わりに DSTC からの転送終了割込みが発生します。DSTC からの転送終了割込みは、IRQxxMON レジスタの該当 bit から読み出すことができます。また、VIR レジスタ機能を適用することができます。

各周辺機能からの DSTC 転送要求の詳細については各周辺機能の章を参照してください。

2.6 DMA 転送承認信号の接続

DMA 転送完了後、転送要求信号(割込み信号)のクリアが必要な周辺機能ブロックがあります。
これらの周辺機能に対して、DSTC から転送要求信号のクリア処理がなされます。図中に記載していませんが、SEL2 にて、DSTC による DMA 転送を選択した場合、DMA または DSTC からの DMA 転送承認信号が周辺機能に接続されます。

2.7 DMA 転送停止信号の接続

マルチ・ファンクション・シリアル・ユニット(以下 MFS と略)からは、DMA 転送停止要求信号が出力されます。図中 の記載は省略していますが、 SEL2 にて DSTC と MFS の接続選択を行った場合、転送停止要求信号により DSTC は転送動作を停止します。MFS からの転送停止要求信号がネゲートされるまで、DSTC は転送動作を行わなくなります。また、MFS からの転送停止要求信号は、DSTC の転送終了割込み(HWINT[n]信号)と論理 OR され、割込み信号として NVIC に通知されます。

3. 割込み一覧

NVIC に入力される例外と割込みの要因の一覧を示します。
DSTC による DMA 転送が可能な割込みの一覧を示します。

3.1 例外と割込みアサイン

Table 3-1, Table 3-2,Table 3-3 に、NVIC に入力される例外と割込み要因の一覧を示します。表の各欄の記載内容について、以下に説明します。

Exception No.

NVIC の例外番号を示します。

IRQ No.

周辺割込み番号を示します。(IRQ No. = Exception No.－16 の値です。)

Vector Offset

割込み発生時、参照される割込みベクタの格納アドレスを示します。表記値+VTOR(NVIC 内の Vetor table offset register)が参照されます。

Batch read register – Name

一括読出しレジスタの名前を示します。”-“の記載の場合、その割り込み要因には、一括読出しレジスタが存在しないことを示します。

Batch read register – bit

割込み要因が、一括読出しレジスタ(IRQxxxMON, EXC02MON)のどのビット位置にアサインされているのかを示します。”-“の記載の場合、その割り込み要因に対応する一括読出しレジスタが存在しないことを示します。存在しないビット番号は、予約ビットです。

VIR value

割込み発生時、VIRxx より読み出せる値を示します。表記値+VIR_OFFSET 値が読み出されます。”-“の記載の場合、VIR が存在しないことを示します。

Exception or Interrupt name

例外と周辺機能からの割込み要因名を示します。

一括読出しレジスタの一つのビットに対し、複数の割込み要因名の記載がある場合、それらの割込み要因が 1 段目の論理 OR 回路で集約されていることを示します。単独の記載であっても、各周辺機能の内部にて、複数の割込み要因が論理 OR されていることがあります。各周辺機能の説明を参照してください。

一括読出しレジスタの各ビット値が、2 段目の論理 OR 回路で集約されて NVIC の IRQxx 割込み入力信号を生成します。

記載している要因名の内、各個の製品においてその周辺機能が非搭載の場合、その割り込み信号は発生しません。対応する IRQxxMON レジスタ値と NVIC への割込み信号に影響を与えません。

DSTC

記載値が数字の場合、DSTC による DMA 転送に対応している割込み信号であることを示します。数字は DSTC の DREQENB[n]レジスタのビット番号:n を示します。この場合、DSTC の DREQENB[n]レジスタの設定により、Figure 2-1 の SEL2 の接続が切り換わります。DREQENB[n]=0 の場合、周辺機能からの割込み信号が、NVIC に接続され、DSTC は割込み信号を無視します。DREQENB[n]=1 の場合、周辺機能からの割込み信号が、転送要

求信号として DSTC に接続されます。その DMA 転送終了により DSTC から発生する転送終了割り込み（HWINT[n]）が、NVIC に入力されます。

記載値が"-"の場合、DSTC による DMA 転送に対応していないことを示します。

Table 3-1 例外と割込み要因一覧(1/3)

Exception No.	IRQ No.	Vector Offset	Batch read register		VIR value	Exception or Interrupt name	DSTC
			Name	bit			
0	-	0x000	-	-	-	(Stack pointer initial value)	-
1	-	0x004	-	-	-	Reset	-
2	-	0x008	EXC02MON	0	-	Non-maskable interrupt (NMI)	-
				1	-	Hardware watchdog timer interrupt	-
3	-	0x00C	-	-	-	Hard fault	-
4	-	0x010	-	-	-	Reserved	-
5	-	0x014	-	-	-	Reserved	-
6	-	0x018	-	-	-	Reserved	-
7	-	0x01C	-	-	-	Reserved	-
8	-	0x020	-	-	-	Reserved	-
9	-	0x024	-	-	-	Reserved	-
10	-	0x028	-	-	-	Reserved	-
11	-	0x02C	-	-	-	SVCall(supervisor call)	-
12	-	0x030	-	-	-	Reserved	-
13	-	0x034	-	-	-	Reserved	-
14	-	0x038	-	-	-	PendSV	-
15	-	0x03C	-	-	-	SysTick	-
16	0	0x040	IRQ00MON	0	0x0C0	Anomalous frequency detection interrupt by CSV	-
				1	0x140	Software watchdog timer interrupt	-
				2	0x1C0	Low-voltage detection (LVD) interrupt	-
17	1	0x044	IRQ01MON	0	0x0C4	MFS ch.0 reception interrupt	0
				1	0x144	MFS ch.0 transmission interrupt	1
				2	0x1C4	MFS ch.0 status interrupt	-
18	2	0x048	IRQ02MON	0	0x0C8	MFS ch.1 reception interrupt	2
				1	0x148	MFS ch.1 transmission interrupt	3
				2	0x1C8	MFS ch.1 status interrupt	-
19	3	0x04C	IRQ03MON	0	0x0CC	Reserved	-
				1	0x14C	Reserved	-
				2	0x1CC	Reserved	-
20	4	0x050	IRQ04MON	0	0x0D0	MFS ch.3 reception interrupt	6
				1	0x150	MFS ch.3 transmission interrupt	7
				2	0x1D0	MFS ch.3 status interrupt	-
21	5	0x054	IRQ05MON	0	0x0D4	MFS ch.4 reception interrupt	8
				1	0x154	MFS ch.4 transmission interrupt	9
				2	0x1D4	MFS ch.4 status interrupt	-
22	6	0x058	IRQ06MON	0	0x0D8	Reserved	-
				1	0x158	Reserved	-
				2	0x1D8	Reserved	-
23	7	0x05C	IRQ07MON	0	0x0DC	MFS ch.6 reception interrupt	12
						I2CSLAVE reception interrupt	48
				1	0x15C	MFS ch.6 transmission interrupt	13
						I2CSLAVE transmission interrupt	49
				2	0x1DC	MFS ch.6 status interrupt	-
						I2CSLAVE status interrupt	-

Table 3-2 例外と割込み要因一覧(2/3)

Exception No.	IRQ No.	Vector Offset	Batch read register		VIR value	Exception or Interrupt name	DSTC
			Name	bit			
24	8	0x060	IRQ08MON	0	0x0E0	MFS ch.7 reception interrupt	14
				1	0x160	MFS ch.7 transmission interrupt	15
				2	0x1E0	MFS ch.7 status interrupt	-
25	9	0x064	IRQ09MON	0	0x0E4	A/D converter unit0 priority conversion interrupt	50
				1	0x164	A/D converter unit0 scan conversion interrupt	51
				2	0x1E4	A/D converter unit0 FIFO overrun interrupt	-
						A/D converter unit0 conversion result comparison int.	-
						A/D converter unit0 range comparison result int.	-
26	10	0x068	IRQ10MON	0	0x0E8	USB ch.0 device endpoint1 DRQ interrupt	52
				1	0x168	USB ch.0 device endpoint2 DRQ interrupt	53
				2	0x1E8	USB ch.0 device endpoint3 DRQ interrupt	54
27	11	0x06C	IRQ11MON	0	0x0EC	USB ch.0 device endpoint4 DRQ interrupt	55
				1	0x16C	USB ch.0 device endpoint5 DRQ interrupt	56
				2	0x1EC	USB ch.0 device endpoint0 DRQI interrupt	-
28	12	0x070	IRQ12MON	0	0x0F0	USB ch.0 device endpoint0 DRQO interrupt	-
				1	0x170	USB ch.0 device SUSP interrupt	-
						USB ch.0 device SOF interrupt	-
						USB ch.0 device BRST interrupt	-
						USB ch.0 device CONF interrupt	-
						USB ch.0 device WKUP interrupt	-
				2	0x1F0	USB ch.0 device SPK interrupt	-
29	13	0x074	IRQ13MON	0	0x0F4	USB ch.0 host DIRQ interrupt	-
						USB ch.0 host URIRQ interrupt	-
						USB ch.0 host RWKIRQ interrupt	-
						USB ch.0 host CNNIRQ interrupt	-
				1	0x174	USB ch.0 host SOFIRQ interrupt	-
						USB ch.0 host CMPIRQ interrupt	-
				2	0x1F4	Reserved	-
30	14	0x078	IRQ14MON	0	0x0F8	Main PLL oscillation stabilization wait completion int.	-
						Main clock oscillation stabilization wait completion int.	-
						Sub clock oscillation stabilization wait completion int.	-
				1	0x178	Reserved	-
				2	0x1F8	Reserved	-
31	15	0x07C	IRQ15MON	0	0x0FC	Watch counter interrupt	57
				1	0x17C	Real timer counter (RTC) interrupt	-
						Dual timer ch.1 interrupt	-
						Dual timer ch.2 interrupt	-
				2	0x1FC	Reserved	-

Table 3-3 例外と割込み要因一覧(3/3)

Exception No.	IRQ No.	Vector Offset	Batch read register		VIR value	Exception or Interrupt name	DSTC
			Name	bit			
32	16	0x080	IRQ16MON	0	0x100	External pin interrupt ch.0	16
				1	0x180	External pin interrupt ch.1	17
33	17	0x084	IRQ17MON	0	0x104	External pin interrupt ch.2	18
				1	0x184	External pin interrupt ch.3	19
34	18	0x088	IRQ18MON	0	0x108	External pin interrupt ch.4	20
				1	0x188	External pin interrupt ch.5	21
35	19	0x08C	IRQ19MON	0	0x10C	External pin interrupt ch.6	22
				1	0x18C	External pin interrupt ch.7	23
36	20	0x090	IRQ20MON	0	0x110	External pin interrupt ch.8	24
				1	0x190	Reserved	-
37	21	0x094	IRQ21MON	0	0x114	Reserved	-
				1	0x194	Reserved	-
38	22	0x098	IRQ22MON	0	0x118	External pin interrupt ch.12	28
				1	0x198	External pin interrupt ch.13	29
39	23	0x09C	IRQ23MON	0	0x11C	Reserved	-
				1	0x19C	External pin interrupt ch.15	31
40	24	0x0A0	IRQ24MON	0	0x120	Base timer ch.0 source0 (IRQ0) interrupt	32
						Base timer ch.0 source1 (IRQ1) interrupt	33
				1	0x1A0	Base timer ch.4 source0 (IRQ0) interrupt	34
						Base timer ch.4 source1 (IRQ1) interrupt	35
41	25	0x0A4	IRQ25MON	0	0x124	Base timer ch.1 source0 (IRQ0) interrupt	36
						Base timer ch.1 source1 (IRQ1) interrupt	37
				1	0x1A4	Base timer ch.5 source0 (IRQ0) interrupt	38
						Base timer ch.5 source1 (IRQ1) interrupt	39
42	26	0x0A8	IRQ26MON	0	0x128	Base timer ch.2 source0 (IRQ0) interrupt	40
						Base timer ch.2 source1 (IRQ1) interrupt	41
				1	0x1A8	Base timer ch.6 source0 (IRQ0) interrupt	42
						Base timer ch.6 source1 (IRQ1) interrupt	43
43	27	0x0AC	IRQ27MON	0	0x12C	Base timer ch.3 source0 (IRQ0) interrupt	44
						Base timer ch.3 source1 (IRQ1) interrupt	45
				1	0x1AC	Base timer ch.7 source0 (IRQ0) interrupt	46
						Base timer ch.7 source1 (IRQ1) interrupt	47
44	28	0x0B0	IRQ28MON	0	0x130	CEC Reception/Remote reception ch.0 interrupt	-
						CEC Transmission ch.0 interrupt	-
				1	0x1B0	CEC Reception/Remote reception ch.1 interrupt	-
						CEC Transmission ch.1 interrupt	-
45	29	0x0B4	IRQ29MON	0	0x134	Smart Card ch.1 interrupt	-
				1	0x1B4	FLASH memory RDY/HANG interrupt	-
46	30	0x0B8	IRQ30MON	0	0x138	DSTC SW transfer complete interrupt	-
				1	0x1B8	DSTC error interrupt	-
47	31	0x0BC	IRQ31MON	0	0x13C	Reserved	-
				1	0x1BC	Reserved	-

3.2 DSTC 転送要求信号アサイン

Table 3-4 に DSTC に転送要求信号として入力される割込み信号を示します。番号は DSTC の DREQENB[n]レジスタの番号に対応します。各 DSTC 転送要求信号の詳細については各周辺機能の章を参照してください。

Table 3-4 DSTC に入力される割込み信号一覧

No.	Source of DSTC transfer request
0	MFS ch.0 reception interrupt
1	MFS ch.0 transmission interrupt
2	MFS ch.1 reception interrupt
3	MFS ch.1 transmission interrupt
4	Reserved
5	Reserved
6	MFS ch.3 reception interrupt
7	MFS ch.3 transmission interrupt
8	MFS ch.4 reception interrupt
9	MFS ch.4 transmission interrupt
10	Reserved
11	Reserved
12	MFS ch.6 reception interrupt
13	MFS ch.6 transmission interrupt
14	MFS ch.7 reception interrupt
15	MFS ch.7 transmission interrupt
16	External pin interrupt ch.0
17	External pin interrupt ch.1
18	External pin interrupt ch.2
19	External pin interrupt ch.3
20	External pin interrupt ch.4
21	External pin interrupt ch.5
22	External pin interrupt ch.6
23	External pin interrupt ch.7
24	External pin interrupt ch.8
25	Reserved
26	Reserved
27	Reserved
28	External pin interrupt ch.12
29	External pin interrupt ch.13
30	Reserved
31	External pin interrupt ch.15

No.	Source of DSTC transfer request
32	Base timer ch.0 source0 (IRQ0) interrupt
33	Base timer ch.0 source1 (IRQ1) interrupt
34	Base timer ch.4 source0 (IRQ0) interrupt
35	Base timer ch.4 source1 (IRQ1) interrupt
36	Base timer ch.1 source0 (IRQ0) interrupt
37	Base timer ch.1 source1 (IRQ1) interrupt
38	Base timer ch.5 source0 (IRQ0) interrupt
39	Base timer ch.5 source1 (IRQ1) interrupt
40	Base timer ch.2 source0 (IRQ0) interrupt
41	Base timer ch.2 source1 (IRQ1) interrupt
42	Base timer ch.6 source0 (IRQ0) interrupt
43	Base timer ch.6 source1 (IRQ1) interrupt
44	Base timer ch.3 source0 (IRQ0) interrupt
45	Base timer ch.3 source1 (IRQ1) interrupt
46	Base timer ch.7 source0 (IRQ0) interrupt
47	Base timer ch.7 source1 (IRQ1) interrupt
48	I2CSLAVE reception interrupt
49	I2CSLAVE transmission interrupt
50	A/D converter unit0 priority conversion interrupt
51	A/D converter unit0 scan conversion interrupt
52	USB ch.0 device endpoint1 DRQ interrupt
53	USB ch.0 device endpoint2 DRQ interrupt
54	USB ch.0 device endpoint3 DRQ interrupt
55	USB ch.0 device endpoint4 DRQ interrupt
56	USB ch.0 device endpoint5 DRQ interrupt
57	Watch counter interrupt
58	Reserved
59	Reserved
60	Reserved
61	Reserved
62	Reserved
63	Reserved

4. レジスタ

4.1 レジスター覧

本機能ブロックに存在するレジスター覧を Table 4-1 に記載します。

Table 4-1 レジスター覧

レジスタ略称	レジスタ機能名称	参照先
EXC02MON	EXC02 一括読出しレジスタ	4.2
IRQxxMON (xx は 00 から 31 を指します。)	IRQxx 一括読出しレジスタ (xx は 00 から 31 を指します。)	4.3
VIR_OFFSET	VIR オフセットレジスタ	4.4
VIRxx (xx は 00 から 31 を指します。)	Vector Indicate Register xx (xx は 00 から 31 を指します。)	4.5
ODDPKS	USB ch.0 奇数パケットサイズ DMA 許可レジスタ	4.6

4.2 EXC02 一括読出しレジスタ (EXC02MON)

EXC02MON は、例外 No.2 の割込み(NMI/ハードウェアウォッチドックタイマ割込み)を一括で読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約						HWINT	NMI
属性	R						R	R
初期値	000000						0	0

レジスタ機能

[bit31:2] 予約: 予約ビット

"0"が読み出されます。

[bit1] HWINT:

処理	説明
書込み	書込みは無視されます。
読出し 0	ハードウェアウォッチドッグタイマの割込み要求なし
読出し 1	ハードウェアウォッチドッグタイマの割込み要求あり

[bit0] NMI:

処理	説明
書込み	書込みは無視されます。
読出し 0	NMIX 外部端子の割込み要求なし
読出し 1	NMIX 外部端子の割込み要求あり

4.3 IRQxx 一括読出しレジスタ (IRQxxMON)

IRQxxMON レジスタは、IRQ00～IRQ31 割込みに対応し、IRQ00MON～IRQ31MON の 32 個が存在します。NVIC に入力される IRQxx 割込み信号で、2 段目の論理 OR 回路で論理 OR されている各割込み信号の状態を表示します。本レジスタを参照することで、IRQxx に発生している割込み要因を判断できます。IRQxxMON のどのビットに、どの周辺機能の割込み信号がアサインされているかは、Table 3-1, Table 3-2,Table 3-3 を参照してください。

レジスタ構成

Bit	31 … 3	2	1	0
Field	予約	INT2	INT1	INT0
属性	R	R	R	R
初期値	00000000000000000000000000000	0	0	0

レジスタ機能

[bit31:3] 予約: 予約ビット

"0"が読み出されます。

[bit2] INT2

処理	説明
書込み	書込みは無視されます。
読出し 0	該当レジスタの Bit2 にアサインされている割込みの発生無し
読出し 1	該当レジスタの Bit2 にアサインされている割込みの発生有り

[bit1] INT1

処理	説明
書込み	書込みは無視されます。
読出し 0	該当レジスタの Bit1 にアサインされている割込みの発生無し
読出し 1	該当レジスタの Bit1 にアサインされている割込みの発生有り

[bit0] INT0

値	説明
書込み	書込みは無視されます。
読出し 0	該当レジスタの Bit0 にアサインされている割込みの発生無し
読出し 1	該当レジスタの Bit0 にアサインされている割込みの発生有り

注意事項

- *本レジスタの各ビットは、1 段目の論理 OR 回路で集約されている割込みのいずれかが発生した場合に 1 が読み出せます。本レジスタの読出し値では、1 段目の論理 OR 回路で集約されている割り込み要因の判別はできません。各周辺機能部内の割込み要因レジスタを参照し、割込み要因判別を行ってください。*

4.4 VIR オフセットレジスタ (VIR_OFFSET)

VIR_OFFSET レジスタは、VIRxx レジスタ読出し値のオフセット値を指定します。

レジスタ構成

bit	31	0
Field	VIR_OFFSET	
属性	R/W	
初期値	0x000000	

レジスタ機能

[bit31:0] VIR_OFFSET

処理	説明
書込み	VIRxx レジスタ読出し値の共通のオフセット値を指定します。
読出し	レジスタ値を読み出します。

本レジスタ値は、通常の使用方法では、NVIC の VTOR（Vector table offset register）と同じ値を指定します。

本レジスタの bit[7:0]は、必ず 0x00 を指定してください。0x00 以外は指定できません。本レジスタの設定は、システム初期化時に行います。割込みが発生している状態での値の書き換えはできません。割込み発生時、本レジスタ値と Table 3-1, Table 3-2,Table 3-3 の VIR value の加算結果が、VIRxx レジスタより読み出せます。

4.5 Vector Indicate Register xx (VIRxx)

割込み発生時、割込み処理を高速に分岐するために、Vector indicate Register を利用することができます。VIRxx は、NVIC の IRQ00～IRQ31 割込みに対応し、VIR00～VIR31 の 32 個が存在します。割込み発生時、VIRxx からは決められたアドレス値が読み出せます。このアドレス値は、2 段目の論理 OR に入力される割込み信号の状態で決定されます。このアドレス領域に、割込みハンドラの先頭アドレス値を配置しておくことで、割込み処理の分岐を高速に行えます。

レジスタ構成

bit	31	0
Field	VIRxx	
属性	R	
初期値	xxx xxxx xxxx xxxx	

レジスタ機能

[bit31:0] VIRxx

処理	説明
書込み	書込みは無視されます。
読出し	2 段目の論理 OR に入力される割込み信号の状態に応じたアドレス値を読み出せます。

本レジスタの使用方法は、「2.4Vector Indicate Register」を参照してください。VIRxx から読み出せる値を、Table 3-1, Table 3-2,Table 3-3 に記載しています。VIR00 レジスタの場合の読出し値例を Table 2-2 に記載しています。

VIRxx の読出しアクセスは、必ず Word アクセス（32 ビットアクセス）で行ってください。VIRxx の読出し値により、割り込み分岐を行う場合、割込み優先順位は、Bit0＞Bit1＞Bit2 の固定優先順位となります。Bit0、Bit1、Bit2 のいずれの割込みも発生していない場合には、VIRxx からは不定値が読み出せます。このため、VIRxx は必ず、割込み発生後、割込み処理プログラムの中で、割込み信号をクリアする前に読出しを行ってください。VIRxx の読出し値からは、割込み発生の有無の判別はできません。割込み信号をクリアした後は、その割込み処理の中では、再度 VIRxx の読出し値は利用できません。

VIR_OFFSET レジスタに値を設定することで、VIRxx に共通のオフセット値を設定することができます。VIRxx は、CM0+の Single Cylcle I/O 領域に存在します。CPU から 1 サイクルでアクセスが可能です。

1 段目の論理 OR により集約されている割込み要因の分岐は、VIRxx の読出し値で行うことはできません。各周辺機能ブロックの割込み要因レジスタのリードを行い、割込み要因の判別を行う必要があります。

注意事項

- *VIRx レジスタを利用する場合、以下に注意してください。*
  MFS の送信割込み、受信割込みなど、割込み発生後、FIFO の容量変化により、CPU から割込みクリア処理を行わなくても、割込み信号がクリアされる割込みが存在します。このような割込み信号の場合、割込み処理ハンドラの中で、IRQMON レジスタ値の読み出しを行い、割込みが発生していることを確認してから、VIRx レジスタを読み出して処理分岐をしてください。

4.6 USB ch.0 奇数パケットサイズ DMA 許可レジスタ (ODDPKS)

DSTC を利用した USB ch.0 自動転送 IN 方向転送時、最終パケットの最終データの書込みサイズを強制的に Byte(8 ビット)に変換します。

レジスタ構成

Bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約			ODDPKS				
属性	R			R/W				
初期値	000			00000				

レジスタ機能

[bit31:5] 予約: 予約ビット

"0"を書き込んでください。"0"が読み出されます。

[bit4] ODDPKS4:

処理	説明
書込み 0	DSTC の DMA 転送のビット幅の変換を行いません。
書込み 1	DSTC の転送先アドレスが USB.EP5DT のとき、最終転送データのビット幅を Byte に変換します。
読出し	レジスタ設定値を読出します。

[bit3] ODDPKS3:

処理	説明
書込み 0	DSTC の DMA 転送のビット幅の変換を行いません。
書込み 1	DSTC の転送先アドレスが USB.EP4DT のとき、最終転送データのビット幅を Byte に変換します。
読出し	レジスタ設定値を読出します。

[bit2] ODDPKS2:

処理	説明
書込み 0	DSTC の DMA 転送のビット幅の変換を行いません。
書込み 1	DSTCC の転送先アドレスが USB.EP3DT のとき、最終転送データのビット幅を Byte に変換します。
読出し	レジスタ設定値を読出します。

[bit1] ODDPKS1:

処理	説明
書込み 0	DSTC の DMA 転送のビット幅の変換を行いません。
書込み 1	DSTC の転送先アドレスが USB.EP2DT のとき、最終転送データのビット幅を Byte に変換します。
読出し	レジスタ設定値を読出します。

[bit0] ODDPKS0:

処理	説明
書込み 0	DSTC の DMA 転送のビット幅の変換を行いません。
書込み 1	DSTC の転送先アドレスが USB.EP1DT のとき、最終転送データのビット幅を Byte に変換します。
読出し	レジスタ設定値を読出します。

<注意事項>

- *本レジスタは USB ch.0 において、DSTC を利用した USB データ数自動転送モードで IN 方向転送時のみ有効です。偶数バイト数を転送する場合は、"1"に設定しないでください。*

5. 使用上の注意

割込みコントローラを使用する際は、次の点を注意してください。

- 各周辺リソースからの割込み要求信号はレベルで通知されています。割込み処理から抜ける場合には、必ずその割込み要求をクリアしてください。

- NVIC に通知された各周辺リソースからの割込み要求は、他の高い優先度の割込みが実行中など直ちに処理を行うことができない場合、NVIC 内部で保留されます。保留中の割込み要求をキャンセルする場合、各周辺リソースからの割込み要求をクリアすると共に、NVIC に実装された割込み保留クリアレジスタ(IRQ Clear-Pending Registers、アドレス 0xE000E280～0xE000E29C)によって保留中の割込みをクリアしてください。

- NMIX 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI を使用する場合は、ポートの設定にて NMI を許可してください。詳細は別章『外部割込み・NMI 制御部』を参照してください。

- DSTC による DMA 転送を使用する場合、周辺機能からの割込みの代わりに DSTC からの転送終了割込み(HWINT[n])が発生します。この構成のため、NVIC の処理は、周辺機能からの割込みと、DSTC の転送終了割込みが、同じ割込みベクタに Jump します。DREQENB[n]レジスタの値により、どちらの割込み処理を行うかを選択する必要があります。

- 特定のイベント検出レジスタと、ペリフェラル機能の割込みイネーブルレジスタとの関係については、該当ペリフェラル機能の章を参照してください。

CHAPTER 8: 外部割込み・NMI 制御部

外部割込み・NMI 制御部の機能と動作について示します。

1. 概要
2. ブロックダイヤグラム
3. 動作説明および設定手順例
4. レジスタ

管理コード: 9BFEXTINT-J03.0_FW12-J3.0

1. 概要

外部割込み･NMI 制御部は以下のような特長があります。

- 外部割込み入力端子を最大 32 本、NMI 入力端子を 1 本搭載しています。
- 外部割込み入力の検出方法は、以下から選択できます。
  - H レベル
  - L レベル
  - 立上りエッジ
  - 立下りエッジ
  - 立上り/立下りの両エッジ（TYPE3-M0+製品のみ）
- 外部割込み入力・NMI 入力をスタンバイモードからの復帰に利用できます。
- NMI 入力の許可・禁止を選択できます。（TYPE3-M0+製品のみ）

2. ブロックダイヤグラム

外部割込み・NMI 制御部のブロックダイヤグラムを示します。

Figure 2-1 外部割込み・NMI 制御部のブロックダイヤグラム(TYPE1-M0+, TYPE2-M0+製品)

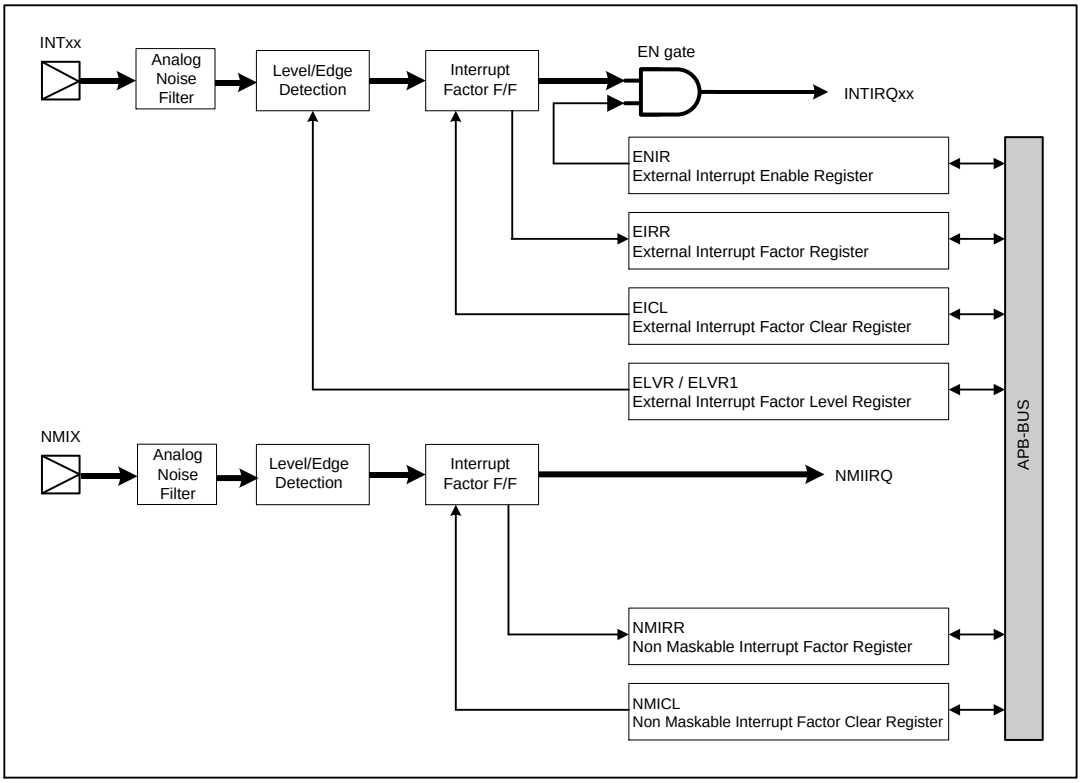
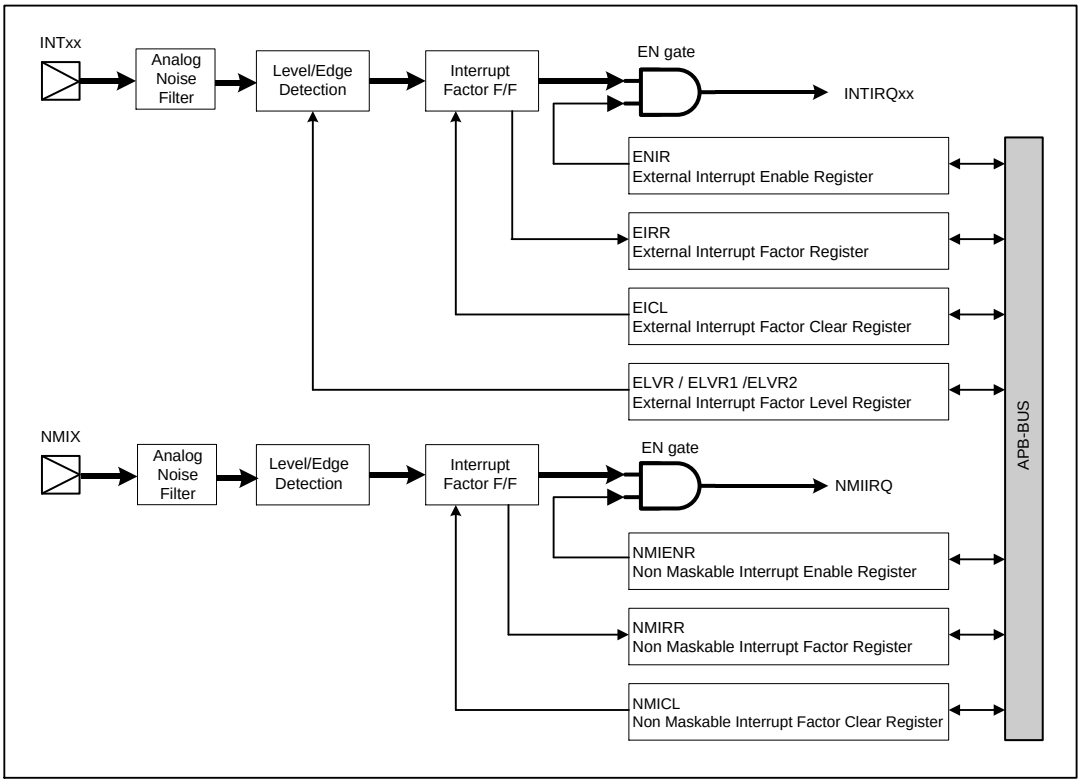


Figure 2-2 外部割込み・NMI 制御部のブロックダイヤグラム(TYPE3-M0+製品)



3. 動作説明および設定手順例

動作説明および設定手順例を示します。

3.1. 外部割込み制御部の動作
3.2. NMI 制御部の動作
3.3. タイマモード、ストップモード、RTC モードからの復帰

3.1 外部割込み制御部の動作

外部割込み制御部の動作を示します。

外部割込み制御部の動作概要

外部割込み制御部は、次の順序で割込みコントローラへ外部割込み要求を出力します。

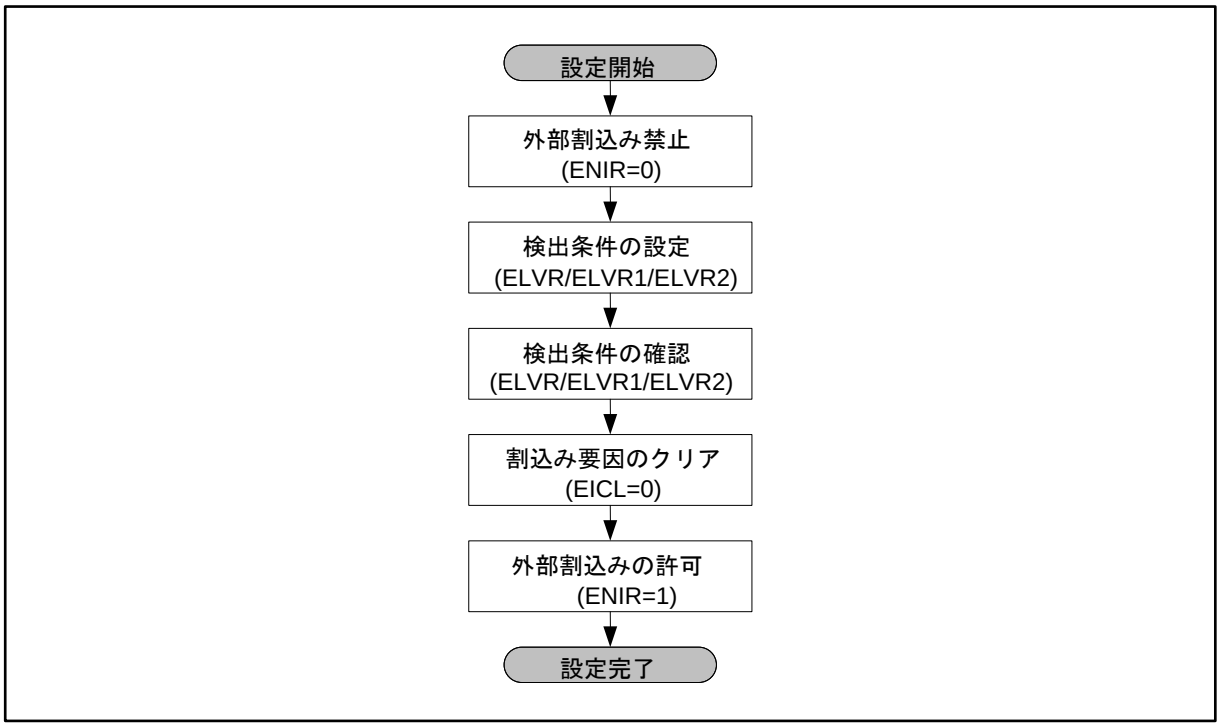
1. INTxx 端子に入力される信号に対し、外部割込み要求レベルレジスタ(ELVR/ELVR1/ELVR2)で設定した信号変化を検出します。検出するエッジ/レベルは、次の 5 種類から選択できます。
   H レベル / L レベル / 立上りエッジ / 立下りエッジ / 立上がり・立下り両エッジ
   （立上がり・立下り両エッジ検出は、TYPE3_M0+製品のみサポート）
2. 検出された割込み入力は、割込み要因 F/F に保持されます。
   これは外部割込み要因レジスタ(EIRR)で読み出せます。
3.. 外部割込みが外部割込み許可レジスタ(ENIR)で、割込み許可されている場合は、割込みコントローラへ外部割込み要求(INTIRQxx)がアサートされます。
4. 外部割込み要因クリアレジスタ(EICL)への 0 書込みで保持された割込み要因をクリアします。また、割込みコントローラへ外部割込み要求(INTIRQxx)がネゲートされます。

初期設定手順

外部割込みは次の手順で初期設定してください。

1. 外部割込み許可レジスタ(ENIR=0)で外部割込みを禁止する。
2. 外部割込み要求レベルレジスタ(ELVR/ELVR1/ELVR2)で検出条件(有効エッジ/レベル)を設定する。
3. 外部割込み要求レベルレジスタ(ELVR/ELVR1/ELVR2 のいずれか)を読み出す。
4. 外部割込み要因クリアレジスタ(EICL=0)で外部割込み要因をクリアする。
5. 外部割込み許可レジスタ(ENIR=1)で外部割込みを許可する。

Figure 3-1 外部割込みの設定手順

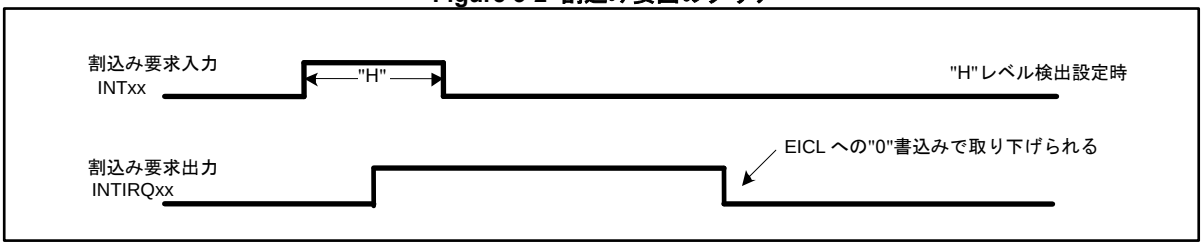


外部割込み要因のセットとクリア

外部割込みが検出されると、割込み要因は外部割込み要因レジスタ(EIRR)に保持されます。Figure 3-2 は、"H" レベル検出の場合の動作波形を示します。検出条件をレベル検出に設定しているとき、外部割込み要求入力(INTxx)がネゲートされても、割込み要因は外部割込み要因レジスタ(EIRR)に保持されており、外部割込み要求(INTIRQxx)はアサートされたままになります。CPU は、割込み要求の認識後、外部割込み要因クリアレジスタ(EICL)へ”0”の書込みを行い、外部割込み要因レジスタ(EIRR)を 0 クリアしてください。

レベル検出に設定しているとき、INTxx 端子がアサートされている間は、外部割込み要因クリアレジスタ(EICL)で対応ビットをクリア(0 を書込み)しても、外部割込み要因レジスタ(EIRR)の対応ビットは再び 1 に設定されます。

Figure 3-2 割込み要因のクリア

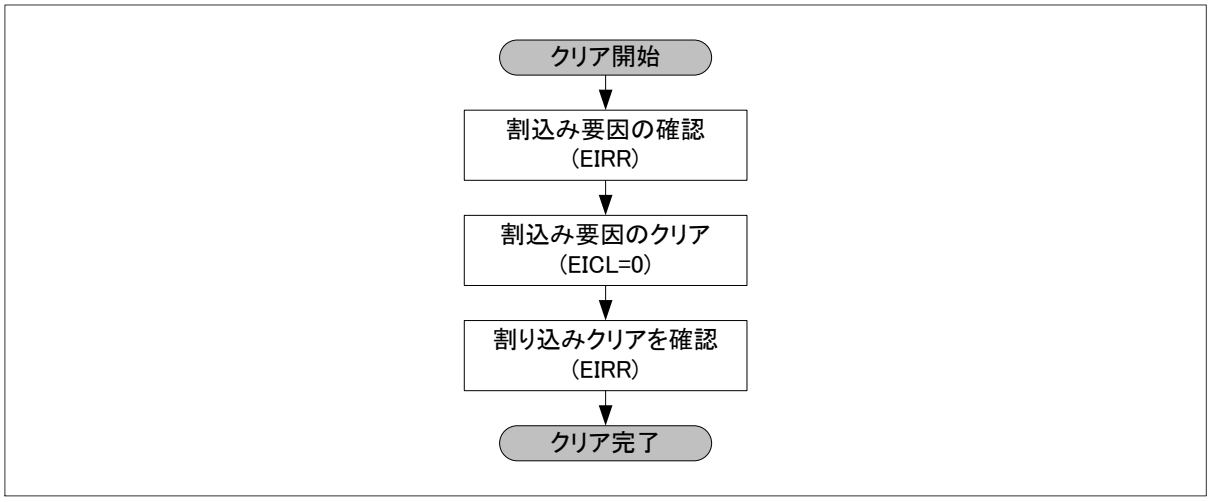


外部割込み要求のクリア手順

外部割込みは要求をクリアするには次の手順で設定してください。

1. 外部割込み要因レジスタ(EIRR)を読み出し、割込み要因を確認する。
2. 外部割込み要因クリアレジスタ(EICL)の対応するビットを"0"を書き込みクリアする。
3. 外部割込み要因レジスタ(EIRR)を読み出し、割込み要因がクリアされていることを確認する。

Figure 3-3 外部割込みの要求のクリア手順



<注意事項>

- *優先度の高い他の割り込み処理がある時、NVIC へ通知する各ペリフェラルからの割り込み要求は、NVIC 内部で保留されます。NVIC 内部で保留された割り込み要求をキャンセルする時は、各ペリフェラ*

ルからの割り込み要求をクリアした後、NVIC にある割り込み保留クリアレジスタ(アドレス：0xE000E280)によって、NVIC 内に保留された割り込みをクリアします。

3.2 NMI 制御部の動作

NMI 制御部の動作を示します。

NMI 制御部の概要

NMI 制御部は、NMI 入力端子(NMIX)に入力された信号から、エッジ/レベルを検出すると、CPU に対し NMI 割込み要求(NMIIRQ)を出力します。
検出するエッジ/レベルは、次のとおりです。検出するエッジ/レベルの設定変更はできません。

- 通常時: 立下りエッジ
- スリープモード時: 立下りエッジ
- タイマモード時: L レベル
- RTC モード時: L レベル
- ストップモード時: L レベル
- ディープスタンバイモード時: NMI 割込み要求不可

<注意事項>

- *ディープスタンバイモードからの復帰には NMIX 端子入力による NMI 割込みは使用できません。ただし、NMIX 端子は、WKUP 端子と兼用されているため、WKUP 端子入力による復帰を行うことができます。*
  詳細は、『CHAPTER 6: 低消費電力モード』の『5. ディープスタンバイモードの動作説明』を参照してください。

NMIENR レジスタ

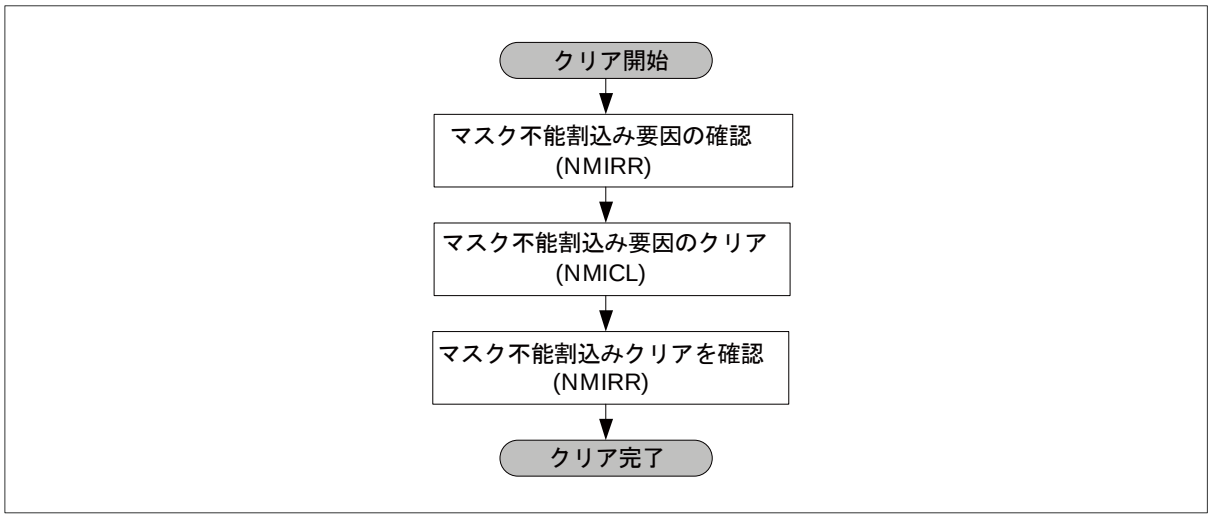
TYPE3-M0+製品の場合、NMIENR レジスタの設定により、NMI 割込み要求(NMIIRQ)の発生の許可・禁止を設定できます。

NMI 要求の取下げ

NMI 要求を取下げるには、外部割込み要求と同様に、要因レジスタをクリアする必要があります。
NMI 割込み要求を取り下げるには次の手順で設定してください。

1. ノンマスカブル割込み要因レジスタ(NMIRR)を読み出し、割込み要因を確認する。
2. ノンマスカブル割込み要因クリアレジスタ(NMICL)の対応するビットに"0"を書き込みクリアする。
3. ノンマスカブル割込み要因レジスタ(NMIRR)を読み出し、割込み要因がクリアされていることを確認する。

Figure 3-4 NMI 要求の取下げ手順



3.3 タイマモード、ストップモード、RTC モードからの復帰

タイマモード、RTC モード、ストップモードからの復帰を示します。

概要

タイマモード、RTC モード、ストップモードからの復帰に、外部割込み要求・NMI 要求を利用できます。
これらのモード時に、INTxx/NMIX 端子への最初に入力された信号は非同期で入力され、RUN モードに復帰することが可能です。

タイマモード、ストップモード、RTC モードに移行する前の設定

外部割込み要求を利用して、これらのモードから復帰する場合、これらのモードに移行する前に、復帰に利用する端子の設定、検出する有効レベルの設定をしてください。

- 復帰に利用する端子: 割込み要求の出力許可 (ENIR = 1)
- 復帰に利用しない端子: 割込み要求の出力禁止 (ENIR = 0)

NMI 要求を利用する場合、L レベル検出のみを行います。検出レベルの選択はできません。TYPE3-M0+製品の場合は、NMIENR レジスタの設定により、NMI 割込み要求(NMIIRQ)の発生を許可してください。

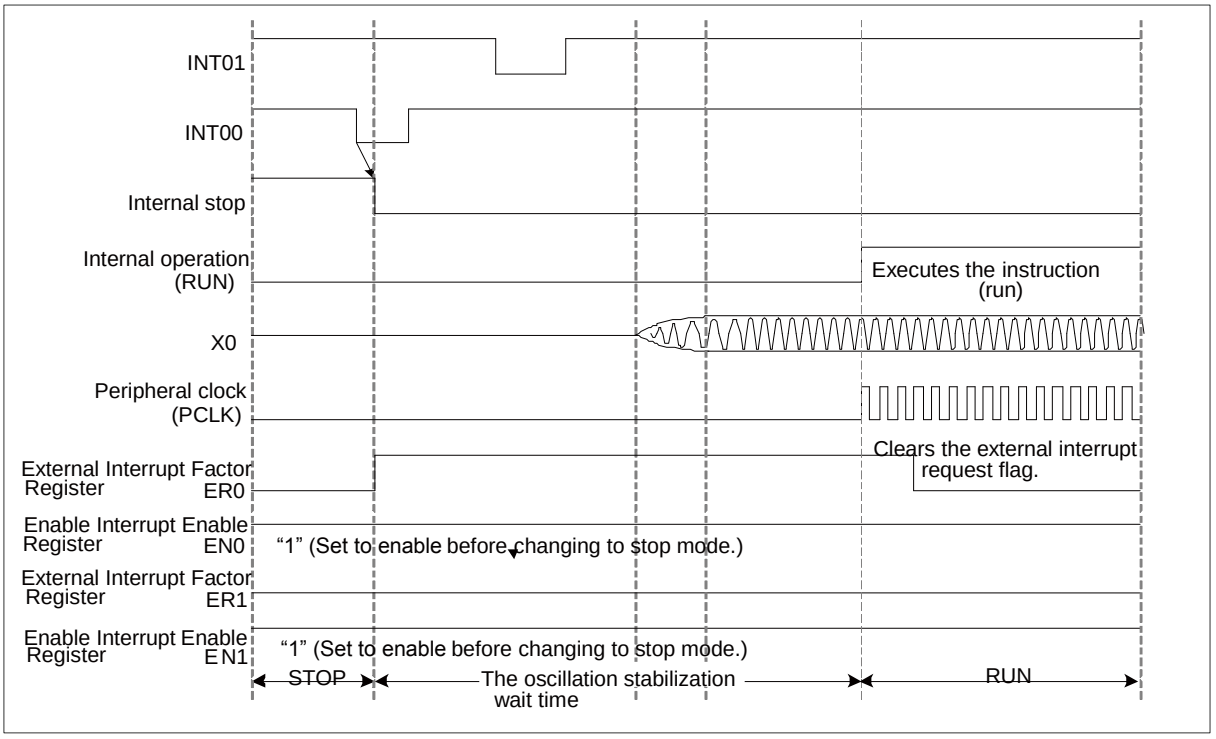
タイマモード、ストップモード、RTC モードからの復帰動作

外部割込み要求の場合では、これらのモード時に復帰に利用する端子に対して、あらかじめ設定した有効レベルを検出すると、これらのモードから復帰します。
NMI 要求の場合では、これらのモード時に L レベルを検出すると復帰します。

タイマモード、ストップモード、RTC モードからの復帰における注意事項

タイマモード、ストップモード、RTC モード解除から発振安定待ち時間が経過するまでは、ほかの外部割込み要求を認識できません。(Figure 3-5 の INT01 の外部割込み要求は認識できません。)
そのため、これらのモード解除後に外部割込み入力を行う場合には、発振安定待ち時間経過後に外部割込み信号を入力してください。

Figure 3-5 復帰動作



4. レジスタ

レジスター一覧を示します。

レジスター一覧

外部割込み・NMI 制御部のレジスター一覧です。

Table 4-1 外部割込み/NMI 制御部レジスター一覧

レジスタ略称	レジスタ名	参照先
ENIR	外部割込み許可レジスタ	4.1
EIRR	外部割込み要因レジスタ	4.2
EICL	外部割込み要因クリアレジスタ	4.3
ELVR	外部割込み要求レベル設定レジスタ	4.4
ELVR1	外部割込み要求レベル設定レジスタ 1	4.5
NMIRR	ノンマスカブル割込み要因レジスタ	4.6
NMICL	ノンマスカブル割込み要因クリアレジスタ	4.7
ELVR2	外部割込み要求レベル設定レジスタ 2	4.8
NMIENR	ノンマスカブル割込み有効レジスタ	4.9

4.1 外部割込み許可レジスタ(ENIR : ENable Interrupt request Register)

ENIR レジスタは外部割込み要求出力の許可・禁止設定を行います。

レジスタ構成

bit	31															16
Field	EN[31:16]															
属性	R/W															
初期値	0x0000															

bit	15															0
Field	EN[15:0]															
属性	R/W															
初期値	0x0000															

レジスタ機能

[bit31:0] EN31～EN0： 外部割込み許可ビット

EN31～EN0 ビットは、それぞれ INT31～INT00 の端子に対応しています。
製品仕様上存在しない端子に対応するビットは、0 を設定してください。

bit	説明
0 書込み時	当該ビットに対応する INTx 端子の外部割込み要求の発生を禁止します。[初期値]
1 書込み時	当該ビットに対応する INTx 端子の外部割込み要求の発生を許可します。
読出し時	レジスタ設定値を読出します。

本レジスタの"1"を書き込まれたビットに対応する割込み要求出力が許可され、割込みコントローラに対して割込み要求信号がアサートされます。0 が書き込まれたビットに対応する端子は割込み要因を保持しますが、割込みコントローラに対しては割込み要求信号をアサートしません。

4.2 外部割込み要因レジスタ(EIRR : External Interrupt Request Register)

EIRR レジスタは外部割込み要求が検出されたことを示します。

レジスタ構成

bit	31															16
Field	ER[31:16]															
属性	R															
初期値	0xXXXX															

bit	15															0
Field	ER[15:0]															
属性	R															
初期値	0xXXXX															

レジスタ機能

[bit31:0] ER31～ER0： 外部割込み要求検出ビット

ER31～ER0 ビットは、それぞれ INT31～INT00 の端子に対応しています。
製品仕様上存在しない端子に対応するビットは不定です。

bit	説明
0 読出し時	当該ビットに対応する INTx 端子の外部割込み要求検出なし
1 読出し時	当該ビットに対応する INTx 端子の外部割込み要求検出あり
書込み時	動作に影響しません

<注意事項>

- *ELVR レジスタでレベル検出に設定しているとき、INTxx 端子から有効レベルが入力されている間は、外部割込み要因クリアレジスタ(EICL)で対応ビットをクリア(0 を書込み)しても、外部割込み要因レジスタ(EIRR)の対応ビットは再び 1 に設定されます。*
- *初期設定時、外部割込み要因レジスタ(EIRR)の要因ビットに 1 が設定されていることがあります。I/O ポート部の外部割込み端子設定と ELVR/ELVR1/ELVR2 の設定後、外部割込み要因レジスタ(EIRR)のクリアを行ってください。その後外部割込みを許可（ENIR=1）してください。*

4.3 外部割込み要因クリアレジスタ(EICL: External Interrupt CLear register)

EICL レジスタは保持された割込み要因をクリアします。

レジスタ構成

bit	31															16
Field	ECL[31:16]															
属性	W															
初期値	0xFFFF															

bit	15															0
Field	ECL[15:0]															
属性	W															
初期値	0xFFFF															

レジスタ機能

[bit31:0] ECL31～ECL0： 外部割込み要因クリアビット

ECL31～ECL0 ビットは、それぞれ INT31～INT00 の端子に対応しています。
製品仕様上存在しない端子に対応するビットへの 0 書込みは禁止です。

bit	説明
0 書込み時	当該ビットに対応する INTx 端子の外部割込み要因をクリアします。
1 書込み時	動作に影響しません。
読出し時	常に 1 が読み出されます。

4.4 外部割込み要求レベルレジスタ(ELVR : External interrupt LeVel Register)

ELVR は外部割込み要求として検出する信号のレベル/エッジを選択します。

レジスタ構成

bit	31															16
Field	LB15	LA15	LB14	LA14	LB13	LA13	LB12	LA12	LB11	LA11	LB10	LA10	LB9	LA9	LB8	LA8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15															0
Field	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:0] LA15～LA0/LB15～LB0： 外部割込み要求検出レベル選択ビット

LA, LB の 2 ビットごとで、INT15～INT00 の端子に対応しています。
製品仕様上存在しない端子に対応するビットには、00 を設定してください。
本ビットで選択された入力信号状態/変化を検出すると外部割込み要求として認識します。

	LBx	LAx	説明
書込み時	0	0	L レベルを検出
	0	1	H レベルを検出
	1	0	立上りエッジを検出
	1	1	立下りエッジを検出
読出し時	-	-	レジスタ設定値を読出します。

<注意事項>

- *ELVR/ELVR1/ELVR2 の設定を書き換えて外部割込みの検出条件を変更すると、誤った割込み要因が発生することがあります。誤った割込み要因の発生を避けるため、検出条件を変更する場合には Figure 3-1 の手順を守ってください。*
- *ELVR/ELVR1/ELVR2 で設定したエッジ/レベルを検出するには、最低 3T(T:PCLK 周期)のパルス幅が必要です。このパルス幅に満たない信号が入力された場合は正しく動作しないことがあります。*

4.5 外部割込み要求レベルレジスタ 1 (ELVR1 : External interrupt LeVel Register 1)

ELVR は外部割込み要求として検出する信号のレベル/エッジを選択します。

レジスタ構成

bit	31															16
Field	LB31	LA31	LB30	LA30	LB29	LA29	LB28	LA28	LB27	LA27	LB26	LA26	LB25	LA25	LB24	LA24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15															0
Field	LB23	LA23	LB22	LA22	LB21	LA21	LB20	LA20	LB19	LA19	LB18	LA18	LB17	LA17	LB16	LA16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:0] LA31～LA16/LB31～LB16： 外部割込み要求検出レベル選択ビット

LA, LB の 2 ビットごとで、INT31～INT16 の端子に対応しています。
製品仕様上存在しない端子に対応するビットには、00 を設定してください。
本ビットで選択された入力信号状態/変化を検出すると外部割込み要求として認識します。

	LBx	LAx	説明
書込み時	0	0	L レベルを検出
	0	1	H レベルを検出
	1	0	立上りエッジを検出
	1	1	立下りエッジを検出
読出し時	-	-	レジスタ設定値を読出します。

<注意事項>

- *ELVR/ELVR1/ELVR2 の設定を書き換えて外部割込みの検出条件を変更すると、誤った割込み要因が発生することがあります。誤った割込み要因の発生を避けるため、検出条件を変更する場合には Figure 3-1 の手順を守ってください。*
- *ELVR/ELVR1/ELVR2 で設定したエッジ/レベルを検出するには、最低 3T(T:PCLK 周期)のパルス幅が必要です。このパルス幅に満たない信号が入力された場合は正しく動作しないことがあります。*

4.6 ノンマスカブル割込み要因レジスタ(NMIRR : Non Maskable Interrupt Request Register)

NMIRR レジスタはノンマスカブル割込み(NMI)要求が検出されたことを示します。

レジスタ構成

bit	15	1	0
Field	予約		NR
属性	-		R
初期値	-		0

レジスタ機能

[bit15:1] 予約 : 予約ビット

読出し時は不定です。
書込み時は動作に影響しません。

[bit0] NR : NMI 割込み要求検出ビット

NR ビットは、NMIX の端子に対応しています。

bit	説明
0 読出し時	NMI 割込み要求検出なし
1 読出し時	NMI 割込み要求検出あり
書込み時	動作に影響しません

〈注意事項〉

TYPE1-M0+、TYPE2-M0+ の場合

- *NMIX 端子が割り当てられている I/O ポートを、GPIO または他の周辺機能から NMIX 端子に切り替える(EPFR00.NMIS=1) 場合は、I/O ポート入力を High レベルの状態で切り替えてください。*
  GPIO または他の周辺機能が選択されている場合、内部の NMIX 端子への入力は High レベル固定になっています。そのため、I/O ポートに Low レベル入力されている状態で、GPIO または他の周辺機能から NMIX 端子に切り替えると、内部の NMIX 端子への入力が High レベルから Low レベルとなり、立下りエッジが検出され、NMI 割込み要求が出力されます。

TYPE3-M0+の場合

- *NMIX 端子が割り当てられている I/O ポートを、GPIO または他の周辺機能から NMIX 端子に切り替える(EPFR00.NMIS=1) 場合は、ノンマスカブル割込み許可レジスタを禁止（NMIENR=0）の状態で、で切り替えてください。*
  端子設定の切り替え後、NMICL レジスタで、割込み要因のクリアを行ってください。その後、ノンマスカブル割込み許可レジスタを許可（NMIENR=1）してください。

4.7 ノンマスカブル割込み要因クリアレジスタ(NMICL: Non Maskable Interrupt CLear register)

NMICL レジスタは保持された割込み要因をクリアします。

レジスタ構成

bit	15	1	0
Field	予約		NCL
属性	-		W
初期値	-		1

レジスタ機能

[bit15:1] 予約 : 予約ビット

読出し時は不定です。
書込み時は動作に影響しません。

[bit0] NCL : NMI 割込み要因クリアビット

NCL ビットは、NMIX の端子に対応しています。

bit	説明
0 書込み時	NMI 割込み要因をクリアします
1 書込み時	動作に影響しません
読出し時	常に 1 が読み出されます

4.8 外部割込み要求レベルレジスタ 2 (ELVR2 : External interrupt LeVel Register 2)

ELVR2 は外部割込み要求の検出方法に、立上り・立下り両エッジを選択します。入力信号変化に立上りエッジ、立下りエッジのいずれかがある場合に、割込み要求として認識します。

本レジスタは、TYPE3-M0+製品にのみ搭載されています。TYPE1-M0+、TYPE2-M0+製品は、この検出方法は選択できません。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LC31	LC30	LC29	LC28	LC27	LC26	LC25	LC24	LC23	LC22	LC21	LC20	LC19	LC18	LC17	LC16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LC15	LC14	LC13	LC12	LC11	LC10	LC9	LC8	LC7	LC6	LC5	LC4	LC3	LC2	LC1	LC1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:0] LC31～LC0： 外部割込み要求検出レベル選択ビット

LC31～0 のビットは、INT31～INT0 の端子に対応しています。
製品仕様上存在しない端子に対応するビットは、0 に設定してください。
本ビットで選択された入力信号状態/変化を検出すると外部割込み要求として認識します。

	LCx	説明
書込み時	0	ELVR/ELVR1 で設定された検出方法で割込み要求を認識します。
	1	ELVR/ELVR1 の設定値を無視し、立上りエッジまたは立下りエッジでの検出で割込み要求を認識します。
読出し時	-	レジスタ設定値を読出します。

<注意事項>

- *ELVR/ELVR1/ELVR2 の設定を書き換えて外部割込みの検出条件を変更すると、誤った割込み要因が発生することがあります。誤った割込み要因の発生を避けるため、検出条件を変更する場合には Figure 3-1 の手順を守ってください。*
- *ELVR/ELVR1/ELVR2 で設定したエッジ/レベルを検出するには、最低 3T(T:PCLK 周期)のパルス幅が必要です。このパルス幅に満たない信号が入力された場合は正しく動作しないことがあります。*

4.9 ノンマスカブル割込み許可レジスタ (NMIENR:NMI Enable Register)

ノンマスカブル割込み許可レジスタ（NMIENR）は、NMI 発生の許可・禁止を指定します。

本レジスタは、TYPE3-M0+製品にのみ搭載されています。

レジスタ構成

Bit	7	1	0
Field	Reserved		NE0
属性	-		R/W
初期値	-		0

レジスタ機能

[bit7:1] 予約 : 予約ビット

読出し時は不定です。

書込み時は動作に影響しません。

[bit0] NE0: NMI enable bit

本ビットは、NMI の許可・禁止を設定します。

bit	説明
0 書込み時	ノンマスカブル割込みの発生を禁止します。 [初期値]
1 書込み時	ノンマスカブル割込みの発生を許可します。
読出し時	レジスタ設定値を読出します。

<注意事項>

- *NMIENR=1 の設定により、ノンマスカブル割込み（NMI）を許可する前に、NMIRR レジスタで割込み要因をチェックし、NMICL レジスタでその割込み要因をクリアする必要があります。割込み要因をクリアしないと、NMI を許可した時に、NMI が発生する可能性があります。*
- *このレジスタの初期値は 0 です。NMI は禁止されています。*

CHAPTER 9: DMAC

DMAC について説明します。

1. DMAC の概要
2. DMAC の構成
3. DMAC の機能と動作
4. DMAC の制御
5. DMAC のレジスタ
6. 使用上の注意

管理コード: 9BFDMAC_FM4-J03.0_MHDMAC-E03.0

1. DMAC の概要

DMAC(Direct Memory Access Controller)は、CPU を介さずにデータを高速に転送する機能ブロックです。DMAC を利用することにより、システム性能を高められます。

DMAC の概要

- CPU バスとは独立の DMA 専用バスを持ち、CPU バスアクセス時に転送動作が可能な構成です。
- 最大 8 種類の DMA 転送を独立して実行できる最大 8 チャネル構成です。
- チャネルごとに、転送先アドレス, 転送元アドレス, 転送データサイズ, 転送要求元, 転送モードの設定ができ、転送動作開始, 転送強制停止, 転送一時停止の制御が行えます。
- 全チャネル一括転送動作開始, 一括転送強制停止, 一括転送一時停止の制御が行えます。
- 複数チャネルが同時動作時のチャネル動作優先順位を、固定方式/ローテート方式から選択できます。
- Peripheral からの割込み信号を利用したハードウェア DMA 転送に対応しています。
- システムバス(AHB)に準拠した構成で、32 ビットのアドレス空間(4 G バイト)に対応しています。

各チャネルの機能概要

- 転送元・転送先アドレスのインクリメント/固定の選択ができます。
- 転送元・転送先アドレスのリロード機能(転送終了時に開始設定値に戻す機能)が利用できます。
- 転送するデータサイズを、以下の 3 種類の指定から決定できます。

  転送データ幅: (バイト/ ハーフワード/ワードから選択)
  ブロック数設定: (1～16 から選択)
  転送回数設定: (1～65536 から選択)
  (ブロック数と転送回数の違いは「3 DMAC の機能と動作」を参照してください。)

- 転送正常終了, 転送異常終了をそれぞれ、割込みで通知する/しないを選択できます。
- 転送モードは以下の 5 種類から選択できます。

  ソフトウェア・Block 転送
  ソフトウェア・Burst 転送
  ハードウェア・Demand 転送
  ハードウェア・Block 転送
  ハードウェア・Burst 転送

転送モードについて

ソフトウェア転送は、CPU からの直接指示により、DMAC を起動する方式です。

ハードウェア転送は、Peripheral からの割込み信号を、DMAC の転送要求信号として利用するもので、Peripheral からの転送要求発生時に、直接 DMAC を起動する方式です。

マルチ・ファンクション・シリアル・ユニット, ADC ユニットの場合、送受信データ, A/D 変換データの転送が必要になったとき、各ユニットが直接 DMAC にデータ転送の起動指示を行います。外部割込みユニット, ベーストタイマユニットの場合、転送タイミングになったとき、各ユニットが直接 DMAC にデータ転送の起動指示を行います。いずれの場合も、あらかじめ設定をしておくことで、CPU を介さずにデータを転送できます。

略語表記について

以降の説明文中に、DE, DS, DH, PR, EB, PB, ST, IS, BC, TC, MS, TW, FS, FD, RC, RS, RD, EI, CI, SS, EM の用語がありますが、すべて DMAC の制御レジスタ(DMACR, DMACSA, DMACDA, DMACA, DMACB レジスタ)の各ビットを指しています。「5 DMAC のレジスタ」を参照してください。

2. DMAC の構成

DMAC とシステム構成, DMAC の入出力信号について説明します。

2.1. DMAC とシステム構成
2.2. DMAC の入出力信号

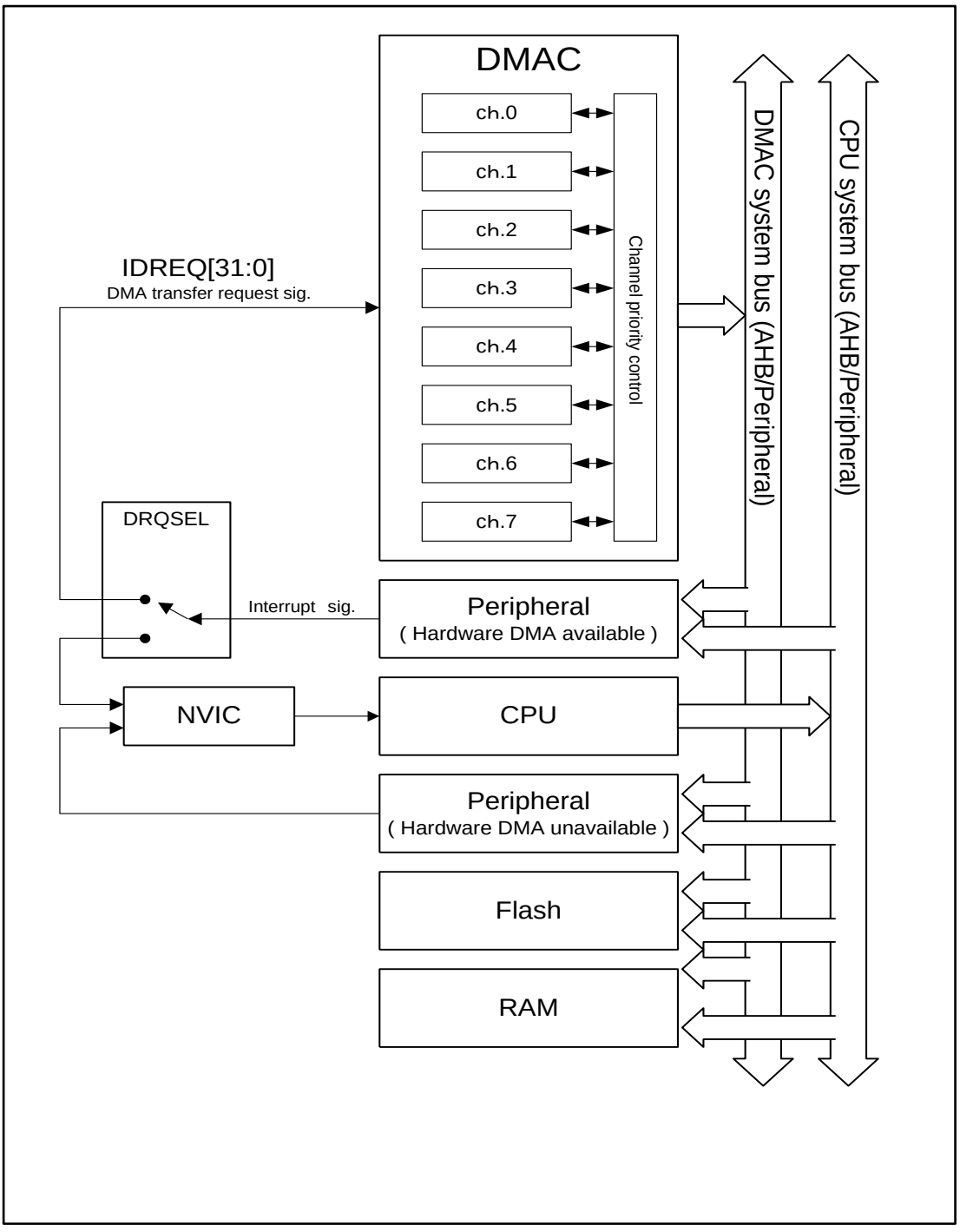
2.1 DMAC とシステム構成

DMAC とシステム構成について説明します。

ブロックダイヤグラム

Figure 2-1 に DMAC とシステム構成のブロックダイヤグラムを示します。

Figure 2-1 DMAC とシステム構成のブロックダイヤグラム



ブロックダイヤグラムの説明

■ DMAC

DMAC は、最大 8 チャネル構成です。それぞれのチャネルは独立した転送を行います。優先順位制御部は、各チャネルの転送動作が競合した場合の制御をします。

■ システムとの接続

Figure 2-1 のシステム構成図は簡略化しています。詳細は『システム概要』の章を参照してください。DMAC はシステムバスを経由して CPU, Flash, RAM, Peripheral と接続されています。CPU バスとは独立した専用バスを持っており、CPU バスアクセス時に転送動作が可能な構成になっています。各チャネルの転送先アドレス, 転送元アドレスの指定により、システム上の任意のアドレス領域にアクセスし、メモリおよび Peripheral 間のデータ転送を行います。一部 DMAC からはアクセスできない領域があります。メモリマップにて確認してください。

■ ハードウェア転送要求信号の接続

ハードウェア転送に対応している Peripheral からの割込み信号は、割込みコントローラ部(Figure 2-1 の DRQSEL)にて、CPU への割込み信号として使用するか、DMAC への DMA 転送要求信号として使用するかを選択します。

ハードウェア要求による DMA 転送を行う場合は、事前に DRQSEL の設定により、各 Peripheral からの割込み信号を DMAC への転送要求信号として接続してください。ハードウェア転送に対応していない Peripheral からの割込み信号は、DMA 転送要求信号としては使用できません。また、割込み信号を DMAC の転送要求信号として使用する場合、CPU への割込み信号としては使用できません。『割込み』の章を参照してください。

DMAC に入力される DMA 転送要求信号は、32 の信号があります。各信号と Peripheral の対応は、「2.2 DMAC の入出力信号」の Table 2-1 を参照してください。

搭載していない Peripheral からの割込み信号は選択できません。複数のチャネルおよび複数の割込み要因を持つ Peripheral の場合、DMA 転送に対応している割込みあるいは対応していない割込みが存在するため、注意してください。

ハードウェア転送の場合、DMAC の各チャネルは、上記の 32 の転送要求信号のうち、1 つの転送要求信号を選択して動作します。IS レジスタにより選択を行います。

■ ハードウェア転送要求クリア信号の接続

ハードウェア転送に対応している Peripheral のうち、転送完了後、転送要求信号(割込み信号)のクリアが必要な Peripheral があります。Figure 2-1 に記載はありませんが、DRQSEL レジスタにて選択を行った場合、これらの Peripheral に対して、DMAC から転送要求信号のクリア処理がなされます。

■ ハードウェア転送停止要求信号の接続

マルチ・ファンクション・シリアル・ユニット(以下 MFS と略)からは、DMA 転送停止要求信号が出力されます。Figure 2-1 に記載がありませんが、DRQSEL レジスタにてマルチファンクションシリアルインタフェース(以降、MFS)の選択を行った場合、MFS の転送停止要求信号が、DMAC に接続されます。転送停止要求信号がアサートされた場合、DMAC は転送動作を停止します。また、以降の転送要求信号をマスクする構成です。

MFS から転送停止要求信号がアサートされる条件は以下の通りです。

- 受信割込み許可中(SCR:RIE=”1”)に受信エラーが発生(PE ビット、FRE ビットまたは ORE ビットが”1”)
- チップセレクトエラー割込み許可中(SACSR:CSEIE="1")にチップセレクトエラー発生(CSE ビットが”1”)

■ DMAC からの割込み信号

Figure 2-1 には記載がありませんが、各チャネルから、転送終了を通知するための割込み信号が、NVIC に接続されています。チャネルごとに 8 本の割込み出力があります。

2.2 DMAC の入出力信号

DMAC の入出力信号について説明します。

DMAC に入力される転送要求信号

DMAC に入力される転送要求信号と対応する Peripheral からの割込み信号の一覧を Table 2-1 に示します。

Table 2-1 転送要求信号と対応する Peripheral からの割込み信号の一覧

IDREQ 番号	対応する Peripheral 割込み信号
0	Reserved
1	Reserved
2	Reserved
3	Reserved
4	Reserved
5	A/D コンバータ unit0 スキャン変換割込み信号
6	A/D コンバータ unit1 スキャン変換割込み信号
7	A/D コンバータ unit2 スキャン変換割込み信号
8	ベースタイマ ch.0 の IRQ0 の割込み信号
9	ベースタイマ ch.2 の IRQ0 の割込み信号
10	ベースタイマ ch.4 の IRQ0 の割込み信号
11	ベースタイマ ch.6 の IRQ0 の割込み信号
12	MFS ch.0 の受信割込み信号
13	MFS ch.0 の送信割込み信号
14	MFS ch.1 の受信割込み信号
15	MFS ch.1 の送信割込み信号
16	MFS ch.2 の受信割込み信号
17	MFS ch.2 の送信割込み信号
18	MFS ch.3 の受信割込み信号
19	MFS ch.3 の送信割込み信号
20	MFS ch.4 の受信割込み信号
21	MFS ch.4 の送信割込み信号
22	MFS ch.5 の受信割込み信号
23	MFS ch.5 の送信割込み信号
24	MFS ch.6 の受信割込み信号
25	MFS ch.6 の送信割込み信号
26	MFS ch.7 の受信割込み信号
27	MFS ch.7 の送信割込み信号
28	外部割込みユニット ch.0 割込み信号
29	外部割込みユニット ch.1 割込み信号
30	外部割込みユニット ch.2 割込み信号
31	外部割込みユニット ch.3 割込み信号

DMAC から出力される割込み信号

DMAC から出力される割込み信号の一覧を Table 2-2 に示します。

Table 2-2 DMAC からの割込み信号一覧

割込み信号名	割込み要因レジスタ	割込み許可レジスタ	割込み種別
DIRQ0	DMACB0.SS[2:0]	DMACB0.CI	ch.0 転送正常終了割込み
		DMACB0.EI	ch.0 転送異常終了割込み
DIRQ1	DMACB1.SS[2:0]	DMACB1.CI	ch.1 転送正常終了割込み
		DMACB1.EI	ch.1 転送異常終了割込み
DIRQ2	DMACB2.SS[2:0]	DMACB2.CI	ch.2 転送正常終了割込み
		DMACB2.EI	ch.2 転送異常終了割込み
DIRQ3	DMACB3.SS[2:0]	DMACB3.CI	ch.3 転送正常終了割込み
		DMACB3.EI	ch.3 転送異常終了割込み
DIRQ4	DMACB4.SS[2:0]	DMACB4.CI	ch.4 転送正常終了割込み
		DMACB4.EI	ch.4 転送異常終了割込み
DIRQ5	DMACB5.SS[2:0]	DMACB5.CI	ch.5 転送正常終了割込み
		DMACB5.EI	ch.5 転送異常終了割込み
DIRQ6	DMACB6.SS[2:0]	DMACB6.CI	ch.6 転送正常終了割込み
		DMACB6.EI	ch.6 転送異常終了割込み
DIRQ7	DMACB7.SS[2:0]	DMACB7.CI	ch.7 転送正常終了割込み
		DMACB7.EI	ch.7 転送異常終了割込み

参考：割込みの発生要因，クリアについて(詳細は「4. DMAC の制御」を参照してください。)

各チャネルからの割込みは、以下の要因で発生します。

- チャネルの転送が正常終了した場合、各チャネルの SS[2:0]に 101 がセットされます。CI=1(転送正常終了割込み許可)時、SS[2:0]に上記の値がセットされると、転送正常終了割込みが発生します。
- チャネルの転送が異常終了した場合、各チャネルの SS[2:0]に 001, 010, 011, 100 がセットされます。EI=1(転送異常終了割込み許可)時、SS[2:0]に上記の値がセットされると、転送異常終了割込みが発生します
- 転送正常終了割込みと転送異常終了割込みは論理 OR されており、いずれかの割込みが発生すると、チャネルからの割込みが発生します。

各チャネルからの割込みは、SS[2:0]に"000"を書き込むことでクリアできます。

3. DMAC の機能と動作

各転送モードにおける DMAC の動作を説明します。

3.1. ソフトウェア・Block 転送
3.2. ソフトウェア・Burst 転送
3.3. ハードウェア・Demand 転送
3.4. ハードウェア・Block 転送/Burst 転送
3.5. チャネル優先順位制御

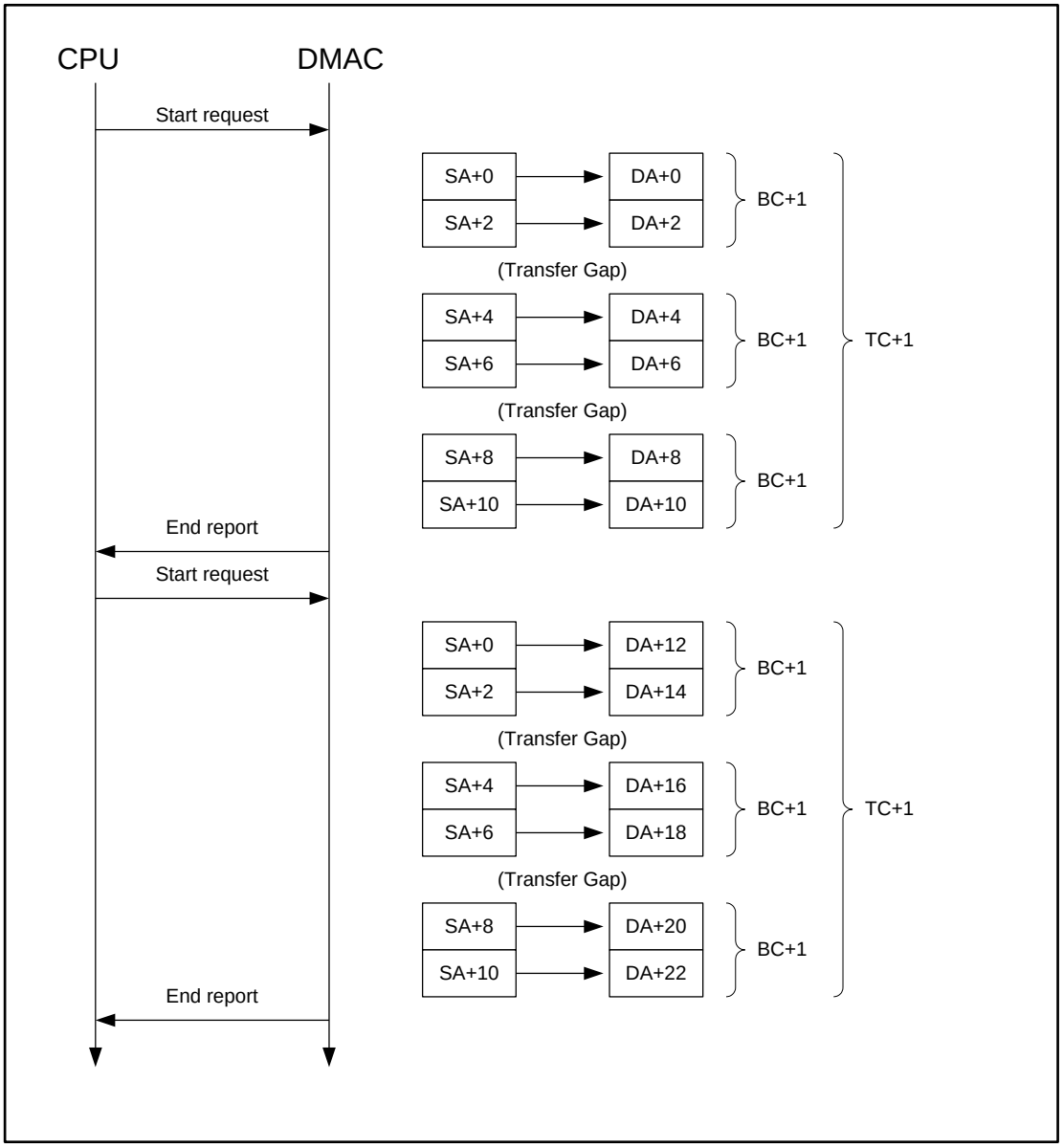
3.1 ソフトウェア・Block 転送

ソフトウェア・Block 転送について説明します。

Figure 3-1 にソフトウェア・Block 転送の動作例を示します。Figure 3-1 では、以下の設定を行っています。

- 転送モード: ソフトウェア要求 Block 転送(ST=1, IS[5:0]=000000, MS=00)
- 転送元開始アドレス: SA(DMACSA=SA)
- 転送元アドレス制御: インクリメント, リロードあり(FS=0, RS=1)
- 転送先開始アドレス: DA(DMACDA=DA)
- 転送先アドレス制御: インクリメント, リロードなし(FD=0, RD=0)
- 転送データサイズ: ハーフワード(16bit), ブロック数 2, 転送回数 3(TW=01, BC=1, TC=2)
- BC/TC リロード: リロードあり(RC=1)

Figure 3-1 ソフトウェア・Block 転送の動作例



CPU から転送内容の設定を行った後、転送開始の指示を行うと、DMAC は以下の動作を行います。

- 転送データ幅の指定により、1 回の転送はハーフワード(16 bit)で行われます。
- 転送元, 転送先の開始アドレス値, データ幅, インクリメント/固定の指定に従って、アドレス SA の領域からアドレス DA の領域にブロック数(=BC+1)分転送を行います。
- Block 転送の場合、1 ブロックの転送終了ごとに、Transfer Gap を発生します。
- DMAC はブロック数(=BC+1)分のデータ転送を転送回数(=TC+1)分行います。CPU からの 1 回の転送要求で転送されるデータのサイズは、データ幅(TW)×ブロック数(BC+1)×転送回数(TC+1)になります。
- 転送が終了すると、DMAC は CPU に終了通知を行います。
- 転送終了後、再び転送開始の指示を行った場合、転送元アドレスは、リロードあり指定(RS=1)のため、前の転送開始アドレス(SA+0)から再度転送を開始します。転送先アドレスは、リロードなし指定(RD=0)のため、前の転送終了アドレスの次のアドレス(DA+12)から転送を開始します。また BC・TC のリロードが指定されるため、次回のブロック数, 転送回数設定は前回の転送と同じ設定値がリロードされます。

Transfer Gap は、DMAC の 1 つのチャネルが、システムバスアクセス権を占有することを避ける目的で挿入される転送を行わない時間帯のことを示します。複数のチャネルに転送要求がある場合、DMAC は Transfer Gap のタイミングで、転送動作を行うチャネルを切り換えます。BC と TC の設定値を調節することにより、Transfer Gap の発生頻度を制御できます。

また、Transfer Gap のタイミングで、同時に CPU へのバスアクセス権の譲渡も行われます。本シリーズのシステムバスは、Multi-layer 構成であり、DMA 専用のシステムバスを持っています。このため、CPU とアクセス先が競合しない場合、CPU 動作と同時に転送動作を行えます。CPU とアクセス先が競合する場合、DMAC の転送が、異なるアドレス領域グループ間(RAM と Peripheral, Flash と RAM など)のとき、CPU 動作に対する支障はほとんどありません。ただし、転送が同じアドレス領域グループ間(RAM と RAM など)の場合、ブロック数の設定によっては、CPU の動作に支障を与え、システム性能に影響が発生することがあるため、注意してください。

(上記のアドレス領域グループとは、AHB システムバス上で同じバスブリッジにて接続されるアドレス領域グループのことを指しています。)

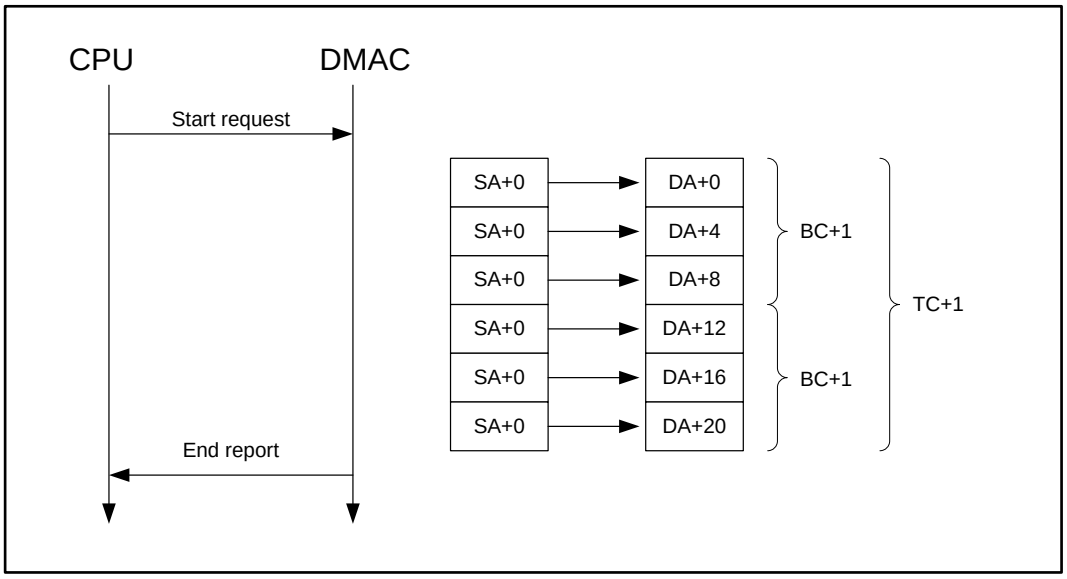
3.2 ソフトウェア・Burst 転送

ソフトウェア・Burst 転送について説明します。

Figure 3-2 にソフトウェア・Burst 転送の動作例を示します。Figure 3-2 では、以下の設定を行っています。

- 転送モード: ソフトウェア要求 Burst 転送(ST=1, IS[5:0]=000000, MS=01)
- 転送元開始アドレス: SA(DMACSA=SA)
- 転送元アドレス: 固定, リロードあり(FS=1, RS=1)
- 転送先開始アドレス: DA(DMACDA=DA)
- 転送先アドレス: インクリメント, リロードなし(FD=0, RD=0)
- 転送データサイズ: ワード(32 bit), ブロック数 3, 転送回数 2(TW=10, BC=2, TC=1)
- 転送回数リロード: 転送回数リロードあり(RC=1)

Figure 3-2 ソフトウェア・Burst 転送の動作例



CPU から転送内容の設定を行った後、転送開始の指示を行うと、DMAC は以下の動作を行います。

- 転送データ幅の指定により、1 回の転送はワード(32 bit)で行われます。
- 転送元, 転送先の開始アドレス値, データ幅, インクリメント/固定の指定に従って、アドレス SA の領域からアドレス DA の領域にブロック数(=BC+1)分転送を行います。転送元アドレスは固定が指定されているため、転送元開始アドレス(SA+0)のままです。
- Burst 転送の場合、Transfer Gap を発生せずに転送を連続して実行します。
- DMAC はブロック数(=BC+1)分のデータ転送を転送回数(=TC+1)分行います。CPU からの 1 回の転送要求で転送されるデータのサイズは、データ幅(TW)×ブロック数(BC+1)×転送回数(TC+1)になります。
- 転送が終了すると、DMAC は CPU に終了通知を行います。

Burst 転送の場合、Block 転送と異なり Transfer Gap を発生しません。制御対象チャネルがシステムバスアクセス権を占有するため、そのチャネルの転送を優先したいときに利用できます。

3.3 ハードウェア・Demand 転送

ハードウェア・Demand 転送について説明します。

MSF, ADC の Peripheral からの転送要求信号にて、DMA 転送を行う場合は、ハードウェア・Demand 転送を使用します。

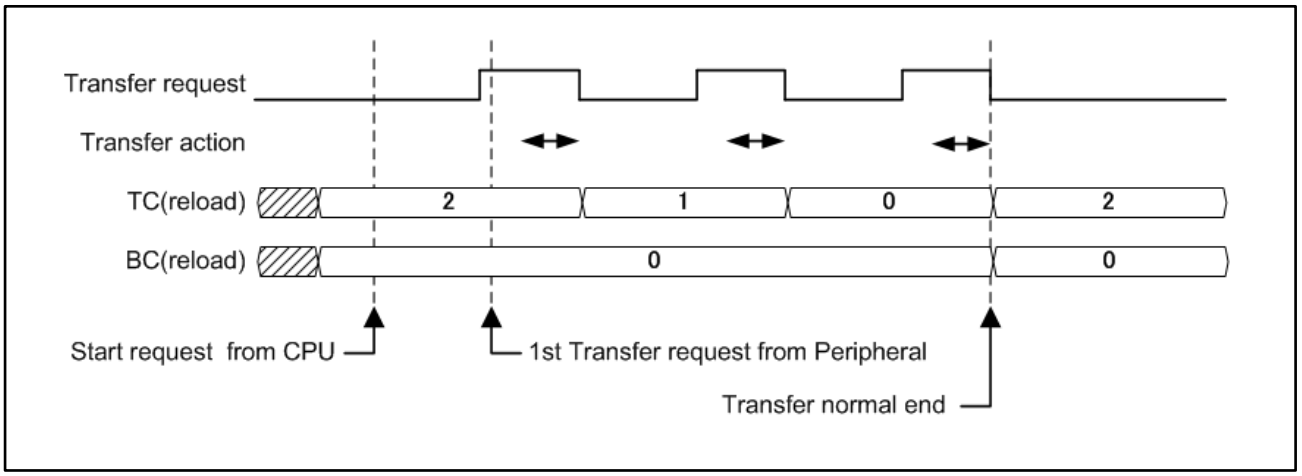
ハードウェア・Demand 転送は、Peripheral からの転送要求信号を信号レベルで受け取る方式です。転送要求信号が High レベルのときは転送を実行し、転送要求信号が Low レベルのときは転送を実行しません。各 Peripheral からの割込み信号の出力設定を、転送データが存在する場合に High レベル(転送要求あり)、転送データが存在しない場合に Low レベル(転送要求なし)となる設定を行って、転送を実行します。

ハードウェア・Demand 転送の場合、ブロック数は常に 1(BC=0)を指定してください。

Figure 3-3 にハードウェア・Demand 転送の動作例を示します。Figure 3-3 は、以下の設定を行っています。転送元・転送先アドレス, 転送データ幅に関する設定は省略しています。

- 転送モード: ハードウェア・Demand 転送(ST=0, IS=転送要求元 Peripheral, MS=10)
- 転送データサイズ: ブロック数 1, 転送回数 3(BC=0, TC=2)

Figure 3-3 ハードウェア・Demand 転送の動作例



ハードウェア・Demand 転送の動作を以下に示します。

CPU から転送内容の指定を行って、動作開始を指示します。DMAC は、Peripheral からの転送要求を待機します。転送要求を受け取り後、1 回の転送を行って、次の転送要求を待機します。待機中、Transfer Gap が発生します。転送要求のたびに、同様の動作を転送回数(TC+1)分行います。合計(TC+1)回の転送を行います。Peripheral からの転送要求の回数と DMAC の転送回数(TC+1)を合わせてください。DMAC はすべての転送が終了すると、CPU に終了通知を行います。

3.4 ハードウェア・Block 転送/Burst 転送

ハードウェア・Block 転送/Burst 転送について説明します。

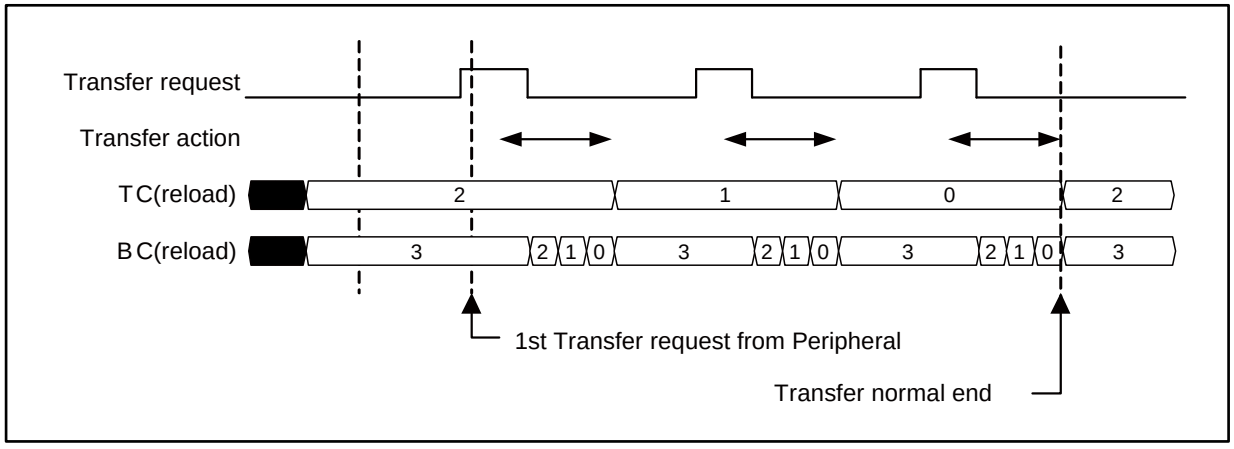
ベースタイマ, 外部割込みの Peripheral からの転送要求信号にて、DMA 転送を行う場合は、ハードウェア・Block 転送またはハードウェア・Burst 転送を使用します。

ハードウェア・Block 転送およびハードウェア・Burst 転送は、Peripheral からの転送要求信号を信号の立上りエッジで受け取る方式です。転送要求信号の立上りエッジが検出された場合に転送を実行します。各 Peripheral からの割込み信号の出力にて、DMAC の転送開始タイミングを指示できます。

Figure 3-4 にハードウェア・Block 転送の動作例を示します。Figure 3-4 は、以下の設定を行っています。転送元・転送先アドレス, 転送データ幅に関する設定は省略しています。

- 転送モード: ハードウェア・Block 転送(ST=0, IS=転送要求元 Peripheral, MS=00)
- 転送データサイズ: ブロック数 4, 転送回数 3(BC=3, TC=2)

Figure 3-4 ハードウェア・Block 転送の動作例



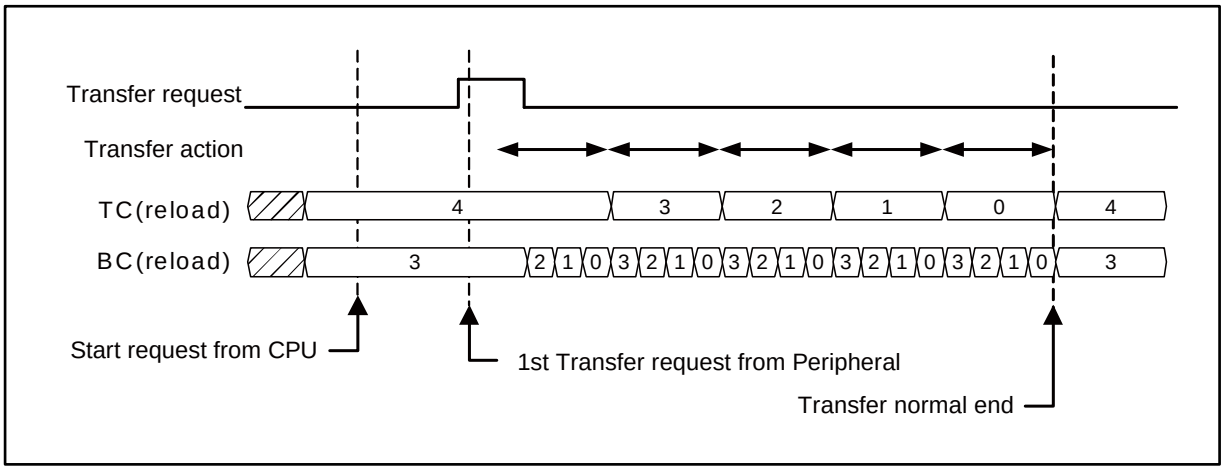
ハードウェア・Block 転送の動作を以下に示します。

CPU から転送内容の指定を行って、動作開始を指示します。DMAC は、Peripheral からの転送要求を待機します。転送要求を受け取り後、ブロック数(=BC+1)回の転送を行って、次の転送要求を待機します。待機中、Transfer Gap が発生します。転送要求のたびに、同様の動作を転送回数(TC+1)分行います。合計(BC+1)×(TC+1)回の転送を行います。Peripheral からの転送要求の回数と DMAC の転送回数(TC+1)を同じにしてください。DMAC はすべての転送が終了すると、CPU に終了通知を行います。

Figure 3-5 にハードウェア・Burst 転送の動作例を示します。Figure 3-5 は、以下の設定を行っています。転送元・転送先アドレス, 転送データ幅に関する設定は省略しています。

- 転送モード: ハードウェア・Burst 転送(ST=0, IS=転送要求元 Peripheral, MS=01)
- 転送データサイズ: ブロック数 4, 転送回数 5(BC=3, TC=4)

Figure 3-5 ハードウェア・Burst 転送の動作例



ハードウェア・Burst 転送の動作を以下に示します。

CPU から転送内容の指定を行って、動作開始を指示します。DMAC は、Peripheral からの転送要求を待機します。最初の転送要求を受け取り後、(BC+1)×(TC+1)回のすべての転送を行います。ハードウェア・Burst 転送中は、Transfer Gap は発生しません。DMAC はすべての転送が終了すると、CPU に終了通知を行います。

3.5 チャネル優先順位制御

チャネル優先順位制御について説明します。

優先順位制御について

複数のチャネルに転送要求がある場合、DMAC は各チャネルの Transfer Gap のタイミングで、転送を行うチャネルを切り換えます。この際、次に転送を行うチャネルは、優先順位制御に従って決定されます。優先順位制御は、PR により、優先順位固定/優先順位ローテートのいずれかを選択できます。Figure 3-6 は、右軸が時間軸を示しています。すべてのチャネルから同時に転送要求が発生した場合に、各チャネルが転送動作を行うタイミングを矢印で示しています。

優先順位固定の場合の動作(PR=0)

優先順位固定の場合、転送要求のあるチャネルのうち、小さい番号のチャネルが、優先的に転送動作を行います。

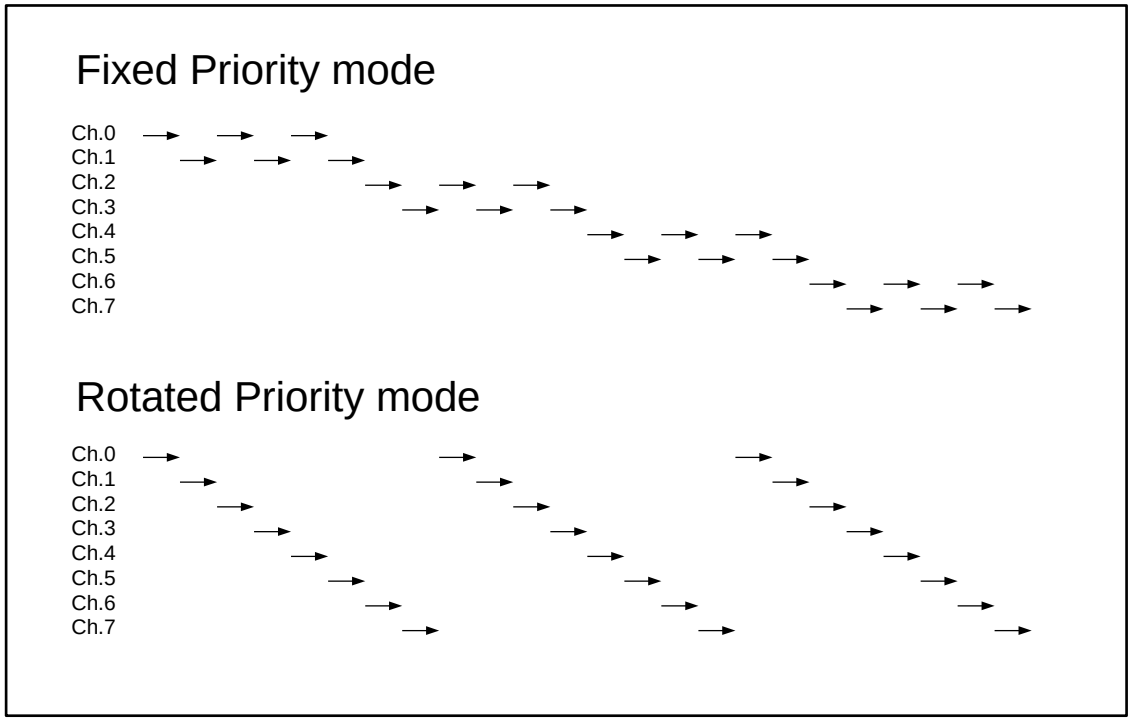
(優先順位 : ch.0＞ch.1＞ch.2＞ch.3＞ch.4＞ch.5＞ch.6＞ch.7)

最初に、1 番目に優先順位の高いチャネル(Figure 3-6 では ch.0)が転送を行います。1 番目に優先順位の高いチャネルは、Transfer Gap のタイミングで転送動作を停止するため、次は 2 番目に優先順位の高いチャネル(Figure 3-6 では ch.1)が転送動作を行います。このため、1 番目と 2 番目の優先順位のチャネルが、交互に転送動作を行います。以降、優先順位の高いチャネルの転送が終了してから、優先順位の低いチャネル(Figure 3-6 では ch.3)が転送動作を開始します。

優先順位ローテート方式の場合の動作(PR=1)

優先順位ローテート方式は、すべてのチャネルが平等に転送動作を行います。

Figure 3-6 チャネル優先順位制御の説明図



4. DMAC の制御

DMAC の制御方法の詳細を説明します。

4.1. DMAC 制御概要
4.2. ソフトウェア転送時の DMAC 動作と制御手順
4.3. ハードウェア(EM=0)転送時の DMAC 動作と制御手順
4.4. ハードウェア(EM=1)転送時の DMAC 動作と制御手順

4.1 DMAC 制御概要

DMAC 制御概要を説明します。

DMAC の各チャネルの制御レジスタには、EB(個別チャネル動作許可ビット), PB(個別チャネル一時停止ビット)が存在します。これらのビットを操作することにより、DMA 転送動作の開始(動作許可), 転送動作の強制停止(動作禁止), 転送動作の一時停止の制御をチャネルごとに制御できます。また、すべてのチャネルの転送動作を一括して制御するための、DE(全チャネル動作許可ビット), DH(全チャネル一時停止ビット)があり、全チャネルの転送動作を一括して制御できます。

あらかじめ、各チャネルは動作禁止状態にあり、この状態でチャネルごとに転送内容(転送元アドレス, 転送先アドレス, 転送データ幅, 転送回数, 転送モードなど)の指定を各チャネルのコンフィギュレーションレジスタに指定します。その後、EB, PB, DE, DH への書込みにより転送動作の開始, 一時停止指示を行って、転送動作を制御します。

各チャネルは転送が終了すると、SS(Stop Status)に終了コードをセットし、それぞれのチャネルの終了状態を通知します。転送終了時に割込みを発生させられます。転送が終了すると、基本的に各チャネルは EB, PB をクリアし、動作禁止状態に戻ります。

「4.2 ソフトウェア転送時の DMAC 動作と制御手順」にて、ソフトウェア要求による DMA 転送、Peripheral からの転送要求によるハードウェア DMA 転送時のそれぞれの動作と制御手順について説明します。
説明文中に、CPU からの指示として以下の用語が用いられますが、それぞれ、EB, PB, DE, DH ビットへの以下の値の書込み操作を示しています。

- 個別チャネル動作許可指示(EB=1, PB=0 の書込み)
- 個別チャネル動作禁止指示(EB=0 の書込み)
- 個別チャネル一時停止指示(EB=1, PB=1 の書込み)
- 全チャネル動作許可指示(DE=1, DH=0000 の書込み)
- 全チャネル動作禁止指示(DE=0 の書込み)
- 全チャネル一時停止指示(DE=1, DH!=0000 の書込み)

4.2 ソフトウェア転送時の DMAC 動作と制御手順

ソフトウェア転送時の DMAC 動作と制御手順を以下に説明します。

Figure 4-1 ソフトウェア DMA 転送状態遷移図

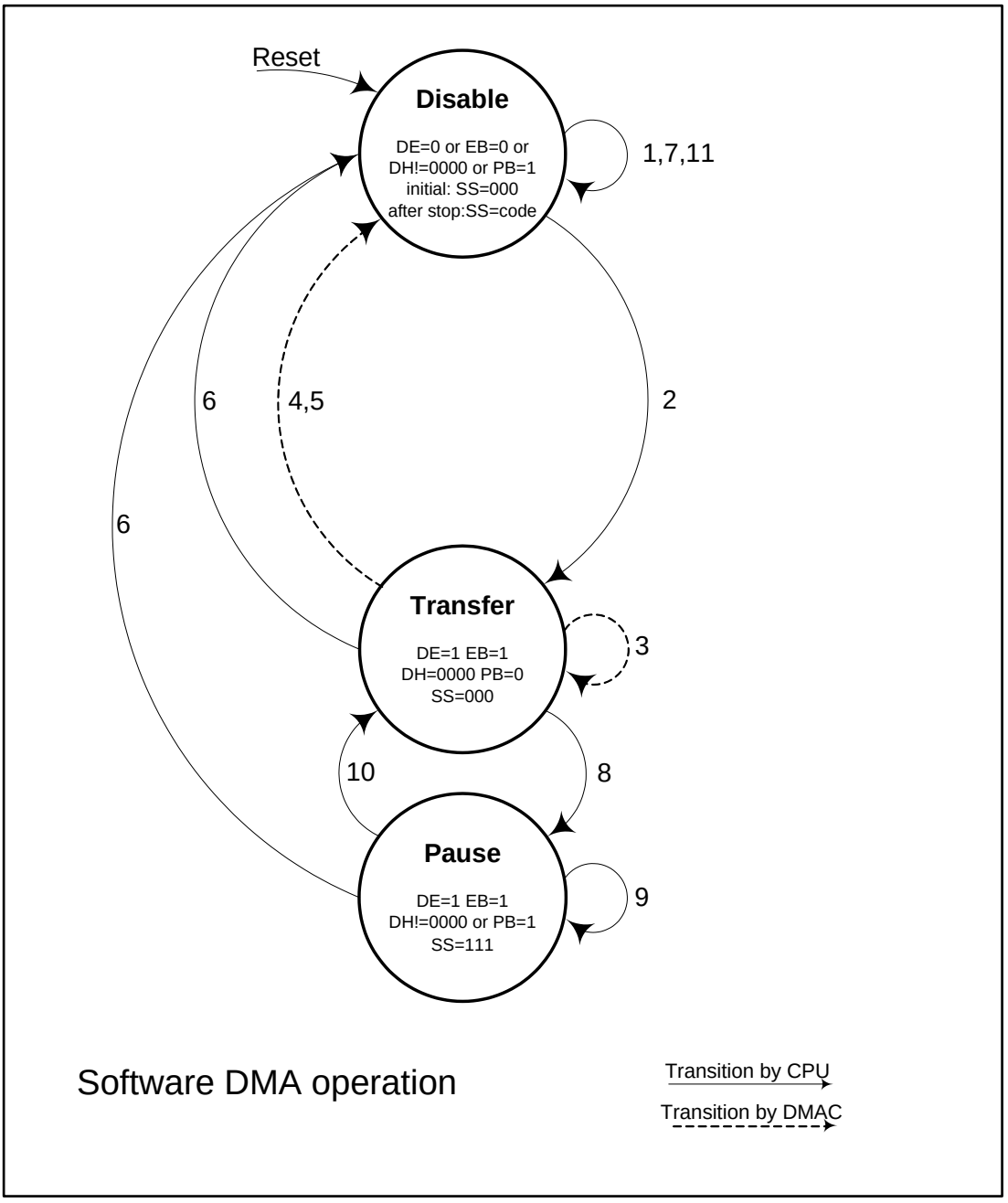


Figure 4-1 にソフトウェア転送時の制御対象チャネルの状態遷移を示します。Figure 4-1 の遷移線の番号は、以降の制御手順の説明の番号に対応しています。実線の遷移線は、CPU からの指示による状態遷移を示します。破線の遷移線は、DMAC の動作による状態遷移を示します。

各状態の説明

■ Disable 状態

制御対象のチャネルの転送が禁止されている状態です。この状態のチャネルは、何も行わず、CPU からの指示を待っている状態です。システムリセット時は、DE=0, EB=0, DH=0000, PB=0 の Disable 状態です。

■ Transfer 状態

制御対象のチャネルの転送が許可されている状態です。この状態のチャネルは、指定された内容の転送動作を行います。すべての転送動作が終了すると Disable 状態に復帰します。また、CPU からの指示により、状態を変化させます。

■ Pause 状態

制御対象のチャネルが、CPU からの一時停止の指示により、転送を一時停止している状態で、CPU からの指示を待っている状態です。

制御手順の説明

1. Disable 状態/転送準備

   CPU から制御対象のチャネルに対する転送内容の指定(DMACSA, DMACDA, DMACA, DMACB の各ビットへ書込み)を行います。転送内容の指定詳細は、「5. DMAC のレジスタ」を参照してください。転送終了時に DMAC から割込みを発生させる場合には、EI, CI をセットします。
   ソフトウェア転送の場合、次の制約があります。ST=1, IS[5:0]=000000 を指定します。MS に Demand 転送モードは指定できません。EM は常に"0"を設定します。
   全チャネル動作許可指示と PR の設定を行います。DMACA に対する書込みは、ソフトウェア手順 2.で同時に行うことも可能です。

2. Disable 状態=>Transfer 状態/転送開始

   CPU から個別チャネル動作許可指示を行います。DE=1, EB=1, DH=0000, PB=0 の状態になると、制御対象のチャネルは、Transfer 状態へ遷移します。

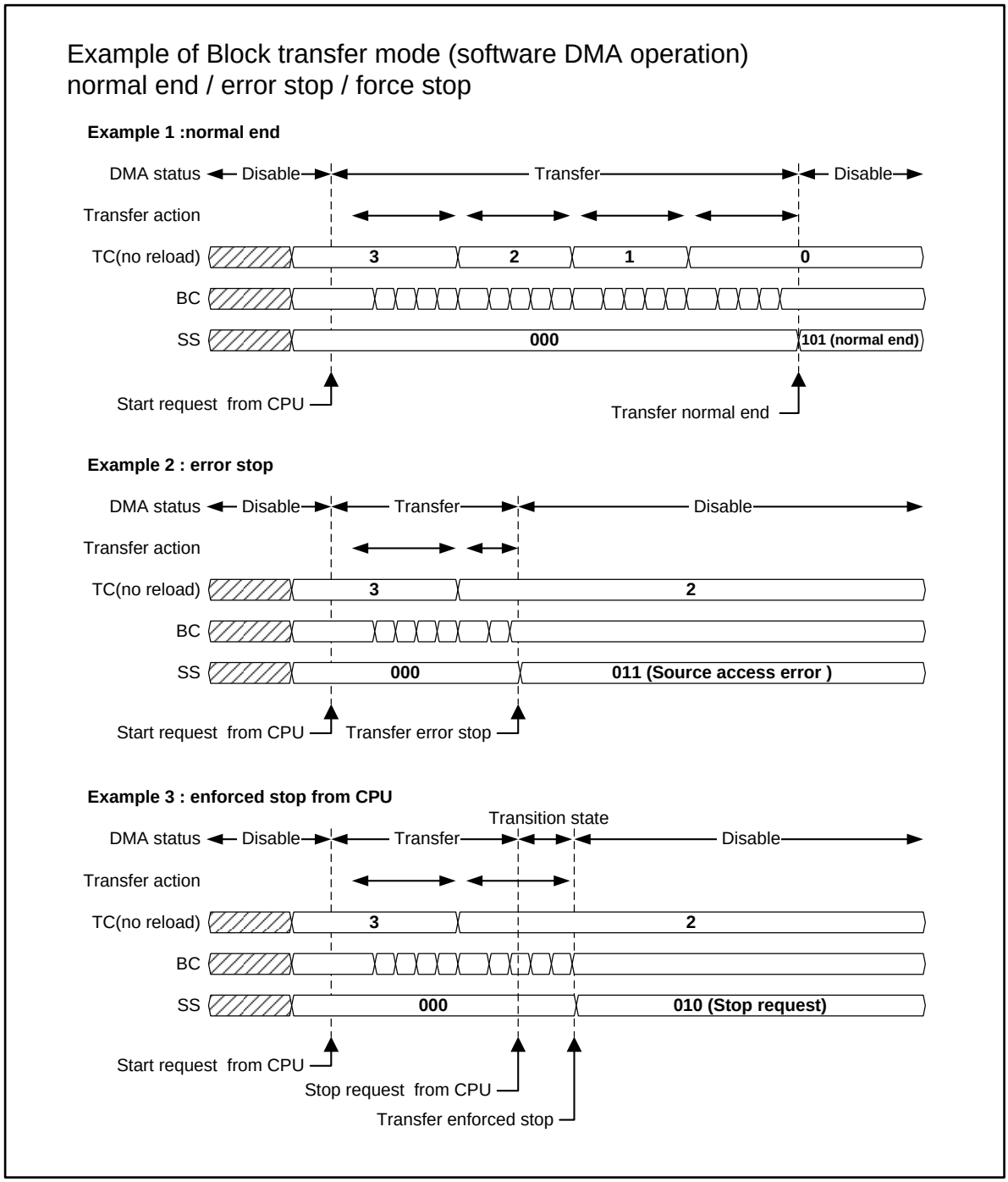
3. Transfer 状態

   Transfer 状態のチャネルは、システムバスにアクセス可能な状態になると、転送内容に従い転送を行います(他のチャネルの状況により、転送を開始するために時間を要する場合もあります)。Block 転送の場合、TC の更新の都度 Transfer Gap を発生します。Burst 転送の場合、Transfer Gap は発生しません。転送動作中、BC, TC, DMACSA, DMACDA は、その時点での転送回数残量, 転送アドレスを示しています。CPU から読み出すことで転送状況を確認できます。
   CPU から Transfer 状態のチャネルに対し、転送内容の指定変更(DMACSA, DMACDA, DMACA[29:0], DMACB[31:1]の各ビットの書換え)を行うことはできません(EB, PB, EM は書換えが可能です)。

4. Transfer 状態=>Disable 状態/転送正常終了

   Transfer 状態のチャネルは、(BC+1)×(TC+1)回の転送が正常終了すると、EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]=101 をセットし正常終了を通知します。Figure 4-2 Example 1 を参照してください。CI により転送正常終了割込みを許可している場合、割込みが発生します。BC, TC, DMACSA, DMACDA にリロードが指定されている場合、転送内容指定のリロードを実行します。

Figure 4-2 ソフトウェア・Block 転送動作例



5. Transfer 状態=>Disable 状態/転送エラー終了

   Transfer 状態のチャネルは、転送動作中に、アドレス・オーバフロー, 転送元アクセスエラー, 転送先アクセスエラーが発生した場合、転送処理を中断します。EB, PB, ST をクリアし、Disable 状態に遷移しま

す。SS[2:0]にエラー内容を示す値をセットし、エラー終了を通知します。Figure 4-2 Example 2 を参照してください。EI により転送異常終了割込みを許可している場合、割込みが発生します。リロード指定されていない BC, TC, DMACSA, DMACDA は、転送中断時の値の状態です。
通常、転送エラーは、システムバス上に存在しないアドレス領域や、DMAC からアクセスが禁止されているアドレス領域にアクセスを行った場合に発生するものです。一般的な用途の場合には発生しません。

6. Transfer 状態, Pause 状態=>Disable 状態/転送強制停止

   Transfer 状態・Pause 状態のチャネルに対し、CPU から個別チャネル動作禁止指示または全チャネル動作禁止指示を行うと該当するチャネルの転送動作を強制停止できます
   (Disable 状態のチャネルに動作禁止指示を行った場合の動作は、ソフトウェア手順 11.を参照してください)。
   CPU から指示を行うと、該当するチャネルは転送処理を中断します。EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]=010 をセットし、そのチャネルの転送が強制停止したことを通知します。
   EI により転送異常終了割込みを許可している場合、割込みが発生します。リロード指定されていない BC, TC, DMACSA, DMACDA は、転送中断時の値のままの状態です。
   Figure 4-2 Example 3 に示すように、CPU からの指示後、転送が停止するのは、該当するチャネルが転送を行っていないタイミング(転送開始前、Transfer Gap)です。Pause 状態のチャネルは、直ちに停止します。指示後、停止するまでの間に、時間差(Transition state)があります。BC の設定によっては、時間を要する場合もあります。この間に、新規の転送設定および新規転送開始はできないため、その際は、必ず停止の確認後に次の転送設定を行ってください。
   全チャネル動作禁止指示の場合、チャネルによって停止するタイミングは異なります。すべてのチャネルが停止すると、DS がセットされるため、すべてのチャネルが停止したことを確認できます。
   CPU から指示を行っても、転送モード(Burst/Block/Demand)や、転送状況(転送を行った回数, 動作禁止指示タイミング)などの要因により、強制終了せず、正常終了する場合があります。また、転送が停止する前に転送エラーが発生すれば、転送はエラー終了します。

7. Disable 状態/転送後処理

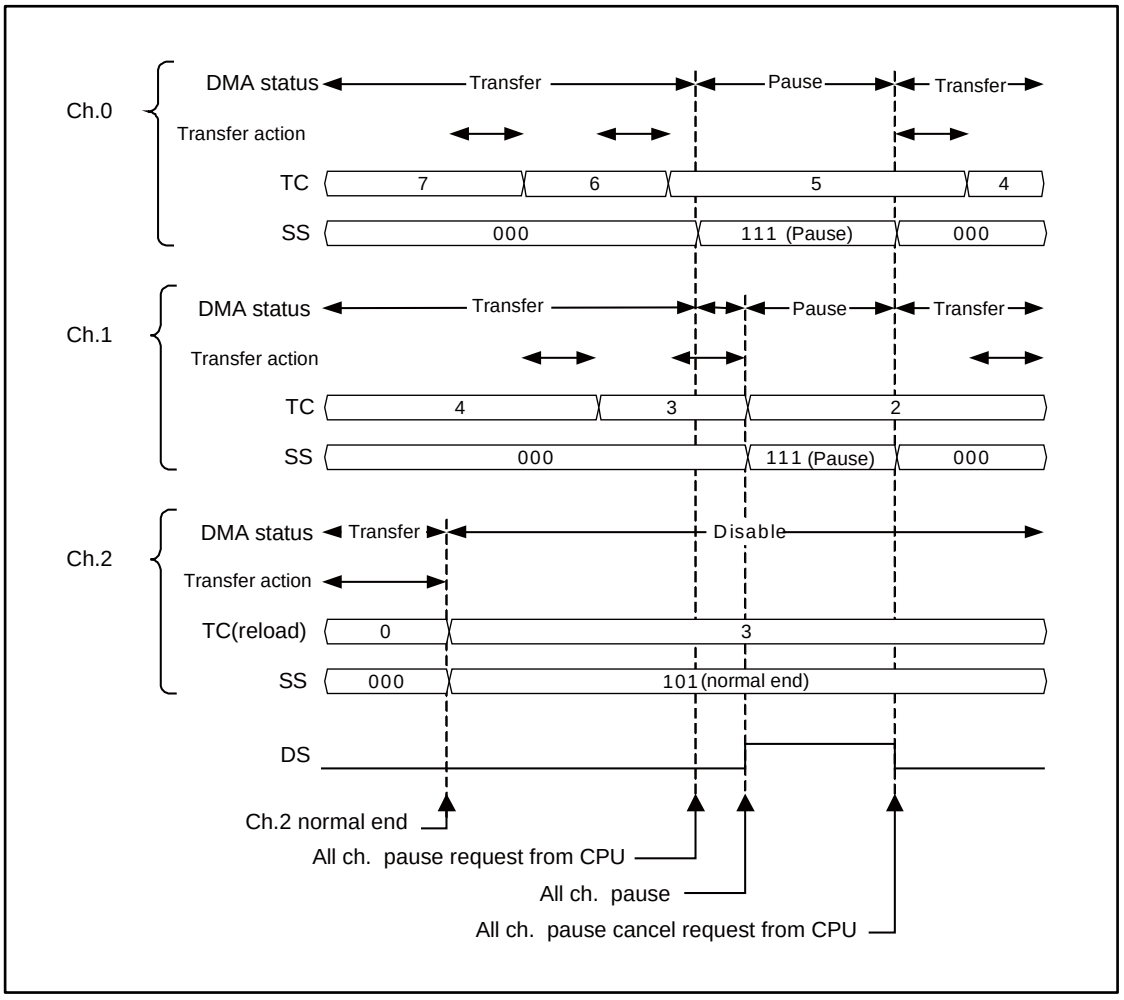
   CPU から SS の読出しを行い、転送終了状態を確認します。CPU から SS[2:0]をクリアし、次回の転送に備えます。割込みを許可している場合、SS のクリアにより DMAC からの割込み信号がディアサートされます。
   正常終了の場合、必要に応じて CPU から転送内容の再設定を行います。各リロード指定がされている場合、BC, TC, DMACSA, DMACDA は、転送開始前の値がリロードされています。各リロード指定がされていない場合、BC, TC は、"0"に初期化されています。DMACSA, DMACDA は、次の転送アドレスを示しています。
   エラー終了, 強制終了の場合、BC, TC, DMACSA, DMACDA は、中断時の値の場合がありますので、必ず再設定をしてください。
   全チャネル動作禁止指示により停止している場合、DE=0 であるため、次回の転送には、全チャネル動作許可指示, 個別チャネル動作許可指示が必要です。

8. Transfer 状態/転送一時停止

   Transfer 状態のチャネルに対し、CPU から個別チャネルの一時停止指示または全チャネル一時停止指示を行うと、該当するチャネルの転送動作を一時停止できます(Disable 状態のチャネルに一時停止指示を行った場合の動作は、ソフトウェア手順 11.を参照してください)。
   CPU から指示を行うと、該当するチャネルは転送処理一時停止します。SS=111 をセットし Pause 状態であることを通知します。この場合に割込みは発生させられません。
   CPU からの指示後、転送が停止するのは、該当するチャネルが転送を行っていないタイミング(転送開始前、Transfer Gap)です。指示後、停止するまでの間に、時間差(Transition state)があります。BC の設定によっては、時間を要する場合もあります。Figure 4-3 を参照してください。

全チャネル一時停止指示の場合、チャネルによって停止するタイミングは異なります。すべてのチャネルが停止すると、DS がセットされるため、すべてのチャネルが停止したことを確認できます。Figure 4-3 を参照してください。
CPU から指示を行っても、転送モード(Burst/Block/Demand)や、転送状況(転送を行った回数, 一時停止指示タイミング)などの要因により、一時停止せず、正常終了する場合があります。また、転送が停止する前に転送エラーが発生すれば、転送はエラー終了します。

Figure 4-3 全チャネル一時停止指示時の動作



9. Pause 状態

   CPU から SS の読出しを行い、一時停止を確認します。Pause 状態にあるチャネルの SS[2:0]は"111"の値であり、この状態にある間、CPU からはクリアできません。
   一時停止中であっても、CPU から転送内容の指定変更(DMACSA, DMACDA, DMACA[29:0], DMACB[31:1]の各ビットの書換え)はできません。また、Pause 状態のチャネルに対する一時停止指示は、Pause 状態を継続します。

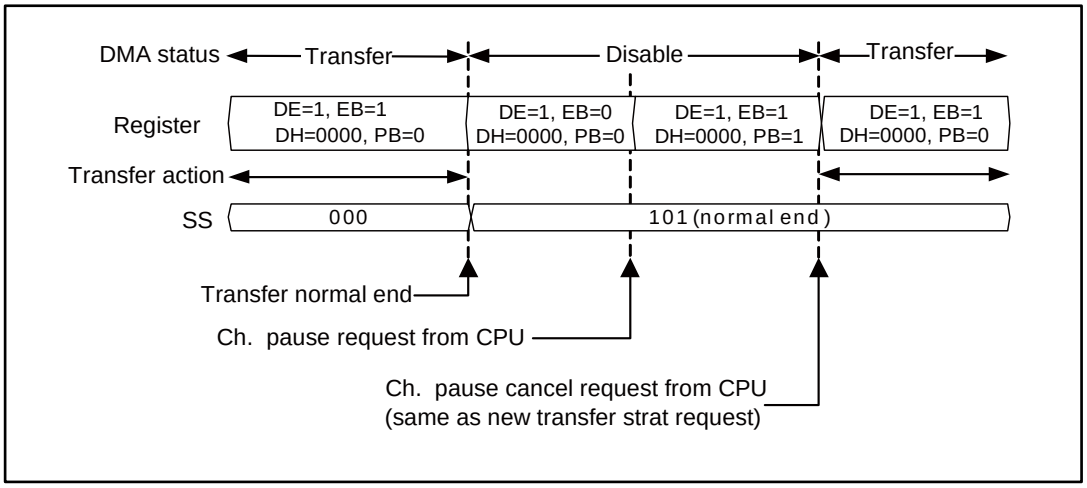
10. Pause 状態/転送一時停止解除

個別チャネル一時停止指示で Pause 状態になっているチャネルに、個別チャネル動作許可指示を行うと該当するチャネルは Transfer 状態に戻ります。また、全チャネル一時停止指示で Pause 状態になっているチャネルに、全チャネル動作許可指示を行うと該当するチャネルは Transfer 状態に戻ります。両方の一時停止指示を行っている場合、両方の解除指示をしてください。
解除の指示後、SS[2:0]は DMAC から"000"にクリアされます。
個別チャネル動作許可指示および全チャネル動作許可指示は、Pause 状態で発行された場合は、一時停止の解除を指示します。しかし、Disable 状態で発行された場合は、新規の転送を開始する指示になる場合があるため、注意してください。ソフトウェア手順 11 を参照してください。
Figure 4-3 に、全チャネル一時停止指示を行った場合の例を示します。Figure 4-3 の説明を以下に行います。
最初の時点では、ch.0～ch.2 の 3 つのチャネルが Block 転送モードでそれぞれ転送動作を行っています。ch.2 は転送を正常終了し、Disable 状態に遷移し SS[2:0]=101 をセットしています。その後、ch.0 と ch.1 が交互に転送を行っています。
ここで、CPU から全チャネル一時停止指示を行うと以下の動作となります。ch.0 は Transfer Gap のタイミングのため、直ちに Pause 状態に遷移し、SS[2:0]=111 となります。ch.1 は転送中のため、次の Transfer Gap のタイミングまで転送を行い、その後 Pause 状態に遷移し、SS[2:0]=111 となります。ch.2 は Disable 状態のため、Disable 状態のままで SS[2:0]を変化させません。すべてのチャネルが動作停止となった時点で DS がセットされます。
次に CPU から全チャネル動作許可指示(一時停止解除の指示)を行うと以下の動作となります。ch.0, ch.1 は Transfer 状態に復帰し、SS[2:0]を"000"にクリアします。ch.2 は Disable 状態(DE=1, EB=0)のため、動作開始せずそのままの状態です。全チャネル一時停止解除となると、DS がリセットされます。

11. Disable 状態での動作

Disable 状態のチャネルは、DE=1, DH=0000, EB=1, PB=0 の条件が成立しない限り、Disable 状態を継続します。ソフトウェア手順 1-2.では、DE=0, EB=0 の状態から、DE を先にセットし、次に EB をセットしましたが、逆に EB をセットしてから、DE をセットしても問題ありません。転送を行う複数のチャネルの転送設定をすべて完了してから、最後に DE をセットできます。この場合、転送を行う複数のチャネルに同時に転送開始を指示できます。同時に転送開始指示がなされた場合、DMAC は PR の設定に従って転送を開始するチャネルを選択します(PR の設定変更は、全チャネルの動作が禁止されているときのみ行えます)。
Disable 状態のチャネルに対して個別チャネル動作禁止指示, 個別チャネル一時停止指示, 全チャネル動作禁止指示, 全チャネル一時停止指示を行った場合、DE, DH, EB, PB のビット設定が変更されるだけで、DE=1, DH=0000, EB=1, PB=0 の条件が成立しないため、該当チャネルは何も行わず、SS[2:0]は変化しません。Figure 4-3 の ch.2 の動作に示した例のように、CPU からの全チャネル一時停止指示が、Disable 状態のチャネルに発行された場合、そのチャネルは状態変化せず、その前の転送の終了状態の SS[2:0]を示したままとなります。
Disable 状態のチャネルに、個別・全チャネル一時停止指示を行うと、DE=1, EB=1, (DH!=0000 or PB=1) の Disable 状態になることがあります。この状態のビット値は、Pause 状態の DE, EB, DH, PB と同じですが、SS[2:0]が異なる値のため区別できます。Figure 4-4 に例を示します。

Figure 4-4 Disable 状態で個別チャネル一時停止指示を行った場合の例



あるチャネルにて転送動作を行っています。また、CPU からそのチャネルに対し、個別チャネル一時停止指示を行っています。その指示は、転送が終了し Disable 状態(DE=1, DH=0000, EB=0, PB=0)になってから発行されています。転送動作中のチャネルは、CPU の意図しない間に状態を変化させるため、このような現象は起こり得ます。この場合、該当チャネルのビット値は、CPU からの指示により、(DE=1, DH=0000, EB=1, PB=1)に変化しますが、SS[2:0]は終了時の"101"のままです。一時停止指示で停止していれば、SS[2:0]は"111"となるため、一時停止状態なのか、転送が終了した状態なのかを区別できます。SS[2:0]でチャネルの状態を確認せずに、一時停止解除の指示(動作許可指示と同じ)を行うと、Figure 4-4 に示すように、新規の転送が開始されるため、注意してください。

補足事項 1

転送終了時、ST はクリアされるため、転送終了後の ST の読出し値は"0"です。ソフトウェア転送の場合、ST は読出し値にかかわらず、常に"1"を書き込む必要があるため、注意してください。

補足事項 2

個別チャネル動作許可指示により、転送開始を指示した後、転送終了が確認できるまでの間は、再度、個別チャネル動作許可指示を行うことはできません。これは、制御対象チャネルは、CPU の意図しない間に状態を変化させることがあるため、DMAC が Disable 状態(EB=0)に遷移している場合に新規の転送開始を指示することになるからです。仮に SS[2:0]の値で制御対象チャネルが Transfer 状態にあることの確認を行ったとしても、その時点から書込みを行うまでの間に、制御対象チャネルが Disable 状態に変化することがあります。

補足事項 3

DE, DH の値は CPU からのみ書換えが可能で、DMAC 側からこのレジスタをクリアすることはありません。このため、転送動作中に DE=1, DH=00000 の書込みを行うことは問題ありません。
また、全チャネル Pause 状態にあるチャネル(DE=1, DH!=0000, EB=1, PB=0)に対して、個別チャネル動作禁止指示を行った場合、DH はクリアされません。指示後、該当チャネルは、Disable 状態(DE=1, DH!=0000, EB=0, PB=0)に遷移します。ここから、該当チャネルの新規転送を開始するためには、DE=1, DH=0000 を書き込んでください。これは、個別チャネルの新規転送開始のために、全チャネルの一時停止解除が必要になることを示しています。

補足事項 4

SS[2:0]の値は、転送終了時に DMAC からセットされ、Disable 状態にある間は DMAC から書き換えられることはありません。SS[2:0]の値をクリアしなくても、次の転送を開始できます。ただし、Transfer 状態に遷移すると、SS[2:0]は DMAC からクリアされることがあります(クリアされない場合もあります)。DMAC からの割込みを使用している場合、SS[2:0]をクリアせずに Transfer 状態に遷移すると、CPU の意図しないタイミングで割込み信号がディアサートされるため、注意してください。

4.3 ハードウェア(EM=0)転送時の DMAC 動作と制御手順

ハードウェア(EM=0)転送時の DMAC 動作と制御手順を以下に示します。

Figure 4-5 ハードウェア(EM=0)転送状態遷移図

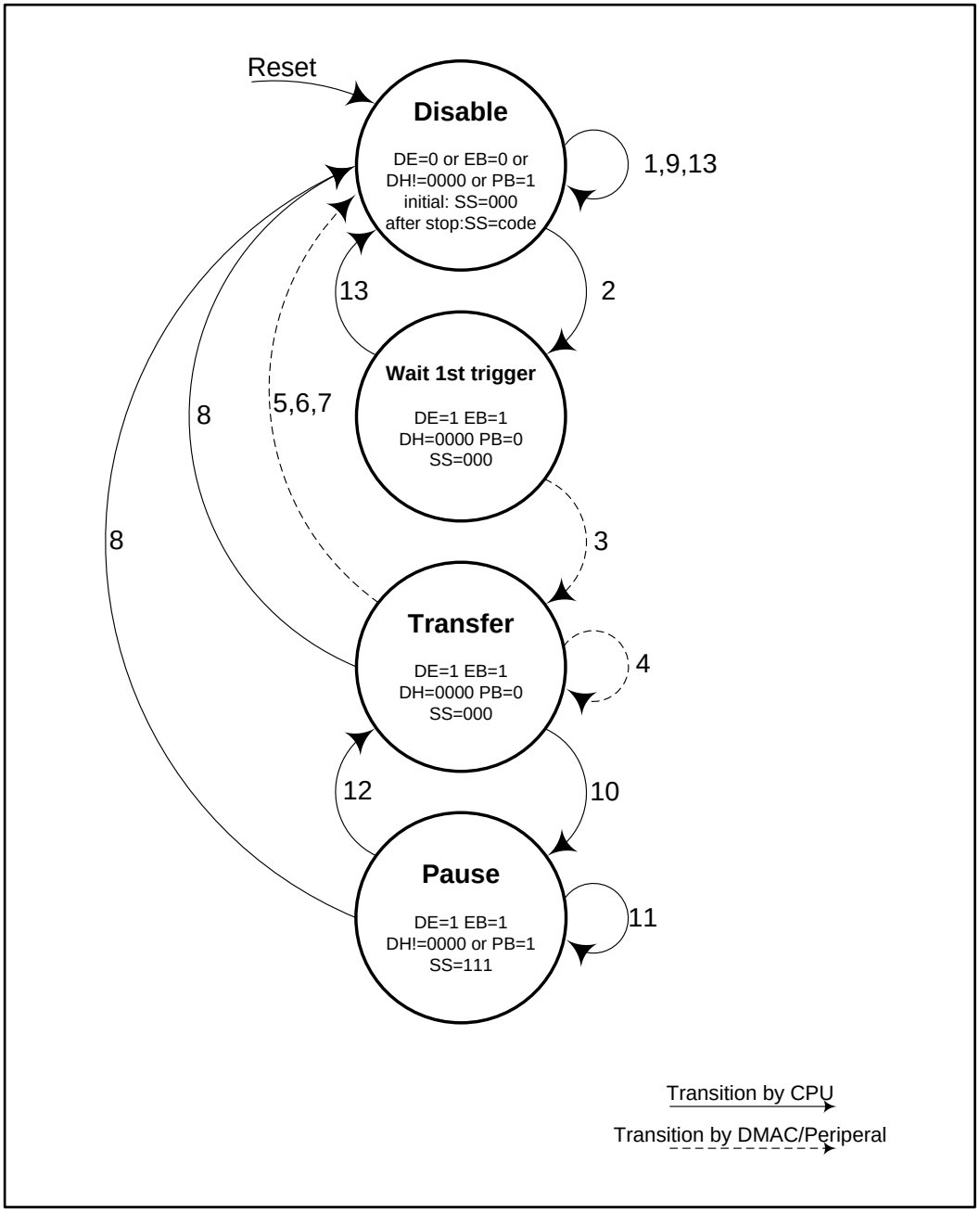


Figure 4-5 にハードウェア(EM=0)転送の場合の制御対象チャネルの状態遷移図を示します。Figure 4-5 の遷移線の番号は、以降の制御手順の説明の番号に対応しています。実線の遷移線は、CPU からの指示による状態遷移を示します。破線の遷移線は、DMAC/Peripheral の動作による状態遷移を示します。

以降の説明で"ソフトウェア転送手順参照してください"との記載がある箇所がありますが、これは、特記のない事項は、ソフトウェア転送手順と同じ制御になるため説明を省略していることを示しています。本例では、EM=0の設定を行っている前提で説明を行っています。

各状態の説明

■ Disable 状態

「4.2 ソフトウェア転送時の DMAC 動作と制御手順」の「 制御手順の説明」を参照してください。

■ Wait-1st-trigger 状態

制御対象のチャネルの転送が許可されている状態です。この状態のチャネルは、Peripheral からの最初の転送要求がアサートされるまで待機しています。また、CPU から指示により、状態を変化させます。

■ Transfer 状態

制御対象のチャネルが Peripheral からの最初の転送要求を受け取った後の状態です。この状態のチャネルは、指定された内容の転送動作を行います。すべての転送動作が終了すると Disable 状態に復帰します。また、CPU からの指示により、状態を変化させます。

■ Pause 状態

「4.2 ソフトウェア転送時の DMAC 動作と制御手順」の「制御手順の説明」を参照してください。

制御手順の説明

1. Disable 状態/転送準備

   ソフトウェア転送手順 1.を参照してください。
   ハードウェア転送の場合、次の制約があります。
   事前にどの Peripheral からの割込み信号を DMAC に対する転送要求信号として使用するかを割込みコントローラ部にて選択してください(『割込み』の章 「4.1DMAC DMA 要求選択レジスタ(DRQSEL)」を参照してください)。ST=0 を設定し、同時に IS により、転送を行うチャネルでどの Peripheral の転送要求を処理するかを指定します。複数のチャネルで同じ Peripheral の転送要求は処理できません。Demand 転送モードの場合は、BC=0 を設定してください。本節では、EM=0 を設定した場合の動作説明を行います。

2. Disable 状態=>Wait-1st-trigger 状態/転送許可

   CPU から個別チャネル動作許可指示を行います。DE=1, EB=1, DH=0000, PB=0 の状態になると、制御対象のチャネルは Wait-1st-trigger 状態へ遷移します。

3. Wait-1st-trigger 状態/転送開始

   Wait-1st-trigger 状態のチャネルは、Peripheral から転送要求信号がアサートされるか、CPU からの指示を待っている状態です。最初の転送要求信号がアサートされると、Transfer 状態に遷移します。

4. Transfer 状態

   ソフトウェア転送手順 3.を参照してください。
   Transfer 状態のチャネルは、ハードウェア転送の場合、「3.3. ハードウェア・Demand 転送」,「3.4. ハードウェア・Block 転送/Burst 転送」に示したように Peripheral からの転送要求信号により、転送動作を行います。それぞれの動作モードで、Peripheral からの転送要求の回数と DMAC が必要とする転送要求回数を合わせてください。それぞれの動作モードで転送要求回数に過不足が生じた場合の動作を以下に説明します。

Figure 4-6 に Demand 転送の場合を示します。Demand 転送の場合、転送を終了するために必要な転送要求回数は、TC+1 回です。転送要求回数に過不足がない場合、特に CPU が介在する必要はありません(Figure 4-6 Example 1)。
DMAC の転送回数設定より、Peripheral から発生する転送要求回数が多くなった場合、DMAC は、所定の転送を終了後、Disable 状態に遷移します。Disable 状態ではそれ以上の転送は実行しません。また、超過した転送要求信号は、DMAC からはクリアされないため、アサートされた状態が継続されます(Figure 4-6 Example 2)。
DMAC の転送回数設定より、Peripheral から発生する転送要求回数が少ない場合、DMAC は、Transfer 状態で、残りの転送要求を待機します(Figure 4-6 Example 3)。
Peripheral からの転送要求発生間隔に対して、DMAC の転送処理が間に合わない場合が想定されます。Demand 転送の場合は、転送要求信号がアサート状態のため、TC+1 回の転送を行えます(Figure 4-6 Example 4)。

Figure 4-6 ハードウェア・Demand 転送の動作

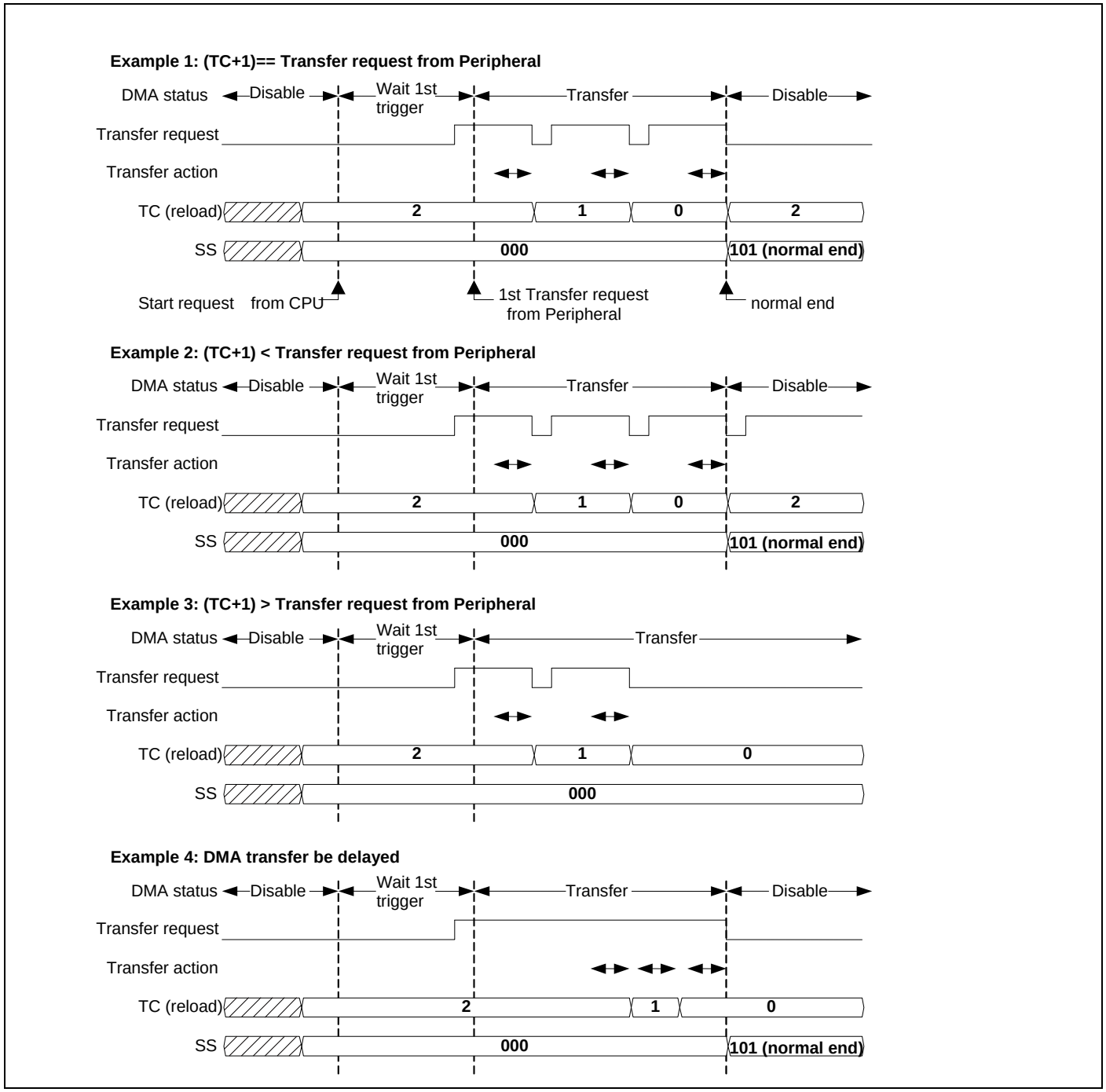
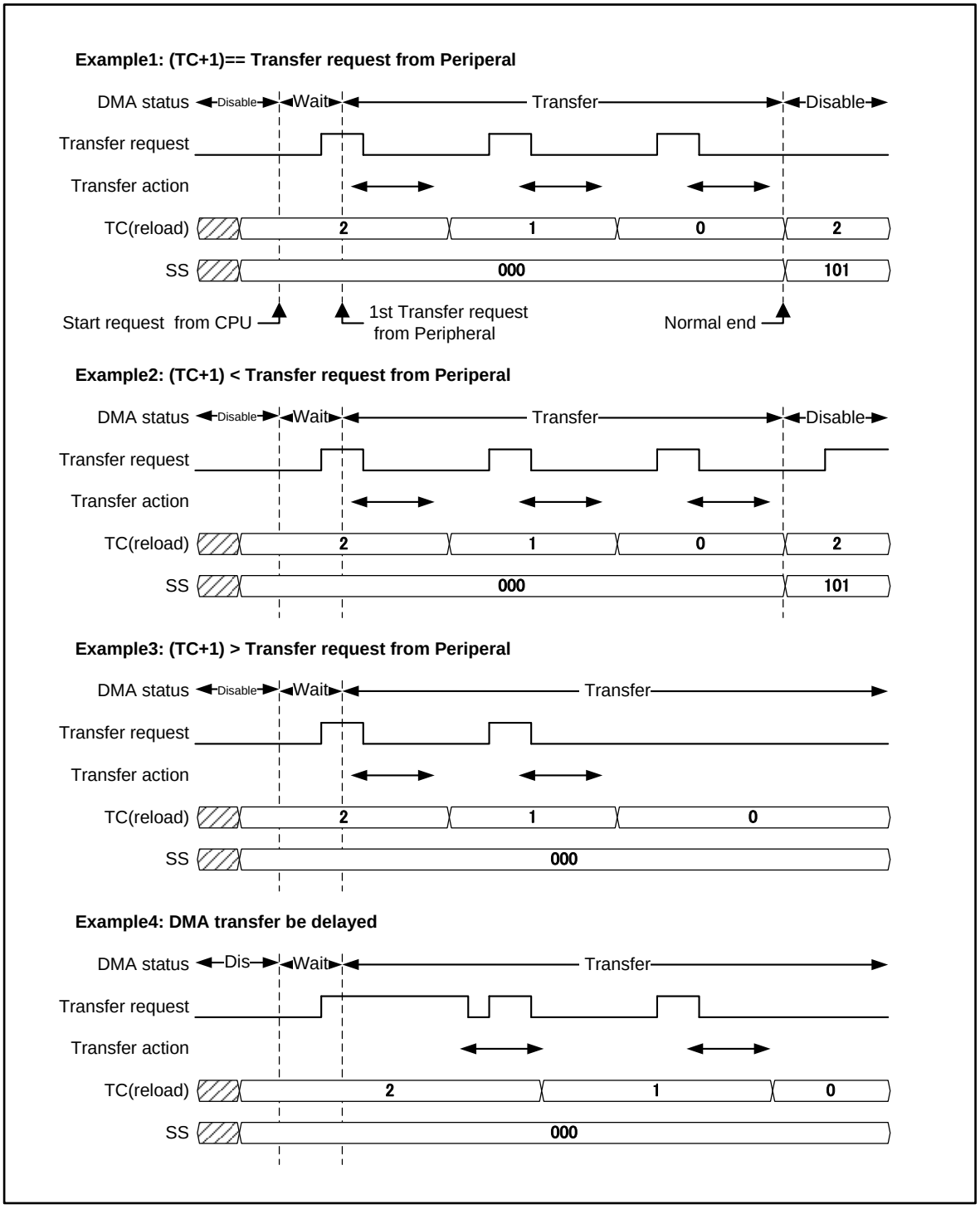


Figure 4-7 に Block 転送の場合を示します。Block 転送の場合、転送を終了するために必要な転送要求は、TC+1 回です。転送要求回数に過不足がない場合、特に CPU が介在する必要はありません(Figure 4-7 Example 1)。

Figure 4-7 ハードウェア・Block 転送の動作



DMAC の転送回数設定より、Peripheral から発生する転送要求回数が多い場合、DMAC は、所定の転送を終了後、Disable 状態に遷移します。Disable 状態ではそれ以上の転送は実行しません。また、超過した転送要求信号は、DMAC からはクリアされないため、アサートされたままの状態を継続します。この場合 CPU から転送要求信号をディアサートしてください(Figure 4-7 Example 2)。
DMAC の転送回数設定より、Peripheral から発生する転送要求回数が少ない場合、DMAC は Transfer 状態で、残りの転送要求を待機します(Figure 4-7 Example 3)。
Peripheral からの転送要求発生間隔に対して、DMAC の転送処理が間に合わない場合が想定されます。Block 転送の場合は、Peripheral からの転送要求に対して、DMAC の転送処理が遅れた場合、転送動作中の次の転送要求信号の立上りエッジは無視されます。また、転送動作中にアサートされた転送要求信号は、DMAC からクリアされます。その後、DMAC は Transfer 状態で、残りの転送要求を待機します(Figure 4-7 Example 4)。
Burst 転送の場合、最初の転送要求を受け取り後、システムバスにアクセス可能な状態になると、(BC+1)×(TC+1)回のすべての転送を行います。必要な Peripheral からの転送要求回数は最初の 1 回となります。転送要求信号の発生回数に超過が生じた場合は、Block 転送と同様に Disable 状態で無視されます。

5. Transfer 状態=>Disable 状態/転送正常終了

   ソフトウェア転送手順 4.を参照してください。

6. Transfer 状態=>Disable 状態/転送エラー終了

   ソフトウェア転送手順 5.を参照してください。

7. Transfer 状態=>Disable 状態/Peripheral 停止要求終了

   Transfer 状態のチャネルは、Peripheral から転送停止要求信号がアサートされた場合、転送処理を中断します。EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]に"010"をセットし、エラー終了を通知します。EI により割込みを許可している場合、転送異常終了割込みが発生します。リロード指定されていない BC, TC, DMACSA, DMACDA は、転送中断時の値の状態です。SS[2:0]の値がソフトウェアからの停止要求と同じため、注意してください。

8. Transfer 状態, Pause 状態=>Disable 状態/転送強制停止

   ソフトウェア転送手順 6.を参照してください。

9. Disable 状態/転送後処理

   ソフトウェア転送手順 7.を参照してください。
   通常、Peripheral からの停止要求, ソフトウェアからの強制停止, 転送エラー停止の場合は、Peripheral からの転送要求回数より、転送処理回数が少なくなるため、転送要求信号がアサートされたままの状態です。CPU から Peripheral に対して、転送要求信号のディアサートを指示してください。Peripheral からの停止要求の場合、停止要求信号がアサートされている間は、転送要求信号がマスクされる構成です。転送停止要求信号もディアサートしてください。
   DMAC が所定回数の転送を正常終了した場合であっても、Peripheral の設定によっては転送要求信号がアサートされたままの状態または再アサートされる場合があります。この場合、次回の転送に支障が発生することがあるため、注意してください。

10. Transfer 状態・Pause 状態/転送一時停止

    ソフトウェア転送手順 8.を参照してください。

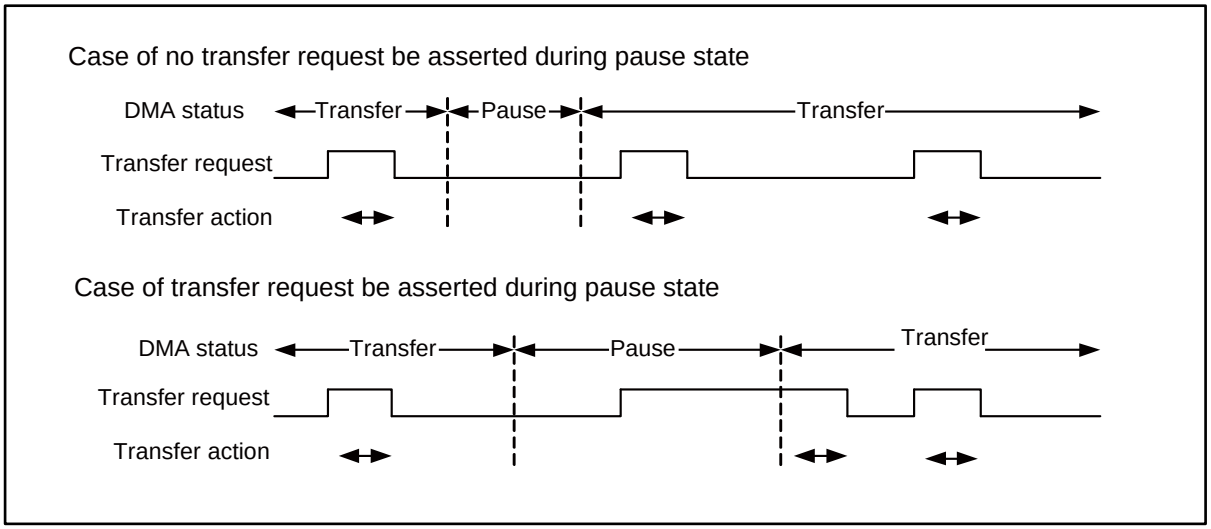
11. Pause 状態

    ソフトウェア転送手順 9.を参照してください。
    Pause 状態のチャネルは、Peripheral からの転送要求信号がアサートされても、転送を実行しません。また転送要求信号のクリアも行いません。

12. Pause 状態/転送一時停止解除

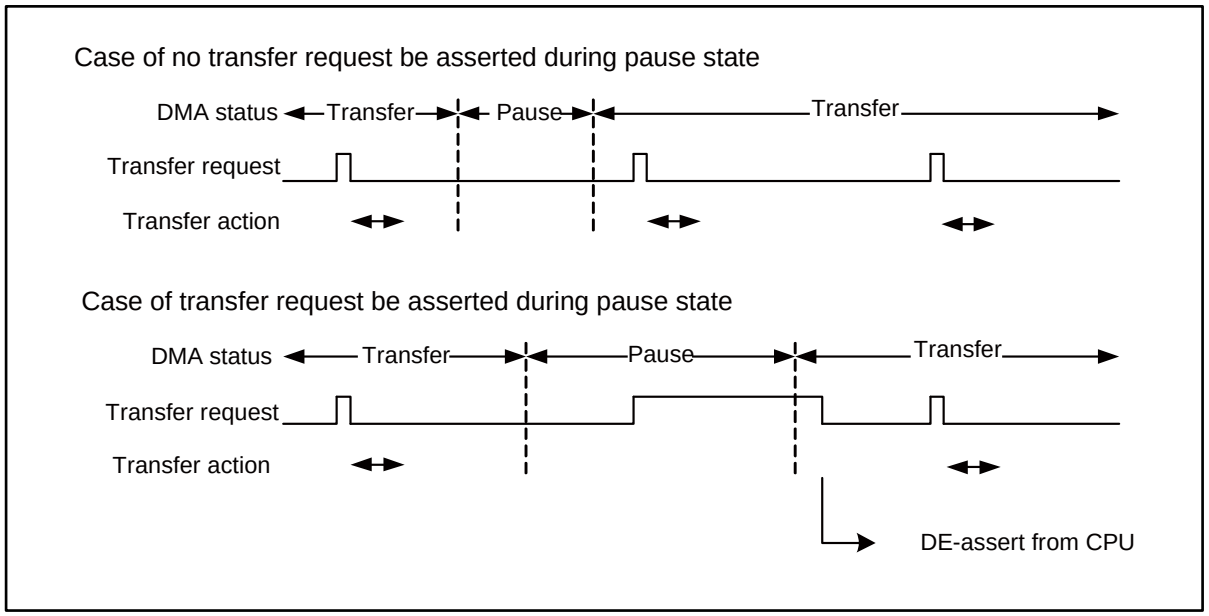
ソフトウェア転送手順 10.を参照してください。
Pause 状態から一時停止解除指示を行うと、Transfer 状態に戻ります。前の Pause 状態で転送要求信号のアサートがあった場合、転送モードにより、以下のように動作が異なります。
Demand 転送モードの場合、Pause 状態から転送要求信号がアサート状態のため、DMAC が Transfer 状態に戻った時点で、転送が再開され、転送要求信号は通常どおりクリアします。Figure 4-8 を参照してください。

Figure 4-8 Pause 状態での Demand 転送動作



Block 転送モードの場合、Pause 状態から転送要求信号がアサートされたままのため、Transfer 状態に戻っても、転送要求信号の立上りエッジが検出されず、転送を再開しません。このため、Pause 中の転送要求は無視されます。また DMAC から転送要求信号のクリアも行われません。一時停止した転送を再開するためには、DMAC に対する一時停止解除の指示後、CPU から Peripheral に対して、転送要求信号のディアサートを指示してください。その後、Peripheral から次の転送要求が発生した時点で、転送が再開されます。この場合、Peripheral が出力する転送要求回数と DMAC が受け取る転送要求回数が異なるため、注意してください。Figure 4-9 を参照してください。

Figure 4-9 Pause 状態での Block 転送動作



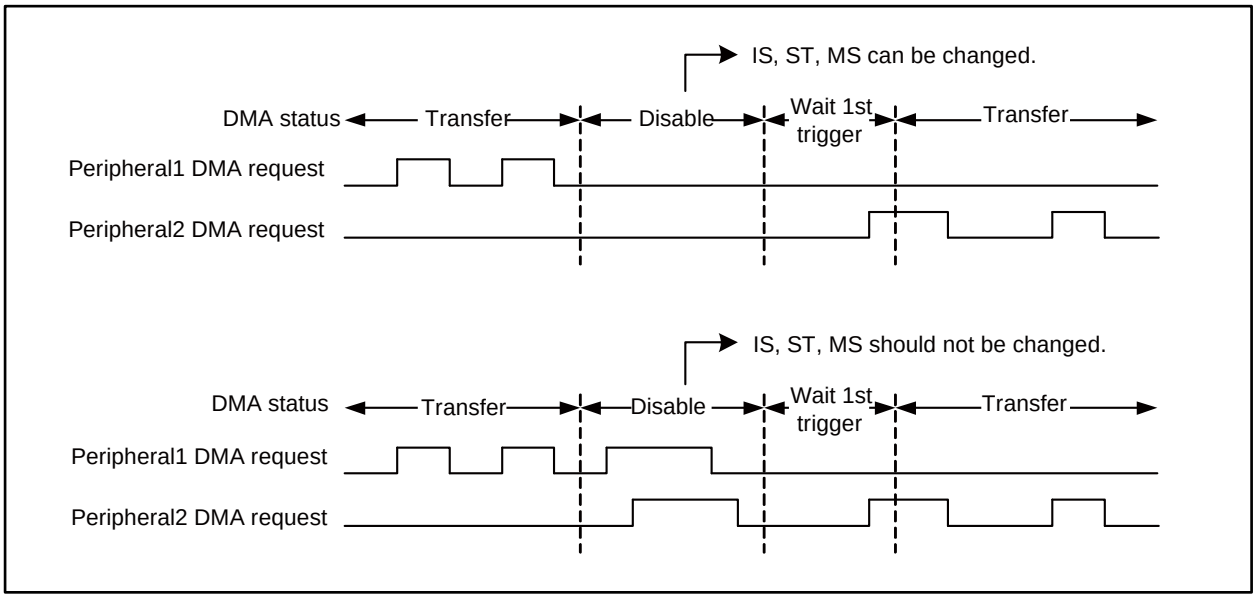
13. Disable 状態・Wait-1st-trigger 状態の動作

ソフトウェア転送手順 11 を参照してください。

Disable 状態のチャネルは、転送要求信号がアサートされていない場合、転送内容の指定変更(DMACSA, DMACDA, DMACA[29:0], DMACB の各レジスタの書換え)を自由に行えます。

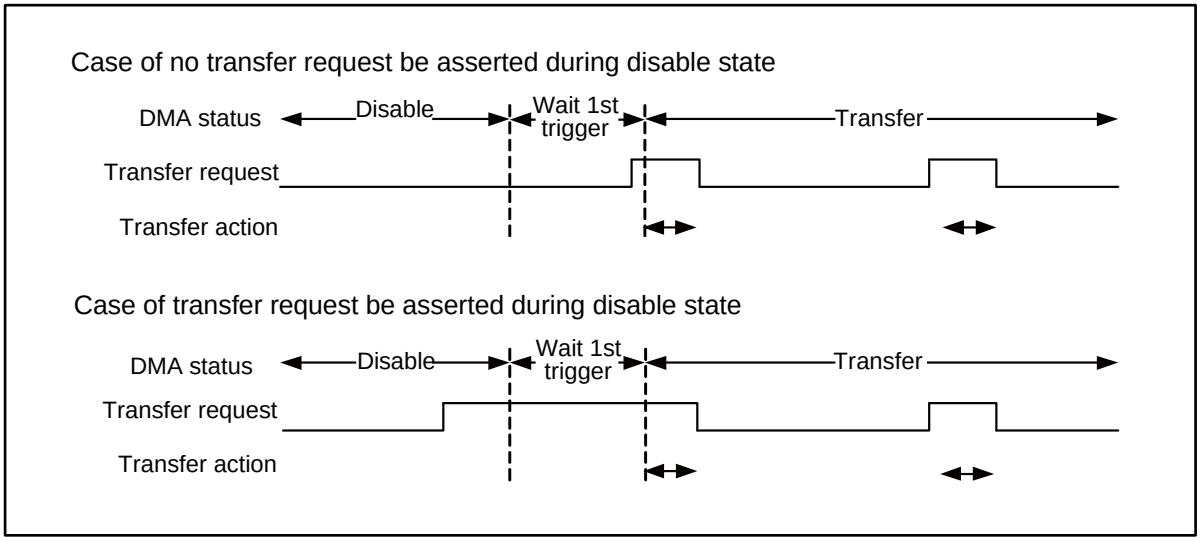
Disable 状態のチャネルは、転送要求信号がアサートされているまたはアサートされる可能性がある場合、転送内容の指定のうち、IS, ST, MS ビットの指定は変更できません。設定変更を行うと、DMAC が予期せぬ動作をすることがあります。IS, ST, MS の設定変更を行う際は、最初に、CPU から両方の Peripheral(変更前, 変更後に使用する Peripheral)に対し、転送要求信号のクリアなどを行い、必ず転送要求信号がディアサートされている状態で、設定変更を行ってください。Figure 4-10 を参照してください。

Figure 4-10 IS,ST,MS の設定変更



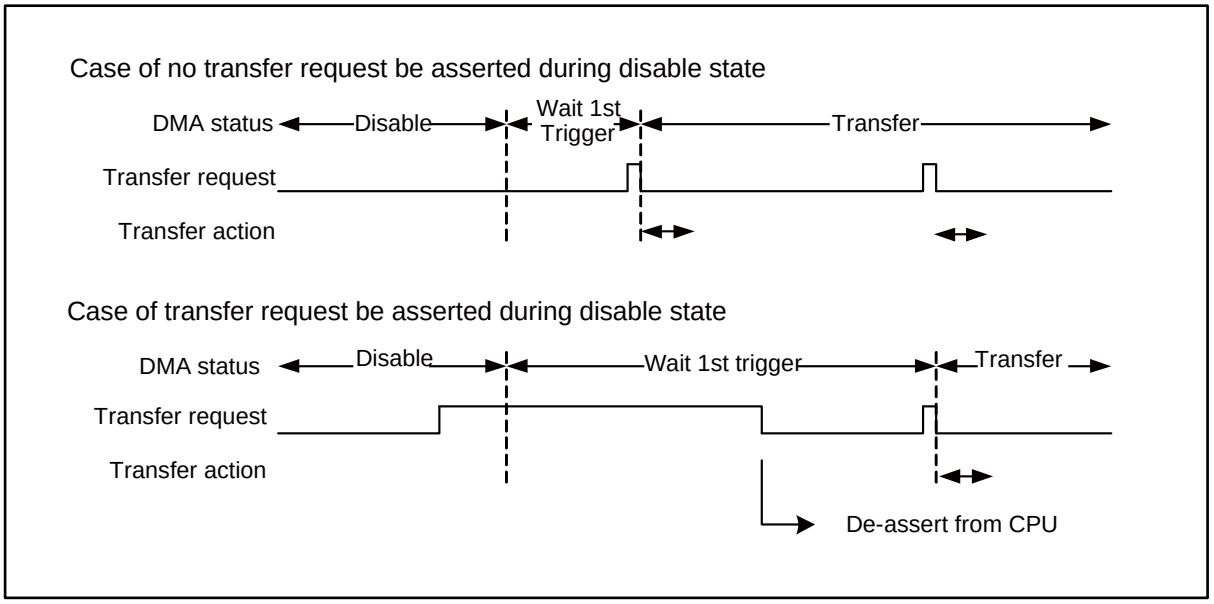
Wait-1st-trigger 状態のチャネルに対し、CPU から転送内容の指定の変更はできません。
Wait-1st-trigger 状態のチャネルは、転送要求信号がアサートされていない場合、CPU から個別・全チャネル動作禁止指示, 個別・全チャネル一時停止指示で、Disable 状態に遷移します。この場合、転送許可をキャンセルしたことになります。いずれの場合も SS は変化しません。
Wait-1st-trigger 状態のチャネルは、転送要求信号がアサートされる可能性がある場合、CPU から転送許可のキャンセルを行おうとしても、DMAC が転送を開始しているまたは既に転送を終了していることがあるため、注意してください。
Disable 状態では、転送要求信号がアサートされても、DMAC は転送を開始せず、転送要求のクリアも行いません。転送要求信号がアサートされている状態で、CPU の指示により、Wait-1st-trigger 状態に遷移した場合、以下のような動作を行います(最初に示したように、IS, ST, MS の設定変更を行わない場合に限ります)。
Demand 転送モードの場合、転送要求信号がアサートされたままのため、DMAC は、直ちに Transfer 状態に遷移し転送を開始します。転送要求信号は通常どおり DMAC からクリアされます。Figure 4-11 を参照してください。

Figure 4-11 Disable 状態での Demand 転送動作



Block 転送モードの場合、転送要求信号がアサートされたままのため、Wait-1st-trigger 状態に遷移しても、転送要求信号の立上りエッジが検出されず、転送を開始しません。このため、Disable 状態での転送要求は無視されます。また DMAC から転送要求信号のクリアも行われません。転送を開始するためには、DMAC に対して、Wait-1st-trigger 状態への遷移の指示後、CPU から Peripheral に対して、転送要求信号のディアサートを指示してください。その後、Peripheral から次の転送要求が発生した時点で、Transfer 状態に遷移し、転送が開始されます。この場合、Peripheral が出力する転送要求回数と DMAC が受け取る転送要求回数が異なるため、注意してください。Figure 4-12 を参照してください。

Figure 4-12 Disable 状態での Block 転送動作



補足事項 1

ソフトウェア転送手順 補足事項 1 を参照してください。
ハードウェア転送の場合、ST は常に"0"を書き込みます。

補足事項 2

ソフトウェア転送手順 補足事項 2 を参照してください。

補足事項 3

ソフトウェア転送手順 補足事項 3 を参照してください。

補足事項 4

ソフトウェア転送手順 補足事項 4 を参照してください。

補足事項 5

Peripheral からの転送要求信号(割込み信号)をディアサートする必要が生じた場合、以下の方法があります。通常、Peripheral の割込み信号は、割込み要因フラグを割込み許可フラグでマスク(論理 AND)した構成です。どちらかのフラグをリセットすることにより、割込み信号をディアサートできます。割込み許可フラグをリセットし、その後セットすると、割込み信号に立上りエッジが生じます。この手順により、DMAC に対し Block 転送の転送要求を再度通知できます。詳細は、各 Peripheral のマニュアルにて確認してください。

4.4 ハードウェア(EM=1)転送時の DMAC 動作と制御手順

ハードウェア(EM=1)転送時の DMAC 動作と制御手順を以下に示します。

Figure 4-13 ハードウェア(EM=1)転送状態遷移図

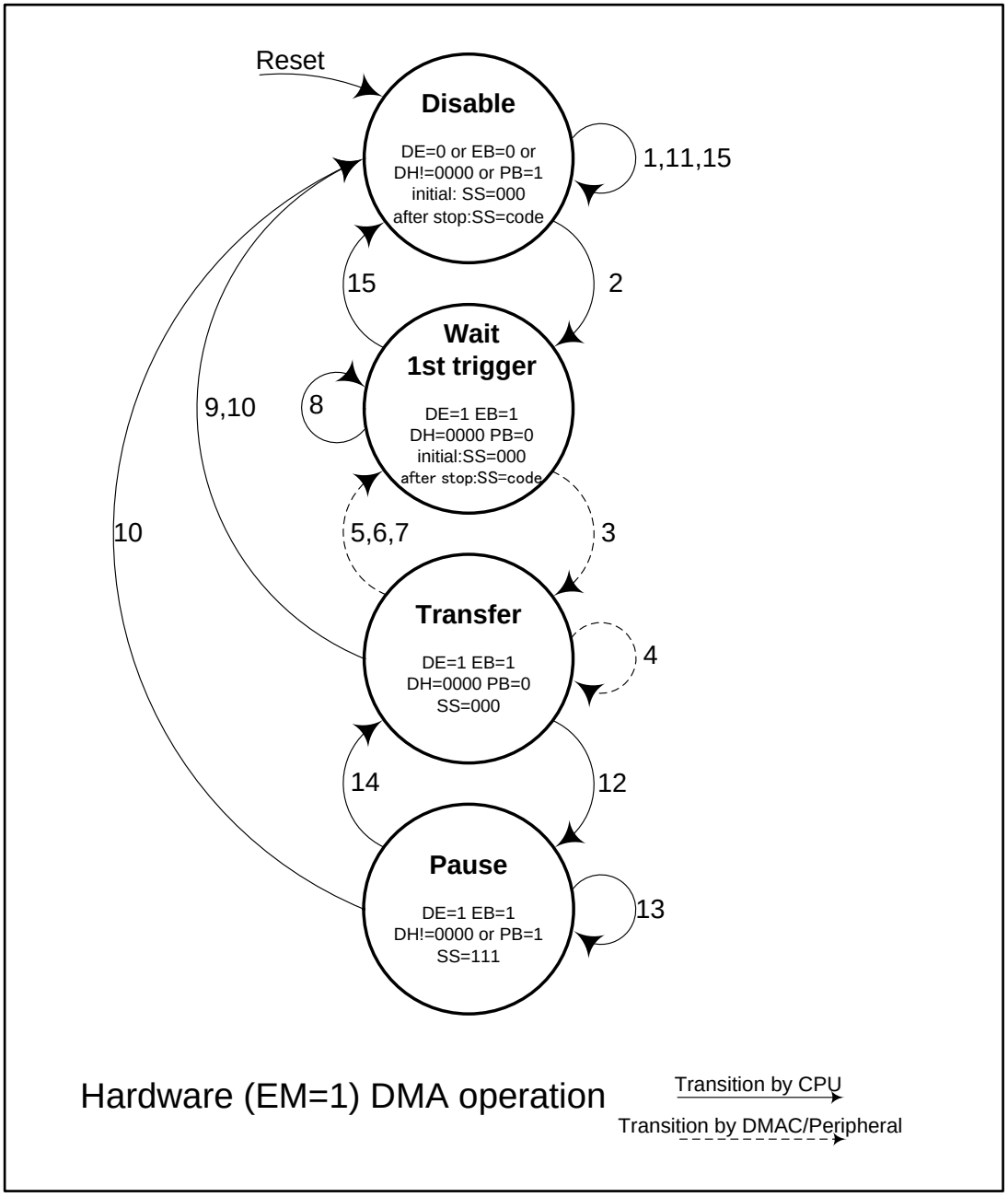


Figure 4-13 にハードウェア(EM=1)転送時の制御対象チャネルの状態遷移を示します。Figure 4-13 の遷移線の番号は、以降の制御手順の説明の番号に対応しています。実線の遷移線は、CPU からの指示による状態遷移を示します。破線の遷移線は、DMAC/Peripheral の動作による状態遷移を示します。

EM(Enable bit clear mask)は、制御対象のチャネルの転送終了時、EB クリアをマスクするビットです。EM=1 とすることで、CPU から指示することなく、同じ転送処理を繰り返せます。

各状態の説明

■ Disable 状態

ハードウェア転送(EM=0)手順を参照してください。

■ Wait-1st-trigger 状態

ハードウェア転送(EM=0)手順を参照してください。

■ Transfer 状態

制御対象のチャネルが Peripheral からの最初の転送要求を受け取った後の状態です。この状態にあるチャネルは、指定された内容の転送動作を行います。EM=1 の場合、すべての転送動作が終了すると Wait-1st-trigger 状態に遷移します。また、CPU からの指示により、状態を変化させます。

■ Pause 状態

ハードウェア転送(EM=0)手順を参照してください。

制御手順の説明

1. Disable 状態/転送準備

   ハードウェア転送(EM=0)手順 1.を参照してください。
   EM=1 の設定を行う場合、意図しないアドレス領域のデータ転送を防ぐために、転送内容のリロード指定(RC, RS, RD)は、すべて設定してください。また、DMAC から転送正常終了割込みを発生させることは意味がないため、CI をセットすることは行いません。EI をセットし、DMAC からの転送異常終了割込みを発生するようにします。

2. Disable 状態=>Wait-1st-trigger 状態/転送許可

   ハードウェア転送(EM=0)手順 2.を参照してください。

3. Wait-1st-trigger 状態/転送開始

   ハードウェア転送(EM=0)手順 3.を参照してください。

4. Transfer 状態

   ハードウェア転送(EM=0)手順 4.を参照してください。

5. Transfer 状態=>Wait-1st-trigger 状態/転送正常終了

   Transfer 状態のチャネルは、(BC+1)×(TC+1)回の転送が正常終了すると、EB はクリアせず、PB, ST をクリアし、Wait-1st-trigger 状態に遷移します。SS[2:0]=101 をセットし正常終了を通知します。CI がセットされていないため、転送正常終了割込みは発生しません。RC, RS, RD がセットされているため、BC, TC, DMACSA, DMACDA の転送内容指定のリロードを実行します。

6. Transfer 状態=> Wait-1st-trigger 状態/転送エラー終了

   ハードウェア転送(EM=0)手順 6 を参照してください。
   EM=1 の場合は、転送がエラー終了しても、EB のクリアをしません。PB, ST をクリアし、Wait-1st-trigger 状態に遷移し、次の転送要求を待機します。従って、転送エラーの発生する可能性のあるアドレス領域には、EM=1 の DMA 転送は使用しないことを推奨します。

7. Transfer 状態=>Wait-1st-trigger 状態/Peripheral 停止要求終了

   ハードウェア転送(EM=0)手順 7.を参照してください。

EM=1 の場合は、Peripheral からの停止要求の場合も、EB のクリアをしません。PB, ST をクリアし、Wait-1st-trigger 状態に遷移します。RC, RS, RD がセットされているため、BC, TC, DMACSA, DMACDA の転送内容指定のリロードを実行します。EI がセットされているため、DMAC から転送異常終了割込みが発生します。

8. Wait-1st-trigger 状態/転送後処理

   EM=1 の場合、転送が終了すると、EB がクリアされないため、(DE=1, EB=1, DH=0000, PB=0)となり、Wait-1st-trigger 状態に遷移しています。従って、Peripheral から次の転送要求が発生すると、CPU から指示をしなくても、次の転送が開始されます。
   Peripheral からの停止要求で Wait-1st-trigger 状態に遷移した場合、異常終了割込みが発生し、その状態を認識できます。また、停止要求信号がアサートされている間は、転送要求信号がマスクされる構成です。Peripheral から次の転送要求信号がアサートされても認識されず、制御対象のチャネルは、Wait-1st-trigger 状態のままで、CPU からの指示待ち状態になります。
   上記の場合、CPU から SS[2:0]の読出しを行い、転送終了状態を確認します。CPU から SS[2:0]をクリアすることで、割込み信号がディアサートされます。CPU から EB のクリアを行い、Disable 状態に戻ります(この操作は、ハードウェア転送(EM=1)手順 15.の操作です)。ハードウェア転送(EM=0)手順 7.に示すように、Peripheral からの転送要求信号, 停止要求信号をディアサートします。

9. Transfer 状態=>Disable 状態/EM=0 による転送終了

   Wait-1st-trigger 状態と Transfer 状態のループから、CPU から EM=0 の書込みにより抜けられます。指示後の転送が終了したタイミングで、EB, ST, PB がクリアされ、Transfer 状態から Disable 状態(DE=1, EB=0, DH=0000, PB=0)へ遷移し正常終了します。この場合、CI がセットされていないため、転送正常終了割込みは発生しません。

10. Transfer 状態, Pause 状態=>Disable 状態/転送強制停止

    ハードウェア転送(EM=0)手順 8.を参照してください。
    Wait-1st-trigger 状態と Transfer 状態のループから、動作禁止指示で抜けられます。個別チャネル動作禁止指示の場合、該当チャネルは Disable 状態(DE=1, EB=0, DH=0000, PB=0)に遷移して停止します。全チャネル動作許可指示の場合、Disable 状態(DE=0, EB=1, DH=0000, PB=0)に遷移して停止します。全チャネル動作禁止指示の場合にも、EB がクリアされないため、注意してください。
    Transfer 状態から抜けた場合は、強制終了による異常終了のためで、転送異常終了を割込みが発生します。Wait-1st-trigger 状態から抜けた場合は転送許可キャンセルとなります(この操作は、ハードウェア転送(EM=1)手順 15.の操作です)。

11. Disable 状態/転送後処理

    ハードウェア転送(EM=0)手順 9.を参照してください。

12. Transfer 状態・Pause 状態/転送一時停止

    ハードウェア転送(EM=0)手順 10.を参照してください。

13. Pause 状態

    ハードウェア転送(EM=0)手順 11.を参照してください。

14. Pause 状態/転送一時停止解除

    ハードウェア転送(EM=0)手順 12.を参照してください。

15. Disable 状態・Wait-1st-trigger 状態の動作

    ハードウェア転送(EM=0)手順 13.を参照してください。

EM=1 の場合、Transfer 状態から直接 Wait-1st-trigger 状態に遷移します。従って、転送の繰り返し中に転送内容の指定変更(DMACSA, DMACDA, DMACB[31:1], DMACA[28:0]の各レジスタの書換え)を行うことはできません。

補足事項 1

ハードウェア転送(EM=0)手順 補足事項 1 を参照してください。

補足事項 2

ハードウェア転送(EM=0)手順 補足事項 2 を参照してください。
EM=1 の場合は、転送動作中に EB がクリアされないため、補足事項 2 は該当しません。

補足事項 3

ハードウェア転送(EM=0)手順 補足事項 3 を参照してください。

補足事項 4

ハードウェア転送(EM=0)手順 補足事項 4 を参照してください。
EM=1 の場合で、DMAC から割込みを発生する設定を行った場合の注意事項を説明します。Peripheral からの停止要求による転送異常終了割込みは、対象チャネルは Wait-1st-trigger 状態から遷移しないため、割込み信号は CPU からクリアするまではディアサートされません。同様に、ソフトウェアからの停止要求による転送異常終了割込みは、対象チャネルは Disable 状態に遷移するため、割込み信号は CPU からクリアするまではディアサートされません。それ以外の転送正常終了割込み, 転送異常終了割込みは、該当チャネルが Transfer 状態に遷移すると CPU の意図しないタイミングでディアサートされることがあるため、注意してください。

補足事項 5

ハードウェア転送(EM=0)手順 補足事項 5 を参照してください。

5. DMAC のレジスタ

DMAC の各レジスタ機能を説明します。

5.1. レジスタ一覧
5.2. DMAC 全体コンフィギュレーションレジスタ(DMACR)
5.3. コンフィギュレーション A レジスタ(DMACA)
5.4. コンフィギュレーション B レジスタ(DMACB)
5.5. 転送元アドレスレジスタ(DMACSA)
5.6. 転送先アドレスレジスタ(DMACDA)

5.1 レジスター覧

Table 5-1 に、DMAC の制御レジスタの一覧を示します。

Table 5-1 DMAC の制御レジスタ レジスター覧

レジスタ略称	制御対象 Ch.	レジスタ名	参照先
DMACR	全体	DMAC 全体コンフィギュレーションレジスタ	5.2
DMACA0	ch.0	コンフィギュレーション A レジスタ	5.3
DMACB0		コンフィギュレーション B レジスタ	5.4
DMACSA0		転送元アドレスレジスタ	5.5
DMACDA0		転送先アドレスレジスタ	5.6
DMACA1	ch.1	コンフィギュレーション A レジスタ	5.3
DMACB1		コンフィギュレーション B レジスタ	5.4
DMACSA1		転送元アドレスレジスタ	5.5
DMACDA1		転送先アドレスレジスタ	5.6
DMACA2	ch.2	コンフィギュレーション A レジスタ	5.3
DMACB2		コンフィギュレーション B レジスタ	5.4
DMACSA2		転送元アドレスレジスタ	5.5
DMACDA2		転送先アドレスレジスタ	5.6
DMACA3	ch.3	コンフィギュレーション A レジスタ	5.3
DMACB3		コンフィギュレーション B レジスタ	5.4
DMACSA3		転送元アドレスレジスタ	5.5
DMACDA3		転送先アドレスレジスタ	5.6
DMACA4	ch.4	コンフィギュレーション A レジスタ	5.3
DMACB4		コンフィギュレーション B レジスタ	5.4
DMACSA4		転送元アドレスレジスタ	5.5
DMACDA4		転送先アドレスレジスタ	5.6
DMACA5	ch.5	コンフィギュレーション A レジスタ	5.3
DMACB5		コンフィギュレーション B レジスタ	5.4
DMACSA5		転送元アドレスレジスタ	5.5
DMACDA5		転送先アドレスレジスタ	5.6
DMACA6	ch.6	コンフィギュレーション A レジスタ	5.3
DMACB6		コンフィギュレーション B レジスタ	5.4
DMACSA6		転送元アドレスレジスタ	5.5
DMACDA6		転送先アドレスレジスタ	5.6
DMACA7	ch.7	コンフィギュレーション A レジスタ	5.3
DMACB7		コンフィギュレーション B レジスタ	5.4
DMACSA7		転送元アドレスレジスタ	5.5
DMACDA7		転送先アドレスレジスタ	5.6

5.2 DMAC 全体コンフィギュレーションレジスタ(DMACR)

DMAC 全体コンフィギュレーションレジスタ(DMACR)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DE	DS	予約	PR	DH[3:0]				予約							
属性	R/W	R/W	-	R/W	R/W				-							
初期値	0	0	-	0	0000				-							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															
属性	-															
初期値	-															

[bit31] DE : DMA Enable (全チャネル動作許可ビット)

本ビットは、すべてのチャネルの転送動作の許可・禁止の制御を行うビットです。
本ビットに"1"に設定すると、すべてのチャネルの動作が許可され、各チャネルは、それぞれの設定により動作します。
本ビットを"0"に設定すると、すべてのチャネルの動作が禁止され、"1"に設定するまで転送は行われません。また、転送中のチャネルは、転送を強制停止します。

本ビットは、転送中のすべてのチャネルを強制停止し、コンフィギュレーションレジスタを再設定するために利用できます。

bit	機能
0	すべてのチャネルを動作禁止状態にします。(初期値)
1	すべてのチャネルを動作許可状態にします。

[bit30] DS : DMA Stop

本ビットは、すべてのチャネルの転送状態を表すビットです。
転送中に以下のいずれかの条件が成立した場合、本ビットは DMAC によって"1"に設定されます。

- DMACR:DE ビットに"0"が書き込まれ、その後すべてのチャネルの転送が終了した場合
- DMACR:DH ビットに 0000 以外が書き込まれ、その後すべてのチャネルの転送が一時停止した場合

DMACR:DE=1, DMACR:DH=0000 となり、全チャネルが動作可能な状態になると、本ビットは DMAC によって"0"に設定されます。

本ビットの属性は、R/W ですが、CPU による書込みは DMAC の動作に影響を与えません。ただし、本ビット状態に影響を与えることなく、DMACR レジスタを更新するときは、本ビットをいったん読み出し、同じ値を再度書き直してください。

bit	機能
0	全チャネル動作禁止/全チャネル一時停止設定がクリアされています。 (初期値)
1	全チャネル動作禁止/全チャネル一時停止設定により、すべてのチャネルの転送が停止されました。

[bit29] 予約 : 予約ビット
本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

[bit28] PR : Priority Rotation
本ビットは、各チャネルの転送優先順位を制御するビットです。
本ビットを"0"に設定すると、すべてのチャネルの優先順位は、固定です。
本ビットを"1"に設定すると、すべてのチャネルの優先順位は、ローテート方式で決定されます。

bit	機能
0	優先順位が固定されます。 (ch.0>ch.1>ch.2>ch.3>ch.4>ch.5>ch.6>ch.7) (初期値)
1	優先順位は、ローテート方式です。

転送優先順位の選択については、「3.5 チャネル優先順位制御」を参照してください。

[bit27:24] DH : DMA Halt (全チャネル一時停止ビット)
本ビットは、すべてのチャネルの転送動作の一時停止・解除の制御を行うビットです。
本ビットを"0000"以外の値に設定すると、転送中のチャネルはすべて一時停止状態になり、"0000"に設定すると転送を再開します。

一時停止状態にあるチャネルは、外部/周辺デバイスからの転送要求がアサートされても、その転送要求を無視します。Block 転送, Burst 転送の場合、一時停止がクリアされても、該当チャネルは、転送を開始しません。転送中に一時停止が設定された場合、転送を完了するためには、一時停止解除後、追加の転送要求をしてください。

本ビットは、すべてのチャネルのコンフィギュレーションレジスタを再設定しない場合に、転送を一時停止するために利用できます。

bit27:24	機能
0000	すべてのチャネルの転送の一時停止を解除します。(初期値)
0000 以外	すべてのチャネルの転送を一時停止します。

[bit23:0] 予約 : 予約ビット
本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

5.3 コンフィギュレーション A レジスタ(DMACA)

コンフィギュレーション A レジスタ(DMACA)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	EB	PB	ST	IS[5:0]						予約			BC[3:0]			
属性	R/W	R/W	R/W	R/W						-			R/W			
初期値	0	0	0	000000						-			0000			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TC[15:0]															
属性	R/W															
初期値	0x0000															

[bit31] EB : Enable Bit (個別チャネル動作許可ビット)

本ビットは、個別チャネルの転送動作の許可・禁止の制御を行うビットです。
本ビットを"1"に設定すると、該当チャネルは、動作許可状態となり、転送を開始するトリガを待ちます(DMACR:DE ビットが"1"に設定されている必要があります)。

EM ビット(DMACB[0])が"1"でない場合、転送の終了後、DMAC は本ビットを"0"にクリアします。

本ビットを"0"に設定すると、該当チャネルは、動作禁止状態となり、"1"に設定するまで転送は行われません。また、転送中である場合、転送を強制停止します。
本ビットは、転送中の該当チャネルを強制停止し、コンフィギュレーションレジスタを再設定するために利用できます。

bit	機能
0	該当チャネルは動作禁止状態です。(初期値)
1	該当チャネルは動作許可状態です。

[bit30] PB : Pause Bit (個別チャネル一時停止ビット)

本ビットは、個別チャネルの転送動作の一時停止・解除の制御を行うビットです。
本ビットを"1"に設定すると、転送中である場合、該当チャネルは転送を一時停止し、本ビットを"0"にすると、転送を再開します。

本ビットは、該当チャネルの転送動作が終了すると、"0"にクリアされます。

該当チャネルが一時停止状態にある場合、外部/周辺デバイスからの転送要求がアサートされても、その転送要求は無視します。Block 転送, Burst 転送の場合、一時停止がクリアされても、該当チャネルは、転送を開始しません。転送中に一時停止が設定された場合、転送を完了するためには、一時停止解除後、追加の転送要求が必要です。

本ビットは、該当チャネルのコンフィギュレーションレジスタを再設定しない場合に、転送を一時停止するために利用できます。

bit	機能
0	該当チャネルの転送の一時停止を解除します。
1	該当チャネルの転送を一時停止します。

<注意事項>

- *TC ビット、BC ビットのリロード機能許可中(DMACB.RC=1)に、本ビットにて転送を停止させる場合は、必ずワードアクセスで書き込みを行い、同時に BC ビットと TC ビットには、転送開始時に初期設定した値と同じ値を設定してください。*

[bit29] ST : Software Trigger

本ビットは、個別チャネルのソフトウェア転送要求を発生させるために使用します。

本ビットを"1"に設定すると、ソフトウェア転送要求によるトリガになり、該当チャネルの転送が開始されます。
転送の終了後、DMAC は本ビットを"0"にクリアします。
本ビットを転送中に"0"に設定すると、転送が停止します。

bit	機能
0	ソフトウェア転送要求なし (初期値)
1	ソフトウェア転送要求あり

[bit28:23] IS[5:0] : Input Select

本ビットは、転送要求のトリガ選択を行うビットです。

転送のトリガがソフトウェア要求(ST=1)の場合、本ビットは"000000"に設定してください。
転送のトリガがハードウェア要求の場合、どの Peripheral からの割込み信号により、転送を起動するかを設定します。すべてのチャネルで、Peripheral を任意に選択できます。

DMAC に接続するハードウェア転送要求信号は、ご使用する製品により異なります。「2.2 DMAC の入出力信号」にて接続する転送要求信号を確認の上、選択設定してください。

bit28:23	機能
000000	ソフトウェア (初期値)
100000	IDREQ[0]
100001	IDREQ[1]
100010	IDREQ[2]
100011	IDREQ[3]
100100	IDREQ[4]
100101	IDREQ[5]
100110	IDREQ[6]
100111	IDREQ[7]
101000	IDREQ[8]
101001	IDREQ[9]
101010	IDREQ[10]
101011	IDREQ[11]
101100	IDREQ[12]
101101	IDREQ[13]
101110	IDREQ[14]
101111	IDREQ[15]
110000	IDREQ[16]
110001	IDREQ[17]
110010	IDREQ[18]
110011	IDREQ[19]
110100	IDREQ[20]
110101	IDREQ[21]
110110	IDREQ[22]
110111	IDREQ[23]
111000	IDREQ[24]
111001	IDREQ[25]
111010	IDREQ[26]
111011	IDREQ[27]
111100	IDREQ[28]
111101	IDREQ[29]
111110	IDREQ[30]
111111	IDREQ[31]
上記以外の設定	設定禁止

[bit22:20] 予約 : 予約ビット
本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

[bit19:16] BC[3:0] : Block Count
本ビットは、ブロック/バースト転送のブロック数の指定を行います。

転送モードがデマンド転送の場合、本ビットは"0000"に設定してください。
BC[3:0]=ブロック数-1 の値を設定します。設定可能な最大ブロック数は 16 です。
本ビットは、転送中に読み出せます。通常、1 つの転送元アクセスまたは 1 つの転送先アクセスが正常に完了すると、本ビットの値は 1 ずつ減少します。

DMACB:RC=1 の場合、転送終了時、転送開始時の値がリロードされます。

DMACB:RC=0 の場合、転送正常終了時、0 になります。転送異常終了時、転送中断時の値のままです。

bit19:16	機能
	転送ブロック回数 (初期値 : 0x0)

[bit15:0] TC[15:0] : Transfer Count
本ビットは、ブロック/バースト/デマンド転送の転送回数の指定を行います。

TC=転送回数-1 の値を設定します。設定可能な最大転送回数は 65536 です。

本ビットは、転送中に読み出せます。通常、1 ブロックの転送が終了すると、TC は 1 ずつ減少します。

DMACB:RC =1 の場合、転送終了時、転送開始時の値がリロードされます。

DMACB:RC =0 の場合、転送正常終了時、0 になります。転送異常終了時、転送中断時の値のままです。

bit15:0	機能
	転送回数 (初期値 : 0x0000)

5.4 コンフィギュレーション B レジスタ(DMACB)

コンフィギュレーション B レジスタ(DMACB)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約		MS[1:0]		TW[1:0]		FS	FD	RC	RS	RD	EI	CI	SS[2:0]		
属性	R/W		R/W		R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初期値	00		00		00		0	0	0	0	0	0	0	000		

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															EM
属性	R/W															R/W
初期値	000000000000000															0

[bit31:30] 予約 : 予約ビット

本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

[bit29:28] MS[1:0] : Mode Select

本ビットは、転送モードの選択を行います。

bit29:28	機能
00	Block 転送モード (初期値)
01	Burst 転送モード
10	Demand 転送モード
11	予約

[bit27:26] TW[1:0] : Transfer Width

本ビットは、転送データのビット幅の指定を行います。

bit27:26	機能
00	バイト(8bit) (初期値)
01	ハーフワード(16bit)
10	ワード(32bit)
11	予約

[bit25] FS : Fixed Source

本ビットは、転送元アドレスのインクリメント・固定を選択します。

bit	機能
0	転送元アドレスが TW[1:0]に従いインクリメントします。(初期値)
1	転送元アドレスが固定されます。

[bit24] FD : Fixed Destination

本ビットは、転送先アドレスのインクリメント・固定を選択します。

bit	機能
0	転送先アドレスが TW に従い、インクリメントします。(初期値)
1	転送先アドレスは固定されます。

[bit23] RC : Reload Count (BC・TC のリロード)

本ビットは、BC[3:0]と TC[15:0]のリロード機能を制御します。
本ビットを"1"に設定すると、転送の終了後、BC[3:0]と TC[15:0]に転送開始時の設定値がリロードされます。

bit	機能
0	BC・TC のリロード機能が禁止されます。(初期値)
1	BC・TC のリロード機能が許可されます。

[bit22] RS : Reload Source

本ビットは、転送元アドレスのリロード機能を制御します。
本ビットを"1"に設定すると、転送の終了後、DMACSA に転送開始時の設定値がリロードされます。

bit	機能
0	転送元アドレスのリロード機能が禁止されます。(初期値)
1	転送元アドレスのリロード機能が許可されます。

[bit21] RD : Reload Destination

本ビットは、転送先アドレスのリロード機能を制御します(DMACDA)。
本ビットを"1"に設定すると、転送の終了後、DMACDA に転送開始時の設定値がリロードされます。

bit	機能
0	転送先アドレスのリロード機能が禁止されます。(初期値)
1	転送先アドレスのリロード機能が許可されます。

[bit20] EI :Error Interrupt (転送異常終了割込み許可)

本ビットは、転送が異常終了した場合の割込み通知を許可・禁止するビットです。
本ビットを"1"にした場合、転送終了時の SS[2:0]が以下ステータスであると、割込みが発行されます。

- アドレス・オーバフロー
- Peripheral からの転送停止要求による停止または EB/DE ビットによる転送の禁止
- 転送元アクセスエラー
- 転送先アクセスエラー

bit	機能
0	転送異常終了時の割込みの発行が禁止されます。(初期値)
1	転送異常終了時の割込みの発行が許可されます。

[bit19] CI : Completion Interrupt : (転送正常終了完了割込み許可)

本ビットは、転送が正常終了した場合の割込み通知を許可・禁止するビットです。

本ビットを"1"にした場合、転送終了時の SS[2:0]が正常終了であると、割込みが発生します。

bit	機能
0	転送正常終了割込みの発行が禁止されます。(初期値)
1	転送正常終了割込みの発行が許可されます。

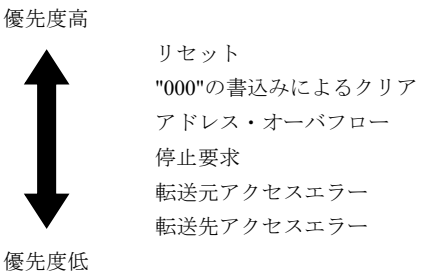
[bit18:16] SS[2:0] : Stop Status (停止状態通知)

本ビットは、転送の停止状態, 終了状態を示すコードです。

コードは、下表に示すとおりです。
転送正常終了割込み, 転送異常終了割込みが発行された場合は、本ビットに"000"を書き込むことにより、割込み信号がディアサートされます。

bit18:16	内容
000	初期値
001	転送エラーによる終了(アドレス・オーバフロー)
010	転送停止要求による終了(Peripheral からの転送停止要求による停止または EB/DE ビットによる転送の禁止)
011	転送エラーによる終了(転送元アクセスエラー)
100	転送エラーによる終了(転送先アクセスエラー)
101	転送正常終了
110	予約
111	転送一時停止

各種のエラーが同時に発生した場合、以下の優先度に従って終了コードが表示されます。



[bit15:1] 予約 : 予約ビット

本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

[bit0] EM : Enable bit Mask (EB ビットクリアのマスク)

本ビットは、転送の終了後、DMAC により DMACA:EB ビット(bit31)のクリアをマスクするために使用します。

EM=0 の場合、転送の終了後、DMAC は DMACA:EB ビット(bit31)を"0"にクリアします。
EM=1 の場合、転送の終了後、DMACA:EB ビットをクリアしません。この機能により、CPU から指示を行わなくても、転送を繰り返し行えます。

本機能は、ハードウェア転送の場合のみ使用できます。使用の際は、RC, RS, RD ビットのリロード機能を有効にしてください。

bit	機能
0	転送終了時の DMACA:EB ビット(bit31)を 0 にクリアします。(初期値)
1	転送終了時の DMACA:EB ビット(bit31)をクリアしません。

5.5 転送元アドレスレジスタ(DMACSA)

転送元アドレスレジスタ(DMACSA)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DMACSA[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	DMACSA[15:0]															
属性	R/W															
初期値	0x0000															

[bit31:0] DMACSA[31:0] : DMAC Source Address

本ビットは、転送元の転送開始アドレスを指定します。
TW[1:0]に unaligned な値は指定できません。本ビットは、転送中に読み出せます。

DMACB:FS=1 の場合

転送元アドレスは固定値となり、変化しません。

DMACB:FS=0, DMACB:RS=0 の場合

転送中は、TW[1:0]に従いインクリメントします。
転送正常終了時は、転送終了アドレスの次のアドレスです。
転送異常終了時は、中断時の値です。

DMACB:FS=0, DMACB:RS=1 の場合

転送中は、TW[1:0]に従いインクリメントします。
転送終了時, 転送開始時の設定値がリロードされます。

bit31:0	機能
	転送を開始する転送元アドレスを指定します。(初期値: 0x00000000)

5.6 転送先アドレスレジスタ(DMACDA)

転送先アドレスレジスタ(DMACDA)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DMACDA[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	DMACDA[15:0]															
属性	R/W															
初期値	0x0000															

[bit31:0] DMACDA[31:0] : DMAC Destination Address

本ビットは、転送先の転送開始アドレスを指定します。
TW[1:0]に unaligned な値は指定できません。本ビットは、転送中に読み出せます。

DMACB:FD=1 の場合

転送先アドレスは固定値となり、変化しません。

DMACB:FD=0, DMACB:RD=0 の場合

転送中は、TW[1:0]に従いインクリメントします。
転送正常終了時は、転送終了アドレスの次のアドレスです。
転送異常終了時は、中断時の値です。

DMACB:FD=0, DMACB:RD=1 の場合

転送中は、TW[1:0]に従いインクリメントします。
転送終了時、転送開始時の設定値がリロードされます。

bit31:0	機能
	DMA 転送を開始する転送先アドレス (初期値: 0x00000000)

6. 使用上の注意

DMAC 使用上の注意事項を説明します。

レジスタ設定の注意事項

DMAC レジスタを設定する場合、以下の事項に注意してください。

- DMACR, DMACA, DMACB, DMACSA, DMACDA レジスタは、バイト，ハーフワードおよびワードサイズでアクセスできます。
- DMACSA, DMACDA レジスタ値に、DMAC 内のレジスタアドレスは設定できません。
- DMACR の DE ビット, DH ビット, DMACA の EB ビット, PB ビットおよび DMACB の EM ビットを除き、DMA 転送中にチャネルの設定レジスタは変更できません。

ストップモード，タイマモード移行時の注意事項

ストップモード，タイマモードに移行する際は、必ず移行する前に、DMAC のすべてのチャネルの動作を停止してください。DMAC の停止は、DS フラグで確認してください。DMAC が動作中にストップモード，タイマモードに移行した場合、ランモードに復帰した際に予期せぬ動作をすることがあります。

CHAPTER 10-1: I/O ポート

I/O ポートについて説明します。

1. 概要
2. 構成・ブロックダイヤグラム・動作説明
3. 設定手順例
4. レジスター覧
5. 使用上の注意

管理コード: 9BFGPIO-FM0-J03.0

1. 概要

I/O ポートの概要を説明します。

本ファミリの I/O ポートには、以下の特長があります。

■ 本ファミリの I/O ポートは以下の機能が兼用されています。

- GPIO

  CPU から、入力レベルの読み出し, 出力レベルの設定が可能な汎用入出力ポートです。

- Fast GPIO

  CPU から、入力レベルの読み出し、出力レベルの設定が 1 サイクルで可能な汎用入出力ポートです。
  詳細については「CHAPTER:Fast GPIO」の章を参照してください。

- 周辺入出力

  周辺機能のデジタル入出力信号ポートです。

- 特殊 I/O ポート
  - アナログ入力ポート

    A/D コンバータ, LCD コントローラのアナログ入力ポートです。
  - アナログ出力ポート

    D/A コンバータ, LCD コントローラのアナログ出力ポートです。
  - 発振ポート

■ 端子ごとに以下の設定が可能です。

- GPIO として利用するか、周辺機能のデジタル端子として利用するか、特殊端子として使用するかを設定できます。
- ポートを入力ポートとして利用するか、出力ポートとして利用するかを設定できます。
- 内蔵プルアップ抵抗の ON/OFF を設定できます。
- 周辺機能は同一機能の入出力が複数の I/O ポートに割り振られています。どの I/O ポートに機能を割り当てるかを設定できます(リロケート機能)。
- レジスタ設定により、CPU がスタンバイモード中に、I/O ポートを Hi-Z 状態にできます。

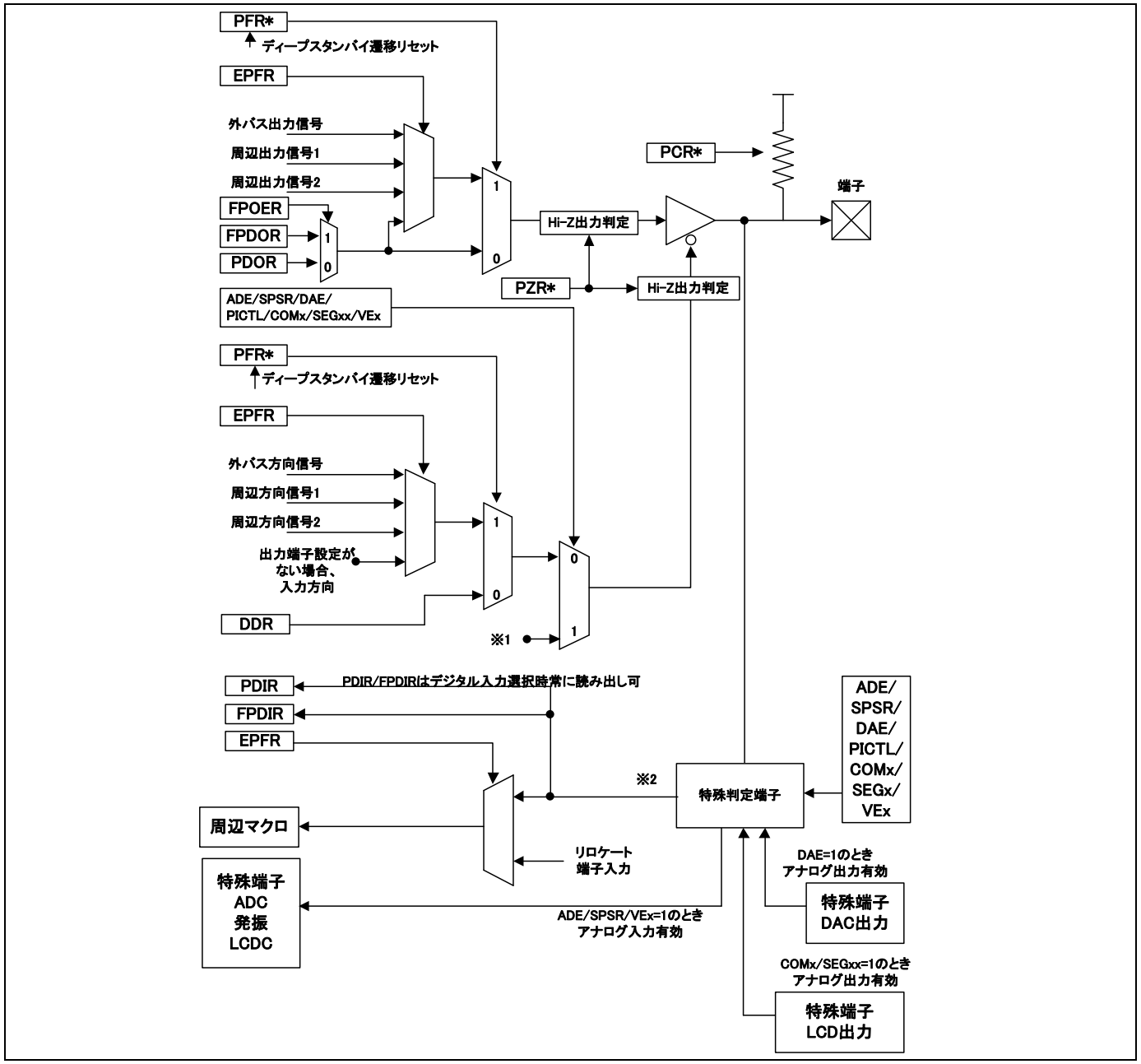
2. 構成・ブロックダイヤグラム・動作説明

I/O ポートの構成およびブロックダイヤグラム・動作を説明します。

2.1 I/O ポートの構成

I/O ポートの各レジスタの設定により、入出力方向選択, GPIO/周辺選択を行います。
Figure 2-1 に I/O ポートの構成を示します。

Figure 2-1 I/O ポートの構成



※1：以下のいずれかに設定されたとき、I/O ポートは入力方向に設定されます。

- ADE/SPSR=1 のとき
- DAE=1 のとき
- PICTL=0 のとき
- PICTL=1、かつ COMx/SEGxx=1 のとき
- VEx=1 のとき

※2：以下のいずれかに設定されたとき、入力値は"0"固定になります。
以下以外の設定の場合は、それぞれデジタル入力端子になります。

- ADE/SPSR=1 のとき
- DAE=1 のとき
- PICTL=0 のとき
- PICTL=1、かつ COMx/SEGxx=1 のとき
- VEx=1 のとき

＜注意事項＞

- *5V トレラント端子は製品によっては、内蔵プルアップ抵抗がない I/O も存在します。*
- *USB 端子にはプルアップ抵抗がありません。*
- *内蔵プルアップ抵抗がない場合、PCR レジスタ設定は無効です。*
- *PZR レジスタの機能はある特定の端子にのみ実装されています。*
  ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PZR レジスタ制御可能"と記載のある端子のみが制御できます。
- *DAE ビットの詳細については『アナログマクロ編』の『10 ビット D/A コンバータ』章の「5.1 D/A コントロールレジスタ(DACR)」を参照してください。*
- *PICTL/COMx/SEGxx/VEx ビットの詳細については『アナログマクロ編』の『LCD コントローラ』の章の「5.3 LCDC 制御レジスタ 3(LCDCC3)」，「5.5 LCDC COM 出力許可レジスタ(LCDC_COMEN)」，「5.6 LCDC SEG 出力許可レジスタ 1/2(LCDC_SEG1/2)」を参照してください。*
- *FPDIR/FPDOR/FPOER はFast GPIO のためのレジスタです。詳細については「CHAPTER:Fast GPIO」の章を参照してください。*

Table 2-1 にレジスタ機能説明を示します。

- PFR, DDR, PDIR, PDOR, PCR レジスタは、I/O ポートごとに 1 ビットの制御レジスタが存在し、I/O ポートの機能選択を行うレジスタです。
- ADE レジスタは、アナログ入力端子を兼用する I/O ポートごとに 1 ビットの制御レジスタが存在し、I/O ポートの機能選択を行うレジスタです。
- SPSR レジスタは、発振端子を兼用する I/O ポートの機能選択を行うレジスタです。
- EPFR レジスタは、周辺機能の入出力端子ごとに制御レジスタが存在し、周辺機能の入出力端子をどの I/O ポートにリロケートするかを選択するレジスタです。
- PZR レジスタは、特定端子の H レベル出力時、I/O ポートを Hi-Z 化し、擬似的にオープンドレイン制御を設定するレジスタです。

Table 2-1 レジスタ機能説明

レジスタ名	機能説明
ADE	I/O ポートを特殊端子(アナログ入力端子)として使用するか、デジタル入出力端子として使用するかを設定するレジスタです。
SPSR	I/O ポートを特殊端子(発振)として使用するか、デジタル入出力端子として使用するかを設定するレジスタです。
PFR	I/O ポートを GPIO 機能の入出力端子として使用するか、周辺機能の入出力端子として使用するかを設定するレジスタです。
PCR	I/O ポートをデジタル入力端子, デジタル双方向端子として使用する場合に、I/O ポートの内蔵プルアップ抵抗を接続するか、切断するかを設定するレジスタです。
DDR	I/O ポートを GPIO 機能端子として使用する場合、入力端子で使用するか、出力端子で使用するかを設定するレジスタです。 (注意事項) 端子が周辺機能の入出力端子として選択されている場合、設定値は無効です。
PDIR	I/O ポートのレベル状態を読み出すレジスタです。 - I/O ポートをデジタル入力端子として使用する場合、入力レベルを読み出します。 - I/O ポートをデジタル出力端子として使用する場合、出力レベルを読み出します。 - I/O ポートを特殊端子として使用する場合、常に"0"を読み出します。
PDOR	I/O ポートを GPIO 機能の出力端子として使用する場合に、出力レベルを設定するレジスタです。 - "0"設定時、Low レベルを出力します。 - "1"設定時、High レベルを出力します。 (注意事項) 端子が GPIO 入力、周辺機能の入出力端子として選択されている場合、設定値は無効です。
EPFR	周辺機能の入出力端子の機能選択およびリロケート機能を設定するレジスタです。 - 周辺出力端子設定 I/O ポートに対して出力 ON/OFF を設定します。また、どの I/O ポートにリロケートするかを、周辺機能の端子ごとに設定できます。 - 周辺入力端子設定 どの I/O ポートにリロケートするかを、周辺機能の端子ごとに設定できます。 - 周辺双方向端子設定 どの I/O ポートにリロケートするかを、周辺機能の端子ごとに設定できます。
PZR	I/O ポートのオープンドレイン制御を設定するレジスタです。 - I/O ポートが Low レベル出力時、I/O ポートを Low 出力にします。 (PCR の設定値によらず、内蔵プルアップ抵抗を切断します) - I/O ポートが High レベル出力時、I/O ポートを Hi-Z 化し、擬似的にオープンドレイン制御します。(PCR の設定値によらず、内蔵プルアップ抵抗を切断します) - I/O ポートが入力時、I/O ポートを Hi-Z 化し、入力方向にします。 (PCR の設定値によらず、内蔵プルアップ抵抗を切断します) (注意事項) 本機能はある特定の端子にのみ実装されています。 ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PZR レジスタ制御可能"と記載のある端子のみが制御できます。

Table 2-2 に選択される I/O ポート機能により、利用可能・利用不可能になる端子機能と、レジスタ設定値との一覧を示します。

Table 2-2 I/O ポート機能とレジスタ設定値

I/O ポート機能		ADE/ SPSR/ DAE/ COMx/SEGxx/ VEx	PFR	DDR	PZR	PCR	EPFR
利用可能な主機能	利用可能な副機能						
特殊端子 (アナログ入力, アナログ出力, USB,発振)	なし	1	-	-	-	切断	*0
GPIO 機能入力端子	周辺機能入力端子*5	0	0	0	0	有効	*1
					1	切断	
GPIO 機能出力端子	GPIO 機能入力端子(FB) 周辺機能入力端子(FB)			1	0	切断	
					1	切断	
選択周辺機能の出力端子	GPIO 機能入力端子(FB) 周辺機能入力端子(FB)		1	-	0	切断	*2
					1	切断	
選択周辺機能の双方向端子	GPIO 機能入力端子(FB) 周辺機能入力端子(FB)				0	有効	*3
					1	切断	
周辺機能入力端子	GPIO 機能入力端子				0	有効	*4
					1	切断	

凡例

-: レジスタ設定値が端子機能に影響のないことを示します。

有効: PCR レジスタの値が 0 の場合、内蔵プルアップ抵抗が切断されることを示します。
PCR レジスタの値が 1 の場合、内蔵プルアップ抵抗が接続されることを示します。

切断: PCR レジスタの値によらず、内蔵プルアップ抵抗が切断されることを示します。

(FB): I/O ポート部の出力信号がフィードバックされて、PDIR から I/O ポートのレベルの読出し可能となることを示し、周辺機能の入力としても使用可能です。

*0: I/O ポートに対し周辺機能の入力端子を選択した場合、設定は無効です。
I/O ポートに対し周辺機能の出力端子を選択した場合、設定は無効です。
I/O ポートに対し周辺機能の双方向端子を選択した場合、設定は無効です。

*1: I/O ポートに対し周辺機能の入力端子を選択した場合、設定は有効です。
I/O ポートに対し周辺機能の出力端子を選択した場合、設定は無効です。
I/O ポートに対し周辺機能の双方向端子を選択した場合、設定は無効です。

*2: I/O ポートに対し周辺機能の出力端子を選択している場合を示します。

*3: I/O ポートに対し周辺機能の双方向端子を選択している場合を示します。

*4: I/O ポートに対し周辺機能の出力端子，双方向端子のいずれも選択していない場合を示します。

*5: NMIX 端子使用時は NMIS="1"かつ PFR="1"に設定してください。

2.2 I/O ポートの初期選択機能

Table 2-3 に各 I/O ポートのリセット解除後の初期選択機能を示します。

Table 2-3 各 I/O ポートのリセット解除後の初期選択機能

No	端子	初期選択機能
1	SWCLK, SWDIO	シリアルワイヤデバッグ(SWD)端子が選択されています。内蔵プルアップ抵抗 ON です。
2	ANxx	アナログ入力端子として使用可能です。デジタル入力は遮断されており"0"が入力されています。
3	X0, X1, X0A, X1A	発振端子として使用可能です。デジタル入力は遮断されており"0"が入力されています。
4	上記以外のすべての GPIO 端子	デジタル入力です。出力は Hi-Z です。

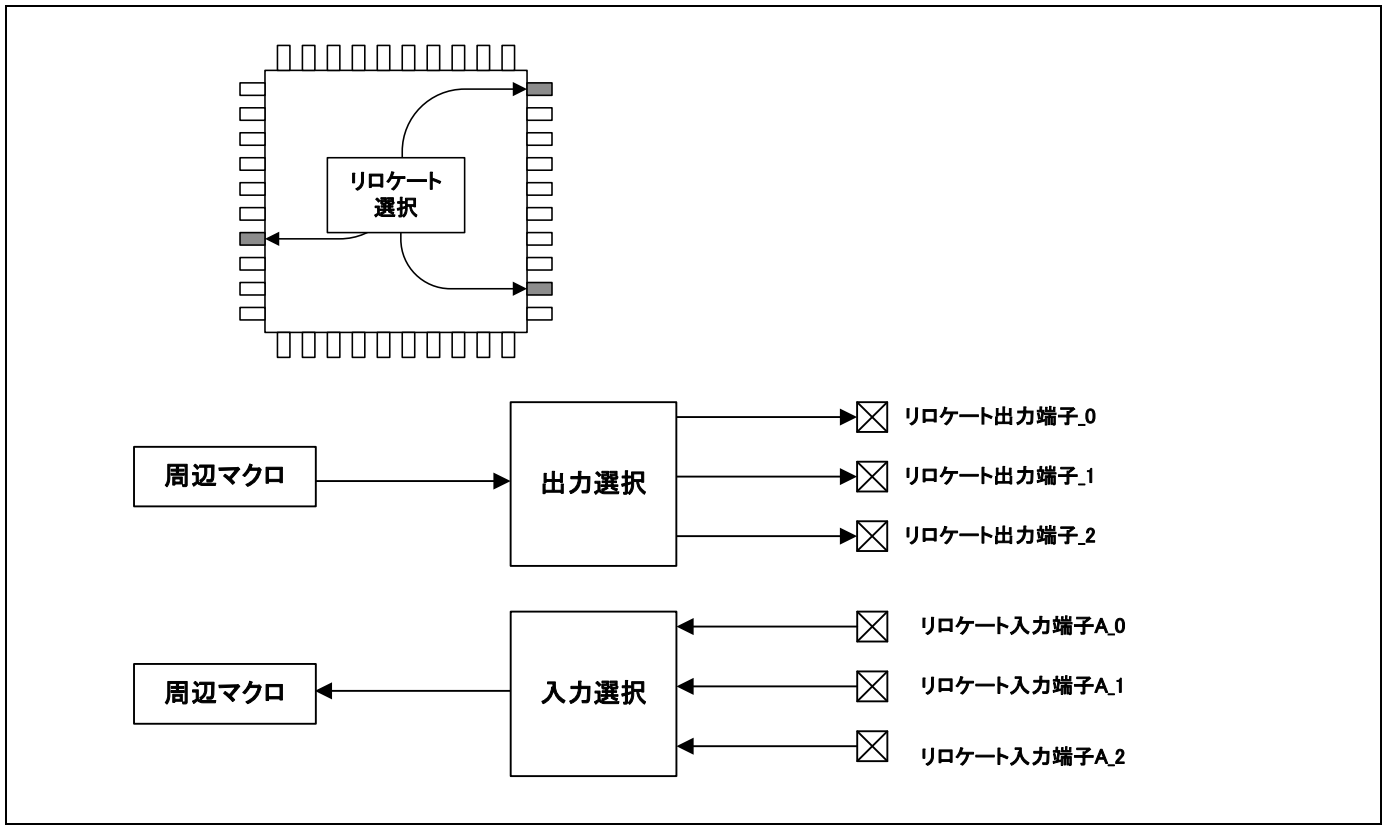
(注意事項)

GPIO 以外の端子(MD 端子, リセット端子)の状態はご使用する製品の『データシート』を参照してください。
リセット時の EPFR の出力選択値はすべて「出力しない」です。

2.3 リロケート機能について

- 周辺機能の入出力は、端子が複数準備されているものがあります(リロケート端子)。
  EPFR 設定によりいずれかの端子を 1 つ選択できます。Figure 2-2 にリロケート機能の概略図を示します。

Figure 2-2 リロケート機能概略図

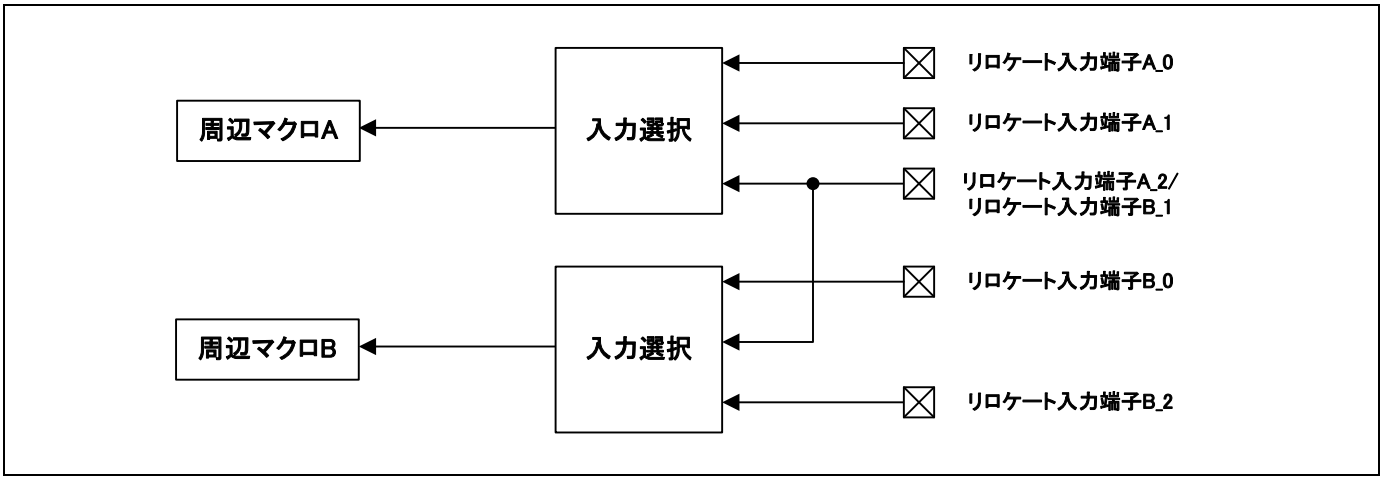


(注意事項)

どの周辺機能がどの端子に配置されているかは、製品により異なります。
ご使用する製品の『データシート』の端子機能一覧表を参照してください。

- 1 つの I/O ポートの入力が複数の周辺機能に接続されていても、EPFR の設定により周辺の入力はすべて使用できます。例えば、Figure 2-3 にて、「リロケート入力端子 A_2」と、「リロケート入力端子 B_1」をそれぞれ入力選択しておくことで同時に使用することが可能です。これにより、1 つの I/O ポートに兼用されている外部割込みと、マルチファンクションシリアル入力端子を同時に使用することが可能になります。

Figure 2-3 複数の周辺入力

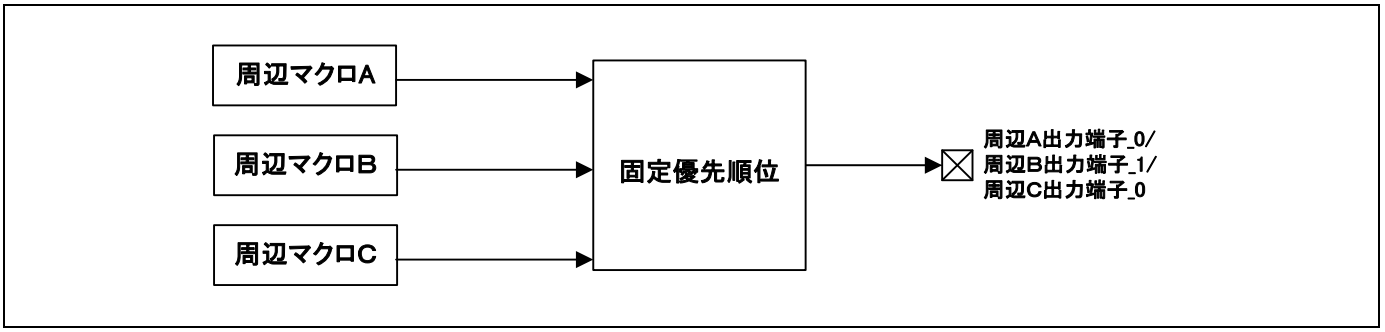


- I/O 端子が出力として設定されていても、入力はマスクされないため入力端子としても機能します。例えば、タイマの出力を兼用している外部割込みの入力とすることが可能です。

2.4 EPFR の出力固定優先順位について

1 つの I/O ポートには、複数ある出力のうち 1 つの出力端子機能しか割り付けられません。
EPFR レジスタの設定により、出力が重複設定された場合、固定優先順位が適用され出力端子選択が行われます。Figure 2-4 に出力端子と固定優先順位を示します。

Figure 2-4 出力端子と固定優先順位



EPFR の固定優先順位を Table 2-4 に示します。

Table 2-4 EPFR の固定優先順位

優先順位	周辺機能	該当端子
高	特殊入力	シリアルワイヤデバッグ入力, NMI 入力
↓	シリアルワイヤデバッグ	入出力端子
↓	HDMI-CEC	入出力端子 *2
↓	I2CSLAVE	入出力端子
↓	USB (HCONX)	出力端子
↓	マルチファンクションシリアル I2S（MFS-I2S）	出力端子
↓	マルチファンクションシリアル	出力端子，入出力端子*1
↓	ベースタイマ出力	入出力端子
↓	多機能タイマ	出力端子
↓	Smart Card	出力端子
↓	内蔵高速 CR 発振クロック出力	出力端子
↓	RTCCO 出力	出力端子
低	SUBOUT 出力	出力端子

(注意事項)

固定優先順位があるのは、設定機能が「出力」どうしの場合です。「入力」どうしの場合には優先順位はありません。
ただし、「特殊入力」については、ほかの「出力」設定よりも優先順位が上になります。「特殊入力」が選択されているときは、同一ポートに割り付けられている「出力」設定が無効になります。
*1: TYPE1-M0+製品では SOT(データ出力)>SCS(チップセレクト出力)の優先順位となります。
*2:TYPE3-M0+製品では、HDMI-CEC 端子は、EPFR レジスタでは制御されません。

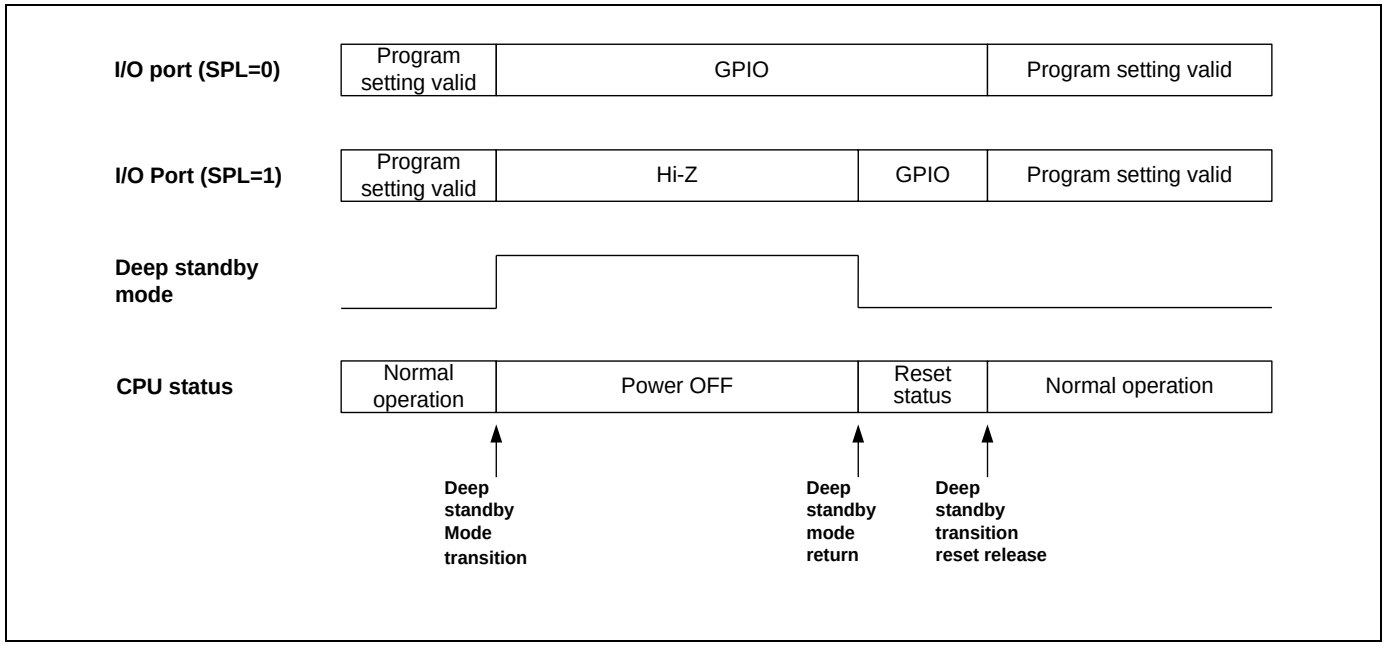
- 優先順位の低位側の出力設定のために EPFR レジスタには"出力しない"設定が必ずあります。

- 端子を周辺機能の外部入力端子として使用する場合には、兼用する出力設定をすべて OFF にしてください。EPFR レジスタで、端子の出力選択がすべて OFF になっている場合に、端子は外部入力端子として機能します。

2.5 ディープスタンバイモード時の動作(TYPE2-M0+)

ディープスタンバイモード時は GPIO 機能が選択されます。Figure 2-5 にディープスタンバイモード時の I/O ポート動作を示します。

Figure 2-5 ディープスタンバイモード時の I/O ポート動作



<注意事項>

- *ディープスタンバイモード時の各端子の状態は、ご使用する製品の『データシート』の端子状態表を参照してください。*

2.6 ディープスタンバイモード時の動作(TYPE3-M0+)

ディープスタンバイモード移行時、I/O ポートの入出力状態は、GPIO 機能の設定が適用されます。その後、CHOLDX 信号により、I/O ポートの入出力状態は、I/O ポート回路内のラッチ回路にて保持されます。

Figure 2-6 に I/O ポート回路内のラッチ回路を示します。

Figure 2-6 I/O ポート内のラッチ回路 (TYPE3-M0+)

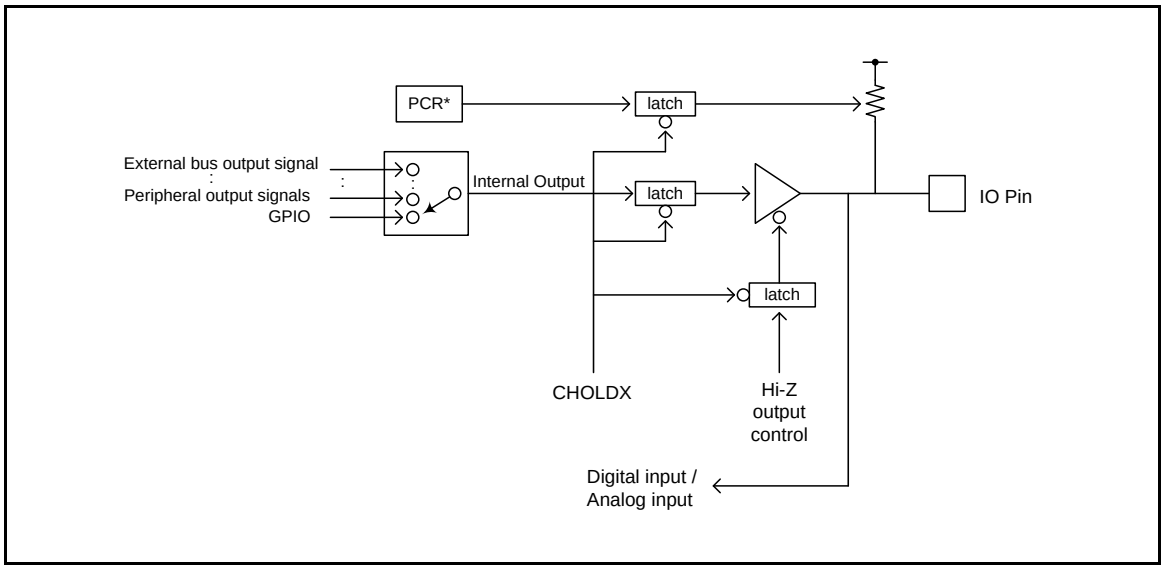


Figure 2-7 は、WIOLC_CTL:CONTX=1 の場合のディープスタンバイモード時の I/O ポート動作を示します。この場合、ディープスタンバイモード中は、I/O ポートの入出力状態は、GPIO 機能の設定が適用されます。ディープスタンバイモードから復帰後は、I/O ポートの入出力状態は、Table 2-3 の初期状態に戻ります。

Figure 2-7 ディープスタンバイモード時の I/O ポート動作(CONTX=1,TYPE3-M0+)

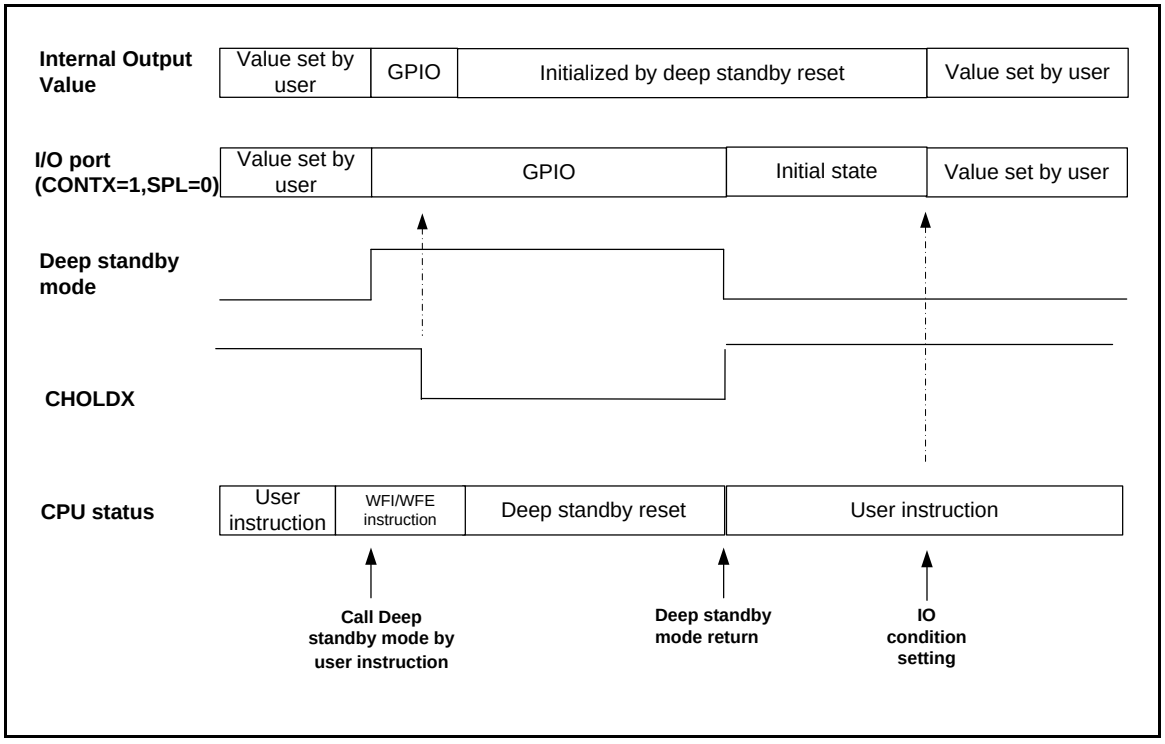
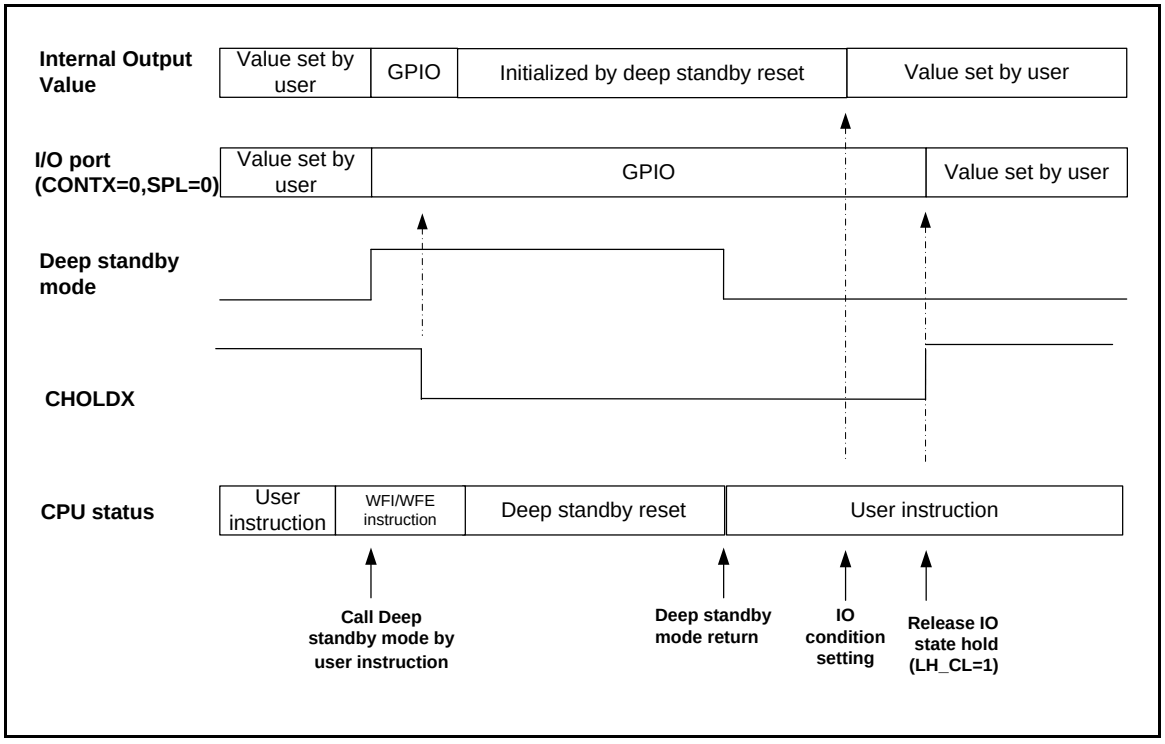


Figure 2-8 は、WIOLC_CTL:CONTX=0 の場合のディープスタンバイモード時の I/O ポート動作を示します。

Figure 2-8 ディープスタンバイモード時の I/O ポート動作(CONTX=0,TYPE3-M0+)



この場合、ディープスタンバイモード中は、I/O ポートの入出力状態は、GPIO 機能の設定が適用されます。ディープスタンバイモードから復帰後、ラッチが解放されるまでは、その前の状態を保持します。ディープスタンバイ遷移リセットにより、GPIO の全ての制御レジスタはリセットされます。CPU はラッチの解放前に GPIO 制御レジスタの初期設定を行う必要があります。その後ラッチの解放を行います。ラッチの解放は、CPU から WIOLC_CTL:LH_CL=1 の書込みにより行えます。ラッチの解放前の GPIO 制御レジスタ設定変更は、I/O ポートの入出力状態に影響を与えません。

I/O ポートの制御に使用する WIOLC_CTL レジスタについては、「6-1 低消費電力モード」を参照してください。

注意事項:

- *GPIO 機能が適用されない端子がいくつか存在します。ディープスタンバイモード時の各端子の状態は、ご使用する製品の『データシート』の端子状態表を参照してください。*
- *Fast-GPIO 機能を使用していて、ディープスタンバイモード遷移をする場合は、GPIO 機能の代わりに Fast-GPIO 機能が適用されます。*
- *ディープスタンバイモードを使用する場合、電源投入後、SPSR レジスタの MAINXC ビットおよび SUBXC ビットに"00"を書き込んでから、希望の設定に変更してください。"00" を書くと端子状態が一時的に不定になる場合があります。*

2.7 ディープスタンバイ遷移リセット

Table 2-5 に、ディープスタンバイ遷移リセットにより初期化されるレジスタと初期化されないレジスタの一覧を示します。

Table 2-5 Deep Standby transition Reset

Abbreviation	TYPE2-M0+	TYPE3-M0+
PFRx	初期化される *1 *2	初期化される *3
PCRx	初期化されない	I/O ポートのラッチ後初期化される
DDRx	初期化されない	I/O ポートのラッチ後初期化される
PDIRx	初期化されない	I/O ポートのラッチ後初期化される
PDORx	初期化されない	I/O ポートのラッチ後初期化される
ADE	初期化されない	I/O ポートのラッチ後初期化される
EPFRx	初期化されない	I/O ポートのラッチ後初期化される
SPSR	初期化されない	I/O ポートのラッチ後初期化される
PZRx	初期化されない	I/O ポートのラッチ後初期化される
LVDIE	初期化されない	N/A
FPDIRx, M_FPDIRx *4	初期化されない	I/O ポートのラッチ後初期化される
FPDORx, M_FPDORx *4	初期化されない	I/O ポートのラッチ後初期化される
FPOERx *4	初期化されない	I/O ポートのラッチ後初期化される

*1: PFR0 レジスタの bit[4:0]は、初期化されません。

*2: 以下のビットは、以下の条件時は初期化されません。

PFR0 レジスタの bit11 は、CEC0_1 端子使用時は、初期化されません。

PFR6 レジスタの bit0 は、 CEC1_0 端子使用時は、 初期化されません。

PFR4 レジスタの bit12 は、CEC0_0 端子使用時は、 初期化されません。

PFR5 レジスタの bit6 は、 CEC1_1 端子使用時は、 初期化されません。

*3 PFR0 レジスタの bit[1]と bit[3]は、I/O ポートのラッチ後に初期化されます。

上記以外の PFR x レジスタは、I/O ポートのラッチ前に初期化されます。

*4 これらのレジスタは、「Fast GPIO」の章に説明があります。

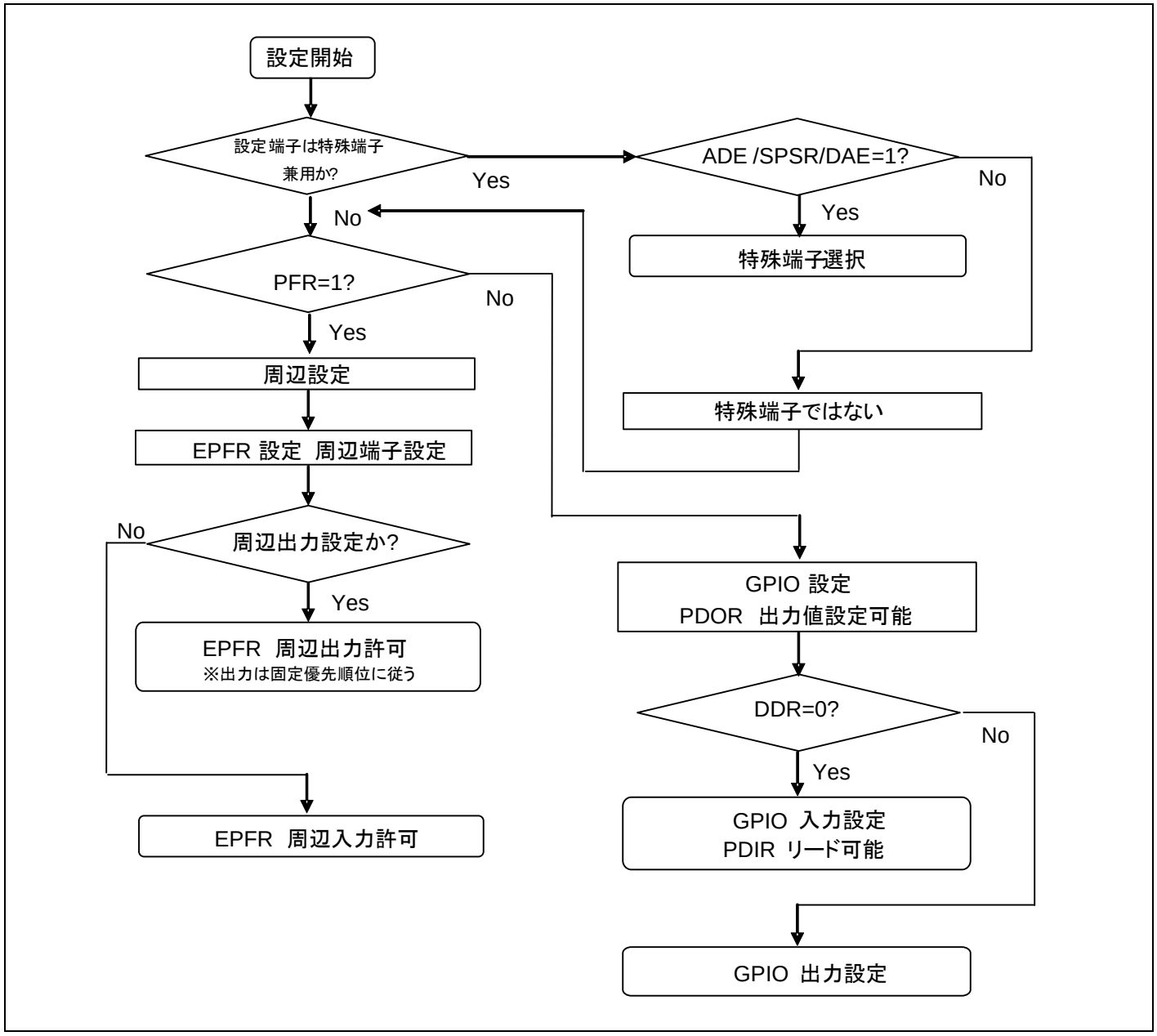
3. 設定手順例

I/O ポートの設定手順例を説明します。

3.1 I/O ポートの設定

I/O ポートの各レジスタの設定により、入出力方向選択, GPIO/周辺選択を行います。
Figure 3-1 に設定手順例を示します。

Figure 3-1 I/O ポート設定手順例



3.2 I/O 状態保持機能の使用方法（TYPE3-M0+製品）

Figure 3-2 は、I/O 状態保持機能の使用方法例を示します。この設定は、ディープスタンバイモードに移行する前に行います。

Figure 3-2 I/O 状態保持機能の使用方法例 1 (TYPE3-M0+)

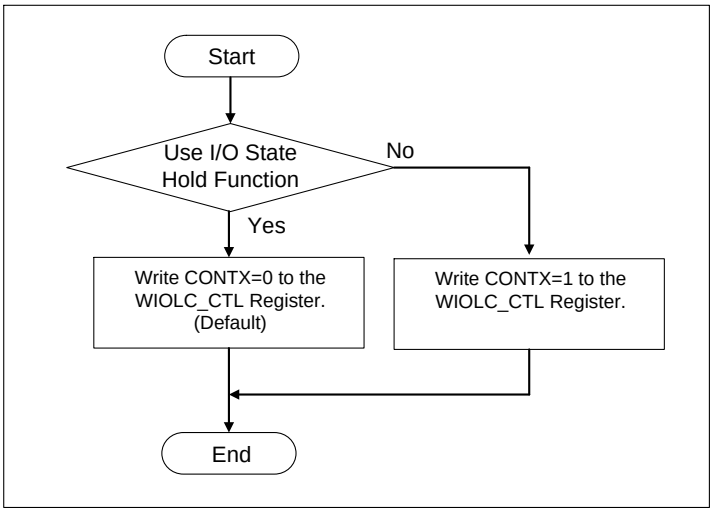
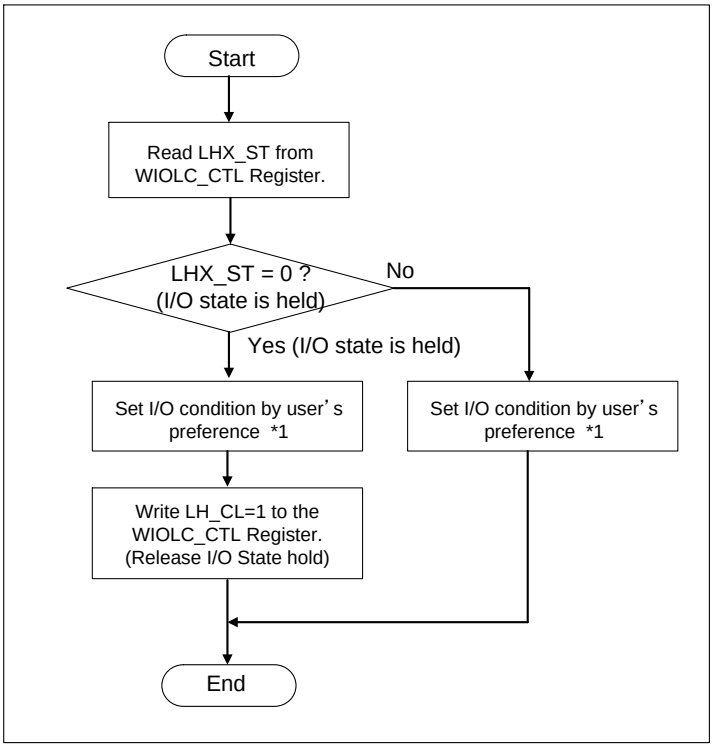


Figure 3-3 は、ディープスタンバイモードから復帰後の I/O 状態保持機能の使用方法例を示します。

Figure 3-3 I/O 状態保持機能の使用方法例 2 (TYPE3-M0+)



*1 : Figure 3-1 を参照ください。

4. レジスター覧

I/O ポートのレジスター覧を説明します。

レジスター覧を Table 4-1 に示します。

Table 4-1 I/O ポートレジスター覧

レジスタ略称	レジスタ名	参照先
PFR0	ポート機能設定レジスタ 0	4.1
PFR1	ポート機能設定レジスタ 1	
PFR2	ポート機能設定レジスタ 2	
PFR3	ポート機能設定レジスタ 3	
PFR4	ポート機能設定レジスタ 4	
PFR5	ポート機能設定レジスタ 5	
PFR6	ポート機能設定レジスタ 6	
PFR7	ポート機能設定レジスタ 7	
PFR8	ポート機能設定レジスタ 8	
PFR9	ポート機能設定レジスタ 9	
PFRA	ポート機能設定レジスタ A	
PFRB	ポート機能設定レジスタ B	
PFRC	ポート機能設定レジスタ C	
PFRD	ポート機能設定レジスタ D	
PFRE	ポート機能設定レジスタ E	
PFRF	ポート機能設定レジスタ F	
PCR0	プルアップ設定レジスタ 0	4.2
PCR1	プルアップ設定レジスタ 1	
PCR2	プルアップ設定レジスタ 2	
PCR3	プルアップ設定レジスタ 3	
PCR4	プルアップ設定レジスタ 4	
PCR5	プルアップ設定レジスタ 5	
PCR6	プルアップ設定レジスタ 6	
PCR7	プルアップ設定レジスタ 7	
PCR9	プルアップ設定レジスタ 9	
PCRA	プルアップ設定レジスタ A	
PCRB	プルアップ設定レジスタ B	
PCRC	プルアップ設定レジスタ C	
PCRD	プルアップ設定レジスタ D	
PCRE	プルアップ設定レジスタ E	
PCRF	プルアップ設定レジスタ F	

レジスタ略称	レジスタ名	参照先
DDR0	ポート入出力方向設定レジスタ 0	4.3
DDR1	ポート入出力方向設定レジスタ 1	
DDR2	ポート入出力方向設定レジスタ 2	
DDR3	ポート入出力方向設定レジスタ 3	
DDR4	ポート入出力方向設定レジスタ 4	
DDR5	ポート入出力方向設定レジスタ 5	
DDR6	ポート入出力方向設定レジスタ 6	
DDR7	ポート入出力方向設定レジスタ 7	
DDR8	ポート入出力方向設定レジスタ 8	
DDR9	ポート入出力方向設定レジスタ 9	
DDRA	ポート入出力方向設定レジスタ A	
DDRB	ポート入出力方向設定レジスタ B	
DDRC	ポート入出力方向設定レジスタ C	
DDRD	ポート入出力方向設定レジスタ D	
DDRE	ポート入出力方向設定レジスタ E	
DDRF	ポート入出力方向設定レジスタ F	
PDIR0	ポート入力データレジスタ 0	4.4
PDIR1	ポート入力データレジスタ 1	
PDIR2	ポート入力データレジスタ 2	
PDIR3	ポート入力データレジスタ 3	
PDIR4	ポート入力データレジスタ 4	
PDIR5	ポート入力データレジスタ 5	
PDIR6	ポート入力データレジスタ 6	
PDIR7	ポート入力データレジスタ 7	
PDIR8	ポート入力データレジスタ 8	
PDIR9	ポート入力データレジスタ 9	
PDIRA	ポート入力データレジスタ A	
PDIRB	ポート入力データレジスタ B	
PDIRC	ポート入力データレジスタ C	
PDIRD	ポート入力データレジスタ D	
PDIRE	ポート入力データレジスタ E	
PDIRF	ポート入力データレジスタ F	
PDOR0	ポート出力データレジスタ 0	4.5
PDOR1	ポート出力データレジスタ 1	
PDOR2	ポート出力データレジスタ 2	
PDOR3	ポート出力データレジスタ 3	
PDOR4	ポート出力データレジスタ 4	
PDOR5	ポート出力データレジスタ 5	
PDOR6	ポート出力データレジスタ 6	
PDOR7	ポート出力データレジスタ 7	
PDOR8	ポート出力データレジスタ 8	
PDOR9	ポート出力データレジスタ 9	
PDORA	ポート出力データレジスタ A	

レジスタ略称	レジスタ名	参照先
PDORB	ポート出力データレジスタ B	
PDORC	ポート出力データレジスタ C	
PDORD	ポート出力データレジスタ D	
PDORE	ポート出力データレジスタ E	
PDORF	ポート出力データレジスタ F	
ADE	アナログ入力設定レジスタ	4.6
EPFR	拡張機能端子設定レジスタ	4.7
EPFR00	拡張機能端子設定レジスタ 00	4.8
EPFR01	拡張機能端子設定レジスタ 01	4.9
EPFR02	拡張機能端子設定レジスタ 02	4.10
EPFR03	拡張機能端子設定レジスタ 03	4.11
EPFR04	拡張機能端子設定レジスタ 04	4.12
EPFR05	拡張機能端子設定レジスタ 05	4.13
EPFR06	拡張機能端子設定レジスタ 06	4.14
EPFR07	拡張機能端子設定レジスタ 07	4.15
EPFR08	拡張機能端子設定レジスタ 08	4.16
EPFR09	拡張機能端子設定レジスタ 09	4.17
EPFR12	拡張機能端子設定レジスタ 12	4.18
EPFR13	拡張機能端子設定レジスタ 13	4.19
EPFR14	拡張機能端子設定レジスタ 14	4.20
EPFR15	拡張機能端子設定レジスタ 15	4.21
EPFR16	拡張機能端子設定レジスタ 16	4.22
EPFR17	拡張機能端子設定レジスタ 17	4.23
EPFR18	拡張機能端子設定レジスタ 18	4.24
EPFR21	拡張機能端子設定レジスタ 21	4.25
EPFR22	拡張機能端子設定レジスタ 22	4.26
EPFR23	拡張機能端子設定レジスタ 23	0
EPFR31	拡張機能端子設定レジスタ 31	4.28
EPFR33	拡張機能端子設定レジスタ 33	4.29
EPFR34	拡張機能端子設定レジスタ 34	4.30
EPFR37	拡張機能端子設定レジスタ 37	4.31
EPFR38	拡張機能端子設定レジスタ 38	4.32
SPSR	特殊ポート設定レジスタ	4.33
PZR0	ポート擬似オープンドレイン設定レジスタ 0	4.34
PZR1	ポート擬似オープンドレイン設定レジスタ 1	
PZR2	ポート擬似オープンドレイン設定レジスタ 2	
PZR3	ポート擬似オープンドレイン設定レジスタ 3	
PZR4	ポート擬似オープンドレイン設定レジスタ 4	
PZR5	ポート擬似オープンドレイン設定レジスタ 5	
PZR6	ポート擬似オープンドレイン設定レジスタ 6	
PZR7	ポート擬似オープンドレイン設定レジスタ 7	
PZR8	ポート擬似オープンドレイン設定レジスタ 8	
PZR9	ポート擬似オープンドレイン設定レジスタ 9	

レジスタ略称	レジスタ名	参照先
PZRA	ポート擬似オープンドレイン設定レジスタ A	
PZRB	ポート擬似オープンドレイン設定レジスタ B	
PZRC	ポート擬似オープンドレイン設定レジスタ C	
PZRD	ポート擬似オープンドレイン設定レジスタ D	
PZRE	ポート擬似オープンドレイン設定レジスタ E	
PZRF	ポート擬似オープンドレイン設定レジスタ F	

4.1 ポート機能設定レジスタ(PFRx)

PFRx レジスタは端子の利用方法を選択します。

PFR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性	対応ポート
予約	PFR0	0x000A	R/W	P0F～P00
予約	PFR1	0x0000	R/W	P1F～P10
予約	PFR2	0x0000	R/W	P2F～P20
予約	PFR3	0x0000	R/W	P3F～P30
予約	PFR4	0x0000	R/W	P4F～P40
予約	PFR5	0x0000	R/W	P5F～P50
予約	PFR6	0x0000	R/W	P6F～P60
予約	PFR7	0x0000	R/W	P7F～P70
予約	PFR8	0x0000	R/W	P8F～P80
予約	PFR9	0x0000	R/W	P9F～P90
予約	PFRA	0x0000	R/W	PAF～PA0
予約	PFRB	0x0000	R/W	PBF～PB0
予約	PFRC	0x0000	R/W	PCF～PC0
予約	PFRD	0x0000	R/W	PDF～PD0
予約	PFRE	0x0000	R/W	PEF～PE0
予約	PFRF	0x0000	R/W	PFF～PF0

レジスタ構成詳細

bit	31 16	15 0
Field	予約	PFRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit15:0] PFRx : ポート機能設定レジスタ x

端子の利用方法を設定します。

bit15:0		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子を GPIO 端子として使用します。
	1	当該ビットに対応する端子を周辺機能の入出力端子として使用します。

<注意事項>

- *PFRx の"x"記載はワイルドカードです。PFR0, PFR1, PFR2,・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*
- *PxF～Px0 までの 16 本のポート機能設定が可能です。*

- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PFR0 の bit15 は P0F を、PFR0 の bit14 が P0E を、PFR0 の bit0 が P00 を設定します。*
- *P01 と P03 は、シリアルワイヤデバッグ端子が選択されるため、初期値は"1"です。*
- *レジスタ初期値は、TYPE1-M0+製品の例です。異なる製品は、APPENDIX を参照してください。*
- *製品に存在しない端子のビット値への書込みは無効で、読出し値は不定になります。*

4.2 プルアップ設定レジスタ(PCRx)

PCRx レジスタは端子のプルアップを設定します。

PCR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性	対応ポート
予約	PCR0	0x000A	R/W	P0F～P00
予約	PCR1	0x0000	R/W	P1F～P10
予約	PCR2	0x0000	R/W	P2F～P20
予約	PCR3	0x0000	R/W	P3F～P30
予約	PCR4	0x0000	R/W	P4F～P40
予約	PCR5	0x0000	R/W	P5F～P50
予約	PCR6	0x0000	R/W	P6F～P60
予約	PCR7	0x0000	R/W	P7F～P70
予約	-	-	-	-
予約	PCR9	0x0000	R/W	P9F～P90
予約	PCRA	0x0000	R/W	PAF～PA0
予約	PCRB	0x0000	R/W	PBF～PB0
予約	PCRC	0x0000	R/W	PCF～PC0
予約	PCRD	0x0000	R/W	PDF～PD0
予約	PCRE	0x0000	R/W	PEF～PE0
予約	PCRF	0x0000	R/W	PFF～PF0

レジスタ構成詳細

bit	31 16	15 0
Field	予約	PCRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit15:0] PCRx : プルアップ設定レジスタ x

端子のプルアップを設定します。

bit15:0		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子の内蔵プルアップ抵抗を切断します。
	1	当該ビットに対応する端子が入力状態(GPIO・周辺機能いずれも)の場合に内蔵プルアップ抵抗が接続されます。 当該ビットに対応する端子が出力状態の場合内蔵プルアップ抵抗は切断されます。

<注意事項>

- *PCRx の"x"記載はワイルドカードです。PCR0, PCR1, PCR2,・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や, P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*

- *1 つのレジスタで PxF ～Px0 までの 16 本のプルアップ設定が可能です。*
- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PCR0 の bit15 が P0F を、PCR0 の bit14 が P0E を、PCR0 の bit0 が P00 を設定します。*
- *P01 と P03 は、シリアルワイヤデバッグ端子が選択されるため、初期値="1"になります。*
- *I^2C 使用時は PCRx=0 を設定して、外部端子にプルアップ抵抗を接続してください。*
- *PCR8 はありません。*
- *製品に存在しない端子のビット値への書込みは無効で、読出し値は不定になります。*
- *PE0, PE1 にはプルアップ抵抗が存在しません。そのため、レジスタ書込みは無効です。読出し値は、初期値または書込み値が読み出されます。*
- *レジスタ初期値は、TYPE1-M0+製品の例です。異なる製品は、APPENDIX を参照してください。*

4.3 ポート入出力方向設定レジスタ(DDRx)

DDRx レジスタは端子の入出力方向を設定します。

DDR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性	対応ポート
予約	DDR0	0x0000	R/W	P0F～P00
予約	DDR1	0x0000	R/W	P1F～P10
予約	DDR2	0x0000	R/W	P2F～P20
予約	DDR3	0x0000	R/W	P3F～P30
予約	DDR4	0x0000	R/W	P4F～P40
予約	DDR5	0x0000	R/W	P5F～P50
予約	DDR6	0x0000	R/W	P6F～P60
予約	DDR7	0x0000	R/W	P7F～P70
予約	DDR8	0x0000	R/W	P8F～P80
予約	DDR9	0x0000	R/W	P9F～P90
予約	DDRA	0x0000	R/W	PAF～PA0
予約	DDRB	0x0000	R/W	PBF～PB0
予約	DDRC	0x0000	R/W	PCF～PC0
予約	DDRD	0x0000	R/W	PDF～PD0
予約	DDRE	0x0000	R/W	PEF～PE0
予約	DDRF	0x0000	R/W	PFF～PF0

レジスタ構成詳細

bit	31 16	15 0
Field	予約	DDRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit15:0] DDRx : ポート入出力方向設定レジスタ x

端子の入出力方向を設定します。

bit15:0		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	GPIO を入力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。
	1	GPIO を出力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。

<注意事項>

- *DDRx の"x"記載はワイルドカードです。DDR0, DDR1, DDR2,・・・を示します。*

- *Px0 やPxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*
- *1 つのレジスタでPxF～Px0 までの16 本のポート入出力方向設定が可能です。*
- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は1 対1 に対応します。例えば、DDR0 のbit15 がP0F を、DDR0 のbit14 がP0E を、DDR0 のbit0 がP00 を設定します。*
- *多機能タイマの出力RTO が選択されている場合は、DTTIX 信号による緊急停止時、端子状態をDDR で制御します。詳細は『タイマ編』の『多機能タイマ』の章を参照してください。*
- *製品に存在しない端子のビット値への書込みは無効で、読出し値は不定になります。*
- *レジスタ初期値は、TYPE1-M0+製品の例です。異なる製品は、APPENDIX を参照してください。*

4.4 ポート入力データレジスタ(PDIRx)

PDIRx レジスタは端子の入力データを示します。

PDIR のレジスタ構成一覧

bit 31 〜 16	bit 15 〜 0	初期値	属性	対応ポート
予約	PDIR0	0xXXXX	R	P0F〜P00
予約	PDIR1	0xXXXX	R	P1F〜P10
予約	PDIR2	0xXXXX	R	P2F〜P20
予約	PDIR3	0xXXXX	R	P3F〜P30
予約	PDIR4	0xXXXX	R	P4F〜P40
予約	PDIR5	0xXXXX	R	P5F〜P50
予約	PDIR6	0xXXXX	R	P6F〜P60
予約	PDIR7	0xXXXX	R	P7F〜P70
予約	PDIR8	0xXXXX	R	P8F〜P80
予約	PDIR9	0xXXXX	R	P9F〜P90
予約	PDIRA	0xXXXX	R	PAF〜PA0
予約	PDIRB	0xXXXX	R	PBF〜PB0
予約	PDIRC	0xXXXX	R	PCF〜PC0
予約	PDIRD	0xXXXX	R	PDF〜PD0
予約	PDIRE	0xXXXX	R	PEF〜PE0
予約	PDIRF	0xXXXX	R	PFF〜PF0

レジスタ構成詳細

bit	31 〜 16	15 〜 0
Field	予約	PDIRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit15:0] PDIRx : ポート入力データレジスタ x

端子の入力データを読み出します。

bit15:0		説明
読出し時	0	端子機能の設定(PFR/EPFR/DDR/PDOR)によらず、端子が"L"レベル入力状態または、"L"レベル出力状態であることを示します。ADE/SPSR により、特殊端子が選択されている場合は、入力遮断されているので常に 0 が読み出されます。
	1	端子機能の設定(PFR/EPFR/DDR/PDOR)によらず、端子が"H"レベル入力状態または、"H"レベル出力状態であることを示します。
書込み時		書込みは動作に影響しません。

<注意事項>

- *PDIRx の"x"記載はワイルドカードです。PDIR0, PDIR1, PDIR2,・・・を示します。*

- *Px0 やPxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*
- *1 つのレジスタで PxF～Px0 までの 16 本のポート入力データの読出しが可能です。*
- *レジスタの各ビットが個別に各端子状態を示します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PDIR0 の bit15 が P0F を、PDIR0 の bit14 が P0E を、PDIR0 の bit0 が P00 を示します。*
- *製品に存在しない端子のビット値は常に"0"が読み出されます。*
- *レジスタ初期値は、TYPE1-M0+製品の例です。異なる製品は、APPENDIX を参照してください。*

4.5 ポート出力データ レジスタ x(PDORx)

PDORx レジスタは端子への出力データを設定します。

PDOR のレジスタ構成一覧

bit 31 〜 16	bit 15 〜 0	初期値	属性	対応ポート
予約	PDOR0	0x0000	R/W	P0F〜P00
予約	PDOR1	0x0000	R/W	P1F〜P10
予約	PDOR2	0x0000	R/W	P2F〜P20
予約	PDOR3	0x0000	R/W	P3F〜P30
予約	PDOR4	0x0000	R/W	P4F〜P40
予約	PDOR5	0x0000	R/W	P5F〜P50
予約	PDOR6	0x0000	R/W	P6F〜P60
予約	PDOR7	0x0000	R/W	P7F〜P70
予約	PDOR8	0x0000	R/W	P8F〜P80
予約	PDOR9	0x0000	R/W	P9F〜P90
予約	PDORA	0x0000	R/W	PAF〜PA0
予約	PDORB	0x0000	R/W	PBF〜PB0
予約	PDORC	0x0000	R/W	PCF〜PC0
予約	PDORD	0x0000	R/W	PDF〜PD0
予約	PDORE	0x0000	R/W	PEF〜PE0
予約	PDORF	0x0000	R/W	PFF〜PF0

レジスタ構成詳細

bit	31 〜 16	15 〜 0
Field	予約	PDORx

レジスタ機能

[bit31:16] 予約 : 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit15:0] PDORx : ポート出力データ レジスタ x

端子の出力データを設定します。

bit15:0		説明
読出し時		レジスタの値を読み出します。
書込み時	0	GPIO に"L"レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。
	1	GPIO に"H"レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。

<注意事項>

- *PDORx の"x"記載はワイルドカードです。PDOR0, PDOR1, PDOR2,・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*

- *1 つのレジスタで PxF ～Px0 までの 16 本のポート出力データの設定が可能です。*
- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PDOR0 の bit15 が P0F を、PDOR0 の bit14 が P0E を、PDOR0 の bit0 が P00 を設定します。*
- *製品に存在しない端子のビット値への書込みは無効で、読出し値は不定になります。*
- *レジスタ初期値は、TYPE1-M0+製品の例です。異なる製品は、APPENDIX を参照してください。*

4.6 アナログ入力設定レジスタ(ADE)

ADE レジスタは外部端子を ADC のアナログ信号入力端子として設定します。

レジスタ構成

bit	31	0
Field	ADE	
属性	R/W	
初期値	0xFFFFFFFF	

レジスタ機能

[bit31:0] ADE： アナログ入力設定レジスタ

アナログ信号入力端子として設定します。

bit31:0		説明
読出し時		レジスタの値を読み出します。
書込み時	0	外部端子をアナログ入力として使用せず、デジタル入出力として使用します。
	1	外部端子をアナログ入力として使用します。 (I/O セルは、入力方向, 入力遮断, 内蔵プルアップ抵抗が切断状態になります。)

<注意事項>

- *本レジスタにより、AN31～AN00 までのアナログ入力端子が設定されます。*
- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は一対一に対応します。例えば、ADE の bit31 が AN31 を、ADE の bit14 が AN14 を、ADE の bit0 が AN00 を設定します。ANxx がどのポートに配置されているかは製品により異なります。詳細はご使用する製品の『データシート』を参照してください。*
- *WKUPx 端子と ANx 端子が兼用されている端子の場合に、両方の端子入力を有効とする設定 (WIER:WUEx=1) & (ADE=1)は禁止です。*

4.7 拡張機能端子設定レジスタ(EPFRx)

EPFRx レジスタは、機能が複数ある場合に、端子への機能割当てを設定します。

EPFRx のレジスタ構成一覧

bit 31 … 0	初期値	属性	対応機能
EPFR00	0x00010000	R/W	システム機能
EPFR01	0x00000000	R/W	多機能タイマ
EPFR02	0x00000000	R/W	
EPFR03	0x00000000	R/W	
EPFR04	0x00000000	R/W	ベースタイマ
EPFR05	0x00000000	R/W	
EPFR06	0x00000000	R/W	外部割込み
EPFR07	0x00000000	R/W	マルチファンクション シリアル
EPFR08	0x00000000	R/W	
EPFR09	0x00000000	R/W	ADC トリガ/QPRC
EPFR12	0x00000000	R/W	ベースタイマ
EPFR13	0x00000000	R/W	
EPFR14	0x00000000	R/W	QPRC
EPFR15	0x00000000	R/W	外部割込み
EPFR16	0x00000000	R/W	マルチファンクション シリアル
EPFR17	0x00000000	R/W	
EPFR18	0x00000000	R/W	HDMI-CEC/ リモコン受信
EPFR21	0x00000000	R/W	QPRC
EPFR22	0x00000000	R/W	マルチファンクション シリアル
EPFR23	0x00000000	R/W	マルチファンクション シリアル
EPFR31	0x00000000	R/W	I2CSLAVE―Wakeup
EPFR33	0x00000000	R/W	Smart-Card
EPFR34	0x00000000	R/W	マルチファンクション シリアル　フロー制御
EPFR37	0x00000000	R/W	MFS-I2S
EPFR38	0x00000000	R/W	MFS-I2S

製品 TYPE により搭載されている EPFRx レジスタが異なります。

EPFRx レジスタの有無と製品 TYPE の対応については、Table 4-2 を参照してください。

<注意事項>

- *レジスタ初期値は、TYPE1-M0+製品の例です。異なる製品は、APPENDIX を参照してください。*

Table 4-2 EPFRx レジスタ 製品 TYPE 対応表

	TYPE1-M0+	TYPE2-M0+	TYPE3-M0+
EPFR00	❍	❍	❍
EPFR01	❍	❍	-
EPFR02	-	-	-
EPFR03	-	-	-
EPFR04	❍	❍	❍
EPFR05	-	❍	❍
EPFR06	❍	❍	❍
EPFR07	❍	❍	❍
EPFR08	-	❍	❍
EPFR09	❍	❍	❍
EPFR12	-	-	-
EPFR13	-	-	-
EPFR14	-	-	-
EPFR15	-	❍	-
EPFR16	-	❍	-
EPFR17	-	-	-
EPFR18	-	❍	-
EPFR21	❍	-	-
EPFR22	❍	-	❍
EPFR23	-	❍	❍
EPFR31	-	-	❍
EPFR33	-	❍	❍
EPFR34	-	❍	-
EPFR37	-	❍	❍
EPFR38	-	❍	❍

4.8 拡張機能端子設定レジスタ 00(EPFR00)

EPFR00 レジスタは、外部端子に複数の機能がある場合に、端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							SWDEN
属性	-							R/W
初期値	-							1

bit	15	14	13	12	11	10	9	8
Field	予約						USBP0E	予約
属性	-							-
初期値	-							-

bit	7	6	5	4	3	2	1	0
Field	SUBOUTE		RTCCOE		予約	CROUTE		NMIS
属性	R/W		R/W		-	R/W		R/W
初期値	00		00		-	00		0

レジスタ機能

[bit31:17] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit16] SWDEN : シリアルワイヤデバッグ機能選択ビット 0

SWCLK, SWDIO 端子の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	SWCLK, SWDIO の 2 端子を使用しません。 (兼用する端子が利用可能)
	1	SWCLK, SWDIO の 2 端子を使用します。[初期値]

<注意事項>

- *SWD を有効にするには、SWDEN に加えて DEBUG_SW_CTL の DBG_EN ビットを 1 に設定する必要があります。*

[bit15:10] 予約 : 予約ビット
本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit9] USBP0E : USB ch.0 機能選択ビット 1
USB ch.0 の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	USB ch.0, D+抵抗制御信号(HCONTX)の出力を行いません。[初期値] (兼用する端子が利用可能)
	1	USB ch.0, D+抵抗制御信号(HCONTX)の出力を行います。

[bit8] 予約 : 予約ビット
本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit7:6] SUBOUTE : サブクロック分周出力機能選択ビット
サブクロック分周出力の選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	サブクロック分周出力を行いません。[初期値]
	01	サブクロック分周出力端子に、SUBOUT_0 端子を使用します。
	10	サブクロック分周出力端子に、SUBOUT_1 端子を使用します。
	11	サブクロック分周出力端子に、SUBOUT_2 端子を使用します。

[bit5:4] RTCCOE : RTC クロック出力選択ビット
RTC クロック出力の選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	RTC クロックの出力を行いません。[初期値]
	01	RTC クロック出力端子に、RTCCOE_0 端子を使用します。
	10	RTC クロック出力端子に、RTCCOE_1 端子を使用します。
	11	RTC クロック出力端子に、RTCCOE_2 端子を使用します。

[bit3] 予約 : 予約ビット
本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit2:1] CROUTE : 高速 CR 発振出力機能選択ビット

高速 CR 発振出力の選択を行います。

bit2:1		説明
読出し時		レジスタの値を読み出します。
書込み時	00	高速 CR 発振出力を行いません。[初期値]
	01	高速 CR 発振出力端子に、CROUT_0 端子を使用します。
	10	高速 CR 発振出力端子に、CROUT_1 端子を使用します。
	11	高速 CR 発振出力端子に、CROUT_2 端子を使用します。

[bit0] NMIS : NMIX 機能選択ビット

NMIX 端子の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	NMIX 端子を使用しません。[初期値]
	1	NMIX 端子を使用します。

＜注意事項＞

- *NMIX 端子使用時は NMIS="1"かつ PFR="1"に設定してください。*

TYPE1-M0+、TYPE2-M0+ の場合

- *NMIX 端子が割り当てられている I/O ポートを、GPIO または他の周辺機能から NMIX 端子に切り替える(EPFR00.NMIS=1) 場合は、I/O ポート入力を High レベルの状態で切り替えてください。*
  GPIO または他の周辺機能が選択されている場合、内部の NMIX 端子への入力は High レベル固定になっています。そのため、I/O ポートに Low レベル入力されている状態で、GPIO または他の周辺機能から NMIX 端子に切り替えると、内部の NMIX 端子への入力が High レベルから Low レベルとなり、立下りエッジが検出され、NMI 割込み要求が出力されます。

TYPE3-M0+の場合

- *NMIX 端子が割り当てられている I/O ポートを、GPIO または他の周辺機能から NMIX 端子に切り替える(EPFR00.NMIS=1) 場合は、ノンマスカブル割込み許可レジスタを禁止（NMIENR=0）の状態で、で切り替えてください。*
  端子設定の切り替え後、NMICL レジスタで、割込み要因のクリアを行ってください。その後、ノンマスカブル割込み許可レジスタを許可（NMIENR=1）してください。外部割込み・NMI 制御部の章を参照してください。

4.9 拡張機能端子設定レジスタ 01(EPFR01)

EPFR01 レジスタは、多機能タイマ Unit0 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	IC03S			IC02S			IC01S	
属性	R/W			R/W			R/W	
初期値	000			000			00	

bit	23	22	21	20	19	18	17	16
Field	IC01S	IC00S			FRCK0S		DTTI0S	
属性	R/W	R/W			R/W		R/W	
初期値	0	000			00		00	

bit	15	14	13	12	11	10	9	8
Field	予約		IGTRG0	DTTI0C	RTO05E		RTO04E	
属性	-		R/W	R/W	R/W		R/W	
初期値	-		0	0	00		00	

bit	7	6	5	4	3	2	1	0
Field	RTO03E		RTO02E		RTO01E		RTO00E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:29] IC03S : IC03 入力選択ビット

IC03 の入力選択を行います。

bit31:29		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC03 の入力端子に IC03_0 を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC03 の入力端子に IC03_1 を使用します。
	011	インプットキャプチャ IC03 の入力端子に IC03_2 を使用します。
	100	インプットキャプチャ IC03 の入力に内部マクロ MFS ch.3 LSYN を使用します。
	101	インプットキャプチャ IC03 の入力に内部マクロ MFS ch.7 LSYN を使用します。
	110	設定禁止
	111	インプットキャプチャ IC03 の入力に内部マクロ端子 CRTRIM を使用します。

[bit28:26] IC02S : IC02 入力選択ビット

IC02 の入力選択を行います。

bit28:26		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC02 の入力端子に IC02_0 を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC02 の入力端子に IC02_1 を使用します。
	011	インプットキャプチャ IC02 の入力端子に IC02_2 を使用します。
	100	インプットキャプチャ IC02 の入力に内部マクロ MFS ch.2 LSYN を使用します。
	101	インプットキャプチャ IC02 の入力に内部マクロ MFS ch.6 LSYN を使用します。
	110	設定禁止
	111	

[bit25:23] IC01S : IC01 入力選択ビット

IC01 の入力選択を行います。

bit25:23		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC01 の入力端子に IC01_0 を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC01 の入力端子に IC01_1 を使用します。
	011	インプットキャプチャ IC01 の入力端子に IC01_2 を使用します。
	100	インプットキャプチャ IC01 の入力に内部マクロ MFS ch.1 LSYN を使用します。
	101	インプットキャプチャ IC01 の入力に内部マクロ MFS ch.5 LSYN を使用します。
	110	設定禁止
	111	

[bit22:20] IC00S : IC00 入力選択ビット

IC00 の入力選択を行います。

bit22:20		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC00 の入力端子に IC00_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC00 の入力端子に IC00_1 端子を使用します。
	011	インプットキャプチャ IC00 の入力端子に IC00_2 端子を使用します。
	100	インプットキャプチャ IC00 の入力に内部マクロ MFS ch.0 LSYN を使用します。
	101	インプットキャプチャ IC00 の入力に内部マクロ MFS ch.4 LSYN を使用します。
	110	設定禁止
	111	

[bit19:18] FRCK0S : FRCK0 入力選択ビット

FRCK0 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	フリーランタイマ FRCK0 の入力端子に、FRCK0_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	フリーランタイマ FRCK0 の入力端子に、FRCK0_1 端子を使用します。
	11	フリーランタイマ FRCK0 の入力端子に、FRCK0_2 端子を使用します。

[bit17:16] DTTI0S : DTTI0X 入力選択ビット

DTTI0X の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ DTTI0X の入力端子に、DTTI0X_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	波形ジェネレータ DTTI0X の入力端子に、DTTI0X_1 端子を使用します。
	11	波形ジェネレータ DTTI0X の入力端子に、DTTI0X_2 端子を使用します。

[bit15:14] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit13] IGTRG0 : IGTRG0 入力選択ビット

IGTRG0 の入力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	PPG の IGTRG の入力端子に IGTRG0_0 を使用します。[初期値]
	1	PPG の IGTRG の入力端子に IGTRG0_1 を使用します。

[bit12] DTTI0C : DTTI0X 機能選択ビット

DTTI0X の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	RTO00～RTO05 端子の出力に対し、DTTIF0 による GPIO 切換えを行いません。[初期値]
	1	RTO00～RTO05 端子の出力に対し、DTTIF0 による GPIO 切換えを行います。

[bit11:10] RTO05E : RTO05 出力選択ビット

RTO05 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO05 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO05 の出力端子に RTO05_0 端子を使用します。
	10	波形ジェネレータ RTO05 の出力端子に RTO05_1 端子を使用します。
	11	設定禁止

[bit9:8] RTO04E : RTO04 出力選択ビット

RTO04 の出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO04 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO04 の出力端子に RTO04_0 端子を使用します。
	10	波形ジェネレータ RTO04 の出力端子に RTO04_1 端子を使用します。
	11	設定禁止

[bit7:6] RTO03E : RTO03 出力選択ビット

RTO03 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO03 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO03 の出力端子に RTO03_0 端子を使用します。
	10	波形ジェネレータ RTO03 の出力端子に RTO03_1 端子を使用します。
	11	設定禁止

[bit5:4] RTO02E : RTO02 出力選択ビット

RTO02 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO02 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO02 の出力端子に RTO02_0 端子を使用します。
	10	波形ジェネレータ RTO02 の出力端子に RTO02_1 端子を使用します。
	11	設定禁止

[bit3:2] RTO01E : RTO01 出力選択ビット

RTO01 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO01 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO01 の出力端子に RTO01_0 を使用します。
	10	波形ジェネレータ RTO01 の出力端子に RTO01_1 を使用します。
	11	設定禁止

[bit1:0] RTO00E : RTO00 出力選択ビット

RTO00 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO00 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO00 の出力端子に RTO00_0 端子を使用します。
	10	波形ジェネレータ RTO00 の出力端子に RTO00_1 端子を使用します。
	11	設定禁止

4.10 拡張機能端子設定レジスタ 02(EPFR02)

EPFR02 レジスタは、多機能タイマ Unit1 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	IC13S			IC12S			IC11S	
属性		R/W			R/W			R/W
初期値		000			000			00

bit	23	22	21	20	19	18	17	16
Field	IC11S	IC10S			FRCK1S		DTTI1S	
属性	R/W		R/W		R/W		R/W	
初期値	0		000		00		00	

bit	15	14	13	12	11	10	9	8
Field	予約			DTTI1C	RTO15E		RTO14E	
属性		-		R/W	R/W		R/W	
初期値		-		0	00		00	

bit	7	6	5	4	3	2	1	0
Field	RTO13E		RTO12E		RTO11E		RTO10E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:29] IC13S : IC13 入力選択ビット

IC13 の入力選択を行います。

bit31:29		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC13 の入力端子に IC13_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC13 の入力端子に IC13_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC13 の入力に内部マクロ MFS ch.3 LSYN を使用します。
	101	インプットキャプチャ IC13 の入力に内部マクロ MFS ch.7 LSYN を使用します。
	110	設定禁止
	111	

[bit28:26] IC12S : IC12 入力選択ビット

IC12 の入力選択を行います。

bit28:26		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC12 の入力端子に IC12_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC12 の入力端子に IC12_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC12 の入力に内部マクロ MFS ch.2 LSYN を使用します。
	101	インプットキャプチャ IC12 の入力に内部マクロ MFS ch.6 LSYN を使用します。
	110	設定禁止
	111	

[bit25:23] IC11S : IC11 入力選択ビット

IC11 の入力選択を行います。

bit25:23		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC11 の入力端子に IC11_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC11 の入力端子に IC11_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC11 の入力に内部マクロ MFS ch.1 LSYN を使用します。
	101	インプットキャプチャ IC11 の入力に内部マクロ MFS ch.5 LSYN を使用します。
	110	設定禁止
	111	

[bit22:20] IC10S : IC10 入力選択ビット

IC10 の入力選択を行います。

bit22:20		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC10 の入力端子に IC10_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC10 の入力端子に IC10_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC10 の入力に内部マクロ MFS ch.0 LSYN を使用します。
	101	インプットキャプチャ IC10 の入力に内部マクロ MFS ch.4 LSYN を使用します。
	110	設定禁止
	111	

[bit19:18] FRCK1S : FRCK1 入力選択ビット

FRCK1 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	フリーランタイマ FRCK1 の入力端子に、FRCK1_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	フリーランタイマ FRCK1 の入力端子に、FRCK1_1 端子を使用します。
	11	設定禁止

[bit17:16] DTTI1S : DTTI1X 入力選択ビット

DTTI1X の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ DTTI1X の入力端子に、DTTI1X_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	波形ジェネレータ DTTI1X の入力端子に、DTTI1X_1 端子を使用します。
	11	設定禁止

[bit15:13] 予約 : 予約ビット

本ビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit12] DTTI1C : DTTI1X 機能選択ビット

DTTI1X の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	RTO10～RTO15 端子の出力に対し、DTTIF1 による GPIO 切換えを行いません。[初期値]
	1	RTO10～RTO15 端子の出力に対し、DTTIF1 による GPIO 切換えを行います。

[bit11:10] RTO15E : RTO15 出力選択ビット

RTO15 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO15 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO15 の出力端子に RTO15_0 端子を使用します。
	10	波形ジェネレータ RTO15 の出力端子に RTO15_1 端子を使用します。
	11	設定禁止

[bit9:8] RTO14E : RTO14 出力選択ビット

RTO14 の出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO14 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO14 の出力端子に RTO14_0 端子を使用します。
	10	波形ジェネレータ RTO14 の出力端子に RTO14_1 端子を使用します。
	11	設定禁止

[bit7:6] RTO13E : RTO13 出力選択ビット

RTO13 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO13 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO13 の出力端子に RTO13_0 端子を使用します。
	10	波形ジェネレータ RTO13 の出力端子に RTO13_1 端子を使用します。
	11	設定禁止

[bit5:4] RTO12E : RTO12 出力選択ビット

RTO12 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO12 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO12 の出力端子に RTO12_0 端子を使用します。
	10	波形ジェネレータ RTO12 の出力端子に RTO12_1 端子を使用します。
	11	設定禁止

[bit3:2] RTO11E : RTO11 出力選択ビット

RTO11 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO11 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO11 の出力端子に RTO11_0 端子を使用します。
	10	波形ジェネレータ RTO11 の出力端子に RTO11_1 端子を使用します。
	11	設定禁止

[bit1:0] RTO10E : RTO10 出力選択ビット

RTO10 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO10 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO10 の出力端子に RTO10_0 端子を使用します。
	10	波形ジェネレータ RTO10 の出力端子に RTO10_1 端子を使用します。
	11	設定禁止

4.11 拡張機能端子設定レジスタ 03(EPFR03)

EPFR03 レジスタは、多機能タイマ Unit2 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	IC23S			IC22S			IC21S	
属性	R/W			R/W			R/W	
初期値	000			000			00	

bit	23	22	21	20	19	18	17	16
Field	IC21S	IC20S			FRCK2S		DTTI2S	
属性	R/W	R/W			R/W		R/W	
初期値	0	000			00		00	

bit	15	14	13	12	11	10	9	8
Field	予約			DTTI2C	RTO25E		RTO24E	
属性	-			R/W	R/W		R/W	
初期値	-			0	00		00	

bit	7	6	5	4	3	2	1	0
Field	RTO23E		RTO22E		RTO21E		RTO20E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:29] IC23S : IC23 入力選択ビット

IC23 の入力選択を行います。

bit31:29		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC23 の入力端子に IC23_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC23 の入力端子に IC23_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC23 の入力に内部マクロ MFS ch.3 LSYN を使用します。
	101	インプットキャプチャ IC23 の入力に内部マクロ MFS ch.7 LSYN を使用します。
	110	設定禁止
	111	

[bit28:26] IC22S : IC22 入力選択ビット

IC22 の入力選択を行います。

bit28:26		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC22 の入力端子に IC22_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC22 の入力端子に IC22_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC22 の入力に内部マクロ MFS ch.2 LSYN を使用します。
	101	インプットキャプチャ IC22 の入力に内部マクロ MFS ch.6 LSYN を使用します。
	110	設定禁止
	111	

[bit25:23] IC21S : IC21 入力選択ビット

IC21 の入力選択を行います。

bit25:23		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC21 の入力端子に IC21_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC21 の入力端子に IC21_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC21 の入力に内部マクロ MFS ch.1 LSYN を使用します。
	101	インプットキャプチャ IC21 の入力に内部マクロ MFS ch.5 LSYN を使用します。
	110	設定禁止
	111	

[bit22:20] IC20S : IC20 入力選択ビット

IC20 の入力選択を行います。

bit22:20		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC20 の入力端子に IC20_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC20 の入力端子に IC20_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC20 の入力に内部マクロ MFS ch.0 LSYN を使用します。
	101	インプットキャプチャ IC20 の入力に内部マクロ MFS ch.4 LSYN を使用します。
	110	設定禁止
	111	

[bit19:18] FRCK2S : FRCK2 入力選択ビット

FRCK2 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	フリーランタイマ FRCK2 の入力端子に、FRCK2_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	フリーランタイマ FRCK2 の入力端子に、FRCK2_1 端子を使用します。
	11	設定禁止

[bit17:16] DTTI2S : DTTI2X 入力選択ビット

DTTI2X の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ DTTI2X の入力端子に、DTTI2X_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	波形ジェネレータ DTTI2X の入力端子に、DTTI2X_1 端子を使用します。
	11	設定禁止

[bit15:13] 予約 : 予約ビット

本ビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit12] DTTI2C : DTTI2X 機能選択ビット

DTTI2X の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	RTO20～RTO25 端子の出力に対し、DTTIF2 による GPIO 切換えを行いません。[初期値]
	1	RTO20～RTO25 端子の出力に対し、DTTIF2 による GPIO 切換えを行います。

[bit11:10] RTO25E : RTO25 出力選択ビット

RTO25 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO25 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO25 の出力端子に RTO25_0 端子を使用します。
	10	波形ジェネレータ RTO25 の出力端子に RTO25_1 端子を使用します。
	11	設定禁止

[bit9:8] RTO24E : RTO24 出力選択ビット

RTO24 の出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO24 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO24 の出力端子に RTO24_0 端子を使用します。
	10	波形ジェネレータ RTO24 の出力端子に RTO24_1 端子を使用します。
	11	設定禁止

[bit7:6] RTO23E : RTO23 出力選択ビット

RTO23 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO23 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO23 の出力端子に RTO23_0 端子を使用します。
	10	波形ジェネレータ RTO23 の出力端子に RTO23_1 端子を使用します。
	11	設定禁止

[bit5:4] RTO22E : RTO22 出力選択ビット

RTO22 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO22 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO22 の出力端子に RTO22_0 端子を使用します。
	10	波形ジェネレータ RTO22 の出力端子に RTO22_1 端子を使用します。
	11	設定禁止

[bit3:2] RTO21E : RTO21 出力選択ビット

RTO21 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO21 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO21 の出力端子に RTO21_0 端子を使用します。
	10	波形ジェネレータ RTO21 の出力端子に RTO21_1 端子を使用します。
	11	設定禁止

[bit1:0] RTO20E : RTO20 出力選択ビット

RTO20 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO20 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO20 の出力端子に RTO20_0 端子を使用します。
	10	波形ジェネレータ RTO20 の出力端子に RTO20_1 端子を使用します。
	11	設定禁止

4.12 拡張機能端子設定レジスタ 04(EPFR04)

EPFR04 レジスタは、ベースタイマ ch.0～ch.3 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB3S		TIOA3E		TIOA3S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB2S		TIOA2E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB1S		TIOA1E		TIOA1S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約	TIOB0S			TIOA0E		予約	
属性	-	R/W			R/W		-	
初期値	-	000			00		-	

レジスタ機能

[bit31:30] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit29:28] TIOB3S : TIOB3 入力選択ビット

TIOB3 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.3 TIOB の入力端子に TIOB3_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.3 TIOB の入力端子に TIOB3_1 端子を使用します。
	11	BT ch.3 TIOB の入力端子に TIOB3_2 端子を使用します。

[bit27:26] TIOA3E : TIOA3E 出力選択ビット

TIOA3 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.3 TIOA の出力を行いません。[初期値]
	01	BT ch.3 TIOA の出力端子に TIOA3_0 端子を使用します。
	10	BT ch.3 TIOA の出力端子に TIOA3_1 端子を使用します。
	11	BT ch.3 TIOA の出力端子に TIOA3_2 端子を使用します。

[bit25:24] TIOA3S : TIOA3 入力選択ビット

TIOA3 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.3 TIOA の入力端子に TIOA3_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.3 TIOA の入力端子に TIOA3_1 端子を使用します。
	11	BT ch.3 TIOA の入力端子に TIOA3_2 端子を使用します。

[bit23:22] 予約: 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit21:20] TIOB2S : TIOB2 入力選択ビット

TIOB2 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.2 TIOB の入力端子に TIOB2_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.2 TIOB の入力端子に TIOB2_1 端子を使用します。
	11	BT ch.2 TIOB の入力端子に TIOB2_2 端子を使用します。

[bit19:18] TIOA2E : TIOA2 出力選択ビット

TIOA2 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.2 TIOA の出力を行いません。[初期値]
	01	BT ch.2 TIOA の出力端子に TIOA2_0 端子を使用します。
	10	BT ch.2 TIOA の出力端子に TIOA2_1 端子を使用します。
	11	BT ch.2 TIOA の出力端子に TIOA2_2 端子を使用します。

[bit17:14] 予約: 予約ビット
本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit13:12] TIOB1S : TIOB1 入力選択ビット
TIOB1 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.1 TIOB の入力端子に TIOB1_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.1 TIOB の入力端子に TIOB1_1 端子を使用します。
	11	BT ch.1 TIOB の入力端子に TIOB1_2 端子を使用します。

[bit11:10] TIOA1E : TIOA1E 出力選択ビット
TIOA1 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.1 TIOA の出力を行いません。[初期値]
	01	BT ch.1 TIOA の出力端子に TIOA1_0 端子を使用します。
	10	BT ch.1 TIOA の出力端子に TIOA1_1 端子を使用します。
	11	BT ch.1 TIOA の出力端子に TIOA1_2 端子を使用します。

[bit9:8] TIOA1S : TIOA1 入力選択ビット
TIOA1 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.1 TIOA の入力端子に TIOA1_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.1 TIOA の入力端子に TIOA1_1 端子を使用します。
	11	BT ch.1 TIOA の入力端子に TIOA1_2 端子を使用します。

[bit7] 予約 : 予約ビット
本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:4] TIOB0S : TIOB0 入力選択ビット

TIOB0 の入力選択を行います。

bit6:4		説明
読出し時		レジスタの値を読み出します。
書込み時	000	BT ch.0 TIOB の入力端子に TIOB0_0 端子を使用します。[初期値]
	001	000 書込み時と同じ
	010	BT ch.0 TIOB の入力端子に TIOB0_1 端子を使用します。
	011	BT ch.0 TIOB の入力端子に TIOB0_2 端子を使用します。
	100	設定禁止
	101	設定禁止
	110	BT ch.0 TIOB の入力に SUBOUT を使用します。*2
	111	高速 CR 分周クロックのトリミング測定用端子に使用します。*1

[bit3:2] TIOA0E : TIOA0 出力選択ビット

TIOA0 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.0 TIOA の出力を行いません。[初期値]
	01	BT ch.0 TIOA の出力端子に TIOA0_0 端子を使用します。
	10	BT ch.0 TIOA の出力端子に TIOA0_1 端子を使用します。
	11	BT ch.0 TIOA の出力端子に TIOA0_2 端子を使用します。

[bit1:0] 予約: 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

＜注意事項＞

- *TIOA*
  偶数チャネルは出力のみです。
  奇数チャネルは出力と入力があります。
- *TIOB*
  入力のみです。
- *TIOA1, TIOA3, TIOA5, TIOA7(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。*
  TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

  例 1 : TIOA1 を出力端子として使用する場合
  TIOA1 を TIOA1_0 端子へ出力する場合、EPFR04.TIOA1E = 01 を選択します。
  TIOA1 を TIOA1_1 端子へ出力する場合、EPFR04.TIOA1E = 10 を選択します。
  TIOA1 を TIOA1_2 端子へ出力する場合、EPFR04.TIOA1E = 11 を選択します。
  EPFR04.TIOA1S の設定は、無視されます。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要が

あります。

例 2 : TIOA1 を入力端子として使用する場合
EPFR04.TIOA1E = 00 を選択します。
TIOA1 を TIOA1_0 端子から入力する場合、EPFR04.TIOA1S = 00 or 01 を選択します。
TIOA1 を TIOA1_1 端子から入力する場合、EPFR04.TIOA1S = 10 を選択します。
TIOA1 を TIOA1_2 端子から入力する場合、EPFR04.TIOA1S = 11 を選択します。
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。

** 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO，ほかの周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。*

4.13 拡張機能端子設定レジスタ 05(EPFR05)

EPFR05 レジスタは、ベースタイマ ch.4～ch.7 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB7S		TIOA7E		TIOA7S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB6S		TIOA6E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB5S		TIOA5E		TIOA5S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約		TIOB4S		TIOA4E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

レジスタ機能

[bit31:30] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit29:28] TIOB7S : TIOB7 入力選択ビット

TIOB7 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.7 TIOB の入力端子に TIOB7_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.7 TIOB の入力端子に TIOB7_1 を使用します。
	11	BT ch.7 TIOB の入力端子に TIOB7_2 を使用します。

[bit27:26] TIOA7E : TIOA7E 出力選択ビット

TIOA7 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.7 TIOA の出力を行いません。[初期値]
	01	BT ch.7 TIOA の出力端子に TIOA7_0 を使用します。
	10	BT ch.7 TIOA の出力端子に TIOA7_1 を使用します。
	11	BT ch.7 TIOA の出力端子に TIOA7_2 を使用します。

[bit25:24] TIOA7S : TIOA7 入力選択ビット

TIOA7 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.7 TIOA の入力端子に TIOA7_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.7 TIOA の入力端子に TIOA7_1 を使用します。
	11	BT ch.7 TIOA の入力端子に TIOA7_2 を使用します。

[bit23:22] 予約: 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit21:20] TIOB6S : TIOB6 入力選択ビット

TIOB6 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.6 TIOB の入力端子に TIOB6_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.6 TIOB の入力端子に TIOB6_1 を使用します。
	11	BT ch.6 TIOB の入力端子に TIOB6_2 を使用します。

[bit19:18] TIOA6E : TIOA6 出力選択ビット

TIOA6 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.6 TIOA の出力を行いません。[初期値]
	01	BT ch.6 TIOA の出力端子に TIOA6_0 を使用します。
	10	BT ch.6 TIOA の出力端子に TIOA6_1 を使用します。
	11	BT ch.6 TIOA の出力端子に TIOA6_2 を使用します。

[bit17:14] 予約: 予約ビット
本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit13:12] TIOB5S : TIOB5 入力選択ビット
TIOB5 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.5 TIOB の入力端子に TIOB5_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.5 TIOB の入力端子に TIOB5_1 を使用します。
	11	BT ch.5 TIOB の入力端子に TIOB5_2 を使用します。

[bit11:10] TIOA5E : TIOA5E 出力選択ビット
TIOA5 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.5 TIOA の出力を行いません。[初期値]
	01	BT ch.5 TIOA の出力端子に TIOA5_0 を使用します。
	10	BT ch.5 TIOA の出力端子に TIOA5_1 を使用します。
	11	BT ch.5 TIOA の出力端子に TIOA5_2 を使用します。

[bit9:8] TIOA5S : TIOA5 入力選択ビット
TIOA5 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.5 TIOA の入力端子に TIOA5_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.5 TIOA の入力端子に TIOA5_1 を使用します。
	11	BT ch.5 TIOA の入力端子に TIOA5_2 を使用します。

[bit7:6] 予約: 予約ビット
本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5:4] TIOB4S : TIOB4 入力選択ビット

TIOB4 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.4 TIOB の入力端子に TIOB4_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.4 TIOB の入力端子に TIOB4_1 を使用します。
	11	BT ch.4 TIOB の入力端子に TIOB4_2 を使用します。

[bit3:2] TIOA4E : TIOA4 出力選択ビット

TIOA4 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.4 TIOA の出力を行いません。[初期値]
	01	BT ch.4 TIOA の出力端子に TIOA4_0 を使用します。
	10	BT ch.4 TIOA の出力端子に TIOA4_1 を使用します。
	11	BT ch.4 TIOA の出力端子に TIOA4_2 を使用します。

[bit1:0] 予約: 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

<注意事項>

- *TIOA*
  偶数チャネルは出力のみです。
  奇数チャネルは出力と入力があります。
- *TIOB*
  入力のみです。
  TIOA1, TIOA3, TIOA5, TIOA7(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。
  TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

  例 1 : TIOA1 を出力端子として使用する場合
  TIOA1 を TIOA1_0 端子へ出力する場合、EPFR04.TIOA1E = 01 を選択します。
  TIOA1 を TIOA1_1 端子へ出力する場合、EPFR04.TIOA1E = 10 を選択します。
  TIOA1 を TIOA1_2 端子へ出力する場合、EPFR04.TIOA1E = 11 を選択します。
  EPFR04.TIOA1S の設定は、無視されます。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。

  例 2 : TIOA1 を入力端子として使用する場合
  EPFR04.TIOA1E = 00 を選択します。

TIOA1 を TIOA1_0 端子から入力する場合、EPFR04.TIOA1S = 00 or 01 を選択します。
TIOA1 を TIOA1_1 端子から入力する場合、EPFR04.TIOA1S = 10 を選択します。
TIOA1 を TIOA1_2 端子から入力する場合、EPFR04.TIOA1S = 11 を選択します。
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。

* *入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO, ほかの周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。*

4.14 拡張機能端子設定レジスタ 06(EPFR06)

EPFR06 レジスタは、外部割込みの端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	EINT15S		EINT14S		EINT13S		EINT12S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	EINT11S		EINT10S		EINT09S		EINT08S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	EINT07S		EINT06S		EINT05S		EINT04S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	EINT03S		EINT02S		EINT01S		EINT00S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:30] EINT15S： 外部割込み入力選択ビット

EINT15 の入力選択を行います。

bit31:30		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.15 の入力端子に INT15_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.15 の入力端子に INT15_1 端子を使用します。
	11	EINT ch.15 の入力端子に INT15_2 端子を使用します。

[bit29:28] EINT14S： 外部割込み入力選択ビット

EINT14 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.14 の入力端子に INT14_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.14 の入力端子に INT14_1 端子を使用します。
	11	EINT ch.14 の入力端子に INT14_2 端子を使用します。

[bit27:26] EINT13S： 外部割込み入力選択ビット

EINT13 の入力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.13 の入力端子に INT13_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.13 の入力端子に INT13_1 端子を使用します。
	11	EINT ch.13 の入力端子に INT13_2 端子を使用します。

[bit25:24] EINT12S： 外部割込み入力選択ビット

EINT12 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.12 の入力端子に INT12_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.12 の入力端子に INT12_1 端子を使用します。
	11	EINT ch.12 の入力端子に INT12_2 端子を使用します。

[bit23:22] EINT11S： 外部割込み入力選択ビット

EINT11 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.11 の入力端子に INT11_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.11 の入力端子に INT11_1 端子を使用します。
	11	EINT ch.11 の入力端子に INT11_2 端子を使用します。

[bit21:20] EINT10S： 外部割込み入力選択ビット

EINT10 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.10 の入力端子に INT10_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.10 の入力端子に INT10_1 端子を使用します。
	11	EINT ch.10 の入力端子に INT10_2 端子を使用します。

[bit19:18] EINT09S： 外部割込み入力選択ビット

EINT09 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.9 の入力端子に INT09_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.9 の入力端子に INT09_1 端子を使用します。
	11	EINT ch.9 の入力端子に INT09_2 端子を使用します。

[bit17:16] EINT08S： 外部割込み入力選択ビット

EINT08 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.8 の入力端子に INT08_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.8 の入力端子に INT08_1 端子を使用します。
	11	EINT ch.8 の入力端子に INT08_2 端子を使用します。

[bit15:14] EINT07S： 外部割込み入力選択ビット

EINT07 の入力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.7 の入力端子に INT07_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.7 の入力端子に INT07_1 端子を使用します。
	11	EINT ch.7 の入力端子に INT07_2 端子を使用します。

[bit13:12] EINT06S： 外部割込み入力選択ビット

EINT06 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.6 の入力端子に INT06_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.6 の入力端子に INT06_1 端子を使用します。
	11	EINT ch.6 の入力端子に INT06_2 端子を使用します。

[bit11:10] EINT05S： 外部割込み入力選択ビット

EINT05 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.5 の入力端子に INT05_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.5 の入力端子に INT05_1 端子を使用します。
	11	EINT ch.5 の入力端子に INT05_2 端子を使用します。

[bit9:8] EINT04S： 外部割込み入力選択ビット

EINT04 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.4 の入力端子に INT04_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.4 の入力端子に INT04_1 端子を使用します。
	11	EINT ch.4 の入力端子に INT04_2 端子を使用します。

[bit7:6] EINT03S： 外部割込み入力選択ビット

EINT03 の入力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.3 の入力端子に INT03_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.3 の入力端子に INT03_1 端子を使用します。
	11	EINT ch.3 の入力端子に INT03_2 端子を使用します。

[bit5:4] EINT02S： 外部割込み入力選択ビット

EINT02 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.2 の入力端子に INT02_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.2 の入力端子に INT02_1 端子を使用します。
	11	EINT ch.2 の入力端子に INT02_2 端子を使用します。

[bit3:2] EINT01S： 外部割込み入力選択ビット

EINT01 の入力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.1 の入力端子に INT01_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.1 の入力端子に INT01_1 端子を使用します。
	11	EINT ch.1 の入力端子に INT01_2 端子を使用します。

[bit1:0] EINT00S： 外部割込み入力選択ビット

EINT00 の入力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.0 の入力端子に INT00_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.0 の入力端子に INT00_1 端子を使用します。
	11	EINT ch.0 の入力端子に INT00_2 端子を使用します。

4.15 拡張機能端子設定レジスタ 07(EPFR07)

EPFR07 レジスタは、マルチファンクションシリアルの ch.0～ch.3 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				SCK3B		SOT3B	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	SIN3S		SCK2B		SOT2B		SIN2S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	SCK1B		SOT1B		SIN1S		SCK0B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SOT0B		SIN0S		予約			
属性	R/W		R/W		-			
初期値	00		00		-			

レジスタ機能

[bit31:28] 予約 : 予約ビット

本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit27:26] SCK3B : SCK3 入出力選択ビット

SCK3 の入出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.3 SCK の入力端子に SCK3_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.3 SCK の入力端子に SCK3_0 端子を使用します。 出力端子に SCK3_0 を使用します。
	10	MFS ch.3 SCK の入力端子に SCK3_1 端子を使用します。 出力端子に SCK3_1 を使用します。
	11	MFS ch.3 SCK の入力端子に SCK3_2 端子を使用します。 出力端子に SCK3_2 を使用します。

[bit25:24] SOT3B : SOT3 入出力選択ビット

SOT3 の入出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.3 SOT の入力端子に SOT3_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.3 SOT の入力端子に SOT3_0 端子を使用します。 出力端子に SOT3_0 を使用します。
	10	MFS ch.3 SOT の入力端子に SOT3_1 端子を使用します。 出力端子に SOT3_1 を使用します。
	11	MFS ch.3 SOT の入力端子に SOT3_2 端子を使用します。 出力端子に SOT3_2 を使用します。

[bit23:22] SIN3S : SIN3 入力選択ビット

SIN3 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.3 SIN の入力端子に SIN3_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.3 SIN の入力端子に SIN3_1 端子を使用します。
	11	MFS ch.3 SIN の入力端子に SIN3_2 端子を使用します。

[bit21:20] SCK2B : SCK2 入出力選択ビット

SCK2 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.2 SCK の入力端子に SCK2_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.2 SCK の入力端子に SCK2_0 端子を使用します。 出力端子に SCK2_0 を使用します。
	10	MFS ch.2 SCK の入力端子に SCK2_1 端子を使用します。 出力端子に SCK2_1 を使用します。
	11	MFS ch.2 SCK の入力端子に SCK2_2 端子を使用します。 出力端子に SCK2_2 を使用します。

[bit19:18] SOT2B : SOT2 入出力選択ビット

SOT2 の入出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.2 SOT の入力端子に SOT2_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.2 SOT の入力端子に SOT2_0 端子を使用します。 出力端子に SOT2_0 を使用します。
	10	MFS ch.2 SOT の入力端子に SOT2_1 端子を使用します。 出力端子に SOT2_1 を使用します。
	11	MFS ch.2 SOT の入力端子に SOT2_2 端子を使用します。 出力端子に SOT2_2 を使用します。

[bit17:16] SIN2S : SIN2 入力選択ビット

SIN2 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.2 SIN の入力端子に SIN2_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.2 SIN の入力端子に SIN2_1 端子を使用します。
	11	MFS ch.2 SIN の入力端子に SIN2_2 端子を使用します。

[bit15:14] SCK1B : SCK1 入出力選択ビット

SCK1 の入出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 SCK の入力端子に SCK1_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.1 SCK の入力端子に SCK1_0 端子を使用します。 出力端子に SCK1_0 を使用します。
	10	MFS ch.1 SCK の入力端子に SCK1_1 端子を使用します。 出力端子に SCK1_1 を使用します。
	11	MFS ch.1 SCK の入力端子に SCK1_2 端子を使用します。 出力端子に SCK1_2 を使用します。

[bit13:12] SOT1B : SOT1 入出力選択ビット

SOT1 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 SOT の入力端子に SOT1_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.1 SOT の入力端子に SOT1_0 端子を使用します。 出力端子に SOT1_0 を使用します。
	10	MFS ch.1 SOT の入力端子に SOT1_1 端子を使用します。 出力端子に SOT1_1 を使用します。
	11	MFS ch.1 SOT の入力端子に SOT1_2 端子を使用します。 出力端子に SOT1_2 を使用します。

[bit11:10] SIN1S : SIN1 入力選択ビット

SIN1 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 SIN の入力端子に SIN1_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.1 SIN の入力端子に SIN1_1 端子を使用します。
	11	MFS ch.1 SIN の入力端子に SIN1_2 端子を使用します。

[bit9:8] SCK0B : SCK0 入出力選択ビット

SCK0 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.0 SCK の入力端子に SCK0_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.0 SCK の入力端子に SCK0_0 端子を使用します。 出力端子に SCK0_0 を使用します。
	10	MFS ch.0 SCK の入力端子に SCK0_1 端子を使用します。 出力端子に SCK0_1 を使用します。
	11	MFS ch.0 SCK の入力端子に SCK0_2 端子を使用します。 出力端子に SCK0_2 を使用します。

[bit7:6] SOT0B : SOT0 入出力選択ビット

SOT0 の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.0 SOT の入力端子に SOT0_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.0 SOT の入力端子に SOT0_0 端子を使用します。 出力端子に SOT0_0 を使用します。
	10	MFS ch.0 SOT の入力端子に SOT0_1 端子を使用します。 出力端子に SOT0_1 を使用します。
	11	MFS ch.0 SOT の入力端子に SOT0_2 端子を使用します。 出力端子に SOT0_2 を使用します。

[bit5:4] SIN0S : SIN0 入力選択ビット

SIN0 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.0 SIN の入力端子に SIN0_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.0 SIN の入力端子に SIN0_1 端子を使用します。
	11	MFS ch.0 SIN の入力端子に SIN0_2 端子を使用します。

[bit3:0] 予約 : 予約ビット

本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

4.16 拡張機能端子設定レジスタ 08(EPFR08)

EPFR08 レジスタは、マルチファンクションシリアルの ch.4～ch.7 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				SCK7B		SOT7B	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	SIN7S		SCK6B		SOT6B		SIN6S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	SCK5B		SOT5B		SIN5S		SCK4B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SOT4B		SIN4S		CTS4S		RTS4E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:28] 予約 : 予約ビット

本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit27:26] SCK7B : SCK7 入出力選択ビット

SCK7 の入出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCK の入力端子に SCK7_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.7 SCK の入力端子に SCK7_0 端子を使用します。 出力端子に SCK7_0 を使用します。
	10	MFS ch.7 SCK の入力端子に SCK7_1 端子を使用します。 出力端子に SCK7_1 を使用します。
	11	MFS ch.7 SCK の入力端子に SCK7_2 端子を使用します。 出力端子に SCK7_2 を使用します。

[bit25:24] SOT7B : SOT7 入出力選択ビット

SOT7 の入出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SOT の入力端子に SOT7_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.7 SOT の入力端子に SOT7_0 端子を使用します。 出力端子に SOT7_0 を使用します。
	10	MFS ch.7 SOT の入力端子に SOT7_1 端子を使用します。 出力端子に SOT7_1 を使用します。
	11	MFS ch.7 SOT の入力端子に SOT7_2 端子を使用します。 出力端子に SOT7_2 を使用します。

[bit23:22] SIN7S : SIN7 入力選択ビット

SIN7 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SIN の入力端子に SIN7_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.7 SIN の入力端子に SIN7_1 端子を使用します。
	11	MFS ch.7 SIN の入力端子に SIN7_2 端子を使用します。

[bit21:20] SCK6B : SCK6 入出力選択ビット

SCK6 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCK の入力端子に SCK6_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.6 SCK の入力端子に SCK6_0 端子を使用します。 出力端子に SCK6_0 を使用します。
	10	MFS ch.6 SCK の入力端子に SCK6_1 端子を使用します。 出力端子に SCK6_1 を使用します。
	11	MFS ch.6 SCK の入力端子に SCK6_2 端子を使用します。 出力端子に SCK6_2 を使用します。

[bit19:18] SOT6B : SOT6 入出力選択ビット

SOT6 の入出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SOT の入力端子に SOT6_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.6 SOT の入力端子に SOT6_0 端子を使用します。 出力端子に SOT6_0 を使用します。
	10	MFS ch.6 SOT の入力端子に SOT6_1 端子を使用します。 出力端子に SOT6_1 を使用します。
	11	MFS ch.6 SOT の入力端子に SOT6_2 端子を使用します。 出力端子に SOT6_2 を使用します。

[bit17:16] SIN6S : SIN6 入力選択ビット

SIN6 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SIN の入力端子に SIN6_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.6 SIN の入力端子に SIN6_1 端子を使用します。
	11	MFS ch.6 SIN の入力端子に SIN6_2 端子を使用します。

[bit15:14] SCK5B : SCK5 入出力選択ビット

SCK5 の入出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.5 SCK の入力端子に SCK5_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.5 SCK の入力端子に SCK5_0 端子を使用します。 出力端子に SCK5_0 を使用します。
	10	MFS ch.5 SCK の入力端子に SCK5_1 端子を使用します。 出力端子に SCK5_1 を使用します。
	11	MFS ch.5 SCK の入力端子に SCK5_2 端子を使用します。 出力端子に SCK5_2 を使用します。

[bit13:12] SOT5B : SOT5 入出力選択ビット

SOT5 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.5 SOT の入力端子に SOT5_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.5 SOT の入力端子に SOT5_0 端子を使用します。 出力端子に SOT5_0 を使用します。
	10	MFS ch.5 SOT の入力端子に SOT5_1 端子を使用します。 出力端子に SOT5_1 を使用します。
	11	MFS ch.5 SOT の入力端子に SOT5_2 端子を使用します。 出力端子に SOT5_2 を使用します。

[bit11:10] SIN5S : SIN5 入力選択ビット

SIN5 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.5 SIN の入力端子に SIN5_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.5 SIN の入力端子に SIN5_1 端子を使用します。
	11	MFS ch.5 SIN の入力端子に SIN5_2 端子を使用します。

[bit9:8] SCK4B : SCK4 入出力選択ビット

SCK4 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 SCK の入力端子に SCK4_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.4 SCK の入力端子に SCK4_0 端子を使用します。 出力端子に SCK4_0 を使用します。
	10	MFS ch.4 SCK の入力端子に SCK4_1 端子を使用します。 出力端子に SCK4_1 を使用します。
	11	MFS ch.4 SCK の入力端子に SCK4_2 端子を使用します。 出力端子に SCK4_2 を使用します。

[bit7:6] SOT4B : SOT4 入出力選択ビット

SOT4 の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 SOT の入力端子に SOT4_0 を使用します。 出力を行いません。[初期値]
	01	MFS ch.4 SOT の入力端子に SOT4_0 を使用します。 出力端子に SOT4_0 を使用します。
	10	MFS ch.4 SOT の入力端子に SOT4_1 を使用します。 出力端子に SOT4_1 を使用します。
	11	MFS ch.4 SOT の入力端子に SOT4_2 を使用します。 出力端子に SOT4_2 を使用します。

[bit5:4] SIN4S : SIN4 入力選択ビット

SIN4 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 SIN の入力端子に SIN4_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.4 SIN の入力端子に SIN4_1 を使用します。
	11	MFS ch.4 SIN の入力端子に SIN4_2 を使用します。

[bit3:2] CTS4S : CTS4 入力選択ビット

CTS4 の入力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 CTS の入力端子に CTS4_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.4 CTS の入力端子に CTS4_1 を使用します。
	11	MFS ch.4 CTS の入力端子に CTS4_2 を使用します。

[bit1:0] RTS4E : RTS4 出力選択ビット

RTS4 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 RTS の出力を行いません。[初期値]
	01	MFS ch.4 RTS の出力端子に RTS4_0 を使用します。
	10	MFS ch.4 RTS の出力端子に RTS4_1 を使用します。
	11	MFS ch.4 RTS の出力端子に RTS4_2 を使用します。

4.17 拡張機能端子設定レジスタ 09(EPFR09)

EPFR09 レジスタは、ADC トリガ, QPRC の周辺端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	ADTRG2S				ADTRG1S			
属性	R/W				R/W			
初期値	0000				0000			

bit	15	14	13	12	11	10	9	8
Field	ADTRG0S				QZIN1S		QBIN1S	
属性	R/W				R/W		R/W	
初期値	0000				00		00	

bit	7	6	5	4	3	2	1	0
Field	QAIN1S		QZIN0S		QBIN0S		QAIN0S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:24] 予約: 予約ビット

本ビットからは、"0b00000000"が読み出されます。
書込みの場合には、"0b00000000"を設定してください。

[bit23:20] ADTRG2S : ADTRG2 入力選択ビット

ADTRG2 の入力選択を行います。

bit23:20		説明
読出し時		レジスタの値を読み出します。
書込み時	0000	ADC ユニット 2 の起動トリガの入力端子に ADTG_0 を使用します。[初期値]
	0001	0000 書込み時と同じ
	0010	ADC ユニット 2 の起動トリガの入力端子に ADTG_1 を使用します。
	0011	ADC ユニット 2 の起動トリガの入力端子に ADTG_2 を使用します。
	0100	ADC ユニット 2 の起動トリガの入力端子に ADTG_3 を使用します。
	0101	ADC ユニット 2 の起動トリガの入力端子に ADTG_4 を使用します。
	0110	ADC ユニット 2 の起動トリガの入力端子に ADTG_5 を使用します。
	0111	ADC ユニット 2 の起動トリガの入力端子に ADTG_6 を使用します。

	1000	ADC ユニット 2 の起動トリガの入力端子に ADTG_7 を使用します。
	1001	ADC ユニット 2 の起動トリガの入力端子に ADTG_8 を使用します。
上記以外書込み時		設定禁止

[bit19:16] ADTRG1S : ADTRG1 入力選択ビット

ADTRG1 の入力選択を行います。

bit19:16		説明
読出し時		レジスタの値を読み出します。
書込み時	0000	ADC ユニット 1 の起動トリガの入力端子に ADTG_0 を使用します。 [初期値]
	0001	0000 書込み時と同じ
	0010	ADC ユニット 1 の起動トリガの入力端子に ADTG_1 を使用します。
	0011	ADC ユニット 1 の起動トリガの入力端子に ADTG_2 を使用します。
	0100	ADC ユニット 1 の起動トリガの入力端子に ADTG_3 を使用します。
	0101	ADC ユニット 1 の起動トリガの入力端子に ADTG_4 を使用します。
	0110	ADC ユニット 1 の起動トリガの入力端子に ADTG_5 を使用します。
	0111	ADC ユニット 1 の起動トリガの入力端子に ADTG_6 を使用します。
	1000	ADC ユニット 1 の起動トリガの入力端子に ADTG_7 を使用します。
	1001	ADC ユニット 1 の起動トリガの入力端子に ADTG_8 を使用します。
上記以外書込み時		設定禁止

[bit15:12] ADTRG0S : ADTRG0 入力選択ビット

ADTRG0 の入力選択を行います。

bit15:12		説明
読出し時		レジスタの値を読み出します。
書込み時	0000	ADC ユニット 0 の起動トリガの入力端子に ADTG_0 を使用します。 [初期値]
	0001	0000 書込み時と同じ
	0010	ADC ユニット 0 の起動トリガの入力端子に ADTG_1 を使用します。
	0011	ADC ユニット 0 の起動トリガの入力端子に ADTG_2 を使用します。
	0100	ADC ユニット 0 の起動トリガの入力端子に ADTG_3 を使用します。
	0101	ADC ユニット 0 の起動トリガの入力端子に ADTG_4 を使用します。
	0110	ADC ユニット 0 の起動トリガの入力端子に ADTG_5 を使用します。
	0111	ADC ユニット 0 の起動トリガの入力端子に ADTG_6 を使用します。
	1000	ADC ユニット 0 の起動トリガの入力端子に ADTG_7 を使用します。
	1001	ADC ユニット 0 の起動トリガの入力端子に ADTG_8 を使用します。
上記以外書込み時		設定禁止

[bit11:10] QZIN1S : QZIN1S 入力選択ビット

QPRC ZIN1 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.1 の ZIN の入力端子に ZIN1_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	QPRC ch.1 の ZIN の入力端子に ZIN1_1 を使用します。

	11	QPRC ch.1 の ZIN の入力端子に ZIN1_2 を使用します。

[bit9:8] QBIN1S : QBIN1S 入力選択ビット

QPRC BIN1 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.1 の BIN の入力端子に BIN1_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	QPRC ch.1 の BIN の入力端子に BIN1_1 を使用します。
	11	QPRC ch.1 の BIN の入力端子に BIN1_2 を使用します。

[bit7:6] QAIN1S : QAIN1S 入力選択ビット

QPRC AIN1 の入力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.1 の AIN の入力端子に AIN1_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	QPRC ch.1 の AIN の入力端子に AIN1_1 を使用します。
	11	QPRC ch.1 の AIN の入力端子に AIN1_2 を使用します。

[bit5:4] QZIN0S : QZIN0S 入力選択ビット

QPRC ZIN0 の入力選択を行います。ZIN0_3 を使用する場合は EPFR21 の QZIN0S[2]と合わせて設定を行ってください。

EPFR21[2], bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	000	QPRC ch.0 の ZIN の入力端子に ZIN0_0 を使用します。[初期値]
	001	00 書込み時と同じ
	010	QPRC ch.0 の ZIN の入力端子に ZIN0_1 を使用します。
	011	QPRC ch.0 の ZIN の入力端子に ZIN0_2 を使用します。
	100	QPRC ch.0 の ZIN の入力端子に ZIN0_3 を使用します。
	上記以外	設定禁止

[bit3:2] QBIN0S : QBIN0S 入力選択ビット

QPRC BIN0 の入力選択を行います。BIN0_3 を使用する場合は EPFR21 の QBIN0S[2]と合わせて設定を行ってください。

EPFR21[1], bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	000	QPRC ch.0 の BIN の入力端子に BIN0_0 を使用します。[初期値]
	001	00 書込み時と同じ
	010	QPRC ch.0 の BIN の入力端子に BIN0_1 を使用します。
	011	QPRC ch.0 の BIN の入力端子に BIN0_2 を使用します。

	100	QPRC ch.0 の BIN の入力端子に BIN0_3 を使用します。
	上記以外	設定禁止

[bit1:0] QAIN0S : QAIN0S 入力選択ビット

QPRC AIN0 の入力選択を行います。AIN0_3 を使用する場合は EPFR21 の QAIN0S[2]と合わせて設定を行ってください。

EPFR21[0], bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	000	QPRC ch.0 の AIN の入力端子に AIN0_0 を使用します。[初期値]
	001	00 書込み時と同じ
	010	QPRC ch.0 の AIN の入力端子に AIN0_1 を使用します。
	011	QPRC ch.0 の AIN の入力端子に AIN0_2 を使用します。
	100	QPRC ch.0 の AIN の入力端子に AIN0_3 を使用します。
	上記以外	設定禁止

4.18 拡張機能端子設定レジスタ 12(EPFR12)

EPFR12 レジスタは、ベースタイマ ch.8, ch.9, ch.10, ch.11 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB11S		TIOA11E		TIOA11S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB10S		TIOA10E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB9S		TIOA9E		TIOA9S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約		TIOB8S		TIOA8E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

レジスタ機能

[bit31:30] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit29:28] TIOB11S : TIOB11 入力選択ビット

TIOB11 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.11 TIOB の入力端子に TIOB11_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.11 TIOB の入力端子に TIOB11_1 を使用します。
	11	BT ch.11 TIOB の入力端子に TIOB11_2 を使用します。

[bit27:26] TIOA11E : TIOA11E 出力選択ビット

TIOA11 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.11 TIOA の出力を行いません。[初期値]
	01	BT ch.11 TIOA の出力端子に TIOA11_0 を使用します。
	10	BT ch.11 TIOA の出力端子に TIOA11_1 を使用します。
	11	BT ch.11 TIOA の出力端子に TIOA11_2 を使用します。

[bit25:24] TIOA11S : TIOA11 入力選択ビット

TIOA11 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.11 TIOA の入力端子に TIOA11_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.11 TIOA の入力端子に TIOA11_1 を使用します。
	11	BT ch.11 TIOA の入力端子に TIOA11_2 を使用します。

[bit23:22] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit21:20] TIOB10S : TIOB10 入力選択ビット

TIOB10 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.10 TIOB の入力端子に TIOB10_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.10 TIOB の入力端子に TIOB10_1 を使用します。
	11	BT ch.10 TIOB の入力端子に TIOB10_2 を使用します。

[bit19:18] TIOA10E : TIOA10 出力選択ビット

TIOA10 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.10 TIOA の出力を行いません。[初期値]
	01	BT ch.10 TIOA の出力端子に TIOA10_0 を使用します。
	10	BT ch.10 TIOA の出力端子に TIOA10_1 を使用します。
	11	BT ch.10 TIOA の出力端子に TIOA10_2 を使用します。

[bit17:14] 予約 : 予約ビット
本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit13:12] TIOB9S : TIOB9 入力選択ビット
TIOB9 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.9 TIOB の入力端子に TIOB9_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.9 TIOB の入力端子に TIOB9_1 を使用します。
	11	BT ch.9 TIOB の入力端子に TIOB9_2 を使用します。

[bit11:10] TIOA9E : TIOA9E 出力選択ビット
TIOA9 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.9 TIOA の出力を行いません。[初期値]
	01	BT ch.9 TIOA の出力端子に TIOA9_0 を使用します。
	10	BT ch.9 TIOA の出力端子に TIOA9_1 を使用します。
	11	BT ch.9 TIOA の出力端子に TIOA9_2 を使用します。

[bit9:8] TIOA9S : TIOA9 入力選択ビット
TIOA9 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.9 TIOA の入力端子に TIOA9_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.9 TIOA の入力端子に TIOA9_1 を使用します。
	11	BT ch.9 TIOA の入力端子に TIOA9_2 を使用します。

[bit7:6] 予約 : 予約ビット
本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5:4] TIOB8S : TIOB8 入力選択ビット

TIOB8 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.8 TIOB の入力端子に TIOB8_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.8 TIOB の入力端子に TIOB8_1 を使用します。
	11	BT ch.8 TIOB の入力端子に TIOB8_2 を使用します。

[bit3:2] TIOA8E : TIOA8 出力選択ビット

TIOA8 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.8 TIOA の出力を行いません。[初期値]
	01	BT ch.8 TIOA の出力端子に TIOA8_0 を使用します。
	10	BT ch.8 TIOA の出力端子に TIOA8_1 を使用します。
	11	BT ch.8 TIOA の出力端子に TIOA8_2 を使用します。

[bit1:0] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

＜注意事項＞

- *TIOA*
  偶数チャネルは出力のみです。
  奇数チャネルは出力と入力があります。
- *TIOB*
  入力のみです。
- *TIOA9, TIOA11, TIOA13, TIOA15(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。*
  TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。
  例 1 : TIOA11 を出力端子として使用する場合
  TIOA11 を TIOA11_0 へ出力する場合、EPFR12.TIOA11E = 01 を選択します。
  TIOA11 を TIOA11_1 へ出力する場合、EPFR12.TIOA11E = 10 を選択します。
  TIOA11 を TIOA11_2 へ出力する場合、EPFR12.TIOA11E = 11 を選択します。
  EPFR12.TIOA11S の設定は、無視されます。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されている他の周辺機能端子の出力をすべて OFF にする必要があります。
  例 2 : TIOA11 を入力端子として使用する場合
  EPFR12.TIOA11E = 00 を選択します。
  TIOA11 を TIOA11_0 から入力する場合、EPFR12.TIOA11S = 00 or 01 を選択します。
  TIOA11 を TIOA11_1 から入力する場合、EPFR12.TIOA11S = 10 を選択します。
  TIOA11 を TIOA11_2 から入力する場合、EPFR12.TIOA11S = 11 を選択します。

選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
選択している端子は、兼用されている他の周辺機能端子の出力をすべて OFF にする必要があります。
** 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO，他の周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。*

4.19 拡張機能端子設定レジスタ 13(EPFR13)

EPFR13 レジスタは、ベースタイマ ch.12, ch.13, ch.14, ch.15 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB15S		TIOA15E		TIOA15S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB14S		TIOA14E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB13S		TIOA13E		TIOA13S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約		TIOB12S		TIOA12E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

レジスタ機能

[bit31:30] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit29:28] TIOB15S : TIOB15 入力選択ビット

TIOB15 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.15 TIOB の入力端子に TIOB15_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.15 TIOB の入力端子に TIOB15_1 を使用します。
	11	BT ch.15 TIOB の入力端子に TIOB15_2 を使用します。

[bit27:26] TIOA15E : TIOA15 出力選択ビット

TIOA15 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.15 TIOA の出力を行いません。[初期値]
	01	BT ch.15 TIOA の出力端子に TIOA15_0 を使用します。
	10	BT ch.15 TIOA の出力端子に TIOA15_1 を使用します。
	11	BT ch.15 TIOA の出力端子に TIOA15_2 を使用します。

[bit25:24] TIOA15S : TIOA15 入力選択ビット

TIOA15 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.15 TIOA の入力端子に TIOA15_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.15 TIOA の入力端子に TIOA15_1 を使用します。
	11	BT ch.15 TIOA の入力端子に TIOA15_2 を使用します。

[bit23:22] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit21:20] TIOB13S : TIOB14 入力選択ビット

TIOB14 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.14 TIOB の入力端子に TIOB14_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.14 TIOB の入力端子に TIOB14_1 を使用します。
	11	BT ch.14 TIOB の入力端子に TIOB14_2 を使用します。

[bit19:18] TIOA14E : TIOA14 出力選択ビット

TIOA14 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.14 TIOA の出力を行いません。[初期値]
	01	BT ch.14 TIOA の出力端子に TIOA14_0 を使用します。
	10	BT ch.14 TIOA の出力端子に TIOA14_1 を使用します。
	11	BT ch.14 TIOA の出力端子に TIOA14_2 を使用します。

[bit17:14] 予約 : 予約ビット
本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit13:12] TIOB13S : TIOB13 入力選択ビット
TIOB13 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.13 TIOB の入力端子に TIOB13_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.13 TIOB の入力端子に TIOB13_1 を使用します。
	11	BT ch.13 TIOB の入力端子に TIOB13_2 を使用します。

[bit11:10] TIOA13E : TIOA13E 出力選択ビット
TIOA13 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.13 TIOA の出力を行いません。[初期値]
	01	BT ch.13 TIOA の出力端子に TIOA13_0 を使用します。
	10	BT ch.13 TIOA の出力端子に TIOA13_1 を使用します。
	11	BT ch.13 TIOA の出力端子に TIOA13_2 を使用します。

[bit9:8] TIOA13S : TIOA13 入力選択ビット
TIOA13 の入力選択を行います。

bit9:8		説明
リード時		レジスタの値を読み出します。
書込み時	00	BT ch.13 TIOA の入力端子に TIOA13_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.13 TIOA の入力端子に TIOA13_1 を使用します。
	11	BT ch.13 TIOA の入力端子に TIOA13_2 を使用します。

[bit7:6] 予約 : 予約ビット
本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5:4] TIOB12S : TIOB12 入力選択ビット

TIOB12 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.12 TIOB の入力端子に TIOB12_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.12 TIOB の入力端子に TIOB12_1 を使用します。
	11	BT ch.12 TIOB の入力端子に TIOB12_2 を使用します。

[bit3:2] TIOA12E : TIOA12 出力選択ビット

TIOA12 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.12 TIOA の出力を行いません。[初期値]
	01	BT ch.12 TIOA の出力端子に TIOA12_0 を使用します。
	10	BT ch.12 TIOA の出力端子に TIOA12_1 を使用します。
	11	BT ch.12 TIOA の出力端子に TIOA12_2 を使用します。

[bit1:0] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

<注意事項>

- *TIOA*
  偶数チャネルは出力のみです。
  奇数チャネルは出力と入力があります。
- *TIOB*
  入力のみです。
- *TIOA9, TIOA11, TIOA13, TIOA15(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。*
  TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

  例 1 : TIOA11 を出力端子として使用する場合
  TIOA11 を TIOA11_0 へ出力する場合、EPFR12.TIOA11E = 01 を選択します。
  TIOA11 を TIOA11_1 へ出力する場合、EPFR12.TIOA11E = 10 を選択します。
  TIOA11 を TIOA11_2 へ出力する場合、EPFR12.TIOA11E = 11 を選択します。
  EPFR12.TIOA11S の設定は、無視されます。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。

  例 2 : TIOA11 を入力端子として使用する場合
  EPFR12.TIOA11E = 00 を選択します。

TIOA11 を TIOA11_0 から入力する場合、EPFR12.TIOA11S = 00 or 01 を選択します。
TIOA11 を TIOA11_1 から入力する場合、EPFR12.TIOA11S = 10 を選択します。
TIOA11 を TIOA11_2 から入力する場合、EPFR12.TIOA11S = 11 を選択します。
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。

* *入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO，他の周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。*

4.20 拡張機能端子設定レジスタ 14(EPFR14)

EPFR14 レジスタは、QPRC 端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約		QZIN2S		QBIN2S		QAIN2S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

レジスタ機能

[bit31:6] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit5:4] QZIN2S : QPRC ch.2 の ZIN 入力端子ビット

QPRC ch.2 の ZIN 入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.2 の ZIN 入力端子に ZIN2_0 端子を使用します。[初期値]
	01	QPRC ch.2 の ZIN 入力端子に ZIN2_0 端子を使用します。
	10	QPRC ch.2 の ZIN 入力端子に ZIN2_1 端子を使用します。
	11	QPRC ch.2 の ZIN 入力端子に ZIN2_2 端子を使用します。

[bit3:2] QBIN2S : QPRC ch.2 の BIN 入力端子ビット

QPRC ch.2 の BIN 入力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.2 の BIN 入力端子に BIN2_0 端子を使用します。[初期値]
	01	QPRC ch.2 の BIN 入力端子に BIN2_0 端子を使用します。
	10	QPRC ch.2 の BIN 入力端子に BIN2_1 端子を使用します。
	11	QPRC ch.2 の BIN 入力端子に BIN2_2 端子を使用します。

[bit1:0] QAIN2S : QPRC ch.2 の AIN 入力端子ビット

QPRC ch.2 の AIN 入力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.2 の AIN 入力端子に AIN2_0 端子を使用します。[初期値]
	01	QPRC ch.2 の AIN 入力端子に AIN2_0 端子を使用します。
	10	QPRC ch.2 の AIN 入力端子に AIN2_1 端子を使用します。
	11	QPRC ch.2 の AIN 入力端子に AIN2_2 端子を使用します。

4.21 拡張機能端子設定レジスタ 15(EPFR15)

EPFR15 レジスタは、外部割込みの端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	EINT31S		EINT30S		EINT29S		EINT28S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	EINT27S		EINT26S		EINT25S		EINT24S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	EINT23S		EINT22S		EINT21S		EINT20S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	EINT19S		EINT18S		EINT17S		EINT16S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:30] EINT31S： 外部割込み入力選択ビット

EINT31 の入力選択を行います。

bit31:30		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.31 の入力端子に INT31_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.31 の入力端子に INT31_1 端子を使用します。
	11	EINT ch.31 の入力端子に INT31_2 端子を使用します。

[bit29:28] EINT30S： 外部割込み入力選択ビット

EINT30 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.30 の入力端子に INT30_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.30 の入力端子に INT30_1 端子を使用します。
	11	EINT ch.30 の入力端子に INT30_2 端子を使用します。

[bit27:26] EINT29S： 外部割込み入力選択ビット

EINT29 の入力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.29 の入力端子に INT29_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.29 の入力端子に INT29_1 端子を使用します。
	11	EINT ch.29 の入力端子に INT29_2 端子を使用します。

[bit25:24] EINT28S： 外部割込み入力選択ビット

EINT28 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.28 の入力端子に INT28_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.28 の入力端子に INT28_1 端子を使用します。
	11	EINT ch.28 の入力端子に INT28_2 端子を使用します。

[bit23:22] EINT27S： 外部割込み入力選択ビット

EINT27 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.27 の入力端子に INT27_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.27 の入力端子に INT27_1 端子を使用します。
	11	EINT ch.27 の入力端子に INT27_2 端子を使用します。

[bit21:20] EINT26S： 外部割込み入力選択ビット

EINT26 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.26 の入力端子に INT26_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.26 の入力端子に INT26_1 端子を使用します。
	11	EINT ch.26 の入力端子に INT26_2 端子を使用します。

[bit19:18] EINT25S： 外部割込み入力選択ビット

EINT25 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.25 の入力端子に INT25_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.25 の入力端子に INT25_1 端子を使用します。
	11	EINT ch.25 の入力端子に INT25_2 端子を使用します。

[bit17:16] EINT24S： 外部割込み入力選択ビット

EINT24 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.24 の入力端子に INT24_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.24 の入力端子に INT24_1 端子を使用します。
	11	EINT ch.24 の入力端子に INT24_2 端子を使用します。

[bit15:14] EINT23S： 外部割込み入力選択ビット

EINT23 の入力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.23 の入力端子に INT23_0 端子を使用します。[初期値]
	01	00 ライト時と同じ
	10	EINT ch.23 の入力端子に INT23_1 端子を使用します。
	11	EINT ch.23 の入力端子に INT23_2 端子を使用します。

[bit13:12] EINT22S： 外部割込み入力選択ビット

EINT22 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.22 の入力端子に INT22_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.22 の入力端子に INT22_1 端子を使用します。
	11	EINT ch.22 の入力端子に INT22_2 端子を使用します。

[bit11:10] EINT21S： 外部割込み入力選択ビット

EINT21 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.21 の入力端子に INT21_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.21 の入力端子に INT21_1 端子を使用します。
	11	EINT ch.21 の入力端子に INT21_2 端子を使用します。

[bit9:8] EINT20S： 外部割込み入力選択ビット

EINT20 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.20 の入力端子に INT20_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.20 の入力端子に INT20_1 端子を使用します。
	11	EINT ch.20 の入力端子に INT20_2 端子を使用します。

[bit7:6] EINT19S： 外部割込み入力選択ビット

EINT19 の入力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.19 の入力端子に INT19_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.19 の入力端子に INT19_1 端子を使用します。
	11	EINT ch.19 の入力端子に INT19_2 端子を使用します。

[bit5:4] EINT18S： 外部割込み入力選択ビット

EINT18 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.18 の入力端子に INT18_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.18 の入力端子に INT18_1 端子を使用します。
	11	EINT ch.18 の入力端子に INT18_2 端子を使用します。

[bit3:2] EINT17S： 外部割込み入力選択ビット

EINT17 の入力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.17 の入力端子に INT17_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.17 の入力端子に INT17_1 端子を使用します。
	11	EINT ch.17 の入力端子に INT17_2 端子を使用します。

[bit1:0] EINT16S： 外部割込み入力選択ビット

EINT16 の入力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.16 の入力端子に INT16_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.16 の入力端子に INT16_1 端子を使用します。
	11	EINT ch.16 の入力端子に INT16_2 端子を使用します。

4.22 拡張機能端子設定レジスタ 16(EPFR16)

EPFR16 レジスタは、マルチファンクションシリアルの ch.8～ch.11 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				SCK11B		SOT11B	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	SIN11S		SCK10B		SOT10B		SIN10S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	SCK9B		SOT9B		SIN9S		SCK8B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SOT8B		SIN8S		予約			
属性	R/W		R/W		-			
初期値	00		00		-			

レジスタ機能

[bit31:28] 予約 : 予約ビット

本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit27:26] SCK11B : SCK11 入出力選択ビット

SCK11 の入出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.11 SCK の入力端子に SCK11_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.11 SCK の入力端子に SCK11_0 端子を使用します。 出力端子に SCK11_0 を使用します。
	10	MFS ch.11 SCK の入力端子に SCK11_1 端子を使用します。 出力端子に SCK11_1 を使用します。
	11	MFS ch.11 SCK の入力端子に SCK11_2 端子を使用します。 出力端子に SCK11_2 を使用します。

[bit25:24] SOT11B : SOT11 入出力選択ビット

SOT11 の入出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.11 SOT の入力端子に SOT11_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.11 SOT の入力端子に SOT11_0 端子を使用します。 出力端子に SOT11_0 を使用します。
	10	MFS ch.11 SOT の入力端子に SOT11_1 端子を使用します。 出力端子に SOT11_1 を使用します。
	11	MFS ch.11 SOT の入力端子に SOT11_2 端子を使用します。 出力端子に SOT11_2 を使用します。

[bit23:22] SIN11S : SIN11 入力選択ビット

SIN11 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.11 SIN の入力端子に SIN11_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.11 SIN の入力端子に SIN11_1 端子を使用します。
	11	MFS ch.11 SIN の入力端子に SIN11_2 端子を使用します。

[bit21:20] SCK10B : SCK10 入出力選択ビット

SCK10 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.10 SCK の入力端子に SCK10_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.10 SCK の入力端子に SCK10_0 端子を使用します。 出力端子に SCK10_0 を使用します。
	10	MFS ch.10 SCK の入力端子に SCK10_1 端子を使用します。 出力端子に SCK10_1 を使用します。
	11	MFS ch.10 SCK の入力端子に SCK10_2 端子を使用します。 出力端子に SCK10_2 を使用します。

[bit19:18] SOT10B : SOT10 入出力選択ビット

SOT10 の入出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.10 SOT の入力端子に SOT10_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.10 SOT の入力端子に SOT10_0 端子を使用します。 出力端子に SOT10_0 を使用します。
	10	MFS ch.10 SOT の入力端子に SOT10_1 端子を使用します。 出力端子に SOT10_1 を使用します。
	11	MFS ch.10 SOT の入力端子に SOT10_2 端子を使用します。 出力端子に SOT10_2 を使用します。

[bit17:16] SIN10S : SIN10 入力選択ビット

SIN10 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.10 SIN の入力端子に SIN10_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.10 SIN の入力端子に SIN10_1 端子を使用します。
	11	MFS ch.10 SIN の入力端子に SIN10_2 端子を使用します。

[bit15:14] SCK9B : SCK9 入出力選択ビット

SCK9 の入出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.9 SCK の入力端子に SCK9_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.9 SCK の入力端子に SCK9_0 端子を使用します。 出力端子に SCK9_0 を使用します。
	10	MFS ch.9 SCK の入力端子に SCK9_1 端子を使用します。 出力端子に SCK9_1 を使用します。
	11	MFS ch.9 SCK の入力端子に SCK9_2 端子を使用します。 出力端子に SCK9_2 を使用します。

[bit13:12] SOT9B : SOT9 入出力選択ビット

SOT9 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.9 SOT の入力端子に SOT9_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.9 SOT の入力端子に SOT9_0 端子を使用します。 出力端子に SOT9_0 を使用します。
	10	MFS ch.9 SOT の入力端子に SOT9_1 端子を使用します。 出力端子に SOT9_1 を使用します。
	11	MFS ch.9 SOT の入力端子に SOT9_2 端子を使用します。 出力端子に SOT9_2 を使用します。

[bit11:10] SIN9S : SIN9 入力選択ビット

SIN9 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.9 SIN の入力端子に SIN9_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.9 SIN の入力端子に SIN9_1 端子を使用します。
	11	MFS ch.9 SIN の入力端子に SIN9_2 端子を使用します。

[bit9:8] SCK8B : SCK8 入出力選択ビット

SCK8 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.8 SCK の入力端子に SCK8_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.8 SCK の入力端子に SCK8_0 端子を使用します。 出力端子に SCK8_0 を使用します。
	10	MFS ch.8 SCK の入力端子に SCK8_1 端子を使用します。 出力端子に SCK8_1 を使用します。
	11	MFS ch.8 SCK の入力端子に SCK8_2 端子を使用します。 出力端子に SCK8_2 を使用します。

[bit7:6] SOT8B : SOT8 入出力選択ビット

SOT8 の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.8 SOT の入力端子に SOT8_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.8 SOT の入力端子に SOT8_0 端子を使用します。 出力端子に SOT8_0 を使用します。
	10	MFS ch.8 SOT の入力端子に SOT8_1 端子を使用します。 出力端子に SOT8_1 を使用します。
	11	MFS ch.8 SOT の入力端子に SOT8_2 端子を使用します。 出力端子に SOT8_2 を使用します。

[bit5:4] SIN8S : SIN8 入力選択ビット

SIN8 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.8 SIN の入力端子に SIN8_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.8 SIN の入力端子に SIN8_1 端子を使用します。
	11	MFS ch.8 SIN の入力端子に SIN8_2 端子を使用します。

[bit3:0] 予約 : 予約ビット

本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

4.23 拡張機能端子設定レジスタ 17(EPFR17)

EPFR17 レジスタは、マルチファンクションシリアルの ch.12～ch.15 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				SCK15B		SOT15B	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	SIN15S		SCK14B		SOT14B		SIN14S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	SCK13B		SOT13B		SIN13S		SCK12B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SOT12B		SIN12S		予約			
属性	R/W		R/W		-			
初期値	00		00		-			

レジスタ機能

[bit31:28] 予約 : 予約ビット

本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit27:26] SCK15B : SCK15 入出力選択ビット

SCK15 の入出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.15 SCK の入力端子に SCK15_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.15 SCK の入力端子に SCK15_0 端子を使用します。 出力端子に SCK15_0 を使用します。
	10	MFS ch.15 SCK の入力端子に SCK15_1 端子を使用します。 出力端子に SCK15_1 を使用します。
	11	MFS ch.15 SCK の入力端子に SCK15_2 端子を使用します。 出力端子に SCK15_2 を使用します。

[bit25:24] SOT15B : SOT15 入出力選択ビット

SOT15 の入出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.15 SOT の入力端子に SOT15_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.15 SOT の入力端子に SOT15_0 端子を使用します。 出力端子に SOT15_0 を使用します。
	10	MFS ch.15 SOT の入力端子に SOT15_1 端子を使用します。 出力端子に SOT15_1 を使用します。
	11	MFS ch.15 SOT の入力端子に SOT15_2 端子を使用します。 出力端子に SOT15_2 を使用します。

[bit23:22] SIN15S : SIN15 入力選択ビット

SIN15 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.15 SIN の入力端子に SIN15_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.15 SIN の入力端子に SIN15_1 端子を使用します。
	11	MFS ch.15 SIN の入力端子に SIN15_2 端子を使用します。

[bit21:20] SCK14B : SCK14 入出力選択ビット

SCK14 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.14 SCK の入力端子に SCK14_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.14 SCK の入力端子に SCK14_0 端子を使用します。 出力端子に SCK14_0 を使用します。
	10	MFS ch.14 SCK の入力端子に SCK14_1 端子を使用します。 出力端子に SCK14_1 を使用します。
	11	MFS ch.14 SCK の入力端子に SCK14_2 端子を使用します。 出力端子に SCK14_2 を使用します。

[bit19:18] SOT14B : SOT14 入出力選択ビット

SOT14 の入出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.14 SOT の入力端子に SOT14_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.14 SOT の入力端子に SOT14_0 端子を使用します。 出力端子に SOT14_0 を使用します。
	10	MFS ch.14 SOT の入力端子に SOT14_1 端子を使用します。 出力端子に SOT14_1 を使用します。
	11	MFS ch.14 SOT の入力端子に SOT14_2 端子を使用します。 出力端子に SOT14_2 を使用します。

[bit17:16] SIN14S : SIN14 入力選択ビット

SIN14 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.14 SIN の入力端子に SIN14_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.14 SIN の入力端子に SIN14_1 端子を使用します。
	11	MFS ch.14 SIN の入力端子に SIN14_2 端子を使用します。

[bit15:14] SCK13B : SCK13 入出力選択ビット

SCK13 の入出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.13 SCK の入力端子に SCK13_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.13 SCK の入力端子に SCK13_0 端子を使用します。 出力端子に SCK13_0 を使用します。
	10	MFS ch.13 SCK の入力端子に SCK13_1 端子を使用します。 出力端子に SCK13_1 を使用します。
	11	MFS ch.13 SCK の入力端子に SCK13_2 端子を使用します。 出力端子に SCK13_2 を使用します。

[bit13:12] SOT13B : SOT13 入出力選択ビット

SOT13 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.13 SOT の入力端子に SOT13_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.13 SOT の入力端子に SOT13_0 端子を使用します。 出力端子に SOT13_0 を使用します。
	10	MFS ch.13 SOT の入力端子に SOT13_1 端子を使用します。 出力端子に SOT13_1 を使用します。
	11	MFS ch.13 SOT の入力端子に SOT13_2 端子を使用します。 出力端子に SOT13_2 を使用します。

[bit11:10] SIN13S : SIN13 入力選択ビット

SIN13 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.13 SIN の入力端子に SIN13_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.13 SIN の入力端子に SIN13_1 端子を使用します。
	11	MFS ch.13 SIN の入力端子に SIN13_2 端子を使用します。

[bit9:8] SCK12B : SCK12 入出力選択ビット

SCK12 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.12 SCK の入力端子に SCK12_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.12 SCK の入力端子に SCK12_0 端子を使用します。 出力端子に SCK12_0 を使用します。
	10	MFS ch.12 SCK の入力端子に SCK12_1 端子を使用します。 出力端子に SCK12_1 を使用します。
	11	MFS ch.12 SCK の入力端子に SCK12_2 端子を使用します。 出力端子に SCK12_2 を使用します。

[bit7:6] SOT12B : SOT12 入出力選択ビット

SOT12 の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.12 SOT の入力端子に SOT12_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.12 SOT の入力端子に SOT12_0 端子を使用します。 出力端子に SOT12_0 を使用します。
	10	MFS ch.12 SOT の入力端子に SOT12_1 端子を使用します。 出力端子に SOT12_1 を使用します。
	11	MFS ch.12 SOT の入力端子に SOT12_2 端子を使用します。 出力端子に SOT12_2 を使用します。

[bit5:4] SIN12S : SIN12 入力選択ビット

SIN12 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.12 SIN の入力端子に SIN12_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.12 SIN の入力端子に SIN12_1 端子を使用します。
	11	MFS ch.12 SIN の入力端子に SIN12_2 端子を使用します。

[bit3:0] 予約 : 予約ビット

本ビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

4.24 拡張機能端子設定レジスタ 18(EPFR18)

EPFR18 レジスタは、HDMI-CEC 端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約				CECR1B		CECR0B	
属性	-				R/W		R/W	
初期値	-				00		00	

レジスタ機能

[bit31:4] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit3:2] CECR1B : CEC1 入出力選択ビット

HDMI-CEC/リモコン受信 ch.1 入出力端子 CEC1 の入出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HDMI-CEC/リモコン受信 ch.1 の入出力を行いません[初期値]
	01	HDMI-CEC/リモコン受信 ch.1 の入出力端子に CEC1_0 を使用します。
	10	HDMI-CEC/リモコン受信 ch.1 の入出力端子に CEC1_1 を使用します。
	11	設定禁止

注意事項

- *TYPE3-M0+製品では、CECR1B レジスタは機能しません。代わりに、 CEC_CTL レジスタを使用します。低消費電力モードの章を参照してください。書込み時は必ず 00 を書込んでください。*

[bit1:0] CECR0B : CEC0 入出力選択ビット

HDMI-CEC/リモコン受信 ch.0 入出力端子 CEC0 の入出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HDMI-CEC/リモコン受信 ch.0 の入出力を行いません[初期値]
	01	HDMI-CEC/リモコン受信 ch.0 の入出力端子に CEC0_0 を使用します。
	10	HDMI-CEC/リモコン受信 ch.0 の入出力端子に CEC0_1 を使用します。
	11	設定禁止

注意事項

- *TYPE3-M0+製品では、CECR0B レジスタは機能しません。代わりに、 CEC_CTL レジスタを使用します。低消費電力モードの章を参照してください。書込み時は必ず 00 を書込んでください。*

4.25 拡張機能端子設定レジスタ 21(EPFR21)

EPFR21 レジスタは、QPRC の周辺端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約					QZIN0S[2]	QBIN0S[2]	QAIN0S[2]
属性	-					R/W	R/W	R/W
初期値	-					0	0	0

レジスタ機能

[bit31:3] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit2] QZIN0S[2] : QZIN0S 入力選択ビット

QPRC ZIN0 の入力選択を行います。ZIN0_3 を使用する場合は EPFR09 の QZIN0S[1:0]と合わせて本ビットの設定が必要です。

bit[2], EPFR09[5:4]		説明
読出し時		レジスタの値を読み出します。
書込み時	000	QPRC ch.0 の ZIN の入力端子に ZIN0_0 を使用します。[初期値]
	001	00 書込み時と同じ
	010	QPRC ch.0 の ZIN の入力端子に ZIN0_1 を使用します。
	011	QPRC ch.0 の ZIN の入力端子に ZIN0_2 を使用します。
	100	QPRC ch.0 の ZIN の入力端子に ZIN0_3 を使用します。
	上記以外	設定禁止

[bit1] QBIN0S[2] : QBIN0S 入力選択ビット

QPRC BIN0 の入力選択を行います。BIN0_3 を使用する場合は EPFR09 の QBIN0S[1:0]と合わせて本ビットの設定が必要です。

bit[1], EPFR09[3:2],		説明
読出し時		レジスタの値を読み出します。
書込み時	000	QPRC ch.0 の BIN の入力端子に BIN0_0 を使用します。[初期値]
	001	00 書込み時と同じ
	010	QPRC ch.0 の BIN の入力端子に BIN0_1 を使用します。
	011	QPRC ch.0 の BIN の入力端子に BIN0_2 を使用します。
	100	QPRC ch.0 の BIN の入力端子に BIN0_3 を使用します。
	上記以外	設定禁止

[bit0] QAIN0S[2] : QAIN0S 入力選択ビット

QPRC AIN0 の入力選択を行います。AIN0_3 を使用する場合は EPFR09 の QAIN0S[1:0]と合わせて本ビットの設定が必要です。

bit[0], EPFR09[1:0]		説明
読出し時		レジスタの値を読み出します。
書込み時	000	QPRC ch.0 の AIN の入力端子に AIN0_0 を使用します。[初期値]
	001	00 書込み時と同じ
	010	QPRC ch.0 の AIN の入力端子に AIN0_1 を使用します。
	011	QPRC ch.0 の AIN の入力端子に AIN0_2 を使用します。
	100	QPRC ch.0 の AIN の入力端子に AIN0_3 を使用します。
	上記以外	設定禁止

4.26 拡張機能端子設定レジスタ 22(EPFR22)

EPFR22 レジスタは、マルチファンクションシリアルの ch.0～ch.3 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	SCS31E		SCS30B		予約			
属性	R/W		R/W		-			
初期値	00		00		-			

bit	7	6	5	4	3	2	1	0
Field	SCS11E		SCS10B		予約			
属性	R/W		R/W		-			
初期値	00		00		-			

レジスタ機能

[bit31:16] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit15:14] SCS31E : SCS31 出力選択ビット

SCS31 の出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.3 SCS31 の出力を行いません。[初期値]
	01	MFS ch.3 SCS31 の出力端子に SCS31_0 端子を使用します。
	10	MFS ch.3 SCS31 の出力端子に SCS31_1 端子を使用します。
	11	MFS ch.3 SCS31 の出力端子に SCS31_2 端子を使用します。

[bit13:12] SCS30B : SCS30 入出力選択ビット

SCS30 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.3 SCS30 の入力端子に SCS30_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.3 SCS30 の入力端子に SCS30_0 端子を使用します。 出力端子に SCS30_0 を使用します。
	10	MFS ch.3 SCS30 の入力端子に SCS30_1 端子を使用します。 出力端子に SCS30_1 を使用します。
	11	MFS ch.3 SCS30 の入力端子に SCS30_2 端子を使用します。 出力端子に SCS30_2 を使用します。

[bit11:8] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit7:6] SCS11E : SCS11 出力選択ビット

SCS11 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 SCS11 の出力を行いません。[初期値]
	01	MFS ch.1 SCS11 の出力端子に SCS31_0 端子を使用します。
	10	MFS ch.1 SCS11 の出力端子に SCS11_1 端子を使用します。
	11	MFS ch.1 SCS11 の出力端子に SCS11_2 端子を使用します。

[bit5:4] SCS10B : SCS10 入出力選択ビット

SCS10 の入出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 SCS10 の入力端子に SCS10_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.1 SCS10 の入力端子に SCS10_0 端子を使用します。 出力端子に SCS10_0 を使用します。
	10	MFS ch.1 SCS10 の入力端子に SCS10_1 端子を使用します。 出力端子に SCS10_0 を使用します。
	11	MFS ch.1 SCS10 の入力端子に SCS10_2 端子を使用します。 出力端子に SCS10_2 を使用します。

[bit3:0] 予約 : 予約ビット
本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

4.27 拡張機能端子設定レジスタ 23(EPFR23)

EPFR23 レジスタは、マルチファンクションシリアルの ch.6～ch.7 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	SCS73E		SCS72E		SCS71E		SCS70B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SCS63E		SCS62E		SCS61E		SCS60B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:16] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit15:14] SCS73E : SCS73　出力選択ビット

SCS73 の出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS73 の出力を行いません。[初期値]
	01	MFS ch.7 SCS73 の出力端子に SCS73_0 を使用します。
	10	MFS ch.7 SCS73 の出力端子に SCS73_1 を使用します。
	11	MFS ch.7 SCS73 の出力端子に SCS73_2 を使用します。

[bit13:12] SCS72E : SCS72 出力選択ビット

SCS72 の出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS72 の出力を行いません。[初期値]
	01	MFS ch.7 SCS72 の出力端子に SCS72_0 を使用します。
	10	MFS ch.7 SCS72 の出力端子に SCS72_1 を使用します。
	11	MFS ch.7 SCS72 の出力端子に SCS72_2 を使用します。

[bit11:10] SCS71E : SCS71 出力選択ビット

SCS71 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS71 の出力を行いません。[初期値]
	01	MFS ch.7 SCS71 の出力端子に SCS71_0 を使用します。
	10	MFS ch.7 SCS71 の出力端子に SCS71_1 を使用します。
	11	MFS ch.7 SCS71 の出力端子に SCS71_2 を使用します。

[bit9:8] SCS70B : SCS70 入出力選択ビット

SCS70 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS70 の入力端子に SCS70_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.7 SCS70 の入力端子に SCS70_0 端子を使用します。 出力端子に SCS70_0 を使用します。
	10	MFS ch.7 SCS70 の入力端子に SCS70_1 端子を使用します。 出力端子に SCS70_1 を使用します。
	11	MFS ch.7 SCS70 の入力端子に SCS70_2 端子を使用します。 出力端子に SCS70_2 を使用します。

[bit7:6] SCS63E : SCS63 出力選択ビット

SCS63 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCS63 の出力を行いません。[初期値]
	01	MFS ch.6 SCS63 の出力端子に SCS63_0 を使用します。
	10	MFS ch.6 SCS63 の出力端子に SCS63_1 を使用します。
	11	MFS ch.6 SCS63 の出力端子に SCS63_2 を使用します。

[bit5:4] SCS62E : SCS62 出力選択ビット

SCS62 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCS62 の出力を行いません。[初期値]
	01	MFS ch.6 SCS62 の出力端子に SCS62_0 を使用します。
	10	MFS ch.6 SCS62 の出力端子に SCS62_1 を使用します。
	11	MFS ch.6 SCS62 の出力端子に SCS62_2 を使用します。

[bit3:2] SCS61E : SCS61 出力選択ビット

SCS61 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch. 6 SCS61 の出力を行いません。[初期値]
	01	MFS ch.6 SCS61 の出力端子に SCS61_0 を使用します。
	10	MFS ch.6 SCS61 の出力端子に SCS61_1 を使用します。
	11	MFS ch.6 SCS61 の出力端子に SCS61_2 を使用します。

[bit1:0] SCS60B : SCS60 入出力選択ビット

SCS60 の入出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCS60 の入力端子に SCS60_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.6 SCS60 の入力端子に SCS60_0 端子を使用します。 出力端子に SCS60_0 を使用します。
	10	MFS ch.6 SCS60 の入力端子に SCS60_1 端子を使用します。 出力端子に SCS60_1 を使用します。
	11	MFS ch.6 SCS60 の入力端子に SCS60_2 端子を使用します。 出力端子に SCS60_2 を使用します。

4.28 拡張機能端子設定レジスタ 31(EPFR31)

EPFR31 レジスタは、I2CSLAVE-Wakeup ch.6 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				SI2CSDA6B		SI2CSCL6B	
属性	R/W				R/W		R/W	
初期値	0000				00		00	

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R/W							
初期値	00000000							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R/W							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性	R/W							
初期値	00000000							

レジスタ機能

[bit31:28] 予約：予約ビット

これらのビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

[bit27:26] SI2CSDA6B: I2C Slave ch.6 SDA pin 入出力選択ビット

I2C Slave ch.6 SDA の入出力選択を行います。

Bit		Description
読出し時		レジスタの値を読み出します。
書込み時	00	I2CSLAVE ch.6 SDA の入力端子に、SI2CSDA6_0 端子を使用します。 出力を行いません。 [初期値]
	01	I2CSLAVE ch.6 SDA の入力端子に、SI2CSDA6_0 端子を使用します。 出力端子に SI2CSDA6_0 端子を使用します。
	10	I2CSLAVE ch.6 SDA の入力端子に、SI2CSDA6_1 端子を使用します。 出力端子に SI2CSDA6_1 端子を使用します。
	11	I2CSLAVE ch.6 SDA の入力端子に、SI2CSDA6_2 端子を使用します。 出力端子に SI2CSDA6_2 端子を使用します。

[bit25:24] SI2CSCL6B: I2C Slave ch.6 SCL pin 入出力選択ビット

I2C Slave ch.6 SCL の入出力選択を行います。

Bit		Description
読出し時		レジスタの値を読み出します。
書込み時	00	I2CSLAVE ch.6 SCL の入力端子に、SI2CSCL6_0 端子を使用します。 出力を行いません。 [初期値]
	01	I2CSLAVE ch.6 SCL の入力端子に、SI2CSCL6_0 端子を使用します。 出力端子に SI2CSCL6_0 端子を使用します。
	10	I2CSLAVE ch.6 SCL の入力端子に、SI2CSCL6_1 端子を使用します。 出力端子に SI2CSCL6_1 端子を使用します。
	11	I2CSLAVE ch.6 SCL の入力端子に、SI2CSCL6_2 端子を使用します。 出力端子に SI2CSCL6_2 端子を使用します。

[bit23:0] 予約：予約ビット

これらのビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

4.29 拡張機能端子設定レジスタ 33(EPFR33)

EPFR33 レジスタは、スマートカードインタフェースの機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				CLK1E		VCC1E	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	VPEN1E		RST1E		DATA1B		CIN1S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	予約				CLK0E		VCC0E	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	7	6	5	4	3	2	1	0
Field	VPEN0E		RST0E		DATA0B		CIN0S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:28] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit27:26] CLK1E : IC1_CLK 出力選択ビット

IC1_CLK の出力選択を行います。

Bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 CLK の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 CLK の出力端子に IC1_CLK_0 を使用します。
	10	スマートカードインタフェース ch.1 CLK の出力端子に IC1_CLK_1 を使用します。
	11	スマートカードインタフェース ch.1 CLK の出力端子に IC1_CLK_2 を使用します。

[bit25:24] VCC1E : IC1_VCC 出力選択ビット

IC1_VCC の出力選択を行います。

Bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 VCC の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 VCC の出力端子に IC1_VCC_0 を使用します。
	10	スマートカードインタフェース ch.1 VCC の出力端子に IC1_VCC_1 を使用します。
	11	スマートカードインタフェース ch.1 VCC の出力端子に IC1_VCC_2 を使用します。

[bit23:22] VPEN1E : IC1_VPEN 出力選択ビット

IC1_VPEN の出力選択を行います。

Bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 VPEN の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 VPEN の出力端子に IC1_VPEN_0 を使用します。
	10	スマートカードインタフェース ch.1 VPEN の出力端子に IC1_VPEN_1 を使用します。
	11	スマートカードインタフェース ch.1 VPEN の出力端子に IC1_VPEN_2 を使用します。

[bit21:20] RST1E : IC1_RST 出力選択ビット

IC1_RST の出力選択を行います。

Bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 RST の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 RST の出力端子に IC1_RST_0 を使用します。
	10	スマートカードインタフェース ch.1 RST の出力端子に IC1_RST_1 を使用します。
	11	スマートカードインタフェース ch.1 RST の出力端子に IC1_RST_2 を使用します。

[bit19:18] DATA1B : IC1_DATA 入出力選択ビット

IC1_DATA の入出力選択を行います。

Bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 DATA の入力端子に IC1_DATA_0 を使用します。 出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 DATA の入力端子に IC1_DATA_0 を使用します。 出力端子に IC1_DATA_0 を使用します。
	10	スマートカードインタフェース ch.1 DATA の入力端子に IC1_DATA_1 を使用します。 出力端子に IC1_DATA_1 を使用します。
	11	スマートカードインタフェース ch.1 DATA の入力端子に IC1_DATA_2 を使用します。 出力端子に IC1_DATA_2 を使用します。

[bit17:16] CIN1S : IC1_CIN 入力選択ビット

IC1_CIN の入力選択を行います。

Bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 CIN の入力端子に IC1_CIN_0 を使用します。[初期値]
	01	スマートカードインタフェース ch.1 CIN の入力端子に IC1_CIN_0 を使用します。
	10	スマートカードインタフェース ch.1 CIN の入力端子に IC1_CIN_1 を使用します。
	11	スマートカードインタフェース ch.1 CIN の入力端子に IC1_CIN_2 を使用します。

[bit15:12] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit11:10] CLK0E : IC0_CLK 出力選択ビット

IC0_CLK の出力選択を行います。

Bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 CLK の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 CLK の出力端子に IC0_CLK_0 を使用します。
	10	スマートカードインタフェース ch.0 CLK の出力端子に IC0_CLK_1 を使用します。
	11	スマートカードインタフェース ch.0 CLK の出力端子に IC0_CLK_2 を使用します。

[bit9:8] VCC0E : IC0_VCC 出力選択ビット

IC0_VCC の出力選択を行います。

Bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 VCC の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 VCC の出力端子に IC1_VCC_0 を使用します。
	10	スマートカードインタフェース ch.0 VCC の出力端子に IC1_VCC_1 を使用します。
	11	スマートカードインタフェース ch.0 VCC の出力端子に IC1_VCC_2 を使用します。

[bit7:6] VPEN0E : IC0_VPEN 出力選択ビット

IC0_VPEN の出力選択を行います。

Bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 VPEN の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 VPEN の出力端子に IC0_VPEN_0 を使用します。
	10	スマートカードインタフェース ch.0 VPEN の出力端子に IC0_VPEN_1 を使用します。
	11	スマートカードインタフェース ch.0 VPEN の出力端子に IC0_VPEN_2 を使用します。

[bit5:4] RST0E : IC0_RST 出力選択ビット

IC0_RST の出力選択を行います。

Bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 RST の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 RST の出力端子に IC0_RST_0 を使用します。
	10	スマートカードインタフェース ch.0 RST の出力端子に IC0_RST_1 を使用します。
	11	スマートカードインタフェース ch.0 RST の出力端子に IC0_RST_2 を使用します。

[bit3:2] DATA0B : IC10DATA 入出力選択ビット

IC0_DATA の入出力選択を行います。

Bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 DATA の入力端子に IC0_DATA_0 を使用します。 出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 DATA の入力端子に IC0_DATA_0 を使用します。 出力端子に IC0_DATA_0 を使用します。
	10	スマートカードインタフェース ch.0 DATA の入力端子に IC0_DATA_1 を使用します。 出力端子に IC0_DATA_0 を使用します。
	11	スマートカードインタフェース ch.0 DATA の入力端子に IC0_DATA_2 を使用します。 出力端子に IC0_DATA_2 を使用します。

[bit1:0] CIN0S : IC0_CIN 入力選択ビット

IC0_CIN の入力選択を行います。

Bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 CIN の入力端子に IC0_CIN_0 を使用します。[初期値]
	01	スマートカードインタフェース ch.1 CIN の入力端子に IC0_CIN_0 を使用します。
	10	スマートカードインタフェース ch.1 CIN の入力端子に IC0_CIN_1 を使用します。
	11	スマートカードインタフェース ch.1 CIN の入力端子に IC0_CIN_2 を使用します。

4.30 拡張機能端子設定レジスタ 34(EPFR34)

EPFR34 レジスタは、マルチファンクションシリアル ch.1 のフロー制御端子を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	CTS1S		RTS1E		予約		予約	
属性	R/W		R/W		-		-	
初期値	00		00		-		-	

レジスタ機能

[bit31:8] 予約:予約ビット

これらのビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

[bit7:6] CTS1S: CTS1 入力選択

CTS1 の入力選択を行います。.

Bit		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 CTS.の入力端子に、CTS1_0 を使用します。. [初期値]
	01	MFS ch.1 CTS.の入力端子に、CTS1_0 を使用します。
	10	MFS ch.1 CTS.の入力端子に、CTS1_1 を使用します。
	11	MFS ch.1 CTS.の入力端子に、CTS1_2 を使用します。

[bit5:4] RTS1E: RTS1 出力選択

RTS1 の出力選択を行います。.

Bit		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 RTS.の出力を行いません。 [初期値]
	01	MFS ch.1 RTS.の出力端子に、RTS1_0 を使用します。
	10	MFS ch.1 RTS.の出力端子に、RTS1_1 を使用します。
	11	MFS ch.1 RTS.の出力端子に、RTS1_2 を使用します。

[bit3:0] 予約:予約ビット

これらのビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

4.31 拡張機能端子設定レジスタ 37(EPFR37)

EPFR37 レジスタは、MFS-I2S ch.4,ch.5 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		予約		SDO5E		SDI5S	
属性	-		-		R/W		R/W	
初期値	-		-		00		00	

Bit	23	22	21	20	19	18	17	16
Field	WS5B		SCK5B		MCK5E		MCK5S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	予約		予約		SDO4E		SDI4S	
属性	-		-		R/W		R/W	
初期値	-		-		00		00	

bit	7	6	5	4	3	2	1	0
Field	WS4B		SCK4B		MCK4E		MCK4S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:28] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit27:26] SDO5E : MI2SDO5 出力選択ビット

MI2SDO5 の出力選択を行います。

Bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.5 SDO の出力を行いません。[初期値]
	01	MFS-I2S ch.5 SDO の出力端子に MI2SDO5_0 を使用します。
	10	MFS-I2S ch.5 SDO の出力端子に MI2SDO5_1 を使用します。
	11	MFS-I2S ch.5 SDO の出力端子に MI2SDO5_2 を使用します。

[bit25:24] SDI5S : MI2SDI5 入力選択ビット

MI2SDI5 の入力選択を行います。

Bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.5 SDI の入力を行いません。[初期値]
	01	MFS-I2S ch.5 SDI の入力端子に MI2SDI5_0 を使用します。
	10	MFS-I2S ch.5 SDI の入力端子に MI2SDI5_1 を使用します。
	11	MFS-I2S ch.5 SDI の入力端子に MI2SDI5_2 を使用します。

[bit23:22] WS5B : MI2SWS5 出力選択ビット

MI2SWS5 の出力選択を行います。

Bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.5 WS の出力を行いません。[初期値]
	01	MFS-I2S ch.5 WS の出力端子に MI2SWS5_0 を使用します。
	10	MFS-I2S ch.5 WS の出力端子に MI2SWS5_1 を使用します。
	11	MFS-I2S ch.5 WS の出力端子に MI2SWS5_2 を使用します。

[bit21:20] SCK5B : MI2SCK5 出力選択ビット

MI2SCK5 の出力選択を行います。

Bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.5 SCK の出力を行いません。[初期値]
	01	MFS-I2S ch.5 SCK の出力端子に MI2SCK5_0 を使用します。
	10	MFS-I2S ch.5 SCK の出力端子に MI2SCK5_1 を使用します。
	11	MFS-I2S ch.5 SCK の出力端子に MI2SCK5_2 を使用します。

[bit19:18] MCK5E : MI2SMCK5 出力選択ビット

MI2SMCK5 の出力選択を行います。

Bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.5 MCK の出力を行いません。[初期値]
	01	MFS-I2S ch.5 MCK の出力端子に MI2SMCK5_0 を使用します。
	10	MFS-I2S ch.5 MCK の出力端子に MI2SMCK5_1 を使用します。
	11	MFS-I2S ch.5 MCK の出力端子に MI2SMCK5_2 を使用します。

[bit17:16] MCK5S : MI2SMCK5 入力選択ビット

MI2SMCK5 の入力選択を行います。

Bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.5 MCK の入力を行いません。[初期値]
	01	MFS-I2S ch.5 MCK の入力端子に MI2SMCK5_0 を使用します。
	10	MFS-I2S ch.5 MCK の入力端子に MI2SMCK5_1 を使用します。
	11	MFS-I2S ch.5 MCK の入力端子に MI2SMCK5_2 を使用します。

[bit15:12] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit11:10] SDO4E : MI2SDO4 出力選択ビット

MI2SDO4 の出力選択を行います。

Bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.4 SDO の出力を行いません。[初期値]
	01	MFS-I2S ch.4 SDO の出力端子に MI2SDO4_0 を使用します。
	10	MFS-I2S ch.4 SDO の出力端子に MI2SDO4_1 を使用します。
	11	MFS-I2S ch.4 SDO の出力端子に MI2SDO4_2 を使用します。

[bit9:8] SDI4S : MI2SDI4 入力選択ビット

MI2SDI4 の入力選択を行います。

Bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.4 SDI の入力を行いません。[初期値]
	01	MFS-I2S ch.4 SDI の入力端子に MI2SDI4_0 を使用します。
	10	MFS-I2S ch.4 SDI の入力端子に MI2SDI4_1 を使用します。
	11	MFS-I2S ch.4 SDI の入力端子に MI2SDI4_2 を使用します。

[bit7:6] WS4B : MI2SWS4 出力選択ビット

MI2SWS4 の出力選択を行います。

Bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.4 WS の出力を行いません。[初期値]
	01	MFS-I2S ch.4 WS の出力端子に MI2SWS4_0 を使用します。
	10	MFS-I2S ch.4 WS の出力端子に MI2SWS4_1 を使用します。
	11	MFS-I2S ch.4 WS の出力端子に MI2SWS4_2 を使用します。

[bit5:4] SCK4B : MI2SCK4 出力選択ビット

MI2SCK4 の出力選択を行います。

Bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.4 SCK の出力を行いません。[初期値]
	01	MFS-I2S ch.4 SCK の出力端子に MI2SCK4_0 を使用します。
	10	MFS-I2S ch.4 SCK の出力端子に MI2SCK4_1 を使用します。
	11	MFS-I2S ch.4 SCK の出力端子に MI2SCK4_2 を使用します。

[bit3:2] MCK4E : MI2SMCK4 出力選択ビット

MI2SMCK4 の出力選択を行います。

Bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.4 MCK の出力を行いません。[初期値]
	01	MFS-I2S ch.4 MCK の出力端子に MI2SMCK4_0 を使用します。
	10	MFS-I2S ch.4 MCK の出力端子に MI2SMCK4_1 を使用します。
	11	MFS-I2S ch.4 MCK の出力端子に MI2SMCK4_2 を使用します。

[bit1:0] MCK4S : MI2SMCK4 入力選択ビット

MI2SMCK4 の入力選択を行います。

Bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.4 MCK の入力を行いません。[初期値]
	01	MFS-I2S ch.4 MCK の入力端子に MI2SMCK4_0 を使用します。
	10	MFS-I2S ch.4 MCK の入力端子に MI2SMCK4_1 を使用します。
	11	MFS-I2S ch.4 MCK の入力端子に MI2SMCK4_2 を使用します。

4.32 拡張機能端子設定レジスタ 38(EPFR38)

EPFR38 レジスタは、MFS-I2S ch.6,の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

Bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約		予約		SDO6E		SDI6S	
属性	-		-		R/W		R/W	
初期値	-		-		00		00	

bit	7	6	5	4	3	2	1	0
Field	WS6B		SCK6B		MCK6E		MCK6S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:12] 予約 : 予約ビット

これらのビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

[bit11:10] SDO6E : MI2SDO6 出力選択ビット

MI2SDO6 の出力選択を行います。

Bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.6 SDO の出力を行いません。[初期値]
	01	MFS-I2S ch.6 SDO の出力端子に MI2SDO6_0 を使用します。
	10	MFS-I2S ch.6 SDO の出力端子に MI2SDO6_1 を使用します。
	11	MFS-I2S ch.6 SDO の出力端子に MI2SDO6_2 を使用します。

[bit9:8] SDI6S : MI2SDI6 入力選択ビット

MI2SDI6 の入力選択を行います。

Bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.6 SDI の入力を行いません。[初期値]
	01	MFS-I2S ch.6 SDI の入力端子に MI2SDI6_0 を使用します。
	10	MFS-I2S ch.6 SDI の入力端子に MI2SDI6_1 を使用します。
	11	MFS-I2S ch.6 SDI の入力端子に MI2SDI6_2 を使用します。

[bit7:6] WS6B : MI2SWS6 出力選択ビット

MI2SWS6 の出力選択を行います。

Bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.6 WS の出力を行いません。[初期値]
	01	MFS-I2S ch.6 WS の出力端子に MI2SWS6_0 を使用します。
	10	MFS-I2S ch.6 WS の出力端子に MI2SWS6_1 を使用します。
	11	MFS-I2S ch.6 WS の出力端子に MI2SWS6_2 を使用します。

[bit5:4] SCK6B : MI2SCK6 出力選択ビット

MI2SCK6 の出力選択を行います。

Bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.6 SCK の出力を行いません。[初期値]
	01	MFS-I2S ch.6 SCK の出力端子に MI2SCK6_0 を使用します。
	10	MFS-I2S ch.6 SCK の出力端子に MI2SCK6_1 を使用します。
	11	MFS-I2S ch.6 SCK の出力端子に MI2SCK6_2 を使用します。

[bit3:2] MCK6E : MI2SMCK6 出力選択ビット

MI2SMCK6 の出力選択を行います。

Bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.6 MCK の出力を行いません。[初期値]
	01	MFS-I2S ch.6 MCK の出力端子に MI2SMCK6_0 を使用します。
	10	MFS-I2S ch.6 MCK の出力端子に MI2SMCK6_1 を使用します。
	11	MFS-I2S ch.6 MCK の出力端子に MI2SMCK6_2 を使用します。

[bit1:0] MCK6S : MI2SMCK6 入力選択ビット

MI2SMCK6 の入力選択を行います。

Bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.6 MCK の入力を行いません。[初期値]
	01	MFS-I2S ch.6 MCK の入力端子に MI2SMCK6_0 を使用します。
	10	MFS-I2S ch.6 MCK の入力端子に MI2SMCK6_1 を使用します。
	11	MFS-I2S ch.6 MCK の入力端子に MI2SMCK6_2 を使用します。

4.33 特殊ポート設定レジスタ(SPSR)

SPSR レジスタは端子を特殊機能の信号端子として設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値								

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値								

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値								

bit	7	6	5	4	3	2	1	0
Field	予約			USB0C	MAINXC		SUBXC	
属性	-			R/W	R/W		R/W	
初期値	-			0	01		01	

レジスタ機能

[bit31:5] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit4] USB0C : USB(ch.0)端子設定レジスタ

USB ch.0 端子の設定をします。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	UDM0, UDP0 の 2 端子を USB 端子として使用せず、デジタル入出力として使用します。 [初期値]
	1	UDM0, UDP0 の 2 端子を USB 端子として使用します。 (I/O セルは、入力方向, 入力遮断状態になります。)

[bit3:2] MAINXC： メインクロック(発振)端子設定レジスタ

X0,X1 のメインクロック(発振)端子の設定をします。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	X0, X1 の 2 端子をメインクロック(発振)端子として使用せず、デジタル入出力として使用します。
	01	X0, X1 の 2 端子をメインクロック(発振)端子として使用します。[初期値] (I/O セルは、入力方向, 入力遮断, 内蔵プルアップ抵抗が切断状態になります。)
	10	設定禁止
	11	X0 端子を外部クロック入力端子として使用します。 X1 端子をデジタル入出力として使用します。

<注意事項>

- *MAINXC ビットに"01"を書き込むだけではメインクロックは発振を開始しません。*
  発振を開始させるためには、MAINXC ビットに"01"を書き込んだ後、『クロック』の章のシステムクロックモード制御レジスタ(SCM_CTL)の MOSCE ビットで発振を許可してください。
  また、外部クロックを使用する場合も MOSCE ビットで発振を許可してください。
- *外部クロックを使用する場合は、ご使用する製品のデータシート「■デバイス使用上の注意」の「● 外部クロック使用時の注意」を参照してください。*
- *ディープスタンバイモードを使用する場合、電源投入後、MAINXC ビットおよび SUBXC ビットを希望の設定に変更する前に、”00”を書き込んでください。”00”を書くと端子状態が一時的に不定になる場合があります。*

[bit1:0] SUBXC： サブクロック(発振)端子設定レジスタ

TYPE1-M0+製品の場合、X0A、X1A のサブクロック(発振)端子の設定をします。

TYPE2-M0+製品の場合、Vbat domain の章を参照してください。

TYPE3-M0+製品の場合、低消費電力モードの章を参照してください。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	X0A, X1A の 2 端子をサブクロック(発振)端子として使用せず、デジタル入出力として使用します。
	01	X0A, X1A の 2 端子をサブクロック(発振)端子として使用します。[初期値] (I/O セルは、入力方向, 入力遮断, 内蔵プルアップ切断状態になります。)
	10	設定禁止
	11	X0A 端子を外部クロック入力端子として使用します。 X1A 端子をデジタル入出力として使用します。

<注意事項>

- *SUBXC ビットに"01"を書き込むだけではサブクロックは発振を開始しません。*
  発振を開始させるためには、SUBXC ビットに"01"を書き込んだ後、『クロック』の章のシステムクロ

ックモード制御レジスタ(SCM_CTL)の SOSCE ビットで発振を許可してください。
また、外部クロックを使用する場合も SOSCE ビットで発振を許可してください。

- *外部クロックを使用する場合は、ご使用する製品のデータシート「■デバイス使用上の注意」の「● 外部クロック使用時の注意」を参照してください。*
- *ディープスタンバイモードを使用する場合、電源投入後、MAINXC ビットおよびSUBXC ビットを希望の設定に変更する前に、”00”を書き込んでください。”00”を書くと端子状態が一時的に不定になる場合があります。*

4.34 ポート擬似オープンドレイン設定レジスタ(PZRx)

PZRx レジスタは、H レベル出力時、I/O ポートを Hi-Z にし、擬似的にオープンドレイン制御を設定するレジスタです。

PZR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性
予約	PZR0	0x0000	R/W
予約	PZR1	0x0000	R/W
予約	PZR2	0x0000	R/W
予約	PZR3	0x0000	R/W
予約	PZR4	0x0000	R/W
予約	PZR5	0x0000	R/W
予約	PZR6	0x0000	R/W
予約	PZR7	0x0000	R/W
予約	PZR8	0x0000	R/W
予約	PZR9	0x0000	R/W
予約	PZRA	0x0000	R/W
予約	PZRB	0x0000	R/W
予約	PZRC	0x0000	R/W
予約	PZRD	0x0000	R/W
予約	PZRE	0x0000	R/W
予約	PZRF	0x0000	R/W

レジスタ構成詳細

bit	31 16	15 0
Field	予約	PZRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit15:0] PZRx : ポート擬似オープンドレイン設定レジスタ x

端子の擬似オープンドレイン設定をします。

bit15:0		説明
読出し時		レジスタの設定値を読み出します。
書込み時	0	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を High レベルにします。
	1	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を Hi-Z にします。内蔵プルアップ抵抗を PCR の設定によらず、切断します。

＜注意事項＞

- *PZRx の"x"記載はワイルドカードです。PZR0, PZR1, PZR2,・・・を示します。*
- *PZR レジスタの機能はある特定の端子にのみ実装されています。*
  ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PZR レジスタ制御可能"と記載のある端子のみが制御可能です。
- *PZR レジスタはすべての端子には存在しません。ただし、PZR レジスタがない端子も、GPIO として使用する場合には DDR レジスタの設定により、擬似オープンドレイン制御が可能です。*
  この場合、PFR=0(GPIO 設定), PDOR=0 とした後、
  L 出力設定時 : DDR=1 (出力方向) として使用する。
  Hi-Z 出力設定時 : DDR=0 (入力方向) として使用する。
  ただし、GPIO によるオープンドレイン設定では、Hi-Z 時に VCC を超える電圧印加は禁止です。
- *レジスタ初期値は、TYPE1-M0+製品の例です。異なる製品は、APPENDIX を参照してください。*

4.35 LVDI 入力設定レジスタ(LVDIE)

LVDIE レジスタは、LVDI 端子がある製品にて、LVDI 入力の有効設定を行います。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

Bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約							LVDIE
属性	-							R/W
初期値	-							0

レジスタ機能

[bit31:1] 予約:予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit0] LVDIE: LVD Input Enable Setting Register

LVDIE レジスタは、LVDI 入力の有効設定を行います。

bit15:0		Description
読出し		レジスタ値を読出します。
書込み	0	GPIO または周辺マクロからディジタル High が出力されている時は、端子を High レベルに設定します。.
	1	GPIO または周辺マクロからディジタル High が出力されている時は、端子を Hi-Z 状態に設定します。PCR レジスタの値によらず、プルアップ抵抗を切断します。

注意事項

- *このレジスタは、TYPE1-M0+ TYPE3-M0+製品には存在しません。.*
- *このレジスタは、ディープスタンバイ遷移リセットでは初期化されません。*

- *LVDIE の詳細については、5-3 章を参照ください。*

5. 使用上の注意

I/O ポートの使用上の注意を説明します。

■ SPL=1 時の内蔵プルアップ抵抗の ON/OFF について

SPL はスタンバイモード時に端子を Hi-Z 状態にする信号です。

- SPL=0 時　　通常動作
- SPL=1 時　　端子の Hi-Z, 入力遮断, 内蔵プルアップ抵抗の切断
  ただし、外部割込み, NMIX, シリアルワイヤデバッグの端子は、使用設定の場合 SPL ビットで制御しません。

SPL ビットの詳細は『低消費電力モード』の章を参照してください。

■ DTTIX 入力について

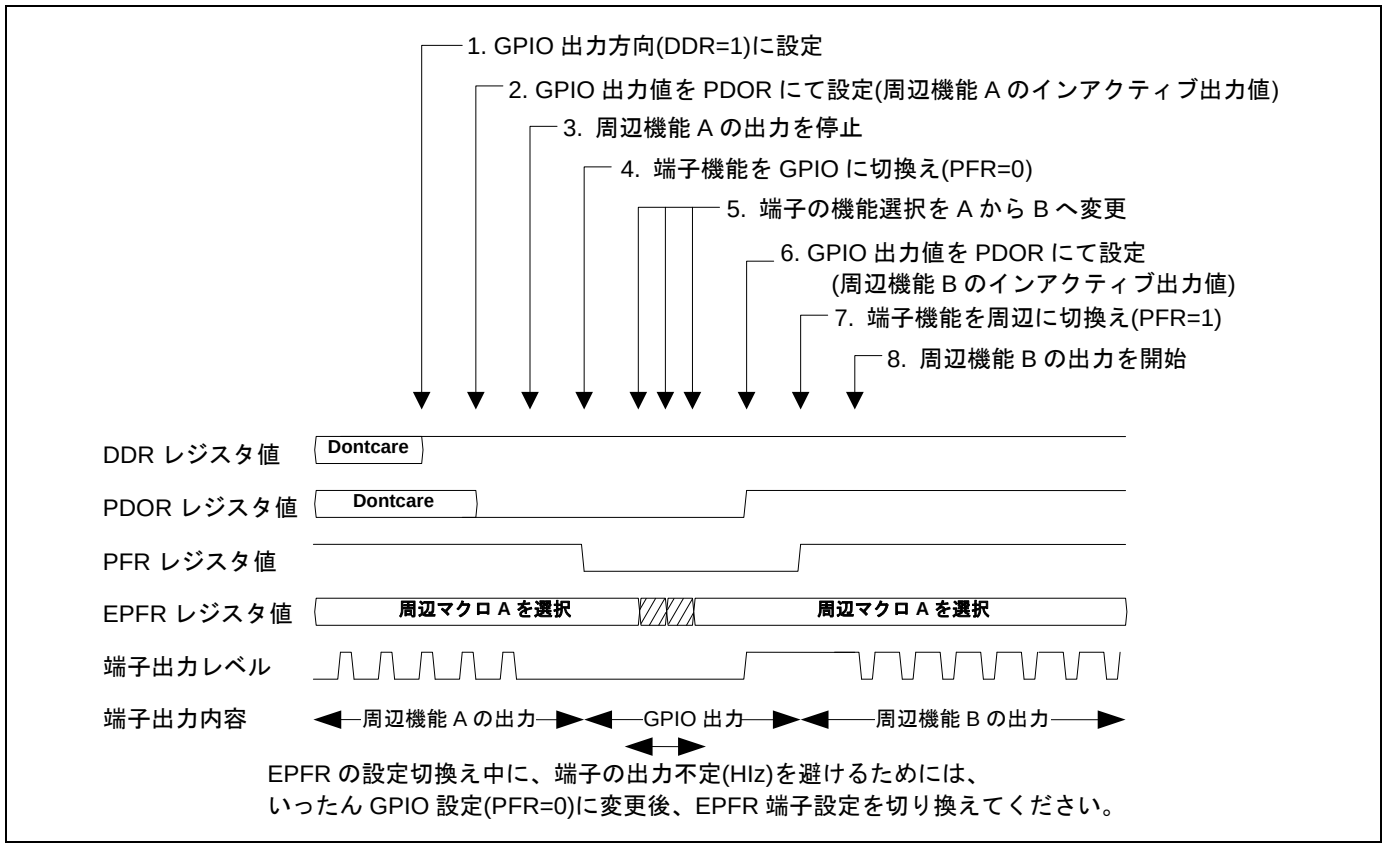
DTTI 信号は、モータ制御用 PWM 出力(RTO)設定出力端子を兼用の GPIO 端子設定に切り換える入力信号で、緊急時のモータ停止要求に対応します。

この機能を使用する場合は、EPFR で切換え許可設定としてください。

■ 端子機能切換え手順について

EPFR レジスタにて、周辺機能の出力を切り換える場合、端子の不定出力(Hi-Z)を防ぐため、Figure 5-1 に示す切換え例のような手順で設定を切り換えてください。

Figure 5-1 端子機能切換え手順について



■ 予約ビットについて
本ビットは ADE レジスタ以外の予約ビットは、読出し時"0"になります。書込み時は常に"0"を書き込んでください。ADE レジスタの予約ビットは、読出し時"1"になります。書込み時は常に"1"を書き込んでください。

■ マルチファンクションシリアルの端子グループについて
マルチファンクションシリアルの入出力が複数ある場合、それぞれの入出力は同じグループのポートに設定してください。同じグループのポートとは"xxx_0"や"yyy_1"というように、端子名の後に付くリロケート機能番号が同一のグループのことです。
Table 5-1 に設定例を示します。

Table 5-1 マルチファンクションシリアルインタフェース設定例

シリアルデータ出力	シリアルクロック入出力	シリアルデータ入力	有効ポート
SOT1_**0** 端子 (0 番ポート)	SCK1_**0** 端子 (0 番ポート)	SIN1_**0** 端子 (0 番ポート)	0 番ポート
		SIN1_1 端子 (1 番ポート)	設定禁止
	SCK1_1 端子 (1 番ポート)	SIN1_0 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	
SOT1_**1** 端子 (1 番ポート)	SCK1_0 端子 (0 番ポート)	SIN1_0 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	
	SCK1_**1** 端子 (1 番ポート)	SIN1 端子 (0 番ポート)	
		SIN1_**1** 端子 (1 番ポート)	1 番ポート

■ 周辺機能の出力について
周辺機能の出力端子は EPFR の設定により一意に決まるため、周辺機能の出力を別々の端子に割り振ることはできません。
(不可例) マルチファンクションシリアルの出力 SOT1_0 と SOT1_1 に同一出力を割り振る。

■ 端子設定と動作モードについて
シリアルワイヤデバッグ設定については『デバッグインタフェース』の章を参照してください。
スタンバイモード時やリセット時の各端子状態はご使用する製品の『データシート』を参照してください。

■ 製品仕様と周辺機能の端子割当てについて
各端子に割り当てられている機能(GPIO, 周辺入出力, 特殊 I/O)は、製品ごとに異なります。各製品の端子機能は、ご使用する製品の『データシート』の端子機能表で確認してください。製品に存在していない端子に対し、EPFR のレジスタ設定にて、機能選択を行うことは禁止します。

■ PE0 端子を GPIO として使用する場合について

PE0 端子を使用する場合、以下の設定が必要です。

入力：PDIR を読み出すことで値を読み出せます。

出力：PE0 端子の I/O は Nch オープンドレイン端子のため、L 出力のみ可能です。

PFR=0（GPIO として使用）

DDR=1（出力として使用）

PDOR=0（出力データは”0”）

SPL=0(STOP モードで GPIO 状態保持)

■ スタンバイモード時の外部割込み端子の設定について

SPL=1 設定でスタンバイモードに遷移する場合、復帰用の外部割込み割当て端子を有効にする際は、PFR=1 とし、周辺機能を選択してください。

外部割込みに使用する端子の設定が PFR=0 の場合、意図しない動作をすることがあります。

CHAPTER 10-2: Fast GPIO

Fast GPIO の機能と動作について説明します。

1. 概要
2. 構成
3. 設定手順例
4. レジスタ
5. ビットマニピュレーションベースアドレス

管理コード: 9AF_FastGPIO-J03.0

1. 概要

Fast GPIO の概要について説明します。

1 サイクルアクセス可能

- 1 サイクルアクセス可能な GPIO を Fast GPIO と呼称します。
- CPU アクセスから HCLK の 1 サイクルで入力レベルの読出し/出力レベルの設定が可能です。
- 初期状態では通常の GPIO が選択されています。Fast GPIO 機能を使用するためには、レジスタ設定で Fast GPIO を選択する必要があります。

ピンアサイメント

すべての I/O ポートは通常の GPIO と Fast GPIO の両対応です。

ビットマニピュレーション対応

Fast GPIO は専用のビットマニピュレーション機能を持ち、ビット単位でアクセス可能です。

ビット操作時も 1 サイクルでアクセス可能です。

同時アクセス機能

- 異なるグループのポートをまとめたミラーレジスタから、最大 8 ポートを同時にアクセスすることができます。各製品に適した効率的なアクセスが可能です。

2. 構成

Fast GPIO の構成とダイヤグラムと動作を説明します。

Fast GPIO の構成

Figure 2-1 は Fast GPIO のブロックダイヤグラムです。

I/O ポートは、FPOER で通常の GPIO と Fast GPIO を切り替えることが可能です。

PCRx、DDRx、ADE の設定は通常の GPIO と共有しています。

Figure 2-1 Fast GPIO のブロックダイヤグラム

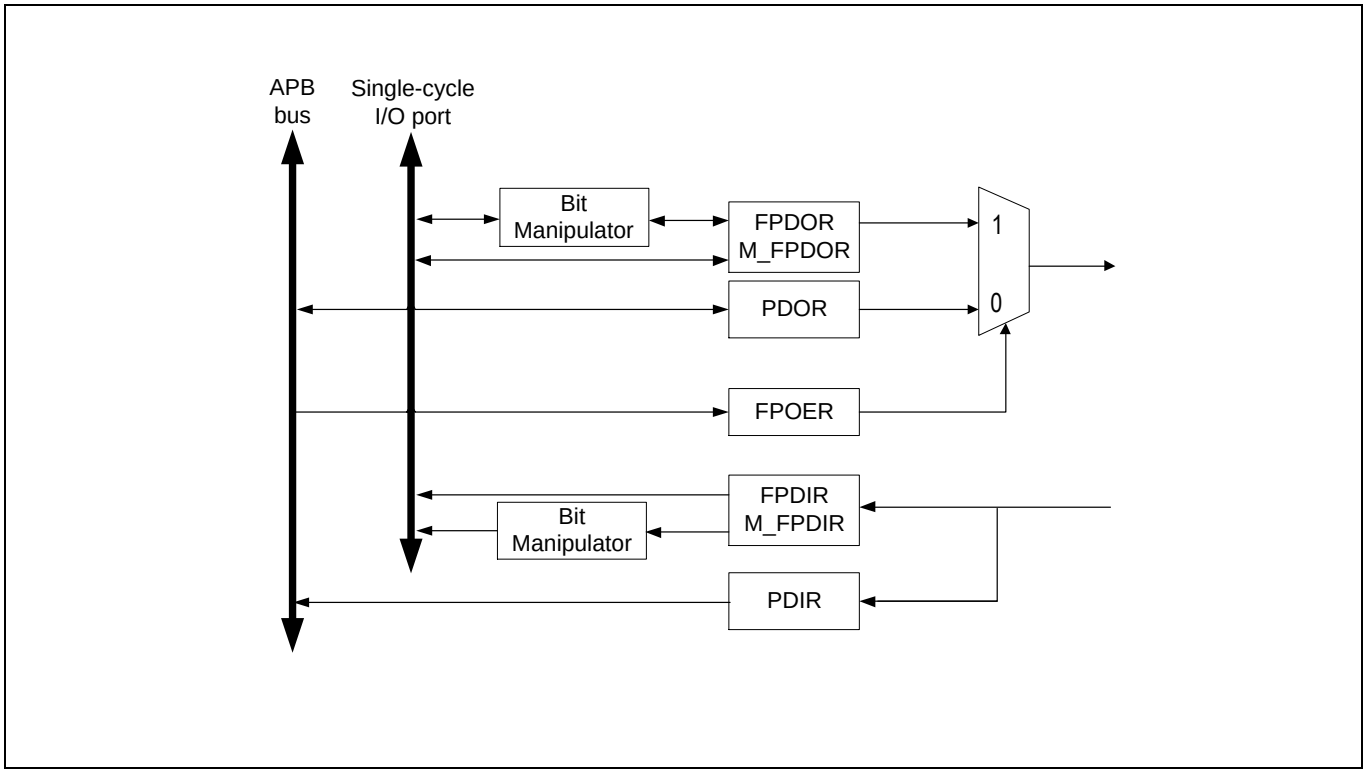


Table 2-1 レジスタ機能一覧

レジスタ名	Function
FPDIR	I/O ポートのレベル状態を読み出すレジスタです。Single-cycle I/O port に接続され、1 サイクルアクセス可能です。 – I/O ポートをデジタル入力端子として使用する場合、入力レベルを読み出します。 – I/O ポートをデジタル出力端子として使用する場合、出力レベルを読み出します。 – I/O ポートを特殊端子として使用する場合、常に"0"を読み出します。
FPDOR	I/O ポートを Fast GPIO の出力端子として使用する場合に出力レベルを設定するレジスタです。 Single-cycle I/O port に接続され、1 サイクルアクセス可能です。 – "0"設定時、Low レベルを出力します。 – "1"設定時、High レベルを出力します。 (注意事項) – 端子が GPIO 入力、周辺機能の入出力端子として選択されている場合、設定値は無効です。 – レジスタへの書き込みによって M_FPDOR の対応するビットも同じ値になります。
M_FPDIR	FPDIR のミラーレジスタです。複数の Fast GPIO の入力値を一括して読み出すことが可能です。 – レジスタ機能は FPDIR と同じです。
M_FPDOR	FPDOR のミラーレジスタです。複数の Fast GPIO の出力レベルを一括して設定することが可能です。 – レジスタ機能は FPDOR と同じです。 – レジスタへの書き込みによって FPDOR の対応するビットも同じ値になります。
FPOER	通常の GPIO 出力と Fast GPIO 出力を選択するレジスタです。 – "0"設定時、通常の GPIO 出力になります。 – "1"設定時、Fast GPIO 出力になります。 本レジスタの設定は FPDIR/M_FPDIR に影響しません。

Fast GPIO アクセス

- Fast GPIO に設定すると、入力レベルは FPDIR、出力レベルは FPDOR で設定可能です。設定方法は PDIR と PDOR と同じです。
- FPDIR/PDIR と FPDOR/PDOR は一対一対応です。
- 例えば P00 を入力に設定し、FPDIR0 の bit0 を読み出しすれば P00 の入力レベルが読み出せます。P15 を Fast GPIO の出力に設定し、FPDOR1 の bit5 に書き込みを行えば P15 に出力可能です。

Fast GPIO ミラーアクセス(TYPE1- M0+, TYPE2-M0+)

- 一部のポートはミラーレジスタに再割り当てされています。
- ミラーレジスタ(M_FDIRx/M_FPODRx)に割り当てられたグループ毎に一括アクセスが可能です。
- Table 2-2 は M_FPDIR0/M_FPDOR0 構成です。P10-15、P22-23 に対して一括アクセスが可能です。FPDIR1 と FPDIR2 を別々にリードする必要がなくなります。また、FPDOR1 と FPDOR2 を別々にライトする必要がなくなります。
- Table 2-3 は M_FPDIR1/M_FPDOR1 構成です。P3A-P3F、P46-P47 に対して一括アクセスが可能です。FPDIR3 と FPDIR4 を別々にリードする必要がなくなります。また、FPDOR3 と FPDOR4 を別々にライトする必要がなくなります。

Table 2-2 M_FPDIR0/M_FPDOR0 構成(TYPE1-M0+, TYPE2-M0+製品)

ミラーポート名	ポート	対応する FPDIR bit	対応する FPDOR bit
M_FP00	P10	FPDIR1[0]	FPDOR1[0]
M_FP01	P11	FPDIR1[1]	FPDOR1[1]
M_FP02	P12	FPDIR1[2]	FPDOR1[2]
M_FP03	P13	FPDIR1[3]	FPDOR1[3]
M_FP04	P14	FPDIR1[4]	FPDOR1[4]
M_FP05	P15	FPDIR1[5]	FPDOR1[5]
M_FP06	P23	FPDIR2[3]	FPDOR2[3]
M_FP07	P22	FPDIR2[2]	FPDOR2[2]

Table 2-3 M_FPDIR1/M_FPDOR1 構成(TYPE1-M0+, TYPE2-M0+製品)

ミラーポート名	ポート	対応する FPDIR bit	対応する FPDOR bit
M_FP10	P3A	FPDIR3[10]	FPDOR3[10]
M_FP11	P3B	FPDIR3[11]	FPDOR3[11]
M_FP12	P3C	FPDIR3[12]	FPDOR3[12]
M_FP13	P3D	FPDIR3[13]	FPDOR3[13]
M_FP14	P3E	FPDIR3[14]	FPDOR3[14]
M_FP15	P3F	FPDIR3[15]	FPDOR3[15]
M_FP16	P46	FPDIR4[6]	FPDOR4[6]
M_FP17	P47	FPDIR4[7]	FPDOR4[7]

<注意事項>

- *M_FPDORx への書込みにより、FPDORx の対応するビットに同じ値が書き込まれます。例えば M_FPDOR1 の bit5 に"1"を書き込んだ場合、FPDOR3 の bit15 も"1"が書き込まれます。*

Fast GPIO ミラーアクセス(TYPE3- M0+)

- 一部のポートはミラーレジスタに再割り当てされています。
- ミラーレジスタ(M_FDIRx/M_FPODRx)に割り当てられたグループ毎に一括アクセスが可能です。
- Table 2-4 は M_FPDIR0/M_FPDOR0 構成です。P10-15、P22-23 に対して一括アクセスが可能です。FPDIR1 と FPDIR2 を別々にリードする必要がなくなります。また、FPDOR1 と FPDOR2 を別々にライトする必要がなくなります。
- Table 2-5 は M_FPDIR1/M_FPDOR1 構成です。P05、P0F、P21、P46-P47、P50-P52 に対して一括アクセスが可能です。FPDIR0 と FPDIR2 と FPDIR4 と FPDIR5 を別々にリードする必要がなくなります。また、FPDOR0 と FPDOR2 と FPDOR4 と FPDOR5 を別々にライトする必要がなくなります。

Table 2-4 M_FPDIR0/M_FPDOR0 構成(TYPE3-M0+ 製品)

ミラーポート名	ポート	対応する FPDIR bit	対応する FPDOR bit
M_FP00	P10	FPDIR1[0]	FPDOR1[0]
M_FP01	P11	FPDIR1[1]	FPDOR1[1]
M_FP02	P12	FPDIR1[2]	FPDOR1[2]
M_FP03	P13	FPDIR1[3]	FPDOR1[3]
M_FP04	P14	FPDIR1[4]	FPDOR1[4]
M_FP05	P15	FPDIR1[5]	FPDOR1[5]
M_FP06	P23	FPDIR2[3]	FPDOR2[3]
M_FP07	P22	FPDIR2[2]	FPDOR2[2]

Table 2-5 M_FPDIR1/M_FPDOR1 構成(TYPE3-M0+ 製品)

ミラーポート名	ポート	対応する FPDIR bit	対応する FPDOR bit
M_FP10	P21	FPDIR2[1]	FPDOR2[1]
M_FP11	P05	FPDIR0[5]	FPDOR0[5]
M_FP12	P0F	FPDIR0[15]	FPDOR0[15]
M_FP13	P50	FPDIR5[0]	FPDOR5[0]
M_FP14	P51	FPDIR5[1]	FPDOR5[1]
M_FP15	P52	FPDIR5[2]	FPDOR5[2]
M_FP16	P46	FPDIR4[6]	FPDOR4[6]
M_FP17	P47	FPDIR4[7]	FPDOR4[7]

<注意事項>

- *M_FPDORx への書込みにより、FPDORx の対応するビットに同じ値が書き込まれます。例えば M_FPDOR1 の bit5 に"1"を書き込んだ場合、FPDOR3 の bit15 も"1"が書き込まれます。*

ビットマニピュレーション

■ 概要

Fast GPIO は Single-cycle I/O port に接続されています。Single-cycle I/O port は 1cycle の高速アクセスが可能です。しかし、Single-cycle I/O port はビットバンド操作をサポートしていません。

Fast GPIO は専用のビットマニピュレーション機能を持っています。レジスタのそれぞれのビットに対して独立して書き込むことが可能です。ビットマニピュレーションはビットバンド操作と同じく、追加のエイリアス領域を持ちます。

ビットマニピュレーションは FPDIR、FPDOR、M_FPDIR、M_FPDOR レジスタへのアクセスのみ対応しています。

■ 使用方法

ビットマニピュレーションを行うためのアドレスについての説明です。

- エイリアスアドレス

  ビットマニピュレーションを行うためアクセスするアドレスです。下記の式で計算します。

  エイリアスアドレス = ベースアドレス + オフセットアドレス

- ベースアドレス

  ベースアドレスは、各 FPDIR、FPDOR、M_FPDIR、M_FPDOR レジスタ毎に決まっています。5.ビットマニピュレーションベースアドレスを参照してください。

- オフセットアドレス

  アクセスするビットを指定するアドレスです。

Table 2-6 ビットマニピュレーションのオフセットアドレス

アクセスビット	オフセットアドレス	アクセスビット	オフセットアドレス
bit8	0x0004+1	bit0	0x0004
bit9	0x0008+1	bit1	0x0008
bit10	0x0010+1	bit2	0x0010
bit11	0x0020+1	bit3	0x0020
bit12	0x0040+1	bit4	0x0040
bit13	0x0080+1	bit5	0x0080
bit14	0x0100+1	bit6	0x0100
bit15	0x0200+1	bit7	0x0200
使用禁止	上記以外	使用禁止	上記以外

FPDIR の読出しはアクセスビットのみ反映され、それ以外のビットは"0"です。例えば、FPDIR8 が"0x07"の時、"FPDIR8+ベースアドレス+0x0010"の読出し値は"0x04"です。

FPDOR への書込みはアクセスビットのみ行われ、それ以外のビットは無視されます。例えば、FPDOR1 が"0x00"の時、"FPDOR1+ベースアドレス+0x0008"へ"0xFF"を書込むと、FPDOR1 は"0x02"になります。

■ エイリアスアドレス計算例

- FPDOR0 の bit3 を設定する場合

アクセス レジスタ	アクセス ビット	アクセス サイズ	ベース アドレス	オフセット アドレス	エイリアス アドレス
FPDOR0	bit3	バイト	0xF801_4000	0x0020	0xF801_4020

- FPDOR0 の bit13 を設定する場合

アクセス レジスタ	アクセス ビット	アクセス サイズ	レジスタ アドレス	オフセット アドレス	エイリアス アドレス
FPDOR0	bit13	バイト	0xF801_4000	0x0080+1	0xF801_4081

ハーフワードアクセスの場合、上位バイトと下位バイトともにマスクされます。

- FPDOR0 の bit13 と bit5 を設定する場合

アクセス レジスタ	アクセス ビット	アクセス サイズ	レジスタ アドレス	オフセット アドレス	エイリアス アドレス
FPDOR0	bit13, bit5	ハーフワード	0xF801_4000	0x0080	0xF801_4080

ワードアクセスの場合はハーフワードアクセスと同様です。

3. 設定手順例

Fast GPIO の設定手順例を示します。

Fast GPIO の設定

1. Fast GPIO 出力として使用する場合、FPOER レジスタ設定で Fast GPIO を選択
2. 通常の GPIO を使用する通りに I/O ポートのレジスタを設定

Figure 3-1 に出力設定手順例、Figure 3-2 に入力設定手順を示します。

Figure 3-1 Fast GPIO の出力設定手順例

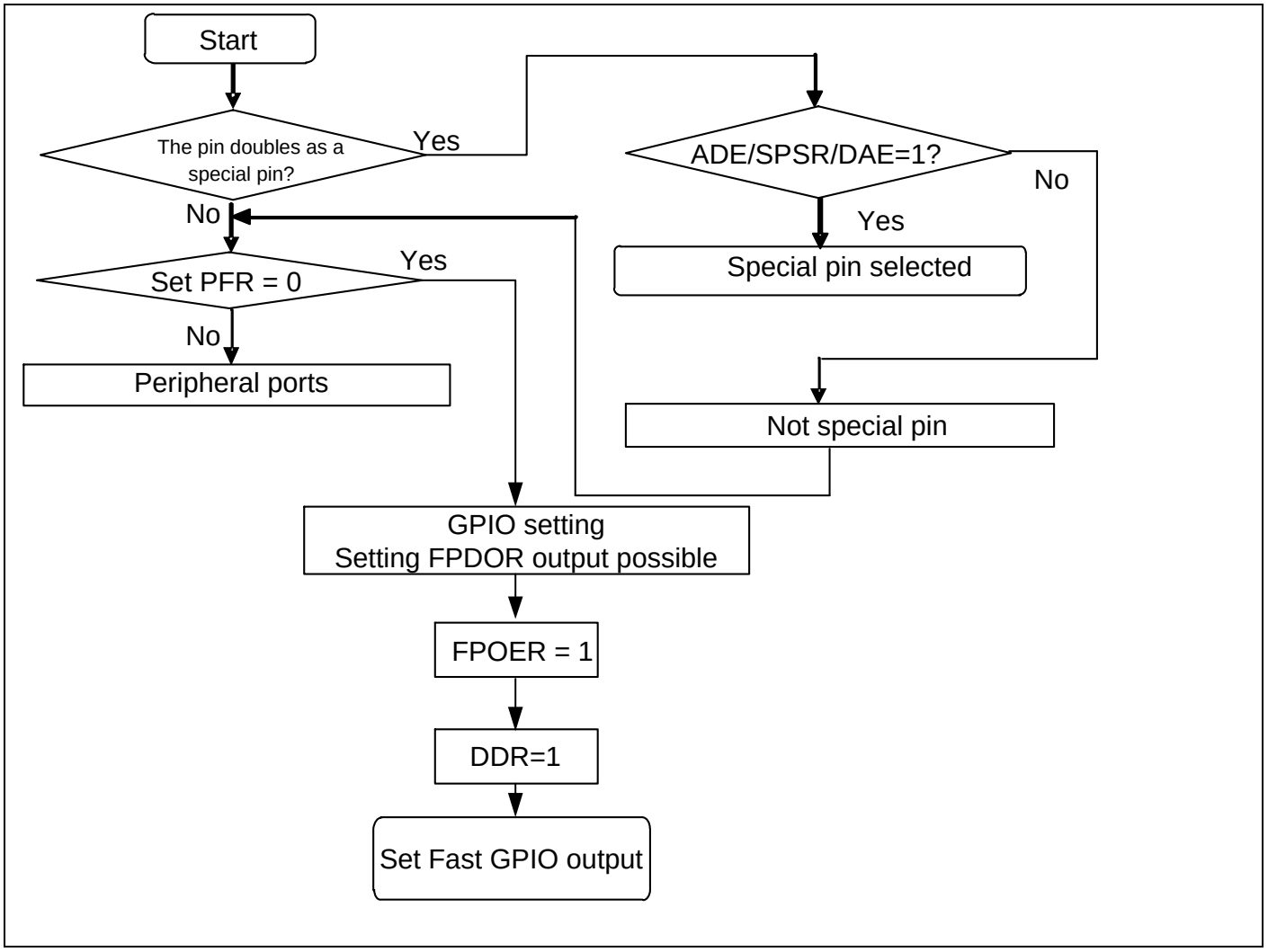
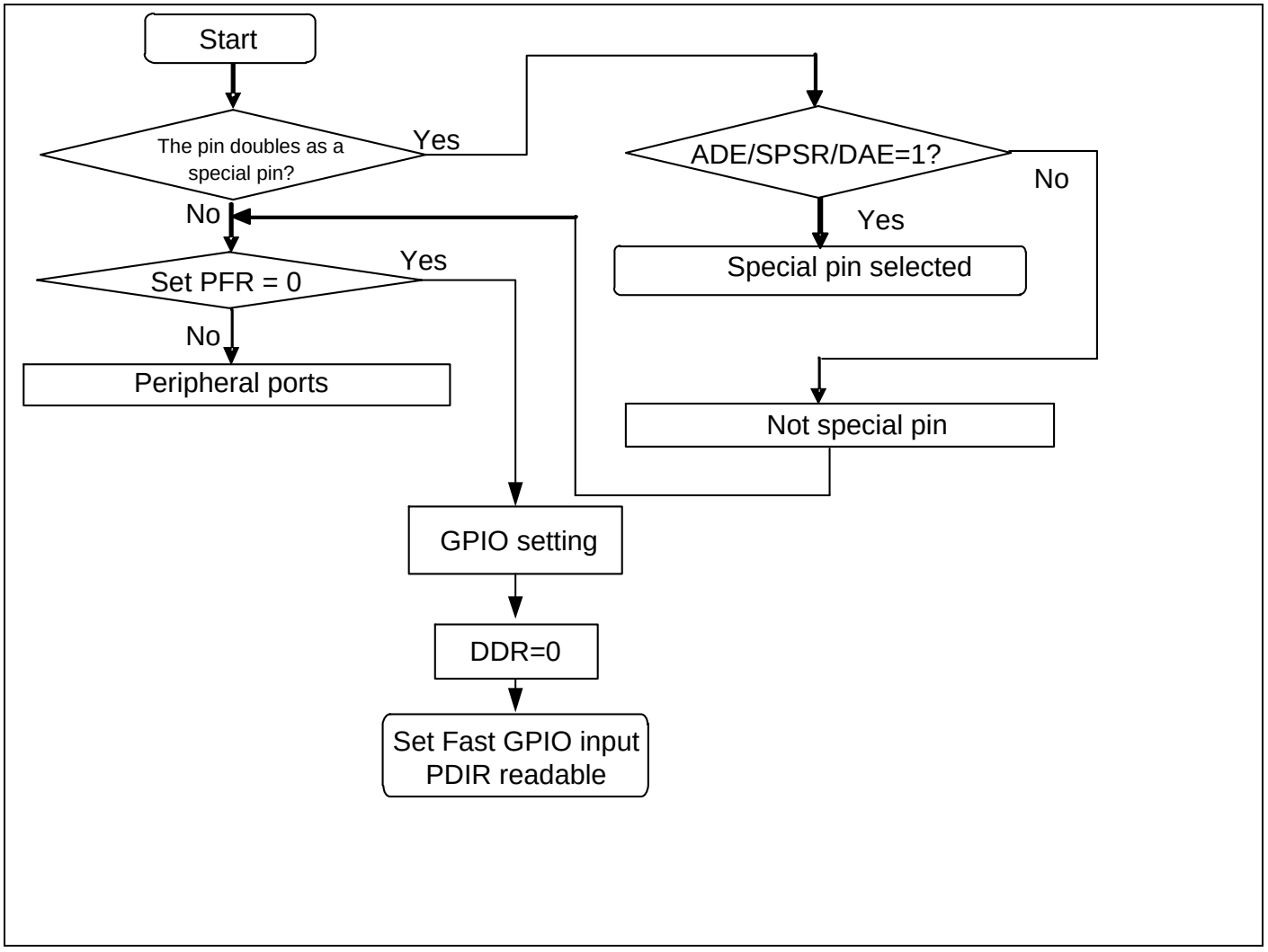


Figure 3-2 Fast GPIO の入力設定手順例



4. レジスタ

レジスタの構成と機能について説明します。

レジスター覧

Table 4-1 Fast GPIO レジスター覧

レジスタ略称	レジスタ名	参照先
FPDIR0	Fast GPIO 入力データレジスタ 0	4.1
FPDIR1	Fast GPIO 入力データレジスタ 1	
FPDIR2	Fast GPIO 入力データレジスタ 2	
FPDIR3	Fast GPIO 入力データレジスタ 3	
FPDIR4	Fast GPIO 入力データレジスタ 4	
FPDIR5	Fast GPIO 入力データレジスタ 5	
FPDIR6	Fast GPIO 入力データレジスタ 6	
FPDIR7	Fast GPIO 入力データレジスタ 7	
FPDIR8	Fast GPIO 入力データレジスタ 8	
FPDIR9	Fast GPIO 入力データレジスタ 9	
FPDIRA	Fast GPIO 入力データレジスタ A	
FPDIRB	Fast GPIO 入力データレジスタ B	
FPDIRC	Fast GPIO 入力データレジスタ C	
FPDIRD	Fast GPIO 入力データレジスタ D	
FPDIRE	Fast GPIO 入力データレジスタ E	
FPDIRF	Fast GPIO 入力データレジスタ F	
FPDOR0	Fast GPIO 出力データレジスタ 0	4.2
FPDOR1	Fast GPIO 出力データレジスタ 1	
FPDOR2	Fast GPIO 出力データレジスタ 2	
FPDOR3	Fast GPIO 出力データレジスタ 3	
FPDOR4	Fast GPIO 出力データレジスタ 4	
FPDOR5	Fast GPIO 出力データレジスタ 5	
FPDOR6	Fast GPIO 出力データレジスタ 6	
FPDOR7	Fast GPIO 出力データレジスタ 7	
FPDOR8	Fast GPIO 出力データレジスタ 8	
FPDOR9	Fast GPIO 出力データレジスタ 9	
FPDORA	Fast GPIO 出力データレジスタ A	
FPDORB	Fast GPIO 出力データレジスタ B	
FPDORC	Fast GPIO 出力データレジスタ C	
FPDORD	Fast GPIO 出力データレジスタ D	
FPDORE	Fast GPIO 出力データレジスタ E	
FPDORF	Fast GPIO 出力データレジスタ F	

レジスタ略称	レジスタ名	参照先
M_FPDIR0	Fast GPIO 入力データミラーレジスタ 0	4.3
M_FPDIR1	Fast GPIO 入力データミラーレジスタ 1	
M_FPDIR2	Fast GPIO 入力データミラーレジスタ 2	
M_FPDIR3	Fast GPIO 入力データミラーレジスタ 3	
M_FPDIR4	Fast GPIO 入力データミラーレジスタ 4	
M_FPDIR5	Fast GPIO 入力データミラーレジスタ 5	
M_FPDIR6	Fast GPIO 入力データミラーレジスタ 6	
M_FPDIR7	Fast GPIO 入力データミラーレジスタ 7	
M_FPDIR8	Fast GPIO 入力データミラーレジスタ 8	
M_FPDIR9	Fast GPIO 入力データミラーレジスタ 9	
M_FPDIRA	Fast GPIO 入力データミラーレジスタ A	
M_FPDIRB	Fast GPIO 入力データミラーレジスタ B	
M_FPDIRC	Fast GPIO 入力データミラーレジスタ C	
M_FPDIRD	Fast GPIO 入力データミラーレジスタ D	
M_FPDIRE	Fast GPIO 入力データミラーレジスタ E	
M_FPDIRF	Fast GPIO 入力データミラーレジスタ F	
M_FPDOR0	Fast GPIO 出力データミラーレジスタ 0	4.4
M_FPDOR1	Fast GPIO 出力データミラーレジスタ 1	
M_FPDOR2	Fast GPIO 出力データミラーレジスタ 2	
M_FPDOR3	Fast GPIO 出力データミラーレジスタ 3	
M_FPDOR4	Fast GPIO 出力データミラーレジスタ 4	
M_FPDOR5	Fast GPIO 出力データミラーレジスタ 5	
M_FPDOR6	Fast GPIO 出力データミラーレジスタ 6	
M_FPDOR7	Fast GPIO 出力データミラーレジスタ 7	
M_FPDOR8	Fast GPIO 出力データミラーレジスタ 8	
M_FPDOR9	Fast GPIO 出力データミラーレジスタ 9	
M_FPDORA	Fast GPIO 出力データミラーレジスタ A	
M_FPDORB	Fast GPIO 出力データミラーレジスタ B	
M_FPDORC	Fast GPIO 出力データミラーレジスタ C	
M_FPDORD	Fast GPIO 出力データミラーレジスタ D	
M_FPDORE	Fast GPIO 出力データミラーレジスタ E	
M_FPDORF	Fast GPIO 出力データミラーレジスタ F	

レジスタ略称	レジスタ名	参照先
FPOER0	Fast GPIO 出力イネーブルレジスタ 0	4.5
FPOER1	Fast GPIO 出力イネーブルレジスタ 1	
FPOER2	Fast GPIO 出力イネーブルレジスタ 2	
FPOER3	Fast GPIO 出力イネーブルレジスタ 3	
FPOER4	Fast GPIO 出力イネーブルレジスタ 4	
FPOER5	Fast GPIO 出力イネーブルレジスタ 5	
FPOER6	Fast GPIO 出力イネーブルレジスタ 6	
FPOER7	Fast GPIO 出力イネーブルレジスタ 7	
FPOER8	Fast GPIO 出力イネーブルレジスタ 8	
FPOER9	Fast GPIO 出力イネーブルレジスタ 9	
FPOERA	Fast GPIO 出力イネーブルレジスタ A	
FPOERB	Fast GPIO 出力イネーブルレジスタ B	
FPOERC	Fast GPIO 出力イネーブルレジスタ C	
FPOERD	Fast GPIO 出力イネーブルレジスタ D	
FPOERE	Fast GPIO 出力イネーブルレジスタ E	
FPOERF	Fast GPIO 出力イネーブルレジスタ F	

4.1 Fast GPIO 入力データ レジスタ(FPDIRx)

FPDIRx レジスタは Fast GPIO の入力データを示します。

レジスタ構成

bit 31 16	15 0	初期値	属性	対応ポート
予約	FPDIR0	0xXXXX	R	P0F～P00
予約	FPDIR1	0xXXXX	R	P1F～P10
予約	FPDIR2	0xXXXX	R	P2F～P20
予約	FPDIR3	0xXXXX	R	P3F～P30
予約	FPDIR4	0xXXXX	R	P4F～P40
予約	FPDIR5	0xXXXX	R	P5F～P50
予約	FPDIR6	0xXXXX	R	P6F～P60
予約	FPDIR7	0xXXXX	R	P7F～P70
予約	FPDIR8	0xXXXX	R	P8F～P80
予約	FPDIR9	0xXXXX	R	P9F～P90
予約	FPDIRA	0xXXXX	R	PAF～PA0
予約	FPDIRB	0xXXXX	R	PBF～PB0
予約	FPDIRC	0xXXXX	R	PCF～PC0
予約	FPDIRD	0xXXXX	R	PDF～PD0
予約	FPDIRE	0xXXXX	R	PEF～PE0
予約	FPDIRF	0xXXXX	R	PFF～PF0

レジスタ構成詳細

bit	31 16	15 0
Field	予約	FPDIRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit15:0] FPDIRx : Fast GPIO 入力データ レジスタ x

Fast GPIO の入力データを読み出します。

bit15:0		説明
読出し時	0	端子機能の設定(PFR/EPFR/DDR/FPDOR/M_FPDOR)によらず、端子が"L"レベル入力状態または、"L"レベル出力状態であることを示します。ADE/SPSR により、特殊端子が選択されている場合は、入力遮断されているので常に 0 が読み出されます。
	1	端子機能の設定(PFR/EPFR/DDR/FPDOR/M_FPDOR)によらず、端子が"H"レベル入力状態または、"H"レベル出力状態であることを示します。
書込み時		書込みは動作に影響しません。

＜注意事項＞

- *FPDIRx の"x"記載はワイルドカードです。FPDIR0,FPDIR1, FPDIR2,・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*
- *1 つのレジスタで PxF～Px0 までの 16 本のポート入力データの読出しが可能です。*
- *レジスタの各ビットが個別に各端子状態を示します。ビット配置と端子順番は 1 対 1 に対応します。例えば、FPDIR0 の bit15 が P0F を、FPDIR0 の bit14 が P0E を、FPDIR0 の bit0 が P00 を示します。*
- *製品に存在しない端子のビット値は常に"0"が読み出されます。*

TYPE2-M0+製品の場合

- *FPDIRx レジスタはディープスタンバイ遷移リセットで初期化されません。*

TYPE3-M0+製品の場合

- *FPDIRx レジスタは I/O ラッチ後、ディープスタンバイ遷移リセットで初期化されます。*

4.2 Fast GPIO 出力データレジスタ(FPDORx)

FPDORx レジスタは Fast GPIO への出力データを設定します。

レジスタ構成

bit 31 … 16	15 … 0	初期値	属性	対応ポート
予約	FPDOR0	0x0000	R/W	P0F～P00
予約	FPDOR1	0x0000	R/W	P1F～P10
予約	FPDOR2	0x0000	R/W	P2F～P20
予約	FPDOR3	0x0000	R/W	P3F～P30
予約	FPDOR4	0x0000	R/W	P4F～P40
予約	FPDOR5	0x0000	R/W	P5F～P50
予約	FPDOR6	0x0000	R/W	P6F～P60
予約	FPDOR7	0x0000	R/W	P7F～P70
予約	FPDOR8	0x0000	R/W	P8F～P80
予約	FPDOR9	0x0000	R/W	P9F～P90
予約	FPDORA	0x0000	R/W	PAF～PA0
予約	FPDORB	0x0000	R/W	PBF～PB0
予約	FPDORC	0x0000	R/W	PCF～PC0
予約	FPDORD	0x0000	R/W	PDF～PD0
予約	FPDORE	0x0000	R/W	PEF～PE0
予約	FPDORF	0x0000	R/W	PFF～PF0

レジスタ構成詳細

bit	31 … 16	15 … 0
Field	予約	FPDORx

レジスタ機能

[bit31:16] 予約 : 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit15:0] FPDORx : Fast GPIO 出力データレジスタ x

Fast GPIO の出力データを設定します。

bit15:0		説明
読出し時		レジスタの値を読み出します。
書込み時	0	Fast GPIO に"L"レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。
	1	Fast GPIO に"H"レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。

＜注意事項＞

- *FPDORx の"x"記載はワイルドカードです。FPDOR0, FPDOR1, FPDOR2,・・・を示します。*
- *Px0 やPxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*
- *1 つのレジスタでPxF～Px0 までの16 本のポート出力データの設定が可能です。*
- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は1 対1 に対応します。例えば、FPDOR0 のbit15 がP0F を、FPDOR0 のbit14 がP0E を、FPDOR0 のbit0 がP00 を設定します。*
- *製品に存在しない端子のビット値への書込みは無効で、読出し値は不定になります。*

TYPE2-M0+製品の場合

- *FPDORx レジスタはディープスタンバイ遷移リセットで初期化されません。*

TYPE3-M0+製品の場合

- *FPDORx レジスタはI/O ラッチ後、ディープスタンバイ遷移リセットで初期化されます。*

4.3 Fast GPIO 入力データミラーレジスタ(M_FPDIRx)

M_FPDIRx レジスタは Fast GPIO の入力データを示します。

レジスタ構成

bit 31 … 8	7 … 0	初期値	属性	対応ポート
予約	M_FPDIR0	0xXX	R	M_FP07～M_FP00
予約	M_FPDIR1	0xXX	R	M_FP17～M_FP10
予約	M_FPDIR2	0xXX	R	M_FP27～M_FP20
予約	M_FPDIR3	0xXX	R	M_FP37～M_FP30
予約	M_FPDIR4	0xXX	R	M_FP47～M_FP40
予約	M_FPDIR5	0xXX	R	M_FP57～M_FP50
予約	M_FPDIR6	0xXX	R	M_FP67～M_FP60
予約	M_FPDIR7	0xXX	R	M_FP77～M_FP70
予約	M_FPDIR8	0xXX	R	M_FP87～M_FP80
予約	M_FPDIR9	0xXX	R	M_FP97～M_FP90
予約	M_FPDIRA	0xXX	R	M_FPA7～M_FPA0
予約	M_FPDIRB	0xXX	R	M_FPB7～M_FPB0
予約	M_FPDIRC	0xXX	R	M_FPC7～M_FPC0
予約	M_FPDIRD	0xXX	R	M_FPD7～M_FPD0
予約	M_FPDIRE	0xXX	R	M_FPE7～M_FPE0
予約	M_FPDIRF	0xXX	R	M_FPF7～M_FPF0

レジスタ構成詳細

bit	31 … 8	7 … 0
Field	予約	M_FPDIRx

レジスタ機能

[bit31:8] 予約 : 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit7:0] M_FPDIRx : Fast GPIO 入力データミラーレジスタ x

Fast GPIO の入力データを読み出します。

bit7:0		説明
読出し時	0	端子機能の設定(PFR/EPFR/DDR/FPDOR/M_FPDOR)によらず、端子が"L"レベル入力状態または、"L"レベル出力状態であることを示します。ADE/SPSR により、特殊端子が選択されている場合は、入力遮断されているので常に 0 が読み出されます。
	1	端子機能の設定(PFR/EPFR/DDR/FPDOR/M_FPDOR)によらず、端子が"H"レベル入力状態または、"H"レベル出力状態であることを示します。
書込み時		書込みは動作に影響しません。

<注意事項>

- *M_FPDIRx の"x"記載はワイルドカードです。M_FPDIR0, M_FPDIR1, M_FPDIR2,・・・を示します。*
- *製品に存在しない端子のビット値は常に"0"が読み出されます。*

TYPE2-M0+製品の場合

- *M_FPDIRx レジスタはディープスタンバイ遷移リセットで初期化されません。*

TYPE3-M0+製品の場合

- *M_FPDIRx レジスタは I/O ラッチ後、ディープスタンバイ遷移リセットで初期化されます。*

4.4 Fast GPIO 出力データミラーレジスタ(M_FPDORx)

M_FPDORx レジスタは Fast GPIO への出力データを設定します。

レジスタ構成

bit 31 … 8	7 … 0	初期値	属性	対応ポート
予約	M_FPDOR0	0x00	R/W	M_FP07～M_FP00
予約	M_FPDOR1	0x00	R/W	M_FP17～M_FP10
予約	M_FPDOR2	0x00	R/W	M_FP27～M_FP20
予約	M_FPDOR3	0x00	R/W	M_FP37～M_FP30
予約	M_FPDOR4	0x00	R/W	M_FP47～M_FP40
予約	M_FPDOR5	0x00	R/W	M_FP57～M_FP50
予約	M_FPDOR6	0x00	R/W	M_FP67～M_FP60
予約	M_FPDOR7	0x00	R/W	M_FP77～M_FP70
予約	M_FPDOR8	0x00	R/W	M_FP87～M_FP80
予約	M_FPDOR9	0x00	R/W	M_FP97～M_FP90
予約	M_FPDORA	0x00	R/W	M_FPA7～M_FPA0
予約	M_FPDORB	0x00	R/W	M_FPB7～M_FPB0
予約	M_FPDORC	0x00	R/W	M_FPC7～M_FPC0
予約	M_FPDORD	0x00	R/W	M_FPD7～M_FPD0
予約	M_FPDORE	0x00	R/W	M_FPE7～M_FPE0
予約	M_FPDORF	0x00	R/W	M_FPF7～M_FPF0

レジスタ構成詳細

bit	31 … 8	7 … 0
Field	予約	M_FPDORx

レジスタ機能

[bit31:8] 予約 : 予約ビット

本ビットからは、"0x000000"が読み出されます。
書込みの場合には、"0x000000"を設定してください。

[bit7:0] M_FPDORx : Fast GPIO 出力データミラーレジスタ x

Fast GPIO の出力データを設定します。

bit7:0		説明
読出し時		レジスタの値を読み出します。
書込み時	0	Fast GPIO に"L"レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。
	1	Fast GPIO に"H"レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。

＜注意事項＞

- *M_FPDORx の"x"記載はワイルドカードです。M_FPDOR0, M_FPDOR1, M_FPDOR2,・・・を示します。*
- *製品に存在しない端子のビット値への書込みは無効で、読出し値は不定になります。*

TYPE2-M0+製品の場合

- *M_FPDORx レジスタはディープスタンバイ遷移リセットで初期化されません。*

TYPE3-M0+製品の場合

- *M_FPDORx レジスタは I/O ラッチ後、ディープスタンバイ遷移リセットで初期化されます。*

4.5 Fast GPIO 出力イネーブルレジスタ(FPOERx)

FPOERx は通常の GPIO 出力または Fast GPIO 出力を選択します。

レジスタ構成

bit 31 … 16	15 … 0	初期値	属性	対応ポート
Reserved	FPOER0	0x0000	(*1)	P0F～P00
Reserved	FPOER1	0x0000	(*1)	P1F～P10
Reserved	FPOER2	0x0000	(*1)	P2F～P20
Reserved	FPOER3	0x0000	(*1)	P3F～P30
Reserved	FPOER4	0x0000	(*1)	P4F～P40
Reserved	FPOER5	0x0000	(*1)	P5F～P50
Reserved	FPOER6	0x0000	(*1)	P6F～P60
Reserved	FPOER7	0x0000	(*1)	P7F～P70
Reserved	FPOER8	0x0000	(*1)	P8F～P80
Reserved	FPOER9	0x0000	(*1)	P9F～P90
Reserved	FPOERA	0x0000	(*1)	PAF～PA0
Reserved	FPOERB	0x0000	(*1)	PBF～PB0
Reserved	FPOERC	0x0000	(*1)	PCF～PC0
Reserved	FPOERD	0x0000	(*1)	PDF～PD0
Reserved	FPOERE	0x0000	(*1)	PEF～PE0
Reserved	FPOERF	0x0000	(*1)	PFF～PF0

*1　TYPE3-M0+製品では、属性は R/W です。その他の製品では、属性は W です。

レジスタ構成詳細

bit	31 … 16	15 … 0
Field	予約	FPOERx

レジスタ機能

[bit31:16] 予約 ： 予約ビット

本ビットからは、"0x0000"が読み出されます。
書込みの場合には、"0x0000"を設定してください。

[bit15:0] FPOERx : Fast GPIO 出力イネーブルレジスタ x

I/O ポートの出力を通常の GPIO か Fast GPIO に設定します。

bit15:0		説明
読出し時		読出し値は不定です。
書込み時	0	PDOR の値を出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。
	1	FPDOR の値を出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。

＜注意事項＞

- *FPOERx は APB バスに接続されます。*
- *FPOERx の"x"記載はワイルドカードです。FPOER0, FPOER1, FPOER2,・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*
- *製品に存在しない端子のビット値への書込みは無効で、読出し値は不定になります。*
- *FPOERx レジスタはディープスタンバイ遷移リセットで初期化されません。*
- *FPOERx の値に関わらず FPDIRx で入力レベルの読出しは可能です。*

TYPE1-M0+製品、TYPE2-M0+製品の場合

- *このレジスタは書込みのみ対応のため、ビットバンドアクセスはできません。*
- *FPOERx レジスタはディープスタンバイ遷移リセットで初期化されません。*

TYPE3-M0+製品の場合

- *このレジスタは読出し書込みに対応しています。ビットバンドアクセスができます。*
- *FPOERx レジスタは I/O ラッチ後、ディープスタンバイ遷移リセットで初期化されます。*

5. ビットマニピュレーションベースアドレス

FPDIRx, FPDORx, M_FPDIRx, M_FPDORx へのビットマニピュレーションのためのベースアドレスを示します。

ベースアドレス一覧

ビットマニピュレーションのためのベースアドレスを Table 5-1 に示します。

Table 5-1 ベースアドレス一覧

名称	アドレス	名称	アドレス
FPDIR0 ベースアドレス	0xF801_0000	FPDOR0 ベースアドレス	0xF801_4000
FPDIR1 ベースアドレス	0xF801_0400	FPDOR1 ベースアドレス	0xF801_4400
FPDIR2 ベースアドレス	0xF801_0800	FPDOR2 ベースアドレス	0xF801_4800
FPDIR3 ベースアドレス	0xF801_0C00	FPDOR3 ベースアドレス	0xF801_4C00
FPDIR4 ベースアドレス	0xF801_1000	FPDOR4 ベースアドレス	0xF801_5000
FPDIR5 ベースアドレス	0xF801_1400	FPDOR5 ベースアドレス	0xF801_5400
FPDIR6 ベースアドレス	0xF801_1800	FPDOR6 ベースアドレス	0xF801_5800
FPDIR7 ベースアドレス	0xF801_1C00	FPDOR7 ベースアドレス	0xF801_5C00
FPDIR8 ベースアドレス	0xF801_2000	FPDOR8 ベースアドレス	0xF801_6000
FPDIR9 ベースアドレス	0xF801_2400	FPDOR9 ベースアドレス	0xF801_6400
FPDIRA ベースアドレス	0xF801_2800	FPDORA ベースアドレス	0xF801_6800
FPDIRB ベースアドレス	0xF801_2C00	FPDORB ベースアドレス	0xF801_6C00
FPDIRC ベースアドレス	0xF801_3000	FPDORC ベースアドレス	0xF801_7000
FPDIRD ベースアドレス	0xF801_3400	FPDORD ベースアドレス	0xF801_7400
FPDIRE ベースアドレス	0xF801_3800	FPDORE ベースアドレス	0xF801_7800
FPDIRF ベースアドレス	0xF801_3C00	FPDORF ベースアドレス	0xF801_7C00
M_FPDIR0 ベースアドレス	0xF801_8000	M_FPDOR0 ベースアドレス	0xF801_C000
M_FPDIR1 ベースアドレス	0xF801_8400	M_FPDOR1 ベースアドレス	0xF801_C400
M_FPDIR2 ベースアドレス	0xF801_8800	M_FPDOR2 ベースアドレス	0xF801_C800
M_FPDIR3 ベースアドレス	0xF801_8C00	M_FPDOR3 ベースアドレス	0xF801_CC00
M_FPDIR4 ベースアドレス	0xF801_9000	M_FPDOR4 ベースアドレス	0xF801_D000
M_FPDIR5 ベースアドレス	0xF801_9400	M_FPDOR5 ベースアドレス	0xF801_D400
M_FPDIR6 ベースアドレス	0xF801_9800	M_FPDOR6 ベースアドレス	0xF801_D800
M_FPDIR7 ベースアドレス	0xF801_9C00	M_FPDOR7 ベースアドレス	0xF801_DC00
M_FPDIR8 ベースアドレス	0xF801_A000	M_FPDOR8 ベースアドレス	0xF801_E000
M_FPDIR9 ベースアドレス	0xF801_A400	M_FPDOR9 ベースアドレス	0xF801_E400
M_FPDIRA ベースアドレス	0xF801_A800	M_FPDORA ベースアドレス	0xF801_E800
M_FPDIRB ベースアドレス	0xF801_AC00	M_FPDORB ベースアドレス	0xF801_EC00
M_FPDIRC ベースアドレス	0xF801_B000	M_FPDORC ベースアドレス	0xF801_F000
M_FPDIRD ベースアドレス	0xF801_B400	M_FPDORD ベースアドレス	0xF801_F400
M_FPDIRE ベースアドレス	0xF801_B800	M_FPDORE ベースアドレス	0xF801_F800
M_FPDIRF ベースアドレス	0xF801_BC00	M_FPDORF ベースアドレス	0xF801_FC00

CHAPTER 11: CRC (Cyclic Redundancy Check)

CRC 機能について説明します。

1. CRC の概要
2. CRC の動作説明
3. CRC のレジスタ

管理コード: FS15-J02.4

1. CRC の概要

CRC(Cyclic Redundancy Check)は誤り検出方式の一種です。入力データ列を高次の多項式とみなして、あらかじめ定められた生成多項式(Generator Polynomial)で割ったときの余りが CRC コードです。通常は、データ列の後ろに CRC コードを付けて送信し、受信データに対して同様に生成多項式で割り算を行い、余りがなければ受信データが正常に受信できたと判断します。

CRC の機能

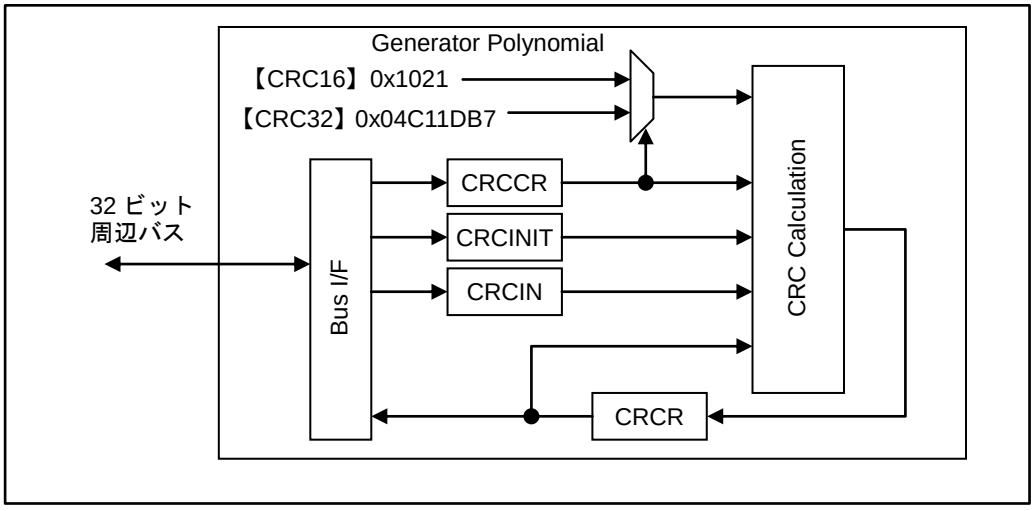
本モジュールでは、CCITT CRC16 と IEEE-802.3 CRC32 を計算できます。本モジュールでは生成多項式はこれら 2 つの数値に固定されているため、ほかの生成多項式に基づく CRC 値の計算はできません。

- CCITT CRC16 生成多項式: 0x1021
- IEEE-802.3 CRC32 生成多項式: 0x04C11DB7

CRC の構成図

Figure 1-1 に CRC の構成図を示します。

Figure 1-1 CRC の構成図



- CRCCR(CRC 制御レジスタ)
  CRC 計算の制御を行います。
- CRCINIT(CRC 初期値レジスタ)
  CRC 計算の初期値を設定します。
- CRCIN(Input Data レジスタ)
  CRC 計算の入力データを設定します。
- CRCR(CRC レジスタ)
  CRC 計算の結果を出力します。
- CRC Calculation
  CRC 計算を行う回路です。

2. CRC の動作説明

CRC の動作概要について説明します。

CRC の定義

[CCITT CRC16 Standard]

生成多項式	0x1021	(CRCCR:CRC32=0)
初期値	0xFFFF	
Final XOR 値	0x0000	(CRCCR:FXOR=0)
ビットオーダ	MSB First	(CRCCR:LSBFST=0)
出力ビットオーダ	MSB First	(CRCCR:CRCLSF=0)

(入出力のバイトオーダは任意に設定可能)

[IEEE-802.3 CRC32 Ethernet Standard]

生成多項式	0x04C11DB7	(CRCCR:CRC32=1)
初期値	0xFFFFFFFF	
Final XOR 値	0xFFFFFFFF	(CRCCR:FXOR=1)
ビットオーダ	LSB First	(CRCCR:LSBFST=1)
出力ビットオーダ	LSB First	(CRCCR:CRCLSF=1)

(入出力のバイトオーダは任意に設定可能)

リセット動作

リセット時は、初期値レジスタ(CRCINIT)と CRC レジスタ(CRCR)を、0xFFFFFFFF に設定します。そのほかは"0"クリアです。

初期化

初期化ビット(CRCCR:INIT)による初期化では、初期値レジスタ(CRCINIT)の値を CRC レジスタ(CRCR)にロードします。

バイトオーダとビットオーダ

バイトオーダとビットオーダの処理方法について、以下に例を用いて説明します。

次の 1 ワードを CRC 演算器に入力します。

133.82.171.1 = 10000101　01010010　10101011　00000001

バイトオーダをビッグエンディアン(CRCCR:LTLEND=0)とすると、バイト単位の送信順序は以下のようになります。

10000101　01010010　10101011　00000001
(1 番目)　(2 番目)　(3 番目)　(4 番目)

ビットオーダをリトルエンディアン(CRCCR:LSBFST=1)とすると、ビット単位の送信順序は以下のようになります。

10100001　01001010　11010101　10000000
(先頭)　(最後)

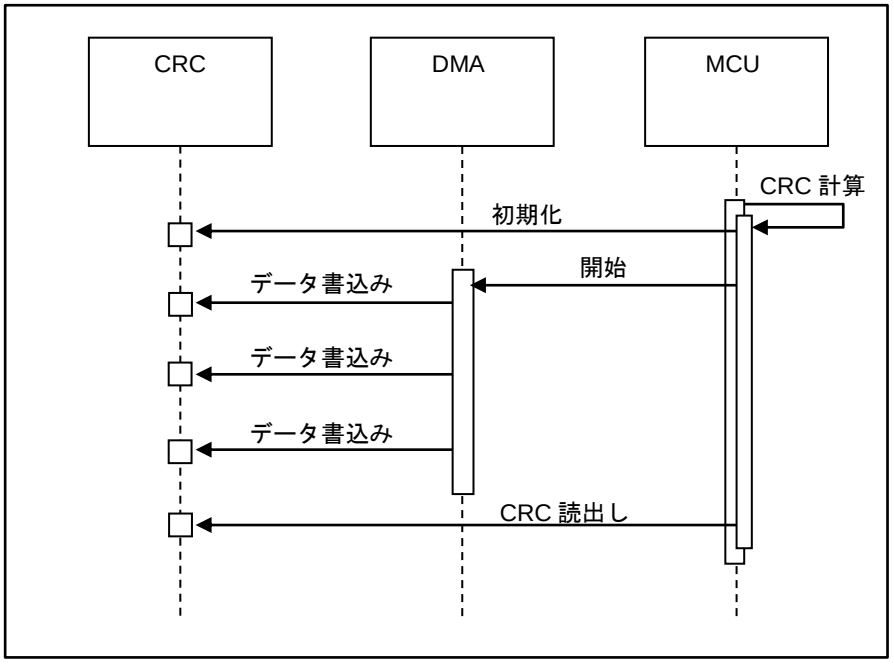
＜注意事項＞

- *CRCCR:CRCLTE=1 のとき、CRC 結果は、CRC16, CRC32 ともに 32 ビット幅でのバイト並び替えとなります。*
  特に CRC16 のときは、bit31～bit16 の位置に出力されるため、注意してください。

2.1 CRC 計算シーケンス

CRC 計算のシーケンスを Figure 2-1 に示します。初期値レジスタ(CRCINIT)の設定, CRC16/32 の選択(CRCCR:CRC32), バイトオーダ・ビットオーダの設定(CRCCR:LTLEND, CRCCR:LSBFST)は、既にされているとします。
初期値が 0xFFFFFFFF の場合、初期値レジスタ(CRCINIT)の設定操作は省略可能です。

Figure 2-1 CRC 計算シーケンス



- 初期化は、初期値ビット(CRCCR:INIT)への"1"書込みで行ってください。CRC レジスタ(CRCR)に初期値レジスタ(CRCINIT)の値がロードされます。

- 入力データ書込みは、Input Data レジスタ(CRCIN)への書込みで行ってください。書込み操作により、CRC 計算が開始されます。連続書込みに対応できます。また、異なるビット幅書込みをシーケンス中に混在させることが可能です。

- CRC コード取得は、CRC レジスタ(CRCR)の読込みで行ってください。

2.2 CRC 使用例

Figure 2-2～Figure 2-5 に、CRC の使用例を示します。

使用例 1　CRC16, バイト入力固定

Figure 2-2 使用例 1 (CRC16, バイト入力固定, コアのバイトオーダ : ビッグエンディアン)

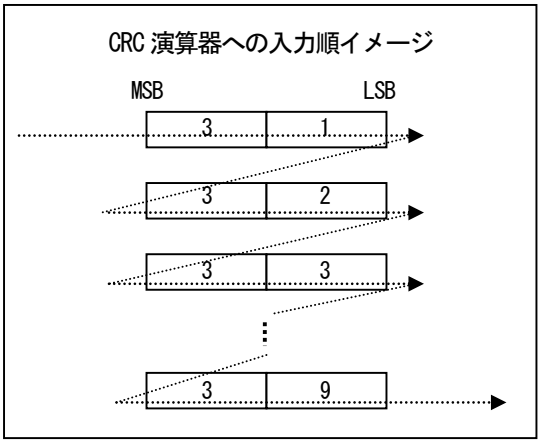
```
//*********************************************
//  CRC16 (CRC_ITU-T)
//      polynomial:      0x1021
//      initial value:   0xFFFF
//      CRCCR.CRC32:     0 //CRC16
//      CRCCR.LTLEND:    0 //big endian
//      CRCCR.LSBFST:    0 //MSB First
//      CRCCR.CRCLTE:    0 //CRC big endian
//      CRCCR.CRCLSF:    0 //CRC MSB First
//      CRCCR.FXOR:      0 //CRC Final XOR off
//*********************************************

//
// 例 1-1 byte 単位書込みの場合
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write 0x313233343536373839
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例 1-2 CRC チェックの場合
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write 0x313233343536373839 + CRC
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);
B_WRITE (CRCIN, 0x29); // <— CRC
B_WRITE (CRCIN, 0xB1); // <— CRC

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x0000);
```

(以下を想定)

B_WRITE　— バイト書込み
H_WRITE　— ハーフワード書込み
W_WRITE　— ワード書込み

B_READ　— バイト読出し
H_READ　— ハーフワード読出し
W_READ　— ワード読出し

CRCCR　— CRC 制御レジスタアドレス
CRCINIT　— 初期値レジスタアドレス
CRCIN　— Input Data レジスタアドレス
CRCR　— CRC レジスタアドレス



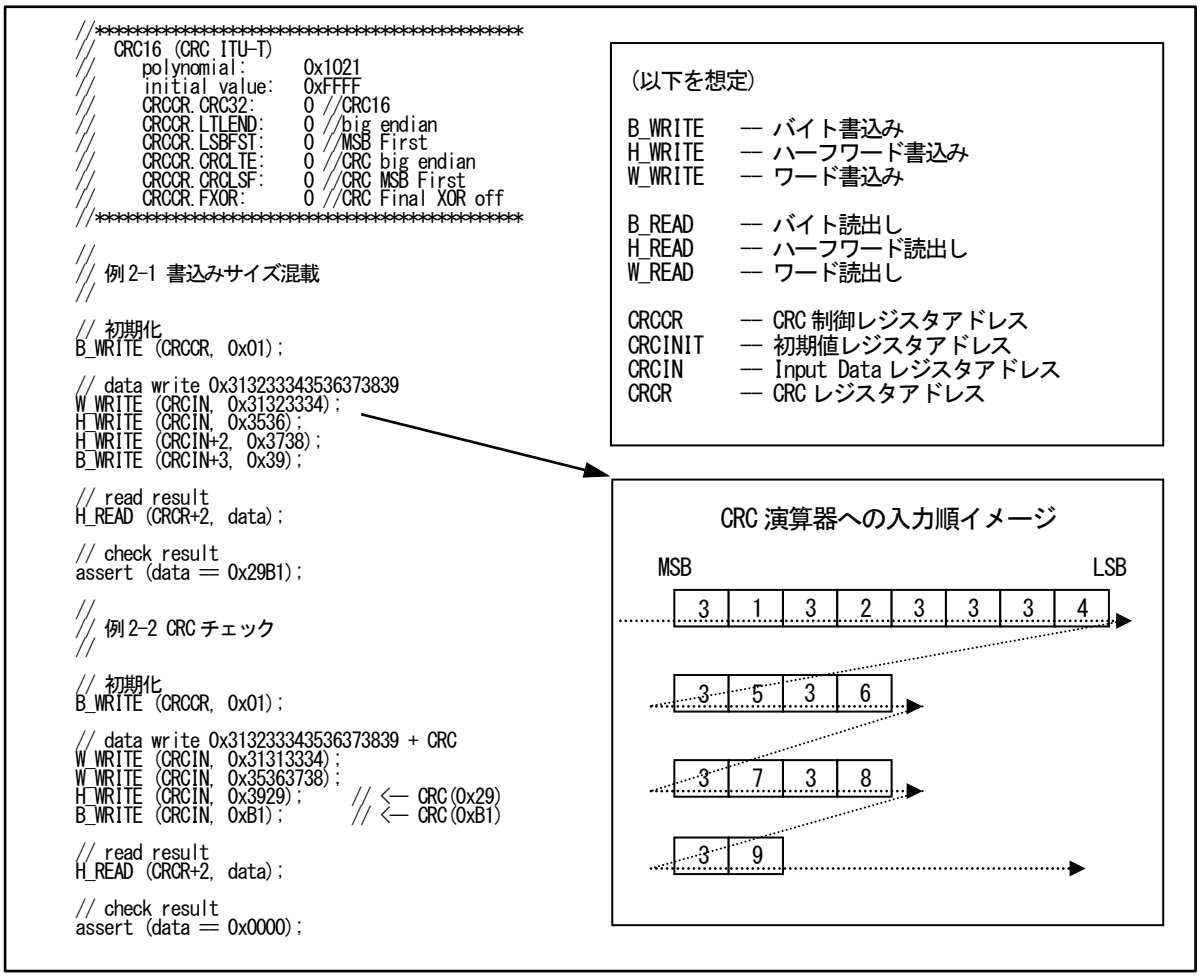
- バイト・ハーフワードの書込み位置は任意です。本使用例では+0 の位置に連続して書き込んでいます。
- CRC16 で、CPU, CRC 結果のバイトオーダと、CRCR(CRC レジスタ)の出力位置, 読出しアドレスを Table 2-1 に示します。

Table 2-1 CPU, CRC 結果のバイトオーダと CRCR の読出しアドレス

コアのバイトオーダ	CRC 結果のバイトオーダ	CRCR への出力位置	CRCR H_READ アドレス
ビッグエンディアン	ビッグエンディアン	bit15～bit0	CRCR +2
ビッグエンディアン	リトルエンディアン	bit31～bit16	CRCR +0
リトルエンディアン	ビッグエンディアン	bit15～bit0	CRCR +0
リトルエンディアン	リトルエンディアン	bit31～bit16	CRCR +2

使用例 2　CRC16, 入力ビット幅異種混在

Figure 2-3 使用例 2 (CRC16, 入力ビット幅異種混在, コアのバイトオーダ : ビッグエンディアン)



```
//*****************************************
//  CRC16 (CRC_ITU-T)
//      polynomial:     0x1021
//      initial value:  0xFFFF
//      CRCCR.CRC32:    0 //CRC16
//      CRCCR.LTLEND:   0 //big endian
//      CRCCR.LSBFST:   0 //MSB First
//      CRCCR.CRCLTE:   0 //CRC big endian
//      CRCCR.CRCLSF:   0 //CRC MSB First
//      CRCCR.FXOR:     0 //CRC Final XOR off
//*****************************************

//
// 例 2-1 書込みサイズ混載
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write 0x313233343536373839
W_WRITE (CRCIN, 0x31323334);
H_WRITE (CRCIN, 0x3536);
H_WRITE (CRCIN+2, 0x3738);
B_WRITE (CRCIN+3, 0x39);

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例 2-2 CRC チェック
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write 0x313233343536373839 + CRC
W_WRITE (CRCIN, 0x31313334);
W_WRITE (CRCIN, 0x35363738);
H_WRITE (CRCIN, 0x3929);      // <-- CRC(0x29)
B_WRITE (CRCIN, 0xB1);        // <-- CRC(0xB1)

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x0000);
```


- バイトオーダ, ビットオーダを正しく設定し、CRC 演算器へのビット入力順が同じであれば、書込み幅は任意に設定できます。
  例えば、基本をワード書込みとし、最後に 1, 2, 3 バイトの端数が出た場合に、バイト・ハーフワード書込みが混在するケースに対応できます。

使用例 3　CRC32, バイトオーダ ： ビッグエンディアン

Figure 2-4 使用例 3 (CRC32, バイトオーダ ： ビッグエンディアン)

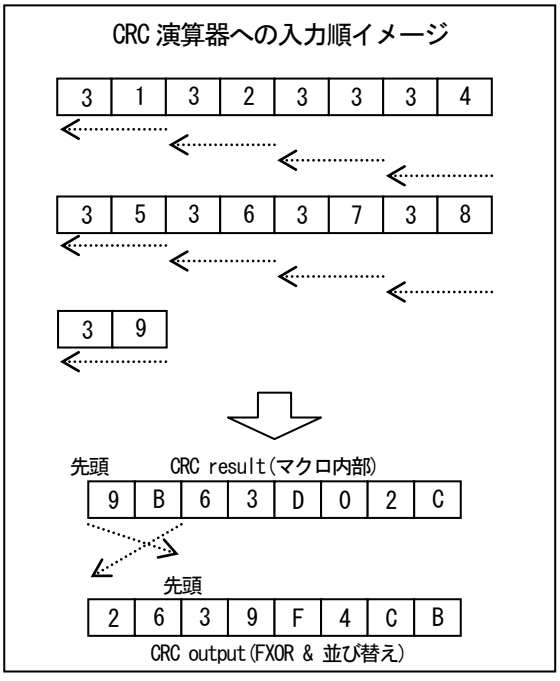
```
//*********************************************
// CRC32 (IEEE-802.3)
// polynomial:          0x04C11DB7
// initial value:       0xFFFF_FFFF
// CRCCR.CRC32          1 // CRC32
// CRCCR.LTLEND:        0 // big endian
// CRCCR.LSBFST:        1 // LSB First
// CRCCR.CRCLTE:        0 // CRC big endian
// CRCCR.CRCLSF:        1 // CRC LSB First
// CRCCR.FXOR:          1 // CRC Final XOR on
//*********************************************

//
// 例3-1 (CRC32)
//

// 初期化
B_WRITE (CRCCR, 0x6B);

// data write 0x313233343536373839
W_WRITE (CRCIN, 0x31323334);
W_WRITE (CRCIN, 0x35363738);
B_WRITE (CRCIN, 0x39);

// read result
W_READ (CRCR, data);

// check CRC result
assert (data == 0x2639F4CB); // <- big endian & LSB First
```

(以下を想定)

B_WRITE　— バイト書込み
H_WRITE　— ハーフワード書込み
W_WRITE　— ワード書込み

B_READ　— バイト読出し
H_READ　— ハーフワード読出し
W_READ　— ワード読出し

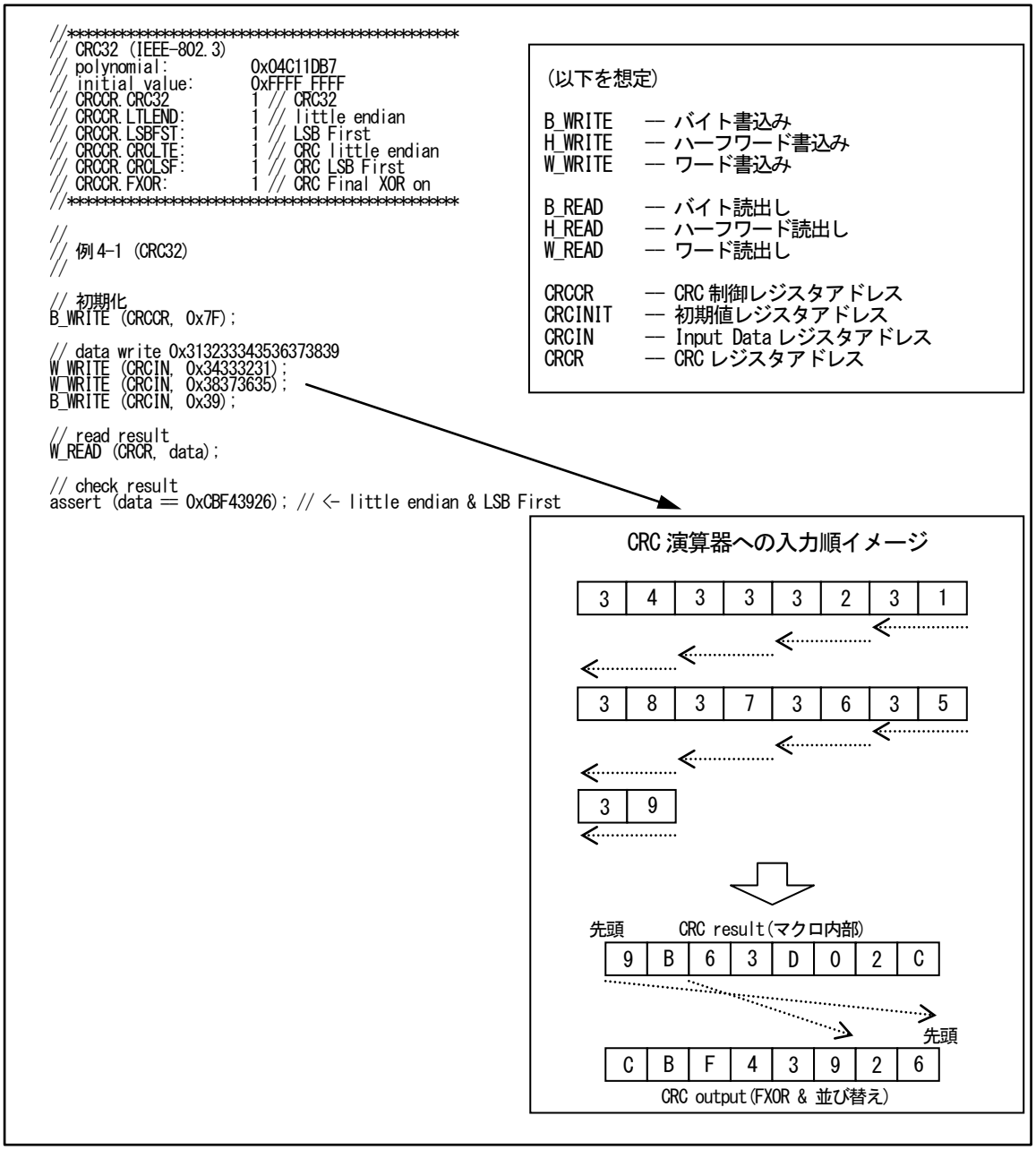
CRCCR　— CRC 制御レジスタアドレス
CRCINIT　— 初期値レジスタアドレス
CRCIN　— Input Data レジスタアドレス
CRCR　— CRC レジスタアドレス



- CRC32(IEEE-802.3)のときは、ビットオーダは LSB First です。本 CRC 演算器では、バイトオーダはビックエンディアン, リトルエンディアンのどちらでも対応可能です。Figure 2-4 はビッグエンディアンの場合を示しています。

使用例 4　CRC32, バイトオーダ ： リトルエンディアン

Figure 2-5 使用例 4 (CRC32, バイトオーダ ： リトルエンディアン)



- CRC32(IEEE-802.3)のときは、ビットオーダは LSB First です。本 CRC 演算器では、バイトオーダはビックエンディアン, リトルエンディアンのどちらでも対応可能です。Figure 2-5 はリトルエンディアンの場合を示しています。

- CRC 結果のビット反転が不要な場合は、以下のどちらかの処理をすることで、現在の結果に対するビット反転を解除できます。
  - 演算開始前に、CRCCR=0x3F (CRCCR:FXOR="0", CRCCR:INIT="1")で初期化を行う。
  - データ入力後に、CRCCR=0x3E (CRCCR:FXOR="0", CRCCR:INIT="0")の設定を行う。

3. CRC のレジスタ

CRC のレジスター一覧を示します。

CRC のレジスタ

Table 3-1 CRC のレジスター一覧

レジスタ略称	レジスタ名	参照先
CRCCR	CRC 制御レジスタ	3.1
CRCINIT	初期値レジスタ	3.2
CRCIN	Input Data レジスタ	3.3
CRCR	CRC レジスタ	3.4

3.1 CRC 制御レジスタ(CRCCR)

CRC 制御レジスタ(CRCCR)は、CRC 計算を制御します。

bit	7	6	5	4	3	2	1	0
Field	予約	FXOR	CRCLSF	CRCLTE	LSBFST	LTLEND	CRC32	INIT
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出し値は"0"です。
本ビットには必ず"0"を書き込んでください。

[bit6] FXOR : Final XOR 制御ビット

CRC 結果を XOR 値と XOR して出力します。
XOR 値は 0xFFFFFFFF で、FXOR=1 時はビット反転となります。
CRC レジスタ(CRCR)の後段で処理をするため、本ビット設定後すぐに CRC の結果の読出し値に反映されます。

bit	説明
0	なし
1	あり

[bit5] CRCLSF : CRC 結果ビットオーダ設定ビット

CRC 結果のビットオーダ設定ビットです。
バイト内のビット並び替えを行います。"0"のとき MSB First、"1"のとき LSB First になります。
CRC レジスタ(CRCR)の後段で処理をするため、本ビット設定後すぐに CRC の結果の読出し値に反映されます。

bit	説明
0	MSB First
1	LSB First

[bit4] CRCLTE : CRC 結果バイトオーダ設定ビット

CRC 結果のバイトオーダ設定ビットです。
ワード内のバイトオーダ並び替えを行います。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。
CRC レジスタ(CRCR)の後段で処理をするため、本ビット設定後すぐに CRC の結果の読出し値に反映されます。
CRC16 の場合に本ビットを"1"にすると、CRC レジスタ(CRCR)の D[31:16]に結果が出力されます。

bit	説明
0	ビッグエンディアン
1	リトルエンディアン

[bit3] LSBFST： ビットオーダ設定ビット

ビットオーダ設定ビットです。
バイト(8bit)の先頭ビットを指定します。"0"のとき MSB First、"1"のとき LSB First になります。
LTLEND ビットの設定と組み合わせて、4 通りの処理順を指定できます。

bit	説明
0	MSB First
1	LSB First

[bit2] LTLEND： バイトオーダ設定ビット

バイトオーダ設定ビットです。
書込み幅でのバイト配置順を指定します。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。

bit	説明
0	ビッグエンディアン
1	リトルエンディアン

[bit1] CRC32 : CRC モード選択ビット

CRC16 と CRC32 のモード選択ビットです。

bit	説明
0	CRC16
1	CRC32

[bit0] INIT： 初期化ビット

初期化ビットです。本ビットに"1"を書き込むと、初期化が行われます。本ビットは値を持たず、読出し時は常に"0"を返します。
初期化では初期値レジスタ(CRCINIT)の値が、CRC レジスタ(CRCR)にロードされます。
初期化は、CRC 計算の最初に必ず 1 度実行してください。

bit	説明	
	書込み時	読出し時
0	何もしない	常に"0"が読み出されます
1	初期化	

3.2 初期値レジスタ(CRCINIT)

初期値レジスタ(CRCINIT)は、CRC 計算の初期値を保存します。

bit	31	0
Field	D[31:0]	
属性	R/W	
初期値	0xFFFFFFFF	

[bit31:0] D[31:0]： 初期値ビット

CRC 計算の初期値を保存します。

CRC 計算の初期値を本レジスタに書き込んでください。

(初期値は 0xFFFFFFFF)

CRC16 のときは、D[15:0]を使用し、D[31:16]は無視します。

3.3 Input Data レジスタ(CRCIN)

Input Data レジスタ(CRCIN)へ、CRC 計算の入力データを設定してください。

bit	31	0
Field	D[31:0]	
属性	R/W	
初期値	0x00000000	

[bit31:0] D[31:0] : Input Data ビット

CRC 計算の入力データを設定します。

CRC 計算の入力データを本レジスタに書き込んでください。ビット幅は 8 ビット, 16 ビット, 32 ビット(バイト, ハーフワード, ワード)に対応できます。混在も可能です。

バイト書込み、ハーフワード書込み時の書込み位置は任意です。取り得るアドレス位置は以下のとおりです。

- バイト書込み: +0, +1, +2, +3
- ハーフワード書込み: +0, +2

3.4 CRC レジスタ(CRCR)

CRC レジスタ(CRCR)は、CRC 計算の結果を出力します。計算開始前に必ず初期化してください。

bit	31	0
Field	D[31:0]	
属性	R	
初期値	0xFFFFFFFF	

[bit31:0] D[31:0] : CRC ビット

CRC 計算の結果を読み出せます。初期化ビット(CRCCR:INIT)に"1"を書き込むと、初期値レジスタ(CRCINIT)の値が本レジスタにロードされます。

CRC 計算の入力データを Input Data レジスタ(CRCIN)に書き込むと、1 マシンクロックサイクル経過後に、CRC 計算結果が本レジスタに設定されます。すべての入力データ書込みが完了したとき、本レジスタは最終的な CRC コードを保持しています。

CRC16 の場合は、バイトオーダがビッグエンディアン(CRCCR.CRCLTE="0")のときは D[15:0]、リトルエンディアン(CRCCR.CRCLTE="1")のときは D[31:16]の位置に結果が出力されます。

CHAPTER 12: デバッグインタフェース

デバッグインタフェース機能と動作について説明します。

1. 概要
2. 端子説明

管理コード: 9AFDEBUG-J01.0

1. 概要

本ファミリは、デバッグインタフェースとしてシリアルワイヤデバッグポート(SW-DP)を搭載しています。

SW-DP へ ICE 接続することにより、システムデバッグが可能となります。

また、プログラムフローの変更を記録するマイクロトレースバッファ(MTB)を搭載しています。

デバッグインタフェースについて説明します。

SW-DP およびシステムデバッグについての詳細は、『Cortex-M0+ テクニカルリファレンスマニュアル』を参照してください。

特長

SW-DP には 2 本の端子が割り当てられています。

その 2 本の端子の初期機能はシリアルワイヤデバッグです。

2. 端子説明

端子について説明します。

2.1 デバッグ端子について
2.2 端子の初期機能について
2.3 SW-DP 端子の内部プルアップについて

2.1 デバッグ端子について

シリアルワイヤは 2 本(SWCLK, SWDIO)の端子が割り当てられます。

Table 2-1 に端子機能一覧表を示します。

Table 2-1 デバッグモード時の SW-DP 端子機能一覧表

端子	機能
SWCLK	シリアルワイヤ クロック信号
SWDIO	シリアルワイヤ データ入出力信号

2.2 端子の初期機能について

2 本の SW-DP 端子は、GPIO の機能と兼用しています。
SW-DP 端子の初期機能はデバッグ機能です。

(注意事項) デバッグ機能の設定についての詳細は『I/O ポート』の章を参照してください。

Table 2-2 に、リセット解除後の初期状態と、PFR レジスタ(PORT 機能設定レジスタ)設定により変更できる機能を示します。

(注意事項) PFR レジスタの詳細は『I/O ポート』の章を参照してください。

Table 2-2 デバッグ端子の初期機能と機能変更一覧

	端子	初期状態の端子機能	PFR レジスタの設定による機能変更
SW-DP 端子	SWCLK	SWCLK	GPIO
	SWDIO	SWDIO	GPIO

2.3 SW-DP 端子の内部プルアップについて

本ファミリでは、Arm 規格で規定されている SW-DP 端子のプルアップを内部で行っています。
また、GPIO 内のレジスタの設定によりプルアップ機能の制御がユーザ側から行えます。

Table 2-3 SW-DP 端子の内部プルアップ有効/無効一覧表

端子	SW-DP 端子有効時のプルアップ*
SWCLK	有効
SWDIO	有効

*:リセット時もプルアップは有効です。

CHAPTER 13: Micro Trace Buffer Data Watchpoint and Trace

MTB_DWT(Micro Trace Buffer Data Watchpoint and Trace)の機能と動作について説明します。

1. 概要
2. ブロックダイヤグラム
3. 構成と設定手順例
4. レジスタ

管理コード: 9BFRESET-J03.1

1. 概要

MTB_DWT は Arm Core-sight MTB の TSTART と TSTOP 信号を生成します。MTB_DWT はデータアクセス時のプロセッサアドレスとデータバスの監視を行い、MTB に記録する最適なアクセスをトリガにして、ウォッチポイントの検出をすることが可能です。

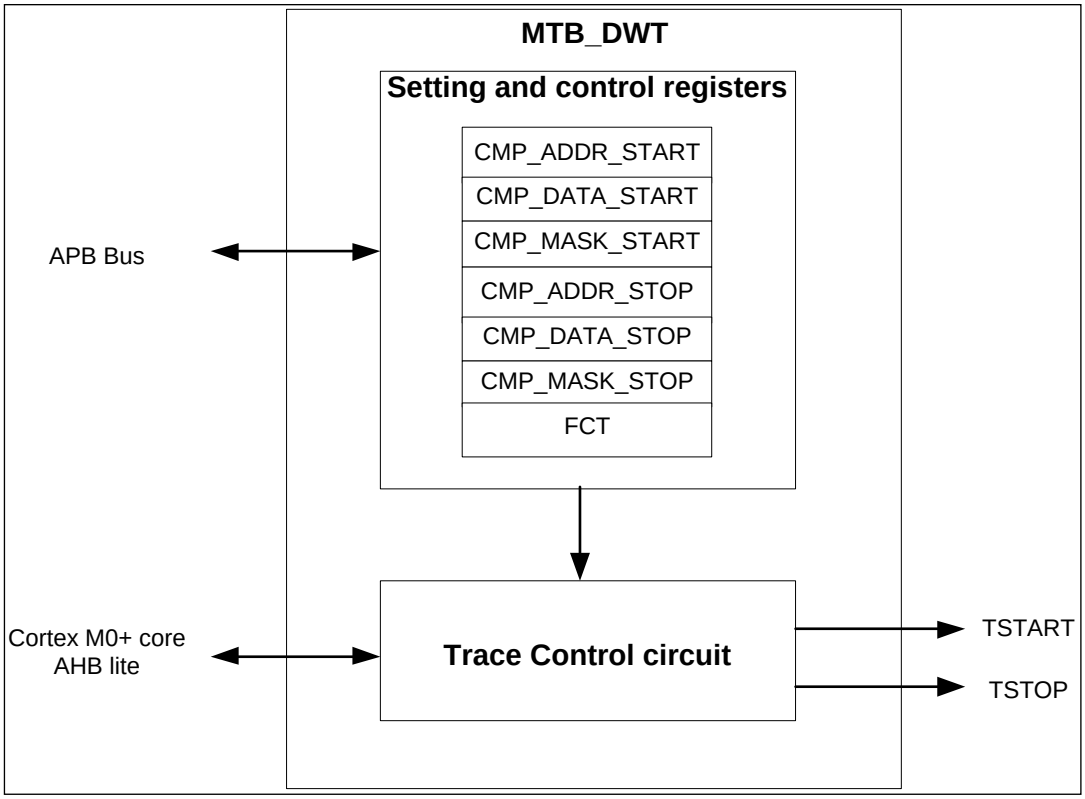
MTB_DWT の特徴

- アドレスとアドレス+データ設定による記録の開始/停止機能
- 監視データをビット毎にマスク可能
- リード/ライト、リード、ライト操作の監視機能
- バイト、ハーフワード、ワードアクセスの監視機能
- データアクセス監視機能

2. ブロックダイヤグラム

MTB_DWT のブロックダイヤグラムを示します。

Figure 2-1 MTB_DWT のブロックダイヤグラム



3. 構成と設定手順例

構成と設定手順例について説明します。

3.1 MTB_DWT の構成

3.2 設定手順例

3.1 MTB_DWT の構成

MTB_DWT の構成について説明します。

MTB_DWT の構成概要

MTB_DWT のエンディアンはリトルエンディアンです。バイト/ハーフワードアクセスが有効の時、MTB_DWT データ比較スタートトレースレジスタ(CMP_DATA_START)と MTB_DWT データ比較ストップトレースレジスタ(CMP_DATA_STOP)の使用されないビットを Table 3-1 に示します。
表中では"○"はデータが有効、"-"はデータが無効であることを示します。
CMP_MASK_START/CMP_MASK_STOP の設定により無効データに対応するビットをマスクしてください。

Table 3-1 AHB-Lite バイトレーン定義

Access	Address phase	Corresponding data phase			
	CMP_ADDRx*1 [1:0]	CMP_DATAx*2 [31:24]	CMP_DATAx*2 [23:16]	CMP_DATAx*2 [15:8]	CMP_DATAx*2 [7:0]
Byte	00	-	-	-	○
	01	-	-	○	-
	10	-	○	-	-
	11	○	-	-	-
Half-word	00	-	-	○	○
	10	○	○	-	-
Word	00	○	○	○	○

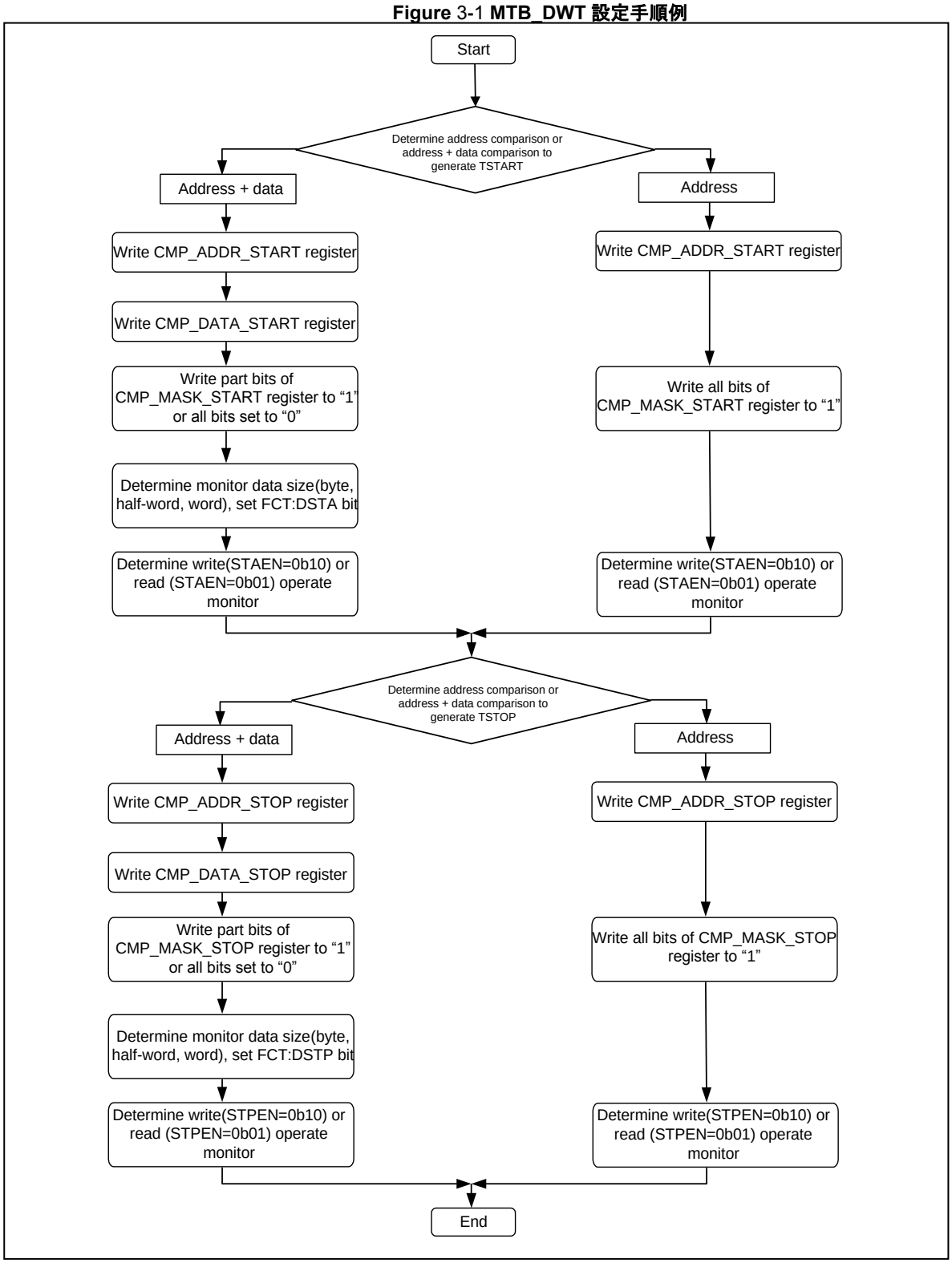
*1: CMP_ADDRx: CMP_ADDR_START register or CMP_ADDR_STOP register.

*2: CMP_DATAx: CMP_DATA_START register or CMP_DATA_STOP register.

3.2 設定手順例

MTB_DWT の設定手順例を Figure **3-1** に示します。

Figure 3-1 **MTB_DWT 設定手順例**



4. レジスタ

MTB_DWT レジスタの構成と機能について説明します。

レジスター覧

Table 4-1 MTB_DWT レジスター覧

レジスタ略称	レジスタ名	参照先
CMP_ADDR_START	MTB_DWT アドレス比較スタートトレースレジスタ	4.1
CMP_DATA_START	MTB_DWT データ比較スタートトレースレジスタ	4.2
CMP_MASK_START	MTB_DWT マスクデータ比較スタートトレースレジスタ	4.3
CMP_ADDR_STOP	MTB_DWT アドレス比較ストップトレースレジスタ	4.4
CMP_DATA_STOP	MTB_DWT データ比較ストップトレースレジスタ	4.5
CMP_MASK_STOP	MTB_DWT マスクデータ比較ストップトレースレジスタ	4.6
FCT	MTB_DWT 機能レジスタ	4.7
PID4	ペリフェラル ID4 レジスタ	4.8
PID5	ペリフェラル ID5 レジスタ	
PID6	ペリフェラル ID6 レジスタ	
PID7	ペリフェラル ID7 レジスタ	
PID0	ペリフェラル ID0 レジスタ	
PID1	ペリフェラル ID1 レジスタ	
PID2	ペリフェラル ID2 レジスタ	
PID3	ペリフェラル ID3 レジスタ	
CID0	コンポーネント ID0 レジスタ	4.9
CID1	コンポーネント ID1 レジスタ	
CID2	コンポーネント ID2 レジスタ	
CID3	コンポーネント ID3 レジスタ	

4.1 MTB_DWT アドレス比較スタートトレースレジスタ (CMP_ADDR_START)

MTB_DWT アドレス比較スタートトレースレジスタ(CMP_ADDR_START)はスタートトリガ信号(TSTART)を生成する参照アドレス値を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	ADCMP_STA[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ADCMP_STA[15:0]															
属性	R/W															
初期値	0x0000															

レジスタ機能

[bit31:0] ADCMP_STA[31:0] : MTB_DWT アドレス比較スタートトレースビット

MTB スタートトリガ信号を生成するための参照アドレス設定ビットです。

<注意事項>

- *ワードアクセス時には bit[3:0]を 0x0、0x4、0x8、0xC のいずれかに設定してください。*
- *ハーフワードアクセス時には bit[1:0]を 0x0、0x2 のいずれかに設定してください。*
- *本レジスタは PRESET0 でクリアされます。PRESET0 が発生した場合、本レジスタを再設定してください。*

4.2 MTB_DWT データ比較スタートトレースレジスタ (CMP_DATA_START)

MTB_DWT データ比較スタートトレースレジスタ(CMP_DATA_START)はスタートトリガ信号(TSTART)を生成する参照データ値を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DTCMP_STA[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	DTCMP_STA[15:0]															
属性	R/W															
初期値	0x0000															

レジスタ機能

[bit31:0] DTCMP_STA[31:0] : MTB_DWT データ比較スタートトレースビット

MTB スタートトリガ信号を生成するための参照データ設定ビットです。

すべてのビットが CMP_MASK_START レジスタによりマスクされた場合、TSTART はアドレス比較結果のみで決定されます。それ以外では TSTART は CMP_DATA_START レジスタと CMP_ADDR_START レジスタの比較結果で決定されます。

<注意事項>

- *バイト/ハーフワードアクセス時には、CMP_DATA_START レジスタの未使用ビットを無視する必要があるため、Table 3-1 に従って CMP_MASK_START レジスタを設定してください。*
- *本レジスタは PRESET0 でクリアされます。PRESET0 が発生した場合、本レジスタを再設定してください。*

4.3 MTB_DWT マスクデータ比較スタートトレースレジスタ (CMP_MASK_START)

CMP_MASK_START レジスタは CMP_DATA_START レジスタの無効ビットを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	MSK_STA[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	MSK_STA[15:0]															
属性	R/W															
初期値	0x0000															

レジスタ機能

[bit31:0] MSK_STA[31:0] : MTB_DWT マスクデータ比較スタートトレースビット

CMP_DATA_START レジスタのマスクするビットを設定します。

bit	Function
0	対応するビットをマスクしません。[初期値]
1	対応するビットをマスクします。

<注意事項>

- *すべてのビットを"1"に設定した場合、CMP_DATA_START レジスタ設定と FCT レジスタの DSTA ビット設定は無視されます。*
- *本レジスタは PRESET0 でクリアされます。PRESET0 が発生した場合、本レジスタを再設定してください。*

4.4 MTB_DWT アドレス比較ストップトレースレジスタ (CMP_ADDR_STOP)

MTB_DWT アドレス比較ストップトレースレジスタ(CMP_ADDR_STOP)はストップトリガ信号(TSTOP)を生成する参照アドレス値を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	ADCMP_STO[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ADCMP_STO[15:0]															
属性	R/W															
初期値	0x0000															

レジスタ機能

[bit31:0] ADCMP_STO[31:0] : MTB_DWT アドレス比較ストップトレースビット

MTB ストップトリガ信号を生成するための参照アドレス設定ビットです。

<注意事項>

- *ワードアクセス時には bit[3:0]を 0x0、0x4、0x8、0xC のいずれかに設定してください。*
- *ハーフワードアクセス時には bit[1:0]を 0x0、0x2 のいずれかに設定してください。*
- *本レジスタは PRESET0 でクリアされます。PRESET0 が発生した場合、本レジスタを再設定してください。*

4.5 MTB_DWT データ比較ストップトレースレジスタ (CMP_DATA_STOP)

MTB_DWT データ比較ストップトレースレジスタ(CMP_DATA_STOP)はスタートトリガ信号(TSTOP)を生成する参照データ値を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DTCMP_STO[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	DTCMP_STO[15:0]															
属性	R/W															
初期値	0x0000															

レジスタ機能

[bit31:0] DTCMP_STO[31:0] : MTB_DWT データ比較ストップトレースビット

MTB ストップトリガ信号を生成するための参照データ設定ビットです。

すべてのビットが CMP_MASK_STOP レジスタによりマスクされた場合、TSTOP はアドレス比較結果のみで決定されます。それ以外では TSTOP は CMP_DATA_STOP レジスタと CMP_ADDR_STOP レジスタの比較結果で決定されます。

<注意事項>

- *バイト/ハーフワードアクセス時には、CMP_DATA_STOP レジスタの未使用ビットを無視する必要があるため、Table 3-1 に従って CMP_MASK_STOP レジスタを設定してください。*
- *本レジスタは PRESET0 でクリアされます。PRESET0 が発生した場合、本レジスタを再設定してください。*

4.6 MTB_DWT マスクデータ比較ストップトレースレジスタ (CMP_MASK_STOP)

MTB_DWT マスクデータ比較ストップトレースレジスタ(CMP_MASK_STOP)は MTB_DWT データ比較ストップトレースレジスタ(CMP_DATA_STOP)の無効ビットを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	MSK_STO[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	MSK_STO[15:0]															
属性	R/W															
初期値	0x0000															

レジスタ機能

[bit31:0] MSK_STO[31:0] : MTB_DWT マスクデータ比較ストップトレースビット

CMP_DATA_STOP レジスタのマスクするビットを設定します。

bit	Function
0	対応するビットをマスクしません。[初期値]
1	対応するビットをマスクします。

<注意事項>

- *すべてのビットを"1"に設定した場合、CMP_DATA_STOP レジスタ設定と FCT レジスタの DSTP ビット設定は無視されます。*
- *本レジスタは PRESET0 でクリアされます。PRESET0 が発生した場合、本レジスタを再設定してください。*

4.7 MTB_DWT 機能レジスタ(FCT)

MTB_DWT 機能レジスタ(FCT)はリード/ライト操作とデータサイズを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	Reserved															
属性	-															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	Reserved								DSTP		DSTA		STPEN		STAEN	
属性	-								R/W		R/W		R/W		R/W	
初期値	00000000								00		00		00		00	

レジスタ機能

[bit31:8] 予約 : 予約ビット

読出しは常に"0 "が読み出されます。
書き込みは動作に影響しません・

[bit7:6] DSTP :データサイズストップビット

MTB 機能を停止するためのデータサイズを設定します。

bit7	bit6	Function
0	0	Byte [初期値]
0	1	Half-word
1	0	Word
1	1	Reserved.

[bit5:4] DSTA :データサイズスタートビット

MTB 機能を開始するためのデータサイズを設定します。

bit5	bit4	Function
0	0	Byte [初期値]
0	1	Half-word
1	0	Word
1	1	Reserved.

[bit3:2] STPEN: MTB 機能停止許可ビット

MTB_DWT による MTB 機能停止を許可します。

bit3	bit2	Function
0	0	MTB_DWT による MTB 機能停止を無効にします。[初期値]
0	1	データリード操作により MTB を停止します
1	0	データライト操作により MTB を停止します
1	1	データリード/ライト操作により MTB を停止します。

[bit1:0] STAEN: MTB 機能開始許可ビット

MTB_DWT による MTB 機能開始を許可します。

bit1	bit0	Function
0	0	MTB_DWT による MTB 機能開始を無効にします。[初期値]
0	1	データリード操作により MTB を開始します
1	0	データライト操作により MTB を開始します
1	1	データリード/ライト操作により MTB を開始します。

<注意事項>

- *本レジスタは PRESET0 でクリアされます。PRESET0 が発生した場合、本レジスタを再設定してください。*

4.8 ペリフェラル ID0-7 レジスタ(PID0-7)

ペリフェラル ID レジスタ(PID0-7)はペリフェラル ID を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	PERID[31:16]															
属性	R															
初期値	0xXXXX															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	PERID[15:0]															
属性	R															
初期値	0xXXXX															

レジスタ機能

[bit31:0] PERID[31:0]： ペリフェラル ID ビット

オートディスカバリープロセス中にデバッグエージェントにより、固定値が読出しされます。

bit	Function
When Read	固定値が読出しされます。 PID0: 0x00000016 PID1: 0x00000048 PID2: 0x00000008 PID3-7: 0x00000000
When Write	動作に影響しません。

4.9 コンポーネント ID0-3 レジスタ(CID0-3)

コンポーネント ID レジスタ(CID0-3)はコンポーネント ID を示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	CPNTID[31:16]															
属性	R															
初期値	0xXXXX															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	CPNTID[15:0]															
属性	R															
初期値	0xXXXX															

レジスタ機能

[bit31:0] CPNTID[31:0] : コンポーネント ID ビット

オートディスカバリープロセス中にデバッグエージェントにより、固定値が読出しされます。

bit	Function
When Read	固定値が読出しされます。 CID0: 0x0000000D CID1: 0x00000090 CID2: 0x00000005 CID3: 0x000000B1
When Write	動作に影響しません。

CHAPTER 14: フラッシュメモリ

フラッシュメモリに関しては、ご使用する製品の「フラッシュプログラミングマニュアル」を参照してください。

管理コード: 9xFLASHTOP-J01.0

CHAPTER 15: ユニーク ID レジスタ

ユニーク ID レジスタ機能と動作について説明します。

1. 概要
2. レジスタ

管理コード: 9BFUNIQID-J01.1

1. 概要

本機能の概要について説明します。

ユニーク ID レジスタには 41 ビットのデバイス固有の値があらかじめ設定されています。
この値はすべてのデバイスで異なるため、これを利用してセキュリティ強化, 製品シリアルナンバーなどさまざまな用途に使用することが可能です。
本レジスタはリードオンリーレジスタであり、ユーザが書き込むことはできません。またリセットや電源オン・オフによっても値は変化しません。

2. レジスタ

レジスタの構成と機能について説明します。

レジスター覧

略称	レジスタ名	参照先
UIDR0	ユニーク ID レジスタ 0	2.1
UIDR1	ユニーク ID レジスタ 1	2.2

2.1 ユニーク ID レジスタ 0 (UIDR0)

ユニーク ID レジスタ 0 について説明します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	UID[27:20]							
属性	R							

bit	23	22	21	20	19	18	17	16
Field	UID[19:12]							
属性	R							

bit	15	14	13	12	11	10	9	8
Field	UID[11:4]							
属性	R							

bit	7	6	5	4	3	2	1	0
Field	UID[3:0]				予約			
属性	R				-			

レジスタ機能

[bit31:4] UID[27:0] : Unique ID 27~0

ユニーク ID のビット 27～0 です。

[bit3:0] 予約 : 予約ビット

予約ビットです。読出し値は意味を持ちません。

2.2 ユニーク ID レジスタ 1 (UIDR1)

ユニーク ID レジスタ 1 について説明します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							

bit	15	14	13	12	11	10	9	8
Field	予約			UID[40:36]				
属性	-			R				

bit	7	6	5	4	3	2	1	0
Field	UID[35:28]							
属性	R							

レジスタ機能

[bit31:13] 予約 : 予約ビット

予約ビットです。読出し値は意味を持ちません。

[bit12:0] UID[40:28] : Unique ID 40~28

ユニーク ID のビット 40～28 です。

CHAPTER 16: DSTC

DSTC(Descriptor System data Transfer Controller)について説明します。

1. DSTC の概要
2. DSTC の動作概要とシステム構成
3. DSTC の機能と動作
4. DSTC の動作例と制御例
5. DSTC のレジスタおよびディスクリプタ

1. DSTC の概要

DSTC(Descriptor System data Transfer Controller)の概要について説明します。

概要

DSTC(Descriptor System data Transfer Controller)は、DMAC と同様に CPU を介さずにデータを高速に転送することが可能な機能ブロックです。Descriptor(以降 DES と略します。) システム方式を採用しており、あらかじめメモリ上に構築された DES の指定内容に従って、メモリ・Peripheral デバイスに直接アクセスを行い、データ転送動作を実行します。

1 個の転送制御内容(転送基本設定, 転送回数, 転送元アドレス, 転送先アドレス)を 1 個の DES により指定します。複数の DES を独立に定義でき、最大 1024 個の転送チャネルを構築できます。

転送の起動は、CPU からの直接起動(ソフトウェア起動), Peripheral デバイスからの割込み信号による起動(ハードウェア起動), Chain 起動機能をサポートしています。

Chain 起動機能は、現在実行している DES の転送を実施後、後続 DES の転送を起動する、または同じ DES の転送を再起動する機能のことです。DES の指定により、Chain 起動の実施有無を選択できます。この Chain 起動機能により、複数の DES に指定した別種類の転送を、先頭 DES への 1 回の起動指示(ソフトウェア起動指示、またはハードウェア起動指示）でまとめて一括実行すること、および 1 つの DES に指定した転送を分割して実行することが可能です。

転送アドレス、転送回数カウンタにはリロード機能（転送中に転送開始時の値に戻す InnerReload 機能、転送終了時に転送開始時の値に戻す OuterReload 機能）があり、同じ転送動作を繰り返し実施する場合の制御が容易に行えます。

転送動作の正常終了、異常終了を割込みとして、CPU に通知することが可能です。

スタンバイ・モード(低消費電力モード)時に内部クロックの停止制御が可能です。

DSTC は、CPU と別の専用バスを持ち、CPU バスアクセス時に転送動作が可能な構成です。

システムバス(AHB)に準拠した構成で、32 ビットのアドレス空間(4G バイト)に対応しています。

DSTC のハードウェア転送の対応チャネル数について

DSTC を搭載している製品において、DSTC が、256 チャネル対応となっている場合、チャネル 0 からチャネル 255 のすべてのハードウェア転送チャネルを使用することができます。DSTC が、128 チャネル対応となっている場合、チャネル 128 からチャネル 255 を使用することはできません。また、64 チャネル対応となっている場合、チャネル 64 からチャネル 255 を使用することはできません。

2. DSTC の動作概要とシステム構成

DSTC の動作概要とシステム構成について説明します。

2.1 DSTC の動作概要

DES システム

DSTC は、あらかじめメモリ上に CPU により構築された DES の内容に従って、転送動作を実行します。
1 個の DES は、Table 2-1 に示すように、DES0～DES6 の 7 種類から構成されています。それぞれの領域に、転送基本設定, 転送回数, 送元アドレス, 転送先アドレスの指定を行います。(各 DES のビット配置などの詳細情報は、「5 DSTC のレジスタおよびディスクリプタ」を参照してください。) これらを 1 組にして、メモリ領域に格納します。DES0～DES6 のサイズはそれぞれ 32bit (1word)です。DES4～DES6 はオプションであり、転送内容により、指定が不要な場合があります。

Table 2-1 DES の種類と指定内容

格納アドレス	名称	内容
DESP+0x00 (固定)	DES0	転送の基本設定を行います。
DESP+0x04 (固定)	DES1	転送回数の設定を行います。
DESP+0x08 (固定)	DES2	転送開始する転送元アドレス(SA)設定を行います。
DESP+0x0c (固定)	DES3	転送開始する転送先アドレス(DA)の設定を行います。
DESP+0x10~ (可変)	DES4	DES1 を転送終了時 OuterReload する場合に設定します。
	DES5	DES2 を転送終了時 OuterReload する場合に設定します。
	DES6	DES3 を転送終了時 OuterReload する場合に設定します。

Figure 2-1 に DSTC の DES システム方式の構成を示します。DSTC を使用する際は、メモリ上に DES を格納する領域を確保します。DSTC は DES の参照と更新を行うため、この領域はリード・ライトできるメモリ領域を選択する必要があります。その領域の先頭アドレスを DSTC 内部の DESTP (DES-Top-address)レジスタに設定(Figure 2-1 の 1.)します。DESTP から 4096word (16Kbyte)の領域に DES を複数個配置することができ、最大 1024 個設定することができます。DSTC は、各 DES を DESTP からそれぞれの DES0 領域への相対アドレス値(DESP : DES-pointer)によって識別します。

転送起動

DES に転送情報を格納(Figure 2-1 の 2.)後、以下の 3 種類の起動指示方法により DSTC の転送を開始することができます。

- ソフトウェア起動 (SW 起動)

  ソフトウェア起動は、CPU から直接 DSTC の転送を開始させる起動方法です。DSTC 内部の SWTR(Software Trigger)レジスタに、使用する DES の DESP の書込み、転送を起動します。(Figure 2-1 の 3.)
  以下、ソフトウェア起動を SW 起動と記載します。また、SW 起動により開始される転送動作を SW 転送と記載します。

- ハードウェア起動 (HW 起動)

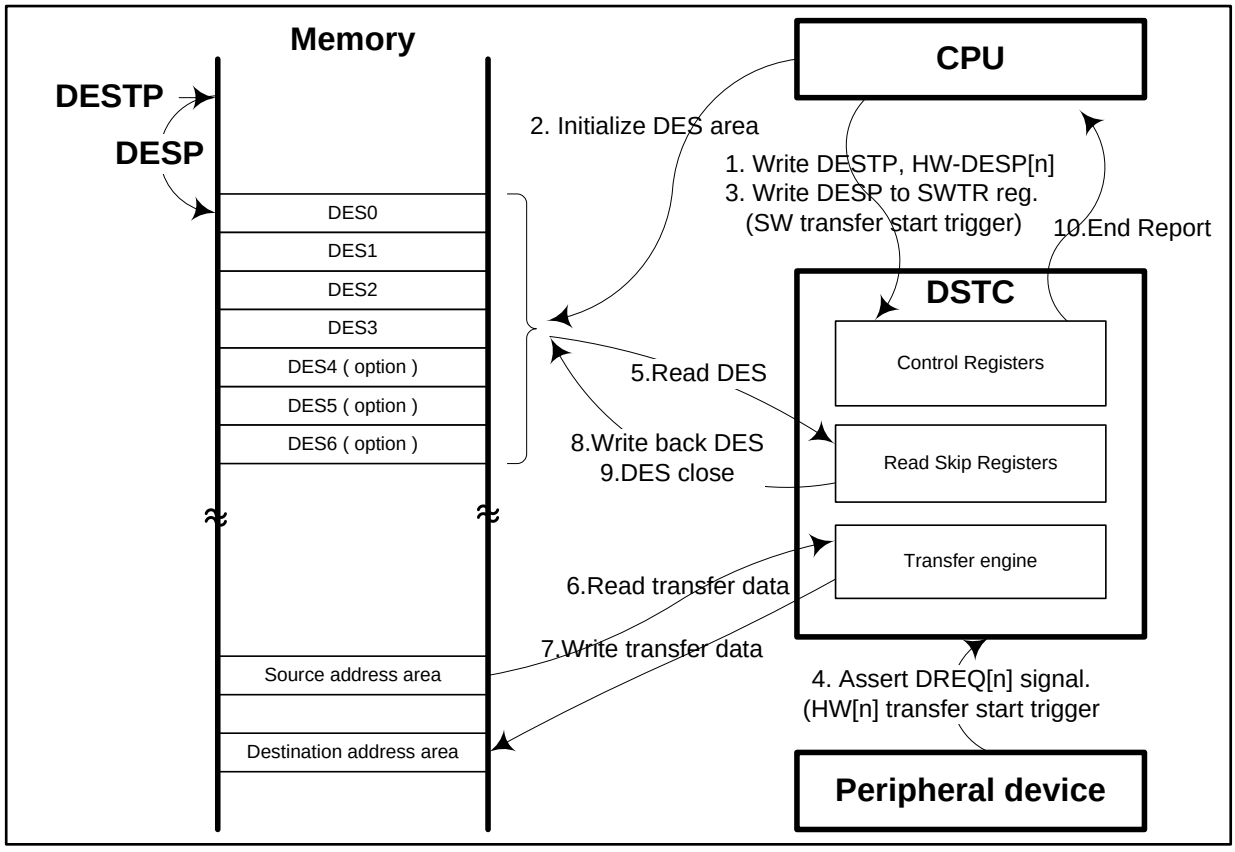
  ハードウェア起動は、Peripheral からの割込み信号を転送要求信号として、DSTC の転送を開始させる起動方法です。各 Peripheral からの転送要求がアサートされた時(Figure 2-1 の 4.)に、CPU を介さずに転送が起動します。この転送に使用する DES の DESP は、DSTC 内部の HWDESP[n](Hardware DESP)レジスタにあらかじめ書き込んでおきます。
  以下、ハードウェア起動を HW 起動と記載します。また、HW 起動により開始される転送動作を HW 転送と記載します。

- Chain 起動

  Chain 起動は、DES の中に起動指示を行う転送の起動方法です。DSTC は、DES の転送実施後、その DES に Chain 起動指示がある場合、後続 DES（または同じ DES）の転送を開始します。参照している DES の DESP から Chain 起動する DES の DESP を自動で算出します。

以降の説明文章中、起動指示(Start Trigger)と記載がある場合、上記の SW 起動, HW 起動, Chain 起動の 3 種類の起動指示を指します。

Figure 2-1 DES システム方式構成



転送動作

DSTC は、上記の起動指示により、DESTP＋DESP に存在する DES を参照(Figure 2-1 の 5.)します。DSTC は参照した DES の内容チェック(DES オープンチェック)を行い、指定に問題がない場合に転送を実行(Figure 2-1 の 6., 7.)します。また Chain 起動指示がある場合はその転送を行います。

1 回の起動指示により実施される転送回数は、DES 内の指定, Chain 起動指定により異なります。DES に指定された転送は、1 回の起動指示ではすべてが終了しない場合があります。その場合、DSTC は、各 DES に、転送残量数と更新した転送アドレスの情報をライトバック(Figure 2-1 の 8.)します。DSTC は、次の起動指示を待機し、再起動指示時に、転送の続きを継続実行します。

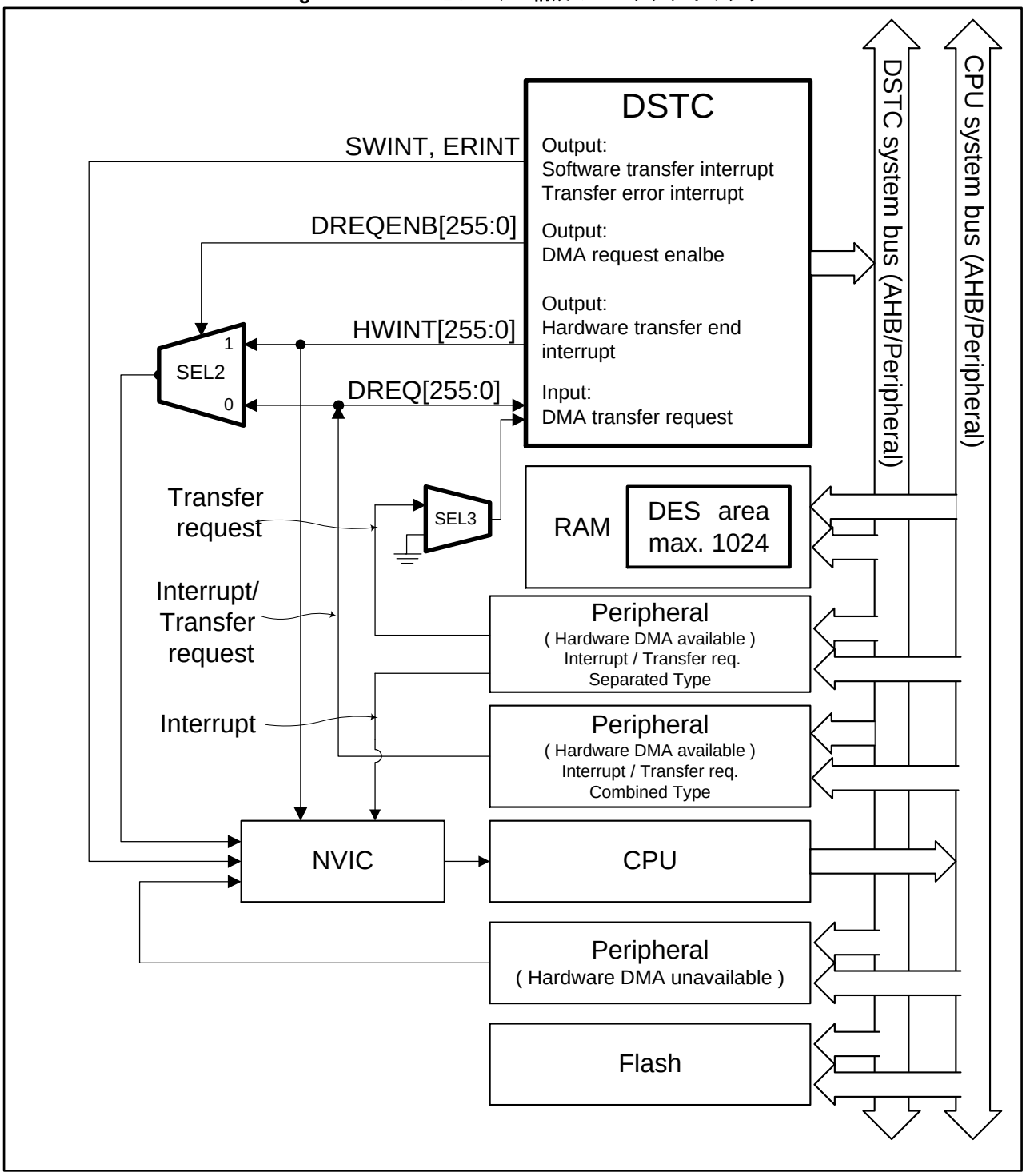
転送終了

所定回数の起動指示により、DES に指定したすべての転送が終了すると、DSTC は、DES のクローズ処理(Figure 2-1 の 9.)を行います。DES の指定により DES のクローズ処理を行わないようにすることもできます。DSTC が起動指示待ちになった場合、転送正常終了した場合、また、転送が異常終了した状態を割込みにより CPU に通知させることができます。(Figure 2-1 の 10.)

2.2 DSTC システム構成

Figure 2-2 に DSTC とシステム構成のブロックダイヤグラムを示します。

Figure 2-2 DSTC とシステム構成のブロックダイヤグラム



システムとの接続

Figure 2-2 のシステム構成図は説明のために簡略化されています。詳細は『システム概要』の章を参照してください。DSTC はシステムバスを経由して CPU, Flash, RAM, Peripheral と接続されています。CPU バスとは独立した専用バスを持っており、CPU バスアクセス時に転送動作が可能な構成になっています。各チャネルの転送先アドレス, 転送元アドレスの指定により、システム上の任意のアドレス領域にアクセスし、メモリおよび Peripheral 間のデータ転送を行います。一部 DSTC からはアクセスできない領域があります。メモリマップにて確認してください。

DREQENB レジスタ設定、DREQ[n]信号と HWINT[n]信号の接続

DSTC は、最大 256 個のハードウェア転送要求信号の入力に対応しています。DSTC のハードウェア転送に対応している Peripheral からの割込み信号は、DSTC 接続されています。DSTC は、Peripheral からの割込み信号を、DMA 転送要求信号(DREQ[255:0])とし使用し、転送動作を開始することができます。ハードウェア転送に対応していない Peripheral からの割込み信号では、DSTC の DMA 転送を開始することはできません。複数のチャネルおよび複数の割込み要因を持つ Peripheral の場合、DMA 転送に対応している割込み、対応していない割込みが存在するため、注意してください。

DSTC の内部レジスタ DREQENB[255:0]の設定により、Peripheral からのハードウェア転送要求が有効・無効になるかが決定されます。256 ビットの内、どの番号ビットが、どの Peripheral の割込み信号に対応しているかは、DSTC を搭載している製品の仕様により一意に決定されます。『割込み』の章を参照してください。

DSTC の DMA 転送を使用する Peripheral には、割込み信号と DSTC への転送要求信号が兼用されているタイプ（以下 Combined 型と表記）と、割込み信号と DSTC への転送要求信号が分かれているタイプ（以下 Separated 型と表記）の 2 つがあります。DREQENB[255:0]レジスタの設定値と図中のセレクタ（SEL2,SEL3）部分で、以下のような切換えが行われます。

■ Combined 型の Peripheral の場合：

DREQENB[n]=0 のとき：

Peripheral からの割込み信号は、NVIC に入力され、割込みの通知を行います。
Peripheral からの割込み信号を、DSTC は無視します。
DSTC からの HW 転送終了割込み（HWINT[n]）信号は、NVIC に入力されません。HWINT[n]信号は、DREQ[n]によって起動された HW 転送が終了したことを、DSTC から CPU に通知する割り込み信号です。

DREQENB[n]=1 のとき：

Peripheral からの割込み信号は、NVIC に入力されません。
Peripheral からの割込み信号を、DSTC は転送要求信号として使用します。DSTC はこの信号によって転送動作を開始します。
DSTC からの HWINT[n]信号が、Periperal からの割込み信号の代わりに、NVIC に入力されます。

このタイプの場合、図のように、Peripheral からの割込みと、DSTC の転送終了割込み（HWINT[n]）が、NVIC の入力ポートを兼用しています。このため、NVIC の割込み処理は、同じ割込みベクタに Jump します。DREQENB[n]の値により、どちらの割込み処理を行うかを選択する必要があります。

■ Separated 型の Peripheral の場合：

DREQENB[n]=0 のとき

Peripheral からの割込み信号は、NVIC に入力され、割込みの通知を行います。
Peripheral からの割込み信号は、DSTC には入力されません。
Peripheral からの転送要求信号は、NVIC には入力されません。
Peripheral からの転送要求信号を、DSTC は無視します。
DSTC からの HWINT[n]信号は、NVIC に入力されます。（HW 転送終了割込みは発生しません。）

DREQENB[n]=1 のとき：

Peripheral からの割込み信号は、NVIC に入力され、割込みの通知を行います。
Peripheral からの割込み信号は、DSTC には入力されません。
Peripheral からの転送要求信号は、NVIC には入力されません。
Peripheral からの転送要求信号により、DSTC は、転送動作を起動します。
DSTC からの HWINT[n]信号は、NVIC に入力され、HW 転送終了割込み通知を行います。

このタイプの場合、図のように、Peripheral からの割込みと、DSTC の HW 転送終了割込み（HWINT[n]）は、NVIC の別々の入力ポートに入力されます。Combined 型のように、同じ割込みベクタには Jump しません。

Peripheral がどちらのタイプに属するかは、『割込み』の章の割込み一覧と DSTC に入力される割込み信号一覧を参照してください。

ハードウェア転送要求クリア信号の接続

ハードウェア転送に対応している Peripheral の内、転送完了後、転送要求信号(割込み信号)のクリアが必要な Peripheral があります。Figure 2-2 に記載はありませんが、DREQENB[255:0]レジスタにて選択を行った場合、これらの Peripheral に対して、DSTC から転送要求信号のクリア処理がなされます。

ハードウェア転送停止要求信号の接続

マルチファンクションシリアルユニット(以下 MFS と略)は、DMA 転送停止要求信号が出力されます。Figure 2-2 に記載がありませんが、これらの MFS の転送停止要求信号が、アサートされた場合、DSTC の該当する転送要求信号はマスクされます。この場合、DSTC は転送要求待ちの状態で、転送処理を行わなくなります。

MFS から転送停止要求信号がアサートされる条件は以下の通りです。

– 受信割込み許可中(SCR:RIE=”1”)に受信エラーが発生(PE ビット、FRE ビットまたは ORE ビットが"1")
– チップセレクトエラー割込み許可中(SACSR:CSEIE="1")にチップセレクトエラー発生(CSE ビットが"1")

MFS からの DMA 転送停止要求信号は、割込みとして NVIC に通知されます。この割込みにより CPU から DSTC の転送処理を終了させてください。『割込み』の章を参照してください。

DSTC からの割込み信号

ソフトウェア起動により開始された転送の転送終了割込みは、SWINT により NVIC に通知されます。また、転送エラーが発生した場合のエラー割込みは、ERINT により、NVIC に通知されます。

3. DSTC の機能と動作

DSTC の動作について説明します。

3.1. DES の設定
3.2. DSTC の制御機能
3.3. DSTC 動作フロー

3.1 DES の設定

DES の設定内容と DSTC 動作の説明を行います。

3.1.1 転送データ量の設定

TW, IRM, IIN, ORM

DSTC は、1 回の転送で DES0.TW に指定されたデータ幅の転送を行います。DSTC 内部に転送回数のカウンタがあります。このカウンタは、外ループカウンタと、内ループカウンタの 2 重ループ構成になっています。
DES1.ORM (Outer loop Remain)は、外ループカウンタの転送残量回数、DES1.IRM (Inner loop Remain)は、内ループカウンタの転送残量回数です。DES1.IIN (Inner loop initial)は、内ループカウンタの初期値を指定します。
転送開始時、TW, IRM, IIN, ORM を指定して、転送データ幅と転送回数を指定します。1 個の DES で、合計、TW×IIN×ORM のデータ転送を実行します。
Table 3-1 に、転送モード, 転送データ幅, 転送回数の指定方法を示します。

Table 3-1 転送モード，転送データ幅，転送回数の指定

領域名	名称	内容
DES0	MODE	転送モードを選択します。 0：転送モード 0 を選択します。 1：転送モード 1 を選択します。
	TW[1:0]	1 回の転送のデータ幅を指定します。 00：8bit(byte) 01：16bit(Half word) 10：32bit(Word)
DES1	IIN	転送回数カウンタの内ループカウンタの初期値を指定します。
	IRM	転送回数カウンタの内ループカウンタの残量値を指定します。
	ORM	転送回数カウンタの外ループカウンタの残量値を指定します。

MODE

MODE=0 を指定すると、モード 0 の転送を行います。このモードは、1 回の起動指示で、TW で指定されたビット幅のデータ転送を、IIN 回数連続して行います。IIN 回の転送後、Chain 起動を行うか、次の起動指示待ち状態のいずれかになります。DSTC に対し、ORM 回の起動指示が発生すると、DES に指定された IIN×ORM 回の転送を終了します。
MODE=1 を指定すると、モード 1 の転送を行います。このモードは、1 回の起動指示で、TW で指定されたビット幅のデータ転送を、1 回行います。1 回の転送後、Chain 起動を行うか、次の起動指示待ち状態のいずれかになります。DSTC に対し、IIN×ORM 回数の起動指示が発生すると、DES に指定された IIN×ORM 回の転送を終了します。
SW 転送の場合、モード 0,1 のいずれも使用できます。HW 転送の場合、転送要求を発生させる Peripheral の種別により、モード 0 と 1 を選択する必要があります。データ転送ごとに DSTC とのハンドシェイクが必要な Peripheral からの転送要求で HW 起動する場合は、モード 1 を使用します。MFS (マルチファンクションシリアル), ADC, USB などのデータ転送は、Peripheral 内の FIFO に対しデータ転送を行うため、モード 1 で使用する必要があります。タイマ, 外部割込みなど、転送起動タイミングを DSTC に通知する Peripheral からの転送要求の場合は、モード 0,1 いずれも使用できます。
モード 0 の場合、ORM と IIN の指定を行います。ORM、IIN は、いずれも 1～65536 の範囲の値が指定できます。IRM の指定は不要です。DSTC 内部で、IIN の値を IRM にコピーして使用します。
モード 1 の場合、ORM,IIN,IRM の指定を行います。ORM は、1～65536 の範囲の値が指定できます。IIN は、1～256 の範囲の値が指定できます。IRM は IIN と同じ値を指定します。

3.1.2 転送アドレスの設定

SA, DA, SAC[2:0], DAC[2:0]

転送元領域の開始アドレス(SA)を DES2 に、転送先領域の開始アドレス(DA)を DES3 にそれぞれ設定します。各転送アドレスは、指定したデータ幅(TW)にアラインされている必要があります。DSTC は、アンアラインド転送を行うことはできません。

転送動作中の転送アドレス更新方法を、DES0.SAC[2:0]、DES0.DAC[2:0]に指定します。転送アドレスの更新方法は、SA と DA を独立して指定することができます。Table 3-2 に転送アドレス関連の指定方法を示します。

Table 3-2 転送アドレスの指定

領域名	bit	内容
DES0	SAC[2:0] DAC[2:0]	転送中、転送アドレス(SA と DA)の更新方法をそれぞれ選択します。 000：転送ごとに TW×1 インクリメントします。InnerReload 無。 001：転送ごとに TW×1 インクリメントします。InnerReload 有。 010：転送ごとに TW×2 インクリメントします。InnerReload 無。 011：転送ごとに TW×2 インクリメントします。InnerReload 有。 100：転送ごとに TW×4 インクリメントします。InnerReload 無。 101：転送中、アドレスを固定します。 110：転送ごとに TW×1 デクリメントします。InnerReload 無。 111：転送ごとに TW×1 デクリメントします。InnerReload 有。
DES2	SA[31:0]	転送元領域の開始アドレスを指定します。
DES3	DA[31:0]	転送先領域の開始アドレスを指定します。

転送回数カウンタと転送アドレスの更新動作

Figure 3-1 に、外ループ転送回数 3, 内ループ転送回数 4, 転送アドレスにインクリメントを指定した場合の転送回数カウンタと転送アドレスの更新動作例を示します。Figure 3-1 の横軸は時間軸で、転送の進行を示します。

Figure 3-1 の上段は、転送回数カウンタの動作を示します。内ループカウンタの残量値(IRM)は、1 回の転送ごとにダウンカウントします。内ループカウンタの初期値(IIN)に指定された回数の転送を行うと、IRM は、IIN の値をリロードします。外ループカウンタ残量値(ORM)は、内ループカウンタのリロードのタイミングでダウンカウントします。この 2 重ループカウンタにて転送回数をカウントします。

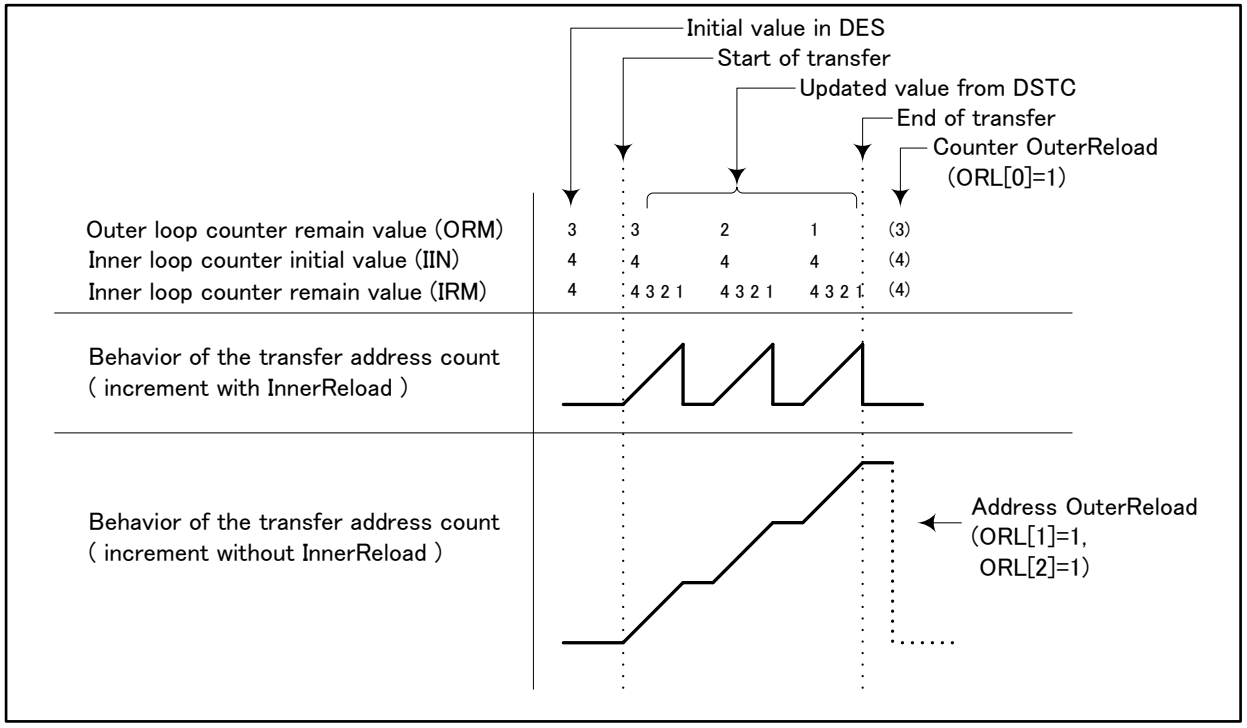
転送アドレス(SA/DA)は、転送中、IRM がリロードする際に、転送開始時の値に戻す動作(InnerReload)の有無を選択することができます。

Figure 3-1 の中段は、インクリメント, InnerReload あり指定の場合の転送アドレスの更新動作を示します。転送開始後、転送アドレスがインクリメントし、IRM のリロードタイミングで、転送開始時の値に戻ります。

Figure 3-1 の下段は、インクリメント, InnerReload なし指定の場合の転送アドレスの更新動作を示します。転送アドレスは、IRM のリロードタイミングで、インクリメント更新を継続します。

Figure 3-1 には、OuterReload の動作内容についても併せて記載しています。OtuterReload の節を参照してください。

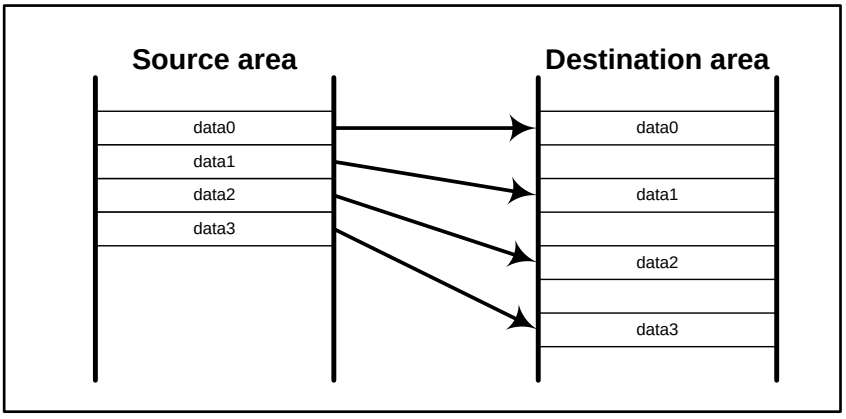
Figure 3-1 転送回数カウンタと転送アドレスの更新動作



ストライド転送動作

SAC[2:0], DAC[2:0]に TW×2 インクリメント、TW×4 インクリメントの設定を行った場合、それぞれ転送ごとに、転送アドレスが TW×2, TW×4 ずつインクリメントするストライド転送を実施します。Figure 3-2 は、SAC=000(TW×1 インクリメント)、DAC=010(TW×2 インクリメント)の転送を実施した例を示しています。Chain 転送と組み合わせることにより、メモリ・データの並べ替えなどが容易にできるように構成されています。「4.3. 転送動作例 3」を参照してください。

Figure 3-2 ストライド転送



3.1.3 OuterReload の設定

ORL[2:0]

Table 3-3 に、転送回数カウンタ, 転送アドレスの OuterReload 指定方法を示します。
DES1 の転送回数カウンタ(ORM/IRM/IIN)、DES2 の転送元アドレス(SA)、DES3 の転送先アドレス(DA)は、Figure 3-1 に示したように、それぞれ IIN×ORM 回の転送を終了後に、次回の転送のために、転送開始時の値に戻す動作(OuterReload)を選択することができます。
あらかじめ、転送開始前に DES4,5,6 に DES1,2,3 と同じ値を設定しておきます。IIN×ORM 回の転送を終了後、DES1,2,3 に DES4,5,6 の値がコピーされ、転送開始前の値に戻ります。同じ内容で次回の転送を繰り返す場合に、CPU から DES の再構築を省略することができます。

Table 3-3 OuterReload の指定

領域名	bit	内容
DES0	ORL[0]	転送回数カウンタ(DES1)の OuterReload 有無を選択します。 0：DES1 の OuterReload を行いません。DES4 領域不要 1：DES1 の OuterReload を行います。DES4 領域必要
	ORL[1]	転送元アドレス(DES2)の OuterReload 有無を選択します。 0：DES2 の OuterReload を行いません。DES5 領域不要 1：DES2 の OuterReload を行います。DES5 領域必要
	ORL[2]	転送先アドレス(DES3)の OuterReload 有無を選択します。 0：DES3 の OuterReload を行いません。DES6 領域不要 1：DES3 の OuterReload を行います。DES6 領域必要

OuterReload 指定時の DES サイズ

DES0～DES3 は、常に必要な領域です。DES4～DES6 は、OuterReload あり指定の場合にのみ必要になる領域です。DES のサイズと DES4-6 のアドレスは、ORL[2:0]の値に従って、Table 3-4 のように一意に決定されます。ORL[2:0]の値により、DES4～DES6 は DESP からの相対アドレスが異なります。不要な部分は存在しないと見なされます。

Table 3-4 OuterReload 指定時の DES サイズと DES4～DES6 の格納位置

ORL[2:0]	DES-SIZE (word)	DES4-address	DES5-address	DES6-address
000	4	DES4 無	DES5 無	DES6 無
001	5	DESP+0x10	DES5 無	DES6 無
010	5	DES4 無	DESP+0x10	DES6 無
100	5	DES4 無	DES5 無	DESP+0x10
011	6	DESP+0x10	DESP+0x14	DES6 無
101	6	DESP+0x10	DES5 無	DESP+0x14
110	6	DES4 無	DESP+0x10	DESP+0x14
111	7	DESP+0x10	DESP+0x14	DESP+0x18

転送終了後の DES の値

OuterReload 機能を使用しない場合、DES 領域を節約することができます。転送アドレスに InnerReload あり指定時は、転送アドレスは転送開始時の値が格納されるため、OuterReload の指定は不要です。OuterReload/InnerReload のいずれも指定しない場合、設定によっては、DES に転送開始時とは異なる値が格納されている場合があります。この場合、DES の値をそのまま利用して再度転送を開始することはできないため、CPU から DES の再構築を行う必要があります。以下に、転送終了後の DES 領域の値がどのような値に更新されるかを記載します。

DES0 の転送終了後の値は、DV[1:0], ST[1:0]を除き、転送開始時の値と同じ値です。また、DES4, DES5, DES6 の転送終了後の値は、転送開始時の値と同じ値です。
DES1(転送回数カウンタ)の転送終了後の値は、転送開始時の MODE, ORL[0]の値に従い、Table 3-5 のように更新されます。表中の X はその値が影響しないことを示します。
IIN の値は、転送開始時と同じ値が保持されます。ORL[0]=0 の場合、転送開始時、ORM, IRM がどのような値であっても、転送終了時、ORM の値は、0x0001 に、IRM の値は 0x01 に更新されます。従って、転送開始時に、ORM≠0x0001 または IRM≠0x01 の場合、ORM, IRM の転送終了時の値は、転送開始時の値と異なる値です。このため、再度転送開始時には、ORM と IRM を CPU から必要な値に書き換える DES の再構築が必要です。Table 3-5 では、DES1 の再構築が必要になる条件を併せて示しています。

Table 3-5 転送開始・終了時の DES1 の値と DES1 再構築の要否

転送開始時の DES0/DES1 の値					転送終了後の DES1 の値			DES1 の再構築要否
MODE	ORL[0]	ORM	IIN	IRM	ORM	IIN	IRM	
0	0	0x0001	X	－	0x0001	保持	－	不要
		0x0001 以外	X	－				必要
1	0	0x0001	0x01	IIN と同値			0x01	不要
		X	0x01 以外	IIN と同値				必要
		0x0001 以外	X	IIN と同値				必要
0	1	X	X	－	DES4 の値がコピーされます。			不要
1	1			IIN と同値				不要

DES2(転送元アドレス)の転送終了後の値は、転送開始時の DES0 の MODE, SAC[2:0], ORL[1]に従い、Table 3-6 のように更新されます。表中の X はその値が影響しないことを示します。DES2 の転送終了後の値が転送開始時の値と異なる場合、再度転送開始には、DES2 の再構築が必要です。

Table 3-6 転送終了時の DES2 の値

転送開始時の DES0 の値			転送終了後の DES2 の値	DES2 の再構築要否
MODE	SAC[2:0]	ORL[1]		
0	xx0	0	最終 Outer loop 開始時の転送元アドレス	必要
0	xx1	0	転送開始時の値	不要
1	xx0	0	最終転送の転送元アドレス	必要
1	xx1	0	転送開始時の値	不要
X	X	1	DES5 の値がコピーされます。	不要

DES3(転送先アドレス)の転送終了後の値は、転送開始時の DES0 の MODE, DAC[2:0], ORL[2]に従い、Table 3-7 のように更新されます。表中の X はその値が影響しないことを示します。DES3 の転送終了後の値が転送開始時の値と異なる場合、再度転送開始には、DES3 の再構築が必要です。

Table 3-7 転送終了時の DES3 の値

転送開始時の DES0 の値			転送終了後の DES3 の値	DES3 の再構築要否
MODE	DAC[2:0]	ORL[2]		
0	xx0	0	最終 Outer loop 開始時の転送先アドレス	必要
0	xx1	0	転送開始時の値	不要
1	xx0	0	最終転送の転送先アドレス	必要
1	xx1	0	転送開始時の値	不要
X	X	1	DES6 の値がコピーされます。	不要

DES1,2,3 の再構築が必要な設定(DES1,2,3 が転送開始時の値に戻らない設定)で、DES0.DV[1]=1 の設定を行うと、DES オープンエラーを通知します。「3.2.8 MONERS レジスタ」を参照してください。

3.1.4 Chain 起動と転送終了割込み通知設定

CHRS[5:0], CHLK

DSTC は、起動指示受け取り後、各 DES の所定回数(MODE=0 時は IIN 回、MODE=1 時は 1 回)の転送を行います。その後、DES0.CHRS[5:0]の値により、次の処理判断をします。Table 3-8 に、Chain 起動と転送終了割込み通知の指定方法を示します。

Table 3-8 CHRS[5:0]の指定

領域名	名称	内容
DES0	CHRS [5:4]	転送回数カウンタ残量値が、(ORM==1)&& (IRM==1) の転送を行った後の DSTC の動作を選択します。 00：割込みフラグセット無、Chain 起動無、転送終了します。 01：割込みフラグセット有、Chain 起動無、転送終了します。 10：割込みフラグセット無、後続の DES に対し、Chain 起動を行います。 11：設定禁止（DES オープンエラーとなります。）
	CHRS [3:2]	転送回数カウンタ残量値が、(ORM!=1)&& (IRM ==1)の転送を行った後の DSTC の動作を選択します。 00：割込みフラグセット無、Chain 起動無、起動指示待ちとなります。 01：割込みフラグセット有、Chain 起動無、起動指示待ちとなります。 10：割込みフラグセット無、後続の DES に対し、Chain 起動を行います。 11：割込みフラグセット無、現在の DES の再 Chain 起動を行います。
	CHRS [1:0]	MODE=1 の時、転送回数カウンタ残量値が、(IRM !=1) の転送を行った後の DSTC の動作を選択します。 00：割込みフラグセット無、Chain 起動無、起動指示待ちとなります。 01：割込みフラグセット有、Chain 起動無、起動指示待ちとなります。 10：割込みフラグセット無、後続の DES に対し、Chain 起動を行います。 11：割込みフラグセット無、現在の DES の再 Chain 起動を行います。 MODE=0 の時は、指定は意味を持ちません。MODE=0 の時は、00 を指定してください。（MODE=0 で 00 以外は DES オープンエラーとなります。）
	CHLK	Chain 起動する次の転送を、現在の転送後連続実施 (Chain ロック)するか、間に他の転送を許可するかを選択します。 0：現在の転送後、Chain 起動転送前に、他の転送を可能とします。 1：現在の転送後、Chain 起動転送を必ず連続実施します。

次の処理が、後続 DES の Chain 起動の場合、DSTC は、後続の DES の転送を開始します。次の処理が、実行 DES の再 Chain 起動の場合、その DES の転送を再度開始します。次の処理が、Chain 起動を行わない場合は、転送終了(または次の起動指示待ち状態)となります。CHRS[5:4]、CHRS[3:2]、CHRS[1:0]のどの値により処理分岐するかは、その際の転送回数カウンタがどの状態にあるかで決定します。

Chain 起動を行わない場合は、割込みフラグをセットし、DSTC が、転送終了(または次の起動指示待ち状態)の状態になったことを CPU に通知することができます。SW 転送、および SW 転送から Chain 起動された転送の場合は、SWTR.SWST レジスタをセットします。HW 転送、および HW 転送から Chain 起動された転送の場合は、HWINT[n]レジスタをセットします。

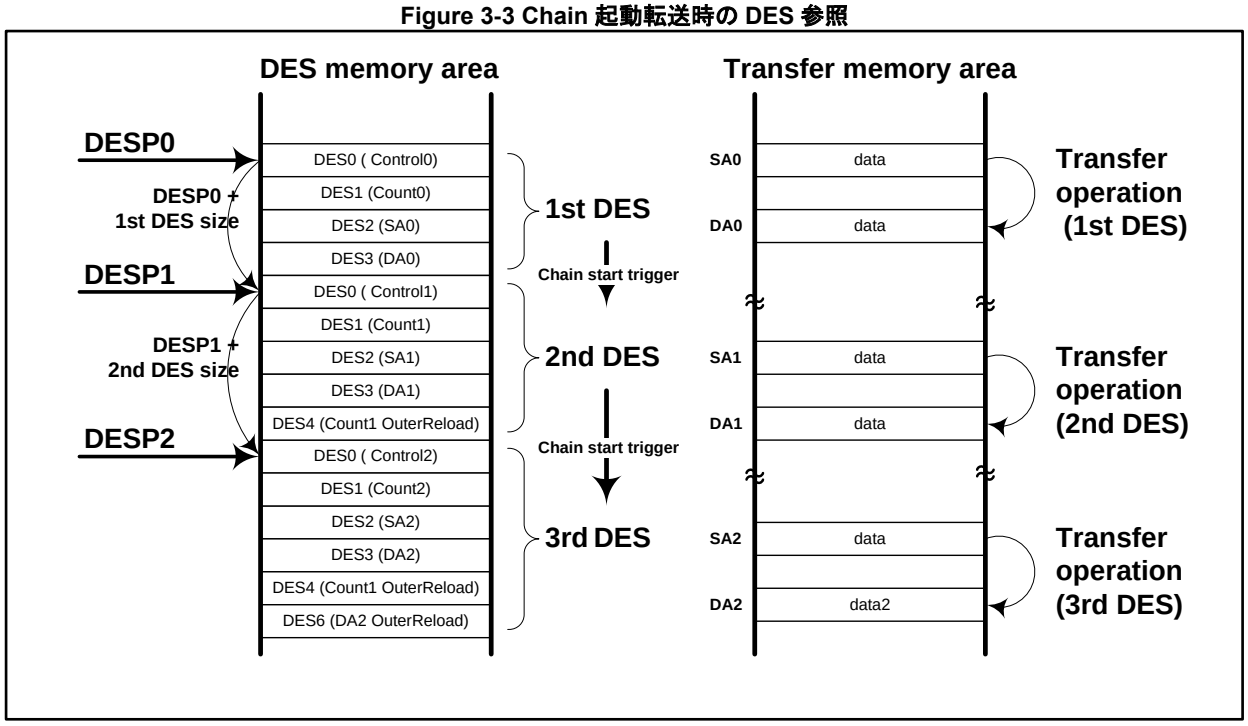
Chain 起動の動作

Chain 起動を利用すると、複数の DES に設定した異なる転送を一括して起動指示することができます。

Figure 3-3 に後続 DES の Chain 起動を行う場合の DES 参照と転送動作の説明図を示します。1st-DES が DESP0 の位置に存在しています。1st-DES のサイズは、1st-DES の ORL[2:0]の指定により一意に決定されます。1st-DES にて後続 DES の Chain 起動指示の場合、DSTC は、DESP0 と 1st-DES のサイズから、後続の 2nd-DES の DESP1 を算出します。DSTC は、2nd-DES の参照後、2nd-DES に指定された転送を開始します。このため、Chain 起動される後続の 2nd-DES は、必ず起動する 1st-DES に隣接している必要があります。

2nd-DES に Chain 起動を指定し、3rd-DES の転送を開始することが可能です。DSTC は、Chain 起動指定がなくなるまで、DES の最大構築可能数の範囲で Chain 起動転送を継続します。

Figure 3-3 Chain 起動転送時の DES 参照



Chain ロック機能

DSTC は、Chain 起動のタイミングで、別要因の転送の起動指示があると、転送優先順位の指定によっては、別転送を先に処理する場合があります。この場合、DSTC は、別転送処理を実行した後に、指定された Chain 起動の転送の処理を行います。Chain ロック機能は、このようなケースで、転送優先順位指定によらず、Chain 起動された転送を必ず連続して実行し、ほかの要求の転送を割り込ませないように制御する機能です。各 DES の CHLK=1 とすることにより指定ができます。

3.1.5 その他の DES 設定

DV[1:0]

DSTC は、DES 領域の参照と更新を行い、転送動作を実行します。DSTC が使用中の DES 領域を CPU が更新すると、DSTC はプログラムの意図しない不正な転送を実施する場合があります。この問題を防ぐため、DES 領域は CPU と DSTC 間で排他的なメモリ管理を行っています。DES0 には、その DES の書込み更新権利(所有権)が、CPU と DSTC のいずれに存在するかを示す DV[1:0] (Descriptor Valid)が存在します。DV の指定内容と DSTC の動作を Table 3-9 に示します。

Table 3-9 DV の指定

領域名	名称	内容
DES0	DV[1:0]	DES 領域の所有権が CPU と DSTC のいずれにあるかを指定します。 DES オープン後の転送実施有無、DES クローズ処理有無を指定します。 00：DES 所有権は CPU、転送実施無、DES クローズ処理無 (DSTC がこの値を読み出すと、DES オープンエラーを通知します。) 01：DES 所有権は DSTC、転送実施有、DES クローズ処理有 10：DES 所有権は DSTC、転送実施無、DES クローズ処理有 11：DES 所有権は DSTC、転送実施有、DES クローズ処理無

DV=00 の場合、DES 領域の所有権が CPU にあることを示します。DV≠00 の場合、DES 領域の所有権が DSTC にあることを示します。CPU は、DES の初期値設定後、DV=01 or 10 or 11 の値を設定し、その DES の所有権が DSTC にあることを通知します。DSTC は、起動指示を受け取り後、DES0 の DV の値に従い、以降の動作を決定します。(起動指示後、DSTC が DES を読み出すことを DES オープン処理と記載します。)

DSTC は、DV=01 の場合、指定された回数(ORM×IIN 回)の転送を行います。転送が終了しないうちは、DV の値を 01 のまま更新せず、DES の所有を継続します。指定された回数の転送がすべて終了すると、DV を 00 に更新して、DES の所有権を CPU に返却します。(DSTC が DV を 00 に更新し、DES の所有権を CPU に返却する処理を、DES クローズ処理と記載します。)

DSTC は、DV=11 の場合、指定された回数(ORM×IIN 回)の転送を行います。転送が終了しないうちは、DV の値を 11 のまま更新せず、DES の所有を継続します。指定された回数の転送がすべて終了しても、DES クローズ処理を行わず、DES の所有を継続します。

DSTC は、DV=10 の場合、転送処理を行わず、DES クローズ処理のみを行います。

DSTC は、DV=00 の場合、DES 領域が CPU により更新途中であると認識します。転送処理、DES の更新を行いません。CPU に DES オープンエラーを通知します。

プログラムは、その DES の利用形態に基づき、起動前の DV の値を以下の要領で決定します。

DES に定義する転送処理が流動的な内容で、転送ごとに CPU が DES の設定内容を更新する必要がある場合、DV=01 の設定で DES 所有権を DSTC に与えます。この場合、CPU は、DV=00 の値を確認し、DES 所有権が返却された後に安全に DES を更新することができます。CPU は DES の初期化が完了してから、再度、DES 所有権を DSTC に渡します。

DES に定義する転送処理が固定的な内容で、DES の設定内容を繰り返し使用する場合、DV=11 の設定で DES 所有権を DSTC に与えます。この場合、転送処理後 DES クローズしないため、CPU が再度 DES の所有権を DSTC に与える手間を省くことができます。指定された回数(ORM×IIN 回)の転送が終了した後、次の起動指示が発生すると、再度同じ転送が開始されます。

DV=11 の設定の場合、DSTC は DES の所有を継続し、CPU に返却しないため、転送処理は無限ループ処理となります。DV=10 の設定は、上記の DV=11 の設定により DSTC に渡した所有権を CPU に返却させて、転送処理の無限ループから抜ける場合に使用します。

CPU は、DV=00 の場合、その DES の更新を行うことができます。DV≠00 の場合は、DSTC がその DES の転送動作を行っている状態では、DV 以外の DES 領域の更新を行うことはできません。

DV[1]=1 の設定の場合、DSTC は、(ORM×IIN)回の転送後、DES 値を再度使用します。このため、転送カウンタ, 転送アドレスのリロード指定制約が追加されます。DV[1]=1 であって、DES1～DES3 の値が転送開始時の値に戻らない DES 設定は、DES オープンエラーを通知します。「3.2.8 MONERS レジスタ」を参照してください。

ST[1:0]

DES0 の ST(Status)[1:0]は、DSTC が転送終了ステータスを CPU に通知する領域です。DES クローズ処理時、ST に DSTC により書き込まれる内容を、Table 3-10 に示します。

Table 3-10 ST の通知内容

領域名	名称	内容
DES0	ST[1:0]	DES 指定の転送が終了し、DES クローズ処理時に、DSTC が終了ステータス値を書き込みます。 00：転送正常終了 01：転送元アクセス時に発生したエラーにより転送異常終了 10：転送先アクセス時に発生したエラーにより転送異常終了 11：スタンバイ移行コマンドにより転送強制終了し転送異常終了

DES アクセスエラー, DES オープンエラーにより、転送が異常終了した場合、DSTC は DES 領域にアクセスできないため、DES クローズ処理は行われず、ST は書き込まれません。これらのエラー通知は、DES の ST ではなく、DSTC 本体の MONERS レジスタによって行われます。「3.2.8 MONERS レジスタ」を参照してください。

PCHK[3:0]

PCHK[3:0](Parity Check)は、DES0 領域のパリティ値(以下演算式)を設定して使用します。

PCHK[3:0] = DES0[27:24] ^ DES0[23:20] ^ DES0[19:16] ^ DES0[15:12] ^ DES0[11:8] ^ DES0[7:4]

CPU の暴走などにより、DES 領域のデータ破壊が発生すると、DSTC は意図しない転送動作を開始する可能性があります。これを防ぐために DES0 にパリティチェック機能が用意されています。CPU は、DES 初期構築時、DES0 のパリティ値を PCHK に設定します。DSTC は、DES オープン時 PCHK と DES0 の値の整合性を確認します。パリティエラーがある場合、DES オープンエラーを通知し、転送処理を行いません。「3.2.8 MONERS レジスタ」を参照してください。

ACK[1:0]

ACK[1:0](Acknowledge)は、HW 転送を利用する場合、DSTC から Peripheral デバイスに出力する DMA 転送要求の承認信号の出力タイミングを調整する値を設定します。

HW 転送を利用する場合に、Peripheral デバイスから直接 HW 起動される DES では、ACK=01 を設定します。その他の DES(HW 転送から Chain 起動される DES, SW 転送で使用する DES, SW 転送から Chain 起動される DES)では、ACK=00 の設定を行います。

DMSET

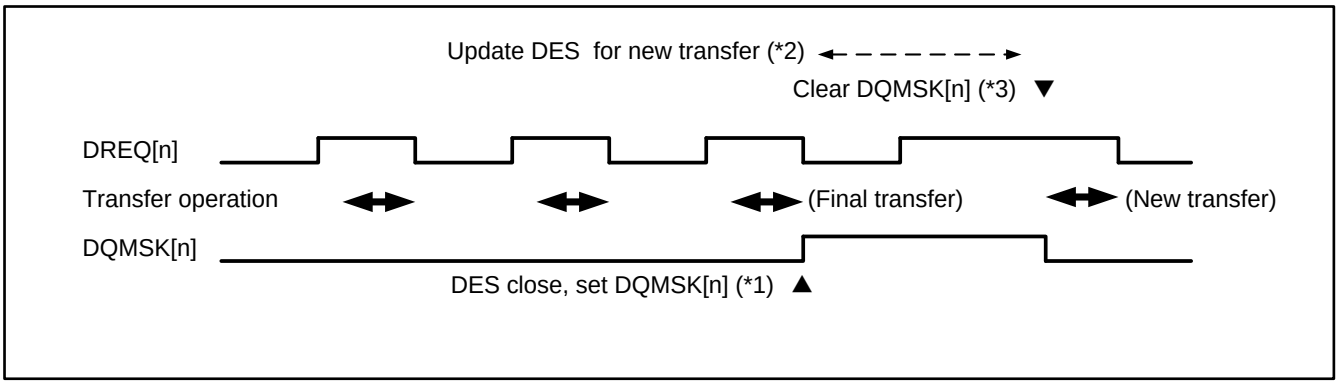
DMSET(DMA request Mask Set)は、HW 転送を利用する場合に、DSTC が DES クローズ後、CPU が DES の再構築が完了するまでの期間に、DQMSK[n]レジスタをセットし、Peripheral デバイスからの DMA 転送要求信号をマスクする機能を提供します。「3.2.4 HW 転送の制御」を参照してください。

HW 転送を利用する場合、Peripheral デバイスからの DMA 転送要求信号(DREQ)は、DMA 転送要求承認信号(DACK)により、転送後ネゲートされます。しかし、Peripheral によっては、DSTC の状態と関わりなく、その次の転送要求をアサートする場合があります。DSTC は、DES クローズ後、次の転送開始の準備(DES の再構築)

ができるまでの期間に DMA 転送要求信号がアサートされると、転送の準備ができていないため、DES オープンエラー通知を行います。このようなケースでは、DMSET=1 を設定することで、DSTC から、DES オープンエラーを通知させることを回避し、DES の再構築が完了するまで、HW 転送の開始を抑止することができます。

Figure 3-4 に動作例を示します。Peripheral デバイスから直接 HW 起動される DES およびそこから Chain 起動される DES において、DMSET=1 の場合、その DES のクローズ処理が行われると、DQMSK[n]レジスタの該当するチャネルビットに 1 がセットされます。(Figure 3-4 の*1)DQMSK[n]レジスタに 1 がセットされると、DSTC は DREQ 信号を認識せず、DES オープンエラーを通知しません。CPU は、DES を再構築(Figure 3-4 の*2)し、次の転送の準備が完了した後、DQMSK[n]レジスタの該当するチャネルビットをクリアします。(Figure 3-4 の*3)DQMSK[n]レジスタクリア後、DSTC は DREQ 信号を認識します。再構築された DES に従って、新規の転送が開始されます。

Figure 3-4 DMSET による転送開始の抑制動作



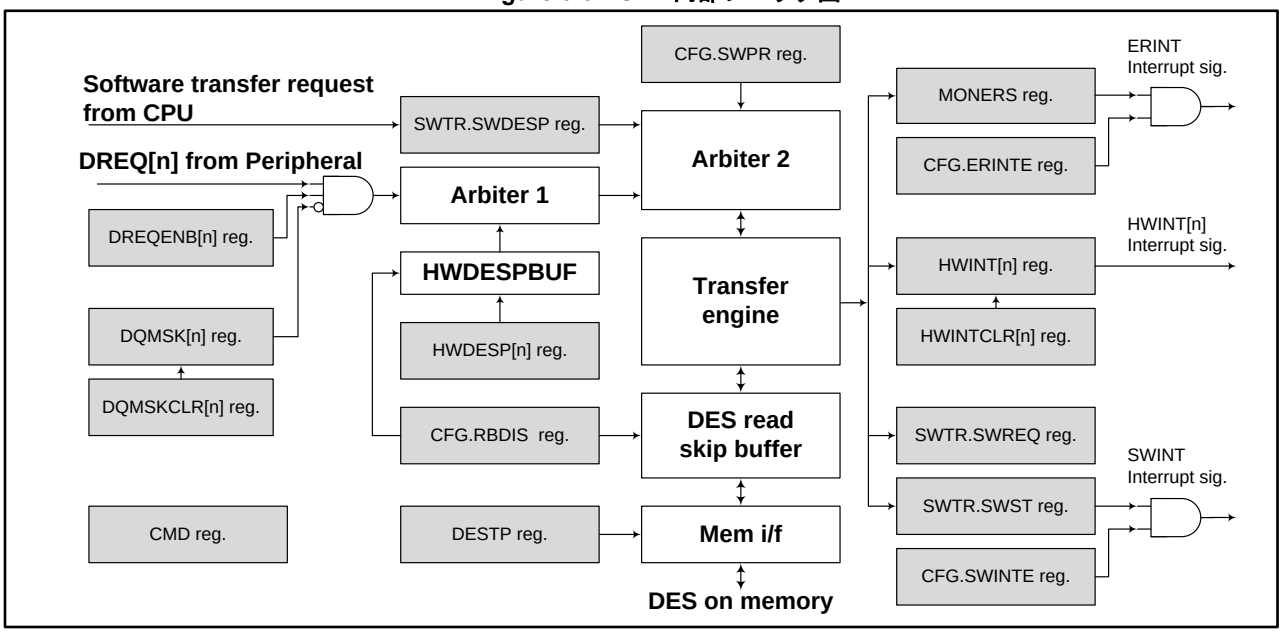
3.2 DSTC の制御機能

DSTC の制御機能に関する説明を行います。

3.2.1 DSTC 内部ブロック図

Figure 3-5 に、CPU からアクセス可能な DSTC 内部の制御レジスタ(網掛け)と、制御ブロックの接続関係図を示します。制御レジスタへのアクセスにより、DSTC の転送起動、終了通知の制御を行います。以下に図の各部の動作とレジスタ機能の概要説明を行います。各レジスタ機能の詳細は「5. DSTC のレジスタおよびディスクリプタ」を参照してください。

Figure 3-5 DSTC 内部ブロック図



3.2.2 DESTP レジスタ

DESTP(DES top address)レジスタは、メモリ上の DES 領域の先頭アドレスを指定するレジスタです。初期設定時に指定を行います。DSTC は、DESTP＋DESP のアドレスに存在する DES を参照し、転送動作を行います。

3.2.3 SW 転送の制御

SW 転送の開始を指示する場合、SWTR.SWDESP(Software tigger. Softwafer DESP)レジスタに、起動する DES の DESP 値を書き込みます。SW 転送動作中、Chain 起動があると、SWDESP は Chain 起動した DESP の値に DSTC 側から更新されます。SWDESP の値は、図の Arbiter2 ブロックに転送要求として通知されます。

SWTR.SWREQ(Software request)レジスタは、SW 転送が、実行開始の待機状態であるか、Chain 起動を含めた転送実行中であることを示す読出し専用レジスタです。SWTR レジスタへの書込みアクセス(起動指示)により、1 がセットされます。SW 転送が正常終了，異常終了，起動指示待ち状態になると、0 にリセットされます。

SW 転送の起動指示は､現在の SW 転送が終了してからでないと発行できません｡SWREQ レジスタが 1 の場合、SWTR レジスタへの書込みアクセスは無視されます。

SWTR.SWST(Software status)レジスタは、CPU に SW 転送終了通知を行うための読出し専用レジスタです。SW 転送の DES またはそこから Chain 起動された DES の CHRS に、割込みフラグセットが指示されていて、転送が正常終了すると、1 がセットされます。CMD レジスタに対する SWCLR コマンドにより、0 にクリアすることができます。

SWST がセットされた場合、CFG.SWINTE レジスタの設定により、SWINT 割込みを許可できます。(SWINTE==1)&(SWST==1)の場合、NVIC 対する SWINT 割込み信号がアサートされます。

3.2.4 HW 転送の制御

Peripheral からの転送要求(DREQ[n]のアサート)が発生すると、DSTC は、HW 転送動作を開始します。HW 起動と HW 転送の制御を行うため、DSTC 内部には、以下のレジスタが、転送チャネル数分あります。CPU は、Peripheral からの転送要求発生前に、これらのレジスタの初期設定を行っておきます。また、転送進行状況に合わせてレジスタクリア処理を行います。

DREQENB[n]レジスタ

DREQENB[n] (DMA Request Enable)レジスタは、初期設定時、HW チャネル n の使用有無をそれぞれ設定します。HW チャネル n を使用する場合、DREQENB[n]=1 を設定します。HW チャネル n を使用しない場合、DREQENB[n]=0 を設定します。このレジスタが 0 の場合、DSTC に接続されている Peripheral の割込み信号や転送要求信号(DREQ[n])は無視されます。このレジスタの値は、DSTC 側から書換えられることはありません。
割込みを DSTC への転送要求として使用する Peripheral タイプの Peripheral において、NVIC に接続される割込み信号に Peripheral からの割込み信号と DSTC からの HWINT[n]のいずれが選択されるかは、DREQENB[n]の値により決定されます。「2. DSTC の動作概要とシステム構成」を参照してください。

DQMSK[n]レジスタおよび DQMSKCLR[n]レジスタ

DQMSK[n] (DMA Request Mask)レジスタは、読出し専用のレジスタです。このレジスタが 1 の場合、DSTC に対する Peripheral からの転送要求信号(DREQ[n])が抑止されている状態を示します。以下の条件発生時は、DQMSK[n]に 1 がセットされ、その HW チャネルの転送要求を抑止します。

- HW チャネル n の転送で、転送エラーが発生した場合。
- CPU から、CMD レジスタに対し、スタンバイ移行コマンドを発行した場合。
- HW チャネル n の転送の DES にて、DMSET=1 であり、かつ DES クローズ処理した場合。

CPU が DES の再構築を行い、HW 転送の開始が可能な状況になった後、CPU から抑止を解除します。
DQMSKCLR[n] (DMA Request Mask Clear)レジスタに、1 書込みを行うと、DQMSK[n]レジスタが 0 クリアされ、以降の HW 転送要求(DREQ[n])が認識されます。

HWDESP[n]レジスタ

HWDESP[n] (Hardware DES pointer)レジスタは、HW チャネル n の転送要求時に DSTC が参照・実行する DES の DESP を設定します。HW 転送要求発生前に設定しておく必要があります。

DSTC は、HW 起動指示が発生すると、HWDESP[n]に設定された DESP の DES を参照し転送を開始します。HWDESP[n]レジスタの DESP 値は、Figure 3-5 の HWDESPBUF にいったん格納してから使用します。Chain 起動時は、HWDESPBUF に格納されている値が Chain 起動後の DESP 値に更新されます。HWDESP[n]レジスタの値が、DSTC 側から書え換えられることはありません。
チャネル n の HW 起動指示が連続した場合、DSTC は、HWDESP[n]レジスタの DESP 値ではなく、HWDESPBUF に格納されている DESP 値を使用します。このため、CPU から HWDESP[n]レジスタの値を変更した場合、HWDESPBUF に格納されている値を無効化する必要があります。CFG.RBDIS の値の変更により、HWDESPBUF の DESP 値を無効化できます。「5.5. CFG レジスタ」を参照してください。

HWINT[n]レジスタおよび HWINTCLR[n]レジスタ

HWINT[n] (Hardware transfer interrupt)レジスタは、CPU に HW 転送終了通知を行うための読出し専用レジスタです。HW 起動された DES またはそこから Chain 起動された DES の CHRS にて割込みフラグセットが指示されていて、転送が正常終了すると、1 がセットされます。HWINT[n]レジスタは、HWINTCLR[n]レジスタへの 1 書込みにより、0 にクリアすることができます。HWINT[n]==1 の場合、NVIC 対する DSTC の HW 転送終了割込み信号（HWINT[n]）がアサートされます。

3.2.5 起動要求の調停動作

DSTC は、SW 起動指示と、複数の HW 起動指示が、競合した場合、起動要求の調停処理を行い、順次転送処理を実行します。起動要求の調停は、Figure 3-5 の Arbiter1 ブロックと Arbiter2 ブロックの 2 段の構成で処理されます。以下に動作を説明します。

Arbiter1

HW 転送要求は、Arbiter1 ブロックで調停処理が行われます。複数の要求が競合している場合、次のような Rotation 方式で転送開始するチャネルを選択します。バスリセット後の選択優先順位は、チャネル番号の小さい順に優先順位が高い状態です。

優先順位高　0,1,2,3,4,5,6,7,,,,,,254,255　優先順位低

この状態で、例えばチャネル 5 とチャネル 6 から同時に転送要求があると、チャネル 5 が選択されます。転送チャネルが選択されると、そのチャネルの優先順位が一番低くなるように優先順位が Rotation されます。チャネル 5 が選択されたので、優先順位は以下のように更新されます。

優先順位高　6,7,8,9,10,11,,,,,,254,255, 0,1,2,3,4,5　優先順位低

この状態で、次にチャネル 5 とチャネル 6 から転送要求があると、チャネル 6 が選択されます。Rotation により、複数の HW 転送要求が、均等に転送処理が行えるように構成されています。

Arbiter1 ブロックは、選択したチャネル n から HWDESP[n]を参照し、使用する DES の DESP を Arbiter2 ブロックに通知します。また、HW 転送に Chain 起動がある場合、更新した DESP を Arbiter2 ブロックに通知します。選択したチャネル n の転送が、すべての Chain 転送終了し、起動指示待ちになるまで、そのチャネルの転送要求を Arbiter2 ブロックに通知します。

Arbiter2

Arbiter2 ブロックは、Arbiter1 により選択された HW 転送要求と、SW 転送要求のどちらの転送要求を実行するかを選択します。転送要求が競合している場合、CFG レジスタの SWPR(Software Priority)レジスタに設定された確率値に従い、転送要求を選択して転送エンジンを起動します。Table 3-11 に CFG.SWPR レジスタの設定値と、SW 転送が転送権を得る確率を示します。

Table 3-11 CFG.SWPR の指定

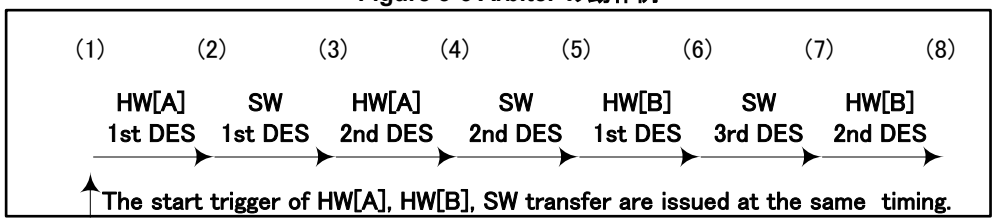
領域名	名称	内容
CFG	SWPR [2:0]	Arbiter2 の調停動作において、HW 転送要求と、SW 転送要求が競合している場合に、SW 転送が転送権を得る確率を指定します。 000 : SW 転送の優先度を最高にします。(SW 起動指示時、HW 転送が実行中の場合、HW 転送終了後、SW 転送を開始します。) 001 : SW 転送の転送権獲得確率を 1/2 にします。 010 : SW 転送の転送権獲得確率を 1/3 にします。 011 : SW 転送の転送権獲得確率を 1/7 にします。 100 : SW 転送の転送権獲得確率を 1/15 にします。(初期値) 101 : SW 転送の転送権獲得確率を 1/31 にします。 110 : SW 転送の転送権獲得確率を 1/63 にします。 111 : SW 転送の優先度を最低にします。(HW 転送要求がない状態でのみ、SW 転送を開始します。)

Arbiter の動作例

Figure 3-6 に、Arbiter1 と Arbiter2 の動作例を示します。図は右軸が時間軸です。DSTC の転送要求の調停処理で、どの転送要求がどの順番で転送権を与えられるのかを説明します。HW チャネル A 転送、HW チャネル B 転送、SW 転送の 3 個の転送要因が存在しています。HW[A]転送、HW[B]転送は、2 個の DES により Chain 接続、SW 転送は 3 個の DES により Chain 接続されています。CFG.SWPR は、001(SW 転送確率 1/2)の設定を行っています。各 DES の Chain ロック指定は無です。

(1)のタイミングで、HW[A]転送、HW[B]転送、SW 転送の 3 つの転送要求が同時に発生しています。Arbiter1 は、HW[A]と HW[B]の調停を行います。どちらを選択するかは、それ以前の Rotation の状態で決定します。HW[A]が選択される前提で説明を進めます。Arbiter2 は、HW[A]と SW 要求の調停を行います。どちらを選択するかは、それ以前の状態で決定します。HW[A]が選択される前提で説明をします。DSTC の転送エンジンは、HW[A]の 1stDES の転送を開始します。

Figure 3-6 Arbiter の動作例



(2)のタイミングで、HW[A]-1stDES の転送が終了します。HW[A]-2ndDES の Chain 起動指示が発生します。(HW[B]の要求は、HW[A]の Chain 起動がなくなるまで、保留されます。) Arbiter1 は、HW[A]の 2nd- DESP を Arbiter2 に要求します。Arbiter2 は、HW[A]と SW の調停を行います。SW 転送の確率設定が 1/2 であり、(1)のタイミングで HW[A]を選択したので、Arbiter2 は、SW-1stDES を選択します。

(3)のタイミングで、SW-1stDES の転送が終了し、SW-2ndDES の Chain 起動指示が発生します。Arbiter2 は、SW-2ndDES と、HW[A]-2ndDES の調停を行います。確率設定が 1/2 であり、(2)のタイミングで SW 転送を選択したので、次は、HW[A]-2ndDES を選択します。

(4)のタイミングで、HW[A]-2ndDES の転送が終了します。Arbiter1 は、HW[B]-1st DES を Arbiter2 に転送要求します。Arbiter2 は、HW[B]-1stDES と SW-2ndDES との転送調停を行い、SW-2ndDES を選択します。

(5)、(6)、(7)のタイミングで、同様の調停動作が行われ、HW[B]2nd-DES と SW 3rdDES の転送選択が行われます。

上述のように、HW 転送の Chain 間に、SW 転送を実行すること、SW 転送の Chain 間に、HW 転送を実行することがあります。HW 転送の Chain 間に、別チャネルの HW 転送を実行することはありません。また、DES に Chain ロックが指定されている場合、CFG.SWPR レジスタの設定値に関係なく、その DES が転送動作実行後、Chain 起動の DES の転送が、必ず連続実行されます。

上記例では、CFG.SWPR の設定値が、確率 1/2 の設定であるため、SW 転送が、2 回に 1 回の割合で行われています。CFG.SWPR の設定値は、DSTC で同時に使用する HW 転送チャネル数, DES の Chain 数, 各転送の転送データ量などを考慮して適宜選択してください。CFG.SWPR の設定値は、DSTC の転送動作中であっても書き換えることが可能です。書換えを行った場合、次の SW 起動指示から設定値が適用されます。

3.2.6 リードスキップバッファ機能

DSTC の転送エンジンは、メモリ上の DES の転送情報を参照し、転送動作を行います。1 回の起動指示ですべての転送が終了しない場合、DES の転送実施回数, 転送アドレス値の情報を各 DES にライトバックします。転送アドレスが固定値の場合など、更新不要な場合はライトバック処理をスキップします。次回の起動指示時、更新した DES 情報に基づき転送動作を継続します。

起動指示ごとに、DES 参照を行うと、処理時間が必要になるため、DSTC には、Figure 3-5 に示すようなリードスキップバッファ機能があります。DSTC は、読み出した DES の転送情報を、内部のリードスキップバッファに格納します。次の起動指示が同じ DESP を参照する場合、メモリ上の DES 参照を行わず、リードスキップバッファの値を利用することで、処理の高速化を行っています。

CFG.RBDIS レジスタの設定により、上記のリードスキップバッファ機能の有効無効を指定することができます。通常は、転送動作の高速化のため、リードスキップバッファ機能は有効状態で使用してください。CFG.RBDIS レジスタに 1 を書き込み、リードスキップバッファ機能を無効化すると、DES 参照は、必ずメモリ上から直接行われます。

CPU から DES0.DV の値を 10 に書換えを行って、DSTC の転送動作を停止(無限ループアウト)させたい場合は、DES0.DV の書換え後、CFG.RBDIS の値の変更により、リードスキップバッファに格納されている DES 情報の無効化を行ってください。リードスキップバッファ機能が有効のままの状態では、DSTC は DES 参照をスキップし、CPU からの DV の値の変更を認識できない場合があります。「5.5.　CFG レジスタ」を参照してください。

3.2.7 転送終了処理

DSTC は、転送処理を正常終了した場合、DES 指定に応じて、Chain 起動、割込みフラグ(SWTR.SWST or HWINT[n])のセット、DES のクローズ処理を行います。

転送エラーが発生した場合、転送処理はその時点で中断され、エラー終了します。Chain 起動は行いません。また、割込みフラグ(SWTR.SWST or HWINT[n])のセットは行わず、代わりに MONERS レジスタに、エラー発生内容を記録します。エラー内容により DES クローズ処理する場合としない場合があります。

HW 転送で、転送エラーが発生した場合、該当するチャネルの DQMSK[n]レジスタをセットし、以降のそのチャネルの HW 転送要求を抑止します。

エラーを発生させた DES の内容は、転送途中の状態のままであるため、新規に転送を開始する場合、CPU から DES 領域を再構築する必要があります。

3.2.8 MONERS レジスタ

転送エラー発生時、MONERS レジスタに、発生したエラー内容が記録されます。Table 3-12 に MONERS レジスタの表示内容を示します。

Table 3-12 MONERS の内容

領域名	名称	内容
MONERS	EST[2:0]	発生したエラー内容を表示します。 000：エラー発生無 001：Source アクセスエラー 010：Destination アクセスエラー 011：転送強制停止 100：DES アクセスエラー 101：DES オープンエラー その他：未定義
	DER	転送エラーの二重発生有無を示します。 0：転送エラーの二重発生がないことを示します。 1：転送エラーの二重発生があることを示します。
	ESTOP	エラーストップ状態であるかどうかを示します。 0：エラーストップ状態でないことを示します。 1：エラーストップ状態であることを示します。
	EHS	エラーを発生させた DES が HW 起動であるか SW 起動であるかを示します。 0：SW 起動もしくはそこからの Chain 起動による転送にてエラー発生 1：HW 起動もしくはそこからの Chain 起動による転送にてエラー発生
	ECH	エラーを発生させた DES が HW 起動の場合、HW チャネル番号を示します。
	EDESP	エラーを発生させた DES の DESP を示します。

MONERS レジスタを参照することにより、発生した転送エラー内容を確認することができます。MONERS.EST にエラー発生 がセットされた時に、CFG.ERINTE レジスタの設定により、ERINT 割込みを許可できます。ERINTE=1 の場合、NVIC 対する ERINT 割込み信号がアサートされます。MONERS レジスタの値と ERINT 割込みは、CMD レジスタに対する ERCLR コマンドによりクリアすることができます。以下に発生するエラー内容について説明します。

DES アクセスエラー

DSTC が、DESTP＋DESP の DES 領域を参照する際、以下のどちらかが発生すると、転送処理をエラー終了(DES アクセスエラー)します。MONERS.EST に 100 をセットします。この場合 DES クローズ処理は行いません。

- 演算した DES 領域アドレス値がオーバフロー (0x0000 0000-0xFFFF FFFF の範囲外)した場合
- DES 領域アクセス時に、システムよりバスエラー応答を受け取った場合

DES オープンエラー

DSTC が、DESTP＋DESP の領域を参照後、DES0,DES1 の値が以下のいずれかの条件に該当した場合、DES 指定値異常と判断し、転送処理をエラー終了(DES オープンエラー)します。MONERS.EST に 101 をセットします。この場合 DES クローズ処理は行いません。

- DV[1:0]==00　(DES 所有権なし)
- PCHK[3:0] != (DES0[27:24] ^ DES0[23:20] ^ DES0[19:16] ^ DES0[15:12] ^ DES0[11:8] ^ DES0[7:4])
  (DES0 パリティエラー)
- DES0 の予約領域 2bit のいずれかの bit が 1(指定値異常)

- TW[1:0]==11　(指定値異常)
- CHRS[5:4]==11 (指定値異常)
- (CHRS[5]==0) &&(CHRS[3]==0)&&(CHRS[1]==0) &&(CHLK ==1)　(Chain 指定異常)
- (MODE==0) && (CHRS[1:0] != 00)　（指定値異常）
- (MODE==0)&&(ORM==0x0000) && (IIN≧0x2000)　(モード 0 時カウント値許容範囲外)
- (MODE==0)&&(ORM≧0x8000) && (IIN≧0x4000)　(モード 0 時カウント値許容範囲外)
- (MODE==0)&&(ORM≧0x4000) && (IIN≧0x8000)　(モード 0 時カウント値許容範囲外)
- (MODE==0)&&(ORM≧0x2000) &&(IIN ==0x0000)　(モード 0 時カウント値許容範囲外)
- (MODE==1)&&(IIN!=0x00)&&(IRM==0x00)　(モード 1 時カウント値許容範囲外)
- (MODE==1)&&(IIN!=0x00)&&(IRM>IIN)　(モード 1 時カウント値許容範囲外)
- (MODE==0)&&(DV[1]==1)&&(ORL[0]==0)&& (ORM != 0x0001) (カウンタリロード指定異常)
- (MODE==1)&&(DV[1]==1)&&(ORL[0]==0)&& (ORM != 0x0001) (カウンタリロード指定異常)
- (MODE==1)&&(DV[1]==1)&&(ORL[0]==0) && (IRM != 0x01)　(カウンタリロード指定異常)
- (MODE==1)&&(DV[1]==1)&&(ORL[0]==0)&& (IIN != 0x01)　(カウンタリロード指定異常)
- (DV[1]==1)&&(SAC[0]==0)&&(ORL[1]==0)　(転送元アドレス・リロード指定異常)
- (DV[1]==1)&&(DAC[0]==0)&&(ORL[2]==0)　(転送先アドレス・リロード指定異常)

Source アクセスエラー

DSTC が、転送元アドレス領域にアクセスする際、以下のいずれかが発生すると、転送処理をエラー終了(Source アクセスエラー)します。MONERS.EST に 001 をセットします。同時に、DES0.ST に 01 を書き込み、DES クローズ処理を行います。

- 指定されている転送元開始アドレス値(SA)が、TW に対し Unaligned 値である場合
- インクリメント、デクリメント演算した転送元アドレス値がオーバフローした場合
- システムよりバスエラー応答を受け取った場合

Destination アクセスエラー

DSTC が、転送先アドレス領域にアクセスする際、以下のいずれかが発生すると、転送処理をエラー終了(Destination アクセスエラー)します。MONERS.EST に 010 をセットします。同時に、DES0.ST に 10 を書き込み、DES クローズ処理を行います。

- 指定されている転送先開始アドレス値(DA)が、TW に対し Unaligned 値である場合
- インクリメント、デクリメント演算した転送先アドレス値がオーバフローした場合
- システムよりバスエラー応答を受け取った場合

転送強制停止エラー

DSTC が転送動作中、CPU からスタンバイ移行コマンドを受け取ると、現在の転送処理をエラー終了(転送強制停止エラー)します。MONERS.EST に 011 をセットします。同時に、DES0.ST に 11 を書き込み、DES クローズ処理を行います。

DER と ESTOP の機能

転送エラーが発生した場合、エラーを発生させた DES の転送は中断し終了します。この後、ほかの DES に対する起動指示がある場合、その転送動作の開始有無は、CFG.ESTE(Error Stop Enable)レジスタの設定により選択することができます。

CFG.ESTE=0 の場合、転送エラーが発生した後、ほかの転送要求があれば、その転送動作を開始します。MONERS レジスタは、エラー情報を記録し、CPU からクリアされるまでは、そのエラー情報を保持しています。MONERS

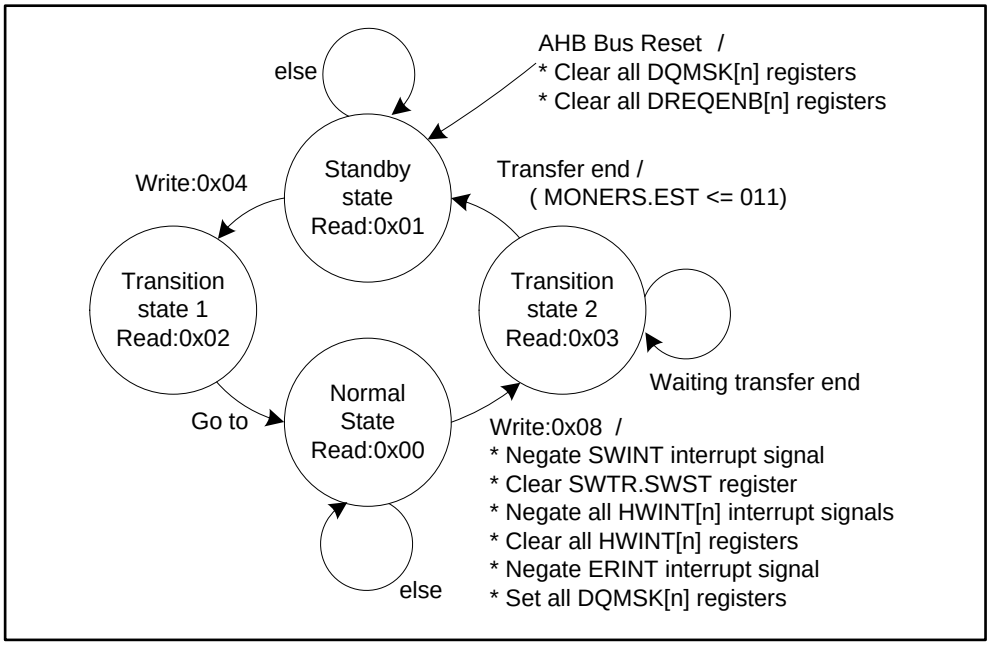
レジスタがエラー情報を保持(EST≠000)しており、CPU からクリアされるまでの間に、別の起動指示による転送がエラー終了した場合、DER(Double Error)レジスタに 1 をセットします。DER は、2 重エラーが発生したことを通知するレジスタです。2 回目のエラーについては、発生したことのみが通知されます。MONERS レジスタは、最初のエラー情報を保持しており 2 回目のエラー詳細内容については保持しません。また、3 回目以降のエラー発生については、MONERS レジスタには記録が保持されません。

CFG.ESTE=1 の場合、転送エラーが発生すると、エラーストップ状態に移行します。以降、ほかの転送要求を保留し、転送動作を開始しなくなります。MONERS.ESTOP(Error Stop)レジスタに 1 をセットし、エラーストップ状態であることを通知します。CPU から、CMD レジスタに対する ERCLR コマンドを発行すると、エラーストップ状態が解除され、保留していたほかの転送を再開します。

3.2.9 スタンバイ機能

低消費電力化のため、DSTC を動作させない場合に、DSTC の内部クロックを停止する機能(スタンバイ機能)をサポートしています。CMD レジスタに対するスタンバイ移行コマンド, スタンバイ解除コマンドにより、DSTC の状態を切り換えることができます。Figure 3-7 に、DSTC の状態遷移とスタンバイ関連コマンド発行時の動作内容の説明図を示します。

Figure 3-7 DSTC スタンバイ状態遷移図



DSTC には、スタンバイ状態, 遷移状態 1, 通常状態, 遷移状態 2 の 4 つの状態があります。CPU から、CMD レジスタの値を読み出すことで、DSTC がどの状態にあるかを確認できます。

バスリセット後、最初の状態は、スタンバイ状態です。CMD レジスタに対し、スタンバイ解除コマンド(0x04 の書込み)を発行すると、DSTC は遷移状態 1 を経て通常状態に移行します。

通常状態で、CMD レジスタに対し、スタンバイ移行コマンド(0x08 の書込み)を発行すると、DSTC は転送終了を待機するための遷移状態 2 に移行します。

遷移状態 2 で、DSTC の転送動作が行われていない場合は、直ちにスタンバイ状態に移行します。転送動作が行われている場合は、その転送を強制終了した後にスタンバイ状態に移行します。

スタンバイ移行コマンドの発行により、強制終了された転送がある場合、その転送の DES の ST に 11(強制終了コード)の書込みを行いクローズ処理します。また、MONERS.EST レジスタに 011 をセットします。HW 転送と SW 転送の両方の転送動作を受け付けている場合、両方の DES をクローズ処理します。

また、スタンバイ移行コマンドを発行した場合、以下の処理を同時に行います。

- SWINT 割込み信号をネゲートし、SWTR.SWST レジスタをクリアします。
- すべての HWINT[n]レジスタをクリアし、すべての HWINT[n]割込み信号をネゲートします。
- ERINT 割込み信号をネゲートします。
- すべての DQMSK[n]レジスタをセットし、HW 転送要求を抑止します。

スタンバイ移行コマンドの発行で、ERINT 割込み信号をネゲートしますが、MONERS レジスタの値は保持されます。スタンバイ移行コマンドにより強制停止された転送がある場合、MONERS レジスタの値を読出し、その転送を確認することができます。なお、MONERS レジスタのエラー履歴のクリアは、通常状態でないと行えません。スタンバイ解除コマンドにより、通常状態に復帰した後に、MONERS レジスタを ERCLR コマンドにより、クリアしてください。

DQMSK[n]は、バスリセット後の初期値はすべて 0 です。スタンバイ移行コマンド発行により、すべてに 1 がセットされます。その後、通常状態への復帰後に HW 転送を開始する場合、Peripheral のセットアップと DES の再構築が完了後、使用する DQMSK[n]をクリアしてください。

DSTC の各状態における制御レジスタへのアクセス可否を Table 3-13 に示します。表中"○"印は、そのレジスタアクセスが機能することを示します。"−"印は、そのレジスタアクセスが DSTC 側から無視されて機能しないことを示します。"×"印は、DSTC 自体の状態変化により、処理結果が不定となります。"×"印のアクセスを行うことは禁止です。

スタンバイ状態, 遷移状態 1, 遷移状態 2 で、SWTR レジスタに書込みを行い、新規の SW 転送を開始することはできない(書込みアクセスが無視されます)ため、注意してください。

Table 3-13 DSTC 各状態における制御レジスタのアクセス可否

レジスタ名	レジスタアクセス内容	Stand-by State	Normal State	Transition State 1,2
CMD レジスタ	CMD レジスタリード	○	○	○
	スタンバイ解除コマンド(ライト)	○	−	−
	スタンバイ移行コマンド(ライト)	−	○	−
	SWCLR・ERCLR・MKCLR コマンド(ライト)	−	○	×
HWDESP[n] レジスタ	リードアクセス	−	○	×
	ライトアクセス	−	○	×
その他制御レジスタ	リードアクセス	○	○	○
	ライトアクセス	−	○	×

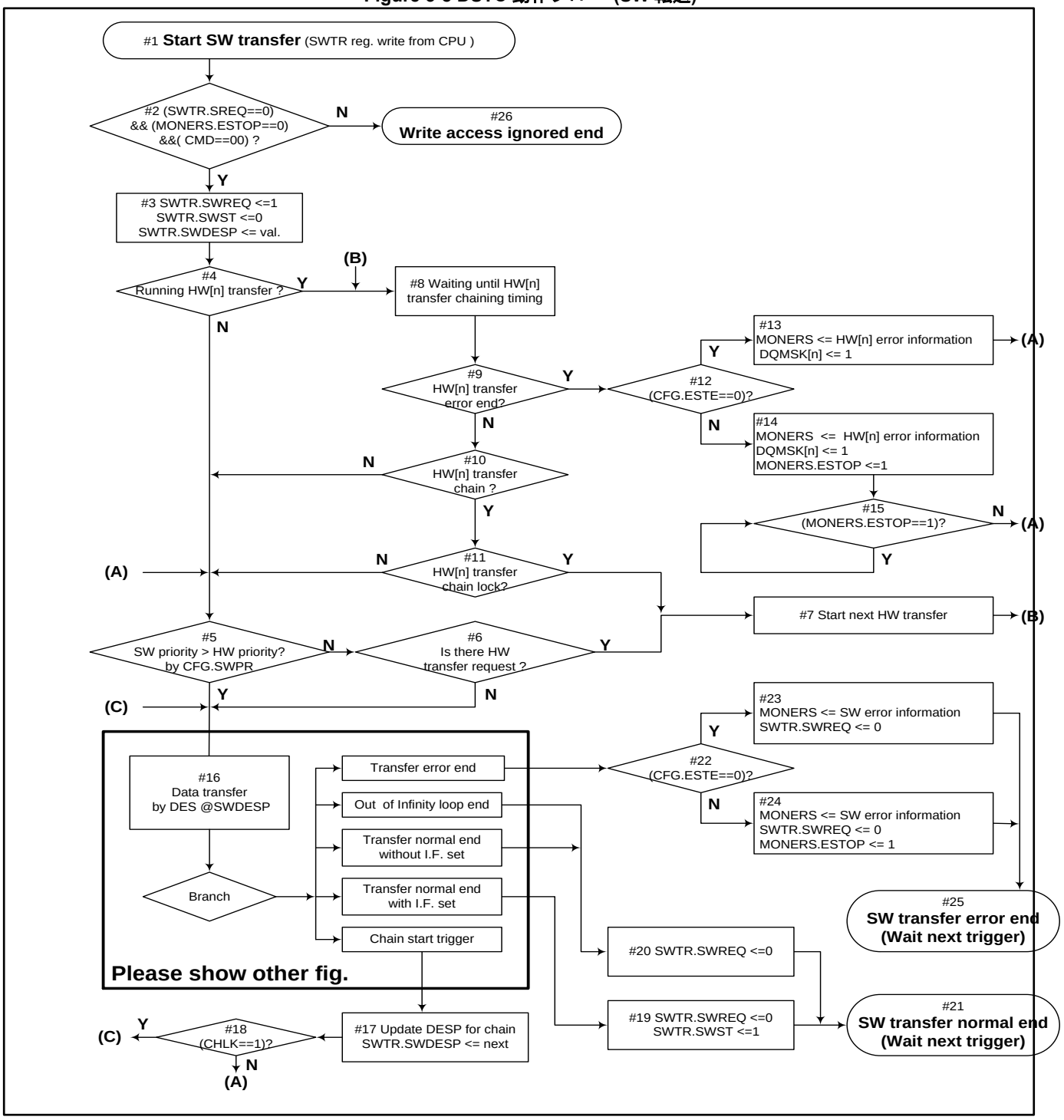
3.3 DSTC 動作フロー

DSTC の動作をフローチャートに沿って説明を行います。

3.3.1 SW 転送フロー

CPU から SW 起動指示後の DSTC の動作を以下に説明します。Figure 3-8 に DSTC の動作フローチャートを示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 3-8 DSTC 動作フロー (SW 転送)



#1 CPU からの SWTR レジスタへの書込みアクセスから開始します。

#2 (SWTR.SWREQ==0)&&(MONERS.ESTOP==0)&&(CMD==00)のレジスタ状態の場合、#3 へ、それ以外の場合#26 に進みます。

#3 SWTR.SWREQ に 1 をセットし、SWTR.SWST を 0 クリアします。SWTR.SWDESP に指定された値を格納します。

#4~#15 の処理は、Arbiter2 の動作処理内容と別 HW 転送の処理です。

#4 既に別の HW 転送を実行中の場合、#8 へ、それ以外の場合、#5 へ進みます。

#5 CFG.SWPR レジスタの設定に従い、SW 転送と HW 転送の優先判定を行います。SW 転送の優先順位が高い場合、#16 へ、それ以外の場合、#6 へ進みます。

#6 別の HW 転送の要求がある場合#7 へ、それ以外の場合、#16 へ進みます。

#7 別の HW 転送の転送を開始します。

#8 別の HW 転送が、DES の転送を終了するまで、#1 で起動した SW 転送の実行開始を待機します。

#9 別の HW 転送がエラー終了した場合、#12 へ、それ以外の場合、#10 へ進みます。

#10 別の HW 転送に Chain 起動転送が有る場合、#11 へ、それ以外の場合#5 へ進みます。

#11 別の HW 転送の Chain 起動転送がロックの場合、#7 へ、それ以外の場合#5 へ進みます。

#12 CFG.ESTE==0 の場合、#13 へ、それ以外の場合、#14 へ進みます。

#13 MONERS レジスタに、それまでにエラー履歴がない場合(EST[2:0]=000)は、エラーを発生させた別の HW 転送の DES のエラー情報を記録します。エラー履歴がある場合(EST[2:0]≠000)は、DER に 1 をセットします。#5 へ進みます。

#14 #13 と同じ処理を行います。同時に MONERS.ESTOP レジスタに 1 をセットし、#15 へ進みます。

#15 ESTOP レジスタが 1 の間は、#1 で起動した SW 転送の転送開始を保留します。CPU から CMD レジスタに対する ERCLR コマンドが発行され、ESTOP レジスタが 0 クリアされると、#5 へ進みます。

#16 太枠の部分は、指定された DESP の DES による DSTC の転送動作を示します。この部分の詳細は、「3.3.3 DESP 指定後の動作フロー」を参照して下さい。 SW 転送の場合、SWDESP により指定された DES により、転送動作を実行します。転送処理後、DSTC は図のような 5 種類の分岐を行います。

#17 Chain 起動の場合、SWTR.SWDESP の値を DSTC が更新します。

#18 CHLK=1 の場合、#16 へ進み Chain 起動された転送を連続実行します。それ以外の場合、#5 へ進みます。

#19 転送が正常終了し、割込みフラグセット指示有の場合、#19 の処理を行います。SWTR.SWREQ を 0 にクリアし、SWTR.SWST に 1 をセットします。

#20 転送が正常終了し、割込みフラグセット指示無の場合、#20 の処理を行います。SWTR.SWREQ を 0 にクリアします。

#21 #1 の SW 起動指示による SW 転送を終了します。DSTC は、新規または継続の起動指示の待機状態になります。SWTR.SWDESP には、転送を終了させた DES の DESP が保持されています。

#22 転送がエラー終了した場合、CFG.ESTE=0 の場合、#23 へ、それ以外の場合#24 へ進みます。

#23 MONERS レジスタに、それまでにエラー履歴がない場合は、エラーを発生させた SW 転送の DES のエラー情報を記録します。エラー履歴がある場合は、DER に 1 をセットします。SWTR.SWREQ を 0 にクリアします。

#24 #23 と同じ処理を行います。同時に MONERS.ESTOP レジスタに 1 をセットし、他の HW 転送の転送開始を保留します。

#25 #1 の SW 起動指示による SW 転送をエラー終了します。CHRS の値によらず、SWTR.SWST はセットしません。DSTC は、新規の起動指示の待機状態になります。

#26　#1 の CPU からの SWTR レジスタへの書込みアクセス時、#2 の条件を満たさない場合、DSTC は、SWTR レジスタへの書込みアクセスを無視します。SW 起動指示は受け付けられません。

SW 転送時の DSTC 制御に関する補足事項

#2 の条件を満たさない場合、すなわち、それ以前に、SW 起動指示が行われており、その SW 転送が終了していない場合(SWREQ≠0)、通常状態以外の場合(CMD≠00)、エラーストップ状態の場合(ESTOP≠0)は、DSTC は、CPU から新規の SW 起動指示を無視し、受け付けないので、注意してください。

特に、CFG.ESTE=1 で使用する場合は注意が必要です。別の HW 転送により、DSTC がエラーストップした場合、新規の SW 起動指示(レジスタ書込み)は無視され、SWREQ に 1 がセットされません。このため、SWTR レジスタに書込み後、SWTR.SWREQ から 0 を読出した場合に、SW 起動指示が無視されたのか、既に SW 転送が終了しているのかの判別ができないことがあります。上記理由により、CFG.ESTE=1 で使用する場合、SW 転送の DES0.CHRS は、Chain 起動を行わない場合は、常に SWTR.SWST をセットする指定で使用してください。この指定の場合、SWTR レジスタの書込み後、SWREQ と SWST の両方の読出し値が 0 の場合、転送要求が受け付けられなかったことを示します。転送要求が受け付けられていれば、SWREQ と SWST のいずれかが 1 であるため、判別をすることが可能です。

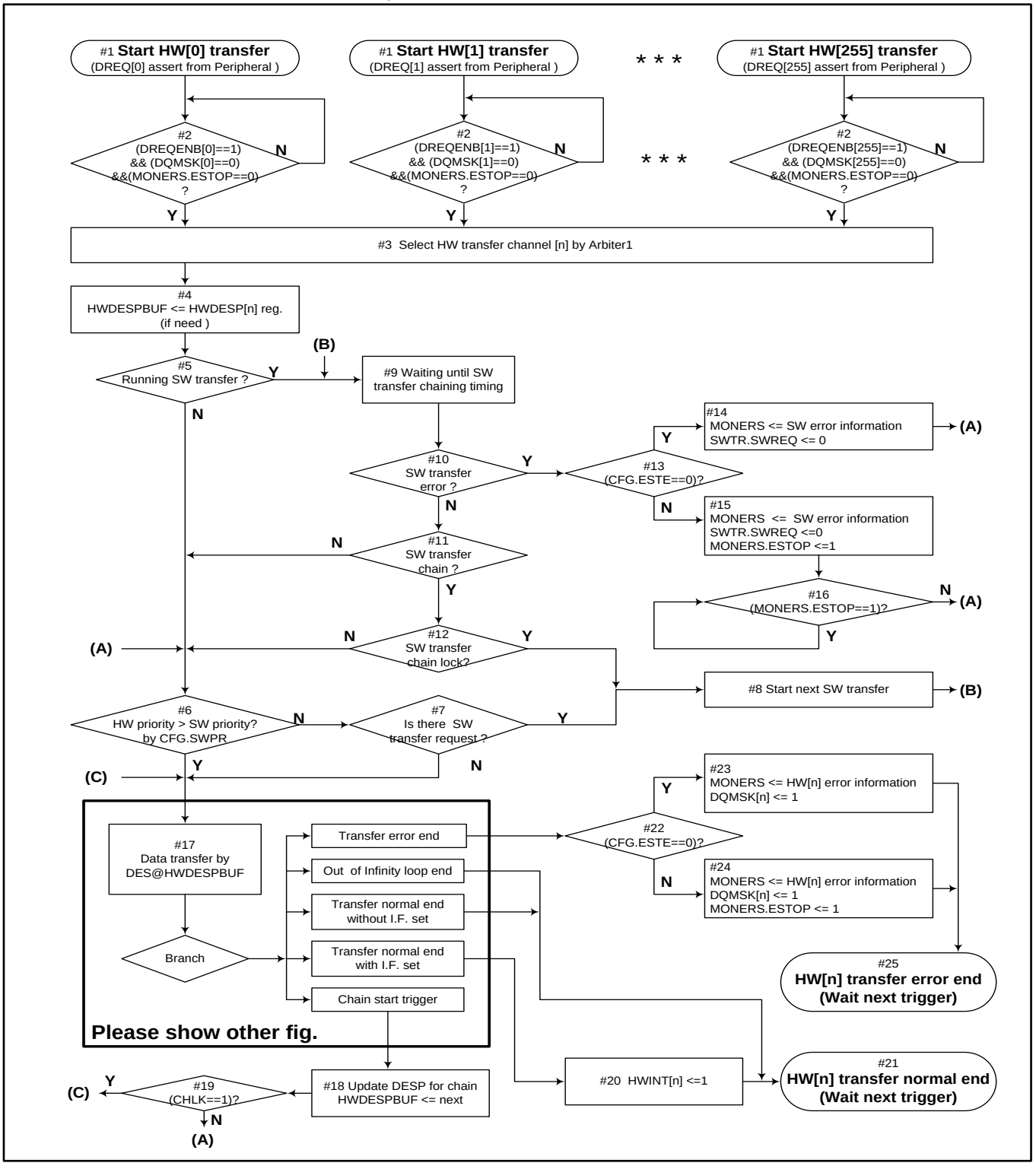
SWST を利用し SWINT 割込み信号をアサートしている場合、割込み処理の中で SWCLR コマンドにより、SWST を 0 クリアしてください。SWST の 0 クリアを行わなくても、SWTR レジスタへの書込みによる新規の SW 起動指示は可能です。但し、#3 の処理で、SWST は必ず 0 クリアされ、SWINT 割込み信号がネゲートされます。

#4 で、既に他の HW 転送を実施している場合、また、その HW 転送の Chain 起動がロックされている場合は、SW 起動の優先順位設定が高くても、SW 転送を開始するまでに時間を要する場合があるため、注意してください。

3.3.2 HW 転送フロー

Peripheral から HW 起動指示後の DSTC の動作を以下に説明します。Figure 3-9 に DSTC の動作フローチャートを示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 3-9 DSTC 動作フロー(HW 転送)



#1 Peripheral からの DREQ[n]信号のアサートから開始します。

#2 (DREQENB[n]==1)&& (DQMSK[n]==0) &&(MONERS.ESTOP==0)のレジスタ状態の場合、#3 へ進みます。DQMSK[n]レジスタ、ESTOP レジスタがセットされている場合、DSTC は、Peripheral からの DREQ[n]信号を無視し、転送開始を保留します。

#3 #3 の動作は、Arbiter1 の動作です。複数の HW チャネルから転送要求がある場合、転送を実行する HW チャネル番号(n)を選択します。他のチャネルの HW 転送要求は、選択した HW[n]転送が、正常終了、エラー終了、起動指示待ち状態になるまで、保留します。

#4 選択したチャネル番号(n)に基づき、HWDESP[n]レジスタの DESP 値を HWDESPBUF に格納します。チャネル番号が前回参照と同じで、HWDESPBUF の値が有効の場合、HWDESP[n]レジスタの参照は省略します。

#5~#16 の処理は、Arbiter2 の動作処理内容と別 SW 転送の処理です。「3.3.1 SW 転送フロー」の#4~#15 と同様の処理を行います。別途、SW 起動の要求があり、SW 起動の優先順位が高い、もしくは SW 転送の Chain 起動がロックされている場合、SW 転送を先に処理します。また、SW 転送がエラー終了すれば、MONERS レジスタに、SW 転送のエラー情報を記録します。SW 転送のエラー終了により、ESTOP となった場合、HW[n]の HW 転送開始を保留します。

#17 太枠の部分は、指定された DESP の DES による DSTC の転送動作を示します。この部分の詳細は、「3.3.3 DESP 指定後の動作フロー」を参照して下さい。HW 転送の場合、HWDESP により指定された DES により、転送動作を実行します。転送処理後、DSTC は図のような 5 種類の分岐を行います。

#18 Chain 起動の場合、HWDESPBUF を更新します。

#19 CHLK=1 の場合、#17 へ進み Chain 起動された転送を連続実行します。それ以外の場合、#6 へ進みます。

#20 転送が正常終了し、割込みフラグセット指示有の場合、HWINT[n]に 1 をセットします。

#21 #1 の HW 起動指示による転送を終了します。DSTC は、新規または継続の起動指示の待機状態になります。#3 で他のチャネルの HW 起動指示を保留している場合、Arbiter1 が転送を実行するチャネルを選択し、その処理が#4 に進みます。

#22 転送がエラー終了した場合、CFG.ESTE=0 の場合、#23 へ、それ以外の場合、#24 へ進みます。

#23 MONRES レジスタに、それまでにエラー履歴がない場合、実行している HW 転送のエラー情報を記録します。エラー履歴がある場合、DER に 1 をセットします。また、DQMSK[n]レジスタに 1 をセットし、以降の HW チャネル n の転送要求を抑止します。

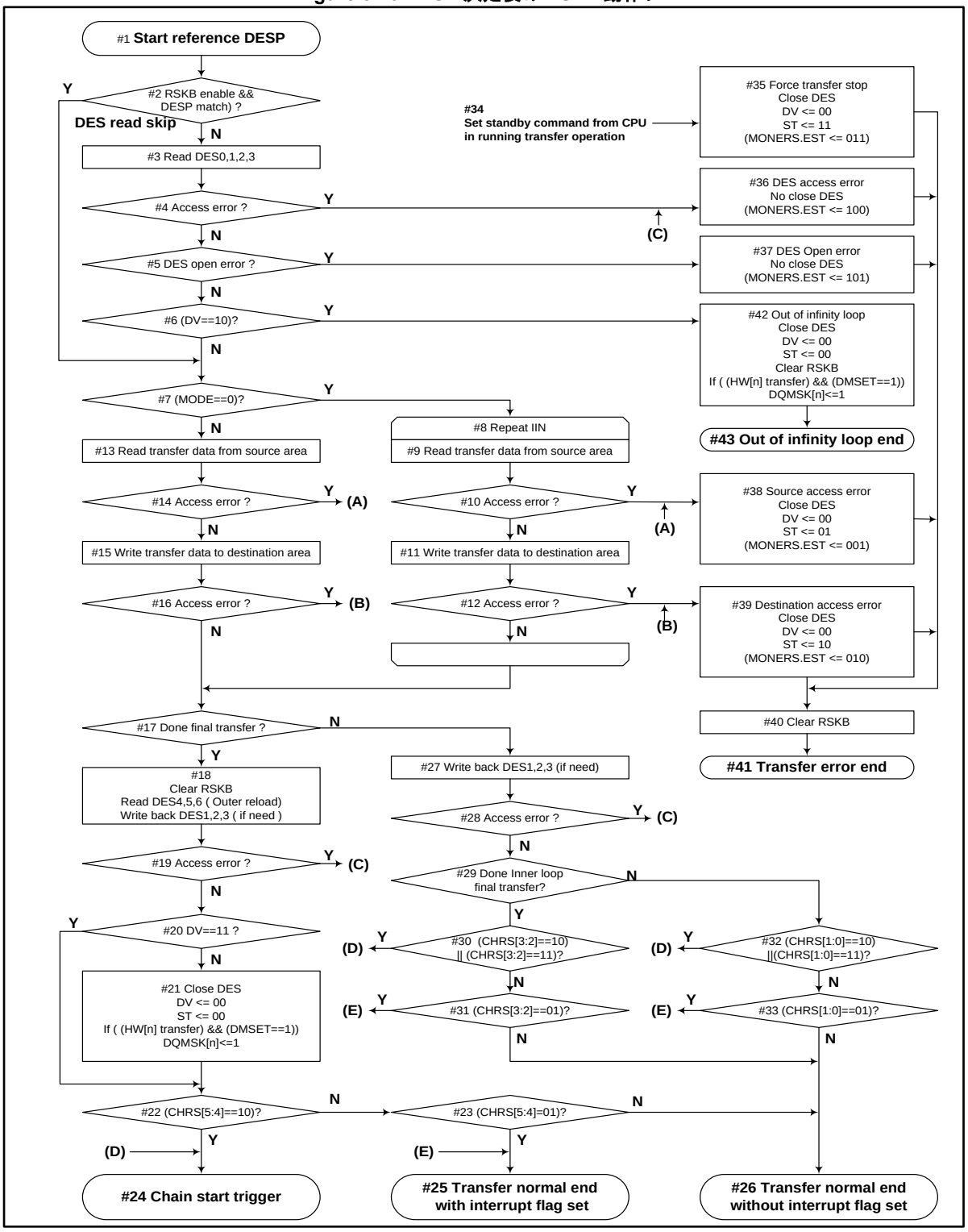
#24 #23 と同じ処理を行います。同時に、MONERS.ESTOP レジスタに 1 をセットし、他の起動転送の開始を保留します。

#25 #1 の HW 起動指示による転送をエラー終了します。CHRS の値によらず、HWINT[n]レジスタはセットしません。DSTC は、新規の起動指示の待機状態になります。#3 で他のチャネルの HW 起動指示が保留されている場合、Arbiter1 が転送を実行するチャネルを選択します。その処理は、#4 に進みます。

3.3.3 DESP 指定後の動作フロー

DESP 指定後の DSTC の動作を以下に説明します。Figure 3-10 に DESP 指定後の DSTC の動作フローチャートを示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 3-10 DESP 決定後の DSTC 動作フロー



#1　Arbiter2 により、指定された DESP の参照から開始します。

#2　リードスキップバッファの機能が有効（CFG.RBDIS=0）であり、かつ前回参照している DESP と同じ DESP の場合、メモリ領域の DES 参照をスキップします。#7 へ進みます。そうでない場合、#3 へ進みます。

#3~4　指定された DESTP+DESP の領域の DES を読出します。DES 領域の参照時アクセスエラーが発生した場合、#36 へ、それ以外の場合、#5 へ進みます。

#5　DES 内容の確認を行います。DES オープンエラーが発生した場合、#37 へ、それ以外の場合、#6 へ進みます。

#6　DES0.DV=10 の場合、#42 へ、それ以外の場合、#7 へ進みます。

#7　DES0.MODE=0 の場合、#8 へ、それ以外の場合、#13 へ進みます。

#8~12　モード 0 の転送が指定されている場合、DES1.IIN に指定されている回数の転送を連続して行います。転送元アクセス時アクセスエラーが発生した場合、#38 へ、転送先アクセス時アクセスエラーが発生した場合、#39 へ、それ以外の場合、#17 へ進みます。

#13~16　モード 1 の転送が指定されている場合、1 回の転送を行います。転送元アクセス時アクセスエラーが発生した場合、#38 へ、転送先アクセス時アクセスエラーが発生した場合、#39 へ、それ以外の場合、#17 へ進みます。

#17　IIN×ORM 回の転送を終了している場合、（内部転送回数カウンタの値が、ORM=1,IRM=1 の場合）#18 へ、それ以外の場合、#27 へ進みます。

#18~19　リードスキップバッファのクリアを行い、DES0.ORL の指定に従い、必要な値を DES4-6 領域から読出し、DES1-3 領域へライトバックします。DES 領域の参照更新時アクセスエラーが発生した場合、#36 へ、それ以外の場合、#20 へ進みます。

#20　DES0.DV=11 の場合、#22 へ、DES0.DV=01 の場合、#21 へ進みます。（DES0.DV=00 の場合は、#5 で#37 に分岐済みです。DES0.DV=10 の場合、#6 で#42 に分岐済みです。）

#21　DES のクローズ処理を行います。DES0.DV=00、DES0.ST=00 の更新を行います。HW 起動指示の転送（もしくは HW 起動指示からの Chain 転送）であって、DES0.DMSET=1 の場合は、DQMSK[n]に 1 をセットし、それ以降のチャネル n の HW 転送要求を抑止します。

#22~23　DES0.CHRS[5:4]=10 の場合、#24 へ、DES0.CHRS[5:4]=01 の場合、#25 へ、DES0.CHRS[5:4]=00 の場合、#26 へ進みます。（DES0.CHRS[5:4]=11 の場合は、#5 で#37 に分岐済みです。）

#24　Chain 起動転送を行います。#1 で指定された DESP の転送は正常終了です。以降の動作は前節を参照ください。

#25　割込みフラグをセットする条件で、#1 で指定された DESP の転送は正常終了です。以降の動作は前節を参照ください。

#26　割込みフラグをセットしない条件で、#1 で指定された DESP の転送は正常終了です。以降の動作は前節を参照ください。

#27~28　次回起動指示時の転送に必要な値を DES1-3 領域へライトバックします。DES 領域の更新時アクセスエラーが発生した場合、#36 へ、それ以外の場合、#29 へ進みます。

#29　MODE=0 の場合は、必ず#30 に分岐します。MODE=1 の場合で、内ループ回数の転送を終了している場合、（内部転送回数カウンタの値が、ORM≠1,IRM=1 の場合）#30 へ、それ以外の場合、#32 へ進みます。

#30~31　DES0.CHRS[3:2]=10 もしくは 11 の場合、#24 へ、DES0.CHRS[3:2]=01 の場合、#25 へ、DES0.CHRS[3:2]=00 の場合、#26 へ進みます。

#32~33　DES0.CHRS[1:0]=10 もしくは 11 の場合、#24 へ、DES0.CHRS[1:0]=01 の場合、#25 へ、DES0.CHRS[1:0]=00 の場合、#26 へ進みます。

#34　転送動作中、CPU よりスタンバイ移行コマンドが発行された場合、転送処理を中断します。#35 へ進みます。

#35　転送強制停止の場合、DES のエラークローズ処理を行います。DES0.DV=00、DES0.ST=11 の更新を行います。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 011 をセットします。

#36　DES アクセスエラーの場合、DES のエラークローズ処理は行いません。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 100 をセットします。

#37　DES オープンエラーの場合、DES のエラークローズ処理は行いません。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 101 をセットします。

#38　転送元アクセスエラーの場合、DES のエラークローズ処理を行います。DES0.DV=00、DES0.ST=01 の更新を行います。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 001 をセットします。

#39　転送先アクセスエラーの場合、DES のエラークローズ処理を行います。DES0.DV=00、DES0.ST=10 の更新を行います。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 010 をセットします。

#40～#41　リードスキップバッファのクリアを行います。#1 で指定された DESP の転送はエラー終了です。以降の動作は前節を参照ください。

#42～#43　リードスキップバッファのクリアを行います。DES のクローズ処理を行います。DES0.DV=00、DES0.ST=00 の更新を行います。HW 起動指示の転送（または HW 起動指示からの Chain 転送）であって、DES0.DMSET=1 の場合は、DQMSK[n]に 1 をセットし、それ以降の HW 転送要求を抑止します。#1 で指定された DESP の転送は無限ループアウト終了です。以降の動作は前節を参照ください。

4. DSTC の動作例と制御例

DSTC の動作例と制御例を説明します。

4.1. 転送動作例 1
4.2. 転送動作例 2
4.3. 転送動作例 3
4.4. 転送動作例 4
4.5. 転送動作例 5
4.6. DSTC 制御例

4.1 転送動作例 1

転送動作例 1 の説明を行います。この例は、モード 0 の SW 転送です。

転送開始時の DES 設定値

Table 4-1 に、転送動作例 1 の DES の指定内容を示します。ORL[2:0]=101 を指定しているので、DES5 の領域は存在しません。DES は、DES0～DES4, DES6 の 6word の構成です。(DES6 のアドレスが DESP+0x0014 であることに注意してください。)

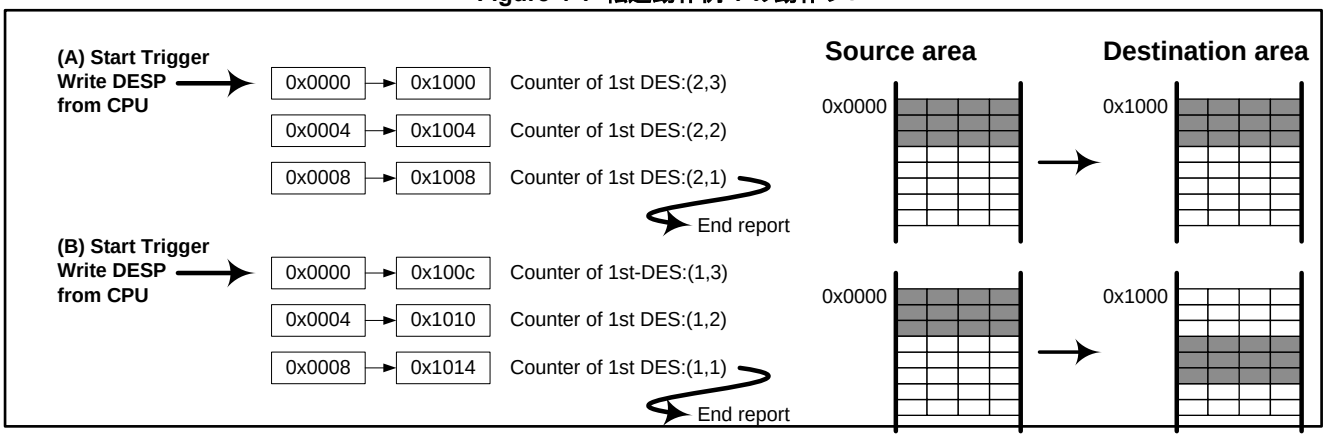
Table 4-1 転送動作例 1 の転送開始時 DES 値

Address	DES No.	値
DESP+0x0000	DES0	DES0＝0x901406A1 DV=01：転送終了時に DES クローズ MODE=0, TW=10：モード 0、32bit（Word）転送 ORL=101：DES1<=DES4,DES3<=DES6 の OuterReload SAC=001：TW×1 のインクリメント InnerReload 有 DAC=000：TW×1 のインクリメント InnerReload 無 CHRS=010100：Chain 起動無、割込みフラグセット有 DMSET=0：SW 転送なので 0 指定 CHLK=0：Chain ロック無 ACK=00：SW 転送なので 00 指定 PCHK=1001：Parity
DESP+0x0004	DES1	ORM = 0x0002, IIN = 0x0003
DESP+0x0008	DES2	SA=0x0000 0000
DESP+0x000C	DES3	DA=0x0000 1000
DESP+0x0010	DES4	ORM = 0x0002, IIN = 0x0003（DES1 と同じ値）
DESP+0x0014	DES6	DA=0x0000 1000（DES3 と同じ値）

転送動作フロー

Figure 4-1 に転送動作例 1 の転送動作フローを示します。図の(A),(B)の起動指示は、CPU からの SWTR レジスタへの DESP の書込みアクセスを示します。

Figure 4-1 転送動作例 1 の動作フロー



DSTC は、(A)の起動指示により、DES の転送を開始します。図の四角枠の中の値は転送元アドレスと転送先アドレスを示します。0x0000 番地から 0x1000 番地への 32bit 転送から開始します。IIN=3 回の 32bit 転送を連続して行います。DES の転送回数カウンタは、転送開始時は、外ループカウンタ残量(ORM)=2, 内ループカウンタ残量(IRM)=3 です。図ではこの転送回数カウンタの残量値を(2,3)と表記しています。3 回の転送後、転送回数カウンタは(2,1)となります。ORM≠1, IRM=1 ですので、次の処理判断に CHRS[3:2]の値を使用します。CHRS[3:2]=01 の指定により、SWTR.SWST をセットし、次の起動指示を待機します。

DSTC は、(B)の起動指示により、DES の転送を再開します。SA にはアドレスの InnerReload が適用されます。DA は継続インクリメントです。0x0000 番地から 0x100C 番地への 32bit 転送から再開します。IIN=3 回の転送を連続して行います。転送回数カウンタは、(1,3)よりカウント開始し、3 回の転送後、(1,1)です。ORM=1, IRM=1 のため、DES の DV=01 の設定により、DES のクローズ処理を行います。次の処理判断に CHRS[5:4]の値を使用します。CHRS[5:4]=01 の指定により、SWTR.SWST をセットします。

転送終了後の DES 格納値

転送動作例 1 の転送が正常に終了すると、DES の値は、Table 4-2 のように更新されます。表中太字の個所の値は、転送開始前とは異なる値です。ORL の指定により、DES1, DES3 には、DES4, DES6 の値がコピーされ、転送開始前と同じ値が復帰します。DES2 は OR[1]=0 ですが、InnerReload の指定により、転送開始前と同じ値になります。DV の値を 00 に更新し、DES の所有権を CPU に返却します。ST の値を 00 に更新し、転送の正常終了を通知します。

次回、この DES を利用して転送をする場合は、CPU から DV の値を更新する必要があります。

Table 4-2 転送動作例 1 の転送終了後 DES 値

DES No.	値
DES0	**DV=00、ST=00** その他の値は転送開始前と同じ値
DES1	転送開始前と同じ値
DES2	転送開始前と同じ値
DES3	転送開始前と同じ値
DES4	転送開始前と同じ値
DES6	転送開始前と同じ値

DSTC からの DES の処理

転送動作例 1 における DSTC からの DES 処理内容を以下に記載します。

(A)の起動指示後:

DES0 から転送指示内容を読出します。
DES1 から(2,3)を読出します。
DES2 から 0x0000 を読出します。.
DES3 から 0x1000 を読出します。

1 回目の転送終了後：:

DES1 に (1,3)を書き戻します。
DES2 は、同じ値なので、書き戻しを行いません。
DES3 に、0x100C を書き戻します。,

(B)の起動指示後:

* DES0 から転送指示内容を読出します。.
* DES1 から(1,3)を読出します。
* DES2 から 0x0000 を読出します。

* DES3 から 0x100C を読出します。

2 回目の転送終了後：:

OuterReload のため、DES4 から、DES1 に (2,3) をコピーします。
DES2 は、同じ値なので、書き戻しを行いません。
OuterReload のため、DES6 から、DES3 に 0x1000 をコピーします。
DES クローズのために、DES0 に書込みを行います。

(A)の起動指示と(B)の起動指示の間に、他の転送要求が無い場合、DSTC は、2 回目の転送の際、リードスキップバッファに格納されている DES0.1,2,3 の値を使用します。このため、上記で*印の付いている DES 処理は、スキップされます。詳細は、「3.3.3 DESP 指定後の動作フロー」を参照してください。

補足

(B)の起動指示は、(A)の起動指示による転送が終了し、起動指示待ち状態になってからでないと発行できません。SWTR.SWREQ=1 の状態では、SWTR レジスタへの書込み(SW 起動指示)は、無視されます。

(A)の起動指示による転送が終了し、起動指示待ち状態になれば、他の DES に対して、(B)以外の SW 起動指示を発行することができます。他の DES の SW 転送処理が終了後、SWTR レジスタへ同じ DESP を書き込むと、(B)の起動指示となり、(A)から継続した転送を再開します。

(A)の起動指示による転送終了後、(B)の起動指示が、絶対に必要な訳ではありません。(B)の起動指示を行わず、転送を継続実施しないのであれば、(A)の転送処理が終了後（DES がクローズされていない状態であっても)、CPU がその DES 領域の書換えを行うことは問題ありません。

4.2 転送動作例 2

転送動作例 2 の説明を行います。この例は、モード 1 の HW 転送です。

転送開始時の DES 設定値

Table 4-3 に、転送動作例 2 の DES の指定内容を示します。ORL[2:0]=000 を指定しているため、DES4～DES6 の領域は存在しません。DES は、DES0～DES3 の 4word の構成です。

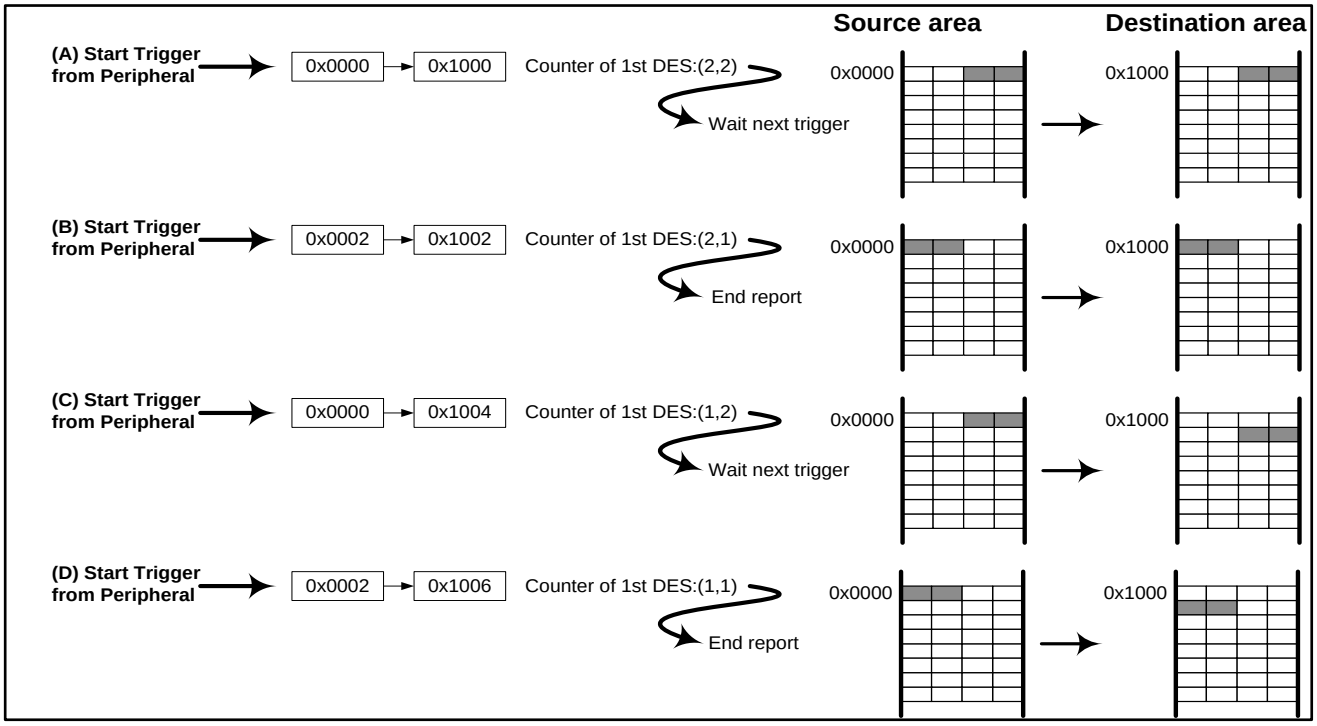
Table 4-3 転送動作例 2 の転送開始時 DES 値

Address	DES No.	値
DESP+0x0000	DES0	DES0＝0x01140511 DV=01：転送終了時に DES クローズ MODE=1,TW=01：モード 1、16bit（Half word）転送 ORL=000：OuterReload 無 SAC=001：TW×1 のインクリメント InnerReload 有 DAC=000：TW×1 のインクリメント InnerReload 無 CHRS=010100：Chain 起動無、割込みフラグセット有 DMSET=0：DES クローズ時に DQMSK[n]をセットしない CHLK=0：Chain ロック無 ACK=01：DREQ 信号から直接起動される DES なので 01 PCHK=0000：Parity
DESP+0x0004	DES1	ORM = 0x0002、IIN = 0x02、IRM=0x02
DESP+0x0008	DES2	SA=0x0000 0000
DESP+0x000C	DES3	DA=0x0000 1000

転送動作フロー

Figure 4-2 に転送動作例 2 の転送動作フローを示します。図の(A)の起動指示は、Peripheral からの DREQ[n]信号のアサートが該当します。起動前に DREQ[n]に対する DREQENB[n]、DQMSK[n]、HW-DESP[n]レジスタの値を DSTC に設定しておく必要があります。

Figure 4-2 転送動作例 2 の動作フロー



DSTC は、(A)の起動指示により、DES の転送を開始します。0x0000 番地から 0x1000 番地への 16bit 転送を 1 回行います。転送回数カウンタは、(2,2) です。IRM≠1 のため、DES の CHRS[1:0]=00 に従い、HWINT[n]をセットしません。次の起動指示を待機します。

DSTC は、 (B)の起動指示により、DES の転送を再開します。0x0002 番地から 0x1002 番地への 16bit 転送を 1 回行います。転送回数カウンタは、(2,1)です。ORM≠1、IRM=1 のため、DES の CHRS[3:2] =01 に従い、HWINT[n]をセットします。次の起動指示を待機します。

DSTC は、(C)の起動指示により、DES の転送を再開します。SA にはアドレスの InerReload が適用されます。DA は継続インクリメントです。0x0000 番地から 0x1004 番地への 16bit 転送を 1 回行います。転送回数カウンタは、(1,2)です。IRM≠1 のため、DES の CHRS[1:0]=00 に従い、HWINT[n]をセットしません。次の起動指示を待機します。

DSTC は、(D)の起動指示により、DES の転送を再開します。0x0002 番地から 0x1006 番地への 16bit 転送を 1 回行います。転送回数カウンタは、(1,1)です。ORM=1、IRM=1 のため、DES の DV=01 の設定により、DES のクローズ処理を行います。DES の CHRS[5:4] =01 に従い、HWINT[n]をセットします。

転送終了後の DES 格納値

転送動作例 2 の転送が正常終了すると、DES の値は、Table 4-4 のように更新されます。表中太字の個所の値は、転送開始前とは異なる値です。ORL=000 が指定されているため、この値のままでは、上記の転送と同じ転送を行うことはできません。CPU から DES の再構築を行う必要があります。

Table 4-4 転送動作例 2 の転送終了後 DES 値

DES No.	値
DES0	**DV=00、ST=00**　その他の値は転送開始前と同じ値
DES1	**ORM = 0x0001, IRM = 0x01**, IIN は転送開始前と同じ値
DES2	転送開始前と同じ値
DES3	**DA=0x0000 1006**

4.3 転送動作例 3

転送動作例 3 の説明を行います。この例は、後続 DES の Chain 起動を用いる例を示します。

転送開始時の DES 設定値

転送動作例 3 は、Chain 起動を用いて、0x0000~0x00ff に存在するデータに対し、並べ替えを行い、0x0100~0x01FF の領域に転送する動作を示します。4 個の DES を使用します。それぞれを先頭から、1st-DES、2nd-DES、3rd-DES、4th-DES と呼称します。Table 4-5 にそれぞれの指定内容を示します。各 DES に、DES4 は存在しません。表では DES のアドレスを省略していますが、4 個の DES はメモリ上に順に隣接して配置されている必要があります。

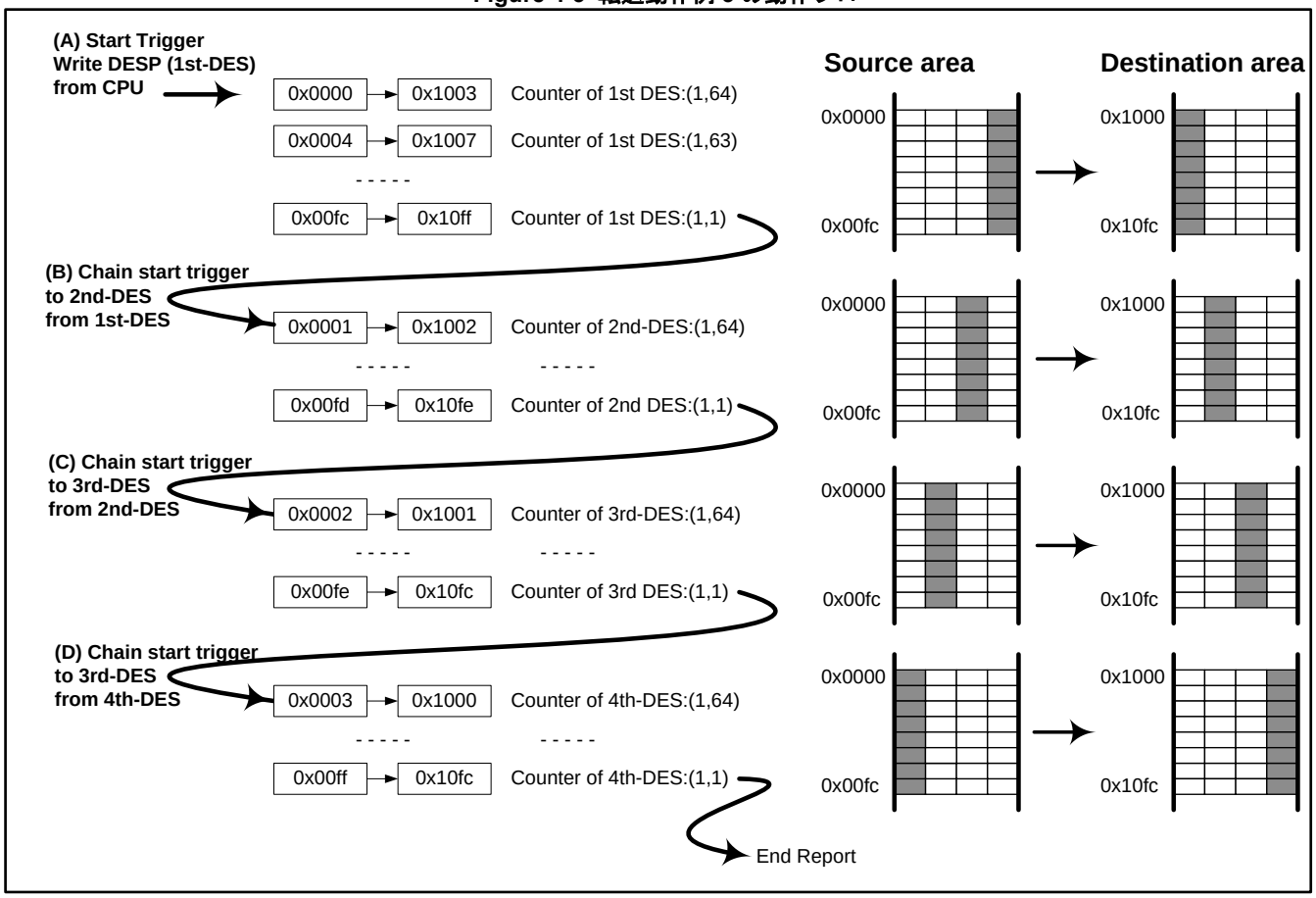
Table 4-5 転送動作例 3 の転送開始時 DES 値

領域	DES No.	値
1st-DES	DES0	DES0=0x702090C3 DV=11：転送終了時に DES クローズしない MODE=0,TW=00：モード 0、8bit（Byte）転送 ORL=110：DES2<=DES5,DES3<=DES6 の OuterReload SAC=100：TW×4 のインクリメント InnerReload 無 DAC=100：TW×4 のインクリメント InnerReload 無 CHRS=100000：後続 DES の Chain 起動有、割込みフラグセット無 DMSET=0：SW 転送なので 0 指定 CHLK=0：Chain ロック無 ACK=00：SW 転送なので 00 指定 PCHK=0111：Parity
	DES1	ORM = 0x0001, IIN = 0x0040
	DES2	SA=0x0000 0000
	DES3	DA=0x0000 1003
	DES5,6	それぞれ、1st-DES の DES2,3 と同じ値
2nd-DES	DES0	1st-DES の DES0 と同じ値
	DES1	1st-DES の DES1 と同じ値
	DES2	SA=0x0000 0001
	DES3	DA=0x0000 1002
	DES5,6	それぞれ、2nd-DES の DES2,3 と同じ値
3rd-DES	DES0	1st-DES の DES0 と同じ値
	DES1	1st-DES の DES1 と同じ値
	DES2	SA=0x0000 0002
	DES3	DA=0x0000 1001
	DES5,6	それぞれ、3rd-DES の DES1,DES2,DES3 と同じ値
4th-DES	DES0	DES0=0x401090C3 CHRS=010000：Chain 起動無、割込みフラグセット有 PCHK=0100：Partiy 他の設定は、1st-DES の DES0 と同じ値
	DES1	1st-DES の DES1 と同じ値
	DES2	SA=0x0000 0003
	DES3	DA=0x0000 1000
	DES5,6	それぞれ、4th-DES の DES2,3 と同じ値

転送動作フロー

Figure 4-3 に転送動作例 3 の転送動作フローを示します。図の(A)の起動指示は、CPU からの SWTR レジスタへの 1st-DES の DESP 書込みアクセスを示します。図の(B),(C),(D)の起動指示は、Chain 起動指示です。

Figure 4-3 転送動作例 3 の動作フロー



DSTC は、(A)の起動指示により、1st-DES の転送を開始します。0x0000 番地から 0x1003 番地への 8bit 転送を行い、次に、0x0004 番地から 0x1007 番地への 8bit 転送を行います。この順で IIN=64 回の転送を連続して行います。1st-DES の転送回数カウンタは、(1,64）からカウント開始し、64 回の転送後、(1,1)となります。1st-DES の DV=11 に従い、1st-DES のクローズ処理は行いません。1st-DES の CHRS[5:4]=10 に従い、後続の 2nd-DES の転送に Chain 起動指示が発生します。

DSTC は、(B)の Chain 起動指示により、2nd-DES の転送を開始します。64 回の 8bit 転送後、カウンタ値は(1,1)となります。2nd-DES の DV=11 に従い、2nd-DES のクローズ処理は行いません。2nd-DES の CHRS[5:4]=10 に従い、後続の 3rd-DES の転送に Chain 起動指示が発生します。

DSTC は、(C)の Chain 起動指示により、3rd-DES の転送を開始します。64 回の 8bit 転送後、カウンタ値は(1,1)となります。3rd-DES の DV=11 に従い、3rd-DES のクローズ処理は行いません。3rd-DES の CHRS[5:4]=10 に従い、後続の 4th-DES の転送に Chain 起動指示が発生します。

DSTC は、(D)の Chain 起動指示により、4th-DES の転送を開始します。64 回の 8bit 転送後、カウンタ値は(1,1)となります。4th-DES の DV=11 に従い、4th-DES のクローズ処理は行いません。4th-DES の CHRS[5:4]=01 に従い、SWTR.SWST をセットし、転送終了します。

転送動作例 3 のように、Chain 起動機能を使用すると複数の DES に定義された転送を、先頭の DES への起動指示のみで、一括して実行することができます。

転送終了後の DES 格納値

転送動作例 3 の転送が正常終了すると、DES の値は、ORL と DV=11 の指定により、すべての DES 領域が転送開始時と同じ値になります。DES のクローズ処理を行わないため、DV,ST の更新を行いません。次回転送時は、起動指示のみで、同じ転送を実行することができます。

4.4 転送動作例 4

転送動作例 4 の説明を行います。

転送開始時の DES 設定値

転送動作例 4 を以下に説明します。この例では、CHRS=11 を指定した際の現在の DES の再 Chain 起動について説明します。Table 4-6 に DES の指定内容をしめします。

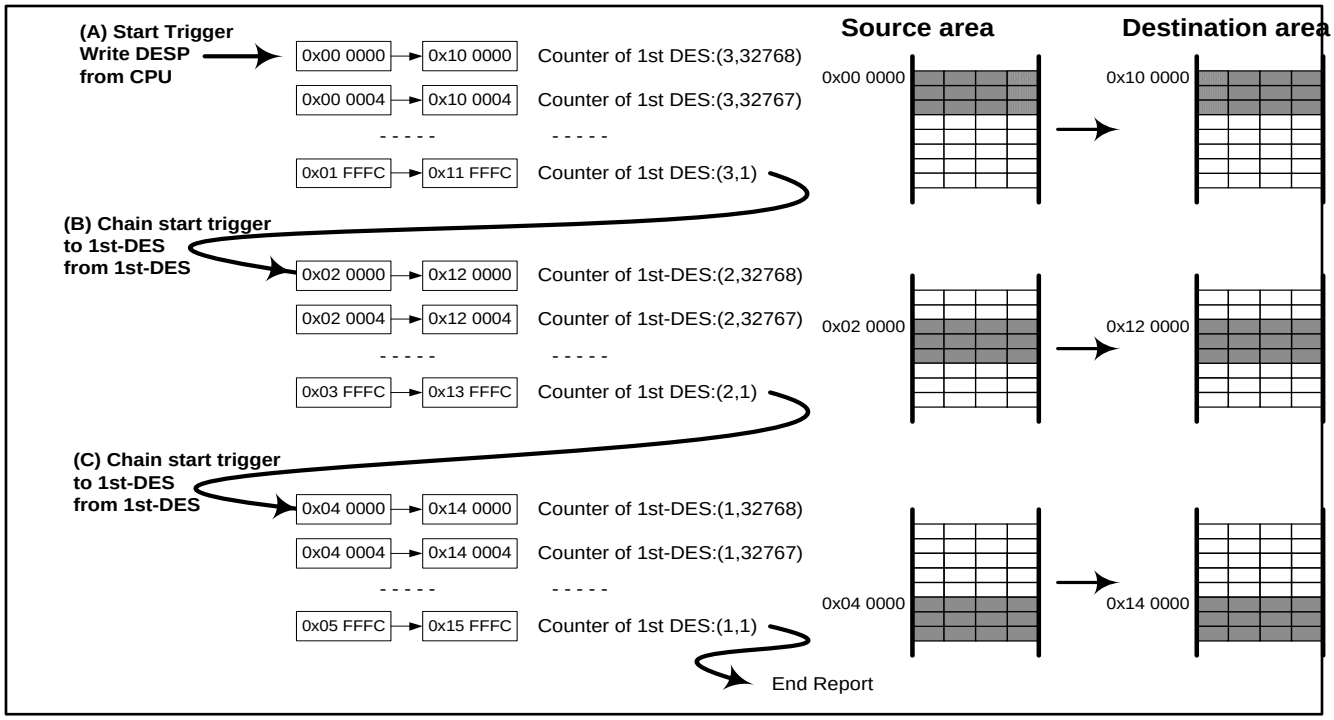
Table 4-6 転送動作例 4 の転送開始時 DES 値

DES No.	値
DES0	DES0=0xF01C0201 DV=01：転送終了時に DES クローズ MODE=0, TW=10：モード 0、32bit（Word）転送 ORL=000：OuterReload 無 SAC=000：TW×1 のインクリメント InnerReload 無 DAC=000：TW×1 のインクリメント InnerReload 無 CHRS=011100：現在の DES の Chain 起動有、割込みフラグセット有 DMSET=0：SW 転送なので 0 指定 CHLK=0：Chain ロック無 ACK=00：SW 転送なので 00 指定 PCHK=1111：Partity
DES1	ORM = 0x0003, IIN = 0x8000
DES2	SA = 0x0000 0000
DES3	DA = 0x0010 0000

転送動作フロー

Figure 4-4 に転送動作例 4 の転送動作フローを示します。図の(A)の起動指示は、CPU からの SWTR レジスタへの DESP 書込みアクセスを示します。図の(B),(C)の起動指示は、Chain 起動指示です。

Figure 4-4 転送動作例 4 の動作フロー



DSTC は、(A)の起動指示により、DES の転送を開始します。IIN=32768 回の 32bit 転送をアドレス・インクリメントして連続して行います。DES の転送回数カウンタは、(3,32768)からカウントし、32768 回の転送後、(3,1)です。DES の CHRS[3:2] =11 に従い、同じ DES の転送に再度 Chain 起動指示が発生します。

DSTC は、(B)の Chain 再起動指示により、DES の転送を再開します。同様に 32768 回の転送を行います。転送後、転送回数カウンタは、(2,1)です。DES の CHRS[3:2] =11 に従い、同じ DES の転送に再度 Chain 起動指示が発生します。

DSTC は、(C)の Chain 再起動指示により、DES の転送を再開します。同様に 32768 回の転送を行います。転送後、転送回数カウンタは、(1,1)です。DES の DV=01 に従い、この DES のクローズ処理を行います。DES の CHRS[5:4]=01 に従い、SWTR.SWST をセットし、転送終了します。

転送終了後の DES 格納値

転送動作例 4 では、転送終了後、DES の値は、Table 4-7 のように更新されます。表中太字の個所の値は、転送開始前とは異なる値です。DES2, DES3 の値は 3 回目の外ループの転送開始アドレスが格納されています。

Table 4-7 転送動作例 4 の転送終了後 DES 値

DES No.	値
DES0	**DV=00、ST=00** その他の値は転送開始時と同じ値
DES1	**ORM = 0x0001**, IIN の値は転送開始時と同じ値
DES2	**SA = 0x0004 0000**
DES3	**DA = 0x0014 0000**

補足

上記のように、CHRS[3:2]=11 の設定により、現在の DES から現在の DES に対し再度 Chain 起動を発生させることができます。通常、MODE=0 の転送は、1 回の起動指示で、IIN 回の転送を行いますが、CHRS[3:2]=11 の設定により、1 回の起動指示で、ORM×IIN 回の転送をすべて実行することができます。

転送動作例 4 では、全部で 98304 回の転送を 3 分割して、3(=ORM)×32768(=IIN)の転送に分割して実行していますが、ORM と IIN の積が同じ値になる設定であれば、転送結果は同じになります。DSTC は一度転送を開始すると、起動指示待ち状態になるか、Chain 起動のタイミングでなければ、その他の転送要求の処理を開始できません。このため、動作例 4 のように、大量のデータ転送を行う場合、他の HW 転送要求の転送処理開始が遅れてしまうことが懸念されます。これを防ぐ必要がある場合、ORM の値を調節し、ORM と IIN の積が同じ値になるように転送処理を細分割化すると、別の HW 転送要求を遅滞なく DSTC に処理させることが可能になります。

逆に、Chain 起動のタイミングで、別の HW 転送要求を処理させたくない場合、CHLK=1 による Chain ロック設定を使用し、転送を連続実行することができます。

<注意事項>

- *HW 転送で、データ転送ごとに DSTC とのハンドシェイクが必要な Peripheral からの転送要求で実行される DES(MODE=1 で使用する必要のある DES) では、CHRS=11 とすることはできません。*

4.5 転送動作例 5

転送動作例 5 の説明を行います。

転送開始時の DES 設定値

転送動作例 5 を以下に説明します。この例では、より複雑な Chain 起動設定を行う場合の動作例を示します。3 個の DES を使用します。Table 4-8 に 1st-DES, 2nd-DES, 3rd-DES の指定内容を示します。

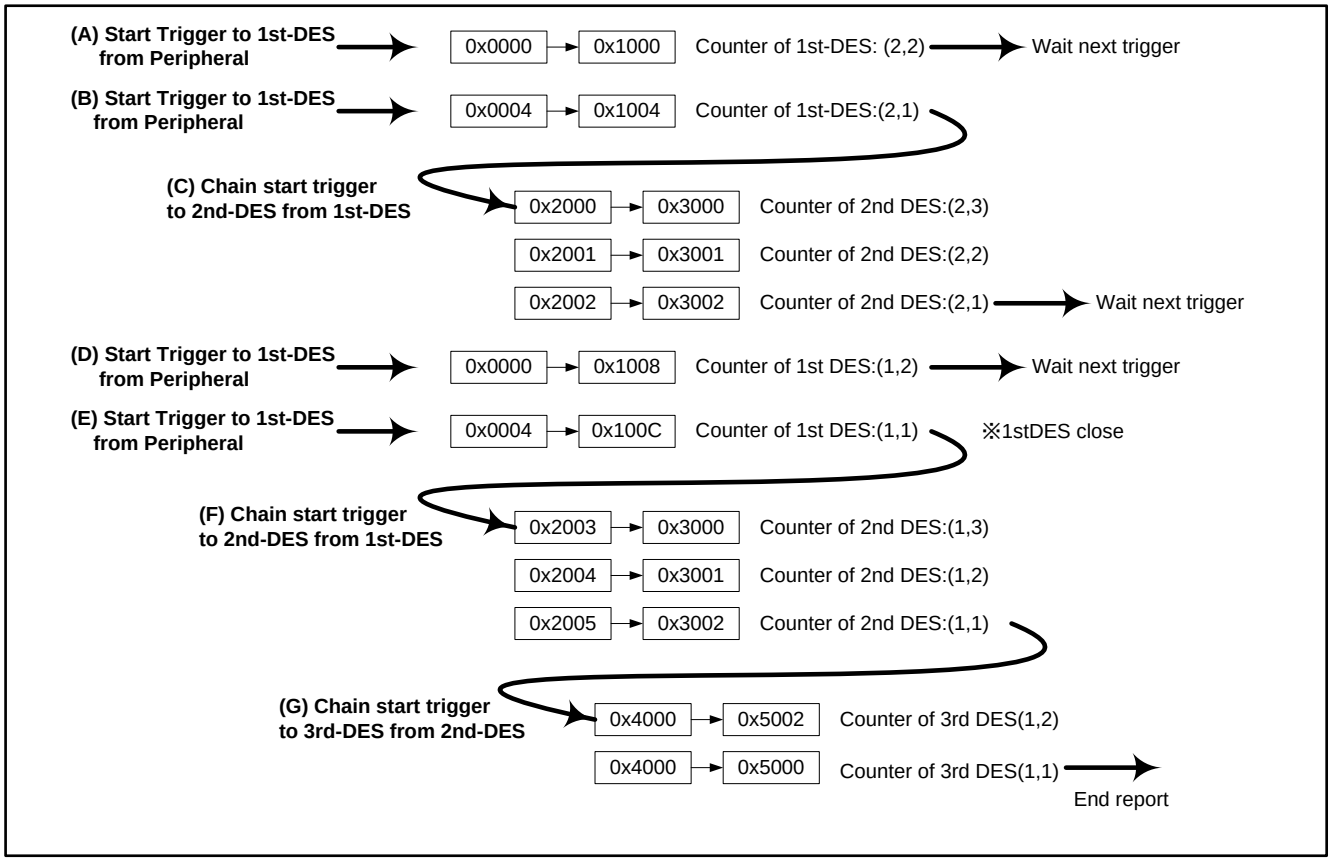
Table 4-8 転送動作例 5 の転送開始時 DES 値

領域	DES No.	値
1st-DES	DES0	DES0=0x612806B1 DV=01：転送終了時に DES クローズ MODE=1,TW=10：モード 1、32bit（Word）転送 ORL=101：DES1<=DES4,DES3<=DES6 の OuterReload SAC=001 TW×1 のインクリメント InnerReload 有 DAC=000：TW×1 のインクリメント InnerReload 無 CHRS=101000：後続 DES の Chain 起動有、割込みフラグセット無 DMSET=0：DES クローズ時に DQMSK[n]をセットしない CHLK=0：Chain ロック無 ACK=01：HW で直接起動される DES なので 01 PCHK=0110：Partiy
	DES1	ORM = 0x0002, IIN = 0x02、IRM = 0x02
	DES2	SA=0x0000 0000
	DES3	DA=0x0000 1000
	DES4,6	それぞれ、1st-DES の DES1,DES3 と同じ値
2nd-DES	DES0	DES0=0x60202063 DV=11：転送終了時に DES クローズしない MODE=0,TW=00：モード 0、8bit（Byte）転送 ORL=011：DES1<=DES4,DES2<=DES5 の OuterReload SAC=000：TW×1 のインクリメント InnerReload 無 DAC=001：TW×1 のインクリメント InnerReload 有 CHRS=100000：後続 DES の Chain 起動有、割込みフラグセット無 DMSET=0：DES クローズ時に DQMSK[n]をセットしない CHLK=0：Chain ロック無 ACK=00：Chain 起動される DES なので 00 PCHK=0110：Partiy
	DES1	ORM = 0x0002, IIN = 0x0003
	DES2	SA=0x0000 2000
	DES3	DA=0x0000 3000
	DES4,5	それぞれ、2nd-DES の DES1,DES2 と同じ値
3rd-DES	DES0	DES0=0xB010F503 DV=11：転送終了時に DES クローズしない MODE=0,TW=01：モード 0、16bit（Half word）転送 ORL=000：OuterReload 無 SAC=101：アドレス固定 DAC=111：TW×1 のデクリメント InnerReload 有 CHRS=010000：Chain 起動無、割込みフラグセット有 DMSET=0：DES クローズ時に DQMSK[n]をセットしない CHLK=0：Chain ロック無 ACK=00：Chain 起動される DES なので 00 PCHK=1011：Parity
	DES1	ORM = 0x0001, IIN = 0x0002
	DES2	SA=0x0000 4000
	DES3	DA=0x0000 5002

転送動作フロー

Figure 4-5 に転送動作例 5 の転送動作フローを示します。図の(A),(B),(D),(E)の起動指示は、HW 起動指示を示し、Peripheral からの転送要求信号のアサートが該当します。図の(C),(F),(G)の起動指示は、Chain 起動指示です。

Figure 4-5 転送動作例 5 の動作フロー



DSTC は、(A)の起動指示により、1st-DES の転送を開始します。0x0000 番地から 0x1000 番地への 32bit 転送を 1 回実行します。1st-DES の転送回数カウンタは、(2,2)です。1st-DES の CHRS[1:0]=00 に従い、HWINT[n]をセットしません。次の起動指示を待機します。

DSTC は、(B)の起動指示により、1st-DES の転送を再開します。0x0004 番地から 0x1004 番地への 32bit 転送を 1 回実行します。1st-DES の転送回数カウンタは、(2,1)です。1st-DES の CHRS[3:2]=10 に従い、後続の 2nd-DES の転送に Chain 起動指示が発生します。

DSTC は、(C)の Chain 起動指示により、2nd-DES の転送を開始します。0x2000 番地から 0x3000 番地への 8bit 転送から開始します。IIN=3 回の 8bit 転送を連続して行います。2nd-DES の転送回数カウンタは、(2,3)よりカウント開始し、転送後、(2,1)です。2nd-DES の CHRS[3:2]=00 に従い、HWINT[n]をセットしません。次の起動指示を待機します。

DSTC は、(D)の起動指示により、1st-DES の転送を再開します。SA にはアドレスの InerReload が適用されます。DA は継続インクリメントです。0x0000 から 0x1008 番地への 32bit 転送を 1 回実行します。転送回数カウンタは、(1,2)です。1st-DES の CHRS[1:0]=00 に従い、HWINT[n]をセットしません。次の起動指示を待機します。

DSTC は、(E)の起動指示により、1st-DES の転送を再開します。0x0004 番地から 0x100C 番地への 32bit 転送を 1 回実行します 1st-DES の転送回数カウンタは、(1,1)です。1st-DES の DV=01 に従い、1st-DES のクローズ処理

が行われます。1st-DES の CHRS[5:4]=10 に従い、後続の 2nd-DES の転送に Chain 起動指示が発生します。(1st-DES は、CHRS[5:0]=101000 が指定されている点に注意してください。)

DSTC は、(F)の chain 起動指示により、2nd-DES の転送を再開します。SA は継続インクリメントです。DA にはアドレスの InnerReload が適用されます。IIN=3 回の 8bit 転送を連続実行します。2nd-DES の転送回数カウンタは、(1,3)よりカウント開始し、転送後、(1,1)です。2nd-DES の DV=11 に従い、2nd-DES のクローズ処理は行いません。2nd-DES の CHRS[5:4]=10 に従い、後続の 3rd-DES の転送に Chain 起動指示が発生します。

DSTC は、(G)の chain 起動指示により、3rd-DES の転送を開始します。IIN=2 回の 16bit 転送を連続実行します。3rd-DES の転送回数カウンタは(1,2)よりカウント開始し、転送後(1,1)です。3rd-DES の DV=11 に従い、3rd-DES のクローズ処理は行いません。3rd-DES の CHRS[5:4]= 01 に従い、HWINT[n]をセットします。

転送動作例 5 は、上記のような転送動作となり転送終了します。例では、1st-DES から 2nd-DES への Chain 起動指示を、(B)と(E)の起動指示の転送後にのみ行うように指定しています。また、3rd-DES の転送終了時に、HWINT[n]をセットするように指定し、すべての転送終了時に、CPU に通知するように設定しています。

転送終了後の DES 格納値

動作例 5 では、転送終了後、DES の値は、Table 4-9 のように更新されます。表中太字の個所の値は、転送開始前とは異なる値です。1st-DES は、CPU と DSTC の処理ハンドシェイクのため、転送処理終了時に DES がクローズされるように設定しています。2nd-DES, 3rd-DES は、DES がクローズされないように設定しています。

Table 4-9 動作例 5 の転送終了後 DES 値

領域	DES No.	値
1st-DES	DES0	DV=00、ST=00、その他の値は転送開始時と同じ値
	DES1-4,6	転送開始時と同じ値
2nd-DES	DES0-5	転送開始時と同じ値
3rd-DES	DES0-3	転送開始時と同じ値

4.6 DSTC 制御例

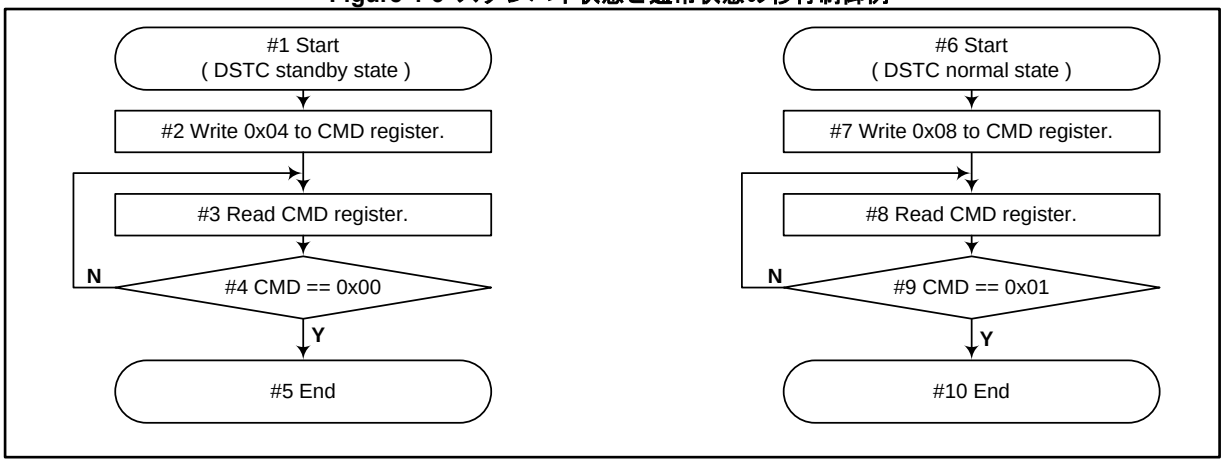
DSTC の制御手順例を説明します。

スタンバイ状態と通常状態の制御手順例

DSTC は、バスリセットにより、スタンバイ状態に遷移します。DSTC に転送を実行させる場合は、最初に、スタンバイ状態から、通常状態へ移行する必要があります。また、DSTC に転送動作を実行させない場合は、スタンバイ状態としておくことにより、システムの低消費電力化を行うことができます。

Figure 4-6 にスタンバイ状態から通常状態へ移行する手順例と、通常状態からスタンバイ状態へ移行する手順例を示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 4-6 スタンバイ状態と通常状態の移行制御例



#1～#5 は、DSTC をスタンバイ状態から通常状態へ移行する手順を示します。スタンバイ解除コマンドの発行(CMD レジスタへの 0x04 書込み)を行います。DSTC が通常状態に遷移すると、CMD レジスタより 0x00 が読み出せます。0x00 の読出し確認を行います。

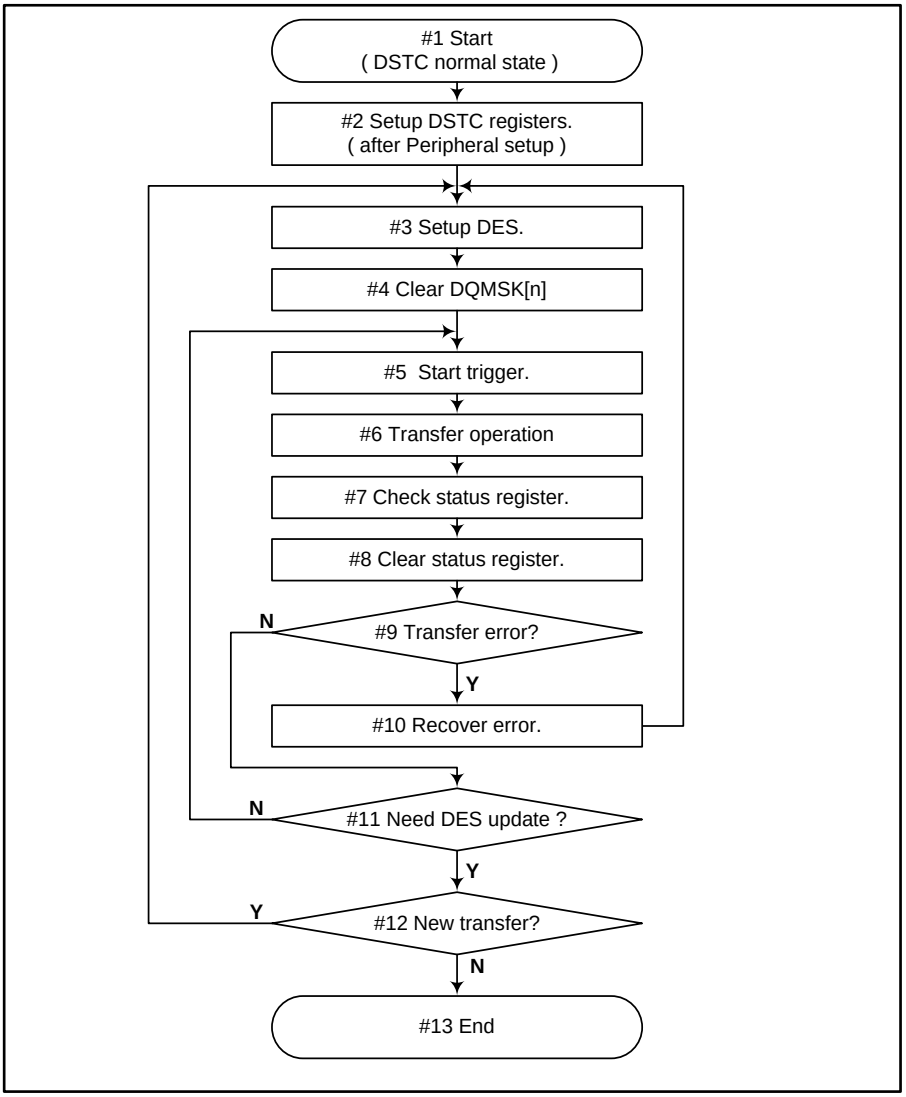
#6～#10 は、DSTC を通常状態からスタンバイ状態へ移行する手順を示します。スタンバイ移行コマンドの発行(CMD レジスタへの 0x08 書込み)を行います。DSTC がスタンバイ状態に遷移すると、CMD レジスタより 0x01 が読み出せます。0x01 の読出し確認を行います。

DSTC が転送動作を行っている場合、スタンバイ移行コマンドを発行すると、現在実行されている転送が強制終了し、その転送の DES のクローズ処理が行われます。DES のクローズ処理後に、DSTC はスタンバイ状態に移行します。

転送動作の制御手順例

Figure 4-7 に DSTC の転送動作制御の手順例を示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 4-7 DSTC 転送動作制御例



#1 DSTC が通常状態にある場合から説明を開始します。通常状態でない場合、以降の処理を行うことはできません。

#2 DSTC の制御レジスタの初期化を行います。DESTP レジスタ, CFG レジスタ、HWDESP[n]レジスタ, DREQENB[n]レジスタに初期値を設定します。DREQENB[n]レジスタ設定は、Peripheral のセットアップ完了後に行います。MONERS レジスタは、バスリセット後はクリアされていますが、再スタンバイ解除後は、その前のスタンバイ移行による転送強制終了のエラー履歴が保存されていることがあります。ERCLR コマンド(CMD レジスタへの 0x20 書込み)により、MONERS レジスタをクリアします。

#3 CPU から DSTC が使用する DES 領域の構築を行います。

#4 DQMSK[n]レジスタは、バスリセット直後はクリアされていますが、HW 転送のエラー,スタンバイ移行コマンド、DES の DMSET 指定の要因により、セットされていることがあります。DQMSKCLR[n]レジスタへ

の 1 書込みを行い、クリアします。なお、Peripheral からの転送要求信号(DREQ[n])が既にアサートされている場合、CPU からの DQMSK[n]レジスタのクリアが、#5 の転送起動指示になります。

#5　起動指示を行います。SW 起動指示の場合、CPU から SWTR レジスタへ DESP を書き込みます。既に SW 転送を実行中は、SWTR レジスタへの書込みアクセスはできないため、注意してください。HW 起動指示の場合、Peripheral からの転送要求（DREQ[n]信号のアサート）が起動指示です。

#6　DSTC は DES に従い転送動作を行います。DSTC は DES の更新を行い、転送ステータスを返却します。

#7　CPU から DSTC の転送ステータスを確認します。SW 転送の場合、SWTR.SWREQ レジスタ、SWTR.SWST レジスタを読み出します。HW 転送の場合、HWINT[n]レジスタを読み出します。MONERS レジスタを読み出し、転送のエラー有無を確認します。

#8　CPU から DSTC の転送終了ステータスをクリアします。SW 転送の場合、CPU から SWCLR コマンド発行(CMD レジスタへの 0x10 書込み)し、SWTR.SWST レジスタをクリアします。HW 転送の場合、HWINTCLR[n]レジスタへの 1 書込みにより、HWINT[n]レジスタをクリアします。

#9～#10　転送エラーが発生している場合、ERCLR コマンド発行(CMD レジスタへの 0x20 書込み)し、MONERS レジスタをクリアします。転送処理がエラー中断している場合、DES の再構築が必要です。HW 転送の場合、Periperal のセットアップが必要な場合があります。

#11～#13　DES の再構築が不要な場合、次の起動指示を行い、転送を開始します。DES の再構築が必要な場合は、CPU から DES の再構築を行ってから、次の起動指示を行い、転送を開始します。

DSTC の HW 起動転送を途中で止める方法について

DSTC の HW 起動転送を途中で止める方法について ADC からの起動による HW 転送を例に説明します。

ADC から DSTC の HW 起動転送を行う場合、起動する前の最初の DES 構築の際に、DES0.DMSET=1 を設定しておいてください。転送途中で転送停止し、DES クローズさせる場合、以下の手順で処理を行います。

#1a　CPU から DES0.DV=10 をライトします。

#2a　CPU から CFG.RBDIS=1 をライトし、リードスキップバッファを無効化します。

#3a　DSTC は、ADC から転送要求発生を待ちます。転送要求発生時に、DES クローズ (DES0.DV=00 のライト) と、DQMSK[n]へ 1 をセットします。
これにより、以降の DES オープンエラーは発生しなくなります。

#4a　CPU は、DES0.DV=00 が読み出せるまで待ちます。

以下の手順で転送を再開させることができます。

#5a　CPU から DES の再構築、CFG.RBDIS=0 をライトします。

#6a　CPU から DQMSKCLR=1 をライトします。

上記の #3a の手順 (ADC からの転送要求が発生するのを待つ) を行わず、DES クローズ処理を実施してしまいたい場合は、以下の手順で処理を行います。

#1b　CPU から ADC の転送要求発生の禁止を行います。
ADC スキャン変換・転送の場合：ADCR.SCIE=0 のライト
ADC 優先変換・転送の場合：ADCR.PCIE=0 のライト

#2b　CPU から DES0.DV=10 をライトします。

#3b　CPU から CFG.RBDIS=1 をライトし、リードスキップバッファを無効化します。

#4b　CPU から HW 転送を実施している DESP に対して、SW 起動指示を行います。
(SWTR レジスタへの DESP ライト)

#5b　DSTC によって、DES クローズ (DES0.DV=00 のライト) が行われます。
この場合は、DQMSK[n]=1 はセットされません。

#6b　CPU は、DES.DV=00 が読み出せるまで待ちます。

以下の手順で転送を再開させることができます。

#7b　CPU から DES の再構築、CFG.RBDIS=0 をライトします。

#8b　CPU から DQMSKCLR[n]=1 をライトします。

#9b　CPU から ADCR.SCIE もしくは ADCR.PCIE=1 をライトします。

注意事項

- *上記の#1b-#6b の処理を行った場合、#4b の CPU からの SW 転送起動指示より前に、#3a の ADC の HW 起動+DES クローズ処理が先に行われる可能性があります。*
  この場合、#4b の SW 起動指示は、DES オープンエラーとして通知されます。このエラーは問題ありませんので、無視してください。
  また、#3a で DQMSK[n]=1 がセットされていますので、再起動に#8b の処理が必要です。

5. DSTC のレジスタおよびディスクリプタ

DSTC の各レジスタ、ディスクリプタ機能について説明します。

5.1. 制御レジスタ、DES 一覧
5.2. DESTP レジスタ
5.3. HWDESP[n]レジスタ
5.4. CMD レジスタ
5.5. CFG レジスタ
5.6. SWTR レジスタ
5.7. MONERS レジスタ
5.8. DREQENB[n]レジスタ
5.9. HWINT[n]レジスタ
5.10. HWINTCLR[n]レジスタ
5.11. DQMSK[n]レジスタ
5.12. DQMSKCLR[n]レジスタ
5.13. ディスクリプタ 0 (DES0
5.14. ディスクリプタ 1 (DES1)
5.15. ディスクリプタ 2 (DES2)
5.16. ディスクリプタ 3 (DES3)
5.17. ディスクリプタ 4 (DES4)
5.18. ディスクリプタ 5 (DES5)
5.19. ディスクリプタ 6 (DES6)

5.1 制御レジスタ、DES 一覧

DSTC の制御レジスタ、DES の一覧を示します。

Table 5-1 に、DSTC の制御レジスタ、Table 5-2 に DES の一覧を示します。

Table 5-1 DSTC の制御レジスタ レジスター一覧

アドレス	レジスタ名	参照先
+0x00	DESTP	5.2
+0x04	HWDESP	5.3
+0x08	CMD	5.4
+0x09	CFG	5.5
+0x0a	SWTR	5.6
+0x0c	MONERS	5.7
+0x10 ~ +0x2f	DREQENB	5.8
+0x30 ~ +0x4f	HWINT	5.9
+0x50 ~ +0x6f	HWINTCLR	5.10
+0x70 ~ +0x8f	DQMSK	5.11
+0x90 ~ +0xaf	DQMSKCLR	5.12

Table 5-2 DES 一覧

アドレス	ディスクリプタ名	参照先
DESTP+DESP+0x00	DES0	5.13
DESTP+DESP+0x04	DES1	5.14
DESTP+DESP+0x08	DES2	5.15
DESTP+DESP+0x0C	DES3	5.16
DESTP+DESP+0x10~	DES4	5.17
DESTP+DESP+0x10~	DES5	5.18
DESTP+DESP+0x10~	DES6	5.19

5.2 DESTP レジスタ

DESTP(Descirpor top address)レジスタは、DES 領域の先頭アドレスを設定します。

レジスタ構成

アドレス：+0x00

bit	31	0
Field	DESTP[31:0]	
属性	R/W	
初期値	0x0000 0000	

レジスタ機能

DSTC は、DESTP＋DESP のアドレスに存在する DES の参照と更新を行います。DES 領域はリード・ライトできるメモリ領域に設定する必要があります。DES 領域は word アラインされている必要があります。DESTP の下位 2bit は常に 00 を指定します。DES 領域は、DESTP から 4096word（16Kbyte）の範囲内である必要があります。DESTP に 0xFFFF FFF0 より大きな値を設定することはできません。

DESTP は、DSTC が通常状態で、初期設定時に指定を行います。DSTC の転送動作中に本レジスタの値を書き換えることはできません。書換えを行った場合、正常な転送動作を行いません。

[bit31:0] DESTP (Descriptor top address)

アクセス	適用
書込み	DES 領域の先頭アドレスを設定します。
読出し	レジスタ設定値を読出します。

5.3 HWDESP[n]レジスタ

HWDESP[n] (Hardware DES pointer)レジスタは、HW チャネル n の転送要求時に DSTC が参照する DES の DESP を設定します。

レジスタ構成

アドレス：+0x04

bit	31	30	29 16	15 8	7 0
Field	予約		HWDESP[13:0]	予約	CHANNEL[7:0]
属性	R	R	R/W	R	R/W
初期値	0	0	XXXXXX XXXXXX00	0000 0000	0000 0000

レジスタ機能

HWDESP[n]レジスタは、HW 転送要求発生前に設定しておく必要があります。本レジスタは、DSTC が通常状態の場合のみアクセスが可能です。使用しない HW チャネル n の設定は不要です。

HWDESP[n]レジスタは、対応 HW チャネル数分のレジスタが存在しますが、CPU から見えるレジスタウィンドウは 1 つです。以下のようにレジスタアクセスを行います。

- HWDESP[n]の値を CPU から読み出す場合、先に読み出す HW チャネル番号 n を CHANNEL[7:0]に 8bit（Byte）アクセスで書き込みます。その後、HWDESP[13:0]から値を 16bit(Half word）アクセスで読み出します。
- HWDESP[n]の値を CPU から書き込む場合、先に書き込む HW チャネル番号 n を CHANNEL[7:0]に 8bit（Byte）アクセスで書き込みます。その後、HWDESP[13:0]に値を 16bit(Half word）アクセスで書き込みます。32bit(Word)アクセスにより、両方を同時に書き込むことも可能です。

HWDESP[n]レジスタの DESP 値は、Figure 3-5 の HWDESPBUF に一旦格納してから使用します。チャネル n の HW 起動指示が連続した場合、DSTC は、HWDESP[n]レジスタの DESP 値ではなく、HWDESPBUF に格納されている DESP 値を使用します。このため、CPU から HWDESP[n]レジスタの値を変更した場合、HWDESPBUF に格納されている値を無効化する必要があります。CFG.RBDIS の値の変更により、HWDESPBUF の DESP 値を無効化できます。「5.5　CFG レジスタ」を参照してください。

[bit7:0] CHANNEL[7:0]

アクセス	適用
書込み	読出し・書込みを行う HWDESP[n]のチャネル番号(n)を設定します。
読出し	レジスタ設定値を読出します。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、CHANNEL[7]は常に 0 を指定してください。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、CHANNEL[7:6]は常に 00 を指定してください。

[bit29:16] HWDESP[13:0]

アクセス	適用
書込み	CHANNEL[7:0]に指定されたチャネル番号の HWDESP[n]を書き込みます。
読出し	CHANNEL[7:0]に指定されたチャネル番号の HWDESP[n]を読み出します。

DES は word アラインされている必要があります。HWDESP の下位 2bit は常に 00 を指定します。HWDESP に 0x3FF0 より大きな値を設定することはできません。

5.4 CMD レジスタ

CMD（Command）レジスタは、DSTC に対するコマンド発行と状態読出しを行います。

レジスタ構成

アドレス：+0x08

bit	7	6	5	4	3	2	1	0
Field	CMD[7:0]							
属性	W	W	W	W	W	W	R	R
初期値	0	0	0	0	0	0	0	1

レジスタ機能

CMD（Command）レジスタに書込みアクセスを行うと、DSTC に対しコマンドを発行することができます。このレジスタに対する書込みアクセスは、8bit（byte）アクセスで行ってください。16bit/32bit の書込みアクセスは無視されます。また、本レジスタを読出すことにより、DSTC の状態（通常状態、スタンバイ状態、遷移状態 1,2）が読出せます。

DSTC の状態により、発行できるコマンドに制限があります。Table 3-13 を参照してください。

[bit7:0] CMD[7:0]

書込み値	発行コマンド	処理内容
0x04	スタンバイ解除 コマンド	スタンバイ状態から通常状態への復帰を指示します。
0x08	スタンバイ移行 コマンド	通常状態からスタンバイ状態への移行を指示します。 SWTR.SWST レジスタを 0 クリアします。 SWINT 割込み信号をネゲートします。 すべての HWINT[n]レジスタをクリアします。 すべての HWINT[n]割込み信号をネゲートします。 ERINT 割込み信号をネゲートします。 すべての DQMSK[n]レジスタに 1 をセットします。
0x10	SWCLR コマンド	SWTR.SWST レジスタを 0 クリアします。 SWINT 割込み信号をネゲートします。
0x20	ERCLR コマンド	MONERS.EST レジスタを 0 クリアします。 ERINT 割込み信号をネゲートします。 MONERS.DER レジスタを 0 クリアします。 MONERS.ESTOP レジスタを 0 クリアします。
0x80	MKCLR コマンド	すべての DQMSK[n]レジスタを 0 にクリアします。 （遷移状態 2 では無視されます。）
上記外値	書込み禁止（RMW アクセス等により、上記の値と異なる値を書き込んだ場合、 書込みアクセスが無視される場合があります。注意してください。）	

読出し値	DSTC の状態
0x00	通常状態であることを示します。
0x01	スタンバイ状態であることを示します。（初期値）
0x02	遷移状態 1（スタンバイ状態から、通常状態への遷移中）であることを示します。
0x03	遷移状態 2（通常状態から、スタンバイ状態への遷移中）であることを示します。
上記外値	上記以外の値が読出されることはありません。

5.5 CFG レジスタ

CFG（Configuration）レジスタは、DSTC の動作機能設定を行います。

レジスタ構成

アドレス：+0x09

bit	15	14	13	12	11	10	9	8
Field	予約	SWPR[2:0]			ESTE	RBDIS	ERINTE	SWINTE
属性	R	R/W			R/W	R/W	R/W	R/W
初期値	0	100			0	0	0	0

レジスタ機能

CFG（Configuration）レジスタは、DSTC の動作機能設定を行うレジスタです。このレジスタに対する書込みアクセスは、8bit（byte）アクセスで行ってください。16bit/32bit の書込みアクセスは無視されます。DSTC が通常状態でない時は、本レジスタに書込みアクセスを行うことはできません。

[bit8] SWINTE (Software interrupt enable)

アクセス	適用
書込み 0	SWINT 割込みを禁止します。（初期値） SWTR.SWST に 1 がセットされた場合、SWINT 割込みを発生しません。
書込み 1	SWINT 割込みを許可します。 SWTR.SWST に 1 がセットされた場合、SWINT 割込みを発生します。
読出し	レジスタ設定値を読出します。

[bit9] ERINTE (Error interrupt enable)

アクセス	適用
書込み 0	ERINT 割込みを禁止します。（初期値） MONERS.EST に、001、010、100、101 がセットされた場合に、ERINT 割込みを発生しません。
書込み 1	ERINT 割込みを許可します。 MONERS.EST に、001、010、100、101 がセットされた場合に、ERINT 割込みを発生します。
読出し	レジスタ設定値を読み出します。

スタンバイ遷移コマンドにより、MONERS.EST レジスタに 011 がセットされた場合、ERINT 割込みは発生しません。

[bit10] RBDIS (Read skip buffer disable)

アクセス	適用
書込み 0	DES のリードスキップバッファ機能を有効にします。（初期値） HWDESPBUF の HWDESP[n]参照スキップ機能を有効にします。
書込み 1	DES のリードスキップバッファ機能を無効にします。 HWDESPBUF の HWDESP[n]参照スキップ機能を無効にします。
読出し	レジスタ設定値を読出します。

RBDIS=0 の設定の場合、Figure 3-5 に示したリードスキップバッファ機能、HWDESPBUF 機能が有効となります。この場合、DSTC は一度参照したメモリ上の DES 参照、HWDESP[n]レジスタの参照をスキップし、処理の高速化を行います。ただしこの場合、CPU からの DES0.DV の値の変更や、HWDESP[n]の書換えを認識できないことがあります。このため、DES0.DV の値の変更や、HWDESP[n]の書換えを行った場合は、その後、RBDIS レジスタに 1 を書き込んでください。RBDIS=1 の設定の場合、DSTC は、
リードスキップバッファ機能、HWDESPBUF 機能を使用しません。メモリ上の DES 値、HWDESP[n]レジスタ値を参照して動作します。DSTC が更新された値で処理を実施後、RBDIS レジスタに 0 を書込み、再度バッファ機能を有効化することができます。

[bit11] ESTE (Error stop enable)

アクセス	適用
書込み 0	転送エラー発生時、エラー停止状態となりません。（初期値） 他の転送要求がある場合、他の転送処理を開始します。
書込み 1	転送エラー発生時、エラー停止状態となります。 他の転送要求がある場合、転送開始を保留します。
読出し	レジスタ設定値を読出します。

[bit12:14] SWPR[2:0] (Software transfer priority)

Arbiter2 の調停動作において、HW 転送要求と、SW 転送要求が競合している場合に、SW 転送が転送権を得る確率を指定します。SWPR の設定値は、DSTC の転送動作中であっても書き換えることが可能です。書換えを行った場合、次の SW 起動指示から設定値が適用されます。

アクセス	適用
書込み 000	SW 転送の優先度を最高にします。 （SW 転送起動指示時、HW 転送が実行中の場合、HW 転送終了後、SW 転送を開始します。）
書込み 001	SW 転送の転送権獲得確率を 1/2 にします。
書込み 010	SW 転送の転送権獲得確率を 1/3 にします。
書込み 011	SW 転送の転送権獲得確率を 1/7 にします。
書込み 100	SW 転送の転送権獲得確率を 1/15 にします。（初期値）
書込み 101	SW 転送の転送権獲得確率を 1/31 にします。
書込み 110	SW 転送の転送権獲得確率を 1/63 にします。
書込み 111	SW 転送の優先度を最低にします。 （HW 転送要求がない状態でのみ、SW 転送を開始します。）
読出し	レジスタ設定値を読出します。

[bit15] 予約 : 予約ビット

書込み時は 0 を書き込んでください。読出し時は 0 が読み出されます。

5.6 SWTR レジスタ

SWTR(Software trigger)レジスタは、SW 起動指示を行うレジスタです。

レジスタ構成

アドレス：+0x0A

bit	31	30	29 ... 16
Field	SWST	SWREQ	SWDESP[13:0]
属性	R	R	R/W
初期値	0	0	00 0000 0000 0000

レジスタ機能

SWTR(Software trigger)レジスタは、書込みアクセスにより、SW 転送の開始を指示するレジスタです。このレジスタに対する書込みアクセスは、16bit(Half word)アクセスで行ってください。32bit(Word)の書込みアクセスは無視されます。また、それ以前に、SW 起動指示が行われており、その SW 転送が終了していない場合(SWREQ≠0)、通常状態以外の場合(CMD≠00)、エラーストップ状態である場合(ESTOP≠0)は、DSTC は、CPU からの書込みアクセスを無視し、新規の SW 起動指示を無視するため、注意してください。

[bit29:16] SWDESP[13:0] (Software DES pointer)

SW 起動する DES の DESP の値を書き込みます。DSTC は、DESTP＋SWDESP の DES 領域の転送を行います。SW 転送動作中、Chain 起動指示があると、SWDESP の値は、DSTC 側から Chain 起動した DES の DESP の値に更新されます。DES は word アラインされている必要があります。SWDESP の下位 2bit は常に 00 を指定してください。SWDESP に 0x3FF0 より大きな値を設定することはできません。

アクセス	適用
書込み	SW 起動する DES の DESP を指定します。
読出し	転送実行中または転送を終了させた SW 転送の DESP を表示します。

[bit30] SWREQ (Software request)

SWREQ レジスタは、SW 転送が、実行開始の待機状態であるか、もしくは Chain 起動を含めた転送実行中であることを示す読出し専用レジスタです。書込み値は無視されます。SWTR レジスタへの書込みアクセス(起動指示)により、1 がセットされます。SW 転送が正常終了、異常終了、起動指示待ち状態になると、0 にリセットされます。

アクセス	適用
書込み	書込み値は意味を持ちません。
読出し 0	SW 転送が、起動指示のない状態、または転送終了していることを示します。
読出し 1	SW 転送が、実行開始の待機状態、または転送実行中であることを示します。

[bit31] SWST (Software status)

SWST レジスタは､CPU に SW 転送終了通知を行うための読出し専用レジスタです｡SW 起動された DES の CHRS にて割込みフラグセットが指示されていて､転送が正常終了すると､1 がセットされます｡SWCLR コマンド, スタンバイ移行コマンド, SWTR レジスタへの書込みにより、0 クリアされます。
(CFG.SWINTE=1)&&(SWTR.SWST==1)の場合、SWINT 割込み信号がアサートされます。

アクセス	適用
書込み	書込み値は意味を持ちません。
読出し 0	SW 転送が正常終了していないことを示します。
読出し 1	SW 転送が正常終了したことを示します。

5.7 MONERS レジスタ

MONERS レジスタは、転送エラー発生時、発生したエラー内容を表示します。

レジスタ構成

アドレス：+0x0C

bit	31	30	29	28	27	26	25	24
Field	予約		EDESP[13:8]					
属性	R		R	R	R	R	R	R
初期値	00		X	X	X	X	X	X

bit	23	22	21	20	19	18	17	16
Field	EDESP[7:0]							
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	0	0

bit	15	14	13	12	11	10	9	8
Field	ECH[7:0]							
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

bit	7	6	5	4	3	2	1	0
Field	予約	EHS	予約	ESTOP	DER	EST[2:0]		
属性	R	R	R	R	R	R		
初期値	X	X	X	0	0	000		

レジスタ機能

MONERS レジスタは読出し専用のレジスタです。書込みは無視されます。転送エラー発生時、発生したエラー内容が記録されます。MONERS レジスタを参照することにより、エラー内容を確認することができます。MONERS.EST にエラー発生 がセットされた時に、ERINT 割込みを発生させることができます。ERINTE=1 の場合、NVIC 対する ERINT 割込み信号がアサートされます。MONERS レジスタの値と ERINT 割込みは、CMD レジスタに対する ERCLR コマンドによりクリアすることができます。

MONERS レジスタの内容詳細は、「3.2.8 MONERS レジスタ」を参照してください。

[bit2:0] EST[2:0] (Error status)

EST[2:0]は、発生した転送エラー内容を表示します。EST≠000 の場合に再度転送エラーが発生しても、前の転送エラー内容を保持しています。ERCLR コマンドにより 000 にクリアされます。

アクセス	適用
書込み	何も行われません。
読出し 000	エラー発生なし（初期値）
読出し 001	Source アクセスエラー
読出し 010	Destination アクセスエラー
読出し 011	転送強制停止
読出し 100	DES アクセスエラー
読出し 101	DES オープンエラー
読出しその他	未定義

[bit3] DER (Double Error)

DER は、転送エラーの 2 重発生有無を示します。EST≠000 かつ DER=0 の場合に、転送エラーが発生すると、1 がセットされます。ERCLR コマンドにより 0 にクリアされます。

アクセス	適用
書込み	何も行われません。
読出し 0	転送エラーの二重発生が無いことを示します。(初期値)
読出し 1	転送エラーの二重発生が有ることを示します。

[bit4] ESTOP (Error Stop)

ESTOP は、エラーストップ状態であることを示します。CFG.ESTE=1 の場合に、転送エラーが発生すると、1 がセットされます。エラーストップ状態の間は、DSTC の転送開始が、保留されます。ERCLR コマンドにより 0 にクリアされます。このレジスタが 0 にクリアされると、保留されていた転送が開始されます。このレジスタが 1 の場合、SWTR レジスタへの書込みは無視されます。

アクセス	適用
書込み	何も行われません。
読出し 0	エラーストップ状態でないことを示します。(初期値)
読出し 1	エラーストップ状態であることを示します。

[bit5] 予約 : 予約ビット

読出し値は不定値です。書込み値は無視されます。

[bit6] EHS (Error Hardware Software)

転送エラーを発生させた DES 転送が HW 起動であるか、SW 起動であるかを示します。EST≠000 の場合に再度転送エラーが発生しても、前の転送エラー内容を保持しています。EST=000 の場合、このレジスタ値は不定値です。

アクセス	適用
書込み	何も行われません
読出し 0	SW 起動もしくはそこからの Chain 起動による転送にてエラー発生
読出し 1	HW 起動もしくはそこからの Chain 起動による転送にてエラー発生

[bit7] 予約 : 予約ビット

読出し値は不定値です。書込み値は無視されます。

[bit15:8] ECH[7:0] (Error hardware CHannel)

EST≠000 かつ EHS=1 の場合、転送エラーを発生させた HW 起動のチャネル番号を表示します。EST≠000 の場合に再度転送エラーが発生しても、前の転送エラー内容を保持しています。EST=000 または EHS=0 の場合、このレジスタ値は不定値です。

アクセス	適用
書込み	何も行われません
読出し	転送エラーを発生させた DES が HW 起動の場合、HW チャネル番号を示します。

[bit29:16] EDESP [13:0] (Error DES pointer)

転送エラーを発生させた DES の DESP を表示します。EST≠000 の場合に再度転送エラーが発生しても、前の転送エラー内容を保持しています。EST=000 の場合、このレジスタ値は不定値です。EDESP[1:0]は常に 0 が読み出されます。

アクセス	適用
書込み	何も行われません
読出し	転送エラーを発生させた DES の DESP を示します。

[bit31:30] 予約 : 予約ビット

読出し値は 00 です。書込み値は無視されます。

5.8 DREQENB[n]レジスタ

DREQENB[n]レジスタは、HW チャネル n の使用有無を設定します。

レジスタ構成

アドレス		
+0x10	Field	DREQENB[31:0]
+0x14	Field	DREQENB[63:32]
+0x18	Field	DREQENB[95:64]
+0x1C	Field	DREQENB[127:96]
+0x20	Field	DREQENB[159:128]
+0x24	Field	DREQENB[191:160]
+0x28	Field	DREQENB[223:192]
+0x2C	Field	DREQENB[255:224]
属性(全領域同じ)		R/W
初期値(全領域同じ)		0x0000 0000

レジスタ機能

DREQENB[n] (DMA Request Enable)レジスタは、初期設定時、HW チャネル n の使用有無をそれぞれ設定します。DSTC が通常状態の場合、本レジスタに書込みアクセスを行うことができます。

HW チャネル n を使用する場合、DREQENB[n]=1 を設定します。HW チャネル n を使用しない場合、DREQENB[n]=0 を設定します。このレジスタが 0 の場合、DSTC に接続されている Peripheral の割込み信号や転送要求信号(DREQ[n])は無視されます。このレジスタの値は、DSTC 側から書き換えられることはありません。

割込みを DSTC への転送要求として使用する Peripheral において、NVIC に接続される割込み信号に Peripheral からの割込み信号と DSTC からの HWINT[n]のいずれが選択されるかは、DREQENB[n]の値により決定されます。「2. DSTC の動作概要とシステム構成」を参照してください。

[bit255:0] DREQENB[255:0] (DMA request enable)

アクセス	適用
書込み 0	Peripheral からの DREQ 信号を無効とします。(初期値)
書込み 1	Peripheral からの DREQ 信号を有効とします。
読出し	レジスタ設定値を読み出します。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、DREQENB[255:128]は常に 0 固定の予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、DREQENB[255:64]は常に 0 固定の予約領域です。

5.9 HWINT[n]レジスタ

HWINT[n]レジスタは、HW 転送の終了通知を行います。

レジスタ構成

アドレス		
+0x30	Field	HWINT[31:0]
+0x34	Field	HWINT[63:32]
+0x38	Field	HWINT[95:64]
+0x3C	Field	HWINT[127:96]
+0x40	Field	HWINT[159:128]
+0x44	Field	HWINT[191:160]
+0x48	Field	HWINT[223:192]
+0x4C	Field	HWINT[255:224]
属性(全領域同じ)		R
初期値(全領域同じ)		0x0000 0000 0000 0000

レジスタ機能

HWINT[n] (Hardware transfer interrupt)レジスタは、CPU に HW 転送終了通知を行うための読出し専用レジスタです。このレジスタへの書込みアクセスは無視されます。

HW 起動された DES またはそこから Chain 起動された DES の CHRS にて割込みフラグセットが指示されていると、1 がセットされます。HWINT[n]レジスタは、HWINTCLR[n]レジスタへの 1 書込み、スタンバイ移行コマンドにより、0 にクリアすることができます。HWINT[n]=1 の場合、NVIC 対する DSTC の HW 転送終了割込み信号（HWINT[n]）がアサートされます。

[bit255:0] HWINT[255:0] (Hardware transfer interrupt)

アクセス	適用
書込み	何も行われません。
読出し 0	起動した HW 転送が正常終了していないことを示します。
読出し 1	起動した HW 転送が正常終了したことを示します。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、HWINT[255:128]は常に 0 固定の予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、HWINT[255:64]は常に 0 固定の予約領域です。

5.10 HWINTCLR[n]レジスタ

HWINTCLR[n]レジスタは、HWINT[n]レジスタをクリアするためのレジスタです。

レジスタ構成

アドレス		
+0x50	Field	HWINTCLR[31:0]
+0x54	Field	HWINTCLR[63:32]
+0x58	Field	HWINTCLR[95:64]
+0x5C	Field	HWINTCLR[127:96]
+0x60	Field	HWINTCLR[159:128]
+0x64	Field	HWINTCLR[191:160]
+0x68	Field	HWINTCLR[223:192]
+0x6C	Field	HWINTCLR[255:224]
属性(全領域同じ)		W
初期値(全領域同じ)		0x0000 0000 0000 0000

レジスタ機能

HWINTCLR[n]レジスタは、CPU から、HWINT[n]レジスタをクリアするための書込み専用レジスタです。DSTC が通常状態以外の時は、本レジスタに書込みアクセスを行うことはできません。

このレジスタへの 1 書込みアクセスにより、HWINT[n]レジスタをクリアすることができます。
0 書込みは無視されます。読出し値は常に 0 です。

[bit255:0] HWINTCLR[255:0] (Hardware transfer interrupt Clear)

アクセス	適用
書込み 0	何も行われません。
書込み 1	HWINT[n]レジスタを 0 クリアします。
読出し	常に 0 が読み出されます。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、HWINTCLR[255:128]は予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、HWINTCLR[255:64]は予約領域です。

5.11 DQMSK[n]レジスタ

DQMSK[n]レジスタは、HW 転送要求が抑止されている状態を表示します。

レジスタ構成

アドレス		
+0x70	Field	DQMSK[31:0]
+0x74	Field	DQMSK[63:32]
+0x78	Field	DQMSK[95:64]
+0x7C	Field	DQMSK[127:96]
+0x80	Field	DQMSK[159:128]
+0x84	Field	DQMSK[191:160]
+0x88	Field	DQMSK[223:192]
+0x8C	Field	DQMSK[255:224]
属性(全領域同じ)		R
初期値(全領域同じ)		0x0000 0000

レジスタ機能

DQMSK[n]レジスタは、読出し専用のレジスタです。書込みは無視されます。このレジスタが 1 の場合、DSTC に対する Peripheral からの転送要求信号(DREQ[n])が抑止されている状態を示します。以下の条件発生時、DSTC は、DQMSK[n]に 1 をセットし転送要求を抑止します。

- HW チャネル n の転送で、転送エラーが発生した場合。
- CPU から、CMD レジスタに対し、スタンバイ移行コマンドを発行した場合。
- HW チャネル n の転送の DES にて、DMSET=1 であり、かつ DES クローズ処理した場合。

以下の条件発生時、DSTC は、DQMSK[n]を 0 クリアし、転送要求の抑止を解除します。

- DQMSKCLR[n]レジスタに、1 書込みを行った場合
- CPU から、CMD レジスタに対し、MKCLR コマンドを発行した場合。

[bit255:0] DQMSK[255:0] (DMA request Mask)

アクセス	適用
書込み	何も行われません。
読出し 0	Peripheral からの DREQ[n]信号が抑止されていないことを示します。
読出し 1	Peripheral からの DREQ[n]信号が抑止されていることを示します。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、DQMSK[255:128]は予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、DQMSK[255:64]は予約領域です。

5.12 DQMSKCLR[n]レジスタ

DQMSKCLR[n]レジスタは、DQMSK[n]レジスタをクリアするためのレジスタです。

レジスタ構成

アドレス		
+0x90	Field	DQMSKCLR[31:0]
+0x94	Field	DQMSKCLR[63:32]
+0x98	Field	DQMSKCLR[95:64]
+0x9C	Field	DQMSKCLR[127:96]
+0xA0	Field	DQMSKCLR[159:128]
+0xA4	Field	DQMSKCLR[191:160]
+0xA8	Field	DQMSKCLR[223:192]
+0xAC	Field	DQMSKCLR[255:224]
属性(全領域同じ)		W
初期値(全領域同じ)		0x0000 0000

レジスタ機能

DQMSKCLR[n]レジスタは、書込み専用のレジスタです。DSTC がスタンバイ状態にある時は、本レジスタに書込みアクセスを行うことはできません。

このレジスタに 1 を書き込むと DQMSK[n]レジスタが 0 クリアされます。DQMSK[n]レジスタのクリアにより、抑止されている HW 転送が直ちに開始されます。このため、該当転送の Peripheral のセットアップおよび DES のセットアップが完了してからクリアを行ってください。

[bit255:0] DQMSKCLR[255:0] (DMA request Mask Clear)

アクセス	適用
書込み 0	何も行いません。
書込み 1	DQMSK[n]レジスタを 0 クリアします。
読出し	常に 0 が読み出されます。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、DQMSKCLR[255:128]は予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、DQMSKCLR[255:64]は予約領域です。

5.13 ディスクリプタ 0 (DES0)

ディスクリプタ 0 (DES0)について説明します。DES0 は、転送の基本設定を行います。

ディスクリプタ構成

アドレス：DESTP+DESP+0x00

bit	31	30	29	28	27	26	25	24
Field	PCHK[3:0]				予約		ACK[1:0]	
C 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
D 属性	R	R	R	R	R	R	R	R

bit	23	22	21	20	19	18	17	16
Field	CHLK	DMSET	CHRS[5:0]					
C 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
D 属性	R	R	R	R	R	R	R	R

bit	15	14	13	12	11	10	9	8
Field	DAC[1:0]			SAC[2:0]			TW	
C 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
D 属性	R	R	R	R	R	R	R	R

bit	7	6	5	4	3	2	1	0
Field	ORL[2:0]			MODE	ST[1:0]		DV[1:0]	
C 属性	R/W	R/W	R/W	R/W	R	R	R/W	R/W
D 属性	R	R	R	R	W	W	R/W	R/W

※DES 領域の表記について

表中 C 属性の欄は、CPU からのリード・ライト属性を示します。

表中 D 属性の欄は、DSTC からのリード・ライト属性を示します。

DES 領域はメモリ上に構築します。初期値はすべて不定値のため省略しています。

ディスクリプタ機能

[bit1:0] DV[1:0] (Descriptor Valid)

DES 領域の所有権が CPU と DSTC のいずれにあるかを指定します。DES オープン後の転送実施有無, DES クローズ処理有無を指定します。DES クローズ時、DSTC から 00 に更新されます。

DV[1]=1 指定の場合､転送カウンタ, 転送アドレスのリロード指定制約が追加されます｡DV[1]=1 であって､DES1～DES3 の値が転送開始時の値に戻らない DES 設定は、DES オープンエラーを通知します。

値	適用
00	DES 所有権は CPU、転送実施無、DES クローズ処理無
01	DES 所有権は DSTC、転送実施有、DES クローズ処理有
10	DES 所有権は DSTC、転送実施無、DES クローズ処理有
11	DES 所有権は DSTC、転送実施有、DES クローズ処理無

[bit3:2] ST[1:0] (Transfer Status)

DES 指定の転送が終了し、DES クローズ処理時に、DSTC が終了ステータス値を書き込みます。DSTC が DES クローズ処理を行わない場合、CPU が初期設定した値が残ります。転送開始時この領域がどのような値であっても、DSTC の動作に影響はありません。

DES アクセスエラー、DES オープンエラーにより、転送が異常終了した場合、DSTC が DES 領域にアクセスできないため、DES クローズ処理は行われず、ST は書き込まれません。これらのエラー通知は、DES の ST ではなく、DSTC 本体の MONERS レジスタによって行われます。

値	適用
00	転送正常終了
01	転送元アクセス時に発生したエラーにより転送異常終了
10	転送先アクセス時に発生したエラーにより転送異常終了
11	スタンバイ移行コマンドにより転送強制終了し転送異常終了

[bit4] MODE (Transfer mode)

転送モードを選択します。モード 0 の場合、1 回の起動指示で IIN 回のデータ転送を連続して行います。モード 1 の場合、1 回の起動指示で 1 回のデータ転送を行います。データ転送ごとに DSTC とのハンドシェイクが必要な Peripheral からの転送要求で HW 転送を実行する場合は、モード 1 を使用します。DSTC はこの領域の値を書き換えません。

値	適用
0	モード 0 転送を行います。
1	モード 1 転送を行います。

[bit7:5] ORL[2:0] (Outer Reload)

ORM×IIN 回の転送終了後、DES1 の転送回数カウンタ(ORM/IRM/IIN), DES2 の転送元アドレス(SA), DES3 の転送先アドレス(DA)の OuterReload 有無を選択します。また、この値により DES サイズが決定されます。ORL[2:0] の値により、DES4～DES6 は DESP からの相対アドレスが異なります。DSTC はこの領域の値を書き換えません。

bit	値	適用
ORL[0]	0	DES1 の OuterReload を行いません。DES4 領域不要
	1	DES1 の OuterReload を行います。DES4 領域必要
ORL[1]	0	DES2 の OuterReload を行いません。DES5 領域不要
	1	DES2 の OuterReload を行います。DES5 領域必要
ORL[2]	0	DES3 の OuterReload を行いません。DES6 領域不要
	1	DES3 の OuterReload を行います。DES6 領域必要

[bit9:8] TW[1:0] (Transfer Width)

1 回の転送のデータ幅を指定します。DSTC はこの領域の値を書き換えません。

値	適用
00	8bit (byte)
01	16bit (Half word)
10	32bit (Word)
11	指定禁止(DSTC がこの値を読み出すと DES オープンエラーになります。)

[bit12:10] SAC[2:0] (Source Address Control)

転送中の転送元アドレスの更新方法を指定します。DSTC はこの領域の値を書き換えません。DV[1]=1 であって、転送終了時の DES2 が、転送開始時の値に戻らない設定は、DES オープンエラーを通知します。

値	適用
000	転送ごとに TW×1 インクリメントします。InnerReload なし
001	転送ごとに TW×1 インクリメントします。InnerReload あり
010	転送ごとに TW×2 インクリメントします。InnerReload なし
011	転送ごとに TW×2 インクリメントします。InnerReload あり
100	転送ごとに TW×4 インクリメントします。InnerReload なし
101	転送中、アドレスを固定します。
110	転送ごとに TW×1 デクリメントします。InnerReload なし
111	転送ごとに TW×1 デクリメントします。InnerReload あり

[bit15:13] DAC[2:0] (Destination Address Control)

転送中の転送先アドレスの更新方法を指定します。DSTC はこの領域の値を書き換えません。DV[1]=1 であって、転送終了時の DES3 が、転送開始時の値に戻らない設定は、DES オープンエラーを通知します。

値	適用
000	転送ごとに TW×1 インクリメントします。InnerReload なし
001	転送ごとに TW×1 インクリメントします。InnerReload あり
010	転送ごとに TW×2 インクリメントします。InnerReload なし
011	転送ごとに TW×2 インクリメントします。InnerReload あり
100	転送ごとに TW×4 インクリメントします。InnerReload なし
101	転送中、アドレスを固定します。
110	転送ごとに TW×1 デクリメントします。InnerReload なし
111	転送ごとに TW×1 デクリメントします。InnerReload あり

[bit21:16] CHRS[5:0] (Chain & Return status)

DSTC が所定回数の転送を実施後の次の処理を指定します。

bit	選択条件	値	適用
CHRS[1:0]	IRM≠1 ORM: ignore	00	割込みフラグセットなし、Chain 起動なし
		01	割込みフラグセットあり、Chain 起動なし
		10	割込みフラグセットなし、後続の DES の Chain 起動あり
		11	割込みフラグセットなし、現在の DES の Chain 起動あり
CHRS[3:2]	IRM=1 ORM≠1	00	割込みフラグセットなり、Chain 起動なし
		01	割込みフラグセットあり、Chain 起動なし
		10	割込みフラグセットなし、後続の DES の Chain 起動あり
		11	割込みフラグセットなし、現在の DES の Chain 起動あり
CHRS[5:4]	IRM=1 ORM=1	00	割込みフラグセットなし、Chain 起動なし
		01	割込みフラグセットあり、Chain 起動なし
		10	割込みフラグセットなし、後続の DES の Chain 起動あり
		11	指定禁止(DES オープンエラーとなります。)

CHRS[5:4], CHRS[3:2], CHRS[1:0]のどの値により処理分岐するかは、その際の転送回数カウンタがどの状態にあるかで決定します。割込みフラグセットの指示の場合、SW 起動指示およびそこからの Chain 起動指示の場合は、SWTR.SWST レジスタをセットします。HW 起動指示およびそこからの Chain 起動指示の場合は、HWINT[n]レジスタをセットします。CHRS[1:0]は、MODE=0 の時は意味を持たないため、00 を指定してください。MODE=0 かつ CHRS[1:0]≠00 の場合、DES オープンエラーとなります。DSTC はこの領域の値を書き換えません。

[bit22] DMSET (DREQ mask Set)

チャネルnのPeripheralデバイスから直接HW起動されるDESおよびそこからChain起動されるDES において、DMSET=1 の設定の場合、その DES のクローズ処理が行われると、DQMSK[n]レジスタの該当ビットに 1 がセットされます。DSTC はこの領域の値を書き換えません。

値	適用
0	HW 転送の DES クローズ時に DQMSK[n]をセットしません。
1	HW 転送の DES クローズ時に DQMSK[n]をセットします。

[bit23] CHLK (Chain Lock)

CHLK は、Chain 起動する次の転送を、現在の転送後連続実施(Chain ロック)するか、間にほかの転送を許可するかを指定します。CHLK=1 の場合、CHRS[5], CHRS[3], CHRS[1]のいずれかが 1 (Chain 起動指定)でなければ、DES オープンエラーとなります。DSTC はこの領域の値を書き換えません。

値	適用
0	現在の転送後、Chain 起動転送前に、ほかの転送を可能とします。
1	現在の転送後、Chain 起動転送を必ず連続実施します。

[bit25:24] ACK[1:0] (Acknowledge)

ACK は、HW 転送を利用する場合、DSTC から Peripheral デバイスに出力する DMA 転送要求承認信号の出力タイミングを調整する値を設定します。HW 転送を利用する場合、Peripheral デバイスから直接 HW 起動される DES では、ACK=01 を設定します。HW 転送から Chain 起動される DES、および SW 転送で使用する DES、SW 転送から Chain 起動される DES では、ACK=00 の設定を行います。DSTC はこの領域の値を書き換えません。

値	適用
00	接続する Peripheral デバイスに対し DMA 転送承認信号を出力しません。
01	接続する Peripheral デバイスに対し DMA 転送承認信号を出力します。
10,11	予約

[bit27:26] 予約 : 予約ビット

この領域は 00 を指定してください。00 でない場合、DES オープンエラーを通知します。DSTC はこの領域の値を書き換えません。

[bit31:28] PCHK[3:0] (Parity Check)

PCHK[3:0]は、DES0 領域のパリティ値(以下演算式)を設定します。

PCHK[3:0] = DES0[27:24] ^ DES0[23:20] ^ DES0[19:16] ^ DES0[15:12] ^ DES0[11:8] ^ DES0[7:4]

CPU が DES 構築時に演算設定します。DSTC は DES0 領域の値と PCHK[3:0]の整合性を確認します。パリティエラーの場合、DES オープンエラーを通知します。DSTC はこの領域の値を書換えません。PCHK[3:0]は、DSTC が書き換えない DES0[27:4]の領域が演算対象です。DES0[3:0]の値の変更は、PCHK[3:0]の値に影響しません。

5.14 ディスクリプタ 1 (DES1）

ディスクリプタ 1(DES1)について説明します。DES1 は、転送回数設定を行います。DES1 領域は、モード 0 とモード 1 で配置・構成が異なります。

ディスクリプタ構成 (モード 0 の場合)

アドレス：DESTP+DESP+0x04

bit	31	16	15	0
Field	ORM[15:0]		IIN[15:0]	
C 属性	R/W		R/W	
D 属性	R/W		R/W	

ディスクリプタ機能　(モード 0 の場合)

[bit15:0] IIN[15:0] (Inner loop Initial)

DSTC の転送回数カウンタの内ループカウンタの初期値を指定します。1～65536 の設定が可能です。0x0000 を指定した場合、65536 の指定になります。DSTC はこの値を取り込み、内ループカウンタ残量値(IRM)にロードして使用します。このため、モード 0 の場合 IRM の指定は不要です。

DSTC は、転送動作中この領域の値を書き換えません。DES1 の OuterReload 指定(ORL[0]=1)がある場合、最終転送後、DES4[15:0]の値をコピーします。

[bit31:16] ORM[15:0] (Outer loop remain)

DSTC の転送回数カウンタの外ループカウンタの残量値を指定します。1～65536 の設定が可能です。0x0000 を指定した場合、65536 の指定になります。

DSTC は DES のライトバック時にこの値をデクリメント更新します。転送終了時、0x0001 を格納します。DES1 の OuterReload 指定がある場合、最終転送後、DES4[31:16]の値をコピーします。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。

モード 0 の場合、転送回数は、以下の範囲の設定値としてください。この範囲外の設定値の場合、DES オープンエラーを通知します。

ORM=65536 の場合、IIN＜0x2000
ORM≧0x8000 の場合、IIN＜0x4000
ORM≧0x4000 の場合、IIN＜0x8000
ORM≧0x2000 の場合、IIN＜65536
(ORM＜0x2000 の場合、IIN に制限はありません。)

DV[1]=1 であって、転送終了時の DES1 が、転送開始時の値に戻らない設定は、DES オープンエラーを通知します。

ディスクリプタ構成 (モード 1 の場合)

アドレス：DESTP+DESP+0x04

bit	31 16	15 8	7 0
Field	ORM[15:0]	IRM[7:0]	IIN[7:0]
C 属性	R/W	R/W	R/W
D 属性	R/W	R/W	R/W

ディスクリプタ機能　(モード 1 の場合)

[bit7:0] IIN[7:0]　(Inner loop Initial)

DSTC の転送回数カウンタの内ループカウンタの初期値を指定します。1～256 の設定が可能です。0x00 を指定した場合、256 の指定になります。

DSTC は、転送動作中この領域の値を書き換えません。DES1 の OuterReload 指定がある場合、最終転送後、DES4[7:0]の値がコピーされます。

[bit15:8] IRM[7:0] (Inner loop Remain)

DSTC の転送回数カウンタの内ループカウンタの残量値を指定します。IIN と同じ値を設定します。

DSTC は DES のライトバック時にこの値をデクリメント更新します。転送終了時、0x01 を格納します。DES1 の OuterReload 指定がある場合、最終転送後、DES4[15:8]の値をコピーします。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。DSTC が IRM>IIN である値を読み出した場合、DES オープンエラーを通知します。

[bit31:16] ORM[15:0] (Outer loop remain)

DSTC の転送回数カウンタの外ループカウンタの残量値を指定します。1～65536 の設定が可能です。0x0000 を指定した場合、65536 の指定になります。

DSTC は DES のライトバック時にこの値をデクリメント更新します。転送終了時、0x0001 を格納します。DES1 の OuterReload 指定がある場合、最終転送後、DES4[31:16]の値をコピーします。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。

DV[1]=1 であって、転送終了時の DES1 が、転送開始時の値に戻らない設定は、DES オープンエラーを通知します。

5.15 ディスクリプタ 2 (DES2)

ディスクリプタ 2 (DES2)について説明します。

DES2 ディスクリプタ構成

アドレス：DESTP+DESP+0x08

bit	31	0
Field	SA[31:0]	
C 属性	R/W	
D 属性	R/W	

DES2 ディスクリプタ機能

[bit31:0] SA[31:0] (Source Address)

転送元開始アドレス設定を行います。DES0.TW に指定したデータサイズに Unaligned な値を指定することはできません。DSTC は、DES のライトバック時にこの領域の値を更新します。DES2 の OuterReload 指定(ORL[1]=1)がある場合、最終転送後、DES5 の値をコピーします。転送元アドレスの InnerReload/OuterReload を指定していない時、転送終了時の値に注意してください。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。

5.16 ディスクリプタ 3 (DES3)

ディスクリプタ 3 (DES3)について説明します。

DES3 ディスクリプタ構成

アドレス：DESTP+DESP+0x0C

bit	31	0
Field	DA[31:0]	
C 属性	R/W	
D 属性	R/W	

DES3 ディスクリプタ機能

[bit31:0] DA[31:0] (Destination Address)

転送先開始アドレス設定を行います。DES0.TW に指定したデータサイズに Unaligned な値を指定することはできません。DSTC は、DES のライトバック時にこの領域の値を更新します。DES3 の OuterReload 指定(ORL[2]=1)がある場合、最終転送後、DES6 の値をコピーします。転送先アドレスの InnerReload/OuterReload を指定していない時、転送終了時の値に注意してください。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。

5.17 ディスクリプタ 4 (DES4)

ディスクリプタ 4 (DES4)について説明します。

DES4 ディスクリプタ構成

アドレス：DESTP+DESP+0x10　(ORL[2:0]=xx1 の場合)

bit	31	0
Field	DES4[31:0]	
C 属性	R/W	
D 属性	R	

DES4 ディスクリプタ機能

[bit31:0] DES4[31:0] (Descriptor4)

DES4 は、DES1(転送回数設定)に、OuterReload する値の設定を行います。DES1 と同じ配置構造で同じ値を指定します。DSTC はこの領域の値を書き換えません。

DES0.ORL[0]=0 の場合、DSTC は、DES4 領域が存在しないと判断します。

5.18 ディスクリプタ 5 (DES5)

ディスクリプタ 5 (DES5)について説明します。

DES5 ディスクリプタ構成

アドレス：DESTP+DESP+0x10　(ORL[2:0]=x10 の場合)

アドレス：DESTP+DESP+0x14　(ORL[2:0]=x11 の場合)

bit	31	0
Field	DES5[31:0]	
C 属性	R/W	
D 属性	R	

DES5 ディスクリプタ機能

[bit31:0] DES5[31:0] (Descriptor5)

DES5 は、DES2(転送元開始アドレス)に OuterReload する値の設定を行います。DES2 と同じ値を指定します。DSTC はこの領域の値を書き換えません。

DES0.ORL[1]=0 の場合、DSTC は、DES5 領域が存在しないと判断します。

5.19 ディスクリプタ 6 (DES6)

ディスクリプタ 6 (DES6)について説明します。

DES6 ディスクリプタ構成

アドレス：DESTP+DESP+0x10　(ORL[2:0]=100 の場合)

アドレス：DESTP+DESP+0x14　(ORL[2:0]=110, 101 の場合)

アドレス：DESTP+DESP+0x18　(ORL[2:0]=111 の場合)

bit	31	0
Field	DES6[31:0]	
C 属性	R/W	
D 属性	R	

DES6 ディスクリプタ機能

[bit31:0] DES6[31:0] (Descriptor6)

DES6 は、DES3(転送先開始アドレス)に OuterReload する値の設定を行います。DES3 と同じ値を指定します。DSTC はこの領域の値を書き換えません。

DES0.ORL[2]=0 の場合、DSTC は、DES6 領域が存在しないと判断します。

APPENDIXES

レジスタマップ、注意事項について説明します。

A. 製品型格一覧
B. レジスタマップ (TYPE1-M0+)
C. レジスタマップ (TYPE2-M0+)
D. レジスタマップ (TYPE3-M0+)
E. 注意事項一覧

CODE: 9AFAPPENDIXES-J03.0

A. 製品型格一覧

製品型格について説明します。

1. 製品型格一覧

1. 製品型格一覧

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M0+","TYPE2-M0+","TYPE3-M0+"などの表記は、以下の一覧の FM0+ファミリ製品に置き換えてお読みください。

Table 1-1 FM0+ファミリの TYPE1 型格一覧

TYPE	フラッシュメモリサイズ	
	56K bytes	88K bytes
TYPE1-M0+	S6E1A11B S6E1A11C	S6E1A12B S6E1A12C

Table 1-2 FM0+ファミリの TYPE2 型格一覧

TYPE	フラッシュメモリサイズ	
	304K bytes	560K bytes
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 1-3 FM0+ファミリの TYPE3 型格一覧

TYPE	フラッシュメモリサイズ	
	64K bytes	128K bytes
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

B. レジスタマップ (TYPE1-M0+)

レジスタマップについて説明します。

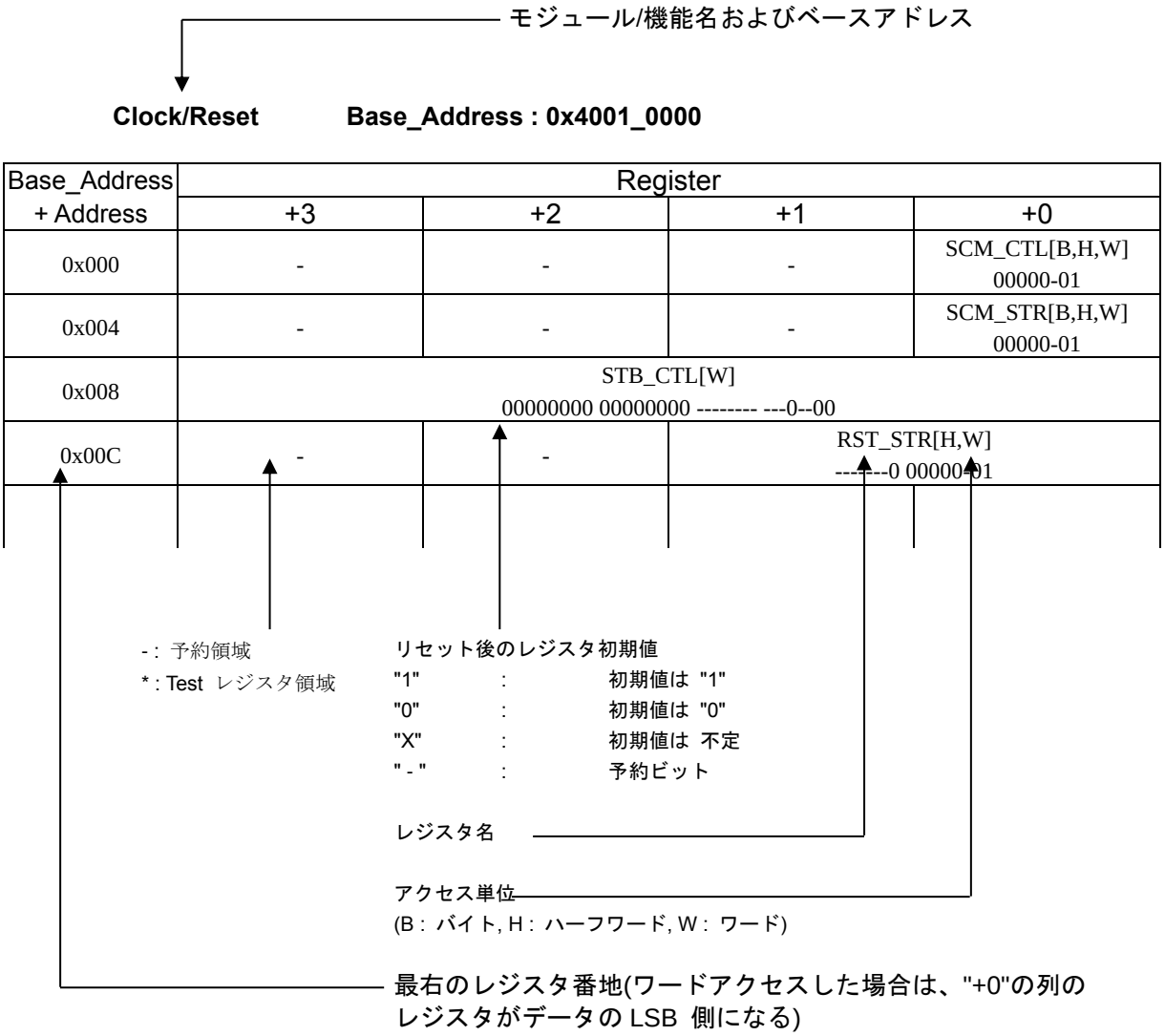
1. レジスタマップ

CODE: 9AFREGMAP-J01.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C				
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT unit0 Base_Address : 0x4002_0000

MFT unit1 Base_Address : 0x4002_1000

MFT unit2 Base_Address : 0x4002_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	OCCP0[H,W]		-	-
	00000000 00000000			
0x104	OCCP1[H,W]		-	-
	00000000 00000000			
0x108	OCCP2[H,W]		-	-
	00000000 00000000			
0x10C	OCCP3[H,W]		-	-
	00000000 00000000			
0x110	OCCP4[H,W]		-	-
	00000000 00000000			
0x114	OCCP5[H,W]		-	-
	00000000 00000000			
0x118	-	OCSD10[B,H,W]	OCSB10[B,H,W]	OCSA10[B,H,W]
		00000000	00000000	00000000
0x11C	-	OCSD32[B,H,W]	OCSB32[B,H,W]	OCSA32[B,H,W]
		00000000	00000000	00000000
0x120	-	OCSD54[B,H,W]	OCSB54[B,H,W]	OCSA54[B,H,W]
		00000000	00000000	00000000
0x124	-	-	OCSC[B,H,W]	-
			--000000	
0x128	-	-	OCSE0[H,W]	
			00000000 00000000	
0x12C	OCSE1[H,W]			
	00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[H,W]	
			00000000 00000000	
0x134	OCSE3[H,W]			
	00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[H,W]	
			00000000 00000000	
0x13C	OCSE5[H,W]			
	00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W]		-	-
	11111111 11111111			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x144	TCDT0[H,W]		-	-
	00000000 00000000			
0x148	TCSC0[B,H,W]		TCSA0[B,H,W]	
	00000000 00000000		000---00 01000000	
0x14C	TCCP1[H,W]		-	-
	11111111 11111111			
0x150	TCDT1[H,W]			
	00000000 00000000			
0x154	TCSC1[B,H,W]		TCSA1[B,H,W]	
	00000000 00000000		000---00 01000000	
0x158	TCCP2[H,W]		-	-
	11111111 11111111			
0x15C	TCDT2[H,W]		-	-
	00000000 00000000			
0x160	TCSC2[B,H,W]		TCSA2[B,H,W]	
	00000000 00000000		000---00 01000000	
0x164	TCAL[B,H,W] (only in unit 0)			
	00000000 00000000 11111111 11111111			
0x168	-	OCFS54[B,H,W]	OCFS32[B,H,W]	OCFS10[B,H,W]
		00000000	00000000	00000000
0x16C	-	-	ICFS32[B,H,W]	ICFS10[B,H,W]
			00000000	00000000
0x170	-	ACFS54[B,H,W]	ACFS32[B,H,W]	ACFS10[B,H,W]
		00000000	00000000	00000000
0x174	ICCP0[H,W]		-	-
	00000000 00000000			
0x178	ICCP1[H,W]		-	-
	00000000 00000000			
0x17C	ICCP2[H,W]		-	-
	00000000 00000000			
0x180	ICCP3[H,W]		-	-
	00000000 00000000			
0x184	-	-	ICSB10[B,H,W]	ICSA10[B,H,W]
			------00	00000000
0x188	-	-	ICSB32[B,H,W]	ICSA32[B,H,W]
			------00	00000000
0x18C	WFTF10[H,W]		-	-
	00000000 00000000			
0x190	WFTB10[H,W]		WFTA10[H,W]	
	00000000 00000000		00000000 00000000	
0x194	WFTF32[H,W]		-	-
	00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x198	WFTB32[H,W]		WFTA32[H,W]	
	00000000 00000000		00000000 00000000	
0x19C	WFTF54[H,W]		-	-
	00000000 00000000			
0x1A0	WFTB54[H,W]		WFTA54[H,W]	
	00000000 00000000		00000000 00000000	
0x1A4	-	-	WFSA10[H,W]	
			---00000 000000	
0x1A8	-	-	WFSA32[H,W]	
			---00000 000000	
0x1AC	-	-	WFSA54[H,W]	
			---00000 000000	
0x1B0	-	-	WFIR[H,W]	
			00000000 00000000	
0x1B4	-	-	NZCL[H,W]	
			-000--00 ---00000	
0x1B8	ACMP0		-	-
	00000000 00000000			
0x1BC	ACMP1		-	-
	00000000 00000000			
0x1C0	ACMP2		-	-
	00000000 00000000			
0x1C4	ACMP3		-	-
	00000000 00000000			
0x1C8	ACMP4		-	-
	00000000 00000000			
0x1CC	ACMP5		-	-
	00000000 00000000			
0x1D0	-	-	ACSA[B,H,W]	
			--000000 --000000	
0x1D4	-	-	ACSD0[B,H,W]	ACSC0[B,H,W]
			00000000	00000000
0x1D8	-	-	ACSD1[B,H,W]	ACSC1[B,H,W]
			00000000	00000000
0x1DC	-	-	ACSD2[B,H,W]	ACSC2[B,H,W]
			00000000	00000000
0x1E0	-	-	ACSD3[B,H,W]	ACSC3[B,H,W]
			00000000	00000000
0x1E4	-	-	ACSD4[B,H,W]	ACSC4[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x1E8	-	-	ACSD5[B,H,W]	ACSC5[B,H,W]
			00000000	00000000
0x1EC - 0xFFC	-	-	-	-

1.8 PPG

PPG Base_Address : 0x4002_4000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W]	-
			11110000	
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W]	-
			00000000	
0x00C	-	-	-	COMP2[B,H,W]
				00000000
0x010	-	-	COMP4[B,H,W]	-
			00000000	
0x014	-	-	-	COMP6[B,H,W]
				00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W]	-
			11110000	
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W]	-
			00000000	
0x02C	-	-	-	COMP3[B,H,W]
				00000000
0x030	-	-	COMP5[B,H,W]	-
			00000000	
0x034	-	-	-	COMP7[B,H,W]
				00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W]	-
			11110000	
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W]	-
			00000000	
0x04C	-	-	-	COMP10[B,H,W]
				00000000
0x050	-	-	COMP12[B,H,W]	-
			00000000	
0x054	-	-	-	COMP14[B,H,W]
				00000000
0x058 - 0x0FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	-	-	TRG0[B,H,W]	
			00000000 00000000	
0x104	-	-	REVC0[B,H,W]	
			00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x31C - 0x33C	-	-	-	-
0x340			PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer) **Base Address : 0x4002_5100**

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer) **Base Address : 0x4002_5300**

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11 (Base Timer) **Base Address : 0x4002_5500**

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15 (Base Timer) **Base Address : 0x4002_5700**

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer) **Base Address : 0x4002_5F00**

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W] XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100

QPRC ch.1 NF Base Address : 0x4002_6110

QPRC ch.2 NF Base Address : 0x4002_6120

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	-------- -------- -------- --00-000			
0x0004	NFCTLB[B,H,W]			
	-------- -------- -------- --00-000			
0x0008	NFCTLC[B,H,W]			
	-------- -------- -------- --00-000			
0x000C	-	-	-	-

1.13 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

12-bit A/DC unit1 Base_Address : 0x4002_7100

12-bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10-bit D/AC　　Base_Address : 0x4002_8000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				---10000
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C - 0x0FC	-	-	-	-

1.17 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DRQSEL[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	*			
0x008 - 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- 00000000 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- ----0000 00000000 00000000			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ----0000			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ----0000			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ----0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ----0000			
0x050	IRQ15MON[B,H,W]			
	-------- -------- -------- ------00			
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ----0000			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ----0000			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ---00000			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ---00000			
0x070	IRQ23MON[B,H,W]			
	-------- -------- -------0 00000000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -------- --00-000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- ---00000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --000000			
0x084	IRQ28MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 - 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x214	RCINTSEL1[B,H,W] 00000000 00000000 00000000 00000000			
0x218 - 0xFFC	-	-	-	-

1.18 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x32C	PDIRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x43C	PDORF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 - 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 --00 0000 0000 0000			
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	---- ---- 0000 0000 0000 0000 0000 0000			
0x628 - 0x62C	-	-	-	-
0x630	EPFR12[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W]			
	---- ---- ---- ---- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x644	EPFR17[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x648	EPFR18[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0000			
0x64C - 0x650	-	-	-	-
0x654	EPFR21[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- -000			
0x658	EPFR22[B,H,W]			
	---- ---- ---- ---- 0000 ---- 0000 ----			
0x65C - 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0x7FC	-	-	-	-
0x800	*			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x804	*			
0x808 - 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 - 0xFFC	-	-	-	-

1.19 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				--0000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				--00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 - 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 - 0xFC	-	-	-	-

1.20 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL[B,H,W]	
			100000-- 000011--	
0x004	-	-	-	LVD_STR[B,H,W]
				0-------
0x008	-	-	-	LVD_CLR[B,H,W]
				1-------
0x00C	LVD_RLR[W]			
	00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2
				01------
0x014 - 0x0FC	-	-	-	-

1.21 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL[B,H,W]
				-------0
0x004	-	-	-	RCK_CTL[B,H,W]
				------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W]
				-------0
0x704	-	-	-	WRFSR[B,H,W]
				------00
0x708	-	-	WIFSR[B,H,W]	
			------00 00000000	
0x70C	-	-	WIER[B,H,W]	
			------00 00000-00	
0x710	-	-	-	WILVR[B,H,W]
				-----000
0x714	-	-	-	DSRAMR[B,H,W]
				------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W]	BUR03[B,H,W]	BUR02[B,H,W]	BUR01[B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08[B,H,W]	BUR07[B,H,W]	BUR06[B,H,W]	BUR05[B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012[B,H,W]	BUR11[B,H,W]	BUR10[B,H,W]	BUR09[B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16[B,H,W]	BUR15[B,H,W]	BUR14[B,H,W]	BUR13[B,H,W]
	00000000	00000000	00000000	00000000
0x810 - 0xEFC	-	-	-	-

1.22 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0--00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	-	-	RDR/TDR[H,W]	
			00000000 00000000	
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0 [B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000--0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044 - 0x0FC	-	-	-	-

1.23 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.24 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00--0000	--000000	--000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 - 0xFFC	-	-	-	-

1.25 RTC

RTC Base_Address : 0x4003_B000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0
0x034 - 0xFFC	-	-	-	-

1.26 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000 - 0x0FC	-	-	-	-

1.27 Peripheral Clock Gating

Peripheral Clock Gating Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	-------0 ----0000 00000000 00000000			
0x008 - 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000 ----0000 ----0000			
0x018 - 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- -------- -------- --00----			
0x024	MRST2[B,H,W]			
	-------- -------- -------- --00----			
0x028 - 0x0FC	-	-	-	-

1.28 DMAC

DMAC Base_Address : 0x4006_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000 - 0x00FC	-	-	-	-

1.29 MTB_DWT

MTB_DWT Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 - 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.30 Fast GPIO

Fast GPIO　　Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 - 0xFFC	-	-	-	-

C. レジスタマップ (TYPE2-M0+)

レジスタマップについて説明します。

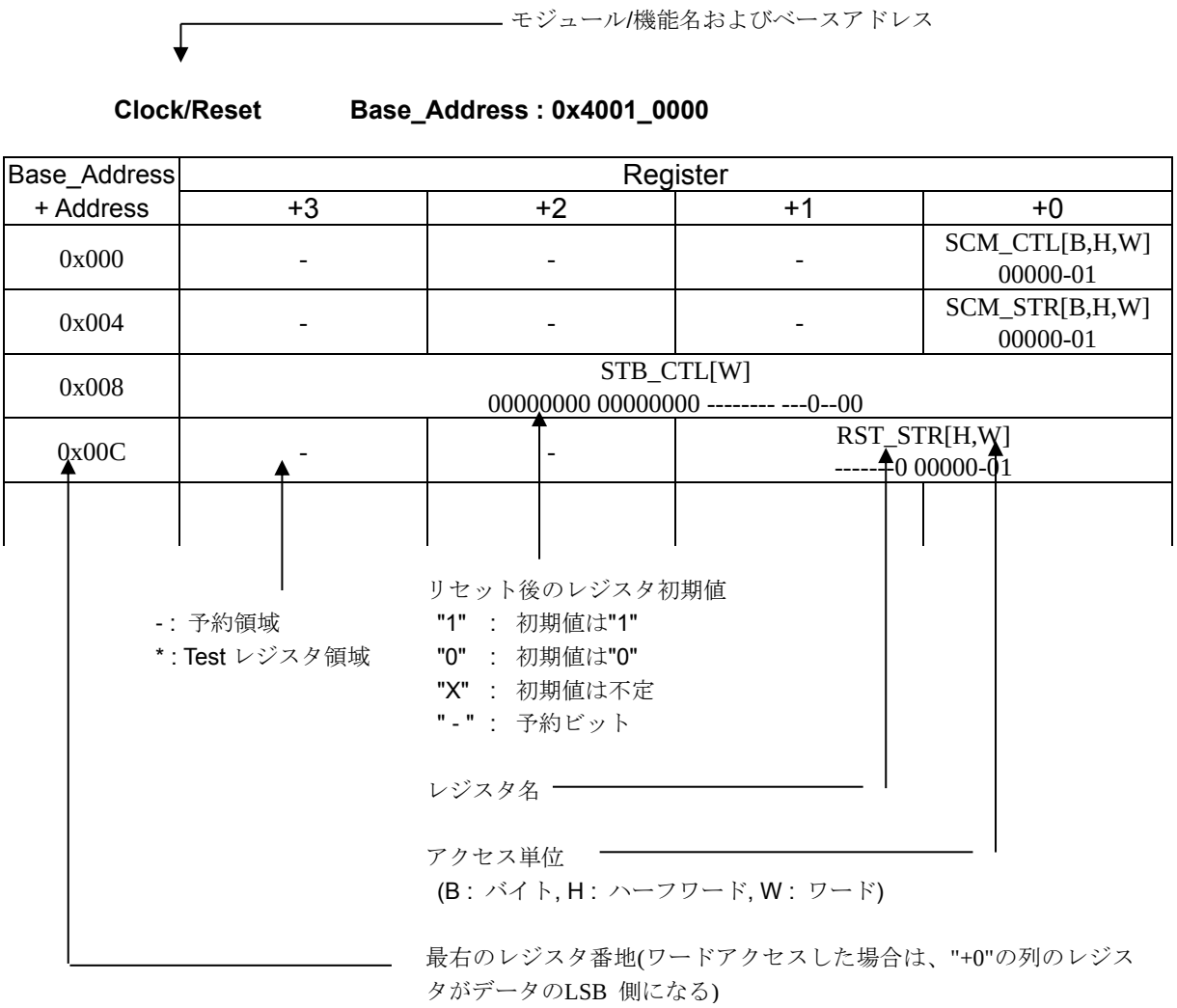
1. レジスタマップ

CODE: 9AFREGMAP-J01.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	FRVRC[B,H,W]			
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[R]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW_WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[R]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT unit0 Base_Address : 0x4002_0000

MFT unit1 Base_Address : 0x4002_1000

MFT unit2 Base_Address : 0x4002_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	OCSD10[B,H,W] --000000 00000000		OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	OCSD32[B,H,W] --000000 00000000		OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	OCSD54[B,H,W] --000000 00000000		OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-	-	WFIR[H,W] 00000000 00000000	
0x1B4	-	-	NZCL[H,W] 00000000 00000000	
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	ACMC0[B,H,W] 00--0000	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	ACMC1[B,H,W] 00--0000	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	ACMC2[B,H,W] 00--0000	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1E0	-	ACMC3[B,H,W] 00--0000	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	ACMC4[B,H,W] 00--0000	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	ACMC5[B,H,W] 00--0000	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC	-	-	-	TCSD[B,H,W] ------00
0x1F0-0xFFC	-	-	-	-

1.8 PPG

PPG Base_Address : 0x4002_4000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W]	-
			11110000	
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W]	-
			00000000	
0x00C	-	-	-	COMP2[B,H,W]
				00000000
0x010	-	-	COMP4[B,H,W]	-
			00000000	
0x014	-	-	-	COMP6[B,H,W]
				00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W]	-
			11110000	
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W]	-
			00000000	
0x02C	-	-	-	COMP3[B,H,W]
				00000000
0x030	-	-	COMP5[B,H,W]	-
			00000000	
0x034	-	-	-	COMP7[B,H,W]
				00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W]	-
			11110000	
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W]	-
			00000000	
0x04C	-	-	-	COMP10[B,H,W]
				00000000
0x050	-	-	COMP12[B,H,W]	-
			00000000	
0x054	-	-	-	COMP14[B,H,W]
				00000000
0x058 - 0x0FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	-	-	TRG0[B,H,W]	
			00000000 00000000	
0x104	-	-	REVC0[B,H,W]	
			00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11 (Base Timer)　　Base Address : 0x4002_5500

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15 (Base Timer)　　Base Address : 0x4002_5700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W] XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100

QPRC ch.1 NF Base Address : 0x4002_6110

QPRC ch.2 NF Base Address : 0x4002_6120

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	-------- -------- -------- --00-000			
0x0004	NFCTLB[B,H,W]			
	-------- -------- -------- --00-000			
0x0008	NFCTLC[B,H,W]			
	-------- -------- -------- --00-000			
0x000C	-	-	-	-

1.13 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

12-bit A/DC unit1 Base_Address : 0x4002_7100

12-bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10-bit D/AC Base_Address : 0x4002_8000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-0111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C – 0x0FC	-	-	-	-

1.17 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	*			
0x008 – 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- -------- ----0000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- -------- 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- -------- -------- ------00			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- -------0			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ------00			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- -------0			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ------00			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- -------0			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ------00			
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- -------0			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ------00			
0x050	IRQ15MON[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	-------- -------- -------- -------0			
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ------00			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- -------0			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ------00			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- -------0			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ------00			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- -------0			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ------00			
0x070	IRQ23MON[B,H,W]			
	-------- -------- ---0000- -----000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -----00- --000000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- --000000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --0-----			
0x084	IRQ28MON[B,H,W]			
	-------- -------- -------- --000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- -------0 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- -------- -------- --000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 – 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x214	RCINTSEL1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x218 – 0xFFC	-	-	-	-

1.18 LCDC

LCDC Base_Address : 0x4003_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	LCDCC3[B,H,W]	LCDCC2[B,H,W]	LCDCC1[B,H,W]
		0011111-	--010100	-00000--
0x04	LCDC_PSR[B,H,W]			
	-------- -0000000 00000000 00000000			
0x08	LCDC_COMEN[B,H,W]			
	-------- -------- -------- 00000000			
0x0C	LCDC_SEGEN1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x10	LCDC_SEGEN2[B,H,W]			
	-------- -------- -------- 00000000			
0x14	-	-	LCDC_BLINK[B,H,W]	
			00000000 00000000	
0x18	-	-	LCDC_BOOSTER[B,H,W]	
			--001110	----0011
0x1C	LCDRAM03[B,H,W]	LCDRAM02[B,H,W]	LCDRAM01[B,H,W]	LCDRAM00[B,H,W]
	00000000	00000000	00000000	00000000
0x20	LCDRAM07[B,H,W]	LCDRAM06[B,H,W]	LCDRAM05[B,H,W]	LCDRAM04[B,H,W]
	00000000	00000000	00000000	00000000
0x24	LCDRAM11[B,H,W]	LCDRAM10[B,H,W]	LCDRAM09[B,H,W]	LCDRAM08[B,H,W]
	00000000	00000000	00000000	00000000
0x28	LCDRAM15[B,H,W]	LCDRAM14[B,H,W]	LCDRAM13[B,H,W]	LCDRAM12[B,H,W]
	00000000	00000000	00000000	00000000
0x2C	LCDRAM19[B,H,W]	LCDRAM18[B,H,W]	LCDRAM17[B,H,W]	LCDRAM16[B,H,W]
	00000000	00000000	00000000	00000000
0x30	LCDRAM23[B,H,W]	LCDRAM22[B,H,W]	LCDRAM21[B,H,W]	LCDRAM20[B,H,W]
	00000000	00000000	00000000	00000000
0x34	LCDRAM27[B,H,W]	LCDRAM26[B,H,W]	LCDRAM25[B,H,W]	LCDRAM24[B,H,W]
	00000000	00000000	00000000	00000000
0x38	LCDRAM31[B,H,W]	LCDRAM30[B,H,W]	LCDRAM29[B,H,W]	LCDRAM28[B,H,W]
	00000000	00000000	00000000	00000000
0x3C	LCDRAM35[B,H,W]	LCDRAM34[B,H,W]	LCDRAM33[B,H,W]	LCDRAM32[B,H,W]
	00000000	00000000	00000000	00000000
0x40	LCDRAM39[B,H,W]	LCDRAM38[B,H,W]	LCDRAM37[B,H,W]	LCDRAM36[B,H,W]
	00000000	00000000	00000000	00000000
0x44 – 0xFC	-	-	-	-

1.19 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 – 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 – 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 – 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x340 – 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 – 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	---- ---- 1111 1111 1111 1111 1111 1111			
0x504 – 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 – 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 –00 0000 0000 0000			
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 –00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 –00 00-- --00 0000 –00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	---- ---- ---- ---- 0000 ---- ---- ----			
0x628 – 0x638	-	-	-	-
0x63C	EPFR15[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x644	-			
	-	-	-	-
0x648	EPFR18[B,H,W]			
	--00 0000 0000 0000 0000 0000 0000 0000			
0x64C – 0x658	-	-	-	-
0x65C	EPFR23[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x660 – 0x680	-	-	-	-
0x684	EPFR33[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- 0000 0000 0000 ---- 0000 0000 0000			
0x688	EPFR34[B,H,W]			
	---- ---- ---- ---- ---- ---- 0000 ----			
0x68C – 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	---- 0000 0000 0000 ---- ---- ---- ----			
0x698	EPFR38[B,H,W]			
	---- ---- ---- ---- ---- 0000 0000 0000			
0x69C – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740	LVDIE[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- ---- ---- ---- ---0			
0x744 – 0x7FC	-	-	-	-
0x800	*			
0x804	*			
0x808 – 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 – 0xFFC	-	-	-	-

1.20 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 – 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 – 0xFC	-	-	-	-

1.21 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			100000–000011--	
0x004	-	-	LVD_STR [B,H,W]	
			0------1 0------1	
0x008	-	-	LVD_CLR [B,H,W]	
			1------- 1-------	
0x00C	LVD_RLR [W]			
	---------- 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			0------- 01------	
0x014	-	-	LVD_CTL2 [B,H,W]	
			-------0 000011--	
0x018	-	-	-	LVD2_CTL [B,H,W]
				000011--
0x01C	-	-	LVD2_CTL2 [B,H,W]	
			0------0 000011--	
0x020 – 0x0FC	-	-	-	-

1.22 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W]
				---- -10-
0x004	-	-	-	RCK_CTL [B,H,W]
				---- --01
0x008	-	-	-	REG_CTL2 [B,H,W]
				---- -011
0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W]
				---- -10-
0x014 – 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W]
				---- 0000
0x104	-	-	-	CAL_SET [B,H,W]
				---1 0001
0x108	CAL_KEY [W]			
	00000000 00000000 00000000 00000001			
0x10C – 0x1FC	-	-	-	-
0x200 – 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W]
				---- ---0
0x704	-	-	-	WRFSR [B,H,W]
				---- --00
0x708	-	-	WIFSR [B,H,W]	
			00000000 00000000	
0x70C	-	-	WIER [B,H,W]	
			00000000 00000-00	
0x710	-	-	WILVR [B,H,W]	
			-----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W]
				---- --00
0x718 – 0x71C	-	-	-	-
0x720	-	-	-	STBFLASHPDX [B,H,W]
				---- ---0
0x724	RST_MSK [W]			
	00000000 00000000 -------- -------0			
0x728 – 0x7FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x800	BUR04 [B,H,W]	BUR03 [B,H,W]	BUR02 [B,H,W]	BUR01 [B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08 [B,H,W]	BUR07 [B,H,W]	BUR06 [B,H,W]	BUR05 [B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 – 0xEFC	-	-	-	-

1.23 USB Clock

USB Clock Base_Address : 0x4003_6000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-000 0000
0x004	-	-	-	UPCR [B,H,W]
				---- --00
0x008	-	-	-	UPCR2 [B,H,W]
				---- -000
0x00C	-	-	-	UPCR3 [B,H,W]
				---0 0000
0x010	-	-	-	UPCR4 [B,H,W]
				-011 1011
0x014	-	-	-	UP_STR [B,H,W]
				---- ---0
0x018	-	-	-	UPINT_ENR [B,H,W]
				---- ---0
0x01C	-	-	-	UPINT_CLR [B,H,W]
				---- ---0
0x020	-	-	-	UPINT_STR [B,H,W]
				---- ---0
0x024	-	-	-	UPCR5 [B,H,W]
				---- 0001
0x028	-	-	-	UPCR6 [B,H,W]
				---- 0010
0x02C	-	-	-	UP_CR7 [B,H,W]
				---- ---0
0x030	-	-	-	USBEN0 [B,H,W]
				---- -100
0x034	-	-	-	USBEN1 [B,H,W]
				---- -100
0x038 – 0xFFC	-	-	-	-

1.24 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0–00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000–0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044	-	-	FTICR2[B,H,W] 00000000	FTICR1[B,H,W] 00000000
0x048 – 0x0FC	-	-	-	-

<注意事項>

- *RDR/TDR レジスタの上位 16bit は、MFS-I2S モードで Word アクセスを使用するときのみ有効です。*

1.25 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.26 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00–0000	--000000	--000000
0x004 – 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 – 0xFFC	-	-	-	-

1.27 RTC

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_CLKDIV[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 11001110
0x180	-	-	-	CCB[B,H,W] 11001110
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A4	-	-	-	VBDDR[B,H,W] ----XXXX
0x1A8	-	-	-	VBDIR[B,H,W] ----0000
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x0B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W] 00000000	BREG02[B,H,W] 00000000	BREG01[B,H,W] 00000000	BREG00[B,H,W] 00000000
0x204	BREG07[B,H,W] 00000000	BREG06[B,H,W] 00000000	BREG05[B,H,W] 00000000	BREG04[B,H,W] 00000000
0x208	BREG0B[B,H,W] 00000000	BREG0A[B,H,W] 00000000	BREG09[B,H,W] 00000000	BREG08[B,H,W] 00000000
0x20C	BREG0F[B,H,W] 00000000	BREG0E[B,H,W] 00000000	BREG0D[B,H,W] 00000000	BREG0C[B,H,W] 00000000
0x210	BREG13[B,H,W] 00000000	BREG12[B,H,W] 00000000	BREG11[B,H,W] 00000000	BREG10[B,H,W] 00000000
0x214	BREG17[B,H,W] 00000000	BREG16[B,H,W] 00000000	BREG15[B,H,W] 00000000	BREG14[B,H,W] 00000000
0x218	BREG1B[B,H,W] 00000000	BREG1A[B,H,W] 00000000	BREG19[B,H,W] 00000000	BREG18[B,H,W] 00000000
0x21C	BREG1F[B,H,W] 00000000	BREG1E[B,H,W] 00000000	BREG1D[B,H,W] 00000000	BREG1C[B,H,W] 00000000
0x220	BREG23[B,H,W] 00000000	BREG22[B,H,W] 00000000	BREG21[B,H,W] 00000000	BREG20[B,H,W] 00000000
0x224	BREG27[B,H,W] 00000000	BREG26[B,H,W] 00000000	BREG25[B,H,W] 00000000	BREG24[B,H,W] 00000000
0x228	BREG2B[B,H,W] 00000000	BREG2A[B,H,W] 00000000	BREG29[B,H,W] 00000000	BREG28[B,H,W] 00000000
0x22C	BREG2F[B,H,W] 00000000	BREG2E[B,H,W] 00000000	BREG2D[B,H,W] 00000000	BREG2C[B,H,W] 00000000
0x230	BREG33[B,H,W] 00000000	BREG32[B,H,W] 00000000	BREG31[B,H,W] 00000000	BREG30[B,H,W] 00000000
0x234	BREG37[B,H,W] 00000000	BREG36[B,H,W] 00000000	BREG35[B,H,W] 00000000	BREG34[B,H,W] 00000000
0x238	BREG3B[B,H,W] 00000000	BREG3A[B,H,W] 00000000	BREG39[B,H,W] 00000000	BREG38[B,H,W] 00000000
0x23C	BREG3F[B,H,W] 00000000	BREG3E[B,H,W] 00000000	BREG3D[B,H,W] 00000000	BREG3C[B,H,W] 00000000
0x240	BREG43[B,H,W] 00000000	BREG42[B,H,W] 00000000	BREG41[B,H,W] 00000000	BREG40[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x244	BREG47[B,H,W] 00000000	BREG46[B,H,W] 00000000	BREG45[B,H,W] 00000000	BREG44[B,H,W] 00000000
0x248	BREG4B[B,H,W] 00000000	BREG4A[B,H,W] 00000000	BREG49[B,H,W] 00000000	BREG48[B,H,W] 00000000
0x24C	BREG4F[B,H,W] 00000000	BREG4E[B,H,W] 00000000	BREG4D[B,H,W] 00000000	BREG4C[B,H,W] 00000000
0x250	BREG53[B,H,W] 00000000	BREG52[B,H,W] 00000000	BREG51[B,H,W] 00000000	BREG50[B,H,W] 00000000
0x254	BREG57[B,H,W] 00000000	BREG56[B,H,W] 00000000	BREG55[B,H,W] 00000000	BREG54[B,H,W] 00000000
0x258	BREG5B[B,H,W] 00000000	BREG5A[B,H,W] 00000000	BREG59[B,H,W] 00000000	BREG58[B,H,W] 00000000
0x25C	BREG5F[B,H,W] 00000000	BREG5E[B,H,W] 00000000	BREG5D[B,H,W] 00000000	BREG5C[B,H,W] 00000000
0x260	BREG63[B,H,W] 00000000	BREG62[B,H,W] 00000000	BREG61[B,H,W] 00000000	BREG60[B,H,W] 00000000
0x264	BREG67[B,H,W] 00000000	BREG66[B,H,W] 00000000	BREG65[B,H,W] 00000000	BREG64[B,H,W] 00000000
0x268	BREG6B[B,H,W] 00000000	BREG6A[B,H,W] 00000000	BREG69[B,H,W] 00000000	BREG68[B,H,W] 00000000
0x26C	BREG6F[B,H,W] 00000000	BREG6E[B,H,W] 00000000	BREG6D[B,H,W] 00000000	BREG6C[B,H,W] 00000000
0x270	BREG73[B,H,W] 00000000	BREG72[B,H,W] 00000000	BREG71[B,H,W] 00000000	BREG70[B,H,W] 00000000
0x274	BREG77[B,H,W] 00000000	BREG76[B,H,W] 00000000	BREG75[B,H,W] 00000000	BREG74[B,H,W] 00000000
0x278	BREG7B[B,H,W] 00000000	BREG7A[B,H,W] 00000000	BREG79[B,H,W] 00000000	BREG78[B,H,W] 00000000
0x27C	BREG7F[B,H,W] 00000000	BREG7E[B,H,W] 00000000	BREG7D[B,H,W] 00000000	BREG7C[B,H,W] 00000000
0x280-0xFFC	-	-	-	-

1.28 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000 – 0x0FC	-	-	-	-

1.29 Peripheral Clock Gating

Peripheral Clock Gating Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1–11 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	------00 ----0000 00000000 00000000			
0x008 – 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000 ----0000 ----0000			
0x018 – 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- ---1-1-1 1111-1-- --00--00			
0x024	MRST2[B,H,W]			
	-------- ---0-0-0 0000-0-- --00–00			
0x028 – 0x0FC	-	-	-	-

1.30 Smart Card I/F

Smart Card I/F ch.0Base_Address : 0x4003_C900

Smart Card I/F ch.1Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000–00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.31 MFSI2S

MFSI2S ch.5 Base_Address : 0x4003_CA00

MFSI2S ch.6 Base_Address : 0x4003_CA80

Base_Address	Register			
+Address	+3	+2	+1	+0
0x00	-		CNTLREG [H,W] -------- -------- -----000 00000001	
0x04	-		I2SCLK [H,W] -------- -------- 000----- 00000000	
0x08	-		I2SST [B] ------00	I2SRST[B] 00000000

1.32 High Resilience

High Resilience Base_Address : 0x4003_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	RTR_CTL3 [B,H,W]	RTR_CTL2 [B,H,W]	RTR_CTL1 [B,H,W]	RTR_CTL0 [B,H,W]
	000- 000-	000- ----	---- ----	1111 1111
0x004	RTR_RTS3 [B,H,W]	RTR_RTS2 [B,H,W]	RTR_RTS1 [B,H,W]	RTR_RTS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x008	RTR_TGS3 [B,H,W]	RTR_TGS2 [B,H,W]	RTR_TGS1 [B,H,W]	RTR_TGS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x00C	RTR_STR3 [B,H,W]	RTR_STR2 [B,H,W]	RTR_STR1 [B,H,W]	RTR_STR0 [B,H,W]
	00-- ----	---- ----	00-- ----	---- ----
0x010	RTR_RLR [W]			
	00000000 00000000 00000000 00000000			
0x014	RTR_CT23 [B,H,W]	RTR_CT22 [B,H,W]	RTR_CT21 [B,H,W]	RTR_CT20 [B,H,W]
	0000 0000	0000 0000	0000 0000	---0 ---0
0x018	RTR_REV [B,H,W]			
	00000000 00010101 00000001 00000000			
0x01C – 0xFFC	-	-	-	-

1.33 USB

USB ch.0 Base_Address : 0x4004_0000

USB ch.1 Base_Address : 0x4005_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2148	-	-	EP0OS[H,W] 100–00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 – 0x217C	-	-	-	-

1.34 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x00C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x018-0x02C	-			
0x030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x038-0x04C	-			
0x050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x058-0x06C	-			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078-0x08C	-			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098-0xFFC	-			

1.35 MTB_DWT

MTB_DWT Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 – 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.36 Fast GPIO

Fast GPIO Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 – 0xFFC	-	-	-	-

D. レジスタマップ (TYPE3-M0+)

レジスタマップについて説明します。

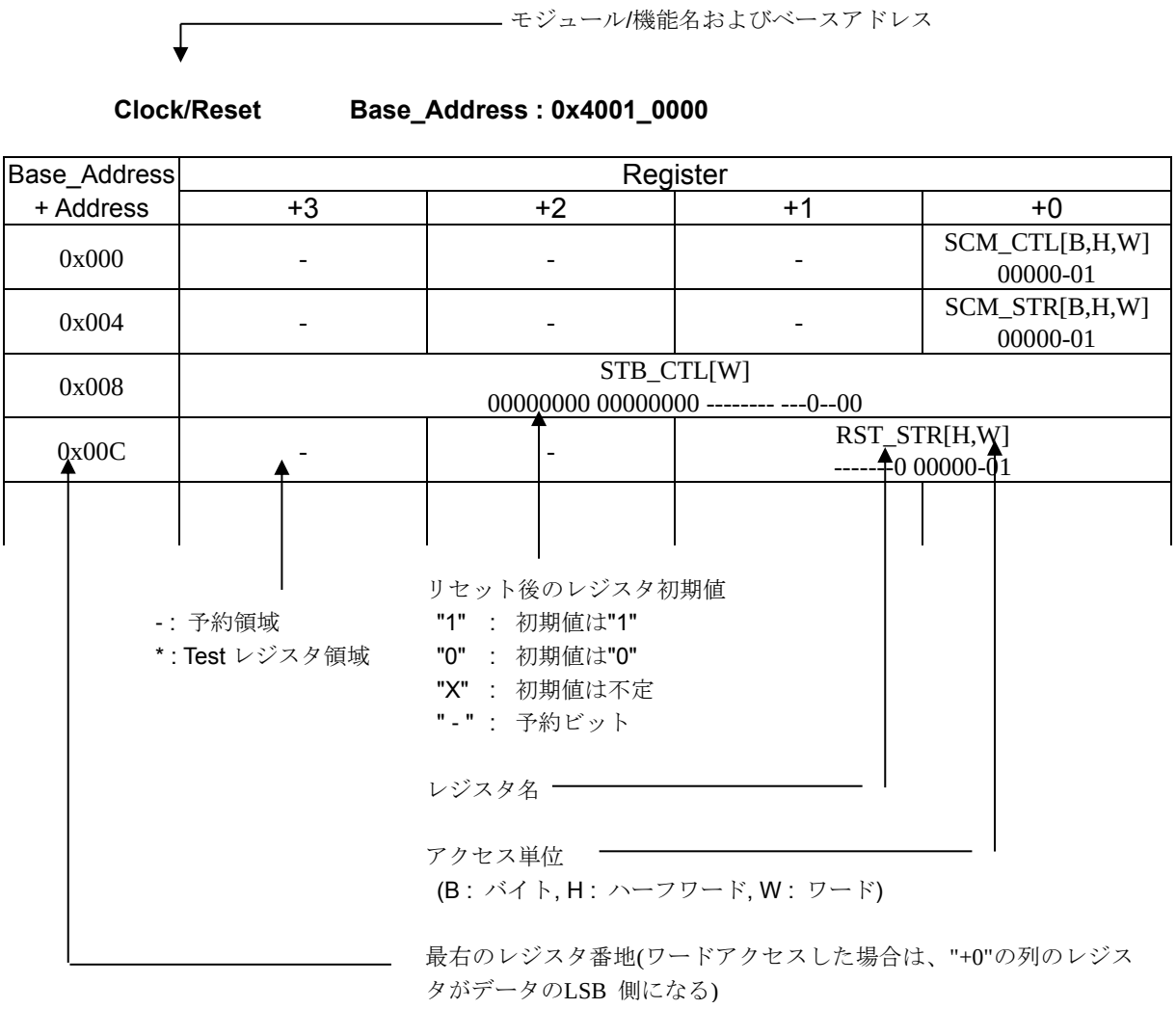
1. レジスタマップ

CODE: 9AFREGMAP-J03.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
	-------- -------- -------- -----011			
0x008	FSTR[B,H,W]			
	-------- -------- -------- --00000X			
0x00C	-	-	-	-
0x010	FSYNDN[B,H,W]			
	-------- -------- -------- ----0001			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
	-------- -------- -------- ------00			
0x024	FISR[B,H,W]			
	-------- -------- -------- ------00			
0x028	FICLR[B,H,W]			
	-------- -------- -------- ------00			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 00000-01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			0-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.8 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] -------- XXXXXXXX	

1.9 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			10000000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			00000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.10 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				-----001
0x004	-	-	MCR_FTRM[B,H,W]	
			------10 00000110	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-1111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.11 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C	ELVR2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x020	-	-	-	NMIENR[B,H,W]
	-	-	-	-------0
0x024–- 0x0FC	-	-	-	-

1.12 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 – 0x004	-	-	-	-
0x008	VIR_OFFSET[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	-	-	-	ODDPKS[B,H,W]
				---00000
0x014 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x204	IRQ00MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x208	IRQ01MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x20C	IRQ02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x210	IRQ03MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x214	IRQ04MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x218	IRQ05MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x21C	IRQ06MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x220	IRQ07MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x224	IRQ08MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x228	IRQ09MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x22C	IRQ10MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x230	IRQ11MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x234	IRQ12MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x238	IRQ13MON[B,H,W]			
	00000000 00000000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x23C	IRQ14MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x240	IRQ15MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x244	IRQ16MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x248	IRQ17MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x24C	IRQ18MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x250	IRQ19MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x254	IRQ20MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x258	IRQ21MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x25C	IRQ22MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x260	IRQ23MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x264	IRQ24MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x268	IRQ25MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x26C	IRQ26MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x270	IRQ27MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x274	IRQ28MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x278	IRQ29MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x27C	IRQ30MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x280	IRQ31MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x284–- 0xFFC	-	-	-	-

1.13 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	-	-	-	-
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024 – 0x034	-	-	-	-
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C–- 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C – 0x134	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C – 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	-	-	-	-
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224 – 0x234	-	-	-	-
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C–- 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	-	-	-	-
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324 – 0x334	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C–- 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	-	-	-	-
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424 – 0x434	-	-	-	-
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C–- 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504–- 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---0 0101			
0x584–- 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- --00 ---- --01 ---- --0- ---- --00			
0x604–- 0x60C	-	-	-	-
0x610	EPFR04[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x614	EPFR05[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x620	EPFR08[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	---- ---- 0000 0000 0000 0000 0000 0000			
0x628–- 0x654	-	-	-	-
0x658	EPFR22[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x65C	EPFR23[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x660–- 0x678	-	-	-	-
0x67C	EPFR31[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x680	-	-	-	-
0x684	EPFR33[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x688–- 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x698	EPFR38[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x69C–- 0x6FC	-	-	-	-
0x700	-	-	-	-
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	-	-	-	-
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710 – 0x714	-	-	-	-
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C – 0x7FC	-	-	-	-
0x800 – 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	-	-	-	-
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924 – 0x934	-	-	-	-
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C–- 0xFFC	-	-	-	-

1.14 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10–- 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68–- 0xFC	-	-	-	-

1.15 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			10000000 00001100	
0x004	-	-	LVD_STR [B,H,W]	
			00000000 0000000-	
0x008	-	-	LVD_CLR [B,H,W]	
			00000000 10000000	
0x00C	LVD_RLR [W]			
	00000000 00000000 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			00000000 01000000	
0x014–- 0x0FC	-	-	-	-

1.16 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W]
				---- -10-
0x004	-	-	-	RCK_CTL [B,H,W]
				---- --01
0x008–- 0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W]
				---- -10-
0x014–- 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W]
				---- 0000
0x104	-	-	-	-
0x108	CAL_KEY [W]			
	00000000 00000000 00000000 00000001			
0x10C–- 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W]
				---- ---0
0x704	-	-	-	WRFSR [B,H,W]
				---- --00
0x708	-	-	WIFSR [B,H,W]	
			00000000 00000000	
0x70C	-	-	WIER [B,H,W]	
			00000000 00000-00	
0x710	-	-	WILVR [B,H,W]	
			-----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W]
				---- --00
0x718–- 0x7FC	-	-	-	-
0x800	BUR04 [B,H,W]	BUR03 [B,H,W]	BUR02 [B,H,W]	BUR01 [B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08 [B,H,W]	BUR07 [B,H,W]	BUR06 [B,H,W]	BUR05 [B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 – 0x8FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x900	WIOLC_CTL [B,H,W]			
	-------0 -------1 -------0 -------0			
0x904	-	-	-	SUBOSC_CTL[B,H,W]
				------01
0x908	-	-	-	CEC_CTL [B,H,W]
				----0000
0x90C	-	-	-	DEBUG_SW_CTL[B,H,W]
				-------1
0x910–- 0xEFC	-	-	-	-

1.17 USB Clock

USB Clock　　Base_Address : 0x4003_6000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-----000
0x004 – 0x024	-	-	-	-
0x028	-	-	-	UPCR6[B,H,W]
				----0010
0x02C	-	-	-	-
0x030	-	-	-	USBEN0[B,H,W]
				-------0
0x038 – 0x0FC	-	-	-	-

1.18 I2CSLAVE

I2CSLAVE ch.6 Base_Address : 0x4003_7980

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	IBSCR[B,H,W]		IBSSR[B,H,W]	
	------00 0-000000		-----001 00000000	
0x04	-	IBSDSTUPR[B,H,W]	IBSMSKR[B,H,W]	IBSADR[B,H,W]
	-	11111111	01111111	00000000
0x08	-	-	-	IBSTDR[B,H,W]
	-	-	-	11111111
0x0C	-	-	-	IBSRDR[B,H,W]
	-	-	-	11111111
0x10	-	-	IBSSCR[B,H,W]	
	-	-	-----0-- -----00-	
0x14	-	-	IBSSSR[B,H,W]	
	-	-	-------0 --------	
0x18–- 0x3F	-	-	-	-

1.19 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			–-00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--00–-0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044–- 0x0FC	-	-	-	-

<注意事項>

- *RDR/TDR レジスタの上位 16bit は、MFS-I2S モードで Word アクセスを使用するときのみ有効です。*

1.20 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.21 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		0–-0000	--000000	--000000
0x004–- 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018–- 0xFFC	-	-	-	-

1.22 RTC

RTC Base_Address : 0x4003_B000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0
0x034–- 0xFFC	-	-	-	-

1.23 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000–- 0x0FC	-	-	-	-

1.24 Peripheral Clock Gating

Peripheral Clock Gating Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---- -------1 -------- 11-11-11			
0x004	MRST0[B,H,W]			
	-------- -------0 -------- 00-00-00			
0x008–- 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- -------- -------- ------11			
0x014	MRST1[B,H,W]			
	-------- -------- -------- ------00			
0x018–- 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- ------– 111----- -------0			
0x024	MRST2[B,H,W]			
	-------- ------– 000----- -------0			
0x028–- 0x0FC	-	-	-	-

1.25 Smart Card I/F

Smart Card I/F ch.1 Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 000–-00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.26 MFSI2S

MFSI2S ch.4 Base_Address : 0x4003_CA00

MFSI2S ch.6 Base_Address : 0x4003_CA80

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	CNTLREG[B, H,W] -----0-0 -0000-01	
0x04	-	-	I2SCLK[B, H,W] 00------ 00000000	
0x08	-	-	I2SST[B,H,W] ------00	I2SRST[B,H,W] 00000000
0x0C- 0x3C	-	-	-	-

1.27 USB

USB ch.0 Base_Address : 0x4004_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 10--00- -XXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178–- 0x217C	-	-	-	-

1.28 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x00C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x018-0x02C				
0x030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x038-0x04C				
0x050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x058-0x06C				
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078-0x08C				
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098–- 0xFFC	-	-	-	-

1.29 MTB_DWT

MTB_DWT　　Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024–- 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.30 Fast GPIO

Fast GPIO Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	-	-
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024–- 0x034	-	-	-	-
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	-	-
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064–- 0x074	-	-	-	-
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	-	-
0x080				M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088 – 0x0BF	-			
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8–- 0x0FC	-	-	-	-

1.31 VIR

VIR Base_Address : 0xF800_0100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	VIR00[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x004	VIR01[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	VIR02[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x00C	VIR03[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	VIR04[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x014	VIR05[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x018	VIR06[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x01C	VIR07[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x020	VIR08[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x024	VIR09[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x028	VIR10[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x02C	VIR11[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	VIR12[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x034	VIR13[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x038	VIR14[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x03C	VIR15[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x040	VIR16[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x044	VIR17[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	VIR18[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x04C	VIR19[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x050	VIR20[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x054	VIR21[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x058	VIR22[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x05C	VIR23[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x060	VIR24[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x064	VIR25[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x068	VIR26[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x06C	VIR27[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x070	VIR28[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x074	VIR29[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x078	VIR30[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x07C	VIR31[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

E. 注意事項一覧

各機能仕様の注意事項について示します。

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

管理コード: 9APRECAUTION_FM0-J03.0

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。

また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/ PCLK0/PCLK1	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB	―	各規格で規定されている周波数精度を満たせないため、使用できません。
マルチファンクションシリアル インタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO, I2C, MFS-I2S	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
Smart Card インターフェース	―	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。

F. 主な変更内容

ページ	場所	変更箇所
7	本マニュアルにおける対象製品	TYPE2-M0+製品、TYPE3-M0+製品を追加
26	CHAPTER1: システム概要 1.1 バス構成図	Figure 1-1 を修正
28	CHAPTER1: システム概要 1.3 メモリマップ	Figure 1-2 を修正
30,31,32	CHAPTER1: システム概要 1.4 ペリフェラル・アドレスマップ	Table 1-1 を修正
44	CHAPTER2-1:クロック 2. 構成	Figure 2-1 を修正
85	CHAPTER2-2：周辺クロック停止機能	TYPE2-M0+製品、TYPE3-M0+製品の機能説明を追加
167	CHAPTER4:リセット	ソフトウェアウォッチドックリセット (SWDGR)を訂正 異常周波数検出リセット (FCSR)を訂正
187 207 237	CHAPTER5-1: 低電圧検出概要 CHAPTER5-3: 低電圧検出（TYPE2) CHAPTER5-4: 低電圧検出（TYPE3)	TYPE2-M0+製品、TYPE3-M0+製品の機能説明のため、章を追加
257	CHAPTER6-1:低消費電力モード	TYPE2-M0+製品、TYPE3-M0+製品の機能説明を追加
327	CHAPTER6-2:Vbat ドメイン	TYPE2-M0+製品の機能説明のため、章を追加
381 467 473 485 503	CHAPTER7-1:割込みの概要 CHAPTER7-5:割込み構成(TYPE2) CHAPTER7-6:割込み(TYPE2-A) CHAPTER7-7:割込み(TYPE2-B) CHAPTER7-8:割込み(TYPE3)	TYPE2-M0+製品、TYPE3-M0+製品の機能説明のため、章を追加
525	CHAPTER8：外部割込み・NMI 制御部	TYPE3-M0+製品の機能説明を追加
603	CHAPTER10-1:I/O ポート	TYPE2-M0+製品、TYPE3-M0+製品の機能説明を追加
751	CHAPTER10-2:Fast GPIO	TYPE3-M0+製品の機能説明を追加
821	CHAPTER16:DSTC	TYPE2-M0+製品、TYPE3-M0+製品の機能説明のため、章を追加
959	APPENDIX C.レジスタマップ(TYPE2-M0+)	TYPE2-M0+製品のレジスタマップを追加
1023	APPENDIX D.レジスタマップ(TYPE3-M0+)	TYPE3-M0+製品のレジスタマップを追加

改訂履歴

改訂履歴

文書名: 32 ビット・マイクロコントローラ FM0+ファミリ PERIPHERAL MANUAL 文書番号: 002-04971			
版	**ECN 番号**	**変更者**	**変更内容**
**	-	TOYO	Initial release New Spec
*A	5037026	KEMU	TYPE2-M0+製品、TYPE3-M0+製品を追加。 詳細は、“F. 主な変更内容”を参照してください。
*B	5361193	HIFU	これは英語版の 002-04969 Rev. *A を翻訳した日本語版です。 7 ページ: 表紙(本マニュアルにおける対象商品)の Table 2 を修正 39 ページ: CHAPTER2-1: クロックの Figure 2-1 の誤記を修正 85 ページ: CHAPTER2-2: 周辺クロック定義機能の 5.使用時の注意に記述を追加 167 ページ: CHAPTER4: リセットの 3.1 リセット要因の誤記を修正 237 ページ: CHAPTER5-4: 低電圧検出(TYPE3)の誤記を修正 383, 389, 427 ページ: CHAPTER7-2/7-3/7-4: の誤記を修正 503 ページ: CHAPTER7-8: 割込み(TYPE3)の Table 3-1 を修正 797 ページ: CHAPTER13: MTB_DWT の 4.レジスタの誤記を修正 821 ページ: CHAPTER16: DSTC の 2.2 DSTC システム構成及び Table 3-3 の誤記を修正 901 ページ: A.製品型格一覧の Table 1-2 を修正 903 ページ: B.レジスタマップ(TYPE1-M0+)の誤記を修正 959 ページ: C.レジスタマップ(TYPE2-M0+)の誤記を修正 1023 ページ: D.レジスタマップ(TYPE3-M0+)の誤記を修正
*C	5817115	YOST	Updated Cypress logo. Updated Copyright.

*D	6053593	NOSU	これは英語版の 002-04969 Rev. *C を翻訳した日本語版です。 はじめに マイコンサポート情報を追加 本書の使い方 本マニュアルにおける対象製品 Table 1, 2, 3 の型格を 10 桁から 8 桁表記に修正 CHAPTER1: システム概要 Figure 1-2 から「CAN Prescaler」「CAN ch.0」「CAN ch.1」を削除 Table 1-1 から「CAN」「CAN プリスケーラ」を削除 語句「DMAC 転送」を「DMA 転送」に修正 CHAPTER2-1: クロック 1. 概要 「CAN プリスケーラクロック」を削除 2. 構成 「CAN プリスケーラクロック」に関する記述を削除 6. 仕様上の注意点 「CAN プリスケーラクロック」に関する記述を削除 CHAPTER2-2: 周辺クロック停止機能 1. 周辺クロック停止機能の概要 Table 1-1 から「CAN コントローラ」の行を削除 4.5 周辺クロック制御レジスタ 2 (CKEN2) LCD コントローラ非搭載製品での LCDCCK ビットの取り扱いを追記 CANCK[1:0]に関する記述を削除 4.6 周辺リセット制御レジスタ 2 (MRST2) CANRST[1:0]に関する記述を削除 CHAPTER6-1: 低消費電力モード 4. スタンバイモードの設定手順例 Figure 4-1, 4-2, 4-3 から CAN に関する記述を削除 CHAPTER7-2: 割込み構成(TYPE1) DMA に関する記述を削除 CHAPTER7-3: 割込み(TYPE1-A) DMA に関する記述を削除 CHAPTER7-4: 割込み(TYPE1-B) DMA に関する記述を削除 CHAPTER7-8: 割込み(TYPE3) 4.5 Vector Indicate Register xx (VIRxx) MFS 使用時の VIR レジスタの使い方に関する注意事項を追加 CHAPTER10-1: I/O ポート 2.6 ディープスタンバイモード時の動作(TYPE3-M0+) 電源投入後のクロック発振端子の設定方法に関する注意書きを追加 4.7 EPFRx EPFRx のレジスタ構成一覧から「CAN」を削除

			4.17 拡張機能端子設定レジスタ 09 (EPFR09) CAN に関する記述を削除 4.33 特殊ポート設定レジスタ(SPSR) 電源投入後のクロック発振端子の設定方法に関する注意書きを追加 CHAPTER 11: CRC 2.1 CRC 計算シーケンス Figure 2-1 の語句を DMAC から DMA へ変更 CHAPTER 16: DSTC 誤記を修正: Relaod → Reload 4.6 DSTC 制御例 「DSTC の HW 起動転送を途中でとめる方法について」を追加 Appendix A: 製品型格一覧 1. 製品型格一覧 Table 1, 2, 3 の型格を 10 桁から 8 桁表記に修正 Appendix B: レジスタマップ (TYPE1-M0+) 1.18 GPIO EPFR09 の初期値上位 8 ビットを”0000 0000”から”---- ----“に修正 1.28 DMAC レジスタを削除 Appendix C: レジスタマップ (TYPE2-M0+) 1.29 Peripheral Clock Gating CKEN2 レジスタの Bit[5:4]の初期値を”**”から”00“に修正 Appendix D: レジスタマップ (TYPE3-M0+) 1.13 GPIO EPFR09 の初期値上位 8 ビットを”0000 0000”から”---- ----“に修正 Appendix E: 注意事項一覧 1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 機能マクロへの影響の表から CAN を削除