サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

32 ビット・マイクロコントローラ

FM0+ファミリ PERIPHERAL MANUAL 通信マクロ編

Doc. No. 002-05026 Rev. *D

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
http://www.cypress.com

Copyrights

© Cypress Semiconductor Corporation, 2013-2018. 本書面は，Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合，Cypress は，(1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア (Cypress により提供され，修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress，Cypress のロゴ，Spansion，Spansion のロゴ及びこれらの組み合わせ，WICED，PSoC，CapSense，EZ-USB，F-RAM，及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは，cypress.com を参照すること。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、『ペリフェラルマニュアル』およびご使用の製品の『データシート』をご一読ください。
尚､本書はペリフェラルマニュアルより通信マクロに関する内容を抜きだした別冊の位置づけで定義されております。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作、使い方について解説しています。

＜注意事項＞

- *本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。デバイス仕様の詳細については、それぞれのデータシートを参照してください。*
- *周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。*

サンプルプログラムおよび開発環境

FM0+ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本シリーズで使用する開発環境も掲載しています｡当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

- *サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。*
  また､サンプルプログラムの使用に起因し生じた損害については､当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアル 通信マクロ編は、以下に示す章および APPENDIXES から構成されています。

CHAPTER 1-1: マルチファックションシリアルインタフェース
CHAPTER 1-2: UART(非同期シリアルインタフェース)
CHAPTER 1-3: CSIO (クロック同期シリアルインタフェース)
CHAPTER 1-4: LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))
CHAPTER 1-5: I^2C インタフェース(I^2C 通信制御インタフェース)
CHAPTER 1-6: マルチファックションシリアル I2S インタフェース
CHAPTER 2-1: CAN プリスケーラ
CHAPTER 2-2: CAN コントローラ
CHAPTER 3-1: HDMI-CEC/リモコン受信
CHAPTER 3-2: CEC 受信/リモコン受信
CHAPTER 3-3: CEC 送信
CHAPTER 4-1: USB クロック生成概要
CHAPTER 4-2: USB クロック生成(A)
CHAPTER 4-3: USB クロック生成(B)

CHAPTER 5-1: USB デバイス(USB ファンクション)
CHAPTER 5-2: USB ホスト
CHAPTER 6:　スマートカードインタフェース
CHAPTER 7:　I2CSLAVE
APPENDIXES

関連マニュアル

FM0+ ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

- FM0+ ファミリ ペリフェラルマニュアル
  (以降、『ペリフェラルマニュアル』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル タイマ編
  (以降、『タイマ編』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル アナログマクロ編
  (以降、『アナログマクロ編』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル 通信マクロ編 (本書)
  (以降、『通信マクロ編』とよびます。)

データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

- 32 ビット FM0+ファミリ DATA SHEET

<注意事項>

- *データシートはシリーズごとに用意されています。*
  お使いのシリーズ用のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M**0**+コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

- Cortex-M0+ テクニカルリファレンスマニュアル
- Armv6-M アーキテクチャ アプリケーション レベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

- FM0+ フラッシュプログラミングマニュアル

<注意事項>

- *本マニュアルはシリーズごとに用意されています。*
  お使いのシリーズ用のマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

■ 目次から探す

本書の内容を記載順に示します。

■ レジスタから探す

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『APPENDIXES』の『A.レジスタマップ』を参照してください。

章について

本書では、アナログマクロについて説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

■ 本書のレジスタ説明中のビット構成図では以下のように表記しています。

- bit　:　ビット番号
- Field　:　ビットフィールド名
- 属性　:　各ビットのリード、ライト属性
  - R　:　リードオンリ
  - W　:　ライトオンリ
  - R/W:　リード・ライト可能
  - -　:　未定義
- 初期値 :　リセット直後のレジスタ初期値
  - 0　:　初期値"0"
  - 1　:　初期値"1"
  - X　:　初期値不定

■ 本書では、複数のビットを以下のように表記しています。

例 : bit7 から bit0 の場合は bit7:0

■ 本書では、アドレスなどの数値を以下のように表記しています。

- 16 進数 :　プレフィックス(接頭辞)として"0x"を付けて表記しています(例 : 0xFFFF)。
- 2 進数 :　プレフィックス(接頭辞)として"0b"を付けて表記しています(例 : 0b1111)。
- 10 進数 :　数値だけで表記しています(例 : 1000)。

本マニュアルにおける対象製品

■ 本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M0+","TYPE2-M0+","TYPE3-M0+"などの表記は、以下の一覧の FM0+ファミリ製品に置き換えてお読みください。

Table 1 FM0+ファミリの TYPE1 型格一覧

TYPE	フラッシュメモリサイズ	
	56K bytes	88K bytes
TYPE1-M0+	S6E1A11B S6E1A11C	S6E1A12B S6E1A12C

Table 2 FM0+ファミリの TYPE2 型格一覧

TYPE	フラッシュメモリサイズ	
	304K bytes	560K bytes
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 3 FM0+ファミリの TYPE3 型格一覧

TYPE	フラッシュメモリサイズ	
	64K bytes	128K bytes
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

Contents

CHAPTER 1-1: マルチファンクションシリアルインタフェース 19
1. マルチファンクションシリアルインタフェースの概要 20
CHAPTER 1-2: UART(非同期シリアルインタフェース) 21
1. UART (非同期シリアルインタフェース)の概要 22
2. UART の割込み 23
2.1 受信割込み発生とフラグセットのタイミング 24
2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 26
2.3 送信割込み発生とフラグセットのタイミング 28
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 29
3. UART の動作 30
4. 専用ボーレートジェネレータ 37
4.1 ボーレート設定 38
5. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー 43
6. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー 46
7. UART(非同期シリアルインタフェース)のレジスタ 49
7.1 シリアル制御レジスタ(SCR) 50
7.2 シリアルモードレジスタ(SMR) 53
7.3 シリアルステータスレジスタ(SSR) 55
7.4 拡張通信制御レジスタ(ESCR) 58
7.5 受信データレジスタ/送信データレジスタ(RDR/TDR) 60
7.6 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 62
7.7 FIFO 制御レジスタ 1(FCR1) 64
7.8 FIFO 制御レジスタ 0(FCR0) 66
7.9 FIFO バイトレジスタ(FBYTE) 70
CHAPTER1-3: CSIO (クロック同期シリアルインタフェース) 73
1. CSIO (クロック同期シリアルインタフェース)の概要 74
2. CSIO (クロック同期シリアルインタフェース)の割込み 75
2.1 受信割込み発生とフラグセットのタイミング 77
2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 79
2.3 送信割込み発生とフラグセットのタイミング 81
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 82
2.5 タイマ割込み発生とフラグセットのタイミング 83
2.6 チップセレクトエラー発生とフラグセットのタイミング 84
3. CSIO (クロック同期シリアルインタフェース)の動作 86
3.1 ノーマル転送(Ⅰ) 86
3.2 ノーマル転送(Ⅱ) 95
3.3 SPI 転送(Ⅰ) 104

3.4 SPI 転送(Ⅱ) 113
4. シリアルタイマの動作 122
5. シリアルチップセレクトの動作 127
6. 専用ボーレートジェネレータ 137
6.1 ボーレート設定 138
6.2 CSIO(クロック同期シリアルインタフェース)設定手順とプログラムフロー 142
7. CSIO (クロック同期シリアルインタフェース)のレジスタ 144
7.1 シリアル制御レジスタ(SCR) 146
7.2 シリアルモードレジスタ(SMR) 149
7.3 シリアルステータスレジスタ(SSR) 152
7.4 拡張通信制御レジスタ(ESCR) 154
7.5 受信データレジスタ/送信データレジスタ(RDR/TDR) 156
7.6 シリアル補助制御ステータスレジスタ (SACSR) 158
7.7 シリアルタイマレジスタ(STMR) 162
7.8 シリアルタイマ比較レジスタ (STMCR) 163
7.9 シリアルチップセレクト制御ステータスレジスタ(SCSCR) 164
7.10 シリアルチップセレクトタイミングレジスタ(SCSTR3-0) 168
7.11 シリアルチップセレクトフォーマットレジスタ(SCSFR2-0) 171
7.12 転送バイトレジスタ(TBYTE3-0) 175
7.13 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 176
7.14 FIFO 制御レジスタ 1(FCR1) 177
7.15 FIFO 制御レジスタ 0(FCR0) 179
7.16 FIFO バイトレジスタ(FBYTE) 182
8. CSIO (クロック同期シリアルインタフェース)の制限事項 184
CHAPTER 1-4: LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1)) 185
1. LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の概要 186
2. LIN インタフェース(v2.1)の割込み 187
2.1 受信割込み発生とフラグセットのタイミング 188
2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 190
2.3 送信割込み発生とフラグセットのタイミング 192
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 193
3. 専用ボーレートジェネレータ 194
3.1 ボーレート設定 195
4. LIN インタフェース(v2.1)の動作 200
5. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー 212
6. LIN インタフェース(v2.1)のレジスタ 217
6.1 シリアル制御レジスタ(SCR) 218
6.2 シリアルモードレジスタ(SMR) 222
6.3 シリアルステータスレジスタ(SSR) 224
6.4 拡張通信制御レジスタ(ESCR) 227
6.5 受信データレジスタ/送信データレジスタ(RDR/TDR) 229
6.6 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 231
6.7 FIFO 制御レジスタ 1(FCR1) 233
6.8 FIFO 制御レジスタ 0(FCR0) 235
6.9 FIFO バイトレジスタ(FBYTE) 238
CHAPTER1-5: I²C インタフェース (I²C 通信制御インタフェース) 241

1. I²C インタフェース(I²C 通信制御インタフェース)の概要 242
2. I²C インタフェースの動作 243
2.1 I²C インタフェースの割込み 243
2.2 I²C バスの動作 245
2.3 マスタモード 246
2.3.1 スタート条件生成 246
2.3.2 スレーブアドレス出力 247
2.3.3 第 1 バイト送信によるアクノリッジ受信 249
2.3.4 マスタによるデータ送信 255
2.3.5 マスタによるデータ受信 269
2.3.6 アービトレーションロスト 276
2.3.7 マスタモードのウェイト 276
2.3.8 DMA モードが許可時(SSR:DMA=1)の反復スタート条件発行 277
2.4 スレーブモード 278
2.4.1 スレーブアドレス一致検出 278
2.4.2 データ方向ビット 280
2.4.3 スレーブによる受信 280
2.4.4 スレーブによる送信 286
2.5 バスエラー 287
2.5.1 バスエラー発生条件 287
2.5.2 バスエラー動作 287
3. 専用ボーレートジェネレータ 288
3.1 ボーレート選択 288
3.2 ボーレートの計算 288
3.3 各バスクロック周波数に対するリロード値とボーレート 289
3.4 リロードカウンタの機能 289
3.5 カウントの開始 289
4. I²C の通信動作フローチャート例 290
5. I²C インタフェースのレジスタ 297
5.1 I²C バス制御レジスタ(IBCR) 298
5.2 シリアルモードレジスタ(SMR) 305
5.3 I²C バスステータスレジスタ(IBSR) 307
5.4 シリアルステータスレジスタ(SSR) 312
5.5 受信データレジスタ/送信データレジスタ(RDR/TDR) 316
5.6 拡張 I²C バス制御レジスタ(EIBCR) 318
5.7 7 ビットスレーブアドレスマスクレジスタ(ISMK) 320
5.8 7 ビットスレーブアドレスレジスタ(ISBA) 321
5.9 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 322
5.10 FIFO 制御レジスタ 1(FCR1) 323
5.11 FIFO 制御レジスタ 0(FCR0) 325
5.12 FIFO バイトレジスタ(FBYTE) 329
CHAPTER 1-6: MFS-I²S (Inter-IC Sound bus) 331
1. MFS-I²S インタフェースの構成 333
2. データ構造 334
3. MFS-I²S 割込み 335
3.1 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 336

3.2 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 337
4. MFS-I²S レジスタ 338
4.1 シリアル制御レジスタ(SCR) 339
4.2 シリアルモードレジスタ(SMR) 341
4.3 シリアルステータスレジスタ(SSR) 343
4.4 拡張通信制御レジスタ(ESCR) 345
4.5 受信データレジスタ/送信データレジスタ(RDR/TDR) 346
4.6 FIFO 制御レジスタ 1(FCR1) 348
4.7 FIFO 制御レジスタ 0(FCR0) 350
4.8 FIFO バイトレジスタ(FBYTE) 353
5. MFS-I²S クロックジェネレータレジスタ 355
5.1 コントロールレジスタ(CNTLREG) 356
5.2 I²S クロックレジスタ(I2SCLK) 358
5.3 I2S ステータスレジスタ(I2SST) 360
5.4 I2S リセットレジスタ(I2SRST) 361
6. MFS-I²S インタフェース動作説明 362
6.1 クロックとフレーム同期信号 362
6.2 転送開始/停止動作 363
7. ユーザの注意事項 364
7.1 接続図 364
7.2 初期化プロセス 365
7.3 I²S および MSB-Justified プロトコル 366
CHAPTER 2-1: CAN プリスケーラ 367
CHAPTER 2-2: CAN コントローラ 369
CHAPTER3-1: HDMI-CEC/リモコン受信 371
1. 構成 372
2. 版数 373
3. HDMI-CEC 使用上の注意点 374
CHAPTER3-2: CEC 受信/リモコン受信 375
1. 概要 376
2. 構成 377
3. 動作説明 378
3.1 SIRCS モード 378
3.1.1 SIRCS モードの動作フローチャートと波形 378
3.1.2 SIRCS モードの基本動作 379
3.1.3 スタートビット検出と割込み出力 379
3.1.4 最小パルス幅違反 380
3.1.5 デバイスアドレス比較 380
3.1.6 カウンタオーバフロー検出と割込み出力 380
3.2 NEC/家電協モードの動作説明 381
3.2.1 NEC/家電協モードの動作フローチャートと波形 381
3.2.2 スタートビット検出 382
3.2.3 リピートコード検出 383
3.2.4 最小パルス幅違反 383
3.2.5 カウンタオーバフロー検出と割込み出力 384
3.3 HDMI-CEC モード 385

3.3.1 HDMI-CEC モードの動作フローチャートと波形 385
3.3.2 スタートビット検出と割込み出力 386
3.3.3 最小パルス幅違反 387
3.3.4 カウンタオーバフロー検出と割込み出力 387
3.3.5 デバイスアドレス比較 388
3.3.6 データビット幅違反とエラーパルス自動出力 388
3.3.7 EOM 検出 389
3.3.8 ACK 検出と割込み出力 390
3.4 ノイズフィルタ 390
4. 設定例 391
5. レジスタ 392
5.1 受信制御レジスタ(RCCR) 393
5.2 受信割込み制御レジスタ(RCST) 395
5.3 デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2) 397
5.4 スタートビット検出幅設定レジスタ(RCSHW) 398
5.5 最小パルス幅設定レジスタ (RCDAHW) 399
5.6 しきい値設定レジスタ (RCDBHW) 400
5.7 データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL) 401
5.8 クロック分周設定レジスタ (RCCKD) 402
5.9 リピートコード割込み制御レジスタ(RCRC) 403
5.10 リピートコード検出幅設定レジスタ(RCRHW) 404
5.11 データビット幅違反制御レジスタ(RCLE) 405
5.12 最大データビット幅設定レジスタ(RCLELW) 407
5.13 最小データビット幅設定レジスタ(RCLESW) 408
CHAPTER3-3: CEC 送信 409
1. CEC 送信の概要 410
2. CEC 送信回路のブロックダイヤグラム 411
3. CEC 送信割込み 412
4. CEC 送信のレジスター覧 413
5. CEC 送信の動作説明 414
5.1 CEC 送信動作 415
5.2 割込み要因とタイミングチャート 416
5.3 アービトレーションロスト検出 417
5.4 シグナルフリー検出 418
5.5 フィルタ機能 419
5.6 CEC 送信動作について 420
6. CEC 送信のレジスタセット 421
6.1 送信制御レジスタ(TXCTRL) 422
6.2 送信データレジスタ(TXDATA) 424
6.3 送信ステータスレジスタ(TXSTS) 425
6.4 シグナルフリー時間設定レジスタ(SFREE) 427
CHAPTER 4-1: USB クロック生成部 429
1. 概要・構成 430
CHAPTER 4-2: USB クロック生成 (A) 431
1. 概要 432
2. 構成・ブロックダイヤグラム 433

3. 動作説明 434
4. 設定手順例 436
5. レジスター覧 437
5.1 USB クロック制御レジスタ(UCCR) 438
5.2 USB-PLL 制御レジスタ 1(UPCR1) 439
5.3 USB-PLL 制御レジスタ 2(UPCR2) 440
5.4 USB-PLL 制御レジスタ 3(UPCR3) 441
5.5 USB-PLL 制御レジスタ 4(UPCR4) 442
5.6 USB-PLL 制御レジスタ 5(UPCR5) 443
5.7 USB-PLL 状態レジスタ(UP_STR) 444
5.8 USB-PLL 割込み要因イネーブルレジスタ(UPINT_ENR) 445
5.9 USB-PLL 割込み要因状態レジスタ(UPINT_STR) 446
5.10 USB-PLL 割込み要因クリアレジスタ(UPINT_CLR) 447
5.11 USB(ch.0)許可レジスタ(USBEN0) 448
5.12 USB(ch.1)許可レジスタ(USBEN1) 449
6. 使用上の注意点 450
CHAPTER 4-3: USB クロック生成 (B) 451
1. 概要 452
2. 構成・ブロックダイヤグラム 452
3. 動作説明 453
3.1 USB クロック選択 453
3.2 スタンバイモード遷移 453
4. 設定手順例 454
5. レジスター覧 455
5.1 USB クロック生成部のレジスター覧 455
5.2 USB クロック制御レジスタ(UCCR) 456
5.3 USB 分周器制御レジスタ 6(UPCR6) 457
5.4 USB(ch.0)許可レジスタ(USBEN0) 458
6. 使用上の注意点 459
CHAPTER 5-1: USB デバイス(USB ファンクション) 461
1. USB デバイス(USB ファンクション)の概要 462
1.1 USB デバイス(USB ファンクション)の特長 462
2. USB デバイス(USB ファンクション)の構成 463
3. USB デバイス(USB ファンクション)の動作説明 465
3.1 USB デバイス(USB ファンクション)の動作 466
3.2 接続検出と切断検出 469
3.3 コマンド応答時の各レジスタ動作 472
3.4 サスペンド機能 474
3.5 ウェイクアップ機能 475
3.6 DMA 転送機能 477
3.7 NULL 転送機能 481
3.8 エンドポイント 0 の STALL 応答/解除 482
3.9 エンドポイント 1～5 の STALL 応答/解除 484
4. USB デバイス(USB ファンクション)の設定手順例 488
5. USB デバイス(USB ファンクション)のレジスタ 496
5.1 UDC 制御レジスタ(UDCC) 498

5.2 EP0 制御レジスタ(EP0C) 501
5.3 EP1～5 制御レジスタ(EP1C～EP5C) 503
5.4 タイムスタンプレジスタ(TMSP) 506
5.5 UDC ステータスレジスタ(UDCS) 507
5.6 UDC 割込み許可レジスタ(UDCIE) 509
5.7 EP0I ステータスレジスタ(EP0IS) 511
5.8 EP0O ステータスレジスタ(EP0OS) 513
5.9 EP1～5 ステータスレジスタ(EP1S～EP5S) 515
5.10 EP0～5 データレジスタ(EP0DTH～EP5DTH/ EP0DTL～EP5DTL) 518
CHAPTER 5-2: USB ホスト 521
1. USB ホストの概要 522
2. USB ホストの構成 523
3. USB ホストの動作説明 524
3.1 デバイスの接続 525
3.2 USB バスのリセット 527
3.3 トークンパケット 528
3.4 データパケット 531
3.5 ハンドシェークパケット 532
3.6 リトライ機能 533
3.7 SOF 割込み 534
3.8 エラーステータス 536
3.9 パケット終了 537
3.10 サスペンド・リジューム 538
3.11 デバイスの切断 541
4. USB ホストの設定手順例 542
5. USB ホストのレジスタ 547
5.1 ホストコントロールレジスタ 0, 1(HCNT) 549
5.2 ホスト割込みレジスタ(HIRQ) 554
5.3 ホストエラーステータスレジスタ(HERR) 557
5.4 ホスト状態ステータスレジスタ(HSTATE) 560
5.5 SOF 割込み FRAME 比較レジスタ(HFCOMP) 563
5.6 リトライタイマ設定レジスタ(HRTIMER) 564
5.7 ホストアドレスレジスタ(HADR) 565
5.8 EOF 設定レジスタ(HEOF) 566
5.9 FRAME 設定レジスタ(HFRAME) 567
5.10 ホストトークンエンドポイントレジスタ(HTOKEN) 568
CHAPTER 6: スマートカードインタフェース 571
1. スマートカードインタフェースの概要 572
2. スマートカードインタフェースの構成 573
3. スマートカードインタフェースの動作 574
3.1 送信/受信データフォーマット 574
3.2 データ送信 575
3.3 データ受信 577
3.4 ボーレート構成 579
3.5 スタートビット検出 579
3.6 エラー検出 580

3.7 出力反転 581
3.8 ポート制御 581
4. スマートカードインタフェースの割込み 582
4.1 受信割込み発生とフラグセットのタイミング 583
4.2 読出し FIFO 使用時の割込み発生とフラグセットのタイミング 584
4.3 送信割込み発生とフラグセットのタイミング 585
4.4 書込み FIFO 使用時の割込み発生とフラグセットのタイミング 586
4.5 カードイベント割込み発生とフラグセットのタイミング 586
4.6 アイドルタイマ満了割込み発生とフラグセットのタイミング 587
5. スマートカードインタフェースの設定手順とプログラムフロー 589
6. スマートカードインタフェースのレジスタ 592
6.1 グローバル制御レジスタ 1(GLOBALCONTROL1) 593
6.2 ステータスレジスタ(STATUS) 597
6.3 ポート制御レジスタ(PORTCONTROL) 601
6.4 データレジスタ(DATA) 604
6.5 カードクロック周波数レジスタ(CARDCLOCK) 605
6.6 ボーレートレジスタ(BAUDRATE) 606
6.7 ガードタイマレジスタ(GUARDTIMER) 607
6.8 アイドルタイマレジスタ(IDLETIMER) 608
6.9 グローバル制御レジスタ 2(GLOBALCONTROL2) 609
6.10 FIFO アクセスレジスタ(DATA_FIFO) 610
6.11 読出し FIFO レベルレジスタ(FIFO_LEVEL_READ) 611
6.12 書込み FIFO レベルレジスタ(FIFO_LEVEL_WRITE) 612
6.13 FIFO モードレジスタ(FIFO_MODE) 613
6.14 書込み FIFO クリアレジスタ(FIFO_CLEAR_MSB_WRITE) 615
6.15 読出し FIFO クリアレジスタ(FIFO_CLEAR_MSB_READ) 616
6.16 割込みステータスレジスタ(IRQ_STATUS) 617
CHAPTER 7: I2CSLAVE 621
1. 概要 622
2. 構成 623
3. 動作説明 624
3.1. スレーブアドレス 624
3.2. 予約アドレス 626
3.3. データ送受信 627
3.4. Wake-Up 629
3.5. 割込み要求 629
3.6. データセットアップ時間 630
3.7. 設定手順例 631
4. レジスタ 633
4.1. I2C バススレーブステータスレジスタ(IBSSR) 634
4.2. I2C バススレーブコントロールレジスタ(IBSCR) 638
4.3. I2C バス 7 ビットスレーブアドレスレジスタ(IBSADR) 641
4.4. I2C バス 7 ビットスレーブアドレスマスクレジスタ(IBSMSKR) 642
4.5. I2C バススレーブデータセットアップレジスタ(IBSDSTUPR) 643
4.6. I2C バススレーブ送信データレジスタ(IBSTDR) 644
4.7. I2C バススレーブ受信データレジスタ(IBSRDR) 644

4.8. I2C バススレーブステータスクリアレジスタ(IBSSCR) 645
4.9. I2C バススレーブステータスセットレジスタ(IBSSSR) 647
APPENDIXES 649
A. 製品型格一覧 651
1. 製品型格一覧 652
B. レジスタマップ (TYPE1-M0+) 653
1. レジスタマップ 654
1.1 Flash I/F 656
1.2 Unique ID 657
1.3 Clock/Reset 658
1.4 HW WDT 660
1.5 SW WDT 661
1.6 Dual Timer 662
1.7 MFT 663
1.8 PPG 667
1.9 Base Timer 671
1.10 IO Selector for Base Timer 672
1.11 QPRC 673
1.12 QPRC NF 674
1.13 A/DC 675
1.14 D/AC 677
1.15 CR Trim 678
1.16 EXTI 679
1.17 INT-Req. READ 680
1.18 GPIO 683
1.19 HDMI-CEC 690
1.20 LVD 691
1.21 DS Mode 692
1.22 MFS 693
1.23 CRC 695
1.24 Watch Counter 696
1.25 RTC 697
1.26 Low-speed CR Prescaler 698
1.27 Peripheral Clock Gating 699
1.28 DMAC 700
1.29 MTB_DWT 702
1.30 Fast GPIO 704
C. レジスタマップ (TYPE2-M0+) 709
1. レジスタマップ 710
1.1 Flash I/F 712
1.2 Unique ID 713
1.3 Clock/Reset 714
1.4 HW WDT 716
1.5 SW_WDT 717
1.6 Dual Timer 718
1.7 MFT 719

1.8 PPG 723
1.9 Base Timer 727
1.10 IO Selector for Base Timer 728
1.11 QPRC 729
1.12 QPRC NF 730
1.13 A/DC 731
1.14 D/AC 733
1.15 CR Trim 734
1.16 EXTI 735
1.17 INT-Req. READ 736
1.18 LCDC 738
1.19 GPIO 739
1.20 HDMI-CEC 746
1.21 LVD 747
1.22 DS Mode 748
1.23 USB Clock 750
1.24 MFS 751
1.25 CRC 753
1.26 Watch Counter 754
1.27 RTC 755
1.28 Low-speed CR Prescaler 759
1.29 Peripheral Clock Gating 760
1.30 Smart Card I/F 761
1.31 MFSI2S 762
1.32 High Resilience 763
1.33 USB 764
1.34 DSTC 766
1.35 MTB_DWT 767
1.36 Fast GPIO 769

D. レジスタマップ (TYPE3-M0+) 773

1. レジスタマップ 774
1.1 Flash I/F 776
1.2 Unique ID 777
1.3 Clock/Reset 778
1.4 HW WDT 780
1.5 SW WDT 781
1.6 Dual Timer 782
1.7 Base Timer 783
1.8 IO Selector for Base Timer 784
1.9 A/DC 785
1.10 CR Trim 787
1.11 EXTI 788
1.12 INT-Req. READ 789
1.13 GPIO 791
1.14 HDMI-CEC 796
1.15 LVD 797

1.16 DS Mode 798
1.17 USB Clock 800
1.18 I2CSLAVE 801
1.19 MFS 802
1.20 CRC 804
1.21 Watch Counter 805
1.22 RTC 806
1.23 Low-speed CR Prescaler 807
1.24 Peripheral Clock Gating 808
1.25 Smart Card I/F 809
1.26 MFSI2S 810
1.27 USB 811
1.28 DSTC 813
1.29 MTB_DWT 814
1.30 Fast GPIO 816
1.31 VIR 818
E. 注意事項一覧 821
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 822
F. 主な変更内容 823
改訂履歴 825

CHAPTER 1-1: マルチファンクションシリアルインタフェース

マルチファンクションシリアルインタフェースの概要を説明します。

1. マルチファンクションシリアルインタフェースの概要

管理コード: 9BFMFS_FM0-J03.0

1. マルチファンクションシリアルインタフェースの概要

マルチファンクションシリアルインタフェースには以下の特長があります。

インタフェースモード

マルチファンクションシリアルインタフェースは動作モードの設定により、以下のインタフェースモードが選択可能です。

- UART0(非同期ノーマルシリアルインタフェース)
- UART1(非同期マルチプロセッサシリアルインタフェース)
- CSIO(クロック同期シリアルインタフェース)(SPI, I²S に対応可能)
- LIN(LIN バスインタフェース)
- I²C(I²C バスインタフェース)

<注意事項>

- *各インタフェースの詳細は『UART(非同期シリアルインタフェース)』, 『CSIO(クロック同期シリアルインタフェース)』, 『LIN(LIN バスインタフェース(v2.1))』, 『I2C バスインタフェースス(I2C 通信制御インタフェース))』, 『MFS-I²S (Inter-IC Sound bus)』の章を参照してください。*
- *MFS-I²S はCSIO モードにて動作するのでCSIO モードに設定してください。*

インタフェースモードの切換え

各シリアルインタフェースで通信をする場合には、Table 1-1 のシリアルモードレジスタ(SMR)で動作モードを設定してから通信を開始します。

Table 1-1 インタフェースモードの切換え

MD2	MD1	MD0	インタフェースモード
0	0	0	UART0(非同期ノーマルシリアルインタフェース)
0	0	1	UART1(非同期マルチプロセッサシリアルインタフェース)
0	1	0	CSIO(クロック同期シリアルインタフェース)(SPI, I²S に対応可能)
0	1	1	LIN(LIN バスインタフェース)
1	0	0	I²C(I²C バスインタフェース)
上記以外			設定禁止

<注意事項>

- *1 つのシリアルインタフェースで送信または受信動作中にモードの切換えをした場合の送受信に関する動作の保証はできません。*
- *動作モードを変更する場合は、プログラマブルクリア実行(SCR:UPCL=1)またはI²C 禁止(ISMK:EN=0)後、続けて動作モードを切り換えてください。動作モード設定後、各レジスタを設定してください。*
- *Table 1-1 に記載してある設定以外は禁止です。*

送受信 FIFO

FIFO 容量はご使用の製品によりサイズが異なります。詳しくはデータシートをご参照ください。

LIN Sync field 検出 ：LSYN

LIN バスインタフェースモードで ICU を使用する場合、多機能タイマの ICU を使用してください。ICU への入力切換えは『ペリフェラルマニュアル』の『I/O ポート』の章の拡張機能端子設定レジスタを参照してください。

CHAPTER 1-2: UART(非同期シリアルインタフェース)

マルチファンクション シリアルインタフェースの動作モード 0, 1 でサポートしている UART(非同期シリアルインタフェース)機能について説明します。

1. UART (非同期シリアルインタフェース)の概要
2. UART の割込み
3. UART の動作
4. 専用ボーレートジェネレータ
5. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー
6. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー
7. UART(非同期シリアルインタフェース)のレジスタ

管理コード: 9BFUART_FM0-J03.0_FM15U-J05.4

1. UART (非同期シリアルインタフェース)の概要

UART(非同期シリアルインタフェース)は、外部装置と非同期通信(調歩同期)をするための、汎用のシリアルデータ通信インタフェースです。双方向通信機能(ノーマルモード), マスタ/スレーブ型通信機能(マルチプロセッサモード:マスタ/スレーブ両方サポート)をサポートしています。また、送信/受信用の FIFO を搭載しています。

UART(非同期シリアルインタフェース)の機能

		機　　能
1	データ	− 全二重ダブルバッファ(FIFO 未使用時) − 送信/受信 FIFO　(サイズ:最大各 128 バイト)*1(FIFO 使用時)
2	シリアル入力	− バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送形式	− 非同期
4	ボーレート	− 専用ボーレートジェネレータ(15 ビットリロードカウンタ構成) − 外部クロック入力をリロードカウンタで調節可能。
5	データ長	− 5 ～ 9 ビット(ノーマルモード時) − 7, 8 ビット(マルチプロセッサモード時)
6	信号方式	− NRZ(Non Return to Zero), 反転 NRZ
7	スタートビット検出	− スタートビット立下りエッジに同期(NRZ 方式の場合) − スタートビット立上りエッジに同期(反転 NRZ 方式の場合)
8	受信エラー検出	− フレーミングエラー − オーバランエラー − パリティエラー*2
9	ハードウェアフロー制御	− CTS/RTS による送受信自動制御　*3
10	割込み要求	− 受信割込み (受信完了, フレーミングエラー, オーバランエラー, パリティエラー*2) − 送信割込み(送信データエンプティ, 送信バスアイドル) − 送信 FIFO 割込み (送信 FIFO がエンプティのとき) − 送受信 DMA 転送サポート機能あり
11	マスタ/スレーブ型通信機能 (マルチプロセッサモード)	− 1(マスタ)対　n(スレーブ)間の通信が可能 − (マスタとスレーブシステムの両方をサポート)
12	FIFO オプション	− 送受信 FIFO 搭載 (最大容量:送信 FIFO 128 バイト, 受信 FIFO 128 バイト)*1 − 送信 FIFO と受信 FIFO を選択可能 − 送信データ再送可能 − 受信 FIFO 割込みタイミングをソフトで可変可能 − 独立して FIFO リセットサポート

*1 : FIFO 容量はご使用する製品により容量サイズが異なります。

*2 : パリティエラーはノーマルモード時のみ。

*3 : ハードウェアフロー制御端子 (CTS/RTS) は、ご使用する製品により、利用可能なチャネル番号が異なります。データシートを参照してください。

2. UART の割込み

UART には、送受信割込みがあります。以下の要因で割込み要求を発生させられます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求

UART の割込み

UART の割込み制御ビットと割込み要因を Table 2-1 に示します。

Table 2-1 UART の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
受信	RDRF	SSR	○	○	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
					FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
					FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	○	○	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	○	○	フレーミングエラー		
	PE	SSR	○	×	パリティエラー		
送信	TDRE	SSR	○	○	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*1
	TBI	SSR	○	○	送信動作なし	SCR:TBIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*1
	FDRQ	FCR1	○	○	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル

*1 : TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

2.1 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了(SSR:RDRF)および受信エラーの発生(SSR:PE, ORE, FRE)があります。

受信割込み発生とフラグセットのタイミング

最初のストップビットの検出により、受信データが受信データレジスタ(RDR)に格納されます。受信が完了(SSR:RDRF=1)したときまたは受信エラーが発生(SSR:PE, ORE, FRE=1)したとき、各フラグがセットされます。そのとき、受信割込みが許可(SSR:RIE=1)されていると受信割込みが発生します。

<注意事項>

- *受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。*

Figure 2-1 RDRF(受信データフル)フラグビットのセットタイミング

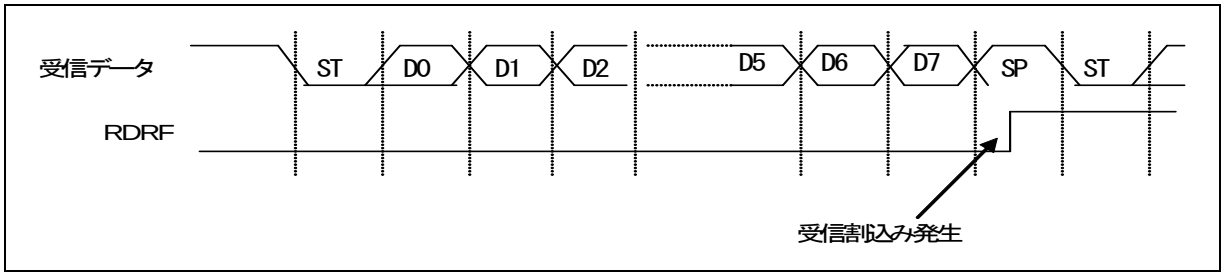
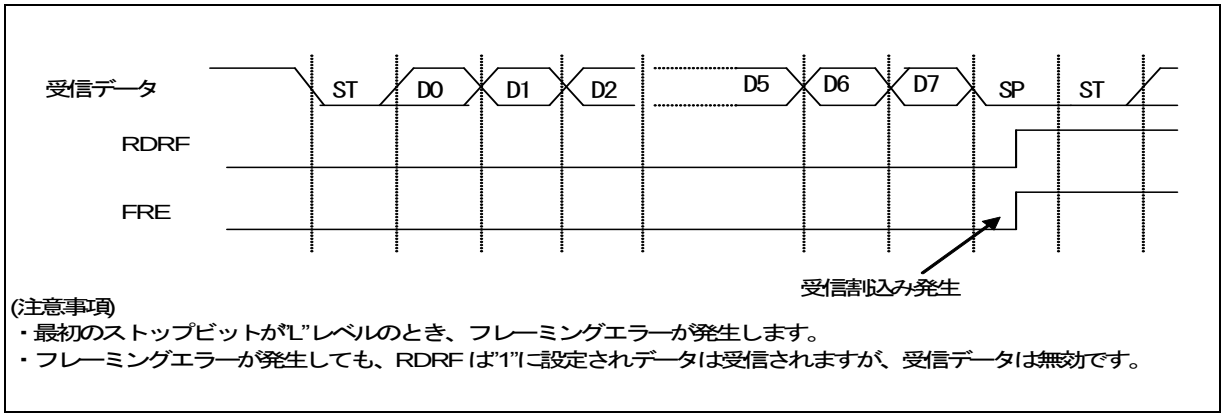


Figure 2-2 FRE(フレーミングエラー)フラグビットのセットタイミング

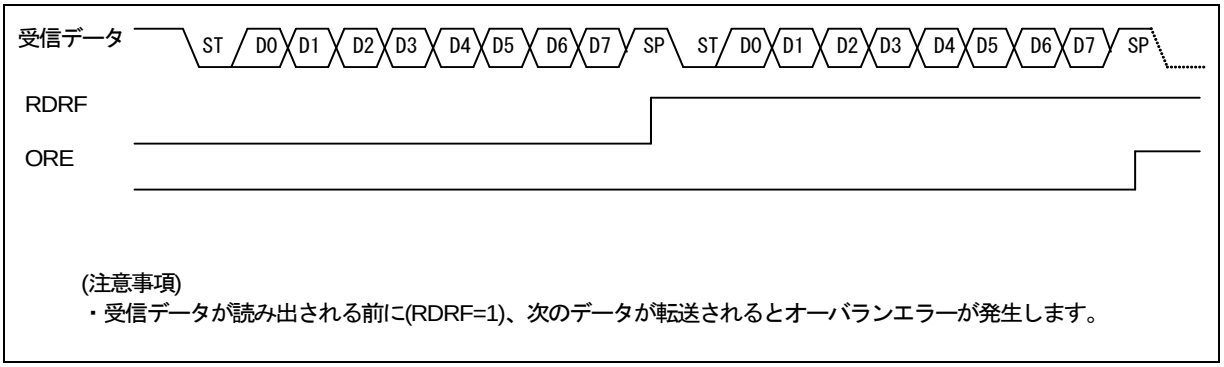


<注意事項>

受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前に以下が検出された場合、そのエッジが無効になり、次のデータを正常に受信できなくなることがあります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

- *シリアルデータの立下りエッジ(ESCR:INV="0"の場合)*
- *シリアルデータの立上りエッジ(ESCR:INV="1"の場合)*

Figure 2-3 ORE (オーバランエラー)フラグビットのセットタイミング



(注意事項)
・受信データが読み出される前に(RDRF=1)、次のデータが転送されるとオーバランエラーが発生します。

2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分を受信した場合に発生します。

受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が "1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない
    8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信した場合にオーバランエラー(SSR:ORE=1)が発生します。

Figure 2-4 受信 FIFO 使用時の受信割込み発生タイミング

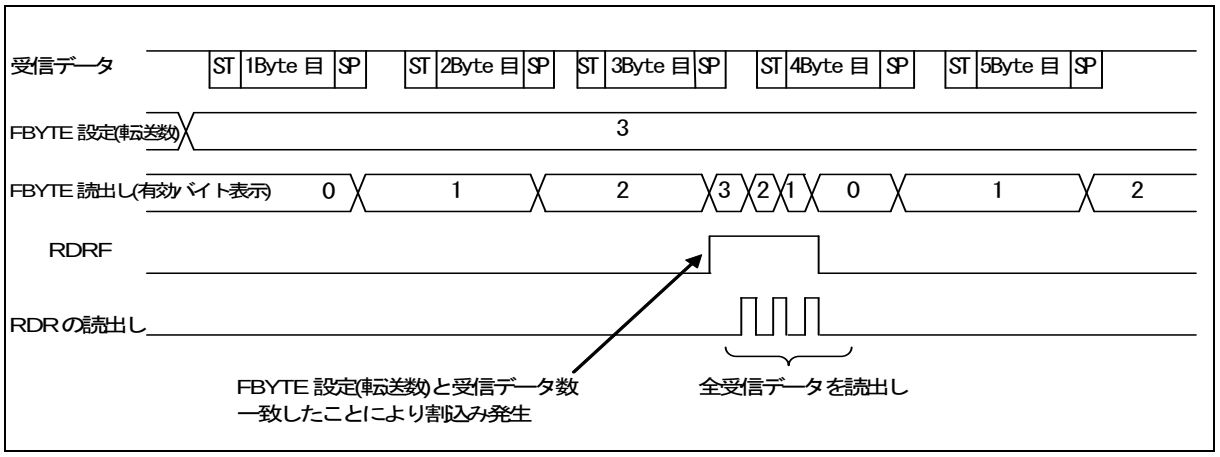
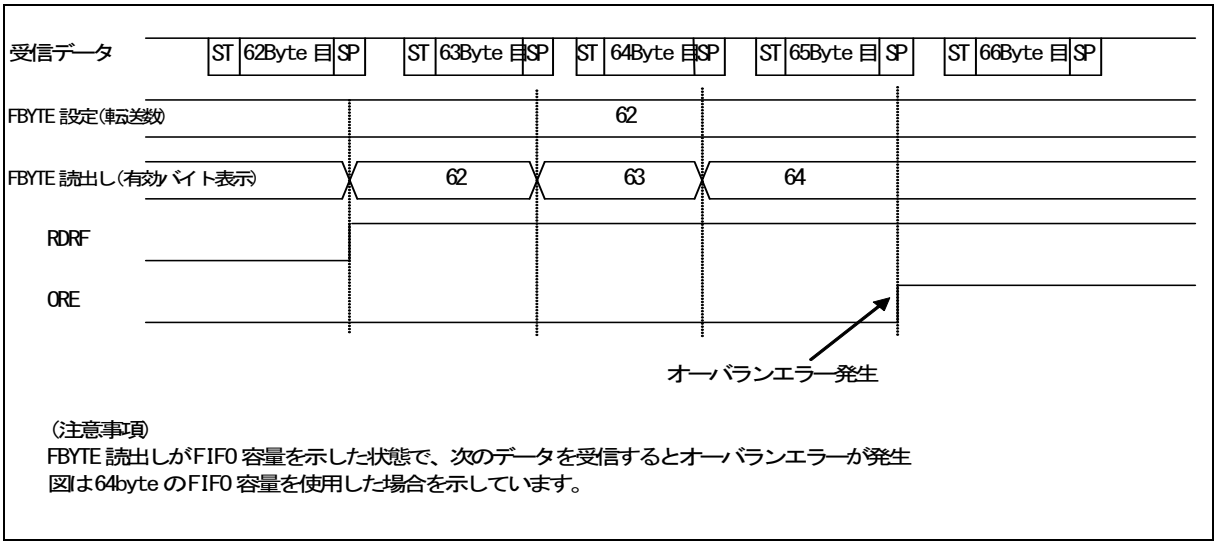


Figure 2-5 ORE (オーバランエラー)フラグビットのセットタイミング



(注意事項)
FBYTE 読出しがFIFO 容量を示した状態で、次のデータを受信するとオーバランエラーが発生
図は64byte のFIFO 容量を使用した場合を示しています。

2.3 送信割込み発生とフラグセットのタイミング

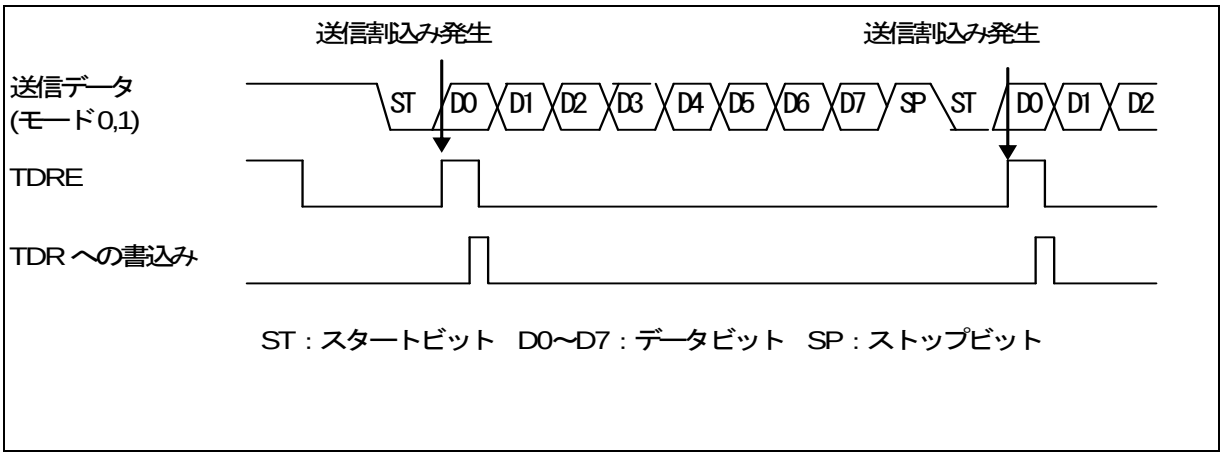
送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送(SSR:TDRE=1)されて送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

送信割込み発生とフラグセットのタイミング

■ 送信データエンプティフラグ(SSR:TDRE)のセットタイミング

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)になります。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDRE ビットは読出し専用ビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

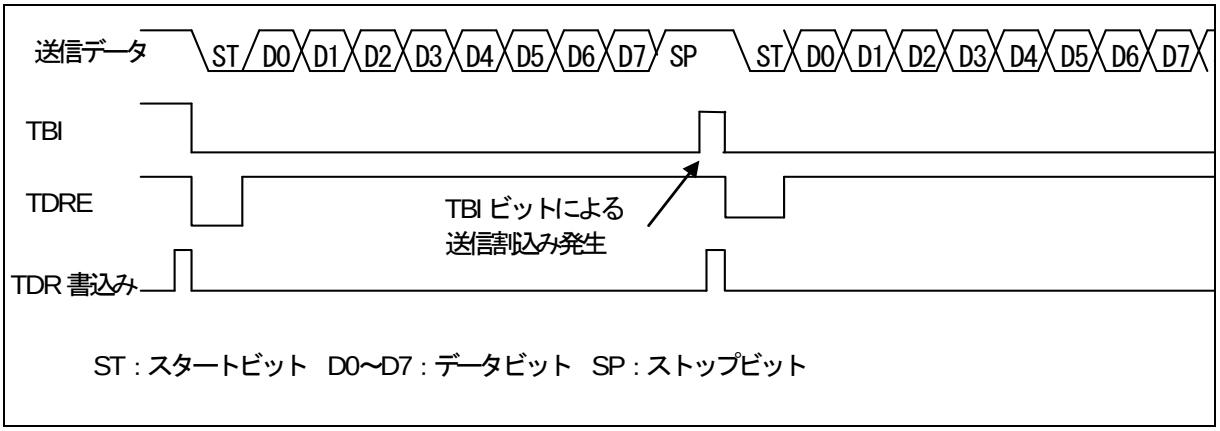
Figure 2-6 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



■ 送信バスアイドルフラグ(SSR:TBI)のセットタイミング

送信データレジスタが空(SSR:TDRE=1)で送信動作をしていない時、SSR:TBI ビットは "1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データを書き込むと SSR:TBI ビットおよび送信割込み要求はクリアされます。

Figure 2-7 送信バスアイドルフラグ(TBI)のセットタイミング



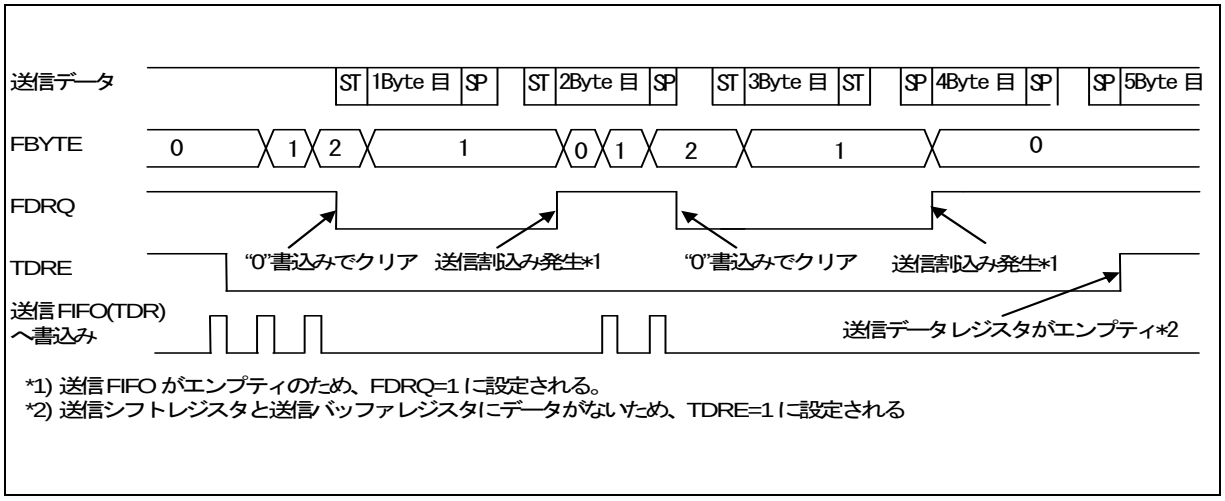
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない時に発生します。

送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。FBYTE=0x00 のときは、送信 FIFO にデータがないことを示します。

Figure 2-8 送信 FIFO 使用時の送信割込み発生タイミング



3. UART の動作

UART は、モード 0 の双方向シリアル非同期通信, モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

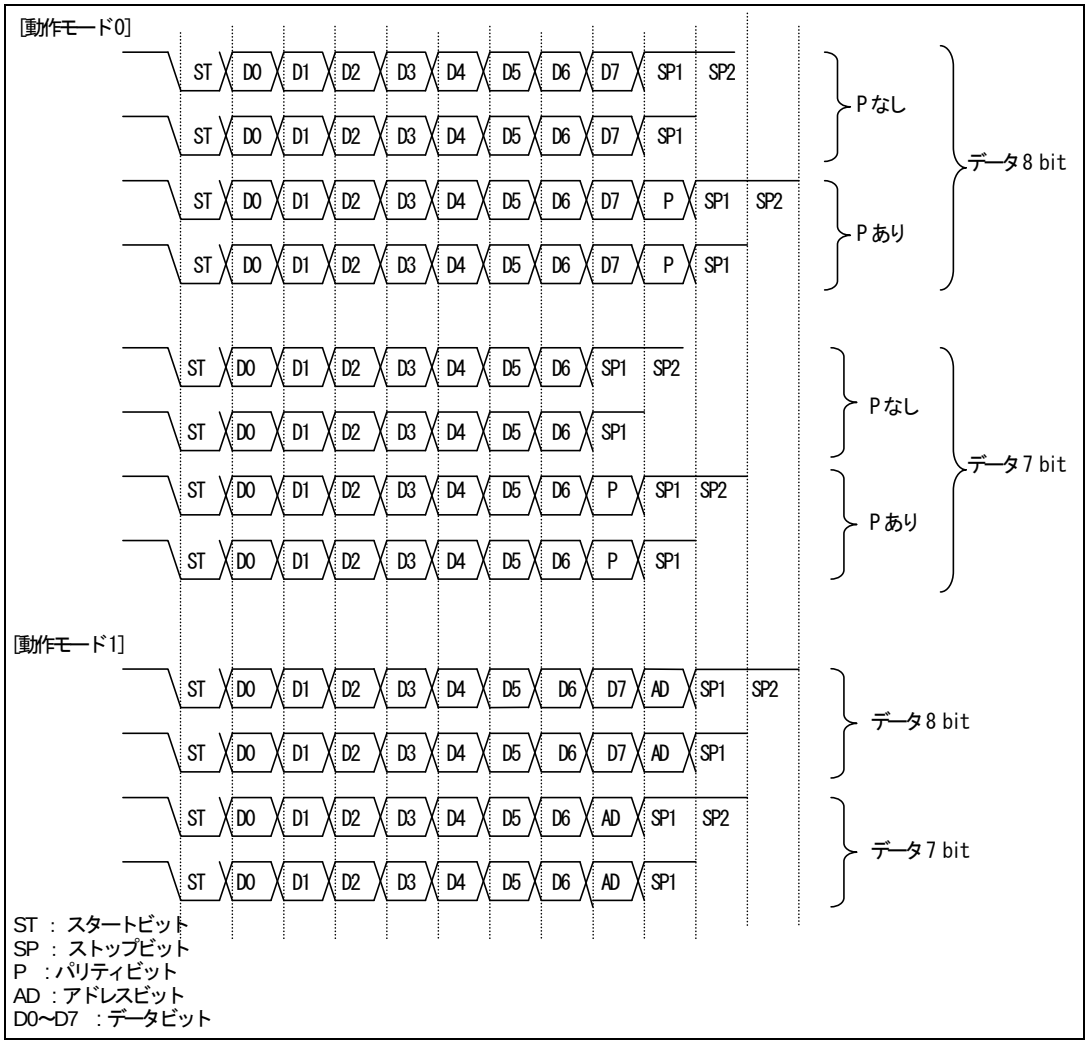
UART の動作

■ 送受信データフォーマット

- 送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
- データ転送方向(LSB ファーストまたは MSB ファースト)は、シリアルモードレジスタ(SMR)の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
- 動作モード 0(通常モード)では、パリティあり/パリティなしの選択ができます。
- 動作モード 1(マルチプロセッサモード)では、パリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマット例を Figure 3-1 に示します。

Figure 3-1 送受信データフォーマット例 (動作モード 0, 1)



<注意事項>

- *Figure 3-1 は、データ長を 7, 8 ビットに設定した場合を示しています。(動作モード 0 の場合、データ長は、5～9 ビットまで設定できます。)*
- *シリアルモードレジスタ(SMR)の BDS ビットを"1"(MSB ファースト)に設定した場合、ビットは D7, D6, D5, ・・・, D1, D0(P)の順で処理されます。*
- *データ長を X ビット長に設定した場合、送受信データレジスタ(RDR/TDR)の下位 X ビットが有効です。*

■ 送信動作

- シリアルステータスレジスタ(SSR)の送信データエンプティフラグビット(TDRE)が"1"の場合、送信データレジスタ(TDR)に送信データを書き込めます。(送信 FIFO が許可されている場合には TDRE="0"でも送信データを書き込むことは可能)
- 送信データを送信データレジスタ(TDR)に書き込むと、送信データエンプティフラグビット(SSR:TDRE)は"0"に設定されます。
- シリアル制御レジスタの送信動作許可ビット(SCR:TXE)を"1"に設定した場合、送信データは送信シフトレジスタにロードされスタートビットから順に送信が開始されます。
- 送信が開始されると、送信データエンプティフラグビット(SSR:TDRE)は再び"1"に設定されます。このとき、送信割込みが許可(SCR:TIE=1)されていれば、送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書き込めます。

<注意事項>

- *送信データエンプティフラグビット(SSR:TDRE)は初期値が"1"のため、送信割込みが許可(SCR:TIE)されると直ちに送信割込みが発生します。*
- *FIFO 送信データ要求ビット(FCR1:FDRQ)は初期値が"1"のため、FIFO 送信割込みが許可(FCR1:FTIE=1)されると直ちに送信割込みが発生します。*

■ 受信動作

- 受信動作が許可(SCR:RXE=1)されると、受信動作を行います。
- スタートビットを検出した場合、拡張通信制御レジスタ(ESCR:PEN, P, L2, L1, L0)およびシリアルモードレジスタ(SMR:BDS)に設定されているデータフォーマットに従って 1 フレームデータの受信が行われます。スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下り(ESCR:INV="0")または立上り(ESCR:INV="1")を検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。
- 1 フレームの受信が完了した場合、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。このとき、受信割込みが許可(SCR:RIE=1)されている場合、受信割込みが発生します。
- 受信データを読み出す際には、1 フレームデータの受信完了後に受信データを読み出し、シリアルステータスレジスタ(SSR)のエラーフラグの状態を確認してください。受信エラーが発生している場合には、エラー処理を行ってください。
- 受信データの読出しで、受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。
- 受信 FIFO が許可されている場合、受信 FBYTE に設定された分のフレームを受信することで受信データフルフラグビット(SSR:RDRF)は"1"に設定されます。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

- 受信 FIFO が許可されている場合、シリアルステータスレジスタ(SSR)のエラーフラグが"1"に設定されると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット(SSR:RDRF)を"1"に設定しません (ただしオーバランエラーの場合､RDRF フラグは"1"に設定されます)｡受信 FBYTE の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ(SSR)のエラーフラグが"0"にクリアされないと受信 FIFO は許可されません。
- 受信 FIFO が許可されている場合、受信 FIFO にデータがなくなると受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。

<注意事項>

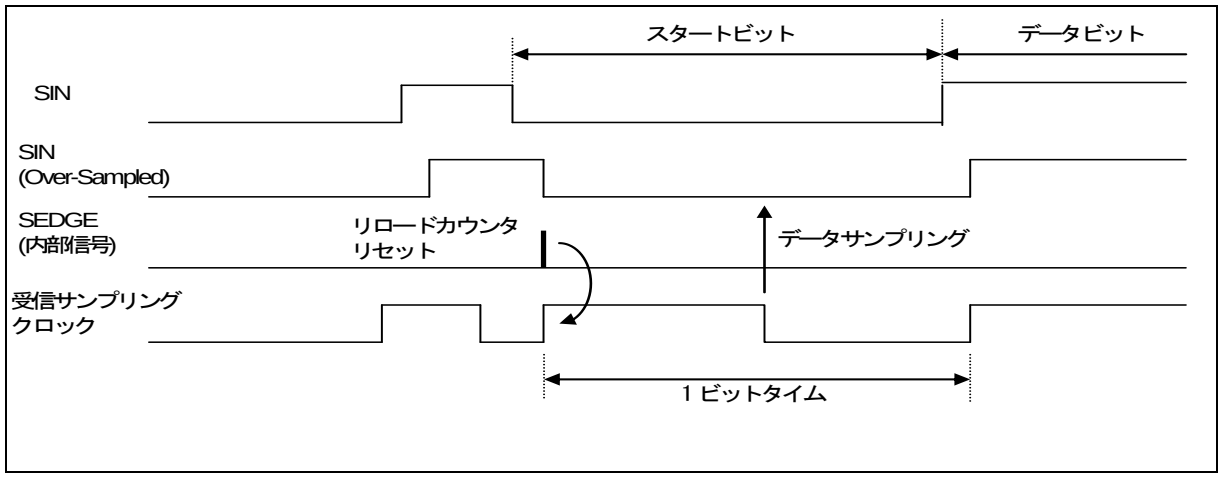
- *受信データレジスタ(RDR)のデータは、受信データレジスタフルフラグビット(SSR:RDRF)が "1"に設定され、受信エラーが発生しなかった場合(SSR:PE, ORE, FRE=0)に有効です。*
- *ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズがフィルタを通過してしまうと間違ったデータを受信してしまいます。その対策としてノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。*
- *受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前に以下が検出された場合、そのエッジが無効になり、次のデータを正常に受信できなくなることがあります。連続してフレームを出力する場合にはフレームの間隔を空けてください。*
- *シリアルデータの立下りエッジ(ESCR:INV="0"の場合)*
- *シリアルデータの立上りエッジ(ESCR:INV="1"の場合)*

■ クロック選択

- 内部クロックまたは外部クロックを使用できます。
- 外部クロックを使用する場合は、SMR:EXT=1 に設定します。このとき、外部クロックは、ボーレートジェネレータで分周されます。外部クロックは SCK から入力します。

■ スタートビット検出

- 非同期モード時は、SIN 信号の立下りエッジによってスタートビットを認識します。
  このため受信動作許可(SCR:RXE=1)しても、SIN 信号の立下りエッジが入力されないと、受信動作を開始しません。
- スタートビットの立下りエッジを検出した場合、ボーレートジェネレータの受信リロードカウンタはリセットされ、再リロードしカウントダウンを開始します。これによって、常にデータの中心でサンプリングします。



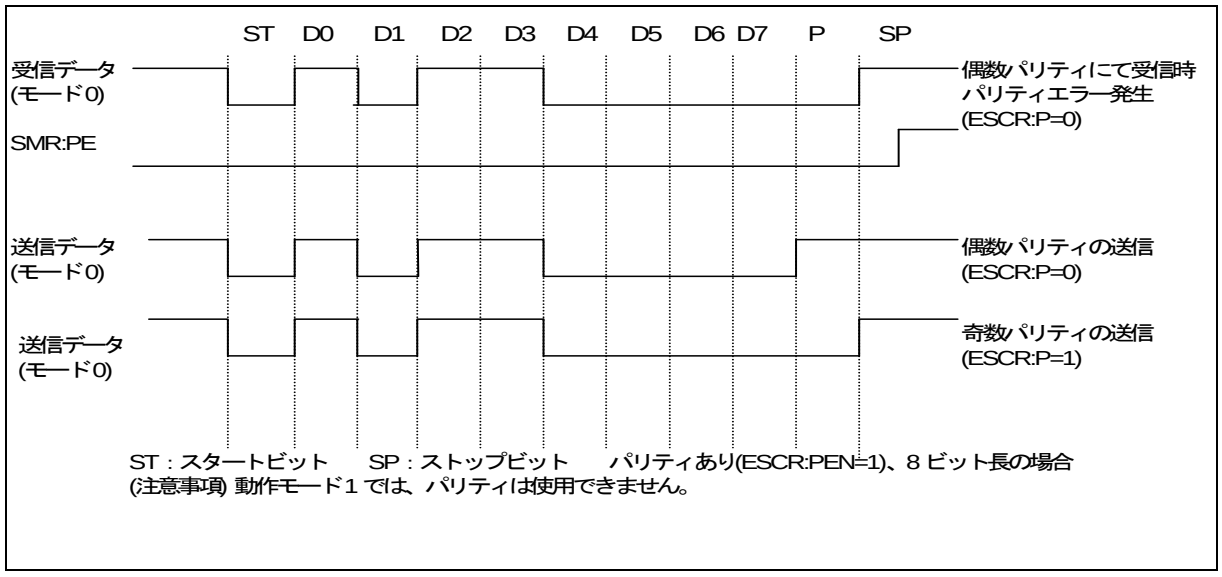
■ ストップビット
- 1 ビットから 4 ビット長を選択できます。
- 受信データフルフラグビット(SSR:RDRF)は、最初のストップビットを検出すると"1"に設定されます。

■ エラー検出
- 動作モード 0 では、パリティエラー, オーバランエラー, フレーミングエラーが検出できます。
- 動作モード 1 では、オーバランエラー, フレーミングエラーが検出できます。パリティエラーは検出できません。

■ パリティビット
- パリティビットの付加は、動作モード 0 の場合のみ設定できます。パリティ許可ビット(ESCR:PEN)でパリティの有無を、パリティ選択ビット(ESCR:P)で偶数パリティ/奇数パリティを設定できます。
- 動作モード 1 では、パリティを使用できません。

パリティ有効時の送受信データを Figure 3-2 に示します。

Figure 3-2 パリティ有効時の動作

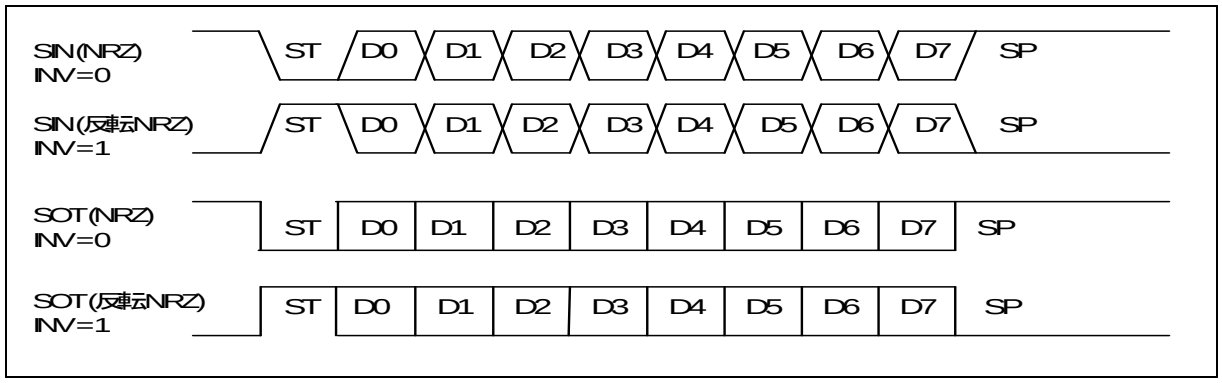


■ データ信号方式

拡張通信制御レジスタの INV ビットの設定によって、NRZ(Non Return to Zero)信号方式(ESCR:INV=0)または反転 NRZ 信号方式(ESCR:INV=1)を選択できます。

NRZ 信号方式および反転 NRZ 信号方式を Figure 3-3 に示します。

Figure 3-3 NRZ (Non Return to zero)信号方式および反転 NRZ 信号方式



■ データ転送方式

データビット転送方法を LSB ファーストまたは MSB ファーストを選択できます。

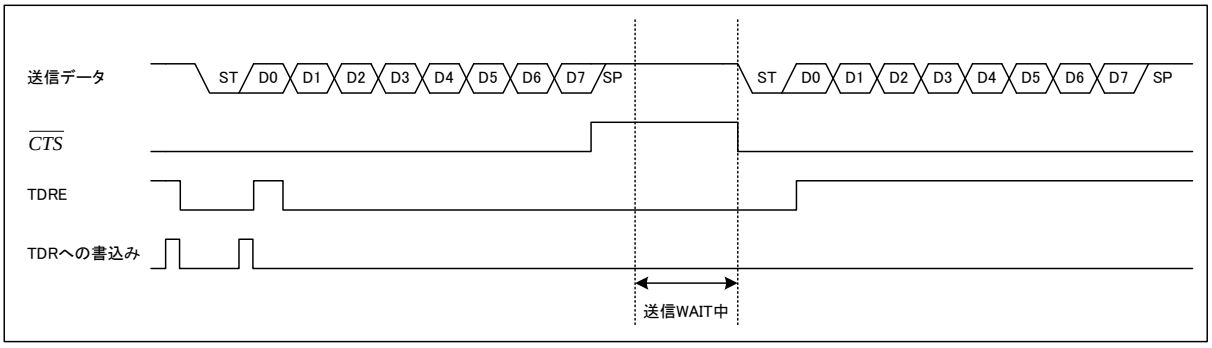
■ ハードウェアフロー制御

フロー制御許可(ESCR:FLWEN="1")のとき、UART はハードウェアフロー制御を行います。

- データ送信時

  データ送信後に $\overline{CTS}$ が"H"の場合、送信バッファにデータが存在(TDRE="0")しても次のデータを送信せず、$\overline{CTS}$ が"L"になるまで送信をウェイトします。送信をウェイトする場合、ストップビットの送信が終了するまでに $\overline{CTS}$ に"H"を入力してください。送信途中で $\overline{CTS}$ が"H"を入力されても、送信はストップビットまで継続します。

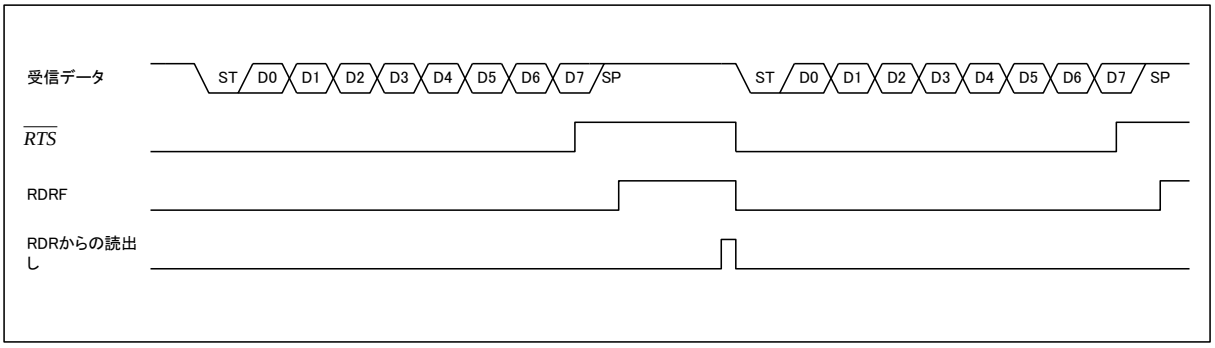
Figure 3-4 データ送信時のハードウェアフロー制御動作
(SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)



- データ受信時（FIFO 未使用時）

  ストップビットより 1 ビット前のデータを受信した場合、$\overline{RTS}$ に"H"を出力します。受信データを読み出した後、$\overline{RTS}$ に"L"を出力します。

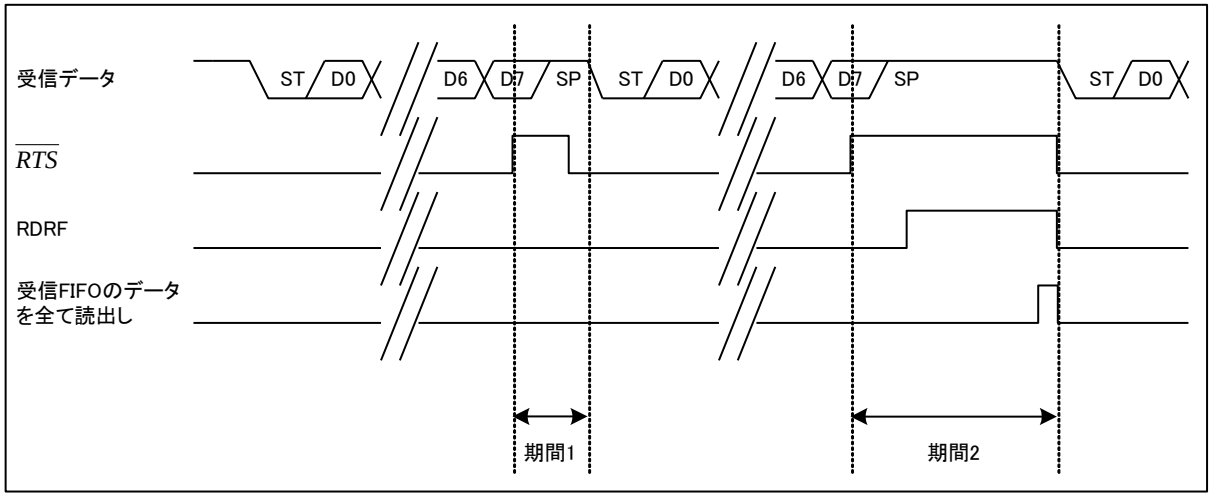
Figure 3-5 データ受信時のハードウェアフロー制御動作(FIFO 未使用)
(SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)



- データ受信時（FIFO 使用時）

  SSR:RDRF がセットされない場合(受信 FIFO に所定のデータ数を受信していない場合)、ストップビットより 1 ビット前のデータを受信した場合、$\overline{RTS}$ は"H"を出力しますが、ストップビット検出時に $\overline{RTS}$ は"L"を出力します。(期間 1 の場合)
  SSR:RDRF がセットされる場合(受信 FIFO に所定のデータ数を受信する場合)、ストップビットより 1 ビット前のデータを受信した場合、$\overline{RTS}$ は"H"を出力します。受信 FIFO のデータをすべて読み出した後に $\overline{RTS}$ は"L"を出力します。(期間 2 の場合)

Figure 3-6 データ受信時のハードウェアフロー制御動作(FIFO 使用)
(SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)



＜注意事項＞

- *受信動作を禁止(RXE=0)した場合には、$\overline{RTS}$ 信号は"L"に固定されます。*
- *受信 FIFO 使用時に、以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF は"1"に設定されますが、$\overline{RTS}$ 信号は"L"のままです。*
  - *受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"*
  - *受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている*
- *プログラマブルリセット(SCR:UPCL="1")を行うと、$\overline{RTS}$ 信号は"L"にクリアされます。*

4. 専用ボーレートジェネレータ

UART の送受信クロックソースは、以下のどちらかを選択できます。

- 専用ボーレートジェネレータ(リロードカウンタ)
- 外部クロックをボーレートジェネレータに入力(リロードカウンタ)

UART ボーレート選択

ボーレートは以下の 2 種類から選択できます。

■ 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択(BGR1:EXT=0)してください。

■ 専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。外部クロックは SCK から入力します。

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(BGR1:EXT=1)してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

<注意事項>

- *外部クロックの設定(BGR1:EXT=1)は、リロードカウンタが停止した状態(BGR1/BGR0=15'h00)で行ってください。*
- *外部クロックに設定(BGR1:EXT=1)した場合、外部クロックの"H"幅、"L"幅は 2 バスクロック以上確保してください。*

4.1 ボーレート設定

ボーレートの設定を示します。また, シリアルクロック周波数の計算結果を示します。

ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

V = φ / b - 1

V : リロード値　　b : ボーレート　　φ : バスクロック周波数、外部クロック周波数

(2)計算例

バスクロック(16MHz), 内部クロック使用, ボーレートを 19200bps に設定する場合のリロード値は以下のようになります。

リロード値 :

V = (16 × 1000000)/19200 - 1 = 832

よって、ボーレートは

b = (16 × 1000000)/(832 + 1) = 19208 (bps)

(3)ボーレートの誤差

ボーレートの誤差は以下の式によって算出されます。

誤差(%) = (計算値 - 目標値)/目標値 × 100

(例) バスクロック(20MHz), 目標ボーレートを 153600bps に設定する場合

リロード値 = (20 × 1000000)/153600 - 1 = 129

ボーレート(計算値) = (20 × 1000000)/(129 + 1) = 153846 (bps)

誤差(%) = (153846 - 153600)/153600 × 100 = 0.16 (%)

<注意事項>

- *リロード値を"0"に設定した場合、リロードカウンタは停止します。*
- *リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
- *リロード値は 4 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。*

各バスクロック周波数に対するリロード値とボーレート

Table 4-1 リロード値とボーレート設定例

ボーレート	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32 MHz	
(bps)	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	-	-	-	7	0	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	311	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	<0.01	554	-0.01	693	0.06	832	0.03	1110	0.01
19200	416	-0.08	520	-0.03	832	0.03	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	2083	0.03	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8334	0.02	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1/BGR0 レジスタの設定値(10 進)
- ERR : ボーレート誤差(%)

Table 4-2 リロード値とボーレート設定例(続き)

ボーレート	40 MHz		48 MHz		72 MHz		80 MHz		100 MHz	
(bps)	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	9	0	11	0	17	0	19	0	24	0
2.5M	15	0	-	-	-	-	31	0	39	0
2M	19	2	23	0	35	0	39	0	49	0
1M	39	0	47	0	71	0	79	0	99	0
500000	79	0	95	0	143	0	159	0	199	0
460800	86	-0.22	103	0.16	155	0.16	173	-0.22	216	<0.01
250000	159	0	191	0	287	0	319	0	399	0
230400	173	-0.22	207	0.16	312	-0.16	346	0.06	433	<0.01
153600	259	0.16	312	-0.16	468	-0.05	520	-0.03	650	<0.01
125000	319	0	383	0	575	0	639	0	799	0
115200	346	0.06	416	-0.08	624	0	693	0.06	867	<0.01
76800	520	-0.03	624	0	937	-0.05	1041	-0.03	1301	<0.01
57600	693	0.06	832	0.04	1249	0	1388	<0.01	1735	<0.01
38400	1041	-0.03	1249	0	1874	0	2082	0.01	2603	<0.01
28800	1388	<0.01	1666	-0.02	2499	0	2777	<0.01	3471	<0.01
19200	2082	0.01	2499	0	3749	0	4166	-0.01	5207	<0.01
10417	3839	<0.01	4607	<0.01	6911	<0.01	7679	<0.01	9599	<0.01
9600	4166	<0.08	4999	0	7499	0	8332	0	10416	0
7200	5555	<0.01	6666	<0.01	9999	0	11110	0	13888	0
4800	8332	<0.01	9999	0.02	14999	0	16666	0	20832	0
2400	16666	<0.01	19999	0	29999	0	-	-	-	-
1200	-	-	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-	-	-

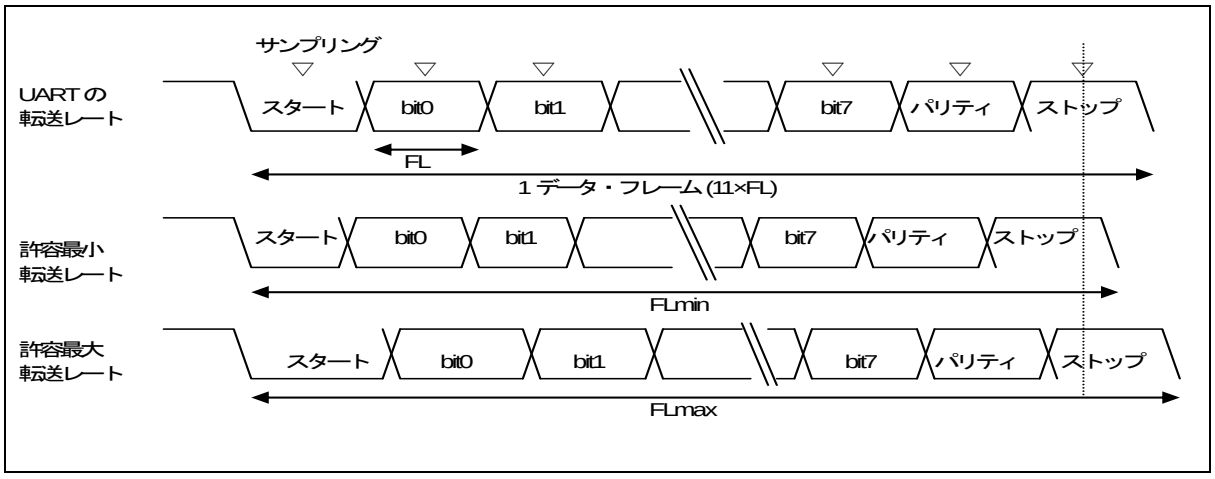
Table 4-1, Table 4-2 に記載していない周波数については、「4.1 ボーレート設定」の計算式にて算出してください。(ただし、最大周波数については、製品により異なるため、ご使用する製品の『データシート』を参照してください。)

受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを以下に示します。

受信時のボーレート誤差は、以下に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

Figure 4-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後はBGR1/BGR0 レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット)までが間に合えば正常に受信できます。

これを 11 ビット受信に当てはめると理論上、以下のとおりです。

サンプリング・タイミングのマージンをバスクロック(ϕ)の 1 クロック分とすると、許容最小転送レート(FLmin)は以下のとおりです。

FLmin = (11bit×(V+1) – (V+1)/2 + 2)/ ϕ = (21V+25)/2 ϕ (s)　　V:リロード値　ϕ:バスクロック

したがって、受信可能な送信先の最大ボーレート(BGmax)は以下のとおりです。

BGmax = 11/FLmin = 22ϕ/(21V+25)　(bps)　　V:リロード値　ϕ:バスクロック

許容最大転送レート(FLmax)データを受信する場合、11 ビット目の受信データの始点にてサンプリングが行われます。

よって、許容最大転送レート(FLmax)は以下のとおりです。

10/11×FLmax = (11bit×(V+1) – (V+1)/2)/ ϕ　V:リロード値　ϕ:バスクロック

FLmax = (21/20×11×(V+1))/ ϕ

サンプリング・タイミングのマージン(ϕ)を 2 クロック分とすると、許容最大転送レート(FLmax)は以下のとおりです。

10/11×FLmax = (11bit×(V+1) – (V+1)/2 – 2)/ ϕ　　V:リロード値　ϕ:バスクロック

FLmax = (21/20×11×　(V+1) – 44/20)/ ϕ = (231V+187)/20 ϕ (s)　　V:リロード値　ϕ:バスクロック

したがって、受信可能な送信先の最小ボーレート(BGmin)は以下のとおりです。

BGmin = 11/FLmax = 220ϕ/(231V+187)　(bps)　V:リロード値　ϕ:バスクロック

前述の最小/最大ボーレート値の算出式から、UART と送信先とのボーレートの許容誤差を求めると以下のとおりです。

リロード値(V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+2.98%	-3.08%
50	+4.37%	-4.40%
100	+4.56%	-4.58%
200	+4.66%	-4.67%
32767	+4.76%	-4.76%

<注意事項>

- *受信の精度は、1 フレームのビット数，バスクロック，リロード値に依存します。バスクロックが高く、分周比が高くなるほど精度は高いです。*

外部クロック

ボーレートジェネレータレジスタ(BGR)の EXT ビットに"1"を書き込むと、ボーレートジェネレータで外部クロックを分周します。外部クロックは SCK から入力します。

<注意事項>

- *外部クロック信号は UART で内部クロックに同期します。したがって、同期化不可能な外部クロックの場合、動作が不安定です。*

リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。

カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

再スタート

リロードカウンタは以下の条件で再スタートします。

■ 送信/受信リロードカウンタ共通
プログラマブルリセット(SCR:UPCL ビット)

■ 受信リロードカウンタ
非同期モードでのスタートビット立下りエッジ検出

5. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー

動作モード 0 では、非同期シリアル双方向の通信ができます。

CPU 間接続

動作モード 0(通常モード)では、双方向通信を選択します。Figure 5-1, Figure 5-2 に示すように 2 つの CPU を相互に接続します。

Figure 5-1 UART 動作モード 0 の双方向通信の接続例（フロー制御禁止時)

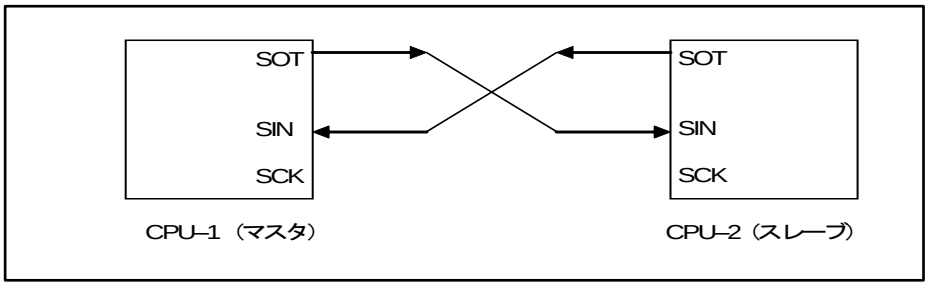
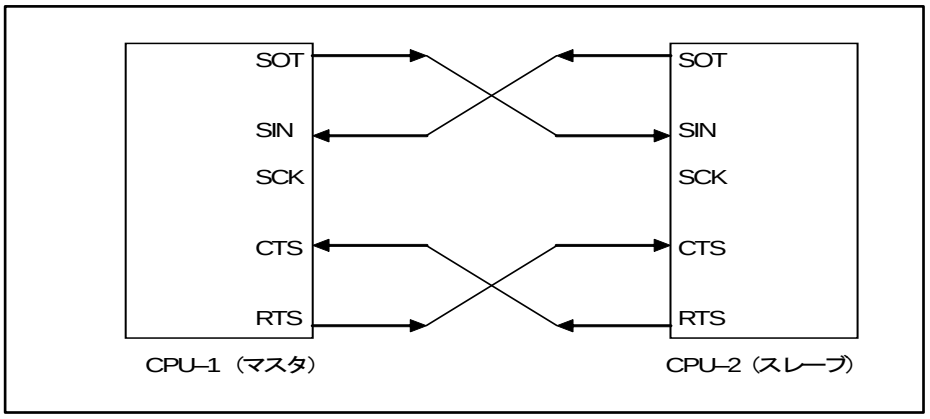


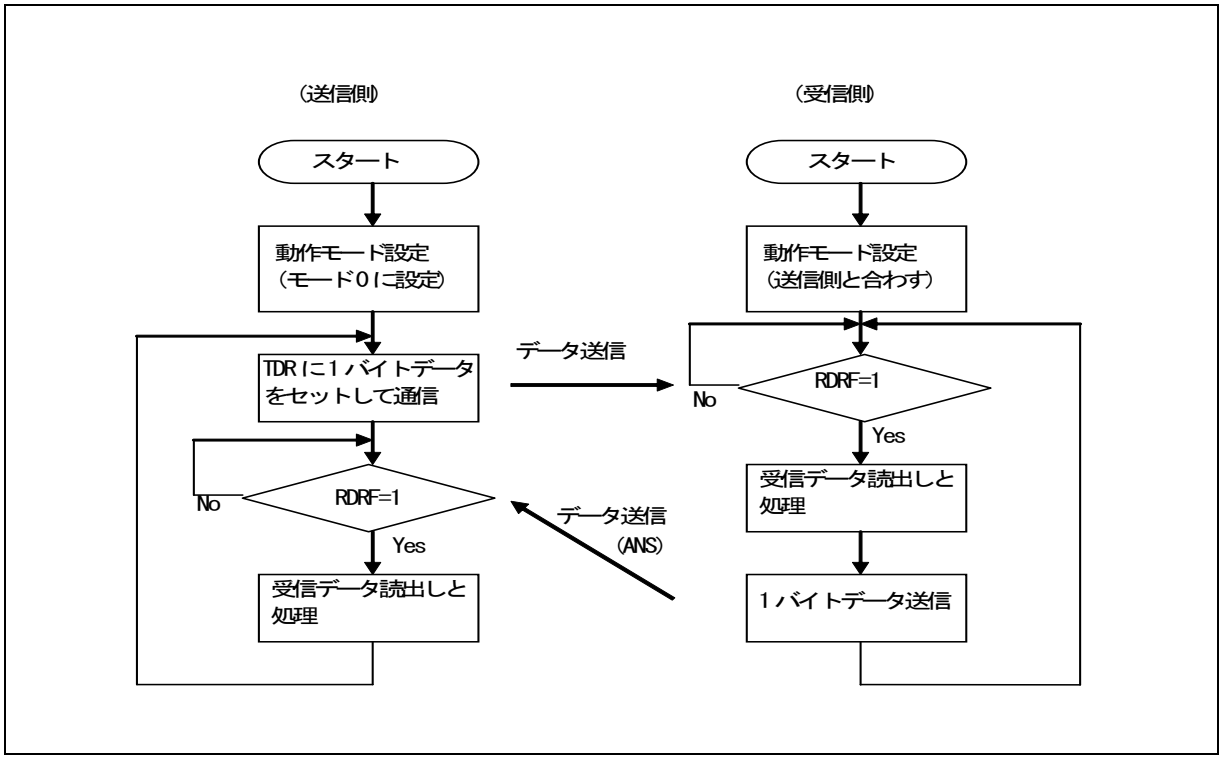
Figure 5-2 UART 動作モード 0 の双方向通信の接続例（フロー制御時)



フローチャート

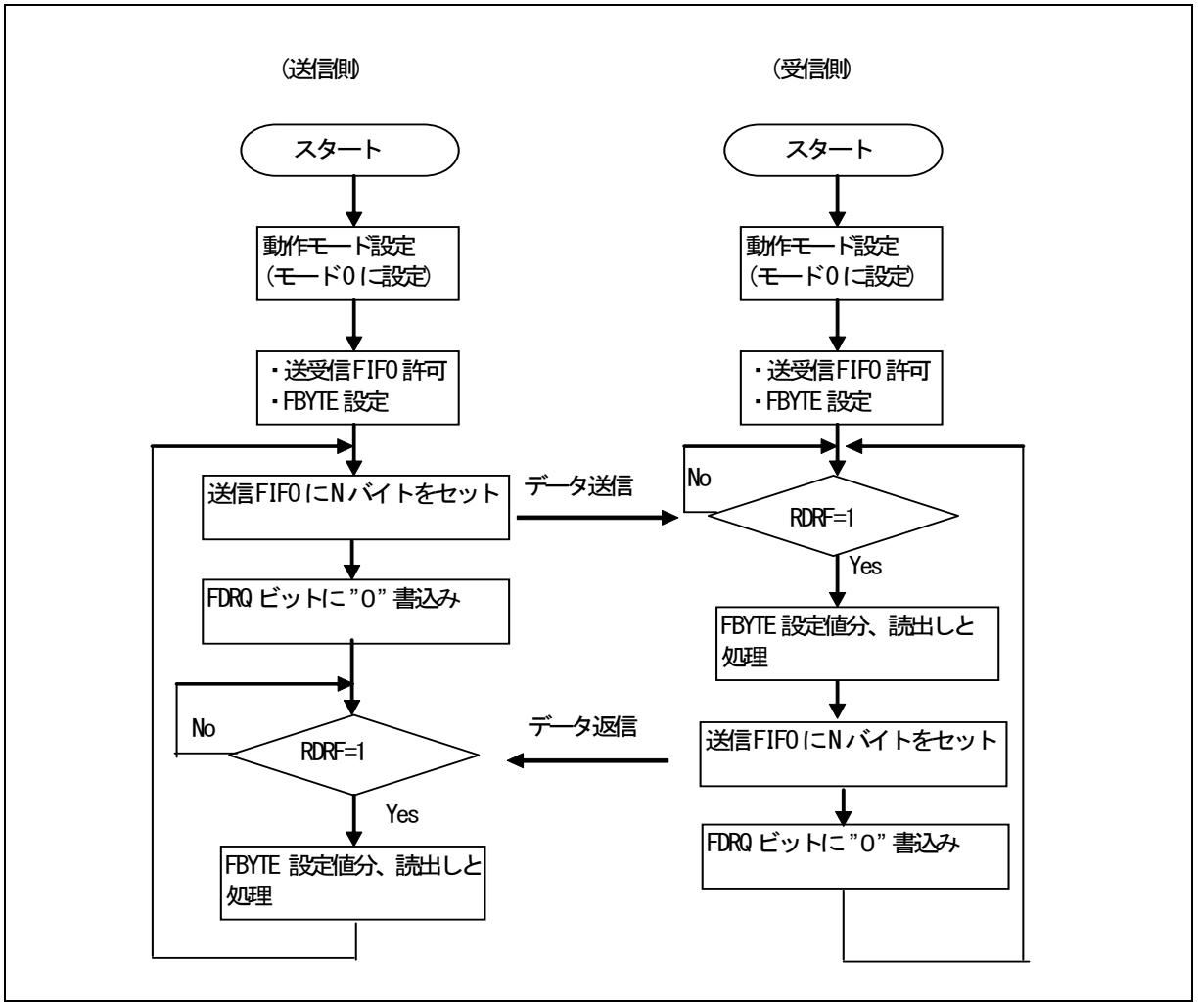
■ FIFO 未使用時

Figure 5-3 双方向通信フローチャートの例 (FIFO 未使用時)



■ FIFO 使用時

Figure 5-4 双方向通信フローチャートの例 (FIFO 使用時)



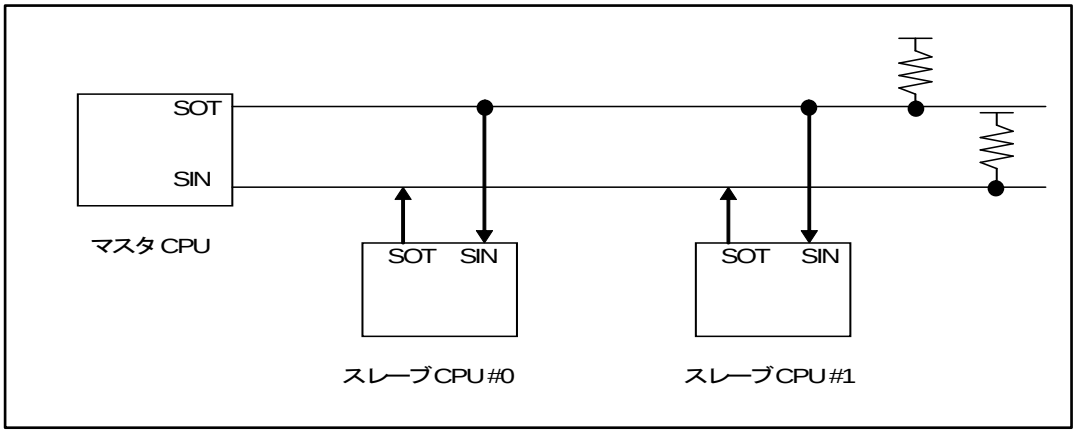
6. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー

動作モード 1(マルチプロセッサモード)では、複数 CPU のマスタ/スレーブ接続による通信が可能です。マスタ/スレーブとして使用できます。

CPU 間接続

マスタ/スレーブ型通信では、Figure 6-1 に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

Figure 6-1 UART のマスタ/スレーブ型通信の接続例



機能選択

マスタ/スレーブ型通信では、Table 6-1 に示すように動作モードとデータ転送方式を選択してください。

Table 6-1 マスタ/スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (A/D ビット送信)	モード 1 (A/D ビット受信)	AD = "1" + 7 または 8 ビットアドレス	なし	1 ビットまたは 2 ビット	LSB または、MSB ファースト
データ送受信			AD ="0" + 7 または 8 ビットデータ			

<注意事項>

- *動作モード 1 では送受信データ(TDR/RDR)はワードアクセスで行ってください。*

通信手順

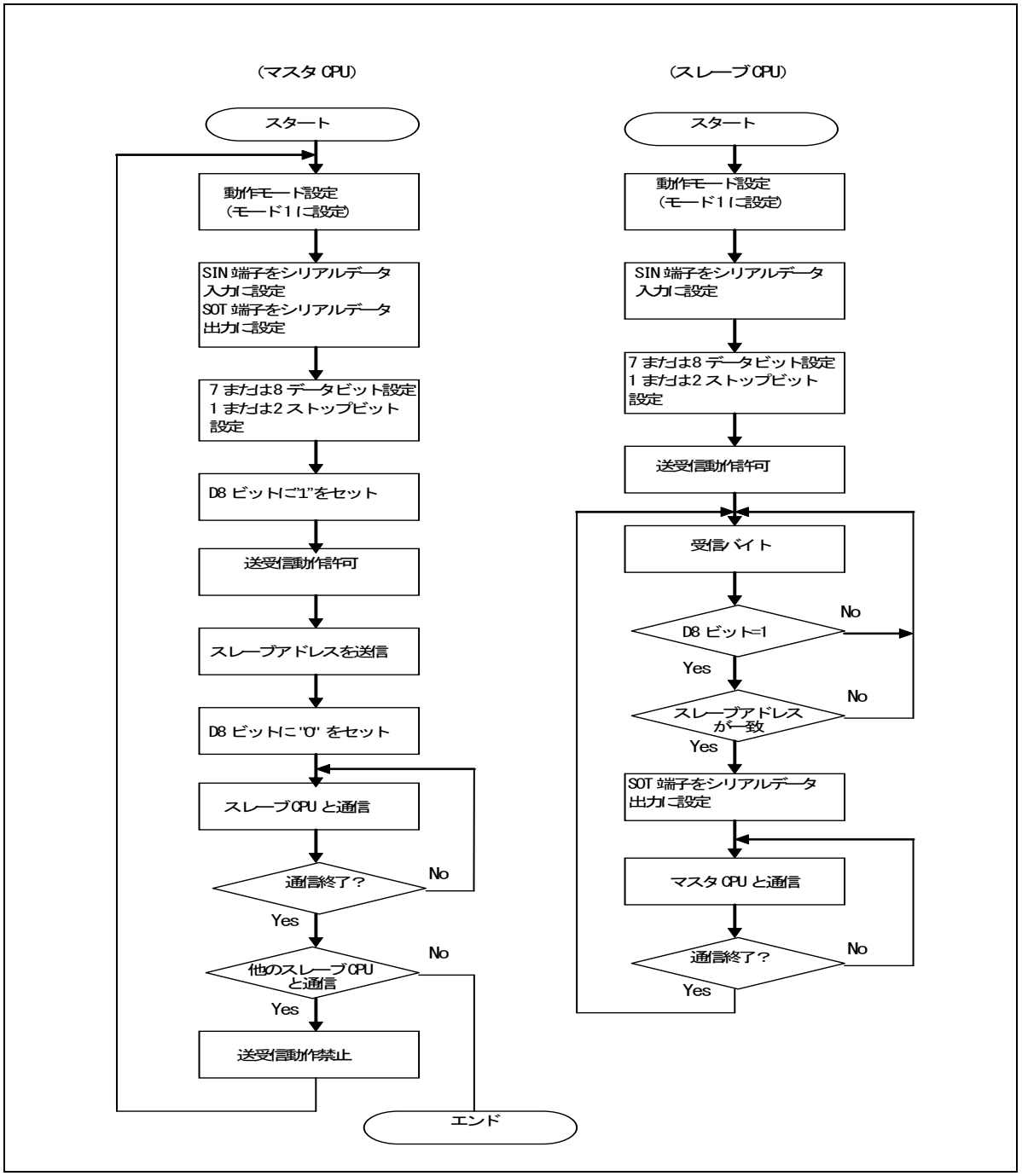
通信は、マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを "1"としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信(通常データ)をします。

Figure 6-2, Figure 6-3 に、マスタ/スレーブ型通信(マルチプロセッサモード)のフローチャートを示します。

フローチャート

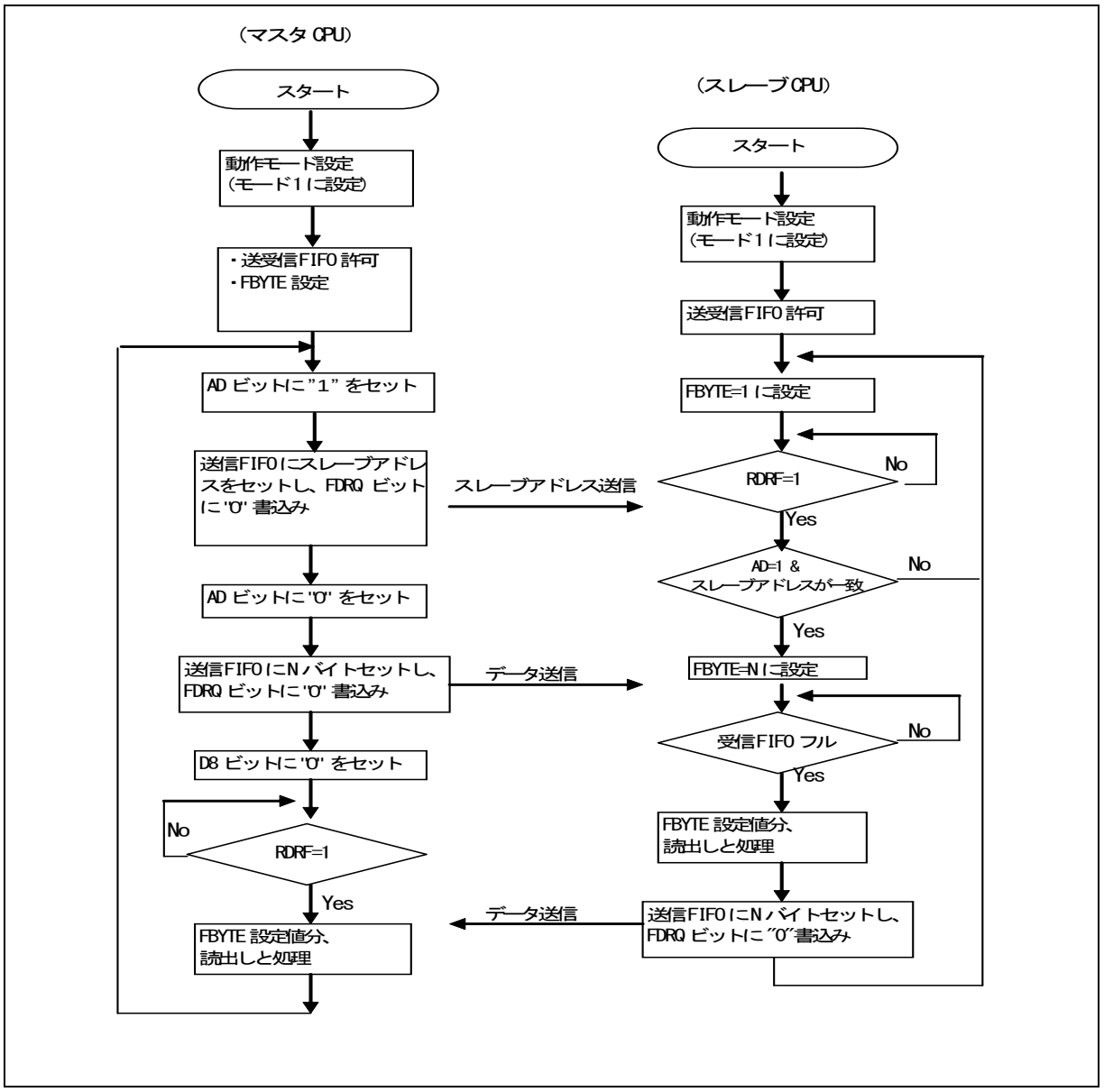
■ FIFO 未使用時

Figure 6-2 マスタ/スレーブ型通信フローチャートの例 (FIFO 未使用時)



■ FIFO 使用時

Figure 6-3 マスタ/スレーブ型通信フローチャートの例 (FIFO 使用時)



7. UART(非同期シリアルインタフェース)のレジスタ

UART(非同期シリアルインタフェース)のレジスター一覧を示します。

UART(非同期シリアルインタフェース)のレジスター一覧

Table 7-1 UART (非同期シリアルインタフェース) のレジスター一覧

	bit15 bit8	bit7 bit0
UART	SCR(シリアル制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	ESCR(拡張通信制御レジスタ)
	RDR1/TDR1(送受信データレジスタ 1)	RDR0/TDR0(送受信データレジスタ)
	BGR1(ボーレートジェネレータレジスタ 1)	BGR0(ボーレートジェネレータレジスタ 0)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

Table 7-2 UART (非同期シリアルインタフェース) ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SBL	BDS	-	SOE
SSR/ ESCR	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	FLWEN	ESBL	INV	PEN	P	L2	L1	L0
TDR (RDR)	-							D8 (AD)	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
		BGR1							BGR0							
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE 1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

動作モード

UART(非同期シリアルインタフェース)は、2 つの異なるモードで動作します。シリアルモードレジスタ(SMR)の MD2, MD1, MD0 ビットによって決定されます。

Table 7-3 UART (非同期シリアルインタフェース) の動作モード

動作モード	MD2	MD1	MD0	種類
0	0	0	0	UART0 (非同期ノーマルモード)
1	0	0	1	UART1 (非同期マルチプロセッサモード)

7.1 シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信の許可/禁止，送受信割込みの許可/禁止，送信バスアイドル割込みの許可/禁止, UART リセットをすることができます。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	(SMR)
属性	R/W	-	-	R/W	R/W	R/W	R/W	R/W	
初期値	0	-	-	0	0	0	0	0	

[bit15] UPCL： プログラマブルクリアビット

UART の内部状態を初期化するビットです。

bit	説明	
	書込み時	読出し時
0	動作に影響しません。	常に"0"を読み出します。
1	プログラマブルクリア	

"1"を設定した場合:

- UART を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/BGR0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信割込み要因(SSR:PE, FRE, ORE, RDRF, TDRE, TBI)は初期化(0b000011)されます。
- $\overline{\text{RTS}}$ 信号は"L"にクリアされます。

"0"を設定した場合:

動作に影響しません。

読出し時は、常に"0"が読み出されます。

<注意事項>

- *割込み禁止に設定した後に、プログラマブルクリアを実行してください。*
- *FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。*

[bit14:13] -： 未使用ビット

読出し時 ： 値は不定です。
書込み時 ： 動作に影響しません。

[bit12] RIE： 受信割込み許可ビット

■ CPU への受信割込み要求出力を許可/禁止するビットです。
■ 本ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(SSR:PE, ORE, FRE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE： 送信割込み許可ビット

■ CPU への送信割込み要求出力を許可/禁止するビットです。
■ 本ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE： 送信バスアイドル割込み許可ビット

■ CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
■ 本ビットと TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE： 受信動作許可ビット

UART の受信動作を許可/禁止します。

bit	説明
0	受信禁止
1	受信許可

<注意事項>

- *受信動作許可(RXE=1)にしても、スタートビットの立下りエッジ(NRZ フォーマット(ESCR:INV=0)の場合)が入力されないと受信動作を開始しません。(反転 NRZ フォーマット(ESCR:INV=1)の場合は、立上りエッジが入力されるまで受信動作を開始しません)*
- *受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。*
- *受信動作を禁止(RXE=0)した場合には、$\overline{\text{RTS}}$ 信号は"L"に固定されます。*

[bit8] TXE： 送信動作許可ビット

UART の送信動作を許可/禁止します。

bit	説明
0	送信禁止
1	送信許可

＜注意事項＞

- *送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。*

7.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定, 転送方向, データ長, ストップビット長の選択およびシリアルデータの端子への出力許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	予約	SBL	BDS	予約	SOE
属性		R/W	R/W	R/W	-	R/W	R/W	-	R/W
初期値		0	0	0	0	0	0	0	0

[bit7:5] MD2, MD1, MD0： 動作モード設定ビット

非同期シリアルインタフェースの動作モードを設定します。

本章では動作モード 0(非同期ノーマルモード), 動作モード 1(非同期マルチプロセッサモード)のレジスタまたは動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

* 本章は動作モード 0, 動作モード 1 のレジスタおよび動作について説明します。

<注意事項>

- *上記設定以外は禁止です。*
- *動作モードを切り換える場合は、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。*
- *動作モード設定後、各レジスタを設定してください。*

[bit4] 予約 ： 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit3] SBL： ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL="0", ESCR:ESBL="0"に設定した場合 ： ストップビットは 1 ビットに設定されます。
SBL="1", ESCR:ESBL="0"に設定した場合 ： ストップビットは 2 ビットに設定されます。
SBL="0", ESCR:ESBL="1"に設定した場合 ： ストップビットは 3 ビットに設定されます。
SBL="1", ESCR:ESBL="1"に設定した場合 ： ストップビットは 4 ビットに設定されます。

bit	説明	
0	ESCR:ESBL=0	1 ビット
	ESCR:ESBL=1	3 ビット
1	ESCR:ESBL=0	2 ビット
	ESCR:ESBL=1	4 ビット

<注意事項>

- *受信時は、常にストップビットの 1 ビット目だけを検出します。*
- *本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。*

[bit2] BDS： 転送方向選択ビット

転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0)最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

<注意事項>

- *本ビットは、送受信が禁止(SCR:TXE=SCR:RXE=0)のときに設定してください。*

[bit1] 予約 ： 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit0] SOE： シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

<注意事項>

- *SOT 端子として使用する場合は GPIO 設定も行ってください。*

7.3 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信の状態の確認, 受信エラーフラグの確認, また、受信エラーフラグをクリアします。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	(ESCR)
属性	R/W	-	R	R	R	R	R	R	
初期値	0	-	0	0	0	0	1	1	

[bit15] REC： 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の PE, FRE, ORE フラグをクリアするビットです。

bit	説明	
	書込み時	読出し時
0	動作に影響しません。	常に"0"を読み出します。
1	受信エラーフラグ(PE, FRE, ORE)のクリア	

[bit14] -： 未使用ビット

読出し時 ： 値は不定です。
書込み時 ： 動作に影響しません。

[bit13] PE： パリティエラーフラグビット(動作モード 0 のみ機能)

- ESCR:PEN=1 で受信時にパリティエラーが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- PE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	パリティエラーなし
1	パリティエラーあり

[bit12] FRE： フレーミングエラーフラグビット

- 受信時にフレーミングエラーが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- FRE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	フレーミングエラーなし
1	フレーミングエラーあり

[bit11] ORE： オーバランエラーフラグビット

- 受信時にオーバランが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF： 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時に、以下の 2 つの条件が満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
  - 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。

- 受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ RDR がエンプティ
1	受信データレジスタ RDR にデータが存在する

[bit9] TDRE： 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
- TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合に TDRE ビットは"1"に設定されます。
- 送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI： 送信バスアイドルフラグビット

- UART が送信動作をしていないことを示すビットです。
- 送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"に設定されます。
- 送信データレジスタがエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合に本ビットは"1"に設定されます。
- 本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

7.4 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定, パリティビットの許可/禁止, パリティビットの選択, シリアルデータフォーマットの反転, ストップビット長の選択の設定ができます。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SSR)	FLWEN	ESBL	INV	PEN	P	L2	L1	L0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] FLWEN : フロー制御許可ビット

ハードウェアフロー制御動作を許可または禁止を選択します。

bit	説明
0	ハードウェアフロー制御禁止
1	ハードウェアフロー制御許可

<注意事項>

- *本ビットは送受信が禁止(SCR:TXE=0, RXE=0)のときに設定してください。*
- *本ビットはハードウェアフロー制御を行う場合のみ"1"を設定してください。*

[bit6] ESBL : 拡張ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

bit	説明	
0	SMR:SBL=0	1 ビット
	SMR:SBL=1	2 ビット
1	SMR:SBL=0	3 ビット
	SMR:SBL=1	4 ビット

<注意事項>

- *受信時は、常にストップビットの 1 ビット目だけを検出します。*
- *本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。*

[bit5] INV : 反転シリアルデータフォーマットビット

シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。

bit	説明
0	NRZ フォーマット
1	反転 NRZ フォーマット

[bit4] PEN： パリティ許可ビット(動作モード 0 のみ機能)

パリティビットの付加(送信時)と検出(受信時)を行うかどうかを設定します。

bit	説明
0	パリティ禁止
1	パリティ許可

<注意事項>

- *動作モード 1 のときは、本ビットは内部で"0"に固定されます。*

[bit3] P： パリティ選択ビット(動作モード 0 のみ機能)

パリティあり(ESCR:PEN=1)に設定した場合に、奇数パリティ"1"か偶数パリティ"0"のいずれかに設定します。

bit	説明
0	偶数パリティ
1	奇数パリティ

[bit2:0] L2, L1, L0： データ長選択ビット

送受信データのデータ長を指定します。

bit2	bit1	bit0	説明
0	0	0	8 ビット長
0	0	1	5 ビット長
0	1	0	6 ビット長
0	1	1	7 ビット長
1	0	0	9 ビット長
上記以外			設定禁止

<注意事項>

- *上記以外の設定は禁止です。*
- *動作モード 1 では、データ長は 7, 8 ビットに設定してください。そのほかの設定は禁止です。*

7.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。
FIFO 動作許可の場合、RDR/TDR アドレスは FIFO 読出し/書込みアドレスです。

受信データレジスタ (RDR)

bit	15 ... 9	8	7	6	5	4	3	2	1	0
Field		D8	D7	D6	D5	D4	D3	D2	D1	D0
属性		R	R	R	R	R	R	R	R	R
初期値		0	0	0	0	0	0	0	0	0

- 受信データレジスタ(RDR)は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。
- シリアル入力端子(SIN)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- データ長に応じ、以下のように上位ビットに"0"が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合(SSR:RIE=1)、受信割込み要求が発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
- 受信エラーが発生(SSR:PE, ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効です。
- 動作モード 1(マルチプロセッサモード)では、7 ビット, 8 ビット長の動作となり、受信した AD ビットは、D8 ビットに格納されます。
- 9 ビット長転送および動作モード 1 の場合 RDR の読出しは 16 ビットアクセスで行います。

<注意事項>

- *受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が "1"に設定されます。*
- *受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。*
- *受信 FIFO 使用時に、受信エラーが発生(SSR:PE, ORE, FRE のいずれかが "1") した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。*

送信データレジスタ (TDR)

bit	15 ... 9	8	7	6	5	4	3	2	1	0
Field		D8	D7	D6	D5	D4	D3	D2	D1	D0
属性		W	W	W	W	W	W	W	W	W
初期値		1	1	1	1	1	1	1	1	1

送信データレジスタ(TDR)は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されます。送信データはシリアルデータに変換されて、シリアルデータ出力端子(SOT)から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データです。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

(X は送信データビット)

- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書き込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"のとき、送信データを書き込めます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書込みは、送信割込みの発生後または送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データは書き込めません。
- 動作モード 1(マルチプロセッサモード)では、7 ビット, 8 ビット長の動作となり、AD ビットの送信は、D8 ビットへの書込みにより行います。
- 9 ビット長転送および動作モード 1 の場合、TDR への書込みは 16 ビットアクセスで行ってください。

<注意事項>

- *送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため、書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。*
- *送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。*

7.6 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXT	(BGR1)							(BGR0)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
- BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定値の読出しが可能です。
- ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)にリロード値を書き込むとリロードカウンタはカウントを開始します。
- bit15 の EXT ビットはリロードカウンタのクロックソースを内部クロックで使用するか、外部クロックで使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。外部クロックは SCK から入力します。

[bit15] EXT： 外部クロック選択ビット

bit	説明
0	内部クロック使用
1	外部クロック使用

[bit14:8] BGR1： ボーレートジェネレータレジスタ 1

bit14:8	説明
書込み	リロードカウンタ bit8～bit14 に書込み
読出し	BGR1 の設定値の読出し

[bit7:0] BGR0： ボーレートジェネレータレジスタ 0

bit7:0	説明
書込み	リロードカウンタ bit0～bit7 に書込み
読出し	BGR0 の設定値の読出し

<注意事項>

- *ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *ボーレートジェネレータレジスタ(BGR1, BGR0)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。従って、新しい設定値を即有効にしたい場合は、BGR1/BGR0 の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。*
- *リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
- *BGR1/BGR0 へは、4 以上の値を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。*

- *ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ 1, 0(BGR1, BGR0)に 0 を書込み、プログラマブルクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。*

7.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定, 送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性		-		R/W	R/W	R/W	R/W	R/W	
初期値		-		0	0	1	0	0	

[bit15:13] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FIFO 再送データロストフラグ(FLST)検出を許可するビットです。

"0"に設定した場合 : FLST ビット検出禁止
"1"に設定した場合 : FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

- *本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。*

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- *受信 FIFO を使用する場合、本ビットを"1"に設定してください。*

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、FIFO 送信割込み要求を出力します。

FDRQ セット条件

- FBYTE(送信用)=0　(送信 FIFO がエンプティ)

FDRQ リセット条件

- 本ビットへの"0"書込み
- 送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>

- *送信 FIFO 許可のときに"0"書込みは有効です。*
- *FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。*
- *本ビットに"1"を設定した場合、動作に影響しません。*
- *リードモディファイライト系命令時、"1"が読み出されます。*

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割当てられます。
"1"に設定した場合 : 送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>

- *本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。*
- *本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。*

7.8 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] - : 未使用ビット

読出し時 : 常に"0"が読み出されます。
書込み時 : 常に"0"を書き込んでください。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致している時に FIFO へ書き込んだ(上書きした)場合

FLST リセット条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

<注意事項>

- *本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。*
- *FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。*
- *TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後 SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。*

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
通信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合 : 現在のリードポインタの値を保存します。
"0"に設定した場合 : 保存しません。

bit	説明	
	書込み時	読出し時
0	保存しない	常に"0"が読み出されます。
1	リードポインタ値保存	

<注意事項>

- *送信バイト数(FBYTE)が"0"を示している時に本ビットを"1"に設定してください。*

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定することで、FIFO2 の内部状態を初期化します。
FCR1:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

<注意事項>

- *送受信を禁止してから、FIFO2 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE2 レジスタの有効データ数は"0"に設定されます。*

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定することで、FIFO1 の内部状態を初期化します。
FCR1:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

<注意事項>

- *送受信を禁止してから、FIFO1 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE1 レジスタの有効データ数は"0"に設定されます。*

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生時、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO2 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1 : FIFO1 動作許可ビット

- FIFO1 の動作を許可/禁止するビットです。
- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し(FCR1:FSEL=0)、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生時、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO1 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

7.9 FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE レジスタは、FIFO に書込みまたは受信した有効なデータ数を示します。FCR1:FSEL ビットの設定を以下に示します。

Table 7-4 データ数表示

FCR1:FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は"0x08"です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致した場合、割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

FBYTE2, FBYTE1: FIFO2 データ数表示ビット, FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

読出し(有効なデータ数)

送信時 : FIFO に書き込まれ、送信されていないデータ数
受信時 : FIFO に受信されたデータ数

書込み(転送数)

送信時 : "0x00"設定
受信時 : 受信割込み発生のデータ数設定

Table 7-5　FIFO の格納可能なデータ数について

FIFO 容量	動作モード	データ長	最大 FBYTE 数	格納可能データ数
16 バイト	モード 0	5~8 ビット	16	16
	モード 0	9 ビット	8	8
	モード 1	すべて		
32 バイト	モード 0	5~8 ビット	32	32
	モード 0	9 ビット	16	16
	モード 1	すべて		
64 バイト	モード 0	5~8 ビット	64	64
	モード 0	9 ビット	32	32
	モード 1	すべて		
128 バイト	モード 0	5~8 ビット	128	128
	モード 0	9 ビット	64	64
	モード 1	すべて		

<注意事項>

- *送信 FIFO の FBYTE レジスタには 0x00 を設定してください。*
- *受信 FIFO の FBYTE は"1"以上のデータを設定してください。*
- *受信を禁止してから変更してください。*
- *本レジスタはリードモディファイライト系命令を使用できません。*
- *FIFO 容量を超える設定は禁止です。*

CHAPTER1-3: CSIO (クロック同期シリアルインタフェース)

マルチファンクション シリアルインタフェースの機能のうち、

動作モード 2 でサポートしている CSIO 機能について説明します。

1. CSIO (クロック同期シリアルインタフェース)の概要
2. CSIO (クロック同期シリアルインタフェース)の割込み
3. CSIO (クロック同期シリアルインタフェース)の動作
4. シリアルタイマの動作
5. シリアルチップセレクトの動作
6. 専用ボーレートジェネレータ
7. CSIO (クロック同期シリアルインタフェース)のレジスタ
8. CSIO (クロック同期シリアルインタフェース)の制限事項

管理コード: 9BFCSIO_FM0-J03.0_FM15C-J05.4

1. CSIO (クロック同期シリアルインタフェース)の概要

CSIO(クロック同期シリアルインタフェース)は、外部装置と同期通信をするための、汎用のシリアルデータ通信インタフェースです (SPI に対応します) 。また、送信/受信(最大 各 128 バイト) *1 の FIFO を搭載しています。

CSIO (クロック同期シリアルインタフェース)の機能

		機　　能
1	データバッファ	− 全二重ダブルバッファ(FIFO 未使用時) − 送信/受信 FIFO(最大各 128 バイト) *1 (FIFO 使用時)
2	転送形式	− クロック同期(スタートビット/ストップビットなし) − マスタ/スレーブ機能 − SPI に対応 (マスタ/スレーブ両方サポート)
3	ボーレート	− 専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成, マスタ動作時) − 外部クロック入力可能(スレーブ動作時)
4	データ長	5〜16 ビットに可変可能
5	受信エラー検出	オーバランエラー
6	割込み要求	− 受信割込み(受信完了, オーバランエラー) − 送信割込み(送信データエンプティ, 送信バスアイドル) − 送信 FIFO 割込み (送信 FIFO がエンプティのとき) − 送受信 DMA 転送サポート機能あり
7	シリアルチップセレクト	− 4ch 制御(単独制御、ラウンド制御) − セットアップ/ホールド/ディセレクト時間を可変に設定可能各チャネルでアクティブレベル選択可能
8	同期送信機能	− シリアルタイマに同期し、定期的にデータを自動送信可能
9	タイマ機能	16 ビットシリアルタイマを搭載 − 動作クロック分周値選択可能(1〜256 分周)
10	同期モード	マスタまたはスレーブ機能
11	端子アクセス	シリアルデータ出力端子を"1"設定可能
12	FIFO オプション	− 送受信 FIFO 搭載(最大容量:送信 FIFO 128 バイト, 受信 FIFO 128 バイト) *1 − 送信 FIFO と受信 FIFO を選択可能 − 送信データ再送可能 − 受信 FIFO 割込みタイミングをソフトで可変可能 − 独立して FIFO リセットサポート

*1：FIFO 容量はご使用する製品により容量サイズが異なります。

2. CSIO (クロック同期シリアルインタフェース)の割込み

CSIO (クロック同期シリアルインタフェース)の割込みには、受信割込みと送信割込みおよびステータス割込みがあります。以下に示す要因で割込み要求を発生させられます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求
- シリアルタイマの比較値 (STMCR) とシリアルタイマ値 (STMR) が一致
- チップセレクトエラー発生

CSIO の割込み

CSIO の割込み制御ビットと割込み要因を Table 2-1 に示します。

Table 2-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データレジスタ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
送信	TDRE	SSR	送信データレジスタがエンプティ	SCR:TIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
	CSE	SACSR	スレーブモード(SCR:MS=1)時、送信動作中にシリアルチップセレクト端子がインアクティブ マスタモード(SCR:MS=0)時、送信回数が TBYTE の設定値以下で次の送信データが TDR に書き込まれていない(SSR:TDRE=1)	SACSR:CSEIE	シリアルチップセレクトフラグビット(SACSR:CSE)への"0"書込み
ステータス	TINT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み

*1：TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

2.1 受信割込み発生とフラグセットのタイミング

受信時の割込みは、受信完了(SSR:RDRF=1)および受信エラーの発生(SSR:ORE=1)があります。

受信割込み発生とフラグセットのタイミング

最終データビットを検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)または受信エラーが発生(SSR:ORE=1)するとき、各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

<注意事項>

- *受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。*

Figure 2-1 受信動作とフラグセットのタイミング

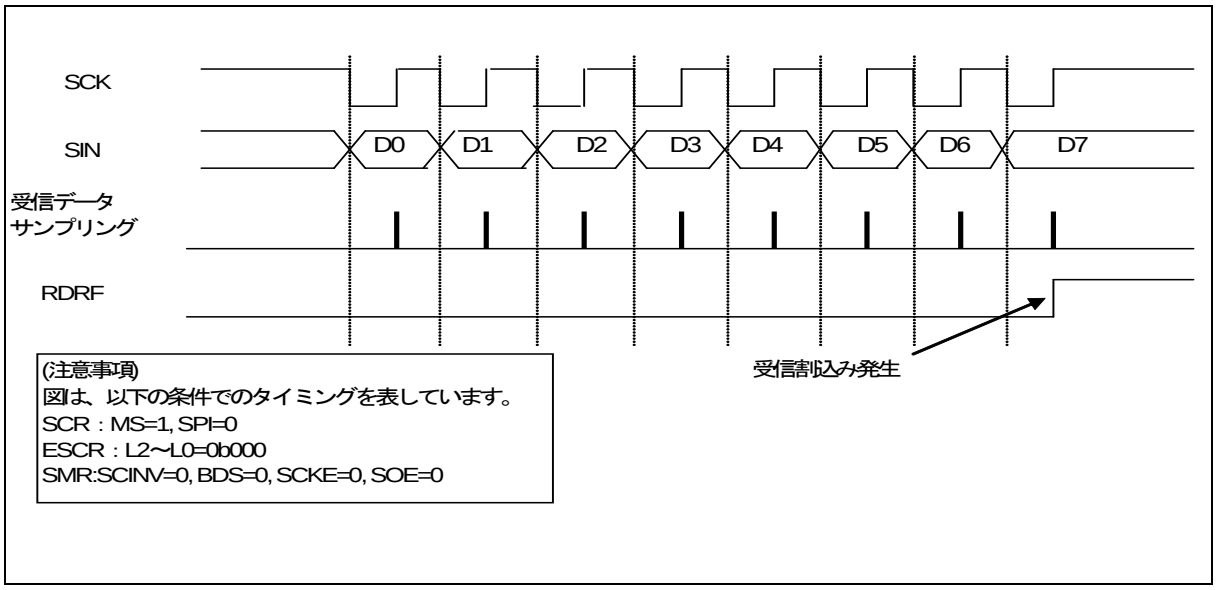
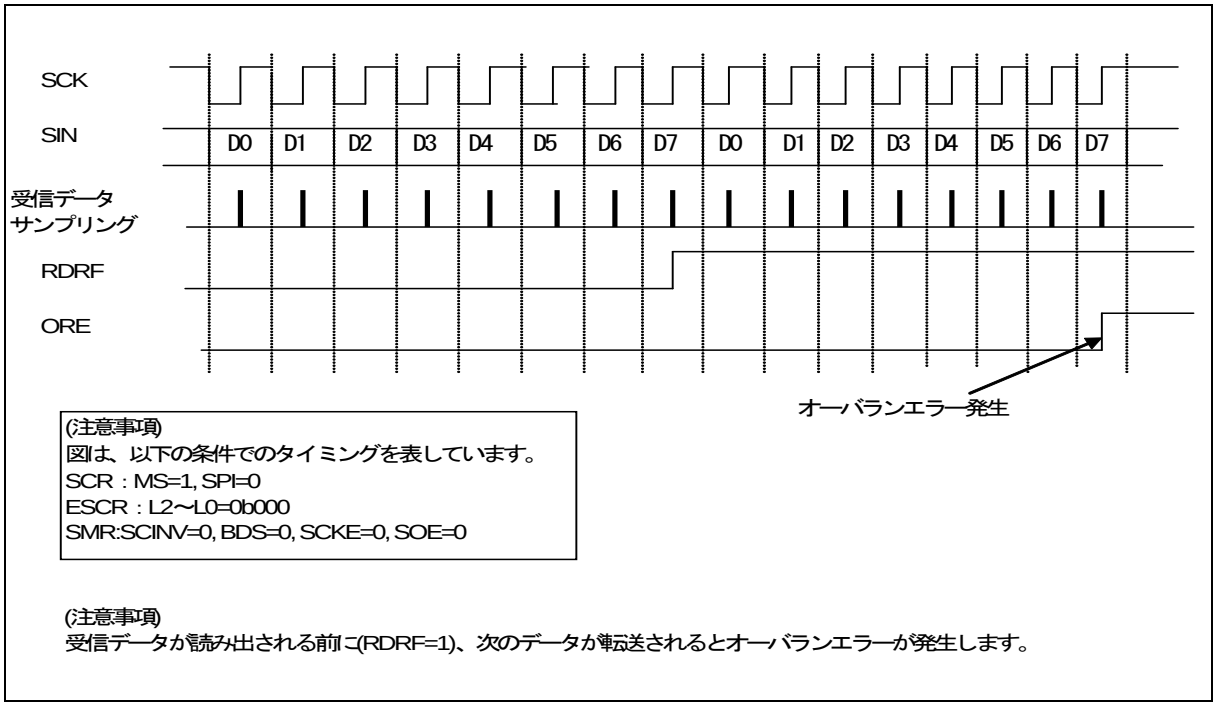


Figure 2-2 ORE(オーバランエラー)フラグセットタイミング



2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信した場合に発生します。

受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない
    8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信した場合、オーバランエラー(SSR:ORE=1)が発生します。

Figure 2-3 受信 FIFO 使用時の受信割込み発生タイミング

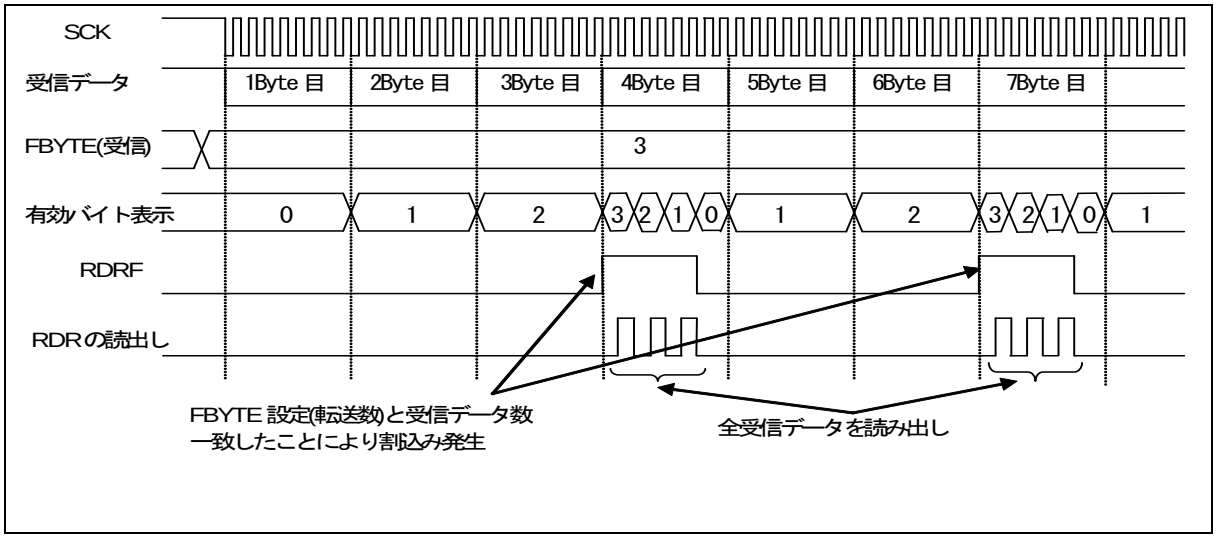
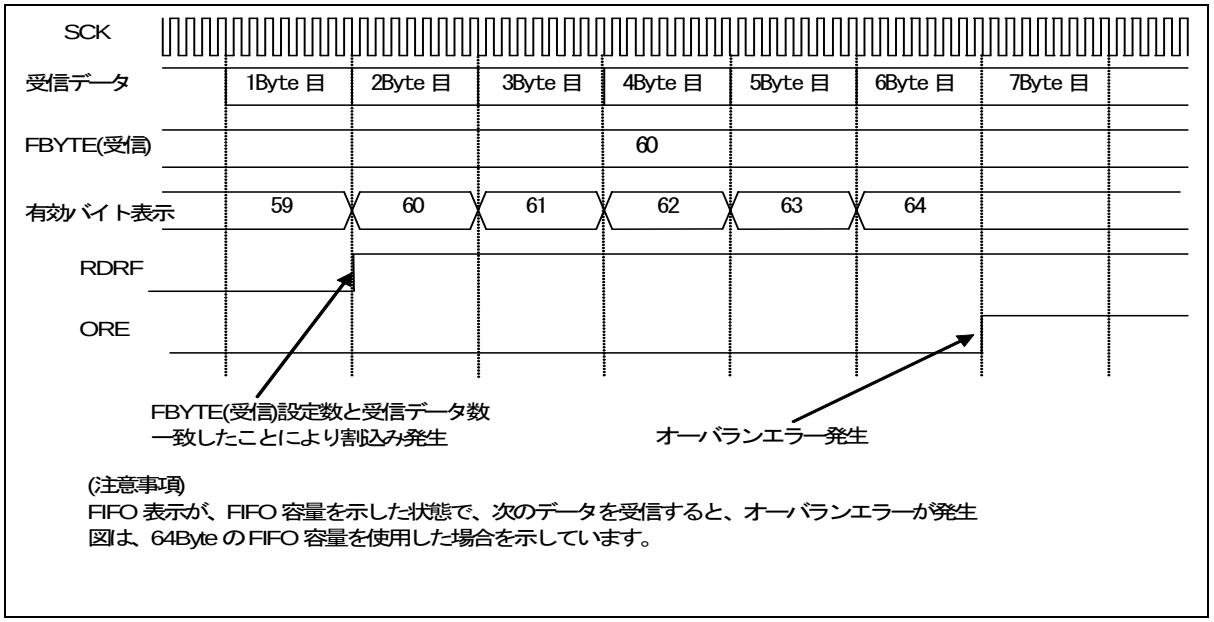


Figure 2-4 ORE (オーバランエラー)フラグビットのセットタイミング



2.3 送信割込み発生とフラグセットのタイミング

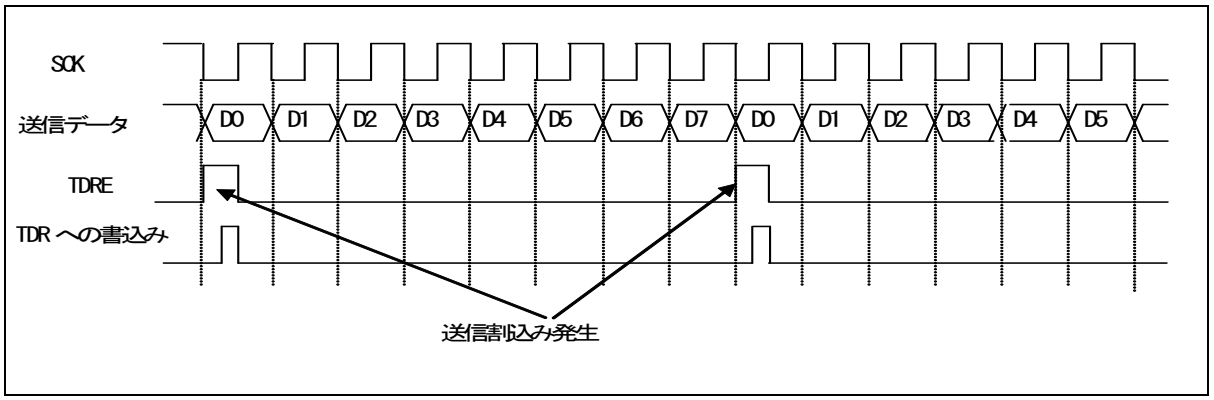
送信時の割込みは、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

送信割込み発生とフラグセットのタイミング

■ 送信データエンプティフラグ(SSR:TDRE)のセットタイミング

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)です。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDRE ビットはリードオンリビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

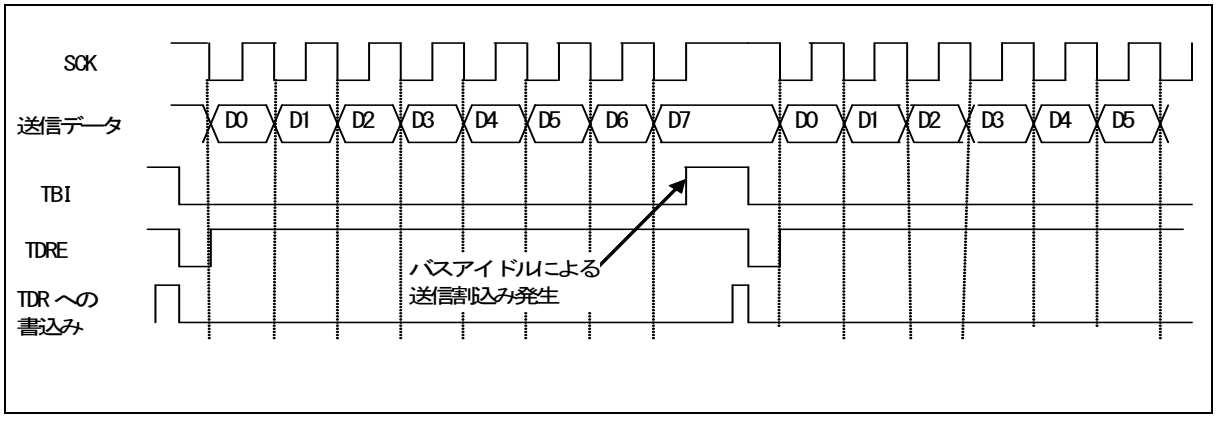
Figure 2-5 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



■ 送信バスアイドルフラグ(SSR:TBI)のセットタイミング

送信データレジスタがエンプティ(SSR:TDRE=1)で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットした場合、SSR:TBI ビットおよび送信割込み要求はクリアされます。

Figure 2-6 送信バスアイドルフラグ(TBI)のセットタイミング
(SCSCR:CSEN3-0=”0000”, SACSR:TSYNE=0)



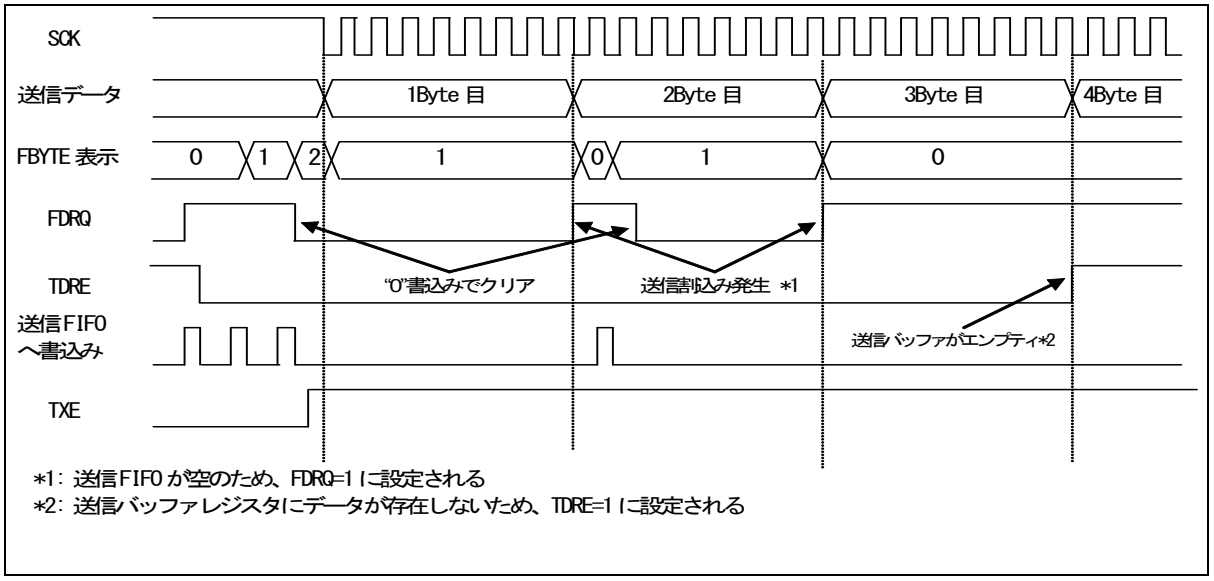
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない時に発生します。

送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。FBYTE=0x00 のときは、送信 FIFO にデータがないことを示します。

Figure 2-7 送信 FIFO 使用時の送信割込み発生タイミング



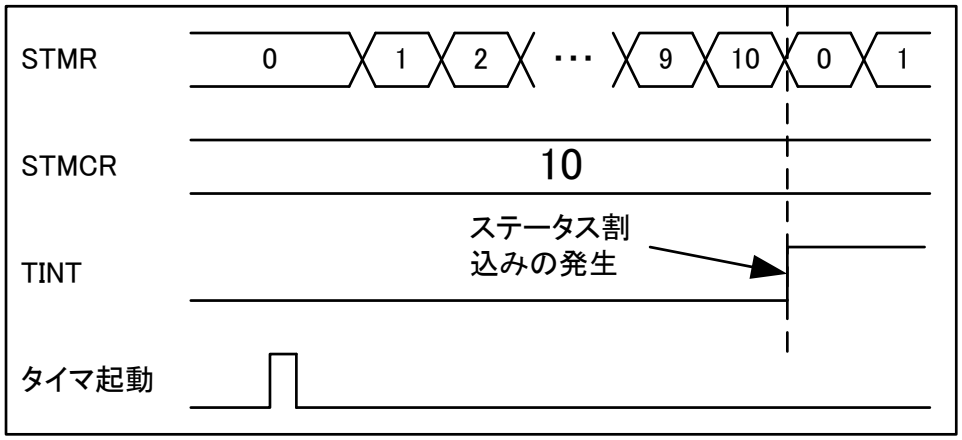
2.5 タイマ割込み発生とフラグセットのタイミング

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致した場合に発生します。

タイマ割込みの発生とフラグセットのタイミング

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致した場合、タイマ割込みフラグ(SACSR:TINT)が"1"にセットされます。
このとき、タイマ割込み許可(SACSR:TINTE=1)されているとステータス割込みが発生します。

Figure 2-8 タイマ割込み発生タイミング



2.6 チップセレクトエラー発生とフラグセットのタイミング

チップセレクトエラーは、マスタモード(SCR:MS=0)時に、TBYTE の設定値より少ないフレーム数しか送信していない場合に送信データレジスタ(TDR)に有効なデータがない (SSR:TDRE=1) ときに発生します。また、スレーブモード(SCR:MS=1)の送信動作中にシリアルチップセレクト端子がインアクティブになるとチップセレクトエラーは発生します。

チップセレクトエラーの発生とフラグセットのタイミング

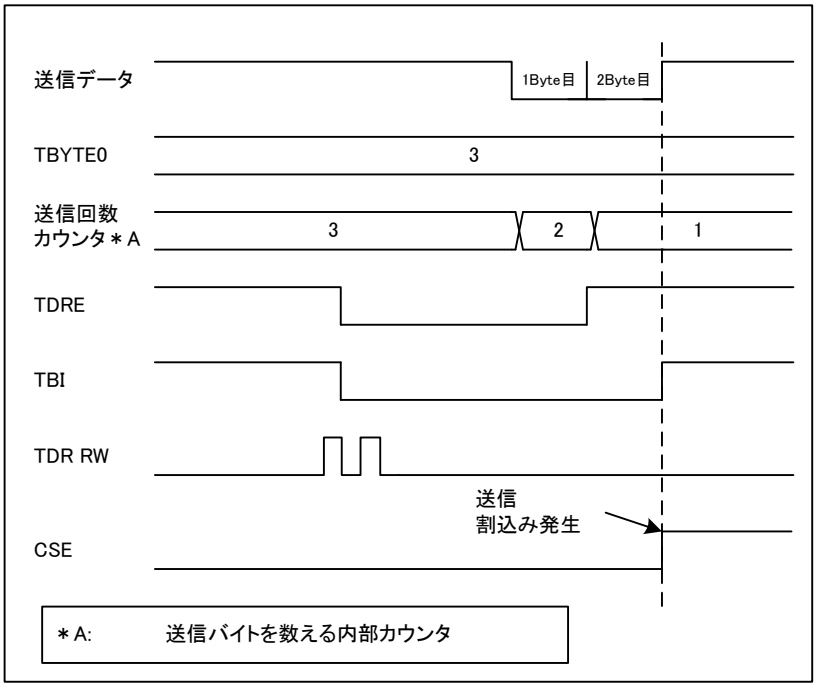
■ マスタモード(SCR:MS=0)

チップセレクトエラーは、転送バイトエラー許可(TBEEN=1)で以下のいずれかのとき、TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、発生します。

- チップセレクト使用時
- シリアルタイマによる同期送信使用時

このとき、チップセレクトエラー割込み許可(SACSR:CSEIE=1)されていると送信割込みが発生します。

Figure 2-9 チップセレクトエラー発生タイミング(SCSCR:CSEN3-0=”0000”, SACSR:TSYNE=1)



<注意事項>

- *シリアルチップセレクト使用時、チップセレクトエラー発生後からディセレクト時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定されます。また、ホールドディレイ時間中に送信データを送信データレジスタ(TDR)書き込んでも送信動作は開始せず、ディセレクト時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定されます。*
- *チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データを送信データレジスタ(TDR)に書き込んでも送信動作は開始しません。*

- *同期送信使用時でチップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、以下の条件でも送信動作は開始しません。*
  - *シリアルタイマに同期した送信時にリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致*

■ スレーブモード(SCR:MS=1)

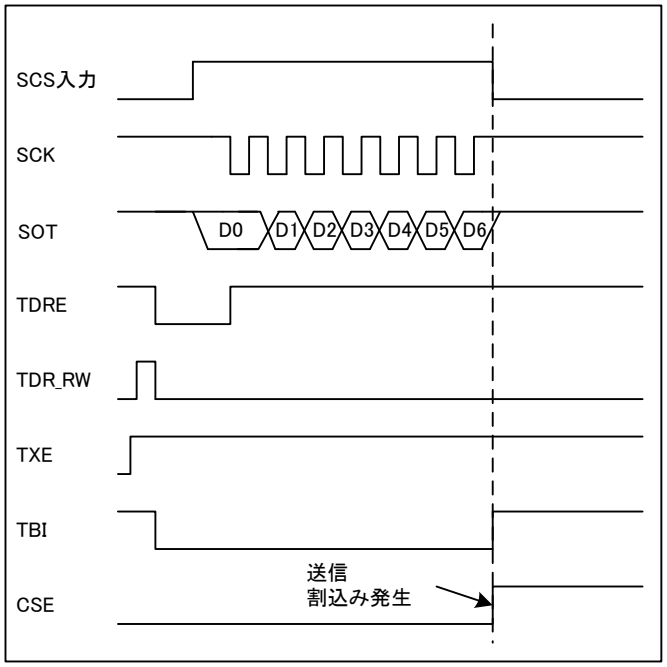
以下のいずれかの時にチップセレクトがインアクティブになるとチップセレクトエラーとなります。

- シリアルクロック動作中
- 送信モジュールが idle 状態でないとき*にシリアルクロックが変化したとき

*: idle 状態でないときとは、送信データが準備されていてシリアルクロックが入力されれば送信が始まるという状態です。

このとき、チップセレクトエラー割込み許可(SACSR:CSEIE=1)されていると送信割込みが発生します。

Figure 2-10 チップセレクトエラー発生タイミング(CSLVL=0, SCR:SPI=0)



<注意事項>

- *送信データレジスタ(TDR)がエンプティ(SSR:TDRE=1)で、シリアルチップセレクトエラー(SACSR:CSE=1)が発生した場合、ボーレートの周期以内にSSR:TBI ビットは"1"になります。*

3. CSIO (クロック同期シリアルインタフェース)の動作

転送方式はクロック同期式です。

3.1 ノーマル転送(Ⅰ)

特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～16 ビット

レジスタの設定

ノーマル転送(Ⅰ)に必要な、レジスタの設定値を以下に示します。

Table 3-1 ノーマル転送(Ⅰ)レジスタの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR	0	1/0	0	*	*	*	*	*	0	1	0	-	0	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定

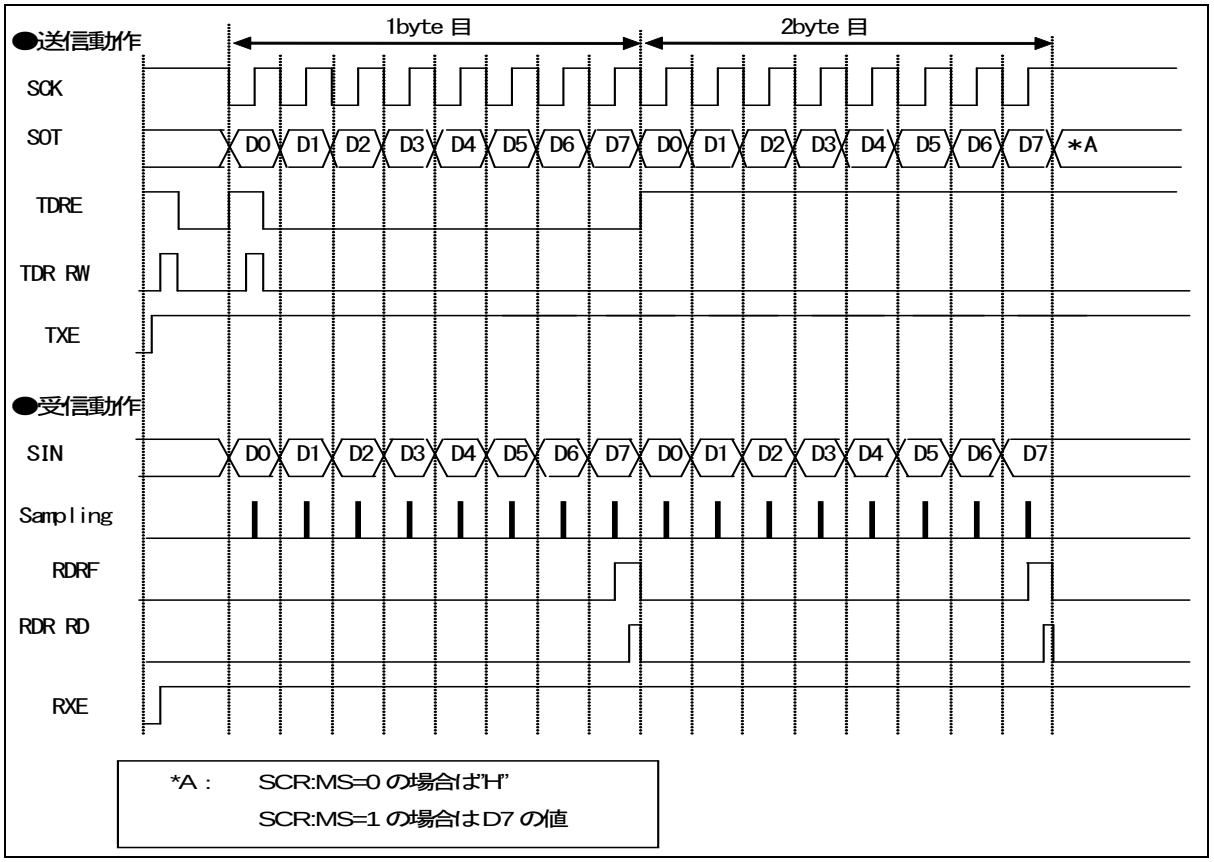
0 : 0 を設定

* : ユーザが決める設定

<注意事項>

- *上記ビットの設定値(1/0)は、マスタ動作, スレーブ動作で異なります。以下のように設定してください。*
  マスタ動作時 : SCR:MS=0, SMR:SCKE=1
  スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

ノーマル転送(Ⅰ)タイミングチャート (シリアルチップセレクト端子未使用時)



マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0=“0000”)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にした後、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
   これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データが出力されます。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

<注意事項>

- *受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。*
- *送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。*

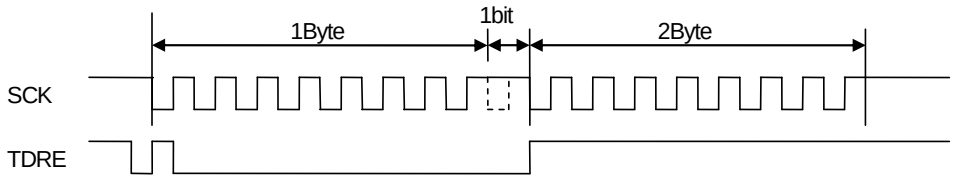
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

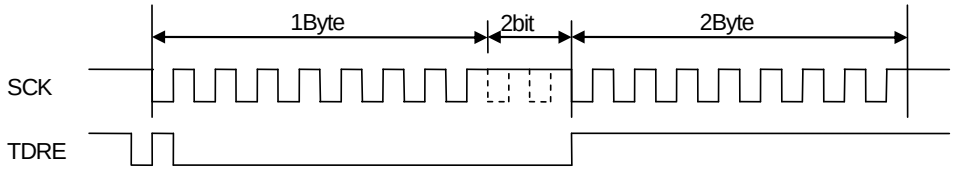
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

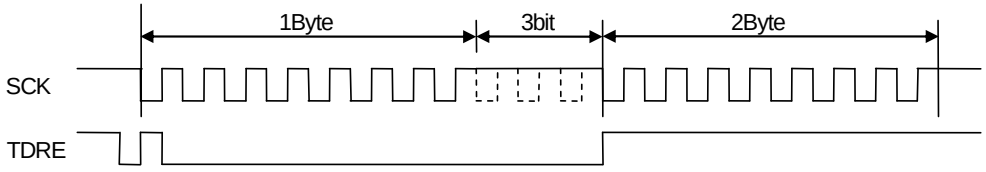
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

<注意事項>

- *送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。*

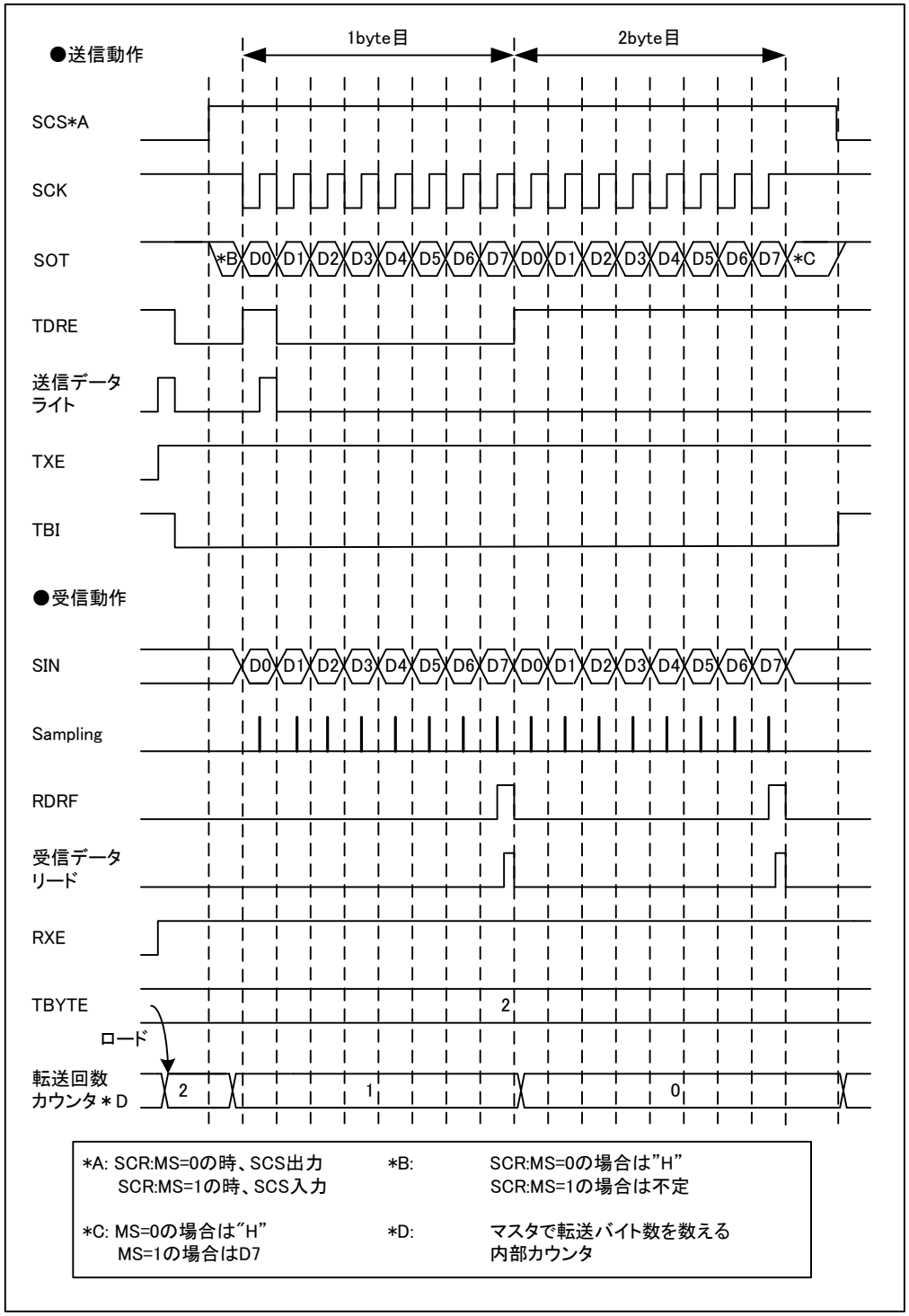
■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

ノーマル転送(Ⅰ)タイミングチャート(シリアルチップセレクト端子使用時)



マスタ動作　(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*：n には使用するシリアルチップセレクト端子番号が入ります。

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. TBYTE で設定している回数のデータ送信終了後、シリアルクロックが停止します。
4. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック出力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。

   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後、シリアルクロックが停止します。
5. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

<注意事項>

- *受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。*
- *送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。*

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、

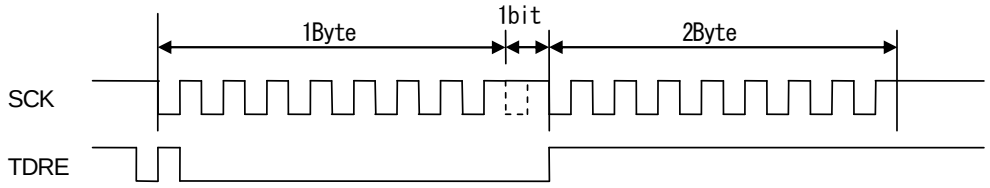
送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

3. 送受信動作中は受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロックが停止します。
5. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

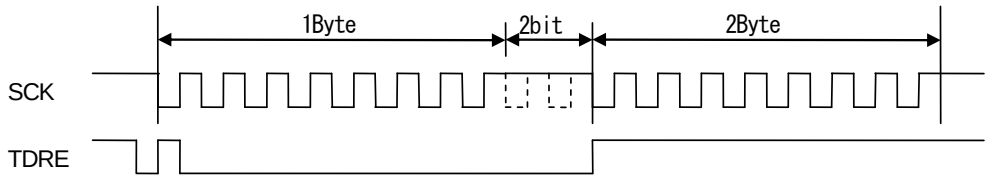
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1,ESCR:WT0)= (0,0)以外を設定した場合 Frame 間にウェイトが挿入されます。

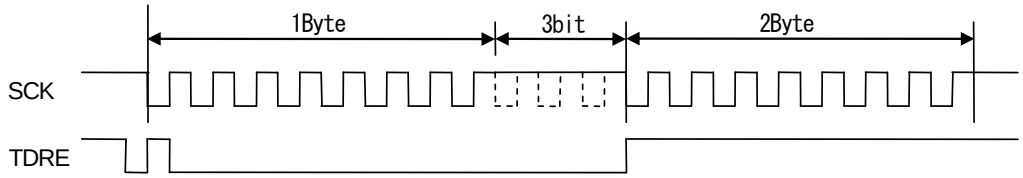
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1，SMR:SCKE=0，SCSCR:CSEN0=1，SCSCR:CSOE=0，SCSCR:SCAM=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。
3. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

<注意事項>

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
3. この時、受信データ(RDR)を読み出せます。
4. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
5. シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 送受信動作中に受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出すことができます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作が停止し、シリアル出力端子(SOT)が"H"になります。

3.2 ノーマル転送(Ⅱ)

特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～16 ビット

レジスタの設定

ノーマル転送(Ⅱ)に必要な、レジスタの設定値を以下に示します。

Table 3-2 ノーマル転送(Ⅱ)レジスタの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR1	0	1/0	0	*	*	*	*	*	0	1	0	-	1	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定

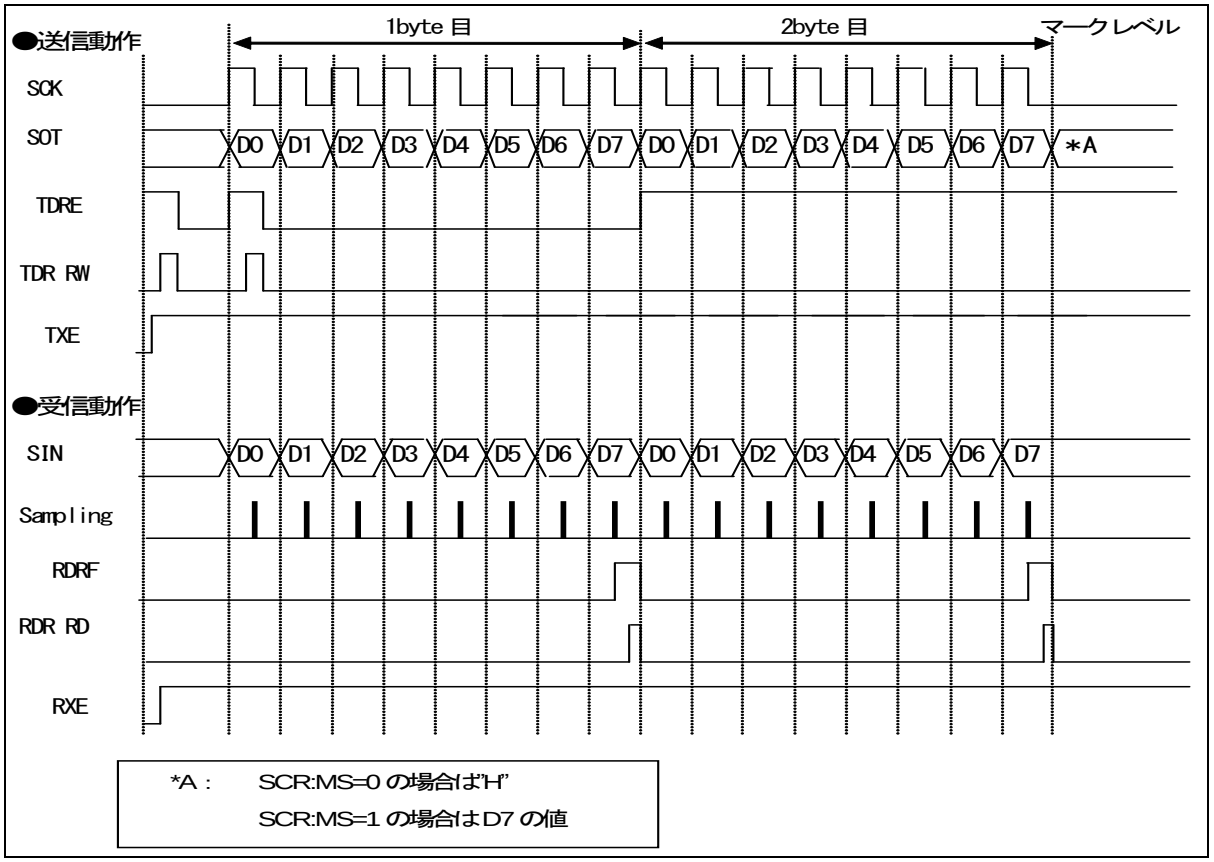
0 : 0 を設定

* : ユーザが決める設定

<注意事項>

- *上記ビットの設定値(1/0)は、マスタ動作，スレーブ動作で異なります。以下のように設定してください。*
  マスタ動作時：SCR:MS=0, SMR:SCKE=1
  スレーブ動作時：SCR:MS=1, SMR:SCKE=0

ノーマル転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子未使用時)



マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0=“0000”)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立下りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

<注意事項>

- *受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。*
- *送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。*

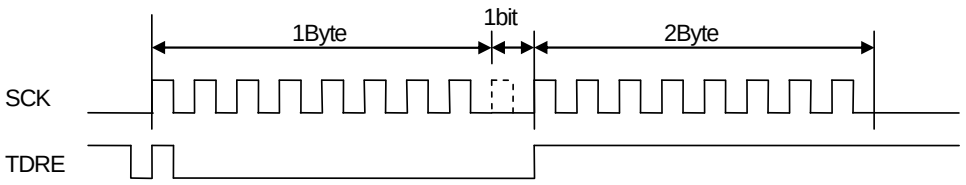
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

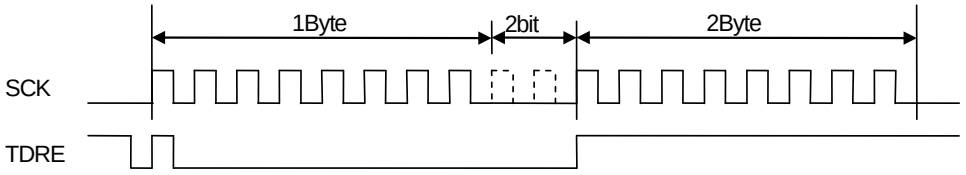
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

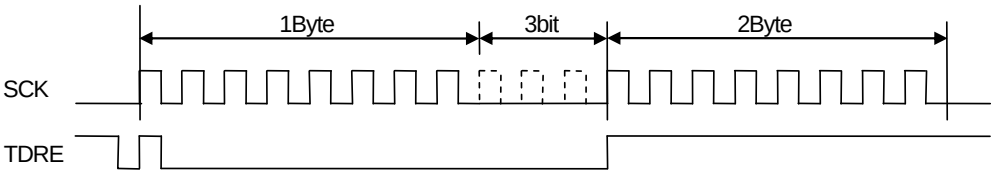
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:.WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

<注意事項>

- *送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。*

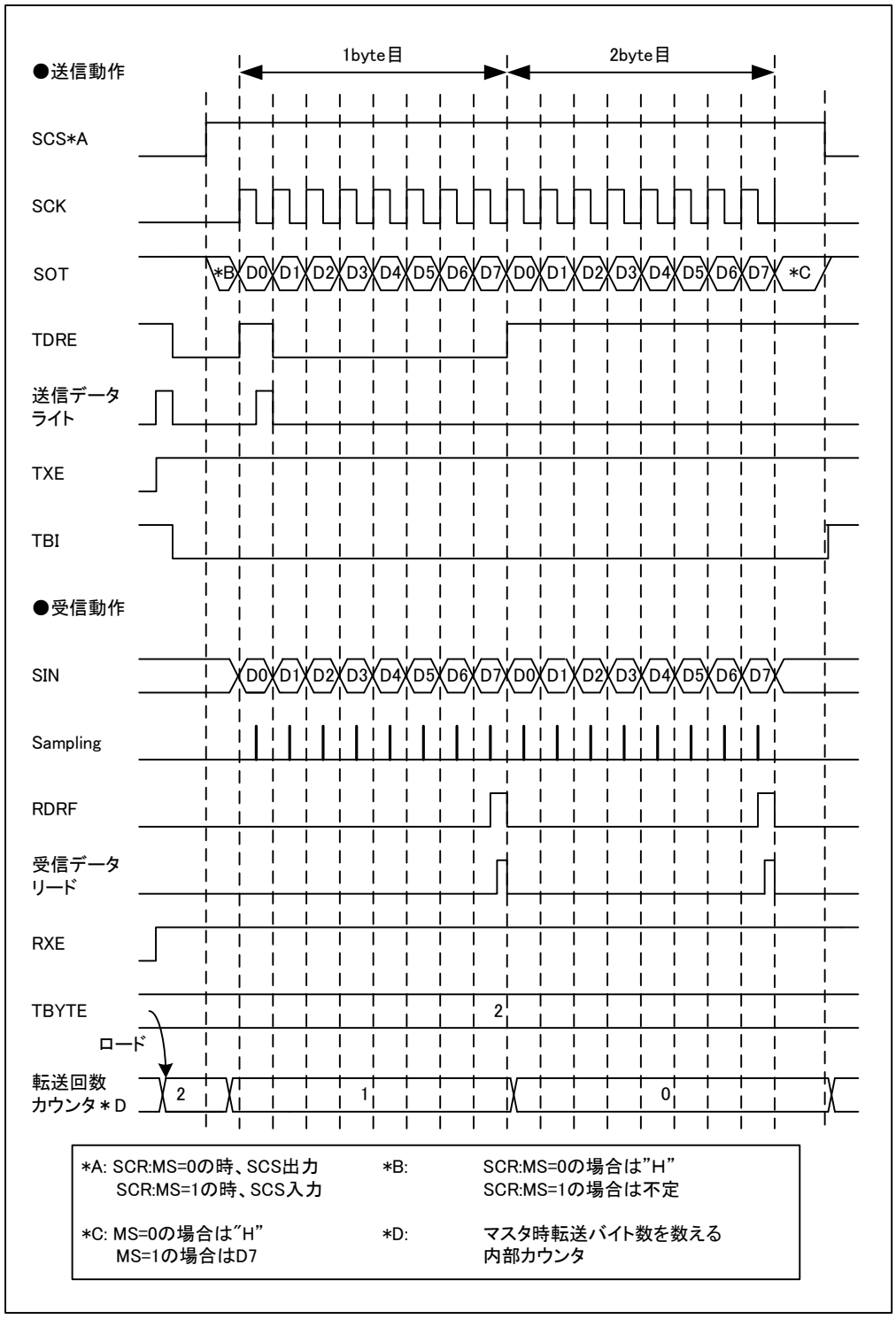
■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)入力の立上りエッジに同期して､送信データを出力します｡最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

ノーマル転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子使用時)



マスタ動作　(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn=1)

*：n には使用するシリアルチップセレクト端子番号が入ります。

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力が開始した後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. TBYTE で設定している回数のデータ送信終了後、シリアルクロックを停止します。
4. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力が開始した後、シリアルクロック出力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。

   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後、シリアルクロックを停止します。
5. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

<注意事項>

- ***受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。***
- ***送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。***

■ 送受信動作

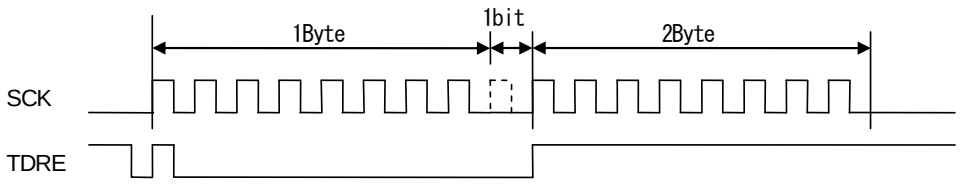
1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

3. 送受信動作中は受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

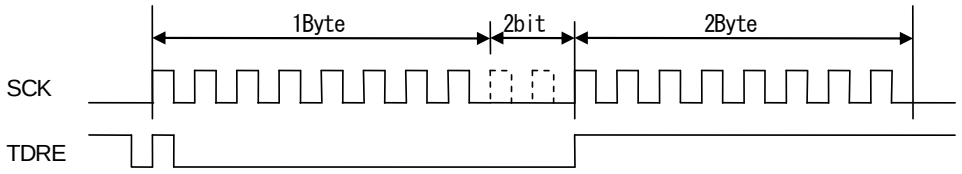
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1,ESCR:WT0)= (0,0)以外を設定した場合 Frame 間にウェイトが挿入されます。

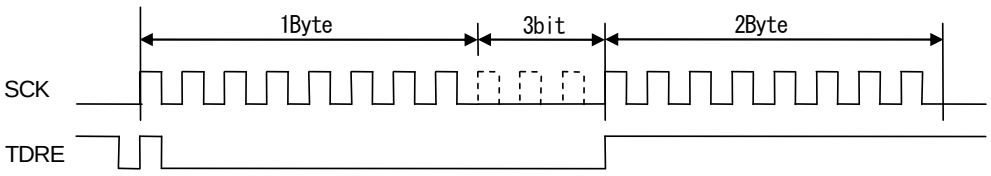
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。
3. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を停止し、シリアル出力端子(SOT)が"H"になります。

<注意事項>

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
3. この時、受信データ(RDR)を読み出せます。
4. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
5. シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を停止します。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 送受信動作中に受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作停止し、シリアル出力端子(SOT)が"H"になります。

3.3 SPI 転送(Ｉ)

特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～16 ビット

レジスタの設定

SPI 転送(Ｉ)に必要な、レジスタの設定値を以下に示します。

Table 3-3 SPI 転送(Ｉ)レジスタの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR	0	1/0	1	*	*	*	*	*	0	1	0	-	0	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定

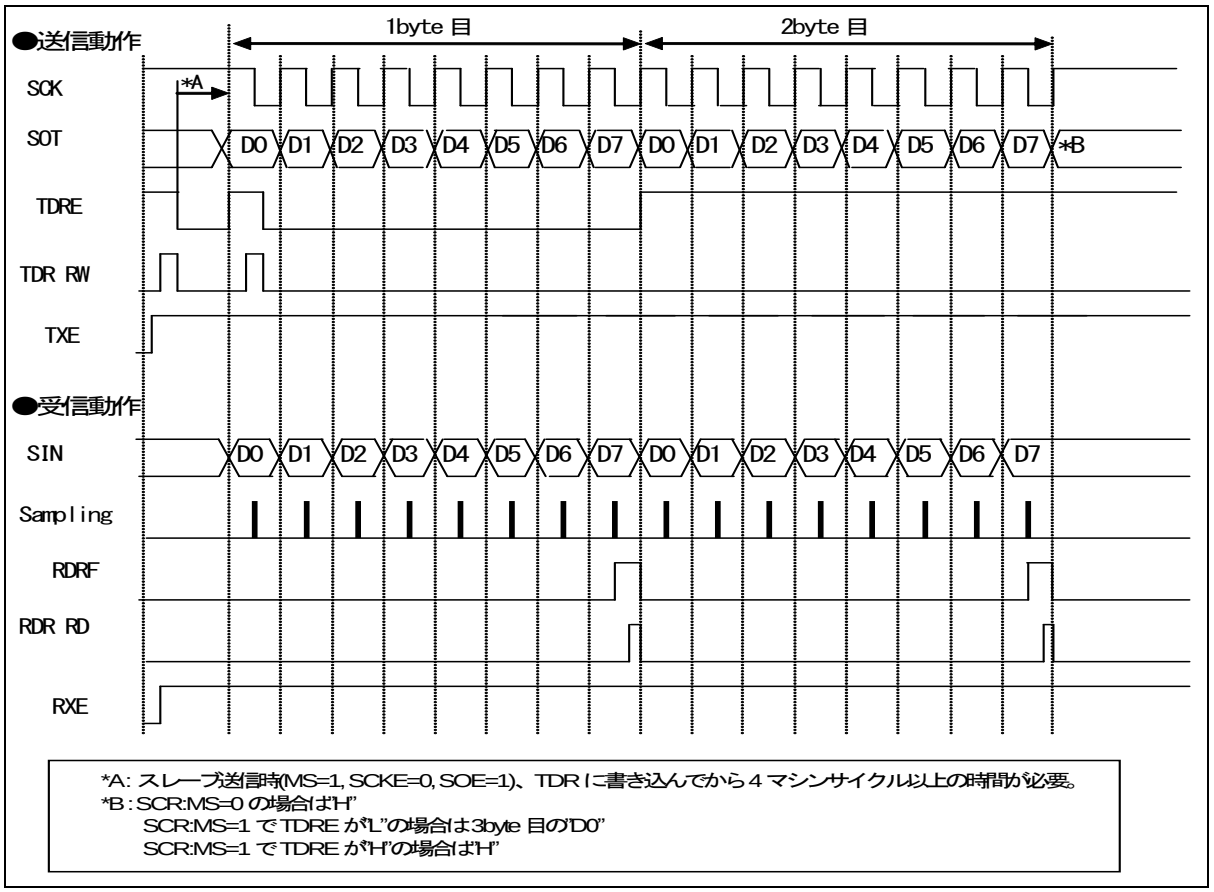
0 : 0 を設定

* : ユーザが決める設定

<注意事項>

- *上記ビットの設定値(1/0)は、マスタ動作，スレーブ動作で異なります。以下のように設定してください。*
  マスタ動作時: SCR:MS=0, SMR:SCKE=1
  スレーブ動作時: SCR:MS=1, SMR:SCKE=0

SPI 転送(Ⅰ)タイミングチャート (シリアルチップセレクト端子未使用時)



マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0=“0000”)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。
2. 最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック(SCK)出力の立下りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

<注意事項>

- *受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。*
- *送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。*

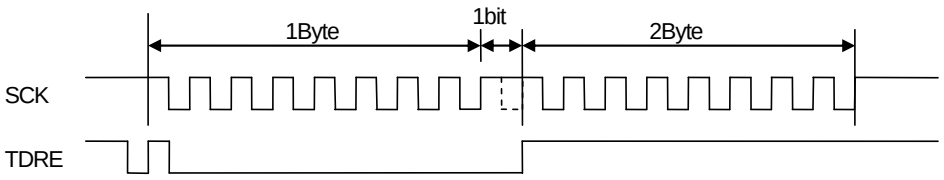
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

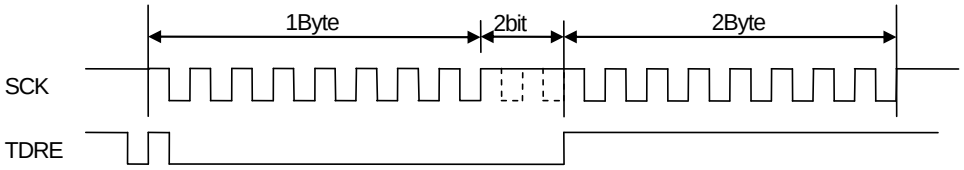
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

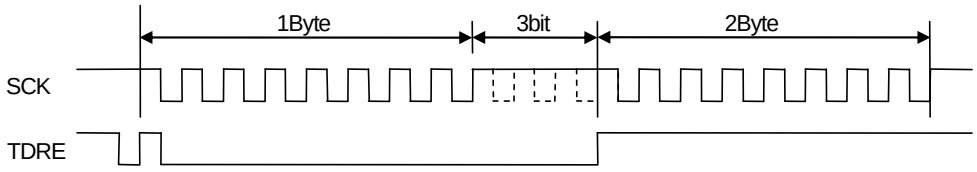
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。
2. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

<注意事項>

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

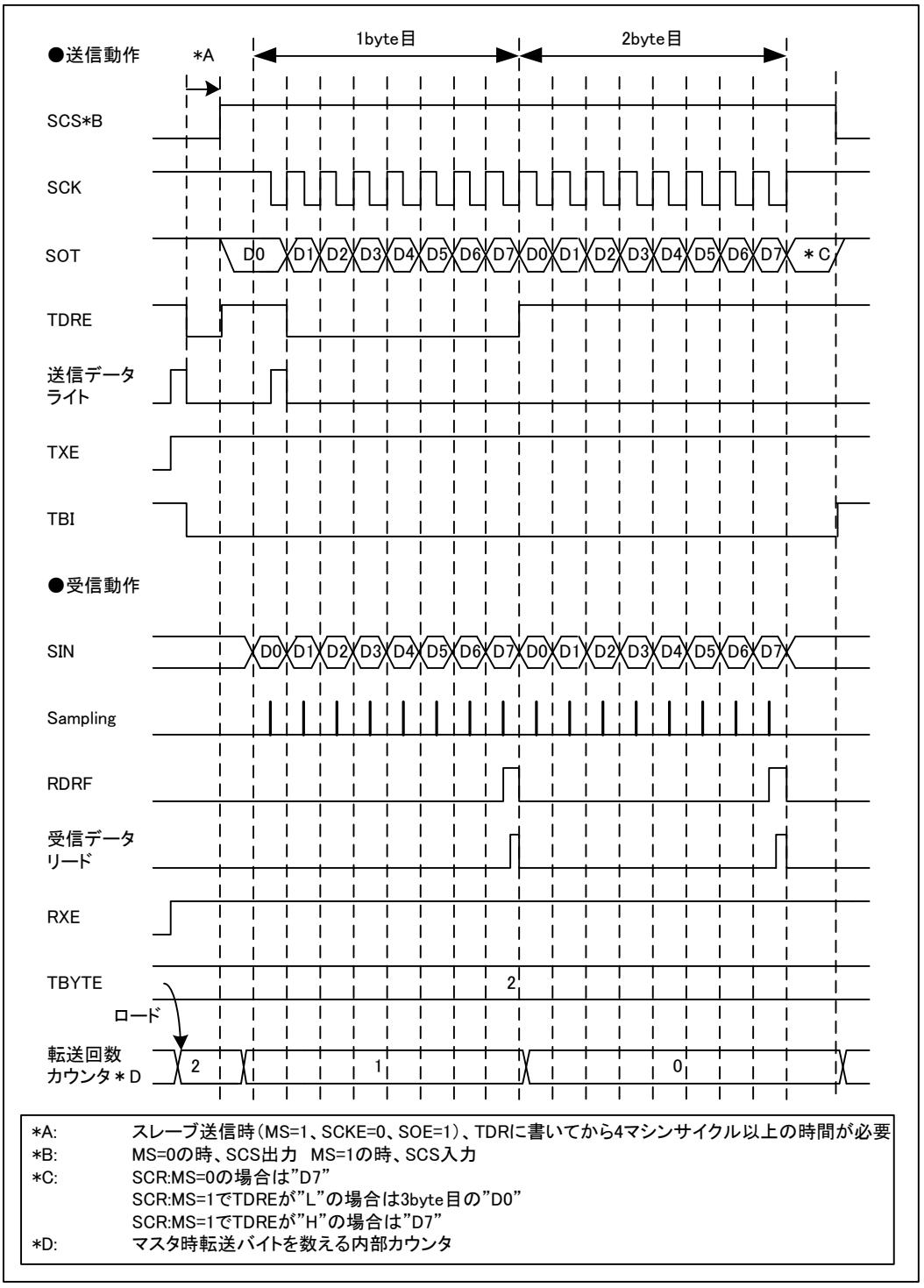
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

■ 受信動作から送信動作への連続的な切換え

1. シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。
2. 受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。
3. 受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込み、受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

SPI 転送(Ⅰ)タイミングチャート(シリアルチップセレクト端子使用時)



*A:	スレーブ送信時(MS=1、SCKE=0、SOE=1)、TDRに書いてから4マシンサイクル以上の時間が必要
*B:	MS=0の時、SCS出力　MS=1の時、SCS入力
*C:	SCR:MS=0の場合は"D7" SCR:MS=1でTDREが"L"の場合は3byte目の"D0" SCR:MS=1でTDREが"H"の場合は"D7"
*D:	マスタ時転送バイトを数える内部カウンタ

マスタ動作　(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*:n には使用するシリアルチップセレクト端子番号が入ります。

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 になります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力が開始します。シリアルクロック出力開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。
2. 最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. TBYTE で設定している回数のデータ送信終了後、シリアルクロック出力を停止します。
4. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力開始した後、シリアルクロック(SCK)出力の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。

   この時、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後、シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

<注意事項>

- ***受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。***
- ***送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。***

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力が開始します。シリアルクロック出力開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下り

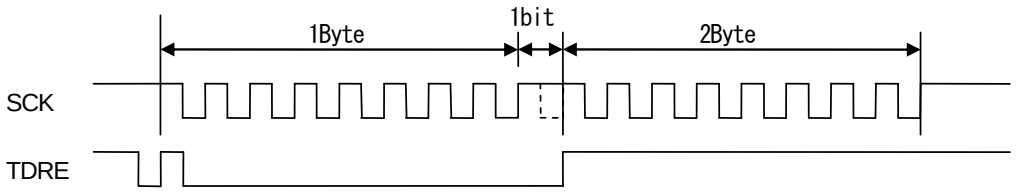
エッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。

3. 受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は "0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

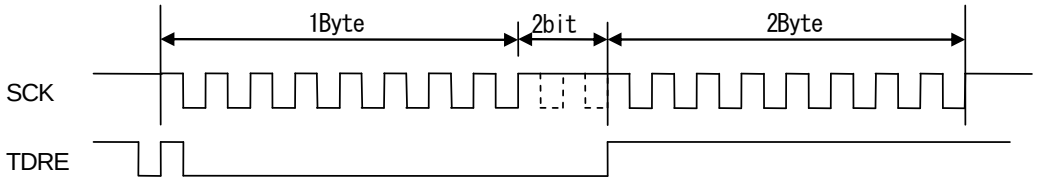
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1,ESCR:WT0)= (0,0)以外を設定した場合 Frame 間にウェイトが挿入されます。

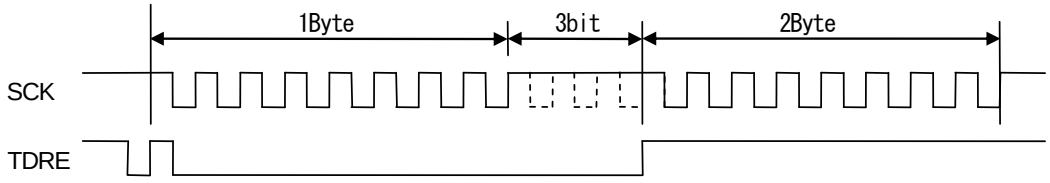
・ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:SCAM=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。
3. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を停止し、シリアル出力端子(SOT)が"H"になります。

<注意事項>

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルの時以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルの時に行なってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1) でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
3. この時、受信データ(RDR)を読み出せます。
4. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
5. シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を停止します。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作が停止し、シリアル出力端子(SOT)が"H"になります。

3.4 SPI 転送(Ⅱ)

特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～16 ビット

レジスタの設定

SPI 転送(Ⅱ)に必要な、レジスタの設定値を以下に示します。

Table 3-4 SPI 転送(Ⅱ)レジスタの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR	0	1/0	1	*	*	*	*	*	0	1	0	-	1	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定

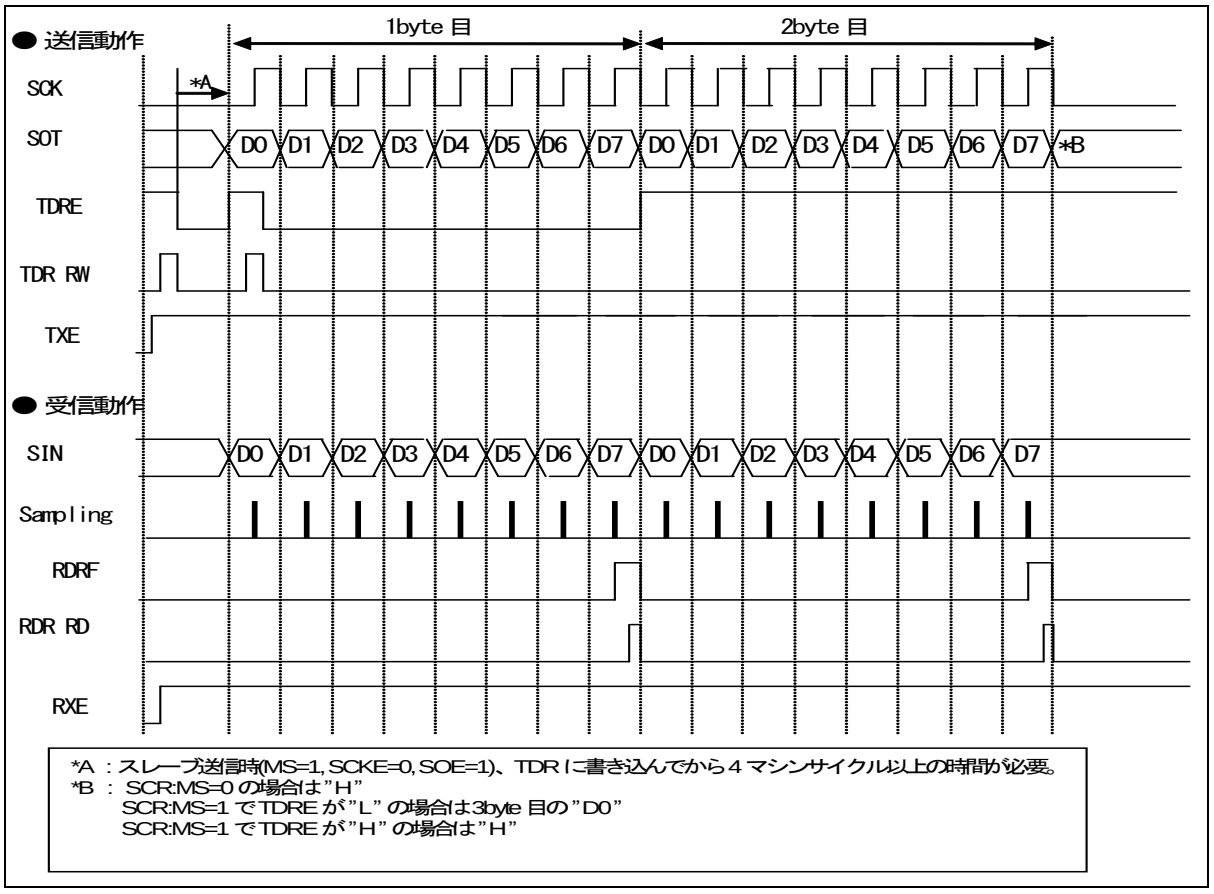
0 : 0 を設定

* : ユーザが決める設定

<注意事項>

- *上記ビットの設定値(1/0)は、マスタ動作，スレーブ動作で異なります。以下のように設定してください。*
  マスタ動作時: SCR:MS=0, SMR:SCKE=1
  スレーブ動作時: SCR:MS=1, SMR:SCKE=0

SPI 転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子未使用時)



マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0=“0000”)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データが出力されます。
2. 最初のシリアルクロック(SCK)出力の立上りエッジの半サイクル前で、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

<注意事項>

- *受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。*
- *送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。*

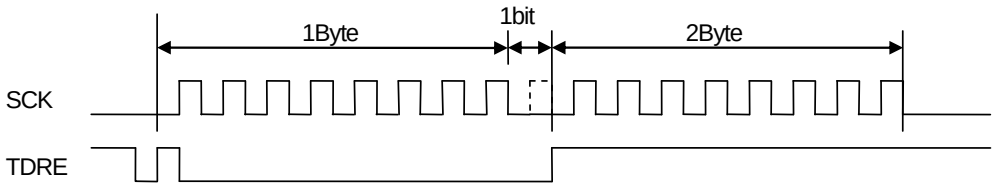
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

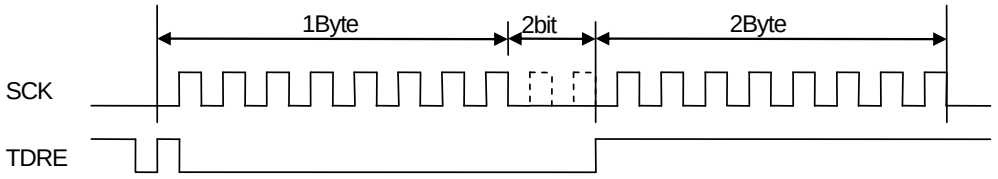
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

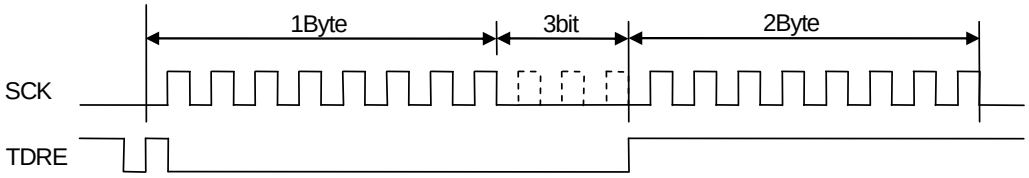
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0 SCSCR:SCEN0=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。
2. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

<注意事項>

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

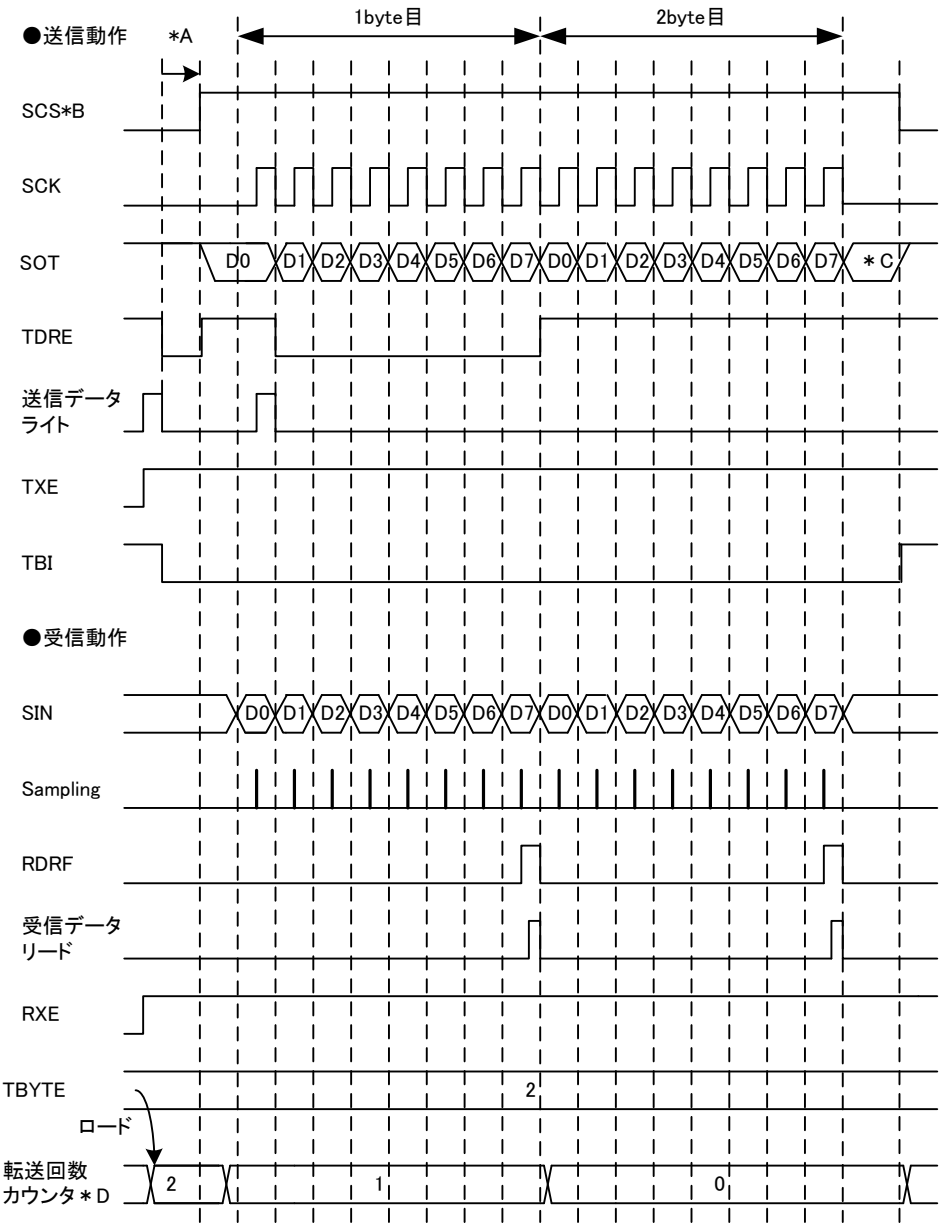
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

■ 受信動作から送信動作への連続的な切換え

1. シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。
2. 受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。
3. 受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込み、受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

SPI 転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子使用時)



*A:	スレーブ送信時(MS=1、SCKE=0、SOE=1)、TDRに書いてから4マシンサイクロ以上の時間が必要
*B:	MS=0の時、SCS出力　MS=1の時、SCS入力
*C:	SCR:MS=0の場合は"D7" SCR:MS=1でTDREが"L"の場合は3byte目の"D0" SCR:MS=1でTDREが"H"の場合は"D7"
*D:	マスタの転送バイトを数える内部カウンタ

マスタ動作　(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*:n には使用するシリアルチップセレクト端子番号が入ります。

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力が開始します。シリアルクロック出力開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。

   最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。

2. TBYTE で設定している回数のデータ送信終了後、シリアルクロック出力を停止します。
3. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK)出力の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。

   この時、受信データ(RDR)を読み出せます。

3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後、シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

<注意事項>

- ***受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。***
- ***送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。***

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上り

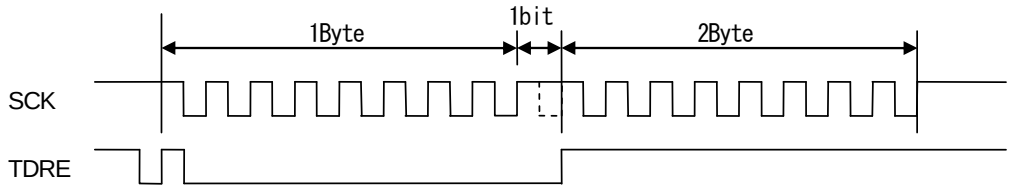
エッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。

3. 受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は "0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

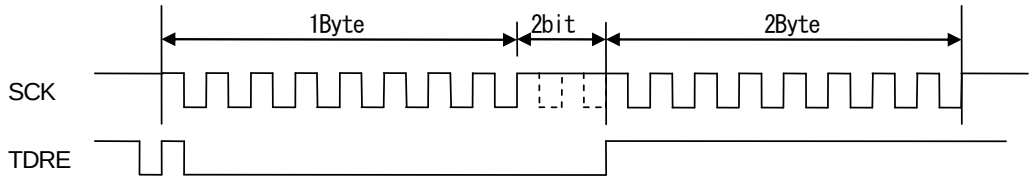
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1,ESCR:WT0)= (0,0)以外を設定した場合 Frame 間にウェイトが挿入されます。

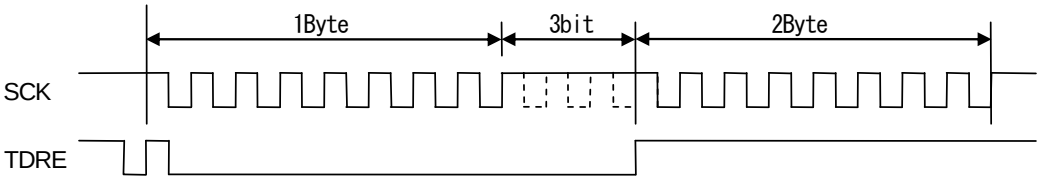
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。
3. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

<注意事項>

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルの時以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルの時に行なってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1) でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。

   この時、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を停止します。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作を停止し、シリアル出力端子(SOT)が"H"になります。

4. シリアルタイマの動作

シリアルタイマは、タイマ機能または同期送信機能のいずれかに利用できます。

シリアルタイマの動作

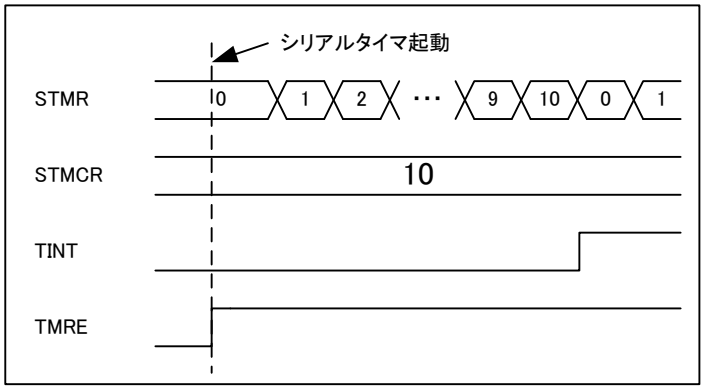
■ シリアルタイマの起動方法

シリアルタイマの起動はシリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットします。

- シリアルタイマ許可ビット(SACSR:TMRE)による起動

  シリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットした場合、シリアルタイマは起動し、シリアルタイマレジスタ(STMR)が 0 からカウントを開始します。

Figure 4-1 シリアルタイマ許可ビットによる起動(STMCR=10, SACSR:TSYNE=0)



■ シリアルタイマの停止方法

シリアルタイマ許可ビット(SACSR:TMRE)を"0"に設定した場合、シリアルタイマは停止します。このときシリアルタイマレジスタ(STMR)の値は保持されます。

■ タイマ動作

同期送信許可ビット(SACSR:TSYNE)が"0"の時に、シリアルタイマはタイマとして動作します。

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、タイマ割込みフラグ(SACSR:TINT)を"1"にセットし、シリアルタイマレジスタ(STMR)は 0 にリセットされます。

Figure 4-2 タイマ動作(STMCR=10, SACSR:TSYNE=0)

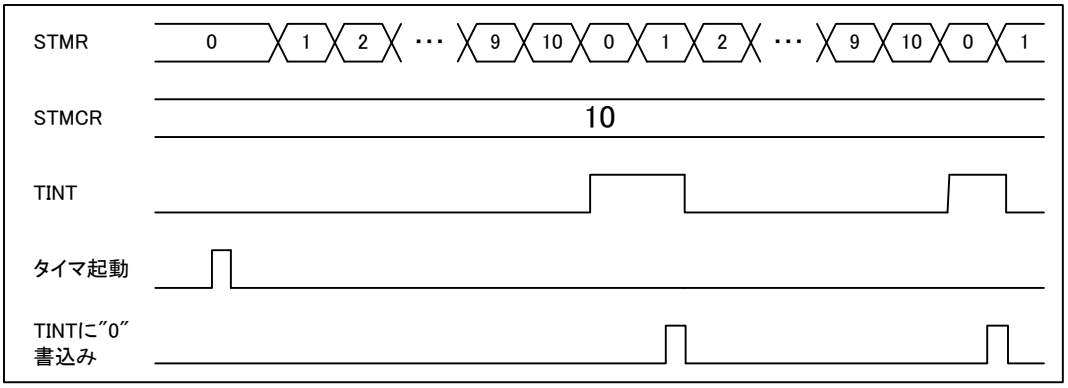


Figure 4-3 シリアルタイマの初期設定のフローチャート

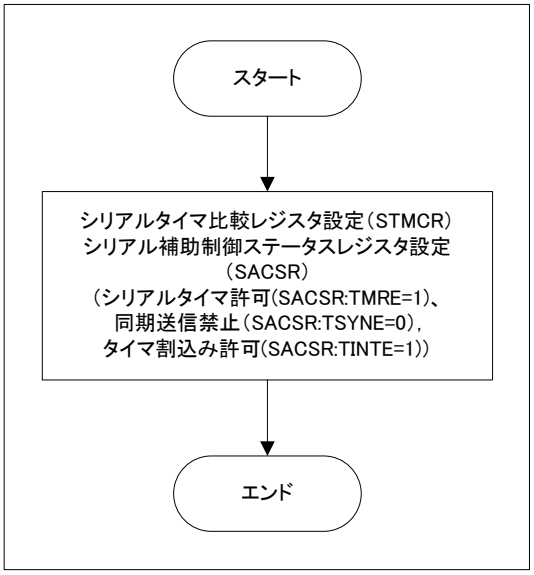
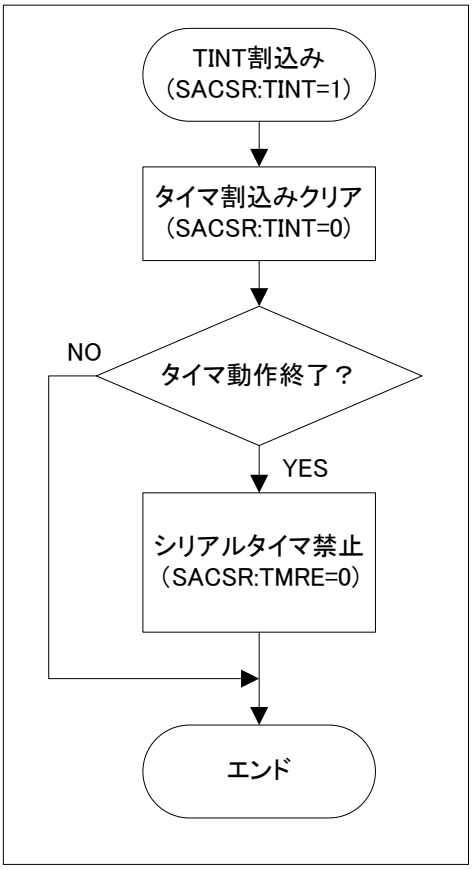


Figure 4-4 シリアルタイマの割込み処理のフローチャート



<注意事項>

- *同期送信禁止(SACSR:TSYNE="0")でタイマ比較レジスタ(STMCR)に(0x0000)を設定された状態で、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV)が"0000"に設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。*

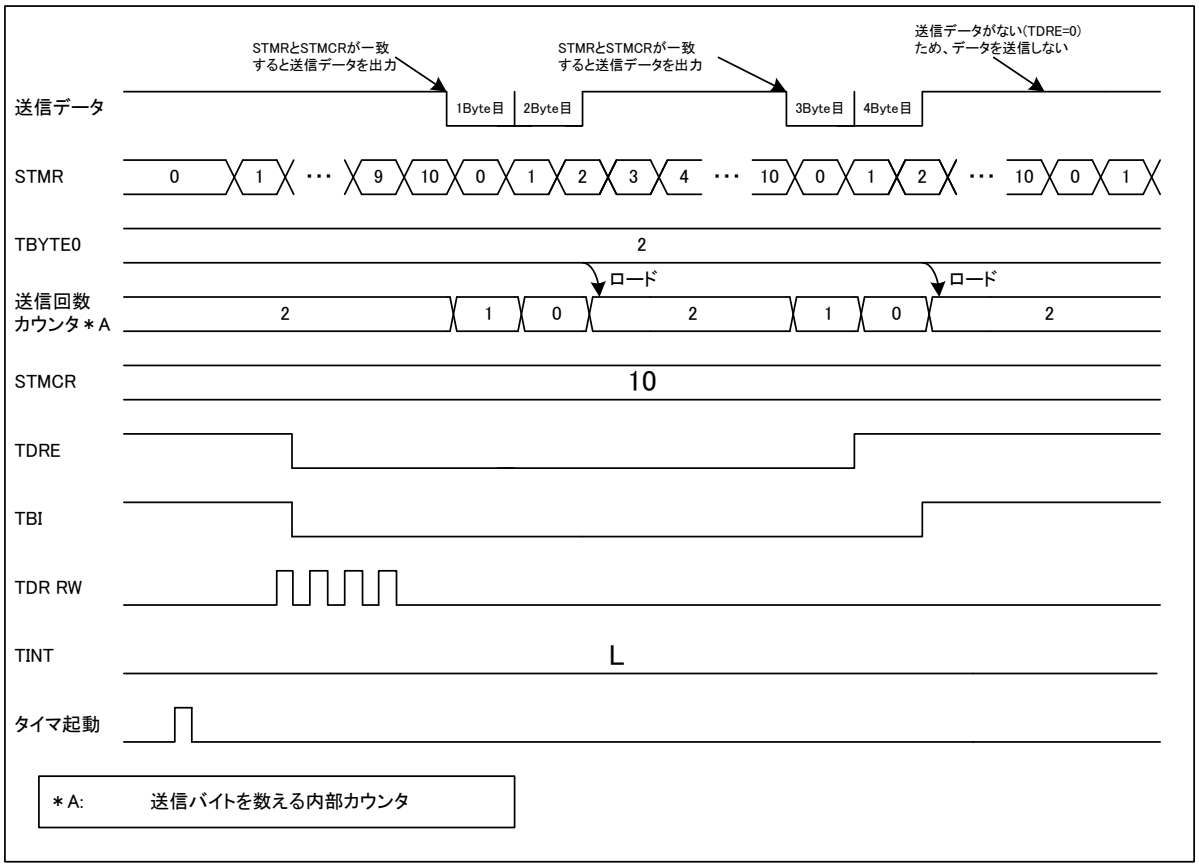
■ タイマに同期した送信動作

同期送信許可ビット(SACSR:TSYNE)が"1"の時に、シリアルタイマは同期送信に利用されます。

タイマに同期した送信は以下のように動作します。

1. 送信データレジスタにデータがある(SSR:TDRE="0")場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、送信動作が開始し、シリアルタイマレジスタ(STMR)は 0 にリセットされます。TBYTE0 に設定したデータ数だけ送信し続けます。
2. TBYTE0 に設定したデータ数のデータ送信を完了した後、送信動作は次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで停止します。

Figure 4-5 タイマに同期した送信動作(STMR=10, TBYTE0=2,SACSR:TSYNE=1)



同期送信許可(SACSR:TSYNE="1")でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときに以下の条件の場合、送信は起動されません。

- 送信禁止(SCR:TXE=0)時

- スレーブモード(SCR:MS=1)時
- チップセレクトエラー(SACSR:CSE=1)発生時
- 送信データレジスタに有効なデータがない(SSR:TDRE=1)場合

ただし、送信データレジスタに有効なデータがない(SSR:TDRE=1)場合に同期送信許可(SACSR:TSYNE="1")でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときは、送信データを送信データレジスタへ書き込むと即送信が開始します。

TBYTE に設定したデータ数の送信完了後に送信データレジスタ(TDR)に有効な送信データがある(SSR:TDRE=0)場合、その送信データは次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで送信されません。

ただし、同期送信許可(SACSR:TSYNE="1")で送信動作中(SSR:TBI=0)にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、送信予約します。送信予約した場合、TBYTE0 に設定した回数だけ送信後、送信は停止せず、次の送信が開始されます。

なお、送信予約は以下のいずれかの条件で解除されます。

- プログラマブルリセット(SCR:UPCL=1)
- 送信禁止(SCR:TXE=0)
- チップセレクトエラー(SACSR:CSE=1)

同期受信動作を行う場合、シリアルデータ出力禁止(SMR:SOE=0)、送信動作許可(SCR:TXE=1)、受信動作許可(SCR:RXE=1)にし、受信回数分だけ TDR にダミーデータを書き込んでください。

Figure 4-6 タイマに同期した送信の初期設定のフローチャート

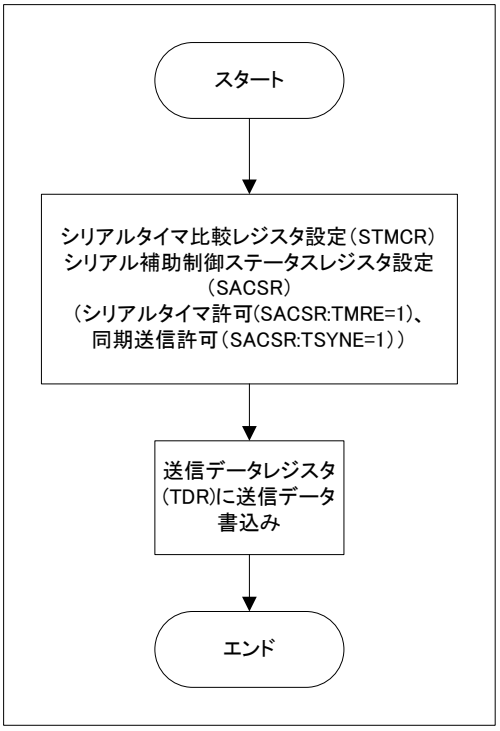
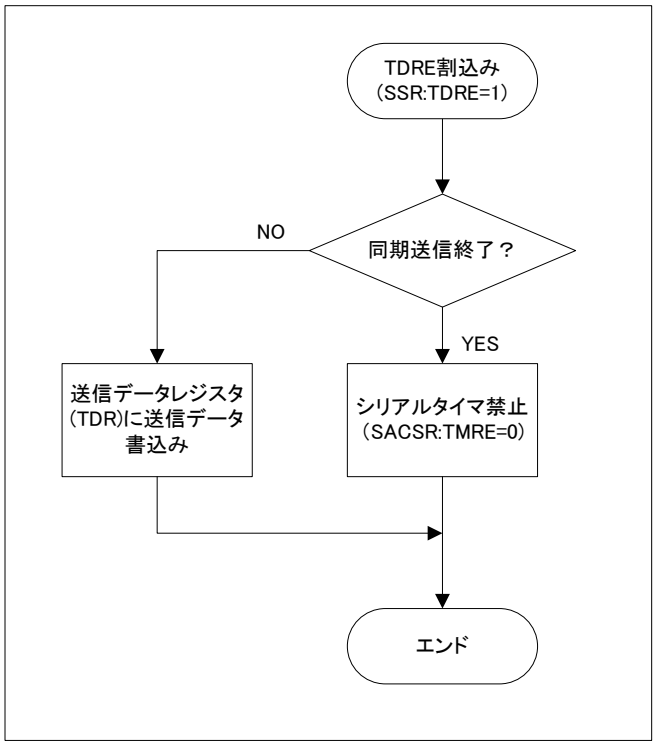


Figure 4-7 タイマに同期した送信の割込み処理のフローチャート



<注意事項>

- *TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、以下の動作を行います。*
  - *転送バイトエラー許可(TBEEN=1)の場合、チップセレクトエラー(SACSR:CSE=1)が発生します。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。*
  - *転送バイトエラー禁止(TBEEN=0)の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。*

5. シリアルチップセレクトの動作

シリアルチップセレクト動作について示します。

■ マスタモードの動作(SCR:MS=0)

マスタモード(SCR:MS=0)時、シリアルチップセレクト端子は以下のように動作します。

1. シリアルチップセレクト動作許可(SCSCR:CSENn="1")で送信許可中(SCR:TXE="1")に送信データを書き込むとシリアルチップセレクト端子はアクティブになります。
2. シリアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。
3. TBYTE で設定した回数のデータ送受信動作後、シリアルクロックを停止します。
4. シリアルクロックを停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子はインアクティブになります。

Figure 5-1 シリアルチップセレクト動作(マスタ送信(MS=0), 通常転送 SPI=0), SCINV=0)

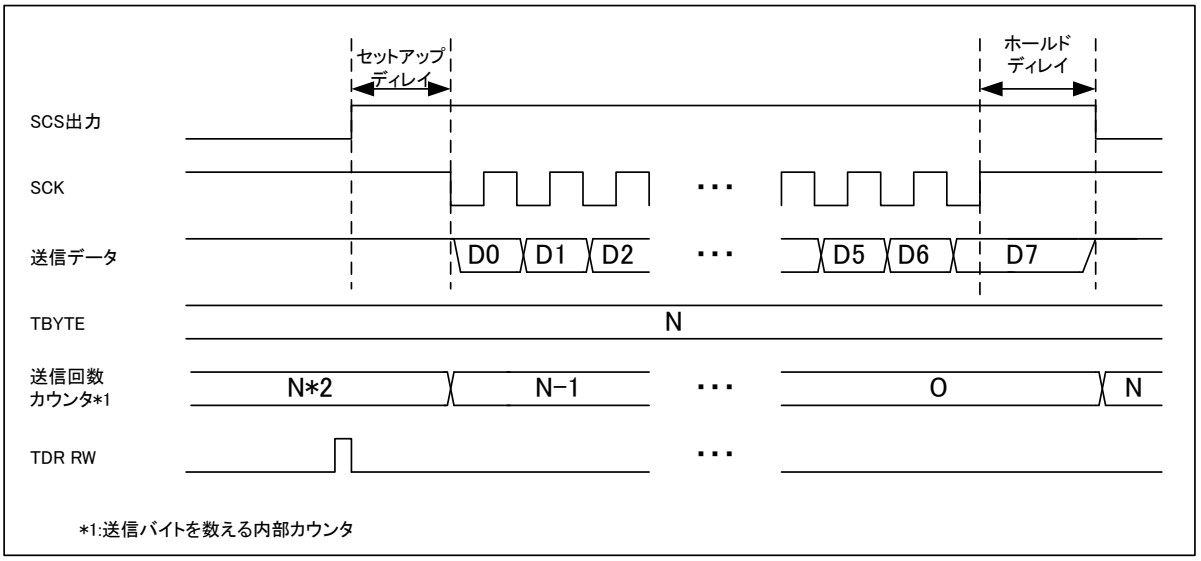
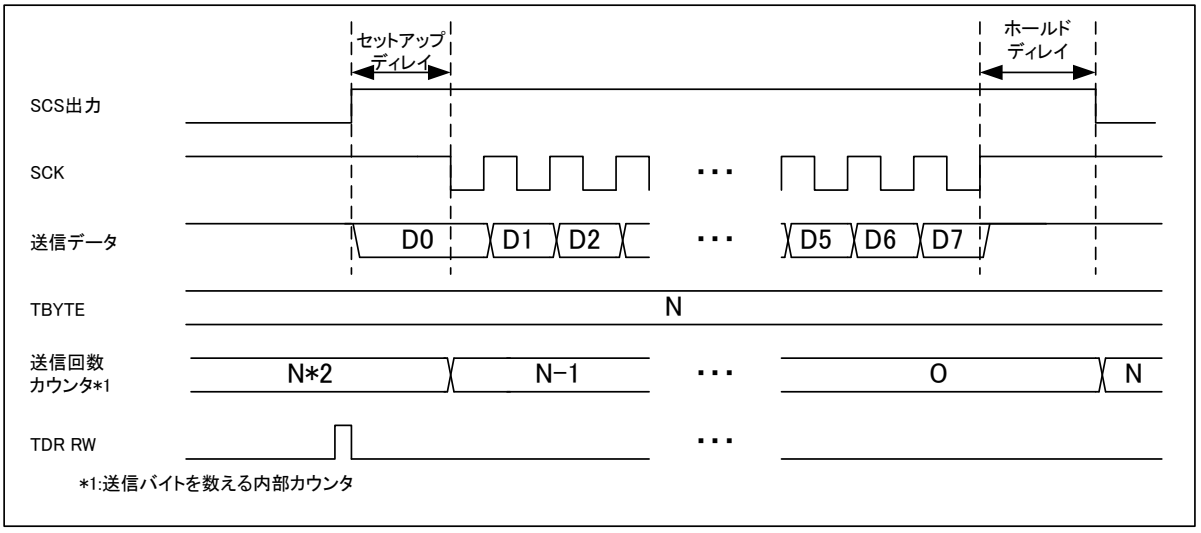


Figure 5-2 シリアルチップセレクト動作(マスタ送信(MS=0), SPI 転送(SPI=1), SCINV=0)



<注意事項>

- *シリアルチップセレクト端子がアクティブ時に送信禁止(SCR:TXE="0")およびソフトウェアリセット(SCR:UPCL=1)にした場合、シリアルチップセレクト端子はインアクティブになります。*
- *シリアルチップセレクト端子のアクティブ状態を保持していない(SCSCR:SCAM=0)場合、シリアルチップセレクト端子がインアクティブになり、ディセレクト時間経過後に送信データが空(SSR:TDRE=1)の場合に送信バスアイドル(SSR:TBI=1)になります。*
- *マスタモード時(SCR:MS=0)時、SCSCR:CSEN3-0 を"0000"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。*
- *TBYTE の設定値より少ないフレーム数しか送信していないときに 1 フレーム送信が完了した時点で送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、以下の動作を行います。*
  - *転送バイトエラー許可(TBEEN=1)の場合、チップセレクトエラー(SACSR:CSE=1)が発生します。チップセレクトエラー(SACSR:CSE=1)が発生してからホールドディレイ時間経過後、シリアルチップセレクト端子はインアクティブになります。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。*
  - *転送バイトエラー禁止(TBEEN=0)の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。このとき、シリアルチップセレクト端子はアクティブです。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。*

■ シリアルチップセレクトのタイミング調整

マスタモード(SCR:MS=0)でシリアルチップセレクト動作許可(SCSCR:CSENn="1")の場合、シリアルチップセレクトタイミングレジスタ(SCSTR3-0)を調整することでセットアップディレイ, ホールドディレイおよびディセレクト時間を調節することができます。

- セットアップディレイ時間

  シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間です。セットアップディレイ時間の規定は Figure 5-3 と Figure 5-4 を参照してください。チップセレクトセットアップディレイビット(SCSTR0:CSSU7-0)で調整できます。

- ホールドディレイ時間

  シリアルクロックの出力を終了してからシリアルチップセレクト端子がインアクティブになるまでの時間です。ホールドディレイ時間の規定は Figure 5-3 と Figure 5-4 を参照してください。チップセレクトホールドディレイビット(SCSTR1:CSHD7-0)で調整できます。

- ディセレクト時間

  シリアルチップセレクト端子がインアクティブになってから次にシリアルチップセレクト端子がアクティブになるまでの最小時間です。ディセレクト時間中に送信データを送信データレジスタ(TDR)に書き込んでも、ディセレクト時間終了までシリアルチップセレクト端子はアクティブになりません。ディセレクト時間の規定は Figure 5-3 と Figure 5-4 を参照してください。チップセレクトディセレクトビット(SCSTR3-2:CSDS15-0)で調整できます。

Figure 5-3 タイミング調整(通常転送(SPI=0), SCINV=0)

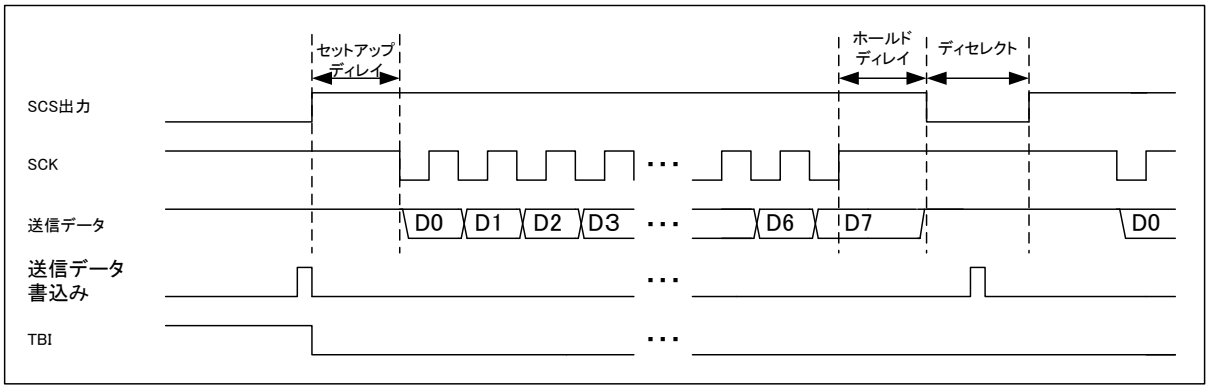
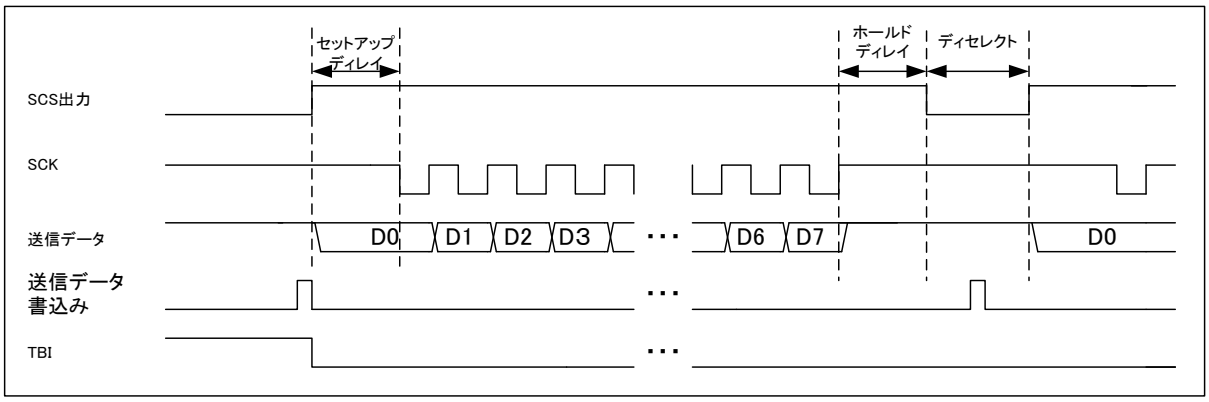


Figure 5-4 タイミング調整(通常転送(SPI=1), SCINV=0)



<注意事項>

- *通常転送(SCR:SPI=0)でホールドディレイ時間なし(SCSTR1:CSHD7-0=0x00)のとき、最終ビットのサンプリングより先にチップセレクト端子がインアクティブになる可能性があります。その場合は、SCSTR1:CSHD7-0 の値を増やすことで、調節してください。*
- *SPI 転送(SCR:SPI=1)でセットアップディレイ時間なし(SCSTR0:CSSU7-0=0x00)のとき、最初のビットのサンプリングより後ににチップセレクト端子がアクティブになる可能性があります。その場合は、SCSTR0:CSSU7-0 の値を増やすことで、調節してください。*

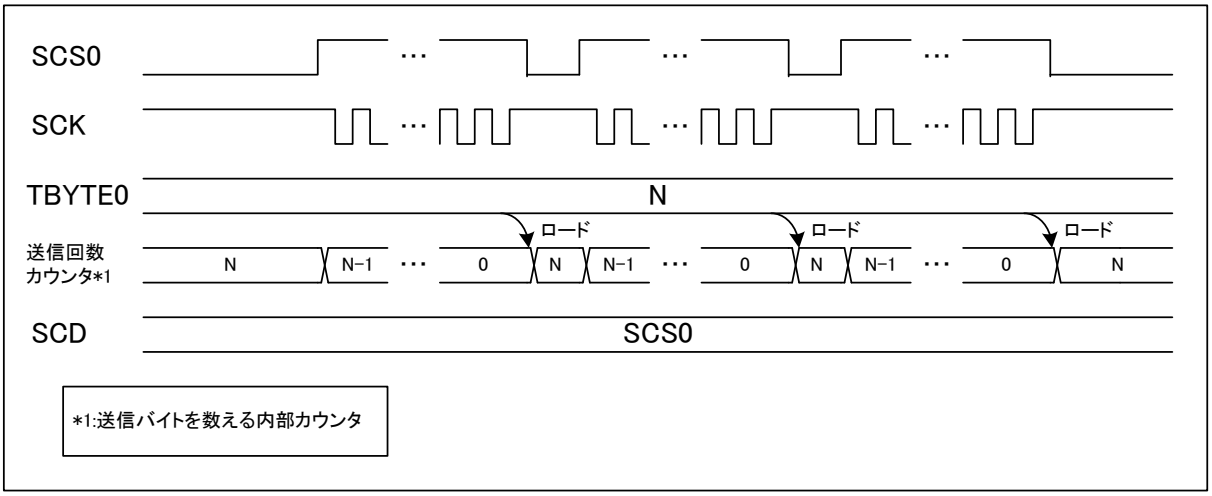
■ チップセレクト端子の単独動作(マスタモード(SCR:MS=0)時のみ有効)

シリアルチップセレクト開始ビット(SCSCR:SST1-0)とシリアルチップセレクト終了ビット(SCSCR:SED1-0)が等しい場合、その設定されたシリアルチップセレクト端子のみで動作します。

シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTE で設定している回数のデータ送受信ごとにシリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=1)の場合の動作は「シリアルチップセレクトアクティブ保持動作」を参照してください。

Figure 5-5 チップセレクトの単独動作(SST1-0=0, SED1-0=0, CSEN0=1, SCAM=0)



<注意事項>

- ***単独動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間, ホールド時間, ディセレクト時間)は有効です。***

■ チップセレクト端子のラウンド動作(マスタモード(SCR:MS=0)時のみ有効)

シリアルチップセレクト開始ビット(SCSCR:SST1-0)とシリアルチップセレクト終了ビット(SCSCR:SED1-0)が異なる場合、複数のシリアルチップセレクト端子が順番にアクティブになります。

1. シリアルチップセレクト出力許可(SCSCR:CSOE="1")で送信許可中(SCR:TXE="1")に送信データを書き込むと、シリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子からアクティブになります。
2. シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTE に設定した回数のデータ送受信の終了後、シリアルチップセレクト端子はインアクティブになります。その後、前にアクティブになったシリアルチップセレクト端子番号に＋1 したシリアルチップセレクト端子がアクティブになります。＊1

   ただし、次にアクティブになるシリアルチップセレクト端子が禁止(SCSCR:CSENn=0)されていた場合、そのシリアルチップセレクト端子のアクティブにならず、スキップされます。
3. アクティブになっているシリアルチップセレクト端子番号とシリアルチップセレクト終了ビット(SCSCR:SED1-0)で指定したシリアルチップセレクト端子が一致している場合、シリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子が次にアクティブになります。

   ＊1 : 前にアクティブになったシリアルチップセレクトが端子 0 の場合は端子 1、端子 1 の場合は端子 2、端子 2 の場合は端子 3、端子 3 の場合は端子 0 がアクティブになります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=1)の場合の動作は「シリアルチップセレクトアクティブ保持動作」を参照してください。

Figure 5-6 はシリアルチップセレクト端子の開始端子が SCS0(SST1-0=0)で終了端子が SCS3(SED1-0=3)の場合のタイミングチャートです。

Figure 5-6 チップセレクトのラウンド動作(SST1-0=0, SED1-0=3, CSEN3=1, CSEN2=1, CSEN1=1, CSEN0=1, SCAM=0)

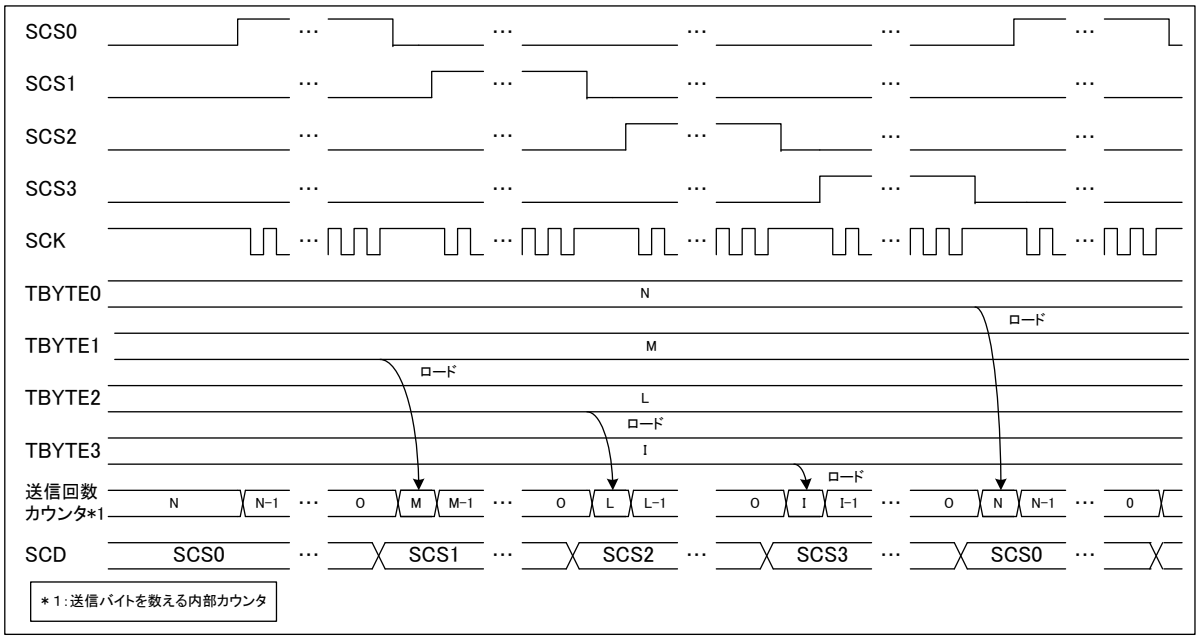


Figure 5-7 はシリアルチップセレクト端子の開始端子が SCS1(SST1-0=1)で終了端子が SCS2(SED1-0=2)の場合のタイミングチャートです。

Figure 5-7 チップセレクトのラウンド動作(SST1-0=1, SED1-0=2 , CSEN3=0, CSEN2=1, CSEN1=1, CSEN0=0, SCAM=0)

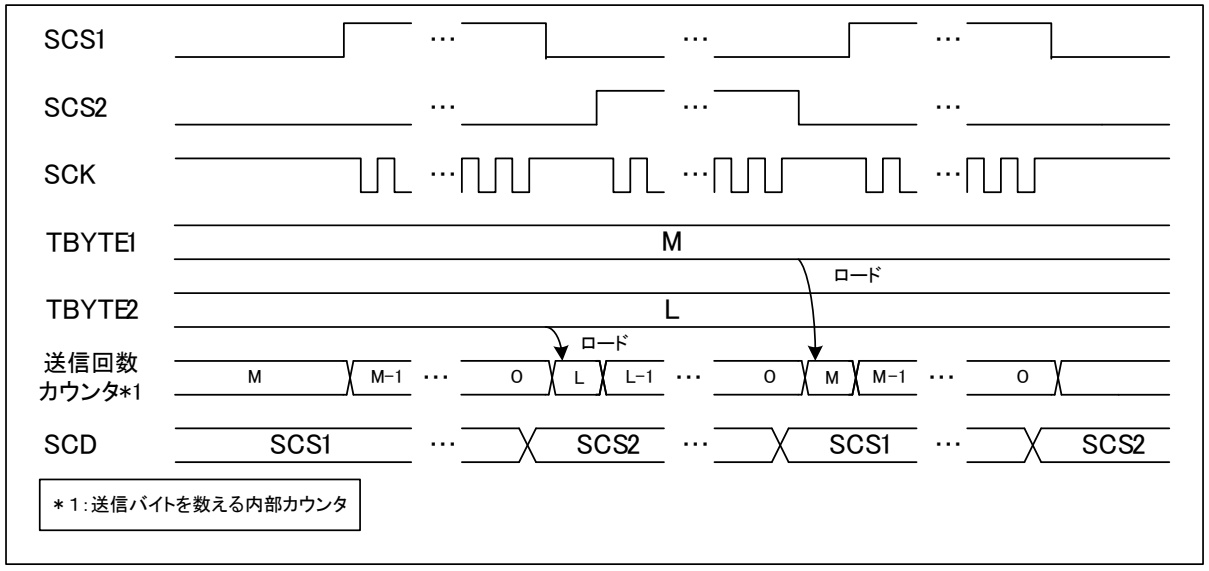
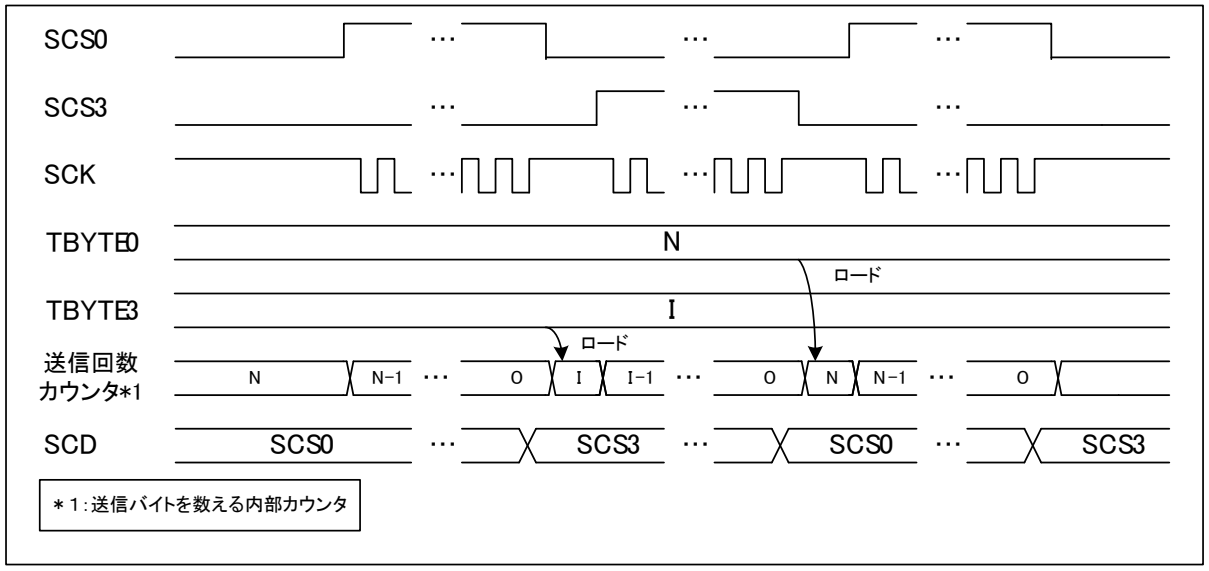


Figure 5-8 はシリアルチップセレクト端子の開始端子が SCS0(SST1-0=0)で終了端子が SCS3(SED1-0=3)で、チップセレクト端子 1 および 2 が禁止(CSEN1-2="00")の場合のタイミングチャートです。シリアルチップセレクト端子は端子 0 がアクティブになった後、端子 1 および 2 を飛ばして、端子 3 がアクティブになります。

Figure 5-8 チップセレクトのラウンド動作(SST1-0=0, SED1-0=3, CSEN3=1, CSEN2=0, CSEN1=0, CSEN0=1, SCAM=0)



<注意事項>

- *以下の何れかの場合、シリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子からアクティブになります。*
  - *送信動作禁止(SCR:TXE=0)から送信動作許可(SCR:TXE=1)に変更した場合*
  - *ソフトウェアリセット(SCR:UPCL=1)を行った場合*
- *ラウンド動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間, ホールド時間, ディセレクト時間)は有効です。*

■ シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1)　(マスタモード(SCR:MS=0)時のみ有効)

シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)を"1"に設定して送信動作を開始した場合、シリアルチップセレクト端子はアクティブ状態に保持されます。

Table 5-1 シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)

現在の状態	現在の SCSCR:SCAM ビット	現在の SSR:TDRE ビット	次の状態
送信中 (送信回数< TBYTE)	0	—	BYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
	1		
TBYTE の設定数の回数のフレームを送信終了	0	0	ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ。 ディセレクト時間経過後、次の送信を開始
		1	ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ ディセレクト時間経過後、次の送信が書き込まれるまで送信停止
	1	1	シリアルチップセレクトのアクティブ状態保持
		0	シリアルチップセレクトのアクティブ状態で、送信動作継続 再度､TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
チップセレクトエラー(SACSR:CSE=1)を発生	—	—	SCAM の設定に関係なく、ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ
ソフトウェアリセットを実行 (SCR:UPCL=1)	—	—	SCAM の設定に関係なく、即シリアルチップセレクト端子をインアクティブ
送信禁止 (SCR:TXE=0)			

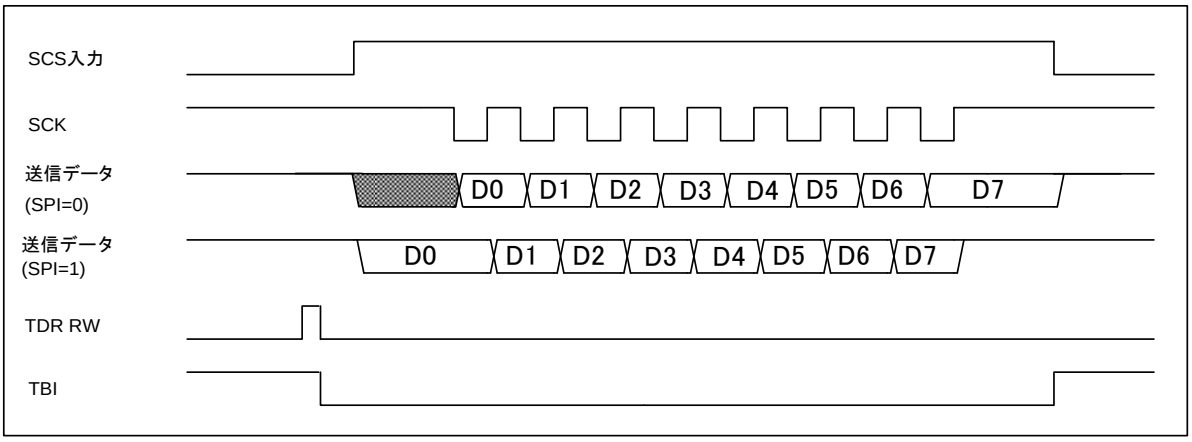
<注意事項>

- *以下のすべての条件が成り立つ場合、シリアルチップセレクト端子は保持されず、ホールドディレイ時間経過後にシリアルチップセレクト端子はインアクティブになり、チップセレクトエラー(SACSR:CSE=1)を発生します。*
  - *転送バイトエラー許可(SACSR:TBEEN=1)*
  - *TBYTE に設定した回数のデータ送受信を終了していない場合*
  - *送信データレジスタ(TDR)が空(SSR:TDRE=1)の場合*

■ スレーブモードの動作(SCR:MS=1)

シリアルチップセレクト端子 0(SCS0)が許可(SCSCR:CSEN0="1")でシリアルチップセレクト端子入力がアクティブになると、シリアルクロック(SCK)に同期して、送信動作または受信動作を行います。その後、シリアルチップセレクト端子入力がインアクティブになると、送信動作または受信動作を終了します。

Figure 5-9 スレーブモード時のシリアルチップセレクト動作(スレーブ送信, SCINV=0)



<注意事項>

- *シリアルチップセレクト端子入力がインアクティブ時にシリアルクロックが入力されても動作しません。*
- *受信動作中に最後にビットをサンプリングする前にシリアルチップセレクト入力がインアクティブになると、受信中のデータは消去されます。*
- *送信動作中にシリアルチップセレクト入力がインアクティブになると、送信中のデータは消去され、チップセレクトエラーが発生(SACSR:CSE)します。*
- *TDR が空(SSR:TDRE=1)でシリアルチップセレクト端子入力がインアクティブになると送信バスアイドル(SSR:TBI=1)になります。*
- *スレーブモード(SCR:MS=1)時、SCSCR:CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。*

■ シリアルチップセレクト端子のフォーマット設定

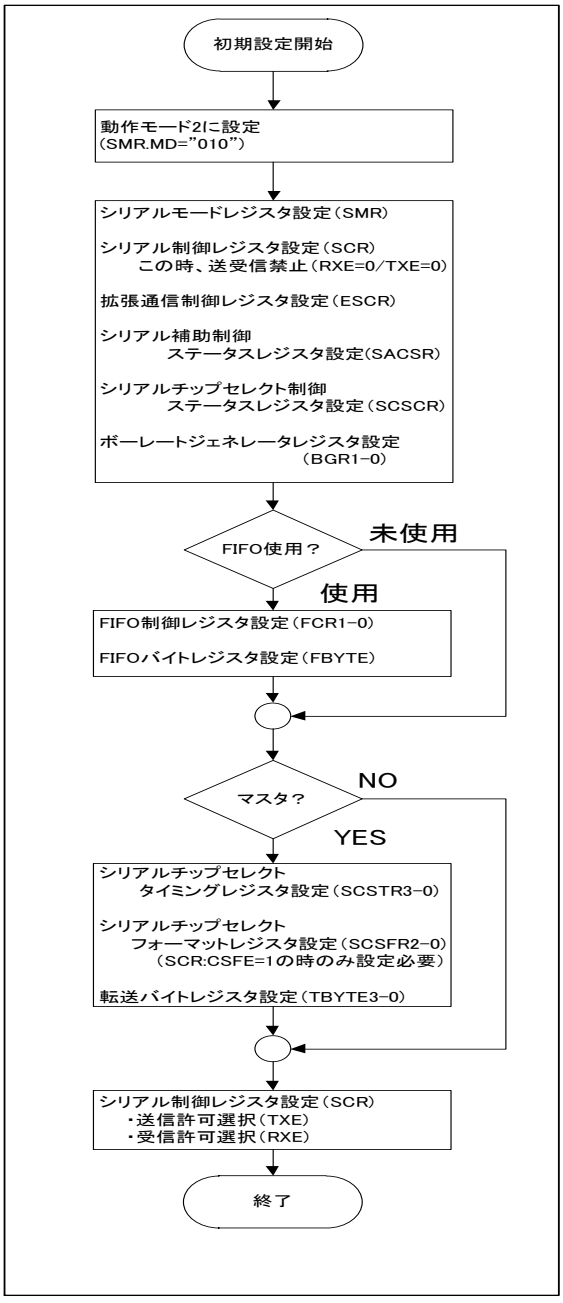
各シリアルチップセレクト端子のチップセレクトのアクティブレベル，シリアルクロックのマークレベル，SPI モードの許可・禁止，シリアルデータ出力のデータ方向およびデータ長は Table 5-2 に示すビットで設定できます。

Table 5-2 シリアルチップセレクト端子のフォーマット設定

条件		チップセレクトアクティブレベル	クロックの反転	SPI 設定	データ方向	データ長
チップセレクトフォーマット許可 (SCR:CSFE=1) かつ マスタモード (SCR:MS=0)	SCS0 出力	SCSCR0:SCLVL	SMR:SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
	SCS1 出力	SCSFR0: CS1SCLVL	SCSFR0: CS1SCINV	SCSFR0: CS1SPI	SCSFR0: CS1BDS	SCSFR0: CS1L3-0
	SCS2 出力	SCSFR1: CS2SCLVL	SCSFR1: CS2SCINV	SCSFR1: CS2SPI	SCSFR1: CS2BDS	SCSFR1: CS2L3-0
	SCS3 出力	SCSFR2: CS3SCLVL	SCSFR2: CS3SCINV	SCSFR2: CS3SPI	SCSFR2: CS3BDS	SCSFR2: CS3L3-0
チップセレクトフォーマット禁止 (SCR:CSFE=0)		SCSCR0:SCLVL	SMR:SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
スレーブモード (SCR:MS=1)						
チップセレクト未使用 (CSEN3-0="0000")						

■ 初期設定フロー

Figure 5-10 チップセレクトの初期設定フロー



6. 専用ボーレートジェネレータ

専用ボーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

CSIO(クロック同期シリアルインタフェース)ボーレート選択

専用ボーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

[1]マスタ動作時

■ 専用ボーレートジェネレータで内部クロックを分周させて、ボーレートを選択します。

- 2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
- リロードカウンタは設定された値で内部クロックを分周します。

[2]スレーブ動作時

- スレーブ動作時(SCR:MS=1)は、専用ボーレートジェネレータは機能しません。
  (クロック入力端子 SCK から入力された、外部クロックを直接使用します。)

<注意事項>

- *受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。*

6.1 ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

```
V = ϕ / b - 1

V : リロード値    b : ボーレート    ϕ : バスクロック周波数
```

(2)計算例

```
バスクロック(16MHz), 内部クロック使用, ボーレートを 19200bps に設定する場合のリロード値は
以下のようになります。
        リロード値 :
            V = (16 × 1000000)/19200 - 1 = 832
            よって、ボーレートは
            b = (16 × 1000000)/(832 + 1) = 19208 (bps)
```

(3)ボーレートの誤差

ボーレートの誤差は以下の式によって算出できます。

```
誤差(%) = (計算値 - 目標値)/目標値 × 100

(例) バスクロック(20MHz), 目標ボーレートを 153600bps に設定する場合
                リロード値 = (20 × 1000000)/153600 - 1 = 129
        ボーレート(計算値) = (20 × 1000000)/(129 + 1) = 153846 (bps)
                誤差(%) = (153846 - 153600)/153600 × 100 = 0.16 (%)
```

<注意事項>

- *リロード値を"0"に設定した場合、リロードカウンタは停止します。*
- *リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は SMR:SCINV ビットと SCR:SPI ビットの設定によって以下のようになります。*
  奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
  - *ノーマル転送(SCR:SPI=0) でシリアルクロックのマークレベル"H" (SMR:SCINV="0")の場合、または SPI 転送(SCR:SPI=1) でシリアルクロックのマークレベル"L" (SMR:SCINV="1")の場合にシリアルクロックの"H"幅がバスクロック 1 サイクル分長くなります。*
  - *ノーマル転送(SCR:SPI=0) でシリアルクロックのマークレベル"L" (SMR:SCINV="1")の場合、または SPI 転送(SCR:SPI=1) でシリアルクロックのマークレベル"H" (SMR:SCINV="0")の場合にシリアルクロックの"L"幅がバスクロック 1 サイクル分長くなります。*
- *リロード値は 3 以上を設定してください。*

各バスクロック周波数に対するリロード値とボーレート設定例

Table 6-1 リロード値とボーレート設定例

ボーレート	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32 MHz	
(bps)	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	7	0	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	-	-
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	311	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	0.06	554	-0.01	693	0.06	832	0.03	1110	0.01
19200	416	-0.08	520	-0.03	832	-0.03	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	208	0.01	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	-0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1/0 レジスタの設定値
- ERR : ボーレート誤差(%)

Table 6-2 リロード値とボーレート設定例(続き)

ボーレート (bps)	40 MHz		48 MHz		72 MHz		80 MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	4	0	5	0	8	0	9	0
6M	-	-	7	0	11	0	-	-
5M	7	0	-	-	-	-	15	0
4M	9	0	11	0	17	0	19	0
2.5M	15	0	-	-	-	-	31	0
2M	19	0	23	0	35	0	39	0
1M	39	0	47	0	71	0	79	0
500000	79	0	95	0	143	0	159	0
460800	86	-0.22	103	0.16	155	0.16	173	-0.22
250000	159	0	191	0	287	0	319	0
230400	173	-0.22	207	0.16	312	-0.16	346	0.06
153600	259	0.16	312	-0.16	468	-0.05	520	-0.03
125000	319	0	383	0	575	0	639	0
115200	346	0.06	416	-0.08	624	0	693	0.06
76800	520	-0.03	624	0	937	-0.05	1041	-0.03
57600	693	0.06	832	0.04	1249	0	1388	<0.01
38400	1041	-0.03	1249	0	1874	0	2082	0.01
28800	1388	<0.01	1666	-0.02	2499	0	2777	<0.01
19200	2082	0.01	2499	0	3749	0	4166	-0.01
10417	3839	<0.01	4607	<0.01	6911	<0.01	7679	0
9600	4166	<0.01	4999	0	7499	0	8332	0
7200	5555	<0.01	6666	<0.01	9999	0	11110	0
4800	8332	<0.01	9999	0	14999	0	16666	0
2400	16666	<0.01	19999	0	29999	0	-	-
1200	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-

- Value : BGR1/0 レジスタの設定値
- ERR : ボーレート誤差(%)

Table 6-1, Table 6-2 に記載していない周波数については、「6.1 ボーレート設定」の計算式にて算出してください。(ただし、最大周波数については、製品により異なるため、ご使用する製品の『データシート』を参照してください。)

リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあります。専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

カウントの開始

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

再スタート

リロードカウンタは以下の条件で再スタートします。

■ 送信/受信リロードカウンタ共通

プログラマブルリセット(SCR:UPCL ビット)

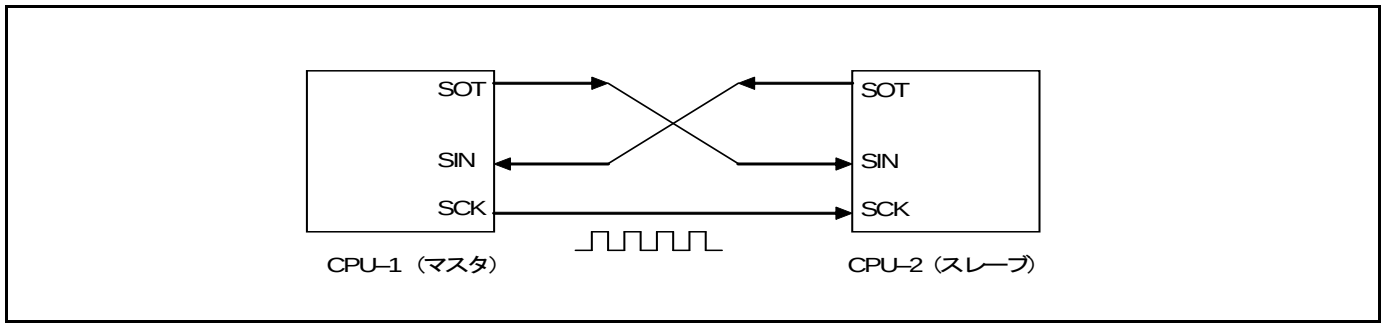
6.2 CSIO(クロック同期シリアルインタフェース)設定手順とプログラムフロー

CSIO(クロック同期シリアルインタフェース)では、シリアル双方向同期送信ができます。

■ CPU 間接続

CSIO(クロック同期シリアルインタフェース)では、双方向通信を選択します。Figure 6-1 に示すように 2 つの CPU を相互に接続します。

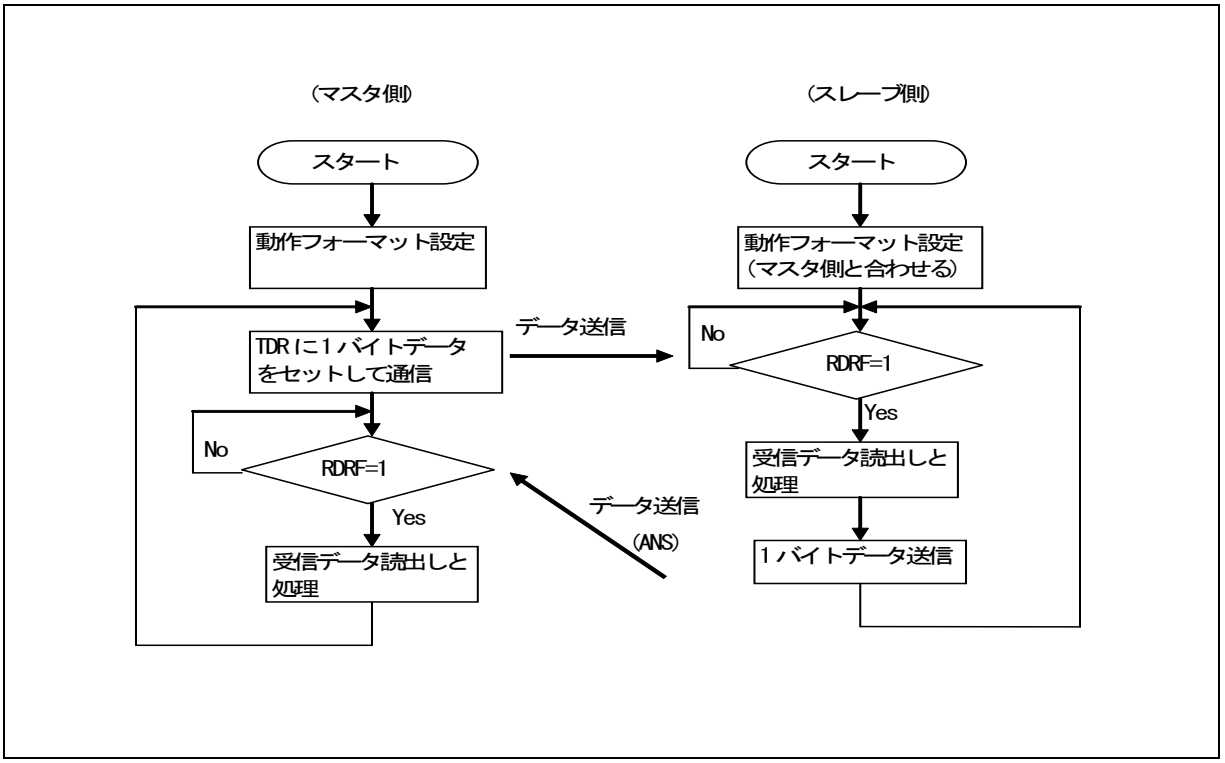
Figure 6-1 CSIO(クロック同期シリアルインタフェース)の双方向通信の接続例



フローチャート

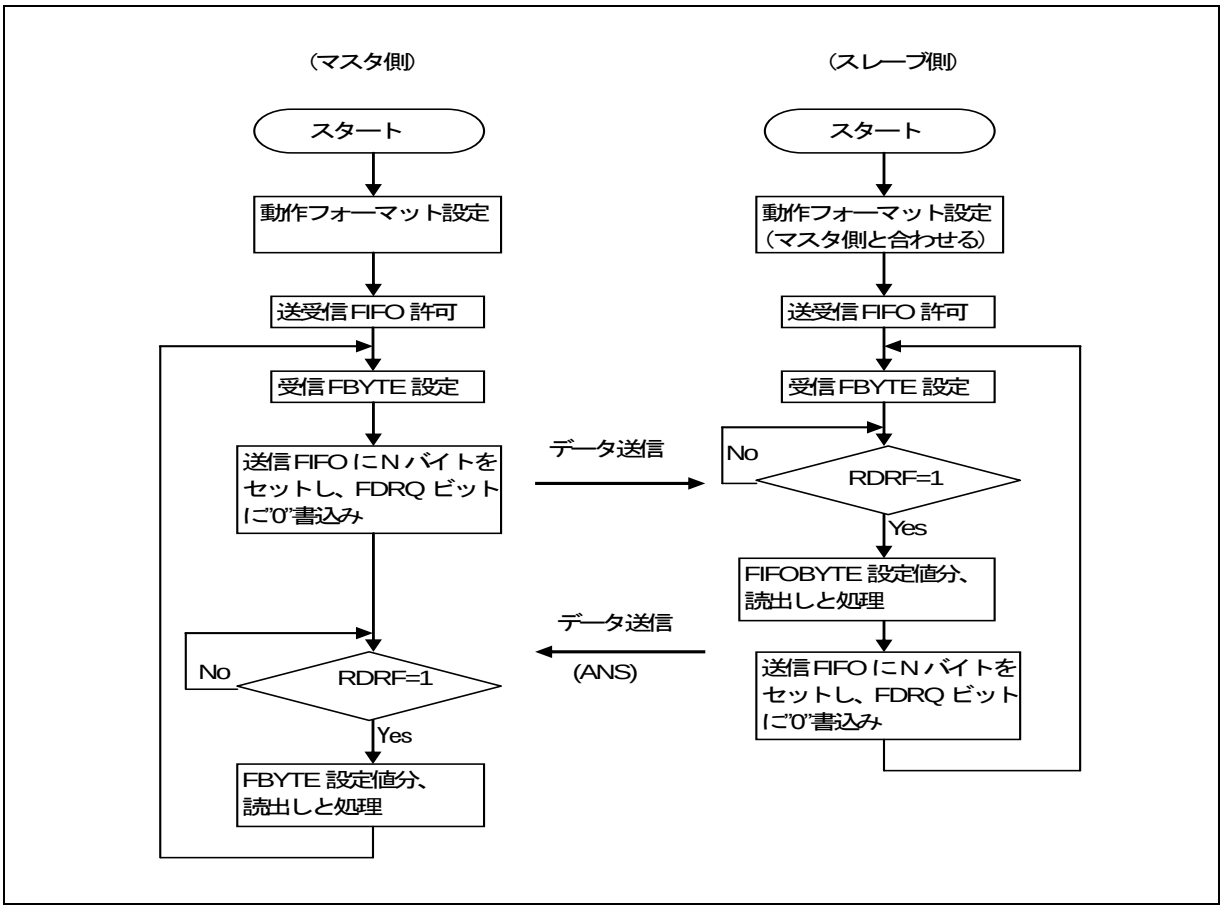
■ FIFO 未使用時

Figure 6-2 双方向通信フローチャートの例 (FIFO 未使用時)



■ FIFO 使用時

Figure 6-3 双方向通信フローチャートの例　(FIFO 使用時)



7. CSIO (クロック同期シリアルインタフェース)のレジスタ

CSIO(クロック同期シリアルインタフェース)のレジスター一覧を示します。

CSIO(クロック同期シリアルインタフェース)のレジスター一覧

Table 7-1 CSIO (クロック同期シリアルインタフェース)のレジスター一覧

	bit15 bit8	bit7 bit0
CSIO	SCR (シリアル制御レジスタ)	SMR (シリアルモードレジスタ)
	SSR (シリアルステータスレジスタ)	ESCR (拡張通信制御レジスタ)
	RDR/TDR (送受信データレジスタ)	
	SACSR (シリアル補助制御ステータスレジスタ)	
	STMR (シリアルタイマレジスタ)	
	STMCR (シリアルタイマ比較レジスタ)	
	SCSCR (シリアルチップセレクト制御ステータスレジスタ)	
	SCSTR1 (シリアルチップセレクトタイミングレジスタ 1)	SCSTR0 (シリアルチップセレクトタイミングレジスタ 0)
	SCSTR3 (シリアルチップセレクトタイミングレジスタ 3)	SCSTR2 (シリアルチップセレクトタイミングレジスタ 2)
	SCSFR1(シリアルチップセレクトフォーマットレジスタ 1)	SCSFR0(シリアルチップセレクトフォーマットレジスタ 0)
	-	SCSFR2(シリアルチップセレクトフォーマットレジスタ 2)
	TBYTE1 (転送バイトレジスタ 1)	TBYTE0 (転送バイトレジスタ 0)
	TBYTE3 (転送バイトレジスタ 3)	TBYTE2 (転送バイトレジスタ 2)
	BGR1 (ボーレートジェネレータレジスタ 1)	BGR0 (ボーレートジェネレータレジスタ 0)
FIFO	FCR1 (FIFO 制御レジスタ 1)	FCR0 (FIFO 制御レジスタ 0)
	FBYTE2 (FIFO2 バイトレジスタ)	FBYTE1 (FIFO1 バイトレジスタ)

Table 7-2 CSIO (クロック同期シリアルインタフェース)ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
TDR1/0 (RDR1/0)	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SACSR	-	-	TBEEN	CSEIE	CSE	-	-	TINT	TINTE	TSYNE	-	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
STMR	TM15	TM4	TM3	TM2	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
STMCR	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
SCSCR	SST1	SST0	SED1	SED0	SCD1	SCD0	SCAM	CDIV2	CDIV1	CDIV0	CSLVL	CSEN3	CSEN2	CSEN1	CSEN0	CSOE
SCSTR 1/0	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
SCSTR 3/2	CSDS 15	CSDS 14	CSDS 13	CSDS 12	CSDS 11	CSDS 10	CSDS9	CSDS8	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
SCSFR 1/0	CS2 LVL	CS2 SCINV	CS2 SPI	CS2 BDS	CS2 L3	CS2 L2	CS2 L1	CS2 L0	CS1 LVL	CS1 SCINV	CS1 SPI	CS1 BDS	CS1 L3	CS1 L2	CS1 L1	CS1 L0
SCSFR2	-								CS3 LVL	CS3 SCINV	CS3 SPI	CS3 BDS	CS3 L3	CS3 L2	CS3 L1	CS3 L0
TBYTE 1/0	CS1 TD7	CS1 TD6	CS1 TD5	CS1 TD4	CS1 TD3	CS1 TD2	CS1 TD1	CS1 TD0	CS0 TD7	CS0 TD6	CS0 TD5	CS0 TD4	CS0 TD3	CS0 TD2	CS0 TD1	CS0 TD0
TBYTE 3/2	CS3 TD7	CS3 TD6	CS3 TD5	CS3 TD4	CS3 TD3	CS3 TD2	CS3 TD1	CS3 TD0	CS2 TD7	CS2 TD6	CS2 TD5	CS2 TD4	CS2 TD3	CS2 TD2	CS2 TD1	CS2 TD0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

7.1 シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止, 送信アイドル割込みの許可/禁止,送受信動作の許可/禁止の設定を行います。また、SPI に接続するための設定, CSIO をリセットすることが可能です。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	(SMR)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

[bit15] UPCL : プログラマブルクリアビット

CSIO の内部状態を初期化するビットです。

"1"を設定した場合:

- CSIO を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は保持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/BGR0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信割込み要因(SSR:TDRE, TBI, RDRF, ORE、SACSR:TINT, CSE)は初期化されます。
- 全シリアルチップセレクト端子がインアクティブになります。

"0"を設定した場合:

動作に影響しません。

読出し時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	プログラマブルクリア	

<注意事項>

- *割込み禁止に設定した後に、プログラマブルクリアを実行してください。*
- *FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。*

[bit14] MS : マスタ/スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

- "0"に設定した場合 : マスタモードに設定されます。
- "1"に設定した場合 : スレーブモードに設定されます。

bit	説明
0	マスタモード
1	スレーブモード

<注意事項>

- *スレーブモードを選択した場合、SMR:SCKE=0 であれば、外部クロックが直接入力されます。*
- *MS ビット設定後に、受信許可(RXE=1)に設定してください。*

[bit13] SPI : SPI 対応ビット

本ビットは、SPI に対応した通信をさせるためのビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

- "0"に設定した場合 : ノーマル同期通信を行います。
- "1"に設定した場合 : SPI に対応します。

bit	説明
0	ノーマル同期転送
1	SPI 対応

<注意事項>

- *本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。*
- *本ビットは以下のいずれかで使用されます。*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0="0000")のとき*
  - *スレーブモード(SCR:MS=1)のとき*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき*

[bit12] RIE : 受信割込み許可ビット

- CPU への受信割込み要求出力を許可/禁止するビットです。
- RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(ORE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE : 送信割込許可ビット

- CPU への送信割込み要求出力を許可/禁止するビットです。
- TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE : 送信バスアイドル割込み許可ビット

- CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
- TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE： 受信動作許可ビット

CSIO の受信動作を許可/禁止します。

- "0"に設定した場合 ： データフレーム受信動作が禁止されます。
- "1"に設定した場合 ： データフレーム受信動作が許可されます。

bit	説明
0	受信禁止
1	受信許可

＜注意事項＞

- *受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。*
- *MS ビットおよびSMR:SCINV ビット設定後に、受信許可(RXE=1)に設定してください。*

[bit8] TXE： 送信動作許可ビット

CSIO の送信動作を許可/禁止します。

- "0"に設定した場合 ： データフレーム送信動作が禁止されます。
- "1"に設定した場合 ： データフレーム送信動作が許可されます。

bit	説明
0	送信禁止
1	送信許可

＜注意事項＞

- *送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。*
- *マスタモード(SCR:MS=0)でシリアルチップセレクト使用(SCSCR:CSEN=1)時、送信禁止後、プログラマブルリセット(SCR:UPCL=1)を行ってください。*

7.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定, 転送方向, データ長, シリアルクロックの反転およびシリアルデータとクロックの端子への出力許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	予約	SCINV	BDS	SCKE	SOE
属性		R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初期値		0	0	0	-	0	0	0	0

[bit7:5] MD2, MD1, MD0： 動作モード設定ビット

動作モードを設定します。

"000"： 動作モード 0(非同期ノーマルモード)に設定されます。
"001"： 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010"： 動作モード 2(クロック同期モード)に設定されます。
"011"： 動作モード 3(LIN 通信モード)に設定されます。
"100"： 動作モード 4(I^2C モード)に設定されます。

本章は動作モード 2(クロック同期モード)のレジスタおよび動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

* 本章は動作モード 2 のレジスタおよび動作について説明します。

<注意事項>

- ***上記設定以外は禁止です。***
- ***動作モードを切り換える場合には、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。***
- ***動作モード設定後、各レジスタを設定してください。***

[bit4] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit3] SCINV： シリアルクロック反転ビット

シリアルクロックフォーマットを反転するビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

"0"に設定した場合:

- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:

- シリアルクロック出力のマークレベルを"L"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

bit	説明
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

<注意事項>

- *本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。*
- *本ビットは、シリアルクロック出力禁止(SCKE=0)のときに設定してください。*
- *SCINV ビット設定後に、受信許可(SCR:RXE=1)に設定してください。*
- *本ビットは以下のいずれかで使用されます。*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0="0000")のとき*
  - *スレーブモード(SCR:MS=1)のとき*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1) でシリアルチップセレクト端子 0 がアクティブのとき*

[bit2] BDS : 転送方向選択ビット

転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0)最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

<注意事項>

- *本ビットは、送受信が禁止(SCR:TXE=RXE=0)のときに設定してください。*
- *本ビットは以下のいずれかで使用されます。*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0="0000")のとき*
  - *スレーブモード(SCR:MS=1)のとき*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1) でシリアルチップセレクト端子 0 がアクティブのとき*

[bit1] SCKE : マスタモード時のシリアルクロック出力許可ビット

シリアルクロックの入出力ポートを制御するビットです。

bit	説明
0	シリアルクロック出力を禁止
1	シリアルクロック出力を許可

<注意事項>

- *SCK 端子として使用する場合は GPIO 設定も行ってください。*

[bit0] SOE： シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

<注意事項>

- *SOT 端子として使用する場合は GPIO 設定も行ってください。*

7.3 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認, 受信エラーフラグの確認または受信エラーフラグのクリアを行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	-	予約	ORE	RDRF	TDRE	TBI	(ESCR)
属性	R/W	-	-	-	R	R	R	R	
初期値	0	-	-	-	0	0	1	1	

[bit15] REC： 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の ORE フラグをクリアするビットです。

- "1"書込みで、エラーフラグがクリアされます。
- "0"書込みは、動作に影響しません。

読出し時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	受信エラーフラグ(FRE, ORE)のクリア	

[bit14:13] -： 未使用ビット

読出し時 ： 値は不定です。
書込み時 ： 動作に影響しません。

[bit12] 予約 ： 予約ビット

予約ビットです。書込み時は常に"0"を書き込んでください。読出し時は常に"0"が読み出されます。

[bit11] ORE： オーバランエラーフラグビット

- 受信時にオーバランが発生した場合、"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF： 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。

- 受信 FIFO 使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
  - 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている
    8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ RDR が空
1	受信データレジスタ RDR にデータが存在する

[bit9] TDRE : 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
- TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合、TDRE ビットは"1"に設定されます。
- 送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタが空

[bit8] TBI : 送信バスアイドルフラグビット

- CSIO が送信動作をしていないことを示すビットです。
- 送信データレジスタ(TDR)へデータを書き込んだ場合に本ビットは"0"に設定されます。
- 送信データレジスタ(TDR)がエンプティ(TDRE=1)で、シリアルチップセレクト端子がディセレクトされて送信動作をしていない場合に本ビットが"1"に設定されます。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合、TDRE ビットは"1"に設定されます。
- 本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

<注意事項>

- ***送信データレジスタ(TDR)がエンプティ(SSR:TDRE=1)で、シリアルチップセレクトエラー(SACSR:CSE=1)が発生した場合、ボーレートの周期以内に本ビットは"1"になります。***

7.4 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定, シリアル出力の"H"固定の設定ができます。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	-	SOP	L3	CSFE	WT1	WT0	L2	L1	L0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] SOP : シリアル出力端子セットビット

- シリアル出力端子を"H"に設定するビットです。本ビットに"1"を書き込んだときに SOT 端子を"H"にしますが、その後、本ビットに"0"を書き込む必要はありません。
- 読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	SOT 端子を"H"に設定	

<注意事項>

- *シリアルデータ送信中に、本ビットの設定はしないでください。*

[bit5] CSFE : シリアルチップセレクトフォーマット許可ビット

シリアルチップセレクト端子ごとのフォーマット設定を許可、または禁止をします。

本ビットが"1"に設定されているとき、シリアルチップセレクト端子ごとに以下の設定を行います。

- シリアルチップセレクトのインアクティブレベル
- シリアルクロックのマークレベル
- SPI 転送/ノーマル転送の選択
- シリアルデータの転送方向
- シリアルデータのデータ長

bit	説明
0	すべてのシリアルチップセレクト端子で同一のデータフォーマット およびクロックフォーマットを設定
1	シリアルチップセレクト端子ごとにデータフォーマットおよび クロックフォーマットを設定

<注意事項>

- *本ビットの設定は下記の何れかの場合、無効です。*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0="0000")のとき*
  - *スレーブモード(SCR:MS=1)のとき*
- *本ビットは送信禁止(SCR:TXE=0)のときに設定してください。*

[bit4:3] WT1, WT0 : データ送受信ウェイト選択ビット

マスタ時、連続データの送信または受信に対し、ウェイト数を指定します。スレーブ時は"00"の動作です。

- "00"に設定した場合 : 連続的に SCK が出力されます。
- "01"に設定した場合 : 1 ビット時間ウェイト後 SCK が出力されます。
- "10"に設定した場合 : 2 ビット時間ウェイト後 SCK が出力されます。

- "11"に設定した場合 : 3 ビット時間ウェイト後 SCK が出力されます。

bit4	bit3	説明
0	0	0 ビット
0	1	1 ビット
1	0	2 ビット
1	1	3 ビット

[bit6, bit2～bit0]L3, L2, L1, L0: データ長選択ビット

送受信データのデータ長を指定します。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

L3	L2	L1	L0	データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長

＜注意事項＞

- *上記設定以外は禁止です。*
- *本ビットは以下のいずれかで使用されます。*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0="0000")のとき*
  - *スレーブモード(SCR:MS=1)のとき*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1) でシリアルチップセレクト端子 0 がアクティブのとき*

7.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。

受信データレジスタ(RDR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

受信データレジスタ(RDR)は、シリアルデータ受信用の 16 ビットのデータバッファレジスタです。

- シリアル入力端子(SIN 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- データ長に応じ、下位ビットから受信データが格納され、それ以外のビットは"0"に設定されます。例：データ長が 8 ビットで"0x45"を受信した場合　D7-D0="0x45", D15-D8=0
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合は(SSR:RIE=1)、受信割込み要求を発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます
- 受信エラーが発生(SSR:ORE)した場合、受信データレジスタ(RDR)のデータは無効です。

＜注意事項＞

- *受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。*
- *受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が"0"にクリアされます。*
- *受信 FIFO 使用時に、受信エラーが発生(SSR:ORE)した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。*

送信データレジスタ(TDR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

送信データレジスタ(TDR)は、シリアルデータ送信用の 16 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT 端子)から送出されます
- データ長に応じ、下位ビットから送信データが格納され、それ以外のビットは"無効"です。
  例：データ長が 8 ビットで"0x45"を送信する場合　D7-D0="0x45", D15-D8 は無効。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書き込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データを書き込むことはできません。

<注意事項>

- *送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。*
- *送信FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4. 送信FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。*

7.6 シリアル補助制御ステータスレジスタ (SACSR)

シリアル補助制御ステータスレジスタ(SACSR)は、シリアルテスト動作の制御, シリアルタイマの起動方法の選択, タイマ割込みの許可/禁止, 同期送信の許可/禁止, シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/禁止の設定ができます。

シリアル補助制御ステータスレジスタ(SACSR)のビット構成

bit	15	14	13	12	11	10	9	8
Field	予約		TBEEN	CSEIE	CSE	-	-	TINT
属性	-		R/W	R/W	R/W	-	-	R/W
初期値	00		0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TINTE	TSYNE	-	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
属性	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:14] 予約ビット

リードした場合 : 読出し値は"0"です。
ライトした場合 : 常に"0"を書き込んでください。

予約ビット
リード時、"0"を読み出します。ライト時、常に"0"を書き込んでください。

[bit13] TBEEN : 転送バイトエラー許可ビット

マスタモード時(SCR:MS=0)にシリアルチップセレクトエラーの発生の許可／禁止を選択します。

詳細は「2.6 チップセレクトエラー発生とフラグセットのタイミング」を参照してください。

bit	説明
0	マスタモード(SCR:MS=0)時のチップセレクトエラー発生を禁止
1	マスタモード(SCR:MS=0)時のチップセレクトエラー発生を許可

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時に変更してください。*

[bit12] CSEIE : チップセレクトエラー割込み許可ビット

- チップセレクトエラー割込み要求出力を許可／禁止するビットです。
- CSEIE ビットとチップセレクトエラーフラグビット(CSE)が"1"の場合、送信割込み要求を出力します。

bit	説明
0	チップセレクトエラー割込み禁止
1	チップセレクトエラー割込み許可

[bit11] CSE： チップセレクトエラーフラグビット

本ビットはチップセレクトエラーの発生の有無を示します。

詳細は「2.6 チップセレクトエラー発生とフラグセットのタイミング」を参照してください。

本ビットが"1"でチップセレクトエラー割込み許可ビット(CSEIE)が"1"の時、送信割込み要求を出力します。
本ビットに"0"を書き込むと"0"にリセットされます。
本ビットへの"1"書込みは無効です。

bit	説明
0	チップセレクトエラーなし
1	チップセレクトエラーあり

<注意事項>

- *ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。*
- *リードモディファイライト系命令のリードは"1"が読み出されます。*
- *スレーブモード(SCR:MS=1)でシリアルチップセレクト未使用(SCSCR:CSEN0=0)時、本ビットは"1"にセットされません。*
- *チップセレクトエラー発生(CSE=1)時、送信を禁止(SCR:TXE=0)に設定後、本ビットに"0"を書き込んでください。送信を再開させる場合、本ビットに"0"を書き込み後、送信許可(SCR:TXE=1)および送信データバッファ(TDR)へ送信データの書込みを行ってください。*
- *スレーブ送信時にシリアルチップセレクト入力に1バスクロック以上のノイズが発生した場合、本ビットが"1"に設定される場合があります。その場合は、マスタの転送終了後に送信を再開させてください。*

[bit8] TINT : (タイマ割込みフラグ)

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。

本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"の時、ステータス割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。
本ビットへの"1"書込みは無効です。

bit	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

<注意事項>

- *ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。*
- *リードモディファイライト系命令のリードは"1"が読み出されます。*
- *同期送信許可ビット(TSYNE)が"1"の時、本ビットは"1"にセットされません。*

[bit7] TINTE : (タイマ割込み許可ビット)

CPU へのタイマ割込みの許可/禁止するビットです。

本ビットが”1”でタイマ割込みフラグ(TINT)が"1"の場合、ステータス割込み要求を出力します。

bit	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6] TSYNE : (同期送信許可ビット)

同期送信を許可または禁止を選択します。

本ビットが"1"で以下の場合、送信が起動されます。

- タイマに同期した送信時にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致

bit	説明
0	同期送信を禁止 シリアルタイマはタイマとして使用されます。
1	同期送信を許可 シリアルタイマはタイマとして使用されません。

<注意事項>

- *本ビットはシリアルタイマ許可ビット(TMRE)が"0"の時のみ変更可能です。*
- *同期送信許可時(TSYNE=1)に送信が禁止(SCR:TXE=0)の場合、以下の場合でも送信は起動されません。*
  - *タイマに同期した送信時にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致*
- *スレーブモード(SCR:MS="1")時、本ビットは内部で"0"に固定されます。*

[bit4:1] TDIV3～TDIV0 : (タイマ動作クロック分周ビット)

シリアルタイマの分周比を設定します。

bit4	bit3	bit2	bit1	タイマ動作クロック						
				分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ：バスクロック

<注意事項>

- *本ビットはシリアルタイマ許可ビット(TMRE)が"0"の時のみ変更可能です。*
- *上記の設定以外は禁止です。*

[bit0] TMRE： (シリアルタイマ許可ビット)

シリアルタイマの動作を許可、または禁止を選択します。

bit	説明
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

<注意事項>

- *シリアルタイマによる同期送信を行う場合、送信禁止のとき、本ビットを"0"から"1"に変更してください。*

7.7 シリアルタイマレジスタ(STMR)

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

シリアルタイマレジスタ(STMR)のビット構成

bit	15	14	13	12	11	10	9	8
Field	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit15:0] TM15～TM0 : (タイマデータビット)

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3-0 で設定)ごとに 1 が加算されます。

<注意事項>

- *タイマ動作開始時、本ビットは"0"に初期化されます。*

7.8 シリアルタイマ比較レジスタ (STMCR)

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

シリアルタイマ比較レジスタ(STMCR)のビット構成

bit	15	14	13	12	11	10	9	8
Field	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:0] TC15～TC0 : (コンペアビット)

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ(STMR と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを 0 にします。その時、同期送信禁止(SACSR:TSYNE="0")の場合はタイマ割込みフラグ(SACSR: TINT)を"1"にし、同期送信許可(SACSR:TSYNE="1")の場合は送信を起動します。

以下の動作が行われる間隔は(STMCR:TC+1)×タイマ動作クロック(SACSR:TDIV3-0 で設定)になります。

- SACSR:TINT が"1"に設定される
- シリアルタイマに同期した送信で送信起動が行われる

<注意事項>

- *以下のすべての条件が成り立つ場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。*
  - *同期送信禁止(SACSR:TSYNE="0")*
  - *本レジスタに 0x0000 を設定*
  - *タイマ動作中*
  - *タイマ動作クロック分周値(SACSR:TDIV)に 0b0000 に設定*
- *シリアルタイマ禁止(SACSR:TMRE="0")の時のみ、本レジスタは変更可能です。*

7.9 シリアルチップセレクト制御ステータスレジスタ(SCSCR)

シリアルチップセレクト制御ステータスレジスタ(SCSCR)は、シリアルチップセレクトの開始端子および終了端子の選択, シリアルチップセレクトの出力端子の表示, シリアルチップセレクトのアクティブレベルの保持, シリアルチップセレクトの反転, シリアルチップセレクト端子の出力許可/禁止の設定を行います。

シリアルチップセレクト制御ステータスレジスタ(SCSCR)のビット構成

bit	15	14	13	12	11	10	9	8
Field	SST1	SST0	SED1	SED0	SCD1	SCD0	SCAM	CDIV2
属性	R/W	R/W	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CDIV1	CDIV0	CSLVL	CSEN3	CSEN2	CSEN1	CSEN0	CSOE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	0	0

[bit15:14] SST1-0 :シリアルチップセレクトアクティブ開始ビット

シリアルチップセレクトが開始する端子を選択します。

送信禁止(SCR:TXE="0")から送信許可(SCR:TXE="1 ")にし送信データが TDR にかきこまれていると、本ビットで設定したシリアルチップセレクト端子から順番にアクティブになります。

bit15:14	説明
00	シリアルチップセレクト開始端子を SCS0 に設定
01	シリアルチップセレクト開始端子を SCS1 に設定
10	シリアルチップセレクト開始端子を SCS2 に設定
11	シリアルチップセレクト開始端子を SCS3 に設定

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *シリアルチップセレクト開始ビット(SST1, SST0)とシリアルチップセレクト終了ビット(SED1, SED0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子のみアクティブになります。*
- *スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。*
- *シリアルチップセレクト許可(CSEN=1)されているシリアルチップセレクト端子のみアクティブになります。*
- *マスタモード (SCR:MS="0")時でシリアルチップセレクト使用時、本ビットに設定したシリアルチップセレクト端子はシリアルチップセレクト許可 (CSEN=1) に設定してください。*

[bit13:12] SED1-0 :シリアルチップセレクト終了ビット

シリアルチップセレクトが終了する端子を選択します。

本ビットで設定したシリアルチップセレクト端子までアクティブになると、次にアクティブになるシリアルチップセレクト端子はシリアルチップセレクト開始ビット(SST1, SST0)で指定した端子になります。

bit13:12	説明
00	シリアルチップセレクト終了端子を SCS0 に設定
01	シリアルチップセレクト終了端子を SCS1 に設定
10	シリアルチップセレクト終了端子を SCS2 に設定
11	シリアルチップセレクト終了端子を SCS3 に設定

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *シリアルチップセレクト開始ビット(SST1, SST0)とシリアルチップセレクト終了ビット(SED1, SED0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子のみアクティブになります。*
- *シリアルチップセレクト許可(CSEN=1)されているシリアルチップセレクト端子のみアクティブになります。*
- *スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。*
- *マスタモード (SCR:MS="0") でシリアルチップセレクト使用時、本ビットに設定したシリアルチップセレクト端子はシリアルチップセレクト許可 (CSEN=1) に設定してください。*

[bit11:10] SCD1-0:シリアルチップセレクトアクティブ表示ビット

シリアルチップセレクト端子がアクティブになっている端子を表示します。

bit11:10	説明
00	SCS0 がアクティブ
01	SCS1 がアクティブ
10	SCS2 がアクティブ
11	SCS3 がアクティブ

<注意事項>

- *シリアルチップセレクト端子がインアクティブの場合は次にアクティブになるシリアルチップセレクト端子を表示します。*
- *本ビットはスレーブモード(SCR:MS="1")、ソフトウェアリセット(SCR:UPCL=1)、または送信禁止(SCR:TXE="0")時は"00"になります。*

[bit9] SCAM :(シリアルチップセレクトアクティブ保持ビット)

シリアルチップセレクト端子のアクティブ状態の保持、または非保持を選択します。

詳細は「5 シリアルチップセレクトの動作」のシリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1)(マスタモード(SCR:MS=0)時のみ有効を参照してください。

bit	説明
0	シリアルチップセレクト端子のアクティブ状態を非保持
1	シリアルチップセレクト端子のアクティブ状態を保持

<注意事項>

- *送信禁止（SCR:TXE="0"）およびソフトウェアリセット(SCR:UPCL="1")の場合、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。*
- *シリアルチップエラー発生(SACSR:CSE=1)時、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。*

[bit8:6] CDIV2～CDIV0 : (シリアルチップセレクトタイミング動作クロック分周ビット)

シリアルチップセレクトタイミング動作クロックの分周比を設定します。

bit8	bit7	bit6	シリアルチップセレクトタイミング動作クロック						
			分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs

ϕ：バスクロック

＜注意事項＞

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*
- *上記の設定以外は禁止です。*

[bit5] CSLVL : (シリアルチップセレクトレベル設定ビット)

シリアルチップセレクト端子のインアクティブ時のレベルを"H"または"L"に選択します。

本ビットはチップセレクト端子 0 が対象です。

bit	説明
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *本ビットの設定は以下にて使用します。*
  - *スレーブモード(SCR:MS=1)時*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)時*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1)シリアルチップセレクト端子 0 がアクティブのとき*

[bit4:1] CSEN3-0 : (シリアルチップセレクト許可ビット)

シリアルチップセレクト端子の許可、または禁止を選択します。

CSEN3 ビットが SCS3 端子、CSEN2 ビットが SCS2 端子、CSEN1 ビットが SCS1 端子、CSEN0 ビットが SCS0 端子に対応します。

スレーブモード(SCR:MS=1)の場合、CSEN0 ビットのみでシリアルチップ端子の許可または禁止を設定します。

bit	説明
0	シリアルチップセレクト端子の動作を禁止
1	シリアルチップセレクト端子の動作を許可

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *マスタモード時(SCR:MS=0)時、CSEN3-0 を"0000"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。*
- *スレーブモード(SCR:MS=1)時、CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。*
- *使用しないシリアルチップセレクト端子は禁止に設定してください。*

[bit0] CSOE : (シリアルチップセレクト出力許可ビット)

シリアルチップセレクト端子の出力を許可または禁止に設定します。

bit	説明
0	すべてのシリアルチップセレクト端子の出力を禁止
1	すべてのシリアルチップセレクト端子の出力を許可

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットは"0"に設定してください。*

7.10 シリアルチップセレクトタイミングレジスタ(SCSTR3-0)

シリアルチップセレクトタイミングレジスタ(SCSTR3-0)は、シリアルチップセレクトのセットアップディレイ時間、シリアルチップセレクトのホールドディレイ時間およびシリアルチップセレクトのディセレクト時間の設定を行います。

シリアルチップセレクトタイミングレジスタ(SCSTR1-0)のビット構成

bit	15	14	13	12	11	10	9	8
Field	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:8] CSSU[7:0] : (シリアルチップセレクトセットアップディレイビット)

シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間を設定します。本ビットに"0x00"を設定した場合、シリアルクロックが出力されるタイミングとシリアルチップセレクト端子がアクティブになるタイミングは同時になります。

bit15:8	セットアップディレイ時間
0x00	シリアルクロック出力開始とシリアルチップセレクト端子のアクティブになるタイミングが同時
0x01	1×シリアルチップセレクトタイミング動作クロック
0x02	2×シリアルチップセレクトタイミング動作クロック
・ ・	・ ・
0xFE	254×シリアルチップセレクトタイミング動作クロック
0xFF	255×シリアルチップセレクトタイミング動作クロック

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*

[bit7:0] CSHD[7:0] : (シリアルチップセレクトホールドディレイビット)

シリアルクロックの出力が終了してからシリアルチップセレクト端子がインアクティブになるまでの時間を設定します。

本ビットを"0x00"に設定した場合、シリアルクロックの出力が終了するタイミングとシリアルチップセレクト端子がインアクティブになるタイミングは同時になります。

bit7:0	ホールドディレイ時間
0x00	シリアルクロック出力終了とシリアルチップセレクト端子のインアクティブになるタイミングが同時
0x01	1×シリアルチップセレクトタイミング動作クロック
0x02	2×シリアルチップセレクトタイミング動作クロック
・ ・	・ ・
0xFE	254×シリアルチップセレクトタイミング動作クロック
0xFF	255×シリアルチップセレクトタイミング動作クロック

＜注意事項＞

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*

シリアルチップセレクトタイミングレジスタ(SCSTR3-2)のビット構成

bit	15	14	13	12	11	10	9	8
Field	CSDS15	CSDS14	CSDS13	CSDS12	CSDS11	CSDS10	CSDS9	CSDS8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:0] CSDS[15:0] : (シリアルチップディセレクトビット)

シリアルチップセレクト端子がインアクティブになってから､次にシリアルチップセレクト端子がアクティブになるまでの最小時間を設定します。

bit15:0	ディセレクト最小時間
0x0000	ディセレクト最小時間なし(5 バスクロック時間)
0x0001	1×シリアルチップセレクトタイミング動作クロック
0x0002	2×シリアルチップセレクトタイミング動作クロック
・ ・	・ ・
0xFFFE	65534×シリアルチップセレクトタイミング動作クロック
0xFFFF	65535×シリアルチップセレクトタイミング動作クロック

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*
- *ディセレクト時間の設定にかかわらず、シリアルチップセレクト端子がインアクティブになってから、次にアクティブになるまでは最小 5 バスクロック時間以上かかります。*
- *SCSTR2:CSDS=0x0001 かつ SCSCR:CDIV=0b000 に設定しないでください。*

7.11 シリアルチップセレクトフォーマットレジスタ(SCSFR2-0)

シリアルチップセレクトフォーマットレジスタ(SCSFR2-0)は、各シリアルチップセレクトのチップセレクトのアクティブレベルの選択, シリアルクロックの反転, SPI に接続するための設定, シリアルデータ出力のデータ方向およびデータ長の設定を行います。

シリアルチップセレクトフォーマットレジスタ(SCSFR1/0)のビット構成

Figure 7-1 にシリアルチップセレクトタイミングレジスタ(SCSFR1/0)のビット構成を示します。

Figure 7-1 シリアルチップセレクトフォーマットレジスタ 1/0(SCSFR1/0)のビット構成

Bit	15	14	13	12	11	10	9	8
Field	CS2 CSLVL	CS2 SCINV	CS2 SPI	CS2 BDS	CS2 L3	CS2 L2	CS2 L1	CS2 L0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	CS1 CSLVL	CS1 SCINV	CS1 SPI	CS1 BDS	CS1 L3	CS1 L2	CS1 L1	CS1 L0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

[bit15]:CS2CSLVL:チップセレクト 2 のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 のインアクティブ時のレベルを選択します。

bit	説明
0	インアクティブレベルを"L"に設定
1	インアクティブレベルを"H"に設定

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit14]CS2SCINV: チップセレクト 2 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0"に設定した場合:

- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:

- シリアルクロック出力のマークレベルを"L"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

bit	説明
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit13]CS2 SPI: チップセレクト 2 の SPI 対応ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時に SPI に対応した通信をさせるためのビットです。

- "0"に設定した場合 : ノーマル同期通信を行います。
- "1"に設定した場合 : SPI に対応します。

bit	説明
0	ノーマル同期転送
1	SPI 対応

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit12] CS2BDS: チップセレクト 2 の転送方向選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0)最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit11:bit8] CS2L3,CS2L2,CS2 L1, CS2L0: チップセレクト 2 のデータ長選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時に送受信データのデータ長を指定します。

bit11	bit10	bit9	bit8	説明
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長

<注意事項>

- *上記設定以外は禁止です。*
- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit7] CS1CSLVL: チップセレクト 1 のシリアルチップセレクトレベル設定ビット

[bit6] CS1SCINV: チップセレクト 1 のシリアルクロック反転ビット

[bit5] CS1SPI: チップセレクト 1 の SPI 対応ビット

[bit4] CS1BDS: チップセレクト 1 の転送方向選択ビット

[bit3:0] CS1L3,CS1L2,CS1 L1, CS1L0: チップセレクト 1 のデータ長選択ビット

ビット 7 からビット 0 は、チップセレクト 1 の設定を行います。詳細はチップセレクト 2 の各ビットの説明を参照してください。

シリアルチップセレクトフォーマットレジスタ(SCSFR2)のビット構成

Figure 7-2 にシリアルチップセレクトタイミングレジスタ(SCSFR2)のビット構成を示します。

Figure 7-2 シリアルチップセレクトフォーマットレジスタ 2(SCSFR2)のビット構成

Bit	15 ... 8	7	6	5	4	3	2	1	0
Field	-	CS3 CSLVL	CS3 SCINV	CS3 SPI	CS3 BDS	CS3 L3	CS3 L2	CS3 L1	CS3 L0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		1	0	0	0	0	0	0	0

[bit7] CS3CSLVL: チップセレクト 3 のシリアルチップセレクトレベル設定ビット

[bit6] CS3SCINV: チップセレクト 3 のシリアルクロック反転ビット

[bit5] CS3SPI: チップセレクト 3 の SPI 対応ビット

[bit4] CS3BDS: チップセレクト 3 の転送方向選択ビット

[bit3:0] CS3L3,CS3L2,CS3 L1, CS3L0: チップセレクト 3 のデータ長選択ビット

ビット 7 からビット 0 は、チップセレクト 3 の設定を行います。詳細はチップセレクト 2 の各ビットの説明を参照してください。

7.12 転送バイトレジスタ(TBYTE3-0)

転送バイト(TBYTE0)は、シリアルチップセレクト端子のアクティブ時の転送データ数を設定します。

転送バイト(TBYTE3-0)のビット構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(TBYTE1)								(TBYTE0)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(TBYTE3)								(TBYTE2)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

転送バイトレジスタは、シリアルチップセレクト端子のアクティブ時の転送データ数を設定できます。シリアルチップセレクト端子がアクティブ後、本ビットに設定した値のデータ数の転送を完了した場合、シリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子 0 (SCS0) は TBYTE0、シリアルチップセレクト端子 1 (SCS1) は TBYTE1、シリアルチップセレクト端子 2 (SCS2) は TBYTE2、シリアルチップセレクト端子 3 (SCS3) は TBYTE3 に対応します。

シリアルチップセレクト禁止(SCSCR:CSEN3-0="0000")のとき、転送バイトレジスタ 0(TBYTE0)はタイマに同期した送信に使用されます。タイマに同期した送信により送信動作が開始した後、TBYTE0 に設定した値のデータ数を転送します。

送信動作中(SSR:TBI=0)に本ビットの値を変更した場合、変更前に設定した転送データ数の送信動作を終了後に変更後の転送データ数の設定が有効になります。

TBYTE	転送バイトレジスタ
書込み	TBYTE への書込み
読出し	TBYTE の設定値

<注意事項>

- *本ビットに(0x00)を設定した場合、転送回数は 8 回です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*

7.13 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BRG0)は、シリアルクロックの分周比を設定します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	-	(BGR1)							(BGR0)							
属性	-	R/W							R/W							
初期値	-	0000000							0x00							

- ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)に値を設定します。
- BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定値の読出しが可能です。
- ボーレートジェネレータレジスタ 1, 0(BGR1, BRG0)にリロード値を書き込むとリロードカウンタはカウントを開始します。

[bit15] - : 未使用ビット

読出し時 : 値は不定です。
書込み時 : 動作に影響しません。

[bit14:8] BGR1 : ボーレートジェネレータレジスタ 1

bit14:8	説明
書込み	リロードカウンタの bit14～bit8 に書込み
読出し	BGR1 の設定値の読出し

[bit7:0] BGR0 : ボーレートジェネレータレジスタ 0

bit7:0	説明
書込み	リロードカウンタの bit7～bit0 に書込み
読出し	BGR0 の設定値の読出し

<注意事項>

- *ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は以下のとおりです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
  - *SMR:SCINV="0"のとき、シリアルクロックの"H"幅がバスクロック 1 サイクル分長いです。*
  - *SMR:SCINV="1"のとき、シリアルクロックの"L"幅がバスクロック 1 サイクル分長いです。*
- *リロード値は 3 以上を設定してください。*
- *ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)の設定値を変更した場合、カウンタ値が "15h00" になってから、新しい設定値がリロードされます。従って、新しい設定値を即有効にしたい場合は、BGR1/BGR0 の設定値を変更した後、CSIO リセット(SCR:UPCL)を実行してください。*
- *受信 FIFO 使用時、受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)を"1"に設定しスレーブモードで動作させる場合、BGR1/BGR0 にボーレートを設定してください。*

7.14 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定, 送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性		-		R/W	R/W	R/W	R/W	R/W	
初期値		-		0	0	1	0	0	

[bit15:13] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FLST ビット検出を許可するビットです。

"0"に設定した場合 : FLST ビット検出禁止
"1"に設定した場合 : FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

- *本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。*

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- *受信 FIFO を使用する場合、本ビットを"1"に設定してください。*

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力されます。

FDRQ セット条件

- FBYTE(送信用)=0　(送信 FIFO がエンプティ)
- 送信 FIFO のリセット

FDRQ リセット条件

- 本ビットへの"0"書込み
- 送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>

- *FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。*
- *本ビットが"0"のときに FSEL ビットの変更は禁止です。*
- *本ビットに"1"を設定した場合、動作に影響しません。*
- *リードモディファイライト系命令時、"1"が読み出されます。*

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割り当てられます。
"1"に設定した場合 : 送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割り当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>

- *本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。*
- *本ビットを変更する場合は、FIFO 動作禁止(FCR0: FE2, FE1=0)にしてから行ってください。*

7.15 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] - : 未使用ビット

読出し時 : 常に"0"が読み出されます。
書込み時 : 常に"0"を書き込んでください。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致している時に FIFO へ書き込んだ場合

FLST リセット条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

<注意事項>

- *本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。*
- *FIFO 許可状態または送信中、本ビットに"1"を設定することは禁止です。*
- *SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。*

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
送信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合 : 現在のリードポインタの値を保存します。
"0"に設定した場合 : 保存しません。

bit	説明	
	書込み時	読出し時
0	保存しない	常に"0"が読み出されます
1	リードポインタ値保存	

<注意事項>

- *送信バイト数(FBYTE)が 0 を示している時に本ビットを"1"に設定してください。*

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO2 の内部状態を初期化します。
FCR1:FLST2 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

<注意事項>

- *送受信を禁止してから、FIFO2 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE2 レジスタの有効データ数は"0"に設定されます。*

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO1 の内部状態を初期化します。
FCR1:FLST1 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

<注意事項>

- *送受信を禁止してから、FIFO1 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE1 レジスタの有効データ数は"0"に設定されます。*

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。

- FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生するとき、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO2 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し(FCR1:FSEL=0)、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生するとき、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO1 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

7.16 FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W								R/W							
初期値	0x00								0x00							

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットによる設定を以下に示します。

Table 7-3 データ数表示

FCR1:FSEL	FIFO 選択	バイト数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致した場合、割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

    8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- マスタ動作で、データを受信する場合(マスタ受信)、SCR:TIE ビットと SCR:TBIE ビットを"0"にし、送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに"0"を書き込みます。SCR.RXE ビットに"1"を設定した後、SCR:TXE ビットに"1"を設定することで設定データ分のシリアルクロックが出力され、設定値分データを受信することができます。SCR:TIE ビット, SCR:TBIE ビットに"1"を設定したい場合には FCR1:FDRQ が "1"になった後に"1"に設定してください。

[bit15:8] FBYTE2: FIFO2 データ数表示ビット

[bit7:0] FBYTE1: FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時 : FIFO に書き込まれ、送信されていないデータ数
受信時 : FIFO に受信されたデータ数

ライト(転送数)

送信時 : 0x00 設定
受信時 : 受信割込み発生のデータ数設定

Table 7-4 FIFO に格納可能なデータ数について

FIFO 容量	データ長	最大 FBYTE 数	格納可能データ数
16 バイト	5~16 ビット	8	8
32 バイト	5~16 ビット	16	16
64 バイト	5~16 ビット	32	32
128 バイト	5~16 ビット	64	64

<注意事項>

- *マスタ動作で、データを受信する時以外、送信 FIFO の FBYTE には"0x00"を設定してください。*
- *マスタ動作でデータを受信する時の送信データ数の設定は送信 FIFO がエンプティで SCR:TIE ビット, SSR:TBIE ビットが"0"のときに行ってください。*
- *マスタ動作でデータを受信中に受信禁止(SCR:RXE=0)にする場合には、送信 FIFO を禁止にしてから送受信を禁止にしてください。*
- *受信 FIFO の FBYTE には"1"以上のデータを設定してください。*
- *受信 FIFO の FBYTE の変更は受信を禁止してから変更してください。*
- *本レジスタはリードモディファイライト系命令を使用できません。*
- *FIFO 容量を超えた設定は禁止です。*

8. CSIO (クロック同期シリアルインタフェース)の制限事項

CSIO(クロック同期シリアルインタフェース)の制限事項を示します。

- シリアルチップセレクトを使用する場合で、マスタモード(SCR:MS=0)、かつノーマル転送モード(SCR:SPI=0)の場合、以下のいずれかの条件を満たすようにシリアルチップセレクトのセットアップディレイ, ホールドディレイを設定してください。

  - ホールドディレイ＋セットアップディレイ ＜ ボーレート周期換算値 － 2 × t_{CYCP}
  - ボーレート周期換算値 / 2 ＜ ホールドディレイ＋3 × t_{CYCP}

  ボーレート周期換算値：ボーレートの逆数として定義
  t_{CYCP}：APB バスクロック周期

(算出例)

ボーレート: 1 [Mbps](ボーレート周期換算値 1[µs]), 周辺バスクロック: 48[MHz](周期約20[ns])で SCSCR:CDIV="0"の場合、ホールドディレイおよびセットアップディレイの条件を算出します。

- ホールドディレイ:

  SCSTR:CSHD 値×t_{CYCP}×$2^{SCSCR:CDIV\ 値}$ = SCSTR:CSHD 値×20[ns]

- セットアップディレイ:

  SCSTR:CSSU 値×t_{CYCP}×$2^{SCSCR:CDIV\ 値}$ = SCSTR:CSSU 値×20[ns]

条件式より、SCSTR:CSHD 値および SCSTR:CSSU 値は、表 8-1 の組み合わせで設定してください。

Table 8-1 ホールドディレイおよびセットアップディレイ設定条件(算出例)

SCSTR:CSHD 値	SCSTR:CSSU 値
23 以上	制限なし
22	25 以下
21	26 以下
20	27 以下
:	:
1	46 以下
0	47 以下

- マスタモード(SCR:MS=0)で SPI 転送モード(SCR:SPI=1)のとき、転送データ数を"1"(TBYTE=1)に設定し、かつシリアルチップセレクト保持機能を使用する場合、以下の条件で使用してください。

- シリアルデータ送受信ウェイトをウェイトなしに設定(ESCR:WT1, WT0 ="00")

CHAPTER 1-4: LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1))

マルチファンクション シリアルインタフェース機能のうち、動作モード 3 でサポートしている LIN 通信機能について説明します。

1. LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の概要
2. LIN インタフェース(v2.1)の割込み
3. 専用ボーレートジェネレータ
4. LIN インタフェース(v2.1)の動作
5. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー
6. LIN インタフェース(v2.1)のレジスタ

管理コード: 9BFLIN-FM0-J03.0_FM15L-J05.4

1. LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の概要

LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))は、LIN バスに対応するための機能をサポートしています。また、送信/受信(最大 各 128 バイト)の FIFO を搭載しています。

LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の機能

		機　　能
1	データバッファ	− 全二重ダブルバッファ(FIFO 未使用時) − 送信/受信 FIFO　(サイズ最大各 128 バイト)*1(FIFO 使用時)
2	シリアル入力	バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送モード	非同期
4	ボーレート	− 専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) − 外部クロックをリロードカウンタで調節可能。
5	データ長	8 ビット
6	信号方式	NRZ(Non Return to Zero)
7	スタートビット検出	スタートビット立下りエッジに同期。
8	受信エラー検出	− フレーミングエラー − オーバランエラー
9	割込み要求	− 受信割込み (受信完了, フレーミングエラー, オーバランエラー) − 送信割込み(送信データエンプティ, 送信バスアイドル) − ステータス割込み(LIN Break field 検出) − ICU への割込み要求 (LIN Sync field 検出:LSYN) − 送信 FIFO 割込み (送信 FIFO がエンプティのとき) − 送受信 DMA 転送サポート機能あり
10	LIN バスオプション	− LIN プロトコル Revision 2.1 に対応 − マスタデバイス動作 − スレーブデバイス動作 − LIN Break field 生成(13～16 ビット長に可変可能) − LIN Break デリミタ生成(1～4 ビット長に可変可能) − LIN Break field 検出 − インプットキャプチャに接続している LIN Sync field のスタート/ストップエッジ検出
11	FIFO オプション	− 送受信 FIFO 搭載(最大容量:送信 FIFO 128 バイト, 受信 FIFO 128 バイト) *1 − 送信 FIFO と受信 FIFO を選択可能 − 送信データ再送可能 − 受信 FIFO 割込みタイミングをソフトで可変可能 − 独立して FIFO リセットサポート

*1: FIFO 容量はご使用する製品により容量サイズが異なります。

2. LIN インタフェース(v2.1)の割込み

LIN インタフェース(v2.1)には、受信割込みと送信割込みがあります。次に示す要因で割込み要求を発生させられます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求
- LIN Break field 検出

LIN インタフェース(v2.1)の割込み

LIN インタフェース(v2.1)の割込み制御ビットと割込み要因を Table 2-1 に示します。

Table 2-1 LIN インタフェース(v2.1)の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データレジスタ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	フレーミングエラー		
送信	TDRE	SSR	送信データレジスタがエンプティ	SCR:TIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データレジスタ(TDR)への書込み, LIN Break field 設定ビット(LBR)への"1"書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
ステータス	LBD	SSR	LIN Break field 検出	ESCR:LBIE	SSR:LBD ビットへの"0"書込み
インプットキャプチャ *2	ICP0/ICP1	ICSA10/ICSA32	LIN Sync field の 1 回目の立下りエッジ	ICSA10:ICE0 ICSA10:ICE1 ICSA32:ICE0 ICSA32:ICE1	ICP0/ICP1 を無効
	ICP0/ICP1	ICSA10/ICSA32	LIN Sync field の 5 回目の立下りエッジ		

*1: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

*2: インプットキャプチャの ch.番号と LIN の ch.番号の対応は EPFR01/EPFR02/EPFR03 レジスタを参照してください。

2.1 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了(SSR:RDRF=1), 受信エラーの発生(SSR:ORE, FRE=1)および LIN Break field 検出があります。

受信割込み発生とフラグセットのタイミング

最初のストップビットの検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)または受信エラーが発生(SSR:ORE, FRE=1)したとき、各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

<注意事項>

- *受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。*

Figure 2-1 RDRF(受信データフル)フラグビットのセットタイミング

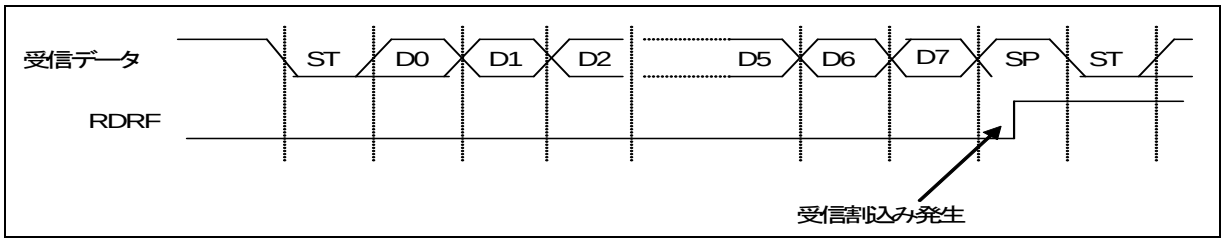
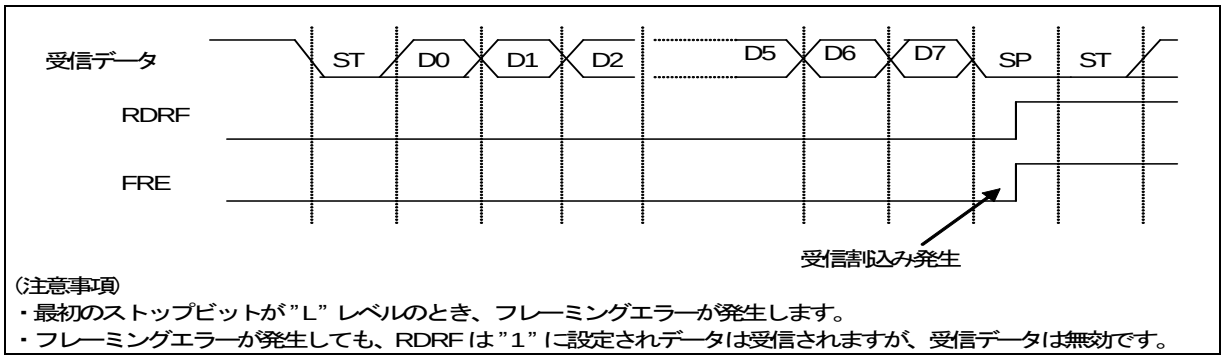


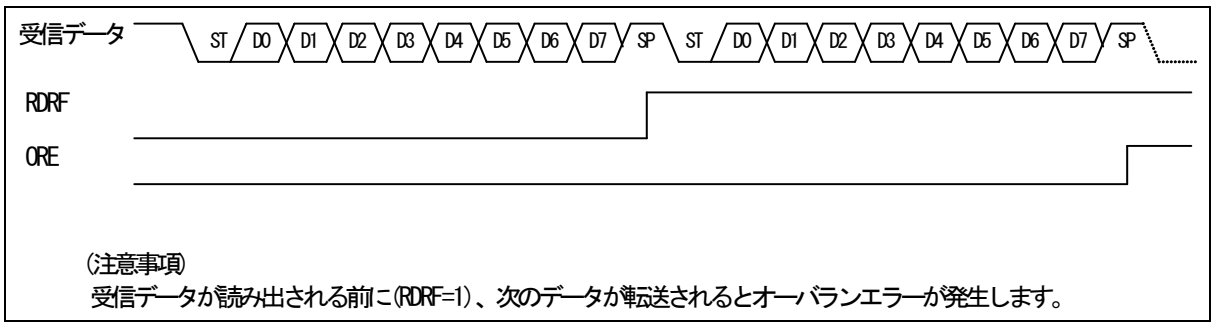
Figure 2-2 FRE (フレーミングエラー)フラグビットのセットタイミング



<注意事項>

- *受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のデータを正常に受信できなくなることがあります。連続してフレームを出力する場合にはフレームの間隔を空けてください。*

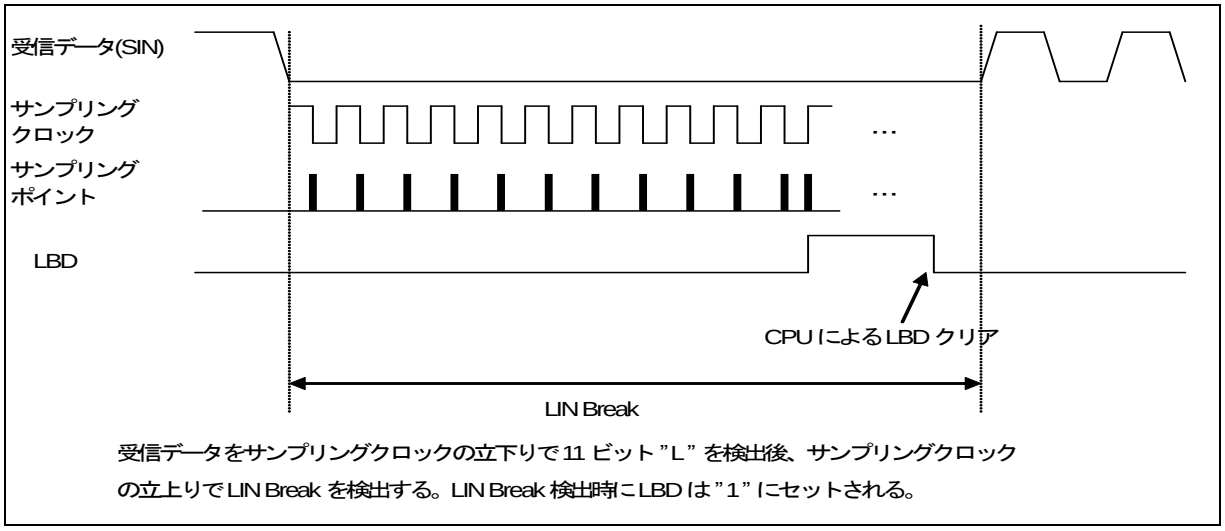
Figure 2-3 ORE (オーバランエラー)フラグビットのセットタイミング



LIN Break field 検出フラグ(LBD)のセットタイミング

シリアル入力(SIN)が 11 ビット幅以上 "0"入力されると、LBD ビットは "1"に設定されます。このとき、LIN Break field 割込みが許可(ESCR:LBIE=1)されていると受信割込みを発生します。

Figure 2-4 LBD(LIN Break field 検出)フラグセットタイミング



2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信した場合に発生します。

受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

- 受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。
- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が "1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない
    8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で次のデータを受信した場合、オーバランエラー(SSR:ORE=1)が発生します。

Figure 2-5 受信 FIFO 使用時の受信割込み発生タイミング

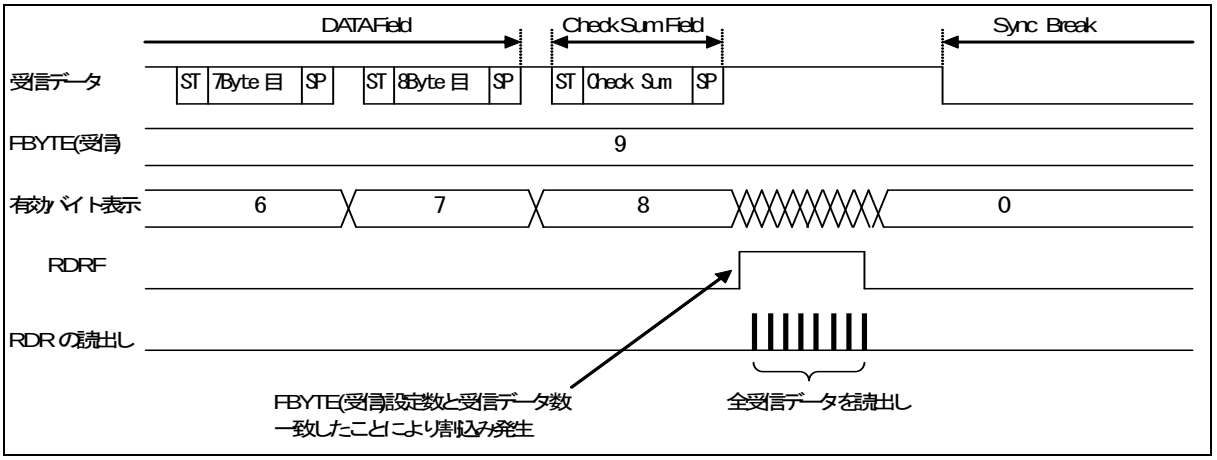
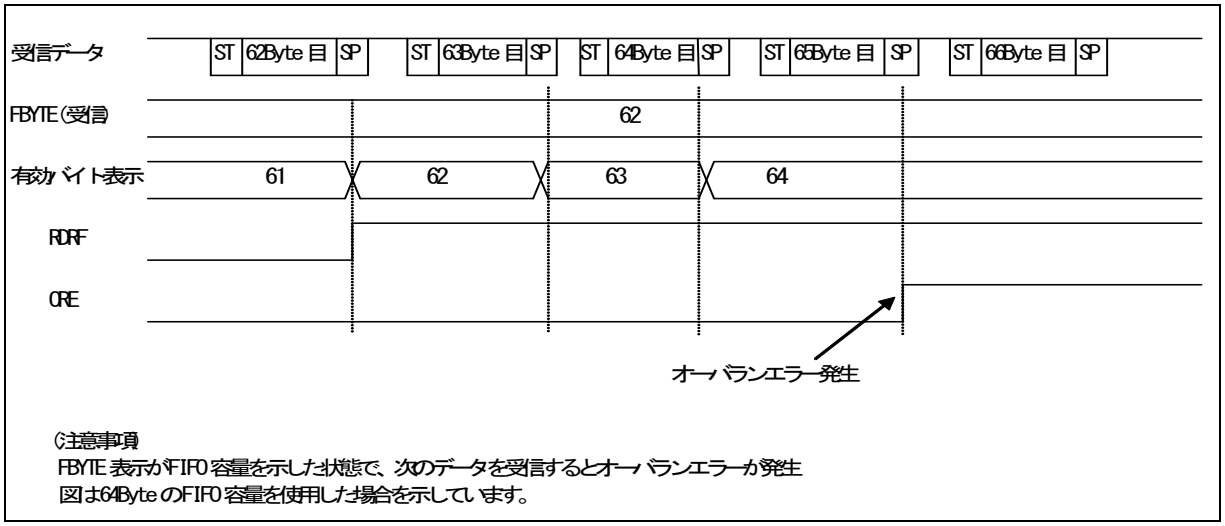


Figure 2-6 ORE (オーバランエラー)フラグビットのセットタイミング



2.3 送信割込み発生とフラグセットのタイミング

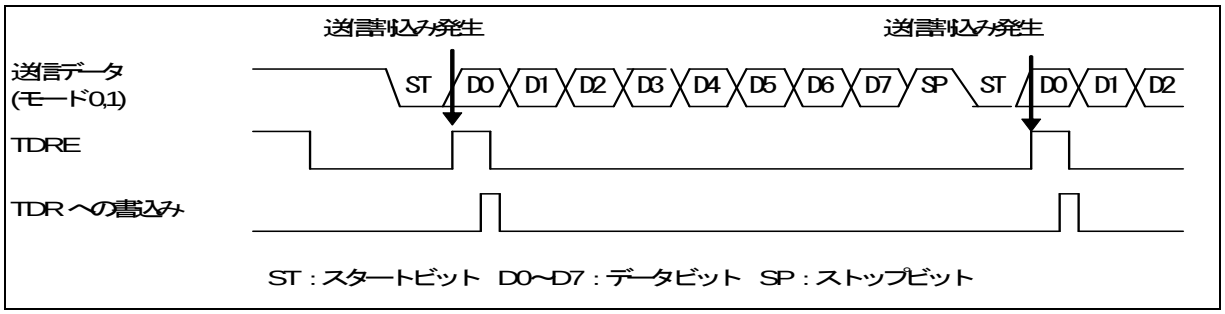
送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送されて送信が開始された場合(SSR:TDRE=1)と、送信動作をしていない場合(SSR:TBI=1)に発生します。

送信割込み発生とフラグセットのタイミング

■ 送信データエンプティフラグ(TDRE)のセットタイミング

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)になります。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。TDRE ビットはリードオンリビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

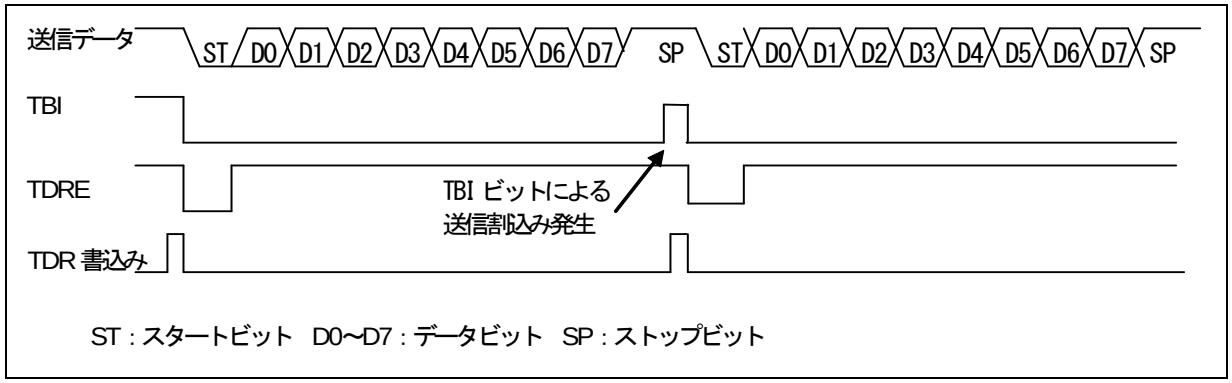
Figure 2-7 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



■ 送信バスアイドルフラグ(TBI)のセットタイミング

送信データレジスタがエンプティ(TDRE=1)で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットした場合、TBI ビットおよび送信割込み要求はクリアされます。

Figure 2-8 送信バスアイドルフラグ(TBI)のセットタイミング



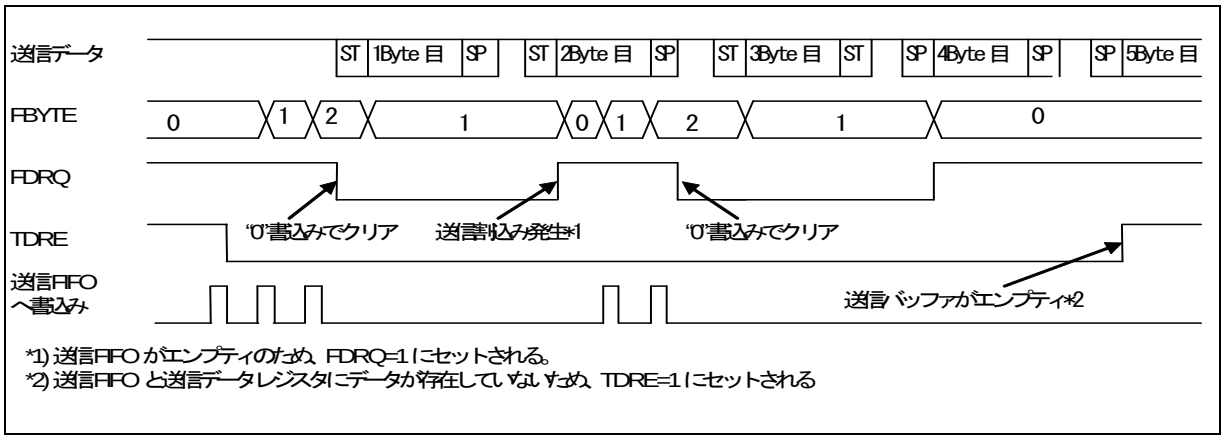
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない時に発生します。

送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。FBYTE=0x00 のときは、送信 FIFO にデータがないことを示します。

Figure 2-9 送信 FIFO 使用時の送信割込み発生タイミング



3. 専用ボーレートジェネレータ

LIN インタフェース(v2.1)送受信クロックソースは、以下のいずれかを選択できます。

- 専用ボーレートジェネレータ(リロードカウンタ)
- 外部クロックをボーレートジェネレータに入力(リロードカウンタ)

LIN インタフェース(v2.1)ボーレート

ボーレートは次の 2 種類の中から 1 種類を選択できます。

■ 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択(SMR:EXT=0)してください。

■ 専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(SMR:EXT=1)してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

<注意事項>

- *外部クロックの設定(EXT=1)は、リロードカウンタが停止した状態(BGR1/BGR0=15h00)で行ってください。*
- *外部クロックに設定(EXT=1)した場合、外部クロックの"H"幅、"L"幅は 2 バスクロック以上必要です。*

3.1 ボーレート設定

ボーレートの設定を示します。また, シリアルクロック周波数の計算結果を示します。

ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

V = ϕ / b − 1

V : リロード値　　b : ボーレート　　ϕ : バスクロック周波数、外部クロック周波数

(2)計算例

バスクロック(16MHz)、内部クロック使用、ボーレートを 19200bps に設定する場合のリロード値は以下のようになります。

リロード値 :

V = (16 × 1000000)/19200 - 1 = 832

よって、ボーレートは

b = (16 × 1000000)/(832 + 1) = 19208 (bps)

(3)ボーレートの誤差

ボーレートの誤差は以下の式によって算出できます。

誤差(%) = (計算値 - 目標値)/目標値 × 100

(例) バスクロック(20MHz)、目標ボーレートを 153600bps に設定する場合

リロード値 = (20 × 1000000)/153600 - 1 = 129

ボーレート(計算値) = (20 × 1000000)/(129 + 1) = 153846 (bps)

誤差(%) = (153846 - 153600)/153600 × 100 = 0.16 (%)

<注意事項>

- *リロード値を"0"に設定時、リロードカウンタは停止します。*
- *リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
- *リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。*

各バスクロック周波数に対するリロード値とボーレート設定例

Table 3-1 リロード値とボーレート設定例

ボーレート	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32 MHz	
(bps)	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	7	0	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	312	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	0.06	554	-0.01	693	0.06	832	0.04	1110	0.01
19200	416	-0.08	520	-0.03	832	0.04	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	<0.01	1666	-0.02	2082	0.01	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	0.01	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1/BGR0 レジスタの設定値
- ERR : ボーレート誤差(%)

Table 3-2 リロード値とボーレート設定例(続き)

ボーレート (bps)	40 MHz	
	Value	ERR
8M	4	0
6M	-	-
5M	7	0
4M	9	0
2.5M	15	0
2M	19	0
1M	39	0
500000	79	0
460800	86	-0.22
250000	159	0
230400	173	-0.22
153600	259	0.16
125000	319	0
115200	346	0.06
76800	520	-0.03
57600	693	0.06
38400	1041	-0.03
28800	1388	<0.01
19200	2082	0.01
10417	3839	<0.01
9600	4166	<0.01
7200	5555	<0.01
4800	8332	<0.01
2400	16666	<0.01
1200	-	-
600	-	-
300	-	-

Table 3-1, Table 3-2 に記載していない周波数については、「3.1 ボーレート設定」の計算式にて算出してください。(ただし、最大周波数については、製品により異なるため、ご使用する製品の『データシート』を参照してください。)

受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを以下に示します。

受信時のボーレート誤差は、以下に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

Figure 3-1 受信時の許容ボーレート範囲

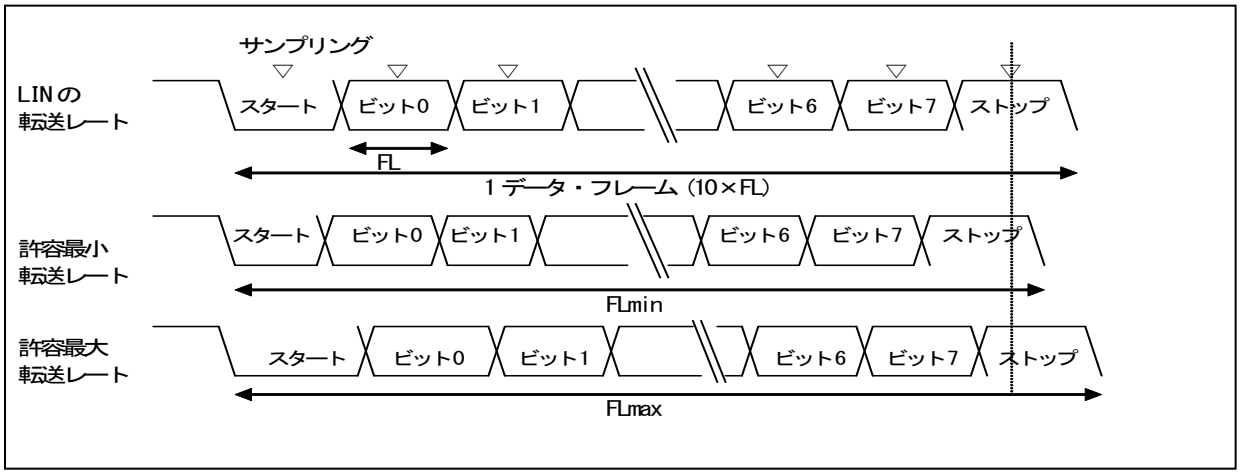


Figure 3-1 に示すように、スタートビット検出後は BGR1/BGR0 レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット)までが間に合えば正常に受信できます。

これを 10 ビット受信に当てはめると理論上、以下のとおりです。

サンプリング・タイミングのマージンをバスクロック(ϕ)の 1 クロック分とすると、許容最小転送レート(FLmin)は以下のとおりです。

FLmin = (10bit×(V+1) – (V+1)/2 + 2)/ ϕ = (19V+23)/2 ϕ (s)　　V:リロード値　ϕ:バスクロック

したがって、受信可能な送信先の最大ボーレート(BGmax)は以下のとおりです。

BGmax = 10/FLmin = 20ϕ/(19V+23)　(bps)　　V:リロード値　ϕ:バスクロック

許容最大転送レート(FLmax)データを受信する場合、10 ビット目の受信データの始点にてサンプリングが行われます。

よって、許容最大転送レート(FLmax)は以下のとおりです。

9/10×FLmax = (10bit×(V+1) – (V+1)/2)/ ϕ　V:リロード値　ϕ:バスクロック

FLmax = (19/18×10×(V+1)/ ϕ

サンプリング・タイミングのマージン(ϕ)を 2 クロック分とすると、許容最大転送レート(FLmax)は以下のとおりです。

9/10×FLmax = (10bit×(V+1) – (V+1)/2 – 2)/ ϕ　　V:リロード値　ϕ:バスクロック

FLmax = (19/18×10×　(V+1) – 40/18)/ ϕ = (190V+150)/20 ϕ (s)　　V:リロード値　ϕ:バスクロック

したがって、受信可能な送信先の最小ボーレート(BGmin)は以下のとおりです。

BGmin = 10/FLmax = 18ϕ/(19V+15)　(bps)　　V:リロード値　ϕ:バスクロック

前述の最小/最大ボーレート値の算出式から、LIN インタフェース(v2.1)と送信先とのボーレートの許容誤差を求めると以下のとおりです。

リロード値(V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+3.28%	-3.41%
50	+4.83%	-4.87%
100	+5.04%	-5.07%
200	+5.15%	-5.16%
32767	+5.26%	-5.26%

<注意事項>

- *受信の精度は、1 フレームのビット数，バスクロック，リロード値に依存します。バスクロックが高く、分周比が高くなるほど精度は高いです。*

外部クロック

ボーレートジェネレータレジスタ(BGR)の EXT ビットに"1"を書き込むと、ボーレートジェネレータで外部クロックを分周します。

<注意事項>

- *外部クロック信号は LIN インタフェース(v2.1)で内部クロックに同期します。したがって、同期化不可能な外部クロックの場合、動作が不安定です。*

リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。

カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

再スタート

リロードカウンタは以下の条件で再スタートします。

■ 送信/受信リロードカウンタ共通
プログラマブルリセット(SCR:UPCL ビット)

■ 受信リロードカウンタ
非同期モードでのスタートビット立下りエッジ検出

4. LIN インタフェース(v2.1)の動作

LIN インタフェース(v2.1)は、マスタ/スレーブ双方向 LIN 通信で動作します。

マスタ動作

■ マスタ動作の選択

マスタとして動作させるためには、SCR:MS ビットを"0"に設定してください。

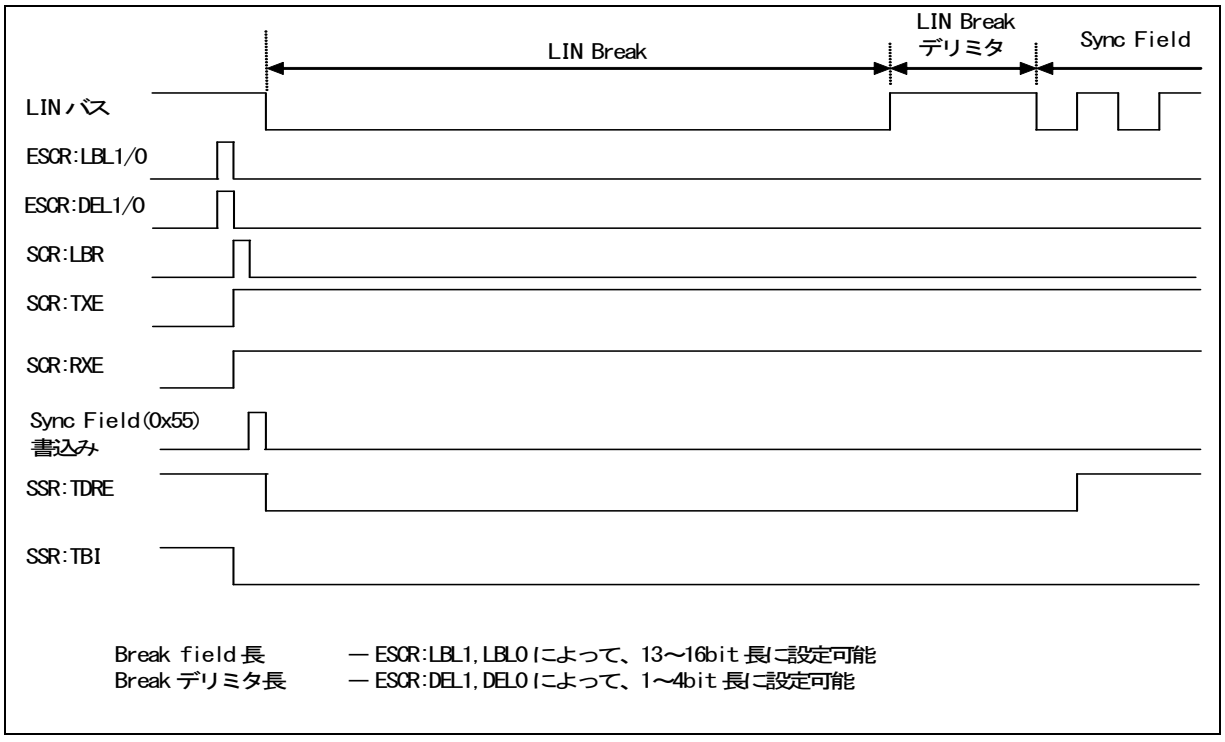
■ Break field 送信 ～ Sync field 送信

- Break field 長の選択(ESCR:LBL1, LBL0)および、Break field デリミタ長の選択(ESCR:DEL1, DEL0)ができます。
- 送信動作許可(SCR:TXE=1)し、SCR:LBR ビット(LIN Break field 設定ビット)に"1"を設定した場合、Break field が送信されます。
- Sync field は、送信データレジスタ(TDR)に"0x55"を書き込むことで送信されます。

<注意事項>

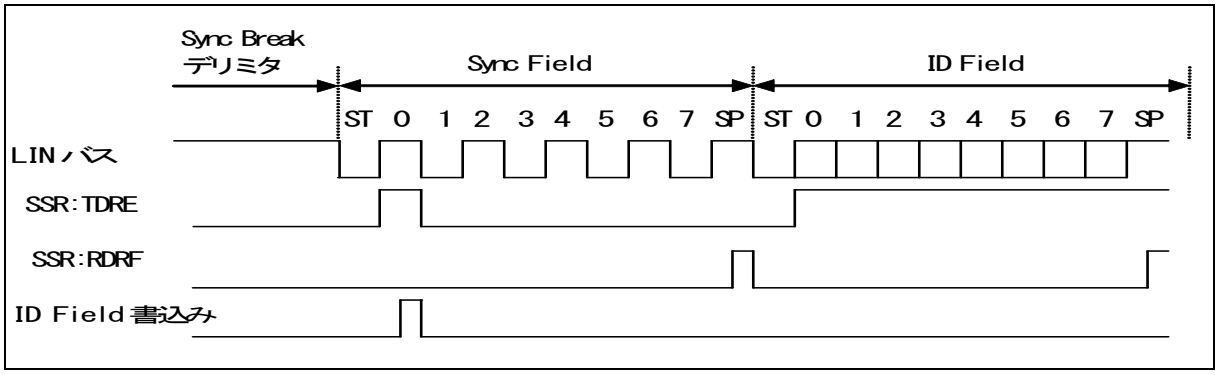
- *SCR:LBR ビット(LIN Break field 設定ビット)に"1"を設定した後に、送信データレジスタ(TDR)に"0x55"を設定してください。*
- *SCR:RXE ビット(受信動作許可ビット)に"1"を設定していても Break field 部分は受信動作を行いません。*

Figure 4-1 Break field ～ Sync field の送信



■ Sync field 送信 ～ ID Field 送信

- Sync field(0x55)の最初の 1 ビット目が送信されると、SSR:TDRE(送信データエンプティ)ビットが"1"に設定されます。
  このとき、送信割込み許可(SCR:TIE=1)されていると、送信割込みが発生します。
- 送信割込みが発生したら、ID Field を送信データレジスタ(TDR)に書き込めます。
- 受信割込みが発生したら、送信データと受信したデータを比較し、エラーが発生していないことを確認します。
- ID Field は、データ長 8 ビットで、LSB ファーストで出力されます。



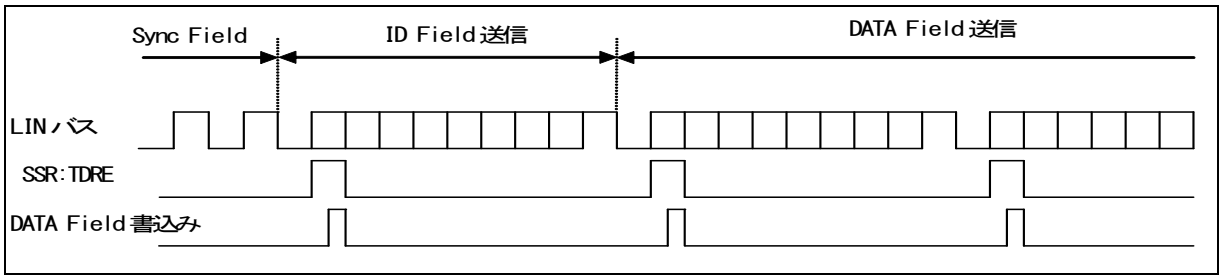
■ ID Field 送信 ～ DATA Field 送受信

DATA Field をスレーブデバイスに送信するか、受信するかを選択します。

(DATA Field を送信する場合)

ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されます。このとき、DATA Field の書込みが可能です。

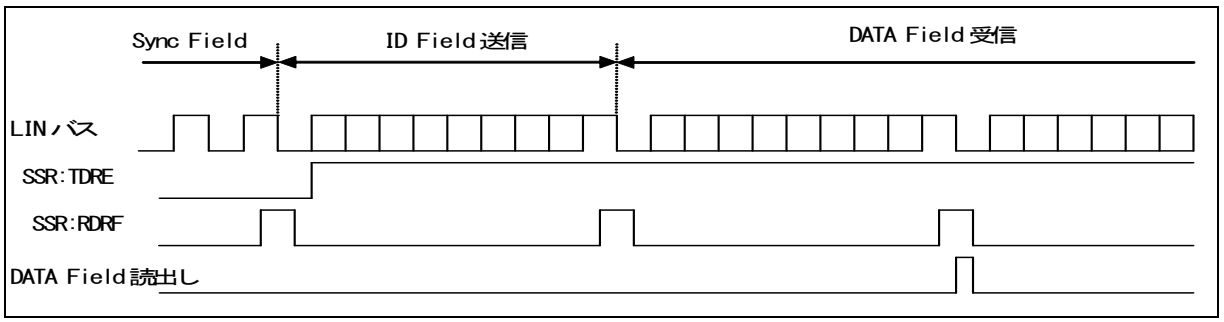
Figure 4-2 ID Field 送信～DATA Field 送信



(DATA Field を受信する場合)

- ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されますが、送信データを書き込まないでください。
  また、送信割込み禁止(SCR:TIE=0)にしてください。
- DATA Field を受信した場合、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SSR:RIE=1)されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。

Figure 4-3 ID Field 送信～DATA Field 受信



<注意事項>

- *ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵されています。しかし、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。*
- *受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。*

■ マスタ動作タイミングチャート(FIFO 未使用時)

Figure 4-4 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時)

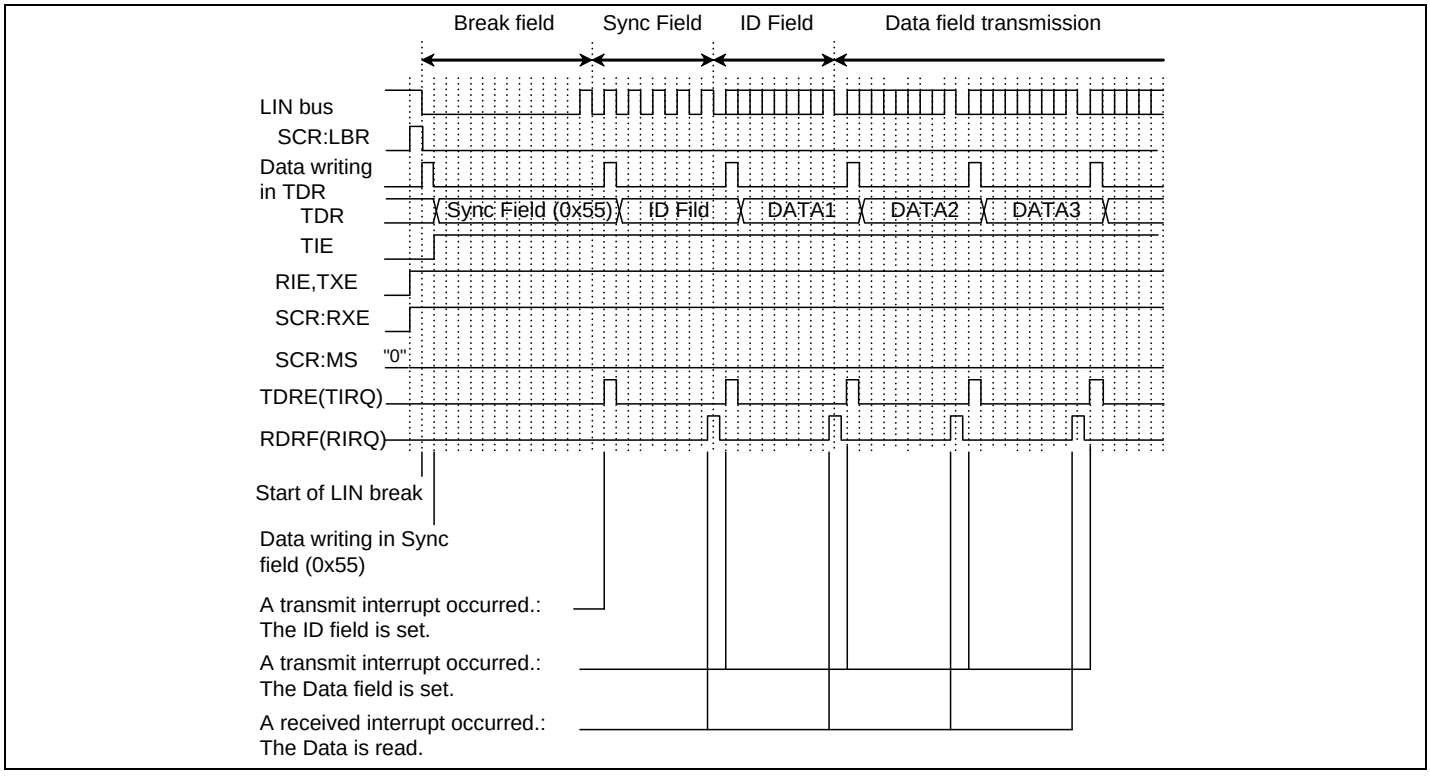
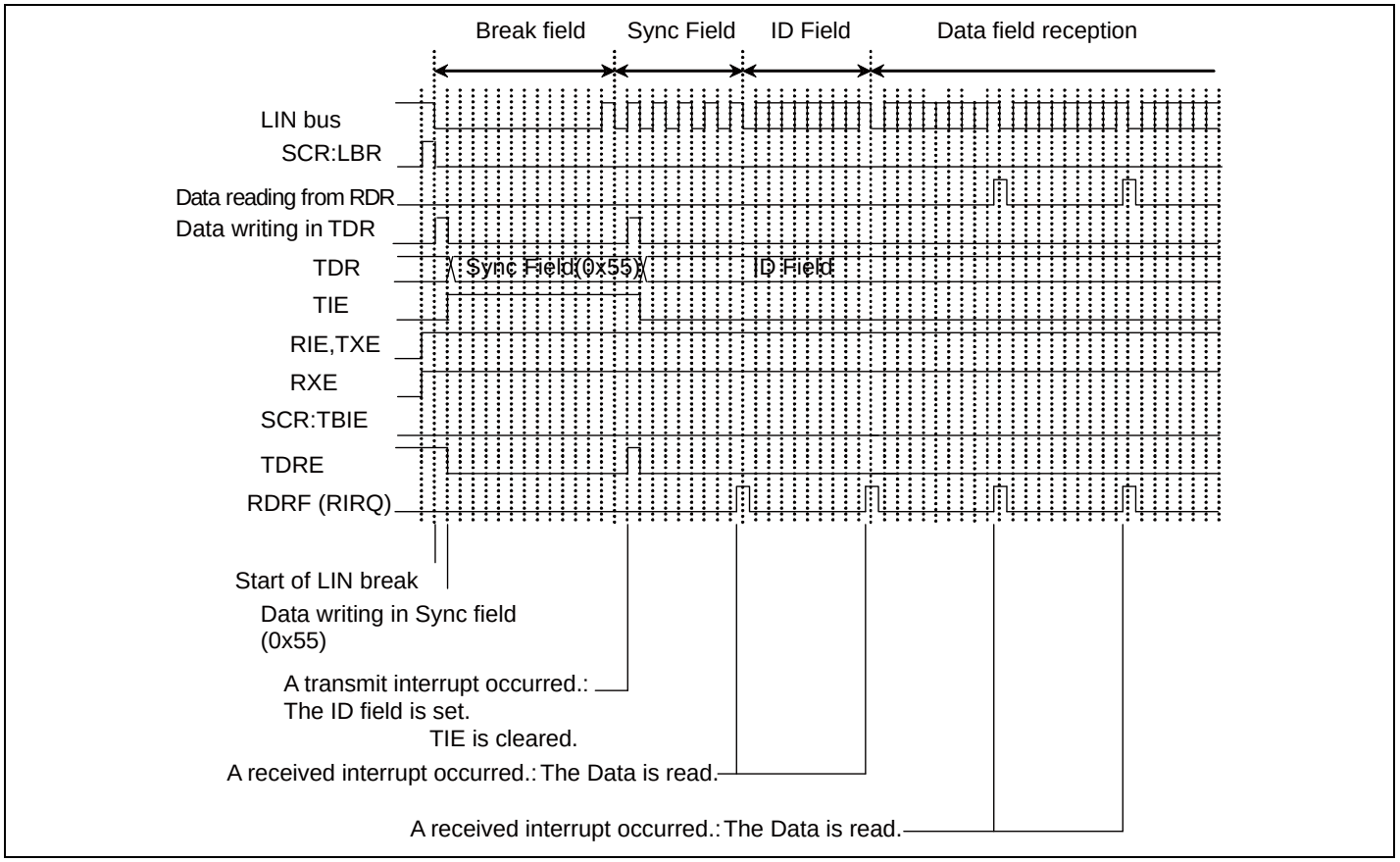


Figure 4-5 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時)



■ マスタ動作タイミングチャート(FIFO 使用時)

Figure 4-6 LIN バスタイミング (DATA Field 送信時:FIFO 使用時)

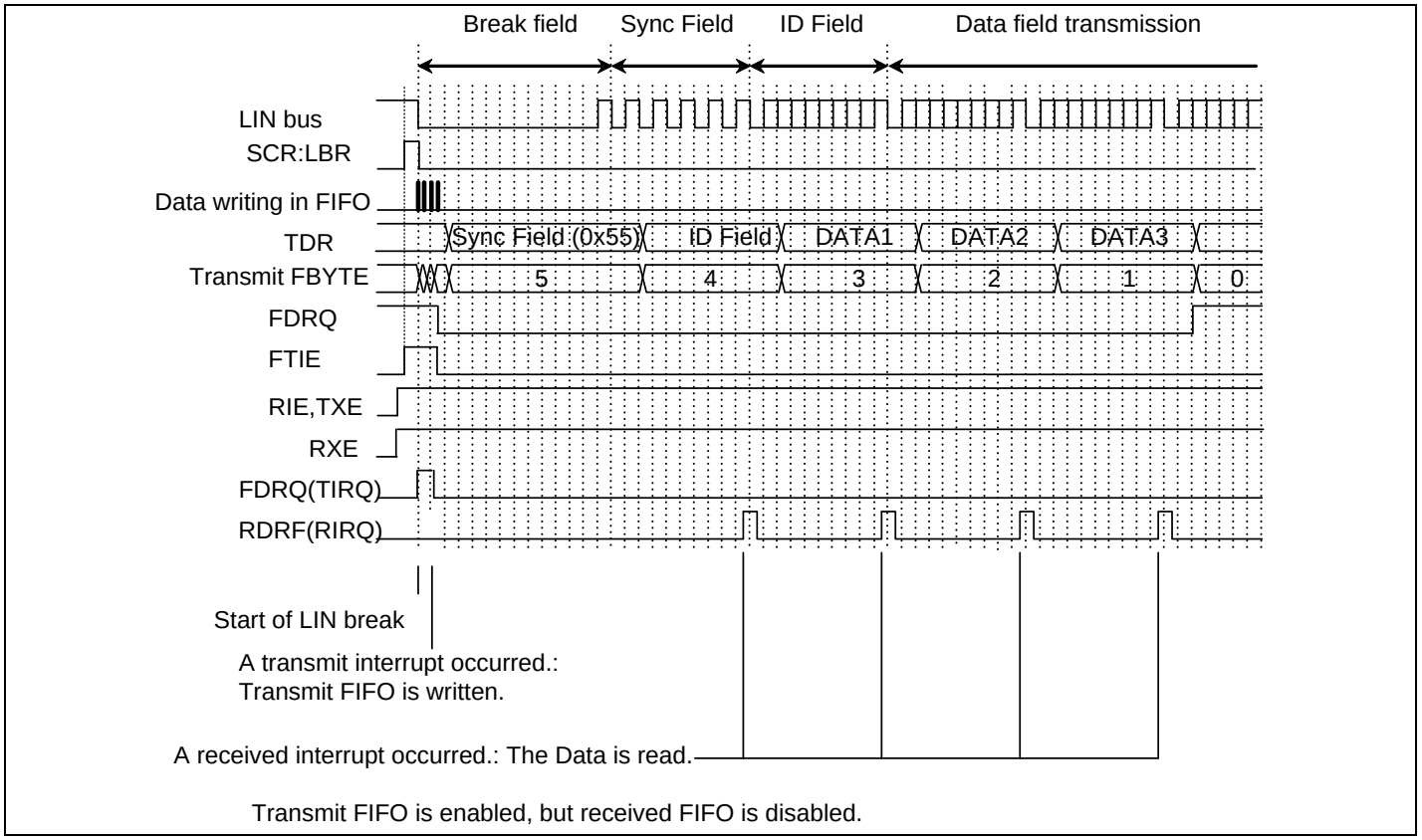
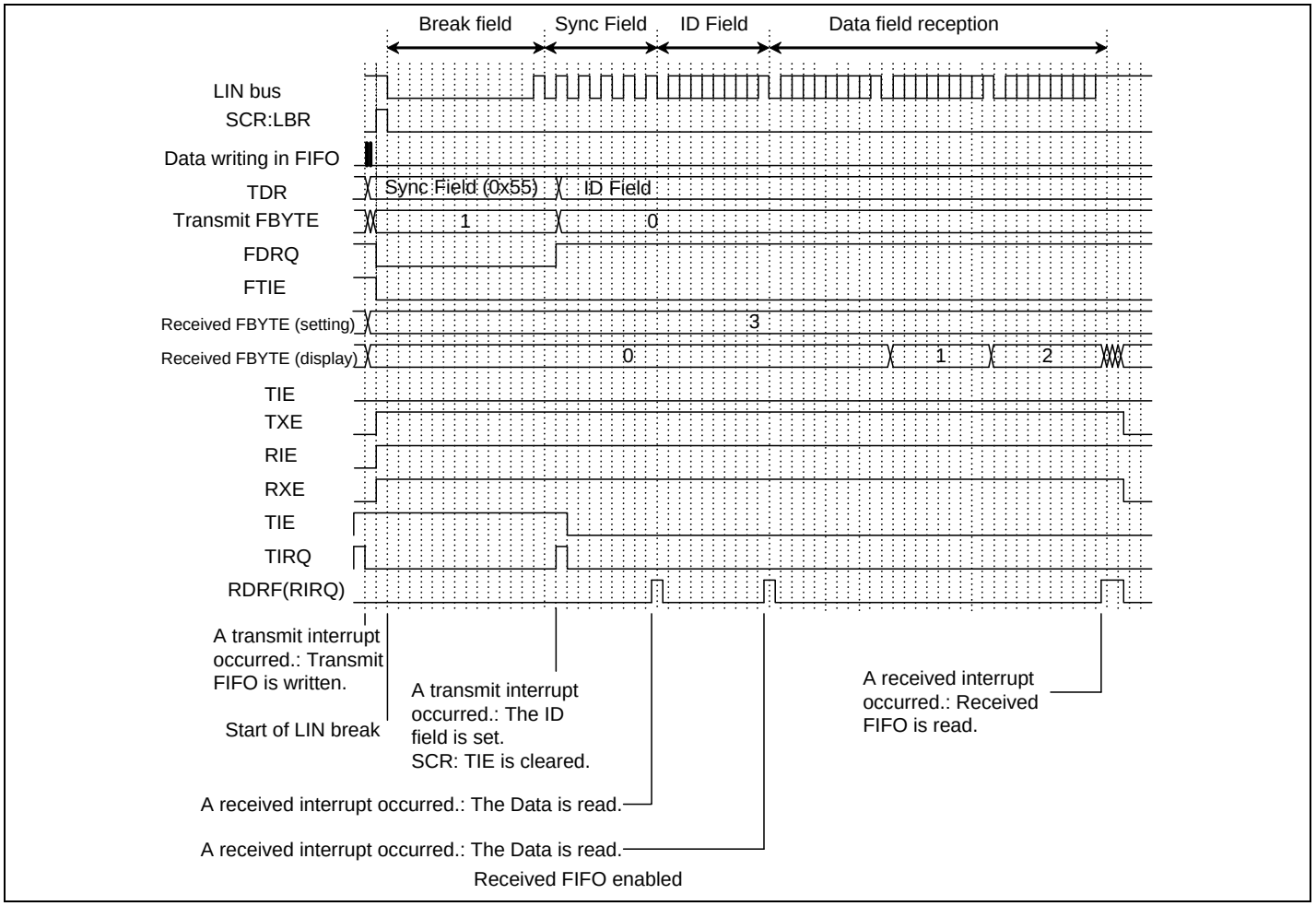


Figure 4-7 LIN バスタイミング (DATA Field 受信時:FIFO 使用時)



スレーブ動作

■ スレーブ動作の選択

スレーブとして動作させるためには、SCR:MS ビットを "1"に設定してください。

■ Break field 受信 ～ Sync field 受信

1. Break field が入力されると 11 ビット目で Break field 検出(SSR:LBD=1)されます。
   このとき、ESCR:LBIE ビットが"1"に設定されていると受信割込みを発生します。
2. ここで、ICU の割込みを許可し両エッジ検出に設定してください。
3. Sync field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、ICU に入力される内部信号(LSYN)を"H"にして ICU をスタートさせます。この内部信号(LSYN)は 5 番目の立下りエッジで"L"になります。
4. ICU に入力される内部信号(LSYN)は、"H"の時間のボーレートを 8 倍した値です。ボーレートの設定値は、以下のとおりです。

フリーランタイマがオーバフローしていない場合:

BGR 値 = (b – a)×Fe/(8 × ϕ) – 1

フリーランタイマがオーバフローした場合:

BGR 値 = (max + 1 + b – a)×Fe/(8 × ϕ) – 1

max : フリーランタイマの最大値

a : 1 度目の割込み後の ICU データレジスタ値

b : 2 度目の割込み後の ICU データレジスタ値

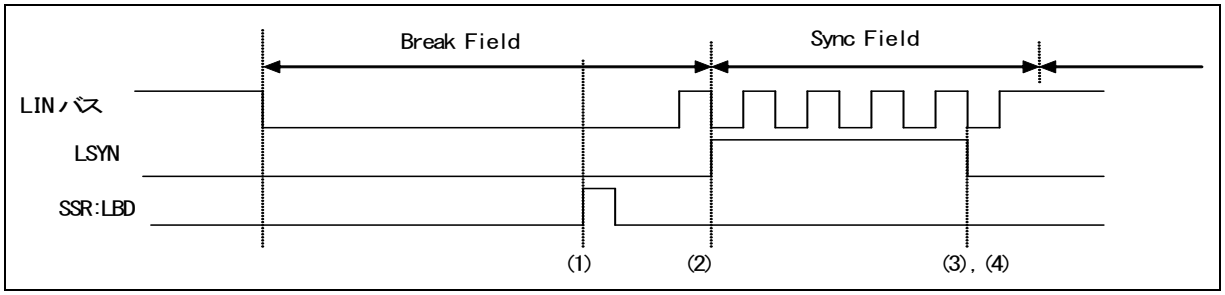
ϕ : バスクロック周波数(MHz)

Fe : 外部クロック周波数(MHz)。内部クロック使用時(EXT=0)、Fe=ϕとして計算

<注意事項>

- *Break field および Sync field 時は、受信禁止(SCR:RXE=0)に設定してください。*

Figure 4-8 Break field 受信 ～ Sync field 受信



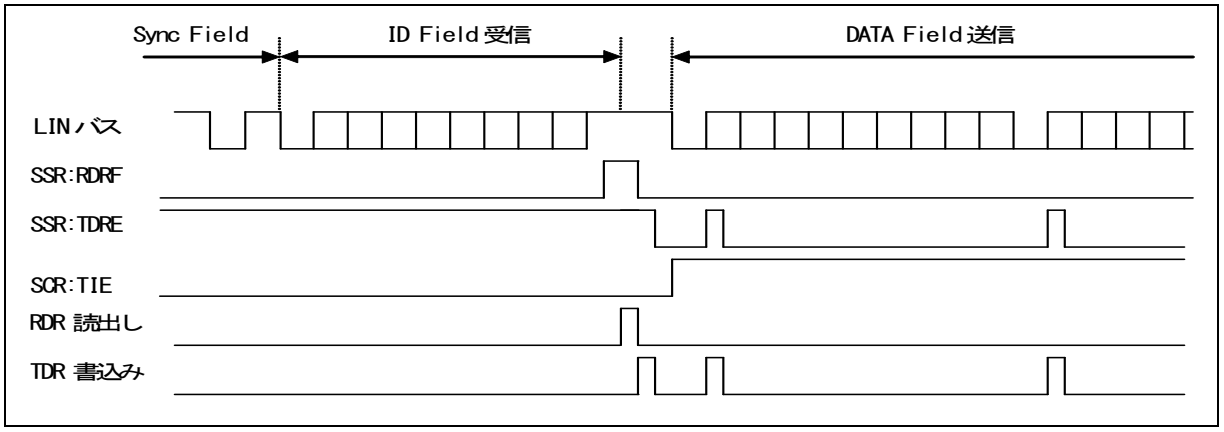
■ ID Field 受信 ～ DATA Field 送受信

ID Field を受信した後、マスタへ DATA Field を送信するか、受信するかを選択できます。

(DATA Field を送信する場合)

ID Field 受信後、送信データレジスタ(TDR)にデータを書き込んでください。このとき、送信割込み許可(SCR:TIE=1)しておいてください。

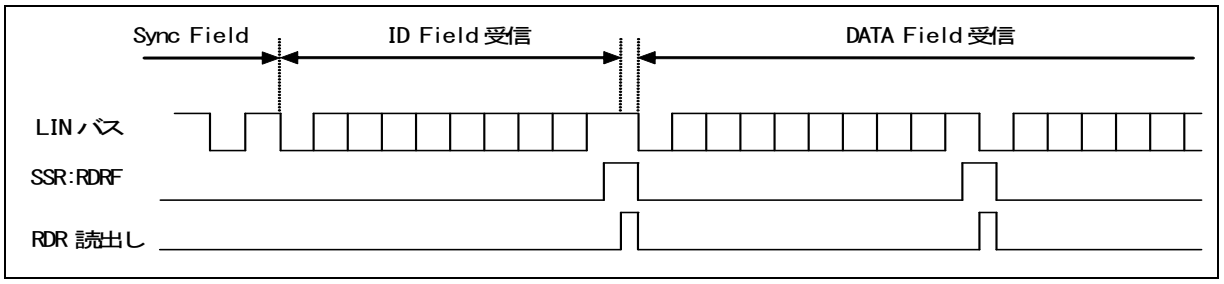
Figure 4-9 ID Field 受信 ～ DATA Field 送信



(DATA Field を受信する場合)

- DATA Field 受信ごとに、SSR:RDRF が "1"に設定されます。このとき、受信割込み許可(SCR:RDRF=1)されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。

Figure 4-10 ID Field 受信 ～ DATA Field 受信



<注意事項>

- *ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵されています。しかし、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。*
- *受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。*

■ スレーブ動作タイミングチャート

Figure 4-11 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時)

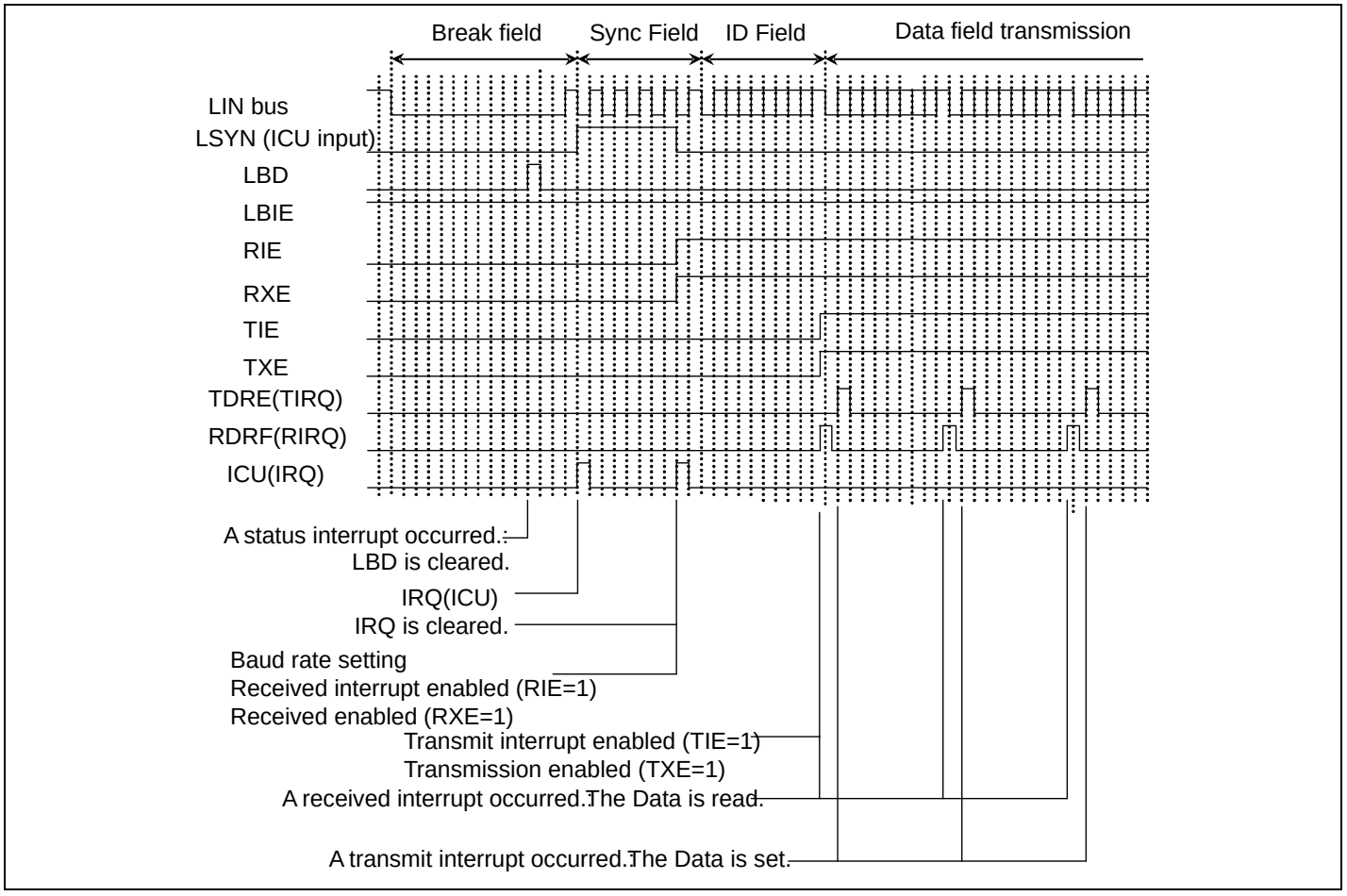
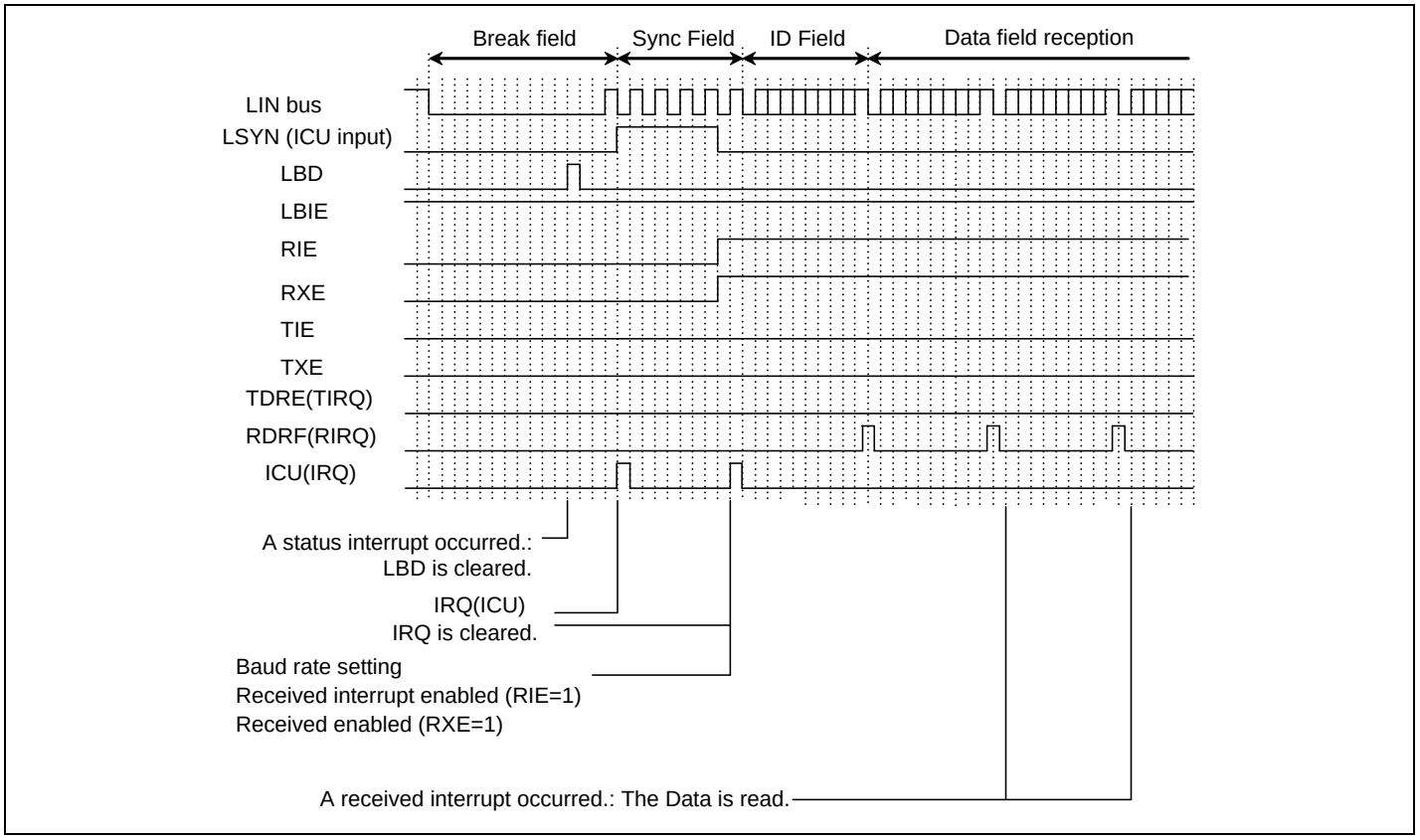


Figure 4-12 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時)



■ FIFO 使用時

Figure 4-13 LIN バスタイミング (DATA Field 送信時:FIFO 使用時)

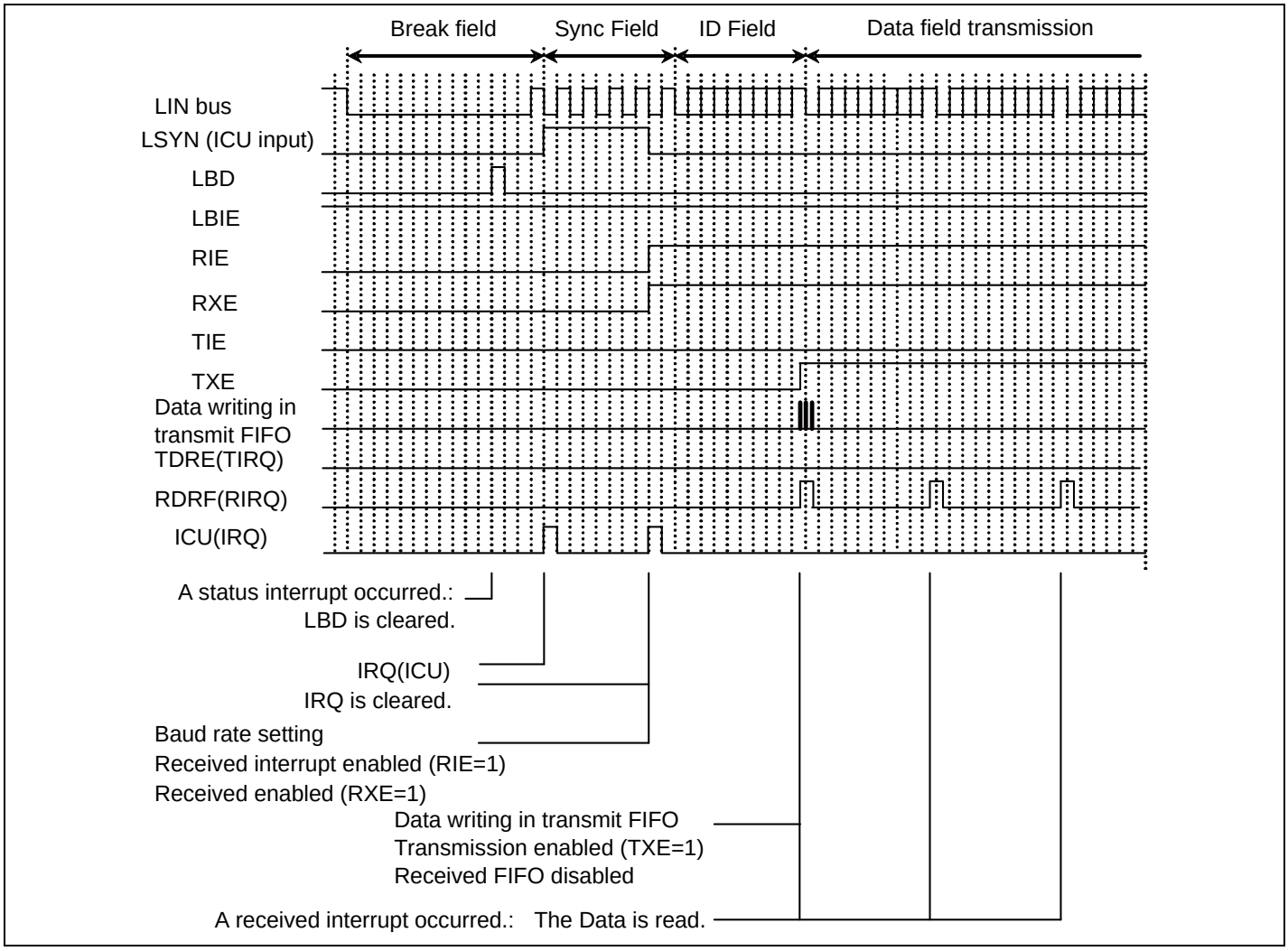
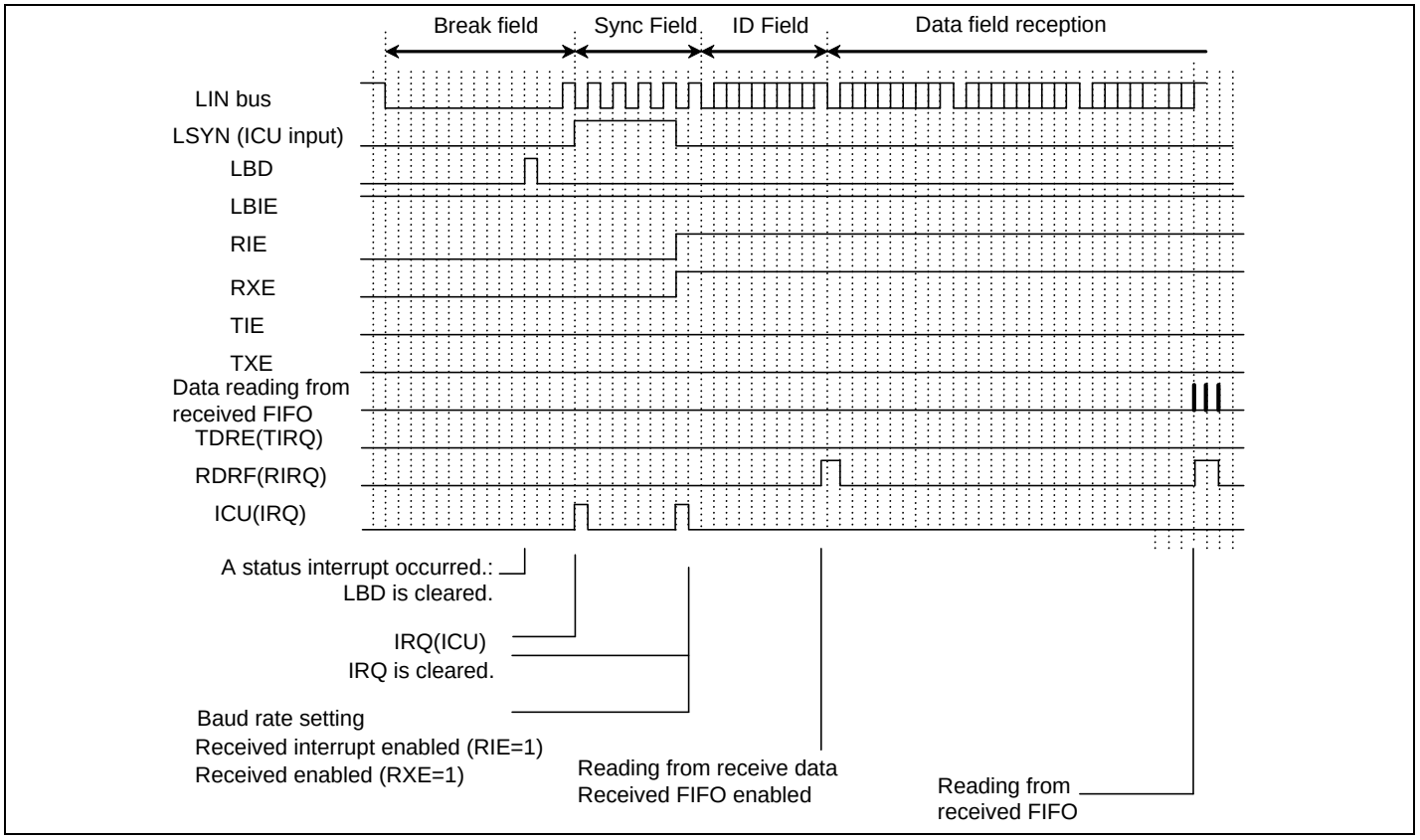


Figure 4-14 LIN バスタイミング (DATA Field 受信時:FIFO 使用時)



5. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー

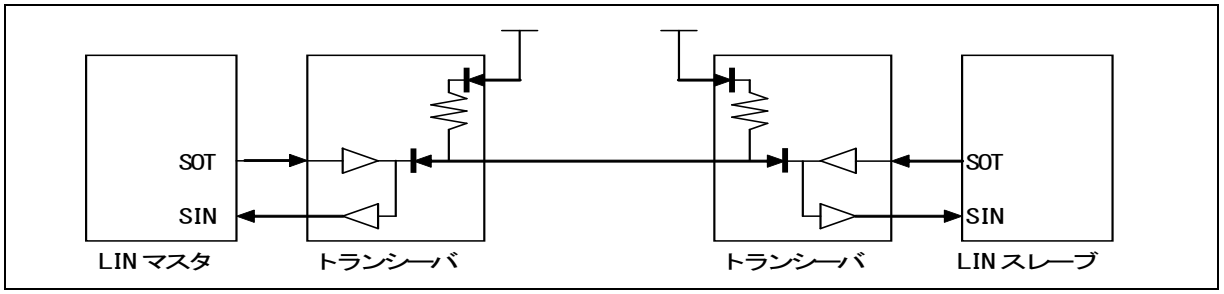
動作モード 3(LIN 通信モード)では、LIN マスタシステムもしくは、LIN スレーブシステムに使用できます。

レジスタの設定

■ CPU 間接続

1 つの LIN マスタと LIN スレーブの通信システムを Figure 5-1 に示します。LIN インタフェース(v2.1)は、LIN マスタまたは、LIN スレーブとして動作できます。

Figure 5-1 LIN バスシステムの通信例



フローチャート例

■ マスタ動作

Figure 5-2 LIN 通信マスタモードフローチャート例(FIFO 未使用)

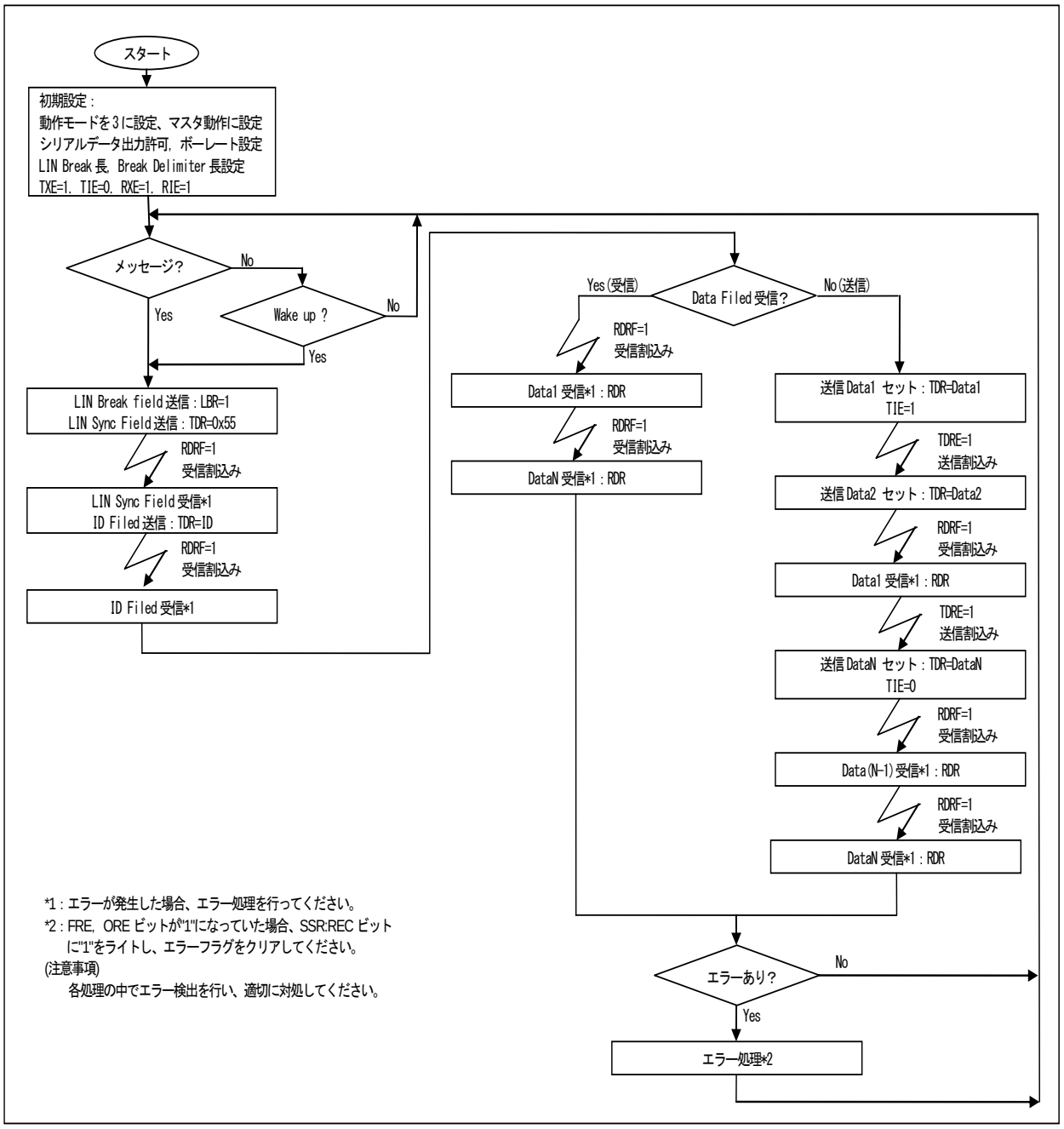
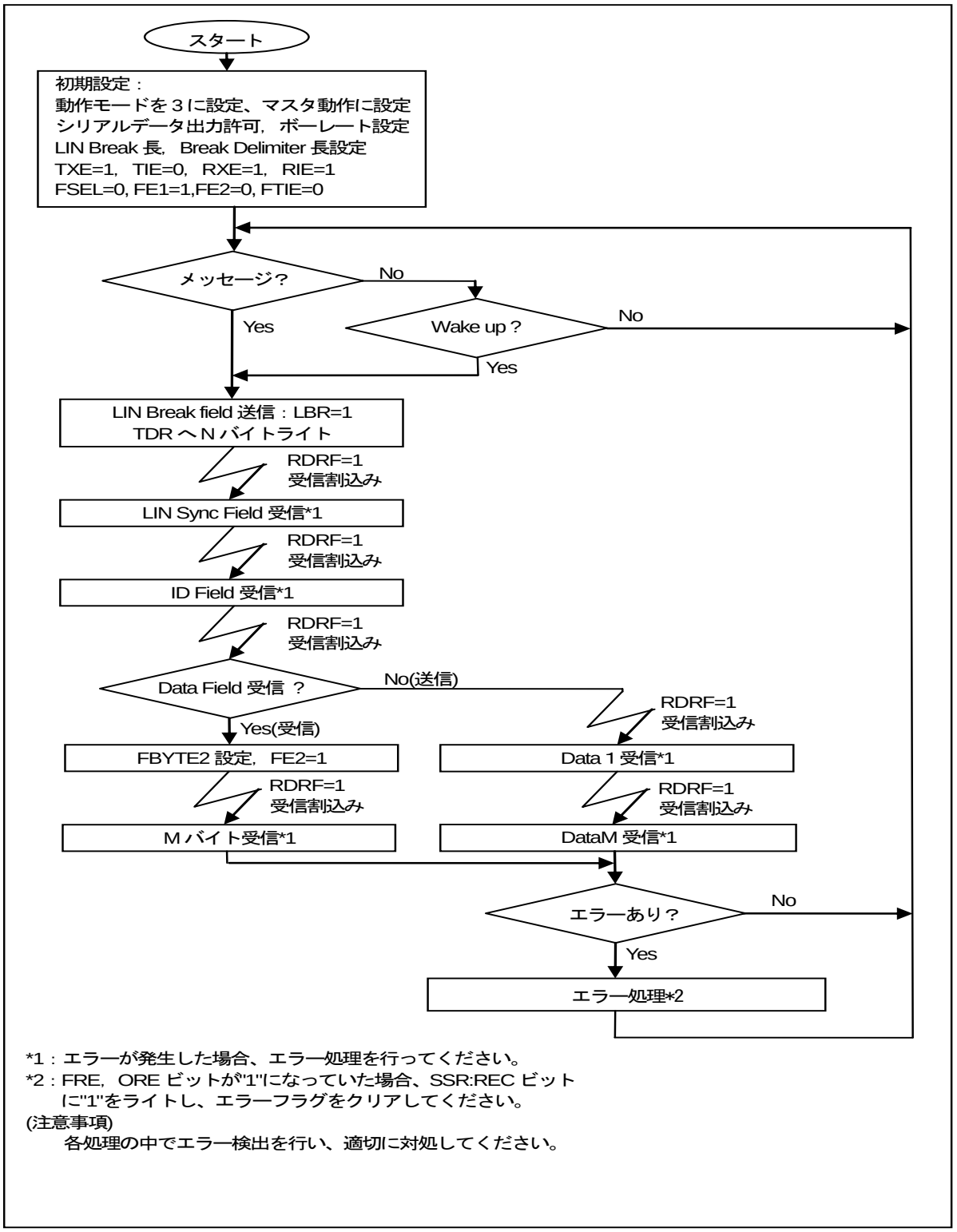


Figure 5-3 LIN 通信マスタモードフローチャート例(FIFO 使用)



*1：エラーが発生した場合、エラー処理を行ってください。
*2：FRE，ORE ビットが"1"になっていた場合、SSR:REC ビットに"1"をライトし、エラーフラグをクリアしてください。
(注意事項)
各処理の中でエラー検出を行い、適切に対処してください。

■ スレーブ動作

Figure 5-4 LIN 通信スレーブモードフローチャート例(FIFO 未使用)

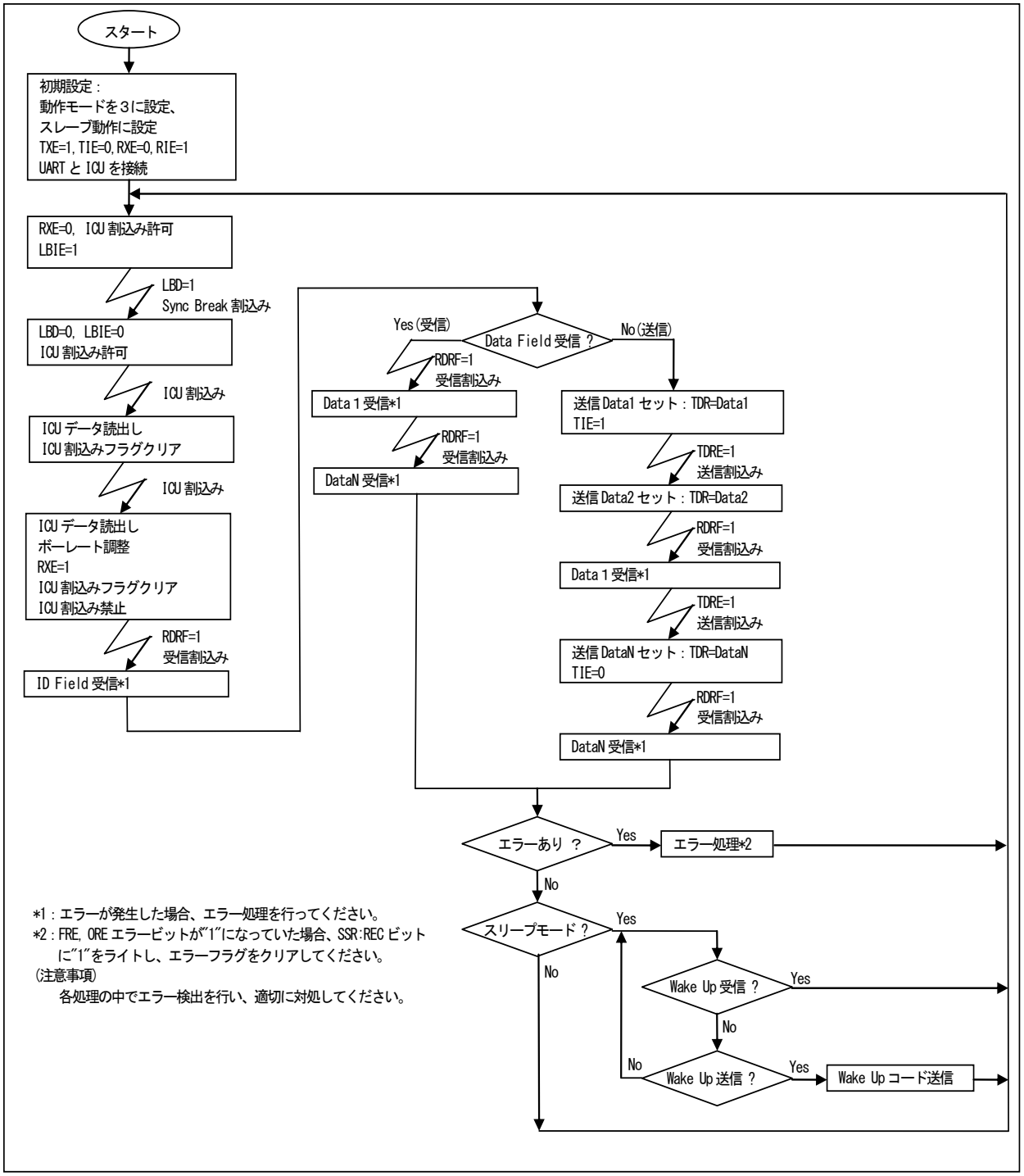
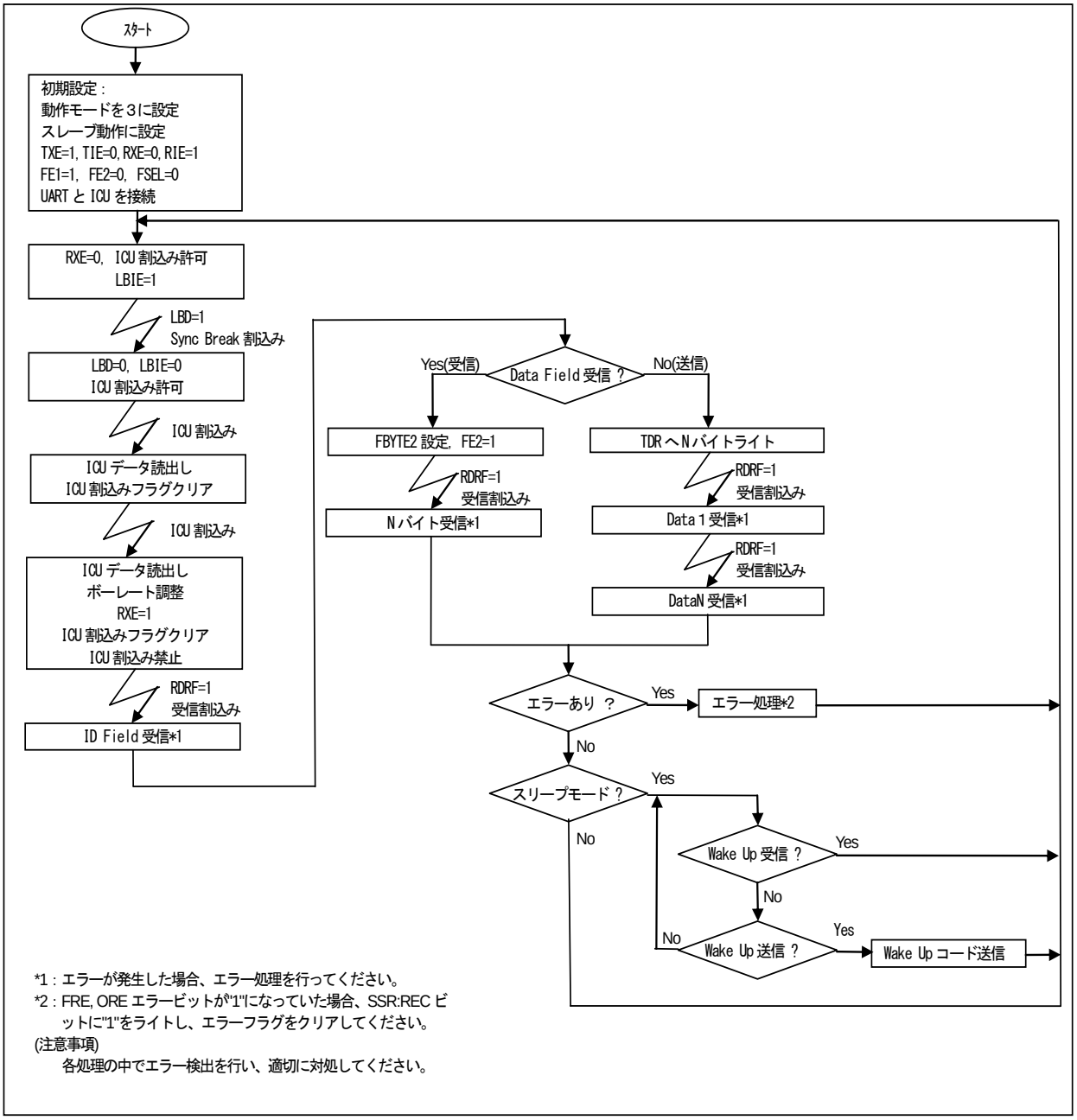


Figure 5-5 LIN 通信スレーブモードフローチャート例(FIFO 使用)



6. LIN インタフェース(v2.1)のレジスタ

LIN インタフェース(v2.1)のレジスター一覧を示します。

LIN インタフェース(v2.1)のレジスター一覧

Table 6-1 LIN インタフェース(v2.1)のレジスター一覧

	bit15 bit8	bit7 bit0
LIN インタフェース (v2.1)	SCR(シリアル制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	ESCR(拡張通信制御レジスタ)
	-	RDR/TDR(送受信データレジスタ)
	BGR1 (ボーレートジェネレータレジスタ 1)	BGR0 (ボーレートジェネレータレジスタ 0)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

Table 6-2 LIN インタフェース(v2.1)ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	WUCR	SBL	-	-	SOE
SSR/ ESCR	REC	-	LBD	FRE	ORE	RDRF	TDRE	TBI	-	ESBL	-	LBIE	LBL1	LBL0	DEL1	DEL0
TDR/ RDR	-								D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE 1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

6.1 シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止, 送信アイドル割込みの許可/禁止,送受信動作の許可/禁止の設定を行います。また、LIN Break field 生成、LIN インタフェース(v2.1)リセットの設定があります。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE	(SMR)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	-	-	0	0	0	0	0	

[bit15] UPCL : プログラマブルクリアビット

LIN インタフェース(v2.1)の内部状態を初期化するビットです。

"1"を設定した場合:

- LIN インタフェース(v2.1)を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信割込み要因(SSR:TDRE, TBI, RDRF, FRE, ORE, LBD)は初期化されます。

"0"を設定した場合:

動作に影響しません。

読出し時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	プログラマブルクリア	

<注意事項>

- *割込み禁止に設定した後に、プログラマブルクリアを実行してください。*
- *FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。*
- *受信動作から送信動作へ連続的に切り換える場合、データ受信後にプログラマブルクリアを実行してから、送信データを送信データレジスタ(TDR)に書き込んでください。*

[bit14] MS： マスタ/スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

"0"に設定した場合 ： マスタモードに設定されます。
"1"に設定した場合 ： スレーブモードに設定されます。

bit	説明
0	マスタモード
1	スレーブモード

[bit13] LBR : LIN Break field 設定ビット(マスタ動作のみ機能)

本ビットに"1"を設定した場合、ESCR:LBL1/0 ビットおよび、ESCR:DEL1/0 で設定された長さの LIN Break field と LIN Break デリミタを生成します。

読出し時:

"0"をライト: 影響しません。
"1"をライト: LIN Break field を生成します。

書込み時:

常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	LIN Break field 生成	

<注意事項>

- *マスタ動作(MS="0")のみ機能します。*
- *LIN Break field 生成中に本ビットを"1"に設定しないでください。*

[bit12] RIE： 受信割込み許可ビット

- CPU への受信割込み要求出力を許可/禁止するビットです。
- RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(SSR:FRE, ORE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE： 送信割込み許可ビット

■ CPU への送信割込み要求出力を許可/禁止するビットです。
■ TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE： 送信バスアイドル割込み許可ビット

■ CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
■ TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE： 受信動作許可ビット

LIN インタフェース(v2.1)の受信動作を許可/禁止します。

■ "0"に設定した場合 ： データフレーム受信動作が禁止されます。
■ "1"に設定した場合 ： データフレーム受信動作が許可されます。

bit	説明
0	データフレーム受信禁止
1	データフレーム受信許可

＜注意事項＞

- *受信動作許可(RXE=1)にしても、スタートビットの立下りエッジが入力されないと受信動作を開始しません。*
- *マスタ動作時、LIN Break field 送信中、受信動作が許可(RXE=1)状態でもデータは受信しません。*
- *受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。*

[bit8] TXE： 送信動作許可ビット

LIN インタフェース(v2.1)の送信動作を許可/禁止します。

■ "0"に設定した場合 ： データフレーム送信動作が禁止されます。
■ "1"に設定した場合 ： データフレーム送信動作が許可されます。

bit	説明
0	データフレーム送信禁止
1	データフレーム送信許可

＜注意事項＞

- *送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。*

6.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定, 転送方向, データ長, ストップビット長の選択およびシリアルデータ端子への出力許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	予約	SBL	予約	予約	SOE
属性		R/W	R/W	R/W	-	R/W	-	-	R/W
初期値		0	0	0	0	0	0	0	0

[bit7:5] MD2, MD1, MD0 : 動作モード設定ビット

動作モードを設定します。

"000" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010" : 動作モード 2(クロック同期モード)に設定されます。
"011" : 動作モード 3(LIN 通信モード)に設定されます。
"100" : 動作モード 4(I^2C モード)に設定されます。

本章では動作モード 3(LIN 通信モード)のレジスタおよび動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

* 本章は、動作モード 3 のレジスタおよび動作について説明します。

<注意事項>

- *上記設定以外は禁止です。*
- *動作モードを切り換える場合は、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。*
- *動作モード設定後、各レジスタを設定してください。*

[bit4] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit3] SBL : ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL="0"、ESCR:ESBL="0"に設定した場合: ストップビットは 1 ビットに設定されます。
SBL="1"、ESCR:ESBL="0"に設定した場合: ストップビットは 2 ビットに設定されます。
SBL="0"、ESCR:ESBL="1"に設定した場合: ストップビットは 3 ビットに設定されます。
SBL="1"、ESCR:ESBL="1"に設定した場合: ストップビットは 4 ビットに設定されます。

bit	説明	
0	ESCR:ESBL=0	STOP ビットは 1 ビット
	ESCR:ESBL=1	STOP ビットは 3 ビット
1	ESCR:ESBL=0	STOP ビットは 2 ビット
	ESCR:ESBL=1	STOP ビットは 4 ビット

<注意事項>

- *受信時は、常にストップビットの 1 ビット目だけを検出します。*
- *本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。*

[bit2:1] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit0] SOE : シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

<注意事項>

- *SOT 端子として使用する場合は GPIO 設定も行ってください。*

6.3 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認, 受信エラーフラグの確認, LIN Break field の検出または受信エラーフラグのクリアを行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	LBD	FRE	ORE	RDRF	TDRE	TBI	(ESCR)
属性	R/W	-	R/W	R	R	R	R	R	
初期値	0	-	0	0	0	0	1	1	

[bit15] REC： 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の FRE, ORE フラグをクリアするビットです。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	受信エラーフラグ(FRE, ORE)のクリア	

[bit14] -： 未使用ビット

読出し時: 値は不定です。
書込み時: 動作に影響しません。

[bit13] LBD : LIN Break field 検出フラグビット

LIN Break field 検出を示すビットです。
シリアル入力(SIN)が 11 ビット幅以上"L"入力されると、LBD ビットは"1"に設定されます。このとき、LIN Break field 割込み許可ビット(LBIE)が"1"に設定されていると、ステータス割込みを発生します。

(リードした場合)

"1"の場合: LIN Break field が検出されています。
"0"の場合: LIN Break field が検出されていません。

(ライトした場合)

"0"をライトした場合 : LBD ビットをクリアします。
"1"をライトした場合 : 動作に影響しません。

bit	説明	
	書込み時	読出し時
0	LBD フラグクリア	Break field なし
1	動作に影響しません	Break field あり

<注意事項>

- *リードモディファイライト命令時、"1"が読み出されます。*

[bit12] FRE： フレーミングエラーフラグビット

- 受信時にフレーミングエラーが発生した場合に"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- FRE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	フレーミングエラーなし
1	フレーミングエラーあり

[bit11] ORE： オーバランエラーフラグビット

- 受信時にオーバランが発生した場合に"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF： 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- RDR に受信データがロードされると"1"に設定されます。受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- RDRF ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ(RDR)がエンプティ
1	受信データレジスタ(RDR)にデータが存在する

[bit9] TDRE： 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
- TDRE ビットと TIE ビットが"1"の場合、送信割込み要求を出力します。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"を書き込むと TDRE ビットは"1"に設定されます。
- 送信 FIFO 使用時の TDRE ビットのセット/クリアタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI： 送信バスアイドルフラグビット

- LIN インタフェース(v2.1)が送信動作をしていないことを示すビットです。
- 送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"に設定されます。
- LIN Break field が設定(SMR:LBR=1)された場合に本ビットは"0"に設定されます。
- 送信データレジスタ(TDR)がエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。
- LIN Break field 送信が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。
- 本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

6.4 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、LIN Break field 割込みの許可/禁止, LIN Break field の検出, LIN Break field 長, Break デリミタ長の設定, ストップビット長の選択を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SSR)	予約	ESBL	-	LBIE	LBL1	LBL0	DEL1	DEL0
属性		-	R/W	-	R/W	R/W	R/W	R/W	R/W
初期値		0	0	-	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit6] ESBL : 拡張ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

bit	説明	
0	SMR:SBL=0	1 ビット
	SMR:SBL=1	2 ビット
1	SMR:SBL=0	3 ビット
	SMR:SBL=1	4 ビット

<注意事項>

- *受信時は、常にストップビットの 1 ビット目だけを検出します。*
- *本ビットは送信が禁止(TXE=0)のときに設定してください。*

[bit5] - : 未使用ビット

読出し時: 値は不定です。
書込み時: 動作に影響しません。

[bit4] LBIE : LIN Break field 検出割込み許可ビット

LIN Break field 検出割込みを許可/禁止するビットです。
LIN Break field 検出フラグ(LBD)が"1"のとき、割込みが許可(LBIE=1)されると受信割込みを発生します。

bit	説明
0	LIN Break field 検出割込み禁止
1	LIN Break field 検出割込み許可

[bit3:2] LBL1/LBL0 : LIN Break field 長選択ビット(マスタ動作のみ機能)

- これらのビットは、LIN Break field の生成時間を何ビット分とするかを設定します。
- シリアル制御レジスタ(SCR)の LBR ビットに"1"を設定(LIN Break field 送信)する前に、本ビットを設定してください。
- スレーブ動作時、LIN Break field 検出タイミングは、本ビットの設定値によらず、常に 11 ビット目で検出します。

bit3	bit2	説明
0	0	13 ビット長
0	1	14 ビット長
1	0	15 ビット長
1	1	16 ビット長

<注意事項>

- *本機能は、マスタ動作(SMR:MS="0")のみ機能します。*

[bit1:0] DEL1/DEL0 : LIN Break デリミタ長選択ビット(マスタ動作のみ機能)

- これらのビットは、LIN Break デリミタ長を何ビット分とするかを設定します。
- シリアル制御レジスタ(SCR)の LBR ビットを"1"に設定(LIN Break field 送信)する前に、本ビットを設定してください。

bit1	bit0	説明
0	0	1 ビット長
0	1	2 ビット長
1	0	3 ビット長
1	1	4 ビット長

<注意事項>

- *本機能は、マスタ動作(SMR:MS="0")のみ機能します。*

6.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。

受信データレジスタ(RDR)

bit	15	...	8	7	6	5	4	3	2	1	0
Field				D7	D6	D5	D4	D3	D2	D1	D0
属性				R	R	R	R	R	R	R	R
初期値				0	0	0	0	0	0	0	0

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

- シリアル入力端子(SIN)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合(SCR:RIE)は、受信割込み要求を発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
- 受信エラーが発生(SSR:ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効です。

<注意事項>

- *受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。*
- *受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が"0"にクリアされます。*
- *受信 FIFO 使用時に、受信エラーが発生(SSR:ORE, FRE のどちらかが"1"に設定) した場合、受信 FIFO の許可ビットはクリアされ受信信データは受信 FIFO に格納しません。*

送信データレジスタ(TDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
属性		W	W	W	W	W	W	W	W
初期値		1	1	1	1	1	1	1	1

- 送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。
- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT)から送出されます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データがシリアル送信データレジスタ(TDR)に書込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込めます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データは書き込めません。

<注意事項>

- *送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。*
- *送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。*

6.6 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXT	(BGR1)							(BGR0)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
- BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定値の読出しが可能です。
- ボーレートジェネレータレジスタ 1, 0 (BGR1, BRG0)にリロード値を書き込むとリロードカウンタはカウントを開始します。
- bit15 の EXT ビットはリロードカウンタのクロックソースを内部クロックで使用するか、外部クロックで使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。

[bit15] EXT： 外部クロック選択ビット

bit	説明
0	内部クロック使用
1	外部クロック使用

[bit14:8] BGR1： ボーレートジェネレータレジスタ 1

bit14:8	説明
ライト	リロードカウンタの bit8～bit14 に書込み
リード	BGR1 の設定値の読出し

[bit7:0] BGR0： ボーレートジェネレータレジスタ 0

bit7:0	説明
ライト	リロードカウンタの bit0～bit7 に書込み
リード	BGR0 の設定値の読出し

<注意事項>

- *ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *ボーレートジェネレータレジスタ(BGR1, BGR0)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。従って、新しい設定値を即有効にしたい場合は、BGR1/BGR0の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。*
- *リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
- *リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。*

- *ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ 1, 0(BGR1, BGR0)に"0"を書き込み、プログラムクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。*

6.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定, 送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性		-		R/W	R/W	R/W	R/W	R/W	
初期値		-		0	0	1	0	0	

[bit15:13] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FLST ビット検出を許可するビットです。

"0"に設定した場合: FLST ビット検出禁止
"1"に設定した場合: FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

- *本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。*

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- *受信 FIFO を使用する場合、本ビットを"1"に設定してください。*

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力します。

FDRQ セット条件

- FBYTE(送信用)=0　(送信 FIFO がエンプティ)
- 送信 FIFO のリセット

FDRQ クリア条件

- 本ビットへの"0"書込み
- 送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>

- *FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。*
- *本ビットが"0"のときに FSEL ビットの変更は禁止です。*
- *本ビットに"1"を設定した場合、動作に影響しません。*
- *リードモディファイライト命令時、"1"が読み出されます。*

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割当てられます。
"1"に設定した場合 : 送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>

- *本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。*
- *本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。*

6.8 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	W	R/W	R/W	R/W	R/W
初期値		-	0	0	0	0	0	0	0

[bit7] - : 未使用ビット

読出し時: 値は不定です。
書込み時: 動作に影響しません。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致している時に FIFO へ書き込んだ場合

FLST クリア条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

<注意事項>

- *本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。*
- *FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。*
- *TIE ビット TBIE ビットは"0"にしてから本ビットに"1"を書き込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを"1"にしてください。*

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
送信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合: 現在のリードポインタの値を保存します。
"0"に設定した場合: 動作に影響しません。

bit	説明
0	保存しない
1	保存実行

<注意事項>

- *送信バイト数(FBYTE)が 0 を示している時に本ビットを"1"に設定してください。*

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定することで、FIFO2 の内部状態を初期化します。
FCR1:FLST2 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

<注意事項>

- *送受信を禁止してから、FIFO2 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE2 レジスタの有効データ数は"0"に設定されます。*

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定することで、FIFO1 の内部状態を初期化します。
FCR1:FLST1 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

<注意事項>

- *送受信を禁止してから、FIFO1 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE1 レジスタの有効データ数は"0"に設定されます。*

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FIFO2 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書き込み、TIE ビットと TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO2 を送信 FIFO で使用する場合には送信バッファがエンプティ(TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書き込み、TIE ビットと TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO1 を送信 FIFO で使用する場合には送信バッファがエンプティ(TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

6.9 FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットによる設定を以下に示します。

FCR1:FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致した場合、受信データフルフラグビット(RDRF)が"1"に設定されます。
- 以下の条件を両方満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと受信データフルフラグビット(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

[bit15:8] FBYTE2: FIFO2 データ数表示ビット

[bit7:0] FBYTE1: FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時: FIFO に書き込まれ、送信されていないデータ数
受信時: FIFO に受信されたデータ数

ライト(転送数)

送信時: 0x00 設定
受信時: 受信割込み発生のデータ数設定

Table 6-3　FIFO の格納可能なデータ数について

FIFO 容量	最大 FBYTE 数	格納可能データ数
16 バイト	16	16
32 バイト	32	32
64 バイト	64	64
128 バイト	128	128

<注意事項>

- *送信 FIFO の FBYTE には"0x00"を設定してください。*
- *受信 FIFO の FBYTE は "1"以上のデータを設定してください。*
- *送受信を禁止してから変更してください。*
- *本レジスタはリードモディファイライト命令を使用できません。*
- *FIFO 容量を超えた設定は禁止です。*
- *FIFO 選択ビット(FCR1:FSEL)設定後、FIFO バイトレジスタ(FBYTE)を設定してください。*
- *FIFO 選択ビット(FCR1:FSEL)と FIFO バイトレジスタ(FBYTE)を同時に設定することはできません。*
- *送信時の FIFO データ数表示は、送信データ書込み数から 1 減算した値が有効なデータ数として表示されます。これは、TDR レジスタに送信されていないデータが存在しているときに送信データを書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。*
- *受信時の FIFO データ数表示は、受信 FIFO に受信され読み出しされていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。*

CHAPTER1-5: I2C インタフェース (I2C 通信制御インタフェース)

マルチファンクション シリアルインタフェースの動作モード 4 で

サポートしている I²C 機能について説明します。

1. I²C インタフェース(I²C 通信制御インタフェース)の概要
2. I²C インタフェースの動作
3. 専用ボーレートジェネレータ
4. I²C の通信動作フローチャート例
5. I²C インタフェースのレジスタ

管理コード: 9BFI2C-J03.0_FM15I-J05.4

1. I²C インタフェース(I²C 通信制御インタフェース)の概要

I²C インタフェース(I²C 通信制御インタフェース)は I²C バスをサポートし、I²C バス上のマスタ/スレーブデバイスとして動作します。また、送信/受信(最大各 128×9 ビット)*の FIFO を搭載しています。

I²C インタフェース(I²C 通信制御インタフェース)の機能

		機　　能
1	データバッファ	− 全二重ダブルバッファ(FIFO 未使用時) − 送信/受信 FIFO(最大各 128×9 ビット) *(FIFO 使用時)
2	シリアル入力	シリアルクロック・シリアルデータ入力に対し、バスクロックで 2 クロックまでのノイズを除去します。
3	転送モード	同期
4	ボーレート	− 専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) − 外部クロックをリロードカウンタで調節可能。
5	データ長	8 ビット
6	信号方式	NRZ(Non Return to Zero)
7	割込み要求	− 受信割込み − 送信割込み − ステータス割込み・ICU への割込み要求 − 送信 FIFO 割込み (送信 FIFO がエンプティのとき) − 送受信 DMA 転送サポート機能あり
8	I²C	− マスタ/スレーブ送受信機能 − 調停機能 − クロック同期機能 − 伝送方向検出機能 − 反復スタート条件の発生と検出機能 − バスエラー検出機能 − ゼネラルコールアドレッシング機能 − マスタおよびスレーブとしての 7 ビットアドレッシング − 伝送およびバスエラー時に割込み発生可能 − 10 ビットアドレッシング機能は、プログラムで対応可能
9	FIFO	− 送受信 FIFO 搭載(最大容量:送信 FIFO 128×9 ビット, 受信 FIFO 128×9 ビット)* − 送信 FIFO と受信 FIFO を選択可能 − 送信データ再送可能 − 受信 FIFO 割込みタイミングをソフトウェアで可変可能 − 独立して FIFO リセットサポート

* : FIFO 容量はご使用する製品により容量サイズが異なります。

2. I²C インタフェースの動作

2.1 I²C インタフェースの割込み

I²C インタフェースの割込みは、次に示す要因で割込み要求を発生させられます。

- 第 1 バイト送受信後/データ送受信後
- ストップ条件
- 反復スタート条件
- FIFO 送信データ要求
- FIFO 受信データ完了

I²C インタフェースの割込み

I²C インタフェースの割込み制御ビットと割込み要因を Table 2-1 に示します。

Table 2-1 I²C インタフェースの割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
ステータス	INT	IBCR	第 1 バイト送受信後[*1] (SSR:DMA=1 のマスタ動作の場合は除く)	IBCR:INTE	割込みフラグビット(IBCR:INT)への"0"書込み
			データ送受信後[*1] (SSR:DMA=0 の場合)		
			バスエラー検出(EIBCR.BCE=0)		
			アービトレーションロスト検出		
			予約アドレス検出		
			NACK 受信		
			スレーブ受信動作時の受信 FIFO フル (SSR:DMA=0 の場合)		受信 FIFO がエンプティになるまで受信データ読出し後、IBCR:INT への"0"書込み
	SPC	IBSR	ストップ条件	IBCR:CNDE	SPC への"0"書込み
	RSC		反復スタート検出		RSC への"0"書込み
受信	RDRF	SSR	予約アドレス受信	SMR:RIE	受信データレジスタ(RDR)の読出し
			データ受信後		
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE="1"で受信アイドル検出		
	ORE	SSR	オーバランエラー		受信エラーフラグビット(SSR:REC)への"1"書込み

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
送信	TDRE	SSR	送信データレジスタがエンプティ 送信バッファエンプティフラグセットビット(SSR:TSET)への"1"書込み	SMR:TIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *2
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビットへの"0"書込みまたは送信 FIFO がフル
	TBI (SSR: DMA=1)	SSR	送信動作なし 送信バッファエンプティフラグセットビット(SSR:TSET)への"1"書込み	SCR:TBIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *3

*1 : 正常なデータを送受信できSSR:TDREが"0"の場合、割込みは発生しません。これはDMA転送をサポートするためです。
データ送受信時にIBCR:INTフラグを発生させたい場合にはIBCR:INTフラグがセットされるタイミングより前にSSR:TDREビットが"1"である必要があります。

*2 : SSR:TDREビットが"0"になってからSMR:TIEビットを"1"にしてください。

*3 : SSR:TBIビットが"0"になってからSSR:TBIEビットを"1"にしてください。

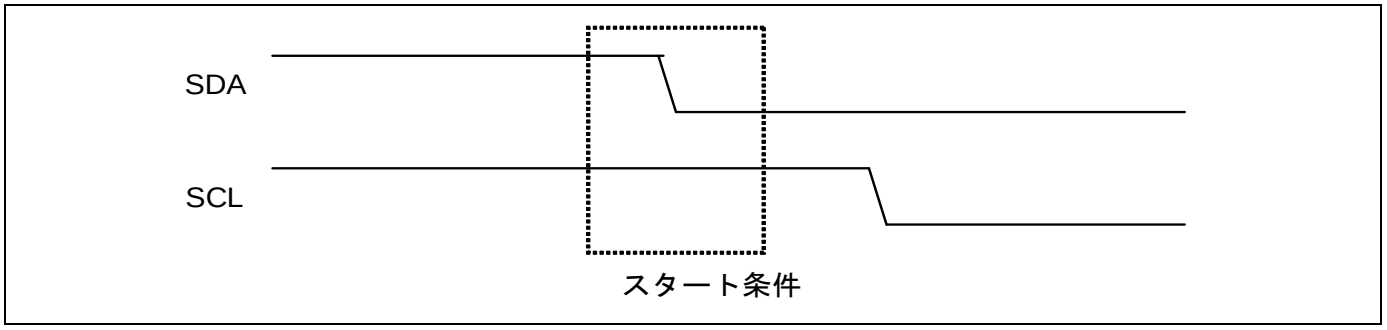
2.2 I²C バスの動作

I²C インタフェースは、2 本の双方向バスライン, シリアルデータライン(SDA)およびシリアルクロックライン(SCL)を使用して通信を行います。

I²C バススタート条件

I²C バスの起動条件を以下に示します。

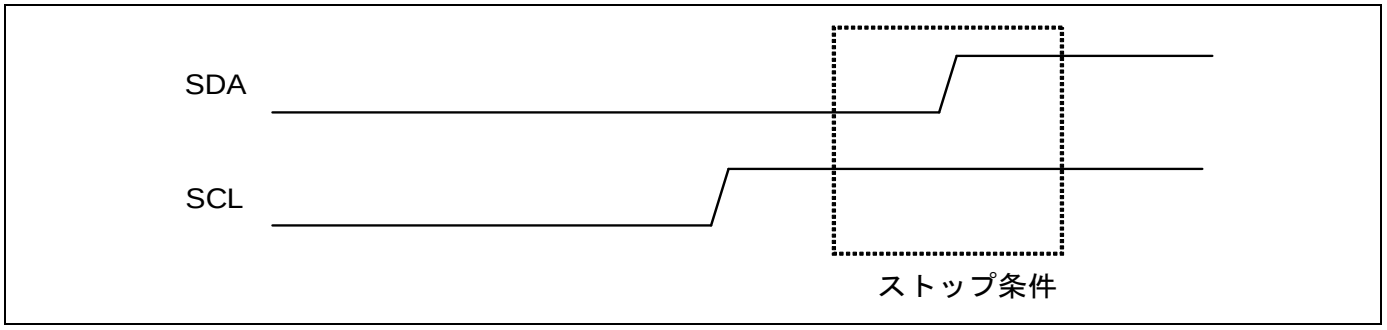
Figure 2-1 スタート条件



I²C バスストップ条件

I²C バスのストップ条件を以下に示します。

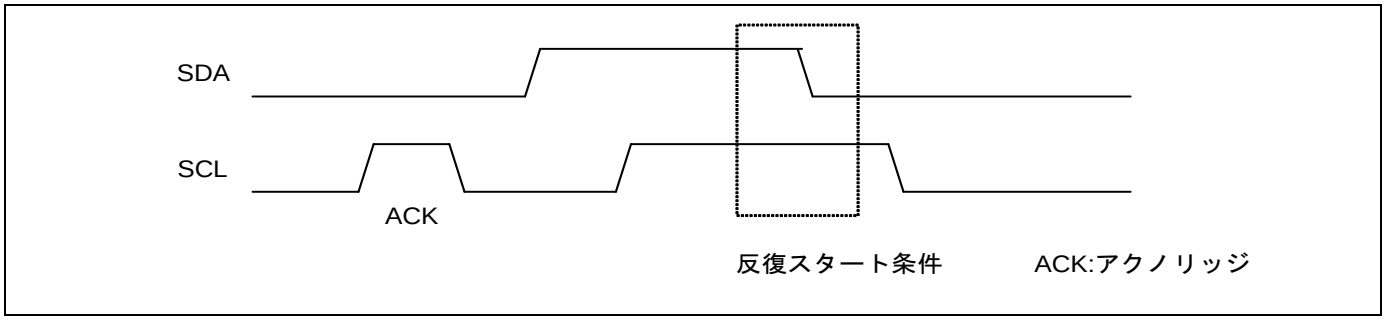
Figure 2-2 ストップ条件



I²C バス反復スタート条件

I²C バスの反復スタート条件を以下に示します。

Figure 2-3 反復スタート条件



2.3 マスタモード

マスタモードは、I²C バスにスタート条件を発生させ、I²C バスにクロックを出力します。I²C バスがアイドル状態(SCL="H", SDA="H")のとき、IBCR レジスタの MSS ビットに"1"を設定するとマスタモードになり、IBCR レジスタの ACT ビットが"1"になります。

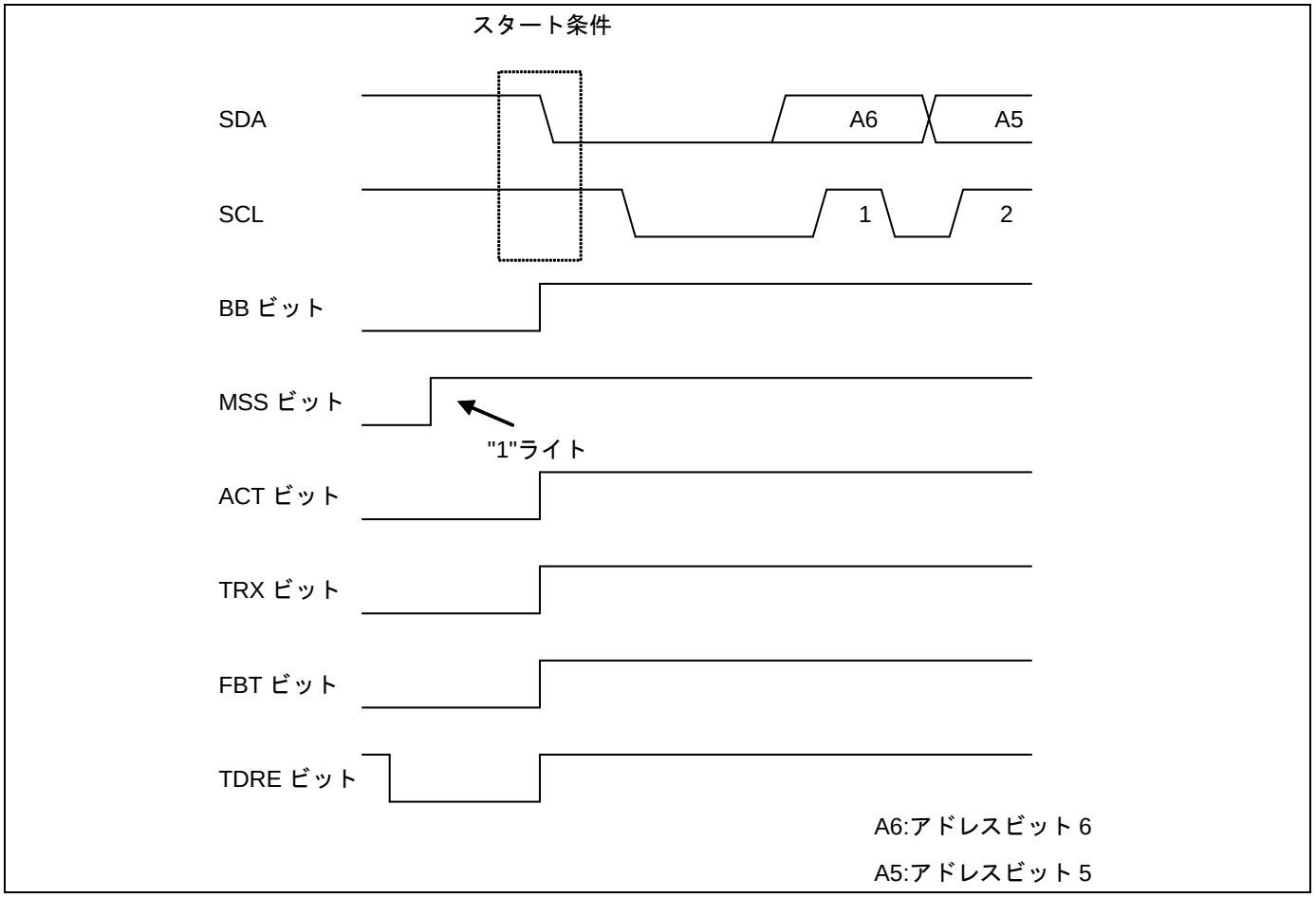
2.3.1 スタート条件生成

以下の条件でスタート条件が出力されます。

- SDA="H", SCL="H", ISMK:EN="1", IBSR:BB="0"のとき、IBCR:MSS ビットへ"1"書込み

I²C バスへスタート条件を出力すると IBCR:ACT ビットに"1"をセットします。その後、スタート条件を受信すると IBSR:BB ビットが"1"に設定され、I²C バスは通信中であることを示します(Figure 2-4 を参照してください)。

Figure 2-4 スタート条件出力および各ビットの関係



<注意事項>

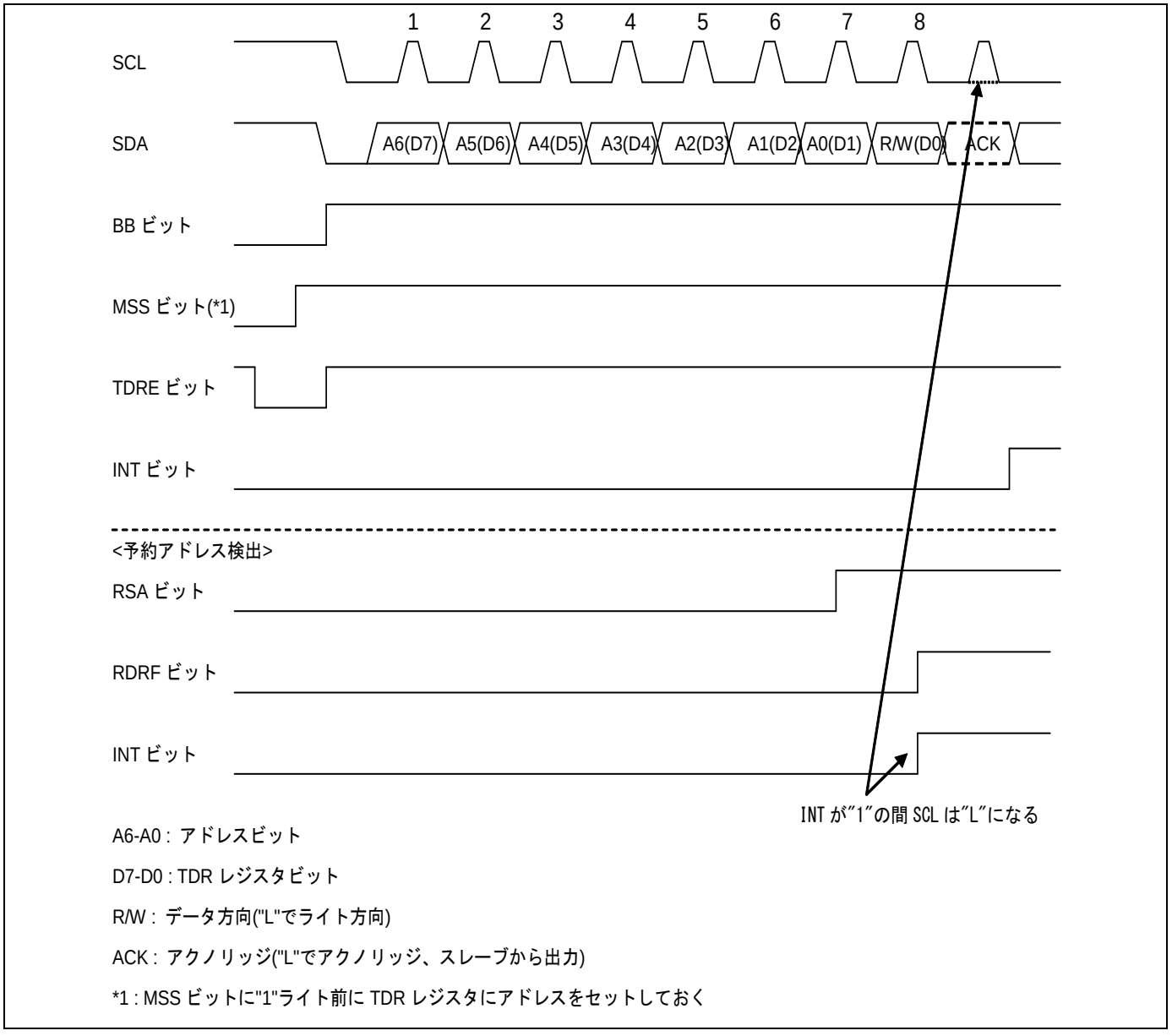
- *動作モード 4(I²C モード)ではバスクロックは 8MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。*

2.3.2 スレーブアドレス出力

スタート条件を出力すると、TDR レジスタに設定されたデータを bit7 からアドレスとして出力します。FIFO 許可の場合、最初に書いた TDR レジスタのデータを出力します。bit0 はデータ方向ビット(R/W)として使用され、データ方向ビット(R/W)が"0"のとき、データはライト方向(マスタ→スレーブ)を示します。TDR レジスタへのアドレス設定は、IBCR:MSS="1"または IBCR:SCC="1"を書く前に行ってください。

アドレスおよびデータ方向の出力タイミングについて Figure 2-5, Figure 2-6 に示します。

Figure 2-5 アドレスおよびデータ方向(FIFO 禁止の場合)



A6-A0 : アドレスビット

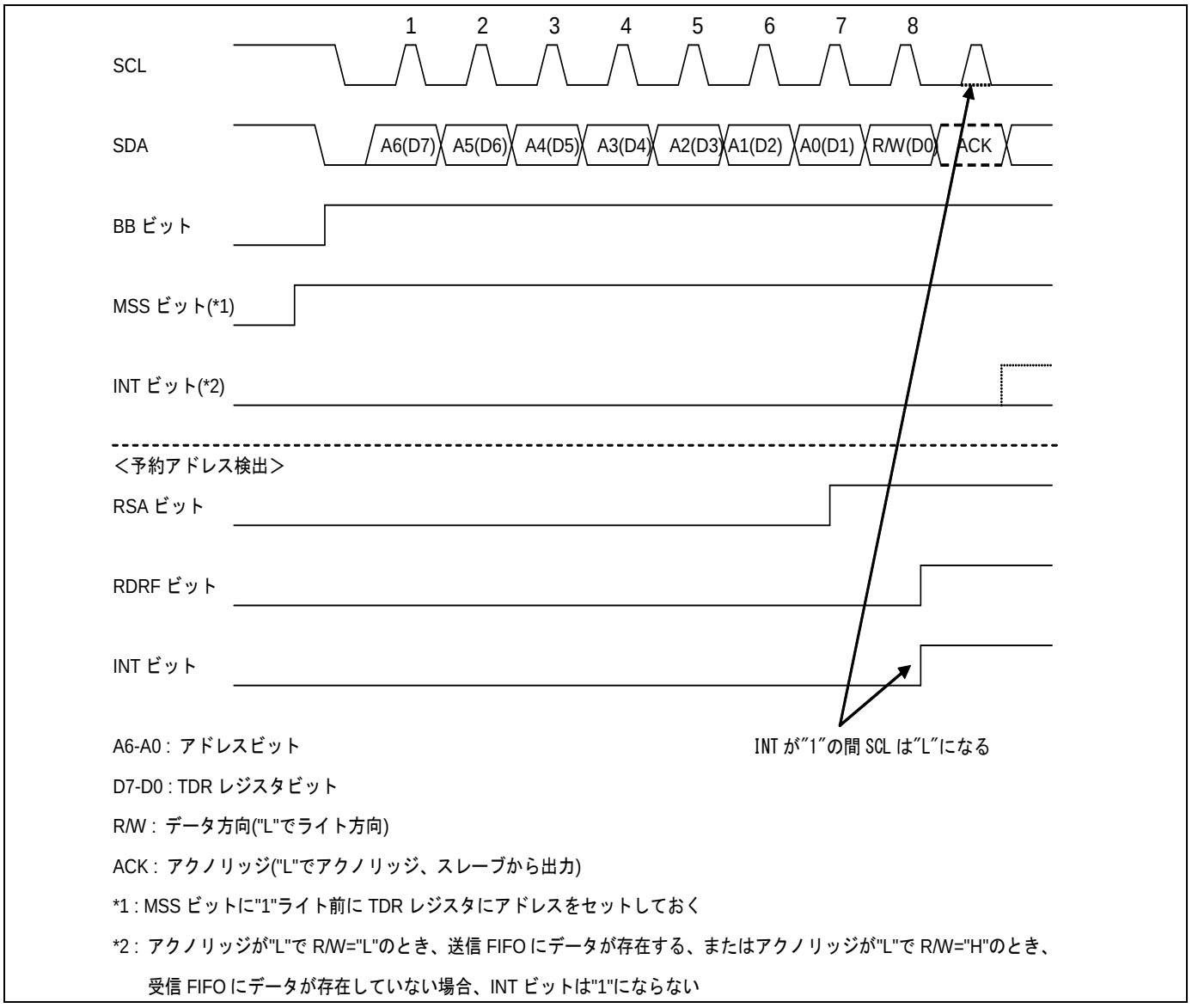
D7-D0 : TDR レジスタビット

R/W : データ方向("L"でライト方向)

ACK : アクノリッジ("L"でアクノリッジ、スレーブから出力)

*1 : MSS ビットに"1"ライト前に TDR レジスタにアドレスをセットしておく

Figure 2-6 アドレスおよびデータ方向(送受信 FIFO 許可)



A6-A0 : アドレスビット

D7-D0 : TDR レジスタビット

R/W : データ方向("L"でライト方向)

ACK : アクノリッジ("L"でアクノリッジ、スレーブから出力)

*1 : MSS ビットに"1"ライト前に TDR レジスタにアドレスをセットしておく

*2 : アクノリッジが"L"で R/W="L"のとき、送信 FIFO にデータが存在する、またはアクノリッジが"L"で R/W="H"のとき、受信 FIFO にデータが存在していない場合、INT ビットは"1"にならない

2.3.3 第 1 バイト送信によるアクノリッジ受信

データ方向ビット(R/W)を出力すると I²C インタフェースは、スレーブからのアクノリッジを受信します。FIFO 許可と FIFO 禁止の動作を以下に示します。

Table 2-2 DMA モード禁止時のアクノリッジ受信後の動作
(IBSR:RSA ビット="0", SSR:DMA ビット="0")

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが"1"の場合 IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
				1		
禁止	許可	-	データなし	0	SSR:TDRE ビットが"1"の場合 IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"の場合 IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	
許可	禁止	-	-	0	SSR:TDRE ビットが"1"の場合 IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
				1		
許可	許可	-	データなし	0	SSR:TDRE ビットが"1"の場合 IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"の場合 IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	

Table 2-3 DMA モード許可時のアクノリッジ受信後の動作
(IBSR:RSA ビット="0", SSR:DMA ビット="1")

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット(R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが"1"の場合 SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、SSR:TBI ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
				1		
禁止	許可	-	データなし	0	SSR:TDRE ビットが"1"の場合 SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、SSR:TBI ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"の場合 SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、SSR:TBI ビットは"0"のままでウェイトなし	
許可	禁止	-	-	0	SSR:TDRE ビットが"1"の場合 SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、SSR:TBI ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
				1		
許可	許可	-	データなし	0	SSR:TDRE ビットが"1"の場合 SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、SSR:TBI ビットは"0"のままでウェイトなし	IBCR:INT ビットを"1"にしてウェイト
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"の場合 SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、SSR:TBI ビットは"0"のままでウェイトなし	

DMA モード禁止時(SSR:DMA=0)

■ FIFO 禁止(送信 FIFO, 受信 FIFO 両方とも禁止)

- IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、SSR:TDRE ビットが"1"の場合割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。ウェイトは割込みフラグに"0"を書くと割込みフラグが"0"になってウェイトを解除します。SSR:TDRE ビットが"0"の場合 ACK を受信すれば割込みフラグを"1"に設定せずに SCL にクロックを発生します。
- IBSR:RSA ビットが"1"の場合、予約アドレス受信後(アクノリッジ前)、割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。RDR レジスタ読出し後、IBCR:ACKE ビット, 送信データを設定し、割込みフラグに"0"を書くと割込みフラグが"0"になってウェイトを解除します。

- 受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し、NACK の場合、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

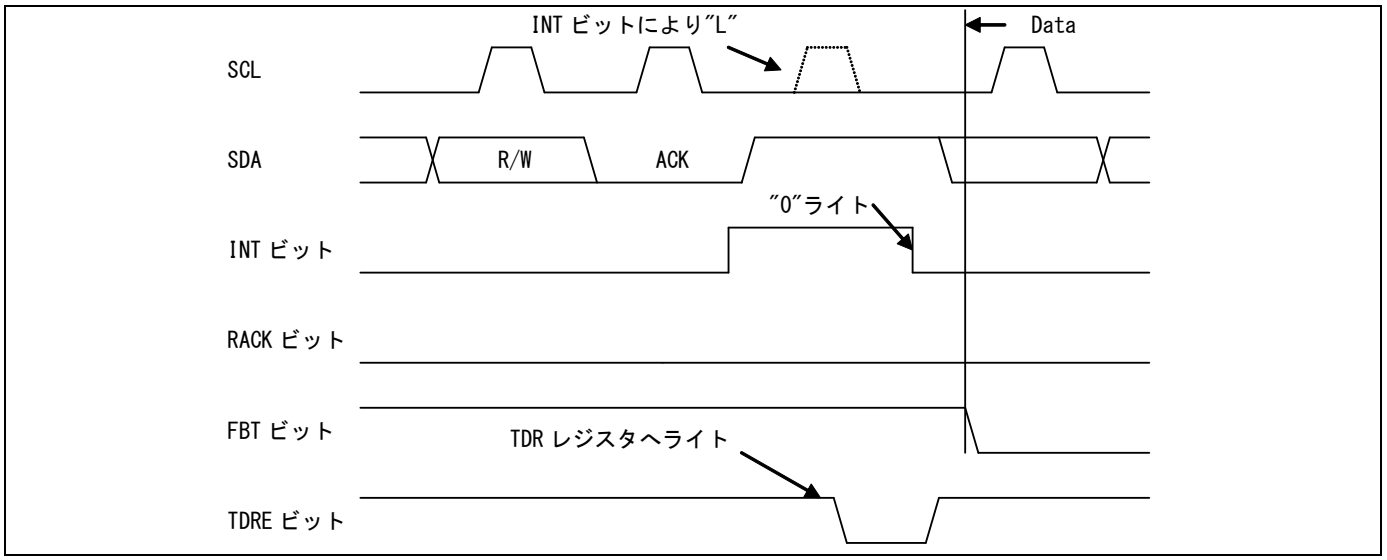
■ FIFO 許可
- IBCR:MSS ビットに"1"を設定する前に FIFO に以下の設定をする必要があります。
  - スレーブへ送信する場合(データ方向ビット="0")、スレーブアドレスなどを含むデータを送信 FIFO に設定
  - スレーブからデータを受信する場合(データ方向ビット="1")、FIFO バイト数レジスタに受信数を設定し、スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う
- IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、ACK の場合、割込みフラグ(IBCR:INT)は"1"に設定せず、データ方向ビットにしたがってデータを送受信します(ウェイトなし)。NACK の場合、割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。
- 受信したアクノリッジは IBSR:RACK ビットに格納されます。ウェイト中に IBSR:RACK ビットを確認し、NACK の場合、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

DMA モード許可時(SSR:DMA=1)

■ FIFO 禁止(送信 FIFO, 受信 FIFO 両方とも禁止)
- IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、SSR:TDRE ビットが"1"の場合、送信バスアイドルフラグ(SSR:TBI)を"1"に設定し、SCL を"L"に保持してウェイトします。ウェイトは TDR レジスタに送信するデータを書き込むと送信バスアイドルフラグが"0"になってウェイトを解除します。SSR:TDRE ビットが"0"の場合、ACK を受信すれば送信バスアイドルフラグ(SSR:TBI)を"1"に設定せずに SCL にクロックを発生します。
- IBSR:RSA ビットが"1"の場合、予約アドレス受信後(アクノリッジ前), 割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。RDR レジスタ読出し後、IBCR:ACKE ビット, 送信データを設定し、割込みフラグに"0"を書き込むと割込みフラグが"0"になってウェイトを解除します。
- 受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し、NACK の場合、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書き込んでストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

■ FIFO 許可
- IBCR:MSS ビットに"1"を設定する前に FIFO に以下の設定をしてください。
  - スレーブへ送信する場合(データ方向ビット="0")、スレーブアドレスなどを含むデータを送信 FIFO に設定
  - スレーブからデータを受信する場合(データ方向ビット="1")、FIFO バイト数レジスタに受信数を設定し、スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う
- IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、ACK の場合、割込みフラグ(IBCR:INT)は"1"に設定せず、データ方向ビットにしたがってデータを送受信します(ウェイトなし)。NACK の場合、割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。
- 受信したアクノリッジは IBSR:RACK ビットに格納されます。ウェイト中に IBSR:RACK ビットを確認し、NACK の場合、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

Figure 2-7 アクノリッジ(FIFO 禁止, IBSR:RSA="0", ACK 応答の場合)



アドレスに対するウェイトを以下に示します。

- IBSR:RSA ビットが"0"の場合、アクノリッジ受信後
- IBSR:RSA ビットが"1"の場合、アクノリッジ受信前

IBCR:WSEL の設定には依存しません。

Figure 2-8 アクノリッジ(FIFO 禁止, IBSR:RSA="0", NACK 応答の場合)

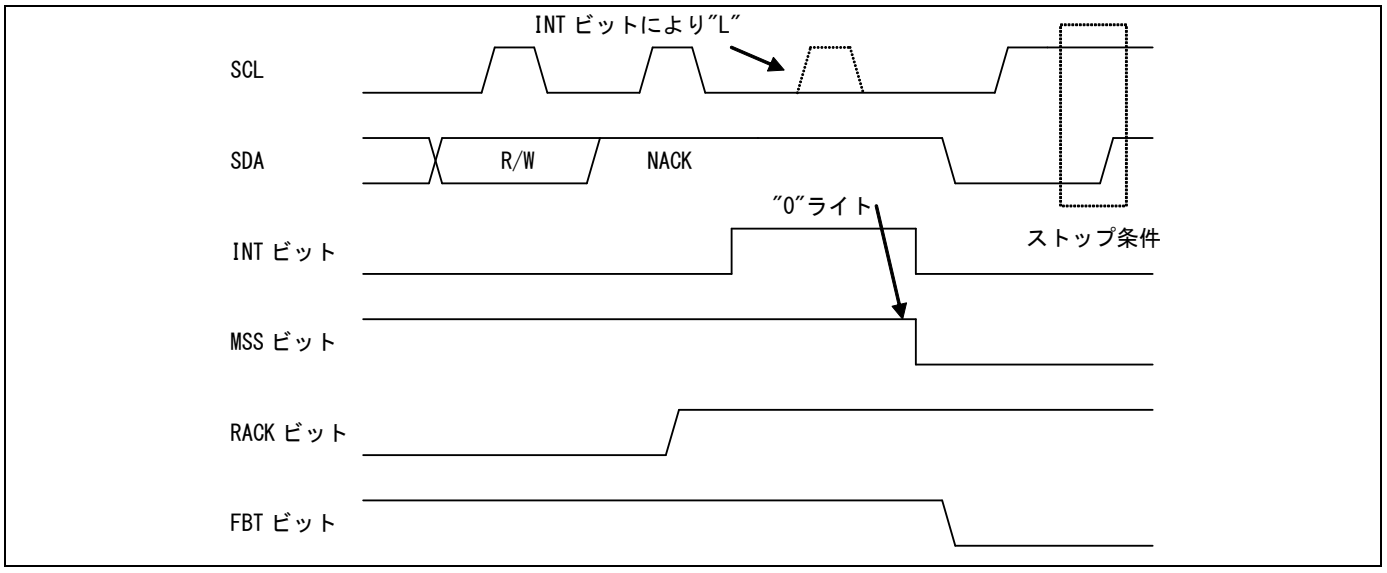


Figure 2-9 アクノリッジ(FIFO 禁止, IBSR:RSA="1", ACK 応答の場合)

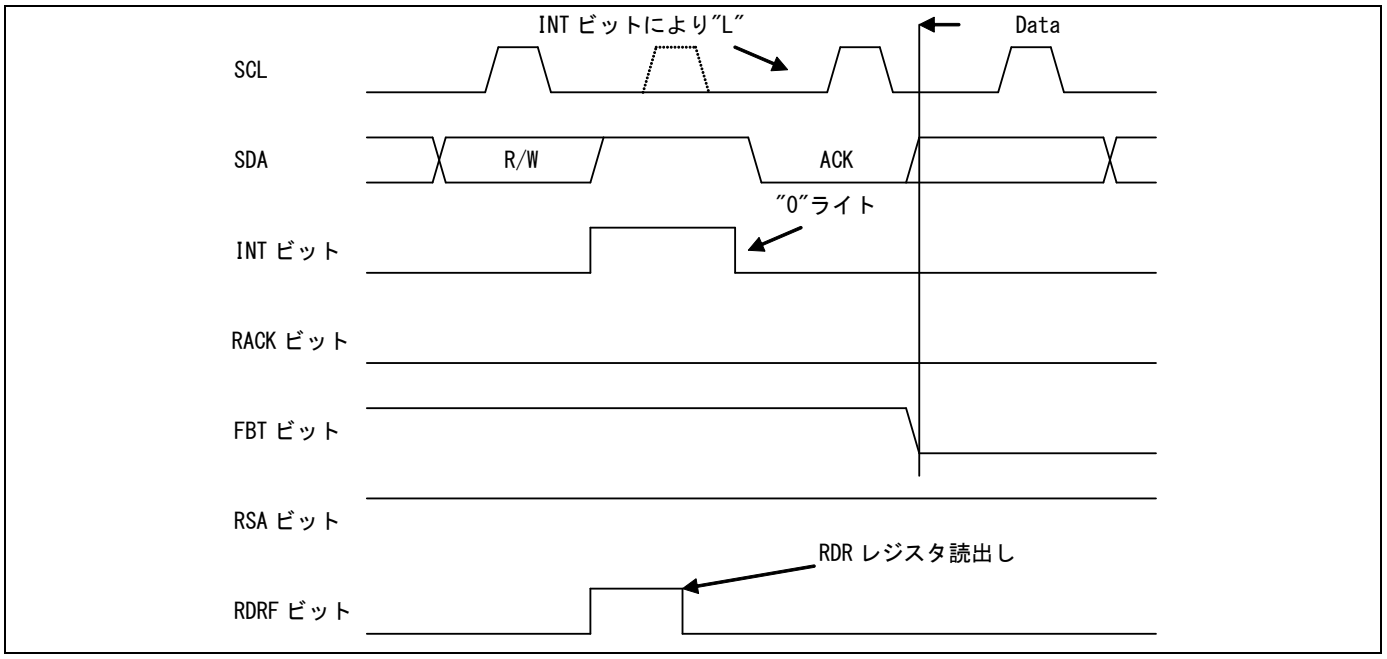


Figure 2-10 アクノリッジ(FIFO 禁止, IBSR:RSA="1", NACK 応答の場合)

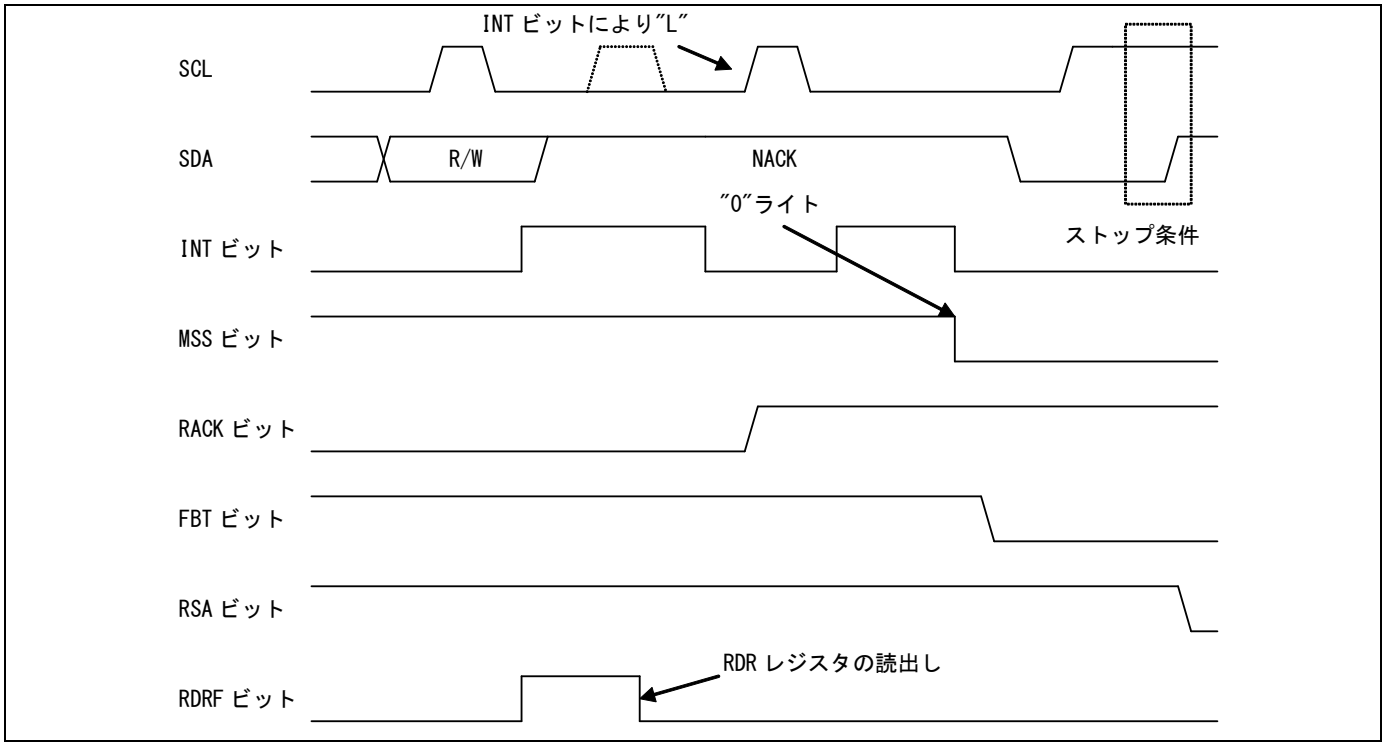
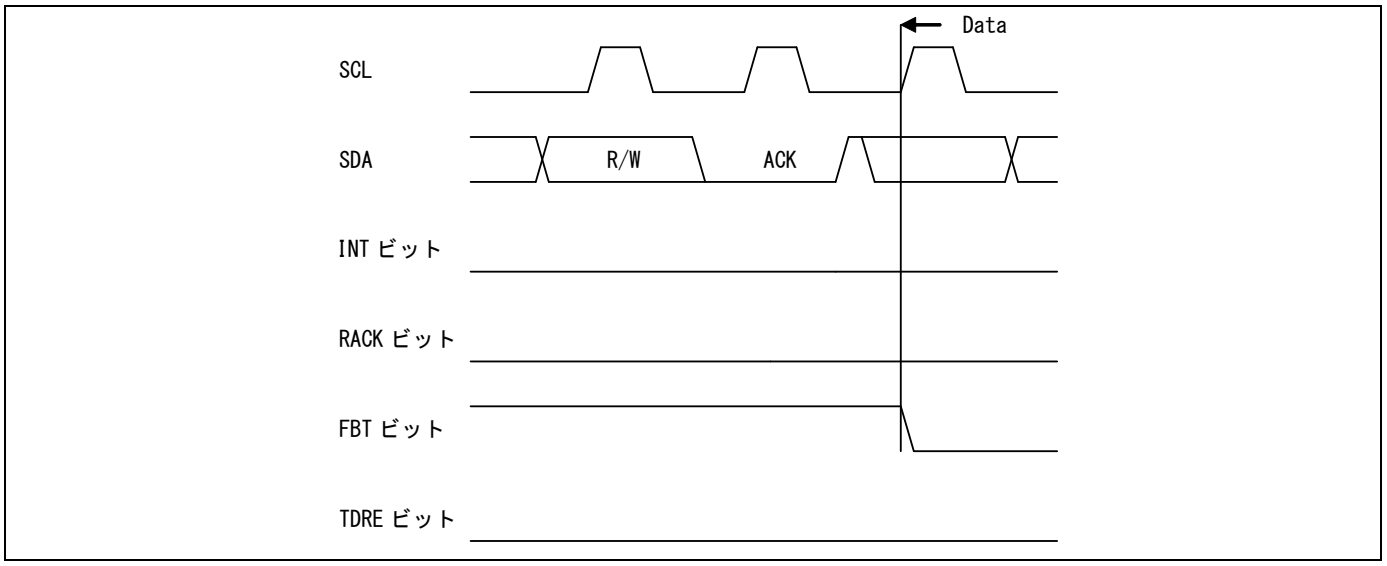


Figure 2-11 アクノリッジ(FIFO 許可，送信 FIFO データあり，受信 FIFO データなし, IBSR:RSA=0, ACK 応答の場合)



2.3.4 マスタによるデータ送信

データ方向ビット(R/W)が"0"の場合、データはマスタから送信します。1 バイト送信ごとにスレーブから ACK または NACK の応答があります。

IBCR:WSEL ビットの設定によってウェイトの発生する場所を以下に示します。

Table 2-4 DMA モード禁止時(SSR:DMA=0)のマスタデータ送信時の IBCR:WSEL ビット

WSEL ビット	動作
0	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが"1"またはアービトレーションロスト検出でアクノリッジ後、割込みフラグ(IBCR:INT)を"1"、SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにアクノリッジ後割込みフラグ(IBCR:INT)を"1"にしてウェイト状態にします。
1	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが"1"またはアービトレーションロスト検出でマスタが 1 バイトのデータを送信後、割込みフラグ(IBCR:INT)"1"、SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにデータ送信後、割込みフラグ(IBCR:INT)を"1"にしてウェイト状態にします。

Table 2-5 DMA モード許可時(SSR:DMA=1)のマスタデータ送信時の IBCR:WSEL ビット

WSEL ビット	動作
0	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を"1"、SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> 送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を"1"にしてウェイト状態にします。
1	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを送信後、送信バスアイドルフラグ(SSR:TBI)を"1"、SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> 送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにマスタが 1 バイトのデータを送信後、送信バスアイドルフラグ(SSR:TBI)を"1"にしてウェイト状態にします。

ただし、以下の場合、IBCR:WSEL の設定に依存せずにアクノリッジ後に割込みフラグ(IBCR:INT)をセットします。

- ストップ条件設定(IBCR:MSS=0, ACT=1)時以外に NACK を受信した場合

スレーブへデータを送信する場合の手順の一例を以下に示します。

2.3.4.1 DMA モード禁止時(SSR:DMA=0)のスレーブへのデータ送信

1. 予約アドレス以外への送信の場合

■ 送信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。
2. Slave Address 送信後 ACK を受信し、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. TDR レジスタに送信するデータを書きます。
4. IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。
5. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を送信するまで 3.～5.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し、バスをウェイトします。
6. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

■ 送信 FIFO が許可されている場合

1. Slave Address(データ方向ビットも含む)、送信データを TDR レジスタに書きます。
2. IBCR:WSEL ビット設定と共に IBCR:MSS ビットに"1"を書きます。
3. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にし I^2C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグを"1"にして I^2C バスをウェイトします。
4. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

2. 予約アドレスへの送信の場合

■ 送信 FIFO が禁止されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに送信するデータを書きます。
5. IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。
6. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を送信するまで 4.～6.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し、バスをウェイトします。
7. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

■ 送信 FIFO が許可されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに全送信データ(送信 FIFO がフルとなる場合にはその状態になるまで)を書きます。

5. 送信中にNACK受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にしI²Cバスをウェイトします。すべてACK応答を受信した場合、最終バイト送信後IBCR:WSELの設定にしたがって割込みフラグを"1"にしてI²Cバスをウェイトします。
6. IBCR:MSSビットに"0"またはIBCR:SCCビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

*1：以下のいずれかの条件を満たす場合、IBCR:ACKEビットを"1", IBCR:WSELビットを"1"にして次のデータでマスタとして動作するのか、スレーブとして動作するのか確認する必要があります。

- マルチマスタで予約アドレスがゼネラルコールの場合
- アービトレーションロストが発生してスレーブとして動作する可能性がある場合

2.3.4.2 DMA モード許可時(SSR:DMA=1)のスレーブへのデータ送信

1. 予約アドレス以外への送信の場合

■ 送信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。
2. Slave Address 送信後 ACK を受信し、送信バスアイドルフラグ(SSR:TBI)が"1"に設定されます。
3. TDR レジスタに送信するデータを書き込み、I²C バスのウェイトを解除します。
4. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグ(SSR:TBI)を"1"にして I²C バスをウェイトします。
5. TDR レジスタに送信するデータを書き込み、I²C バスのウェイトを解除します。
6. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを"1"にして I²C バスをウェイトします。所定のデータ数を送信するまで 5.～6.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が"1"になり、バスをウェイトします。
7. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定*2 し、ストップ条件または反復スタート条件を発生させます。

■

■ 送信 FIFO が許可されている場合

1. Slave Address(データ方向ビットも含む)、送信データを TDR レジスタに書き込みます。
2. IBCR:WSEL ビット設定と共に IBCR:MSS ビットに"1"を書きます。
3. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にし I²C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって送信バスアイドルフラグ(SSR:TBI)を"1"にして I²C バスをウェイトします。
4. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定*2 し、ストップ条件または反復スタート条件を発生させます。

2. 予約アドレスへの送信の場合

■ 送信 FIFO が禁止されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書き込みます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに送信するデータを書き込みます。
5. IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に"0"を書込み、I²C バスのウェイトを解除します。
6. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを"1"にして I²C バスをウェイトします。
7. TDR レジスタに送信するデータを書き込み、I²C バスのウェイトを解除します。
8. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを"1"にして I²C バスをウェイトします。所定のデータ数を送信するまで 7.～8.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が"1"になり、バスをウェイトします。
9. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定*2 し、ストップ条件または反復スタート条件を発生させます。

■ 送信 FIFO が許可されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書き込みます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに全送信データ(送信 FIFO がフルとなる場合にはその状態になるまで)を書き込みます。
5. 送信中にNACK受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にしI²Cバスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を"1"にして I²C バスをウェイトします。
6. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定*2 し、ストップ条件または反復スタート条件を発生させます。

*1 : 以下のいずれかの条件を満たす場合、IBCR:ACKE ビットを"1", IBCR:WSEL ビットを"1"にして次のデータでマスタとして動作するのか、スレーブとして動作するのか確認してください。

- マルチマスタで予約アドレスがゼネラルコールの場合
- アービトレーションロストが発生してスレーブとして動作する可能性がある場合

*2 : DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、以下の手順を行ってください。

1. IBCR:INT ビットに"1"を書き込んでください。
2. IBCR:INT ビットが"1"に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. IBCR:SCC ビットに"1"を設定してください。

<注意事項>

- *7 ビットスレーブアドレスの検出を許可しているとき(ISBA:SAEN="1")にマスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。*
- *送受信中にIBCR レジスタを変更する場合、割込みフラグ(IBCR:INT)が"1"のときに変更してください。*
- *IBCR:WSEL ビットを変更した場合、次のデータの割込みフラグ(IBCR:INT)およびDMA モードが許可時(SSR:DMA=1)での送信バスアイドルフラグ(SSR:TBI)の発生条件に使用されます。*
- *データ送信中で SSR:TDRE が"1"のときに TDR レジスタへ送信データを書き込み、ACK 応答を検出した場合、以下のように動作します。*
  - *DMA モードが禁止時(SSR:DMA=0)、割込みフラグ(IBCR:INT)は"1"にならずにその書き込まれたデータが送信されます。*
  - *DMA モード許可時(SSR:DMA=1)、送信バスアイドルフラグ(SSR:TBI)は"1"にならずにその書き込まれたデータが送信されます。*
- *データ受信中にSSR:TDRE が"1"のときにTDR レジスタへ送信データを書き込みACK 応答した場合、以下のように動作します。*
  - *DMA モード禁止時(SSR:DMA=0)、割込みフラグ(IBCR:INT)は"1"にならずに SSR:RDRF のみ"1"に設定されます(受信 FIFO 許可の場合、FBYTE レジスタの設定分受信した場合)。*
  - *DMA モード許可時(SSR:DMA=1)、送信バスアイドルフラグ(SSR:TBI)は"1"にならずに SSR:RDRF のみ"1"に設定されます(受信 FIFO 許可の場合、FBYTE レジスタの設定分受信した場合)。*

Figure 2-12 FIFO 禁止によるマスタの割込み 1(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生

- TDR レジスタに送信データ書込み後、INT="0"書込み

② 1 バイト送信+アクノリッジ受信により、割込み発生

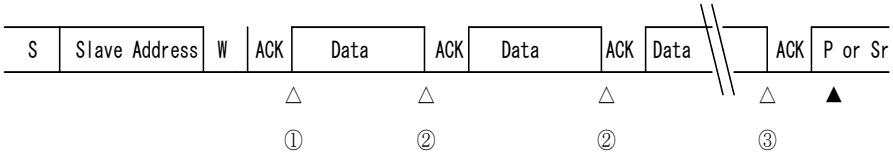
- TDR レジスタに送信データ書込み後、INT="0"書込み

③ 1 バイト送信+アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-13 FIFO 禁止によるマスタ送信の割込み 2(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", ACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生

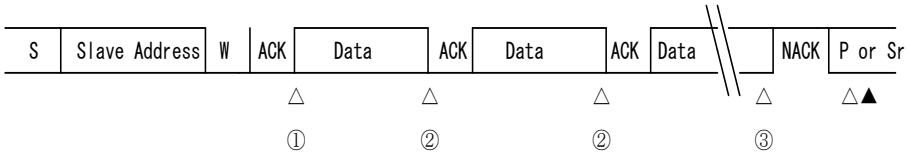
- TDR レジスタに送信データを書込み後、INT="0"書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-14 FIFO 禁止によるマスタ送信の割込み 3(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生

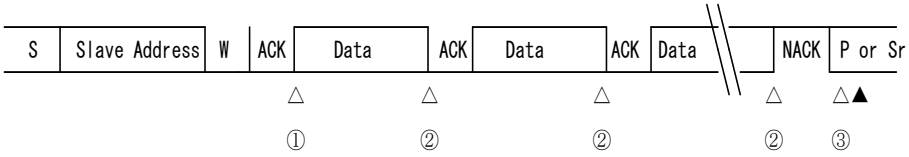
- TDR レジスタに送信データを書込み後、INT="0"書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-15 FIFO 禁止によるマスタ送信の割込み 4(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", 途中 NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生

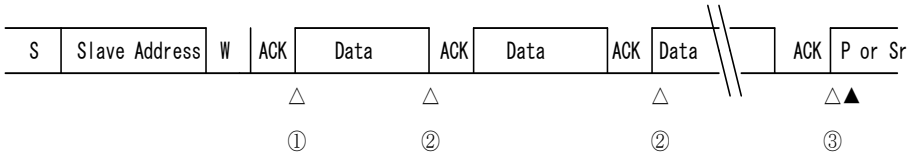
- TDR レジスタに送信データを書込み後、INT="0"書込み

③ NACK 応答により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-16 FIFO 禁止によるマスタ送信の割込み 5(SSR:DMA="0", IBCR:WSEL="1"->"0", IBSR:RSA="0", ACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- 送信バッファに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生

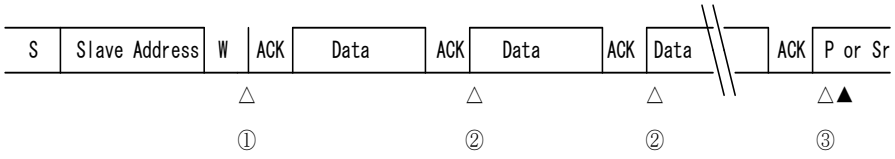
- 送信バッファに送信データを書込み後、WSEL="0", INT="0"書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-17 FIFO 禁止によるマスタの割込み 6(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① スレーブアドレス(予約アドレス)送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信＋アクノリッジ受信により、割込み発生

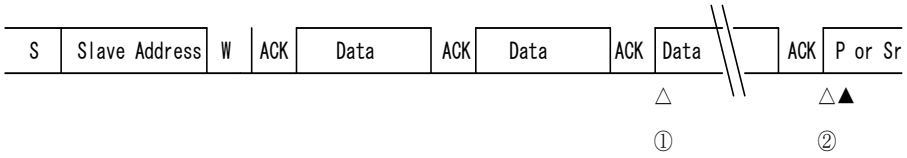
- TDR レジスタに送信データを書込み後、INT="0"書込み

③ 1 バイト送信＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-18 FIFO 許可によるマスタ送信の割込み 7(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

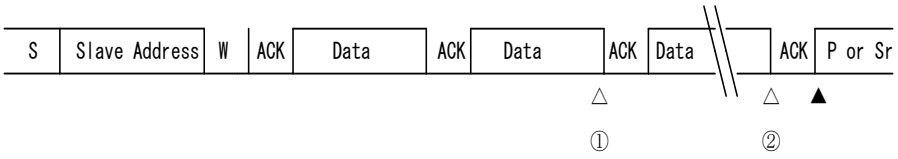
① 送信 FIFO がエンプティにより割込み発生

- 送信 FIFO に送信データを書込み後、INT="0"書込み

② 最終バイト送信(送信 FIFO がエンプティ)＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

Figure 2-19 FIFO 許可によるマスタ送信の割込み 8(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

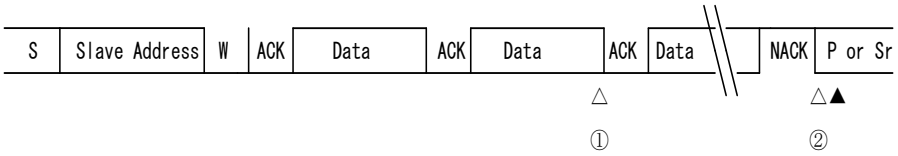
① 送信 FIFO がエンプティにより、割込み発生

- 送信 FIFO に送信データを書込み後、INT="0"書込み

② 最終バイト送信(送信 FIFO がエンプティ)により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

Figure 2-20 FIFO 許可によるマスタ送信の割込み 9(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

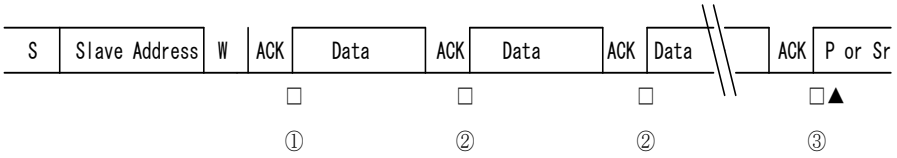
① 送信 FIFO がエンプティにより、割込み発生

- 送信 FIFO に送信データを書込み後、INT="0"書込み

② NACK 応答により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

Figure 2-21 FIFO 禁止によるマスタの割込み 10(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

▲ ： CNDE="1"による割込み

□ ： TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データ書込み

② 1 バイト送信＋アクノリッジ受信により、割込み発生

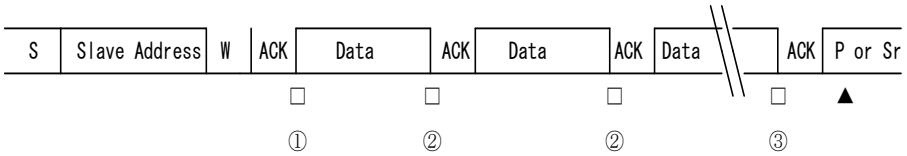
- TDR レジスタに送信データ書込み

③ 1 バイト送信＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(TBI)発生時、TDRE ビットは"1"

Figure 2-22 FIFO 禁止によるマスタ送信の割込み 11(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", ACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み

② 1 バイト送信により、割込み発生

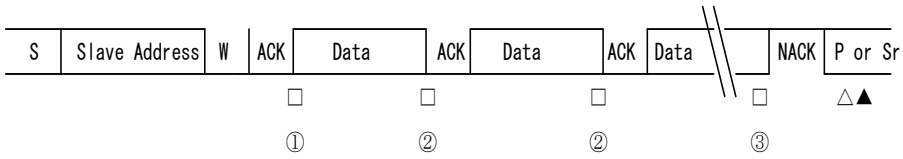
- TDR レジスタに送信データを書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-23 FIFO 禁止によるマスタ送信の割込み 12(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み

② 1 バイト送信により、割込み発生

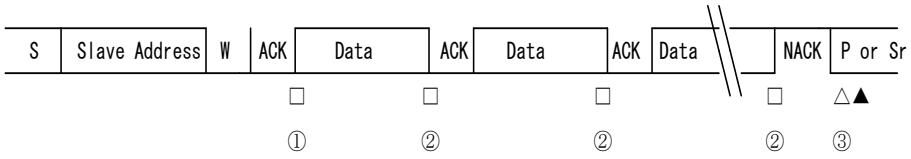
- TDR レジスタに送信データを書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT, TBI)発生時、TDRE ビットは"1"

Figure 2-24 FIFO 禁止によるマスタ送信の割込み 13(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", 途中 NACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み

② 1 バイト送信により、割込み発生

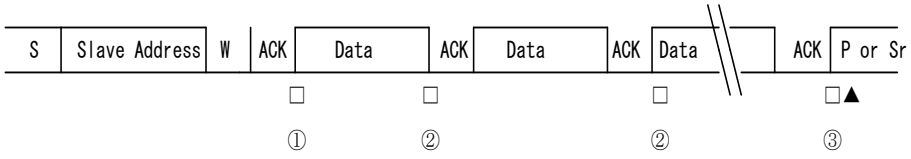
- TDR レジスタに送信データを書込み

③ NACK 応答により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT, TBI)発生時、TDRE ビットは"1"

Figure 2-25 FIFO 禁止によるマスタ送信の割込み 14(SSR:DMA="1", IBCR:WSEL="1"->"0", IBSR:RSA="0", ACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生

- 送信バッファに送信データを書込み

② 1 バイト送信により、割込み発生

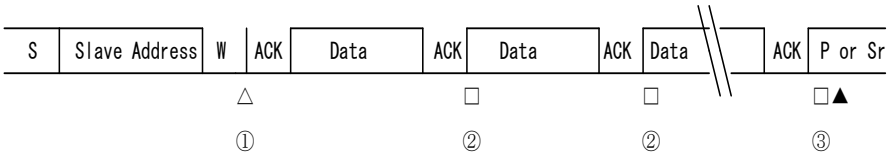
- WSEL="0"書込み後、送信バッファに送信データを書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(TBIE)発生時、TDRE ビットは"1"

Figure 2-26 FIFO 禁止によるマスタの割込み 15(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス(予約アドレス)送信+方向ビット送信+アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信+アクノリッジ受信により、割込み発生

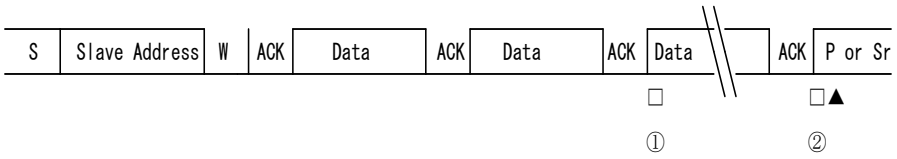
- TDR レジスタに送信データを書込み

③ 1 バイト送信+アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT、TBI)発生時、TDRE ビットは"1"

Figure 2-27 FIFO 許可によるマスタ送信の割込み 16(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

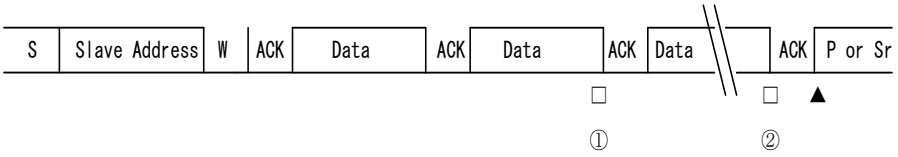
① 送信 FIFO がエンプティにより割込み発生

- 送信 FIFO に送信データを書込み

② 最終バイト送信(送信 FIFO がエンプティ)+アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

Figure 2-28 FIFO 許可によるマスタ送信の割込み 17(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

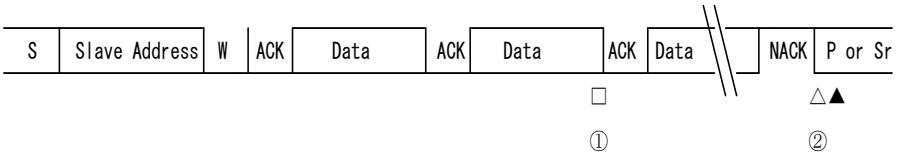
① 送信 FIFO がエンプティにより、割込み発生

- 送信 FIFO に送信データを書込み

② 最終バイト送信(送信 FIFO がエンプティ)により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

Figure 2-29 FIFO 許可によるマスタ送信の割込み 18(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TDRE="1"による割込み

① 送信 FIFO がエンプティにより、割込み発生

- 送信 FIFO に送信データを書込み

② NACK 応答により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

2.3.5 マスタによるデータ受信

DMA モードが禁止の場合(SSR:DMA=0)

データ方向ビット(R/W)が"1"の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは以下のように動作します。

- SSR:TDRE ビットが"1"の場合、1 バイト受信ごとにウェイトを発生(IBCR:INT="1", SSR:RDRF="1")します。このとき、IBCR:WSEL ビットが"1"の場合、ウェイト前、IBCR:WSEL ビットが"0"の場合、ウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
- SSR:TDRE ビットが"0"の場合、IBCR レジスタの ACKE ビットの設定で ACK 応答の場合、ウェイトは発生せず(IBCR:INT="0")に次のデータを受信し、NACK 応答の場合、ウェイトが発生します (IBCR:INT="1")。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信したとき、SSR:RDRF ビットが"1"に設定されます。割込みフラグは SSR:TDRE ビットが"1"のときに"1"に設定され、I²C バスをウェイトします。このとき、アクノリッジは以下のように動作します。なお、NACK 出力した場合でも受信データとして受信 FIFO に格納します。

- IBCR:WSEL="0"の場合、SSR:TDRE ビットが"1"になると ACKE ビットの設定で NACK の場合 NACK 応答します。
- IBCR:WSEL="1"の場合、最終バイト受信後に割込みフラグを"1"に設定され、ウェイトが発生します。そのウェイト中に IBCR:ACKE ビットを設定し、割込みフラグを"0"にクリアした後、IBCR:ACKE の設定にしたがって ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

Table 2-6 DMA モードが禁止時(SSR:DMA=0)のマスタデータ受信時の IBCR:WSEL ビット

WSEL ビット	動作
0	第 2 バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、割込みフラグ(IBCR:INT)を"1"、SCL を"L"にしてウェイト状態にします。
1	第 2 バイト以降、SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを受信後、割込みフラグ(IBCR:INT)を"1"、SCL を"L"にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

■ 受信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書き込みます。
2. Slave Address 送信後 ACK を受信し、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. IBCR:WSEL ビット更新と共に割込みフラグビット(IBCR:INT)に"0"を書込み、I²C バスのウェイトを解除します。
4. 1 バイト受信後 IBCR:WSEL="0"の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直後割込みフラグを"1"にして I²C バスをウェイトします。所定のデータ数を受信するまで 3.～4.を繰り返します。
5. 最終データ受信後、NACK を出力し、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

■ 送受信 FIFO が許可されている場合

1. FBYTE レジスタに受信数を設定します。
2. Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書き込みます。
3. IBCR:MSS ビットに"1"を書き込みます。
4. SSR:TDRE ビットが"0"の間、ACK 応答し、受信し続けます。その受信中に FBYTE に設定数分受信した場合、SSR:RDRF を"1"にします。SSR:RDRF が"1"になったところで RDR レジスタを読み出します。
5. SSR:TDRE ビットが"1"になると IBCR:WSEL="0"の場合 NACK 出力後、IBCR:WSEL="1"の場合 1 バイト受信直後割込みフラグを"1"にして I²C バスをウェイトします。
6. IBCR:WSEL="1"の場合、IBCR:ACKE ビットを"0"に設定し、IBCR:WSEL="0"の場合 IBCR:ACKE ビットの設定は必要なく、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

DMA モードが許可の場合(SSR:DMA=1)

データ方向ビット(R/W)が"1"の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは以下のように動作します。

- SSR:TDRE ビットが"1"の場合、1 バイト受信ごとにウェイトを発生(SSR:TBI="1", SSR:RDRF="1")します。このとき、IBCR:WSEL ビットが"1"の場合、ウェイト前、IBCR:WSEL ビットが"0"の場合、ウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
- SSR:TDRE ビットが"0"の場合、1 バイト受信ごとにウェイトを発生(SSR:RDRF="1")します。このとき、IBCR:WSEL ビットが"1"の場合、ウェイト前、IBCR:WSEL ビットが"0"の場合、ウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信したとき、SSR:RDRF ビットがセットされます。送信バスアイドルフラグ(SSR:TBI)は SSR:TDRE ビットが"1"のときに設定し、I²C バスをウェイトします。このとき、アクノリッジは以下のように動作します。なお、NACK 出力した場合でも受信データとして受信 FIFO に格納します。

- IBCR:WSEL="0"の場合、SSR:TDRE ビットが"1"になると ACKE ビットの設定で NACK の場合 NACK 応答します。
- IBCR:WSEL="1"の場合、最終バイト受信後ウェイト(SSR:TBI="1")が発生するためそのウェイト中に IBCR:ACKE ビットを設定し、送信バスアイドルフラグ(SSR:TBI)をクリア後、IBCR:ACKE の設定にしたがって ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

Table 2-7 DMA モードが許可時(SSR:DMA=1)のマスタデータ受信時の IBCR:WSEL ビット

WSEL ビット	動作
0	第 2 バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を"1"、SCL を"L"にしてウェイト状態にします。 第 2 バイト以降、受信 FIFO 未使用時にアクノリッジ後に受信データフルフラグ(SSR:RDRF)が"1"セットされている場合、SCL を"L"にしてウェイト状態にします。
1	第 2 バイト以降、SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを受信後、割込みフラグ(SSR:TBI)を"1"、SCL を"L"にしてウェイト状態にします。 第 2 バイト以降、受信 FIFO 未使用時に受信データフルフラグ(SSR:RDRF)が"1"に設定されるとデータ受信後、SCL を"L"にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

■ 受信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書き込みます。
2. Slave Address 送信後 ACK を受信し、送信バスアイドルフラグ(SSR:TBI)が"1"に設定されます。
3. TDR レジスタに送信するデータを書き込み、I²C バスのウェイトを解除します。
4. 1 バイト受信後、以下の条件で送信バスアイドルフラグ(SSR:TBI)および受信データフルフラグ(SSR:RDRF)*2 を"1"にして I²C バスをウェイトします。
   - IBCR:WSEL="0"の場合アクノリッジ送信後
   - IBCR:WSEL=1 の場合 1 バイト受信直後
5. IBCR:WSEL ビット更新し、RDR レジスタを読み出し、ダミーのデータを TDR レジスタに書き込みます。
6. 1 バイト受信後、以下の条件で送信バスアイドルフラグ(SSR:TBI)および受信データフルフラグ(SSR:RDRF)*2 を"1"にして I²C バスをウェイトします。
   - IBCR:WSEL="0"の場合アクノリッジ送信後
   - IBCR:WSEL=1 の場合 1 バイト受信直後

   所定のデータ数を受信するまで 5.～6.を繰り返します。
7. 最終データ受信後、NACK を出力し、IBCR:MSS ビットに"0"または IBCR:SCC*1 ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

■ 送受信 FIFO が許可されている場合

1. FBYTE レジスタに受信数を設定します。
2. Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書き込みます。
3. IBCR:WSEL="0"の場合は ACKE ビットの設定で NACK にし、IBCR:MSS ビットに"1"を書き込みます。
4. SSR:TDRE ビットが"0"の間、ACK 応答し、受信し続けます。その受信中に FBYTE に設定数分受信した場合、SSR:RDRF を"1"にします。SSR:RDRF が"1"になったところで RDR レジスタを読み出します。
5. SSR:TDRE ビットが"1"になると IBCR:WSEL="0"の場合 NACK 出力後割込みフラグを"1"にして I²C バスをウェイトします。IBCR:WSEL="1"の場合 1 バイト受信直後送信バスアイドルフラグ(SSR:TBI)を"1"にして I²C バスをウェイトします。
6. IBCR:WSEL="1"の場合、IBCR:ACKE ビットを"0"に設定し、IBCR:WSEL="0"の場合 IBCR:ACKE ビットの設定は必要なく、IBCR:MSS ビットに"0"または IBCR:SCC*1 ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

*1 : DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、以下の手順を行ってください。

1. IBCR:INT ビットに"1"を書き込んでください。
2. IBCR:INT ビットが"1"に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. IBCR:SCC ビットに"1"を設定してください。

*2 : IBCR:WSEL の設定に関係なく 1 バイト受信直後に受信データフルフラグ(SSR:RDRF)は"1"に設定されます。第 2 バイト以降で受信データフルフラグ(SSR:RDRF)が"1"に設定されているとき、IBCR:WSEL="0"の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直後に I²C バスをウェイトします。

<注意事項>

- *7 ビットスレーブアドレスの検出を許可しているとき(ISBA:SAEN="1")にマスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。*
- *SSR:TDRE が"0"のとき、オーバランエラーが発生しても IBCR:ACKE ビットの設定にしたがってアクノリッジを出力し、次の処理を行います。*
- *送受信中に IBCR レジスタを変更する場合、割込みフラグ(IBCR:INT)が"1"または DMA モードが許可時(SSR:DMA=1)は送信バスアイドルフラグ(SSR:TBI="1")が"1"のときに変更してください。*
- *DMA モードが禁止(SSR:DMA=0)でマスタ受信時、TDR レジスタにダミーデータを書き込み、割込みフラグ(IBCR:INT)が"1"になるタイミングで SSR:TDRE ビットが"0"の場合、割込みフラグ(IBCR:INT)は"0"のままで次のデータを受信します。*
- *DMA モードが許可(SSR:DMA=1)でマスタ受信時、TDR レジスタにダミーデータを書き込み、送信バスアイドルフラグ(SSR:TBI)が"1"になるタイミングで SSR:TDRE ビットが"0"の場合、送信バスアイドルフラグ(SSR:TBI)は"0"のままで次のデータを受信します。*
- *受信 FIFO が許可、IBCR:WSEL="0"のときにデータを受信する場合、最終ビット受信後 SSR:RDRF ビットが"1"に設定され、ACK 送信後割込みフラグ(IBCR:INT)が"1"に設定されます。*

Figure 2-30 FIFO 禁止によるマスタ受信の割込み 1(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
- INT="0"書込みにより割込みが"0"にクリア

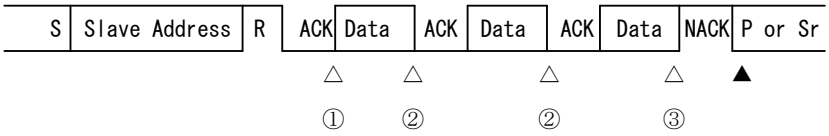
② 1バイト受信＋アクノリッジ送信により割込み発生
- 受信データを読み出し後、INT="0"書込み

③ 1バイト受信＋アクノリッジ送信により割込み発生
- 受信データを読み出し後、ACKE="0"に設定し、INT="0"書込み

④ 1バイト受信＋アクノリッジ送信したことにより割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-31 FIFO 禁止によるマスタ受信の割込み 2(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
- INT="0"書込みにより割込みが"0"にクリア

② 1バイト受信により割込み発生
- 受信データを読み出し後、INT="0"書込み

③ 1バイト受信により割込み発生
- 受信データを読み出し後、ACKE="0"に設定し、MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-32 FIFO 許可によるマスタ受信の割込み 3(SSR:DMA="0", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")



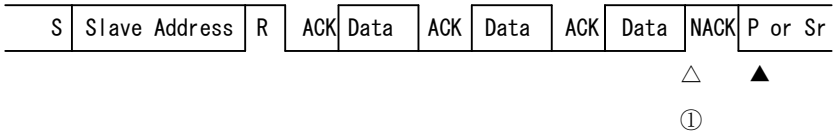
△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生

- 受信 FIFO から全データを読み出し後、MSS="0"または MSS="1", SCC="1"を設定

Figure 2-33 FIFO 許可によるマスタ受信の割込み 4(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



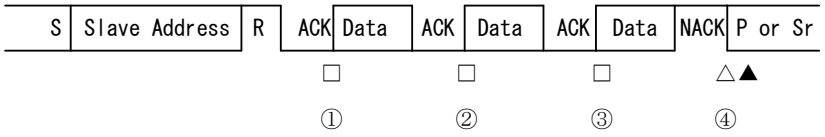
△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生

- 受信 FIFO から全データを読み出し後、ACKE="0", MSS="0"または MSS="1", SCC="1"を設定

Figure 2-34 FIFO 禁止によるマスタ受信の割込み 5(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタにダミーのデータを書込み

② 1 バイト受信＋アクノリッジ送信により割込み発生

- 受信データを読み出し後、TDR レジスタにダミーのデータを書込み

③ 1 バイト受信＋アクノリッジ送信により割込み発生

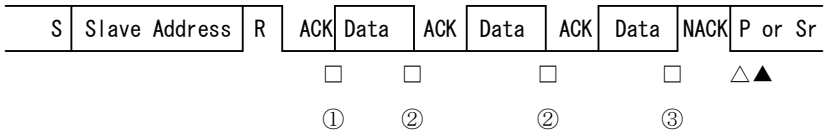
- 受信データを読み出し後、ACKE="0"に設定し、TDR レジスタにダミーのデータを書込み

④ 1 バイト受信＋アクノリッジ送信したことにより割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT、TBI)発生時、TDRE ビットは"1"

Figure 2-35 FIFO 禁止によるマスタ受信の割込み 6(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタにダミーのデータを書込み

② 1 バイト受信により割込み発生

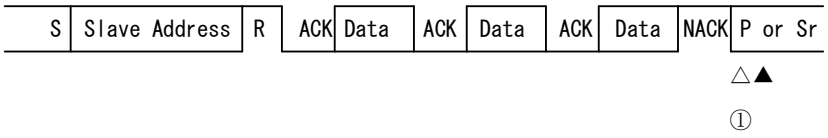
- 受信データを読み出し後、TDR レジスタにダミーのデータを書込み

③ 1 バイト受信により割込み発生

- 受信データを読み出し後、ACKE="0"に設定し、MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT、TBI)発生時、TDRE ビットは"1"

Figure 2-36 FIFO 許可によるマスタ受信の割込み 7(SSR:DMA="1", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生

- 受信 FIFO から全データを読み出し後、MSS="0"または MSS="1", SCC="1"を設定

Figure 2-37 FIFO 許可によるマスタ受信の割込み 8(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



□ : TDRE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生

- 受信 FIFO から全データを読み出し後、ACKE="0", MSS="0"または MSS="1", SCC="1"を設定

2.3.6 アービトレーションロスト

マスタのデータがほかのマスタからのデータと衝突し、送信したデータと異なるデータを受信した場合、アービトレーションロストと判断されます。そのとき、IBCR:MSS ビットが"0", IBSR:AL ビットが"1"に設定され、スレーブモードとして動作が可能となります。

IBSR:AL ビットは、以下の条件で"0"にクリアできます。

- IBCR:MSS ビットへの"1"書込み
- IBCR:INT ビットへの"0"書込み
- IBSR:AL ビット="1", IBSR:SPC ビット="1"のときに IBSR:SPC ビットへの"0"書込み
- I^2C インタフェース動作の動作禁止(ISMK:EN ビット="0")

アービトレーションロストが発生した場合、IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を"1"にし、I^2C バスの SCL を"L"にします。

2.3.7 マスタモードのウェイト

以下の 2 つの条件を満たす場合、IBSR:BB ビットが"1"の間、マスタモードをウェイトし、IBSR:BB ビットが"0"になってからスタート条件を送信します。

- IBSR:BB ビットが"1"のときに IBCR:MSS ビットに"1"を設定した場合
- スレーブモードとして動作していない場合

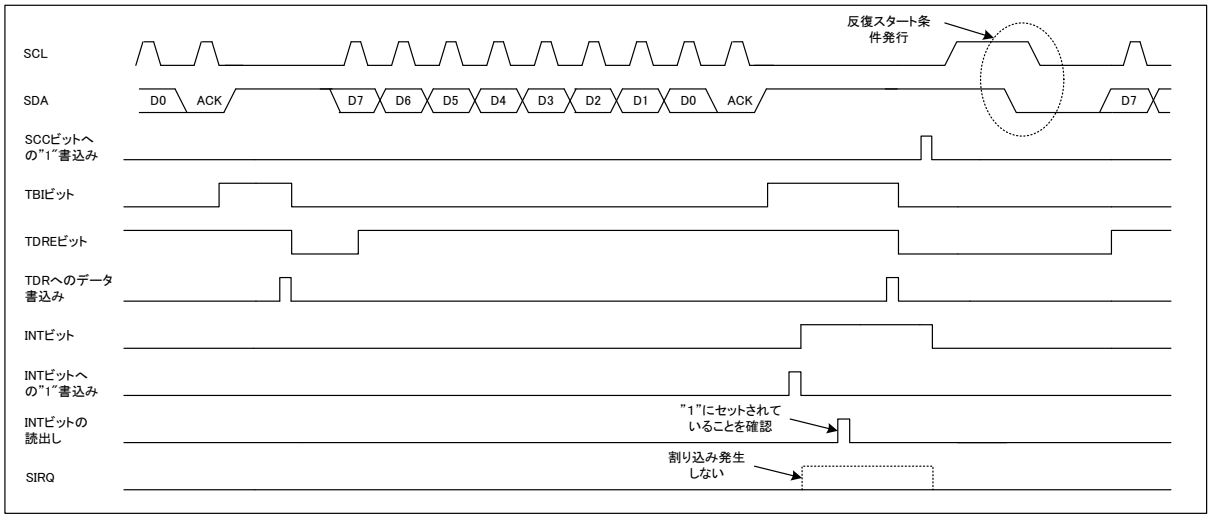
マスタモードがウェイト中かどうかは IBCR:MSS ビットと IBCR:ACT ビットで判断できます(IBCR:MSS="1", IBCR:ACT="0"の場合ウェイト状態)。IBCR:MSS ビットに"1"を設定後、スレーブモードとして動作する場合、IBSR:AL ビットを"1", IBCR:MSS ビットを"0", IBCR:ACT ビットを"1"にします。

2.3.8 DMA モードが許可時(SSR:DMA=1)の反復スタート条件発行

送信バスアイドル中(SSR:TBI="1")で割込みフラグ(IBCR:INT)が"0"のときに、TDR レジスタにスレーブアドレスを書き込んだ場合、送信動作を開始してしまい、反復スタート条件を発行できません。
そのため送信バスアイドル中(SSR:TBI="1")で割込みフラグ(IBCR:INT)が"0"のときに、反復スタート条件を発行する場合は以下の手順を行ってください。

1. IBCR:INT ビットに"1"を書き込みます。このとき、SIRQ 割込みは発生しません。
2. IBCR:INT ビットが"1"に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. 反復スタートを発行(IBCR:SCC="1")してください。

Figure 2-38 DMA モードが許可時の反復スタート条件発行(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)



2.4 スレーブモード

スレーブモードは(反復)スタート条件を検出し、ISBA レジスタと ISMK レジスタとの組み合わせと受信したアドレスが一致した場合に ACK 応答し、スレーブモードとして動作します。

<注意事項>

- *EIBCR.BEC=0 のとき、スタート条件検出後のアドレスデータの転送中、または bit2 ～ bit9 (アクノリッジビット) の転送中に、再度スタート条件を検出した場合、バスエラーを検出(IBCR:BER=1) し、受信を中断するため、次のデータ受信ができません。この場合、割込みフラグ(IBCR:INT)のクリア後にマスタからスタート条件の再送処理が必要になります。*

2.4.1 スレーブアドレス一致検出

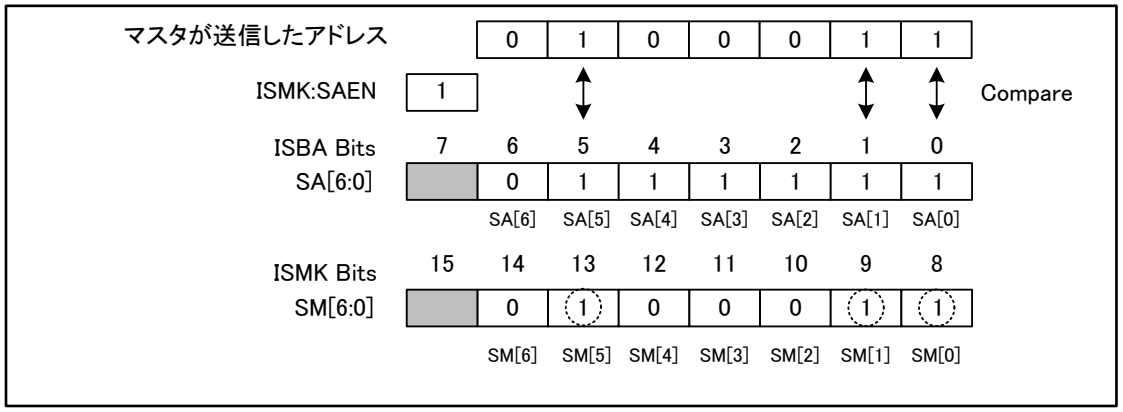
スタート条件または反復スタート条件検出後の最初のバイトには、7 ビットのスレーブアドレスとデータ転送の方向を示すビットが含まれます。ISMK レジスタはスレーブアドレスをマスクする値となります。0 はドントケアとなり、1 はアドレスのビットと一致する必要があります。すなわち、ISMK レジスタに 0 が設定されているビットはアドレスビットと比較されません。

SAEN ビットに 1 が設定されているとスレーブアドレス検出を許可します。マスタから送信されたアドレスはマスクビット(SM[6:0])に 1 がセットされたスレーブアドレスビット(SA[6:0])と比較されます。一致した場合には ACK を出力します。一致しなかった場合は ACK を出力しません。

■ スレーブアドレス検出例

マスタはスレーブにアドレス 0x23 をアドレス設定します。

Figure 2-39 スレーブアドレス検出例.



SA5, SA1, SA0 のみマスタが送信したアドレスと比較します。SM[6]と SM[4:2]は 0 であるためドントケアです。この結果、マルチファンクションシリアルインタフェースは ACK 応答を出力します。

Table 2-8 スレーブアドレスに対するアクノリッジ出力直後の動作

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが"1"の場合 IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットは"0"のままでウェイトなし
				1		
禁止	許可	-	データなし	0	IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットは"0"のままでウェイトなし。
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"の場合 IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	
許可	禁止	-	-	0	SSR:TDRE ビットが"1"の場合、IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットは"0"のままでウェイトなし
				1		
許可	許可	-	データなし	0	IBCR:INT ビットは"0"のままでウェイトなし	IBCR:INT ビットは"0"のままでウェイトなし
			データあり		IBCR:INT ビットを"1"にしてウェイト	
			-	1	SSR:TDRE ビットが"1"の場合 IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"の場合、IBCR:INT ビットは"0"のままでウェイトなし	

■ 予約アドレス検出

第 1 バイト目で予約アドレス("0000xxxx"または"1111xxxx")と一致した場合、送受信 FIFO の許可に依存せずに 8 ビット目のデータ受信後、IBCR:INT ビットを"1"にして I²C バスをウェイトします。このとき受信データを読み出した後、以下のように設定してください。

- スレーブとして動作させたい場合、IBCR:ACKE を"1"に設定してデータ方向ビット(IBSR:TRX)を確認し、送信方向の場合送信データを TDR に書き込み、IBCR:INT ビットをクリアします。その後、スレーブとして動作します。
- スレーブとして動作させない場合、IBCR:ACKE を"0"にし、IBCR:INT ビットをクリアします。アクノリッジ出力後スレーブとして動作を行いません。

2.4.2 データ方向ビット

アドレス受信後、データの送受信を決めるデータ方向ビットを受信します。このビットが"0"のときマスタからの送信を示し、スレーブとしてはデータを受信します。

2.4.3 スレーブによる受信

スレーブアドレスが一致しデータ方向ビットが"0"のとき、スレーブモードによる受信を示します。スレーブモードによる受信の手順の一例を以下に示します。

DMA モードが禁止(SSR:DMA=0)の場合

■ 受信 FIFO が禁止されている場合

1. ACK 送信後、割込みフラグ(IBCR:INT)を"1"にして I²C バスをウェイトします。IBCR:MSS ビット, IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し、IBCR:ACKE ビットに"1", 割込みフラグ(IBCR:INT)に"0"を書いて I²C バスのウェイトを解除します(Table 2-8 を参照してください)。
2. 1 バイトのデータを受信後、IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を"1"にして I²C バスをウェイトします。
3. RDR レジスタから受信したデータを読み出し、IBCR:ACKE ビットを設定後割込みフラグ(IBCR:INT)に"0"を書いて I²C バスのウェイトを解除します。
4. ストップ条件または反復スタート条件を検出するまで 2.～3.を繰り返します。

■ 受信 FIFO が許可されている場合

1. NACK の検出または受信 FIFO がフルになると割込みフラグ(IBCR:INT)は"1"になり、I²C バスをウェイトします。ストップ条件、反復スタート条件を検出した場合、IBSR:SPC ビット、IBSR:RSC ビットを"1"にして割込みフラグ(IBCR:INT)は"1"になりません(I²C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致した場合、SSR:RDRF ビットを"1"にします。そのとき、SMR:RIE ビットが"1"になっていると受信割込みが発生します。
2. 割込みフラグ(IBCR:INT)が"1"になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出し後割込みフラグに"0"を書いて I²C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、IBSR:SPC ビットまたは IBSR:RSC ビットを"0"にクリアします。

DMA モードが許可(SSR:DMA=1)の場合

■ 受信 FIFO が禁止されている場合

1. ACK 送信後、割込みフラグ(IBCR:INT)を"1"にして I²C バスをウェイトします。IBCR:MSS ビット, IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し、IBCR:ACKE ビットに"1", 割込みフラグ(IBCR:INT)に"0"を書いて I²C バスのウェイトを解除します(Table 2-8 を参照してください)。
2. 1 バイトのデータを受信後、1 バイト受信直後に受信データフルフラグ(SSR:RDRF)を"1"に設定します。受信データフルフラグ(SSR:RDRF)が"1"に設定されているとき、IBCR:WSEL="0"の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直後に I²C バスをウェイトします。
3. IBCR:ACKE ビットを設定後 RDR レジスタから受信したデータを読出しにより受信データフルフラグ(SSR:RDRF)を"0"にクリアして I²C バスのウェイトを解除します。
4. ストップ条件または反復スタート条件を検出するまで 2.～3.を繰り返します。

■ 受信 FIFO が許可されている場合

1. NACK の検出により割込みフラグ(IBCR:INT)は"1"になり I²C バスをウェイトします。受信 FIFO がフルになると、I²C バスをウェイトします。ストップ条件, 反復スタート条件を検出した場合、IBSR:SPC ビット, IBSR:RSC ビットを"1"にして割込みフラグ(IBCR:INT)は"1"になりません(I²C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致した場合、SSR:RDRF ビットを"1"にします。そのとき、SMR:RIE ビットが"1"になっていると受信割込みが発生します。
2. 割込みフラグ(IBCR:INT)が"1"になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出し後割込みフラグに"0"を書いて I²C バスのウェイトを解除します。受信 FIFO がフルになった場合､RDR レジスタから 1 回でも受信したデータを読み出せば I²C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、IBSR:SPC ビットまたは IBSR:RSC ビットを"0"にクリアします。

Figure 2-40 FIFO 禁止によるスレーブ受信の割込み 1(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生

- ACKE="1", INT="0"書込み

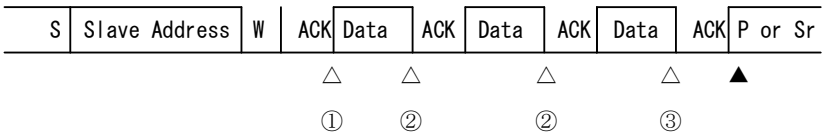
② 1 バイト受信＋ACK 応答により割込み発生

- 受信データを受信バッファから読出し後、INT="0"書込み

③ 1 バイト受信＋NACK 応答により割込み発生

- 受信データを受信バッファから読出し INT="0"書込み

Figure 2-41 FIFO 禁止によるスレーブ受信の割込み 2(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生

- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生

- 受信データを受信バッファから読出し後、INT="0"書込み

③ 1 バイト受信により割込み発生

- 受信データを受信バッファから読出し後、INT="0"書込み

Figure 2-42 FIFO 禁止によるスレーブ受信の割込み 3(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し後、INT="0"書込み

③ NACK 応答により割込み発生
- INT="0"書込み

Figure 2-43 受信 FIFO 許可によるスレーブ受信の割込み 4(SSR:DMA="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① ストップ条件または反復スタート条件検出により割込み発生
- 受信 FIFO から全データの読出し

Figure 2-44 受信 FIFO 許可によるスレーブ受信の割込み 5(SSR:DMA="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① 受信 FIFO が Full になったことにより割込み発生
- 受信 FIFO から全データを読出し、INT="0"書込み

Figure 2-45 FIFO 禁止によるスレーブ受信の割込み 6(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① 予約アドレス("0000xxxx"または"1111xxxx")が一致したので割込み発生
- 受信データを読出し、ACKE="1", INT="0"書込み

② 1バイト受信＋アクノリッジ出力により割込み発生
- INT="0"書込み

③ 1バイト受信＋アクノリッジ出力により割込み発生
- INT="0"書込みにより割込み

Figure 2-46 FIFO 禁止によるスレーブ受信の割込み 7(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

■ : RIE="1"による割込み

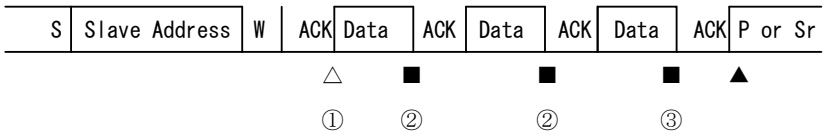
① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1バイト受信により割込み発生(I²C バスはウェイトしない)
- 受信データを受信バッファから読出し

③ ACK 応答により I²C バスウェイト
- 受信データを受信バッファから読出し

④ 1バイト受信＋NACK 応答により割込み発生
- 受信データを受信バッファから読出し INT="0"書込み

Figure 2-47 FIFO 禁止によるスレーブ受信の割込み 8(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

■ : RIE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生

- ACKE="1", INT="0"書込み

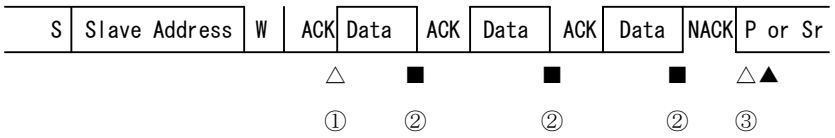
② 1 バイト受信により割込み発生

- 受信データを受信バッファから読出し

③ 1 バイト受信により割込み発生

- 受信データを受信バッファから読出し

Figure 2-48 FIFO 禁止によるスレーブ受信の割込み 9(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

■ : RIE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生

- ACKE="1", INT="0"書込み

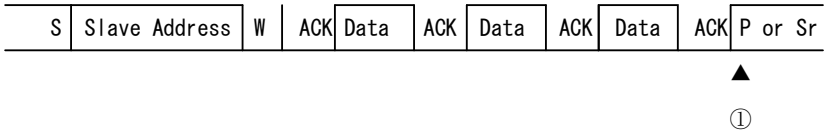
② 1 バイト受信により割込み発生

- 受信データを受信バッファから読出し

③ NACK 応答により割込み発生

- INT="0"書込み

Figure 2-49 受信 FIFO 許可によるスレーブ受信の割込み 10(SSR:DMA="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① ストップ条件または反復スタート条件検出により割込み発生

- 受信 FIFO から全データの読出し

Figure 2-50 受信 FIFO 許可によるスレーブ受信の割込み 11(SSR:DMA="1", IBSR:RSA="0")



▲ : CNDE="1"による割込み

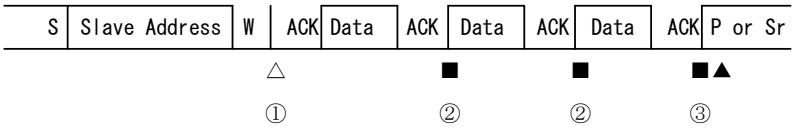
① 受信 FIFO が Full になったことにより I²C バスウェイト

- 受信 FIFO から 1 回でもデータを読み出せばウェイト解除

②ストップ条件または反復スタート条件検出により割込み発生

- 受信 FIFO から全データの読出し

Figure 2-51 FIFO 禁止によるスレーブ受信の割込み 12(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

■ : RIE="1"による割込み

① 予約アドレス("0000xxxx"または"1111xxxx")が一致したので割込み発生

- 受信データを読出し、ACKE="1", INT="0"書込み

② 1 バイト受信+アクノリッジ出力により割込み発生

- 受信データを読出し

③ 1 バイト受信+アクノリッジ出力により割込み発生

- 受信データを読出し

2.4.4 スレーブによる送信

スレーブアドレスが一致しデータ方向ビットが"1"のとき、スレーブによる送信を示します。FIFO 禁止の場合、IBCR:WSEL の設定により、1 バイト送信後またはアクノリッジ応答後に割込みフラグ(IBCR:INT)を"1"にし、ウェイトを発生します(Table 2-8 を参照してください)。

マスタから出力されたアクノリッジは IBSR:RACK ビットにより確認できます。マスタからの NACK 応答は、マスタが正しく受信できなかった、またはデータ受信の終了を示します。IBCR:WSEL="1"のときに NACK を検出した場合割込みが発生しウェイトします。

2.5 バスエラー

I²C バス上でデータの送受信中にストップ条件, (反復)スタート条件を検出した場合にバスエラーとして取り扱います。

2.5.1 バスエラー発生条件

バスエラーは以下の条件で IBCR:BER ビットを"1"にします。

- 第 1 バイト転送中に(反復)スタート条件またはストップ条件を検出
- データの 2～9(アクノリッジ)ビット目で(反復)スタート条件またはストップ条件を検出

2.5.2 バスエラー動作

EIBCR:BEC=0 の場合

送受信による割込みフラグ(IBCR:INT)が"1"になったときに IBCR:BER ビットを確認し、IBCR:BER ビットが"1"の場合エラー処理を行ってください。IBCR:BER ビットは IBCR:INT ビットに"0"を書くことによってクリアされます。

バスエラーによって IBCR:INT ビットは"1"に設定されますが、I²C バスの SCL を"L"にしてウェイト状態にはしません。

EIBCR:BEC=1 の場合

送受信による割込みフラグ(IBSR:SPC または IBSR:RSC)が"1"になったときに IBCR:BER ビットを確認し、IBCR:BER ビットが"1"の場合エラー処理を行ってください。IBCR:BER ビットは以下動作によってクリアされます。

- IBCR:INT=1 のときに、IBCR:INT に"0"書き込み
- IBCR:SPC=1 のときに、IBCR:SPC に"0"書き込み
- IBCR:RSC=1 のときに、IBCR:RSC に"0"書き込み

3. 専用ボーレートジェネレータ

専用ボーレートジェネレータは、シリアルクロックの周波数の設定を行います。

3.1 ボーレート選択

専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

3.2 ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

$V = \Phi / b - 1$

V ： リロード値　　b ： ボーレート　　Φ ： バスクロック周波数、外部クロック周波数

ただし、I^2C バスの立上り時間によっては設定したボーレートが発生しないため
リロード値を調整してください。

(2)計算例

バスクロック(16MHz)、 ボーレートを 400kbps に設定する場合のリロード値は、次のようになります。

リロード値：

$V = (16 \times 1000000) / 400000 - 1 = 39$

よって 、ボーレートは

$b = (16 \times 1000000) / (39 + 1) = 400kbps$

<注意事項>

- *ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *ISMK レジスタの ISMK:EN ビットが"0"のときにボーレートジェネレータレジスタの設定を行ってください。*
- *動作モード 4(I^2C モード)ではバスクロックは 8MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。*
- *リロード値を"0"に設定した場合、リロードカウンタは停止します。*
- *許容ボーレート範囲につきましてはマクロへ入力されるクロックのジッタによる影響も考慮してください。*

3.3 各バスクロック周波数に対するリロード値とボーレート

リロード値とボーレートの設定例を示します。

Table 3-1 リロード値とボーレート設定例

ボーレート [bps]	8 MHz	10 MHz	16 MHz	20 MHz	24 MHz
	Value	Value	Value	Value	Value
400000	19	24	39	49	59
200000	39	49	79	99	119
100000	79	99	159	199	239

本数値は I²C バスの SCL 立上りが 0 s の場合です。I²C バスの SCL 立上りが遅い場合には上記数値より遅いボーレートです。

Table 3-2 リロード値とボーレート設定例

ボーレート [bps]	32 MHz	40 MHz
	Value	Value
400000	79	99
200000	159	199
100000	319	399

本数値は I²C バスの SCL 立上りが 0 s の場合です。I²C バスの SCL 立上りが遅い場合には上記数値より遅いボーレートです。

3.4 リロードカウンタの機能

リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値をボーレートジェネレータレジスタ(BGR1, BGR0)より読み出せます。

3.5 カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

4. I²C の通信動作フローチャート例

I²C の通信動作フローチャート例を示します。

DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例 (FIFO 未使用時)

Figure 4-1 DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例(FIFO 未使用時)1/3

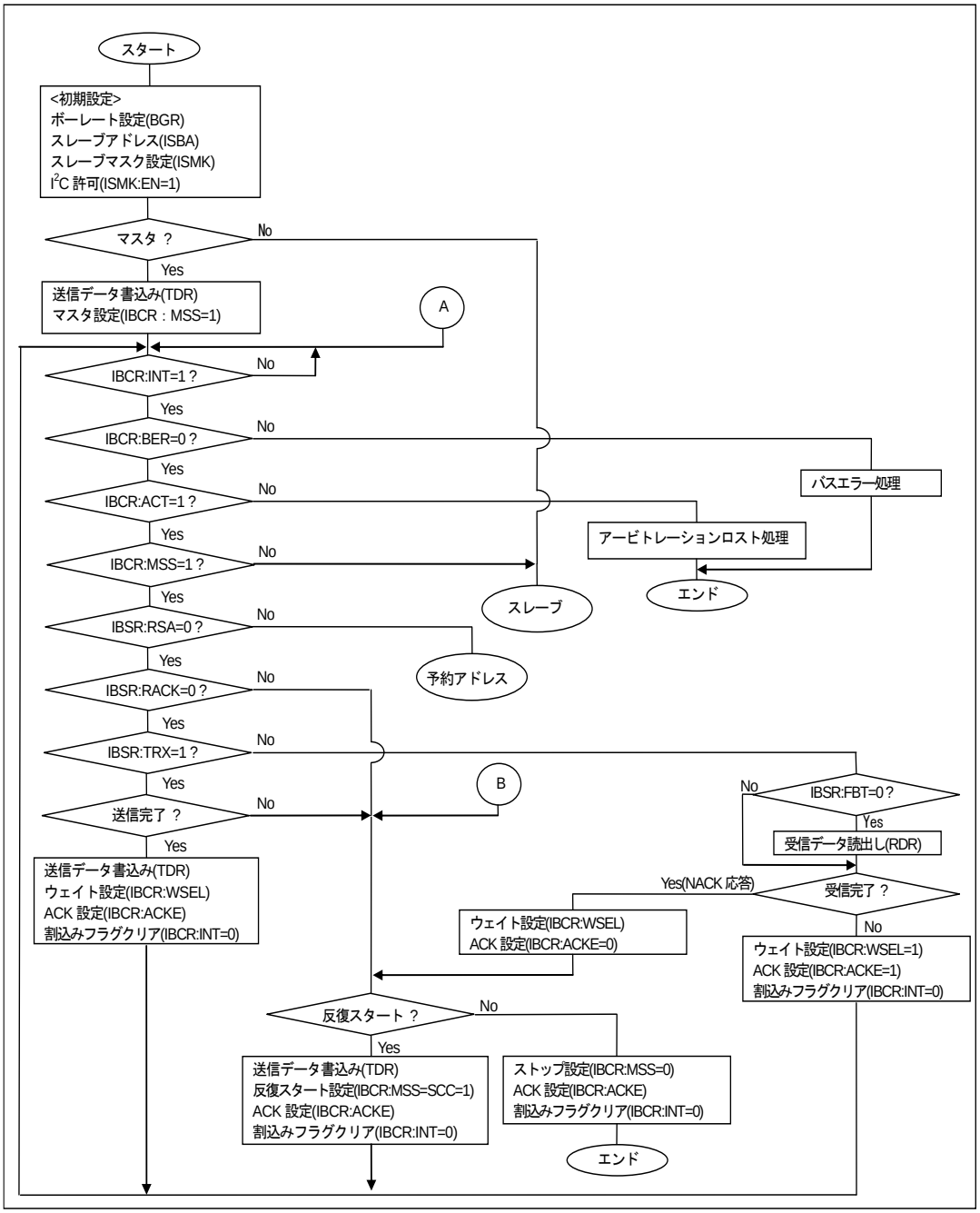


Figure 4-2 DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例(FIFO 未使用時)2/3

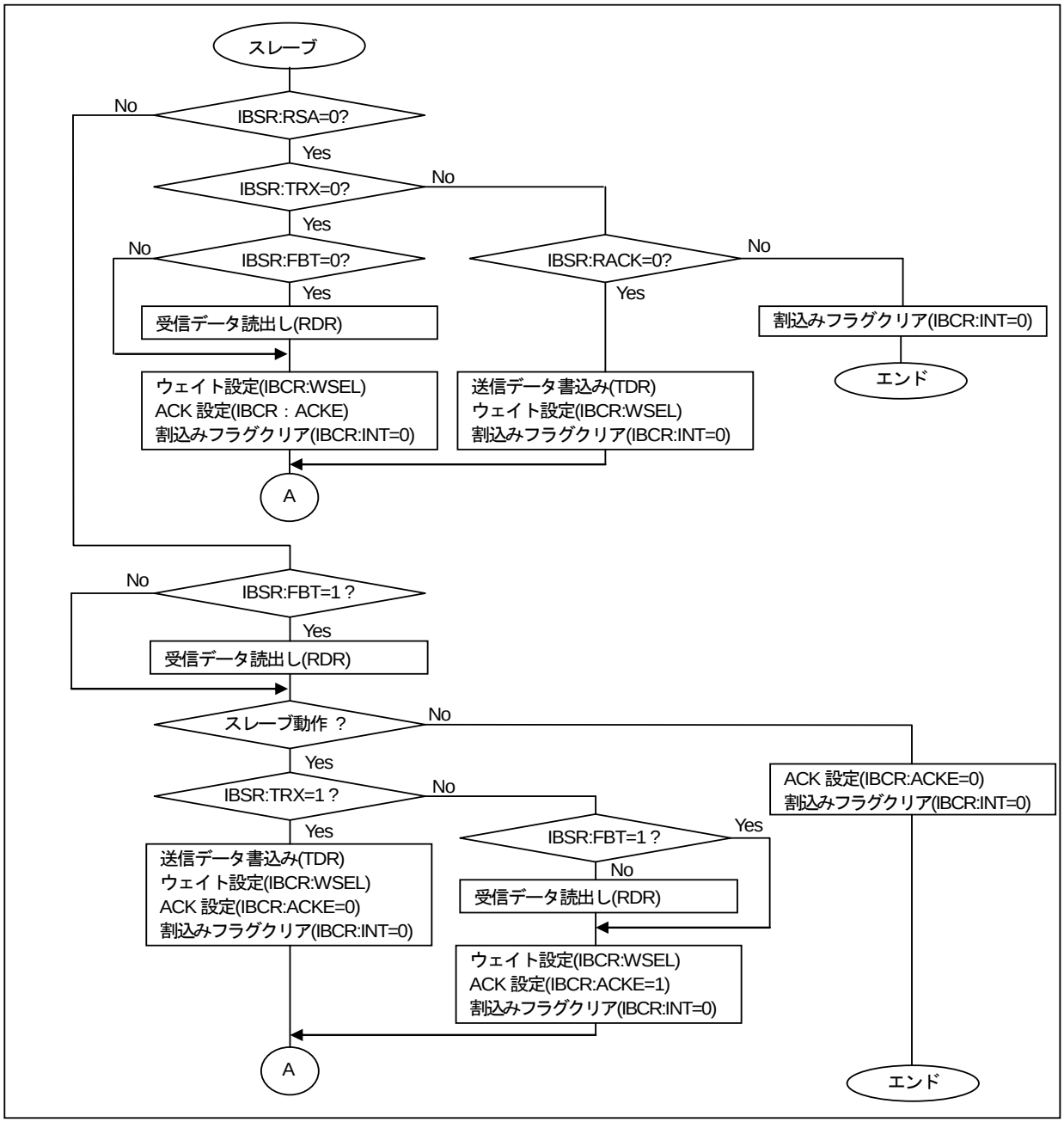
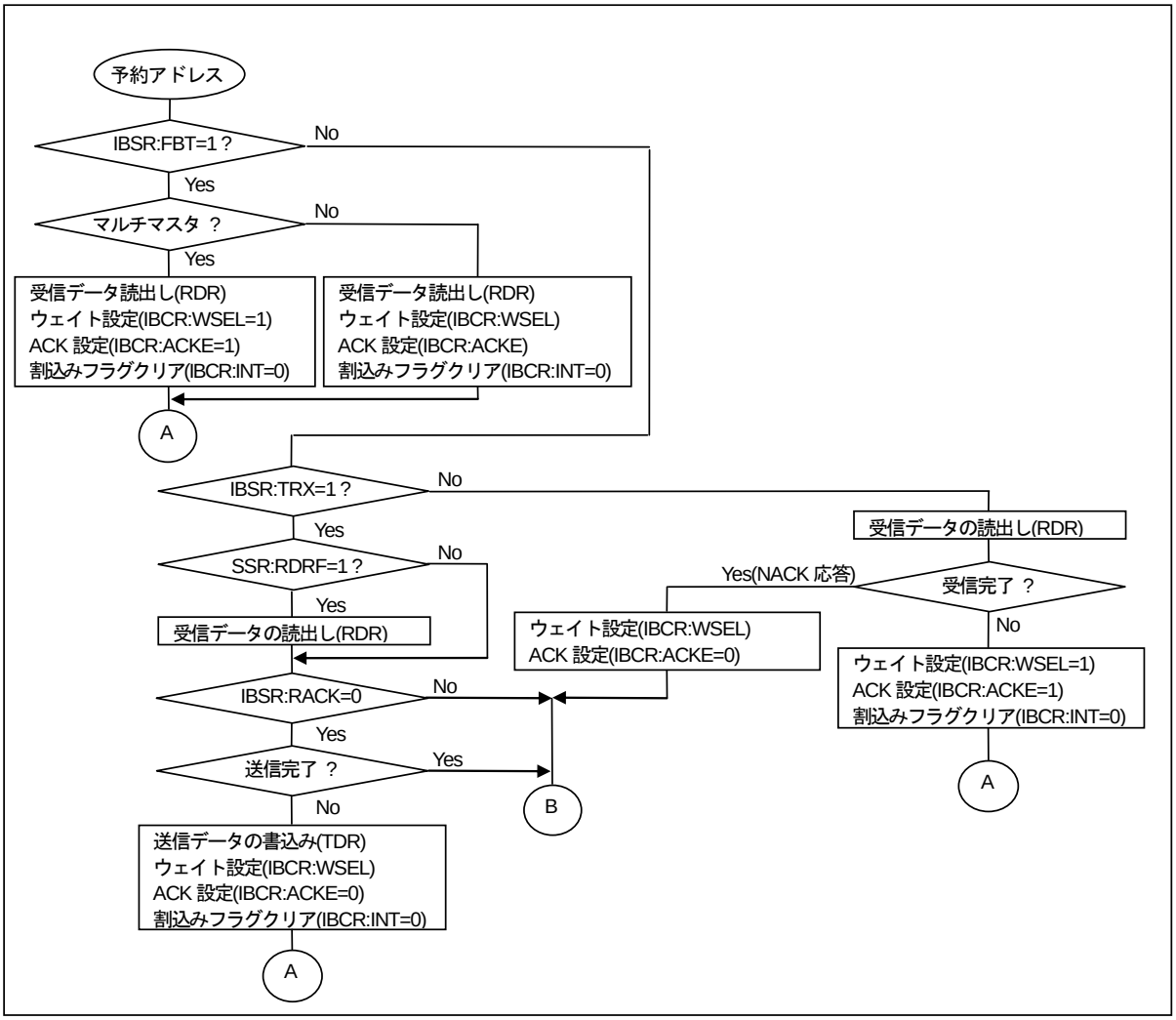


Figure 4-3 DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例(FIFO 未使用時)3/3



DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例 (FIFO 未使用時)

Figure 4-4 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)1/4

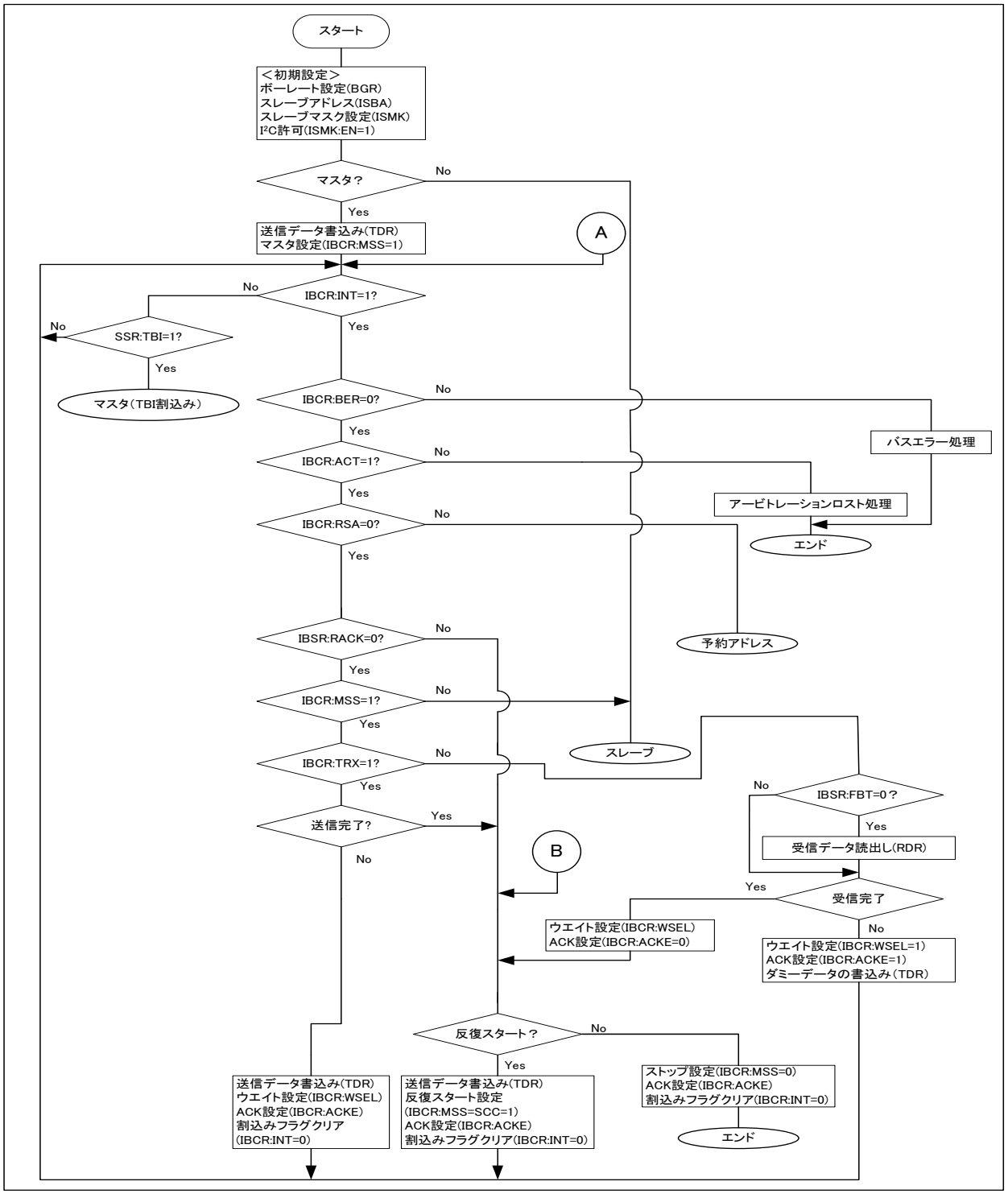


Figure 4-5 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)2/4

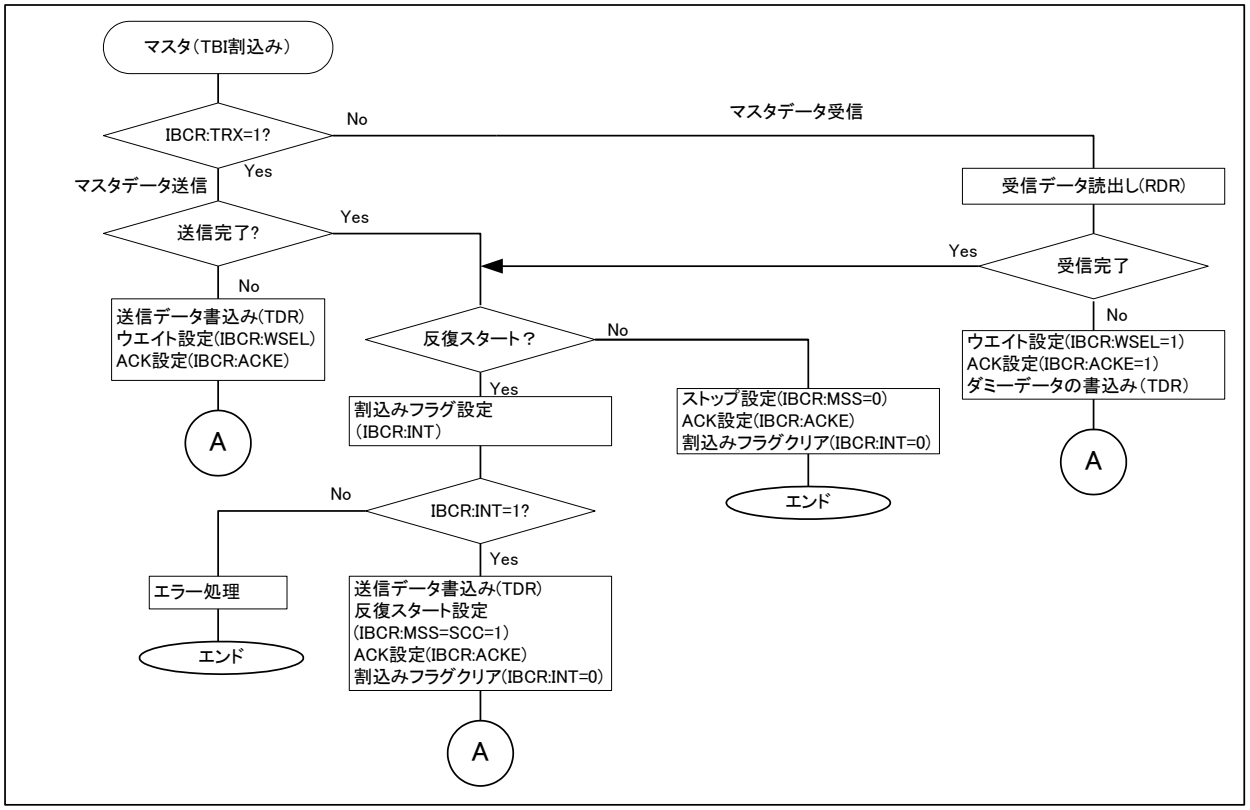


Figure 4-6 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)3/4

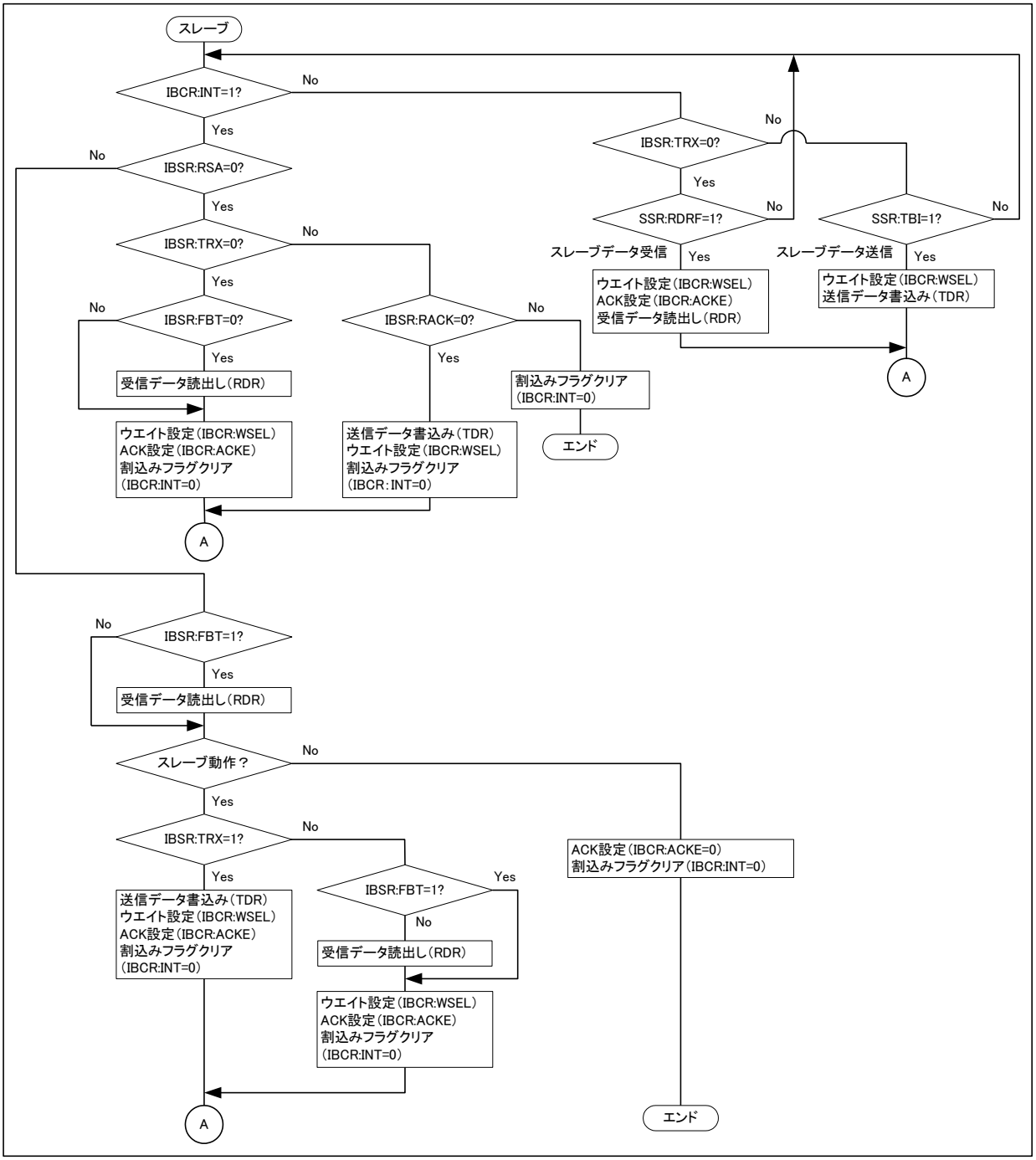
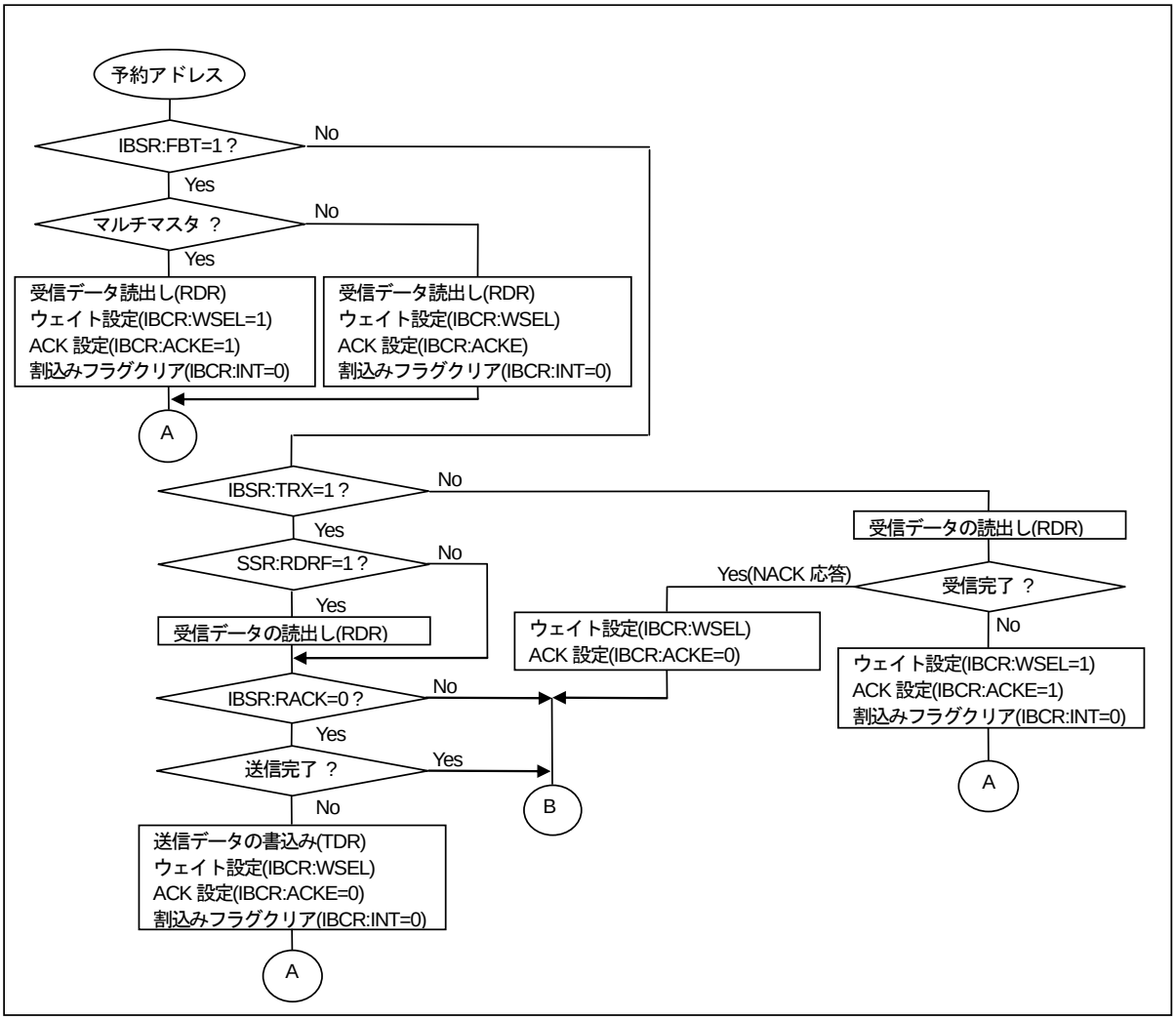


Figure 4-7 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)4/4



＜注意事項＞

- *フローは I²C モードによる動作設定概略を示すフローです。アプリケーションにあわせて、エラー処理などを考慮した処理をしてください。*

5. I²C インタフェースのレジスタ

I²C インタフェースのレジスター一覧を示します。

I²C インタフェースのレジスター一覧

Table 5-1 I²C インタフェースのレジスター一覧

	bit15 bit8	bit7 bit0
I²C	IBCR(I²C バス制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	IBSR(I²C バスステータスレジスタ)
	-	RDR/TDR(送受信データレジスタ)
	EIBCR(拡張 I²C バス制御レジスタ)	-
	BGR1 (ボーレートジェネレータレジスタ 1)	BGR0 (ボーレートジェネレータレジスタ 0)
	ISMK (7 ビットスレーブアドレスマスクレジスタ)	ISBA (7 ビットスレーブアドレスレジスタ)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

Table 5-2 I²C インタフェースのビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
IBCR/ SMR	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	MD2	MD1	MD0	-	RIE	TIE	-	-
SSR/ IBSR	REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
TDR1/ TDR0	-	-	-	-	-	-	-	-	D7	D6	D5	D4	D3	D2	D1	D0
EIBCR/ -	-	-	SDAS	SCLS	SDAC	SCLC	SOCE	BEC	-	-	-	-	-	-	-	-
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
ISMK/ ISBA	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

5.1 I²C バス制御レジスタ(IBCR)

I²C バス制御レジスタ(IBCR)は､マスタ/スレーブモード選択, 反復スタート条件の発生, アクノリッジ許可, 割込み許可を設定し、割込みフラグを表示します。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	(SMR)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

[bit15] MSS : マスタ/スレーブ選択ビット

- I²C バスがアイドル状態(ISMK:EN="1", IBSR:BB="0")のときに本ビットに"1"を設定した場合、マスタモードに設定されます。
- IBSR レジスタの BB ビットが"1"のとき、このビットに"1"を設定した後、IBSR:BB ビットが"0"になるまでスタート条件の発生をウェイトします。そのウェイト中にスレーブアドレスが一致してスレーブとして動作する場合には本ビットは"0"に設定され、IBSR レジスタの AL ビットが"1"に設定されます。
- マスタ動作中(MSS="1", ACT="1")で割込みフラグ(INT)が"1"のとき、本ビットに"0"を書き込むとストップ条件が発生します。

MSS ビットは以下の条件でクリアされます。

1. I²C インタフェースの動作禁止(ISMK:EN ビット="0")
2. アービトレーションロスト発生時
3. EIBCR:BEC=0 のときにバスエラー検出(BER ビット="1")
4. INT="1"のとき、MSS ビットへの"0"書込み
5. DMA モードが許可(SSR:DMA=1)で SSR:TBI="1"のとき、MSS ビットへの"0"書込み

MSS ビットと ACT ビットの関係を以下に示します。

MSS ビット	ACT ビット	状態
0	0	アイドル
0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答*1 し、スレーブ動作中(スレーブモード)
1	0	マスタ動作待機中
1	1	マスタ動作中(マスタモード)

*1)ACK 応答 : アクノリッジ区間に I²C バスの SDA が"L"であることを指します。

bit	説明
0	スレーブモード選択
1	マスタモード選択

<注意事項>

- *DMA モードが禁止(SSR:DMA=0) で MSS ビットが"1"に設定されていて MSS ビットを"0"に変更する場合、MSS ビット="1", INT ビット="1"のときに行ってください。ACT ビットが"1"のときに MSS ビットに"0"を書き込むと INT ビットも"0"にクリアされます。*
- *DMA モードが許可(SSR:DMA=1) で MSS ビットが"1"に設定されていて MSS ビットを"0"に変更する場合、MSS ビット="1", INT ビット="1"または SSR:TBI ビットが"1"のときに行ってください。ACT ビットが"1"のときに MSS ビットに"0"を書き込むと INT ビットも"0"にクリアされます。*
- *マスタ動作中、MSS ビットに"0"を書いても ACT ビットが"1"の間、"1"が読み出されます。*

[bit14] ACT/SCC : 動作フラグ/反復スタート条件発生ビット

このビットは、リードとライトで意味が異なります。

読出し時	書込み時
ACT ビット	SCC ビット

ACT ビットはマスタモードまたは、スレーブモードとして動作していることを示します。

ACT ビットのセット条件:

1. スタート条件を I²C バスに出力したとき(マスタモード)
2. スレーブアドレスとマスタから送信されたアドレスが一致したとき(スレーブモード)
3. 予約アドレスを検出し、それに対しアクノリッジ応答したとき(MSS="0"のときスレーブモードとなる)

ACT ビットのリセット条件:

<マスタモード>

1. ストップ条件検出
2. アービトレーションロスト検出
3. EIBCR:BEC=0 のときにバスエラー検出
4. I²C インタフェースの動作禁止(ISMK:EN="0")

<スレーブモード>

1. (反復)スタート条件検出
2. ストップ条件検出
3. 予約アドレス検出状態(IBSR:RSA="1")でアクノリッジ応答しなかったとき
4. I²C インタフェースの動作禁止(ISMK:EN="0")
5. EIBCR:BEC=0 のときにバスエラーの発生(BER="1")

マスタモード時、このビットに"1"を書き込むと反復スタートを実行します。"0"書込みは無効です。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	動作無し
1	反復スタート条件発生	I²C 動作中

<注意事項>

- SCC ビットへの"1"書込みは、マスタモードの割込み中(MSS="1", ACT="1", INT="1")に行ってください。ACT ビットが"1"のときに SCC ビットに"1"を書き込むと INT ビットは"0"にクリアされます。
- スレーブモード(MSS="0", ACT="1")時、本ビットに"1"を書き込むことは禁止です。
- SCC ビットに"1", MSS ビットに"0"を書いた場合には、MSS ビットが優先されます。
- リードモディファイライト系命令のリードは SCC ビットが読み出されます。
- 以下の 2 つの条件を満たした場合、INT ビットに 1 がセットされ、I²C バスがウェイト(SCL="L")されます。反復スタート条件を発生させるためには、再度 SCC ビットに"1"を書き込み、INT ビットをクリアする必要があります。
  - 8 ビット目のマスタモード割込み時(MSS="1", ACT="1", INT="1", WSEL="1")に SCC ビットへ"1"を書き込んだ場合
  - 9 ビット目に NACK を受信した場合
- DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、以下の手順を行ってください。
  1. IBCR:INT ビットに"1"を書き込んでください。
  2. IBCR:INT ビットが"1"に設定されていることを確認してください。
  3. TDR にスレーブアドレスを書き込んでください。
  4. 本ビットに"1"を設定してください。

[bit13] ACKE : データバイトアクノリッジ許可ビット

- 本ビットに"1"を設定した場合、アクノリッジタイミングで"L"を出力します。
- 本ビットは以下のいずれかの条件のときに変更してください。
  - DMA モードが禁止(SSR:DMA=0), ACT="1"で INT ビットが"1"のとき
  - DMA モードが許可(SSR:DMA=1), ACT="1"で SSR:TBI ビットが"1"のとき
  - DMA モードが許可(SSR:DMA=1), ACT="1"でスレーブ受信時に SSR:RDRF が"1"のとき
  - ACT="0"のとき

本ビットは以下の条件では無効です。

1. 予約アドレス以外のアドレスフィールドに対するアクノリッジ(自動生成)
2. データ送信時(IBSR:RSA="0", IBSR:TRX="1", IBSR:FBT="0")
3. 受信 FIFO 許可でスレーブ受信時(FCR0:FE="1", MSS="0", ACT="1")、常に ACK 応答します。
4. 受信 FIFO 許可, WSEL が"0",マスタ受信時(FCR0:FE="1", MSS="1", ACT="1", WSEL="0")、SSR:TDRE ビットが"0"のとき ACK 応答し、SSR:TDRE ビットが"1"のとき NACK 応答します。
5. 受信 FIFO 許可, WSEL="0",予約アドレス検出してスレーブ送信時(IBSR:RSA="1", IBSR:TRX="1", IBSR:FBT="1")、 常に ACK 応答します。NACK 応答させる場合、予約アドレス検出後の割込み時、受信 FIFO を禁止にし、ACKE="0"にしてください。
6. 受信 FIFO 許可, WSEL が"1",マスタ受信で送信データレジスタにデータがあるとき(FCR0:FE="1", MSS="1", ACT="1", WSEL="1", SSR:TDRE="0")

bit	説明
0	アクノリッジ禁止
1	アクノリッジ許可

[bit12] WSEL： ウェイト選択ビット

- DMA モードが禁止(SSR:DMA=0)時は本ビットはアクノリッジ前か後のどちらに割込み(INT="1")を発生させ、I²C バスをウェイトさせるか選択します。
- DMA モードが許可(SSR:DMA=1)時は本ビットはアクノリッジ前か後のどちらに割込み(INT="1", 送信時は SSR:TBI="1", 受信時は SSR:RDRF="1")を発生させ、I²C バスをウェイトさせるか選択します。
- WSEL ビットは以下の条件では無効です。
  1. 第 1 バイト*1 に対する割込み発生時(INT=1)
  2. 予約アドレス検出時(IBSR:FBT="1", IBSR:RSA="1")
  3. FIFO 使用時のデータ転送途中での NACK 応答*2 検出時(FCR0:FE="1", IBSR:RACK="1", ACT="1")
  4. 受信 FIFO 使用時、受信 FIFO が FULL になったとき

*1) 第 1 バイト : (反復)スタート条件後のデータを指します。
*2) NACK 応答 : アクノリッジ期間 I²C バスの SDA が"H"であることを指します。

bit	説明
0	アクノリッジ後ウェイト(9 ビット)
1	データ送受信完了後ウェイト(8 ビット)

[bit11] CNDE： 条件検出割込み許可ビット

マスタモードまたはスレーブモード時(ACT="1")、ストップ条件または反復スタート条件が検出された場合、割込みの発生を許可するビットです。IBSR レジスタの RSC または SPC ビットが"1"で本ビットが"1"のときに割込みが発生します。

bit	説明
0	反復スタートまたはストップ条件割込み禁止
1	反復スタートまたはストップ条件割込み許可

[bit10] INTE： 割込み許可ビット

マスタモードまたはスレーブモード時、データ送受信およびバスエラーに対する割込み(INT="1")を許可するビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit9] BER : バスエラーフラグビット

本ビットは I²C バス上でエラーを検出したことを示します。

BER ビットのセット条件:

1. 第 1 バイト*1 転送中にスタート条件またはストップ条件を検出
2. 第 2 バイト以降、データの 2～9(アクノリッジ)ビット目で(反復)スタート条件またはストップ条件を検出

BER ビットのリセット条件:

1. EIBCR:BEC=0 で BER="1"のときに INT ビットへの"0"書込みした場合
2. I²C インタフェースの動作禁止(ISMK:EN="0")の場合
3. EIBCR:BEC=1 で IBCR:INT=1 のときに、IBCR:INT ビットに"0"書込みした場合
4. EIBCR:BEC=1 で IBSR:SPC=1 のときに、IBSR:SPC ビットに"0"書込みした場合
5. EIBCR:BEC=1 で IBSR:RSC=1 のときに、IBSR:RSC ビットに"0"書込みした場合

*1) 第 1 バイト : (反復)スタート条件後のデータを指します。

bit	説明
0	エラーなし
1	エラーを検出

＜注意事項＞

以下の場合にこのビットを確認し、"1"になっていると正常に送受信ができていないため再送などの処理を行ってください。

- EIBCR:BEC=0 のときに割込みフラグ(INT ビット)が"1"になったとき
- EIBCR:BEC=1 のときに反復スタート条件確認ビット(IBSR:RSC ビット)が"1"になったとき
- EIBCR:BEC=1 のときにストップ条件確認ビット(IBSR:SPC ビット) が"1"になったとき

[bit8] INT : 割込みフラグビット

本ビットはマスタモードまたはスレーブモード時、データ送受信の 8 ビットまたは 9 ビット(ACK)後またはバスエラー時にこのフラグを"1"に設定します。バスエラー時以外は、INT ビットが"1"になると SCL を"L"にし、INT ビットが"0"になると SCL の"L"の状態を解除します。

■ INT ビットのセット条件:

＜8 ビット目＞

＜DMA モードに関係ない場合＞

1. 第 1 バイトで予約アドレス検出した場合
2. WSEL が"1"、第 2 バイト以降でアービトレーションロストを検出した場合

＜DMA モードが禁止の場合(SSR:DMA=0)＞

1. DMA モードが禁止時(SSR:DMA=0)、WSEL が"1"、マスタ動作中、第 2 バイト以降で SSR:TDRE ビットが"1"の場合
2. DMA モードが禁止時(SSR:DMA=0)、WSEL が"1"、スレーブ動作中、受信 FIFO 禁止、第 2 バイト以降で SSR:TDRE ビットが"1"の場合

3. DMA モードが禁止時(SSR:DMA=0)、WSEL が"1"、スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが"1"の場合
4. DMA モードが禁止時(SSR:DMA=0)、WSEL が"1"、受信 FIFO 禁止でスレーブ受信の場合

＜DMA モードが許可の場合(SSR:DMA=1)＞

1. DMA モードが許可時(SSR:DMA=1)、WSEL が"1"、マスタ動作中、第 2 バイト以降で SSR:TBI ビットが"1"のときに INT ビットに"1"を書き込んだ場合

＜9 ビット目＞

＜DMA モードに関係ない場合＞

1. 第 1 バイトでアービトレーションロストを検出した場合
2. ストップ条件出力設定(マスタ動作中の MSS ビットへの"0"書込み)時以外に NACK を受信した場合
3. WSEL=0 設定時、第 2 バイト以降でアービトレーションロストを検出した場合
4. 第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向(IBSR:TRX=0)で受信 FIFO 許可時に受信 FIFO にデータがある場合
5. EIBCR:BEC=1 で IBSR:BER=1 の場合

＜DMA モードが禁止の場合(SSR:DMA=0)＞

1. DMA モードが禁止時(SSR:DMA=0)、第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの送信方向(IBSR:TRX=1)で SSR:TDRE ビットが"1"の場合
2. DMA モードが禁止時(SSR:DMA=0)、第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向(IBSR:TRX=0)で受信 FIFO 禁止時に SSR:TDRE ビットが"1"の場合
3. DMA モードが禁止時(SSR:DMA=0)、WSEL=0 設定時、マスタモード動作中に第 2 バイト以降で SSR:TDRE ビットが"1"の場合
4. DMA モードが禁止時(SSR:DMA=0)、WSEL=0 設定時、スレーブ送信中に第 2 バイト以降で SSR:TDRE ビットが"1"の場合
5. DMA モードが禁止時(SSR:DMA=0)、WSEL=0 設定時、受信 FIFO 禁止でスレーブ受信の場合
   ただし、予約アドレスを検出した第 1 バイトでのスレーブ受信では 9 ビット目では割込みは発生しません。
6. DMA モードが禁止時(SSR:DMA=0)、受信 FIFO 許可、スレーブ受信のときに受信 FIFO が Full になった場合

＜DMA モードが許可の場合(SSR:DMA=1)＞

1. DMA モードが許可時(SSR:DMA=1)、第 1 バイトで予約アドレスを検出せずにスレーブモードの送信方向(IBSR:TRX=1)で SSR:TDRE ビットが"1"の場合
2. DMA モードが許可時(SSR:DMA=1)、第 1 バイトで予約アドレスを検出せずにスレーブモードの受信方向(IBSR:TRX=0)で受信 FIFO 禁止時に SSR:TDRE ビットが"1"の場合
3. DMA モードが許可時(SSR:DMA=1)、WSEL=0 設定時、マスタモード動作中に第 2 バイト以降で SSR:TBI ビットが"1"のときに INT ビットに 1 を書き込んだ場合

＜その他＞

1. EIBCR:BEC=0 でバスエラー検出

■ INT ビットのリセット条件:

1. INT ビットへの"0"書込み
2. INT ビットが"1", ACT ビットが"1"のときに MSS ビットへの"0"書込み
3. INT ビットが"1", ACT ビットが"1"のときに SCC ビットへの"1"書込み

DMA モードが禁止時(SSR:DMA=0)、INT ビットへの"1"書込みは無効です。

bit	説明	
	書込み時	読出し時
0	INT ビットのクリア	割込み要求なし
1	動作に影響しません	割込み要求あり

<注意事項>

- DMA モードが許可時(SSR:DMA=1)、マスタモード動作中に第 2 バイト以降で SSR:TBI ビットが"1"のときに INT ビットに 1 を書き込んだ場合、ステータス割込み(SIRQ="1")は発生しません。
- DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、以下の手順を行ってください。
  1. IBCR:INT ビットに"1"を書き込んでください。
  2. IBCR:INT ビットが"1"に設定されていることを確認してください。
  3. TDR にスレーブアドレスを書き込んでください。
  4. IBCR:SCC ビットに"1"を設定してください。
- INT フラグが"1"に設定されている場合に、INT フラグに"0"を書き込んだ場合、I^2C バスのウェイトを解除します。
- ISMK:EN ビットを"0"にした場合、受信タイミングによっては SSR:RDRF ビットと INT ビットが"1"になることがあります。この場合、受信データを読み出し、INT ビットをクリアしてください。
- リードモディファイライト系命令のリードは"1"が読み出されます。
- 受信 FIFO 許可時、マスタ受信動作で受信 FIFO が Full になっても INT ビットには"1"がセットされません。
- スタート条件発行時(IBCR:MSS=1)、本ビットに"1"を書き込んでください。

5.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定, 送受信割込みの許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	予約	RIE	TIE	予約	予約
属性		R/W	R/W	R/W	-	R/W	R/W	-	-
初期値		0	0	0	0-	0	0	-	-

[bit7:5] MD2, MD1, MD0： 動作モード設定ビット

動作モードを設定します。

"000" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010" : 動作モード 2(クロック同期モード)に設定されます。
"011" : 動作モード 3(LIN 通信モード)に設定されます。
"100" : 動作モード 4(I^2C モード)に設定されます。

*本章では動作モード 4(I^2C モード)のレジスタおよび動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

*本章では動作モード 4(I^2C モード)のレジスタおよび動作について説明します。

<注意事項>

- *上記設定以外は禁止です。*
- *動作モードを切り換える場合は、I^2C 禁止(ISMK:EN=0)後、続けて動作モードを切り換えてください。*
- *動作モード設定後、各レジスタを設定してください。*

[bit4] 予約 ： 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit3] RIE： 受信割込み許可ビット

- CPU への受信割込み要求出力を許可/禁止するビットです。
- RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合またはエラーフラグビット(SSR:ORE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

<注意事項>

- *DMA モードが禁止時(SSR:DMA=0)に I²C バス制御レジスタ(IBCR)の INT ビットを使用してデータを受信する場合、本ビットは"0"にしてください。*

[bit2] TIE： 送信割込み許可ビット

- CPU への送信割込み要求出力を許可/禁止するビットです。
- TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

<注意事項>

- *DMA モードが禁止時(SSR:DMA=0)に I²C バス制御レジスタ(IBCR)の INT ビットを使用してデータを送信する場合、本ビットは"0"にしてください。*

[bit1:0] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

5.3 I²C バスステータスレジスタ(IBSR)

I²C バスステータスレジスタ(IBSR)は、反復スタート, アクノリッジ, データ方向, アービトレーションロスト, ストップ条件, I²C バス状態, バスエラーを検出したことを示します。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SSR)	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
属性		R	R	R	R	R	R/W	R/W	R
初期値		0	0	0	0	0	0	0	0

[bit7] FBT : ファーストバイトビット

第 1 バイトを示すビットです。

FBT ビットのセット条件:

1. (反復)スタート条件を検出した場合

FBT ビットのクリア条件:

1. 2 バイト目の送受信
2. ストップ条件検出
3. I²C インタフェースの動作禁止(ISMK:EN="0")
4. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	ファーストバイト以外
1	ファーストバイト送受信中

[bit6] RACK : アクノリッジフラグビット

第 1 バイト、マスタモード時またはスレーブモード時に受信したアクノリッジをこのビットに示します。

RACK ビットの更新条件

1. ファーストバイト時のアクノリッジ
2. マスタモードまたはスレーブモード時のデータのアクノリッジ

RACK ビットのクリア条件(RACK="0")

1. (反復)スタート条件検出
2. I²C インタフェースの動作禁止(ISMK:EN="0")
3. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	"L"受信
1	"H"受信

[bit5] RSA : 予約アドレス検出ビット

本ビットは予約アドレスを検出したことを示すビットです。

RSA ビットのセット条件(RSA="1")

1. 第 1 バイト目が(0000xxxx)または(1111xxxx)。"x"は"0"または"1"を示します。

RSA ビットのリセット条件(RSA="0")

1. (反復)スタート条件検出
2. ストップ条件検出
3. I²C インタフェースの動作禁止(ISMK:EN="0")
4. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

第 1 バイトで RSA ビットが"1"になるとその第 1 バイトの 8 ビット目の SCL の立下りで、FIFO 許可, 禁止に関係なく割込みフラグ(IBCR:INT)を"1"にして SCL を"L"にします。このとき受信データを読み出し、スレーブとして動作させる場合には IBCR:ACKE を"1"に設定し、割込みフラグ(IBCR:INT)を"0"にクリアします。その後、TRX ビットが"0"の場合、スレーブとしてデータを受信します。途中でデータを受信させない場合には IBCR:ACKE ビットを"0"にします。それ以降、データを受信しません。

bit	説明
0	予約アドレス未検出
1	予約アドレス検出

<注意事項>

- *データ転送中に IBCR:ACKE を"0"にした場合には、ストップ条件または反復スタート条件を検出するまで IBCR:ACKE を"1"にすることは禁止です。*
- *予約アドレス検出による割込み時、スレーブ送信を確認した場合、受信 FIFO が許可になっているとACK 応答するため受信 FIFO を禁止にし、IBCR:ACKE="0"にしてください。*

[bit4] TRX : データ方向ビット

本ビットはデータの方向を示すビットです。

TRX ビットのセット条件:

1. マスタモードで(反復)スタート条件を送信
2. スレーブモードで第 1 バイトの 8 ビット目が"1"の場合(スレーブとして送信方向)

TRX ビットのリセット条件:

1. アービトレーションロスト発生(AL="1")
2. スレーブモードでファーストバイトの 8 ビット目が"0"の場合(スレーブとして受信方向)
3. マスタモードでファーストバイトの 8 ビット目が"1"の場合(マスタとして受信方向)
4. ストップ条件検出
5. マスタモード以外で(反復)スタート条件検出
6. I²C インタフェースの動作禁止(ISMK:EN="0")
7. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	受信方向
1	送信方向

[bit3] AL： アービトレーションロストビット

本ビットはアービトレーションロストを示します。

AL ビットのセット条件:

1. マスタモード時出力しているデータと受信したデータが異なる場合
2. IBCR:MSS ビットに"1"を設定したが、スレーブとして動作している場合
3. EIBCR:BEC=0 でマスタモード時、第 2 バイト目以降のデータの 1 ビット目で反復スタート条件を検出した場合
4. EIBCR:BEC=1 でマスタモード時、反復スタート条件を検出した場合
5. EIBCR:BEC=1 でマスタモード時、第 2 バイト目以降のデータの 1 ビット目でストップ条件を検出した場合
6. EIBCR:BEC=1 でマスタモード時(アクノリッジフィールドでストップ条件を検出した場合は除く)、ストップ条件を検出した場合
7. マスタモード時、反復スタート条件を発生させようとして発生できない場合
8. マスタモード時、ストップ条件を発生させようとして発生できない場合

AL ビットのリセット条件:

1. IBCR:MSS ビットへの"1"書込み
2. IBCR:INT ビットへの"0"書込み
3. AL ビット="1"、SPC ビット="1"のときに SPC ビットへの"0"書込み
4. I^2C インタフェースの動作禁止(ISMK:EN="0")
5. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	アービトレーションロスト発生なし
1	アービトレーションロスト発生

[bit2] RSC： 反復スタート条件確認ビット

マスタモードまたはスレーブモード時に反復スタート条件を検出したことを示すビットです。

RSC ビットのセット条件:

1. EIBCR:BEC=0 でスレーブモードまたはマスタモードで動作中にアクノリッジ後、反復スタート条件が検出された場合
2. EIBCR:BEC=1 でファーストバイト中、スレーブモードまたはマスタモードで動作中に反復スタート条件が検出された場合

RSC ビットのリセット条件:

1. RSC ビットへの"0"書込み
2. IBCR:MSS ビットへの"1"書込み
3. I^2C インタフェースの動作禁止(ISMK:EN="0")

本ビットへの"1"書込みは無効です。

bit	説明
0	反復スタート条件未検出
1	反復スタート条件検出

<注意事項>

- *予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了するため次に反復スタート条件を検出しても本ビットに"1"はセットされません。*
- *リードモディファイライト系命令のリードは"1"が読み出されます。*

[bit1] SPC : ストップ条件確認ビット

マスタモードまたはスレーブモード時にストップ条件を検出したことを示すビットです。

SPC ビットのセット条件:

1. EIBCR:BEC=0 でスレーブモードまたはマスタモードで動作中にアクノリッジ後、ストップ条件が検出された場合
2. EIBCR:BEC=1 で以下のいづれかの場合でストップ条件が検出された場合
   - IBCR:ACT=0 で第 1 バイト中
   - スレーブモード動作中
   - マスタモード動作中(アクノリッジフィールドでストップ条件を検出した場合は除く)
3. マスタモード時、ストップ条件発生動作でアービトレーションロストが発生した場合

SPC ビットのリセット条件:

1. 本ビットへの"0"書込み
2. IBCR:MSS ビットへの"1"書込み
3. I^2C インタフェースの動作禁止(ISMK:EN="0")

本ビットへの"1"書込みは無効です。

bit	説明	
0	ストップ条件未検出	
1	マスタ	ストップ条件検出または ストップ条件出力時のアービトレーションロスト発生
	スレーブ	ストップ条件検出

<注意事項>

- *予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了するため次にストップ条件を検出しても本ビットに"1"はセットされません。*
- *リードモディファイライト系命令のリードは"1"が読み出されます。*
- *以下のすべての条件が成り立つ場合に、ストップ条件を検出しても、本ビットは"1"に設定されず、マスタ動作を継続させます。*
  - *EIBCR:BEC=1 の場合*
  - *マスタ動作中*
  - *アクノリッジフィールド中*

[bit0] BB： バス状態ビット

本ビットはバスの状態を示します。

BB ビットのセット条件:

1. I²C バスの SDA または SCL で"L"を検出した場合

BB ビットのリセット条件:

1. ストップ条件を検出した場合
2. I²C インタフェースの動作禁止(ISMK:EN="0")
3. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	バスアイドル状態
1	バス送受信状態

5.4 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI	(IBSR)
属性	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	1	1	

[bit15] REC： 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の ORE ビットをクリアするビットです。

- "1"書込みで、ORE ビットがクリアされます。
- "0"書込みは、動作に影響しません。

読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	受信エラーフラグ(ORE)のクリア	

[bit14] TSET： 送信バッファエンプティフラグセットビット

シリアルステータスレジスタ(SSR)の TDRE ビットをセットするビットです。

- "1"書込みで、TDRE ビットがセットされます。また、DMA モードが許可(DMA=1)のとき TBI ビットがセットされます。
- "0"書込みは、動作に影響しません。

読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	TDRE ビットセット	

<注意事項>

- *IBCR:INT ビットが"1"のときに本ビットに"1"を書き込んでください。*

[bit13] :DMA : DMA モード許可ビット

DMA モードを禁止/許可するビットです。

- 本ビットを"1"に設定した場合、DMA 転送に対応した割込み条件です。
- 本ビットを"0"に設定した場合、通常転送時に割込み条件です。

詳細は Table 2-1 を参照してください。

bit	説明
0	DMA モードを禁止
1	DMA モードを許可

<注意事項>

- *ISMK:EN=0 のときのみ本ビットを変更できます。*

[bit12] TBIE : 送信バスアイドル割込み許可ビット(DMA モードが許可のみ有効)

- CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
- DMA モードが許可(DMA=1)で TBIE ビットと TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。
- DMA モードが禁止(DMA=0)のとき、本ビットは"0"となり、書込みをしても、その書込みは無視され、"0"の状態を保持します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit11] ORE : オーバランエラーフラグビット

- 受信時にオーバランが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと SMR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合、受信データレジスタ(RDR)は無効です。
- 受信 FIFO 使用時、本フラグがセットされた場合には受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF： 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- SMR:RIE ビットと受信データフラグビット(RDRF)が"1"の場合、受信割込み要求を出力します。
- RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- データの 8 ビット目の SCL 立下りタイミングでセットされます。
- NACK 応答*1 でもセットされます。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。
- 以下のすべて条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない
  - IBCR:BER ビットが"0"

8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。

*1) NACK 応答 ： アクノリッジ期間 I²C バスの SDA が"H"であることを指します。

bit	説明
0	受信データレジスタ(RDR)がエンプティ
1	受信データレジスタ(RDR)にデータが存在する

<注意事項>

- 以下の条件をすべて満たす場合、ACK 送信後に SCL を"L"にし、RDRF ビットが"0"になると SCL が"L"の状態を解除します。
  - 受信 FIFO 未使用時
  - DMA モード許可(IBCR:DMA=1)時
  - 第 2 バイト以降で受信動作中(IBSR:TRX=0)、RDRF ビットが"1"のとき
  - IBCR:WSEL=0
- 以下の条件をすべて満たす場合、1 バイトデータ受信直後に SCL を"L"にし、RDRF ビットが"0"になると SCL が"L"の状態を解除します。
  - 受信 FIFO 未使用時
  - DMA モード許可(IBCR:DMA=1)時
  - 第 2 バイト以降で受信動作中(IBSR:TRX=0)、RDRF ビットが"1"のとき
  - IBCR:WSEL=1
- 受信 FIFO 使用時に DMA モード許可(DMA=1)で受信の場合、受信 FIFO がフルになると SCL を"L"にし、RDR より 1 回でもデータを読み出すと SCL が"L"の状態を解除します。

[bit9] TDRE： 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- SMR:TIE ビットと TDRE ビットが"1"の場合、送信割込み要求を出力します。
- TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"となり TDR に有効なデータが存在していないことを示します。
- シリアルステータスレジスタ(SSR)の TSET ビットに"1"を書き込むとセットされます。アービトレーションロスト, バスエラーなど検出した場合、TDRE ビットを"1"に設定したいときに使用します。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI： 送信バスアイドルフラグビット(DMA モード許可のみ有効)

本ビットは DMA モード許可時(DMA=1)に I^2C が送信動作をしていないことを示すビットです。DMA モード許可(DMA=1)で第 2 バイト以降に TBI ビットが"1"になると、SCL を"L"にし、TBI ビットが"0"になると SCL の"L"の状態を解除します。

■ TBI ビットのセット条件

＜8 ビット目＞

1. WSEL が"1",マスタ動作中、第 2 バイト以降で TDRE ビットが"1"の場合
2. WSEL が"1",スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが"1"の場合

＜9 ビット目＞

1. マスタ動作中、第 1 バイトで予約アドレスを検出せずに SSR:TDRE ビットが"1"の場合
2. WSEL が"0",マスタ動作中、第 2 バイト以降で TDRE ビットが"1"の場合
3. WSEL が"0",スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが"1"の場合

＜その他＞

送信バッファエンプティフラグセットビット(TSET)が"1"に設定されている場合

■ TBI ビットのリセット条件

1. 送信データレジスタ(TDR)へ送信データを書き込んだ場合

本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

- DMA モードが禁止(DMA="0")時に、本ビットは不定です。

bit	説明
0	送信中
1	送信動作なし

5.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データレジスタと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。

受信データレジスタ(RDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
属性		R	R	R	R	R	R	R	R
初期値		0	0	0	0	0	0	0	0

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

- シリアルデータライン(SDA 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- 第 1 バイト*1 を受信した場合、受信したアドレスは受信データレジスタ(RDR)に格納されません。ただし、第 1 バイトが予約アドレスの場合、受信したアドレスは受信データレジスタ(RDR)に格納されます。その場合、最下位ビット(RDR:D0)がデータ方向ビットです。
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。
- 受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。

*1)第 1 バイト : (反復)スタート条件後のデータを指します。

<注意事項>

- *受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が"1"に設定されます。*
- *受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。*

送信データレジスタ(TDR)

bit	15	...	8	7	6	5	4	3	2	1	0
Field				D7	D6	D5	D4	D3	D2	D1	D0
属性				W	W	W	W	W	W	W	W
初期値				1	1	1	1	1	1	1	1

送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。

- 送信データレジスタ(TDR)の値の MSB ファーストでシリアルデータライン(SDA 端子)に出力します。
- 第 1 バイトを送信する場合、最下位ビット(TDR:D0)がデータ方向ビットです。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信用シフトレジスタへ転送されると、"1"に設定されます。
- 送信 FIFO 禁止時、データエンプティフラグ(SSR:TDRE)が"0"のときは送信データレジスタ(TDR)に送信データを書き込むことはできません。
- 送信 FIFO 使用時、データエンプティフラグ(SSR:TDRE)が"0"であっても送信 FIFO の容量まで送信データを書き込むことが可能です。

<注意事項>

- *送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。*

5.6 拡張 I²C バス制御レジスタ(EIBCR)

拡張 I²C バス、制御レジスタ(EIBCR)は、SDA/SCL の出力制御、バスエラー発生後の動作の継続の有無を設定するレジスタです。

bit	15	14	13	12	11	10	9	8	7	...	0
Field	予約		SDAS	SCLS	SDAC	SCLC	SOCE	BEC	-		
属性	-	-	R	R	R/W	R/W	R/W	R/W			
初期値	-	-	0	0	1	1	0	0			

[bit15:14] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit13] SDAS: SDA ステータスビット

ノイズフィルタ通過後の SDA ラインの信号レベルを表示します。

Bit	説明
0	SDA ラインは"L"
1	SDA ラインは"H"

<注意事項>

- *本ビットは I²C 許可(ISMK:EN=1)時のみ有効です。I²C 禁止時(ISMK:EN=0)時、本ビットは常に"0"を読み出します。*

[bit12] SCLS: SCL ステータスビット

ノイズフィルタ通過後の SCL ラインの信号レベルを表示します。

bit	説明
0	SCL ラインは"L"
1	SCL ラインは"H"

<注意事項>

- *本ビットは I²C 許可(ISMK:EN=1)時のみ有効です。I²C 禁止時(ISMK:EN=0)時、本ビットは常に"0"を読み出します。*

[bit11] SDAC: SDA 出力制御ビット

シリアル出力制御許可(SOCE=1)時、SDA 出力を制御します。

bit	説明
0	SDA 出力は"L"
1	SDA 出力は"H"

[bit10] SCLC: SCL 出力制御ビット

シリアル出力制御許可(SOCE=1)時、SCL 出力を制御します。

bit	説明
0	SCL 出力は"L"
1	SCL 出力は"H"

[bit9] SOCE: シリアル出力許可ビット

シリアル出力制御の許可ビットです。

本ヒットを"1"に設定した場合、以下のように動作します。

- SDA 出力は SDA 出力制御ビット(SDAC)により制御されます。
- SCL 出力は SCL 出力制御ビット(SCLC)により制御されます。

bit	説明
0	シリアル出力制御禁止
1	シリアル出力制御許可

<注意事項>

- *本ビットは IBCR:MSS=0 かつ IBCR:ACT=0 のときのみ、"1"に設定してください。*

[bit8] BEC: バスエラー制御ビット

バスエラー発生(IBSR:BER=1)後、I^2C 動作継続または中断を選択するビットです。

bit	説明
0	I^2C 動作中断
1	I^2C 動作継続

<注意事項>

- *EIBCR:BEC=0 のとき、スタート条件検出後のアドレスデータの転送中、または bit2～bit9(アクノリッジビット)の転送中に、再度スタート条件を検出した場合、バスエラーを検出(IBCR:BER=1)し、受信を中断するため、次のデータ受信ができません。この場合、割込みフラグ(IBCR:INT)のクリア後にマスタからスタート条件の再送処理が必要になります。*

5.7 7 ビットスレーブアドレスマスクレジスタ(ISMK)

7 ビットスレーブアドレスマスクレジスタ(ISMK)は、スレーブアドレスの各ビットを比較または設定するレジスタです。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	(ISBA)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	1	1	1	1	1	1	1	

[bit15] EN : I²C インタフェース動作許可ビット

I²C インタフェースの動作を許可/禁止するビットです。

"0"に設定した場合 : I²C インタフェースは動作禁止状態です。
"1"に設定した場合 : I²C インタフェースが動作が可能です。

bit	説明
0	禁止
1	許可

<注意事項>

- *IBSR レジスタの BER ビットが"1"に設定されても、本ビットは"0"にクリアされません。*
- *本ビットが"0"のときにボーレートジェネレータを設定してください。*
- *本ビットが"0"のときに7 ビットスレーブアドレスおよび7 ビットスレーブアドレスマスクレジスタを設定してください。*
- *I²C インタフェースが禁止される(EN="0")と送受信は直ちに禁止されます。*
- *IBCR:MSS ビットに"0"を書き込んでストップコンディションを発生させた後にI²C インタフェースの動作を禁止する場合は、ストップコンディションの発生を確認した後、動作を禁止(EN="0")してください。*
- *送信中に EN ビットを"0"にした場合、I²C バスの SDA/SCL にパルスが発生することがあります。*

[bit14:8] SM6～SM0 : スレーブアドレスマスクビット

7 ビットスレーブアドレスと受信したアドレスに対し、比較対象外にするかどうかを設定するビットです。

"1"を設定したビット : 比較する
"0"を設定したビット : 一致したものとして処理する

bit14:8	説明
0	ビット比較しない
1	ビット比較する

<注意事項>

- *EN ビットが"0"のときに本レジスタを設定してください。*

5.8 7 ビットスレーブアドレスレジスタ(ISBA)

7 ビットスレーブアドレスレジスタ(ISBA)は、スレーブアドレスを設定するレジスタです。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(ISMK)	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] SAEN : スレーブアドレス許可ビット

スレーブアドレスの検出許可ビットです。

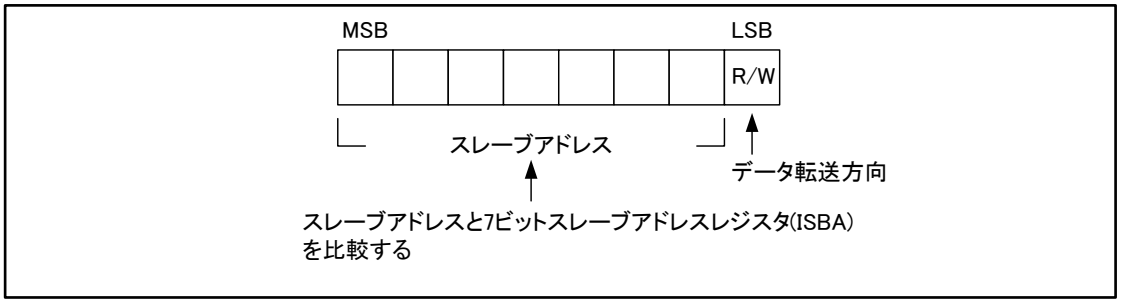
"0"を設定した場合 : スレーブアドレスを検出しません。
"1"を設定した場合 : ISBA, ISMK の設定と受信した第 1 バイトと比較を行います。

bit	説明
0	禁止
1	許可

[bit6:0] SA6～SA0 : 7 ビットスレーブアドレス

- 7 ビットスレーブアドレスレジスタ(ISBA)は、スレーブアドレス検出許可(SAEN=1)されていれば、(反復)スタート条件検出後に受信した 7 ビットのデータを本レジスタと比較します。このとき、全ビットが一致すればスレーブモードとして動作し、ACK を出力します。受信したスレーブアドレスは、本レジスタに設定されます(SAEN=0 の場合、ACK を出力しません)。
- (反復)スタート条件検出後の最初のバイトには、7 ビットのスレーブアドレスとデータ転送の方向を示すビットが含まれます。受信したデータに含まれるスレーブアドレスと本ビットが比較されます。

Figure 5-1 (反復)スタート条件検出後の最初のバイトフォーマット



- ISMK レジスタに 0 を設定したアドレスビットは比較対象外です。

bit6:0	説明
	7 ビットスレーブアドレス

<注意事項>

- *予約アドレスの設定は禁止です。*
- *本レジスタは ISMK レジスタの EN ビットが"0"のときに設定してください。*

5.9 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)は、シリアルクロックの分周比を設定します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	-	(BGR1)							(BGR0)							
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、BGR1/0 の設定値の読出しが可能です。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)にリロード値を書き込むとリロードカウンタはカウントを開始します。

[bit15] - : 未使用ビット
読出し時、値は不定です。
書込み時、動作に影響しません。

[bit14:8] BGR1 : ボーレートジェネレータレジスタ 1

bit14:8	説明
ライト	リロードカウンタ bit8～bit14 に書込み
リード	BGR1 の設定値の読出し

[bit7:0] BGR0 : ボーレートジェネレータレジスタ 0

bit7:0	説明
ライト	リロードカウンタ bit0～bit7 に書込み
リード	BGR0 の設定値の読出し

<注意事項>

- *ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *ISMK レジスタの EN ビットが"0"のときにボーレートジェネレータレジスタの設定を行ってください。*
- *マスタモード, スレーブモードに関係なく、ボーレートを設定してください。*
- *動作モード 4(I²C モード)ではバスクロックは 8MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。*

5.10 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性	-	-	-	R/W	R/W	R/W	R/W	R/W	
初期値	-	-	-	0	-	1	0	0	

[bit15:13] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FCR0:FLST ビット検出を許可するビットです。

"0"に設定した場合 : FCR0:FLST ビット検出禁止
"1"に設定した場合 : FCR0:FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

- *本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。*

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- *受信 FIFO を使用する場合、本ビットを"1"に設定してください。*

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力されます。

■ FDRQ セット条件
- FBYTE(送信用)=0　(送信 FIFO がエンプティ)
- 送信 FIFO のリセット

■ FDRQ リセット条件
- 本ビットへの"0"書込み
- 送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>
- *FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。*
- *本ビットが"0"のときに FSEL ビットの変更は禁止です。*
- *本ビットに"1"を設定した場合、動作に影響しません。*
- *リードモディファイライト系命令時、"1"が読み出されます。*
- *送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。*

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO : FIFO1, 受信 FIFO : FIFO2 に割り当てられます。
"1"に設定した場合 : 送信 FIFO : FIFO2, 受信 FIFO : FIFO1 に割り当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>
- *本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。*
- *本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。*

5.11 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] - : 未使用ビット

読出し時 : 常に"0"が読み出されます。
書込み時 : 常に"0"を書き込んでください。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ場合

FLST リセット条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると FSET ビットで保存したリードポインタが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

<注意事項>

- *本ビットが"1"に設定されている間、リードポインタへのリロード中のため FIFO リセット以外の書込みは禁止です。*
- *FIFO 許可状態または送信中、本ビットに"1"を設定することは禁止です。*
- *SMR:TIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後、SMR:TIE ビットを"1"にしてください。*

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
送信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"の場合、再送可能です。

"1"に設定した場合 : 現在のリードポインタの値を保存します。
"0"に設定した場合 : 動作に影響しません。

bit	説明
0	保存しない
1	保存実行

<注意事項>

- *送信バイト数(FBYTE)が 0 を示しているときに本ビットを"1"に設定してください。*

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO2 の内部状態は初期化されます。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

<注意事項>

- *FIFO2 を禁止してから、FIFO2 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE2 レジスタの有効データ数は"0"です。*

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO1 の内部状態は初期化されます。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

<注意事項>

- *FIFO1 を禁止してから、FIFO1 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE1 レジスタの有効データ数は"0"です。*

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FCR1:FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後に本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"を設定することはできません。
- FIFO2 を送信 FIFO で使用する場合には送信データがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、I^2C インタフェースを禁止(ISMK:EN=0)、動作フラグ(IBCR:ACT)が"0"または割込みフラグ(IBCR:INT)が"1"で受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、I^2C インタフェースを禁止(ISMK:EN=0)または動作フラグ(IBCR:ACT)が"0"または割込みフラグ(IBCR:INT)が"1"で受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

<注意事項>

- *IBSR:BB ビットが"0"または IBCR:INT ビットが"1"のときに許可/禁止の変更を行ってください。*
- *受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを"0"にし、IBCR:ACKE="0"にしてください。*
- *受信 FIFO として使用していて本ビットを"1"から"0"に変更したときに SSR:RDRF ビットが"1"になっていると"0"になるまで受信 FIFO は禁止になりません。*
- *送信 FIFO として使用していて FIFO2 にデータが存在し、本ビットを"0"から"1"に変更する場合、SMR:TIE ビットを"0"にしてから本ビットに"1"を書込み、SMR:TIE ビットを"1"にしてください。*

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FCR1:FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後に本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"を設定することはできません。
- FIFO1 を送信 FIFO で使用する場合には送信データがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、I^2C インタフェースを禁止(ISMK:EN=0)、動作フラグ(IBCR:ACT)が"0"または割込みフラグ(IBCR:INT)が"1"で受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、I^2C インタフェースを禁止(ISMK:EN=0)または動作フラグ(IBCR:ACT)が"0"または割込みフラグ(IBCR:INT)が"1"で受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

<注意事項>

- *IBSR:BB ビットが"0"または IBCR:INT ビットが"1"のときに許可/禁止の変更を行ってください。*
- *受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを"0"にし、IBCR:ACKE="0"にしてください。*
- *受信 FIFO として使用していて本ビットを"1"から"0"に変更したときに SSR の RDRF ビットが"1"になっていると"0"になるまで受信 FIFO は禁止になりません。*
- *送信 FIFO として使用していて FIFO1 にデータが存在し、本ビットを"0"から"1"に変更する場合、SMR:TIE ビットを"0"にしてから本ビットに"1"を書込み、SMR:TIE ビットを"1"にしてください。*

5.12 FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットの設定と FBYTE の関係を Table 5-3 に示します。

Table 5-3 データ数表示

FCR1:FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致した場合に割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- マスタ動作で、データを受信する場合(マスタ受信)、SMR:TIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに"0"を書きます。設定データ分の SCL のクロックが出力され、その後、IBCR:INT ビットが"1"に設定されます。SMR:TIE ビットに"1"を設定したい場合には FCR1:FDRQ が "1"になった後に"1"に設定してください。

[bit15:8] FBYTE2: FIFO2 データ数表示ビット

[bit7:0] FBYTE1: FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時 : FIFO に書き込まれ、送信されていないデータ数
受信時 : FIFO に受信されたデータ数

ライト(転送数)

送信時 : 0x00 設定
受信時 : 受信割込み発生のデータ数設定

Table 5-4 FIFO の格納可能なデータ数について

FIFO 容量	最大 FBYTE 数	格納可能データ数
16 バイト	16	16
32 バイト	32	32
64 バイト	64	64
128 バイト	128	128

<注意事項>

- マスタ動作で、データを受信するとき以外、送信 FIFO の FBYTE は"0x00"を設定してください。
- マスタ動作でデータを受信するときの送信データ数の設定は送信 FIFO がエンプティで SMR:TIE ビットが"0"のときに行ってください。
- マスタ動作でデータを受信中に I²C インタフェースを禁止(ISMK:EN=0)にする場合には、送受信 FIFO を禁止にしてから禁止してください。
- マスタ動作でデータを受信する時の送信データ数の設定は、送信 FIFO がエンプティで、かつ SMR:TIE ビットが"0"のときに行ってください。
- 受信 FIFO の FBYTE には"1"以上のデータを設定してください。
- 以下の条件のいずれかのときに変更してください。
  - I²C インタフェースを禁止(ISMK:EN=0)のとき
  - SSR:DMA=0 でマスタ受信の場合、IBCR:INT=1 のとき
  - SSR:DMA=1 でマスタ受信の場合、SSR:TBI=1 のとき
- 本レジスタはリードモディファイライト系命令を使用することはできません。
- FIFO 容量を超えた設定は禁止です。
- マスタ動作でデータを受信する場合(マスタ受信)、SMR:TIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定するときに送信データレジスタ(TDR)にダミーデータを書き込まないでください。

CHAPTER 1-6: MFS-I²S (Inter-IC Sound bus)

マルチファンクション シリアルインタフェースを使用してサポートするシリアルオーディオインタフェースである I²S インタフェースの機能について説明します。

1 MFS-I²S の概要
2 MFS-I²S インタフェースの構成
3 MFS-I²S データ・フォーマット
4 MFS-I²S 割込み
5 MFS-I²S レジスタ
6 MFS-I²S クロックジェネレータレジスタ
7 MFS-I²S インタフェース動作説明
8 ユーザの注意事項

コード：9BFCSIO_FM0-J03.0_FM15C-J05.4

1. MFS-I²S の概要

MFS-I²S インタフェースは、フレームフォーマットを指定することで、I²S と MSB-justified の両方の転送のインタフェースとして動作できます。また、送信/受信 FIFO（各最大 128 バイト）*1 を実装しています。

MFS-I²S 機能

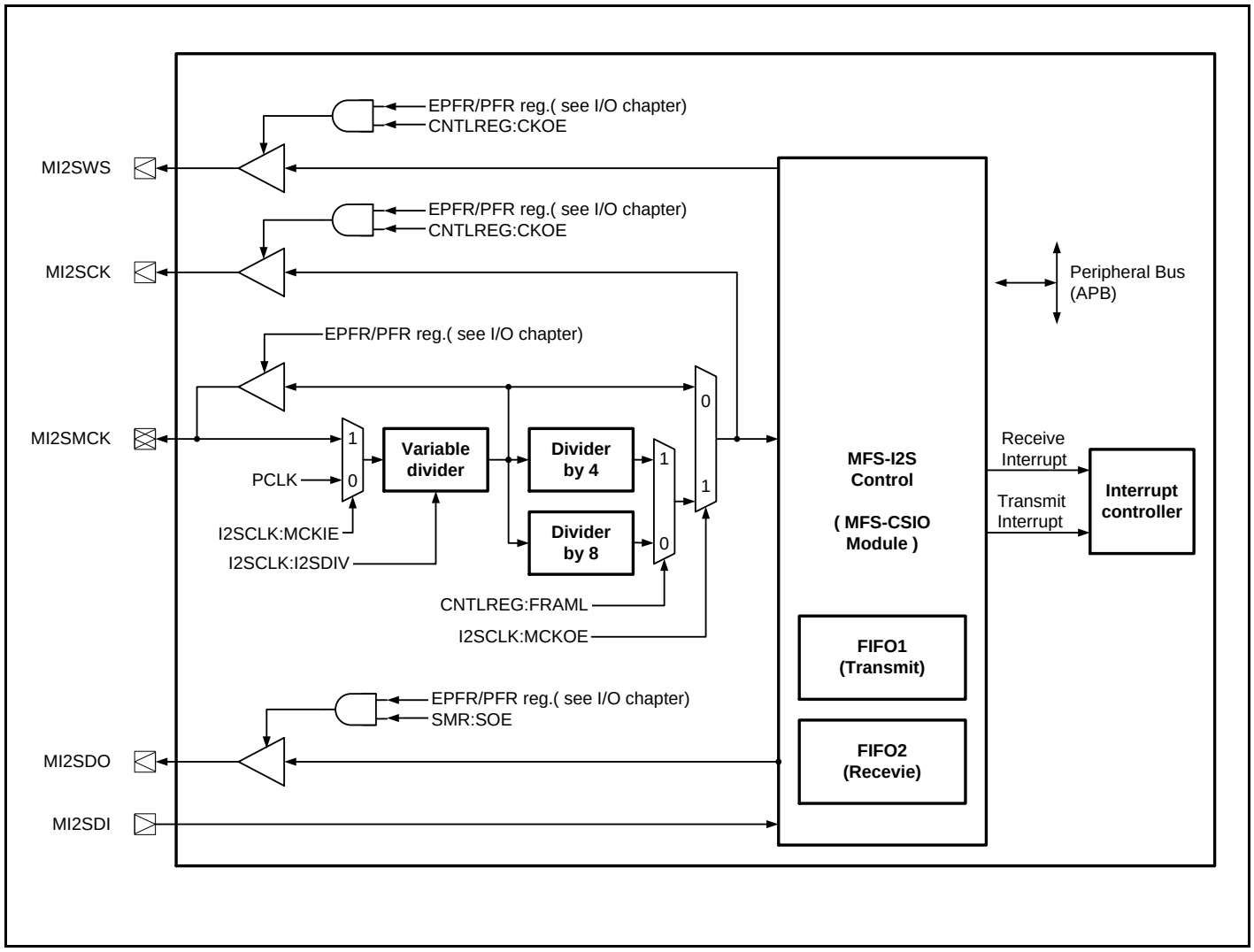
		機能
1	データバッファ	− 送信/受信 FIFO（各最大 128 バイト）*1 − 送信動作もしくは受信動作のどちらかを選択して実行可能（半二重）
2	転送方式	− クロック同期 − マスタ動作のみ
3	オーディオサンプル周波数	− 8kHz～96kHz
4	データ・フォーマット	− 送受信データは、16 ビット長をサポート − ビットクロック（MI2SCK）レートは、32×FS と 64×FS をサポート
5	受信エラー検出	− オーバランエラー
6	割込み要求	− 受信割込み（受信完了、オーバランエラー） − 送信 FIFO 割り込み（送信 FIFO が空の場合） − DSTC（送信/受信）転送サポート機能を使用できます。
7	転送モード	− I²S モード − MSB-justified モード
8	クロック	− MI2SCK 出力のクロックソースは、PCLK（APB バスクロック）または MI2SMCLK 入力から選択できます。 − MI2SMCLK 出力は、256×サンプリング周波数のクロックを出力できます。
9	FIFO オプション	− 送信/受信用 FIFO 実装（最大容量：送信 FIFO 128 バイト、受信 FIFO 128 バイト）* − FIFO リセットは、個別にサポートされています。

*：FIFO の容量の大きさは、製品により異なります。詳細はデータシートを確認してください。

2. MFS-I²S インタフェースの構成

Figure2-1 に、MFS-I²S インタフェースの構成を示します。

Figure 2-1 MFS-I²S ブロックダイアグラム



MFS-I²S インタフェースは、MFS-CSIO モジュールと FIFO1/FIFO2 を使用します。したがって、MFS-I²S は、MFS の当該チャネルのレジスタ、送信割込み（TIRQ）、受信割込み（RIRQ）を共有します。

3. MFS-I²S データ・フォーマット

Figure3-1 に、送信データのフォーマットを示します。

Figure 3-1 送信データ・フォーマット

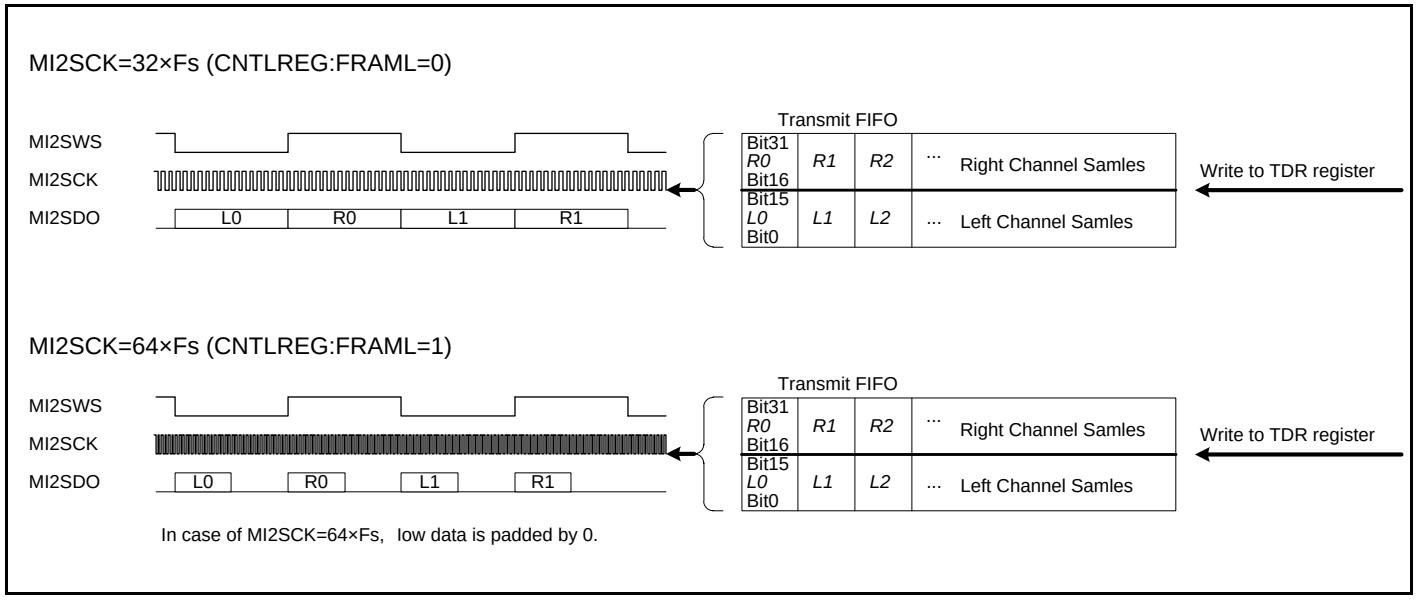
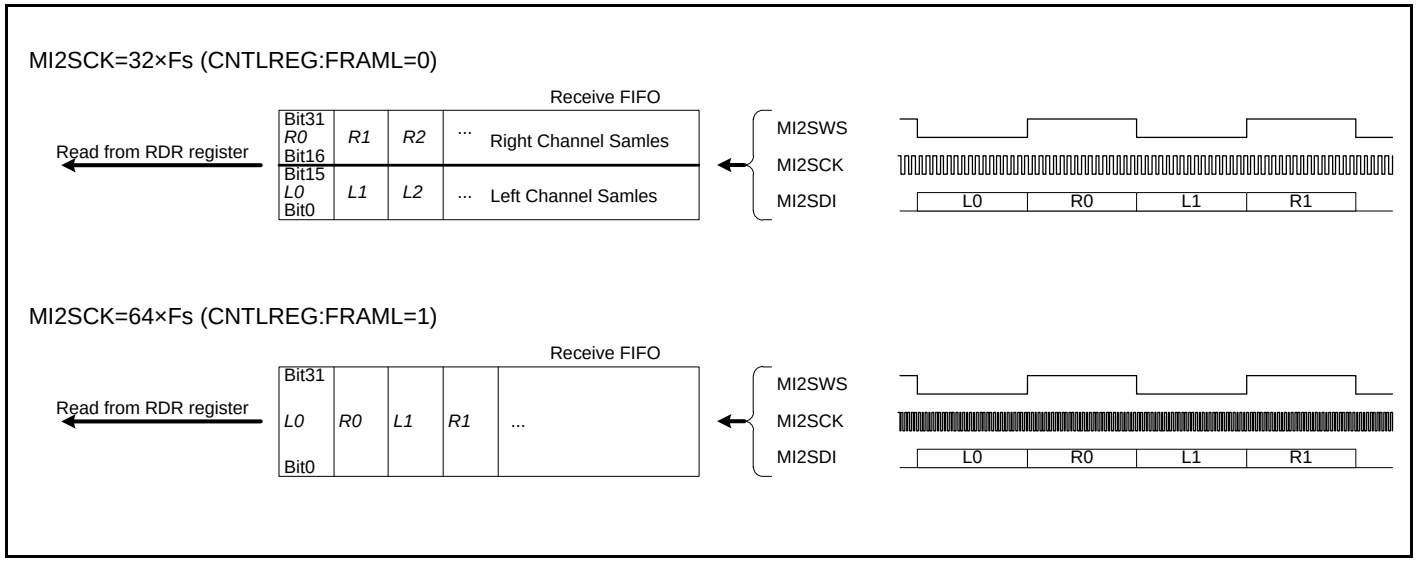


Figure3-2 に、受信データのフォーマットを示します。

Figure 3-2 受信データ・フォーマット



入出力信号波形詳細は、「8.2 I²S および MSB-Justified プロトコル」を参照してください。

4. MFS-I²S 割込み

MFS-I²S 割込みには、以下の割込み要求があります。

- 受信割込み要求（RIRQ）
- 送信割込み要求（TIRQ）

これらの割込み要求は、DMA 転送を行うときも使用します。

MFS-I²S の割込み要因と割込み制御ビットの関係を Table 4-1 に示します。

Table 4-1 MFS-I²S の割込み要因と割込み制御ビット

割込みタイプ	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグをクリアする動作
受信	RDRF	SSR	FBYTE2 に設定された値と一致するデータ量の受信。	SCR:RIE	受信 FIFO 内のデータ数が FBYTE2 に設定された値未満になるまで受信データレジスタ(RDR)から読出し。
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への”1”書き込み。
送信	FDRQ	FCR1	送信 FIFO の有効データ量が空です。	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への”0”書き込み、または送信 FIFO を一杯にします。

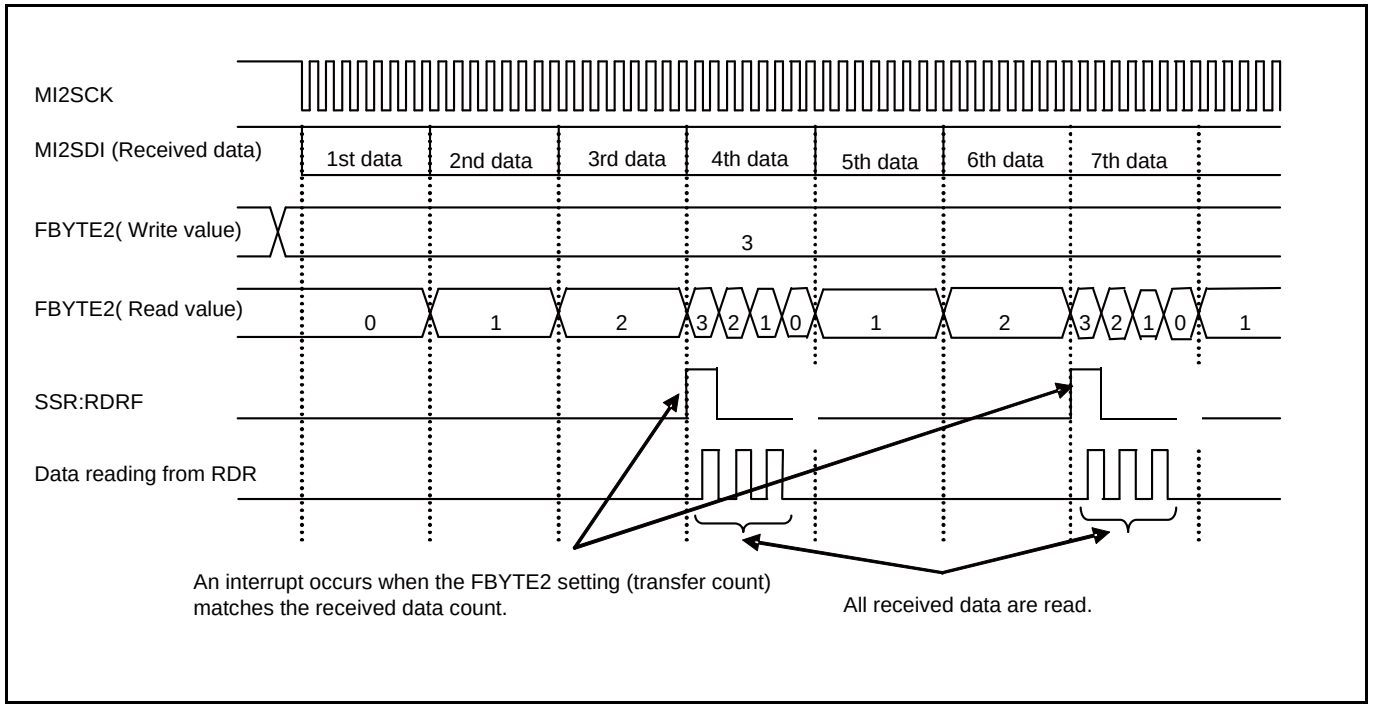
4.1 受信時の割込み発生とフラグセットのタイミング

MFS-I2S の受信機能を使用する場合、必ず受信 FIFO を使用します。あらかじめ指定したデータ数（FBYTE2:FBYTE)を受信したときに割込みが発生します。

受信時の受信割込み発生とフラグセットのタイミング

- FBYTE2 レジスタで転送カウントに設定されたデータ量を受信すると、シリアルステータスレジスタの受信データフルフラグビット(SSR:RDRF)が”1”にセットされます。このとき受信割込みが許可されている(SCR:RIE=1)場合、受信割込みが発生します。
- RDR の読み出しを行い、有効バイトが FBYTE2 レジスタのカウント未満になると、受信データフルフラグ(SSR:RDRF)が 0 にクリアされます。

Figure 4-1 受信 FIFO 使用時の受信割込み発生のタイミング



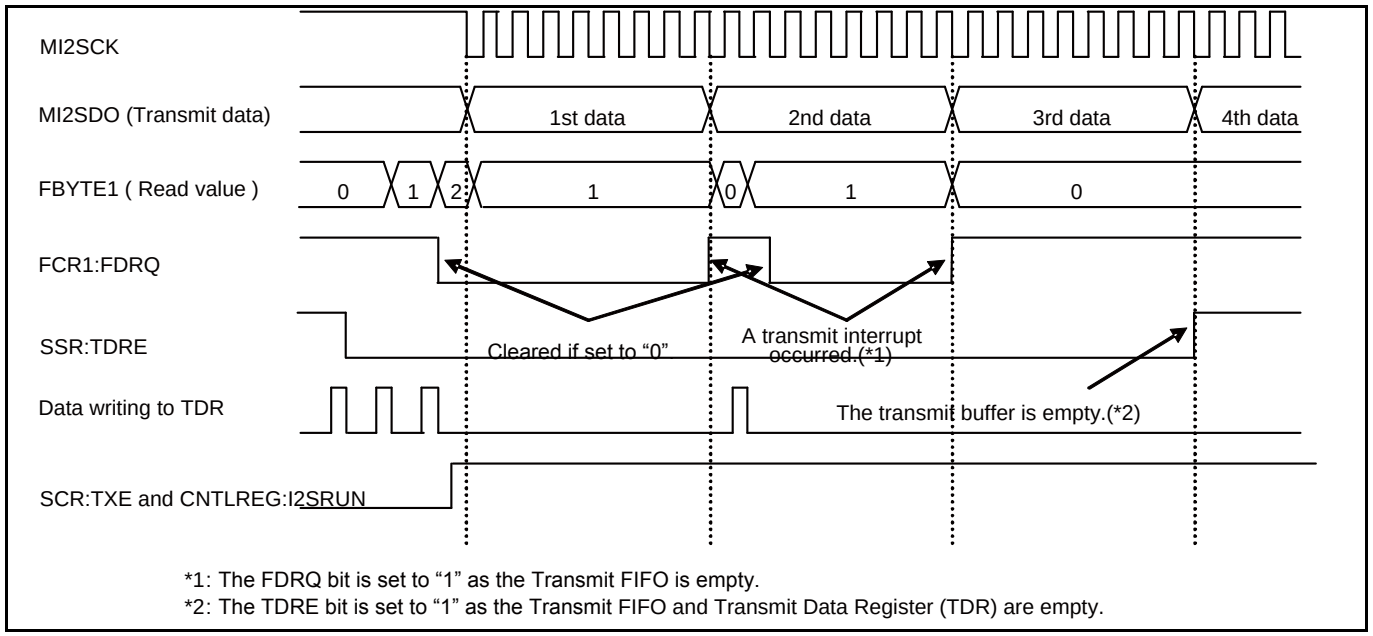
4.2 送信時の割込み発生とフラグセットのタイミング

MFS-I2S の送信機能を使用する場合、必ず送信 FIFO を使用します。送信 FIFO にデータが無いときに割込みが発生します。

送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが無い場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が 1 に設定されます。
  このとき、FIFO 送信割込みが許可されている(FCR1:FTIE=1)と、送信割込みが発生します。
- 送信割込み発生時、送信 FIFO に送信データを書き込み後、FIFO 送信データ要求ビット(FCR1:FDRQ)に 0 の書き込みを行い、割込み要求をクリアしてください。
- 送信 FIFO がデータで一杯になり、送信データが書き込めない状態になると、FIFO 送信データ要求ビット(FCR1:FDRQ)は、0 クリアされます。
- FIFO バイトレジスタ(FBYTE)を読出すことで、送信 FIFO 内にデータがあるか確認できます。

Figure 4-2 送信 FIFO 使用時の送信割込み発生のタイミング



*1: The FDRQ bit is set to “1” as the Transmit FIFO is empty.
*2: The TDRE bit is set to “1” as the Transmit FIFO and Transmit Data Register (TDR) are empty.

5. MFS-I²S レジスタ

このセクションでは、MFS-I²S レジスタの一覧を示します。

Table 5-1 MFS-I²S レジスター一覧

	bit15 bit8	bit7 bit0
CSIO	SCR（シリアル制御レジスタ）	SMR（シリアルモードレジスタ）
	SSR（シリアルステータスレジスタ）	ESCR（拡張通信制御レジスタ）
	RDR/TDR（受信データレジスタ/送信データレジスタ）	
FIFO	FCR1（FIFO 制御レジスタ 1）	FCR0（FIFO 制御レジスタ 0）
	FBYTE2（FIFO2 バイトレジスタ）	FBYTE1（FIFO1 バイトレジスタ）

	bit31 bit24	bit23 bit16
CSIO	RDR/TDR（受信データレジスタ/送信データレジスタ）	

Table 5-2 MFS-I²S ビット配列

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	-	RIE	-	-	RXE	TXE	MD2	MD1	MD0	-	-	BDS	-	SOE
SSR/ ESCR	REC	-	-	AWC	ORE	RDRF	TDRE	-	-	L3	-	-	-	L2	L1	L0
TDR/ RDR	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
FCR1/ FCR0	-	-	-	-	-	FDRQ	FTIE	FSEL	-	-	-	-	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
TDR/ RDR	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16

5.1 シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、/受信割込みの許可/禁止、データ送受信の許可/禁止に使用します。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	MS	-	RIE	-	-	RXE	TXE	(SMR)
属性	R/W	R/W	-	R/W	-	-	R/W	R/W	
初期値	0	0	-	0	-	-	0	0	

[bit15] UPCL：プログラマブルクリアビット

CSIO 内部状態を初期化します。

1 を設定した場合:

- CSIO は直接リセットされます（ソフトウェアリセット）。ただし、現在のレジスタ設定は維持されます。送信または受信状態は直ちに切断されます。
- SSR:RDRF 以外、すべての送信/受信割込み要因(SSR:TDRE, ORE)が初期化されます。

0 を設定した場合:

動作に影響ありません。

このビットからは常に 0 が読出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に 0 が読出されます
1	プログラマブルクリア	

<注意事項>

- *最初に割込みを禁止してから、プログラマブルクリア命令を実行してください。*
- *FIFO 使用時は、FIFO 禁止(FCR0:FE[2:1]=00)してからプログラマブルクリアを実行してください。*

[bit14] MS：マスタ/スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

I²S モードの場合、MS ビットは必ず 1（スレーブモード）に設定してください。

bit	説明
0	設定禁止（マスタモード）
1	スレーブモード

[bit13] -：予約ビット

読出し値は 0 です。必ず 0 を書込んでください。

[bit12] RIE：受信割込み許可ビット

このビットは、CPU に対する受信割込み要求の出力を許可または禁止します。

RIE ビットが 1 で受信割込みが許可されている場合、受信データフラグビット(SSR:RDRF)、またはエラーフラグビット(ORE)に 1 がセットされた時に、受信割込み要求が出力されます。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11:10] -：予約ビット

読出し値は 0 です。必ず 0 を書込んでください。

[bit9] RXE：データ受信許可ビット

I²S データ受信を許可または禁止します。

bit	説明
0	データ受信禁止
1	データ受信許可

＜注意事項＞

- *MS ビットを設定した後、データ受信許可(RXE=1)に設定してください。*

[bit8] TXE：データ送信許可ビット

I²S データ送信を許可または禁止します。

bit	説明
0	データ送信禁止
1	データ送信許可

＜注意事項＞

- *送信動作もしくは受信動作のどちらかを選択することができます。RXE=1 かつ TXE=1 の設定を行うことは禁止です。*

5.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの選択、送信方向、シリアルデータの出力の許可/禁止を設定します。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	-	-	BDS	-	SOE
属性		R/W	R/W	R/W	-	-	R/W	-	R/W
初期値		0	0	0	-	-	0	-	0

[bit7:5] MD2, MD1, MD0：動作モード設定ビット

これらのビットは、動作モードを設定します。

I²S モードの場合、これらのビットを 010（クロック同期モード）に設定してください。

bit7	bit6	bit5	説明
0	0	0	設定禁止（動作モード 0：非同期ノーマルモード）
0	0	1	設定禁止（動作モード 1：非同期マルチプロセッサモード）
0	1	0	動作モード 2（クロック同期モード）
0	1	1	設定禁止（動作モード 3：LIN 通信モード）
1	0	0	設定禁止（動作モード 4：I²C モード）
上記以外の値			設定禁止

<注意事項>

- *動作モードを設定した後、その他のレジスタを設定してください。*

[bit4:3] -：予約ビット

読出し値は 0 です。必ず 0 を書込んでください。

[bit2] BDS：転送方向選択ビット

転送シリアルデータの最下位ビットを先頭に（LSB ファースト、BDS=0）または最上位ビットを先頭に（MSB ファースト、BDS=1）転送するよう指定します。

I²S モードの場合、本ビットは 1（MSB ファーストモード）に設定してください。

bit	説明
0	設定禁止（LSB ファースト：最下位ビットから転送）
1	MSB ファースト（最上位ビットから転送）

<注意事項>

- *本ビットは、送受信が禁止の場合(SCR:TXE=RXE=0)に設定してください。*

[bit1] -：予約ビット

読出し値は 0 です。必ず 0 を書込んでください。

[bit0] SOE：シリアルデータ出力許可ビット

このビットは、シリアルデータ出力を許可または禁止します。

I²S モードで、データ送信を行う場合、本ビットは 1 に設定してください。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

＜注意事項＞

- *データ送信を行う場合、GPIO 設定も行ってください。*

5.3 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認、受信エラーフラグの確認、および受信エラーフラグのクリアに使用します。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	-	AWC	ORE	RDRF	TDRE	-	(ESCR)
属性	R/W	-	-	R/W	R	R	R	-	
初期値	0	-	-	0	0	0	1	-	

[bit15] REC：受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の ORE フラグをクリアします。

1 書込みで、エラーフラグがクリアされます。

0 書込みは、動作に影響しません。

読出し時は、常に 0 が読出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響ありません	常に 0 が読出されます
1	受信エラーフラグ(ORE)をクリア	

[bit14:13] -：未使用ビット

読出し時、値は不定です。
書込み時、動作に影響しません。

[bit12] AWC：FIFO アクセス幅設定

本ビットは、FIFO のアクセス幅を決定します。

I²S モードの場合、本ビットを 1（32 ビット幅アクセス）に設定してください。

bit	説明
0	設定禁止（16 ビットアクセス）
1	32 ビットアクセス

[bit11] ORE：オーバランエラーフラグビット

データ受信中にオーバランが発生した場合、本ビットが 1 に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに 1 を書込むとクリアされます。

ORE および SCR:RIE ビットが 1 の場合、受信割込み要求（RIRQ）が出力されます。

本フラグがセットされた場合、受信データレジスタ(RDR)のデータは無効です。

受信 FIFO 使用時に本フラグがセットされた場合、受信 FIFO 許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF：受信データフルフラグビット

本フラグは、受信データレジスタ(RDR)の状態を示します。

受信 FIFO を使用し、受信 FIFO が所定のデータ数を受信した場合、RDRF ビットは 1 にセットされます。

受信 FIFO を使用し、FIFO 内に存在するデータが所定のデータ数(FBYTE)未満の場合、本ビットは 0 にクリアされます。

RDRF フラグビットは、受信 FIFO リセット後、0 にクリアされます。

SCR:RIE ビットが 1 の場合、RDRF ビットに 1 がセットされると、受信割込み要求（RIRQ）が出力されます。

bit	説明
0	受信データレジスタ(RDR)は空
1	受信データレジスタ(RDR)にデータが存在する

[bit9] TDRE：送信データエンプティフラグビット

本フラグは、送信データレジスタ(TDR)の状態を示します。

送信 FIFO を使用し、送信データが TDR に書込まれると、本ビットは 0 にクリアされます。TDR に有効データが存在していることを示します。送信 FIFO と送信データレジスタ（TDR）に有効なデータが無くなると、本ビットに 1 がセットされ、有効なデータが無いことを示します。

シリアル制御レジスタ(SCR)の UPCL ビットに 1 を書き込むと、TDRE ビットは 1 がセットされます。

送信 FIFO 使用時の TDRE ビットセット/リセットのタイミングについては、「4.2 送信時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタ(TDR)は空

[bit8] -：未使用ビット

読出し時、不定です。
書込み時、動作に影響しません。

5.4 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長を設定します。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	-	-	L3	-	-	-	L2	L1	L0
属性		-	R/W	-	-	-	R/W	R/W	R/W
初期値		-	0	-	-	-	0	0	0

[bit7] -：予約ビット

読出し値は 0 です。必ず 0 を書込んでください。

[bit5:3] -：予約ビット

読出し値は 0 です。必ず 0 を書込んでください。

[bit6, bit2:0] L3, L2, L1, L0：データ長選択ビット

送受信データ長を設定します。

I²S モードの場合、本ビットは、1111（32 ビット長）に設定してください。

L3	L2	L1	L0	説明
1	1	1	1	32 ビット長
上記外の設定				設定禁止

5.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データレジスタ（RDR）と送信データレジスタ（TDR）は、同じアドレスに配置されています。このレジスタは、データを読み出す場合、受信データレジスタ(RDR)値が読み出され、データを書き込む場合、送信データレジスタ（TDR）にデータが書き込まれます。

受信 FIFO が許可のとき、受信データレジスタ(RDR)を読むと受信 FIFO から受信データが読み出されます。

送信 FIFO が許可のとき、送信データレジスタ(TDR)にデータを書くと送信 FIFO にデータが書き込まれます。

受信データレジスタ(RDR)

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
属性	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

受信データレジスタ(RDR)は、シリアルデータ受信用の 32 ビットのデータバッファレジスタです。

- I2S モードの場合、本レジスタは、必ず 32 ビット幅でアクセスしてください。
- シリアル入力端子（MI2SDI 端子）に送られてきたシリアルデータ信号が、シフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- CNTLREG:FRAML=0 の場合、D31～D16 に右チャネルの 16 ビット・データ、D15～D0 に左チャネルの 16 ビット・データが格納されます。（Figrue3-2 を参照してください。）
- CNTLREG:FRAML=1 の場合、D31～D0 に左チャネル、右チャネルの 32 ビット・データが交互に格納されます。（Figrue3-2 を参照してください。）
- 受信 FIFO に有効なデータが存在しているとき、受信データレジスタ（RDR）の読み出しを行ってください。受信 FIFO に有効なデータが存在していないとき、受信データレジスタ（RDR）の読み出しは禁止です。

<注意事項>

- ***受信 FIFO が許可のときに、受信エラーが発生(SSR:ORE=1) した場合、受信 FIFO の許可ビットは 0 にクリアされ、そのときの受信データは受信 FIFO に格納されません。***

送信データレジスタ(TDR)

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
属性	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

送信データレジスタ(TDR)は、シリアルデータ送信用の 32 ビットのデータバッファレジスタです。

- I2S モードの場合、本レジスタは、必ず 32 ビット幅でアクセスしてください。
- データ送信が許可されている場合に(SCR:TXE=1、CNTLREG:I2SRUN=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが、送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(MI2SDO)から送出されます。
- CNTLREG:FRAML の値によらず、D31～D16 に右チャネルの 16 ビット・データ、D15～D0 に左チャネルの 16 ビット・データを書き込みます。(Figrue3-1 を参照してください。)
- 送信 FIFO と送信データレジスタ(TDR)が一杯でない場合に、次の送信データを送信データレジスタ(TDR)に書き込むことができます。送信 FIFO と送信データレジスタ（TDR）が一杯の場合、送信データレジスタ(TDR)への書き込みは禁止です。

＜注意事項＞

- *送信データレジスタは書込み専用レジスタです。一方、受信データレジスタは読出し専用レジスタです。これら 2 つのレジスタは同じアドレスに割り当てられますが、書込み値と読出し値は異なります。したがって、ビットバンドエイリアス領域経由のリード・モディファイ・ライト(RMW)アクセスによる TDR の書き込みは使用できません。*

5.6 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO テストの設定、送信または受信 FIFO の選択、送信 FIFO 割込みの許可、および割込みフラグの制御に使用します。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			-	-	FDRQ	FTIE	FSEL	(FCR0)
属性	-	-	-	-	-	R/W	R/W	R/W	
初期値	-	-	-	-	-	1	0	0	

[bit15:13] 予約：予約ビット

読出し値は 0 です。必ず 0 を書込んでください。

[bit12:11] -：未使用ビット

読出し値は 0 です。必ず 0 を書込んでください。

[bit10] FDRQ：送信 FIFO データ要求ビット

本ビットは、送信 FIFO データ要求を示します。

本ビットが 1 のとき、送信するデータを要求していることを示します。

FDRQ ビットは、以下の場合に 1 にセットされます。

- FBYTE1 が 0x00（送信 FIFO の有効データ量が 0）の場合。
- CPU から送信 FIFO をリセットした場合。

FDRQ ビットは、以下の場合に 0 にクリアされます。

- CPU から本ビットに 0 の書き込みを行った場合。
- 送信 FIFO と送信データレジスタ(TDR)がデータで一杯の場合。

送信 FIFO 割込みが許可されている (FCR1:FTIE=1) 場合、本ビットに 1 がセットされると、送信 FIFO 割込み要求（TIRQ）が出力されます。

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>

- *本ビットが 0 のとき、FSEL ビットの変更は禁止です。*
- *本ビットは、1 の書き込みを行っても動作に影響しません。*
- *ビットバンドエイリアス領域経由のリード・モディファイ・ライト(RMW)アクセスのリード時は、本ビットは、1 が読み出されます。*

[bit9] FTIE：送信 FIFO 割込み許可ビット

本ビットは、送信 FIFO 割込みを許可します。本ビットを 1 に設定した場合、FDRQ ビットに 1 がセットされると、送信割込み（TIRQ）が発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL：FIFO 選択ビット

本ビットは、送信 FIFO または受信 FIFO を選択します。

I²S モードの場合、本ビットは 0 で使用してください。

bit	説明
0	送信 FIFO として FIFO1、受信 FIFO として FIFO2 が割り当てられる。
1	設定禁止（送信 FIFO として FIFO2、受信 FIFO として FIFO1 が割り当てられる。）

＜注意事項＞

- *本ビットは、FIFO リセット(FCR0:FCL2=1、FCR0.FCL1=1)でクリアされません。*

5.7 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止、FIFO のリセットの設定に使用します。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	-	-	-	FCL2	FCL1	FE2	FE1
属性		-	-	-	-	R/W	R/W	R/W	R/W
初期値		-	-	-	-	0	0	0	0

[bit7] - : 未使用ビット

常に 0 が読出されます。

常に 0 を書込んでください。

[bit6] - : 未使用ビット

読出し時、不定です。

書込み時、動作に影響しません。

[bit5:4] - : 未使用ビット

常に 0 が読出されます。

常に 0 を書込まなければなりません。

[bit3] FCL2 : FIFO2 リセットビット

本ビットは、FIFO2 をリセットするビットです。

本ビットを 1 に設定した場合、FIFO2 の内部状態を初期化します。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に 0 が読出されます。
1	FIFO2 リセット	

<注意事項>

- *最初に送信と受信を禁止してから、FIFO2 をリセットします。*
- *実行前に送信 FIFO 割込み許可ビットを 0 に設定します。*
- *FBYTE2 レジスタの有効データカウントは 0 に設定されます。*

[bit2] FCL1：FIFO1 リセットビット

本ビットは、FIFO1 をリセットするビットです。

本ビットを 1 に設定した場合、FIFO1 の内部状態を初期化します。

bit	説明	
	書込み時	読出し時
0	動作に影響ありません。	常に”0”が読出されます
1	FIFO1 がリセット	

＜注意事項＞

- *最初に送信と受信を禁止してから、FIFO1 をリセットします。*
- *実行前に送信 FIFO 割込み許可ビットを 0 に設定します。*
- *FBYTE1 レジスタの有効データカウントは 0 に設定されます。*

[bit1] FE2：FIFO2 動作許可ビット

本ビットは、FIFO2 の動作を許可/禁止するビットです。

FIFO2 を使用する場合、本ビットを”1”に設定します。

I²S モードの場合、本ビットは 1（FIFO2 動作許可）で使用してください。

- FIFO2 を受信 FIFO に選択し、受信エラー（SSR:ORE）が発生した場合、本ビットは 0 にクリアされます。本ビットは、受信エラーがクリアされるまで、1 に設定できません。
- FIFO2 を受信 FIFO として使用する場合、以下のすべての条件を満たすとき、本ビットを変更してください。
  - シリアル制御レジスタの受信動作許可ビット（SCR：RXE)が 0
  - シリアルステータスレジスタの受信データフルフラグ（SSR：RDRF）が 0
- FIFO2 動作を禁止しても、FIFO2 状態は保持されます。

bit	説明
0	設定禁止（FIFO2 動作禁止）
1	FIFO2 動作許可

[bit0] FE1：FIFO1 動作許可ビット

本ビットは、FIFO1 の動作を許可/禁止するビットです。

FIFO1 を使用する場合、本ビットを”1”に設定します。

I²S モードの場合、本ビットは 1（FIFO1 動作許可）で使用してください。

- FIFO1 を送信 FIFO として使用する場合、以下のすべての条件を満たすとき、本ビットを変更してください。
  - シリアル制御レジスタの送信動作許可ビット(SCR:TXE)が 0
  - シリアルステータスレジスタの送信データエンプティフラグ(SSR:TDRE)が 1
- FIFO1 動作を禁止しても、FIFO1 状態は保持されます。

bit	説明
0	設定禁止（FIFO1 動作禁止）
1	FIFO1 動作許可

5.8 FIFO バイトレジスタ(FBYTE)

本レジスタは、FIFO 容量に関する設定に使用されます。

本レジスタは読出しデータと書込みデータでは意味が異なります。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:8] FBYTE2：FIFO2 有効データビット

本ビットを読み出した場合、FIFO2（受信 FIFO） の有効データ量が読み出されます。

本ビットへ書き込む値は、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)を"1"にセットする受信データ量を設定します。設定されたデータ量と受信 FIFO の有効データ量が一致したとき、シリアルステータスレジスタの受信データフルフラグ(SSR：RDRF)が"1"にセットされます。

書込み	シリアルステータスレジスタ(SSR)の受信データフルフラグ(RDRF)が"1"にセットされる受信データ量を書き込みます。
読出し	FIFO2 に格納されている有効受信データ量が読み出されます。

Table 5-3 FIFO2 容量と FBYTE2 レジスタ値

搭載 FIFO 容量	最大 FBYTE2 設定量 (10 進数)	最大格納データ量 (10 進数)
64 バイト	14	15 （CNTLREG:FRAML=0 の場合）
		16 （CNTLREG:FRAML=1 の場合）
128 バイト	30	31 （CNTLREG:FRAML=0 の場合）
		32 （CNTLREG:FRAML=1 の場合）

＜注意事項＞

- *搭載 FIFO 容量は、使用する製品により異なります。データシートにて搭載容量を確認してください。*
- *本ビットの受信データ量の設定値の初期値は 0x08 です。*
- ***シリアル制御レジスタの受信動作許可ビット(SCR:RXE)が 0 のとき、本ビットを変更してください。***
- ***FBYTE2 の書き込み値は、0x01 以上に設定しなければなりません。***
- ***FBYTE2 の書き込み値は、Table5-3 の最大 FBYTE2 設定量より大きな値を設定することはできません。この値は、書き込み値の上限を示します。***
- ***FBYTE2 の読み出し値が、Table5-3 の最大格納データ量に一致すると受信 FIFO フルの状態です。フレーム信号（MI2SWS）の出力動作が停止します。この値は読み出し値の上限を示します。***
- ***FBYTE2 の読出し値は、受信 FIFO から読出されていないデータ量を示します。読み出し値が 0x00 の場合、受信データレジスタ(RDR)の読み出しは禁止です。***
- *本レジスタに対し、ビットバンドエイリアス領域経由のリード・モディファイ・ライト(RMW)アクセスは使用できません。*

[bit7:0] FBYTE1：FIFO1 有効データビット

本ビットを読み出した場合、FIFO1（送信 FIFO） の有効データ量が読み出されます。

本ビットへは 0x00 を書き込みます。

書込み	常に 0x00 を書き込みます。
読出し	FIFO1 に格納されている有効送信データ量を読み出します。 （FIFO にすでに書込まれているが、まだ送信されていないデータ数）

Table 5-4 FIFO1 容量と FBYTE1 レジスタ値

搭載 FIFO 容量	最大格納データ量 （10 進数）
64 バイト	16
128 バイト	32

＜注意事項＞

- *搭載 FIFO 容量は、使用する製品により異なります。データシートにて搭載容量を確認してください。*
- *FBYTE1 の読出し値は、送信データ書き込み数から 1 減算した値が有効データ量として読み出せます。これは送信 FIFO のほかに送信データレジスタ（TDR）に有効なデータがあるためです。*
- *FBYTE1 の読み出し値が、Table5-4 の最大格納データ量に一致している場合、送信データレジスタ(TDR)への書き込みは禁止です。*
- *FBYTE1 の読み出し値が 0x00 で、送信データレジスタ（TDR）に有効なデータが無い場合、フレーム信号（MI2SWS）の出力動作が停止します。*
- *本レジスタに対し、ビットバンドエイリアス領域経由のリード・モディファイ・ライト(RMW)アクセスは使用できません。*

6. MFS-I²S クロックジェネレータレジスタ

このセクションでは、MFS-I²S クロックジェネレータレジスタの一覧を示します。

Table 6-1 MFS-I²S クロックジェネレータレジスター覧

	bit15	bit8	bit7	bit0
I²S クロックジェネレータ	CNTL（I²S コントロールレジスタ）			
	I2SCLK（I²S クロック設定レジスタ）			
	I2SST（I²S 状態レジスタ）		I2SRST（I²S リセットレジスタ）	

6.1 コントロールレジスタ(CNTLREG)

I²S 用のコントロールレジスタです。

bit	15	14	13	12	11	10	9	8
Field	-	-	-	-	-	I2SRUN	-	-
属性	-	-	-	-	-	R/W	-	-
初期値	-	-	-	-	-	0	-	-

bit	7	6	5	4	3	2	1	0
Field	-	CKOE	I2SEN	FSPL	I2SMOD	-	-	FRAML
属性	-	R/W	R/W	R/W	R/W	-	-	R/W
初期値	-	0	0	0	0	-	-	1

[bit15:11] -：予約ビット

読出し値は 0 です。

必ず 0 を書込んでください。

[bit10] I2SRUN：I²S クロック発生許可

本ビットは、I²S の内部クロック発生を許可または禁止します。

I2SRUN=0 のとき、MI2SMCK 出力、MI2SCK 出力、MI2SWS 出力は停止します。

bit	説明
0	I²S クロック発生禁止
1	I²S クロック発生許可

[bit9:7] -：予約ビット

読出し値は 0 です。

必ず 0 を書込んでください。

[bit6] CKOE：MI2SCK および MI2SWS（フレーム同期信号）出力許可信号

本ビットは、クロック出力許可を設定します。

I²S モードの場合、本ビットは 1（ MI2SCK および MI2SWS 出力許可）で使用してください。

bit	説明
0	設定禁止（MI2SCK および MI2SWS 出力禁止）
1	MI2SCK および MI2SWS 出力許可

[bit5] I2SEN：I²S モード許可

本ビットは、MFS-CSIO モジュール動作を指定します。

I²S モードの場合、本ビットは 1 で使用してください。

bit	説明
0	設定禁止（MFS-CSIO モジュールを MFS-I²S 以外で使用する。）
1	MFS-CSIO モジュールを MFS-I²S として使用する。

[bit4] FSPL：I2SWS 極性設定

本ビットは、MI2SWS 出力の極性を設定します。

bit	説明
0	左チャネル時”Low”。右チャネル or アイドル時”High”、
1	左チャネル時”High”、右チャネル or アイドル時”Low”、

[bit3] I2SMOD：I²S モード選択

本ビットは、MI2SWS 出力の変化タイミングを設定します。

bit	説明
0	MI2SWS 変化の 1SCK 後に MSB データ出力
1	MI2SWS 変化時に MSB データ出力

I²S Philips 標準モードの場合は、CNTLREG:FSPL=0、CNTLREG:I2SMOD=0 にしてください。

MSB-Justified 標準モードの場合は、CNTLREG:FSPL=1、CNTLREG:I2SMOD=1 にしてください。

これらのモードの詳細については、「8.2 I²S および MSB-Justified プロトコル」を参照してください。

[bit2:1] -：未使用ビット

読出し値は 0 です。

必ず 0 を書込んでください。

[bit0] FRAML：MI2SCK のレート選択（フレーム長選択）

本ビットは、1 フレームのビットクロック数を設定します。

bit	説明
0	MI2SCK のレートを 32×Fs（サンプリング周波数）にします。
1	Mi2SCK のレートを 64×Fs（サンプリング周波数）にします。

6.2 I²S クロックレジスタ(I2SCLK)

I²S 用のクロックレジスタです。

bit	15	14	13	12	11	10	9	8
Field	MCKIE	MCKOE	-	-	-	-	-	-
属性	R/W	R/W	-	-	-	-	-	-
初期値	0	0	-	-	-	-	-	-

bit	7	6	5	4	3	2	1	0
Field	I2SDIV[7:0]							
属性	R/W							
初期値	0x00							

[bit15] MCKIE：メインクロック入力許可

本ビットは、MI2SCK のクロックソースを選択します。

Figure2-1 を参照してください。

bit	説明
0	可変分周器（Variable divider）の入力に APB クロック(PCLK)を使用します
1	可変分周器（Variable divider）の入力に MI2SMCK 端子からの入力を使用します

[bit14] MCKOE：メインクロック出力選択

本ビットは、MI2SCK のクロックソースを選択します。

Figure2-1 を参照してください。

bit	説明
0	MI2SCK 出力に、可変分周器（Variable divider）の出力を使用します。
1	MI2SCK 出力に、可変分周器（Variable divider）の出力の固定分周後の出力を使用します。

＜注意事項＞

- *MI2SMCK を出力端子として使用する場合､GPIO 部のEPFR レジスタにて出力設定を行ってください。*
- *MI2SMCK を出力端子として使用する場合、I2SCLK:MCKIE=1 の設定は禁止です。*
- *CNTLREG:I2SRUN=0 のとき、MI2SMCK 出力、MI2SCK 出力、MI2SWS 出力は停止します。*

[bit13:8] -：未使用ビット

読出し値は不定です。

書込みは動作に影響しません。

[bit7:0] I2SDIV：I²S クロック分周設定

本ビットは、可変分周器（Variable divider）の分周量を設定します。

Figure2-1 を参照してください。

bit7:0	説明
0x00	1 分周（クロックをバイパスします。）
0x01	2 分周。
0x02	4 分周
0x03	6 分周
0x04	8 分周
…	…
0xFE	508 分周
0xFF	510 分周

＜注意事項＞

- *可変分周器の分周設定は、生成する MI2SCK の周波数が、APB バスクロック周波数（PCLK）に対し、以下条件を満たすように設定する必要があります。*
  MI2SCK 周波数　≦　PCLK 周波数　/　4

MCKIE、MCKOE、I2SDIV、CNTLREG:FRAML の設定により、出力される各クロック周波数を以下に示します。

Table 6-2 MI2SWS 出力の周波数

MCKIE	MCKOE	FRAML	MI2SWS 出力の周波数（＝Fs　サンプリング周波数）
0	0	0	PCLK 周波数　/　(I2SDIV 分周量×32)
0	0	1	PCLK 周波数　/　(I2SDIV 分周量×64)
0	1	X	PCLK 周波数　/　(I2SDIV 分周量×256)
1	0	0	MI2SMCK 入力周波数　/　(I2SDIV 分周量×32)
1	0	1	MI2SMCK 入力周波数　/　(I2SDIV 分周量×64)
1	1	X	MI2SMCK 入力周波数　/　(I2SDIV 分周量×256)

Table 6-3 MI2SCK 出力の周波数

MCKIE	MCKOE	FRAML	MI2SCK 出力の周波数
0	0	X	PCLK 周波数　/　(I2SDIV 分周量×1)
0	1	0	PCLK 周波数　/　(I2SDIV 分周量×8)
0	1	1	PCLK 周波数　/　(I2SDIV 分周量×4)
1	0	X	MI2SMCK 入力周波数　/　(I2SDIV 分周量×1)
1	1	0	MI2SMCK 入力周波数　/　(I2SDIV 分周量×8)
1	1	1	MI2SMCK 入力周波数　/　(I2SDIV 分周量×4)

Table 6-4 MI2SMCK 出力の周波数

MCKIE	MCKOE	FRAML	MI2SMCK 出力の周波数
0	X	X	PCLK 周波数　/　(I2SDIV 分周量×1)
1	X	X	この設定の場合、MI2SMCK を出力できません。

クロック設定例 1

■ クロック周波数：

MI2SWS 出力 = 48KHz（Fs）
MI2SCK 出力 = 1536KHz（32×Fs）
MI2SMCK 入力 = 12288KHz (256×Fs)
PCLK 入力 ≧ 6144KHz

■ レジスタ設定値

MCKIE=1、MCKOE=0、I2SDIV=0x04、CNTLREG:FRAML = 0

クロック設定例 2

■ クロック周波数：

MI2SWS 出力 = 48KHz（Fs）
MI2SCK 出力 = 3072KHz（64×Fs）
MI2SMCK 入力 = 12288KHz (256×Fs)
PCLK 入力 ≧12288KHz

■ レジスタ設定値

MCKIE=1、MCKOE=0、I2SDIV=0x02、CNTLREG:FRAML = 1

クロック設定例 3

■ クロック周波数：

MI2SWS 出力 = 48KHz（Fs）
MI2SCK 出力 = 1536KHz（32×Fs）
MI2SMCK 出力 = 12288KHz (256×Fs)
PCLK 入力 = 24576KHz (512×Fs)

■ レジスタ設定値

MCKIE=0、MCKOE=1、I2SDIV=0x01、CNTLREG:FRAML = 0

クロック設定例 4

■ クロック周波数：

MI2SWS 出力 = 48KHz（Fs）
MI2SCK 出力 = 1536KHz（32×Fs）
MI2SMCK 出力 = 1536KHz（32×Fs）
PCLK 入力 = 36864KHz (768×Fs)

■ レジスタ設定値

MCKIE=0、MCKOE=0、I2SDIV=0x0c、CNTLREG:FRAML = 0

6.3 I2S ステータスレジスタ(I2SST)

I²S 用のステータスレジスタです。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	-	-	-	-	-	-	BUSY	CKSTP	(I2SRST)
属性	-	-	-	-	-	-	R	R	
初期値	-	-	-	-	-	-	0	0	

[bit15:10] -：未使用ビット

読出し値は不定です。

書込みは動作に影響しません。

[bit9] BUSY：送信用バス使用中表示

本ビットは、I²S バスがデータ送信動作中であることを示します。

bit	説明
0	データ送信なし
1	データ送信中

[bit8] CKSTP：クロック停止表示

本ビットは、CNTLREG:I2SRUN ビットを 0 に設定した後、MI2SCK 出力が停止したことを示します。

bit	説明
0	MI2SCK 出力停止中
1	MI2SCK 出力動作中

6.4 I2S リセットレジスタ(I2SRST)

I²S 用のソフトウェアリセットレジスタです。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(I2SST)	I2SRST							
属性		W	W	W	W	W	W	W	W
初期値		0	0	0	0	0	0	0	0

[bit7:0] I2SRST：I²S ソフトウェアリセット

- 0xA5 を書込むと、ソフトウェアリセットが発生して内部状態とフラグ信号がリセットされます。
- 0xA5 以外の書込みは無効です。
- 読出すデータは常に 0x00 となります。
- 本レジスタは必ずバイトアクセスで書き込みを行ってください。

7. MFS-I²S インタフェース動作説明

7.1 データ送信動作

送信動作の設定手順例を以下に示します。

1. CNTLREG レジスタを設定します。

   I2SEN=1、CKOE=1、I2SRUN=0 の設定が必要です。その他のレジスタ値は任意です。

2. I2SCLK レジスタを設定します。

   レジスタ設定値は任意です。

3. SMR レジスタを設定します。

   MD[2:0]=010、BDS=1、SOE=1 の設定が必要です。

4. SSR レジスタを設定します。

   AWC=1 の設定が必要です。その他のレジスタ値は任意です。

5. ESCR レジスタを設定します。

   L3,L2,L1,L0=1111 の設定が必要です。

6. FCR0 レジスタを設定します。

   FE1=1、FE2=0 の設定が必要です。FCL1=1 の書き込みで送信 FIFO をクリアします。

7. FCR1 レジスタを設定します。

   FSEL=0 の設定が必要です。FTIE の設定は任意です。FDRQ は初期状態ではクリアできません。

8. FBYTE1 レジスタを設定します。

   FBYE1=0x00 の設定が必要です。

9. SCR レジスタを設定します。

   TXE=1、RXE=0、MS=1 の設定が必要です。その他のレジスタ値は任意です。

10. CNTLREG レジスタを設定します。

    I2SRUN=1 の設定が必要です。その他のレジスタ値は 1 と同じ値にします。

11. TDR レジスタに送信データの書き込みを行います。

＜注意事項＞

- *CNTLREG：I2SRUN=1、SCR：TXE=1 のとき、送信 FIFO と TDR が空でない場合、フレーム同期信号(MI2SWS)、ビットクロック（MI2SCK）、送信データが MI2SDO に出力されます。*
- *送信動作中、送信データが無くなると、フレーム同期信号(MI2SWS)は出力を停止します。ビットクロック（MI2SCK）、マスタクロック出力（MI2SMCK）は出力を継続します。*
- *送信動作中、SCR：TXE=0 を書き込むと、その時点でのデータを出力後、フレーム同期信号(MI2SWS)が出力を停止します。*
- *送信動作中、CNTLREG：I2SRUN=0 を書き込むと、フレーム同期信号(MI2SWS)、ビットクロック（MI2SCK)、マスタクロック出力（MI2SMCK）の出力が停止します。*
- *送信データレジスタ（TDR）に必要数のデータを書き込んだ後、FCR1:FDRQ に 0 書き込みを行い、フラグのクリアを行ってください。*
- *送信開始時、CNTLREG:I2SRUN=1 の書き込みは最後に実施します。*

7.2 データ受信動作

受信動作の設定手順例を以下に示します。

1. CNTLREG レジスタを設定します。

   I2SEN=1、CKOE=1、I2SRUN=0 の設定が必要です。その他のレジスタ値は任意です。

2. I2SCLK レジスタを設定します。

   レジスタ設定値は任意です。

3. SMR レジスタを設定します。

   MD[2:0]=010、BDS=1、SOE=0 の設定が必要です。

4. SSR レジスタを設定します。

   AWC=1 の設定が必要です。その他のレジスタ値は任意です。

5. ESCR レジスタを設定します。

   L3,L2,L1,L0=1111 の設定が必要です。

6. FCR0 レジスタを設定します。

   FE1=0、FE2=1 の設定が必要です。FCL2=1 の書き込みで送信 FIFO をクリアします。

7. FCR1 レジスタを設定します。

   FSEL=0、FTIE=0 の設定が必要です。

8. FBYTE2 レジスタを設定します。

   FBYE2 に適切な値を設定します。

9. SCR レジスタを設定します。

   TXE=0、RXE=1、MS=1 の設定が必要です。その他のレジスタ値は任意です。

10. CNTLREG レジスタを設定します。

    I2SRUN=1 の設定が必要です。その他のレジスタ値は 1 と同じ値にします。

11. RDR レジスタから受信データの読み出しを行います。

＜注意事項＞

- *CNTLREG：I2SRUN=1、SCR：RXE=1 のとき、受信 FIFO が Full でない場合、フレーム同期信号(MI2SWS)、ビットクロック（MI2SCK）が出力され、MI2SDI から受信データが取り込まれます。*
- *受信動作中、受信 FIFO が Full になると、フレーム同期信号(MI2SWS)は出力を停止します。ビットクロック（MI2SCK)、マスタクロック出力（MI2SMCK）は出力を継続します。*
- *受信動作中、SCR：RXE=0 を書き込むと、その時点でのデータを入力後、フレーム同期信号(MI2SWS)が出力を停止します。*
- *受信動作中、CNTLREG：I2SRUN=0 を書き込むと、フレーム同期信号(MI2SWS)、ビットクロック（MI2SCK)、マスタクロック出力（MI2SMCK）の出力が停止します。*
- *受信開始時、CNTLREG：I2SRUN=1 の書き込みは最後に実施します。*

8. ユーザの注意事項

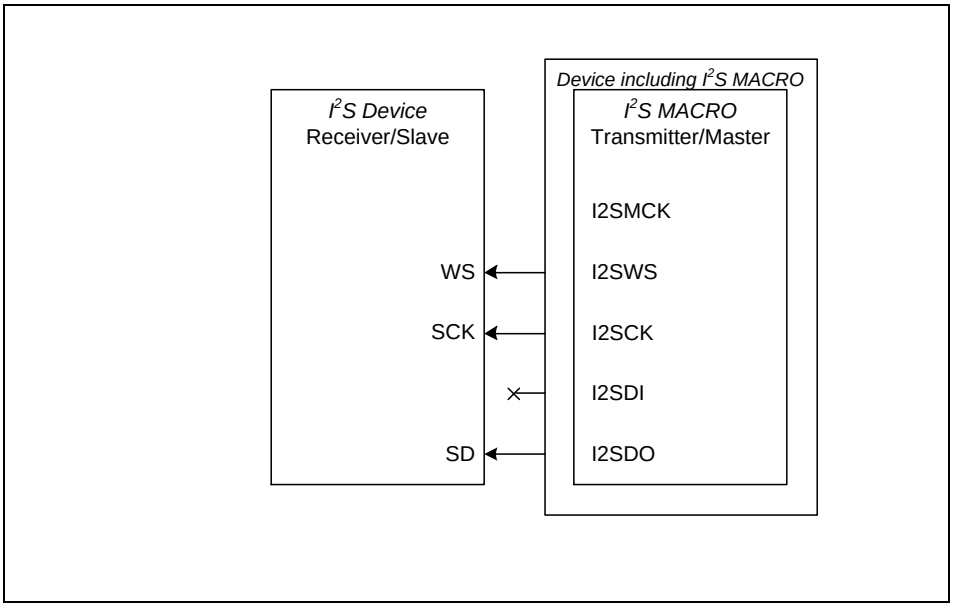
8.1 接続図

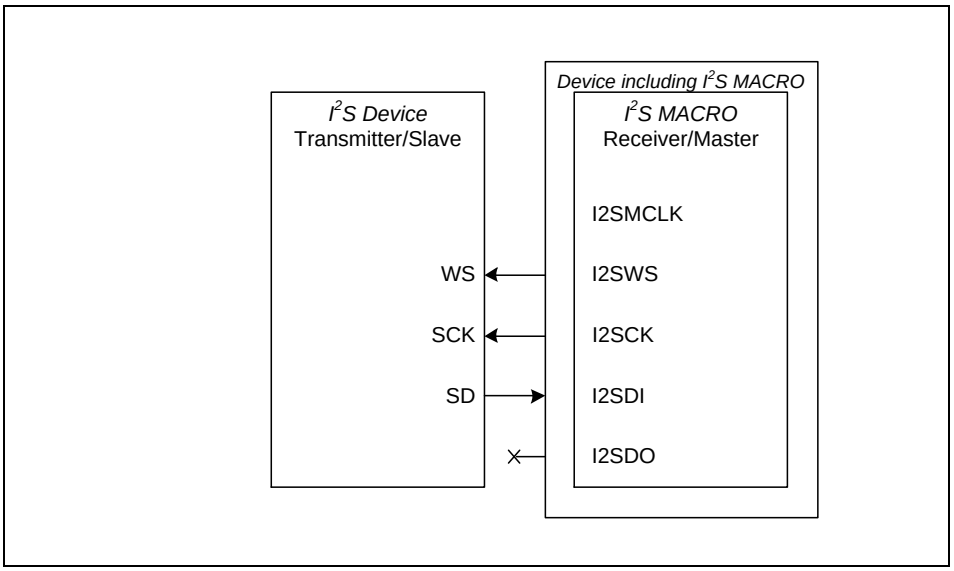
Figure 8-1 に外部接続図を示します。I²S マクロを含むデバイスは、本 MCU です。

上側は、送信用接続図です。

下側は、受信用接続図です。

Figure 8-1 外部接続図





8.2 I²S および MSB-Justified プロトコル

I2S（Inter-Integrated Circuit Sound の略）は、Philips Semiconductors 社が提案したデジタル・ステレオ・オーディオ用プロトコルです。SCK と WS は、I2S Bus 上のマスタが出力します。シリアルデータは、PCM データの MSB 側から出力します。ワードセレクト信号(WS)は、送信中の PCM データがどのチャネルかを示します。WS が 0 の時は左(Left)チャネルを示し、1 の時は右(Right)チャネルを示します。チャネルデータの MSB は、WS の遷移点から 1 クロック分だけ常に遅延します。データサンプリングは、常に SCK の立上りエッジで実行されます。シリアルデータおよび WS 出力は、常に SCK の立下りエッジで実行されます。

MSB-Justified プロトコルは、I2S と似たようなプロトコルです。WS 遷移点とシリアルデータの MSB は、同時に発生します。WS は、0 で右チャネルを示し、1 で左チャネルを示します。

<注意事項>

- *I²S は、レジスタの書込み/読出しなどで Audio Codec Device を制御するプロトコルではありません。*
  そのため、通常 I²S をサポートする Codec Device はデバイス制御用に別のインタフェースを提供します。

Figure 8-2 I²S Data Format

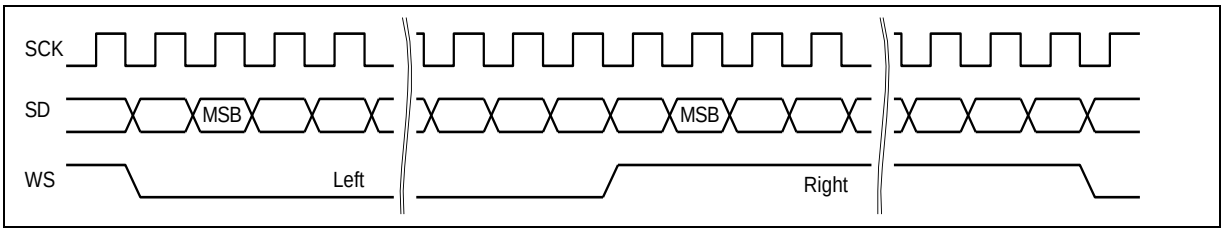
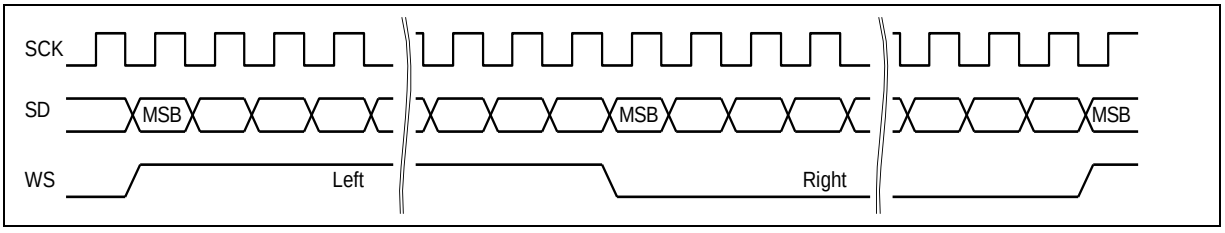


Figure 8-3 MSB-Justified Data Format



CHAPTER 2-1: CAN プリスケーラ

FM0+ファミリ製品は CAN プリスケーラを搭載していません。
本章の説明は省略します。

管理コード: 9BFCANPRE-J01.3

CHAPTER 2-2: CAN コントローラ

FM0+ファミリ製品は CAN コントローラを搭載していません。
本章の説明は省略します。

管理コード: FC42L-J02.5

CHAPTER3-1: HDMI-CEC/リモコン受信

HDMI-CEC/リモコン受信について説明します。

1. 構成
2. 版数
3. HDMI-CEC 使用上の注意点

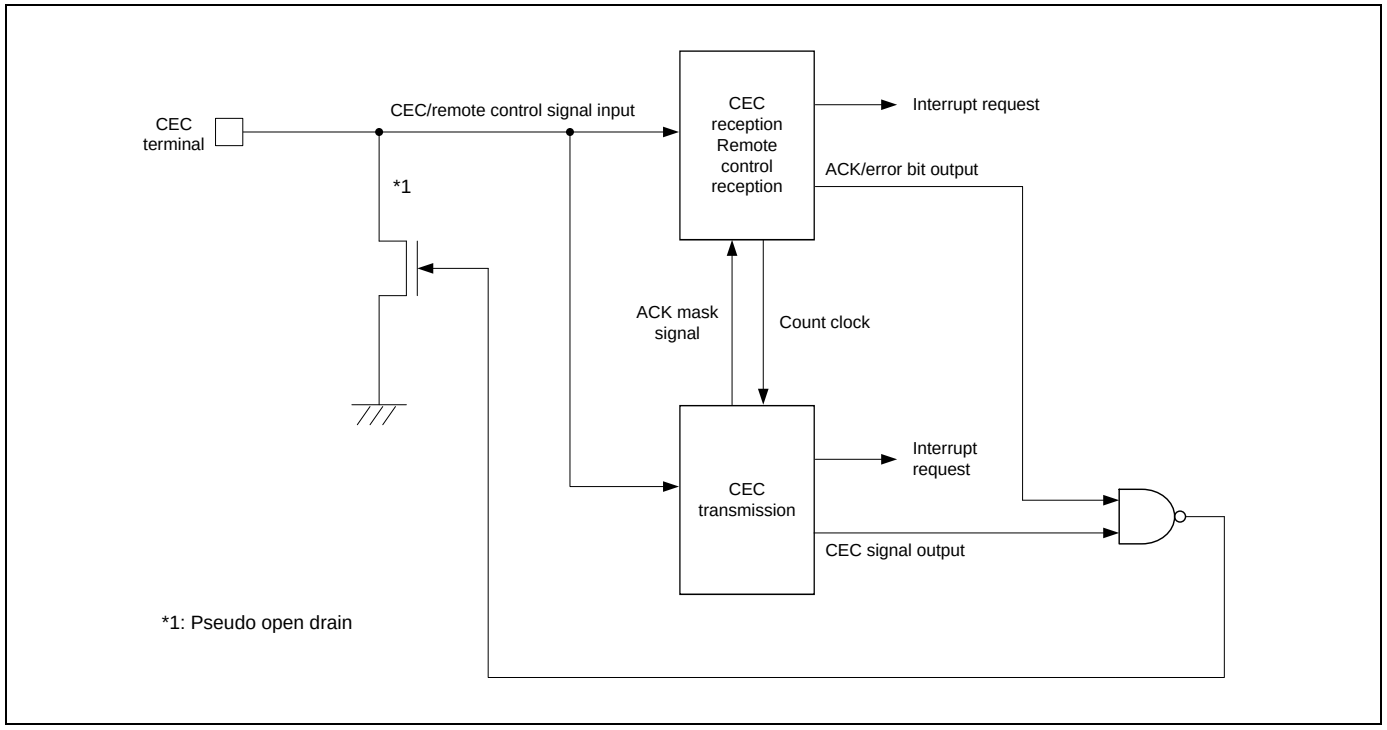
管理コード: 9BFRCECTOP-J1.0

1. 構成

HDMI-CEC/リモコン受信の構成を示します。

構成

Figure 1-1 HDMI-CEC/リモコン受信の構成



■ CEC 受信/リモコン受信
『CEC 受信/リモコン受信』の章を参照してください。

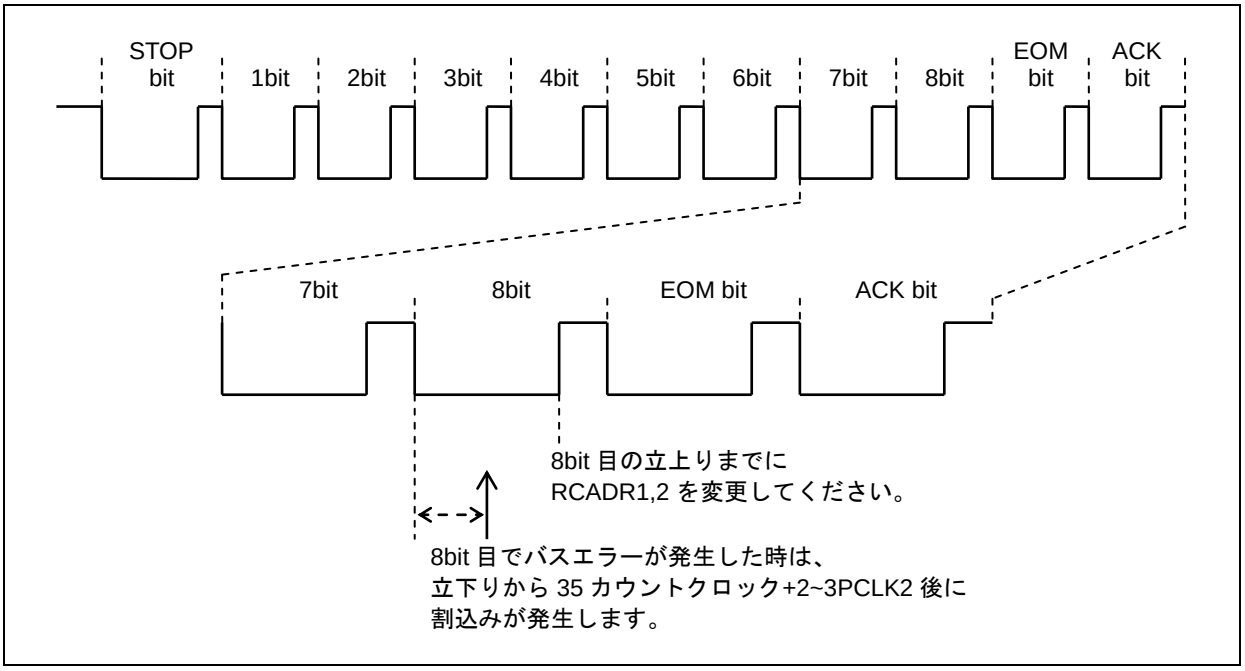
■ CEC 送信
『CEC 送信』の章を参照してください。

2. 版数

FM0+ファミリーに搭載している HDMI-CEC/リモコン受信の版数は、RCCEC_rev3 です。

3. HDMI-CEC 使用上の注意点

- バスエラー発生時に通信の途中で RCADR1 または RCADR2 レジスタを変更する場合は、8bit 目の立上りまでに変更してください。



CHAPTER3-2: CEC 受信/リモコン受信

CEC 受信/リモコン受信の機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定例
5. レジスタ

管理コード: 9BFRCEC-J1.0

1. 概要

HDMI-CEC 信号、赤外線リモコン信号の受信を行ないます。以下に特長を示します。

特長

- スタートビット、データビットの検出タイミングを調整可能
- ノイズフィルタ搭載
- 以下の規格に対応した動作モードを選択可能
  - SIRCS
  - NEC/家電協
  - HDMI-CEC

各動作モードの特長

■ SIRCS モード
- スタートビット検出と割込み出力
- 最小パルス幅違反検出
- デバイスアドレス比較
- カウンタオーバフロー検出と割込み出力

■ NEC/家電協モード
- スタートビット検出と割込み出力
- リピートコード検出と割込み出力
- 最小パルス幅違反検出
- カウンタオーバフロー検出と割込み出力

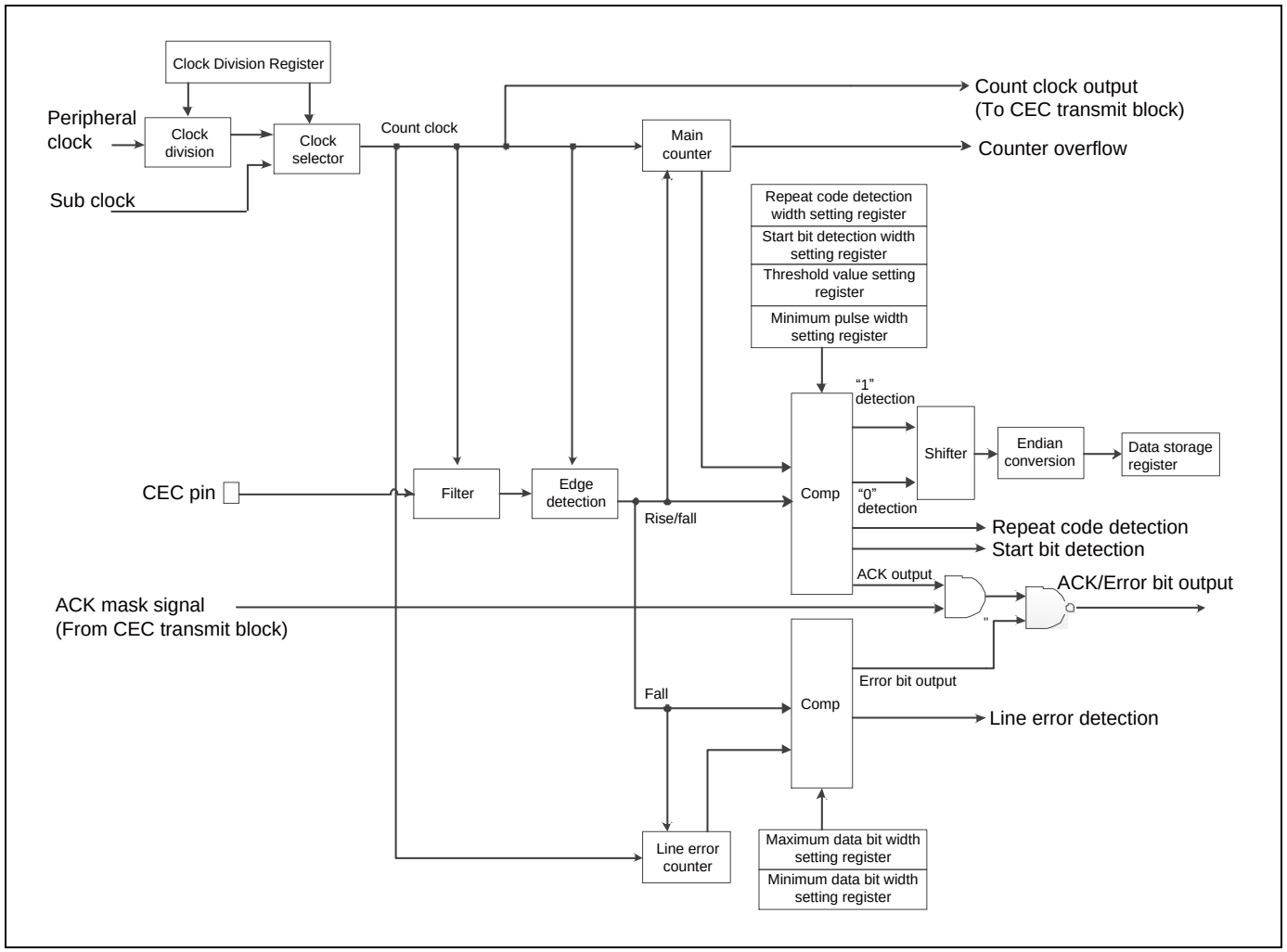
■ HDMI-CEC モード
- スタートビット検出と割込み出力
- 最小パルス幅違反検出
- カウンタオーバフロー検出と割込み出力
- デバイスアドレス比較
- 最小データビット幅違反検出と割込み出力 (HDMI-CEC ラインエラーハンドリング規格に対応)
- エラーパルス自動出力 (HDMI-CEC ラインエラーハンドリング規格に対応)
- 最大データビット幅違反検出と割込み出力
- EOM 検出
- ACK 検出と割込み出力
- ACK 自動応答

2. 構成

ブロックダイヤグラムを示します。

ブロックダイヤグラム

Figure 2-1 CEC 受信/リモコン受信のブロックダイヤグラム



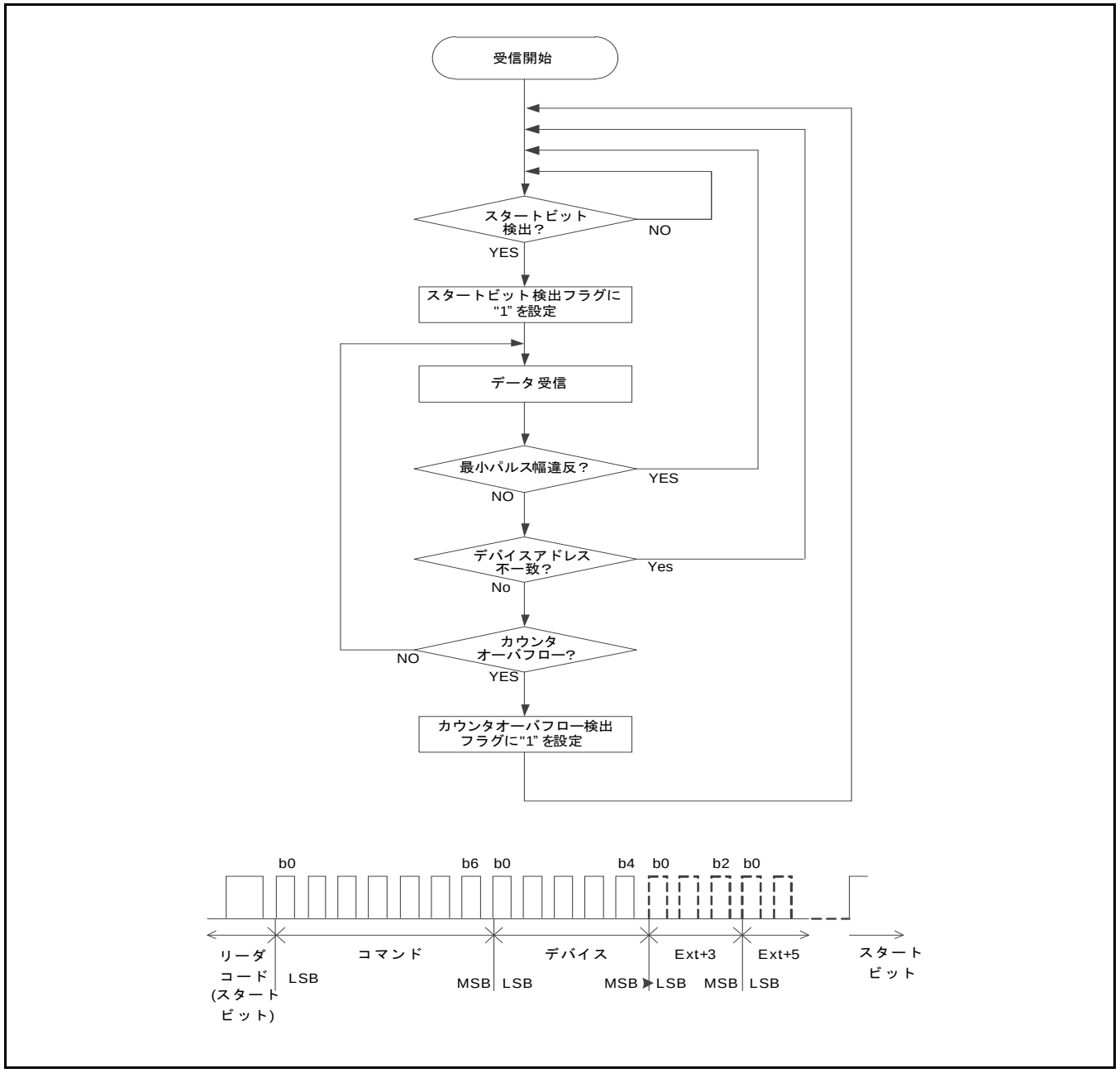
3. 動作説明

CEC 受信/リモコン受信の動作について説明します。

3.1 SIRCS モード

3.1.1 SIRCS モードの動作フローチャートと波形

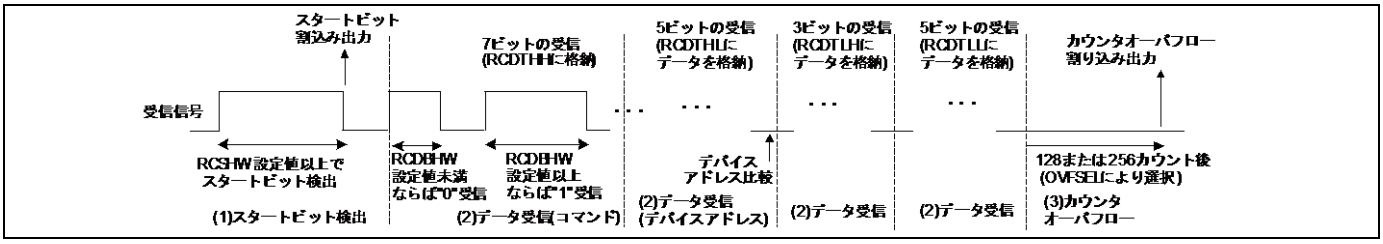
Figure 3-1 動作フローチャートと波形



3.1.2 SIRCS モードの基本動作

SIRCS モードは、カウントクロックによって受信信号の High 幅をカウントして、データを受信します。

Figure 3-2 SIRCS モードの動作



基本動作

基本動作は以下となります。

(1) RCSHW の設定値以上の High 幅が入力されると、スタートビットが検出されて、データ受信状態になります。

(2) Figure 3-2 は THSEL=0(RCCR レジスタ)のときの動作であり、RCDBHW の設定値未満の信号は"0"を受信、RCDBHW の設定値以上の信号は"1"を受信します。

データ受信は 7 ビットのコマンドを受信した後にデバイスアドレスを受信します。5 ビットのデバイスアドレスは、RCADR1, RCADR2 のいずれかの値と同じであれば、アドレス一致となります。アドレス不一致の場合は、スタートビット検出待ちの状態に戻ります。

(3) データ受信後にオーバフローすると、スタートビット検出待ちの状態に戻ります。

3.1.3 スタートビット検出と割込み出力

Figure 3-3 SIRCS モードのスタートビット検出

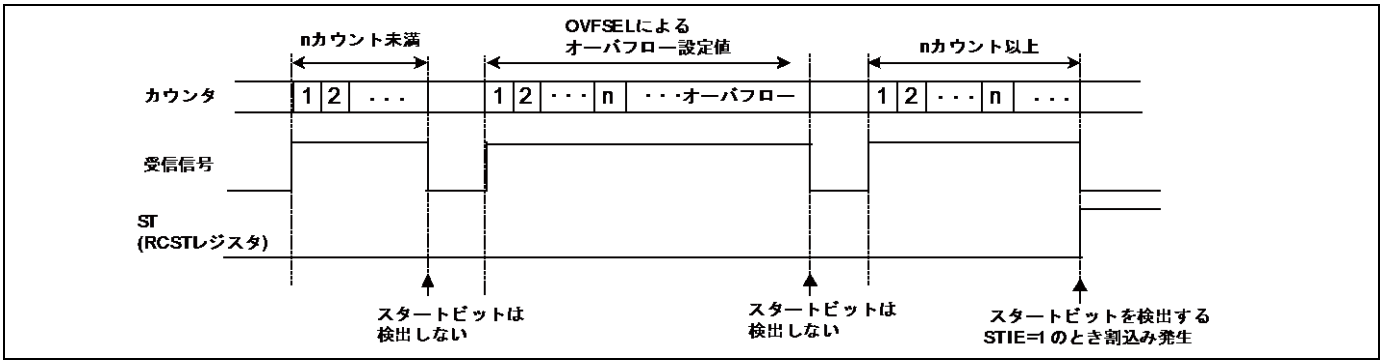


Figure 3-3 は、RCSHW=n に設定したときのスタートビット検出を説明しています。
スタートビット検出待ちの状態で n 以上の High 幅を入力すると、スタートビットを検出して ST=1 (RCST レジスタ)となります。また、予め STIE=1(RCST レジスタ)に設定しておくと、スタートビットを検出したときに割込みを出力します。
また、OVFSEL(RCST レジスタ)の設定によって決まるカウント数以上の High 幅を入力すると、オーバフローして、スタートビットは検出しません。

3.1.4 最小パルス幅違反

Figure 3-4 最小パルス幅違反

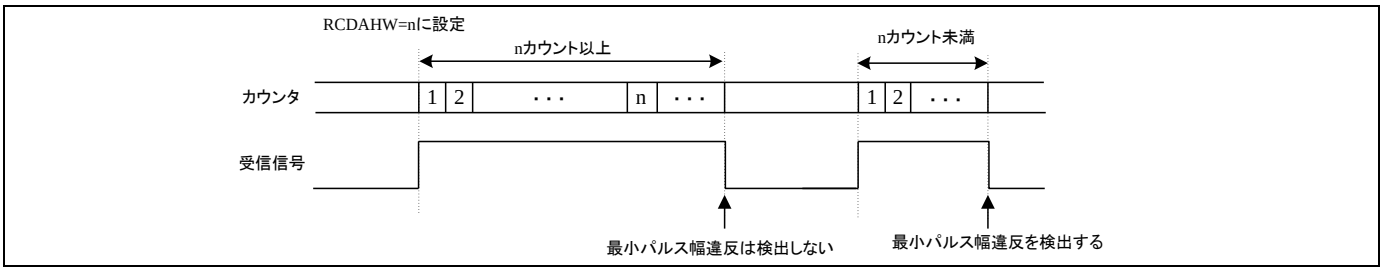


Figure 3-4 は、RCDAHW=n に設定したときの最小パルス幅違反を説明しています。

受信動作中に n 未満の信号を入力すると、最小パルス幅違反を検出して、スタートビット検出待ちの状態に戻ります。

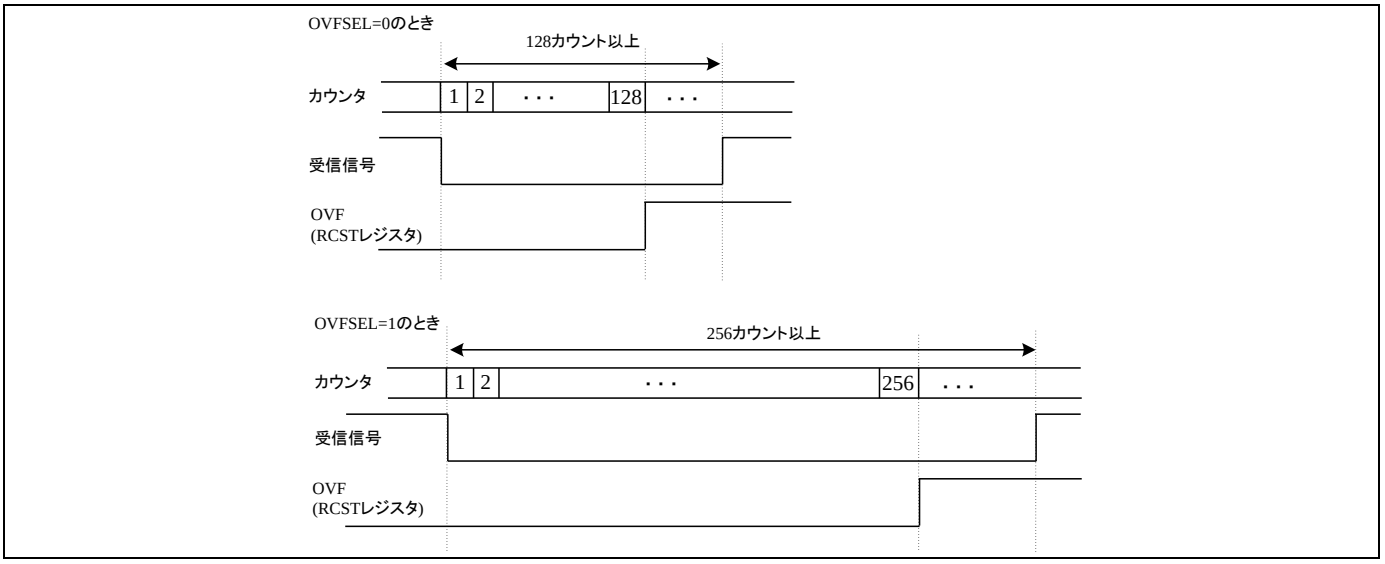
3.1.5 デバイスアドレス比較

SIRCS モードでは、5 ビットのデバイスアドレスを受信します。デバイスアドレス比較は ADRCE=1 (RCCR レジスタ)のときに行います。

デバイスアドレスは、RCADR1,RCADR2 のいずれかの値と同じであれば、アドレス一致となります。アドレス不一致の場合は、スタートビット検出待ちの状態に戻ります。

3.1.6 カウンタオーバフロー検出と割込み出力

Figure 3-5 カウンタオーバフロー



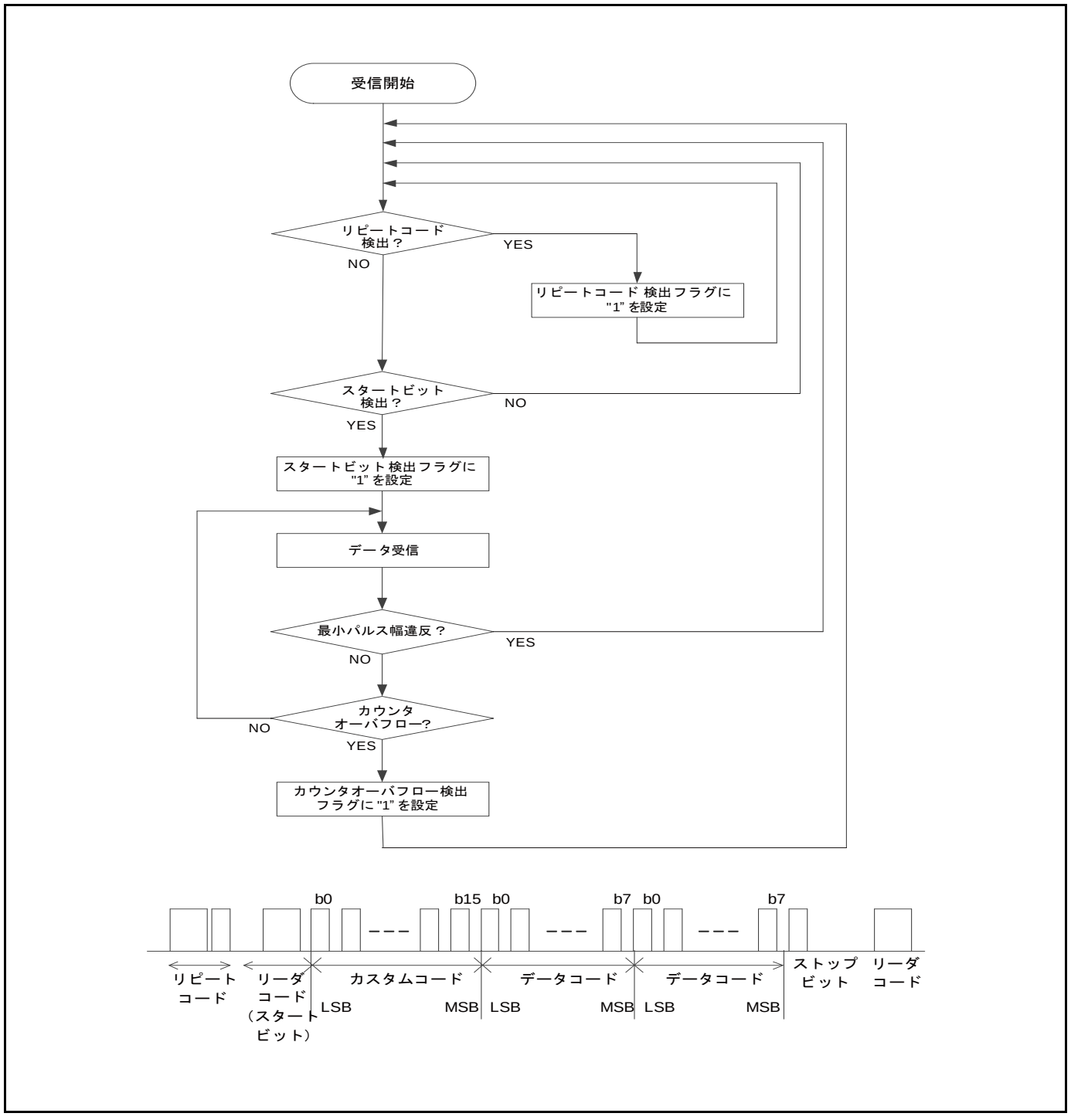
OVFSEL=0(RCST レジスタ)のとき、128 カウント以上連続した High または Low 入力が続くとオーバフローして、スタートビット検出待ちの状態に戻ります。また、OVFSEL=1 のときは 256 カウントでオーバフローします。

予め OVFIE=1(RCST レジスタ)に設定しておくと、オーバフローした後に割込みを出力します。

3.2 NEC/家電協モードの動作説明

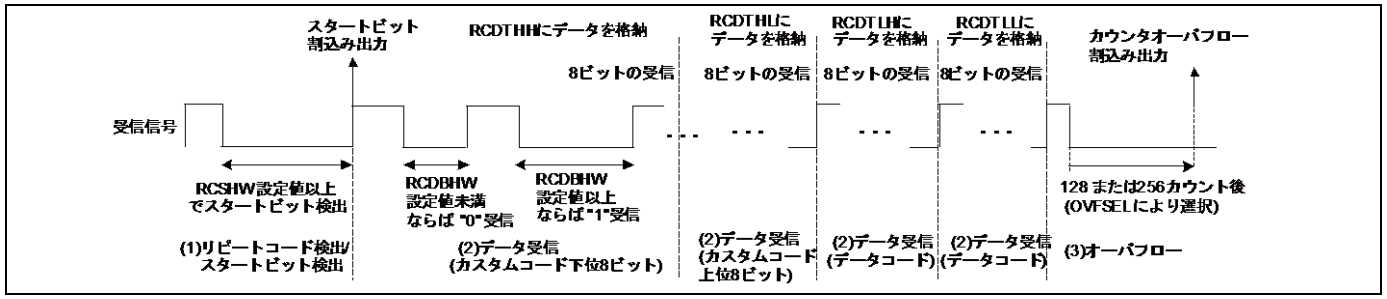
3.2.1 NEC/家電協モードの動作フローチャートと波形

Figure 3-6 NEC/家電協モードの動作フローチャートと波形



NEC/家電協モードは、カウントクロックによって受信信号の Low 幅をカウントして、データを受信します。

Figure 3-7 NEC/家電協モードの動作



基本動作

基本動作は以下となります。

(1)RCRHW 設定値以上かつ RCSHW 設定値未満の Low 幅が入力されると、リピートコードを検出します。また RCSHW の設定値以上の Low 幅が入力されると、スタートビットが検出されて、データ受信状態になります。

(2) Figure 3-7 は、THSEL=0(RCCR レジスタ)のときの動作であり、RCDBHW の設定値未満の信号は"0"を受信、RCDBHW の設定値以上の信号は"1"を受信します。

データ受信はカスタムコード 2byte とデータコードを 2byte 受信します。

(3)データ受信後にオーバフローすると、スタートビット/リピートビット検出待ちの状態に戻ります。

3.2.2 スタートビット検出

Figure 3-8 スタートビット検出

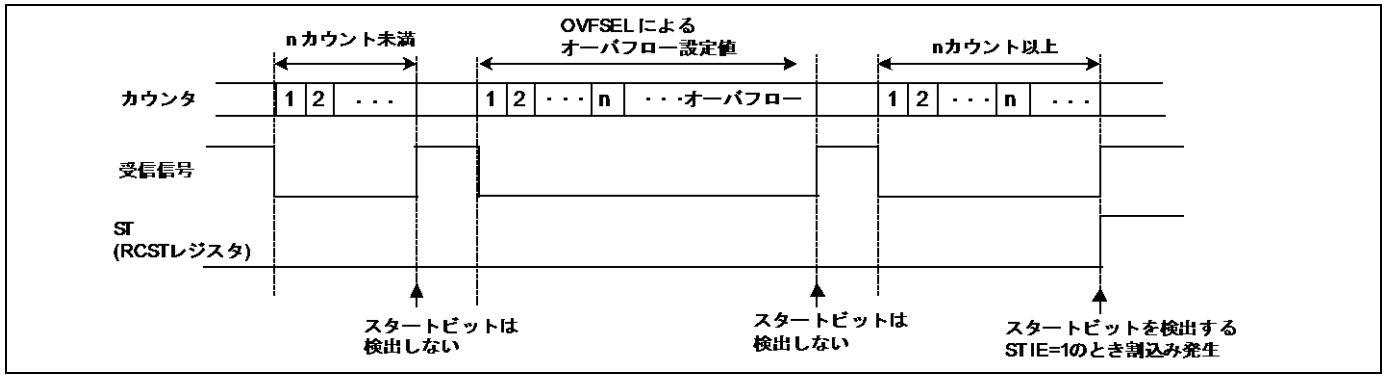


Figure 3-8 は、RCSHW=n に設定したときのスタートビット検出を説明しています。

スタートビット検出待ちの状態で n 以上の Low 幅を入力すると、スタートビットを検出して ST=1 (RCST レジスタ)となります。また、予め STIE=1(RCST レジスタ)に設定しておくと、スタートビットを検出したときに割込みを出力します。

また、OVFSEL(RCST レジスタ)の設定によって決まるカウント数以上の Low 幅を入力すると、オーバフローして、スタートビットは検出しません。

3.2.3 リピートコード検出

Figure 3-9 リピートコード検出

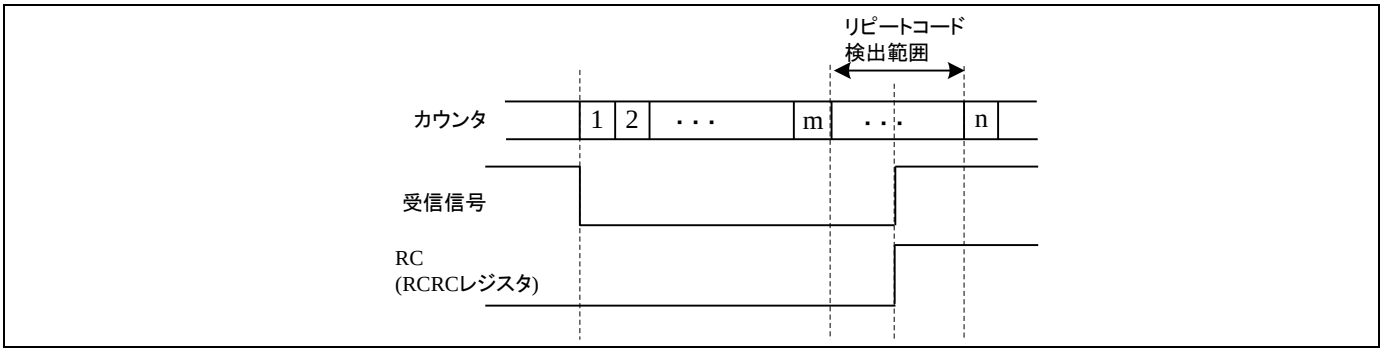


Figure 3-9 は、RCRHW=m, RCSHW=n に設定したときのスタートビット検出を説明しています。
受信開始時に、m より大きく n 未満の幅の Low 信号を入力すると、リピートコードを検出して、RC=1(RCRC レジスタ)となります。
リピートコードは NEC/家電協モード時のみ検出します。

3.2.4 最小パルス幅違反

Figure 3-10 最小パルス幅違反

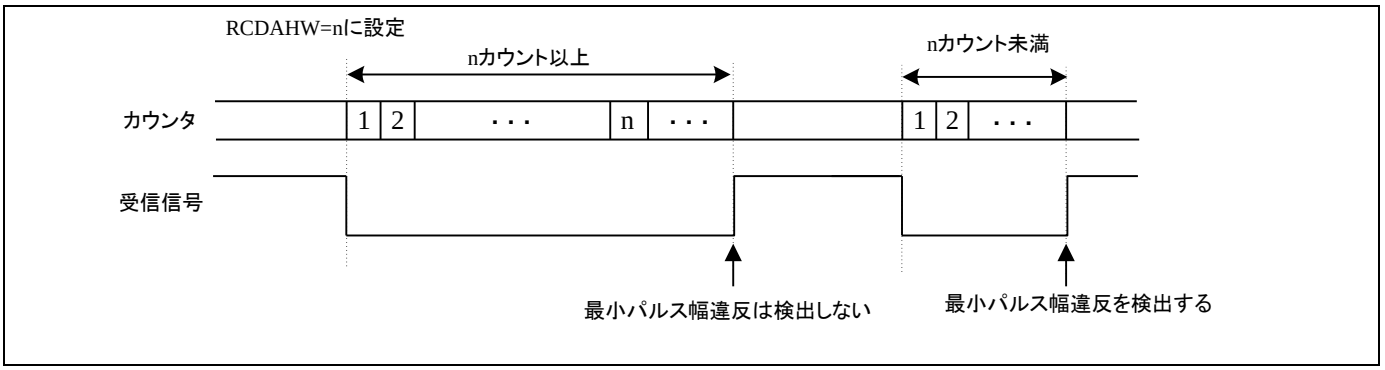
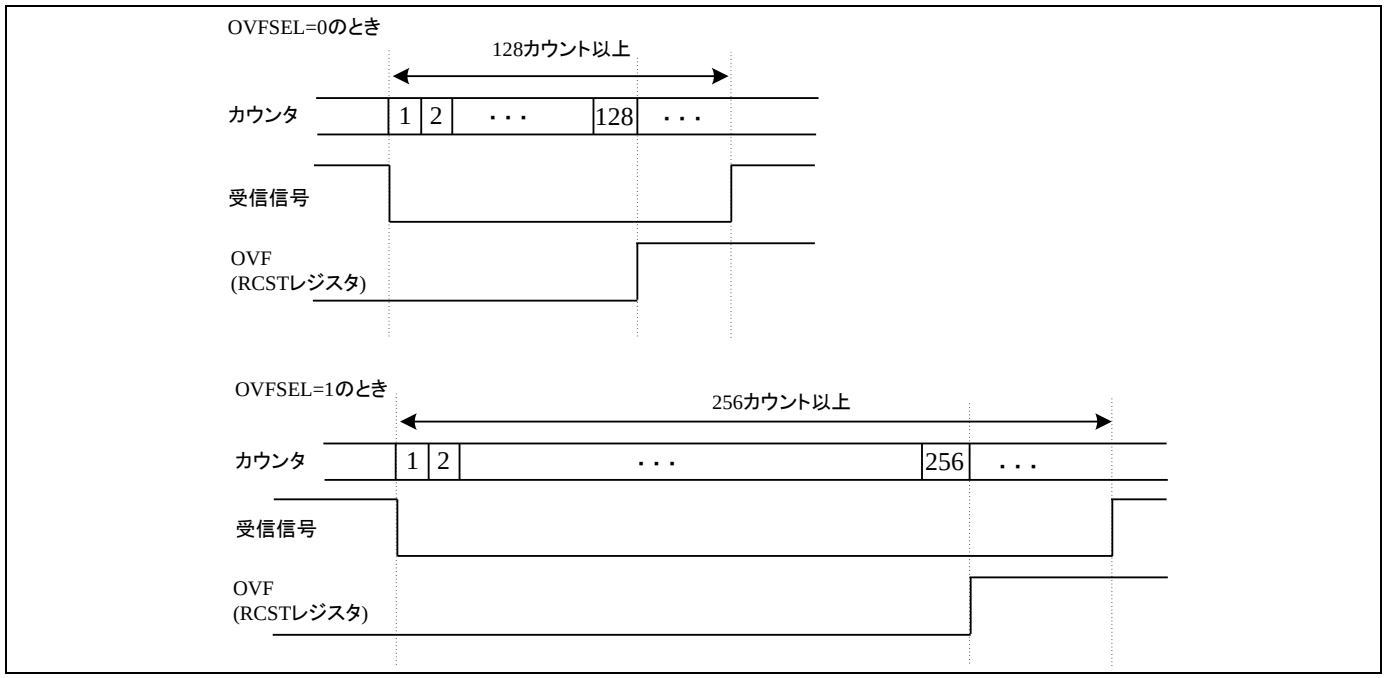


Figure 3-10 は、RCDAHW=n に設定したときの最小パルス幅違反を説明しています。
受信動作中に n 未満の Low 幅を入力すると、最小パルス幅違反を検出して、スタートビット検出待ちの状態に戻ります。

3.2.5 カウンタオーバフロー検出と割込み出力

Figure 3-11 カウンタオーバフロー

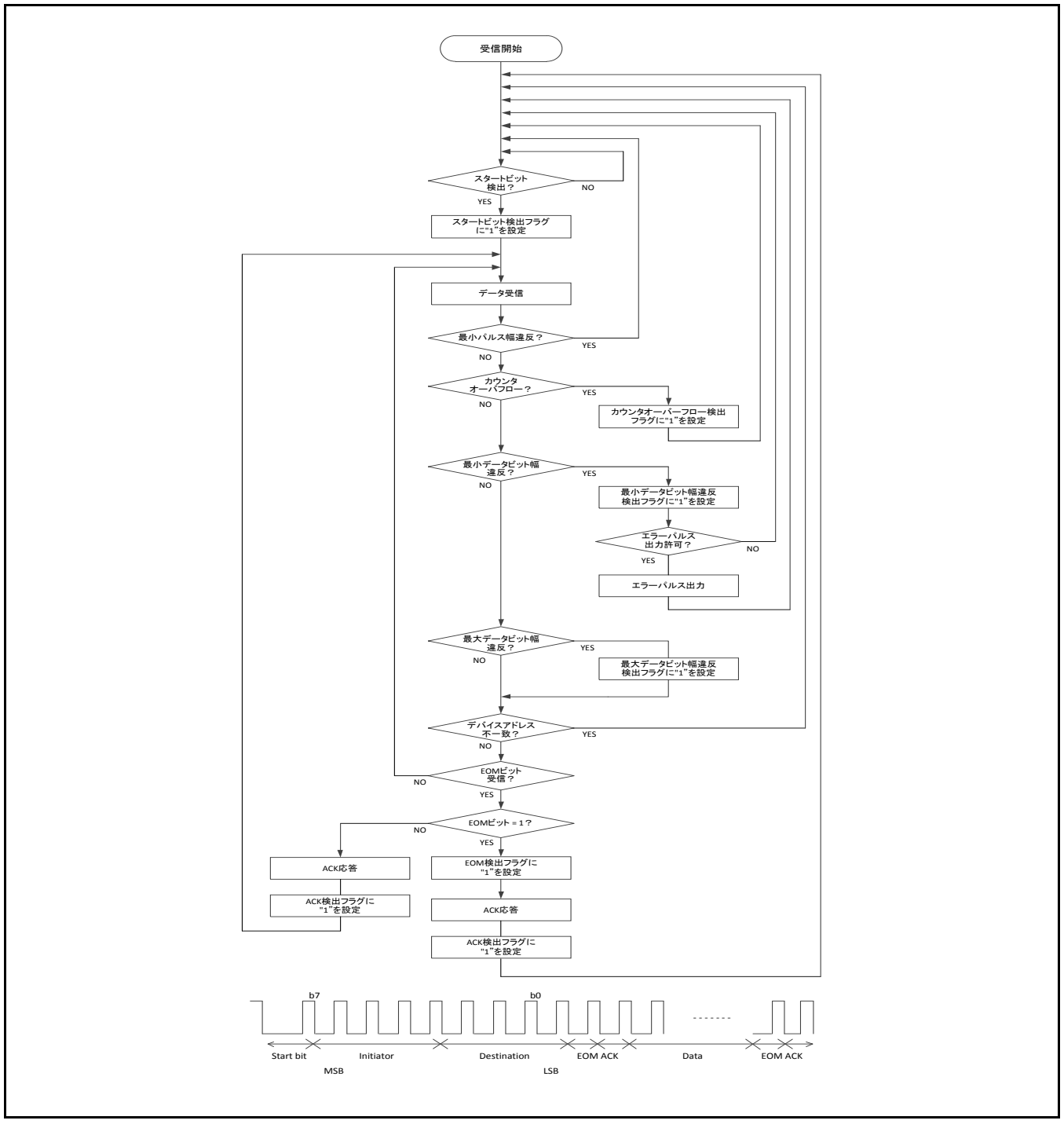


OVFSEL=0(RCST レジスタ)のとき、128 カウント以上連続した High または Low 入力が続くとオーバフローして、スタートビット検出待ちの状態に戻ります。また、OVFSEL=1 のときは 256 カウントでオーバフローします。
予め OVFIE=1(RCST レジスタ)に設定しておくと、オーバフローした後に割込みを出力します。

3.3 HDMI-CEC モード

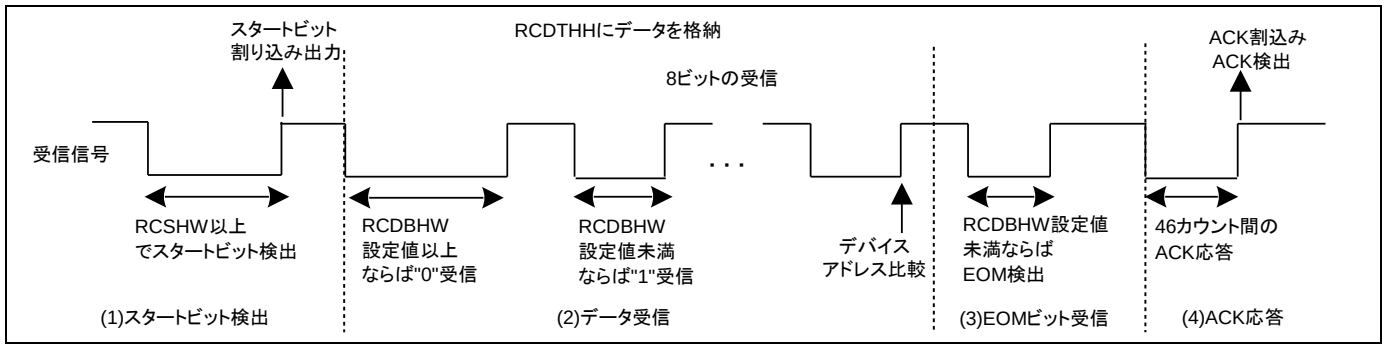
3.3.1 HDMI-CEC モードの動作フローチャートと波形

Figure 3-12 HDMI-CEC モードの動作フローチャートと波形



HDMI-CEC モードは、カウントクロックによって受信信号の Low 幅をカウントして、データを受信します。

Figure 3-13 HDMI-CEC モードの動作



基本動作

基本動作は以下となります。

(1) RCSHW の設定値以上の Low 幅が入力されると、スタートビットが検出されて、データ受信状態になります。

(2) Figure 3-13 は、THSEL=1(RCCR レジスタ)のときの動作であり、RCDBHW の設定値以上の信号は"0"を受信、RCDBHW の設定値未満の信号は"1"を受信します。
8 ビットの受信データは RCDTHH に格納され、下位 4 ビットはデバイスアドレス比較されます。4 ビットのデスティネーションは、RCADR1, RCADR2 のいずれかの値と同じであれば、アドレス一致となります。アドレス不一致の場合は、スタートビット検出待ちの状態に戻ります。

(3) データ受信後に EOM が検出されると EOM=1(RCST レジスタ)となり、データ受信を終了します。EOM が検出されない場合には、EOM=0(RCST レジスタ)のままで、データ受信状態に戻り、再び RCDTHH に受信データを格納します。

(4) EOM ビットを受信してから Low を入力すると、ACK を出力して、スタートビット検出待ちの状態に戻ります。

3.3.2 スタートビット検出と割込み出力

Figure 3-14 HDMI-CEC モードのスタートビット検出

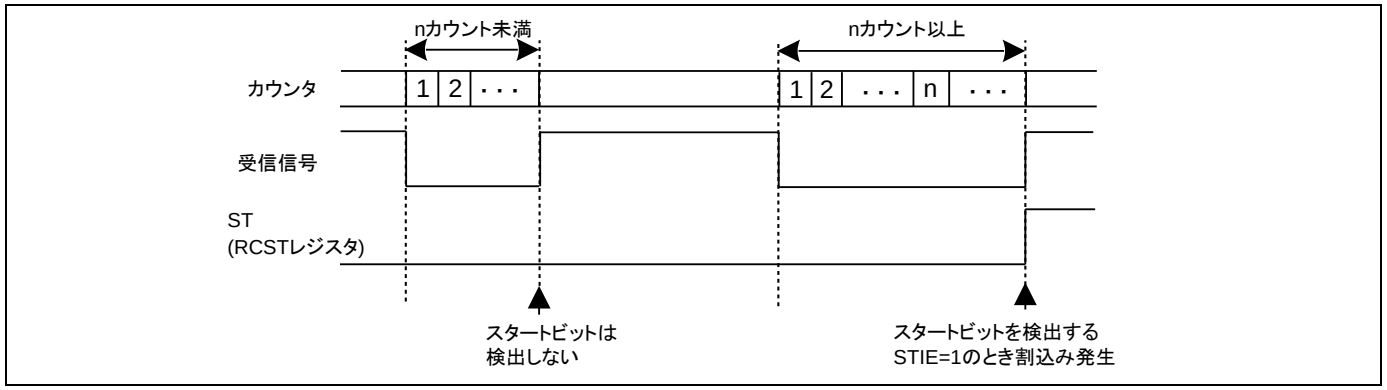


Figure 3-14 は、RCSHW=n に設定したときのスタートビット検出を説明しています。スタートビット検出待ちの状態で n 以上の Low 幅を入力すると、スタートビットを検出して ST=1(RCST レジスタ)となります。また、予め STIE=1(RCST レジスタ)に設定しておくと、スタートビットを検出したときに割込みを出力します。

3.3.3 最小パルス幅違反

Figure 3-15 最小パルス幅違反

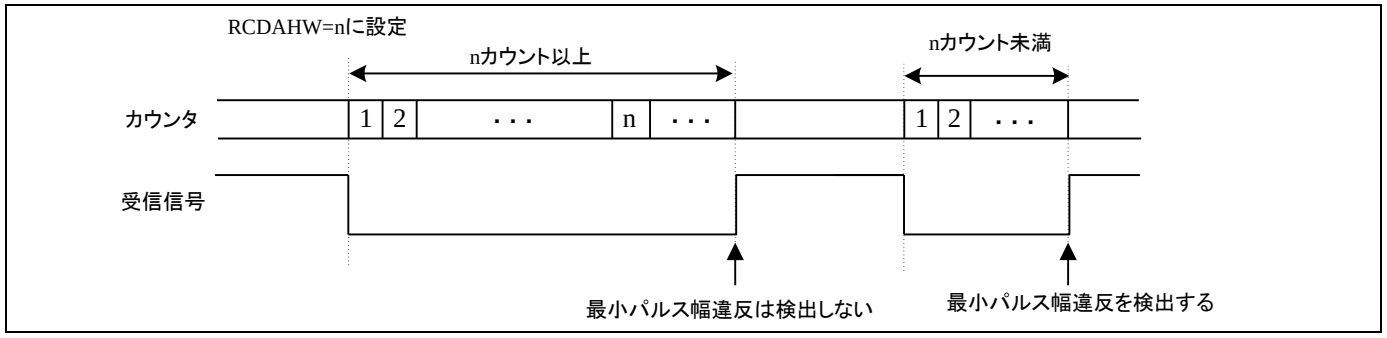
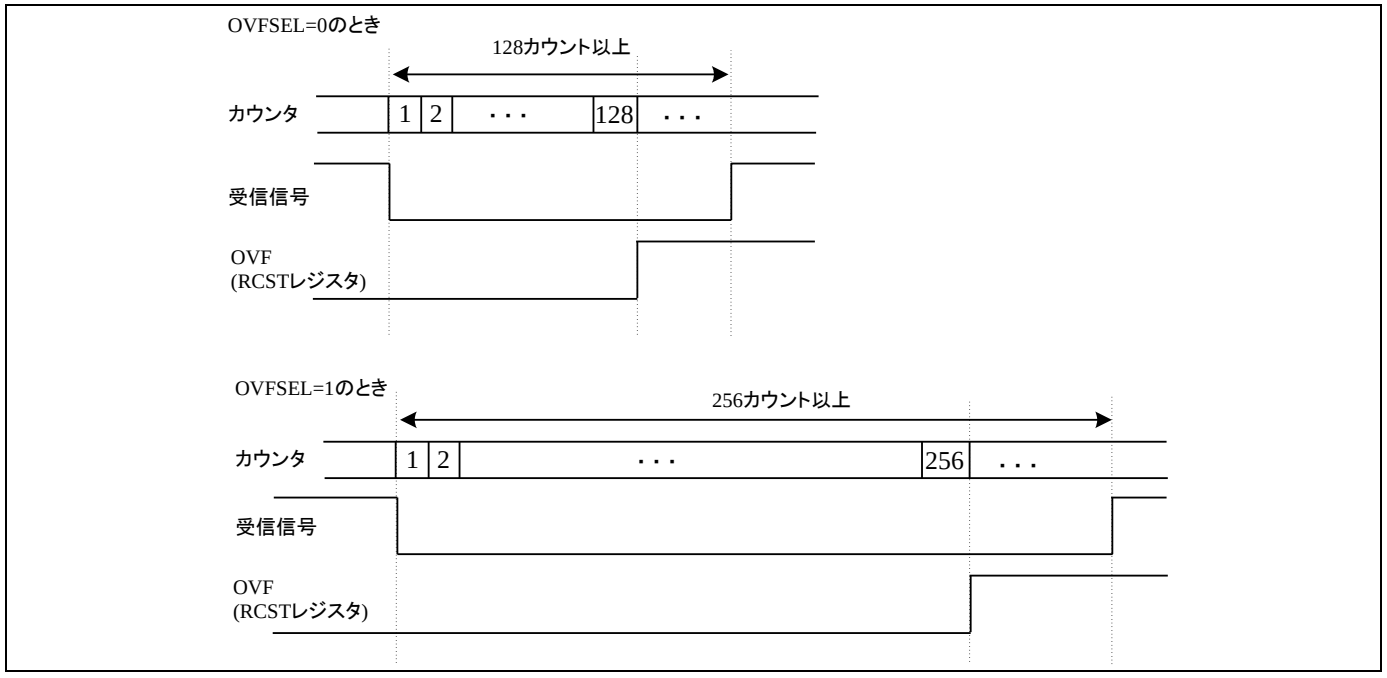


Figure 3-15 は、RCDAHW=n に設定したときの最小パルス幅違反を説明しています。
受信動作中に n 未満の信号を入力すると、最小パルス幅違反を検出して、スタートビット検出待ちの状態に戻ります。

3.3.4 カウンタオーバフロー検出と割込み出力

Figure 3-16 カウンタオーバフロー



OVFSEL=0(RCST レジスタ)のとき、128 カウント以上連続した High または Low 入力が続くとオーバフローして、スタートビット検出待ちの状態に戻ります。また、OVFSEL=1 のときは 256 カウントでオーバフローし

ます。
予め OVFIE=1(RCST レジスタ)に設定しておくと、オーバフローした後に割込みを出力します。

3.3.5 デバイスアドレス比較

HDMI-CEC モードでは、4 ビットのデスティネーションを受信します。デバイスアドレス比較は ADRCE=1(RCCR レジスタ)のときに行います。
デスティネーションは、RCADR1, RCADR2 のいずれかの値と同じであれば、アドレス一致となります。またブロードキャストアドレスの場合はアドレス一致となります。

アドレス不一致の場合は、スタートビット検出待ちの状態に戻ります。

3.3.6 データビット幅違反とエラーパルス自動出力

Figure 3-17 最小データビット幅違反

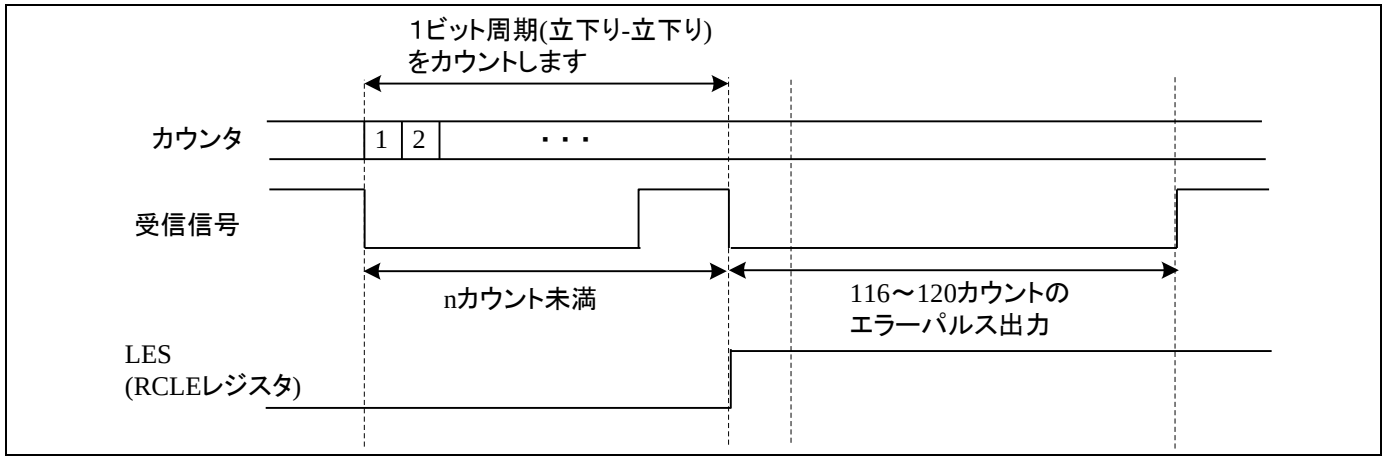


Figure 3-17 は、RCLESW=n に設定したときの最小データビット幅違反を説明しています。
LESE=1(RCLE レジスタ)のとき、1 ビット周期(立下り～立下り)が最小データビット幅設定レジスタ(RCLESW)の設定値より短い場合、最小データビット幅違反を検出して、LES=1(RCLE レジスタ)となります。
予め LESIE=1(RCLE レジスタ)に設定しておくと、最小データビット幅違反を検出したときに割込みを出力します。また、EPE=1(RCLE レジスタ)に設定しておくと、違反を検出した後に図 3-17 のようにエラーパルスを出力します。

Figure 3-18 最大データビット幅違反

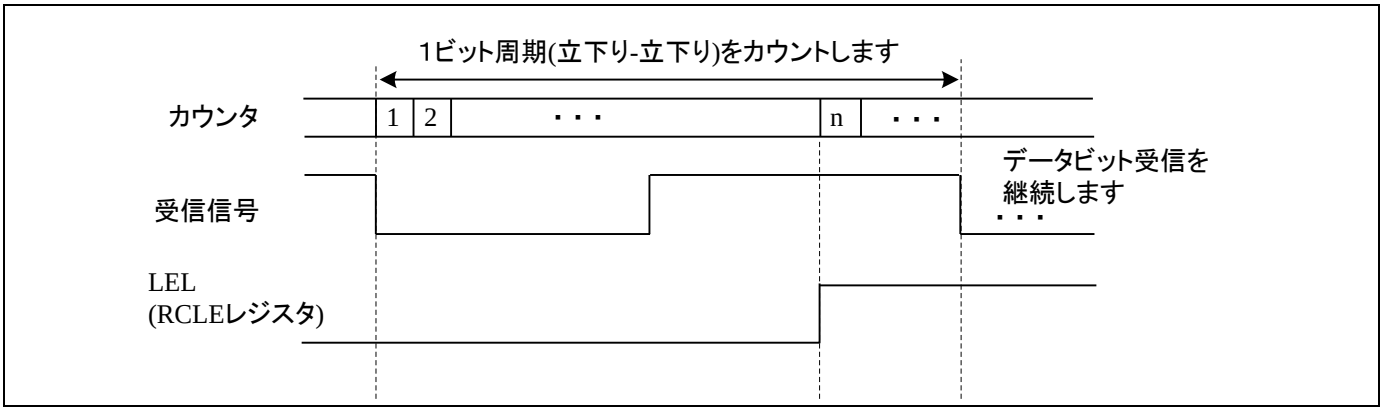


Figure 3-18 は、RCLELW=n に設定したときの最大データビット幅違反を説明しています。

LELE=1(RCLE レジスタ)のとき、1 ビット周期(立下り～立下り)が最大データビット幅設定レジスタ(RCLELW)の設定値以上の場合、最大データビット幅違反を検出して、LEL=1(RCLE レジスタ)となります。予め LELIE=1(RCLE レジスタ)に設定しておくと、最大データビット幅違反を検出したときに割込みを出力します。

3.3.7 EOM 検出

Figure 3-19 EOM 検出

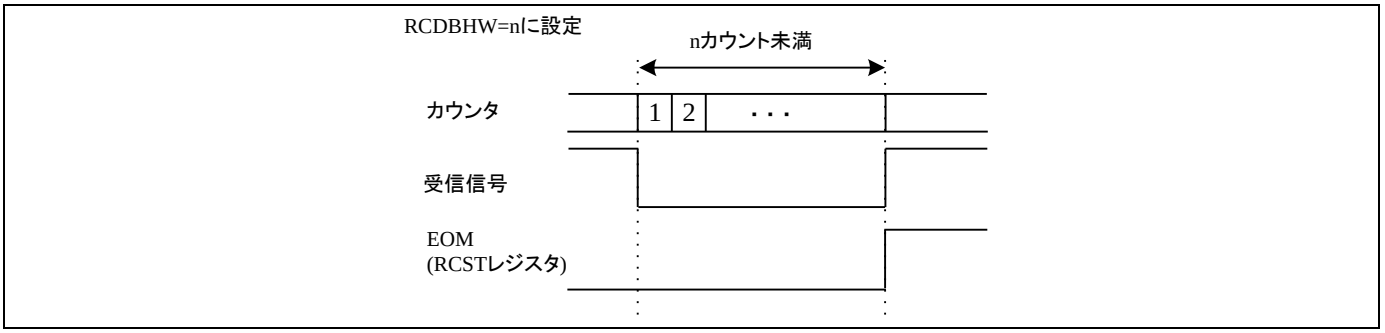
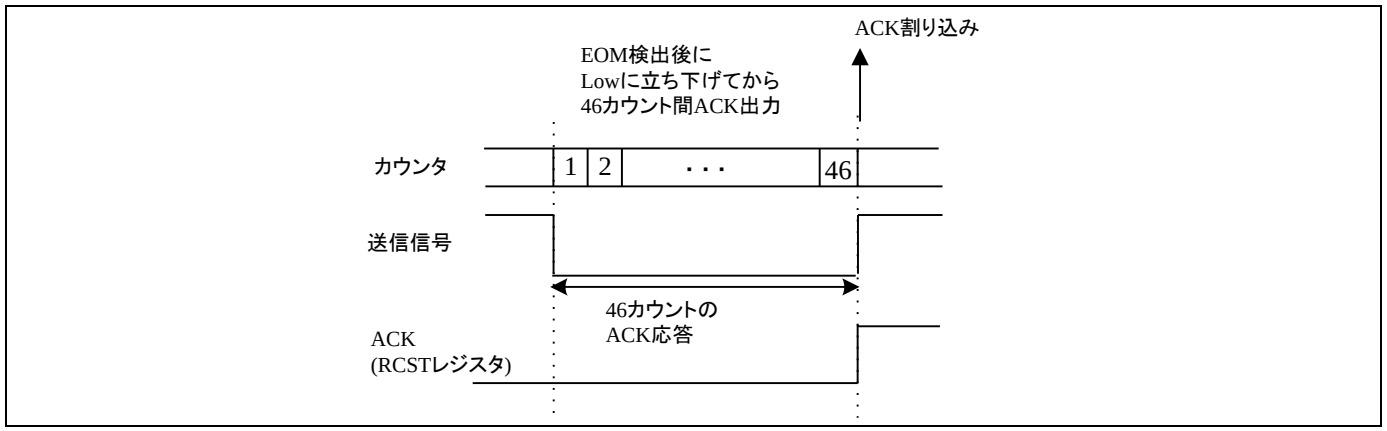


Figure 3-19 は、THSEL=1(RCCR レジスタ)のときの動作です。EOM ビット受信状態で、RCDBHW 設定値未満の Low 信号が入力されると、EOM を検出して、EOM=1(RCST レジスタ)となります。

3.3.8 ACK 検出と割込み出力

Figure 3-20 ACK 検出と割込み出力



EOM 検出後に Low 信号が入力されると、ACK 応答として 46 カウント間の Low を出力します。Low 出力後に High 信号が入力されると、ACK を検出して ACK=1(RCST レジスタ)となります。予め ACKIE=1(RCST レジスタ)に設定しておくと、ACK が検出されたときに割込みを出力します。
RCCR レジスタのアドレス許可ビット(ADRCE)が 1 の場合には、アドレス一致を検出したときのみ ACK を出力します。ブロードキャストアドレスの場合は一致とみなしますが、ACK 応答は行いません。

Table 3-1 ACK output and ACK interrupt

受信したデスティネーションアドレス	ADRCE	RCADR1, RCADR2		ACK 出力*	ACK 割込み
0x0~0xE	0	-		ACK	発生する
	1	0x00~0x0E	一致時	ACK	発生する
			不一致時	NACK	発生しない
		0x0F		NACK	発生しない
0xF	-	-		NACK	発生する

*: CEC 送信部の ACKMEN ビットが 1 かつ送信中の時は、必ず NACK になります。

3.4 ノイズフィルタ

CEC 信号の入力がカウントクロックの 2 クロック未満の幅で変化した場合、フィルタによりノイズと判断され、その信号は除去されます。

4. 設定例

設定例を説明します。(カウントクロックが 32.768kHz の場合)

Table 4-1 リモコン(SIRCS)時の設定例

レジスタ	設定値	設定時間
受信制御レジスタ	MOD=00, THSEL=0, ADRCE=1	
受信割込み制御レジスタ	ACKIE=0, OVFIE=1	
	OVFSEL=0	3.9 ms
スタートビット検出幅設定レジスタ	76	2.3 ms
最小パルス幅設定レジスタ	17	0.52 ms
しきい値設定レジスタ	37	1.1 ms

Table 4-2 リモコン(NEC)時の設定例

レジスタ	設定値	設定時間
受信制御レジスタ	MOD=10, THSEL=0	
受信割込み制御レジスタ	ACKIE=0, OVFIE=1	
	OVFSEL=1	7.8 ms
スタートビット検出幅設定レジスタ	144	4.4 ms
最小パルス幅設定レジスタ	15	0.46 ms
しきい値設定レジスタ	52	1.6 ms
リピートコード割込み制御レジスタ	RCIE=1	
リピートコード検出幅設定レジスタ	65	2.0ms

Table 4-3 HDMI-CEC 時の設定例

レジスタ	設定値	設定時間
受信制御レジスタ	MOD=11, THSEL=1, ADRCE=1	
受信割込み制御レジスタ	ACKIE=1, OVFIE=1	
	OVFSEL=1	7.8 ms
スタートビット検出幅設定レジスタ	114	3.5 ms
最小パルス幅設定レジスタ	13	0.4 ms
しきい値設定レジスタ	42	1.3 ms
最大/最小データビット幅違反制御レジスタ	LELIE=1, LESIE=1, LELE=1, LESE=1, EPE=1	
最大データビット幅設定レジスタ	91	2.8ms
最小データビット幅設定レジスタ	65	2.0ms

5. レジスタ

レジスター一覧を示します。

Table 5-1 レジスター一覧

レジスタ略称	レジスタ名	参照先
RCCR	受信制御レジスタ	5.1
RCST	受信割込み制御レジスタ	5.2
RCADR1	デバイスアドレス設定レジスタ 1	5.3
RCADR2	デバイスアドレス設定レジスタ 2	5.3
RCSHW	スタートビット検出幅設定レジスタ	5.4
RCDAHW	最小パルス幅設定レジスタ	5.5
RCDBHW	しきい値設定レジスタ	5.6
RCDTHH	データ格納レジスタ HH	5.7
RCDTHL	データ格納レジスタ HL	5.7
RCDTLH	データ格納レジスタ LH	5.7
RCDTLL	データ格納レジスタ LL	5.7
RCCKD	クロック分周レジスタ	5.8
RCRC	リピートコード割込み制御レジスタ	5.9
RCRHW	リピートコード検出幅設定レジスタ	5.10
RCLEIC	データビット幅違反割込み制御レジスタ	5.11
RCLESW	最小データビット幅設定レジスタ	5.12
RCLELW	最大データビット幅設定レジスタ	5.13

5.1 受信制御レジスタ(RCCR)

受信制御レジスタ(RCCR)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	THSEL	予約	予約	予約	ADRCE	MOD1	MOD0	EN
属性	R/W				R/W	R/W	R/W	R/W
初期値	0				0	0	0	0

[bit7] THSEL： しきい値選択ビット

RCDAHW, RCDBHW によって"0", "1"を判定する基準を設定します。

状態	THSEL	
	0	1
W ＞RCDAHW	"0"データ	"1"データ
W ＜RCDBHW		
W ＞RCDAHW	"1"データ	"0"データ
W ≧RCDBHW		

[bit6:4] 予約 ： 予約ビット

読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit3] ADRCE： アドレス比較許可ビット

初期値は"0"(比較禁止)で、 "1"にすると受信アドレスとデバイスアドレスの比較が許可されます。
比較許可の場合、アドレスが一致したときのみ ACK/OVF 割込みが発生します。
CEC モードの場合、アドレス一致を検出すると ACK 応答を返します。ブロードキャストアドレスの場合は一致とみなしますが、ACK 応答は行いません。
SIRCS モード・HDMI-CEC モード以外のときは"0"に設定してください。

[bit2:1] MOD1, MOD0： 動作モード設定ビット

bit2	bit1	機能
0	0	SIRCS モード [初期値]
0	1	設定禁止
1	0	NEC/家電協モード
1	1	HDMI-CEC モード

SIRCS モード以外(MOD1=1 のとき)は、入力信号を内部で反転して処理しています。
"H"幅比較は"L"幅に対して適用されます。

[bit0] EN： 動作許可ビット

本ビットを"1"にすると、受信動作が開始されます。
初期値は"0"(停止)です。

＜注意事項＞

- *本ビットが"1"のとき(動作中)は、下記の設定レジスタ・ビットは変更しないでください。*
  RCCR レジスタの THSEL ビット, ADRCE ビット, MOD ビット
  RCST レジスタの OVFSEL ビット
  RCSHW, RCDAHW, RCDBHW, RCADR1, RCADR2, RCCKD レジスタ
  RCRC, RCRHW, RCLE, RCLELW, RCLESW レジスタ

本ビットが"1"のときに RCADR1, RCADR2 レジスタを変更する場合は、CHAPTER 3-1: HDMI-CEC/リモコン受信 3. HDMI-CEC 使用上の注意点を参照してください。

5.2 受信割込み制御レジスタ(RCST)

受信割込み制御レジスタ(RCST)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	STIE	ACKIE	OVFIE	OVFSEL	ST	ACK	EOM	OVF
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] STIE： スタートビット割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit6] ACKIE : ACK 割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

HDMI-CEC モードのみ有効です。

[bit5] OVFIE： カウンタオーバフロー割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

本割込みは、スタートビットが検出された後にオーバフローが発生した場合のみ発生します。
スタートビット未検出の状態では割込みは発生しません。

[bit4] OVFSEL： カウンタオーバフロー検出条件設定ビット

bit	説明
0	カウンタが 128 クロックカウントするとオーバフローが発生します。
1	カウンタが 256 クロックカウントするとオーバフローが発生します。

[bit3] ST： スタートビット検出ビット

bit	説明
0	スタートビット未検出
1	スタートビット検出

"0"書込みでクリアされます。
STIE ビットが"1"のとき、スタートビットを検出すると割込みが発生します。

[bit2] ACK : ACK 検出ビット

bit	説明
0	ACK 未検出
1	ACK 検出

"0"書込みでクリアされます。
ACKIE ビットが"1"のとき、ACK を検出すると割込みが発生します。
アドレス比較許可の場合は、アドレス一致した場合のみ割込みが発生します。
HDMI-CEC モードのみ有効です。

[bit1] EOM : EOM 検出ビット

bit	説明
0	EOM 未検出
1	EOM 検出

"0"書込みでクリアされます。
HDMI-CEC モードのみ有効です。

[bit0] OVF : カウンタオーバフロー検出ビット

bit	説明
0	カウンタオーバフロー未検出
1	カウンタオーバフロー検出

アドレス比較許可の場合は、アドレス一致した場合のみ割込みが発生します。
"0"書込みでクリアされます。
SIRCS モード時は、2 バイト目を受信するまでは OVF ビットはセットされません。

5.3 デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2)

デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	予約			RCADR1, 2				
属性				R/W				
初期値				00000				

[bit7:5] 予約 : 予約ビット

読出しは常に"0"です。

書込み時は、"0"を設定してください。

[bit4:0] RCADR1, 2 : デバイスアドレス設定ビット

本レジスタに設定したアドレスが,受信したデバイスアドレスやHDMI-CECのデスティネーションと比較されます。

HDMI-CEC モード時は、本レジスタに 0x0F (ブロードキャストアドレス)を設定禁止です。

5.4 スタートビット検出幅設定レジスタ(RCSHW)

スタートビット検出幅設定レジスタ(RCSHW)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	RCSHW							
属性	R/W							
初期値	0x00							

[bit7:0] RCSHW

スタートビットの期間を設定するレジスタです。
設定値を超える幅の信号が受信されると、スタートビットと認識します。
受信した信号の幅が設定値未満の場合、スタートビット未検出となり、再度スタートビットの検出待ち状態となります。
OVFSEL=0 のときは RCSHW ≦ 127(オーバフロー検出を超えない値)としてください。

5.5 最小パルス幅設定レジスタ (RCDAHW)

最小パルス幅設定レジスタ (RCDAHW)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	RCDAHW							
属性	R/W							
初期値	0x00							

[bit7:0] RCDAHW

最小パルス幅期間を設定するレジスタです。
本レジスタに設定する値は、2 ≦ RCDAHW ＜ RCDBHW となるようにしてください。
また、 CEC モード時は、RCDAHW＜46 となるようにしてください(ACK 応答パルス幅未満)。
RCDAHW 設定値未満の信号を受信すると、最小パルス幅違反として検出します。

5.6 しきい値設定レジスタ (RCDBHW)

しきい値設定レジスタ (RCDBHW)のビット構成に示します。

bit	7	6	5	4	3	2	1	0
Field	RCDBHW							
属性	R/W							
初期値	0x00							

[bit7:0] RCDBHW

データ受信幅のしきい値を設定するレジスタです。
RCDAHW より小さい値は設定禁止です。
必ず RCDAHW ＜ RCDBHW ＜ RCSHW となるように設定してください。

5.7 データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)

データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)のビット構成を示します。

bit	31	30	29	28	27	26	25	24
Field	RCDTHH							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	RCDTHL							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	RCDTLH							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RCDTLL							
属性	R							
初期値	0x00							

受信したデータを格納するレジスタです。
HDMI-CEC モードの場合は RCDTHH レジスタに受信データが格納されます。
リモコンモードの場合は、8 ビット受信するごとに RCDTHH レジスタから順に格納されます。
カウンタオーバフロー割込み発生時は、それまで受信されたビットが MSB 詰めで格納されます。
RCCR レジスタの EN ビットが"0"のときは、本レジスタからは不定が読み出されます。
4 バイト分を超える信号が入力された場合、超過分は無視され、レジスタには反映されません。

5.8 クロック分周設定レジスタ (RCCKD)

クロック分周設定レジスタ (RCCKD)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約			CKSEL	CKDIV			
属性				R/W	R/W			
初期値				0	0000			

bit	7	6	5	4	3	2	1	0
Field	CKDIV							
属性	R/W							
初期値	0x00							

[bit15:13] 予約 : 予約ビット

読出しは常に"0"です。

書込み時は、"0"を設定してください。

[bit12] CKSEL : カウントクロック選択ビット

bit	説明
0	周辺クロック(PCLK)を分周したクロックが選択されます。
1	サブクロックが選択されます。

[bit11:0] CKDIV : カウントクロック分周設定ビット

分周比は CKDIV＋1 となります。

1 分周 (非分周)～4096 分周まで設定できます(CKSEL=1 の時は分周されません)。

5.9 リピートコード割込み制御レジスタ(RCRC)

リピートコード割込みを制御します。

bit	7	6	5	4	3	2	1	0
Field	予約			RCIE	予約			RC
属性				R/W				R/W
初期値				0				0

[bit7:5] 予約: 予約ビット

読出しは常に"0"です。

書込み時は、"0"を設定してください。

[bit4] RCIE: リピートコード割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit3:1] 予約: 予約ビット

読出しは常に"0"です。

書込み時は、"0"を設定してください。

[bit0] RC: リピートコード検出フラグビット

bit	説明
0 読出し時	リピートコード未検出
1 読出し時	リピートコード検出
0 書込み時	本フラグをクリアします
1 書込み時	影響しません

<注意事項>

- *リピートコードはNEC/家電協モード時のみ検出します。*

5.10 リピートコード検出幅設定レジスタ(RCRHW)

リピートコードを判定する検出期間を設定します。

bit	7	0
Field	RCRHW	
属性	R/W	
初期値	0x00	

[bit7:0] RCRHW: リピートコード検出幅設定ビット

リピートコードの検出期間を設定するビットです。
スタートビット・リピートコード待ち状態時に、RCRHW レジスタ設定値より大きく RCSHW レジスタ設定値未満の幅の信号を受信すると、リピートコードとして検出します。
本レジスタに設定する値は、RCRHW＜RCSHW となるように設定してください。

＜注意事項＞

- *リピートコードは NEC/家電協モード時のみ検出します。*

5.11 データビット幅違反制御レジスタ(RCLE)

最大/最小データビット幅違反を制御します。

bit	7	6	5	4	3	2	1	0
Field	LELIE	LESIE	LELE	LESE	EPE	予約	LEL	LES
属性	R/W	R/W	R/W	R/W	R/W		R/W	R/W
初期値	0	0	0	0	0		0	0

[bit7] LELIE: 最大データビット幅違反割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit6] LESIE: 最小データビット幅違反割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit5] LELE: 最大データビット幅違反検出許可ビット

bit	説明
0	最大データビット幅違反検出禁止
1	最大データビット幅違反検出許可

[bit4] LESE: 最小データビット幅違反検出許可ビット

bit	説明
0	最小データビット幅違反検出禁止
1	最小データビット幅違反検出許可

[bit3] EPE: エラーパルス出力許可ビット

bit	説明
0	出力禁止
1	出力許可

EPE="1"設定時、最小データビット幅違反を検出すると、116～120 サイクルの"L"パルスを出力します。

[bit2] 予約 : 予約ビット

読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit1] LEL: 最大データビット幅違反検出フラグビット

bit	説明
0 読出し時	最大データビット幅違反は検出していません。
1 読出し時	最大データビット幅違反を検出しました。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit0] LES: 最小データビット幅違反検出フラグビット

bit	説明
0 読出し時	最小データビット幅違反は検出していません。
1 読出し時	最小データビット幅違反を検出しました。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

<注意事項>

- *最大/最小データビット幅違反は HDMI-CEC モード時のみ検出します。*

5.12 最大データビット幅設定レジスタ(RCLELW)

最大データビット幅を設定します。

bit	7	0
Field	RCLELW	
属性	R/W	
初期値	0x00	

[bit7:0] RCLELW: 最大データビット幅設定ビット

最大データビット幅を設定するビットです。

RCLELW 値以上の幅のデータビットを受信すると、最大データビット幅違反として検出します。

<注意事項>

- *最大データビット幅違反はHDMI-CEC モード時のみ検出します。*

5.13 最小データビット幅設定レジスタ(RCLESW)

最小データビット幅を設定します。

bit	7	0
Field	RCLESW	
属性	R/W	
初期値	0x00	

[bit7:0] RCLESW: 最小データビット幅設定ビット

最小データビット幅を設定するビットです。

RCLESW 値未満の幅のデータビットを受信すると、最小データビット幅違反として検出します。

<注意事項>

- *最小データビット幅違反はHDMI-CEC モード時のみ検出します。*

CHAPTER3-3: CEC 送信

CEC(Consumer Electronics Control)送信機能と動作について示します。

1. CEC 送信の概要
2. CEC 送信回路のブロックダイヤグラム
3. CEC 送信割込み
4. CEC 送信のレジスタ一覧
5. CEC 送信の動作説明
6. CEC 送信のレジスタセット

管理コード: FIP007-J01-01

1. CEC 送信の概要

HDMI(High Definition Multimedia Interface)で規格化される CEC 信号の送信を行います。送信仕様の概要を以下に示します。

ヘッダー自動送信
シグナルフリーを判定してヘッダブロックの自動送信。

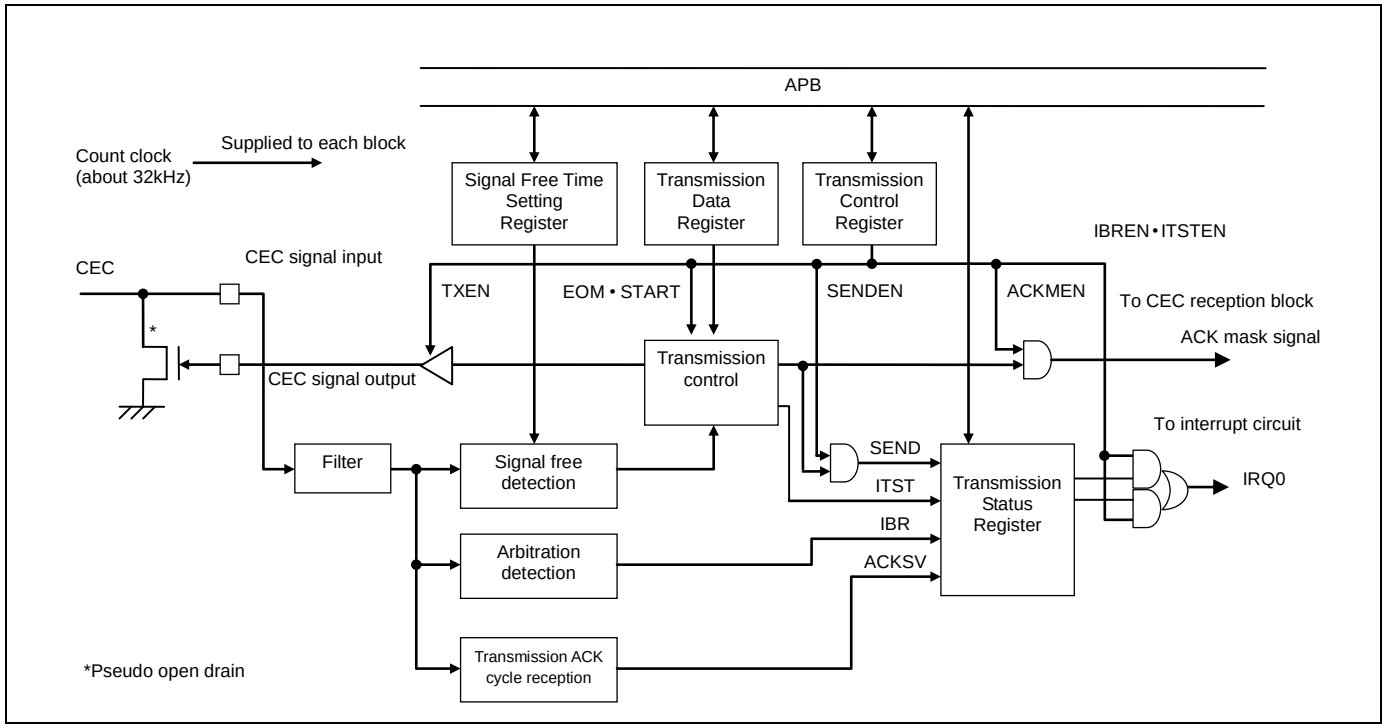
バスエラー検出
アービトレーションロストを検出してステータス割込みを発生。

データ送信
- 1 バイトデータの設定により START, EOM, ACK を自動生成して CEC 送信出力。
- 1 ブロック(1 バイトのデータと EOM, ACK)を送信した時に送信ステータス割込みを発生。

2. CEC 送信回路のブロックダイヤグラム

Figure 2-1 に、CEC 送信回路のブロックダイヤグラムを示します。

Figure 2-1 CEC 送信回路のブロックダイヤグラム



3. CEC 送信割込み

CEC 送信機能での割込み要求フラグ, 割込み許可ビットと割込み要因をまとめた一覧を示します。

割込み制御ビットと割込み要因

割込み制御ビットと割込み要因を Table 3-1 に示します。

Table 3-1 各モードでの割込み制御ビットと割込み要因

送信ステータス(TXSTS)	送信制御 (TXCTRL)	割込み要因	割込み要因出力信号
割込み要求 フラグビット	割込み要求 許可ビット		
ITST : bit4	ITSTEN : bit4	送信ステータス検出	IRQ0
IBR : bit5	IBREN : bit5	バスエラー検出	

4. CEC 送信のレジスター覧

CEC 送信のレジスター覧を示します。

CEC 送信のレジスター覧

Table 4-1 CEC 送信のレジスター覧

レジスタ略称	レジスタ名	参照先
TXCTRL	送信制御レジスタ	6.1
TXDATA	送信データレジスタ	6.2
TXSTS	送信ステータスレジスタ	6.3
SFREE	シグナルフリー時間設定レジスタ	6.4

5. CEC 送信の動作説明

CEC 送信の動作について説明します。

5.1 CEC 送信動作

5.2 割込み要因とタイミングチャート

5.3 アービトレーションロスト検出

5.4 シグナルフリー検出

5.5 フィルタ機能

5.6 CEC 送信動作について

5.1 CEC 送信動作

送信時の基本動作を説明します。

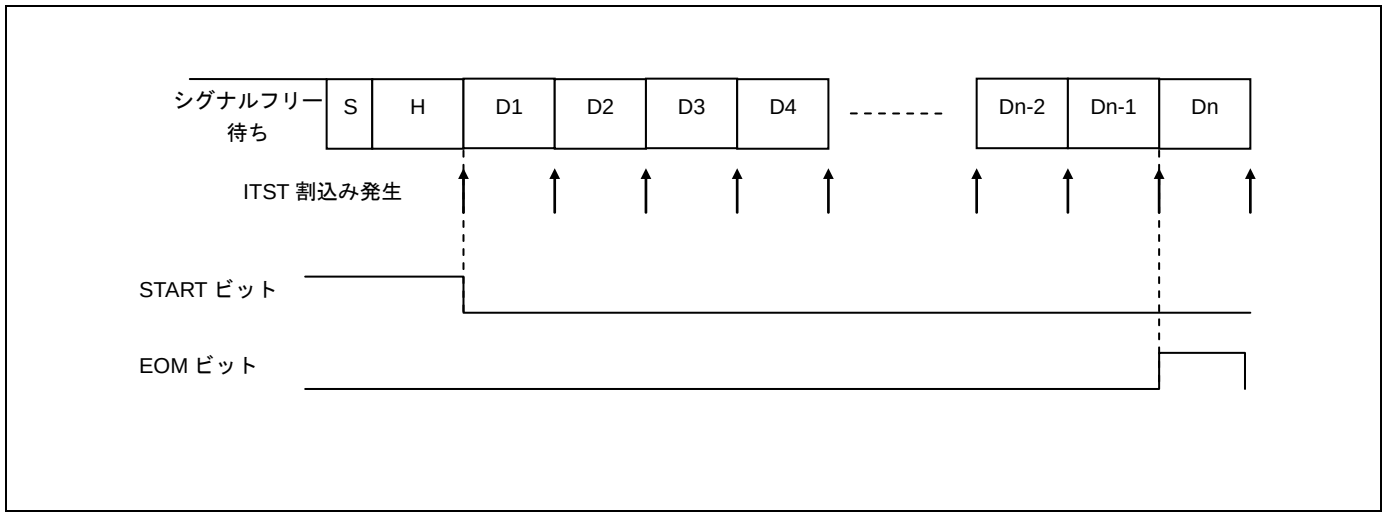
基本動作

基本動作は以下となります。

- 先ず CEC のカウントクロックの設定を受信側で設定します。
- 次に送信の各種設定を行い、送信データを TXDATA レジスタに書き込むと、シグナルフリー状態を検出するまで待ちます。シグナルフリー状態を検出するとスタートビットを自動送信します。
- スタートビット送信後に TXDATA レジスタに設定された 1 バイトデータと EOM 設定ビットに設定されたデータと、ACK ビットを自動送信します。
- ACK ビットの自動送信の直後に、TXSTS レジスタの ITST ビットの割込みが発生するため、ACK サイクル値を確認して正常なら次の送信に向けて各種設定と送信データの書込みを行います。
- EOM が"1"に設定された状態で送信が終了するまで同様に送信を行います。

CEC 送信時の基本動作タイミングを Figure 5-1 に示します。

Figure 5-1 CEC 送信の基本動作タイミングチャート



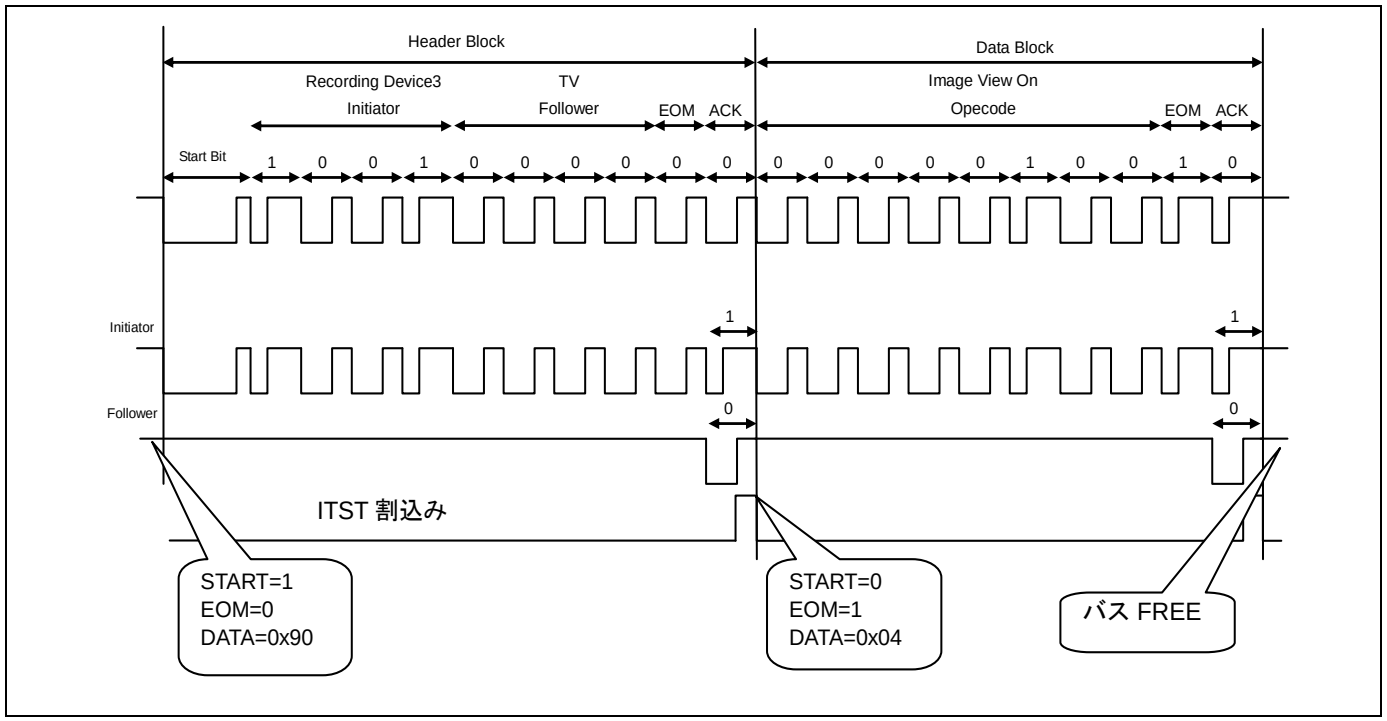
5.2 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

割込み要因とタイミングチャート

Figure 5-2 にヘッダブロックと単一のデータブロック送信の場合で、ITST 割込み要因とタイミングチャートを示します。

Figure 5-2 CEC 送信の割込み要因とタイミングチャート



5.3 アービトレーションロスト検出

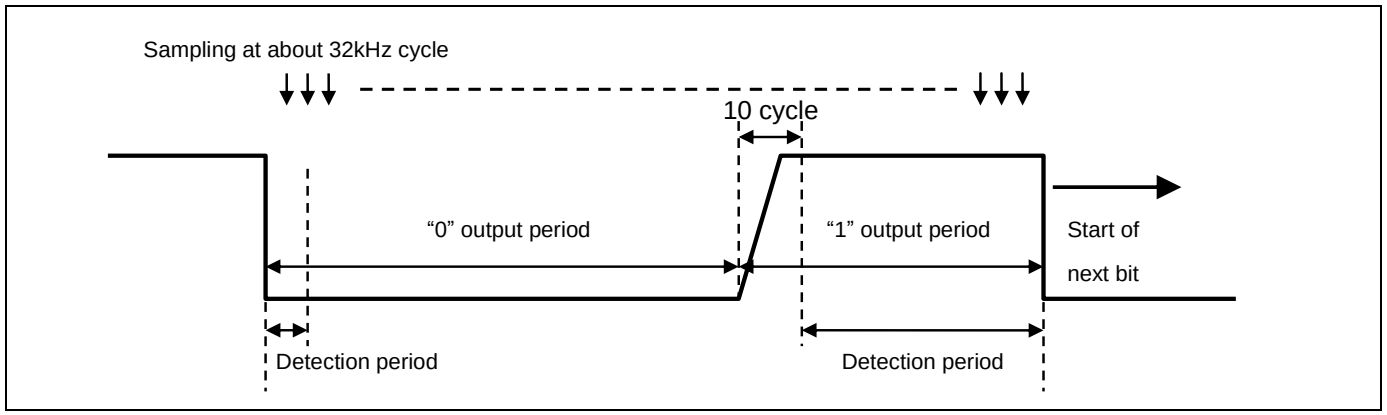
アービトレーションロスト検出について示します。

アービトレーションロストの検出方法

Figure 5-3 にアービトレーションロストの検出方法を示します。

各ビット毎に下記検出期間にて、バス上のデータを約 32KHz 周期にてサンプリングし、送信出力と比較し、2 サンプリング連続で違いが検出された場合、アービトレーションロストを検出します。アービトレーションロストを検出すると、TXSTS レジスタの IBR が"1"になります。

Figure 5-3 アービトレーションロスト検出期間

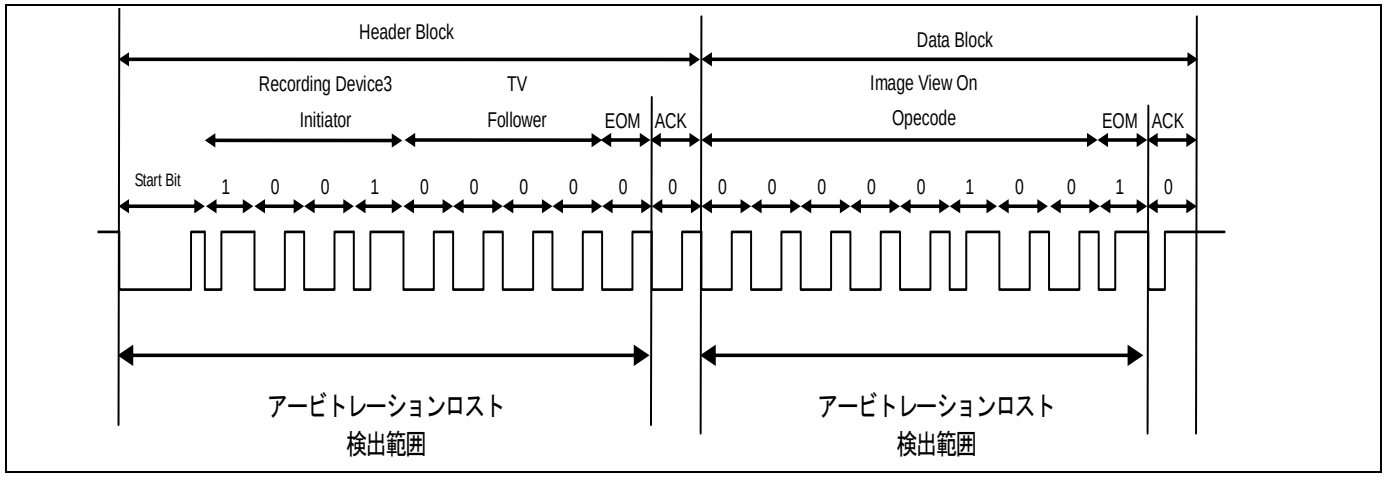


アービトレーションロストの検出範囲

Figure 5-4 にアービトレーションロストの検出範囲を示します。

各ブロック転送の中で ACK サイクルを除く EOM までが検出範囲となります。

Figure 5-4 アービトレーションロスト検出範囲



5.4 シグナルフリー検出

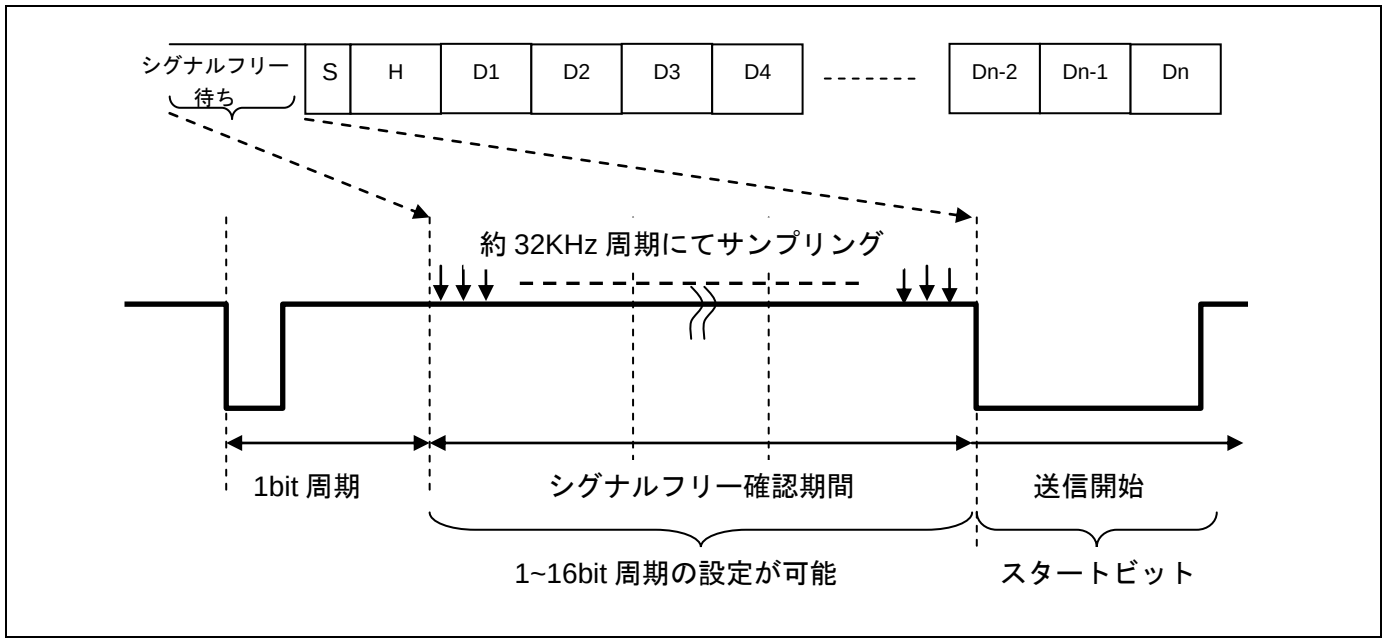
シグナルフリー検出について示します。

シグナルフリーの検出方法

Figure 5-5 にシグナルフリー検出を示します。

SFREE レジスタに設定した周期分の期間で、前フレーム終了時から CEC のバス上に変化がない場合にはシグナルフリー検出状態とします。

Figure 5-5 シグナルフリー検出



前フレームの最後の立ち下がりからスタートビットの立ち下がりまで、5bit のシグナルフリータイムを確保する場合は、シグナルフリー時間設定レジスタに"3"を設定してください。

他機器の自分のアドレス以外の送信後に 5bit のシグナルフリータイムを確保する場合は、受信のスタートビット検出割込み時に SEND ビットが"0"なら他機器からの送信と判別でき、シグナルフリータイムが設定可能です。

5.5 フィルタ機能

送信側の CEC 信号の入力をフィルタする機能について説明します。

CEC 信号のフィルタについて

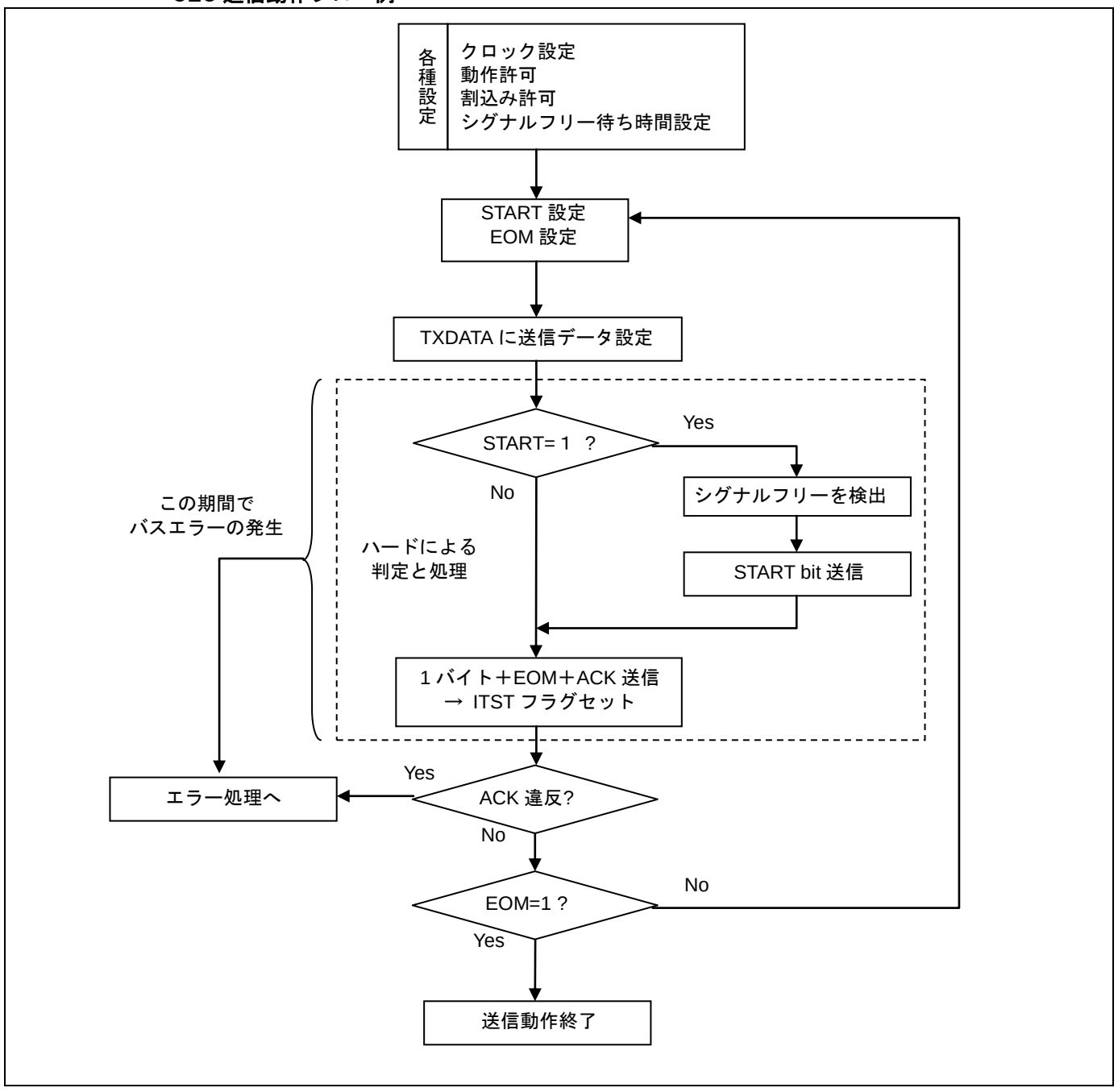
CEC 信号の入力がカウントクロックの 2 クロック未満の幅で変化した場合、フィルタによりノイズと判断され、その信号は除去されます。

カウントクロックの 2 クロック以上の幅で変化した入力は、CEC 信号と判断され、その信号はフィルタを通過します。

5.6 CEC 送信動作について

CEC 送信動作についてフローを示します。

CEC 送信動作フロー例



6. CEC 送信のレジスタセット

CEC 送信のすべてのレジスタについて説明します。

6.1 送信制御レジスタ(TXCTRL)
6.2 送信データレジスタ(TXDATA)
6.3 送信ステータスレジスタ(TXSTS)
6.4 シグナルフリー時間設定レジスタ(SFREE)

6.1 送信制御レジスタ(TXCTRL)

送信制御レジスタ(TXCTRL)は、CEC 送信を制御します。

bit	7	6	5	4	3	2	1	0
Field	SENDEN	ACKMEN	IBREN	ITSTEN	EOM	START	予約	TXEN
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] SENDEN： 送信中フラグ動作許可ビット

- 送信ステータスレジスタ（TXSTS）の SENDEN ビットの動作を制御します。

bit	説明
0	送信中フラグの動作を禁止
1	送信中フラグの動作を許可

[bit6] ACKMEN： 受信 ACK マスク許可ビット

- 受信 ACK のマスクを制御します。
- 本ビットが 1 かつ送信中の時、受信 ACK をマスクします。

bit	説明
0	受信 ACK をマスクしません
1	受信 ACK をマスクします

[bit5] IBREN： バスエラー検出割込み許可ビット

- TXSTS レジスタ bit5 IBR の割込み要求を制御します。
- IBREN ビットが許可されていて TXSTS レジスタ bit5 IBR ビットが設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit4] ITSTEN： 送信ステータス割込み許可ビット

- TXSTS レジスタ bit4 ITST の割込み要求を制御します。
- ITSTEN ビットが許可されていて TXSTS レジスタ bit4 ITST ビットが設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] EOM：EOM 設定ビット

- EOM 送信ビットを制御します。
- START ビットとの組合せによる設定でブロック送信を選択します。

bit	説明
0	EOM0 出力
1	EOM1 出力

[bit2] START : START 設定ビット

- START ビットを送信データに付加するヘッダブロック送信を設定します。
- EOM ビットとの組合せによる設定でブロック送信を選択します。

bit	説明
0	START ビット送信無効
1	START ビット送信有効

EOM, START の設定により CEC 送信は以下のブロック送信となります。

	START=1	START=0
EOM=0	ヘッダブロック送信 (フレーム最初)	データブロック (後続ブロックあり)
EOM=1	ヘッダブロック送信 (Polling Message)	最終データブロック (フレーム最後)

[bit1] 予約 : 予約ビット

読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit0] TXEN : 送信動作許可ビット

- CEC 送信動作を制御します。
- TXEN ビットを禁止に変更するとステータスレジスタの各ビットの自動クリアが発生します。

bit	説明
0	CEC 送信動作を禁止
1	CEC 送信動作を許可

<注意事項>

- *TXEN ビットに"0"を設定すると、直ちに出力を停止します。その際 CEC 信号に不正な波形が出力される場合があります。*

6.2 送信データレジスタ(TXDATA)

送信データレジスタ(TXDATA)は送信データを設定するためのレジスタです。

bit	7	0
Field	TXDATA[7:0]	
属性	R/W	
初期値	0x00	

TXDATA レジスタに値を設定すると、条件の違いにより以下のどちらかの CEC 送信を開始します。

以下の条件の成立により自動でヘッダブロック送信を開始します。

- TXEN=1 である。
- START=1 である。
- SFREE レジスタで設定した期間で CEC バス上の IDLE を検出した。

<注意事項>

- *TXDATA レジスタに値を設定する時に、SFREE レジスタで設定した期間の IDLE を検出していた場合は TXDATA レジスタを設定すると同時にヘッダブロック送信を開始します。*

以下の条件でデータブロック送信を直ちに開始します。

- TXEN=1 である。
- START=0 である。

6.3 送信ステータスレジスタ(TXSTS)

送信ステータスレジスタ(TXSTS)は送信時のステータスを表示するためのレジスタです。

bit	7	6	5	4	3	2	1	0
Field	SEND	予約	IBR	ITST	予約			ACKSV
属性	R	R/W	R/W	R/W	R/W			R
初期値	0	0	0	0	000			0

[bit7] SEND： 送信中フラグビット

- 送信中であることを示します。
  SENDEN=1 かつ送信中のスタートビットの開始から ACK ビットの最後までの期間に本ビットは 1 になります。
- SENDEN ビットが 0 の時、本ビットは 0 です。
  本ビットへの書込みは無効です。

bit	説明
0	送信していない、または SEND=0
1	送信中（SENDEN=1 の時）

[bit6] 予約 ： 予約ビット

読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit5] IBR： バスエラー検出割込み要求ビット

- アービトレーションロストを検出すると IBR ビットが"1"に設定されます。
- IBR ビットは"0"書込みによりクリアされます。
- IBR ビットに"1"書込みしてもビット値には影響しません。
- リードモディファイライト操作におけるリード値は、ビット値にかかわらず"1"になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

＜注意事項＞

- *IBR ビットが"1"に自動設定される時に、同時に"0"書込みによるクリアが行われた場合はクリアを無視して、"1"セットになります。*
- *"0"書込みは IBR ビットが"1"の時にしてください。"1"に自動設定されるのを意図せずにクリアしてしまうことがあります。*
- *ラインエラー信号を検出した時もバスエラー検出として IBR ビットが"1"に設定されます。*

[bit4] ITST : 送信ステータス割込み要求ビット

- 各ブロック転送での 10bit 目のデータであるステータスビットの通信が終了した時に ITST ビットが"1"に設定されます。
- ITST ビットは"0"書込みによりクリアされます。
- ITST ビットに"1"書込みしてもビット値には影響しません。
- リードモディファイライト操作におけるリード値は、ビット値にかかわらず"1"になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

<注意事項>

- *ITST ビットが"1"に自動設定される時に、同時に"0"書込みによるクリアが行われた場合はクリアを無視して、"1"セットになります。*
- *"0"書込みは ITST ビットが"1"の時にしてください。"1"に自動設定されるのを意図せずにクリアしてしまうことがあります。*

[bit3:1] 予約 : 予約ビット

読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit0] ACKSV : ACK サイクル値ビット

- 各ブロック転送での 10bit 目のデータである ACK サイクルの受信データ値を表示します。
- ITST が"0"から"1"になった時に更新します。
- ACKSV ビットに書込みしてもビット値には影響しません。

bit	説明
0	ACK サイクルで 0 を受信
1	ACK サイクルで 1 を受信

6.4 シグナルフリー時間設定レジスタ(SFREE)

シグナルフリー時間設定レジスタ(SFREE)は送信開始前に確認するシグナルフリー時間の設定をするためのレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約				SFREE[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

[bit7:4] 予約 : 予約ビット

読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit3:0] SFREE[3:0] : シグナルフリー時間設定ビット

- 送信開始前に CEC バス上のフリー状態を確認する時間の設定をします。
- CEC バス上に設定されたビット周期分の通信がないことを確認して送信動作に移ります。

bit3:0	説明
0000	(設定値＋1)周期 Ex1) 0000: 1bit 周期　Ex2) 0111:8bit 周期 Ex3) 1000: 9bit 周期　Ex3) 1111:16bit 周期
0001	
…	
1110	
1111	

CHAPTER 4-1: USB クロック生成部

USB クロック生成について説明します。

1. 概要・構成

管理コード: 9BFBSPLL_FM0-J03.0

1. 概要・構成

USB クロックを生成します。

USB マクロが通信で使用する 48MHz の USB クロックを生成します。

ご使用する製品により機能・構成が異なるため TYPE2-M0+の製品は『USB クロック生成(A)』の章、TYPE3-M0+の製品は『USB クロック生成(B)』の章を参照してください。

また、本ファミリに内蔵された USB の論理マクロは、初期状態では低消費電力化のため動作クロック(HCLK)を論理マクロ内部でゲーティングしています。
USB 機能を使用する場合は、必ずクロックゲーティングを解除するため、以下のレジスタ設定を変更してください。

USB ch.0: 詳細は『ペリフェラルマニュアル』の『周辺クロック停止機能』の「4.5. 周辺クロック制御レジスタ(CKEN2)」を参照してください。

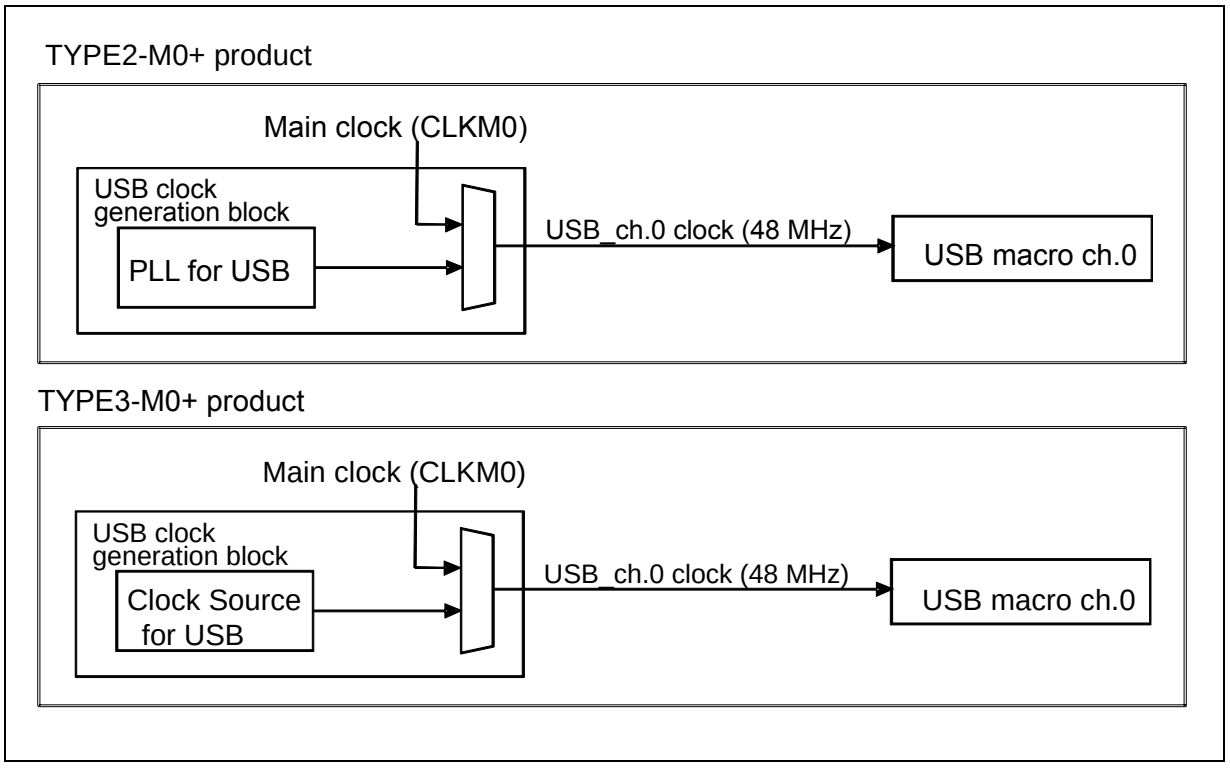
Table 1-1 に、製品タイプによって参照すべき章を示します。

Table 1-1 製品タイプによる参照章

製品タイプ	USB 搭載の有無	参照章
TYPE1-M0+	-	-
TYPE2-M0+	○	USB クロック生成 (A)
TYPE3-M0+	○	USB クロック生成 (B)

Figure 1-1 に USB クロック生成部のブロックダイヤグラムを示します。

Figure 1-1 USB クロック生成部概略図



CHAPTER 4-2: USB クロック生成 (A)

USB クロック生成について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. レジスタ一覧
6. 使用上の注意点

管理コード: 9BFUSBETHERPLL_FM0-J03.0

1. 概要

USB クロック生成の概要を説明します。

USB クロックは USB マクロが通信するために使用する 48 MHz のクロックです。

USB クロックを生成する方法は以下の 2 種類から選択できます。

- 48 MHz のメインクロック(以下 CLKMO)をそのまま使用
- USB 用 PLL(以下 USB-PLL)をクロックソースとして使用

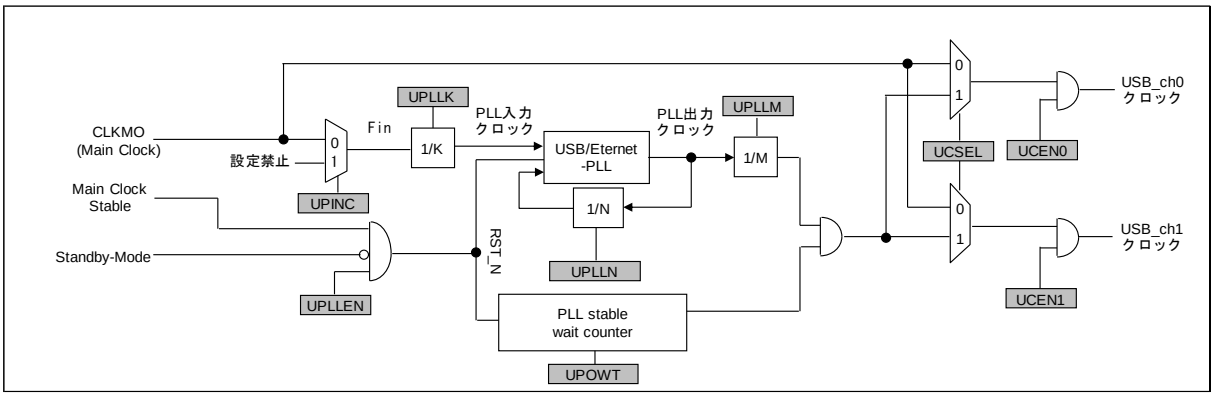
USB クロック生成部は以下の機能を持ちます。

- USB クロックの出力許可/停止の設定
- USB クロックの選択
- USB -PLL 発振許可/停止の設定
- USB -PLL 入力クロックの選択
- USB -PLL 入力クロック分周設定
- USB -PLL 出力クロック逓倍設定
- USB -PLL 安定待ち時間設定
- スタンバイモード時の USB クロックの停止

2. 構成・ブロックダイヤグラム

USB クロック生成部の構成, ブロックダイヤグラムを説明します。

Figure 2-1 USB クロック生成部のブロックダイヤグラム



USB-PLL 制御レジスタ(UPLLEN)

制御レジスタにより、USB -PLL 発振イネーブルを設定できます。

入力クロック選択レジスタ(UPINC)

CLKMO を必ず選択してください。

USB-PLL

- 分周設定レジスタ(UPLLK, UPLLN, UPLLM)

  USB クロックとして 48 MHz を生成するためには、K 分周,N 分周,M 分周を設定してください。
  USB -PLL の入力クロック周波数, 出力クロック周波数, 逓倍率(N 分周設定値)の仕様範囲についてはご使用する製品の『データシート』の使用条件の「PLL 入力クロック周波数」, 「PLL マクロ発振クロック周波数」, 「PLL 逓倍率」を参照してください。

- 発振安定待ち時間設定レジスタ(UPOWT)

  USB -PLL の発振安定待ち時間を設定できます。

出力クロック

- 出力クロック選択レジスタ(UCSEL)

  CLKMO, または USB-PLL 出力クロックから選択できます。

- USB クロック出力イネーブルレジスタ(UCEN0,UCEN1)

  USB クロック出力イネーブルを設定できます。

スタンバイモード設定

- Figure 2-1 に記載されている Standby-Mode 信号は以下のモードでアクティブになります。
  以下のスタンバイモード時に USB クロックが停止されます。
  - ストップモード
  - タイマモード
- Figure 2-1 に記載されている Main Clock Stable 信号は各発振安定信号です。

3. 動作説明

USB クロック生成部の動作説明をします。

USB クロック選択

USB クロックのソースクロックは以下の 2 種類から選択できます。

■ CLKMO

CLKMO を直接 USB クロックとして使用できます。この場合、CLKMO が 48 MHz 外部入力されている、または 48 MHz で発振している必要があります。また、CLKMO の発振安定確認後に USB クロック出力許可を行ってください。

■ USB-PLL 出力クロック

USB -PLL 出力クロックを USB クロックのソースクロックとして使用できます。

USB -PLL 出力クロックを 240 MHz または 288 MHz で出力させ、M 分周して 48 MHz クロックを生成する必要があります。

Table 3-1 に、分周比設定例を示します。

Table 3-1 PLL 分周比設定例

Fin (MHz)	USB クロック出力 48 MHz		
	PLL 出力周波数 240 MHz		
	K	N	M
4	1	60	5
8	1	30	5
8	2	60	5
16	1	15	5
16	2	30	5
16	4	60	5
24	2	20	5
24	4	40	5
24	6	60	5
48	*		

*:USB-PLL を使用せずに CLKMO を直接 USB クロックとして使用してください。

スタンバイモード遷移

■ スタンバイモード遷移時

スタンバイモード(STOP モードまたはタイマモード)に移行する前に UCCR レジスタの UCEN0, UCEN1 ビットをすべて"0"に設定して USB クロックを供給停止させてください。

1. UCCR:UCEN0=0, UCCR:UCEN1=0 に設定
2. UCCR レジスタを読み出して UCEN0, UCEN1 ビットが"0"であることを確認
3. スタンバイモードに移行

また復帰時は必要に応じて UCEN0,UCEN1 ビットの設定を"1"に戻してください。USB クロックが発振安定すると供給開始します。USB クロックが発振安定したかどうかは以下を確認してください。

- USB -PLL を使用している場合

  UP_STR:UPRDY=1 になっていることを確認するか、USB-PLL 発振安定待ち割込みを使用してください。

- CLKMO(48 MHz)を使用している場合

  CLKMO 発振安定後、USB クロックを供給します。

USB-PLL 発振安定待ち

■ USB-PLL 発振安定待ち時間設定

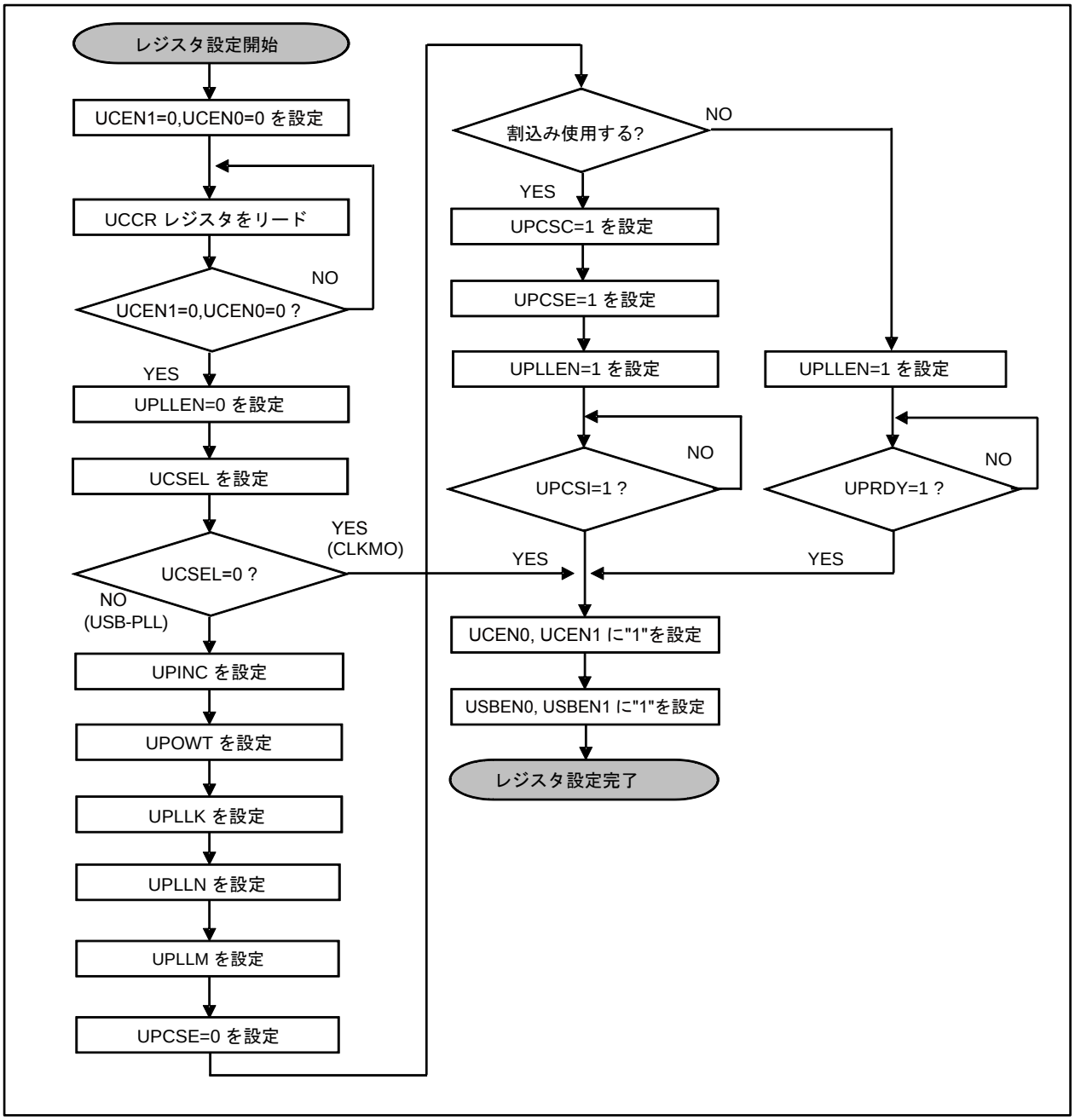
CLKMO 発振の安定後、USB-PLL 発振安定待ち時間のカウントを始めます。
USB-PLL 発振許可を行う前に、USB-PLL 発振安定待ち時間設定および発振安定完了割込みを設定してください。
発振安定待ち期間中に発振安定待ち時間を変更してはいけません。

4. 設定手順例

USB クロック生成部の設定手順例を説明します。

USB クロックの設定手順例を Figure 4-1 に示します。

Figure 4-1 USB クロック生成手順



5. レジスター覧

USB クロック生成部のレジスター覧を説明します。

USB クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
UCCR	USB クロック制御レジスタ	5.1
UPCR1	USB-PLL 制御レジスタ 1	5.2
UPCR2	USB-PLL 制御レジスタ 2	5.3
UPCR3	USB-PLL 制御レジスタ 3	5.4
UPCR4	USB-PLL 制御レジスタ 4	5.5
UPCR5	USB -PLL 制御レジスタ 5	5.6
UP_STR	USB-PLL 状態レジスタ	5.7
UPINT_ENR	USB-PLL 割込み要因イネーブルレジスタ	5.8
UPINT_STR	USB-PLL 割込み要因状態レジスタ	5.9
UPINT_CLR	USB-PLL 割込み要因クリアレジスタ	5.10
USBEN0	USB(ch.0)許可レジスタ	5.11
USBEN1	USB(ch.1)許可レジスタ	5.12

5.1 USB クロック制御レジスタ(UCCR)

UCCR レジスタは、USB クロックの選択および USB クロックの出力許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UCEN1	予約	UCSEL	UCEN0
属性	-				R/W	-	R/W	R/W
初期値	-				0	-	0	0

レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] UCEN1 : USB(ch.1)クロック出力許可ビット

bit	説明
0	USB(ch.1)クロック出力を許可しない[初期値]
1	USB(ch.1)クロック出力を許可する

[bit2] 予約: 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit1] UCSEL : USB クロック選択ビット

bit	説明
0	CLKMO[初期値]
1	USB-PLL 発振クロック

[bit0] UCEN0 : USB(ch.0)クロック出力許可ビット

bit	説明
0	USB (ch.0)クロック出力を許可しない[初期値]
1	USB (ch.0)クロック出力を許可する

<注意事項>

- *UCSEL ビットで CLKMO を USB クロックとして選択する場合は、外部メイン発振から 48MHz を入力してください。*
- *本レジスタはソフトウェアリセット時に初期化されません。*

5.2 USB-PLL 制御レジスタ 1(UPCR1)

UPCR1 レジスタは、USB-PLL を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						UPINC	UPLLEN
属性	-						R/W	R/W
初期値	-						0	0

レジスタ機能

[bit7:2] 予約: 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] UPINC : USB-PLL 入力クロック選択ビット

bit	説明
0	CLKMO[初期値]
1	設定禁止

[bit0] UPLLEN : USB-PLL 発振許可ビット

bit	説明
0	USB-PLL を停止する[初期値]
1	USB-PLL 発振を許可する

<注意事項>

- *UPINC ビットは必ず"0"を設定してください。"1"を設定した場合、動作は保証されません。*
- *本レジスタはソフトウェアリセット時に初期化されません。*

5.3 USB-PLL 制御レジスタ 2(UPCR2)

UPCR2 レジスタは、USB-PLL の発振安定待ち時間を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					UPOWT		
属性	-					R/W		
初期値	-					000		

レジスタ機能

[bit7:3] 予約: 予約ビット

これらのビットからは、"0b00000 "が読み出されます。
書込みの場合には、"0b00000"を設定してください。

[bit2:0] UPOWT : USB-PLL 発振安定待ち時間設定ビット

bit2	bit1	bit0	説明
0	0	0	2^9/Fin : 約 128 µs * [初期値]
0	0	1	2^{10}/Fin : 約 256 µs *
0	1	0	2^{11}/Fin : 約 512 µs *
0	1	1	2^{12}/Fin : 約 1.02 ms *
1	0	0	2^{13}/Fin : 約 2.05 ms *
1	0	1	2^{14}/Fin : 約 4.10 ms *
1	1	0	2^{15}/Fin : 約 8.20 ms *
1	1	1	2^{16}/Fin : 約 16.4 ms *

*: Fin=4 MHz の場合

<注意事項>

- *Fin は UPINC ビットで選択されたクロックです。*
- *本レジスタはソフトウェアリセット時に初期化されません。*
- *PLL マクロの発振安定待ち時間は製品により異なるため、ご使用する製品の『データシート』の PLL の使用条件"PLL 発振安定待ち時間"を参照してください。*

5.4 USB-PLL 制御レジスタ 3(UPCR3)

UPCR3 レジスタは、USB-PLL の分周比(K)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			UPLLK				
属性	-			R/W				
初期値	-			00000				

レジスタ機能

[bit7:5] 予約: 予約ビット

これらのビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit4:0] UPLLK : USB-PLL クロックの分周比(K)設定ビット

bit4:0	説明
00000	(UPLLK+1) 分周されます。UPLLK の値により 1 分周から 32 分周が設定できます。 (例) UPLLK="00000" ⇒ 1 分周 [初期値]
00001	
・	
・	
11111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.5 USB-PLL 制御レジスタ 4(UPCR4)

UPCR4 レジスタは、USB-PLL の分周比(N)を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	UPLLN						
属性	-	R/W						
初期値	-	0111011						

■ レジスタ機能

[bit7] 予約: 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:0] UPLLN : USB-PLL クロックの分周比(N)設定ビット

bit6:0	説明
0000000	設定禁止
・	
0001100	
0001101	(UPLLN+1) 分周されます。UPLLN の値により 14 分周から 100 分周が設定できます。 (例) UPLLN="0111011" ⇒ 60 分周 [初期値]
・	
・	
1100011	
1100100	設定禁止
・	
1111111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.6 USB-PLL 制御レジスタ 5(UPCR5)

UPCR5 レジスタは、USB-PLL の分周比(M)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UPLLM			
属性	-				R/W			
初期値	-				0100			

レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3:0] UPLLM :USB-PLL クロックの分周比(M)設定ビット

bit3:0	説明
0000	(UPLLM+1) 分周されます。UPLLM の値により 1 分周から 16 分周が設定できます。 (例) UPLLM="0100" ⇒ 5 分周 [初期値]
0001	
・	
・	
1111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.7 USB-PLL 状態レジスタ(UP_STR)

UP_STR レジスタは、USB-PLL の状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPRDY
属性	-							R
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPRDY : USB-PLL 発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.8 USB-PLL 割込み要因イネーブルレジスタ(UPINT_ENR)

UPINT_ENR レジスタは、USB-PLL 発振安定待ち完了割込みのイネーブルを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSE
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSE : USB-PLL 発振安定待ち完了割込みイネーブルビット

bit	説明
0	割込みの発生を許可しない[初期値]
1	割込みの発生を許可する

5.9 USB-PLL 割込み要因状態レジスタ(UPINT_STR)

UPINT_STR レジスタは、USB-PLL 発振安定待ち割込みの状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSI
属性	-							R
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSI : USB-PLL 割込み要因状態ビット

bit	説明
0	割込みの発生なし[初期値]
1	割込みの発生あり

5.10 USB-PLL 割込み要因クリアレジスタ(UPINT_CLR)

UPINT_CLR レジスタは、USB-PLL 割込み要因のクリアを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSC
属性	-							W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSC : USB-PLL 発振安定割込み発生要因クリアビット

bit	説明
0	無効[初期値]
1	USB-PLL 発振安定待ち割込みをクリアします。

<注意事項>

- *本レジスタの UPCSC ビットに"1"書込みを行うと UPINT_STR レジスタはクリアされます。*

5.11 USB(ch.0)許可レジスタ(USBEN0)

USBEN0 レジスタは、USB(ch.0)コントローラの動作許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN0
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN0 : USB(ch.0)許可ビット

bit	説明
0	USB(ch.0)動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB(ch.0)動作許可

<注意事項>

- *USB(ch.0)を使用する場合は、本ビットを"1"に設定してから使用してください。*
- *USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。*

5.12 USB(ch.1)許可レジスタ(USBEN1)

USBEN1 レジスタは、USB(ch.1)コントローラの動作許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN1
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN1 : USB(ch.1)許可ビット

bit	説明
0	USB(ch.1)動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB(ch.1)動作許可

<注意事項>

- *USB(ch.1)を使用する場合は、本ビットを"1"に設定してから使用してください。*
- *USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。*

6. 使用上の注意点

クロック生成部の使用上の注意点を説明します。

■ USB クロック出力設定と USB クロック選択

USB(ch.0)クロック出力無効(UCEN0=0)と USB クロック選択(UCSEL)または USB(ch.1)クロック出力無効(UCEN1=0)と USB クロック選択(UCSEL)を同時に行わないでください。
必ず、USB クロック出力無効→USB クロック選択の順に行ってください。

■ USB-PLL 発振の分周比設定

PLL 発振が安定してから PLL の分周比を変更する場合は、いったん PLL 発振を停止し、分周比の変更後、再度 PLL 発振許可を行ってください。

■ USB-PLL 発振安定待ち時間の設定

PLL 発振安定待ち時間設定レジスタにて発振安定待ち時間を設定してから、PLL を有効にしてください。また、発振安定待ち中に、発振安定待ち時間を変更しないでください。

■ USB-PLL 入力クロック選択

UCSEL=1 を設定すると USB クロックには USB-PLL 発振クロックが選択されます。
USB-PLL 設定レジスタ 1(UPCR1)の UPINC ビットに"0"を書き込み、USB-PLL 入力クロックには必ず CLKMO を選択してください。

Table 6-1 に USB クロックと UCSEL/UPLLEN/UPINC の関係を示します。

Table 6-1 USB クロックとレジスタの設定一覧

		UCSEL	UPLLEN	UPINC
メインクロック 48 MHz 使用時		0	0	-
PLL マクロ発振クロック使用時	CLKMO	1	1	0
	設定禁止	1	1	1

■ スタンバイモードと USB-PLL 発振安定待ちカウンタ

USB-PLL 発振安定待ち時間中に TIMER/STOP モードに遷移すると、PLL は停止し、安定待ちカウンタはクリアされます。

■ USB 許可ビットと USB コントローラの設定

USB コントローラを使用する際には、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。また、USB コントローラに USB クロックを供給してから、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。USB コントローラの設定詳細については、別章『USB ファンクション』および『USB ホスト』を参照してください。

CHAPTER 4-3: USB クロック生成 (B)

USB クロック生成について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. レジスター覧
6. 使用上の注意点

管理コード: 9BFUSBPLLB_FM0-J03.0

1. 概要

USB クロック生成の概要を説明します。

USB クロックは USB マクロが通信するために使用する 48 MHz のクロックです。

USB クロックを生成する方法は以下の 2 種類から選択できます。

- 48 MHz のメインクロック(以下 CLKMO)をそのまま使用
- USB 用 PLL(以下 USB-PLL)をクロックソースとして使用

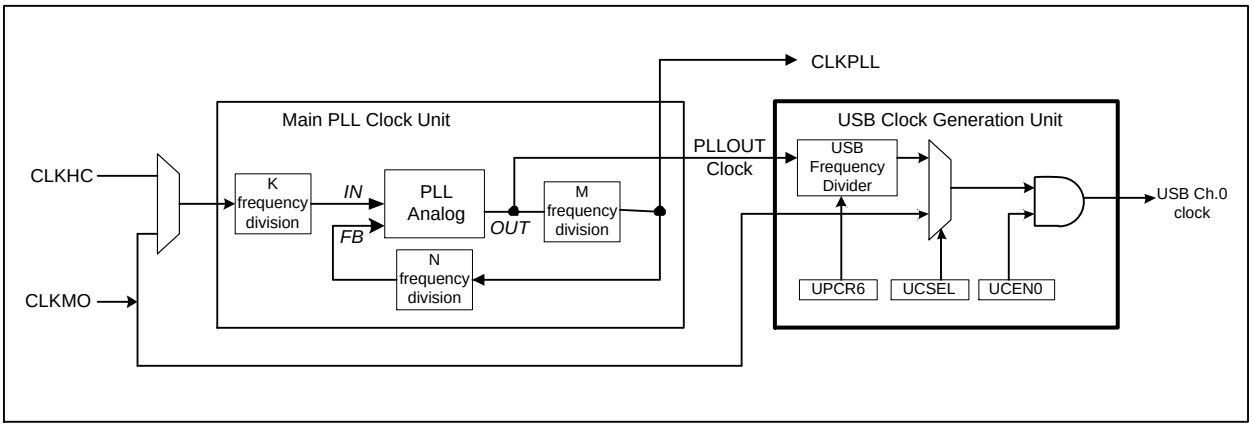
USB クロック生成部は以下の機能を持ちます。

- USB クロックの出力許可/停止の設定
- USB クロックの選択
- PLLOUT クロック逓倍設定

2. 構成・ブロックダイヤグラム

USB クロック生成部の構成, ブロックダイヤグラムを説明します。

Figure 2-1 USB クロック生成部のブロックダイヤグラム



USB 分周器

PLLOUT クロックから分周クロックを生成します。出力クロック周波数は UPCR6 によって設定されます。

USB クロックは 48MHz でなければなりません。したがって、Main PLL と UPCR6 は、48MHz のクロックを USB ch.0 に供給することできるように設定する必要があります。

出力クロック

- 出力クロック選択レジスタ(UCSEL)

  CLKMO, または PLLOUT の分周クロックから選択できます。

- USB クロック出力イネーブルレジスタ(UCEN0)

  USB クロック出力イネーブルを設定できます。

3. 動作説明

USB クロック生成部の動作説明をします。

3.1 USB クロック選択

USB クロックのソースクロックは以下の 2 種類から選択できます。

■ CLKMO

CLKMO を直接 USB クロックとして使用できます。この場合、CLKMO が 48 MHz 外部入力されている、または 48 MHz で発振している必要があります。また、CLKMO の発振安定確認後に USB クロック出力許可を行ってください。

■ Main PLL 出力クロック

Main PLL の分周クロックを USB クロックのソースクロックとして使用できます。

Main PLL 出力クロックを 96 MHz または 144 MHz で出力させ、分周して 48 MHz クロックを生成する必要があります。

Table 3-1 に、分周比設定例を示します。

Table 3-1 PLL 分周比設定例

Fin (MHz)	Main PLL				USB Frequency Divider		CLKPLL Output Clock Frequency [MHz]
	Division Ratio Settings			PLL Output Frequency [MHz]	Division Rate Settings	USB clock Frequency [MHz]	
	K	N	M				
8	1	4	3	96	2	48	32
12	1	3	4	144	3	48	36
16	1	2	3	96	2	48	32
16	2	4	3	96	2	48	32
24	2	3	4	144	3	48	36
24	3	4	3	96	2	48	32

3.2 スタンバイモード遷移

■ スタンバイモード遷移時

スタンバイモード(STOP モードまたはタイマモード)に移行する前に UCCR レジスタの UCEN0 ビットを"0"に設定して USB クロックを供給停止させてください。

1. UCCR:UCEN0=0 に設定
2. UCCR レジスタを読み出して UCEN0 ビットが"0"であることを確認
3. スタンバイモードに移行

また復帰時は必要に応じて UCEN0,ビットの設定を"1"に戻してください。USB クロックが発振安定すると供給開始します。USB クロックが発振安定したかどうかは以下を確認してください。

- Main PLL (PLLOUT) を使用している場合

  Main PLL 発振安定後、USB クロックを供給します。

- CLKMO (48 MHz) を使用している場合

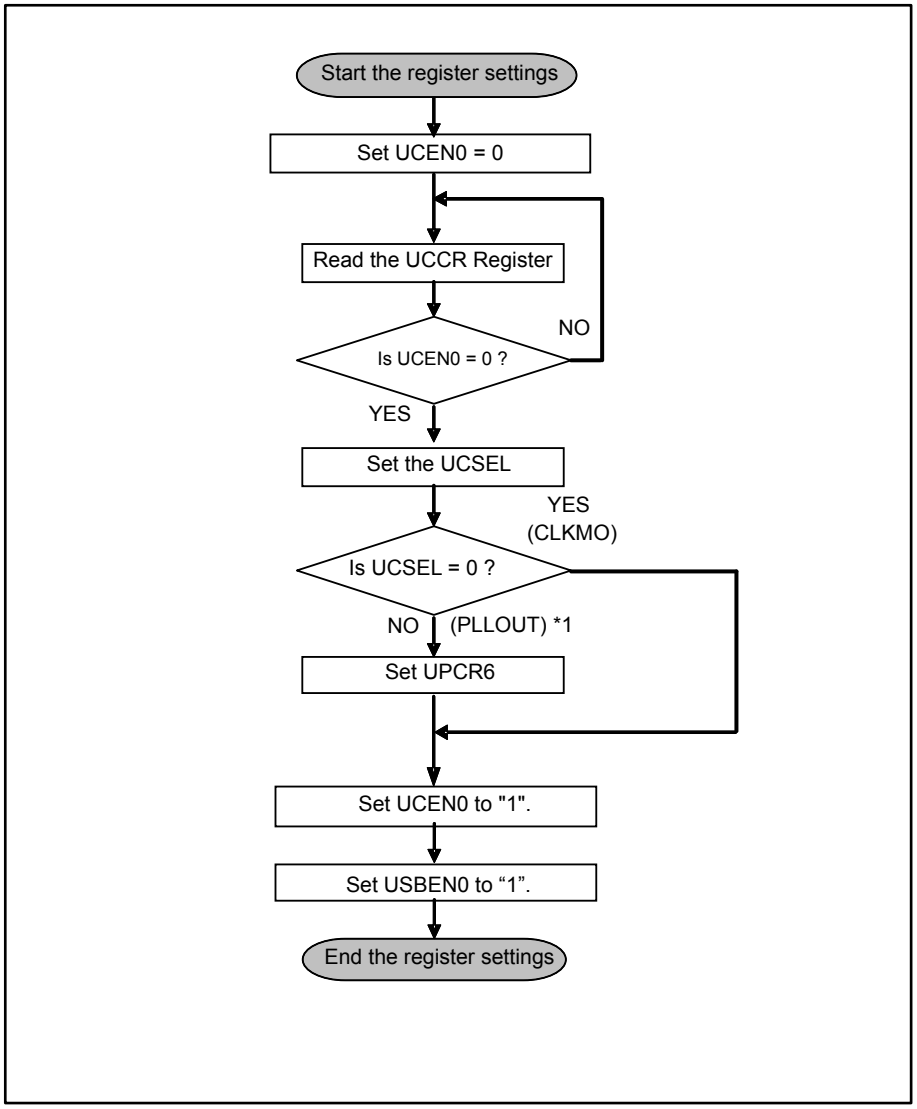
  CLKMO 発振安定後、USB クロックを供給します。

4. 設定手順例

USB クロック生成部の設定手順例を説明します。

USB クロックの設定手順例を Figure 4-1 に示します。

Figure 4-1 USB クロック生成手順



*1 : PLLOUT クロックを使用するためには、先に Main PLL の設定を行っておく必要があります。

5. レジスター覧

USB クロック生成部のレジスター覧を説明します。

5.1 USB クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
UCCR	USB クロック制御レジスタ	5.2
UPCR6	USB -PLL 制御レジスタ 6	5.3
USBEN0	USB(ch.0)許可レジスタ	5.4

5.2 USB クロック制御レジスタ(UCCR)

UCCR レジスタは、USB クロックの選択および USB クロックの出力許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					UCSEL[1:0]		UCEN0
属性	-					R/W		R/W
初期値	-					00		0

レジスタ機能

[bit7:3] 予約: 予約ビット

これらのビットからは、"0"が読み出されます。

書込みの場合には、"0"を設定してください。

[bit2:1] UCSEL[1:0] : USB クロック選択ビット

bit	説明
00	CLKMO[初期値]
10	PLLOUT クロック （USB 分周器出力クロック）
01, 11	設定禁止

[bit0] UCEN0 : USB(ch.0)クロック出力許可ビット

bit	説明
0	USB (ch.0)クロック出力を許可しない[初期値]
1	USB (ch.0)クロック出力を許可する

<注意事項>

- *UCSEL ビットで CLKMO を USB クロックとして選択する場合は、外部メイン発振から 48MHz を入力してください。*
- *本レジスタはソフトウェアリセット時に初期化されません。*

5.3 USB 分周器制御レジスタ 6(UPCR6)

UPCR6 レジスタは、PLLOUT の分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UBSR			
属性	-				R/W			
初期値	-				0010			

レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3:0] UBSR :PLLOUT クロックの分周比設定ビット

bit3:0	説明
0000	(UBSR+1) 分周されます。UBSR の値により 1 分周から 16 分周が設定できます。 (例) UBSR="0010" ⇒ 3 分周 [初期値]
0001	
・	
・	
1111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.4 USB(ch.0)許可レジスタ(USBEN0)

USBEN0 レジスタは、USB(ch.0)コントローラの動作許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN0
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN0 : USB(ch.0)許可ビット

bit	説明
0	USB(ch.0)動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB(ch.0)動作許可

<注意事項>

- *USB(ch.0)を使用する場合は、本ビットを"1"に設定してから使用してください。*
- *USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。*

6. 使用上の注意点

クロック生成部の使用上の注意点を説明します。

■ USB クロック出力設定と USB クロック選択

USB(ch.0)クロック出力無効(UCEN0=0)と USB クロック選択(UCSEL)を同時に行わないでください。
必ず、USB クロック出力無効→USB クロック選択の順に行ってください。

■ CLKMO 選択

UCSEL=0 を設定すると USB クロックには CLKMO が選択されます。CLKMO を選択するときは、CLKMO が 48 MHz で発振しているときにしてください。

■ USB 許可ビットと USB コントローラの設定

USB コントローラを使用する際には、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。また、USB コントローラに USB クロックを供給してから、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。USB コントローラの設定詳細については、別章『USB ファンクション』および『USB ホスト』を参照してください。

CHAPTER 5-1: USB デバイス(USB ファンクション)

USB デバイス(USB ファンクション)について説明します。

1. USB デバイス(USB ファンクション)の概要
2. USB デバイス(USB ファンクション)の構成
3. USB デバイス(USB ファンクション)の動作説明
4. USB デバイス(USB ファンクション)の設定手順例
5. USB デバイス(USB ファンクション)のレジスタ

管理コード: FW03F-J19.5

1. USB デバイス(USB ファンクション)の概要

USB ファンクションは、USB(Universal Serial Bus)通信プロトコルをサポートするインタフェースです。転送スピードは FULL(12 Mbps)に対応して動作し、以下の特長があります。

1.1 USB デバイス(USB ファンクション)の特長

- FULL スピード(12Mbps)をサポート
- デバイスステータスは自動応答
- Bit Stripping, Bit Stuffing, CRC5, CRC16 の自動生成とチェック
- データ同期ビットによるトグルチェック
- Get/SetDescriptor, SynchFrame コマンドを除くすべての標準コマンドに自動応答
  (前記 3 コマンドはクラス・ベンダコマンドと同様の処理が可能)
- クラス・ベンダコマンドはデータとして受信し、ファームによる応答が可能
- 最大 6 本の EndPoint をサポート(EndPoint0 は control 転送に固定)
- 転送データバッファに各 EndPoint でバッファを 2 本ずつ内蔵
  (EndPoint0 の場合は IN と OUT それぞれ専用に 1 本ずつ内蔵)
- DMA による転送データの自動転送モードをサポート(EndPoint0 のバッファ以外)

<注意事項>

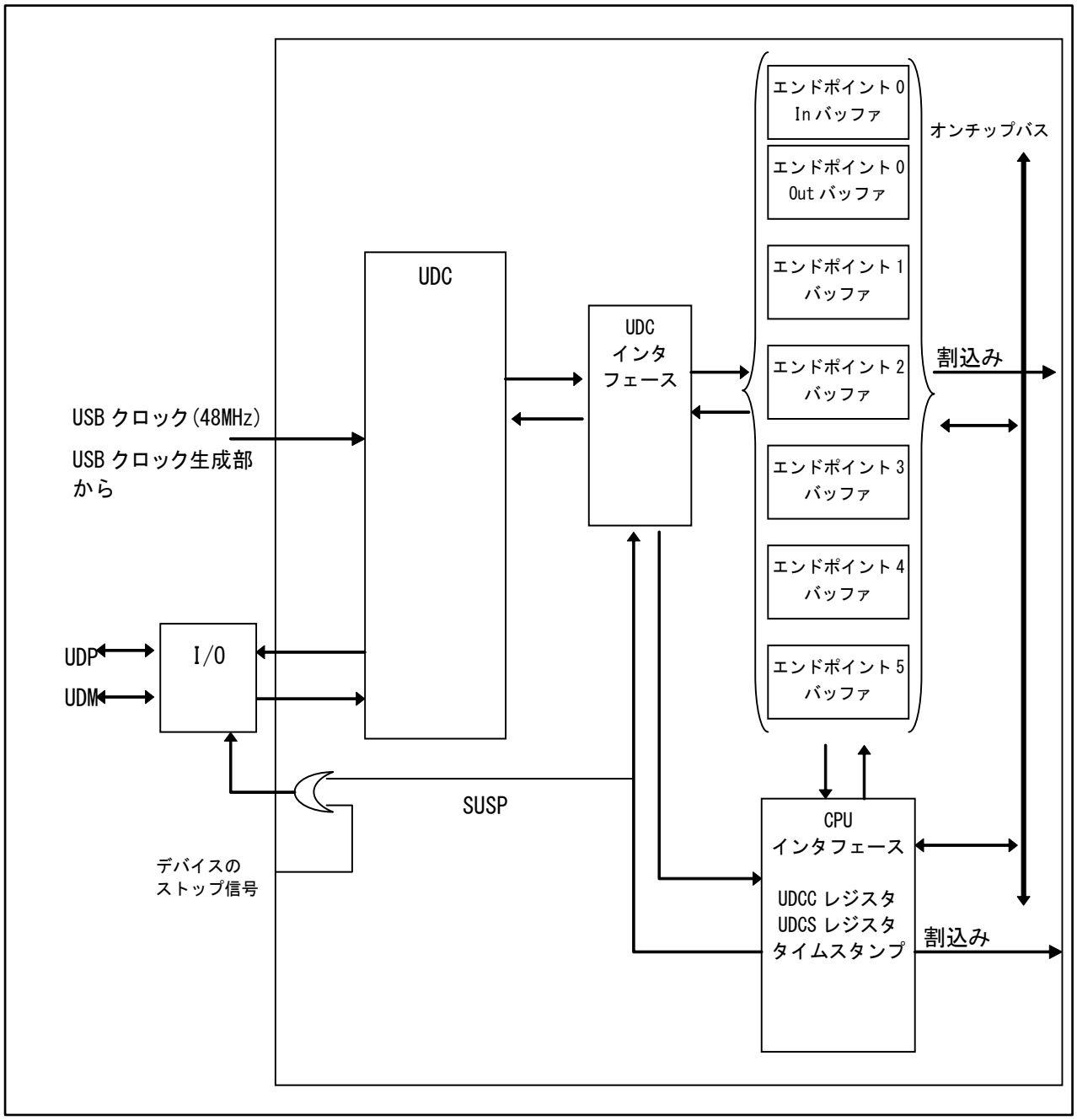
- *USB ファンクションを使用する場合、ベースクロック(HCLK)は 13 MHz 以上で使用してください。*

2. USB デバイス(USB ファンクション)の構成

Figure 2-1 に、USB ファンクションのブロックダイヤグラムを示します。

USB ファンクションのブロックダイヤグラム

Figure 2-1 USB ファンクションのブロックダイヤグラム



USB ファンクションのエンドポイント構成

設定組み合わせ	Configuration	Interface	Alternate	Endpoint	Type
Comb1	—	—	—	0	CTRL
	1	0	0	1	Bulk/Interrupt
		0	0	2	Bulk/Interrupt
		0	0	3	Bulk/Interrupt
		0	0	4	Bulk/Interrupt
		0	0	5	Bulk/Interrupt
Comb2	—	—	—	0	CTRL
	1	1	0	—	—(*1)
		1	1	1	ISO
		0	0	2	Bulk/Interrupt
		0	0	3	Bulk/Interrupt
		0	0	4	Bulk/Interrupt
		0	0	5	Bulk/Interrupt
Comb3	—	—	—	0	CTRL
	1	1	0	—	—(*1)
		1	1	1	ISO
		2	0	—	—(*1)
		2	1	2	ISO (*2)
		0	0	3	Bulk/Interrupt
		0	0	4	Bulk/Interrupt
		0	0	5	Bulk/Interrupt

Comb1: Endpoint1,2 の Type に ISO を設定しない場合の構成

Comb2: Endpoint1 の Type に ISO を設定した場合の構成

Comb3: Endpoint1,2 の Type に ISO を設定した場合の構成

*1: アイソクロナス設定時、Alternate=0 にはエンドポイントは存在しません。
Alternate=0 のインタフェースディスクリプタのエンドポイント数はゼロで設定してください。

*2: Endpoint2 の Type に ISO を設定する場合は Endpoint1 の Type にも必ず ISO を設定してください。

3. USB デバイス(USB ファンクション)の動作説明

USB ファンクションは、USB(Universal Serial Bus)通信プロトコルに対応しています。基本的なプロトコル動作(ハンドシェーク)はハードウェアがサポートしています。従って通信データのみを処理することで USB 通信が実現できます。

3.1. USB デバイス(USB ファンクション)の動作
3.2. 接続検出と切断検出
3.3. コマンド応答時の各レジスタ動作
3.4. サスペンド機能
3.5. ウェイクアップ機能
3.6. DMA 転送機能
3.7. NULL 転送機能
3.8. エンドポイント 0 の STALL 応答/解除
3.9. エンドポイント 1～5 の STALL 応答/解除

3.1 USB デバイス(USB ファンクション)の動作

USB ファンクションを使用するために、以下の手順で設定を行ってください。

1. USB 許可レジスタ(USBEN)で USB の動作を禁止している(USBEN=0)状態で、USB クロック生成部を設定
2. USB クロック出力を有効に設定
3. USB の動作を許可(USBEN=1)に設定

USB ファンクションは USB プロトコルをサポートするホストコントローラと双方向のパケット転送を行います。ホストとデバイスの接続, 構成はエニュメレーションにより実施されます。そのあとにデバイスドライバを使用した各種の転送タイプでの通信が行われます。

エニュメレーションを例にホストとデバイスの USB 通信の動作について説明します。

全体の処理内容を理解するためのレジスタおよび USB パケットの動きを示します。

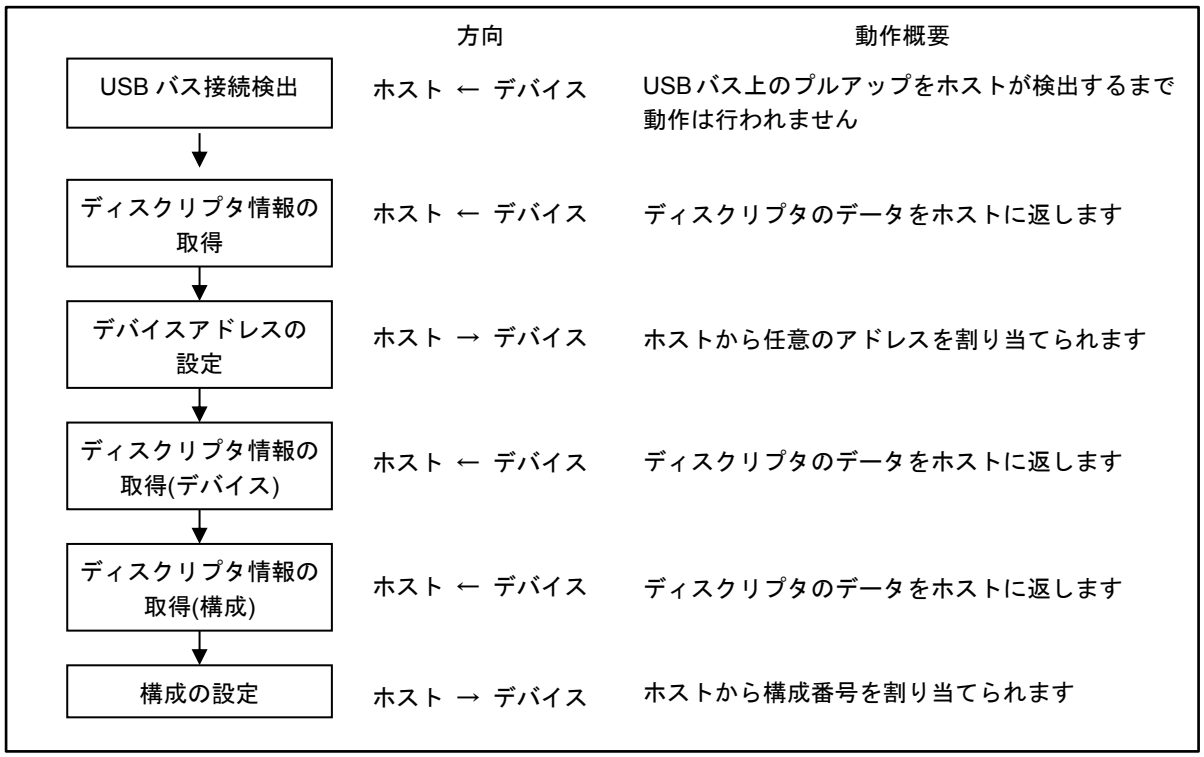
エニュメレーション処理

USB が動作する上で一番初めにホストとデバイスとの接続を確立する処理です。USB のバス上にどのようなデバイスが接続されているかを、ホストが USB コントロール転送(USB の転送タイプ)を使って調査します(USB 仕様で規定)。これは 6 本あるエンドポイントのうち EP0(EndPoint0)を使用します(USB 仕様)。

EP1～EP5 を使用するためには、USB バス上において以下の手順で受信し処理をしないと動作しません。

1. USB バスリセット
2. SET_Address によるアドレスセット
3. SET_Config による構成セット

Figure 3-1 USB ケーブル端子接続例



- USB バス接続検出

  デバイスからホストに通知します。
  ホストは USB バスの 2 本の信号線(D+, D-)を監視し、どちらかの信号が"H"レベルになることによりデバイスが接続されたことを認識します。
  自己電源デバイスとして使用する場合の詳細な手順は「3.2 接続検出と切断検出」を参照してください。
  バス電源デバイスとして使用する場合は「● レジスタ初期設定例と動作開始手順例」に沿って処理してください。

■ レジスタ初期設定と動作開始手順

USB ファンクションのレジスタ初期設定手順例を示します。

1. EP0C レジスタによる EP0 の設定(パケットサイズなど)
2. EP1C-EP5C レジスタによる各 EP の EPEN, DIR, TYPE などを設定
3. UDCC レジスタの RST ビットのクリア
4. EP0IS, EP0OS, EP1S-EP5S レジスタの BFINI をクリア
5. UDCC レジスタの HCONX ビットのクリア

■ USB バスリセット

ホストからデバイスにバスリセットがかかり USB デバイスコアが初期化されますが、レジスタおよびバッファの状態は初期化されません。
デバイスは以下の順序で処理を行ってください(USB 接続後の最初のバスリセットでは処理の必要はありません)。

1. EP0I ステータスレジスタ(EP0IS)の BFINI ビットと EP0O ステータスレジスタ(EP0OS)の BFINI ビットおよび EP1～EP5 ステータスレジスタ(EP1S～EP5S)の BFINI ビットでバッファを初期化する
2. ファームの制御をエニュメレーション前に戻す

■ ディスクリプタの取得

ホストからデバイスに要求があると、データをホストに通知します。
以下の 3 つのステージに別れて通信されます。

Figure 3-2 通信ステージ



セットアップステージでは、ホストから正常にパケットが受信されたか確認し、そのコマンドが何かをデコードします。また次のデータステージで返すディスクリプタの情報を送信バッファに用意します。データステージではホストからデータが正常に送信されたかを確認します。ステータスステージでは、ホストがデータなしパケットの転送をして終了処理をします。

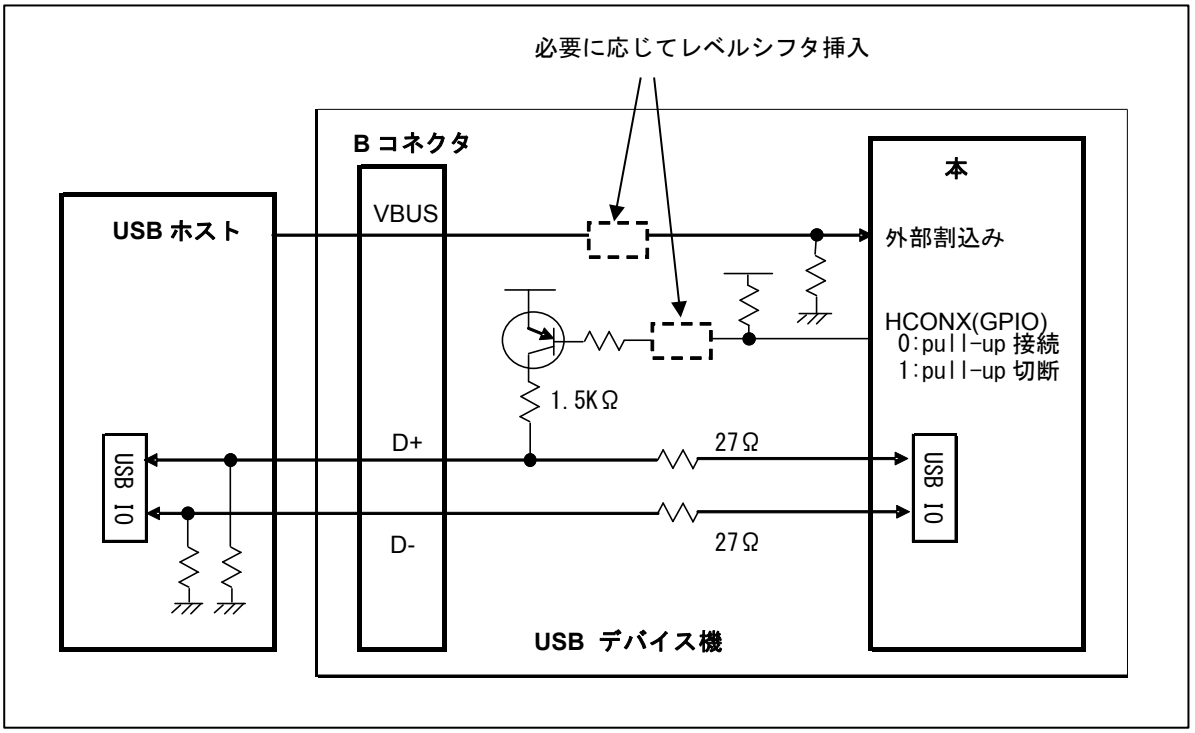
3.2 接続検出と切断検出

USB ホストとの接続検出と切断検出について説明します。

USB システムの接続例

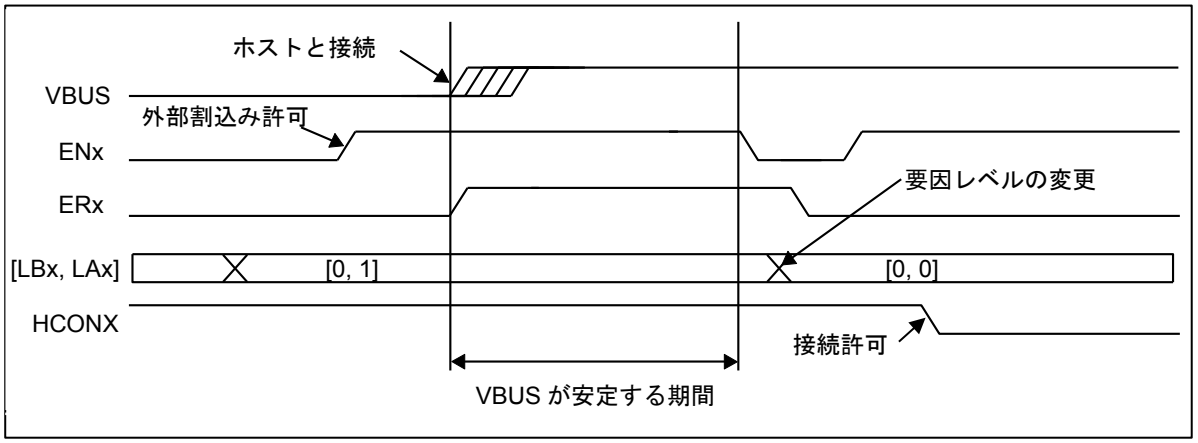
外部割込み端子を USB コネクタの VBUS ピンに接続し、プルダウン抵抗を VBUS 信号に接続することで USB ホストとの切断を検出できます。Figure 3-3 に USB コネクタの D+, D-, VBUS との接続例を示します。

Figure 3-3 USB システム構成例



■ 接続検出

Figure 3-4 接続検出時の動作



デバイスは以下の順序によりホストとの接続を認識し、処理します。

1. UDCC レジスタの HCONX ビットを 1 に設定してください(プルアップ抵抗制御を汎用ポートで行う場合は、プルアップ抵抗切断側に設定してください)。
2. VBUS に接続した外部割込みの要因レベルを"H"レベル検出に設定し、割込み許可します。
3. 外部割込み端子の"H"レベル検出で USB ホストが接続されたことを認識して VBUS が安定する期間を待ちます。
4. 外部割込みをいったん禁止にします。外部割込み要因レベルを"L"レベル検出に設定変更し、割込み要因をクリアして再び外部割込みを許可します。
5. 初期設定(USB ファンクションレジスタを含むすべての初期化)を行ってください。本節の「●レジスタ初期設定例と動作開始手順例」を参照してください。
6. UDCC レジスタの HCONX ビットをクリア(*1)することで、D+のプルアップ抵抗を接続します(*2)。

*1: プルアップ抵抗制御を汎用ポートで行う場合は UDCC レジスタの HCONX ビットをクリアし、かつプルアップ抵抗制御用の汎用ポートを、プルアップ抵抗接続側に設定

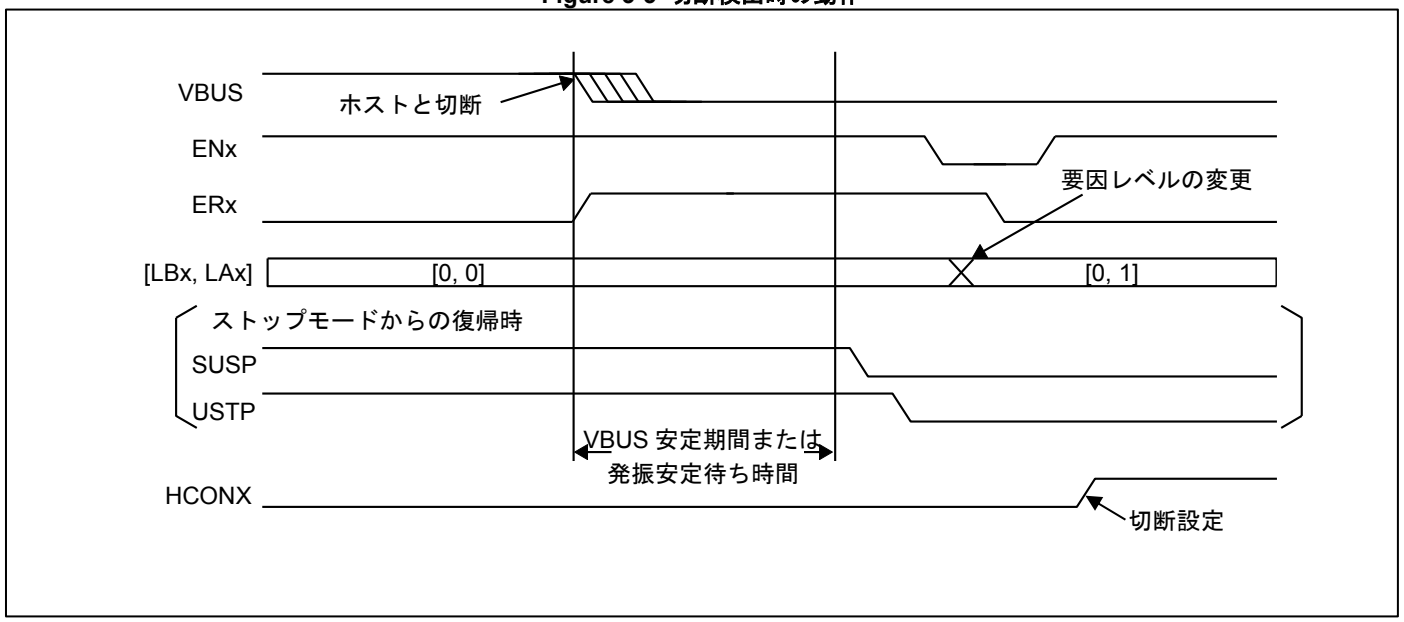
*2: プルアップ抵抗の制御をしていない場合でも HCONX ビットをクリアしてください。

<注意事項>

- *外部割込み端子にノイズフィルタを外付けした場合は、上記の VBUS 安定期間をプログラムでとる必要はありません。*

■ 切断検出

Figure 3-5 切断検出時の動作



デバイスは以下の順序によりホストとの切断を認識し処理します。

1. VBUS に接続の外部割込み端子の L レベル検出で USB ホストが切断されたことを認識します。
2. ストップモード・タイマモードからの復帰の場合
   発振安定待ち時間後に UDCS レジスタ SUSP, UDCC レジスタ USTP の順にクリアします。
   ストップモード・タイマモード以外の場合
   VBUS が安定する期間を待ちます。
3. いったん外部割込みを禁止します。外部割込み要因レベルを"H"レベル検出に設定変更し、外部割込み要因をクリアして再び外部割込みを許可します。
4. UDCC レジスタの HCONX ビットを設定(*1)することで、D+のプルアップ抵抗を切断します。(*2)

*1: プルアップ抵抗制御を汎用ポートで行う場合は UDCC レジスタの HCONX ビットを設定し、かつプルアップ抵抗制御用の汎用ポートを、プルアップ抵抗切断側に設定。
*2: プルアップ抵抗の制御をしていない場合でも HCONX ビットを設定してください。

<注意事項>

- *外部割込み端子にノイズフィルタを外付けした場合は、上記の VBUS 安定期間をプログラムでとる必要はありません。*

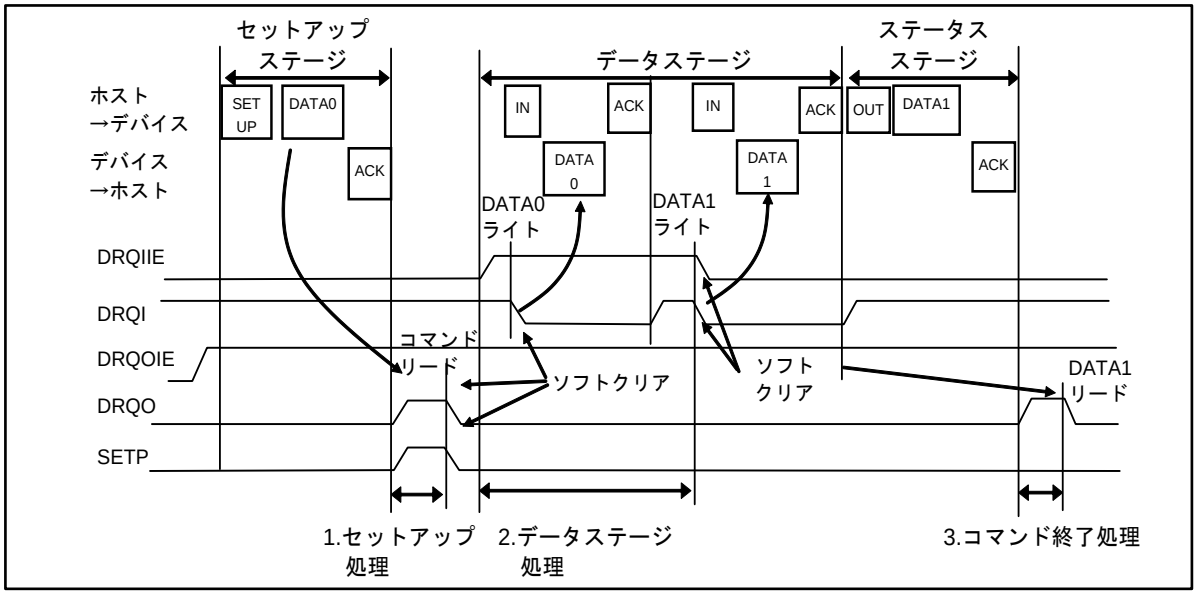
3.3 コマンド応答時の各レジスタ動作

USB パケットの処理方法(アーキテクチャ)を説明します。CPU 割込みによるファームウェアの処理はハンドシェークごとに処理します。これは各パケットのステージ単位に処理することに等しくなります。

リードコマンド応答時の各レジスタ動作

GetDescripter, SynchFrame, クラス・ベンダコマンドの場合について説明します。

Figure 3-6 リードコマンド応答時の各レジスタ動作



1. セットアップ処理

   セットアップステージを受信したときに DRQO が"1"に変わります。DRQO が"1"に変わった時点で CPU 割込みに入り SETP フラグを確認してください。"1"の場合は受信バッファにあるコマンドを必要な分読み出してください(必ずしも 8 バイトすべて読み出す必要はありません)。その後、コマンドをデコードして各種設定処理し、SETP フラグ, DRQO 割込み要因をクリアし戻ります。

2. データステージ処理

   コマンドデコードの結果、データステージが IN 方向の場合、DRQIIE を許可し*、CPU 割込みにて送信データを送信バッファに転送します。転送終了後、割込み要因 DRQI をクリアしてから戻ります。
   * : 割込み要因 DRQI は初期値が"1"のため、割込み許可を設定するだけです。
   IN 方向のデータパケットが終了すると DRQI が設定されます。DRQI が設定された時点で CPU 割込みに入り次のデータパケットに備え送信データを送信バッファに転送します。転送終了後、割込み要因である DRQI をクリアして戻ります。

3. コマンド終了処理

   OUT 方向のステータスステージが終了すると DRQO が設定されます。DRQO が設定された時点で CPU 割込みに入り、受信データ数 0 を確認します。次のセットアップステージに備え、割込み要因である DRQO をクリアして戻ります。

<注意事項>

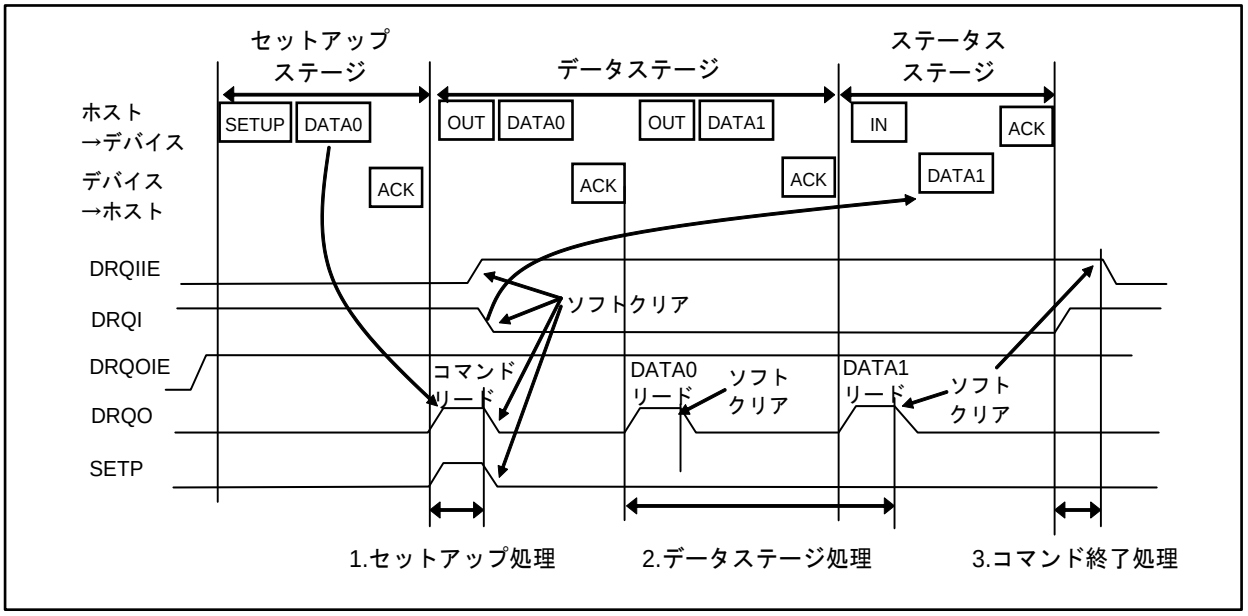
USB 以外の優先順位の高い割込み処理のために Figure 3-6 における 3.コマンド終了処理が行われずに次のセットアップステージを受信した場合、そのセットアップステージに対しデバイスは無応答となります。

- *セットアップ処理、データステージ処理、コマンド終了処理の割込み優先順位を上げる*
- *データステージ処理の IN 転送割込み処理はコマンド終了処理の DRQO のクリアまで継続する*

ライトコマンド応答時の各レジスタ動作

SetDescripter, クラス・ベンダコマンドの場合について説明します。

Figure 3-7 ライトコマンド応答時の各レジスタ動作



1. セットアップ処理

   セットアップステージを受信したときに DRQO が 1 に変わります。DRQO が 1 に変わった時点で CPU 割込みに入り SETP フラグを確認してください。1 の場合は受信バッファにあるコマンドを必要な分読み出してください(必ずしも 8 バイトすべて読み出す必要はありません)。その後、デコードし各種設定処理を行ってください。

   ステータスステージの 0 バイト応答に備え、送信バッファへデータをライトせずに、DRQI(割込み要因 DRQI は初期値 1 のため)を 0 に設定してください。ステータスステージの正常終了確認用に DRQIIE を 1 に設定してください。また、SETP フラグ, DRQO 割込み要因をクリアし割込みから復帰します。

2. データステージ処理

   OUT 方向のデータステージが終了すると DRQO が設定されます。DRQO が設定された時点で CPU 割込みに入り、まず EP0 ステータスレジスタの SIZE を確認します。受信したデータ数分だけ DMA を起動するか、CPU リードにより受信バッファからデータを読み出します。その後、割込み要因である DRQO をクリアして割込みから復帰します。

3. コマンド終了処理

   IN 方向のステータスステージが終了すると DRQI が設定されます。DRQI が設定された時点で CPU 割込みに入りステータスステージが正常終了したことを確認できます。その後、割込み要因である DRQI をクリアして戻ります。

3.4 サスペンド機能

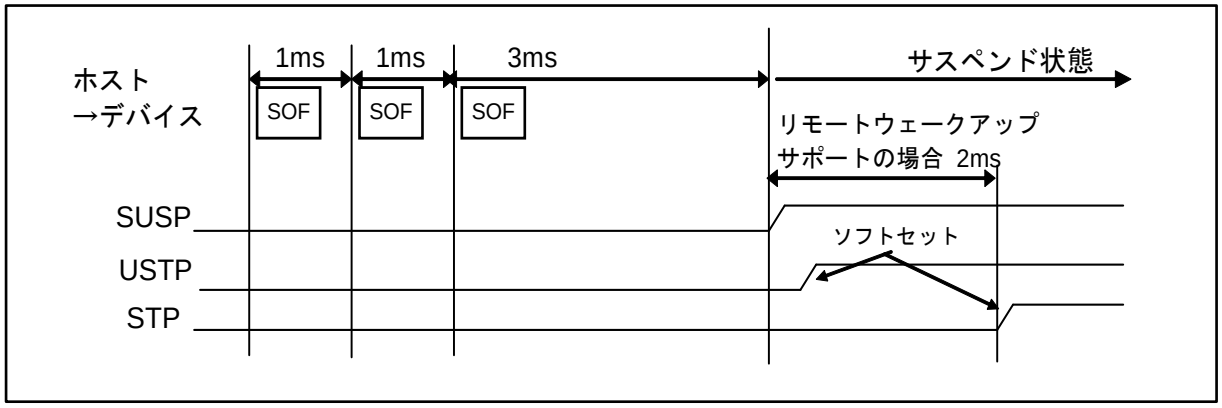
USB デバイスはバス電源の構成により、サスペンド状態において 500µA 以下に消費電力をおとす必要があります。ここではデバイスがサスペンド状態に移行し、STOP モードまたはタイマモードに入れるまでの処理を説明します。

サスペンド処理

USB デバイスコアがサスペンド状態を検出した場合に UDCS レジスタの SUSP ビットが有効に設定されます。

以下に処理する例を示します。

Figure 3-8 サスペンド動作



- サスペンド処理

  USB バス上に 3 ms 以上動作がない場合 USB ファンクションはサスペンドを検出し、UDCS レジスタの SUSP ビットの割込み要因が設定されます。リモートウェイクアップをサポートするデバイスの場合はここからさらに 2 ms 待ち*、ストップモードまたはタイマモードに設定します。

  *: この時間リモートウェイクアップさせないためです。

<注意事項>

- *ストップまたはタイマモードに移行する前に UDCIE.SUSPIE=0, UDCC.USTP=1 の順で設定してください。*

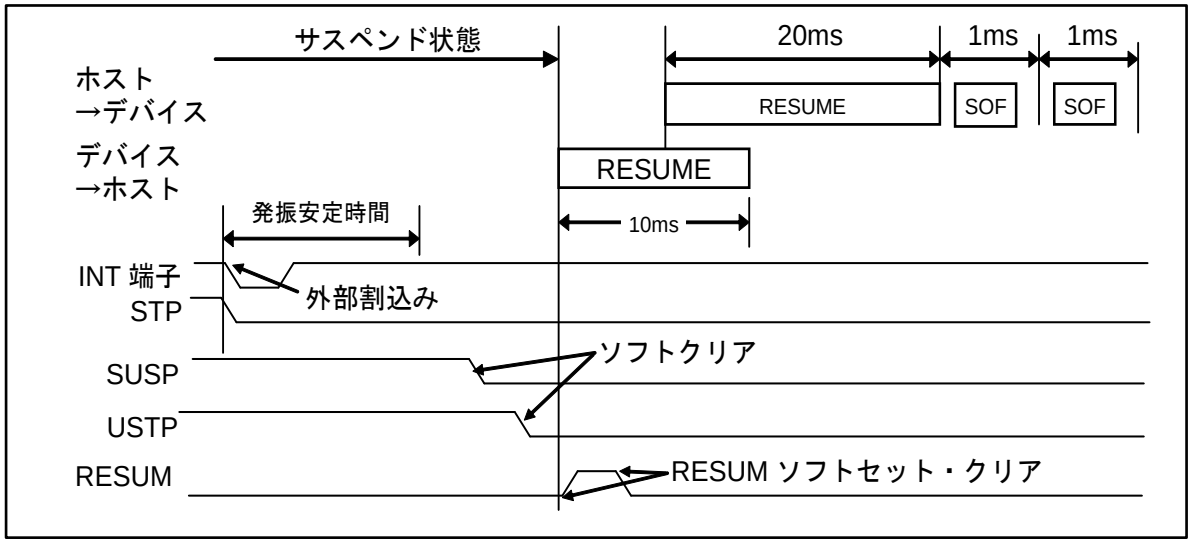
3.5 ウェイクアップ機能

USBデバイスをサスペンド状態からウェイクアップ状態にするには、USBプロトコルで2つの手段があります。

- デバイスからのリモートウェイクアップ
- ホストからのウェイクアップ

リモートウェイクアップ

Figure 3-9 リモートウェイクアップ動作



デバイスは以下の順序で処理を行ってください。

外部割込みでデバイスをストップモード・タイマモードから復帰させてください。

USB 生成クロックが安定していることを確認してください。

UDCS レジスタの SUSP ビットを 0 にクリアしてください。

UDCS レジスタをダミーリードしてください。

UDCC レジスタの USTP ビットを 0 にクリアしてください。

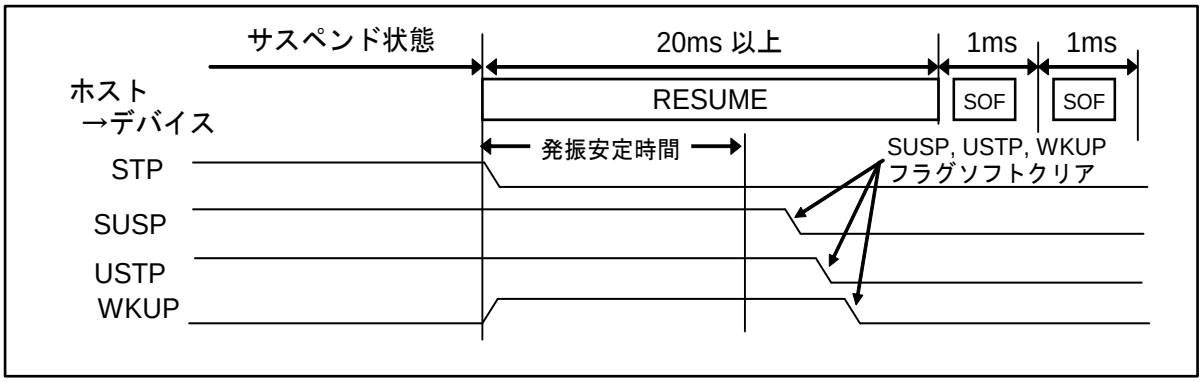
UDCC レジスタをダミーリードしてください。

UDCC レジスタの RESUM ビットを 1 に設定してください。

UDCC レジスタの RESUM ビットを 0 にクリアしてください。

ホストからウェイクアップ

Figure 3-10 ホストからのウェイクアップ動作



1. USB デバイスは以下の順番で処理を行ってください。
2. 発振安定時間が 10ms を超えないように設定してください。
3. USB クロックが安定していることを確認してください。
4. UDCS レジスタの SUSP ビット, UDCC レジスタの USTP ビットの順に"0"にクリアしてください。
5. UDCS レジスタの WKUP ビットを"0"にクリアしてください。

3.6 DMA 転送機能

USB ファンクションで通信するデータを、送受信バッファと内蔵 RAM との間で DMA 転送することが可能です。DMA 転送は以下の 2 つのモードを選択できます。

- 1 パケット単位ごとに CPU が DMA を起動するパケット転送モード
- 毎パケット自動で DMA を起動するデータ数自動転送モード

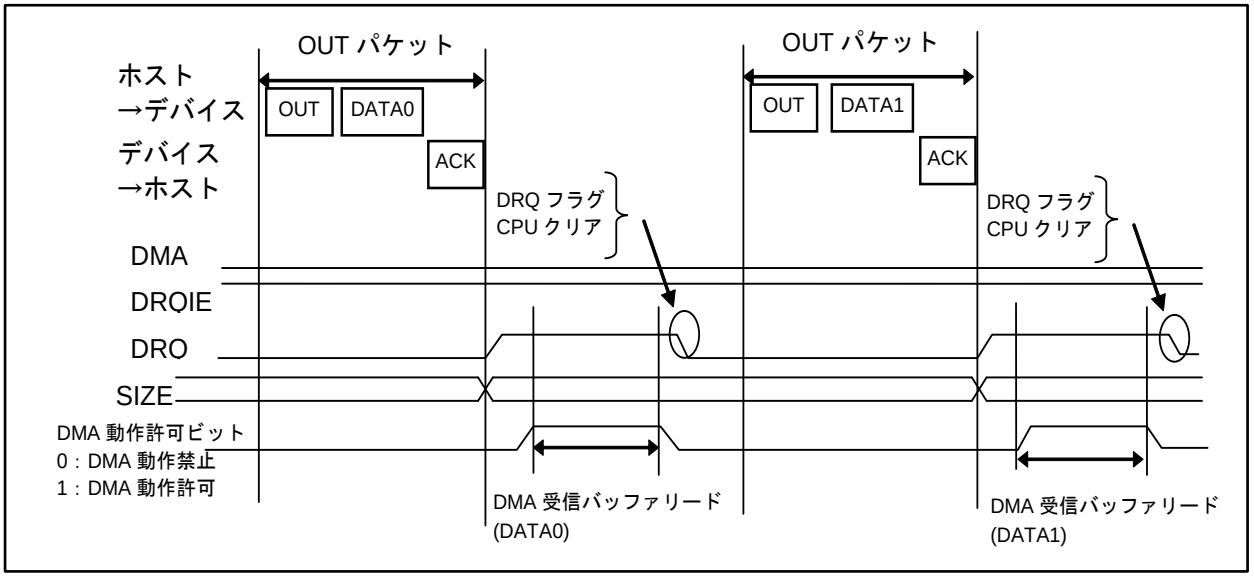
パケット転送モード

1 パケット単位ごとに転送数を DMA に設定して転送し、その終了後に割込み要因(DRQ)をクリアして転送するパケット転送モードです。本転送モードはエンドポイント 1 から 5 に対するバッファへのアクセスが可能です。DMA を使用する前に、DREQ 選択レジスタにより割込み出力接続先の設定を行ってください(割込み出力を CPU.NVIC 側に接続します)。

OUT 方向, IN 方向のそれぞれでバッファをアクセスするタイミングを Figure 3-11, Figure 3-12 に示します。

■ OUT 方向(ホスト→デバイス)転送

Figure 3-11 OUT パケット転送

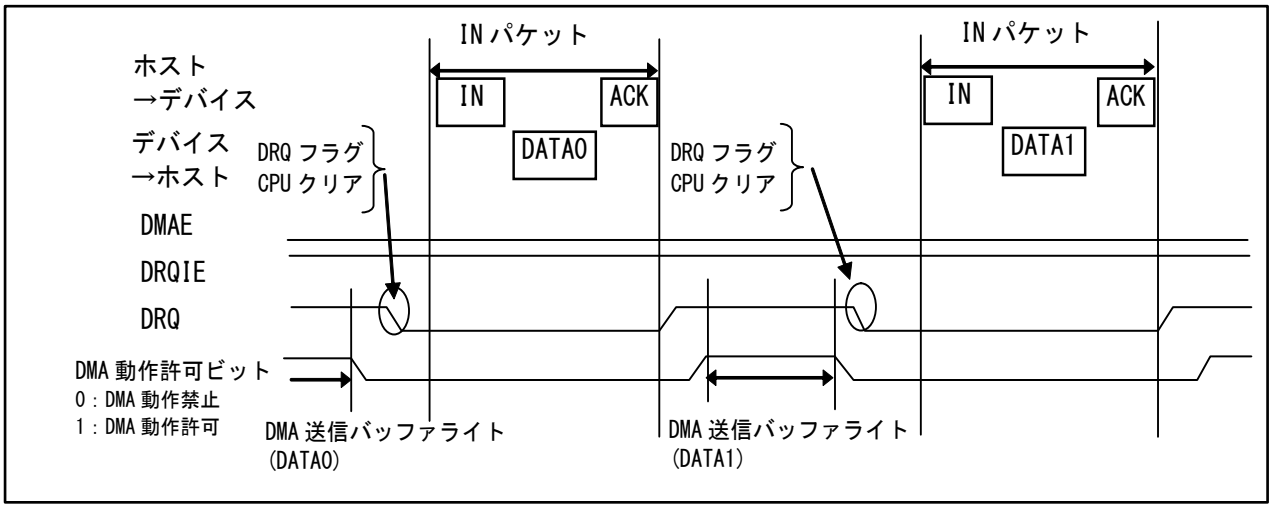


OUT 方向転送ではデバイスは以下の順序で処理を行ってください。

1. DRQ フラグが設定され割込み処理に入ったら転送データ数を確認してください。
2. 転送データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
3. 転送後、EP1～5 ステータスレジスタ(EP1S～EP5S)の該当する DRQ フラグと DMAC のステータスレジスタの該当する割込み要因フラグをクリアして割込み処理から復帰します。

■ IN 方向(デバイス→ホスト)転送

Figure 3-12 IN パケット転送



IN 方向転送ではデバイスは以下の順序で処理を行ってください。

1. DRQ フラグが設定され割込み処理に入ったら、次の IN パケットで転送する転送データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
2. DMA 転送後、EP1～5 ステータスレジスタ (EP1S～EP5S)の該当する DRQ フラグと DMAC のステータスレジスタの該当する割込み要因フラグをクリアして割込み処理から復帰します。

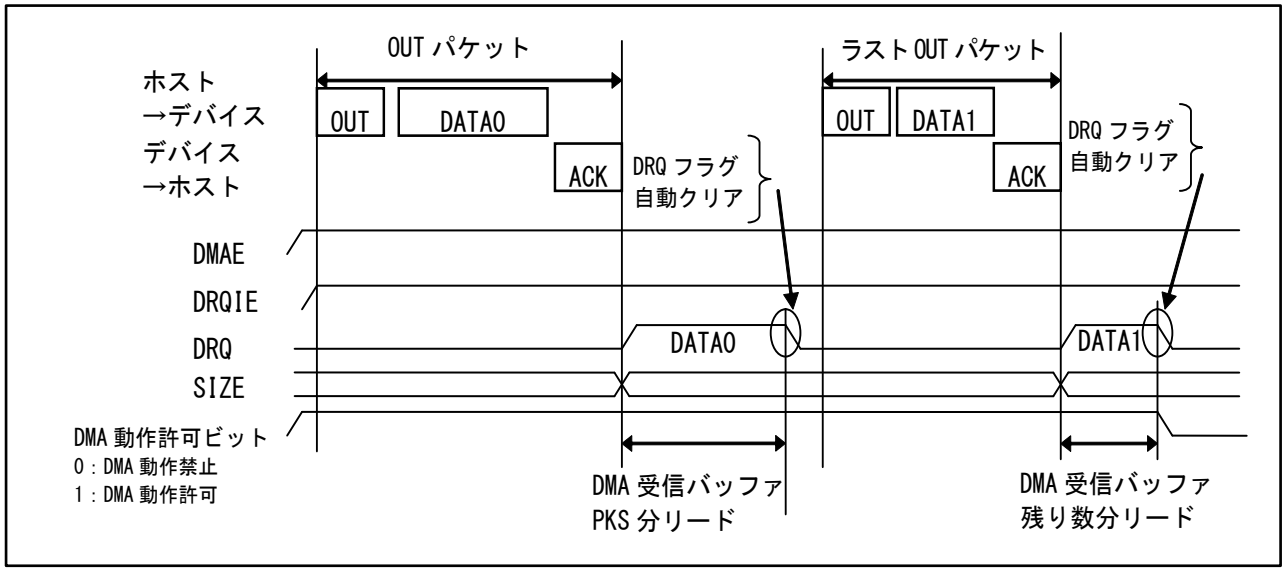
データ数自動転送モード

本転送モードでは、偶数バイトの転送が可能です。OUT 方向転送で奇数バイトを転送する場合は、CPU 転送の処理をしてください。(Figure 3-14 を参照してください)。IN 方向転送で奇数バイトの転送を行う場合は ODDPKS レジスタを設定してください(『ペリフェラルマニュアル』の『割込み』の章を参照してください)。

DMA を使用する前に、DREQ 選択レジスタにより割込み出力接続先の設定を行ってください(割込み出力を DMAC 側に接続します)。DMA にあらかじめ転送する総データ数を設定し、転送許可ビットも設定しておいてください。DMAE が許可されていてホストからの転送後 DRQ が設定されると、EP1～EP5 制御レジスタ(EPxC)レジスタの PKS 分のデータ数を転送した後に自動で割込み要因(DRQ)をクリアします。以後、ホストからの転送後に同様の処理をあらかじめ DMA に設定した転送データ数分まで繰り返し行います。その間 CPU による設定は一切必要なく 1 回の設定で転送する自動転送モードです。次の転送を行う場合は、ラストデータ転送後に CPU 割込みに入るためそこで DMAC の再設定を行い、DMA を許可して割込み復帰します。データ数自動転送モードは DMAE=1 として使用するためエンドポイント 1 から 5 に対するバッファアクセスのみ有効となります。OUT 方向, IN 方向のそれぞれでバッファをアクセスするタイミングを Figure 3-13, Figure 3-15 に示します。

■ OUT 方向(ホスト→デバイス)転送

Figure 3-13 OUT 方向(ホスト→デバイス)転送



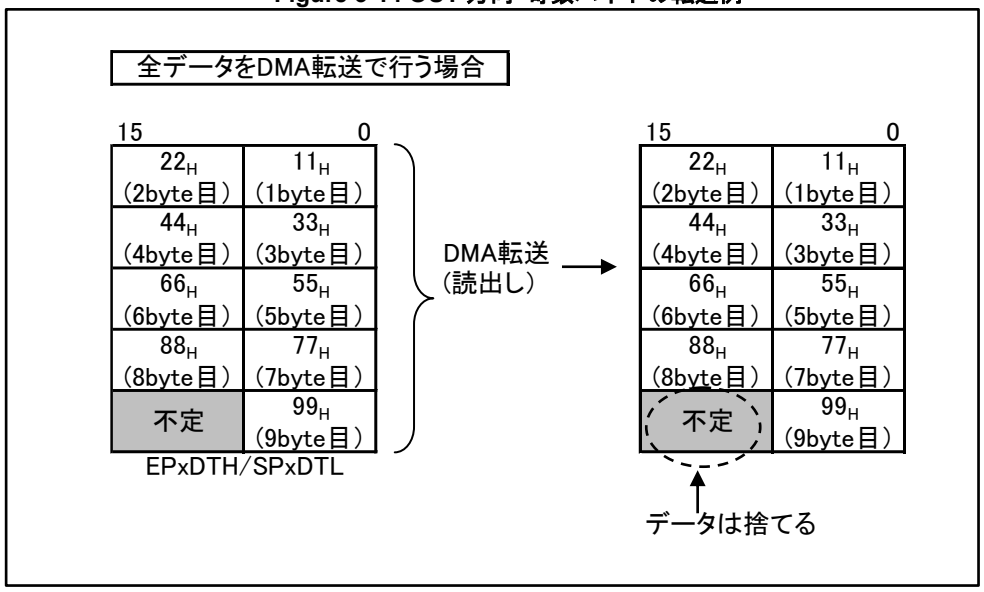
デバイスは OUT 方向転送時、以下の順序で処理を行ってください。

1. 転送する総データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
2. DMAE, DRQIE を許可設定してください。
3. 転送後、DMAC のステータスレジスタの該当する割込み要因による割込みで必要に応じて DMAC の再設定を行い、フラグをクリアして割込み処理から復帰します。

奇数バイト分のデータ数を DMA 転送する場合、以下の方法があります。

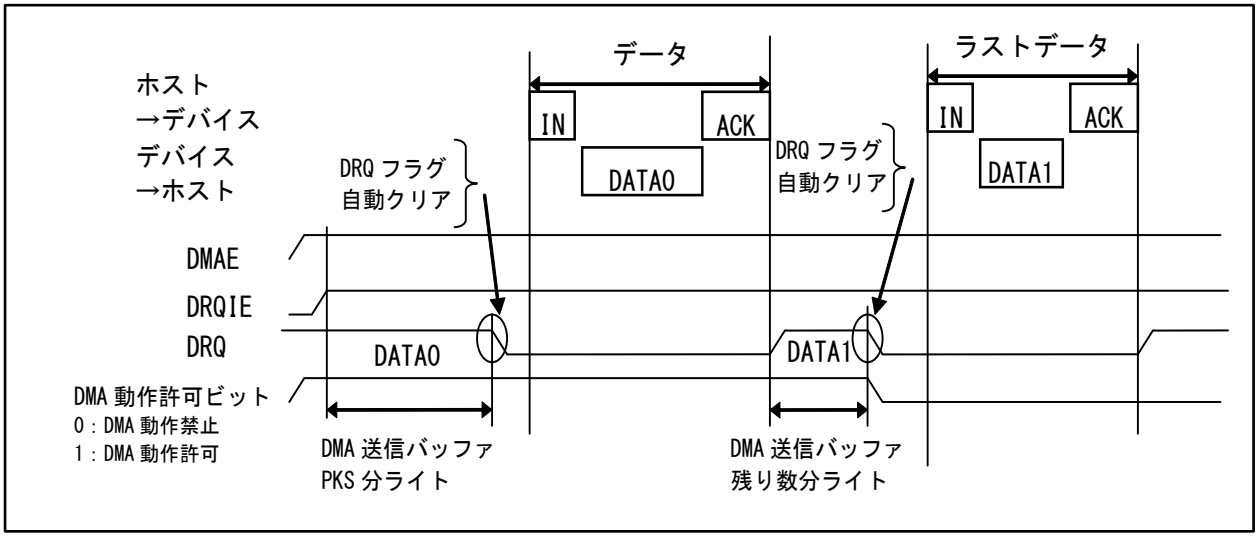
- 全データ+1 バイトをまとめて DMA 転送してエンディアン変換後に最終データを捨てる

Figure 3-14 OUT 方向 奇数バイトの転送例



■ IN 方向(デバイス→ホスト)転送

Figure 3-15 IN 方向(デバイス→ホスト)転送



デバイスは IN 方向転送時、以下の順序で処理を行ってください。

1. 転送する総データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
2. EPxC:DMAE ビット, EPxS:DRQIE ビットを許可("1")に設定してください。
3. 転送後、DMAC のステータスレジスタの該当する割込み要因による割込みで必要に応じて DMAC の再設定を行い、フラグをクリアして割込み処理から復帰します。

3.7 NULL 転送機能

USB ファンクションから送信するデータがラストパケットの際に MAX パケット数のとき、次パケットの転送で 0 バイトの転送を自動送信することが可能です。本機能は DMAE を許可する必要があります。IN 転送時のみ有効な機能です。

NULL 転送モード

NULL 転送モードは IN 方向のラストデータ転送後、HOST からの次 IN 方向のデータ要求に対し 0 バイトを送信するモードです。

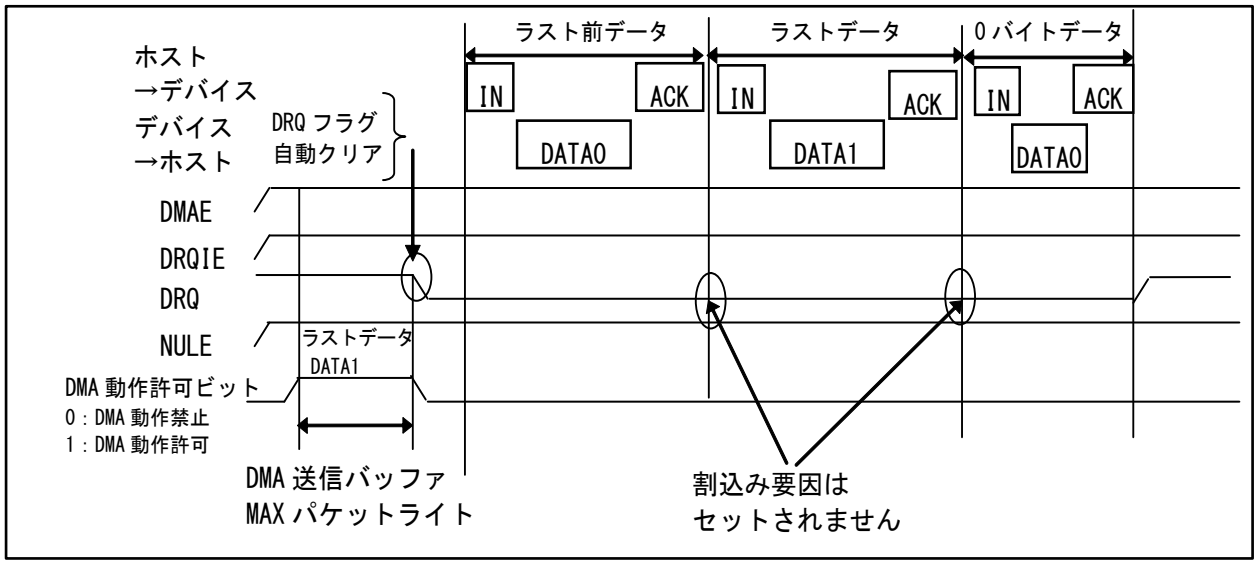
NULL 転送モードは以下の条件を満たす場合に機能します。

- 自動バッファ転送モードを設定(DMAE=1)
- ラストのデータ転送が MAX パケット数の DMA 書込み
- 最後のデータ書込みで DMA カウントデータ数が 0

DMA でラストのデータがバッファに書き込まれた後、ホストから 0 バイトのデータが読み出されるまで DRQ の割込みフラグは設定されません。バッファをアクセスするタイミングを次に示します。

IN 方向(デバイス→ホスト)転送のみの場合を説明します。

Figure 3-16 NULL データ転送動作



デバイスは以下の処理を行ってください。

EPxC:DMAE ビット, EPxS:DRQIE ビット, EPxC:NULE ビットを許可("1")に設定してください。

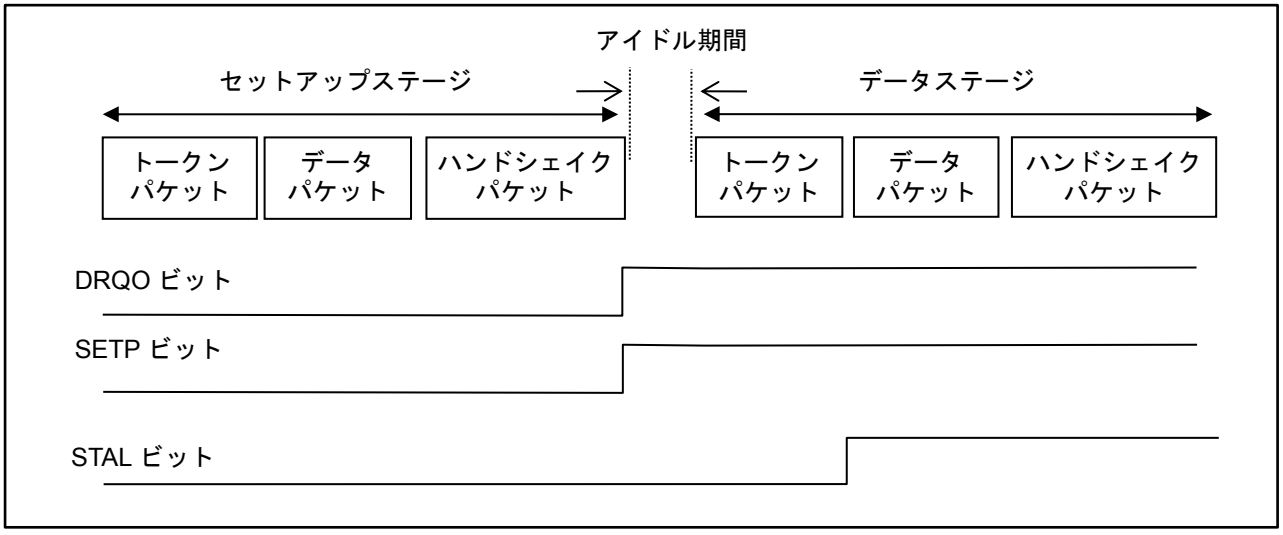
3.8 エンドポイント 0 の STALL 応答/解除

EP0 制御レジスタ(EP0C)の STAL ビットは、エンドポイント 0 の STALL 応答/解除を制御します。

STAL ビットのセットタイミング

STAL 応答を行う場合は、コントロール転送のセットアップステージ(SETP=1 検出)にてコマンドを解釈し、STALL 応答が必要な場合に STAL ビットを設定してください(Figure 3-17 を参照してください)。STAL ビット設定後に割込み要因(DRQO ビット)を 0 にクリアしてください。

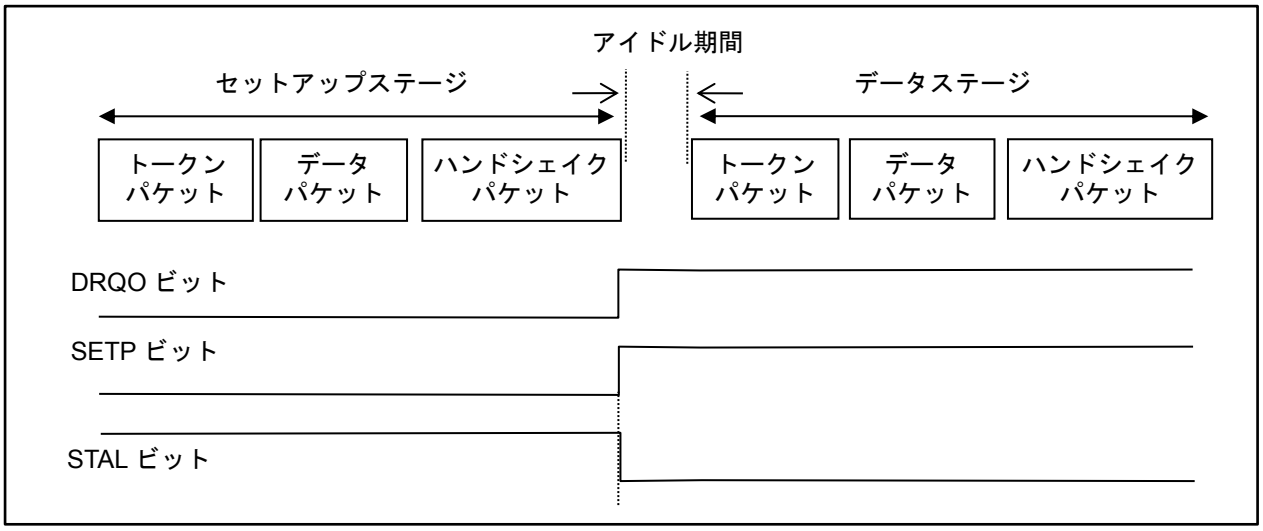
Figure 3-17 STAL ビットセットのタイミング



STAL ビットのクリアタイミング

コントロール転送のセットアップステージであることを示す SETP=1 検出と同時に、STAL ビットは自動で 0 にクリアされ STALL 状態は解除されます(Figure 3-18 を参照してください)。

Figure 3-18 STAL ビットクリアのタイミング



<注意事項>

- *SETP=1(DRQO=1 割込み)を検出すると STAL ビットは 0 にクリアされます。再度、STALL 応答する場合には、STAL ビットに 1 を設定してください。*

3.9 エンドポイント 1～5 の STALL 応答/解除

エンドポイント 1～5 の STALL 応答/解除制御は、EP1～5 制御レジスタ(EP1C～EP5C)の STAL ビットと内部状態ビットで行われます。

ソフト処理にて STALL 応答する場合

ソフト処理で STALL 応答する場合の手順を Figure 3-19 および Figure 3-20 に示します。STALL 応答する場合、該当するエンドポイントの STAL ビットをソフトで設定します。このとき、内部状態ビットは変化しません。

次に、ホストから STAL ビットが設定されているエンドポイントに対してトランザクションが発生したとき、ハードが自動的に該当エンドポイントの内部状態ビットを設定し、ホストに対して STALL 応答します。1 度、内部状態ビットが設定された後は、STAL ビットをクリアしても、内部状態ビットはセットされたままです。ホストから Clear Feature コマンドが発行されるまで、内部状態ビットはセットされたままのため、STALL 応答を継続します。また、UDC 制御レジスタ(UDCC)の STALCLREN ビットに"0"が設定されている場合、以下の場合は STALL 応答を継続します。

Clear Feature コマンドで内部状態ビットがクリアされても、STAL ビットがセットされている場合

これは、該当するエンドポイントに対するトランザクションが発生するたびに内部状態ビットがセットされるためです。したがって、STALL 応答を解除するためには、STAL ビットをクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアしてください。UDC 制御レジスタ(UDCC)の STALCLREN ビットが"1"に設定されている場合、Clear Feature コマンドで内部状態ビットがクリアされると同時に STAL ビットもクリアされ、次のトランザクションに対し、STALL 応答しません。

Figure 3-19 ソフト処理にて STALL 応答する場合(STAL ビットはソフトでクリア)

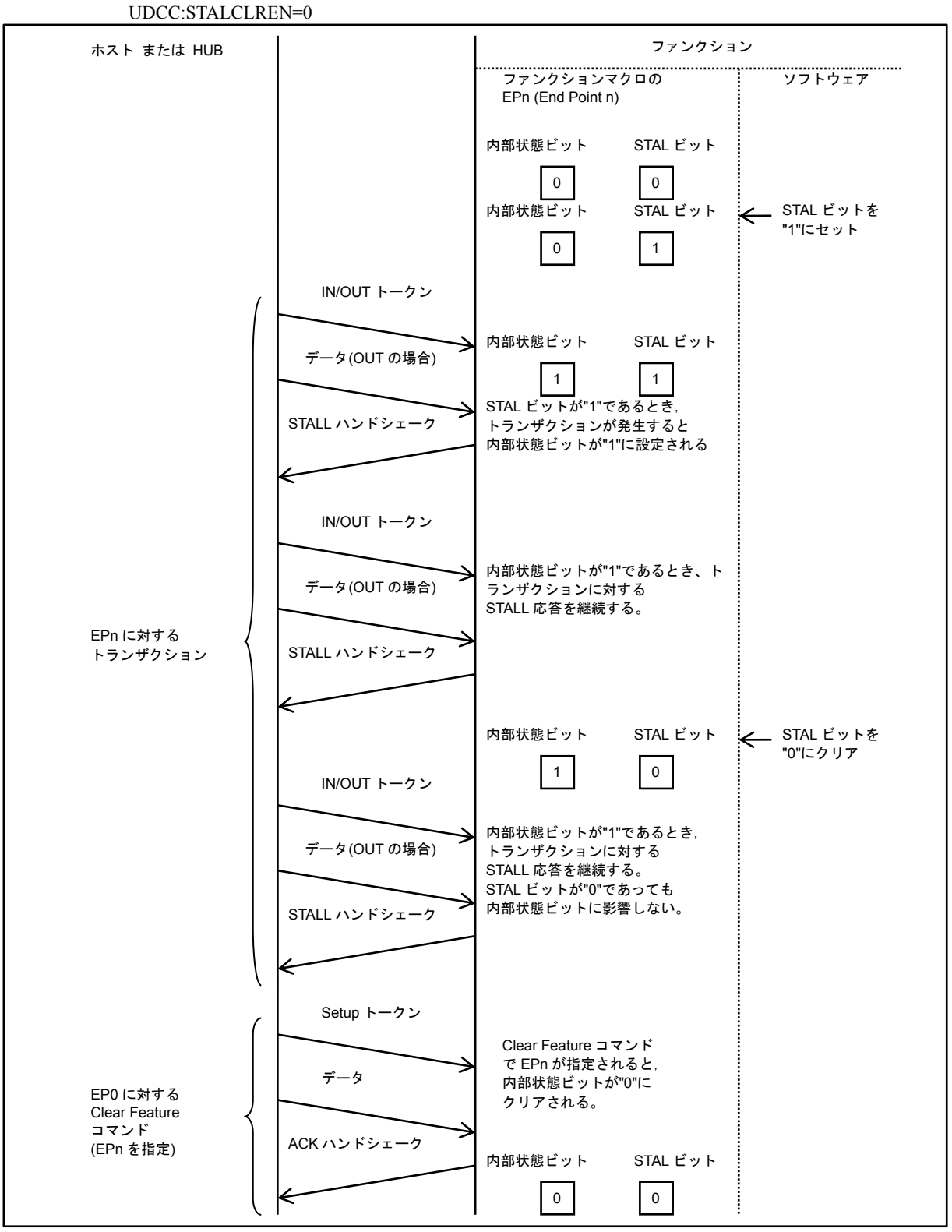
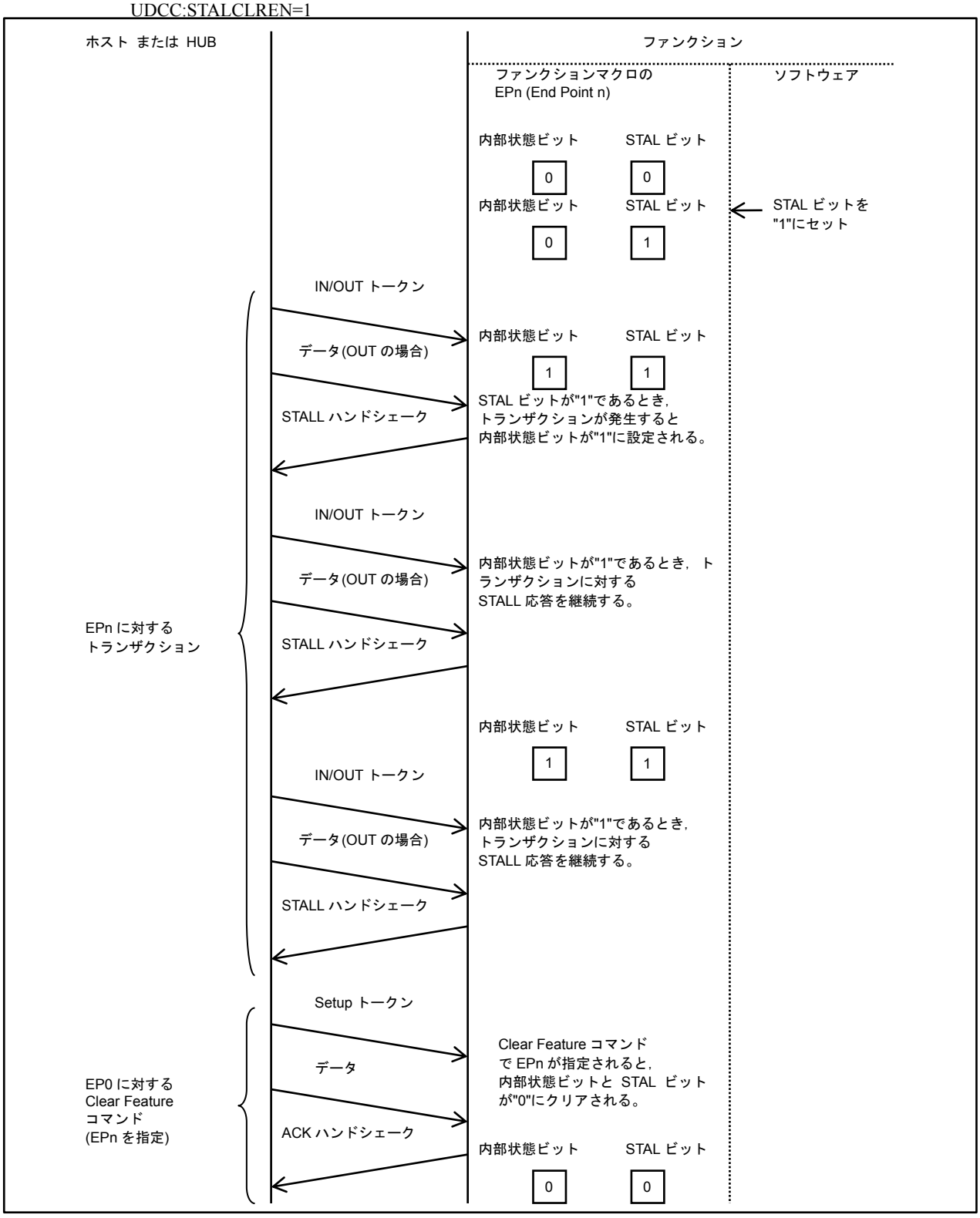


Figure 3-20 ソフト処理にて STALL 応答する場合(STAL ビットはハードで自動的にクリア)

UDCC:STALCLREN=1

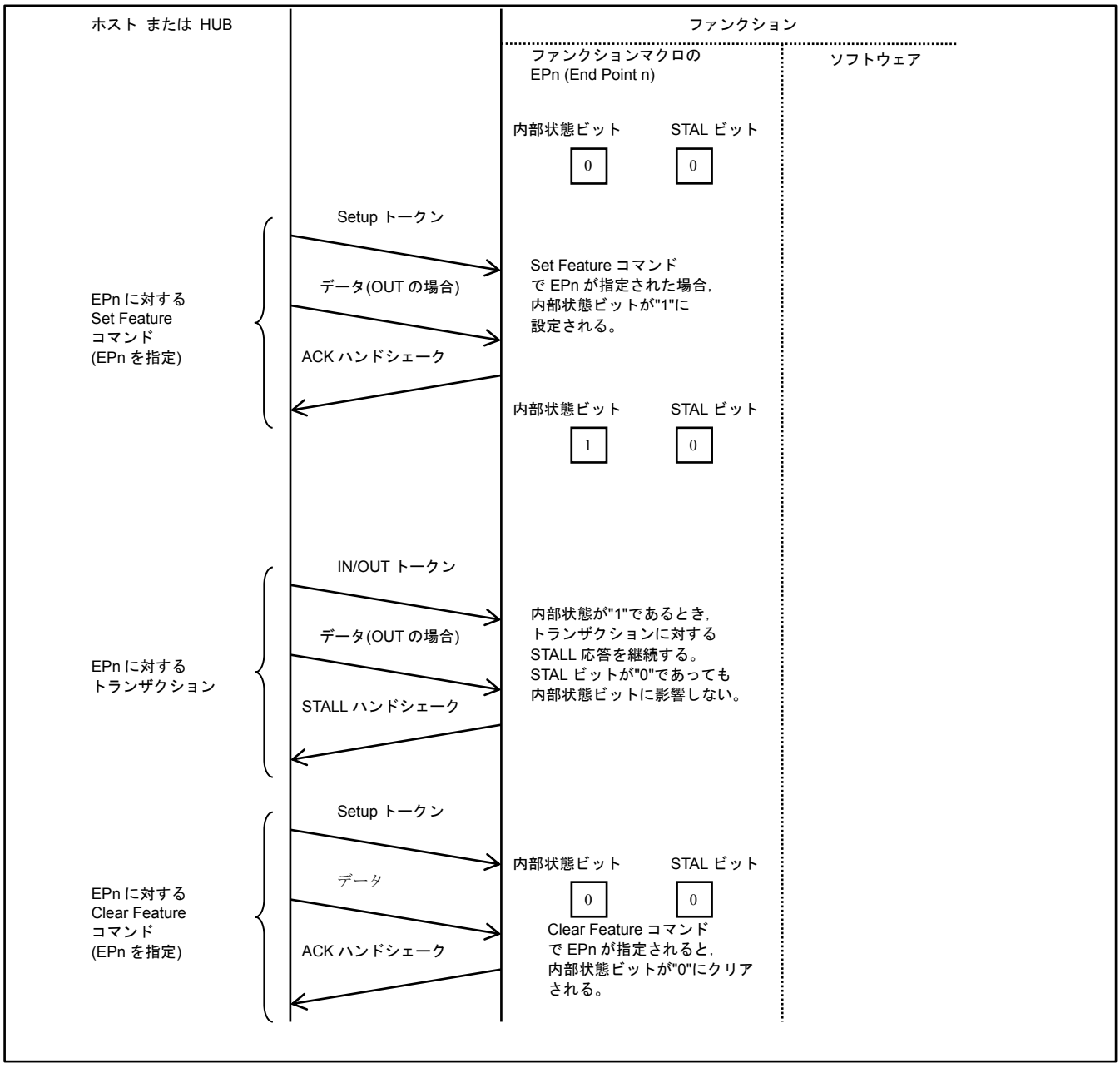


ハードが自動で STALL 応答する場合

ハードが自動で STALL 応答する場合の手順を Figure 3-21 に示します。

Set Feature コマンドで STALL 応答設定された場合、STAL ビットに関係なく、ハードが自動的に該当エンドポイントの内部状態ビットを設定し、STALL 応答します。1 度、内部状態ビットが設定された後は、STAL ビットに関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされた後は、STAL ビットを参照するようになります。したがって、STALL 応答を解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります。

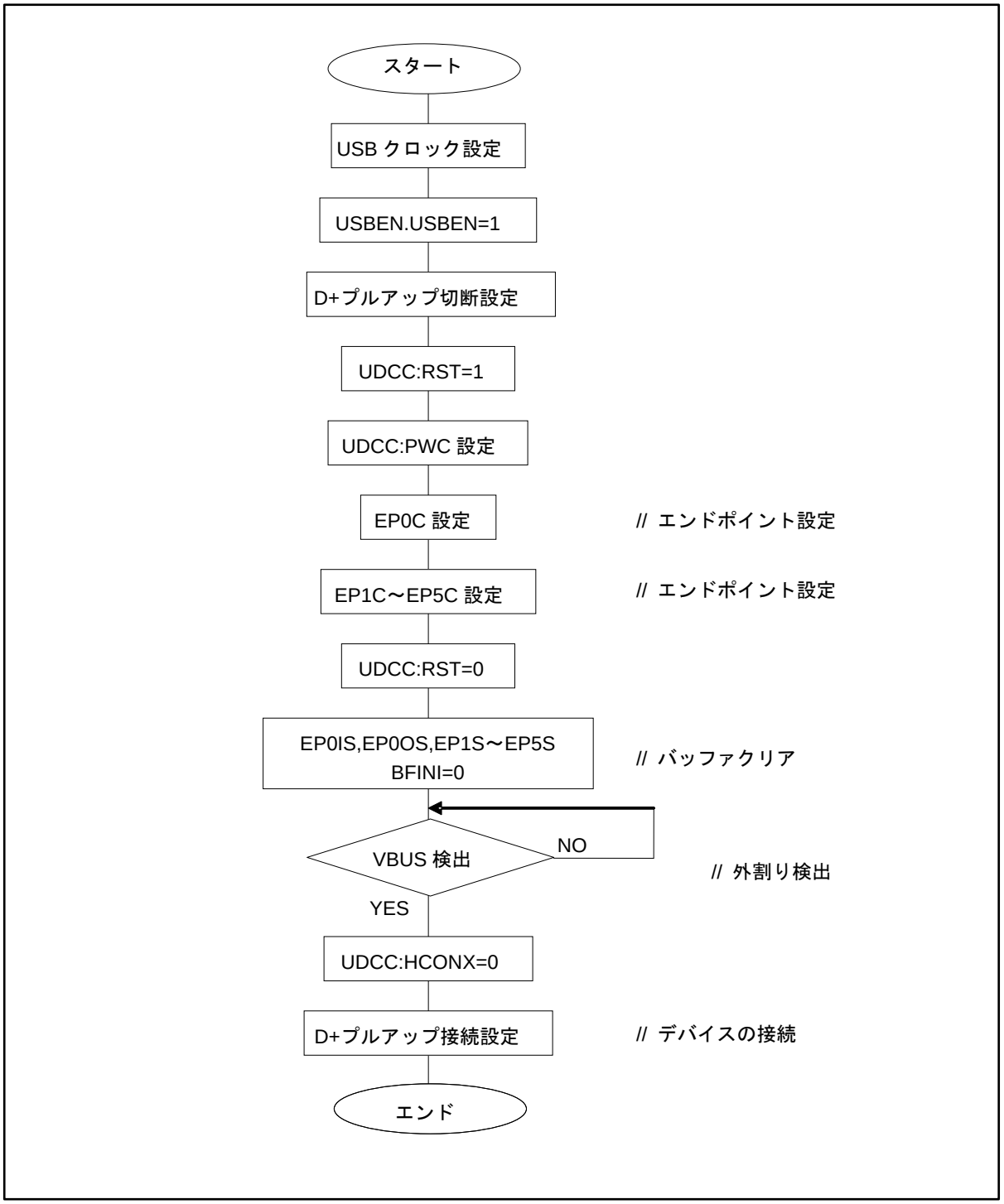
Figure 3-21 ハードが自動で STALL 応答する場合



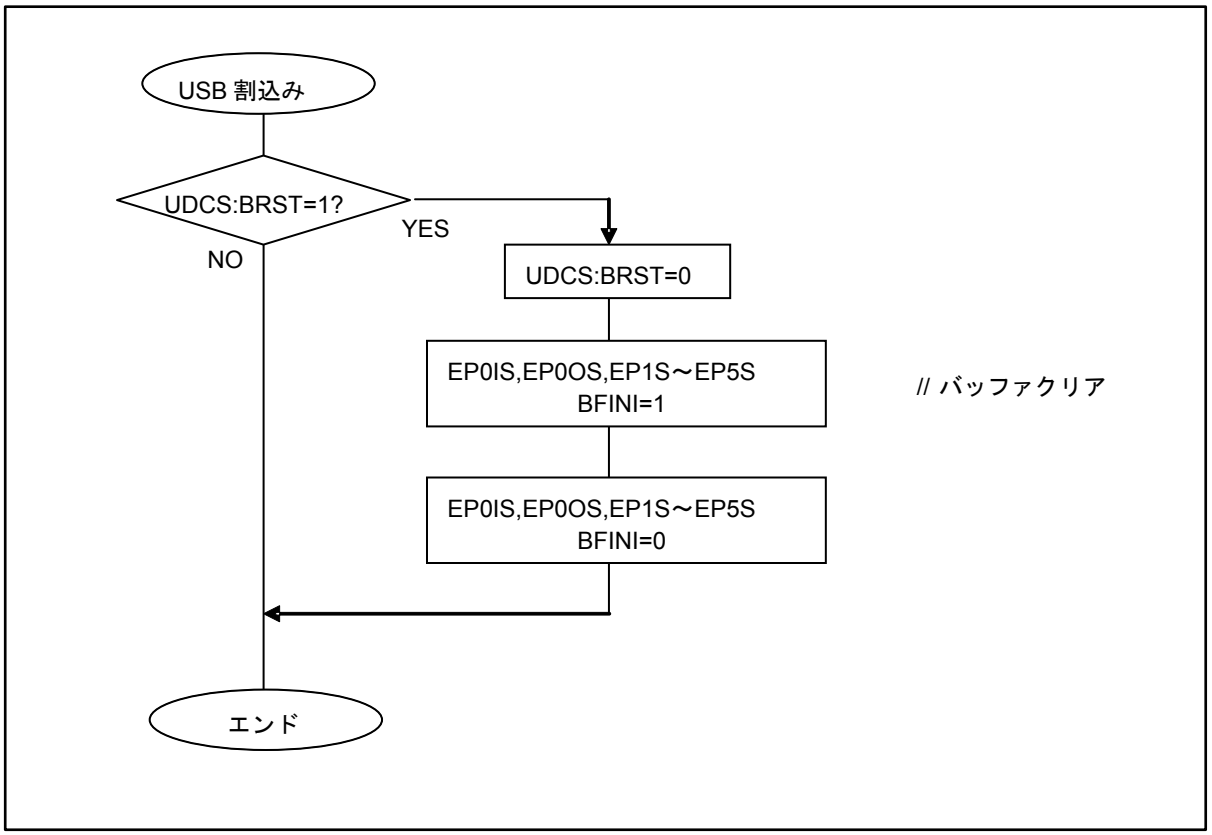
4. USB デバイス(USB ファンクション)の設定手順例

初期化, バスリセット, CPU 転送, パケット転送(IN/OUT), データ数自動転送(IN/OUT)時におけるフローチャートを示します。

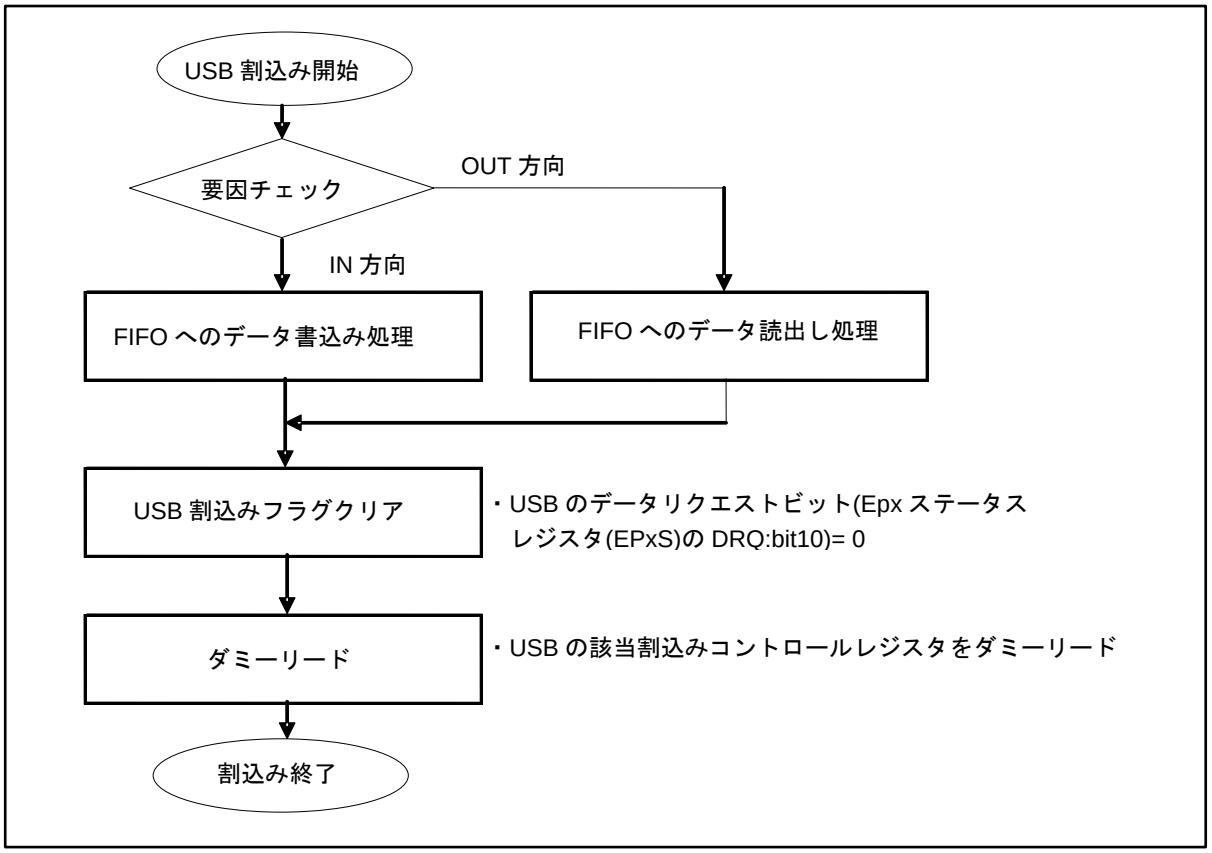
初期化


スタート
USB クロック設定
USBEN.USBEN=1
D+プルアップ切断設定
UDCC:RST=1
UDCC:PWC 設定
EP0C 設定
// エンドポイント設定
EP1C～EP5C 設定
// エンドポイント設定
UDCC:RST=0
EP0IS,EP0OS,EP1S～EP5S
BFINI=0
// バッファクリア
VBUS 検出
NO
// 外割り検出
YES
UDCC:HCONX=0
D+プルアップ接続設定
// デバイスの接続
エンド

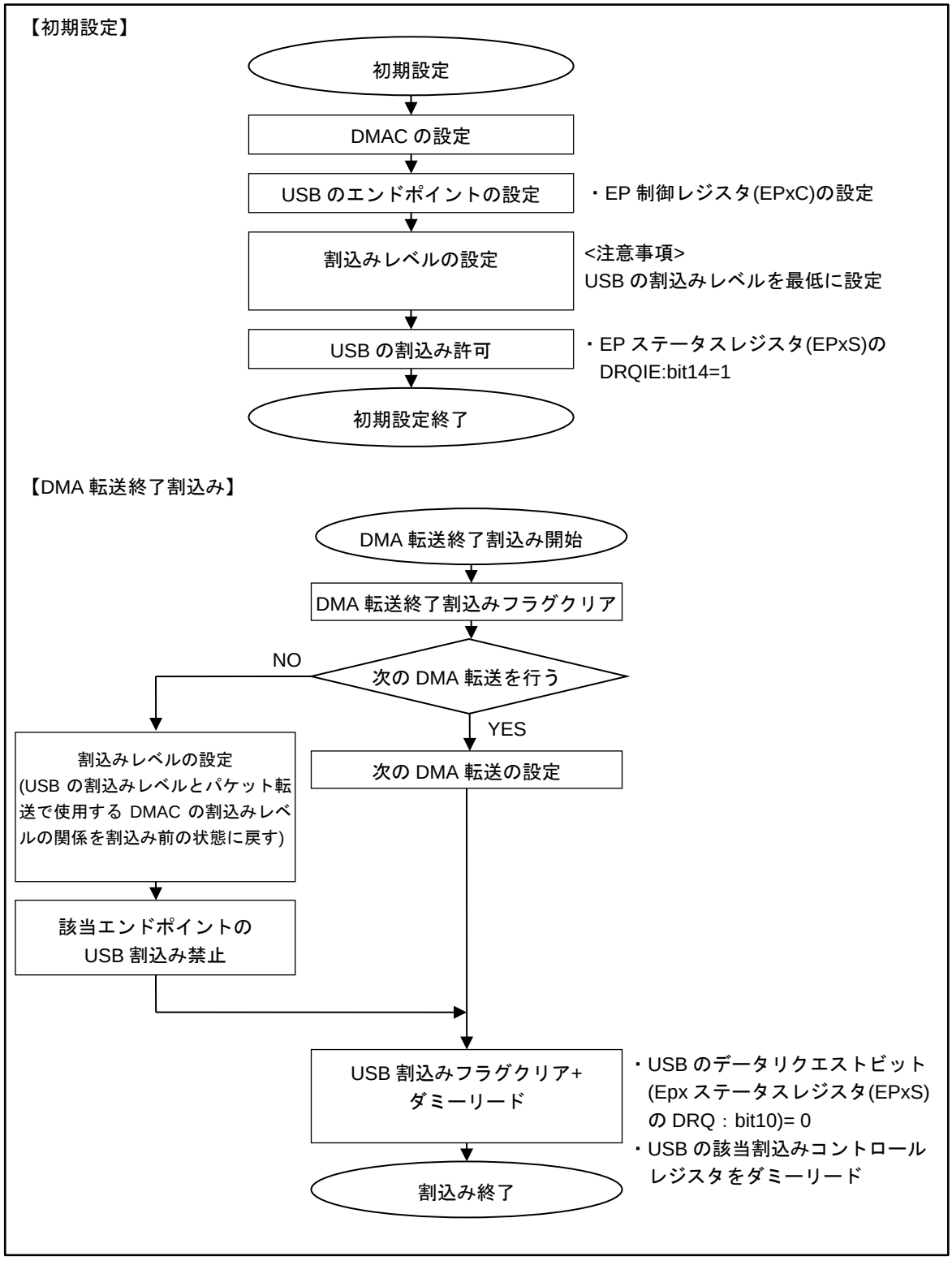
バスリセット


USB 割込み
UDCS:BRST=1?
YES
NO
UDCS:BRST=0
EP0IS,EP0OS,EP1S～EP5S
BFINI=1
// バッファクリア
EP0IS,EP0OS,EP1S～EP5S
BFINI=0
エンド

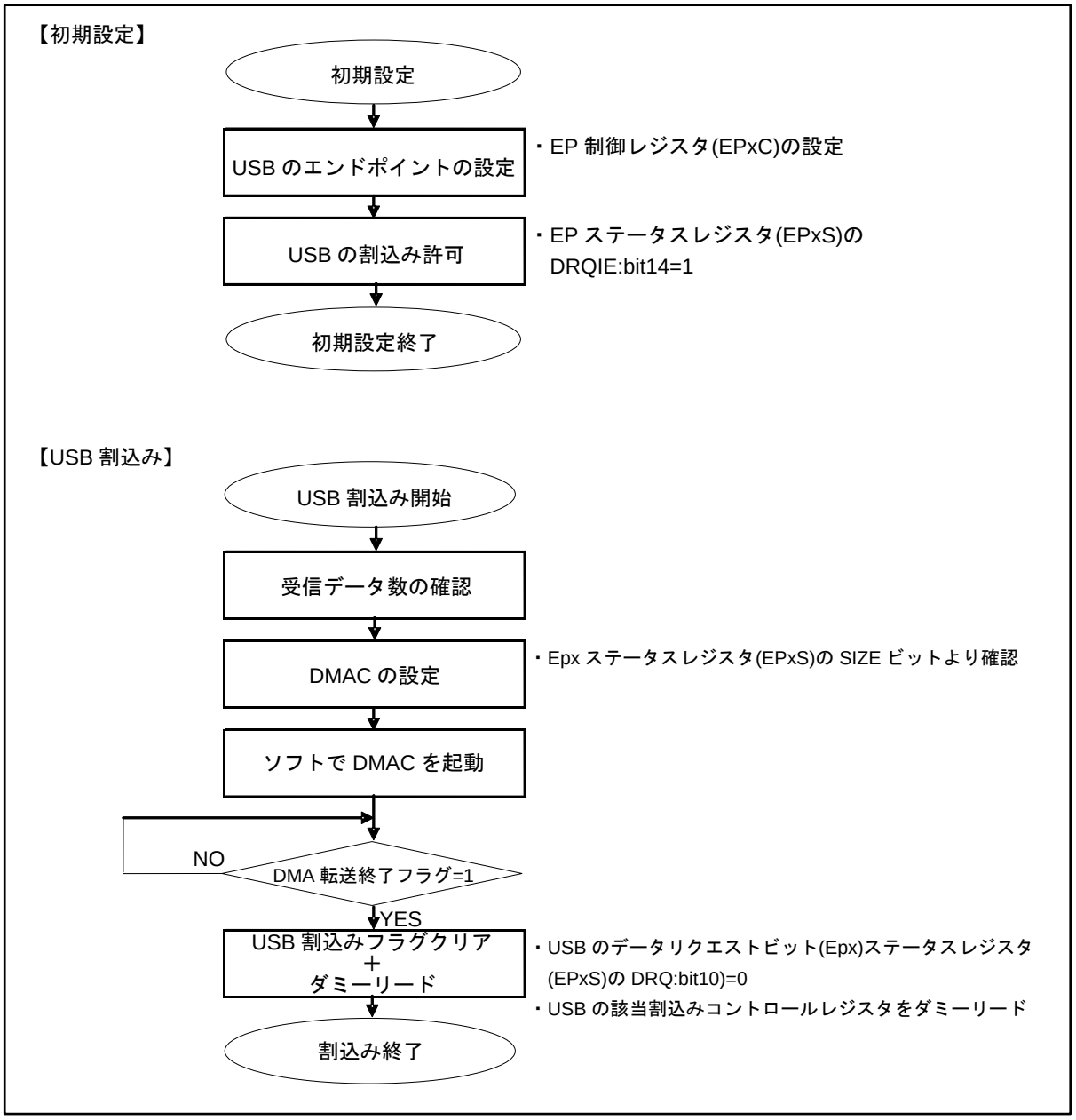
CPU 転送時の制御例


USB 割込み開始
要因チェック
OUT 方向
IN 方向
FIFO へのデータ書込み処理
FIFO へのデータ読出し処理
USB 割込みフラグクリア
・USB のデータリクエストビット(Epx ステータス
レジスタ(EPxS)の DRQ:bit10)= 0
ダミーリード
・USB の該当割込みコントロールレジスタをダミーリード
割込み終了

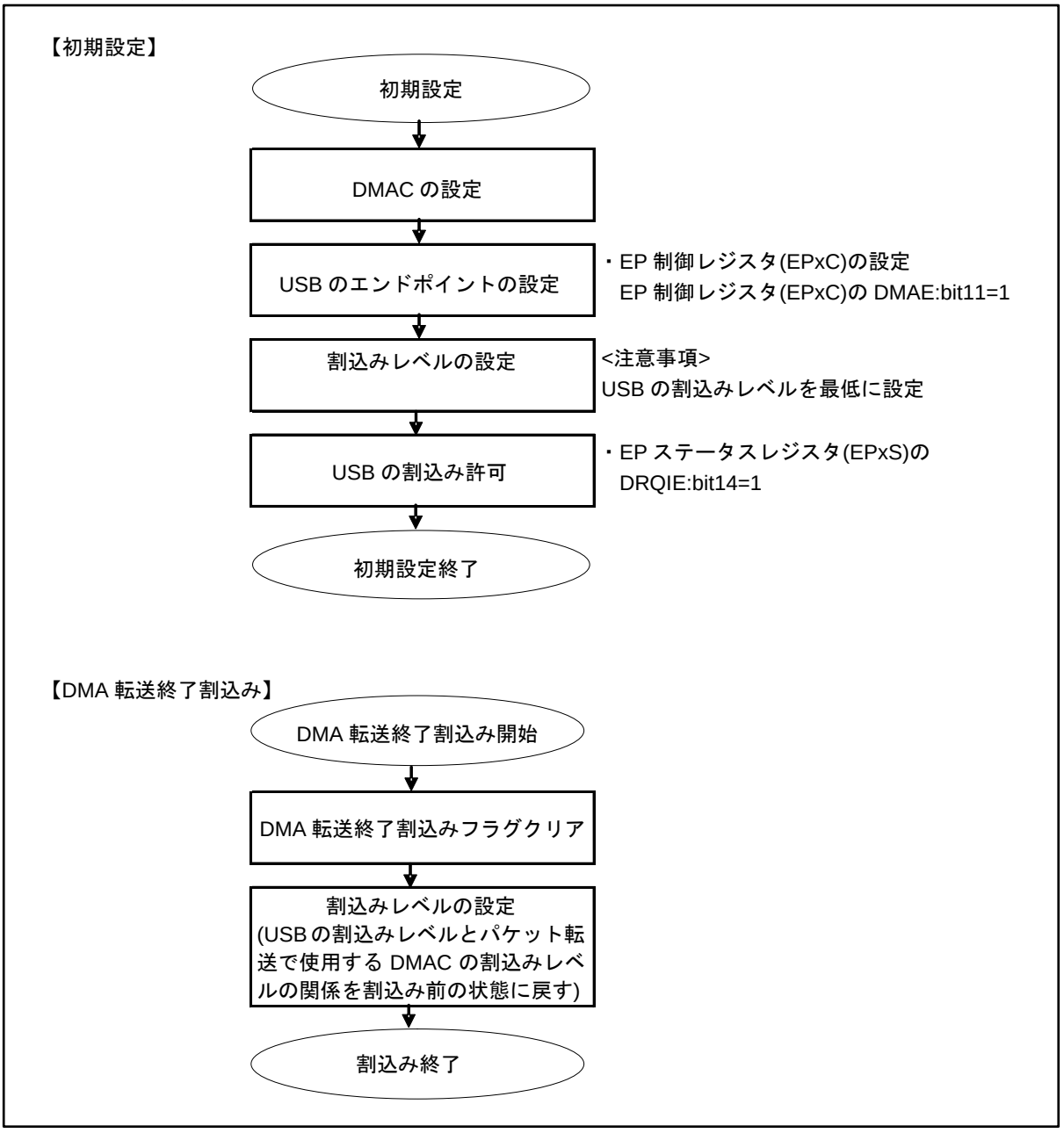
パケット IN 転送時の制御例



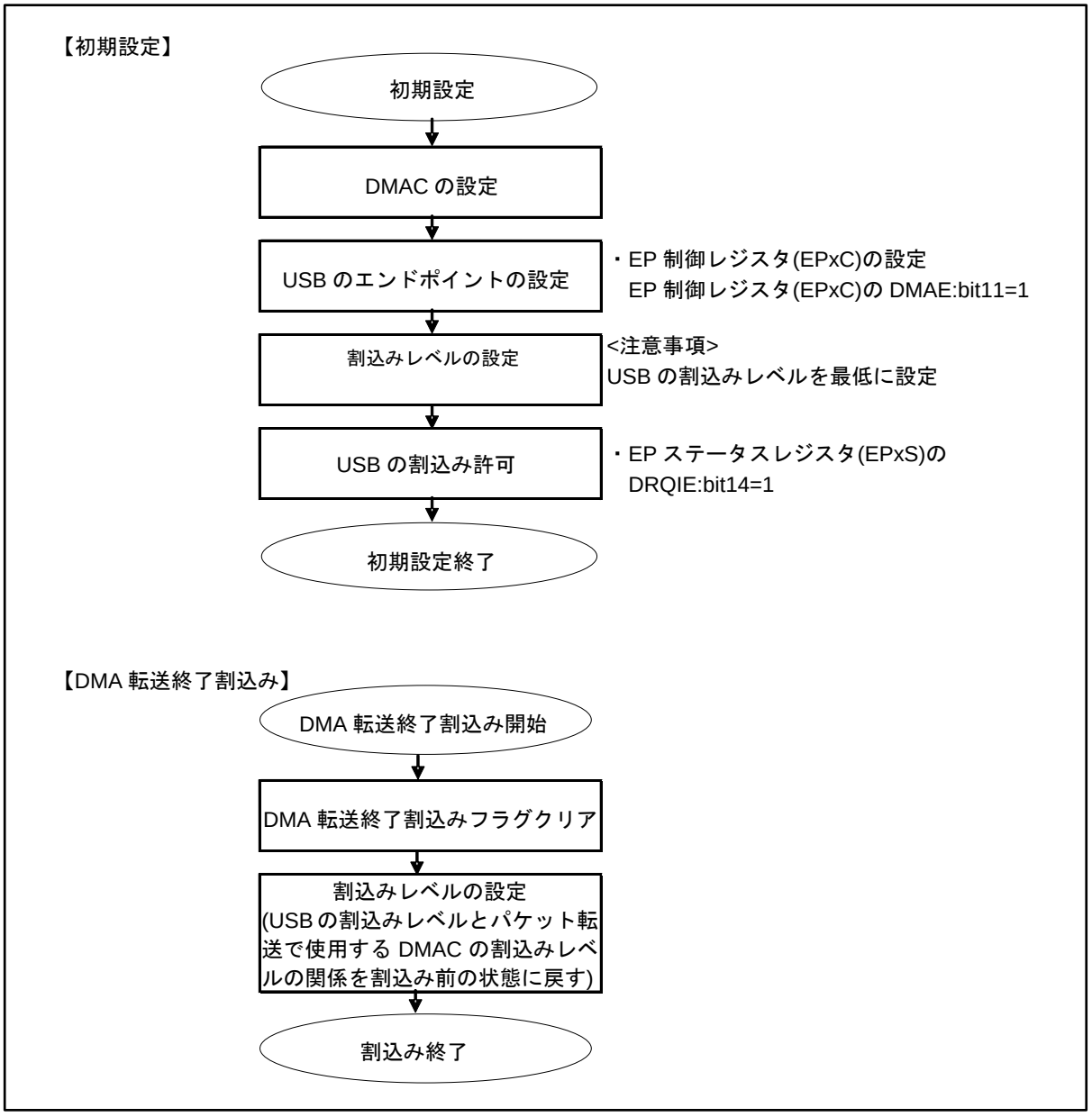
パケット OUT 転送時の制御例



データ数自動 IN 転送時の制御例



データ数自動 OUT 転送時の制御例



5. USB デバイス(USB ファンクション)のレジスタ

USB ファンクションで使用するレジスタの構成および機能について説明します。

USB ファンクションのレジスター覧

レジスタ略称	レジスタ名	参照先
UDCC	UDC 制御レジスタ	5.1
EP0C	EP0 制御レジスタ	5.2
EP1C	EP1 制御レジスタ	5.3
EP2C	EP2 制御レジスタ	
EP3C	EP3 制御レジスタ	
EP4C	EP4 制御レジスタ	
EP5C	EP5 制御レジスタ	
TMSP	タイムスタンプレジスタ	5.4
UDCS	UDC ステータスレジスタ	5.5
UDCIE	UDC 割込み許可レジスタ	5.6
EP0IS	EP0I ステータスレジスタ	5.7
EP0OS	EP0O ステータスレジスタ	5.8
EP1S	EP1 ステータスレジスタ	5.9
EP2S	EP2 ステータスレジスタ	
EP3S	EP3 ステータスレジスタ	
EP4S	EP4 ステータスレジスタ	
EP5S	EP5 ステータスレジスタ	
EP0DTH	EP0 データレジスタ上位	5.10
EP0DTL	EP0 データレジスタ下位	
EP1DTH	EP0 データレジスタ上位	
EP1DTL	EP0 データレジスタ下位	
EP2DTH	EP0 データレジスタ上位	
EP2DTL	EP0 データレジスタ下位	
EP3DTH	EP0 データレジスタ上位	
EP3DTL	EP0 データレジスタ下位	
EP4DTH	EP0 データレジスタ上位	
EP4DTL	EP0 データレジスタ下位	
EP5DTH	EP0 データレジスタ上位	
EP5DTL	EP0 データレジスタ下位	

レジスタビット更新タイミングの UDCC:RST 依存性一覧

	レジスタ	ビット
UDCC:RST=1 のときに更新しなければいけないレジスタビット	UDCC	HCONTX, PFBK, PWC
	EP0C	PKS0
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
	EP3C	EPEN, TYPE, DIR, PKS3
	EP4C	EPEN, TYPE, DIR, PKS4
	EP5C	EPEN, TYPE, DIR, PKS5
UDCC:RST=1 のときに初期化されるレジスタビット	EP0IS	BFINI, DRQI
	EP0OS	BFINI, DRQ, SPK
(UDCC:RST=0 のときに更新してください。)	EP1S	BFINI, DRQ, SPK
	EP2S	BFINI, DRQ, SPK
	EP3S	BFINI, DRQ, SPK
	EP4S	BFINI, DRQ, SPK
	EP5S	BFINI, DRQ, SPK
	TMSP	TMSP
	UDCS	SUSP, SOF, BRST, WKUP, SETP, CONF
	UDCIE	SUSPIE, SOFIE, BRSTIE, WKUPIE, CONFN, CONFIE
UDCC:RST に影響されないレジスタビット	UDCC	RESUME, USTP
	EP0C	STAL
	EP1C	DMAE, NULE, STAL
	EP2C	DMAE, NULE, STAL
	EP3C	DMAE, NULE, STAL
	EP4C	DMAE, NULE, STAL
	EP5C	DMAE, NULE, STAL
	EP1DTH/L	BFDT
	EP2DTH/L	BFDT
	EP3DTH/L	BFDT
	EP4DTH/L	BFDT
	EP5DTH/L	BFDT

5.1 UDC 制御レジスタ(UDCC)

UDC 制御レジスタ(UDCC)は、UDC コア回路の制御を行います。

下図に UDC 制御レジスタ(UDCC)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RST	RESUM	HCONX	USTP	STALCLREN	予約	RFBK	PWC
属性	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W
初期値	1	0	1	0	0	0	0	0

<注意事項>

- *UDC 制御レジスタ(UDCC)は、bit6 の RESUM と bit4 の USTP を除き bit7 の RST=1 のときに設定して USB 動作中に書き換えないようにしてください。bit6 の RESUM は USB がサスペンド状態で以下のコマンドによるリモート Wake-up 許可状態でのみセット，リセットを行ってください。*
  ストップモードまたはタイマモード状態に入る前に bit4 の USTP へ 1 を設定してください。
  また上記モード解除時は USB 供給クロック安定確認後、UDCS の SUSP, UDCC の USTP の順に"0"を設定してください。

以下に UDC 制御レジスタ(UDCC)の各ビットの機能を説明します。

[bit15:7] 予約 : 予約ビット

必ず 0 を書き込んでください。常に 0 が読み出されます。

[bit7] RST : ファンクションリセットビット(function ReSeT)

USB ファンクションにチップのシステムリセットと OR で個別リセットをかけます。ホストとのケーブル接続時に RST ビットにより USB ファンクションにリセットをかけます。初期値は"1"でリセット状態のため"0"を書き込んで解除を行ってください。

bit	説明
0	USB ファンクションのリセット解除
1	USB ファンクションをリセット

<注意事項>

- *本ビットはタイムスタンプレジスタ(TMSP), UDC ステータスレジスタ(UDCS), UDC 割込み許可レジスタ(UDCIE)の該当ビットを同時に初期化します。また、EP0I, EP0O, EP1～5 ステータスレジスタの BFINI も同時に設定するため、初期設定の後、RST ビットのクリアを行い(BFINI はクリアされません)、使用するエンドポイントの BFINI ビットのクリアの順で行ってください。*

[bit6] RESUM : リジューム設定ビット(RESUMe set)

リモート Wake-up 許可状態のとき*でかつサスペンド状態のとき、RESUM ビットに 1 を書き込み RESUME の開始となります。RESUME 指示は RESUM ビットに 1 を設定後 0 を書き込んでクリアをしてください。

* :ホストより SET_FEATURE コマンドで DEVICE_REMOTE_WAKEUP ビットが設定されています。

bit	説明
0	USB RESUME 開始指示ビット解除
1	USB RESUME 開始指示

[bit5] HCONX : ホスト接続ビット(Host CONnection)

外付けプルアップ抵抗と USB データラインとの間のスイッチを制御し、ホストまたは HUB との接続を認識させます。

bit	説明
0	ホストまたは HUB と接続
1	ホストまたは HUB と切断状態

<注意事項>

- *外付けプルアップ抵抗が ON 状態でホストまたは HUB から接続を認識された場合でも、本ビットが"1"の間は USB バスのバスリセット，コマンドは無視します。*

[bit4] USTP : USB 動作クロック停止ビット(Udc SToP)

本ビットの設定により USB 動作部のクロックを停止させます。USB を動作させない場合に本ビットの設定により消費電力を低減できます。

bit	説明
0	通常モード
1	USB 動作部のクロック停止

<注意事項>

- *ストップモードまたはタイマモードにしない場合、USTP ビットの設定は RST=1 にした後、リセットが確実にかかるように FULL スピード時には 3 サイクル後、LOW スピード(ホストモードの場合のみ対応)時には 43 サイクル後に行ってください。本ビットのクリアは RST のクリアと同時でも構いません。*

[bit3] STALCLREN： エンドポイント 1～5 STAL ビットクリア選択ビット(STALI CLeaR Enable)

Clear Feature コマンドによるエンドポイント 1 からエンドポイント 5 の STAL ビットのクリア方法を選択するビットです。エンドポイント 1 からエンドポイント 5 に対し、Clear Feature コマンドによって指定されたエンドポイントの EP1～EP5 制御レジスタ(EP1C-EP5C)の STAL ビットを 0 にハードウェアで自動的にクリアするかどうかを設定します。エンドポイント制御レジスタ(EP1C-EP5C)の STAL ビットをクリアする方法をソフトウェアかハードウェアかを選択するビットです。

bit	説明
0	EP1～EP5 制御レジスタ(EP1C-EP5C)の STAL ビットをソフトウェアでクリアします。
1	EP1～EP5 制御レジスタ(EP1C-EP5C)の STAL ビットはハードウェアで自動的にクリアされます。

＜注意事項＞

- *STALCLREN ビットは、UDC 制御レジスタ(UDCC)の RST=1 のときに設定して USB 動作中に書き換えないようにしてください。*

[bit2] 予約 ： 予約ビット

必ず 0 を書き込んでください。常に 0 が読み出されます。

[bit1] RFBK： データトグルモード選択ビット(Rate Feed BacK mode)

USB の Interrupt 転送時のデータトグルモードの選択ビットです。

bit	説明
0	交代データトグルモードの選択 転送が問題なく完了したときにデータ PID をトグル
1	データトグルモードの選択 無条件にデータ PID をトグル

[bit0] PWC： 電源制御ビット(PoWer Control)

USB ファンクションの動作電源モード(自己電源, バス電源)を指定します。
(本ビットの設定は標準コマンド GetStatus に反映します。)

bit	説明
0	バス電源
1	自己電源

5.2 EP0 制御レジスタ(EP0C)

EP0 制御レジスタ(EP0C)は、エンドポイント 0 に関して制御します。

下図に EP0 制御レジスタ(EP0C)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	-				予約		STAL	予約
属性	-				-		R/W	-
初期値	XXXX				00		0	0

bit	7	6	5	4	3	2	1	0
Field	予約	PKS0						
属性	-	R/W						
初期値	0	1000000						

<注意事項>

- *EP0 制御レジスタ(EP0C)は、bit9 の STAL を除き UDC 制御レジスタ(UDCC)の bit7 の RST ビット, EP0I/O ステータスレジスタ(EP0I/EP0OS)の bit15 の BFINI が共に 1 のときに設定して、USB 動作中に書き換えないでください。*

以下に EP0 制御レジスタ(EP0C)の各ビットの機能を説明します。

[bit15:12] - : 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit11:10] 予約 : 予約ビット

必ず 0 を書き込んでください。
常に 0 が読み出されます。

[bit9] STAL : エンドポイント 0 STALL 設定ビット(STALl ep0 set)

本ビットの設定によりエンドポイント 0 を STALL 状態(STALL 応答)にできます。

本ビットは、ハードで自動クリアされます。エンドポイント 0 への STALL 応答を行った後、エンドポイント 0 で SETUP パケットを受信すると、"0"にクリアされます。本ビットのクリアタイミングは「3.8 エンドポイント 0 の STALL 応答/解除」の「■STAL ビットのクリアタイミング」を参照してください。

bit	説明
0	無視されます
1	STALL 状態(STALL 応答)を設定します

<注意事項>

- *USB 制御レジスタ(UDCC)の STALCLREN ビットが"0"の場合、STAL ビットに 1 を設定中はホストに対し、STALL 応答し続けます。STAL ビットの解除の後、正常な SETUP パケットを受信したときに STALL 状態から復帰します。*
- *リードモディファイライト系命令で読み出す場合、0 が読み出されます。*

[bit8:7] 予約 : 予約ビット
書込み時は 0 を書き込んでください。
読出し時は 0 が読み出せます。

[bit6:0] PKS0 : パケットサイズエンドポイント 0 設定ビット(PacKet Size ep0 set)
1 パケットでの最大転送バイト数を指定します。EndPoint0 の指定可能なパケットの最大転送バイトは 64 バイトで、IN, OUT 共通の設定です。

<例> "0x08"⇒8 バイト, "0x40"⇒64 バイト(最大指定値)

<注意事項>

- *このビットは UDC 制御レジスタ(UDCC)の RST ビットと EP0I/O ステータスレジスタ(EP0I/ EP0OS)の BFINI ビットが共に 1 のときに設定してください。USB 動作中の書換えは禁止です。*
- *最大転送バイト数(0x40)を超える設定と 0x00 の設定は禁止です。*

5.3 EP1～5 制御レジスタ(EP1C～EP5C)

EP1～5 制御レジスタ(EP1C～EP5C)は、エンドポイント 1～5 に関して制御します。

下図に EP1～5 制御レジスタ(EP1C～EP5C)のビット構成を示します。

EP1 制御レジスタ(EP1C)

bit	15	14	13	12	11	10	9	8
Field	EPEN	TYPE		DIR	DMAE	NULE	STAL	PSK1
属性	R/W	R/W		R/W	R/W	R/W	R/W	R/W
初期値	0	11		0	0	0	0	1

bit	7	6	5	4	3	2	1	0
Field	PSK1							
属性	R/W							
初期値	0x00							

EP2～EP5 制御レジスタ(EP2C～EP5C)

bit	15	14	13	12	11	10	9	8
Field	EPEN	TYPE		DIR	DMAE	NULE	STAL	予約
属性	R/W	R/W		R/W	R/W	R/W	R/W	-
初期値	0	11		0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	PKS5~2						
属性	-	R/W						
初期値	0	1000000						

<注意事項>

- *EP1～5 制御レジスタ(EP1C～EP5C)は、DMAE, NULE, STAL の各ビットを除き UDC 制御レジスタ(UDCC)の bit7 の RST ビット, EP0～5 ステータスレジスタ(EP1S～EP5S)の bit15 の BFINI ビットが共に 1 のときに設定して、USB 動作中の書換えは禁止です。*

以下に EP1～5 制御レジスタ(EP1C～EP5C)の各ビットの機能を説明します。

[bit15] EPEN : エンドポイント 1～5 許可ビット(EndPoint1～5 ENable)

エンドポイントを有効にします。EPEN ビットの設定によりファンクションで使用するエンドポイントとしてホストから構成されます。EP1～EP5 制御レジスタ(EP1C～EP5C)の TYPE, DIR, PKS ビットが構成情報として有効です。

bit	説明
0	EndPoint は無効
1	EndPoint は有効

[bit14:13] TYPE： エンドポイント転送タイプ選択ビット(endpoint TYPE)

エンドポイントがサポートする転送タイプを指定します。

bit14:13	説明
00	指定禁止
01	Iso 転送(ファンクション動作モード)
10	Bulk 転送
11	Interrupt 転送

＜注意事項＞

- *Iso 転送の設定はファンクション動作モード時にエンドポイント 1 のみと、エンドポイント 1 と 2 の両方に設定可能です。エンドポイント 2 のみ、エンドポイント 1 と 2 以外、ホスト動作モード時は設定禁止です。*

[bit12] DIR： エンドポイント転送方向選択ビット(endpoint DIRection)

エンドポイントがサポートする転送方向を指定します。

bit	ファンクション動作モード	ホスト動作モード(EP1, EP2 のみ)
0	OUT エンドポイント	IN エンドポイント
1	IN エンドポイント	OUT エンドポイント

[bit11] DMAE : DMA 自動転送許可ビット(DMA Enable)

転送データの送受信バッファへの書込みあるいは、読出しに DMA を使用し、DMA に設定したデータ転送数までホストからの IN, OUT データ要求に同期して自動で送受信データを転送するモード設定です。

bit	説明
0	自動バッファ転送モードの解除
1	自動バッファ転送モードの設定

＜注意事項＞

- *DMAE ビットを 1 に設定中は CPU による送受信バッファへのアクセスは禁止です。*

[bit10] NULE : NULL 自動転送許可ビット(NULI Enable set)

自動バッファ転送モードが設定されている状態(DMAE=1)で、IN 方向のデータ転送要求がきたときに、最後のパケット転送を検出し、0 バイトのデータ転送を自動で送信するモードの設定を行います。

bit	説明
0	NULL 自動転送モードの解除
1	NULL 自動転送モードの設定

＜注意事項＞

- *OUT 方向のデータ転送時や自動バッファ転送モードが設定されていない時には NULL ビットの設定は通信に影響しません。*

[bit9] STAL： エンドポイント 1～5 STALL 設定ビット(STALl set)

本ビットの設定によりエンドポイントを STALL 状態(STALL 応答)に設定できます。

- UDC 制御レジスタ(UDCC)の STALCLREN ビットが 0 の場合

  本ビットは、Clear Feature コマンドによって、0 にクリアされません。本ビットをクリアするにはソフトウェアで行う必要があります。本ビットのクリアタイミングは「3.9 エンドポイント 1～5 の STALL 応答/解除」の「■ソフト処理にて STALL 応答する場合」を参照してください。

bit	説明
0	STALL 状態を解除します
1	STALL 状態(STALL 応答)を設定します

- UDC 制御レジスタ(UDCC)の STALCLREN ビットが 1 の場合

  本ビットはハードウェアによってクリアされます。Clear Feature コマンドで指定されたエンドポイントに対し、0 にクリアされます。本ビットのクリアタイミングは「3.9 エンドポイント 1～5 の STALL 応答/解除」の「■ソフト処理にて STALL 応答する場合」を参照してください。

bit	説明
0	無視されます
1	STALL 状態(STALL 応答)を設定します

＜注意事項＞

- *UDC 制御レジスタ(UDCC)の STALCLREN ビットが 0 の場合、STAL ビットを 1 に設定中はホストに対し、STALL 応答し続けます。STALL 状態からの復帰は STAL ビットの解除の後、ホストからの Clear Feature コマンドにより可能です。*
- *STALCLREN の設定値により、リードモディファイライト系命令で読み出される値が異なります。*
- *STALCLREN=0 の場合、そのときの値が読み出されます。*
- *STALCLREN=1 の場合、0 が読み出されます。*

[EP2～EP5 : bit8:7] EP2～EP5 予約ビット

このビットは EP2～EP5 の場合、予約ビットです。書込み時は 0 を書き込んでください。読出し時は 0 が読み出されます。

[(EP1 : bit8:7)bit6:0] PKS： パケットサイズ設定ビット(PacKet Size ep1 set)

1 パケットでの最大転送数を指定します。EndPoint1～5 の指定可能なパケットの最大転送数を以下に示します。

EndPoint	最大転送数	設定可能範囲
1	256 バイト(奇数設定可能)	0x001～0x100
2～5	64 バイト(奇数設定可能)	0x01～0x40

＜注意事項＞

- *最大転送数(0x100, 0x40)を超える設定と"0x00"の設定は禁止です。EndPoint2～5 は bit8:7 に 00 書込みをしてください。さらに、自動バッファ転送モード(DMAE=1)を使用する場合は該当する EndPoint での 0～2 設定は禁止です。*
- *PKS は偶数バイトを設定してください。*

5.4 タイムスタンプレジスタ(TMSP)

タイムスタンプレジスタ(TMSP)は、SOF パケット受信時のフレーム番号の表示を行います。

下図にタイムスタンプレジスタ(TMSP)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約			TMSP		
属性	-	-	-			R	R	R
初期値	X	X	XXX			0	0	0
RST リセット	0	0	無関係			0	0	0

bit	7	6	5	4	3	2	1	0
Field	TMSP							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
RST リセット	0	0	0	0	0	0	0	0

以下にタイムスタンプレジスタ(TMSP)の各ビットの機能を説明します。

[bit15:11] 予約 : 予約ビット

書込みは意味を持ちません。読出し時は不定です。

[bit10:0] TMSP : タイムスタンプビット(TiMe StamP)

SOF パケットの受信によるフレーム番号を示します。フレーム番号は SOF パケットの受信時に更新されます。

5.5 UDC ステータスレジスタ(UDCS)

UDC ステータスレジスタ(UDCS)は、USB 通信上のバスの状態や、特定のコマンド受信状態を示すレジスタです。SETP を除く各ビットは割込み要因となっており、対応する割込み許可ビットが有効指定されていれば CPU へ割込みがかかります。

下図に UDC ステータスレジスタ(UDCS)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	-	-	SUSP	SOF	BRST	WKUP	SETP	CONF
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0
RST リセット	X	X	0	0	0	0	0	0

以下に UDC ステータスレジスタ(UDCS)の各ビットの機能を説明します。

[bit7:6] - : 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit5] SUSP : サスペンド検出ビット(SUSPend)

USB ファンクションがサスペンド状態に移行したことを表示します。SUSP ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	Suspend 未検出・割込み要因クリア
1	Suspend 検出

[bit4] SOF : SOF 検出ビット(Start Of Frame)

SOF パケットを受信したことを示し、タイムスタンプレジスタの値が更新されます。SOF ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	SOF 未受信・割込み要因クリア
1	SOF パケットを受信

[bit3] BRST : バスリセット検出ビット(Bus ReSeT)

USB バスリセットの検出を表示します。BRST ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	USB バスリセットを未検出・割込み要因クリア
1	USB バスリセットを検出

<注意事項>

- *本ビットの検出時には EP0I ステータスレジスタ(EP0IS)の BFINI ビットと EP0O ステータスレジスタ(EP0OS)の BFINI ビットおよび EP1～EP5 ステータスレジスタ(EP1S～EP5S)の BFINI ビットでバッファを初期化してください。*

[bit2] WKUP : WakeUp 検出ビット(WaKe UP)

USB ファンクションがサスペンド状態から復帰したことを表示します。復帰要因は RESUM ビットの設定によるリモートウェイクアップとホストからの要求によるウェイクアップがありますが、WKUP ビットはホストからの復帰要求のみで自動設定されます。WKUP ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	HOST 要因 RESUME を未検出・割込み要因クリア
1	HOST 要因 RESUME を検出

<注意事項>

- *ホスト要求によるウェイクアップ時でも UDCC レジスタの RESUM ビットが設定されている場合、本ビットは設定されません。*

[bit1] SETP : SETUP ステージ検出ビット(SETuP)

受信したデータが USB コントロール転送の Setup ステージであることを示します。1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	SETUP 未受信・要因クリア
1	コントロール転送 SETUP ステージを受信

<注意事項>

- *標準コマンドの自動応答時には設定されません。本ビットは割込み要因ではありません。*

[bit0] CONF : コンフィグレーション検出ビット(CONFigration)

USB ファンクションがコンフィグレーション済みであることを表示します。CONF ビットは USB コマンドの SetConfig を正常受信したときに設定されます。CONF ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	SetConfig 未検出・割込み要因クリア
1	SetConfig を検出

5.6 UDC 割込み許可レジスタ(UDCIE)

UDC 割込み許可レジスタ(UDCIE)は、UDC ステータスレジスタの各割込み要因による割込みを、ビットごとに許可するレジスタです(CONFN ビットは除きます)。

下図に UDC 割込み許可レジスタ(UDCIE)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約	予約	SUSPIE	SOFIE	BRSTIE	WKUPIE	CONFN	CONFIE
属性	-	-	R/W	R/W	R/W	R/W	R	R/W
初期値	0	0	0	0	0	0	0	0
RST リセット	0	無関係	0	0	0	0	0	0

以下に UDC 割込みレジスタ(UDCIE)の各ビットの機能を説明します。

[bit15:14] 予約 : 予約ビット

必ず 0 を書き込んでください。常に 0 が読み出されます。

[bit13] SUSPIE : サスペンド割込み許可ビット(SUSP Interrupt Enable)

UDC ステータスレジスタ"SUSP"の割込み要因による割込みを許可します。

bit	説明
0	SUSP 要因による割込み禁止
1	SUSP 要因による割込み許可

[bit12] SOFIE : SOF 受信割込み許可ビット(SOF Interrupt Enable)

UDC ステータスレジスタ"SOF"の割込み要因による割込みを許可します。

bit	説明
0	SOF 要因による割込み禁止
1	SOF 要因による割込み許可

[bit11] BRSTIE : バスリセット割込み許可ビット(BRST Interrupt Enable)

UDC ステータスレジスタ"BRST"の割込み要因による割込みを許可します。

bit	説明
0	BRST 要因による割込み禁止
1	BRST 要因による割込み許可

[bit10] WKUPIE : WakeUp 割込み許可ビット(WKUP Interrupt Enable)

UDC ステータスレジスタ"WKUP"の割込み要因による割込みを許可します。

bit	説明
0	WKUP 要因による割込み禁止
1	WKUP 要因による割込み許可

[bit9] CONFN： コンフィグレーション番号表示ビット(CONFiguration Number)

コンフィグレーション番号を表示します。UDC ステータスレジスタ CONF の割込み要因セット時に更新します。

bit	説明
0	CONFIG 番号 0
1	CONFIG 番号 1

[bit8] CONFIE： コンフィグレーション割込み許可ビット(CONFiguration)

UDC ステータスレジスタ"CONF"の割込み要因による割込みを許可します。

bit	説明
0	CONF 要因による割込み禁止
1	CONF 要因による割込み許可

5.7 EP0I ステータスレジスタ(EP0IS)

EP0I ステータスレジスタ(EP0IS)は、エンドポイント 0 の IN 方向転送に関するステータス表示を行います。

下図に EP0IS レジスタ(EP0IS)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQIIE	-	-	-	DRQI	-	-
属性	R/W	R/W	-	-	-	R/W	-	-
初期値	1	0	X	X	X	1	X	X
BFINI リセット	1	無関係	X	X	X	1	X	X

bit	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	-
属性	-	-	-	-	-	-	-	-
初期値	X	X	X	X	X	X	X	X
BFINI リセット	X	X	X	X	X	X	X	X

以下に EP0I ステータスレジスタ(EP0IS)の各ビットの機能を説明します。

[bit15] BFINI : 送信バッファ初期化ビット(BuFfer INItial)

転送データの送信バッファの初期化をします。また、本ビットは UDC 制御レジスタ(UDCC)RST ビットを"1"に設定すると本ビットは自動で 1 に設定されるようになっています。したがって、RST ビットでリセットされている場合、本ビットのクリアは RST ビットに 0 を設定してから行ってください。

bit	説明
0	初期化の解除
1	送信バッファの初期化

<注意事項>

- *BFINI ビットによる初期化ではバッファ, DRQI ビットが初期化されます。バッファの初期化をする場合、DRQI または DRQO ビットが設定されホストからのアクセスがないことを確認した後、必要に応じて STAL ビットを設定してから初期化を行ってください。*

[bit14] DRQIIE : 送信データ割込み許可ビット(Data ReQuest In Interrupt Enable)

EP0I ステータスレジスタ"DRQI"の割込み要因による割込みを許可します。

bit	説明
0	DRQI 要因による割込み禁止
1	DRQI 要因による割込み許可

[bit13:11] - : 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit10] DRQI : 送受信データ割込み要求ビット(Data ReQuest In)

EP0 のホストからの IN パケット転送が正常に終了し、送信バッファからデータが読み出され次の送信データを書き込むことが可能であることを示します。DRQI ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	割込み要因クリア
1	送信データの書込み可能状態

<注意事項>

- *送信バッファのデータライト処理が完了後に本ビットをクリアする必要があります。また、本ビットが設定されていない時の 0 書込みは禁止です。*
  DRQI ビットが 1 のとき、送信バッファにデータ書込みが可能です。また、クリアした時点で送信バッファにデータ設定が完了したことを意味します。したがって、DRQI ビットが 1 の状態で IN パケット要求があった場合は、自動でホストに NAK 応答します。

[bit9:0] - : 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

5.8 EP0O ステータスレジスタ(EP0OS)

EP0O ステータスレジスタ(EP0OS)は、エンドポイント 0 の Out 方向転送に関するステータス表示を行います。

下図に EP0OS レジスタ(EP0OS)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQOIE	SPKIE	-	-	DRQO	SPK	予約
属性	R/W	R/W	R/W	-	-	R/W	R/W	-
初期値	1	0	0	X	X	0	0	0
BFINI リセット	1	無関係	無関係	X	X	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	SIZE						
属性	-	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X
BFINI リセット	X	X	X	X	X	X	X	X

以下に EP0O ステータスレジスタ(EP0OS)の各ビットの機能を説明します。

[bit15] BFINI： 受信バッファ初期化ビット(BuFfer INItial)

転送データの受信バッファの初期化をします。また、本ビットは UDC 制御レジスタ(UDCC)の RST ビットのセットでも自動で設定されるようになっています。従って、RST ビットでリセットされている場合、本ビットのクリアは RST ビットのクリア後に行ってください。

bit	説明
0	初期化の解除
1	受信バッファの初期化

<注意事項>

- *BFINI ビットによる初期化ではバッファ, DRQO, SPK ビットが初期化されます。バッファの初期化をする場合、DRQI または DRQO ビットが設定されホストからのアクセスがないことを確認した後、必要に応じて STAL ビットを設定してから初期化を行ってください。*

[bit14] DRQOIE： 受信データ割込み許可ビット(Data ReQuest Out Interrupt Enable)

EP0O ステータスレジスタ"DRQO"の割込み要因による割込みを許可します。

bit	説明
0	DRQO 要因による割込み禁止
1	DRQO 要因による割込み許可

[bit13] SPKIE： ショートパケット割込み許可ビット(SPK Interrupt Enable)

EP0O ステータスレジスタ"SPK"の割込み要因による割込みを許可します。

bit	説明
0	SPK 要因による割込み禁止
1	SPK 要因による割込み許可

[bit12:11] -： 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit10] DRQO： 受信データ割込み要求ビット(Data ReQuest Out)

EP0 のホストからの OUT パケット転送が正常に終了し、受信バッファにデータが書き込まれ受信データを読み出すことが可能であることを示します。本ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	割込み要因クリア
1	受信データの読出し可能状態

<注意事項>

- *受信バッファのデータリード処理が完了後に、本ビットをクリアしてください。また、本ビットが設定されていない時の 0 書込みは禁止です。*
  DRQO ビットが 1 のとき、受信バッファは更新されません。クリアした時点で更新許可となります。
  DRQO ビットが 1 の状態で OUT パケット要求があった場合は、自動でホストに NAK 応答します。

[bit9] SPK： ショートパケット割込み要求ビット(Short PacKet)

ホストからの転送データ数が正常受信時に EP0 制御レジスタ(EP0C)の PKS で設定した MAX パケット数に満たない場合(0 バイトを含みます)を示します。本ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	MAX パケット転送数分を受信
1	MAX パケット転送数未満を受信

[bit8:7] 予約 ： 予約ビット

書込みは意味を持ちません。常に 0 が読み出されます。

[bit6:0] SIZE： パケットサイズ表示ビット(packet SIZE)

EP0 の OUT パケット転送終了後に受信バッファに書き込まれたデータバイト数が表示されます。SIZE ビットは EP0O ステータスレジスタ(EP0OS)の DRQO の割込み要因が設定されたときに有効な値に更新されます。

<例> 8 バイト⇒"0x08", 64 バイト⇒"0x40"(最大値)

5.9 EP1～5 ステータスレジスタ(EP1S～EP5S)

EP1～5 ステータスレジスタ(EP1S～EP5S)は、エンドポイント 1～5 に関するステータス表示を行います。

下図に EP1～5 ステータスレジスタ(EP1S～EP5S)のビット構成を示します。

EP1 ステータスレジスタ(EP1S)

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQIE	SPKIE	予約	BUSY	DRQ	SPK	SIZE1
属性	R/W	R/W	R/W	-	R	R/W	R/W	R
初期値	1	0	0	X	0	0	0	X

bit	7	6	5	4	3	2	1	0
Field	SIZE1							
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

EP2～EP5 ステータスレジスタ(EP2S～EP5S)

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQIE	SPKIE	予約	BUSY	DRQ	SPK	予約
属性	R/W	R/W	R/W	-	R	R/W	R/W	-
初期値	1	0	0	X	0	0	0	X

bit	7	6	5	4	3	2	1	0
Field	予約	SIZE2~SIZE5						
属性	-	R	R	R	R	R	R	R
初期値	0	X	X	X	X	X	X	X

以下に EP1～5 ステータスレジスタ(EP1S～EP5S)の各ビットの機能を説明します。

[bit15] BFINI : 送受信バッファ初期化ビット(BuFfer INItial)

転送データの送受信バッファの初期化をします。また、BFINI ビットは UDC 制御レジスタ(UDCC)の RST ビットの設定でも自動で設定されるようになっています。従って、RST ビットでリセットされている場合、BFINI ビットのクリアは RST ビットのクリア後に行ってください。

bit	説明
0	初期化の解除
1	送受信バッファの初期化

<注意事項>

- *EP1～EP5 の送受信バッファはダブルバッファ構成で、BFINI ビットによる初期化ではダブルバッファ同時に初期化が行われ、DRQ, SPK ビットも初期化されます。バッファの初期化をする場合、DRQ ビットが設定され BUSY ビットによりホストからのアクセスがないことを確認した後、STAL ビットを設定してから初期化を行ってください。*

[bit14] DRQIE： パケット転送割込み許可ビット(Data ReQuest Interrupt Enable)

EP1～EP5 ステータスレジスタ"DRQ"の割込み要因による割込みを許可します。

bit	説明
0	DRQ 要因による割込み禁止
1	DRQ 要因による割込み許可

＜注意事項＞

- *自動バッファ転送モード(DMAE=1)を使用する場合はDMA の設定し、転送を許可してから DRQIE ビットを許可してください。*

[bit13] SPKIE： ショートパケット割込み許可ビット(SPK Interrupt Enable)

EP1～5 ステータスレジスタ"SPK"の割込み要因による割込みを許可します。

bit	説明
0	SPK 要因による割込み禁止
1	SPK 要因による割込み許可

[bit12] 予約 ： 予約ビット

書込みは意味を持ちません。読出し時は不定です。

[bit11] BUSY： ビジーフラグビット(BUSY flag)

ホストから送受信バッファへの書込みまたは読出しアクセス中であることを示します。BUSY ビットは自動で設定，リセットされます。

bit	説明
0	ホストからのアクセスなし
1	ホストからの書込みまたは読出し動作中

＜注意事項＞

- *DRQ ビットが1 に設定された状態でBUSY ビットも 1 に設定されている場合、ダブルバッファの内、CPU またはDMA アクセスしているバッファとは別のバッファが、ホストからのアクセス中であることを意味します。*
  通常の場合、BUSY ビットによる制御は必要ありません。しかし、BFINI の設定によるバッファの初期化をする場合は、以下の設定後、初期化してください。
  1. DRQ ビットがセットされ、BUSY ビットによりホストからのアクセスがないことを確認
  2. STAL ビットを設定

[bit10] DRQ： パケット転送割込み要求ビット(Data ReQuest)

EP1～EP5 のパケット転送が正常に終了し、データ処理が必要であることを示します。DRQ ビットは割込み要因であり、1 書込みは無視します。DRQ ビットが 1 のときに 0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	割込み要因クリア
1	パケット転送が正常に終了

<注意事項>

- *自動バッファ転送モード(DMAE=1)を使用しない場合は、送受信バッファのデータリードまたはデータライト処理が完了後に DRQ ビットに 0 を書き込んでください。DRQ ビットをクリアした時点でアクセスバッファを切り換えます。DRQ ビットをクリア後に、DRQ=0 が読めない場合があります。転送方向が IN 方向の設定の場合、DRQ ビットが"1"でバッファデータ書込みせずにクリアした場合、0 バイトデータを設定したことになります。初期設定において EP1～EP5 制御レジスタ(EP1C～EP5C)の DIR を"1"に設定した場合、対応するエンドポイントの DRQ ビットも同時に設定されます。また、DRQ ビットが設定されていない時の 0 書込みは禁止です。*

[bit9] SPK： ショートパケット割込み要求ビット(Short PacKet)

ホストからの転送データ数が正常受信時に EP1～EP5 制御レジスタ(EP1C～EP5C)の PKS で設定した最大パケット数に満たない場合(0 バイトを含みます)を示します。本ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	最大パケット転送数分を受信
1	最大パケット転送数未満を受信

<注意事項>

- *IN 方向のデータ転送時に SPK ビットは設定されません。*

[EP2～EP5 : bit8:7] 予約 ： 予約ビット

EP2～EP5 の場合、このビットは予約ビットです。書込みは意味を持ちません。読出し時には 0 が読み出せます。

[(EP1 : bit8:7) bit6:0] SIZE : packet SIZE

EP1～EP5 の OUT パケット転送終了時に受信バッファに書き込まれたデータバイト数が表示されます。SIZE ビットは EP1～EP5 ステータスレジスタ(EP1S～EP5S)の DRQ の割込み要因が設定されたときに有効な値に更新されます。

EndPoint1～5 の最大転送数は以下になります。

EndPoint	最大転送数	表示範囲
1	256 バイト	0x000～0x100
2～5	64 バイト	0x00～0x40

<注意事項>

- *本ビットは OUT 方向転送時でのホストからのバッファ書込みデータ数が設定されるため、IN 方向時に読み出された値は意味をもちません。*

5.10 EP0～5 データレジスタ(EP0DTH～EP5DTH/ EP0DTL～EP5DTL)

EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)は、エンドポイント 0～5 に関する転送データの送受信バッファへのリードまたはライトのアクセスレジスタです。

下図に EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)のビット構成を示します。

EP0DTH～EP5DTH

bit	15	14	13	12	11	10	9	8
Field	BFDT							
属性	R/W							
初期値	0xXX							

EP0DTL～RP5DTL

bit	7	6	5	4	3	2	1	0
Field	BFDT							
属性	R/W							
初期値	0xXX							

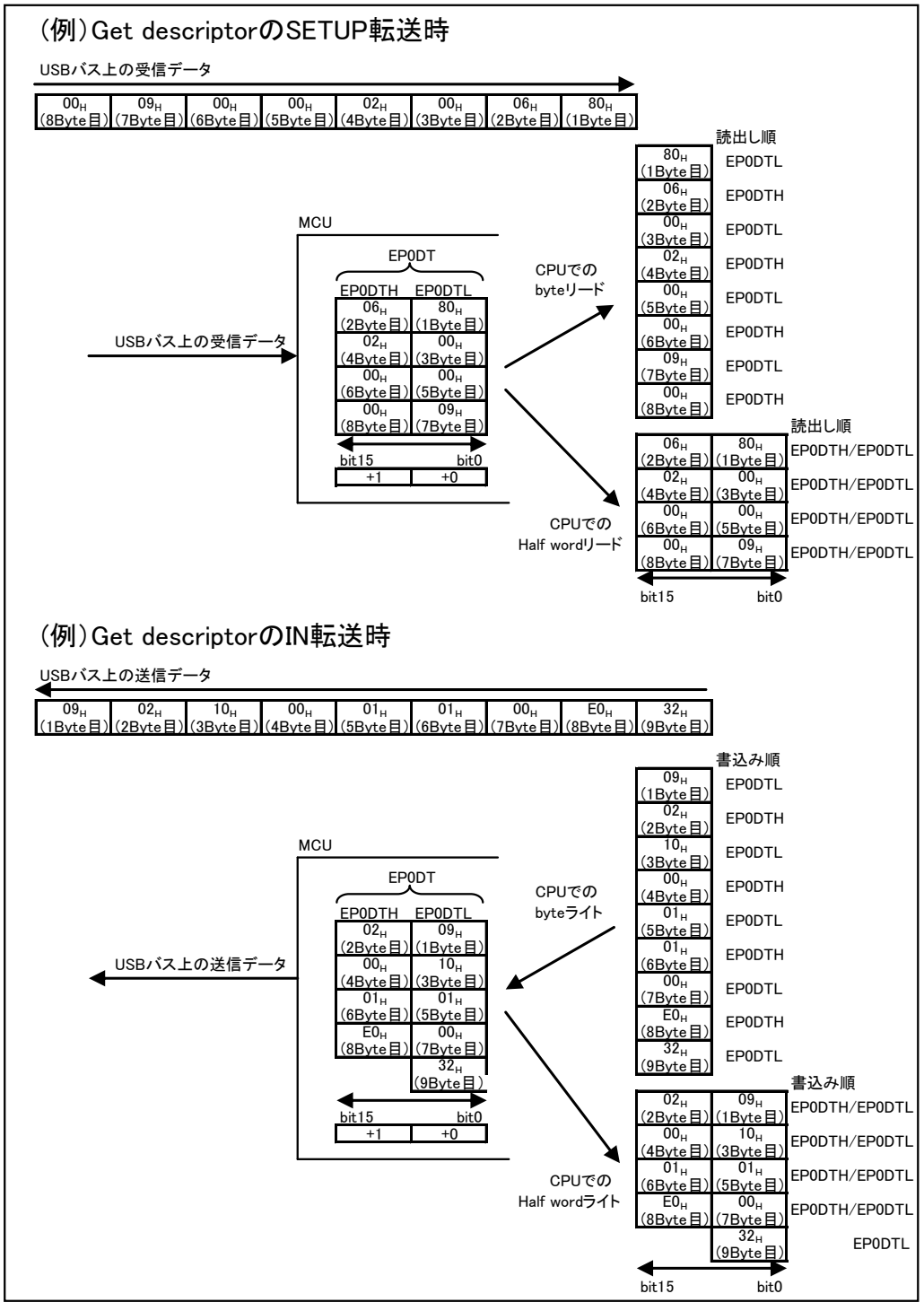
以下に EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)の各ビットの機能を説明します。

[bit15:0] BFDT： エンドポイント用送受信バッファデータビット(BuFfer DaTa)

各エンドポイント用送受信バッファへのデータリード, ライトレジスタです。

＜注意事項＞

- *EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)への CPU アクセスはバイト, ハーフワード共に可能です。*
- *バイトの場合*
  最初に下位(EPxDTL)へのアクセスとし、次は上位(EPxDTH)へのアクセスとして、以後下位(EPxDTL), 上位(EPxDTH)を交互にアクセスしてください。
- *ビット操作命令による本レジスタへのアクセスは禁止です。*



- *DMA 転送による EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)へのアクセスはハーフワードアクセスのみ対応しています(「3.6 DMA 転送機能」の「■データ数自動転送モード」を参照してください)。*

CHAPTER 5-2: USB ホスト

USB ホストの機能と動作について示します。

1. USB ホストの概要
2. USB ホストの構成
3. USB ホストの動作説明
4. USB ホストの設定手順例
5. USB ホストのレジスタ

管理コード: FW03H-J18.4

1. USB ホストの概要

USB ホストの機能と動作について示します。

USB ホストの特長

USB ホストには以下の特長があります。

- Full Speed/Low Speed 転送の自動検出
- Full Speed/Low Speed 転送サポート
- デバイスの接続および切断の自動検出
- USB バスへのリセット送出機能サポート
- IN/OUT/SETUP/SOF トークンのサポート
- IN トークン時のハンドシェークパケット自動送出(STALL は除く)
- OUT トークン時のハンドシェークパケット自動検出
- 最大パケット長 256 バイトまでサポート
- 各種エラー(CRC エラー/トグルエラー/タイムアウト)サポート
- Wake Up 機能サポート
- Spansion オリジナルの USB ホスト機能。動作モードを切り換えることで USB ファンクションとしても動作可能(USB ホストの仕様制限については Table 1-1 を参照してください)。

<注意事項>

- *USB ホストを使用する場合、ベースクロックは 13 MHz 以上で使用してください。*

Table 1-1 USB ホストの仕様制限

		ホスト
HUB のサポート		○*
転送	バルク転送	○
	コントロール転送	○
	インタラプト転送	○
	アイソクロナス転送	○
転送スピード	Low Speed	○
	Full Speed	○
PRE パケットサポート		×
SOF パケットサポート		○
エラー	CRC エラー	○
	トグルエラー	○
	タイムアウト	○
	最大パケット<受信データ	○
デバイスの接続・切断検出		○
転送スピード検出		○

○: サポート

×: 非サポート

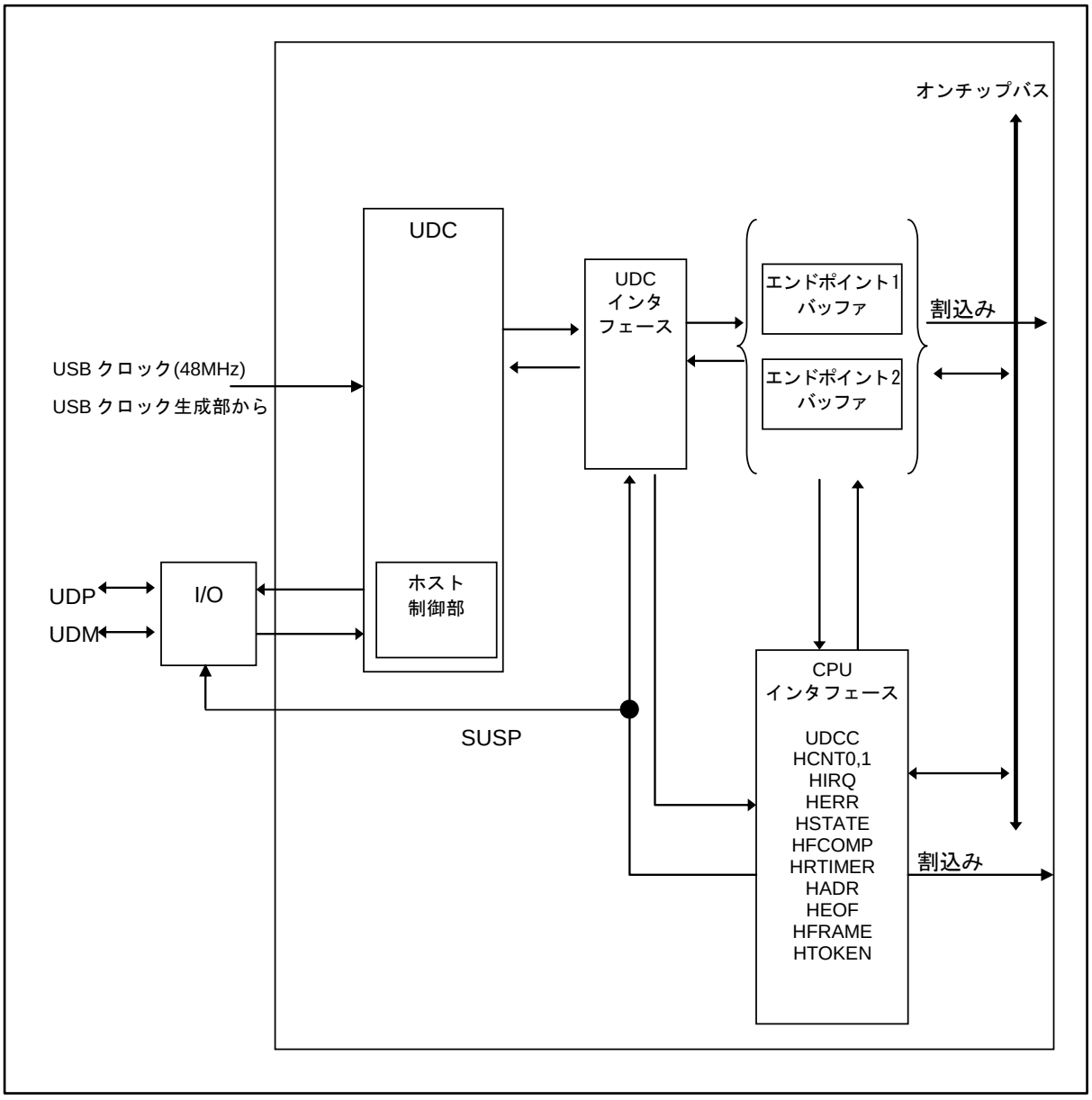
*: Full Speed のみ対応し、HUB は 1 段までのサポートです。

2. USB ホストの構成

Figure 2-1 に、USB ホストのブロックダイヤグラムを示します。

USB ホストのブロックダイヤグラム

Figure 2-1 USB ホストのブロックダイヤグラム



3. USB ホストの動作説明

USB ホストの動作について説明します。

3.1. デバイスの接続
3.2. USB バスのリセット
3.3. トークンパケット
3.4. データパケット
3.5. ハンドシェークパケット
3.6. リトライ機能
3.7. SOF 割込み
3.8. エラーステータス
3.9. パケット終了
3.10. サスペンド・リジューム
3.11. デバイスの切断

3.1 デバイスの接続

外部の USB 装置が接続されたことをソフトウェアで検出する方法を示します。

ホスト機能の設定

USB 動作させるためには、USB 許可レジスタ(USBEN)の USBEN ビットが 0(USB 動作禁止)の状態で、USB クロック生成部の設定を行い USB クロック出力は有効にしてください。次に、USBEN ビットを 1(USB 動作許可)に設定してください。その後にホストとして動作させるために、ホストコントロールレジスタ 0(HCNT0)の HOST ビットに 1 を設定してください。

外部 USB 装置が非接続の状態，接続の状態

外部 USB 装置が接続されていない時はプルダウン抵抗によりホスト用端子 D+, D-ともに"L"です。このとき、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットは 0、TMODE ビットは不定です。外部 USB 装置が接続されると、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットは 1 になります。

外部 USB 装置の接続検出

外部 USB 装置が接続されたことを検出すると、ホスト割込みレジスタ(HIRQ)の CNNIRQ ビットが"1"になります。このとき、ホストコントロールレジスタ 0(HCNT0)の CNNIRE ビットに 1 が設定されていると、デバイス接続割込みが発生します。この割込みをクリアするためには、ホスト割込みレジスタ(HIRQ)の CNNIRQ ビットに 0 を書き込んでください。割込みではなくポーリングでデバイスの接続を検出する場合は、以下のようにプログラムを作成してください。

1. ホストコントロールレジスタ 0(HCNT0)の CNNIRE ビットを"0"に設定
2. ホスト割込みレジスタ(HIRQ)の CNNIRQ が 1 に変わることを確認

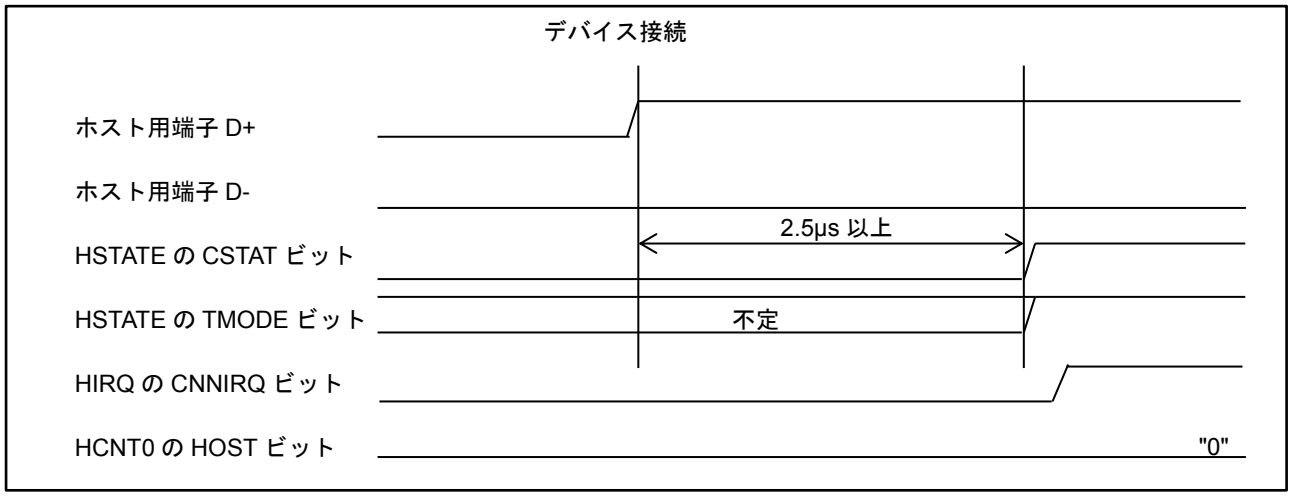
相手先 USB 装置の転送速度の取得とクロック選択

接続が検出された後、相手先 USB の転送可能速度を取得するためには、ホスト状態ステータスレジスタ(HSTATE)の TMODE の値を参照してください。転送速度とホスト状態ステータスレジスタ(HSTATE)の TMODE ビットの関係を以下に示します。

- 接続先が Full Speed 対応装置 → TMODE=1
- 接続先が Low Speed 対応装置 → TMODE=0

外部 USB 装置の転送速度を取得した後、UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、取得した転送速度に従ってホスト状態ステータスレジスタ(HSTATE)の CLKSEL ビットを更新してください。

Figure 3-1 Full Speed デバイスの接続検出タイミング例(HCNT0:HOST="0")



<注意事項>

- *外部の USB 装置が接続されてから 2.5 µs 以上経過した後に、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが"1"になります。*
- *ホスト状態ステータスレジスタ(HSTATE)の TMODE ビット, CSTAT ビットはホストコントロールレジスタ 0(HCNT0)の HOST ビットの設定にかかわらず更新されます。ホスト割込みレジスタ(HIRQ)の CNNIRQ ビット, DIRQ ビットは条件が成立すれば、1 になります。*

3.2 USB バスのリセット

ホストモード時、ホストコントロールレジスタ 0(HCNT0)の URST ビットに 1 を設定すると、10 ms 以上の SE0 を送出することで、USB バスがリセットされます。USB バスのリセットが完了するとホストコントロールレジスタ 0(HCNT0)の URST ビットが 0 となり、ホスト割込みレジスタ(HIRQ)の URIRQ ビットが"1"になります。そのときホストコントロールレジスタ 0(HCNT0)の URIRE ビットが 1 に設定されている場合、割込みが発生します。割込みをクリアするためにはホスト割込みレジスタ(HIRQ)の URIRQ ビットに 0 を書き込んでください。

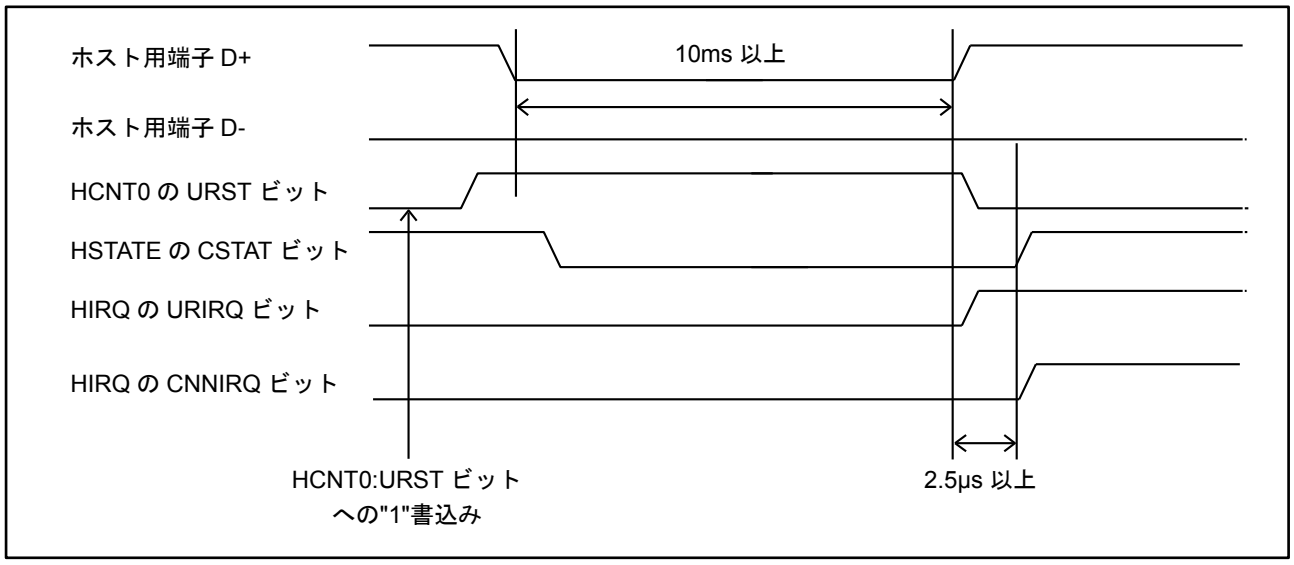
USB バスのリセット前後の注意点

USB バスのリセットについて以下の点に注意してください。

1. USB バスへのリセット前にデバイスが接続されていることを、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 1 になっていることで確認してください。
2. USB バスのリセットを実行すると、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットは 0 になるため、切断状態になります。そのとき、ホスト割込みレジスタ(HIRQ)の DIRQ ビットは 1 になりません。
3. USB バスへのリセットが終了後、ホスト状態ステータスレジスタ(HSTATE)の CLKSEL ビットと TMODE ビットを比較してください。不一致の場合、一致するように CLKSEL ビットを更新してください。更新するときには UDC 制御レジスタ(UDCC)の RST ビットが 1 のときに実施してください。
4. USB バスのリセットが終了後、以下のどちらかのビットで USB デバイスが接続されていることを確認してから、トークンを実行してください。

- ホスト割込みレジスタ(HIRQ)の CNNIRQ ビット
- ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビット

Figure 3-2 デバイスへのリセットタイミング例



<注意事項>

- *USB バスのリセット終了後、USB デバイスの接続が検出されないと、トークンは発行されません。*

3.3 トークンパケット

ホストモード時、IN トークン, OUT トークン, SETUP トークンのいずれかを実行する場合、下記フローに従って設定することによりトークンパケットを送出します。

1. ホストアドレスレジスタ(HADR)を設定
2. EP1 制御レジスタ(EP1C)または EP2 制御レジスタ(EP2C)の DIR ビット, PKS ビットを設定
3. ホストトークンエンドポイントレジスタ(HTOKEN)に必要データを設定

SOF トークン時は、FRAME 設定レジスタ(HFRAME), EOF 設定レジスタ(HEOF)設定後、ホストトークンエンドポイントレジスタ(HTOKEN)に必要データを設定してください。各種レジスタ(HADR, EP1C, EP2C, HFRAME, HEOF)に変更がない場合には、設定は不要です。

トークンパケットの設定

ホストモード時、送受信のバッファとしてエンドポイント 1 とエンドポイント 2 のバッファを使用してください。
IN トークン, OUT トークン, SETUP トークンの場合、目的のアドレスをホストアドレスレジスタ(HADR)に設定してください。次に、1 パケットの最大バイト数と転送方向を EP1 制御レジスタ(EP1C)または EP2 制御レジスタの PKS ビットと DIR ビットに設定してください。

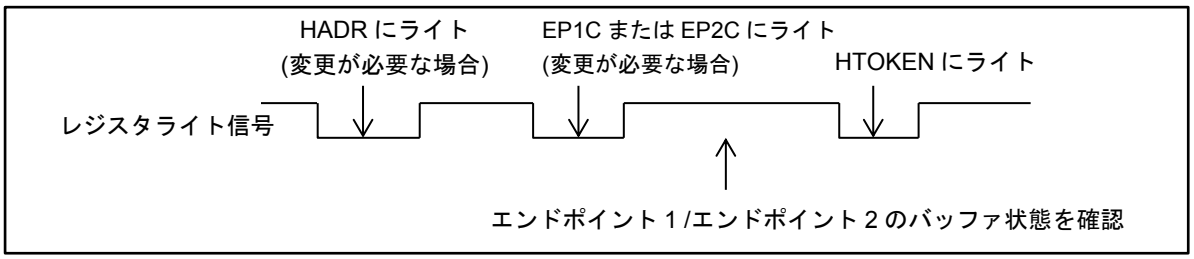
EP1 制御レジスタ(EP1C)の DIR ビットが"1"の場合、エンドポイント 1 のバッファは OUT 方向のバッファとして使用されます。エンドポイント 2 のバッファは IN 方向のバッファとして使用されます。このとき、EP2 制御レジスタ(EP2C)の DIR ビットに 0 を設定してください。
EP1 制御レジスタ(EP1C)の DIR ビットが 0 の場合、エンドポイント 1 のバッファは IN 方向のバッファとして使用されます。エンドポイント 2 のバッファは OUT 方向のバッファとして使用されます。このとき、EP2 制御レジスタ(EP2C)の DIR ビットに 1 を設定してください。

トークンを実行する場合、以下の手順で設定してください。

1. EP1 制御レジスタ(EP1C)と EP2 制御レジスタ(EP2C)の DIR ビットと PKS ビットを設定してください。
2. 使用するエンドポイント n(n は 1 または 2)が OUT 方向の場合、送信データをエンドポイント n(n は 1 または 2)のバッファに送信データを書き込んでください。また、EPn ステータスレジスタ(EPnS:n は 1 または 2)の DRQ ビットに 0 を設定してください。
   IN 方向の場合、EPn ステータスレジスタ(EPnS:n は 1 または 2)の DRQ ビットを読み出して 0 であることを確認してください。
3. ホストトークンエンドポイントレジスタ(HTOKEN)に、目的のエンドポイント, トークンおよびトグルデータを設定してください。

USB 回路は、その設定されたトークンにしたがって Sync, トークン, アドレス, エンドポイント, CRC5, EOP の順でトークンパケットを送出します(Sync, CRC5, EOP は自動)。1 パケット終了後、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが"1"となります。さらに、ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN が"0b000"になります(「3.7 SOF 割込み」を参照してください)。そのとき、ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが 1 の場合、割込みが発生します。割込みをクリアするにはホスト割込みレジスタ(HIRQ)の CMPIRQ ビットに 0 を書き込んでください。

Figure 3-3 IN/OUT/SETUP トークン実行までのレジスタの設定例



SOF トークンの場合、EOF 設定レジスタ(HEOF)および FRAME 設定レジスタ(HFRAME)に EOF 時間および FRAME 番号を設定し、ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに SOF トークンのコードを設定してください。Sync, SOF トークン, FRAME 番号, CRC5, EOP を送出し、ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 に設定され、FRAME 設定レジスタ(HFRAME)が+1 されます。また、このときホスト割込みレジスタ(HIRQ)の CMPIRQ も 1 に設定されることで、ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 0b000 にクリアされます。ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが"1"の場合、割込みが発生します。その後、自動的に発生する SOF の場合には、CMPIRQ による割込みは発生しません。トークン完了の割込みをクリアするにはホスト割込みレジスタ(HIRQ)の CMPIRQ に 0 を書き込んでください。
ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 の間、SOF は 1 ms ごとに自動的に送出されます。ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが"0"となる条件(SOF の停止条件)を以下に示します。

- ホスト状態レジスタ(HSTATE)の SOFBUSY ビットへの 0 書込み
- USB バスへのリセット(HCNT の URST ビットへの 1 書込み)
- ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットへの 1 書込み
- デバイスの切断(HSTATE の CSTAT ビットが 0 の場合)

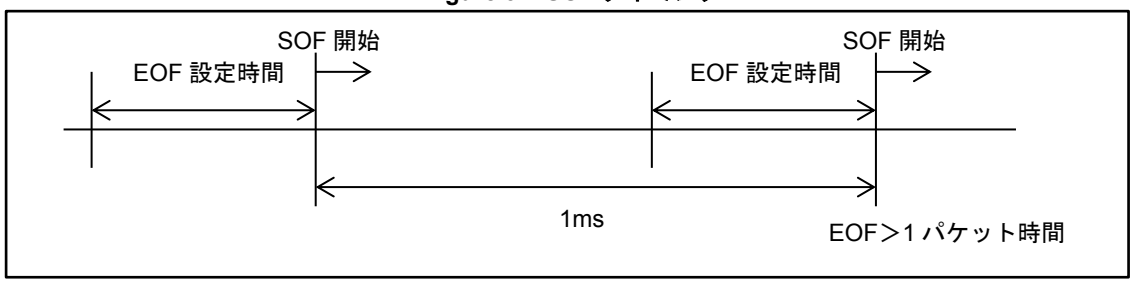
ホストモードからファンクションモードへ切り換える場合には、以下の手順で行ってください。

1. ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットへ 0 を設定する。
2. 以下の状態を確認する。
   - ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 0 にクリアされた
   - ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 000 になっている
   - ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが 0 になっている
3. UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定する。
4. ホストモードからファンクションモードへ切り換える。

ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットを再び 1 にするためには、SOF トークンをもう 1 度実行してください。

EOF 設定レジスタは、SOF とほかのトークンの同時実行を防止します。EOF 設定時間から SOF 開始時間までの間にホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに書き込んだ場合、設定したトークンはウェイトされます。さらに、SOF 実行後にウェイトしているトークンが実行されます。EOF 設定レジスタの時間単位は 1 ビット時間です。例えば EOF 設定レジスタに 0x10 と設定した場合、Full Speed モードでは 16×1/12 MHz=1333.3 ns です。Low Speed モードでは 16×1/1.5 MHz=10666.6 ns です。EOF 設定時間を 1 パケット時間より短く設定すると、他のトークン実行中に SOF 実行が重なる場合があります。この場合ホストエラーステータスレジスタ(HERR)の LSTSOF ビットが"1"に設定され SOF は実行しません。ホストエラーステータスレジスタ(HERR)の LSTSOF に 1 が設定された場合には、EOF 設定レジスタのデータを大きくしてください(EOF 設定レジスタのレジスタ説明を参照してください)。

Figure 3-4 SOF タイミング



3.4 データパケット

トークンパケット送出後にデータパケットを送信する場合、ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットにしたがってトグルデータを送出します。さらに EP1 制御レジスタ(EP1C)の DIR ビットによってエンドポイント 1 またはエンドポイント 2 のバッファデータ, CRC16 データ, EOP を送出します。
データパケットを受信する場合、ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットと受信したトグルデータを比較します。一致した場合には受信データを EP1 制御レジスタ(EP1C)の DIR ビットによってエンドポイント 1 またはエンドポイント 2 のバッファに振り分け、CRC16 のエラーを検査します。

データパケット

トークンパケット送出後、データパケットを以下の手順で実行します。

1. 送信の場合
   - Sync の自動送信
   - ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットが 0 の場合、DATA0 を送出し、TGGL ビットが"1"の場合、DATA1 を送出
   - EP1 制御レジスタ(EP1C)の DIR ビットが"1"の場合、エンドポイント 1 のバッファ、EP1 制御レジスタ(EP1C)の DIR ビットが 0 の場合、エンドポイント 2 のバッファを選択し、送信データをすべて送信
   - CRC 16 ビットを送信
   - EOP 2 ビットを送信
   - J State 1 ビットを送信

2. 受信の場合
   - Sync の受信
   - Toggle データを受信し、ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットと比較
   - Toggle データを比較した結果、一致すれば EP1 制御レジスタ(EP1C)の DIR ビットをチェック。DIR ビットが 1 の場合、エンドポイント 2 のバッファ、EP1 制御レジスタ(EP1C)の DIR ビットが 0 の場合、エンドポイント 1 のバッファを選択し、受信データを振り分けていく。
   - EOF を受信したとき、CRC 16 ビットを検査

ホストコントロールレジスタ 0(HCNT0)の HOST ビットが"1"のときには、EP1 制御レジスタ(EP1C)の DIR ビットと EP2 制御レジスタ(EP2C)の DIR ビットは反転させたデータを設定してください。例えば、EP1 制御レジスタ(EP1C)の DIR ビットに 0 を設定した場合、EP2 制御レジスタ(EP2C)の DIR ビットには 1 を設定します。

3.5 ハンドシェークパケット

ハンドシェークパケットにより、送受信相手に自分の状態を通知します。

ハンドシェークパケット

ハンドシェークパケットは、データ受信に対し正常に受信できる状態にあることを判断して、受信側から ACK, NAK, STALL のいずれかを送出します。そのとき、USB 回路がハンドシェークパケットを受信した場合は、受信したハンドシェークパケットの種類がホストエラーステータスレジスタ(HERR)の HS ビットに設定されます。ハンドシェークパケットを送信した場合は送信したハンドシェークパケットの種類がホストエラーステータスレジスタ(HERR)の HS ビットに設定されます。

3.6 リトライ機能

パケット終了時に NAK または CRC エラーなどのエラーが発生した場合、ホストコントロールレジスタ 1(HCNT1)の RETRY ビットに 1 を設定していると、リトライタイマレジスタ(HRTIMER)で設定された間、繰り返しリトライされます。

リトライ機能

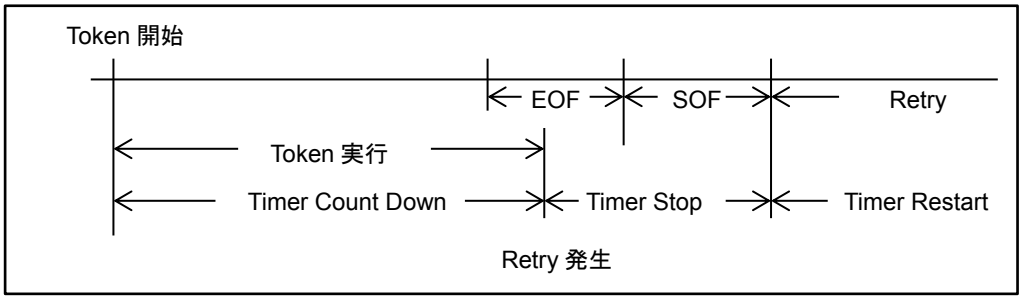
STALL およびデバイスの切断以外のエラー*が発生した場合、ホストコントロールレジスタ 1(HCNT1)の RETRY ビットが 1 の場合、そのトークンをリトライします。リトライの終了条件を以下に示します。

*:HERR:HS=01, HERR:RERR=1, HERR:TOUT=1, HERR:TGERR=1, HERR:CRC=1, HERR:STUFF=1

- ホストコントロールレジスタ 1(HCNT1)の RETRY ビットの 0 設定
- リトライタイマの 0 検出
- SOF による割込みフラグの発生(HIRQ の SOFIRQ=1)
- ACK の検出
- デバイスが切断されたことの検出

リトライタイマはトークン開始時に起動され、1 ビットの転送クロックにてカウントダウンされますが、EOF 領域内でリトライが発生した場合にはカウントは停止します。HIRQ の SOFIRQ ビットが 0 で SOF トークンが終了した場合には、停止したタイマ値からリスタートされます。リトライタイマが 0 となり、パケットが終了した時点で、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットに 1 が設定されます。

Figure 3-5 リトライタイマ動作(HIRQ の SOFIRQ="0")



リトライが終了したとき、その終了パケットの終了情報が各レジスタに設定されます。

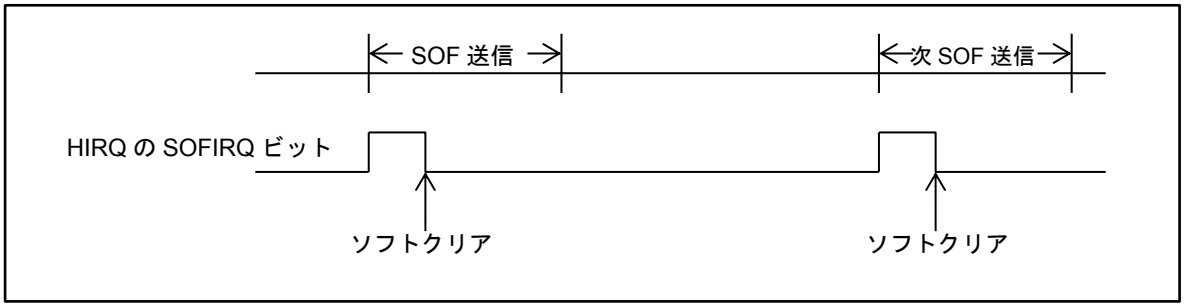
3.7 SOF 割込み

ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットおよび SOF 割込み FRAME 比較レジスタ(HFCOMP)によって、SOF 開始時にホスト割込みレジスタ(HIRQ)の SOFIRQ ビットは 1 に設定されます。そのとき、ホストコントロールレジスタ(HCNT0)の SOFIRE ビットを 1 に設定している場合は、割込みが発生します。ホストトークンエンドポイントレジスタ(HTOKEN)による SOF 実行ではホスト割込みレジスタ(HIRQ)の SOFIRQ ビットは 1 になりません。

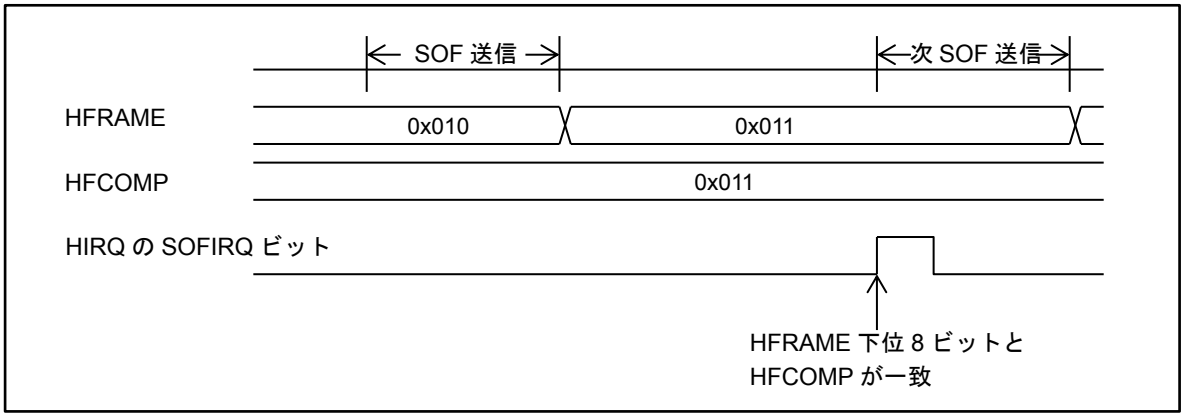
SOF 割込み

ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが 0 の場合、SOF 割込み FRAME 比較レジスタ(HFCOMP)と SOF トークン時の FRAME Number の下位 8 ビットとが比較されます。一致すると SOF を送出する時にホスト割込みレジスタ(HIRQ)の SOFIRQ ビットに 1 が設定されます。ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが 1 の場合、SOF を送出するごとにホストホスト割込みレジスタ(HIRQ)の SOFIRQ ビットに 1 が設定されます。

1. ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが 1 の場合



2. ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが 0 の場合



ホストコントロールレジスタ 1(HCNT1)の CANCEL ビットに 1 を設定すると、以下のタイミングでトークンの設定を行った場合、そのトークンは実行しません。

- EOF 領域内でホストトークンエンドポイントレジスタ(HTOKEN)に SOF トークン以外のトークンを設定した場合。

このタイミングでトークンを設定した場合、以下の動作になります。

- 次の SOF でホスト割込みレジスタ(HIRQ)の SOFIRQ が 1 になると同時にホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットは"0b000"にクリアされます。そのトークンは実行しません。

ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットは以下のタイミングでクリアされます。

そのとき、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットは"1"になりません。トークンがキャンセルされたことは、SOFIRQ ビットが"1"になったときにホスト割込みレジスタ(HIRQ)の TCAN ビットによって知ることができます。再度、トークンを実行したい場合には、ホスト割込みレジスタ(HIRQ)の TCAN ビットに"0"を書き込んでください。これによりホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに実行させたいトークンを書き込んでください。

ホストコントロールレジスタ 1(HCNT1)の CANCEL ビットに 0 を設定した場合には SOF 送信後、ホストトークンエンドポイントレジスタ(HTOKEN)に設定されたトークンを実行します。

Figure 3-6 HCNT1 の CANCEL ビット=1 のトークンキャンセル動作例

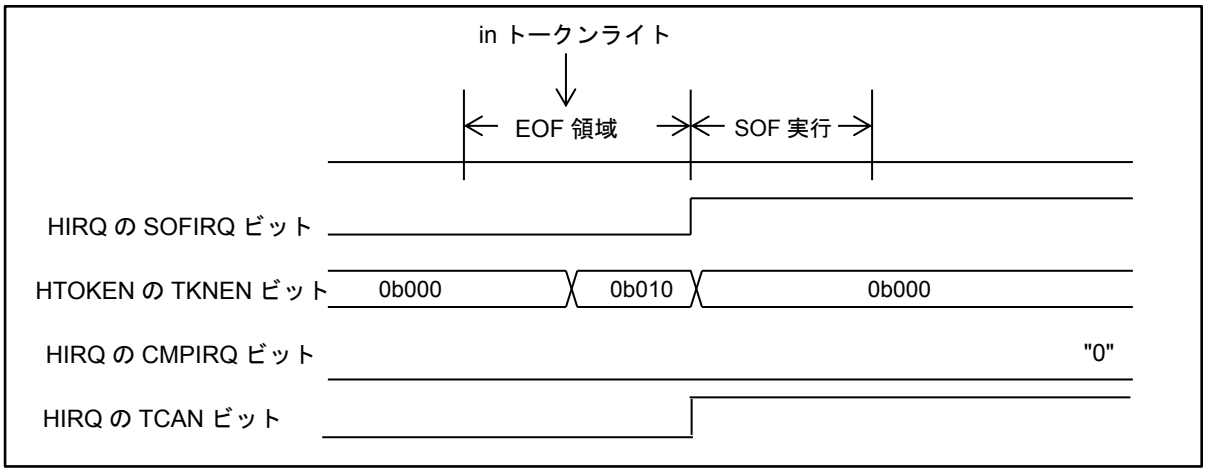
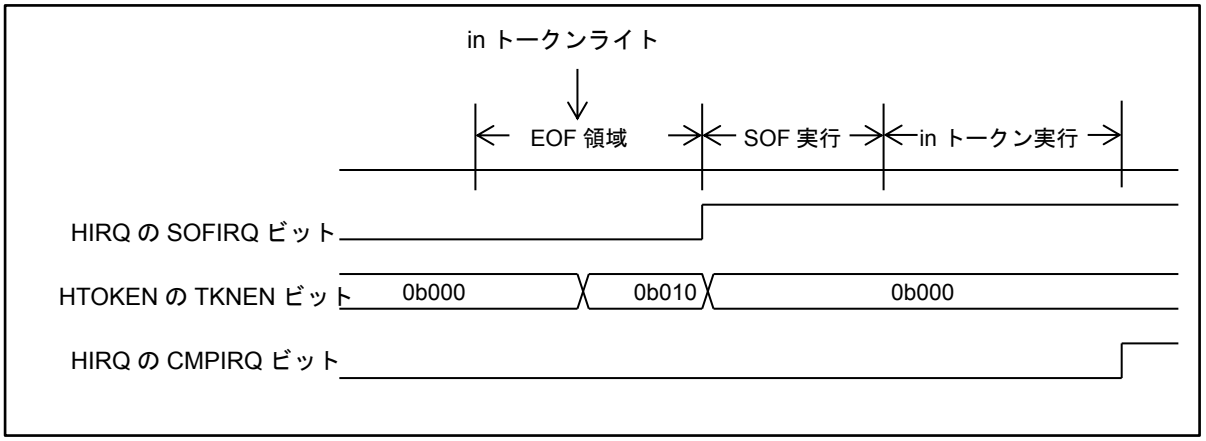


Figure 3-7 HCNT1 の CANCEL ビット=0 のトークン動作例



3.8 エラーステータス

USB ホストは各種エラー情報をサポートしています。

エラーステータス

1. Stuffing Error

   6 ビット連続 1 が発生した場合、0 を 1 ビット挿入します。もし 7 ビット連続 1 が検出された場合、Stuffing Error としてホストエラーステータスレジスタ(HERR)の STUFF ビットが 1 に設定されます。これをクリアするには STUFF ビットに"を書き込んでください。STUFF ビットをクリアせずに次のトークンを実行した場合には、STUFF ビットは次のトークンの終了時に要因が反映されます。

2. Toggle Error

   IN トークン時、データパケットの Toggle データとホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットを比較します。一致しなかった場合ホストエラーレジスタ(HERR)の TGERR ビットが 1 に設定されます。TGERR ビットをクリアするには、ホストエラーレジスタ(HERR)の TGERR ビットに 0 を書き込んでください。TGERR ビットをクリアせずに次のトークンを実行した場合には、TGERR ビットは次のトークンの終了時に要因が反映されます。

3. CRC Error

   IN トークン時点において、受信したデータパケットのデータおよび CRC を CRC の多項式 G(X)=X16+X15+X2+1 で計算します。この剰余が 0x800D ではない場合、CRC error が発生したことになり、ホストエラーレジスタ(HERR)の CRC ビットが 1 に設定されます。CRC bit をクリアするには、ホストエラーレジスタ(HERR)の CRC ビットに 0 を書き込んでください。CRC ビットをクリアせずに次のトークンを実行した場合には、CRC ビットは次のトークンの終了時に要因が反映されます。

4. Time Out Error

   以下のような場合に、ホストエラーステータスレジスタ(HERR)の TOUT ビットに 1 がセットされます。

   - 所定時間内にデータパケットやハンドシェークが入力されなかった場合
   - 受信データ中に SE0 が検出された場合
   - Stuffing Error が検出された場合

   TOUT ビットをクリアするには、ホストエラーレジスタ(HERR)の TOUT ビットに 0 を書き込んでください。TOUT ビットをクリアせずに次のトークンを実行した場合には、TOUT ビットは次のトークンの終了時に要因が反映されます。

5. Receive Error

   受信バッファとして EP1 が使用されている場合は EP1 制御レジスタ(EP1C)の PKS ビットが受信パケットサイズです。EP2 が使用されている場合は EP2 制御レジスタ(EP2C)の PKS ビットが受信パケットサイズです。その受信パケットサイズより多く受信データを受信した場合、ホストエラーステータスレジスタ(HERR)の RERR ビットが"1"に設定されます。RERR ビットをクリアするには、ホストエラーレジスタ(HERR)の RERR ビットに"0"を書き込んでください。RERR ビットをクリアせずに次のトークンを実行した場合には、RERR ビットは次のトークンの終了時に要因が反映されます。

3.9 パケット終了

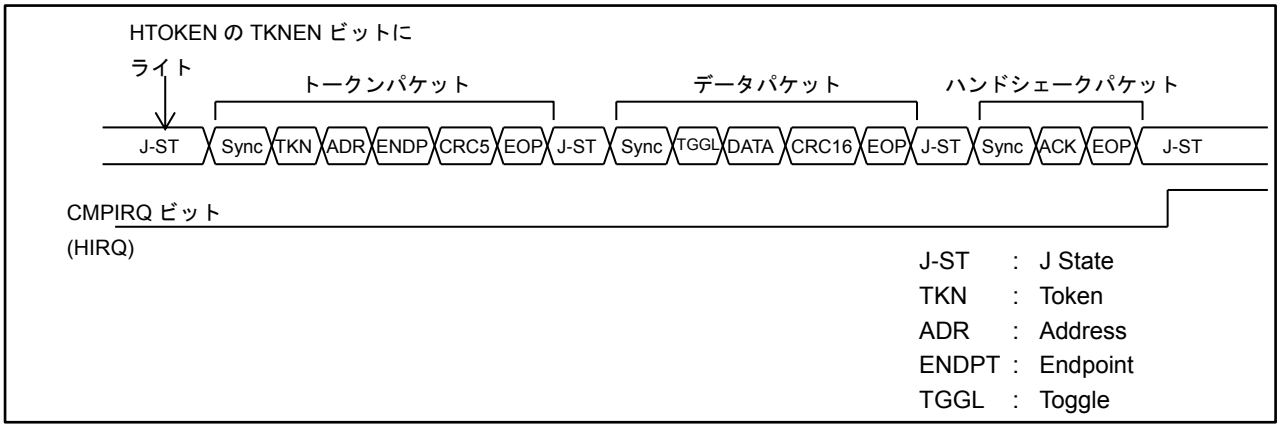
USB ホストにおいて 1 パケット終了すると、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 に設定されます。そのとき、ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが 1 の場合、割込みが発生します。

パケット終了タイミング

1 パケット終了すると、以下のタイミングで割込みフラグが発生します。

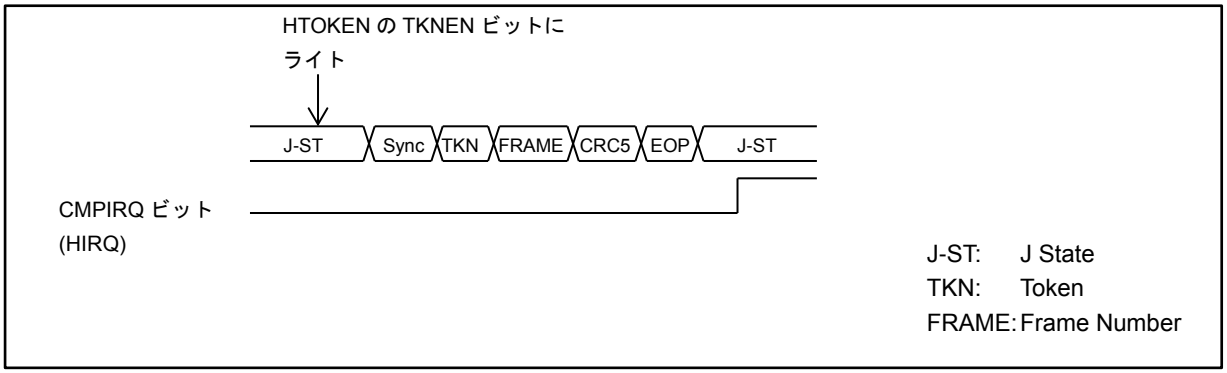
- ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 0b001, 0b010, 0b011 のとき(SETUP トークン, IN トークン, OUT トークン)

Figure 3-8 ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットセットタイミング例 1



ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 0b100 のとき(SOF トークン)

Figure 3-9 ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットセットタイミング例 2(SOF トークン)



3.10 サスペンド・リジューム

USB ホストにおけるサスペンドおよびリジュームをサポートしています。

サスペンド動作

ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットに 1 を書き込むと、以下の順に実行し、USB 回路はサスペンド状態になります。

1. USB バスのハイインピーダンス状態
2. クロックが必要ない回路ブロックの停止

サスペンド状態になった場合には、ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが 1 に設定されます。

USB バスへのリセット中において、以下は禁止です。

- ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 のときやデータの送受信中にサスペンドに設定
- サスペンド中 USB へ供給しているクロックを停止

クロックを停止させる動作を以下に示します。

1. ストップモードまたはタイマモードへの遷移
2. USB クロック設定レジスタ(UCCR)の UCEN ビットを 0 に設定する。

リジューム動作

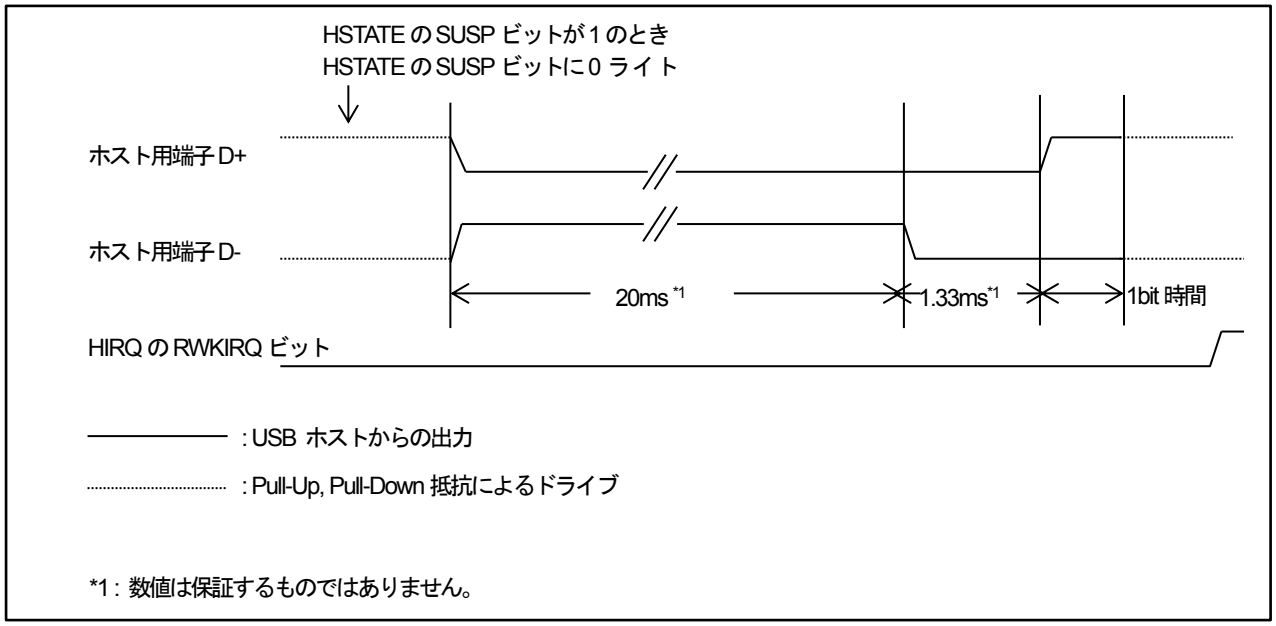
以下のいずれかが成立したとき、Suspend 状態から Resume の動作を開始します。

- ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットに"0"をライト
- ホスト用端子 D+, ホスト用端子 D-が K State になったことを検出
- デバイスが切断されたことを検出
- デバイスが接続されたことを検出

ホスト割込みレジスタ(HRQ)の RWKIRQ ビットが 1 に設定された後、トークンの発行が可能となります。各条件による動作タイミングを以下に示します。

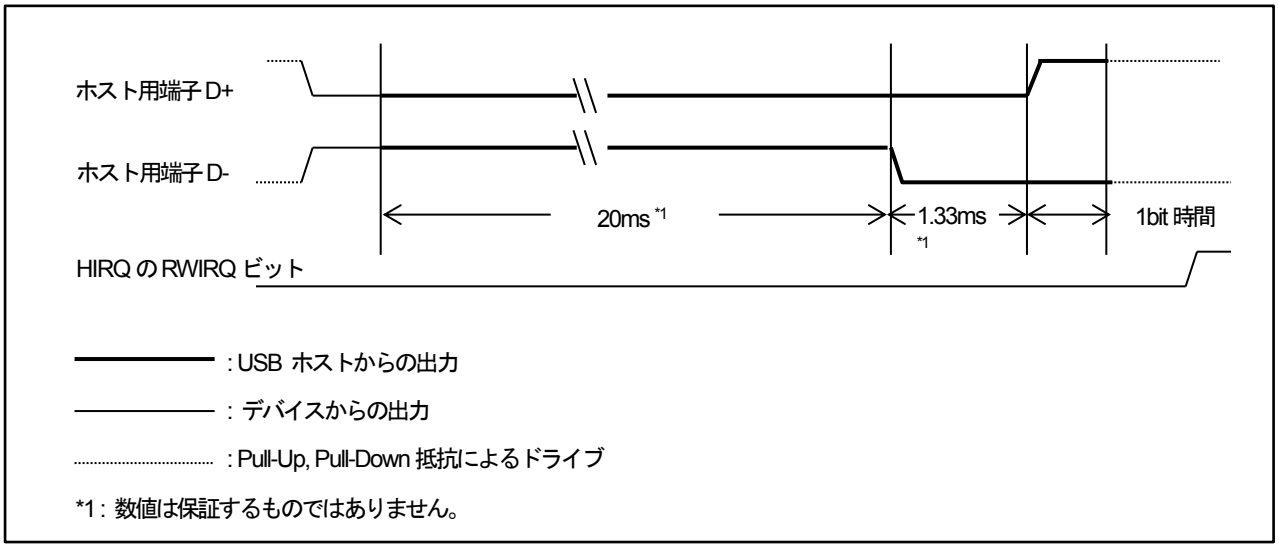
- ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットに 0 をライト

Figure 3-10 レジスタによるリジューム動作(Full Speed モード時)



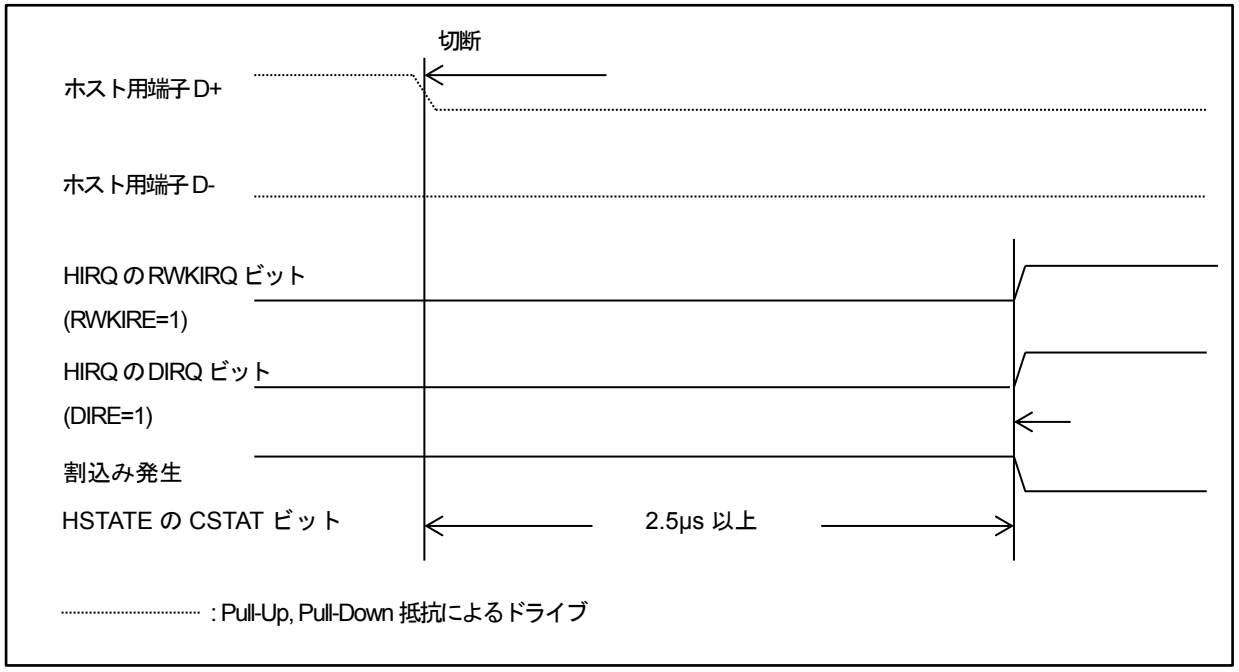
- ホスト用端子 D+, ホスト用端子 D-が K State になったことを検出

Figure 3-11 デバイスからのリジューム動作(Full Speed モード)



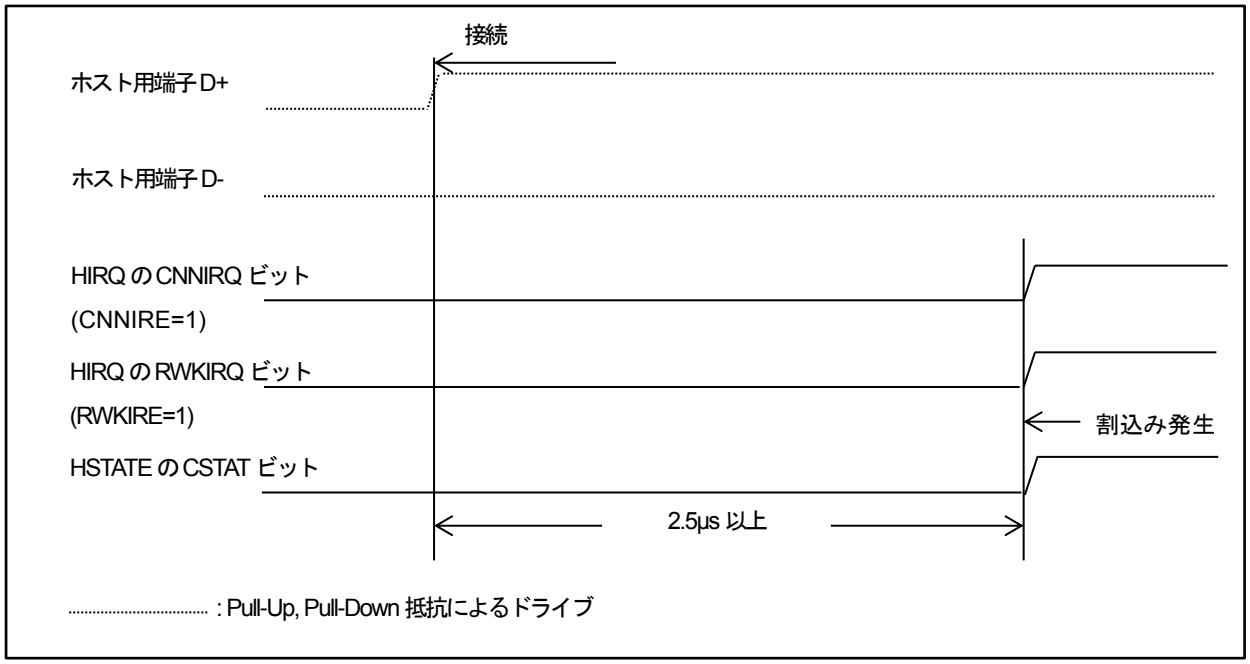
- デバイスが切断されたことを検出

Figure 3-12 デバイス切断によるリジューム動作



- デバイスが接続されたことを検出

Figure 3-13 デバイス接続によるリジューム動作(Full Speed モード)



3.11 デバイスの切断

ホスト用端子 D+, D-ともに L になると切断タイマが起動されます。2.5 µs 以上 L を検出した場合、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 0 になります。

デバイスの切断

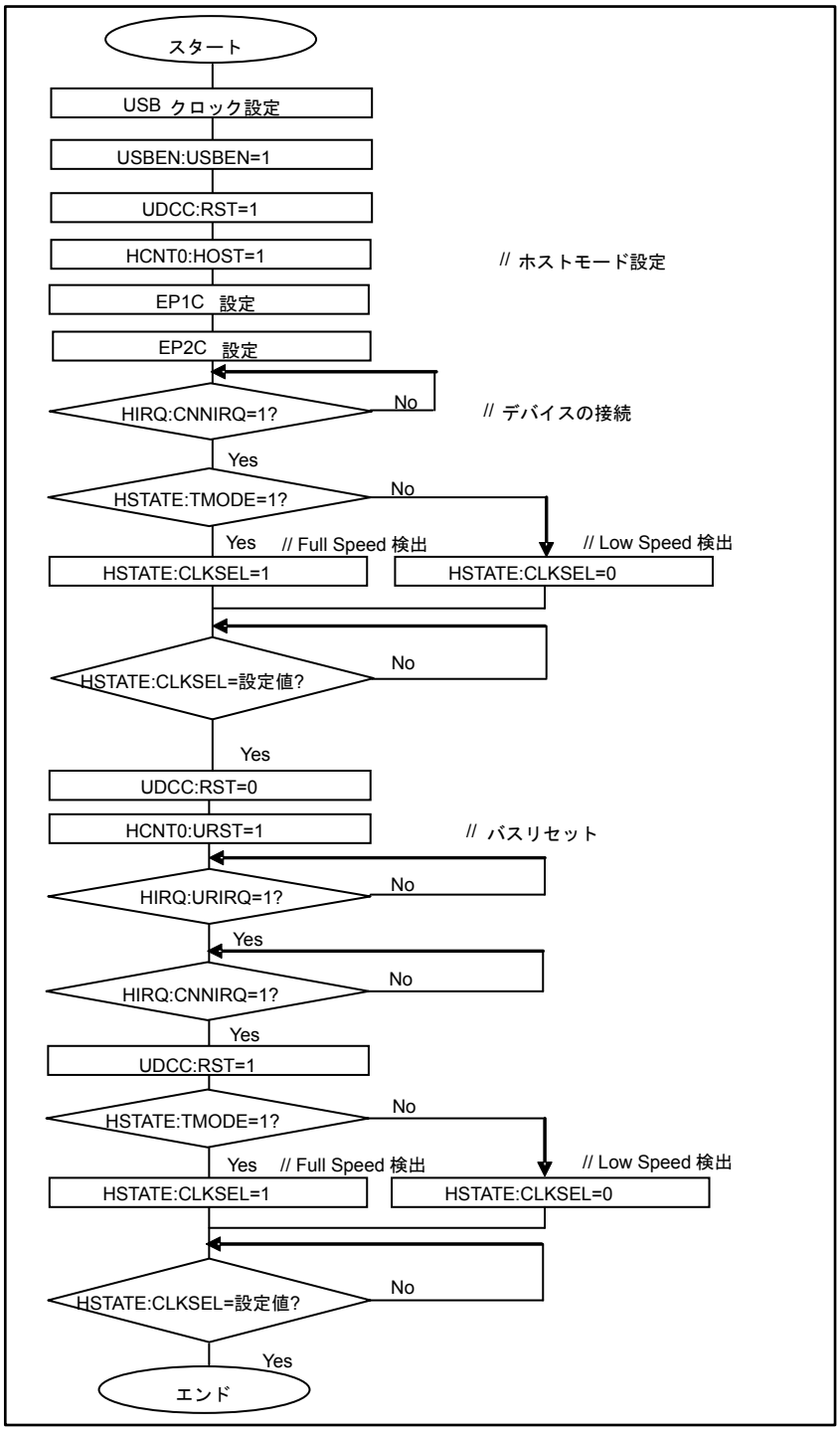
ホストモード, ファンクションモードに関係なくホスト用端子 D+, ホスト用端子 D-が両方とも 2.5 µs 以上 L を検出すると、デバイスが切断されたと判断されます。この結果、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 0 となり、ホスト割込みレジスタ(HIRQ)の DIRQ ビットは 1 に設定されます。そのときホストコントロールレジスタ 0(HCNT0)の DIRE ビットが"1"の場合、割込みが発生します。その割込みをクリアしたい場合には、ホスト割込みレジスタ(HIRQ)の DIRQ ビットに 0 を書き込んでください。

USB バスへのリセットを実行すると切断されたと判断されます。この場合、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 0 になりますが、ホスト割込みレジスタ(HIRQ)の DIRQ ビットは 1 になりません。

4. USB ホストの設定手順例

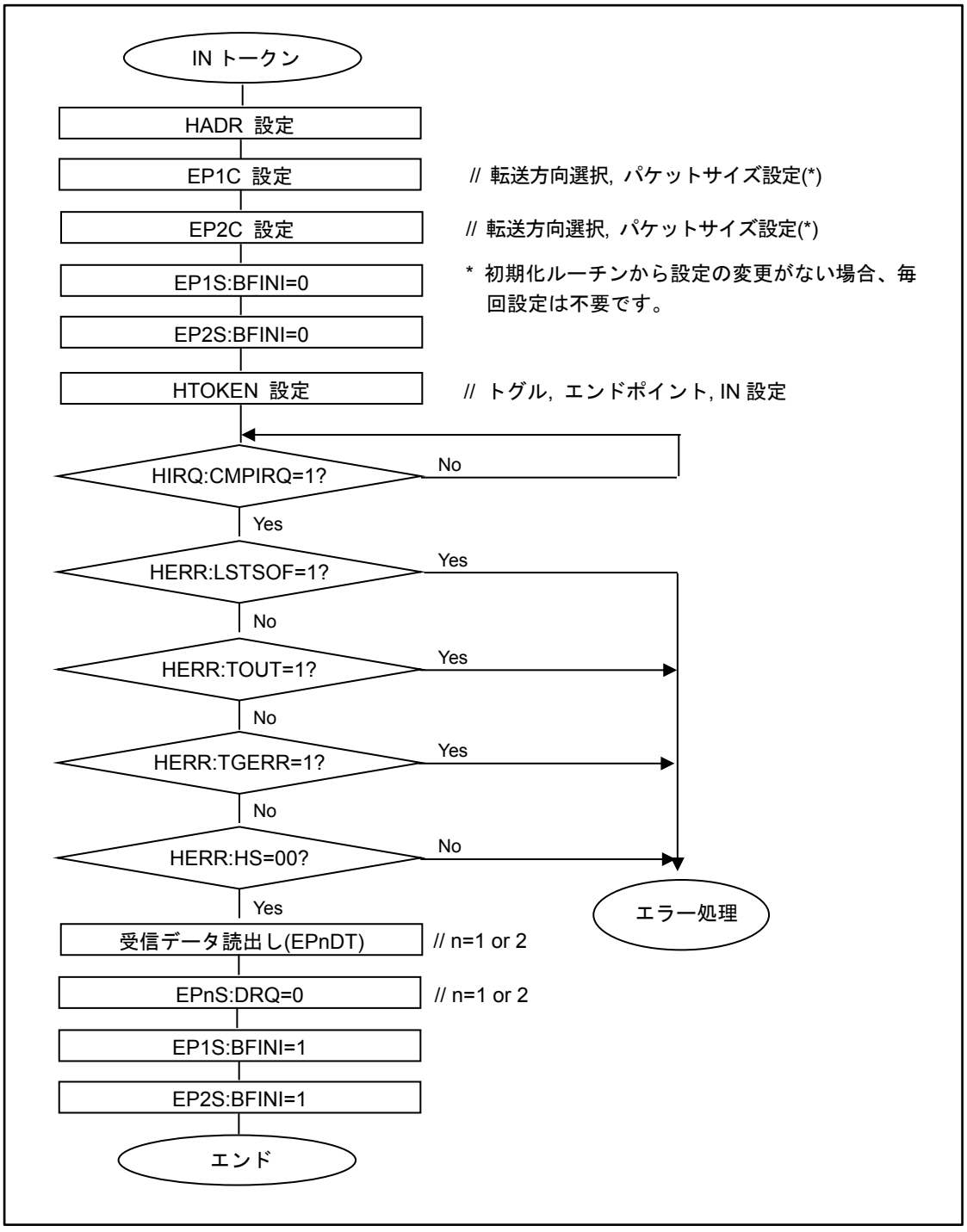
USB ホストの各トークンのフローチャートを以下に示します。

初期化，デバイス検出

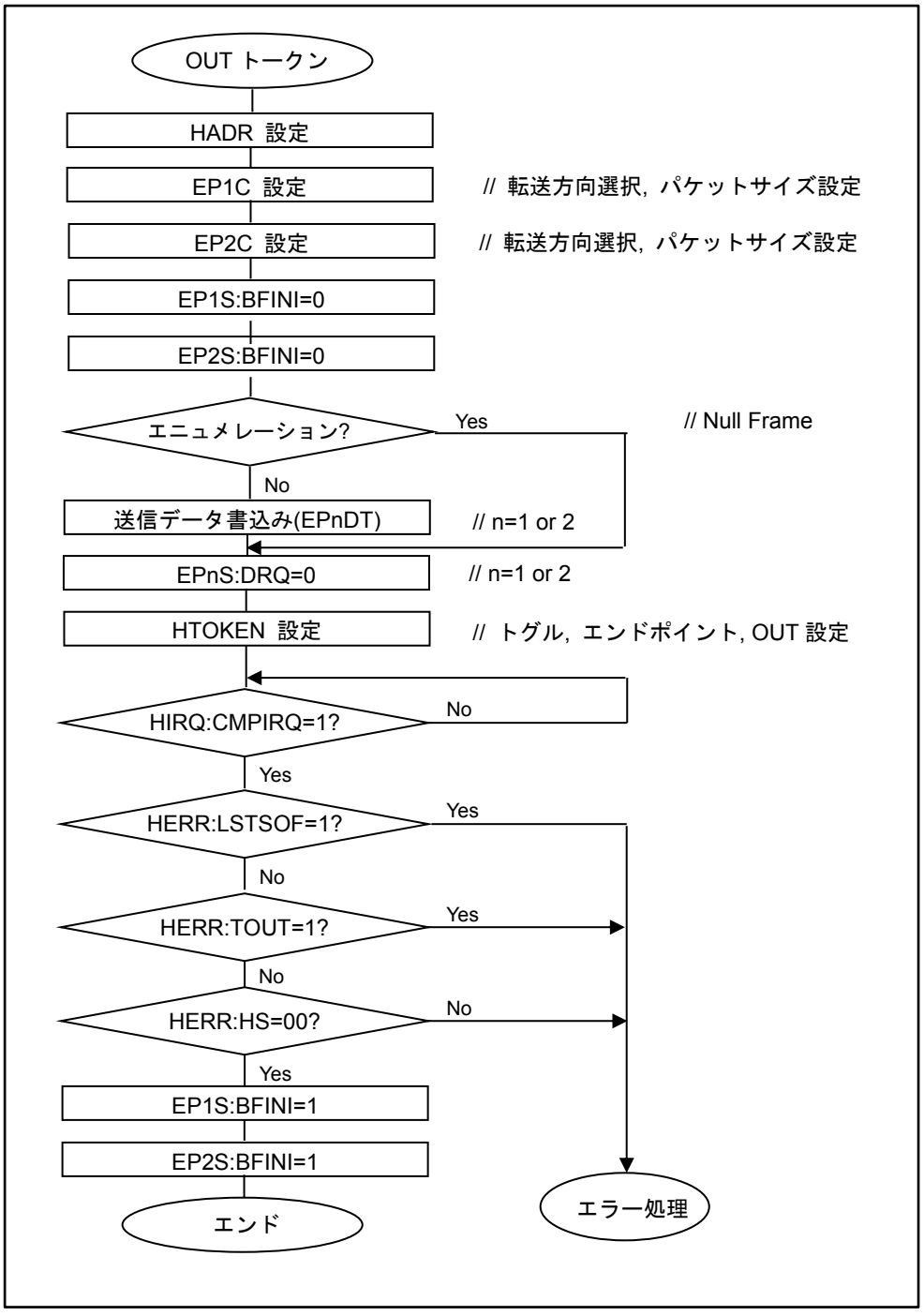


IN, OUT, SETUP トークン

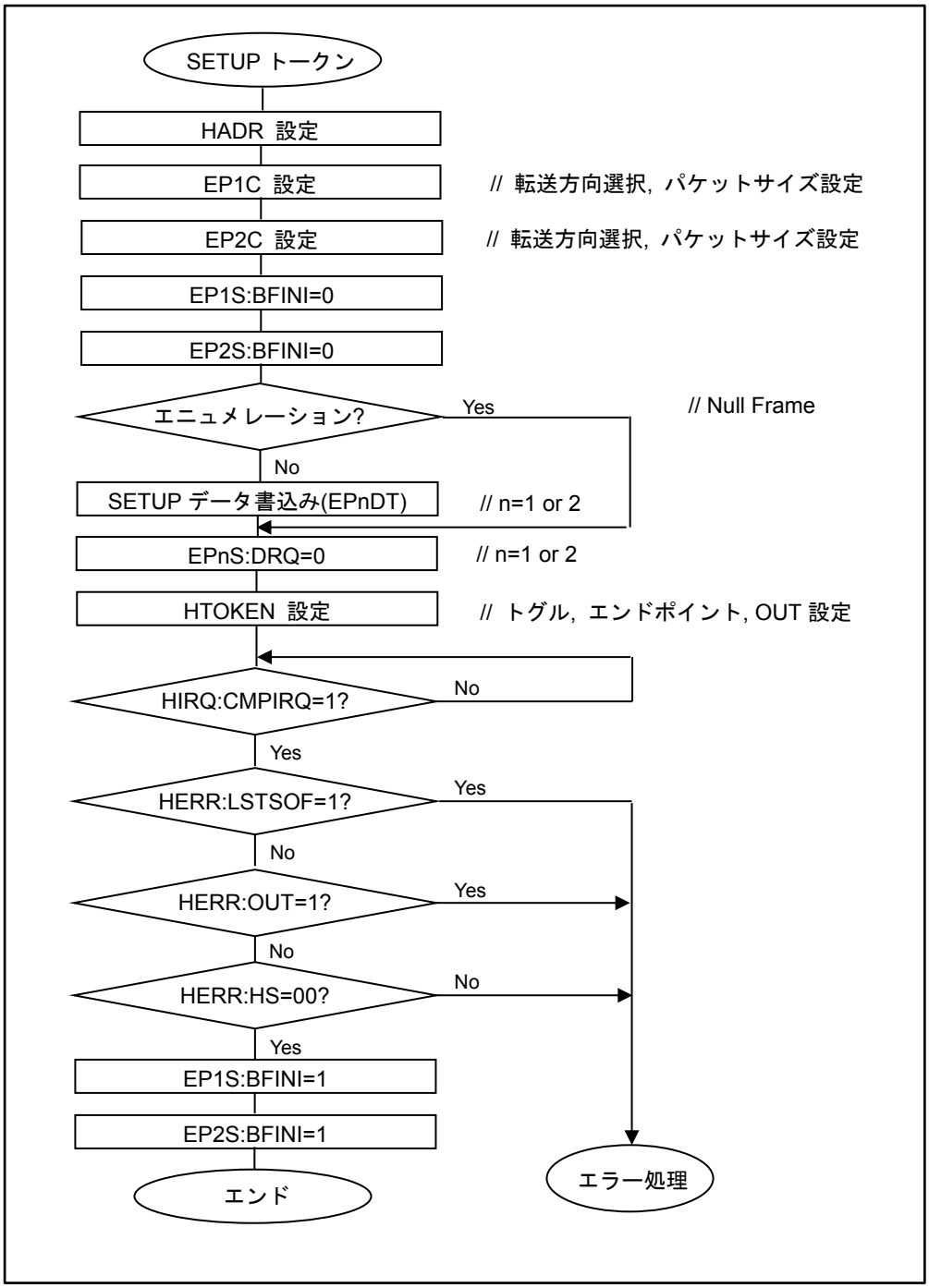
■ IN トークン



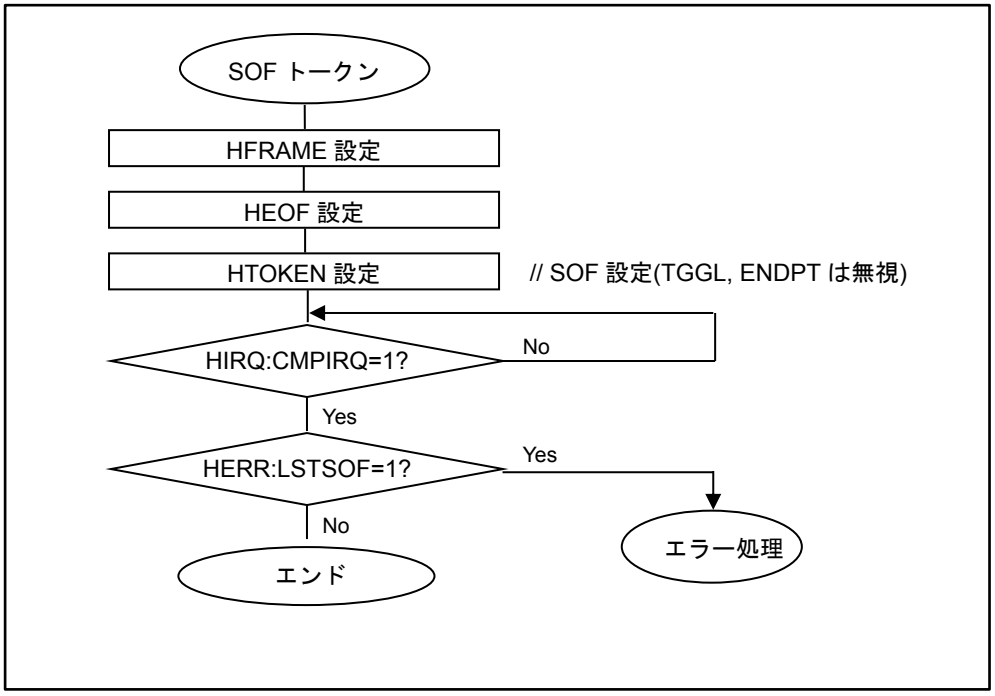
■ OUT トークン


OUT トークン
HADR 設定
EP1C 設定
// 転送方向選択, パケットサイズ設定
EP2C 設定
// 転送方向選択, パケットサイズ設定
EP1S:BFINI=0
EP2S:BFINI=0
エニュメレーション?
Yes
// Null Frame
No
送信データ書込み(EPnDT)
// n=1 or 2
EPnS:DRQ=0
// n=1 or 2
HTOKEN 設定
// トグル, エンドポイント, OUT 設定
HIRQ:CMPIRQ=1?
No
Yes
HERR:LSTSOF=1?
Yes
No
HERR:TOUT=1?
Yes
No
HERR:HS=00?
No
Yes
EP1S:BFINI=1
EP2S:BFINI=1
エンド
エラー処理

■ SETUP トークン


SETUP トークン
HADR 設定
EP1C 設定
// 転送方向選択，パケットサイズ設定
EP2C 設定
// 転送方向選択，パケットサイズ設定
EP1S:BFINI=0
EP2S:BFINI=0
エニュメレーション?
Yes
// Null Frame
No
SETUP データ書込み(EPnDT)
// n=1 or 2
EPnS:DRQ=0
// n=1 or 2
HTOKEN 設定
// トグル，エンドポイント, OUT 設定
HIRQ:CMPIRQ=1?
No
Yes
HERR:LSTSOF=1?
Yes
No
HERR:OUT=1?
Yes
No
HERR:HS=00?
No
Yes
EP1S:BFINI=1
EP2S:BFINI=1
エンド
エラー処理

SOF トークン


SOF トークン
HFRAME 設定
HEOF 設定
HTOKEN 設定
// SOF 設定(TGGL, ENDPT は無視)
HIRQ:CMPIRQ=1?
No
Yes
HERR:LSTSOF=1?
Yes
No
エラー処理
エンド

5. USB ホストのレジスタ

USB ホストで使用するレジスタの構成と機能について説明します。

USB ホストのレジスター覧

レジスタ略称	レジスタ名	参照先
UDCC	UDC 制御レジスタ	*
EP1C	EP1 制御レジスタ	*
EP2C	EP2 制御レジスタ	*
EP1S	EP1 ステータスレジスタ	*
EP2S	EP2 ステータスレジスタ	*
EP1DTH	EP0 データレジスタ上位	*
EP1DTL	EP0 データレジスタ下位	*
EP2DTH	EP0 データレジスタ上位	*
EP2DTL	EP0 データレジスタ下位	*
HCNT0	ホストコントロールレジスタ 0	5.1
HCNT1	ホストコントロールレジスタ 1	5.1
HIRQ	ホスト割込みレジスタ	5.2
HERR	ホストエラーステータスレジスタ	5.3
HSTATE	ホスト状態ステータスレジスタ	5.4
HFCOMP	SOF 割込み FRAME 比較レジスタ	5.5
HRTIMER	リトライタイマ設定レジスタ	5.6
HADR	ホストアドレスレジスタ	5.7
HEOF	EOF 設定レジスタ	5.8
HFRAME	FRAME 設定レジスタ	5.9
HTOKEN	ホストトークンエンドポイントレジスタ	5.10

*: 『USB ファンクション』の章を参照してください。

レジスタビット更新タイミングの UDCC:RST 依存性一覧

	レジスタ	ビット
UDCC:RST=1 のときに更新しなければいけないレジスタビット	HCNT0	HOST
	HSTATE	CLKSEL
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
UDCC:RST=1 のときに初期化されるレジスタビット (UDCC:RST=0 のときに更新してください。)	HCNT0	URST
	HIRQ	TCAN, RWKIRQ, URIRQ, CMPIRQ, CNNIRQ, DIRQ, SOFIRQ
	HERR (全ビット)	LSTSOF, RERR, TOUT, CRC, TGERR, STUFF, HS
	HSTATE	SOFBUSY, SUSP
	HFRAME	FRAME0, FRAME1
	HTOKEN (全ビット)	TGGL, TKNEN, ENDPT
	EP1S	BFINI, DRQ, SPK
	EP2S	BFINI, DRQ, SPK
UDCC:RST に影響されないレジスタビット	HCNT0	RWKIRE, URIRE, CMPIRE, CNNIRE, DIRE, SOFIRE
	HCNT1	SOFSTEP, CANCEL, RETRY
	HIRQ	CNNIRQ, DIRQ
	HFCOMP	HFRAMECOMP
	HSTATE	TMODE, CSTAT
	HRTIMER0, 1, 2	RTIMER0, 1, 2
	HADR	Address
	HEOF	EOF0, 1

5.1 ホストコントロールレジスタ 0, 1(HCNT)

ホストコントロールレジスタ 0, 1(HCNT)は、USB の動作モードおよび割込みの設定を指定します。

ホストコントロールレジスタ 1(HCNT1)

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	SOFSTEP	CANCEL	RETRY
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1
リセット可否*	×	×	×	×	×	×	×	×

*: UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

ホストコントロールレジスタ 0(HCNT0)

bit	7	6	5	4	3	2	1	0
Field	RWKIRE	URIRE	CMPIRE	CNNIRE	DIRE	SOFIRE	URST	HOST
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
リセット可否*	×	×	×	×	×	×	○	×

*: UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15:11] 予約 : 予約ビット

必ず 0 を設定してください。

[bit10] SOFSTEP (SOF STEP) SOF 割込み発生選択ビット

SOF 割込み発生選択ビットです。

本ビットに 1 を設定した場合、SOF を実行するごとに SOF による割込みフラグ(HIRQ:SOFIRQ)が"1"に設定されます。

本ビットに 0 を設定した場合、SOF 割込み FRAME 比較レジスタ(HFCOMP)の設定値と SOF の FRAME Number の下位 8 ビットと比較し、一致した場合、SOF による割込みフラグ(HIRQ:SOFIRQ)が 1 に設定されます。

bit	説明
0	HFCOMP の設定により割込み発生
1	割込み発生

<注意事項>

- *ホストトークンエンドポイントレジスタ(HTOKEN)により SOF トークン(TKNEN=001)を実行した場合、本ビットの設定に関係なく、SOF による割込みフラグ(HIRQ:SOFIRQ)は 1 になりません。*
- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit9] CANCEL (token CANCEL enable) トークン中止許可ビット

トークン中止許可ビットです。

本ビットに 1 を設定した場合、EOF 領域(EOF 設定レジスタで領域設定)でホストトークンエンドポイントレジスタ(HTOKEN)に実行するトークンが書き込まれると、そのトークンの実行を中止します。本ビットに"0"を設定した場合、実行するトークンが書き込まれても実行を中止しません。トークンの実行を中止したことは、ホスト割込みレジスタ(HIRQ)の TCAN ビットを読み出すことによってわかります。

Bit	説明
0	トークン継続
1	トークン中止

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit8] RETRY (RETRY enable) リトライ許可ビット

リトライ許可ビットです。

本ビットに 1 を設定した場合、NAK および各種エラー*が発生すると、そのトークンのリトライを実行します。リトライはリトライタイマ設定レジスタ(HRTIMER)で設定された時間だけ実行します。

* : HERR:RERR=1, HERR:TOUT=1, HERR:CRC=1, HERR:TGERR=1, HERR:STUFF=1

bit	説明
0	リトライしない
1	リトライする

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit7] RWKIRE (Remove WaKe up Interrupt Request Enable) リジューム割込み許可ビット

リジューム割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の RWKIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の RWIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	再起動後割込み禁止
1	再起動後割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。*

[bit6] URIRE (Usb bus Rest Interrupt Request Enable) バスリセット割込み許可ビット

バスリセット割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の URIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の URIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	USB バスリセット後割込み禁止
1	USB バスリセット後割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit5] CMPIRE (CoMPletion Interrupt Request Enable) トークン完了割込み許可ビット

トークン完了割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	完了時割込み禁止
1	完了時割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit4] CNNIRE (CoNNection Interrupt Request Enable) Device 接続検出割込み許可ビット

Device 接続検出割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の CNNIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定するとホスト割込みレジスタ(HIRQ)の CNNIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	デバイス接続時割込み禁止
1	デバイス接続時割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit3] DIRE (Disconnection Interrupt Request Enable) Device 切断検出割込み許可ビット

Device 切断検出割込み許可ビットです。

本ビットに 1 を設定した場合､ホスト割込みレジスタ(HIRQ)の DIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の DIRQ ビットが 1 になっても割込みが発生しません。

bit	説明
0	デバイス切断時割込み禁止
1	デバイス切断時割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit2] SOFIRE (Start Of Frame Interrupt Request Enable) SOF 割込み許可ビット

SOF 割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の SOFIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の SOFIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	SOF 送信時に割込み禁止
1	SOF 送信時に割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit1] URST (Usb bus ReSeT) バスリセットビット

バスリセットビットです。

本ビットに 1 を設定するとバスリセットを実行します。バスリセット実行中、本ビットは 1 を示し、バスリセットが終了すると本ビットは 0 となります。本ビットに 0 を設定した場合には、何も行いません。

bit	説明
0	USB バス状態保持
1	バスリセット

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 の状態で、本ビットに 1 を設定しても何も実行しません。*
- *ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが 1 またはトークン実行中に本ビットに 1 を設定することは禁止です。*
- *本ビットが 1 の間、ホストコントロールレジスタ(HCNT0, 1)への書込みは禁止です。*

[bit0] HOST (HOST mode) ホストモードビット

ホストモードビットです。

本ビットに 1 を設定するとホストとして動作します。本ビットに 0 を設定した場合、ファンクションとして動作します。

bit	説明
0	ファンクションモード
1	ホストモード

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *本ビットの変更は UDC 制御レジスタ(UDCC)の RST ビットが 1 のときに行ってください。*
- *本ビットによって動作モードを変更した場合、すぐにその動作モードに切り替わりません。本ビットを読み出し、動作モードが切り替わったことを確認してください。*
- *ホストモードからファンクションモードに変更する場合、以下の条件を満たしていることを確認し、UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定してから変更してください。*
- *ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 0 である。*
- *ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 000 である。*
- *ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが 0 である。*
- *ファンクションモードからホストモードに変更する場合、UDC 制御レジスタ(UDCC)の HCONX ビットに 1 を設定してホストまたは HUB を切断状態にして変更してください。*

5.2 ホスト割込みレジスタ(HIRQ)

ホスト割込みレジスタ(HIRQ)は、USB ホストの割込み要求フラグを示します。TCAN ビットを除いてホストコントロールレジスタ(HCNT0, 1)の割込み許可ビットの設定により、割込みを発生させられます。

ホスト割込みレジスタ(HIRQ)はバイトでアクセスしてください。

bit	7	6	5	4	3	2	1	0
Field	TCAN	予約	RWKIRQ	URIRQ	CMPIRQ	CNNIRQ	DIRQ	SOFIRQ
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
リセット可否*	○	○	○	○	○	×	×	○

*: UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit7] TCAN (Token CANcel flag) トークン中止フラグ

トークン中止フラグです。

本ビットが 1 になるとホストコントロールレジスタ 1(HCNT1)の CANCEL ビットにしたがってトークンの実行が中止されたことを示します。本ビットが 0 のときは、トークンの実行が中止されなかったことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	トークン中止なし
1	トークン中止あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *本ビットによる割込みは発生しません。したがって割込みで処理したい場合、SOF による割込み処理の中でトークンが中止されたか確認してください。*

[bit6] 予約 : 予約ビット

必ず 0 を設定してください。

[bit5] RWKIRQ (Remove WaKe up Interrupt ReQuest) リモートウェイクアップ終了フラグ

リモートウェイクアップ終了フラグです。

本ビットが 1 になるとリモートウェイクアップが終了したことを示します。本ビットが"0"の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の RWKIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	再起動による割込み要求なし
1	再起動による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit4] URIRQ (Usb bus Reset Interrupt ReQuest) バスリセット終了フラグ

バスリセット終了フラグです。

本ビットが 1 になると USB バスへのリセットが終了したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の URIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	USB バスリセットによる割込み要求なし
1	USB バスリセットによる割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit3] CMPIRQ (CoMPletion Interrupt ReQuest) トークン完了フラグ

トークン完了フラグです。

本ビットが 1 になるとトークンが完了したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは"0"になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	トークン完了による割込み要求なし
1	トークン完了による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *ホスト割込みレジスタ(HIRQ)の TCAN ビットが 1 になっても本ビットは 1 になりません。*
- *N トークンまたは Isochronous IN トークン完了により本ビットが 1 になった場合、以下の処理を行ってください。*
  1).ホストエラーステータスレジスタ(HERR)の HS ビットを読み出します。その後、本ビットに 0 を設定してください。
  2).ホストエラーステータスレジスタ(HERR)の HS ビットが 00 の時、EPn ステータスレジスタ(EPnS)(n=1 or 2)の DRQIE ビットに 1 を設定し、DRQ ビットが 1 になるのを待ちます。HS ビットが 00 以外の時、IN トークンの処理を終了します。
  3).EPn ステータスレジスタ(EP2S)(n=1 or 2)の DRQ ビットが 1 になった場合、受信データを読み出します。

[bit2] CNNIRQ (CoNNection Interrupt ReQuest) Device 接続検出フラグ

Device 接続検出フラグです。

本ビットが 1 になると Device の接続を検出したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは"0"になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の CNNIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	デバイス接続検出による割込み要求なし
1	デバイス接続検出による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *ファンクションモードでも Device の接続を検出します。*

[bit1] DIRQ (Disconnection Interrupt ReQuest) Device 切断検出フラグ

Device 切断検出フラグです。

本ビットが 1 になると Device の切断を検出したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の DIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	デバイス切断検出による割込み要求なし
1	デバイス切断検出による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *ファンクションモードでも Device の切断を検出します。*

[bit0] SOFIRQ (Start Of Frame Interrupt ReQuest) SOF 開始フラグ

SOF 開始フラグです。

本ビットが 1 になると SOF トークンの実行を開始したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の SOFIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

bit	説明
0	SOF トークン開始による割込み要求なし
1	SOF トークン開始による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

5.3 ホストエラーステータスレジスタ(HERR)

ホストエラーステータスレジスタ(HERR)は、ホストモード時のデータ送信および受信中にエラーが発生したかどうかを示すレジスタです。

ホストエラーステータスレジスタ(HERR)はバイトでアクセスしてください。

bit	15	14	13	12	11	10	9	8
Field	LSTSOF	RERR	TOUT	CRC	TGERR	STUFF	HS	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	11	
リセット可否*	○	○	○	○	○	○	○	

*: UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15] LSTSOF (LoST SOF) ロスト SOF フラグ

ロスト SOF フラグです。

本ビットが 1 になると、ホストモードで SOF トークンを実行しようとしたとき、ほかのトークンを実行していて SOF トークンが実行できなかったことを示します。本ビットが 0 のときはロスト SOF エラーが検出されていないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	SOF 実行
1	SOF 実行エラー

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit14] RERR (Receive Error) 受信エラーフラグ

受信エラーフラグです。

本ビットが 1 になると、ホストモード時、設定された最大パケット数より多いデータが受信されたことを示します。受信エラーが検出された場合には、本レジスタの bit5(TOUT)も 1 に設定されます。本ビットが 0 のときはエラーが発生していないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	受信エラーなし
1	最大パケット受信エラー

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit13] TOUT (Time OUT) タイムアウトフラグ

タイムアウトフラグです。

本ビットが 1 になると、ホストモード時にトークンへ対して所定時間内に Device から応答がなかったことを示します。本ビットが 0 のとき、タイムアウトが検出されていないことを示します。本ビットが 0 のときはエラーが発生していないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	タイムアウトなし
1	タイムアウトあり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit12] CRC (CRC error) CRC エラーフラグ

CRC エラーフラグです。

本ビットが 1 になるとホストモード時、CRC エラーが検出されたことを示します。本ビットが 0 のとき、CRC エラーが検出されていないことを示します。CRC エラーが発生した場合には、本レジスタの bit5(TOUT)も 1 に設定されます。本ビットが 0 のときは CRC エラーが検出されていないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	CRC エラーなし
1	CRC エラーあり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit11] TGERR (ToGgle ERRor) トグルエラーフラグ

トグルエラーフラグです。

本ビットが 1 になると、ホストモード時、受信したトグルと不一致ししたことを示します。本ビットが 0 のとき、トグルエラーが検出されていないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	トグルエラーなし
1	トグルエラーあり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit10] STUFF (STUFFing error) スタッフィングエラーフラグ

スタッフィングエラーフラグです。

本ビットが 1 になるとビットスタッフィングでエラーが検出されたことを示します。本ビットが 0 のとき、スタッフィングエラーが検出されていないことを示します。スタッフィングエラーが検出された場合には、本レジスタの bit5(TOUT)も 1 に設定されます。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

Bit	説明
0	スタッフィングエラーなし
1	スタッフィングエラーあり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit9:8] HS (Hand Shake status) ハンドシェークステータスフラグ

ハンドシェークステータスフラグです。

本フラグによって送受信のハンドシェーク状態を示します。

Error でハンドシェークが発生しない場合およびホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットでの SOF トークンを終了した場合には NULL を示します。

本ビットは送受信終了時に更新します。以下の条件のとき、HS ビットに書いた場合、HS ビットは 11 になります。そのほかの条件では HS ビットへの書込みは無視されます。

- HS ビットが 11 以外で HS ビットの書込みデータが 11 の場合

bit9	bit8	ハンドシェーク
0	0	ACK
0	1	NAK
1	0	STALL
1	1	NULL

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

5.4 ホスト状態ステータスレジスタ(HSTATE)

ホスト状態ステータスレジスタ(HSTATE)は、デバイスの接続, 転送モードなどを USB 回路の状態を示すレジスタです。CLKSEL ビットは、ファンクションモードでも設定が有効なため、注意してください。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	ALIVE	CLKSEL	SOFBUSY	SUSP	TMODE	CSTAT
属性	-		R/W	R/W	R/W	R/W	R	R
初期値	X		0	1	0	0	1	0
リセット可否*	-		×	×	○	○	×	×

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit7:6] 予約 : 予約ビット

読出し時は不定です。書込み時は"0"または 1 どちらを書いても LSI の動作に影響しません。

[bit5] ALIVE (keep-ALIVE)

Low Speed 時 Keep-Alive 機能を設定します。ホスト状態ステータスレジスタ(HSTATE)の CLKSEL ビットが 0 のとき、1 に設定すると SOF の代わりに SE0 を出力します。ホスト状態レジスタの CLKSEL ビットが 0 のとき有効で、CLKSEL ビットが 1 の場合には ALIVE ビットの設定に関係なく SOF を出力します。

bit	説明
0	SOF 出力
1	SE0 出力(Kepp-Alive)

[bit4] CLKSEL (CLocK SELect) USB 動作クロック選択ビット

USB 動作クロック選択ビットです。

bit	説明
0	Low Speed 用 Clock
1	Full Speed 用 Clock

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *本ビットの変更は UDC 制御レジスタ(UDCC)の RST ビットが 1 のときに行ってください。*
- *本ビットの設定はファンクションモードでも有効です。*
  ファンクションモード時は、本ビットに 0 を設定することは禁止です。
- *オンチップバス(HCLK)クロックは 13 MHz 以上で使用してください。*

[bit3] SOFBUSY (SOF BUSY) SOF ビジーフラグ

SOF ビジーフラグです。

本ビットは、ホストトークンエンドポイントレジスタ(HTOKEN)で SOF トークンを実行すると本ビットが 1 になり、SOF Timer が動作中を示します。本ビットが 0 のとき、SOF Timer が停止中であることを示します。SOF Timer が動作中のとき、SOF Timer を停止させたい場合、本ビットに 0 を書くことによって停止します。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	SOF タイマ停止
1	SOF タイマ動作中

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *SOF Timer を停止させるために本ビットに 0 を書いてもすぐに SOF Timer は停止しないため本ビットを読み出すことによって停止したことを確認できます。*

[bit2] SUSP (SUSPend) サスペンド設定ビット

サスペンド設定ビットです。

本ビットに 1 を設定するとサスペンド状態になります。本ビットに 1 を設定した状態で本ビットに 0 を設定する、または USB バスが k-state 状態になったことを検出すると、サスペンド状態が解除されてホスト割込みレジスタ(HIRQ)の RWIRQ ビットが 1 になります。

Table 5-1 Suspend 設定

bit	動作
1 書込み	Suspend
1 状態で 0 書込み	Resume
その他	状態保持

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *USB が動作中(USB バスへのリセット，データの送受信, SOF Timer 動作中)、本ビットに 1 を設定しないでください。*
- *サスペンド状態でも USB 用クロックを停止することは禁止です。*
- *本ビットの設定を変更した場合、すぐにその状態に変更されるわけではありません。本ビットを読み出すことによって変更されたことを確認できます。*

[bit1] TMODE (Transmission MODE) 転送モードフラグ

転送モードフラグです。

本ビットが 1 のとき、Full Speed Device が接続されたことを示します。本ビットが 0 のとき、Low Speed Device が接続されたことを示します。ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 1 のとき、有効です。

bit	説明
0	Low Speed
1	Full Speed

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *ベースクロック(HCLK)は 13 MHz 以上で使用してください。*

[bit0] CSTAT (Connect STATus) 接続状態フラグ

接続状態フラグです。

本ビットが 1 のとき、Device が接続されていることを示します。本ビットが 0 のとき、Device が切断されていることを示します。

bit	説明
0	デバイス切断
1	デバイス接続

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

5.5 SOF 割込み FRAME 比較レジスタ(HFCOMP)

SOF 割込み FRAME 比較レジスタ(HFCOMP)は、SOF トークン時の FRAME Number の下位 8 ビットと比較するデータを設定するレジスタです。ホストコントロールレジスタ 0(HCNT0)の SOFSTEP ビットが 0 の場合、本レジスタと FRAME Number の下位 8 ビットを比較します。比較結果が一致した場合には、SOF 送信開始時にホスト割込みレジスタ(HIRQ)の SOFIRQ ビットが 1 になります。ホストコントロールレジスタ 0(HCNT0)の SOFIRE ビットが"1"の場合、割込みが発生します。

bit	15	14	13	12	11	10	9	8
Field	FRAMECOMP							
属性	R/W							
初期値	00000000							
リセット可否*	×							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit15:8] FRAMECOMP : FRAME 比較データ

FRAME 比較データです。

SOF トークン時の Frame Number の下位 8 ビットと比較するデータを設定します。

ホストコントロールレジスタ 0(HCNT0)の SOFSTEP ビットが 0 の場合、SOF トークン時、SOF の Frame Number と本レジスタ値を比較し、一致すればホスト割込みレジスタ(HIRQ)の SOFIRQ ビットに 1 が設定されます。

ホストコントロールレジスタ 0(HCNT0)の SOFSTEP ビットが 0 の場合、本レジスタの設定は無効です。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

5.6 リトライタイマ設定レジスタ(HRTIMER)

リトライタイマ設定レジスタ(HRTIMER)は、トークンのリトライ時間を設定するレジスタです。

bit	15	14	13	12	11	10	9	8
Field	RTIMER1							
属性	R/W							
初期値	00000000							
リセット可否*	×							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

bit	7	6	5	4	3	2	1	0
Field	RTIMER0							
属性	R/W							
初期値	00000000							
リセット可否*	×							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

bit	7(23)	6(22)	5(21)	4(20)	3(19)	2(18)	1(17)	0(16)
Field	予約						RTIMER2	
属性	-						R/W	
初期値	X						00	
リセット可否*	-						×	

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit23:18] 予約 : 予約ビット

読出し時は不定です。書込み時は 0 または 1 どちらを書いても LSI の動作に影響しません。

[bit17:0] HRTIMER0, 1, 2 : リトライタイマ設定ビット

リトライタイマ設定ビットです。

本レジスタにリトライする時間を設定します。ホストコントロールレジスタ(HCNT1)の RETRY ビットが 1 のとき、トークンが開始されるとリトライタイマが起動されます。その後、1 ビットの転送クロック(Full Speed の場合、12MHz)によりタイマが-1 されます。リトライタイマが 0 になった場合、そのときのトークンを実行して終了します。

トークンのリトライが EOF 領域で発生した場合には SOF の実行が終了するまでリトライタイマは停止します。SOF の実行終了後、停止したタイマ値から開始します。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。また、UDC 制御レジスタ(UDCC)の RST ビットが 1 のときに書き込んだ場合、書込みは無視されます。*
- *本レジスタはホストモード時に書いてください。ファンクションモード時は、本レジスタの bit15～bit0 は 0 になります。本レジスタの bit15～bit0 に書き込んでも無視されます。*

5.7 ホストアドレスレジスタ(HADR)

ホストアドレスレジスタ(HADR)は、トークンを送信する際のアドレスフィールドに使用されるレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約	Address						
属性	-	R/W						
初期値	X	0000000						
リセット可否*	-	×						

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit15] 予約 : 予約ビット

読出し時は不定です。書込み時は 0 または 1 どちらを書いても LSI の動作に影響しません。

[bit14:8] Address : アドレスビット

アドレスビットです。

トークンのアドレスを設定します。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

5.8 EOF 設定レジスタ(HEOF)

EOF 設定レジスタ(HEOF)は、SOF トークン実行前のトークン禁止時間を設定するレジスタです。以下の 2 つの条件を満たす場合、SOF トークン実行後、要求トークンを実行します。

- SOF 用タイマと本レジスタのデータを比較し、本レジスタのデータより SOF タイマが小さい
- IN トークン, OUT トークン, SETUP トークンのいずれか実行要求があった

これは、ハードウェアで生成する SOF トークンと他のトークンが同時に実行させないための機能です。本レジスタの時間単位は 1 ビット転送時間です。

bit	15	14	13	12	11	10	9	8
Field	予約		EOF1					
属性	-		R/W					
初期値	X		000000					
リセット可否*	-		×					

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

bit	7	6	5	4	3	2	1	0
Field	EOF0							
属性	R/W							
初期値	00000000							
リセット可否*	×							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit15:14] 予約 : 予約ビット

読出し時は不定です。書込み時は 0 または 1 どちらを書いても LSI の動作に影響しません。

[bit13:0] EOF1, EOF0 (End Of Frame) EOF ビット

EOF ビットです。

SOF 実行前のトークン実行禁止時間を設定します。1 パケット長よりマージンを持って設定してください。単位は、1 ビット転送時間です。

設定例) MAXPKT=64 バイト, Full Speed の場合、

(Token_length + packet_length + header + CRC) ×7/6 + Turn_around_time

= (34bit + 546bit)×7/6 + 36bit = 712.7bit

となり、0x2C9 を設定します。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

5.9 FRAME 設定レジスタ(HFRAME)

FRAME 設定レジスタ(HFRAME)は、SOF トークン時の FRAME Number を設定するレジスタです。ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに SOF 起動を設定すると SOF タイマが起動されます。その後 1 ms ごとに自動的に SOF が送信されます。SOF が終了するごとに FRAME 設定レジスタは自動的に+1されます。

bit	15	14	13	12	11	10	9	8
Field	予約					FRAME1		
属性			-				R/W	
初期値			X				000	
リセット可否*			-				○	

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

bit	7	6	5	4	3	2	1	0
Field	FRAME0							
属性	R/W							
初期値	00000000							
リセット可否*	○							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit15:11] 予約 : 予約ビット

読出し時は不定です。書込み時は 0 または 1 どちらを書いても LSI の動作に影響しません。

[bit10:0] FRAME1, FRAME0 : フレーム設定ビット

フレーム設定ビットです。
SOF の Frame Number を設定します。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに SOF を設定する前に、本レジスタに Frame Number を設定してください。*
- *ホストステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 および SOF トークン実行中は、本レジスタへの書込みは禁止です。*

5.10 ホストトークンエンドポイントレジスタ(HTOKEN)

ホストトークンエンドポイントレジスタ(HTOKEN)は、トグル, エンドポイント, トークンを設定するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	TGGL		TKNEN		ENDPT			
属性	R/W		R/W		R/W			
初期値	0		000		0000			
リセット可否*	○		○		○			

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit7] TGGL (ToGGLe) トグルビット

トグルビットです。

Data のトグルを設定します。送信時は本ビットにしたがってトグルデータを送信します。受信時は受信したトグルデータと本ビットが示すトグルデータを比較し、エラー検出に使用します。

bit	説明
0	DATA0
1	DATA1

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 000 のときに設定してください。*

[bit6:4] TKNEN (ToKeN ENable) トークン許可ビット

トークン許可ビットです。

本ビットの設定にしたがってトークンを送出します。動作終了後 TKNEN ビットが 000 になり、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 になります。ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが "1"に設定されていると、割込みが発生します。

SOF トークン時、TGGL ビット, ENDPT ビットの設定は無視されます。

Table 5-2 トークン設定

bit6	bit5	bit4	動作
0	0	0	送出しない
0	0	1	SETUP を送出
0	1	0	IN を送出
0	1	1	OUT を送出
1	0	0	SOF を送出
1	0	1	Isochronous IN を送出
1	1	0	Isochronous OUT を送出
1	1	1	予約(設定禁止)

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *PRE パケットはサポートしていません。*
- *ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 のときに TKNEN ビットに 100 を設定しないでください。*
- *本ビットへの書込みはホストモードにしてから書込みを行ってください。*
- *トークンによる割込みフラグ(CMPIRQ)が 1 になった後、再度トークンを発行する場合には USB 転送クロック(Full Speed 時 : 12 MHz, Low Speed 時 : 1.5 MHz)で 3 サイクル以上待って本ビットに書き込んでください。*
- *切断状態(HSTATE の CSTAT=0)では、本ビットに書き込んでもトークンは実行されません。*
- *本ビットへ書込み後、本ビットを読み出して、書込み値と読出し値が一致するまで本ビットに書き込んでください。このとき、割込みによって他の処理が走らないようにしてください。*
- *IN トークンまたは Isochronous IN トークン完了によりホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 になった場合、以下の処理を行ってください。*
  1).ホストエラーステータスレジスタ(HERR)の HS ビットを読み出します。
  その後、CMPIRQ ビットに 0 を設定してください。
  2).ホストエラーステータスレジスタ(HERR)の HS ビットが 00 の時、EPn ステータスレジスタ(EPnS)(n=1 or 2)の DRQIE ビットに 1 を設定し、DRQ ビットが 1 になるまで待ちます。HS ビットが 00 以外の時、IN トークンの処理を終了します。
  3).EPn ステータスレジスタ(EPnS)(n=1 or 2)の DRQ ビットが 1 になった場合、受信データを読み出します。

[bit3:0] ENDPT (ENDPoinT) エンドポイントビット

エンドポイントビットです。

Device への送受信するエンドポイントを設定します。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期化されます。*

CHAPTER 6: スマートカードインタフェース

この章では、スマートカードインタフェースの機能について説明します。

1. スマートカードインタフェースの概要
2. スマートカードインタフェースの構成
3. スマートカードインタフェースの動作
4. スマートカードインタフェースの割込み
5. スマートカードインタフェースの設定手順とプログラムフロー
6. スマートカードインタフェースのレジスタ

コード：9BFICC-J03.0

1. スマートカードインタフェースの概要

スマートカードインタフェースは、ISO 7816 スマートカードとの通信用です。非同期カードのみサポートされます。インタフェースは、タイマサポート付きパラレル-シリアル/シリアル-パラレル変換器、16 バイト送信/受信 FIFO、および制御論理を内蔵しています。スマートカードとのデータ転送は、CPU で制御されます。スマートカードインタフェースは、インタフェースタイミングを処理し、データフレーミング、タイミング、およびエラー処理について限定サポートを提供します。スマートカード端子は、GPIO 端子と共用されます。物理的スマートカード端子は、GPIO モジュールを使用して構成されます。スマートカードの物理的端子の構成に関する GPIO ドキュメントセクションを参照してください。

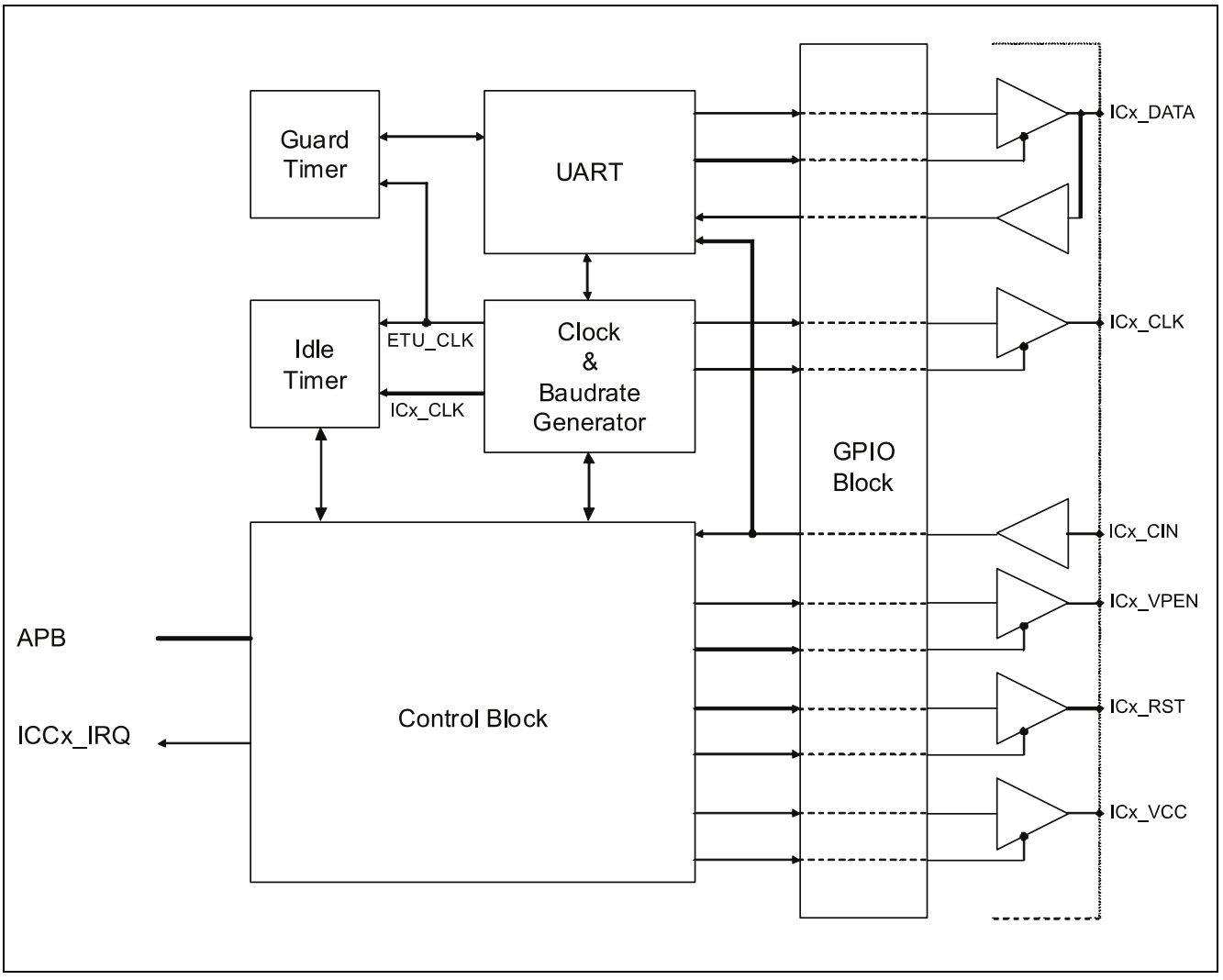
スマートカードインタフェースの特徴

- ISO 7816-3 をサポート
- カードクロック周波数は 20MHz まで調整可能
- プログラム可能なボーレート
- 使用可能なプロトコル：
  - **送信機**: 8E2, 8O2, 8N2
  - **受信機**: 8E1, 8O1, 8N2, 8N1, 9N1
  - **反転モード**
- 再送オプション：
  - **送信機：受信機が再送を要求すると、データが再度送信され、割込みが先送りされます。**
  - **受信機：パリティビットが誤っている場合、受信機は再送を要求できます。**
- 出力データの反転はプログラム可能
- カード挿入/取外し検出（割込み発生に使用）
- プログラム可能なガードタイム
- FIFO サイズ：
  - **受信機用**: 16 バイト
  - **送信機用**: 16 バイト
- プログラム可能なアイドルタイマ（満了時に割込み発生可能）
- 割込み制御

2. スマートカードインタフェースの構成

UART 部（UART = Universal Asynchronous Receiver Transmitter（汎用非同期送受信機））は、シリアル非同期データのプロトコルを制御します。ボーレートクロックは、ボーレートジェネレータによって供給されます。さらに、2 つのタイマが使用できます。1 つは、2 つの連続する送信バイト間に間隙を与えるガードタイマで、もう 1 つは、ETU クロック（ETU = Elementary Time Unit（基本時間単位））またはカードクロック（ICx_CLK）によってクロック制御できるアイドルタイマです。アイドルタイマは、汎用タイマとして使用できます。これは、スタートビットによって起動、またはレジスタアクセスによって直接起動できます。制御部は制御バスとインタフェースし、CPU に割込み（ICCx_IRQ）がかかります。

Figure 2-1 スマートカードインタフェースブロックダイヤグラム



<注意事項>

- *x はチャネル番号です。以後、同様です。*

3. スマートカードインタフェースの動作

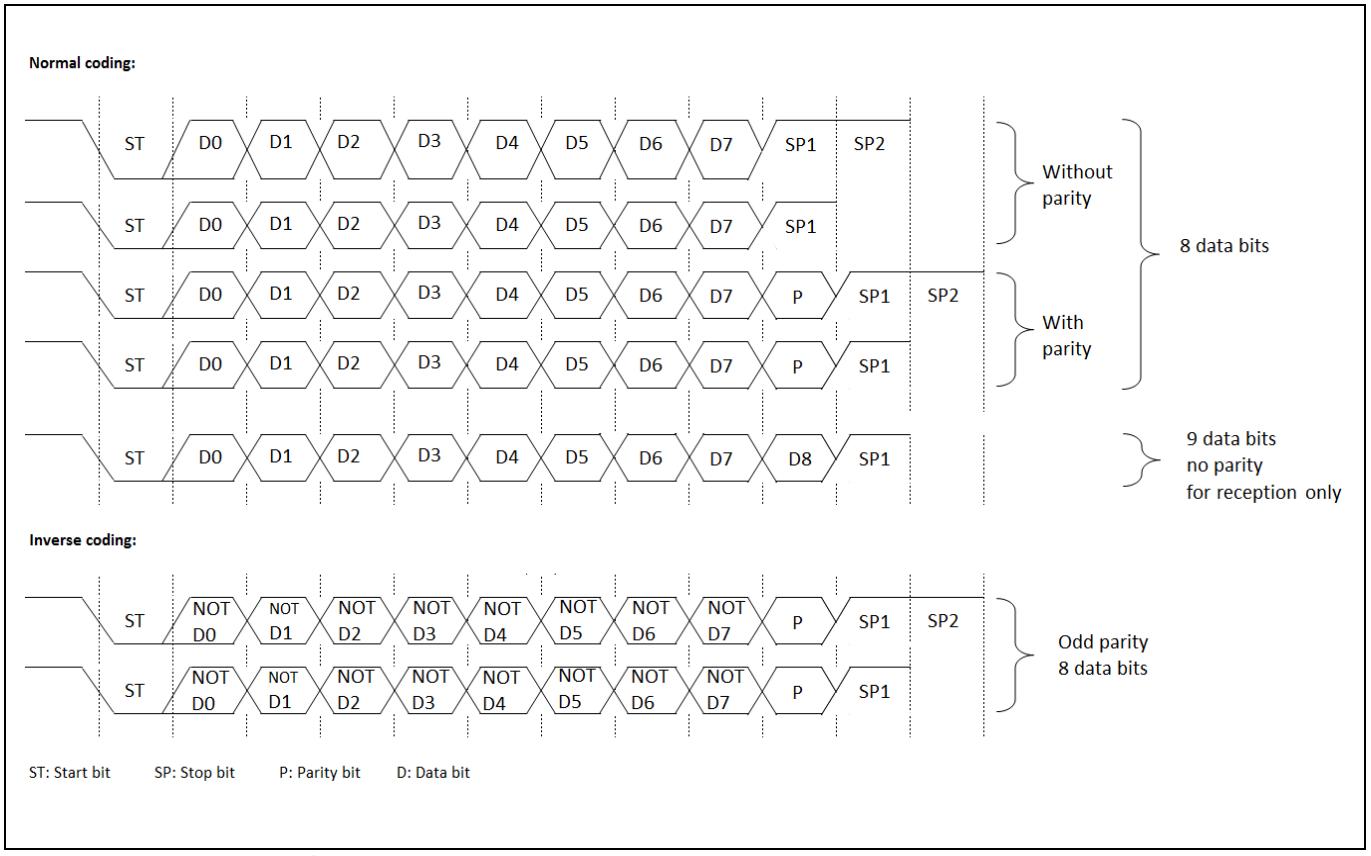
スマートカードインタフェースは、スマートカードと半二重シリアル非同期通信で動作します。

3.1 送信/受信データフォーマット

- 送信/受信データは常にスタートビットで始まり、その後、指定データビット長の送信/受信データが続き、少なくとも 1 ビット長のストップビットで終わります。
- グローバル制御 1 レジスタ(GLOBALCONTROL1)の Frm1 ビットで、データ送信のコーディングスタイル（通常コーディングまたは反転コーディング）を決定します。Frm1 ビットは、スタートビットまたはパリティビットに影響しません。パリティを使用する場合、パリティビットは常に最後のデータビットと最初のストップビットの間に置かれます。
- 通常コーディングスタイルでは、LSB が最初に送信され、ローレベルが論理ゼロです。
- 反転コーディングスタイルでは、MSB が最初に送信され、ハイレベルが論理ゼロです。反転コーディングでは、奇数パリティを構成するべきです。

Figure 3-1 に通常コーディングと反転コーディングの送信/受信データフォーマットを示します。

Figure 3-1 送信/受信データフォーマット例（通常/反転コーディング）



<注意事項>

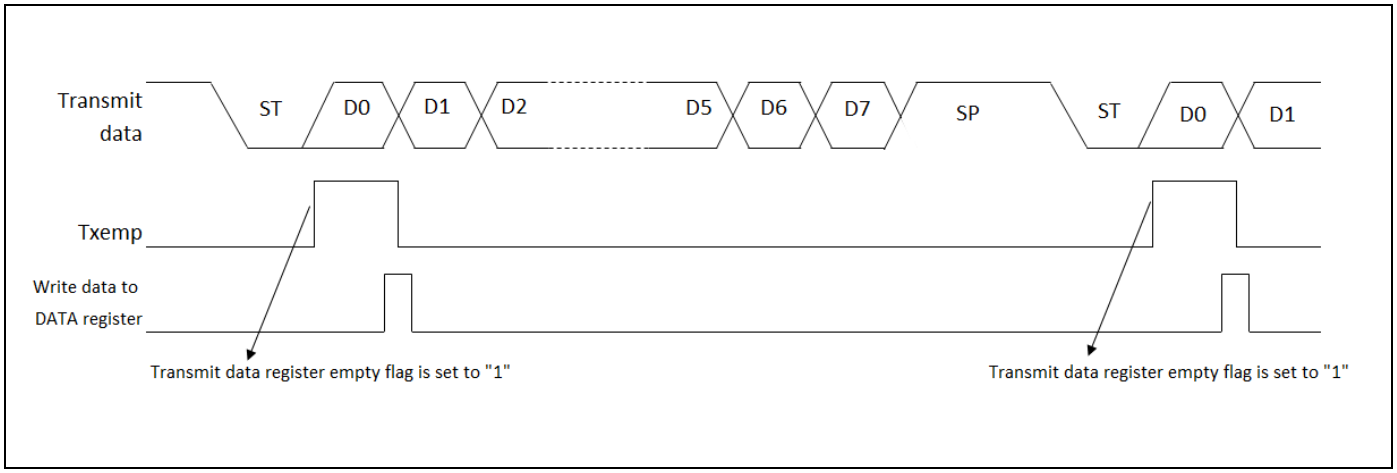
- *上図は、データ長を 8 または 9 ビットに設定した場合のフォーマットを示しています。*
- *グローバル制御 1 レジスタ(GLOBALCONTROL1)の Frm1 ビットを「1」(MSB ファースト、反転コーディング）に設定すると、ビット D0～D7 は論理が反転します。これは、スタートビット、ストップビット、およびパリティビットに影響しません。*

3.2 データ送信

- ステータスレジスタ(STATUS)の送信データレジスタエンプティフラグビット(Txemp)が「1」のとき、送信データを送信データレジスタ(DATA)に書込むことができます。(書込み FIFO を許可した場合、送信データは FIFO から来て、データレジスタへの書込みは無効です。)
- 送信データを送信データレジスタ(DATA)に書込むと、送信データレジスタエンプティフラグビット(STATUS.Txemp)が「0」に設定されます。
- グローバル制御 2 レジスタ(GLOBALCONTROL2)の IccDisable ビットを「0」に設定することでスマートカードインタフェースを有効にした後に、再送要求が発生しない(STATUS.TxResend=0)または再送機能が禁止(GLOBALCONTROL1.Resnd=0)の場合、Txemp ステータスフラグが「0」に設定されると、送信データは送信シフトレジスタにロードされ、スタートビットから順次送信が開始します。
- 送信開始時、送信データレジスタエンプティフラグビット(STATUS.Txemp)は再度「1」に設定されます。

Figure 3-2 は、STATUS.Txemp フラグビットがセットおよびクリアされるタイミングを示しています。

Figure 3-2 送信データレジスタエンプティフラグビット(STATUS.Txemp)のタイミング



- 送信機がデータのスタートビットの送信を開始すると、ステータスレジスタの Txact ビットが「1」に設定され(STATUS.Txact=1)、送信機がアクティブであることを示します。ガードタイマが禁止の場合(GLOBALCONTROL1.Guaen=0)、送信機がストップビットを送信し終えると、Txact ビットは「0」に設定されます。ガードタイマが有効な場合(GLOBALCONTROL1.Guaen=1)、設定したガードタイム(GUARDTIMER.Gtreg)が満了すると、Txact ビットは「0」に設定されます。

Figure 3-3 は、ガードタイマが禁止の場合の STATUS.Txact フラグビットのタイミングを示しています。

Figure 3-3 送信機アクティブフラグビット(STATUS.Txact)のタイミング（ガードタイマ禁止）

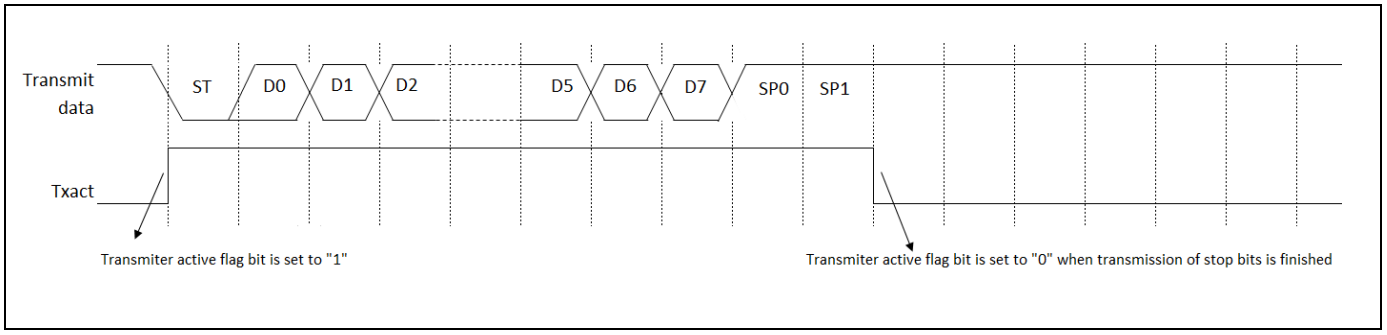
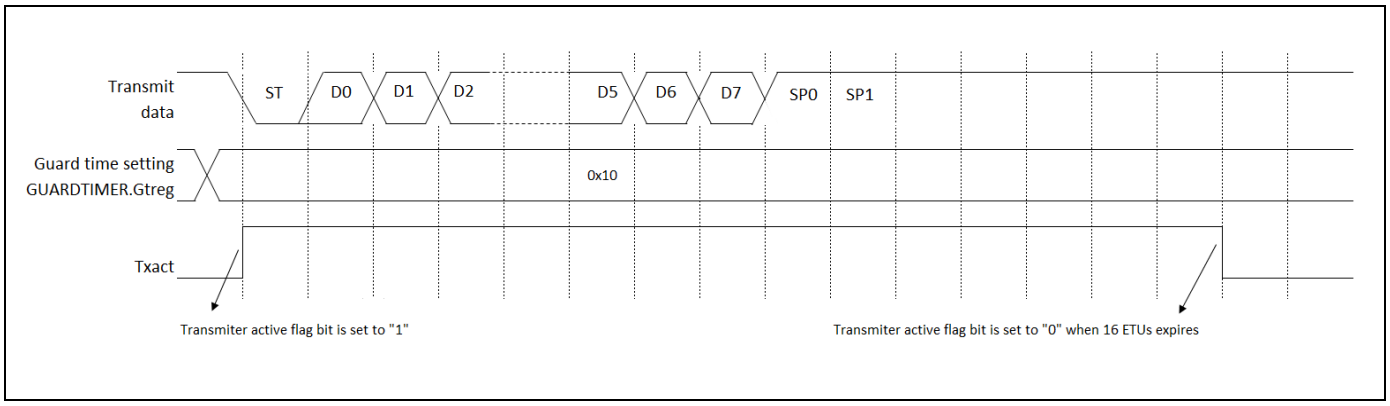


Figure 3-4 は、ガードタイマが有効な場合の STATUS.Txact フラグビットのタイミングを示しています。

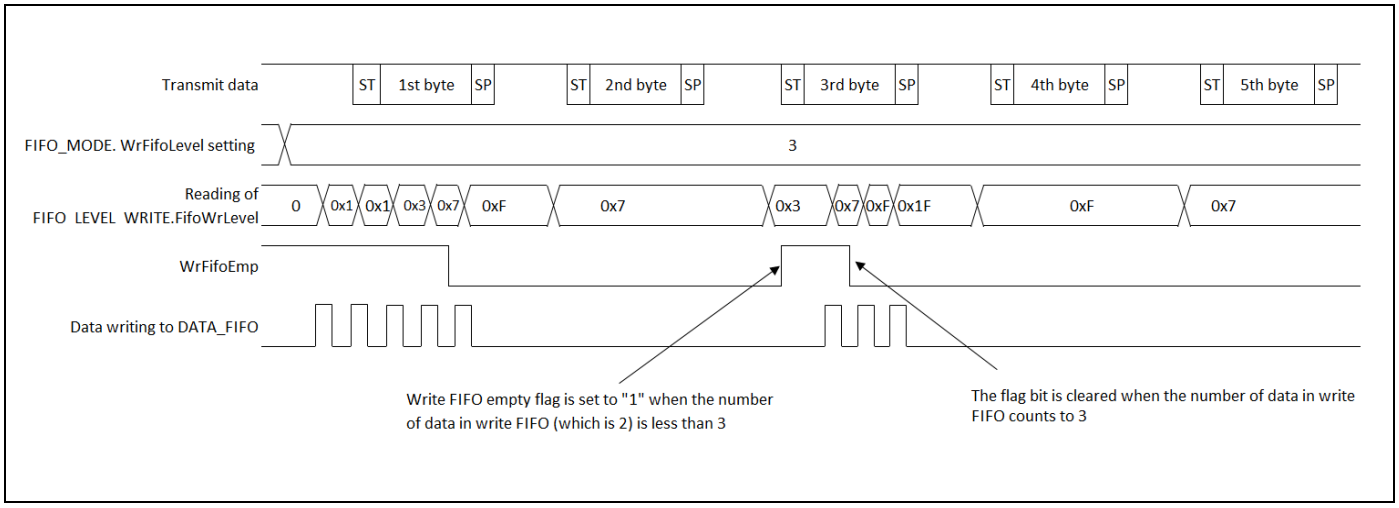
Figure 3-4 送信機アクティブフラグビット(STATUS.Txact)のタイミング（ガードタイマ有効）



- 書込み FIFO を許可すると(FIFO_MODE.FifoEn=1)、FIFO へのデータ書込みが送信されます。書込み FIFO 内のデータ数が書込み FIFO レベル(FIFO_MODE.WrFifoLevel)未満の場合、書込み FIFO エンプティフラグビット(STATUS.WrFifoEmp)が「1」に設定されます。書込み FIFO 内のデータ数が書込み FIFO レベル以上の場合、WrFifoEmp フラグビットは「0」にクリアされます。

Figure 3-5 は、STATUS.WrFifoEmp フラグビットのタイミングを示しています。

Figure 3-5 書込み FIFO エンプティフラグビット(STATUS.WrFifoEmp)のタイミング

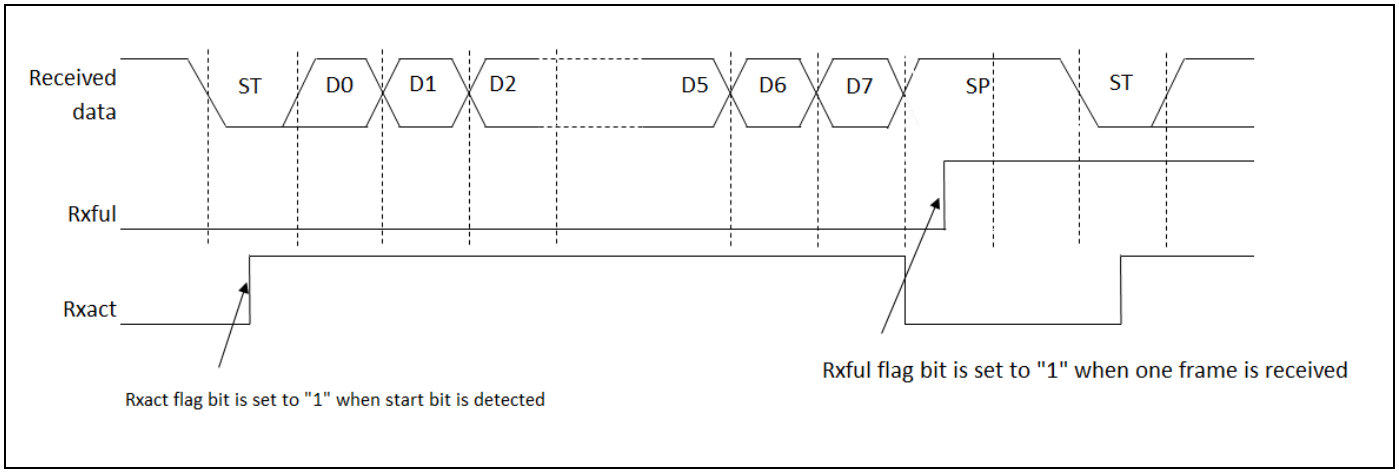


3.3 データ受信

- グローバル制御 2 レジスタ(GLOBALCONTROL2)の IccDisable ビットを「0」に設定することでスマートカードインタフェースを有効にした後に、ICx_DATA ラインでスタートビットが検出されると、インタフェースは受信を実行します。
- スタートビットが検出されると、グローバル制御 1 レジスタ(GLOBALCONTROL1.Parity, Frm0, Mode8n1, Rx8n1)で設定したデータフォーマットに従って、1 フレームのデータ受信が行われます。ICx_DATA ラインで立下りエッジが検出され、ローレベルがサンプリング点（立下りエッジ後の ETU の半分）まで続くと、スタートビットが検出されます(Status.Rxact=1)。
- 1 フレームの受信が完了すると、受信データは受信機のロードレジスタに格納され、受信レジスタフルフラグビット(STATUS.Rxful)が「1」に設定されます。データフレームは、データレジスタから読出せます。パリティエラーが発生し、再送機能が有効な場合は、受信データは受信機のロードレジスタにロードされず、受信レジスタフルフラグビットの設定が先送りされることに注意してください。
- 受信データを読出すには、1 フレームのデータ受信後、受信データレジスタ(DATA)の読出しを実行します。
- 受信データを読出すと、受信レジスタフルフラグビット(STATUS.Rxful)が「0」にクリアされます。

Figure 3-6 は､受信データレジスタフル(STATUS.Rxful)および受信機アクティブ(Status.Rxact)フラグビットのタイミングを示しています。

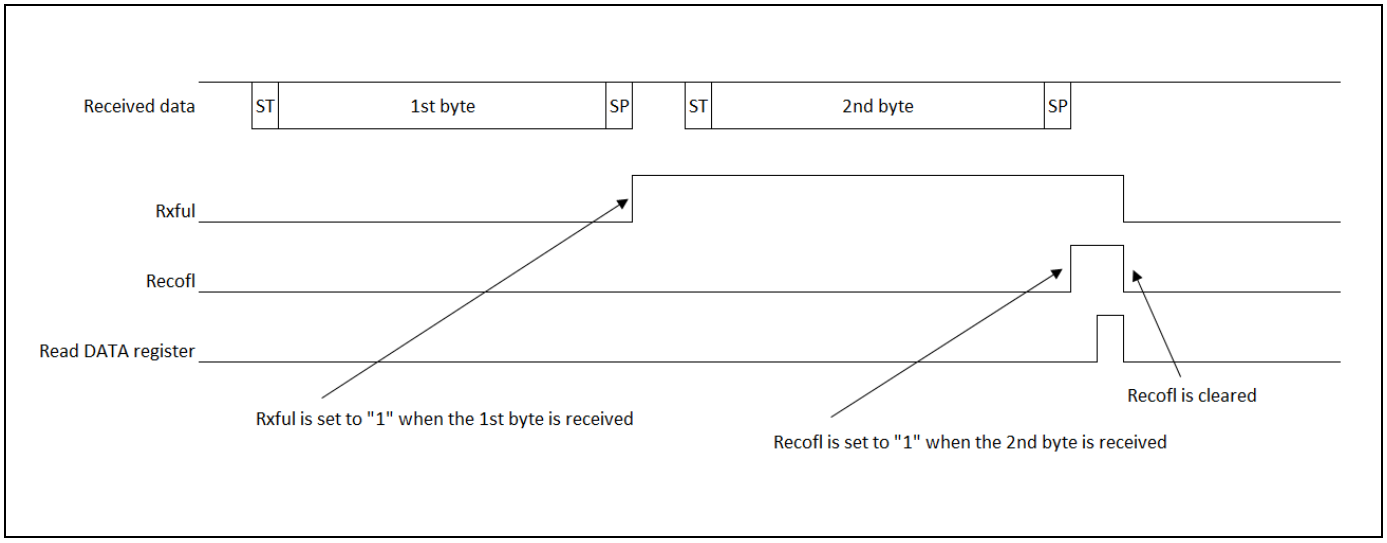
Figure 3-6 STATUS.Rxful および STATUS.Rxact フラグビットのタイミング



- 受信データが CPU によって読出されず、受信機が次のデータフレームを受信し終えた場合、受信レジスタオーバフローフラグビット(STATUS.Recofl)が「1」に設定されます。
- 受信レジスタオーバフローフラグビット(STATUS.Recofl)は、データレジスタを読出すことで「0」にクリアされます。

Figure 3-7 は、受信データレジスタオーバフロー(STATUS.Recofl)フラグビットのタイミングを示しています。

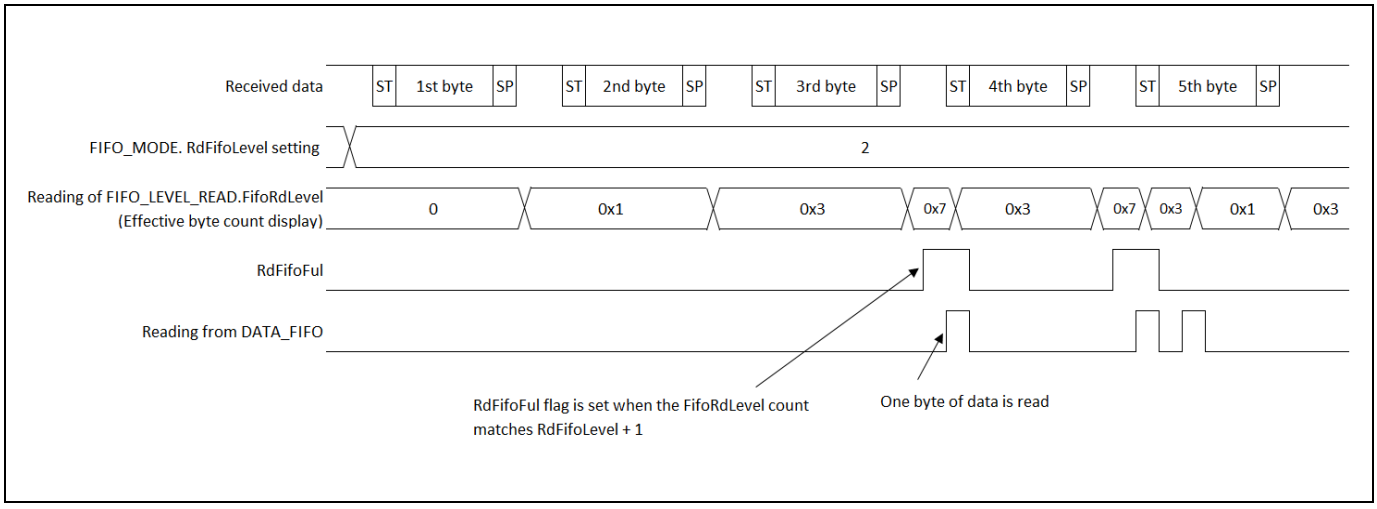
Figure 3-7 受信データレジスタオーバフロー(STATUS.Recofl)フラグビットのタイミング



- 読出し FIFO を許可した場合、受信フレーム数が読出し FIFO レベル+1(FIFO_MODE.RdFifoLevel+1)に設定した値に達すると、読出し FIFO フルフラグビット(STATUS.RdFifoFul)が「1」に設定されます。
- 読出し FIFO を許可した場合、パリティエラーが発生し(STATUS.Rxresend=1)、再送機能が有効ならば(GLOBALCONTROL1.Rxrsnd=1)、受信データフレームは、読出し FIFO に保存されません。
- 読出し FIFO 内の有効データ数が FIFO_MODE.RdFifoLevel+1 未満の場合、読出し FIFO フルフラグは「0」に設定されます。

Figure 3-8 は、読出し FIFO フル(STATUS.RdFifoFul)フラグビットのタイミングを示しています。

Figure 3-8 読出し FIFO フル(STATUS.RdFifoFul)フラグビットのタイミング



3.4 ボーレート構成

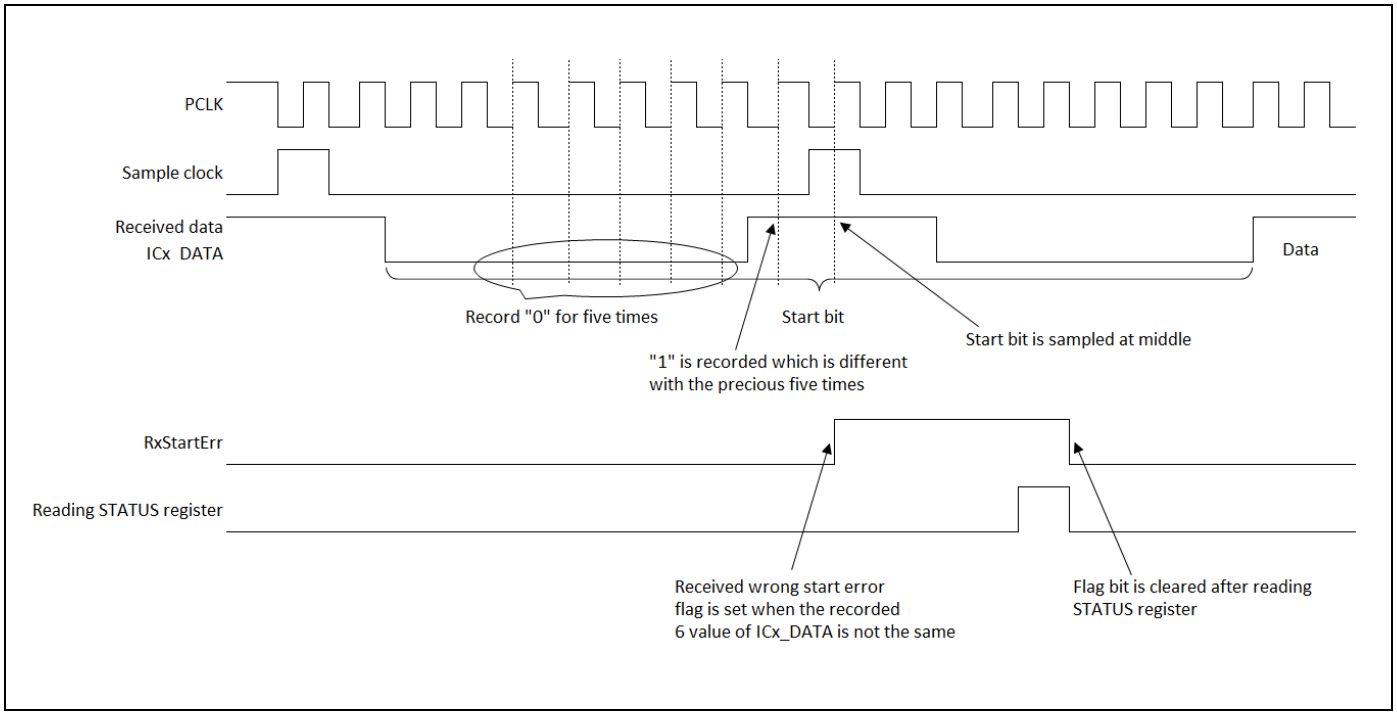
- カードクロック出力 ICx_CLK の周波数は、CARDCLOCK レジスタの ClkDivider ビットで構成した PCLK とカードクロック分周に依存します。
  すなわち、CardClock[Hz]=PCLK[Hz]/CARDCLOCK.ClkDivider です。
- データ送信のボーレートは、カードクロック周波数とボーレートレジスタの Brreg ビット(BAUDRATE.Brreg)の値に依存します。
- ISO7816-3 標準に従い、1ETU=(F/D)*(1/CardClock[Hz])。F/D は、ボーレートレジスタの Brreg ビット(BAUDRATE.Brreg)で構成します。
  例えば、F/D=31 とするには、値 0x1F を BAUDRATE.Brreg にプログラムしなければなりません。
  F/D=31.5 とするには、BAUDRATE レジスタの「LittleStep」ビットを「1」に設定します。

3.5 スタートビット検出

- 受信データのスタートビットは、ICx_DATA 端子の立下りエッジの検出に基づいて認識されます。
- スタートビットの立下りエッジが検出されると、受信機は、ICx_DATA レベルを 6 回記録してから、スタートビットの中間でサンプリングします。記録された 6 つの値が同じでないか、またはスタートビットのサンプル値が「0」でない場合、誤スタートビット受信エラーが発生し、ステータスレジスタの RxStartErr ビットがセットされます(STATUS.RxStartErr=1)。
- 一度ステータスレジスタを読出せば、RxStartErr ビットは「0」にクリアされます。

Figure 3-9 は、誤スタートビット受信エラーフラグ(STATUS.RxStartErr)のタイミングを示しています。

Figure 3-9 誤スタートビット受信エラー(STATUS.RxStartErr)フラグビットのタイミング

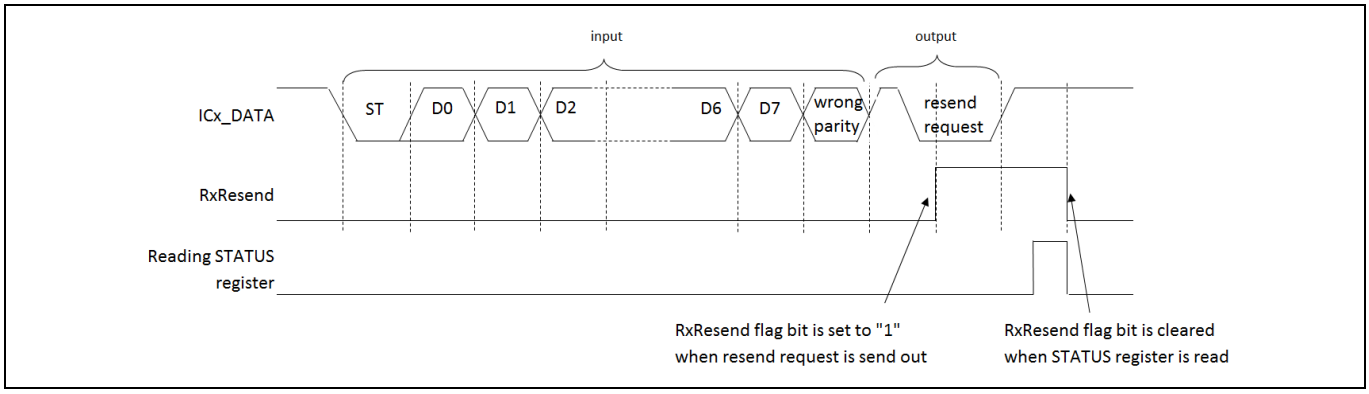


3.6 エラー検出

- 受信機が誤ったパリティビットを検出し、再送機能が有効な場合(GLOBALCONTROL1.Resnd=1)、パリティビットから ETU の半分後に 1.5ETU の間、ICx_DATA をローレベルにすることで、再送要求が送出されます。
- 再送要求が送出されると、ステータスレジスタの受信機再送フラグビット(STATUS.RxResend)が 1 に設定されます。
- 再送機能が有効な場合、パリティに誤りがある受信フレームはデータレジスタに保存されず、受信データレジスタのフルフラグビット(STATUS.Rxful)はセットされません。
- 受信機再送フラグビットは、ステータスレジスタを読出すことでクリアされます。

Figure 3-10 は、受信機再送フラグビット(STATUS.RxResend)のタイミングを示しています。

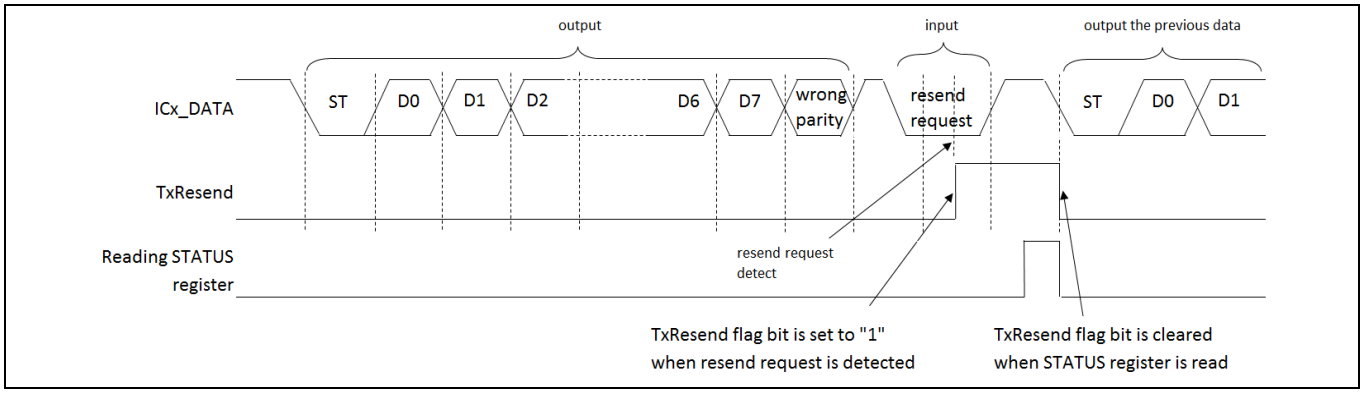
Figure 3-10 受信機再送(STATUS.RxResend)フラグビットのタイミング



- 送信機が再送要求（パリティビットから ETU の半分後、ICx_DATA でローレベル）を検出し、再送機能が有効な場合(GLOBALCONTROL1.Resnd=1)、送信機は現在のデータフレームを再度送信し、ステータスレジスタ(STATUS.TxResend)の送信機再送フラグビットが 1 に設定されます。
- 送信機再送フラグビットは、ステータスレジスタを読出すことでクリアされます。

Figure 3-11 は、送信機再送フラグビット(STATUS.TxResend)のタイミングを示しています。

Figure 3-11 送信機再送(STATUS.TxResend)フラグビットのタイミング



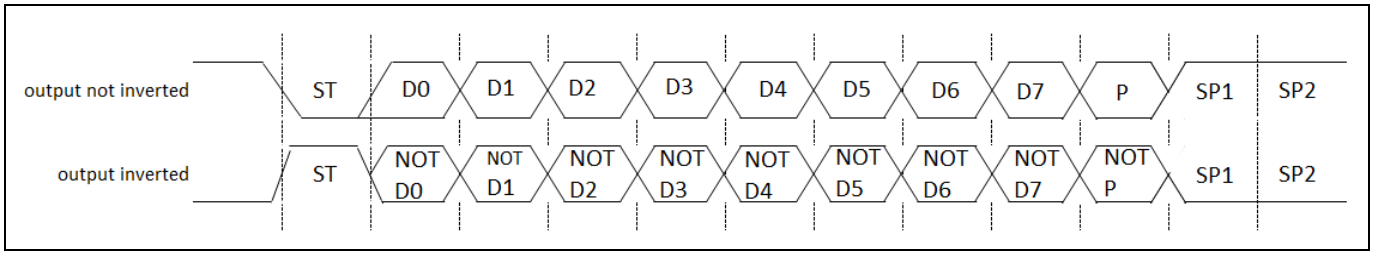
3.7 出力反転

グローバル制御 2 レジスタの InvDataOut ビットを 1 に設定することで、ICx_DATA ラインの出力データの論理を反転できます。

- 出力データを反転するには、GLOBALCONTROL2.InvDataOut を「1」に設定します。
- スタートビット、ストップビット、およびパリティビットはすべて反転されます。
- 出力データのみ反転できます。この設定は、入力データに影響しません。

Figure 3-12 は、出力データを反転した場合のデータフレームを示しています。

Figure 3-12 出力データを反転した場合のデータフレーム



3.8 ポート制御

ICx_VPEN、ICx_VCC、および ICx_RST 出力のレベルは、ソフトウェアで制御されます。ICx_DATA と ICx_CLK のレベルは、ハードウェアまたはソフトウェアで制御できます。

- ICx_VPEN、ICx_VCC、および ICx_RST 端子の出力レベルは、それぞれ PORTCONTROL レジスタのビット VpenBuf、VccBuf、および RstBuf に設定した値に依存します。ローレベルが必要な場合は、レジスタビットを「0」に設定し、逆の場合は、「1」に設定します。
- GLOBALCONTROL1 レジスタのビット Ckmod を 1 に設定した場合(GLOBALCONTROL1.Ckmod=1)、ICx_CLK のレベルは、PORTCONTROL レジスタの Clkpt ビット(PORTCONTROL.Clkpt)に設定した値に依存します。
- GLOBALCONTROL1 レジスタのビット Ckmod を 0 に設定した場合(GLOBALCONTROL1.Ckmod=0)、ICx_CLK のレベルは、UART 部で自動的に（ハードウェア）制御されます。
- GLOBALCONTROL1 レジスタのビット Iomod を 1 に設定した場合(GLOBALCONTROL1.Iomod=1)、ICx_DATA のレベルは、PORTCONTROL レジスタの Io1 ビット(PORTCONTROL.Io1)に設定した値に依存します。
- ICx_DATA 出力レベルをソフトウェアで制御する場合(GLOBALCONTROL1.Iomod=1)、PORTCONTROL レジスタの Trimod ビットを「1」(PORTCONTROLTrimod=1)に設定して、ソフトウェアによるデータ出力許可信号の制御を可能にするべきです。
- PORTCONTROL.Trimod を「1」に設定した場合、PORTCONTROL レジスタの Io1en ビットを 0/1 に設定して、ICx_DATA 端子のデータ出力を許可/禁止します。
- GLOBALCONTROL1 レジスタのビット Iomod を 0 に設定した場合(GLOBALCONTROL1.Iomod=0)、ICx_DATA のレベルは、UART 部で自動的に（ハードウェア）制御されます。

4. スマートカードインタフェースの割込み

スマートカードインタフェースは、送信、受信、カードイベント検出、またはアイドルタイマ満了割込みを発生します。これらの割込み要求は、以下の場合に発生することがあります。

- 受信データがデータレジスタ(DATA)に設定された、または受信機がアクティブである。
- 送信データがデータレジスタ(DATA)から送信シフトレジスタに転送され、データ送信が開始された。
- ICx_CIN 端子でイベントが検出された。
- アイドルタイマが満了した。

Table 4-1 は、スマートカードインタフェース割込み制御ビットと割込み要因の関係を示しています。

Table 4-1 スマートカードインタフェース割込み制御ビットと割込み要因

割込みタイプ	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグをクリアする動作
受信	RxfulIrq	IRQ_STATUS	1 バイトの受信	GLOBALCONTROL1.Maskrxful	受信データレジスタ(DATA)を読出す
	RxstbiIrp	IRQ_STATUS	受信スタートビットの検出、受信機がアクティブ	GLOBALCONTROL1.Masksti	IRQ ステータスレジスタ(IRQ_STATUS)を読出す
	RdFifoIrq	IRQ_STATUS	受信データ量が RdFifoLevel に設定した値と一致	FIFO_MODE.RdFifoIrqEn	読出し FIFO 内のデータ数が RdFifoLevel 以下になるまで、読出しデータ FIFO レジスタ(DATA_FIFO)を読出す
	RdFifoOvrIrq	IRQ_STATUS	読出し FIFO オーバフロー	FIFO_MODE.RdFifoOvrIrqEn	FIFO_CLEAR_MSB_READ.ClrRdFifo を 1 に設定することで読出し FIFO をフラッシュする
送信	TxempIrp	IRQ_STATUS	送信データレジスタが空	GLOBALCONTROL1.Masktxemp	送信データレジスタ(DATA)に書込む
	WrFifoIrq	IRQ_STATUS	送信データ量が WrFifoLevel に設定した値と一致	FIFO_MODE.WrFifoIrqEn	書込み FIFO 内のデータ数が WrFifoLevel 以上になるまで書込みデータ FIFO レジスタ(DATA_FIFO)に書込む
カードイベント	CardEventIrq	IRQ_STATUS	ブロックがカード検出入力(ICx_CIN)で変化を検出	GLOBALCONTROL1.Maskcaevent	IRQ ステータスレジスタ(IRQ_STATUS)を読出す
アイドルタイマ	IdtexpIrq	IRQ_STATUS	アイドルタイマ満了	GLOBALCONTROL1.Maskitexp	このビットは、アイドルタイマを再起動または無効にすることでのみクリア可能

4.1 受信割込み発生とフラグセットのタイミング

データ受信は受信完了(IRQ_STATUS:RxfulIrq=1)によって割込むことができ、受信機起動は検出できます(IRQ_STATUS:RxstbiIrp=1)。

受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されると、受信データは受信データレジスタ(DATA)に格納され、受信データレジスタフルフラグがセットされます(IRQ_STATUS.RxfulIrq=1)。受信割込みを許可した場合(GLOBALCONTROL1.Maskrxful=1)、受信割込みが発生します。データをデータレジスタから読出すと、受信割込みがクリアされます。

スタートビットが検出され、受信スタートビット割込みが可能な場合(GLOBALCONTROL1.Masksti=1)、受信スタートビットフラグがセットされ(IRQ_STATUS.RxstbiIrq=1)、受信スタートビット割込みが発生します。この割込みは、IRQ_STATUS レジスタを読出すことでクリアされます。

<注意事項>

- *パリティエラーが発生し、再送機能が有効な場合(GLOBALCONTROL1.Resnd=1)、データはデータレジスタに格納されず、割込みは先送りされます。*

Figure 4-1 RxfullIrq（受信データレジスタフル）フラグビットセットのタイミング

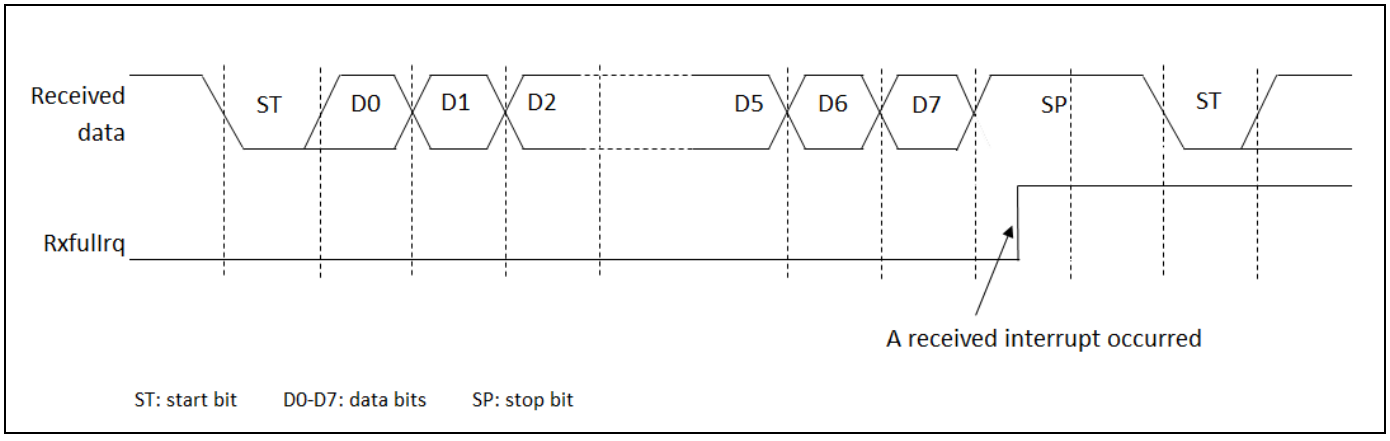
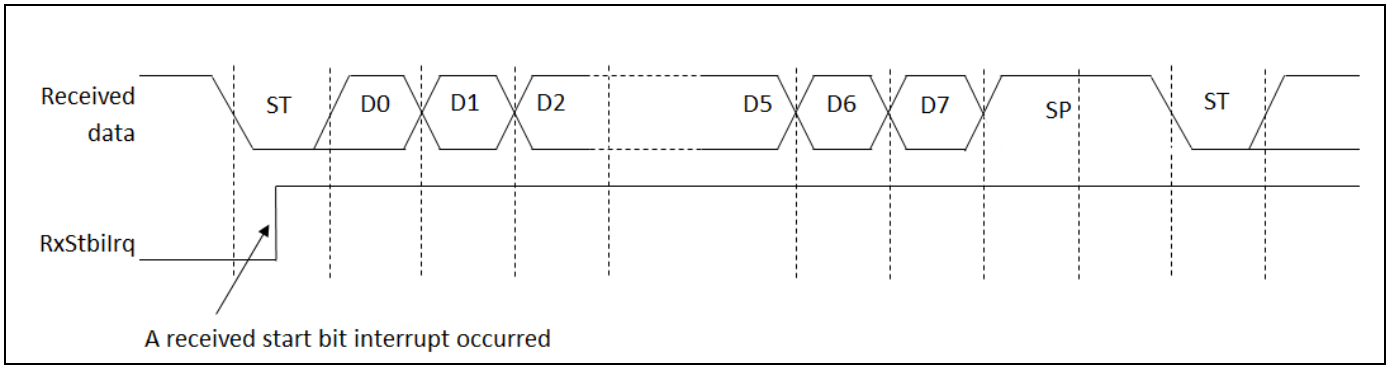


Figure 4-2 RxStbiIrq（受信スタートビット）フラグビットセットのタイミング



4.2 読出し FIFO 使用時の割込み発生とフラグセットのタイミング

読出し FIFO 使用時、読出し FIFO 内のデータ数が RdFifoLevel（FIFO_MODE レジスタに事前設定）に達すると、割込みが発生します。

読出し FIFO 使用時の割込み発生とフラグセットのタイミング

読出し FIFO を使用した場合、FIFO_MODE.RdFifoLevel レジスタビットに設定した値により、割込みが発生します。

- 読出し FIFO 内の受信データ数が RdFifoLevel+1 に達し、読出し FIFO フル割込みが可能な場合 (FIFO_MODE.RdFifoIrqEn=1)、IRQ ステータスレジスタの読出し FIFO フル割込みフラグ (IRQ_STATUS.RdFifoIrq)が「1」に設定され、読出し FIFO フル割込みが発生します。
- 読出し FIFO 内のデータ数が RdFifoLevel+1 未満になるまで、データを読出しデータ FIFO レジスタ (DATA_FIFO)から読出すと、読出し FIFO フルフラグ(IRQ_STATUS.RdFifoIrq)はクリアされます。
- 有効受信データ量が FIFO 容量と同じである場合、読出し FIFO オーバフロー割込みを許可したときに (FIFO_MODE.RdFifoOvrIrqEn=1)、次のデータを受信すると、IRQ ステータスレジスタの読出し FIFO オーバフローフラグ(IRQ_STATUS.RdFifoOvrIrq=1)が「1」に設定され、読出し FIFO オーバフロー割込みが発生します。

読出し FIFO クリアレジスタ(FIFO_CLEAR_MSB_ READ.ClrRdFifo)に「1」を書込むことで読出し FIFO をフラッシュすると、読出し FIFO オーバフロー割込みはクリアされます。

Figure 4-3 RdFifoIrq（読出し FIFO フル割込み）フラグビットセットのタイミング

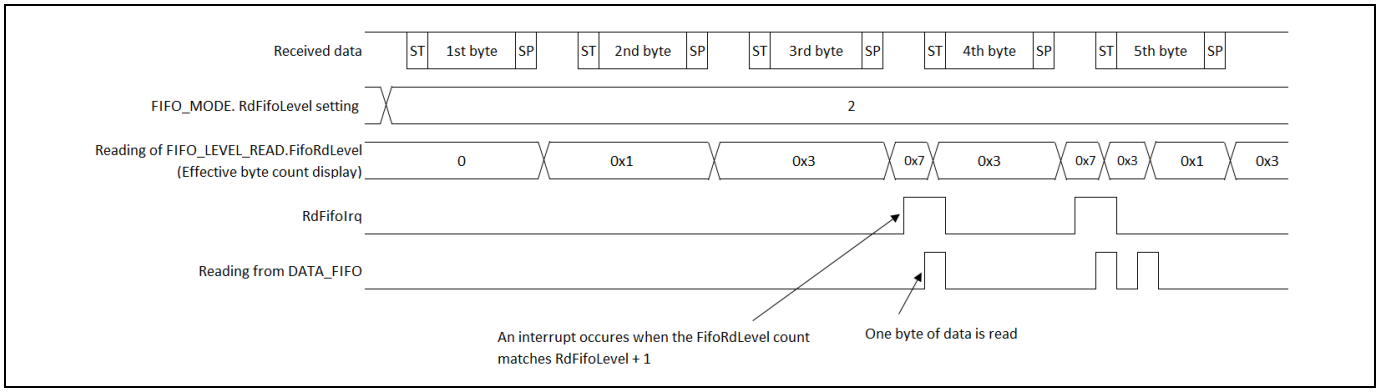
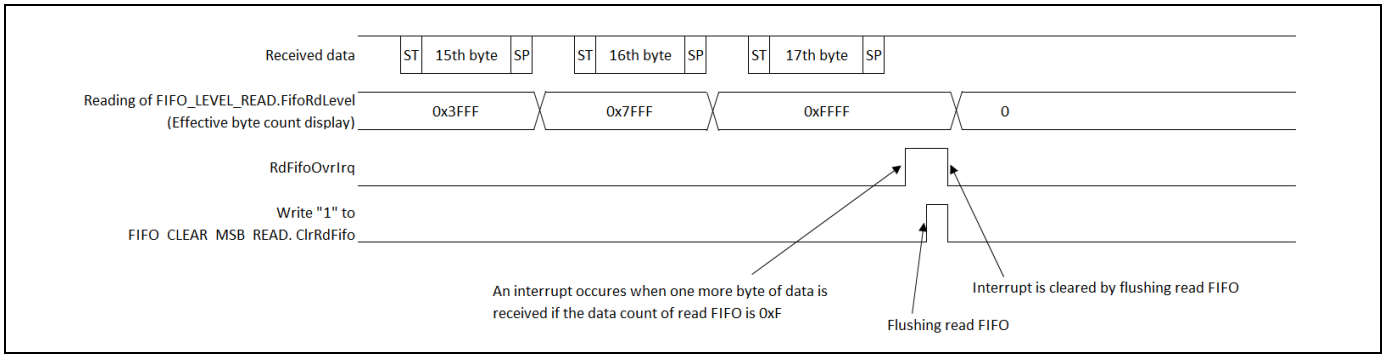


Figure 4-4 RdFifoOvrIrq（読出し FIFO オーバフロー）フラグビットセットのタイミング



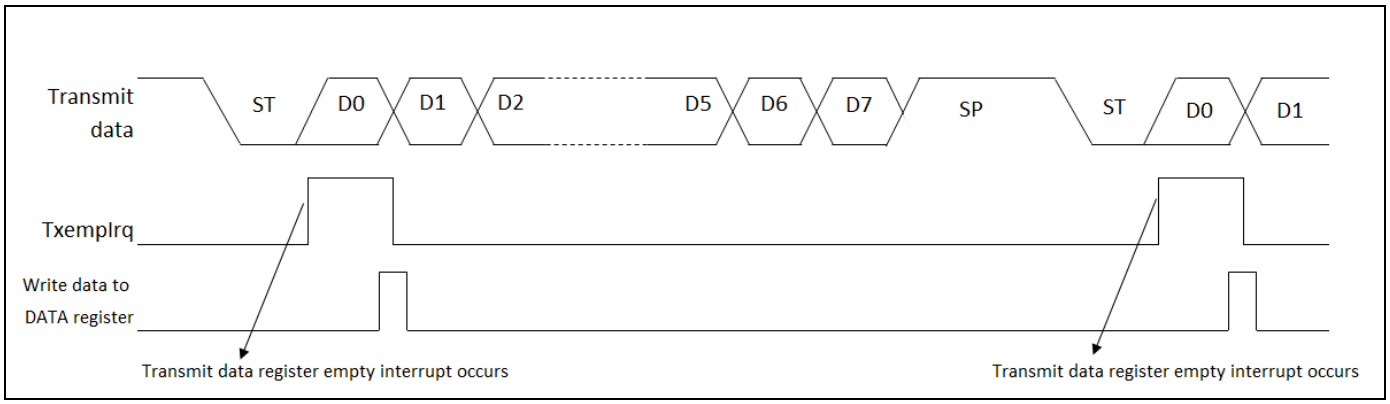
4.3 送信割込み発生とフラグセットのタイミング

送信データを送信データレジスタ(DATA)から送信シフトレジスタに転送すると、送信割込みが発生します(IRQ_STATUS.TxempIrq=1)。送信を実行していない(STATUS.Txact=0)ときに送信が開始します。

送信データレジスタエンプティフラグ(IRQ_STATUS.TxempIrq)セットのタイミング

データを送信データレジスタ(DATA)から送信シフトレジスタに転送した後(STATUS.Txemp=1)、次のデータをデータレジスタに書込むことができます。この間に送信割込みを許可すると(GLOBALCONTROL1.Masktxemp=1)、送信データレジスタエンプティフラグがセットされ(IRQ_STATUS.TxempIrq=1)、送信割込みが発生します。データを送信データレジスタ(DATA)に書込むと、IRQ_STATUS.TxempIrq ビットは「0」にクリアされます。

Figure 4-5 送信データレジスタエンプティフラグ(IRQ_STATUS.TxempIrq)セットのタイミング



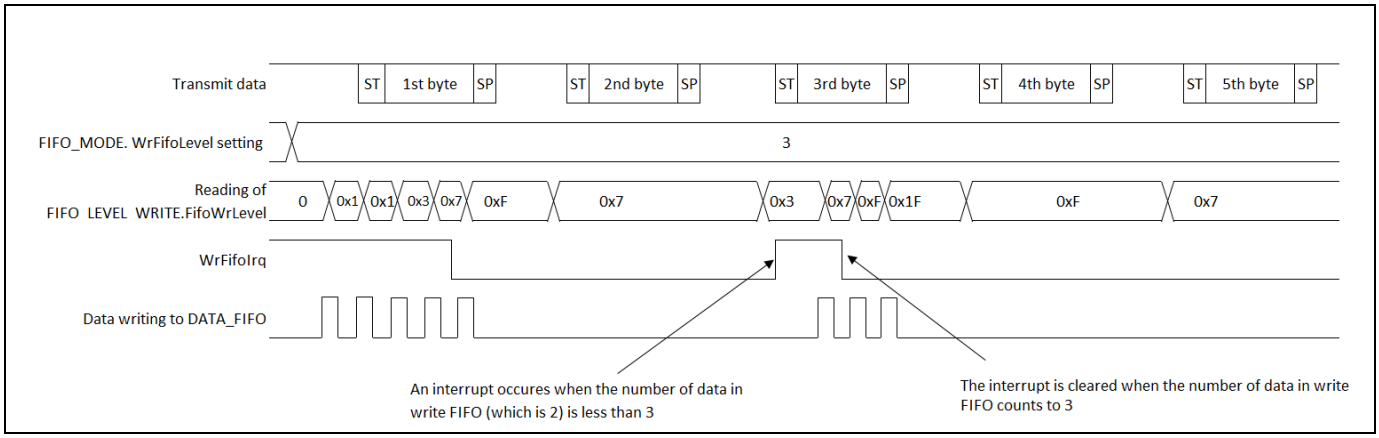
4.4 書込み FIFO 使用時の割込み発生とフラグセットのタイミング

書込み FIFO 使用時、書込み FIFO 内の有効データ数(FIFO_LEVEL_WRITE.FifoWrLevel)が FIFO_MODE.WrFifoLevel に設定した値未満の場合、割込みが発生します。

書込み FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 書込み FIFO エンプティ割込みを許可したとき(FIFO_MODE.WrFifoIrqEn=1)、書込み FIFO 内の有効データ数が FIFO_MODE.WrFifoLevel 未満の場合、割込みが発生し、書込み FIFO エンプティ割込みフラグが「1」に設定されます(IRQ_STATUS.WrFifoIrq=1)。
- 書込み FIFO 内の有効データ数が FIFO_MODE.WrFifoLevel 以上の場合、書込み FIFO エンプティ割込みはクリアされます(IRQ_STATUS.WrFifoIrq=0)。

Figure 4-6 書込み FIFO 使用時の送信割込み発生のタイミング



4.5 カードイベント割込み発生とフラグセットのタイミング

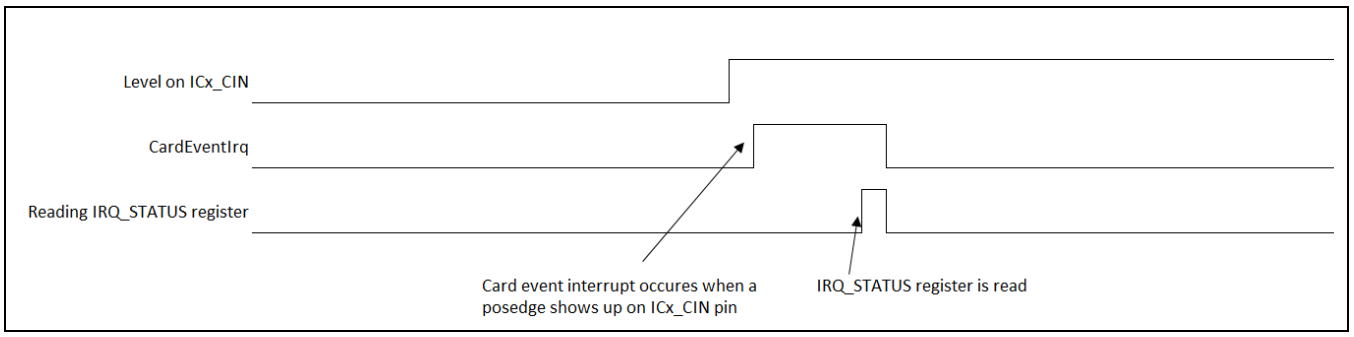
ICx_CIN 端子でイベント（カード差込みまたは取外し）が有り、カードイベント割込みを許可した場合(GLOBALCONTROL1.Maskcaevent=1)、カードイベント割込みが発生します。

カードイベント割込み発生とフラグセットのタイミング

- カードイベント割込みを許可した場合(GLOBALCONTROL1.Maskcaevent=1)、ICx_CIN 入力のレベルが変化すると、割込みが発生し、カードイベント割込みフラグが「1」に設定されます(IRQ_STATUS.CardEventIrq=1)。
- カードイベント割込みは、IRQ ステータスレジスタ(IRQ_STATUS)を読出すことでクリアされます。

Figure 4-7 は、カードイベント割込みのタイミングを示しています。

Figure 4-7 カードイベント割込みフラグ(IRQ_STATUS.CardEventIrq)セットのタイミング



4.6 アイドルタイマ満了割込み発生とフラグセットのタイミング

アイドルタイマが満了し（0 までカウント）、アイドルタイマ満了割込みを許可した場合(GLOBALCONTROL1.Maskitexp=1)、アイドルタイマ満了割込みが発生します。

アイドルタイマ満了割込み発生とフラグセットのタイミング

- アイドルタイマ満了割込みを許可した場合(GLOBALCONTROL1.Maskitexp=1)、アイドルタイマが 0 になると、割込みが発生し、アイドルタイマ満了割込みフラグが「1」に設定されます(IRQ_STATUS.IdtexpIrq=1)。
- アイドルタイマは、グローバル制御 1 レジスタビットの Idtsc ビット(GLOBALCONTROL1.Idtsc)を「0」または「1」に設定することでそれぞれカードクロック(ICx_CLK)または ETU クロック（ボーレートクロック）によってクロック制御できる汎用 16 ビット減算カウンタです。
- アイドルタイマは、スタートビット送信時に（再送要求後にも）送信機によって、またはグローバル制御 1 レジスタビットの Stidt ビット(GLOBALCONTROL1.Stidt)に「1」を書込むことによって起動できます。
- アイドルタイマを起動するごとに、アイドルタイマレジスタの Idtreg ビットで構成した開始値(IDLETIMER.Idtreg-1)が減算カウンタにリロードされ、アイドルタイマが動作を開始します。
- アイドルタイマ満了割込みは、送信データレジスタ(DATA)にデータを書込むか、または GLOBALCONTROL1.Stidt に「1」を書込むことでアイドルタイマを再起動することによってクリアできます。
-

Figure 4-8 は、アイドルタイマをカードクロックでクロック制御し、ソフトウェアで起動する（GLOBALCONTROL1.Stidt に「1」を書込む）場合のアイドルタイマ満了割込みフラグ(IRQ_STATUS.IdtexpIrq)のタイミングを示しています。

Figure 4-8 アイドルタイマをソフトウェアで起動し、カードクロックでクロック制御する場合のアイドルタイマ満了割込みフラグ(IRQ_STATUS.IdtexpIrq)セットのタイミング

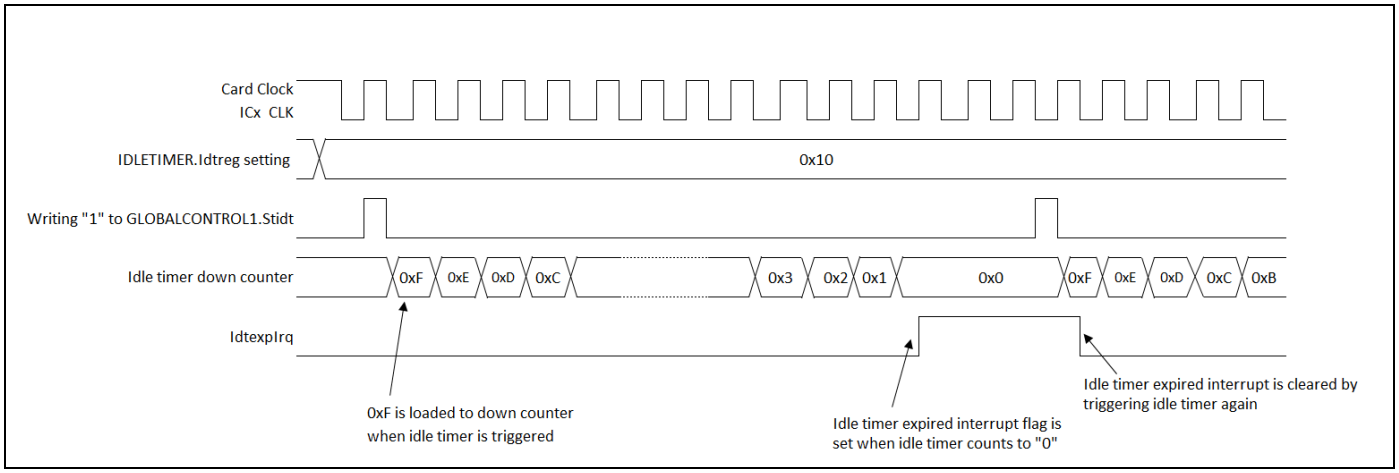
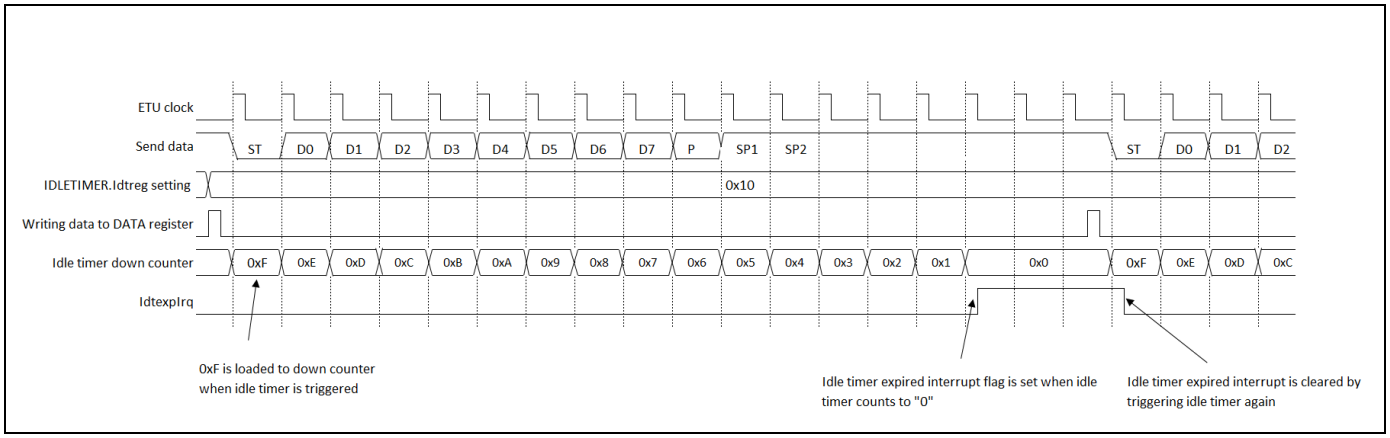


Figure 4-9 は、アイドルタイマを ETU クロックでクロック制御し、スタートビットの送信で起動する場合のアイドルタイマ満了割込みフラグ(IRQ_STATUS.IdtexpIrq)のタイミングを示しています。

Figure 4-9 アイドルタイマをスタートビットの送信で起動し、ETU クロックでクロック制御する場合のアイドルタイマ満了割込みフラグ(IRQ_STATUS.IdtexpIrq)セットのタイミング

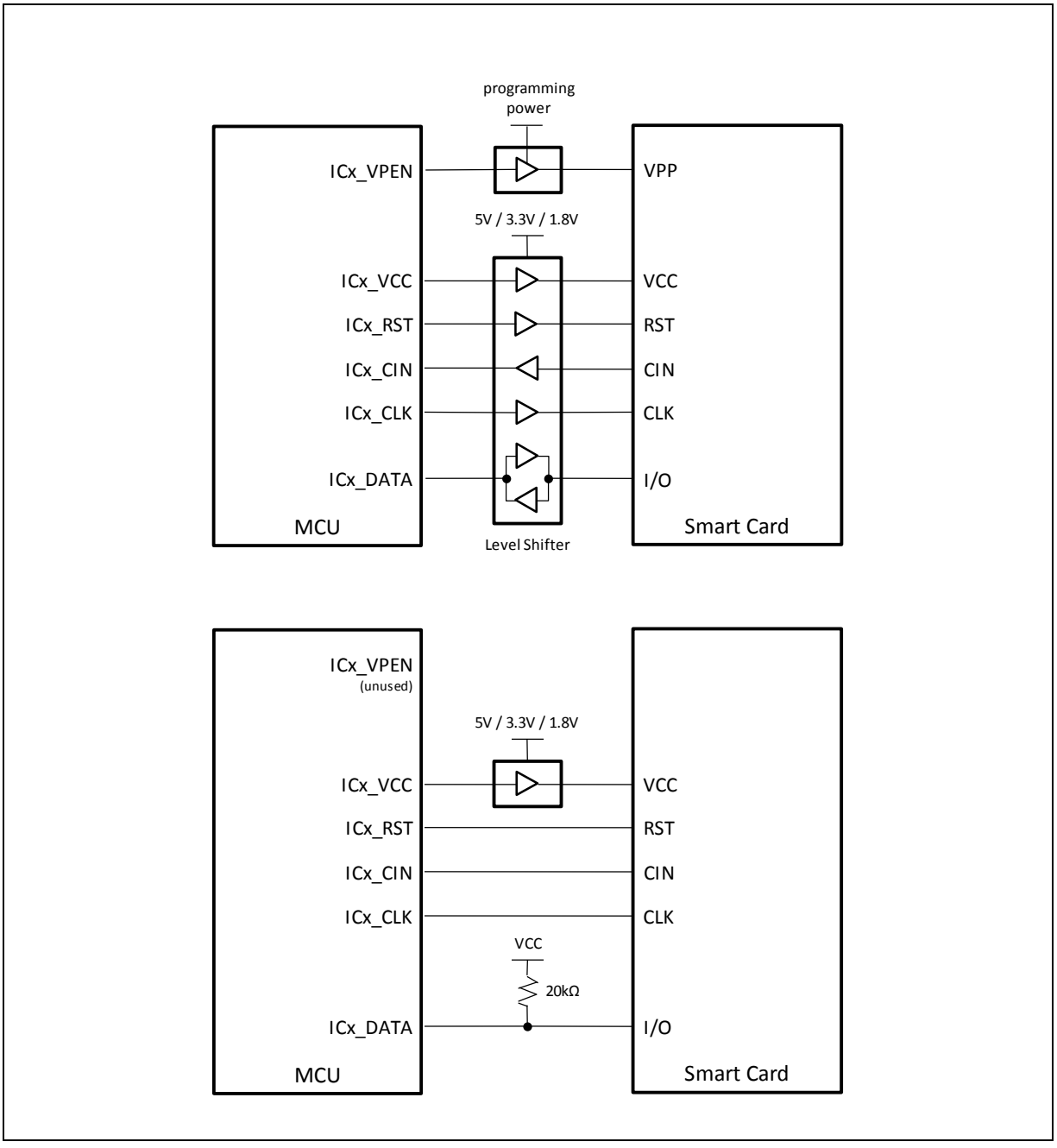


5. スマートカードインタフェースの設定手順とプログラムフロー

MCU とスマートカードの接続

Figure 5-1 に MCU とスマートカードの接続を示します。
MCU の I/O レベルとスマートカード(Class-A/Class-B/Class-C)に依存し、レベルシフタが必要です。
スマートカードが ISO 7816-3 2006 以後をサポートする場合、書込みのための外部電源は不要です。
MCU の ICx_VCC 端子はスマートカードの最大消費電流を供給できません。そのため、外部電源が必要です。

Figure 5-1 半二重通信の接続例

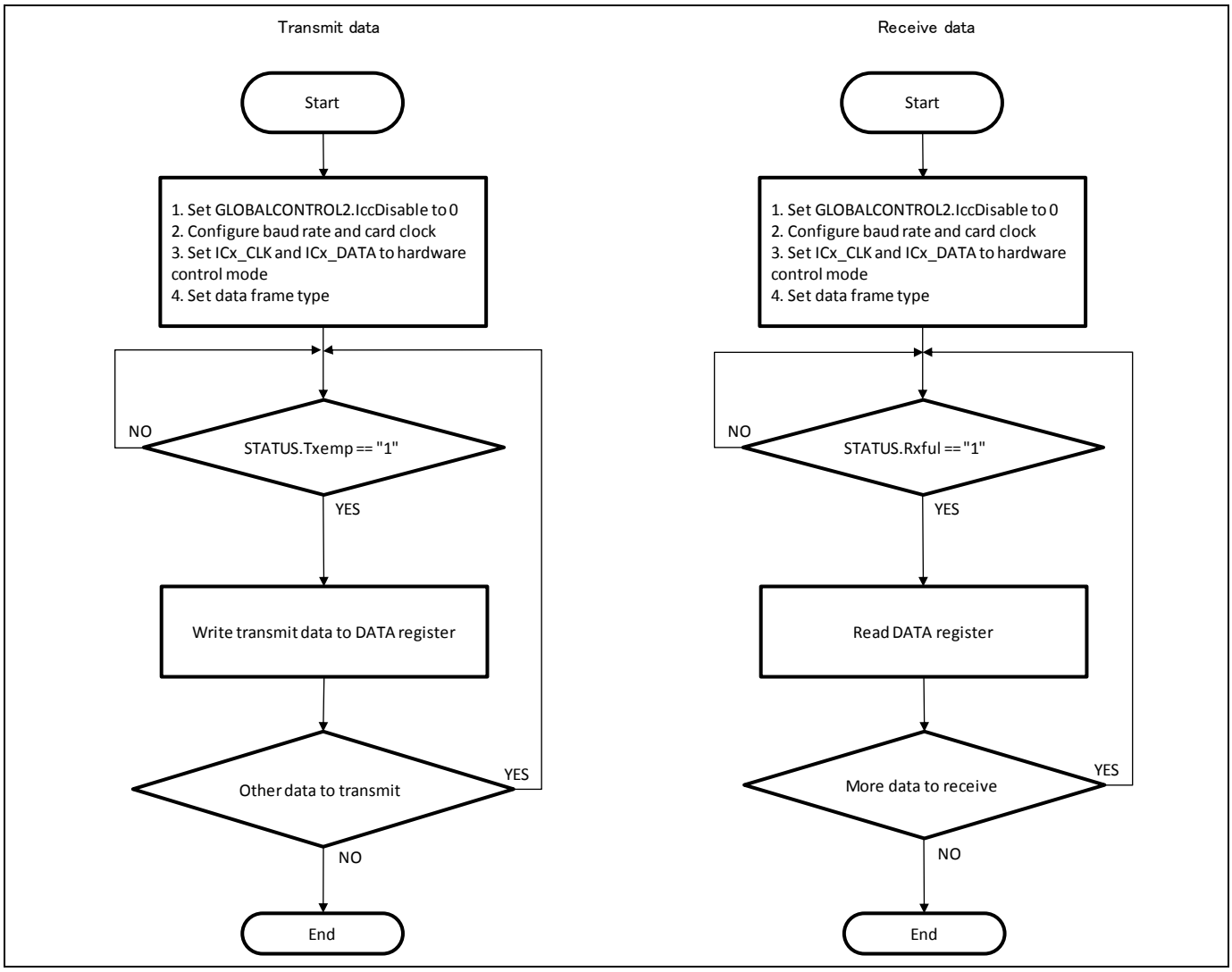


フローチャート

■ FIFO 不使用時

Figure 5-2 は、FIFO を使用せず、ICx_DATA/ICx_CLK をハードウェアで制御する場合のデータ伝送のフローチャートを示しています。

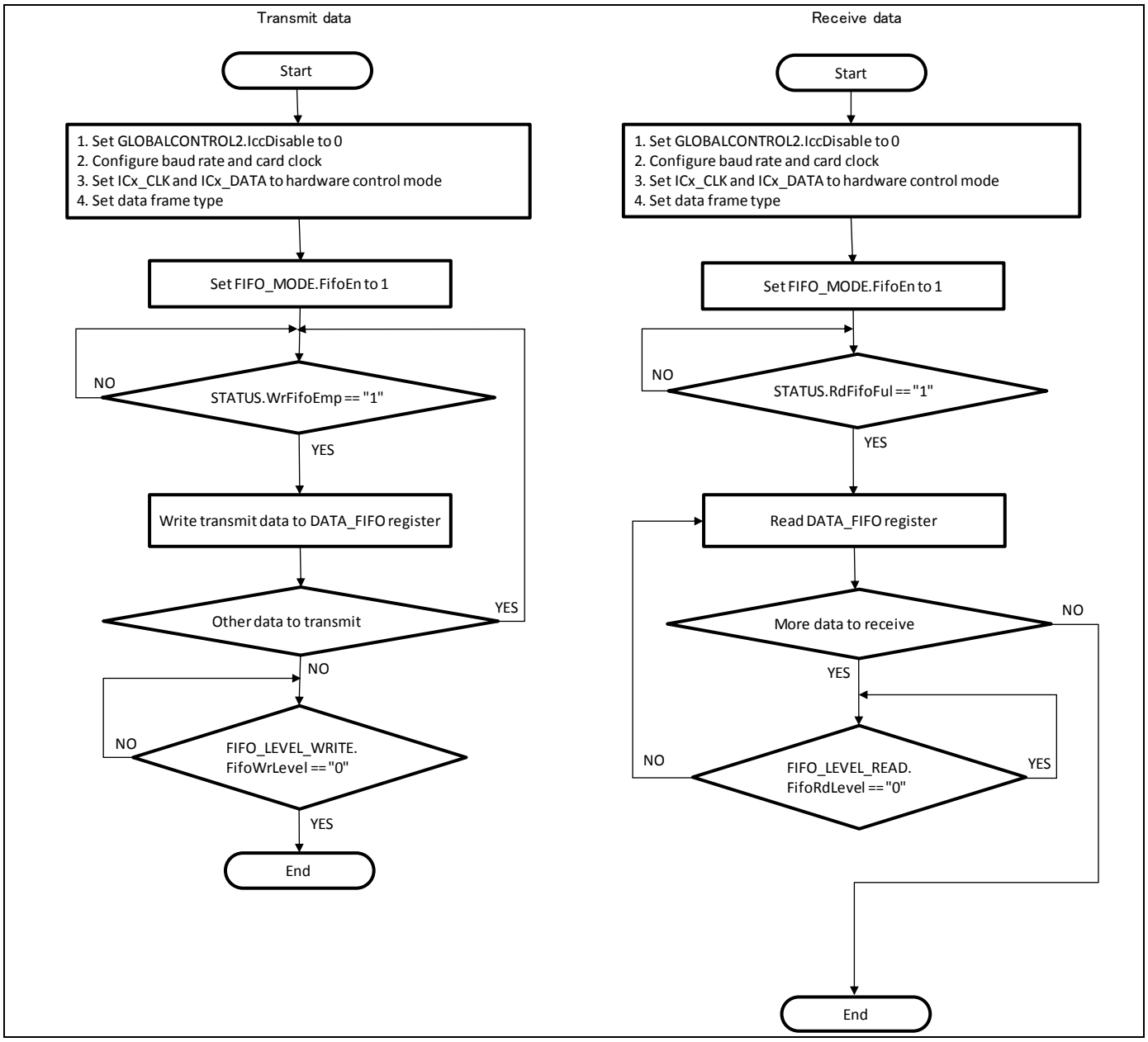
Figure 5-2 半二重通信フローチャート例（FIFO 不使用時）



■ FIFO 使用時

Figure 5-3 は、FIFO を使用し、ICx_DATA/ICx_CLK をハードウェアで制御する場合のデータ伝送のフローチャートを示しています。

Figure 5-3 半二重通信フローチャート例（FIFO 使用時）



6. スマートカードインタフェースのレジスタ

このセクションでは、スマートカードインタフェースのレジスタの一覧を示します。

Table 6-1 スマートカードインタフェースのレジスター覧

略語	レジスタ名	参照
GLOBALCONTROL1	グローバル制御レジスタ 1	6.1
STATUS	ステータスレジスタ	6.2
PORTCONROL	ポート制御レジスタ	6.3
DATA	データレジスタ	6.4
CARDCLOCK	カードクロック周波数レジスタ	6.5
BAUDRATE	ボーレートレジスタ	6.6
GUARDTIMER	ガードタイマレジスタ	6.7
IDLETIMER	アイドルタイマレジスタ	6.8
GLOBALCONTROL2	グローバル制御レジスタ 2	6.9
DATA_FIFO	FIFO アクセスレジスタ	6.10
FIFO_LEVEL_READ	読出し FIFO レベルレジスタ	6.11
FIFO_LEVEL_WRITE	書込み FIFO レベルレジスタ	6.12
FIFO_MODE	FIFO モードレジスタ	6.13
FIFO_CLEAR_MSB_WRITE	書込み FIFO クリアレジスタ	6.14
FIFO_CLEAR_MSB_READ	読出し FIFO クリアレジスタ	6.15
IRQ_STATUS	割込みステータスレジスタ	6.16

6.1 グローバル制御レジスタ 1(GLOBALCONTROL1)

このレジスタでは、スマートカードインタフェースを構成できます。
ここで、割込みを許可し、プロトコルを選択します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	-	Idtsc	Stidt	Guaen	Resnd	Ckmod	Iomod	Maskitexp
属性	-	R/W	W	R/W	R/W	R/W	R/W	R/W
初期値	-	0	0	0	1	0	0	0

ビット	7	6	5	4	3	2	1	0
フィールド	Maskcaevent	Masksti	Masktxemp	Maskrxful	Mode8n1	Frm1	Frm0	Parity
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15] -：未使用ビット
このビット値は、読出し時、不定です。
このビットは、書込み時、無効です。

[bit14] Idtsc：アイドルタイマクロック選択ビット
このビットは、アイドルタイマの減算カウンタのクロックソースを選択します。

値	説明
0	アイドルタイマをカードクロック(ICx_CLK)でクロック制御します。
1	アイドルタイマをボークロック（ETU クロック）でクロック制御します。

[bit13] Stidt：アイドルタイマ起動ビット
このビットは、アイドルタイマの起動に使用します。このビットを 1 に設定してアイドルタイマを起動します。
このビットへの 0 の書込みは無効です。常に 0 として読み出されます。

値	説明
0	無効。
1	アイドルタイマを起動します。

[bit12] Guaen：ガードタイマ有効ビット
このビットは、ガードタイマを有効または無効にします。

値	説明
0	ガードタイマを無効にします。
1	ガードタイマを有効にします。

[bit11] Resnd：送信機/受信機再送機能有効ビット

送信機および受信機再送機能を有効または無効にします。

データ送信では、再送機能が有効で再送要求が検出されると（パリティエラー発生）、送信機は現在のデータを再送します。

データ受信では、再送機能が有効でパリティエラーが発生すると、受信機は再送要求を送出し、次のフレームの受信を待機します。

値	説明
0	再送機能を無効にします。
1	再送機能を有効にします。

＜注意事項＞

- *送信再送が発生すると、データレジスタ内のデータの代わりに、再送が要求されたデータフレームが送信されます。再送要求が検出されない限り、データレジスタ内のデータが送出されます。*
- *受信再送が発生すると、現在のデータフレーム（パリティエラーを伴う）はデータレジスタにロードされず、FIFO 不使用時、STATUS.Rxful は 1 に設定されません。FIFO 使用時、パリティエラーを伴うデータフレームは読出し FIFO に送られません。*

[bit10] Ckmod：クロック発生モード選択ビット

クロック発生方法をソフトウェアまたはハードウェアに決定します。

ソフトウェアを選択した場合、ICx_CLK の出力レベルは、PORTCONTROL レジスタの Clkpt ビット (PORTCONTROL.Clkpt)に設定した値に依存します。

ハードウェアを選択した場合、ICx_CLK は、UART 部で内部発生します。

値	説明
0	ICx_CLK をハードウェアで発生させます。
1	ICx_CLK をソフトウェアで発生させます。

[bit9] Iomod：データ発生モード選択ビット

データ発生方法をソフトウェアまたはハードウェアに決定します。

ソフトウェアを選択した場合、ICx_DATA の出力レベルは、PORTCONTROL レジスタの Io1 ビット (PORTCONTROL.Io1)に設定した値に依存します。

ハードウェアを選択した場合、ICx_DATA は、UART 部で内部発生します。

値	説明
0	ICx_DATA をハードウェアで発生させます。
1	ICx_DATA をソフトウェアで発生させます。

＜注意事項＞

- *Iomod を 1 に設定した場合、PORTCONTROL レジスタの Io1en ビットで ICx_DATA の出力許可も設定する必要があります。*

[bit8] Maskitexp：アイドルタイマ満了割込み許可ビット
アイドルタイマ満了割込みを許可または禁止します。

値	説明
0	アイドルタイマ満了割込みを禁止します。
1	アイドルタイマ満了割込みを許可します。

[bit7] Maskcaevent：カードイベント検出割込み許可ビット
ICx_CIN 入力で検出されたイベントによって発生する割込みを許可または禁止します。

値	説明
0	カードイベント割込みを禁止します。
1	カードイベント割込みを許可します。

[bit6] Masksti：スタートビット検出割込み許可ビット
受信モード時に ICx_DATA で検出されたスタートビットによって発生する割込みを許可または禁止します。

値	説明
0	スタートビット検出割込みを禁止します。
1	スタートビット検出割込みを許可します。

[bit5] Masktxemp：送信データレジスタエンプティ割込み許可ビット
送信データレジスタが空になると発生する割込みを許可または禁止します。

値	説明
0	送信データレジスタエンプティ割込みを禁止します。
1	送信データレジスタエンプティ割込みを許可します。

[bit4] Maskrxful：受信データレジスタフル割込み許可ビット
受信データレジスタが一杯になると発生する割込みを許可または禁止します。

値	説明
0	受信データレジスタフル割込みを禁止します。
1	受信データレジスタフル割込みを許可します。

[bit3] Mode8n1：送信機 8N2 プロトコル選択ビット
このビットは、送信機について 8N2 プロトコルを選択します。このビットは、受信機に影響しません。
送信機についてプロトコル 8E2/8O2 を選択する場合は、このビットを 0 に設定します。

値	説明
0	送信機 8N2 プロトコルを選択しません。
1	送信機 8N2 プロトコルを選択します。

[bit2] Frm1：データフレームコーディングスタイル選択ビット

データフレームコーディングスタイルとして通常コーディングまたは反転コーディングを選択します。
このビットは、スタートおよびストップビットに影響しません。
このビットを 1 に設定した場合は、奇数パリティを設定するべきです(GLOBALCONTROL1.Parity=1)。

値	説明
0	通常コーディング（LSB が最初に送信され、ローレベルが論理ゼロです）
1	反転コーディング（MSB が最初に送信されて反転され、ハイレベルが論理ゼロです）

[bit1] Frm0：受信データビット長設定ビット

データビット長を 8 または 9 に設定します。
受信機のみ有効です。送信機の場合、データビット長は常に 8 です。
8E1 または 8O1 プロトコルを選択した場合は、このビットを 0 に設定します。9N1 プロトコルを選択した場合は、このビットを 1 に設定します。

値	説明
0	8 ビットデータ長
1	9 ビットデータ長

[bit0] Parity：奇数/偶数パリティ選択ビット

データ送受信用の奇数/偶数パリティ選択ビット。
データ送信時、このビットの設定に従って出力パリティビットが発生します。
データ受信時、このビットの設定に従って入力データのパリティビットがチェックされます。

値	説明
0	偶数パリティ
1	奇数パリティ

6.2 ステータスレジスタ(STATUS)

ステータスレジスタ(STATUS)は、現在の送信/受信状態の確認、受信エラーフラグの確認、および受信エラーフラグのクリアに使用します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約		RxResend	TxResend	RxStartErr	WrFifoEmp	RdFifoFul	RdFifoOvr
属性	-		R(*1)	R(*1)	R(*1)	R	R	R
初期値	-		0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
フィールド	Idtrun	Recofl	CardEvent	CardDetect	Txact	Rxact	Rxful	Txemp
属性	R	R	R(*1)	R	R	R	R	R
初期値	0	0	0	0	0	0	0	1

*1：このビットは、読出しでクリアされます。

レジスタ機能

[bit15:14] 予約：予約ビット

これらのビットは常に 0 として読み出されます。書込みは無効です。

[bit13] RxResend：受信機再送フラグビット

GLOBALCONTROL1.Resnd=1 でデータ受信中にパリティエラーが発生した場合、スマートカードインタフェースは再送要求を送信し、このビットは 1 に設定されます。

ステータスレジスタを読み出すと、このビットは 1 にクリアされます。

値	説明
0	受信機再送は発生していません。
1	受信機再送が発生しています。

[bit12] TxResend：送信機再送フラグビット

GLOBALCONTROL1.Resnd=1 でデータ送信中に再送要求が検出された場合、送信機は前のデータフレームを再送し、このフラグビットは 1 に設定されます。

ステータスレジスタを読み出すと、このビットは 1 にクリアされます。

値	説明
0	送信機再送は発生していません。
1	送信機再送が発生しています。

[bit11] RxStartErr：受信スタートビットエラーフラグビット

このビットは、誤ったスタートビットを受信したかどうかを示します。
誤ったスタートビットを受信すると、受信機は、データラインの次のスタートビットを待ちます。

値	説明
0	スタートビットは誤っていません。
1	誤ったスタートビットを受信しました。

[bit10] WrFifoEmp：書込み FIFO エンプティフラグビット

このフラグは、書込み FIFO の状態を示します。
書込み FIFO 内の有効データ数が FIFO_MODE.WrFifoLevel に設定した値未満の場合、このビットは 1 に設定されます。
書込み FIFO 内の有効データ数が FIFO_MODE.WrFifoLevel に設定した値以上の場合、このビットは 0 にクリアされます。

値	説明
0	書込み FIFO は空ではありません。
1	書込み FIFO は空です。

[bit9] RdFifoFul：読出し FIFO フルフラグビット

このフラグは、読出し FIFO の状態を示します。
読出し FIFO 内の受信データ数が FIFO_MODE.RdFifoLevel に設定した値を越える場合、このビットは 1 に設定されます。
読出し FIFO 内の受信データ数が FIFO_MODE.RdFifoLevel に設定した値以下の場合、このビットは 0 にクリアされます。

値	説明
0	読出し FIFO は一杯ではありません。
1	読出し FIFO は一杯です。

[bit8] RdFifoOvr：読出し FIFO オーバフローフラグ

このビットは、読出し FIFO がオーバフローかどうかを示します。
読出し FIFO 内に受信したデータが 16 バイト有り、もう 1 つのデータフレームを受信すると、読出し FIFO はオーバフローとなり、このビットは「1」に設定されます。
このビットは、FIFO_CLEAR_MSB_READ レジスタの ClrRdFifo ビットに 1 を書き込むことで 0 にクリアできます。

値	説明
0	読出し FIFO はオーバフローしていません。
1	読出し FIFO はオーバフローしています。

[bit7] Idtrun：アイドルタイマ実行フラグ
このビットは、アイドルタイマが実行中かどうかを示します。
アイドルタイマを起動すると、アイドルタイマの減算カウンタが動作を開始し、このビットが 1 に設定されます。
アイドルタイマが満了すると、このビットは 0 に設定され、減算カウンタは動作を停止します。

値	説明
0	アイドルタイマは停止しています。
1	アイドルタイマは実行中です。

[bit6] Recofl：受信データレジスタオーバフローフラグ
このビットは、受信データレジスタがオーバフローかどうかを示します。
受信データフレームが CPU によって読出されず、別のデータフレームが受信された場合、このビットが 1 に設定されます。
このビットは、データレジスタを読み出すことで 0 にクリアできます。

値	説明
0	受信データレジスタはオーバフローしていません。
1	受信データレジスタはオーバフローしています。

[bit5] CardEvent：カードイベントフラグ
このビットは、カード検出入力(ICx_CIN)の変化が検出されたことを示します。
ICx_CIN 入力のレベルに変化があると、このビットが 1 に設定されます。
ステータスレジスタを読み出すと、このビットは 0 にクリアされます。

値	説明
0	カードイベントなし。
1	カードイベント検出。

[bit4] CardDetect：ICx_CIN 入力端子レベル
このビットは、ICx_CIN 入力端子のレベルを示します。

値	説明
0	ICx_CIN 端子のレベルはローです。
1	ICx_CIN 端子のレベルはハイです。

[bit3] Txact：送信機ステータスフラグ
このビットは、送信機の動作状態を示します。
シリアルデータ送信が進行中の場合、送信機はアクティブで、このビットは 1 に設定されます。
送信するデータが無い場合、送信機はアイドル状態で、このビットは 0 に設定されます。

値	説明
0	送信機はアイドル状態です。
1	送信機はアクティブです。

[bit2] Rxact：受信機ステータスフラグ

このビットは、受信機の動作状態を示します。
シリアルデータ受信が進行中の場合、受信機はアクティブで、このビットは 1 に設定されます。
受信するデータが無い場合、受信機はアイドル状態で、このビットは 0 に設定されます。

値	説明
0	受信機はアイドル状態です。
1	受信機はアクティブです。

[bit1] Rxful：受信データレジスタステータスフラグ

このビットは、受信データレジスタのステータスを示します。
データフレームを受信すると、このビットは 1 に設定されます。
データレジスタを読み出すと、このビットは 0 に設定されます。

値	説明
0	受信データレジスタは空です。
1	受信データレジスタは一杯です。

[bit0] Txemp：送信データレジスタステータスフラグ

このビットは、送信データレジスタのステータスを示します。
データフレームをデータレジスタに書き込むと、このビットは 1 に設定されます。
データレジスタにデータが無い場合、このビットは 0 に設定されます。

値	説明
0	送信データレジスタは一杯です。
1	送信データレジスタは空です。

6.3 ポート制御レジスタ(PORTCONTROL)

ポート制御レジスタは、スマートカードインタフェースポートのステータスの制御に使用します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	VpenOutEn	VccOutEn	RstOutEn	ClkOutEn	予約		Vpen	Vccen
属性	R/W	R/W	R/W	R/W	-		R/W	R/W
初期値	0	0	0	0	-		0	0

ビット	7	6	5	4	3	2	1	0
フィールド	Rst	Clkpt	予約	Io1en	予約	Io1	予約	Trimod
属性	R/W	R/W	-	R/W	-	R/W	-	R/W
初期値	0	0	-	0	-	0	-	0

レジスタ機能

[bit15] VpenOutEn：ICx_VPEN 出力許可ビット

このビットは、ICx_VPEN の出力レベルを許可します。
データ通信前、このビットに 1 を書き込んで ICx_VPEN の出力を許可します。
このビットを 0 に設定した場合、ICx_VPEN のレベルは保証されません。

値	説明
0	ICx_VPEN 出力レベルは保証されません。
1	ICx_VPEN 出力を許可します。

[bit14] VccOutEn：ICx_VCC 出力許可ビット

このビットは、ICx_VCC の出力レベルを許可します。
データ通信前、このビットに 1 を書き込んで ICx_VCC の出力を許可します。
このビットを 0 に設定した場合、ICx_VCC のレベルは保証されません。

値	説明
0	ICx_VCC 出力レベルは保証されません。
1	ICx_VCC 出力を許可します。

[bit13] RstOutEn：ICx_RST 出力許可ビット

このビットは、ICx_RST の出力レベルを許可します。
データ通信前、このビットに 1 を書き込んで ICx_RST の出力を許可します。
このビットを 0 に設定した場合、ICx_RST のレベルは保証されません。

値	説明
0	ICx_RST 出力レベルは保証されません。
1	ICx_RST 出力を許可します。

[bit12] ClkOutEn：ICx_CLK 出力許可ビット
このビットは、ICx_CLK の出力レベルを許可します。
データ通信前、このビットに 1 を書き込んで ICx_CLK の出力を許可します。
このビットを 0 に設定した場合、ICx_CLK のレベルは保証されません。

値	説明
0	ICx_CLK 出力レベルは保証されません。
1	ICx_CLK 出力を許可します。

[bit11:10] 予約：予約ビット
常に 0 として読み出されます。書込みは無効です。

[bit9] Vpen：ICx_VPEN 出力値
このビットに書き込んで ICx_VPEN 出力の出力レベルを設定します。

値	説明
0	ローレベル
1	ハイレベル

[bit8] Vccen：ICx_VCC 出力値
このビットに書き込んで ICx_VCC 出力の出力レベルを設定します。

値	説明
0	ローレベル
1	ハイレベル

[bit7] Rst：ICx_RST 出力値
このビットに書き込んで ICx_RST 出力の出力レベルを設定します。

値	説明
0	ローレベル
1	ハイレベル

[bit6] Clkpt：ICx_CLK 出力値
GLOBALCONTROL1.Ckmod=1 の場合、このビットに書き込んで ICx_CLK の出力レベルを設定します。

値	説明
0	ローレベル
1	ハイレベル

[bit5] 予約：予約ビット
常に 0 として読み出されます。書込みは無効です。

[bit4] Io1en：ICx_DATA 出力許可制御ビット
PORTCONTROL.Trimod=1 の場合、このビットに書き込んで ICx_DATA 出力を許可/禁止します。

値	説明
0	ICx_DATA 出力許可
1	ICx_DATA 出力禁止

[bit3] 予約：予約ビット
常に 0 として読み出されます。書込みは無効です。

[bit2] Io1：ICx_DATA レベル
GLOBALCONTROL1.Iomod=1 の場合、このビットに書込んで ICx_DATA 端子の出力レベルを設定します。
このビットは、読出し時、ICx_DATA のレベルを示します。

値	説明
0	ローレベル
1	ハイレベル

[bit1] 予約：予約ビット
常に 0 として読み出されます。書込みは無効です。

[bit0] Trimod：ICx_DATA 出力許可発生モード選択ビット
このビットは、データ送信の ICx_DATA 出力許可の発生モードを選択します。

値	説明
0	ICx_DATA 出力許可を UART 部で内部制御します。
1	ICx_DATA 出力許可を PORTCONTROL.Io1en で制御します。

6.4 データレジスタ(DATA)

データレジスタ(DATA)は、シリアルデータ伝送用 9 ビットデータバッファレジスタです。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							Data[8]
属性				-				R/W
初期値				-				0

ビット	7	6	5	4	3	2	1	0
フィールド	Data[7:0]							
属性	R/W							
初期値	0x00							

レジスタ機能

[bit15:9] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit8:0] Data：送信/受信データ

送信モードでは、データレジスタに書込み、Data[7:0]を送信します。パリティは自動的に計算されます。
このレジスタへの書込みアクセスによって直ちに送信が開始します。
8 ビットフレームの受信モードでは、Data[7:0]は、受信データバイトを格納します。Data[8]は、もしあれば受信したパリティビットを格納します。
9N1 の受信モードでは、Data[8:0]は、受信データフレームを格納します。

送信モード	データ長	データ[8]	データ[7:0]
データ受信	9 ビット	データビット	データビット
	8 ビット（パリティなし）	無効	データビット
	8 ビット（パリティあり）	パリティビット	データビット
データ送信	8 ビット	無効	データビット

6.5 カードクロック周波数レジスタ(CARDCLOCK)

カードクロック周波数レジスタは、PCLK に基づいてカードクロック周波数分周を構成します。
PCLK を分周して、カードクロック出力(ICx_CLK)を発生させます。

レジスタ構成

ビット	15	0
フィールド	ClkDivider[15:0]	
属性	R/W	
初期値	0x0028	

レジスタ機能

[bit15:0] ClkDivider：カードクロック周波数分周

カードクロック周波数分周比として、このフィールドに偶数値を設定します。
このフィールドに奇数値を設定した場合、実効分周比は、奇数値+1 となります。

6.6 ボーレートレジスタ(BAUDRATE)

ボーレートレジスタでは、ボーレートを調整できます。ボーレート計算の基準値は、カードクロック周波数です。例えば、F/D=31 の関係を得るには、0x1F を BAUDRATE.Brreg にプログラムしなければなりません。

レジスタ構成

ビット	15	14	0
フィールド	LittleStep	Brreg[14:0]	
属性	R/W	R/W	
初期値	0	0x0174	

レジスタ機能

[bit15] LittleStep：ボーレート用小ステップビット

このビットを有効（「1」）にすることで、ボークロック発生は、+0.5 カードクロックステップが加算されます。そのように、ボーレートをより正確に調整できます。

値	説明
0	小ステップ機能を無効にします。
1	小ステップ機能を有効にします。

[bit14:0] Brreg：ボーレートレジスタビット

これらのビットは、ボーレートジェネレータの減算カウンタのリロード値を設定します。

6.7 ガードタイマレジスタ(GUARDTIMER)

ガードタイマは、GLOBALCONTROL1.Guaen を 1 に設定することで起動されます。UART 送信機は、GUARDTIMER.Gtreg ETU の間待機してから次のキャラクタを送信します。ガードタイマは、任意の送信または受信スタートビットによって起動します。受信機は、ガードタイマに影響されません。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	Gtreg[7:0]							
属性	R/W							
初期値	0x00							

レジスタ機能

[bit15:8] 予約：予約ビット

常に 0 として読出されます。書込みは無効です。

[bit7:0] Gtreg：ETU 単位ガードタイム

これらのビットは、スタートビットからカウントした 1 回の送信の長さを ETU 単位で設定します。

6.8 アイドルタイマレジスタ(IDLETIMER)

アイドルタイマは、カードクロック(IC1_CLK)またはボーレートジェネレータからの ETU クロックによってクロック制御できる独立した減算カウンタです（レジスタビット GLOBALCONTROL1.Idtsc 参照)。開始値は、送信機がスタートビットを送信するごとに、または GLOBALCONTROL1.Stidt を 1 に設定することでリロードされます。アイドルタイマを起動すると、(Idtreg-1)が減算カウンタにプログラムされます。

レジスタ構成

ビット	15	0
フィールド	Idtreg[15:0]	
属性	R/W	
初期値	0x0000	

レジスタ機能

[bit15:0] Idtreg：アイドルタイマ用リロード値

これらのビットは、アイドルタイマの減算カウンタのリロード値を設定します。Idtreg-1 がアイドルタイマにプログラムされます。

6.9 グローバル制御レジスタ 2(GLOBALCONTROL2)

グローバル制御レジスタ 2(GLOBALCONTROL2)は、スマートカードインタフェースの許可/禁止およびデータフレームのプロトコルの構成に使用します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	予約				IccDisable	予約	InvDataOut	Rx8n1
属性	-				R/W	-	R/W	R/W
初期値	-				1	0	0	0

レジスタ機能

[bit15:4] 予約：予約ビット

読出し値はすべて 0 です。書込みは無効です。

[bit3] IccDisable：スマートカードインタフェース無効/有効ビット

このビットは、スマートカードインタフェース制御部を無効または有効にします。
スマートカードインタフェースが有効な場合にのみ、データ送信または受信が開始できます。
データ送信中、このビットを 1 に設定しないでください。

値	説明
0	スマートカードインタフェースを有効にします。
1	スマートカードインタフェースを無効にします。

[bit2] 予約：予約ビット

読出し値は 0 です。書込みは無効です。

[bit1] InvDataOut：出力反転許可ビット

このビットは、データ送信中、ICx_DATA のレベルの反転を禁止または許可します。
出力データのみを反転できます。スタートビットとストップビットも反転されます。
このビットは、出力データをハードウェアで発生させる場合(GLOBALCONTROL1.Iomod=0)にのみ有効です。

値	説明
0	ICx_DATA の反転を禁止します。
1	ICx_DATA の反転を許可します。

[bit0] Rx8n1：受信機 8N1/8N2 プロトコル選択ビット

このビットは、データ受信について 8N1/8N2 プロトコルを選択します。

値	説明
0	受信機について 8N1/8N2 プロトコルを選択しません。
1	受信機について 8N1/8N2 プロトコルを選択します。

6.10 FIFO アクセスレジスタ(DATA_FIFO)

スマートカードインタフェースは、データ送信用および受信用の 2 つの 16 バイト FIFO を内蔵しています。FIFO は、特定レベルに達すると割込みを発生するよう構成できます。FIFO は、必要に応じてフラッシュすることもできます。

FIFO アクセスレジスタ(DATA_FIFO)は、FIFO の読出し/書込みに使用します。読出し FIFO に格納された受信データは、このレジスタを読出すことで読み出せます。このレジスタに書込んだデータは送出されます。このレジスタへの書込みによって直ちにデータ送信が行われます。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							Data[8]
属性	-							R/W
初期値	-							0

ビット	7	6	5	4	3	2	1	0
フィールド	Data[7:0]							
属性	R/W							
初期値	0x00							

レジスタ機能

[bit15:9] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit8:0] Data：送信/受信データ

送信モード	データ長	データ[8]	データ[7:0]
データ受信	9 ビット	データビット	データビット
	8 ビット（パリティなし）	無効	データビット
	8 ビット（パリティあり）	パリティビット	データビット
データ送信	8 ビット	無効	データビット

6.11 読出し FIFO レベルレジスタ(FIFO_LEVEL_READ)

読出し FIFO レベルレジスタ(FIFO_LEVEL_READ)は、読出し FIFO 内のデータフレーム数を示します。

レジスタ構成

ビット	15	0
フィールド	FifoRdLevel[15:0]	
属性	R	
初期値	0x0000	

レジスタ機能

[bit15:0] FifoRdLevel：読出し FIFO レベル

各ビットは、1 つの FIFO スロットを表します。ビットが「1」の場合、その FIFO スロットは使用中であり、0 の場合は不使用です。

6.12 書込み FIFO レベルレジスタ(FIFO_LEVEL_WRITE)

書込み FIFO レベルレジスタ(FIFO_LEVEL_WRITE)は、書込み FIFO 内のデータフレーム数を示します。

レジスタ構成

ビット	15	0
フィールド	FifoWrLevel[15:0]	
属性	R	
初期値	0x0000	

レジスタ機能

[bit15:0] FifoWrLevel：書込み FIFO レベル

各ビットは、1 つの FIFO スロットを表します。ビットが「1」の場合、その FIFO スロットは使用中であり、0 の場合は不使用です。

6.13 FIFO モードレジスタ(FIFO_MODE)

FIFO モードレジスタ(FIFO_MODE)は、割込み発生またはステータス設定の FIFO レベルを設定します。また、FIFO と FIFO 関連の割込みを許可/禁止します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	RdFifoLevel[3:0]				WrFifoLevel[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

ビット	7	6	5	4	3	2	1	0
フィールド	予約				RdFifoIrqEn	WrFifoIrqEn	RdFifoOvrIrqEn	FifoEn
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

レジスタ機能

[bit15:12] RdFifoLevel：読出し FIFO レベル

これらのビットは、読出し FIFO フル割込みまたはステータスフラグ発生の読出し FIFO レベルを設定します。少なくとも RdFifoLevel+1 のデータフレームが読出し FIFO に格納されたとき、割込みを発生させることができます。

[bit11:8] WrFifoLevel：書込み FIFO レベル

これらのビットは、書込み FIFO エンプティ割込みまたはステータスフラグ発生の書込み FIFO レベルを設定します。

書込み FIFO 内のデータフレームが WrFifoLevel 未満の場合、割込みを発生させることができます。

[bit7:4] 予約：予約ビット

常に 0 として読出されます。書込みは無効です。

[bit3] RdFifoIrqEn：読出し FIFO フル割込み許可ビット

このビットは、読出し FIFO フル割込みの発生を許可/禁止します。

値	説明
0	読出し FIFO フル割込みを禁止します。
1	読出し FIFO フル割込みを許可します。

[bit2] WrFifoIrqEn：書込み FIFO エンプティ割込み許可ビット

このビットは、書込み FIFO エンプティ割込みの発生を許可/禁止します。

値	説明
0	書込み FIFO エンプティ割込みを禁止します。
1	書込み FIFO エンプティ割込みを許可します。

[bit1] RdFifoOvrIrqEn：読出し FIFO オーバフロー割込み許可ビット

このビットは、読出し FIFO オーバフロー割込みの発生を許可/禁止します。

値	説明
0	読出し FIFO オーバフロー割込みを禁止します。
1	読出し FIFO オーバフロー割込みを許可します。

[bit0] FifoEn：FIFO 許可ビット

このビットは、読出し/書込み FIFO を許可/禁止します。

値	説明
0	読出し/書込み FIFO を禁止します。
1	読出し/書込み FIFO を許可します。

6.14 書込み FIFO クリアレジスタ(FIFO_CLEAR_MSB_WRITE)

このレジスタに書き込むことで、書込み FIFO 内のデータをクリアできます。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	予約							ClrWrFifo
属性	-							R/W
初期値	-							0

レジスタ機能

[bit15:1] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit0] ClrWrFifo：書込み FIFO クリアビット

このビットに 1 を書き込むことで、書込み FIFO 内のデータがフラッシュされ、書込み FIFO が全部空になります。

値	説明
0	書込み FIFO をフラッシュしません。
1	書込み FIFO をフラッシュします。

6.15 読出し FIFO クリアレジスタ(FIFO_CLEAR_MSB_READ)

このレジスタに書き込むことで、読出し FIFO 内のデータをクリアできます。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	予約							ClrRdFifo
属性	-							R/W
初期値	-							0

レジスタ機能

[bit15:1] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit0] ClrRdFifo：読出し FIFO クリアビット

このビットに 1 を書き込むことで、読出し FIFO 内のデータがフラッシュされ、読出し FIFO が全部空になります。

値	説明
0	読出し FIFO をフラッシュしません。
1	読出し FIFO をフラッシュします。

6.16 割込みステータスレジスタ(IRQ_STATUS)

このレジスタでは、スマートカードインタフェース部の割込みステータスを読出すことができます。ソフトウェアでこのレジスタを使用して、どのイベントで割込みが発生したかを確認できます。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	RxfulIrq	TxempIrq	RxstbiIrq	CardEventIrq	IdtexpIrq	RdFifoIrq	WrFifoIrq	RdFifoOvrIrq
属性	R	R	R(*1)	R(*1)	R	R	R	R
初期値	0	0	0	0	0	0	0	0

*1: このビットは、読出しでクリアされます。

レジスタ機能

[bit15:8] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit7] RxfulIrq：受信データレジスタフル割込みフラグビット

このビットは、受信データレジスタが一杯のため発生した割込みのステータスを示します。

1 つのデータフレームが GLOBALCONTROL1.Maskrxful=1 でデータレジスタによって受信されると、このビットは 1 に設定されます。

このビットは、データレジスタを読み出すことで 0 にクリアされます。

値	説明
0	受信データレジスタフル割込みなし。
1	受信データレジスタフル割込み発生。

[bit6] TxempIrq：送信データレジスタエンプティ割込みフラグビット

このビットは、送信データレジスタが空のため発生した割込みのステータスを示します。

GLOBALCONTROL1.Masktxemp=1 で送信モードのデータレジスタにデータが無い場合、このビットは 1 に設定されます。

このビットは、データレジスタに書き込むことで 0 にクリアされます。

値	説明
0	送信データレジスタエンプティ割込みなし。
1	送信データレジスタエンプティ割込み発生。

[bit5] Rxstbilrq：受信スタートビット割込みフラグビット
このビットは、受信機が ICx_DATA 端子でスタートビットを検出したことで発生した割込みのステータスを示します。

スタートビットが GLOBALCONTROL1.Masksti=1 で受信機により検出されると、このビットは 1 に設定されます。
このビットは、IRQ_STATUS レジスタを読み出すことで 0 にクリアされます。

値	説明
0	受信スタートビット割込みなし。
1	受信スタートビット割込み発生。

[bit4] CardEventIrq：カードイベント割込みフラグビット
このビットは、ICx_CIN 入力のレベル変化の検出によって発生した割込みのステータスを示します。
ICx_CIN 入力のレベル変化が GLOBALCONTROL1.Maskcaevent=1 で
検出されると、このビットは 1 に設定されます。
このビットは、IRQ_STATUS レジスタを読み出すことで 0 にクリアされます。

値	説明
0	カードイベント割込み発生なし。
1	カードイベント割込み発生。

[bit3] Idtexplrq：アイドルタイマ満了割込みフラグビット
このビットは、アイドルタイマ満了で発生した割込みのステータスを示します。
アイドルタイマが GLOBALCONTROL1.Maskitexp=1 で満了すると、このビットは 1 に設定されます。
このビットは、アイドルタイマを再起動することで 0 にクリアされます。

値	説明
0	アイドルタイマ満了割込みなし。
1	アイドルタイマ満了割込み発生。

[bit2] RdFifoIrq：読出し FIFO フル割込みフラグビット
このビットは、読出し FIFO が一杯のため発生した割込みのステータスを示します。
FIFO_MODE.RdFifoIrqEn=1 で読出し FIFO 内のデータフレーム数が FIFO_MODE.RdFifoLevel に設定した値を越える場合、このビットは 1 に設定されます。
読出し FIFO 内のデータフレーム数が FIFO_MODE.RdFifoLevel に設定した値以下の場合、このビットは 0 にクリアされます。

値	説明
0	読出し FIFO フル割込みなし。
1	読出し FIFO フル割込み発生。

[bit1] WrFifoIrq：書込み FIFO エンプティ割込みフラグビット

このビットは、書込み FIFO が空のため発生した割込みのステータスを示します。

FIFO_MODE.WrFifoIrqEn=1 で書込み FIFO 内のデータフレーム数が FIFO_MODE.WrFifoLevel に設定した値未満の場合、このビットは 1 に設定されます。

書込み FIFO 内のデータフレーム数が FIFO_MODE.WrFifoLevel に設定した値以上の場合、このビットは 0 にクリアされます。

値	説明
0	書込み FIFO エンプティ割込みなし。
1	書込み FIFO エンプティ割込み発生。

[bit0] RdFifoOvrIrq：読出し FIFO オーバフロー割込みフラグビット

このビットは、読出し FIFO オーバフローで発生した割込みのステータスを示します。

読出し FIFO 内のデータフレーム数が 16 に達し、別のデータフレームが FIFO_MODE.RdFifoOvr=1 で受信されると、このビットは「1」に設定されます。

このビットは、FIFO_CLEAR_MSB_READ.ClrRdFifo に 1 を書込んで読出し FIFO をフラッシュすることで 0 にクリアされます。

値	説明
0	読出し FIFO オーバフロー割込みなし。
1	読出し FIFO オーバフロー割込み発生。

CHAPTER7: I2CSLAVE

I2CSLAVE の機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ

CODE: FIP024-J01.3

1. 概要

I2CSLAVE(I2C Slave Function With Wake-Up)は、I2C のスレーブ機能とスレーブアドレス一致による Wake-UP 機能をサポートしています。

I2CSLAVE の特長

■ スレーブアドレス一致

I2C バス 7 ビットスレーブアドレスレジスタ(IBSADR)を持ち、受信したスレーブアドレスと一致するときアクノリッジタイミングで自動的に I2C データ(SDA)に"L"を出力します。また、スレーブアドレスの検出を無効に設定することも可能です。

■ スレーブアドレスマスク

I2C バス 7 ビットスレーブアドレスレジスタ(IBSADR)に設定されたスレーブアドレスに対し、7 ビットスレーブアドレスマスクレジスタ(IBSMSKR)によってマスクされたアドレスビットは一致したものとしてスレーブアドレスの検出を行います。

スレーブアドレスマスク機能を使用し、スレーブアドレスが一致した場合、受信したスレーブアドレスが 7 ビットスレーブアドレスレジスタ(IBSADR)に書き込まれます。

■ 予約アドレスサポート

予約アドレス(0000xxx または 1111xxxx)を検出した場合、アクノリッジタイミング前で割込みを生成させ、受信データを読み出します。その受信データは受信した予約アドレスであり、そのアドレスがサポートしているかどうか判断し、アクノリッジタイミングで I2C データ(SDA)に"L"または"H"を出力します。この方法で予約アドレスをサポートしています。

■ 割込み

送信割込み、受信割込みとステータス割込みをサポートしています。

■ 自動 Wake-Up

CPU がスタンバイモード時、スレーブアドレスが一致したとき自動的に CPU を Wake-UP する機能をサポートしています。割込み要求フラグがクリアされるまで I2C クロック(SCL)に"L"を出力します。

■ I2C バススピード

I2C バスのスタンダードモード(Sm), ファーストモード(Fm), ファーストモードプラス(Fm+)をサポートしています。

ハイスピードモード(Hs-mode), ウルトラファーストモード(UFm)はサポートしていません。

■ I2C バスサポート

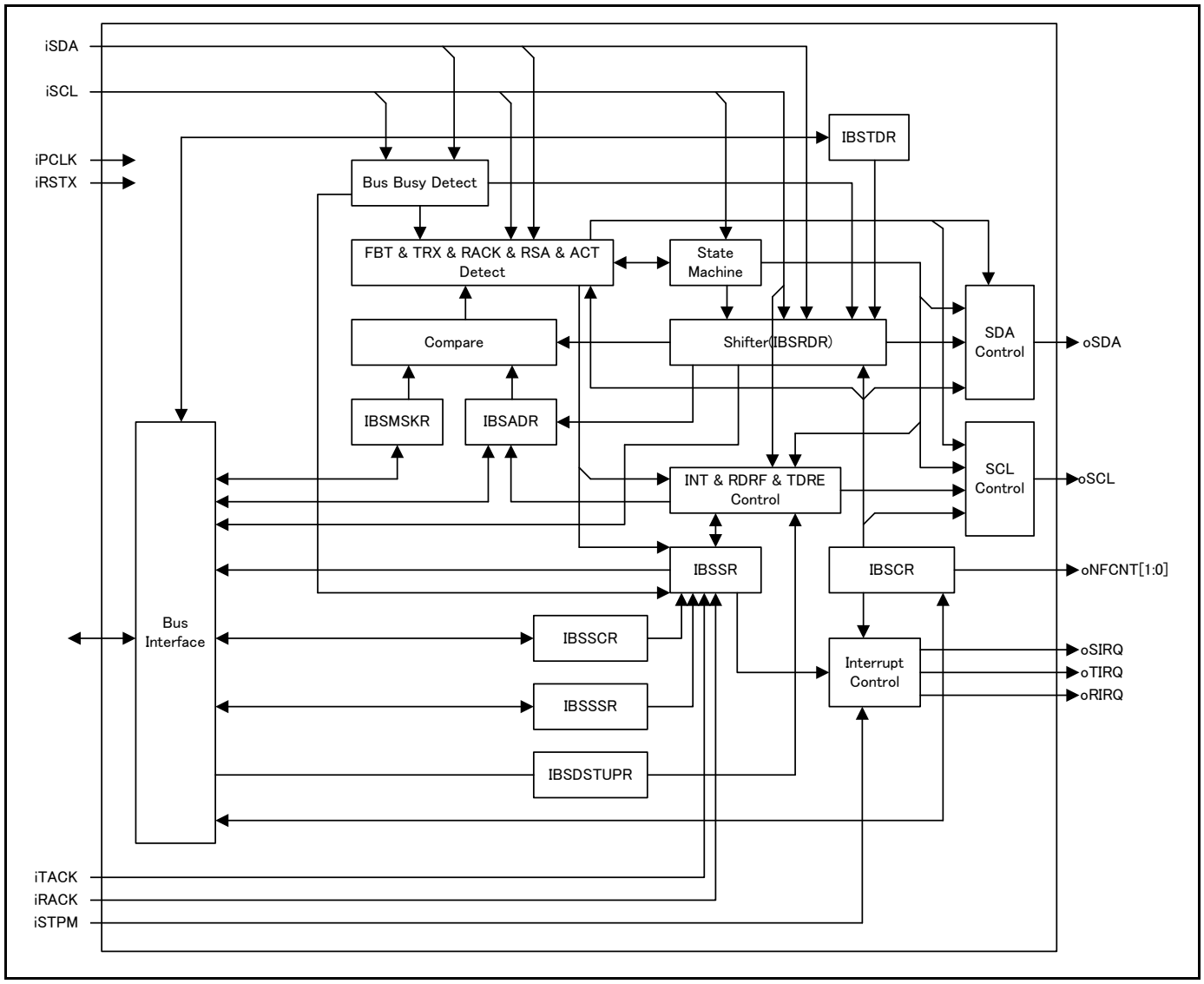
スレーブのみサポート。また、以下のプロトコルはサポートしていません。

CBUS, SMBus, PMBus, IPMI, ATCA, DDC

2. 構成

本章は、I2CSLAVE の構成を示します。

Figure 2-1 I2CSLAVE のブロックダイアグラム



3. 動作説明

I2CSLAVE の動作について説明します。

3.1. スレーブアドレス

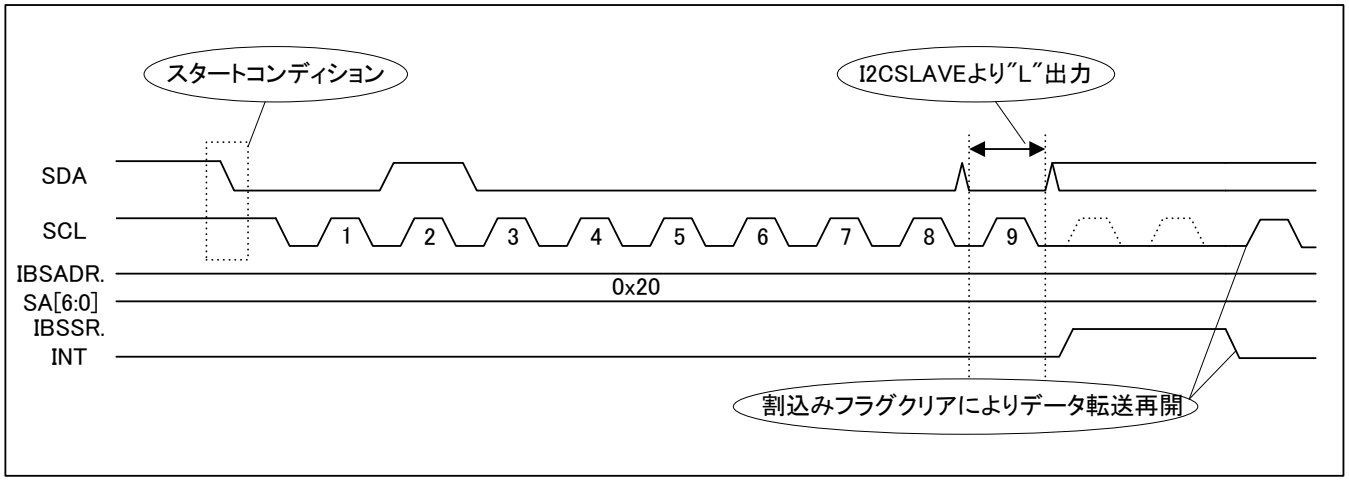
スタートコンディション検出後、I2C バス 7 ビットスレーブアドレスレジスタ(IBSADR)に設定されたスレーブアドレスと受信したスレーブが一致した場合(IBSADR.SAEN="1")、以下の動作を行います。

1) アクノリッジタイミングで I2C データ(SDA)に"L"を出力
2) アクノリッジタイミング後に I2C クロック(SCL)を"L"にする
3) ステータス割込みフラグ(IBSSR.INT)を"1"にセット

I2C クロック(SCL)が"L"の間、データ転送は停止しています。ステータス割込みフラグ(IBSSR.INT)を"0"にクリア(IBSSCR.INTC に"1"書込み)したとき I2C クロックが再開し、データの送受信が開始します。

I2C バス 7 ビットスレーブアドレスレジスタ(IBSADR)に設定されたスレーブアドレスと受信したスレーブアドレスが不一致の場合、アクノリッジタイミングで I2C データ(SDA)を"H"にしてステータス割込みフラグ(IBSSR.INT)は"0"のままで、送受信を行いません。

Figure 3-1　スレーブアドレス一致動作(例：IBSADR.SA[6:0]=0x20 の場合)



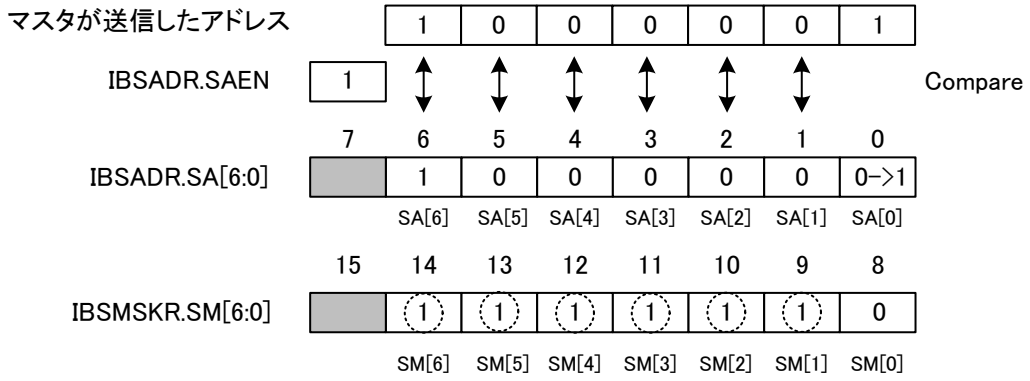
I2C バス 7 ビットスレーブアドレスレジスタ(IBSADR)の設定値に対し、マスクする機能があります。

I2C バス 7 ビットスレーブアドレスマスクレジスタ(IBSMSKR)の SM[6:0]のいずれかに"0"を設定したときそのアドレスビットはマスクされ、そのビットは一致したものとして取り扱われ、アクノリッジタイミング後、I2C バス 7 ビットスレーブアドレスレジスタ(IBSADR)の SA[6:0]に受信したスレーブアドレスが書かれます。

例)　IBSADR.SA[6:0]=0x40, IBSMSKR.SM[6:0]=0x7E を設定した場合：

受信したスレーブアドレスが 0x41 の場合、IBSMSKR.SM[0]="0"のため、スレーブアドレスは一致したので IBSADR.SA[6:0]=0x41 に更新。

Figure 3-2　スレーブアドレス検出例



3.2. 予約アドレス

予約アドレス検出を許可(IBSCR.RSVEN="1")にして予約アドレス(0000xxx または 1111xxxx)を検出した場合、アクノリッジタイミング前にステータス割込み要求フラグ(IBSSR.INT)と受信割込み要求フラグ(IBSSR.RDRF), 予約アドレス検出フラグ(IBSSR.RSA)を"1"にセットして I2C クロック(SCL)を"L"にします。予約アドレス検出フラグ(IBSSR.RSA)が"1"、ステータス割込み要求フラグ(IBSSR.INT)が"1"のとき、受信データ(IBSRDR)を読出し、受信したアドレス+DIR(送受信方向)を確認します。もし、読み出したアドレスが対応すべきアドレスであれば、I2C バス制御レジスタのウェイト選択(IBSCR.WSEL)とアクノリッジ許可(IBSCR.ACKE)を設定した後にステータス割込みフラグ(IBSSR.INT)を"0"にクリアします。第 2 バイトの受信データ次第で処理か変わる場合には、ウェイト選択(IBSCR.WSEL)を"1"にしてステータス割込み要求フラグ(IBSSR.INT)を"0"にクリアしてください。

予約アドレス検出後、次のバイトを受信したときにウェイト選択(IBSCR.WSEL)を"1"にしていた場合、アクノリッジタイミング前に I2C クロック(SCL)を"L"にしてステータス割込み要求フラグ(IBSSR.INT)と受信割込み要求フラグ(IBSSR.RDRF)を"1"にセットします。第 2 バイトのデータを読み出してそのデータによってデータの受信を継続する場合、アクノリッジ許可ビット(IBSCR.ACKE)に"1"、受信を中止する場合、ACK 許可ビット(IBSCR.ACKE)に"0"を設定し、ステータス割込み要求フラグ(IBSSR.INT)をクリアします。Figure 3-4 を参照してください。

Figure 3-3　予約アドレス割込み要求タイミング(例：ゼネラルコールアドレス，　IBSCR.WSEL="0")

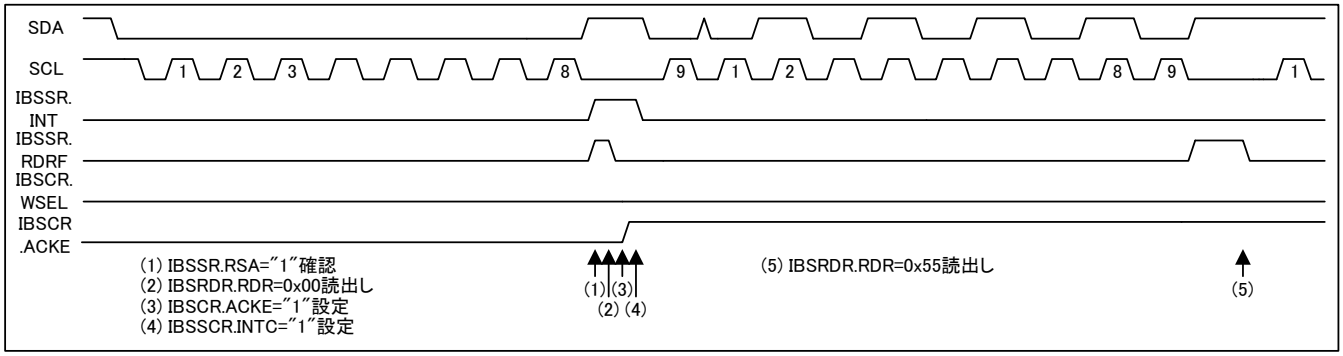
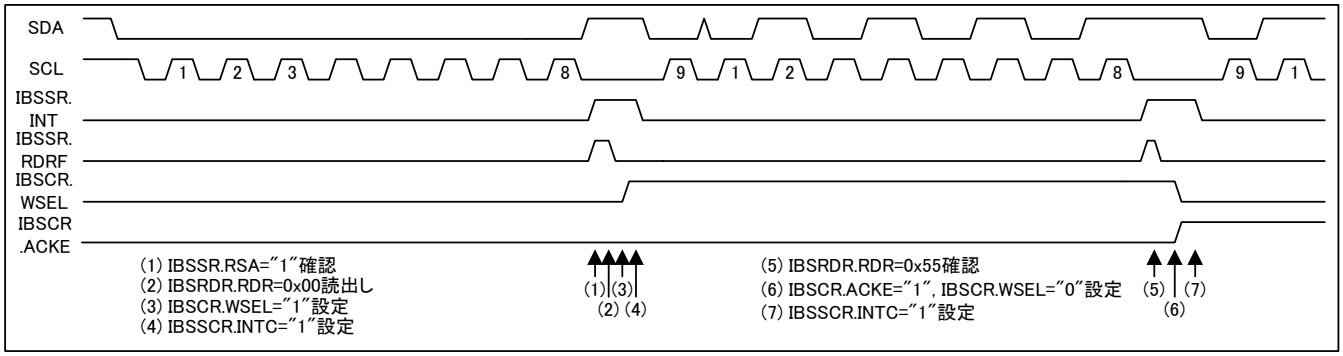


Figure 3-4 予約アドレス割込み要求タイミング(例：ゼネラルコールアドレス, IBSCR.WSEL="1")



<注意事項>

- *予約アドレスのうち、スタートバイト, CBUS アドレス，予約, Hs-mode マスタコードはサポートしていません。それらの予約アドレスを受信した場合、"Not Acknowledge (NACK)"で応答してください。*

3.3. データ送受信

スレーブアドレス受信時に送信方向か受信方向かを検出し、データ方向フラグ(IBSSR.TRX)に表示します。スレーブアドレスが一致してステータス割込みフラグ(IBSSR.INT)が"1"になったとき、データ方向フラグ(IBSSR.TRX)を確認します。本フラグが"0"の場合、受信方向を示し、"1"の場合、送信方向を示します。本フラグにしたがってデータの処理を行います。

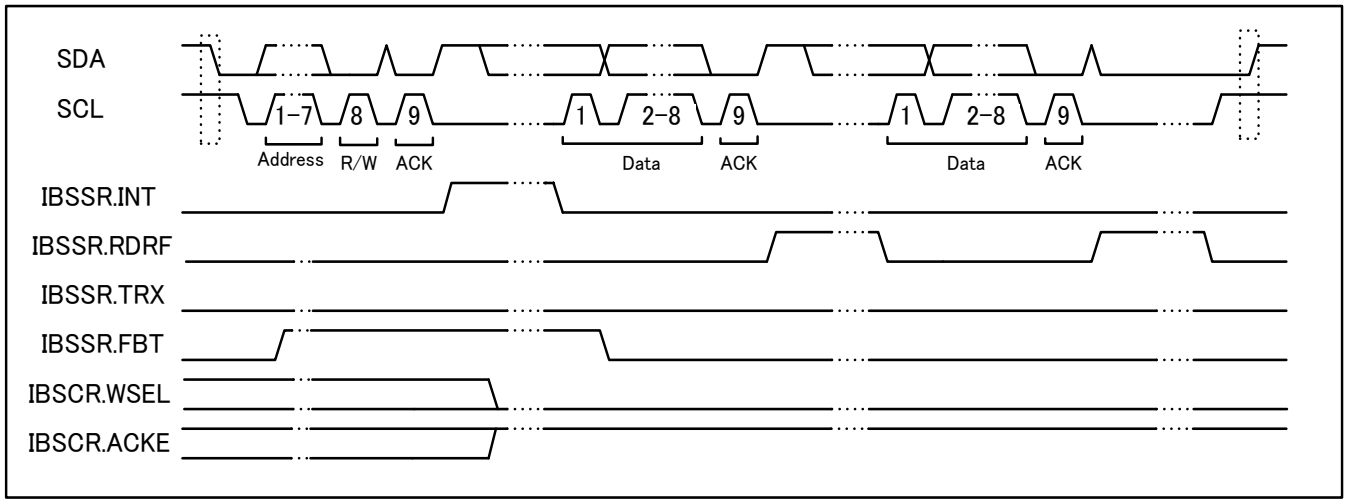
3.3.1. データ受信

スレーブアドレス一致によるステータス割込み要求フラグ(IBSSR.INT)が"1"にセットされたとき、以下の処理を行います。

1) ウェイト選択ビット(IBSCR.WSEL)に"0"、データバイトアクノリッジ許可ビット(IBSCR.ACKE)に"1"を設定
2) ステータス割込み要求フラグ(IBSSR.INT)のクリア(IBSSCR.INTC に"1"を書く)

これらの処理によってデータの受信が開始され、アクノリッジタイミングで I2C データ(SDA)を"L"にしてアクノリッジタイミング後、I2C クロック(SCL)を"L"、I2C データ(SDA)を"H"にして受信割込み要求フラグ(IBSSR.RDRF)を"1"にセットします。I2C バススレーブ受信データレジスタ(IBSRDR)から受信データを読んだとき、受信割込み要求フラグ(IBSSR.RDRF)は"0"にクリアされ、I2C クロック(SCL)の"L"出力を解除し、次のデータ受信が開始されます。ストップコンディションまたは反復スタートコンディションを検出するまで受信が続きます。

Figure 3-5 データ受信



3.3.2. データ送信

スレーブアドレス一致によるステータス割込みフラグ(IBSSR.INT)が"1"のとき、以下の処理を行います。

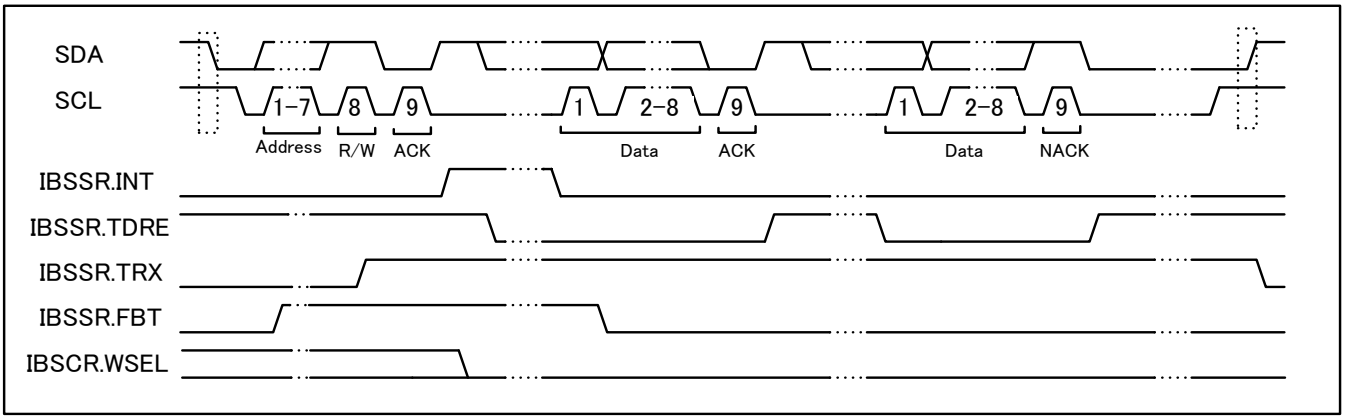
1) ウェイト選択ビット(IBSCR.WSEL) に"0"、送信割込み許可ビット(IBSCR.TIE)に"1"を設定
2) 送信データを I2C バススレーブ送信データレジスタ(IBSTDR)に書く
3) ステータス割込みフラグのクリア(IBSSCR.INTC に"1"を書く)

この処理によってデータの送信が開始され、アクノリッジタイミング後、I2C クロック(SCL)を"L"にして送信データエンプティフラグ(IBSSR.TDRE)を"1"にセットします。アクノリッジフラグ(IBSSR.RACK)を確認し、本フラグの状態によって以下の処理を行います。

- アクノリッジフラグ(IBSSR.RACK)が"0"の場合、送信データを I2C バススレーブ送信データレジスタ(IBSTDR)に書く
- アクノリッジフラグ(IBSSR.RACK)が"1"の場合、送信割込み要求許可ビット(IBSCR.TIE)に"0"を設定し、ステータス割込み要求フラグ(IBSSR.INT)を"0"にクリア

アクノリッジタイミングで I2C データ(SDA)が"H"を検出(IBSSR.RACK="1")するまで送信は継続します。アクノリッジタイミングで I2C マスタが I2C データ(SDA)を"H"にして、次に I2C マスタはストップコンディションまたは反復スタートコンディションを発行して送信は終了します。

Figure 3-6 データ送信



3.4. Wake-Up

CPU がスタンバイモード時、I2CSLAVE の動作クロック(iPCLK)は停止して低消費電力状態になっています。ステータス割込み要求許可(IBSCR.INTE)が"1"のとき、以下のいずれかの条件で割込みが生成され、CPU を動作状態にします。ステータス割込みフラグ(IBSSR.INT)が"0"にクリアされるまで I2C クロック(SCL)を"L"にします。ステータス割込み要求フラグ(IBSSR.INT)が"0"にクリアされたとき送受信が開始します。

- スレーブアドレス許可ビット(IBSADR.SAEN)が"1"のとき、スレーブアドレス一致
- 予約アドレス許可ビット(IBSCR.RSVEN)が"1"のとき、予約アドレス(0000xxx または 1111xxx)検出

3.5. 割込み要求

割込み要求が生成する条件を Table 3-1 に示します。

Table 3-1 割込み要求生成条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア	割込み要求のセット
ステータス割込み要求フラグ	IBSSR.INT="1"	IBSCR.INTE="1"	IBSSCR.INTC に"1"書込み	4.1 参照
反復スタートコンディション検出フラグ	IBSSR.RSC="1"	IBSCR.CNDE="1"	IBSSCR.RSCC に"1"書込み	IBSSR.ACT="1"のときスタートコンディション検出
ストップコンディション検出フラグ	IBSSR.SPC="1"		IBSSCR.SPCC に"1"書込み	IBSSR.ACT="1"のときストップコンディション検出
受信割込み要求フラグ	IBSSR.RDRF="1"	IBSCR.RIE="1"	IBSRDR の読出し	データを受信または予約アドレス受信
送信データエンプティフラグ	IBSSR.TDRE="1"	IBSCR.TIE="1"	IBSTDR への書込み	IBSSSR.TDRES に"1"書込みまたは IBSTDR と Shifter (IBSSR.TRX="1") が Empty

IBSSR：I2C バススレーブステータスレジスタ

IBSCR：I2C バススレーブコントロールレジスタ

IBSSCR：I2C バススレーブステータスクリアレジスタ

IBSSSR：I2C バススレーブステータスセットレジスタ

IBSTDR：I2C バススレーブ送信データレジスタ

IBSRDR：I2C バススレーブ受信データレジスタ

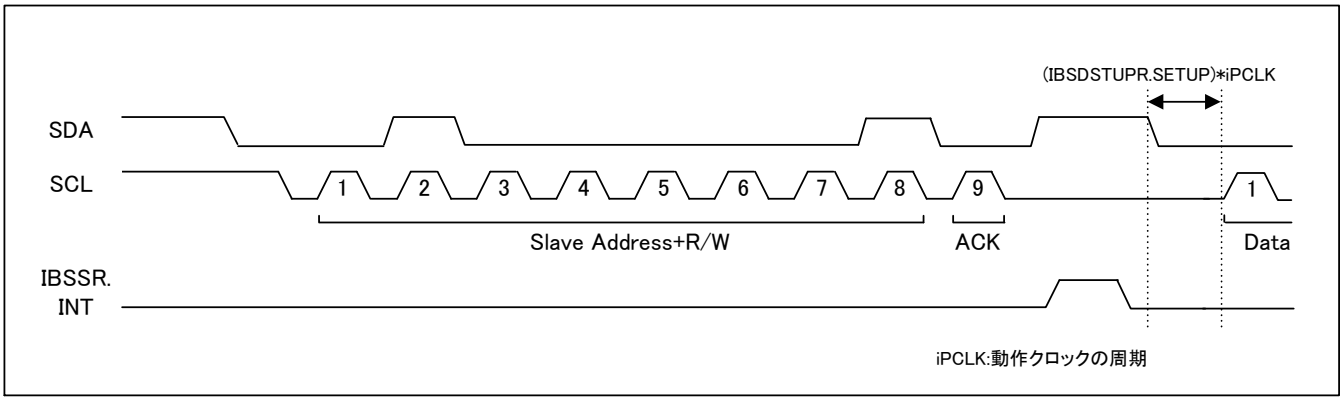
3.6. データセットアップ時間

SDA から SCL の立上りの時間を示すデータセットアップ時間は IBSDSTUPR.SETUP[7:0]で設定できます。以下のいずれかの条件でデータセットアップ時間を確保します。

- スレーブアドレス(送信方向)受信後のステータス割込み要求をクリア
- 予約アドレス(受信方向)受信後のステータス割込み要求で IBSCR.ACKE="1"に設定しステータス割込み要求をクリア
- 予約アドレス(送信方向)受信後のステータス割込み要求で IBSCR.ACKE="1"に設定しステータス割込み要求をクリア
- データ受信後(IBSCR.WSEL="1")の受信割込み要求で IBSCR.ACKE="1"に設定し受信割込み要求をクリア
- データ送信、アクノリッジ(ACK)受信後(IBSCR.WSEL="0")の送信割込み要求をクリア

例として Figure 3-7 にスレーブアドレス(送信方向)受信後のステータス割込み要求クリアの場合のデータセットアップ時間を示します。

Figure 3-7 スレーブアドレス(送信方向)受信後のステータス割込み要求クリアの場合のデータセットアップ時間



3.7. 設定手順例

I2CSLAVE の設定手順例について説明します。

■ 初期設定

1) IBSCR 設定
NFCNT="00", RSVEN="0" または"1", ACKE="1", WSEL="0", CNDE="0", INTE="1", RIE="1", TIE="0"を設定
2) IBSDSTUPR 設定
I2C データ(SDA)と I2C クロック(SCL)とのデータセットアップ時間を設定
3) IBSADR 設定
SAEN="1", SA[6:0]=7bit Slave Address を設定
4) IBSMSKR 設定
EN="1", SM[6:0]=7bit Slave Address Mask を設定

■ ステータス割込み要求(IBSSR.INT による割込み要求)

1) IBSSR.RSA="0"のとき 2)へ、IBSSR.RSA="1"のとき 15)へ
2) IBSSR.FBT="1"のとき 3)へ、IBSSR.FBT="0"のとき 11)へ
3) IBSSR.TRX="1"のとき 4)へ、IBSSR.TRX="0"のとき 8)へ
4) 送信データを IBSTDR に書く
5) IBSCR.TIE="1", IBSCR.WSEL="0", IBSCR.ACKE="1"を設定
6) IBSSCR.INTC="1"を書く
7) 処理終了
8) IBSCR.RIE="1", IBSCR.WSEL="0", IBSCR.ACKE="1"を設定
9) IBSSCR.INTC="1"を書く
10) 処理終了
11) IBSCR.TIE="0"を設定
12) IBSSSR.TDRES="1"を書く
13) IBSSCR.INTC="1"を書く
14) 処理終了
15) IBSSR.FBT="1"のとき 16)へ、IBSSR.FBT="0"のとき 26)へ
16) IBSRDR を読み出す
17) サポートしている予約アドレスのとき 18)へ、サポートしていない予約アドレスのとき 23)へ
18) 第 2 バイトのデータ確認が必要なとき 19)へ、必要ないとき 20)へ
19) IBSCR.WSEL="1"を設定
20) IBSCR.ACKE="1"を設定
21) IBSSCR.INTC="1"を書く
22) 処理終了
23) IBSCR.ACKE="0"を設定
24) IBSSCR.INTC="1"を書く
25) 処理終了
26) IBSRDR を読み出す(第 2 バイト目のデータ)
27) そのデータ(第 2 アドレス)をサポートしているとき 28)へ、サポートしていないとき 31)へ
28) IBSCR.WSEL="0", IBSCR.ACKE="1"を設定
29) IBSSCR.INTC="1"を書く
30) 処理終了

31) IBSCR.WSEL="0", IBSCR.ACKE="0"を設定
32) IBSSCR.INTC="1"を書く
33) 処理終了

予約アドレスをサポートしない場合、15)以降の処理は必要ありません。

■ 受信割込み要求(IBSSR.RDRF による割込み要求)

1) IBSRDR を読み出す
2) 処理終了

■ 送信割込み要求(IBSSR.TDRE による割込み要求)

1) 送信データを IBSTDR に書く
2) 処理終了

4. レジスタ

レジスタの機能について説明します。

Table 4-1 I2CSLAVE のレジスター覧

レジスタ略称	レジスタ名	参照先
IBSSR	I2C バススレーブステータスレジスタ	4.1
IBSCR	I2C バススレーブコントロールレジスタ	4.2
IBSADR	I2C バス 7 ビットスレーブアドレスレジスタ	4.3
IBSMSKR	I2C バス 7 ビットスレーブアドレスマスクレジスタ	4.4
IBSDSTUPR	I2C バススレーブデータセットアップレジスタ	4.5
IBSTDR	I2C バススレーブ送信データレジスタ	4.6
IBSRDR	I2C バススレーブ受信データレジスタ	4.7
IBSSCR	I2C バススレーブステータスクリアレジスタ	4.8
IBSSSR	I2C バススレーブステータスセットレジスタ	4.9

4.1. I2C バススレーブステータスレジスタ(IBSSR)

I2C バススレーブステータスレジスタ(IBSSR)は各種割込み要求フラグの生成、第 1 バイト、アクノリッジデータ、予約アドレス、送受信方向、I2CSLAVE の動作、反復スタートコンディションおよびストップコンディションの検出、I2C バスの状態を表示します。I2CSLAVE が動作禁止(IBSMSKR.EN="0")にした場合、本レジスタは初期化されます。

bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	Reserved	Reserved	INT	RDRF	TDRE
属性	-	-	-	-	-	R	R	R
初期値	0	0	0	0	0	0	0	1

bit	7	6	5	4	3	2	1	0
Field	FBT	RACK	RSA	TRX	ACT	RSC	SPC	BB
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit15:11] Reserved： 予約ビット

本ビットには常に"0"を書いてください。読出し値は"0"です。

[bit10] INT： ステータス割込み要求フラグ

本フラグは以下のいずれかの条件で"1"にセットされます。

- IBSADR.SAEN="1"のとき、受信したスレーブアドレスが IBSADR.SA[6:0]の設定値と一致(IBSMSKR.SM[6:0]で"0"に設定されたビットは一致と判断)
- IBSCR.RSVEN="1"のとき、予約アドレス(0000xxxx または 1111xxx)を受信
- IBSCR.WSEL="1", IBSSR.RSA="1"のとき、第 2 バイト目を受信
- IBSSR.TRX="1"のとき、ノットアクノリッジ(NACK)を受信

I2C バススレーブステータスクリアレジスタ(IBSSCR)のステータス割込み要求フラグクリアビット(INTC)に"1"を書いたとき本フラグは"0"にクリアされます。

bit	説明	
	読出し	書込み
0	ステータス割込み要求条件未検出	動作に影響しません
1	ステータス割込み要求条件検出	動作に影響しません

[bit9] RDRF： 受信割込み要求フラグ

第 2 バイト目以降のデータまたは第 1 バイト目で予約アドレス(0000xxx または 1111xxx)を受信したとき、本フラグは"1"にセットされます。

I2C バススレーブ受信データレジスタ(IBSRDR)を読んだとき本フラグは"0"にクリアされます。

bit	説明	
	読出し	書込み
0	受信割込み要求条件未検出	動作に影響しません
1	受信割込み要求条件検出	動作に影響しません

[bit8] TDRE： 送信データエンプティフラグ

送信時、送信データがエンプティになった、または I2C バススレーブステータスセットレジスタ(IBSSSR)の送信データエンプティフラグセット(TDRES)に"1"を書いた場合、本フラグは"1"にセットされます。

I2C バススレーブ送信データレジスタ(IBSTDR)に送信データを書いた場合、本フラグは"0"にクリアされます。

bit	説明	
	読出し	書込み
0	送信割込み要求条件未検出	動作に影響しません
1	送信割込み要求条件検出	動作に影響しません

[bit7] FBT： ファーストバイトフラグ

スタートコンディション後、第 1 バイト目の受信のとき、本フラグは"1"にセットされます。I2C バスが第 2 バイト以降の送受信データのとき、本フラグは"0"にクリアされます。

bit	説明	
	読出し	書込み
0	I2C バスアイドルまたは第 2 バイト目以降の送受信	動作に影響しません
1	第 1 バイト目の受信	動作に影響しません

<注意事項>

- *以下のいずれかの条件を満たすとき、本フラグは有効です。*
  - *ステータス割込み要求フラグ(INT)が"1"*
  - *受信割込み要求フラグ(RDRF)が"1"*
  - *第 1 バイト目受信後、データ方向フラグ(TRX)が"1"で送信データエンプティフラグ(TDRE)が"1"*

[bit6] RACK： アクノリッジフラグ

本フラグはアクノリッジタイミングで受信したデータを表示します。

bit	説明	
	読出し	書込み
0	アクノリッジタイミングで I2C データ(SDA)が"L" であった	動作に影響しません
1	アクノリッジタイミングで I2C データ(SDA)が"H"であった	動作に影響しません

<注意事項>

- *以下のいずれかの条件を満たすとき、本フラグは有効です。*
  - *ステータス割込み要求フラグ(INT)が"1"*
  - *受信割込み要求フラグ(RDRF)が"1"*
  - *第 1 バイト目受信後、データ方向フラグ(TRX)が"1"で送信データエンプティフラグ(TDRE)が"1"*

[bit5] RSA : 予約アドレス検出フラグ

本フラグは第 1 バイトで予約アドレス(0000xxx または 1111xxx)を検出したとき本フラグは"1"にセットされます。スタートコンディションまたはストップコンディションを検出したとき本フラグは"0"にクリアされます。

bit	説明	
	読出し	書込み
0	予約アドレス未検出	動作に影響しません
1	予約アドレス検出	動作に影響しません

<注意事項>

- *以下のいずれかの条件を満たすとき、本フラグは有効です。*
  - *ステータス割込み要求フラグ(INT)が"1"*
  - *受信割込み要求フラグ(RDRF)が"1"*
  - *第 1 バイト目受信後、データ方向フラグ(TRX)が"1"で送信データエンプティフラグ(TDRE)が"1"*

[bit4] TRX : データ方向フラグ

本フラグは第 1 バイトのビット 0 を表示します。第 1 バイトのビット 0 は送信方向か受信方向かを示します。

bit	説明	
	読出し	書込み
0	受信方向	動作に影響しません
1	送信方向	動作に影響しません

<注意事項>

- *以下のいずれかの条件を満たすとき、本フラグは有効です。*
  - *ステータス割込み要求フラグ(INT)が"1"*
  - *受信割込み要求フラグ(RDRF)が"1"*
  - *第 1 バイト目受信後、データ方向フラグ(TRX)が"1"で送信データエンプティフラグ(TDRE)が"1"*

[bit3] ACT : 動作フラグ

本フラグは I2CSLAVE が I2C バスのスレーブとして動作しているかどうかを示します。

bit	説明	
	読出し	書込み
0	スレーブとして動作していない	動作に影響しません
1	スレーブとして動作している。	動作に影響しません

<注意事項>

- *以下のいずれかの条件を満たすとき、本フラグは有効です。*
  - *ステータス割込み要求フラグ(INT)が"1"*
  - *受信割込み要求フラグ(RDRF)が"1"*
  - *第 1 バイト目受信後、データ方向フラグ(TRX)が"1"で送信データエンプティフラグ(TDRE)が"1"*

[bit2] RSC： 反復スタートコンディション検出フラグ

ACT="1"のとき、スタートコンディションを検出した場合、本フラグは"1"にセットされます。I2C バススレーブステータスクリアレジスタ(IBSSCR)の反復スタートコンディション検出フラグクリアビット(RSCC)に"1"を書いた場合、本フラグはクリアされます。

bit	説明	
	読出し	書込み
0	反復スタートコンディション未検出	動作に影響しません
1	反復スタートコンディション検出	動作に影響しません

[bit1] SPC： ストップコンディション検出フラグ

ACT="1"のとき、ストップコンディションを検出したとき本フラグは"1"にセットされます。I2C バススレーブステータスクリアレジスタ(IBSSCR)のストップコンディション検出フラグクリアビット(SPCC)に"1"を書いた場合、本フラグは"0"にクリアされます。

bit	説明	
	読出し	書込み
0	ストップコンディション未検出	動作に影響しません
1	ストップコンディション検出	動作に影響しません

[bit0] BB： バス状態フラグ

スタートコンディションを検出したとき本フラグは"1"にセットされます。ストップコンディションを検出したとき本フラグは"0"にクリアされます。

bit	説明	
	読出し	書込み
0	I2C バスアイドル状態	動作に影響しません
1	I2C バス通信状態	動作に影響しません

4.2. I2C バススレーブコントロールレジスタ(IBSCR)

I2C バススレーブコントロールレジスタ(IBSCR)はノイズフィルタの制御、予約アドレス検出の許可、アクノリッジの許可、ウェイト選択、各種割込み要求の許可を設定します。I2CSLAVE を動作禁止(IBSMSKR.EN="0")にした場合、本レジスタに影響しません。

bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	NFCNT[1:0]	
属性	-	-	-	-	-	-	R/W	
初期値	0	0	0	0	0	0	00	

bit	7	6	5	4	3	2	1	0
Field	RSVEN	Reserved	ACKE	WSEL	CNDE	INTE	RIE	TIE
属性	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:10] Reserved： 予約ビット

本ビットには常に"0"を書いてください。読出し値は"0"です。

[bit9:8] NFCNT[1:0]： ノイズフィルタ制御ビット

ノイズフィルタの有効、無効を設定します。

NFCNT[1:0]	説明
00	ノイズフィルタを有効
01	設定禁止
10	設定禁止
11	ノイズフィルタを無効

<注意事項>

- *動作禁止(IBSMSKR.EN="0")のとき、本ビットを変更してください。*

[bit7] RSVEN： 予約アドレス検出許可ビット

予約アドレス(0000xxx または 1111xxx)の検出の許可、禁止を設定します。

bit	説明
0	禁止
1	許可

<注意事項>

- *動作禁止(IBSMSKR.EN="0")のとき、本ビットを変更してください。*

[bit6] Reserved： 予約ビット

本ビットには常に"0"を書いてください。読出し値は"0"です。

[bit5] ACKE： アクノリッジ許可ビット

受信方向(IBSSR.TRX="0")のとき、アクノリッジタイミングで I2C データ(SDA)に"L"を出力するかどうかを選択します。

bit	説明
0	NACK 出力("H"出力)
1	ACK 出力("L"出力)

<注意事項>

- *以下のいずれかの条件のとき、本ビットを変更してください。*
  - *動作禁止(IBSMSKR.EN="0")*
  - *ステータス割込み要求フラグ(IBSSR.INT)が"1"*
  - *受信割込み要求フラグ(IBSSR.RDRF)が"1"*

[bit4] WSEL： ウェイト選択ビット

第 2 バイト以降のデータ送受信においてアクノリッジ前または後で I2C バスを停止(SCL="L")することを選択します。I2C バスを停止させた場合、ステータス割込み要求、受信割込み要求、送信割込み要求のいずれかが生成します。

bit	説明
0	アクノリッジ後
1	アクノリッジ前

<注意事項>

- *以下のいずれかの条件のとき、本ビットを変更してください。*
  - *動作禁止(IBSMSKR.EN="0")*
  - *ステータス割込み要求フラグ(IBSSR.INT)が"1"*
  - *受信割込み要求フラグ(IBSSR.RDRF)が"1"*
  - *送信方向(IBSSR.TRX="1")で送信データエンプティフラグ(IBSSR.TDRE)が"1"*

[bit3] CNDE： コンディション検出割込み要求許可ビット

反復スタートコンディション検出フラグ(IBSSR.RSC)またはストップコンディション検出フラグ(IBSSR.SPC)によって割込み要求の生成を許可または禁止します。

bit	説明
0	禁止
1	許可

[bit2] INTE： ステータス割込み要求許可ビット

ステータス割込み要求スラグ(IBSSR.INT)によって割込み要求の生成を許可または禁止します。

bit	説明
0	禁止
1	許可

[bit1] RIE： 受信割込み要求許可ビット

受信割込み要求フラグ(IBSSR.RDRF)によって割込み要求の生成を許可または禁止します。

bit	説明
0	禁止
1	許可

[bit0] TIE： 送信割込み要求許可ビット

送信データエンプティフラグ(IBSSR.TDRE)によって割込み要求の生成を許可または禁止します。

bit	説明
0	禁止
1	許可

4.3. I2C バス 7 ビットスレーブアドレスレジスタ(IBSADR)

I2C バス 7 ビットスレーブアドレスレジスタ(IBSADR)はスレーブアドレス一致検出の許可とスレーブアドレス値を設定します。動作禁止(IBSMSKR.EN="0")のとき、本レジスタを変更してください。

bit	7	6	5	4	3	2	1	0
Field	SAEN	SA[6:0]						
属性	R/W	R/W						
初期値	0	0000000						

[bit7] SAEN : スレーブアドレス許可ビット

スレーブアドレスの設定値と受信したスレーブアドレスとの比較を許可または禁止します。

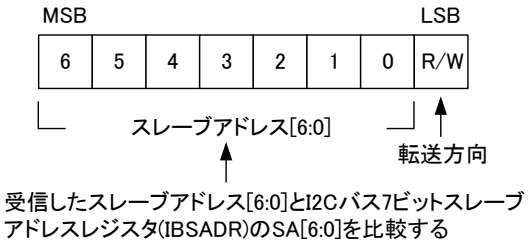
bit	説明
0	禁止
1	許可

[bit6:0] SA[6:0] : スレーブアドレス設定ビット

7 ビットスレーブアドレスを設定します。

- スレーブアドレス設定ビット(SA[6:0])は、スレーブアドレス検出許可(SAEN="1")されていれば、(反復)スタートコンディション検出後に受信した 7 ビットのデータを本レジスタと比較します。このとき、全ビットが一致すればスレーブモードとして動作し、アクノリッジ(ACK)を出力します。受信したスレーブアドレスは、本レジスタに設定されます(SAEN="0"の場合、ノットアクノリッジ(NACK)を出力します)。
- (反復)スタートコンディション検出後の最初のバイトには、7 ビットのスレーブアドレスとデータ転送の方向を示すビットが含まれます。その受信したスレーブアドレスと本ビットが比較されます。

Figure 4-1 (反復)スタートコンディション検出後の最初のバイトフォーマット



- IBSMSKR.SM[n] (n=6-0)に"0"を設定した場合、それに対応するスレーブアドレス[n] (n=6-0)は比較対象外です。

SA[6:0]	説明
0x00-0x3F	7 ビットスレーブアドレス値

4.4. I2C バス 7 ビットスレーブアドレスマスクレジスタ(IBSMSKR)

I2C バス 7 ビットスレーブアドレスマスクレジスタ(IBSMSKR)は I2CSLAVE の動作許可、7 ビットスレーブアドレスのマスク情報を設定します。動作禁止(EN="0")のとき、SM[6:0]ビットを変更してください。

bit	7	6	5	4	3	2	1	0
Field	EN	SM[6:0]						
属性	R/W	R/W						
初期値	0	1111111						

[bit7] EN： 動作許可ビット

I2CSLAVE の動作を許可または禁止します。

bit	説明
0	禁止
1	許可

[bit6:0] SM[6:0]： スレーブアドレスマスクビット

7 ビットスレーブアドレスに対し、マスクするビットを設定します。マスクされたビットは比較対象外となり、一致したものとして取り扱われます。

SM[n]	説明
0	比較対象外
1	比較対象

n=6, 5, 4, 3, 2, 1, 0

4.5. I2C バススレーブデータセットアップレジスタ(IBSDSTUPR)

I2C バススレーブデータセットアップレジスタ(IBSDSTUPR)は I2C データ(SDA)と I2C クロック(SCL)とのデータセットアップ時間を設定します。設定値は動作クロック(iPCLK)の周期単位です。動作禁止(IBSMSKR.EN="0")のとき、本レジスタを変更してください。

bit	7	6	5	4	3	2	1	0
Field	SETUP[7:0]							
属性	R/W							
初期値	11111111							

[bit7:0] SETUP[7:0] : データセットアップビット

I2C データ(SDA)と I2C クロック(SCL)とのデータセットアップ時間を設定します。

SETUP[7:0]	説明
0x00	0
0x01	1 x iPCLK の周期
0x02	2 x iPCLK の周期
0x03	3 x iPCLK の周期
0xFF	255 x iPCLK の周期

4.6. I2C バススレーブ送信データレジスタ(IBSTDR)

I2C バススレーブ送信データレジスタ(IBSTDR)に書いたデータが送信データとして I2C バス上に出力します。

bit	7	6	5	4	3	2	1	0
Field	TDR[7:0]							
属性	R/W							
初期値	11111111							

[bit7:0] TDR[7:0] : 送信データビット

送信データを本ビットに書きます。

<注意事項>

- *送信データエンプティフラグ(IBSSR.TDRE)が"0"のとき、本レジスタへの書込みは禁止です。*
- *第 1 バイト目の受信によるステータス割込み要求フラグ(IBSSR.INT)が"1"で送信方向 (IBSSR.TRX="1")になっていることを確認してから本レジスタに送信データを書いてください。*

4.7. I2C バススレーブ受信データレジスタ(IBSRDR)

I2C バススレーブ受信データレジスタ(IBSRDR)は受信したデータを格納します。

bit	7	6	5	4	3	2	1	0
Field	RDR[7:0]							
属性	R							
初期値	11111111							

[bit7:0] RDR[7:0] : 受信データビット

受信データが格納されます。

<注意事項>

- *受信割込み要求フラグ(IBSSR.RDRF)が"1"のとき、本レジスタは有効です。*

4.8. I2C バススレーブステータスクリアレジスタ(IBSSCR)

I2C バススレーブステータスクリアレジスタ(IBSSCR)は、ステータス割込み要求フラグ(IBSSR.INT), 反復スタートコンディション検出フラグ(IBSSR.RSC), ストップコンディション検出フラグ(IBSSR.SPC)を"0"にクリアします。

bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	Reserved	Reserved	INTC	Reserved	Reserved
属性	-	-	-	-	-	W	-	-
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	Reserved	RSCC	SPCC	Reserved
属性	-	-	-	-	-	W	W	-
初期値	0	0	0	0	0	0	0	0

[bit15:11] Reserved： 予約ビット

本ビットには常に"0"を書いてください。読出し値は"0"です。

[bit10] INTC： ステータス割込み要求フラグクリアビット

本ビットに"1"を書いた場合、ステータス割込み要求フラグ(IBSSR.INT)を"0"にクリアします。読出し値は"0"です。

bit	説明
	書込み
0	動作に影響しません
1	ステータス割込み要求フラグ(IBSSR.INT)を"0"にクリア

[bit9:3] Reserved： 予約ビット

本ビットには常に"0"を書いてください。読出し値は"0"です。

[bit2] RSCC： 反復スタートコンディション検出フラグクリアビット

本ビットに"1"を書いた場合、反復スタートコンディション検出フラグ(IBSSR.RSC)を"0"にクリアします。読出し値は"0"です。

bit	説明
	書込み
0	動作に影響しません
1	反復スタートコンディション検出フラグ(IBSSR.RSC)を"0"にクリア

[bit1] SPCC： ストップコンディション検出フラグクリアビット

本ビットに"1"を書いた場合、ストップコンディション検出フラグ(IBSSR.SPC)を"0"にクリアします。読出し値は"0"です。

bit	説明
	書込み
0	動作に影響しません
1	ストップコンディション検出フラグ(IBSSR.SPC)を"0"にクリア

[bit0] Reserved： 予約ビット

本ビットには常に"0"を書いてください。読出し値は"0"です。

4.9. I2C バススレーブステータスセットレジスタ(IBSSSR)

I2C バススレーブステータスセットレジスタ(IBSSSR)は送信データエンプティフラグ(IBSSR.TDRE)を"1"にセットします。

bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	TDRES
属性	-	-	-	-	-	-	-	W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
属性	-	-	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

[bit15:9] Reserved： 予約ビット

本ビットには常に"0"を書いてください。読出し値は"0"です。

[bit8] TDRES： 送信データエンプティフラグセットビット

本ビットに"1"を書いた場合、送信データエンプティフラグ(IBSSR.TDRE)を"1"にセットします。読出し値は"0"です。

bit	説明
	書込み
0	動作に影響しません
1	送信データエンプティフラグ(IBSSR.TDRE)を"1"にセット

[bit7:0] Reserved： 予約ビット

本ビットには常に"0"を書いてください。読出し値は"0"です。

APPENDIXES

レジスタマップ、注意事項について説明します。

A. 製品型格一覧
B. レジスタマップ (TYPE1-M0+)
C. レジスタマップ (TYPE2-M0+)
D. レジスタマップ (TYPE3-M0+)
E. 注意事項一覧

CODE: 9AFAPPENDIXES-J03.0

A. 製品型格一覧

製品型格について説明します。

1. 製品型格一覧

CODE: J3.0

1. 製品型格一覧

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M0+","TYPE2-M0+","TYPE3-M0+"などの表記は、以下の一覧の FM0+ファミリ製品に置き換えてお読みください。

Table 1-1 FM0+ファミリの TYPE1 型格一覧

TYPE	フラッシュメモリサイズ	
	56K bytes	88K bytes
TYPE1-M0+	S6E1A11B S6E1A11C	S6E1A12B S6E1A12C

Table 1-2 FM0+ファミリの TYPE2 型格一覧

TYPE	フラッシュメモリサイズ	
	304K bytes	560K bytes
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 1-3 FM0+ファミリの TYPE3 型格一覧

TYPE	フラッシュメモリサイズ	
	64K bytes	128K bytes
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

B. レジスタマップ (TYPE1-M0+)

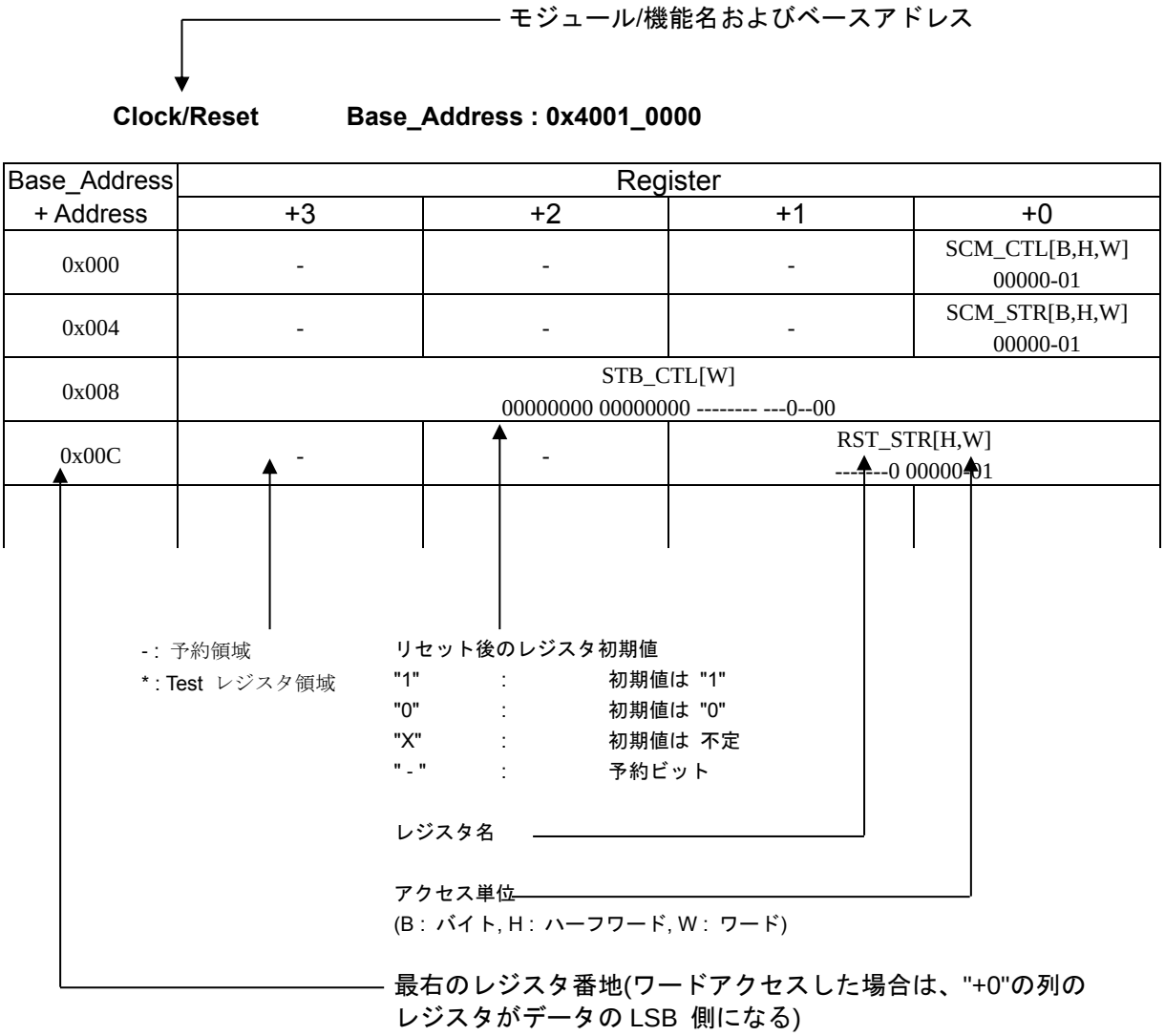
レジスタマップについて説明します。

1. レジスタマップ

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C				
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset　　Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT unit0 Base_Address : 0x4002_0000

MFT unit1 Base_Address : 0x4002_1000

MFT unit2 Base_Address : 0x4002_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	OCCP0[H,W]		-	-
	00000000 00000000			
0x104	OCCP1[H,W]		-	-
	00000000 00000000			
0x108	OCCP2[H,W]		-	-
	00000000 00000000			
0x10C	OCCP3[H,W]		-	-
	00000000 00000000			
0x110	OCCP4[H,W]		-	-
	00000000 00000000			
0x114	OCCP5[H,W]		-	-
	00000000 00000000			
0x118	-	OCSD10[B,H,W]	OCSB10[B,H,W]	OCSA10[B,H,W]
		00000000	00000000	00000000
0x11C	-	OCSD32[B,H,W]	OCSB32[B,H,W]	OCSA32[B,H,W]
		00000000	00000000	00000000
0x120	-	OCSD54[B,H,W]	OCSB54[B,H,W]	OCSA54[B,H,W]
		00000000	00000000	00000000
0x124	-	-	OCSC[B,H,W]	-
			--000000	
0x128	-	-	OCSE0[H,W]	
			00000000 00000000	
0x12C	OCSE1[H,W]			
	00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[H,W]	
			00000000 00000000	
0x134	OCSE3[H,W]			
	00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[H,W]	
			00000000 00000000	
0x13C	OCSE5[H,W]			
	00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W]		-	-
	11111111 11111111			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x144	TCDT0[H,W]		-	-
	00000000 00000000			
0x148	TCSC0[B,H,W]		TCSA0[B,H,W]	
	00000000 00000000		000---00 01000000	
0x14C	TCCP1[H,W]		-	-
	11111111 11111111			
0x150	TCDT1[H,W]			
	00000000 00000000			
0x154	TCSC1[B,H,W]		TCSA1[B,H,W]	
	00000000 00000000		000---00 01000000	
0x158	TCCP2[H,W]		-	-
	11111111 11111111			
0x15C	TCDT2[H,W]		-	-
	00000000 00000000			
0x160	TCSC2[B,H,W]		TCSA2[B,H,W]	
	00000000 00000000		000---00 01000000	
0x164	TCAL[B,H,W] (only in unit 0)			
	00000000 00000000 11111111 11111111			
0x168	-	OCFS54[B,H,W]	OCFS32[B,H,W]	OCFS10[B,H,W]
		00000000	00000000	00000000
0x16C	-	-	ICFS32[B,H,W]	ICFS10[B,H,W]
			00000000	00000000
0x170	-	ACFS54[B,H,W]	ACFS32[B,H,W]	ACFS10[B,H,W]
		00000000	00000000	00000000
0x174	ICCP0[H,W]		-	-
	00000000 00000000			
0x178	ICCP1[H,W]		-	-
	00000000 00000000			
0x17C	ICCP2[H,W]		-	-
	00000000 00000000			
0x180	ICCP3[H,W]		-	-
	00000000 00000000			
0x184	-	-	ICSB10[B,H,W]	ICSA10[B,H,W]
			------00	00000000
0x188	-	-	ICSB32[B,H,W]	ICSA32[B,H,W]
			------00	00000000
0x18C	WFTF10[H,W]		-	-
	00000000 00000000			
0x190	WFTB10[H,W]		WFTA10[H,W]	
	00000000 00000000		00000000 00000000	
0x194	WFTF32[H,W]		-	-
	00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x198	WFTB32[H,W]		WFTA32[H,W]	
	00000000 00000000		00000000 00000000	
0x19C	WFTF54[H,W]		-	-
	00000000 00000000			
0x1A0	WFTB54[H,W]		WFTA54[H,W]	
	00000000 00000000		00000000 00000000	
0x1A4	-	-	WFSA10[H,W]	
			---00000 000000	
0x1A8	-	-	WFSA32[H,W]	
			---00000 000000	
0x1AC	-	-	WFSA54[H,W]	
			---00000 000000	
0x1B0	-	-	WFIR[H,W]	
			00000000 00000000	
0x1B4	-	-	NZCL[H,W]	
			-000--00 ---00000	
0x1B8	ACMP0		-	-
	00000000 00000000			
0x1BC	ACMP1		-	-
	00000000 00000000			
0x1C0	ACMP2		-	-
	00000000 00000000			
0x1C4	ACMP3		-	-
	00000000 00000000			
0x1C8	ACMP4		-	-
	00000000 00000000			
0x1CC	ACMP5		-	-
	00000000 00000000			
0x1D0	-	-	ACSA[B,H,W]	
			--000000 --000000	
0x1D4	-	-	ACSD0[B,H,W]	ACSC0[B,H,W]
			00000000	00000000
0x1D8	-	-	ACSD1[B,H,W]	ACSC1[B,H,W]
			00000000	00000000
0x1DC	-	-	ACSD2[B,H,W]	ACSC2[B,H,W]
			00000000	00000000
0x1E0	-	-	ACSD3[B,H,W]	ACSC3[B,H,W]
			00000000	00000000
0x1E4	-	-	ACSD4[B,H,W]	ACSC4[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x1E8	-	-	ACSD5[B,H,W]	ACSC5[B,H,W]
			00000000	00000000
0x1EC - 0xFFC	-	-	-	-

1.8 PPG

PPG Base_Address : 0x4002_4000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W]	-
			11110000	
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W]	-
			00000000	
0x00C	-	-	-	COMP2[B,H,W]
				00000000
0x010	-	-	COMP4[B,H,W]	-
			00000000	
0x014	-	-	-	COMP6[B,H,W]
				00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W]	-
			11110000	
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W]	-
			00000000	
0x02C	-	-	-	COMP3[B,H,W]
				00000000
0x030	-	-	COMP5[B,H,W]	-
			00000000	
0x034	-	-	-	COMP7[B,H,W]
				00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W]	-
			11110000	
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W]	-
			00000000	
0x04C	-	-	-	COMP10[B,H,W]
				00000000
0x050	-	-	COMP12[B,H,W]	-
			00000000	
0x054	-	-	-	COMP14[B,H,W]
				00000000
0x058 - 0x0FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	-	-	TRG0[B,H,W]	
			00000000 00000000	
0x104	-	-	REVC0[B,H,W]	
			00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x31C - 0x33C	-	-	-	-
0x340			PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11 (Base Timer)　　Base Address : 0x4002_5500

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15 (Base Timer)　　Base Address : 0x4002_5700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W] XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100

QPRC ch.1 NF Base Address : 0x4002_6110

QPRC ch.2 NF Base Address : 0x4002_6120

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	-------- -------- -------- --00-000			
0x0004	NFCTLB[B,H,W]			
	-------- -------- -------- --00-000			
0x0008	NFCTLC[B,H,W]			
	-------- -------- -------- --00-000			
0x000C	-	-	-	-

1.13 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

12-bit A/DC unit1 Base_Address : 0x4002_7100

12-bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10-bit D/AC　　Base_Address : 0x4002_8000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				---10000
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C - 0x0FC	-	-	-	-

1.17 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DRQSEL[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	*			
0x008 - 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- 00000000 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- ----0000 00000000 00000000			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ----0000			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ----0000			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ----0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ----0000			
0x050	IRQ15MON[B,H,W]			
	-------- -------- -------- ------00			
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ----0000			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ----0000			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ---00000			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ---00000			
0x070	IRQ23MON[B,H,W]			
	-------- -------- -------0 00000000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -------- --00-000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- ---00000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --000000			
0x084	IRQ28MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 - 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x214	RCINTSEL1[B,H,W] 00000000 00000000 00000000 00000000			
0x218 - 0xFFC	-	-	-	-

1.18 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x32C	PDIRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x43C	PDORF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 - 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 --00 0000 0000 0000			
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x628 - 0x62C	-	-	-	-
0x630	EPFR12[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W]			
	---- ---- ---- ---- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x644	EPFR17[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x648	EPFR18[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0000			
0x64C - 0x650	-	-	-	-
0x654	EPFR21[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- -000			
0x658	EPFR22[B,H,W]			
	---- ---- ---- ---- 0000 ---- 0000 ----			
0x65C - 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0x7FC	-	-	-	-
0x800	*			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x804	*			
0x808 - 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 - 0xFFC	-	-	-	-

1.19 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				--0000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				--00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 - 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 - 0xFC	-	-	-	-

1.20 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL[B,H,W]	
			100000-- 000011--	
0x004	-	-	-	LVD_STR[B,H,W]
				0-------
0x008	-	-	-	LVD_CLR[B,H,W]
				1-------
0x00C	LVD_RLR[W]			
	00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2
				01------
0x014 - 0x0FC	-	-	-	-

1.21 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL[B,H,W]
				-------0
0x004	-	-	-	RCK_CTL[B,H,W]
				------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W]
				-------0
0x704	-	-	-	WRFSR[B,H,W]
				------00
0x708	-	-	WIFSR[B,H,W]	
			------00 00000000	
0x70C	-	-	WIER[B,H,W]	
			------00 00000-00	
0x710	-	-	-	WILVR[B,H,W]
				-----000
0x714	-	-	-	DSRAMR[B,H,W]
				------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W]	BUR03[B,H,W]	BUR02[B,H,W]	BUR01[B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08[B,H,W]	BUR07[B,H,W]	BUR06[B,H,W]	BUR05[B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012[B,H,W]	BUR11[B,H,W]	BUR10[B,H,W]	BUR09[B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16[B,H,W]	BUR15[B,H,W]	BUR14[B,H,W]	BUR13[B,H,W]
	00000000	00000000	00000000	00000000
0x810 - 0xEFC	-	-	-	-

1.22 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0--00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	-	-	RDR/TDR[H,W]	
			00000000 00000000	
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0 [B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000--0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x030	-	-	SCSCR[B,H,W]	
			00000000	00100000
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044 - 0x0FC	-	-	-	-

1.23 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.24 Watch Counter

Watch Counter　　Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00--0000	--000000	--000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 - 0xFFC	-	-	-	-

1.25 RTC

RTC Base_Address : 0x4003_B000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0
0x034 - 0xFFC	-	-	-	-

1.26 Low-speed CR Prescaler

Low-speed CR Prescaler　　Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000 - 0x0FC	-	-	-	-

1.27 Peripheral Clock Gating

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	-------0 ----0000 00000000 00000000			
0x008 - 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000 ----0000 ----0000			
0x018 - 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- -------- -------- --00----			
0x024	MRST2[B,H,W]			
	-------- -------- -------- --00----			
0x028 - 0x0FC	-	-	-	-

1.28 DMAC

DMAC Base_Address : 0x4006_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	DMACR[B,H,W]			
	00-00000 -------- -------- --------			
0x0010	DMACA0[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0014	DMACB0[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0018	DMACSA0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x001C	DMACDA0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0020	DMACA1[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0024	DMACB1[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0028	DMACSA1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x002C	DMACDA1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0030	DMACA2[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0034	DMACB2[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0038	DMACSA2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x003C	DMACDA2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0040	DMACA3[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0044	DMACB3[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0048	DMACSA3[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004C	DMACDA3[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0050	DMACA4[B,H,W]			
	00000000 0---0000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0054	DMACB4[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0058	DMACSA4[B,H,W]			
	00000000 00000000 00000000 00000000			
0x005C	DMACDA4[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0060	DMACA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0064	DMACB5[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0068	DMACSA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x006C	DMACDA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0070	DMACA6[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0074	DMACB6[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0078	DMACSA6[B,H,W]			
	00000000 00000000 00000000 00000000			
0x007C	DMACDA6[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0080	DMACA7[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0084	DMACB7[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0088	DMACSA7[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008C	DMACDA7[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0090 - 0x00FC	-	-	-	-

1.29 MTB_DWT

MTB_DWT　　Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 - 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.30 Fast GPIO

Fast GPIO　　Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 - 0xFFC	-	-	-	-

C. レジスタマップ (TYPE2-M0+)

レジスタマップについて説明します。

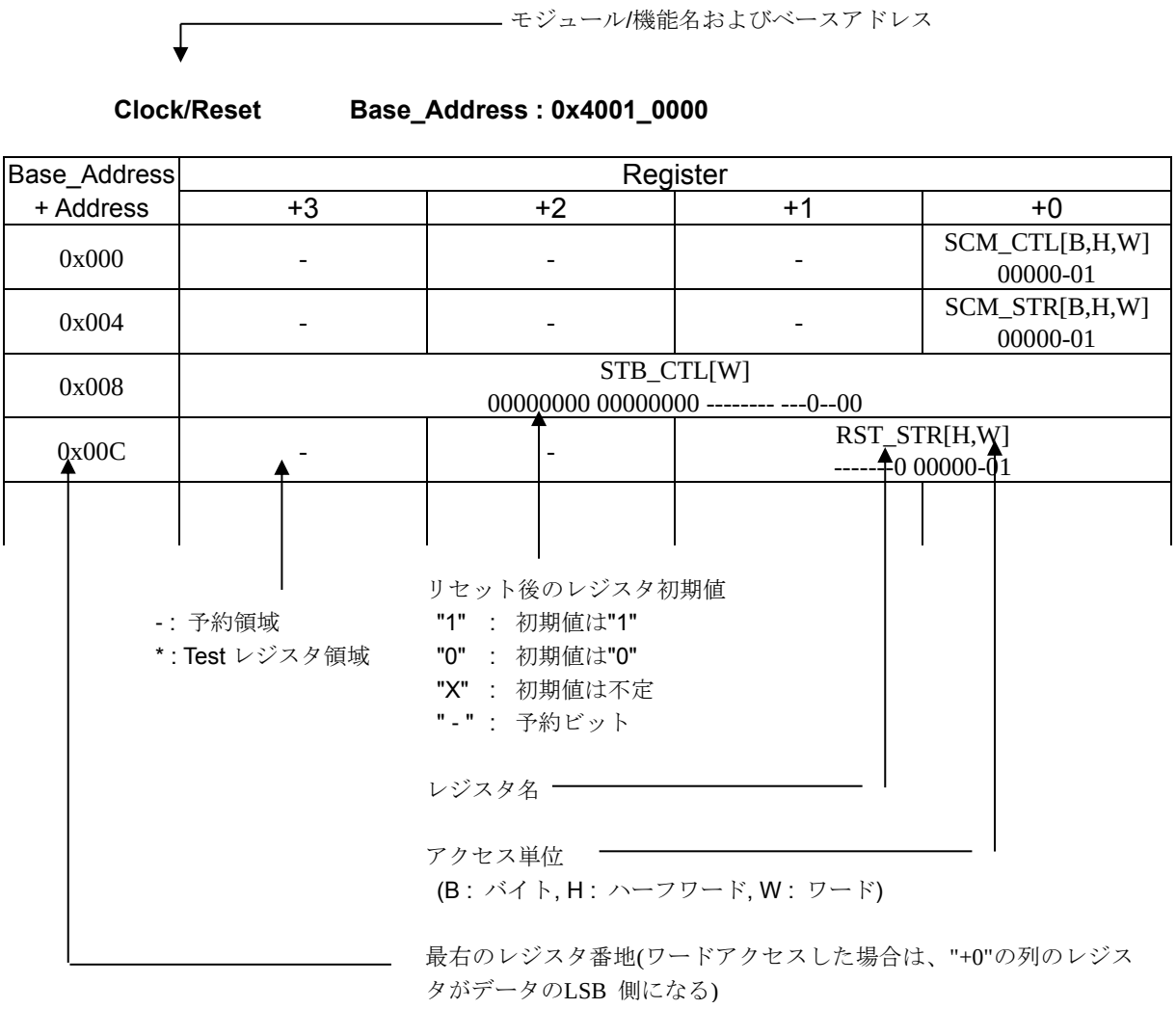
1. レジスタマップ

CODE: 9AFREGMAP-J01.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	FRVRC[B,H,W]			
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[R]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW_WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[R]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT unit0 Base_Address : 0x4002_0000

MFT unit1 Base_Address : 0x4002_1000

MFT unit2 Base_Address : 0x4002_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	OCSD10[B,H,W] --000000 00000000		OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	OCSD32[B,H,W] --000000 00000000		OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	OCSD54[B,H,W] --000000 00000000		OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-	-	WFIR[H,W] 00000000 00000000	
0x1B4	-	-	NZCL[H,W] 00000000 00000000	
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	ACMC0[B,H,W] 00--0000	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	ACMC1[B,H,W] 00--0000	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	ACMC2[B,H,W] 00--0000	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1E0	-	ACMC3[B,H,W] 00--0000	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	ACMC4[B,H,W] 00--0000	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	ACMC5[B,H,W] 00--0000	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC	-	-	-	TCSD[B,H,W] ------00
0x1F0-0xFFC	-	-	-	-

1.8 PPG

PPG Base_Address : 0x4002_4000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W]	-
			11110000	
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W]	-
			00000000	
0x00C	-	-	-	COMP2[B,H,W]
				00000000
0x010	-	-	COMP4[B,H,W]	-
			00000000	
0x014	-	-	-	COMP6[B,H,W]
				00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W]	-
			11110000	
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W]	-
			00000000	
0x02C	-	-	-	COMP3[B,H,W]
				00000000
0x030	-	-	COMP5[B,H,W]	-
			00000000	
0x034	-	-	-	COMP7[B,H,W]
				00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W]	-
			11110000	
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W]	-
			00000000	
0x04C	-	-	-	COMP10[B,H,W]
				00000000
0x050	-	-	COMP12[B,H,W]	-
			00000000	
0x054	-	-	-	COMP14[B,H,W]
				00000000
0x058 - 0x0FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	-	-	TRG0[B,H,W]	
			00000000 00000000	
0x104	-	-	REVC0[B,H,W]	
			00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W]	-
			00000000	
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W]	-
			00000000	
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11 (Base Timer)　　Base Address : 0x4002_5500

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W]	-
			00000000	
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15 (Base Timer)　　Base Address : 0x4002_5700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W]	-
			00000000	
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W]	
			XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100

QPRC ch.1 NF Base Address : 0x4002_6110

QPRC ch.2 NF Base Address : 0x4002_6120

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	-------- -------- -------- --00-000			
0x0004	NFCTLB[B,H,W]			
	-------- -------- -------- --00-000			
0x0008	NFCTLC[B,H,W]			
	-------- -------- -------- --00-000			
0x000C	-	-	-	-

1.13 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

12-bit A/DC unit1 Base_Address : 0x4002_7100

12-bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10-bit D/AC Base_Address : 0x4002_8000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-0111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C – 0x0FC	-	-	-	-

1.17 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	*			
0x008 – 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- -------- ----0000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- -------- 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- -------- -------- ------00			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- -------0			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ------00			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- -------0			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ------00			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- -------0			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ------00			
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- -------0			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ------00			
0x050	IRQ15MON[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	-------- -------- -------- -------0			
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ------00			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- -------0			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ------00			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- -------0			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ------00			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- -------0			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ------00			
0x070	IRQ23MON[B,H,W]			
	-------- -------- ---0000- -----000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -----00- --000000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- --000000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --0-----			
0x084	IRQ28MON[B,H,W]			
	-------- -------- -------- --000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- -------0 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- -------- -------- --000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 – 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x214	RCINTSEL1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x218 – 0xFFC	-	-	-	-

1.18 LCDC

LCDC Base_Address : 0x4003_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	LCDCC3[B,H,W]	LCDCC2[B,H,W]	LCDCC1[B,H,W]
		0011111-	--010100	-00000--
0x04	LCDC_PSR[B,H,W]			
	-------- -0000000 00000000 00000000			
0x08	LCDC_COMEN[B,H,W]			
	-------- -------- -------- 00000000			
0x0C	LCDC_SEGEN1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x10	LCDC_SEGEN2[B,H,W]			
	-------- -------- -------- 00000000			
0x14	-	-	LCDC_BLINK[B,H,W]	
			00000000 00000000	
0x18	-	-	LCDC_BOOSTER[B,H,W]	
			--001110	----0011
0x1C	LCDRAM03[B,H,W]	LCDRAM02[B,H,W]	LCDRAM01[B,H,W]	LCDRAM00[B,H,W]
	00000000	00000000	00000000	00000000
0x20	LCDRAM07[B,H,W]	LCDRAM06[B,H,W]	LCDRAM05[B,H,W]	LCDRAM04[B,H,W]
	00000000	00000000	00000000	00000000
0x24	LCDRAM11[B,H,W]	LCDRAM10[B,H,W]	LCDRAM09[B,H,W]	LCDRAM08[B,H,W]
	00000000	00000000	00000000	00000000
0x28	LCDRAM15[B,H,W]	LCDRAM14[B,H,W]	LCDRAM13[B,H,W]	LCDRAM12[B,H,W]
	00000000	00000000	00000000	00000000
0x2C	LCDRAM19[B,H,W]	LCDRAM18[B,H,W]	LCDRAM17[B,H,W]	LCDRAM16[B,H,W]
	00000000	00000000	00000000	00000000
0x30	LCDRAM23[B,H,W]	LCDRAM22[B,H,W]	LCDRAM21[B,H,W]	LCDRAM20[B,H,W]
	00000000	00000000	00000000	00000000
0x34	LCDRAM27[B,H,W]	LCDRAM26[B,H,W]	LCDRAM25[B,H,W]	LCDRAM24[B,H,W]
	00000000	00000000	00000000	00000000
0x38	LCDRAM31[B,H,W]	LCDRAM30[B,H,W]	LCDRAM29[B,H,W]	LCDRAM28[B,H,W]
	00000000	00000000	00000000	00000000
0x3C	LCDRAM35[B,H,W]	LCDRAM34[B,H,W]	LCDRAM33[B,H,W]	LCDRAM32[B,H,W]
	00000000	00000000	00000000	00000000
0x40	LCDRAM39[B,H,W]	LCDRAM38[B,H,W]	LCDRAM37[B,H,W]	LCDRAM36[B,H,W]
	00000000	00000000	00000000	00000000
0x44 – 0xFC	-	-	-	-

1.19 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 – 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 – 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 – 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x340 – 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 – 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	---- ---- 1111 1111 1111 1111 1111 1111			
0x504 – 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 – 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 –00 0000 0000 0000			
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 –00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 –00 00-- --00 0000 –00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	---- ---- ---- ---- 0000 ---- ---- ----			
0x628 – 0x638	-	-	-	-
0x63C	EPFR15[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x644	-			
	-	-	-	-
0x648	EPFR18[B,H,W]			
	--00 0000 0000 0000 0000 0000 0000 0000			
0x64C – 0x658	-	-	-	-
0x65C	EPFR23[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x660 – 0x680	-	-	-	-
0x684	EPFR33[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- 0000 0000 0000 ---- 0000 0000 0000			
0x688	EPFR34[B,H,W]			
	---- ---- ---- ---- ---- ---- 0000 ----			
0x68C – 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	---- 0000 0000 0000 ---- ---- ---- ----			
0x698	EPFR38[B,H,W]			
	---- ---- ---- ---- ---- 0000 0000 0000			
0x69C – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740	LVDIE[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- ---- ---- ---- ---0			
0x744 – 0x7FC	-	-	-	-
0x800	*			
0x804	*			
0x808 – 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 – 0xFFC	-	-	-	-

1.20 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 – 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 – 0xFC	-	-	-	-

1.21 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			100000–000011--	
0x004	-	-	LVD_STR [B,H,W]	
			0------1 0------1	
0x008	-	-	LVD_CLR [B,H,W]	
			1------- 1-------	
0x00C	LVD_RLR [W]			
	---------- 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			0------- 01------	
0x014	-	-	LVD_CTL2 [B,H,W]	
			-------0 000011--	
0x018	-	-	-	LVD2_CTL [B,H,W]
				000011--
0x01C	-	-	LVD2_CTL2 [B,H,W]	
			0------0 000011--	
0x020 – 0x0FC	-	-	-	-

1.22 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W]
				---- -10-
0x004	-	-	-	RCK_CTL [B,H,W]
				---- --01
0x008	-	-	-	REG_CTL2 [B,H,W]
				---- -011
0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W]
				---- -10-
0x014 – 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W]
				---- 0000
0x104	-	-	-	CAL_SET [B,H,W]
				---1 0001
0x108	CAL_KEY [W]			
	00000000 00000000 00000000 00000001			
0x10C – 0x1FC	-	-	-	-
0x200 – 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W]
				---- ---0
0x704	-	-	-	WRFSR [B,H,W]
				---- --00
0x708	-	-	WIFSR [B,H,W]	
			00000000 00000000	
0x70C	-	-	WIER [B,H,W]	
			00000000 00000-00	
0x710	-	-	WILVR [B,H,W]	
			-----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W]
				---- --00
0x718 – 0x71C	-	-	-	-
0x720	-	-	-	STBFLASHPDX [B,H,W]
				---- ---0
0x724	RST_MSK [W]			
	00000000 00000000 -------- -------0			
0x728 – 0x7FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x800	BUR04 [B,H,W]	BUR03 [B,H,W]	BUR02 [B,H,W]	BUR01 [B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08 [B,H,W]	BUR07 [B,H,W]	BUR06 [B,H,W]	BUR05 [B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 – 0xEFC	-	-	-	-

1.23 USB Clock

USB Clock　　Base_Address : 0x4003_6000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-000 0000
0x004	-	-	-	UPCR [B,H,W]
				---- --00
0x008	-	-	-	UPCR2 [B,H,W]
				---- -000
0x00C	-	-	-	UPCR3 [B,H,W]
				---0 0000
0x010	-	-	-	UPCR4 [B,H,W]
				-011 1011
0x014	-	-	-	UP_STR [B,H,W]
				---- ---0
0x018	-	-	-	UPINT_ENR [B,H,W]
				---- ---0
0x01C	-	-	-	UPINT_CLR [B,H,W]
				---- ---0
0x020	-	-	-	UPINT_STR [B,H,W]
				---- ---0
0x024	-	-	-	UPCR5 [B,H,W]
				---- 0001
0x028	-	-	-	UPCR6 [B,H,W]
				---- 0010
0x02C	-	-	-	UP_CR7 [B,H,W]
				---- ---0
0x030	-	-	-	USBEN0 [B,H,W]
				---- -100
0x034	-	-	-	USBEN1 [B,H,W]
				---- -100
0x038 – 0xFFC	-	-	-	-

1.24 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0–00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000–0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x030	-	-	SCSCR[B,H,W]	
			00000000	00100000
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044	-	-	FTICR2[B,H,W] 00000000	FTICR1[B,H,W] 00000000
0x048 – 0x0FC	-	-	-	-

<注意事項>

- *RDR/TDR レジスタの上位 16bit は、MFS-I2S モードで Word アクセスを使用するときのみ有効です。*

1.25 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.26 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00–0000	--000000	--000000
0x004 – 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 – 0xFFC	-	-	-	-

1.27 RTC

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_CLKDIV[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 11001110
0x180	-	-	-	CCB[B,H,W] 11001110
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A4	-	-	-	VBDDR[B,H,W] ----XXXX
0x1A8	-	-	-	VBDIR[B,H,W] ----0000
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x0B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W] 00000000	BREG02[B,H,W] 00000000	BREG01[B,H,W] 00000000	BREG00[B,H,W] 00000000
0x204	BREG07[B,H,W] 00000000	BREG06[B,H,W] 00000000	BREG05[B,H,W] 00000000	BREG04[B,H,W] 00000000
0x208	BREG0B[B,H,W] 00000000	BREG0A[B,H,W] 00000000	BREG09[B,H,W] 00000000	BREG08[B,H,W] 00000000
0x20C	BREG0F[B,H,W] 00000000	BREG0E[B,H,W] 00000000	BREG0D[B,H,W] 00000000	BREG0C[B,H,W] 00000000
0x210	BREG13[B,H,W] 00000000	BREG12[B,H,W] 00000000	BREG11[B,H,W] 00000000	BREG10[B,H,W] 00000000
0x214	BREG17[B,H,W] 00000000	BREG16[B,H,W] 00000000	BREG15[B,H,W] 00000000	BREG14[B,H,W] 00000000
0x218	BREG1B[B,H,W] 00000000	BREG1A[B,H,W] 00000000	BREG19[B,H,W] 00000000	BREG18[B,H,W] 00000000
0x21C	BREG1F[B,H,W] 00000000	BREG1E[B,H,W] 00000000	BREG1D[B,H,W] 00000000	BREG1C[B,H,W] 00000000
0x220	BREG23[B,H,W] 00000000	BREG22[B,H,W] 00000000	BREG21[B,H,W] 00000000	BREG20[B,H,W] 00000000
0x224	BREG27[B,H,W] 00000000	BREG26[B,H,W] 00000000	BREG25[B,H,W] 00000000	BREG24[B,H,W] 00000000
0x228	BREG2B[B,H,W] 00000000	BREG2A[B,H,W] 00000000	BREG29[B,H,W] 00000000	BREG28[B,H,W] 00000000
0x22C	BREG2F[B,H,W] 00000000	BREG2E[B,H,W] 00000000	BREG2D[B,H,W] 00000000	BREG2C[B,H,W] 00000000
0x230	BREG33[B,H,W] 00000000	BREG32[B,H,W] 00000000	BREG31[B,H,W] 00000000	BREG30[B,H,W] 00000000
0x234	BREG37[B,H,W] 00000000	BREG36[B,H,W] 00000000	BREG35[B,H,W] 00000000	BREG34[B,H,W] 00000000
0x238	BREG3B[B,H,W] 00000000	BREG3A[B,H,W] 00000000	BREG39[B,H,W] 00000000	BREG38[B,H,W] 00000000
0x23C	BREG3F[B,H,W] 00000000	BREG3E[B,H,W] 00000000	BREG3D[B,H,W] 00000000	BREG3C[B,H,W] 00000000
0x240	BREG43[B,H,W] 00000000	BREG42[B,H,W] 00000000	BREG41[B,H,W] 00000000	BREG40[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x244	BREG47[B,H,W] 00000000	BREG46[B,H,W] 00000000	BREG45[B,H,W] 00000000	BREG44[B,H,W] 00000000
0x248	BREG4B[B,H,W] 00000000	BREG4A[B,H,W] 00000000	BREG49[B,H,W] 00000000	BREG48[B,H,W] 00000000
0x24C	BREG4F[B,H,W] 00000000	BREG4E[B,H,W] 00000000	BREG4D[B,H,W] 00000000	BREG4C[B,H,W] 00000000
0x250	BREG53[B,H,W] 00000000	BREG52[B,H,W] 00000000	BREG51[B,H,W] 00000000	BREG50[B,H,W] 00000000
0x254	BREG57[B,H,W] 00000000	BREG56[B,H,W] 00000000	BREG55[B,H,W] 00000000	BREG54[B,H,W] 00000000
0x258	BREG5B[B,H,W] 00000000	BREG5A[B,H,W] 00000000	BREG59[B,H,W] 00000000	BREG58[B,H,W] 00000000
0x25C	BREG5F[B,H,W] 00000000	BREG5E[B,H,W] 00000000	BREG5D[B,H,W] 00000000	BREG5C[B,H,W] 00000000
0x260	BREG63[B,H,W] 00000000	BREG62[B,H,W] 00000000	BREG61[B,H,W] 00000000	BREG60[B,H,W] 00000000
0x264	BREG67[B,H,W] 00000000	BREG66[B,H,W] 00000000	BREG65[B,H,W] 00000000	BREG64[B,H,W] 00000000
0x268	BREG6B[B,H,W] 00000000	BREG6A[B,H,W] 00000000	BREG69[B,H,W] 00000000	BREG68[B,H,W] 00000000
0x26C	BREG6F[B,H,W] 00000000	BREG6E[B,H,W] 00000000	BREG6D[B,H,W] 00000000	BREG6C[B,H,W] 00000000
0x270	BREG73[B,H,W] 00000000	BREG72[B,H,W] 00000000	BREG71[B,H,W] 00000000	BREG70[B,H,W] 00000000
0x274	BREG77[B,H,W] 00000000	BREG76[B,H,W] 00000000	BREG75[B,H,W] 00000000	BREG74[B,H,W] 00000000
0x278	BREG7B[B,H,W] 00000000	BREG7A[B,H,W] 00000000	BREG79[B,H,W] 00000000	BREG78[B,H,W] 00000000
0x27C	BREG7F[B,H,W] 00000000	BREG7E[B,H,W] 00000000	BREG7D[B,H,W] 00000000	BREG7C[B,H,W] 00000000
0x280-0xFFC	-	-	-	-

1.28 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000 – 0x0FC	-	-	-	-

1.29 Peripheral Clock Gating

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1–11 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	------00 ----0000 00000000 00000000			
0x008 – 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000 ----0000 ----0000			
0x018 – 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- ---1-1-1 1111-1-- --00--00			
0x024	MRST2[B,H,W]			
	-------- ---0-0-0 0000-0-- --00–00			
0x028 – 0x0FC	-	-	-	-

1.30 Smart Card I/F

Smart Card I/F ch.0Base_Address : 0x4003_C900

Smart Card I/F ch.1Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000–00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.31 MFSI2S

MFSI2S ch.5 Base_Address : 0x4003_CA00

MFSI2S ch.6 Base_Address : 0x4003_CA80

Base_Address	Register			
+Address	+3	+2	+1	+0
0x00	-		CNTLREG [H,W] -------- -------- -----000 00000001	
0x04	-		I2SCLK [H,W] -------- -------- 000----- 00000000	
0x08	-		I2SST [B] ------00	I2SRST[B] 00000000

1.32 High Resilience

High Resilience Base_Address : 0x4003_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	RTR_CTL3 [B,H,W]	RTR_CTL2 [B,H,W]	RTR_CTL1 [B,H,W]	RTR_CTL0 [B,H,W]
	000- 000-	000- ----	---- ----	1111 1111
0x004	RTR_RTS3 [B,H,W]	RTR_RTS2 [B,H,W]	RTR_RTS1 [B,H,W]	RTR_RTS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x008	RTR_TGS3 [B,H,W]	RTR_TGS2 [B,H,W]	RTR_TGS1 [B,H,W]	RTR_TGS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x00C	RTR_STR3 [B,H,W]	RTR_STR2 [B,H,W]	RTR_STR1 [B,H,W]	RTR_STR0 [B,H,W]
	00-- ----	---- ----	00-- ----	---- ----
0x010	RTR_RLR [W]			
	00000000 00000000 00000000 00000000			
0x014	RTR_CT23 [B,H,W]	RTR_CT22 [B,H,W]	RTR_CT21 [B,H,W]	RTR_CT20 [B,H,W]
	0000 0000	0000 0000	0000 0000	---0 ---0
0x018	RTR_REV [B,H,W]			
	00000000 00010101 00000001 00000000			
0x01C – 0xFFC	-	-	-	-

1.33 USB

USB ch.0 Base_Address : 0x4004_0000

USB ch.1 Base_Address : 0x4005_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2148	-	-	EP0OS[H,W] 100–00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 – 0x217C	-	-	-	-

1.34 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x00C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x018-0x02C	-			
0x030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x038-0x04C	-			
0x050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x058-0x06C	-			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078-0x08C	-			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098-0xFFC	-			

1.35 MTB_DWT

MTB_DWT Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 – 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.36 Fast GPIO

Fast GPIO Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 – 0xFFC	-	-	-	-

D. レジスタマップ (TYPE3-M0+)

レジスタマップについて説明します。

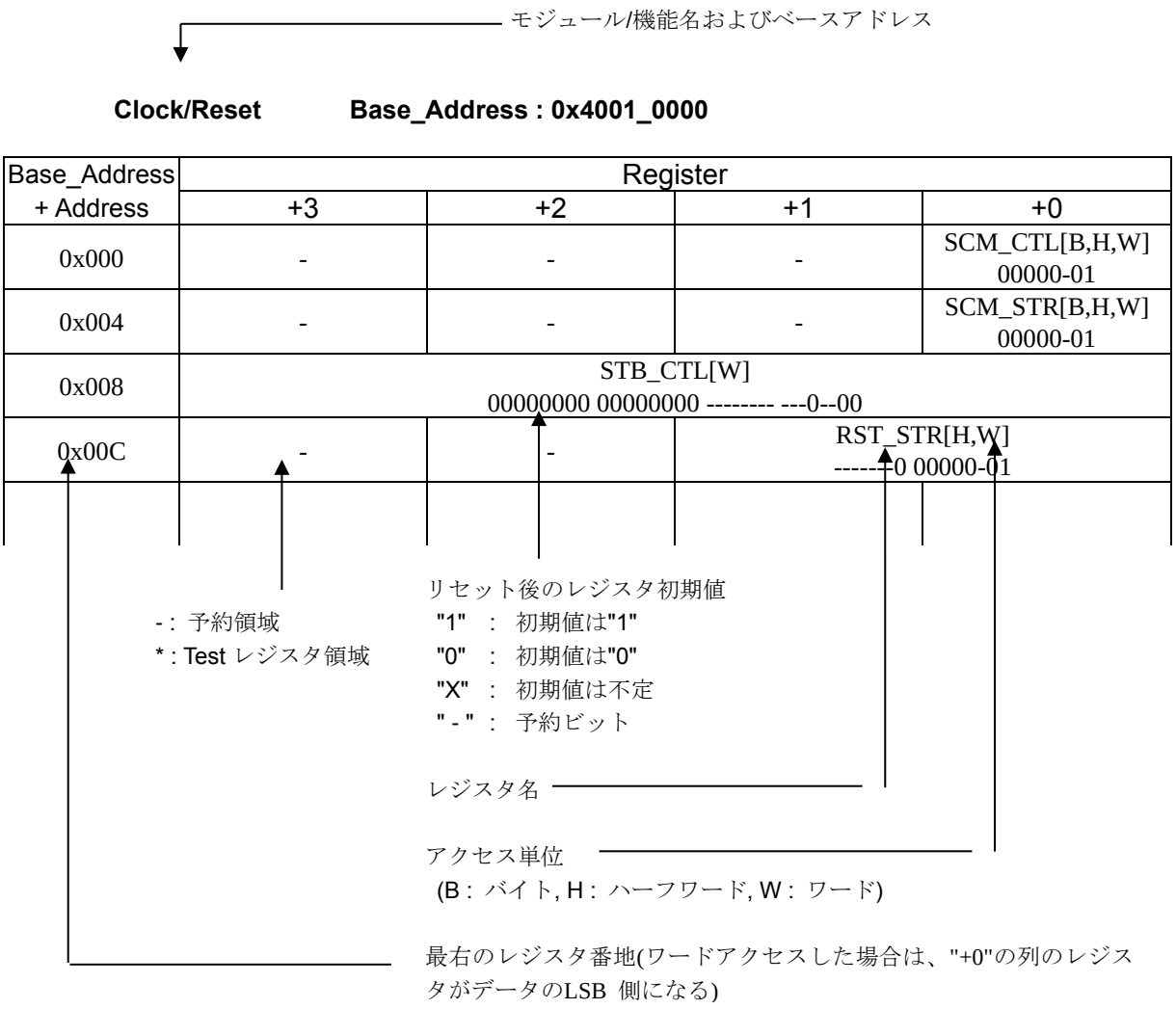
1. レジスタマップ

CODE: 9AFREGMAP-J03.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
	-------- -------- -------- -----011			
0x008	FSTR[B,H,W]			
	-------- -------- -------- --00000X			
0x00C	-	-	-	-
0x010	FSYNDN[B,H,W]			
	-------- -------- -------- ----0001			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
	-------- -------- -------- ------00			
0x024	FISR[B,H,W]			
	-------- -------- -------- ------00			
0x028	FICLR[B,H,W]			
	-------- -------- -------- ------00			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 00000-01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			0-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.8 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] -------- XXXXXXXX	

1.9 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			10000000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			00000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.10 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				-----001
0x004	-	-	MCR_FTRM[B,H,W]	
			------10 00000110	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-1111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.11 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C	ELVR2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x020	-	-	-	NMIENR[B,H,W]
	-	-	-	-------0
0x024–- 0x0FC	-	-	-	-

1.12 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 – 0x004	-	-	-	-
0x008	VIR_OFFSET[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	-	-	-	ODDPKS[B,H,W]
				---00000
0x014 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x204	IRQ00MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x208	IRQ01MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x20C	IRQ02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x210	IRQ03MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x214	IRQ04MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x218	IRQ05MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x21C	IRQ06MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x220	IRQ07MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x224	IRQ08MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x228	IRQ09MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x22C	IRQ10MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x230	IRQ11MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x234	IRQ12MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x238	IRQ13MON[B,H,W]			
	00000000 00000000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x23C	IRQ14MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x240	IRQ15MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x244	IRQ16MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x248	IRQ17MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x24C	IRQ18MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x250	IRQ19MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x254	IRQ20MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x258	IRQ21MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x25C	IRQ22MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x260	IRQ23MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x264	IRQ24MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x268	IRQ25MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x26C	IRQ26MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x270	IRQ27MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x274	IRQ28MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x278	IRQ29MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x27C	IRQ30MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x280	IRQ31MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x284–- 0xFFC	-	-	-	-

1.13 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	-	-	-	-
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024 – 0x034	-	-	-	-
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C–- 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C – 0x134	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C – 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	-	-	-	-
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224 – 0x234	-	-	-	-
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C–- 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	-	-	-	-
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324 – 0x334	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C–- 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	-	-	-	-
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424 – 0x434	-	-	-	-
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C–- 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504–- 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---0 0101			
0x584–- 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- --00 ---- --01 ---- --0- ---- --00			
0x604–- 0x60C	-	-	-	-
0x610	EPFR04[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x614	EPFR05[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x620	EPFR08[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x628–- 0x654	-	-	-	-
0x658	EPFR22[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x65C	EPFR23[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x660–- 0x678	-	-	-	-
0x67C	EPFR31[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x680	-	-	-	-
0x684	EPFR33[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x688–- 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x698	EPFR38[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x69C–- 0x6FC	-	-	-	-
0x700	-	-	-	-
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	-	-	-	-
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710 – 0x714	-	-	-	-
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C – 0x7FC	-	-	-	-
0x800 – 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	-	-	-	-
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924 – 0x934	-	-	-	-
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C–- 0xFFC	-	-	-	-

1.14 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10–- 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68–- 0xFC	-	-	-	-

1.15 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			10000000 00001100	
0x004	-	-	LVD_STR [B,H,W]	
			00000000 0000000-	
0x008	-	-	LVD_CLR [B,H,W]	
			00000000 10000000	
0x00C	LVD_RLR [W]			
	00000000 00000000 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			00000000 01000000	
0x014–- 0x0FC	-	-	-	-

1.16 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W]
				---- -10-
0x004	-	-	-	RCK_CTL [B,H,W]
				---- --01
0x008–- 0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W]
				---- -10-
0x014–- 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W]
				---- 0000
0x104	-	-	-	-
0x108	CAL_KEY [W]			
	00000000 00000000 00000000 00000001			
0x10C–- 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W]
				---- ---0
0x704	-	-	-	WRFSR [B,H,W]
				---- --00
0x708	-	-	WIFSR [B,H,W]	
			00000000 00000000	
0x70C	-	-	WIER [B,H,W]	
			00000000 00000-00	
0x710	-	-	WILVR [B,H,W]	
			-----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W]
				---- --00
0x718–- 0x7FC	-	-	-	-
0x800	BUR04 [B,H,W]	BUR03 [B,H,W]	BUR02 [B,H,W]	BUR01 [B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08 [B,H,W]	BUR07 [B,H,W]	BUR06 [B,H,W]	BUR05 [B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 – 0x8FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x900	WIOLC_CTL [B,H,W]			
	-------0 -------1 -------0 -------0			
0x904	-	-	-	SUBOSC_CTL[B,H,W]
				------01
0x908	-	-	-	CEC_CTL [B,H,W]
				----0000
0x90C	-	-	-	DEBUG_SW_CTL[B,H,W]
				-------1
0x910–- 0xEFC	-	-	-	-

1.17 USB Clock

USB Clock　　Base_Address : 0x4003_6000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-----000
0x004 – 0x024	-	-	-	-
0x028	-	-	-	UPCR6[B,H,W]
				----0010
0x02C	-	-	-	-
0x030	-	-	-	USBEN0[B,H,W]
				-------0
0x038 – 0x0FC	-	-	-	-

1.18 I2CSLAVE

I2CSLAVE ch.6 Base_Address : 0x4003_7980

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	IBSCR[B,H,W]		IBSSR[B,H,W]	
	------00 0-000000		-----001 00000000	
0x04	-	IBSDSTUPR[B,H,W]	IBSMSKR[B,H,W]	IBSADR[B,H,W]
	-	11111111	01111111	00000000
0x08	-	-	-	IBSTDR[B,H,W]
	-	-	-	11111111
0x0C	-	-	-	IBSRDR[B,H,W]
	-	-	-	11111111
0x10	-	-	IBSSCR[B,H,W]	
	-	-	-----0-- -----00-	
0x14	-	-	IBSSSR[B,H,W]	
	-	-	-------0 --------	
0x18–- 0x3F	-	-	-	-

1.19 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			–-00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--00–-0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044–- 0x0FC	-	-	-	-

<注意事項>

- *RDR/TDR レジスタの上位 16bit は、MFS-I2S モードで Word アクセスを使用するときのみ有効です。*

1.20 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.21 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		0–-0000	--000000	--000000
0x004–- 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018–- 0xFFC	-	-	-	-

1.22 RTC

RTC Base_Address : 0x4003_B000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0
0x034–- 0xFFC	-	-	-	-

1.23 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000–- 0x0FC	-	-	-	-

1.24 Peripheral Clock Gating

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---- -------1 -------- 11-11-11			
0x004	MRST0[B,H,W]			
	-------- -------0 -------- 00-00-00			
0x008–- 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- -------- -------- ------11			
0x014	MRST1[B,H,W]			
	-------- -------- -------- ------00			
0x018–- 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- ------– 111----- -------0			
0x024	MRST2[B,H,W]			
	-------- ------– 000----- -------0			
0x028–- 0x0FC	-	-	-	-

1.25 Smart Card I/F

Smart Card I/F ch.1 Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 000–-00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.26 MFSI2S

MFSI2S ch.4 Base_Address : 0x4003_CA00

MFSI2S ch.6 Base_Address : 0x4003_CA80

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	CNTLREG[B, H,W] -----0-0 -0000-01	
0x04	-	-	I2SCLK[B, H,W] 00------ 00000000	
0x08	-	-	I2SST[B,H,W] ------00	I2SRST[B,H,W] 00000000
0x0C- 0x3C	-	-	-	-

1.27 USB

USB ch.0 Base_Address : 0x4004_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 10--00- -XXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178–- 0x217C	-	-	-	-

1.28 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x00C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x018-0x02C				
0x030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x038-0x04C				
0x050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x058-0x06C				
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078-0x08C				
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098–- 0xFFC	-	-	-	-

1.29 MTB_DWT

MTB_DWT　　Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024–- 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.30 Fast GPIO

Fast GPIO Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	-	-
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024–- 0x034	-	-	-	-
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	-	-
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064–- 0x074	-	-	-	-
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	-	-
0x080				M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088 – 0x0BF	-			
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8–- 0x0FC	-	-	-	-

1.31 VIR

VIR Base_Address : 0xF800_0100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	VIR00[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x004	VIR01[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	VIR02[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x00C	VIR03[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	VIR04[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x014	VIR05[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x018	VIR06[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x01C	VIR07[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x020	VIR08[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x024	VIR09[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x028	VIR10[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x02C	VIR11[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	VIR12[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x034	VIR13[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x038	VIR14[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x03C	VIR15[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x040	VIR16[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x044	VIR17[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	VIR18[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x04C	VIR19[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x050	VIR20[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x054	VIR21[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x058	VIR22[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x05C	VIR23[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x060	VIR24[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x064	VIR25[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x068	VIR26[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x06C	VIR27[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x070	VIR28[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x074	VIR29[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x078	VIR30[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x07C	VIR31[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

E. 注意事項一覧

各機能仕様の注意事項について示します。

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

管理コード: 9APRECAUTION_FM0-J03.0

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。

また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/ PCLK0/PCLK1	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB	―	各規格で規定されている周波数精度を満たせないため、使用できません。
マルチファンクションシリアル インタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO, I2C, MFS-I2S	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
Smart Card インターフェース	―	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。

F. 主な変更内容

ページ	場所	変更箇所
7	本マニュアルにおける対象製品	TYPE2-M0+製品、TYPE3-M0+製品を追加
20	C HAPTER1-1: マルチファンクションシリアルインターフェース 1. マルチファンクションシリアルインターフェースの概要	“送受信 FIFO の容量は、製品型格により異なります。”を追加
21	CHAPTER1-2:UART	ハードウェアフロー制御端子は、製品型格により異なります。”を追加 " 外部クロックは SCK から入力します。"を追記 Table4-1 を修正。
241	CHAPTER1-5: I2C インターフェース (I2C 通信制御インタフェース)	Table2-1, Figure 4-2 を修正 Table 5-4 を追加
331	CHAPTER1-6:MFS-I2S インターフェース	TYPE2-M0+製品、TYPE3-M0+製品の機能説明のため、章を追加。
367	CHAPTER2-1:CAN プリスケーラ	本章の説明を削除
369	CHAPTER2-2:CAN コントローラ	本章の説明を削除
390	CHAPTER3-2: CEC 受信/リモコン受信	Table3-1 を追加
422	CHAPTER3-3: CEC 送信 6.1 送信制御レジスタ(TXCTRL)	レジスタ機能説明を追加
425	CHAPTER3-3: CEC 送信 6.3 送信ステータスレジスタ (TXSTS)	レジスタ機能説明を追加
429,431,451	CHAPTER4-1:USB クロック生成部概要 CHAPTER4-2:USB クロック生成部 (A) CHAPTER4-3:USB クロック生成部 (B)	TYPE2-M0+製品、TYPE3-M0+製品の機能説明のため、章を追加。
461,521	CHAPTER5-1:USB ホスト CHAPTER5-2:USB デバイス	TYPE2-M0+製品、TYPE3-M0+製品の機能説明のため、章を追加。
571	CHAPTER6:スマートカードインタフェース	TYPE2-M0+製品、TYPE3-M0+製品の機能説明のため、章を追加。
621	CHAPTER7:I2CSLAVE	TYPE3-M0+製品の機能説明のため、章を追加。

ページ	場所	変更箇所
709	APPENDIX C.レジスタマップ(TYPE2-M0+)	TYPE2-M0+製品のレジスタマップを追加
773	APPENDIX D.レジスタマップ(TYPE3-M0+)	TYPE3-M0+製品のレジスタマップを追加

改訂履歴

改訂履歴

文書名: 32 ビット・マイクロコントローラ FM0+ファミリ PERIPHERAL MANUAL 通信マクロ編 文書番号: 002-05026			
版	**ECN 番号**	**変更者**	**変更内容**
**	-	TOYO	Initial release New Spec
*A	5037026	KEMU	TYPE2-M0+製品、TYPE3-M0+製品を追加。 詳細は、“F. 主な変更内容”を参照してください。
*B	5371140	HIFU	これは英語版の 002-05024 Rev. *A を翻訳した日本語版です。 7 ページ: 表紙(本マニュアルにおける対象商品)の Table 2 を修正 331 ページ: CHAPTER1-6: MFS-I2S(Inter-IC Sound bus)の誤記を修正 375 ページ: CHAPTER3-2: CEC 受信/リモコン受信の 3.3 項の誤記を修正 651 ページ: A.製品型格一覧の Table 1-2 を修正 653 ページ: B.レジスタマップ(TYPE1-M0+)の誤記を修正 709 ページ: C.レジスタマップ(TYPE2-M0+)の誤記を修正 773 ページ: D.レジスタマップ(TYPE3-M0+)の誤記を修正
*C	5831608	YOST	Updated Cypress logo. Updated Copyright.
*D	6014706	HTER	これは英語版の 002-05024 Rev. *C を翻訳した日本語版です。 P.3 「マイコンサポート情報」の URL を追記 P.7 Table 1, 2, 3 の型格を 10 桁から 8 桁表記に修正 P.202, P.203, P.204, P.205, P.208, P.209, P.210, P.211 LIN バスタイミング図を更新 P.652 1.製品型格一覧の型格を 10 桁から 8 桁に修正 P.760 C.レジスタマップ (TYPE2-M0+) の CKEN2 を修正しました。 P.822 E.注意事項一覧：「機能マクロへの影響」の表から CAN を削除