请注意赛普拉斯已正式并入英飞凌科技公司。
此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性
事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

订购零件编号的连续性
英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

32 位微处理器

FM0+ 家族 外设手册 通讯宏部分

Doc. No. 002-11334 Rev. *A

Cypress Semiconductor
An Infineon Technologies Company
198 Champion Court
San Jose, CA 95134-1709
www.cypress.com
www.infineon.com

©赛普拉斯半导体公司，2013-2020 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规 格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。

前言

感谢您继续使用 Cypress 产品。
使用此系列产品前请认真 读本手册及《数据手册》。

本手册是从《外设手册》中摘出 讯宏 分单独成册。

本手册目的及目标读者

本手册说明本系列功能及操作，并说明如何使用。本手册专 设计给使用本系列产品实 开发的工程师使用。

注意事 ：

- *本手册说明外设功能的 置及操作，但不包括系列中各设备的具体内容。*
  有关各设备详细资料，用户可参 相关《数据手册》。
- *板子是否支持外围功能基于芯片的类型，具体的细节 要参考使用芯片的数据手册。*

Trademark

ARM and Cortex are the trademarks of ARM Limited in the EU and other countries.

The company names and brand names herein are the trademarks or registered trademarks of their respective owners.

样本程序及开发环境

Cypress 免费提供使用 FM0+ 家族外设功能的样本程序。Cypress 提供该系列所 开发环境的说明。可免费使用样本程序 证 Cypress 半导体微处理器的操作规范及使用情况。

微控制器支持信息：
https://community.cypress.com/community/MCU

注意事 ：

- *请注意样本程序如有变更，恕不另行 知。样本程序是用于 证标准操作和使用情况，在使用前，请 行实 评估。*
  由于使用样本程序发生损坏，Cypress 不承担任何责任。

本手册的组织结构

《外设手册》计时器 分包括 3 章以及 录，如下所示：

第 1-1 章：多功能串口
第 1-2 章：UART（异步串口）
第 1-3 章：CSIO（时 同步串口）
第 1-4 章：LIN 接口 (Ver.2.1) (LIN 讯控制接口 Ver.2.1)
第 1-5 章：I²C 接口 (I²C 讯控制接口)
第 1-6 章： MFS-I²S 接口
第 2-1 章：CAN 寄存器
第 2-2 章：CAN 控制器
第 3-1 章：HDMI-CEC/ 控接收
第 3-2 章：CEC 接收/ 控接收
第 3-3 章：CEC 传

第 4-1 章：USB 时　发生模块概
第 4-2 章： USB 时　发生 (A)
第 4-3 章：USB 时　发生 (B)
第 5-1 章： USB 设备 (USB 功能)
第 5-2 章： USB 主机
第 6 章：智能卡接口
第 7 章: I2C 从机
录

相关手册

此产品家族相关手册如下。请根据应用情况自行　择参考。

　些手册中的内容如有变更，恕不另行　知。有关最新版本情况，请与我们联系。

外设手册

- FM0+家族外设手册
  （以下称“外设手册”）
- FM0+家族外设手册计时器　分
  （以下称“计时器　分”）
- FM0+家族外设手册模拟宏　分
  （以下称“模拟宏　分”）
- FM0+家族外设手册　讯宏　分（本手册）
  （以下称“　讯宏　分”）

数据手册

有关具体设备的规范、电气特性、封装尺寸以及订购信息等，参见以下文件。

- 32 位微处理器 FM0+ 家族数据手册

注意事　：

- *提供各系列《数据手册》。*
  参见您所使用系列的相关《数据手册》。

CPU 编程手册

有关 ARM Cortex-M3 内核的详情，可从见 http://www.arm.com/下载以下文件：

- Cortex-M0+ 技术参考手册
- ARMv6-M 架构应用级参考手册

存编程手册

有关内置　存的功能及操作，参见以下文件：

- FM0+家族　存编程手册

注意事　：

- *提供各系列《　存编程手册》。*
  参见您所使用系列的相关　存编程手册。

如何使用本手册

功能查找

可　用以下方法搜索本手册中相关功能的说明：

- 搜索目录

  目录中按　序列出手册内容。

- 搜索寄存器

  文本中未描　各寄存器所在地址。核实寄存器地址，参见“　录”中“A.寄存器映射表"。

章节说明

本手册主要说明　讯宏　分。

术语

本手册　用以下术语

术语	解
字	指存取单位为 32 位。
半字	指存取单位为 16 位。
字节	指存取单位为 8 位。

注解:

- 本手册寄存器解　的位　置符号写法如下：
  - bit　:　位编号
  - Field　:　位字段名
  - Attribute :　各位的读写属性
  - R　:　只读
  - W　:　只写
  - R/W　:　可读/可写
  - -　:　未定义
  - Initial value :　寄存器复位后的初始值
  - 0　:　初始值为 "0"
  - 1　:　初始值为 "1"
  - X　:　初始值未定义

- 本手册中多位写法如下：
  例如：bit7:0 表示 bit7 至 bit0 的数位。

- 本手册中地址的值写法如下：
  - 十六　制数　:　值前加前缀 "0x" （如：0xFFFF）
  - 二　制数　:　值前加前缀 "0b" （如：0b1111）
  - 十　制数　:　只用数字写（如：1000）

本手册目标产品

■ 本手册中，产品分类及描　如下。

有关 "TYPE 1-M0+"、“TYPE 2-M0+”和“TYPE 3-M0+”的描　，参见下表中目标 FM0+ 产品相关　：

Table 1FM0+ 家族 TYPE 1 产品表

类型	存大小	
	88 K 字节	**56 K 字节**
TYPE1-M0+	S6E1A12B S6E1A12C	S6E1A11B S6E1A11C

Table 2FM0+ 家族 TYPE 2 产品表

类型	存大小	
	304K 字节	560K 字节
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 3FM0+ 家族 TYPE 3 产品表

类型	存大小	
	64K 字节	128K 字节
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

目录

第 1-1 章：多功能串行接口 18
1. 多功能串口概 19
第 1-2 章：UART (异步串口) 20
1. UART（异步串口）概 21
2. UART 中断 22
2.1 接收中断及标志设置时序 23
2.2 接收 FIFO 时的中断及标志设置时序 25
2.3 传 中断及标志设置时序 26
2.4 传 FIFO 时的中断及标志设置时序 27
3. UART 操作 28
4. 专用波特率发生器 35
4.1 波特率设置 36
5. 操作模式 0 （异步正常模式）的设置步 及程序流程 41
6. 操作模式 1 （异步多处理器模式）的设置步 及程序流程 44
7. UART（异步串口）寄存器 47
7.1 串行控制寄存器 (SCR) 48
7.2 串行模式寄存器 (SMR) 50
7.3 串行状态寄存器 (SSR) 52
7.4 扩展 讯控制寄存器 (ESCR) 54
7.5 接收数据寄存器/传 数据寄存器 (RDR/TDR) 56
7.6 波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 58
7.7 FIFO 控制寄存器 1 (FCR1) 59
7.8 FIFO 控制寄存器 0 (FCR0) 61
7.9 FIFO 字节寄存器 (FBYTE) 64
第 1-3 章: CSIO (时 同步串口) 66
1. CSIO（时 同步串口）概 67
2. CSIO（时 同步串口）中断 68
2.1 接收中断及标志设置时序 69
2.2 使用接收 FIFO 时的中断和标志设置时序 71
2.3 传 中断及标志设置时序 73
2.4 使用传 FIFO 时的中断和标志设置时序 74
2.5 计时器中断发生及标志设置时序 75
2.6 芯片 择 误发生及标志设置时序 76
3. CSIO（时 同步串口）操作 78
3.1 正常传输 (I) 78
3.2 正常传输（II） 87
3.3 SPI 传输 (I) 96

3.4 SPI 传输 (II) 105
4. 串行计时器操作 114
5. 串行芯片 择操作 120
6. 专用波特率发生器 130
6.1 波特率设置 131
6.2 CSIO（时 同步串口）设置程序及程序流程 134
7. CSIO（时 同步串口）寄存器 137
7.1 串行控制寄存器 (SCR) 139
7.2 串行模式寄存器 (SMR) 142
7.3 串行状态寄存器 (SSR) 145
7.4 扩展 信控制寄存器 (ESCR) 147
7.5 接收数据寄存器/传 数据寄存器 (RDR/TDR) 149
7.6 串行支持控制寄存器 (SACSR) 151
7.7 串行计时器寄存器 (STMR) 155
7.8 串行计时器比较寄存器 (STMCR) 156
7.9 串行芯片 择控制状态寄存器 (SCSCR) 157
7.10 串行芯片 择时序寄存器 (SCSTR3-0) 161
7.11 串行芯片 择格式寄存器 (SCSFR2-0) 163
7.12 传输字节寄存器(TBYTE3-0) 166
7.13 波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 167
7.14 FIFO 控制寄存器 1 (FCR1) 168
7.15 FIFO 控制寄存器 0 (FCR0) 170
7.16 FIFO 字节寄存器 (FBYTE) 173
8. CSIO（时 同步串口）的 制 175
第 1-4 章：LIN 接口 (Ver.2.1) (LIN 信控制接口 Ver.2.1) 176
1. LIN 接口 (Ver.2.1) 概 (LIN 信控制接口 Ver.2.1) 177
2. LIN 接口(Ver.2.1) 中断 178
2.1 接收中断及标志设置时序 179
2.2 使用接收 FIFO 时的中断和标志设置时序 181
2.3 传 中断及标志设置时序 183
2.4 使用传 FIFO 时的中断和标志设置时序 184
3. 专用波特率发生器 185
3.1 波特率设置 186
4. LIN 接口(Ver.2.1) 操作 190
5. 操作模式 3 （LIN 信接口）的设置步 及程序流程 204
6. LIN 接口(Ver.2.1) 寄存器 209
6.1 串行控制寄存器 (SCR) 210
6.2 串行模式寄存器 (SMR) 213
6.3 串行状态寄存器 (SSR) 215
6.4 扩展 信控制寄存器 (ESCR) 217
6.5 接收数据寄存器/传 数据寄存器 (RDR/TDR) 219
6.6 波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 221
6.7 FIFO 控制寄存器 1 (FCR1) 222
6.8 FIFO 控制寄存器 0 (FCR0) 224
6.9 FIFO 字节寄存器 (FBYTE) 227
第 1-5 章：I2C 接口 (I2C 信控制接口) 229
1. I²C 接口（I²C 信控制接口）概 230
2. I²C 接口操作 231
2.1 I²C 接口中断 231
2.2 I²C 总线操作 233

2.3 主机模式 234
2.3.1 产生启动条件 234
2.3.2 从机地址输出 235
2.3.3 字节传 确认接收 237
2.3.4 主机传 数据 243
2.3.5 主机接收数据 263
2.3.6 判优损失 270
2.3.7 主机模式等待状态 270
2.3.8 使能 DMA 模式时(SSR:DMA=1)发出 代启动条件 271
2.4 从机模式 272
2.4.1 从机地址匹 检测 272
2.4.2 数据方向位 273
2.4.3 从机模式接收 274
2.4.4 从机模式传 280
2.5 总线 误 281
2.5.1 总线 误发生条件 281
2.5.2 总线 误操作 281
3. 专用波特率发生器 282
3.1 择波特率 282
3.2 计算波特率 282
3.3 各总线时 率的 载值及波特率 283
3.4 载计数器的功能 283
3.5 启动计数 283
4. I²C 信操作流程图示例 283
5. I²C 接口寄存器 291
5.1 I²C 总线控制寄存器 (IBCR) 292
5.2 串行模式寄存器 (SMR) 299
5.3 I²C 总线状态寄存器(IBSR) 301
5.4 串行状态寄存器 (SSR) 306
5.5 接收数据寄存器/传 数据寄存器 (RDR/TDR) 310
5.6 扩展 I²C 总线控制寄存器 (EIBCR) 312
5.7 7 位从机地址屏蔽寄存器 (ISMK) 314
5.8 7 位从机地址寄存器 (ISBA) 315
5.9 波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 316
5.10 FIFO 控制寄存器 1 (FCR1) 317
5.11 FIFO 控制寄存器 0 (FCR0) 319
5.12 FIFO 字节寄存器 (FBYTE) 323
第 1-6 章：MFS-I2S 接口 325
1. MFS-I²S 概 326
2. MFS-I²S 接口 置 327
3. 数据结构 328
4. MFS-I²S 中断 329
4.1 使用接收 FIFO 时的中断和标志设置时序 330
4.2 使用传 FIFO 时的中断和标志设置时序 331
5. MFS-I²S 寄存器 332
5.1 串行控制寄存器 (SCR) 333
5.2 串行模式寄存器 (SMR) 335
5.3 串行状态寄存器 (SSR) 337
5.4 扩展 信控制寄存器 (ESCR) 339
5.5 接收数据寄存器/传 数据寄存器 (RDR/TDR) 340

5.6 FIFO 控制寄存器 1 (FCR1) 342
5.7 FIFO 控制寄存器 0 (FCR0) 344
5.8 FIFO 字节寄存器 (FBYTE) 346
6. MFS-I²S 时 发生器寄存器 348
6.1 控制寄存器(CNTLREG) 349
6.2 MFS-I²S 时 寄存器 (I2SCLK) 351
6.3 MFS-I²S 状态寄存器 (I2SST) 353
6.4 MFS-I²S 复位寄存器 (I2SRST) 354
7. MFS-I²S 接口操作说明 355
7.1 时 和帧同步信号 355
7.2 传输启动和停止操作 356
8. 使用注意事 357
8.1 接图 357
8.2 初始化 程 358
8.3 MFS-I²S 和 MSB 对 协议 359
第 2-1 章：CAN 分 器 360
第 2-2 章：CAN 控制器 361
第 3-1 章：HDMI-CEC/ 控接收 362
1. 置 363
2. 版本 363
3. HDMI-CEC 使用注意事 364
第 3-2 章：CEC 接收/ 控接收 365
1. 概 366
2. 置 367
3. 操作 368
3.1 SIRCS 模式 368
3.1.1 SIRCS 模式操作流程图及波形 368
3.1.2 SIRCS 模式的基本操作 369
3.1.3 启动位检测及中断输出 369
3.1.4 最小脉冲宽度 规 370
3.1.5 设备地址比较 370
3.1.6 计数器上溢检测及中断输出 370
3.2 NEC/家用电器协会模式的操作 371
3.2.1 NEC/家用电器协会模式的操作流程图及波形 371
3.2.2 启动位检测 372
3.2.3 复码检测 373
3.2.4 最小脉冲宽度 规 373
3.2.5 计数器上溢检测及中断输出 374
3.3 HDMI-CEC 模式 375
3.3.1 HDMI-CEC 模式操作流程图及波形 375
3.3.2 启动位检测及中断输出 376
3.3.3 最小脉冲宽度 规 377
3.3.4 计数器上溢检测及中断输出 377
3.3.5 设备地址比较 378
3.3.6 数据位宽度 规及 误脉冲自动输出 378
3.3.7 EOM 检测 379
3.3.8 ACK 检测及中断输出 380
3.4 噪声滤波器 380
4. 设置示例 381
5. 寄存器 382

5.1 接收控制寄存器 (RCCR) 383
5.2 接收中断控制寄存器 (RCST) 385
5.3 设备地址设置寄存器 1 和 2 (RCADR1 和 RCADR2) 387
5.4 启动位检测宽度设置寄存器 (RCSHW) 388
5.5 最小脉冲宽度设置寄存器 (RCDAHW) 389
5.6 值设置寄存器(RCDBHW) 390
5.7 数据保存寄存器(RCDTHH、RCDTHL、RCDTLH 及 RCDTLL) 391
5.8 时 分 设置寄存器(RCCKD) 392
5.9 复码中断控制寄存器(RCRC) 393
5.10 复码检测宽度设置寄存器 (RCRHW) 394
5.11 数据位宽度 规中断控制寄存器(RCLE) 395
5.12 最大数据位宽度设置寄存器(RCLELW) 397
5.13 最小数据位宽度设置寄存器 (RCLESW) 398
第 3-3 章：CEC 传 399
1. CEC 传 概 400
2. CEC 传 电路框图 401
3. CEC 传 中断 402
4. CEC 传 寄存器 403
5. CEC 传 操作 404
5.1 CEC 传 操作 405
5.2 中断因素及时 图 406
5.3 判优丢失检测 407
5.4 自由信号检测 408
5.5 滤波 409
5.6 CEC 传 操作流程 410
6. CEC 传 寄存器 411
6.1 传 控制寄存器 (TXCTRL) 412
6.2 传 数据寄存器 (TXDATA) 414
6.3 传 状态寄存器 (TXSTS) 415
6.4 自由信号时 设置寄存器 (SFREE) 417
第 4-1 章：USB 时 发生模块概 418
1. 概 和 置 419
第 4-2 章：USB 时 发生 (A) 420
1. 概 421
2. 置及框图 422
3. 操作说明 423
4. 设置步 示例 425
5. 寄存器表 426
5.1 USB 时 控制寄存器 (UCCR) 427
5.2 USB-PLL 控制寄存器 1 (UPCR1) 428
5.3 USB-PLL 控制寄存器 2 (UPCR2) 429
5.4 USB-PLL 控制寄存器 3 (UPCR3) 430
5.5 USB-PLL 控制寄存器 4 (UPCR4) 431
5.6 USB-PLL 控制寄存器 5 (UPCR5) 432
5.7 USB-PLL 状态寄存器 (UP_STR) 433
5.8 USB-PLL 中断因素使能寄存器 (UPINT_ENR) 434
5.9 USB-PLL 中断因素状态寄存器 (UPINT_STR) 435
5.10 USB-PLL 中断因素清 寄存器(UPINT_CLR) 436
5.11 USB (ch.0) 使能寄存器 (USBEN0) 437
5.12 USB (ch.1) 使能寄存器 (USBEN1) 438

6. 使用注意事 439
第 4-3 章：USB 时 发生 (B) 440
1. 概 441
2. 置及框图 441
3. 操作说明 442
3.1 择 USB 时 442
3.2 改变为待机模式 442
4. 设置步 示例 443
5. 寄存器 444
5.1 寄存器列表 444
5.2 USB 时 控制寄存器 (UCCR) 445
5.3 USB 分 器寄存器 (UPCR6) 446
5.4 USB (ch.0) 使能寄存器 (USBEN0) 447
6. 使用注意事 448
第 5-1 章：USB 设备(USB 功能) 449
1. USB 设备（USB 功能）概 450
1.1 USB 设备（USB 功能）特性 450
2. USB 设备（USB 功能） 置 451
3. USB 设备（USB 功能）操作 453
3.1 USB 设备（USB 功能）操作 454
3.2 接与断开检测 457
3.3 各寄存器响应命令操作 460
3.4 挂起功能 462
3.5 唤 功能 463
3.6 DMA 传输功能 465
3.7 NULL 传输功能 469
3.8 端点 0 的 STALL 响应/ 放 470
3.9 端点 1 至端点 5 的 STALL 响应/ 放 472
4. USB 设备（USB 功能）设置步 示例 477
5. USB 设备（USB 功能）寄存器 485
5.1 UDC 控制寄存器 (UDCC) 487
5.2 EP0 控制寄存器 (EP0C) 490
5.3 EP1 至 EP5 控制寄存器（EP1C 至 EP5C） 492
5.4 时戳寄存器 (TMSP) 495
5.5 UDC 状态寄存器 (UDCS) 496
5.6 UDC 中断使能寄存器 (UDCIE) 498
5.7 EP0I 状态寄存器 (EP0IS) 500
5.8 EP0O 状态寄存器 (EP0OS) 502
5.9 EP1 ~ EP5 状态寄存器 (EP1S ~ EP5S) 504
5.10 EP0 ~ EP5 数据寄存器（EP0DTH ~ EP5DTH/EP0DTL ~ EP5DTL） 507
第 5-2 章：USB 主机 509
1. USB 主机概 510
2. USB 主机 置 511
3. USB 主机操作 512
3.1 设备 接 513
3.2 USB 总线复位 515
3.3 令牌包 516
3.4 数据包 518
3.5 握手包 519
3.6 试功能 520
3.7 SOF 中断 521

3.8 误状态 523
3.9 包结束 524
3.10 暂停和恢复操作 525
3.11 设备断开 528
4. USB 主机设置步 示例 529
5. USB 主机寄存器 534
5.1 主机控制寄存器 0 和 1 (HCNT0 和 HCNT1) 536
5.2 主机中断寄存器 (HIRQ) 541
5.3 主机 误状态寄存器 (HERR) 544
5.4 主机状态寄存器 (HSTATE) 547
5.5 SOF 中断帧比较寄存器 (HFCOMP) 549
5.6 试计时器设置寄存器 (HRTIMER) 550
5.7 主机地址寄存器 (HADR) 551
5.8 EOF 设置寄存器 (HEOF) 552
5.9 帧设置寄存器 (HFRAME) 553
5.10 主机令牌端点寄存器 (HTOKEN) 554
第 6 章：智能卡接口 556
1. 智能卡接口概 557
2. 智能卡接口 置 558
3. 智能卡接口操作 559
3.1 传 /接收数据格式 559
3.2 数据传 560
3.3 数据接收 562
3.4 波特率 置 564
3.5 启动位检测 564
3.6 误检测 565
3.7 输出反向 566
3.8 端口控制 567
4. 智能卡接口中断 568
4.1 接收中断及标志设置时序 569
4.2 使用读取 FIFO 时的中断及标志设置时序 570
4.3 传 中断及标志设置时序 571
4.4 使用写入 FIFO 时的中断及标志设置时序 571
4.5 卡事件中断和标志设置时序 572
4.6 空 计时器失效中断及标志设置时序 572
5. 智能卡接口设置步 及程序流程 574
6. 智能卡接口寄存器 578
6.1 全局控制寄存器 1 (GLOBALCONTROL1) 579
6.2 状态寄存器 (STATUS) 583
6.3 端口控制寄存器 (PORTCONTROL) 586
6.4 数据寄存器 (DATA) 589
6.5 卡时 率寄存器 (CARDCLOCK) 590
6.6 波特率寄存器 (BAUDRATE) 591
6.7 保护计时器寄存器 (GUARDTIMER) 592
6.8 空 计时器寄存器 (IDLETIMER) 593
6.9 全局控制寄存器 2 (GLOBALCONTROL2) 594
6.10 FIFO 访 寄存器 (DATA_FIFO) 595
6.11 读取 FIFO 电平寄存器 (FIFO_LEVEL_READ) 596
6.12 写入 FIFO 电平寄存器 (FIFO_LEVEL_WRITE) 597
6.13 FIFO 模式寄存器 (FIFO_MODE) 598

6.14 写入 FIFO 清 寄存器 (FIFO_CLEAR_MSB_WRITE) 600
6.15 读取 FIFO 清 寄存器 (FIFO_CLEAR_MSB_READ) 601
6.16 中断状态寄存器 (IRQ_STATUS) 602
第 7 章：I2CSLAVE 604
1. 概 605
2. 置 606
3. 操作 607
3.1. 从机地址 607
3.2. 保留地址 609
3.3. 数据传 和接收 610
3.4. 唤 612
3.5. 中断请求 612
3.6. 数据设置时 613
3.7. 操作步 示例 614
4. 寄存器 616
4.1. I2C 总线从机状态寄存器 (IBSSR) 617
4.2. I2C 总线从机控制寄存器 (IBSCR) 621
4.3. I2C 总线 7 位从机地址寄存器 (IBSADR) 623
4.4. I2C 总线 7 位从机地址屏蔽寄存器 (IBSMSKR) 624
4.5. I2C 总线从机数据设置寄存器 (IBSDSTUPR) 625
4.6. I2C 总线从机传 数据寄存器 (IBSTDR) 626
4.7. I2C 总线从机接收数据寄存器 (IBSRDR) 626
4.8. I2C 总线从机状态清 寄存器 (IBSSCR) 627
4.9. I2C 总线从机状态设置寄存器 (IBSSSR) 628
录 629
A. 产品类型 630
1. 产品类型列表 631
B. 寄存器映射(TYPE1-M0+) 632
1. 寄存器映射 633
1.1 存 I/F 634
1.2 唯一 ID 634
1.3 时 /复位 635
1.4 HW WDT 636
1.5 SW WDT 636
1.6 双计时器 637
1.7 MFT 638
1.8 PPG 641
1.9 基本计时器 645
1.10 基本计时器的 IO 择器 646
1.11 QPRC 647
1.12 QPRC NF 648
1.13 A/DC 648
1.14 D/AC 649
1.15 CR 调节 650
1.16 EXTI 650
1.17 INT-Req. 读取 651
1.18 LCDC 653
1.19 GPIO 654
1.20 HDMI-CEC 661

1.21 LVD 662
1.22 DS 模式 662
1.23 MFS 663
1.24 CRC 664
1.25 计时计数器 664
1.26 RTC 665
1.27 低 CR 分 器 665
1.28 外设时 666
1.29 DMAC 666
1.30 MTB_DWT 668
1.31 快 GPIO 669
C. 寄存器映射(TYPE 2-M0+) 673
1. 寄存器映射 674
1.1 存 I/F 675
1.2 唯一 ID 675
1.3 时 /复位 676
1.4 HW WDT 677
1.5 SW_WDT 677
1.6 双计时器 678
1.7 MFT 679
1.8 PPG 682
1.9 基本计时器 686
1.10 基本计时器的 IO 择器 687
1.11 QPRC 688
1.12 QPRC NF 689
1.13 A/DC 689
1.14 D/AC 690
1.15 CR Trim 691
1.16 EXTI 691
1.17 INT-Req. 读取 692
1.18 LCDC 694
1.19 GPIO 695
1.20 HDMI-CEC 702
1.21 LVD 703
1.22 DS 模式 704
1.23 USB 时 705
1.24 MFS 706
1.25 CRC 707
1.26 计时计数器 707
1.27 RTC 708
1.28 低 CR 分 器 711
1.29 外设时 712
1.30 智能卡 I/F 713
1.31 MFSI2S 714
1.32 容 性 714
1.33 USB 715
1.34 DSTC 717
1.35 MTB_DWT 718
1.36 快 GPIO 719

D. 寄存器映射(TYPE 3-M0+) 722
1. 寄存器映射 723
1.1 存 I/F 724
1.2 唯一 ID 724
1.3 时 /复位 725
1.4 HW WDT 726
1.5 SW WDT 727
1.6 双计时器 728
1.7 基本计时器 729
1.8 基本计时器的 IO 择器 730
1.9 A/DC 730
1.10 CR 调节 731
1.11 EXTI 732
1.12 INT-Req. 读取 733
1.13 GPIO 735
1.14 HDMI-CEC 739
1.15 LVD 740
1.16 DS 模式 740
1.17 USB 时 741
1.18 I2CSLAVE 742
1.19 MFS 742
1.20 CRC 743
1.21 计时计数器 744
1.22 RTC 744
1.23 低 CR 分 器 745
1.24 外设时 745
1.25 智能卡 I/F 746
1.26 MFSI2S 747
1.27 USB 747
1.28 DSTC 749
1.29 MTB_DWT 750
1.30 快 GPIO 751
1.31 VIR 752
E.注意事 列表 754
1. CR 用为主控时 时的注意事 755
修订记录 756

第 1-1 章：多功能串行接口

本章概述多功能串行接口。

1. 多功能串口概述

代码：9BFMFS_FM0-C03.0

1. 多功能串口概述

多功能串行接口特性如下。

接口模式

具体取决于操作模式的设置，多功能串行接口可选以下接口模式：

- UART0 (异步标准串口)
- UART1 (异步多处理器串口)
- CSIO（时钟同步串口）(支持 SPI 和 I²S)
- LIN(LIN 总线接口)
- I²C (I²C 总线接口)

注意事项：

- *有关各接口详情，参见"UART(异步标准串口)"、"CSIO (时钟同步串口) (支持 SPI)"、 "LIN(LIN 总线接口)"、"I²C (I²C 总线接口)" 和 "I²S 接口" 。*
- *使用 I²S 接口时，设置为 CSIO 模式。*

接口模式切换

通过各串口通讯时，应在启动通讯前使用 Table 1-1 所示串口模式寄存器 (SMR) 设置操作模式。

Table 1-1 接口模式切换

MD2	MD1	MD0	接口模式
0	0	0	UART0 (异步标准串口)
0	0	1	UART1 (异步多处理器串口)
0	1	0	CSIO（时钟同步串口）(支持 SPI 和 I²S)
0	1	1	LIN(LIN 总线接口)
1	0	0	I²C (I²C 总线接口)
上述值以外的值			禁止设置。

注意事项：

- *如果一个串口正在用于发送或接收操作时切换操作模式，不能保证正确发送和接收。*
- *切换当前操作模式时，发出可编程清除命令(SCR:UPCL=1)或禁用 I²C (ISMK:EN=0)，然后继续切换操作模式。设置操作模式后，设置各寄存器。*
- *禁用使用 Table 1-1 未列出的设置。*

输送/接收 FIFO

各产品的最大 FIFO 容量各不相同，具体参见所用产品的《数据手册》。

LIN 同步字段检测：LSYN

LIN 总线接口模式使用 ICU 时，使用多功能计时器的 ICU。

有关转换输入至 ICU，参见《外设手册》的"I/O PORT" 一章中 “扩展功能引脚设置寄存器”小节。

第 1-2 章：UART (异步串口)

本章说明支持多功能串口操作模式 **0** 和 **1** 的 **UART**（异步串口）功能。

1. **UART**（异步串口）概述
2. **UART** 中断
3. **UART** 操作
4. 专用波特率发生器
5. 操作模式 **0** （异步正常模式）的设置步　及程序流程
6. 操作模式 **1** （异步多处理器模式）的设置步　及程序流程
7. **UART**（异步串口）寄存器

代码：9BFUART_FM0-C03.0_FM15U-J05.4

1. UART（异步串口）概述

UART（异步串口）是用于与外部设备异步通讯（启动/停止同步）的通用数据通讯串口，支持双向通讯功能（正常模式）和主机/从机通讯功能（多处理器模式：同时支持主机模式和从机模式）。并配备有传送/接收 FIFO。

UART（异步串口）功能

		功能
1	数据	– 全双工双缓冲器（不使用 FIFO 时） – 传送/接收 FIFO（大小：最大 128 字节）*1（使用 FIFO 时）
2	串行输入	– 使用总线时 运行过采样三次并根据择多采样值确定接收数据的值。
3	传输系统	异步
4	波特率	– 专用波特率发生器（由 15 位 载计数器构成） – 可通过 载计数器调整外部时 输入。
5	数据 度	– 5 ~9 位（正常模式）/7 位或 8 位（多处理器模式）
6	信号系统	NRZ（不归 ），反向 NRZ
7	启动位检测	– 与启动位的下 沿同步（在 NRZ 系统中） – 与启动位上升沿同步（在反向 NRZ 系统中）
8	接收 误检测	– 成帧 误 – 溢出 误 – 奇偶校 误*2
9	硬件流控制	基于 CTS/RTS 的自动传送/接收控制*3
10	中断请求	– 接收中断 （接收完成后发生成帧 误、溢出 误或奇偶校 误*2） – 传送中断（传送数据为空，传送总线空 ） – 传送 FIFO 中断（传送 FIFO 为空时） – DMA（传送/接收）传输支持功能可用。
11	主机/从机通讯功能 （多处理器模式）	使能一（主机）至 n（从机）通讯。 （支持主机和从机系统。）
12	FIFO 选	– 传配备传送/接收 FIFO（最大容 ：传送送 FIFO 为 128 字节，接收 FIFO 为 128 字节）*1 – 传送可选择传送 FIFO 或接收 FIFO。 – 可再发送传送送数据。 – 可通过软件改变接收 FIFO 终端时序。 – 支持独立 FIFO 设置。

*1：根据产品类型，FIFO 容 大小各不相同。

*2：只有正常模式才会产生奇偶校 误。

*3: 可使用的硬件流控制输入/输出 (RTS/CTS) 通道编号具体取决于产品类型。参见所用产品的《数据手册》。

2. UART 中断

UART 产生传送或接收中断。在下列条件下可产生中断请求：

- 在接收数据寄存器 (RDR) 中设置接收数据或发生数据接收 误时。
- 传送数据从传送数据寄存器 (TDR) 传输至传送移位寄存器，并启动数据传送时。
- 传送总线空 （无数据传送）时。
- 请求传送 FIFO 数据时。

UART 中断

Table 2-1 所示为 UART 中断控制位和中断因素之 的关系。

Table 2-1UART 中断控制位和中断因素

中断类型	中断请求标志位	标志寄存器	操作模式		中断因素	中断因素使能位	清 中断请求标志的操作
			0	1			
接收	RDRF	SSR	○	○	接收到单字节	SCR:RIE	从接收数据寄存器 (RDR) 读取
					接收的数据 与 FBYTE 设置值匹配		从接收数据寄存器 (RDR) 读取，直到接收 FIFO 为空
					FRIIE 位为 1 且接收到的 FIFO 包含有效数据时，接收空 状态将继续 8 位或更 周期。		
	ORE	SSR	○	○	溢出 误		将接收 误标志清 位 (SSR:REC) 设置为 1
	FRE	SSR	○	○	成帧 误		
	PE	SSR	○	x	奇偶校 误		
传送	TDRE	SSR	○	○	传送数据寄存器为空	SCR:TIE	当传送 FIFO 操作使能位被设置为 0 且传送 FIFO 中存在有效数据时，写入传送数据寄存器 (TDR) 或将传送 FIFO 操作使能位设置为 1（新传送数据）*1
	TBI	SSR	○	○	无数据传送	SCR:TBIE	当传送 FIFO 操作使能位被设置为 0 且传送 FIFO 中存在有效数据时，写入传送数据寄存器 (TDR) 或将传送 FIFO 操作使能位设置为 1（新传送数据）*1
	FDRQ	FCR1	○	○	传送 FIFO 为空。	FCR1:FTIE	将 FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 0 或传送 FIFO 已满。

*1：只能在 TDRE 位被设置为 0 后将 TIE 位设置为 1。

2.1 接收中断及标志设置时序

接收完成 (SSR:RDRF=1) 或接收　误发生 (SSR:PE,ORE,FRE=1) 可中断数据接收。

接收中断及标志设置时序

检测至　个停止位时，接收数据储存在接收数据寄存器 (RDR) 中。完成数据接收 (SSR:RDRF=1) 或数据接收　误发生 (SSR:PE, ORE, FRE=1) 时，设置各标志。若使能接收中断 (SSR:RIE=1)，将发生接收中断。

注意事　：

- *若出现接收　误，接收数据寄存器 (RDR) 中的数据无效。*

Figure 2-1RDRF（接收数据寄存器已满）标志位设置时序

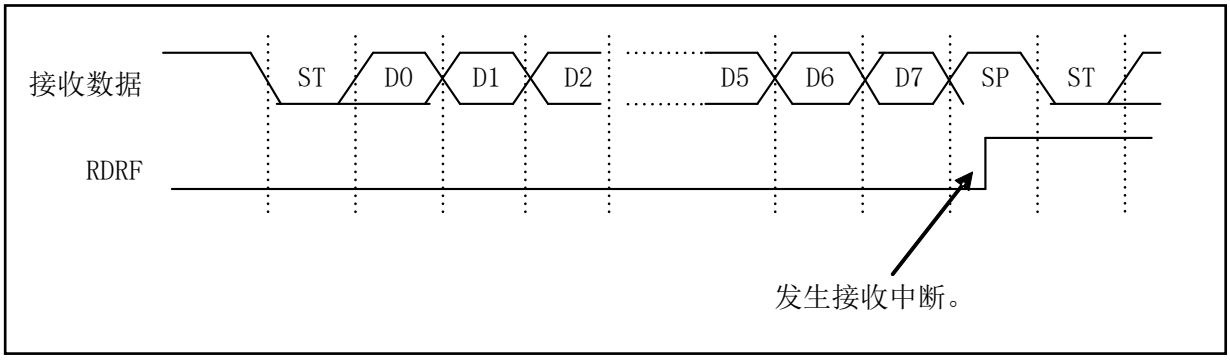
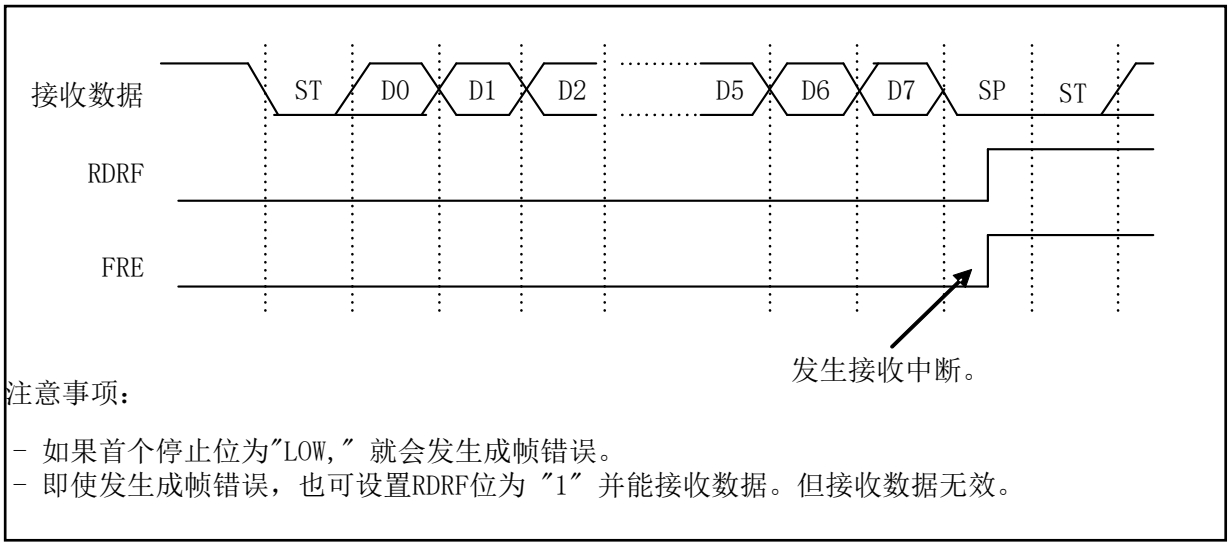


Figure 2-2FRE（成帧　误）标志位设置时序

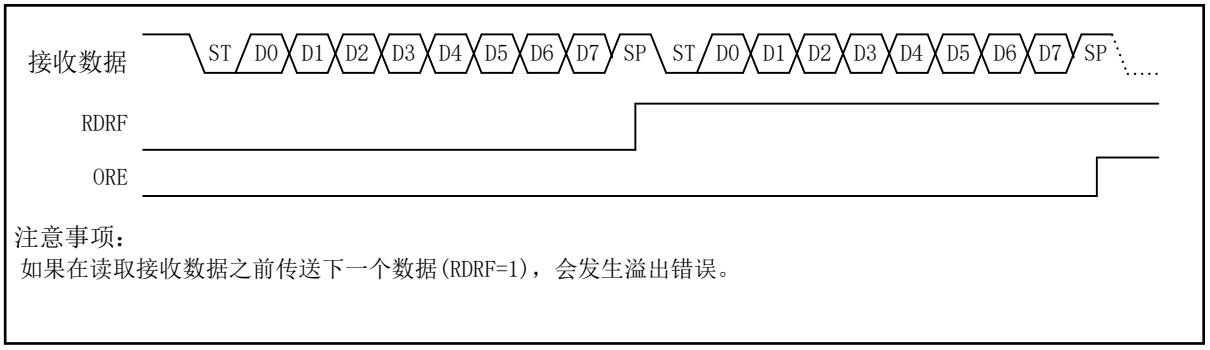


注意事 ：

在接收进程中，若在停止位采样点或在 1 到 2 个总线时 之前检测到以下内容，相关边沿将无效，这可能会禁用下一个数据的正常接收。连续输出帧时，帧之 要充分的时 。

- *串行数据下 沿（ESCR:INV=0 时）*
- *串行数据上升沿（ESCR:INV=1 时）*

Figure 2-3ORE（溢出 误）标志位设置时序



2.2 接收 FIFO 时的中断及标志设置时序

若使用接收 FIFO，接收到 FBYTE 数据（FBYTE 寄存器 设）时将发生中断。

使用接收 FIFO 时的中断及标志设置时序

- 若使用接收 FIFO，是否发生中断取决于 FBYTE 寄存器的设置值。
- 接收满 FBYTE 数据时，将串行状态寄存器的接收数据满标志 (SSR:RDRF) 设置为 1。若在此进程中使能接收中断 (SCR:RIE)，则会发生接收中断。
- 若满足以下两个条件且接收空 状态持续 8 个波特率时 以上，则接收数据满标志 (SSR:RDRF) 设置为 1。
- 接收 FIFO 空 检测使能位 (FCR:FRIIE) 为 1。
- 储存在接收 FIFO 中的数据 数 未达到传输计数。
- 若在 8 个时 的计数进程中读取 RDR 数据，此计数器复位为 0，然后 新启动 8 个时 的计数。若禁用接收 FIFO，此计数器复位为 (0)。若数据仍然保留在接收 FIFO 中且使能接收 FIFO ，将新启动数据计数。
- 从接收数据寄存器 (RDR) 读取数据直到接收 FIFO 为空后，清 接收数据满标志 (SSR:RDRF) 。
- 若有效接收数据 与 FIFO 容 相同且接收下一数据时，将发生溢出 误 (SSR:ORE=1)。

Figure 2-4 使用接收 FIFO 时的接收中断时序

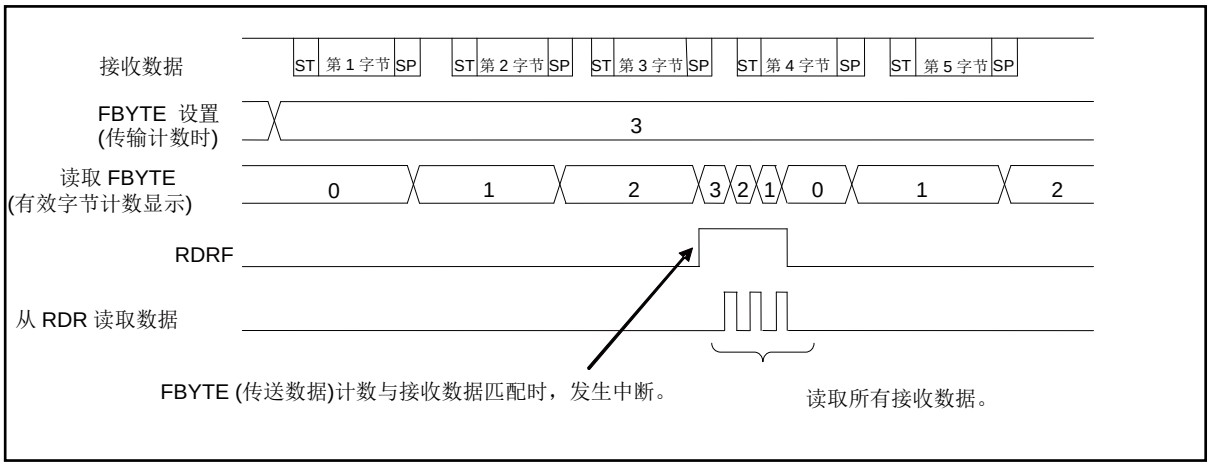
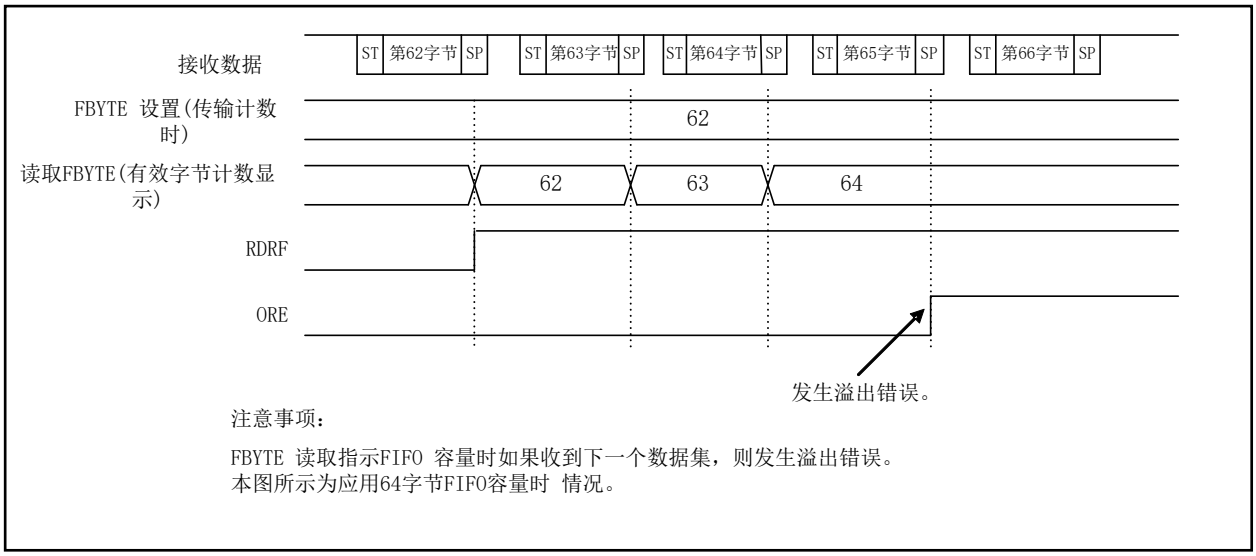


Figure 2-5ORE（溢出 误）标志位设置时序



2.3 传送中断及标志设置时序

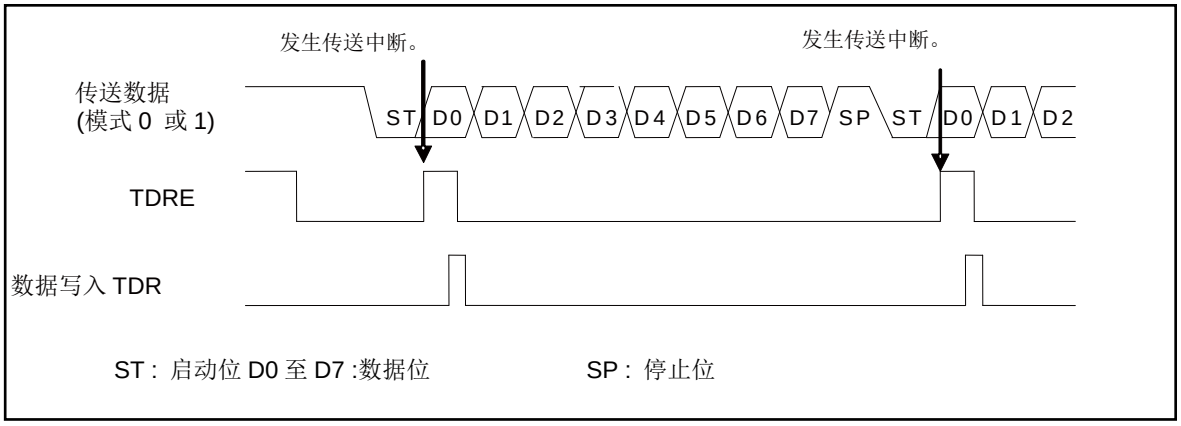
传送数据从传送数据寄存器 (TDR) 传输至传送移位寄存器 (SSR:TDRE = 1)并启动传送，且未执行传送 (SSR:TBI = 1) 时，发生传送中断。

传送中断及标志设置时序

■ 传送数据空标志 (SSR:TDRE) 设置时序

数据从传送数据寄存器 (TDR) 传输至传送移位寄存器后，可将下一个数据写入 TDR (SSR:TDRE = 1)。若在此进程中使能传送中断 (SCR:TIE = 1)，将发生传送中断。由于 SSR:TDRE 位为只读位，将数据写入传送数据寄存器 (TDR) 时，SSR:TDRE 位被清 为 0。

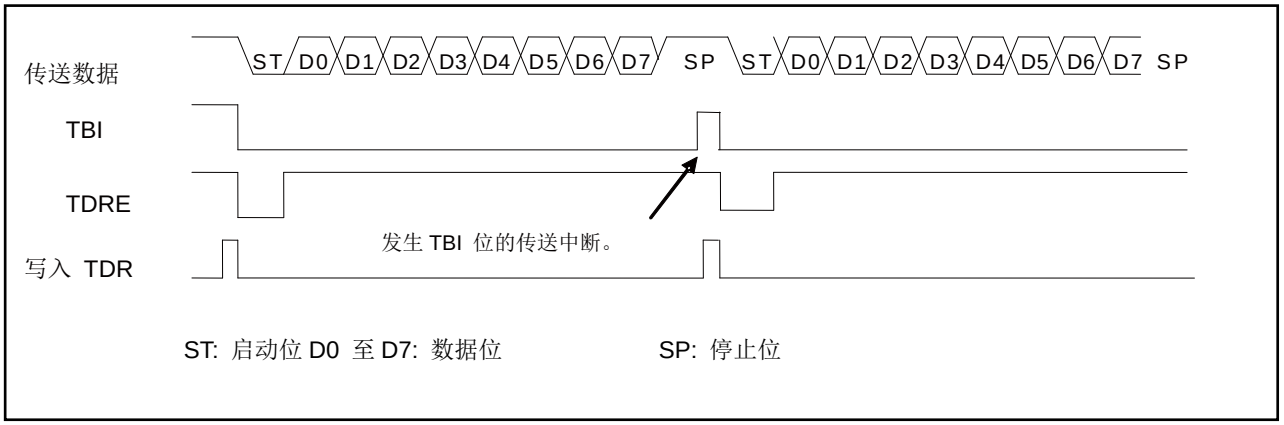
Figure 2-6 传送数据空标志 (SSR:TDRE) 设置时序



■ 传送总线空 标志 (SSR:TBI) 设置时序

若传送数据寄存器为空 (SSR:TDRE=1) 且没有数据传送，则 SSR:TBI 位将被设置为 1。若在此进程中使能传送总线空 中断 (SCR:TBIE = 1)，将发生传送中断。将传送数据写入传送数据寄存器 (TDR) 时，将清 SSR:TBI 位和传送中断请求。

Figure 2-7 传送总线空 标志 (TBI) 设置时序



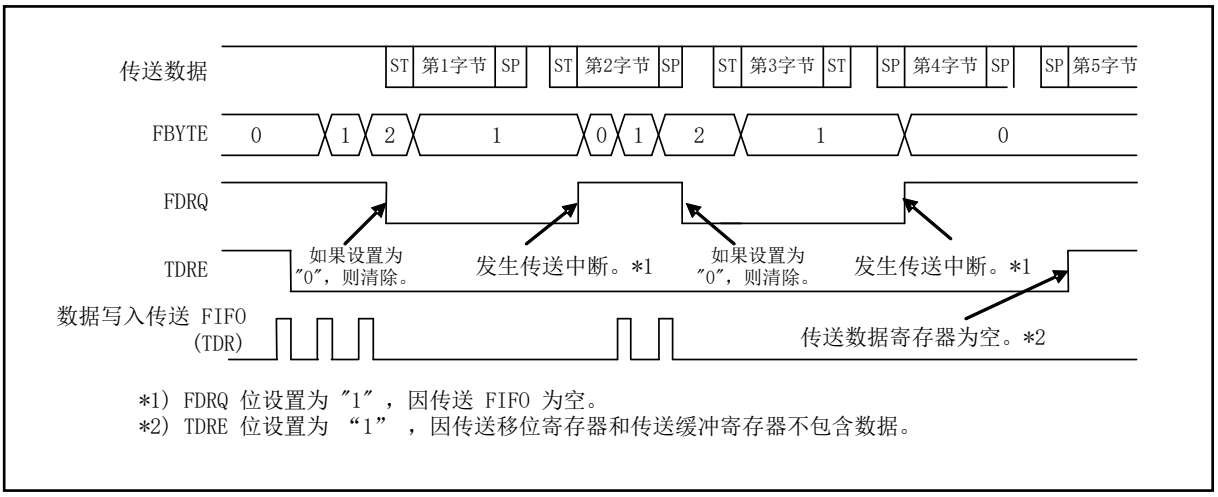
2.4 传送 FIFO 时的中断及标志设置时序

使用传送 FIFO 时，若 FIFO 未包含数据，将发生中断。

使用传送 FIFO 时的传送中断及标志设置时序

- 若传送 FIFO 未包含数据，FIFO 传送数据请求位 (FCR1:FDRQ) 被设置为 1。
  若使能 FIFO 传送中断 (FCR1:FTIE=1)，将发生传送中断。
- 若已发生传送中断且已将要求的数据写入传送 FIFO，可将 FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 0,清 中断请求。
- 传送 FIFO 已满时，将 FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 0。
- 检 传送 FIFO 是否包含数据，读取 FIFO 字节寄存器 (FBYTE)。
  若 FBYTE=0x00，传送 FIFO 中无任何数据。

Figure 2-8 使用传送 FIFO 的传送中断时序



*1) FDRQ 位设置为 ″1″，因传送 FIFO 为空。
*2) TDRE 位设置为 “1” ，因传送移位寄存器和传送缓冲寄存器不包含数据。

3. UART 操作

UART 在模式 0 下以双向串行异步通讯操作并在模式 1 下以主机/从机多处理器通讯操作。

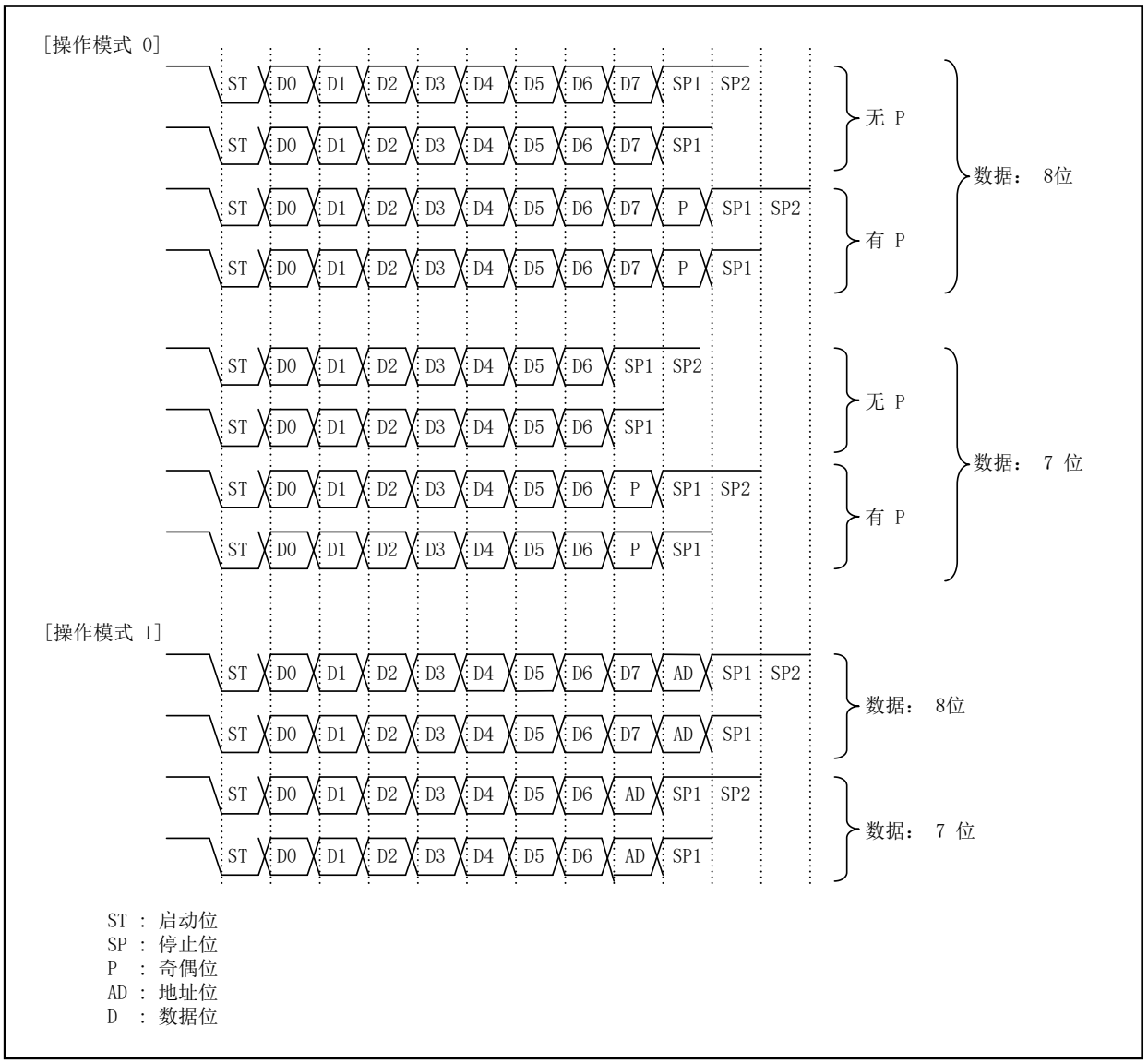
UART 操作

■ 传送/接收数据的格式

- 传送/接收数据始终采用启动位启动，接下来按指定数据位 度进行数据传送/接收，并以至少一位停止位结束。
- 串行模式寄存器 (SMR) 的 BDS 位确定数据传送方向（LSB 优先或 MSB 优先）。使用奇偶校 时，将奇偶校 位始终放置在最后一个数据位和 个停止位之 。
- 在操作模式 0（正常模式）中，可以选择使用或不使用奇偶校 。
- 在操作模式 1（多处理器模式）中，不增加奇偶校 ，而是增加 AD 位。

Figure 3-1 所示为操作模式 0 和 1 的传送/接收数据格式。

Figure 3-1 传送/接收数据格式示例（操作模式 0/1）



注意事 ：

- *上图所示为数据 度设置为 7 位或 8 位时的格式。(在操作模式 0 中，数据 度可设置范围为 5 到 9 位。)*
- *若串行模式寄存器 (SMR) 的 BDS 位被设置为 1（MSB 优先），按照 D7, D6, D5, ... D1, 和 D0 (P)的 序处理此位。*
- *若数据 度设置为 X 位，使能传送/接收数据寄存器 (TDR/RDR) 的下 X 位。*

■ 数据传送

串行状态寄存器 (SSR) 的传送数据空标志位 (TDRE) 为 1 时，可将传送数据写入传送数据寄存器 (TDR)。（使能传送 FIFO 时，即使 TDRE=0，仍可写入传送数据。）

将传送数据写入传送数据寄存器 (TDR) 时，传送数据空标志位 (SSR:TDRE) 设置为 0。

将串行控制寄存器 (SCR:TXE) 的传送使能位设置为 1，将传送数据载入传送移位寄存器，然后通过启动位按 序启动传送。

启动传送时，再次将传送数据空标志位 (SSR:TDRE) 设置为 1。若使能传送中断 (SCR:TIE=1)，将产生传送中断。在中断处理进程中，下一个传送数据设置可写入传送数据寄存器。

注意事 ：

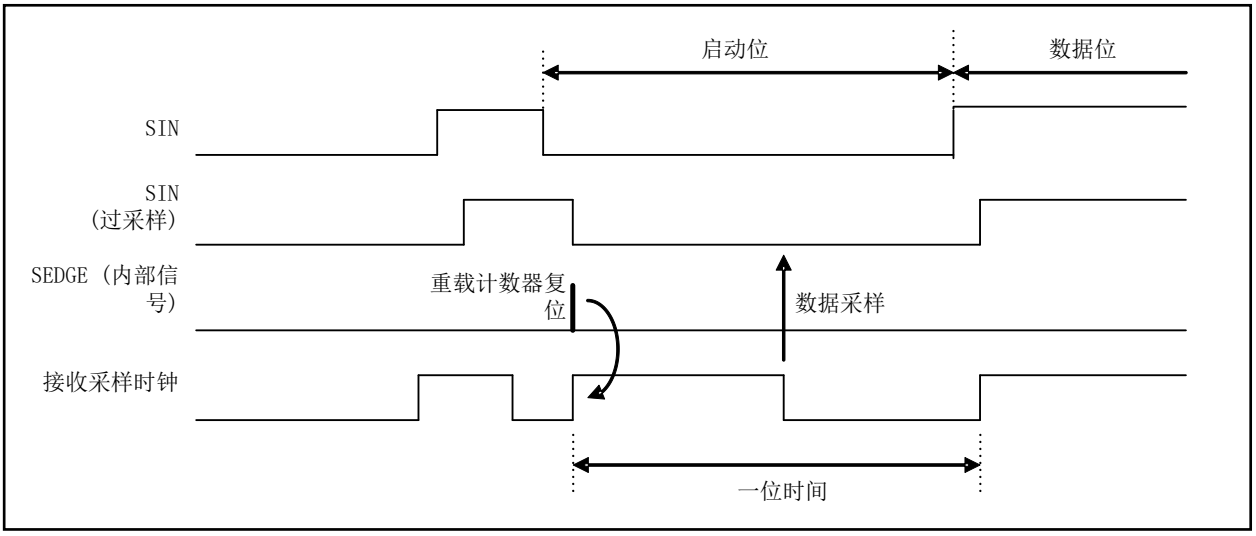
- *由于传送数据空标志位 (SSR:TDRE) 的初始设置为 1，使能传送中断 (SCR:TIE) 时将立即发生传送中断。*
- *由于 FIFO 传送数据请求位 (FCR1:FDRQ) 的初始设置为 1，使能 FIFO 传送中断 (FCR1:FTIE=1) 时将立即发生传送中断。*

■ 数据接收
- 使能接收 (SCR:RXE=1) 时，接口执行接收。
- 检测到启动位后，将立即根据扩展通讯控制寄存器 (ESCR:PEN, P, L2, L1, L0) 和串行模式寄存器 (SMR:BDS) 中设置的数据格式执行单帧数据接收。在经过噪声滤波器后检测到下 (ESCR:INV=0)（通过总线时 三次采样串行数据输入后，采用择多值）或在数据经过采样点时检测到上升 (ESCR:INV=1) 和 LOW，将检测到启动位。
- 完成单帧接收后，接收数据满标志位 (SSR:RDRF) 被设置为 1。若使能接收中断 (SCR:RIE=1)，将产生接收中断。
- 要读取接收数据，在完成单帧数据接收后对接收数据进行读取，并检查串行状态寄存器 (SSR)的 误标志状态。若发生接收 误，则 要处理。
- 读取接收数据，将接收数据满标志位 (SSR:RDRF) 清 为 0。
- 若使能接收 FIFO，接收帧数 达到接收 FBYTE 的设置值时，接收数据满标志位 (SSR:RDRF) 设置为 1。
- 若满足以下两个条件且接收空 状态持续 8 个波特率时 以上，接收数据已满中断标志 (RDRF) 设置为 1。
  - 接收 FIFO 空 检测使能位 (FRIIE) 为 1。
  - 储存在接收 FIFO 中的数据 数 未达到传输计数。
    若在 8 个时 的计数进程中读取 RDR 数据，此计数器复位为 0，然后 新启动 8 个时 的计数。若禁用接收 FIFO，本计数器复位为 (0)。若数据保持在接收 FIFO 中且使能接收 FIFO，新启动数据计数。
- 如果使能接收 FIFO 后，串行状态寄存器 (SSR) 的 误标志被设置为 1 时，则接收 FIFO 不储存发生 误的数据。同时注意接收数据满标志位 (SSR:RDRF) 不设置为 1。(然而，溢出 误时 RDRF 标志设置为 1。) 接收 FBYTE 指在发生 误前正常接收的数据 数 。 串行状态寄存器 (SSR) 的 误标志清 为 0，否则不能使能接收 FIFO。
- 若使能接收 FIFO，接收 FIFO 中的所有数据清空时，接收数据满标志位 (SSR:RDRF) 将清 为 0。

注意事 ：
- *接收数据寄存器已满标志位 (SSR:RDRF) 设置为 1 且未发生任何接收 误 (SSR:PE, ORE, FRE=0) 时，接收数据寄存器 (RDR) 中的数据有效。*
- *尽管配置有噪声滤波器（通过总线时 三次采样串行数据输入后，采用择多值），若有噪声经过滤波器，可能接收到 误的数据。解决办法是板设计时，不允许噪声经过此滤波器或执行通讯时经过滤波器的噪声不会造成任何 （例如，增加结束时数据总 的检 并在发生 误时再次发送数据）。*
- *在接收进程中，若在停止位采样点或在 1 到 2 个总线时 之前检测到以下内容，相关边沿将无效，这可能会禁用下一个数据的正常接收。连续输出帧时，帧之 要充分的时 。*
- *串行数据下 沿（ESCR:INV=0 时）*
- *串行数据上升沿（ESCR:INV=1 时）*

■ 时 选择
- 可以使用内部时 或外部时 。
- 使用外部时 时，将 SMR:EXT 设置为 1。外部时 由波特率发生器分 。从 SCK 输入外部时 。

■ 启动位检测
- 在异步模式中，基于 SIN 信号下　沿的检测识别启动位。
  因此，即使使能接收 (SCR:RXE=1)，　　输入 SIN 信号下　沿，否则不会启动接收。
- 检测到启动位下　沿后，波特率发生器的接收　载寄存器将立即复位并　载，以启动递减计数。因此，始终在数据中段进行采样。



■ 停止位
- 可以选择位　度范围为一到四。
- 检测到　个停止位后，接收数据满标志位 (SSR:RDRF) 立即设置为 1。

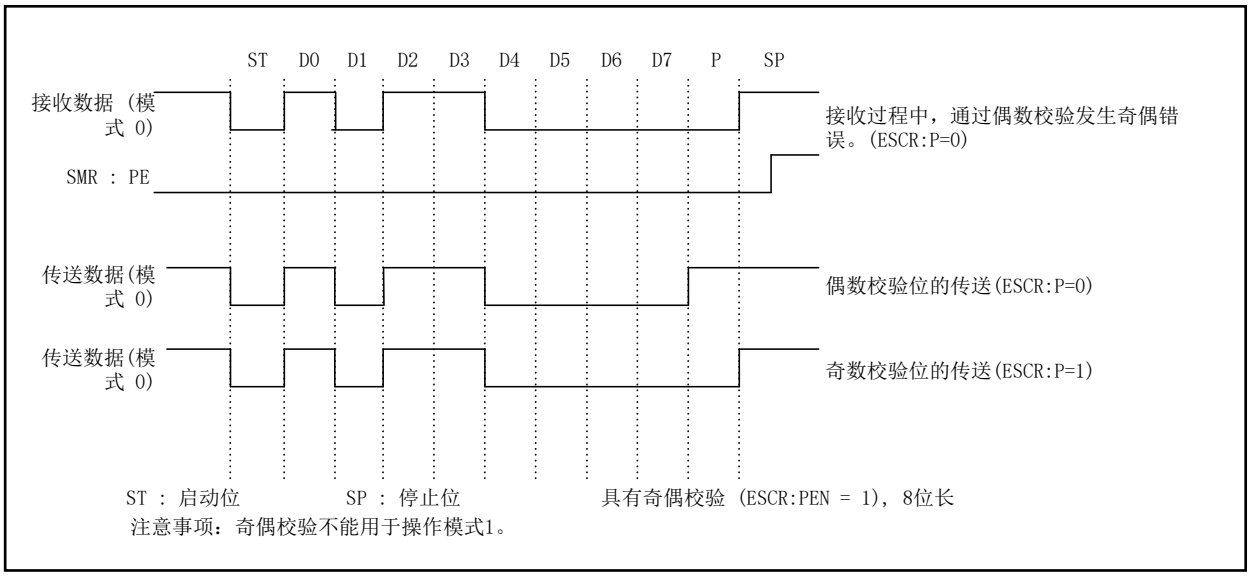
■ 　误检测
- 在操作模式 0 中，可以检测奇偶校　　误、溢出　误和成帧　误。
- 在操作模式 1 中，可以检测溢出　误和成帧　误，但是无法检测奇偶校　　误。

■ 奇偶校　位

- 只能在操作模式 0 中增加奇偶校　位。可使用奇偶校　使能位 (ESCR:PEN) 指示是否使用奇偶校　及奇偶校　选择位 (ESCR:P)设置偶数校　或奇数校　。
- 在操作模式 1 中不能使用奇偶校　。

Figure 3-2 所示为使能奇偶校　时的传送/接收数据

Figure 3-2 使能奇偶校　时的操作

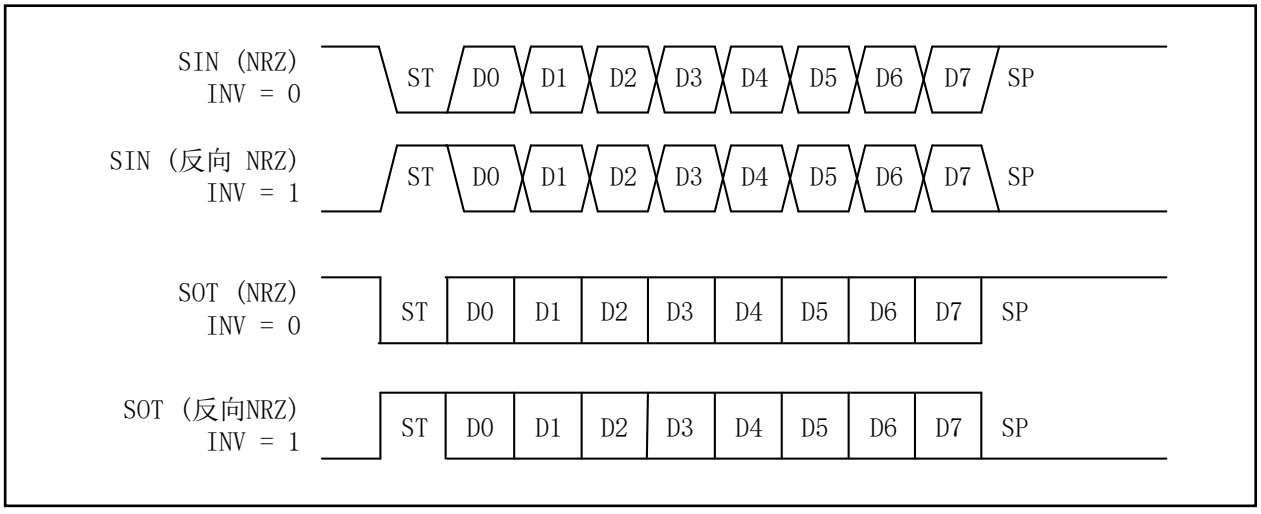


■ 数据信号系统

通过设置扩展通讯控制寄存器的 INV 位，可选择 NRZ（不归　）信号系统 (ESCR:INV=0) 或反向 NRZ 信号系统 (ESCR:INV=1)。

Figure 3-3 所示为 NRZ 和反向 NRZ 信号系统。

Figure 3-3NRZ（不归　）信号系统和反向 NRZ 信号系统



■ 数据传输系统

作为数据位传输方法，可选择 LSB 优先或 MSB 优先。

■

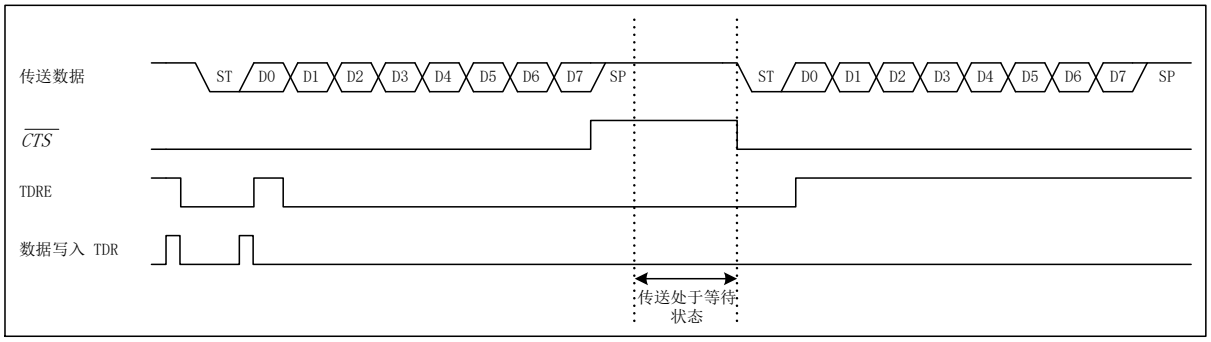
■ 硬件流控制

使能流控制 (ESCR:FLWEN=1) 后，UART 执行硬件流控制。

– 在数据传送进程中

如果数据传送后 $\overline{CTS}$ 为 HIGH，即使传送缓冲器包含数据 (TDRE=0) 也不传送下一个数据，此进程要等到 $\overline{CTS}$ 被设置为 LOW。 要传送等待时，在完成停止位传送之前在 $\overline{CTS}$ 内输入 HIGH。，即使在传送进程中 $\overline{CTS}$ 内输入 HIGH，传送也会持续继续到停止位。

Figure 3-4 数据传送进程中的硬件流控制
(SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)

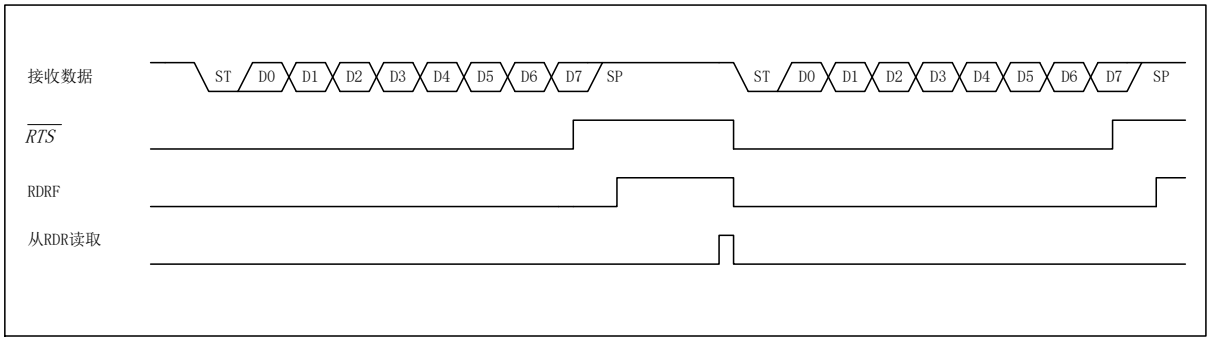


– 在数据接收进程中

– **若不使用 FIFO 时**

接收到停止位前一位数据时， "HIGH" 输出至 $\overline{RTS}$ 。读取接收数据后，将 LOW 输出至 $\overline{RTS}$ 。

Figure 3-5 数据接收进程中的硬件流控制（不使用 FIFO）
(SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)

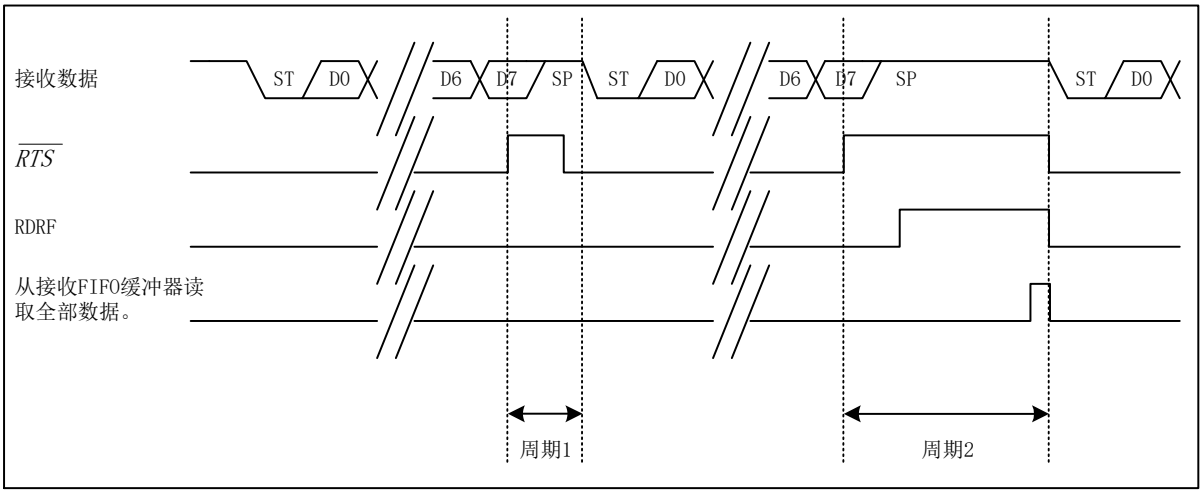


- **若使用 FIFO 时**

  如果不设置 SSR:RDRF（接收 FIFO 中未接收到指定数据 ），接收到停止位前一位数据时，$\overline{RTS}$ 输出 HIGH，但在检测到停止位时，$\overline{RTS}$ 输出 LOW。（周期 1）

  如果设置 SSR:RDRF（接收 FIFO 内接收到指定数据 ），一接收到停止位前一位数据后，$\overline{RTS}$ 输出 HIGH。从接收 FIFO 读取所有数据后，$\overline{RTS}$ 输出 LOW。（周期 2）

Figure 3-6 数据接收进程中硬件流控制（使用 FIFO）
(SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)



注意事 ：

- *禁用接收操作 (RXE=0) 时，$\overline{RTS}$ 信号固定为 LOW。*
- *如果使用接收 FIFO 时满足以下两个条件且接收空 状态持续 8 个波特率时 以上时，RDRF 设置为 1，但是$\overline{RTS}$ 仍然为 LOW。*
- *接收 FIFO 空 检测使能位 (FCR1:FRIIE) 为 1。*
- *不接收 设数据 且有些数据仍然保持在接收 FIFO 中。*
- *执行可编程复位 (SCR:UPCL=1)，将清 $\overline{RTS}$ 信号清 为 LOW。*

4. 专用波特率发生器

UART 传送/接收时 源时可进行以下任意选择：

- 专用波特率发生器（ 载计数器）
- 外部时 输入至波特率发生器（ 载计数器）

选择 UART 波特率

选择以下波特率之一：

■ 使用专用波特率发生器（ 载计数器）分 内部时 获得的波特率

本发生器提供两种内部 载计数器，分别支持传送和接收串行时 。要选择波特率，使用波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 指定 15 位 载值。

各 载计数器通过设置值分 内部时 。

要设置时 源，选择内部时 (BGR1:EXT=0)。

■ 使用专用波特率发生器（ 载计数器）分 外部时 获得的波特率

使用外部时 作为 载计数器的时 源。从 SCK 输入外部时 。

要选择波特率，使用波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 指定 15 位 载值。

各 载计数器通过设置值分 外部时 。

要设置时 源，选择使用外部时 和波特率发生器时 (BGR1:EXT=1)。

本模式设计用于使用了分 标准 率的振荡器的情况。

注意事 ：

- *暂停 载计数器 (BGR1/0=15' h00) 时，设置外部时 (BGR1:EXT=1)。*
- *若选择外部时 (BGR1:EXT=1)，HIGH 信号和 LOW 信号必 具有至少两个总线时 的宽度。*

4.1 波特率设置

下文说明如何设置波特率和串行时　　率计算结果。

计算波特率

使用波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 设置 15 位　载计数器。
通过以下公式获得波特率：

(1)　载值

V = ϕ /b - 1

V：　载值　　b：波特率　　ϕ: 总线时　　率或外部时　　率

(2) 计算示例

设置 16 MHz 总线时　，　使用内部时　并设置 19200 bps 波特率，设置　载值得如下：
载值：

V=(16 ×1000000)/19200 – 1 = 832
所以，波特率为：
b =(16× 1000000)/ (832+ 1) = 19208 bps

(3) 波特率　误

可通过以下方程式计算波特率　误：

误 (%) = (计算值–目标值) / 目标值×100
示例：设置 20 MHz 总线时　和 153600 bps 目标波特率：
载值　　= (20×1000000)/ (129 + 1)
波特率 (计算值) =(20×1000000)/ (129 + 1) = 153846 (bps)
误(%)　　= (153846 - 153600)/ 153600× 100= 0.16 (%):

注意事　：

- *载值设置为 0 时，　载计数器停止。*
- *在接收串行时　内的　载值为偶数时，一个总线时　周期内的 LOW 信号宽度大于 HIGH 信号的宽度。　载值为奇数时，串行时　的HIGH 信号和 LOW 信号宽度相同。*
- *将　载值设置为 4 或更大值。注意，数据可能因波特率　误和　载值设置无法正常接收。*

各总线时　　率的　载值和波特率

Table 4-1　载值和波特率

波特率	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
(bps)	值	ERR	值	ERR	值	ERR	值	ERR	值	ERR	值	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	-	-	-	7	0	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	311	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	<0.01	554	-0.01	693	0.06	832	0.03	1110	0.01
19200	416	-0.08	520	-0.03	832	0.03	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	2083	0.03	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8334	0.02	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

值：BGR1/0 寄存器设置值（十进制）

ERR：波特率　误 (%)

Table 4-2　载值和波特率（续）

波特率 (bps)	40 MHz		48 MHz		72 MHz		80 MHz		100 MHz	
	值	ERR	值	ERR	值	ERR	值	ERR	值	ERR
4M	9	0	11	0	17	0	19	0	24	0
2.5M	15	0	-	-	-	-	31	0	39	0
2M	19	2	23	0	35	0	39	0	49	0
1M	39	0	47	0	71	0	79	0	99	0
500000	79	0	95	0	143	0	159	0	199	0
460800	86	-0.22	103	0.16	155	0.16	173	-0.22	216	<0.01
250000	159	0	191	0	287	0	319	0	399	0
230400	173	-0.22	207	0.16	312	-0.16	346	0.06	433	<0.01
153600	259	0.16	312	-0.16	468	-0.05	520	-0.03	650	<0.01
125000	319	0	383	0	575	0	639	0	799	0
115200	346	0.06	416	-0.08	624	0	693	0.06	867	<0.01
76800	520	-0.03	624	0	937	-0.05	1041	-0.03	1301	<0.01
57600	693	0.06	832	0.04	1249	0	1388	<0.01	1735	<0.01
38400	1041	-0.03	1249	0	1874	0	2082	0.01	2603	<0.01
28800	1388	<0.01	1666	-0.02	2499	0	2777	<0.01	3471	<0.01
19200	2082	0.01	2499	0	3749	0	4166	-0.01	5207	<0.01
10417	3839	<0.01	4607	<0.01	6911	<0.01	7679	<0.01	9599	<0.01
9600	4166	<0.08	4999	0	7499	0	8332	0	10416	0
7200	5555	<0.01	6666	<0.01	9999	0	11110	0	13888	0
4800	8332	<0.01	9999	0.02	14999	0	16666	0	20832	0
2400	16666	<0.01	19999	0	29999	0	-	-	-	-
1200	-	-	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-	-	-

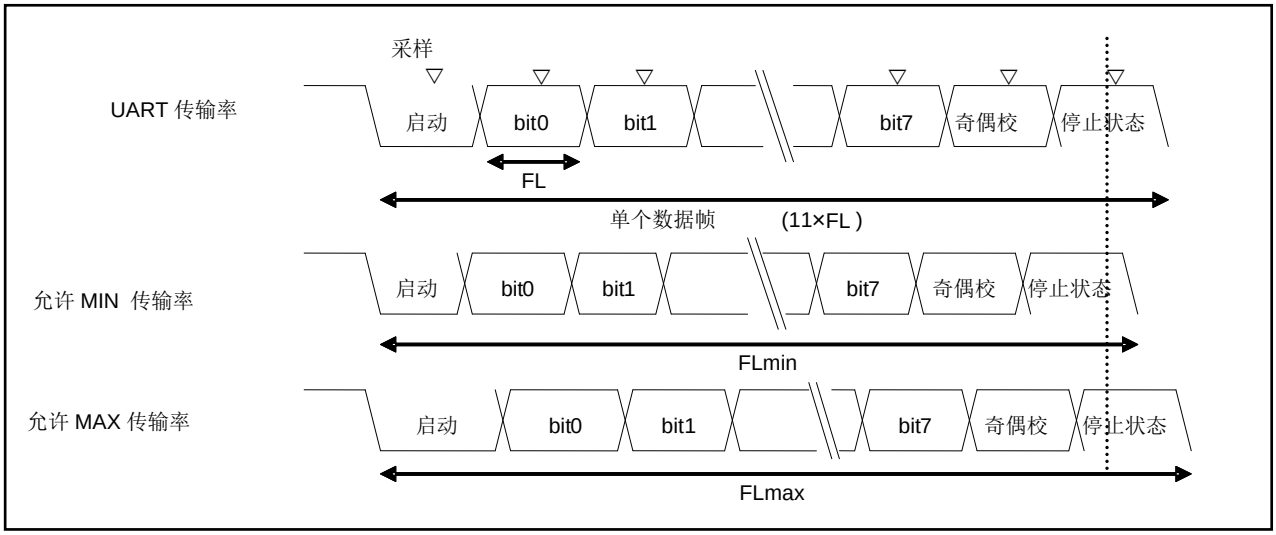
有关 Table 4-1 和 Table 4-2 中未说明的　率，根据 “4.1 波特率设置” 进行计算。（然而，各产品的最大　率各不相同，具体参见所用产品的《数据手册》。

数据接收的允许波特率范围

下文所示为接收数据目标的允许波特率　误范围。

使用以下公式设置接收波特率　误，确保值在允许范围之内。

Figure 4-1 数据接收的允许波特率范围



如 Figure 4-1 所示，检测到启动位后，通过 BGR1/0 寄存器中设置的计数器确定接收数据的采样时序。如果包括停止位在内的位　序与采样时序匹配，则可成功接收数据。

若适用于 11 位接收，理论解释如下：。

假定采样时序余　为一个总线时　(ϕ)，则允许的最小传输率 (FLmin) 确定如下：

FLmin = (11 位 × (V+1) - (V+1)/2 + 2)/ ϕ　= (21V + 25)/2ϕ (s)　V：　载值，ϕ：总线时

因此，接收数据目标的允许最大波特率 (BGmax) 确定如下：

BGmax = 11/FLmin = 22ϕ/(21V+25)　(bps)　V：　载值，ϕ：总线时

按最大允许传输率(FLmax) 接收数据时，对第 11 位接收的起始点采样。

因此，最大允许传输率 (FLmax) 确定如下：

10/11 × FLmax = (11 位 × (V+1) – (V+1)/2)/ϕ　　V：　载值，ϕ：总线时

FLmax = (21/20 × 11 × (V+1)/ϕ

假定采样时序余　(ϕ) 为两个时　，则最大允许传输率 (FLmax) 确定如下：

10/11× FLmax = (11 位 ×(V+1) – (V+1)/2 – 2)/ϕ　　V：　载值，ϕ：总线时

FLmax = (21/20 × 11 × (V+1) – 44/20)/ϕ = (231V + 187)/20ϕ (s)　V：　载值，ϕ：总线时

因此，接收数据目标的允许最小波特率 (BGmin) 确定如下：

BGmin=11/FLmax=220ϕ/(231V+187)　(bps)　V：　载值，ϕ：总线时

根据以上最小/最大比特率的计算公式，UART 和目标之 的允许 误确定如下：

载值 (V)	允许的最大波特率 误	允许的最小波特率 误
3	0%	0
10	+2.98%	-3.08%
50	+4.37%	-4.40%
100	+4.56%	-4.58%
200	+4.66%	-4.67%
32767	+4.76%	-4.76%

注意事 ：

- *接收精确度取决于每帧的位数 、总线时 和 载值。总线时 和分 比越大，精确度越 。*

外部时

将 1 写入波特率发生器寄存器 (BGR) 的 EXT 位，使波特率发生器分 外部时 率。从 SCK 输入外部时 。

注意事 ：

- *外部时 信号与 UART 上的内部时 同步。因此，不允许同步的外部时 将造成不稳定操作。*

载计数器功能

载计数器有两种：传送 载计数器和接收 载计数器，都用作专用波特率发生器。各 载计数器由 15 位载值的寄存器构成，通过外部时 或内部时 产生传送时 和接收时 。

启动计数

将 载值写入波特率发生器寄存器 1, 0 (BGR1 或 BGR0) 时， 载计数器启动计数。

新启动

载计数器在以下条件下 新启动计数：

- 传送和接收公用 载计数器
  可编程复位 (SCR:UPCL 位)
- 接收 载计数器
  在异步模式中检测启动位的下 沿

5. 操作模式 0 （异步正常模式）的设置步 及程序流程

操作模式 0 使能异步双向串行通讯。

CPU 至 CPU 连接

在操作模式 0（正常模式）中选择双向通讯。相互连接两个 CPU，如 Figure 5-1 和 Figure 5-2 所示。

Figure 5-1UART 操作模式 0 中的双向通讯连接示例（禁用流控制）

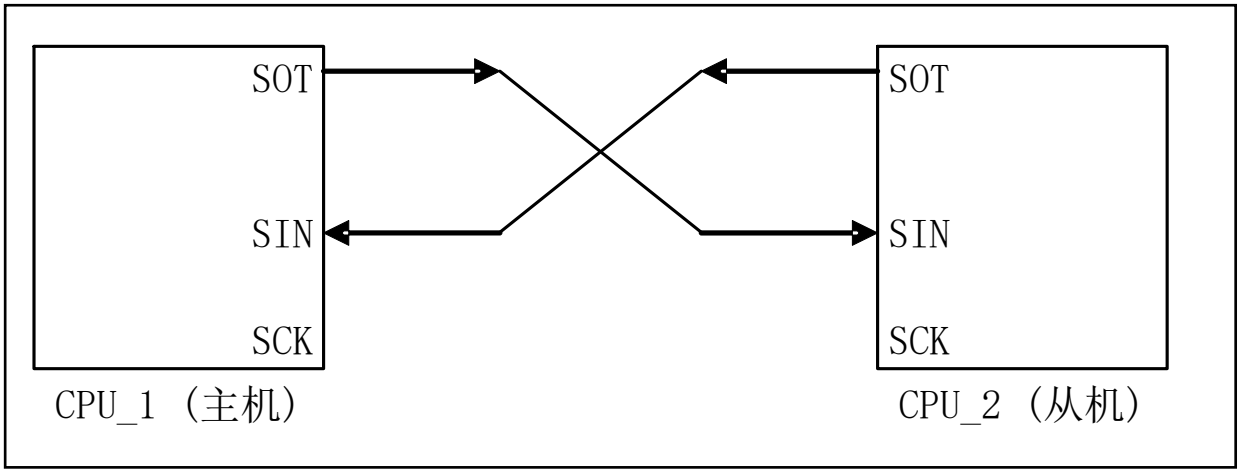
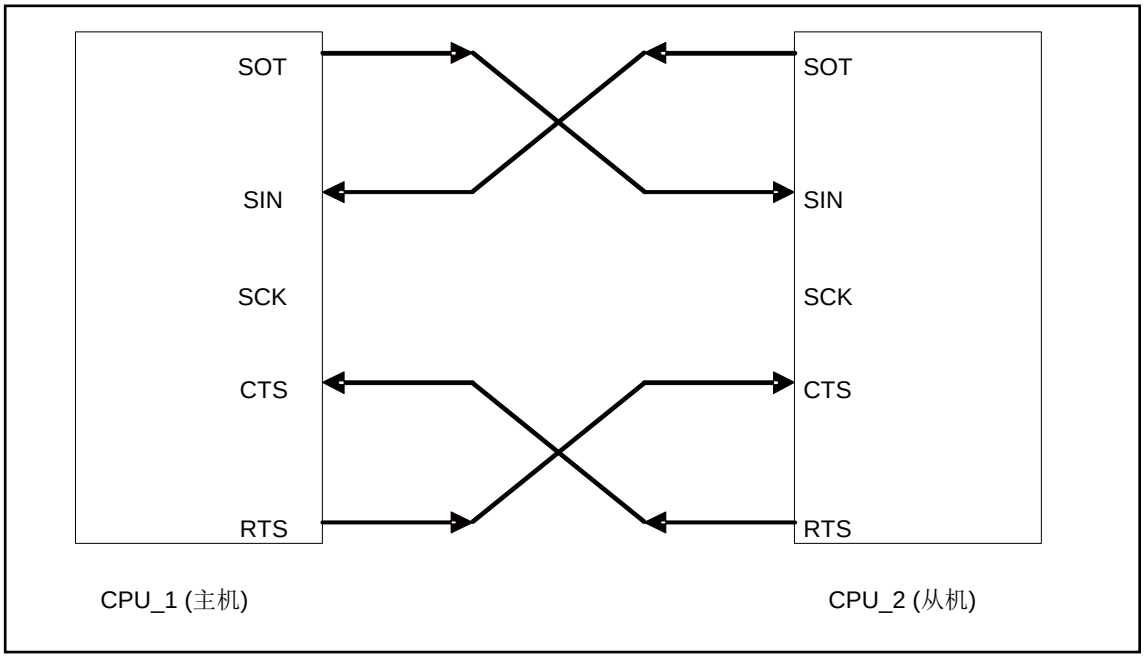


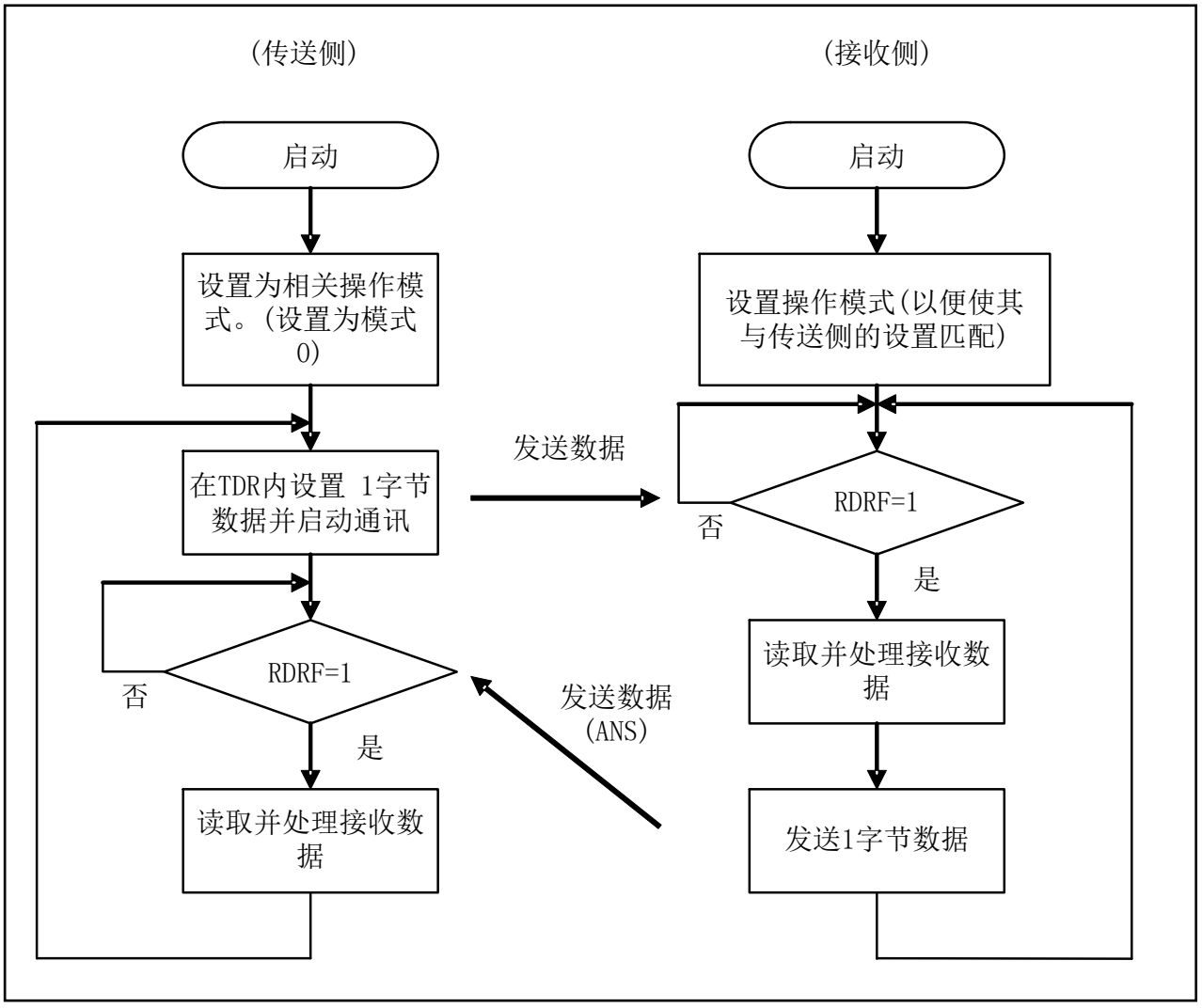
Figure 5-2 UART 操作模式 0 中的双向通讯连接示例（具有流控制）



流程图

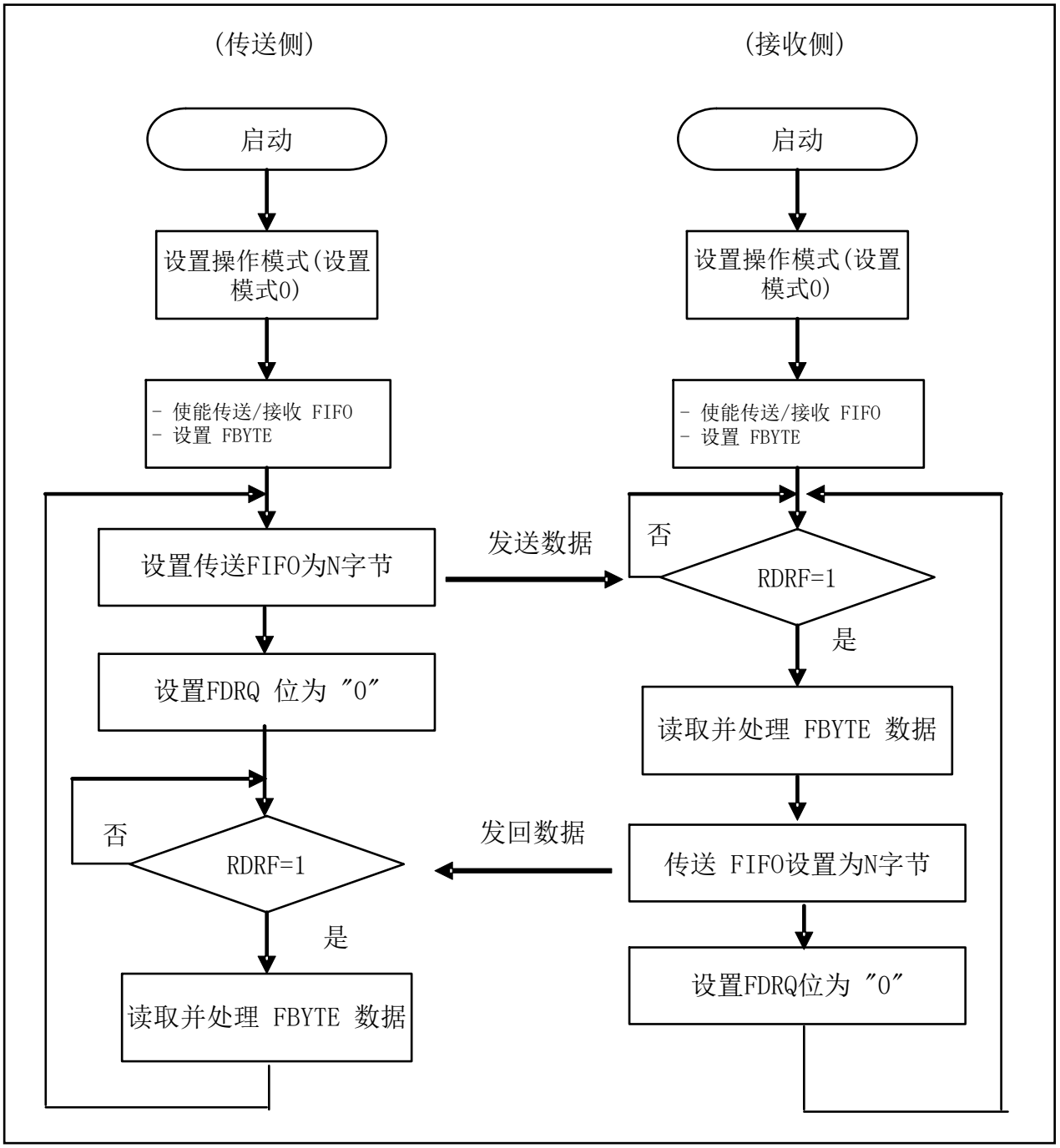
■ 若不使用 FIFO 时

Figure 5-3 双向通讯流程图示例（不使用 FIFO）



■ 若使用 FIFO 时

Figure 5-4 双向通讯流程图示例（使用 FIFO）



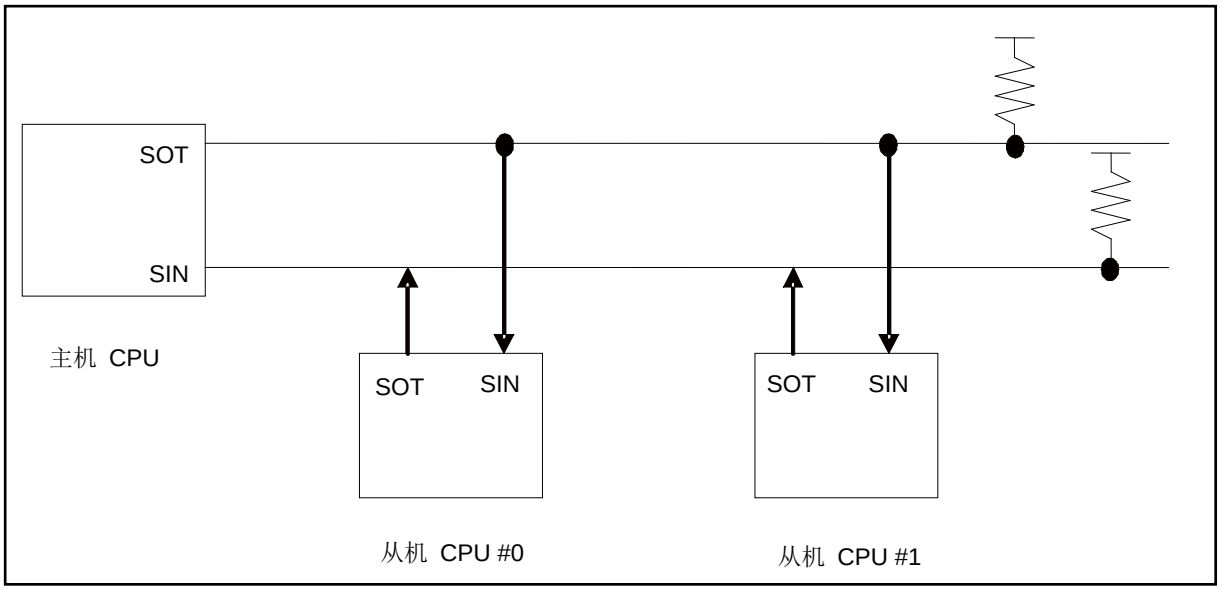
6. 操作模式 1 （异步多处理器模式）的设置步 及程序流程

在操作模式 1（多处理器模式）中，使能与多个 CPU 连接的主机/从机通讯。具有主机功能或从机功能。

CPU 至 CPU 连接

如 Figure 6-1 所示的在主机/从机通讯中，通讯系统配置有两条与主机 CPU 和多个从机 CPU 连接的公用通讯线路。UART 可用作主控或从属。

Figure 6-1UART 上的主机/从机通讯连接示例



功能选择

在主机/从机通讯中，选择操作模式和数据传输系统，如 Table 6-1 所示。

Table 6-1 选择主机/从机通讯功能

	操作模式		数据	奇偶校	停止状态位	位描述
	主机模式 CPU	从机模式 CPU				
地址传送和接收	模式 1（D/A 位传送）	模式 1（D/A 位接收）	AD=1 + 7 或 8 位地址	关	一位或 2 位	LSB 或 MSB 优先
数据传送和接收			AD=0 + 7 或 8 位数据			

注意事 ：

- *在操作模式 1 中，传送/接收数据 (TDR/RDR) 以字访 模式操作。*

■ 通讯程序

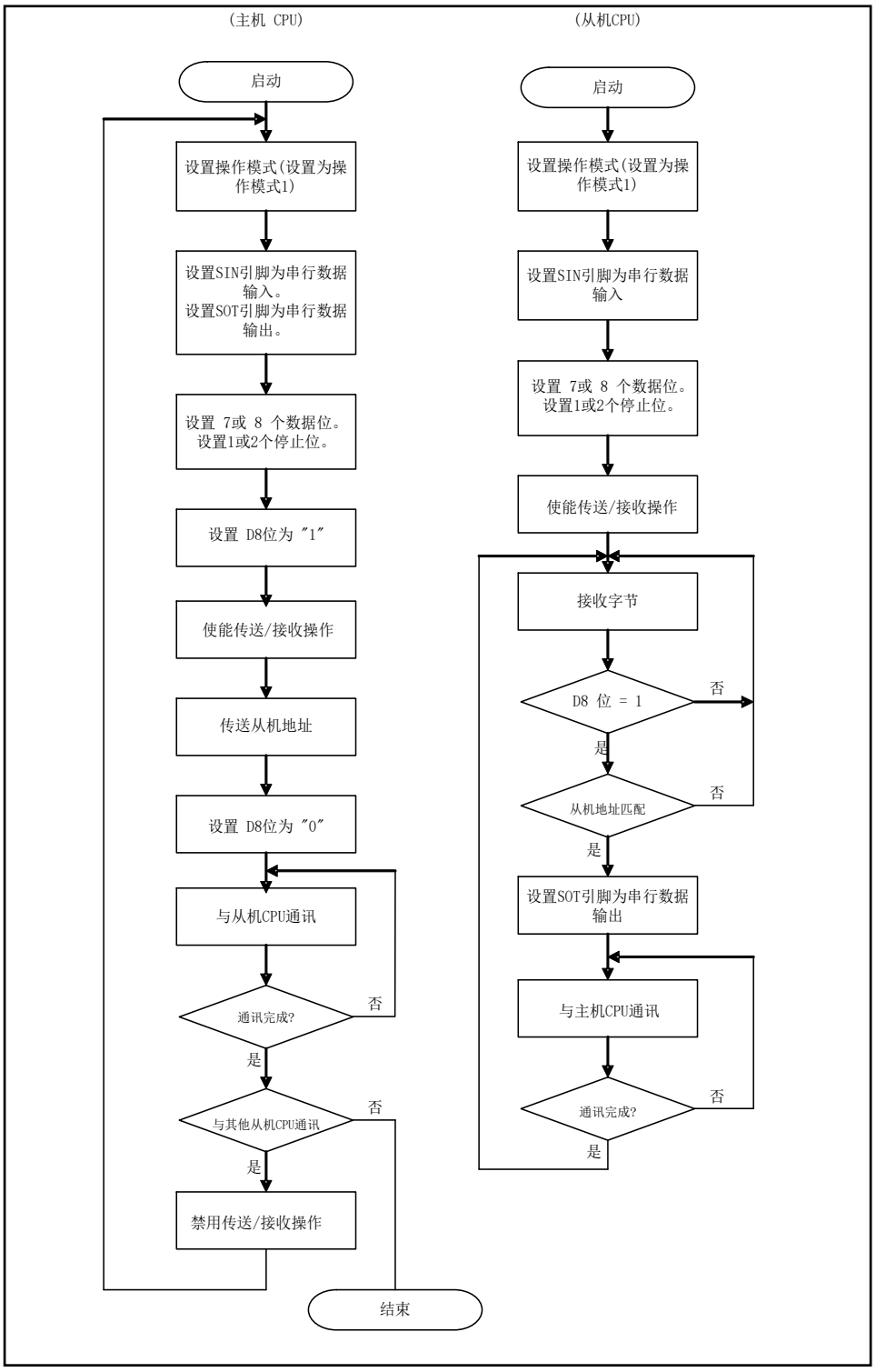
主机 CPU 传送地址数据时，通讯启动。地址数据为 D8 位为 1 的数据 ，用于选择进行通讯的从机 CPU。各从机 CPU 根据程序判断地址，若该地址与分配地址匹配，则与主机 CPU 进行通讯。

Figure 6-2 和 Figure 6-3 所示为主机/从机通讯的流程图（多处理器模式）。

流程图

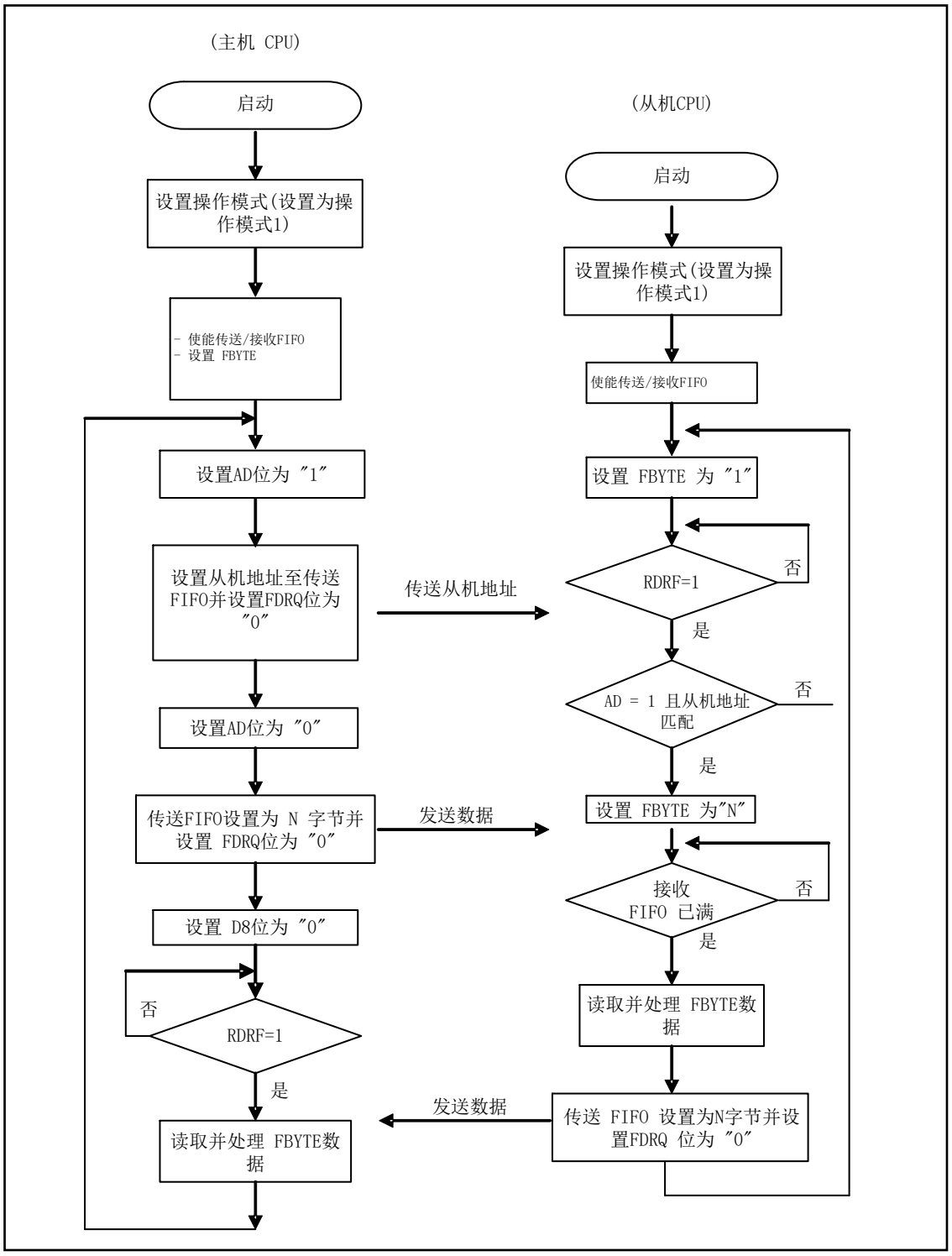
■ 若不使用 FIFO 时

Figure 6-2 主机/从机通讯流程图示例（不使用 FIFO 缓冲器）



■ 若使用 FIFO 时

Figure 6-3 主机/从机通讯流程图示例（使用 FIFO 缓冲器）



7. UART（异步串口）寄存器

本节列出 UART（异步串口）寄存器列表。

UART（异步串口）寄存器列表

Table 7-1UART（异步串口）寄存器列表

	bit15 bit8	bit7 bit0
UART	SCR（串行控制寄存器）	SMR（串行模式寄存器）
	SSR（串行状态寄存器）	ESCR（扩展通讯控制寄存器）
	RDR1/TDR1 （传送/接收数据寄存器 1）	RDR0/TDR0 （传送/接收数据寄存器 0）
	BGR1（波特率发生器寄存器 1）	BGR0（波特率发生器寄存器 0）
FIFO	FCR1（FIFO 控制寄存器 1）	FCR0（FIFO 控制寄存器 0）
	FBYTE2（FIFO2 字节寄存器）	FBYTE1（FIFO1 字节寄存器）

Table 7-2UART（异步串口）位分配

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SBL	BDS	-	SOE
SSR/ ESCR	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	FLWEN	ESBL	INV	PEN	P	L2	L1	L0
TDR/ (RDR)	-							D8 (AD)	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

操作模式

UART（异步串口）以两种不同的模式操作。串行模式寄存器 (SMR) 根据其设置、MD2、MD1 或 MD0 确定所使能的模式。

Table 7-3UART（异步串口）操作模式

操作模式	MD2	MD1	MD0	类型
0	0	0	0	UART0（异步正常模式）
1	0	0	1	UART1（异步多处理器模式）

7.1 串行控制寄存器 (SCR)

串行控制寄存器 (SCR) 可执行传送/接收的使能/禁用、传送/接收中断的使能/禁用、传送总线空 中断的使能/禁用以及 UART 复位操作。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	(SMR)
属性	R/W	-	-	R/W	R/W	R/W	R/W	R/W	
初始值	0	-	-	0	0	0	0	0	

[bit15] UPCL：可编程清 位

初始化 UART 内部状态。

位	描述	
	写入时	读取时
0	操作无效。	读取值总为 "0"。
1	可编程清	

若设置为 "1"时，

- 直接复位 UART （软件复位）。但保持当前寄存器设置。立即断开连接传送或接收状态。
- 波特率发生器 载 BGR1/0 寄存器值并 新启动操作。
- 所有传送/接收中断因素 (SSR:PE, FRE, ORE, RDRF, TDRE 和 TBI) 初始化（为 0b000011）。
- $\overline{\text{RTS}}$ 信号清 为 LOW。

若设置为 0 时，

操作无效。

读取时，总读为 0。

注意事 ：

- *先禁用中断，然后执行可编程清 指令。*
- *若使用了 FIFO 操作， 先禁用 FIFO 操作 (FCR0:FE[2:1]=00)，然后执行可编程清 。*

[bit14:13]-：未使用位

- *读取时这些位值未定义。*
  这些位写入无效。

[bit12] RIE：接收中断使能位

- 此位使能或禁用输出接收中断请求至 CPU。
- 如果 RIE 位和接收数据标志位 (SSR:RDRF) 设置为 1，或者任何 误标志位 (SSR:PE, ORE or 或 FRE) 为 1，则输出接收中断请求。

位	描述
0	禁用接收中断。
1	使能接收中断。

[bit11] TIE：传送中断使能位

- 此位使能或禁用输出传送中断请求至 CPU。
- 若 TIE 位和 SSR:TDRE 位为 1，则输出传送中断请求。

位	描述
0	禁用传送中断。
1	使能传送中断。

[bit10] TBIE：传送总线空　中断使能位

- 此位使能或禁用输出传送总线空　中断请求至 CPU。
- 若 TBIE 位和 TBI 位为 1，则输出传送总线空　中断请求。

位	描述
0	禁用传送总线空　中断。
1	使能传送总线空　中断。

[bit9] RXE：接收操作使能位

使能或禁用 UART 接收操作。

位	描述
0	禁用数据接收。
1	使能数据接收。

注意事　：

- *即使使能了接收 (RXE=1)，也不会启动接收，　输入启动位的下　沿（NRZ 格式，ESCR:INV=0 时）。（反向 NRZ 格式 (ESCR:INV=1)时，不会启动接收启动，　输入上升沿）。*
- *若在接收操作进程中禁用数据接收 (RXE=0)，立即停止当前数据接收。*
- *禁用接收操作 (RXE=0) 时，* $\overline{\text{RTS}}$ *信号固定为 LOW。*

[bit8] TXE：传送操作使能位

使能或禁用 UART 传送操作。

位	描述
0	禁用传送。
1	使能传送。

注意事　：

- *若在传送操作进程中禁用数据传送 (TXE=0)，立即停止当前数据传送。*

7.2 串行模式寄存器 (SMR)

串行模式寄存器 (SMR) 用于设置操作模式、传输方向、数据 度，选择停止位 度，以及使能/禁用输出串行数据至引脚。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(SCR)	MD2	MD1	MD0	-	SBL	BDS	保留	SOE
属性		R/W	R/W	R/W	-	R/W	R/W	-	R/W
初始值		0	0	0	0	0	0	0	0

[bit7:5] MD2, MD1, MD0：操作模式设置位

设置异步串口的操作模式。

* 本章说明寄存器及寄存器在操作模式 0（异步正常模式）和操作模式 1（异步多处理器模式）中的操作。

bit7	bit6	bit5	描述
0	0	0	操作模式 0（异步正常模式）
0	0	1	操作模式 1（异步多处理器模式）
0	1	0	操作模式 2（时 同步模式）
0	1	1	操作模式 3（LIN 通讯模式）
1	0	0	操作模式 4（I^2C 模式）
以上值之外的值			禁止设置。

注意事 ：

- *禁止以上值之外的位设置。*
- *转换当前操作模式时，发出可编程清 命令 (SCR:UPCL=1)，然后继续转换操作模式。*
- *转换操作模式后，正确设置各寄存器。*

[bit4] 保留：保留位

读取值为 0。确保写入 0。

[bit3] SBL：停止位 度选择位

此位设置停止位 度（传送数据的帧端标记）。

位	描述	
0	ESCR:ESBL=0	1 位
	ESCR:ESBL=1	3 位
1	ESCR:ESBL=0	2 位
	ESCR:ESBL=1	4 位

注意事 ：

- *在接收操作中，只能检测到停止位数据的 位。*
- *禁用传送 (SCR:TXE=0) 时总是设置此位。*

[bit2] BDS：传输方向选择位

指定　先传送串行数据的最低有效位（LSB 优先：BDS=0）还是　先传送最　有效位（MSB 优先：BDS=1）。

位	描述
0	LSB 优先（　先传输最低有效位。）
1	MSB 优先（　先传输最　有效位。）

注意事　：

- *禁用传送和接收 (SCR:TXE=SCR:RXE=0) 时设置此位。*

[bit1] 保留位

读取值为 0。确保写入 0。

[bit0] SOE：串行数据输出使能位

此位使能或禁用串行数据中断。

位	描述
0	禁用串行数据输出。
1	使能串行数据输出。

注意事　：

- *若此位用作 SOT 引脚，也必　设置 GPIO。*

7.3 串行状态寄存器 (SSR)

串行状态寄存器 (SSR) 用于检 当前传送/接收状态，检 接收 误标志，并清 接收 误标志。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	(ESCR)
属性	R/W	-	R	R	R	R	R	R	
初始值	0	-	0	0	0	0	1	1	

[bit15] REC：接收 误标志清 位

此位清 串行状态寄存器 (SSR) 的 PE、FRE 和 ORE 标志。

位	描述	
	写入时	读取时
0	操作无效。	读取值总为 "0"。
1	清 接收 误标志 (PE, FRE, ORE)。	

[bit14] -：未使用位

读取时此位值未定义。

此位写入无效。

[bit13] PE：奇偶校 误标志位（仅用于操作模式 0）

- 如果在 ESCR:PEN=1 的数据接收进程中发生奇偶校 误，此位设置为 1。若串行状态寄存器 (SSR) 的 REC 位设置为 1，此位被清 。
- 如果 PE 位和 SCR:RIE 位为 1，将输出接收中断请求。
- 若设置此标志，接收数据寄存器 (RDR) 中的数据将无效。
- 若使用接收 FIFO 时设置此标志，接收 FIFO 使能位将被清 且接收数据不储存在接收 FIFO 中。

位	描述
0	未发生奇偶校 误。
1	发生奇偶校 误。

[bit12] FRE：成帧 误标志位

- 若在数据接收进程中发生成帧 误，此位将被设置为 1。若串行状态寄存器 (SSR) 的 REC 位设置为 1，此位将被清 。
- 若 FRE 位和 SCR:RIE 位为 1，将输出接收中断请求。
- 若设置此标志，接收数据寄存器 (RDR) 中的数据将无效。
- 若使用接收 FIFO 时设置此标志，接收 FIFO 使能位将被清 且接收数据不储存在接收 FIFO 中。

位	描述
0	未发生成帧 误。
1	发生成帧 误。

[bit11] ORE：溢出 误标志位

- 若在数据接收进程中发生溢出，此位将被设置为 1。若串行状态寄存器 (SSR) 的 REC 位设置为 1，此位将被清 。
- 若 ORE 位和 SCR:RIE 位为 1，将输出接收中断请求。
- 若设置此标志，接收数据寄存器 (RDR) 中的数据将无效。

■ 若使用接收 FIFO 时设置此标志，接收 FIFO 使能位将被清 且接收数据不储存在接收 FIFO 中。

位	描述
0	未发生溢出 误。
1	发生溢出 误。

[bit10] RDRF：接收数据满标志位

■ 此标志显示接收数据寄存器 (RDR) 的状态。
■ 接收数据装载入 RDR 时，此位将设置为 1。从接收数据寄存器 (RDR) 读取数据时，此位将清 为 0。
■ 若 RDRF 位和 SCR:RIE 位为 1，将输出接收中断请求。
■ 若使用接收 FIFO 且通过接收 FIFO 接收一定计数的数据时，RDRF 位将设置为 1。
■ 使用接收 FIFO 时，若满足以下两个条件且接收空 状态持续 8 个波特率时 以上，RDRF 位将设置为 1。
  − 接收 FIFO 空 检测使能位 (FCR1:FRIIE) 为 1。
  − 设数据 未被接收且有些数据仍然保持在接收 FIFO 中。

若在 8 个时 的计数进程中读取 RDR 数据，此计数器复位为 0，然后 新启动 8 个时 的计数。

■ 若使用接收 FIFO 且本缓冲器为空，此位将清 为 0。

位	描述
0	接收数据寄存器 (RDR) 为空。
1	接收数据寄存器 (RDR) 包含数据。

[bit9] TDRE：传送数据空标志位

■ 此标志显示传送数据寄存器 (TDR) 的状态。
■ 将传送数据写入 TDR 时，此位设置为 0，表明 TDR 包含有效数据。将数据载入传送移位寄存器并启动传送时，此位设置为 1，表明 TDR 中没有有效数据。
■ 若 TDRE 位和 SCR:TIE 位为 1，将输出传送中断请求。
■ 串行控制寄存器 (SCR) 的 UPCL 位设置为 1 时，TDRE 位将设置为 1。
■ 有关使用传送 FIFO 时的 TDRE 位设置/复位时序，参见 2.4 传送 FIFO 时的中断及标志设置时序。

位	描述
0	传送数据寄存器 (TDR) 包含数据。
1	传送数据寄存器为空。

[bit8] TBI：传送总线空 标志

■ 此位指示 UART 不是在传送数据进行中。
■ 传送数据写入传送数据寄存器 (TDR) 时，此位设置为 0。
■ 若传送数据寄存器为空 (TDRE=1) 且不是在传送数据进程中，此位设置为 1。
■ 串行控制寄存器 (SCR) 的 UPCL 位设置为 1 时，此位设置为 1。
■ 若此位为 1 且使能传送总线空 中断 (SCR:TBIE=1)时，输出传送中断请求。

位	描述
0	在数据传送进程中
1	无数据传送

7.4 扩展通讯控制寄存器 (ESCR)

扩展通讯控制寄存器 (ESCR) 用于设置传送/接收数据 度、使能/禁用奇偶校 位、选择奇偶校 位、反向串行数据格式并设置停止位 度选择。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(SSR)	FLWEN	ESBL	INV	PEN	P	L2	L1	L0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值		0	0	0	0	0	0	0	0

[bit7] FLWEN：流控制使能位

选择使能或禁用硬件流控制操作。

位	描述
0	禁用硬件流控制。
1	使能硬件流控制。

注意事 ：

- *禁用数据传送和接收 (SCR:TXE=0, RXE=0) 时设置此位。*
- *只有当期望使用硬件流控制时才将此位设置为 1。*

[bit6] ESBL：扩展停止位 度选择位

此位设置停止位 度（传送数据的帧端标记）。

位	描述	
0	SMR:SBL=0	1 位
	SMR:SBL=1	2 位
1	SMR:SBL=0	3 位
	SMR:SBL=1	4 位

注意事 ：

- *在接收操作中，只能检测到停止位数据的 位。*
- *禁用传送 (SCR:TXE=0) 时总是设置此位。*

[bit5] INV：反向串行数据格式位

选择 NRZ 或反向 NRZ 作为串行数据格式。

位	描述
0	NRZ 格式
1	反向 NRZ 格式

[bit4] PEN：奇偶校　使能位（仅用于操作模式 0）

设置是否增加（传送时）和检测（接收时）奇偶校　位。

位	描述
0	禁用奇偶校　。
1	使能奇偶校　。

注意事　：

- *在操作模式 1 中，此位固定为 0。*

[bit3] P：奇偶校　选择位（仅用于操作模式 0）

设置使能奇偶校　(ESCR:PEN=1) 时，此位将设置为奇数校　1 或偶数校　"0"。

位	描述
0	偶数校
1	奇数校

[bit2:0] L2, L1, L0：数据　度选择位

这些位设置传送/接收数据　度。

bit2	bit1	bit0	描述
0	0	0	8 位　度
0	0	1	5 位　度
0	1	0	6 位　度
0	1	1	7 位　度
1	0	0	9 位　度

注意事　：

- *禁止进行　以上之外的设置。*
- *在操作模式 1 中，将数据　度设置为七位或八位。禁止其他设置。*

7.5 接收数据寄存器/传送数据寄存器 (RDR/TDR)

接收数据寄存器和传送数据寄存器分配相同地址。从本寄存器读取数据时，本寄存器作为接收数据寄存器。写入数据时，本寄存器作为传送数据寄存器操作。

使能 FIFO 操作时，RDR/TDR 地址作为 FIFO 读取/写入地址。

接收数据寄存器

位	15 ... 9	8	7	6	5	4	3	2	1	0
字段		D8	D7	D6	D5	D4	D3	D2	D1	D0
属性		R	R	R	R	R	R	R	R	R
初始值		0	0	0	0	0	0	0	0	0

接收数据寄存器 (RDR) 是用于串行数据接收的 9 位数据缓冲寄存器。

- 将串行数据信号发送至串行输入引脚 (SIN) 时，这些串行数据信号通过移位寄存器转换并储存在接收数据寄存器 (RDR) 中。
- 根据数据 度将上位设置为 0，如下所示：

数据 度	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 位	X	X	X	X	X	X	X	X	X
8 位	0	X	X	X	X	X	X	X	X
7 位	0	0	X	X	X	X	X	X	X
6 位	0	0	0	X	X	X	X	X	X
5 位	0	0	0	0	X	X	X	X	X

（X 表示接收数据位。）

- 接收数据储存在接收数据寄存器 (RDR) 中后，接收数据满标志位 (SSR:RDRF) 将设置为 1。若使能接收中断 (SSR:RIE=1)，将产生接收中断请求。
- 只有当接收数据满标志位 (SSR:RDRF) 为 1 时才能读取接收数据寄存器 (RDR)。从接收数据寄存器 (RDR) 读取数据时，接收数据满标志位 (SSR:RDRF) 将自动清 为 0。
- 若发生接收 误（SSR:PE, ORE 或 FRE 为 1 时），接收数据寄存器 (RDR) 中的数据将无效。
- 在操作模式 1（多处理器模式）中，进行 7 位或 8 位 度的操作并将接收 AD 位储存在 D8 位中。
- 如果是 9 位 度的数据传输且为操作模式 1，必 通过 16 位数据访 从 RDR 读取数据。

注意事 ：

- *若使用接收 FIFO 并将 设 的数据接收到 FIFO 缓冲器中，SSR:RDRF 将设置为 1。*
- *若使用接收 FIFO 且本缓冲器为空，SSR:RDRF 位将清 为 0。*
- *若使用接收 FIFO 时发生接收 误（SSR:PE, ORE 或 FRE 为 1），接收 FIFO 使能位将被清且接收数据不储存在接收 FIFO 缓冲器中。*

传送数据寄存器 (TDR)

位	15 ... 9	8	7	6	5	4	3	2	1	0
字段		D8	D7	D6	D5	D4	D3	D2	D1	D0
属性		W	W	W	W	W	W	W	W	W
初始值		1	1	1	1	1	1	1	1	1

传送数据寄存器 (TDR) 是用于串行数据传送的 9 位数据缓冲寄存器。

- 若使能数据传送 (SCR:TXE=1) 并将传送数据写入传送数据寄存器 (TDR)，传送数据将传输至传送移位寄存器。然后，将传送数据转换成串行数据并从串行数据输出引脚 (SOT) 发出。
- 根据如下所示的数据 度，上位将按照 序无效：

数据 度	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 位	X	X	X	X	X	X	X	X	X
8 位	无效	X	X	X	X	X	X	X	X
7 位	无效	无效	X	X	X	X	X	X	X
6 位	无效	无效	无效	X	X	X	X	X	X
5 位	无效	无效	无效	无效	X	X	X	X	X

（X 表示传送数据位。）

- 将传送数据写入传送数据寄存器 (TDR) 时，传送数据空标志 (SSR:TDRE) 被清 为 0。
- 传送数据传输至传送移位寄存器并启动数据传送后，若禁用传送 FIFO 或传送 FIFO 为空，传送数据空标志 (SSR:TDRE) 将设置为 1。
- 如果传送数据空标志 (SSR:TDRE) 为 1，可写入传送数据。如果使能传送中断，将发生传送中断。产生传送中断后或传送数据空标志 (SSR:TDRE) 为 1 时，执行数据传送。
- 如果传送数据空标志 (SSR:TDRE) 为 "0" ，且禁用传送 FIFO 或传送 FIFO 缓冲器已满，不能写入传送数据。
- 在操作模式 1（多处理器模式）中，进行 7 位或 8 位 度操作并通过写入 D8 位发送 AD 位。
- 如果是 9 位 度的数据传输且为操作模式 1，必 通过 16 位数据访 将数据写入 TDR。

注意事 ：

- *传送数据寄存器为只写寄存器。接收数据寄存器为只读寄存器。由于传送寄存器和接收寄存器分配相同地址，写入值和读取值各不相同。因此，不能使用 INC/DEC 指令和其他读改写 (RMW) 指令。*
- *有关使用传送 FIFO 时的传送数据空标志 (SSR:TDRE) 设置时序，参见 2.4 传送 FIFO 时的中断及标志设置时序。*

7.6 波特率发生器寄存器 1 和 0 (BGR1 和 BGR0)

波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 用于设置串行时 的分 比。可选择外部时 作为 载计数器的时 源。

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	EXT	(BGR1)							(BGR0)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 波特率发生器寄存器用于设置串行时 的分 比。
- BGR1 寄存器对应上位，BGR0 寄存器对应下位。可写入要计数的 载值，并可读取 BGR1/BGR0 设置值。
- 将 载值写入波特率发生器寄存器 1 和 0 (BGR1 或 BGR0) 时， 载计数器启动计数。
- EXT 位 (bit15) 指定使用 载计数器时 源为内部时 或外部时 。若设置 EXT=0，使用内部时 。若设置 EXT=1，则使用外部时 。从 SCK 输入外部时 。

[bit15] EXT：外部时 选择位

位	描述
0	使用内部时 。
1	使用外部时 。

[bit14:8] BGR1：波特率发生器寄存器 1

bit14:8	描述
写入	数据写入 载计数器 bit8 至 bit14。
读取	读取 BGR1 设置值。

[bit7:0] BGR0：波特率发生器寄存器 0

bit7:0	描述
写入	数据写入 载计数器 bit0 至 bit7。
读取	读取 BGR0 设置值。

注意事 ：

- *必 通过 16 位数据访 将数据写入波特率发生器寄存器（BGR1 和 BGR0）。*
- *若改变了波特率发生器寄存器 (BGR1, BGR0) 的当前值，只有在计数器值达到 15h00 后才能载新值。要使新设置值立即生效， 改变 BGR1/BGR0 设置值并执行可编程清 (UPCL)。*
- *在接收串行时 内的 载值为偶数时，一个总线时 周期内的 LOW 信号宽度大于 HIGH 信号的宽度。若值为奇数，LOW 信号的宽度与 HIGH 信号相同。*
- *将 BGR1/BGR0 值设置为 4 或更大值。注意，可能因波特率 误和 载值设置，无法成功接收数据。*
- *如果要在波特率发生器正在运行时改变外部时 的设置 (EXT=1) ，将 "0" 写入波特率发生器 1 和 0 (BGR1, BGR0)，执行可编程清 (UPCL)，然后设置外部时 (EXT=1)。*

7.7 FIFO 控制寄存器 1 (FCR1)

FIFO 控制寄存器 (FCR1) 用于设置 FIFO 测试、选择传送 FIFO 或接收 FIFO、使能传送 FIFO 中断以及控制中断标志。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	保留			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性		-		R/W	R/W	R/W	R/W	R/W	
初始值		-		0	0	1	0	0	

[bit15:13] 保留位

读取值为 0。确保写入 0。

[bit12] FLSTE： 新传送数据丢失检测使能位

此位使能 FIFO 新传送数据丢失标志 (FLST) 检测。

位	描述
0	禁用数据丢失检测。
1	使能数据丢失检测。

注意事 ：

- *要将此位设置为 1， 先将 FSET 位设置为 1，然后将此位设置为 1。*

[bit11] FRIIE：接收 FIFO 空 检测使能位

若接收 FIFO 包含有效数据且持续 8 位小时以上，设置此位检测接收空 状态。若使能接收中断 (SCR:RIE=1)，检测到接收空 状态时，将产生接收中断。

位	描述
0	禁用接收 FIFO 空 检测。
1	使能接收 FIFO 空 检测。

注意事 ：

- *若使用接收 FIFO，将此位设置为 1。*

[bit10] FDRQ：传送 FIFO 数据请求位

此位请求传送 FIFO 数据。

若此位为 1，正在请求传送数据。此时，若使能传送 FIFO 中断 (FTIE=1)，将输出传送 FIFO 中断请求。

在以下情况下设置 FDRQ 位：

- FBYTE（用于传送）为 0 （传送 FIFO 为空）。

在以下情况下复位 FDRQ 位：

- 此位设置为 0。
- 传送 FIFO 装有数据。

位	描述
0	不请求传送 FIFO 数据。
1	请求传送 FIFO 数据。

注意事 ：

- *使能传送 FIFO 时，写入 "0" 有效。*
- *FBYTE（传送）为 0 时，此位不能设置为 0。*
- *此位设置为 1 时，对操作无效。*
- *发出读改写指令时，读取值为 1。*

[bit9] FTIE：传送 FIFO 中断使能位

此位使能传送 FIFO 中断。若此位设置为 1，当 FDRQ 位设置为 1 时将发生中断。

位	描述
0	禁用传送 FIFO 中断。
1	使能传送 FIFO 中断。

[bit8] FSEL：FIFO 选择位

此位选择传送 FIFO 或接收 FIFO。

位	描述
0	传送 FIFO:FIFO1；接收 FIFO:FIFO2
1	传送 FIFO:FIFO2；接收 FIFO:FIFO1

注意事 ：

- *不能通过 FIFO 复位清 此位 (FCR0:FCL[2:1]=11)。*
- *要改变此位的状态， 先禁用 FIFO 操作 (FCR0:FE[2:1]=00)。*

7.8 FIFO 控制寄存器 0 (FCR0)

FIFO 控制寄存器 0 (FCR0) 用于使能/禁用 FIFO 操作、复位 FIFO、保存读取指 、并设置数据 新传送。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W
初始值		0	0	0	0	0	0	0	0

[bit7] - ：未使用位

读取时，读取时总为 0。

写入时，总是将此位设置为 0。

[bit6] FLST：FIFO 新传送数据丢失标志位

此位显示传送 FIFO 的 新传送数据已丢失。

在以下情况下设置 FLST 位：

- FIFO 控制寄存器 1 (FCR1) 的 FLSTE 位为 1 时且传送 FIFO 的写入指 与 FSET 位保存的读取指匹配时，数据写入（覆盖） FIFO 缓冲器。

在以下情况下复位 FLST 位：

- FIFO 复位（FCL 位被设为 1）。
- FSET 位被设为 1 。

此位被设为 1 时，将覆盖写入读取指 （FSET 位保存）识别的数据。因此，FLD 位不能设置数据 新传送，即使发生了 误。此位被设为 1 且要 新传送数据时， 先复位 FIFO。然后，再次将数据写入 FIFO 缓冲器。

位	描述
0	未发生数据丢失。
1	已发生数据丢失。

[bit5] FLD：FIFO 指 载位

此位将通过 FSET 位保存在传送 FIFO 中的数据 载入 载指 。发生通讯 误或其他 误后，此位可用于 新传送数据。

完成 新传送设置后，将此位设为 0。

位	描述
0	不 载
1	载

注意事 ：

- *此位为 1 时，表明正在将数据 载入读取指 。因此， 了 FIFO 复位以外，禁用数据写入。*
- *使能 FIFO 或数据正在传送时，此位不能设置为 1。*
- *将 TIE 位和 TBIE 位设为 0 后，将此位设为 1。使能传送 FIFO 后，将 SCR:TIE 位和 SCR:TBIE 位设为 1。*

[bit4] FSET：FIFO 指 保存位

此位保存传送 FIFO 读取指 。
若在传送前保存读取指 值且 FLST 位被设为 0，即使已发生通讯 误或其他 误，也可 新传送数据。

若设为 1，保存当前读取指 值。
若设为 0，不保存读取指 。

位	描述	
	写入时	读取时
0	不保存	读取值总为 0。
1	保存读取指 值。	

注意事 ：

- *只有当传送字节计数 (FBYTE) 为 0 时才能将此位设为 1。*

[bit3] FCL2：FIFO2 置位

此位复位 FIFO2 值。
此位被设为 1 时，初始化 FIFO2 的内部状态。
仅初始化 FCR1:FLST 位，FCR1/FCR0 寄存器的其他位保持不变。

位	描述	
	写入时	读取时
0	操作无效。	读取值总为 0。
1	复位 FIFO2。	

注意事 ：

- *先禁用传送和接收，然后复位 FIFO2。*
- *执行前，将传送 FIFO 中断使能位设为 0。*
- *将 FBYTE2 寄存器的有效数据计数设为 0。*

[bit2] FCL1：FIFO1 置位

此位复位 FIFO1 的状态。
此位被设为 1 时，初始化 FIFO1 的内部状态。
仅初始化 FCR1:FLST 位，FCR1/FCR0 寄存器的其他位保持不变。

位	描述	
	写入时	读取时
0	操作无效。	读取值总为 0。
1	复位 FIFO1。	

注意事 ：

- *先禁用传送和接收，然后复位 FIFO1。*
- *执行前，将传送 FIFO 中断使能位设为 0。*
- *将 FBYTE1 寄存器的有效数据计数设为 0。*

[bit1] FE2：FIFO2 操作使能位

此位使能或禁用 FIFO2 操作。

- 使用 FIFO2 操作时，将此位设为 1。
- 如果 FIFO2 被设为传送 FIFO (FCR1:FSEL=1) 且此位被设为 1 时 FIFO2 中有数据，则在使能 UART 传送数据 (SCR:TXE=1) 后立即启动数据传送。在此时，将 SCR:TIE 位和 SCR:TBIE 位都设为 "0"。然后，将此位设为 1 并将 SCR:TIE 位和 SCR:TBIE 位都设为 1。
- 如果 FSEL 位选择了接收 FIFO 且已发生接收 误，此位将被清 为 0。在清 接收 误前，不能将此位设为 1。
- 若 FIFO2 用作传送 FIFO，传送缓冲器为空 (SSR:TDRE=1) 时，此位必 被设为 1 或 0。
- 若 FIFO2 用作接收 FIFO，接收缓冲器为空 (SSR:RDRF=0) 时，此位必 被设为"0"，且在禁用接收 (SCR:RXE=0) 后，接收 FIFO 中无任何有效数据 (FBYTE2=0)。
- 若 FIFO2 用作接收 FIFO，禁用接收(SCR:RXE=0) 后接收缓冲器为空 (SSR:RDRF=0) 时，此位必被设为 1。
- 即使禁用 FIFO2 操作，也保持 FIFO2 状态。

位	描述
0	禁用 FIFO2 操作。
1	使能 FIFO2 操作。

[bit0] FE1：FIFO1 操作使能位

此位使能或禁用 FIFO1 操作。

- 要使用 FIFO1 操作，将此位设为 1。
- 若 FIFO1 被设为传送 FIFO (FCR1:FSEL=0) 且此位被设为 1 时 FIFO1 中有数据，设置 UART 使能数据传送 (SCR:TXE=1) 后将立即启动数据传送。在此时，将 SCR:TIE 位和 SCR:TBIE 位都设为 0。然后，将此位设为 1 并将 TIE 位和 SCR:TBIE 位都设为 1。
- 若 FSEL 位选择了接收 FIFO 且已发生接收 误，此位将被清 为 0。在清 接收 误前，不能将此位设为 1。
- 若 FIFO1 用作传送 FIFO，传送缓冲器为空 (SSR:TDRE=1) 时，此位必 被设为 1 或 0。
- 若 FIFO1 用作接收 FIFO，接收缓冲器为空 (SSR:RDRF=0) 时，此位必 被设为 0，且在禁用接收 (SCR:RXE=0) 后，接收 FIFO 中无任何有效数据 (FBYTE2=0)。
- 若 FIFO1 用作接收 FIFO，禁用接收(SCR:RXE=0) 后接收缓冲器为空 (SSR:RDRF=0) 时，此位必被设为 1。
- 即使禁用 FIFO1 操作也保持 FIFO1 状态。

位	描述
0	禁用 FIFO1 操作。
1	使能 FIFO1 操作。

7.9 FIFO 字节寄存器 (FBYTE)

FIFO 字节寄存器 (FBYTE) 指示 FIFO 缓冲器中的有效数据计数。接收 FIFO 接收了一定 的数据 时，本寄存器还可用于产生接收中断。

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE 寄存器指示 FIFO 写入或接收的有效数据计数。FCR1:FSEL 位的设置如下：

Table 7-4 数据计数显示

FSEL	FIFO 选择	数据计数显示
0	FIFO2：接收 FIFO，FIFO1：传送 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2：传送 FIFO，FIFO1：接收 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE 寄存器的数据传输计数初始值为 0x08。
- 设置数据计数以标记接收 FIFO 的 FBYTE 寄存器的接收中断。若此指定的传输计数匹配 FBYTE 寄存器的显示，则接收数据满标志位 (RDRF) 设为 1。
- 若满足以下两个条件且接收空 状态持续 8 个波特率时 以上，接收数据满标志位 (RDRF) 将被设为 1。
  - 接收 FIFO 空 检测使能位 (FRIIE) 为 1。
  - 储存在接收 FIFO 中的数据 数 未达到传输计数。

若在 8 个时 的计数进程中读取 RDR 数据，此计数器复位为 0，然后 新启动 8 个时 的计数。若禁用接收 FIFO，本计数器复位为 (0)。若数据保持在接收 FIFO 中且 FIFO 已被使能，数据计数将被 新启动。

FBYTE1, FBYTE2：FIFO2 数据计数显示位，FIFO1 数据计数显示位

写入时	设置传输数据计数。
读取时	读取数据有效计数。

读取（有效数据计数）

传送进程中：已写入 FIFO 缓冲器但还未传送的数据 的数
接收进程中：FIFO 中已接收数据 数

写入（传输数据计数）

传送进程中：设置 0x00。
接收进程中：设置数据计数，产生接收中断。

Table 7–5 保存在 FIFO 中的数据计数

FIFO 容	操作模式	数据 度	最大 FBYTE 计数	要保存的数据计数
16 BYTES	模式 0	5 位到 8 位	16	16
	模式 0	9 位	8	8
	模式 1	完整位		
32 BYTES	模式 0	5 位到 8 位	32	32
	模式 0	9 位	16	16
	模式 1	完整位		
64 BYTES	模式 0	5 位到 8 位	64	64
	模式 0	9 位	32	32
	模式 1	完整位		
128 BYTES	模式 0	5 位到 8 位	128	128
	模式 0	9 位	64	64
	模式 1	完整位		

注意事 ：

- *在传送 FIFO 的 FBYTE 寄存器中设置 0x00。*
- *接收 FIFO 的 FBYTE 寄存器中的设置值大于或等于 1。*
- *只有在禁用数据接收后才能改变此状态。*
- *本寄存器不能使用读改写指令。*
- *禁止任何超出 FIFO 容 的设置。*

第 1-3 章: CSIO (时钟同步串口)

本章说明操作模式 2 支持的时钟同步串口(CSIO)功能。

此 CSIO 是多功能串口功能的一部分。

1. CSIO（时钟同步串口）概述
2. CSIO（时钟同步串口）中断
3. CSIO（时钟同步串口）操作
4. 串行计时器操作
5. 串行芯片选择操作
6. 专用波特率发生器
7. CSIO（时钟同步串口）寄存器
8. CSIO（时钟同步串口）的限制

代码：9BFCSIO_FM0-C03.0_FM15C-J05.4

1. CSIO（时钟同步串口）概述

CSIO 是用于与外部设备同步通信的通用串行数据通信接口（支持 SPI）。CSIO 还配有传送/接收 FIFO（最大容量各 128 字节）*1。

CSIO（时钟同步串口）功能

		功能
1	数据缓冲	− 全双工双缓冲（不使用 FIFO 时） − 传送/接收 FIFO（最大容量各 128 字节）*1（使用 FIFO 时）
2	传送系统	− 时钟同步（无启动/停止位） − 主机/从机功能 − 支持 SPI（主机和从机模式均支持）
3	波特率	− 配有专用波特率生成器（配置有 15 位重载计数器，主机模式操作） − 可输入外部时钟（从机模式操作时）
4	数据长度	5 ~ 16 位
5	接收错误检测	溢出错误
6	中断请求	− 接收中断（接收完成、溢出错误） − 传送中断（传送数据为空、传送总线空闲） − 传送 FIFO 中断（传送 FIFO 为空时） − 具有 DMA（传送/接收）传输支持功能
7	串行芯片选择	− 4 通道控制（单控制、循环控制） − 设置/保持/取消选定时间可设置为可变 − 可设置各通道的活动电平
8	同步传送功能	− 可同步串行计时器按指定周期自动发送数据
9	计时器功能	− 配备 16 位串行计时器 − 操作时钟分频比可在 1/1~1/256 范围内选择
10	同步模式	主机或从机功能
11	引脚访问	串行数据输出引脚可设置为"1"。
12	FIFO 选项	− 配有传送/接收 FIFO（最大容量：传送 FIFO 最大 128 字节，接收 FIFO 最大 128 字节） − 可选择传送 FIFO 或接收 FIFO。 − 传送数据可重新发送。 − 可通过软件更改接收 FIFO 中断时序。 − 独立支持 FIFO 复位。

*：FIFO 容量大小根据产品而异。

2. CSIO（时钟同步串口）中断

CSIO 中断包括接收中断、传送中断及状态中断。这些中断请求在以下情况下产生：

- 接收数据寄存器 (RDR) 中设置接收数据或发生数据接收错误。
- 传送数据从传送数据寄存器 (TDR) 传输到传送移位寄存器且启动数据传送。
- 传送总线空闲（无数据传送发生）。
- 请求传送 FIFO 数据。
- 串行计时器比较值 (STMCR) 与串行计时器值 (STMR) 匹配。
- 发生芯片选择错误。

CSIO 中断

Table 2-1 列出了 CSIO 中断控制位及中断因素。

Table 2-1 CSIO 中断控制位及中断因素

中断类型	中断请求标志位	标志寄存器	中断因素	中断因素使能位	清除中断请求标志的操作
接收	RDRF	SSR	单字节接收	SCR:RIE	从接收数据寄存器 (RDR)读取
			接收到的数据量与 FBYTE 的设置值匹配。		从接收数据寄存器 (RDR) 读取，直到接收 FIFO 为空为止
			FRIIE 位为 "1"，接收 FIFO 内包含有效数据且接收空闲状态持续超过 8 位时间小时。		
	ORE	SSR	溢出错误		将接收错误标志清除位(SSR:REC) 设置为 "1"
传送	TDRE	SSR	传送数据寄存器为空。	SCR:TIE	当传送 FIFO 操作使能位设置为 "0" 且传送 FIFO 中存在有效数据时，写入传送数据寄存器 (TDR) 或将传送 FIFO 操作使能位设置为"1"（重传数据）*
	TBI	SSR	无数据传送	SCR:TBIE	当传送 FIFO 操作使能位设置为 "0" 且传送 FIFO 中存在有效数据时写入传送数据寄存器 (TDR) 或将传送 FIFO 操作使能位设置为"1"（重传数据）*
传送	FDRQ	FCR1	传送 FIFO 为空。	FCR1:FTIE	FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "0" 或传送 FIFO 已满。
	CSE	SACAR	在从机模式时 (SCR:MS=1)或者在传输过程中当串行芯片选择引脚为不活动主机模式时 (SCR:MS=0)，则传送计数等于或小于 TBYTE 的设置值且下一个传送数据不写入 TDR (SSR:TDRE=1)。	SACSR:CSEIE	芯片选择标志位 (SACSR:CSE)写入 “0”。
状态	TINT	SACSR	串行计时器寄存器 (STMR)与串行计时器比较寄存器 (STMCR) 的值匹配。	SACSR:TINTE	计时器中断标志位 (SACSR:TINT)写入 “0”。

*：仅在 TDRE 位已设置为 "0" 之后将 TIE 位设置为 "1"。

2.1 接收中断及标志设置时序

接收完成 (SSR:RDRF=1) 或发生接收错误 (SSR:ORE=1) 会中断数据接收。

接收中断及标志设置时序

当检测到最后一个数据位时，接收到的数据存储到接收数据寄存器 (RDR)。数据接收完成时 (SSR:RDRF=1) 或发生数据接收错误时 (SSR:ORE=1)，设置各个标志。如果此时使能接收中断 (SCR:RIE=1)，则发生接收中断。

注意事项:

- *如果发生接收错误，收数据寄存器 (RDR) 中的数据会失效。*

Figure 2-1 数据接收和标志设置时序

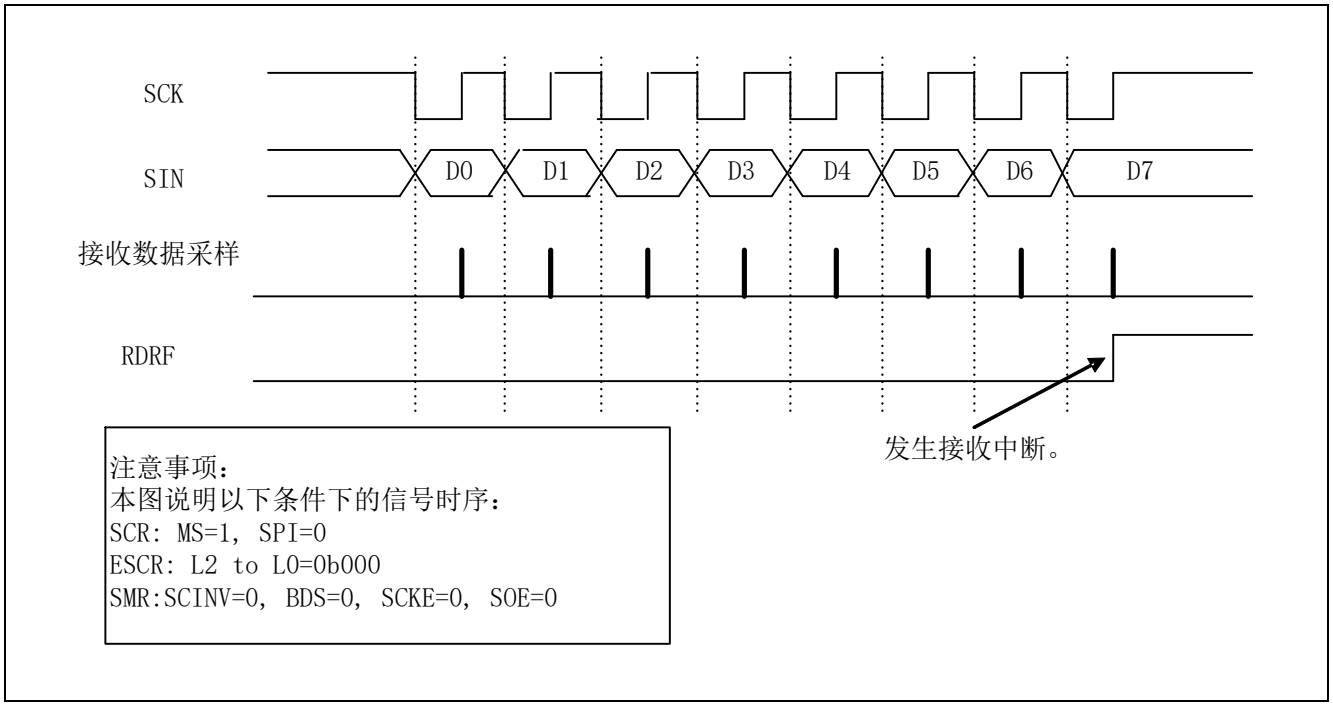
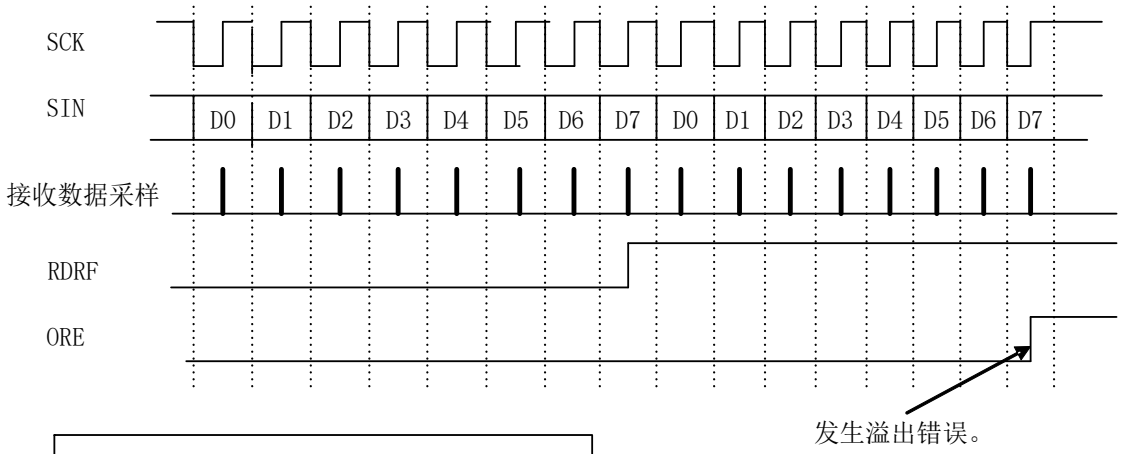


Figure 2-2 ORE（溢出错误）标志设置时序



注意事项：
本图说明以下条件下的信号时序：
SCR: MS=1, SPI=0
ESCR: L2 to L0=0b000
SMR:SCINV=0, BDS=0, SCKE=0, SOE=0

注意事项：
如果在读取接收数据前传输下一个数据 (RDRF=1)，会发生溢出错误。

2.2 使用接收 FIFO 时的中断和标志设置时序

如果使用接收 FIFO，则当接收到 FBYTE 数据（FBYTE 寄存器 (FBYTE) 预设值）时会发生中断。

使用接收 FIFO 时的接收中断和标志设置时序

如果使用接收 FIFO，中断的发生取决于 FBYTE 寄存器的设置值。

- 当接收到 FBYTE 寄存器中所设置传输计数的数据量时，串行状态寄存器的接收数据已满标志位 (SSR:RDRF) 设置为"1"。如果在此时使能接收中断 (SCR:RIE) ，则发生接收中断。
- 如果满足下列两个条件且接收空闲状态持续 8 个波特率时钟以上，则接收数据已满标志位 (RDRF) 设置为 "1"。
  - 接收 FIFO 空闲检测使能位(FRIIE) 为 "1"。
  - 接收 FIFO 中储存的数据设置数量未达到传输计数。
    如果在 8 个时钟计数过程中读取 RDR 数据，则此计数器复位为 "0" 并重新启动 8 个时钟的计数。
    如果禁用接收 FIFO，则此计数器复位为 "0"。如果数据保留在接收 FIFO 中且使能接收 FIFO，则重新启动数据计数。
- 当接收到的数据 (RDR) 全部读取且接收 FIFO 为空时，则清除接收数据已满标志 (SSR:RDRF) 。
- 如果显示的有效接收数据量与 FIFO 容量相同，且接收下一个数据，则发生溢出错误 (SSR:ORE=1)。

Figure 2-3 使用接收 FIFO 时的接收中断发生时序

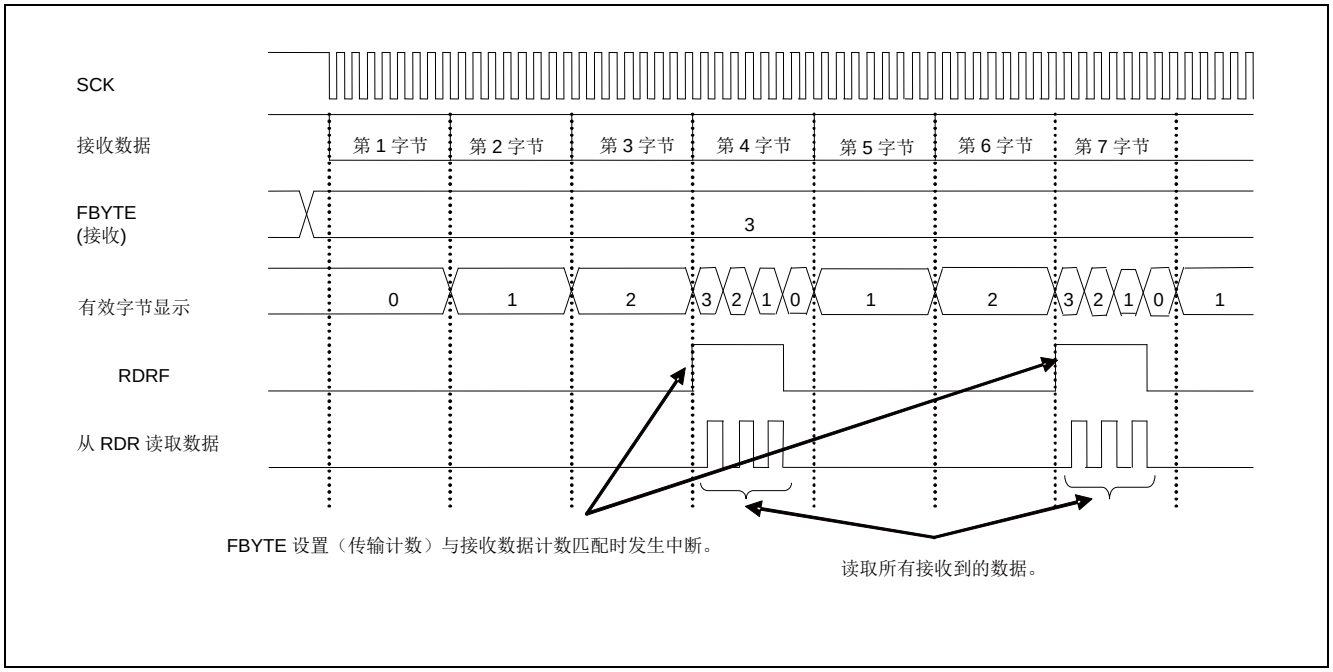
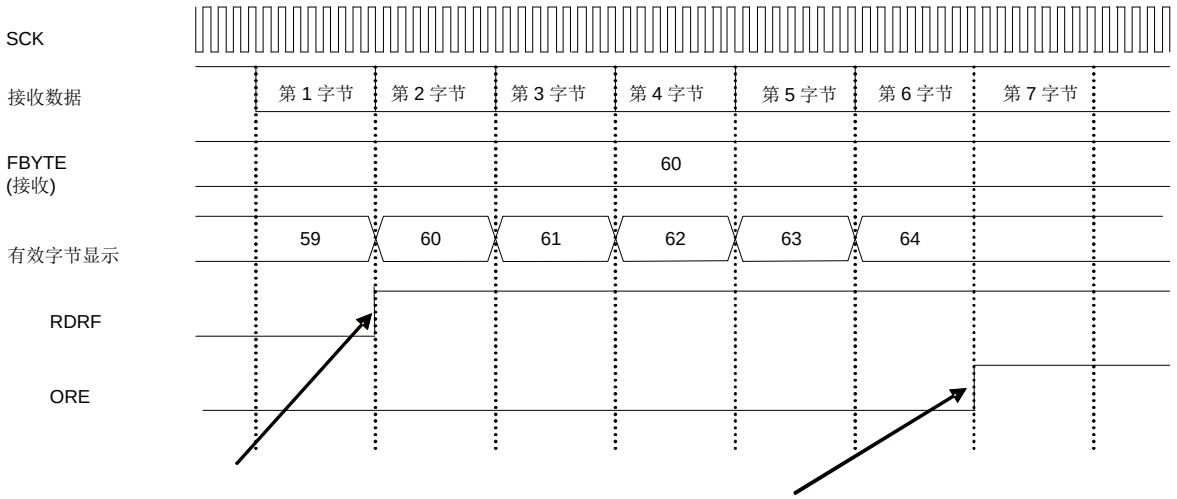


Figure 2-4 ORE（溢出错误）标志位设置时序



注意事项：

如果通过 FIFO 显示方式显示 FIFO 缓冲器的容量且如果接收到下一个数据，则发生溢出中断。

本图说明应用 64 字节 FIFO 容量的情况。

2.3 传送中断及标志设置时序

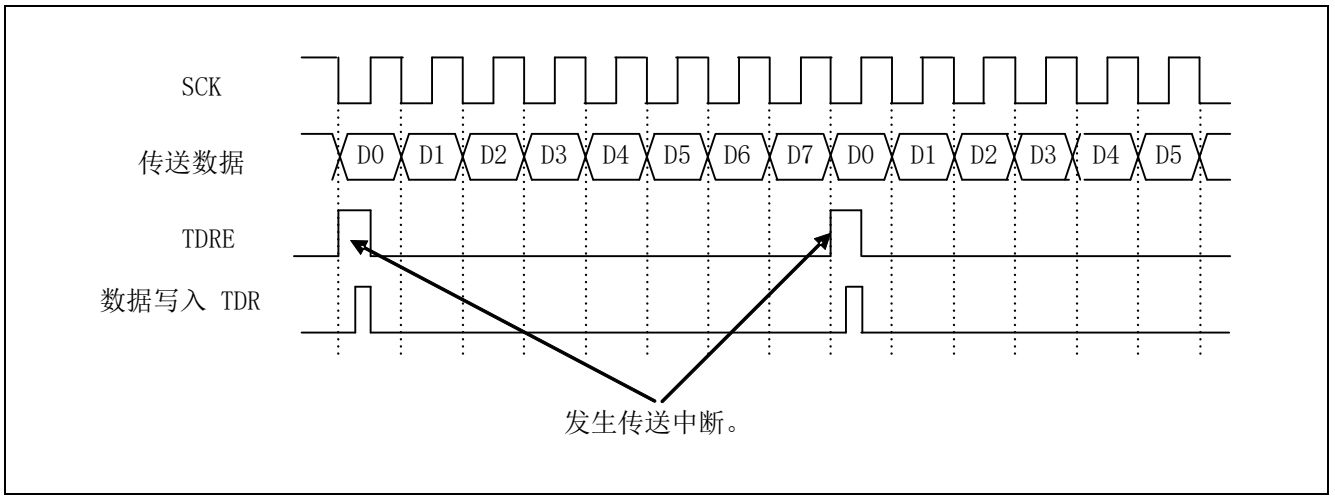
如果从传送数据寄存器 (TDR) 将传送数据传输到传送移位寄存器 (SSR:TDRE=1) 并启动数据或者无数据传送时 (SSR:TBI=1)，会发生传送中断。

传送中断及标志设置时序

■ 传送数据空标志 (SSR:TDRE) 设置时序

数据从传送数据寄存器 (TDR) 传输到传送移位寄存器之后，下一个数据可写入 TDR (SSR:TDRE=1)。如果此时传送中断使能 (SCR:TIE=1)，则发生传送中断。因 SSR:TDRE 位为只读，数据写入传送数据寄存器 (TDR) 时清除 SSR:TDRE 位为 "0"。

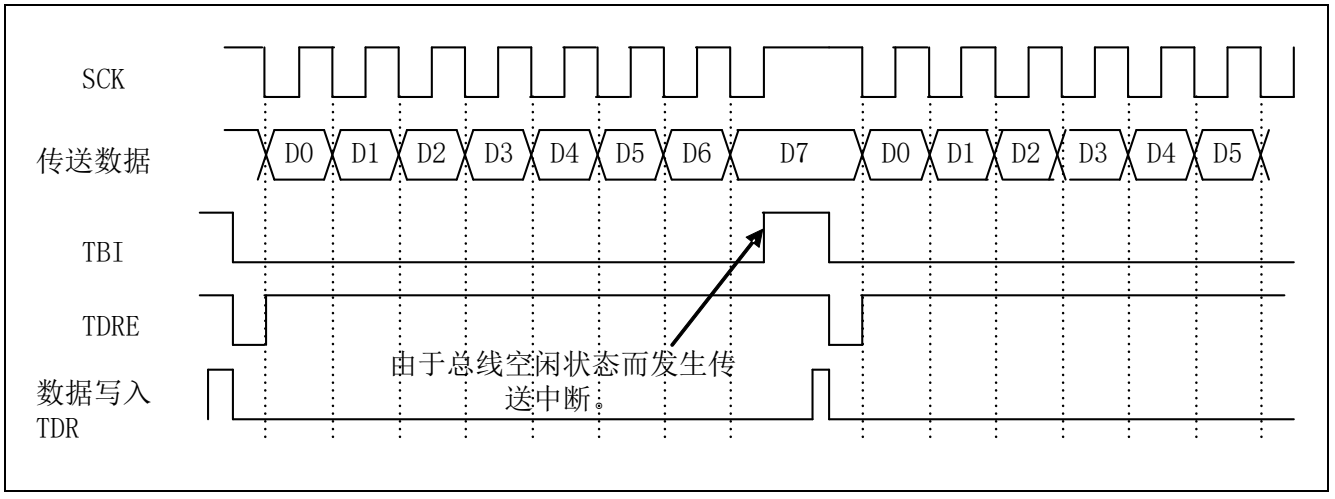
Figure 2-5 传送数据空标志(SSR:TDRE)设置时序



■ 传送总线空闲标志 (SSR:TBI) 设置时序

当传送数据寄存器为空 (SSR:TDRE=1) 且无数据传送时，SSR:TBI 位设置为 "1"。如果此时使能传送总线空闲中断 (SCR:TBIE=1)，则发生传送中断。当传送数据写入传送数据寄存器 (TDR) 时，SSR:TBI 位和传送中断请求都会被清除。

Figure 2-6 传送总线空闲标志(TBI) 设置时序(SCSCR:CSEN3-0="0000", SACSR:TSYNE=0)



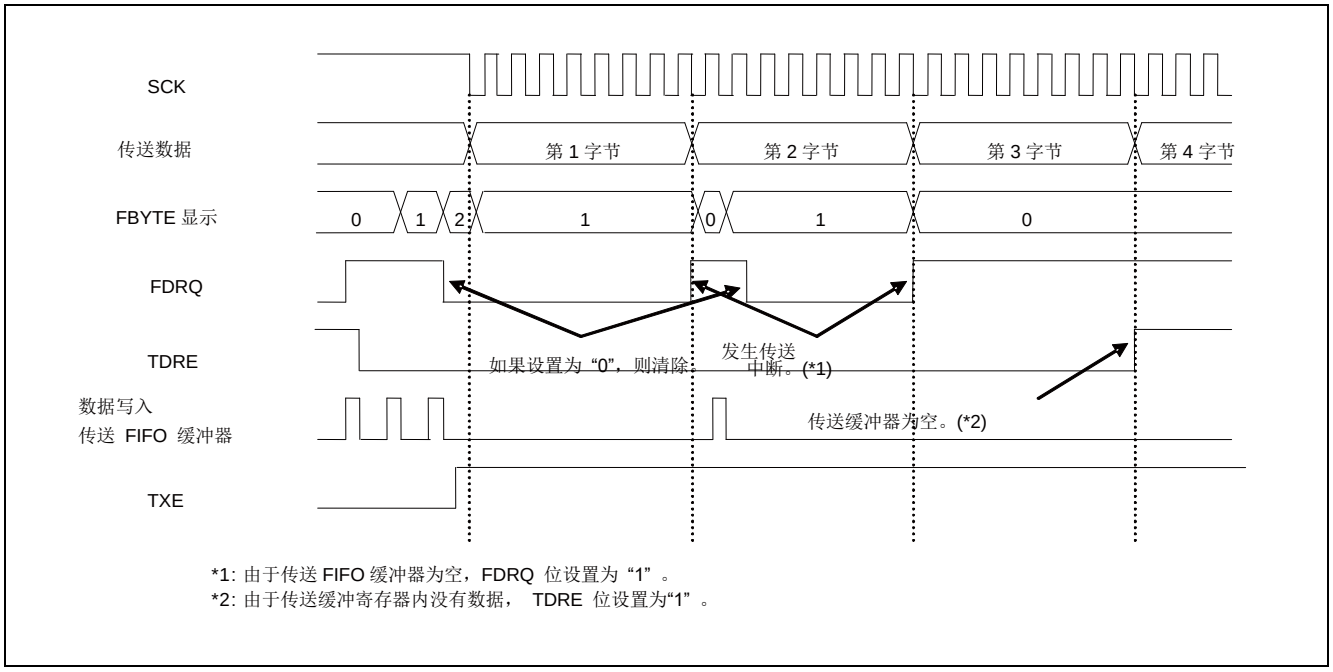
2.4 使用传送 FIFO 时的中断和标志设置时序

使用传送 FIFO 时，如果缓冲器中没有数据，则发生中断。

使用传送 FIFO 时的传送中断和标志设置时序

- 传送 FIFO 没有数据时，FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "1"。
  如果此时使能 FIFO 传送中断 (FCR1:FTIE=1)，则发生传送中断。
- 如果在发生传送中断之后已将所需数据写入传送 FIFO，则通过将 FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "0" 清除中断请求。
- 当传送 FIFO 中数据已满时，FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "0"。
- 可通过读取 FIFO 字节寄存器 (FBYTE) 检验传送 FIFO 中是否有数据。
  如果 FBYTE=0x00，则说明传送 FIFO 中没有数据。

Figure 2-7 使用传送 FIFO 时的传送中断发生时序



*1: 由于传送 FIFO 缓冲器为空，FDRQ 位设置为 “1” 。
*2: 由于传送缓冲寄存器内没有数据， TDRE 位设置为“1” 。

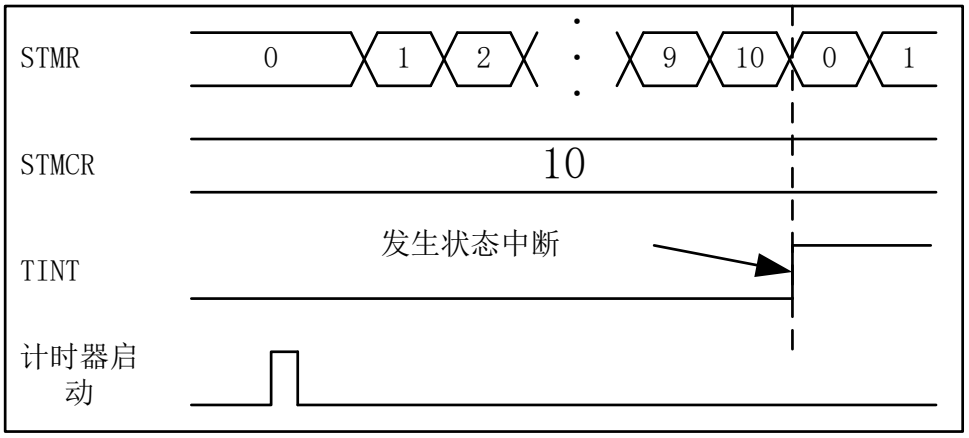
2.5 计时器中断发生及标志设置时序

当串行计时器寄存器 (STMR) 与串行计时器比较寄存器 (STMCR) 的值匹配时发生计时器中断。

计时器中断发生及标志设置时序

- 当串行计时器寄存器 (STMR) 与串行计时器比较寄存器 (STMCR) 的值匹配时，计时器中断标志 (SACSR:TINT) 设置为 “1”。
  此时如果使能计时器中断(SACSR:TINTE=1)，则发生状态中断。

Figure 2-8 计时器中断发生时序



2.6 芯片选择错误发生及标志设置时序

在主机模式 (SCR:MS=0)时，只有当传送的帧计数数据不超过 TBYTE 设置值且传送数据寄存器 (TDR) 中不存在有效数据时，才会发生芯片选择错误。此外，在从机模式操作(SCR:MS=1)中如果串行芯片选择引脚变为不活动状态，传送时会发生芯片选择错误。

芯片选择错误发生及标志设置时序

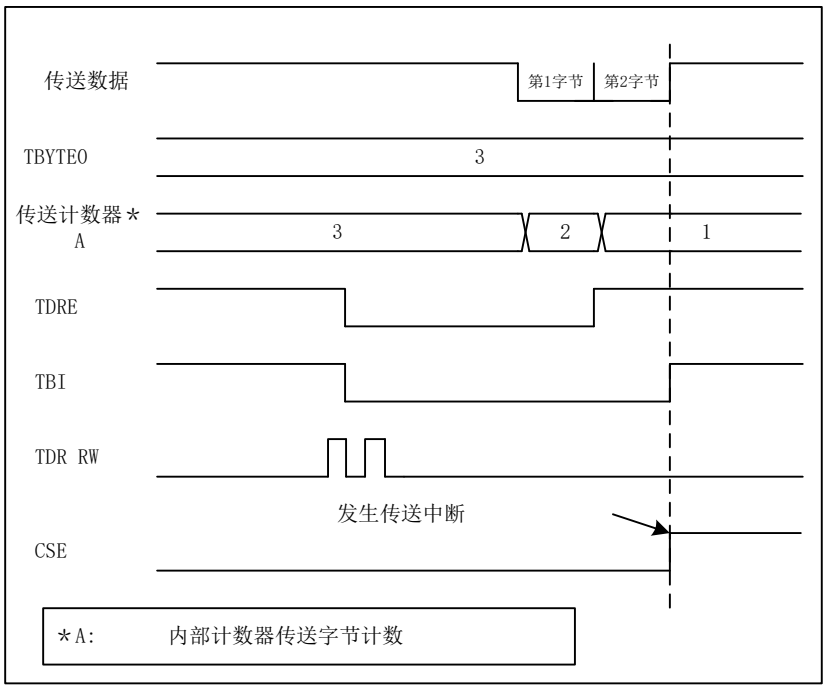
■ 主机模式 (SCR:MS=0)

当满足下列任一条件时，如果在 TBYTE 设置值的数据帧(SSR:TDRE=1)之前使能传送字节错误 (TBEEN=1) 且传送数据寄存器 (TDR) 中不存在有效数据，则发生芯片选择错误：

- 使用芯片选择时
- 使用与串行计时器同步传送时

此时如果使能芯片选择错误中断 (SACSR:CSEIE=1)，则发生传送错误。

Figure 2-9 芯片选择错误发生时序(SCSCR:CSEN3-0=”0000”, SACSR:TSYNE=1)



注意事项:

- *如果使用串行芯片选择，从发生芯片选择错误开始的取消选定时间结束后，芯片选择错误标志设置为 “1”。此外，如果在保持延迟时间内将传送数据写入传送数据寄存器 (TDR)，则不启动传送操作并在取消选定时间结束后将芯片选择错误标志 (SACSR:CSE) 设置为 “1”。*
- *当芯片选择错误标志 (SACSR:CSE) 设置为 “1”时，即使传送数据写入传送数据寄存器 (TDR)，也不启动传送操作。*
- *使用同步传送时，当芯片选择错误标志 (SACSR:CSE) 设置为 “1”，即使满足下列条件也不启动传送操作。*
  - *与串行计时器同步传送时，实时计时器寄存器 (STMR) 与串行计时器比较寄存器匹配。*

■ 从机模式 (SCR:MS=1)

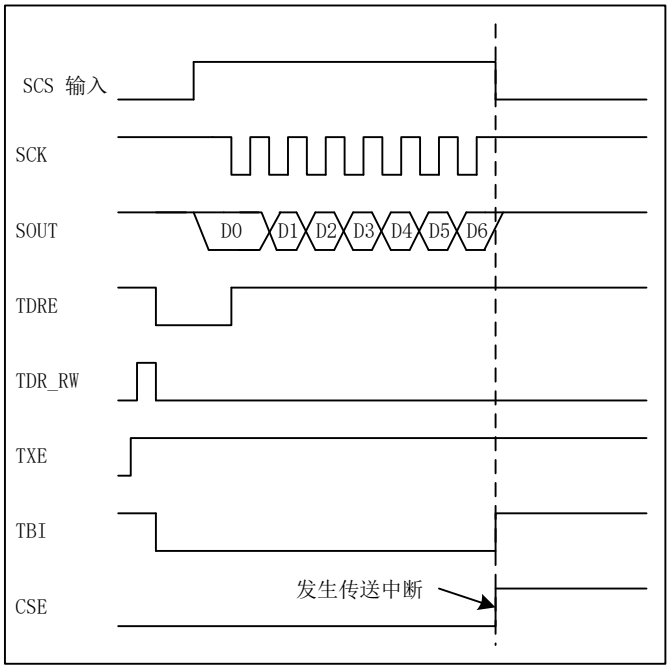
在下列任一情况下，当串行芯片选择引脚变为不活动状态时发生芯片选择错误。

- 串行时钟正在操作时
- 传送模块为非空闲状态*时变更串行时钟

*：非空闲状态是指传送数据准备就绪且将通过输入串行时钟启动传送。

此时，如果使能芯片选择错误中断 (SACSR:CSEIE=1)，则发生传送中断。

Figure 2-10 芯片选择错误发生时序(CSLVL=0, SCR:SPI=0)



注意事项：

- *如果在传送数据寄存器 (TDR) 为空(SSR:TDRE=1)时发生芯片选择错误 (SACSR:CSE=1)，则 SSR:TBI 位会在波特率周期内变为 "1"。*

3. CSIO（时钟同步串口）操作

使用时钟同步数据传输。

3.1 正常传输 (I)

特性

	项目	描述
1	串行时钟 (SCK) 信号标志电平	"HIGH"
2	传送数据输出时序	SCK 信号下降沿
3	接收数据采样	SCK 信号上升沿
4	数据长度	5 ~ 16 位

寄存器设置

下表列出了正常传输 (I) 所需寄存器值。

Table 3-1 正常传输 (I) 寄存器设置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR	0	1/0	0	*	*	*	*	*	0	1	0	-	0	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1：设置为 "1"。

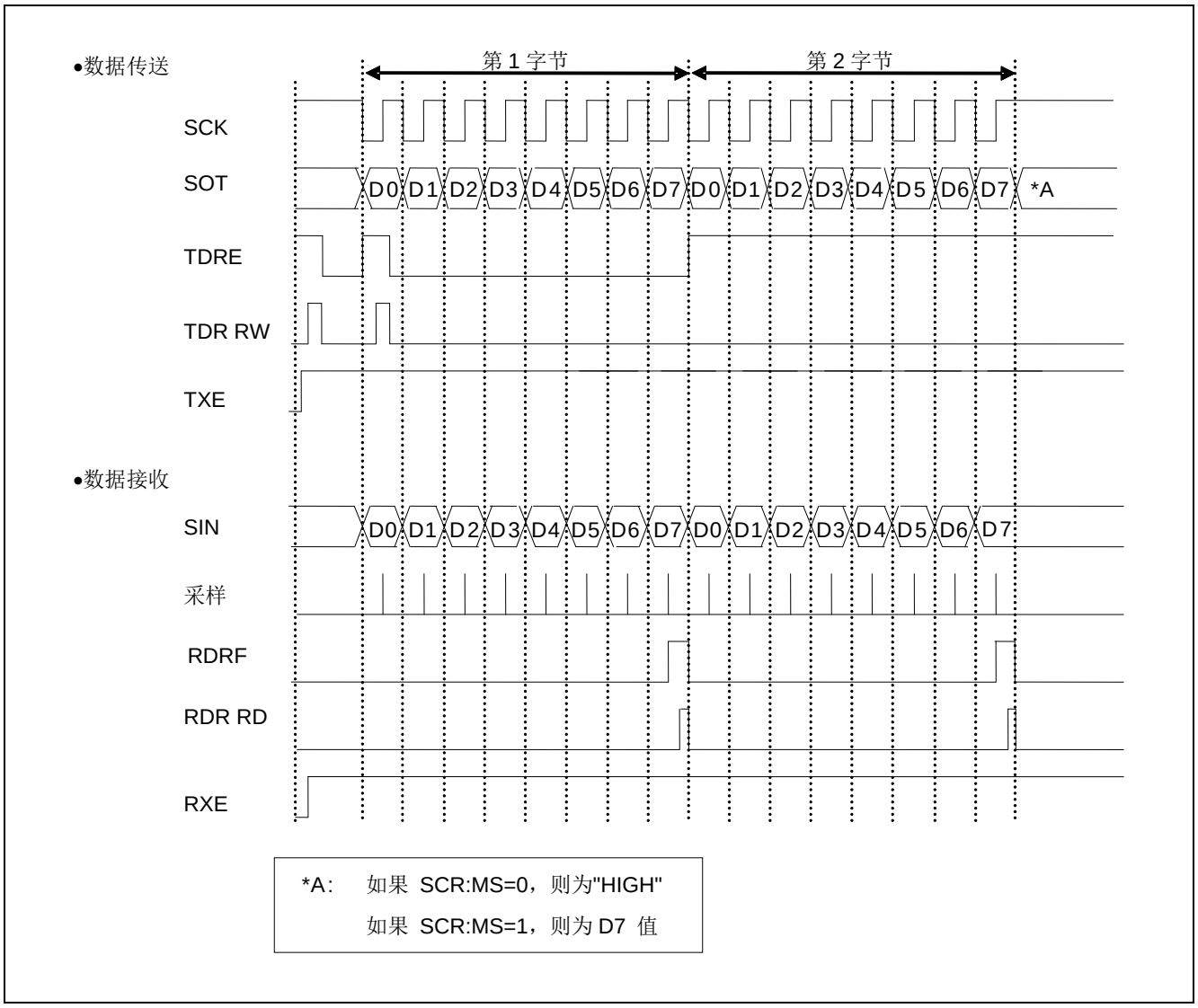
0：设置为 "0"。

*：用户相关值

注意事项：

- *以上位设置 (1/0) 因主机或从机模式操作而异。设置如下：*
  - *主机模式操作时：SCR:MS=0, SMR:SCKE=1*
  - *从机模式操作时：SCR:MS=1, SMR:SCKE=0*

正常传输 (I) 时间图（不使用串行芯片选择引脚时）



主机模式操作（SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0=”0000”）

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)，使能数据传送 (SCR:TXE=1) 并禁用数据接收 (SCR:RXE=0)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。这样可在串行时钟下降沿输出时同步输出传送数据。
2. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)，使能数据传送 (SCR:TXE=1) 并使能数据接收 (SCR:RXE=1)，则当哑数据写入 TDR 时，在在输出串行时钟 (SCK) 上升沿时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。此时如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据(RDR)后，SSR:RDRF 位清除为 "0"。

注意事项:

- *如果只执行数据接收，则在 TDR 写入哑数据，以便输出串行时钟 (SCK)。*
- *如果使能 FIFO 传送和接收，则当 FBYTE 寄存器中设置了要传输的帧时，输出预设帧数的串行时钟 (SCK)。*

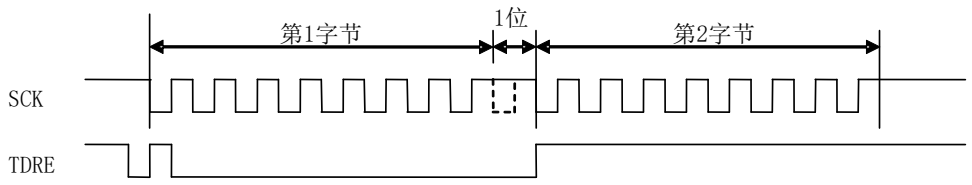
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0" 并在输出串行时钟 (SCK) 下降沿时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在输出串行时钟 (SCK) 的上升沿时采样接收到的数据。接收到接收数据的最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断(SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。

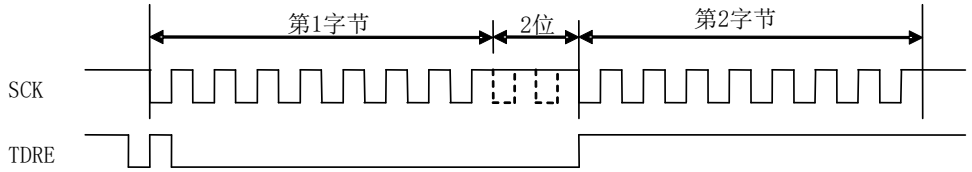
■ 连续数据传送或接收等待

如果连续数据传送或接收设置为 ESCR:WT1, ESCR:WT0=00 以外的值，则在帧之间插入等待。

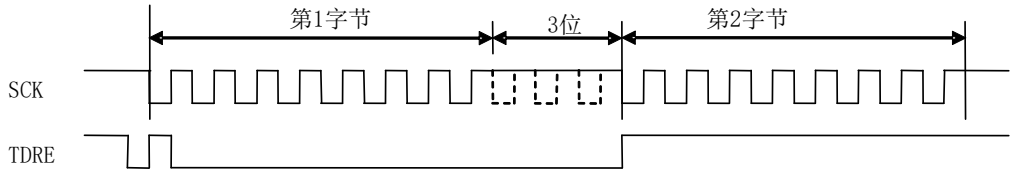
- ESCR:WT1, ESCR:WT0=01 (主机模式操作时)



- ESCR:WT1, ESCR:WT0=10 (主机模式操作时)



- ESCR:WT1, ESCR:WT0=11 (主机模式操作时)



从机模式操作(SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)

■ 数据传送

1. 如果使能串行数据输出(SMR:SOE=1)且使能数据传送 (SCR:TXE=1)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。这样可在输入串行时钟的下降沿时同步输出传送数据。
2. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。

注意事项:

- *如果使能数据传送 (SCR:TXE=1) 且在串行时钟 (SCK) 信号标志电平以外的时间将第一个传送数据写入 TDR，则不输出第一个数据位且数据传送可能失败。数据传送使能后 (SCR:TXE=1)，必须在串行时钟 (SCK) 的信号标志电平和 SSR:TBI=1 时将第一个传送数据写入 TDR。*

■ 数据接收

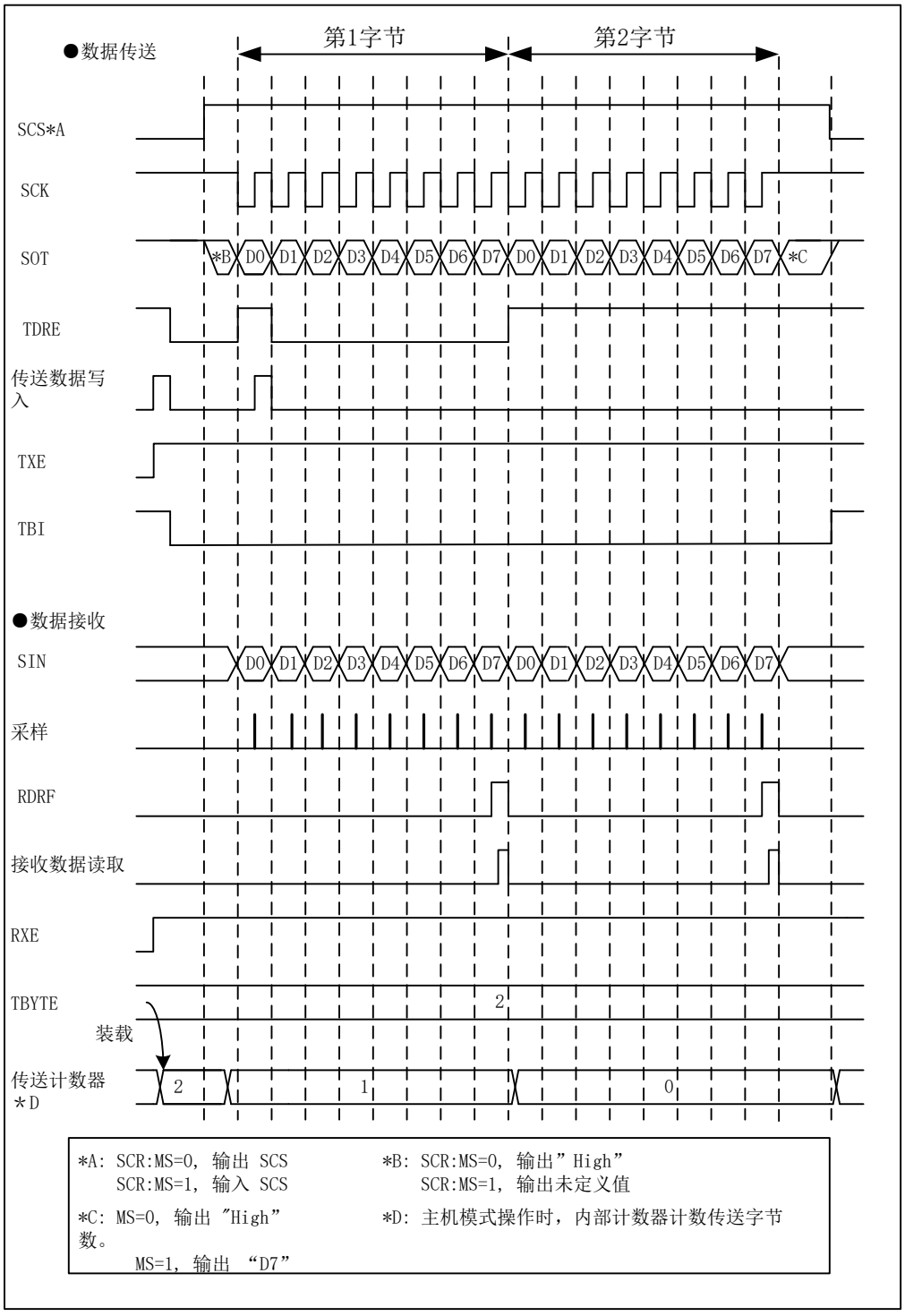
1. 如果禁用串行数据输出 (SMR:SOE=0) 且使能数据接收 (SCR:RXE=1)，则在串行时钟 (SCK) 的上升沿输入时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。

   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。

■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0" 并在串行时钟 (SCK) 的下降沿输入时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在输入串行时钟 (SCK) 的上升沿时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。

正常传送(I)时间图（使用串行芯片选择引脚时）



主机模式操作（SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1）

*：“n” 为所使用串行芯片选择引脚的编号

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)，使能数据传送 (SCR:TXE=1) 且禁用数据接收 (SCR:RXE=0)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。然后，在串行芯片选择引脚的设置时间结束后串行芯片选择引脚(SCS) 变为活动状态并启动串行时钟的输出。启动串行时钟输出后，可在串行时钟下降沿输出时同步输出传送数据。
2. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 完成 TBYTE 指定的数据传送次数后，串行时钟停止。
4. 串行时钟停止后，串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)，使能数据传送 (SCR:TXE=1) 且使能数据接收(SCR:RXE=1)，则当哑数据写入 TDR 时，在串行芯片选择引脚的设置时间之后，串行芯片选择引脚 (SCS) 变为活动状态并启动串行时钟输出。启动串行时钟输出后，在串行时钟 (SCK) 上升沿输出时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据(RDR)后，SSR:RDRF 位清除为 "0"。
4. 完成 TBYTE 指定的数据接收次数后，串行时钟停止。
5. 串行时钟停止后，串行芯片选择引脚的保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

注意事项：

- *如果只执行数据接收，则将哑数据写入 TDR 以便输出串行时钟 (SCS)。*
- *如果使能 FIFO 传送和接收，则当 FBYTE 寄存器中设置了要传输的帧时，输出预设帧数的串行时钟 (SCK)。*

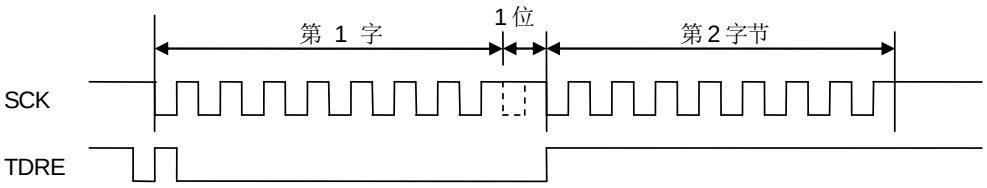
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。然后在串行芯片选择引脚的设置时间结束后，串行芯片选择引脚 (SCS) 变为活动状态并启动串行时钟的输出。启动串行时钟输出后，在输出串行时钟 (SCK) 的下降沿输出同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1), 则输出传送中断请求。此时, 可将第二字节的传送数据写入寄存器。
3. 数据传送和接收过程中，在输出串行时钟 (SCK) 的上升沿时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为 “1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。
4. 完成 TBYTE 指定数据接收和传送次数后，串行时钟停止。
5. 串行时钟停止后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

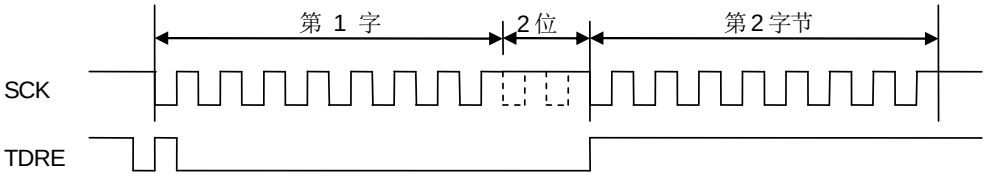
■ 连续数据传送或接收等待

如果连续数据传送或接收设置为 ESCR:WT1, ESCR:WT0=00 以外的值，则在帧之间插入等待。

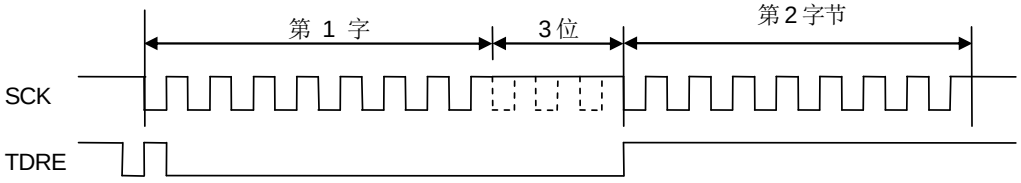
■ ESCR:WT1=0, ESCR:WT0=1(主机模式操作时)



■ ESCR:WT1=1, ESCR:WT0=0(主机模式操作时)



■ ESCR:WT1=1, ESCR:WT0=1(主机模式操作时)



从机模式操作（SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0）

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)且使能数据传送 (SCR:TXE=1)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。
2. 当串行芯片选择引脚 (SCS) 变为活动状态时，传送操作启动并在串行时钟(SCK)下降沿输入时同步输出传送数据。
3. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
4. 当串行芯片选择引脚 (SCS) 变为不活动状态时，传送操作停止且串行输出引脚(SOT)变为“High”。

注意事项:

- *如果使能数据传送 (SCR:TXE=1) 且在串行时钟 (SCK) 信号标志电平以外的时间将第一个传送数据写入 TDR，则不输出第一个数据位且数据传送可能失败。使能数据传送 (SCR:TXE=1)后，必须在串行时钟 (SCK) 的信号标志电平以及 SSR:TBI=1 时将第一个传送数据写入 TDR。*

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)、使能数据接收 (SCR:RXE=1) 且串行芯片选择引脚 (SCS) 变为活动状态，则启动数据接收并在串行时钟 (SCK) 上升沿输入时同步采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
3. 此时可读取接收到的数据 (RDR)。
4. 读取接收到的数据(RDR)后，SSR:RDRF 位清除为 "0"。
5. 当串行芯片选择引脚 (SCS) 变为不活动状态时，停止数据接收。

■ 数据接收和传送

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0" 并在串行时钟 (SCK) 的下降沿输入时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 数据接收和传送过程中，在串行时钟 (SCK) 上升沿输入时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。
4. 当串行芯片选择引脚 (SCS) 变为不活动状态时，数据接收和传送停止且串行输出引脚 (SOT) 变为“High”。

3.2 正常传输（II）

特性

	项目	描述
1	串行时钟 (SCK) 信号标志电平	"LOW"
2	传送数据输出时序	SCK 信号上升沿
3	接收数据采样	SCK 信号下降沿
4	数据长度	5 ~ 16 位

寄存器设置

下表列出了正常传输(II) 所需的寄存器设置值。

Table 3-2 正常传输(II) 寄存器设置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR1	0	1/0	0	*	*	*	*	*	0	1	0	-	1	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1：设置为 "1"。

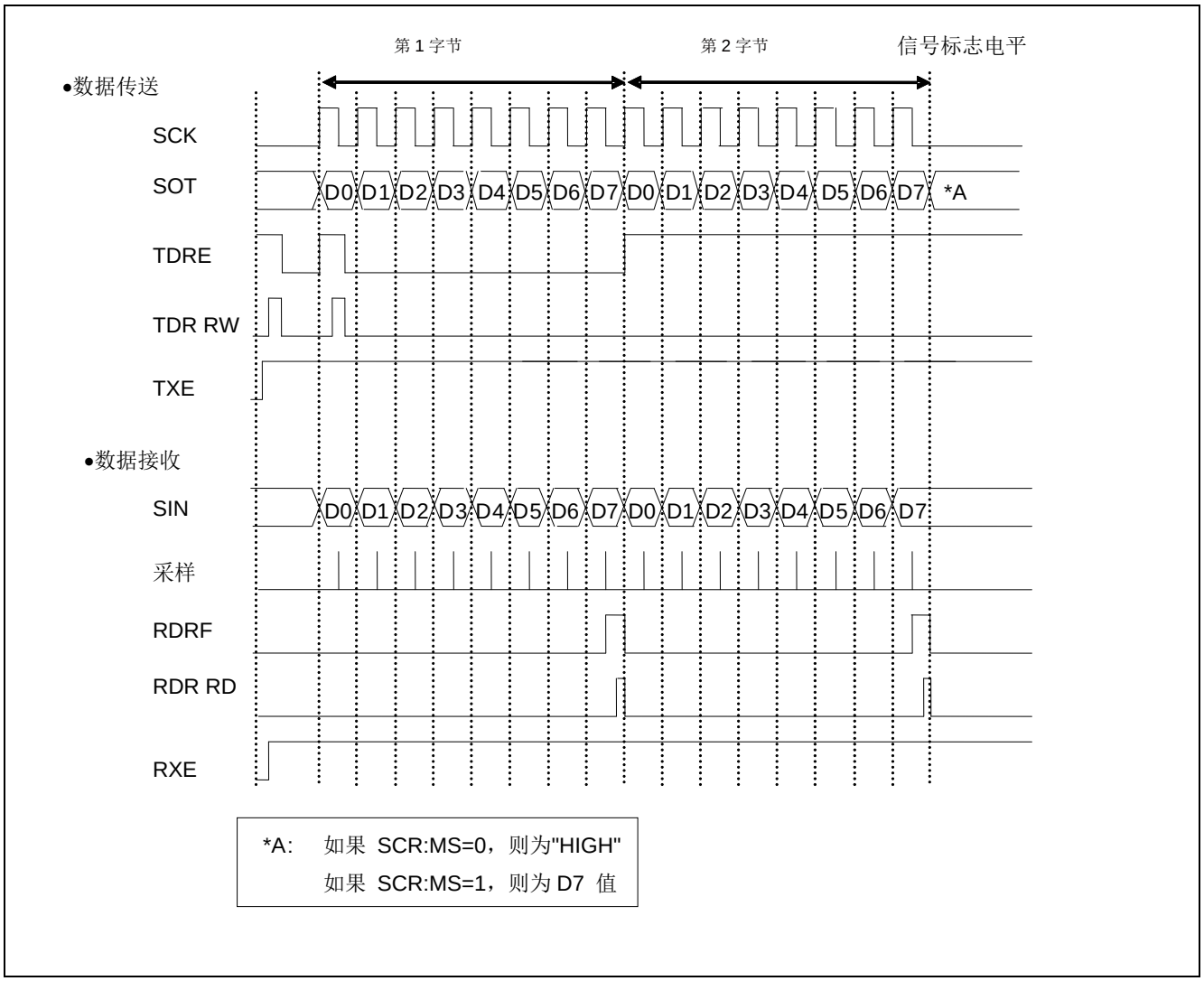
0：设置为 "0"。

*：用户相关值

注意事项：

- *以上位设置 (1/0) 因主机或从机模式操作而异。设置如下：*
  - *主机模式操作时：SCR:MS=0, SMR:SCKE=1*
  - *从机模式操作时：SCR:MS=1，SMR:SCKE=0*

正常传输(II) （不使用串行芯片选择引脚时）



主机模式操作（SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0=”0000”）

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)，使能数据传送 (SCR:TXE=1) 且禁用数据接收 (SCR:RXE=0)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。这样可在串行时钟(SCK)上升沿输出时同步输出传送数据。
2. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)，使能数据传送 (SCR:TXE=1) 且使能数据接收 (SCR:RXE=1)，则当哑数据写入 TDR 时，在串行时钟 (SCK) 下降沿输出时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。此时如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。

注意事项:

- *如果只执行数据接收，则在 TDR 写入哑数据，以便输出串行时钟 (SCK)。*
- *如果使能 FIFO 传送和接收，则当 FBYTE 寄存器中设置了要传输的帧时，输出预设帧数的串行时钟 (SCK)。*

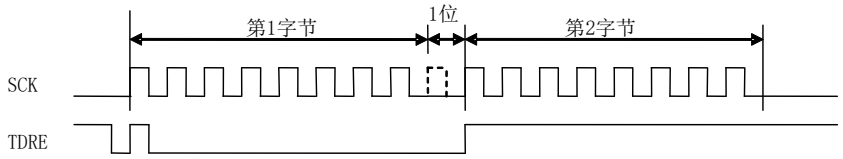
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0" 且在串行时钟 (SCK) 上升沿输出时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在串行时钟 (SCK) 下降沿输出时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。

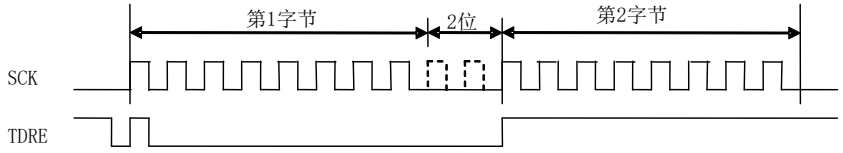
■ 连续数据传送或接收等待

如果连续数据传送或接收设置为 ESCR:WT1, ESCR:WT0=00 以外的值，则在帧之间插入等待。

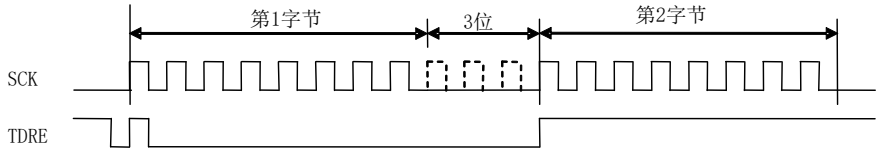
- ESCR:WT1, ESCR:WT0=01 (主机模式操作时)



- ESCR:WT1, ESCR:WT0=10 (主机模式操作时)



- ESCR:WT1, ESCR:WT0=11 (主机模式操作时)



从机模式操作(SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1) 且使能数据传送 (SCR:TXE=1)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。这样可在串行时钟 (SCK) 的上升沿输入时同步输出传送数据。
2. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。

注意事项:

- *如果使能数据传送 (SCR:TXE=1) 且在串行时钟 (SCK) 信号标志电平以外的时间将第一个传送数据写入 TDR，则不输出第一个数据位且数据传送可能失败。使能数据传送 (SCR:TXE=1)后，必须在串行时钟 (SCK) 的信号标志电平以及 SSR:TBI=1 时将第一个传送数据写入 TDR。*

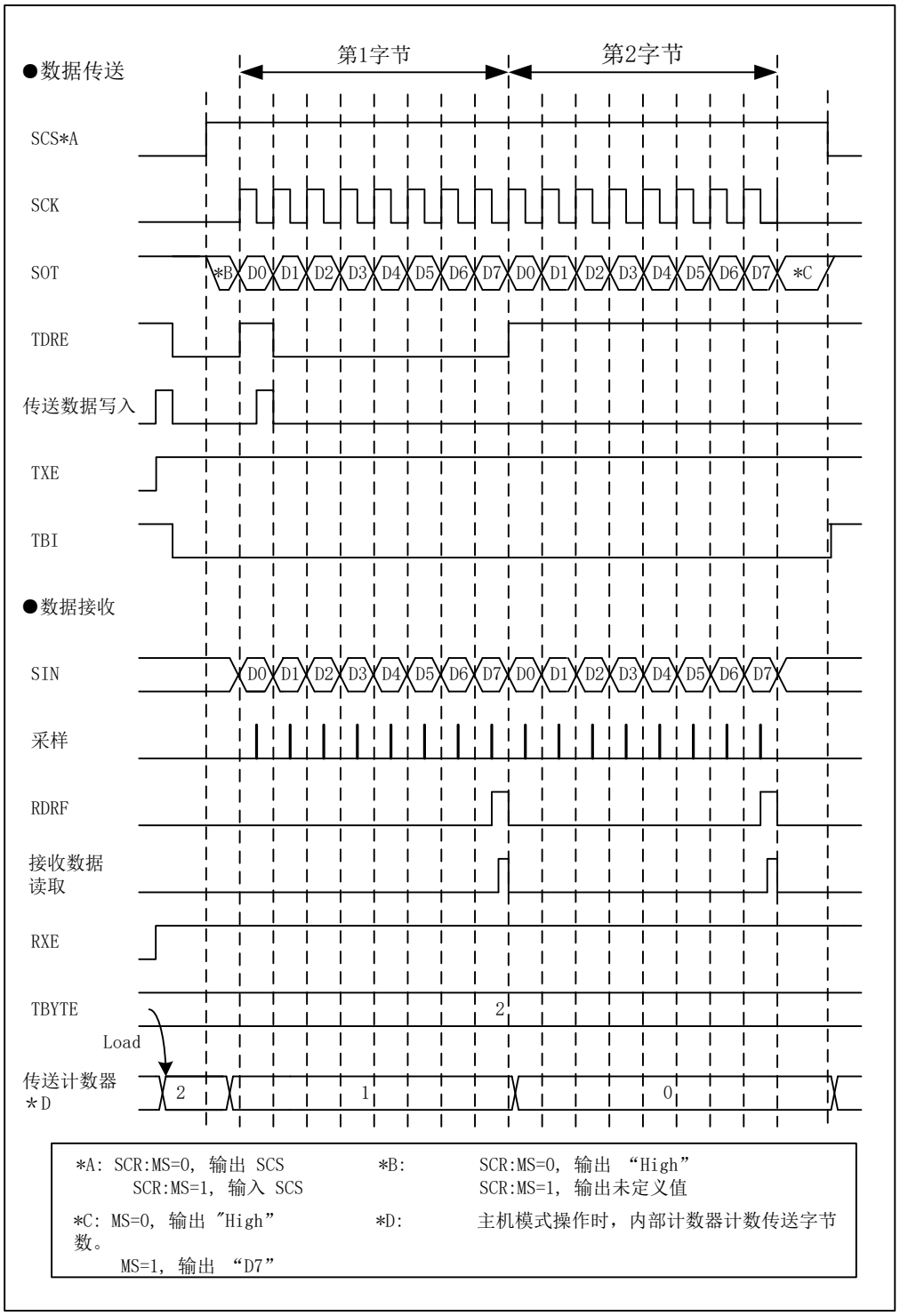
■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0) 且使能数据接收 (SCR:RXE=1)，则在串行时钟 (SCK) 下降沿输入时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。

■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0" 并在串行时钟 (SCK) 上升沿输入时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在串行时钟 (SCK) 下降沿输入时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。

正常传输 (II) 时间图（使用串行芯片选择引脚时）



主机模式操作（SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1）

*：“n” 为所用串行芯片选择引脚的编号

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)，使能数据传送 (SCR:TXE=1) 且禁用数据接收 (SCR:RXE=0)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。然后，在串行芯片选择引脚的设置时间结束后，串行芯片选择引脚 (SCS) 变为活动状态并启动串行时钟输出。启动串行时钟输出后，可在串行时钟(SCK)的上升沿输出时同步输出传送数据。
2. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 完成 TBYTE 指定的数据传送次数后，串行时钟停止。
4. 在串行时钟停止后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)，使能数据传送 (SCR:TXE=1) 且使能数据接收(SCR:RXE=1)，则当哑数据写入 TDR 时，在串行芯片选择引脚的设置时间结束后串行芯片选择引脚 (SCS) 变为活动状态并启动串行时钟输出。启动串行时钟输出后，在串行时钟 (SCK) 的下降沿输出时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。
4. 完成 TBYTE 指定的数据接收次数后，串行时钟停止。
5. 串行时钟停止后，串行芯片选择引脚的保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

注意事项：

- *如果只执行数据接收，则在 TDR 写入哑数据，以便输出串行时钟 (SCK)。*
- *如果使能 FIFO 传送和接收，则当 FBYTE 寄存器中设置了传输帧时，输出预设帧数的串行时钟 (SCK)。*

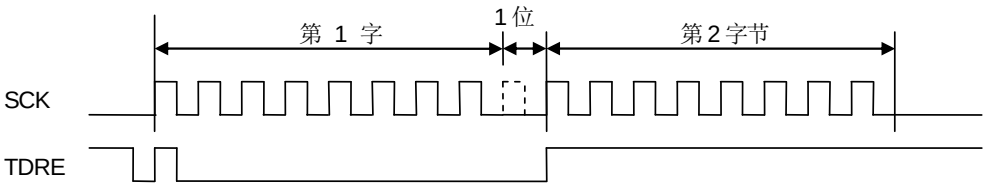
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。然后，在串行芯片选择引脚的设置时间结束后串行芯片选择引脚 (SCS) 变为活动状态并启动串行时钟输出。启动串行时钟输出后，在串行时钟 (SCK) 上升沿输出时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 数据传送和接收过程中，在串行时钟 (SCK) 的下降沿输出时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。
4. 完成 TBYTE 指定的数据接收和传送次数后，串行时钟停止。
5. 停止串行时钟输出后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

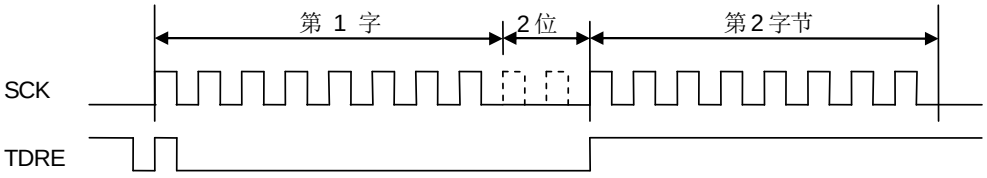
■ 连续数据传送或接收等待

如果连续数据传送或接收设置为 ESCR:WT1, ESCR:WT0=00 以外的值，则在帧之间插入等待。

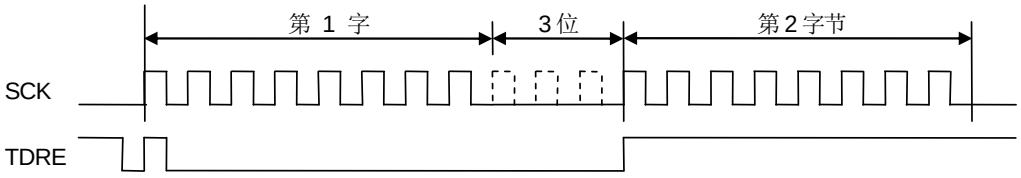
■ ESCR.WT1=0, ESCR.WT0=1(主机模式操作时)



■ ESCR.WT1=1, ESCR.WT0=0(主机模式操作时)



■ ESCR.WT1=1, ESCR.WT0=1(主机模式操作时)



从机模式操作（SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0）

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)且使能数据传送 (SCR:TXE=1)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。
2. 当串行芯片选择引脚 (SCS) 变为活动状态时，启动传送数据输出。然后在串行时钟 (SCK) 上升沿输入时同步输出传送数据。
3. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
4. 当串行芯片选择引脚 (SCS) 变为不活动状态时，数据传送停止且串行输出引脚 (SOT) 变为“High”。

注意事项：

- *如果使能数据传送 (SCR:TXE=1) 且在串行时钟 (SCK) 信号标志电平以外的时间将第一个传送数据写入 TDR，则不输出第一个数据位且数据传送可能失败。数据传送使能后 (SCR:TXE=1)，必须在串行时钟 (SCK) 的信号标志电平和 SSR:TBI=1 时将第一个传送数据写入 TDR。*

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)、使能数据接收 (SCR:RXE=1) 且串行芯片选择引脚 (SCS) 变为活动状态，则启动数据接收并在串行时钟 (SCK) 下降沿输入时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
3. 此时可读取接收到的数据 (RDR)。
4. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。
5. 当串行芯片选择引脚 (SCS) 变为不活动状态时，停止数据接收。

■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。然后，当串行芯片选择引脚 (SCS) 变为活动状态时，启动串行时钟输出。启动串行时钟输出后，在串行时钟 (SCK) 上升沿输入时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 数据传送和接收过程中，在串行时钟 (SCK) 下降沿输入时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。
4. 当串行芯片选择引脚 (SCS) 变为不活动状态且串行输出引脚 (SOT) 变为 “High” 时，停止串行时钟输出。

3.3 SPI 传输 (I)

特性

	项目	描述
1	串行时钟 (SCK) 信号标志电平	"HIGH"
2	传送数据输出时序	SCK 信号上升沿
3	接收数据采样	SCK 信号下降沿
4	数据长度	5 ~ 16 位

寄存器设置

下表列出了 SPI 传输 (I) 所需的寄存器设置值。

Table 3-3SPI 传输 (I)寄存器设置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR	0	1/0	1	*	*	*	*	*	0	1	0	-	0	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1：设置为 "1"。

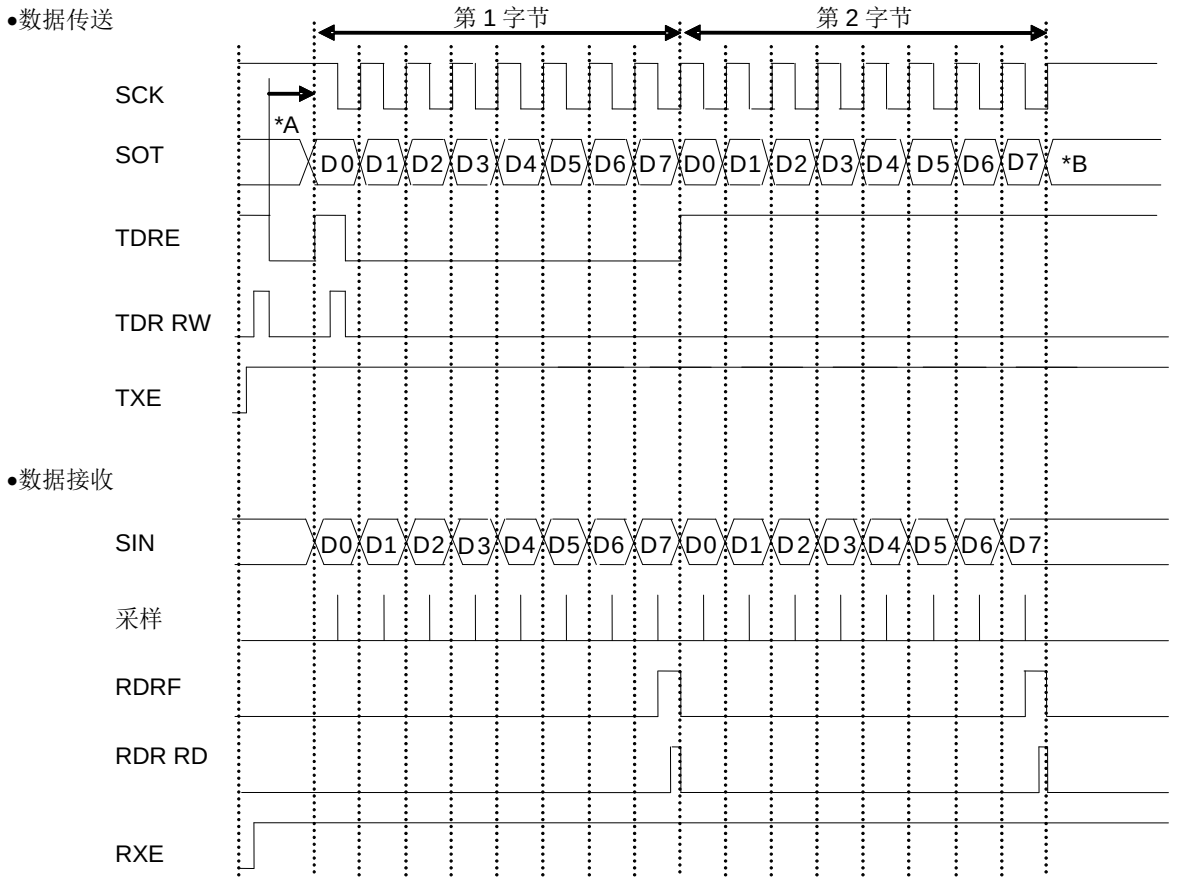
0：设置为 "0"。

*：用户相关值

注意事项：

- *以上位设置 (1/0) 因主机或从机模式操作而异。设置如下：*
  - *主机模式操作时：SCR:MS=0, SMR:SCKE=1*
  - *从机模式操作时：SCR:MS=1, SMR:SCKE=0*

SPI 传输(I) 时间图（不使用串行芯片选择引脚时）



*A: 从机模式传送过程中(MS=1, SCKE=0, SOE=1), TDR 内写入数据后需要 4 设备周期或更长时间 .

*B: 如果 SCR:MS=0，则为"HIGH"
如果 SCR:MS=1 且 TDRE 为"LOW"，则为第 3 字节的"D0"
如果 SCR:MS=1 且 TDRE 为 "HIGH"，则为"HIGH"

主机模式操作（SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0=”0000”）

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)，使能数据传送 (SCR:TXE=1) 且禁用数据接收 (SCR:RXE=0)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。这样会输出第一位。然后，在串行时钟 (SCK) 上升沿输出时同步输出传送数据。
2. SSR:TDRE 位在串行时钟 (SCK) 下降沿的半周期输出之前设置为 "1"。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)，使能数据传送 (SCR:TXE=1) 且使能数据接收 (SCR:RXE=1)，则当哑数据写入 TDR 时，在串行时钟 (SCK) 下降沿输出时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。此时如果使能接收中断 (SCR:RIE=1)，则会输出接收中断请求。
   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。

注意事项:

- *如果只执行数据接收，则在 TDR 写入哑数据，以便输出串行时钟 (SCK)。*
- *如果使能 FIFO 传送和接收，则当 FBYTE 寄存器中设置了要传输的帧时，输出预设帧数的串行时钟 (SCK)。*

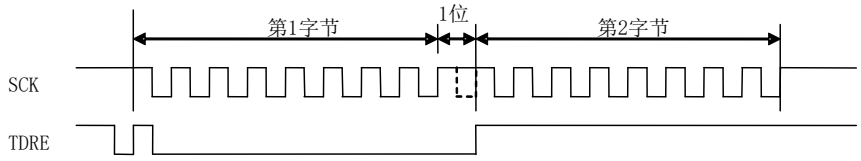
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 设置为 "0" 并输出第一位。然后，在串行时钟 (SCK) 上升沿输出时同步输出传送数据。SSR:TDRE 位在第一个串行时钟下降沿的半周期之前设置为 "1"。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在串行时钟 (SCK) 下降沿输出时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。

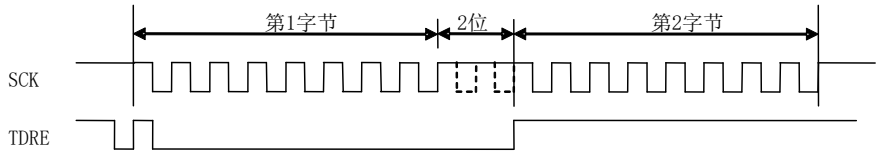
■ 连续数据传送或接收等待

如果连续数据传送或接收设置为 ESCR:WT1, ESCR:WT0=00 以外的值，则在帧之间插入等待。

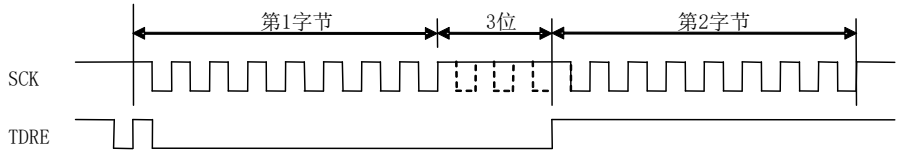
- ESCR:WT1, ESCR:WT0=01 (主机模式操作时)



- ESCR:WT1, ESCR:WT0=10 (主机模式操作时)



- ESCR:WT1, ESCR:WT0=11 (主机模式操作时)



从机模式操作(SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1) 且使能数据传送 (SCR:TXE=1)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。这样会输出第一位。然后，在串行时钟 (SCK) 上升沿输出时同步输出传送数据。
2. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。

注意事项:

- *如果使能数据传送 (SCR:TXE=1) 且在串行时钟 (SCK) 信号标志电平以外的时间将第一个传送数据写入 TDR，则不输出第一个数据位且数据传送可能失败。数据传送使能后 (SCR:TXE=1)，必须在串行时钟 (SCK) 的信号标志电平和 SSR:TBI=1 时将第一个传送数据写入 TDR。*

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0) 且使能数据接收 (SCR:RXE=1)，则在串行时钟 (SCK) 下降沿输入时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。

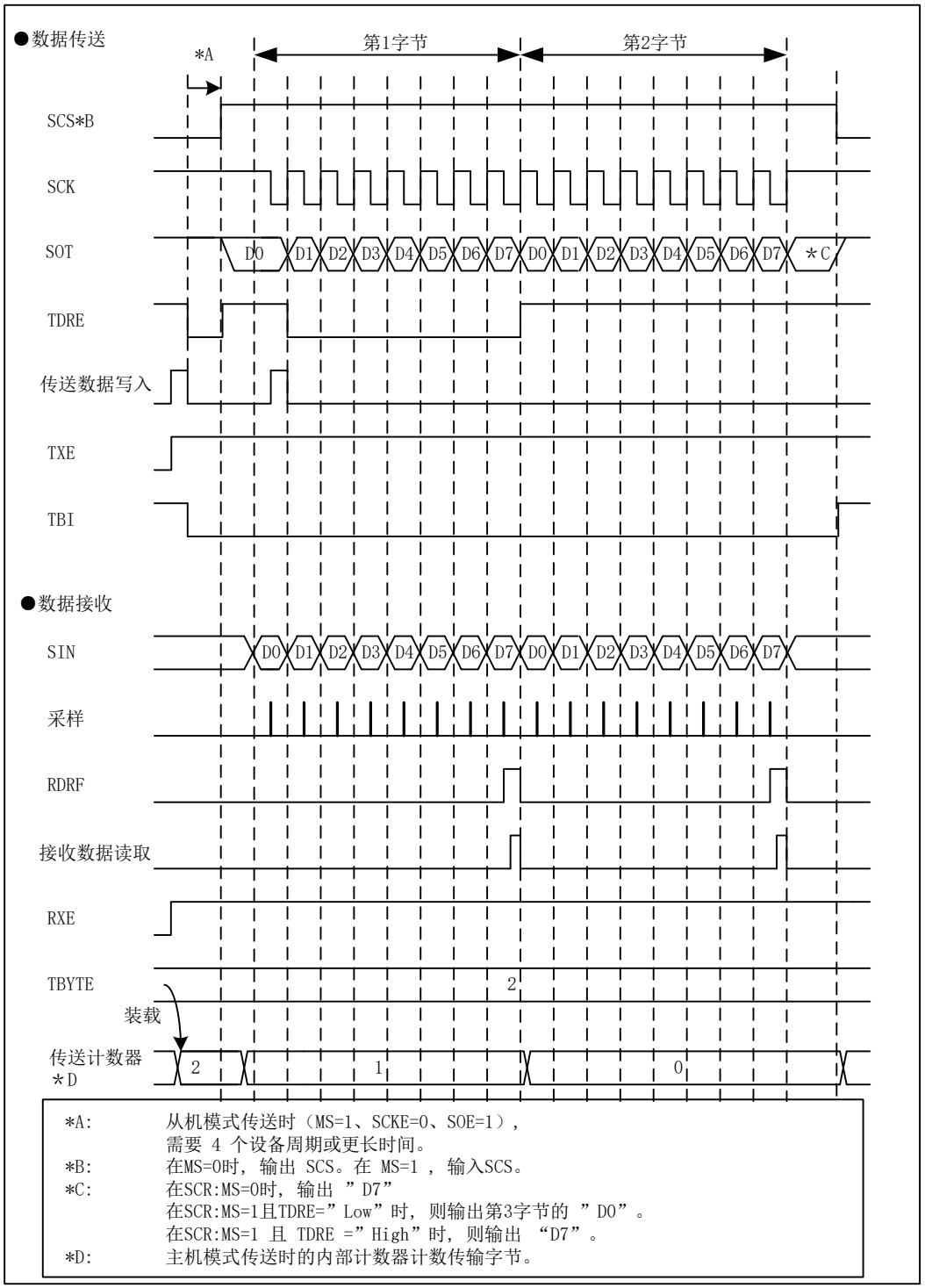
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 设置为 "0" 并输出第一位。然后在串行时钟 (SCK) 上升沿输入时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在串行时钟 (SCK) 下降沿输入时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。

■ 连续从数据接收转换至传送

1. 禁用串行数据输出 (SMR:SOE=0)，使能接收中断 (SCR:RIE=1)，使能数据接收 (SCR:RXE=1)并使能数据传送(SCR:TXE=1)。如果在串行时钟 (SCK) 的信号标志电平将哑数据写入 TDR，则在串行时钟 (SCK) 下降沿输入时采样接收到的数据。
2. 如果继续数据接收，则从请求接收中断至下一次串行时钟 (SCK) 上升的时间内将哑数据写入 TDR。
3. 如果从数据接收转换到数据传送时，则从请求接收中断至下一次串行时钟 (SCK) 上升的时间内使能串行数据输出 (SMR:SOE=1)，禁用接收中断 (SCR:RIE=0) 并禁用数据接收 (SCR:RXE=0)。而且，当传送数据写入 TDR 且数据接收已完成后，在串行时钟的上升沿输出时同步传送数据。

SPI 传输(I)（使用串行芯片选择引脚时）



主机模式操作（SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1）

*：“n” 为所用串行芯片选择引脚的编号

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)，使能数据传送 (SCR:TXE=1) 且禁用数据接收 (SCR:RXE=0)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。于是输出第一位传送数据，并同时串行芯片选择引脚 (SCS) 变为活动状态。然后，在串行芯片选择引脚的设置时间结束后启动串行时钟输出。启动串行时钟输出后，可在串行时钟 (SCK) 上升沿输出时同步输出传送数据。
2. 在第一个串行时钟 (SCK) 下降沿的半周期输出之前，SSR:TDRE 位设置为 “1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 完成 TBYTE 指定的数据传送次数后，串行时钟停止。
4. 在串行时钟停止后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)，使能数据传送 (SCR:TXE=1) 且使能数据接收 (SCR:RXE=1)，则当哑数据写入 TDR 时，串行芯片选择引脚 (SCS) 变为活动状态，然后在串行芯片选择引脚 (SCS) 的设置时间结束后启动串行时钟输出。启动串行时钟输出后，在串行时钟 (SCK) 下降沿输出时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。此时如果使能接收中断 (SCR:RIE=1)，则会输出接收中断请求。

   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。
4. 完成 TBYTE 指定的数据接收次数后，串行时钟输出停止。
5. 停止串行时钟输出后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

注意事项：

- *如果只执行数据接收，则在 TDR 写入哑数据，以便输出串行时钟 (SCK)。*
- *如果使能 FIFO 传送和接收，则当 FBYTE 寄存器中设置了要传输的帧时，输出预设帧数的串行时钟 (SCK)。*

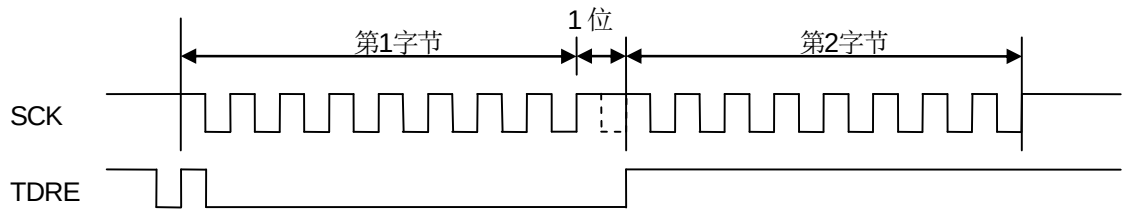
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 传送数据写入 TDR 时，SSR:TDRE 设置为 "0" 并输出第一位，同时串行芯片选择引脚 (SCS) 变为活动状态。串行芯片选择引脚的设置时间结束后，串行时钟输出启动。串行时钟输出后，在串行时钟 (SCK) 上升沿输出时同步输出传送数据。在第一个串行时钟 (SCK) 下降沿的半周期输出之前，SSR:TDRE 位设置为 “1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在串行时钟 (SCK) 下降沿输出时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为 “1” 。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。
4. 完成 TBYTE 指定的数据接收次数后，串行时钟输出停止。
5. 停止串行时钟输出后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

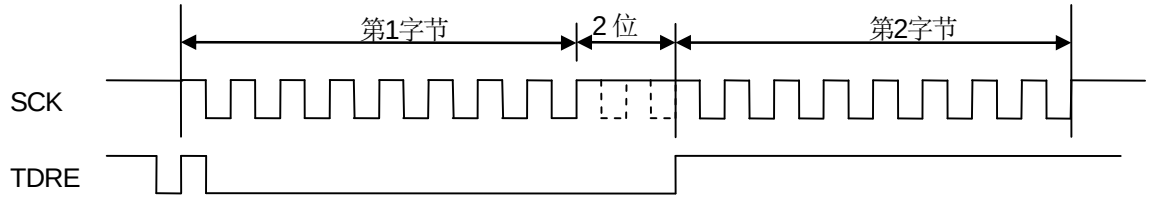
■ 连续数据传送或接收等待

如果连续数据传送或接收设置为 ESCR:WT1, ESCR:WT0=00 以外的值，则在帧之间插入等待。

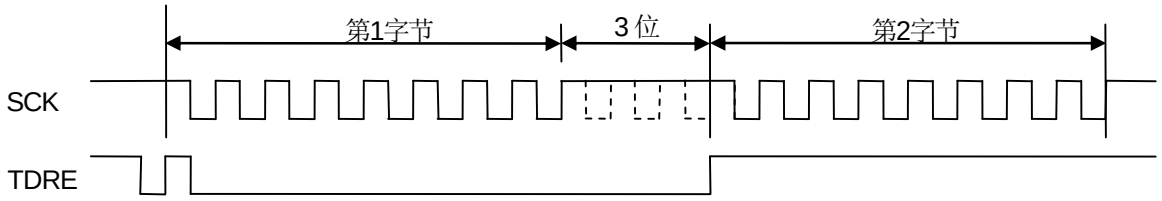
■ ESCR.WT1=0, ESCR.WT0=1(主机模式操作时)



■ ESCR.WT1=1, ESCR.WT0=0(主机模式操作时)



■ ESCR.WT1=1, ESCR.WT0=1(主机模式操作时)



从机模式操作（SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:SCAM=0）

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1) 且使能数据传送 (SCR:TXE=1)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。
2. 当串行芯片选择引脚 (SCS) 变为活动状态时，启动传送数据输出。然后，在串行时钟 (SCK) 上升沿输出时同步输出传送数据。
3. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
4. 当串行芯片选择引脚 (SCS) 变为不活动状态时，数据传送停止且串行输出引脚 (SOT) 变为“High”。

注意事项：

- *如果使能数据传送 (SCR:TXE=1) 并在标志电平以外的电平时将第一个传送数据写入 TDR，则不输出第一位数据且不执行正常数据传送。数据传送使能后 (SCR:TXE=1)，在串行时钟 (SCK) 处于标志电平时将第一个传送数据写入 TDR。*

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)、数据接收使能 (SCR:RXE=1) 且串行芯片选择引脚 (SCS) 变为活动状态，则启动数据接收并在串行时钟 (SCK) 下降沿输入时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
3. 此时可读取接收到的数据 (RDR)。
4. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。
5. 当串行芯片选择引脚 (SCS) 变为不活动状态时，停止数据接收。

■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 设置为 "0"。然后，串行芯片选择引脚 (SCS) 变为活动状态，于是启动数据传送和接收并输出第一位。在串行芯片选择引脚的设置时间结束后，启动传送数据输出。启动数据传送和接收后，在串行时钟 (SCK) 上升沿输入时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在串行时钟 (SCK) 下降沿输入时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。
4. 当串行芯片选择引脚 (SCS) 变为不活动状态时，串行时钟输出停止且串行输出引脚 (SOT) 变为“High”。

3.4 SPI 传输 (II)

特性

	项目	描述
1	串行时钟 (SCK) 信号标志电平	"LOW"
2	传送数据输出时序	SCK 信号下降沿
3	接收数据采样	SCK 信号上升沿
4	数据长度	5 ~ 16 位

寄存器设置

下表列出了 SPI 传输 (II)所需的寄存器设置值。

Table 3-4SPI 传输 (II)寄存器设置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR	0	1/0	1	*	*	*	*	*	0	1	0	-	1	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1：设置为 "1"。

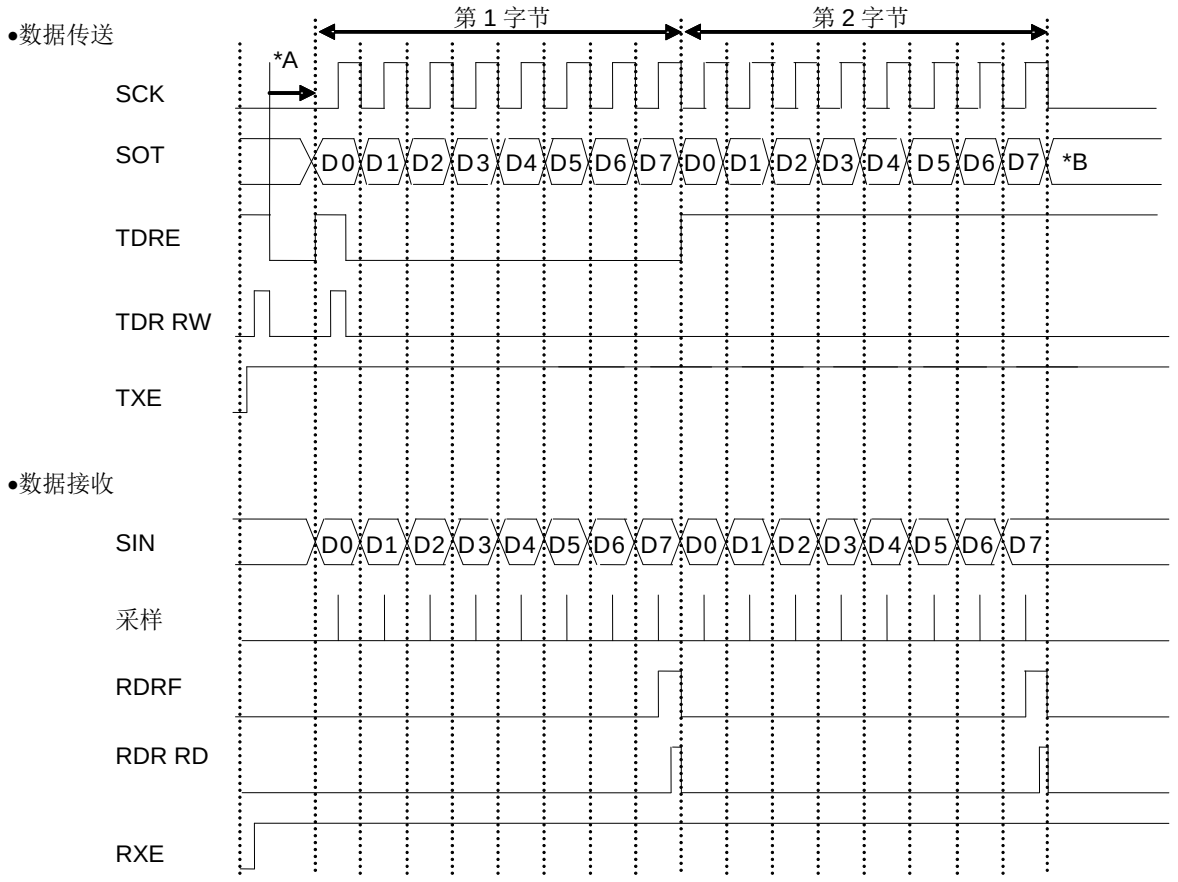
0：设置为 "0"。

*：用户相关值

注意事项：

- *以上位设置 (1/0) 因主机或从机模式操作而异。设置如下：*
  - *主机模式操作时：SCR:MS=0, SMR:SCKE=1*
  - *从机模式操作时：SCR:MS=1, SMR:SCKE=0*

SPI 传输 (II)时间表（不使用串行芯片选择引脚时）



*A: 从机模式传送过程中(MS=1, SCKE=0, SOE=1), TDR 内写入数据后需要 4 设备周期
或更长时间 .
*B: 如果 SCR:MS=0，则为"HIGH"
如果 SCR:MS=1 且 TDRE 为"LOW"，则为第 3 字节的"D0"
如果 SCR:MS=1 且 TDRE 为 "HIGH"，则为"HIGH"

主机模式操作（SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0=”0000”）

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)，使能数据传送 (SCR:TXE=1) 且禁用数据接收 (SCR:RXE=0)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。这样可在串行时钟下降沿输出时同步输出传送数据。
2. 在第一个串行时钟 (SCK) 上升沿的半周期输出之前，SSR:TDRE 位设置为 "1"。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)，使能数据传送 (SCR:TXE=1) 且使能数据接收 (SCR:RXE=1)，则当哑数据写入 TDR 时，则在串行时钟 (SCK)上升沿输出时采样接收到的数据
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。此时如果使能接收中断 (SCR:RIE=1)，则会输出接收中断请求。
   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。

注意事项：

- *如果只执行数据接收，则在 TDR 写入哑数据，以便输出串行时钟 (SCK)。*
- *如果使能 FIFO 传送和接收，则当 FBYTE 寄存器中设置了要传输的帧时，输出预设帧数的串行时钟 (SCK)。*

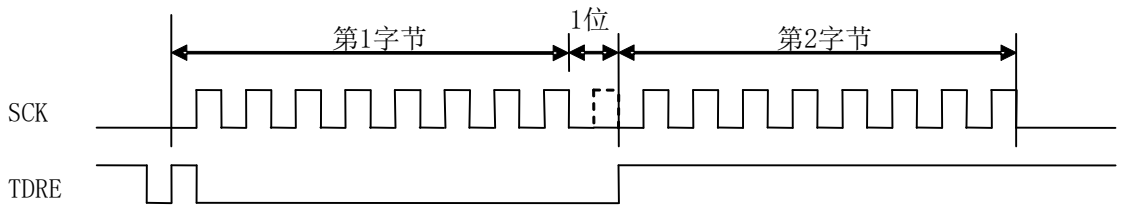
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 设置为 "0" 并输出第一位。然后，同步串行时钟 (SCK) 输出的下降沿输出传送数据。在第一个串行时钟上升沿的半周期之前，SSR:TDRE 位设置为“1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 则在串行时钟 (SCK)上升沿输出时采样接收到的数据收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。

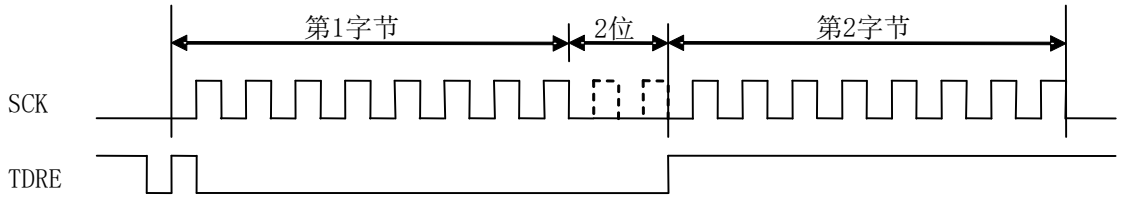
■ 连续数据传送或接收等待

如果连续数据传送或接收设置为 ESCR:WT1, ESCR:WT0=00 以外的值，会在帧之间插入等待。

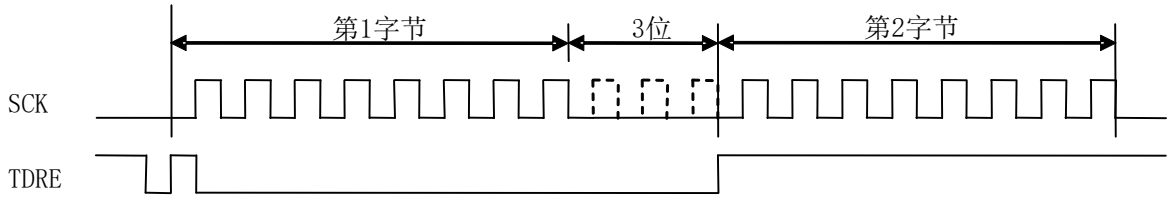
- ESCR:WT1, ESCR:WT0=01 (主机模式操作时)



- ESCR:WT1, ESCR:WT0=10 (主机模式操作时)



- ESCR:WT1, ESCR:WT0=11 (主机模式操作时)



从机模式操作（SCR:MS=1, SMR:SCKE=0, SCSCR:SCEN0=0）

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1) 且使能数据传送 (SCR:TXE=1)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。这样会输出第一位。然后在串行时钟 (SCK) 下降沿输入时同步输出传送数据。
2. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。

注意事项:

- *如果使能数据传送 (SCR:TXE=1) 且在串行时钟 (SCK) 信号标志电平以外的时间将第一个传送数据写入 TDR，则不输出第一个数据位且数据传送可能失败。数据传送使能后 (SCR:TXE=1)，必须在串行时钟 (SCK) 的信号标志电平和 SSR:TBI=1 时将第一个传送数据写入 TDR。*

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0) 且使能数据接收 (SCR:RXE=1)，则在串行时钟 (SCK) 上升沿输入时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
   此时可读取接收到的数据 (RDR)。
3. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。

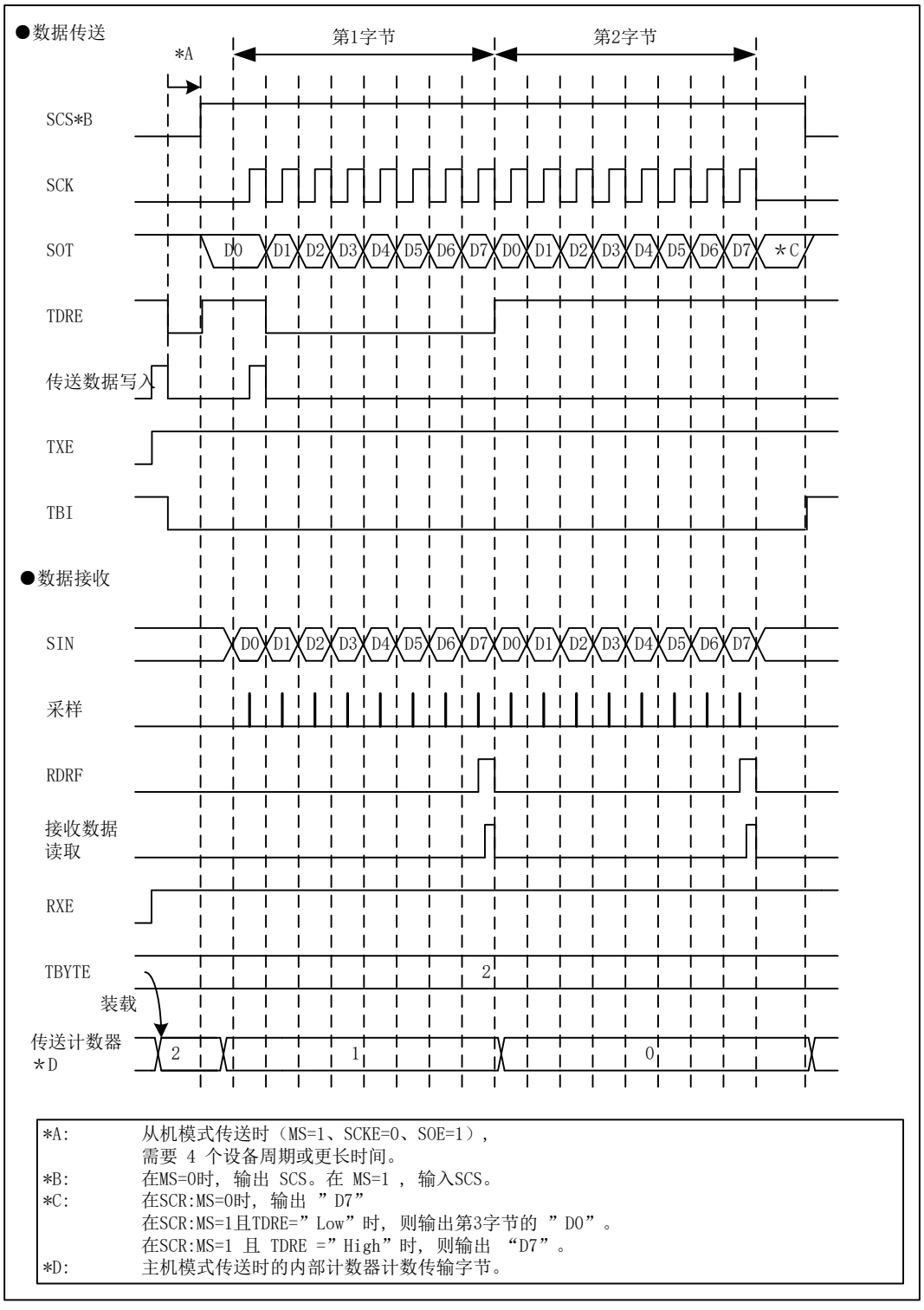
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 当传送数据写入 TDR 时，SSR:TDRE 设置为 "0" 并输出第一位。然后在串行时钟 (SCK) 下降沿输入时同步输出传送数据。输出第一位传送数据后，SSR:TDRE 位设置为”1”。如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在串行时钟 (SCK) 上升沿输入时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。

■ 连续从数据接收转换至传送

1. 禁用串行数据输出 (SMR:SOE=0)，使能接收中断 (SCR:RIE=1)，使能数据接收 (SCR:RXE=1)并使能数据传送(SCR:TXE=1)。如果在串行时钟 (SCK) 的信号标志电平将哑数据写入 TDR，则在串行时钟 (SCK)下降沿输入时采样接收到的数据。
2. 如果继续数据接收，则从请求接收中断至下一次串行时钟 (SCK) 上升的时间内将哑数据写入 TDR。
3. 如果从数据接收转换到数据传送，则从请求接收中断至下一次串行时钟 (SCK) 上升的时间内使能串行数据输出 (SMR:SOE=1)，禁用接收中断 (SCR:RIE=0) 并禁用数据接收 (SCR:RXE=0)。而且在传送数据写入 TDR 且数据接收已完成后，在串行时钟的上升沿输出时同步传送数据。

SPI 传输 (II) 时间表（使用串行芯片选择引脚时）



*A:	从机模式传送时（MS=1、SCKE=0、SOE=1）， 需要 4 个设备周期或更长时间。
*B:	在MS=0时，输出 SCS。在 MS=1 ，输入SCS。
*C:	在SCR:MS=0时，输出 ”D7”
	在SCR:MS=1且TDRE=”Low”时，则输出第3字节的 ”D0”。
	在SCR:MS=1 且 TDRE =”High”时，则输出 “D7”。
*D:	主机模式传送时的内部计数器计数传输字节。

主机模式操作（SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1）

*：“n” 为所用串行芯片选择引脚的编号

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1)，使能数据传送 (SCR:TXE=1) 且禁用数据接收 (SCR:RXE=0)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。于是输出第一位传送数据，并同时串行芯片选择引脚 (SCS) 变为活动状态。然后，在串行芯片选择引脚的设置时间结束后启动串行时钟输出。启动串行时钟输出后，可在串行时钟下降沿输出时同步输出传送数据。
2. 在第一个串行时钟 (SCK) 下降沿的半周期输出之前，SSR:TDRE 位设置为“1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 完成 TBYTE 指定的数据传送次数后，串行时钟停止。
4. 在串行时钟停止后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)，使能数据传送 (SCR:TXE=1) 且使能数据接收 (SCR:RXE=1)，则当哑数据写入 TDR 时，串行芯片选择引脚 (SCS) 变为活动状态，然后在串行芯片选择引脚 (SCS) 的设置时间结束后启动串行时钟输出。启动串行时钟输出后，则在串行时钟 (SCK)上升沿输出时采样接收到的数据
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。此时如果使能接收中断 (SCR:RIE=1)，则会输出接收中断请求。
3. 此时可读取接收到的数据 (RDR)。
4. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。
5. 完成 TBYTE 指定的数据接收次数后，串行时钟输出停止。
6. 停止串行时钟输出后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

注意事项：

- *如果只执行数据接收，则在 TDR 写入哑数据，以便输出串行时钟 (SCK)。*
- *如果使能 FIFO 传送和接收，则当 FBYTE 寄存器中设置了要传输的帧时，输出预设帧数的串行时钟 (SCK)。*

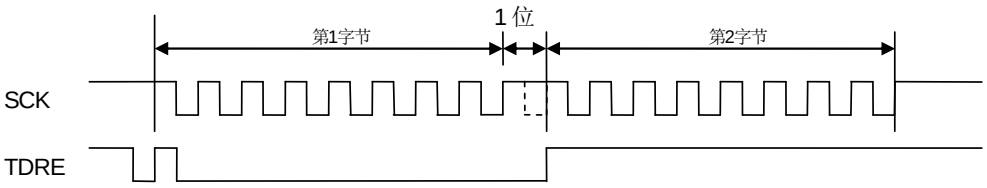
■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 传送数据写入 TDR 时，SSR:TDRE 设置为 "0" 并输出第一位，同时串行芯片选择引脚 (SCS) 变为活动状态。串行芯片选择引脚的设置时间结束后，启动串行时钟输出。输出串行时钟后，在串行时钟 (SCK) 下降沿输出时同步输出传送数据。在第一个串行时钟 (SCK) 上升沿的半周期输出之前，SSR:TDRE 位设置为 "1"。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 则在串行时钟 (SCK)上升沿输出时采样接收到的数据收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。
4. 完成 TBYTE 指定的数据接收次数后，串行时钟输出停止。
5. 停止串行时钟输出后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚 (SCS) 就变为不活动状态。但是，如果保持串行芯片选择活动电平 (SCSCR:SCAM=1)，则串行芯片选择引脚 (SCS) 保持为活动状态。

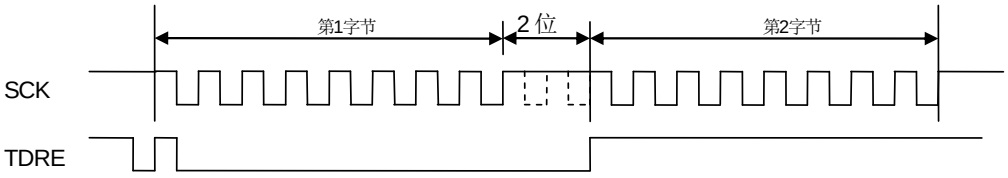
■ 连续数据传送或接收等待

如果连续数据传送或接收设置为 ESCR:WT1, ESCR:WT0=00 以外的值，则在帧之间插入等待。

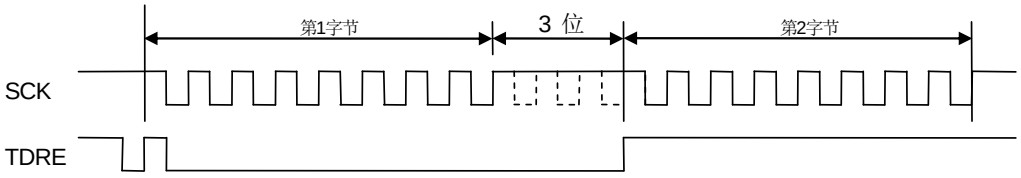
■ ESCR.WT1=0, ESCR.WT0=1(主机模式操作时)



■ ESCR.WT1=1, ESCR.WT0=0(主机模式操作时)



■ ESCR.WT1=1, ESCR.WT0=1(主机模式操作时)



从机模式操作（SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0）

■ 数据传送

1. 如果使能串行数据输出 (SMR:SOE=1) 且使能数据传送 (SCR:TXE=1)，则当传送数据写入 TDR 时，SSR:TDRE 位设置为 "0"。
2. 当串行芯片选择引脚 (SCS) 变为活动状态时，传送数据输出启动并输出传送数据的第一位。启动数据传送后，在串行时钟 (SCK) 下降沿输出时同步输出传送数据。
3. 输出第一位传送数据后，SSR:TDRE 位设置为”1”。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
4. 当串行芯片选择引脚 (SCS) 变为不活动状态时，数据传送停止且串行输出引脚 (SOT) 变为“High”。

注意事项：

- *如果使能数据传送 (SCR:TXE=1) 且在串行时钟 (SCK) 信号标志电平以外的时间将第一个传送数据写入 TDR，则不输出第一个数据位且数据传送可能失败。数据传送使能后 (SCR:TXE=1)，必须在串行时钟 (SCK) 的信号标志电平和 SSR:TBI=1 时将第一个传送数据写入 TDR。*

■ 数据接收

1. 如果禁用串行数据输出 (SMR:SOE=0)、数据接收使能 (SCR:RXE=1) 且串行芯片选择引脚 (SCS) 变为活动状态，则启动数据接收并在串行时钟 (SCK) 下降沿输入时采样接收到的数据。
2. 接收到最后一位时，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。
3. 此时可读取接收到的数据 (RDR)。
4. 读取接收到的数据 (RDR) 后，SSR:RDRF 位清除为 "0"。
5. 当串行芯片选择引脚 (SCS) 变为不活动状态时，停止数据接收。

■ 数据传送和接收

1. 同时执行数据传送和接收时，使能串行数据输出 (SMR:SOE=1) 并使能数据传送和接收 (SCR:TXE, RXE=1)。
2. 传送数据写入 TDR 时，SSR:TDRE 设置为 "0" 并输出第一位，同时串行芯片选择引脚 (SCS) 变为活动状态。启动数据传送和接收后，在串行时钟 (SCK) 下降沿输入时同步输出传送数据。第一位传送数据输出后，SSR:TDRE 位设置为 "1"。因此，如果使能传送中断 (SCR:TIE=1)，则输出传送中断请求。此时，可将第二字节的传送数据写入寄存器。
3. 在串行时钟 (SCK) 上升沿输入时采样接收到的数据。收到接收数据的最后一位后，SSR:RDRF 位设置为“1”。如果使能接收中断 (SCR:RIE=1)，则输出接收中断请求。此时可读取接收到的数据 (RDR)。读取接收到的数据后，SSR:RDRF 位清除为 "0"。
4. 当串行芯片选择引脚 (SCS) 变为不活动状态时，数据传送和接收停止且串行输出引脚 (SOT) 变为“High”。

4. 串行计时器操作

串行计时器用于计时器功能或同步传送功能。

串行计时器操作

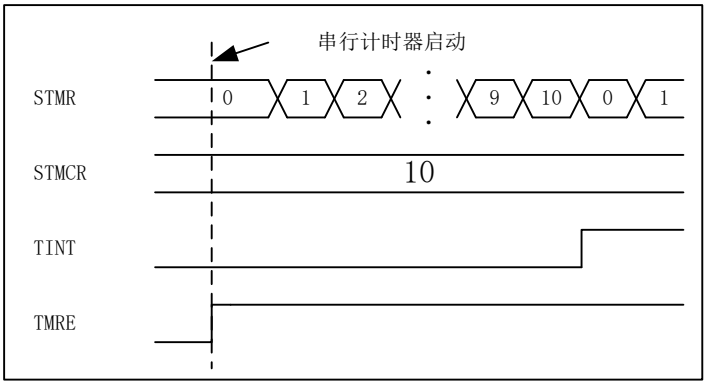
■ 串行计时器的启动方法

通过将串行计时器使能位 (SACSR:TMRE) 设置为 “1” 启动串行计时器。

– 通过串行计时器使能位 (SACSR:TMRE) 启动

当串行计时器使能位(SACSR:TMRE) 设置为 “1” 时，串行计时器启动且串行计时器寄存器 (STMR) 从 0 开始计数。

Figure 4-1 通过串行计时器使能位启动(STMCR=10, SACSR:TSYNE=0)



■ 串行计时器的停止方法

串行计时器使能位 (SACSR:TMRE) 设置为 “0”时，串行计时器停止。

这种情况下，保持串行计时器寄存器 (STMR) 的值。

■ 计时器操作

同步传送使能位 (SACSR:TSYNE) 设置为 0 时，串行计时器用作计时器。

当串行计时器寄存器 (STMR) 与串行计时器比较寄存器 (STMCR) 的值匹配时，计时器中断标志 (SACSR:TINT) 设置为 “1” 且串行计时器寄存器 (STMR) 复位为 “0”。

Figure 4-2 计时器操作（STMCR=10, SACSR:TSYNE=0）

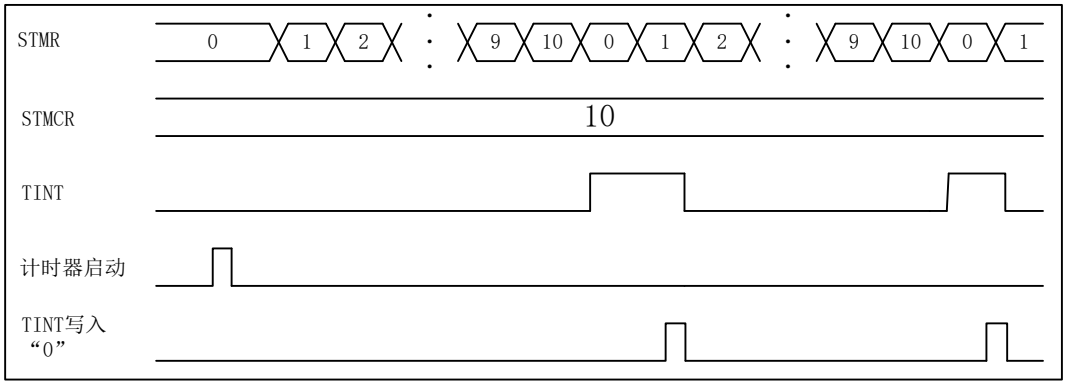


Figure 4-3 串行计时器初始设置流程图

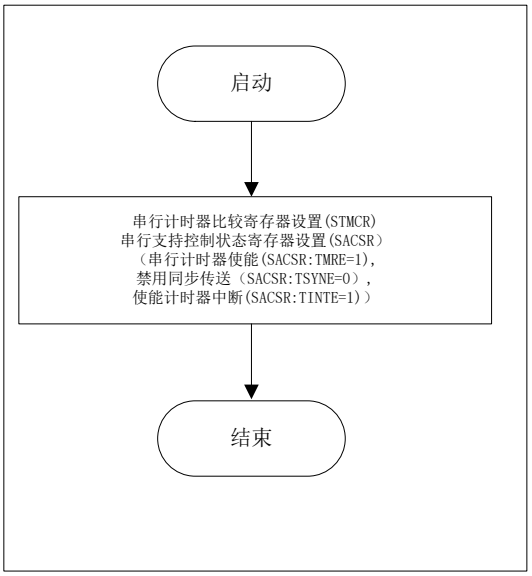
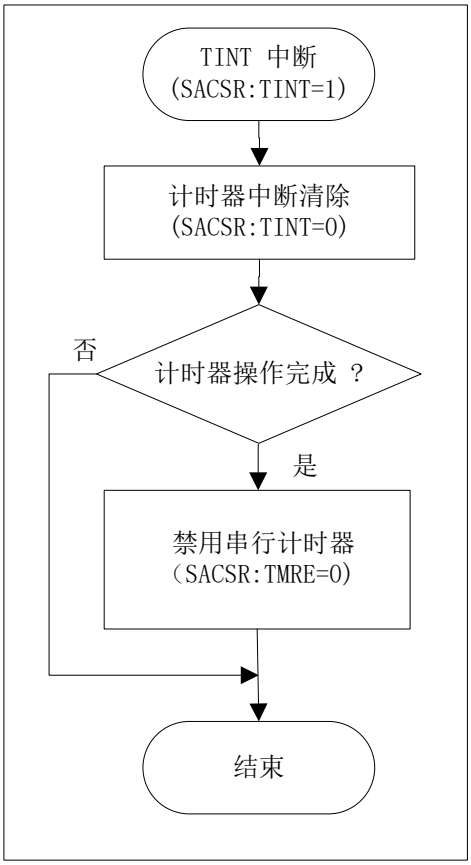


Figure 4-4 串行计时器中断进程流程图



注意事项:

- *满足下列条件时，计时器中断标志 (SACSR:TINT) 固定为 "1"。*
  - *禁用同步传送时 (SACSR:TSYNE="0")，计时器比较寄存器 (STMCR) 设置为 "0x0000"。*
  - *执行计时器操作时，计时器操作时钟 (SACSR:TDIV) 的分频比设置为 "0000"。*

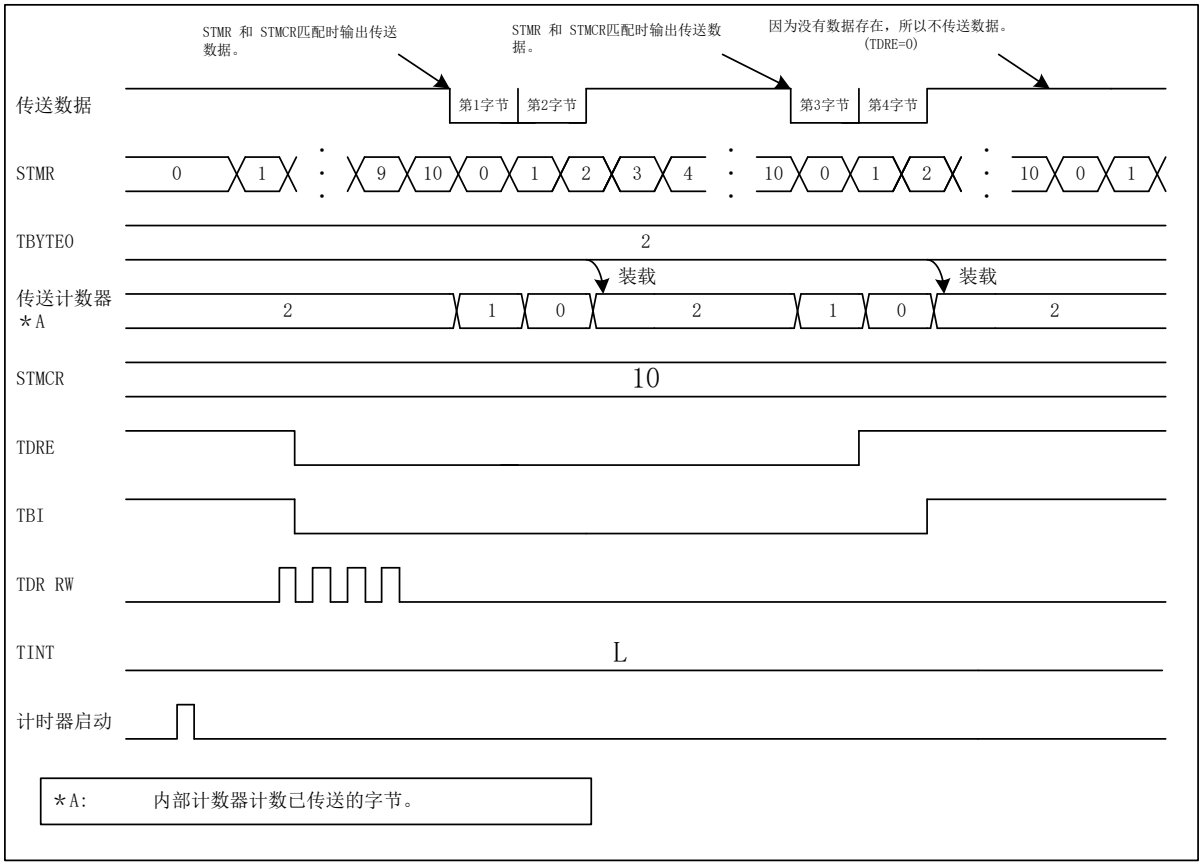
■ 同步计时器传送

同步传送使能位 (SACSR:TSYNE) 设置为 "1" 时，串行计时器用于同步传送。

通过计时器执行同步传送如下：

1. 当传送数据寄存器中存在数据时 (SSR:TDRE=" 0")，如果串行计时器寄存器 (STMR) 与串行计时器比较寄存器 (STMCR) 的值匹配，则启动传送且串行计时器寄存器复位为" 0"。传送 TBYTE0 指定的计数数据。
2. TBYTE0 指定的计数数据传送完成后，在串行计时器寄存器 (STMR) 与串行计时器比较寄存器 (STMCR) 的值再次匹配之前，停止数据传送。

Figure 4-5 同步计时器的传送（STMR=10, TBYTE0=2,SACSR:TSYNE=1）



如果使能同步传送 (SACSR:TSYNE=1) 且串行计时器寄存器 (STMR) 与串行计时器比较寄存器匹配，在下列条件下不启动传送：

- 传送禁用时 (SCR:TXE=0)；
- 从机模式操作时 (SCR:MS=1)；
- 传送数据寄存器中不存在有效数据时 (SSR:TDRE=1)。

但是，当传送数据寄存器中不存在有效数据时 (SSR:TDRE=1)，如果使能同步传送 (SACSR:TSYNE="1") 且串行计时器寄存器 (STMR) 与串行计时器比较寄存器匹配，则在传送数据写入传送数据寄存器后立即启动传送。

如果在 TBYTE 指定的计数数据传送结束后传送数据寄存器 (TDR) 中存在有效数据 (SSR:TDRE=0)，则在串行计时器寄存器 (STMR) 与串行计时器比较寄存器匹配之前不传输传送数据。

但是，当使能同步传送 (SACSR:TSYNE="1") 时，如果在传送过程中 (SSR:TBI=0 时) 串行计时器寄存器 (STMR) 与串行计时器比较寄存器匹配，则保留传送。当保留传送时，在已完成 TBYTE0 指定的传送次数后继续传送。

满足下列任一条件时释放传送保留：

- 可编程复位 (SCR:UPCL=1)
- 传送禁用 (SCR:TXE=0)
- 数据选择错误 (SACSR:CSE=1)

执行同步接收时，禁用串行数据输出 (SMR:SOE=0)，使能传送 (SCR:TXE=1) 和接收 (SCR:RXE=1)并将接收计数的哑数据写入 TDR。

Figure 4-6 计时器同步传送初始设置流程图

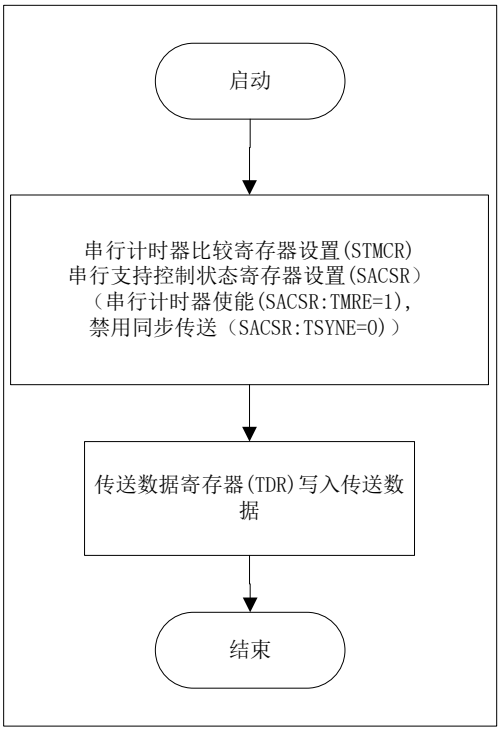
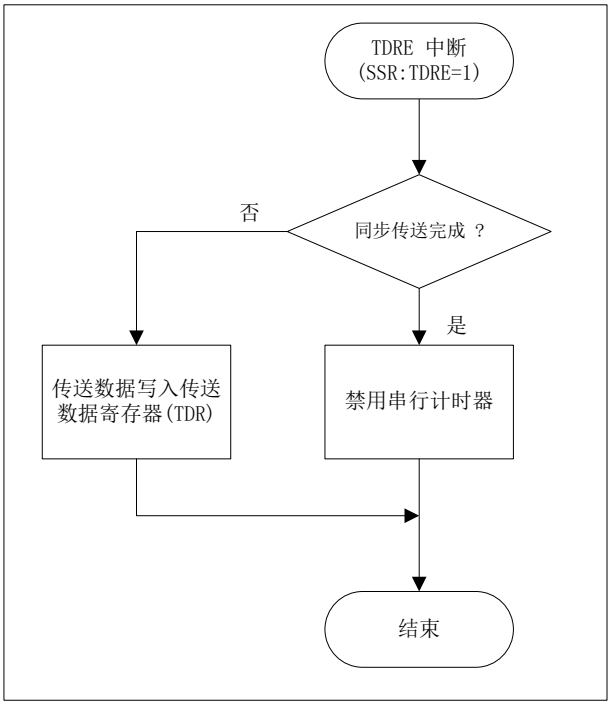


Figure 4-7 计时器同步传送中断处理流程图



注意事项:

- *如果在传送 TBYTE 中设置的数据帧之前传送数据寄存器 (TDR) 中不存在有效数据 (SSR:TDRE=1)，执行下列操作:*
  - *当使能传输字节错误 (TBEEN=1)时，会发生芯片选择错误 (SACSR:CSE=1)。当芯片选择错误标志 (SACSR:CSE) 设置为 "1"时，即使传送数据已写入传送数据寄存器 (TDR)，也不会启动传输。*
  - *当禁用传输字节错误 (TBEEN=0)时，在写入传送数据之前停止传送。写入传送数据后，重新启动数据传送。*

5. 串行芯片选择操作

本节说明串行芯片选择操作。

■ 主机模式操作 (SCR:MS=0)

主机模式时 (SCR:MS=0)，串行芯片选择引脚操作如下：

1. 如果在串行芯片选择操作使能(SCSCR:CSENn="1") 且传送使能 (SCR:TXE="1") 时写入传送数据，串行芯片选择引脚变为活动状态。
2. 在串行芯片选择引脚的设置时间结束后，启动数据传送和接收。
3. 完成 TBYTE 指定次数的数据传送和接收后，串行时钟停止。
4. 串行时钟停止后的串行芯片选择引脚保持时间一结束，串行芯片选择引脚就变为活动状态。

Figure 5-1 串行芯片选择操作（主机传送(MS=0)，正常传输(SPI=0)，SCINV=0）

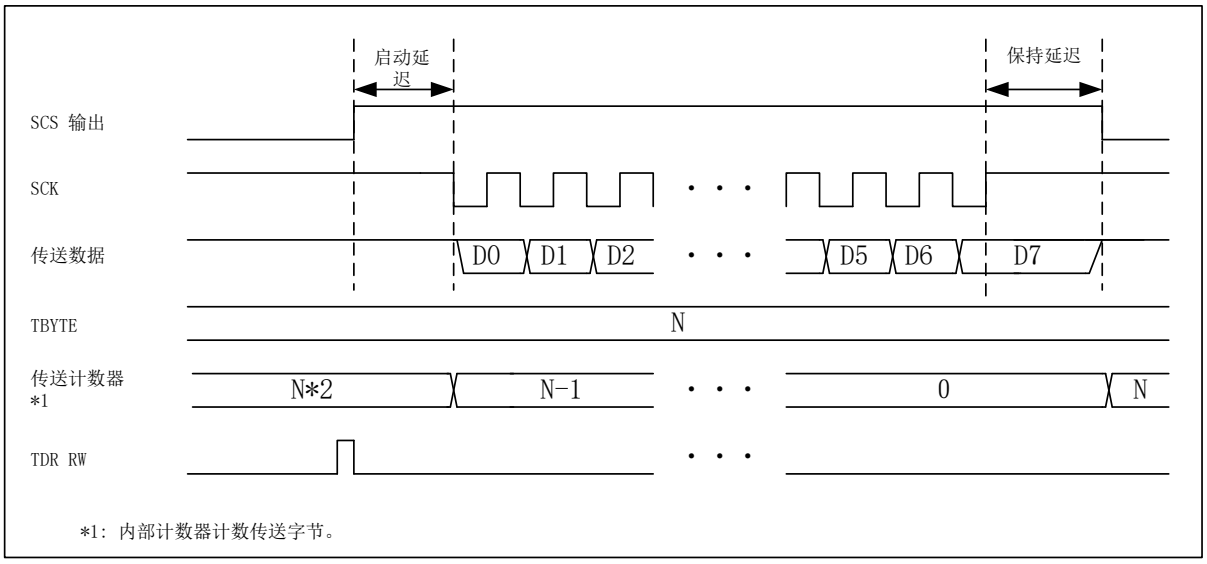
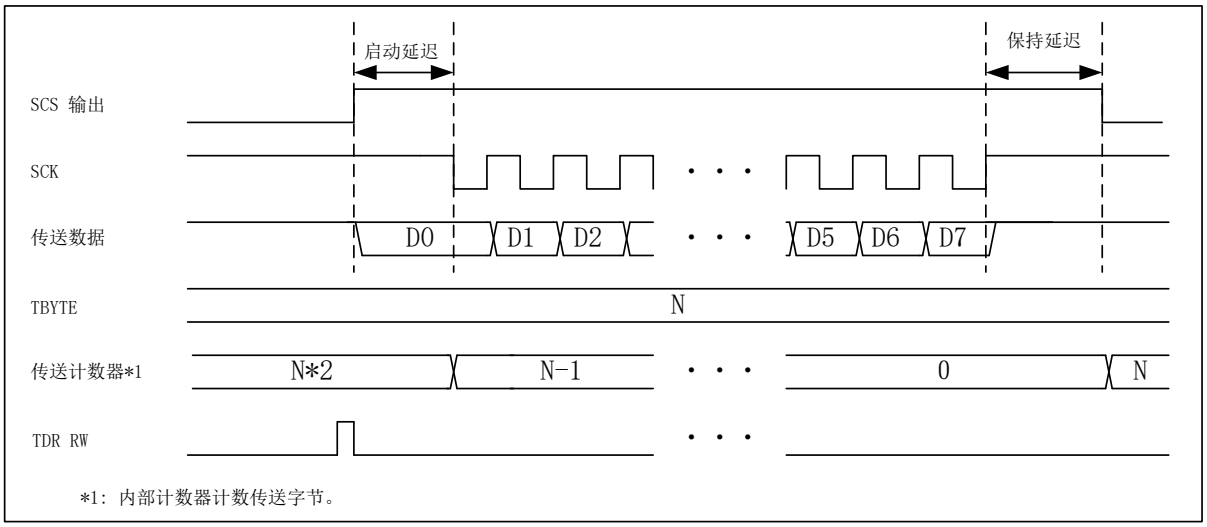


Figure 5-2 串行芯片选择操作（主机传送(MS=0)，SPI 传输(SPI=1)，SCINV=0）



注意事项：

- *如果在串行芯片选择引脚处于活动状态时禁用据传送 (SCR:TXE="0") 且执行软件复位 (SCR:UPCL=1)，则串行芯片选择引脚变为不活动状态。*
- *当串行芯片选择引脚不保持"活动状态" (SCSCR:SCAM=0)时，如果在取消选定时间结束后不存在传送数据 (SSR:TDRE=1)，则串行芯片选择引脚变为不活动状态且传送总线变为空闲状态 (SSR:TBI=1)。*
- *如果在主机模式操时 (SCR:MS=0) SCSCR:CSEN3-0 设置为 "0000"，则不论串行芯片选择引脚处于何种状态都会执行传送和接收操作。*
- *当传送的计数帧小于 TBYTE 指定的值时，如果传送数据寄存器 (TDR) 中不存在有效的传送数据 (SSR:TDRE=1)，则执行下列操作：*
  - *使能传输字节错误 (TBEEN=1)时，发生芯片选择错误 (SACSR:CSE=1)。芯片选择错误 (SACSR:CSE=1)后的串行芯片选择引脚在保持延迟时间一结束，串行芯片选择引脚就变为不活动状态。当芯片选择错误标志 (SACSR:CSE) 设置为 "1"时，即使传送数据写入传送数据寄存器 (TDR)，也不执行传送操作。*
  - *禁用传输字节错误时 (TBEEN=0)，在传送数据写入传送数据寄存器 (TDR)之前停止传送操作。此时，串行芯片选择引脚处于活动状态。传送数据写入传送数据寄存器 (TDR) 后，重新启动传送操作。*

■ 串行芯片选择时间调节

如果在主机模式操作时 (SCR:MS=0) 使能串行芯片选择操作 (SCSCR:CSENn=”1”)，则可通过改变串行芯片选择时序寄存器 (SCSTR3:0) 以调节设置延迟、保持延迟及取消选定的时间。

- 设置延迟时间

  设置延迟时间指从串行芯片选择引脚变为活动状态至输出串行时钟之间的时间。有关设置延迟时间的详细信息，参见 Figure 5-3 和 Figure 5-4。

  这个时间通过芯片选择设置延迟位 (SCSTR0:CSSU7:0) 调节。

- 保持延迟时间

  保持延迟时间指从完成串行时钟输出至串行芯片选择引脚变为活动非状态之间的时间。有关保持延迟时间的详细信息，参见 Figure 5-3 和 Figure 5-4。

  这个时间通过芯片选择保持延迟位 (SCSTR1:CSHD7:0) 调节。

- 取消选定时间

  “取消选定时间”指从串行芯片选择引脚变为不活动状态至串行芯片选择引脚再次变为活动状态之间的最短时间。取消选定时，即使将传送数据写入传送数据寄存器 (TDR)，在取消选定时间结束之前串行芯片选择引脚不会变为活动状态。有关取消选定时间的详细信息，参见 Figure 5-3 和 Figure 5-4。

  这个时间通过芯片选择取消选定位 (SCSTR3:2:CSDS15:0) 调节。

Figure 5-3 时序调节（正常传输(SPI=0), SCINV=0）

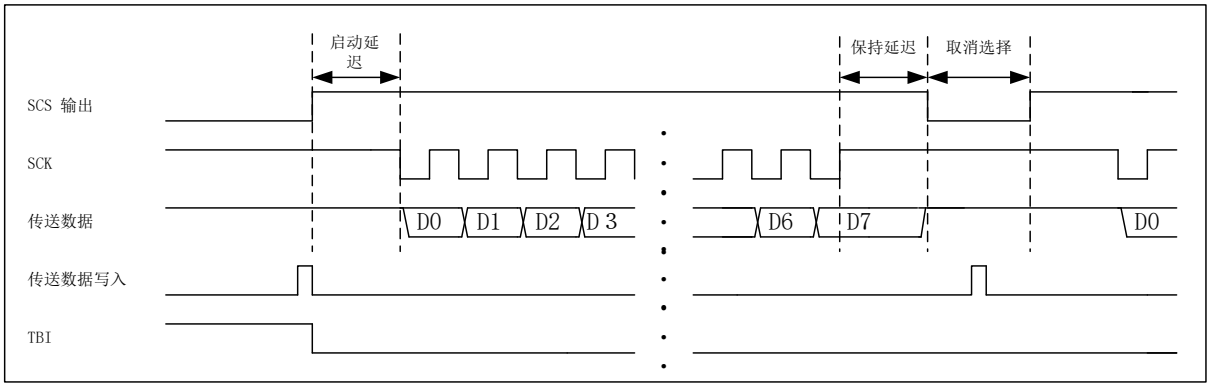
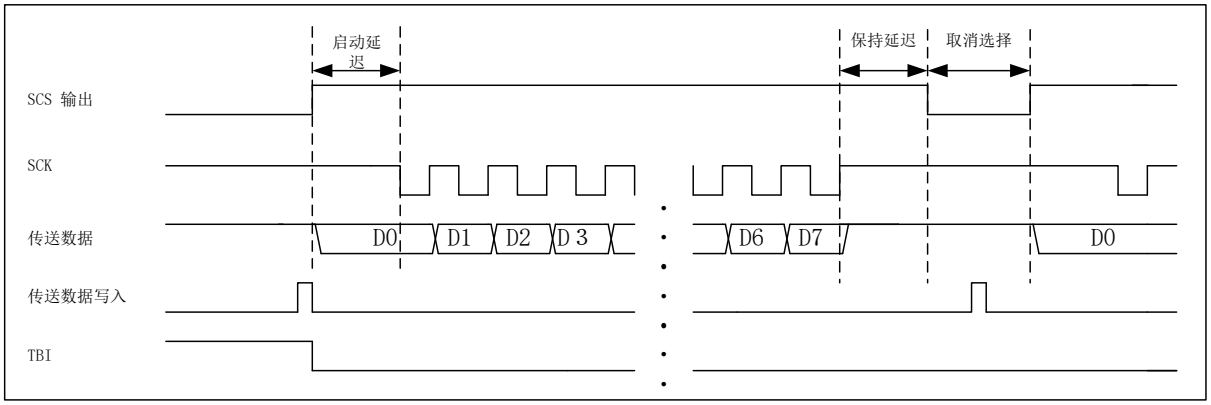


Figure 5-4 时序调节（SPI 传输(SPI=1), SCINV=0）



注意事项:

- *正常传输时 (SCR:SPI=0) 如果没有保持延迟时间 (SCSTR1:CSHD7:0=0x00)，则芯片选择引脚可能会在采样最后一位之前变为不活动状态。此种情况下，应增加 SCSTR1:CSHD7:0 的值以调节上述时序。*
- *正常传输时 (SCR:SPI=0) 如果没有设置延迟时间 (SCSTR0:CSSU7:0=0x00)，则芯片选择引脚可能会在采样第一位之前变为不活动状态。此种情况下，应增加 SCSTR0:CSSU7:0 的值以调节上述时序。*

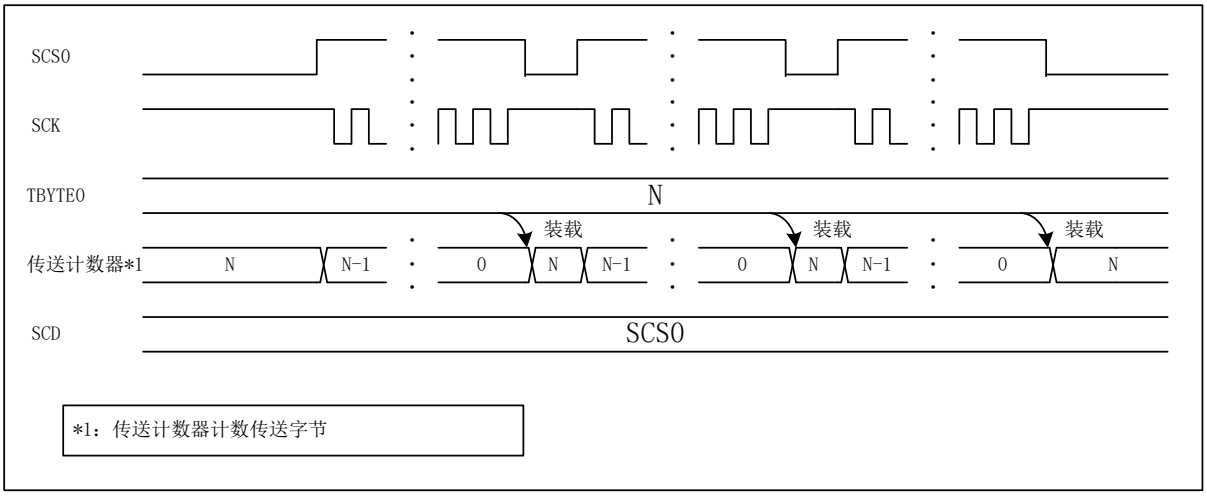
■ 芯片选择引脚独立操作（只有主机模式操作时 (SCR:MS=0) 可用）

当串行芯片选择启动位 (SCSCR:SST1-0) 与串行芯片选择结束位 (SCSCR:SED1-0) 相同时，只能在这些位设置的引脚操作芯片选择。

当不保持串行芯片选择的活动状态时 (SCSCR:SCAM=0)，每次完成 TBYTE 指定的次数数据传送和接收后，串行芯片选择引脚都会变为不活动状态。

有关串行芯片选择保持活动状态时 (SCSCR:SCAM=1) 串行芯片选择引脚的操作，参见“串行芯片选择活动状态保持操作”。

Figure 5-5 芯片选择独立操作（SST1-0=0, SED1-0=0, CSEN0=1, SCAM=0）



注意事项:

- *独立操作时，串行芯片选择引脚具有时序调节（设置时间、保持时间及取消选定时间）功能。*

■ 芯片选择引脚循环操作（只有主机模式操作时 (SCR:MS=0) 可用）

当串行芯片选择启动位 (SCSCR:SST1-0) 与串行芯片选择结束位 (SCSCR:SED1-0) 不相同时，有些芯片选择引脚会循环变为活动状态。

1. 在使能串行芯片选择输出 (SCSCR:CSOE=”1”) 和使能传送 (SCR:TXE=”1”) 期间将传送数据写入 TDR 时，串行芯片选择会从串行芯片选择启动位 (SCSCR:SST1-0) 所设置的引脚开始变为活动状态。
2. 不使能串行芯片选择活动状态保持位 (SCSCR:SCAM=0)时，则在完成 TBYTE 设置的数据传送/接收次数后,串行芯片选择引脚变为不活动状态。然后，下一个编号的串行芯片选择引脚变为活动状态。 *1 但是，禁用下一个编号的串行芯片选择引脚 (SCSCR:CSENn=0)时，跳过该串行芯片选择引脚。
3. 当活动芯片串行选择引脚的编号与串行芯片选择结束位所设置的串行芯片选择引脚编号相同时，串行芯片选择启动位所设置的串行芯片选择引脚变为活动状态。

*1：SCS0 变为活动状态后，SCS1 变为活动状态。 SCS3 变为活动状态后，SCS0 变为活动状态。

当使能串行芯片选择活动状态保持位 (SCSCR:SCAM=”1”)时，相关操作参见 “串行芯片选择活动状态保持操作”。

Figure 5-6 所示为串行芯片选择启动引脚为 SCS0(SST1-0=0) 且串行芯片选择结束引脚为 SCS3(SED1-0=3) 时的操作时间图。

Figure 5-6 芯片选择引脚循环操作（SST1-0=0, SED1-0=3, CSEN3=1, CSEN2=1, CSEN1=1, CSEN0=1, SCAM=0）

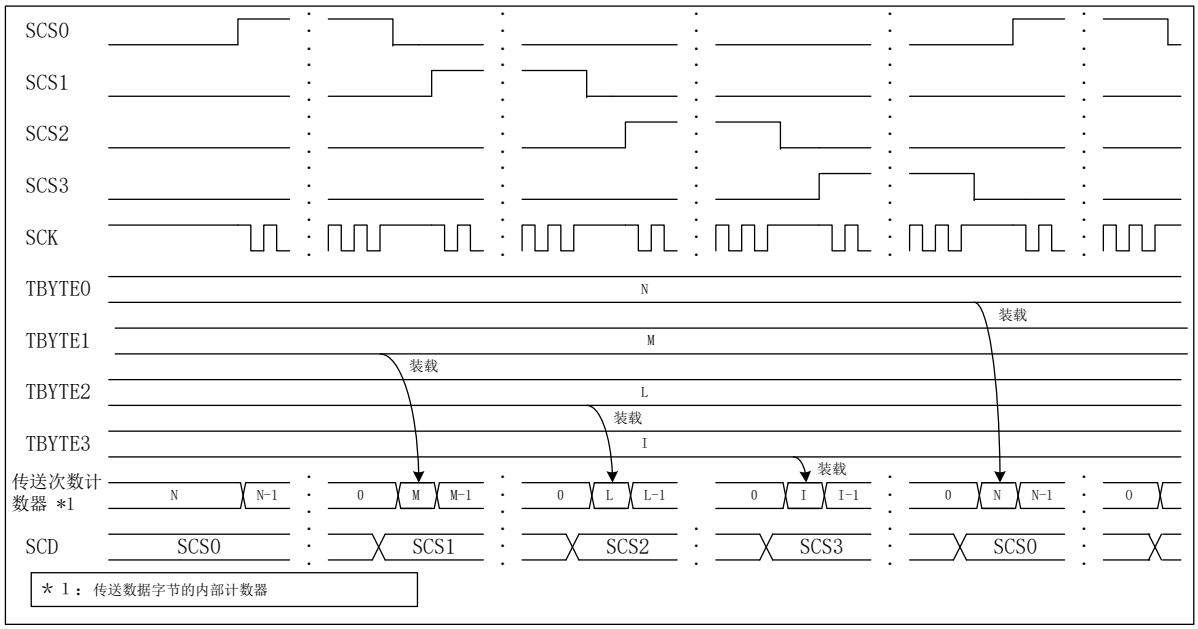


Figure 5-7 所示为串行芯片选择启动引脚为 SCS1(SST1-0=1) 且串行芯片选择结束引脚为 SCS1(SST1-0=1) 时的操作时间图。

Figure 5-7 芯片选择引脚循环操作（SST1-0=1, SED1-0=2, CSEN3=0, CSEN2=1, CSEN1=1, CSEN0=0, SCAM=0）

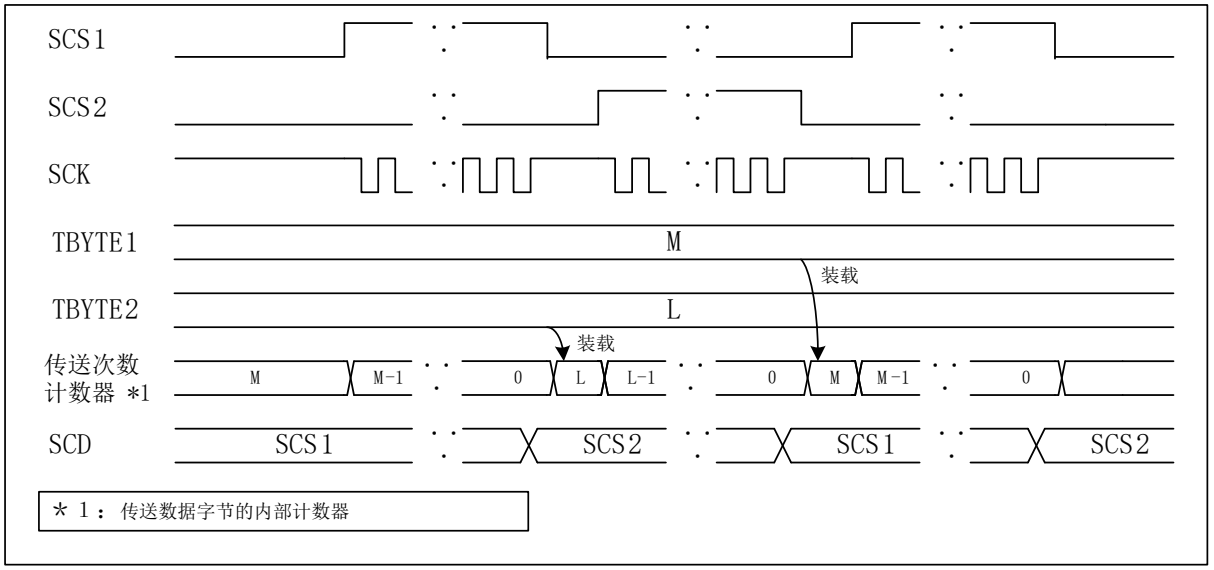
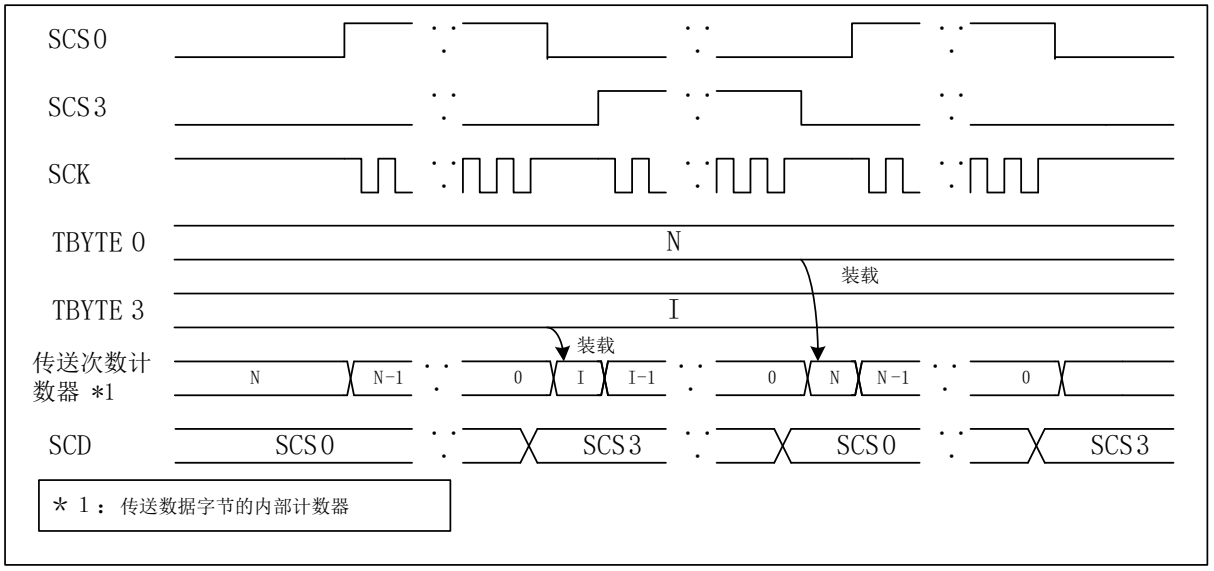


Figure 5-8 所示为串行芯片选择启动引脚为 SCS0(SST1-0=0)、串行芯片选择结束引脚为 SCS3(SED1-0=3) 以及禁用 SCS1 和 SCS3 (CSEN1-2="00") 时的操作时序图。

Figure 5-8 芯片选择引脚循环操作（SST1-0=1, SED1-0=3, CSEN3=1, CSEN2=0, CSEN1=0, CSEN0=0, SCAM=0）



注意事项:

- *在下列任一条件下，串行芯片选择启动位 (SCSCR:SST1-0) 设置的串行芯片选择引脚变为活动状态:*
  - *传送操作从禁用转换到使能时。*
  - *执行软件复位时 (SCR:UPCL="1")。*
- *执行循环操作时，使能串行芯片选择引脚时序调节（设置时序、保持时序及取消选定时序）。*

■ 串行芯片选择活动状态保持操作 (SCSCR:SCAM=1) （只有主机模式操作时 (SCR:MS=0) 可用）
通过将串行芯片选择活动状态保持位 (SCSCR:SCAM) 设置为“1”启动传送时，串行芯片选择引脚保持为“活动状态”。

Table 5-1 串行芯片选择活动状态保持位(SCSCR:SCAM)

当前状态	当前 SCSCR:SCAM 位	当前 SSR:TDRE 位	下一状态
传送 (传送计数<TBYTE)	0	-	在 TBYTE 指定的计数帧传送结束之前，串行芯片选择引脚保持为为“活动状态”。
	1		
TBYTE 指定的计数帧传送结束	0	0	保持延迟时间之后，将串行芯片选择引脚设置为“不活动状态”。 取消选定时间结束后，启动下一次传送。
		1	保持延迟时间之后，将串行芯片选择引脚设置为“不活动状态”。 取消选定时间结束后，在写入下一个传送数据之前停止传送。
	1	1	串行芯片选择保持为“活动状态”。
		0	串行芯片选择引脚处于活动状态时，继续传送操作。 在 TBYTE 再次指定计数帧之前，串行芯片选择引脚保持活动状态。
芯片选择错误发生 (SACSR:CSE=1)	-	-	不论 SCAM 如何设置，保持延迟时间之后串行芯片选择都设置为不活动状态。
执行软件复位 (SCR:UPCL=1)	-	-	不论 SCAM 如何设置，串行芯片选择立即设置为不活动状态。
禁用传送 (SCR:TXE=0)			

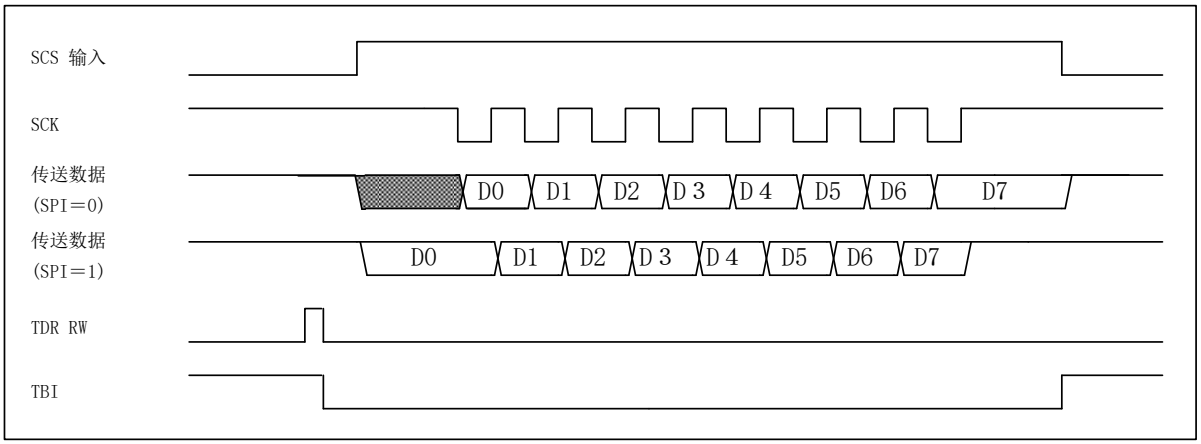
注意事项:

- *下列条件都满足时，串行芯片选择引脚不会保持并在保持延迟时间结束后变为不活动状态，而且发生芯片选择错误 (SACSR:CSE=1)。*
  - *传输字节错误使能 (SACSR:TBEEN=1)。*
  - *TBYTE 指定计数的数据传送和接收未完成。*
  - *传送数据寄存器 (TDR) 为空 (SSR:TDRE=1)。*

■ 从机模式操作 (SCR:MS=1)

当串行芯片选择引脚 0(SCS0)使能 (SCSCR:CSEN0="1") 且串行芯片选择引脚的输入变为活动状态时，同步串行时钟 (SCK) 执行传送或接收操作。然后，当串行芯片选择引脚的输入变为不活动状态时，传送或接收操作结束。

Figure 5-9 从机模式操作时的串行芯片选择操作（从机传送，SCINV=0）



注意事项：

- *当串行芯片选择引脚输入为“不活动状态”时，即使输入串行时钟也不会启动操作。*
- *在接收操作过程中，串行芯片选择输入在最后一位采样前变为不活动状态，接收到的数据被删除。*
- *在传送操作过程中，串行芯片选择输入变为不活动状态，传送的数据被删除并发生芯片选择错误 (SACSR:CSE)。*
- *当 TDR 为空 (SSR:TDRE=1) 且串行芯片选择输入变为不活动状态时，产生传送总线空闲状态 (SSR:TBI=1)。*
- *从机模式操作时 (SCR:MS=1)，如果 SCSCR:CSEN0 设置为“0”，无论串行芯片选择引脚的状态如何都会执行数据传送和接收。*

■ 串行芯片选择引脚的格式设置

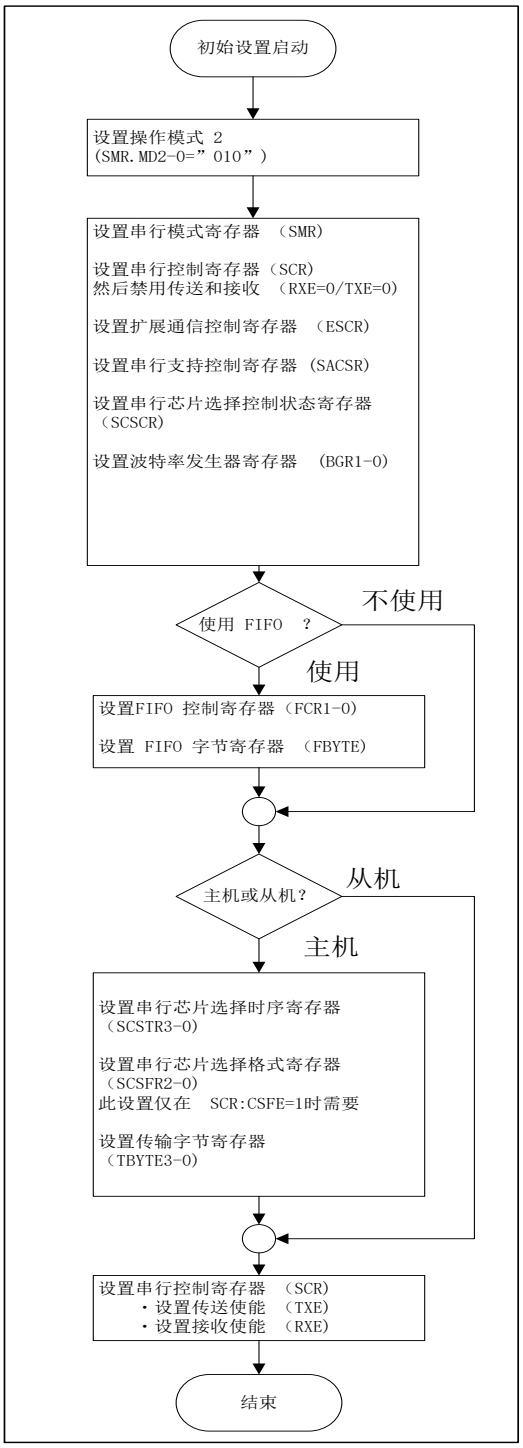
通过 Table 5-2 所示位对各芯片选择引脚进行以下设置：芯片选择活动电平、时钟反向、SPI 模式使能/禁用、串行数据方向及数据长度。

Table 5-2 串行芯片选择引脚的格式设置

条件		芯片选择的活动电平	时钟反向	SPI 模式	数据方向	数据长度
芯片选择格式使能 (SCR:CSFE=1) 且为主机模式时 (SCR:MS=0)	SCS0 输出	SCSCR0:SCLVL	SMR:SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
	SCS1 输出	SCSFR0: CS1SCLVL	SCSFR0: CS1SCINV	SCSFR0: CS1SPI	SCSFR0: CS1BDS	SCSFR0: CS1L3-0
	SCS2 输出	SCSFR1: CS2SCLVL	SCSFR1: CS2SCINV	SCSFR1: CS2SPI	SCSFR1: CS2BDS	SCSFR1: CS2L3-0
	SCS3 输出	SCSFR2: CS3SCLVL	SCSFR2: CS3SCINV	SCSFR2: CS3SPI	SCSFR2: CS3BDS	SCSFR2: CS3L3-0
芯片选择格式禁用 (SCR:CSFE=0)		SCSCR0:SCLVL	SMR:SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
从机模式 (SCR:MS=1)						
芯片选择禁用 (CSEN3-0="0000")						

■ 初始设置流程图

Figure 5-10 芯片选择初始设置流程图



6. 专用波特率发生器

专用波特率发生器仅用于主机模式操作。但是，如果使用接收 FIFO，在从机模式操作时也要设置专用波特率发生器。

CSIO（时钟同步串口）波特率选择

主机和从机模式操作时对专用波特率发生器的设置各不相同。

[1] 主机模式操作时

- 使用专用波特率发生器对内部时钟频率进行分频并选择波特率。
  - 本发生器提供两种内部重载计数器，分别支持传送和接收串行时钟。选择波特率时，通过波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 指定 15 位重载值。
  - 内部时钟频率通过重载计数器设置值分频。

[2] 从机模式操作时

专用波特率发生器不用于从机模式操作 (SCR:MS=1) 。
（直接使用通过 SCK 时钟输入引脚输入的外部时钟。）

注意事项：

- *如果使用接收 FIFO，在从机模式操作时也要设置专用波特率发生器。*

6.1 波特率设置

本节说明如何设置波特率。此外，还列出了串行时钟频率的计算结果。

计算波特率

使用波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 设置两个 15 位重载计数器。
通过以下公式计算波特率：

(1) 重载值

V=ϕ/ b-1

V:重载值; b:波特率;ϕ: 总线时钟频率

(2) 计算示例

设置 16 MHz 总线时钟要使用内部时钟并设置 19200 bps 波特率，设置重载值如下：

重载值：

V=(16 ×1000000)/19200 – 1 = 832

所以，波特率为：

b =(16× 1000000)/ (832+ 1) = 19208 bps

(3) 波特率误差

可通过下列公式计算波特率误差

误差 (%) = (计算值–目标值) / 目标值 100

示例：设置 20 MHz 总线时钟以及 153600 bps 目标波特率：

重载值	= (20×1000000)/ 153600 - 1=129
波特率(计算值)	=(20×1000000)/ (129 + 1) = 153846 (bps)
误差 (%)	= (153846 - 153600)/ 153600× 100= 0.16 (%):

B=(16× 1000000)/ (832+ 1) = 19208 bps

注意事项:

- *重载值设置为"0"时，重载计数器停止。*
- *重载值为偶数时，串行时钟的 "HIGH" 和 "LOW" 宽度根据 SMR:SCIN 位和 SCR:SPI 位的设置而异（具体如下）。重载值为奇数时，串行时钟的"HIGH"和"LOW" 信号宽度相同。*
  - *正常传输 (SCR:SPI=0) 的串行时钟的标志电平为 "HIGH" (SMR:SCINV=0) 时，或 SPI 传输 (SCR:SPI=1)的串行时钟的标志电平为 "LOW"(SMR:SCINV=1) 时，串行时钟的 "HIGH" 信号宽度长于总线时钟的 1 周期。*
  - *正常传输 (SCR:SPI=0) 的串行时钟的标志电平为 "LOW" (SMR:SCINV=1) 时，或 SPI 传输 (SCR:SPI=1) 的串行时钟的标志电平为 "HIGH"(SMR:SCINV=0) 时，串行时钟的 "LOW" 信号宽度长于总线时钟的 1 周期。*
  - *将重载值设置成 3 或以上。*

各总线时钟频率的重载值及波特率

Table 6-1 重载值和波特率

波特率	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32 MHz	
(bps)	值	ERR	值	ERR	值	ERR	值	ERR	值	ERR	值	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	7	0	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	-	-
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	311	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	0.06	554	-0.01	693	0.06	832	0.03	1110	0.01
19200	416	-0.08	520	-0.03	832	-0.03	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	208	0.01	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	-0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

- 值：BGR1/0 寄存器设置值
- ERR：波特率误差 (%)

Table 6-2 重载值及波特率（续）

波特率	40 MHz		48 MHz		72 MHz		80 MHz	
(bps)	值	ERR	值	ERR	值	ERR	值	ERR
8M	4	0	5	0	8	0	9	0
6M	-	-	7	0	11	0	-	-
5M	7	0	-	-	-	-	15	0
4M	9	0	11	0	17	0	19	0
2.5M	15	0	-	-	-	-	31	0
2M	19	0	23	0	35	0	39	0
1M	39	0	47	0	71	0	79	0
500000	79	0	95	0	143	0	159	0
460800	86	-0.22	103	0.16	155	0.16	173	-0.22
250000	159	0	191	0	287	0	319	0
230400	173	-0.22	207	0.16	312	-0.16	346	0.06
153600	259	0.16	312	-0.16	468	-0.05	520	-0.03
125000	319	0	383	0	575	0	639	0
115200	346	0.06	416	-0.08	624	0	693	0.06
76800	520	-0.03	624	0	937	-0.05	1041	-0.03
57600	693	0.06	832	0.04	1249	0	1388	<0.01
38400	1041	-0.03	1249	0	1874	0	2082	0.01
28800	1388	<0.01	1666	-0.02	2499	0	2777	<0.01
19200	2082	0.01	2499	0	3749	0	4166	-0.01
10417	3839	<0.01	4607	<0.01	6911	<0.01	7679	0
9600	4166	<0.01	4999	0	7499	0	8332	0
7200	5555	<0.01	6666	<0.01	9999	0	11110	0
4800	8332	<0.01	9999	0	14999	0	16666	0
2400	16666	<0.01	19999	0	29999	0	-	-
1200	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-

- 值：BGR1/0 寄存器设置值
- ERR：波特率误差 (%)

Table 6-1 和 Table 6-2 中未列出的频率根据 “6.1 波特率设置” 中所示的公式进行计算。（但是，最大频率应参见所用产品的《数据手册》；因为产品不同，最大频率有所不同。

重载计数器的功能

重载计数器有两种类型：传送重载计数器和接收重载计数器。这两种计数器都用作专用波特率发生器。每个重载计数器都由一个用于重载值的 15 位寄存器构成，并通过内部时钟生成传送时钟和接收时钟。

启动计数

重载值写入波特率发生器寄存器 (BGR1 或 BGR0) 时，重载计数器启动计数。

重新启动

在下列条件下重载计数器重新启动计数：

- 传送和接收重载计数器公用可编程复位 (SCR:UPCL 位)

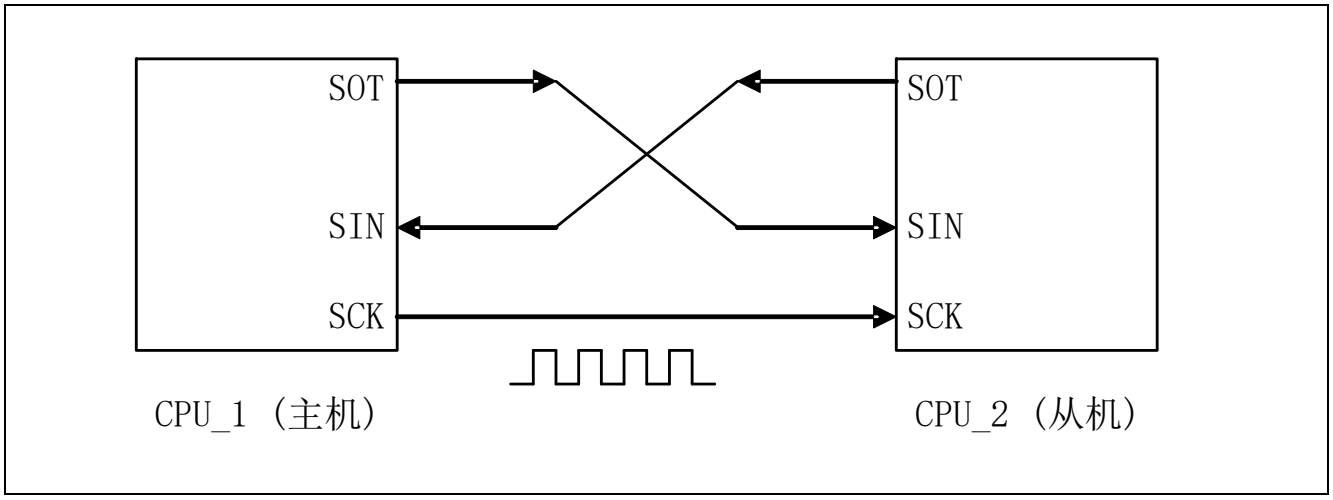
6.2 CSIO（时钟同步串口）设置程序及程序流程

CSIO（时钟同步串口）支持双向和同步串行数据传送。

- CPU 至 CPU 连接

将 CSIO（时钟同步串口）设置为双向通信。如 Figure 6-1 所示，将两个 CPU 相互连接。

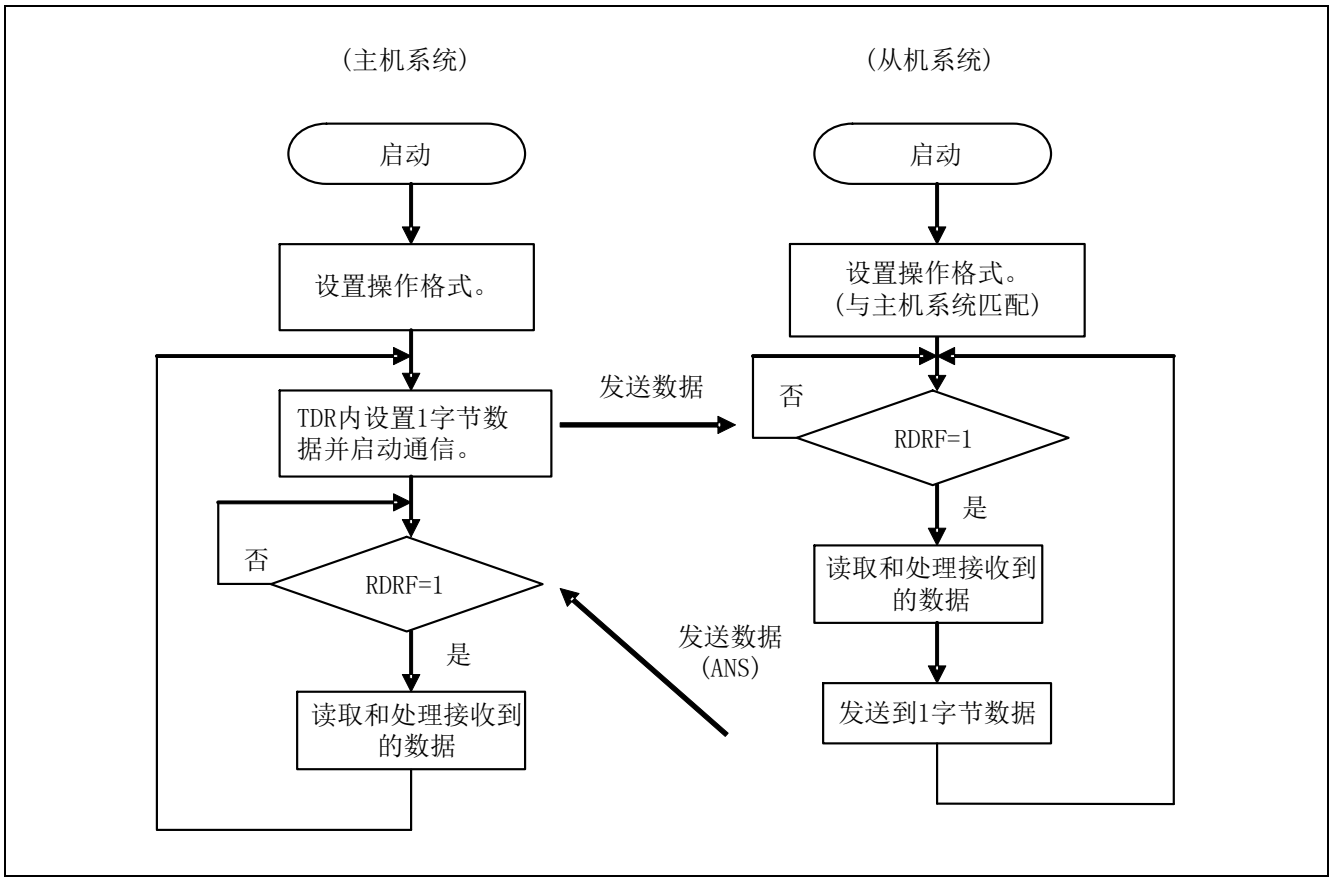
Figure 6-1 CSIO（时钟同步串口）双向通信连接示例



流程图

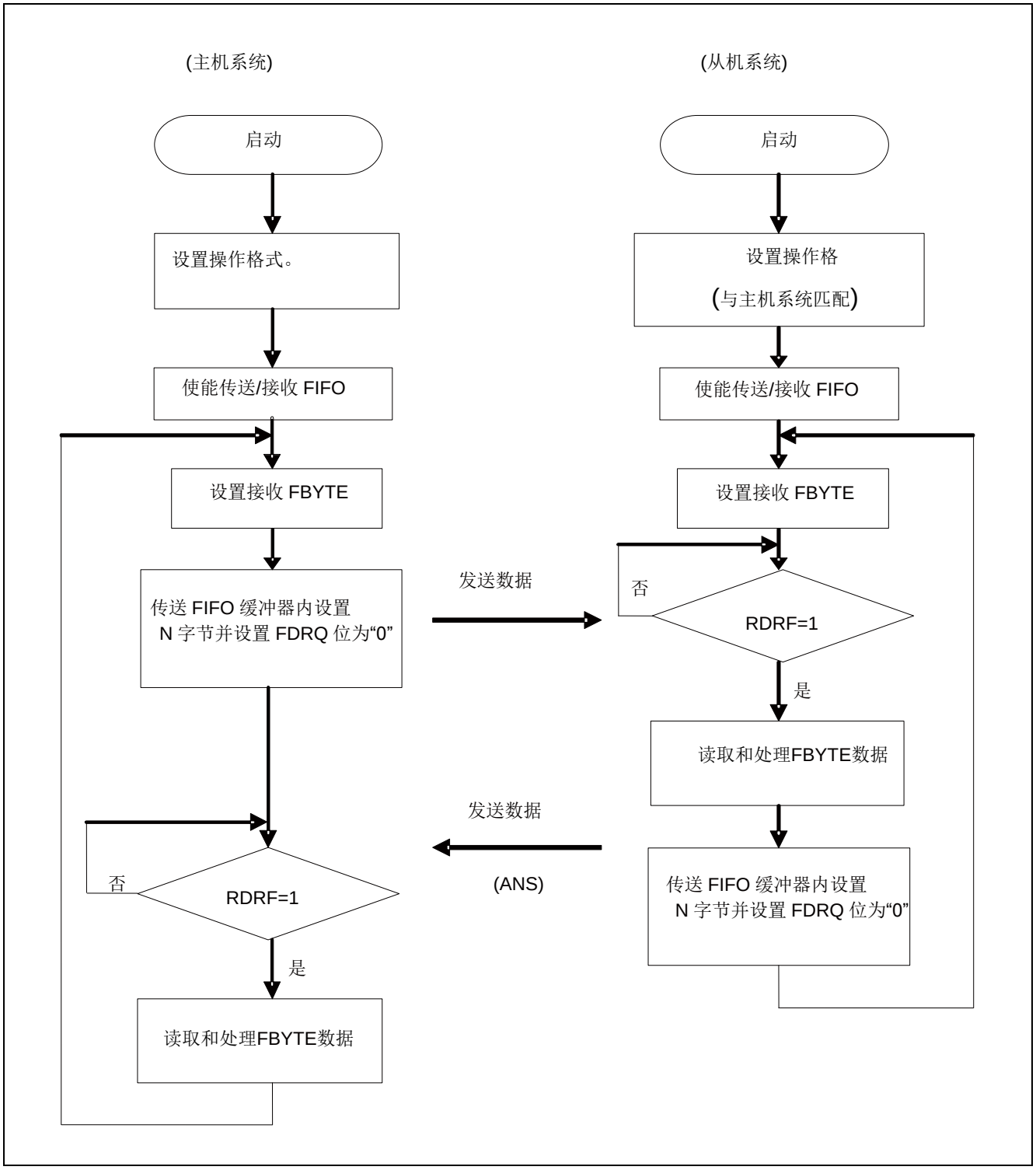
■ 不使用 FIFO 时

Figure 6-2 双向通信流程图示例（不使用 FIFO 时）



■ 使用 FIFO 时

Figure 6-3 双向通信流程图示例（使用 FIFO 时）



7. CSIO（时钟同步串口）寄存器

本节列出 CSIO （时钟同步串口）寄存器列表。

CSIO（时钟同步串口）寄存器列表

Table 7-1CSIO（时钟同步串口）寄存器列表

	bit15 bit8	bit7 bit0
CSIO	SCR（串行控制寄存器）	SMR（串行模式寄存器）
	SSR（串行状态寄存器）	ESCR（扩展通信控制寄存器）
	RDR/TDR（传送/接收数据寄存器）	
	SACSR （串行支持控制状态寄存器）	
	STMR（串行计时器寄存器）	
	STMCR（串行计时器比较寄存器）	
	SCSCR （串行芯片选择控制状态寄存器）	
	SCSTR1（串行芯片选择时序寄存器 1）	SCSTR0（串行芯片选择时序寄存器 0）
	SCSTR3（串行芯片选择时序寄存器 3）	SCSTR2（串行芯片选择时序寄存器 2）
	SCSFR1 （串行芯片选择格式寄存器 1）	SCSFR0 （串行芯片选择格式寄存器 0）
	-	SCSFR2 （串行芯片选择格式寄存器 2）
	TBYTE1（传输字节寄存器 1）	TBYTE0（传输字节寄存器 0）
	TBYTE3（传输字节寄存器 3）	TBYTE2（传输字节寄存器 2）
	BGR1（波特率发生器寄存器 1）	BGR0（波特率发生器寄存器 0）
FIFO	FCR1（FIFO 控制寄存器 1）	FCR0（FIFO 控制寄存器 0）
	FBYTE2（FIFO2 字节寄存器）	FBYTE1（FIFO1 字节寄存器）

Table 7-2CSIO（时钟同步串口）位分配

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	I3	-	WT1	WT0	L2	L1	L0
TDR1/0 (RDR1/0)	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SACSR	-	-	TBEEN	CSEIE	CSE	-	-	TINT	TINTE	TSYNE	-	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
STMR	TM15	TM4	TM3	TM2	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
STMCR	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
SCSCR	SST1	SST0	SED1	SED0	SCD1	SCD0	SCAM	CDIV2	CDIV1	CDIV0	CSLVL	CSEN3	CSEN2	CSEN1	CSEN0	CSOE
SCSTR 1/0	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
SCSTR 3/2	CSDS 15	CSDS 14	CSDS 13	CSDS 12	CSDS 11	CSDS 10	CSDS9	CSDS8	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
SCSFR 1/0	CS2 LVL	CS2 SCINV	CS2 SPI	CS2 BDS	CS2 L3	CS2 L2	CS2 L1	CS2 L0	CS1 LVL	CS1 SCINV	CS1 SPI	CS1 BDS	CS1 L3	CS1 L2	CS1 L1	CS1 L0
SCSFR2	-								CS3 LVL	CS3 SCINV	CS3 SPI	CS3 BDS	CS3 L3	CS3 L2	CS3 L1	CS3 L0
TBYTE 1/0	CS1 TD7	CS1 TD6	CS1 TD5	CS1 TD4	CS1 TD3	CS1 TD2	CS1 TD1	CS1 TD0	CS0 TD7	CS0 TD6	CS0 TD5	CS0 TD4	CS0 TD3	CS0 TD2	CS0 TD1	CS0 TD0
TBYTE 3/2	CS3 TD7	CS3 TD6	CS3 TD5	CS3 TD4	CS3 TD3	CS3 TD2	CS3 TD1	CS3 TD0	CS2 TD7	CS2 TD6	CS2 TD5	CS2 TD4	CS2 TD3	CS2 TD2	CS2 TD1	CS2 TD0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

7.1 串行控制寄存器 (SCR)

串行控制寄存器 (SCR) 用于使能/禁用传送/接收中断、使能/禁用传送空闲中断以及使能/禁用数据传送和接收。此外，此寄存器还可设置 SPI 连接并复位 CSIO 设置。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	(SMR)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初始值	0	0	0	0	0	0	0	0	

[bit15] UPCL：可编程清除位

初始化 CSIO 内部状态。

设置为 1 时：

- 直接复位 CSIO（软件复位），但保持当前寄存器设置。传送或接收状态立即断开。
- 波特率发生器重新载入 BGR1/0 寄存器值并重新启动操作。
- 初始化所有传送/接收中断因素 (SSR:TDRE、TBI、RDRF、ORE、TINT 和 CSE)。
- 所有串行芯片选择引脚都变为不活动状态。

设置为 0 时：

对操作无效。

此位读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	可编程清除	

注意事项：

- *首先禁用中断，然后执行可编程清除指令。*
- *使用 FIFO 操作时，首先禁用 FIFO 操作 (FCR0:FE[2:1]=00)，然后再执行可编程清除指令。*

[bit14] MS：主机/从机功能选择位

选择主机或从机模式。

位	描述
0	主机模式
1	从机模式

注意事项：

- *如果选择从机模式且 SMR:SCKE=0，直接输入外部时钟。*
- *设置 MS 位之后，使能数据接收 (RXE=1)。*

[bit13] SPI：SPI 通信位

此位允许 SPI 通信。

位	描述
0	正常同步传输
1	SPI 通信

注意事项:

- *禁用数据传送和接收 (TXE=RXE=0) 时设置此位。*
- *此位可用于下列任一情形:*
  - *芯片选择引脚禁用时 (SCSCR:CSEN3-0="0000");*
  - *从机模式操作时 (SCR:MS=1);*
  - *禁用芯片选择引脚的数据格式 (ESCR:CSFE=0)时;*
  - *使能芯片选择引脚的数据格式 (ESCR:CSFE=1) 且芯片选择引脚 0 为活动状态时。*

[bit12] RIE: 接收中断使能位

- 此位使能或禁用输出接收中断请求至 CPU。
- 如果 RIE 位和接收数据标志位 (SSR:RDRF) 设置为 "1" 时，或者任何错误标志位 (ORE) 为 "1" 时，输出接收中断请求。

位	描述
0	禁用接收中断。
1	使能接收中断。

[bit11] TIE: 传送中断使能位

- 此位使能或禁用输出传送中断请求至 CPU。
- 如果 TIE 位和 SSR:TDRE 位为 "1" ，输出传送中断请求。

位	描述
0	禁用传送中断。
1	使能传送中断。

[bit10] TBIE: 传送总线空闲中断使能位

- 此位使能或禁用输出传送总线空闲中断请求至 CPU。
- 如果 TBIE 位和 TBI 位为 "1" 时，输出传送总线空闲中断请求。

位	描述
0	禁用传送总线空闲中断。
1	使能传送总线空闲中断。

[bit9] RXE: 数据接收使能位

使能或禁用 CSIO 数据接收。

位	描述
0	禁用数据接收。
1	使能数据接收。

注意事项:

- *如果禁用数据接收 (RXE=0)，当前数据接收立即停止。*
- *设置 MS 位和 SMR:SCINV 位之后，使能数据接收 (RXE=1)。*

[bit8] TXE：数据传送使能位

使能或禁用 CSIO 数据传送。

位	描述
0	禁用传送。
1	使能传送。

注意事项：

- *如果禁用数据传送 (TXE=0)，当前数据传送立即停止。*
- *如果在主机模式操作 (SCR:MS=1) 时使用串行芯片选择 (SCSCR:CSEN=1)，则执行可编程复位 (SCR:UPCL=1)。*

7.2 串行模式寄存器 (SMR)

串行模式寄存器(SMR)用于选择操作模式，设置传送方向、数据长度以及串行时钟反向，并用于使能或禁用输出串行数据和时钟至各自的引脚。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(SCR)	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
属性		R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初始值		0	0	0	-	0	0	0	0

[bit7:5] MD2, MD1, MD0：操作模式设置位

这些位设置操作模式。

"0b000"：设置操作模式 0（异步正常模式）。
"0b001"：设置操作模式 1（异步多处理器模式）。
"0b010"：设置操作模式 2（时钟同步模式）。
"0b011"：设置操作模式 3（LIN 通信模式）。
"0b100"：设置操作模式 4（I²C 模式）。

* 本章说明操作模式 2 （时钟同步模式）的寄存器及其操作。

bit7	bit6	bit5	描述
0	0	0	操作模式 0（异步正常模式）
0	0	1	操作模式 1（异步多处理器模式）
0	1	0	操作模式 2（时钟同步模式）
0	1	1	操作模式 3（LIN 通信模式）
1	0	0	操作模式 4（I²C 模式）
上述值以外的值			禁止设置。

注意事项：

- *禁止上述表中设置之外的任何位设置。*
- *转换当前操作模式时，发出可编程清除指令 (SCR:UPCL=1)并连续转换操作模式。*
- *设置操作模式后，正确设置各寄存器。*

[bit4] 保留：保留位

读取值为 "0"。确保写入 "0"。

[bit3] SCINV：串行时钟反向位

串行时钟格式反向。此位用于主机模式操作使用串行选择时串行芯片选择引脚 0 的通信。

设置为 0 时：

- 串行时钟输出的信号标志电平设置为 "HIGH"。
- 正常传输时，传送数据在串行时钟的下降沿输出；但 SPI 传输时，则在串行时钟的上升沿同步输出。
- 正常传输时，在串行时钟的上升沿采样接收到的数据；但 SPI 传输时，则在串行时钟的下降沿采样。

设置为 1 时：

- 串行时钟输出的信号标志电平设置为 "LOW"。
- 正常传输时，传送数据在串行时钟的上升沿输出；但 SPI 传输时，则在串行时钟的下降沿同步输出。
- 正常传输时，接收到的数据在串行时钟的下降沿采样；但 SPI 传输时，则在串行时钟的上升沿采样。

位	描述
0	信号标志电平 "HIGH" 格式
1	信号标志电平 "LOW" 格式

注意事项：

- *禁用传送和接收 (TXE=RXE=0) 时总是设置此位。*
- *禁用串行时钟输出 (SCKE=0) 时设置此位。*
- *设置 SCINV 位后，使能数据接收 (SCR:RXE=1)。*
- *此位用于下列任一情形：*
  - *芯片选择引脚禁用时 (SCSCR:CSEN3-0="0000")；*
  - *从机模式操作时 (SCR:MS=1)；*
  - *禁用芯片选择引脚的数据格式 (ESCR:CSFE=0)时；*
  - *芯片选择引脚的数据格式使能 (ESCR:CSFE=1) 且芯片选择引脚 0 处于活动状态时。*

[bit2] BDS：传输方向选择位

指定优先传输串行数据的最低有效位（LSB 优先；BDS=0）或优先传输最高有效位（MSB 优先；BDS=1）。此位用于主机模式下 (SCR:MS=0) 使能芯片选择时芯片选择引脚 0 的通信。

位	描述
0	LSB 优先（最低有效位优先传输。）
1	MSB 优先（最高有效位优先传输。）

注意事项：

- *禁用传送和接收 (SCR:TXE=RXE=0)时总是设置此位。*
- *此位用于下列任一情形：*
  - *禁用芯片选择引脚(SCSCR:CSEN3-0="0000")时；*
  - *从机模式操作时 (SCR:MS=1)；*
  - *禁用芯片选择引脚的数据格式 (ESCR:CSFE=0)时；*
  - *芯片选择引脚的数据格式使能 (ESCR:CSFE=1) 且芯片选择引脚 0 处于活动状态时。*

[bit1] SCKE：主机模式串行时钟输出使能位

此位控制串行时钟 I/O 端口。

位	描述
0	禁用串行时钟输出。
1	使能串行时钟输出。

注意事项：

- *此位用作 SCK 引脚时，也必须设置 GPIO。*

[bit0] SOE：串行数据输出使能位

此位使能或禁用串行数据输出。

位	描述
0	禁用串行数据输出。
1	使能串行数据输出。

注意事项：

- *此位用作 SOT 引脚时，也必须设置 GPIO。*

7.3 串行状态寄存器 (SSR)

串行状态寄存器 (SSR) 用于检查当前传送/接收状态，检查接收错误标志并清除接收错误标志。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	REC	-	-	保留	ORE	RDRF	TDRE	TBI	(ESCR)
属性	R/W	-	-	-	R	R	R	R	
初始值	0	-	-	-	0	0	1	1	

[bit15] REC：接收错误标志清除位

此位清除串行状态寄存器 (SSR) 的 ORE 标志。

- 此位设置为 "1" 时，清除错误标志。
- 此位设置为 "0" 时对操作无效。

读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	清除接收错误标志 (FRE 和 ORE)。	

[bit14:13]-：未使用位

读取时这些位的值未定义。

这些位写入时对操作无效。

[bit12] 保留：保留位

读取值为 "0"。确保写入 "0"。

[bit11] ORE：溢出错误标志位

- 数据接收过程中发生溢出时，此位设置为 "1"。串行状态寄存器 (SSR) 的 REC 位设置为 "1" 时，清除此位。
- ORE 位和 SCR:RIE 位为 "1" 时，输出接收中断请求。
- 如果设置此标志，则接收数据寄存器 (RDR) 中的数据无效。
- 如果在使用接收 FIFO 时设置此标志，接收 FIFO 使能位会被清除且接收数据不储存在接收 FIFO 中。

位	描述
0	未发生溢出错误。
1	发生溢出错误。

[bit10] RDRF：接收数据已满标志位

- 此标志显示的是接收数据寄存器 (RDR) 的状态。
- 接收数据载入 RDR 时，此位设置为 "1"。从接收数据寄存器 (RDR) 读取数据时，此位被清除为 "0"。
- RDRF 位和 SCR:RIE 位为 "1" 时，输出接收中断请求。
- 如果使用接收 FIFO ，则当接收 FIFO 中接收到预设数据量时， RDRF 位设置为 "1"。
- 使用接收 FIFO 时，如果以下两个条件都满足且接收空闲状态持续 8 个波特率时钟以上，RDRF 位设置为 "1"。
  - 接收 FIFO 空闲检测使能位 (FCR1:FRIIE) 为 "1"。
  - 未接收到预设数据量且一些数据仍然保留在接收 FIFO 中。
    如果在 8 个时钟计数过程中读取 RDR 数据，则此计数器复位至 "0" 并重新启动 8 个时钟计数。
- 如果使用接收 FIFO 且此缓冲器为空，则此位清除为 "0"。

位	描述
0	接收数据寄存器 (RDR) 为空。
1	接收数据寄存器 (RDR) 中有数据。

[bit9] TDRE：传输数据空标志位

- 此标志显示的是传送数据寄存器 (TDR) 的状态。
- 传送数据写入 TDR 时，此位设置为 "0"，表明 TDR 中存在有效数据。数据载入传送移位寄存器且传送启动时，此位设置为 "1"，表明 TDR 中不存在有效数据。
- TDRE 位和 SCR:TIE 位为 "1"时，输出传送中断请求。
- 串行控制寄存器 (SCR) 的 UPCL 位设置为 "1" 时，TDRE 位设置为 "1"。
- 使用传送 FIFO 时 TDRE 位设置/复位时序的相关信息，参见 "2.4 使用传送 FIFO 时的中断和标志设置时序"。

位	描述
0	传送数据寄存器 (TDR) 中有数据。
1	传送数据寄存器 (TDR) 为空。

[bit8] TBI：传送总线空闲标志位

- 此位指示 CSIO 当前未执行数据传送。
- 传送数据寄存器 (TDR) 中写入数据时，此位设置为 "0"。
- 如果传送数据寄存器 (TDR) 为空(TDRE=1)且如果在串行芯片选择引脚处于取消选定状态时未启动数据传送，则此位设置为 "1"。
- 串行控制寄存器 (SCR) 的 UPCL 位设置为 "1" 时，TDRE 位设置为 "1"。
- 此位为 "1" 且使能传送总线空闲中断时 (SCR:TBIE=1)，输出传送中断请求。

位	描述
0	数据传送进程中
1	无数据传送

注意事项：

- *如果在传送数据寄存器 (TDR) 为空时 (SSR:TDRE=1) 发生芯片选择错误 (SACSR:CSE=1)，此位会在波特率周期内变为 "1"。*

7.4 扩展通信控制寄存器 (ESCR)

扩展通信控制寄存器 (ESCR) 用于设置传送/接收数据长度并将串行数据输出固定为 "HIGH" 状态。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	-	SOP	L3	CSFE	WT1	WT0	L2	L1	L0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值		0	0	0	0	0	0	0	0

[bit7] SOP：串行输出引脚设置位

- 此位设置串行数据输出引脚为 "HIGH" 状态。此位设置为 "1" 时，SOT 引脚设置为 "HIGH"。之后，不需要将此位设置为 "0"。
- 读取此位时，读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	将 SOT 引脚设置为 "HIGH" 状态。	

注意事项：

- *不得在串行数据传送过程中设置此位。*

[bit5] CSFE：串行芯片选择格式使能位

此位使能/禁用串行芯片选择格式。此位设置为 "1" 时，各个串行芯片选择引脚格式可设置如下：

- 串行芯片选择的活动电平；
- 串行时钟的标志电平；
- 选择 SPI 传输/正常传输；
- 串行数据方向；
- 串行数据长度。

位	描述
0	所有串行芯片选择引脚设置相同的数据格式及时钟格式
1	使能各个串行芯片选择引脚设置不同的格式和时钟格式

注意事项：

- *在下列任一情形禁用此位：*
- *禁用芯片选择引脚 (SCSCR:CSEN3-0="0000")时；*
- *从机模式操作 (SCR:MS=1)时；*
- *禁用传送 (SCR:TXE=0) 时设置此位。*

[bit4:3] WT1, WT0：数据传送/接收等待选择位

- 在主机模式操作时，这些位设置连续数据传送或接收的等待计数。在从机模式操作时，这些位设置为 "00"。设置为 “00” 时，连续输出 SCK。
- 设置为 “01” 时，在 1 位时间等待后输出 SCK。
- 设置为 “10” 时，在 2 位时间等待后输出 SCK。
- 设置为 “11” 时，在 3 位时间等待后输出 SCK。

bit4	bit3	描述
0	0	0 位
0	1	1 位
1	0	2 位
1	1	3 位

[bit6, bit2:0]L3, L2, L1, L0：数据长度选择位

这些位设置传送/接收数据的长度。

L3	L2	L1	L0	描述
0	0	0	0	8 位长度
0	0	0	1	5 位长度
0	0	1	0	6 位长度
0	0	1	1	7 位长度
0	1	0	0	9 位长度
0	1	0	1	10 位长度
0	1	1	0	11 位长度
0	1	1	1	12 位长度
1	0	0	0	13 位长度
1	0	0	1	14 位长度
1	0	1	0	15 位长度
1	0	1	1	16 位长度

注意事项：

- *禁止上述表中设置之外的任何位设置。*
- *这些位用于下列任一情况：*
  - *禁用芯片选择引脚(SCSCR:CSEN3-0=”0000”)时；*
  - *从机模式操作 (SCR:MS=1)时；*
  - *禁用芯片选择引脚的数据格式 (ESCR:CSFE=0)时；*
  - *使能芯片选择引脚的数据格式 (ESCR:CSFE=1) 且芯片选择引脚 0 为活动状态时。*

7.5 接收数据寄存器/传送数据寄存器 (RDR/TDR)

接收数据寄存器和传输数据寄存器分配在相同地址。从本寄存器读取数据时，本寄存器用作接收数据寄存器。写入数据时，本寄存器用作传输数据寄存器。

接收数据寄存器 (RDR)

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

接收数据寄存器 (RDR) 是用于串行数据接收的 16 位数据缓冲寄存器。

- 串行数据信号发送至串行输入引脚 (SIN) 时，通过移位寄存器转换并储存在接收数据寄存器 (RDR) 中。
- 考虑到数据长度，将接收到数据的较低位储存，而其它位设置为 ”0”。例如：“45”h 以 8 位数据长度接收，所以 D7 ~ D0 =”45”h，D31 ~ D8 =0。
- 接收到的数据存入接收数据寄存器 (RDR) 后，接收数据已满标志位 (SSR:RDRF) 设置为 "1"。如果使能接收中断 (SCR:RIE=1)时，产生接收中断请求。
- 只有在接收数据已满标志位 (SSR:RDRF) 为 "1" 时才读取接收数据寄存器 (RDR)。从串行接收数据寄存器 (RDR) 读取数据后，接收数据已满标志位 (SSR:RDRF) 自动清除为 "0"。
- 如果发生接收错误 (SSR:ORE)，接收数据寄存器 (RDR) 中的数据无效。

注意事项：

- *如果使用接收 FIFO 且接收 FIFO 接收到一定计数的数据时，RDRF 位设置为 "1"。*
- *如果使用接收 FIFO 且本缓冲器为空，则 RDRF 位清除为 "0"。*
- *如果使用接收 FIFO 且发生接收错误 (SSR:ORE)，则清除接收 FIFO 使能位会且接收到的数据不存入接收 FIFO。*

传送数据寄存器 (TDR)

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初始值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

传送数据寄存器 (TDR) 是用于串行数据传送的 16 位数据缓冲寄存器。

- 如果使能数据传送 (SCR:TXE=1) 并将传送数据写入传送数据寄存器 (TDR) ，则将传送数据传输至传送移位寄存器。然后数据被转换为串行数据并输出串行数据输出引脚 (SOT)。
- 考虑到数据长度，将接收到数据的较低位储存，其它位无效。例如： “0x45”以 8 位数据长度接收，所以 D7 ~ D0 =”0x45”，D15 ~ D8 =0。
- 当传送数据写入传送数据寄存器 (TDR) 后，传送数据空标志 (SSR:TDRE) 被清除为 "0"。
- 传送数据传输至传送移位寄存器并启动数据传送后，如果禁用传送 FIFO 或传送 FIFO 为空，则传送数据空标志 (SSR:TDRE) 设置为 "1"。
- 如果传送数据空标志 (SSR:TDRE) 为 "1" ，下一个传送数据可写入缓冲器。如果使能传送中断，则会发生传送中断。只有在传送中断发生后或当传送数据空标志 (SSR:TDRE) 为 "1" 时才能写入下一个传送数据。
- 如果传送数据空标志 (SSR:TDRE) 为 "0" 且传送 FIFO 被禁用或传送 FIFO 已满，则传送数据不能写入传送数据寄存器 (TDR)。

注意事项:

- *传送数据寄存器为只写寄存器；接收数据寄存器为只读寄存器。由于这两个寄存器分配在同一个地址，所以写入值和读取值互不相同。因此，不能使用 INC/DEC 指令和其它读改写 (RMW) 操作。*
- *有关使用传送 FIFO 时的传送数据空标志 (SSR:TDRE) 设置时序，参见 "2.4 使用传送 FIFO 时的中断和标志设置时序"。*

7.6 串行支持控制寄存器 (SACSR)

串行支持控制寄存器 (SACSR) 用于控制串行测试、选择串行计时器的启动方法、使能/禁用计时器中断、使能/禁用同步传送、设置串行计时器操作时钟的分频比以及使能/禁用串行计时器。

位	15	14	13	12	11	10	9	8
字段	保留		TBEEN	CSEIE	CSE	-	-	TINT
属性	-		R/W	R/W	R/W	-	-	R/W
初始值	00		0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	TINTE	TSYNE	-	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
属性	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

[bit15:14] 保留：保留位

读取时：读取值为 “0”。

写入时：总写入 “0”。

[bit13]TBEEN：传输字节错误使能位

在从机模式操作时 (SCR:MS=0)，使能/禁用发生实时芯片选择错误。

详细信息参见 “2.6 芯片选择错误发生及标志设置时序”。

位	传输字节错误使能位
0	主机模式操作时 (SCR:MS=0) 禁用发生芯片选择错误。
1	主机模式操作时 (SCR:MS=0) 使能发生芯片选择错误。

注意事项：

- *在数据传送和接收禁用 (SCR:TXE=RXE=”0”)后，改变此位。*

[bit12]CSEIE：芯片选择错误中断使能位

- 此位用于使能/禁用输出芯片选择错误中断请求。
- CSEIE 位和芯片选择错误标志位 (CES) 为 “1” 时，输出传送中断请求。

位	芯片选择错误中断使能位
0	禁用芯片选择错误中断。
1	使能芯片选择错误中断使能位。

[bit11] CES：芯片选择错误标志

此位用于指示是否发生芯片选择错误。

详细信息参见 “2.6 芯片选择错误发生及标志设置时序”。

此位为 “1” 且芯片选择错误中断使能位 (CSEIE) 为 “1” 时，输出数据传送中断请求。
此位设置为 ”1” 时，此位复位为 “0”。
此位设置为 “1” 无效。

位	芯片选择错误标志
0	发生芯片选择错误
1	没有发生芯片选择错误

注意事项：

- *通过执行软件复位 (SCR:UPCL=”1”) 将此位复位为 “0”。*
- *通过读改写指令读取时，读取值为 “1”。*
- *从机模式操作(SCR:MS=1) 中未使用串行芯片选择 (SCSCR:CSEN0=0)时，此位不能设置为 “1”。*
- *发生芯片选择错误时，禁用数据传送并在此位写入 “0”。重新启动数据传送时，此位写入 “0” 使能数据传送 (SCR:TXE=1) 并将传送数据写入传送数据寄存器 (TDR)。*
- *如果从机模式传送的串行芯片选择输入时发生一个或多个总线时钟的噪声，则本位可设置为 “1”。此种情况下，在主机模式传送完成后重新启动传送。*

[bit8]TINT：计时器中断标志

当串行计时器寄存器 (STMR) 与串行计时器比较寄存器 (STMCR) 的值匹配时，串行计时器寄存器 (STMR) 设置为 “0”，此寄存器设置为 “1”。

此位设置为 “1” 且计时器中断使能位 (TINTE) 设置为 “1” 时，输出状态中断请求。

此位设置为 ”1” 时，此位复位为 “0”。
此位设置为 “1” 无效。

位	描述
0	无计时器中断请求。
1	有计时器中断请求。

注意事项：

- *通过执行软件复位 (SCR:UPCL=”1”) 将此位复位为 “0”。*
- *通过读改写命令读取时，读取值为 “1”。*
- *当同步传送使能位 (TSYNE) 为 “1” 时，此位不设置为 “1”。*

[bit7] TINTE：计时器中断使能位

此位用于使能/禁用输出计时器中断至 CPU。

此位为 “1” 且计时器中断标志 (TINT) 为 “1” 时，输出状态中断请求。

bit7	描述
0	禁用串行计时器中断。
1	使能串行计时器中断。

[bit6]TSYNE：同步传送使能位

此位使能/禁用同步传送。

此位为 “1” 且满足下列条件时，传送启动。

- 同步计时器传送时串行计时器寄存器 (STMR) 与串行计时器比较寄存器 (STMCR) 的值匹配。

位	描述
0	禁用同步传送。 串行计时器用作计时器。
1	使能同步传送。 串行计时器不用作计时器。

注意事项：

- *只有当串行计时器使能位 (TMRE) 为 “0” 时才能改变此位。*
- *如果使能同步传送时 (TSYNE=1) 禁用传送 (SCR:TXE=0)，则即使满足下列条件也不启动传送。*
  - *串行计时器寄存器 (STMR) 与串行计时器比较寄存器 (STMCR) 的值匹配。*
- *从机模式操作时 (SCR:MS="1")，此位内部固定为 “0”。*

[bit4:1]TDIV3:0：计时器操作时钟分频位

此位用于设置串行计时器分频比。

bit4	bit3	bit2	bit1	计时器操作时钟						
				分频比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ：总线时钟

注意事项：

- *仅在串行计时器使能位 (TMRE) 为 “0” 时才能改变此位。*
- *禁止上表所列以外的更改。*

[bit0]TMRE：串行计时器使能位

此位使能/禁用串行计时器操作。

位	串行计时器使能位
0	停止串行计时器操作。 停止串行计时器时，保持串行计时器(STMR)的值。
1	此位从 “0” 改为 “1” 时，串行计时器寄存器 (STMR) 被初始化至 “0” 并启动串行计时器操作。

注意事项：

- *通过串行计时器执行同步传送时，在禁用传送后将此位从 “0” 改为 “1”。*

7.7 串行计时器寄存器 (STMR)

串行计时器寄存器 (STMR) 用于指示串行计时器的计时器值。

串行计时器寄存器 (STMR) 的位配置

位	15	14	13	12	11	10	9	8
字段	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
属性	R	R	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
属性	R	R	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0

[bit15:0]TM[15:0]：计时器数据位

这些位指示串行计时器的计时器值。

计时器操作过程中，串行计时器的计时器值按每个计时器操作时钟(SACSR:TDIV3:0)递增 1 。

注意事项：

- *启动计时器操作时，此位被初始化至 “0”。*

7.8 串行计时器比较寄存器 (STMCR)

此寄存器用于设置串行计时器的计时器比较值。

串行计时器寄存器 (STMCR) 的位配置

位	15	14	13	12	11	10	9	8
字段	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

[bit15:0]TC15:0：比较位

设置串行计时器的比较值。

此位与串行计时器寄存器 (STMR) 比较，如果修改串行计时器寄存器 (STMR) 后此位与串行计时器寄存器 (STMR) 的值匹配，则串行计时器寄存器 (STMR) 设置为 “0”。此时，如果禁用同步传送 (SACSR:TSYNE=”0”)，则计时器中断标志 (SACSR: TINT) 设置为 “1”；如果使能同步传送 (SACSR:TSYNE=”1”)，则启动传送。

执行以下操作的间隔为 (STMCR:TC+1)×计时器操作时钟（通过 SACSR:TDIV3:0 指定）。

- SACSR:TINT 设置为 “1”。
- 同步串行时钟启动传送。

注意事项：

- *当下列所有条件都满足时，计时器中断标志 (SACSR:TINT) 固定为 “1”。*
  - *禁用同步传送 (SACSR:TSYNE=”0”。*
  - *此寄存器设置为 “0x0000”。*
  - *计时器正在操作。*
  - *计时器操作时钟分频值 (SACSR:TDIV) 设置为 “0b0000”。*
- *只有当串行计时器禁用时 (SACSR:TMRE=”0”) 才能更改此寄存器。*

7.9 串行芯片选择控制状态寄存器 (SCSCR)

此寄存器用于选择串行芯片选择的启动位和结束位，显示串行芯片选择的输出引脚，保持串行芯片选择的活动电平，反向串行芯片选择和使能/禁用输出串行芯片选择。

串行芯片选择控制状态寄存器 (SCSCR)的位配置

位	15	14	13	12	11	10	9	8
字段	SST1	SST0	SED1	SED0	SCD1	SCD0	SCAM	CDIV2
属性	R/W	R/W	R/W	R/W	R	R	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	CDIV1	CDIV0	CSLVL	CSEN3	CSEN2	CSEN1	CSEN0	CSOE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	1	0	0	0	0	0

[bit15:14]SST1-0：串行芯片选择活动状态启动位

选择串行芯片选择的启动引脚。

将传送数据写入 TDR 时，传送从禁用 (SCR:TXE= "0") 改变为使能 (SCR:TXE= "1") 后，串行芯片选择从本位所设置的引脚开始循环变为活动状态。

bit15:14	描述
00	串行芯片选择启动引脚为 SCS0
01	串行芯片选择启动引脚为 SCS1
10	串行芯片选择启动引脚为 SCS2
11	串行芯片选择启动引脚为 SCS3

注意事项：

- *传送和接收禁用时 (SCR:TXE=RXE= "0") 一定要设置此位。*
- *当串行芯片选择启动位 (SCSCR:SST1-0) 与串行芯片选择结束位 (SCSCR:SED1-0) 相同时，芯片选择只在这些位设置的引脚操作。*
- *从机模式操作时 (SCR:MS=1) 禁用此位。*
- *只有设置为使能 (CSEN=1) 的串行芯片选择引脚变为活动状态。*
- *在主机模式(SCR:MS= "0")使能串行芯片选择引脚时，将此位设置的串行芯片选择引脚设置为使能 (CSEN=1)。*

[bit13:12]SED1-0：串行芯片选择有效结束位

选择串行芯片选择的结束引脚。

此位设置的串行芯片选择引脚变为活动状态后，串行芯片选择有效启动位 (SST1,SST0) 设置的串行芯片选择引脚变为活动状态。

bit13:12	描述
00	串行芯片选择结束引脚为 SCS0
01	串行芯片选择结束引脚为 SCS1
10	串行芯片选择结束引脚为 SCS2
11	串行芯片选择结束引脚为 SCS3

注意事项:

- *禁用传送和接收 (SCR:TXE=RXE="0")时总是设置此位。*
- *当串行芯片选择启动位 (SCSCR:SST1-0) 与串行芯片选择结束位 (SCSCR:SED1-0) 相同时，芯片选择只在这些位设置的引脚操作。*
- *从机模式操作时 (SCR:MS=1) 禁用此位。*
- *只有设置使能的串行芯片选择引脚 (CSEN=1) 变为活动状态。*
- *在主机模式 (SCR:MS= "0")中使能串行芯片选择引脚时，将此位设置的串行芯片选择引脚设置为使能 (CSEN=1)。*

[bit11:10]SCD1-0：串行芯片选择活动状态显示位

显示处于活动状态的串行芯片选择引脚。

bit11:10	描述
00	SCS0 为活动状态
01	SCS1 为活动状态
10	SCS2 为活动状态
11	SCS3 为活动状态

注意事项:

- *当串行芯片选择引脚为不活动状态时，显示下一个串行芯片选择引脚变为活动状态。*
- *从机模式 (SCR:MS="1") 或传送禁用 (SCR:TXE="0") 或执行软件复位 (SCR:UPCL=1) 时，此位变为 "00"。*

[bit9]SCAM：串行芯片选择活动状态保持位

选择保持或不保持串行芯片选择引脚的活动状态。

详细信息参见“5. 串行芯片选择操作”中的“串行芯片选择活动状态保持操作 (SCSCR:SCAM=1)（仅用于主机模式操作(SCR:MS=0)）”。

位	串行芯片选择活动状态保持位
0	不保持串行芯片选择引脚的活动状态。
1	保持串行芯片选择引脚的活动状态。

注意事项:

- *当传送禁用 (SCR:TXE="0") 且执行软件复位 (SCR:UPCL="1") 时，不论此位为何值，串行芯片选择引脚都变为不活动状态。*
- *发生串行芯片错误时 (SACSR:CSE=1)，不论此位为何值，串行芯片选择引脚都变为不活动状态。*

[bit8:6]CDIV2:0：串行芯片选择时序操作时钟分频位

设置串行芯片选择时序操作时钟的分频比。

bit8	bit7	bit6	串行芯片选择时序操作时钟						
			Division Ratio	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs

ϕ：总线时钟

注意事项：

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE="0") 才能更改此位。*
- *从机模式操作时 (SCR:MS="1") 此位设置无效。*
- *禁止上述以外的其它设置。*

[bit5]CSLVL：串行芯片选择电平设置位

选择不活动状态的串行芯片选择引脚电平为 “High” 或 “Low”。

此位可用于芯片选择引脚 0。

Bit	串行芯片选择电平设置位
0	将不活动电平设置为 “Low”。
1	将不活动电平设置为 "High"。

注意事项：

- *只有在禁用数据传送和接收操作时 (SCR:TXE=RXE="0")才能更改此位。*
- *下列情况下使用此位：*
  - *从机模式操作时 (SCR:MS=1)；*
  - *禁用芯片选择引脚的数据格式时 (ESCR:CSFE=0)；*
  - *使能芯片选择引脚的数据格式 (ESCR:CSFE=1) 且芯片选择引脚 0 为活动状态时。*

[bit4:1]CSEN3-0：串行芯片选择使能位

此位用于使能或禁用串行芯片选择引脚。

CSEN3 位与 SCS3 引脚相同，CSEN2 位与 SCS2 引脚相同，CSEN1 位与 SCS1 引脚相同，CSEN0 位与 SCS0 引脚相同。

从机模式操作时 (SCR:MS=1)，只有 CSEN0 位可使能或禁用串行芯片引脚。

位	串行芯片选择使能位
0	禁用串行芯片选择引脚的操作。
1	使能串行芯片选择引脚的操作。

注意事项：

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE="0") 才能更改此位。*
- *如果在主机模式操时 (SCR:MS=0) 将 CSEN3-0 设置为 "0000"，则不论串行芯片选择引脚如何都会执行传送和接收操作。*
- *如果在从机模式操时 (SCR:MS=1) 将 CSEN0 设置为 "0"，则不论串行芯片选择引脚如何都会执行传送和接收操作。*
- *禁用不使用的串行芯片选择引脚。*

[bit0]CSOE：串行芯片选择输出使能位

此位用于使能或禁用输出串行芯片选择引脚。

位	串行芯片选择输出使能位
0	禁用所有串行芯片选择引脚。
1	使能所有串行芯片选择引脚。

注意事项：

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE="0") 才能更改此位。*
- *从机模式操作时 (SCR:MS="1")，此位设置为 "0"。*

7.10 串行芯片选择时序寄存器 (SCSTR3-0)

这些寄存器用于设置串行芯片选择的延迟时间、保持延迟时间及取消选定时间。

串行芯片选择时序寄存器 (SCSTR1 和 SCSTR0) 的位配置

位	15	14	13	12	11	10	9	8
字段	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

[bit15:8]CSSU[7:0]：串行芯片选择设置延迟位

设置从串行芯片选择引脚变为活动状态至串行时钟输出之间的时间。这些位设置为 “00”h 时，串行芯片选择引脚变为活动状态的时间与输出串行时钟的时间一致。

bit15:8	设置延迟时间
0x00	启动串行时钟输出时串行芯片选择引脚变为活动状态。
0x01	1×串行芯片选择时序操作时钟
0x02	2×串行芯片选择时序操作时钟
: :	: :
0xFE	254×串行芯片选择时序操作时钟
0xFF	255×串行芯片选择时序操作时钟

注意事项：

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE=”0”) 才能更改此位。*
- *从机模式操作时 (SCR:MS=”1”)，不能设置此位。*

[bit7:0]CSHD[7:0]：串行芯片选择保持延迟位

设置从串行时钟输出结束至串行芯片选择引脚变为不活动状态之间的时间。这些位设置为 “00”h 时，串行芯片选择引脚变为不活动状态的时间与串行时钟输出结束的时间一致。

bit7:0	保持延迟时间
0x00	串行芯片选择引脚变为不活动状态的时间与串行时钟输出结束的时间一致。
0x01	1×串行芯片选择时序操作时钟
0x02	2×串行芯片选择时序操作时钟
: :	: :
0xFE	254×串行芯片选择时序操作时钟
0xFF	255×串行芯片选择时序操作时钟

注意事项：

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE=”0”) 才能更改此位。*
- *从机模式操作时 (SCR:MS=”1”)，不能设置此位。*

串行芯片选择时序寄存器 (SCSTR3 和 SCSTR2) 的位配置

位	15	14	13	12	11	10	9	8
字段	CSDS15	CSDS14	CSDS13	CSDS12	CSDS11	CSDS10	CSDS9	CSDS8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

[bit15:0]CSDS[15:0]：串行芯片取消选定位

设置从串行芯片选择引脚变为不活动状态至串行芯片选择引脚再次变为活动状态之间的时间。

bit15:0	取消选定最短时间
0x0000	无取消选定最短时间 (5 个总线时钟时间)
0x0001	1×串行芯片选择时序操作时钟
0x0002	2×串行芯片选择时序操作时钟
: :	: :
0xFFFE	65534×串行芯片选择时序操作时钟
0xFFFF	65535×串行芯片选择时序操作时钟

注意事项：

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE="0") 才能更改此位。*
- *从机模式操作时 (SCR:MS="1")，不能设置此位。*
- *无论取消选定时间设置如何，从串行芯片选择引脚变为不活动状态至串行芯片选择引脚再次变为活动状态都需要 5 个总线时钟或更长时间。*
- *不可同时设置 SCSTR2:CSDS=0x0001 和 SCSCR:CDIV=0b000。*

7.11 串行芯片选择格式寄存器 (SCSFR2-0)

此寄存器用于设置各个串行芯片选择引脚内的活动电平、时钟反向、SPI 模式、数据方向及数据长度。

串行芯片选择格式寄存器 (SCSFR2-0) 的位配置

Figure 7-1 和 Figure 7-2 所示为串行芯片选择格式寄存器 (SCSFR2-0) 的位配置。

Figure 7-1 串行芯片选择格式寄存器 (SCSFR1-0)的位配置

位	15	14	13	12	11	10	9	8
字段	CS2 CSLVL	CS2 SCINV	CS2 SPI	CS2 BDS	CS2 L3	CS2 L2	CS2 L1	CS2 L0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	0	0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	CS1 CSLVL	CS1 SCINV	CS1 SPI	CS1 BDS	CS1 L3	CS1 L2	CS1 L1	CS1 L0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	0	0	0	0	0	0	0

[bit15]CS2CSLVL：串行芯片选择 2 电平设置位

使能当串行芯片选择格式 (ESCR:CSFE=1)时，选择不活动串行芯片选择引脚的电平为 “High” 或 “Low”。此位可用于芯片选择引脚 2。

位	串行芯片选择电平设置位
0	设置不活动电平为 “L”。
1	设置不活动电平为 "H"。

注意事项：

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE=”0”) 才能更改此位。*
- *从机模式操作时 (SCR:MS=1) 禁用此位。*
- *禁用芯片选择引脚的数据格式 (ESCR:CSFE=0)时，禁用此位。*

[bit14]CS2SCINV：串行芯片选择 2 的串行时钟反向位

串行时钟格式反向。串行芯片选择格式使能时 (ESCR:CSFE=1)，在串行芯片选择引脚为活动状态时使用此位。

此位可用于芯片选择引脚 2。

设置为 0 时：

- 串行时钟输出的信号标志电平设置为 "HIGH"。
- 正常传输时，传送数据在串行时钟的下降沿输出；但 SPI 传输时，则在串行时钟的上升沿同步输出。
- 正常传输时，在串行时钟的上升沿采样接收到的数据；但 SPI 传输时，则在串行时钟的下降沿采样。

设置为 1 时：

- 串行时钟输出的信号标志电平设置为 "LOW"。
- 正常传输时，在串行时钟的上升沿输出传送数据；但 SPI 传输时，则在串行时钟的下降沿同步输出。
- 正常传输时，接收到的数据在串行时钟的下降沿采样；但 SPI 传输时，则在串行时钟的上升沿采样。

位	描述
0	信号标志电平 "HIGH" 格式
1	信号标志电平 "LOW" 格式

注意事项：

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE="0") 才能更改此位。*
- *从机模式操作时 (SCR:MS=1) 禁用此位。*
- *禁用芯片选择引脚的数据格式时 (ESCR:CSFE=0)，禁用此位。*

[bit13] CS2 SPI：串行芯片选择 2 的 SPI 通信位

使能串行芯片选择格式 (ESCR:CSFE=1)后，此位允许在串行芯片选择引脚为活动状态时执行 SPI 通信。.

设置为 "0" 时：正常同步传输；

设置为 1 时：SPI 通信。

此位可用于芯片选择引脚 2。

位	描述
0	正常同步传输
1	SPI 通信

注意事项：

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE="0") 才能更改此位。*
- *从机模式操作时 (SCR:MS=1) 禁用此位。*
- *禁用芯片选择引脚的数据格式(ESCR:CSFE=0)时，禁用此位。*

[bit12] CS2BDS：串行芯片选择 2 的传输方向选择位

指定串行芯片选择引脚为活动状态时优先传输串行数据的最低有效位（LSB 优先；BDS=0）或优先传输最高有效位（MSB 优先；BDS=1）。在串行芯片选择格式使能时 (ESCR:CSFE=1) 使用此位。

此位可用于芯片选择引脚 2。

位	描述
0	LSB 优先（最低有效位优先传输。）
1	MSB 优先（最高有效位优先传输。）

注意事项:

- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE="0") 才能更改此位。*
- *从机模式操作时 (SCR:MS=1) 禁用此位。*
- *禁用芯片选择引脚的数据格式 (ESCR:CSFE=0)时，禁用此位。*

[bit11:8]CS2 L3, L2, L1, L0：串行芯片选择 2 的数据长度选择位

使能串行芯片选择格式 (ESCR:CSFE=1) 后串行芯片选择引脚为活动状态时，这些位设置传送/接收数据的长度。

此位可用于芯片选择引脚 2。

bit11	bit10	bit9	bit8	描述
0	0	0	0	8 位长度
0	0	0	1	5 位长度
0	0	1	0	6 位长度
0	0	1	1	7 位长度
0	1	0	0	9 位长度
0	1	0	1	10 位长度
0	1	1	0	11 位长度
0	1	1	1	12 位长度
1	0	0	0	13 位长度
1	0	0	1	14 位长度
1	0	1	0	15 位长度
1	0	1	1	16 位长度

注意事项:

- *禁止上述表中设置之外的任何位设置。*
- *只有禁用数据传送和接收操作时 (SCR:TXE=RXE="0") 才能更改此位。*
- *从机模式操作时 (SCR:MS=1) 禁用此位。*
- *禁用芯片选择引脚的数据格式时 (ESCR:CSFE=0)，禁用此位。*

[bit7:0]CS1CSLVL, CS1SCINV, CS1SPI, CS1BDS, CS1L3-0：串行芯片选择 1 的设置位

这些位设置串行芯片选择 1。参见串行芯片选择引脚 2 各位的说明。

Figure 7-2 串行芯片选择格式寄存器 (SCSFR2)的位配置

位	15 ... 8	7	6	5	4	3	2	1	0
字段	-	CS3 CSLVL	CS3 SCINV	CS3 SPI	CS3 BDS	CS3 L3	CS3 L2	CS3 L1	CS3 L0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值		1	0	0	0	0	0	0	0

[bit7:0]CS3CSLVL, CS3SCINV, CS3SPI, CS3BDS, CS3L3-0：串行芯片选择 3 的设置位

这些位设置串行芯片选择 3。参见串行芯片选择引脚 2 各位的说明。

7.12 传输字节寄存器(TBYTE3-0)

此寄存器用于设置活动串行芯片选择引脚的传输数据计数。

传输字节寄存器 (TBYTE3-0) 的位配置

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	(TBYTE1)								(TBYTE0)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	(TBYTE3)								(TBYTE2)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

传输字节寄存器设置活动串行芯片选择引脚的传输数据计数。串行芯片选择引脚变为活动状态后，通过此寄存器传输指定计数的数据，然后串行芯片选择引脚变为不活动状态。

串行芯片选择引脚 0 (SCS0)对应 TBYTE0，串行芯片选择引脚 1 (SCS1) 对应 TBYTE1，串行芯片选择引脚 2 (SCS2) 对应 TBYTE2，串行芯片选择引脚 3 (SCS3) 对应 TBYTE3。

禁用串行芯片选择(SCSCR:CSEN3-0="0000")时，传输字节寄存器 0 (TBYTE0) 用于同步计时器的传送。启动同步计时器的传送后，传输 TBYTE0 所指定计数的数据。

如果在执行传输操作时 (SSR:TBI=0) 改变此位，则改变后的传输数据计数设置在最初指定计数的数据传送结束后有效。

TBYTE	传输字节寄存器
Write	写入 TBYTE
Read	TBYTE 设置值

注意事项:

- *此位设置为 (00)h 时，传输计数为 8 次。*
- *从机模式操作时 (SCR:MS=1)，不能设置此位。*

7.13 波特率发生器寄存器 1 和 0 (BGR1 和 BGR0)

波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 用于设置串行时钟的分频比。

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	-	(BGR1)							(BGR0)							
属性	-	R/W							R/W							
初始值	-	0000000							0x00							

- 在波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 设置时钟分频比。
- BGR1 寄存器对应较高位，BGR0 寄存器对应较低位。可写入要计数的重载值，可读取 BGR1/BGR0 设置值。
- 将重载值写入波特率发生器寄存器 1 和 0 (BGR1 或 BGR0) 时，重载计数器启动计数。

[bit15] -：未使用位

读取时此位值未定义。
此位写入时对操作无效。

[bit14:8] BGR1：波特率发生器寄存器 1

bit14:8	描述
写入	数据写入重载计数器的 bit14 ~ bit8。
读取	读取 BGR1 设置值。

[bit7:0] BGR0：波特率发生器寄存器 0

bit7:0	描述
写入	数据写入重载计数器的 bit7 ~ bit0。
读取	读取 BGR0 设置值。

注意事项：

- *必须通过 16 位数据访问将数据写入波特率发生器寄存器 1 和 0（BGR1 和 BGR0）。*
- *重载值为偶数时，串行时钟的 "HIGH" 和 "LOW" 宽度如下。重载值为奇数时，串行时钟的 "HIGH" 和 "LOW" 信号宽度相同。*
  如果 SMR:SCINV="0"，串行时钟的 "HIGH" 宽度长于 1 个总线时钟周期。
  如果 SMR:SCINV="1"，串行时钟的 "LOW" 宽度长于 1 个总线时钟周期。
- *将重载值设置成 3 或以上。*
- *如果改变波特率发生器寄存器 1 和 0 (BGR1 和 BGR0)的当前值，新的值只有在计数器值达到 "15h00" 后才能重新载入。要使新设置值立即生效，应变更 BGR1/BGR0 设置值并执行 CSIO 复位指令 (SCR:UPCL)。*
- *如果使用接收 FIFO 且希望设置接收 FIFO 空闲检测使能位 (FCR1:FRIIE) 为 "1" 并启动从机模式操作，则应在 BGR1/BGR0 内设置期望的波特率。*

7.14 FIFO 控制寄存器 1 (FCR1)

FIFO 控制寄存器 (FCR1) 用于设置 FIFO 测试、选择传送 FIFO 或接收 FIFO、使能传送 FIFO 中断并控制中断标志。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	保留			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性	-	-	-	R/W	R/W	R/W	R/W	R/W	
初始值	-	-	-	0	0	1	0	0	

[bit15:13] 保留：保留位

读取值为 "0"。确保写入 "0"。

[bit12] FLSTE：重传数据丢失检测使能位

此位使能 FLST 位检测。

设置为 "0" 时：禁用 FLST 位检测。
设置为 "1" 时：使能 FLST 位检测。

位	描述
0	禁用数据丢失检测。
1	使能数据丢失检测。

注意事项：

- *如果要将此位设置为 "1"，应先将 FSET 位设置成 "1"，然后再将此位设置成 "1"。*

[bit11] FRIIE：接收 FIFO 空闲检测使能位

如果接收 FIFO 包含有效数据且持续 8 位小时以上，此位设置检测接收空闲状态。如果使能接收中断 (SCR:RIE=1)，则在检测到接收空闲状态时产生接收中断。

位	描述
0	禁用接收 FIFO 空闲检测。
1	使能接收 FIFO 空闲检测。

注意事项：

- *使用接收 FIFO 时，将此位设置为 "1"。*

[bit10] FDRQ：传送 FIFO 数据请求位

此位请求传送 FIFO 数据。

如果此位为"1"，表示正在请求传送数据。如果此时使能传送 FIFO 中断 (FTIE=1)，则会输出传送 FIFO 中断请求。

在下列条件下设置 FDRQ 位：

- FBYTE（传送）为 "0" （传送 FIFO 为空）。
- 传送 FIFO 复位。

下列情况下 FDRQ 位复位：

- 此位设置为 "0"。
- 传送 FIFO 中数据已满。

位	描述
0	不请求传送 FIFO 数据。
1	请求传送 FIFO 数据。

注意事项：

- *FBYTE（传送）为 "0" 时，此位不能设置为"0"。*
- *此位为 "0" 时，不能变更 FSEL 位状态。*
- *此位设置为 "1" 时对操作无效。*
- *如果发出读改写指令，读取值为 1。*

[bit9] FTIE：传送 FIFO 中断使能位

此位使能传送 FIFO 中断。如果此位设置为 "1"，则当 FDRQ 位设置成 "1" 时会发生中断。

位	描述
0	禁用传送 FIFO 中断。
1	使能传送 FIFO 中断。

[bit8] FSEL：FIFO 选择位

此位选择传送 FIFO 或接收 FIFO。

位	描述
0	传送 FIFO:FIFO1；接收 FIFO:FIFO2
1	传送 FIFO:FIFO2；接收 FIFO:FIFO1

注意事项：

- *不能通过 FIFO 复位 (FCR0:FCL[2:1]=11) 清除此位。*
- *变更此位的状态时，应先禁用 FIFO 操作 (FCR0:FE[2:1]=00)。*

7.15 FIFO 控制寄存器 0 (FCR0)

FIFO 控制寄存器 0 (FCR0) 用于使能/禁用 FIFO 操作、复位 FIFO、保存读取指针并设置数据重传。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W
初始值		0	0	0	0	0	0	0	0

[bit7] - ：未使用位

读取值总为 "0"。

必须写入 "0" 。

[bit6] FLST：FIFO 重传数据丢失标志位

此位指示传送 FIFO 中重传的数据已丢失。

满足下列条件时设置 FLST 位：

- FIFO 控制寄存器 1 (FCR1) 的 FLSTE 位为 "1"，传送 FIFO 的写指针与 FSET 位保存的读指针匹配并将数据写入 FIFO。

在下列情况下 FLST 位复位：

- FIFO 复位（FCL 位设置为 "1"）。
- FSET 位设置为 "1"。

此位设置为 "1" 时，会覆盖写入读指针识别的数据（通过 FSET 位保存的数据）。因此，即使发生了错误，FLD 位也不能设置数据重传。此位设置为 "1" 时如果要重传数据，应先复位 FIFO。然后，再次将数据写入 FIFO 缓冲器。

位	描述
0	未发生数据丢失。
1	发生数据丢失。

[bit5] FLD：FIFO 指针重载位

此位将 FSET 位保存在传送 FIFO 中的数据重新载入重载指针。此位可用于发生通信错误或其他错误后重传数据。

完成重传设置后，此位设置为 "0"。

位	描述
0	不重载
1	重载

注意事项：

- *此位为 "1" 时，表明正将数据重新载入读指针。因此，除 FIFO 复位以外，禁用数据写入。*
- *使能 FIFO 或数据正在传送时，此位不能设置成 "1"。*
- *SCR:TIE 位和 SCR:TBIE 位设置为 "0" 后，将此位设置为 "1"。使能传送 FIFO 后，将 SCR:TIE 位和 SCR:TBIE 位设置为 "1"。*

[bit4] FSET：FIFO 指针保存位

此位保存传送 FIFO 读指针。
如果在传送前保存读取指针且 FLST 位为 "0"，即使已发生通信错误或其他错误，也可重传数据。

设置为 "1" 时：保存当前读取指针值。
设置为 "0" 时：对操作无效。

位	描述	
	写入时	读取时
0	未保存	读取值总为 "0"。
1	保存	

注意事项：

- *只有当传送字节计数 (FBYTE) 为 "0" 时才能将此位设为 "1"。*

[bit3] FCL2：FIFO2 重置位

此位重置 FIFO2 的值。
此位设置为 "1" 时，会初始化 FIFO2 的内部状态。
只有 FCR1:FLST2 位被初始化，但要保持 FCR1/FCR0 寄存器的其他位。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	重置 FIFO2。	

注意事项：

- *先禁用数据传送和接收，然后再复位 FIFO2。*
- *执行前，将传送 FIFO 中断使能位设为 "0"。*
- *将 FBYTE2 寄存器的有效数据计数设为 "0"。*

[bit2] FCL1：FIFO1 重置位

此位复位 FIFO1 值。
此位设置为 "1" 时，会初始化 FIFO1 的内部状态。
只有 FCR1:FLST1 位被初始化，但要保持 FCR1/FCR0 寄存器的其他位。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	复位 FIFO1。	

注意事项：

- *首先禁用传送和接收，然后再复位 FIFO1。*
- *执行前，将传送 FIFO 中断使能位设为 "0"。*
- *将 FBYTE1 寄存器的有效数据计数设为 "0"。*

[bit1] FE2：FIFO2 操作使能位

此位使能或禁用 FIFO2 操作。

- 使用 FIFO2 操作时，将此位设为 "1"。
- 如果 FIFO2 设置为传送 FIFO (FCR1:FSEL=1) 且此位设为 "1" 时 FIFO2 中存在数据，则在使能 UART 传送数据 (SCR:TXE=1) 时，会立即启动数据传送。此时，将 SCR:TIE 位和 SCR:TBIE 位都设置为 "0"。然后，将此位设置为 "1" 并将 SCR:TIE 位和 SCR:TBIE 位都设置为 "1"。
- 如果 FSEL 位选择接收 FIFO 且发生接收错误，此位会被清除为 "0" 在接收错误被清除前不能将此位设置为 "1"。
- 如果 FIFO2 用作传送 FIFO，则必须在传送缓冲器为空 (SSR:TDRE=1) 时将此位设置为 "1" 或 "0"。
- 如果 FIFO2 用作接收 FIFO，则必须在禁用接收后 (SCR:RXE=0) 当接收缓冲器为空 (SSR:RDRF=0) 且接收 FIFO 中不存在有效数据 (FBYTE2=0x00)时将此位设置为 "0"。
- 如果 FIFO2 用作接收 FIFO ，必须在禁用接收后 (SCR:RXE=0) 当接收缓冲器为空时 (SSR:RDRF=0) 将此位设置为 "1"。
- 即使禁用 FIFO2 操作，仍然保持 FIFO2 的状态。

位	描述
0	禁用 FIFO2 操作。
1	使能 FIFO2 操作。

[bit0] FE1：FIFO1 操作使能位

此位使能或禁用 FIFO1 操作。

- 使用 FIFO1 操作时，将此位设为 "1"。
- 如果 FIFO1 设置为传送 FIFO (FCR1:FSEL=0)，且此位设为 "1" 时 FIFO1 中有数据，则在使能 UART 传送数据 (SCR:TXE=1) 后会立即启动数据传送。此时，将 SCR:TIE 位和 SCR:TBIE 位都设置为 "0"。然后，将此位设置为 "1" 并将 TIE 位和 TBIE 位都设置为 "1"。
- 如果 FSEL 位选择接收 FIFO 且发生接收错误，此位会被清除为 "0" 在接收错误被清除前不能将此位设置为 "1"。
- 如果 FIFO1 用作传送 FIFO，则在传送缓冲器为空 (SSR:TDRE=1) 时，此位必须设置为 "1" 或 "0"。
- 如果 FIFO1 用作接收 FIFO，则在禁用接收后 (SCR:RXE=0) 接收缓冲器为空 (SSR:RDRF=0) 且接收 FIFO 中不存在有效数据 (FBYTE2=0x00)时，此位必须设置为 "0"。
- 当 FIFO1 用作接收 FIFO 时，必须在禁用接收后 (SCR:RXE=0)，当接收缓冲器为空时 (SSR:RDRF=0) 将此位设置为 "1"。
- 即使禁用 FIFO1 操作，仍然保持 FIFO1 的状态。

位	描述
0	禁用 FIFO1 操作。
1	使能 FIFO1 操作。

7.16 FIFO 字节寄存器 (FBYTE)

FIFO 字节寄存器 (FBYTE) 指示 FIFO 缓冲器中的有效数据计数。

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE 寄存器指示 FIFO 的有效数据计数。下表列出了 FCR1:FSEL 位的设置。

Table 7-3 数据计数的显示

FCR1:FSEL	FIFO 选择	字节计数显示
0	FIFO2：接收 FIFO；FIFO1：传送 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2：传送 FIFO；FIFO1：接收 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE 寄存器的数据传输计数初始值为 "0x08"。
- 设置数据计数，生成接收 FIFO 的 FBYTE 寄存器的接收中断标志。如果此传输数据计数与 FBYTE 寄存器的显示相匹配，则接收数据已满标志位 (RDRF) 设置为 "1"。
- 如果满足下列两个条件且接收空闲状态持续超过 8 个波特率时钟，则接收数据已满标志位 (RDRF) 设置为 "1"。
  - 接收 FIFO 空闲检测使能位 (FRIIE) 为 "1"。
  - 接收 FIFO 中储存的数据设置数量未达到传输计数。
    如果在 8 个时钟计数过程中读取 RDR 数据，则此计数器复位为 "0" 并重新启动 8 个时钟计数。
    如果禁用接收 FIFO，则此计数器复位为 "0"。如果数据保留在接收 FIFO 中且使能接收 FIFO，则重新启动数据计数。
- 在主机模式操作接送数据时（主机模式接收），将 SCR:TIE 和 SCR:TBIE 位都设置为 "0"，在传送 FIFO 的 FBYTE 寄存器内设置接收数据计数并将 FCR1:FDRQ 位设置为 "0"。
  SCR.RXE 位设置为 "1" 后，通过将 SCR:TXE 设置为 "1" ，输出预设数据量的串行时钟且可以接收到预设的数据量。只能在 FCR1:FDRQ 位已设置为 "1" 之后将 SCR:TIE 位和 SCR:TBIE 位设置为 "1"。

[bit15:8] FBYTE2：FIFO2 数据计数显示位

[bit7:0] FBYTE1：FIFO1 数据计数显示位

写入	设置传输数据计数。
读取	读取有效数据计数。

读取（有效数据计数）

传送时：数据量已写入 FIFO 但尚未传送。
接收时：　　数据量接收到 FIFO 中。

写入（传输数据计数）

传送时：设置 "0x00"。
接收时：　　设置产生接收中断的数据计数。

Table 7-4 保存在 FIFO 中的数据计数

FIFO 容量	数据长度	最大 FBYTE 计数	要保存的数据计数
16 字节	5 ~ 16 位	8	8
32 字节	5 ~ 16 位	16	16
64 字节	5 ~ 16 位	32	32
64 字节	5 ~ 16 位	64	64

注意事项：

- *除了主机模式时接收数据以外，传送 FIFO 的 FBYTE 寄存器必须为 "0x00"。*
- *在主机模式接收数据过程中，只有当传送 FIFO 为空且 SCR:TIE 位和 SSR:TBIE 位都设置为 "0" 时才必须设置传送数据计数。*
- *如果要在主机模式下正在接收数据时禁用接收 (SCR:RXE=0)，应先禁用传送 FIFO，然后再禁用传送和接收。*
- *接收 FIFO 的 FBYTE 位必须设置为 "1" 或更大值。*
- *只能在禁用数据接收后才能改变接收 FIFO 的 FBYTE 数据。*
- *本寄存器不能使用读改写指令。*
- *禁止任何超出 FIFO 容量的设置。*

8. CSIO（时钟同步串口）的限制

本节说明 CSIO（时钟同步串口）的限制

- 当芯片选择用于正常传送模式 (SCR:SPI="0") 和主机模式 (SCR:MS="0") 时，设置保持延迟时间应满足下列条件之一：
- 保持延迟+ 设置延迟<波特率转换值– 2 × t_{CYCP}
- 波特率转换值/2 <保持延迟 + 3 × t_{CYCP}

波特率转换值：波特率的反数（定义）

t_{CYCP}： APB 总线时钟频率

<计算示例>

当波特率为 1 [Mbps]（波特率转换值：1 [Mbps]），外设总线时钟为 48 [MHz]（周期：约 20 [ns]）且 SCSCR:CDIV="0" 时，保持延迟及设置延迟条件计算如下：

- 保持延迟：
  SCSTR:CSHD 值×t_{CYCP}× $2^{SCSCR:CDIV\ 值}$= SCSTR:CSHD 值× 20[ns]
- 设置延迟：
  SCSTR:CSSU 值 ×t_{CYCP}× $2^{SCSCR:CDIV\ 值}$= SCSTR:CSSU 值 × 20[ns]

在上面的条件公式中，根据 Table 8-1 所列组合，设置 SCSTR:CSHD 值和 SCSTR:CSSU 值：

Table 8-1 保持延迟和设置延迟设置条件（计算示例）

SCSTR:CSHD 值	SCSTR:CSSU 值
23 或以上	任意值
22	25 或以下
21	26 或以下
20	27 或以下
:	:
1	46 或以下
0	47 或以下

在主机模式 (SCR:MS=0) 和 SPI 传输模式 (SCR:SPI=1) 时，如果传输数据计数设置为 “1” (TBYTE=1) 且使用串行芯片选择保持功能，则在下列条件下使用 CSIO：

- 设置 “无串行数据传送和接收等待” (ESCR:WT1, WT0 ="00")。

第 1-4 章：LIN 接口 (Ver.2.1) (LIN 通信控制接口 Ver.2.1)



本章说明 **LIN** 通信功能、部分多功能串口功能以及操作模式 **3** 的支持。

1. **LIN 接口 (Ver.2.1) 概述 (LIN 通信控制接口 Ver.2.1)**
2. **LIN 接口(Ver.2.1) 中断**
3. **专用波特率发生器**
4. **LIN 接口(Ver.2.1) 操作**
5. **操作模式 3 （LIN 通信接口）的设置步 及程序流程**
6. **LIN 接口(Ver.2.1) 寄存器**

代码：9BFLIN_FM0-C03.0_FM15L-J05.4

1. LIN 接口 (Ver.2.1) 概述 (LIN 通信控制接口 Ver.2.1)

LIN 接口 (ver.2.1) (LIN 通信控制接口 ver.2.1) 支持符合 LIN 总线的功能，还配备有传送/接收 FIFO (最大 128 字节)。**LIN 接口的功能 (Ver.2.1) (LIN 通信控制接口 Ver.2.1)**

		功能
1	数据缓冲	– 全双工双缓冲（不使用 FIFO 时） – 传送/接收 FIFO（最大 128 字节）*（使用 FIFO 时）
2	串行输入	使用总线时 运行过采样三次并根据择多采样值确定接收数据的值。
3	传输模式	异步
4	波特率	– 专用波特率发生器（由 15 位 载计数器构成） – 可通过 载计数器调整外部时 。
5	数据 度	8 位
6	信号系统	NRZ（不归 ）
7	启动位检测	与启动位的下 沿同步
8	接收 误检测	– 成帧 误 – 溢出 误
9	中断请求	– 接收中断 （接收完成、成帧 误、溢出 误或奇偶校 误） – 传送中断（传送数据为空，传送总线空 ） – 状态中断（LIN 断开字段检测） – 发送给 ICU 的中断请求（LIN 同步字段检测：LSYN） – 传送 FIFO 中断（传送 FIFO 为空时） – DMA（传送/接收）传输支持功能可用。
10	LIN 总线选	– 支持 LIN 协议 2.1 版 – 主机设备操作 – 从机设备操作 – LIN 断开字段产生（位 可变范围 13 ~ 16 位） – LIN 断开定界符发生（数据 可变范围 1 ~ 4 位） – LIN 断开字段检测 – 连接输入捕捉的 LIN 同步字段启动/停止边沿检测
11	FIFO 选	– 配备传送/接收 FIFO（最大容 ：传送 FIFO 为 128 字节，接收 FIFO 为 128 字节）*1 – 可选择传送 FIFO 或接收 FIFO。 – 传送数据可 新发送。 – 可通过软件更改接收 FIFO 中断时序。 – 独立支持 FIFO 复位。

*：FIFO 容 根据产品而异。

2. LIN 接口(Ver.2.1) 中断

提供 LIN 接口 (Ver.2.1)的接收中断和传送中断。在下列条件下可产生中断请求：

- 在接收数据寄存器 (RDR) 中设置接收数据或发生数据接收 误时。
- 传送数据从传送数据寄存器 (TDR) 传输至传送移位寄存器，并启动数据传送时。
- 传送总线空 （未发生数据传送）。
- 请求传送 FIFO 数据时。
- 检测到 LIN 断开字段。

LIN 接口(Ver.2.1) 中断

Table 2-1 列出 LIN 接口(Ver.2.1)的中断控制位及中断因素。

Table 2-1LIN 接口 (Ver.2.1) 中断控制位及中断因素

中断类型	中断请求标志位	标志寄存器	中断因素	中断因素使能位	清 中断请求标志的操作
接收	RDRF	SSR	单字节接收	SCR:RIE	从接收数据寄存器 (RDR) 读取
			接收到的数据 与 FBYTE 的设置值匹配。		从接收数据寄存器 (RDR) 读取，直到接收 FIFO 为空为止
			FRIIE 位为 "1" 且接收到的 FIFO 包含有效数据时，接收空状态将继续 8 位或更 周期。		
	ORE	SSR	溢出 误		将接收 误标志清 位 (SSR:REC) 设置为 "1"
	FRE	SSR	成帧 误		
传送	TDRE	SSR	传送数据寄存器为空	SCR:TIE	当传送 FIFO 操作使能位设置为 "0" 且传送 FIFO 中存在有效数据时，写入传送数据寄存器 (TDR) 或将传送 FIFO 操作使能位设置为 "1" （ 传数据）*1
	TBI	SSR	无数据传送	SCR:TBIE	当传送 FIFO 操作使能位设置为 "0" 且传送 FIFO 中存在有效数据时，写入传送数据寄存器 (TDR) 、设置 LIN 断开字段设置位(LBR)为 "1" 或将传送 FIFO 操作使能位设置为 "1" （ 传数据）*1
	FDRQ	FCR1	传送 FIFO 为空。	FCR1:FTIE	FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "0" 或传送 FIFO 已满。
状态	LBD	SSR	检测到 LIN 断开字段。	ESCR:LBIE	SSR:LBD 位设置为 "0"。
输入捕捉*2	ICP0/ ICP1	ICSA10/ICSA32	LIN 同步字段内的次上升边沿	ICSA10.ICE0 ICSA10.ICE1 ICSA32.ICE0 ICSA32.ICE1	禁用 ICP0 和 ICP1
	ICP0/ ICP1	ICSA10/ICSA32	LIN 同步字段内的第五个下 边沿		

*1: 仅在 TDRE 位已设置为 "0" 之后将 TIE 位设置为 "1"。

*2: 有关输入捕捉的通道号与 LIN 的通道号 的通信，参见 EPFR01/EPFR02/EPFR03 寄存器说明。

2.1 接收中断及标志设置时序

接收完成 (SSR:RDRF = 1) 、发生接收 误(SSR:ORE, FRE = 1) 或检测到 LIN 断开字段会中断数据接收。

接收中断及标志设置时序

检测至 个停止位时，接收数据储存在接收数据寄存器 (RDR) 中。完成数据接收(SSR:RDRF = 1)时或发生数据接收 误(SSR:ORE, FRE = 1)时，设置各标志。如果此时使能接收中断(SCR:RIE = 1)，将发生传送中断。

注意事 ：

- *如果发生接收 误，收数据寄存器 (RDR) 中的数据会失效。*

Figure 2-1 RDRF (接收数据已满标志位)设置时序

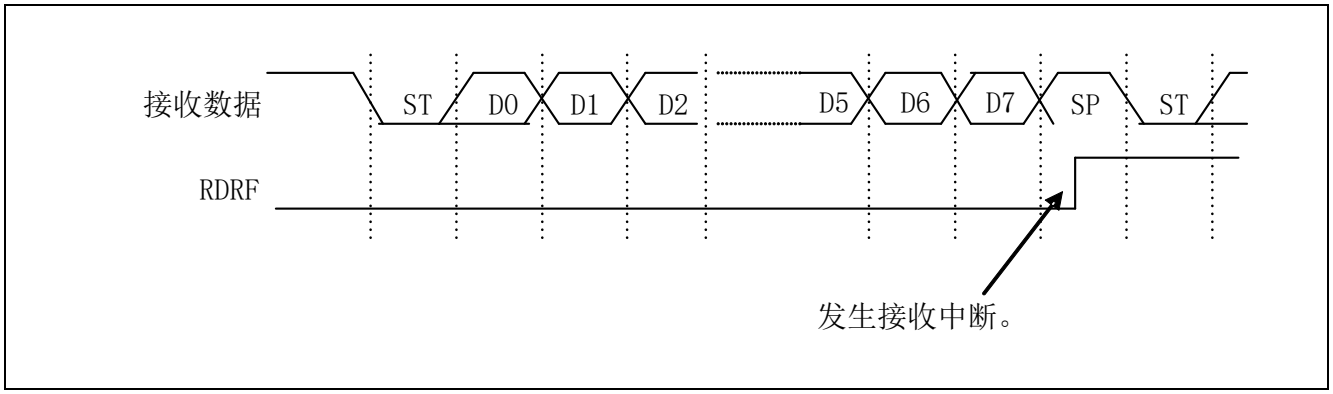
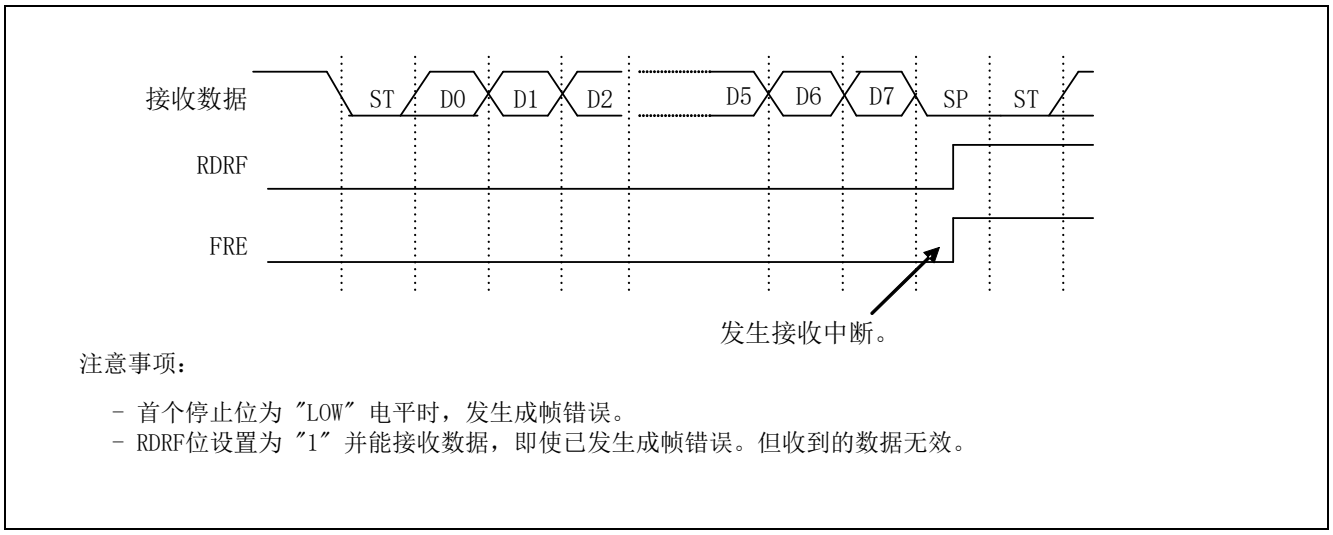


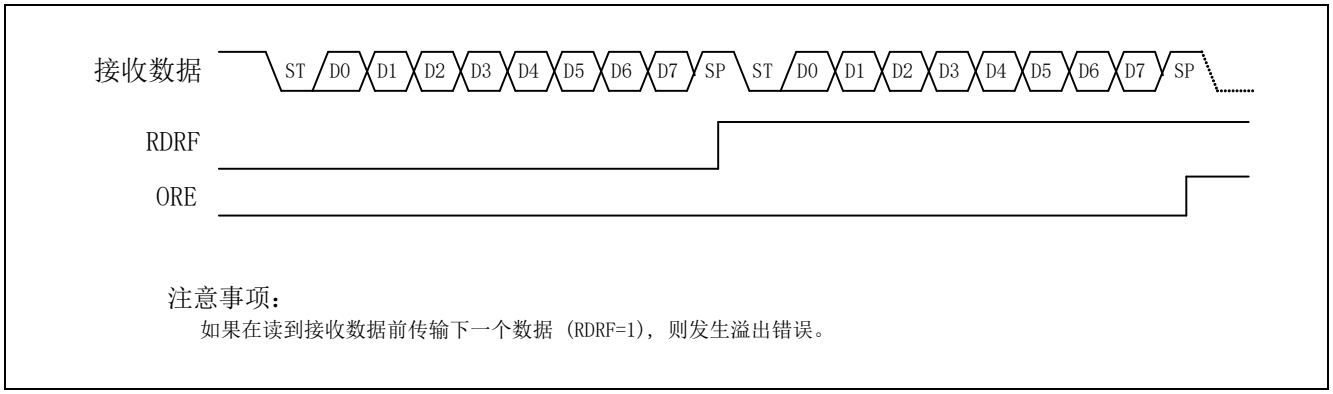
Figure 2-2 FRE (成帧 误标志位)设置时序



注意事 ：

- *在接收进程中，如果在停止位的采样点或停止位采样点 1 至 2 个总线时 之前同时检测到串行数据的下 沿，则忽略边沿且下一个数据可能无法成功接收。连续输出帧时，帧之 要充分的时 。*

Figure 2-3 ORE (溢出 误标志位)设置时序



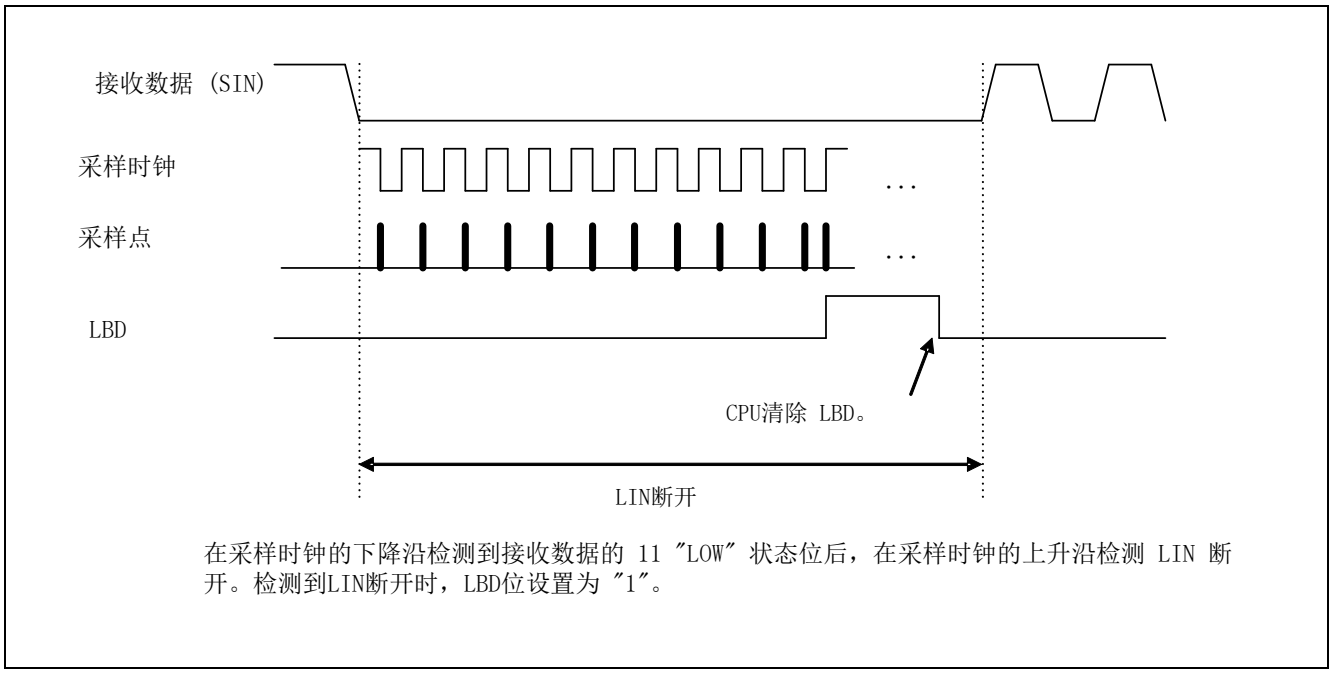
注意事项：

如果在读到接收数据前传输下一个数据 (RDRF=1)，则发生溢出错误。

LIN 断开字段检测标志 (LBD)设置时序

如果在 11 位或更大宽度时输入"0" 作为串行输入(SIN)，则 LBD 位设置为 "1"。如果这时使能 LIN 断开字段中断 (ESCR:LBIE = 1)，将发生接收中断。

Figure 2-4 LBD (LIN 断开字段检测标志)设置时序



在采样时钟的下降沿检测到接收数据的 11 ″LOW″ 状态位后，在采样时钟的上升沿检测 LIN 断开。检测到LIN断开时，LBD位设置为 ″1″。

2.2 使用接收 FIFO 时的中断和标志设置时序

如果使用接收 FIFO，则当接收到 FBYTE 数据（FBYTE 寄存器 (FBYTE) 设值）时会发生中断。

使用接收 FIFO 时的接收中断和标志设置时序

若使用接收 FIFO，是否发生中断取决于 FBYTE 寄存器的设置值。

- 当接收到 FBYTE 寄存器中所设置传输计数的数据 时，串行状态寄存器的接收数据已满标志位 (SSR:RDRF) 设置为 "1"。如果此时使能接收中断 (SCR:RIE) ，将发生传送中断。
- 如果满足下列两个条件且接收空 状态持续超过 8 个波特率时 ，则接收数据已满标志(SSR:RDRF) 设置为 "1"。
  - 接收 FIFO 空 检测使能位(FCR:FRIIE) 为 "1"。
  - 接收 FIFO 中储存的数据设置数 未达到传输计数。
    若在 8 个时 的计数进程中读取 RDR 数据，此计数器复位为 0，然后 新启动 8 个时 的计数。如果禁用接收 FIFO，则此计数器复位为 "0"。如果数据保留在接收 FIFO 中且使能接收 FIFO，则 新启动数据计数。
- 当接收到的数据 (RDR) 全部读取且接收 FIFO 为空时，则清 接收数据已满标志 (SSR:RDRF) 。
- 如果显示的有效接收数据 与 FIFO 容 相同，且接收下一个数据，则发生溢出 误(SSR:ORE = 1)。

Figure 2-5 使用接收 FIFO 时的接收中断发生时序

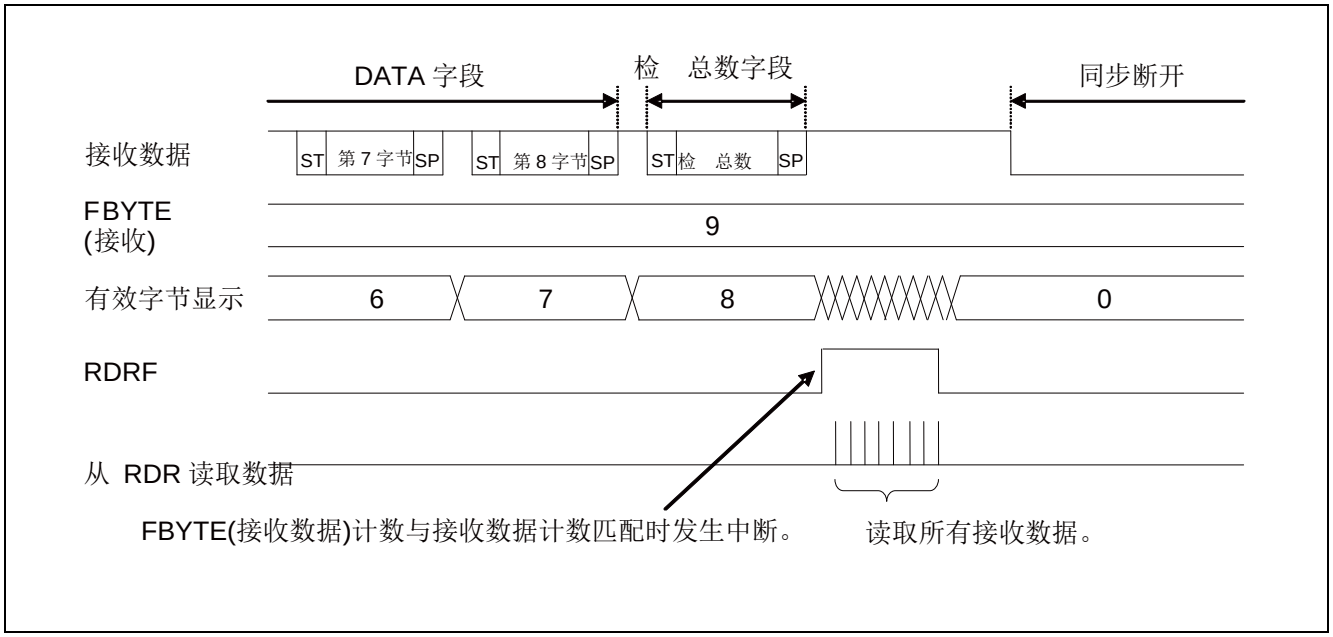
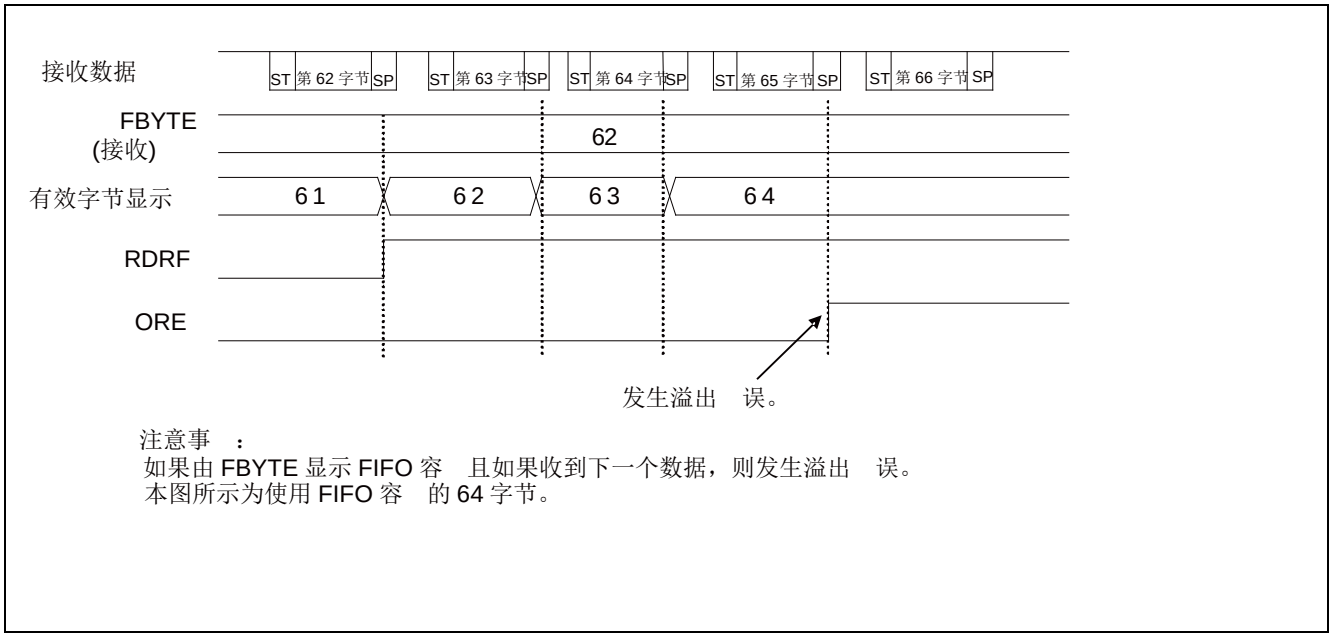


Figure 2-6 ORE (溢出 误)标志位设置时序



注意事 ：
如果由 FBYTE 显示 FIFO 容 且如果收到下一个数据，则发生溢出 误。
本图所示为使用 FIFO 容 的 64 字节。

2.3 传送中断及标志设置时序

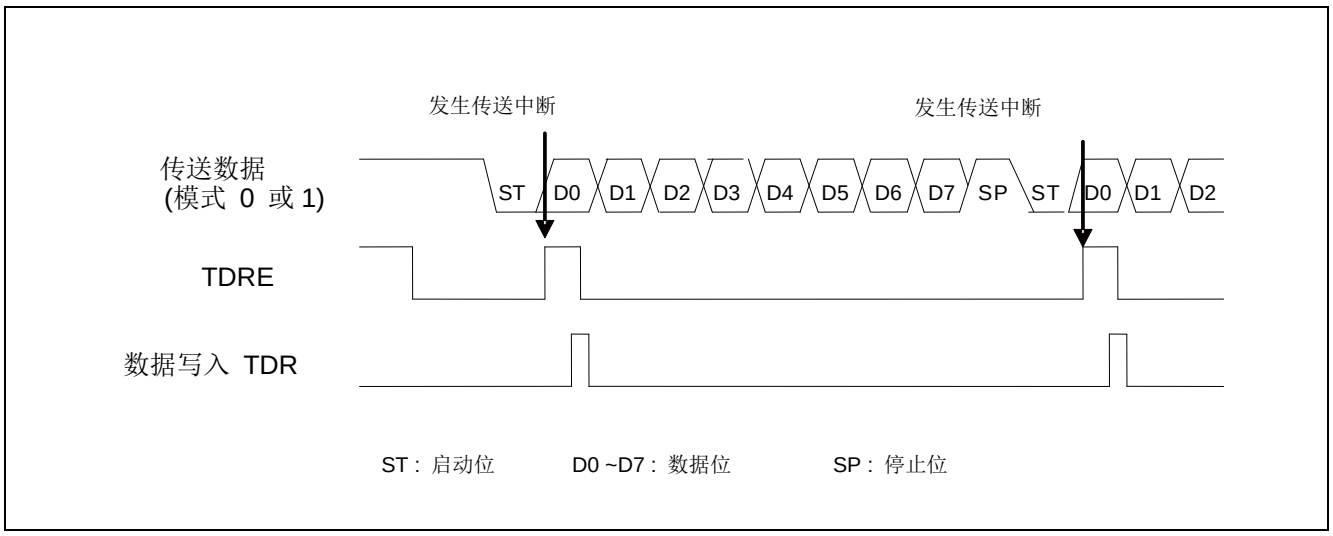
传送数据从传送数据寄存器 (TDR) 传输至传送移位寄存器 (SSR:TDRE = 1)并启动传送，且未执行传送 (SSR:TBI = 1) 时，发生传送中断。

传送中断及标志设置时序

■ 传送数据空标志 (TDRE) 设置时序

数据从传送数据寄存器 (TDR) 传输到传送移位寄存器之后，可写入下一个数据(SSR:TDRE=1)。如果此时使能传送中断 (SCR:TIE = 1)，将发生传送中断。因 TDRE 位为只读，数据写入传送数据寄存器 (TDR) 时清 SSR:TDRE 位为 "0"。

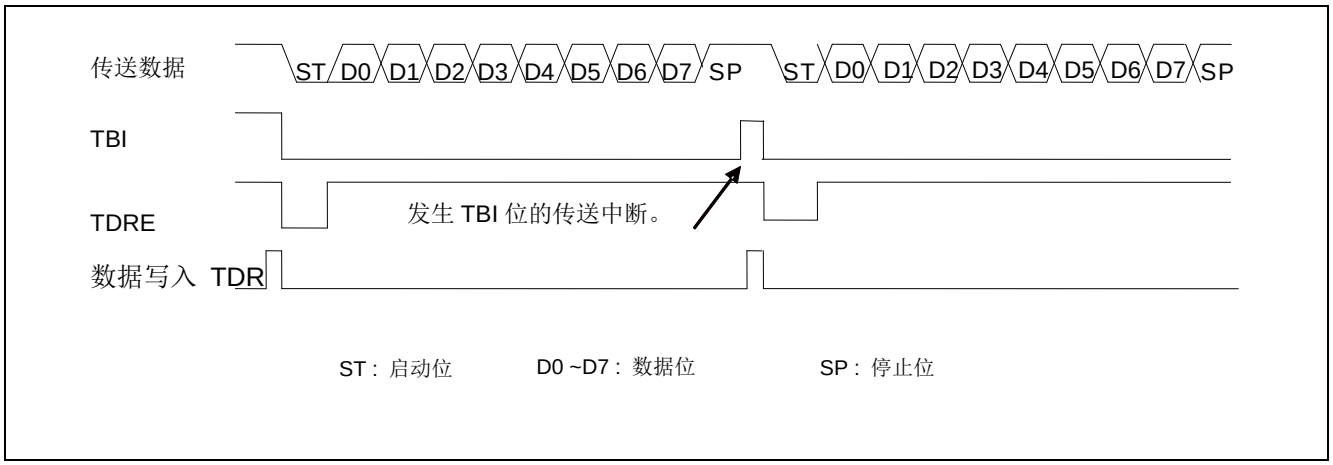
Figure 2-7 传送数据空标志 (SSR:TDRE) 设置时序



■ 传送总线空 标志(TBI) 设置时序

当传送数据寄存器为空 (TDRE=1) 且无数据传送时，SSR:TBI 位设置为 "1"。如果此时使能总线空 中断 (SCR:TIE = 1)，将发生传送中断。当传送数据写入传送数据寄存器 (TDR) 时，TBI 位和传送中断请求都会被清 。

Figure 2-8 传送总线空 标志(TBI)设置时序



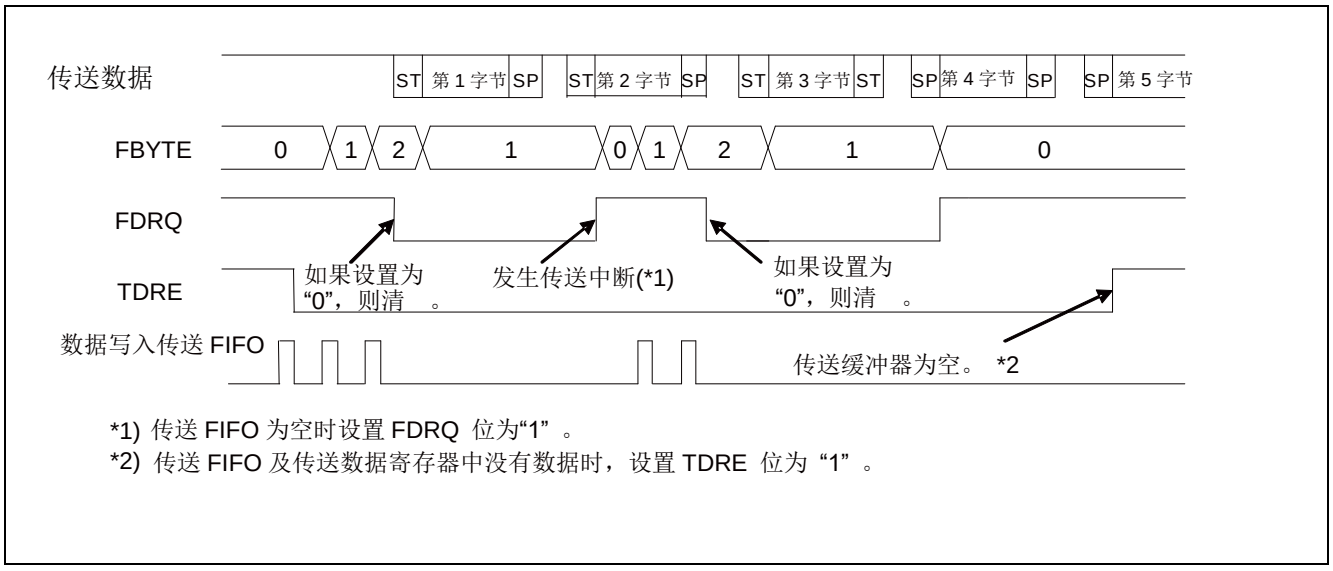
2.4 使用传送 FIFO 时的中断和标志设置时序

使用传送 FIFO 时，如果传送 FIFO 未包含数据，将发生中断。

使用传送 FIFO 时的传送中断和标志设置时序

- 传送 FIFO 没有数据时，FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "1"。
  如果此时使能 FIFO 传送中断(FCR1:FTIE=1)，将发生传送中断。
- 若已发生传送中断且已将要求的数据写入传送 FIFO，可将 FIFO 传送数据请求位 (FCR1:FDRQ) 设置为"0"，清 中断请求。
- 当传送 FIFO 中数据已满时，FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "0"。
- 检 传送 FIFO 是否包含数据，读取 FIFO 字节寄存器 (FBYTE)。
  若 FBYTE=0x00，传送 FIFO 中无任何数据。

Figure 2-9 使用传送 FIFO 时的传送中断发生时序



*1) 传送 FIFO 为空时设置 FDRQ 位为“1” 。
*2) 传送 FIFO 及传送数据寄存器中没有数据时，设置 TDRE 位为 “1” 。

3. 专用波特率发生器

可选以下任一 为 LIN 接口 (Ver.2.1) 传送/接收时 源时：
- 专用波特率发生器（ 载计数器）
- 外部时 输入至波特率发生器（ 载计数器）

LIN 接口(Ver.2.1) 波特率

选择以下波特率之一：

■ 使用专用波特率发生器（ 载计数器）分 内部时 获得的波特率

本发生器提供两种内部 载计数器，分别支持传送和接收串行时 。选择波特率时，通过波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 指定 15 位 载值。

各 载计数器通过设置值分 内部时 。

设置时 源时， 选择内部时 (SMR:EXT = 0)。

■ 使用专用波特率发生器（ 载计数器）分 外部时 获得的波特率

使用外部时 作为 载计数器的时 源。

选择波特率时，通过波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 指定 15 位 载值。

各 载计数器通过设置值分 外部时 。

要设置时 源，选择使用外部时 和波特率发生器时 (SMR:EXT = 1)。

本模式设计用于使用了分 标准 率的振荡器的情况。

注意事 ：

- *停止 载计数器(BGR1/BGR0 = 15h00)时，设置外部时 (EXT = 1)。*
- *如果选择外部时 (EXT = 1)，其 HIGH 信号和 LOW 信号必 具有至少两个总线时 的宽度。*

3.1 波特率设置

下文说明如何设置波特率和串行时 率计算结果。

计算波特率

使用波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 设置两个 15 位 载计数器。
通过以下公式计算波特率：

(1) 载值

V = ϕ /b - 1

V： 载值 b ：波特率 ϕ: 总线时 率或外部时 率

(2) 计算示例

设置 16 MHz 总线时 时，使用内部时 并设置 19200 bps 波特率，设置 载值如下：
载值：
V=(16 ×1000000)/19200 – 1 = 832
所以，波特率为：
b =(16× 1000000)/ (832+ 1) = 19208 bps

(3) 波特率误差

可通过下列公式计算波特率误差

误差(%) = (计算值–目标值) / 目标值 100
示例：设置 20 MHz 总线时 以及 153600 bps 目标波特率：
载值=:(20×1000000)/ (129 + 1)
波特率(计算值) =(20×1000000)/ (129 + 1) = 153846 (bps)
误差 (%) = (153846 - 153600)/ 153600× 100= 0.16 (%):

注意事 ：

- *载值设置为"0"时， 载计数器停止。*
- *如果 载值为偶数，串行时 的 "LOW" 宽度大于总线时 单个周期的 "HIGH" 信号宽度。 载值为奇数时，串行时 的 "HIGH" 和 "LOW" 信号宽度相同。*
- *将 载值设置成 3 或以上。注意，数据可能因波特率 误和 载值设置无法正常接收。*

各总线时　　率的　载值及波特率

Table 3-1　载值及波特率

波特率	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
(bps)	值	ERR	值	ERR	值	ERR	值	ERR	值	ERR	值	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	7	0	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	-0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	311	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.16	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	0.06	554	-0.01	693	0.06	832	0.04	1110	0.01
19200	416	-0.08	520	-0.03	832	0.04	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	<0.01	1666	-0.02	2082	0.01	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	0.01	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

值：BGR1/0 寄存器设置值

ERR：波特率误差 (%)

Table 3-2 载值及波特率（续）

波特率 (bps)	40 MHz	
	值	ERR
8M	4	0
6M	-	-
5M	7	0
4M	9	0
2.5M	15	0
1M	39	0
500000	79	0
460800	86	-0.22
250000	159	0
230400	173	-0.22
153600	259	0.16
125000	319	0
76800	520	-0.03
57600	693	0.06
38400	1041	-0.03
28800	1388	<0.01
19200	2082	0.01
10417	3839	<0.01
9600	4166	<0.01
7200	5555	<0.01
4800	8332	<0.01
2400	16666	<0.01
1200	-	-
600	-	-
300	-	-

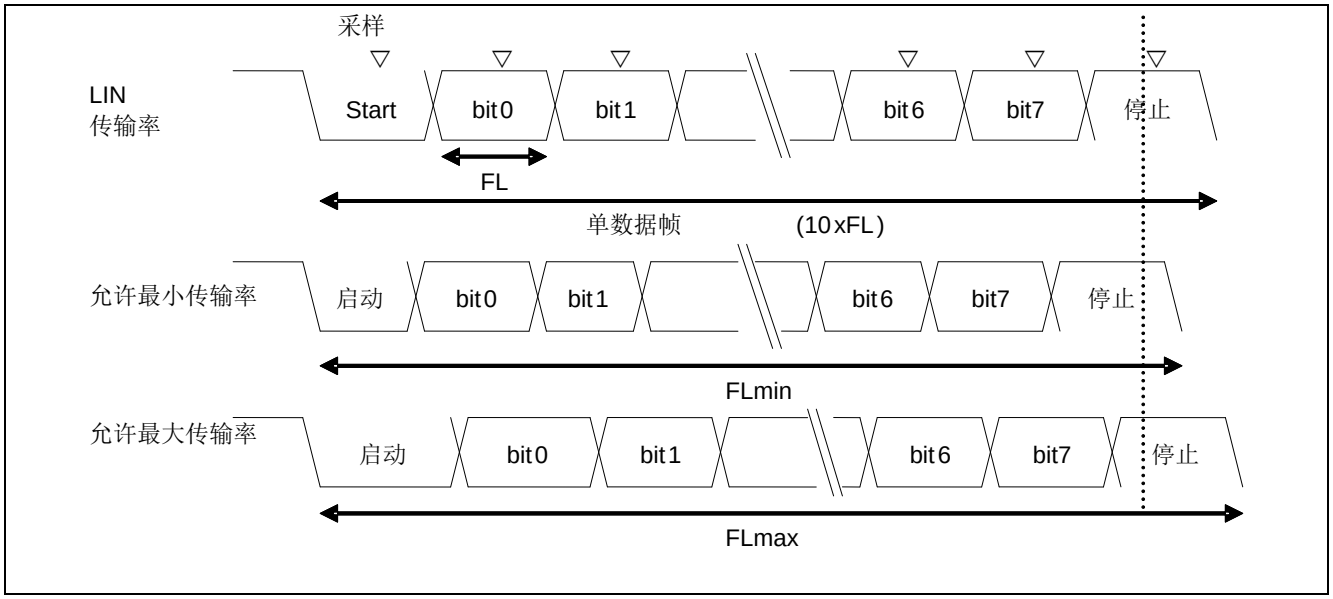
Table 3-1 和 Table 3-2 中未列出的 率采用 “3.1 波特率设置” 中的公式进行计算。（但是，最大 率应参见所用产品的《数据手册》；因为产品不同，最大 率有所不同。

数据接收的允许波特率范围

下文所示为接收数据目标的允许波特率 误范围。

使用以下公式设置接收波特率 误，确保值在允许范围之内。

Figure 3-1 数据接收的允许波特率范围



如 Figure 3-1 所示，检测到启动位后，通过 BGR1/BGR0 寄存器中设置的计数器确定接收数据的采样时序。如果包括停止位在内的最后一个数据与采样时序匹配，则可成功接收数据。

若适用于 10 位接收，理论解释如下：。

假定采样时序余 为一个总线时 (ϕ)，则允许的最小传输率 (FLmin) 确定如下：

FLmin = (10bit × (V+1) – (V+1)/2 + 2)/ϕ = (19V + 23)/2ϕ (s) V: 载值, ϕ:总线时

因此，接收数据目标的允许最大波特率 (BGmax) 确定如下：

BGmax = 10/FLmin = 20ϕ/(19V+23) (bps) V: 载值, ϕ: 总线时

按最大允许传输率 (FLmax) 接收数据时，对第 10 位接收数据的起始点采样。

因此，最大允许传输率 (FLmax) 确定如下：

9/10×FLmax = (10bit × (V+1) – (V+1)/2)/ ϕ V: 载值, ϕ: 总线时

FLmax = (19/18× 10× (V+1))/ϕ

假定采样时序余 (ϕ) 为两个时 ，则最大允许传输率 (FLmax) 确定如下：

9/10×FLmax = (10bit × (V+1) – (V+1)/2 – 2)/ ϕ V: 载值, ϕ: 总线时

FLmax = (19/18× 10× (V+1) – 40/18)/ϕ = (190V + 150)/18ϕ (s) V: 载值, ϕ: 总线时

因此，接收数据目标的允许最小波特率 (BGmin) 确定如下：

BGmin = 10/FLmax = 18ϕ/(19V+15) (bps) V: 载值, ϕ: 总线时

根据以上最小/最大波特率的计算公式，LIN 接口(Ver.2.1) 和目标之 的允许波特率 误按下表确定：

载值 (V)	最大允许波特率误差	最小允许波特率误差
3	0%	0
10	+3.28%	-3.41%
50	+4.83%	-4.87%
100	+5.04%	-5.07%
200	+5.15%	-5.16%
32767	+5.26%	-5.26%

注意事 ：

- *接收精确度取决于每帧的位数 、总线时 和 载值。总线时 和分 比越大，精确度越 。*

外部时

将 "1" 写入波特率发生器寄存器 (BGR) 的 EXT 位，使波特率发生器分 外部时 率。

注意事 ：

- *外部时 信号与 LIN 接口 (Ver.2.1) 上的内部时 同步。因此，不允许同步的外部时 将造成不稳定操作。*

载计数器的功能

载计数器有两种：传送 载计数器和接收 载计数器，都用作专用波特率发生器。各 载计数器由 15 位载值的寄存器构成，通过外部时 或内部时 产生传送时 和接收时 。

启动计数

将 载值写入波特率发生器寄存器 1, 0 (BGR1 或 BGR0) 时， 载计数器启动计数。

新启动

在下列条件下 载计数器 新启动计数：

- 传送和接收 载计数器公用
  可编程复位 (SCR:UPCL 位)
- 接收 载计数器
  在异步模式中检测启动位的下 沿

4. LIN 接口(Ver.2.1) 操作

LIN 接口 (Ver.2.1) 执行主机和从机的双向 LIN 通信。

主机模式操作

■ 选择主机模式

操作 LIN 接口为主机时，设置将 SCR:MS 位为 "0"。

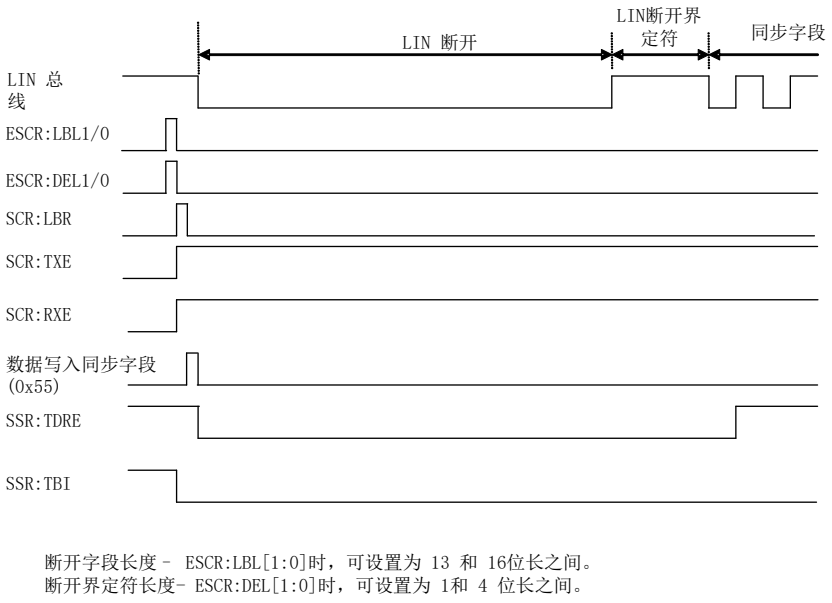
■ 断开字段传送-同步字段传送

- 可选择断开字段 度(ESCR:LBL1, LBL0) 和断开字段界定符 度 (ESCR:DEL1, DEL0) 。
- 如果使能传送 (SCR:TXE=1) 且 SCR:LBR 位(LIN 断开字段设置位) 设为 "1"，则传送断开字段。
- "0x55" 写入传送数据寄存器(TDR) 后，传送同步字段。

注意事 ：

- *传送数据寄存器 (TDR)设置为 "0x55"之前，设置 SCR:LBR 位 (LIN 断开字段设置位)为 "1"。*
- *SCR:RXE 位（接收使能位）设置为 "1" 并不使能断开字段执行接收。*

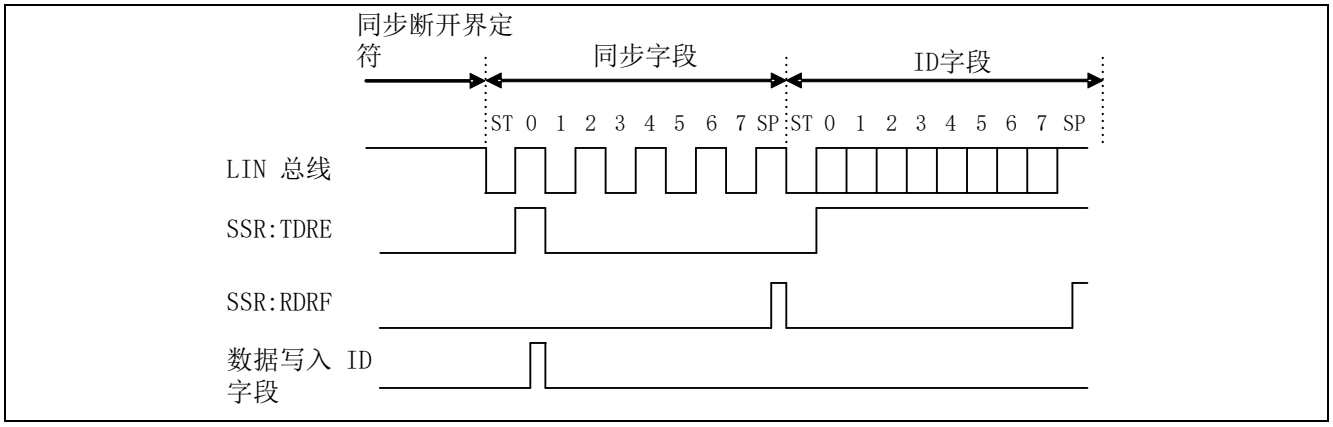
Figure 4-1 断开字段同步字段传送



断开字段长度 - ESCR:LBL[1:0]时，可设置为 13 和 16位长之间。
断开界定符长度- ESCR:DEL[1:0]时，可设置为 1和 4 位长之间。

■ 同步字段传送-ID 字段传送

- 传送同步字段(0x55) 的第一位后，SSR:TDRE (传送数据空)位设置为 "1"。
  若在此进程中使能传送中断 (SCR:TIE = 1)，将发生传送中断。
- 如果发生传送中断， ID 字段会写入传送数据寄存器(TDR) 。
- 如果发生接收中断，将接收数据与传送数据进行比较，确保没有发生 误。
- ID 字段以 8 位数据 度以及 LSB 优先序列输出。



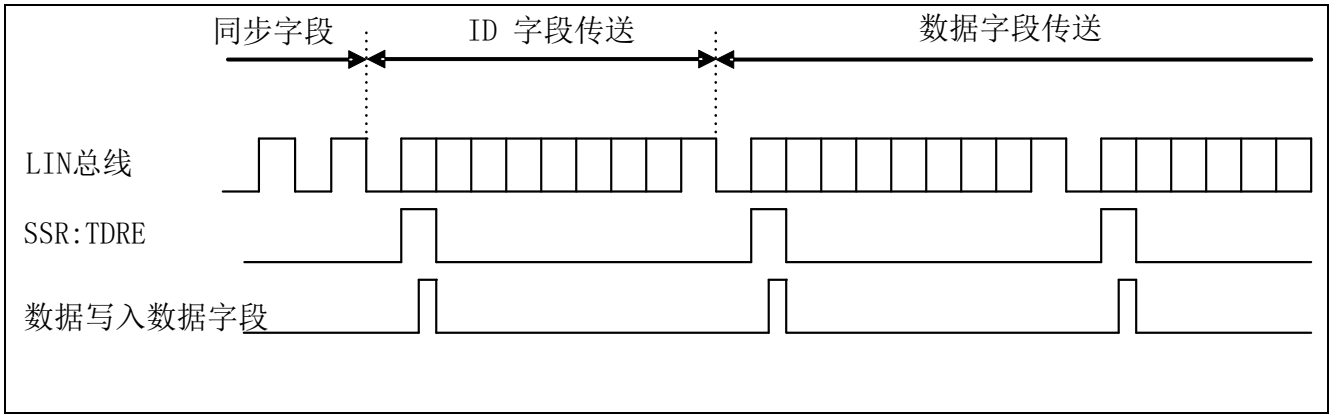
■ ID 字段传送-DATA 字段传送/接收

选择是传送 DATA 字段至从机设备还是接收 DATA 字段。

(传送 DATA 字段)

传送 ID 字段的第一位后，SSR:TDRE 位设置为“1”。数据可写入 DATA 字段。

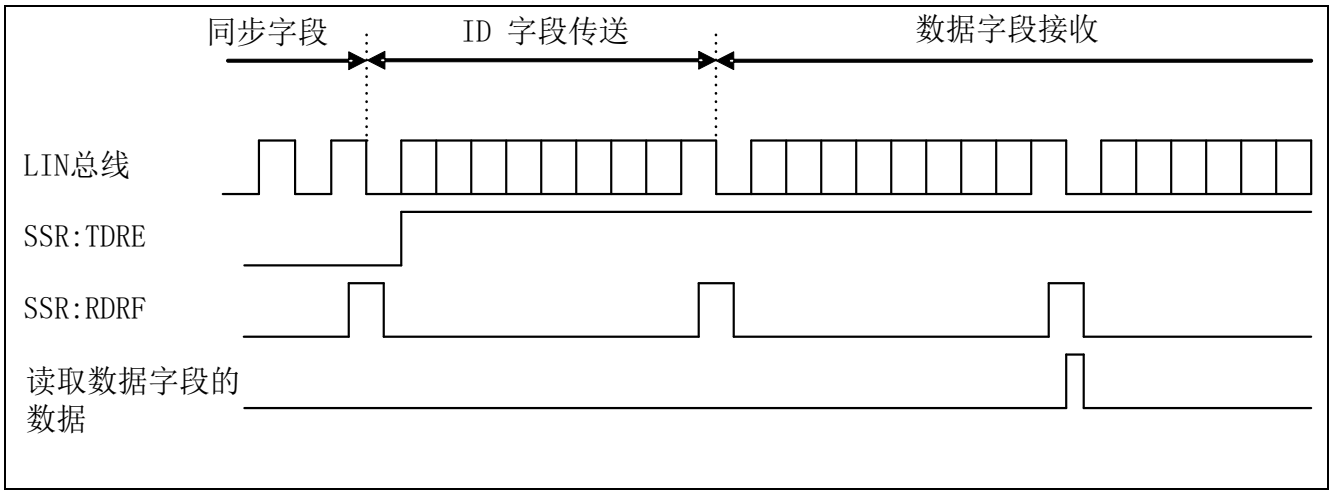
Figure 4-2 ID 字段传送 DATA 字段传送



(接收 DATA 字段)

- 传送 ID 字段的第一位后，SSR:TDRE 位设置为"1"。但这 不能写入传送数据。
  还要禁用传送中断(SCR:TIE = 0)。
- 接收到 DATA 字段后，SSR:RDRF 位设置为 "1"。如果使能接收中断 (SSR:RIE = 1)，则会发生接收中断。
- 数据经过噪声滤波器后检测到下 沿时（通过总线时 三次采样串行数据输入后，采用择多值）以及经过采样点的数据检测到 LOW 电平时，检测启动位。

Figure 4-3 ID 字段传送-DATA 字段接收



注意事 ：

- *LIN 接口 (Ver.2.1) 配置有噪声滤波器（通过总线时 三次采样串行数据输入后，采用择多值）。但在板设计时，不允许噪声经过此滤波器或执行通信时经过滤波器的噪声不会造成任何 （例如，增加结束时数据总 的检 并在发生 误时再次发送数据）。*
- *在接收进程中，如果在停止位的采样点或停止位采样点 1 至 2 个总线时 之前同时检测到串行数据的下 沿，则忽略边沿且下一个数据不能成功接收。连续输出帧时，帧之 要有充分的时 。*

■ 主机模式操作时　图（不使用 FIFO 时）。

Figure 4-4 LIN 总线时序 (传送 DATA 字段且不使用 FIFO 时)

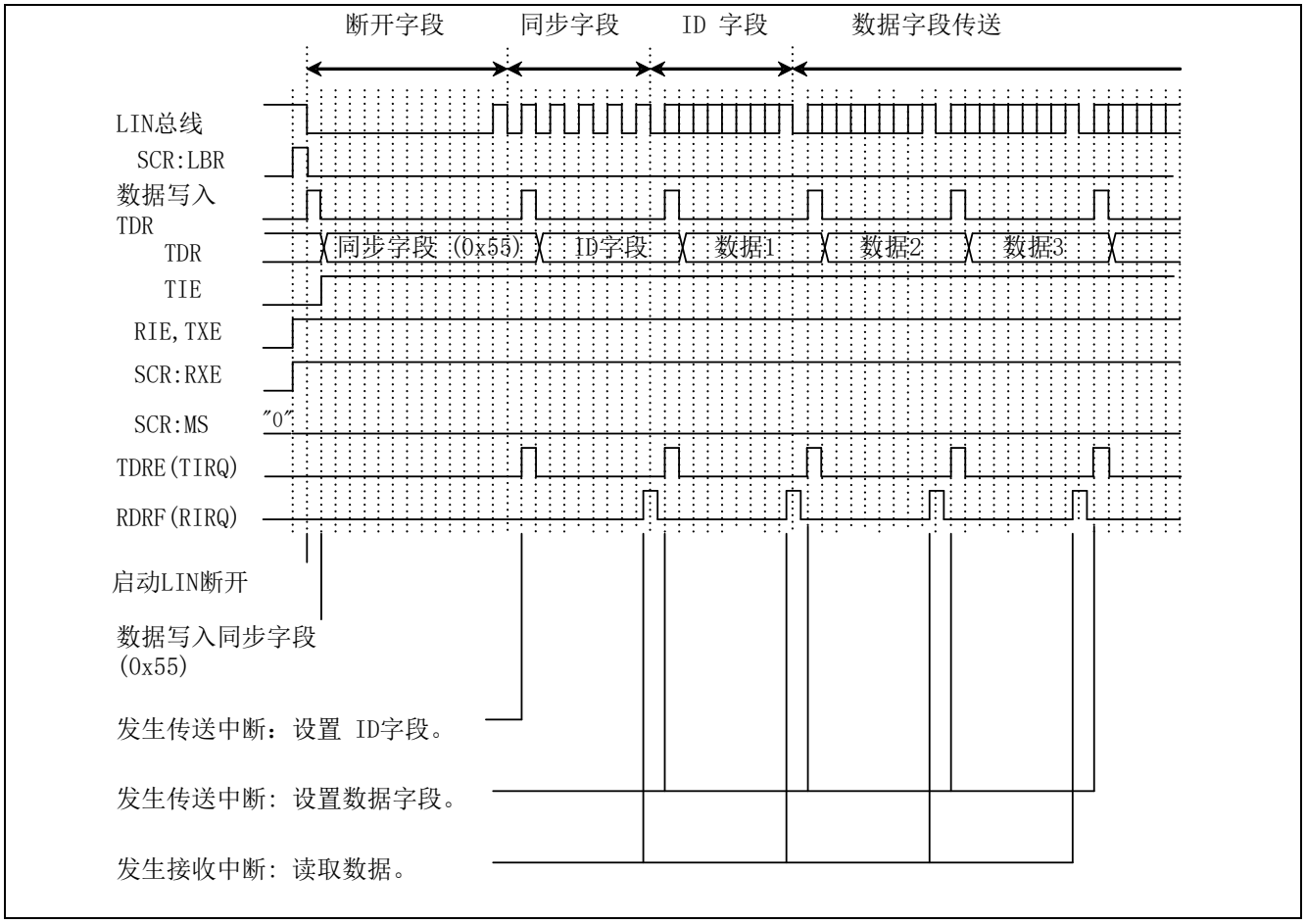
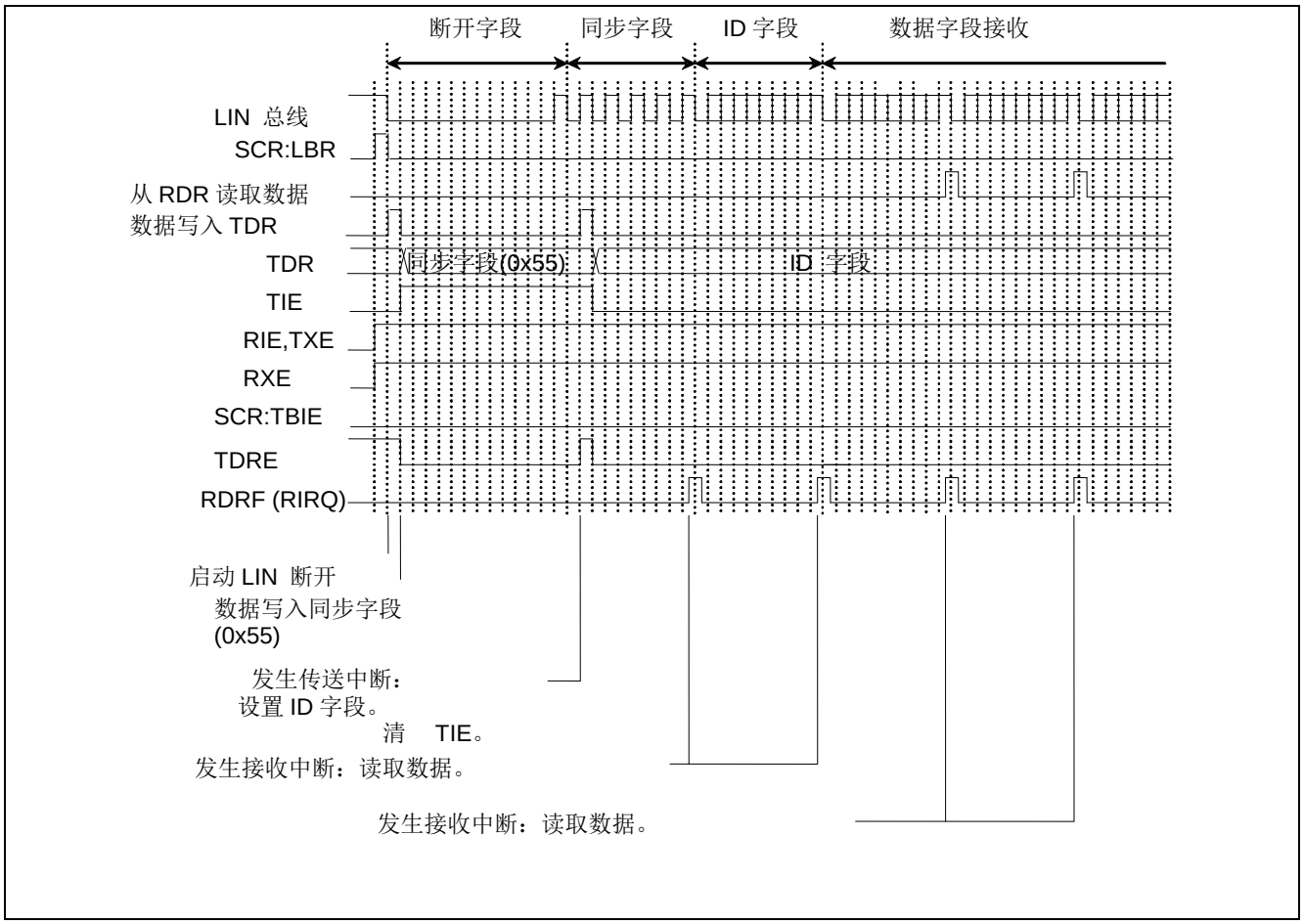


Figure 4-5 LIN 总线时序 (接收 DATA 字段且不使用 FIFO 时)



■ 主机模式操作时　图（使用 FIFO 时）。

Figure 4-6LIN 总线时序 (传送 DATA 字段且使用 FIFO 时)

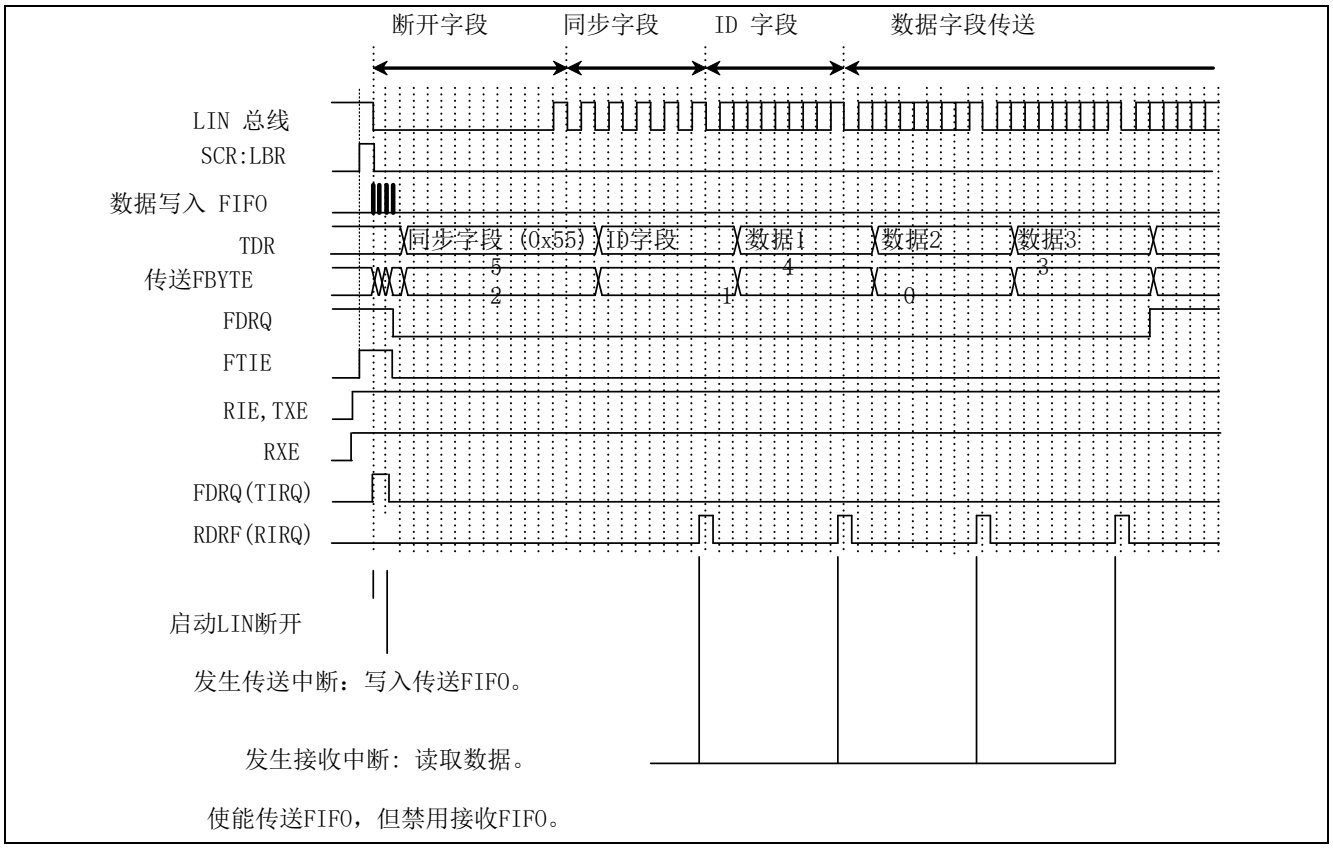
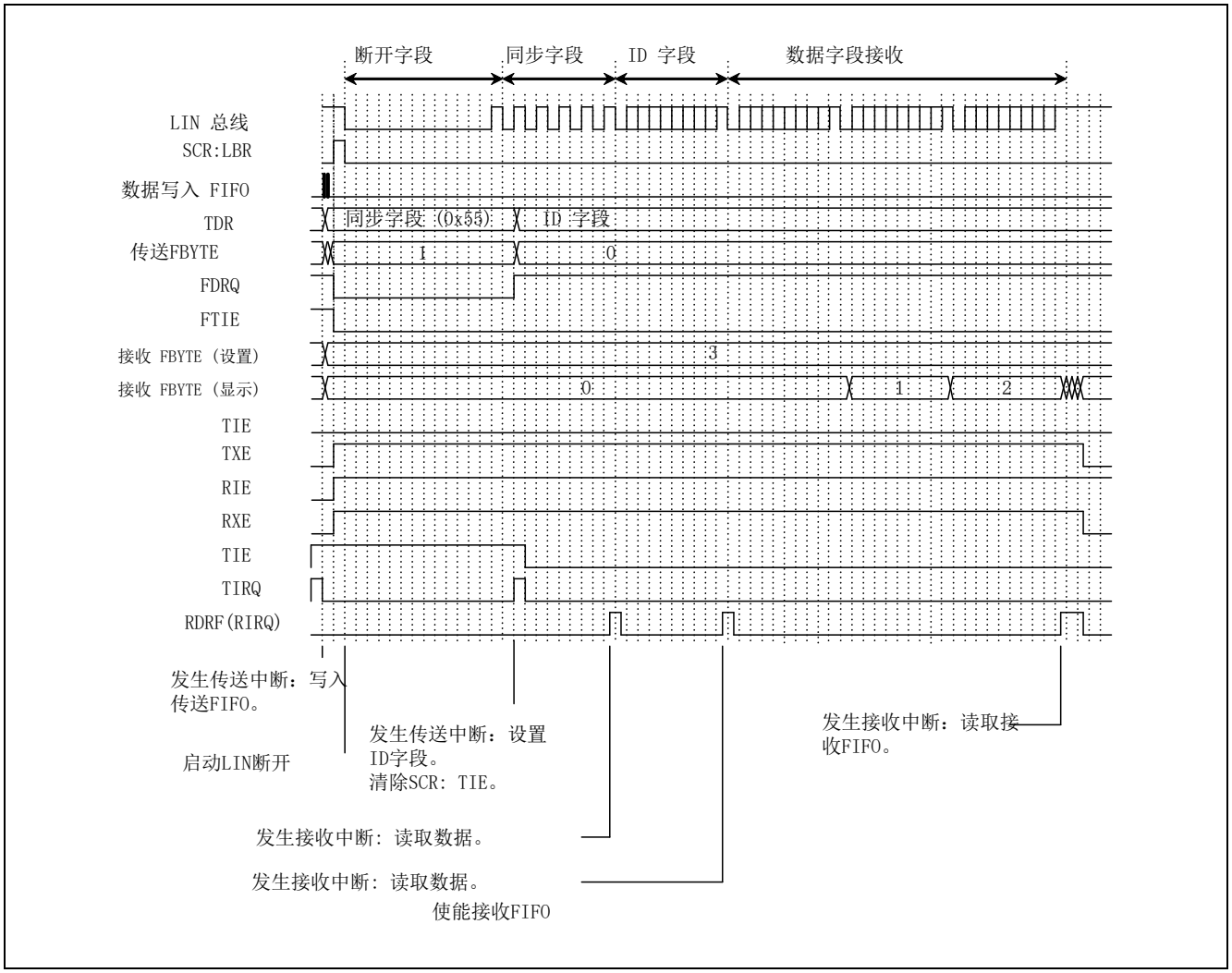


Figure 4-7LIN 总线时序 (接收 DATA 字段且使用 FIFO 时)



从机模式的操作

■ 选择从机模式

LIN 接口作为从机操作时，SCR:MS 位设置为 "1"。

■ 断开字段接收-同步字段接收

1. 如果输入断开字段的第一位，在第 11 位检测断开字段(SSR:LBD = 1)。
   如果这时 ESCR:LBIE 位设为 "1" ，将发生接收中断。
2. 然后使能 ICU 中断，检测两种边沿。
3. 检测到同步字段 次下 沿后，LIN 接口 (Ver.2.1) 设置输入 ICU 的内部信号 (LSYN) 为 HIGH，以启动 ICU。在第 5 下 沿时，本内部信号(LSYN) 转为 LOW。
4. 输入 ICU 的内部信号（LSYN）为 HIGH 周期乘以 8 倍波特率。波特率设置值通过以下方式计算：

如果自由运行计时器不溢出时：

BGR 值 = (b - a) × Fe/(8 ×ϕ) - 1

如果自由运行计时器溢出时：

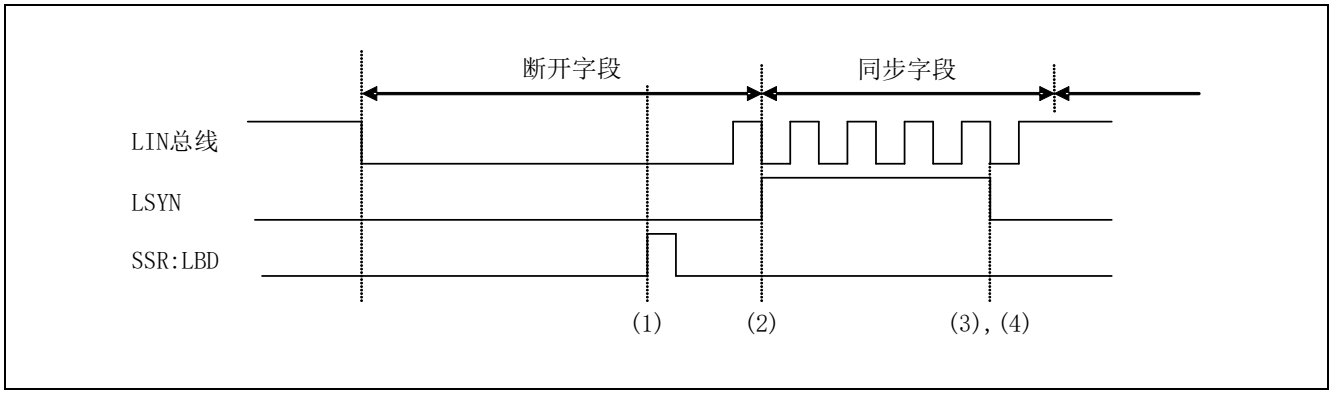
BGR 值 = (max + 1 + b - a) × Fe/(8 ×ϕ) - 1

max ： 自由运行计时器最大值
a ： 次中断后的 ICU 数据寄存器值
b ： 第二次中断后的 ICU 数据寄存器值
ϕ ： 总线时 率 (MHz)
Fe ： 外部时 率 (MHz)。使用内部时 (EXT = 0)时，Fe =假定ϕ。

注意事 ：

- *操作断开字段以及同步字段时， 禁用接收(SCR:RXE = 0)。*

Figure 4-8 断开字段接收-同步字段接收



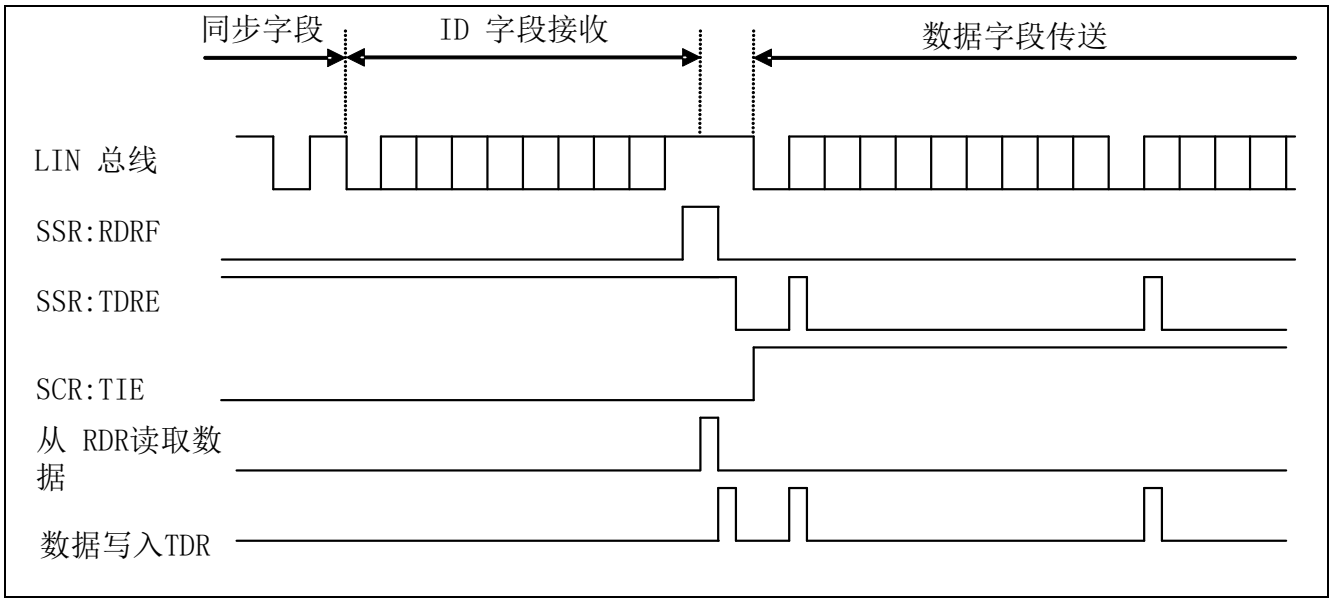
■ ID 字段接收-DATA 字段传送/接收

接收 ID 字段后，可选择是传送 DATA 字段至主机还是从主机接收 DATA 字段。

(传送 DATA 字段)

接收 ID 字段后，数据写入传送数据寄存器(TDR) 。此时使能传送中断(SCR:TIE = 1)。

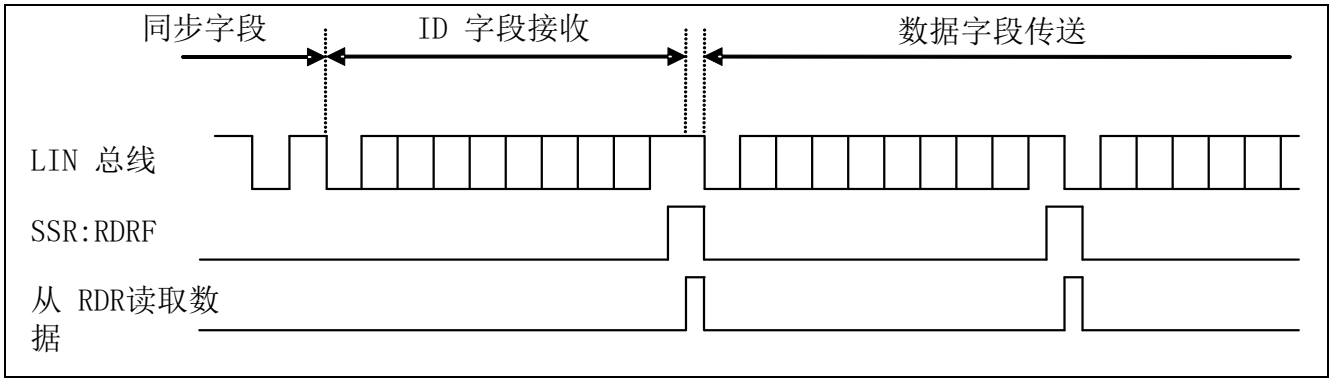
Figure 4-9 ID 字段接收-DATA 字段传送



(接收 DATA 字段)

- 每次接收到 DATA 字段后，SSR:RDRF 设置为 "1"。如果此时使能接收中断 (SCR:RDRF = 1) ，则会发生接收中断。
- 数据经过噪声滤波器后检测到下 沿时（通过总线时 三次采样串行数据输入后，采用择多值）以及经过采样点的数据检测到 LOW 电平时，检测启动位。

Figure 4-10 ID 字段接收-DATA 字段接收



注意事 ：

- *LIN 接口 (Ver.2.1) 配置有噪声滤波器（通过总线时 三次采样串行数据输入后，采用择多值）。但在板设计时，不允许噪声经过此滤波器或执行通信时经过滤波器的噪声不会造成任何 （例如，增加结束时数据总 的检 并在发生 误时再次发送数据）。*

- *在接收进程中，如果在停止位的采样点或停止位采样点 1 至 2 个总线时 之前同时检测到串行数据的下 沿，则忽略边沿且下一个数据不能成功接收。连续输出帧时，帧之 要有充分的时 。*

■ 从机模式操作时 图

Figure 4-11LIN 总线时序(传送 DATA 字段且不使用 FIFO 时)

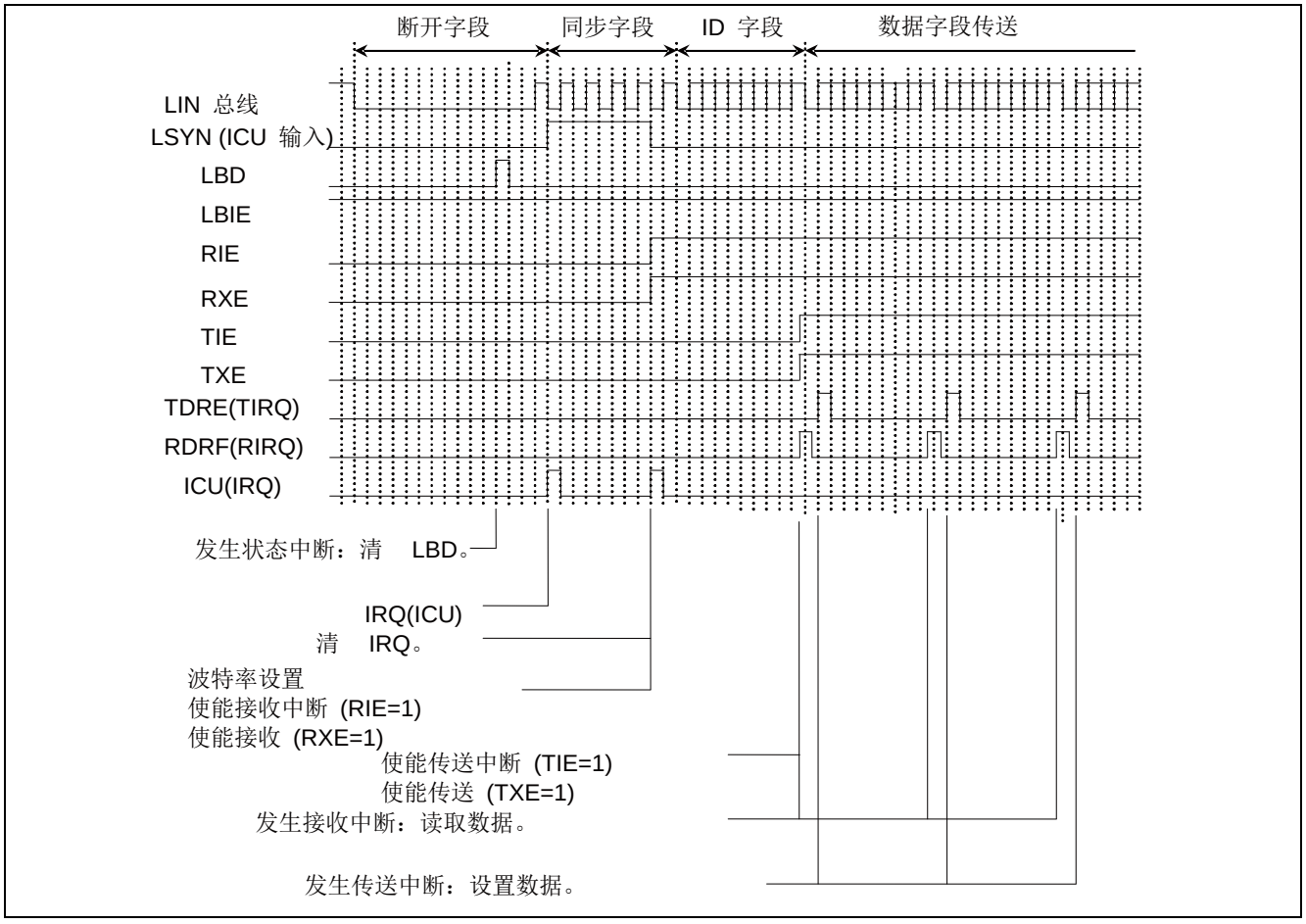
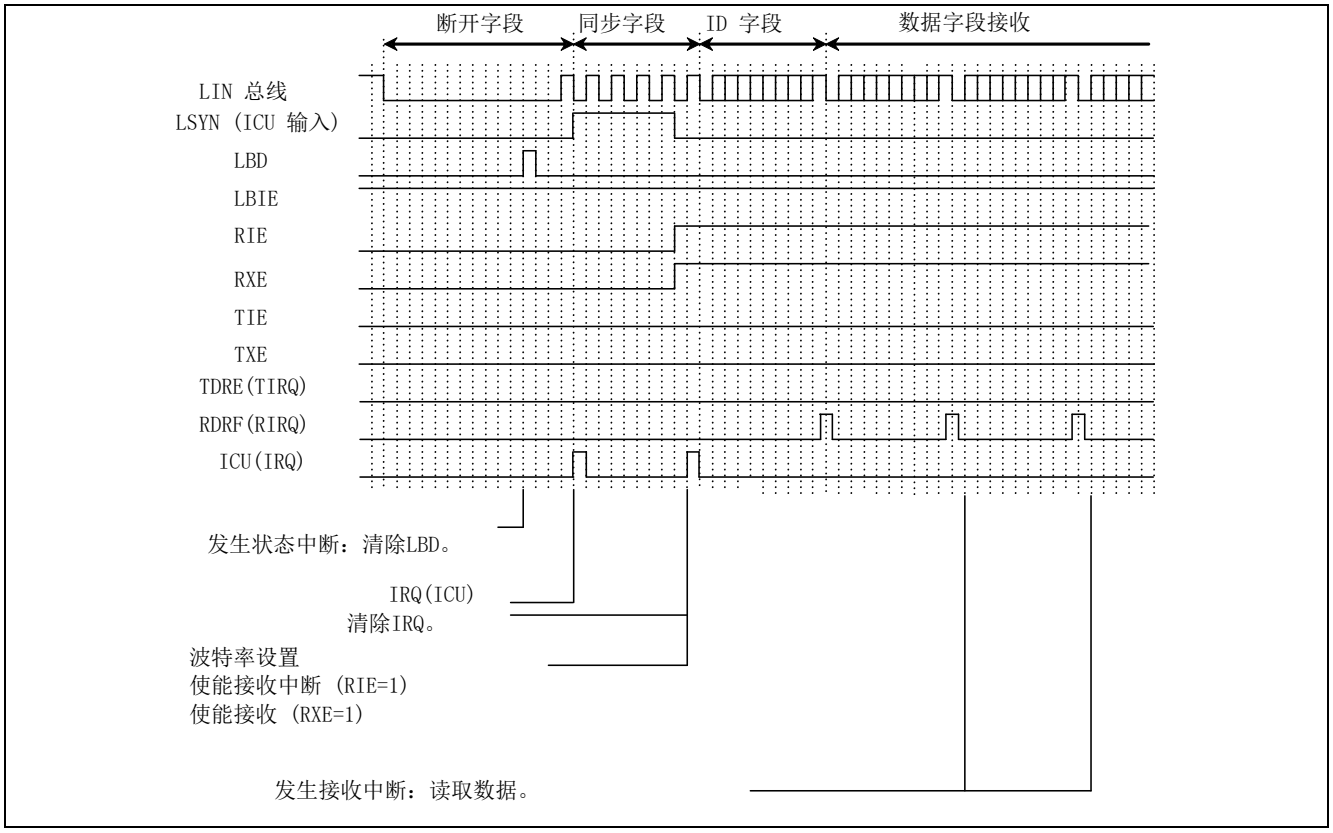


Figure 4-12 LIN 总线时序(接收 DATA 字段且不使用 FIFO 时)



■ 如果使用 FIFO 时

Figure 4-13 LIN 总线时序(传送 DATA 字段且使用 FIFO 时)

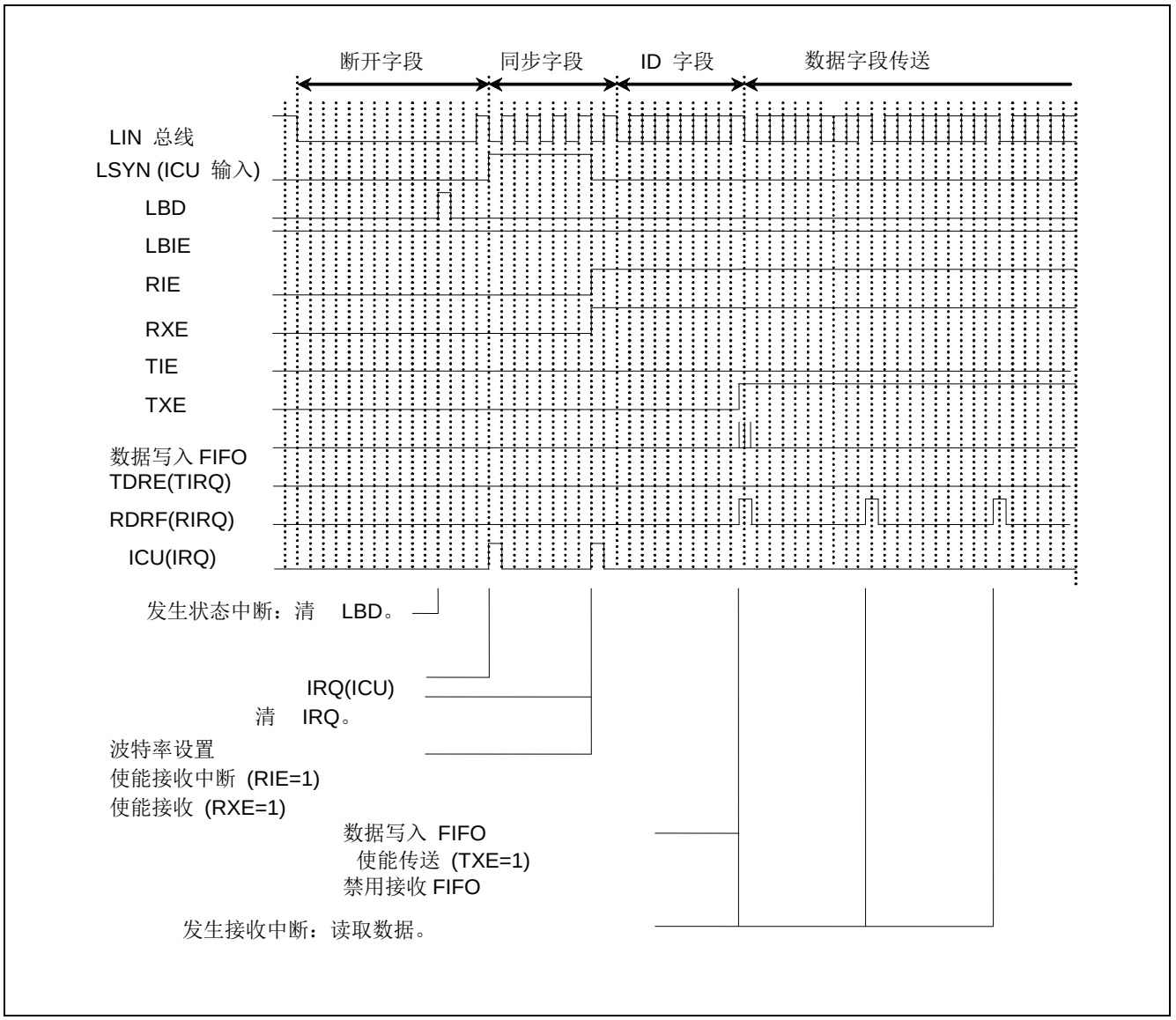
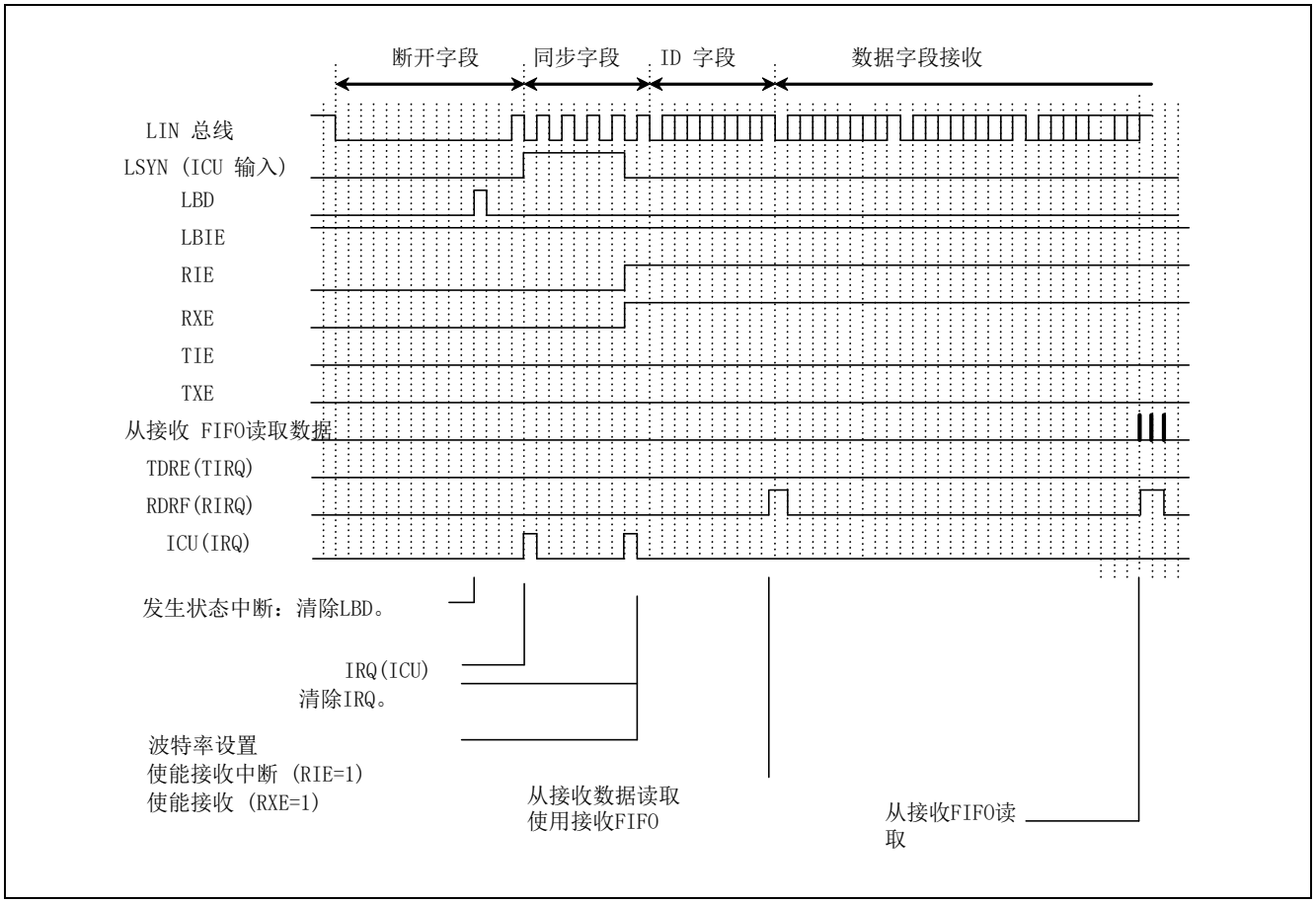


Figure 4-14 LIN 总线时序(接收 DATA 字段且使用 FIFO 时)



5. 操作模式 3 （LIN 通信接口）的设置步 及程序流程

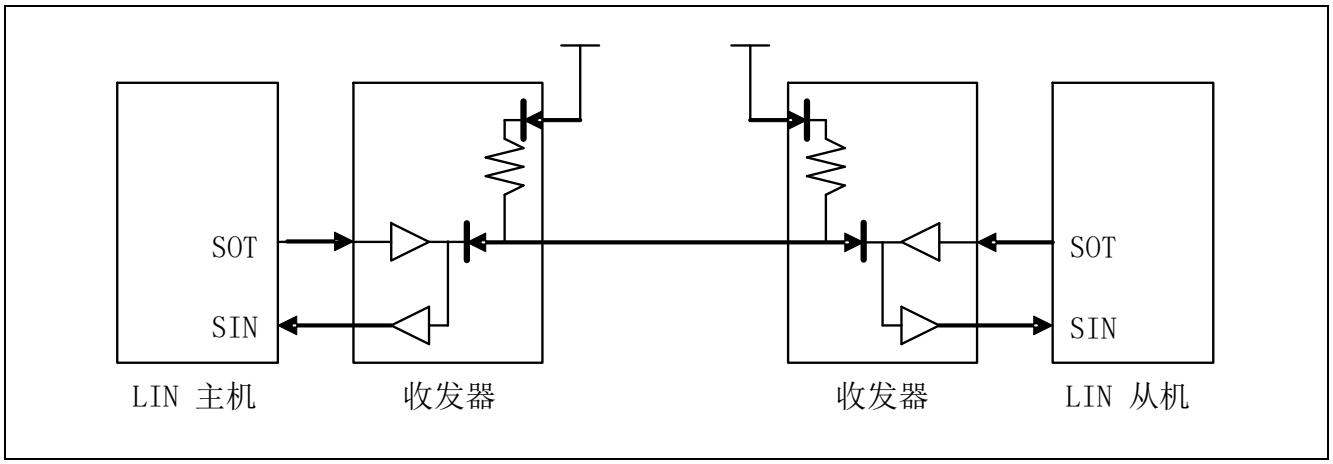
操作模式 3 （LIN 通信模式）中， LIN 接口 (Ver.2.1) 可用于 LIN 主机或 LIN 从机系统。

寄存器设置

- CPU 至 CPU 连接

Figure 5-1 所示为包括一个 LIN 主机和一个 LIN 从机的通信系统。LIN 接口 (Ver.2.1) 可作用为 LIN 主机或 LIN 从机。

Figure 5-1 LIN 总线系统通信示例



流程图示例

■ 主机模式操作

Figure 5-2 主机模式时 LIN 通信的示例流程图 (不使用 FIFO 时)

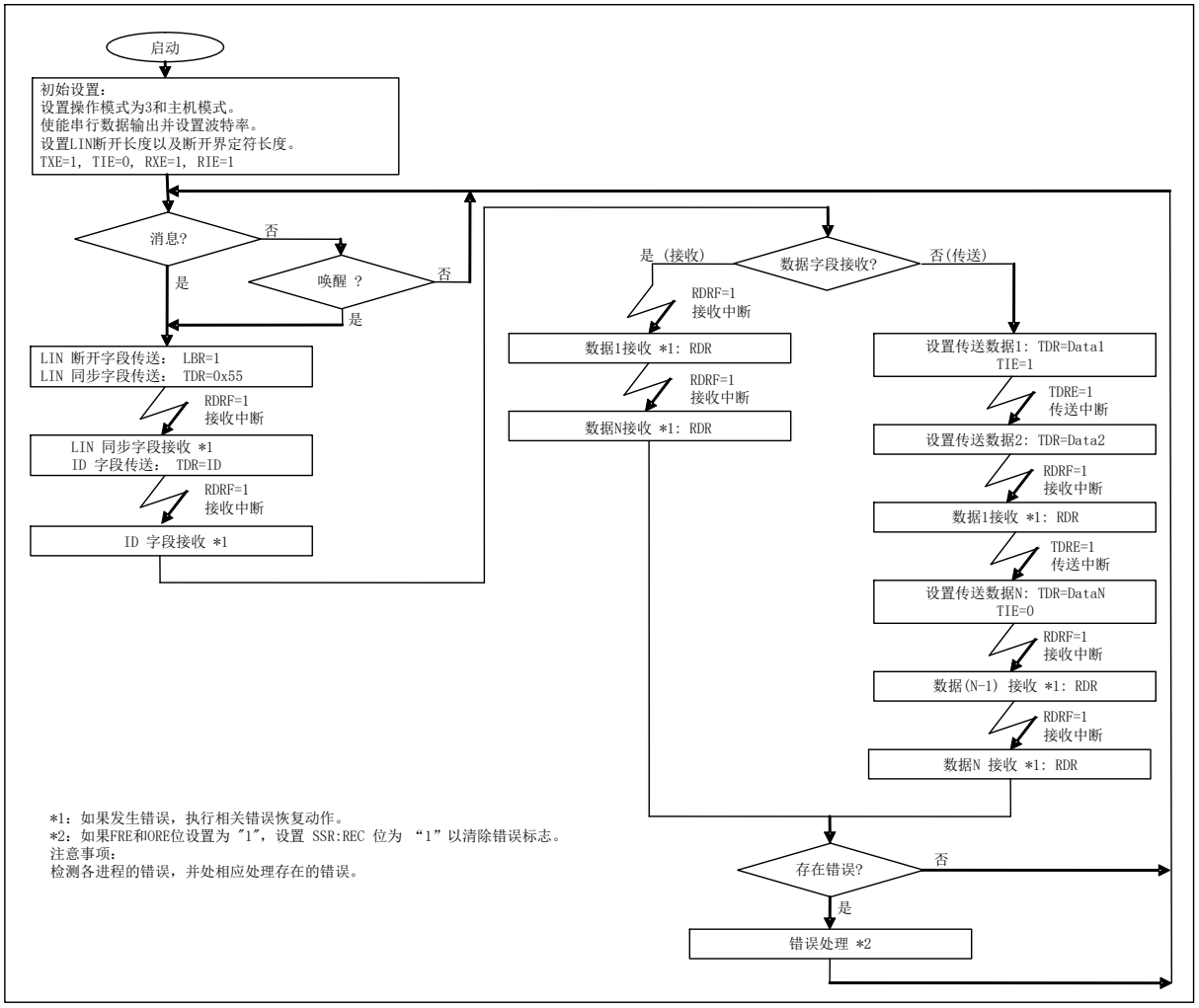
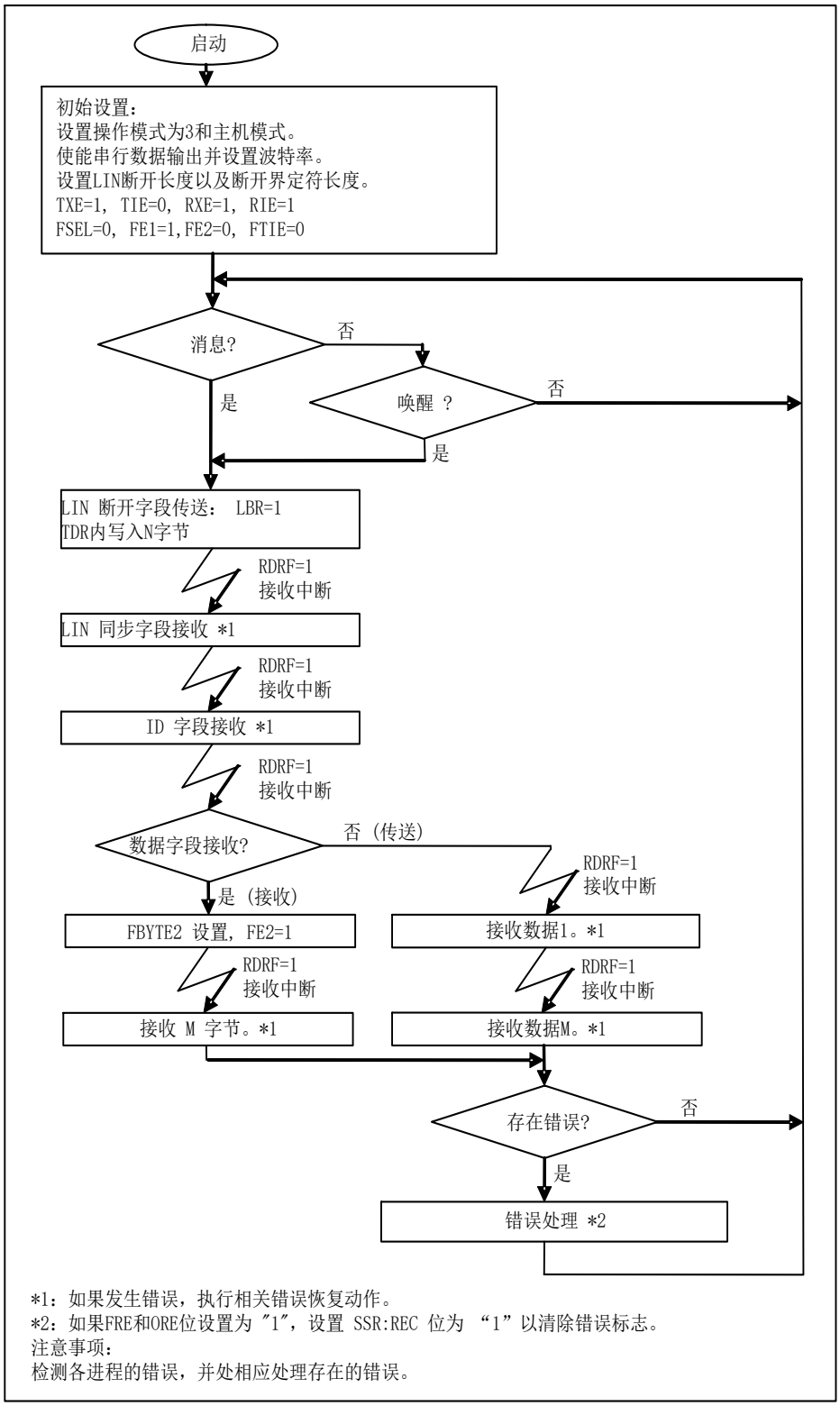


Figure 5-3 主机模式时 LIN 通信的示例流程图 (使用 FIFO 时)



■ 从机模式操作

Figure 5-4 从机模式时 LIN 通信的示例流程图 (不使用 FIFO 时)

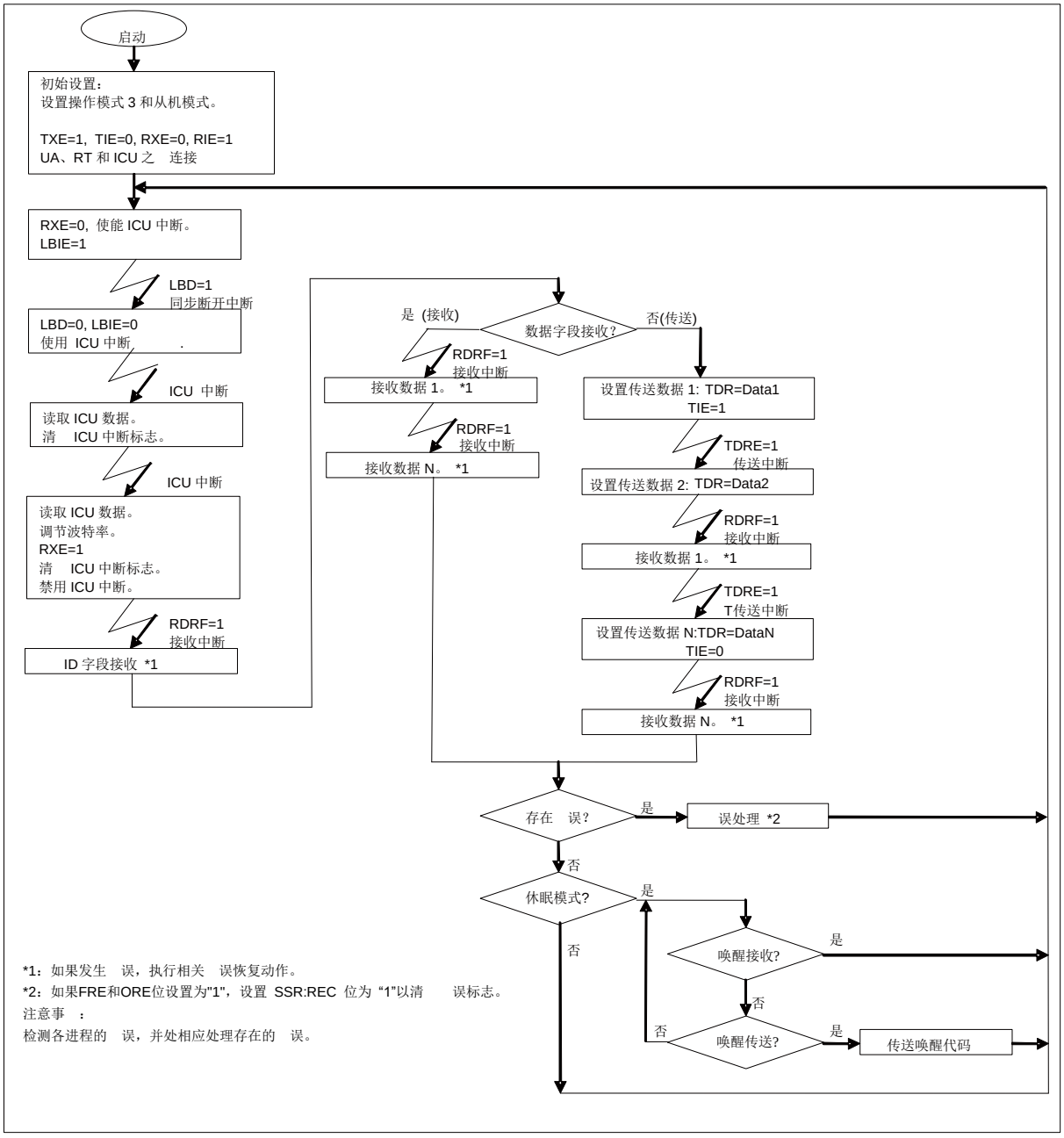
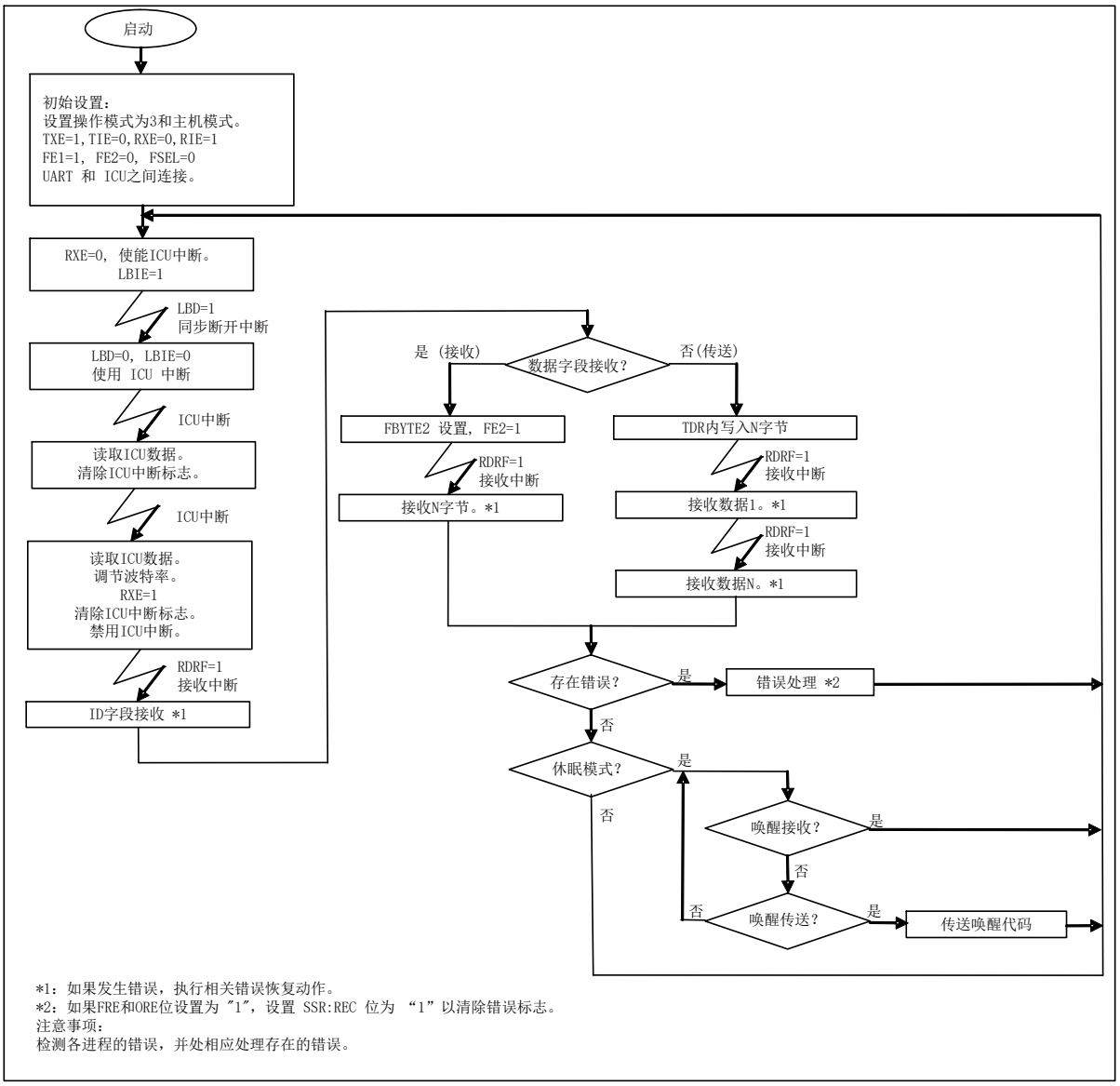


Figure 5-5 从机模式时 LIN 通信的示例流程图 (使用 FIFO 时)



6. LIN 接口(Ver.2.1) 寄存器

以下为 LIN 接口(Ver.2.1) 寄存器列表。

LIN 接口(Ver.2.1) 寄存器列表

Table 6-1LIN 接口(Ver.2.1) 寄存器列表

	bit15 bit8	bit7 bit0
LIN 接口 (Ver.2.1)	SCR (串行控制寄存器)	SMR (串行模式寄存器)
	SSR (串行状态寄存器)	ESCR (扩展通信控制寄存器)
	-	RDR/TDR (传送/接收数据寄存器)
	BGR1 (波特率发生器寄存器 1)	BGR0 (波特率发生器寄存器 0)
FIFO	FCR1 (FIFO 控制寄存器 1)	FCR0 (FIFO 控制寄存器 0)
	FBYTE2 (FIFO2 字节寄存器)	FBYTE1 (FIFO1 字节寄存器)

Table 6-2 LIN 接口(Ver.2.1) 位分配

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SBL	-	-	SOE
SSR/ ESCR	REC	-	LBD	FRE	ORE	RDRF	TDRE	TBI	-	ESBL	-	LBIE	LBL1	LBL0	DEL1	DEL0
TDR/ RDR	-								D7	D6	D5	D4	D3	D2	D1	D0
BGR1	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

6.1 串行控制寄存器 (SCR)

串行控制寄存器 (SCR) 用于使能/禁用传送/接收中断、使能/禁用传送空 中断以及使能/禁用数据传送和接收。曹县， SCR 可用于产生 LIN 断开字段和复位 LIN 接口 (Ver.2.1)。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE	(SMR)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初始值	0	-	-	0	0	0	0	0	

[bit15] UPCL：可编程清 位

初始化 LIN 接口(Ver.2.1) 的内部状态。

如果设置为 1 时：

- 直接复位 LIN 接口 (Ver.2.1) (软件复位)。但保持当前寄存器设置。传送或接收状态立即断开。
- 波特率发生器 新载入 BGR1/0 寄存器值并 新启动操作。
- 初始化所有传送/接收中断因素 (SSR:TDRE, TBI, RDRF, FRE, ORE, LBD) 。

如果设置为 0 时：

对操作无效。

读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	可编程清	

注意事 ：

- *先禁用中断，然后执行可编程清 指令。*
- *使用 FIFO 操作时， 先禁用 FIFO 操作 (FCR0:FE[2:1]:=00)，然后再执行可编程清 指令。*
- *连续从接收操作转换为传送操作时，接收数据后执行可编程清 指令并将传送数据写入传送数据寄存器(TDR)。*

[bit14] MS：主机/从机功能选择位

选择主机或从机模式。

位	描述
0	主机模式
1	从机模式

[bit13] LBR：LIN 断开字段设置位(仅主机模式有效)

如果设置此位为"1"，则产生 LIN 断开字段 (具有 ESCR:LBL1/LBL0 位所设置的 度)。还会产生 LIN 断开界定符 (ESCR:DEL1/DEL0 位所设置)。

写入时：

写入 "0"时：操作无效。
写入 "1"时：产生 LIN 断开字段。

读取时：

读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	产生 LIN 断开字段。	

注意事 ：

- *此位设置只在主机模式操作才有效(MS=0)。*
- *在产生 LIN 断开字段时不能设置此位为 "1"。*

[bit12] RIE：接收中断使能位

- 此位使能或禁用输出接收中断请求至 CPU。
- 如果 RIE 位和接收数据标志位 (SSR:RDRF) 为 "1" ，或者任何 误标志位(SSR:FRE, ORE)为 "1" 时，输出接收中断请求。

位	描述
0	禁用接收中断。
1	使能接收中断。

[bit11] TIE：传送中断使能位

- 此位使能或禁用输出传送中断请求至 CPU。
- 如果 TIE 位和 SSR:TDRE 位为 "1" ，输出传送中断请求。

位	描述
0	禁用传送中断。
1	使能传送中断。

[bit10] TBIE：传送总线空 中断使能位

- 此位使能或禁用输出传送总线空 中断请求至 CPU。
- 如果 TBIE 位和 TBI 位为 "1" 时，输出传送总线空 中断请求。

位	描述
0	禁用传送总线空 中断。
1	使能传送总线空 中断。

[bit9] RXE：数据接收使能位

此位通过 LIN 接口(Ver.2.1)使能或禁用数据接收。

位	描述
0	禁用数据帧接收。
1	使能数据帧接收。

注意事 ：

- *输入启动位的下 沿，否则即便使能数据接收 (RXE=1) 也不会启动数据接收。*
- *当主机模式操作中正在发送 LIN 断开字段时，即便使能数据接收 (RXE=1) 也不会接收数据。*
- *如果禁用数据接收 (RXE=0)，当前数据接收立即停止。*

[bit8] TXE：数据传送使能位

此位通过 LIN 接口(Ver.2.1)使能或禁用数据传送。

位	描述
0	禁用数据帧传送。
1	使能数据帧传送。

注意事 ：

- *如果禁用数据传送 (TXE=0)，当前数据传送立即停止。*

6.2 串行模式寄存器 (SMR)

串行模式寄存器(SMR)用于设置操作模式，选择传送方向、数据 度和停止位 度，并用于使能或禁用输出串行数据至各自的引脚。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(SCR)	MD2	MD1	MD0	保留	SBL	保留		SOE
属性		R/W	R/W	R/W	-	R/W	-	-	R/W
初始值		0	0	0	-	0	0	0	0

[bit7:5] MD2, MD1, MD0：操作模式设置位

这些位设置操作模式。

* 本章说明操作模式 3 （LIN 通信模式）的寄存器及其操作。

bit7	bit6	bit5	描述
0	0	0	操作模式 0（异步正常模式）
0	0	1	操作模式 1（异步多处理器模式）
0	1	0	操作模式 2（时 同步模式）
0	1	1	操作模式 3（LIN 通信模式）
1	0	0	操作模式 4（I^2C 模式）
上述值以外的值			禁止设置。

注意事 ：

- *禁止上表中设置之外的任何位设置。*
- *转换当前操作模式时，发出可编程清 指令 (SCR:UPCL=1)并连续转换操作模式。*
- *设置操作模式后，正确设置各寄存器。*

[bit4] 保留：保留位

读取值为 "0"。确保写入 "0"。

[bit3] SBL：停止位 度选择位

此位设置停止位 度（传送数据的帧端标记）。

位	描述	
0	ESCR:ESBL=0	停止位设置为 1 位
	ESCR:ESBL=1	停止位设置为 3 位
1	ESCR:ESBL=0	停止位设置为 2 位
	ESCR:ESBL=1	停止位设置为 4 位

注意事 ：

- *在接收操作中，只能检测到停止位数据的 位。*
- *禁用传送 (SCR:TXE=0) 时总是设置此位。*

[bit2:1] 保留：保留位
读取值为 "0"。确保写入 "0"。

[bit0] SOE：串行数据输出使能位
此位使能或禁用串行数据输出。

位	描述
0	禁用串行数据输出。
1	使能串行数据输出。

注意事 ：
- *此位用作 SOT 引脚时，也必 设置 GPIO。*

6.3 串行状态寄存器 (SSR)

串行状态寄存器 (SSR) 用于检 当前传送/接收状态，检 接收 误标志，检 LIN 断开字段并清 接收误标志。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	REC	-	LBD	FRE	ORE	RDRF	TDRE	TBI	(ESCR)
属性	R/W	-	R/W	R	R	R	R	R	
初始值	0	-	0	0	0	0	1	1	

[bit15] REC：接收 误标志清 位

此位清 串行状态寄存器 (SSR) 的 FRE 和 ORE 标志。

位	描述	
	写入	读取
0	对操作无效。	读取值总为 "0"。
1	清 接收 误标志 (FRE 和 ORE)。	

[bit14] -：未使用位

读取时此位值未定义。
此位写入时对操作无效。

[bit13] LBD：LIN 断开字段检测位

此位显示 LIN 断开字段的检测。
当 11 位或更大宽度的串行输入为 "LOW" 时，LBD 位设置为 "1"。如果此时 LIN 断开字段中断使能位 (LBIE) 为 "1" ，将发生状态中断。

位	描述	
	写入时	读取时
0	清 LBD 标志。	未检测到断开字段。
1	对操作无效。	检测到断开字段。

注意事 ：

- *如果发出读改写指令，读取值为 1。*

[bit12] FRE：成帧 误标志位

- 数据接收过程中如果发生成帧 误，此位设置为 "1"。如果串行状态寄存器 (SSR) 的 REC 位设置为 "1" ，清 此标志。
- 如果 FRE 位和 RIE 位为 "1"，输出接收中断请求。
- 如果设置此标志，则接收数据寄存器 (RDR) 中的数据无效。
- 如果在使用接收 FIFO 时设置此标志，接收 FIFO 使能位会被清 且接收数据不储存在接收 FIFO 中。

位	描述
0	未发生成帧 误。
1	发生成帧 误。

[bit11] ORE：溢出 误标志位

- 数据接收过程中发生溢出时，此位设置为 "1"。如果串行状态寄存器 (SSR) 的 REC 位设置为 "1" ，清 此标志。
- 如果 ORE 位和 RIE 位为 "1"，输出接收中断请求。
- 若设置此标志，接收数据寄存器 (RDR) 中的数据将无效。
- 如果在使用接收 FIFO 时设置此标志，接收 FIFO 使能位会被清 且接收数据不储存在接收 FIFO 中。

位	描述
0	未发生溢出 误。
1	发生溢出 误。

[bit10] RDRF：接收数据已满标志位

- 此标志显示的是接收数据寄存器 (RDR) 的状态。
- 接收数据载入 RDR 时，此位设置为 "1"。读取接收数据寄存器 (RDR) 时，此位被清 为 "0"。
- 如果 RDRF 位和 RIE 位为 "1"，输出接收中断请求。
- 如果使用接收 FIFO ，则当接收 FIFO 中接收到 设数据 时， RDRF 位设置为 "1"。
- 如果使用接收 FIFO ，则当接收 FIFO 为空时清 此位为 "0"。

位	描述
0	接收数据寄存器 (RDR) 为空。
1	接收数据寄存器 (RDR) 中有数据。

[bit9] TDRE：传输数据空标志位

- 此标志显示的是传送数据寄存器 (TDR) 的状态。
- 传送数据写入 TDR 时，此位设置为 "0"，表明 TDR 中存在有效数据。数据载入传送移位寄存器且传送启动时，此位设置为 "1"，表明 TDR 中不存在有效数据。
- 如果 TDRE 位和 TIE 位为 "1" ，输出传送中断请求。
- 串行控制寄存器 (SCR) 的 UPCL 位设置为 "1" 时，TDRE 位设置为 "1"。
- 使用传送 FIFO 时 TDRE 位设置/清 时序的相关信息，参见 "2.4 使用传送 FIFO 时的中断和标志设置时序 "。

位	描述
0	传送数据寄存器 (TDR) 中有数据。
1	传送数据寄存器 (TDR) 为空。

[bit8] TBI：传送总线空 标志位

- 此位指示 LIN 接口 (Ver.2.1) 当前未传送数据。
- 传送数据寄存器 (TDR) 中写入传送数据时，此位设置为 "0"。
- 设置 LIN 断开字段 (SMR:LBR=1)时，此位设置为 "0"。
- 如果传送数据寄存器(TDR)为空 (TDRE=1) 且没有启动传送，则 SSR:TBI 位设置为 "1"。
- 如果已传送 LIN 断开字段后传送数据寄存器为空，此位设置为 1。
- 此位为 "1" 且使能传送总线空 中断时 (SCR:TBIE=1)，输出传送中断请求。

位	描述
0	正在传送数据
1	无数据传送

6.4 扩展通信控制寄存器 (ESCR)

扩展通信控制寄存器 (ESCR) 用于设置使能/禁用 LIN 断开字段中断、检测 LIN 断开字段、设置 LIN 断开字段 度以及断开界定符、以及选择停止位 度。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(SSR)	保留	ESBL	-	LBIE	LBL1	LBL0	DEL1	DEL0
属性		-	R/W	-	R/W	R/W	R/W	R/W	R/W
初始值		0	0	-	0	0	0	0	0

[bit7] 保留：保留位

读取值为 "0"。确保写入 "0"。

[bit6] ESBL：扩展停止位 度选择位

此位设置停止位 度（传送数据的帧端标记）。

位	描述	
0	SMR:SBL=0	停止位 度设置为 1 位
	SMR:SBL=1	停止位 度设置为 2 位
1	SMR:SBL=0	停止位 度设置为 3 位
	SMR:SBL=1	停止位 度设置为 4 位

注意事 ：

- *在接收操作中，只能检测到停止位数据的 位。*
- *禁用传送 (TXE=0) 时总是设置此位。*

[bit5] -：未使用位

读取时此位值未定义。

此位写入时对操作无效。

[bit4] LBIE：LIN 断开字段检测中断使能位

此位使能或禁用 LIN 断开字段检测中断。

如果 LIN 断开字段检测标志(LBD) 为 "1"，使能中断(LBIE=1)时将发生接收中断。

位	描述
0	禁用 LIN 断开字段检测中断。
1	使能 LIN 断开字段检测中断。

[bit3:2] LBL1/LBL0：LIN 断开字段 度选择位(仅主机模式有效)

- 这些位设置 LIN 断开字段产生时 （以位数表示）。
- 串行控制寄存器 (SCR) 的 LBR 设置为 "1"之前，必 设置此位 (用于 LIN 断开字段传送)。
- 无论此位如何设置，从机模式操作时总是在第 11 位检测 LIN 断开字段。

bit3	bit2	描述
0	0	13 位 度
0	1	14 位 度
1	0	15 位 度
1	1	16 位 度

注意事 ：

- *本位设置只在主机模式操作才有效(SMR:MS="0")。*

[bit1:0] DEL1/DEL0：LIN 断开界定符 度选择位(仅主机模式有效)

- 这些位设置 LIN 断开界定符号 度（以位数表示）。
- 串行控制寄存器 (SCR) 的 LBR 设置为 "1"之前，必 设置这些位 (用于 LIN 断开字段传送)。

bit1	bit0	描述
0	0	1 位 度
0	1	2 位 度
1	0	3 位 度
1	1	4 位 度

注意事 ：

- *本位设置只在主机模式操作才有效(SMR:MS="0")。*

6.5 接收数据寄存器/传送数据寄存器 (RDR/TDR)

接收数据寄存器和传输数据寄存器分配在相同地址。从本寄存器读取数据时，本寄存器用作接收数据寄存器。写入数据时，本寄存器用作传输数据寄存器。

接收数据寄存器 (RDR)

位	15 ... 8	7	6	5	4	3	2	1	0
字段		D7	D6	D5	D4	D3	D2	D1	D0
属性		R	R	R	R	R	R	R	R
初始值		0	0	0	0	0	0	0	0

接收数据寄存器 (RDR) 是用于串行数据接收的数据缓冲寄存器。

- 将串行数据信号发送至串行输入引脚 (SIN) 时，这些串行数据信号通过移位寄存器转换并储存在接收数据寄存器 (RDR) 中。
- 接收到的数据存入接收数据寄存器 (RDR) 后，接收数据已满标志位 (SSR:RDRF) 设置为 "1"。如果使能接收中断 (SSR:RIE=1)时，产生接收中断请求。
- 只有在接收数据已满标志位 (SCR:RDRF) 为 "1" 时才读取接收数据寄存器 (RDR)。从串行接收数据寄存器 (RDR) 读取数据后，接收数据已满标志位 (SSR:RDRF) 自动清 为 "0"。
- 若发生接收 误（SSR:ORE 或 FRE 为"1" 时），接收数据寄存器 (RDR) 中的数据将无效。

注意事 ：

- *如果使用接收 FIFO ，则当接收 FIFO 中接收到 设数据 时， RDRF 位设置为 "1"。*
- *如果使用接收 FIFO 且本缓冲器为空，则 RDRF 位清 为 "0"。*
- *如果在使用接收 FIFO 时发生接收 误（SSR:ORE 或 FRE 为 1），接收 FIFO 使能位将被清且接收数据不储存在接收 FIFO 中。*

传送数据寄存器 (TDR)

位	15 ... 8	7	6	5	4	3	2	1	0
字段		D7	D6	D5	D4	D3	D2	D1	D0
属性		W	W	W	W	W	W	W	W
初始值		1	1	1	1	1	1	1	1

传送数据寄存器 (TDR) 是用于串行数据传送的数据缓冲寄存器。

- 如果使能数据传送 (SCR:TXE=1) 并将传送数据写入传送数据寄存器 (TDR) ，则将传送数据传输至传送移位寄存器。然后数据被转换为串行数据并输出串行数据输出引脚 (SOT)。
- 当传送数据写入传送数据寄存器 (TDR) 后，传送数据空标志 (SSR:TDRE) 被清 为 "0"。
- 传送数据传输至串行传送移位寄存器并启动数据传送后，如果禁用传送 FIFO 或传送 FIFO 为空，则传送数据空标志 (SSR:TDRE) 设置为 "1"。
- 如果传送数据空标志 (SSR:TDRE) 为 "1" ，下一个传送数据可写入缓冲器。如果使能传送中断，则会发生传送中断。只有在传送中断发生后或当传送数据空标志 (SSR:TDRE) 为 "1" 时才能写入下一个传送数据。
- 如果传送数据空标志 (SSR:TDRE) 为 "0" 且传送 FIFO 被禁用或传送 FIFO 已满，则传送数据不能写入传送数据寄存器 (TDR)。

注意事 ：

- *传送数据寄存器为只写寄存器；接收数据寄存器为只读寄存器。由于这两个寄存器分配在同一个地址，所以写入值和读取值互不相同。因此，不能使用 INC/DEC 指令和其它读改写 (RMW) 操作。*
- *有关使用传送 FIFO 时的传送数据空标志 (SSR:TDRE) 设置时序，参见 "2.4 使用传送 FIFO 时的中断和标志设置时序"。*

6.6 波特率发生器寄存器 1 和 0 (BGR1 和 BGR0)

波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 用于设置串行时 的分 比。可选择外部时 作为 载计数器的时 源。

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	EXT	(BGR1)							(BGR0)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 波特率发生器寄存器用于设置串行时 的分 比。
- BGR1 寄存器对应较 位，BGR0 寄存器对应较低位。可写入要计数的 载值，可读取 BGR1/BGR0 设置值。
- 将 载值写入波特率发生器寄存器 1 和 0 (BGR1 或 BGR0) 时， 载计数器启动计数。
- EXT 位 (bit15) 指定使用 载计数器时 源为内部时 或外部时 。若设置 EXT=0，使用内部时 。若设置 EXT=1，则使用外部时 。

[bit15] EXT：外部时 选择位

位	描述
0	使用内部时 。
1	使用外部时 。

[bit14:8] BGR1：波特率发生器寄存器 1

bit14:8	描述
写入	数据写入 载计数器 bit8 至 bit14。
读取	读取 BGR1 设置值。

[bit7:0] BGR0：波特率发生器寄存器 0

bit7:0	描述
写入	数据写入 载计数器 bit0 至 bit7。
读取	读取 BGR0 设置值。

注意事 ：

- *必 以 16 位数据访 模式将数据写入波特率发生器寄存器 1 和 0（BGR1 和 BGR0）。*
- *如果改变波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 的当前值，新的值只有在计数器值达到 "15h00" 后才能 新载入。要使新设置值立即生效， 改变 BGR1/BGR0 设置值并执行可编程清 (UPCL)。*
- *如果 载值为偶数，串行时 的 "LOW" 宽度大于总线时 单个周期的 "HIGH" 信号宽度。 载值为奇数时，串行时 的 "HIGH" 和 "LOW" 信号宽度相同。*
- *将 载值设置成 3 或以上。注意，数据可能因波特率 误和 载值设置无法正常接收。*
- *当波特率发生器在操作时，且如果 要转换为外部时 (EXT=1)， 先设置波特率发生器 1 和 0 (BGR1 和 BGR0) 为 "0"。然后执行可编程清 指令(UPCL)并选择外部时 (EXT=1)。*

6.7 FIFO 控制寄存器 1 (FCR1)

FIFO 控制寄存器 (FCR1) 用于设置 FIFO 测试、选择传送 FIFO 或接收 FIFO、使能传送 FIFO 中断并控制中断标志。

位	15	14	13	12	11	10	9	8	7	...	0
字段	保留			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)		
属性		-		R/W	R/W	R/W	R/W	R/W			
初始值		-		0	0	1	0	0			

[bit15:13] 保留：保留位

读取值为 "0"。确保写入 "0"。

[bit12] FLSTE： 传数据丢失检测使能位

此位使能 FLST 位检测。

位	描述
0	禁用数据丢失检测。
1	使能数据丢失检测。

注意事 ：

- *如果要将此位设置为 "1"，应先将 FSET 位设置成 "1"，然后再将此位设置成 "1"。*

[bit11] FRIIE：接收 FIFO 空 检测使能位

如果接收 FIFO 包含有效数据且持续 8 位小时以上，此位设置检测接收空 状态。如果使能接收中断 (SCR:RIE=1)，则在检测到接收空 状态时产生接收中断。

位	描述
0	禁用接收 FIFO 空 检测。
1	使能接收 FIFO 空 检测。

注意事 ：

- *使用接收 FIFO 时，将此位设置为 "1"。*

[bit10] FDRQ：传送 FIFO 数据请求位

此位请求传送 FIFO 数据。

如果此位为"1"，表示正在请求传送数据。如果此时使能传送中断 (FTIE=1)，则会输出传送 FIFO 中断请求。

在下列条件下设置 FDRQ 位：

- FBYTE （传送）为 "0" （传送 FIFO 为空）。
- 传送 FIFO 复位。

下列情况下清 FDRQ 位：

- 此位设置为 "0"。
- 传送 FIFO 中数据已满。

位	描述
0	不请求传送 FIFO 数据。
1	请求传送 FIFO 数据。

注意事 ：

- *FBYTE （传送）为 "0" 时，此位不能设置为 "0"。*
- *此位为 "0" 时，不能变更 FSEL 位状态。*
- *此位设置为 "1" 时对操作无效。*
- *如果发出读改写指令，读取值为 1。*

[bit9] FTIE：传送 FIFO 中断使能位

此位使能传送 FIFO 中断。如果此位设置为 "1"，则当 FDRQ 位设置成 "1" 时会发生中断。

位	描述
0	禁用传送 FIFO 中断。
1	使能传送 FIFO 中断。

[bit8] FSEL：FIFO 选择位

此位选择传送 FIFO 或接收 FIFO。

位	描述
0	传送 FIFO:FIFO1；接收 FIFO:FIFO2
1	传送 FIFO:FIFO2；接收 FIFO:FIFO1

注意事 ：

- *不能通过 FIFO 复位 (FCR0:FCL[2:1]=11) 清 此位。*
- *变更此位的状态时，应先禁用 FIFO 操作 (FCR0:FE[2:1]=00)。*

6.8 FIFO 控制寄存器 0 (FCR0)

FIFO 控制寄存器 0 (FCR0) 用于使能/禁用 FIFO 操作、复位 FIFO、保存读取指 并设置数据 传。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	W	R/W	R/W	R/W	R/W
初始值		-	0	0	0	0	0	0	0

[bit7] - ：未使用位

读取时此位值未定义。

此位写入时对操作无效。

[bit6] FLST：FIFO 传数据丢失标志位

此位指示传送 FIFO 中 传的数据已丢失。

满足下列条件时设置 FLST 位：

- FIFO 控制寄存器 1 (FCR1) 的 FLSTE 位为 "1"，传送 FIFO 的写指 与 FSET 位保存的读指匹配并将数据写入 FIFO。

在下列情况下清 FLST 位：

- FIFO 复位（FCL 位设置为 "1"）。
- FSET 位设置为 "1"。

此位设置为 "1" 时，会覆盖写入读指 识别的数据（通过 FSET 位保存的数据）。因此，即使发生了 误，FLD 位也不能设置数据 传。此位设置为 "1" 时如果要 传数据，应先复位 FIFO。然后，再次将数据写入 FIFO。

位	描述
0	未发生数据丢失。
1	发生数据丢失。

[bit5] FLD：FIFO 指 载位

此位将 FSET 位保存在传送 FIFO 中的数据 新载入 载指 。此位可用于发生通信 误或其他 误后传数据。

完成 传设置后，此位设置为 "0"。

位	描述
0	不 载
1	载

注意事 ：

- *此位为 "1" 时，表明正将数据 新载入读指 。因此， FIFO 复位以外，禁用数据写入，。*
- *使能 FIFO 或数据正在传送时，此位不能设置成 "1"。*

- *TIE 位和 TBIE 位设置为 "0" 后，将此位设置为 "1"。使能传送 FIFO 后，将 TIE 位和 TBIE 位设置为 "1"。*

[bit4] FSET：FIFO 指 保存位

此位保存传送 FIFO 读指 。

如果在传送前保存读取指 且 FLST 位为 "0"，即使已发生通信 误或其他 误，也可 传数据。

位	描述
0	未保存
1	保存

注意事 ：

- *只有当传送字节计数 (FBYTE) 为 "0" 时才能将此位设为 "1"。*

[bit3] FCL2：FIFO2 置位

此位 置 FIFO2 的值。

如果此位设置为 "1"，会初始化 FIFO2 的内部状态。

只有 FCR1:FLST2 位被初始化，但要保持 FCR1/FCR0 寄存器的其他位。

位	描述	
	写入	读取
0	对操作无效。	读取值总为 "0"。
1	置 FIFO2。	

注意事 ：

- *先禁用数据传送和接收，然后再复位 FIFO2。*
- *执行前，将传送 FIFO 中断使能位设为 "0"。*
- *将 FBYTE2 寄存器的有效数据计数设为 "0"。*

[bit2] FCL1：FIFO1 置位

此位复位 FIFO1 值。

如果此位设置为 "1"，会初始化 FIFO1 的内部状态。

只有 FCR1:FLST1 位被初始化，但要保持 FCR1/FCR0 寄存器的其他位。

位	描述	
	写入	读取
0	对操作无效。	读取值总为 "0"。
1	复位 FIFO1。	

注意事 ：

- *先禁用传送和接收，然后再复位 FIFO1。*
- *执行前，将传送 FIFO 中断使能位设为 "0"。*
- *将 FBYTE1 寄存器的有效数据计数设为 "0"。*

[bit1] FE2：FIFO2 操作使能位

此位使能或禁用 FIFO2 操作。

- 使用 FIFO2 操作时，将此位设为 "1"。
- 如果 FIFO2 设置为传送 FIFO 且此位设为 "1" 时如果 FIFO2 中存在数据，则在使能 LIN 接口 (Ver.2.1) 为传送数据(TXE=1)时，会立即启动数据传送。此时，将 TIE 位和 TBIE 位都设置为 "0"。然后，将此位设置为 "1" 并将 TIE 位和 TBIE 位都设置为 "1"。
- 如果 FSEL 位选择接收 FIFO 且发生接收 误，此位会被清 为 "0"在接收 误被清 前不能将此位设置为 "1"。
- 如果 FIFO2 用作传送 FIFO，则必 在传送缓冲器为空 (TDRE=1) 时将此位设置为 "1" 或 "0"。
- 如果 FIFO2 用作接收 FIFO，则必 在禁用接收后 (SCR:RXE=0) 当接收缓冲器为空 (SSR:RDRF=0) 且接收 FIFO 中不存在有效数据 (FBYTE2=0x00) 时将此位设置为 "0"。
- 如果 FIFO2 用作接收 FIFO ，必 在禁用接收后 (SCR:RXE=0) 当接收缓冲器为空时 (SSR:RDRF=0) 将此位设置为 "1"。
- 即使禁用 FIFO2 操作，仍然保持 FIFO2 的状态。

位	描述
0	禁用 FIFO2 操作。
1	使能 FIFO2 操作。

[bit0] FE1：FIFO1 操作使能位

此位使能或禁用 FIFO1 操作。

- 使用 FIFO1 操作时，将此位设为 "1"。
- 如果 FIFO1 设置为传送 FIFO 且此位设为 "1" 时如果 FIFO1 中存在数据，则在使能 LIN 接口 (Ver.2.1) 为传送数据时(TXE=1)，会立即启动数据传送。此时，将 TIE 位和 TBIE 位都设置为 "0"。然后，将此位设置为 "1" 并将 TIE 位和 TBIE 位都设置为 "1"。
- 如果 FSEL 位选择接收 FIFO 且发生接收 误，此位会被清 为 "0"在接收 误被清 前不能将此位设置为 "1"。
- 如果 FIFO1 用作传送 FIFO，则必 在传送缓冲器为空 (TDRE=1) 时将此位设置为 "1" 或 "0"。
- 如果 FIFO1 用作接收 FIFO，则在禁用接收后 (SCR:RXE=0) 接收缓冲器为空 (SSR:RDRF=0) 且接收 FIFO 中不存在有效数据 (FBYTE2=0x00) 时，此位必 设置为 "0"。
- 当 FIFO1 用作接收 FIFO 时，必 在禁用接收后 (SCR:RXE=0)，当接收缓冲器为空时 (SSR:RDRF=0) 将此位设置为 "1"。
- 即使禁用 FIFO1 操作，仍然保持 FIFO1 的状态。

位	描述
0	禁用 FIFO1 操作。
1	使能 FIFO1 操作。

6.9 FIFO 字节寄存器 (FBYTE)

FIFO 字节寄存器 (FBYTE) 指示 FIFO 缓冲器中的有效数据计数。接收 FIFO 接收了一定数 的数据设置时，本寄存器还可用于产生接收中断。

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE 寄存器指示 FIFO 的有效数据计数。FCR1:FSEL 位的设置如下：

Table 6-3 数据计数显示

FCR1:FSEL	FIFO 选择	数据计数显示
0	FIFO2：接收 FIFO；FIFO1：传送 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2：传送 FIFO；FIFO1：接收 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE 寄存器的数据传输计数初始值为 "0x08"。
- 将数据计数设置至接收 FIFO 的 FBYTE 寄存器，以产生接收中断标志。如果此传输数据计数与 FBYTE 寄存器的显示相匹配，则接收数据已满标志位 (RDRF) 设置为 "1"。
- 如果满足下列两个条件且接收空 状态持续超过 8 个波特率时 ，则接收数据已满标志 (SSR:RDRF) 设置为 "1"。
- 接收 FIFO 空 检测使能位 (FRIIE) 为 "1"。
- 接收 FIFO 中储存的数据设置数 未达到传输计数。

如果在 8 个时 计数过程中读取 RDR 数据，则此计数器复位为 "0" 并 新启动 8 个时 计数。如果禁用接收 FIFO，本计数器复位为 "0"。如果数据保持在接收 FIFO 中且使能接收 FIFO， 新启动数据计数。

[bit15:8] FBYTE2：FIFO2 数据计数显示位

[bit7:0] FBYTE1：FIFO1 数据计数显示位

写入	设置传输数据计数。
读取	读取有效数据计数。

读取（有效数据计数）

传送时：已写入 FIFO 但还未传送的数据设置的数
接收时：FIFO 中已接收的数据设置数

写入（传输数据计数）

传送时：设置 "0x00"。
接收时：设置数据计数，产生接收中断。

Table 6-4 保存在 FIFO 中的数据计数

FIFO 容	最大 FBYTE 计数	要保存在 FIFO 中的数据计数
16 字节	16	16
32 字节	32	32
64 字节	64	64
128 字节	128	128

注意事 ：

- *在传送 FIFO 的 FBYTE 寄存器中设置 "0x00"。*
- *在接收 FIFO 的 FBYTE 寄存器中设置大于或等于"1" 的数据。*
- *只有在禁用数据传送或接收后才能改变此状态。*
- *本寄存器不能使用读改写指令。*
- *禁止任何超出 FIFO 容 的设置。*
- *设置 FIFO 选择位(FCR1:FSEL)后，设置 FIFO 字节寄存器(FBYTE)。*
- *不能同时设置 FIFO 选择位(FCR1:FSEL)和 FIFO 字节寄存器(FBYTE)。*
- *传送时的 FIFO 数据显示所显示的是传送数据写入的计数减去 "1"所得到的数据计数。这是因为当存在没有转送至 TDR 寄存器的数据时，传送的数据写入保存在传送 FIFO 中。在传送 TDR 寄存器中的数据时，未传送至 FIFO 的数据传输至 TDR 寄存器。*
- *接收时的 FIFO 数据显示所显示的是接收到但还未读取的数据计数。不包括寄存器 TDR 正在接收的数据。*

第 1-5 章：I2C 接口 (I2C 通信控制接口)

本章说明多功能串行接口操作模式 4 所支持的 I²C 功能。

1. I²C 接口（I²C 通信控制接口）概述
2. I²C 接口操作
3. 专用波特率发生器
4. I²C 通信操作流程图示例
5. I²C 接口寄存器

代码：9BFI2C-C03.0 FM15I-E05.4

1. I²C 接口（I²C 通信控制接口）概述

I²C 接口（I²C 通信控制接口）支持 I²C 总线并作为 I²C 总线上的主机/从机设备。I²C 接口还配有传送/接收 FIFO（最大容 各 128 字节）*1。

I²C 接口（I²C 通信控制接口）功能

		功能
1	数据缓冲	− 全双工双缓冲（不使用 FIFO 时） − 传送/接收 FIFO（最大容 各 128 字节）*（使用 FIFO 时）
2	串行输入	最多清 串行时 /串行数据输入中 2 个总线时 的噪声。
3	传输模式	同步
4	波特率	− 专用波特率发生器（由 15 位 载计数器构成） − 可通过 载计数器调节外部时 。
5	数据 度	8 位
6	信号系统	NRZ（不归 ）
7	中断请求	− 接收中断 − 传送中断 − 发送给 ICU 的状态中断/中断请求 − 传送 FIFO 中断（传送 FIFO 为空时） − 具有 DMA（传送/接收）传输支持功能。
8	I²C	− 主机/从机传送和接收功能 − 判优功能 − 时 同步功能 − 传送方向检测功能 − 产生并检测迭代启动条件的功能 − 总线 误检测功能 − 全呼寻址功能 − 作为主机/从机的 7 位寻址 − 传送进程中或发生总线 误时使能中断产生 − 可编程使能 10 位寻址功能
9	FIFO	− 配有传送/接收 FIFO（最大容 ：传送 FIFO 为 128 字节，接收 FIFO 为 128 字节）* − 可选择传送 FIFO 或接收 FIFO。 − 传送数据可 新发送。 − 可通过软件改变接收 FIFO 中断时序。 − 独立支持 FIFO 复位。

*：FIFO 容 大小根据产品类型而异。

2. I²C 接口操作

2.1 I²C 接口中断

I²C 接口中断请求由以下因素产生：

- 字节传送/接收后且数据传送/接收完成后；
- 停止条件；
- 迭代启动条件；
- FIFO 传送数据请求；
- FIFO 接收数据完成。

I²C 接口中断

Table 2-1 列出了 I²C 接口的中断控制位和中断因素。

Table 2-1I²C 接口的中断控制位和中断因素

中断类型	中断请求标志位	标志寄存器	中断因素	中断因素使能位	清 中断请求标志的操作
状态	INT	IBCR	字节已传送/接收*1（从机操作 SSR:DMA=1 时 外）	IBCR:INTE	将中断标志位 (IBCR:INT) 设置为 "0"。
			数据已传送/接收*1（当 SSR:DMA=0 时）		
			总线 误检测（EIBCR:BCE=0）		
			判优损失检测		
			保留地址检测		
			NACK 接收		
			作为从机接收时接收 FIFO 已满（当 SSR:DMA=0 时）		读取接收数据后，在接收 FIFO 为空之前将 IBCR:INT 设置为 "0"。
	SPC	IBSR	停止条件	IBCR:CNDE	将 SPC 设置为 "0"。
	RSC		迭代启动检测		将 RSC 设置为 "0"。
接收	RDRF	SSR	保留地址接收	SMR:RIE	从接收数据寄存器 (RDR) 读取数据。
			数据接收完成		
			接收到的数据 与 FBYTE 的设置值匹配。		读取接收数据寄存器 (RDR)，直到接收 FIFO 为空为止
			FRIIE=1 时检测到接收空 状态		
	ORE	SSR	溢出 误		将接收 误标志位 (SSR:REC) 设置为 "1"。

中断类型	中断请求标志位	标志寄存器	中断因素	中断因素使能位	清 中断请求标志的操作
传送	TDRE	SSR	传送数据寄存器为空。 传送缓冲器为空标志设置位 (SSR:TSET) 设置为 "1"。	SMR:TIE	当传送 FIFO 操作使能位设置为 "0" 且传送 FIFO 中存在有效数据时，写入传送数据寄存器 (TDR) 或将传送 FIFO 操作使能位设置为 "1" （ 传数据）*2
	FDRQ	FCR1	传送 FIFO 为空。	FCR1:FTIE	FIFO 传送数据请求位设置为 "0" 或传送 FIFO 已满。
	TBI (SSR: DMA=1)	SSR	无传送操作。 传送缓冲器为空标志设置位 (SSR:TSET) 设置为 "1"。	SCR:TBIE	当传送 FIFO 操作使能位设置为 "0" 且传送 FIFO 中存在有效数据时，写入传送数据寄存器 (TDR) 或将传送 FIFO 操作使能位设置为 "1" （ 传数据）*3

*1：如果能正常传送/接收数据且 SSR:TDRE 为 "0"，则不产生中断。这是为了支持 DMA 传输。
如果要在数据传送/接收过程中产生 IBCR:INT 位，则在设置 IBCR:INT 位之前将 SSR:TDRE 位设置为 "1"。

*2：确保检 SSR:TDRE 是否设置为 "0"，然后设置 SMR:TIE 位为 "1"。

*3：确保检 SSR:TBI 是否设置为 "0"，然后设置 SSR:TBIE 位为 "1"。

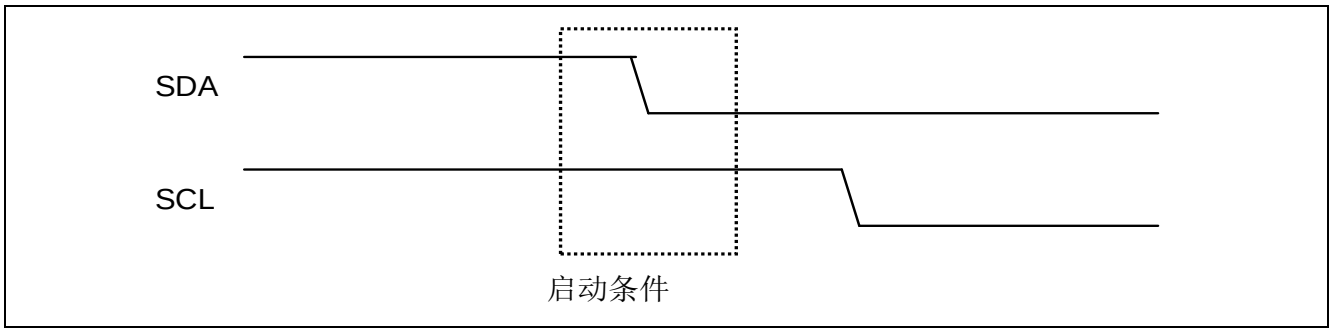
2.2 I²C 总线操作

I²C 接口使用两条双向总线、一条串行数据线 (SDA) 和一条时 线 (SCL) 进行通信。

I²C 总线启动条件

下图显示了 I²C 总线启动条件。

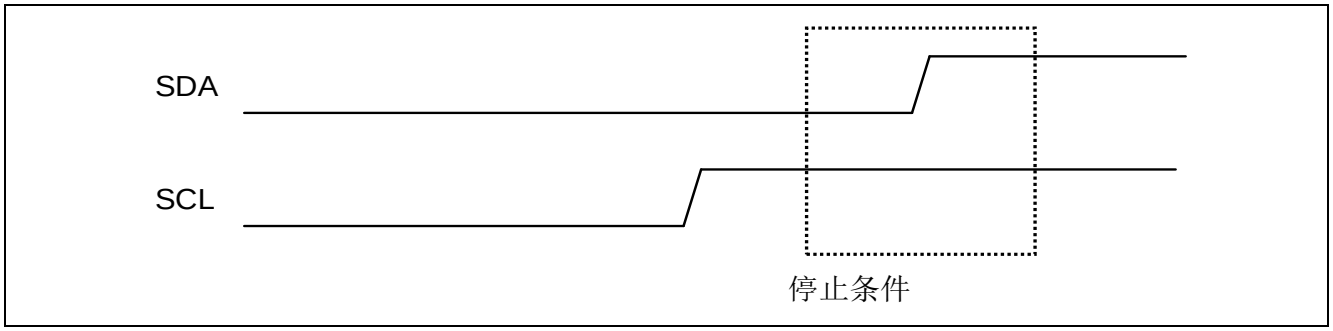
Figure 2-1 启动条件



I²C 总线停止条件

下图显示了 I²C 总线停止条件。

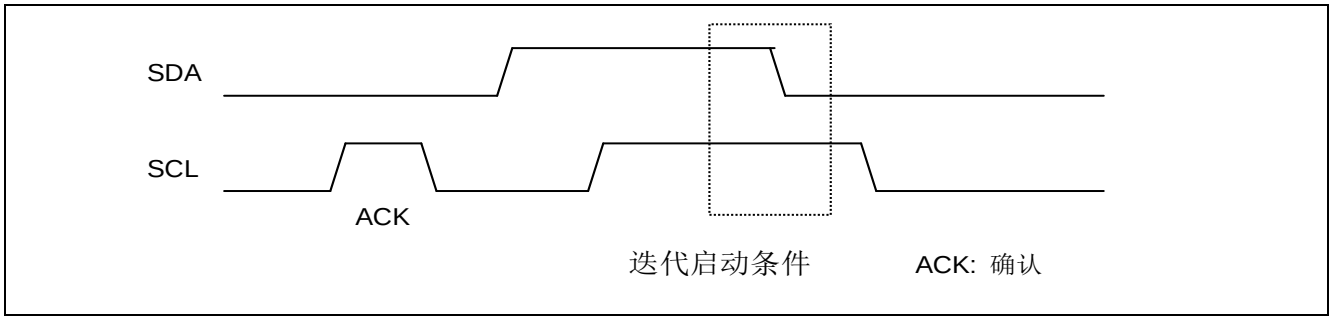
Figure 2-2 停止条件



I²C 总线迭代启动条件

下图显示了 I²C 总线迭代启动条件。

Figure 2-3 迭代启动条件



2.3 主机模式

主机模式产生 I²C 总线上的启动条件并输出时 至 I²C 总线。当 I²C 总线为空 状态时如果 IBCR 寄存器的 MSS 位设置为 "1" (SCL=HIGH, SDA=HIGH)，则激活主机模式并将 IBCR 寄存器的 ACT 位设置为 "1"。

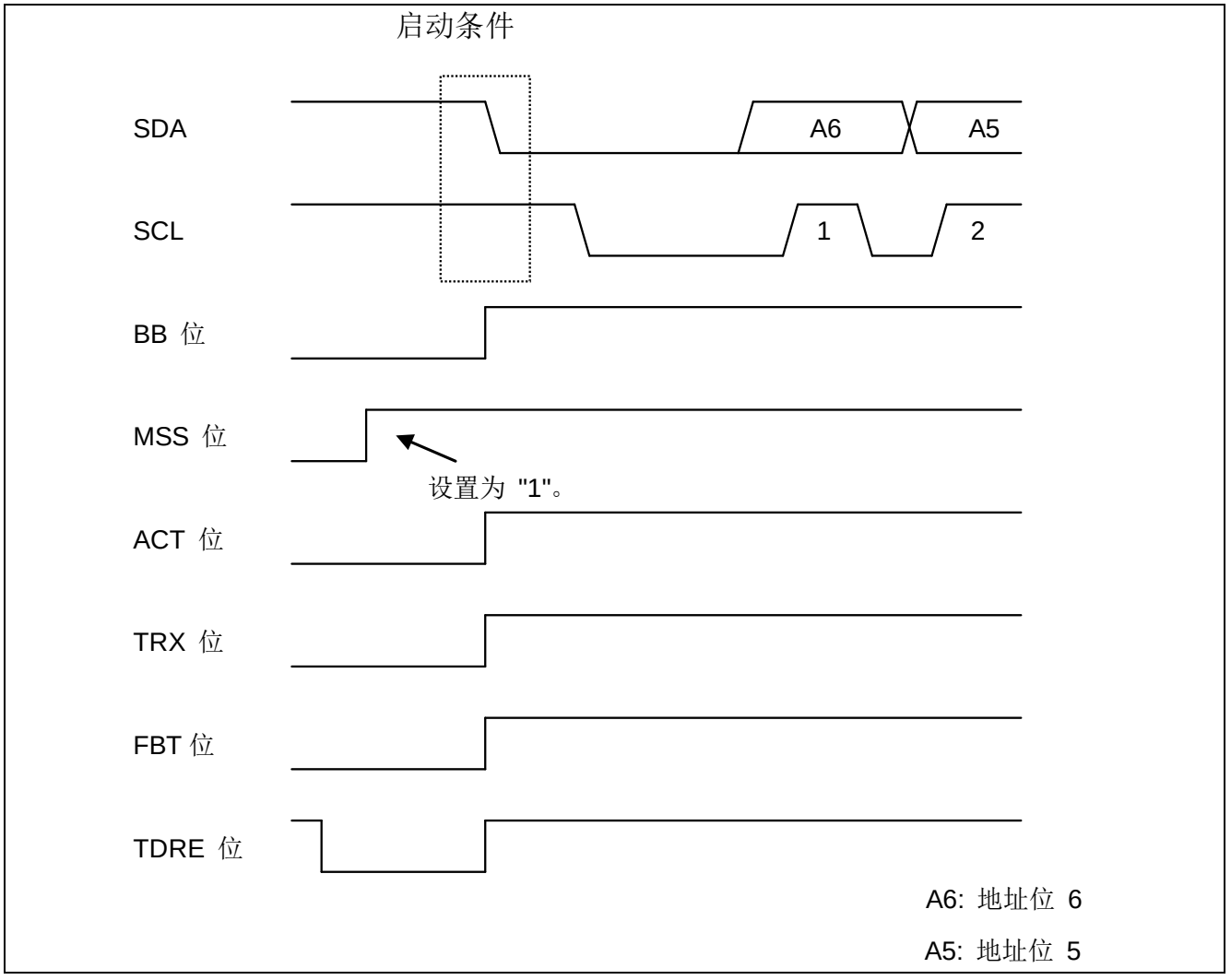
2.3.1 产生启动条件

启动条件在下列条件下产生：

- 当 SDA="H"、SCL="H"、ISMK:EN=1 且 IBSR:BB=0 时，将 IBCR:MSS 位设置为 "1"。

输出启动条件至 I²C 总线会使 IBCR:ACT 位设置为 "1"。然后，当接收到启动条件时，IBSR:BB 位设置为 "1"，指示 I²C 总线正在执行通信。（参见 Figure 2-4。）

Figure 2-4 启动条件输出以及与各相关位的关系



注意事 ：

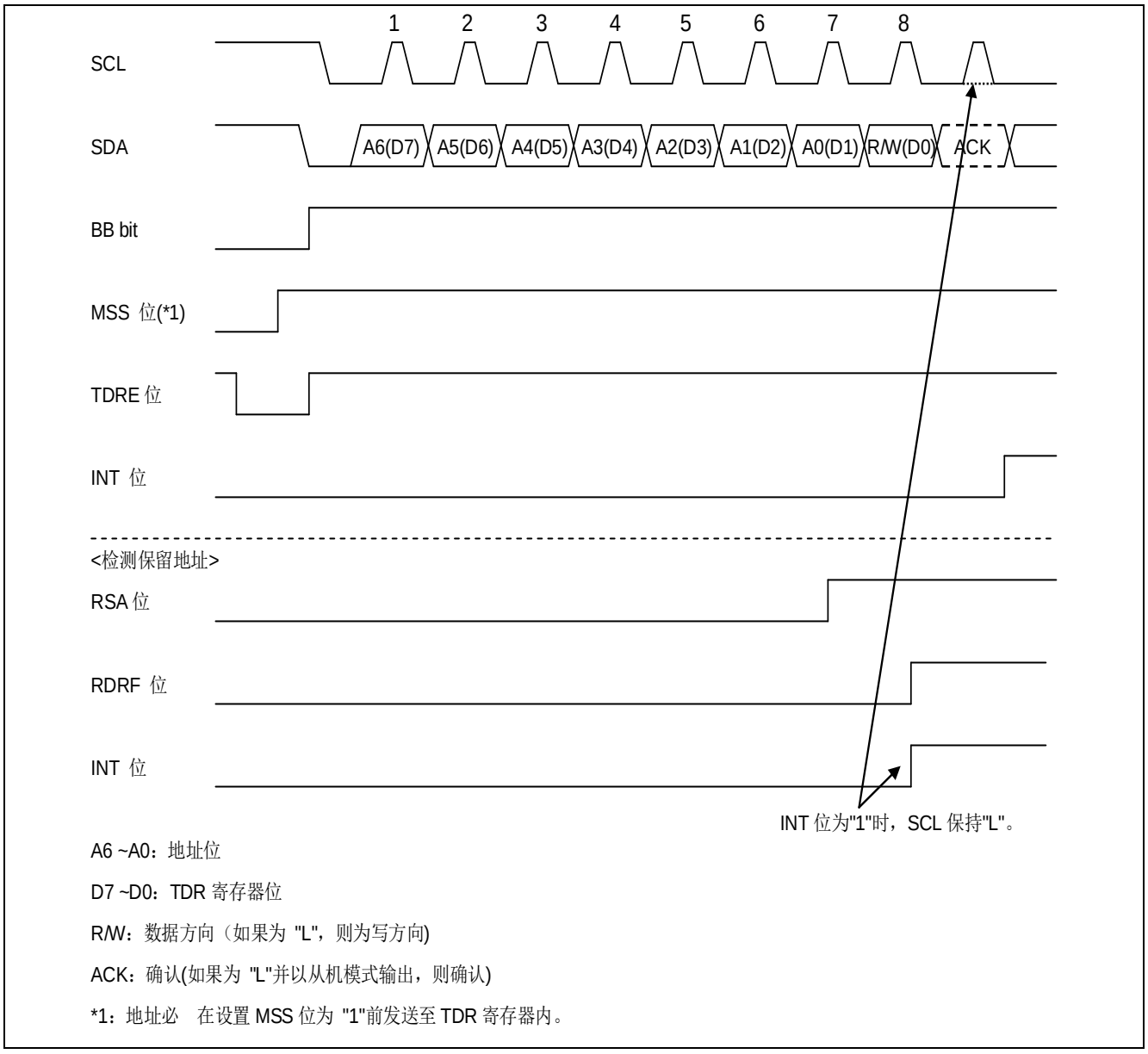
- *在操作模式 4 (I²C 模式) 中，总线时 在 率不低于 8 MHz 时使用。还应注意的是，禁止将波特率生成器设置为 400 kbps 以上。*

2.3.2 从机地址输出

输出启动条件使 TDR 寄存器中设置的数据从 bit 7 开始作为地址输出。使能 FIFO 后，输出 TDR 寄存器中最先写入的数据。bit 0 用作数据方向位 (R/W)。当数据方向位 (R/W) 为 "0" 时，指示数据流为写入方向（从主机至从机）。将 IBCR:MSS 位或 IBCR:SCC 位设置为 "1" 之前在 TDR 寄存器中设置地址。

地址输出时序及数据方向参见 Figure 2-5 和 Figure 2-6。

Figure 2-5 地址及数据方向（禁用 FIFO 时）



A6 ~A0：地址位

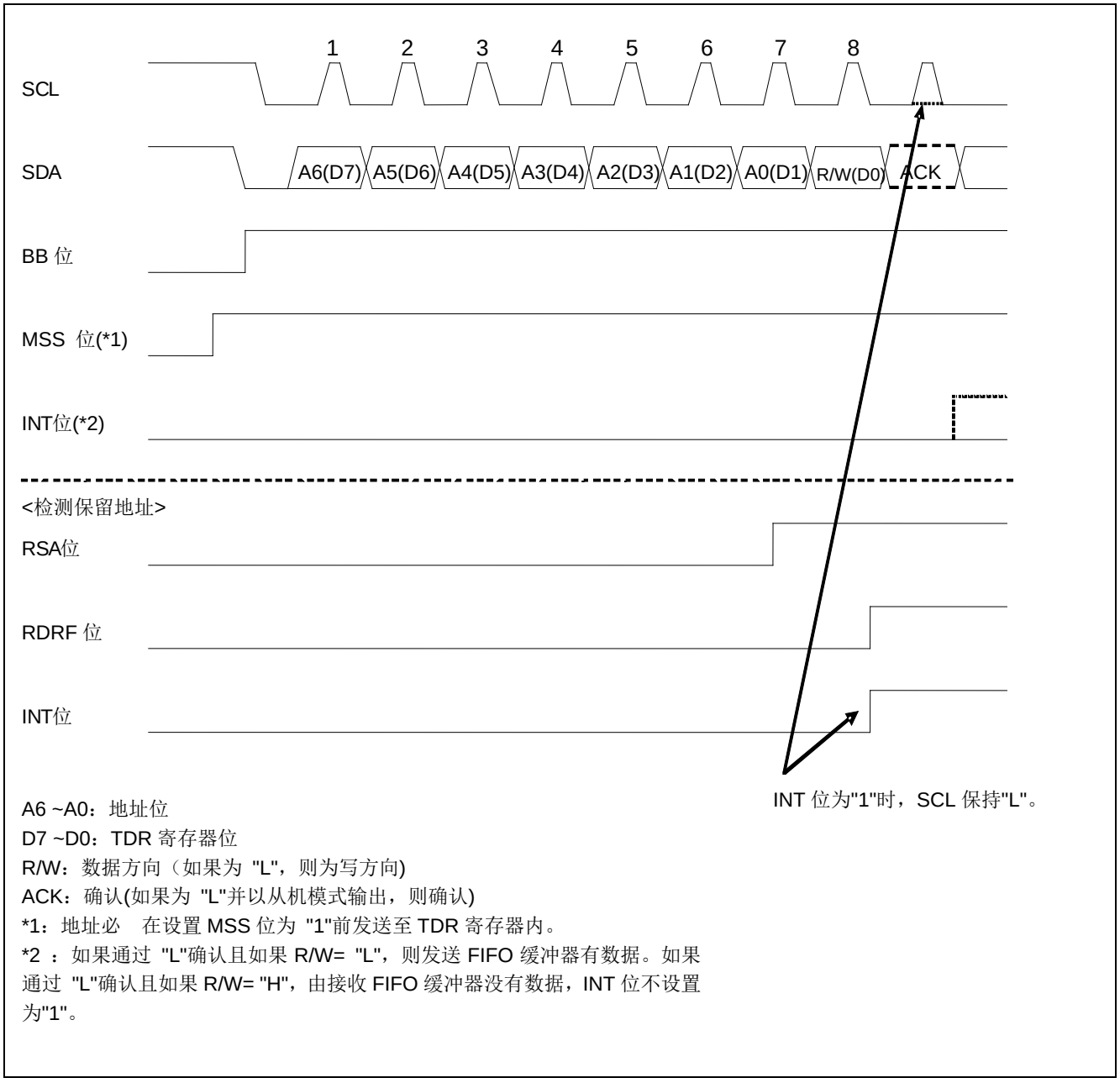
D7 ~D0：TDR 寄存器位

R/W：数据方向（如果为 "L"，则为写方向)

ACK：确认(如果为 "L"并以从机模式输出，则确认)

*1：地址必　在设置 MSS 位为 "1"前发送至 TDR 寄存器内。

Figure 2-6 地址及数据方向（使能传送/接收 FIFO 时）



A6 ~A0：地址位
D7 ~D0：TDR 寄存器位
R/W：数据方向（如果为 "L"，则为写方向)
ACK：确认(如果为 "L"并以从机模式输出，则确认)
*1：地址必　在设置 MSS 位为 "1"前发送至 TDR 寄存器内。
*2 ：如果通过 "L"确认且如果 R/W= "L"，则发送 FIFO 缓冲器有数据。如果通过 "L"确认且如果 R/W= "H"，由接收 FIFO 缓冲器没有数据，INT 位不设置为"1"。

2.3.3 字节传送确认接收

当数据方向位 (R/W) 输出后，I²C 接口接收从机的确认。以下列出使能/禁用 FIFO 的操作。

Table 2-2 禁用 DMA 模式时确认接收后的操作
(IBSR:RSA="0", SSR:DMA="0")

传送 FIFO	接收 FIFO	传送 FIFO 状态	接收 FIFO 状态	数据方向位 (R/W)	紧接着确认后的操作	
					确认：ACK	确认：NACK
禁用	禁用	-	-	0	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为“1”并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	IBCR:INT 位设置为 "1" 并等待。
				1		
禁用	使能	-	无数据	0	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为“1”并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	IBCR:INT 位设置为 "1" 并等待。
			有数据		IBCR:INT 位设置为 "1" 并等待。	
			-	1	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为“1”并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	
使能	禁用	-	-	0	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为“1”并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	IBCR:INT 位设置为 "1" 并等待。
				1		
使能	使能	-	无数据	0	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为“1”并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	IBCR:INT 位设置为 "1" 并等待。
			有数据		IBCR:INT 位设置为 "1" 并等待。	
			-	1	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为“1”并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	

Table 2-3 使能 DMA 模式时确认接收后的操作
(IBSR:RSA="0", SSR:DMA="1")

传送 FIFO	接收 FIFO	传送 FIFO 状态	接收 FIFO 状态	数据方向位 (R/W)	紧接着确认后的操作	
					确认：ACK	确认：NACK
禁用	禁用	-	-	0	如果 SSR:TDRE 位设置为 "1"，则接口将 SSR:TBI 位设置为 "1" 并等待。如果 SSR:TDRE 位设置为 "0"，则 SSR:TBI 位保持 "0"，无等待状态。	IBCR:INT 位设置为 "1" 并等待。
				1		
禁用	使能	-	无数据	0	如果 SSR:TDRE 位设置为 "1"，则接口将 SSR:TBI 位设置为 "1" 并等待。如果 SSR:TDRE 位设置为 "0"，则 SSR:TBI 位保持 "0"，无等待状态。	IBCR:INT 位设置为 "1" 并等待。
			有数据		IBCR:INT 位设置为 "1" 并等待。	
			-	1	如果 SSR:TDRE 位设置为 "1"，则接口将 SSR:TBI 位设置为 "1" 并等待。如果 SSR:TDRE 位设置为 "0"，则 SSR:TBI 位保持 "0"，无等待状态。	
使能	禁用	-	-	0	如果 SSR:TDRE 位设置为 "1"，则接口将 SSR:TBI 位设置为 "1" 并等待。如果 SSR:TDRE 位设置为 "0"，则 SSR:TBI 位保持 "0"，无等待状态。	IBCR:INT 位设置为 "1" 并等待。
				1		
使能	使能	-	无数据	0	如果 SSR:TDRE 位设置为 "1"，则接口将 SSR:TBI 位设置为 "1" 并等待。如果 SSR:TDRE 位设置为 "0"，则 SSR:TBI 位保持 "0"，无等待状态。	IBCR:INT 位设置为 "1" 并等待。
			有数据		IBCR:INT 位设置为 "1" 并等待。	
			-	1	如果 SSR:TDRE 位设置为 "1"，则接口将 SSR:TBI 位设置为 "1" 并等待。如果 SSR:TDRE 位设置为 "0"，则 SSR:TBI 位保持 "0"，无等待状态。	

禁用 DMA 模式时 (SSR:DMA=0)

■ 禁用 FIFO（禁用传送 FIFO 和接收 FIFO）

- 当 IBSR:RSA 设置为 "0" 时，在接收确认后如果 SSR:TDRE 位设置为 "1"，则接口将中断标志位 (IBCR:INT) 设置为 "1" 并等待，同时保持 SCL 为 LOW。写入 "0" 至中断标志将中断标志设置为 "0"，解 等待。如果 SSR:TDRE 设置为 "0"，则在接收到 ACK 时接口在 SCL 上产生时 ，而不将中断标志设置为 "1"。
- 当 IBSR:RSA 位设置为 "1" 时，在接收到保留地址后（确认之前），接口将中断标志 (IBCR:INT) 设置为 "1" 并等待，同时保持 SCL 为 LOW。读取 RDR 寄存器后，设置 IBCR:ACKE 位及传送数据并写入 "0" 至中断标志使中断标志设置为 "0"以解 等待。
- 接收确认设置至 IBSR:RACK 位。在等待过程中接口检 IBSR:RACK 位。如果是 NACK，则写入 "0" 至 IBCR:MSS 位或写入 "1" 至 IBCR:SCC 位，产生停止条件或迭代启动条件。此时，IBCR:INT 位自动清 为 "0"。

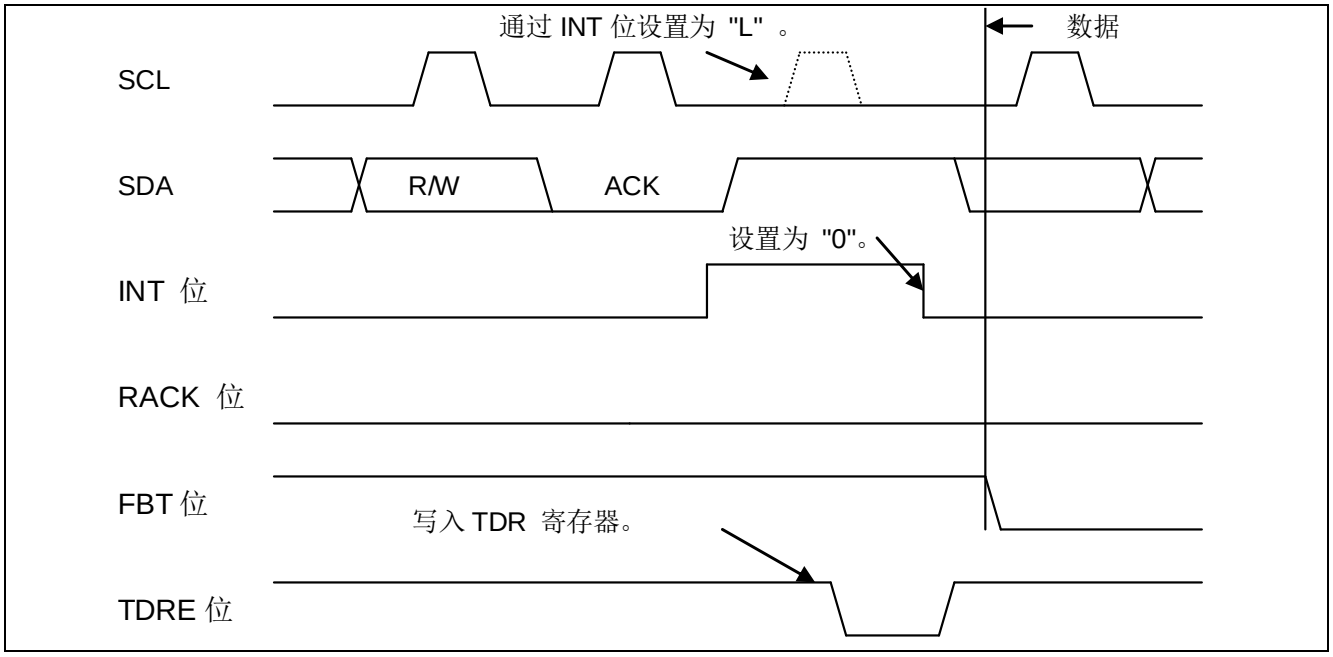
■ 使能 FIFO
- 在将 IBCR:MSS 位设置为 "1" 之前， 对 FIFO 进行如下设置：
- 传送至从机时（数据方向位=0），必 在传送 FIFO 中设置数据（包括从机地址）。
- 接收从机的数据时（数据方向位=1），FIFO 字节寄存器必 设置待接收的数据设置 ，且待接收的从机地址、数据方向位及数据字节数 所用传送数据寄存器必 写入哑数据。
- 当 IBSR:RSA 位设置为 "0" 时，在接收确认后如果为 ACK，则接口根据数据方向位传送/接收数据，而不设置中断标志 (IBCR:INT) 为 "1"（不发生等待）。如果是 NACK，则接口将中断标志 (IBCR:INT) 设置为 "1" 并等待，同时保持 SCL 为 LOW。
- 接收确认储存在 IBSR:RACK 位。在等待过程中接口检 IBSR:RACK 位。如果是 NACK，则写入 "0" 至 IBCR:MSS 位或写入 "1" 至 IBCR:SCC 位，产生停止条件或迭代启动条件。此时，IBCR:INT 位自动清 为 "0"。

使能 DMA 模式时 (SSR:DMA=1)

■ 禁用 FIFO（禁用传送 FIFO 和接收 FIFO）
- 当 IBSR:RSA 设置为 "0" 时，在接收确认后如果 SSR:TDRE 位设置为 "1"，则接口将传送总线空 标志 (SSR:TBI) 设置为 "1" 并等待，同时使 SCL 保持为 LOW。写入传送数据至 TDR 寄存器使传送总线空 标志设置为 "0"，解 等待。如果 SSR:TDRE 设置为 "0"，则在接收到 ACK 时接口在 SCL 上产生时 ，且传送总线空 标志 (SSR:TBI) 不设置为 "1"。
- 当 IBSR:RSA 位设置为 "1" 时，在接收到保留地址后（确认之前），接口将中断标志 (IBCR:INT) 设置为 "1" 并等待，同时使 SCL 保持为 LOW。读取 RDR 寄存器后，设置 IBCR:ACKE 位及传送数据并写入 "0" 至中断标志使中断标志设置为 "0"解 等待。
- 接收确认设置至 IBSR:RACK 位。在等待过程中接口检 IBSR:RACK 位。如果是 NACK，则写入 "0" 至 IBCR:MSS 位或写入 "1" 至 IBCR:SCC 位，产生停止条件或迭代启动条件。此时，IBCR:INT 位自动清 为 "0"。

■ 使能 FIFO
- 在将 IBCR:MSS 位设置为 "1" 之前， 对 FIFO 进行如下设置：
- 传送至从机时（数据方向位=0），必 在传送 FIFO 中设置数据（包括从机地址）。
- 接收从机的数据时（数据方向位=1），FIFO 字节寄存器必 设置待接收的数据设置 ，且待接收的从机地址、数据方向位及数据字节数 所用传送数据寄存器必 写入哑数据。
- 当 IBSR:RSA 位设置为 "0" 时，在接收确认后且如果是 ACK，则接口根据数据方向位传送/接收数据，且中断标志 (IBCR:INT) 不设置为 "1"（不等待）。如果是 NACK，则接口将中断标志 (IBCR:INT) 设置为 "1" 并等待，同时使 SCL 保持为 LOW。
- 接收确认储存在 IBSR:RACK 位。在等待过程中接口检 IBSR:RACK 位。如果是 NACK，则写入 "0" 至 IBCR:MSS 位或写入 "1" 至 IBCR:SCC 位，产生停止条件或迭代启动条件。此时，IBCR:INT 位自动清 为 "0"。

Figure 2-7 确认
（禁用 FIFO，IBSR:RSA="0"且选择 ACK 响应时）



以下说明地址的等待时序：

- 如果 IBSR:RSA 位为 "0"，则在接收确认后。
- 如果 IBSR:RSA 位为 "1"，则在接收确认前。

与 IBCR:WSEL 的设置无关。

Figure 2-8 确认
（禁用 FIFO，IBSR:RSA="0"且选择 NACK 响应时）

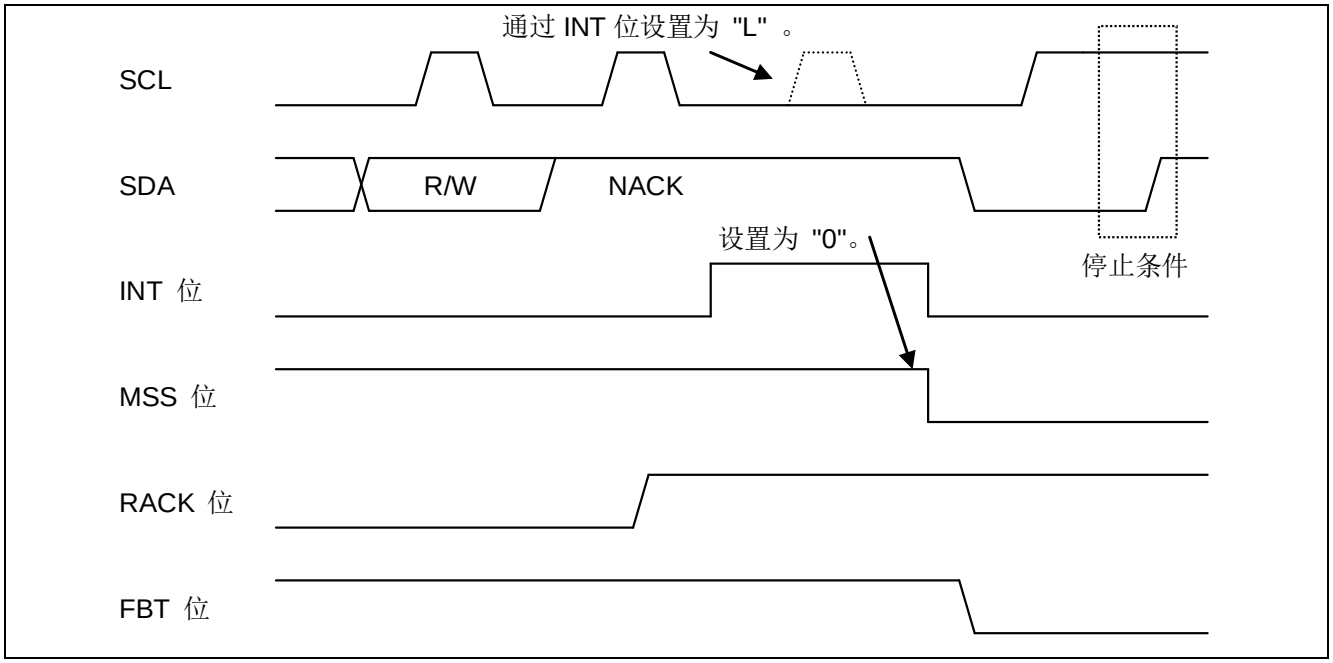


Figure 2-9 确认
（禁用 FIFO，IBSR:RSA="1"且选择 ACK 响应时）

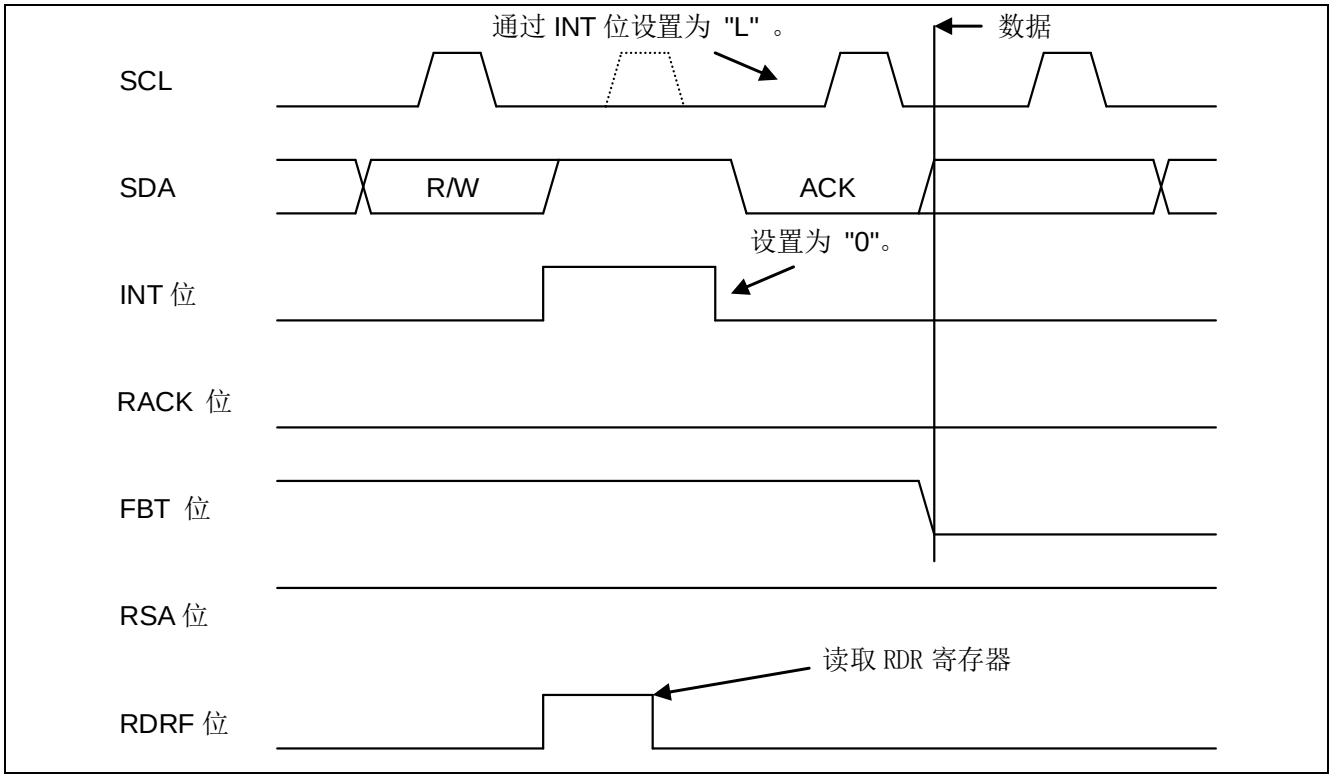


Figure 2-10 确认
（禁用 FIFO，IBSR:RSA="1"且选择 NACK 响应时）

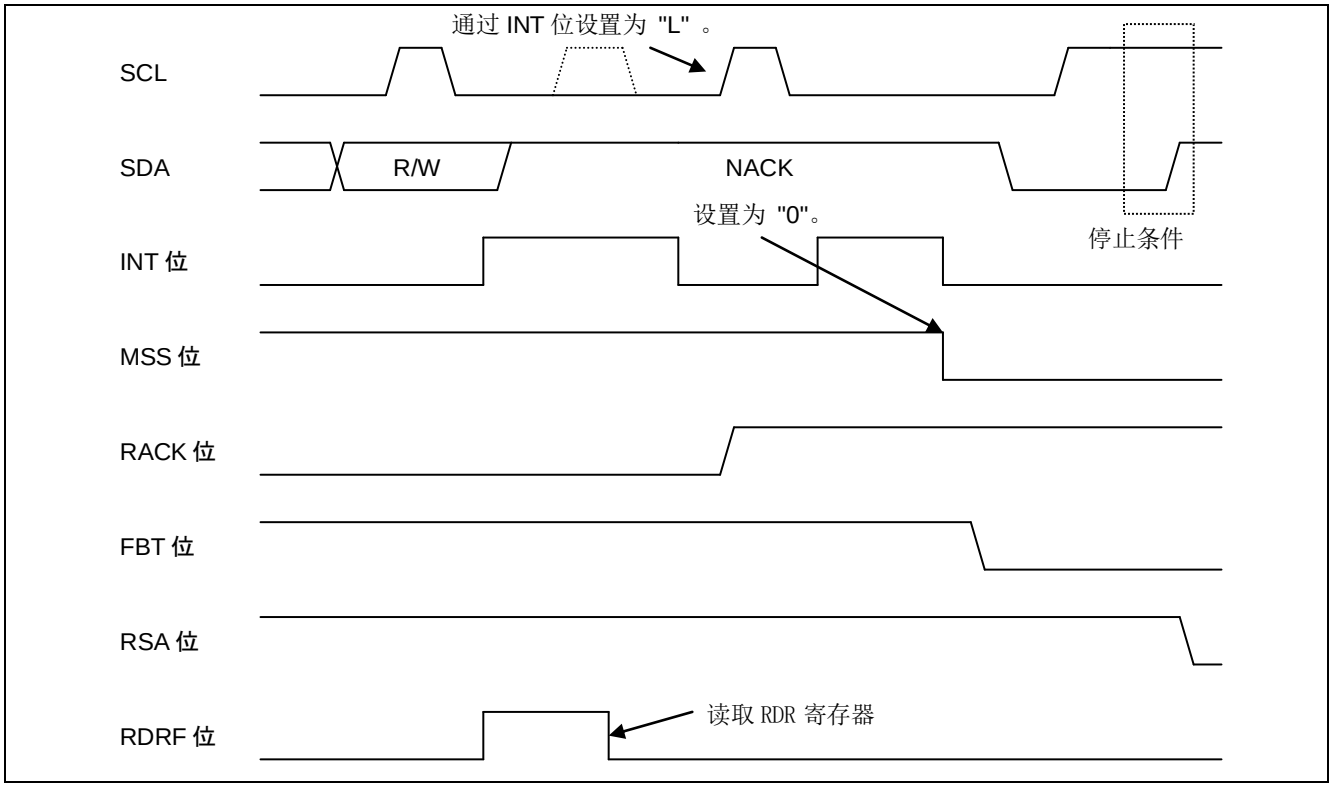
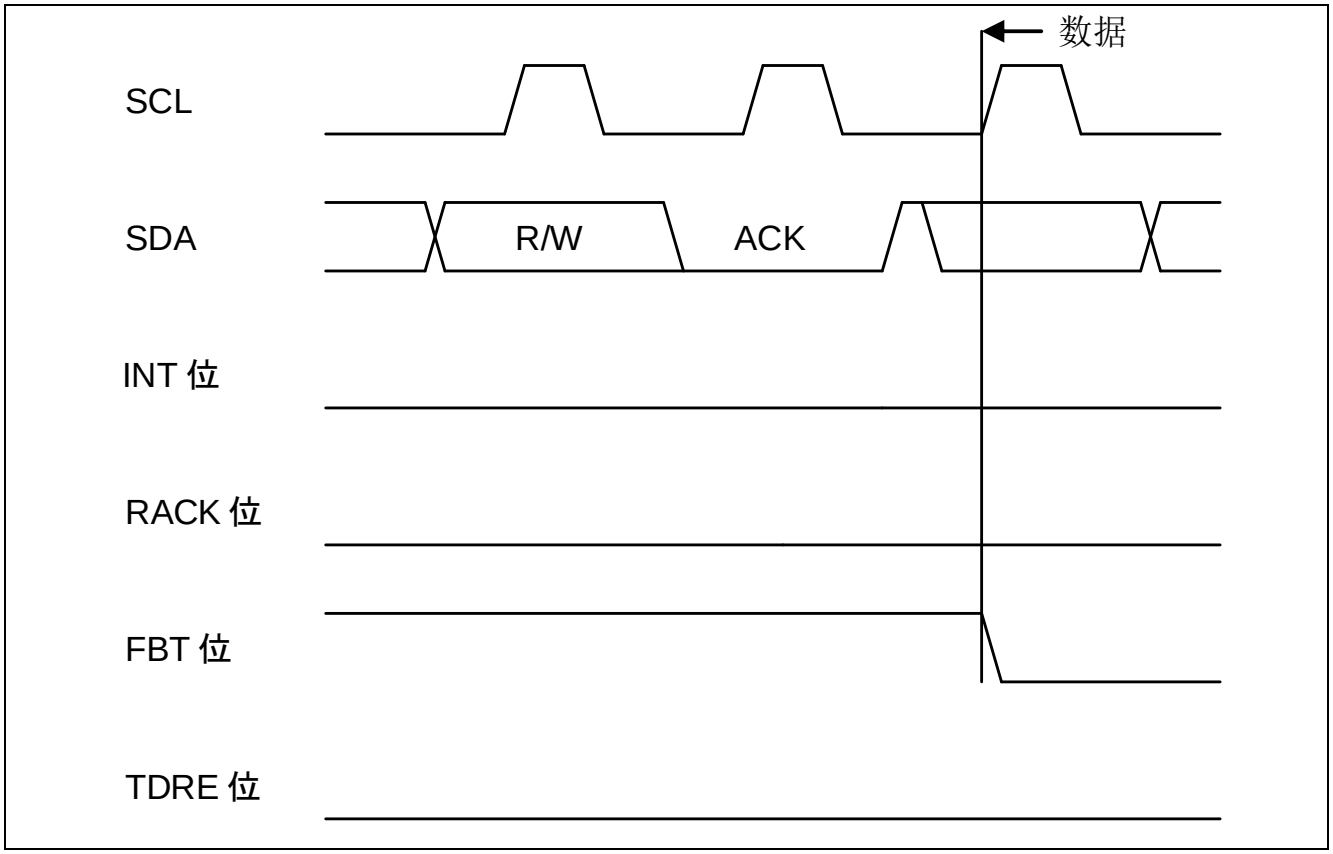


Figure 2-11 确认（使能 FIFO，传送 FIFO 中有数据，接收 FIFO 中无数据，IBSR:RSA="0"且选择 ACK 响应时）



2.3.4 主机传送数据

当数据方向位 (R/W) 设置为 "0" 时，从主机传送数据。每传送一字节，从机响应 ACK 或 NACK。

下表列出了 IBCR:WSEL 设置的位时序。

Table 2-4 禁用 DMA 模式 (SSR:DMA=0) 时主机数据传送的 IBCR:WSEL 位状态

WSEL 位	操作
0	<不使用 FIFO 时> 第二个字节之后，通过 SSR:TDRE 位为 "1"确认后或检测到判优损失时，中断标志 (IBCR:INT) 设置为 "1" 并将 SCL 设置为 LOW 进入等待状态。 <使用 FIFO 时> 检测到判优损失或传送数据寄存器中不存在有效数据时 (SSR:TDRE=1)确认之后，将中断标志 (IBCR:INT) 设置为 "1" 启动等待状态。
1	<不使用 FIFO 时> 第二个字节之后，SSR:TDRE 位设置为 "1"，主机已传送一字节数据或检测到判优损失后，中断标志 (IBCR:INT) 设置为 "1" 且 SCL 设置为 LOW 进入等待状态。 <使用 FIFO 时> 在检测到判优损失或者传送数据寄存器中不存在有效数据时 (SSR:TDRE=1) 后已发生数据传送时，中断标志 (IBCR:INT) 设置为 "1" 启动等待状态。

Table 2-5 使能 DMA 模式 (SSR:DMA=1)时主机传送数据的 IBCR:WSEL 位状态

WSEL 位	操作
0	<不使用 FIFO 时> 第二个字节之后，通过 SSR:TDRE 位设置为 "1" 确认后，传送总线空 标志 (SSR:TBI) 设置为 "1" 且 SCL 设置为 LOW 进入等待状态。 <使用 FIFO 时> 当传送数据寄存器中不存在有效数据(SSR:TDRE=1)时确认这后，将传送总线空 标志 (SSR:TBI) 设置为 "1" 启动等待状态。
1	<不使用 FIFO 时> 第二个字节之后，SSR:TDRE 位设置为 "1"，主机已传送一字节数据后，传送总线空 标志 (SSR:TBI) 设置为 "1"且 SCL 设置为 LOW 进入等待状态。 <使用 FIFO 时> 主机已传送一字节数据后当传送数据寄存器中不存在有效数据(SSR:TDRE=1)时，传送总线空 标志 (SSR:TBI) 设置为 "1" 启动等待状态。

但在下列情况下，不论 IBCR:WSEL 如何设置，确认后都要设置中断标志 (IBCR:INT)。

- 未设置停止条件时 (IBCR:MSS=0, ACT=1) 如果接收到 NACK。

以下是传送数据至从机的步 示例。

2.3.4.1 禁用 DMA 模式时 (SSR:DMA=0) 传送数据至从机

1. 传送数据至保留地址之外的地址：

■ 禁用传送 FIFO 时：

1. 设置从机地址（包括数据方向位）至 TDR 寄存器并写入 "1" 至 IBCR:MSS 位。
2. 传送从机地址设置后接收到 ACK，然后将中断标志 (IBCR:INT) 设置为 "1"。
3. 写入传送数据至 TDR 寄存器。
4. 更新 IBCR:WSEL 位后写入"0" 至中断标志 (IBCR:INT) 并解 I^2C 总线的等待状态。
5. 传送一个字节后，中断标志设置为 "1"，将 I^2C 总线在接收确认后设置为等待状态（如果 IBCR:WSEL=0）或在传送一字节后直接将 I^2C 总线设置为等待状态（如果 IBCR:WSEL=1）。复 3 ~ 5 步的操作，直到所有指定的数据设置数 都已传送为止。但当 IBCR:WSEL=1 时如果在解 等待状态后接收到 NACK，则在接收确认后产生另一个中断，且总线进入等待状态。
6. 将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1” 以产生停止条件或迭代启动条件。

■ 使能传送 FIFO 时：

1. 写入从机地址（包括数据方向位）及传送数据至 TDR 寄存器。
2. 设置 IBCR:WSEL 位时写入 "1" 至 IBCR:MSS 位。
3. 如果在传送进程中接收到 NACK，则在接收到 NACK 后立即将中断标志 (IBCR:INT) 设置为 "1" 使 I^2C 总线进入等待状态。如果所有字节都接收到 ACK 响应，则在传送最后一个字节后根据 IBCR:WSEL 的设置将中断标志设置为 "1" 使 I^2C 总线进入等待状态。
4. 将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1” 以产生停止条件或迭代启动条件。

2. 传送数据至保留地址：

■ 禁用传送 FIFO 时：

1. 将 TDR 寄存器的从机地址设置为保留地址，并写入 "1" 至 IBCR:MSS 位。
2. 传送从机地址设置后，将中断标志 (IBCR:INT) 设置为 "1"。
3. 读取 RDR 寄存器并确认保留地址。(*1)
4. 写入传送数据至 TDR 寄存器。
5. 更新 IBCR:WSEL 位后写入 "0" 至中断标志 (IBCR:INT) 并解 I²C 总线的等待状态。
6. 传送一个字节后，中断标志设置为 "1"，将 I²C 总线在接收确认后设置为等待状态（如果 IBCR:WSEL=0）或在传送一个字节后直接将 I²C 总线设置为等待状态（如果 IBCR:WSEL=1）。
   复 4~ 6 步的操作，直到所有指定的数据设置数 都已传送为止。但当 IBCR:WSEL=1 时如果在解 等待状态后接收到 NACK，则在接收确认后产生另一个中断，且总线进入等待状态。
7. 将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1” 以产生停止条件或迭代启动条件。

■ 使能传送 FIFO 时：

1. 将 TDR 寄存器的从机地址设置为保留地址，并写入 "1" 至 IBCR:MSS 位。
2. 传送从机地址设置后，将中断标志 (IBCR:INT) 设置为 "1"。
3. 读取 RDR 寄存器并确认保留地址。(*1)
4. 将所有传送数据写入 TDR 寄存器（直到传送 FIFO 变为数据已满状态为止）。
5. 如果在传送进程中接收到 NACK，则在接收到 NACK 后立即将中断标志 (IBCR:INT) 设置为 "1" 使 I²C 总线进入等待状态。
   如果所有字节都接收到 ACK 响应，则在传送最后一个字节后根据 IBCR:WSEL 的设置将中断标志设置为 "1" 使 I²C 总线进入等待状态。
6. 将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1” 以产生停止条件或迭代启动条件。

*1：满足下列任一条件时，必 将 IBCR:ACKE 和 IBCR:WSEL 位设置为 "1" 以检 下一个数据要的是主机操作还是从机操作。

- 激活多主机模式且保留地址为全呼。
- 检测到判优损失且接口可作为从机操作。

2.3.4.2 使能 DMA 模式时 (SSR:DMA=1) 传送数据至从机

1. 传送数据至保留地址之外的地址：

■ 禁用传送 FIFO 时：

1. 设置从机地址（包括数据方向位）至 TDR 寄存器并写入 "1" 至 IBCR:MSS 位。
2. 传送从机地址设置后接收到 ACK，然后将传送总线空 标志 (SSR:TBI) 设置为 "1"。
3. 将传送数据写入 TDR 寄存器，解 I²C 总线的等待状态。
4. 传送一个字节后，设置传送总线空 标志 (SSR:TBI) 为 "1"，将 I²C 总线在接收确认后设置为等待状态（如果 IBCR:WSEL=0）或者在传送一个字节后直接将 I²C 总线设置为等待状态（如果 IBCR:WSEL=1）。
5. 将传送数据写入 TDR 寄存器，解 I²C 总线的等待状态。
6. 传送一个字节后，将传送总线空 标志设置为 "1"，将 I²C 总线在接收确认后设置为等待状态（如果 IBCR:WSEL=0）或者在传送一个字节后直接将 I²C 总线设置为等待状态（如果 IBCR:WSEL=1）。
   复 5 ~ 6 步的操作，直到所有指定的数据设置数 都已传送为止。但当 IBCR:WSEL=1 时如果在解 等待状态后接收到 NACK，则在接收确认后中断标志 (IBCR:INT) 设置为 "1"，总线进入等待状态。
7. 将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1”*2 以产生停止条件或迭代启动条件。

■ 使能传送 FIFO 时：

1. 写入从机地址（包括数据方向位）及传送数据至 TDR 寄存器。
2. 设置 IBCR:WSEL 位时写入 "1" 至 IBCR:MSS 位。
3. 如果在传送进程中接收到 NACK，则在接收到 NACK 后立即将中断标志 (IBCR:INT) 设置为 "1" 使 I²C 总线进入等待状态。如果所有字节都接收到 ACK 响应，则在传送最后一个字节后根据 IBCR:WSEL 的设置将传送总线空 标志 (SSR:TBI) 设置为 "1" 使 I²C 总线进入等待状态。
4. 将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1”*2 以产生停止条件或迭代启动条件。

2. 传送数据至保留地址：

■ 禁用传送 FIFO 时：

1. 将 TDR 寄存器的从机地址设置为保留地址，并写入 "1" 至 IBCR:MSS 位。
2. 传送从机地址设置后，将中断标志 (IBCR:INT) 设置为 "1"。
3. 读取 RDR 寄存器并确认保留地址。(*1)
4. 写入传送数据至 TDR 寄存器。
5. 更新 IBCR:WSEL 位时写入 "0" 至中断标志 (IBCR:INT) 并解 I²C 总线的等待状态。
6. 传送一个字节后，将中断标志设置为 "1"，将 I²C 总线在接收确认后设置为等待状态（如果 IBCR:WSEL=0）或者在传送一个字节后直接将 I²C 总线设置为等待状态（如果 IBCR:WSEL=1）。
7. 将传送数据写入 TDR 寄存器，解 I²C 总线的等待状态。
8. 传送一个字节后，将传送总线空 标志设置为 "1"，将 I²C 总线在接收确认后设置为等待状态（如果 IBCR:WSEL=0）或者在传送一个字节后直接将 I²C 总线设置为等待状态（如果 IBCR:WSEL=1）。 复 7 ~ 8 步的操作，直到所有指定的数据设置数 都已传送为止。但当 IBCR:WSEL=1 时如果在解 等待状态后接收到 NACK，则在接收确认后中断标志 (IBCR:INT) 设置为 "1"，总线进入等待状态。
9. 将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1”*2 以产生停止条件或迭代启动条件。

■ 使能传送 FIFO 时：

1. 将 TDR 寄存器的从机地址设置为保留地址，并写入 "1" 至 IBCR:MSS 位。
2. 传送从机地址设置后，将中断标志 (IBCR:INT) 设置为 "1"。
3. 读取 RDR 寄存器并确认保留地址。(*1)
4. 将所有传送数据写入 TDR 寄存器（直到传送 FIFO 变为数据已满状态为止）。
5. 如果在传送进程中接收到 NACK，则在接收到 NACK 后立即将中断标志 (IBCR:INT) 设置为 "1" 使 I²C 总线进入等待状态。如果所有字节都接收到 ACK 响应，则在传送最后一个字节后根据 IBCR:WSEL 的设置将中断标志 (IBCR:INT) 设置为 "1" 使 I²C 总线进入等待状态。
6. 将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1”*2 以产生停止条件或迭代启动条件。

*1：满足下列任一条件时，必 将 IBCR:ACKE 和 IBCR:WSEL 位设置为 "1" 并检 下一个数据要的是主机操作还是从机操作。

- 激活多主机模式且保留地址为全呼。
- 检测到判优损失且接口可作为从机操作。

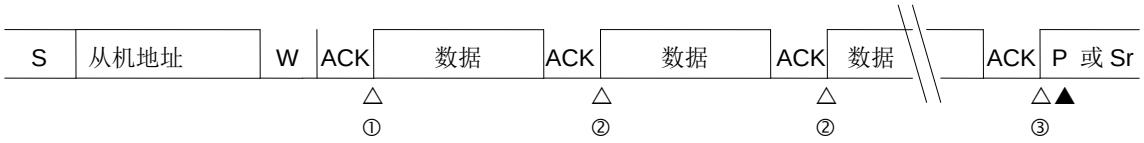
*2： 使能 DMA (SSR:DMA=1)、SSR:TBI 位为 "1" 且 IBCR:INT 位为 "0"时，按下列步 发出迭代启动条件：

1. 将 IBCR:INT 位设置为 "1"。
2. 检 IBCR:INT 位是否设置为 "1"。
3. 在 TDR 中写入从机地址。
4. 将 IBCR:SCC 位设置为 "1"。

注意事 ：

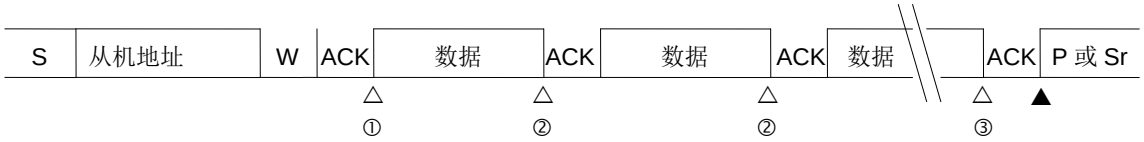
- *使能 7 位从机地址检测时 (ISBA:SAEN=1)，禁止在主机模式指定 7 位从机地址。*
- *在传送/接收进程中改变 IBCR 寄存器时，应在中断标志 (IBCR:INT) 为 "1" 时进行改变。*
- *如果改变 IBCR:WSEL 位，则将更新用作使能中断标志 (IBCR:INT) 以及为下一个数据使能 DMA 模式时 (SSR:DMA=1)产生传送总线空 标志 (SSR:TBI) 的条件。*
- *当 SSR:TDRE 设置为 "1" 且检测到 ACK 响应时，如果在数据传送进程中将传送数据写入 TDR 寄存器，则主机操作如下：*
  - *禁用 DMA 模式时 (SSR:DMA=0)，中断标志 (IBCR:INT) 不为 "1"并传送写入的数据。*
  - *使能 DMA 模式时 (SSR:DMA=1)，传送总线空 标志 (SSR:TBI) 不为 "1"并传送写入的数据。*
- *当 SSR:TDRE 设置为 "1" 且检测到 ACK 响应时，如果在数据接收进程中将传送数据写入 TDR 寄存器，则主机操作如下：*
  - *禁用 DMA 模式时 (SSR:DMA=0)，中断标志 (IBCR:INT) 不为 "1" 且只有 SSR:RDRF 为 "1" （使能接收 FIFO 且已接收到 FBYTE 寄存器中所设置的字节数 时）。*
  - *使能 DMA 模式时 (SSR:DMA=1)，传送总线空 标志 (SSR:TBI) 不为 "1" 且只有 SSR:RDRF 为 "1" （使能接收 FIFO 且已接收到 FBYTE 寄存器中所设置的字节数 时）。*

Figure 2-12 禁用 FIFO 产生的主机模式中断 1
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



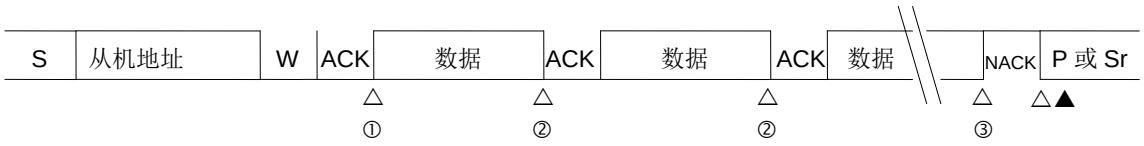
S: 启动条件
W: 数据方向位(写入方向)
P:停止条件
Sr: 迭代启动条件
△:通过 INTE="1"中断
▲:通过 CNDE="1"中断
①发送从机地址、发送方向位以及接收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。
②发送单字节且收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。
③发送单字节且收到 ACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。
*) 如果设置中断标志(INT)，则 TDRE 位设置为"1"。

Figure 2-13 禁用 FIFO 产生的主机模式传送中断 2
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", ACK 响应)



S：启动条件
W：数据方向位(写入方向)
P: 停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①发送从机地址、发送方向位以及接收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。
②发送单字节时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。
③发送单字节时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。
*) 如果设置中断标志(INT)，则 TDRE 位设置为"1"。

Figure 2-14 禁用 FIFO 产生的主机模式传送中断 3
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 响应)



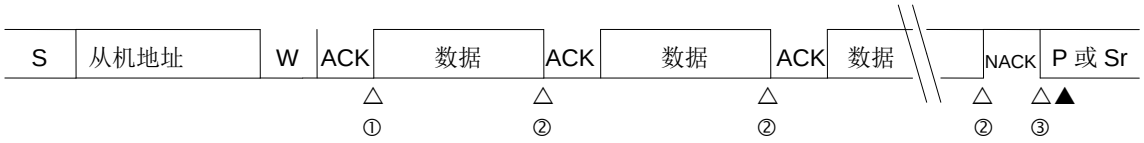
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①发送从机地址、发送方向位以及接收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。

② 发送单字节时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。

③发送单字节时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

*) 如果设置中断标志(INT)，则 TDRE 位设置为"1"。

Figure 2-15 禁用 FIFO 产生的主机模式传送中断 4（SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", 传送进程中接收到 NACK 响应）



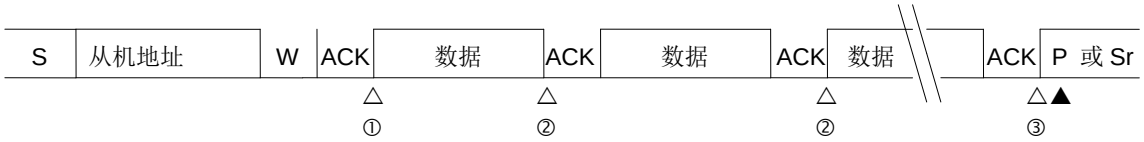
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①发送从机地址、发送方向位以及接收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。

②发送单字节时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。

③响应 NACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

*) 如果设置中断标志(INT)，则 TDRE 位设置为"1"。

Figure 2-16 禁用 FIFO 产生的主机模式传送中断 5
(SSR:DMA="0", IBCR:WSEL="1" -> "0", IBSR:RSA="0", ACK 响应)



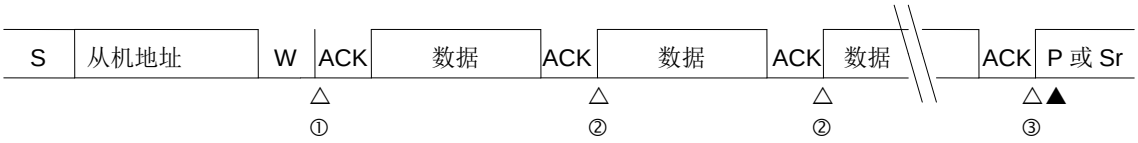
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①发送从机地址、发送方向位以及接收到 ACK 时发生中断。
- 发送数据写入发送缓冲器且 INT 设置为 "0"。

②发送单字节时发生中断。
- 发送数据写入发送缓冲器且 WSEL 和 INT 位都设置为 "0"。

③发送单字节时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

*) 如果设置中断标志(INT)，则 TDRE 位设置为"1"。

Figure 2-17 禁用 FIFO 产生的主机模式中断 6
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")



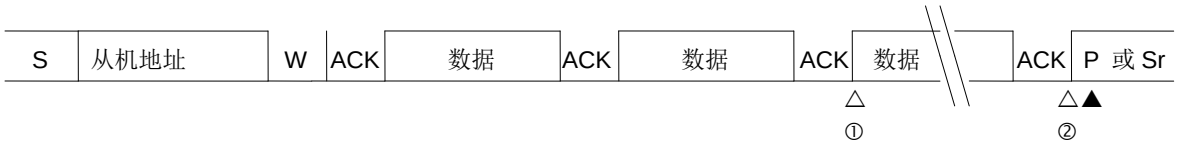
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①发送从机地址（保留地址）、发送方向位以及接收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。

②发送单字节且收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。

③发送单字节且收到 ACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

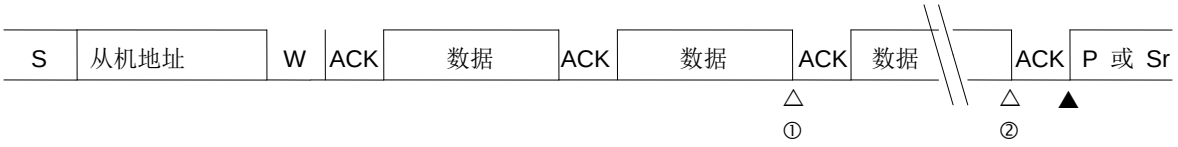
*) 如果设置中断标志(INT)，则 TDRE 位设置为"1"。

Figure 2-18 使能 FIFO 产生的主机模式传送中断 7
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0", ACK 响应)



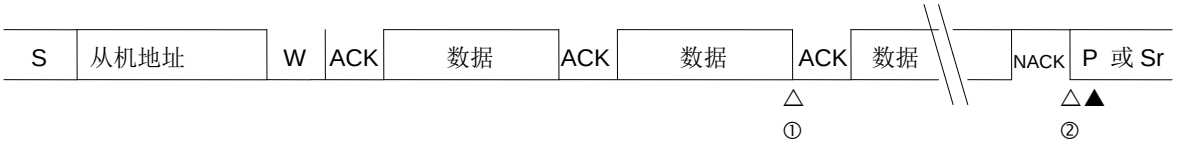
S：启动条件
W：数据方向位(写入方向)
P: 停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①如果发送 FIFO 缓冲器为空发生中断。
- 发送数据写入发送 FIFO 缓冲器且 INT 设置为 "0"。
②发送最后一个字节（发送 FIFO 缓冲器为空）且接收到 ACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

Figure 2-19 使能 FIFO 产生的主机模式传送中断 8
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



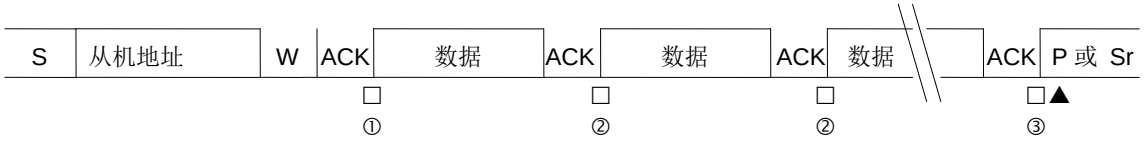
S：启动条件
W：数据方向位(写入方向)
P: 停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①如果发送 FIFO 缓冲器为空发生中断。
- 发送数据写入发送 FIFO 缓冲器且 INT 设置为 "0"。
②发送最后一个字节（发送 FIFO 缓冲器为空）时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

Figure 2-20 使能 FIFO 产生的主机模式传送中断 9
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 响应)



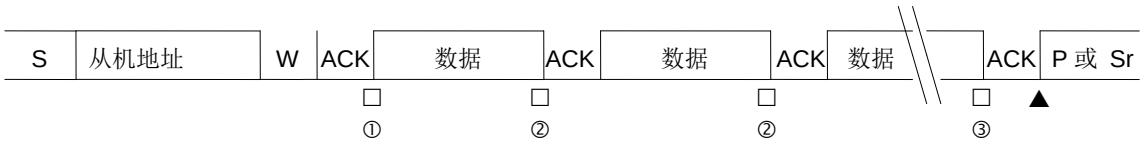
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①如果发送 FIFO 缓冲器为空发生中断。
- 发送数据写入发送 FIFO 缓冲器且 INT 设置为 "0"。
②响应 NACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

Figure 2-21 禁用 FIFO 产生的主机模式中断 10
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



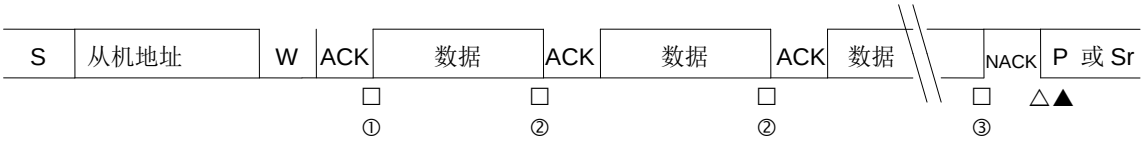
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
▲：CNDE="1"时的中断
□：TBIE="1"时的中断
①发送从机地址、发送方向位以及拉收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器。
②发送单字节且收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器。
③发送单字节且收到 ACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。
*) 如果设置中断标志(TBI)，则 TDRE 位设置为"1"。

Figure 2-22 禁用 FIFO 产生的主机模式传送中断 11
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", ACK 响应)



S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
▲：CNDE="1"时的中断
□：TBIE="1"时的中断
①发送从机地址、发送方向位以及拉收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器。
②发送单字节时发生中断。
- 发送数据写入 TDR 寄存器。
③发送单字节时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。
*) 如果设置中断标志(TBI)，则 TDRE 位设置为"1"。

Figure 2-23 禁用 FIFO 产生的主机模式传送中断 12
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", NACK 响应)



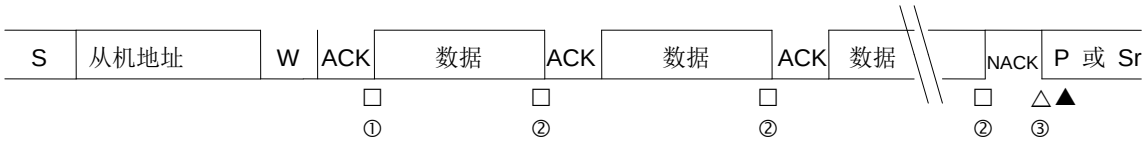
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
□：TBIE="1"时的中断
①发送从机地址、发送方向位以及拉收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器。

②发送单字节时发生中断。
- 发送数据写入 TDR 寄存器。

③发送单字节时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

*) 如果设置中断标志(INT 或 TBI)，则 TDRE 位设置为"1"。

Figure 2-24 禁用 FIFO 产生的主机模式传送中断 13 (SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", 传送进程中接收到 NACK 响应)



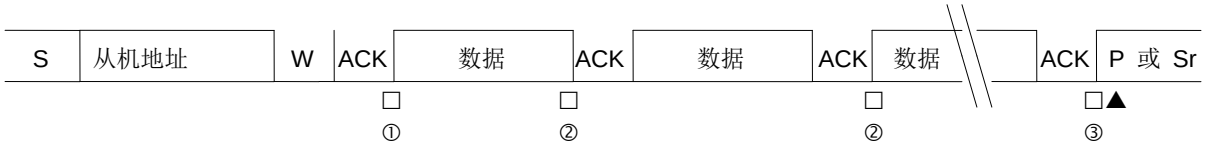
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
□：TBIE="1"时的中断
①发送从机地址、发送方向位以及拉收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器。

②发送单字节时发生中断。
- 发送数据写入 TDR 寄存器。

③响应 NACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

*) 如果设置中断标志(INT 或 TBI)，则 TDRE 位设置为"1"。

Figure 2-25 禁用 FIFO 产生的主机模式传送中断 14
(SSR:DMA="1", IBCR:WSEL="1" -> "0", IBSR:RSA="0", ACK 响应)



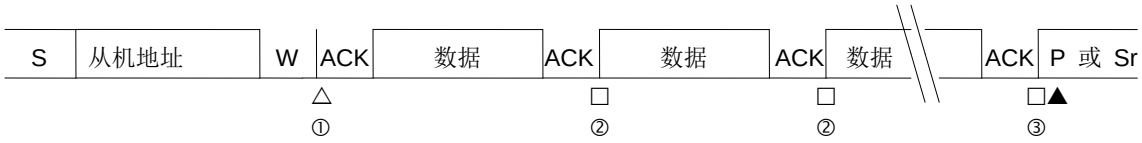
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
▲：CNDE="1"时的中断
□：TBIE="1"时的中断
①发送从机地址、发送方向位以及拉收到 ACK 时发生中断。
- 发送数据写入发送缓冲器。

②发送单字节时发生中断。
- WSEL 位设置为 "0"且发送数据写入发送缓冲器。

③发送单字节时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

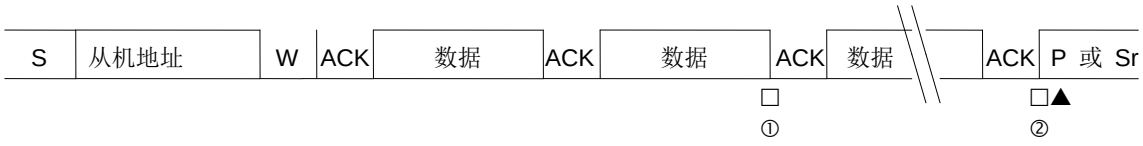
*) 如果设置中断标志(TBIE)，则 TDRE 位设置为"1"。

Figure 2-26 禁用 FIFO 产生的主机模式中断 15
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")



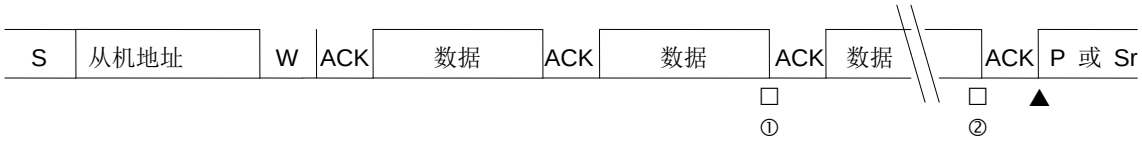
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
□：TBIE="1"时的中断
①发送从机地址（保留地址）、发送方向位以及收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器且 INT 设置为 "0"。
②发送单字节且收到 ACK 时发生中断。
- 发送数据写入 TDR 寄存器。
③发送单字节且收到 ACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。
*) 如果设置中断标志(INT 或 TBI)，则 TDRE 位设置为"1"。

Figure 2-27 使能 FIFO 产生的主机模式传送中断 16
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0", ACK 响应)



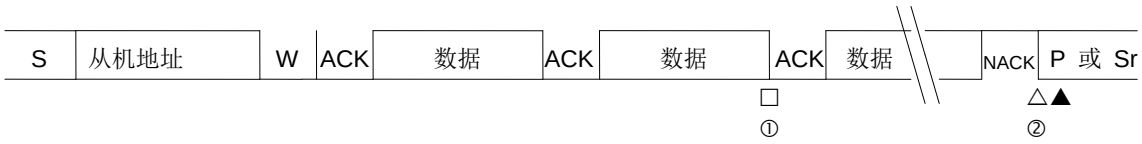
S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
□：TBIE="1"时的中断
①如果发送 FIFO 缓冲器为空发生中断。
- 发送数据写入发送 FIFO 缓冲器。
②发送最后一个字节（发送 FIFO 缓冲器为空）且接收到 ACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位设置为"1"。

Figure 2-28 使能 FIFO 产生的主机模式传送中断 17
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
□：TBIE="1"时的中断
①如果发送 FIFO 缓冲器为空发生中断。
- 发送数据写入发送 FIFO 缓冲器。
②发送最后一个字节（发送 FIFO 缓冲器为空）时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位都设置为"1"。

Figure 2-29 使能 FIFO 产生的主机模式传送中断 18
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", NACK 响应)



S：启动条件
W：数据方向位(写入方向)
P：停止条件
Sr：迭代启动条件
△：INTE="1"时的中断
▲：CNDE="1"时的中断
□： TBIE="1"时的中断
①如果发送 FIFO 缓冲器为空发生中断。
- 发送数据写入发送 FIFO 缓冲器。
②响应 NACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位都设置为"1"。

2.3.5 主机接收数据

禁用 DMA 模式时 (SSR:DMA=0)

当数据方向位 (R/W) 设置为 "1" 时，主机接收从机的数据。

禁用 FIFO 时，主机操作如下：

- 如果 SSR:TDRE 位设置为 "1"，则每接收到一个字节都会产生等待 (IBCR:INT=1, SSR:RDRF=1)。此时，如果 IBCR:WSEL 位设置为 "1"，则根据 IBCR 寄存器 ACKE 位的设置在等待前恢复 ACK 或 NACK 响应；如果 IBCR:WSEL 位为 "0"，则在等待后恢复。
- 当 SSR:TDRE 位设置为 "0" 时，如果 IBCR 寄存器的 ACKE 位设置为 ACK 响应，则接收下一条数据，不产生等待 (IBCR:INT=0)；如果设置为 NACK 响应 (IBCR:INT=1)，则产生等待。

使能 FIFO 时，在接收到设置的字节数 后 SSR:RDRF 位设置为 "1"。当 SSR:TDRE 位为 "1" 时，将中断标志设置为 "1"，使 I²C 总线进入等待状态。此时，确认操作如下。即使输出 NACK，也作为接收数据存入接收 FIFO 中。

- 当 IBCR:WSEL=0 时，如果 ACKE 位设置为 NACK，则当 SSR:TDRE 位设置为 "1" 时，恢复 NACK 响应。
- 如果 IBCR:WSEL=1，则在接收到最后一个字节后将中断标志设置为 "1"，产生等待。在等待时，在设置 IBCR:ACKE 位且将中断标志清 为 "0" 后，根据 IBCR:ACKE 设置恢复 ACK 或 NACK 响应。

中断产生的等待参见下表。

Table 2-6 禁用 DMA 模式时(SSR:DMA=0)主机接收数据的 IBCR:WSEL 位状态

WSEL 位	操作
0	第二个字节之后，当 SSR:TDRE 位设置为 "1" 确认后，将中断标志 (IBCR:INT) 设置为 "1" 且 SCL 设置为 LOW 进入等待状态。
1	第二个字节之后，当主机接收到一个字节的数据后如果 SSR:TDRE 位设置为 "1"，则中断标志 (IBCR:INT) 设置为 "1"且 SCL 设置为 LOW 进入等待状态。

以下是接收从机传来的数据的步 示例。

■ 禁用接收 FIFO 时：

1. 设置从机地址（包括数据方向位）至 TDR 寄存器并写入 "1" 至 IBCR:MSS 位。
2. 传送从机地址设置后接收到 ACK，然后将中断标志 (IBCR:INT) 设置为 "1"。
3. 更新 IBCR:WSEL 位时写入 "0" 至中断标志 (IBCR:INT) 并解 I²C 总线的等待状态。
4. 接收一个字节后，将中断标志设置为 "1"，将 I²C 总线在传送确认后设置为等待状态（如果 IBCR:WSEL=0）或者在接收一个字节后直接将 I²C 总线设置为等待状态（如果 IBCR:WSEL=1）。 复 3 ~ 4 步的操作，直到所有指定的数据设置数 都已接收为止。
5. 接收到最后一个数据后，输出 NACK 并将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1” 以产生停止条件或迭代启动条件。

■ 使能传送/接收 FIFO 时：

1. 设置接收的字节数 至 FBYTE 寄存器。
2. 写入从机地址（包括数据方向位）并按接收字节数 写入哑数据至 TDR 寄存器。
3. 写入 "1" 至 IBCR:MSS 位。
4. 只要 SSR:TDRE 位保持 "0"，恢复 ACK 响应并继续接收数据。在这 接收操作中，当接收到 FBYTE 寄存器中设置的字节数 时，SSR:RDRF 位设置为 "1"。当 SSR:RDRF 位设置为 "1" 时，启动读取 RDR 寄存器。
5. 当 SSR:TDRE 位为 "1" 时，将中断标志设置为 "1"，将 I²C 总线在输出 NACK 后设置为等待状态（如果 IBCR:WSEL=0）或者在接收一个字节后直接将 I²C 总线设置为等待状态（如果 IBCR:WSEL=1）。
6. 如果 IBCR:WSEL=1，将 IBCR:ACKE 位设置为 "0"。如果 IBCR:WSEL=0，不 设置 IBCR:ACKE 位，将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC 位设置为 “1”以产生停止条件或迭代启动条件。

使能 DMA 模式时 (SSR:DMA=1)

当数据方向位 (R/W) 设置为 "1" 时，主机接收从机传来的数据。

禁用 FIFO 时，主机操作如下：

- 如果 SSR:TDRE 位设置为 "1"，则每接收到一个字节的数据就产生等待 (SSR:TBI=1, SSR:RDRF=1)。此时，恢复 ACK 或 NACK 响应。根据 IBCR 寄存器 ACKE 位的设置，如果 IBCR:WSEL 位设置为 "1"，则在等待前恢复；如果 IBCR:WSEL 位为 "0"，则在等待后恢复。
- 如果 SSR:TDRE 位设置为 "0"，则每接收到一个字节的数据都产生等待 (SSR:RDRF=1)。此时，恢复 ACK 或 NACK 响应。根据 IBCR 寄存器 ACKE 位的设置，如果 IBCR:WSEL 位设置为 "1"，则在等待前恢复；如果 IBCR:WSEL 位为 "0"，则在等待后恢复。

使能 FIFO 时，在接收到设置的字节数 时设置 SSR:RDRF 位。当 SSR:TDRE 位为 "1" 时设置传送总线空 标志 (SSR:TBI)，使 I²C 总线进入等待状态。此时，确认操作如下。即使输出 NACK，也作为接收数据存入接收 FIFO 中。

- 当 IBCR:WSEL=0 时，如果 ACKE 位设置为 NACK，则当 SSR:TDRE 位设置为 "1" 时，恢复 NACK 响应。
- 如果 IBCR:WSEL=1，则在接收到最后一个字节时产生等待 (SSR:TBI=1)。在等待过程中，根据 IBCR:ACKE 设置在清 传送总线空 标志 (SSR:TBI) 后，主机设置 IBCR:ACKE 位并恢复 ACK 或 NACK 响应。

中断产生的等待参见下表。

Table 2-7 使能 DMA 模式时(SSR:DMA=1)主机接收数据的 IBCR:WSEL 位状态

WSEL 位	操作
0	第二个字节之后，当 SSR:TDRE 位设置为 "1" 确认后，传送总线空 标志 (SSR:TBI) 设置为 "1"且 SCL 设置为 LOW 进入等待状态。 第二个字节后，确认不使用 FIFO 后，如果接收数据已满标志 (SSR:RDRF) 设置为 "1" ，SCL 设置为 LOW 进入等待状态。
1	第二个字节之后，当主机接收到一个字节数据后如果 SSR:TDRE 位设置为 "1"，则中断标志 (SSR:TBI) 设置为 "1"，且 SCL 设置为 LOW 进入等待状态。 第二个字节之后，如果不使用 FIFO，则在接收数据已满标志 (SSR:RDRF) 设置为 "1" 后，且 SCL 设置为 LOW 进入等待状态。

以下是接收从机传来的数据的步 示例。

■ 禁用接收 FIFO 时：

1. 设置从机地址（包括数据方向位）至 TDR 寄存器并写入 "1" 至 IBCR:MSS 位。
2. 传送从机地址设置后接收到 ACK，然后将传送总线空 标志 (SSR:TBI) 设置为 "1"。
3. 将传送数据写入 TDR 寄存器，解 I^2C 总线的等待状态。
4. 接收到一个字节的数据后，在下列情况下将传送总线空 标志 (SSR:TBI) 及接收数据已满标志 (SSR:RDRF)*2 设置为 "1"，使 I^2C 总线进入等待状态。

- 当 IBCR:WSEL=0 时，在传送确认后；
- 当 IBCR:WSEL=1 时，在接收到一个字节后。

5. 更新 IBCR:WSEL 位，读取 RDR 寄存器并写入哑数据至 TDR 寄存器。
6. 接收到一个字节的数据后，在下列情况下将传送总线空 标志 (SSR:TBI) 及接收数据已满标志 (SSR:RDRF)*2 设置为 "1"，使 I^2C 总线进入等待状态。

- 当 IBCR:WSEL=0 时，在传送确认后；
- 当 IBCR:WSEL=1 时，在接收到一个字节后。

复 5~ 6 步的操作，直至所有指定的数据设置数 都已接收为止。

7. 接收到最后一个数据后，输出 NACK 并将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC*1 位设置为 “1”以产生停止条件或迭代启动条件。

■ 使能传送/接收 FIFO 时：

1. 设置接收的字节数 至 FBYTE 寄存器。
2. 写入从机地址（包括数据方向位）并按接收字节数 写入哑数据至 TDR 寄存器。
3. 当 IBCR:WSEL=0 时，将 ACKE 位设置为 NACK 并写入 "1" 至 IBCR:MSS 位。
4. 只要 SSR:TDRE 位保持为 "0"，恢复 ACK 响应并继续接收数据。在这 接收操作中，当接收到 FBYTE 寄存器中设置的字节数 时，SSR:RDRF 位设置为 "1"。当 SSR:RDRF 位设置为 "1" 时，启动读取 RDR 寄存器。
5. 当 SSR:TDRE 位设置为 "1" 后，中断标志设置为 "1"，则输出 NACK 后如果 IBCR:WSEL=0，这使得 I^2C 总线进入等待状态。如果 IBCR:WSEL=1，则在传送一字节后设置传送总线空 标志 (SSR:TBI)为 "1"，使得 I^2C 总线进入等待状态。
6. 如果 IBCR:WSEL=1，将 IBCR:ACKE 位设置为 "0"。如果 IBCR:WSEL=0，不 设置 IBCR:ACKE 位，将 IBCR:MSS 位设置为 “0” 或将 IBCR:SCC*1 位设置为 “1”以产生停止条件或迭代启动条件。

*1：当使能 DMA (SSR:DMA=1)、SSR:TBI 位为 "1" 且 IBCR:INT 位为 "0"时，按下列步 发出迭代启动条件：

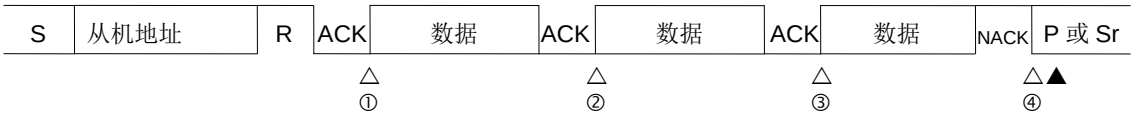
1. 将 IBCR:INT 位设置为 "1"。
2. 检 IBCR:INT 位是否设置为 "1"。
3. 在 TDR 中写入从机地址。
4. 将 IBCR:SCC 位设置为 "1"。

*2：在接收到一个字节后，不论 IBCR:WSEL 位如何设置，直接将接收数据已满标志 (SSR:RDRF) 设置为"1"。如果在第二个字节或之后的字节将接收数据已满标志 (SSR:RDRF) 设置为 "1"，则在传送确认后将 I^2C 总线设置为等待状态（如果 IBCR:WSEL=0）或在传送一字节后直接将 I^2C 总线设置为等待状态（如果 IBCR:WSEL=1）。

注意事 ：

- *使能 7 位从机地址检测时 (ISBA:SAEN=1)，禁止在主机模式指定 7 位从机地址。*
- *当 SSR:TDRE 为 "0" 时，即使发生溢出 误，也会根据 IBCR:ACKE 位的设置输出确认，然后执行下一步操作。*
- *如果要在传送/接收进程中改变 IBCR 存器寄，当使能 DMA 模式 (SSR:DMA=1)时，应在中断标志 (IBCR:INT) 为 "1" 或者传送总线空 标志 (SSR:TBI) 为 "1" 时进行改变。*
- *如果在禁用 DMA(SSR:DMA=0)时执行主机模式接收，写入哑数据至 TDR 寄存器；然后，如果中断标志 (IBCR:INT) 变为 "1" 时 SSR:TDRE 位为 "0"，则接收下一条数据，中断标志 (IBCR:INT) 保持为 "0"。*
- *如果在使能 DMA(SSR:DMA=1)时执行主机模式接收，写入哑数据至 TDR 寄存器；然后，如果传送总线空 标志 (SSR:TBI) 变为 "1" 时 SSR:TDRE 位为 "0"，则在传送总线空 标志 (SSR:TBI) 保持为 "0"时接收下一个数据。*
- *使能 FIFO 且 IBCR:WSEL=0 时接收数据，应在接收到最后一位后将 SSR:RDRF 位设置为 "1" 并在传送 ACK 后将中断标志 (IBCR:INT) 设置为 "1"。*

Figure 2-30 禁用 FIFO 产生的主机模式接收中断 1
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



△：INTE="1"时的中断
▲：CNDE="1"时的中断
①发送从机地址、发送方向位以及收到 ACK 时发生中断。
- 如果 INT 位设置为 "0"，清 中断标志为"0"。

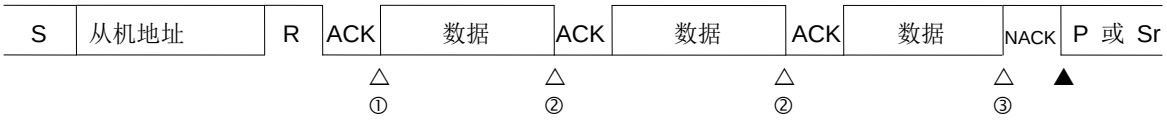
②收到单字节且发送 ACK 时发生中断。
- 读取收到的数据后，INT 位设置为 "0"。

③收到单字节且发送 ACK 时发生中断。
- 读取收到的数据后，ACKE 和 INT 位都设置为 "0"。

④收到单字节且发送 ACK 时发生中断。 '
- MSS 位设置为 "0"，或 MSS 和 SCC 位都设置为"1"。

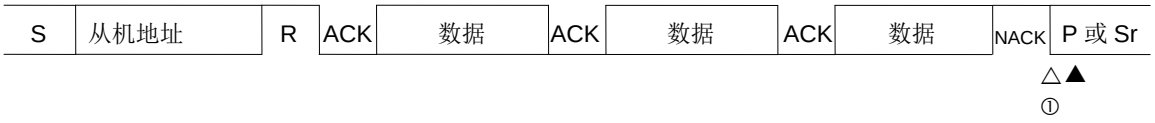
*) 如果设置中断标志(INT)，则 TDRE 位设置为"1"。

Figure 2-31 禁用 FIFO 产生的主机模式接收中断 2
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



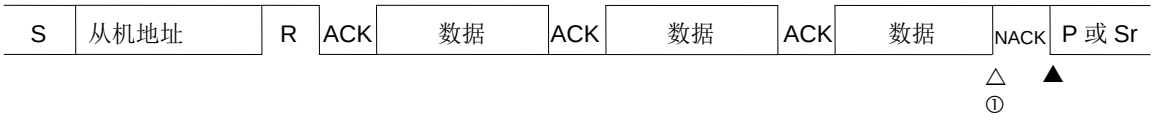
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①发送从机地址、发送方向位以及拉收到 ACK 时发生中断。
- 如果 INT 位设置为 "0"，清 中断标志为"0"。
②收到单字节时发生中断。
- 读取收到的数据后，INT 位设置为 "0"。
③收到单字节时发生中断。
- 读取收到的数据后，ACKE 位设置为 "0"。MSS 位设置为 "0"或 MSS 和 SCC 位都设置为"1"。
*) 如果设置中断标志(INT)，则 TDRE 位设置为"1"。

Figure 2-32 使能 FIFO 产生的主机模式接收中断 3
(SSR:DMA="0", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")



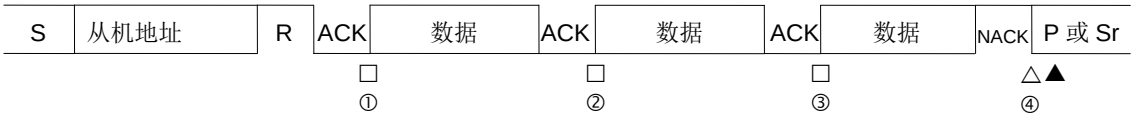
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①如果 TDRE 位设置为"1"，则发生中断。
- 从接收 FIFO 缓冲器读取整个数据，且 MSS 位设置为 "0" 或者 MSS 和 SCC 位都设置为"1"。

Figure 2-33 使能 FIFO 产生的主机模式接收中断 4
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



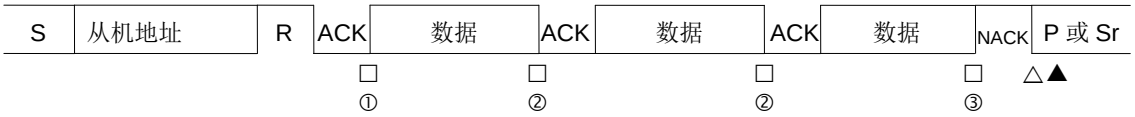
△：INTE="1"时的中断
▲：CNDE="1"时的中断
①如果 TDRE 位设置为"1"，则发生中断。
- 从接收 FIFO 缓冲器读取整个数据后，ACKE 位设置为"0"且 MSS 位设置为 "0" 或者 MSS 和 SCC 位都设置为"1"。

Figure 2-34 禁用 FIFO 产生的主机模式接收中断 5
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



△：INTE="1"时的中断
▲：CNDE="1"时的中断
□: TBIE="1"时的中断
①发送从机地址、发送方向位以及拉收到 ACK 时发生中断。
- 哑数据写入 TDR 寄存器。
②收到单字节且发送 ACK 时发生中断。
- 读取接收到的数据后，哑数据写入 TDR 寄存器。
③收到单字节且发送 ACK 时发生中断。
- 读取接收到的数据后，ACKE 位设置为"0"且哑数据写入 TDR 寄存器。
④收到单字节且发送 ACK 时发生中断。
- MSS 位设置为 "0"，或 MSS 和 SCC 位都设置为"1"。
*) 如果设置中断标志(INT 或 TBI)，则 TDRE 位设置为"1"。

Figure 2-35 禁用 FIFO 产生的主机模式接收中断 6
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



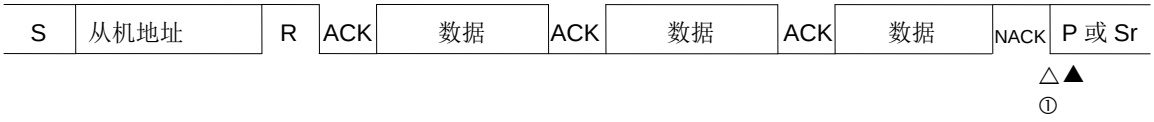
△：INTE="1"时的中断
▲：CNDE="1"时的中断
□: TBIE="1"时的中断
①发送从机地址、发送方向位以及拉收到 ACK 时发生中断。
- 哑数据写入 TDR 寄存器。

②收到单字节时发生中断。
- 读取接收到的数据后，哑数据写入 TDR 寄存器。

③收到单字节时发生中断。
- 读取收到的数据后，ACKE 位设置为 "0"。MSS 位设置为 "0"或 MSS 和 SCC 位都设置为"1"。

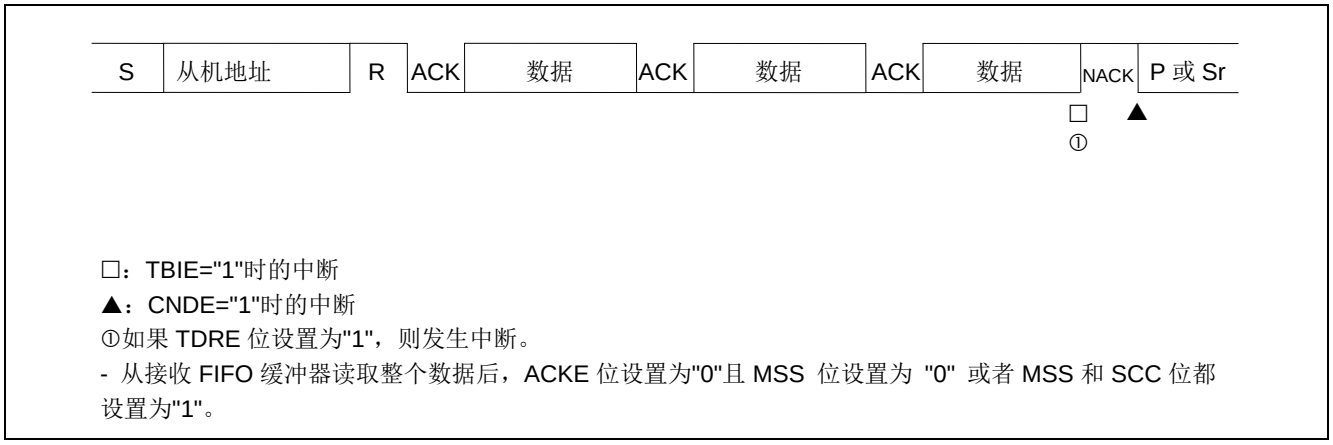
*) 如果设置中断标志(INT 或 TBI)，则 TDRE 位设置为"1"。

Figure 2-36 使能 FIFO 产生的主机模式接收中断 7
(SSR:DMA="1", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")



△：INTE="1"时的中断
▲：CNDE="1"时的中断
①如果 TDRE 位设置为"1"，则发生中断。
- 从接收 FIFO 缓冲器读取整个数据，且 MSS 位设置为 "0" 或者 MSS 和 SCC 位都设置为"1"。

Figure 2-37 禁用 FIFO 产生的主机模式接收中断 8 (SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



2.3.6 判优损失

如果因其它主机的数据冲突导致主机接收到的数据与发送的数据不同，则主机将这种情形判定为判优损失。此时，IBCR:MSS 位设置为 "0" 且 IBSR:AL 位设置为 "1"，使能从机模式操作。

在下列情况下可将 IBSR:AL 位清 为 "0"。

- IBCR:MSS 位设置为 "1"。
- IBCR:INT 位设置为 "0"。
- 当 IBSR:AL 位和 IBSR:SPC 位为 "1" 时 IBSR:SPC 位设置为 "0"。
- 禁用 I²C 接口操作 (ISMK:EN=0)。

发生判优损失时，根据 IBCR:WSEL 位的设置将中断标志 (IBCR:INT) 设置为 "1"，并将 I²C 总线的 SCL 设置为 LOW。

2.3.7 主机模式等待状态

当下列两个条件都满足时，主机模式进入等待状态，同时 IBSR:BB 位保持 "1"。 IBSR:BB 位为 "0" 后，传送启动条件。

- IBSR:BB 位为 "1" 时将 IBCR:MSS 设置为 "1"。
- 接口不用作从机操作时。

可通过 IBCR:MSS 和 IBCR:ACT 位检 主机模式是否为等待状态（如果 IBCR:MSS=1 且 IBCR:ACT=0，则为等待状态）。将 IBCR:MSS 位设置为 "1" 之后且在主机模式操作时，将 IBSR:AL 位设置为 "1"，将 IBCR:MSS 位设置为 "0" 并将 IBCR:ACT 位设置为 "1"。

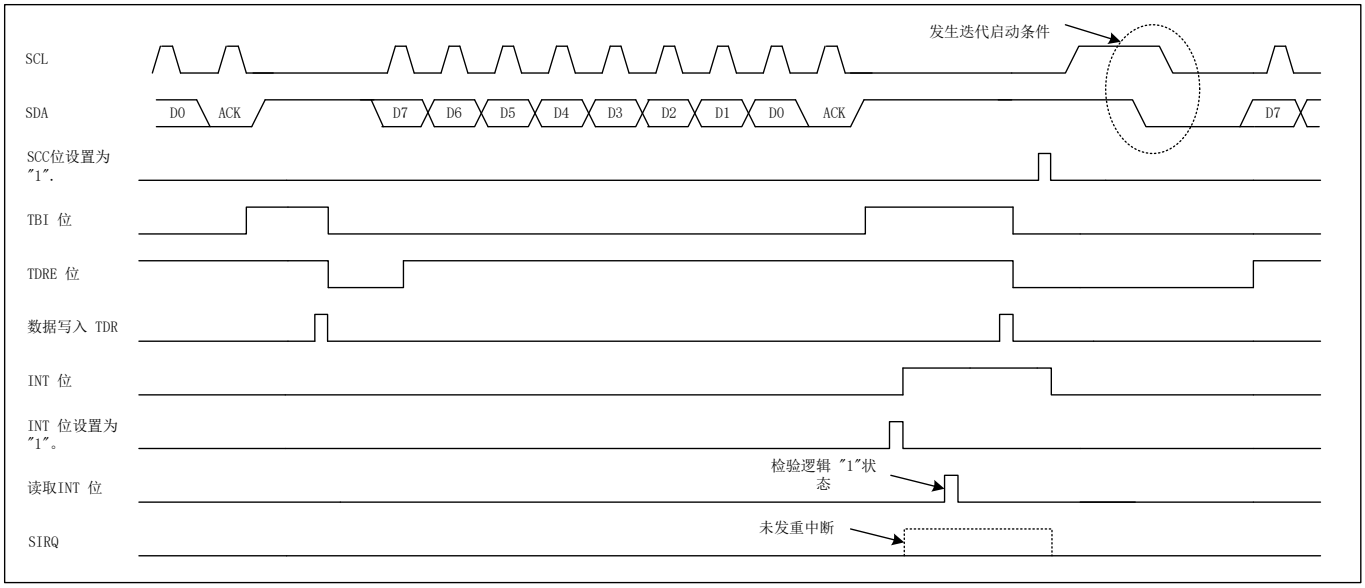
2.3.8 使能 DMA 模式时(SSR:DMA=1)发出迭代启动条件

如果在传送总线为空 状态 (SSR:TBI=1) 且中断标志 (IBCR:INT) 为 "0" 时写入从机地址至 TDR 寄存器，则启动传送且不发出迭代启动条件。

因此，如果要在传送总线为空 状态 (SSR:TBI=1) 且中断标志 (IBCR:INT) 为 "0" 时发出迭代启动条件，应按下列步 进行操作：

1. 将 IBCR:INT 位设置为 "1"。此时，不产生 SIRQ 中断。
2. 检 IBCR:INT 位是否设置为 "1"。
3. 在 TDR 中写入从机地址。
4. 发出迭代启动条件 (IBCR:SCC=1)。

Figure 2-38 使能 DMA 模式时发出迭代启动条件 (SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0", ACK 响应)



2.4 从机模式

如果检测到启动条件或 复启动条件，ISBA 和 ISMK 寄存器值的组合与接收地址匹配，则多功能串行接口输出 ACK 响应并用作从机操作。

<注意事 >

- *当 EIBCR:BEC 设置为 "0" 时，如果在检测到第一个启动条件后检测到第二个启动条件（正在传输地址字段（ 字节）或数据字段的 bits 2 ~ 9 时），则设置总线 误标志 (IBCR:BER=1) 并停止接收。如果这样，在清 多功能串行接口的中断标志 (IBCR:INT) 后，主机必 传送启动条件。*

2.4.1 从机地址匹配检测

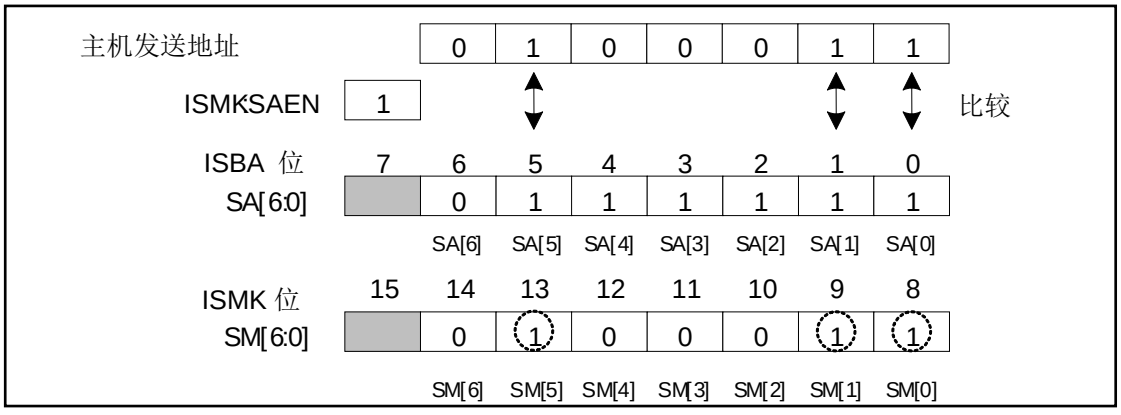
在检测到启动或 复的启动条件后，7 位从机地址及数据传输方向存入 字节。ISMK 变为屏蔽从机地址的值： 屏蔽值表示不操作；1 表示直接匹配。换句话说，如果 ISMK 寄存器中屏蔽位设置为 0，则说明不比较地址位。

SAEN 设置时使能从机地址检测。主机发送的地址与从机地址位 (SA[6:0]) 进行比较，使屏蔽位(SM[6:0]) 设置为 "1"。如果匹配，则输出 ACK。如果不匹配或 SAEN 为 0，则不输出 ACK。

■ 从机地址检测示例

主机地址从机地址 0x23

Figure 2-39 从机地址检测示例



仅 SA5、SA1 和 SA0 与主机发送的地址进行比较。因为 SM[6] 和 SM[4:2] 为 ，所以不进行比较。多功能串行接口输出 ACK 响应。

Table 2-8 输出确认至从机地址后立即执行的操作

传送 FIFO	接收 FIFO	传送 FIFO 状态	接收 FIFO 状态	数据方向位 (R/W)	紧接着确认后的操作	
					确认：ACK	确认：NACK
禁用	禁用	-	-	0	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为 “1” 并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	IBCR:INT 位保持为 "0"，无等待状态。
				1		
禁用	使能	-	无数据	0	IBCR:INT 位保持为 "0"，无等待状态。	IBCR:INT 位保持为 "0"，无等待状态。
			有数据		IBCR:INT 位设置为 "1" 并等待。	
			-	1	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为 “1” 并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	
使能	禁用	-	-	0	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为 “1” 并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	IBCR:INT 位保持为 "0"，无等待状态。
				1		
使能	使能	-	无数据	0	IBCR:INT 位保持为 "0"，无等待状态。	IBCR:INT 位保持为 "0"，无等待状态。
			有数据		IBCR:INT 位设置为 "1" 并等待。	
			-	1	如果 SSR:TDRE 位设置为 "1"，则接口将 IBCR:INT 位设置为 “1” 并等待。如果 SSR:TDRE 位设置为 "0"，则 IBCR:INT 位保持 "0"，无等待状态。	

■ 保留地址检测

如果 字节与保留地址（"0000xxxx" 或 "1111xxxx"）匹配，则不论是否使能传送/接收 FIFO，都接收到第 8 位的值，并将 IBCR:INT 位设置为 "1" 使 I^2C 总线进入等待状态。读取接收数据后，完成下列设置：

- 接口用作从机设备时，将 IBCR:ACKE 位设置为 "1" 并检 数据方向位 (IBSR:TRX) 的值。如果数据方向设置为传送方向，则写入传送数据至 TDR 寄存器并清 IBCR:INT 位。然后接口就用作从机设备。
- 如果接口不用作从机设备，则将 IBCR:ACKE 位设置为 "0" 并清 IBCR:INT 位。输出确认后，接口不用作从机设备。

2.4.2 数据方向位

接收地址后，接口接收数据方向位，判定是传送数据还是接收数据。如果此位为 "0"，则说明是从主机设备传送数据，接口作为从机设备接收数据。

2.4.3 从机模式接收

如果接收数据与从机地址匹配且数据方向位为 "0"，则说明以从机模式接收数据。以下是从机模式接收数据的步 示例。

禁用 DMA 模式时 (SSR:DMA=0)

■ 禁用接收 FIFO 时：

1. 传送 ACK 后，将中断标志 (IBCR:INT) 设置为 "1"，使 I²C 总线进入等待状态。根据 IBCR:MSS、IBCR:ACT 及 IBSR:FBT 位的设置，判定事件是否是由从机地址匹配产生的中断。然后写入 "1" 至 IBCR:ACKE 位并写入 "0" 至中断标志 (IBCR:INT)，解 I²C 总线的等待状态（参见 Table 2-8）。
2. 接收 1 个字节的数据后，根据 IBCR:WSEL 位的设置将中断标志 (IBCR:INT) 设置为 "1"，使 I²C 总线进入等待状态。
3. 从 RDR 寄存器读取接收数据，设置 IBCR:ACKE 位，写入 "0" 至中断标志 (IBCR:INT)，解 I²C 总线的等待状态。
4. 复 2 和 3 步，检 停止或迭代启动条件。

■ 使能接收 FIFO 时：

1. 如果检测到 NACK 或者接收 FIFO 数据已满，则将中断标志 (IBCR:INT) 设置为 "1"，使 I²C 总线进入等待状态。如果检测到停止或迭代启动条件，则将 IBSR:SPC 和 IBSR:RSC 位设置为 "1" 使中断标志 (IBCR:INT) 不设置为 "1"（I²C 总线不进入等待状态）。当接收到的数据设置数据 与 FBYTE 寄存器的设置值匹配时，接收 FIFO 将 SSR:RDRF 位设置为 "1"。如果此时 SMR:RIE 位为 "1"，则产生接收中断。
2. 当中断标志 (IBCR:INT) 设置为 "1" 时，从 RDR 寄存器读取接收数据。读取所有数据后，写入 "0" 至中断标志，解 I²C 总线的等待状态。如果检测到停止条件或迭代启动条件，则从 RDR 寄存器读取所有接收到的数据并将 IBSR:SPC 或 IBSR:RSC 位清 为 "0"。

使能 DMA 模式时 (SSR:DMA=1)

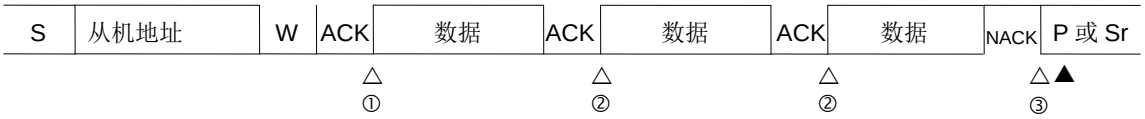
■ 禁用接收 FIFO 时：

1. 传送 ACK 后，将中断标志 (IBCR:INT) 设置为 "1"，使 I²C 总线进入等待状态。根据 IBCR:MSS、IBCR:ACT 及 IBSR:FBT 位的设置，判定事件是否是由从机地址匹配产生的中断。然后写入 "1" 至 IBCR:ACKE 位并写入 "0" 至中断标志 (IBCR:INT)，解 I²C 总线的等待状态（参见 Table 2-8）。
2. 在接收到 1 字节数据后立即将接收数据已满标志 (SSR:RDRF)设置为 "1"。当接收数据已满标志 (SSR:RDRF) 设置为 "1" 时，如果 IBCR:WSEL=0，则在传送确认后 I²C 总线进入等待状态。如果 IBCR:WSEL=1，则在接收到 1 字节数据后 I²C 总线立即进入等待状态。
3. 设置 IBCR:ACKE 位之后，从 RDR 寄存器读取接收数据，并将接收数据已满标志 (SSR:RDRF) 设置为 "0" 解 I²C 总线的等待状态。
4. 复 2 和 3 步，检 停止或迭代启动条件。

■ 使能接收 FIFO 时：

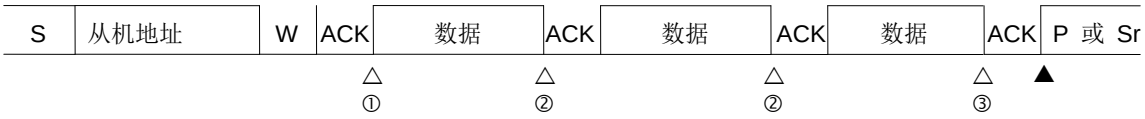
1. 如果检测到 NACK，则将中断标志 (IBCR:INT) 设置为 "1"，使 I²C 总线进入等待状态。当接收 FIFO 变为已满状态时，I²C 总线进入等待状态。如果检测到停止或迭代启动条件，则将 IBSR:SPC 和 IBSR:RSC 位设置为 "1"，而中断标志 (IBCR:INT) 不设置为 "1"（I²C 总线不进入等待状态）。当接收到的数据设置数据 与 FBYTE 寄存器的设置值匹配时，接收 FIFO 将 SSR:RDRF 位设置为 "1"。如果此时 SMR:RIE 位为 "1"，则产生接收中断。
2. 当中断标志 (IBCR:INT) 设置为 "1" 时，从 RDR 寄存器读取接收数据。当所有数据都已读取后，写入 "0" 至中断标志，解 I²C 总线的等待状态。当接收 FIFO 数据已满时，如果已从 RDR 寄存器读取接收数据（即使只有一次），则解 I²C 总线的等待状态。如果检测到停止条件或迭代启动条件，则从 RDR 寄存器读取所有接收数据并将 IBSR:SPC 或 IBSR:RSC 位清 为 "0"。

Figure 2-40 禁用 FIFO 产生的从机模式接收中断 1
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



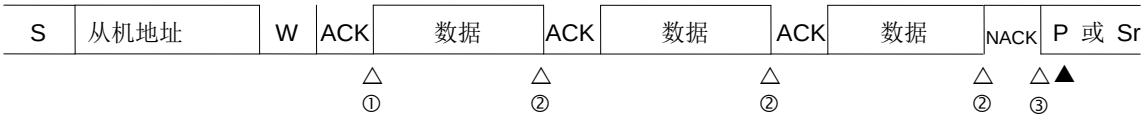
△:通过 INTE="1"中断
▲:通过 CNDE="1"中断
①从机地址匹配时，输出 ACK 且发生中断。
- ACKE 位设置为"1"且 INT 位设置为"0"。
②接收到单字节且响应 ACK 时发生中断。
- 从接收缓冲器读取接收到的数据后，INT 位设置为 "0"。
③接收到单字节且响应 NACK 时发生中断。
-从接收缓冲器读取接收到的数据后，INT 位设置为 "0"。

Figure 2-41 禁用 FIFO 产生的从机模式接收中断 2
(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



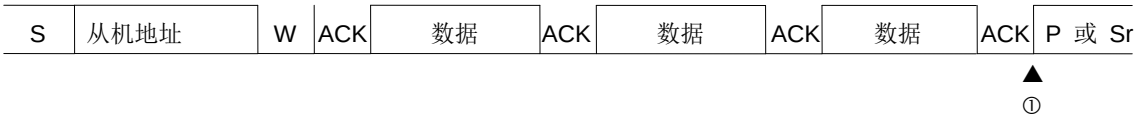
△:通过 INTE="1"中断
▲:通过 CNDE="1"中断
①从机地址匹配时，输出 ACK 且发生中断。
- ACKE 位设置为"1"且 INT 位设置为"0"。
②接收到单字节时发生中断。
- 从接收缓冲器读取接收到的数据后，INT 位设置为 "0"。
③接收到单字节时发生中断。
-从接收缓冲器读取接收到的数据后，INT 位设置为 "0"。

Figure 2-42 禁用 FIFO 产生的从机模式接收中断 3 (SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



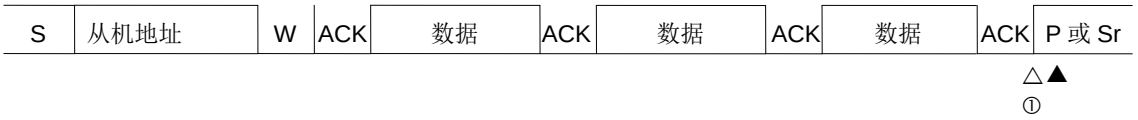
△:通过 INTE="1"中断
▲:通过 CNDE="1"中断
①从机地址匹配时，输出 ACK 且发生中断。
- ACKE 位设置为"1"且 INT 位设置为"0"。
②接收到单字节时发生中断。
- 从接收缓冲器读取接收到的数据后，INT 位设置为 "0"。
③NACK 响应时发生中断。
-INT 位设置为 "0"。

Figure 2-43 使能接收 FIFO 产生的从机模式接收中断 4 (SSR:DMA="0", IBSR:RSA="0")



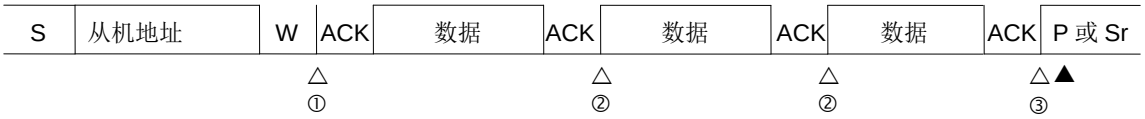
△:通过 INTE="1"中断
▲:通过 CNDE="1"中断
①检测到停止条件或迭代启动条件时发生中断。
- 从接收 FIFO 缓冲器读取整个数据。

Figure 2-44 使能接收 FIFO 产生的从机模式接收中断 5 (SSR:DMA="0", IBSR:RSA="0")



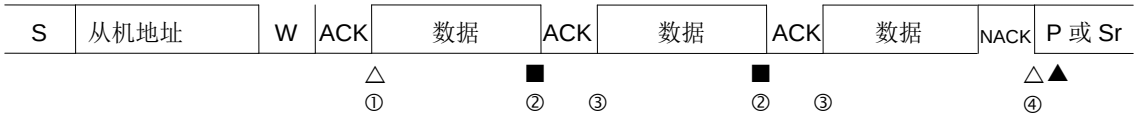
△:通过 INTE="1"中断
▲:通过 CNDE="1"中断
①接收 FIFO 装有数据时发生中断。
- 从接收 FIFO 缓冲器读取整个数据并将 INT 位设置为”0”。

Figure 2-45 禁用 FIFO 产生的从机模式接收中断 6
(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")



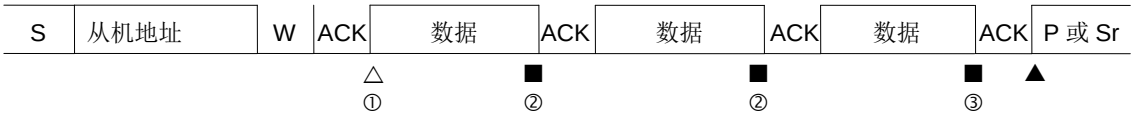
△:通过 INTE="1"中断
▲:通过 CNDE="1"中断
①保留地址（“0000xxxx”或”1111xxxx”匹配时，发生中断。
- ACKE 位设置为"1"且 INT 位设置为"0"。
②接收到单字节且输出 ACK 时发生中断。
- INT 位设置为 "0"。
③接收到单字节且输出 ACK 时发生中断。
-如果 INT 位设置为 "0"，则发生中断。

Figure 2-46 禁用 FIFO 产生的从机模式接收中断 7
(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



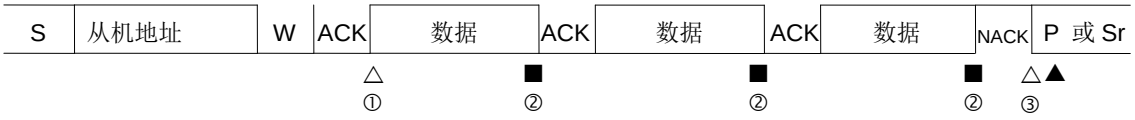
△：通过 INTE="1"中断
▲：通过 CNDE="1"中断
■：通过 RIE=="1"中断
①从机地址匹配时，输出 ACK 且发生中断。
- ACKE 位设置为"1"且 INT 位设置为"0"。
②接收到单字节时发生中断。
-从接收缓冲器读取接收数据。
③响应 ACK 时 I^2C 总线等待。
-从接收缓冲器读取接收数据。
④接收到单字节且响应 NACK 时发生中断。
-从接收缓冲器读取接收数据后，INT 位设置为"0"。

Figure 2-47 禁用 FIFO 产生的从机模式接收中断 8
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



△：通过 INTE="1"中断
▲：通过 CNDE="1"中断
■：通过 RIE=="1"中断
①从机地址匹配时，输出 ACK 且发生中断。
- ACKE 位设置为"1"且 INT 位设置为"0"。
②接收到单字节时发生中断。
-从接收缓冲器读取接收数据。
③响应 ACK 时 I^2C 总线等待。
-从接收缓冲器读取接收数据。

Figure 2-48 禁用 FIFO 产生的从机模式接收中断 9
(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



△：通过 INTE="1"中断
▲：通过 CNDE="1"中断
■：通过 RIE=="1"中断
①从机地址匹配时，输出 ACK 且发生中断。
- ACKE 位设置为"1"且 INT 位设置为"0"。
②接收到单字节时发生中断。
-从接收缓冲器读取接收数据。
③响应 NACK 时发生中断。
-INT 位设置为"0"。

Figure 2-49 使能接收 FIFO 产生的从机模式接收中断 10 (SSR:DMA="1", IBSR:RSA="0")

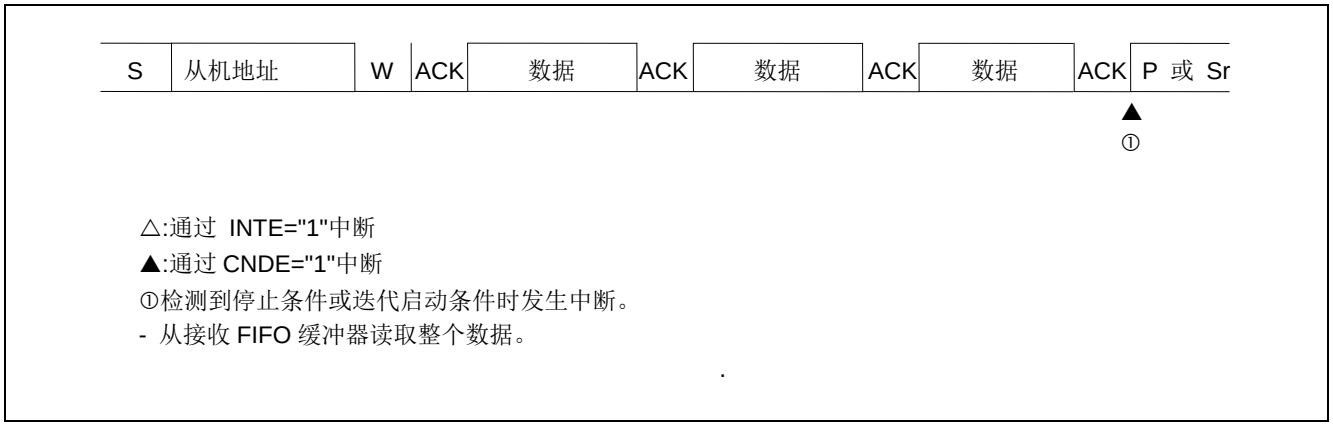


Figure 2-50 使能接收 FIFO 产生的从机模式接收中断 11 (SSR:DMA="1", IBSR:RSA="0")

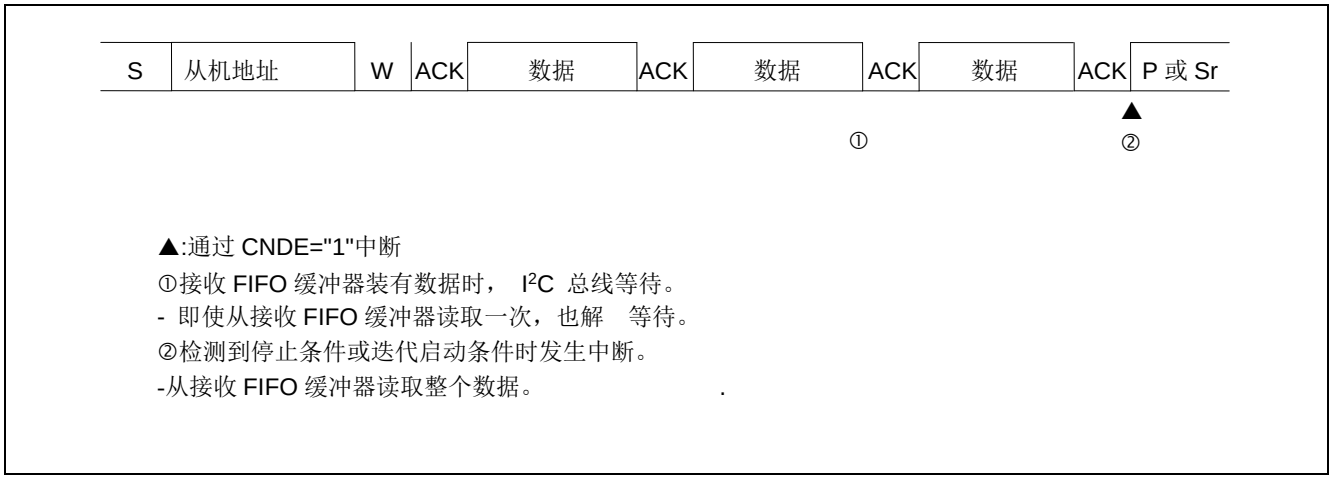
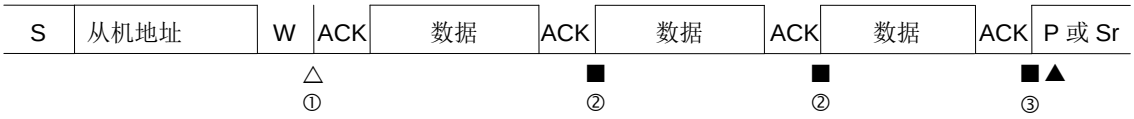


Figure 2-51 禁用 FIFO 产生的从机模式接收中断 12 (SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")



△：通过 INTE="1"中断
▲：通过 CNDE="1"中断
■：通过 RIE=="1"中断
①保留地址（“0000xxxx”或”1111xxxx”匹配时，发生中断。
- 读取接收数据，ACKE 位设置为"1"且 INT 位设置为"0"。

②接收到单字节且输出 ACK 时发生中断。
- 读取接收数据。

③接收到单字节且输出 ACK 时发生中断。
-读取接收数据。

2.4.4 从机模式传送

如果接收数据与从机地址匹配且数据方向位为 "1"，则表示数据以从机模式传送。如果禁用 FIFO，在传送一个字节后或输出确认响应后（具体取决于 IBCR:WSEL 位的设置）将中断标志 (IBCR:INT) 设置为 "1"。然后 I²C 总线进入等待状态（参见 Table 2-8）。

通过 IBSR:RACK 位检 主机设备输出的确认。如果从主机设备恢复 NACK 响应，则说明主机设备不能正确接收数据或者数据接收已结束。如果在 IBCR:WSEL=1 时检测到 NACK，则产生中断，使 I²C 总线进入等待。

2.5 总线 误

如果传送或接收数据时在 I²C 总线上检测到停止条件或（迭代）启动条件，则处理为总线 误。

2.5.1 总线 误发生条件

如果发生总线 误，在下列情况下 IBCR:BER 位设置为 "1"。

- 传输 字节时检测到（迭代）启动或停止条件。
- 在数据 bit2 ~ bit9（确认）检测到（迭代）启动条件或停止条件。

2.5.2 总线 误操作

EIBCR:BEC=0

如果传送或接收数据时中断标志 (IBCR:INT) 设置为 "1"，则检 IBCR:BER 位。如果 IBCR:BER 位为 "1"，则执行 误处理。写入 "0" 至 IBCR:INT 位清 IBCR:BER 位。

如果发生总线 误，则 IBCR:INT 位设置为 "1"；但 SCL 设置为 LOW 不能使 I²C 总线进入等待状态。

EIBCR:BEC=1

如果传送或接收数据时中断标志 (IBCR:SPC 或 IBCR:RSC) 设置为 "1"，则检 IBCR:BER 位。如果 IBCR:BER 位为 "1"，则执行 误处理。通过下列操作清 IBCR:BER 位。

- 当 IBCR:INT=1 时，在 IBCR:INT 位写入 "0"。
- 当 IBCR:SPC=1 时，在 IBCR:SPC 位写入 "0"。
- 当 IBCR:RSC=1 时，在 IBCR:RSC 位写入 "0"。

3. 专用波特率发生器

专用波特率发生器配置串行时 率的设置。

3.1 选择波特率

用专用波特率发生器（ 载计数器）分 内部时 获得波特率

本发生器提供两种内部 载计数器，分别支持传送和接收串行时 。选择波特率时，通过波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 指定 15 位 载值。

各 载计数器通过设置值分 内部时 。

3.2 计算波特率

使用波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 设置两个 15 位 载计数器。
通过以下公式计算波特率：

(1) 载值

V= ϕ/b – 1

V: 载值 b: 波特率ϕ: 总线时 率或外部时 率

注意在 I²C 总线上的信息上升沿不会产生 设波特率，这时应调节 载值。

(2) 计算示例

设置 16 MHz 总线时 和 400 kbps 波特率时，应设置 载值如下：

载值：

V = (16 × 1000000)/400000 - 1 = 39

所以，波特率为：

b=(16 × 100000) / (39+1) = 400 kbps

注意事 ：

- *通过 16 位访 操作写入波特率生成器寄存器 1 和 0（BGR1 和 BGR0）。*
- *当 ISMK 寄存器的 ISMK:EN 位为 "0" 时，设置各个波特率发生器寄存器的值。*
- *在操作模式 4 (I²C 模式) 中，总线时 的操作 率不低于 8 MHz。还应注意的是，禁止将波特率生成器设置为 400 kbps 以上。*
- *载值设置为 "0" 时， 载计数器停止。*

3.3 各总线时 率的 载值及波特率

下表列出了 载值和波特率设置示例。

Table 3-1 载值和波特率设置示例 1

波特率 [bps]	8 MHz 值	10 MHz 值	16 MHz 值	20 MHz 值	24 MHz 值
400000	19	24	39	49	59
200000	39	49	79	99	119
100000	79	99	159	199	239

当 I²C 总线上的 SCL 上升时序为 0s 时上述数字值可用。如果 I²C 总线上的 SCL 上升时序延迟，则波特率设置为迟于上述数字值的值。

Table 3-2 载值和波特率设置示例 2

波特率 [bps]	32MHz 值	40 MHz 值
400000	79	99
200000	159	199
100000	319	399

当 I²C 总线上的 SCL 上升时序为 0s 时上述数字值可用。如果 I²C 总线上的 SCL 上升时序延迟，则波特率设置为迟于上述数字值的值。

3.4 载计数器的功能

每个 载计数器都由用于 载值的 15 位寄存器构成，并通过内部时 产生传送时 和接收时 。可通过波特率发生器寄存器 (BGR1 和 BGR0) 读取传送 载计数器的计数值。

3.5 启动计数

载值写入波特率发生器寄存器 (BGR1 或 BGR0) 时， 载计数器启动计数。

4. I²C 通信操作流程图示例

本节说明 I²C 通信操作流程示例。

禁用 DMA 模式(SSR:DMA=0)时的 I²C 流程图示例（不使用 FIFO 时）

Figure 4-1 禁用 DMA 模式时的 I²C 通信流程图示例（不使用 FIFO 时）(SSR:DMA=0) 1/3

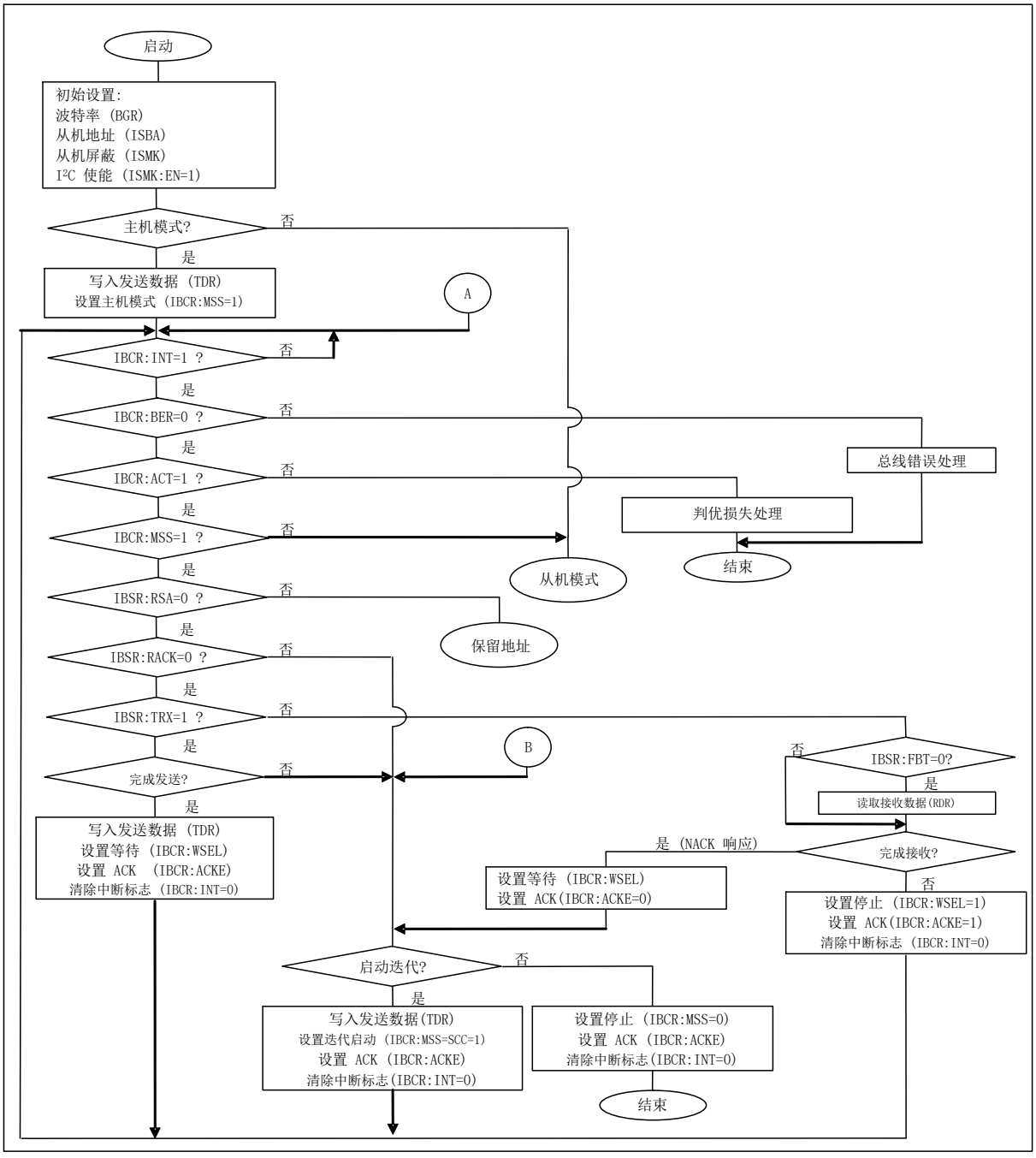


Figure 4-2 禁用 DMA 模式时的 I²C 通信流程图示例（不使用 FIFO 时）(SSR:DMA=0) 2/3

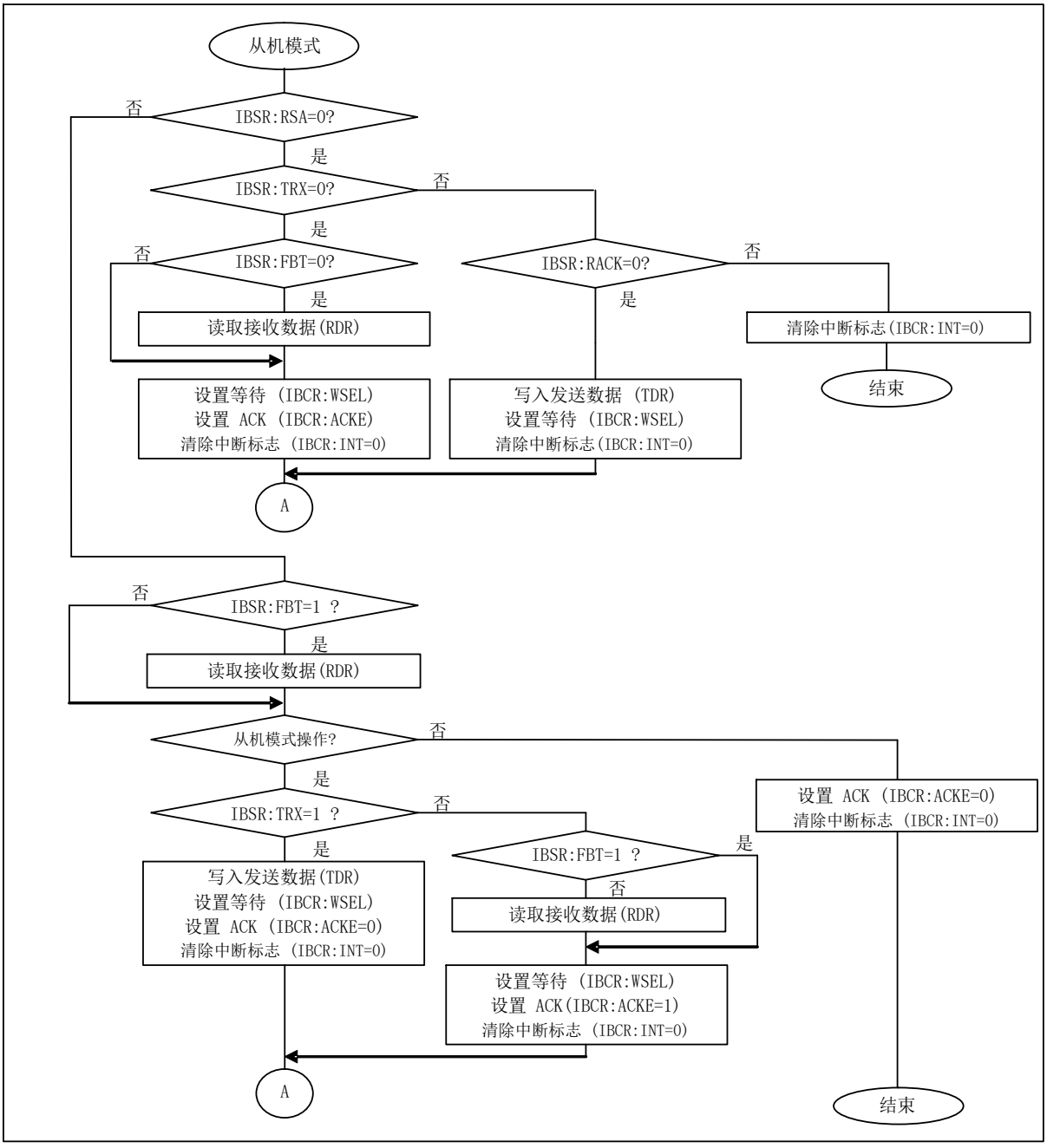
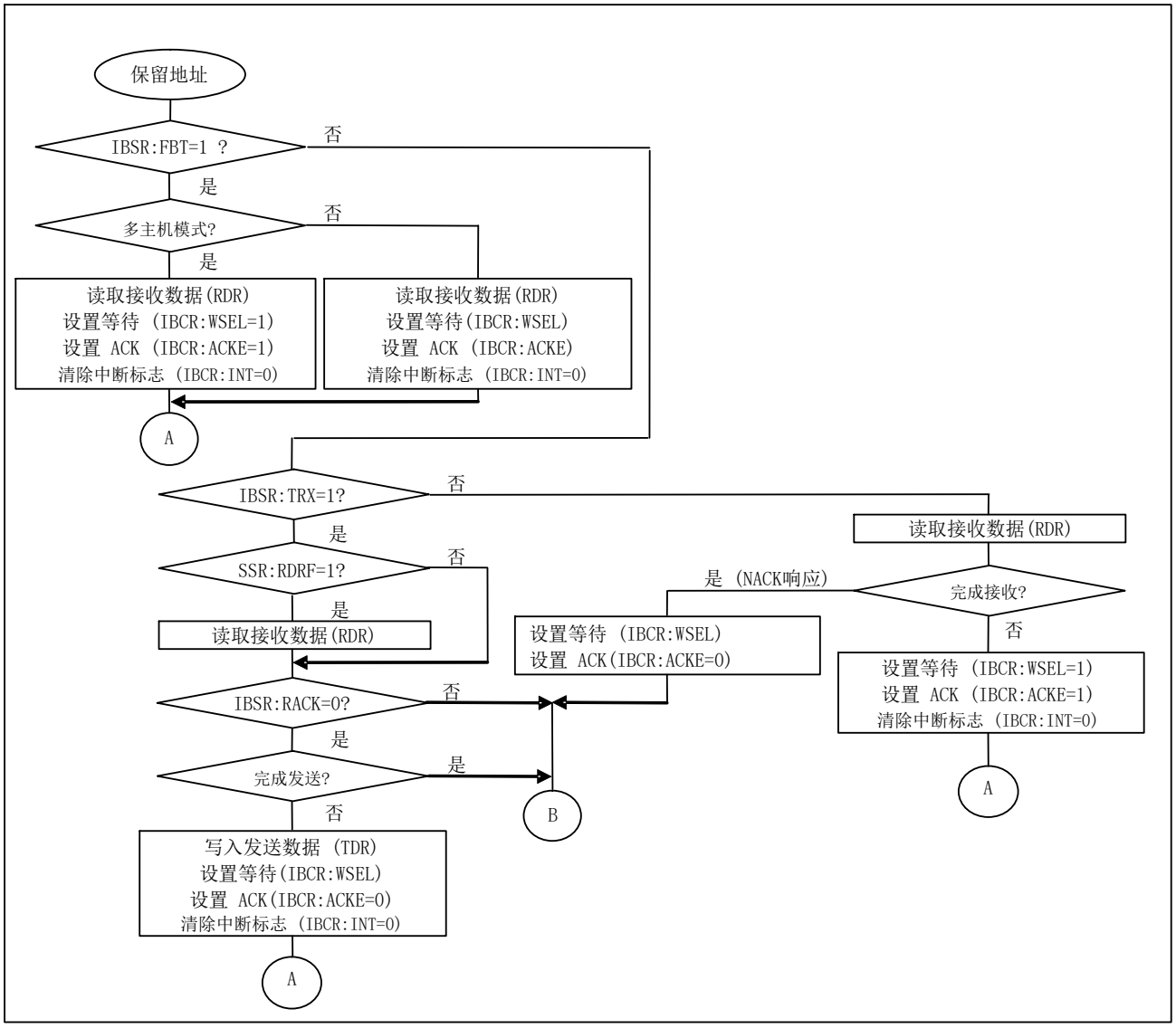


Figure 4-3 禁用 DMA 模式时的 I²C 通信流程图示例（不使用 FIFO 时）(SSR:DMA=0) 3/3



使能 DMA 模式(SSR:DMA=1)时的 I²C 通信流程图示例（不使用 FIFO 时）

Figure 4-4 使能 DMA 模式时的 I²C 通信流程图示例（不使用 FIFO 时）(SSR:DMA=1) 1/4

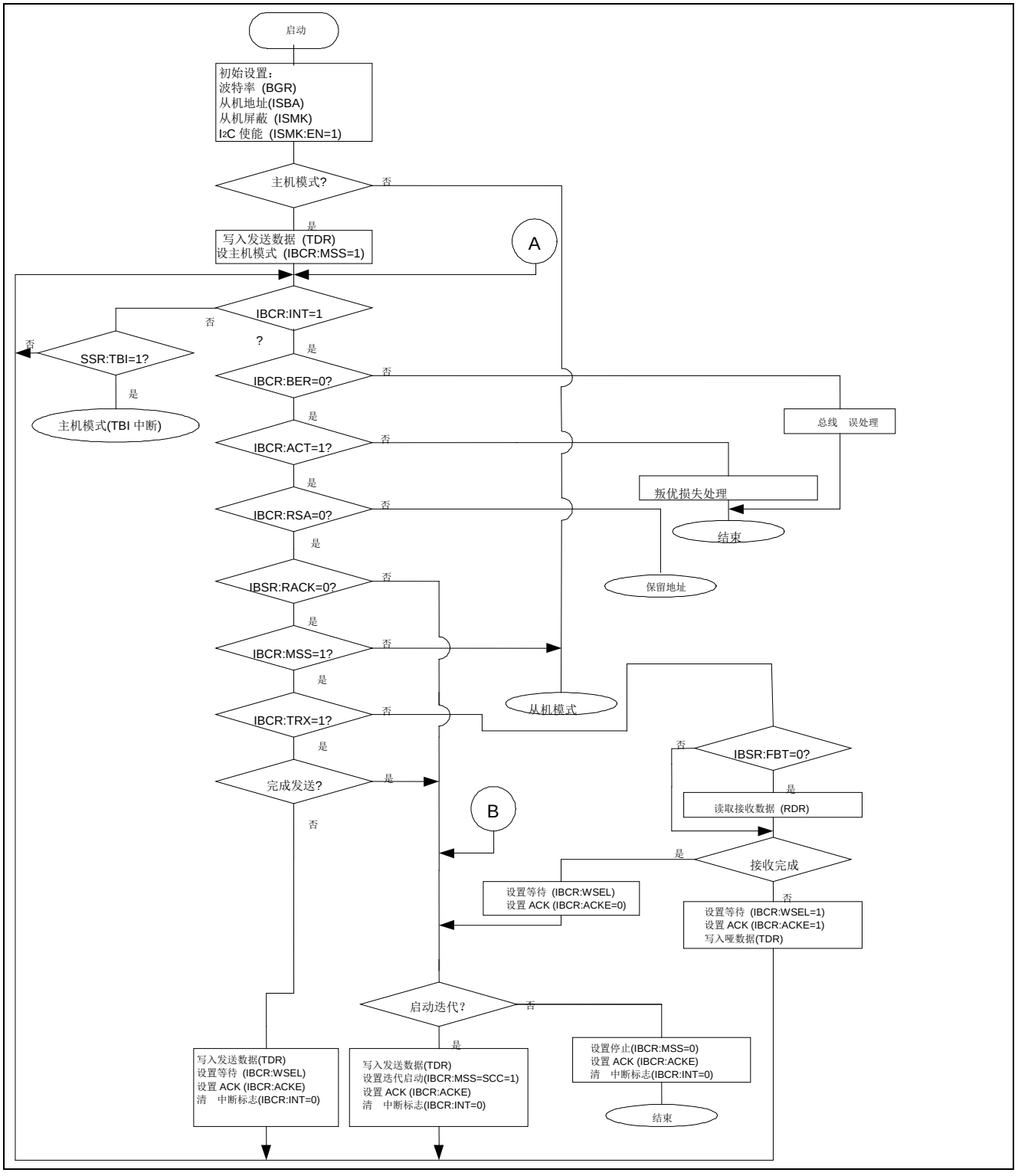


Figure 4-5 使能 DMA 模式时的 I²C 通信流程图示例（不使用 FIFO 时）(SSR:DMA=1) 2/4

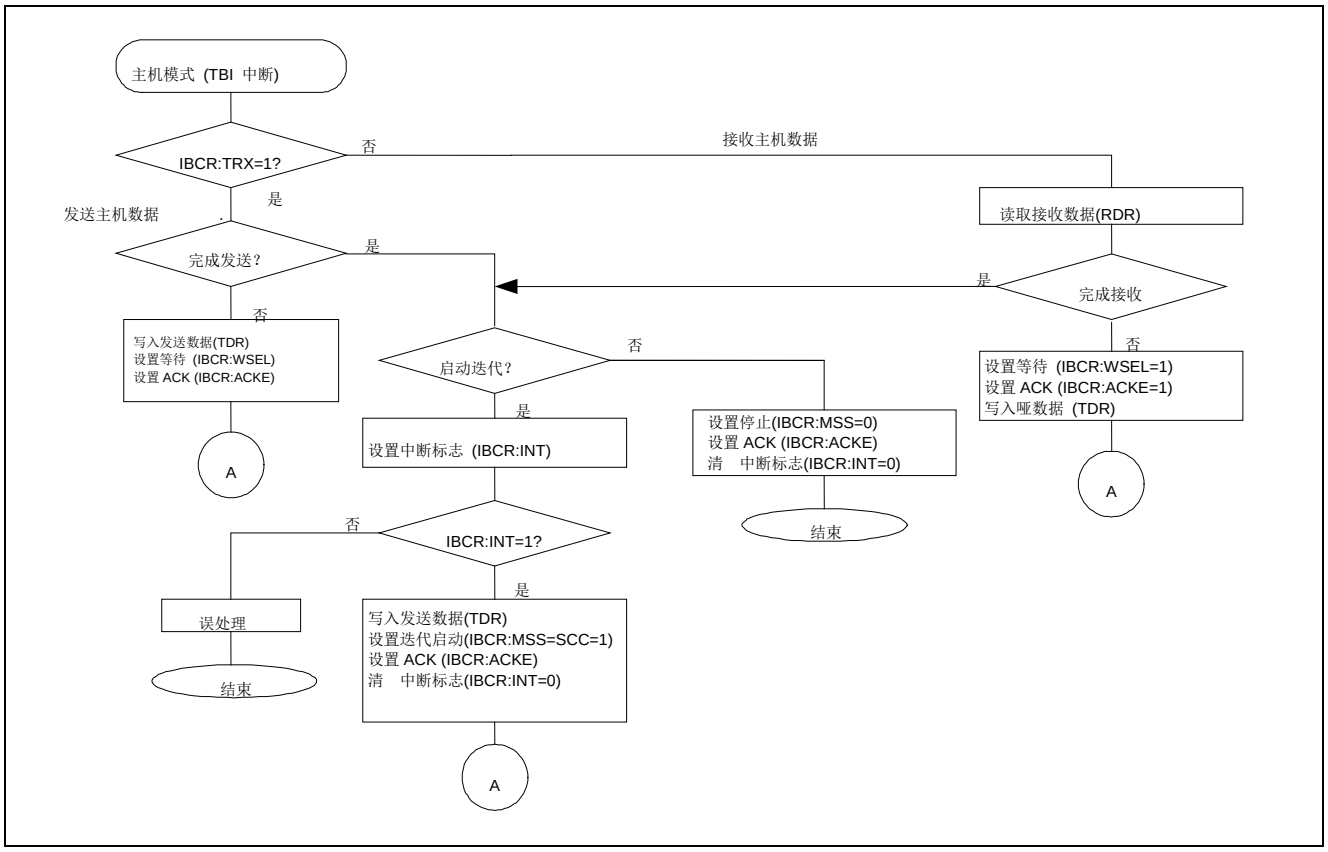


Figure 4-6 使能 DMA 模式时的 I²C 通信流程图示例（不使用 FIFO 时）(SSR:DMA=1) 3/4

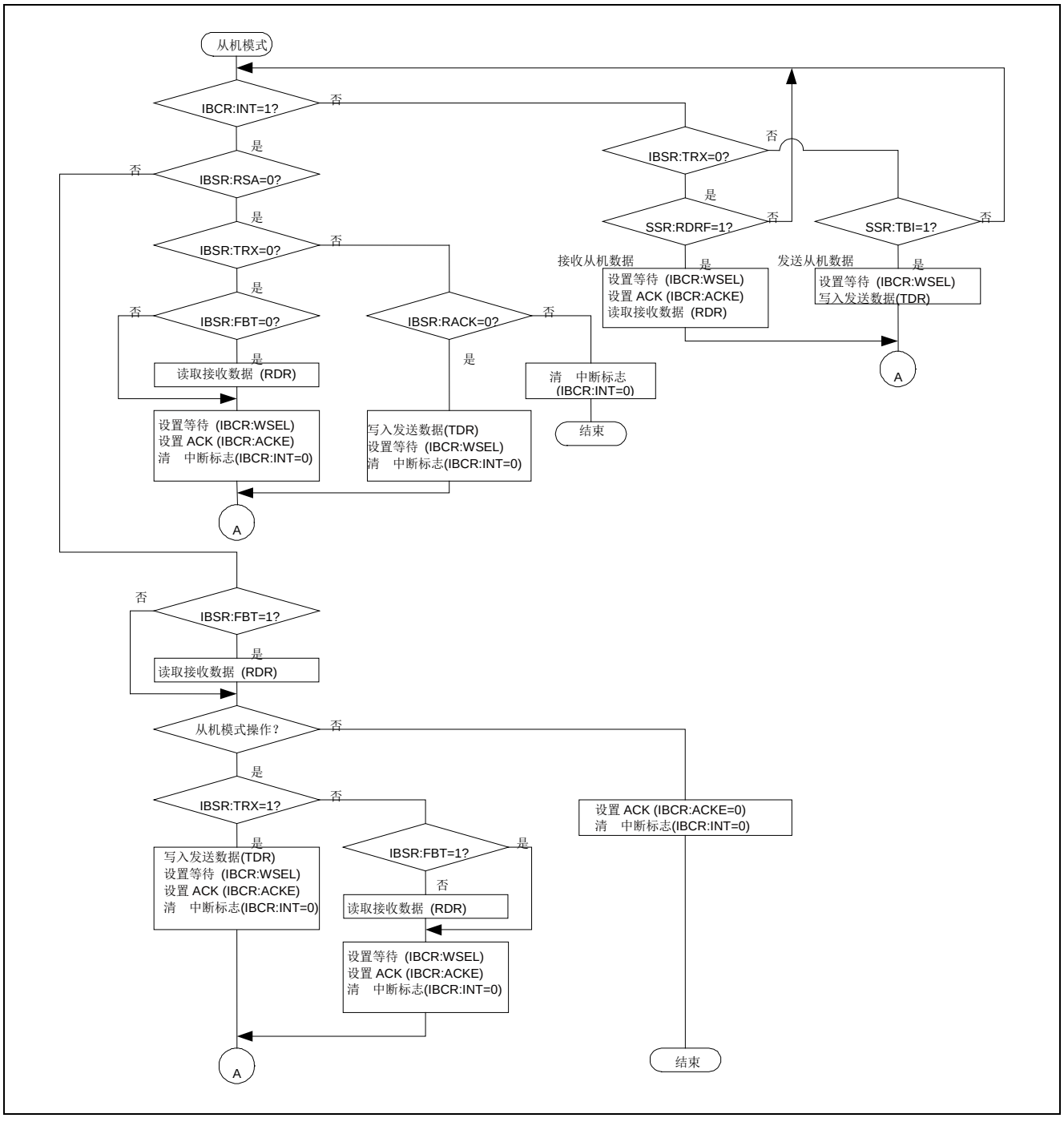
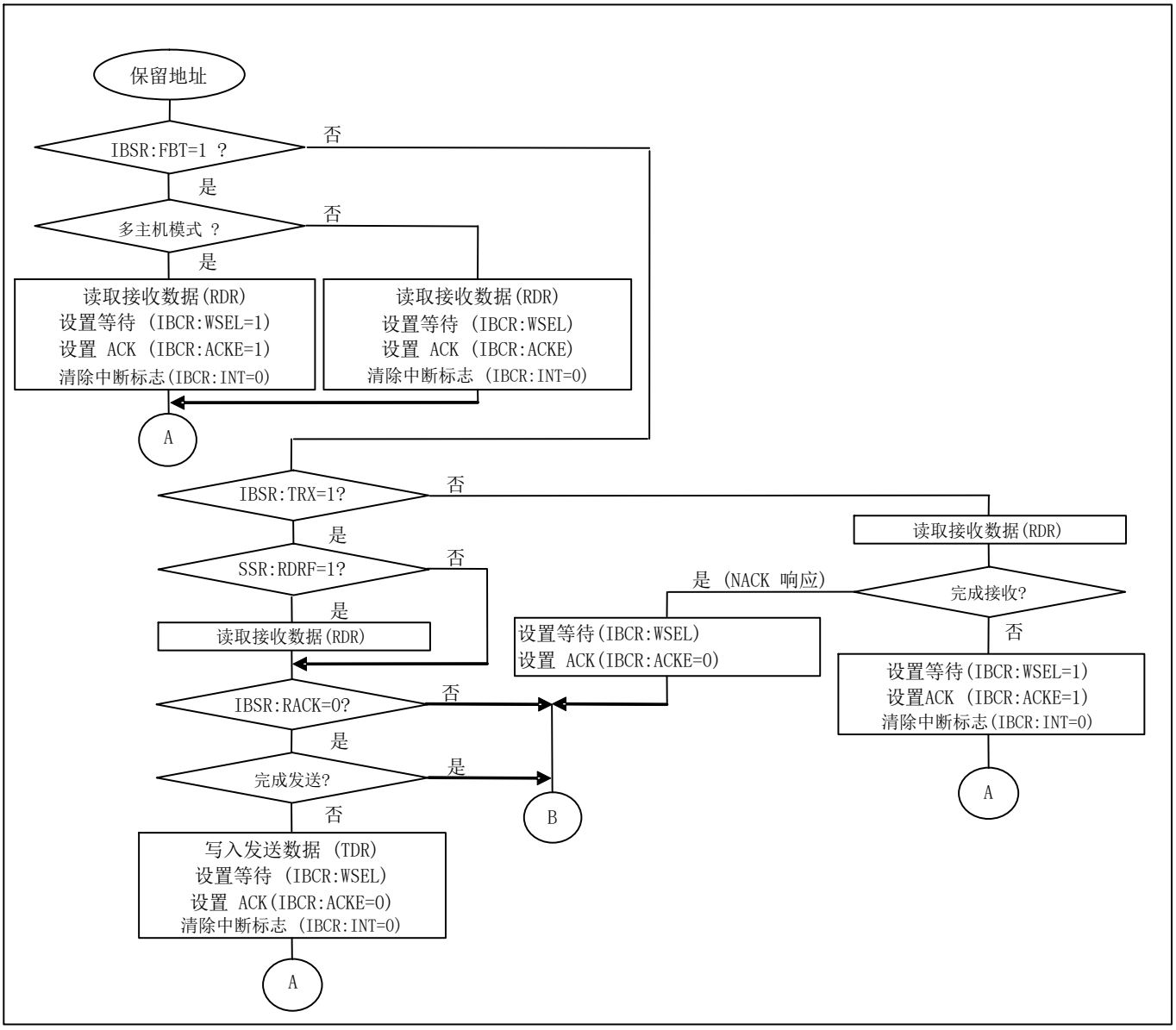


Figure 4-7 使能 DMA 模式时的 I²C 通信流程图示例（不使用 FIFO 时）(SSR:DMA=1) 4/4



<注意事 >

- *流程图所示为 I²C 模式的操作设置略图。执行相关操作时，根据应用考虑 误处理。*

5. I²C 接口寄存器

下表列出了 I²C 接口寄存器。

I²C 接口寄存器列表

Table 5-1I²C 接口寄存器列表

	bit15 bit8	bit7 bit0
I²C	IBCR（I²C 总线控制寄存器）	SMR（串行模式寄存器）
	SSR（串行状态寄存器）	IBSR（I²C 总线状态寄存器）
	-	RDR/TDR（传送/接收数据寄存器）
	EIBCR（扩展 I²C 总线控制寄存器）	-
	BGR1（波特率发生器寄存器 1）	BGR0（波特率发生器寄存器 0）
	ISMK（7 位从机地址屏蔽寄存器）	ISBA（7 位从机地址寄存器）
FIFO	FCR1（FIFO 控制寄存器 1）	FCR0（FIFO 控制寄存器 0）
	FBYTE2（FIFO2 字节寄存器）	FBYTE1（FIFO1 字节寄存器）

Table 5-2I²C 接口位分配

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
IBCR/ SMR	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	MD2	MD1	MD0	-	RIE	TIE	-	-
SSR/ IBSR	REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
TDR1/ TDR0	-	-	-	-	-	-	-	-	D7	D6	D5	D4	D3	D2	D1	D0
EIBCR/ -	-	-	SDAS	SCLS	SDAC	SCLC	SOCE	BEC	-	-	-	-	-	-	-	-
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
ISMK/ ISBA	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

5.1 I²C 总线控制寄存器 (IBCR)

I²C 总线控制寄存器 (IBCR) 用于选择主机或从机模式、产生迭代启动条件、使能确认、使能中断并显示中断标志。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	(SMR)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初始值	0	0	0	0	0	0	0	0	

[bit15] MSS：主机/从机选择位

- 如果在 I²C 总线为空 状态时将此位设置为 "1" (ISMK:EN=1, IBSR:BB=0)，则选择主机模式。
- 如果在 IBSR 寄存器的 BB 位为 "1" 时将此位设置为 "1"，则在 IBSR:BB 位设置为 "0" 之前，等待启动条件发生。如果从机地址匹配且在等待过程中启动从机操作，则此位设置为 "0" 且 IBSR 寄存器的 AL 位设置为 "1"。
- 如果选择主机模式 (MSS=1, ACT=1) 且中断标志 (INT) 为 "1"，则当此位设置为 "0" 时产生停止条件。

下列任一情况下清 MSS 位：

1. 禁用 I²C 接口操作时 (ISMK:EN=0)；
2. 发生判优损失时；
3. 检测到总线 误 (BER=1) 且 EIBCR:BEC=0 时；
4. 当 INT=1 时 MSS 位设置为 "0"；
5. 使能 DMA 模式 (SSR:DMA=1)、SSR:TBI=1 且 MSS 位设置为 "0"时。

下表列出了 MSS 和 ACT 位之 的关系。

MSS 位	ACT 位	状态
0	0	空
0	1	从机地址匹配或 ACK 回应保留地址(*1)，且为从机模式操作（从机模式）。
1	0	等待主机模式操作。
1	1	主机模式操作过程中（主机模式）。

*1) ACK 响应：确认时 I²C 总线上 SDA 为 LOW。

位	描述
0	选择从机模式
1	选择主机模式

注意事 ：

- *如果禁用 DMA 模式 (SSR:DMA=0) 且 MSS 位设置为 "1"，则只有在 MSS 位为 "1" 且 INT 位为 "1" 时才必 将 MSS 位设置为 "0"。如果在 ACT 位为 "1" 时 MSS 位设置为 "0"，则 INT 位也清 为 "0"。*
- *如果使能 DMA 模式 (SSR:DMA=1) 且 MSS 位设置为 "1"，则只有在 MSS 位为 "1" 且 INT 位为 "1" 时或者当 SSR:TBI 位为 "1" 时才必 将 MSS 位设置为 "0"。如果在 ACT 位为 "1" 时 MSS 位设置为 "0"，则 INT 位也清 为 "0"。*
- *选择主机模式时，即使在 ACT 位为 "1" 时将 MSS 位设置为 "0"，MSS 位的读取值仍然为 "1"。*

[bit14] ACT/SCC：操作标志/迭代启动条件产生位

此位设置在写入和读取时意义不同。

读取	写入
ACT 位	SCC 位

ACT 位表示主机或从机模式的当前操作。

在下列情况下设置 ACT 位：

1. 启动条件输出到 I²C 总线上（主机模式）；
2. 从机地址与主机设备发送出地址相匹配（从机模式）；
3. 检测到保留地址且已确认（如果 MSS 为 "0"，则选择从机模式）。

下列情况下 ACT 位复位：

<主机模式>

1. 检测到停止条件；
2. 检测到判优损失；
3. 检测到总线 误且 EIBCR:BEC=0 时；
4. 禁用 I2C 接口操作 (ISMK:EN=0)。

<从机模式>

1. 检测到（迭代）启动条件；
2. 检测到停止条件；
3. 检测到保留地址 (IBSR:RSA=1) 但未确认。
4. 禁用 I2C 接口操作 (ISMK:EN=0)。
5. 检测到总线 误 (BER=1) 且 EIBCR:BEC=0。

如果在主机模式将此位设置为 "1"，则执行迭代启动。禁止将此位设置为 "0"。

位	描述	
	写入时	读取时
0	无效	无操作
1	产生迭代启动条件。	I²C 操作过程中。

注意事 ：

- *只有在主机模式发生中断时 (MSS=1、ACT=1 且 INT=1 时) 必 将 SCC 位设置为 "1"。如果在 ACT 位为 "1" 时 SCC 位设置为 "1"，则 INT 位清 为 "0"。*
- *在从机模式时（MSS=0 且 ACT=1 时）不能将此位设置为 "1"。*
- *当 SCC 位设置为 "1"，如果同时将 MSS 位设置为 "0"，则 MSS 位的设置优先。*
- *通过读改写指令读取数据时，读取的是 SCC 位的值。*
- *当以下两个条件都满足时，INT 位设置为 "1" 且 I²C 总线等待（SCL=LOW）。如果要产生迭代启动条件，应再次将 SCC 位设置为 "1" 清 INT 位。*
  - *在主机模式操作时如果在第 8 位发生中断（MSS=1、ACT=1、INT=1 且 WSEL=1），则将 SCC 位设置为 "1"。*
  - *在第 9 位接收到否定应答 (NACK)。*
- *使能 DMA 模式 (SSR:DMA=1)、SSR:TBI 位为 "1" 且 IBCR:INT 位为 "0"时，按下列步 发出迭代启动条件：*

  1. 将 IBCR:INT 位设置为 "1"。
  2. 检 IBCR:INT 位是否设置为 "1"。
  3. 在 TDR 中写入从机地址。
  4. 将此位设置为 "1"。

[bit13] ACKE：数据字节确认使能位

■ 如果此位设置为 "1"，则确认时输出 LOW。
■ 发生下列任一情况时必 改变此位：
- 禁用 DMA 模式 (SSR:DMA=0)、ACT 位为 "1" 且 INT 位为 "1"。
- 使能 DMA 模式 (SSR:DMA=1)、ACT 位为 "1" 且 SR:TBI 位为 "1"。
- 使能 DMA 模式 (SSR:DMA=1)、ACT 位为 "1"、选择从机模式接收且 SCR:RDRF 位为 "1"。
- ACT 位为 "0"。

下列情况下此位无效：

1. 确认保留地址（自动产生）之外的地址字段时；
2. 数据传送进程中（IBSR:RSA=0、IBSR:TRX=1 且 IBSR:FBT=0）；
3. 如果使能接收 FIFO 且选择从机模式接收 (FCR0:FE=1, MSS=0, ACT=1)，则恢复 ACK。
4. 如果使能接收 FIFO，WSEL 位为 "0"，选择主机模式接收 (FCR0:FE=1, MSS=1, ACT=1, WSEL=0) 且 SSR:TDRE 位为 "0"，则总是恢复 ACK。如果 SSR:TDRE 位为 "1"，则恢复 NACK。
5. 如果使能接收 FIFO，WSEL=0，检测到保留地址且选择从机传送 (IBSR:RSA=1, IBSR:TRX=1, IBSR:FBT=1)，则总是恢复 ACK。响应 NACK 时，在检测到保留地址后中断过程中禁用接收 FIFO 并将 ACKE 位设置为 "0"。
6. 使能接收 FIFO，WSEL 位为 "1"，选择主机模式接收且传送数据寄存器中存在数据 (FCR0:FE=1, MSS=1, ACT=1, WSEL=1, SSR:TDRE=0)。

位	描述
0	禁用确认。
1	使能确认。

[bit12] WSEL：等待选择位

- 如果禁用 DMA 模式 (SSR:DMA=0)，此位选择确认之前或之后的中断产生时 (INT=1) 并选择 I^2C 是否等待。
- 如果使能 DMA 模式 (SSR:DMA=1)，此位选择确认之前或之后的中断产生时 （INT=1 且传送时 SSR:TBI=1 或接收时 SSR:RDRF=1）并选择 I^2C 是否等待。
- 下列情况下 WSEL 位无效：
  1. 字节发生中断 (INT=1)； (*1)
  2. 检测到保留地址（IBSR:FBT=1, IBSR:RSA=1）；
  3. FIFO 数据传输进程中检测到 NACK 响应（FCR0:FE=1, IBSR:RACK=1, ACT=1）； (*2)
  4. FIFO 接收进程中接收 FIFO 数据已满。

*1) 字节指示（迭代）启动条件之后的数据。

*2) NACK 响应：确认时 I^2C 总线上 SDA 位为 HIGH。

位	描述
0	确认后等待（9 位）。
1	数据传送或接收后等待（8 位）。

[bit11] CNDE：条件检测中断使能位

如果在主机或从机模式 (ACT=1) 检测到停止条件或迭代启动条件，则此位使能中断。如果 IBSR 寄存器的 RSC 或 SPC 位为 "1" 且此位设置为 "1"，则发生中断。

位	描述
0	禁用迭代启动或停止条件产生的中断。
1	使能迭代启动或停止条件产生的中断。

[bit10] INTE：中断使能位

此位使能主机或从机模式时因数据传送和接收产生的中断 (INT=1)。

位	描述
0	禁用中断。
1	使能中断。

[bit9] BER：总线 误标志位

此位指示已在 I²C 总线上检测到 误。

在下列情况下设置 BER 位：

1. 传输 字节时检测到启动或停止条件。 (*1)
2. 在第二字节或后续字节之后，在数据的 bit2 ~ bit9（确认）检测到（迭代）启动条件或停止条件。

下列情况下 BER 位复位：

1. 当 EIBCR:BEC=0 且 BER=1 时 INT 位设置为 "0"。
2. 禁用 I²C 接口操作 (ISMK:EN=0)。
3. 当 EIBCR:BEC=1 且 IBCR:INT=1 时，IBCR:INT 位设置为 "0"。
4. 当 EIBCR:BEC=1 且 IBCR:SPC=1 时，IBCR:SPC 位设置为 "0"。
5. 当 EIBCR:BEC=1 且 IBCR:RSC=1 时，IBCR:RSC 位设置为 "0"。

*1) 字节指示（迭代）启动条件之后的数据。

位	描述
0	无 误
1	检测到 误。

<注意事 >

在下列情况下，如果中断标志（INT 位）为 "1"，则检 此位状态。如果为 "1"，则正常数据传送和接收失败。 新传送数据。

- *当 EIBCR:BEC=0 时中断标志（INT 位）设置为 "1"。*
- *当 EIBCR:BEC=1 时，迭代启动条件确认位 (IBSR:RSC 位) 为 "1"。*
- *当 EIBCR:BEC=1 时，停止条件确认位 (IBSR:SPC 位) 为 "1"。*

[bit8] INT：中断标志位

当数据的 8 或 9 位 (ACK) 已传送并接收后或者在主机或从机模式已发生总线 误时，中断标志位设置为 "1"。在操作过程中 总线 误外，如果 INT 位设置为 "1"，则 SCL 标志设置为 LOW。如果 INT 位设置为 "0"，则 SCL 解 LOW 状态。

■ 在下列情况下设置 INT 位：

<第 8 位>

<如果不相关 DMA 模式>

1. 在 字节检测到保留地址。
2. WSEL 位为 "1" 且在第二字节或后续字节检测到判优损失。

<禁用 DMA 模式时 (SSR:DMA=0)>

1. 如果禁用 DMA 模式 (SSR:DMA=0)，WSEL 位为 "1"，选择主机模式且第二字节或后续字节的 SSR:TDRE 位为 "1"。
2. 如果禁用 DMA 模式 (SSR:DMA=0)，WSEL 位为 "1"，选择从机模式，禁用接收 FIFO 且第二字节或后续字节的 SSR:TDRE 位为 "1"。
3. 如果禁用 DMA 模式 (SSR:DMA=0)，WSEL 位为 "1"，选择从机传送模式且第二字节或后续字节的 SSR:TDRE 位为 "1"。
4. 如果禁用 DMA 模式 (SSR:DMA=0)，WSEL 位为 "1"，禁用接收 FIFO 且选择从机模式接收。

<使能 DMA 模式时 (SSR:DMA=1)>

1. 如果使能 DMA 模式 (SSR:DMA=1)，WSEL 位为 "1"，选择主机模式，第二字节或后续字节的 SSR:TBI 位为 "1" 且 INT 位设置为 "1"。

<第 9 位>

<如果不相关 DMA 模式>

1. 在 字节检测到判优损失。
2. 在停止条件输出设置之外的时 接收到 NACK 信号（在主机模式操作时 MSS 位设置为 "0"）。
3. WSEL 位为 "0" 且在第二字节或后续字节检测到判优损失。
4. 在 字节未检测到保留地址，而且在使能接收 FIFO 且在主机或模式模式接收数据(IBSR:TRX=0)时，接收 FIFO 中存在数据。
5. EIBCR:BEC=1 且 IBSR:BER=1。

<禁用 DMA 模式时 (SSR:DMA=0)>

1. 如果禁用 DMA 模式 (SSR:DMA=0)，在 字节未检测到保留地址，且在主机或从机模式传送数据(IBSR:TRX=1)时 SSR:TDRE 位设置为 "1"。
2. 如果禁用 DMA 模式 (SSR:DMA=0)，在 字节未检测到保留地址，且在主机或从机模式禁用接收 FIFO 用于数据接收(IBSR:TRX=0)时 SSR:TDRE 位设置为 "1"。
3. 如果禁用 DMA 模式 (SSR:DMA=0)，WSEL 位为 "0"且在主机模式操作时第二字节或后续字节的 SSR:TDRE 位为 "1"。
4. 如果禁用 DMA 模式 (SSR:DMA=0)，WSEL 位为 "0"且在从机模式操作时第二字节或后续字节的 SSR:TDRE 位为 "1"。
5. 如果禁用 DMA 模式 (SSR:DMA=0)，WSEL 位为 "0"，禁用接收 FIFO 且选择从机模式接收。但如果在从机模式接收时在 字节检测到保留地址，则 bit 9 不产生中断。
6. 如果禁用 DMA 模式 (SSR:DMA=0)，使能接收 FIFO，选择从机模式接收数据且接收 FIFO 中数据已满。

<使能 DMA 模式时 (SSR:DMA=1)>

1. 如果使能 DMA 模式 (SSR:DMA=1)，在 字节未检测到保留地址，且在从机模式传送数据(IBSR:TRX=1)时 SSR:TDRE 位设置为 "1"。
2. 如果使能 DMA 模式 (SSR:DMA=1)，在 字节未检测到保留地址，且在从机模式禁用接收 FIFO 接收数据(IBSR:TRX=0)时 SSR:TDRE 位设置为 "1"。
3. 如果使能 DMA 模式 (SSR:DMA=1)，WSEL 位为 "0"，在主机模式操作时第二字节或后续字节的 SSR:TBI 位为 "1"，且 INT 位设置为 "1"。

<其它>

1. 检测到总线 误且 EIBCR:BEC=0 时。

■ 在下列情况下 INT 位复位：

1. INT 位设置为 "0"。
2. INT 位为 "1" 且 ACT 位为 "1"，MSS 位设置为 "0"。
3. INT 位为 "1" 且 ACT 位为 "1"，SCC 位设置为 "1"。

如果禁用 DMA 模式 (SSR:DMA=0)，则将 INT 位设置为 "1" 无效。

位	描述	
	写入时	读取时
0	清 INT 位。	不发出中断请求。
1	无效	发出中断请求。

注意事 ：

- *如果使能 DMA 模式 (SSR:DMA=1) 且在主机模式操作时第二字节或后续字节的 SSR:TBI 位为 "1"，则即使当 INT 位设置为 "1" 时也不产生状态中断 (SIRQ=1)。*
- *使能 DMA (SSR:DMA=1)、SSR:TBI 位为 "1" 且 IBCR:INT 位为 "0" 时，按下列步 发出迭代启动条件：*
  1. *将 IBCR:INT 位设置为 "1"。*
  2. *检 IBCR:INT 位是否设置为 "1"。*
  3. *在 TDR 中写入从机地址。*
  4. *将 IBCR:SCC 位设置为 "1"。*
- *INT 标志从 "1" 变为 "0"，解 I^2C 总线的等待状态。*
- *如果 ISMK:EN 位设置为 "0"，则在一定的接收时序可将 SSR:RDRF 和 INT 位设置为 "1"。如果这样，读取接收数据并清 INT 位。*
- *如果发出读改写指令时，读取值为 "1"。*
- *如果使能接收 FIFO，即使在主机模式接收时接收 FIFO 数据已满，INT 位也不设置为 "1"。*
- *发出启动条件时 (IBCR:MSS=1) 将此位设置为 "1"。*

5.2 串行模式寄存器 (SMR)

串行模式寄存器 (SMR) 用于设置操作模式并使能或禁用传送/接收中断。

位	15 ... 8	7	6	5	4	3	2	1 0
字段	(SCR)	MD2	MD1	MD0	保留	RIE	TIE	保留
属性		R/W	R/W	R/W	-	R/W	R/W	-
初始值		0	0	0	0	0	0	-

[bit7:5] MD2, MD1, MD0：操作模式设置位

这些位设置操作模式。

* 本章说明操作模式 4 （I²C 模式）的寄存器及其操作。

bit7	bit6	bit5	描述
0	0	0	操作模式 0（异步正常模式）
0	0	1	操作模式 1（异步多处理器模式）
0	1	0	操作模式 2（时　同步模式）
0	1	1	操作模式 3（LIN 通信模式）
1	0	0	操作模式 4（I²C 模式）
上述值以外的值			禁止设置

注意事 ：

- *禁止上表中设置之外的任何位设置。*
- *切换当前操作模式时，先禁用 I²C (ISMK:EN=0) 再改变操作模式。*
- *设置操作模式后，正确设置各寄存器。*

[bit4] 保留：保留位

读取值为 "0"。确保写入 "0"。

[bit3] RIE：接收中断使能位

- 此位使能或禁用输出接收中断请求至 CPU。
- 如果 RIE 位和接收数据标志位 (SSR:RDRF) 设置为 "1"，或者任何 误标志位 (SSR:ORE) 为 "1"，则输出接收中断请求。

位	描述
0	禁用接收中断。
1	使能接收中断。

注意事 ：

- *禁用 DMA 模式时 (SSR:DMA=0)，如果用 I²C 总线控制寄存器 (IBCR) 的 INT 位接收数据，则将此位设置为 "0"。*

[bit2] TIE：传送中断使能位

- 此位使能或禁用输出传送中断请求至 CPU。
- 如果 TIE 位和 SSR:TDRE 位为 "1"，则输出传送中断请求。

位	描述
0	禁用传送中断。
1	使能传送中断。

注意事 ：

- *禁用 DMA 模式时 (SSR:DMA=0)，如果用 I²C 总线控制寄存器 (IBCR) 的 INT 位传送数据，则将此位设置为 "0"。*

[bit1:0] 保留：保留位

读取值为 "0"。确保写入 "0"。

5.3 I²C 总线状态寄存器(IBSR)

I²C 总线状态寄存器(IBSR) 指示迭代启动、确认、数据方向、判优损失、停止条件、I²C 总线状态及总线误检测。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(SSR)	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
属性		R	R	R	R	R	R/W	R/W	R
初始值		0	0	0	0	0	0	0	0

[bit7] FBT： 字节位

此位指示 字节。

在下列情况下设置 FBT 位：

1. 检测到（迭代）启动条件。

在下列情况下清 FBT 位：

1. 发送或接收到第二个字节。
2. 检测到停止条件。
3. 禁用 I²C 接口操作 (ISMK:EN=0)。
4. 检测到总线 误 (IBCR:BER=1) 且 EIBCR:BEC=0。

位	描述
0	字节之外。
1	正在发送或接收 字节。

[bit6] RACK：确认标志位

此位指示在主机或从机模式时 字节接收到确认。

RACK 位在下列条件下更新：

1. 字节确认。
2. 主机或从机模式时数据已确认。

在下列条件下清 RACK 位 (RACK=0)：

1. 检测到（迭代）启动条件；
2. 禁用 I²C 接口操作 (ISMK:EN=0)。
3. 检测到总线 误 (IBCR:BER=1) 且 EIBCR:BEC=0。

位	描述
0	接收到 LOW。
1	接收到 HIGH。

[bit5] RSA：保留地址检测位

此位指示已检测到保留地址。

在下列情况下设置 RSA 位 (RSA=1)：

1. 字节为 "0000xxxx" 或 "1111xxxx"。其中，"x" 为 "0" 或 "1"。

在下列情况下 RSA 位复位 (RSA=0) ：

1. 检测到（迭代）启动条件；
2. 检测到停止条件。
3. 禁用 I^2C 接口操作 (ISMK:EN=0)。
4. 检测到总线 误 (IBCR:BER=1) 且 EIBCR:BEC=0。

如果 字节的 RSA 位设置为 "1"，则不论 FIFO 为使能还是禁用状态，在 字节的 SCL (第 8 位) 的下沿时中断标志 (IBCR:INT) 设置为 "1" 且 SCL 标志设置为 "L"。此时如果读取接收数据并启动从机模式操作，则将 IBCR:ACKE 位设置为 "1" 并将中断标志 (IBCR:INT) 清 为 "0"。在这之后如果 TRX 为 "0"，则在从机模式接收数据。如果要停止数据接收，则将 IBCR:ACKE 位设置为 "0"。之后不接收数据。

位	描述
0	未检测到保留地址。
1	检测到保留地址。

注意事 ：

- *如果在数据传输时将 IBCR:ACKE 位设置为 "0"，则在检测到停止条件或迭代启动条件之前不可将 IBCR:ACKE 位设置为 "1"。*
- *如果因从机地址检测发生中断时检测到从机模式传送且如果使能接收 FIFO，则恢复 ACK 响应。这种情况下，禁用接收 FIFO 并将 IBCR:ACKE 位设置为 "0"。*

[bit4] TRX：数据方向位

此位指示数据方向。

在下列情况下设置 TRX 位：

1. 在主机模式发送（迭代）启动条件。
2. 从机模式时　字节的第 8 位为 "1"（从机模式传送方向）。

在下列情况下 TRX 位复位：

1. 发生判优损失 (AL=1)。
2. 从机模式时　字节的第 8 位为 "0"（从机模式接收方向）。
3. 主机模式时　字节的第 8 位为 "1"（主机模式接收方向）。
4. 检测到停止条件。
5. 在　主机模式外的任何模式检测到（迭代）启动条件。
6. 禁用 I^2C 接口操作 (ISMK:EN=0)。
7. 检测到总线　误 (IBCR:BER=1) 且 EIBCR:BEC=0。

位	描述
0	接收方向
1	传送方向

[bit3] AL：判优损失位

此位指示判优损失。

在下列情况下设置 AL 位：

1. 主机模式时输出数据与接收地址不匹配。
2. IBCR:MSS 位设置为 "1" 但选择的是从机模式操作。
3. 在主机模式下当 EIBCR:BEC=0 时在第二字节或后续字节的第 1 位检测到迭代启动条件。
4. 在主机模式且 EIBCR:BEC=0 时检测到迭代启动条件。
5. 在主机模式下且 EIBCR:BEC=1 时在第二字节或后续字节的第 1 位检测到停止条件。
6. 当 EIBCR:BEC=1 时在主机模式下检测到停止条件（在确认字段检测到停止条件的情形　外）。
7. 在主机模式不能产生迭代启动条件。
8. 在主机模式不能产生停止条件。

在下列情况下 AL 位复位：

1. IBCR:MSS 位设置为 "1"。
2. IBCR:INT 位设置为 "0"。
3. 当 AL 和 SPC 位都设置为 "1" 时 SPC 位设置为 "0"。
4. 禁用 I^2C 接口操作 (ISMK:EN=0)。
5. 检测到总线　误 (IBCR:BER=1) 且 EIBCR:BEC=0。

位	描述
0	未发生判优损失。
1	已发生判优损失。

[bit2] RSC：迭代启动条件检　位

此位显示在主机或从机模式检测到迭代启动条件。

在下列情况下设置 RSC 位：

1. 在主机或从机模式操作过程中当 EIBCR:BEC=0 时，在确认后检测到迭代启动条件。
2. 在从机或主机模式下当 EIBCR:BEC=1 时，在　字节的第 1 位检测到迭代启动条件。

在下列情况下 RSC 位复位：

1. RSC 位设置为 "0"。
2. IBCR:MSS 位设置为 "1"。
3. 禁用 I²C 接口操作 (ISMK:EN=0)。

此位设置为 "1" 无效。

位	描述
0	未检测到迭代启动条件。
1	检测到迭代启动条件。

注意事　：

- *如果因检测从机地址导致在从机模式下接收数据时无确认响应，则解　从机模式。此种情况下，即使检测到下一个迭代启动条件，此位也不设置为 "1"。*
- *发出读改写指令时，读取值为 "1"。*

[bit1] SPC：停止条件检　位

此位显示在主机或从机模式检测到停止条件。

在下列情况下设置 SPC 位：

1. 当 EIBCR:BEC=0 时，在主机或从机模式操作时检测到停止条件。
2. 当 EIBCR:BEC=1 时在下列任一情况下检测到停止条件。
   - 当 IBCR:ACT=0 时在　字节检测到停止条件；
   - 在从机操作模式；
   - 在主机模式（在确认字段检测到停止条件的情形　外）。
3. 在主机模式检测到停止条件，且已因此发生判优损失。

在下列情况下 SPC 位复位：

1. 此位设置为 "0"。
2. IBCR:MSS 位设置为 "1"。
3. 禁用 I²C 接口操作 (ISMK:EN=0)。

此位设置为 "1" 无效。

位	描述	
0	未检测到停止条件。	
1	主机模式	检测到停止条件或输出停止条件时发生判优损失。
	从机模式	检测到停止条件。

注意事 ：

- *如果因检测从机地址导致在从机模式下接收数据时无确认响应，则解 从机模式。此种情况下，即使检测到下一个停止条件，此位也不设置为 "1"。*
- *发出读改写指令时，读取值为 "1"。*
- *当下列所有条件都满足时，即使检测到停止条件，此位也不设置为 "1" 并继续执行主机操作。*
  - *当 EIBCR:BEC=1 时；*
  - *在主机模式操作时；*
  - *在确认字段。*

[bit0] BB：总线状态位

此位显示总线状态。

在下列情况下设置 BB 位：

1. 在 I²C 总线的 SDA 或 SCL 检测到 LOW。

在下列情况下 BB 位复位：

1. 检测到停止条件。
2. 禁用 I²C 接口操作 (ISMK:EN=0)。
3. 检测到总线 误 (IBCR:BER=1) 且 EIBCR:BEC=0。

位	描述
0	总线为空 状态。
1	总线为传送和接收状态。

5.4 串行状态寄存器 (SSR)

串行状态寄存器 (SSR) 用于检 传送或接收状态。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI	(IBSR)
属性	R/W	R/W	R/W	R/W	R	R	R	R	
初始值	0	0	0	0	0	0	1	1	

[bit15] REC：接收 误标志清 位

此位清 串行状态寄存器 (SSR) 的 ORE 位。

- 此位设置为 "1" 时，清 ORE 位。
- 此位设置为 "0" 时对操作无效。

读取此位时，读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	清 接收 误标志 (ORE)。	

[bit14] TSET：传送为空标志设置位

此位设置串行状态寄存器 (SSR) 的 TDRE 位。

- 如果此位设置为 "1" 且使能 TDRE 位和 DMA 模式 (DMA=1)，则设置 TBI 位。
- 此位设置为 "0" 时对操作无效。

读取此位时，读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	设置 TDRE 位。	

注意事 ：

- *只有在 IBCR:INT 位为 "1" 时将此位设置为 "1"。*

[bit13] DMA：DMA 模式使能位

此位使能或禁用 DMA 模式。

- 如果此位设置为 "1"，则在 DMA 传输过程中产生中断条件。
- 如果此位设置为 "0"，则在正常数据传输过程中产生中断条件。

详见 Table 2-1。

位	描述
0	禁用 DMA 模式。
1	使能 DMA 模式。

注意事 ：

- *只能在 ISMK:EN 位为 "0" 时改变此位状态。*

[bit12] TBIE：传送总线空 中断使能位（只在使能 DMA 模式时有效）

- 此位使能或禁用输出传送总线空 中断请求至 CPU。
- 如果使能 DMA 模式 (DMA=1) 且 TBIE 和 TBI 为都为 "1"，则输出传送总线空 中断请求。
- 如果禁用 DMA 模式 (DMA=0)，则此位设置为 "0"。如果写入数据，则写入被忽略且保持 "0"。

位	描述
0	禁用传送总线空 中断。
1	使能传送总线空 中断。

[bit11] ORE：溢出 误标志位

- 数据接收过程中发生溢出时，此位设置为 "1"。串行状态寄存器 (SSR) 的 REC 位设置为 "1" 时，清 此位。
- ORE 位和 SMR:RIE 位为 "1" 时，输出接收中断请求。
- 设置此标志时，接收数据寄存器 (RDR) 无效。
- 使用接收 FIFO 时如果设置此标志，则接收数据不存入接收 FIFO 中。

位	描述
0	未发生溢出 误。
1	发生溢出 误。

[bit10] RDRF：接收数据已满标志位

- 此标志显示接收数据寄存器 (RDR) 的状态。
- SMR:RIE 位和接收数据标志位 (RDRF) 为 "1" 时，发出接收中断请求。
- 接收数据载入 RDR 时，此位设置为 "1"。读取接收数据寄存器 (RDR) 数据时，此位被清 为 "0"。
- 在 SCL 信号（数据的第 8 位）的下 沿时设置此位。
- 即使接收到 NACK 响应也设置此位。 (*1)
- 如果使用接收 FIFO 且接收 FIFO 接收到一定计数的数据时，RDRF 位设置为 "1"。
- 如果使用接收 FIFO 且接收 FIFO 为空，则此位清 为 "0"。
- 如果下列所有条件都满足且接收空 状态持续 8 个波特率时 以上，则中断标志 (SSR:RDRF) 设置为 "1"。
  - 接收 FIFO 空 检测使能位 (FCR:FRIIE) 为 "1"。
  - 接收 FIFO 中储存的数据设置数 未达到传输计数。
  - IBCR:BER 位为 "0"。

如果在 8 个时 的计数进程中读取 RDR 数据，则此计数器复位为 0，然后 新启动 8 个时 的计数。

*1) NACK 响应：确认时 I^2C 总线上 SDA 位为 "H"。

位	描述
0	接收数据寄存器 (RDR) 为空。
1	接收数据寄存器 (RDR) 中有数据。

注意事 ：

- *如果下列所有条件都满足，则在传送 ACK 后将 SCL 标志设置为 LOW。如果 RDRF 位设置为 "0"，则解 SCL 标志的 LOW 状态。*
  - *不使用接收 FIFO。*
  - *使能 DMA 模式 (SSR:DMA=1)。*
  - *在第二字节或后续字节接收数据 (IBSR:TRX=0) 且 RDRF 位为 "1"。*
  - *IBCR:WSEL 位为 "0"。*
- *如果下列所有条件都满足，则在接收一个字节的数据后 SCL 标志立即设置为 LOW。如果 RDRF 位设置为 "0"，则解 SCL 标志的 LOW 状态。*
  - *不使用接收 FIFO。*
  - *使能 DMA 模式 (SSR:DMA=1)。*
  - *在第二字节或后续字节接收数据 (IBSR:TRX=0) 且 RDRF 位为 "1"。*
  - *IBCR:WSEL 位为 "1"。*
- *如果使用接收 FIFO 且使能 DMA 模式进行数据接收 (DMA=1)，则当接收 FIFO 中数据已满时 SCL 标志设置为 LOW。如果从 RDR 读取数据（即使只读取一次），也会解 SCL 标志的 LOW 状态。*

[bit9] TDRE：传送数据为空标志位

- 此标志显示传送数据寄存器 (TDR) 的状态。
- 如果 SMR:TIE 位和 TDRE 位为 "1"，则输出传送中断请求。
- 传送数据写入 TDR 时，此位设置为 "0"，表明 TDR 中存在有效数据。数据载入传送移位寄存器以便传送，且传送启动时，此位设置为 "1"，表明 TDR 中不存在有效数据。
- 当串行状态寄存器 (SSR) 的 TSET 位设置为 "1" 时，设置此标志。如果检测到判优损失或总线误，则通过此标志将 TDRE 位设置为 "1"。

位	描述
0	传送数据寄存器 (TDR) 中有数据。
1	传送数据寄存器为空。

[bit8] TBI：传送总线空　标志位（只有在使能 DMA 模式时有效）

使能 DMA 模式时 (DMA=1)，此位显示 I²C 未发送数据。如果使能 DMA 模式 (DMA=1) 且第二字节或后续字节的 TBI 位设置为 "1"，则 SCL 标志设置为 LOW。如果 TBI 位设置为 "0"，则清　SCL 标志的 LOW 状态。

■ 在下列情况下设置 TBI 位：

<第 8 位>

1. WSEL 位为 "1"，选择主机模式，且第二字节或后续字节的 TDRE 位为 "1"。
2. WSEL 位为 "1"，选择从机传送模式，且第二字节或后续字节的 SSR:TDRE 位为 "1"。

<第 9 位>

1. 选择主机模式，在　字节未检测到从机地址，且 SSR:TDRE 位为 "1"。
2. WSEL 位为 "0"，选择主机模式，且第二字节或后续字节的 TDRE 位为 "1"。
3. WSEL 位为 "0"，选择从机传送模式，且第二字节或后续字节的 SSR:TDRE 位为 "1"。

<其它>

传送缓冲器为空标志设置位 (TSET) 设置为 "1"。

■ 在下列情况下 TBI 位复位：

1. 将传送数据写入传送数据寄存器 (TDR) 时。

如果此位为 "1" 且使能传送总线空　中断 (SCR:TBIE=1)，则输出传送中断请求。

- 如果禁用 DMA 模式 (DMA=0)，则此位未定义。

位	描述
0	数据传送进程中
1	无数据传送

5.5 接收数据寄存器/传送数据寄存器 (RDR/TDR)

接收数据寄存器和传送数据寄存器分配在相同地址。从本寄存器读取数据时，本寄存器用作接收数据寄存器。写入数据时，本寄存器用作传送数据寄存器。

接收数据寄存器 (RDR)

位	15 ... 8	7	6	5	4	3	2	1	0
字段		D7	D6	D5	D4	D3	D2	D1	D0
属性		R	R	R	R	R	R	R	R
初始值		0	0	0	0	0	0	0	0

接收数据寄存器 (RDR) 是用于串行数据接收的数据缓冲寄存器。

- 串行数据信号发送至串数据线 (SDA 引脚) 时，通过移位寄存器转换并储存在接收数据寄存器 (RDR) 中。
- 接收到 字节(*1)时，接收地址不存入接收数据寄存器 (RDR) 中。但如果 字节为保留地址，则接收地址存入接收数据寄存器 (RDR) 中。此种情况下，最低有效位 (RDR:D0) 为数据方向位。
- 当接收到的数据存入接收数据寄存器 (RDR) 后，接收数据已满标志位 (SSR:RDRF) 设置为 "1"。
- 从接收数据寄存器 (RDR) 读取数据时，接收数据已满标志位 (SSR:RDRF) 自动清 为 "0"。

*1) 字节指示（迭代）启动条件之后的数据。

注意事 ：

- *如果使用接收 FIFO 且接收 FIFO 接收到一定计数的数据时，SSR:RDRF 位设置为 "1"。*
- *如果使用接收 FIFO 且接收 FIFO 为空，则 SSR:RDRF 位清 为 "0"。*

传送数据寄存器 (TDR)

位	15 ... 8	7	6	5	4	3	2	1	0
字段		D7	D6	D5	D4	D3	D2	D1	D0
属性		W	W	W	W	W	W	W	W
初始值		1	1	1	1	1	1	1	1

传送数据寄存器 (TDR) 是用于串行数据传送的数据缓冲寄存器。

- 传送数据寄存器 (TDR) 的数据按 位优先的 序输出至串行数据线 (SDA 引脚)。
- 传送 字节后，最低有效位 (TDR:D0) 指示数据方向。
- 当传送数据写入传送数据寄存器 (TDR) 后，传送数据为空标志 (SSR:TDRE) 被清 为 "0"。
- 当数据传输至传送移位寄存器时，传送数据为空标志 (SSR:TDRE) 设置为 "1"。
- 如果禁用传送 FIFO 且数据为空标志 (SSR:TDRE) 为 "0"，则不可将传送数据写入传送数据寄存器 (TDR)。
- 如果使用传送 FIFO，即使传送数据为空标志 (SSR:TDRE) 为 "0"，在传送 FIFO 已满之前都可写入传送数据。

注意事 ：

- *传送数据寄存器为只写寄存器；接收数据寄存器为只读寄存器。由于这两个寄存器分配在同一个地址，所以写入值和读取值互不相同。因此，不能使用 INC/DEC 指令和其它读改写 (RMW) 操作。*

5.6 扩展 I²C 总线控制寄存器 (EIBCR)

扩展 I²C 总线控制寄存器 (EIBCR) 用于控制 SDA/SCL 的输出并设置发生总线 误后的操作连续性。

位	15	14	13	12	11	10	9	8	7	...	0
字段	保留		SDAS	SCLS	SDAC	SCLC	SOCE	BEC	-		
属性	-		R	R	R/W	R/W	R/W	R/W			
初始值	-		0	0	1	1	0	0			

[bit15:14] 保留：保留位

读取值为 "0"。确保写入 "0"。

[bit13]SDAS：SDA 状态位

此位指示噪声滤波器后 SDA 线的信号电平。

位	描述
0	SDA 线为低电平。
1	SDA 线为 电平。

注意事 ：

- *此位只在使能 I²C (ISMK:EN=1)时有效。禁用 I²C 时 (ISMK:EN=0)，此位读取值总为 "0"。*

[bit12] SCLS：SCL 状态位

此位指示噪声滤波器后 SCL 线的信号电平。

位	描述
0	SCL 线为低电平。
1	SCL 线为 电平。

注意事 ：

- *此位只在使能 I²C (ISMK:EN=1)时有效。禁用 I²C 时 (ISMK:EN=0)，此位读取值总为 "0"。*

[bit11]SDAC：SDA 输出控制位

使能串行输出控制时 (SOCE=1)，此位控制 SDA 输出。

位	描述
0	SDA 输出为低电平。
1	SDA 输出为 电平。

[bit10]SCLC：SCL 输出控制位

使能串行输出控制时 (SOCE=1)，此位控制 SCL 输出。

位	描述
0	SCL 输出为低电平。
1	SCL 输出为 电平。

[bit9]SOCE：串行输出使能位

此位使能串行输出。

此位设置为 "1" 时，执行下列操作：

- SDA 输出控制位 (SDAC) 控制 SDA 输出。
- SCL 输出控制位 (SCLC) 控制 SCL 输出。

位	描述
0	禁用串行输出控制。
1	使能串行输出控制。

注意事 ：

- *只有当 IBCR:MSS=0 且 IBCR:ACT=0 时，必 将此位设置为 "1"。*

[bit8]BEC：总线 误控制位

发生总线 误 (IBSR:BER=1) 后，此位选择继续或中止 I^2C 操作。

位	描述
0	中止 I^2C 操作。
1	继续 I^2C 操作。

注意事 ：

- *当 EIBCR:BEC=0 时，如果在检测到启动条件后在传输地址数据或 bit2 ~ bit9（确认位）时检测到 新启动条件，则检测到总线 误 (IBCR:BER=1) 并中止接收。因此，不接受下一个数据。此种情况下，在清 中断标志 (IBCR:INT) 后， 要通过主机 新处理启动条件。*

5.7 7 位从机地址屏蔽寄存器 (ISMK)

7 位从机地址屏蔽寄存器 (ISMK) 用于比较或设置从机地址的各个位。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	(ISBA)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初始值	0	1	1	1	1	1	1	1	

[bit15] EN：I²C 接口操作使能位

此位使能或禁用 I²C 接口操作。

此位设置为 "0" 时：禁用 I²C 接口操作。
此位设置为 "1" 时：使能 I²C 接口操作。

位	描述
0	禁用
1	使能

注意事 ：

- *即使 IBSR 寄存器的 BER 位设置为 "1"，也不会将此位清 为 "0"。*
- *只有当此位为 "0" 时必 设置波特率生成器。*
- *当此位为 "0" 时，7 位从机地址寄存器和 7 位从机地址屏蔽寄存器都要设置。*
- *禁用 I²C 接口操作时(EN=0)，会立即禁止数据传送和接收。*
- *如果在已将 IBCR:MSS 位设置为 "0" 产生停止条件时想要禁用 I²C 接口操作，确保检 停止条件是否已发生。然后再禁用操作 (EN=0)。*
- *如果在数据传送时将 EN 位设置为 "0"，则 I²C 总线的 SDA/SCL 信号可能产生脉冲。*

[bit14:8] SM6 ~ SM0：从机地址屏蔽位

这些位指定将 7 位从机地址和接收地址排 在比较范围外。

此位设置为 "1" 时，要进行地址比较。
此位设置为 "0" 时，假定地址匹配。

bit14:8	描述
0	不执行位比较。
1	要执行位比较。

注意事 ：

- *只有当 EN 位为 "0" 时必 设置此寄存器。*

5.8 7 位从机地址寄存器 (ISBA)

7 位从机地址寄存器 (ISBA) 用于设置从机地址。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(ISMK)	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值		0	0	0	0	0	0	0	0

[bit7] SAEN：从机地址使能位

此位使能从机地址检测。

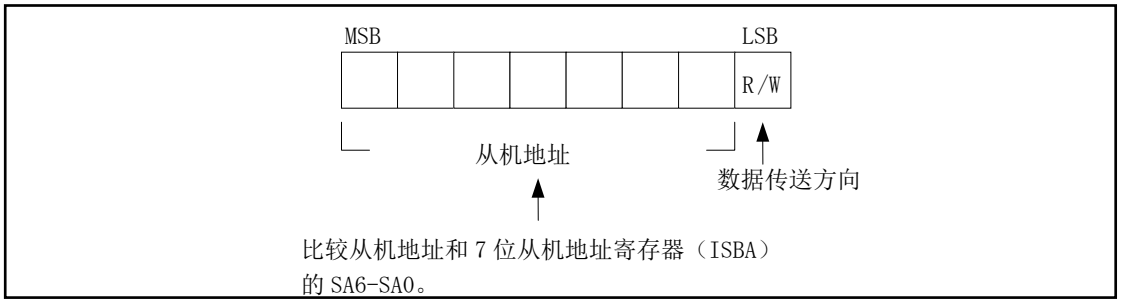
此位设置为 "0" 时：不检测从机地址。
此位设置为 "1" 时，ISBA 和 ISMK 设置和接收到的 字节进行比较。

位	描述
0	禁用
1	使能

[bit6:0] SA6 ~ SA0：7 位从机地址

- 如果使能从机地址检测 (SAEN=1)，7 位从机地址寄存器 (ISBA) 会将检测到（迭代）启动条件后接收到的 7 位数据与此寄存器值进行比较。如果所有位都相互匹配，则选择从机模式并输出 ACK。此时，将接收到的从机地址设置至此寄存器（如果 SAEN=0，则不输出 ACK）。
- 在检测（迭代）启动条件后，7 位从机地址及数据传输方向存入 字节。接收数据中包含的从机地址与这些位进行比较。

Figure 5-1 检测（迭代）启动条件后的 字节格式



- 如果在 ISMK 寄存器中将地址位设置为 "0"，则不比较。

bit6:0	描述
	7 位地址

注意事 ：

- *不可设置保留地址。*
- *只有当 ISMK 寄存器的 EN 位为 "0" 时必 设置此寄存器。*

5.9 波特率发生器寄存器 1 和 0 (BGR1 和 BGR0)

波特率发生器寄存器 1 和 0 (BGR1 和 BGR0) 用于设置串行时 的分 比。

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	-	(BGR1)							(BGR0)							
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

波特率发生器寄存器用于设置串行时 的分 比。
BGR1 寄存器对应较 位，BGR0 寄存器对应较低位。可写入要计数的 载值，可读取 BGR1/BGR0 设置值。
将 载值写入波特率发生器寄存器 1 和 0 (BGR1 或 BGR0) 时， 载计数器启动计数。

[bit15] -：未使用位
读取时此位值未定义。
此位写入时对操作无效。

[bit14:8] BGR1：波特率发生器寄存器 1

bit14:8	描述
写入	将数据写入 载计数器的 bit8 至 bit14。
读取	读取 BGR1 设置值。

[bit7:0] BGR0：波特率发生器寄存器 0

bit7:0	描述
写入	将数据写入 载计数器 bit0 至 bit7。
读取	读取 BGR0 设置值。

注意事 ：

- *必 通过 16 位数据访 将数据写入波特率发生器寄存器（BGR1 和 BGR0）。*
- *当 ISMK 寄存器的 EN 位为 "0" 时必 设置波特率发生器寄存器。*
- *不论主机或从机模式选择如何，都必 设置波特率。*
- *在操作模式 4 (I²C 模式) 中，总线时 的操作 率不低于 8 MHz。还应注意的是，禁止将波特率生成器设置为 400 kbps 以上。*

5.10 FIFO 控制寄存器 1 (FCR1)

FIFO 控制寄存器 (FCR1) 用于选择传送 FIFO 或接收 FIFO、使能传送 FIFO 中断并控制中断标志。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	保留			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性		-		R/W	R/W	R/W	R/W	R/W	
初始值		-		0	-	1	0	0	

[bit15:13] 保留：保留位

读取值为 "0"。确保写入 "0"。

[bit12] FLSTE： 传数据丢失检测使能位

此位使能 FCR0:FLST 位检测。

设置为 "0" 时：禁用 FCR0:FLST 位检测。
设置为 "1" 时：使能 FCR0:FLST 位检测。

位	描述
0	禁用数据丢失检测。
1	使能数据丢失检测。

注意事 ：

- *如果要将此位设置为 "1"，应先将 FSET 位设置为 "1"，然后再将此位设置为 "1"。*

[bit11] FRIIE：接收 FIFO 空 检测使能位

如果接收 FIFO 中存在有效数据且持续 8 位小时以上，则此位设置检测接收空 状态。如果使能接收中断 (SCR:RIE=1)，则在检测到接收空 状态时产生接收中断。

位	描述
0	禁用接收 FIFO 空 检测。
1	使能接收 FIFO 空 检测。

注意事 ：

- *使用接收 FIFO 时，将此位设置为 "1"。*

[bit10] FDRQ：传送 FIFO 数据请求位

此位请求传送 FIFO 数据。

如果此位为 "1"，表示正在请求传送数据。如果此时使能传送中断 (FTIE=1)，则输出传送 FIFO 中断请求。

- 在下列情况下设置 FDRQ 位：
  - FBYTE （传送）为 "0" （传送 FIFO 为空）。
  - 传送 FIFO 复位。
- 下列情况下 FDRQ 位复位：
  - 此位设置为 "0"。
  - 传送 FIFO 中数据已满。

位	描述
0	不请求传送 FIFO 数据。
1	请求传送 FIFO 数据。

注意事 ：

- *FBYTE （传送）为 "0" 时，不能将此位设置为 "0"。*
- *此位为 "0" 时，不能改变 FSEL 位状态。*
- *此位设置为 "1" 时对操作无效。*
- *发出读改写指令时，读取值为 "1"。*
- *如果已发生传送中断且已将要求的数据写入传送 FIFO，则可将 FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 “0” 清 中断请求。*

[bit9] FTIE：传送 FIFO 中断使能位

此位使能传送 FIFO 中断。如果此位设置为 "1"，则当 FDRQ 位设置成 "1" 时发生中断。

位	描述
0	禁用传送 FIFO 中断。
1	使能传送 FIFO 中断。

[bit8] FSEL：FIFO 缓冲器选择位

此位选择传送 FIFO 或接收 FIFO。

位	描述
0	将传送 FIFO 设置为 FIFO1，接收 FIFO 设置为 FIFO2。
1	将传送 FIFO 设置为 FIFO2，接收 FIFO 设置为 FIFO1。

注意事 ：

- *不能通过 FIFO 复位 (FCR0:FCL[2:1]=11) 清 此位。*
- *改变此位的状态时，应先禁用 FIFO 操作 (FCR0:FE[2:1]=00)。*

5.11 FIFO 控制寄存器 0 (FCR0)

FIFO 控制寄存器 0 (FCR0) 用于使能/禁用 FIFO 操作、复位 FIFO、保存读取指 并设置数据 传。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W
初始值		0	0	0	0	0	0	0	0

[bit7] - ：未使用位

读取时，读取值总为 "0"。

写入时，始终设置为 "0"。

[bit6] FLST：FIFO 传数据丢失标志位

此位指示传送 FIFO 中 传的数据已丢失。

满足下列条件时设置 FLST 位：

- FIFO 控制寄存器 1 (FCR1) 的 FLSTE 位为 "1"，传送 FIFO 的写指 与 FSET 位保存的读指匹配且数据写入 FIFO 缓冲器。

在下列情况下 FLST 位复位：

- FIFO 复位（FCL 位设置为 "1"）。
- FSET 位设置为 "1"。

此位设置为 "1" 时，会覆盖 FSET 位保存的并通过读指 识别的数据。因此，即使发生了 误，也不能通过 FLD 位设置数据 传。此位设置为 "1" 时如果要 传数据，应先复位 FIFO。然后，再次将数据写入 FIFO 缓冲器。

位	描述
0	未发生数据丢失。
1	已发生数据丢失。

[bit5] FLD：FIFO 指 载位

此位将 FSET 位保存在传送 FIFO 中的数据 新载入 载指 。此位可用于发生通信 误或其他 误后传数据。

完成 传设置后，此位设置为 "0"。

位	描述
0	不 载
1	载

注意事 ：

- *此位为 "1" 时，表明正将数据 新载入读指 。因此， FIFO 复位以外，禁用数据写入。*
- *使能 FIFO 或正在传送数据时，不可将此位设置为 "1"。*
- *先将 SMR:TIE 位设置为 "0"，然后再将此位设置为 "1"。然后，使能传送 FIFO 并将 SMR:TIE 位设置为 "1"。*

[bit4] FSET：FIFO 指 保存位

此位保存传送 FIFO 的读指 值。
如果在传送前保存读指 值且 FLST 位设为 0，即使已发生通信 误或其他 误，也可 新传送数据。
此位设置为 "1" 时：保存当前读指 值。
此位设置为 "0" 时：对操作无效。

位	描述
0	未保存
1	保存

注意事 ：

- *只有当传送字节计数 (FBYTE) 为 "0" 时可将此位设为 "1"。*

[bit3] FCL2：FIFO2 置位

此位 置 FIFO2 的值。
此位设置为 "1" 时，FIFO2 缓冲器被初始化。
只有 FCR0:FLST 位被初始化，但 FCR1/0 寄存器的其他位保持。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	复位 FIFO2。	

注意事 ：

- *先禁用 FIFO2 操作，然后再复位 FIFO2 缓冲器。*
- *执行前，将传送 FIFO 中断使能位设为 "0"。*
- *FBYTE2 寄存器的有效数据计数为 "0"。*

[bit2] FCL1：FIFO1 置位

此位 置 FIFO1 值。
此位设置为 "1" 时，FIFO1 缓冲器被初始化。
只有 FCR0:FLST 位被初始化，但 FCR1/0 寄存器的其他位保持。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	置 FIFO1。	

注意事 ：

- *先禁用 FIFO1 操作，然后再 置 FIFO1。*
- *执行前，将传送 FIFO 中断使能位设为 "0"。*
- *FBYTE1 寄存器的有效数据计数为 "0"。*

[bit1] FE2：FIFO2 操作使能位

此位使能或禁用 FIFO2 操作。

- 使用 FIFO2 操作时，将此位设为 "1"。
- 如果通过 FCR1:FSEL 位选择接收 FIFO 且已发生接收 误，则此位被清 为 "0" 在接收 误被清前不能将此位设置为 "1"。
- 如果要将 FIFO2 用作传送 FIFO，则在传送缓冲器为空 (SSR:TDRE=1) 时，必 将此位设置为 "1" 或 "0"。
- 如果将 FIFO2 用作接收 FIFO，则在禁用 I²C 接口操作 (ISMK:EN=0)、操作标志 (IBCR:ACT) 为 "0" 或中断标志 (IBCR:INT) 为 "1" 的同时当接收缓冲器为空 (SSR:RDRF=0) 且接收 FIFO 中不存在有效数据 (FBYTE2=0) 时，必 将此位设置为 "0"。
- 如果要将 FIFO2 用作接收 FIFO，则在禁用 I²C 接口操作 (ISMK:EN=0)、操作标志 (IBCR:ACT) 为 "0" 或中断标志 (IBCR:INT) 为 "1" 的同时当接收缓冲器为空 (SSR:RDRF=0)时，必 将此位设置为 "1"。
- 即使禁用 FIFO2 操作，FIFO2 的状态仍然保持。

位	描述
0	禁用 FIFO2 操作。
1	使能 FIFO2 操作。

注意事 ：

- *只有当 IBSR:BB 位为 "0" 或者 IBCR:INT 位为 "1" 时必 切换使能或禁用状态。*
- *如果选择接收 FIFO 且检测到保留地址，且如果想要选择从机模式传送，则将此位设置为 "0" 并通过保留地址检测中断将 IBCR:ACKE 位设置为 "0"。*
- *如果选择接收 FIFO 且当此位从 "1" 变为 "0" 时 SSR 的 SSR:RDRF 位为 "1"，则在将此位设置为 "0" 之前不禁用接收 FIFO。*
- *如果选择传送 FIFO，FIFO2 中存在数据且希望此位从 "0" 变为 "1"，则先将 SMR:TIE 位设置为 "0"。然后，将此位设置为 "1" 并将 SMR:TIE 位设置为 "1"。*

[bit0] FE1：FIFO1 操作使能位

此位使能或禁用 FIFO1 操作。

- 使用 FIFO1 操作时，将此位设为 "1"。
- 如果通过 FCR1:FSEL 位选择接收 FIFO 且已发生接收 误，则此位被清 为 "0" 在接收 误被清前不能将此位设置为 "1"。
- 如果要将 FIFO1 用作传送 FIFO，则在传送缓冲器为空 (SSR:TDRE=1) 时，必 将此位设置为 "1" 或 "0"。
- 如果要将 FIFO1 用作接收 FIFO，则在禁用 I²C 接口操作 (ISMK:EN=0)、操作标志 (IBCR:ACT) 为 "0" 或中断标志 (IBCR:INT) 为 "1" 的同时当接收缓冲器为空 (SSR:RDRF=0) 且接收 FIFO 中不存在有效数据 (FBYTE2=0) 时，必 将此位设置为 "0"。
- 如果要将 FIFO1 用作接收 FIFO，则在禁用 I²C 接口操作 (ISMK:EN=0)、操作标志 (IBCR:ACT) 为 "0" 或中断标志 (IBCR:INT) 为 "1" 的同当接收缓冲器为空 (SSR:RDRF=0)时，必 将此位设置为 "1"。
- 即使禁用 FIFO1 操作，仍然保持 FIFO1 的状态。

位	描述
0	禁用 FIFO1 操作。
1	使能 FIFO1 操作。

注意事 ：

- *只有当 IBSR:BB 位为 "0" 或者 IBCR:INT 位为 "1" 时必 切换使能或禁用状态。*
- *如果选择接收 FIFO 且检测到保留地址，且如果想要选择从机模式传送，则将此位设置为 "0" 并通过保留地址检测中断将 IBCR:ACKE 位设置为 "0"。*
- *如果选择接收 FIFO 且当此位从 "1" 变为 "0" 时 SSR:RDRF 位为 "1"，则在将此位设置为 "0" 之前不禁用接收 FIFO。*
- *如果选择传送 FIFO，FIFO1 中存在数据且希望此位从 "0" 变为 "1"，则先将 SMR:TIE 位设置为 "0"。然后，将此位设置为 "1" 并将 SMR:TIE 位设置为 "1"。*

5.12 FIFO 字节寄存器 (FBYTE)

FIFO 字节寄存器 (FBYTE) 指示 FIFO 缓冲器中的有效数据计数。此外，当接收 FIFO 接收到一定的数据设置数 时，本寄存器还可用于产生接收中断。

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE 寄存器指示 FIFO 缓冲器中的有效数据计数。下表列出了 FCR1:FSEL 位状态和 FBYTE 之 的关系。

Table 5-3 数据计数显示

FSEL	FIFO 选择	数据计数显示
0	FIFO2：接收 FIFO；FIFO1：传送 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2：传送 FIFO；FIFO1：接收 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE 寄存器的数据传输计数初始值为 "0x08"。
- 设置数据计数，产生接收 FIFO 的 FBYTE 寄存器的接收中断标志。如果此传输数据计数与 FBYTE 寄存器的显示相匹配，则接收数据已满标志位 (RDRF) 设置为 "1"。
- 如果满足下列两个条件且接收空 状态持续 8 个波特率时 以上，则接收数据已满标志 (SSR:RDRF) 设置为 "1"。
  - 接收 FIFO 空 检测使能位(FCR:FRIIE) 为 "1"。
  - 接收 FIFO 中储存的数据设置数 未达到传输计数。
    如果在 8 个时 的计数进程中读取 RDR 数据，则此计数器复位为 0，然后 新启动 8 个时 的计数。如果禁用接收 FIFO，此计数器复位为 (0)。如果数据仍然保留在接收 FIFO 中且使能接收 FIFO，则 新启动数据计数。
- 在主机模式操作接送数据时（主机模式接收），将 SMR:TIE 位设置为 "0"，并在传送 FIFO 的 FBYTE 寄存器内设置接收数据计数并将 FCR1:FDRQ 位设置为 "0"。输出 SCL 时 用于指定数据计数，然后将 IBCR:INT 位设置为 "1"。只有在 FCR1:FDRQ 位设置为 "1" 之后必 将 SMR:TIE 位设置为 "1"。

[bit15:8] FBYTE2：FIFO2 数据计数显示位

[bit7:0] FBYTE1：FIFO1 数据计数显示位

写入	设置传输数据计数。
读取	读取有效数据计数。

读取（有效数据计数）

传送进程中：已写入 FIFO 缓冲器但尚未传送的数据设置数
接收进程中：FIFO 中已接收的数据设置数

写入（传输数据计数）

传送时：设置 "0x00"。
接收时：设置数据计数，产生接收中断。

Table 5-4 FIFO 中保存的数据计数

FIFO 容	最大 FBYTE 计数	要保存的数据计数
16 字节	16	16
32 字节	32	32
64 字节	64	64
128 字节	128	128

注意事 ：

- *了主机模式时接收数据以外，传送 FIFO 的 FBYTE 值必 为 "0x00"。*
- *在主机模式接收数据时，只有当传送 FIFO 为空且 SCR:TIE 位为 "0" 时必 设置传送数据计数。*
- *在主机模式操作接收数据时，只有在传送/接收 FIFO 已被禁用后可禁用 I²C 接口操作 (ISMK:EN=0)。*
- *在主机模式接收数据时，必 在传送 FIFO 且 SMR:TIE 位为 "0" 时设置发送数据数 。*
- *接收 FIFO 的 FBYTE 位必 设置为 "1" 或更大值。*
- *在下列任一情况下改变此寄存器：*
  - *禁用 I²C 接口操作时 (ISMK:EN=0)。*
  - *当 SSR:DMA=0 且主机模式接收时 IBCR:INT=1。*
  - *当 SSR:DMA=1 且主机模式接收时 SSR:TBI=1。*
- *本寄存器不能使用读改写指令。*
- *禁止任何超出 FIFO 容 的设置。*
- *如果要在主机模式接收数据（主机模式接收），在将 SMR:TIE 位设置为 "0" 以及设置传送 FIFO 的 FBYTE 寄存器的接收数据计数时，不得将哑数据写入传送数据寄存器 (TDR)。*

第 1-6 章：MFS-I2S 接口

本文说明作为 **MFS-I²S** 接口作为串行音频接口时的功能。

1. **MFS-I²S 概述**
2. **MFS-I²S 接口配置**
3. **数据结构**
4. **MFS-I²S 中断**
5. **MFS-I²S 寄存器**
6. **MFS-I²S 时钟发生器寄存器**
7. **MFS-I²S 接口操作说明**
8. **使用注意事项**

代码：9BFCSIO_FM0-C03.0_FM15C-J05.4

1. MFS-I²S 概述

通过指定帧格式，I²S 接口可作为 I²S 和 MSB 对齐的传送接口。I²S 接口还配备有传送/接收 FIFO (最大容量各 128 字节) *1。

I²S 功能

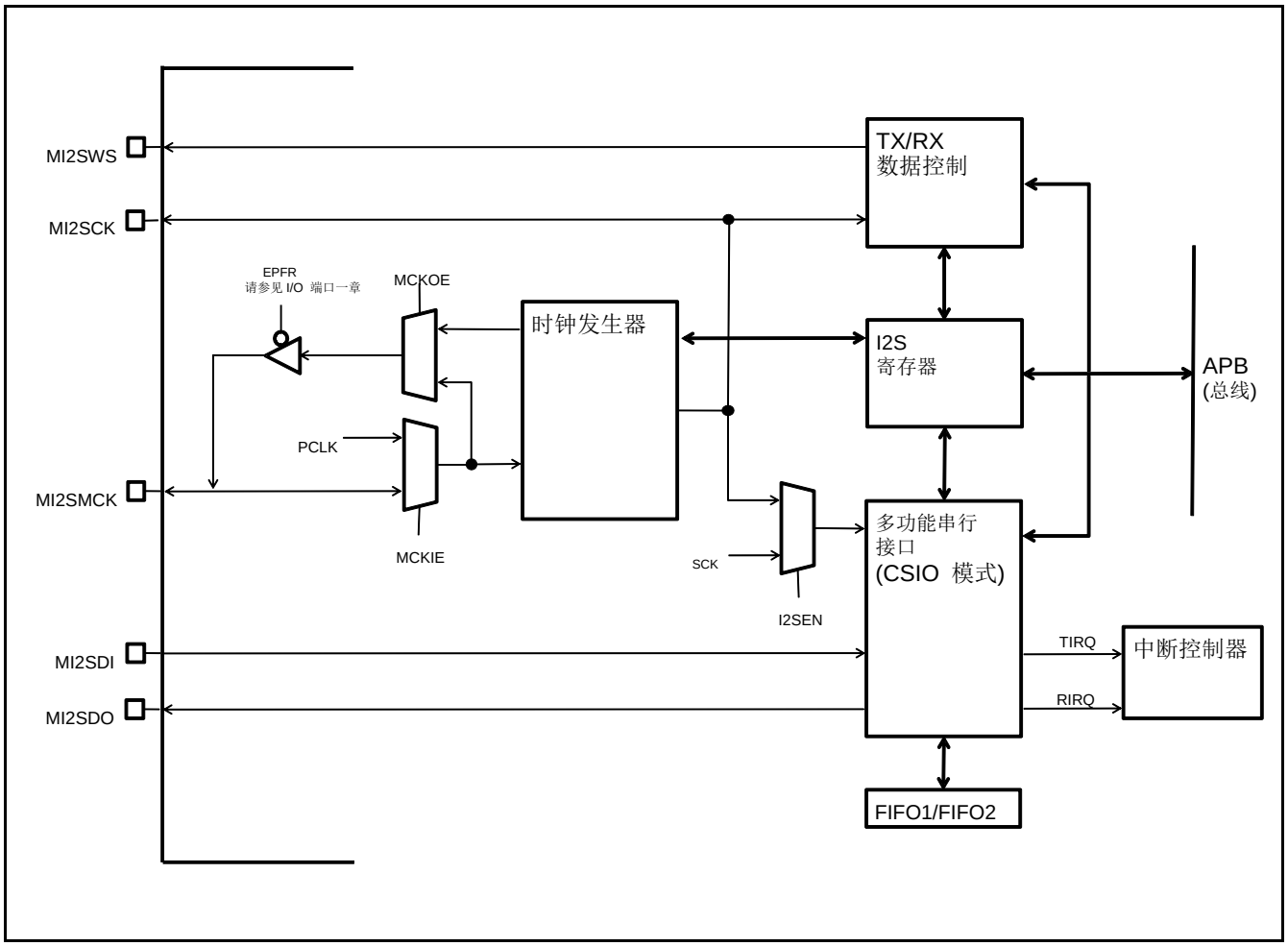
		功能
1	数据缓冲	− 传送/接收 FIFO（最大容量各 128 字节）*1 − **可以通过选择发送操作或接收操作（半双工操作）来完成**
2	传送系统	− 时钟同步 − 主机操作模式
3	音频采样频率	− 8KHz 至 96KHz
4	数据格式	− 支持为 32 位帧内压缩的 16 位数据 − 支持为 16 位帧内压缩的 16 位数据
5	接收错误检测	− 溢出错误
6	中断请求	− 接收中断（接收完成、溢出错误） − 传送 FIFO 中断（传送 FIFO 为空时） − 具有 DSTC（传送/接收）传输支持功能
7	传输模式	− I²S 模式 − MSB 对齐模式
8	时钟	− 可从 pclk 或 MCLK 引脚输入选择 I2SCK 的时钟源 − MCLK 引脚可输出 256 采样频率(I2SWS)的时钟
9	FIFO 选项	− 配有传送/接收 FIFO（最大容量：传送 FIFO 最大 128 字节，接收 FIFO 最大 128 字节） − 独立支持 FIFO 复位。

*：FIFO 容量大小根据产品而异。详细信息请参考数据手册。

2. MFS-I²S 接口配置

CSIO 模块和 FIFO1/FIFO2 属于 MFS 模块。所以本 I²S 功能与相关 MFS 通道复用寄存器和 TIRQ/RIRQ。

Figure2-1 I²S 接口框图

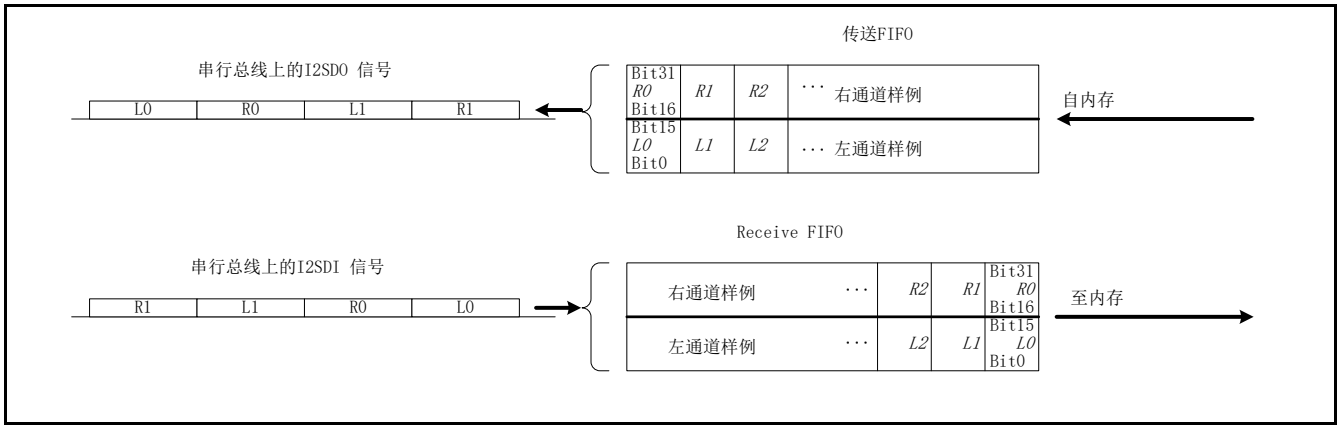


CSIO 模块和 FIFO1/FIFO2 属于 MFS 模块。所以本 I²S 功能与相关 MFS 通道复用寄存器和 TIRQ/RIRQ。

3. 数据结构

- 16 位数据和 16 位帧传送/接收
- 16 位数据和 32 位帧传送/接收

Figure 3–1 数据结构



4. MFS-I²S 中断

I²S 中断包括接收中断和传送中断。这些中断请求在以下情况下产生：

- 接收数据寄存器 (RDR) 中设置接收数据或发生数据接收错误。
- 请求传送 FIFO 数据。

I²S 中断

Table 4-1 列出了 I²S 中断控制位及中断因素。

Table 4-1 I²S 中断控制位和中断因素

中断类型	中断请求标志位	标志寄存器	中断因素	中断因素使能位	清除中断请求标志的操作
接收	RDRF	SSR	接收到的数据量与 FBYTE 的设置值匹配。	SCR:RIE	从接收数据寄存器 (RDR) 读取，直到接收 FIFO 内的数据数小于 FBYTE 的设置值
	ORE	SSR	溢出错误		将接收错误标志清除位 (SSR:REC) 设置为 "1"
传送	FDRQ	FCR1	传送 FIFO 为空。	FCR1:FTIE	FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "0" 或传送 FIFO 已满。

4.1 使用接收 FIFO 时的中断和标志设置时序

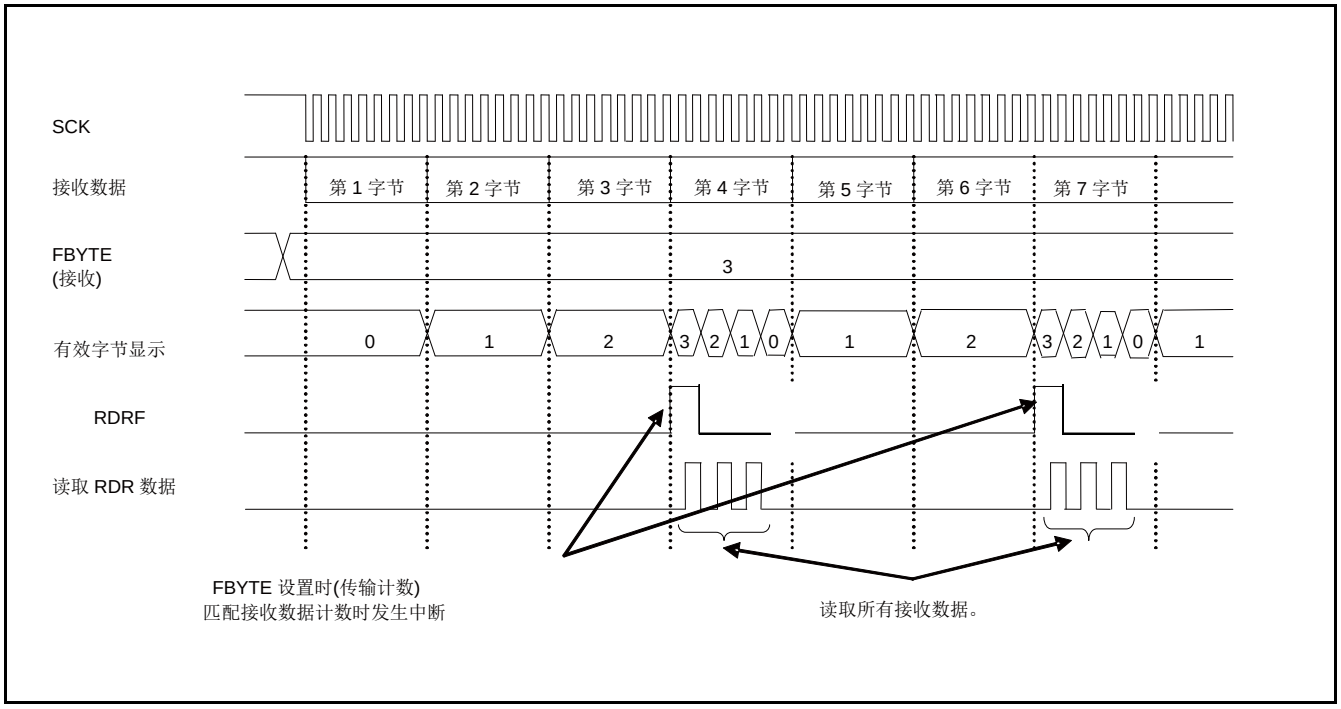
如果使用接收 FIFO，则当接收到 FBYTE 数据（FBYTE 寄存器 (FBYTE) 预设值）时会发生中断。

使用接收 FIFO 时的接收中断和标志设置时序

如果使用接收 FIFO ，中断的发生取决于 FBYTE 寄存器的设置值。

- 当接收到 FBYTE 寄存器中所设置传输计数的数据量时，串行状态寄存器的接收数据已满标志位 (SSR:RDRF) 设置为 "1"。如果在此时使能接收中断 (SCR:RIE) ，则发生接收中断。
- 有效字节小于 FBYTE 寄存器内的计数时，清除接收数据已满标志位 (SSR:RDRF)。

Figure 4-1 使用 FIFO 时的接收中断发生时序



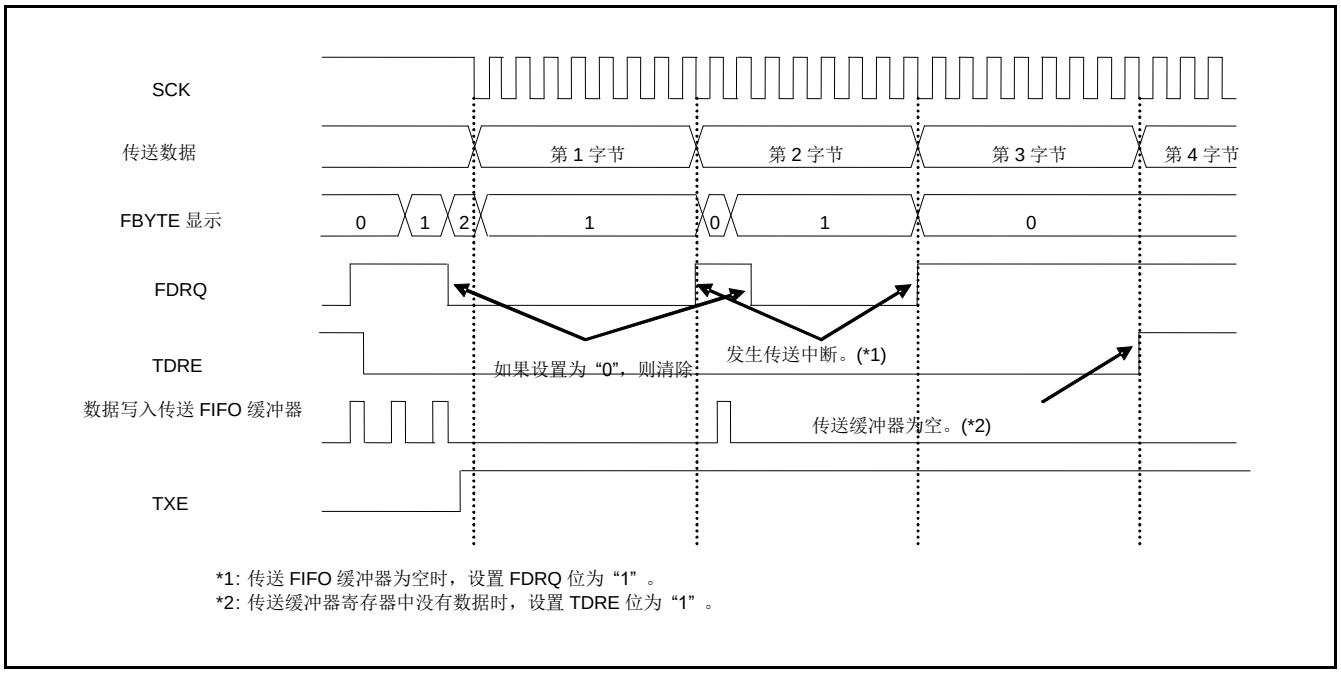
4.2 使用传送 FIFO 时的中断和标志设置时序

使用传送 FIFO 时，如果缓冲器中没有数据，则发生中断。

使用传送 FIFO 时的传送中断和标志设置时序

- 传送 FIFO 没有数据时，FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "1"。
  如果此时使能 FIFO 传送中断 (FCR1:FTIE=1)，则发生传送中断。
- 如果在发生传送中断之后已将所需数据写入传送 FIFO，则通过将 FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "0" 清除中断请求。
- 当传送 FIFO 中数据已满时，FIFO 传送数据请求位 (FCR1:FDRQ) 设置为 "0"。
- 可通过读取 FIFO 字节寄存器 (FBYTE) 检验传送 FIFO 中是否有数据。
  如果 FBYTE=0x00，则说明传送 FIFO 中没有数据。

Figure 4–2 使用传送 FIFO 时的传送中断发生时序



*1: 传送 FIFO 缓冲器为空时，设置 FDRQ 位为 “1” 。
*2: 传送缓冲器寄存器中没有数据时，设置 TDRE 位为 “1” 。

5. MFS-I²S 寄存器

本节提供 I²S 寄存器列表。

Table 5-1 I²S 寄存器表

	bit15 bit8	bit7 bit0
CSIO	SCR（串行控制寄存器）	SMR（串行模式寄存器）
	SSR (串午状态寄存器)	ESCR (扩展通信控制寄存器)
	RDR/TDR（传送/接收数据寄存器）	
FIFO	FCR1（FIFO 控制寄存器 1）	FCR0（FIFO 控制寄存器 0）
	FBYTE2（FIFO2 字节寄存器）	FBYTE1（FIFO1 字节寄存器）

	Bit31 bit24	Bit23 bit16
CSIO	RDR/TDR（传送/接收数据寄存器）	

Table 5-2 I²S 位分配

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	-	RIE	-	-	RXE	TXE	MD2	MD1	MD0	-	-	BDS	-	SOE
SSR/ ESCR	REC	-	-	AWC	ORE	RDRF	TDRE	-	SOP	L3	-	-	-	L2	L1	L0
TDR/ RDR	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
FCR1/ FCR0	-	-	-	-	-	FDRQ	FTIE	FSEL	-	-	-	-	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
TDR/ RDR	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16

5.1 串行控制寄存器 (SCR)

串行控制寄存器 (SCR) 用于使能/禁用传送/接收中断、使能/禁用传送空闲中断以及使能/禁用数据传送和接收。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	UPCL	MS	-	RIE	-	-	RXE	TXE	(SMR)
属性	R/W	R/W	-	R/W	-	-	R/W	R/W	
初始值	0	0	-	0	-	-	0	0	

[bit15] UPCL：可编程清除位

初始化 CSIO 内部状态。

如果设置为 1 时：

- 直接复位 CSIO（软件复位），但保持当前寄存器设置。传送或接收状态立即断开。
- 除 SSR:RDRF 以外，初始化所有传送/接收中断因素 (SSR:TDRE,ORE) 。

如果设置为 0 时：

对操作无效。

此位读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	可编程清除	

注意事项：

- *首先禁用中断，然后执行可编程清除指令。*
- *使用 FIFO 操作时，首先禁用 FIFO 操作 (FCR0:FE[2:1]=00)，然后再执行可编程清除指令。*

[bit14] MS：主机/从机功能选择位

选择主机或从机模式。

位	描述
0	主机模式
1	从机模式

注意事项：

- *I^2S 模式时应设置 MS 位为 1。*

[bit13] -：未使用位

读取值为 "0"。确保写入 "0"。

[bit12] RIE：接收中断使能位

此位使能或禁用输出接收中断请求至 CPU。

如果 RIE 位和接收数据标志位 (SSR:RDRF) 设置为 "1" 时，或者任何错误标志位 (ORE) 为 "1" 时，输出接收中断请求。

位	描述
0	禁用接收中断。
1	使能接收中断。

[bit11:10] -：未使用位

读取值为 "0"。确保写入 "0"。

[bit9] RXE：数据接收使能位

使能或禁用 I²S 数据接收。

位	描述
0	禁用数据接收。
1	使能数据接收。

注意事项：

- *设置 MS 位之后，使能数据接收 (RXE=1)。*

[bit8] TXE：数据传送使能位

使能或禁用 I²S 数据传送。

位	描述
0	禁用传送。
1	使能传送。

5.2 串行模式寄存器 (SMR)

串行模式寄存器(SMR)用于选择操作模式，设置传送方向、数据长度以及串行时钟反向，并用于使能或禁用输出串行数据和时钟至各自的引脚。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(SCR)	MD2	MD1	MD0	-	-	BDS	-	SOE
属性		R/W	R/W	R/W	-	-	R/W	-	R/W
初始值		0	0	0	-	-	0	-	0

[bit7:5] MD2, MD1, MD0：操作模式设置位

这些位设置操作模式。

"0b000"：设置操作模式 0（异步正常模式）。
"0b001"：设置操作模式 1（异步多处理器模式）。
"0b010"：设置操作模式 2（时钟同步模式）。
"0b011"：设置操作模式 3（LIN 通信模式）。
"0b100"：设置操作模式 4（I^2C 模式）。

* 本章说明操作模式 2 （时钟同步模式）的寄存器及其操作。

bit7	bit6	bit5	描述
0	0	0	操作模式 0（异步正常模式）
0	0	1	操作模式 1（异步多处理器模式）
0	1	0	操作模式 2（时钟同步模式）
0	1	1	操作模式 3（LIN 通信模式）
1	0	0	操作模式 4（I^2C 模式）
上述值以外的值			禁止设置。

注意事项：

- *禁止上述表中设置之外的任何位设置。*
- *转换当前操作模式时，发出可编程清除指令 (SCR:UPCL=1)并连续转换操作模式。*
- *设置操作模式后，正确设置各寄存器。*
- *I^2S 模式时，请设置这些位为"0b010"，作为时钟同步模式。*

[bit4:3] -：未使用位

读取值为 "0"。确保写入 "0"。

[bit2] BDS：传输方向选择位

指定优先传输串行数据的最低有效位（LSB 优先；BDS=0）或优先传输最高有效位（MSB 优先；BDS=1）。此位用于主机模式下 (SCR:MS=0) 使能芯片选择时芯片选择引脚 0 的通信。

位	描述
0	LSB 优先（最低有效位优先传输。）
1	MSB 优先（最高有效位优先传输。）

注意事项：

- *禁用传送和接收 (SCR:TXE=RXE=0)时总是设置此位。*
- *I^2S 模式时，请设置此位为MSB 优先模式。*

[bit1] -：未使用位

读取值为 "0"。确保写入 "0"。

[bit0] SOE：串行数据输出使能位

此位使能或禁用串行数据输出。

位	描述
0	禁用串行数据输出。
1	使能串行数据输出。

注意事项：

- *此位用作 SOT 引脚时，也必须设置 GPIO。*

5.3 串行状态寄存器 (SSR)

串行状态寄存器 (SSR) 用于检查当前传送/接收状态，检查接收错误标志并清除接收错误标志。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	REC	-	-	AWC	ORE	RDRF	TDRE	-	(ESCR)
属性	R/W	-	-	R/W	R	R	R	-	
初始值	0	-	-	0	0	0	1	-	

[bit15] REC：接收错误标志清除位

此位清除串行状态寄存器 (SSR) 的 ORE 标志。

- 此位设置为 "1" 时，清除错误标志。
- 此位设置为 "0" 时对操作无效。

读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	清除接收错误标志 (FRE 和 ORE)。	

[bit14:13]-：未使用位

读取时这些位的值未定义。

这些位写入时对操作无效。

[bit12] AWC：FIFO 访问宽度设置

此位确定 FIFO 的访问宽度

- 如果此位为 0，RDR/TDR 寄存器的宽度为 16 位。
- 如果此位为 1，RDR/TDR 寄存器的宽度为 32 位。

位	描述
0	16 位访问
1	32 位访问

注意事项：

- *设置此位为 1 时，RDR/TDR 寄存器只能通过字操作访问。*
- *I^2S 模式时，请设置此位为 1。*

[bit11] ORE：溢出错误标志位

- 数据接收过程中发生溢出时，此位设置为 "1"。串行状态寄存器 (SSR) 的 REC 位设置为 "1" 时，清除此位。
- ORE 位和 SCR:RIE 位为 "1" 时，输出接收中断请求。
- 如果设置此标志，则接收数据寄存器 (RDR) 中的数据无效。
- 如果在使用接收 FIFO 时设置此标志，接收 FIFO 使能位会被清除且接收数据不储存在接收 FIFO 中。

位	描述
0	未发生溢出错误。
1	发生溢出错误。

[bit10] RDRF：接收数据已满标志位

- 此标志显示的是接收数据寄存器 (RDR) 的状态。
- 接收数据载入 RDR 时，此位设置为 "1"。从接收数据寄存器 (RDR) 读取数据时，此位被清除为 "0"。
- RDRF 位和 SCR:RIE 位为 "1" 时，输出接收中断请求。
- 如果使用接收 FIFO ，则当接收 FIFO 中接收到预设数据量时， RDRF 位设置为 "1"。
- 如果使用接收 FIFO 且 FIFO 中包括的数据小于预设量将预设量(FBYTE)，此位清除为 "0"。
- 复位接收 FIFO 后将清除 RDRF 标志位。

位	描述
0	接收数据寄存器 (RDR) 为空。
1	接收数据寄存器 (RDR) 中有数据。

[bit9] TDRE：传输数据空标志位

- 此标志显示的是传送数据寄存器 (TDR) 的状态。
- 传送数据写入 TDR 时，此位设置为 "0"，表明 TDR 中存在有效数据。数据载入传送移位寄存器且传送启动时，此位设置为 "1"，表明 TDR 中不存在有效数据。
- 串行控制寄存器 (SCR) 的 UPCL 位设置为 "1" 时，TDRE 位设置为 "1"。
- 使用传送 FIFO 时 TDRE 位设置/复位时序的相关信息，参见 "4.2 使用传送 FIFO 时的中断和标志设置时序 "。

位	描述
0	传送数据寄存器 (TDR) 中有数据。
1	传送数据寄存器 (TDR) 为空。

[bit8] −：未使用位

读取时此位值未定义。
此位写入时对操作无效。

5.4 扩展通信控制寄存器 (ESCR)

扩展通信控制寄存器 (ESCR) 用于设置传送/接收数据长度并将串行数据输出固定为 "HIGH" 状态。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	-	SOP	L3	-	-	-	L2	L1	L0
属性		R/W	R/W	-	-	-	R/W	R/W	R/W
初始值		0	0	-	-	-	0	0	0

[bit7] SOP：串行输出引脚设置位

- 此位设置串行数据输出引脚为 "HIGH" 状态。此位设置为 "1" 时，SOT 引脚设置为 "HIGH"。之后，不需要将此位设置为 "0"。
- 读取此位时，读取值总为 "0"。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	将 SOT 引脚设置为 "HIGH" 状态。	

注意事项：

- *不得在串行数据传送过程中设置此位。*

[bit5:3] -：未使用位

读取值为 "0"。确保写入 "0"。

[bit6, bit2:0]L3, L2, L1, L0：数据长度选择位

这些位设置传送/接收数据的长度。

L3	L2	L1	L0	描述
1	1	1	1	32 位长度

注意事项：

- *I^2S 模式时，请设置这些位为 4'b1111。*

5.5 接收数据寄存器/传送数据寄存器 (RDR/TDR)

接收数据寄存器和传输数据寄存器分配在相同地址。从本寄存器读取数据时，本寄存器用作接收数据寄存器。写入数据时，本寄存器用作传输数据寄存器。

接收数据寄存器 (RDR)

位	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
字段	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
属性	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

接收数据寄存器 (RDR) 是用于串行数据接收的 32 位(SSR:AWC=1)数据缓冲寄存器。

- 串行数据信号发送至串行输入引脚 (SIN) 时，通过移位寄存器转换并储存在接收数据寄存器 (RDR) 中。
- 考虑到数据长度，将接收到数据的较低位储存，而其它位设置为“0”。例如：“0x0045”以 16 位数据长度接收，所以 D7 ~ D0 =“0x45”，D31 ~ D8 =0。
- 接收到的数据存入接收数据寄存器 (RDR) 后，接收数据已满标志位 (SSR:RDRF) 设置为 "1"。如果使能接收中断 (SCR:RIE=1)时，产生接收中断请求。
- 只有在接收数据已满标志位 (SSR:RDRF) 为 "1" 时才读取接收数据寄存器 (RDR)。从串行接收数据寄存器 (RDR) 读取数据后，接收数据已满标志位 (SSR:RDRF) 自动清除为 "0"。
- 如果发生接收错误 (SSR:ORE)，接收数据寄存器 (RDR) 中的数据无效。

注意事项：

- *如果使用接收 FIFO 且接收 FIFO 接收到一定计数的数据时，RDRF 位设置为 "1"。*
- *如果使用接收 FIFO 且发生接收错误 (SSR:ORE)，则清除接收 FIFO 使能位会且接收到的数据不存入接收 FIFO。*

传送数据寄存器 (TDR)

位	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
字段	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
属性	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初始值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初始值	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

传送数据寄存器 (TDR)是用于串行数据传送的 32 位(SSR:AWC=1)数据缓冲寄存器。

- 如果使能数据传送 (SCR:TXE=1) 并将传送数据写入传送数据寄存器 (TDR) ，则将传送数据传输至传送移位寄存器。然后数据被转换为串行数据并输出串行数据输出引脚 (SOT)。
- 考虑到数据长度，将接收到数据的较低位储存，其它位无效。例如：“0x0045”以 8 位数据长度接收，所以 D7 ~ D0 =“0x45”，D31 ~ D8 =0。
- 当传送数据写入传送数据寄存器 (TDR) 后，传送数据空标志 (SSR:TDRE) 被清除为 "0"。
- 传送数据传输至传送移位寄存器并启动数据传送后，如果禁用传送 FIFO 或传送 FIFO 为空，则传送数据空标志 (SSR:TDRE) 设置为 "1"。
- 如果传送数据空标志 (SSR:TDRE) 为 "1" ，下一个传送数据可写入缓冲器。如果使能传送中断，则会发生传送中断。只有在传送中断发生后或当传送数据空标志 (SSR:TDRE) 为 "1" 时才能写入下一个传送数据。
- 如果传送数据空标志 (SSR:TDRE) 为 "0" 且传送 FIFO 被禁用或传送 FIFO 已满，则传送数据不能写入传送数据寄存器 (TDR)。

注意事项：

- *传送数据寄存器为只写寄存器；接收数据寄存器为只读寄存器。由于这两个寄存器分配在同一个地址，所以写入值和读取值互不相同。因此，不能使用 INC/DEC 指令和其它读改写 (RMW) 操作。*

- 有关使用传送 FIFO 时的传送数据空标志 (SSR:TDRE) 设置时序，参见 "4.2 使用传送 FIFO 时的中断和标志设置时序"。

5.6 FIFO 控制寄存器 1 (FCR1)

FIFO 控制寄存器 (FCR1) 用于设置 FIFO 测试、选择传送 FIFO 或接收 FIFO、使能传送 FIFO 中断并控制中断标志。

位	15	14	13	12	11	10	9	8	7	...	0
字段	Reserved			-	-	FDRQ	FTIE	FSEL	(FCR0)		
属性	-	-	-	-	-	R/W	R/W	R/W			
初始值	-	-	-	-	-	1	0	0			

[bit15:13] 保留：保留位
读取值为 "0"。确保写入 "0"。

[bit12:11] -：未使用位
读取值为 "0"。确保写入 "0"。

[bit10] FDRQ：传送 FIFO 数据请求位
此位请求传送 FIFO 数据。
如果此位为"1"，表示正在请求传送数据。如果此时使能传送 FIFO 中断 (FTIE=1)，则会输出传送 FIFO 中断请求。

在下列条件下设置 FDRQ 位：

- FBYTE （传送）为 "0" （传送 FIFO 为空）。
- 传送 FIFO 复位。

下列情况下 FDRQ 位复位：

- 此位设置为 "0"。
- 传送 FIFO 中数据已满。

位	描述
0	不请求传送 FIFO 数据。
1	请求传送 FIFO 数据。

注意事项：

- *FBYTE （传送）为 "0" 时，此位不能设置为 "0"。*
- *此位为 "0" 时，不能变更 FSEL 位状态。*
- *此位设置为 "1" 时对操作无效。*
- *如果发出读改写指令，读取值为 1。*

[bit9] FTIE：传送 FIFO 中断使能位

此位使能传送 FIFO 中断。如果此位设置为 "1"，则当 FDRQ 位设置成 "1" 时会发生中断。

位	描述
0	禁用传送 FIFO 中断。
1	使能传送 FIFO 中断。

[bit8] FSEL：FIFO 选择位

此位选择传送 FIFO 或接收 FIFO。

位	描述
0	传送 FIFO:FIFO1；接收 FIFO:FIFO2
1	传送 FIFO:FIFO2；接收 FIFO:FIFO1

注意事项：

- *不能通过 FIFO 复位 (FCR0:FCL[2:1]=11) 清除此位。*
- *变更此位的状态时，应先禁用 FIFO 操作 (FCR0:FE[2:1]=00)。*
- *I^2S 模式时，请保持此位为 0。*

5.7 FIFO 控制寄存器 0 (FCR0)

FIFO 控制寄存器 0 (FCR0) 用于使能/禁用 FIFO 操作、复位 FIFO、保存读取指针并设置数据重传。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(FCR1)	-	-	-	-	FCL2	FCL1	FE2	FE1
属性		-	-	-	-	R/W	R/W	R/W	R/W
初始值		-	-	-	-	0	0	0	0

[bit7] - ：未使用位
读取值总为 "0"。
必须写入 "0" 。

[bit6] -：未使用位
读取时这些位的值未定义。
这些位写入时对操作无效。

[bit5:4]−：未使用位
读取值总为 "0"。
必须写入 "0" 。

[bit3] FCL2：FIFO2 重置位
此位重置 FIFO2 的值。
此位设置为 "1" 时，会初始化 FIFO2 的内部状态。
只有 FCR1:FLST2 位被初始化，但要保持 FCR1/FCR0 寄存器的其他位。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	重置 FIFO2。	

注意事项：
- *先禁用数据传送和接收，然后再复位 FIFO2。*
- *执行前，将传送 FIFO 中断使能位设为 "0"。*
- *将 FBYTE2 寄存器的有效数据计数设为 "0"。*

[bit2] FCL1：FIFO1 重置位
此位复位 FIFO1 值。
此位设置为 "1" 时，会初始化 FIFO1 的内部状态。
只有 FCR1:FLST1 位被初始化，但要保持 FCR1/FCR0 寄存器的其他位。

位	描述	
	写入时	读取时
0	对操作无效。	读取值总为 "0"。
1	复位 FIFO1。	

注意事项：
- *首先禁用传送和接收，然后再复位 FIFO1。*
- *执行前，将传送 FIFO 中断使能位设为 "0"。*
- *将 FBYTE1 寄存器的有效数据计数设为 "0"。*

[bit1] FE2：FIFO2 操作使能位

此位使能或禁用 FIFO2 操作。

- 使用 FIFO2 操作时，将此位设为 "1"。
- 如果 FIFO2 设置为传送 FIFO (FCR1:FSEL=1) 且此位设为 "1" 时 FIFO2 中存在数据，则在使能 UART 传送数据 (SCR:TXE=1) 时，会立即启动数据传送。此时，将 SCR:TIE 位和 SCR:TBIE 位都设置为 "0"。然后，将此位设置为 "1" 并将 SCR:TIE 位和 SCR:TBIE 位都设置为 "1"。
- 如果 FSEL 位选择接收 FIFO 且发生接收错误，此位会被清除为 "0"在接收错误被清除前不能将此位设置为 "1"。
- 如果 FIFO2 用作传送 FIFO，则必须在传送缓冲器为空 (SSR:TDRE=1) 时将此位设置为 "1" 或 "0"。
- 如果 FIFO2 用作接收 FIFO，则必须在禁用接收后 (SCR:RXE=0) 当接收缓冲器为空 (SSR:RDRF=0) 且接收 FIFO 中不存在有效数据 (FBYTE2=0x00) 时将此位设置为 "0"。
- 如果 FIFO2 用作接收 FIFO ，必须在禁用接收后 (SCR:RXE=0) 当接收缓冲器为空时 (SSR:RDRF=0) 将此位设置为 "1"。
- 即使禁用 FIFO2 操作，仍然保持 FIFO2 的状态。

位	描述
0	禁用 FIFO2 操作。
1	使能 FIFO2 操作。

[bit0] FE1：FIFO1 操作使能位

此位使能或禁用 FIFO1 操作。

- 使用 FIFO1 操作时，将此位设为 "1"。
- 如果 FIFO1 设置为传送 FIFO (FCR1:FSEL=0)，且此位设为 "1" 时 FIFO1 中有数据，则在使能 UART 传送数据 (SCR:TXE=1) 后会立即启动数据传送。此时，将 SCR:TIE 位和 SCR:TBIE 位都设置为 "0"。然后，将此位设置为 "1" 并将 TIE 位和 TBIE 位都设置为 "1"。
- 如果 FSEL 位选择接收 FIFO 且发生接收错误，此位会被清除为 "0"在接收错误被清除前不能将此位设置为 "1"。
- 如果 FIFO1 用作传送 FIFO，则在传送缓冲器为空 (SSR:TDRE=1) 时，此位必须设置为 "1" 或 "0"。
- 如果 FIFO1 用作接收 FIFO，则在禁用接收后 (SCR:RXE=0) 接收缓冲器为空 (SSR:RDRF=0) 且接收 FIFO 中不存在有效数据 (FBYTE1=0x00) 时，此位必须设置为 "0"。
- 当 FIFO1 用作接收 FIFO 时，必须在禁用接收后 (SCR:RXE=0)，当接收缓冲器为空时 (SSR:RDRF=0) 将此位设置为 "1"。
- 即使禁用 FIFO1 操作，仍然保持 FIFO1 的状态。

位	描述
0	禁用 FIFO1 操作。
1	使能 FIFO1 操作。

5.8 FIFO 字节寄存器 (FBYTE)

FIFO 字节寄存器 (FBYTE) 指示 FIFO 缓冲器中的有效数据计数。

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE 寄存器指示 FIFO 的有效数据计数。下表列出了 FCR1:FSEL 位的设置。

Table 5-3 显示数据计数

FCR1:FSEL	FIFO 选择	字节计数显示
0	FIFO2：接收 FIFO；FIFO1：传送 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2：传送 FIFO；FIFO1：接收 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE 寄存器的数据传输计数初始值为 "0x08"。
- 设置数据计数，生成接收 FIFO 的 FBYTE 寄存器的接收中断标志。如果此传输数据计数与 FBYTE 寄存器的显示相匹配，则接收数据已满标志位 (RDRF) 设置为 "1"。

[bit15:8] FBYTE2：FIFO2 数据计数显示位

[bit7:0] FBYTE1：FIFO1 数据计数显示位

写入	设置传输数据计数。
读取	读取有效数据计数。

读取（有效数据计数）

传送时： 已写入 FIFO 但尚未传送的数据设置数量
接收时： 数据量接收到 FIFO 中。

写入（传输数据计数）

传送时： 设置 "0x00"。
接收时： 设置产生接收中断的数据计数。

Table 5−4 保存在 FIFO 中的数据计数

FIFO 容量	数据长度	最大 FBYTE 计数	要保存的数据计数
16 字节	5 ~ 16 位	8	8
32 字节	5 ~ 16 位	16	16
64 字节	5 ~ 16 位	32	32
128 字节	5 ~ 16 位	64	64
128 字节	32 位	32	32

注意事项：

- *除了主机模式时接收数据以外，传送 FIFO 的 FBYTE 寄存器必须为 "0x00"。*
- *在主机模式接收数据过程中，只有当传送 FIFO 为空且 SCR:TIE 位和 SSR:TBIE 位都设置为 "0" 时才必须设置传送数据计数。*
- *如果要在主机模式下正在接收数据时禁用接收 (SCR:RXE=0)，应先禁用传送 FIFO，然后再禁用传送和接收。*
- *接收 FIFO 的 FBYTE 位必须设置为 "1" 或更大值。*
- *只能在禁用数据接收后才能改变接收 FIFO 的 FBYTE 数据。*
- *本寄存器不能使用读改写指令。*
- *禁止任何超出 FIFO 容量的设置。*
- *如果在 I²S 模式设置数据计数以产生接收中断，则不能超过此值(最大 FBYTE 计数– 2)。*

6. MFS-I²S 时钟发生器寄存器

本节提供 I²S 时钟发生器寄存器列表。

Table 6-1I²S 时钟发生器寄存器表

	bit15 bit8	bit7 bit0
I²S 时钟发生器	CNTL (I²S 控制寄存器)	
	I2SCLK (I²S 时钟设置寄存器)	
	I2SST (I²S 状态寄存器)	I2SRST (I²S 复位寄存器)

6.1 控制寄存器(CNTLREG)

这是 I²S 的控制寄存器。

位	15	14	13	12	11	10	9	8
字段	-	-	-	-	-	I2SRUN	-	MSKB
属性	-	-	-	-	-	R/W	-	R/W
初始值	-	-	-	-	-	0	-	0

位	7	6	5	4	3	2	1	0
字段	-	CKOE	I2SEN	FSPL	I2SMOD	-	DATAL	FRAML
属性	-	R/W	R/W	R/W	R/W	-	R/W	R/W
初始值	-	0	0	0	0	-	0	1

[bit15] -：未使用位
读取值总为 "0"。
必须写入 "0" 。

[bit14:11]-：未使用位
读取时这些位的值未定义。
这些位写入时对操作无效。

[bit10] I2SRUN：I²S 时钟发生使能
此位使能或禁用 I²S 的内部时钟发生。

位	描述
0	禁用 I²S 时钟发生器。
1	使能 I²S 时钟发生器。

[bit9] −：未使用位
读取值总为 "0"。
必须写入 "0" 。

[bit8] MSKB：屏蔽位输出
此位设置无效传送帧的串行输出数据。
如果在输出帧同步信号时传送 FIFO 为空，MSKB 以自由运行模式输出。
而且，如果传送字长度短于通道长度，则超出位需要驱动 MSKB。

位	描述
0	输出 0。
1	输出 1。

[bit7] - ：未使用位
读取时此位值未定义。
此位写入时对操作无效。

[bit6] CKOE：MI2SCK 和 MI2SWS(帧同步信号) 输出使能信号

时钟输出使能位。

位	描述
0	MI2SCK 和 MI2SWS 输出禁用。
1	MI2SCK 和 MI2SWS 输出使能。

[bit5] I2SEN： I^2S 模式使能

此位强制执行 I^2S 模式的 CSIO 模块工作。

位	描述
0	禁用 I^2S 外设，对应 MFS 通道用作 MFS。
1	使能 I^2S 外设，对应 MFS 通道用作 I^2S。

[bit4] FSPL：I2SWS 极性设置

此位设置 I2SWS 输出的极性。

- 如果 I^2S 模块设置为 I^2S Philips 标准模式，请保持此位为 0。
- 如果 I^2S 模块设置为 MSB 对齐标准模式，请保持此位为 1。

位	描述
0	空闲时为“1”，左通道时为“0”。
1	空闲时为“0”，左通道时为“1”。

[bit3] I2SMOD：I^2S 模式选择

此位设置 I^2S 的传送模式。

有关这些模式的详细信息，参见"8.3 MFS-I^2S 和 MSB 对齐协议 "。

位	描述
0	I^2S Philips 标准。
1	MSB 对齐标准。

[bit2] -：未使用位

读取时此位值未定义。

此位写入时对操作无效。

[bit1] -：未使用位

读取值总为 "0"。

必须写入 "0" 。

[bit0] FRAML：帧长度选择

此位设置数据格式。

Bit0	描述
0	16 位数据和 16 位帧。
1	16 位数据和 32 位帧。

6.2 MFS-I²S 时钟寄存器 (I2SCLK)

这是 I²S 的时钟寄存器。

位	15	14	13	12	11	10	9	8
字段	MCKIE	MCKOE	-	-	-	-	-	-
属性	R/W	R/W	-	-	-	-	-	-
初始值	0	0	-	-	-	-	-	-

位	7	6	5	4	3	2	1	0
字段	I2SDIV[7:0]							
属性	R/W							
初始值	0x00							

[bit15] MCKIE：主时钟输入使能

此位选择 I2SCK 的时钟输出。

位	描述
0	APB 时钟(PCLK) 用作分频器的源时钟。
1	主时钟(从 MI2SMCK 引脚输入) 用作分频器的源时钟。

[bit14] MCKOE：主时钟输出使能

此位使能输出某种频率的内部时钟。

位	描述
0	MI2SMCK 输出为分频时钟。由 I2SDIV 分频
1	MI2SMCK 输出或者为 APB 时钟(PCLK)，或者为 MI2SMCK 输入的时钟。由 MCKIE 选择

注意事项：

- *不能把 MCKIE 和 MCKOE 都设置为 1。*

[bit13:8] - ：未使用位

读取时此位值未定义。

此位写入时对操作无效。

[bit7:0] I2SDIV：I²S 时钟分频设置

这些位设置 I2SCK 频率。

bit7:0	描述
0x00	旁通。
0x01	1/2 输入时钟。
0x02	1/4 输入时钟。
0x03	1/6 输入时钟。
…	…
0xFE	1/508 输入时钟。
0xFF	1/510 输入时钟。

- 如果 MCKIE = 0，则频率 I2SCK = 频率 PCLK/(I2SDIV x 2)。
- 如果 MCKIE = 0，FRAML = 0，则频率 I2SCK = 频率 PCLK/(I2SDIV x 2 x 8)。
- 如果 MCKIE = 0，FRAML = 1，则频率 I2SCK = 频率 PCLK/(I2SDIV x 2 x 4)。

注意事项：

- *频率限制 I2SCK: PCLK >= 4 * I2SCK。*

6.3 MFS-I²S 状态寄存器 (I2SST)

这是 I²S 的状态寄存器。

位	15	14	13	12	11	10	9	8	7 ... 0
字段	-	-	-	-	-	-	BUSY	CKSTP	(I2SRST)
属性	-	-	-	-	-	-	R	R	
初始值	-	-	-	-	-	-	0	0	

[bit15:10] -：未使用位

读取时此位值未定义。

此位写入时对操作无效。

[bit9] BUSY：传送时的总线忙碌指示

此位指示 I²S 总线在传送数据。

位	描述
0	总线没有传输数据。
1	正在传输数据。

[bit8] CKSTP：时钟停止指示

此位指示在 CNTLREG:I2SRUN 位设置为 0 后停止 MI2SCK 输出。

位	描述
0	停止 MI2SCK 输出。
1	MI2SCK 输出正在运行。

6.4 MFS-I²S 复位寄存器 (I2SRST)

这是 I²S 的软件复位寄存器。

位	15 ... 8	7	6	5	4	3	2	1	0
字段	(I2SST)	I2SRST							
属性		W	W	W	W	W	W	W	W
初始值		0	0	0	0	0	0	0	0

[bit7:0] I2SRST：I²S 软件复位

- 写入 0xA5，产生软件复位，以复位内部状态和标志信号。
- 写入 0xA5 之外的值，无操作。
- 读取数据总是 be 0x00。

7. MFS-I²S 接口操作说明

7.1 时钟和帧同步信号

时钟

- 传送时钟和接收时钟从 MI2SCK 产生。
- 主机模式时，内部时钟 (APB 总线时钟) 或外部时钟 (MI2SMCK 输入)分频产生 MI2SCK。CNTLREG:I2SRUN 位设置为 "1" 时通过内部 CPU 操作时钟分频。I2SRUN 位设置为 "0"时停止 MI2SCK 输出。通过设置 I2SCLK:MCKIE 位选择基本时钟分频器(1: 外部, 0: 内部)。输出的 MI2SCK 极性不能保留。有关时钟分频比设置，详见"6.2 MFS-I²S 时钟寄存器 (I2SCLK)"中 I2SDIV[7:0]的说明。

帧同步信号(I2SWS)

帧同步信号产生周期的确定涉及到自由运行模式 (CNTREG : FRUN = 1)、帧配置以及 OVERHEAD 位。

只有在传送 FIFO 中包含有传送帧数据或接收 FIFO 未满时才能输出帧同步信号。

帧同步信号设置详见 "6.1 控制寄存器(CNTLREG) "。

7.2 传输启动和停止操作

Table 7−1 主机模式的传送

操作	主机模式传送
启动	当 I2SRUN 位为 "1" 且 TXE 位为 "1"时如果传送 FIFO 为空，则输出帧同步信号。在一帧输出结束时或空闲时连续检验传送 FIFO 状态是，并在传送 FIFO 不为空时输出帧同步信号(I2SWS) 。
停止	当 I2SRUN 位保持为 "1" 时： 当 TXE 为 "1"时： 传送 FIFO 变为空后不输出帧同步信号。
	当 TXE 为 "0"时： 当 "0" 写入 TXE，在当前对(左数据帧和右数据帧)数据传送结束后，会停止帧同步信号。
	当 I2SRUN 位设置为 "0"时： "0" 写入 I2SRUN 位。 无论 TXE 如何设置都停止向串行控制单元提供时钟，甚至不向外部单元输出时钟。帧同步信号输出也停止。

Table 7-2 主机模式接收

操作	主机模式接收
启动	I2SRUN 设置为 "1" 且 RXE 位设置为"1"后，如果接收 FIFO 未满，则输出帧同步信号并接收帧。接收 FIFO 已满时不输出帧同步信号。
停止	当 I2SRUN 位保持为 "1"时： "0" 写入 RXE。 在当前对(左数据帧和右数据帧)数据接收结束后，会停止帧同步信号。
	当 I2SRUN 位设置为 "0"时： "0" 写入 I2SRUN 位。 无论 RXE 如何设置都停止向串行控制单元提供时钟，并停止 I2SCK 输出至外部单元。帧同步信号输出也停止。

8. 使用注意事项

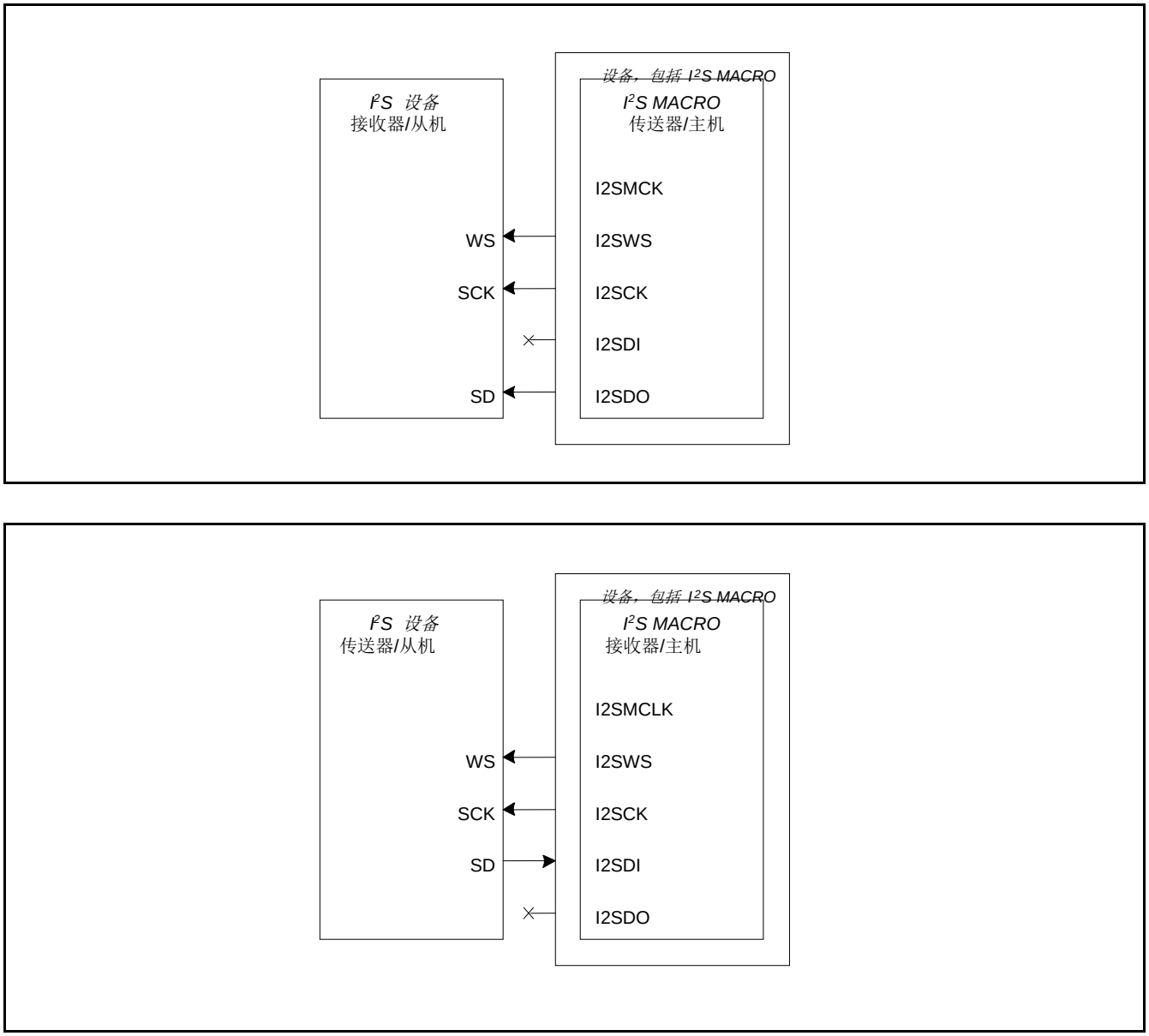
8.1 连接图

Figure 8-1 为连接图。MCU 中，设备包括 I²S 宏。

上图为主机模式的传送。

下图为主机模式的接收。

Figure 8-1 外部连接图



8.2 初始化进程

1. I²S 模式使能位设置为 1 (CNTLREG:I2SEN)
2. BCLK 频率设置(I2SCLK: I2SDIV)
3. 主时钟输入设置（如需要） (I2SCLK:MCKE)
4. I²S 模式设置，I²S 模式或 MSB 对齐模式，自由运行模式或突发模式 (CNTLREG:I2SMOD, CNTLREG:FRUN)
5. 数据长度、帧长度设置(CNTLREG:DATAL, CNTLREG:FRAML)
6. 设置 MFS 模式为 CSIO、从机模式、传送使能/接收使能
7. 设置 MFS 的通信数据长度
8. DSTC 传输设置
9. MFS 的中断设置
10. 产生 I²S 软件复位设置 I²S 时钟使能位(CNTLREG:I2SRUN)

注意事项：

- *应首先设置 CNTLREG:I2SEN 位，然后在结束时总是使能 CNTLREG:I2SRUN 位。*

8.3 MFS-I²S 和 MSB 对齐协议

I²S (内置电路控制的缩写) 是 Philips 半导体公司推荐的数字式立体音响的协议。SCK 和 WS 通过主机在 I²S 总线上输出。可使用主机的专用控制器，传送和接收用的 I²S 设备也可用为主机。主机从 PCM 数据的 MSB 输出串行数据。字选择 (WS) 信号指示发送数据使用的哪个通道。当 WS 设置为 "0"时，这表示左通道，而设置为 "1"时则指示右通道。通道数据的 MSB 从 WS 的过渡点恒定延迟一个时钟。总是在 SCK 的上升沿执行数据采样。总是在 SCK 的下降沿执行串行数据和 WS 输出。

注意事项：

- *I²S 不是通过写入和读取寄存器等方式控制音频代码设备的协议。所以，支持 I²S 的代码设备通常提供设备控制的独立接口。*
  MSB 对齐协议与 I²S 相同。WS 过渡点以及串行数据 MSB 同时发生。WS 为"1" 时指示左通道，为 "0"时指示右通道。

I²S 和 MSB 对齐总线信号	
SCK	连续串行时钟
WS	字选择
SD	串行数据

Figure 8-2 I²S 数据格式

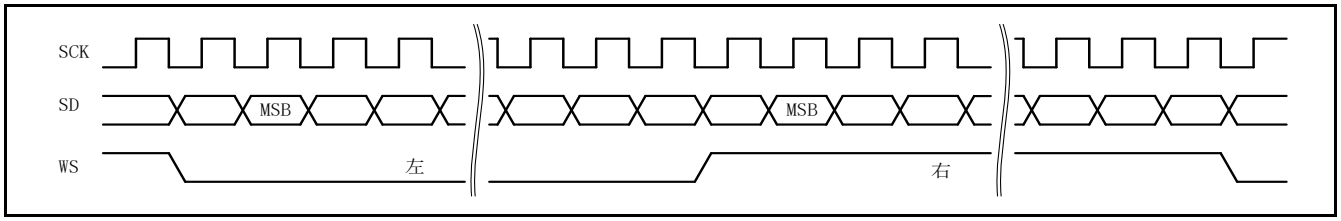
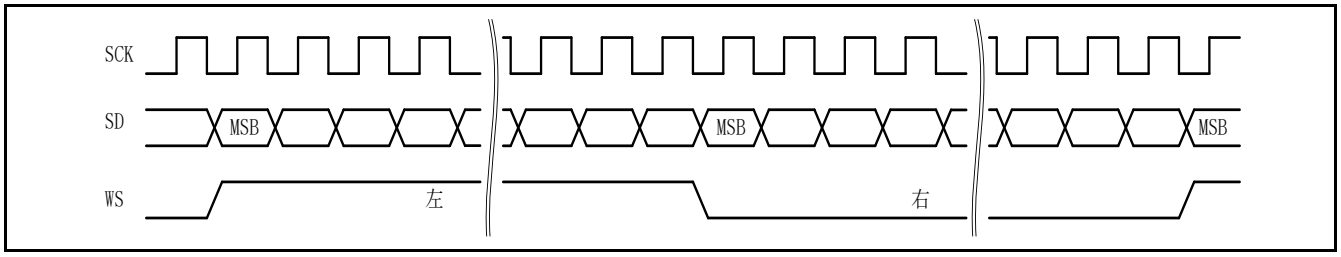


Figure 8-3 MSB 对齐数据格式



第 2-1 章：CAN 预分频器

In FM0+ family product, CAN prescaler is not equipped.

This chapter is removed.

代码：9BFCANPRE-C01.5

第 2-2 章：CAN 控制器

In FM0+ family product, CAN Controller is not equipped.

This chapter is removed.

第 3-1 章：HDMI-CEC/遥控接收

HDMI-CEC/遥控接收说明如下。

1. **配置**
2. **版本**
3. **HDMI-CEC 使用注意事项**

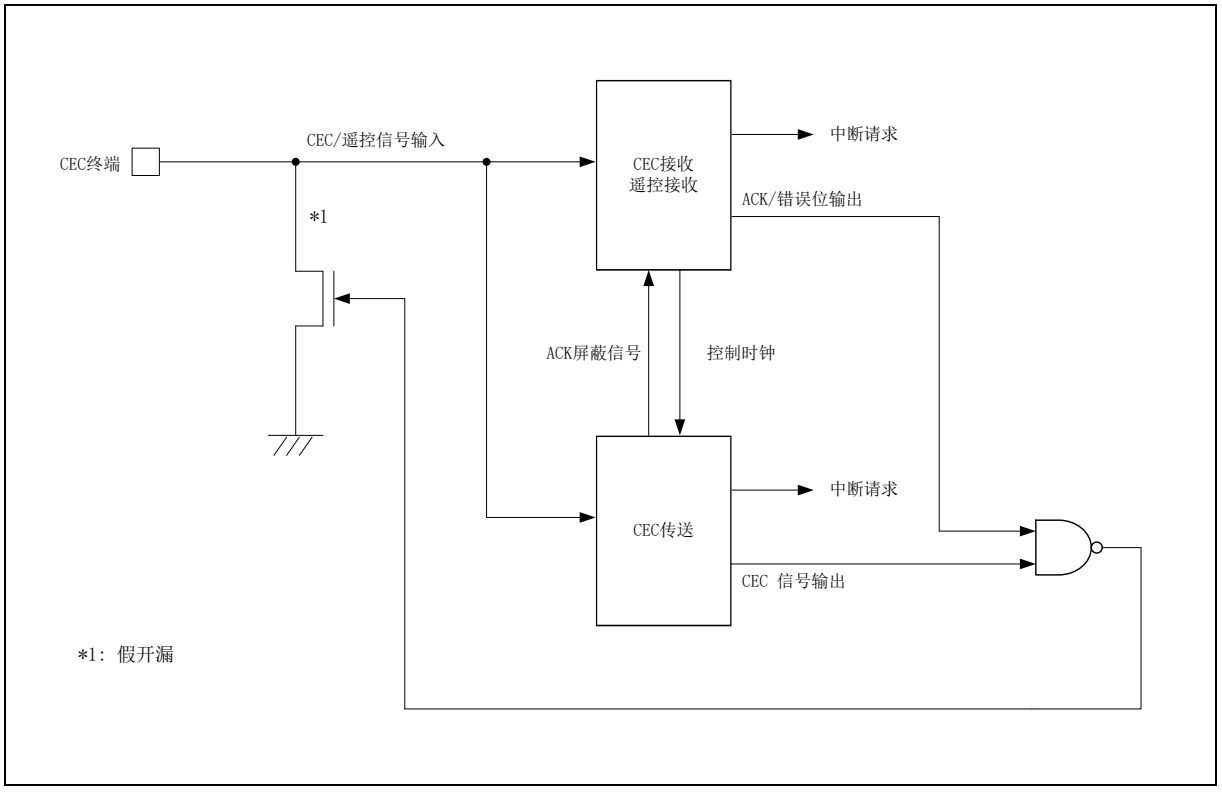
代码：9BFRCECTOP-C1.0

1. 配置

HDMI-CEC/遥控接收配置如下。

配置

Figure 1-1 HDMI-CEC/遥控接收的配置



■ CEC 接收/遥控接收

参见"CEC 接收/遥控接收"一章。

■ CEC 传送

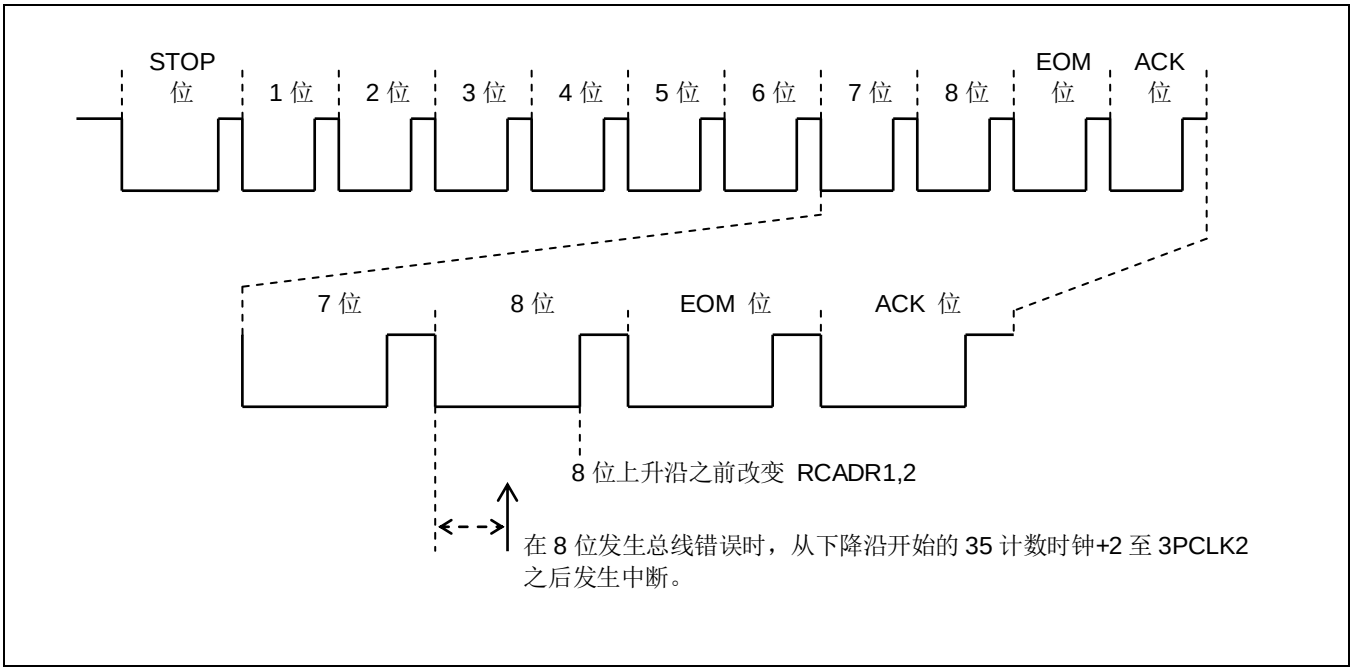
参见 "CEC 传送"一章。

2. 版本

FM0+族产品中 HDMI-CEC/遥控接收的版本为 RCCEC_rev3。

3. HDMI-CEC 使用注意事项

- 如果 RCADR1 或 RCADR2 在通讯过程中发生变化且发生总线故障，在 8 位的上升沿之前应进行变更。



第 3-2 章：CEC 接收/遥控接收

CEC 接收/遥控接收的功能和操作说明如下。

1. **概述**
2. **配置**
3. **操作**
4. **设置示例**
5. **寄存器**

代码：9BFRCEC-C1.0

1. 概述

CEC 接收/遥控接收用于接收 HDMI-CEC 信号和红外遥控信号。功能特性说明如下：

功能特性

- 可调节启动位和数据位的检测时序
- 配有噪声滤波器
- 可选择支持以下标准的操作模式：
- SIRCS
- NEC/家用电器协会协会
- HDMI-CEC

操作模式功能特性

■ SIRCS 模式
- 启动位检测及中断输出
- 最小脉冲宽度违规检测
- 设备地址比较
- 计数器上溢检测及中断输出

■ NEC/家用电器协会模式
- 启动位检测及中断输出
- 重复码检测及中断输出
- 最小脉冲宽度违规检测
- 计数器上溢检测及中断输出

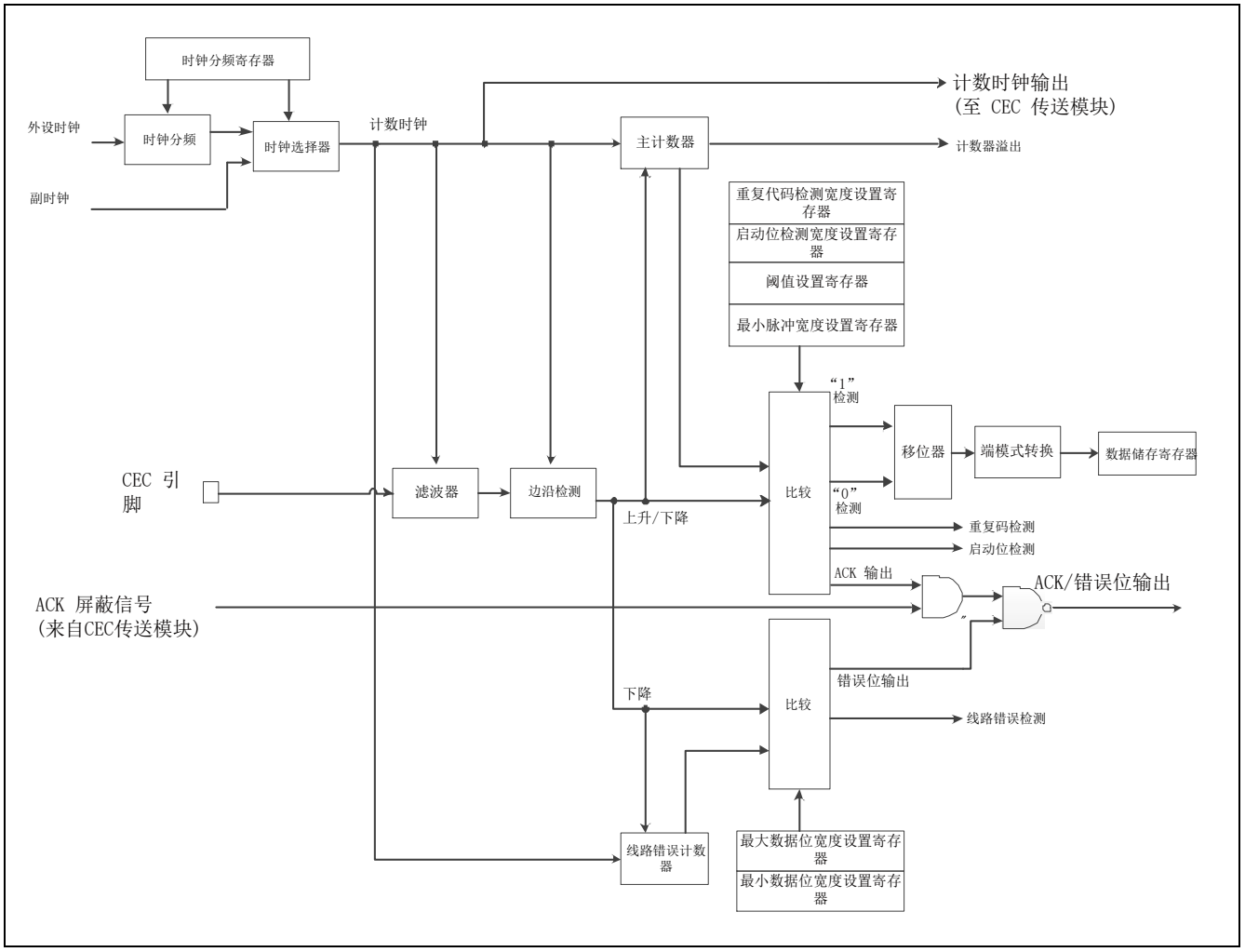
■ HDMI-CEC 模式
- 启动位检测及中断输出
- 最小脉冲宽度违规检测
- 计数器上溢检测及中断输出
- 设备地址比较
- 最小数据位宽度违规检测及中断输出（支持 HDMI-CEC 线路误差处理标准）
- 自动纠错脉冲输出（支持 HDMI-CEC 线路误差处理标准）
- 最大数据位宽度违规检测及中断输出
- EOM 检测
- ACK 检测及中断输出
- 自动 ACK 输出

2. 配置

CEC 接收/遥控接收的框图如下。

框图

Figure 2-1CEC 接收/遥控接收框图



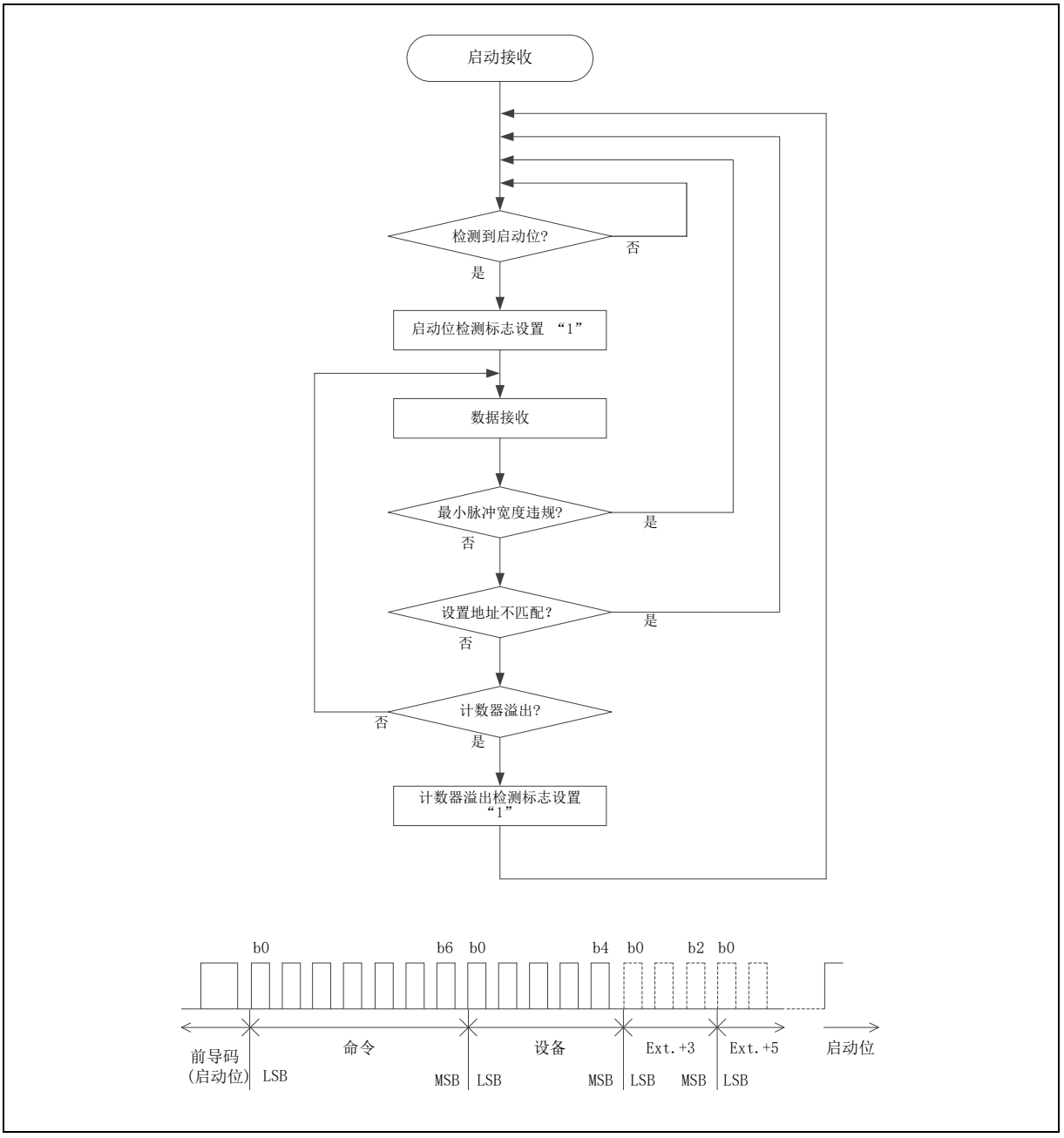
3. 操作

本章说明 CEC 接收/遥控接收的操作。

3.1 SIRCS 模式

3.1.1 SIRCS 模式操作流程图及波形

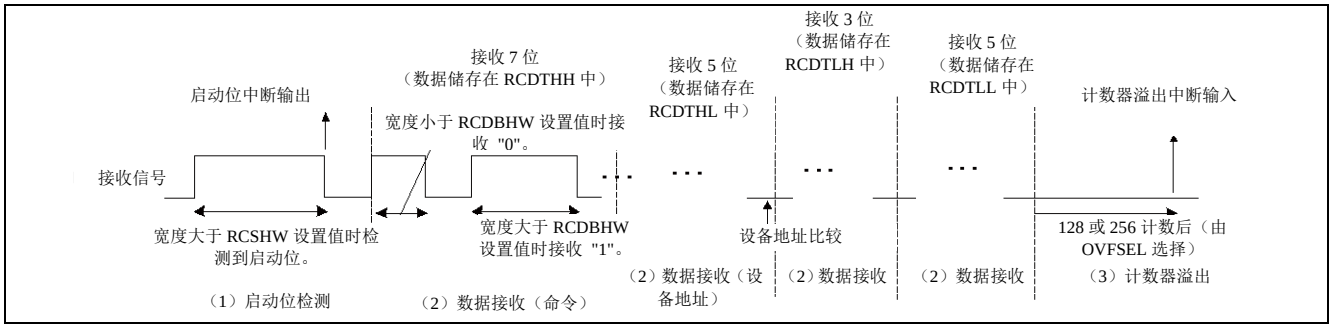
Figure 3-1 操作流程图及波形



3.1.2 SIRCS 模式的基本操作

SIRCS 模式通过计数时钟在接收信号时对"High"周期的宽度进行计数并接收数据。

Figure 3-2SIRCS 模式操作



基本操作

基本操作说明如下：

(1) 输入大于 RCSHW 设置值的"High"周期宽度时，检测启动位并进入数据接收状态。

(2) Figure 3-2 所示为 THSEL=0 时 (RCCR 寄存器)的操作。在操作中，当信号小于 RCDBHW 设置值时接收到"0"，信号大于 RCDBHW 设置值时接收到"1"。
接收到 7 位指令后，会接收到数据接收的设备地址。如果 5 位设备地址与 RCADR1 或 RCADR2 相同，则该地址为匹配地址。如果该地址与两个值都不匹配，则恢复启动位检测等待状态。

(3) 如果数据接收后发生上溢，则恢复启动位检测等待状态。

3.1.3 启动位检测及中断输出

Figure 3-3 SIRCS 模式的启动位检测

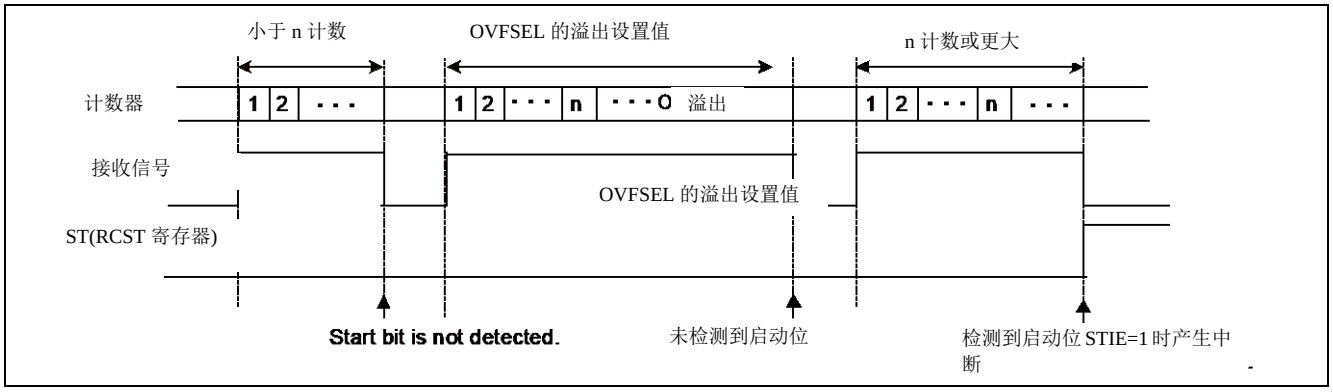


Figure 3-3 所示为设置 RCSHW=n 时的启动位检测。
如果在启动位检测等待时输入的"High"周期宽度等于或大于"n"，则通过检测启动位设置 ST=1（RCST 寄存器）。此外，如果预先设置 STIE=1（RCST 寄存器），则通过检测启动位输出中断。
而且，当输入的"High"周期宽度大于通过 OVFSEL (RCST 寄存器)设置指定的计数值时，则发生上溢且不检测启动位。

3.1.4 最小脉冲宽度违规

Figure 3-4 最小脉冲宽度违规

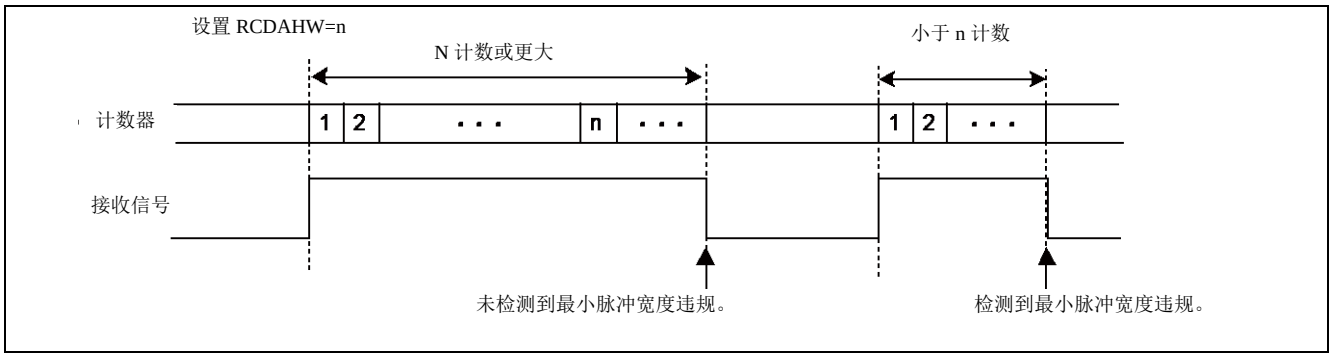


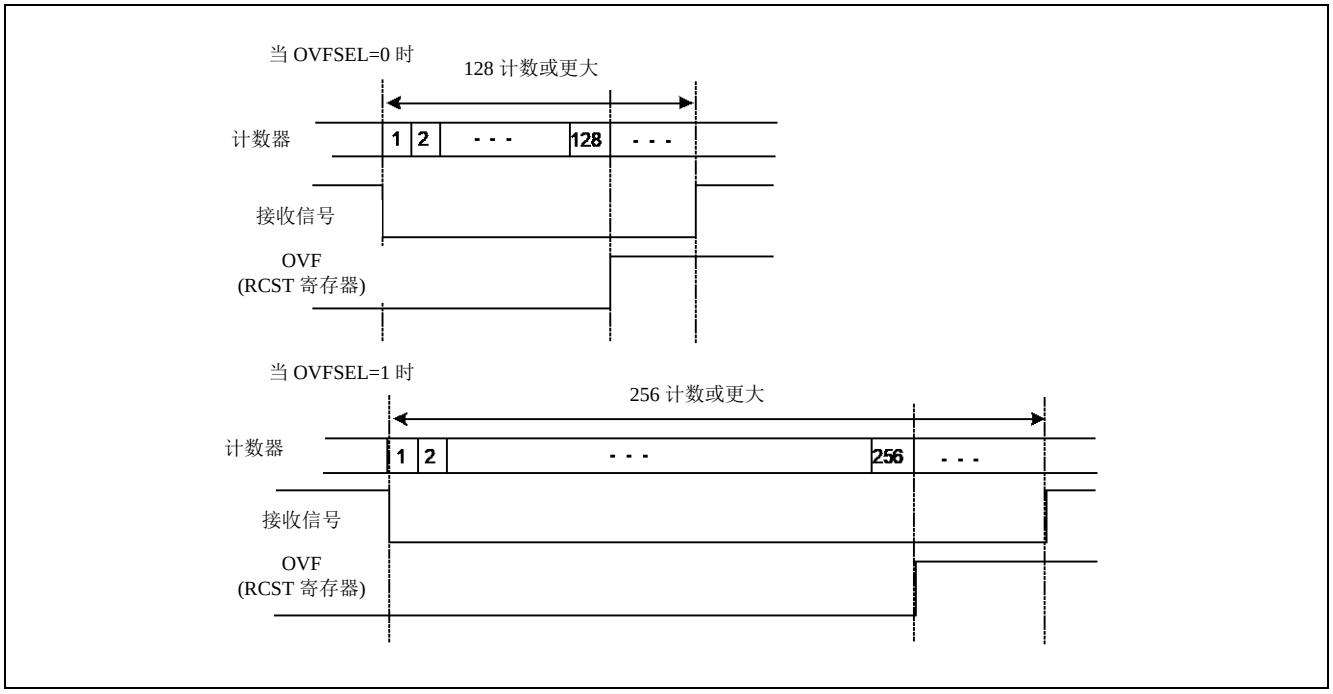
Figure 3-4 对设置 RCDAHW=n 时的最小脉冲宽度违规进行说明。
如果在接收操作过程中输入小于 n 的信号，则通过检测最小脉冲宽度违规来恢复启动位检测等待状态。

3.1.5 设备地址比较

在 SIRCS 模式时接收的是 5 位设备地址。当 ADRCE=1 (RCCR 寄存器)时，执行设备地址比较。
如果设备地址与 RCADR1 或 RCADR2 相同，则该地址为匹配地址。如果该地址与两个值都不匹配，则恢复启动位检测等待状态。

3.1.6 计数器上溢检测及中断输出

Figure 3-5 计数器上溢

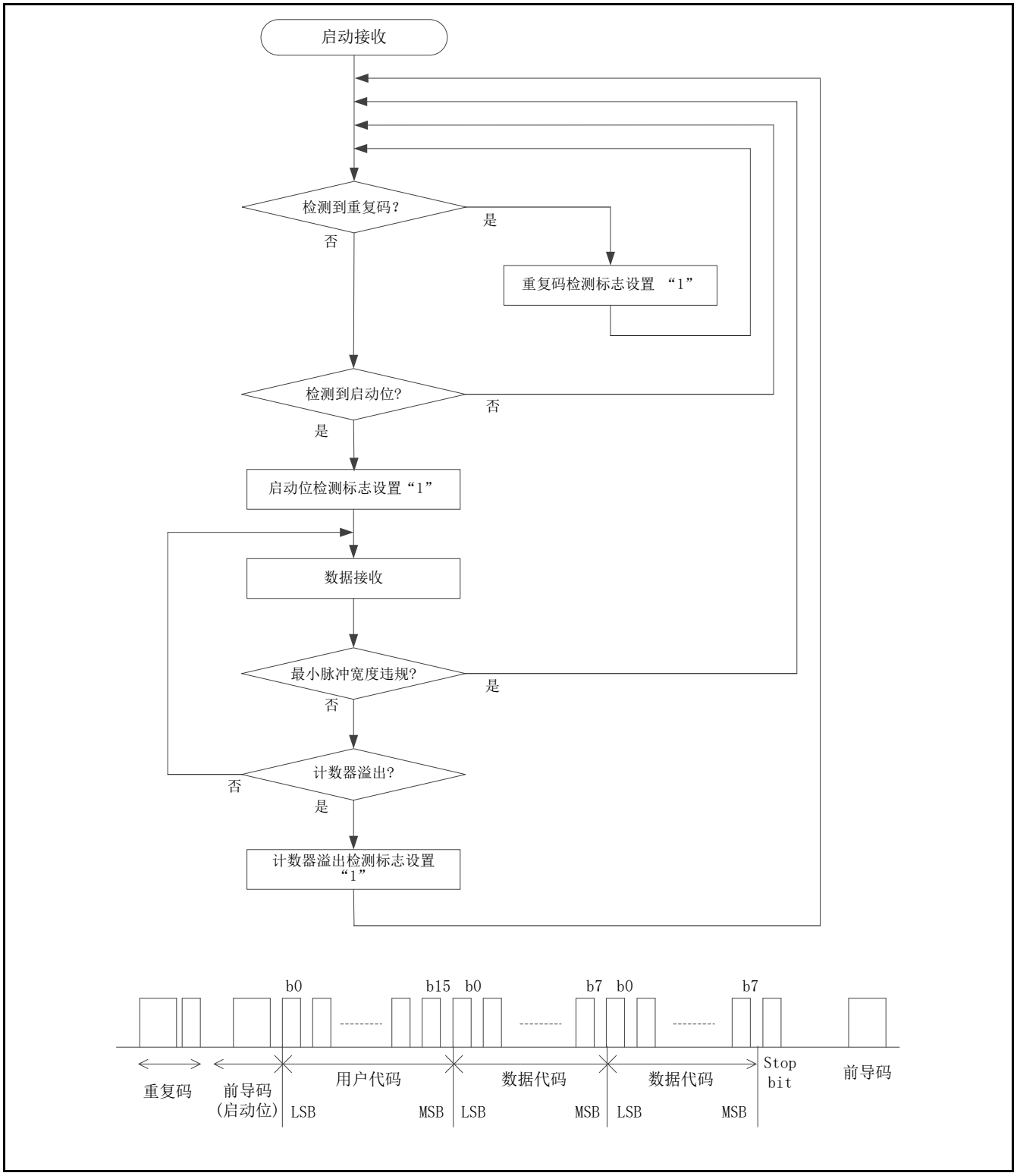


当 OVFSEL=0 (RCST 寄存器)时，如果 High 或 Low 输入持续超过 128 计数，则发生上溢并恢复启动位检测等待状态。
此外，当 OVFSEL=1 时，则在 256 计数时发生上溢。
如果预先设置 OVFIE=1 (RCST 寄存器)，则在发生上溢后输出中断。

3.2 NEC/家用电器协会模式的操作

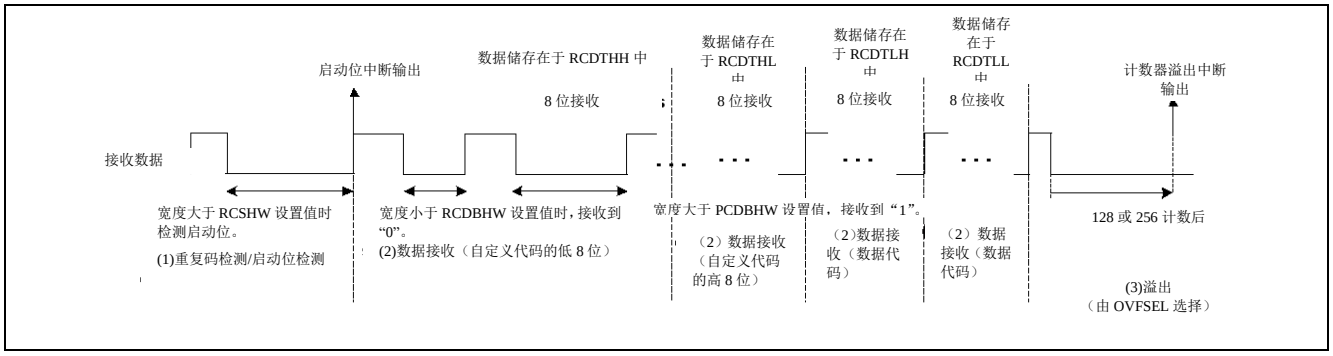
3.2.1 NEC/家用电器协会模式的操作流程图及波形

Figure 3-6NEC/家用电器协会模式的操作流程图及波形



在 NEC/家用电器协会模式中，计数时钟对接收信号的“Low”周期宽度进行计数并接收数据。

Figure 3-7NEC/家用电器协会模式的操作



基本操作

基本操作说明如下：

(1)当输入的”Low”周期宽度小于或等于 RCSHW 设置值且等于或大于 RCRHW 设置值时，则检测重复码。此外，如果输入的”Low”周期宽度等于或大于 RCSHW 设置值，则通过检测启动位来进入数据接收状态。

(2) Figure 3-7 所示为 THSEL=0 (RCCR 寄存器) 时的操作。在操作中，当信号小于 RCDBHW 设置值时接收到 ″0″，信号等于或大于 RCDBHW 设置值时接收到 ″1″。
接收数据时，接收到的是两字节的自定义代码和两字节的数据代码。

(3) 如果在数据接收后发生上溢，则恢复启动位/重复位检测等待状态。

3.2.2 启动位检测

Figure 3-8 启动位检测

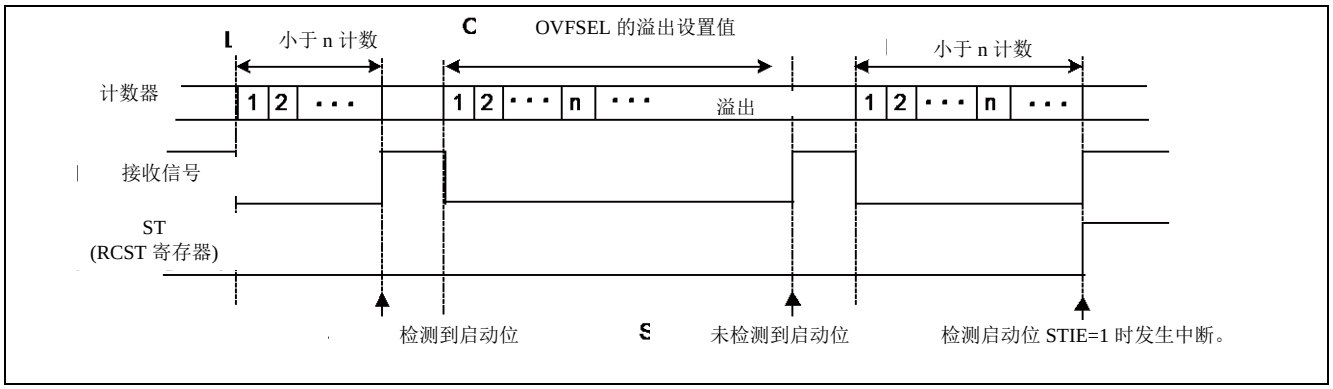


Figure 3-8Figure 3-8 所示为设置"RCSHW=n"时的启动位检测。
如果在启动位检测等待时输入的”Low”周期宽度等于或大于"n"，则通过检测启动位设置 ST=1（RCST 寄存器）。此外，如果预先设置 STIE=1（RCST 寄存器），则通过检测启动位输出中断。
而且，如果输入的”Low” 周期宽度等于或大于 OVFSEL (RCST 寄存器)设置所指定的计数次数，则会发生上溢且不检测启动位。

3.2.3 重复码检测

Figure 3-9 重复码检测

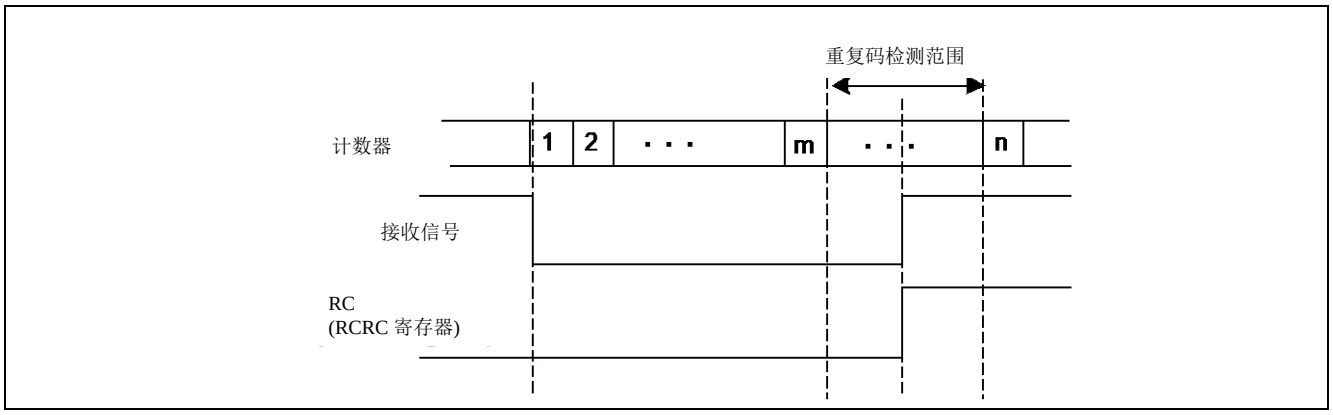


Figure 3-9 所示为设置 RCRHW=m 及 RCSHW=n 时的启动位检测。
如果在开始接收时输入的”Low” 信号宽度小于 n 且等于或大于 m，则通过检测重复码设置 RC=1 (RCRC 寄存器)。
只有在 NEC/家用电器协会模式时才检测重复码。

3.2.4 最小脉冲宽度违规

Figure 3-10 最小脉冲宽度违规

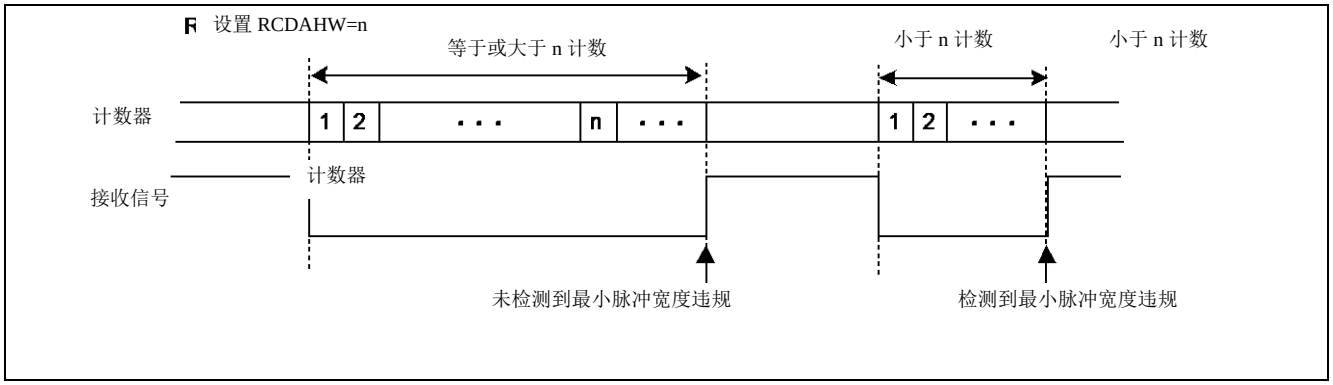
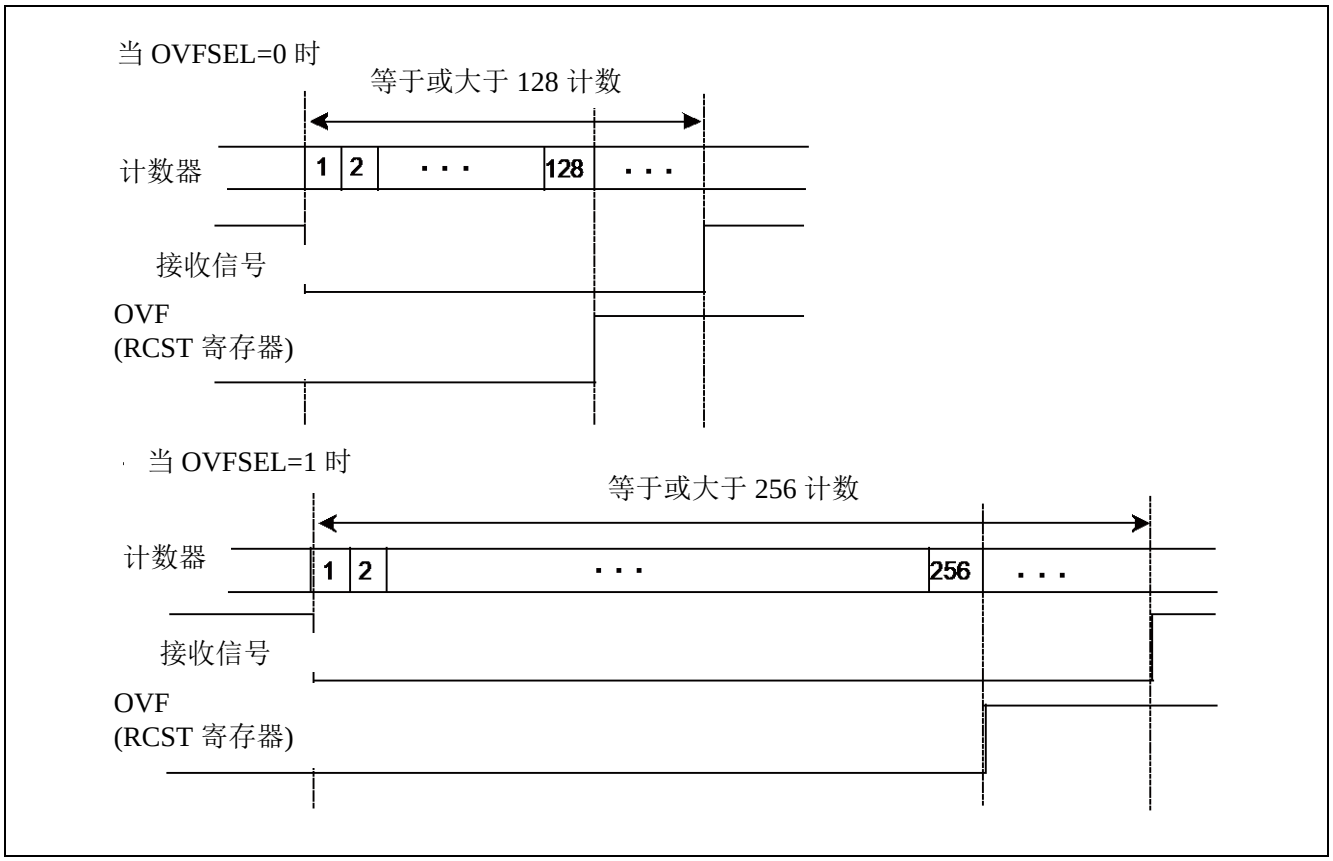


Figure 3-10 对设置 RCDAHW=n 时的最小脉冲宽度违规进行说明。
如果在接收操作过程中输入的”Low”周期宽度小于 n，则通过检测最小脉冲宽度违规恢复启动位检测等待状态。

3.2.5 计数器上溢检测及中断输出

Figure 3-11 计数器上溢



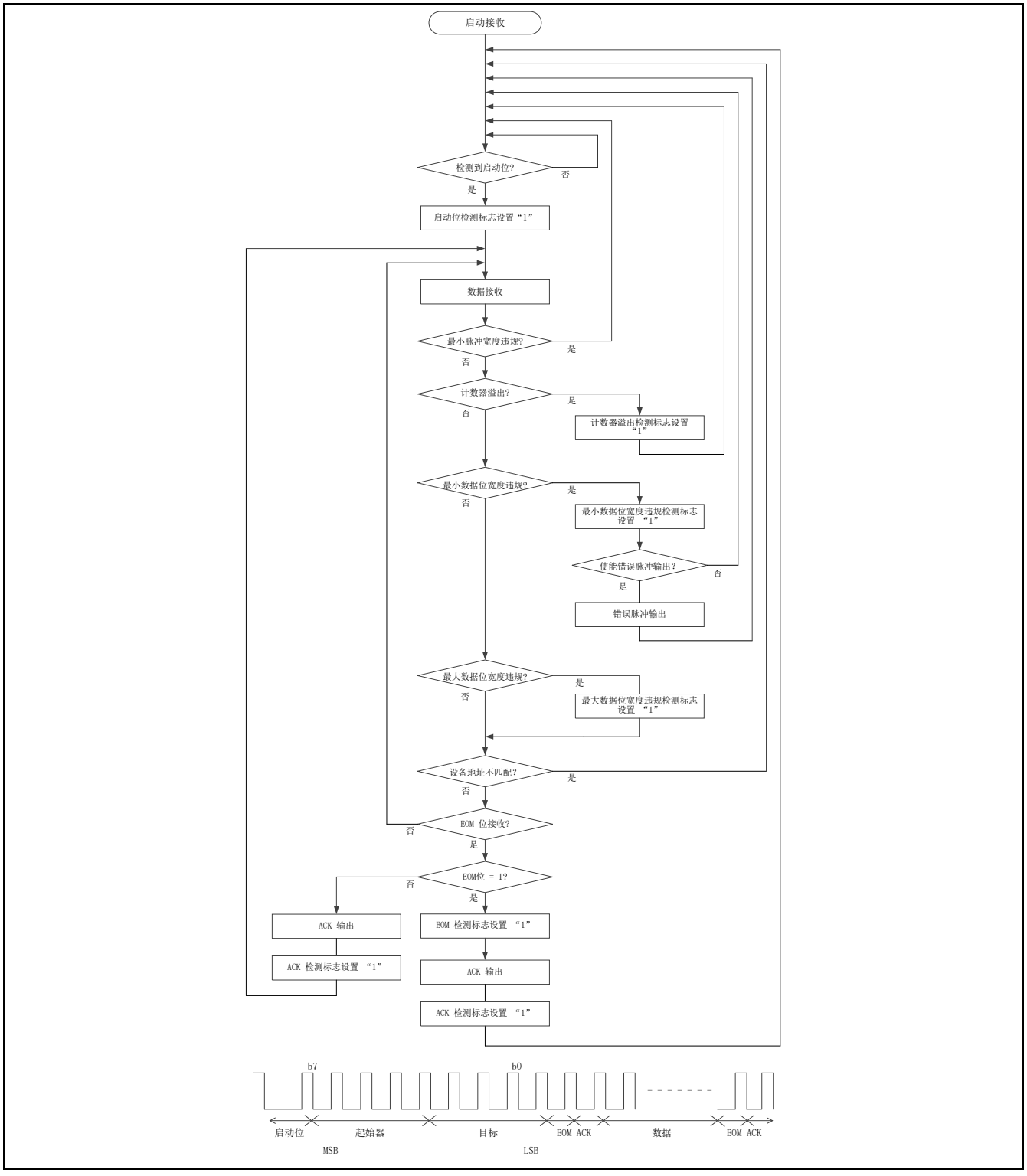
当 OVFSEL=0 (RCST 寄存器)时，如果”High”或”Low”输入持续 128 计数或以上，则发生上溢并恢复启动位检测等待状态。此外，当 OVFSEL=1 时，如果"High"或"Low"输入持续 256 计数，则发生上溢。

如果预先设置 "OVFIE=1 (RCST 寄存器)"，则发生上溢并输出中断。

3.3 HDMI-CEC 模式

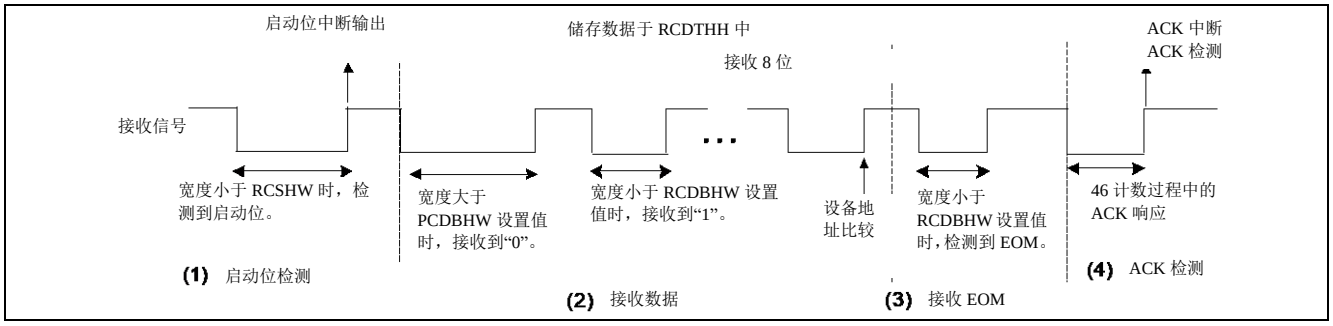
3.3.1 HDMI-CEC 模式操作流程图及波形

Figure 3-12HDMI-CEC 模式操作流程图及波形



在 HDMI-CEC 模式时，计数时钟对接收信号的“Low”周期宽度进行计数并接收数据。

Figure 3-13HDMI-CEC 模式操作



基本操作

基本操作说明如下：

(1) 当输入的”Low”周期宽度小于 RCSHW 设置值时，检测启动位并恢复数据接收状态。

(2) Figure 3-13 所示为 THSEL=1 (RCCR 寄存器) 时的操作。当信号等于或大于 RCDBHW 设置值时，接收到"0"；当信号小于 RCDBHW 设置值时，接收到"1"。
接收到的 8 位数据储存在 RCDTHH，低 4 位与设备地址进行比较。如果 4 位目标地址与 RCADR1 或 RCADR2 值相同，则该地址为匹配地址。如果该地址与两个值都不匹配，则恢复启动位检测等待状态。

(3) 如果接收数据后检测到 EOM，则设置 EOM=1 (RCST 寄存器)并完成数据接收。如果未检测到 EOM，则保持 EOM=0 (RCST 寄存器)，并恢复数据接收状态，将接收到的数据再次存入 RCDTHH。

(4) 如果在接收到 EOM 位之后输入“Low”信号，则输出 ACK 信号并恢复启动位检测等待状态。

3.3.2 启动位检测及中断输出

Figure 3-14HDMI-CEC 模式的启动位检测

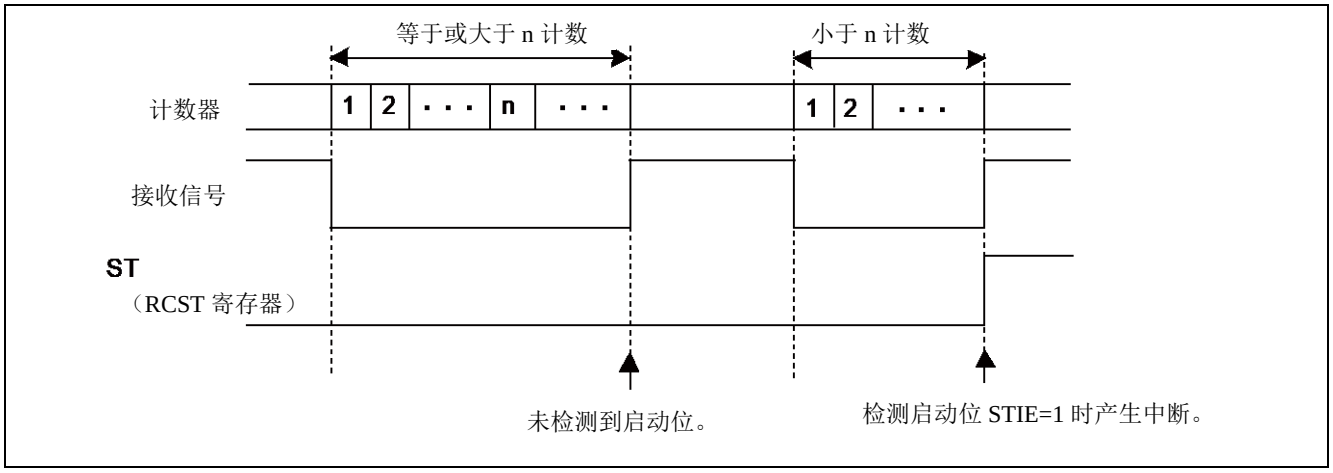


Figure 3-14 所示为设置 "RCSHW=n" 时的启动位检测（THSEL=1 时的操作）。如果在启动位检测等待时输入的”Low”周期宽度小于 n，则检测启动位并设置 ST=1 (RCST 寄存器)。此外，如果预先设置 STIE=1（RCST 寄存器），则通过检测启动位输出中断。

3.3.3 最小脉冲宽度违规

Figure 3-15 最小脉冲宽度违规

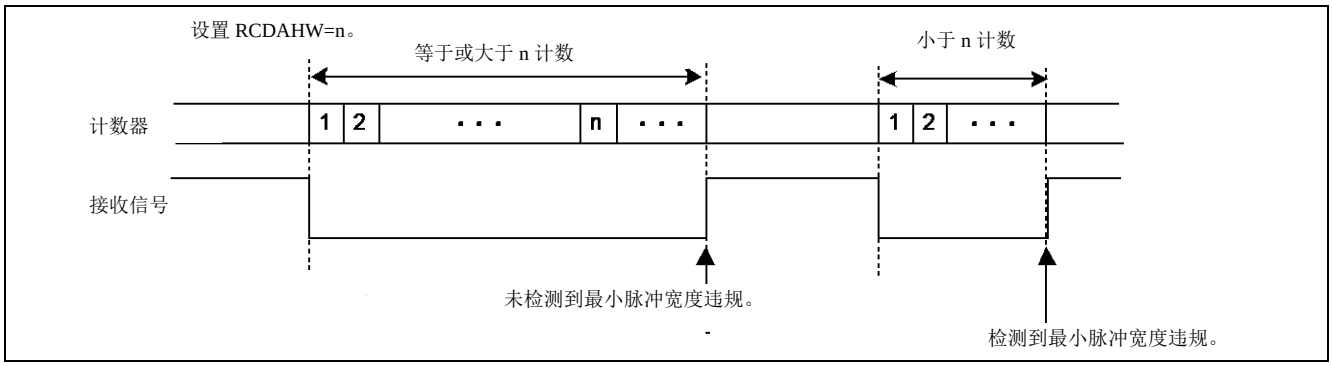
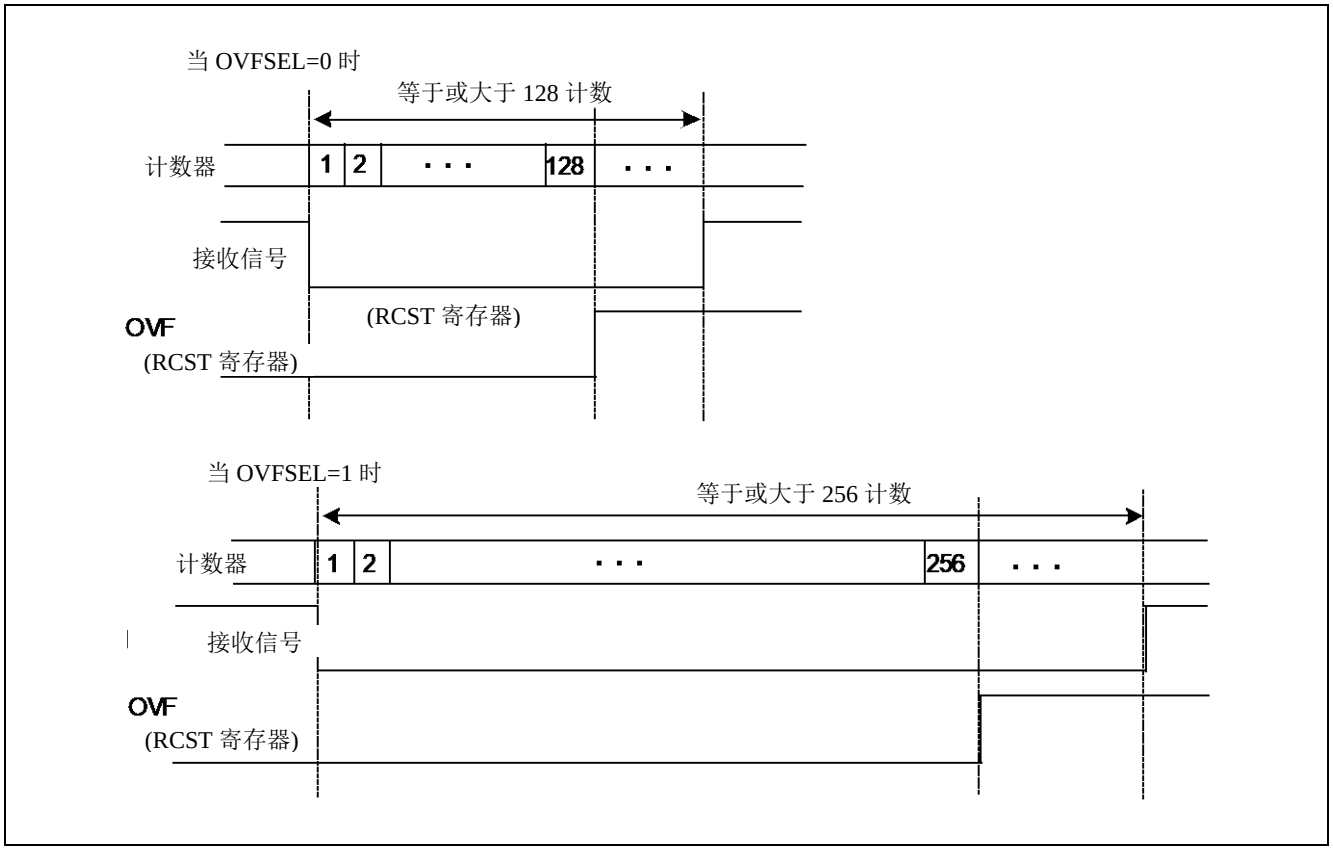


Figure 3-15 所示为设置 RCDAHW=n 时的最小脉冲宽度违规。
如果在接收操作时输入的信号小于 n，则检测最小脉冲宽度违规并恢复启动位检测等待状态。

3.3.4 计数器上溢检测及中断输出

Figure 3-16 计数器上溢



当 OVFSEL=0(RCST 寄存器)时，如果"High" 或 "Low"输入持续 128 计数或以上，则发生上溢并恢复启动位检测等待状态。此外，当 OVFSEL=1 时，如果"High"或"Low"输入持续 256 计数，则发生上溢。
如果预先设置 "OVFIE=1 (RCST 寄存器)"，则发生上溢并输出中断。

3.3.5 设备地址比较

在 HDMI-CEC 模式时，接收的是 4 位目标地址。当 ADRCE=1 (RCCR 寄存器)时，执行设备地址比较。
如果目标地址与 RCADR1 或 RCADR2 值相同，则该地址为匹配地址。此外，对于广播地址，接收到的是匹配地址。
如果该地址与两个值都不匹配，则恢复启动位检测等待状态。

3.3.6 数据位宽度违规及错误脉冲自动输出

Figure 3-17 最小数据位宽度违规

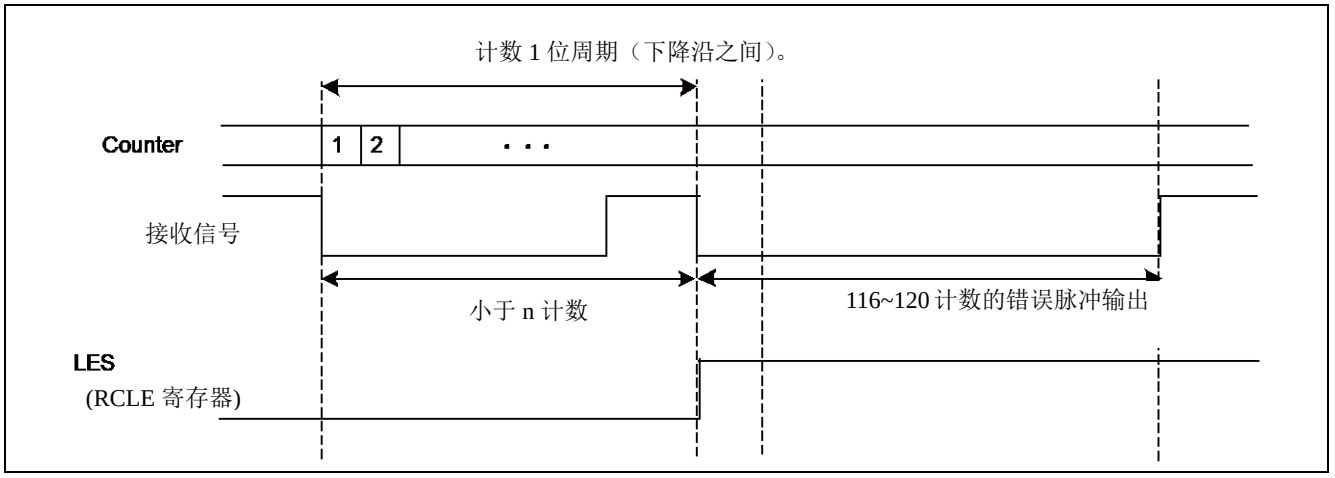


Figure 3-17 所示为设置 RCLESW=n 时的最小数据位宽度违规。
当 LES=1 (RCLE 寄存器)时，如果 1 位周期（下降沿之间的周期）小于最小数据位宽度设置寄存器(RCLESW)的设置值，则检测最小数据位宽度违规并设置 LES=1 (RCLE 寄存器)。
如果预先设置 LESIE=1 (RCLE 寄存器)，则通过检测最小数据位宽度违规输出中断。此外，如果设置 EPE=1 (RCLE 寄存器)，则通过检测违规输出错误脉冲（参见 Figure 3-17）。

Figure 3-18 最大数据位宽度违规

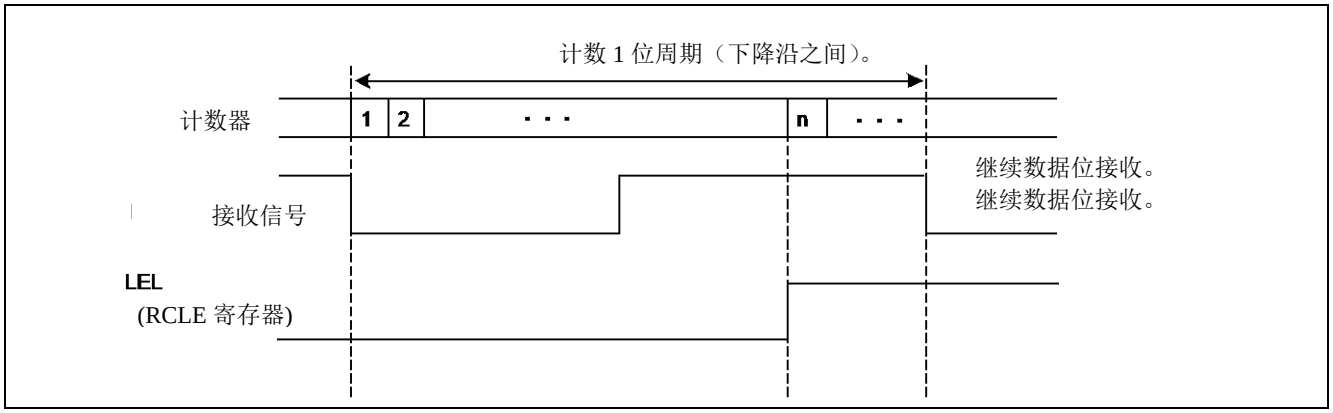


Figure 3-18 说明设置 RCLELW=n 时的最小数据位宽度违规。
当 LELE=1 (RCLE 寄存器)时，如果 1 位周期（下降沿之间的周期）大于最大数据位宽度设置寄存器 (RCLELW)的设置值，则通过检测最大数据位宽度违规设置 LEL=1 (RCLE 寄存器)。如果预先设置 LELIE=1 (RCLE 寄存器)，则通过检测最大数据位宽度违规输出中断。

3.3.7 EOM 检测

Figure 3-19EOM 检测

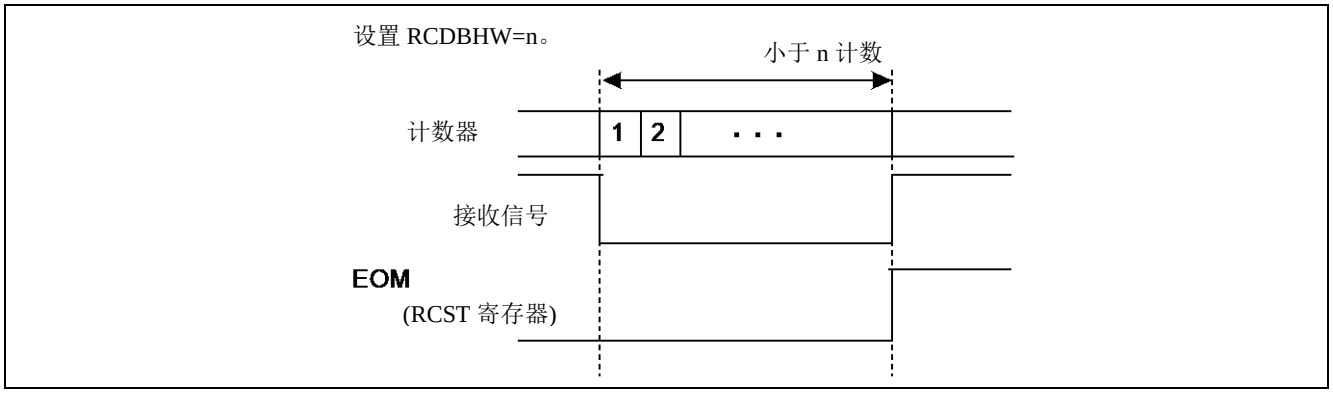
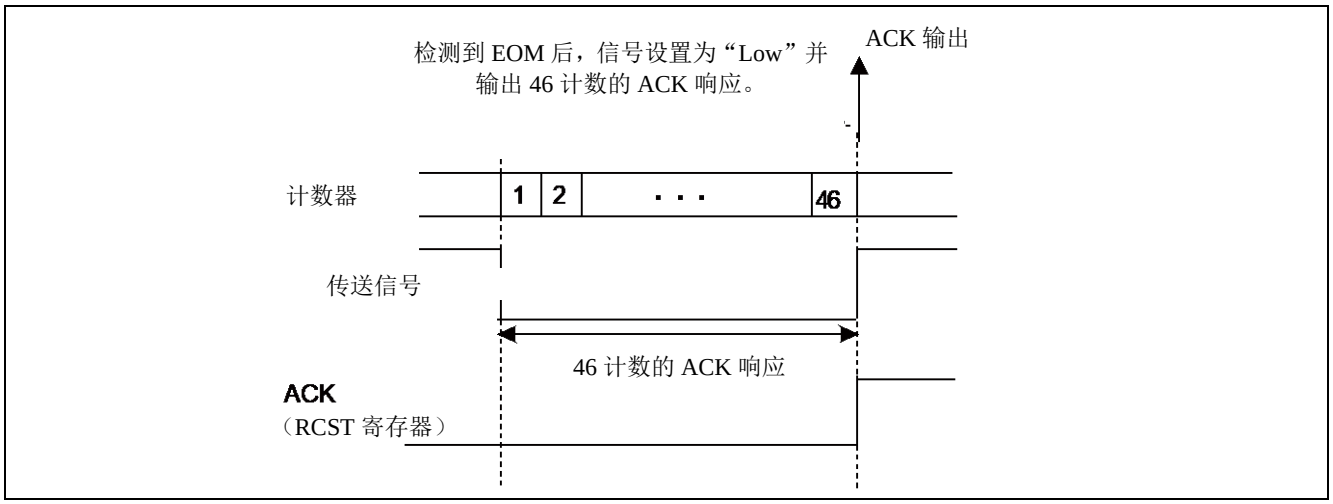


Figure 3-19 所示为 THSEL=1 (RCCR 寄存器) 时的操作。在 EOM 位接收状态时如果输入的”Low”信号小于 RCDBHW 设置值，则通过检测 EOM 设置 EOM=1 (RCST 寄存器)。

3.3.8 ACK 检测及中断输出

Figure 3-20ACK 检测及中断输出



如果在 EOM 检测后输入”Low”信号，则 46 计数输出”Low”信号作为 ACK 响应。如果在”Low”信号输出后输入”High”信号，则通过检测 ACK 信号设置 ACK=1 (RCST 寄存器)。如果预先设置 ACKIE=1 (RCST 寄存器)，则通过检测 ACK 信号输出中断。

如果 RCCR 寄存器的地址使能位 (ADRCE) 为"1"，则只有检测到地址匹配时才输出 ACK 信号。对于广播地址，尽管视为地址匹配，但不执行 ACK 响应。

Table 3-1ACK 输出及 ACK 中断

接收目标地址	ADRCE	RCADR1, RCADR2		ACK 输出*	ACK 中断
0x0 ~ 0xE	0	-		ACK	发生
	1	0x00 ~ 0x0E	匹配	ACK	发生
			不匹配	NACK	不发生
		0x0F		NACK	不发生
0xF	-	-		NACK	发生

*：传送过程中当 CEC 传送单元的 ACKMEN 位为 1 时，总为 NACK。

3.4 噪声滤波器

当输入的 CEC 信号的变化宽度小于两个计数时钟时，输入信号被判定为噪声并被清除。

4. 设置示例

设置示例说明如下（以 32.768kHz 的操作时钟为例）。

Table 4-1 遥控模式(SIRCS)设置示例

寄存器	设置值	备注
接收控制寄存器	MOD=00, THSEL=0, ADRCE=1	
接收中断控制寄存器	ACKIE=0, OVFIE=1	
	OVFSEL=0	3.9 ms
启动位检测宽度设置寄存器	76	2.3 ms
最小脉冲宽度设置寄存器	17	0.52 ms
阈值设置寄存器	37	1.1 ms

Table 4-2 遥控模式(NEC)设置示例

寄存器	设置值	备注
接收控制寄存器	MOD=10, THSEL=0	
接收中断控制寄存器	ACKIE=0, OVFIE=1	
	OVFSEL=1	7.8 ms
启动位检测宽度设置寄存器	144	4.4 ms
最小脉冲宽度设置寄存器	15	0.46 ms
阈值设置寄存器	52	1.6 ms
重复码中断控制寄存器	RCIE=1	
重复码检测宽度设置寄存器	65	2.0ms

Table 4-3HDMI-CEC 遥控模式设置示例

寄存器	设置值	备注
接收控制寄存器	MOD=11, THSEL=1, ADRCE=1	
接收中断控制寄存器	ACKIE=1, OVFIE=1	
	OVFSEL=1	7.8 ms
启动位检测宽度设置寄存器	114	3.5 ms
最小脉冲宽度设置寄存器	13	0.4 ms
阈值设置寄存器	42	1.3 ms
最大/最小数据位宽度违规控制寄存器	LELIE=1, LESIE=1, LELE=1, LESE=1, EPE=1	
最大数据位宽度设置寄存器	91	2.8ms
最小数据位宽度设置寄存器	65	2.0ms

5. 寄存器

寄存器列表如下。

Table 5-1 寄存器列表

寄存器名称缩写	寄存器名称	参考章节
RCCR	接收控制寄存器	5.1
RCST	接收中断控制寄存器	5.2
RCADR1	设备地址设置寄存器 1	5.3
RCADR2	设备地址设置寄存器 2	5.3
RCSHW	启动位检测宽度设置寄存器	5.4
RCDAHW	最小脉冲宽度设置寄存器	5.5
RCDBHW	阈值设置寄存器	5.6
RCDTHH	数据保存寄存器 HH	5.7
RCDTHL	数据保存寄存器 HL	
RCDTLH	数据保存寄存器 LH	
RCDTLL	数据保存寄存器 LL	
RCCKD	时钟分频寄存器	5.8
RCRC	重复码中断控制寄存器	5.9
RCRHW	重复码检测宽度设置寄存器	5.10
RCLE	数据位宽度违规中断控制寄存器	5.11
RCLESW	最小数据位宽度设置寄存器	5.12
RCLELW	最大数据位宽度设置寄存器	5.13

5.1 接收控制寄存器 (RCCR)

接收控制寄存器 (RCCR)位的配置如下。

位	7	6	5	4	3	2	1	0
字段	THSEL	保留			ADRCE	MOD1	MOD0	EN
属性	R/W				R/W	R/W	R/W	R/W
初始值	0				0	0	0	0

[bit7] THSEL：阈值选择位

用 RCDAHW 和 RCDBHW 设置用于判定 "0" 或 "1"的参考值。

状态	THSEL	
	0	1
W >RCDAHW	"0" 数据	"1" 数据
W <RCDBHW		
W >RCDAHW	"1" 数据	"0" 数据
W ≥RCDBHW		

[bit6:4]保留：保留位

读取值总为 "0"。

写入时设置"0"。

[bit3] ADRCE：地址比较使能位

本位初始值为 "0"（比较使能），本位设置为“1”使能接收地址和设备地址之间的比较。

只有当比较使能且地址匹配时才产生 ACK/OVF 中断。

在 CEC 模式时，检测到地址匹配时恢复 ACK 响应。如果地址为广播地址，会处理为匹配，但不恢复 ACK 响应。

在 SIRCS 模式或 HDMI-CEC 模式以外的模式时，本位设置为 “0”。

[bit2:1] MOD1, MOD0：操作模式设置位

bit2	bit1	功能
0	0	SIRCS 模式[初始值]
0	1	禁止设置
1	0	NEC/家用电器协会模式
1	1	HDMI-CEC 模式

在 SIRCS 模式 (MOD1=1)以外的其它模式时，输入信号内部反向。

“H” 宽度比较适用于 "L" 宽度。

[bit0] EN：操作使能位

本位设置为 "1" 时启动接收操作。

初始值为"0" （停止）。

〈注意事项〉

- *本位为"1"（操作状态）时不得改变下列设置寄存器和位的设置。*

  RCCR 寄存器的 THSEL 位、ADRCE 位及 MOD 位

  RCST 寄存器的 OVFSEL 位

  RCSHW、RCDAHW、RCDBHW 及 RCCKD 寄存器

  RCRC、RCRHW、RCLE、RCLELW 及 RCLESW 寄存器

  如果在本位为"1"时改变 RCADR1 和 RCADR2，参见"第 3-1 章：HDMI-CEC/遥控接收"中的"3. HDMI-CEC 使用注意事项"。

5.2 接收中断控制寄存器 (RCST)

接收中断控制寄存器 (RCST)位的配置如下。

位	7	6	5	4	3	2	1	0
字段	STIE	ACKIE	OVFIE	OVFSEL	ST	ACK	EOM	OVF
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

[bit7] STIE：启动位中断使能位

位	描述
0	禁用中断
1	使能中断

[bit6] ACKIE：ACK 中断使能位

位	描述
0	禁用中断
1	使能中断

本位只在 HDMI-CEC 模式有效。

[bit5] OVFIE：计数器上溢中断使能位

位	描述
0	禁用中断
1	使能中断

只有在检测启动位后检测到上溢时才会产生此中断。
如果不检测启动位就不会产生中断。

[bit4] OVFSEL：计数器上溢检测条件设置位

位	描述
0	计数器计数到 128 个时钟后会发生上溢。
1	计数器计数到 256 个时钟后会发生上溢。

[bit3] ST：启动位检测位

位	描述
0	未检测到启动位。
1	检测到启动位。

写入 "0" 会清除本位。
如果在 STIE 位为"1"时检测到启动位，则会产生中断。

[bit2] ACK：ACK 检测位

位	描述
0	未检测到 ACK
1	检测到 ACK

写入 "0" 会清除本位。
如果在 ACKIE 位为 "1" 时检测到 ACK，则会产生中断。
只有当地址比较使能且地址匹配时才会产生中断。
本位只在 HDMI-CEC 模式有效。

[bit1] EOM：EOM 检测位

位	描述
0	未检测到 EOM
1	检测到 EOM

写入 "0" 会清除本位。
本位只在 HDMI-CEC 模式有效。

[bit0] OVF：计数器上溢检测位

位	描述
0	未检测到计数器上溢
1	检测到计数器上溢

只有当地址比较使能且地址匹配时才会产生中断。
写入 "0" 会清除本位。
在 SIRCS 模式时，在收到第二字节后才会设置 OVF 标志。

5.3 设备地址设置寄存器 1 和 2 (RCADR1 和 RCADR2)

设备地址设置寄存器 1 和 2 (RCADR1 和 RCADR2)位的配置如下。

位	7	6	5	4	3	2	1	0
字段	保留			RCADR1, 2				
属性						R/W		
初始值						00000		

[bit7:5]保留：保留位

读取值总为 "0"。

写入时设置"0"。

[bit4:0] RCADR1, 2：设备地址设置位

此寄存器中设置的地址将与接收到的设备地址或 HDMI-CEC 目标地址进行比较。

在 HDMI-CEC 模式时，如果此寄存器设置为 “0x0F”（广播地址），则地址接收（包括广播地址）不会产生 ACK 响应。

5.4 启动位检测宽度设置寄存器 (RCSHW)

启动位检测宽度设置寄存器 (RCSHW)位的配置如下。

位	7	6	5	4	3	2	1	0
字段	RCSHW							
属性	R/W							
初始值	0x00							

此寄存器用于设置启动位的周期。
接收到的"H"宽度大于设置值时，识别为启动位。
如果接收到的信号的宽度小于设置值，则不检测启动位并再次进入启动位检测等待状态。
当 OVFSEL=0 时，设置值必须为 RCSHW ≤ 127（等于或小于不被检测为上溢的值）。

5.5 最小脉冲宽度设置寄存器 (RCDAHW)

最小脉冲宽度设置寄存器 (RCDAHW)位的配置如下。

位	7	6	5	4	3	2	1	0
字段	RCDAHW							
属性	R/W							
初始值	0x00							

[bit7:0] RCDAHW

此寄存器用于设置最小脉冲宽度周期。

此寄存器中设置的值必须满足 2 ≤ RCDAHW < RCDBHW。

在 CEC 模式，必须满足 RCDAHW<46（小于 ACK 响应脉冲宽度）。

如果收到的信号宽度<RCDAHW，则会检测为最小脉冲宽度违规。

5.6 阈值设置寄存器(RCDBHW)

阈值设置寄存器(RCDBHW)位的配置如下。

位	7	6	5	4	3	2	1	0
字段	RCDBHW							
属性	R/W							
初始值	0x00							

[bit7:0] RCDBHW

此寄存器用于设置数据接收信号宽度的阈值。

不得设置小于 RCCDAHW 的值。

设置的值必须满足：RCCDAHW <RCCDBHW<RCSHW。

5.7 数据保存寄存器(RCDTHH、RCDTHL、RCDTLH 及 RCDTLL)

数据保存寄存器(RCDTHH、RCDTHL、RCDTLH 及 RCDTLL)位的配置如下。

位	31	30	29	28	27	26	25	24
字段	RCDTHH							
属性	R							
初始值	0x00							

位	23	22	21	20	19	18	17	16
字段	RCDTHL							
属性	R							
初始值	0x00							

位	15	14	13	12	11	10	9	8
字段	RCDTLH							
属性	R							
初始值	0x00							

位	7	6	5	4	3	2	1	0
字段	RCDTLL							
属性	R							
初始值	0x00							

此寄存器用于储存接收到的数据。
HDMI-CEC 模式时，接收到的数据储存到 RCDTHH。
遥控模式时，每次接收到 8 位时储存在 RCDTHH。
如果产生计数器上溢中断，则之前已接收的位会储存在 MSB。
如果 RCCR 寄存器的 EN 位为"0"，则会从此寄存器读取到未知值。
如果接收到的数据超过 4 字节，则超出的字节会被忽略，不反映到寄存器。

5.8 时钟分频设置寄存器(RCCKD)

时钟分频设置寄存器(RCCKD)位的配置如下。

位	15	14	13	12	11	10	9	8
字段	保留			CKSEL	CKDIV			
属性				R/W	R/W			
初始值				0	0000			

位	7	6	5	4	3	2	1	0
字段	CKDIV							
属性	R/W							
初始值	0x00							

[bit15:13] 保留：保留位

读取值总为 "0"。

写入时设置"0"。

[bit12] CKSEL：操作时钟选择位

位	描述
0	选择外设时钟 (PCLK) 的分频时钟。
1	选择副时钟。

[bit11:0] CKDIV：操作时钟分频设置位

分频比变为 CKDIV + 1。

可设置 1 分频（不分频）~4096 分频（CKSEL=1 时不分频）。

5.9 重复码中断控制寄存器(RCRC)

此寄存器控制重复码中断。

位	7	6	5	4	3	2	1	0
字段	保留			RCIE	保留			RC
属性				R/W				R/W
初始值				0				0

[bit7:5]保留：保留位

读取值总为 "0"。

写入时设置"0"。

[bit4] RCIE：重复码中断使能位

位	描述
0	禁用中断
1	使能中断

[bit3:1] 保留：保留位

读取值总为 "0"。

写入时设置"0"。

[bit0] RC：重复码检测标志位

位	描述
读取值为 "0"	未检测到重复码
读取值为 "1"	检测到重复码
写入 "0"	清除此标志
写入 "1"	无效

〈注意事项〉

- *只有在NEC／家用电器协会模式时才检测重复码。*

5.10 重复码检测宽度设置寄存器 (RCRHW)

此寄存器用于设置判定重复码的检测宽度。

位	7						0
字段	RCRHW						
属性	R/W						
初始值	0x00						

[bit7:0] RCRHW：重复码检测宽度设置位

这些位用于设置重复码的检测宽度。

如果在等待启动位或重复码时接收到的信号宽度为 RCRHW< "H" 宽度<RCSHW，则会检测为重复码。

此寄存器设置的值必须满足 RCRHW<RCSHW。

〈注意事项〉

- *只有在 NEC／家用电器协会模式时才检测重复码。*

5.11 数据位宽度违规中断控制寄存器(RCLE)

此寄存器控制最大/最小数据位宽度违规。

位	7	6	5	4	3	2	1	0
字段	LELIE	LESIE	LELE	LESE	EPE	保留	LEL	LES
属性	R/W	R/W	R/W	R/W	R/W		R/W	R/W
初始值	0	0	0	0	0		0	0

[bit7] LELIE：最大数据位宽度违规中断使能位

位	描述
0	禁用中断
1	使能中断

[bit6] LESIE：最小数据位宽度违规中断使能位

位	描述
0	禁用中断
1	使能中断

[bit5] LELE：最大数据位宽度违规检测使能位

位	描述
0	禁用最大数据位宽度违规检测
1	使能最大数据位宽度违规检测

[bit4] LESE：最小数据位宽度违规检测使能位

位	描述
0	禁用最小数据位宽度违规检测
1	使能最小数据位宽度违规检测

[bit3] EPE：错误脉冲输出使能位

位	描述
0	禁用输出
1	使能输出

如果在 EPE="1"时检测到最小数据位宽度违规，则在 116 ~ 120 周期输出 "L" 脉冲。

[bit2] 保留：保留位

读取值总为 "0"。

写入时设置"0"。

[bit1] LEL：最大数据位宽度违规检测标志位

位	描述
读取值为 "0"	未检测到最大数据位宽度违规
读取值为 "1"	检测到最大数据位宽度违规
写入 "0"	清除此标志
写入 "1"	操作无效

[bit0] LES：最小数据位宽度违规检测标志位

位	描述
读取值为 "0"	未检测到最小数据位宽度违规
读取值为 "1"	检测到最小数据位宽度违规
写入 "0"	清除此标志
写入 "1"	操作无效

〈注意事项〉

- *只在 HDMI-CEC 模式检测最大/最小数据位宽度违规。*

5.12 最大数据位宽度设置寄存器(RCLELW)

此寄存器用于设置最大数据位宽度。

位	7	0
字段	RCLELW	
属性	R/W	
初始值	0x00	

[bit7:0] RCLELW：最大数据位宽度设置位

这些位用于设置最大数据位宽度。

如果接收到的数据宽度大于 RCLELW，则会检测为最大数据位宽度违规。

〈注意事项〉

- *只在 HDMI-CEC 模式检测最大数据位宽度违规。*

5.13 最小数据位宽度设置寄存器 (RCLESW)

此寄存器用于设置最小数据位宽度。

位	7						0
字段	RCLESW						
属性	R/W						
初始值	0x00						

[bit7:0] RCLESW：最小数据位宽度设置位

这些位用于设置最小数据位宽度。

如果接收到的数据宽度小于 RCLESW，则会检测为最小数据位宽度违规。

〈注意事项〉

- *只在 HDMI-CEC 模式检测最小数据位宽度违规。*

第 3-3 章：CEC 传送

CEC（消费类电子控制）传送的功能和操作说明如下。

1. **CEC 传送概述**
2. **CEC 传送电路框图**
3. **CEC 传送中断**
4. **CEC 传送寄存器**
5. **CEC 传送操作**
6. **CEC 传送寄存器集**

代码：FIP007-C01-01

1. CEC 传送概述

CEC 信号通过 HDMI（高清晰度多媒体介面）标准化后进行传送。传送规格概述如下。

自动信息头传送
自由信号识别到，自动传送信息头块。

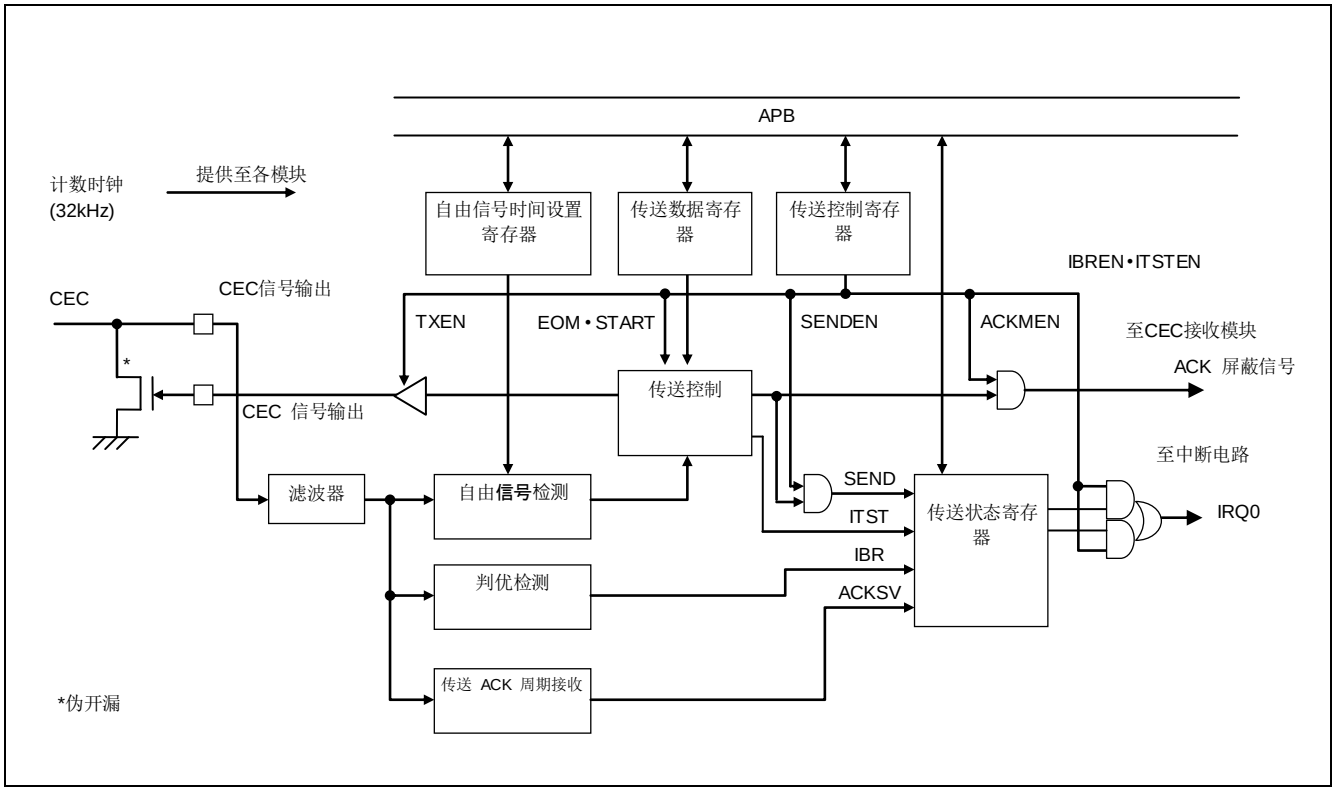
总线故障检测
识别到判优丢失，产生状态中断。

数据传送
- 设置 1 字节数据自动生成 START、EOM 及 ACK，输出 CEC 传送。
- 传送 1 个块（1 字节数据、EMO 及 ACK）后，产生传送状态中断。

2. CEC 传送电路框图

Figure 2-1 所示为 CEC 传送电路框图。

Figure 2-1CEC 传送电路框图



3. CEC 传送中断

下表汇总 CEC 传送的中断请求标志、中断使能位及中断因素。

中断控制位及中断因素

中断控制位及中断因素参见 Table 3-1。

Table 3-1 各模式的中断控制位及中断因素

传送状态 (TXSTS)	传送控制 (TXCTRL)	中断因素	中断因素输出信号
中断请求标志位	中断请求使能位		
ITST: bit4	ITSTEN: bit4	检测到传送状态	IRQ0
IBR: bit5	IBREN: bit5	检测到总线故障	

4. CEC 传送寄存器

CEC 传送寄存器描述如下。

CEC 传送寄存器

Table 4-1CEC 传送寄存器

寄存器名称缩写	寄存器名称	参考章节
TXCTRL	传送控制寄存器	6.1
TXDATA	传送数据寄存器	6.2
TXSTS	传送状态寄存器	6.3
SFREE	自由信号时间设置寄存器	6.4

5. CEC 传送操作

CEC 传送操作说明如下。

5.1 CEC 传送操作

5.2 中断因素及时间图

5.3 判优丢失检测

5.4 自由信号检测

5.5 滤波

5.6 CEC 传送操作流程

5.1 CEC 传送操作

CEC 传送的基本操作说明如下。

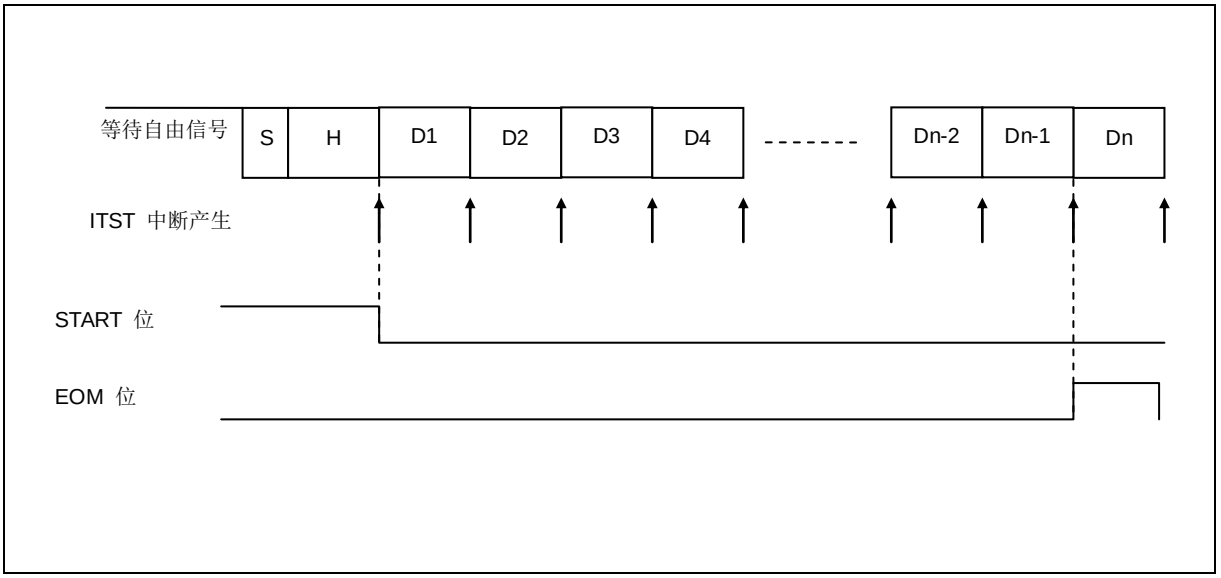
基本操作

基本操作如下：

- 首先在接收侧设置 CEC 的计数时钟。
- 然后进行各种传送设置并将传送数据写入 TXDATA 寄存器，等待检测到自由信号。检测到自由信号后，自动传送启动位。
- 启动位传送结束后，自动传送 TXDATA 寄存器中设置的 1 字节数据以及 EOM 设置位和 ACK 位中设置的数据。
- 由于自动传送 ACK 位后会产生 TXSTS 寄存器的 ITST 位中断，如果 ACK 周期值正确，则执行下一次传送的各项传送设置并写入传送数据。
- EOM 为 "1"时保持传送，直到全部传送结束。

CEC 传送的基本操作时序参见 Figure 5-1。

Figure 5-1CEC 传送的基本操作时序



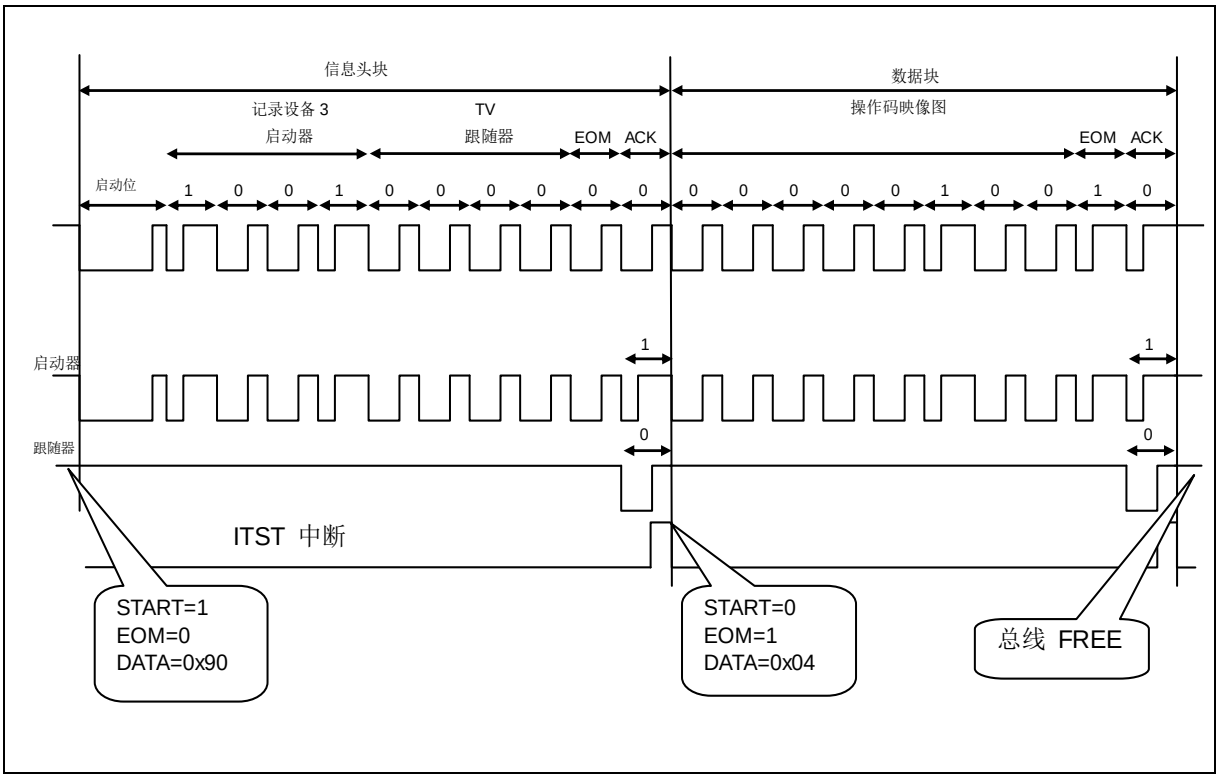
5.2 中断因素及时间图

中断因素及时间图描述如下。

中断因素及时间图

Figure 5-2 说明 ITST 中断因素及时间图中的信息头块及单个数据块的传送。

Figure 5-2CEC 传送的中断因素及时间图



5.3 判优丢失检测

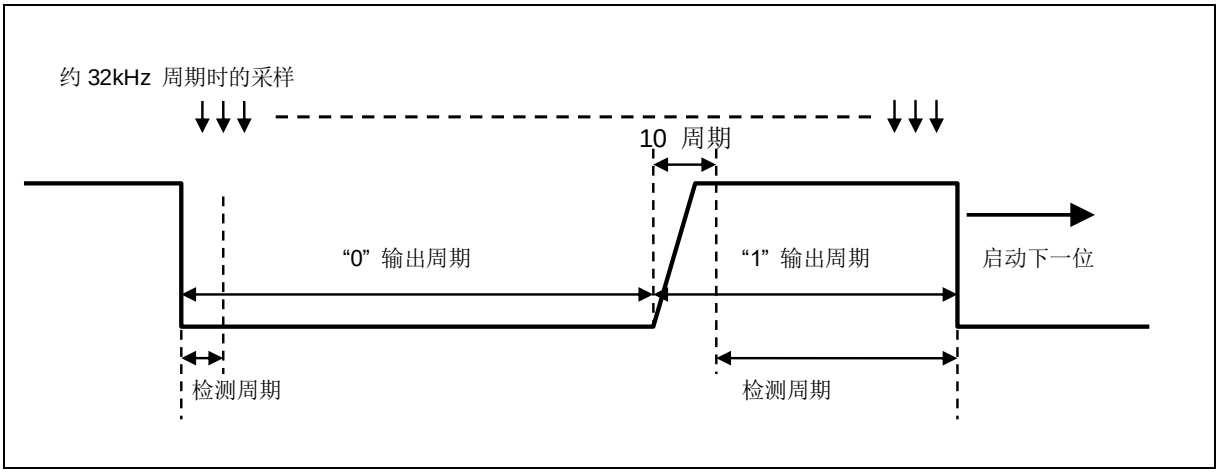
判优丢失检测说明如下。

如何检测判优丢失

Figure 5-3 所示为判优丢失检测流程。

在以下检测周期中时，按每位 32 kHz 周期对总线上的数据进行采样并与传送输出进行比较。如果连续检测到差异，则会检测到判优丢失。检测到判优丢失时，TXSTS 寄存器的 IBR 变为 "1"。

Figure 5–3 判优丢失检测周期

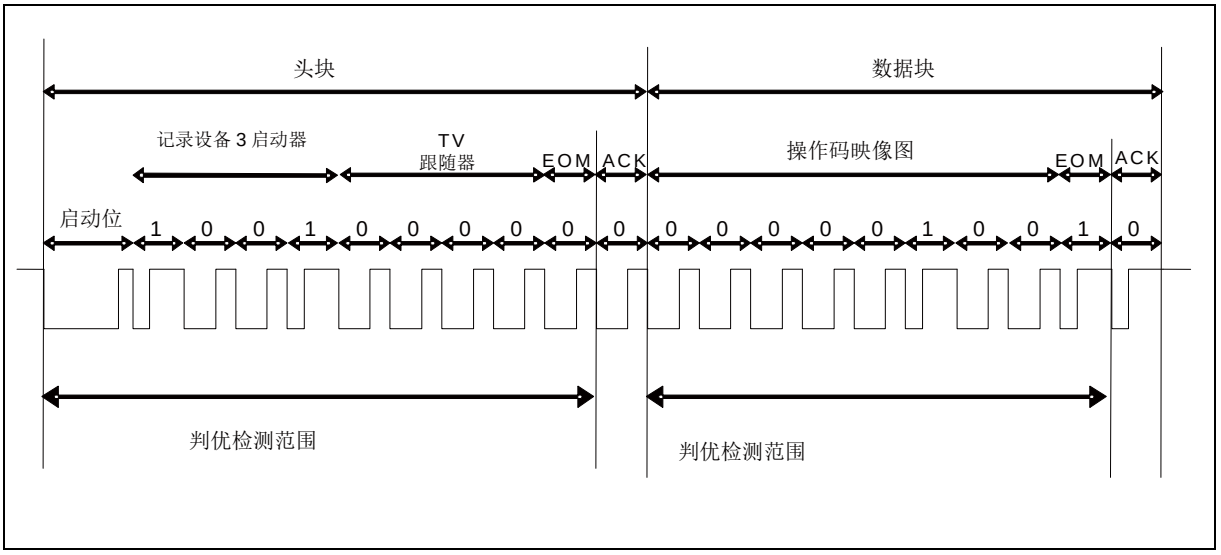


判优丢失检测范围

Figure 5-4 所示为判优丢失的检测范围。

各块传输过程中（不包括 ACK 周期）检测范围为 EOM。

Figure 5-4 判优丢失检测范围



5.4 自由信号检测

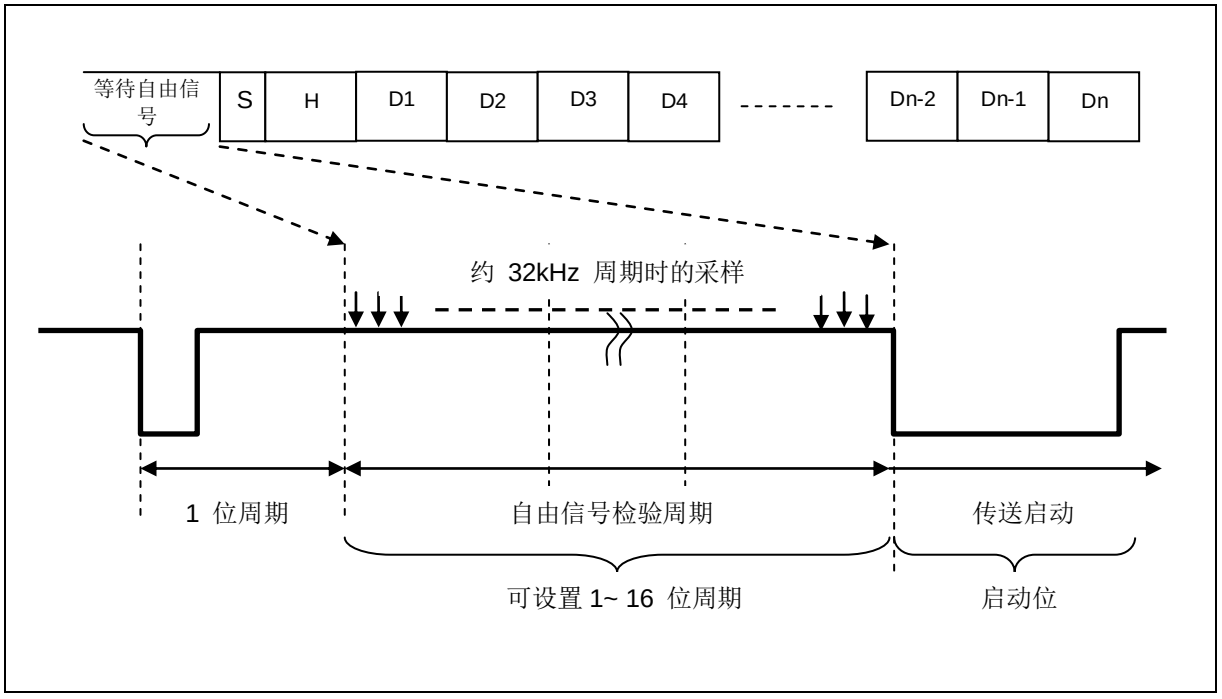
自由信号检测说明如下。

如何检测自由信号

Figure 5-5 所示为自由信号检测流程。

前一帧结束后，如果在 SFREE 寄存器设置的周期内未在 CEC 总线上发现任何变化，则变为自由信号检测状态。

Figure 5-5 自由信号检测



如果要保证前一帧的最后一个下降沿到启动位的下降沿之间有 5 位的自由信号时间，则自由信号设置寄存器设置为 "3"。

如果在其它设备传送之后（此设备地址除外）要保证 5 位的自由信号时间，则有自由信号时间。如果启动位检测中断接收的 SEND 位为 "0"，则可以确定通过其它设备传送。

5.5 滤波

传送侧的 CEC 信号输入滤波说明如下。

CEC 信号滤波

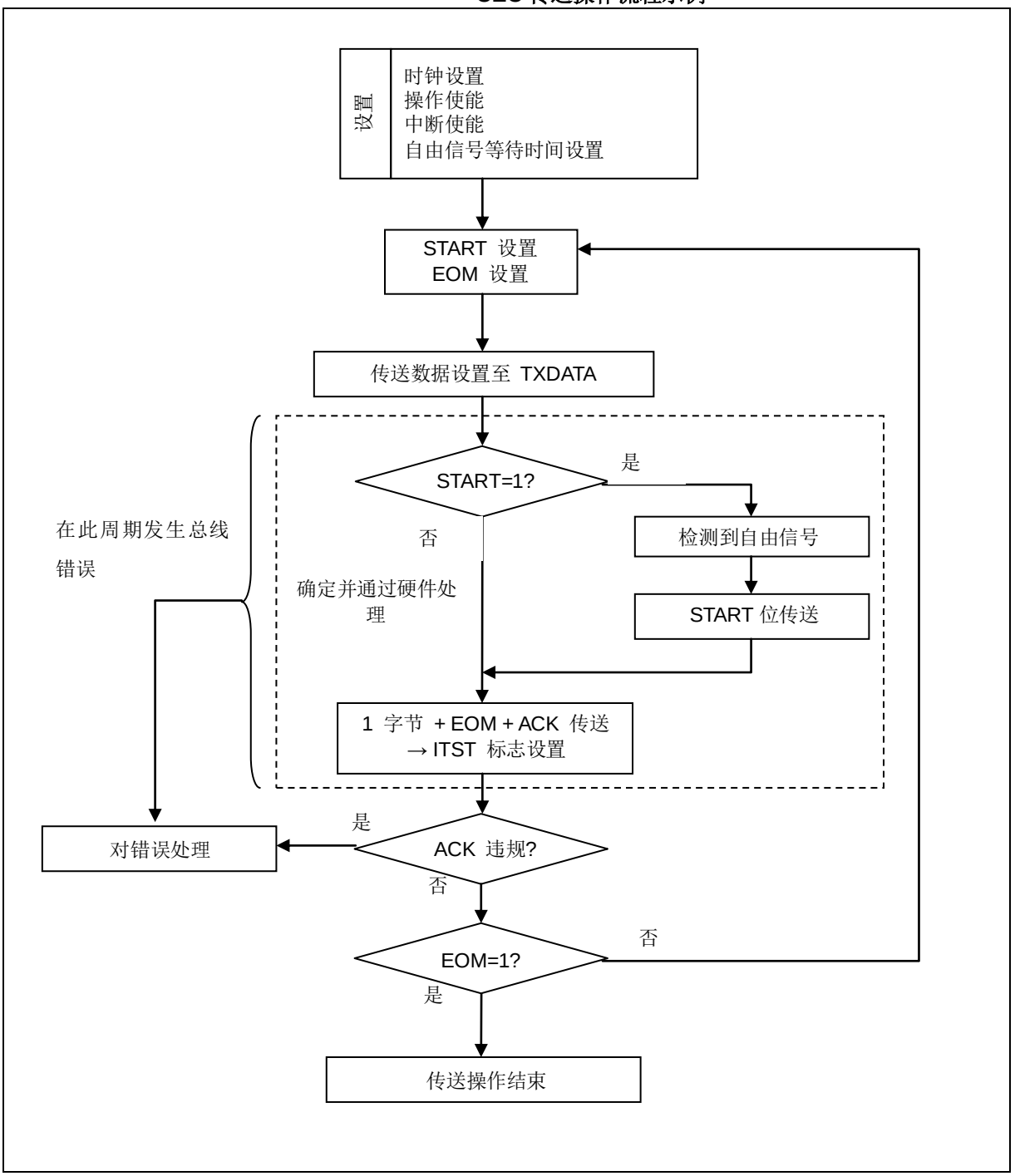
如果 CEC 信号输入在小于 2 个计数时钟的宽度内变化，则该信号输入被判定为噪声并被清除。

大于 2 个计数时钟的宽度内变化的信号输判定为 CEC 信号并经过滤波器。

5.6 CEC 传送操作流程

CEC 传送操作流程描述如下。

CEC 传送操作流程示例



6. CEC 传送寄存器集

CEC 传送操作寄存器说明如下。

6.1 传送控制寄存器 (TXCTRL)

6.2 传送数据寄存器 (TXDATA)

6.3 传送状态寄存器 (TXSTS)

6.4 自由信号时间设置寄存器 (SFREE)

6.1 传送控制寄存器 (TXCTRL)

传送控制寄存器 (TXCTRL) 控制 CEC 传送。

位	7	6	5	4	3	2	1	0
字段	SENDEN	ACKMEN	IBREN	ITSTEN	EOM	START	Reserved	TXEN
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

[bit7] SENDEN：发送标志使能位

- 此位控制传送状态寄存器(TXSTS)的 SEND 位的操作。

位	描述
0	禁用 SEND 位操作
1	使能 SEND 位操作

[bit6] ACKMEN：ACK 屏蔽使能位

- 此位控制 ACK 屏蔽。
- 当 ACKMEN 位为 1 并发送时，ACK 输出被屏蔽。

位	描述
0	禁用 ACK 屏蔽
1	使能 ACK 屏蔽

[bit5] IBREN：总线故障检测中断使能位

- 此位控制 bit5(TXSTS 寄存器中的 IBR 位）的中断请求。
- 使能 IBREN 位且设置 bit5（TXSTS 寄存器中的 IBR 位）时，会向 CPU 产生中断请求。

位	描述
0	禁用中断请求
1	使能中断请求

[bit4] ITSTEN：传送状态中断使能位

- 此位控制 bit4（TXSTS 寄存器中的 ITST 位）的中断请求。
- 使能 ITSTEN 位且设置 bit4（TXSTS 寄存器中的 ITST 位）时，会向 CPU 产生中断请求。

位	描述
0	禁用中断请求
1	使能中断请求

[bit3] EOM：EOM 设置位

- 此位控制 EOM 传送位。
- 结合 START 位将选择块传送。

位	描述
0	输出 EOM0
1	输出 EOM1

[bit2] START：START 设置位

- 此位设置信息头块的传送，此传送将 START 位增加到传送数据。
- 结合 EOM 位将选择块传送。

位	描述
0	START 位传送无效
1	START 位传送有效

EOM 和 START 将 CEC 传送设置为下列块传送。

EOM 位	START=1	START=0
0	信息头块传送 （帧开始）	数据块 （以及后续块）
1	信息头块传送 （轮询消息）	最终数据块 （帧结束）

[bit1] 保留：保留位

读取值为 "0" 。
写入时此位设置为 "0"。

[bit0] TXEN：传送操作使能位

- 此位控制 CEC 的传送操作。
- 当 TXEN 位变为禁用时，会自动清除状态寄存器的各位。

位	描述
0	禁用 CEC 传送操作
1	使能 CEC 传送操作

〈注意事项〉

- *当 TXEN 位设置为 "0"时，会立即停止输出。这时 CEC 信号可能输出错误波形。*

6.2 传送数据寄存器 (TXDATA)

传送数据寄存器 (TXDATA)用于设置传送数据。

位	7							0
字段	TXDATA[7:0]							
属性	R/W							
初始值	0x00							

TXDATA 寄存器设置值后，会根据具体条件启动以下 CEC 传送之一。

当下列条件满足时，自动启动信息头块的传送：

- TXEN=1.
- START=1.
- 在 SFREE 寄存器设置的周期内在 CEC 总线上检测到 IDLE。

〈注意事项〉

- *TXDATA 寄存器设置值时，如果在 SFREE 寄存器设置的周期内检测到 IDLE，则会在设置 TXDATA 寄存器之后立即启动信息头块传送。*

当下列条件满足时，立即启动数据块的传送：

- TXEN=1.
- START=0.

6.3 传送状态寄存器 (TXSTS)

传送状态寄存器 (TXSTS)用于指示传送状态。

位	7	6	5	4	3	2	1	0
字段	SEND	保留	IBR	ITST	保留			ACKSV
属性	R	R/W	R/W	R/W	R/W			R
初始值	0	0	0	0	000			0

[bit7] SEND：传送标志位

- 此位用于指示 CEC 传送正在发送。
  如果 SENDEN 位为 "1" 且 CEC 传送是从启动位开始至 ACK 位结束 CEC 传送正在发送，则此位为 "1"。
- 当 SENDEN 位为"0"时，此位为 "0"。
  设置此位无效。

位	描述
0	没有发送或 SEND 位为"0"。
1	正在发送（SENDEN 为"1"时）

[bit6] 保留：保留位

读取值为 "0" 。

写入时将这些位设置为 "0"。

[bit5] IBR：总线故障检测中断请求位

- 检测到判优丢失时，IBR 位设置为 "1"。
- 通过写入 "0" 清除 IBR 位。
- IBR 位写入"1"对位值无效。
- 不管位值如何，通过读改写操作的读取值为 "1"。

位	描述
0	清除中断因素
1	检测中断因素

注意事项:

- *IBR 位自动设置为"1" 时，如果同时写入 "0" 清除此位，则忽略清除并设置为"1"。*
- *确保在 IBR 位为"1"时写入"0"。因为不知道此位会自动设置为"1" ，此位可能会被清除。*
- *如果检测到线路误差信号，IBR 位也会设置为 "1"作为当检测到总线错误。*

[bit4] ITST：传送状态中断请求位

- 当各块传输中 10 位的状态位通讯完成时，ITST 位会被设置为"1"。
- 写入 "0" 清除 ITST 位。
- ITST 位写入"1"对位值无效。
- 不管位值如何，通过读改写操作读取的值为 "1"。

位	描述
0	清除中断因素
1	检测中断因素

注意事项:

- *当 ITST 位自动设置为"1" 时，如果同时写入 "0" 清除此位，则会忽略清除并设置为"1"。*
- *确保在 IBR 位为"1"时写入"0"。因为不知道此位会自动设置为"1" ，此位可能会被清除。*

[bit3:1] 保留：保留位

读取值为 "0" 。

写入时将这些位设置为 "0"。

[bit0] ACKSV：ACK 周期值位

- 此位指示 ACK 周期内在各块传输中 10 位接收到的数据值。
- 当 ITST 位从 "0" 变为 "1" 时，更新此位。
- ACKSV 位写入"1"对位值无效。

位	描述
0	在 ACK 周期内接收到"0"
1	在 ACK 周期内接收到"1"

6.4 自由信号时间设置寄存器 (SFREE)

自由信号时间设置寄存器 (SFREE) 用于设置启动传送之前检验的自由信号时间。

位	7	6	5	4	3	2	1	0
字段	保留				SFREE[3:0]			
属性	R/W				R/W			
初始值	0000				0000			

[bit7:4] 保留：保留位

读取值为 "0" 。

写入时将这些位设置为 "0"。

[bit3:0] SFREE[3:0]：自由信号时间设置位

- 这些位用于设置启动传送之前检验 CEC 总线上的自由信号状态的时间。
- 在 CEC 总线上设置的位周期内未检测到通讯后，则启动传送操作。
-

bit3:0	描述
0000	（设置值+ 1）周期 Ex1)0000：1 位周期 Ex2)0111：8 位周期 Ex3)1000： 9 位周期 Ex3) 1111：16 位周期
0001	
...	
1110	
1111	

第 4-1 章：USB 时钟发生模块概述

本章概述 **USB** 时钟发生模块。

1. 概述和配置

1. 概述和配置

发生 USB 时钟

本模块发生用于 USB 宏通讯的 48 MHz USB 时钟。

各产品的功能及配置各不相同，TYPE2-M0+产品参见 "USB 时钟发生 (A)"一章，TYPE3-M0+产品参见 "USB 时钟发生 (B)"一章。

另外，有关本家族产品中的 UDB 逻辑宏，为了降低功耗，操作时钟(HCLK) 被初始状态的逻辑宏选通。使用 UDB 功能时，确保改变以下寄存器设置，解除时钟选通：

USB ch.0: 详见《外设手册》 "外设时钟选通功能"中的 4.5 "外设时钟控制寄存器(CKEN2)" 。

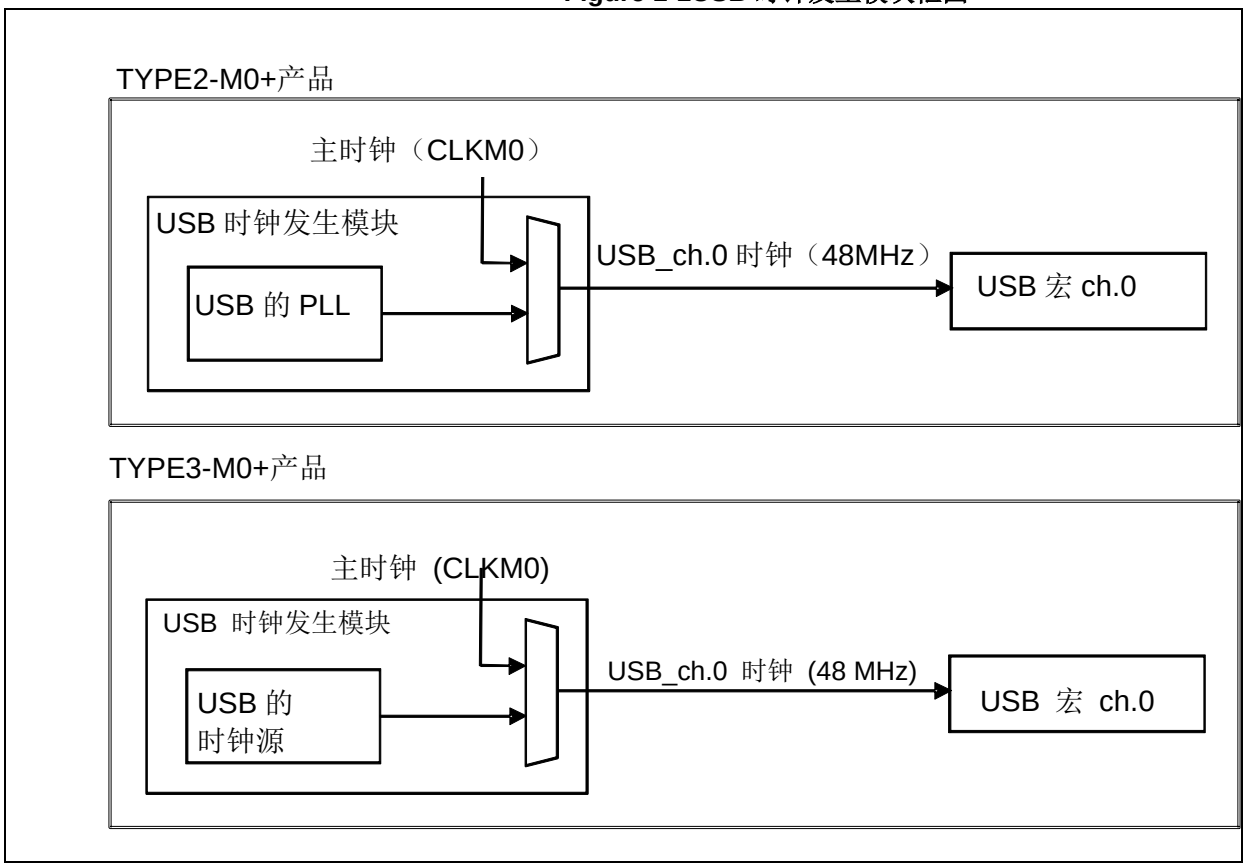
Table 1-1 列出产品类型及相关参考章节。

Table 1-1 产品类型及参考章节

产品类型	USB 功能	参考章节
TYPE1-M0+	**-**	**-**
TYPE2-M0+	○	**USB 时钟发生 (A)**
TYPE3-M0+	○	**USB 时钟发生 (B)**

Figure 1-1 所示为 USB 时钟和 USB/以太网时钟发生模块的框图。

Figure 1-1USB 时钟发生模块框图



第 4-2 章：USB 时钟发生 (A)

本章说明 **USB** 时钟发生。

1. **概述**
2. **配置及框图**
3. **操作说明**
4. **设置步骤示例**
5. **寄存器表**
6. **使用注意事项**

代码：9BFUSBETHERPLL_FM0-C03.0

1. 概述

本节概述 USB 时钟的发生。

USB 时钟运行于 48 MHz 频率并由 USB 宏用于通讯。

从以下两种方法中选择 USB 时钟发生的方法。

- 48 MHz 主时钟（以下称为 CLKMO）按原样使用。
- USB 的 PLL(以下称为 USB-PLL)用于时钟源。

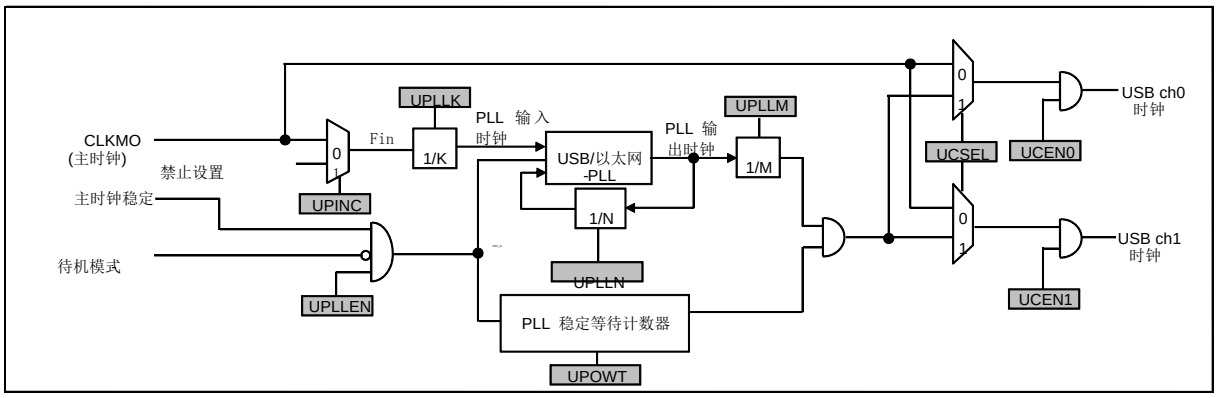
USB 时钟发生单元有以下功能：

- 使能或停止 USB 时钟输出。
- 选择 USB 时钟。
- 使能或停止 USB-PLL 的振荡。
- 选择 USB-PLL 的输入时钟
- 设置 USB-PLL 的输入时钟分频。
- 设置 USB-PLL 的输出时钟放大。
- 设置 USB-PLL 的稳定等待时间。
- 待机模式时停止 USB 时钟。

2. 配置及框图

本节说明 USB 时钟发生单元的配置和框图。

Figure 2-1 USB 时钟发生单元框图



USB-PLL 控制寄存器 (UPLLEN)

控制寄存器可使能 USB-PLL 振荡。

输入时钟选择寄存器 (UPINC)

确保选择 CLKMO。

USB-PLL

- 分频设置寄存器 (UPLLK, UPLLN, UPLLM)

  产生 48 MHz 的 USB 时钟，需要设置 K 分频、N 分频和 M 分频。
  USB-PLL 输入时钟频率、输出时钟频率以及放大器（N 分频设置值）的规格范围，参见 PLL 输入时钟频率的 PLL 使用条件、 "PLL 宏振荡时钟频率"和所使用产品的《数据手册》中的 PLL 放大器。

- 振荡稳定等待时间设置(UPOWT)

  可指定 USB-PLL 的振荡稳定等待时间。

输出时钟

- 输出时钟选择寄存器(UCSEL)

  可从 CLKMO 或 USB-PLL 输出时钟选择。

- PLL 时钟输出使能寄存器(UCEN0, UCEN1))

  可设置 USB 时钟输出使能。

待机模式设置

- Figure 2-1 所示待机模式信号在以下模式变有活动。
  USB 时钟在以下待机模式停止。
  - 停止模式
  - TIMER 模式
- Figure 2-1 所示主时钟稳定信号为各模式的振荡稳定信号。

3. 操作说明

本节说明 USB 时钟发生单元的操作。

选择 USB 时钟

USB 时钟可选择以下两类时钟。

- CLKMO

CLKMO 可直接用为 USB 时钟。 这种情况下，CLKMO 必须通过外部以 48 MHz 频率输入，或必须按 48 MHz 频率振荡。 确认 CLKMO 振荡稳定后，使能 USB 时钟输出。

- 选择 USB-PLL 输出时钟。

USB-PLL 输出时钟可用为 USB 时钟的源时钟。

USB-PLL 输出时钟必须以 240 MHz 或 288 MHz 输出，以便在 M 分频后产生 48 MHz 时钟。

Table 3-1 列出分频比设置示例。

Table 3-1 PLL 分频比设置示例

Fin (MHz)	USB 时钟输出 48 MHz		
	PLL 输出频率 240 MHz		
	K	N	M
4	1	60	5
8	1	30	5
8	2	60	5
16	1	15	5
16	2	30	5
16	4	60	5
24	2	20	5
24	4	40	5
24	6	60	5
48	*		

*：未使用 USB-PLL 时，直接使用 CLKMO 为 USB 时钟。

转变为待机模式

■ 改变为待机模式时

改变为待机模式 (STOP 模式或 TIMER 模式)前，设置 UCCR 寄存器的 UCEN0 和 UCEN1 为 "0"，停止 USB 时钟供应。

1. 设置 UCCR:UCEN0=0 和 UCCR:UCEN1=0。
2. 读取 UCCR 寄存器，检验 UCEN0 和 UCEN1 是否设置为 0。
3. 改变为待机模式。

从待机模式唤醒时，如有必要，设置 UCEN0 和 UCEN1 位为 "1"。 USB 时钟振荡稳定后启动供应。 采用以下相应动作确认 USB 时钟振荡是否已稳定。

a) 使用 USB-PLL 时

检验 UP_STR:UPRDY 为 1，或使用 USB-PLL 振荡稳定等待中断。

b) 使用 CLKMO(48 MHz) 时

CLKMO 振荡稳定后，供应 USB 时钟。

USB-PLL 振荡稳定等待设置

■ 可指定 USB-PLL 的振荡稳定等待时间

CLKMO 振荡稳定后，开始计数 USB-PLL 的振荡稳定等待时间。

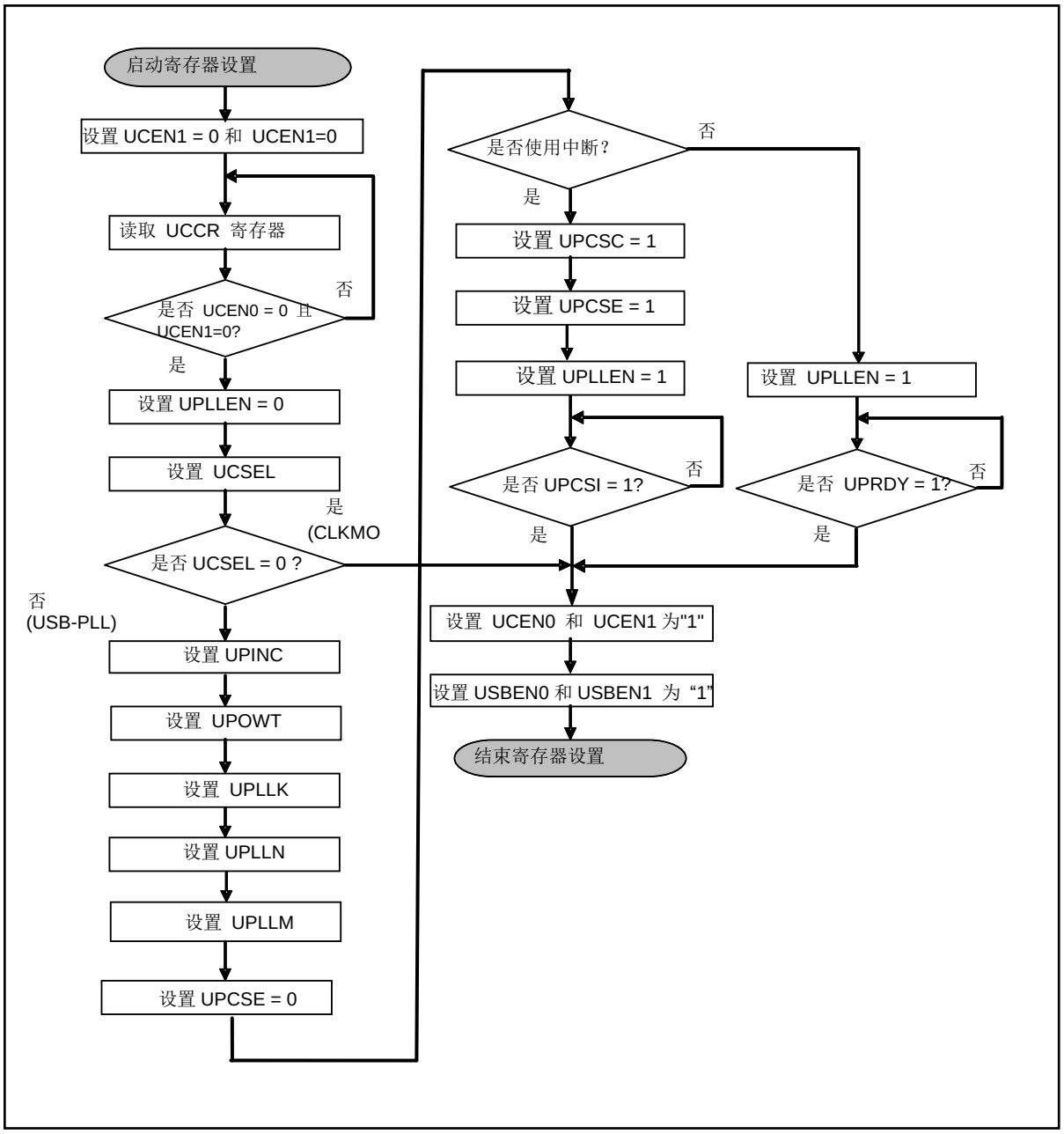
使能 USB-PLL 振荡前，配置 USB-PLL 的振荡稳定等待时间以及振荡稳定完成中断。等待振荡稳定过程中，不能改变振荡稳定等待时间。

4. 设置步骤示例

本节说明 USB 时钟发生单元的设置示例。

Figure 4-1 所示为 USB 时钟设置示例。

Figure 4-1 USB 时钟发生步骤



5. 寄存器表

本节说明 USB 时钟发生单元的寄存器列表。

USB 时钟发生单元的寄存器列表

缩写	寄存器名称	参考章节
UCCR	USB 时钟控制寄存器	5.1
UPCR1	USB-PLL 控制寄存器 1	5.2
UPCR2	USB-PLL 控制寄存器 2	5.3
UPCR3	USB-PLL 控制寄存器 3	5.4
UPCR4	USB-PLL 控制寄存器 4	5.5
UPCR5	USB-PLL 控制寄存器 5	5.6
UP_STR	USB-PLL 状态寄存器	5.7
UPINT_ENR	USB-PLL 中断因素使能寄存器	5.8
UPINT_STR	USB-PLL 中断因素状态寄存器	5.9
UPINT_CLR	USB-PLL 中断因素清除寄存器	5.10
USBEN0	USB (ch.0)使能寄存器	5.11
USBEN1	USB (ch.1) 使能寄存器	5.12

5.1 USB 时钟控制寄存器 (UCCR)

UCCR 选择 USB 时钟并使能/禁用 USB 时钟输出。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留				UCEN1	保留	UCSEL	UCEN0
属性	-				R/W	-	R/W	R/W
初始值	-				0	-	0	0

寄存器功能

[bit7:4] 保留：保留位

这些位读为 0b0000。

这些位写入设置为 "0b0000"。

[bit3]UCEN1: USB(ch.1) 时钟输出使能位

位	描述
0	禁止 USB (ch.1) 时钟输出 [初始值]
1	使能 USB (ch.1) 时钟输出

[bit2] 保留：保留位

此位读取值为 0。

此位写入设置为 0。

[bit1] UCSEL: USB 时钟选择位

位	描述
0	CLKMO [初始值]
1	USB-PLL 振荡时钟

[bit0] UCEN: USB 时钟输出使能位

位	描述
0	禁止 USB (ch.0) 时钟输出 [初始值]
1	使能 USB (ch.0) 时钟输出

注意事项：

- *通过 UCSEL 位选择 CLKMO 为 USB 时钟时，必须从外部主振荡输入 48 MHz 频率。*
- *软件复位不能初始化本寄存器。*

5.2 USB-PLL 控制寄存器 1 (UPCR1)

UPCR1 设置 USB-PLL。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留						UPINC	UPLLEN
属性	-						R/W	R/W
初始值	-						0	0

寄存器功能

[bit7:2] 保留：保留位

这些位的读为 0b000000。

这些位写入设置为 0b000000。

[bit1] UPINC: USB-PLL 输入时钟选择位

位	描述
0	CLKMO [初始值]
1	禁止设置。

[bit0] UPLLEN: USB-PLL 振荡使能位

位	描述
0	停止 USB-PLL [初始值]
1	使能 USB-PLL 振荡

注意事项：

- *确保设置 UPINC 为 0。UPINC 为 1 时，不能保证正确操作。*
- *软件复位不能初始化本寄存器。*

5.3 USB-PLL 控制寄存器 2 (UPCR2)

UPCR2 设置 USB-PLL 的稳定等待时间。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留					UPOWT		
属性	-					R/W		
初始值	-					000		

寄存器功能

[bit7:3] 保留：保留位

这些位的读为 0b00000。

这些位写入设置为 0b00000。

[bit2:0] UPOWT: USB-PLL 振荡稳定等待时间设置位

bit2	bit1	bit0	描述
0	0	0	2^9/Fin :大约 128 µs * [初始值]
0	0	1	2^{10}/Fin :大约 256 µs *
0	1	0	2^{11}/Fin :大约 512 µs *
0	1	1	2^{12}/Fin :大约 1.02 ms *
1	0	0	2^{13}/Fin :大约 2.05 ms *
1	0	1	2^{14}/Fin :大约 4.10ms*
1	1	0	2^{15}/Fin :大约 8.20 ms *
1	1	1	2^{16}/Fin :大约 16.4 ms *

*: 当 F_{in} = 4 MHz 时

注意事项：

- *Fin 为UPINC 所选择的时钟(CLKMO) 。*
- *软件复位不能初始化本寄存器。*
- *不同产品的 PLL 宏振荡稳定等待时间不同，具体参见所用产品《数据手册》中 PLL 振荡稳定等待时间的使用条件。*

5.4 USB-PLL 控制寄存器 3 (UPCR3)

UPCR3 设置 USB-PLL 宏的分频比 (K)。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留			UPLLK				
属性	-			R/W				
初始值	-			00000				

寄存器功能

[bit7:5] 保留：保留位

这些位的读取值为 0b000。

写入时将这些位设置为 0b000。

[bit4:0] UPLLK: USB-PLL 时钟的分频比(K) 设置位

bit4:0	描述
00000	通过 (UPLLK+1)进行分频。 可使用 UPLLK 值设置 1~32 的分频比。 （示例）： UPLLK = 00000 => 1/1 频率 [初始值]
00001	
•	
•	
11111	

注意事项：

- *软件复位不能初始化本寄存器。*

5.5 USB-PLL 控制寄存器 4 (UPCR4)

UPCR4 设置 USB-PLL 宏的分频比(N) 。

■ 寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留	UPLLN						
属性	-	R/W						
初始值	-	0111011						

■ 寄存器功能

[bit7] 保留：保留位

此位读取值为 0b0 。

此位写入设置为 0b0 。

[bit6:0] UPLLN: USB-PLL 时钟的分频比 (N) 设置位

bit6:0	描述
0000000	禁止设置。
•	
0001100	
0001101	通过 (UPLLN+1) 进行分频。 可使用 UPLLN 值设置 14~100 的分频比。 （示例）：UPLLN = 0111011 => 1/60 频率 [初始值]
•	
•	
1100011	
1100100	禁止设置。
•	
1111111	

注意事项：

- *软件复位不能初始化本寄存器。*

5.6 USB-PLL 控制寄存器 5 (UPCR5)

UPCR5 设置 USB-PLL 宏的分频比 (M) 。

■ 寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留				UPLLM			
属性	-				R/W			
初始值	-				0100			

■ 寄存器功能

[bit7:4] 保留：保留位

这些位读为 0b0000。

这些位写入设置为 "0b0000"。

[bit3:0] UPLLM: USB-PLL 时钟的分频比 (M)设置位

bit3:0	描述
0000	通过(UPLLM+1)进行分频。 可使用 UPLLM 值设置 1~16 的分频比。 （示例）： UPLLM = 0100 => 1/5 频率 [初始值]
0001	
•	
•	
1111	

注意事项：

- *软件复位不能初始化本寄存器。*

5.7 USB-PLL 状态寄存器 (UP_STR)

UP_STR 指示 USB-PLL 的宏状态。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留							UPRDY
属性				-				R
初始值				-				0

寄存器功能

[bit7:1] 保留：保留位

这些位读为 0b0000000。

这些位写入设置为 0b0000000 。

[bit0] UPRDY: USB-PLL 振荡稳定位

位	描述
0	处于稳定等待或振荡停止状态 [初始值]
1	处于稳定状态

注意事项：

- *软件复位不能初始化本寄存器。*

5.8 USB-PLL 中断因素使能寄存器 (UPINT_ENR)

UPINT_ENR 使能/禁止 USB-PLL 振荡稳定等待完成中断。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留							UPCSE
属性	-							R/W
初始值	-							0

寄存器功能

[bit7:1] 保留：保留位

这些位读为 0b0000000。

这些位写入设置为 0b0000000 。

[bit0] UPCSE: USB-PLL 振荡稳定完成中断使能位

位	描述
0	禁用中断[初始值]
1	使能中断

5.9 USB-PLL 中断因素状态寄存器 (UPINT_STR)

UPINT_STR 指示 USB-PLL 振荡稳定等待中断的状态。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留							UPCSI
属性				-				R
初始值				-				0

寄存器功能

[bit7:1] 保留：保留位

这些位读为 0b0000000。

这些位写入设置为 0b0000000 。

[bit0] UPCSI: USB-PLL 中断因素状态位

位	描述
0	没有发生中断[初始值]
1	发生了中断

5.10 USB-PLL 中断因素清除寄存器(UPINT_CLR)

UPINT_CLR 用于清除 USB-PLL 中断因素。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留							UPCSC
属性				-				W
初始值				-				0

寄存器功能

[bit7:1] 保留：保留位

这些位读为 0b0000000。

这些位写入设置为 0b0000000 。

[bit0] UPCSC: USB-PLL 振荡稳定中断因素清除位

位	描述
0	禁用[初始值]
1	清除 USB-PLL 振荡稳定等待中断

注意事项：

- *本寄存器的 UPCSC 位写入 1，清除 UPINT_STR 寄存器。*

5.11 USB (ch.0) 使能寄存器 (USBEN0)

USBEN0 使能/禁止 USB (ch.0)控制器操作。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留							USBEN0
属性	-							R/W
初始值	-							0

寄存器功能

[bit7:1] 保留：保留位

这些位读为 0b0000010。

这些位写入设置为 0b0000010。

[bit0] USBEN0: USB(ch.0) 使能位

位	描述
0	禁止 USB(ch.0) 操作（复位 USB 控制器） [初始值]
1	使能 USB (ch.0) 操作

注意事项：

- *使用 USB(ch.0)时，先设置此位为 1 。*
- *设置此位为 1 之前，至少提供 5 个周期的 USB 时钟至 USB 控制器。*

5.12 USB (ch.1) 使能寄存器 (USBEN1)

USBEN1 使能/禁止 USB(ch.1) 控制器操作。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留							USBEN1
属性	-							R/W
初始值	-							0

寄存器功能

[bit7:1] 保留：保留位

这些位读为 0b0000010。

这些位写入设置为 0b0000010。

[bit0] USBEN1: USB(ch.1) 使能位

位	描述
0	禁止 USB(ch.1) 操作（复位 USB 控制器） [初始值]
1	使能 USB (ch.1) 操作

注意事项：

- *使用 USB(ch.1)时，先设置此位为 1 。*
- *设置此位为 1 之前，至少提供 5 个周期的 USB 时钟至 USB 控制器。*

6. 使用注意事项

本节说明使用时钟生成单元的注意事项。

■ USB 时钟输出设置和 USB 时钟选择

不能禁止 USB (ch.0) 时钟输出 (UCEN = 0) 的同时选择 USB 时钟 (UCSEL)，也不能禁止 USB (ch.1) 时钟输出 (UCEN = 1) 的同时选择 USB 时钟 (UCSEL)。

所以要确保在选择 USB 时钟前禁止 USB 时钟输出。

■ 设置 USB-PLL 振荡的分频比。

在 PLL 振荡稳定后改变 PLL 分频比时，停止 PLL 振荡一次，改变分频比，然后再次使能 PLL 振荡。

■ 设置 PLL 振荡稳定等待时间

通过 PLL 振荡稳定等待时间设置寄存器设置振荡稳定等待时间，然后使能 PLL。 等待振荡稳定时不得更改振荡稳定等待时间。

■ 选择 USB-PLL 输入时钟。

通过 UCSEL 位写 "1"，选择 USB-PLL 振荡时钟为 USB 时钟。

USB-PLL 控制寄存器 1 (UPCR1)的 UPINC 位写入"0"，并确保选择 CLKMO 为 USB-PLL 输入时钟。

以下 Table 6-1 列出 USB 时钟和 UCSEL/UPLLEN/UPINC 之间的关系。

Table 6-1 USB 时钟和寄存器设置

		UCSEL	UPLLEN	UPINC
使用 48 MHz 主时钟时		0	0	-
使用 PLL 宏振荡时钟时	CLKMO	1	1	0
	禁止设置。	1	1	1

■ 待机模式及 USB-PLL 振荡稳定等待计数器

如果在等待 USB-PLL 振荡稳定时将模式改变为 Timer/Stop 模式，USB-PLL 停止并清除稳定等待计数器。

■ 设置 USB 使用位和 USB 控制器。

要使用 USB 控制器，应使能 USB 使用位(USBEN)。 使能 USB 使用位(USBEN)之前，要向 USB 控制器供应 USB 时钟。 有关 USB 控制器设置详情，参见"USB 功能"和"USB 主机"章节。

第 4-3 章：USB 时钟发生 (B)

本章说明 **USB** 时钟的发生。

1. **概述**
2. **配置及框图**
3. **操作说明**
4. **设置步骤示例**
5. **寄存器**
6. **使用注意事项**

代码：9BFUSBPLLB_FM0-C03.0

1. 概述

本节概述 USB 时钟的发生。

USB 时钟运行于 48 MHz 频率并由 USB 宏用于通讯。

从以下两种方法中选择 USB 时钟发生的方法。

- 48 MHz 主时钟（以下称为 CLKMO）按原样使用。
- 主 PLL(PLLOUT 时钟)用于时钟源。

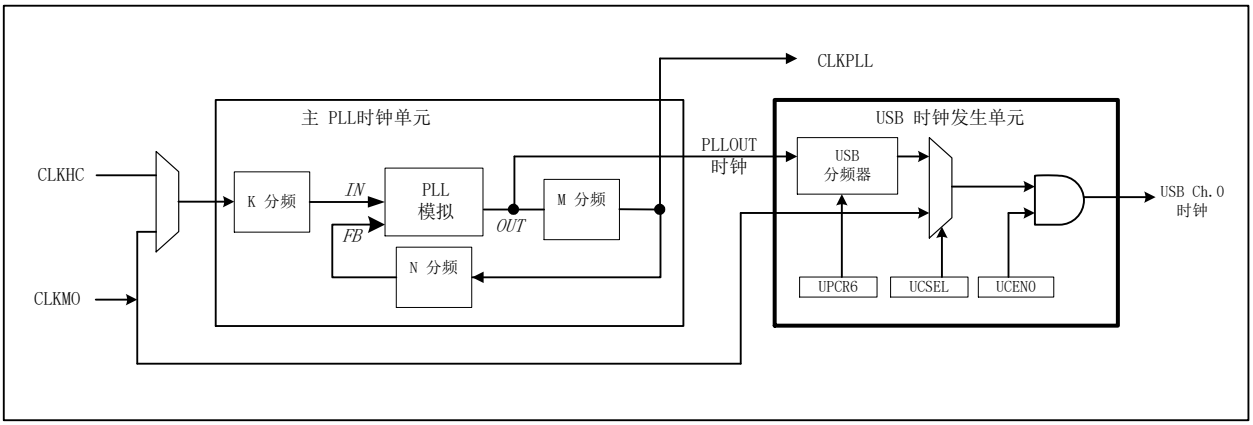
USB 时钟发生单元有以下功能：

- 使能或停止 USB 时钟输出。
- 选择 USB 时钟。
- 设置 USB 时钟的 PLLOUT 时钟分频。

2. 配置及框图

本节说明 USB 时钟发生单元的配置和框图。

Figure 2-1 USB 时钟发生单元框图



USB 分频器

产生 PLLOUT 时钟的分频时钟。 输出时钟频率通过 UPCR6 分频。

USB 时钟必须为 48MHz。 另外，主 PLL 和 UPCR6 必须设置为能够提供 48MHz 时钟至 USB ch.0。

输出时钟

- 输出时钟选择寄存器(UCSEL)

  可从 CLKMO 或 PLLOUT 时钟的分频时钟选择。

- USB 时钟输出使能寄存器(UCEN0)

  可设置 USB 时钟输出使能。

3. 操作说明

本节说明 USB 时钟发生单元的操作。

3.1 选择 USB 时钟

USB 时钟可选择以下两类时钟。

■ CLKMO

CLKMO 可直接用为 USB 时钟。这种情况下，CLKMO 必须通过外部以 48 MHz 频率输入，或必须按 48 MHz 频率振荡。 确认 CLKMO 振荡稳定后，使能 USB 时钟输出。

■ 主 PLL 输出时钟

主 PLL 输出时钟的分频时钟可用为 USB 时钟的源时钟。

主 PLL 输出时钟必须以 96MHz 或 144MHz 输出，在 USB 分频器后产生 48 MHz 时钟。下表为分频比设置示例。

Table 3-1 PLL 分频比设置示例

Fin (MHz)	主 PLL				USB 分频器		CLKPLL 输出时钟频率 [MHz]
	分频比设置			PLL 输出频率 [MHz]	分频率设置	USB 时钟频率 [MHz]	
	K	N	M				
8	1	4	3	96	2	48	32
12	1	3	4	144	3	48	36
16	1	2	3	96	2	48	32
16	2	4	3	96	2	48	32
24	2	3	4	144	3	48	36
24	3	4	3	96	2	48	32

3.2 改变为待机模式

■ 改变为待机模式时

改变为待机模式 (STOP 模式或 TIMER 模式)前，设置 UCCR 寄存器的 UCEN0 为 "0"，停止 USB 时钟供应。

1. 设置 UCCR:UCEN0=0。
2. 读取 UCCR 寄存器，检验 UCEN0 是否设置为"0"。
3. 改变为待机模式。

从待机模式唤醒时，如有必要，设置 UCEN0 位为 "1"。 USB 时钟振荡稳定后启动供应。 采用以下相应动作确认 USB 时钟振荡是否已稳定。

a) 使用主 PLL (PLLOUT) 时

主 PLL 振荡稳定后，供应 USB 时钟。

b) 使用 CLKMO(48 MHz) 时

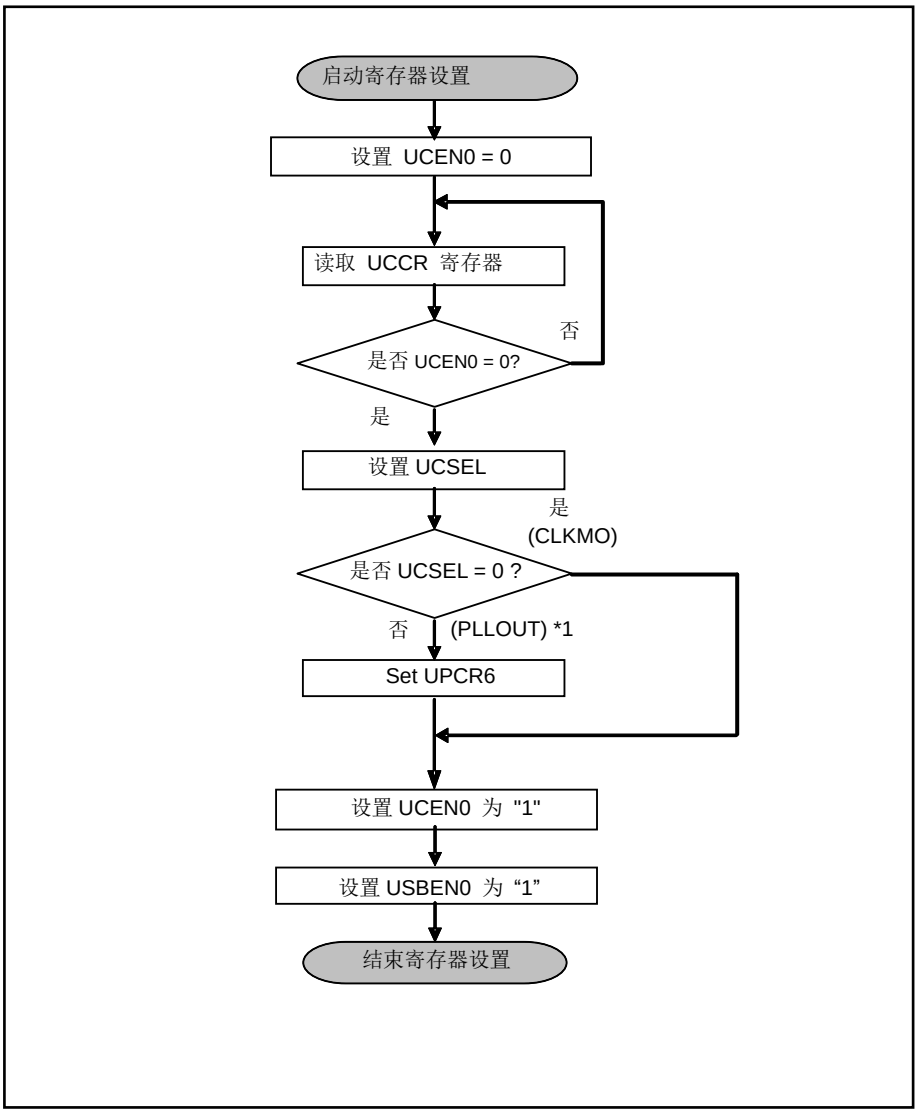
CLKMO 振荡稳定后，供应 USB 时钟。

4. 设置步骤示例

本节说明 USB 时钟发生单元的设置示例。

Figure 4-1 所示为 USB 时钟设置示例。

Figure 4-1 USB 时钟发生步骤



*1：为使用 PLLOUT 时钟，必须设置 PLL，以发生在设置 USB 时钟之前的时钟。

5. 寄存器

5.1 寄存器列表

本节说明 USB 时钟发生单元的寄存器列表。

Table 5-1 USB 时钟发生单元的寄存器列表

缩写	寄存器名称	参考章节
UCCR	USB 时钟控制寄存器	5.2
UPCR6	USB-PLL 控制寄存器 6	5.3
USBEN0	USB (ch.0)使能寄存器	5.4

5.2 USB 时钟控制寄存器 (UCCR)

UCCR 选择 USB 时钟并使能/禁用 USB 时钟输出。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留					UCSEL[1:0]		UCEN0
属性			-			R/W		R/W
初始值			-			00		0

寄存器功能

[bit7:3] 保留：保留位

此位读为 "0"。

写入时将此位设置为 "0"。

[bit2:1] UCSEL[1:0]: USB 时钟选择位

位	描述
00	CLKMO [初始值]
10	PLLOUT 时钟（由 USB 分频器分频）
01,11	禁止设置

[bit0] UCEN0: USB 时钟输出使能位

位	描述
0	禁止 USB (ch.0) 时钟输出 [初始值]
1	使能 USB (ch.0) 时钟输出

注意事项：

- *通过 UCSEL 位选择 CLKMO 为 USB 时钟时，必须从外部主振荡输入 48 MHz 频率。*
- *软件复位不能初始化本寄存器。*

5.3 USB 分频器寄存器 (UPCR6)

UPCR6 设置 PLLOUT 时钟的分频比。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留				UBSR			
属性	-				R/W			
初始值	-				0010			

寄存器功能

[bit7:4] 保留：保留位

这些位的读取值为 "0b0000"。

通过写入将这些位设为 "0b0000"。

[bit3:0] UBSR: PLLOUT 时钟的分频比设置位

bit3:0	描述
0000	通过(UBSR+1)进行分频。 可使用 UBSR 值设置 1~16 的分频比。 （示例）： USBR = "0010" =>1/3 频率 [初始值]
0001	
•	
•	
1111	

注意事项：

- *软件复位不能初始化本寄存器。*

5.4 USB (ch.0) 使能寄存器 (USBEN0)

USBEN0 使能/禁止 USB (ch.0)控制器操作。

寄存器配置

位	7	6	5	4	3	2	1	0
字段	保留							USBEN0
属性	-							R/W
初始值	-							0

寄存器功能

[bit7:1] 保留：保留位

这些位的读取值为 "0b0000010" 。

写入时这些位设为 "0b0000010" 。

[bit0] USBEN0: USB(ch.0) 使能位

位	描述
0	禁止 USB(ch.0) 操作（复位 USB 控制器） [初始值]
1	使能 USB (ch.0) 操作

注意事项：

- *使用 USB(ch.0)时，先设置此位为 "1" 。*
- *设置此位为 "1"之前，至少提供 5 个周期的 USB 时钟至 USB 控制器。*

6. 使用注意事项

本节说明使用时钟生成单元的注意事项。

■ USB 时钟输出设置和 USB 时钟选择

不能禁止 USB (ch.0) 时钟输出 (UCEN = 0) 的同时选择 USB 时钟 (UCSEL)。
所以要确保在选择 USB 时钟前禁止 USB 时钟输出。

■ 选择 CLKMO

通过 UCSEL 位写 "0"，选择 CLKMO 为 USB 时钟。
CLKMO 以 48 MHz 频率振荡时，应选择主时钟。

■ 设置 USB 使用位和 USB 控制器。

要使用 USB 控制器，应使能 USB 使用位(USBEN)。 使能 USB 使用位(USBEN)之前，要向 USB 控制器供应 USB 时钟。 有关 USB 控制器详情，参见"USB 功能"和"USB 主机"章节。

第 5-1 章：USB 设备(USB 功能)

本章说明 **USB** 设备（**USB** 功能）。

1. **USB** 设备（**USB** 功能）概
2. **USB** 设备（**USB** 功能） 置
3. **USB** 设备（**USB** 功能）操作
4. **USB** 设备（**USB** 功能）设置步 示例
5. **USB** 设备（**USB** 功能）寄存器

代码：FW03F-E19.5

1. USB 设备（USB 功能）概

USB 功能是一种支持 USB（ 用串行总线） 信协议的接口。支持全 传输模式 (12 Mbps)，具有以下特性。

1.1 USB 设备（USB 功能）特性

- 支持全 (12 Mbps) 传输。
- 自动应答设备状态。
- 自动产生并检查位剥取、位填充、CRC5 和 CRC16。
- 0 数据同步位 行触发检 。
- 自动应答获得/设置描 符和同步帧命令（ 三个命令的处理与分类厂商命令处理相同）以外的所有标准命令。
- 分类厂商命令可接收为数据并 0 固件响应。
- 支持最大 6 个端点。（端点 0 固定为控制传输）
- 各端点包括 2 个数据传输的缓冲器。
  （端点 0 包含专用于 IN 和 OUT 方向的缓冲器）
- 支持 0 DMA 行自动传输数据（端点 0 缓冲器 外）

注意事 ：

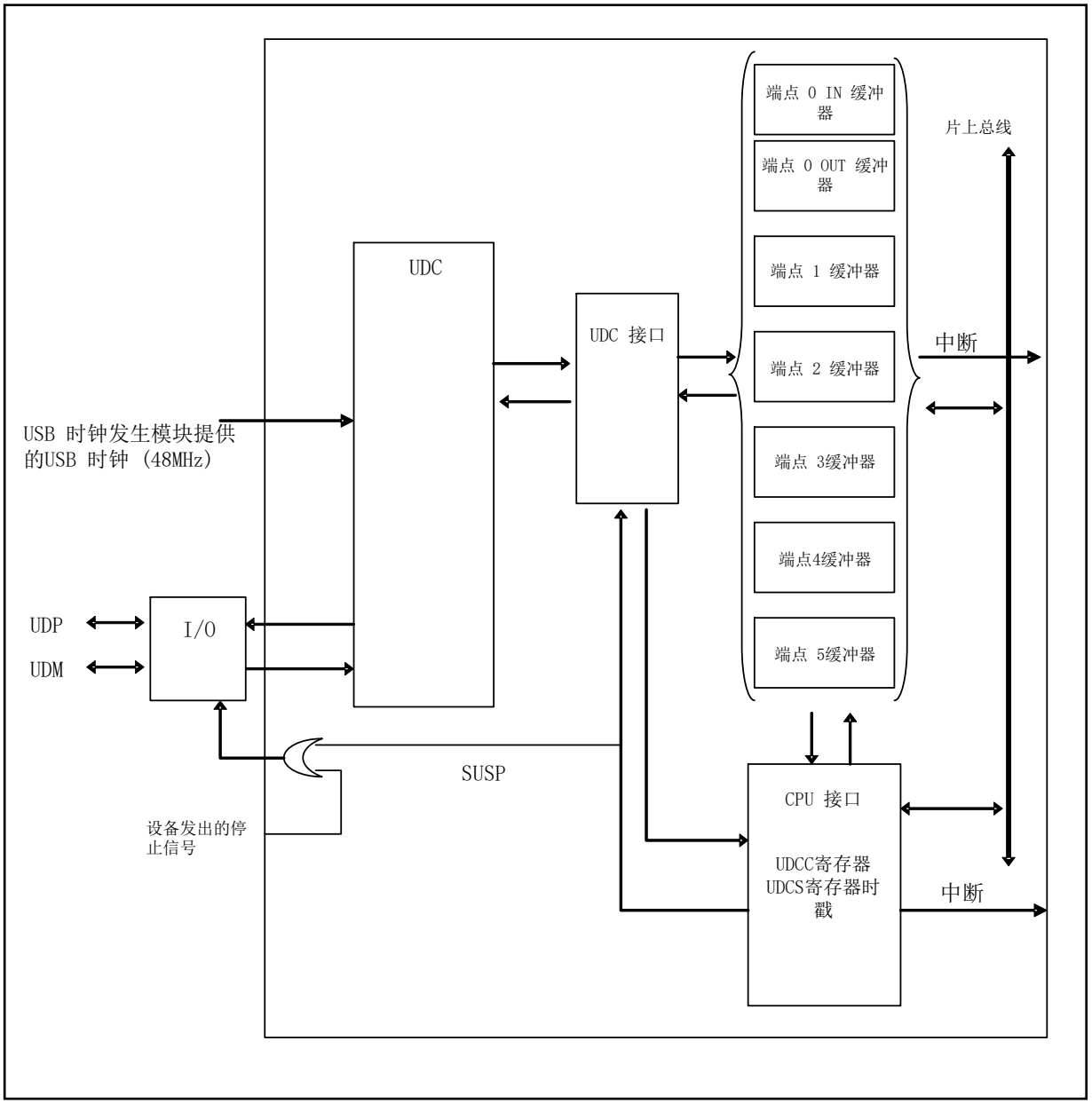
- *使用 USB 功能时，将基本时 (HCLK) 设为 13 MHz 或更 率。*

2. USB 设备（USB 功能） 置

Figure 2-1 所示为 USB 功能框图。

USB 功能框图

Figure 2-1USB 功能框图



USB 功能的端点 置

置组合	置	接口	交替	端点	类型
Comb1	-	-	-	0	CTRL
	1	0	0	1	批 /中断
		0	0	2	批 /中断
		0	0	3	批 /中断
		0	0	4	批 /中断
		0	0	5	批 /中断
Comb2	-	-	-	0	CTRL
	1	1	0	-	- (*1)
		1	1	1	ISO
		0	0	2	批 /中断
		0	0	3	批 /中断
		0	0	4	批 /中断
		0	0	5	批 /中断
Comb3	-	-	-	0	CTRL
	1	1	0	-	- (*1)
		1	1	1	ISO
		2	0	-	- (*1)
		2	1	2	ISO (*2)
		0	0	3	批 /中断
		0	0	4	批 /中断
		0	0	5	批 /中断

Comb1：ISO 未设置为端点 1 和端点 2 类型时的 置

Comb2：ISO 设置为端点 1 类型时的 置

Comb3：ISO 设置为端点 1 和端点 2 类型时的 置

*1：等时设置时，Alternate=0 时不存在端点。
Alternate=0 时接口描 符端点数 被设为 0。

*2：ISO 设置为端点 2 类型时，也必 将 ISO 设置成端点 1 类型。

3. USB 设备（USB 功能）操作

USB 功能支持 USB（ 用串行总线） 信协议，是支持基本协议操作（握手）的硬件。因此，USB 信可以 0 只处理传输数据。

3.1 USB 设备（USB 功能）操作
3.2 接与断开检测
3.3 各寄存器响应命令操作
3.4 挂起功能
3.5 唤 功能
3.6 DMA 传输功能
3.7 NULL 传输功能
3.8 端点 0 的 STALL 响应/ 放
3.9 端点 1 至端点 5 的 STALL 响应/ 放

3.1 USB 设备（USB 功能）操作

使用 USB 功能时， 取以下步 行设置：

1. USB 使能寄存器 (USBEN) 禁用 USB 操作 (USBEN = 0) 时， 置 USB 时 生成模块。
2. 使能 USB 时 输出。
3. 使能 USB 操作 (USBEN = 1)。

USB 功能与支持 USB 协议的主机控制器 行双向包传输。枚举与主机和设备的 接和 置。使用设备动以不同的传输类型相继执行 信。

下文以枚举为例说明主机和设备之 的 USB 信操作。

0 寄存器和 USB 数据包的特性对整个 程 行详细说明。

枚举

枚举是 USB 操作的 个 程，建立主机和设备之 的 接。主机 0 使用 USB 控制传输（一种 USB 传输方式）排查 USB 总线 接的设备类型。（在 USB 规格中定义）。本 程使用六个端点中的 EP0（端点 0）（在 USB 规格中定义）。

使用 EP1 至 EP5 时，要求 USB 总线的接收和处理要求 用以下 序：

1. 复位 USB 总线
2. 0 SET_Address 设置地址
3. 0 SET_Config 设置 置

Figure 3-1USB 线引脚 接示例



- USB 总线 接检测

  报告从设备至主机的 接。

  主机监视 USB 总线上的两条信号线（D+ 和 D-），并在任意信号转向 HIGH 电平时找到设备的 接。

  有关自供电模式如何使用设备的详细步 ，参见 "3.2 接与断开检测"。总线供电下使用设备时，循初始寄存器设置中的步 和操作启动步 。

■ 初始寄存器设置和操作启动步

以下为 USB 功能寄存器的初始设置步 示例。

1. 0 EP0C 寄存器设置 EP0 置（如包大小）。
2. 0 EP1C~EP5C 寄存器设置各端点的 EPEN、DIR 或 TYPE。
3. 清 UDCC 寄存器中的 RST 位。
4. 清 EP0IS、EP0OS 和 EP1S~EP5S 寄存器中的 BFINI。
5. 清 UDCC 寄存器中的 HCONX 位。

■ USB 总线复位

主机在设备的总线复位时，初始化 USB 设备内核，但是不初始化寄存器和缓冲器的状态。

取以下步　处理设备。（　接 USB 后，在初始总线复位中不　要此　程。）

1. 　0　EP0I 状态寄存器 (EP0IS) 的 BFINI 位、EP0O 状态寄存器 (EP0OS) 的 BFINI 位、以及 EP1~EP5 状态寄存器（EP1S 至 EP5S）的 BFINI 位初始化缓冲器。
2. 固件控制　回至枚举前的状态。

■ 描　符

主机向设备发出请求时，设备将应答该请求向主机报告数据。

信划分为以下三个　段。

Figure 3-2　信　段



设置　段检　设备是否成功接收主机发　的包并解码了该命令。本　段中，在发　缓冲器中准备在下一个数据　段　回的描　符信息。数据　段检　主机是否成功发　了数据。在状态　段中，主机发　无数据的包，结束传输。

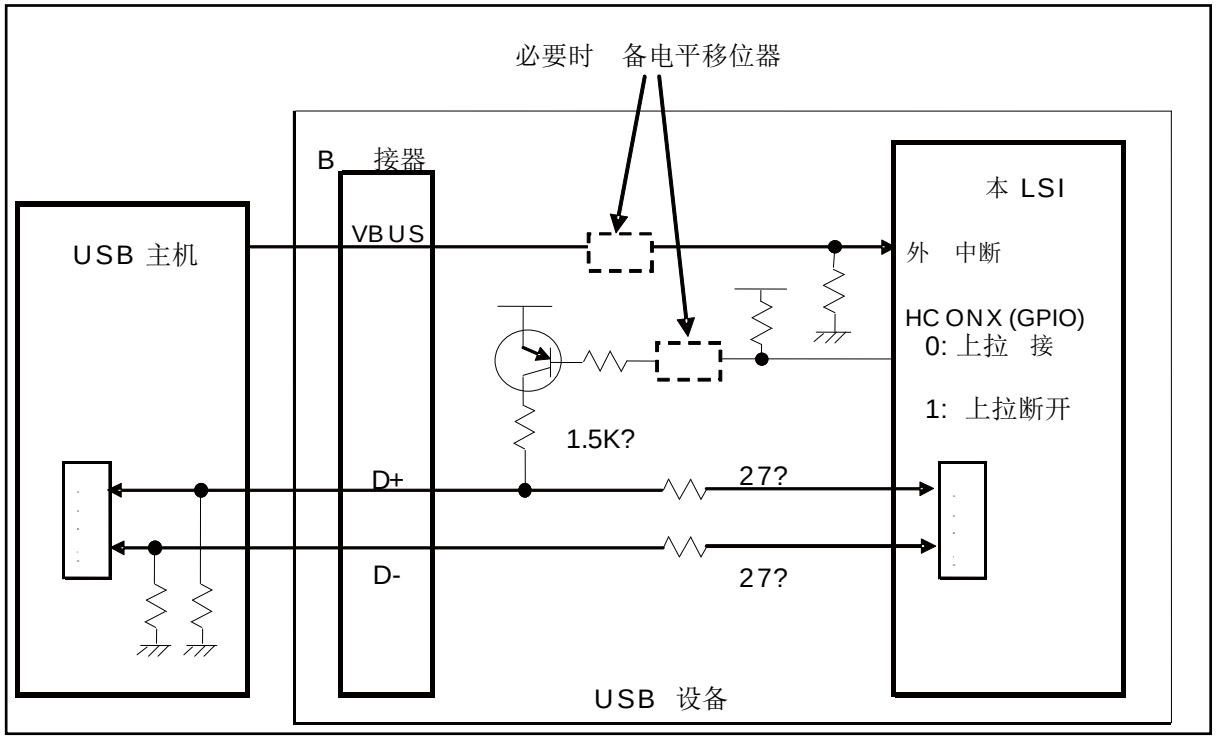
3.2 接与断开检测

以下说明与 USB 主机的 接和断开检测。

USB 系统 接示例

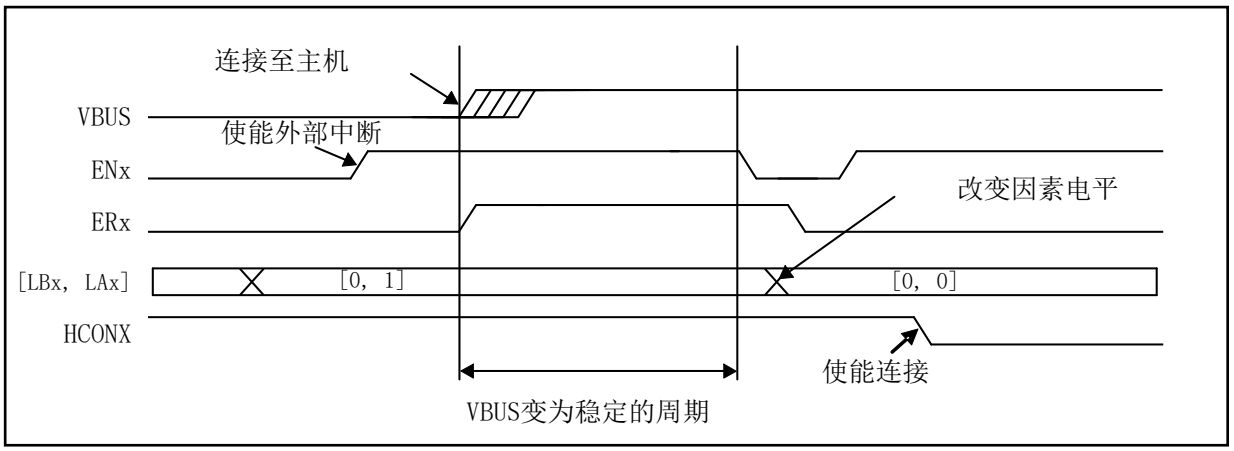
0 将外 中断引脚 接 USB 接器的 VBUS 引脚并在 VBUS 信号上 置下拉电 器，可检测是否与 USB 主机断开。Figure 3-3 所示为 USB 接器与 D+、D- 和 VBUS 的 接示例。

Figure 3-3USB 系统 置示例



■ 接检测

Figure 3-4 接检测操作



设备按下 序查找并处理与主机的 接：

1. 必 将 UDCC 寄存器的 HCONX 位设为 1。（控制 用端口上的上拉电 器时，将端口设置成上拉电 器断开。）
2. 与 VBUS 接的外 中断源电平设置为 HIGH 电平检测，使能中断。
3. 0 检测外 中断引脚的 HIGH 电平，查找 USB 主机 接并等待 VBUS 变稳定。
4. 禁用外 中断一次。将外 中断因素电平变为 LOW，清 中断源并再次使能外 中断。
5. 置初始设置（初始化包括 USB 功能寄存器在内的所有 件。）参见本节中的 "初始寄存器设置和操作启动步 "。
6. 0 清 *1 UDCC 寄存器中的 HCONX 位， 接上拉电 器和 D+。*2

*1: 控制 用端口上的上拉电 器时，清 UDCC 寄存器中的 HCONX 位，并将上拉电 器控制 用端口设置为上拉电 器 接。

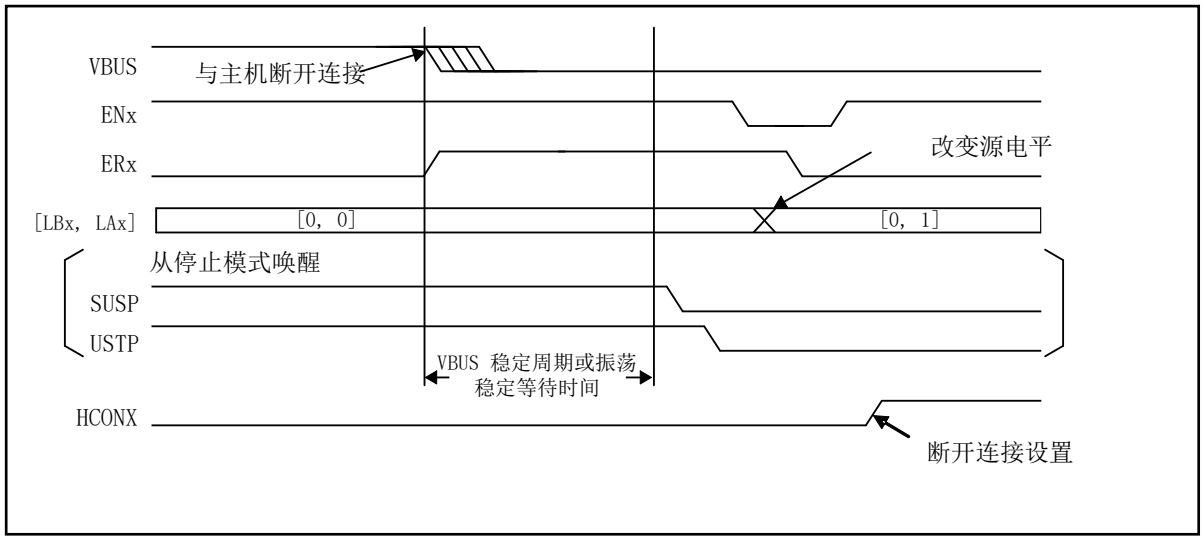
*2: 即使不控制上拉电 器，仍然清 HCONX 位。

注意事 ：

- *若外 中断引脚上有外 噪声滤波器，不 要 0 程序设置上 VBUS 稳定周期。*

■ 断开检测

Figure 3-5 断开检测操作



设备按下　　序查找并处理与主机的断开：

1. 　0 检测与 VBUS　 接的外　中断引脚 LOW 电平，查找 USB 主机断开。
2. 从停止模式或计时器模式唤　时
   在振荡稳定等待时　后，依次清　 UDCS 寄存器中的 SUSP 以及 UDCC 寄存器中的 USTP。
   在停止模式和计时器模式之外的模式中，等待 VBUS 变稳定。
3. 禁用外　中断一次。将外　中断因素电平变为 HIGH，清　中断因素并再次使能外　中断。
4. 　0 设置*1 UDCC 寄存器中的 HCONX 位，将上拉电　器从 D+断开。*2

*1: 控制　用端口上的上拉电　器时，设置 UDCC 寄存器中的 HCONX 位，并将上拉电　器控制　用端口设置为上拉电　器断开。

*2: 即使不控制上拉电　器，仍然设置 HCONX 位。

注意事　：

- *若外　中断引脚上有外　噪声滤波器，不　要　0 程序设置上　 VBUS 稳定周期。*

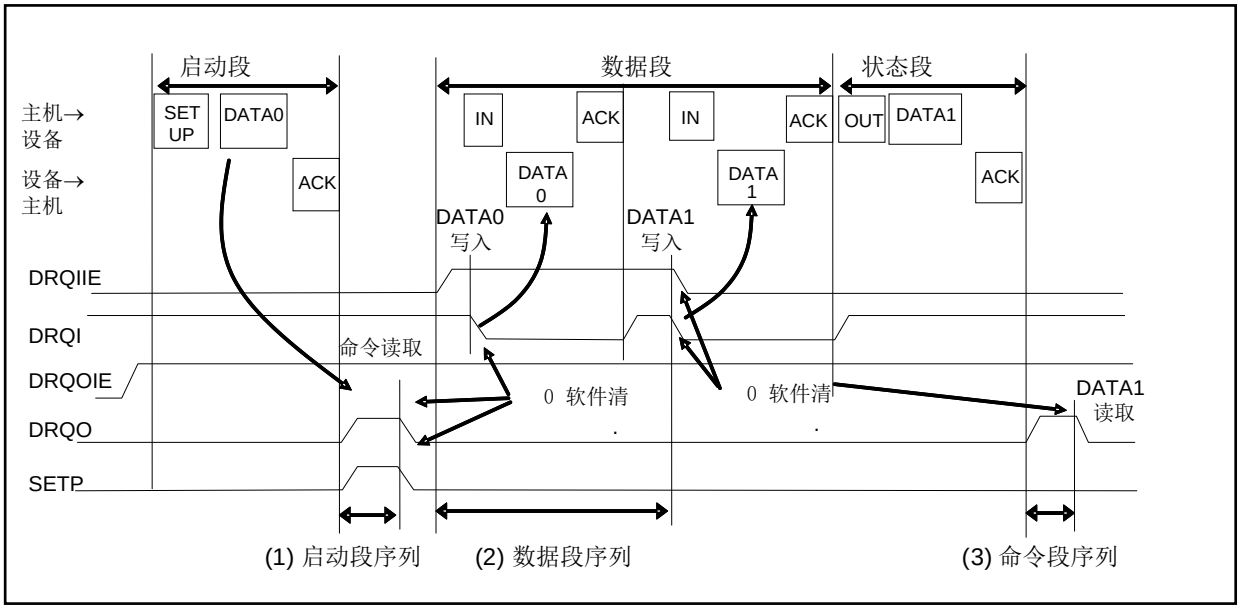
3.3 各寄存器响应命令操作

以下说明处理 USB 包的方法（架构）。响应 CPU 中断，每次握手 要处理固件序列。 等于分 段处理各包。

各寄存器响应读取命令的操作

以下说明获取描 符、同步帧和分类厂商命令。

Figure 3-6 各寄存器响应读取命令的操作



(1) 设置 段序列

收到设置 段时，DRQO 变为 1。 DRQO 改变后立即输入 CPU 中断并检 SETP 标志。如果标志为 1，读取接收缓冲器中命令的规定位。（没必要读取所有八个字节。） 后解码命令， 置规定设置、清 SETP 标志和 DRQO 中断因素，并 回。

(2) 数据 段序列

若命令解码推断数据 段为 IN 方向，则使能 DRQIIE *，并 0 CPU 中断将输出数据传输至发 缓冲器。传输结束后，清 DRQI 中断因素并 回。

*：DRQI 中断因素初始设置值为 1，只用于使能中断。

完成 IN 方向的数据包后，设置 DRQI。设置 DRQI 后，立即输入 CPU 中断，并将输出数据传输至发 缓冲器，为下一个数据包做好准备。传输结束后，清 中断源 DRQI 并 回。

(3) 命令结束序列

完成 OUT 方向的状态 段后，设置 DRQO。设置 DRQO 后，立即输入 CPU 中断并检 接收数据单元数 是否为 0。为一下设置 段做准备，清 中断因素 DRQO 并 回。

注意事 ：

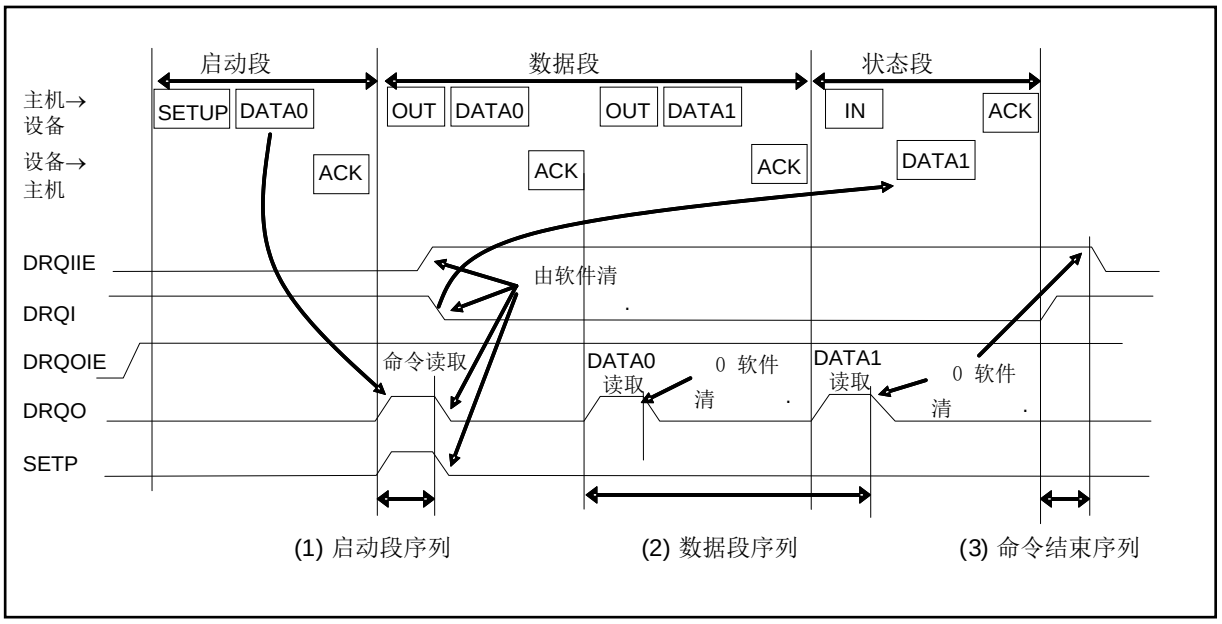
由于有比 USB 更优先的中断 程，未执行 (3) 命令结束序列就接收到下一设置 段时，设备将不响应下一个设置 段。为 免此现象，执行以下任意操作：

- *提 设置 段、数据 段和命令结束序列的中断优先级*
- *继续数据 段序列的 IN 传输中断 程，直到在命令结束序列中清 DRQO。*

各寄存器响应写入命令的操作

以下说明设置描　符和分类厂商命令。

Figure 3-7 各寄存器响应写入命令的操作



(1) 设置　段序列

收到设置　段时，DRQO 将立即变为 1。DRQO 改变为 1 后，立即输入 CPU 中断并检　SETP 标志。如果标志为 1 ，读取接收缓冲器中命令的规定位。（没必要读取所有八个字节。）　后解码命令，　置规定设置。

准备状态　段的 0 字节响应时，不将数据写入发　缓冲器，将 DRQI 设为 “0”（DRQI 中断因素的初始设置值为 1)。将 DRQIIE 设为 1，检　是否成功完成状态　段。清　SETP 标志和 DRQO 中断因素，从中断　回。

(2) 数据　段序列

完成 OUT 方向的数据包时，设置 DRQO。设置 DRQO 后立即输入 CPU 中断并检　EP0 状态寄存器中的 SIZE。使用 DMA　制接收数据，或使用 CPU 读取访　从接收缓冲器读取数据。后清　中断因素 DRQO，从中断　回。

(3) 命令结束序列

完成 IN 方向的状态　段后，设置 DRQI。设置 DRQI 后立即输入 CPU 中断并检　是否已成功完成状态　段。　后清　中断因素 DRQI 并　回。

3.4 挂起功能

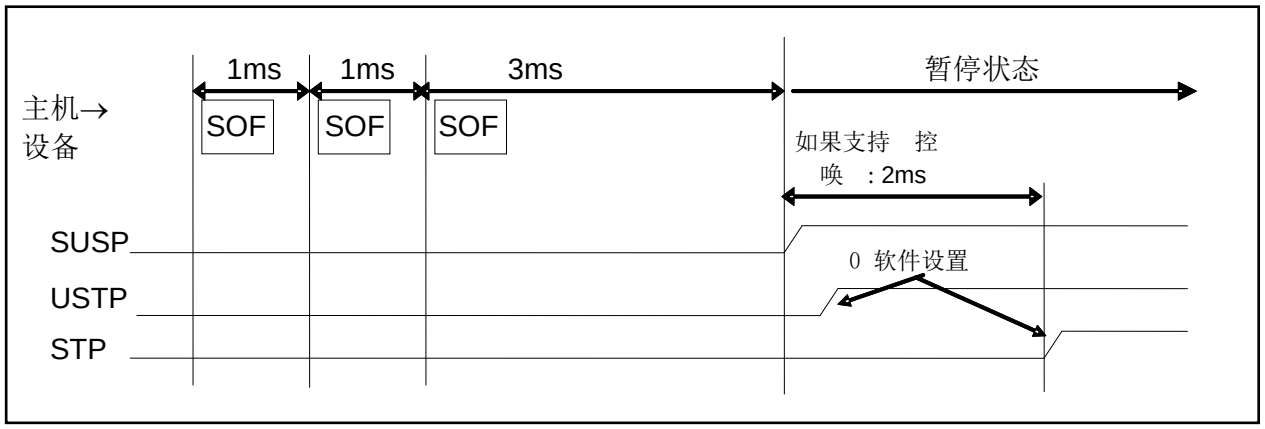
USB 设备在挂起状态的功耗必 能 至 500 µA 或更小，具体视总线电源 置而不同。以下说明 USB 设备转换到挂起状态、停止模式或计时器模式的 序。

挂起 序

USB 设备内核检测挂起状态时，使能 UDCS 寄存器中的 SUSP 位。

以下说明 序示例。

Figure 3-8 挂起操作



- 挂起 序

  USB 总线 活动时 持续 3 ms 或以上时，USB 功能检测挂起状态，并设置 UDCS 寄存器中的 SUSP 位中断因素。如果设备支持 控唤 功能，USB 功能将再等 2 ms * 并设置停止模式或计时器模式。

  *： 是 止 控唤 所 时 。

注意事 ：

- *入停止模式或计时器模式前，按照此 序设置 UDCIE:SUSPIE = 0 及 UDCC:USTP = 1。*

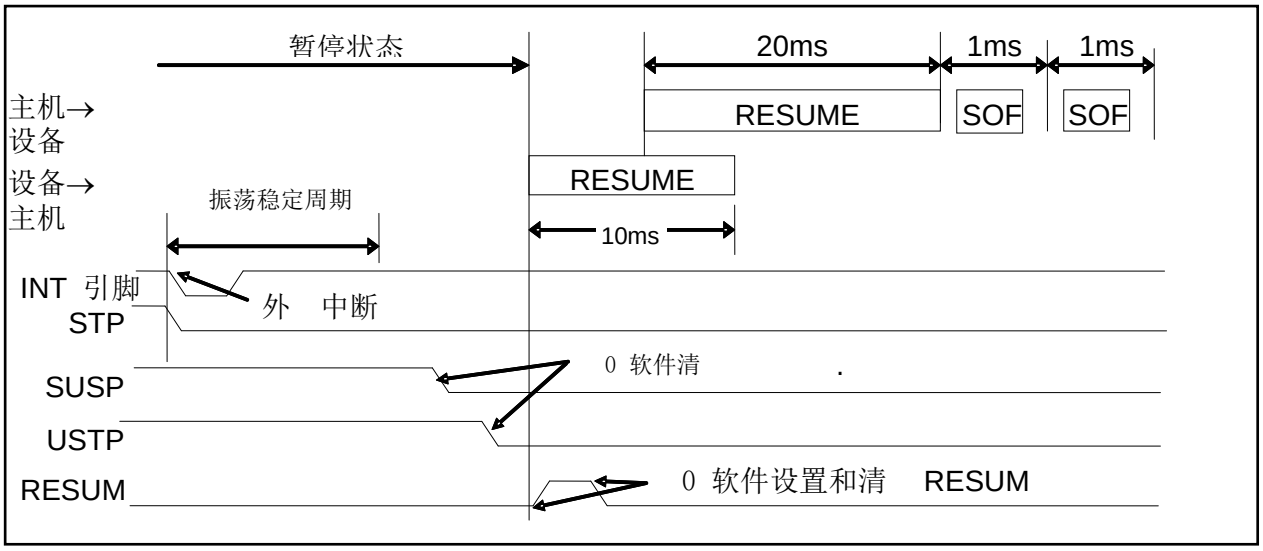
3.5 唤 功能

USB 协议提供两种方式将 USB 设备从挂起状态恢复至唤 状态。

- 0 设备 控唤
- 0 主机唤

控唤

Figure 3-9 控唤 操作

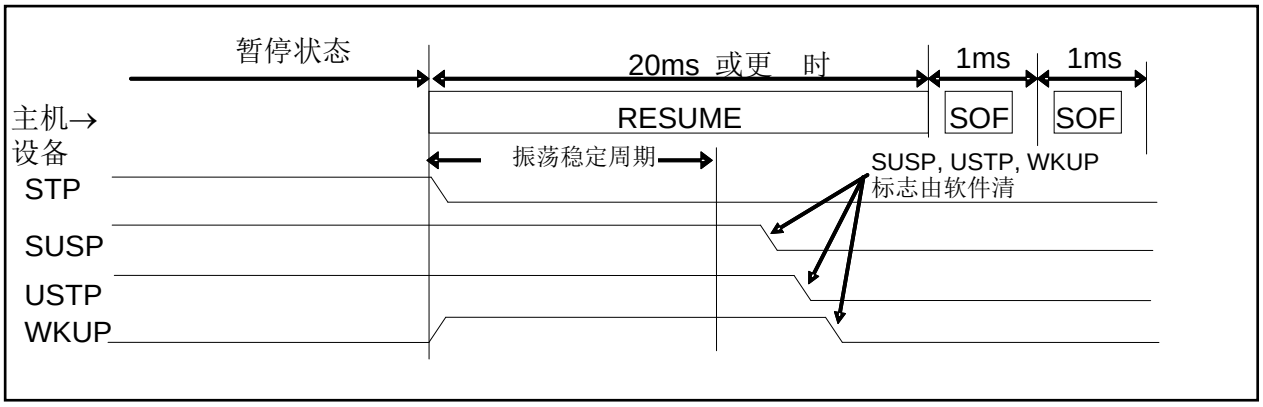


必 按照以下 序处理设备：

1. 0 外 中断将设备从停止模式或计时器模式恢复。
2. 检 USB 生成时 是否稳定。
3. 将 UDCS 寄存器中的 SUSP 位清 为 0。
4. 0 UDCS 寄存器执行假读。
5. 将 UDCC 寄存器中的 USTP 位清 为 0。
6. 0 USTP 寄存器执行假读。
7. 将 UDCC 寄存器中的 RESUM 位设为 0。
8. 将 UDCC 寄存器中的 RESUM 位清 为 0。

0 主机唤

Figure 3-10 0 主机唤 的操作



按照以下 序处理 USB 设备：

1. 设置振荡稳定时 ，不超0 10 ms。
2. 检 USB 时 是否稳定。
3. 按照此 序将 UDCS 寄存器中的 SUSP 位及 UDCC 寄存器中的 USTP 位清 为 0。
4. 将 UDCS 寄存器中的 WKUP 位清 为 0。

3.6 DMA 传输功能

USB 功能处理的数据可 0 DMA 在发 /接收缓冲器和嵌入式 RAM 之 传输。DMA 传输有以下两种模式。

- 包传输模式。在此模式中，CPU 为各包启动 DMA。
- 自动数据 传输模式。在此模式中，自动为各包启动 DMA。

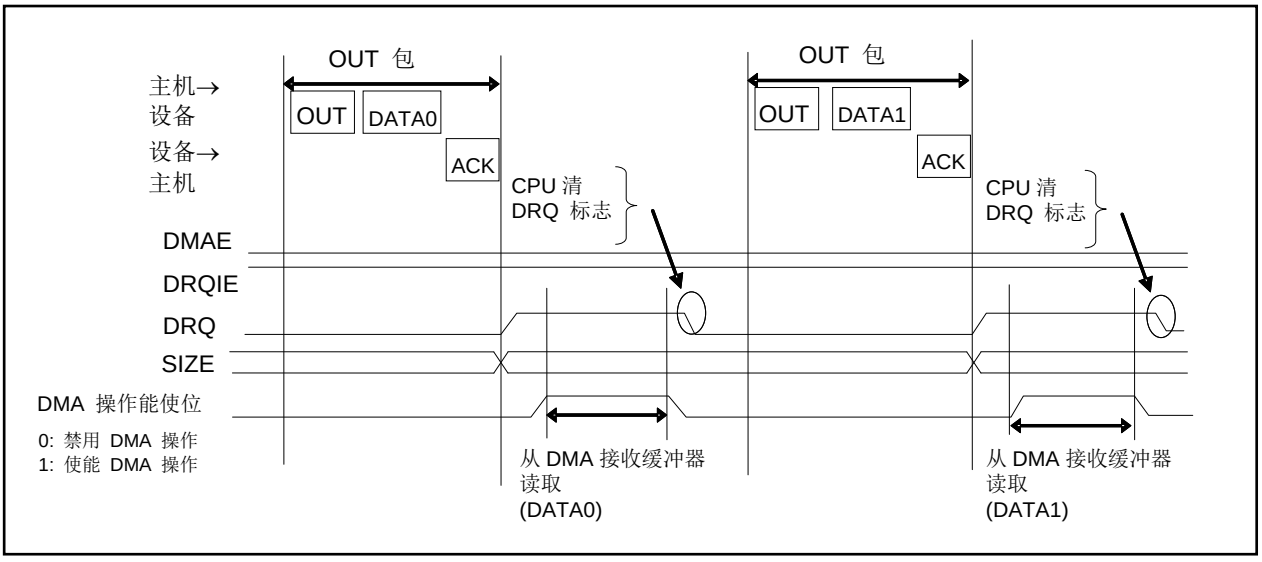
包传输模式

包传输模式时，根据 DMA 设置的数据大小传输各包，且每次完成包传输后，为下一个包传输清 中断因素 (DRQ)。本传输模式可以访 端点 1 至端点 5 的缓冲器。使用 DMA 前， 0 DREQ 择寄存器设置中断输出目标。（中断输出 接至 CPU.NVIC.）

Figure 3-11 和 Figure 3-12 所示为以各 OUT 方向和 IN 方向访 缓冲器的时序。

■ OUT 方向传输（主机 ->设备）

Figure 3-11OUT 包传输

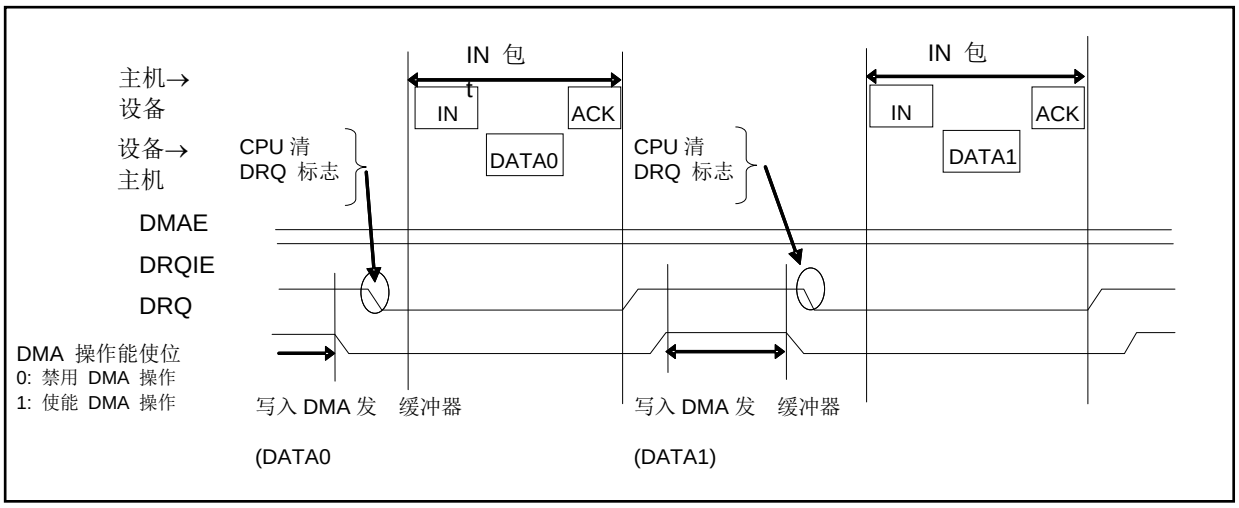


在 OUT 方向传输中，必 按照以下 序处理设备：

1. 设置 DRQ 标志且输入中断处理后，立即检 传输数据 。
2. 置与传输数 相关的 DMA 寄存器设置以及对应传输数据 的块大小，然后使能 DMA 启动传输。
3. 传输后，清 EP1S~EP5S 寄存器中的相关 DRQ 标志以及 DMAC 状态寄存器中的相关中断因素标志，并从中断处理 回。

■ IN 方向传输（设备 ->主机）

Figure 3-12 IN 包传输



在 IN 方向传输中，必 按照以下 序处理设备：

1. 设置 DRQ 标志并 入中断处理后， 置与传输数 相关的 DMA 寄存器设置以及在下一个 IN 包中传输的数据 对应的块大小，然后使能 DMA 启动传输。
2. DMA 传输后，清 EP1S~EP5S 寄存器中的相关 DRQ 标志及 DMAC 状态寄存器中的相关中断因素标志，并从中断处理 回。

自动数据　模式

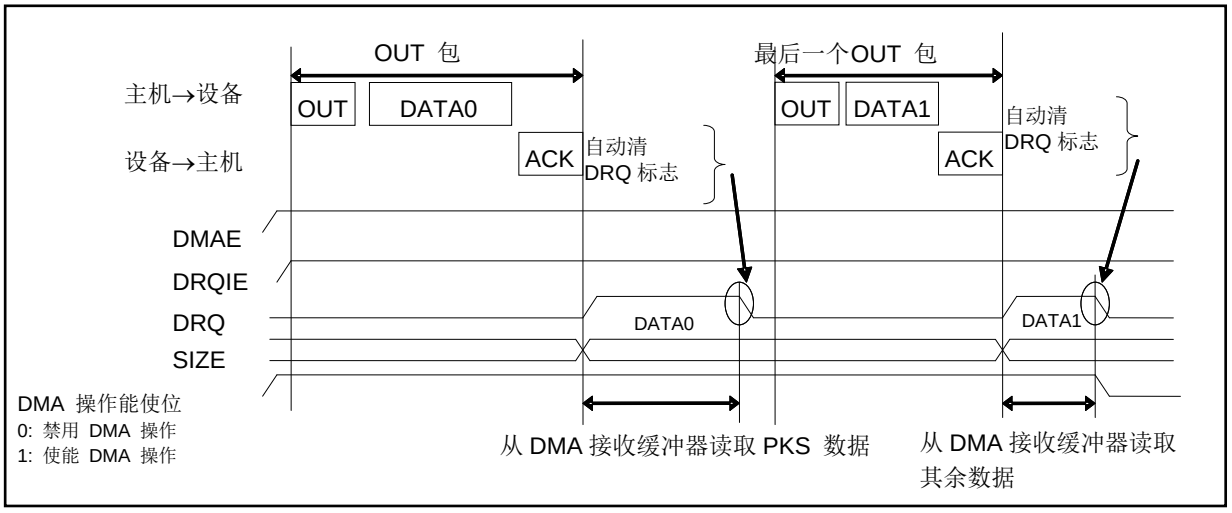
本模式可传输偶数字节。OUT 方向传输中传输奇数字节时，　要按 CPU 传输序列　行。（参见 Figure 3-14。）有关 IN 方向传输中传输奇数字节，参见以下信息：

- 若为 TYPE0 产品
  不能在 IN 方向传输中传输奇数字节。
- 若为 TYPE0 之外的产品
  0　DMA 在 IN 方向传输中传输奇数字节时，设置 ODDPKS 寄存器。（参见“中断 (A)”一章。）

使用 DMA 之前，　0　DREQ　择寄存器设置中断输出目标，（中断输出　接至 DMAC）。在 DMA 中置要传输的总数据　，同时　先设置传输使能位。在使能 DMAE 时如果从主机传输后设置 DRQ，则在与 EP1~EP5 控制寄存器 (EPxC) 中 PKS 对应的数据　传输后，自动清　中断因素 (DRQ)。然后，在从主机传输后　复相同　序，直到　到先前在 DMA 中　置的传输数据　。同时，　不　要　0 CPU　置。因此，本模式可　0 单一设置自动传输数据。最后一个数据传输后，　入 CPU 中断。执行下一次传输时，　新　置 DMAC，使能 DMA 并从中断　回。自动数据　传输模式将 DMAE 设为 “1”，仅使能端点 1 至 5 的缓冲器访　。以下说明各 OUT 方向和 IN 方向访　缓冲器的时序。

■ OUT 方向传输（主机 ->设备）

Figure 3-13 OUT 方向传输（主机 ->设备）



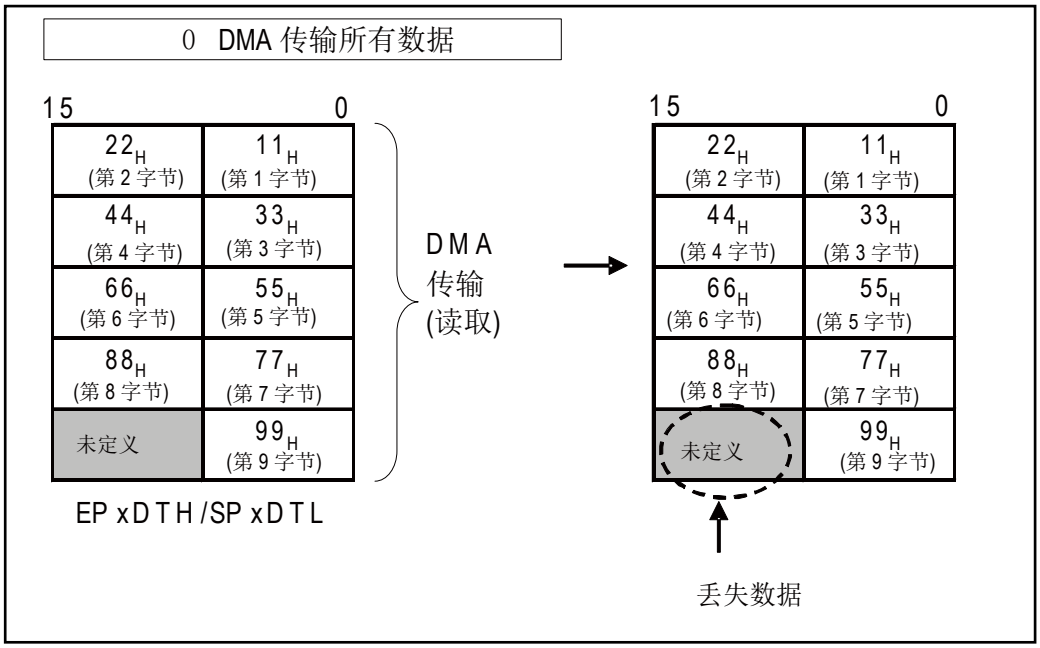
在 OUT 方向传输中，必　按照以下　序处理设备：

1. 　置与传输数　相关的 DMA 寄存器设置以及对应总数据　的块大小，然后使能 DMA 启动传输。
2. 使能 DMAE 和 DRQIE。
3. 传输后，使用 DMAC 状态寄存器相关的中断因素所产生的中断　新　置 DMAC，并清　标志，从中断处理　回。

0　DMA 传输奇数字节对应的数据　，可使用以下方法：

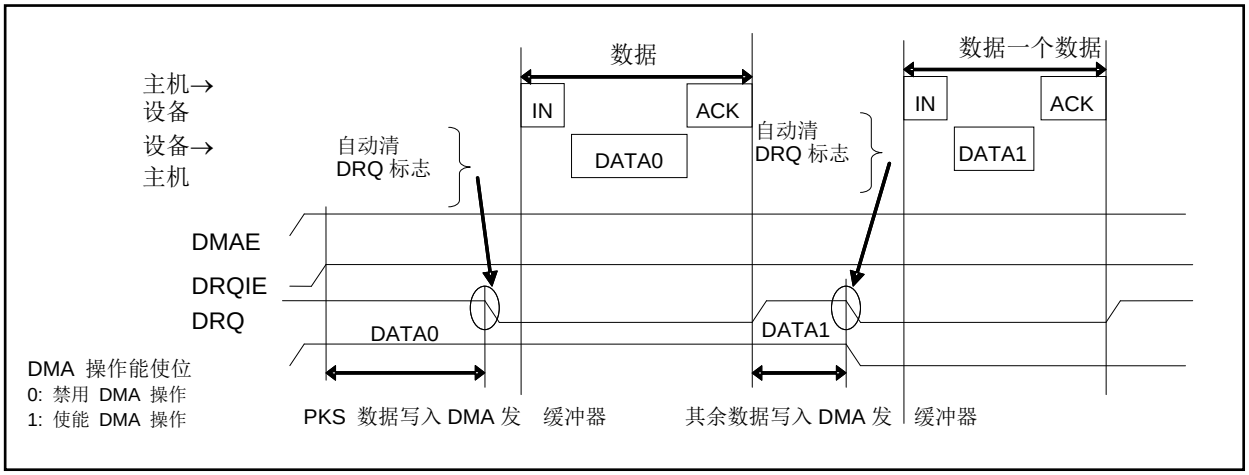
- 0　DMA 传输所有数据 + 1 字节，并在字节端转换后丢弃最后一个数据。

Figure 3-14OUT 方向奇数字节传输示例



■ IN 方向传输（设备 ->主机）

Figure 3-15IN 方向传输（设备 ->主机）



在 IN 方向传输中，必 按照以下 序处理设备：

1. 置与传输数 相关的 DMA 寄存器设置以及总数据 对应的块大小，然后使能 DMA 启动传输。
2. 使能 DMAE 和 DRQIE。
3. 传输后，使用 DMAC 状态寄存器相关的中断因素所产生的中断 新 置 DMAC，并清 标志，从中断处理 回。

3.7 NULL 传输功能

若 USB 功能发 的数据为最后一个包并满足最大包大小，则在下一个包传输时自动传输 0 字节。使用本功能时，必 使能 DMAE。本功能仅在 IN 传输时有效。

NULL 传输模式

IN 方向的最后一次数据传输后，NULL 传输模式将发 0 字节，响应 IN 方向主机的下一个数据请求。

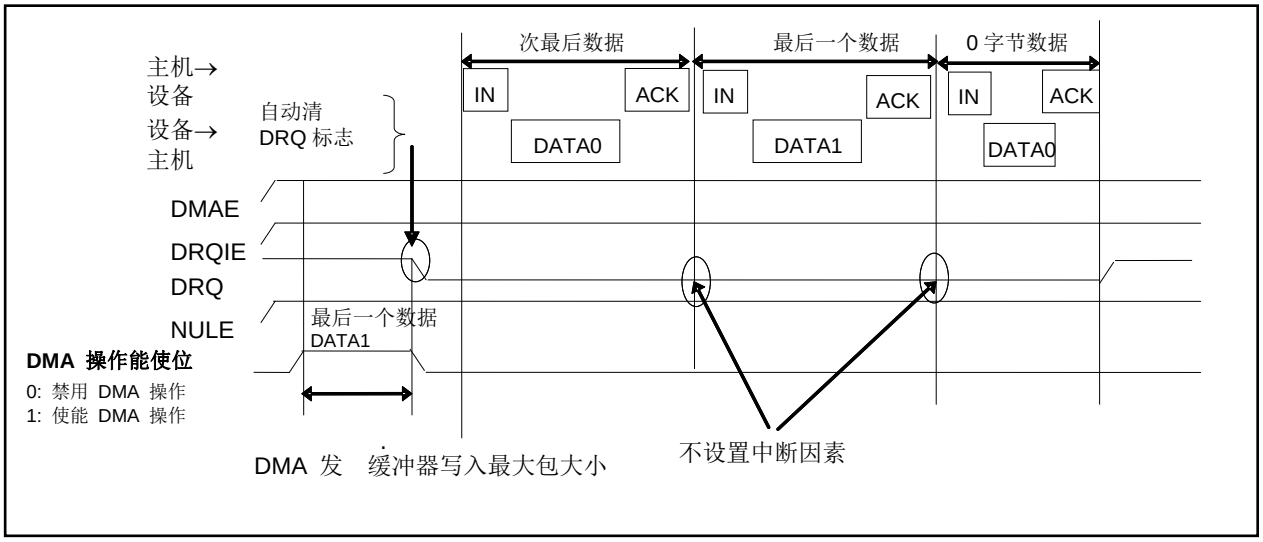
满足以下条件时，NULL 传输模式工作：

- 设置自动缓冲器传输模式 (DMAE = 1)
- 最后一次数据传输将最大包大小写入 DMA 缓冲器
- 写入最后一个数据，DMA 数据单元被计数为 0

0 DMA 将最后一个数据写入缓冲器后，从主机读取 0 字节数据后才设置 DRQ 中断标志。以下所示为访 缓冲器的时序。

仅说明 IN 方向的传输（设备 ->主机）。

Figure 3-16NULL 数据传输操作



必 如下处理设备：

设为 1 使能 EPxC:DMAE、EPxS:DRQIE 和 EPxC:NULE 位。

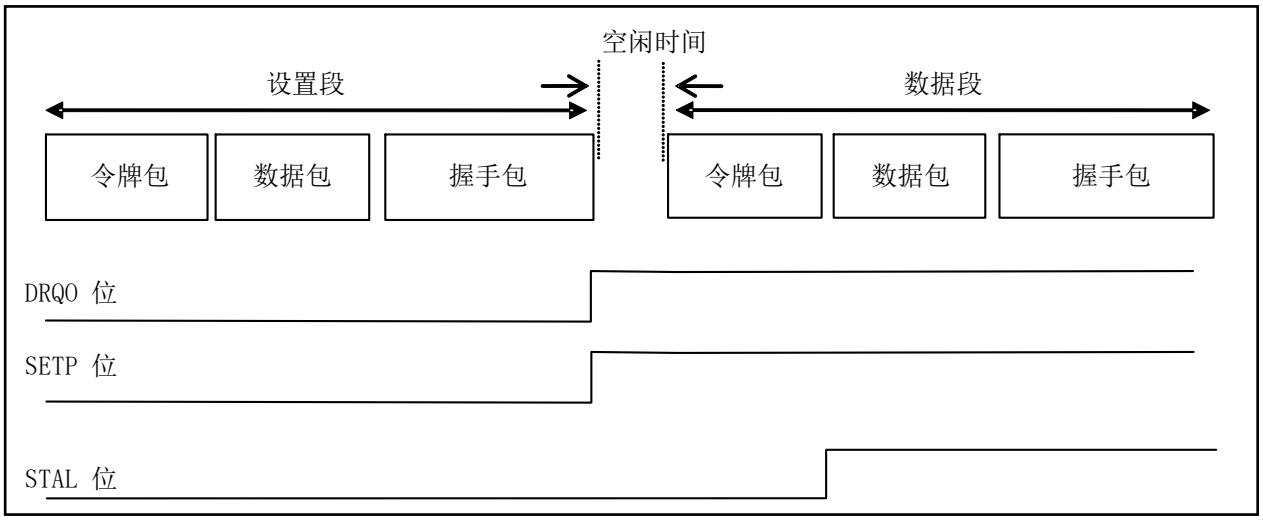
3.8 端点 0 的 STALL 响应/ 放

EP0 控制寄存器 (EP0C) 的 STAL 位控制端点 0 的 STALL 响应和 放。

STAL 位设置时序

执行 STALL 响应时， 要控制传输的设置 段对命令（SETP = 1 检测） 行解 。如果 要 STALL 响应，则设置 STAL 位。（参见 Figure 3-17）设置 STAL 位后，清 中断因素（DRQO 位）。

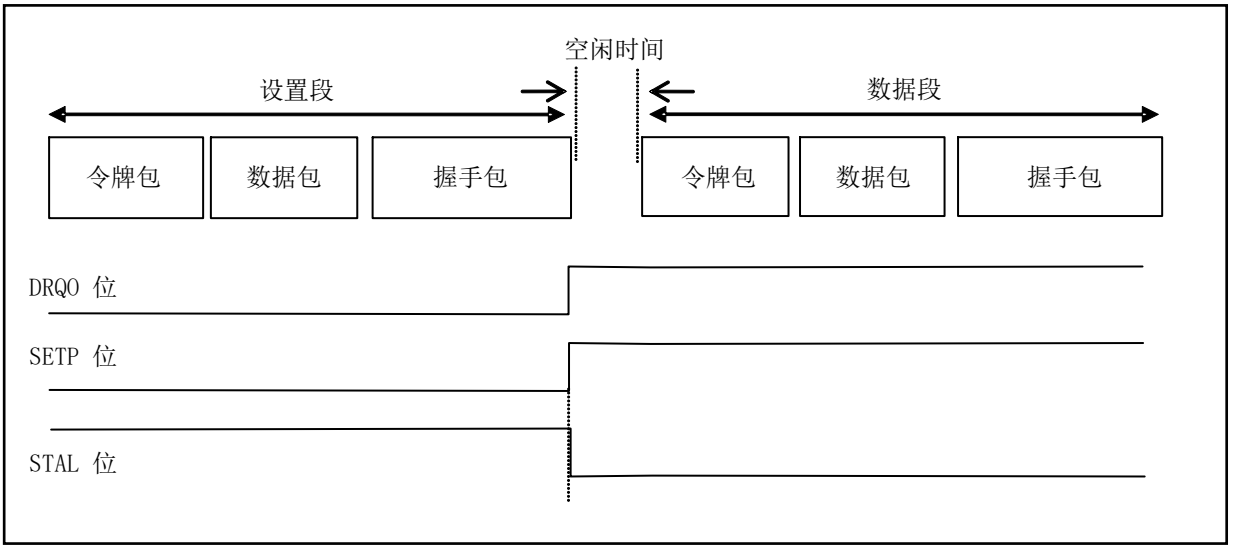
Figure 3-17STAL 位设置时序



STAL 位清　时序

检测到 SETP = 1 后，指向控制传输的设置　段，自动清　STAL 位并　放 STALL 状态。（参见 Figure 3-18）

Figure 3-18STAL 位清　时序



注意事　：

- *检测到 SETP = 1（DRQO = 1 中断）时，将 STAL 位清　为 0。要再次使能 STALL 响应，将 STAL 位设为 1。*

3.9 端点 1 至端点 5 的 STALL 响应/ 放

EP1 至 EP5 控制寄存器（EP1C 至 EP5C）的 STAL 位和内 状态位控制端点 1 至 5 的 STALL 响应和 放。

软件处理 STALL 响应

Figure 3-19 和 Figure 3-20 所示为软件处理 STALL 响应的步 。执行 STALL 响应时， 0 软件 置相关端点的 STAL 位。 时不改变内 状态位。

从主机至设置了 STAL 位的端点发生交换后，硬件自动设置相关端点的内 状态位，执行对主机的 STALL 响应。一旦设置了内 状态位，即使 STAL 位被清 ，仍然保持设置。由于内 状态位在主机发出清 功能命令前保持设置，将保持执行 STALL 响应。UDC 控制寄存器 (UDCC) 的 STALCLREN 位被设为 0 时，若满足以下条件，也将保持执行 STALL 响应:

即使在内 状态位被清 功能命令清 后，STAL 位仍然保持设置。

是因为每次执行向相关端点的传输时， 会设置内 状态位。因此， 放 STALL 响应时，必 清 STAL 位，同时必 0 清 功能命令清 内 状态位。如果 UDC 控制寄存器 (UDCC) 的 STALCLREN 位被设为 1 ，将在清 功能命令清 内 状态位的同时清 STAL 位，下一次传输时将不执行 STALL 响应。

Figure 3-19 软件处理 STALL 响应（软件清 STAL 位）
UDCC.STALCLREN=0

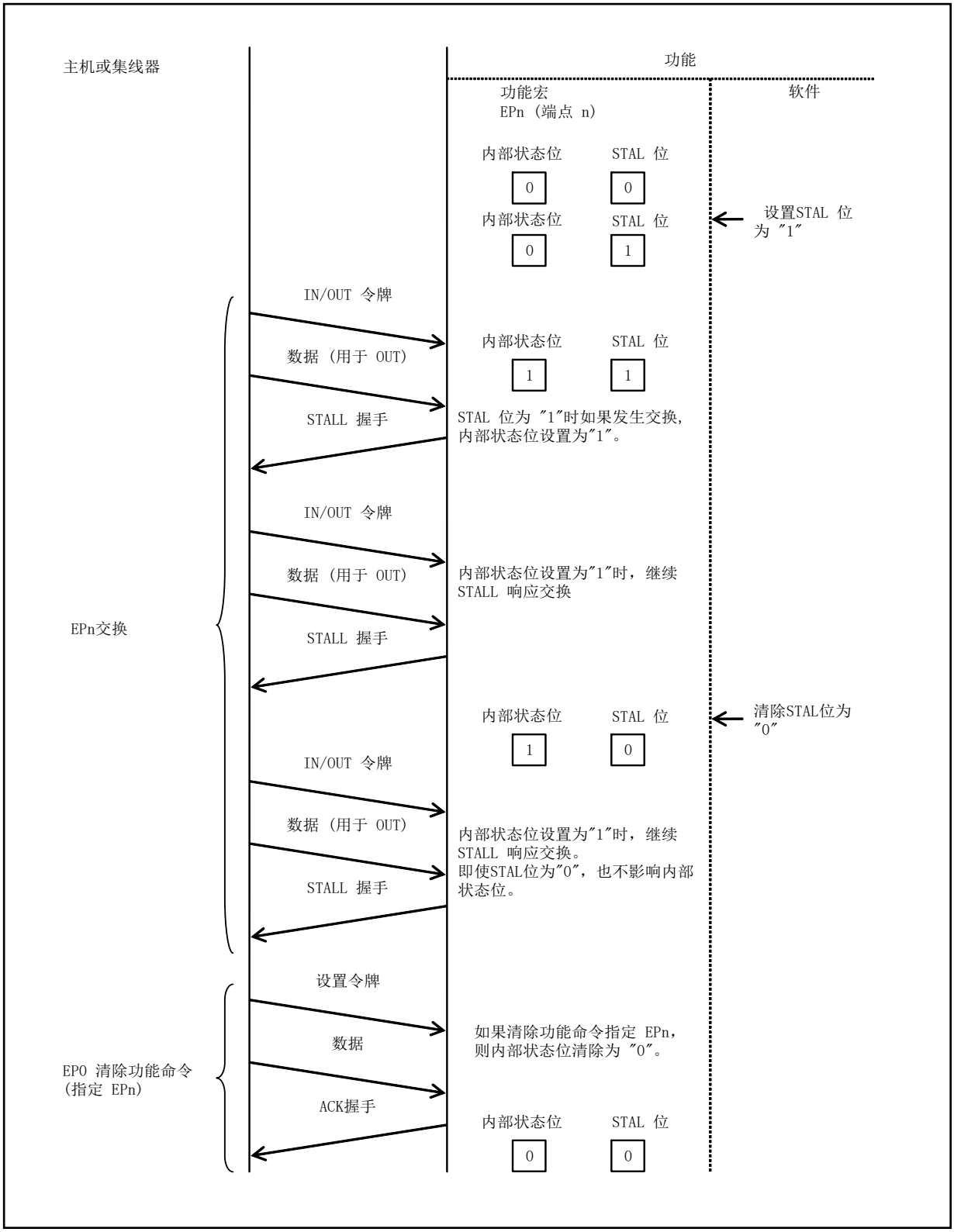
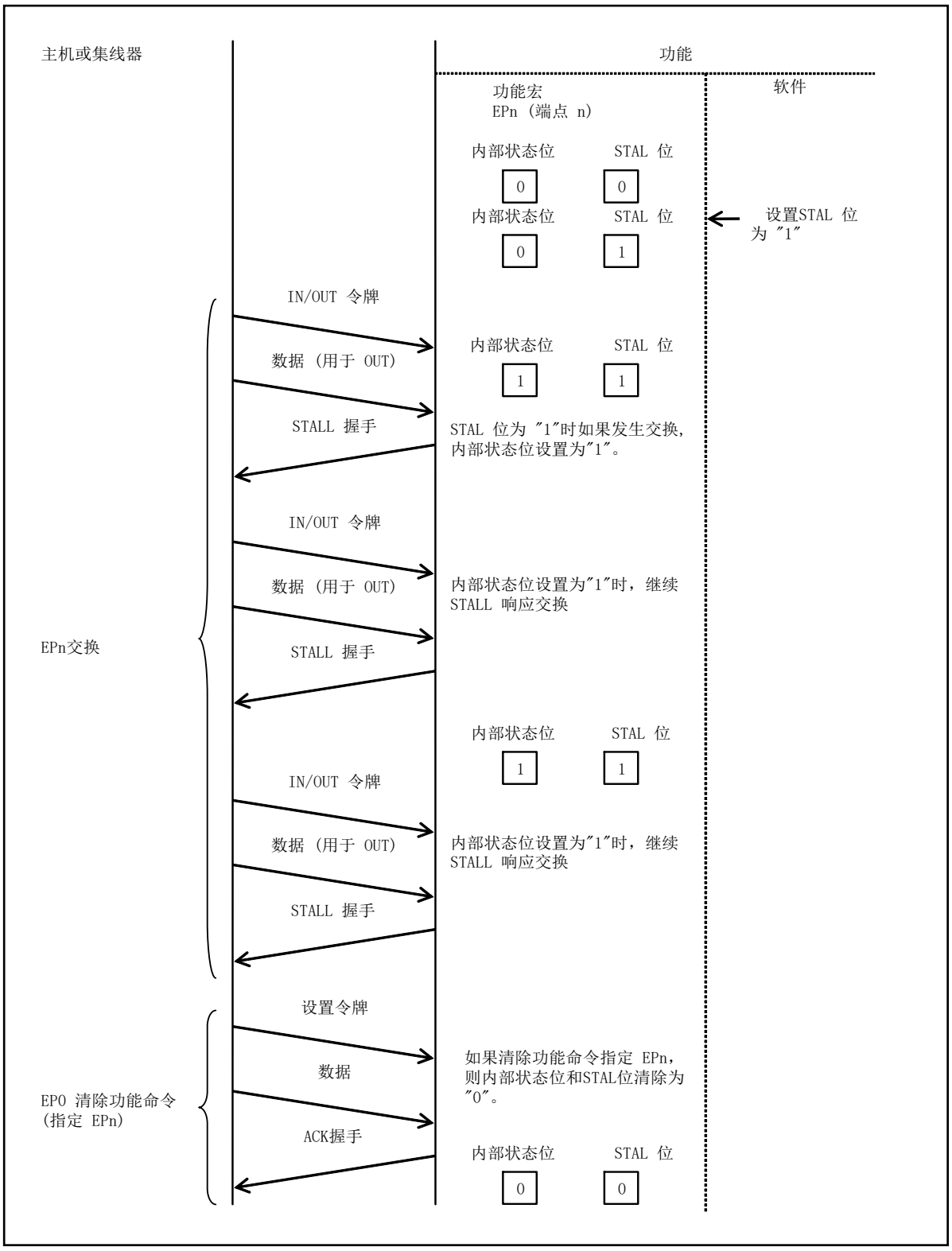


Figure 3-20 软件处理 STALL 响应（软件清 STAL 位）
UDCC.STALCLREN=1



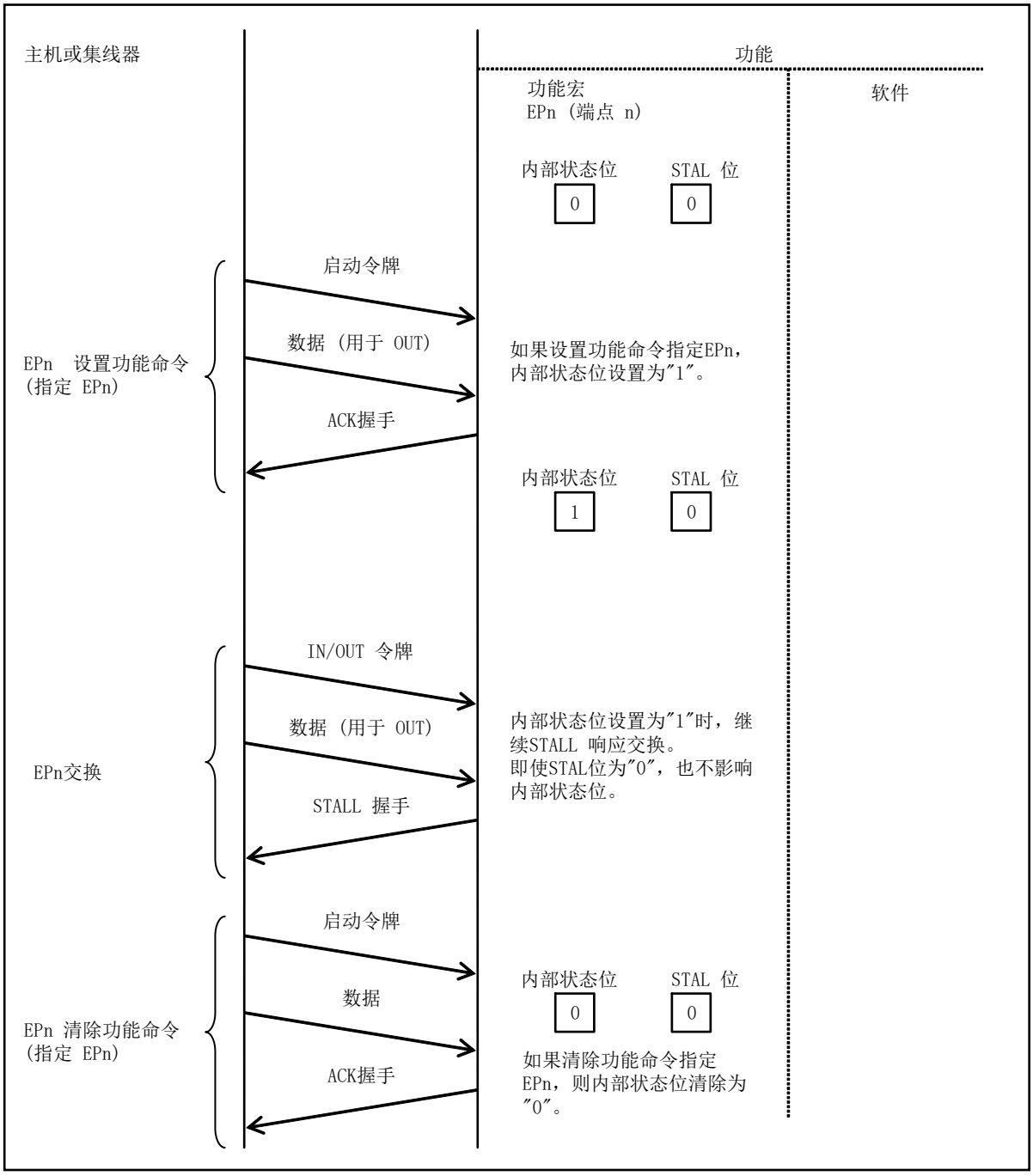
硬件自动 STALL 响应

Figure 3-21 所示为硬件自动 STALL 响应步 。

设置功能命令设置 STALL 响应时，不管 STAL 位如何设置，硬件将自动设置相关端点的内 状态位，并执行 STALL 响应。一旦设置内 位，不管 STAL 位的设置如何，将保留该值直至被主机 0 清 功能命令清 。

即使在内 状态位被清 功能命令清 后，仍然可引用 STAL 位。因此，要 放 STALL 响应，必 0 清 功能命令清 内 状态位。

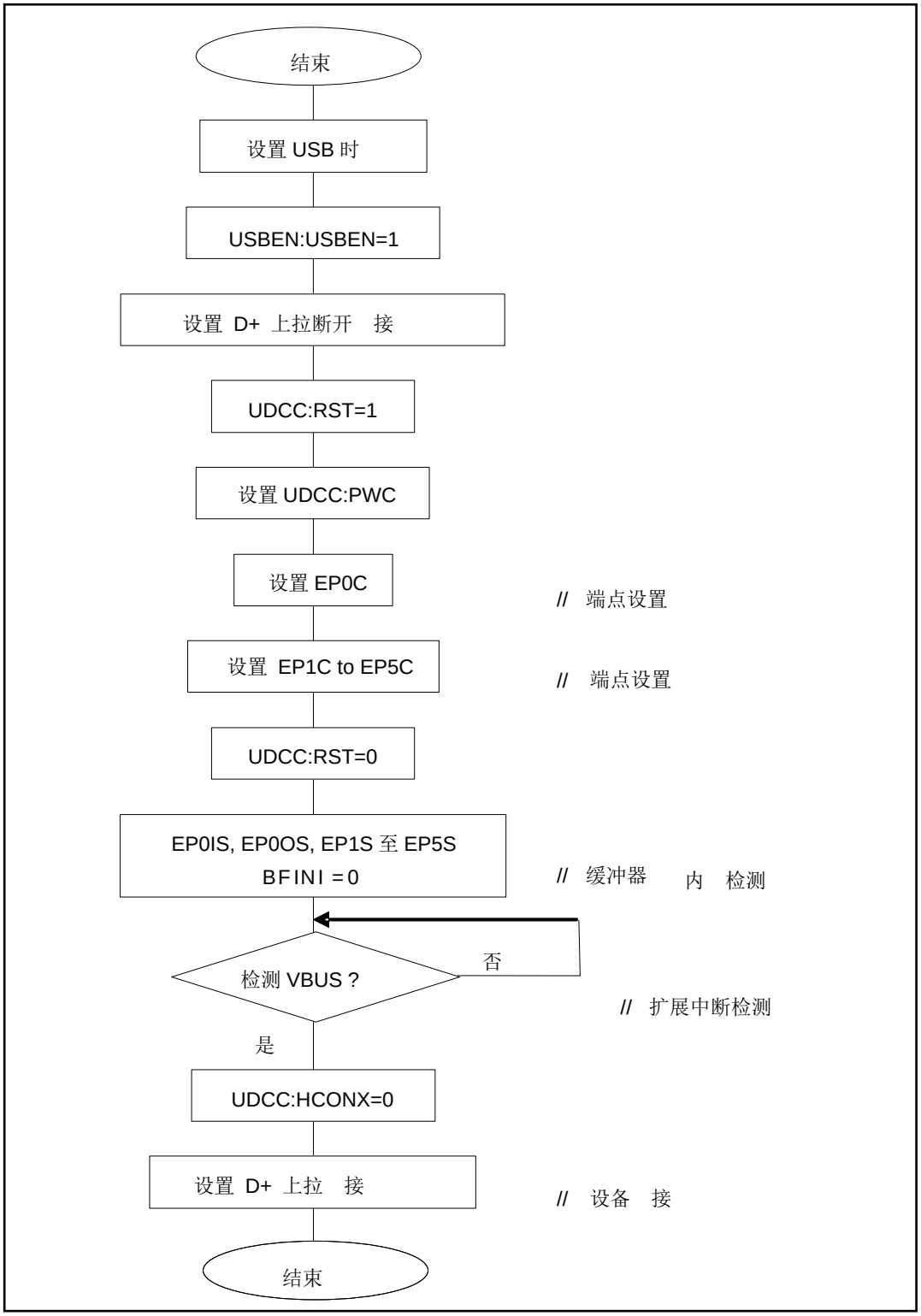
Figure 3-21 硬件自动 STALL 响应



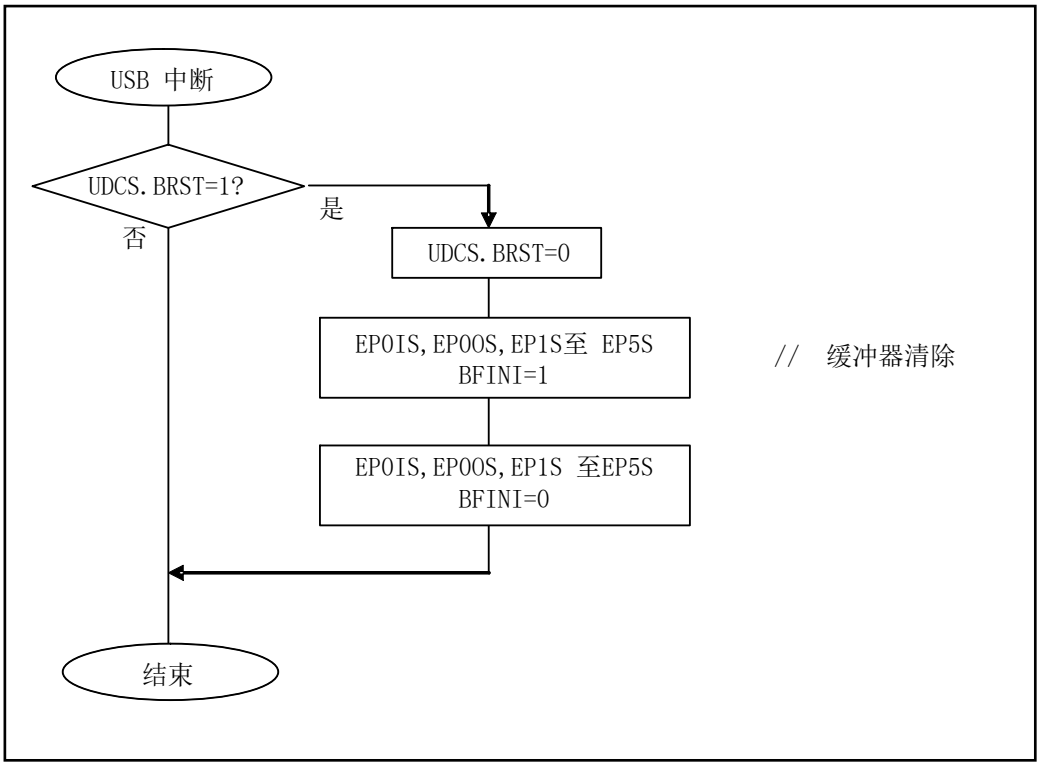
4. USB 设备（USB 功能）设置步　示例

本节说明初始化、总线复位、 CPU 传输、包传输 (IN/OUT) 及自动数据　传输 (IN/OUT) 流程图。

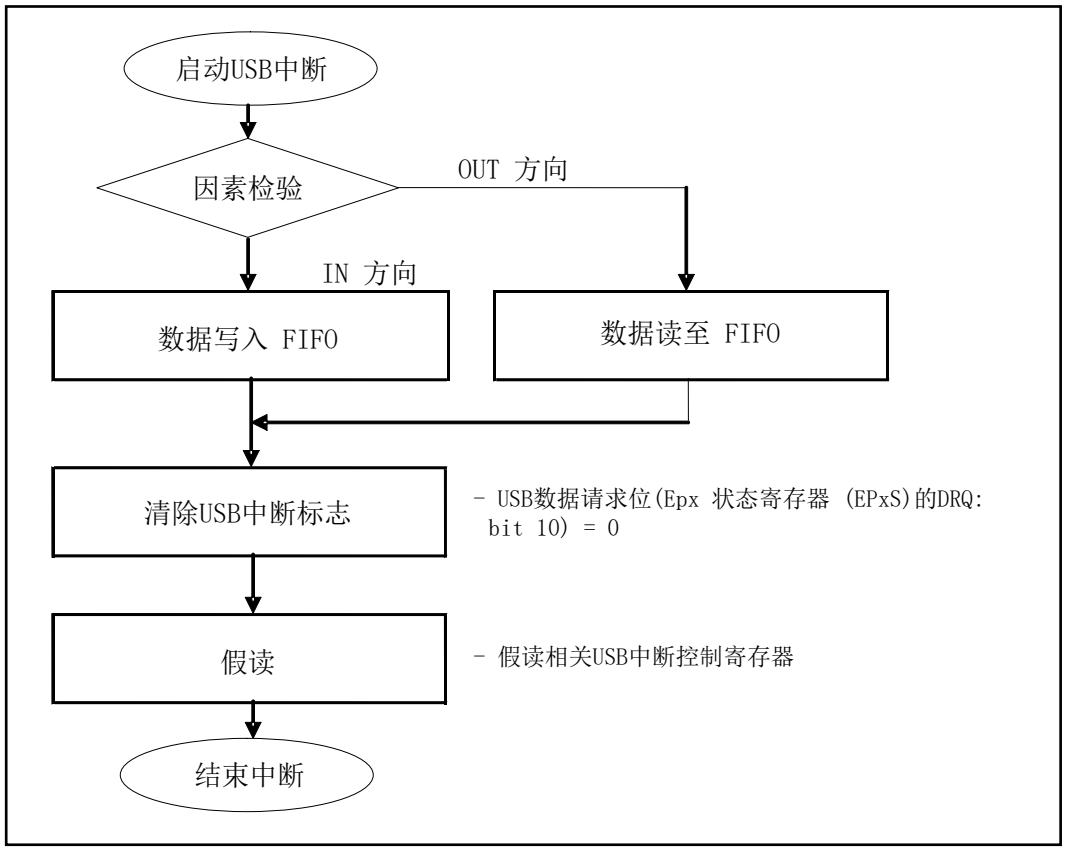
初始化


结束
设置 USB 时
USBEN:USBEN=1
设置 D+ 上拉断开 接
UDCC:RST=1
设置 UDCC:PWC
设置 EP0C
// 端点设置
设置 EP1C to EP5C
// 端点设置
UDCC:RST=0
EP0IS, EP0OS, EP1S 至 EP5S
BFINI =0
// 缓冲器 内 检测
检测 VBUS ?
否
// 扩展中断检测
是
UDCC:HCONX=0
设置 D+ 上拉 接
// 设备 接
结束

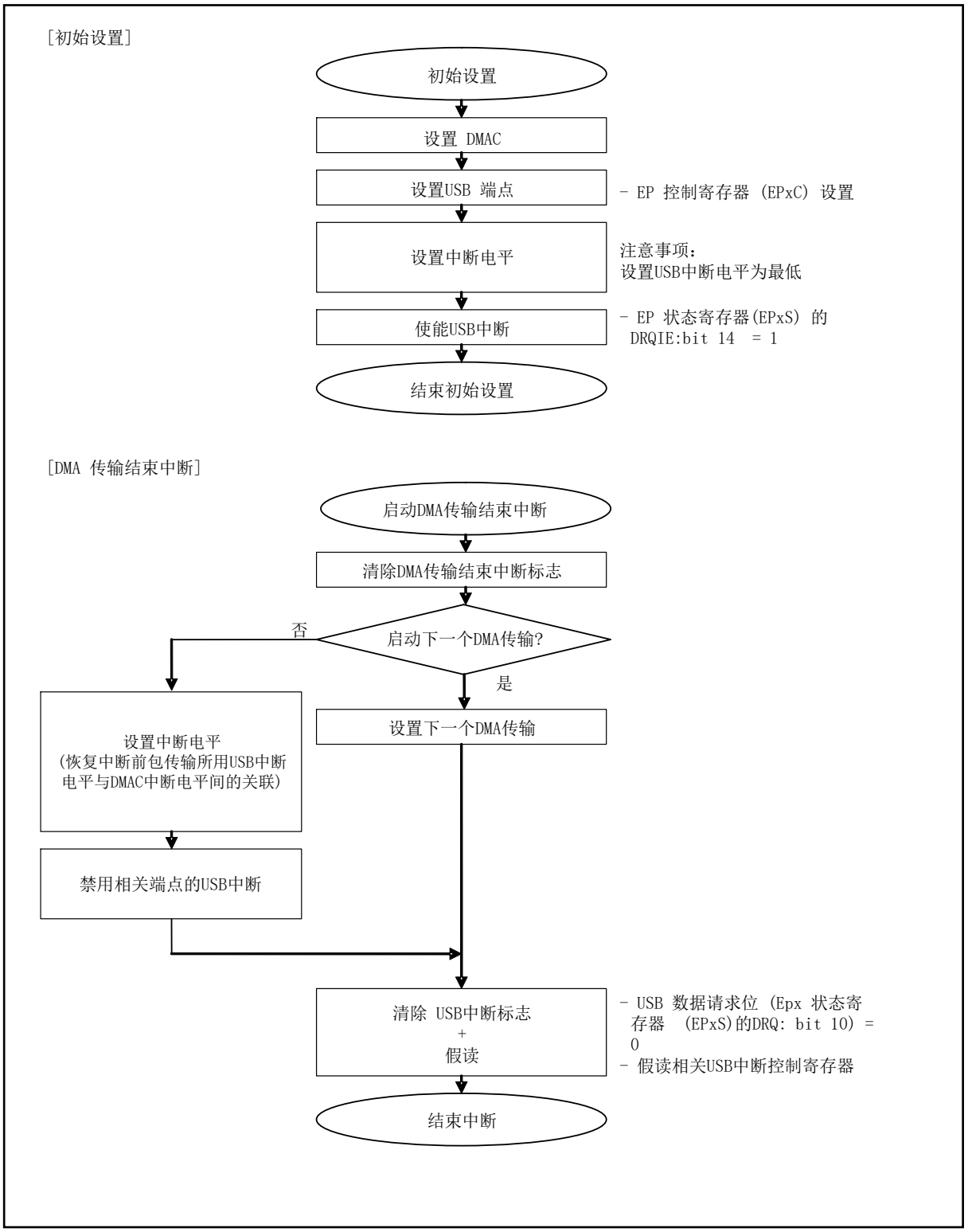
总线复位


USB 中断
UDCS.BRST=1?
是
否
UDCS.BRST=0
EP0IS,EP00S,EP1S至 EP5S
BFINI=1
// 缓冲器清除
EP0IS,EP00S,EP1S 至EP5S
BFINI=0
结束

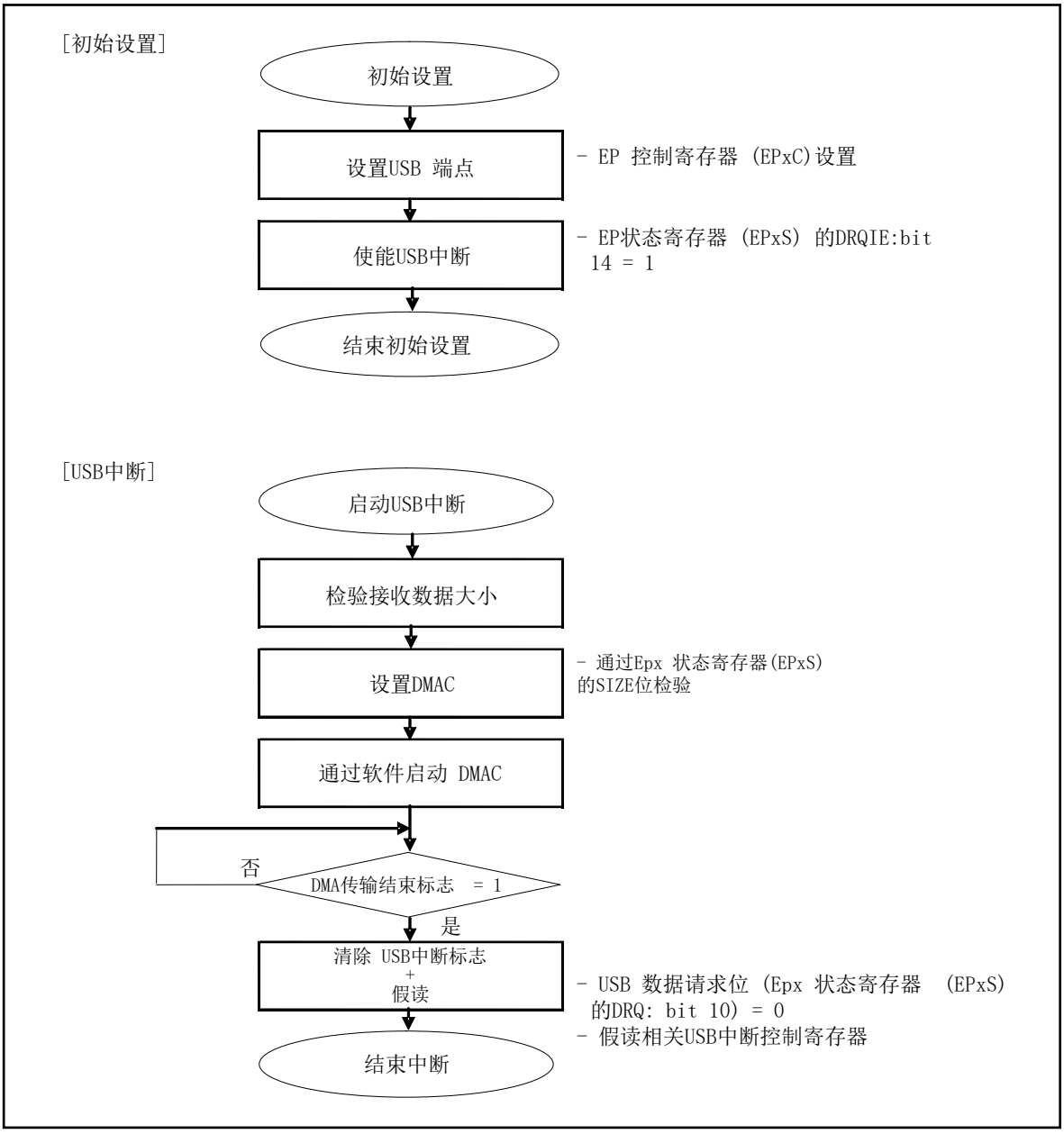
CPU 传输控制示例


启动USB中断
因素检验
OUT 方向
IN 方向
数据写入 FIFO
数据读至 FIFO
清除USB中断标志
- USB数据请求位(Epx 状态寄存器 (EPxS)的DRQ: bit 10) = 0
假读
- 假读相关USB中断控制寄存器
结束中断

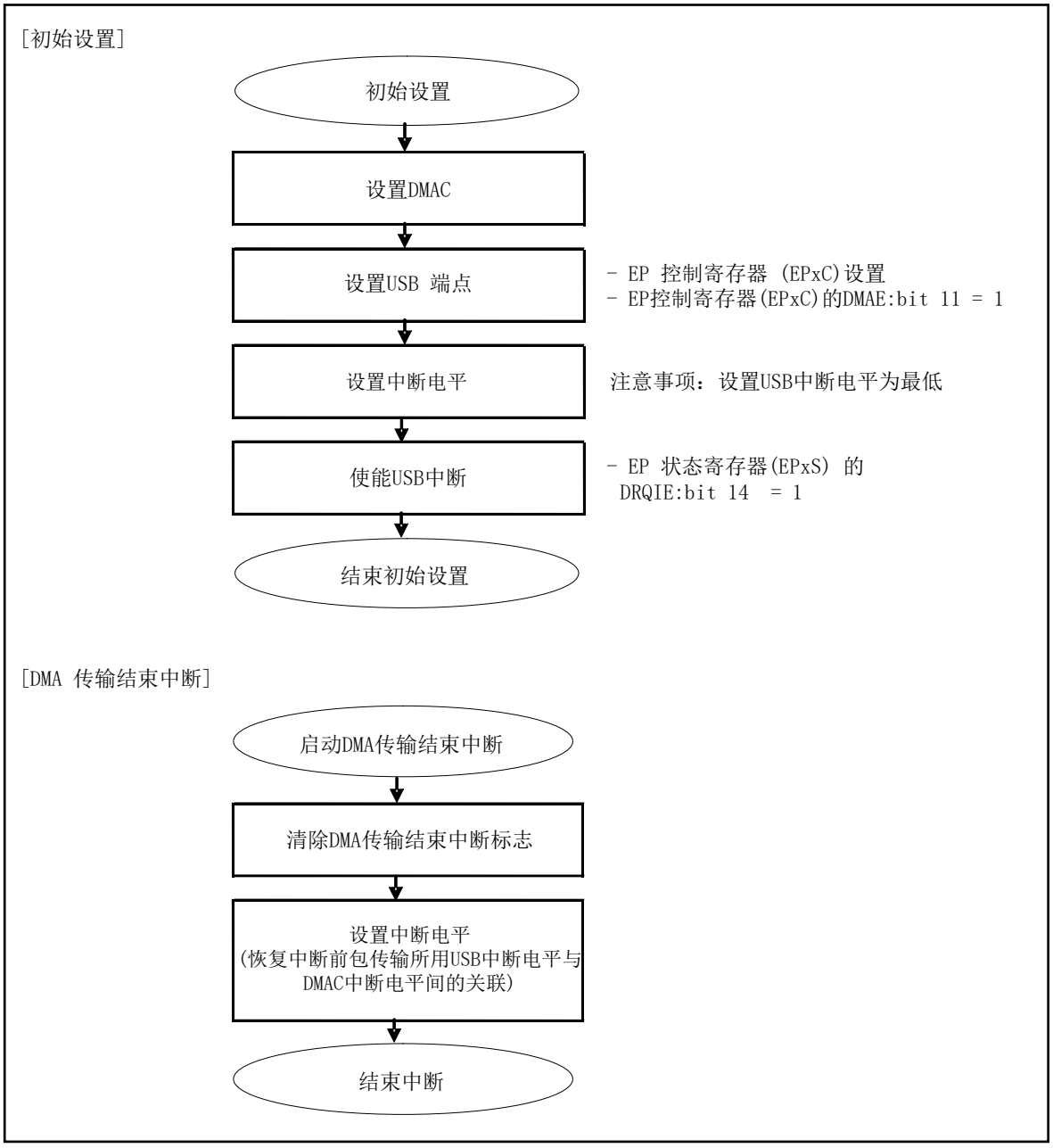
IN 方向包传输控制示例



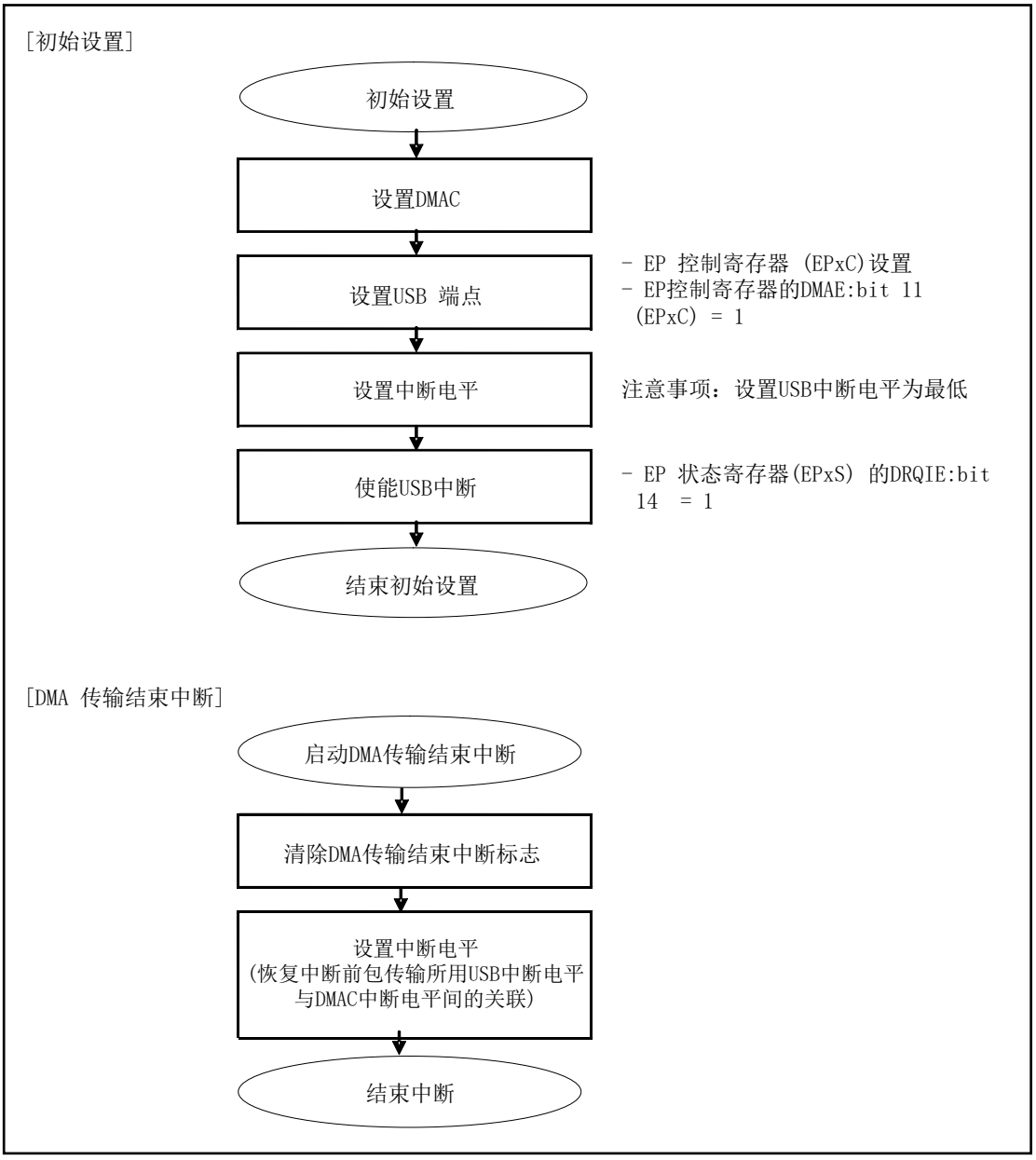
OUT 方向包传输控制示例



IN 方向自动数据　传输控制示例



OUT 方向自动数据　传输控制示例



5. USB 设备（USB 功能）寄存器

本节说明 USB 功能所用寄存器的 置和功能。

USB 功能寄存器列表

缩写	寄存器名称	参考章节
UDCC	UDC 控制寄存器	5.1
EP0C	EP0 控制寄存器	5.2
EP1C	EP1 控制寄存器	5.3
EP2C	EP2 控制寄存器	
EP3C	EP3 控制寄存器	
EP4C	EP4 控制寄存器	
EP5C	EP5 控制寄存器	
TMSP	时戳寄存器	5.4
UDCS	UDC 状态寄存器	5.5
UDCIE	UDC 中断使能寄存器	5.6
EP0IS	EP0I 状态寄存器	5.7
EP0OS	EP0O 状态寄存器	5.8
EP1S	EP1 状态寄存器	5.9
EP2S	EP2 状态寄存器	
EP3S	EP3 状态寄存器	
EP4S	EP4 状态寄存器	
EP5S	EP5 状态寄存器	
EP0DTH	EP0 数据寄存器 位	5.10
EP0DTL	EP0 数据寄存器低位	
EP1DTH	EP0 数据寄存器 位	
EP1DTL	EP0 数据寄存器低位	
EP2DTH	EP0 数据寄存器 位	
EP2DTL	EP0 数据寄存器低位	
EP3DTH	EP0 数据寄存器 位	
EP3DTL	EP0 数据寄存器低位	
EP4DTH	EP0 数据寄存器 位	
EP4DTL	EP0 数据寄存器低位	
EP5DTH	EP0 数据寄存器 位	
EP5DTL	EP0 数据寄存器低位	

UDCC:RST 从属寄存器位更新时序列表

	寄存器	位
UDCC:RST=1 时更新寄存器位	UDCC	HCONTX, PFBK, PWC
	EP0C	PKS0
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
	EP3C	EPEN, TYPE, DIR, PKS3
	EP4C	EPEN, TYPE, DIR, PKS4
	EP5C	EPEN, TYPE, DIR, PKS5
UDCC:RST=1 时初始化寄存器位	EP0IS	BFINI, DRQI
	EP0OS	BFINI, DRQ, SPK
（UDCC:RST=0 时更新）	EP1S	BFINI, DRQ, SPK
	EP2S	BFINI, DRQ, SPK
	EP3S	BFINI, DRQ, SPK
	EP4S	BFINI, DRQ, SPK
	EP5S	BFINI, DRQ, SPK
	TMSP	TMSP
	UDCS	SUSP, SOF, BRST, WKUP, SETP, CONF
	UDCIE	SUSPIE, SOFIE, BRSTIE, WKUPIE, CONFN, CONFIE
UDCC:RST 不影响寄存器位	UDCC	RESUME, USTP
	EP0C	STAL
	EP1C	DMAE, NULE, STAL
	EP2C	DMAE, NULE, STAL
	EP3C	DMAE, NULE, STAL
	EP4C	DMAE, NULE, STAL
	EP5C	DMAE, NULE, STAL
	EP1DTH/L	BFDT
	EP2DTH/L	BFDT
	EP3DTH/L	BFDT
	EP4DTH/L	BFDT
	EP5DTH/L	BFDT

5.1 UDC 控制寄存器 (UDCC)

UDC 控制寄存器 (UDCC) 控制 UDC 内核电路。

下图所示为 UDC 控制寄存器 (UDCC) 的位 置。

位	15	14	13	12	11	10	9	8
字段	保留							
属性	-							
初始值	0x00							

位	7	6	5	4	3	2	1	0
字段	RST	RESUM	HCONX	USTP	STALCLREN	保留	RFBK	PWC
属性	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W
初始值	1	0	1	0	0	0	0	0

注意事 ：

- *bit7 RST = 1 时， bit6 RESUM 和 bit4 USTP 之外，应 置 UDC 控制寄存器 (UDCC)，且 USB 正在 行时不能 写 UDC 控制寄存器 (UDCC)。在 USB 挂起模式和 0 以下命令使能控唤 时，必 设置或复位 Bit6 RESUM。*
  在 入停止模式或计时器模式前，将 bit4 USTP 设为 1。
  已 放 些模式后，在确认 USB 电源时 稳定后，按照本 序将 UDCS 的 SUSP 和 UDCC 的 USTP 设为 0。

以下说明 UDC 控制寄存器 (UDCC) 各位的功能。

[bit15:8] 保留：保留位

些位始终写入 0。 些位的读取值总为 0。

[bit7] RST：功能 置位（功能复位）

此位为 ORed，具有芯片系统复位，能单独复位 USB 功能。与主机 线后， 0 RST 位复位 USB 功能。由于初始值为 1，使能复位时，写入 0 放该状态。

位	描
0	放 USB 功能复位
1	复位 USB 功能

注意事 ：

- *此位同时初始化时戳寄存器 (TMSP)、UDC 状态寄存器 (UDCS)、UDC 中断使能寄存器 (UDCIE) 的相关位。同时 设置 EP0I、EP0O 及 EP1~EP5 状态寄存器的 BFINI。因此，初始设置后，清 RST 位（不清 BFINI 位）并清 本此 序中所使用端点的 BFINI 位。*

[bit6] RESUM：恢复设置位（恢复设置）

使能　控唤　的挂起状态中 *，将 1 写入 RESUM 位启动恢复。指令恢复时，将 RESUM 位设为 1，然后写入 0 清　。

*：由主机发出 SET_FEATURE 命令，设置 DEVICE_REMOTE_WAKEUP 位。

位	描
0	复位 USB 恢复启动指令位
1	指令启动 USB 恢复

[bit5] HCONX：主机　接位（主机　接）

此位控制外　上拉电　器和 USB 数据线之　的开关，　接所识别主机或 HUB。

位	描
0	接至主机或 HUB
1	断开主机或 HUB

注意事　：

- *即使外　上拉电　器保持 ON 时主机或 HUB 查找到　接，此位为 “1”时，USB 也忽略总线上的总线复位命令。*

[bit4] USTP：USB 操作时　停止位 (Udc StoP)

设置此位，停止 USB 操作单元的时　。不操作 USB 时，可　置此位　低功耗。

位	描
0	正常模式
1	停止 USB 操作单元时

注意事　：

- *如果不设置停止模式和计时器模式，在将 RST 设为 1 后以及在全　的 3 个周期或低　的 43 个周期（仅主机模式支持）后，必　置 USTP 位，以确保复位。可在清　RST 的同时清　此位。*

[bit3] STALCLREN：端点 1 至端点 5 的 STAL 位清　　择位（STALl CleaR 使能）

此位　择使用清　功能命令清　端点 1 至端点 5 的 STAL 位的方法。 STALCLREN 位设置是否 0 硬件自动将 STAL 位清　为 0，， 0 清　功能命令在 EP1 ~ EP5 控制寄存器（EP1C 至 EP5C）为端点（1 至 5）指定一个位。此位　择 0 软件或硬件清　端点控制寄存器（EP1C ~ EP5C）的 STAL 位的方法。

位	描
0	0 软件清　EP1 ~EP5 控制寄存器（EP1C ~EP5C）的 STAL 位。
1	0 硬件自动清　EP1 ~ EP5 控制寄存器（EP1C ~ EP5C）的 STAL 位。

注意事　：

- *UDC 控制寄存器 (UDCC) 的 RST 为 1 时，应　置 STALCLREN 位，并在 USB　行时，不得　写 STALCLREN 位。*

[bit2] 保留：保留位
此位始终写入 0。读取值总为 0。

[bit1] RFBK：数据触发模式　择位（　率反　模式）
此位　择 USB 中断传输数据触发模式。

位	描
0	择备用数据触发模式。 成功完成传输后，触发数据 PID。
1	择数据触发模式。 无条件触发数据 PID。

[bit0] PWC：电源控制位（电源控制）
此位指定 USB 功能的操作电源模式（自供电或总线供电）。
（此位的　置　用于标准命令 GetStatus。）

位	描
0	总线供电
1	自供电

5.2 EP0 控制寄存器 (EP0C)

EP0 控制寄存器 (EP0C) 控制端点 0。

下图所示为 EP0 控制寄存器 (EP0C) 的位 置。

位	15	14	13	12	11	10	9	8
字段	-				保留		STAL	保留
属性	-				-		R/W	-
初始值	XXXX				00		0	0

位	7	6	5	4	3	2	1	0
字段	保留	PKS0						
属性	-	R/W						
初始值	0	1000000						

注意事 ：

- *bit9 STAL 之外，UDC 控制寄存器 (UDCC) 中的 bit7 RST 以及 EP0I/O 状态寄存器 (EP0I/EP0OS) 中的 bit7 BFINI 被设为 1 时，必 置 EP0 控制寄存器 (EP0C)。当 USB 正在 行时，不得 写。*

以下说明 EP0 控制寄存器 (EP0C) 各位的功能。

[bit15:12] -：未定义位

写入值无效。读取值未定义。

[bit11:10] 保留：保留位

些位始终写入 0。

读取值总为 0。

[bit9] STAL：端点 0 的 STALL 设置位（STALl ep0 设置）

此位可将端点 0 设置为 STALL 状态（STALL 响应）。

此位 0 硬件自动清 。执行对端点 0 的 STALL 响应后如果端点 0 接收 SETUP 包，则此位清 为 0。有关清 此位的时序，参见 3.8 端点 0 的 STALL 响应/ 放中的 STAL 位清 时序。

位	描
0	忽略
1	设置 STALL 状态（STALL 响应）

注意事 ：

- *如果 UDC 控制寄存器 (UDCC) 的 STALCLREN 位为 0，当 STAL 位被设为 1 时，STALL 响应保持对主机的操作。如果复位 STAL 后收到正常 SETUP 包，则端点 0 将从 STALL 状态恢复。*
- *读改写指令读取此位为 0。*

[bit8:7] 保留：保留位

写入值总为 0。

读取值总为 0。

[bit6:0] PKS0：包大小端点 0 设置位（包大小 ep0 设置）

些位指定一个包所传输的最大字节 。若为端点 0，最大字节 为 64，且 IN 方向和 OUT 方向的设置值有效。

示例：0x08 => 8 字节、0x40 => 64 字节（最大值）

注意事 ：

- *UDC 控制寄存器 (UDCC) 中的 RST 位及 EP0I/O 状态寄存器 (EP0IS/EP0OS) 中的 BFINI 位为 1 时，必 置 些位。当 USB 正在 行时，不得 写。*
- *不得写入超0 最大可传输字节 (0x40) 以及 0x00 的值。*

5.3 EP1 至 EP5 控制寄存器（EP1C 至 EP5C）

EP1~EP5 控制寄存器（EP1C 至 EP5C）控制端点 1 至端点 5。

下图所示为 EP1 ~EP5 控制寄存器（EP1C 至 EP5C）的位 置。

EP1 控制寄存器 (EP1C)

位	15	14	13	12	11	10	9	8
字段	EPEN	TYPE		DIR	DMAE	NULE	STAL	PSK1
属性	R/W	R/W		R/W	R/W	R/W	R/W	R/W
初始值	0	11		0	0	0	0	1

位	7	6	5	4	3	2	1	0
字段	PSK1							
属性	R/W							
初始值	0x00							

EP2~ EP5 控制寄存器（EP2C ~EP5C）

位	15	14	13	12	11	10	9	8
字段	EPEN	TYPE		DIR	DMAE	NULE	STAL	保留
属性	R/W	R/W		R/W	R/W	R/W	R/W	-
初始值	0	11		0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	保留	PKS5 至 PKS2						
属性	-	R/W						
初始值	0	1000000						

注意事 ：

- *DMAE、NULE 和 STAL 位之外，UDC 控制寄存器 (UDCC) 中的 bit 7 RST 以及 EP0 ~ EP5 状态寄存器（EP1S 至 EP5S）中的 bit 15 BFINI 为 “1” 时，必 置 EP1 ~EP5 控制寄存器（EP1C `EP5C）。当 USB 正在 行时，不得 写。*

以下说明 EP1 ~EP5 控制寄存器（EP1C ~ EP5C）各位的功能。

[bit15] EPEN：端点 1 至端点 5 使能位（EndPoint1 至 EndPoint5 使能）

此位使能端点。基于 EPEN 位设置，主机按照功能所用 置端点。EP1 ~ EP5 控制寄存器中的 TYPE、DIR 和 PKS 位为有效 置信息。

位	描
0	禁用端点
1	使能端点

[bit14:13] TYPE：端点传输类型　择位（端点类型）

些位指定端点支持的传输类型。

Bit14:13	描
00	禁止设置。
01	Iso 传输（功能操作模式）
10	批　传输
11	中断传输

注意事　：

- *可在功能操作模式中仅为端点 1 或同时为端点 1 和端点 2 设置 Iso 传输。但禁止仅为端点 2 设置、为端点 1/ 端点 2 之外的端点设置或在主机操作模式中设置。*

[bit12] DIR: 端点传输方向　择位（端点方向）

此位指定端点支持的传输方向。

位	功能操作模式	主机操作模式（仅 EP1 和 EP2）
0	OUT 端点	IN 端点
1	IN 端点	OUT 端点

[bit11] DMAE：DMA 自动传输使能位（DMA 使能）

此位设置的模式使用 DMA 将传输数据写入发　/接收缓冲器或从发　/接收缓冲器读取传输数据，并且与主机 IN 或 OUT 方向的数据请求同步自动传输发　/接收数据。传输数据直到　到 DMA 设置的数据大小。

位	描
0	放自动缓冲器传输模式
1	设置自动缓冲器传输模式

注意事　：

- *DMAE 位被设为 1 时，CPU 不得访　发　/接收缓冲器。*

[bit10] NULE：NULL 自动传输使能位（NULL 使能设置）

设置自动缓冲器传输模式 (DMAE = 1) 时接收到 IN 方向的数据传输请求后，此位设置的模式为检测到最后一个包传输后自动传输 0 字节数据。

位	描
0	放 NULL 自动传输模式
1	设置 NULL 自动传输模式

注意事　：

- *若为OUT 方向的数据传输或未设置自动缓冲器传输模式，NULL 位　置对　信无效。*

[bit9] STAL：端点 1 至端点 5 的 STALL 设置位（STALI 设置）

此位可将端点设置为 STALL 状态（STALL 响应）。

- UDC 控制寄存器 (UDCC) 中的 STALCLREN 位为 0 时

  此位不是 0 清 功能命令清 为 0。必 0 软件清 此位。有关清 此位的时序，参见 3.9 端点 1 至端点 5 的 STALL 响应/ 放中的软件 STALL 响应/ 放。

位	描
0	放 STALL 状态
1	设置 STALL 状态（STALL 响应）

- UDC 控制寄存器 (UDCC) 中的 STALCLREN 位为 1 时

  此位是 0 硬件清 。 对清 功能命令指定的端点，将此位清 为 0。有关清 此位的时序，参见 3.9 端点 1 至端点 5 的 STALL 响应/ 放中的软件 STALL 响应/ 放。

位	描
0	忽略
1	设置 STALL 状态（STALL 响应）

注意事 ：

- *如果 UDC 控制寄存器 (UDCC) 的 STALCLREN 位为 0，当 STAL 位被设为 1 时，STALL 响应保持对主机的操作。复位 STAL 位后，可 0 清 功能命令从 STALL 状态 回。*
- *0 读改写指令所读取的值具体取决于 STALCLREN 中设置的值。*
- *STALCLREN = 0 时，为当时读取的值。*
- *STALCLREN = 1 时，读取值为 0。*

[EP2 至 EP5: bit8:7] EP2 至 EP5 保留位

在 EP2 ~EP5 中， 些位保留。写入值总为 0。读取值总为 0。

[(EP1: bit8:7) bit6:0] PKS: 包大小设置位（包大小 ep1 设置）

些位指定一个包所传输的最大 。以下所示为端点 1 至端点 5 的指定最大包大小。

端点	最大传输	可 置范围
1	256 字节（允许奇数）	0x001 至 0x100
2 至 5	64 字节（允许奇数）	0x01 至 0x40

注意事 ：

- *不得写入超0 可传输字节最大 （0x100 或 0x40）以及 0x00 的值。若为端点 2 至端点 5，则 00 写入 bit8 和 bit 7。而且在使用自动缓冲器传输模式 (DMAE = 1) 时，不得将 0 至 2 写入相关端点。*
- *为 PKS 设置偶数字节。*

5.4 时戳寄存器 (TMSP)

时戳寄存器 (TMSP) 指示收到 SOF 包时的帧数。

下图所示为时戳寄存器 (TMSP) 的位 置。

位	15	14	13	12	11	10	9	8
字段	保留	保留	保留			TMSP		
属性	-	-	-			R	R	R
初始值	X	X	XXX			0	0	0
RST 复位	0	0	无关			0	0	0

位	7	6	5	4	3	2	1	0
字段	TMSP							
属性	R	R	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0
RST 复位	0	0	0	0	0	0	0	0

以下说明时戳寄存器 (TMSP) 各位的功能。

[bit15:11] 保留：保留位

写入值对操作无效。读取值未定义。

[bit10:0] TMSP：时戳位 (TiMe StamP)

些位指示收到 SOF 包的帧数。收到 SOF 包时更新帧数。

5.5 UDC 状态寄存器 (UDCS)

UDC 状态寄存器 (UDCS) 指示 USB 信或接收指定命令时的总线状态。 SETP 位以外，各位为中断因素。如果使能相应中断使能位，可向 CPU 产生中断。

下图所示为 UDC 状态寄存器 (UDCS) 的位 置。

位	7	6	5	4	3	2	1	0
字段	-	-	SUSP	SOF	BRST	WKUP	SETP	CONF
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	0	0	0	0	0	0
RST 复位	X	X	0	0	0	0	0	0

以下说明 UDC 状态寄存器 (UDCS) 各位的功能。

[bit7:6] -：未定义位

写入值对操作无效。读取值未定义。

[bit5] SUSP：挂起检测位 (SUSPend)

此位指示 USB 功能转换至挂起状态。 SUSP 位为中断因素，写入 1 将被忽略。写入 0 清 此位。读改写访 读取此位为 1。

位	描
0	未检测到挂起或已清 中断因素。
1	检测到挂起。

[bit4] SOF：SOF 检测位（开始帧）

此位指示已接收到 SOF 包，然后更新时戳寄存器。SOF 位为中断因素，写入 1 将被忽略。写入 0 清此位。读改写访 读取此位为 1。

位	描
0	未接收 SOF 或已清 中断因素。
1	已接收 SOF

[bit3] BRST：总线复位检测位 (Bus ReSeT)

此位指示 USB 总线复位检测。 BRST 位为中断因素，写入 1 将被忽略。写入 0 清 此位。读改写访 读取此位为 1。

位	描
0	未检测到 USB 总线复位或已清 中断因素。
1	检测到 USB 总线复位

注意事 ：

- *检测到此位时， 0 EP0I 状态寄存器 (EP0IS) 中的 BFINI 位、EP0O 状态寄存器 (EP0OS) 中的 BFINI 位以及 EP1 ~EP5 状态寄存器（EP1S 至 EP5S）中的 BFINI 位初始化缓冲器。*

[bit2] WKUP：唤　检测位 (WaKe UP)

此位指示 USB 功能从挂起状态恢复。RESUM 位设置引起的　控唤　及主机请求引起的唤　为恢复因素，但是只能　0 主机恢复请求自动设置 WKUP 位。WKUP 位为中断因素，写入 1 将被忽略。写入 0 清此位。读改写访　读取此位为 1。

位	描
0	未检测到主机引起的复位或已清　中断因素。
1	检测到主机引起的恢复

注意事　：

- *即使主机请求引起唤　时，若已设置 UDCC 寄存器中的 RESUM 位，不设置此位。*

[bit1] SETP：设置　段检测位 (SETuP)

此位指示接收数据为 USB 控制传输的设置　段。此位写入 1 被忽略。写入 0 清　此位。读改写访　读取此位为 1。

位	描
0	未接收到设置　段或已清　因素。
1	已接收到控制传输设置　段

注意事　：

- *在标准命令自动响应　程中，不设置 SETP 位。此位不是中断因素。*

[bit0] CONF：　置检测位 (CONFigration)

此位指示已　置 USB 功能。成功接收 USB 命令的 SetConfig 时，设置 CONF 位。 CONF 位为中断因素，写入 1 将被忽略。写入 0 清　此位。读改写访　读取此位为 1。

位	描
0	未检测到 SetConfig 或已清　中断因素。
1	已检测到 SetConfig

5.6 UDC 中断使能寄存器 (UDCIE)

UDC 中断使能寄存器 (UDCIE) 0 各位（CONFN 位 外）使能 UDC 状态寄存器因素产生的中断。

下图所示为 UDC 中断使能寄存器 (UDCIE) 的位 置。

位	15	14	13	12	11	10	9	8
字段	保留	保留	SUSPIE	SOFIE	BRSTIE	WKUPIE	CONFN	CONFIE
属性	-	-	R/W	R/W	R/W	R/W	R	R/W
初始值	0	0	0	0	0	0	0	0
RST 复位	0	无关	0	0	0	0	0	0

以下说明 UDC 中断使能寄存器 (UDCIE) 各位的功能。

[bit15:14] 保留：保留位

些位始终写入 0。读取值总为 0。

[bit13] SUSPIE：挂起中断使能位（SUSP 中断使能）

此位使能 UDC 状态寄存器 SUSP 中断因素产生的中断。

位	描
0	禁用 SUSP 因素产生的中断
1	使能 SUSP 因素产生的中断

[bit12] SOFIE：SOF 接收中断使能位（SOF 中断使能）

此位使能 UDC 状态寄存器 SOF 中断因素产生的中断。

位	描
0	禁用 SOF 因素产生的中断
1	使能 SOF 因素产生的中断

[bit11] BRSTIE：总线复位使能位（BRST 中断使能）

此位使能 UDC 状态寄存器 BRST 中断因素产生的中断。

位	描
0	禁用 BRST 因素产生的中断
1	使能 BRST 因素产生的中断

[bit10] WKUPIE：唤　中断使能位（WKUP 中断使能）

此位使能 UDC 状态寄存器 WKUP 中断因素产生的中断。

位	描
0	禁用 WKUP 因素产生的中断
1	使能 WKUP 因素产生的中断

[bit9] CONFN：　置数　指示位 (CONFiguration Number)

此位指示　置数　。设置 UDC 状态急促器的 CONF 中断因素时，更新信息。

位	描
0	CONFIG 数　为 0
1	CONFIG 数　为 1

[bit8] CONFIE：　置中断使能位 (CONFiguration)

此位使能 UDC 状态寄存器 CONF 中断因素产生的中断。

位	描
0	禁用 CONF 因素产生的中断
1	使能 CONF 因素产生的中断

5.7 EP0I 状态寄存器 (EP0IS)

EP0I 状态寄存器 (EP0IS) 指示 IN 方向的端点 0 传输状态。

下图所示为 EP0I 状态寄存器 (EP0IS) 的位 置。

位	15	14	13	12	11	10	9	8
字段	BFINI	DRQIIE	-	-	-	DRQI	-	-
属性	R/W	R/W	-	-	-	R/W	-	-
初始值	1	0	X	X	X	1	X	X
BFINI 复位	1	无关	X	X	X	1	X	X

位	7	6	5	4	3	2	1	0
字段	-	-	-	-	-	-	-	-
属性	-	-	-	-	-	-	-	-
初始值	X	X	X	X	X	X	X	X
BFINI 复位	X	X	X	X	X	X	X	X

以下说明 EP0I 状态寄存器 (EP0IS) 各位的功能。

[bit15] BFINI：发 缓冲器初始化位 (BuFfer INItial)

此位初始化传输数据的发 缓冲器。此外，UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位将自动设为 1。因此，若 RST 位用于复位，清 此位前将 RST 位设为 0。

位	描
0	清 初始化
1	初始化发 缓冲器

注意事 ：

- *0 BFINI 位初始化缓冲器和 DRQI 位。初始化缓冲器前，确保设置 DRQI 或 DRQO 位且没有从主机 行访 ，然后在必要时 置 STAL 位。*

[bit14] DRQIIE：发 数据中断使能位（数据请求输入中断使能）

此位使能 EP0I 状态寄存器“DRQI”中断因素产生的中断。

位	描
0	禁用 DRQI 因素产生的中断。
1	使能 DRQI 因素产生的中断。

[bit13:11] -：未定义位

写入值对操作无效。读取值未定义。

[bit10] DRQI：发　/接收数据中断请求位 (Data ReQuest In)

此位指示　0　EP0 主机的 IN 包传输已正常结束并已从发　缓冲器读取数据，因此可写入下一个发　数据。DRQI 位为中断因素，写入 1 将被忽略。写入 0 清　此位。读改写访　读取此位为 1。

位	描
0	清　中断因素
1	发　数据可写入发　缓冲器

注意事　：

- *将数据写入发　缓冲器，必　清　此位。而且未设置此位时，不得写入 0。*
  DRQI 位为 1 时，可将数据写入发　缓冲器。清　DRQI 位时，已将数据写入发　缓冲器。因此，若在 DRQI 位为 1 时接收到 IN 包请求，NAK 将自动发　至主机。

[bit9:0] -：未定义位

写入值对操作无效。读取值未定义。

5.8 EP0O 状态寄存器 (EP0OS)

EP0O 状态寄存器 (EP0OS) 指示 OUT 方向的端点 0 传输状态。

下图所示为 EP0O 状态寄存器 (EP0OS) 的位 置。

位	15	14	13	12	11	10	9	8
字段	BFINI	DRQOIE	SPKIE	-	-	DRQO	SPK	保留
属性	R/W	R/W	R/W	-	-	R/W	R/W	-
初始值	1	0	0	X	X	0	0	0
BFINI 复位	1	无关	无关	X	X	0	0	0

位	7	6	5	4	3	2	1	0
字段	保留	SIZE						
属性	-	R	R	R	R	R	R	R
初始值	X	X	X	X	X	X	X	X
BFINI 复位	X	X	X	X	X	X	X	X

以下说明 EP0O 状态寄存器 (EP0OS) 各位的功能。

[bit15] BFINI：接收缓冲器初始化位 (BuFfer INItial)

此位初始化传输数据的接收缓冲器。 0 设置 UDC 控制寄存器 (UDCC) 的 RST 位可自动设置此位。因此，若 RST 位用于复位，清 此位前将 RST 位设为 0。

位	描
0	清 初始化
1	初始化接收缓冲器

注意事 ：

- *0 BFINI 位初始化 DRQO 和 SPK 位。初始化缓冲器前，确保设置 DRQI 或 DRQO 位且没有从主机 行访 ，然后在必要时 置 STAL 位。*

[bit14] DRQOIE：接收数据中断使能位（数据请求输出中断使能）

此位使能 EP0O 状态寄存器 DRQO 中断因素产生的中断。

位	描
0	禁用 DRQO 因素产生的中断。
1	使能 DRQO 因素产生的中断。

[bit13] SPKIE：短包中断使能位（SPK 中断使能）

此位使能 EP0O 状态寄存器 SPK 中断因素产生的中断。

位	描
0	禁用 SPK 因素产生的中断
1	使能 SPK 因素产生的中断

[bit12:11] -：未定义位

写入值对操作无效。读取值未定义。

[bit10] DRQO：接收数据中断请求位 (Data ReQuest Out)

此位指示 EP0 主机的 OUT 包传输已正常结束，且数据已写入接收缓冲器，可以读取。此位为中断因素，写入 1 将被忽略。写入 0 清 此位。读改写访 读取此位为 1。

位	描
0	清 中断因素
1	可从接收缓冲器读取接收数据

注意事 ：

- *从接收缓冲器读取数据后，必 清 此位。而且在未设置此位时，不得写入 "0"。*
  DRQO 为 1 时，不更新接收缓冲器。清 DRQO 时才允许更新。因此，若在 DRQO 位为 1 时接收到 OUT 包请求，NAK 将自动发 至主机。

[bit9] SPK：短包中断请求位 (Short PacKet)

此位指示成功接收数据时，主机传输的数据大小未满足 EP0 控制寄存器 (EP0C) 中 PKS 设置的最大包大小（包括 0 字节）。此位为中断因素，写入 1 将被忽略。写入 0 清 此位。读改写访 读取此位为 1。

位	描
0	接收数据大小满足最大包大小
1	接收数据大小未满足最大包大小

[bit8:7] 保留：保留位

写入值对操作无效。读取值总为 0。

[bit6:0] SIZE：包大小指示位 (packet SIZE)

些位指示完成 EP0 的 OUT 包传输后，写入接收缓冲器中的数据字节 。设置 EP0O 状态寄存器 (EP0OS) 的 DRQO 中断因素时，将 SIZE 位更新为有效值。

示例：8 字节 => 0x08，64 字节 => 0x40（最大值）

5.9 EP1 ~ EP5 状态寄存器 (EP1S ~ EP5S)

EP1 ~EP5 状态寄存器（EP1S ~ EP5S）指示端点 1 至端点 5 的状态。

下图所示为 EP1 ~ EP5 状态寄存器（EP1S 至 EP5S）的位 置。

EP1 状态寄存器 (EP1S)

位	15	14	13	12	11	10	9	8
字段	BFINI	DRQIE	SPKIE	保留	BUSY	DRQ	SPK	SIZE1
属性	R/W	R/W	R/W	-	R	R/W	R/W	R
初始值	1	0	0	X	0	0	0	X

位	7	6	5	4	3	2	1	0
字段	SIZE1							
属性	R	R	R	R	R	R	R	R
初始值	X	X	X	X	X	X	X	X

EP2 ~ EP5 状态寄存器 (EP2S ~ EP5S)

位	15	14	13	12	11	10	9	8
字段	BFINI	DRQIE	SPKIE	保留	BUSY	DRQ	SPK	保留
属性	R/W	R/W	R/W	-	R	R/W	R/W	-
初始值	1	0	0	X	0	0	0	X

位	7	6	5	4	3	2	1	0
字段	保留	SIZE2 至 SIZE5						
属性	-	R	R	R	R	R	R	R
初始值	0	X	X	X	X	X	X	X

以下说明 EP1 ~ EP5 控制寄存器（EP1S ~EP5S）各位的功能。

[bit15] BFINI：发 /接收缓冲器初始化位 (BuFfer INItial)

此位初始化传输数据的发 /接收缓冲器。 0 设置 UDC 控制寄存器 (UDCC) 的 RST 位可自动设置 BFINI 位。因此，若 RST 位用于复位，清 BFINI 位前将 RST 位设为 0。

位	描
0	清 初始化
1	初始化发 /接收缓冲器

注意事 ：

- *EP1 ~EP5 发 /接收缓冲器具有双缓冲器 置。 BFINI 位同时初始化双缓冲器， 初始化 DRQ 和 SPK 位。初始化缓冲器前，确保设置 DRQ 位并检 BUSY 位确保主机未执行访 ，然后置 STAL 位。*

[bit14] DRQIE：包传输中断使能位（数据请求中断使能）

此位使能 EP1 ~EP5 状态寄存器 DRQ 中断因素产生的中断。

位	描
0	禁用 DRQ 因素产生的中断。
1	使能 DRQ 因素产生的中断。

注意事 ：

- *要使用自动缓冲器传输模式 (DMAE = 1，在使能 DRQIE 位前，设置 DMA 并使能传输。*

[bit13] SPKIE：短包中断使能位（SPK 中断使能）

此位使能 EP1 至 EP5 状态寄存器 SPK 中断因素产生的中断。

位	描
0	禁用 SPK 因素产生的中断
1	使能 SPK 因素产生的中断

[bit12] 保留：保留位

写入值对操作无效。读取值未定义。

[bit11] BUSY：忙碌标志位（BUSY 标志）

此位指示主机当前正在写入访 或读取访 发 /接收缓冲器。BUSY 位自动设置或复位。

位	描
0	主机未执行访
1	主机正在写入访 或读取访

注意事 ：

若 DRQ 位被设为 1 时 BUSY 位被设为 1，则指示主机正在访 没有 0 CPU 或 DMA 访 的双缓冲器的任一个。

常，不 要使用 BUSY 位控制。然而，要 0 设置 BFINI 初始化缓冲器， 先 取以下步 。

1. 确保已设置 DRQ 位，并检 BUSY 位确保主机未执行访 。

2. 设置 STAL 位。

[bit10] DRQ：包传输中断请求位 (Data ReQuest)

此位指示 EP1 至 EP5 包传输已正常结束， 要数据处理。 DRQ 位为中断因素，写入 1 将被忽略。在 DRQ 位为 1 时写入 0 清 此位。读改写访 读取此位为 1。

位	描
0	清 中断因素
1	包传输正常结束

注意事 ：

- *如果不使用自动缓冲器传输模式 (DMAE = 1)，数据写入或读取发 /接收缓冲器后，必 将 0 写入 DRQ 位。清 DRQ 位后立即转换访 缓冲器。清 DRQ 位后，不能读取 DRQ = 0。如果传输方向设为IN，且在DRQ 位为 1 时无 写入缓冲器数据即可清 DRQ 位，则表示设置了 0 字节数据。若在初始设置时将 EP1 ~ EP5 控制寄存器（EP1C ~ EP5C）的 DIR 设为 1，将同时设置相应端点的 DRQ 位。未设置 DRQ 位时，不得写入 0。*

[bit9] SPK：短包中断请求位 (Short PacKet)

此位指示成功接收数据时，主机传输的数据大小未满足 EP1 至 EP5 控制寄存器（EP1C 至 EP5C）中 PKS 设置的最大包大小（包括 0 字节）。此位为中断因素，写入 1 将被忽略。写入 0 清 此位。读改写访 读取此位为 1。

位	描
0	接收数据大小满足最大包大小
1	接收数据大小未满足最大包大小

注意事 ：

- *在 IN 方向的数据传输 程中未设置 SPK 位。*

[EP2 至 EP5: bit8:7] 保留：保留位

在 EP2 ~ EP5 中， 些位保留。写入值对操作无效。读取值总为 0。

[(EP1: bit8:7) bit6:0] SIZE：包大小

些位指示完成 EP1~EP5 的 OUT 包传输后写入接收缓冲器中的数据字节 。设置 EP1 ~ EP5 状态寄存器（EP1S ~ EP5S）的 DRQ 中断因素时，将 SIZE 位更新为有效值。

端点 1 至端点 5 的最大传输数据大小如下：

端点	最大传输	指示范围
1	256 字节	0x000 至 0x100
2 至 5	64 字节	0x00 至 0x40

注意事 ：

- *些位设置主机在OUT 方向传输的数据大小，并写入缓冲器。因此，在 IN 方向传输 程中读取的值对操作无效。*

5.10 EP0 ~ EP5 数据寄存器（EP0DTH ~ EP5DTH/EP0DTL ~ EP5DTL）

EP0 ~ EP5 数据寄存器（EP0DTH ~ EP5DTH/EP0DTL ~ EP5DTL）控制写入或读取端点 0 至端点 5 的发 /接收缓冲器传输数据。

下图所示为 EP0 ~ EP5 数据寄存器（EP0DTH ~ EP5DTH/EP0DTL ~ EP5DTL）的位 置。

EP0DTH ~ EP5DTH

位	15	14	13	12	11	10	9	8
字段	BFDT							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

EP0DTL ~ EP5DTL

位	7	6	5	4	3	2	1	0
字段	BFDT							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	X	X	X	X	X	X	X	X

以下说明 EP0 ~ EP5 数据寄存器（EP0DTH ~ EP5DTH/EP0DTL ~ EP5DTL）各位的功能。

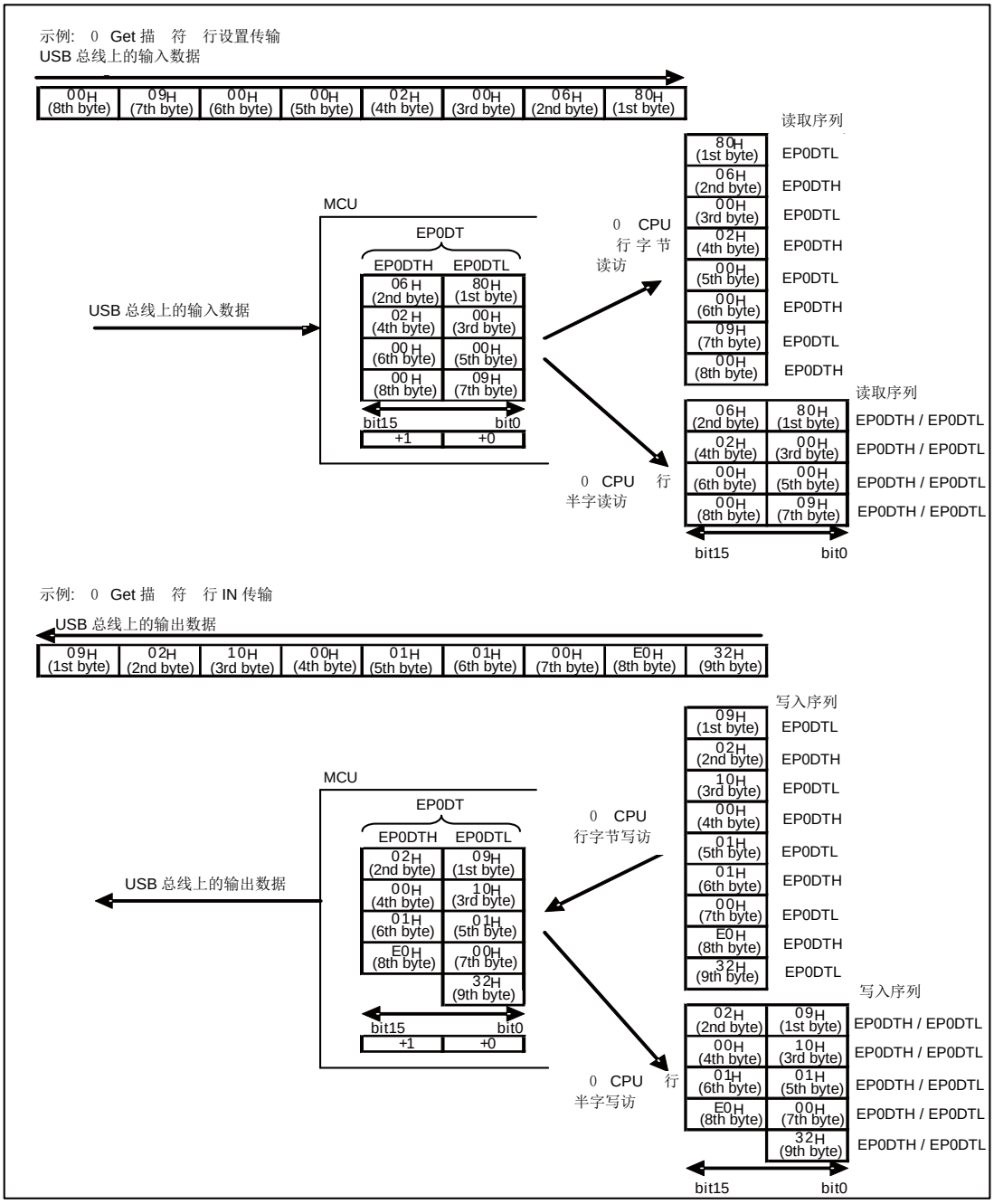
[bit15:0] BFDT：端点发 /接收缓冲器数据位 (BuFfer DaTa)

寄存器用于写入/读取各端点的发 /接收缓冲器数据。

注意事 ：

- *CPU 可以字节或半字访 EP0 ~ EP5 数据寄存器（EP0DTH ~ EP5DTH/EP0DTL ~ EP5DTL）。*
- *字节访*

  先访 低位 (EPxDTL)，然后访 位 (EPxDTH)。然后交替访 低位 (EPxDTL) 和 位 (EPxDTH)。
- *位操作指令不得访 本寄存器。*



DMA 传输只能以半字访 EP0 ~ EP5 数据寄存器（EP0DTH ~ EP5DTH/EP0DTL ~ EP5DTL）。（参见 3.6 DMA 传输功能中的自动数据大小传输模式。）

第 5-2 章：USB 主机

本章说明 **USB** 主机的功能和操作。

1. **USB 主机概述**
2. **USB 主机配置**
3. **USB 主机操作**
4. **USB 主机设置步骤示例**
5. **USB 主机寄存器**

代码：FW03H-C18.4

1. USB 主机概述

本节说明 USB 主机的功能及操作。

USB 主机的特性

USB 主机具有以下特性：

- 自动检测全速或低速传输
- 支持全速或低速传输
- 自动检测设备连接或断开
- 支持 USB 总线复位发送功能
- 支持 IN、OUT、SETUP 和 SOF 令牌
- 自动发送 IN 令牌的握手包（不包括 STALL）
- 自动检测 OUT 令牌握手包
- 支持的最大包长 256 字节
- 支持针对错误的动作（CRC 错误、触发错误及超时）
- 支持唤醒功能
- 支持 Spansion 的原 USB 主机功能，也可通过转换操作模式以 USB 功能操作。（有关 USB 主机规格的限制条件，参见 Table 1-1。）

注意事项：

- *使用 USB 主机时，将基本时钟设为 13 MHz 或更高频率。*

Table 1-1 USB 主机规格的限制

		主机
集线器支持		❍*1
传输功能	批量传输	❍
	控制传输	❍
	中断传输	❍
	同步传输	❍
传输速度模式	低速	❍
	全速	❍
支持 PRE 包		×
支持 SOF 包		❍
错误类型	CRC 错误	❍
	触发错误	❍
	超时	❍
	最大包<接收数据	❍
检测设备连接或断开		❍
检测传输速度		❍

❍：支持

×：不支持

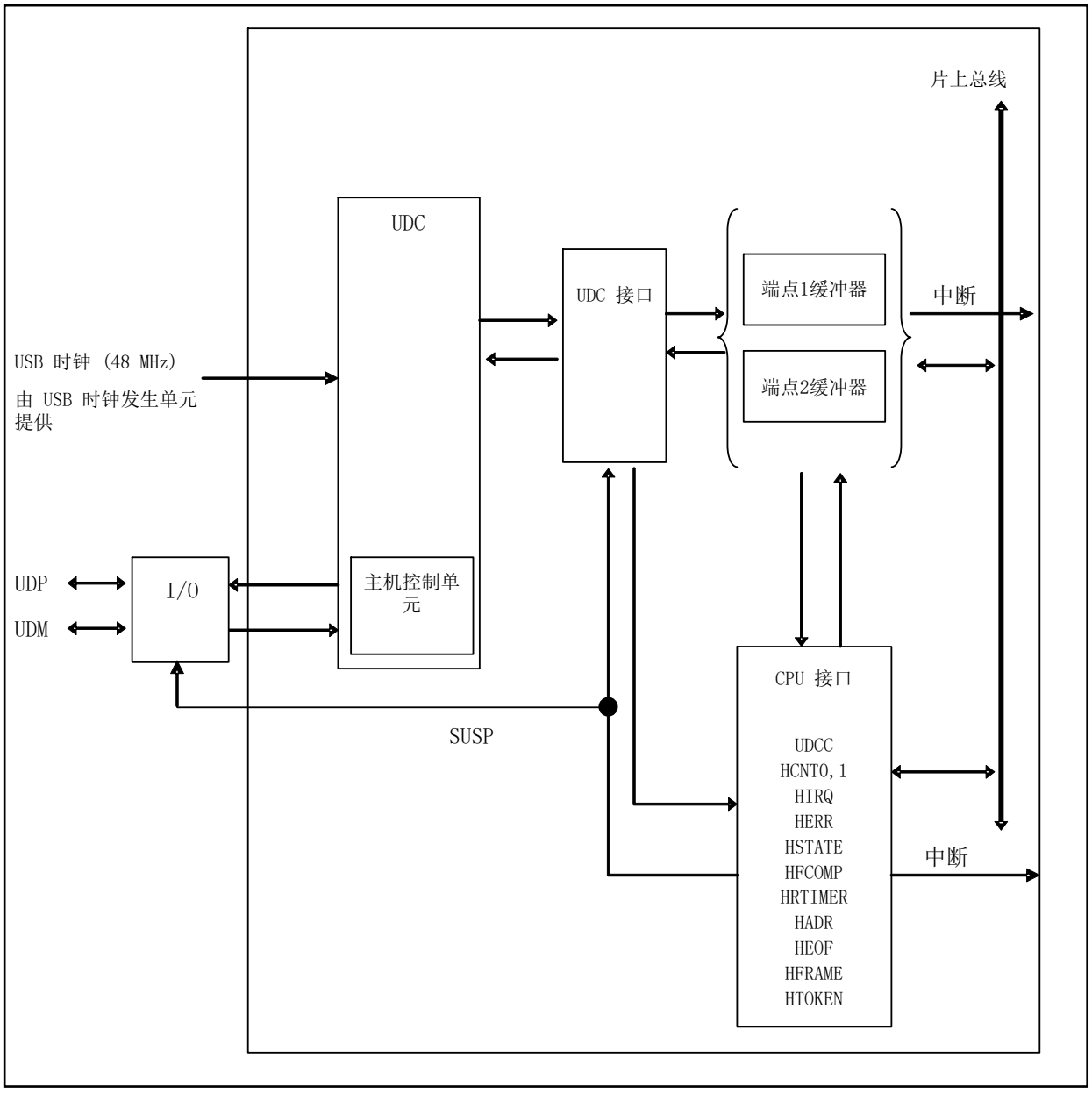
*1：仅在全速模式中支持至多一段的集线器。

2. USB 主机配置

Figure 2-1 所示为 USB 主机框图。

USB 主机框图

Figure 2-1 USB 主机框图



3. USB 主机操作

本节说明 USB 主机操作。

3.1 设备连接
3.2 USB 总线复位
3.3 令牌包
3.4 **数据包**
3.5 握手包
3.6 重试功能
3.7 SOF 中断
3.8 错误状态
3.9 包结束
3.10 暂停和恢复操作
3.11 设备断开

3.1 设备连接

本节所示为如何使用软件检测所连接的外部 USB 设备。

主机功能设置

应在 USB 使能寄存器 (USBEN) 的 USBEN 位为 0（USB 操作禁用）时配置 USB 时钟产生单元的设置并使能 USB 时钟输出以执行 USB 操作。接着将 USBEN 位设为 1（USB 操作使能）。然后，将主机控制寄存器 0 (HCNT0) 的 HOST 位设为 1, 将 USB 作为主机操作。

外部 USB 设备是否连接的状态

未连接外部 USB 设备时，通过下拉电阻器将主机引脚 D+ 和 D- 设为 LOW。此时，主机状态寄存器 (HSTATE) 的 CSTAT 位为 0 且 TMODE 位未定义。连接外部 USB 设备时，主机状态寄存器 (HSTATE) 的 CSTAT 位变为 1。

检测外部 USB 设备的连接

检测到外部 USB 设备连接时，主机中断寄存器 (HIRQ) 的 CNNIRQ 位被设为 1。若主机控制寄存器 0 (HCNT0) 的 CNNIRE 位被设为 1，会发生设备连接中断。主机中断寄存器 (HIRQ) 的 CNNIRQ 位写入 0, 清除中断。通过轮询检测设备连接而不是中断时，采用以下步骤创建程序。

1. 将主机控制寄存器 0 (HCNT0) 的 CNNIRE 位设为 0。
2. 检验主机中断寄存器 (HIRQ) 的 CNNIRQ 位是否变为 1。

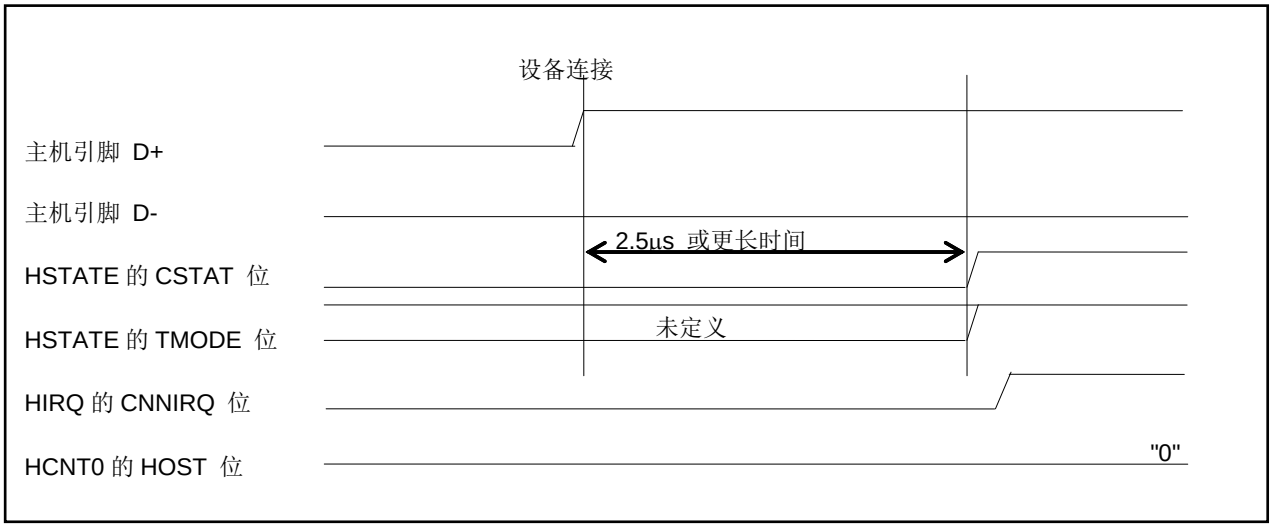
获得遥控 USB 设备的传输速度并选择时钟

检验主机状态寄存器 (HSTATE) 的 TMODE 位值, 以便在检测连接后获得遥控 USB 设备的可能传输速度。下文所示为传输速度和主机状态寄存器 (HSTATE) 中 TMODE 位值的关系。

- 目标地址为全速模式设备。-> TMODE=1
- 目标地址为低速模式设备。 -> TMODE=0

获得外部 USB 设备的传输速度后，如果 UDC 控制寄存器 (UDCC) 的 RST 位为 1，根据获得的传输速度更新主机状态寄存器 (HSTATE) 的 CLKSEL 位。

Figure 3-1 全速设备连接检测时序示例(HCNT0:HOST=0)



注意事项：

- *连接外部 USB 设备后，2.5µs 或更长时间结束后，主机状态寄存器 (HSTATE) 的 CSTAT 位将变为 1。*
- *更新主机状态寄存器 (HSTATE) 的 TMODE 位和 CSTAT 位，无论主机控制寄存器 0 (HCNT0) 的 HOST 位如何设置。如果条件满足，将主机中断寄存器 (HIRQ) 的 CNNIRQ 位和 DIRQ 位设为 1。*

3.2 USB 总线复位

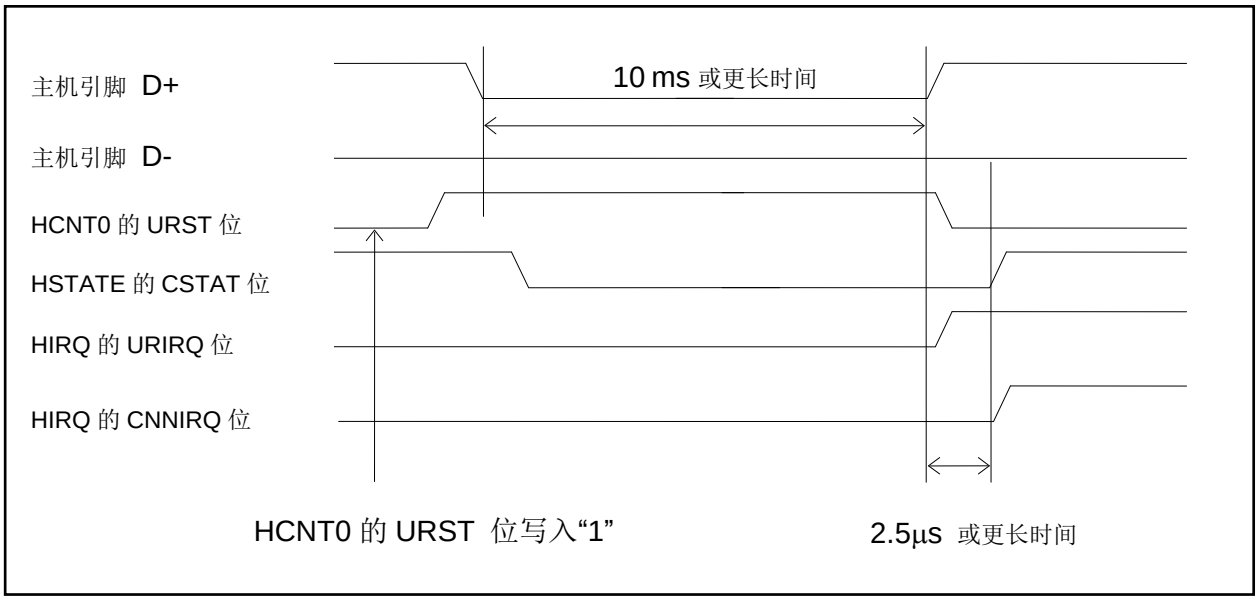
如果在主机模式时将主机控制寄存器 0 (HCNT0) 的 URST 位设为 1，可通过发送 10 ms 或更长时间的 SE0 复位 USB 总线。完成 USB 总线复位后，将主机控制寄存器 0 (HCNT0) 的 URST 位设为 0，并将主机中断寄存器 (HIRQ) 的 URIRQ 位设为 1。如果之后主机控制寄存器 0 (HCNT0) 的 URIRE 位设为 1，则发生中断。将 0 写入主机中断寄存器 (HIRQ) 的 URIRQ 位清除中断。

复位 USB 总线前后的注意事项

复位 USB 总线时注意以下几点：

1. 检验是否在复位 USB 总线前连接了设备，应确保主机状态寄存器 (HSTATE) 的 CSTAT 位被设为 1。
2. 复位 USB 总线，将主机状态寄存器 (HSTATE) 的 CSTAT 位变为 0，使 USB 设备断开。此时，主机中断寄存器 (HIRQ) 的 DIRQ 位未被设为 1。
3. 完成 USB 总线复位后，比较 CLKSEL 位值与主机状态寄存器 (HSTATE) 的 TMODE 位值。若不匹配，更新 CLKSEL 位进行匹配。UDC 控制寄存器 (UDCC) 的 RST 位为 1 时，更新 CLKSEL 位。
4. 完成 USB 总线复位后，通过下文所示的任意位检验 USB 设备是否连接，并执行令牌处理。
   - 主机中断寄存器 (HIRQ) 的 CNNIRQ 位
   - 主机状态寄存器 (HSTATE) 的 CSTAT 位

Figure 3-2 设备复位时序示例



注意事项：

- *完成 USB 总线复位后，若未检测到 USB 设备连接，不发出令牌。*

3.3 令牌包

在主机模式中发出 IN、OUT 或 SETUP 令牌时，使用以下设置步骤发送令牌包。

1. 设置主机地址寄存器 (HADR)。
2. 设置 EP1 控制寄存器 (EP1C) 或 EP2 控制寄存器 (EP2C) 的 DIR 位和 PKS 位。
3. 将所需数据写入主机令牌端点寄存器 (HTOKEN)。

发出 SOF 令牌，设置帧设置寄存器 (HFRAME) 和 EOF 设置寄存器 (HEOF)，并将所需数据写入主机令牌端点寄存器 (HTOKEN)。若 HADR、EP1C、EP2C、HFRAME 和 HEOF 寄存器没有任何变化，不需要执行上述设置。

令牌包设置

在主机模式中，使用端点 1 和端点 2 缓冲器发送和接收数据。
发出 IN、OUT 或 SETUP 令牌时，在主机地址寄存器 (HADR) 中指定目标地址。然后，分别在 EP1 控制寄存器 (EP1C) 或 EP2 控制寄存器 (EP2C) 的 PKS 位和 DIR 位指定各令牌包的最大字节量和传输方向。

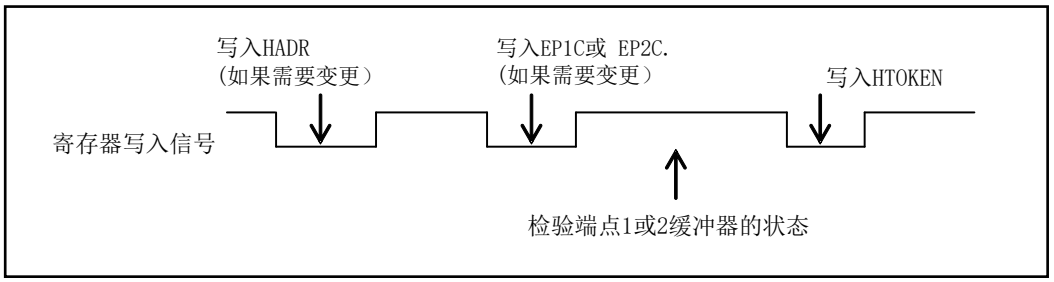
若 EP1 控制寄存器 (EP1C) 的 DIR 位为 1，端点 1 缓冲器用作输出缓冲器。端点 2 缓冲器用作输入缓冲器。然后将 EP2 控制寄存器 (EP2C) 的 DIR 位设为 0。
若 EP1 控制寄存器 (EP1C) 的 DIR 位为 0，端点 1 缓冲器用作输入缓冲器。端点 2 缓冲器用作输出缓冲器。然后将 EP2 控制寄存器 (EP2C) 的 DIR 位设为 1。

采取以下步骤执行令牌处理。

1. 指定 EP1 控制寄存器 (EP1C) 和 EP2 控制寄存器 (EP2C) 的 DIR 位和 PKS 位。
2. 若将目标端点 n（n: 1 或 2）设为输出方向，将发送数据写入端点 n（n: 1 或 2）缓冲器，并将 EPn 状态寄存器（EPnS: n = 1 或 2）的 DRQ 位设为 0。
   若选择输入方向，读取 EPn 状态寄存器（EPnS: n = 1 或 2）的 DRQ 位并检验该位值是否为 0。
3. 指定目标端点、令牌及主机令牌端点寄存器 (HTOKEN) 中的触发数据。

USB 电路根据指定令牌按照同步、令牌、地址、端点、CRC5 和 EOP 的顺序发送令牌包，但同步、CRC5 和 EOP 为自动发送。发送一个包后，将主机中断寄存器 (HIRQ) 中的 CMPIRQ 位设为 1。主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位设置为 "0b000" (参见 3.7 SOF 中断)。此时，若主机控制寄存器 0 (HCNT0) 的 CMPIRE 位为 1，则发生中断。主机中断寄存器 (HIRQ) 的 CMPIRQ 位写入 0，清除中断。

Figure 3-3 发送 IN, OUT 或 SETUP 令牌的寄存器设置示例



发出 SOF 令牌时，在 EOF 设置寄存器 (HEOF) 指定 EOF 时间并在帧设置寄存器 (HFRAME) 指定帧数。然后在主机令牌端点寄存器 (HTOKEN) 中的 TKNEN 位指定 SOF 令牌代码。然后，发送 Sync、SOF 令牌、帧数、CRC5 和 EOP，将主机状态寄存器 (HSTATE) 中的 SOFBUSY 位设为 1，且帧设置寄存器 (HFRAME) 递增一。将主机中断寄存器 (HIRQ) 中的 CMPIRQ 位设为 1，使主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位清除为 "(000)b"。若主机控制寄存器 0 (HCNT0) 的 CMPIRE 位被设为 1，将发生中断。自动发送 SOF 时，不会发生 CMPIRQ 产生的中断。将 0 写入主机中断寄存器 (HIRQ) 的

CMPIRQ 位以清除令牌完成中断，。
主机状态寄存器 (HSTATE) 的 SOFBUSY 位为 1 时，每 1 ms 将自动发送 SOF。下文所示为将主机状态寄存器 (HSTATE) 的 SOFBUSY 位设为 0 的条件（SOF 停止条件）。

- 将 0 写入主机状态寄存器 (HSTATE) 的 SOFBUSY 位。
- 复位 USB 总线（将 "1" 写入 HCNT0 的 URST 位）。
- 将 1 写入主机状态寄存器 (HSTATE) 的 SUSP 位。
- 断开 USB 设备（HSTATE 的 CSTAT 位为 "0" 时）。

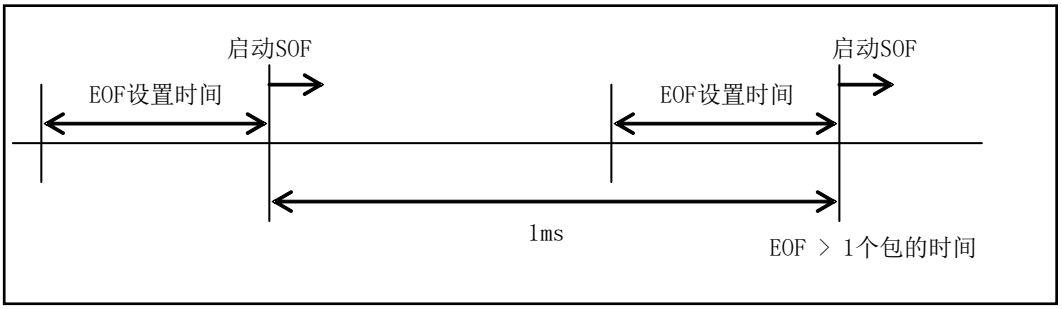
采取以下步骤使 USB 从主机模式变为功能模式。

1. 将主机状态寄存器 (HSTATE) 的 SOFBUSY 位设为 0。
2. 检验以下条件：
   - 将主机状态寄存器 (HSTATE) 的 SOFBUSY 位清除为 0。
   - 将主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位设为 000。
   - 将主机状态寄存器 (HSTATE) 的 SUSP 位设为 0。
3. 将 UDC 控制寄存器 (UDCC) 的 RST 位设为 1。
4. 将操作模式从主机模式变为功能模式。

再次将主机状态寄存器 (HSTATE) 的 SOFBUSY 位设为 1 应再次发送 SOF 令牌。

使用 EOF 设置寄存器，防止同时发送 SOF 与其他令牌。在 EOF 设置时间到 SOF 启动时间期间中写入主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位时，指定令牌将处于等待状态。发送 SOF 后，发出处于等待状态的令牌。EOF 设置寄存器将 1 位时间指定为时间单位。例如，若 EOF 设置寄存器指定的是 "0x10"，则在全速模式中将时间设为 16×1/12MHz=1333.3ns，在低速模式中将时间设为 16×1/1.5MHz=10666.6ns。EOF 设置时间短于 1 包时间时，执行其他令牌时，可能加倍发送 SOF。此时，主机错误状态寄存器 (HERR) 的 LSTSOF 位被设为 1，不发送 SOF。若将主机错误状态寄存器 (HERR) 的 LSTSOF 位设为 1，必须增加 EOF 设置寄存器的值（参见 EOF 设置寄存器说明）。

Figure 3–4 SOF 时序



3.4 数据包

在令牌包后发送数据包时，根据主机令牌端点寄存器 (HTOKEN) 的 TGGL 位值传输触发数据。然后，根据 EP1 控制寄存器 (EP1C) 的 DIR 位值，发送端点 1 或 2 缓冲器数据、CRC16 数据和 EOP。
接收数据包时，比较主机令牌端点寄存器 (HTOKEN) 的 TGGL 位值与接收的触发数据。若匹配，根据 EP1 控制寄存器 (EP1C) 的 DIR 位值，将接收数据分配至的端点 1 或端点 2 缓冲器，检验有无 CRC16 错误。

数据包

发送令牌包后，采取以下步骤发送或接收数据包：

1. 发送时
   - 自动发送 Sync。
   - 主机令牌端点寄存器 (HTOKEN) 的 TGGL 位为 0 时，发送 DATA0。TGGL 位为 1 时，发送 DATA1。
   - EP1 控制寄存器 (EP1C) 的 DIR 位为 1 时，选择端点 1 缓冲器。EP1 控制寄存器 (EP1C) 的 DIR 位为 "0" 时，选择端点 2 缓冲器。然后，发送所有目标数据。
   - 发送 16 位 CRC。
   - 发送 2 位 EOP。
   - 发送 1 位 J 状态。

2. 接收时
   - 接收 Sync。
   - 接收触发数据时，比较触发数据与主机令牌端点寄存器 (HTOKEN) 的 TGGL 位值。
   - 触发数据与 TGGL 位值匹配时，检验 EP1 控制寄存器 (EP1C) 的 DIR 位。DIR 位为 1 时，选择端点 2 缓冲器。EP1 控制寄存器 (EP1C) 的 DIR 位为 0 时，选择端点 1 缓冲器。然后，分别将接收数据分配至各缓冲器。
   - 接收 EOF 时，确认 16 位 CRC。

主机控制寄存器 0 (HCNT0) 的 HOST 位为 1 时，分别将 EP1 控制寄存器 (EP1C) 和 EP2 控制寄存器 (EP2C) 的 DIR 位设为相反值。例如，将 EP1 控制寄存器 (EP1C) 的 DIR 位设为 0 时，将 EP2 控制寄存器 (EP2C) 的 DIR 位设为 1。

3.5 握手包

握手包用于通知遥控设备本地设备的状态。

握手包

握手包判断接收侧准备好正常接收数据时，将发送来自接收侧的任一 ACK、NAK 或 STALL。USB 电路接收握手包时，将在主机错误状态寄存器 (HERR) 的 HS 位设置接收握手包的类型。USB 电路发送握手包时，将在主机错误状态寄存器 (HERR) 的 HS 位设置发送握手包的类型。

3.6 重试功能

包结束时若出现 NAK 或 CRC 错误，将主机控制寄存器 1 (HCNT1) 的 RETRY 位设为 1 时，将在重试计时器设置寄存器 (HRTIMER) 指定的时期内反复重试处理进程。

重试功能

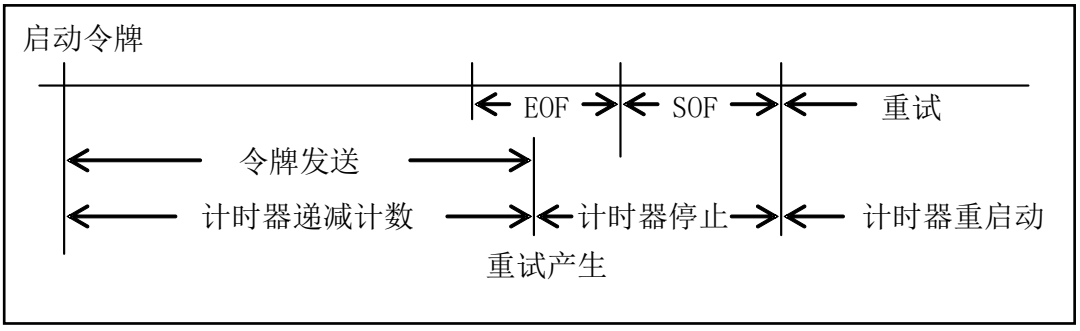
出现 STALL 或设备断开之外的错误*时，若主机控制寄存器 1 (HCNT1) 的 RETRY 位被设为 1，将重试目标令牌。下文所示为结束重试进程的条件：

*:HERR:HS=01, HERR:RERR=1, HERR:TOUT=1, HERR:TGERR=1,HERR:CRC=1, HERR:STUFF=1

- 将主机控制寄存器 1 (HCNT1) 的 RETRY 位设为 0。
- 在重试计时器中检测到 "0"。
- SOF 生成中断标志（HIRQ 的 SOFIRQ= 1）。
- 检测到 ACK。
- 检测到设备断开。

在令牌之处激活重试计时器，然后使用 1 位传输时钟进行递减计数。在 EOF 区出现重试时，计数将停止。HIRQ 的 SOFIRQ 位为 0 时，结束 SOF 令牌，重新开始从计数停止时的计数器值计数。重试计时器计数到期为 0 且包结束时，主机中断寄存器 (HIRQ) 的 CMPIRQ 位将被设为 1。

Figure 3-5 重试计时器操作 (HIRQ 的 SOFIRQ = 0)



重试进程结束时，EOP 的结束信息设置至各寄存器。

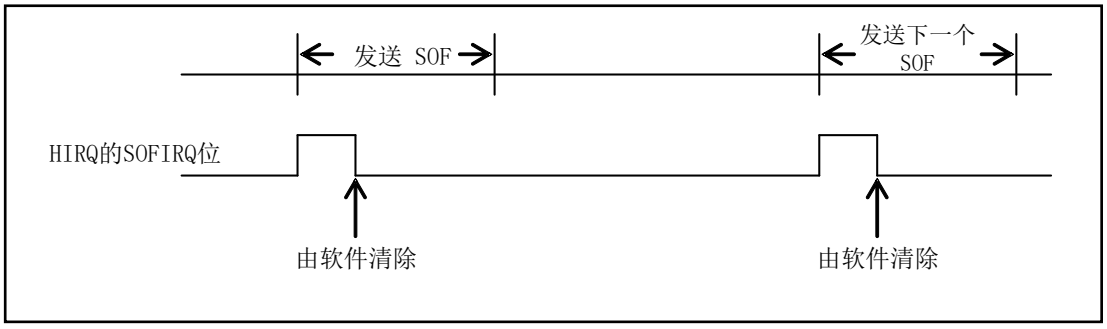
3.7 SOF 中断

根据主机控制寄存器 1 (HCNT1) 的 SOFSTEP 位及 SOF 中断帧比较寄存器 (HFCOMP) 的设置，在 SOF 开始时，将主机中断寄存器 (HIRQ) 的 SOFIRQ 位被设为 1。若主机控制寄存器 0 (HCNT0) 的 SOFIRE 位被设为 1，将发生中断。使用主机令牌端点寄存器 (HTOKEN) 执行 SOF 进程时，主机中断寄存器 (HIRQ) 的 SOFIRQ 位未被设为 1。

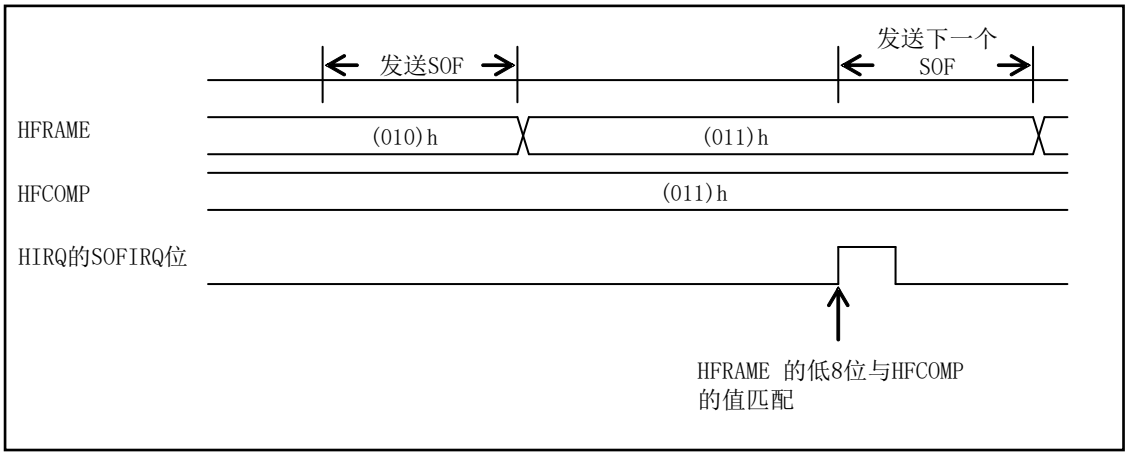
SOF 中断

主机控制寄存器 1 (HCNT1) 的 SOFSTEP 位被设为 0 时，SOF 中断帧比较寄存器 (HFCOMP) 的值与 SOF 令牌帧数的低 8 位进行比较。若匹配，发送 SOF 时，将主机中断寄存器 (HIRQ) 的 SOFIRQ 位设为 1。若主机控制寄存器 1 (HCNT1) 的 SOFSTEP 位被设为 1，每次发送 SOF 时，将主机中断寄存器 (HIRQ) 的 SOFIRQ 位设为 1。

1. 主机控制寄存器 1 (HCNT1) 的 SOFSTEP 位被设为 1 时：



2. 主机控制寄存器 1 (HCNT1) 的 SOFSTEP 位被设为 0 时：



主机控制寄存器 1 (HCNT1) 的 CANCEL 位被设为 1 时，在以下时序设置时，不发送目标令牌。

- 在 EOF 区中，在主机令牌端点寄存器 (HTOKEN) 中设置 SOF 之外的令牌。

在本时序中设置令牌时，执行以下操作：

- 若主机中断寄存器 (HIRQ) 的 SOFIRQ 位被设为 "1"，发送下一 SOF 时，主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位将立即清除为 "0b000"。此时，不发送该令牌。

在以下时序清除主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位。

在本时序中，主机中断寄存器 (HIRQ) 的 CMPIRQ 位未被设为 1。SOFIRQ 位被设为 1 时，主机中断寄存器 (HIRQ) 的 TCAN 位显示已取消令牌。重试发送令牌时，将 0 写入主机中断寄存器 (HIRQ) 的 TCAN 位。然后将待发送的令牌写入主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位。

主机控制寄存器 1 (HCNT1) 的 CANCEL 位被设为 0 时，发送 SOF 后，将发送主机令牌端点寄存器 (HTOKEN) 中指定的令牌。

Figure 3-6 HCNT1 的 CANCEL 位=1 时取消令牌示例

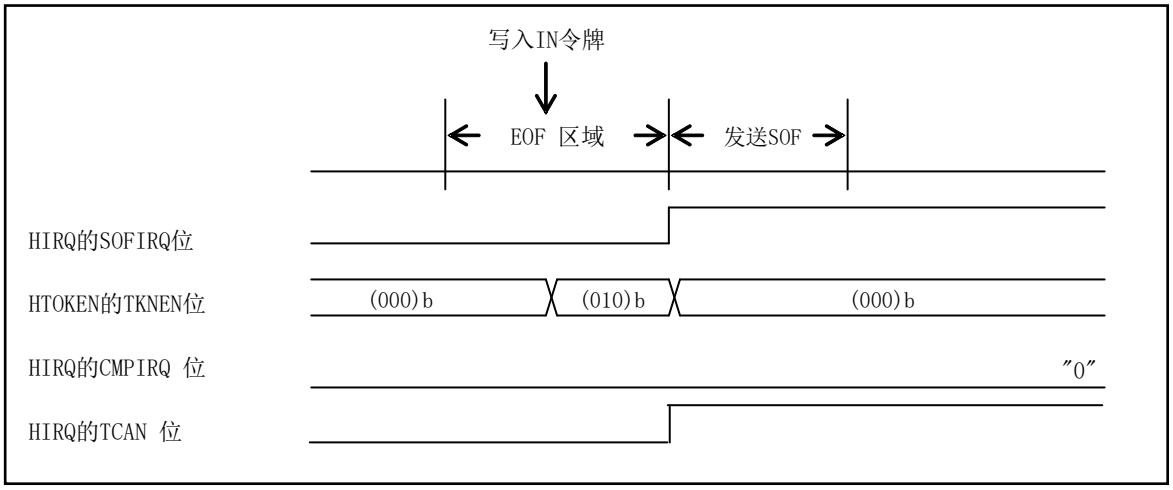
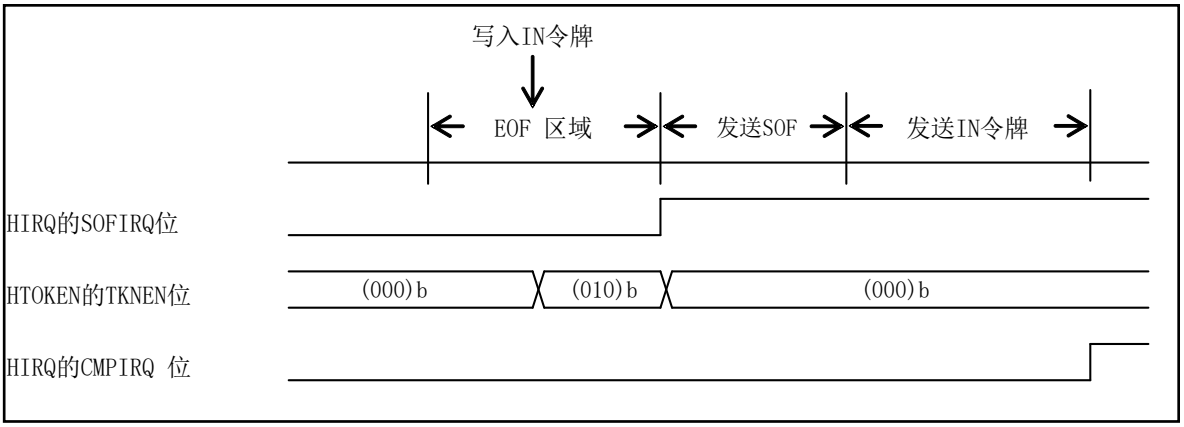


Figure 3-7 HCNT1 的 CANCEL 位 = 0 时令牌操作示例



3.8 错误状态

USB 主机支持错误信息。

错误状态

1. 填充错误

   相继将六位设为 1 时，将 0 插入一位。若相继在七位中检测到 1，判断为填充错误，且主机错误状态寄存器 (HERR) 的 STUFF 位将被设为 1。要清除本状态，将 0 写入 STUFF 位。若在未清除 STUFF 位时发送下一令牌，下一令牌结束时，将在 STUFF 位上放映出因素。

2. 触发错误

   发送 IN 令牌时，比较数据包的触发数据与主机令牌端点寄存器 (HTOKEN) 的 TGGL 位值。若不匹配，主机错误寄存器 (HERR) 的 TGERR 位将被设为 1。要清除 TGERR 位，将 0 写入主机错误寄存器 (HERR) 的 TGERR 位。若在未清除 TGERR 位时发送下一令牌，下一令牌结束时，将在 TGERR 位上放映出因素。

3. CRC 错误

   接收 IN 令牌时，获得接收数据包的数据及 CRC，CRC 多项式为 G(X) = X16 + X15 + X2 + 1。若余数不为 (800d)h，意味着发生了 CRC 错误，且主机错误寄存器 (HERR) 的 CRC 位被设为 1。要清除 CRC 位，将 0 写入主机错误寄存器 (HERR) 的 CRC 位。若在未清除 CRC 位时发送下一令牌，下一令牌结束时，将在 CRC 位上放映出因素。

4. 超时错误

   主机错误状态寄存器 (HERR) 的 TOUT 位被设为 1 时：

   - 未在指定时间内输入数据包或握手包；
   - 在数据接收进程中检测到 SE0；或
   - 已检测到填充错误。

   要清除 TOUT 位，将 0 写入主机错误寄存器 (HERR) 的 TOUT 位。若在未清除 TOUT 位时发送下一令牌，下一令牌结束时，将在 TOUT 位上放映出因素。

5. 接收错误

   EP1 用作接收缓冲器时，EP1 控制寄存器 (EP1C) 的 PKS 位值用作接收包大小。EP2 用作接收缓冲器时，EP2 控制寄存器 (EP2C) 的 PKS 位值用作接收包大小。接收数据超出指定接收包大小时，主机错误状态寄存器 (HERR) 的 RERR 位将被设为 1。要清除 RERR 位，将 0 写入主机错误寄存器 (HERR) 的 RERR 位。若在未清除 RERR 位时发送下一令牌，下一令牌结束时，将在 RERR 位上放映出因素。

3.9 包结束

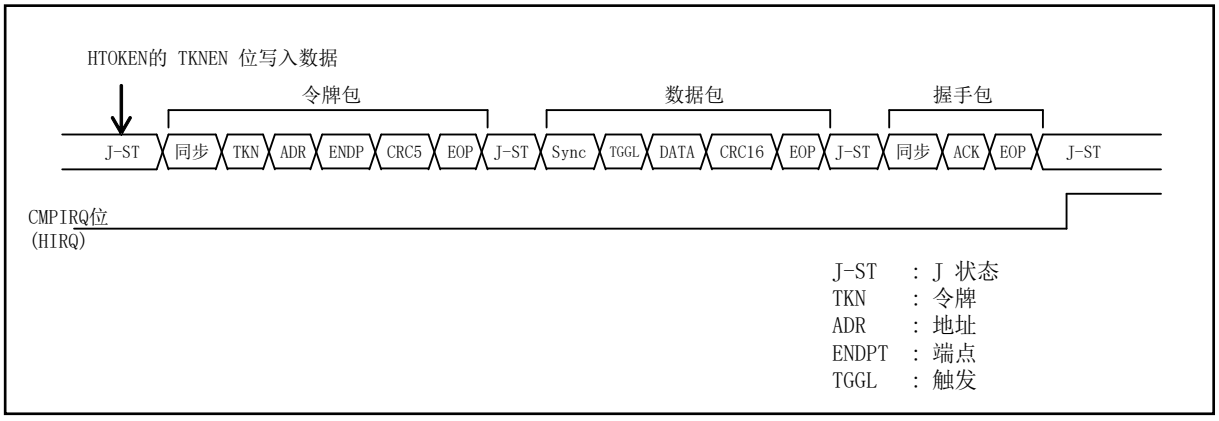
USB 主机中的一个包结束时，主机中断寄存器 (HIRQ) 的 CMPIRQ 位被设为 1。此时，若主机控制寄存器 0 (HCNT0) 的 CMPIRE 位被设为 1，将出现中断。

包结束时序

一个包结束时，若出现以下情况，将生成中断标志：

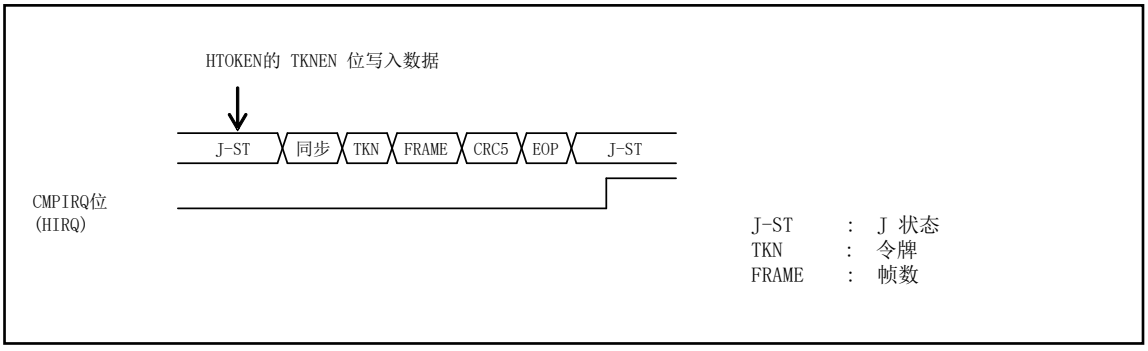
- 主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位设为 (001)b、(010)b 或 (011)b（SETUP 令牌、IN 令牌或 OUT 令牌）。

Figure 3-8 设置主机中断寄存器 (HIRQ)的 CMPIRQ 位时的时序示例 1



将主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位设为 (100)b（SOF 令牌）。

Figure 3-9 设置主机中断寄存器 (HIRQ)的 CMPIRQ 位时的时序示例 2(SOF 令牌)



3.10 暂停和恢复操作

USB 主机支持暂停和恢复操作。

暂停操作

主机状态寄存器 (HSTATE) 的 SUSP 位被设为 "1" 时，执行以下程序，且 USB 电路将处于暂停状态。

- 使 USB 总线处于高阻抗状态。
- 停止不需要时钟的电路模块。

USB 电路处于暂停状态时，主机状态寄存器 (HSTATE) 的 SUSP 位被设为 1。

然而，复位 USB 总线时禁止以下操作：

- 将主机状态寄存器 (HSTATE) 的 SOFBUSY 位设为 1 或在数据传输进程中使 USB 电路处于暂停状态。
- 在暂停状态中停止供应给 USB 的时钟。

采取以下步骤停止时钟：

1. 变为停止模式或计时器模式。
2. 将 USB 时钟设置寄存器 (UCCR) 的 UCEN 位设为 0。

恢复操作

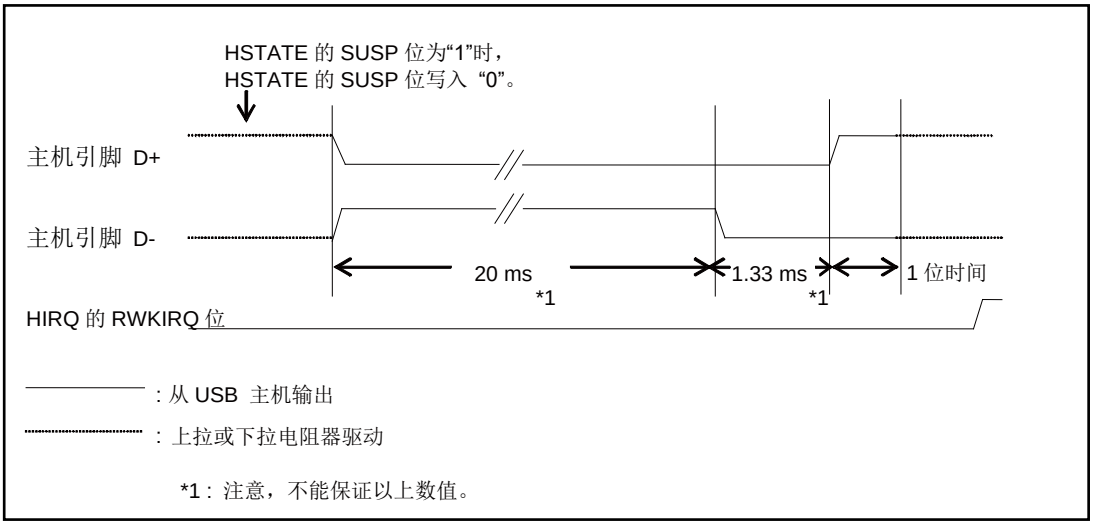
满意以下任意条件时，将 USB 总线从暂停状态变为恢复状态，恢复处理进程：

- 主机状态寄存器 (HSTATE) 的 SUSP 位被设为 0。
- 主机引脚 D+ 或 D- 处于 K 状态模式。
- 检测到设备断开。
- 检测到设备连接。

主机中断寄存器 (HRQ) 的 RWKIRQ 位被设为 1 后，可发出令牌。下文所示为各条件的操作时序。

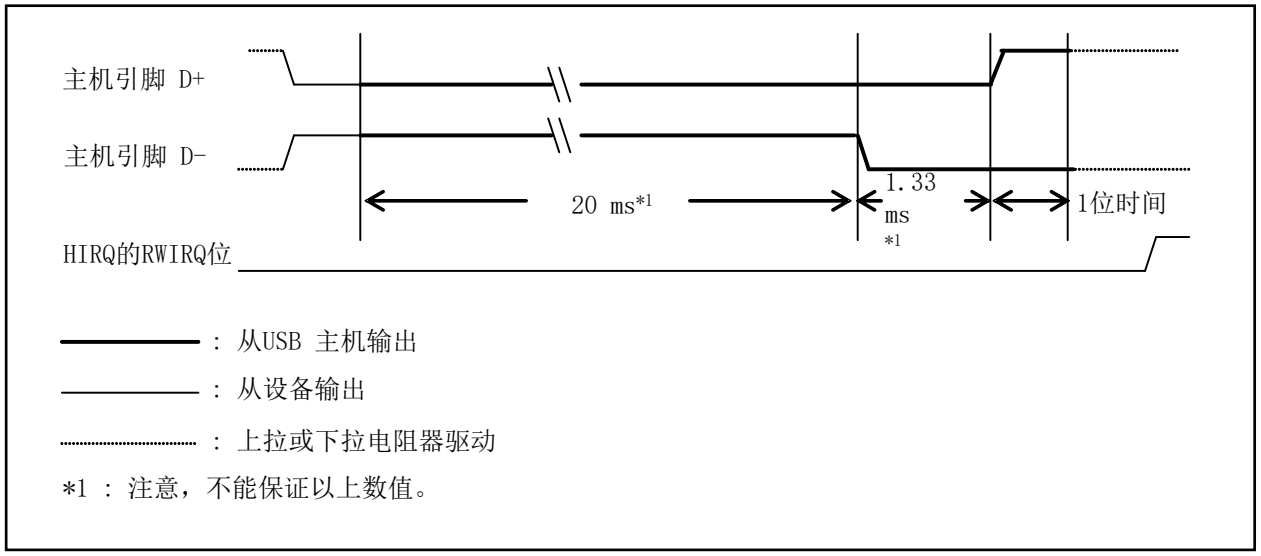
- 主机状态寄存器 (HSTATE) 的 SUSP 位被设为 0。

Figure 3-10 通过寄存器恢复操作 (全速模式)



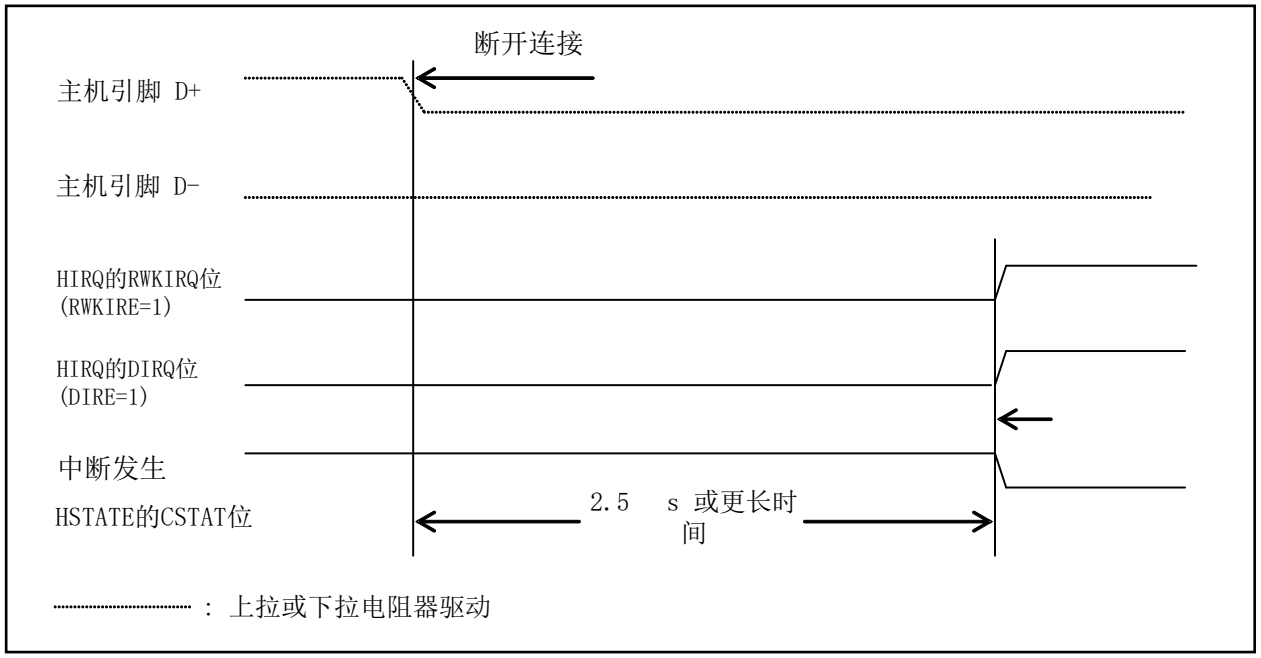
- 已检测到主机引脚 D+ 或 D- 处于 K 状态模式。

Figure 3-11 通过设备恢复操作 (全速模式)



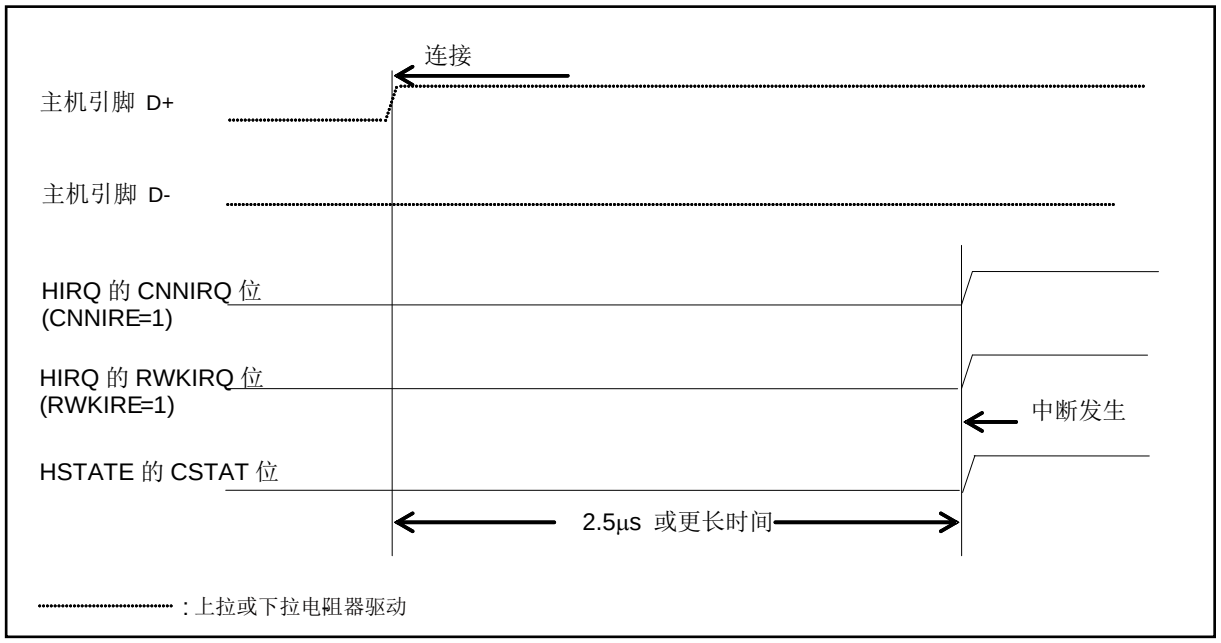
- 检测到设备断开。

Figure 3-12 通过设备断开恢复操作



– 检测到设备连接。

Figure 3-13 通过设备连接恢复操作(全速模式)



3.11 设备断开

主机引脚 D+ 和 D- 设为 LOW 时，设备断开计时器启动。如果 2.5µs 或更长时间检测到 LOW，将主机状态寄存器 (HSTATE) 的 CSTAT 位设为 0。

设备断开

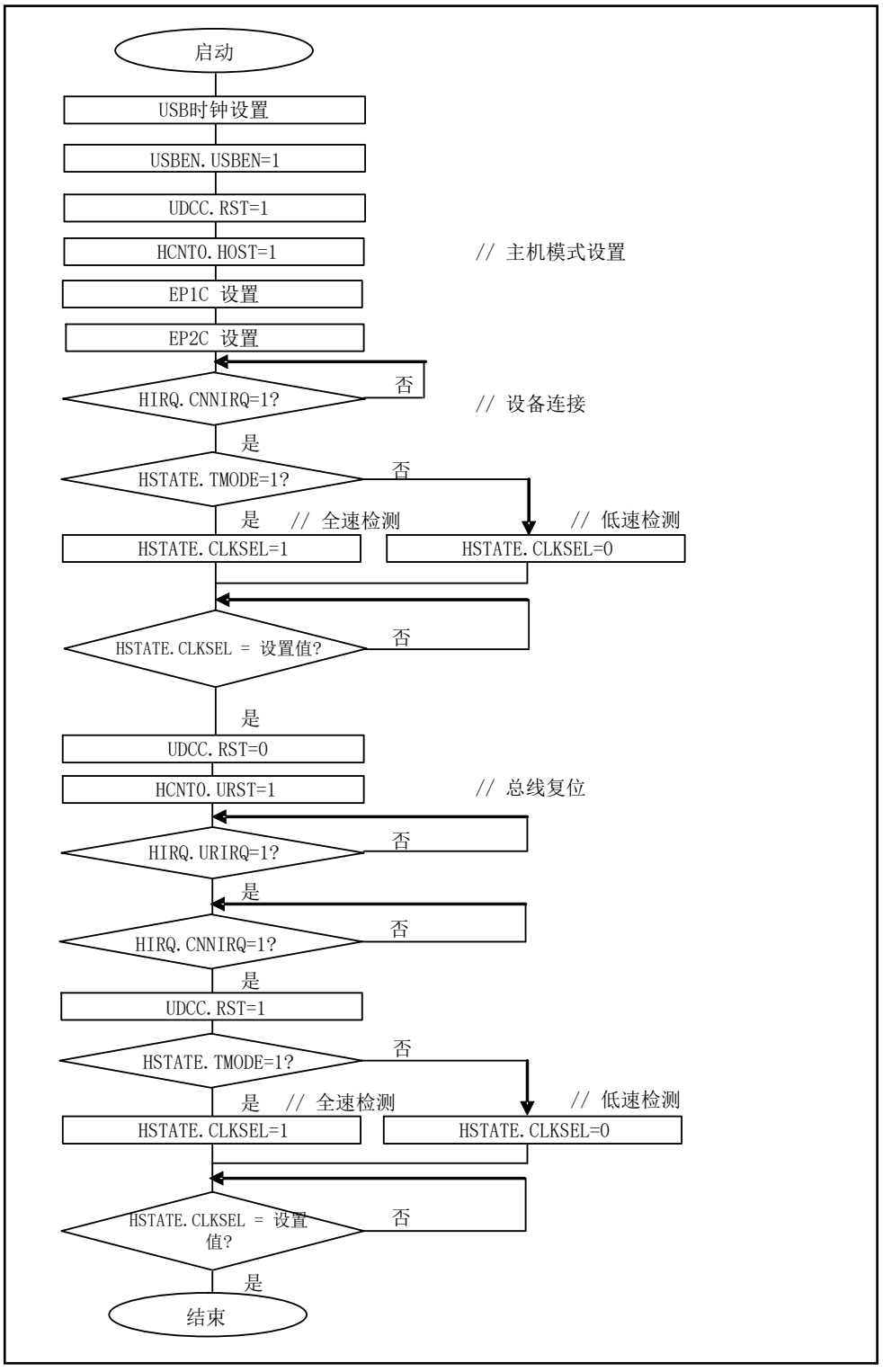
如果主机引脚 D+ 和 D- 在 2.5µs 或更长时间保持设置为 LOW ，无论是主机模式还是功能模式，都判断设备已断开。然后，将主机状态寄存器 (HSTATE) 的 CSTAT 位设为 0，将主机中断寄存器 (HIRQ) 的 DIRQ 位设为 1。此时，若主机控制寄存器 0 (HCNT0) 的 DIRE 位被设为 1，将发生中断。要清除中断，将 "0" 写入主机中断寄存器 (HIRQ) 的 DIRQ 位。

复位 USB 总线时，判断设备已断开。此时，将主机状态寄存器 (HSTATE) 的 CSTAT 位设为 0，但是主机中断寄存器 (HIRQ) 的 DIRQ 位未设为 1。

4. USB 主机设置步骤示例

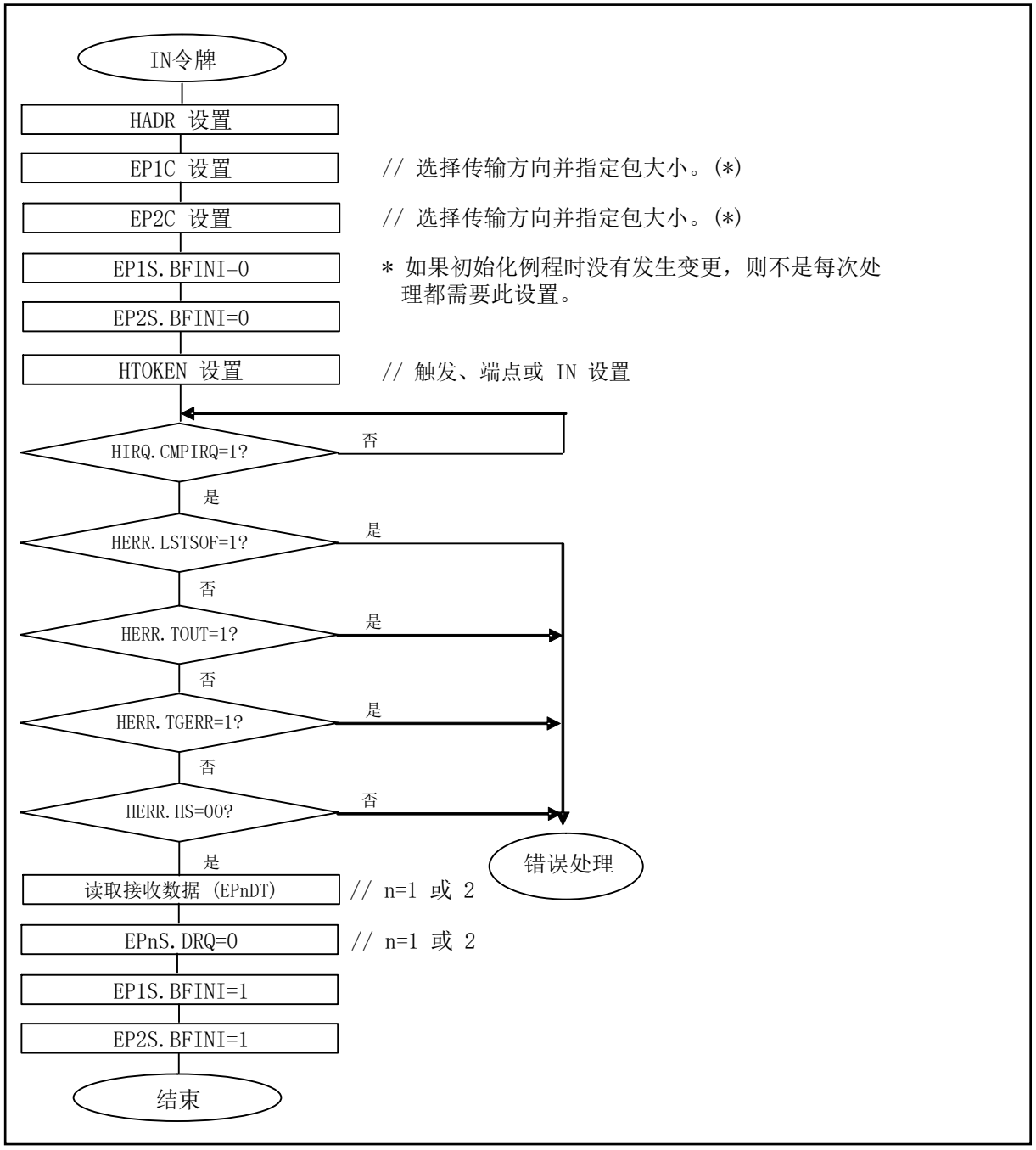
下文所示为 USB 主机令牌的流程图。

初始化和设备检测

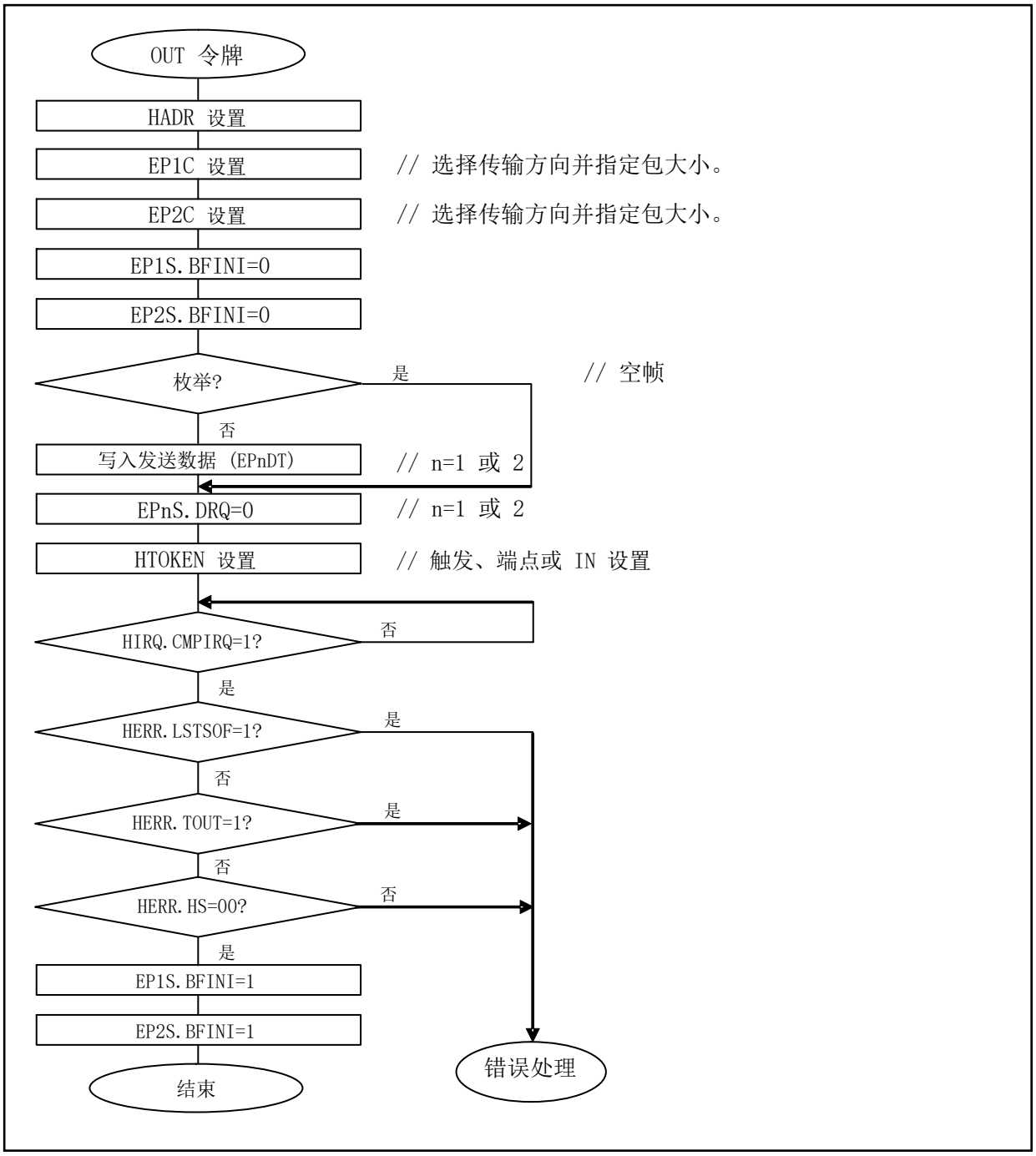


IN、OUT 或 SETUP 令牌

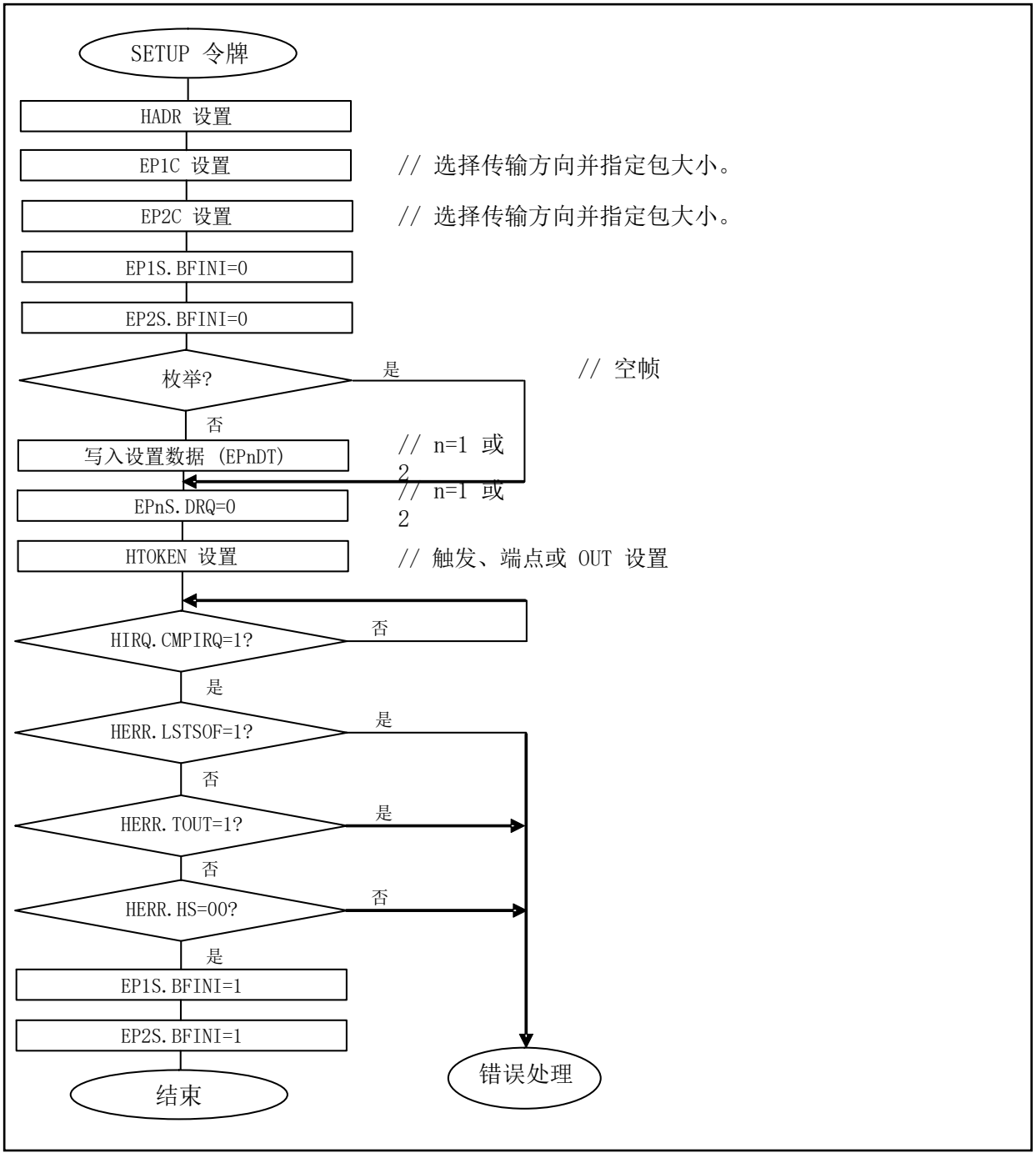
■ IN 令牌



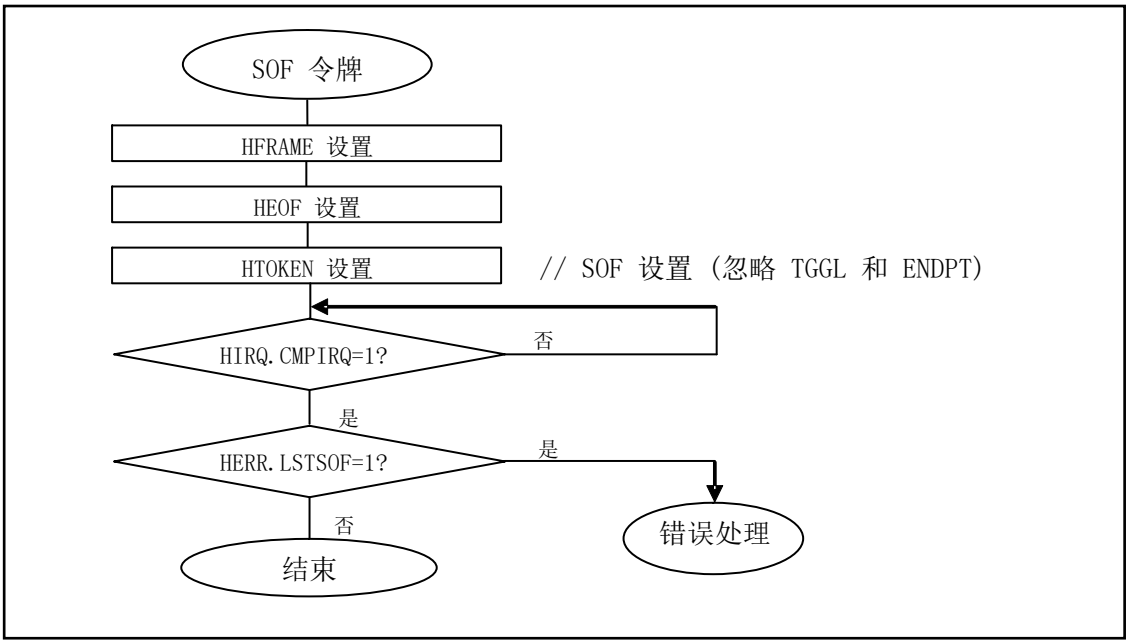
■ OUT 令牌


OUT 令牌
HADR 设置
EP1C 设置
// 选择传输方向并指定包大小。
EP2C 设置
// 选择传输方向并指定包大小。
EP1S.BFINI=0
EP2S.BFINI=0
枚举?
是
// 空帧
否
写入发送数据 (EPnDT)
// n=1 或 2
EPnS.DRQ=0
// n=1 或 2
HTOKEN 设置
// 触发、端点或 IN 设置
HIRQ.CMPIRQ=1?
否
是
HERR.LSTSOF=1?
是
否
HERR.TOUT=1?
是
否
HERR.HS=00?
否
是
EP1S.BFINI=1
EP2S.BFINI=1
结束
错误处理

■ SETUP 令牌


SETUP 令牌
HADR 设置
EP1C 设置
// 选择传输方向并指定包大小。
EP2C 设置
// 选择传输方向并指定包大小。
EP1S.BFINI=0
EP2S.BFINI=0
枚举?
是
// 空帧
否
写入设置数据 (EPnDT)
// n=1 或 2
EPnS.DRQ=0
// n=1 或 2
HTOKEN 设置
// 触发、端点或 OUT 设置
HIRQ.CMPIRQ=1?
否
是
HERR.LSTSOF=1?
是
否
HERR.TOUT=1?
是
否
HERR.HS=00?
否
是
EP1S.BFINI=1
EP2S.BFINI=1
结束
错误处理

SOF 令牌


SOF 令牌
HFRAME 设置
HEOF 设置
HTOKEN 设置
// SOF 设置（忽略 TGGL 和 ENDPT）
HIRQ.CMPIRQ=1?
否
是
HERR.LSTSOF=1?
是
否
结束
错误处理

5. USB 主机寄存器

本节说明 USB 主机所用寄存器的配置和功能。

USB 主机寄存器列表

缩写	寄存器名称	参考章节
UDCC	UDC 控制寄存器	*
EP1C	EP1 控制寄存器	*
EP2C	EP2 控制寄存器	*
EP1S	EP1 状态寄存器	*
EP2S	EP2 状态寄存器	*
EP1DTH	EP0 数据寄存器高位	*
EP1DTL	EP0 数据寄存器低位	*
EP2DTH	EP0 数据寄存器高位	*
EP2DTL	EP0 数据寄存器低位	*
HCNT0	主机控制寄存器 0	5.1
HCNT1	主机控制寄存器 1	
HIRQ	主机中断寄存器	5.2
HERR	主机错误状态寄存器	5.3
HSTATE	主机状态寄存器	5.4
HFCOMP	SOF 中断帧比较寄存器	5.5
HRTIMER	重试计时器设置寄存器	5.6
HADR	主机地址寄存器	5.7
HEOF	EOF 设置寄存器	5.8
HFRAME	帧设置寄存器	5.9
HTOKEN	主机令牌端点寄存器	5.10

*: 参见 USB 功能一章。

UDCC:RST 相关寄存器位更新时序列表

	寄存器	位
UDCC:RST=1 时更新寄存器位	HCNT0	HOST
	HSTATE	CLKSEL
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
UDCC:RST=1 时初始化寄存器位 （UDCC:RST=0 时更新）	HCNT0	URST
	HIRQ	TCAN,RWKIRQ,URIRQ,CMPIRQ,CNNIRQ,DIRQ,SOFIRQ
	HERR (All bits)	LSTSOF,RERR,TOUT,CRC,TGERR,STUFF,HS
	HSTATE	SOFBUSY, SUSP
	HFRAME	FRAME0, FRAME1
	HTOKEN (All bits)	TGGL,TKNEN,ENDPT
	EP1S	BFINI,DRQ,SPK
	EP2S	BFINI,DRQ,SPK
UDCC:RST 不影响的寄存器位	HCNT0	RWKIRE, URIRE, CMPIRE, CNNIRE, DIRE, SOFIRE
	HCNT1	SOFSTEP,CANCEL,RETRY
	HIRQ	CNNIRQ,DIRQ
	HFCOMP	HFRAMECOMP
	HSTATE	TMODE,CSTAT
	HRTIMER0, 1, 2	RTIMER0,1,2
	HADR	Address
	HEOF	EOF0, 1

5.1 主机控制寄存器 0 和 1 (HCNT0 和 HCNT1)

主机控制寄存器 0 和 1 (HCNT0 和 HCNT1) 用于指定 USB 的操作模式和中断。

主机控制寄存器 1 (HCNT1)

位	15	14	13	12	11	10	9	8
字段	保留	保留	保留	保留	保留	SOFSTEP	CANCEL	RETRY
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	1
是否使能复位*	x	x	x	x	x	x	x	x

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

主机控制寄存器 0 (HCNT0)

位	7	6	5	4	3	2	1	0
字段	RWKIRE	URIRE	CMPIRE	CNNIRE	DIRE	SOFIRE	URST	HOST
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
是否使能复位*	x	x	x	x	x	x	❍	x

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit15:11] 保留：保留位

始终设置为 0。

[bit10] SOFSTEP (SOF STEP)SOF 中断发生选择位

此位为 SOF 中断发生选择位。

若此位被设为 1，每次发送 SOF 时，SOF 中断标志 (HIRQ:SOFIRQ) 将设为 1。

若此位被设为 0，SOF 中断帧比较寄存器 (HFCOMP) 的设置值与 SOF 帧数的低 8 位进行比较。若匹配，SOF 中断标志 (HIRQ:SOFIRQ) 将设为 1。

位	描述
0	因 HFCOMP 设置发生中断。
1	发生中断。

注意事项：

- *通过主机令牌端点寄存器 (HTOKEN) 的设置发送 SOF 令牌 (TKNEN=001) 时，SOF 中断标志 (HIRQ:SOFIRQ) 将不设为 1，不管此位如何设置。*
- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

[bit9] CANCEL (token CANCEL enable) 令牌取消使能位

此位为令牌取消使能位。

此位被设为 1 时，若在 EOF 区（EOF 设置寄存器指定）将目标令牌写入主机令牌端点寄存器 (HTOKEN)，发送将取消。此位被设为 0 时，即使将目标令牌写入寄存器，仍未取消令牌发送。读取主机中断寄存器 (HIRQ) 的 TCAN 位，检测令牌发送是否取消。

位	描述
0	继续令牌。
1	取消令牌。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

[bit8] RETRY (RETRY enable) 重试使能位

此位为重试使能位。

此位被设为 1 时，若出现 NAK 或错误*，重视目标令牌。在重试计时器设置寄存器 (HRTIMER) 指定时间内执行重试处理进程。

* : HERR:RERR=1, HERR:TOUT=1, HERR:CRC=1, HERR:TGERR=1, HERR:STUFF=1

位	描述
0	未重试令牌发送。
1	重试令牌发送。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

[bit7] RWKIRE（恢复唤醒中断请求使能）恢复中断使能位

此位为恢复中断使能位。

此位被设为 1 时，若主机中断寄存器 (HIRQ) 的 RWKIRQ 位被设为 1，将发生中断。此位被设为 0 时，即使主机中断寄存器 (HIRQ) 的 RWIRQ 位被设为 1，也不会发生中断。

位	描述
0	重新启动后，禁用中断。
1	重新启动后，使能中断。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

[bit6] URIRE（Usb 总线复位中断请求使能）总线复位中断使能位

此位为总线复位中断使能位。

此位被设为 1 时，若主机中断寄存器 (HIRQ) 的 URIRQ 位被设为 1，将发生中断。此位被设为 0 时，即使主机中断寄存器 (HIRQ) 的 URIRQ 位被设为 1，也不会发生中断。

位	描述
0	复位 USB 总线后，禁用中断。
1	复位 USB 总线后，使能中断。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

[bit5] CMPIRE（完成中断请求使能）令牌完成中断使能位

此位为令牌完成中断使能位。

此位被设为 1 时，若主机中断寄存器 (HIRQ) 的 CMPIRQ 位被设为 1，将发生中断。此位被设为 0 时，即使主机中断寄存器 (HIRQ) 的 CMPIRQ 位被设为 1，也不会发生中断。

位	描述
0	完成时禁用中断。
1	完成时使能中断。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

[bit4] CNNIRE（连接中断请求使能）设备连接检测中断使能位

此位为设备连接检测中断使能位。

此位被设为 1 时，若主机中断寄存器 (HIRQ) 的 CNNIRQ 位被设为 1，将发生中断。此位被设为 0 时，即使主机中断寄存器 (HIRQ) 的 CNNIRQ 位被设为 1，也不会发生中断。

位	描述
0	设备连接时禁用中断。
1	设备连接时使能中断。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

[bit3] DIRE（断开中断请求使能）设备断开检测中断使能位

此位为设备断开检测中断使能位。

此位被设为 1 时，若主机中断寄存器 (HIRQ) 的 DIRQ 位被设为 1，将发生中断。此位被设为 0 时，即使主机中断寄存器 (HIRQ) 的 DIRQ 位被设为 1，也不会发生中断。

位	描述
0	设备断开时禁用中断。
1	设备断开时使能中断。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

[bit2] SOFIRE（启动帧中断请求使能）SOF 中断使能位

此位为 SOF 中断使能位。

此位被设为 1 时，若主机中断寄存器 (HIRQ) 的 SOFIRQ 位被设为 1，将发生中断。此位被设为 0 时，即使主机中断寄存器 (HIRQ) 的 SOFIRQ 位被设为 1，也不会发生中断。

位	描述
0	发送 SOF 时禁用中断。
1	发送 SOF 时使能中断。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

[bit1] URST（Usb 总线复位）总线复位位

此位为总线复位位。

此位被设为 1 时，复位总线。在 USB 总线复位进程中，此位继续为 1，USB 总线复位结束时，此位变为 0。此位被设为 0 时，不执行处理进程。

位	描述
0	保持 USB 总线状态。
1	复位 USB 总线。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，即使此位设为 1，也不执行处理进程。*
- *主机状态寄存器 (HSTATE) 的 SUSP 位被设为 1 或发送令牌时，不允许将此位设为 1。*
- *此位为 1 时，不允许写入主机控制寄存器（HCNT0 或 HCNT1）。*

[bit0] HOST（主机模式）主机模式位

此位为主机模式位。

此位被设为 1 时，USB 用作主机。此位被设为 0 时，USB 用作功能。

位	描述
0	功能模式
1	主机模式

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*
- *UDC 控制寄存器 (UDCC) 的 RST 位为 1 时，改变此位值。*
- *利用此位改变操作模式时，操作模式不会立即过渡到所需模式。读取此位，检查操作模式是否已改变。*
- *从主机模式变为功能模式前，检查以下条件是否满足并将 UDC 控制寄存器 (UDCC) 的 RST 位设为 1。*
- *主机状态寄存器 (HSTATE) 的 SOFBUSY 位设为 0。*
- *主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位设为 "000"。*
- *将主机状态寄存器 (HSTATE) 的 SUSP 位设为 0。*
- *从功能模式变为主机模式前，将 UDC 控制寄存器 (UDCC) 的 HCONX 位设为 1，并断开主机或 HUB。*

5.2 主机中断寄存器 (HIRQ)

主机中断寄存器 (HIRQ) 指示 USB 主机中断请求标志。设置主机控制寄存器 (HCNT0 或 HCNT1) 的中断使能位可发生主机中断，TCAN 位除外。

必须以字节访问主机中断寄存器(HIRQ)。

位	7	6	5	4	3	2	1	0
字段	TCAN	保留	RWKIRQ	URIRQ	CMPIRQ	CNNIRQ	DIRQ	SOFIRQ
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
是否使能复位*	❍	❍	❍	❍	❍	x	x	❍

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit7] TCAN（令牌取消标志）令牌取消标志

这是令牌取消标志。

此位被设为 1 时，表示基于主机控制寄存器 1 (HCNT1) 的 CANCEL 位设置取消令牌发送。此位被设为 0 时，表示令牌发送未取消。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

读改写访问读取此位为 1。

位	描述
0	还未取消令牌。
1	令牌已取消。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*
- *即使设置此位，也不会发生中断。要通过中断进程进行取消，检查有无在 SOF 中断进程中取消令牌发送。*

[bit6] 保留：保留位

始终设置为 0。

[bit5] RWKIRQ（恢复唤醒中断请求）遥控唤醒结束标志

这是遥控唤醒结束标志。

此位被设为 1 时，表示遥控唤醒结束。此位被设为 0 时，没有任何意义。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

主机控制寄存器 0 (HCNT0) 的 RWKIR 位被设为 1 时，若此位设为 1，将发生中断。

读改写访问读取此位为 1。

位	描述
0	未通过重新启动发出中断请求。
1	通过重新启动发出中断请求。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

[bit4] URIRQ（Usb 总线复位中断请求）总线复位结束标志

这是总线复位结束标志。

此位被设为 1 时，表示 USB 总线复位结束。此位被设为 0 时，没有任何意义。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

主机控制寄存器 0 (HCNT0) 的 URIRE 位被设为 1 时，若此位设为 1，将发生中断。

读改写访问读取此位为 1。

位	描述
0	未通过 USB 总线复位发出中断请求。
1	通过 USB 总线复位发出中断请求。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

[bit3] CMPIRQ（完成中断请求）令牌完成标志

这是令牌完成标志。

此位被设为 1 时，表示令牌完成。此位被设为 0 时，没有任何意义。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

主机控制寄存器 0 (HCNT0) 的 CMPIRE 位被设为 1 时，若此位设为 1，将发生中断。

读改写访问读取此位为 1。

位	描述
0	未通过令牌完成发出中断请求。
1	通过令牌完成发出中断请求。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*
- *即使主机中断寄存器 (HIRQ) 的 TCAN 位变为 1，此位也不会设为 1。*
- *通过完成 IN 令牌或等时 IN 令牌将此位设为 1 时，采取以下步骤：*
  1) 读取主机错误状态寄存器 (HERR) 的 HS 位，然后将 CMPIRQ 位设为 0。
  2) 若主机错误状态寄存器 (HERR) 的 HS 位等于 00，将 EPn 状态寄存器 (EPnS) (n=1 或 2) 的 DRQIE 位设为 1，并等待直到 DRQ 位变为 1。
  HS 位不等于 00 时，完成 IN 令牌处理进程。
  3) EPn 状态寄存器 (EPnS) 的 DRQ 位变为 1 时，读取接收数据。

[bit2] CNNIRQ（连接中断请求）设备连接检测标志

这是设备连接检测标志。

此位被设为 1 时，表示检测到设备连接。此位被设为 0 时，没有任何意义。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

主机控制寄存器 0 (HCNT0) 的 CNNIRE 位被设为 1 时，若此位设为 1，将发生中断。

读改写访问读取此位为 1。

位	描述
0	未通过设备连接检测发出中断请求。
1	通过设备连接检测发出中断请求。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*
- *也可在功能模式中检测设备连接。*

[bit1] DIRQ（断开中断请求）设备断开检测标志

这是设备断开检测标志。

此位被设为 1 时，表示检测到设备断开。此位被设为 0 时，没有任何意义。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

主机控制寄存器 0 (HCNT0) 的 DIRE 位被设为 1 时，若此位设为 1，将发生中断。

读改写访问读取此位为 1。

位	描述
0	未通过设备断开检测发出中断请求。
1	通过设备断开检测发出中断请求。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*
- *也可在功能模式中检测设备断开。*

[bit0] SOFIRQ（启动帧中断请求）SOF 启动标志

这是 SOF 启动标志。

此位被设为 1 时，表示启动 SOF 令牌发送。此位被设为 0 时，没有任何意义。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

主机控制寄存器 0 (HCNT0) 的 SOFIRE 位被设为 1 时，若此位设为 1，将发生中断。

读改写访问读取此位为 1。

位	描述
0	未通过启动 SOF 令牌发出中断请求。
1	通过启动 SOF 令牌发出中断请求。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

5.3 主机错误状态寄存器 (HERR)

主机错误状态寄存器 (HERR) 指示在主机模式中发送或接收数据时是否出现错误。

通过字节访问指令访问主机错误状态寄存器 (HERR)。

位	15	14	13	12	11	10	9	8
字段	LSTSOF	RERR	TOUT	CRC	TGERR	STUFF	HS	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初始值	0	0	0	0	0	0	11	
是否使能复位*	❍	❍	❍	❍	❍	❍	❍	

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit15] LSTSOF (LoST SOF) 丢失 SOF 标志

这是丢失 SOF 标志。

此位被设为 1 时，表示不能在主机模式中发送 SOF 令牌，因为正在处理其他令牌。此位被设为 0 时，表示未检测到丢失 SOF 错误。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

位	描述
0	SOF 已发送。
1	SOF 发送错误

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

[bit14] RERR（接收错误）接收错误标志

这是接收错误标志。

此位被设为 1 时，表示接收数据超过主机模式中的指定最大包量。检测到接收错误时，本寄存器的 bit13 (TOUT) 也被设为 1。此位被设为 0 时，表示未发生错误。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

位	描述
0	未发生接收错误。
1	已发生最大包接收错误。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

[bit13] TOUT（超时）超时标志

这是超时标志。

此位被设为 1 时，表示在主机模式中发送令牌后，未在指定时间内收到设备对令牌的响应。此位被设为 0 时，表示未检测到超时。此位被设为 "0" 时，表示未发生错误。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

位	描述
0	未发生超时。
1	已发生超时。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

[bit12] CRC（CRC 错误）CRC 错误标志

这是 CRC 错误标志。

此位被设为 1 时，表示在主机模式中检测到 CRC 错误。此位被设为 0 时，表示未检测到 CRC 错误。检测到 CRC 错误时，本寄存器的 bit13 (TOUT) 也被设为 1。此位被设为 0 时，表示未检测到 CRC 错误。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

位	描述
0	未发生 CRC 错误。
1	已发生 CRC 错误。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

[bit11] TGERR (ToGgleERRor) 触发错误标志

这是触发错误标志。

此位被设为 1 时，表示此位数据与接收触发数据值不匹配。此位被设为 0 时，表示未检测到触发错误。将 0 写入此位，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

位	描述
0	未发生触发错误。
1	已发触发错误。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

[bit10] STUFF (STUFFing error) 填充错误标志

这是填充错误标志。

此位被设为 1 时，表示检测到位填充错误。此位被设为 0 时，表示未检测到填充错误。检测到填充错误时，本寄存器的 bit13 (TOUT) 也设为 1。将 0 写入此位时，此位被设为 0。然而，将 1 写入此位时，写入值将被忽略。

位	描述
0	未发生填充错误。
1	已发生填充错误。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

[bit9:8] HS（握手状态）握手状态标志

这些是握手状态标志。

这些标志表示待发送或接收握手包的状态。

由于错误未发生握手或 SOF 令牌已以主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位结束时，这些标志将被设为 NULL。

发送或接收结束时，将更新这些位。

Table 5.3-1 握手

bit9	bit8	握手
0	0	ACK
0	1	NAK
1	0	STALL
1	1	NULL

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*

5.4 主机状态寄存器 (HSTATE)

主机状态寄存器 (HSTATE) 指示 USB 电路状态，比如设备连接或传输模式。注意 CLKSEL 位的设置在功能模式中也有效。

位	7	6	5	4	3	2	1	0
字段	**保留**	**保留**	ALIVE	CLKSEL	SOFBUSY	SUSP	TMODE	CSTAT
属性	-		R/W	R/W	R/W	R/W	R	R
初始值	X		0	1	0	0	1	0
是否使能复位*	-		x	x	❍	❍	x	x

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit7:6] 保留：保留位

这些位值在读取模式时未定义。即使将 0 或 1 写入这些位，也对 LSI 操作无效。

[bit5] ALIVE (保持 ALIVE)

此位用于在低速模式中指定保持 alive 功能。主机状态寄存器 (HSTATE) 的 CLKSEL 位设为 0 时若此位被设为 1, 将输出 SE0 替代 SOF。主机状态寄存器 (HSTATE) 的 CLKSEL 位被设为 0 时此位有效。CLKSEL 位为 1 时，将输出 SOF，不管 ALIVE 位的设置如何。

位	描述
0	SOF 输出
1	SE0 输出（保持 alive）

[bit4] CLKSEL (CLocKSELect) USB 操作时钟选择位

此位为 USB 操作时钟选择位。

位	描述
0	低速时钟
1	全速时钟

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*
- *UDC 控制寄存器 (UDCC) 的 RST 位为 1 时，改变此位值。*
- *此位设置在设备模式中也有效。*
  在设备模式中，不得将此位设为 "0"。使用 13 MHz 或以上的片上总线 (HCLK) 时钟。

[bit3] SOFBUSY (SOF BUSY) SOF 忙碌标志

这是 SOF 忙碌标志。

使用主机令牌端点寄存器 (HTOKEN) 发送 SOF 令牌时，此位被设为 1，表示 SOF 计时器为活动状态。此位被设为 0 时，表示 SOF 计时器暂停。要停止活动的 SOF 计时器，将 0 写入此位。然而，将 1 写入此位时，写入值将被忽略。

位	描述
0	停止 SOF 计时器。
1	SOF 计时器活动。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*
- *将此位设为 0 停止 SOF 计时器时，SOF 计时器不会立即停止。要检查 SOF 计时器是否停止，读取此位。*

[bit2] SUSP (SUSPend) 暂停设置位

此位为暂停设置位。

此位被设为 1 时，USB 电路处于暂停状态。此位为 1 或 USB 总线处于 k 状态模式时若将此位设为 0，解除暂停状态，且将主机中断寄存器 (HIRQ) 的 RWIRQ 位设为 1。

Table 5.4-1 暂停设置

位	操作
设为 1	暂停
此位为 1 时设为 0	恢复
其它	保持该状态。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*
- *USB 有效时（USB 总线复位、数据传输或 SOF 计时器运行进程中），不将此位设为 1。*
- *在暂停模式中不得停止 USB 时钟。*
- *若改变此位值，不会立即反映在 USB 总线状态上。要检查状态是否更新，读取此位。*

[bit1] TMODE (Transmission MODE) 传送模式标志

这是传送模式标志。

此位被设为 1 时，表示设备在全速模式中连接。此位被设为 0 时，表示设备在低速模式中连接。主机状态寄存器 (HSTATE) 的 CSTAT 位为 1 时，此位有效。

位	描述
0	低速
1	全速

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*
- *使用 13 MHz 或以上的基本时钟 (HCLK)。*

[bit0] CSTAT (Connect STATus) 连接状态标志

这是连接状态标志。

此位为 1 时，表示设备连接。此位为 0 时，表示设备断开。

位	描述
0	设备断开。
1	设备连接。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

5.5 SOF 中断帧比较寄存器 (HFCOMP)

发送 SOF 中断帧比较寄存器(HFCOMP) 用于指定发送 SOF 令牌时与帧数的低 8 位进行比较的数据。主机控制寄存器 0 (HCNT0) 的 SOFSTEP 位被设为 0 时，此寄存器的值与帧数低 8 位的值进行比较。如果匹配，则在发送 SOF 时将主机中断寄存器 (HIRQ) 的 SOFIRQ 位设为 1。主机控制寄存器 0 (HCNT0) 的 SOFIRE 位为 1 时发生中断。

位	15	14	13	12	11	10	9	8
字段	FRAMECOMP							
属性	R/W							
初始值	00000000							
是否使能复位*	x							

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit15:8] FRAMECOMP：帧比较数据

这些为帧比较数据。

发送 SOF 令牌时，这些位用于指定将与帧数低阶八位比较的数据。

主机控制寄存器 0 (HCNT0) 的 SOFSTEP 位被设为 0 时，比较发送 SOF 令牌时的 SOF 帧数与本寄存器值。若匹配，将主机中断寄存器 (HIRQ) 的 SOFIRQ 位设为 1。

主机控制寄存器 0 (HCNT0) 的 SOFSTEP 位为 0 时，本寄存器设置有效。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

5.6 重试计时器设置寄存器 (HRTIMER)

重试计时器设置寄存器 (HRTIMER) 用于指定令牌重试时间。

位	15	14	13	12	11	10	9	8
字段	RTIMER1							
属性	R/W							
初始值	00000000							
是否使能复位*	x							

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

位	7	6	5	4	3	2	1	0
字段	RTIMER0							
属性	R/W							
初始值	00000000							
是否使能复位*	x							

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

位	7(23)	6(22)	5(21)	4(20)	3(19)	2(18)	1(17)	0(16)
字段	保留						RTIMER2	
属性	-						R/W	
初始值	X						00	
是否使能复位*	-						x	

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit23:18] 保留：保留位

这些位值在读取模式时未定义。即使将 0 或 1 写入这些位，也对 LSI 操作无效。

[bit17:0] HRTIMER0, 1, 2：重试计时器设置位

这些位重试计时器设置位。

这些位用于在本寄存器中指定重试时间。在主机控制寄存器 1 (HCNT1) 的 RETRY 位为 1 时若启动令牌发送，将激活重试计时器。输出 1 位传输时钟（全速模式中 12 MHz）时，重试时间将逐减一。重试计时器为 0 时，发送目标令牌，并结束处理进程。

若在 EOF 区中出现令牌重试，将停止重试计时器，直到 SOF 发送结束。SOF 发送完成后，以计时器停止时的设置值重新启动重试计时器。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。UDC 控制寄存器 (UDCC) 的 RST 位为 1 时，若写入数据，写入数据将被忽略。*
- *在主机模式中写入本寄存器。在功能模式中将本寄存器的 bit15 至 bit0 设为 0。即使将数据写入本寄存器的 bit15 至 bit0，写入数据将被忽略。*

5.7 主机地址寄存器 (HADR)

主机地址寄存器 (HADR) 用作发送令牌的地址字段。

位	15	14	13	12	11	10	9	8
字段	**保留**	地址						
属性	-	R/W						
初始值	X	0000000						
是否使能复位*	-	x						

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit15] 保留：保留位

此位值在读取模式时未定义。即使将 0 或 1 写入此位，也对 LSI 操作无效。

[bit14:8] 地址：地址位

这些位为地址位。

这些位用于指定令牌地址。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

5.8 EOF 设置寄存器 (HEOF)

EOF 设置寄存器 (HEOF) 用于指定发送 SOF 令牌前的令牌禁用时间。同时满足以下条件时，传输 SOF 令牌后发送请求令牌。

- 比较 SOF 计时器值与本寄存器值时，SOF 计时器值小于本寄存器值。
- 已发出 IN、OUT 或 SETUP 令牌发送请求。

功能是防止硬件产生的 SOF 令牌与其他令牌一起发送。本寄存器的时间单元为 1 位传输时间。

位	15	14	13	12	11	10	9	8
字段	保留		EOF1					
属性	-		R/W					
初始值	X		000000					
是否使能复位*	-		x					

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

位	7	6	5	4	3	2	1	0
字段	EOF0							
属性	R/W							
初始值	00000000							
是否使能复位*	x							

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit15:14] 保留：保留位

这些位值在读取模式时未定义。即使将 0 或 1 写入这些位，也对 LSI 操作无效。

[bit13:0] EOF1, EOF0 (End Of Frame)：EOF 位

这些位为 EOF 位。

这些位用于指定 SOF 传输之前令牌发送禁用的时间。指定时间要有裕度，长于一个包长。时间单元为 1 位传输时间。

设置示例： MAXPKT = 64 字节，全速模式

(Token_length + packet_length + header + CRC)×7/6 + Turn_around_time

=(34 位 + 546 位)×7/6 + 36 位 = 712.7 位

因此，设置 0x2C9。

注意事项：

- *即使 UDC 控制寄存器 (UDCC) 的 RST 位被设为 1，也不初始化此位。*

5.9 帧设置寄存器 (HFRAME)

帧设置寄存器 (HFRAME) 用于指定发送 SOF 令牌时的帧数。在主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位设置 SOF 发送时，激活 SOF 计时器。然后，将每 1 ms 自动发送 SOF。每次 SOF 结束时，帧设置寄存器将自动加一。

位	15	14	13	12	11	10	9	8
字段	保留					FRAME1		
属性	-					R/W		
初始值	X					000		
是否使能复位*	-					❍		

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

位	7	6	5	4	3	2	1	0
字段	FRAME0							
属性	R/W							
初始值	00000000							
是否使能复位*	❍							

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit15:11] 保留：保留位

这些位值在读取模式时未定义。即使将 0 或 1 写入这些位，也对 LSI 操作无效。

[bit10:0] FRAME1, FRAME0：帧设置位

这些位为帧设置位。

这些位用于指定 SOF 帧数。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*
- *在主机令牌端点寄存器 (HTOKEN) 中的 TKNEN 位设置 SOF 前，在本寄存器中指定帧数。*
- *主机状态寄存器 (HSTATE) 的 SOFBUSY 位为 1 且正在进行 SOF 令牌进程时，不允许写入本寄存器。*

5.10 主机令牌端点寄存器 (HTOKEN)

主机令牌端点寄存器 (HTOKEN) 用于指定触发、端点及令牌。

位	7	6	5	4	3	2	1	0
字段	TGGL	TKNEN			ENDPT			
属性	R/W	R/W			R/W			
初始值	0	000			0000			
是否使能复位*	❍	❍			❍			

*：通过 UDCC 的 RST 位使能或禁用复位。x：不复位。❍：复位。

[bit7] TGGL (ToGGLe) 触发位

此位为触发位。

此位用于设置触发数据。根据此位的设置发送触发数据。接收触发数据时，比较接收触发数据与此位指示的触发数据，验证是否出现错误。

位	描述
0	DATA0
1	DATA1

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*
- *主机令牌端点寄存器 (HTOKEN) 的 TKNEN 位为 "000" 时，设置此位。*

[bit6:4] TKNEN (ToKeNENable) 令牌使能位

这些位为令牌使能位。

这些位根据设置发送令牌。操作结束后， TKNEN 位被设为 000，且主机中断寄存器 (HIRQ) 的 CMPIRQ 位被设为 1。若主机控制寄存器 0 (HCNT0) 的 CMPIRE 位被设为 1，将出现中断。

发送 SOF 令牌时，TGGL 位和 ENDPT 位的设置将被忽略。

Table 5-1 令牌设置

bit6	bit5	bit4	操作
0	0	0	未发送数据。
0	0	1	发送 SETUP 令牌。
0	1	0	发送 IN 令牌。
0	1	1	发送 OUT 令牌。
1	0	0	发送 SOF 令牌。
1	0	1	发送等时 IN。
1	1	0	发送等时 OUT。
1	1	1	保留（设置禁用）

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，此位设为初始值。*
- *不支持 PRE 包。*
- *主机状态寄存器 (HSTATE) 的 SOFBUSY 位设为 1 时，不得将 TKNEN 位设为 100。*
- *将数据写入此位前，将 USB 变为主机模式。*
- *令牌终端标志 (CMPIRQ) 被设为 1 后，再次发出令牌时，输出 USB 传输时钟（全速模式 12 MHz，低速模式 1.5 MHz) 后，等待 3 个或以上周期，然后将数据写入此位。*
- *断开设备 (CSTAT of HSTATE = 0) 时，即使将数据写入此位，也不执行令牌发送。*
- *写入新值时，读取 TKNEN 位值。继续写入此位，直到检索值等于写入的新值，需要防止检查进程中断。*
- *通过完成 IN 令牌或等时 IN 令牌将主机中断寄存器 (HIRQ) 的 CMPIRQ 位设为 1 时，采取以下步骤：*

  1) 读取主机错误状态寄存器 (HERR) 的 HS 位，然后将 CMPIRQ 位设为 0。

  2) 若主机错误状态寄存器 (HERR) 的 HS 位等于 00，将 EPn 状态寄存器 (EPnS) (n=1 或 2) 的 DRQIE 位设为 1，并等待直到 DRQ 位变为 1。

  HS 位不等于 00 时，完成 IN 令牌处理进程。

  3) EPn 状态寄存器 (EPnS) 的 DRQ 位变为 1 时，读取接收数据。

[bit3:0] ENDPT (ENDPoinT) 端点位

这些位为端点位。

这些位用于指定将向设备发送数据或从设备接收数据的端点。

注意事项：

- *UDC 控制寄存器 (UDCC) 的 RST 位被设为 1 时，不初始化此位。*

第 6 章：智能卡接口

本章说明智能卡接口功能。

1. 智能卡接口概述
2. 智能卡接口配置
3. 智能卡接口操作
4. 智能卡接口中断
5. 智能卡接口设置步骤及程序流程
6. 智能卡接口寄存器

1. 智能卡接口概述

智能卡接口用于与 ISO 7816 智能卡进行通信。仅支持异步卡。接口包括带计时器支持的并串转换器和串并转换器、16 字节传送和接收 FIFOs 以及控制逻辑。智能卡输入和输出数据由 CPU 控制。智能卡接口处理接口时序并为数据成帧、时序和错去处理提供有限支持。智能卡引脚与 GPIO 引脚复用。物理智能卡引脚配置为使用 GPIO 模块。有关智能卡物理引脚的配置信息，参见 GPIO 文件一节。

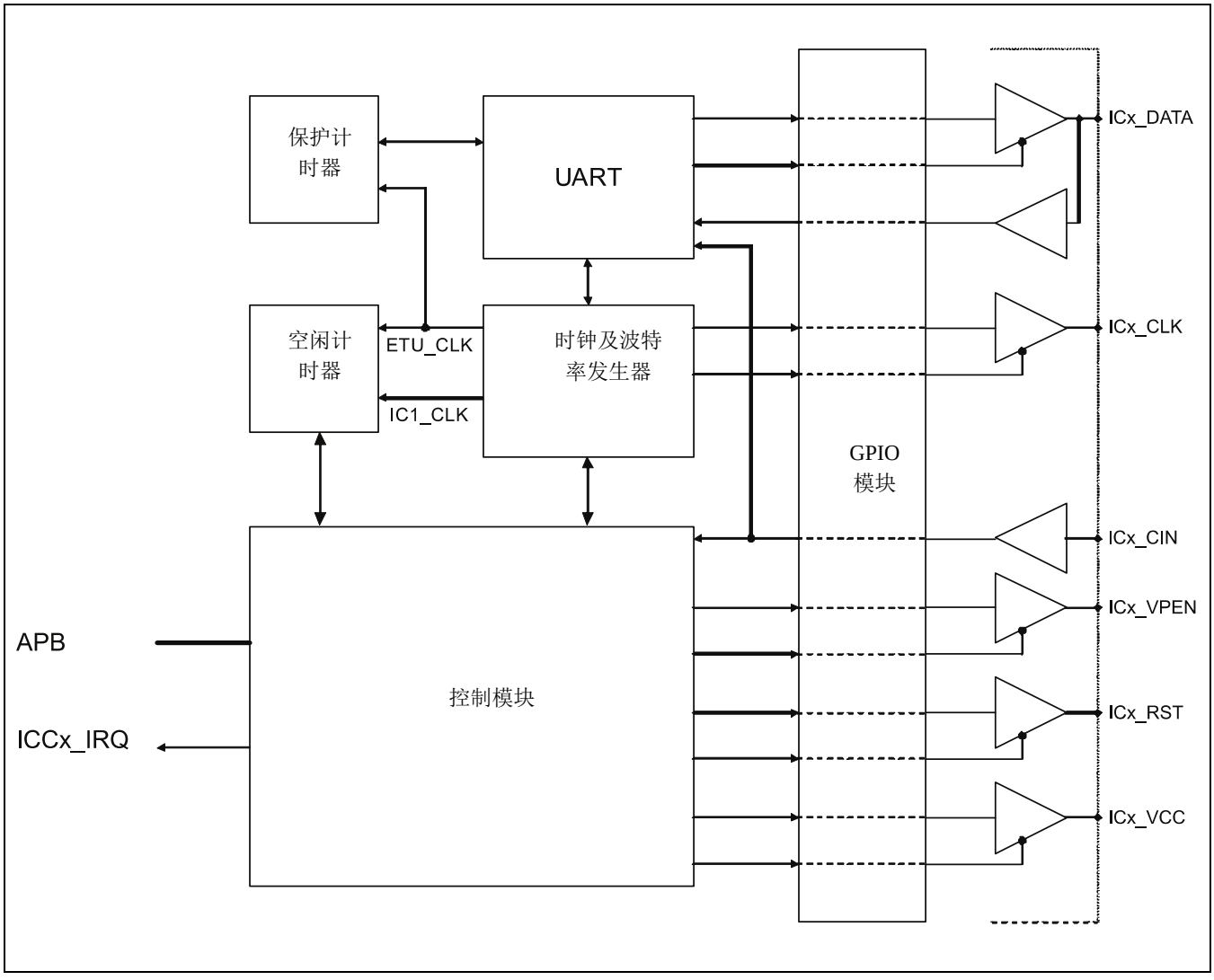
智能卡接口特性

- 支持 ISO 7816-3
- 智能卡时钟频率最多可调节为 20 MHz
- 可编程波特率
- 支持协议：
  - 发送器：8E2、8O2、8N2
  - 接收器：8E1、8O1、8N2、8N1、9N1
  - 反转模式
- 重新发送选项：
  - 发送器：接收器请求重新发送时，将再次发送数据并延迟中断。
  - 接收器：奇偶校验位错误时，模块可请求重新发送
- 输出数据逆向可编程
- 智能卡插入或拔出检测（用于中断产生）
- 可编程保护时间
- FIFO 大小：
  - 接收器：16 字节
  - 发送器：16 字节
- 可编程空闲计时器（失效时可能发生中断）
- 中断控制

2. 智能卡接口配置

UART 模块（UART = 通用异步收发两用机）控制串行异步数据协议。波特率发生器提供波特率时钟。此外，可使用两台计时器，一台为保护计时器，允许两个连续传送字节之间存在间隙，另一台为空闲计时器，可通过 ETU 时钟（ETU= 基本时间单元）或智能卡时钟 (ICx_CLK) 计时。空闲计时器可用作通用计时器。可通过启动位触发或寄存器访问直接触发。CPU 配有控制总线和中断 (ICCx_IRQ) 控制模块接口。

Figure 2-1 智能卡接口框图



注意事项：

- *x 代表通道编号。下文相同。*

3. 智能卡接口操作

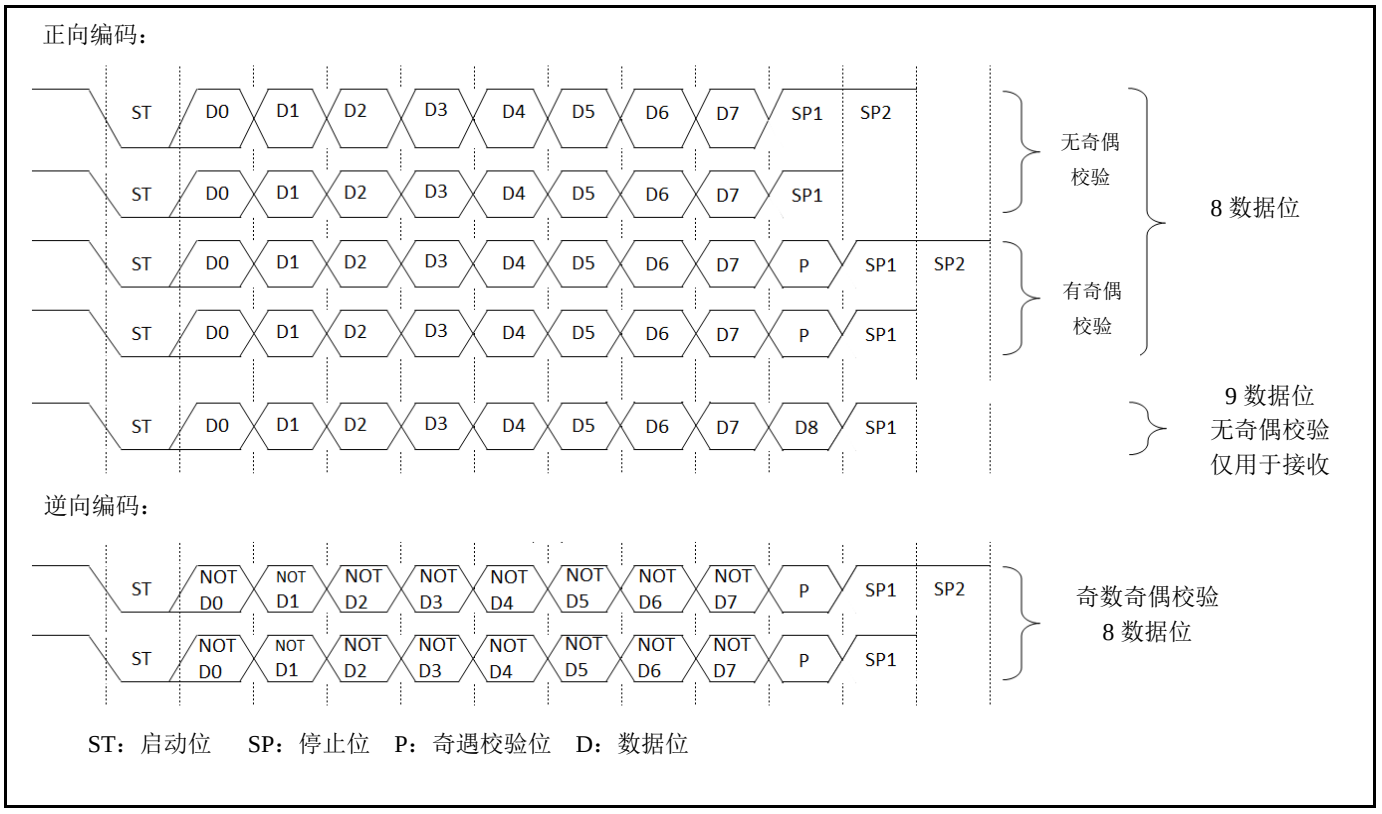
智能卡接口与智能卡进行半双工串行异步通信。

3.1 传送/接收数据格式

- 传送/接收数据始终采用启动位启动，接下来按指定数据位长度进行数据传送/接收，并以至少一位长停止位结束。
- 全局控制 1 寄存器 (GLOBALCONTROL1) 的 Frm1 位确定数据传送编码风格（正向编码或逆向编码）。Frm1 位对启动位或奇偶校验位无影响。使用奇偶校验时，将奇偶校验位始终放置在最后一个数据位和首个停止位之间。
- 在正向编码风格中，首先传送 LSB 且低电平为逻辑零。
- 在逆向编码风格中，首先传送 MSB 且高电平为逻辑零。逆向编码应配置奇数奇偶校验。

Figure 3-1 所示为正向编码和逆向编码的传送/接收数据格式。

Figure 3-1 传送/接收数据格式示例(正向/逆向编码)



注意事项：

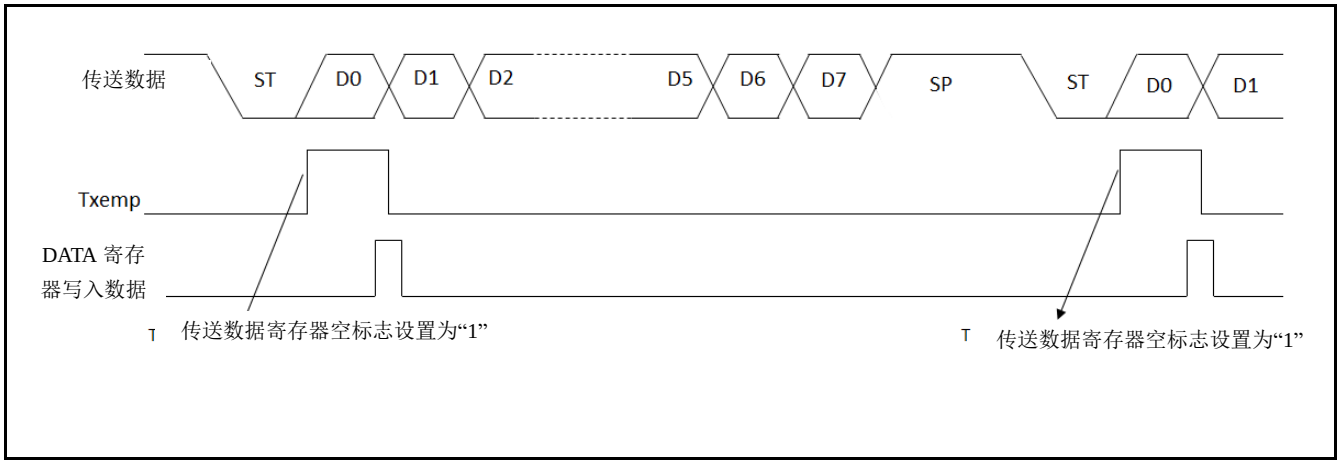
- *上图所示为数据长度设置为 8 位或 9 位时的格式。*
- *全局控制 1 寄存器 (GLOBALCONTROL1) 的 Frm1 位被设为 1（MSB 优先，逆向编码）时，D0-D7 位逻辑反向。对启动位、停止位和奇偶校验位无效。*

3.2 数据传送

- 状态寄存器 (STATUS) 的传送数据寄存器空标志位 (Txemp) 为 1 时，可将传送数据写入传送数据寄存器 (DATA)。（使能 FIFO 写入时，FIFO 输出并写入 DATA 寄存器的传送数据无效。）
- 将传送数据写入传送数据寄存器 (DATA) 时，传送数据寄存器空标志位 (STATUS.Txemp) 设为 0。
- 一旦通过将全局控制 2 寄存器 (GLOBALCONTROL2) 的 IccDisable 位设为 0 使能智能卡，当 Txemp 状态标识被设为 0 时若无重新发送要求 (STATUS.TxResend = 0) 或禁用重新发送功能 (GLOBALCONTROL1.Resnd = 0)，传送数据将立即载入传送移位寄存器，然后通过启动位起动后续传送。
- 启动传送时，再次将传送数据寄存器空标志位 (STATUS.Txemp) 设为 1。

Figure 3-2 所示为设置和清除 STATUS.Txemp 标志位时的时序。

Figure 3-2 传送寄存器空标志位(STATUS.Txemp)的时序



- 传送器开始传送启动位数据时，状态寄存器的 Txact 位将设为 1 (STATUS.Txact = 1)，表示传送器为激活状态。若禁用保护计时器 (GLOBALCONTROL1.Guaen = 0)，传送器完成停止位传送时，Txact 位将被设为 0。若使能保护计时器 (GLOBALCONTROL1.Guaen = 1)，配置的保护计时器 (GUARDTIMER.Gtreg) 失效时，Txact 位将被设为 0。

Figure 3-3 所示为禁用保护计时器时 STATUS.Txact 标志位的时序。

Figure 3-3 传送器活动标志位(STATUS.Txact)的时序(禁用保护计时器)

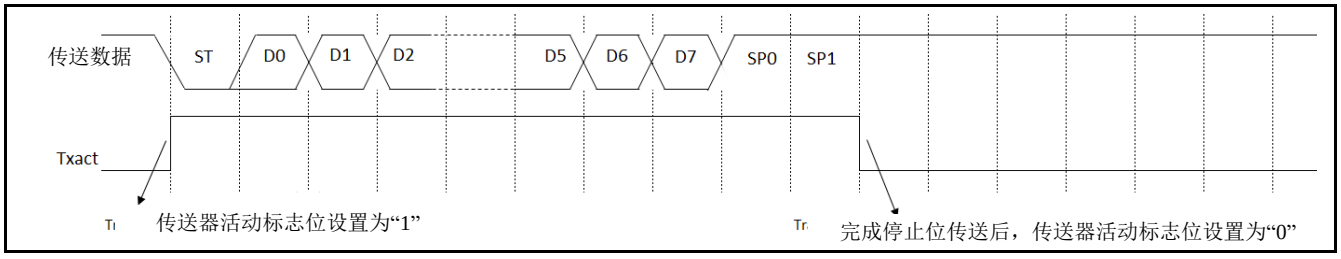
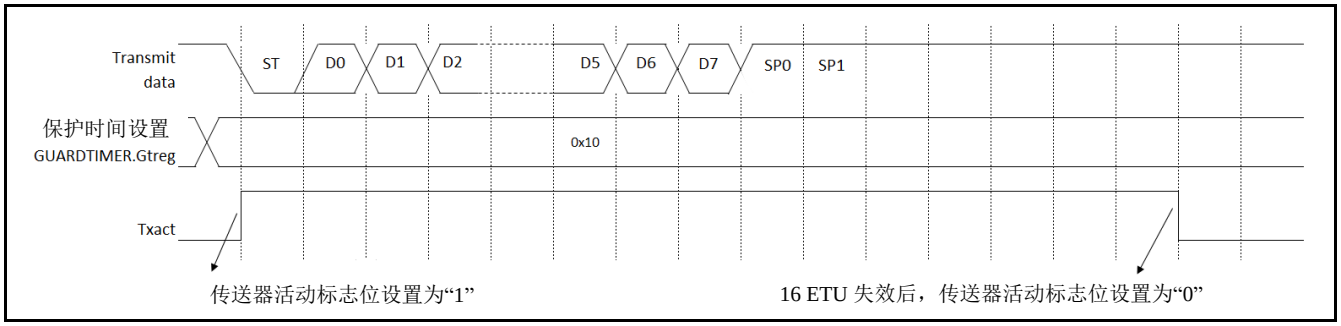


Figure 3-4 所示为使能保护计时器时 STATUS.Txact 标志位的时序。

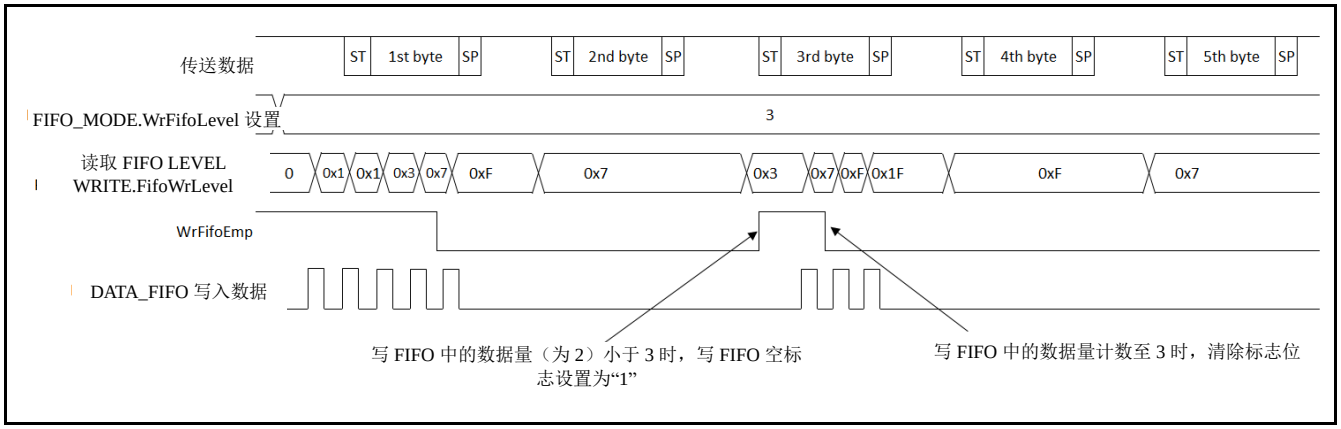
Figure 3-4 传送器活动标志位(STATUS.Txact)的时序(使能保护计时器)



- 使能 FIFO 写入 (FIFO_MODE.FifoEn = 1) 时，将传送写入 FIFO 的数据。若写入 FIFO 的数据量低于写入 FIFO 水平 (FIFO_MODE.WrFifoLevel)，将写入 FIFO 空标志位 (STATUS.WrFifoEmp) 设为 1。写入 FIFO 的数据量大于或等于写入 FIFO 水平时，将 WrFifoEmp 标志位清除为 0。

Figure 3-5 所示为 STATUS.WrFifoEmp 标志位时序。

Figure 3-5 写入 FIFO 空标志位 (STATUS.WrFifoEmp)的时序

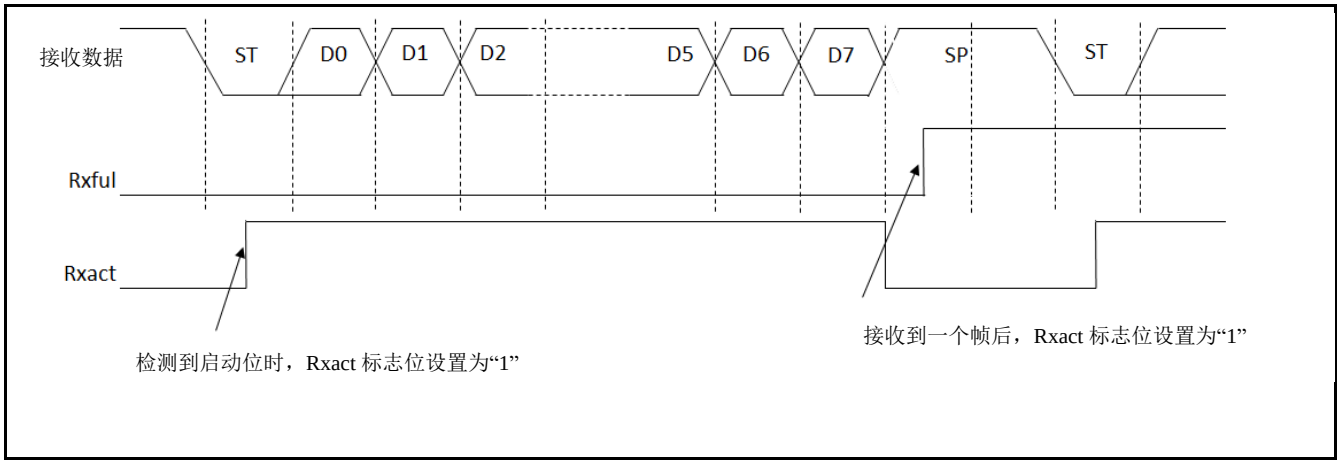


3.3 数据接收

- 一旦通过将全局控制 2 寄存器 (GLOBALCONTROL2) 的 IccDisable 位设为 0 使能智能卡接口，在 ICx_DATA 线路上检测到启动位时，接口将执行接收。
- 检测到启动位后，将立即根据全局控制 1 寄存器 (GLOBALCONTROL1.Parity, Frm0, Mode8n1, Rx8n1) 中设置的数据格式执行单帧数据接收。在 ICx_DATA 线路上检测到下降沿且保持低电平直到采样点（下降沿后半 ETU）时，将检测到启动位 (Status.Rxact = 1)。
- 完成单帧接收时，接收数据将输入接收器装载寄存器且接收寄存器已满标志位 (STATUS.Rxful) 将被设为 1。可从 DATA 寄存器读取数据帧。注意若出现奇偶校验错误以及使能重新发送功能，接收数据将不载入接收器装载寄存器，将延期设置接收寄存器已满标志位。
- 要读取接收数据，在接收单帧数据后，读取接收数据寄存器 (DATA)。
- 读取接收数据，使接收寄存器已满标志位 (STATUS.Rxful) 清除为 0。

Figure 3-6 所示为接收数据寄存器已满 (STATUS.Rxful) 和接收器活动 (Status.Rxact) 标志位时序。

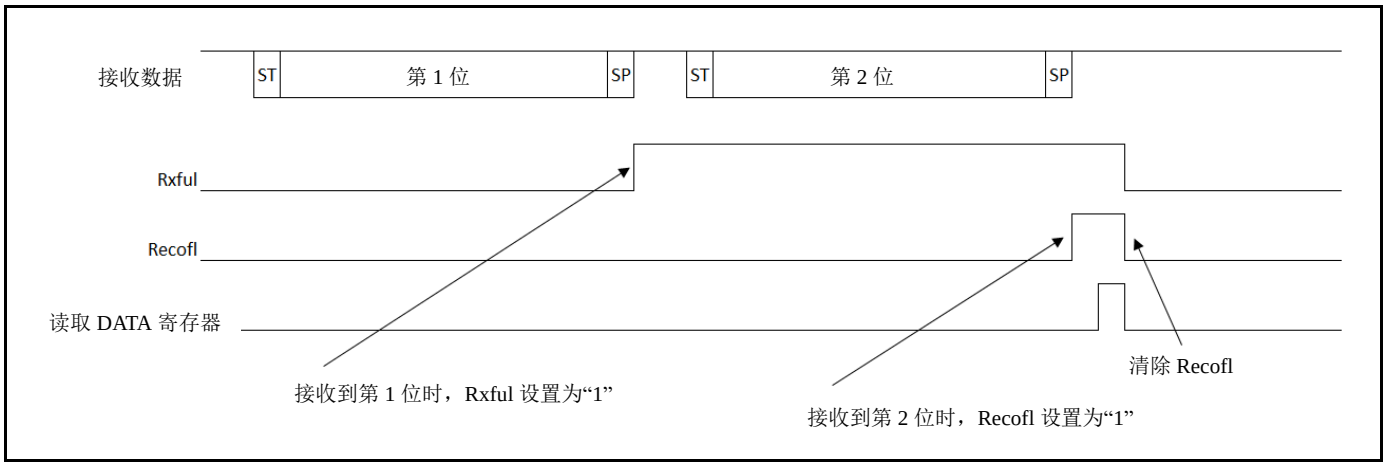
Figure 3-6 STATUS.Rxful 和 STATUS.Rxact 标志位的时序



- 若未通过 CPU 读取接收数据，接收器将完成接收下一数据帧，接收寄存器上溢标志位 (STATUS.Recofl) 将设为 1。
- 读取 DATA 寄存器，将接收寄存器上溢标志位 t (STATUS.Recofl) 清除为 0。

Figure 3-7 所示为接收数据寄存器上溢 (STATUS.Recofl) 标志位时序。

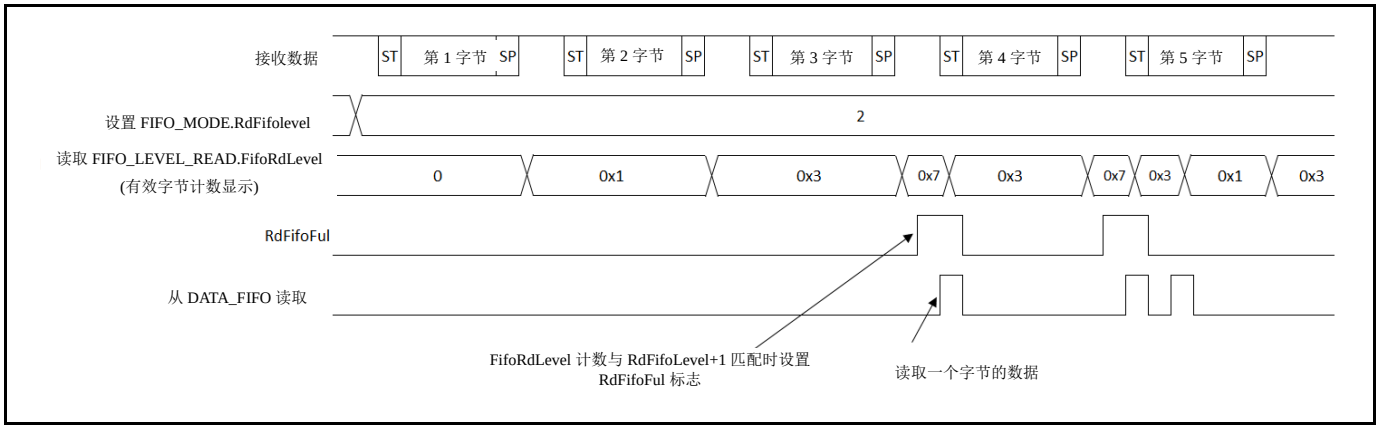
Figure 3-7 接收数据寄存器上溢 (STATUS.Recofl) 标志位的时序



- 若使能读取 FIFO，接收帧数量达到读取 FIFO 水平加 1 (FIFO_MODE.RdFifoLevel + 1) 时，读取 FIFO 已满标志位 (STATUS.RdFifoFul) 将设为 1。
- 若使能读取 FIFO，发生奇偶校验错误 (STATUS.Rxresend = 1) 且使能重新发送功能 (GLOBALCONTROL1.Rxrsnd = 1) 时，接收数据帧未储存在读取 FIFO 中。
- 读取 FIFO 中的有效数据量低于 FIFO_MODE.RdFifoLevel + 1 时，将读取 FIFO 已满标志设为 0。

Figure 3-8 所示为读取 FIFO 已满 (STATUS.RdFifoFul) 标志位时序。

Figure 3-8 读取 FIFO 满(STATUS.RdFifoFul) 标志位的时序



3.4 波特率配置

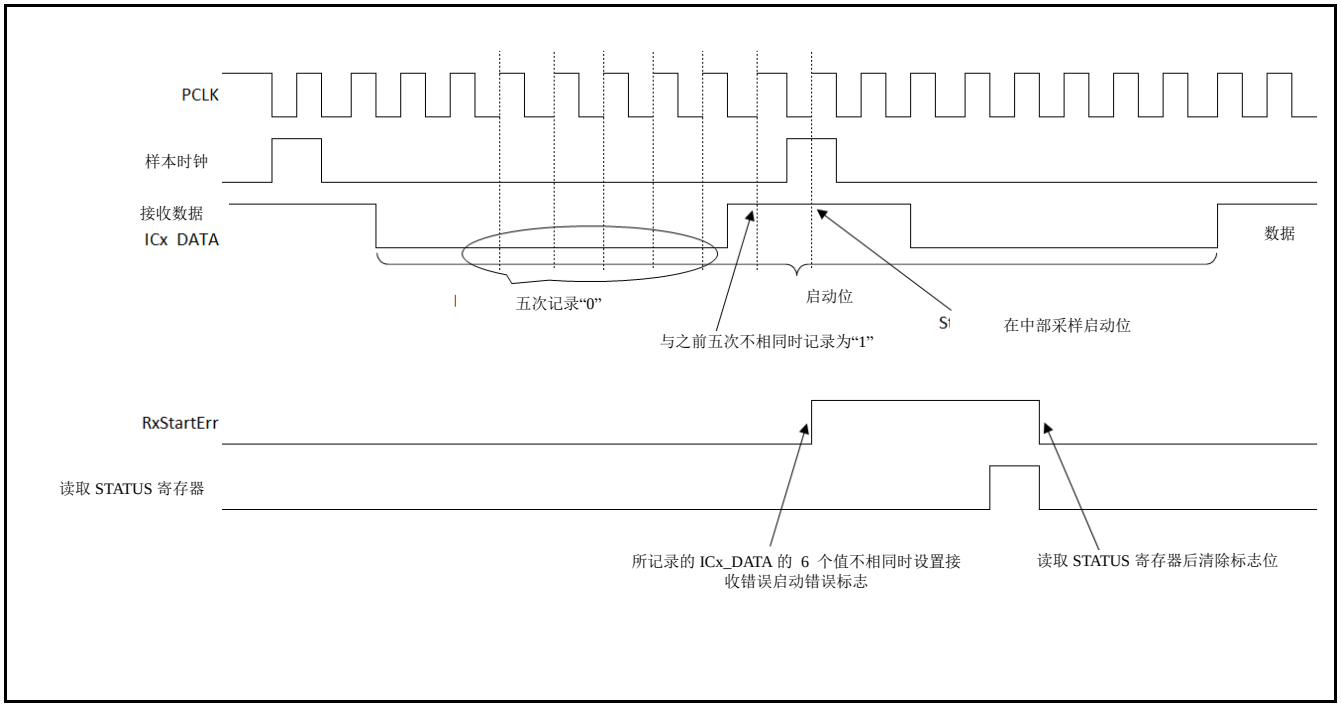
- 智能卡时钟输出频率 output ICx_CLK 取决于 PCLK（最大 40MHz）及通过 CARDCLOCK 寄存器中 ClkDivider 位配置的智能卡时钟分频器。
  智能卡时钟 [Hz] = PCLK[Hz]/ CARDCLOCK.ClkDivider
- 数据传送波特率取决于智能卡时钟频率和波特率寄存器 (BAUDRATE.Brreg) 的 Brreg 位值。
- 根据 ISO7816-3 标准，1 ETU = (F/D) * (1/ 智能卡时钟 [Hz])。F/D 通过波特率寄存器的 Brreg 位 (BAUDRATE.Brreg) 配置。
  例如，要使 F/D = 31，将 BAUDRATE.Brreg. 编程为 0x1F，以实现 F/D = 31.5，将 BAUDRATE 寄存器的 LittleStep 位设为 1。

3.5 启动位检测

- 基于 ICx_DATA 引脚下降沿的检测识别接收数据启动位。
- 一旦检测到启动位的下降沿，在启动位中间采样前，接收器将立即记录 ICx_DATA 电平 6 次。若记录的 6 个值各不相同或启动位的采样值不为 0，将发生接收错误启动位错误且 STATUS 寄存器的 RxStartErr 位将被设为 (STATUS.RxStartErr = 1)。
- 一旦读取 STATUS 寄存器，RxStartErr 位将立即清除为 0。

Figure 3-9 所示为接收错误启动位错误标志 (STATUS.RdFifoFul) 时序。

Figure 3–9 接收错误启动位错误标志位 (STATUS.RdFifoFul) 的时序

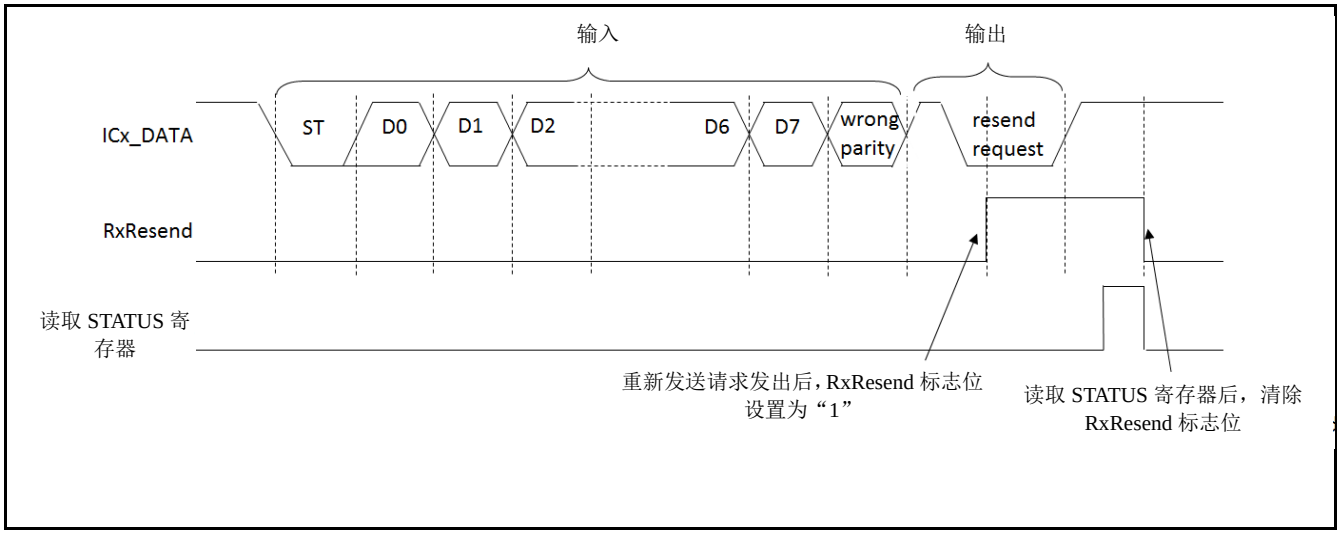


3.6 错误检测

- 接收器检测到错误奇偶校验位且重新发送功能使能 (GLOBALCONTROL1.Resnd = 1) 时，将在奇偶校验位后使 ICx_DATA 保持低电平达 1.5 ETUs 半 ETU，以发送重新发送请求。
- 发送重新发送请求时，STATUS 寄存器的接收器重新发送标志位 (STATUS.RxResend) 将被设为 1。
- 使能重新发送功能时，有错误奇偶校验的接收帧未储存在数据寄存器中，且接收数据寄存器已满标志位 (STATUS.Rxful) 未设置。
- 读取 STATUS 寄存器，清除接收器重新发送标志位。

Figure 3-10 所示为接收器重新发送标志位 (STATUS.RxResend) 时序

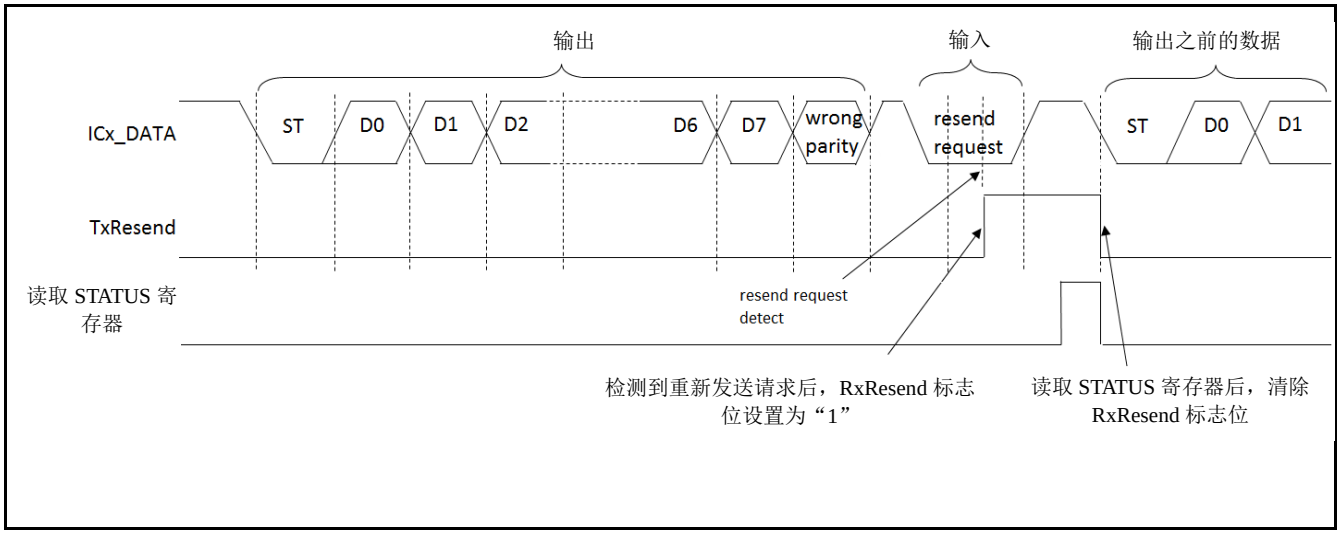
Figure 3-10 接收器重新发送标志位 (STATUS.RxResend) 的时序



- 传送器检测到重新发送请求（奇偶校验位后，ICx_DATA 保持低电平达半 ETU）且使能重新发送功能 (GLOBALCONTROL1.Resnd = 1) 时，传送器将再次发送当前数据帧，且 STATUS 寄存器的传送器重新发送标志位 (STATUS.TxResend) 将被设为 1。
- 读取 STATUS 寄存器，清除传送器重新发送标志位。

Figure 3-11 所示为传送器重新发送标志位 (STATUS.TxResend) 时序

Figure 3-11 传送器重新发送标志位 (STATUS.TxResend) 的时序



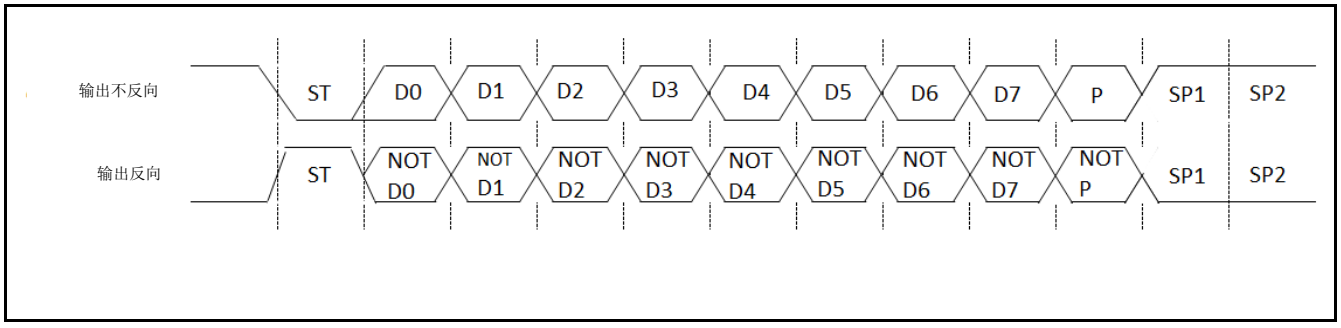
3.7 输出反向

通过将全局控制 2 寄存器的 InvDataOut 位设为 1，可从逻辑上反向 ICx_DATA 线路上的输出数据。

- 要反向输出数据，将 GLOBALCONTROL2.InvDataOut 设为 1。
- 同时反向启动位、停止位和奇偶校验位。
- 只能反向输出数据。本设置对输入数据无效。

Figure 3-12 所示为反向输出数据时的数据帧。

Figure 3-12 反向输出数据时的数据帧



3.8 端口控制

使用软件控制 ICx_VPEN、ICx_VCC 和 ICx_RST 输出上的电平。使用硬件或软件控制 ICx_DATA 和 ICx_CLK 上的电平。

- ICx_VPEN、ICx_VCC 和 ICx_RST 引脚的输出电平分别取决于 PORTCONTROL 寄存器中 VpenBuf、VccBuf 和 RstBuf 位的配置值。需要低电平时，将寄存器位配置为 0，反之，则配置为 1。
- GLOBALCONTROL1 寄存器的 Ckmod 位被设为 1 (GLOBALCONTROL1.Ckmod = 1) 时，ICx_CLK 上的电平取决于 PORTCONTROL 寄存器中 Clkpt 位 (PORTCONTROL.Clkpt) 的配置值。
- GLOBALCONTROL1 寄存器的 Ckmod 位被设为 0 (GLOBALCONTROL1.Ckmod = 0) 时，UART 模块将自动控制 ICx_CLK 上的电平（硬件）。
- GLOBALCONTROL1 寄存器的 Iomod 位被设为 1 (GLOBALCONTROL1.Iomod = 1) 时，ICx_DATA 上的电平取决于 PORTCONTROL 寄存器中 Io1 位 (PORTCONTROL.Io1) 的配置值。
- 使用软件控制 ICx_DATA 输出电平 (GLOBALCONTROL1.Iomod = 1) 时，PORTCONTROL 寄存器的 Trimod 位应配置为 1 (PORTCONTROL.Trimod = 1)，以通过软件使能数据输出使能信号控制。
- PORTCONTROL.Trimod 配置为 1 时，将 PORTCONTROL 寄存器的 Io1en 位设为 0/1，以使能 ICx_DATA 引脚上的使能/禁用数据输出。
- GLOBALCONTROL1 寄存器的 Iomod 位被设为 0 (GLOBALCONTROL1.Iomod = 0) 时，UART 模块将自动控制 ICx_DATA 上的电平（硬件）。

4. 智能卡接口中断

智能卡接口产生传送、接收、智能卡事件监测或空闲计时器失效中断。在下列条件下可产生中断请求：

- 在数据寄存器 (DATA) 中设置接收数据或接收器为激活状态。
- 传送数据从数据寄存器 (DATA) 传输至传送移位寄存器，并启动数据传送。
- 在 ICx_CIN（x 代表 0 或 1。下文同样）引脚上检测事件。
- 空闲计时器失效。

Table 4-1 所示为智能卡接口中断控制位和中断因素之间的关系。

Table 4-1 智能卡接口中断控制位和中断因素

中断类型	中断请求标志位	标志寄存器	中断因素	中断因素使能位	清除中断请求标志的操作
接收	RxfullIrq	IRQ_STATUS	接收到单字节	GLOBALCONTROL1.Maskrxful	读取接收数据寄存器 (DATA)
	RxstbiIrp	IRQ_STATUS	接收启动位检测，接收器为激活状态	GLOBALCONTROL1.Masksti	读取 IRQ 状态寄存器 (IRQ_STATUS)
	RdFifoIrq	IRQ_STATUS	接收数据量与 RdFifoLevel 设置值匹配	FIFO_MODE.RdFifoIrqEn	读取读取数据 FIFO 寄存器 (DATA_FIFO) 直到读取 FIFO 中的数据量不超过 RdFifoLevel
	RdFifoOvrIrq	IRQ_STATUS	读取 FIFO 上溢	FIFO_MODE.RdFifoOvrIrqEn	通过将 FIFO_CLEAR_MSB_READ.ClrRdFifo 设为 1，转储清除读取 FIFO
传送	TxempIrp	IRQ_STATUS	传送数据寄存器为空	GLOBALCONTROL1.Masktxemp	写入传送数据寄存器 (DATA)
	WrFifoIrq	IRQ_STATUS	传送数据量与 WrFifoLeve 设置值匹配	FIFO_MODE.WrFifoIrqEn	写入写入数据 FIFO 寄存器 (DATA_FIFO) 直到写入 FIFO 中的数据量不低于 WrFifoLevel
智能卡事件	CardEventIrq	IRQ_STATUS	模块检测到智能卡检测输入 (ICx_CIN) 出现变化	GLOBALCONTROL1.Maskcaevent	读取 IRQ 状态寄存器 (IRQ_STATUS)
空闲计时器	IdtexpIrq	IRQ_STATUS	空闲计时器失效	GLOBALCONTROL1.Maskitexp	只能通过重新启动或禁用空闲计时器清除此位

4.1 接收中断及标志设置时序

接收完成 (IRQ_STATUS:RxfullIrq =1) 可中断数据接收，且可检测接收器激活 (IRQ_STATUS:RxstbiIrp =1)。

接收中断及标志设置时序

检测至首个停止位时，接收数据将储存在接收数据寄存器 (DATA) 中，且将设置接收数据寄存器已满标志 (IRQ_STATUS.RxfullIrq =1)。使能接收中断 (GLOBALCONTROL1.Maskrxful = 1) 时，将出现接收中断。从 DATA 寄存器读取数据时，将清除接收中断。

检测到启动位且使能接收启动位中断 (GLOBALCONTROL1.Masksti = 1) 时，将设置接收启动位标志 (IRQ_STATUS.RxstbiIrq=1) 并出现接收启动位中断。读取 IRQ_STATUS 寄存器清除此中断。

注意事项：

- *发生奇偶校验错误并使能重新发送功能 (GLOBALCONTROL1.Resnd = 1) 时，不得将数据写入 DATA 寄存器，应延迟中断。*

Figure 4–1RxfullIrq (接收数据寄存器已满)标志位设置时序

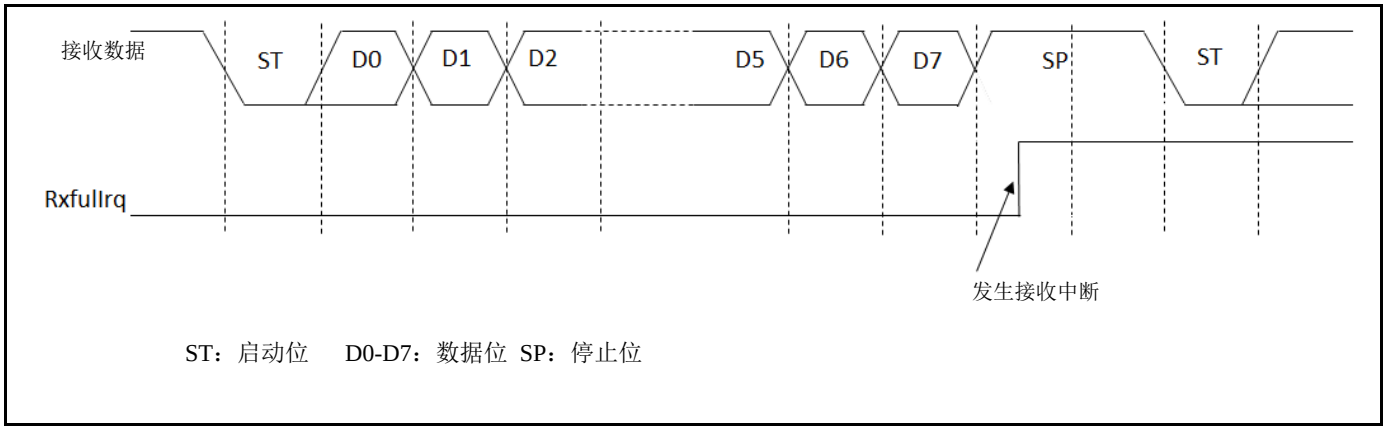
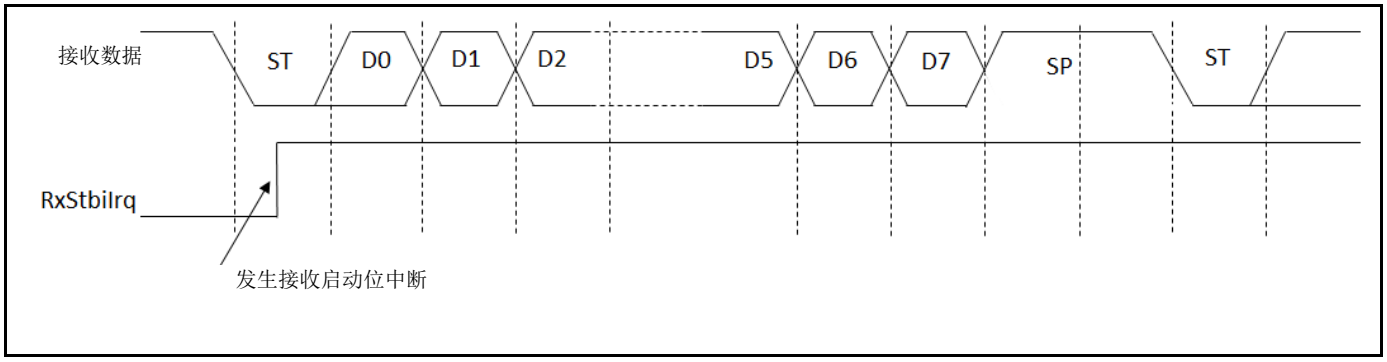


Figure 4-2RxStbiIrq (接收启动位)标志位设置时序



4.2 使用读取 FIFO 时的中断及标志设置时序

使用读取 FIFO 时，读取 FIFO 中的数据量达到 RdFifoLevel（预设 FIFO_MODE 寄存器）时，将发生中断。

使用读取 FIFO 时的中断及标志设置时序

使用读取 FIFO 时，是否发生中断取决于 FIFO_MODE.RdFifoLevel 寄存器位的设置值。

- 读取 FIFO 中的接收数据量达到 RdFifoLevel + 1 且使能读取 FIFO 已满中断 (FIFO_MODE. RdFifoIrqEn = 1) 时，IRQ 状态寄存器的读取 FIFO f 已满中断标志 (IRQ_STATUS. RdFifoIrq) 将被设为 1 且将发生读取 FIFO 已满中断。
- 从读取数据 FIFO 寄存器 (DATA_FIFO) 中读取数据直到读取 FIFO 中的数据量低于 RdFifoLevel + 1 时，将清除读取 FIFO 已满标志 (IRQ_STATUS. RdFifoIrq)。
- 若有效接收数据量与 FIFO 容量相同且将在读取 FIFO 上溢中断使能 (FIFO_MODE. RdFifoOvrIrqEn = 1) 时接收下一数据，IRQ 状态寄存器的读取 FIFO 上溢标志 (IRQ_STATUS. RdFifoOvrIrq =1) 将被设为 1 且将发生读取 FIFO 上溢中断。

通过将 1 写入读取 FIFO 清除寄存器 (FIFO_CLEAR_MSB_READ. ClrRdFifo) 转储清除读取 FIFO 时，将清除 FIFO 上溢中断。

Figure 4-3RdFifoIrq (读取 FIFO 已满中断)标志位设置时序

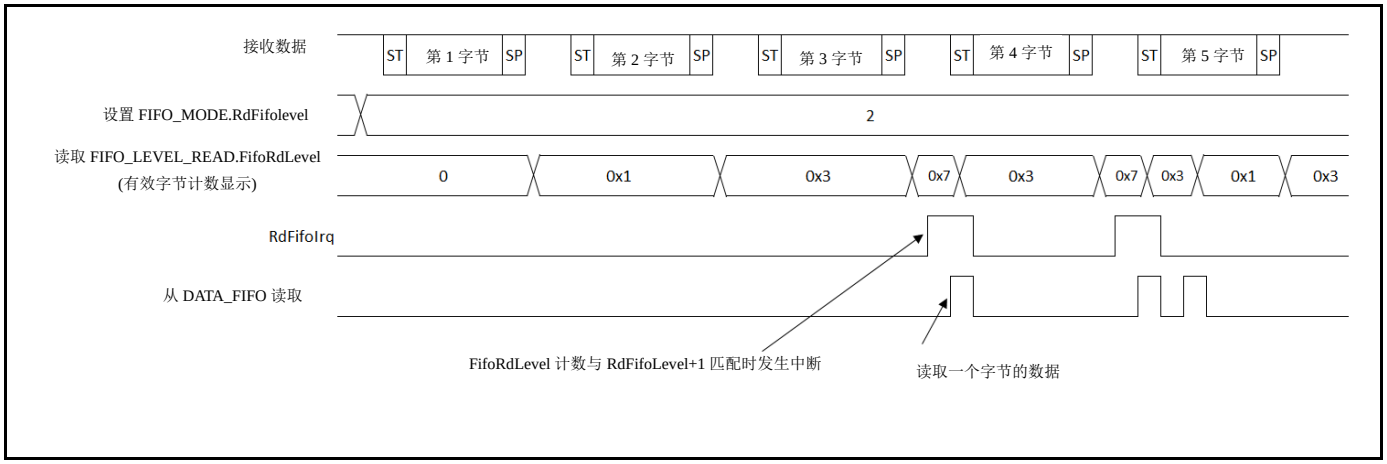
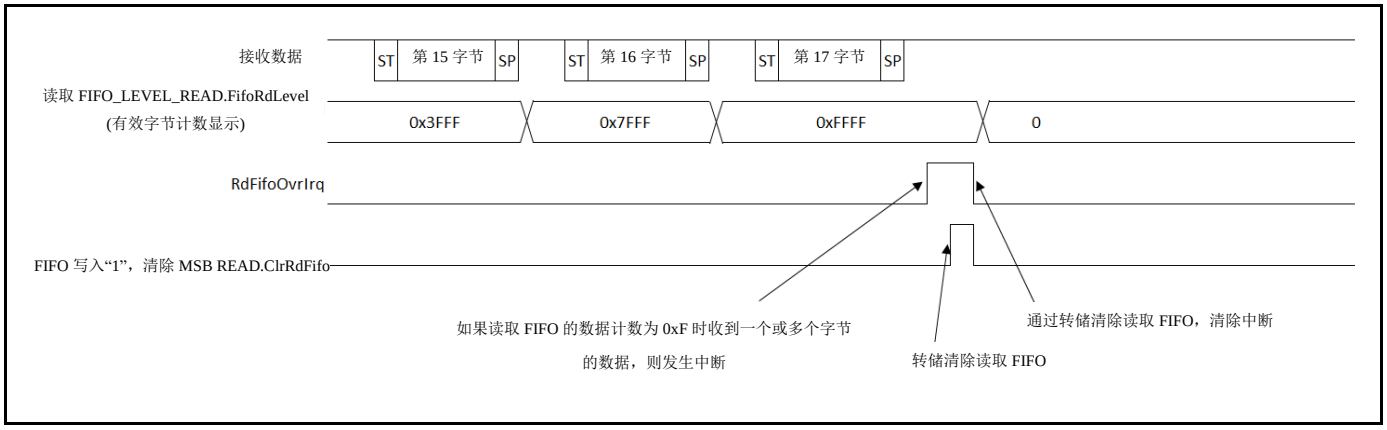


Figure 4-4RdFifoOvrIrq (读取 FIFO 上溢)标志位设置时序



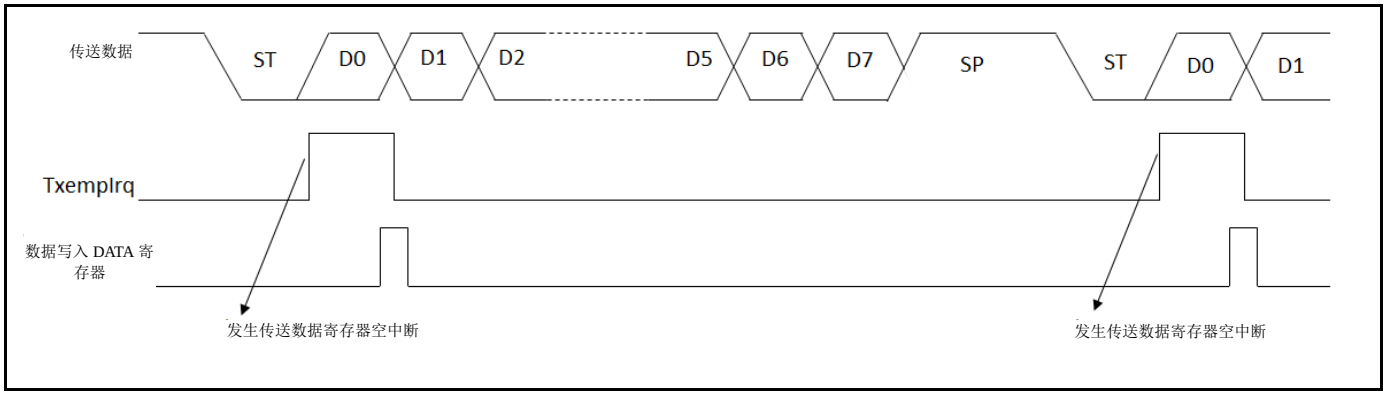
4.3 传送中断及标志设置时序

传送数据从传送数据寄存器 (DATA) 传输至传送移位寄存器 (IRQ_STATUS.TxempIrq = 1) 时，将发生传送中断。未执行传送 (STATUS.Txact = 0) 时，将启动传送。

传送数据寄存器空标志 (IRQ_STATUS.TxempIrq) 设置时序

数据从传送数据寄存器 (DATA) 传输到传送移位寄存器 (STATUS.Txemp = 1) 之后，可将下一数据写入 DATA 寄存器。在此进程中若使能传送中断 (GLOBALCONTROL1.Masktxemp = 1)，将设置传送数据寄存器空标志 (IRQ_STATUS.TxempIrq = 1) 且将发生传送中断。将数据写入传送数据寄存器 (DATA) 时，IRQ_STATUS.TxempIrq 位将被清除为 0。

Figure 4–5 传送数据寄存器空标志 (IRQ_STATUS.TxempIrq) 设置时序



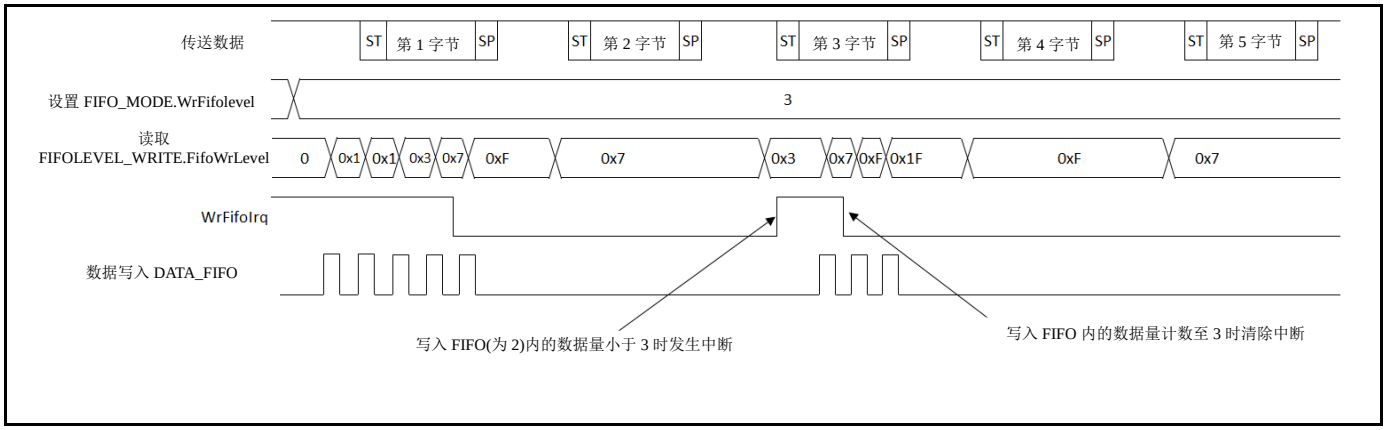
4.4 使用写入 FIFO 时的中断及标志设置时序

使用写入 FIFO 时，写入 FIFO (FIFO_LEVEL_WRITE.FifoWrLevel) 中的有效数据量低于 FIFO_MODE.WrFifoLevel 的设置值时，将发生中断。

使用写入 FIFO 时的传送中断及标志设置时序

- 使能写入 FIFO 空中断 (FIFO_MODE.WrFifoIrqEn = 1) 时，若写入 FIFO 中的有效数据量低于 FIFO_MODE.WrFifoLevel 且写入 FIFO 空中断标志被设为 1 (IRQ_STATUS.WrFifoIrq = 1) 时，将发生中断。
- 写入 FIFO 中的有效数据量大于或等于 FIFO_MODE.WrFifoLevel 时，将清除写入 FIFO 空中断 (IRQ_STATUS. WrFifoIrq = 0)。

Figure 4-6 使用写入 FIFO 时的传送中断时序



4.5 卡事件中断和标志设置时序

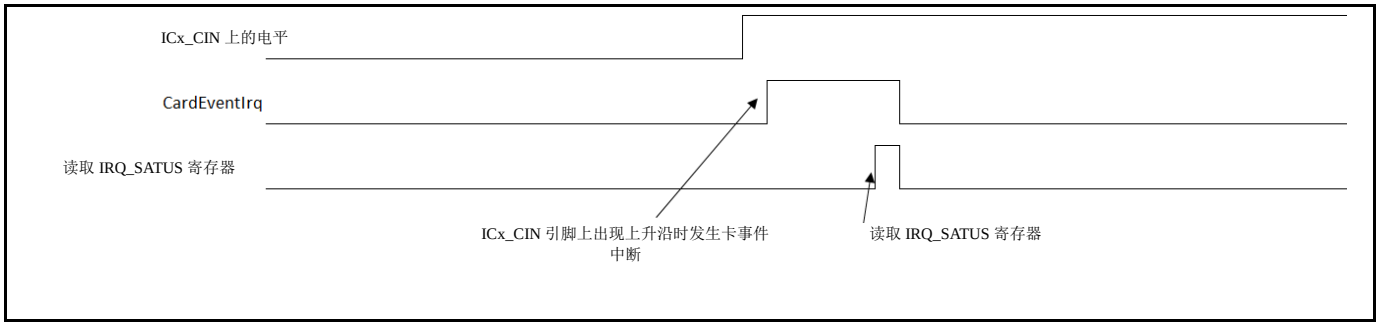
若 ICx_CIN 引脚上出现事件 (插拔卡) 且卡事件中断已使能 (GLOBALCONTROL1.Maskcaevent = 1)，将发生卡事件中断。

卡事件中断及标志设置时序

- 使能卡事件中断 (GLOBALCONTROL1. Maskcaevent = 1) 时，若 ICx_CIN 输入上的电平改变且卡事件中断标志被设为 1 (IRQ_STATUS.CardEventIrq = 1)，将发生中断。
- 读取 IRQ 状态寄存器 (IRQ_STATUS) 清除卡事件中断。

Figure 4-7 所示为卡事件中断时序。

Figure 4-7 卡事件中断标志 (IRQ_STATUS. CardEventIrq) 设置时序



4.6 空闲计时器失效中断及标志设置时序

空闲计时器失效（递减计数至 0）且使能空闲计时器失效中断 (GLOBALCONTROL1.Maskitexp = 1) 时，将发生空闲计时器失效中断。

空闲计时器失效中断及标志设置时序

- 使能空闲计时器失效中断 (GLOBALCONTROL1.Maskitexp = 1) 时，若空闲计时器计数至 0 且空闲计时器失效中断标志被设为 1 (IRQ_STATUS.IdtexpIrq = 1)，将发生中断。
- 空闲计时器为通用 16 位递减计数器，可以通过分别将全局控制 1 寄存器的 Idtsc 位 (GLOBALCONTROL1.Idtsc) 设为 0 和 1，由卡时钟 (ICx_CLK) 或 ETU 时钟（波特率时钟）为空闲计时器及时。
- 空闲计时器可由传送器在发送启动位（在重新发送请求后）时触发，或通过将 1 写入全局控制 1 寄存器 Stidt 位 (GLOBALCONTROL1.Stidt) 触发。
- 每次触发空闲计时器时，空闲计时器寄存器 Idtreg 位配置的启动值 (IDLETIMER.Idtreg -1) 将重载入递减计数器，且空闲计时器将启动运行。
- 将数据写入传送数据寄存器 (DATA) 或将 1 写入 GLOBALCONTROL1.Stidt，重新起动空闲计时器，清除空闲计时器失效中断。

Figure 4-8 所示为通过卡时钟计时且通过软件触发空闲计时器（将 1 写入 GLOBALCONTROL1.Stidt）时，空闲计时器失效中断标志 (IRQ_STATUS.IdtexpIrq) 的时序。

Figure 4-8 通过卡时钟计时且通过软件触发空闲计时器时的空闲计时器失效中断标志 (IRQ_STATUS.IdtexpIrq)设置时序

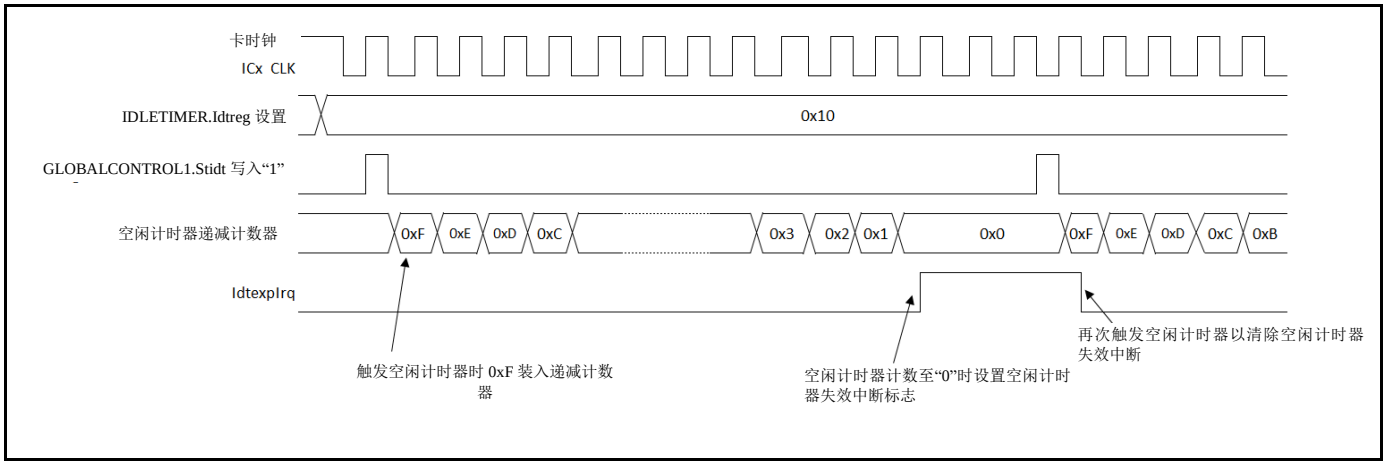
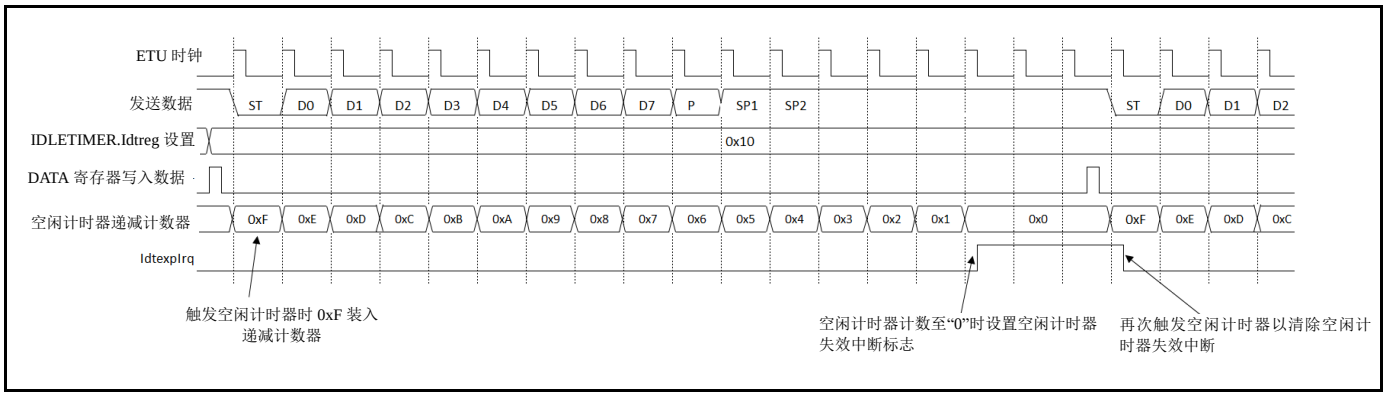


Figure 4-9 所示为通过 ETU 时钟计时且通过发送启动位触发空闲计时器时，空闲计时器失效中断标志 (IRQ_STATUS.IdtexpIrq) 的时序。

Figure 4-9 通过发送启动位触发且通过 ETU 时钟计时空闲计时器时的空闲计时器失效中断标志 (IRQ_STATUS.IdtexpIrq)设置时序



5. 智能卡接口设置步骤及程序流程

MCU 与智能卡连接

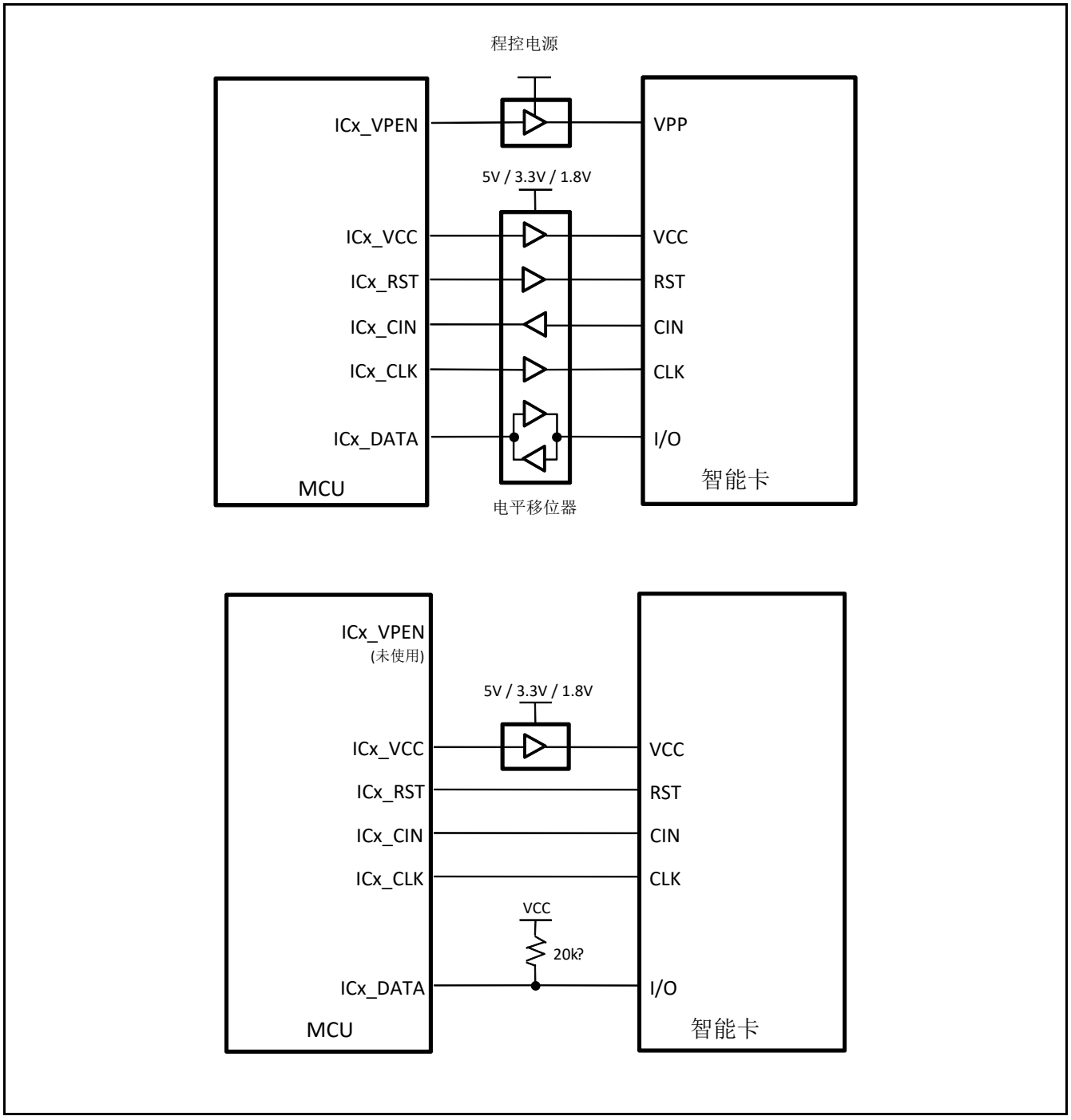
MPU 与智能卡的连接如 Figure 5-1 所示。

根据 MCU IO 电平，需要智能卡（A 级/B 级/C 级）电平位移器。

若智能卡支持 ISO 7816-3 2006 及最新版本，不一定需要编程电源外包。

MCU ICx_VCC 不能驱动智能卡最大电流。因此，必需外部电流源。

Figure 5-1 半双通信连接示例

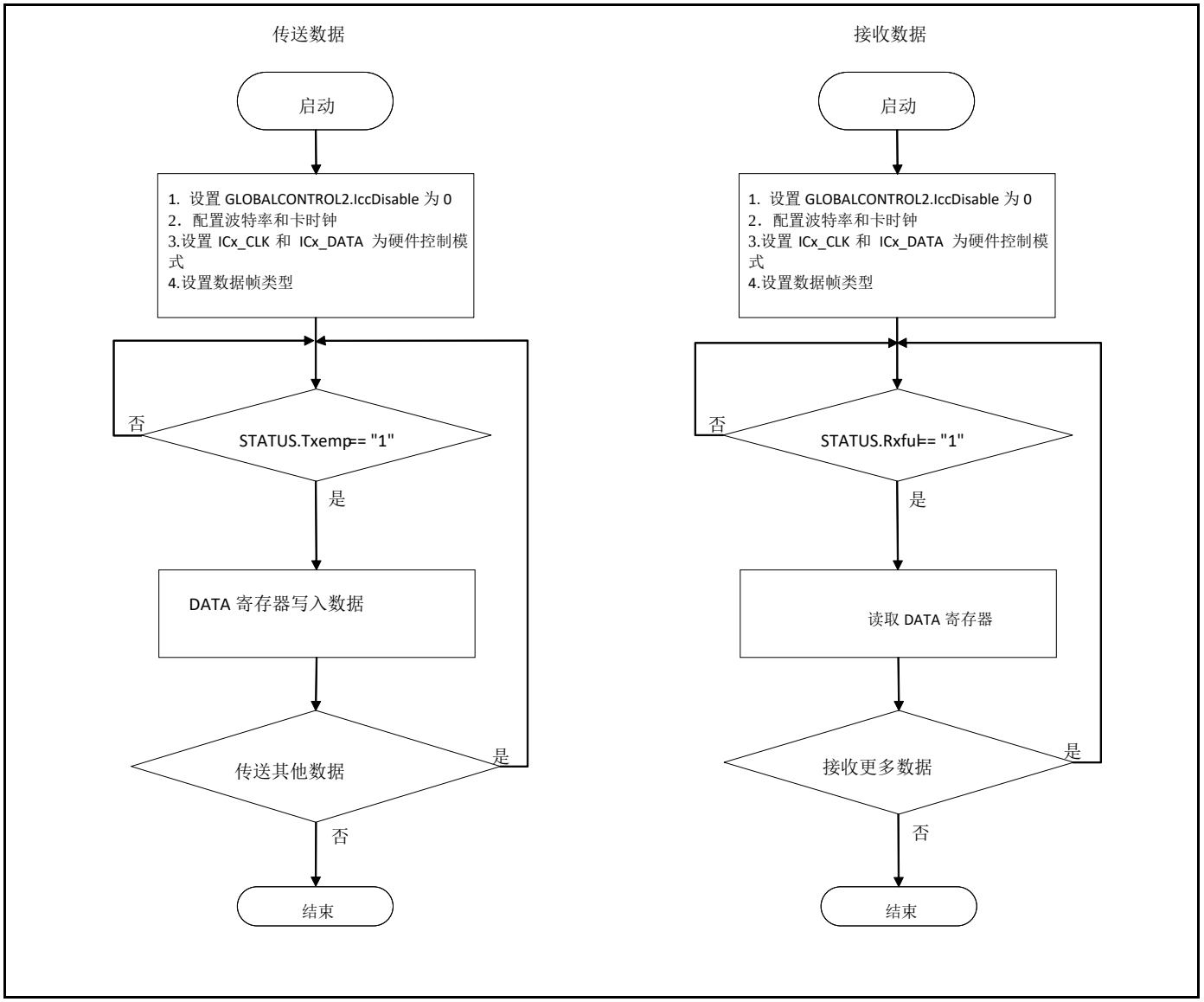


流程图

■ 未使用 FIFO 时

Figure 5-2 所示为未使用 FIFO 时的数据传送流程图，ICx_DATA/ICx_CLK 由硬件控制。

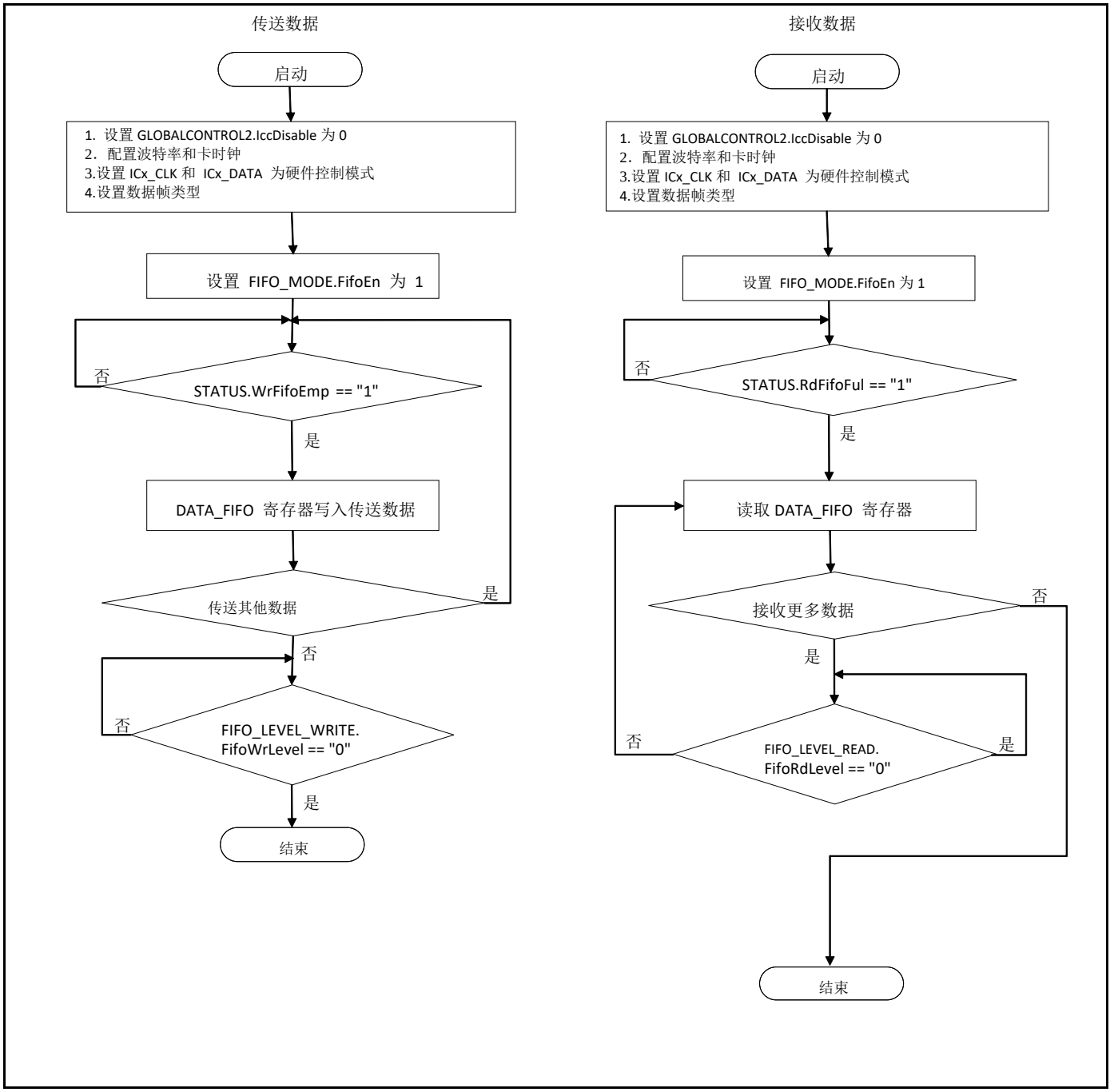
Figure 5-2 半双工通信流程示例（不使用 FIFO 时）



■ 使用 FIFO 时

Figure 5-3 所示为使用 FIFO 时的数据传送流程图，ICx_DATA/ICx_CLK 由硬件控制。

Figure 5-3 半双工通信流程示例（使用 FIFO 时）



6. 智能卡接口寄存器

本节列出智能卡接口寄存器列表。

Table 6-1 智能卡接口寄存器列表

缩写	寄存器名称	参考章节
GLOBALCONTROL1	全局控制寄存器 1	6.1
STATUS	状态寄存器	6.2
PORTCONROL	端口控制寄存器	6.3
DATA	数据寄存器	6.4
CARDCLOCK	卡时钟频率寄存器	6.5
BAUDRATE	波特率寄存器	6.6
GUARDTIMER	保护计时器寄存器	6.7
IDLETIMER	空闲计时器寄存器	6.8
GLOBALCONTROL2	全局控制寄存器 2	6.9
DATA_FIFO	FIFO 访问寄存器	6.10
FIFO_LEVEL_READ	读取 FIFO 电平寄存器	6.11
FIFO_LEVEL_WRITE	写入 FIFO 电平寄存器	6.12
FIFO_MODE	FIFO 模式寄存器	6.13
FIFO_CLEAR_MSB_WRITE	写入 FIFO 清除寄存器	6.14
FIFO_CLEAR_MSB_READ	读取 FIFO 清除寄存器	6.15
IRQ_STATUS	中断状态寄存器	6.16

6.1 全局控制寄存器 1 (GLOBALCONTROL1)

本寄存器用于控制智能卡接口的配置。
可使能中断并选择协议。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	-	Idtsc	Stidt	Guaen	Resnd	Ckmod	Iomod	Maskitexp
属性	-	R/W	W	R/W	R/W	R/W	R/W	R/W
初始值	-	0	0	0	1	0	0	0

位	7	6	5	4	3	2	1	0
字段	Maskcaevent	Masksti	Masktxemp	Maskrxful	Mode8n1	Frm1	Frm0	Parity
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

寄存器功能

[bit15] -：未使用位
读取时此位值未定义。
此位写入无效。

[bit14] Idtsc：空闲计时器时钟选择位
此位选择空闲计时器递减计数器的时钟源。

值	描述
0	空闲计时器由卡时钟 (ICx_CLK) 计时。
1	空闲计时器由波特时钟（ETU 时钟）计时。

[bit13] Stidt：启动空闲计时器位
此位用于启动空闲计时器。将此位设为 1，起动空闲计时器。
将 0 写入此位无效。读取值总为 0。

值	描述
0	无效。
1	起动空闲计时器。

[bit12] Guaen：保护计时器使能位
此位使能或禁用保护计时器。

值	描述
0	禁用保护计时器。
1	使能保护计时器。

[bit11] Resnd：传送器和接收器重新发送功能使能位

使能或禁用传送器和接收器重新发送功能。

在数据传送进程中，使能重新发送功能且检测到重新发送请求（发生奇偶校验错误）时，传送器将重新发送当前数据。

在数据接收进程中，使能重新发送功能且发生奇偶校验错误时，接收器将发出重新发送请求并等待接收下一帧。

值	描述
0	禁用重新发送功能。
1	使能重新发送功能。

注意事项：

- *发生传送重新发送时，将发送请求重新发送的数据帧，而不是 DATA 寄存器中的数据。未检测到任何重新发送请求时，才能发送 DATA 寄存器中的数据。*
- *发生接收重新发送时，当前数据帧（有奇偶校验错误）将不载入 DATA 寄存器，未使用 FIFO 时不将 STATUS.Rxful 设为 1；使用 FIFO 时，不得将有奇偶校验错误的数据帧输入读取 FIFO。*

[bit10] Ckmod：时钟生成模式选择位

确定时钟生成方法为软件或硬件。

选择软件时，ICx_CLK 上的输出电平取决于 PORTCONTROL 寄存器中 Clkpt 位 (PORTCONTROL.Clkpt) 的配置值。

选择硬件时，ICx_CLK 由 UART 模块内部生成。

值	描述
0	ICx_CLK 由硬件生成。
1	ICx_CLK 由软件生成。

[bit9] Iomod：数据产生模式选择位

- 确定数据生成方法为软件或硬件。
- 选择软件时，ICx_DATA 上的输出电平取决于 PORTCONTROL 寄存器中 Io1 位 (PORTCONTROL.Io1) 的配置值。
- 选择硬件时，ICx_DATA 由 UART 模块内部生成。

值	描述
0	ICx_DATA 由硬件生成。
1	ICx_DATA 由软件生成。

注意事项：

- *Iomod 被配置为 1 时，需要通过 PORTCONTROL 寄存器的 Io1en 位配置 ICx_DATA 输出使能。*

[bit8] Maskitexp：空闲计时器失效中断使能位

使能或禁用空闲计时器失效中断。

值	描述
0	禁用空闲计时器失效中断。
1	使能空闲计时器失效中断。

[bit7] Maskcaevent：卡事件检测中断使能位

使能或禁用 ICx_CIN 输入检测事件导致的中断。

值	描述
0	禁用卡事件中断。
1	使能卡事件中断。

[bit6] Masksti：启动位检测中断使能位

在接收模式中，使能或禁用 ICx_DATA 检测启动位导致的中断。

值	描述
0	禁用启动位检测中断。
1	使能启动位检测中断。

[bit5] Masktxemp: 传送数据寄存器空中断使能位

使能或禁用传送数据寄存器空导致的中断。

值	描述
0	禁用传送数据寄存器空中断。
1	使能传送数据寄存器空中断。

[bit4] Maskrxful：接收数据寄存器已满中断使能位

使能或禁用接收数据寄存器已满导致的中断。

值	描述
0	禁用接收数据寄存器已满中断。
1	使能接收数据寄存器已满中断。

[bit3] Mode8n1：传送器 8N2 协议选择位

此位为传送器选择 8N2 协议。此位对接收器无效。

为传送器选择 8E2/8O2 协议时，将此位设为 0。

值	描述
0	未选择传送器 8N2 协议。
1	选择传送器 8N2 协议。

[bit2] Frm1：数据帧编码风格选择位

选择数据帧编码风格，正向编码或逆向编码。

此位对启动位和停止位无效。

此位被设为 1 时，应配置奇数奇偶校验 (GLOBALCONTROL1.Parity=1)。

值	描述
0	正向编码（首先传送 LSB，低电平为逻辑零）。
1	逆向编码（首先传送 MSB 并反向，高电平为逻辑零）。

[bit1] Frm0：接收数据位长度配置位

数据位长度配置为 8 或 9。

仅对接收器有效。如果是传送器，数据位长度总为 8。

选择 8E1 或 8O1 协议时，将此位配置为 0。选择 9N1 协议时，将此位配置为 1。

值	描述
0	8 位数据长度。
1	9 位数据长度。

[bit0] Parity：奇数/偶数奇偶校验选择位

数据传送和接收的奇数/偶数奇偶校验选择位。

对数据传输，将根据此位配置生成输出奇偶校验位。

对数据接收，将根据此位配置检查输入数据奇偶校验位。

值	描述
0	偶数奇偶校验。
1	奇数奇偶校验。

6.2 状态寄存器 (STATUS)

状态寄存器 (STATUS) 用于检验当前传送/接收状态，检验接收错误标志，并清除接收错误标志。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	保留		RxResend	TxResend	RxStartErr	WrFifoEmp	RdFifoFul	RdFifoOvr
属性	-		R(*1)	R(*1)	R(*1)	R	R	R
初始值	-		0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	Idtrun	Recofl	CardEvent	CardDetect	Txact	Rxact	Rxful	Txemp
属性	R	R	R(*1)	R	R	R	R	R
初始值	0	0	0	0	0	0	0	1

*1: 此位为读取清除。

寄存器功能

[bit15:14] 保留：保留位

这些位的读取值总为 0。写入无效。

[bit13] RxResend：接收器重新发送标志位

在数据接收进程中若发生奇偶校验错误 GLOBALCONTROL1.Resnd =1，智能卡接口将发出重新发送请求，且此位将被设为 1。

读取 STATUS 寄存器后清除此位为 1。

值	描述
0	未发生接收器重新发送。
1	发生接收器重新发送。

[bit12] TxResend：传送器重新发送标志位

在数据传送进程中检测到重新发送请求 GLOBALCONTROL1.Resnd =1，传送器将重新发送先前数据帧，且此标志位将被设为 1。

读取 STATUS 寄存器后清除此位为 1。

值	描述
0	未发生传送器重新发送。
1	发生传送器重新发送。

[bit11] RxStartErr：接收启动位错误标志位

此位指示是否接收错误启动位。

接收错误启动位时，接收器将等待数据线上的下一启动位。

值	描述
0	无错误启动位。
1	接收错误启动位。

[bit10] WrFifoEmp：写入 FIFO 空标志位

此标志所示为写入 FIFO 的状态。

写入 FIFO 中的有效数据量低于 FIFO_MODE.WrFifoLevel 配置值时，此位将被设为 1。

写入 FIFO 中的有效数据量大于或等于 FIFO_MODE.WrFifoLevel 配置值时，此位将被清除为 0。

值	描述
0	写入 FIFO 不为空。
1	写入 FIFO 为空。

[bit9] RdFifoFul：读取 FIFO 已满标志位

此标志所示为读取 FIFO 的状态。

读取 FIFO 中的接收数据量超过 FIFO_MODE.RdFifoLevel 配置值时，此位将被设为 1。

读取 FIFO 中的接收数据量小于或等于 FIFO_MODE.RdFifoLevel 配置值时，此位将被清除为 0。

值	描述
0	读取 FIFO 未满。
1	读取 FIFO 已满。

[bit8] RdFifoOvr：读取 FIFO 上溢标志

此位指示读取 FIFO 是否上溢。

读取 FIFO 接收 16 字节数据并再多接收一个数据帧时，读取 FIFO 上溢，此位将被设为 1。

将 1 写入 ClrRdFifo bit of FIFO_CLEAR_MSB_READ 寄存器可将此位清除为 0。

值	描述
0	读取 FIFO 未上溢。
1	读取 FIFO 上溢。

[bit7] Idtrun：空闲计时器运行标志

此位指示空闲计时器是否仍在运行。

启动空闲计时器时，空闲计时器的递减计数器将启动运行且此位将被设为 1。

空闲计时器失效时，此位将被设为 0 且递减计数器将停止运行。

值	描述
0	空闲计时器停止。
1	空闲计时器仍在运行。

[bit6] Recofl：接收数据寄存器上溢标志

此位指示接收数据寄存器是否上溢。

CPU 未读取接收数据帧且接收另一数据帧时，将此位设为 1。

读取 DATA 寄存器将此位清除为 0。

值	描述
0	接收数据寄存器未上溢。
1	接收数据寄存器上溢。

[bit5] CardEvent：卡事件标志

此位指示检测到卡检测输入 (ICx_CIN) 出现变化。

ICx_CIN 输入出现电平变化时，将此位设为 1。

读取 STATUS 寄存器时，此位将清除为 0。

值	描述
0	无卡事件。
1	检测到卡事件。

[bit4] CardDetect：ICx_CIN 输入引脚上的电平

此位所示为 ICx_CIN 输入引脚上的电平。

值	描述
0	ICx_CIN 引脚上的电平为低电平。
1	ICx_CIN 引脚上的电平为高电平。

[bit3] Txact：传送器状态标志

此位所示为传送器的操作状态。

正在进行串行数据传送时，传送器为激活状态且此位将被设为 1。

无数据传送时，传送器空闲且此位将被设为 0。

值	描述
0	传送器空闲。
1	传送器激活。

[bit2] Rxact：接收器状态标志

此位所示为接收器的操作状态。

正在进行串行数据接收时，接收器为激活状态且此位将被设为 1。

无数据接收时，接收器空闲且此位将被设为 0。

值	描述
0	接收器空闲。
1	接收器为激活状态。

[bit1] Rxful：接收数据寄存器状态标志

此位指示接收数据寄存器的状态。

接收数据帧时，将此位设为 1。

读取 DATA 寄存器时，将此位设为 0。

值	描述
0	接收数据寄存器为空。
1	接收数据寄存器已满。

[bit0] Txemp：传送数据寄存器状态标志

此位指示传送数据寄存器的状态。

将数据帧写入 DATA 寄存器时，将此位设为 1。

DATA 寄存器中无数据时，将此位设为 0。

值	描述
0	传送数据寄存器已满。
1	传送数据寄存器为空。

6.3 端口控制寄存器 (PORTCONTROL)

端口控制寄存器用于控制智能卡接口端口的状态。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	VpenOutEn	VccOutEn	RstOutEn	ClkOutEn	保留		Vpen	Vccen
属性	R/W	R/W	R/W	R/W	-		R/W	R/W
初始值	0	0	0	0	-		0	0

位	7	6	5	4	3	2	1	0
字段	Rst	Clkpt	保留	Io1en	保留	Io1	保留	Trimod
属性	R/W	R/W	-	R/W	-	R/W	-	R/W
初始值	0	0	-	0	-	0	-	0

寄存器功能

[bit15] VpenOutEn：ICx_VPEN 输出使能位

此位使能 ICx_VPEN 的输出电平。

在数据通信前，将 1 写入此位使能 ICx_VPEN 输出。

此位被设为 0 时，不能保证 ICx_VPEN 的电平。

值	描述
0	ICx_VPEN 输出电平未保证。
1	ICx_VPEN 输出使能。

[bit14] VccOutEn：ICx_VCC 输出使能位

此位使能 ICx_VCC 的输出电平。

在数据通信前，将 1 写入此位使能 ICx_VCC 输出。

此位被设为 0 时，不能保证 ICx_VCC 的电平。

值	描述
0	ICx_VCC 输出电平未保证。
1	ICx_VCC 输出使能。

[bit13] RstOutEn：ICx_RST 输出使能位

此位使能 ICx_RST 的输出电平。

在数据通信前，将 1 写入此位使能 ICx_RST 输出。

此位被设为 0 时，不能保证 ICx_RST 的电平。

值	描述
0	ICx_RST 输出电平未保证。
1	ICx_RST 输出使能。

[bit12] ClkOutEn：ICx_CLK 输出使能位
此位使能 ICx_CLK 的输出电平。
在数据通信前，将 1 写入此位使能 ICx_CLK 输出。
此位被设为 0 时，不能保证 ICx_CLK 的电平。

值	描述
0	ICx_CLK 输出电平未保证。
1	ICx_CLK 输出使能。

[bit11:10] 保留：保留位
读取值总为 0。写入无效。

[bit9] Vpen：ICx_VPEN 输出值
写入此位设置 ICx_VPEN 输出的输出电平。

值	描述
0	低电平。
1	高电平。

[bit8] Vccen：ICx_VCC 输出值
写入此位设置 ICx_VCC 输出的输出电平。

值	描述
0	低电平。
1	高电平。

[bit7] Rst：ICx_RST 输出值
写入此位设置 ICx_RST 输出的输出电平。

值	描述
0	低电平。
1	高电平。

[bit6] Clkpt：ICx_CLK 输出值
GLOBALCONTROL1.Ckmod = 1 时，写入此位设置 ICx_CLK 的输出电平。

值	描述
0	低电平。
1	高电平。

[bit5] 保留：保留位
读取值总为 0。写入无效。

[bit4] Io1en：ICx_DATA 输出使能控制位

PORTCONTROL.Trimod= 1 时，写入此位使能/禁用 ICx_DATA 输出。

值	描述
0	ICx_DATA 输出使能。
1	ICx_DATA 输出禁用。

[bit3] 保留：保留位
读取值总为 0。写入无效。

[bit2] Io1：ICx_DATA 电平
GLOBALCONTROL1.Ckmod = 1 时，写入此位设置 ICx_DATA 的输出电平。
读取时，此位所示为 ICx_DATA 上的电平。

值	描述
0	低电平。
1	高电平。

[bit1] 保留：保留位
读取值总为 0。写入无效。

[bit0] Trimod：ICx_DATA 输出使能生成模式选择位
在数据传送进程中，此位选择 ICx_DATA 输出使能生成模式。

值	描述
0	ICx_DATA 输出使能由 UART 模块从内部控制。
1	ICx_DATA 输出使能由 PORTCONTROL.Io1en 控制。

6.4 数据寄存器 (DATA)

数据寄存器 (DATA) 是用于串行数据传送的 9 位数据缓冲寄存器。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	保留							Data[8]
属性				-				R/W
初始值				-				0

位	7	6	5	4	3	2	1	0
字段	Data[7:0]							
属性	R/W							
初始值	0x00							

寄存器功能

[bit15:9] 保留：保留位
读取值总为 0。写入无效。

[bit8:0] Data：传送/接收数据
在传送模式中，写入 DATA 寄存器，将传送 Data[7:0]。自动计算奇偶校验。
写入访问本寄存器，立即启动传送。
在 8 位帧接收模式中，Data[7:0] 将储存接收数据字节。Data[8] 将储存接收奇偶校验位，若有。
在 9N1 接收模式中，Data[8:0] 将储存接收数据帧。

传送模式	数据长度	Data[8]	Data[7:0]
数据接收	9 位	数据位	数据位
	8 位（无奇偶校验）	无效	数据位
	8 位（有奇偶校验）	奇偶校验位	数据位
数据传送	8 位	无效	数据位

6.5 卡时钟频率寄存器 (CARDCLOCK)

卡时钟频率寄存器基于 PCLK 配置卡时钟频率分频器。分频 PCLK 生成卡时钟输出 (ICx_CLK)。

寄存器配置

位	15	…	0
字段	ClkDivider[15:0]		
属性	R/W		
初始值	0x0028		

寄存器功能

[bit15:0] ClkDivider：卡时钟频率分频器

- 为此字段配置偶数值，配置为卡时钟频率分频器。
- 为此字段配置奇数值时，有效分频器将变成奇数值 + 1。

6.6 波特率寄存器 (BAUDRATE)

波特率寄存器用于调节波特率。波特率计算参考值为卡时钟频率。例如，要使 F/D = 31，将 BAUDRATE.Brreg 编程为 0x1F。

寄存器配置

位	15	14	…	0
字段	LittleStep	Brreg[14:0]		
属性	R/W	R/W		
初始值	0	0x0174		

寄存器功能

[bit15] LittleStep：波特率小步进位

激活此位（‘1’），波特时钟生成将增加 +0.5 卡时钟步进。这样，可以更精确调节波特率。

值	描述
0	禁用小步进功能。
1	使能小步进功能。

[bit14:0] Brreg：波特率寄存器位

这些位配置波特率发生器递减计数器的重载值。

6.7 保护计时器寄存器 (GUARDTIMER)

将 GLOBALCONTROL1.Guaen 设为 1，激活保护计时器。传送下一字符前，UART 传送器将等待 GUARDTIMER.Gtreg ETUs。通过任何发送或接收启动位激活保护计时器。保护计时器不影响接收器。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	保留							
属性	-							
初始值	-							

位	7	6	5	4	3	2	1	0
字段	Gtreg[7:0]							
属性	R/W							
初始值	0x00							

寄存器功能

[bit15:8] 保留：保留位
读取值总为 0。写入无效。

[bit7:0] Gtreg：ETU 中的保护时间
此位配置 ETU 中启动位单次传送的长度。

6.8 空闲计时器寄存器 (IDLETIMER)

空闲计时器为独立递减计数器，可通过波特率发生器的卡时钟 (IC1_CLK) 或 ETU 时钟计时（参见寄存器位：GLOBALCONTROL1.Idtsc）。传送器每次发送启动位或将 GLOBALCONTROL1.Stidt 设为 1 时，将重载启动值。起动空闲计时器时，将 (Idtreg - 1) 编程入递减计数器。

寄存器配置

位	15	…	0
字段	Idtreg[15:0]		
属性	R/W		
初始值	0x0000		

寄存器功能

[bit15:0] Idtreg：空闲计时器重载值

这些位配置空闲计时器递减计数器的重载值。将 Idtreg -1 编入空闲计时器。

6.9 全局控制寄存器 2 (GLOBALCONTROL2)

全局控制寄存器 2 (GLOBALCONTROL2) 用于使能/禁用智能卡接口并配置数据帧协议。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	保留							
属性	-							
初始值	-							

位	7	6	5	4	3	2	1	0
字段	保留				IccDisable	保留	InvDataOut	Rx8n1
属性	-				R/W	-	R/W	R/W
初始值	0				1	0	0	0

寄存器功能

[bit15:4] 保留：保留位
读取值为 0。写入无效。

[bit3] IccDisable：智能卡接口禁用/使能位
此位禁用或使能智能卡接口控制模块。
只有在使能智能卡接口时才能启动数据传送或接收。
不得在数据传送进程中将此位设为 1。

值	描述
0	使能智能卡接口。
1	禁用智能卡接口。

[bit2] 保留：保留位
读取值为 0。写入无效。

[bit1] InvDataOut：输出反向使能位
此位在数据传送进程做么个禁用或使能 ICx_DATA 电平反向。
只能反向输出数据。也可反向启动位和停止位。
硬件生成输出数据 (GLOBALCONTROL1.Iomod=0) 时，此位才有效。

值	描述
0	禁用 ICx_DATA 反向。
1	使能 ICx_DATA 反向。

[bit0] Rx8n1：接收器 8N1/8N2 协议选择位
此位为数据接收选择 8N1/8N2 协议。

值	描述
0	未选择接收器 8N1/8N2 协议。
1	选择接收器 8N1/8N2 协议。

6.10 FIFO 访问寄存器 (DATA_FIFO)

智能卡接口包括分别用于数据传送和数据接收的两个 16 字节 FIFO。达到指定电平时，可配置 FIFO 生成 IRQ。需要时，也可转储清除 FIFO。

FIFO 访问寄存器 (DATA_FIFO)用于读写 FIFO。可通过读取本寄存器，读取储存在读取 FIFO 中的接收数据。发出写入本寄存器的数据。写入本寄存器，将立即执行数据传送。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	保留							Data[8]
属性				-				R/W
初始值				-				0

位	7	6	5	4	3	2	1	0
字段	Data[7:0]							
属性	R/W							
初始值	0x00							

寄存器功能

[bit15:9] 保留：保留位

读取值总为 0。写入无效。

[bit8:0] Data：传送/接收数据

传送模式	数据长度	Data[8]	Data[7:0]
数据接收	9 位	数据位	数据位
	8 位（无奇偶校验）	无效	数据位
	8 位（有奇偶校验）	奇偶校验位	数据位
数据传送	8 位	无效	数据位

6.11 读取 FIFO 电平寄存器 (FIFO_LEVEL_READ)

读取 FIFO 电平寄存器 (FIFO_LEVEL_READ) 所示为读取 FIFO 中的数据帧量。

寄存器配置

位	15	…	0
字段	FifoRdLevel[15:0]		
属性	R		
初始值	0x0000		

寄存器功能

[bit15:0] FifoRdLevel：读取 FIFO 电平
各位代表单个 FIFO 时隙。此位为 ’1’ 时，使用 FIFO 时隙，否则不使用。

6.12 写入 FIFO 电平寄存器 (FIFO_LEVEL_WRITE)

写入 FIFO 电平寄存器 (FIFO_LEVEL_WRITE) 所示为写入 FIFO 中的数据帧量。

寄存器配置

位	15	…	0
字段	FifoWrLevel[15:0]		
属性	R		
初始值	0x0000		

寄存器功能

[bit15:0] FifoRdLevel：读取 FIFO 电平

各位代表单个 FIFO 时隙。此位为 ’1’ 时，使用 FIFO 时隙，否则不使用。

6.13 FIFO 模式寄存器 (FIFO_MODE)

FIFO 模式寄存器 (FIFO_MODE) 用于设置中断生成或状态设置 FIFO 电平。还用于使能/禁用 FIFO 及与 FIFO 有关的中断。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	RdFifoLevel[3:0]				WrFifoLevel[3:0]			
属性	R/W				R/W			
初始值	0000				0000			

位	7	6	5	4	3	2	1	0
字段	保留				RdFifoIrqEn	WrFifoIrqEn	RdFifoOvrIrqEn	FifoEn
属性	-				R/W	R/W	R/W	R/W
初始值	-				0	0	0	0

寄存器功能

[bit15:12] RdFifoLevel：读取 FIFO 电平

这些位为读取 FIFO 已满中断生成或状态标志设置读取 FIFO 电平。

读取 FIFO 中至少储存 RdFifoLevel + 1 数据帧时，可生成中断。

[bit11:8] WrFifoLevel：写入 FIFO 电平

这些位为写入 FIFO 空中断生成或状态标志设置写入 FIFO 电平。

写入 FIFO 中的数据帧少于 WrFifoLevel 时，可生成中断。

[bit7:4] 保留：保留位

读取值总为 0。写入无效。

[bit3] RdFifoIrqEn：读取 FIFO 已满中断使能位

此位使能/禁用读取 FIFO 已满中断生成。

值	描述
0	禁用读取 FIFO 已满中断。
1	使能读取 FIFO 已满中断。

[bit2] WrFifoIrqEn：写入 FIFO 空中断使能位

此位使能/禁用写入 FIFO 空中断生成。

值	描述
0	禁用写入 FIFO 空中断。
1	使能写入 FIFO 空中断。

[bit1] RdFifoOvrIrqEn：读取 FIFO 上溢中断使能位

此位使能/禁用读取 FIFO 上溢中断生成。

值	描述
0	禁用读取 FIFO 上溢中断。
1	使能读取 FIFO 上溢中断。

[bit0] FifoEn：FIFO 使能位

此位使能/禁用读取/写入 FIFO。

值	描述
0	禁用读取和写入 FIFO。
1	使能读取和写入 FIFO。

6.14 写入 FIFO 清除寄存器 (FIFO_CLEAR_MSB_WRITE)

写入此寄存器可清除写入 FIFO 中的数据。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	保留							
属性	-							
初始值	-							

位	7	6	5	4	3	2	1	0
字段	保留							ClrWrFifo
属性	-							R/W
初始值	-							0

寄存器功能

[bit15:1] 保留：保留位
读取值总为 0。写入无效。

[bit0] ClrWrFifo：写入 FIFO 清除位
将 1 写入此位，转储清除写入 FIFO 中的数据且写入 FIFO 将完全变空。

值	描述
0	不转储清除写入 FIFO。
1	转储清除写入 FIFO。

6.15 读取 FIFO 清除寄存器 (FIFO_CLEAR_MSB_READ)

写入此寄存器可清除读取 FIFO 中的数据。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	保留							
属性	-							
初始值	-							

位	7	6	5	4	3	2	1	0
字段	保留							ClrRdFifo
属性	-							R/W
初始值	-							0

寄存器功能

[bit15:1] 保留：保留位

读取值总为 0。写入无效。

[bit0] ClrRdFifo：读取 FIFO 清除位

将 1 写入此位，转储清除读取 FIFO 中的数据且读取 FIFO 将完全变空。

值	描述
0	不转储清除读取 FIFO。
1	转储清除读取 FIFO。

6.16 中断状态寄存器 (IRQ_STATUS)

本寄存器用于读取智能卡接口的中断状态。软件可使用本寄存器检查造成中断的是什么事件。

寄存器配置

位	15	14	13	12	11	10	9	8
字段	保留							
属性	-							
初始值	-							

位	7	6	5	4	3	2	1	0
字段	RxfullIrq	TxemplIrq	RxstbilIrq	CardEventIrq	IdtexplIrq	RdFifoIrq	WrFifoIrq	RdFifoOvrIrq
属性	R	R	R(*1)	R(*1)	R	R	R	R
初始值	0	0	0	0	0	0	0	0

*1: 此位为读取清除。

寄存器功能

[bit15:8] 保留：保留位

读取值总为 0。写入无效。

[bit7] RxfullIrq：接收数据寄存器已满中断标志位

此位指示接收数据寄存器已满造成的中断状态。

DATA 寄存器接收一个数据帧且 GLOBALCONTROL1.Maskrxful = 1 时，将此位设为 1。

读取 DATA 寄存器将此位清除为 0。

值	描述
0	无接收数据寄存器已满中断。
1	发生接收数据寄存器已满中断。

[bit6] TxemplIrq：传送数据寄存器空中断标志位

此位指示传送数据寄存器空造成的中断状态。

在传送模式中，DATA 寄存器中无数据且 GLOBALCONTROL1.Masktxemp = 1 时，将此位设为 1。

写入 DATA 寄存器将此位清除为 0。

值	描述
0	无传送数据寄存器空中断。
1	发生传送数据寄存器空中断。

[bit5] RxstbilIrq：接收启动位中断标志位

此位表示接收器在 ICx_DATA 引脚上检测到启动位导致的中断状态。

接收器检测到启动位且 GLOBALCONTROL1.Masksti = 1 时，将此位设为 1。

读取 IRQ_STATUS 寄存器将此位清除为 0。

值	描述
0	无接收启动位中断。
1	发生接收启动位中断。

[bit4] CardEventIrq：卡事件中断标志位

此位表示在 ICx_CIN 输入上检测到电平变化导致的中断状态。

在 ICx_CIN 输入上检测到电平变化且 GLOBALCONTROL1.Maskcaevent = 1 时，将此位设为 1。

读取 IRQ_STATUS 寄存器将此位清除为 0。

值	描述
0	未发生卡事件中断。
1	发生卡事件中断。

[bit3] IdtexpIrq：空闲计时器失效中断标志位

此位指示空闲计时器失效造成的中断状态。

空闲计时器失效且 GLOBALCONTROL1.Maskitexp = 1 时，将此位设为 1。

重新起动空闲计时器将此位清除为 0。

值	描述
0	无空闲计时器失效中断。
1	发生空闲计时器失效中断。

[bit2] RdFifoIrq：读取 FIFO 已满中断标志位

此位指示读取 FIFO 已满造成的中断状态。

读取 FIFO 中的数据帧量超过 FIFO_MODE.RdFifoLevel 配置值且 FIFO_MODE.RdFifoIrqEn= 1 时，将此位设为 1。

读取 FIFO 中的数据帧量小于或等于 FIFO_MODE.RdFifoLevel 配置值时，此位将被清除为 0。

值	描述
0	无读取 FIFO 已满中断。
1	发生读取 FIFO 已满中断。

[bit1] WrFifoIrq：写入 FIFO 空中断标志位

此位指示写入 FIFO 空造成的中断状态。

写入 FIFO 中的数据帧量低于 FIFO_MODE.WrFifoLevel 配置值且 FIFO_MODE.WrFifoIrqEn= 1 时，将此位设为 1。

写入 FIFO 中的数据帧量大于或等于 FIFO_MODE.WrFifoLevel 配置值时，此位将被清除为 0。

值	描述
0	无写入 FIFO 空中断。
1	发生写入 FIFO 空中断。

[bit0] RdFifoOvrIrq：读取 FIFO 上溢中断标志位

此位指示读取 FIFO 上溢造成的中断状态。

读取 FIFO 中的数据帧量达到 16、接收另一数据帧且 FIFO_MODE.RdFifoOvr = 1 时，将此位设为 1。

将 1 写入 FIFO_CLEAR_MSB_READ，将此位清除为 0。ClrRdFifo 刷新读取 FIFO。

值	描述
0	无读取 FIFO 上溢中断。
1	发生读取 FIFO 上溢中断。

第 7 章：I2CSLAVE

本章说明 I2CSLAVE 的功能。

1. 概述
2. 配置
3. 操作
4. 寄存器

代码：FIP024-C01.3

1. 概述

I2CSLAVE（I2C 从机功能，带唤醒功能）通过与从机地址的匹配支持 I2C 和唤醒功能。

I2CSLAVE 的特性

■ 与从机地址匹配

I2CSLAVE 具有 I2C 总线 7 位从机地址寄存器 (IBSADR)。若 I2C 总线从机地址寄存器 (IBSADR) 值与接收从机地址匹配，在确认收到时，I2CSLAVE 将自动输出 "L" 至 I2C 数据线 (SDA)。此外，可能禁用从机地址检测。

■ 从机地址屏蔽

关于 I2C 总线 7 位从机地址寄存器 (IBSADR) 设置的从机地址位，I2C 总线 7 位从机地址屏蔽寄存器 (IBSMSKR) 屏蔽的地址位检测从机地址是否匹配。

若接收从机地址与 I2C 总线 7 位从机地址屏蔽寄存器 (IBSMSKR) 屏蔽的 I2C 总线 7 位从机地址寄存器 (IBSADR) 值匹配，将把接收从机地址写入 I2C 总线从机地址寄存器 (IBSADR)。

■ 支持保留地址

若检测到任意保留地址（0000xxx 或 1111xxx），在确认之前将生成中断请求，然后读取接收数据。接收数据为接收保留地址。软件判断是否支持地址，然后 I2CSLAVE 在确认时输出 "L" 或 "H" 至 I2C 数据线 (SDA)。I2CSLAVE 支持保留地址（0000xxx 或 1111xxx），如何做到。

■ 中断请求

I2CSLAVE 支持传送中断请求，接收中断请求和状态中断请求。

■ 自动唤醒

CPU 处于待机模式状态时，若从机地址与接收地址匹配，I2CSLAVE 支持自动唤醒 CPU 的功能。I2CSLAVE 输出 "L" 至 I2C 时钟线 (SCL)，直到清除中断请求标志。

■ I2C 总线的速度

I2CSLAVE 支持标准模式 (Sm)、快速模式 (Fm) 和快速模式 + (Fm+)。

I2CSLAVE 不支持高速模式（Hs 模式）和超快速模式 (UFm)。

■ 支持 I2C 总线

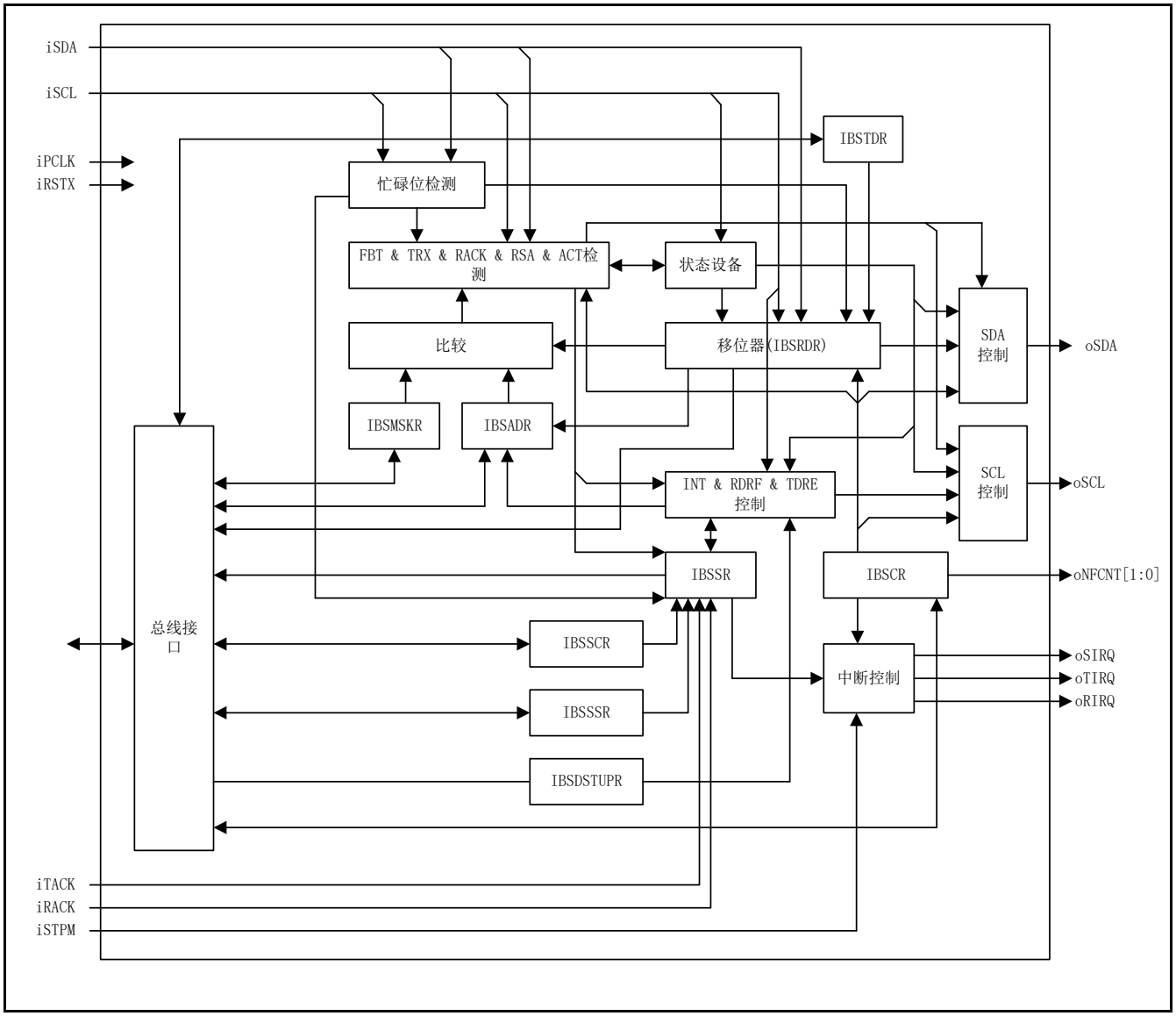
仅从机。I2CSLAVE 不支持以下协议：

CBUS、SMBus、PMBus、IPMI、ATCA、DDC

2. 配置

本节所示为 I2CSLAVE 的配置。

Figure 2-1I2CSLAVE 框图



3. 操作

本节说明 I2CSLAVE 的操作。

3.1. 从机地址

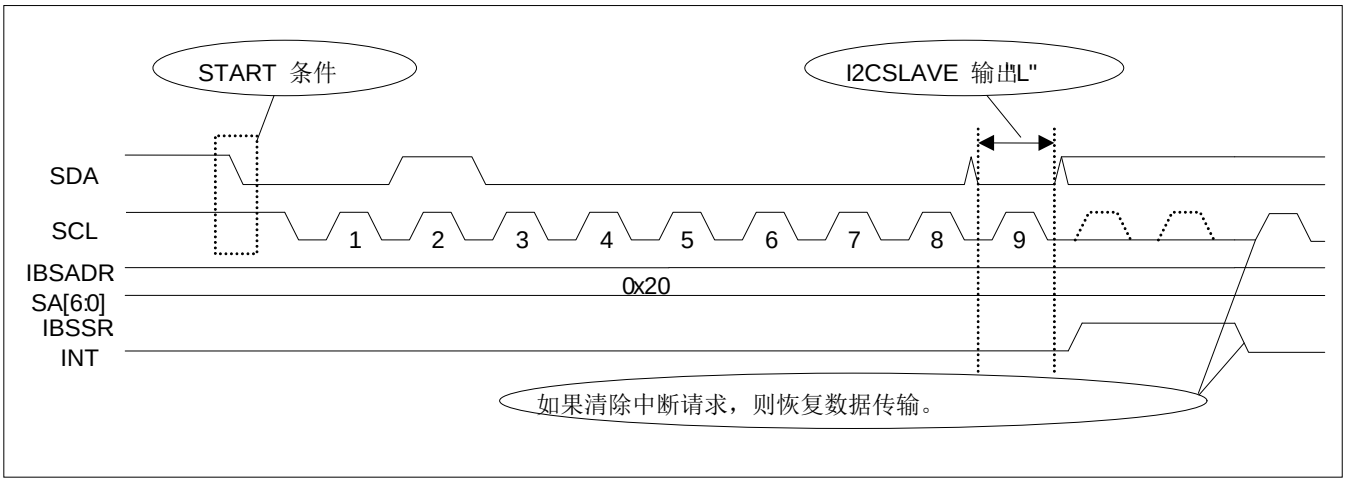
检测到 START 条件后，若接收从机地址与 I2C 总线 7 位从机地址寄存器 (IBSADR) 的设置从机地址匹配（若 IBSADR.SAEN="1"），I2CSLAVE 操作如下。

1) 确认时输出 "L" 至 I2C 数据线 (SDA)。然后，
2) 在确认后输出 "L" 至 I2C 时钟线 (SCL)。然后，
3) 将状态中断请求标志 (IBSSR.INT) 设为 "1"。

I2C 时钟线 (SCL) 为 "L" 时，数据传输停止。若状态中断请求标志 (IBSSR.INT) 被清除为 "0" （将 "1" 写入 IBSSCR.INTC），将恢复 I2C 时钟并启动数据传送或接收。

若接收从机地址与 I2C 总线 7 位从机地址寄存器 (IBSADR) 的设置从机地址不匹配，确认时 I2C 数据线 (SDA) 处于 "H" 状态，状态中断请求标志 (IBSSR.INT) 保持为 "0" 且 I2CSLAVE 将不执行传送和接收。

Figure 3–1 从机地址匹配操作(Ex. IBSADR.SA[6:0]=0x20)



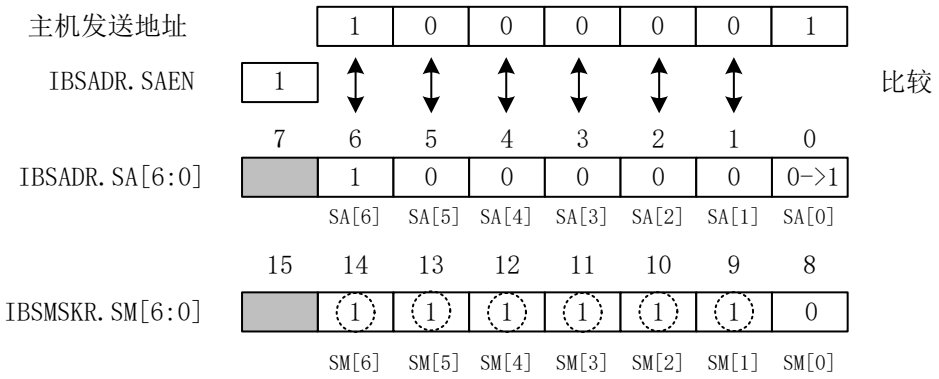
具有可屏蔽 I2C 总线 7 位从机地址寄存器 (IBSADR) 值的功能。

将 I2C 总线 7 位从机地址屏蔽寄存器 (IBSMSKR) 的任何 SM[6:0] 位设为 "0" 时，将屏蔽地址位，将视为位匹配并在确认后将接收数据写入 I2C 总线 7 位从机地址寄存器 (IBSADR) 的 SA[6:0] 位。

Ex) 若 IBSADR.SA[6:0]=0x40、IBSMSKR.SM[6:0]=0x7E：

若接收从机地址为 0x41，IBSMSKR.SM[0] 为 "0" 时，从机地址匹配，然后将 IBSADR.SA[6:0] 位更新为 0x41。

Figure 3-2 从机地址检测示例



3.2. 保留地址

若在使能保留地址检测 (IBSCR.RSVEN="1") 后，检测到任意保留地址（0000xxx 或 1111xxx），在确认前，将状态中断请求标志 (IBSSR.INT)、接收中断请求标志 (IBSSR.RDRF) 和保留地址检测标志 (IBSSR.RSA) 设为 "1"，且 I2CSLAVE 将输出 "L" 至 I2C 时钟线 (SCL)。若保留地址检测标志 (IBSSR.RSA) 为 "1" 且状态中断请求标志 (IBSSR.INT) 为 "1"，可读取接收数据 (IBSRDR) 证实接收地址和检测（传送或接收）。若为对应地址，写入等待选择位 (IBSCR.WSEL) 和数据字节确认使能位 (IBSCR.ACKE) 后，状态中断请求标志 (IBSSR.INT) 将被清除为 "0"。若接收数据第二个字节改变进程，将等待选择位 (IBSCR.WSEL) 设为 "1" 后，状态中断请求标志 (IBSSR.INT) 应被清除为 "0"。

检测保留地址后，接收下一字节时，I2CSLAVE 将输出 "L" 至 I2C 时钟线 (SCL)，若等待选择位 (IBSCR.WSEL) 为 "1"，将在确认前将状态中断请求标志 (IBSSR.INT) 和接收中断请求标志 (IBSSR.RDRF) 设为 "1"。若在读取数据第二个字节后继续通过数据接收数据，确认使能位 (IBSCR.ACKE) 为 "1"。若不继续，数据字节确认使能位 (IBSCR.ACKE) 将为 "0"。且状态中断请求标志 (IBSSR.INT) 将被清除。参考 Figure 3-4。

Figure 3-3 保留地址的中断请求时序
(扩展全呼地址, IBSCR.WSEL="0")

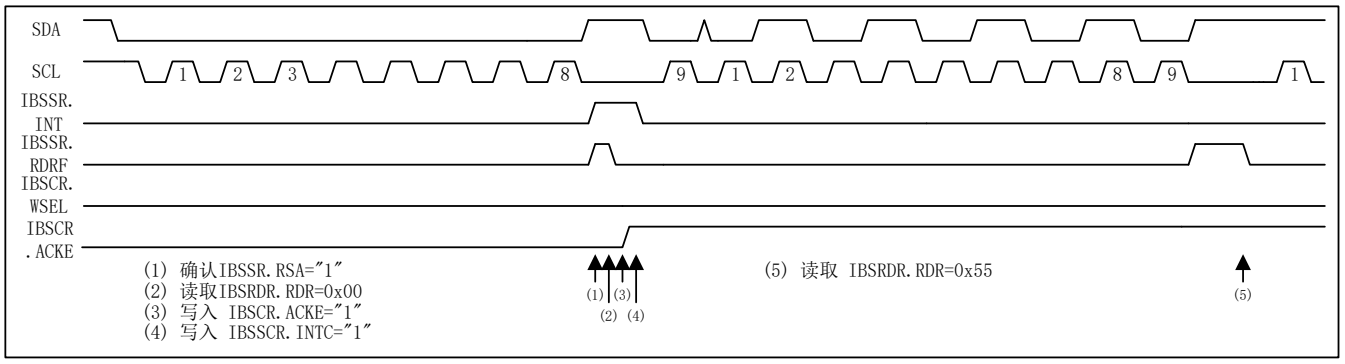
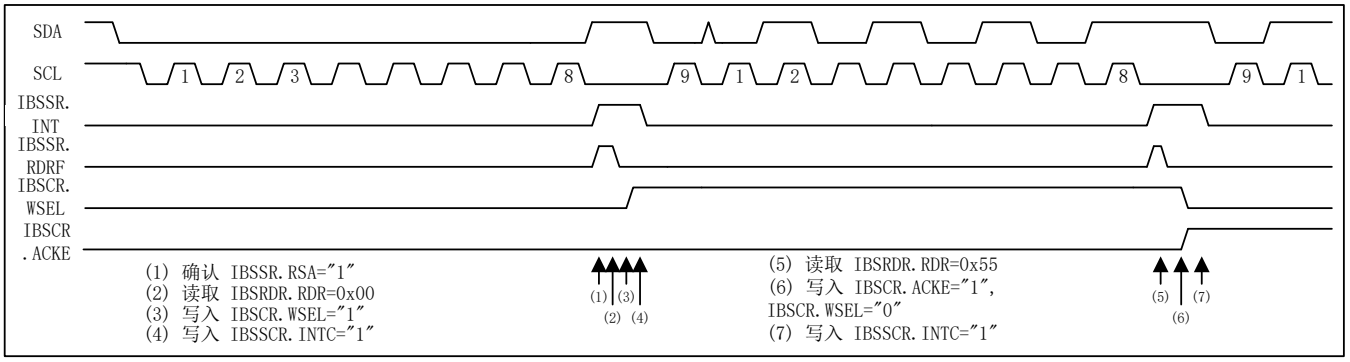


Figure 3-4 保留地址的中断请求时序
(扩展全呼地址, IBSCR.WSEL="1")



注意事项:

- *由于 I2CSLAVE 不支持保留地址中的 "START 字节"、"CBUS 地址"、"保留" 和 "Hs 模式主机编码"，接收时，I2CSLAVE 必须以 "未确认 (NACK)" 回应。.*

3.3. 数据传送和接收

接收从机地址时，I2CSLAVE 通过检测传送或接收方向显示数据方向标志 (IBSSR.TRX)。若从机地址匹配且状态中断请求标志 (IBSSR.INT) 被设为 "1"，将读取数据方向标志 (IBSSR.TRX)。若此标志为 "0"，方向为接收。若为 "1"，方向为传送。数据处理由此位操作。

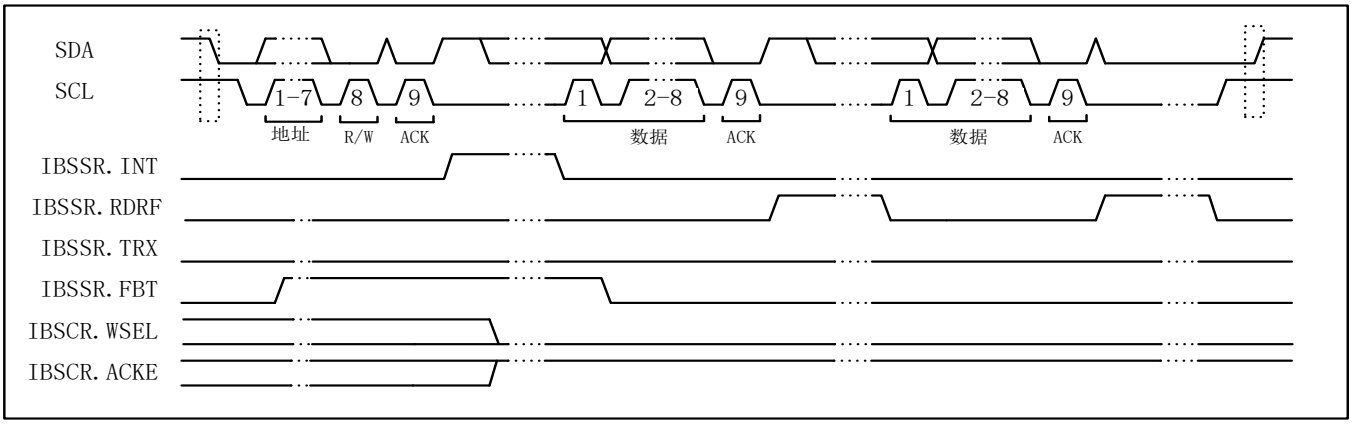
3.3.1. 数据接收

通过与从机地址匹配将状态中断请求标志 (IBSSR.INT) 设为 "1" 时，将执行以下步骤：

1) 将 "0" 写入等待选择位 (IBSCR.WSEL)，并将 "1" 写入数据字节确认使能位 (IBSCR.ACKE)。然后，
2) 清除状态中断请求标志 (IBSSR.INT)。
（将 "1" 写入状态中断请求标志 (IBSSR.INT)）

通过这些步骤启动数据接收。之后，I2CSLAVE 将在确认时输出 "L" 至 I2C 数据线 (SDA)，且 I2CSLAVE 将在确认后输出 "L" 至 I2C 时钟线 (SCL)、输出 "H" 至 I2C 数据线 (SDA) 并将接收中断请求标志 (IBSSR.RDRF) 设为 "1"。读取 I2C 总线从机接收数据寄存器 (IBSRDR) 中的接收数据，接收中断请求标志 (IBSSR.RDRF) 将被自动清除为 "0"，I2C 时钟线 (SCL) 将从 "L" 释放并启动下一数据接收。将继续至检测到 STOP 条件或 Re-START 条件。

Figure 3-5 数据接收



3.3.2. 数据传送

通过与从机地址匹配将状态中断请求标志 (IBSSR.INT) 设为 "1" 时，将执行以下步骤：

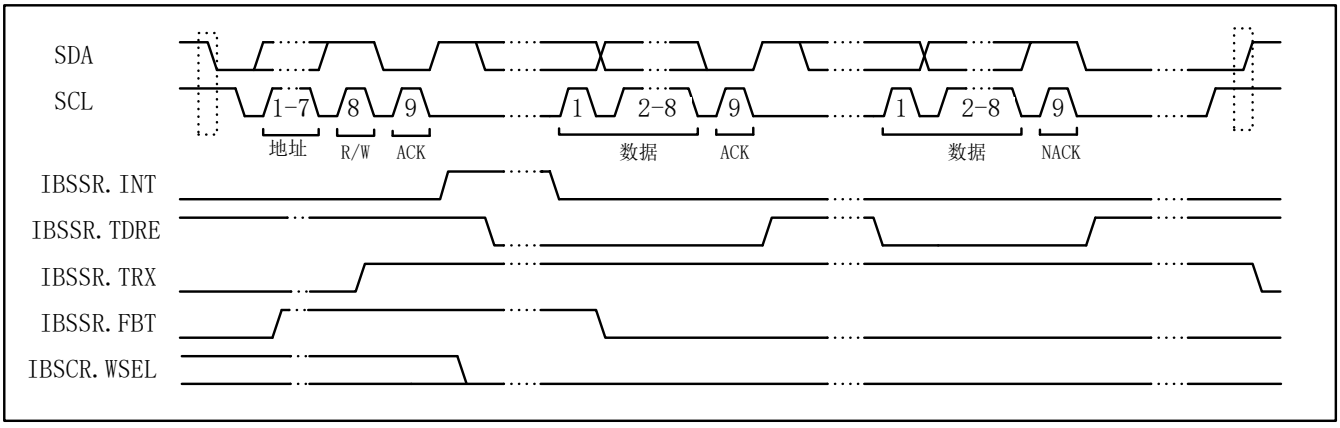
1) 将 "0" 写入等待选择位 (IBSCR.WSEL)，并将 "1" 写入数据字节确认使能位 (IBSCR.ACKE)。然后，
2) 将传送数据写入 I2C 总线从机传送数据寄存器 (IBSTDR)。然后，
3) 清除状态中断请求标志 (IBSSR.INT)。
   （将 "1" 写入状态中断请求标志 (IBSSR.INT)）

通过这些步骤启动数据传送。之后，I2CSLAVE 将在确认后输出 "L" 至 I2C 时钟线 (SCL)，并将传送数据空标志 (IBSSR.TDRE) 设为 "1"。检查确认标志 (IBSSR.RACK)，并通过此标志执行以下任意步骤：

- 若确认标志 (IBSSR.RACK) 为 "0"，将传送数据写入 I2C 总线从机传送数据寄存器 (IBSTDR)。或
- 若确认标志 (IBSSR.RACK) 为 "1"，将 "0" 写入传送中断请求使能位 (IBSCR.TIE) 并将状态中断请求标志 (IBSSR.INT) 清除为 "0"。

继续传送直至 I2CSLAVE 在确认时 (IBSSR.RACK="1") 检测到 "H" 至 I2C 数据线 (SDA)。若 I2C 屏蔽输出 "H" 至 I2C 数据线 (SDA)，接着 I2C 主机将生成 STOP 条件或 Re-START 条件，并完成传送。

Figure 3-6 数据传送



3.4. 唤醒

CPU 为待机模式状态时，操作时钟(iPCLK) 将停止且 I2CSLAVE 为低功耗模式状态。状态中断请求使能位 (IBSCR.INTE) 为 "1" 时，将在以下任意条件下生成中断请求且 CPU 将变为操作状态。I2CSLAVE 输出 "L" 至 I2C 时钟线 (SCL)，直到状态中断请求标志 (IBSSR.INT) 被清除为 "0"。若状态中断请求标志 (IBSSR.INT) 被清除为 "0"，将启动传送或接收。

- 从机地址使能位 (IBSADR.SAEN) 为 "1"时，接收从机地址匹配。或
- 保留地址使能位 (IBSCR.RSVEN) 为 "1"时，接收数据地址为任意保留地址（0000xxx 或 1111xxx）。

3.5. 中断请求

生成中断请求的条件如 Table 3-1 所示。

Table 3-1 发生中断请求的条件

中断请求	中断请求标志	中断请求使能	中断请求清除条件	中断请求设置条件
状态中断请求标志	IBSSR.INT="1"	IBSCR.INTE="1"	将 "1" 写入 IBSSCR.INTC	参考 4.1
重新启动条件检测标志	IBSSR.RSC="1"	IBSCR.CNDE="1"	将 "1" 写入 IBSSCR.RSCC	IBSSR.ACT="1" 时，检测 START 条件
停止条件检测标志	IBSSR.SPC="1"		将 "1" 写入 IBSSCR.SPCC	IBSSR.ACT="1" 时，检测 STOP 条件
接收中断请求标志	IBSSR.RDRF="1"	IBSCR.RIE="1"	读取 IBSRDR	接收数据或接收接收地址
传送数据空标志	IBSSR.TDRE="1"	IBSCR.TIE="1"	写入 IBSTDR	将 "1" 写入 IBSSSR.TDRES 或 IBSTDR 且移位器 (IBSSR.TRX="1") 为空

IBSSR：I2C 总线从机状态寄存器

IBSCR：I2C 总线从机控制寄存器

IBSSCR：I2C 总线从机状态清除寄存器

IBSSSR：I2C 总线从机状态设置寄存器

IBSTDR：I2C 总线从机传送数据寄存器

IBSRDR：I2C 总线从机接收数据寄存器

3.6. 数据设置时间

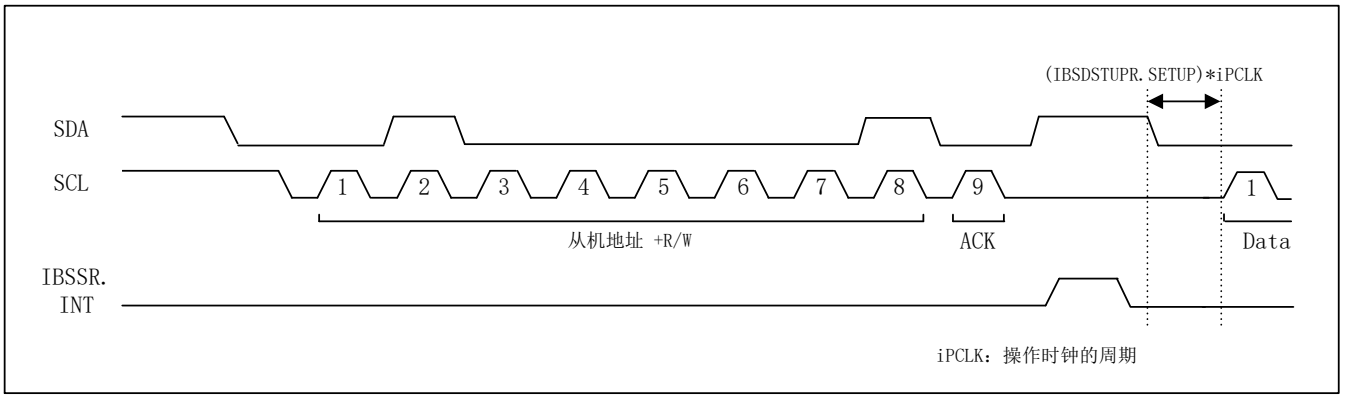
数据设置时间为 SDA 上升沿与 SCL 上升沿之间的时间。数据设置时间可由 IBSDSTUPR.SETUP[7:0] 设置。

数据设置时间由以下任意条件控制：

- 接收从机地址（传送方向）后清除状态中断请求。
- 接收保留地址（接收方向）后状态中断请求时将 IBSCR.ACKE 位设为 "1"，并清除状态中断请求。
- 接收保留地址（传送方向）后状态中断请求时将 IBSCR.ACKE 位设为 "1"，并清除状态中断请求。
- 接收数据后接收中断请求时将 IBSCR.ACKE 位设为 "1"，并清除接收中断请求。
- 传送数据和接收确认 (IBSCR.WSEL="0") 后清除传送中断请求。

例如，Figure 3-7 所示为接收从机地址（传送方向）后清除状态中断请求时的数据设置时间。

Figure 3-7 接收从机地址(传送方向) 后如果清除状态中断请求时的数据启动时间



3.7. 操作步骤示例

本节说明操作步骤示例。

■ 初始化

1) 设置 IBSCR
写入 NFCNT="00"、RSVEN="0" 或 "1", ACKE="1"、WSEL="0"、CNDE="0"、INTE="1"、RIE="1"、TIE="0"。
2) 设置 IBSDSTUPR
在 I2C 数据线 (SDA) 和 I2C 时钟线 (SCL)之间写入数据设置时间。
3) 设置 IBSADR
写入 SAEN="1"、SA[6:0]=7 位从机地址。
4) 设置 IBSMSKR
写入 EN="1"、SM[6:0]=7 位从机地址屏蔽。

■ 状态中断请求（中断请求由 IBSSR.INT 生成）

1) 若 IBSSR.RSA="0"，转向 2)。若 IBSSR.RSA="1"，转向 15)。
2) 若 IBSSR.FBT="1"，转向 3)。若 IBSSR.FBT="0"，转向 11)。
3) 若 IBSSR.TRX="1"，转向 4)。若 IBSSR.TRX="0"，转向 8)。
4) 将传送数据写入 IBSTDR。
5) 写入 IBSCR.TIE="1"、IBSCR.WSEL="0"、IBSCR.ACKE="1"。
6) 写入 IBSSCR.INTC="1"。
7) 完成。
8) 写入 IBSCR.RIE="1"、IBSCR.WSEL="0"、IBSCR.ACKE="1"。
9) 写入 IBSSCR.INTC="1"。
10) 完成。
11) 写入 TIE="0"。
12) 写入 IBSSSR.TDRES="1"。
13) 写入 IBSSCR.INTC="1"。
14) 完成。
15) 若 IBSSR.FBT="1"，转向 16)。若 IBSSR.FBT="0"，转向 26)。
16) 读取 IBSRDR
17) 若支持保留地址，转向 18)。若不支持，转向 23)。
18) 若有必要确认数据的第二个字节，转向 19)。若不需要，转向 20)。
19) 写入 IBSCR.WSEL="1"。
20) 写入 IBSCR.ACKE="1"。
21) 写入 IBSSCR.INTC="1"。
22) 完成。
23) 写入 IBSCR.ACKE="0"。
24) 写入 IBSSCR.INTC="1"。
25) 完成。
26) 读取 IBSRDR（数据的第二个字节）。
27) 若支持数据（第二个地址），转向 28)。若不支持，转向 31)。
28) 写入 IBSCR.WSEL="0"、IBSCR.ACKE="1"。
29) 写入 IBSSCR.INTC="1"。
30) 完成。
31) 写入 IBSCR.WSEL="0"、IBSCR.ACKE="0"。
32) 写入 IBSSCR.INTC="1"。

33) 完成。

若不支持保留地址，可删除第 15) 步及后续步骤。

- 接收中断请求（中断请求由 IBSSR.RDRF 生成）
  1) 读取 IBSRDR
  2) 完成。

- 传送中断请求（中断请求由 IBSSR.TDRE 生成）
  1) 将传送数据写入 IBSTDR。
  2) 完成。

4. 寄存器

本节说明 I2CSLAVE 的寄存器。

Table 4-1 I2CSLAVE 寄存器列表

缩写	寄存器名称	参考章节
IBSSR	I2C 总线从机状态寄存器	4.1
IBSCR	I2C 总线从机控制寄存器	4.2
IBSADR	I2C 总线 7 位从机地址寄存器	4.3
IBSMSKR	I2C 总线 7 位从机地址屏蔽寄存器	4.4
IBSDSTUPR	I2C 总线从机数据设置寄存器	4.5
IBSTDR	I2C 总线从机传送数据寄存器	4.6
IBSRDR	I2C 总线从机接收数据寄存器	4.7
IBSSCR	I2C 总线从机状态清除寄存器	4.8
IBSSSR	I2C 总线从机状态设置寄存器	4.9

4.1. I2C 总线从机状态寄存器 (IBSSR)

I2C 总线从机状态寄存器 (IBSSR) 显示各中断请求标志、首字节、确认数据、保留地址、传送或接收方向、I2CSLAVE 状态、Re-START 条件和 STOP 条件检测、I2C 总线状态的生成。若禁用 I2CSLAVE (IBSMSKR.EN="0")，将初始化本寄存器。

位	15	14	13	12	11	10	9	8
字段	保留	保留	保留	保留	保留	INT	RDRF	TDRE
属性	-	-	-	-	-	R	R	R
初始值	0	0	0	0	0	0	0	1

位	7	6	5	4	3	2	1	0
字段	FBT	RACK	RSA	TRX	ACT	RSC	SPC	BB
属性	R	R	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0

[bit15:11] 保留：保留位

这些位始终写入 "0"。读取值为 "0"。

[bit10] INT：状态中断请求标志

满足以下任意条件时，将此标志设置为 "1"：

- IBSADR.SAEN 为 "1" 时，接收从机地址与 IBSADR.SA[6:0] 值匹配。(IBSMSKR.SM[6:0] 中的地址位设为 "0"，可判断为匹配)，或
- IBSCR.RSVEN 为 "1" 时，接收任意保留地址（0000xxxx 或 1111xxx。或
- IBSCR.WSEL 为 "1" 且 IBSSR.RSA 为"1"时，接收第二个字节。或
- IBSSR.TRX 为 "1" 时，接收 "未确认 (NACK)"。

若将 "1" 写入 I2C 总线从机状态清除寄存器 (IBSSCR) 中的状态中断请求标志清除位 (INTC)，将此标志清除为 "0"。

位	描述	
	读取	写入
0	未检测到状态中断请求条件	无效
1	检测到状态中断请求条件	无效

[bit9] RDRF：接收中断请求标志

接收数据第二个及后续字节或接收首字节的任意保留地址（0000xxx 或 1111xxx）时，此标志将被设为 "1"。

从 I2C 总线从机接收数据寄存器 (IBSRDR) 读取接收数据时，此标志将被清除为 "0"。

位	描述	
	读取	写入
0	未检测到接收中断请求条件	无效
1	检测到接收中断请求条件	无效

[bit8] TDRE： 传送数据空标志

若在传送进程中传送数据为空或将 "1" 写入 I2C 总线从机状态设置寄存器 (IBSSSR) 中的传送数据空标志设置位 (TDRES)，此标志将被设为 "1"。

将传送数据写入 I2C 总线从机传送数据寄存器 (IBSTDR) 时，此标志将被清除为 "0"。

位	描述	
	读取	写入
0	未检测到传送中断请求条件	无效
1	检测到传送中断请求条件	无效

[bit7] FBT：首字节标志

在 START 条件后接收首字节时，将此标志设置为 "1"。I2C 总线传送第二个字节或后续字节数据传送或接收时，此标志将被清除为 "0"。

位	描述	
	读取	写入
0	I2C 总线空闲、或第二个字节和后续字节的传送或接收	无效
1	首字节接收	无效

注意事项：

- *满足以下任意条件时，此标志有效。*
  - *状态中断请求标志 (INT) 为 "1"。*
  - *接收中断请求标志 (RDRF) 为 "1"。*
  - *接收首字节后，传送数据空标志 (TDRE) 为 "1" 且数据方向标志 (TRX) 为 "1"。*

[bit6] RACK：确认标志

此标志所示为确认时的接收数据。

位	描述	
	读取	写入
0	确认时 I2C 数据线 (SDA) 为 "L"。	无效
1	确认时 I2C 数据线 (SDA) 为 "H"。	无效

注意事项：

- *满足以下任意条件时，此标志有效。*
  - *状态中断请求标志 (INT) 为 "1"。*
  - *接收中断请求标志 (RDRF) 为 "1"。*
  - *接收首字节后，传送数据空标志 (TDRE) 为 "1" 且数据方向标志 (TRX) 为 "1"。*

[bit5] RSA：保留地址检测标志

检测到首字节中的任意保留地址时，此标志将被设为 "1"。检测到 START 条件或 STOP 条件时，此标志将被清除为 "0"。

位	描述	
	读取	写入
0	未检测到保留地址	无效
1	检测到保留地址	无效

注意事项：

- *满足以下任意条件时，此标志有效。*
  - *状态中断请求标志 (INT) 为 "1"。*
  - *接收中断请求标志 (RDRF) 为 "1"。*
  - *接收首字节后，传送数据空标志 (TDRE) 为 "1" 且数据方向标志 (TRX) 为 "1"。*

[bit4] TRX：数据方向标志

此标志所示为首字节中的 bit0。首字节中的 bit0 确定传送或接收。

位	描述	
	读取	写入
0	接收	无效
1	传送	无效

注意事项：

- *满足以下任意条件时，此标志有效。*
  - *状态中断请求标志 (INT) 为 "1"。*
  - *接收中断请求标志 (RDRF) 为 "1"。*
  - *接收首字节后，传送数据空标志 (TDRE) 为 "1" 且数据方向标志 (TRX) 为 "1"。*

[bit3] ACT：活动标志

此标志显示 I2CSLAVE 是否用作 I2C 总线从机。

位	描述	
	读取	写入
0	未用作从机	无效
1	用作从机	无效

注意事项：

- *满足以下任意条件时，此标志有效。*
  - *状态中断请求标志 (INT) 为 "1"。*
  - *接收中断请求标志 (RDRF) 为 "1"。*
  - *接收首字节后，传送数据空标志 (TDRE) 为 "1" 且数据方向标志 (TRX) 为 "1"。*

[bit2] RSC：重新启动条件检测标志

ACT 标志为 "1" 时，若检测到 START 条件，此标志将被设为 "1"。若将 "1" 写入 I2C 总线从机状态清除寄存器 (IBSSCR) 中的重新启动条件检测标志清除位 (RSCC)，将此标志清除为 "0"。

位	描述	
	读取	写入
0	未检测到重新启动条件	无效
1	检测到重新启动条件	无效

[bit1] SPC：停止条件检测标志

ACT 标志为 "1" 时，若检测到 STOP 条件，此标志将被设为 "1"。若将 "1" 写入 I2C 总线从机状态清除寄存器 (IBSSCR) 中的停止条件检测标志清除位 (SPCC)，将此标志清除为 "0"。

位	描述	
	读取	写入
0	未检测到 STOP 条件	无效
1	检测到 STOP 条件	无效

[bit0] BB：总线忙碌标志

若检测到 START 条件，此标志将被设为 "1"。若检测到 STOP 条件，此标志将被清除为 "0"。

位	描述	
	读取	写入
0	I2C 总线空闲	无效
1	I2C 总线忙碌	无效

4.2. I2C 总线从机控制寄存器 (IBSCR)

I2C 总线从机控制寄存器 (IBSCR) 用于控制噪声滤波器、使能检测保留地址、使能输出确认、选择等待时间、或使能生成各中断请求。禁用 I2CSLAVE (IBSMSKR.EN="0") 时，本寄存器无效。

位	15	14	13	12	11	10	9	8
字段	保留	保留	保留	保留	保留	保留	NFCNT[1:0]	
属性	-	-	-	-	-	-	R/W	
初始值	0	0	0	0	0	0	00	

位	7	6	5	4	3	2	1	0
字段	RSVEN	保留	ACKE	WSEL	CNDE	INTE	RIE	TIE
属性	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

[bit15:10] 保留：保留位

这些位始终写入 "0"。读取值为 "0"。

[bit9:8] NFCNT[1:0]：噪声滤波器控制位

这些位使能或禁用噪声滤波器。

NFCNT[1:0]	描述
00	使能
01	不允许
10	不允许
11	禁用

注意事项：

- *禁用 I2CSLAVE (IBSMSKR.EN="0") 时，此位必须改变。*

[bit7] RSVEN：保留地址使能位

此位使能或禁用保留地址（0000xxx 或 1111xxx）检测。

位	描述
0	禁用
1	使能

注意事项：

- *禁用 I2CSLAVE (IBSMSKR.EN="0") 时，此位必须改变。*

[bit6] 保留：保留位

此位始终写入 "0"。读取值为 "0"。

[bit5] ACKE：确认使能位

I2CSLAVE 为接收状态 (IBSSR.TRX="0") 时，此位选择 I2CSLAVE 是否在确认时输出 "L" 至 I2C 数据线 (SDA)。

位	描述
0	输出 NACK（输出 "H"）
1	输出 ACK（输出 "L"）

注意事项：

- *满足以下任意条件时，此位必须改变。*
  - *禁用 I2CSLAVE (IBSMSKR.EN="0")，或*
  - *状态中断请求标志 (IBSSR.INT) 为 "1"，或*
  - *接收中断请求标志 (IBSSR.RDRF) 为 "1"。*

[bit4] WSEL：等待选择位

在确认第二个字节及后续字节的传送或接收之前或之后，此位选择停止 I2C 总线 (SCL="L") 。若停止 I2C 总线，将生成任何状态中断请求、接收中断请求和/或传送中断请求。

位	描述
0	确认之后
1	确认之前

注意事项：

- *满足以下任意条件时，此位必须改变。*
  - *禁用 I2CSLAVE (IBSMSKR.EN="0")，或*
  - *状态中断请求标志 (IBSSR.INT) 为 "1"，或*
  - *接收中断请求标志 (IBSSR.RDRF) 为 "1"，或*
  - *传送数据空标志 (IBSSR.TDRE) 为 "1" 且 I2CSLAVE 为传送状态 (IBSSR.TRX="1")。*

[bit3] CNDE：条件检测中断请求使能位

使能或禁用重新启动条件检测标志 (IBSSR.RSC) 或停止条件检测标志 (IBSSR.SPC) 生成中断请求。

位	描述
0	禁用
1	使能

[bit2] INTE：状态中断请求使能位

使能或禁用状态中断请求标志 (IBSSR.INT) 生成中断请求。

位	描述
0	禁用
1	使能

[bit1] RIE ：接收中断请求使能位

使能或禁用接收中断请求标志 (IBSSR.RDRF) 生成中断请求。

位	描述
0	禁用
1	使能

[bit0] TIE：传送中断请求使能位

使能或禁用传送数据空标志 (IBSSR.TDRE) 生成中断请求。

位	描述
0	禁用
1	使能

4.3. I2C 总线 7 位从机地址寄存器 (IBSADR)

I2C 总线 7 位从机地址寄存器 (IBSADR) 用于使能检测接收从机地址与从机地址设置值的匹配度。禁用 I2CSLAVE (IBSMSKR.EN="0") 时，本寄存器必须改变。

位	7	6	5	4	3	2	1	0
字段	SAEN	SA[6:0]						
属性	R/W	R/W						
初始值	0	0000000						

[bit7] SAEN：从机地址使能位

此位使能或禁用比较从机地址值与接收从机地址。

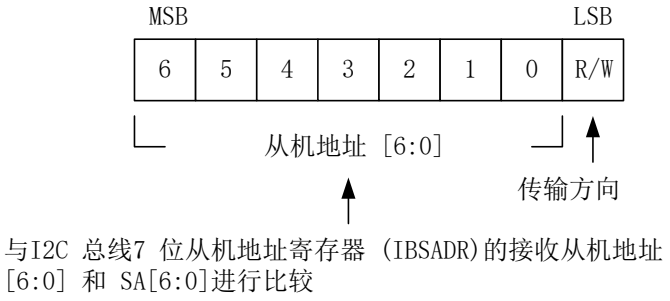
位	描述
0	禁用
1	使能

[bit6:0] SA[6:0]：从机地址值位

这些位设置 7 位从机地址值

- 使能从机地址检测 (SAEN="1") 时，从机地址值位 (SA[6:0]) 与检测到(Re-)START 条件后已接收到的 7 位数据进行比较。若匹配，I2CSLAVE 将以从机模式操作并输出确认 (ACK)。此时，将在本寄存器中设置接收从机地址（若 SAEN="0"，将不输出确认 (NACK)）。
- 检测到 (Re-)START 条件后，首字节将包含 7 位从机地址和传输方向。比较接收从机地址和这些位。

Figure 4-1 检测到 (Re-)START 条件后的首字节格式



- 若 IBSMSKR.SM[n] (n=6-0) 被设为 "0"，不比较对应的从机地址 [n] (n=6-0)。

SA[6:0]	描述
0x00-0x3F	7 位从机地址

4.4. I2C 总线 7 位从机地址屏蔽寄存器 (IBSMSKR)

I2C 总线 7 位从机地址屏蔽寄存器 (IBSMSKR) 用于使能 I2CSLAVE 或设置 7 位从机地址的屏蔽信息。禁用 I2CSLAVE (EN="0") 时，SM[6:0] 位必须改变。

位	7	6	5	4	3	2	1	0
字段	EN	SM[6:0]						
属性	R/W	R/W						
初始值	0	1111111						

[bit7] EN：操作使能位

使能或禁用 I2CSLAVE 操作。

位	描述
0	禁用
1	使能

[bit6:0] SM[6:0]：从机地址屏蔽位

这些位设置 7 位从机地址的屏蔽信息。由于未比较屏蔽位，视为匹配。

SM[n]	描述
0	未比较
1	比较

n=6, 5, 4, 3, 2, 1, 0

4.5. I2C 总线从机数据设置寄存器 (IBSDSTUPR)

I2C 总线从机数据设置寄存器 (IBSDSTUPR) 在 I2C 数据线 (SDA) 和 I2C 时钟线 (SCL)之间设置设置时间。本时间单元为操作时钟周期 (iPCLK)。禁用 I2CSLAVE (IBSMSKR.EN="0") 时，本寄存器必须改变。

位	7	6	5	4	3	2	1	0
字段	SETUP[7:0]							
属性	R/W							
初始值	11111111							

[bit7:0] SETUP[7:0]：设置位

这些位在 I2C 数据线 (SDA) 和 I2C 时钟线 (SCL)之间设置设置时间。

SETUP[7:0]	描述
0x00	0
0x01	1 x iPCLK 周期
0x02	2 x iPCLK 周期
0x03	3 x iPCLK 周期
0xFF	255 x iPCLK 周期

4.6. I2C 总线从机传送数据寄存器 (IBSTDR)

I2CSLAVE 在 I2C 总线上输出写入 I2C 总线从机传送数据寄存器 (IBSTDR) 的数据。

位	7	6	5	4	3	2	1	0
字段	TDR[7:0]							
属性	R/W							
初始值	11111111							

[bit7:0] TDR[7:0]：传送数据位

将传送数据写入这些位。

注意事项：

- *传送数据空标志 (IBSSR.TDRE) 为 "0" 时，不将值写入本寄存器。*
- *接收首字节中的状态中断请求标志 (IBSSR.INT) 为 "1" 且数据方向标志 (IBSSR.TRX) 为 "1" 时，将传送数据写入本寄存器。*

4.7. I2C 总线从机接收数据寄存器 (IBSRDR)

I2C 总线从机接收数据寄存器 (IBSRDR) 保存接收数据。

位	7	6	5	4	3	2	1	0
字段	RDR[7:0]							
属性	R							
初始值	11111111							

[bit7:0] RDR[7:0]：接收数据位

接收数据保存在这些位中。

注意事项：

- *接收中断请求标志 (IBSSR.RDRF) 为 "1" 时，本寄存器有效。*

4.8. I2C 总线从机状态清除寄存器 (IBSSCR)

I2C 总线从机状态清除寄存器 (IBSSCR) 用于将状态中断请求标志 (IBSSR.INT)、重新启动条件检测标志 (IBSSR.RSC) 和停止条件检测标志 (IBSSR.SPC) 清除为 "0"。

位	15	14	13	12	11	10	9	8
字段	保留	保留	保留	保留	保留	INTC	保留	保留
属性	-	-	-	-	-	W	-	-
初始值	0	0	0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	保留	保留	保留	保留	保留	RSCC	SPCC	保留
属性	-	-	-	-	-	W	W	-
初始值	0	0	0	0	0	0	0	0

[bit15:11] 保留：保留位

这些位始终写入 "0"。读取值为 "0"。

[bit10] INTC：状态中断请求标志清除位

将 "1" 写入此位时，状态中断请求标志 (IBSSR.INT) 将被清除为 "0"。读取值为 "0"。

位	描述
	写入
0	无效
1	状态中断请求标志 (IBSSR.INT) 被清除为 "0"

[bit9:3]保留：保留位

这些位始终写入 "0"。读取值为 "0"。

[bit2] RSCC：重新启动条件检测标志清除位

将 "1" 写入此位时，重新启动条件检测标志 (IBSSR.RSC) 将被清除为 "0"。读取值为 "0"。

位	描述
	写入
0	无效
1	重新启动条件检测标志 (IBSSR.RSC) 被清除为 "0"。

[bit1] SPCC：停止条件检测标志清除位

将 "1" 写入此位时，停止条件检测标志 (IBSSR.SPC) 将被清除为 "0"。读取值为 "0"。

位	描述
	写入
0	无效
1	停止条件检测标志 (IBSSR.SPC) 被清除为 "0"。

[bit0] 保留：保留位

此位始终写入 "0"。读取值为 "0"。

4.9. I2C 总线从机状态设置寄存器 (IBSSSR)

I2C 总线从机状态设置寄存器 (IBSSSR) 用于将传送数据空标志 (IBSSR.TDRE) 设为 "1"。

位	15	14	13	12	11	10	9	8
字段	保留	保留	保留	保留	保留	保留	保留	TDRES
属性	-	-	-	-	-	-	-	W
初始值	0	0	0	0	0	0	0	0

位	7	6	5	4	3	2	1	0
字段	保留	保留	保留	保留	保留	保留	保留	保留
属性	-	-	-	-	-	-	-	-
初始值	0	0	0	0	0	0	0	0

[bit15:9] 保留：保留位

这些位始终写入 "0"。读取值为 "0"。

[bit8] TDRES：传送数据空标志设置位

将 "1" 写入此位时，传送数据空标志 (IBSSR.TDRE) 将被设为 "1"。读取值为 "0"。

位	描述
	写入
0	无效
1	传送数据空标志 (IBSSR.TDRE) 被设为 "1"

[bit7:0] 保留：保留位

这些位始终写入 "0"。读取值为 "0"。

附录

本章说明寄存器映射及注意事项列表。

A. 产品类型
B. 寄存器映射 (TYPE1-M0+)
C. 寄存器映射 (TYPE2-M0+)
D. 寄存器映射 (TYPE3-M0+)
E. 注意事项列表

代码：9AFAPPENDIXES-C03.0

A. 产品类型

本节说明产品类型。

1. 产品类型列表

1. 产品类型列表

本《手册》中，产品分类及描述如下。

有关 "TYPE1-M0+"、 “TYPE2-M0+” 和 “TYPE3-M0+” 等的描述，参见下表中 FM0+ 产品相关项：

Table 1-1 FM0+家族 TYPE1-M0+ 产品列表

类型	闪存大小	
	56 Kbytes	**88 Kbytes**
TYPE1-M0+	S6E1A11B S6E1A11C	S6E1A12B S6E1A12C

Table 1-2 FM0+家族 TYPE2-M0+产品列表

类型	闪存大小	
	304K bytes	**560K bytes**
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 1-3 FM0+家族 TYPE3 产品列表

类型	闪存大小	
	64K bytes	128K bytes
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

B. 寄存器映射(TYPE1-M0+)

本章说明寄存器映射图。

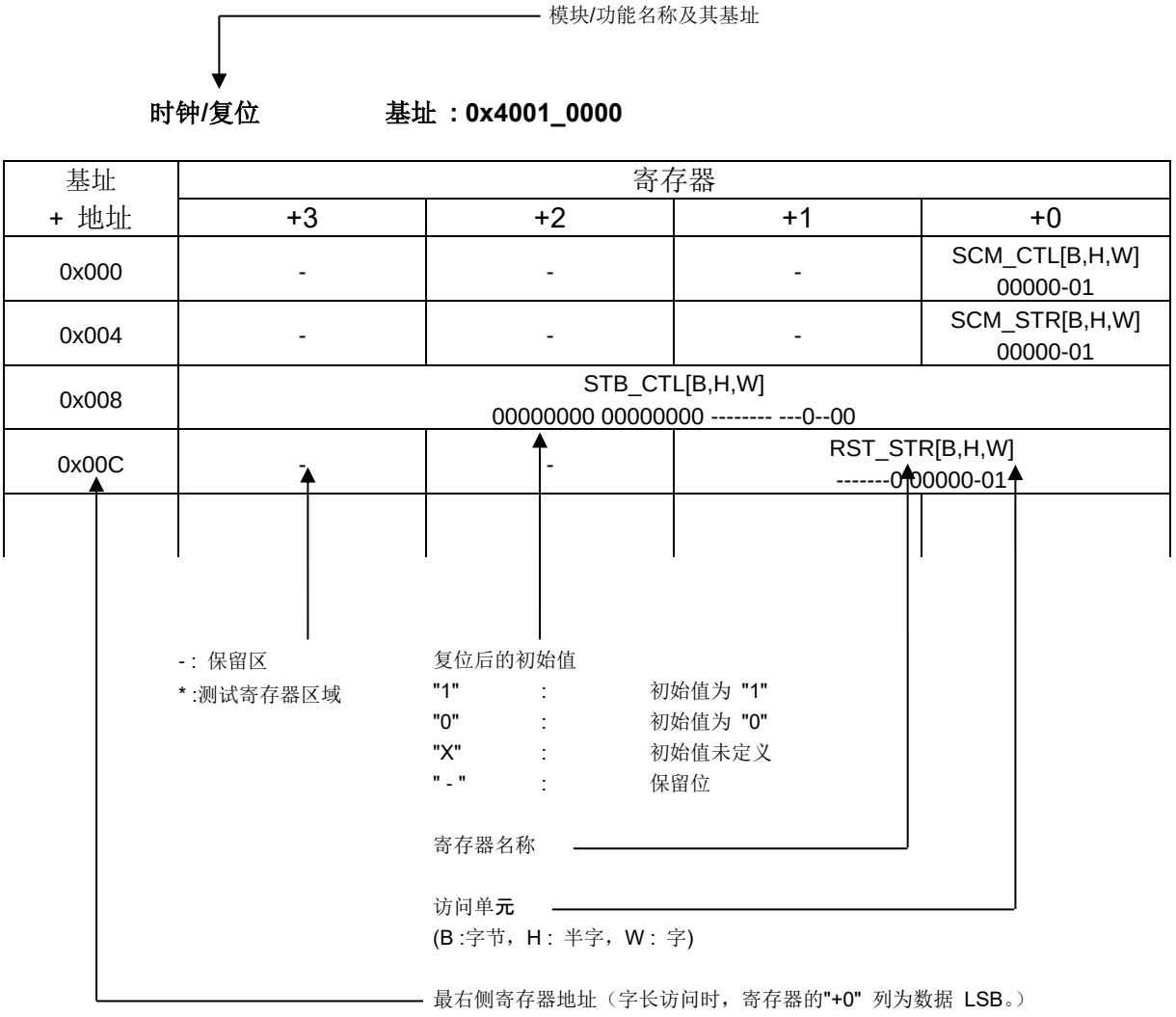
1. 寄存器映射

代码：9AFREGMAP-C01.0

1. 寄存器映射

以下为说明寄存器映射的模块/功能表。

[如何阅读各表]



注意事项:

- 寄存器表采用小端表示。
- 执行数据访问时，地址按访问量如下：
  - 字访问 ： 地址应为 4 的倍数（最低有效 2 位应为"0x00"）
  - 半字访问 ： 地址应为 2 的倍数（最低有效位应为"0x0"）
  - 字节访问 ： -
- 不可访问测试寄存器区。
- 不可访问寄存器表中未写入的区域。
- 如果寄存器的访问单元大于寄存器容量，同时也访问保留区，则读取值未定义，写入无效。

1.1 闪存 I/F

闪存 I/F 基址：0x4000_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C				
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

注意事项：

- *有关闪存 I/F 寄存器的详细信息，参见所用产品的《闪存编程手册》。*

1.2 唯一 ID

唯一 ID 基址：0x4000_0200

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXXXXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 时钟/复位

时钟/复位 基址：0x4001_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT 基址 ：0x4001_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT 基址 ：0x4001_2000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0

0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 双计时器

双计时器 基址 ：**0x4001_5000**

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT 单元 0　　基址 ：0x4002_0000

MFT 单元 1　　基址 ：0x4002_1000

MFT 单元 2　　基址 ：0x4002_2000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x100	OCCP0[H,W]		-	-
	00000000 00000000			
0x104	OCCP1[H,W]		-	-
	00000000 00000000			
0x108	OCCP2[H,W]		-	-
	00000000 00000000			
0x10C	OCCP3[H,W]		-	-
	00000000 00000000			
0x110	OCCP4[H,W]		-	-
	00000000 00000000			
0x114	OCCP5[H,W]		-	-
	00000000 00000000			
0x118	-	OCSD10[B,H,W]	OCSB10[B,H,W]	OCSA10[B,H,W]
		00000000	00000000	00000000
0x11C	-	OCSD32[B,H,W]	OCSB32[B,H,W]	OCSA32[B,H,W]
		00000000	00000000	00000000
0x120	-	OCSD54[B,H,W]	OCSB54[B,H,W]	OCSA54[B,H,W]
		00000000	00000000	00000000
0x124	-	-	OCSC[B,H,W]	-
			--000000	
0x128	-	-	OCSE0[H,W]	
			00000000 00000000	
0x12C	OCSE1[H,W]			
	00000000 0000000000000000 00000000			
0x130	-	-	OCSE2[H,W]	
			00000000 00000000	
0x134	OCSE3[H,W]			
	00000000 0000000000000000 00000000			
0x138	-	-	OCSE4[H,W]	
			00000000 00000000	
0x13C	OCSE5[H,W]			
	00000000 0000000000000000 00000000			
0x140	TCCP0[H,W]		-	-
	1111111111111111			
0x144	TCDT0[H,W]		-	-
	00000000 00000000			
0x148	TCSC0[B,H,W]		TCSA0[B,H,W]	
	00000000 00000000		000---00 01000000	

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x14C	TCCP1[H,W]		-	-
	1111111111111111			
0x150	TCDT1[H,W]			
	00000000 00000000			
0x154	TCSC1[B,H,W]		TCSA1[B,H,W]	
	00000000 00000000		000---00 01000000	
0x158	TCCP2[H,W]		-	-
	1111111111111111			
0x15C	TCDT2[H,W]		-	-
	00000000 00000000			
0x160	TCSC2[B,H,W]		TCSA2[B,H,W]	
	00000000 00000000		000---00 01000000	
0x164	TCAL[B,H,W] (only in unit 0)			
	00000000 00000000 1111111111111111			
0x168	-	OCFS54[B,H,W]	OCFS32[B,H,W]	OCFS10[B,H,W]
		00000000	00000000	00000000
0x16C	-	-	ICFS32[B,H,W]	ICFS10[B,H,W]
			00000000	00000000
0x170	-	ACFS54[B,H,W]	ACFS32[B,H,W]	ACFS10[B,H,W]
		00000000	00000000	00000000
0x174	ICCP0[H,W]		-	-
	0000000000000000			
0x178	ICCP1[H,W]		-	-
	0000000000000000			
0x17C	ICCP2[H,W]		-	-
	0000000000000000			
0x180	ICCP3[H,W]		-	-
	0000000000000000			
0x184	-	-	ICSB10[B,H,W]	ICSA10[B,H,W]
			------00	00000000
0x188	-	-	ICSB32[B,H,W]	ICSA32[B,H,W]
			------00	00000000
0x18C	WFTF10[H,W]		-	-
	0000000000000000			
0x190	WFTB10[H,W]		WFTA10[H,W]	
	0000000000000000		0000000000000000	
0x194	WFTF32[H,W]		-	-
	0000000000000000			
0x198	WFTB32[H,W]		WFTA32[H,W]	
	0000000000000000		0000000000000000	
0x19C	WFTF54[H,W]		-	-
	0000000000000000			
0x1A0	WFTB54[H,W]		WFTA54[H,W]	
	0000000000000000		0000000000000000	

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x1A4	-	-	WFSA10[H,W]	
			---00000 000000	
0x1A8	-	-	WFSA32[H,W]	
			---00000 000000	
0x1AC	-	-	WFSA54[H,W]	
			---00000 000000	
0x1B0	-	-	WFIR[H,W]	
			00000000 00000000	
0x1B4	-	-	NZCL[H,W]	
			-000--00 ---00000	
0x1B8	ACMP0		-	-
	00000000 00000000			
0x1BC	ACMP1		-	-
	00000000 00000000			
0x1C0	ACMP2		-	-
	00000000 00000000			
0x1C4	ACMP3		-	-
	00000000 00000000			
0x1C8	ACMP4		-	-
	00000000 00000000			
0x1CC	ACMP5		-	-
	00000000 00000000			
0x1D0	-	-	ACSA[B,H,W]	
			--000000 --000000	
0x1D4	-	-	ACSD0[B,H,W]	ACSC0[B,H,W]
			00000000	00000000
0x1D8	-	-	ACSD1[B,H,W]	ACSC1[B,H,W]
			00000000	00000000
0x1DC	-	-	ACSD2[B,H,W]	ACSC2[B,H,W]
			00000000	00000000
0x1E0	-	-	ACSD3[B,H,W]	ACSC3[B,H,W]
			00000000	00000000
0x1E4	-	-	ACSD4[B,H,W]	ACSC4[B,H,W]
			00000000	00000000
0x1E8	-	-	ACSD5[B,H,W]	ACSC5[B,H,W]
			00000000	00000000
0x1EC - 0xFFC	-	-	-	-

1.8 PPG

PPG 基址：0x4002_4000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W] 00000000	-
0x00C	-	-	-	COMP2[B,H,W] 00000000
0x010	-	-	COMP4[B,H,W] 00000000	-
0x014	-	-	-	COMP6[B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W] 00000000	-
0x02C	-	-	-	COMP3[B,H,W] 00000000
0x030	-	-	COMP5[B,H,W] 00000000	-
0x034	-	-	-	COMP7[B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W] 00000000	-
0x04C	-	-	-	COMP10[B,H,W] 00000000
0x050	-	-	COMP12[B,H,W] 00000000	-
0x054	-	-	-	COMP14[B,H,W] 00000000
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG0[B,H,W] 00000000 00000000	
0x104	-	-	REVC0[B,H,W] 00000000 00000000	
0x108 - 0x13C	-	-	-	-

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 基本计时器

基本计时器 ch.0 基址： 0x4002_5000

基本计时器 ch.1 基址： 0x4002_5040

基本计时器 ch.2 基址： 0x4002_5080

基本计时器 ch.3 基址： 0x4002_50C0

基本计时器 ch.4 基址： 0x4002_5200

基本计时器 ch.5 基址： 0x4002_5240

基本计时器 ch.6 基址： 0x4002_5280

基本计时器 ch.7 基址： 0x4002_52C0

基本计时器 ch.8 基址： 0x4002_5400

基本计时器 ch.9 基址： 0x4002_5440

基本计时器 ch.10 基址： 0x4002_5480

基本计时器 ch.11 基址： 0x4002_54C0

基本计时器 ch.12 基址： 0x4002_5600

基本计时器 ch.13 基址： 0x4002_5640

基本计时器 ch.14 基址： 0x4002_5680

基本计时器 ch.15 基址： 0x4002_56C0

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 基本计时器的 IO 选择器

ch.0-ch.3（基本计时器）的 IO 选择器 基址： 0x4002_5100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

ch.4-ch.7（基本计时器）的 IO 选择器 基址： 0x4002_5300

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

ch.8-ch.11（基本计时器）的 IO 选择器 基址： 0x4002_5500

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

ch.12-ch.15（基本计时器）的 IO 选择器 基址： 0x4002_5700

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

基于软件的同时启动（基本计时器） 基址： 0x4002_5F00

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W] XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0　　基址： 0x4002_6000

QPRC ch.1　　基址： 0x4002_6040

QPRC ch.2　　基址： 0x4002_6080

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF 基址： 0x4002_6100

QPRC ch.1 NF 基址： 0x4002_6110

QPRC ch.2 NF 基址： 0x4002_6120

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	----------00-000			
0x0004	NFCTLB[B,H,W]			
	----------00-000			
0x0008	NFCTLC[B,H,W]			
	----------00-000			
0x000C	-	-	-	-

1.13 A/DC

12 位 A/DC 单元 0 基址 ：0x4002_7000

12 位 A/DC 单元 1 基址 ：0x4002_7100

12 位 A/DC 单元 2 基址 ：0x4002_7200

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMRPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	0000000000------		0000000000------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10 位 D/AC 基址 ：0x4002_8000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR 调节

CR 调节 基址 ：0x4002_E000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				---10000
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI 基址 ：0x4003_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[R/W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[R/W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C - 0x0FC	-	-	-	-

1.17 INT-Req. 读取

INT-Req. 读取　　基址 ：0x4003_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	DRQSEL[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	*			
0x008- 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- 00000000 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- ----0000 00000000 00000000			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ----0000			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ----0000			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ----0000			
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ----0000			
0x050	IRQ15MON[B,H,W]			
	-------- -------- -------- ------00			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ----0000			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ----0000			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ---00000			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ---00000			
0x070	IRQ23MON[B,H,W]			
	-------- -------- -------0 00000000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -------- --00-000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- ---00000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --000000			
0x084	IRQ28MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 - 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W] 00000000 00000000 00000000 00000000			
0x214	RCINTSEL1[B,H,W] 00000000 00000000 00000000 00000000			
0x218 - 0xFFC	-	-	-	-

1.18 LCDC

LCDC 基址 ：0x4003_2000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x00	-	LCDCC3[B,H,W]	LCDCC2[B,H,W]	LCDCC1[B,H,W]
		0011111-	--010100	-00000--
0x04	LCDC_PSR[B,H,W]			
	-------- -0000000 00000000 00000000			
0x08	LCDC_COMEN[B,H,W]			
	-------- -------- -------- 00000000			
0x0C	LCDC_SEGEN1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x10	LCDC_SEGEN2[B,H,W]			
	-------- -------- -------- 00000000			
0x14	-	-	LCDC_BLINK[B,H,W]	
			00000000 00000000	
0x18	-	-	-	-
0x1C	LCDRAM03[B,H,W]	LCDRAM02[B,H,W]	LCDRAM01[B,H,W]	LCDRAM00[B,H,W]
	00000000	00000000	00000000	00000000
0x20	LCDRAM07[B,H,W]	LCDRAM06[B,H,W]	LCDRAM05[B,H,W]	LCDRAM04[B,H,W]
	00000000	00000000	00000000	00000000
0x24	LCDRAM11[B,H,W]	LCDRAM10[B,H,W]	LCDRAM09[B,H,W]	LCDRAM08[B,H,W]
	00000000	00000000	00000000	00000000
0x28	LCDRAM15[B,H,W]	LCDRAM14[B,H,W]	LCDRAM13[B,H,W]	LCDRAM12[B,H,W]
	00000000	00000000	00000000	00000000
0x2C	LCDRAM19[B,H,W]	LCDRAM18[B,H,W]	LCDRAM17[B,H,W]	LCDRAM16[B,H,W]
	00000000	00000000	00000000	00000000
0x30	LCDRAM23[B,H,W]	LCDRAM22[B,H,W]	LCDRAM21[B,H,W]	LCDRAM20[B,H,W]
	00000000	00000000	00000000	00000000
0x34	LCDRAM27[B,H,W]	LCDRAM26[B,H,W]	LCDRAM25[B,H,W]	LCDRAM24[B,H,W]
	00000000	00000000	00000000	00000000
0x38	LCDRAM31[B,H,W]	LCDRAM30[B,H,W]	LCDRAM29[B,H,W]	LCDRAM28[B,H,W]
	00000000	00000000	00000000	00000000
0x3C	LCDRAM35[B,H,W]	LCDRAM34[B,H,W]	LCDRAM33[B,H,W]	LCDRAM32[B,H,W]
	00000000	00000000	00000000	00000000
0x40	LCDRAM39[B,H,W]	LCDRAM38[B,H,W]	LCDRAM37[B,H,W]	LCDRAM36[B,H,W]
	00000000	00000000	00000000	00000000
0x44 - 0xFC	-	-	-	-

1.19 GPIO

GPIO 基址：0x4003_3000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x340 - 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 - 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 --00 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x628 - 0x62C	-	-	-	-
0x630	EPFR12[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W]			
	-------- ---- ---- ---- ------00 0000			
0x63C	EPFR15[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x644	EPFR17[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0000			
0x64C - 0x650	-	-	-	-
0x654	EPFR21[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- -000			
0x658	EPFR22[B,H,W]			
	---- ---- ---- ---- 0000 ---- 0000 ----			
0x65C - 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0x7FC	-	-	-	-
0x800	*			
0x804	*			
0x808 - 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 - 0xFFC	-	-	-	-

1.20 HDMI-CEC

HDMI-CEC/远控接收器 ch.0 基址 ：0x4003_4000

HDMI-CEC/远控接收器 ch.1 基址 ：0x4003_4100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				--0000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				--00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 - 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 - 0xFC	-	-	-	-

1.21 LVD

LVD 基址 ：0x4003_5000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	LVD_CTL[B,H,W]	
			100000-- 000011--	
0x004	-	-	-	LVD_STR[B,H,W]
				0-------
0x008	-	-	-	LVD_CLR[B,H,W]
				1-------
0x00C	LVD_RLR[W]			
	00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2
				01------
0x014 - 0x0FC	-	-	-	-

1.22 DS 模式

DS 模式 基址 ：0x4003_5100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	REG_CTL[B,H,W]
				-------0
0x004	-	-	-	RCK_CTL[B,H,W]
				------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W]
				-------0
0x704	-	-	-	WRFSR[B,H,W]
				------00
0x708	-	-	WIFSR[B,H,W]	
			------00 00000000	
0x70C	-	-	WIER[B,H,W]	
			------00 00000-00	
0x710	-	-	-	WILVR[B,H,W]
				-----000
0x714	-	-	-	DSRAMR[B,H,W]
				------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W]	BUR03[B,H,W]	BUR02[B,H,W]	BUR01[B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08[B,H,W]	BUR07[B,H,W]	BUR06[B,H,W]	BUR05[B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012[B,H,W]	BUR11[B,H,W]	BUR10[B,H,W]	BUR09[B,H,W]

基址	寄存器			
+ 地址	+3	+2	+1	+0
	00000000	00000000	00000000	00000000
0x80C	BUR16[B,H,W]	BUR15[B,H,W]	BUR14[B,H,W]	BUR13[B,H,W]
	00000000	00000000	00000000	00000000
0x810 - 0xEFC	-	-	-	-

1.23 MFS

MFS ch.0 基址 : 0x4003_8000

MFS ch.1 基址 : 0x4003_8100

MFS ch.2 基址 : 0x4003_8200

MFS ch.3 基址 : 0x4003_8300

MFS ch.4 基址 : 0x4003_8400

MFS ch.5 基址 : 0x4003_8500

MFS ch.6 基址 : 0x4003_8600

MFS ch.7 基址 : 0x4003_8700

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0--00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	-	-	RDR/TDR[H,W]	
			00000000 00000000	
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000--0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044 - 0x0FC	-	-	-	-

1.24 CRC

CRC 基址 ：0x4003_9000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.25 计时计数器

计时计数器 基址 ：0x4003_A000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00--0000	--000000	--000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 - 0xFFC	-	-	-	-

1.26 RTC

RTC 基址：0x4003_B000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 0000000000000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0
0x034 - 0xFFC	-	-	-	-

1.27 低速 CR 预分频器

低速 CR 预分频器 基址：0x4003_C000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000- 0x0FC	-	-	-	-

1.28 外设时钟选通

外设时钟选通　　基址 ：0x4003_C100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	-------0 ----00000000000000000			
0x008 - 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000----0000----0000			
0x018 - 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- -------- -------- --**---- Products with CAN : *="1" Products without CAN : *="0"			
0x024	MRST2[B,H,W]			
	-------- ----------00----			
0x028 - 0x0FC	-	-	-	-

1.29 DMAC

DMAC　　基址 ：0x4006_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x0000	DMACR[B,H,W]			
	00-00000 -------- -------- --------			
0x0010	DMACA0[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0014	DMACB0[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0018	DMACSA0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x001C	DMACDA0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0020	DMACA1[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0024	DMACB1[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0028	DMACSA1[B,H,W]			
	00000000 00000000 00000000 00000000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x002C	DMACDA1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0030	DMACA2[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0034	DMACB2[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0038	DMACSA2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x003C	DMACDA2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0040	DMACA3[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0044	DMACB3[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0048	DMACSA3[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004C	DMACDA3[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0050	DMACA4[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0054	DMACB4[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0058	DMACSA4[B,H,W]			
	00000000 00000000 00000000 00000000			
0x005C	DMACDA4[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0060	DMACA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0064	DMACB5[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0068	DMACSA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x006C	DMACDA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0070	DMACA6[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0074	DMACB6[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0078	DMACSA6[B,H,W]			
	00000000 00000000 00000000 00000000			
0x007C	DMACDA6[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0080	DMACA7[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0084	DMACB7[B,H,W]			

基址	寄存器			
+ 地址	+3	+2	+1	+0
	--000000 00000000 00000000 -------0			
0x0088	DMACSA7[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008C	DMACDA7[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0090 - 0x00FC	-	-	-	-

1.30 MTB_DWT

MTB_DWT 基址 ：0xF000_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 - 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0xFEC	PID3[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFF0	CID0[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFF4	CID1[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			

1.31 快速 GPIO

快速 GPIO 基址 ：0xF800_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W] XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W] XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W] XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W] XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W] XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W] XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W] XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W] XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W] XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W] XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W] XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W] XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W] XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W] XXXXXXXX XXXXXXXX	

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 - 0xFFC	-	-	-	-

C. 寄存器映射(TYPE 2-M0+)

本章说明寄存器映射图。

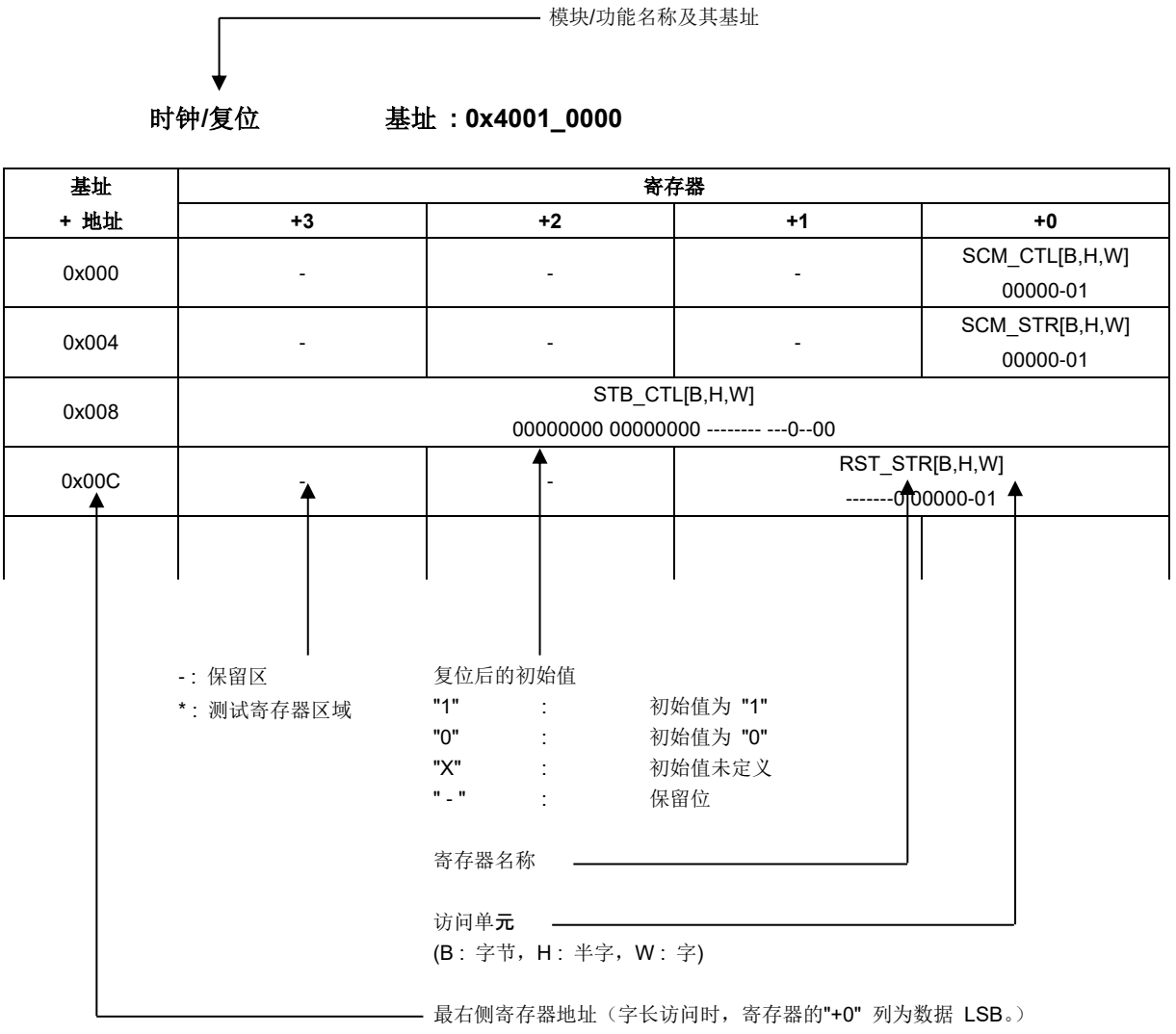
1. 寄存器映射

代码：9AFREGMAP-C01.0

1. 寄存器映射

以下为说明寄存器映射的模块/功能表。

[如何阅读各表]



注意事项：

- 寄存器表用小端表示。
- 执行数据访问时，地址按访问量如下：
  - 字访问： ： 地址应为 4 的倍数（最低有效 2 位应为"0x00"）
  - 半字访问 ： 地址应为 2 的倍数（最低有效位应为"0x0"）
  - 字节访问 ： -
- 不可访问测试寄存器区。
- 不可访问寄存器表中未写入的区域。
- 如果寄存器的访问单元大于寄存器容量，同时也访问保留区，则读取值未定义，写入无效。

1.1 闪存 I/F

闪存 I/F 基址：0x4000_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	FRVRC[B,H,W]			
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

注意事项：

- *有关闪存 I/F 寄存器的详细信息，参见所用产品的《闪存编程手册》。*

1.2 唯一 ID

唯一 ID 基址：0x4000_0200

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 时钟/复位

时钟/复位 基址 ：0x4001_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT 基址 ：0x4001_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[R]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW_WDT

SW WDT 基址 ：0x4001_2000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[R]
				-------0

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x014	*			
0x018	-	-	-	WdogSPMC[W] -------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W] 00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 双计时器

双计时器 基址 ：**0x4001_5000**

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	Timer1Load[W] 00000000 00000000 00000000 00000000			
0x004	Timer1Value[W] 11111111 11111111 11111111 11111111			
0x008	Timer1Control[W] -------- -------- -------- 00100000			
0x00C	Timer1IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W] -------- -------- -------- -------0			
0x014	Timer1MIS[W] -------- -------- -------- -------0			
0x018	Timer1BGLoad[W] 00000000 00000000 00000000 00000000			
0x020	Timer2Load[W] 00000000 00000000 00000000 00000000			
0x024	Timer2Value[W] 11111111 11111111 11111111 11111111			
0x028	Timer2Control[W] -------- -------- -------- 00100000			
0x02C	Timer2IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W] -------- -------- -------- -------0			
0x034	Timer2MIS[W] -------- -------- -------- -------0			
0x038	Timer2BGLoad[W] 00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT 单元 0　　基址 ：0x4002_0000

MFT 单元 1　　基址 ：0x4002_1000

MFT 单元 2　　基址 ：0x4002_2000

基址 + 地址	寄存器			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	OCSD10[B,H,W] --000000 00000000		OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	OCSD32[B,H,W] --000000 00000000		OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	OCSD54[B,H,W] --000000 00000000		OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-

基址 + 地址	寄存器			
	+3	+2	+1	+0
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-

基址 + 地址	寄存器			
	+3	+2	+1	+0
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-
0x1A0	WFTB54[H,W] 00000000 00000000	WFTA54[H,W] 00000000 00000000		
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-	-	WFIR[H,W] 00000000 00000000	
0x1B4	-	-	NZCL[H,W] 00000000 00000000	
0x1B8	ACMP0[H,W] 00000000 00000000	-	-	
0x1BC	ACMP1[H,W] 00000000 00000000	-	-	
0x1C0	ACMP2[H,W] 00000000 00000000	-	-	
0x1C4	ACMP3[H,W] 00000000 00000000	-	-	
0x1C8	ACMP4[H,W] 00000000 00000000	-	-	
0x1CC	ACMP5[H,W] 00000000 00000000	-	-	
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	ACMC0[B,H,W] 00--0000	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	ACMC1[B,H,W] 00--0000	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	ACMC2[B,H,W] 00--0000	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000
0x1E0	-	ACMC3[B,H,W] 00--0000	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	ACMC4[B,H,W] 00--0000	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	ACMC5[B,H,W] 00--0000	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC	-	-	-	TCSD[B,H,W] ------00

基址 + 地址	寄存器			
	+3	+2	+1	+0
0x1F0-0xFFC	-	-	-	-

1.8 PPG

PPG 基址 ：0x4002_4000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W] 00000000	-
0x00C	-	-	-	COMP2[B,H,W] 00000000
0x010	-	-	COMP4[B,H,W] 00000000	-
0x014	-	-	-	COMP6[B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W] 00000000	-
0x02C	-	-	-	COMP3[B,H,W] 00000000
0x030	-	-	COMP5[B,H,W] 00000000	-
0x034	-	-	-	COMP7[B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W] 00000000	-
0x04C	-	-	-	COMP10[B,H,W] 00000000
0x050	-	-	COMP12[B,H,W] 00000000	-
0x054	-	-	-	COMP14[B,H,W] 00000000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG0[B,H,W]	
			00000000 00000000	
0x104	-	-	REVC0[B,H,W]	
			00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 基本计时器

基本计时器 ch.0 基址： 0x4002_5000

基本计时器 ch.1 基址： 0x4002_5040

基本计时器 ch.2 基址： 0x4002_5080

基本计时器 ch.3 基址： 0x4002_50C0

基本计时器 ch.4 基址： 0x4002_5200

基本计时器 ch.5 基址： 0x4002_5240

基本计时器 ch.6 基址： 0x4002_5280

基本计时器 ch.7 基址： 0x4002_52C0

基本计时器 ch.8 基址： 0x4002_5400

基本计时器 ch.9 基址： 0x4002_5440

基本计时器 ch.10 基址： 0x4002_5480

基本计时器 ch.11 基址： 0x4002_54C0

基本计时器 ch.12 基址： 0x4002_5600

基本计时器 ch.13 基址： 0x4002_5640

基本计时器 ch.14 基址： 0x4002_5680

基本计时器 ch.15 基址： 0x4002_56C0

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 基本计时器的 IO 选择器

ch.0-ch.3（基本计时器）的 IO 选择器 基址： 0x4002_5100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

ch.4-ch.7（基本计时器）的 IO 选择器 基址： 0x4002_5300

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

ch.8-ch.11（基本计时器）的 IO 选择器 基址： 0x4002_5500

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

ch.12-ch.15（基本计时器）的 IO 选择器 基址： 0x4002_5700

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

基于软件的同时启动（基本计时器） 基址： 0x4002_5F00

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W] XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0　　基址：　0x4002_6000

QPRC ch.1　　基址：　0x4002_6040

QPRC ch.2　　基址：　0x4002_6080

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF 基址： 0x4002_6100

QPRC ch.1 NF 基址： 0x4002_6110

QPRC ch.2 NF 基址： 0x4002_6120

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	-------- -------- -------- --00-000			
0x0004	NFCTLB[B,H,W]			
	-------- -------- -------- --00-000			
0x0008	NFCTLC[B,H,W]			
	-------- -------- -------- --00-000			
0x000C	-	-	-	-

1.13 A/DC

12 位 A/DC 单元 0 基址 ：0x4002_7000

12 位 A/DC 单元 1 基址 ：0x4002_7100

12 位 A/DC 单元 2 基址 ：0x4002_7200

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMRPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10 位 D/AC 基址 ：0x4002_8000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR Trim

CR Trim 基址 ：0x4002_E000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-0111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI 基址 ：0x4003_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[R/W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[R/W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C - 0x0FC	-	-	-	-

1.17 INT-Req. 读取

INT-Req. 读取　　基址 ：0x4003_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-			
	-	-	-	-
0x004	*			
0x008- 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- -------- ----0000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- -------- 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- -------- -------- ------00			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- -------0			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ------00			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- -------0			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ------00			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- -------0			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ------00			
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- -------0			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ------00			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x050	IRQ15MON[B,H,W]			
	-------- -------- -------- -------0			
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ------00			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- -------0			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ------00			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- -------0			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ------00			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- -------0			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ------00			
0x070	IRQ23MON[B,H,W]			
	-------- -------- ---0000- -----000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -----00- --000000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- --000000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --0-----			
0x084	IRQ28MON[B,H,W]			
	-------- -------- -------- --000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- -------0 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- -------- -------- --000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 - 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W] 00000000 00000000 00000000 00000000			
0x214	RCINTSEL1[B,H,W] 00000000 00000000 00000000 00000000			
0x218 - 0xFFC	-	-	-	-

1.18 LCDC

LCDC 基址 ：0x4003_2000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x00	-	LCDCC3[B,H,W]	LCDCC2[B,H,W]	LCDCC1[B,H,W]
		0011111-	--010100	-00000--
0x04	LCDC_PSR[B,H,W]			
	-------- -0000000 00000000 00000000			
0x08	LCDC_COMEN[B,H,W]			
	-------- -------- -------- 00000000			
0x0C	LCDC_SEGEN1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x10	LCDC_SEGEN2[B,H,W]			
	-------- -------- -------- 00000000			
0x14	-	-	LCDC_BLINK[B,H,W]	
			00000000 00000000	
0x18	-	-	LCDC_BOOSTER[B,H,W]	
			--001110	----0011
0x1C	LCDRAM03[B,H,W]	LCDRAM02[B,H,W]	LCDRAM01[B,H,W]	LCDRAM00[B,H,W]
	00000000	00000000	00000000	00000000
0x20	LCDRAM07[B,H,W]	LCDRAM06[B,H,W]	LCDRAM05[B,H,W]	LCDRAM04[B,H,W]
	00000000	00000000	00000000	00000000
0x24	LCDRAM11[B,H,W]	LCDRAM10[B,H,W]	LCDRAM09[B,H,W]	LCDRAM08[B,H,W]
	00000000	00000000	00000000	00000000
0x28	LCDRAM15[B,H,W]	LCDRAM14[B,H,W]	LCDRAM13[B,H,W]	LCDRAM12[B,H,W]
	00000000	00000000	00000000	00000000
0x2C	LCDRAM19[B,H,W]	LCDRAM18[B,H,W]	LCDRAM17[B,H,W]	LCDRAM16[B,H,W]
	00000000	00000000	00000000	00000000
0x30	LCDRAM23[B,H,W]	LCDRAM22[B,H,W]	LCDRAM21[B,H,W]	LCDRAM20[B,H,W]
	00000000	00000000	00000000	00000000
0x34	LCDRAM27[B,H,W]	LCDRAM26[B,H,W]	LCDRAM25[B,H,W]	LCDRAM24[B,H,W]
	00000000	00000000	00000000	00000000
0x38	LCDRAM31[B,H,W]	LCDRAM30[B,H,W]	LCDRAM29[B,H,W]	LCDRAM28[B,H,W]
	00000000	00000000	00000000	00000000
0x3C	LCDRAM35[B,H,W]	LCDRAM34[B,H,W]	LCDRAM33[B,H,W]	LCDRAM32[B,H,W]
	00000000	00000000	00000000	00000000
0x40	LCDRAM39[B,H,W]	LCDRAM38[B,H,W]	LCDRAM37[B,H,W]	LCDRAM36[B,H,W]
	00000000	00000000	00000000	00000000
0x44 - 0xFC	-	-	-	-

1.19 GPIO

GPIO 基址：0x4003_3000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x340 - 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	---- ---- 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 - 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 --00 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	---- ---- ---- ---- 0000 ---- ---- ----			
0x628 - 0x638	-	-	-	-
0x63C	EPFR15[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x644	-			
	-	-	-	-
0x648	EPFR18[B,H,W]			
	--00 0000 0000 0000 0000 0000 0000 0000			
0x64C - 0x658	-	-	-	-
0x65C	EPFR23[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x660 - 0x680	-	-	-	-
0x684	EPFR33[B,H,W]			
	---- 0000 0000 0000 ---- 0000 0000 0000			
0x688	EPFR34[B,H,W]			
	---- ---- ---- ---- ---- ---- 0000 ----			
0x68C - 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	---- 0000 0000 0000 ---- ---- ---- ----			
0x698	EPFR38[B,H,W]			
	---- ---- ---- ---- ---- 0000 0000 0000			
0x69C - 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740	LVDIE[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- ---0			
0x744 - 0x7FC	-	-	-	-
0x800	*			
0x804	*			
0x808 - 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 - 0xFFC	-	-	-	-

1.20 HDMI-CEC

HDMI-CEC/远控接收器 ch.0 基址 ：0x4003_4000

HDMI-CEC/远控接收器 ch.1 基址 ：0x4003_4100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 - 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 - 0xFC	-	-	-	-

1.21 LVD

LVD 基址：0x4003_5000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			100000-- 000011--	
0x004	-	-	LVD_STR [B,H,W]	
			0------1 0------1	
0x008	-	-	LVD_CLR [B,H,W]	
			1------- 1-------	
0x00C	LVD_RLR [W]			
	---------- 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			0------- 01------	
0x014	-	-	LVD_CTL2 [B,H,W]	
			-------0 000011--	
0x018	-	-	-	LVD2_CTL [B,H,W]
				000011--
0x01C	-	-	LVD2_CTL2 [B,H,W]	
			0------0 000011--	
0x020 - 0x0FC	-	-	-	-

1.22 DS 模式

DS 模式　基址 ：0x4003_5100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W] ---- -10-
0x004	-	-	-	RCK_CTL [B,H,W] ---- --01
0x008	-	-	-	REG_CTL2 [B,H,W] ---- -011
0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W] ---- -10-
0x014 - 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W] ---- 0000
0x104	-	-	-	CAL_SET [B,H,W] ---1 0001
0x108	CAL_KEY [W] 00000000 00000000 00000000 00000001			
0x10C - 0x1FC	-	-	-	-
0x200 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W] ---- ---0
0x704	-	-	-	WRFSR [B,H,W] ---- --00
0x708	-	-	WIFSR [B,H,W] 00000000 00000000	
0x70C	-	-	WIER [B,H,W] 00000000 00000-00	
0x710	-	-	WILVR [B,H,W] -----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W] ---- --00
0x718 - 0x71C	-	-	-	-
0x720	-	-	-	STBFLASHPDX [B,H,W] ---- ---0
0x724	RST_MSK [W] 00000000 00000000 -------- -------0			
0x728 - 0x7FC	-	-	-	-
0x800	BUR04 [B,H,W] 00000000	BUR03 [B,H,W] 00000000	BUR02 [B,H,W] 00000000	BUR01 [B,H,W] 00000000
0x804	BUR08 [B,H,W] 00000000	BUR07 [B,H,W] 00000000	BUR06 [B,H,W] 00000000	BUR05 [B,H,W] 00000000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 - 0xEFC	-	-	-	-

1.23 USB 时钟

USB 时钟 基址 ：0x4003_6000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-000 0000
0x004	-	-	-	UPCR [B,H,W]
				---- --00
0x008	-	-	-	UPCR2 [B,H,W]
				---- -000
0x00C	-	-	-	UPCR3 [B,H,W]
				---0 0000
0x010	-	-	-	UPCR4 [B,H,W]
				-0111011
0x014	-	-	-	UP_STR [B,H,W]
				---- ---0
0x018	-	-	-	UPINT_ENR [B,H,W]
				---- ---0
0x01C	-	-	-	UPINT_CLR [B,H,W]
				---- ---0
0x020	-	-	-	UPINT_STR [B,H,W]
				---- ---0
0x024	-	-	-	UPCR5 [B,H,W]
				---- 0001
0x028	-	-	-	UPCR6 [B,H,W]
				---- 0010
0x02C	-	-	-	UP_CR7 [B,H,W]
				---- ---0
0x030	-	-	-	USBEN0 [B,H,W]
				---- -100
0x034	-	-	-	USBEN1 [B,H,W]
				---- -100
0x038 - 0xFFC	-	-	-	-

1.24 MFS

MFS ch.0 基址 : 0x4003_8000

MFS ch.1 基址 : 0x4003_8100

MFS ch.2 基址 : 0x4003_8200

MFS ch.3 基址 : 0x4003_8300

MFS ch.4 基址 : 0x4003_8400

MFS ch.5 基址 : 0x4003_8500

MFS ch.6 基址 : 0x4003_8600

MFS ch.7 基址 : 0x4003_8700

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0--00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000--0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044	-	-	FTICR2[B,H,W] 00000000	FTICR1[B,H,W] 00000000
0x048 - 0x0FC	-	-	-	-

注意事项：

- *RDR/TDR 寄存器的高 16 位可通过 MFS-I²S 模式下的字操作进行访问。*

1.25 CRC

CRC 基址 ：0x4003_9000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.26 计时计数器

计时计数器 基址 ：0x4003_A000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00--0000	--000000	--000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 - 0xFFC	-	-	-	-

1.27 RTC

RTC 基址 ：0x4003_B000

基址+ 地址	寄存器			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000

基址+ 地址	寄存器			
	+3	+2	+1	+0
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_CLKDIV[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 11001110
0x180	-	-	-	CCB[B,H,W] 11001110
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000
0x1A4	-	-	-	VBDDR[B,H,W] ----XXXX
0x1A8	-	-	-	VBDIR[B,H,W] ----0000
0x1AC	-	-	-	VBDOR[B,H,W] ----1111

基址+ 地址	寄存器			
	+3	+2	+1	+0
0x0B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W] 00000000	BREG02[B,H,W] 00000000	BREG01[B,H,W] 00000000	BREG00[B,H,W] 00000000
0x204	BREG07[B,H,W] 00000000	BREG06[B,H,W] 00000000	BREG05[B,H,W] 00000000	BREG04[B,H,W] 00000000
0x208	BREG0B[B,H,W] 00000000	BREG0A[B,H,W] 00000000	BREG09[B,H,W] 00000000	BREG08[B,H,W] 00000000
0x20C	BREG0F[B,H,W] 00000000	BREG0E[B,H,W] 00000000	BREG0D[B,H,W] 00000000	BREG0C[B,H,W] 00000000
0x210	BREG13[B,H,W] 00000000	BREG12[B,H,W] 00000000	BREG11[B,H,W] 00000000	BREG10[B,H,W] 00000000
0x214	BREG17[B,H,W] 00000000	BREG16[B,H,W] 00000000	BREG15[B,H,W] 00000000	BREG14[B,H,W] 00000000
0x218	BREG1B[B,H,W] 00000000	BREG1A[B,H,W] 00000000	BREG19[B,H,W] 00000000	BREG18[B,H,W] 00000000
0x21C	BREG1F[B,H,W] 00000000	BREG1E[B,H,W] 00000000	BREG1D[B,H,W] 00000000	BREG1C[B,H,W] 00000000
0x220	BREG23[B,H,W] 00000000	BREG22[B,H,W] 00000000	BREG21[B,H,W] 00000000	BREG20[B,H,W] 00000000
0x224	BREG27[B,H,W] 00000000	BREG26[B,H,W] 00000000	BREG25[B,H,W] 00000000	BREG24[B,H,W] 00000000
0x228	BREG2B[B,H,W] 00000000	BREG2A[B,H,W] 00000000	BREG29[B,H,W] 00000000	BREG28[B,H,W] 00000000
0x22C	BREG2F[B,H,W] 00000000	BREG2E[B,H,W] 00000000	BREG2D[B,H,W] 00000000	BREG2C[B,H,W] 00000000
0x230	BREG33[B,H,W] 00000000	BREG32[B,H,W] 00000000	BREG31[B,H,W] 00000000	BREG30[B,H,W] 00000000
0x234	BREG37[B,H,W] 00000000	BREG36[B,H,W] 00000000	BREG35[B,H,W] 00000000	BREG34[B,H,W] 00000000
0x238	BREG3B[B,H,W] 00000000	BREG3A[B,H,W] 00000000	BREG39[B,H,W] 00000000	BREG38[B,H,W] 00000000
0x23C	BREG3F[B,H,W] 00000000	BREG3E[B,H,W] 00000000	BREG3D[B,H,W] 00000000	BREG3C[B,H,W] 00000000
0x240	BREG43[B,H,W] 00000000	BREG42[B,H,W] 00000000	BREG41[B,H,W] 00000000	BREG40[B,H,W] 00000000
0x244	BREG47[B,H,W] 00000000	BREG46[B,H,W] 00000000	BREG45[B,H,W] 00000000	BREG44[B,H,W] 00000000
0x248	BREG4B[B,H,W] 00000000	BREG4A[B,H,W] 00000000	BREG49[B,H,W] 00000000	BREG48[B,H,W] 00000000
0x24C	BREG4F[B,H,W] 00000000	BREG4E[B,H,W] 00000000	BREG4D[B,H,W] 00000000	BREG4C[B,H,W] 00000000
0x250	BREG53[B,H,W] 00000000	BREG52[B,H,W] 00000000	BREG51[B,H,W] 00000000	BREG50[B,H,W] 00000000

基址+ 地址	寄存器			
	+3	+2	+1	+0
0x254	BREG57[B,H,W] 00000000	BREG56[B,H,W] 00000000	BREG55[B,H,W] 00000000	BREG54[B,H,W] 00000000
0x258	BREG5B[B,H,W] 00000000	BREG5A[B,H,W] 00000000	BREG59[B,H,W] 00000000	BREG58[B,H,W] 00000000
0x25C	BREG5F[B,H,W] 00000000	BREG5E[B,H,W] 00000000	BREG5D[B,H,W] 00000000	BREG5C[B,H,W] 00000000
0x260	BREG63[B,H,W] 00000000	BREG62[B,H,W] 00000000	BREG61[B,H,W] 00000000	BREG60[B,H,W] 00000000
0x264	BREG67[B,H,W] 00000000	BREG66[B,H,W] 00000000	BREG65[B,H,W] 00000000	BREG64[B,H,W] 00000000
0x268	BREG6B[B,H,W] 00000000	BREG6A[B,H,W] 00000000	BREG69[B,H,W] 00000000	BREG68[B,H,W] 00000000
0x26C	BREG6F[B,H,W] 00000000	BREG6E[B,H,W] 00000000	BREG6D[B,H,W] 00000000	BREG6C[B,H,W] 00000000
0x270	BREG73[B,H,W] 00000000	BREG72[B,H,W] 00000000	BREG71[B,H,W] 00000000	BREG70[B,H,W] 00000000
0x274	BREG77[B,H,W] 00000000	BREG76[B,H,W] 00000000	BREG75[B,H,W] 00000000	BREG74[B,H,W] 00000000
0x278	BREG7B[B,H,W] 00000000	BREG7A[B,H,W] 00000000	BREG79[B,H,W] 00000000	BREG78[B,H,W] 00000000
0x27C	BREG7F[B,H,W] 00000000	BREG7E[B,H,W] 00000000	BREG7D[B,H,W] 00000000	BREG7C[B,H,W] 00000000
0x280-0xFFC	-	-	-	-

1.28 低速 CR 预分频器

低速 CR 预分频器　基址 ：0x4003_C000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W] --000000
0x000 - 0x0FC	-	-	-	-

1.29 外设时钟选通

外设时钟选通　　基址 ：0x4003_C100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1--11 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	------00 ----0000 00000000 00000000			
0x008 - 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000 ----0000 ----0000			
0x018 - 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- ---1-1-1 1111-1-- --**--00 Products with CAN : *="1" Products without CAN : *="0"			
0x024	MRST2[B,H,W]			
	-------- ---0-0-0 0000-0-- --00--00			
0x028 - 0x0FC	-	-	-	-

1.30 智能卡 I/F

智能卡 I/F ch.0　　基址 ：0x4003_C900

智能卡 I/F ch.1　　基址 ：0x4003_C980

基址 + 地址	寄存器			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000--00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44-0x7C	-	-	-	-

1.31 MFSI2S

MFSI2S ch.5　　基址 ：0x4003_CA00

MFSI2S ch.6　　基址 ：0x4003_CA80

基址	寄存器			
+Address	+3	+2	+1	+0
0x00	-		CNTLREG [H,W] -------- -------- -----000 00000001	
0x04	-		I2SCLK [H,W] -------- -------- 000----- 00000000	
0x08	-		I2SST [B] ------00	I2SRST[B] 00000000

1.32 高容错性

高容错性　基址 ：0x4003_E000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	RTR_CTL3 [B,H,W]	RTR_CTL2 [B,H,W]	RTR_CTL1 [B,H,W]	RTR_CTL0 [B,H,W]
	000- 000-	000- ----	---- ----	1111 1111
0x004	RTR_RTS3 [B,H,W]	RTR_RTS2 [B,H,W]	RTR_RTS1 [B,H,W]	RTR_RTS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x008	RTR_TGS3 [B,H,W]	RTR_TGS2 [B,H,W]	RTR_TGS1 [B,H,W]	RTR_TGS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x00C	RTR_STR3 [B,H,W]	RTR_STR2 [B,H,W]	RTR_STR1 [B,H,W]	RTR_STR0 [B,H,W]
	00-- ----	---- ----	00-- ----	---- ----
0x010	RTR_RLR [W]			
	00000000 00000000 00000000 00000000			
0x014	RTR_CT23 [B,H,W]	RTR_CT22 [B,H,W]	RTR_CT21 [B,H,W]	RTR_CT20 [B,H,W]
	0000 0000	0000 0000	0000 0000	---0 ---0
0x018	RTR_REV [B,H,W]			
	00000000 00010101 00000001 00000000			
0x01C - 0xFFC	-	-	-	-

1.33 USB

USB ch.0 基址 ：0x4004_0000

USB ch.1 基址 ：0x4005_0000

基址+ 地址	寄存器			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 0000000000000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --00000000000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----00000000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 100--00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	

基址+ 地址	寄存器			
	+3	+2	+1	+0
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 - 0x217C	-	-	-	-

1.34 DSTC

DSTC 基址 ：0x4006_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x0000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x0004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x0008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x000C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x0010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0018-0x002C	-			
0x0030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0038-0x004C	-			
0x0050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0058-0x006C	-			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078-0x08C	-			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098-0x0FFC	-			

1.35 MTB_DWT

MTB_DWT 基址 ：0xF000_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W] 00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 - 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.36 快速 GPIO

快速 GPIO 基址 ：0xF800_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	

基址	寄存器			
+ 地址	+3	+2	+1	+0
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 - 0xFFC	-	-	-	-

D. 寄存器映射(TYPE 3-M0+)

本章说明寄存器映射图。

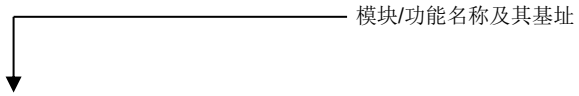
1. 寄存器映射

代码：9AFREGMAP-C03.0

1. 寄存器映射

以下为说明寄存器映射的模块/功能表。

[如何阅读各表]



时钟/复位 基址 ：0x4001_0000

基址 + 地址	寄存器			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[B,H,W] 00000-01
0x004	-	-	-	SCM_STR[B,H,W] 00000-01
0x008	STB_CTL[B,H,W] 00000000 00000000 -------- ---0--00			
0x00C	-	-	RST_STR[B,H,W] -------0 00000-01	

- : 保留区
* :测试寄存器区域

复位后的初始值
"1" : 初始值为 "1"
"0" : 初始值为 "0"
"X" : 初始值未定义
" - " : 保留位

寄存器名称

访问单元
(B :字节，H : 半字，W : 字)

最右侧寄存器地址（字长访问时，寄存器的"+0" 列为数据 LSB。）

注意事项:

- 寄存器表用小端表示。
- 执行数据访问时，地址按访问量如下：
  - 字访问 : 地址应为 4 的倍数（最低有效 2 位应为"0x00"）
  - 半字访问 : 地址应为 2 的倍数（最低有效位应为"0x0"）
  - 字节访问 : -
- 不可访问测试寄存器区。
- 不可访问寄存器表中未写入的区域。
- 如果寄存器的访问单元大于寄存器容量，同时也访问保留区，则读取值未定义，写入无效。

1.1 闪存 I/F

闪存 I/F 基址 : 0x4000_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
	-------- -------- -------- -----011			
0x008	FSTR[B,H,W]			
	-------- -------- -------- --00000X			
0x00C	-	-	-	-
0x010	FSYNDN[B,H,W]			
	-------- -------- -------- ----0001			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
	-------- -------- -------- ------00			
0x024	FISR[B,H,W]			
	-------- -------- -------- ------00			
0x028	FICLR[B,H,W]			
	-------- -------- -------- ------00			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x104 - 0x1FC	-	-	-	-

注意事项:

- *有关闪存 I/F 寄存器的详细信息，参见所用产品的《闪存编程手册》。*

1.2 唯一 ID

唯一 ID 基址 : 0x4000_0200

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXXXXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 时钟/复位

时钟/复位 基址 ：0x4001_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 00000-01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT 基址 ：0x4001_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT 基址 :0x4001_2000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 双计时器

双计时器 基址：**0x4001_5000**

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 基本计时器

基本计时器 ch.0 基址： 0x4002_5000

基本计时器 ch.1 基址： 0x4002_5040

基本计时器 ch.2 基址： 0x4002_5080

基本计时器 ch.3 基址： 0x4002_50C0

基本计时器 ch.4 基址： 0x4002_5200

基本计时器 ch.5 基址： 0x4002_5240

基本计时器 ch.6 基址： 0x4002_5280

基本计时器 ch.7 基址： 0x4002_52C0

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			0-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.8 基本计时器的 IO 选择器

ch.0-ch.3（基本计时器）的 IO 选择器基址： 0x4002_5100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

ch.4-ch.7（基本计时器）的 IO 选择器基址： 0x4002_5300

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

基于软件的同时启动（基本计时器） Base Address : 0x4002_5F00

基址 + 地址	寄存器			
	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] --------XXXXXXXX	

1.9 A/DC

12 位 A/DC 单元 0 基址 ：0x4002_7000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---X-XXX ---XXXXX			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMRPCR[B,H,W]
			00000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.10 CR 调节

CR 调节 基址 : 0x4002_E000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				-----001
0x004	-	-	MCR_FTRM[B,H,W]	
			------10 00000110	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-1111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.11 EXTI

EXTI 基址 ：0x4003_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[R/W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[R/W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C	ELVR2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x020	-	-	-	NMIENR[B,H,W]
	-	-	-	-------0
0x024- 0x0FC	-	-	-	-

1.12 INT-Req. 读取

INT-Req. 读取　　基址 ：0x4003_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000 – 0x004	-	-	-	-
0x008	VIR_OFFSET[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	-	-	-	ODDPKS[B,H,W]
				---00000
0x014– 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x204	IRQ00MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x208	IRQ01MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x20C	IRQ02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x210	IRQ03MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x214	IRQ04MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x218	IRQ05MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x21C	IRQ06MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x220	IRQ07MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x224	IRQ08MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x228	IRQ09MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x22C	IRQ10MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x230	IRQ11MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x234	IRQ12MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x238	IRQ13MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x23C	IRQ14MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x240	IRQ15MON[B,H,W]			
	00000000 00000000 00000000 00000000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x244	IRQ16MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x248	IRQ17MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x24C	IRQ18MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x250	IRQ19MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x254	IRQ20MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x258	IRQ21MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x25C	IRQ22MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x260	IRQ23MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x264	IRQ24MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x268	IRQ25MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x26C	IRQ26MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x270	IRQ27MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x274	IRQ28MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x278	IRQ29MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x27C	IRQ30MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x280	IRQ31MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x284- 0xFFC	-	-	-	-

1.13 GPIO

GPIO 基址：0x4003_3000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	-	-	-	-
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024– 0x034	-	-	-	-
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C- 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C – 0x134	-	-	-	-
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C – 0x1FC	-	-	-	-

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	-	-	-	-
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224 – 0x234	-	-	-	-
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C - 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	-	-	-	-
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324– 0x334	-	-	-	-
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C - 0x3FC	-	-	-	-

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	-	-	-	-
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424– 0x434	-	-	-	-
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C- 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---00101			
0x584 - 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- --00 ---- --01 ---- --0- ---- --00			
0x604 - 0x60C	-	-	-	-
0x610	EPFR04[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x614	EPFR05[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x620	EPFR08[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x628 - 0x654	-	-	-	-
0x658	EPFR22[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x65C	EPFR23[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x660 - 0x678	-	-	-	-
0x67C	EPFR31[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x680	-	-	-	-
0x684	EPFR33[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x688- 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x698	EPFR38[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x69C - 0x6FC	-	-	-	-
0x700	-	-	-	-
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	-	-	-	-
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710 – 0x714	-	-	-	-
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C – 0x7FC	-	-	-	-
0x800– 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	-	-	-	-
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924 – 0x934	-	-	-	-
0x938	FPOERE[B,H,W]			

基址	寄存器			
+ 地址	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C- 0xFFC	-	-	-	-

1.14 HDMI-CEC

HDMI-CEC/远控接收器 ch.0 基址 ：0x4003_4000

HDMI-CEC/远控接收器 ch.1 基址 ：0x4003_4100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 - 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 - 0xFC	-	-	-	-

1.15 LVD

LVD 基址 ：0x4003_5000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			10000000 00001100	
0x004	-	-	LVD_STR [B,H,W]	
			00000000 0000000-	
0x008	-	-	LVD_CLR [B,H,W]	
			00000000 10000000	
0x00C	LVD_RLR [W]			
	0000000000000000 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			0000000001000000	
0x014 - 0x0FC	-	-	-	-

1.16 DS 模式

DS 模式 基址 ：0x4003_5100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W]
				---- -10-
0x004	-	-	-	RCK_CTL [B,H,W]
				---- --01
0x008 - 0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W]
				---- -10-
0x014 - 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W]
				---- 0000
0x104	-	-	-	-
0x108	CAL_KEY [W]			
	00000000 00000000 00000000 00000001			
0x10C - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W]
				---- ---0
0x704	-	-	-	WRFSR [B,H,W]
				---- --00
0x708	-	-	WIFSR [B,H,W]	
			00000000 00000000	
0x70C	-	-	WIER [B,H,W]	
			00000000 00000-00	
0x710	-	-	WILVR [B,H,W]	

基址	寄存器			
+ 地址	+3	+2	+1	+0
			-----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W]
				---- --00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04 [B,H,W]	BUR03 [B,H,W]	BUR02 [B,H,W]	BUR01 [B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08 [B,H,W]	BUR07 [B,H,W]	BUR06 [B,H,W]	BUR05 [B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 – 0x8FC	-	-	-	-
0x900	WIOLC_CTL [B,H,W]			
	-------0 -------1 -------0 -------0			
0x904	-	-	-	SUBOSC_CTL[B,H,W]
				------01
0x908	-	-	-	CEC_CTL [B,H,W]
				----0000
0x90C	-	-	-	DEBUG_SW_CTL[B,H,W]
				-------1
0x910 - 0xEFC	-	-	-	-

1.17 USB 时钟

USB 时钟 基址 ：0x4003_6000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-----000
0x004 – 0x024	-	-	-	-
0x028	-	-	-	UPCR6[B,H,W]
				----0010
0x02C				
0x030	-	-	-	USBEN0[B,H,W]
				-------0
0x038 – 0x0FC	-	-	-	-

1.18 I2CSLAVE

I2CSLAVE ch.6　　基址 ：0x4003_7980

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x00	IBSCR[B,H,W]		IBSSR[B,H,W]	
	------00 0-000000		-----001 00000000	
0x04	-	IBSDSTUPR[B,H,W]	IBSMSKR[B,H,W]	IBSADR[B,H,W]
	-	11111111	01111111	00000000
0x08	-	-	-	IBSTDR[B,H,W]
	-	-	-	11111111
0x0C	-	-	-	IBSRDR[B,H,W]
	-	-	-	11111111
0x10	-	-	IBSSCR[B,H,W]	
	-	-	-----0-- -----00-	
0x14	-	-	IBSSSR[B,H,W]	
	-	-	-------0 --------	
0x18 - 0x3F	-	-	-	-

1.19 MFS

MFS ch.0 基址 ：0x4003_8000

MFS ch.1 基址 ：0x4003_8100

MFS ch.3 基址 ：0x4003_8300

MFS ch.4 基址 ：0x4003_8400

MFS ch.6 基址 :0x4003_8600

MFS ch.7 基址 ：0x4003_8700

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0--00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 0000000000000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000--0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044 - 0x0FC	-	-	-	-

注意事项：

- *RDR/TDR 寄存器的高 16 位可通过 I²S 模式下的字操作进行访问。*

1.20 CRC

CRC 基址 ：0x4003_9000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.21 计时计数器

计时计数器　　基址 :0x4003_A000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00--0000	--000000	--000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 - 0xFFC	-	-	-	-

1.22 RTC

RTC　　基址 : 0x4003_B000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x034 - 0xFFC	-	-	-	-

1.23 低速 CR 预分频器

低速 CR 预分频器 基址 ：0x4003_C000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000 - 0x0FC	-	-	-	-

1.24 外设时钟选通

外设时钟选通 基址 ：0x4003_C100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---- --------1 -------- 11-11-11			
0x004	MRST0[B,H,W]			
	-------- -------0 -------- 00-00-00			
0x008 - 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- -------- -------- ------11			
0x014	MRST1[B,H,W]			
	-------- -------- -------- ------00			
0x018 - 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- -----1-- 111----- -------0			
0x024	MRST2[B,H,W]			
	-------- -----0-- 000----- -------0			
0x028 - 0x0FC	-	-	-	-

1.25 智能卡 I/F

智能卡 I/F ch.1　　基址 ：0x4003_C980

基址 + 地址	寄存器			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000--00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44-0x7C	-	-	-	-

1.26 MFSI2S

MFSI2S ch.4　　基址 ：0x4003_CA00

MFSI2S ch.6　　基址 ：0x4003_CA80

基址 + 地址	寄存器			
	+3	+2	+1	+0
0x00	-	-	CNTLREG[B, H,W] -----0-0 -0000-01	
0x04	-	-	I2SCLK[B, H,W] 00------ 00000000	
0x08	-	-	I2SST[B,H,W] ------00	I2SRST[B,H,W] 00000000
0x0C-0x3C	-	-	-	-

1.27 USB

USB ch.0 基址 ：0x4004_0000

基址+ 地址	寄存器			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 0000000000000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --00000000000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----00000000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	

基址+ 地址	寄存器			
	+3	+2	+1	+0
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 100--00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 - 0x217C	-	-	-	-

1.28 DSTC

DSTC 基址：0x4006_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x0000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x0004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x0008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x000C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x0010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0098 - 0x0FFC	-	-	-	-

1.29 MTB_DWT

MTB_DWT 基址 ：0xF000_1000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W] 00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 - 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFD4	PID5[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFD8	PID6[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFDC	PID7[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFE0	PID0[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFE4	PID1[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFE8	PID2[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFEC	PID3[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFF0	CID0[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFF4	CID1[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			

1.30 快速 GPIO

快速 GPIO 基址 ：0xF800_0000

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	-	-
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024 - 0x034	-	-	-	-
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	-	-
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	-	-
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064 - 0x074	-	-	-	-
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x07C	-	-	-	-
0x080				M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088– 0x0BF	-			
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8 - 0x0FC	-	-	-	-

1.31 VIR

VIR 基址 ：0xF800_0100

基址	寄存器			
+ 地址	+3	+2	+1	+0
0x000	VIR00[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x004	VIR01[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x008	VIR02[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x00C	VIR03[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x010	VIR04[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x014	VIR05[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x018	VIR06[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x01C	VIR07[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x020	VIR08[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x024	VIR09[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x028	VIR10[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x02C	VIR11[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x030	VIR12[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x034	VIR13[W]			

基址	寄存器			
+ 地址	+3	+2	+1	+0
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x038	VIR14[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x03C	VIR15[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x040	VIR16[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x044	VIR17[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x048	VIR18[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x04C	VIR19[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x050	VIR20[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x054	VIR21[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x058	VIR22[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x05C	VIR23[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x060	VIR24[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x064	VIR25[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x068	VIR26[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x06C	VIR27[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x070	VIR28[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x074	VIR29[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x078	VIR30[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			
0x07C	VIR31[W]			
	XXXXXXXX XXXXXXXXXXXXXXXXXXXXXXXX			

E.注意事项列表

本节说明各功能注意事项。

1. **高速 CR 用为主控时钟时的注意事项**

代码：9APRECAUTION-FM0-C03.0

1. 高速 CR 用为主控时钟时的注意事项

本节说明高速 CR 用为主控时钟时的注意事项。

高速 CR 的频率随温度和/或电源电压而变化。下表为高速 CR 用为主控时钟时各功能宏相关注意事项。

另外，要注意高速 CR 用为 PLL 输入时钟以及选择 PLL 所用主控时钟的注意事项。

各宏注意事项

宏	功能/模式	注意事项
内部总线时钟	HCLK/FCLK/PCLK0/PCLK1	高速 CR 最高频率不得超过所用产品《数据手册》规定的内部操作时钟频率。
定时器	多功能定时器 基本定时器 监视定时器 双定时器 看门狗定时器 正交定时器	各宏定时器计数值应考虑高速 CR 频率变化。
A/D 转换器	采样时间 比较时间	考虑到高速 CR 的频率变化，A/D 转换器的采样时间以及比较时间应满足所用产品《数据手册》规定的规格。
USB	-	如果频率精确度不能达到规定要求，高速 CR 用为主控时钟时不能使用这些宏。
多功能串口	UART	因为高速 CR 的频率变化原因，波特率设置可能变得更差。 如果有波特率超出范围错误，则不能使用此功能/模式。
	CSIO, I2C, MFS-I2S	各宏的通讯应考虑高速 CR 频率的变化。
	LIN	如果不能满足规定的频率精确度，本功能不用于主机。 从机时，可以使用此功能。 如果是从机，高速时钟最高/最低频率时规定波特率会出现更多错误。因此，如果超过波特率错误限值，不能使用此功能。
智能卡接口	-	因为高速 CR 的频率变化原因，板速率设置可能变得更差。 如果有板速率超出范围错误，则不能使用此功能/模式。

修订记录

文档修订记录

文档标题: 32 位微处理器 FM0+ 家族 外设手册 通讯宏部分 文档编号: 002-11334		
版本	**ECN No.**	**变更说明**
**	5297507	New Specification (本文档版本号为 Rev**，译自英文版 002-05024 Rev **) Updated to Cypress format.
*A	6960081	本文档版本号为 Rev*A，译自英文版 002-05024 Rev. *C