サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

32 ビット・マイクロコントローラ

FM0+ファミリ PERIPHERAL MANUAL アナログマクロ編

Doc. No. 002-05022 Rev. *D

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
http://www.cypress.com

Copyrights

© Cypress Semiconductor Corporation, 2013-2018. 本書面は，Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合，Cypress は，（1）本ソフトウェアの著作権に基づき，（a）ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに（b）Cypress のハードウェア製品ユニットに用いるためにのみ，（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに（2）本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress，Cypress のロゴ，Spansion，Spansion のロゴ及びこれらの組み合わせ，WICED，PSoC，CapSense，EZ-USB，F-RAM，及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは，cypress.com を参照すること。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、『ペリフェラルマニュアル』およびご使用の製品の『データシート』をご一読ください。
尚､本書はペリフェラルマニュアルよりアナログマクロ部分を抜きだした別冊の位置づけで定義されております。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作、使い方について解説しています。

＜注意事項＞

- *本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。デバイス仕様の詳細については、それぞれのデータシートを参照してください。*
- *周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。*

サンプルプログラムおよび開発環境

FM0+ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本シリーズで使用する開発環境も掲載しています｡当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

- *サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。*
  また､サンプルプログラムの使用に起因し生じた損害については､当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアル アナログマクロ編は、以下に示す章および APPENDIXES から構成されています。

CHAPTER 1-1: A/D コンバータ
CHAPTER 1-2: 12 ビット A/D コンバータ
CHAPTER 1-3: A/D タイマトリガ選択
CHAPTER 2:　10 ビット D/A コンバータ
CHAPTER 3−1:LCD コントローラ概要
CHAPTER 3-2: LCD コントローラ(TYPE1)
CHAPTER 3-3: LCD コントローラ(TYPE2)
APPENDIXES

関連マニュアル

FM0+ ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

- FM0+ ファミリ ペリフェラルマニュアル
  (以降、『ペリフェラルマニュアル』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル タイマ編
  (以降、『タイマ編』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル アナログマクロ編 (本書)
  (以降、『アナログマクロ編』とよびます。)
- FM0+ ファミリ ペリフェラルマニュアル 通信マクロ編
  (以降、『通信マクロ編』とよびます。)

データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

- 32 ビット FM0+ファミリ DATA SHEET

<注意事項>

- *データシートはシリーズごとに用意されています。*
  お使いのシリーズ用のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M**0**+コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

- Cortex-M0+ テクニカルリファレンスマニュアル
- Armv6-M アーキテクチャ アプリケーション レベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

- FM0+ フラッシュプログラミングマニュアル

<注意事項>

- *本マニュアルはシリーズごとに用意されています。*
  お使いのシリーズ用のマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

■ 目次から探す

本書の内容を記載順に示します。

■ レジスタから探す

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『APPENDIXES』の『A.レジスタマップ』を参照してください。

章について

本書では、アナログマクロについて説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

■ 本書のレジスタ説明中のビット構成図では以下のように表記しています。

- bit　:　ビット番号
- Field　:　ビットフィールド名
- 属性　:　各ビットのリード、ライト属性
  - R　:　リードオンリ
  - W　:　ライトオンリ
  - R/W:　リード・ライト可能
  - -　:　未定義
- 初期値 :　リセット直後のレジスタ初期値
  - 0　:　初期値"0"
  - 1　:　初期値"1"
  - X　:　初期値不定

■ 本書では、複数のビットを以下のように表記しています。

例 : bit7 から bit0 の場合は bit7:0

■ 本書では、アドレスなどの数値を以下のように表記しています。

- 16 進数 :　プレフィックス(接頭辞)として"0x"を付けて表記しています(例 : 0xFFFF)。
- 2 進数 :　プレフィックス(接頭辞)として"0b"を付けて表記しています(例 : 0b1111)。
- 10 進数 :　数値だけで表記しています(例 : 1000)。

本マニュアルにおける対象製品

■ 本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M0+","TYPE2-M0+","TYPE3-M0+"などの表記は、以下の一覧の FM0+ファミリ製品に置き換えてお読みください。

Table 1 FM0+ファミリの TYPE1 型格一覧

TYPE	フラッシュメモリサイズ	
	56K bytes	88K bytes
TYPE1-M0+	S6E1A11B S6E1A11C	S6E1A12B S6E1A12C

Table 2 FM0+ファミリの TYPE2 型格一覧

TYPE	フラッシュメモリサイズ	
	304K bytes	560K bytes
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 3 FM0+ファミリの TYPE3 型格一覧

TYPE	フラッシュメモリサイズ	
	64K bytes	128K bytes
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

Contents

CHAPTER 1-1: A/D コンバータ 13
1. 構成 14
2. 機能と動作 16
3. 使用上の注意 17
CHAPTER 1-2: 12 ビット A/D コンバータ 19
1. 概要 20
2. 構成 21
3. 動作説明 23
3.1 A/D コンバータの動作許可 24
3.2 A/D 変換動作 25
3.2.1 スキャン変換動作 26
3.2.2 優先変換動作 28
3.2.3 優先順位と状態遷移 29
3.3 FIFO の動作 31
3.3.1 スキャン変換の FIFO 動作 32
3.3.2 スキャン変換の割込み 33
3.3.3 優先変換の FIFO 動作 35
3.3.4 優先変換の割込み 36
3.3.5 FIFO データの有効・無効 37
3.3.6 FIFO データレジスタのビット配置選択 38
3.4 A/D 比較機能 39
3.5 レンジ比較機能 40
3.6 DMA 起動 44
4. 設定手順例 45
4.1 A/D 動作許可設定手順例 46
4.2 スキャン変換設定手順例 47
4.3 優先変換設定手順例 48
4.4 レンジ比較機能設定例 49
4.5 変換時間の設定 50
5. レジスタ 51
5.1 A/D コントロールレジスタ(ADCR) 52
5.2 A/D ステータスレジスタ(ADSR) 54
5.3 スキャン変換コントロールレジスタ(SCCR) 56
5.4 スキャン変換 FIFO 段数設定レジスタ(SFNS) 58
5.5 スキャン変換 FIFO データレジスタ(SCFD) 59
5.6 スキャン変換入力選択レジスタ(SCIS) 61

5.7 優先変換コントロールレジスタ(PCCR) ... 62
5.8 優先変換 FIFO 段数設定レジスタ(PFNS) ... 64
5.9 優先変換 FIFO データレジスタ(PCFD) ... 65
5.10 優先変換入力選択レジスタ(PCIS) ... 67
5.11 A/D 比較値設定レジスタ(CMPD) ... 68
5.12 A/D 比較コントロールレジスタ(CMPCR) ... 69
5.13 サンプリング時間選択レジスタ(ADSS) ... 70
5.14 サンプリング時間設定レジスタ(ADST) ... 71
5.15 クロック分周比設定レジスタ(ADCT) ... 73
5.16 A/D 動作許可設定レジスタ(ADCEN) ... 74
5.17 上限しきい値設定レジスタ(WCMPDH) ... 76
5.18 レンジ比較コントロールレジスタ(WCMPCR) ... 77
5.19 下限しきい値設定レジスタ(WCMPDL) ... 79
5.20 レンジ比較チャネル選択レジスタ(WCMPSR) ... 80
5.21 レンジ比較しきい値超過フラグレジスタ(WCMRCOT) ... 81
5.22 レンジ比較フラグレジスタ(WCMRCIF) ... 82
CHAPTER 1-3: A/D タイマトリガ選択 ... 83
1. 概要 ... 84
2. レジスタ ... 85
2.1 スキャン変換タイマトリガ選択レジスタ(SCTSL) ... 86
2.2 優先変換タイマトリガ選択レジスタ(PRTSL) ... 87
CHAPTER 2: 10 ビット D/A コンバータ ... 89
1. 概要 ... 90
2. 構成 ... 91
3. 動作説明 ... 92
4. 設定手順例 ... 93
5. レジスタ ... 94
5.1 D/A コントロールレジスタ(DACR) ... 95
5.2 D/A データレジスタ(DADR) ... 96
6. 注意事項 ... 97
CHAPTER3-1: LCD コントローラの概要 ... 99
1. LCD コントローラ参照章 ... 100
CHAPTER 3-2: LCD コントローラ(TYPE1) ... 101
CHAPTER 3-3: LCD コントローラ(TYPE2) ... 103
1. 概要 ... 104
2. 構成 ... 106
2.1 LCD 駆動電圧生成回路 ... 108
2.2 LCD コントローラの外部分割抵抗 ... 111
2.3 LCD コントローラの端子 ... 113
3. 動作説明 ... 114
3.1 LCD の駆動波形 ... 116
3.1.1 8 COM モードでの LCD コントローラ動作時の出力波形 (1/3 バイアス, 1/8 デューティ) ... 117
3.1.2 8 COM モードでの LCD コントローラ動作時の出力波形(1/4 バイアス, 1/8 デューティ) ... 119
3.1.3 4 COM モードでの LCD コントローラ動作時の出力波形(1/2 バイアス, 1/2 デュー

ティ) 121
3.1.4 4 COM モードでの LCD コントローラ動作時の出力波形(1/3 バイアス, 1/3 デューティ) 122
3.1.5 4 COM モードでの LCD コントローラ動作時の出力波形(1/3 バイアス, 1/4 デューティ) 124
3.2 LCD コントローラの割込み 126
3.3 LCD コントローラの表示データメモリ 127
4. 設定手順例 129
5. レジスタ 133
5.1 LCDC 制御レジスタ 1 (LCDCC1) 134
5.2 LCDC 制御レジスタ 2 (LCDCC2) 135
5.3 LCDC 制御レジスタ 3 (LCDCC3) 137
5.4 LCDC 昇圧回路制御レジスタ (LCDC_BOOSTER) 139
5.5 LCDC クロックプリスケーラレジスタ(LCDC_PSR) 141
5.6 LCDC COM 出力許可レジスタ(LCDC_COMEN) 142
5.7 LCDC SEG 出力許可レジスタ 1 (LCDC_SEGEN1) 143
5.8 LCDC SEG 出力許可レジスタ 2 (LCDC_SEGEN2) 144
5.9 LCDC ブリンク設定レジスタ(LCDC_BLINK) 145
5.10 表示データメモリレジスタ 00~39 (LCDRAM00~39) 148
6. 使用上の注意 150
APPENDIXES 151
A. 製品型格一覧 153
1. 製品型格一覧 154
B. レジスタマップ (TYPE1-M0+) 155
1. レジスタマップ 156
1.1 Flash I/F 158
1.2 Unique ID 159
1.3 Clock/Reset 160
1.4 HW WDT 162
1.5 SW WDT 163
1.6 Dual Timer 164
1.7 MFT 165
1.8 PPG 169
1.9 Base Timer 173
1.10 IO Selector for Base Timer 174
1.11 QPRC 175
1.12 QPRC NF 176
1.13 A/DC 177
1.14 D/AC 179
1.15 CR Trim 180
1.16 EXTI 181
1.17 INT-Req. READ 182
1.18 GPIO 185
1.19 HDMI-CEC 192
1.20 LVD 193
1.21 DS Mode 194

1.22 MFS 195
1.23 CRC 197
1.24 Watch Counter 198
1.25 RTC 199
1.26 Low-speed CR Prescaler 200
1.27 Peripheral Clock Gating 201
1.28 DMAC 202
1.29 MTB_DWT 204
1.30 Fast GPIO 206
C. レジスタマップ (TYPE2-M0+) 211
1. レジスタマップ 212
1.1 Flash I/F 214
1.2 Unique ID 215
1.3 Clock/Reset 216
1.4 HW WDT 218
1.5 SW_WDT 219
1.6 Dual Timer 220
1.7 MFT 221
1.8 PPG 225
1.9 Base Timer 229
1.10 IO Selector for Base Timer 230
1.11 QPRC 231
1.12 QPRC NF 232
1.13 A/DC 233
1.14 D/AC 235
1.15 CR Trim 236
1.16 EXTI 237
1.17 INT-Req. READ 238
1.18 LCDC 240
1.19 GPIO 241
1.20 HDMI-CEC 248
1.21 LVD 249
1.22 DS Mode 250
1.23 USB Clock 252
1.24 MFS 253
1.25 CRC 255
1.26 Watch Counter 256
1.27 RTC 257
1.28 Low-speed CR Prescaler 261
1.29 Peripheral Clock Gating 262
1.30 Smart Card I/F 263
1.31 MFSI2S 264
1.32 High Resilience 265
1.33 USB 266
1.34 DSTC 268
1.35 MTB_DWT 269

1.36 Fast GPIO 271
D. レジスタマップ (TYPE3-M0+) 275
1. レジスタマップ 276
1.1 Flash I/F 278
1.2 Unique ID 279
1.3 Clock/Reset 280
1.4 HW WDT 282
1.5 SW WDT 283
1.6 Dual Timer 284
1.7 Base Timer 285
1.8 IO Selector for Base Timer 286
1.9 A/DC 287
1.10 CR Trim 289
1.11 EXTI 290
1.12 INT-Req. READ 291
1.13 GPIO 293
1.14 HDMI-CEC 298
1.15 LVD 299
1.16 DS Mode 300
1.17 USB Clock 302
1.18 I2CSLAVE 303
1.19 MFS 304
1.20 CRC 306
1.21 Watch Counter 307
1.22 RTC 308
1.23 Low-speed CR Prescaler 309
1.24 Peripheral Clock Gating 310
1.25 Smart Card I/F 311
1.26 MFSI2S 312
1.27 USB 313
1.28 DSTC 315
1.29 MTB_DWT 316
1.30 Fast GPIO 318
1.31 VIR 320
E. 注意事項一覧 323
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 324
F. 主な変更内容 325
改訂履歴 327

CHAPTER 1-1: A/D コンバータ

A/D コンバータの機能と動作について説明します。

1. 構成
2. 機能と動作
3. 使用上の注意

管理コード: 9BFADCTOP_FM0-J03.0

1. 構成

A/D コンバータは、外部端子からのアナログ入力電圧をデジタル値に変換します。

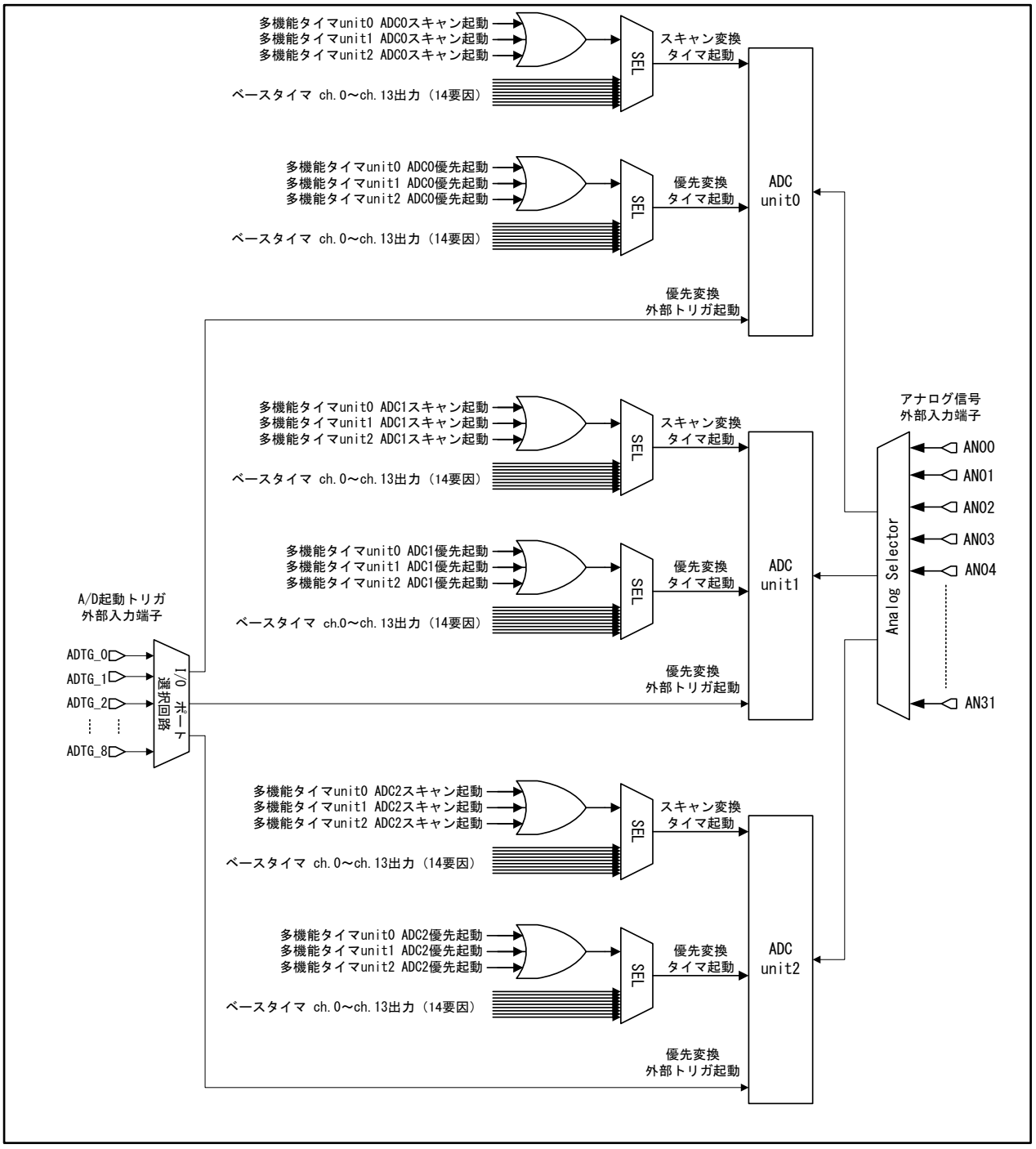
A/D コンバータ構成

- 分解能 12 ビットの A/D コンバータを最大 3 ユニット搭載
- 最大 32 チャネルのアナログ入力から任意のチャネルを任意のユニットへ選択可能
- A/D 変換の起動要因として、以下が選択できます。

  優先変換起動要因
  - 外部端子からのトリガ入力
    タイマトリガ入力(ベースタイマあるいは多機能タイマ)
    ソフトウェア起動
  - スキャン変換起動要因
    タイマトリガ入力(ベースタイマあるいは多機能タイマ)
    ソフトウェア起動

Figure 1-1 に A/D コンバータと関連回路のブロックダイヤグラムを示します。

Figure 1-1 A/D コンバータと関連回路のブロックダイヤグラム



2. 機能と動作

A/D コンバータの機能と動作について下記関連する章の説明を参照してください。

12 ビット A/D コンバータ動作

12 ビット A/D コンバータの変換動作については、『12 ビット A/D コンバータ』の章を参照してください。

12 ビット A/D タイマトリガ選択動作

12 ビット A/D コンバータのタイマトリガ選択の動作については、『A/D タイマトリガ選択』の章を参照してください。

3. 使用上の注意

注意事項を示します。

12 ビット A/D コンバータの注意事項

- A/D コンバータを複数搭載している製品は、複数チャネル同時 A/D 変換ができます。ただし、複数のユニットで同じチャネルを選択しないでください。

- 製品によっては、アナログ入力の一部のチャネルが使用できないものがあります。使用できないチャネルの選択レジスタ(SCIS0, SCIS1, SCIS2, SCIS3), サンプリング時間選択レジスタ(ADSS0, ADSS1, ADSS2, ADSS3)は初期値から変更は禁止です。

- 本ファミリにおいて、優先変換時のアナログ入力チャネルは優先変換入力選択レジスタ(PCIS)の P1A[2:0]で選択してください。12 ビット A/D コンバータの優先変換コントロールレジスタ(PCCR)の ESCE ビットは、常に"0"を書き込んでください。

- 本ファミリの A/D 割込み要求発生を利用した DMA 転送は、スキャン変換割込み要求の発生を利用した DMA 転送にのみ対応しており、優先変換割込み要求による DMA 転送は対応していません。

- 製品仕様と搭載チャネル数について
  搭載されているアナログ入力数、AD 起動トリガに用いるベースタイマチャネル数などは製品ごとに異なります。ご使用する製品の『データシート』の品種構成で確認してください。

CHAPTER 1-2: 12 ビット A/D コンバータ

12 ビット A/D コンバータの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

管理コード: 9xFBAD12M3_FM0-J03.0

1. 概要

12 ビット A/D コンバータは、RC 逐次比較変換方式によりアナログ入力電圧を 12 ビットのデジタル値に変換する機能です。

12 ビット A/D コンバータの特長

- 12 ビットの分解能
- サンプル&ホールド回路付き RC 型逐次比較変換方式を採用
- 入力チャネルごとにサンプリング時間を 2 種類から設定可能
- スキャン変換動作
  - アナログ入力を複数チャネルから任意に複数選択可能
  - 起動要因はソフトウェア/タイマ
  - リピートモードあり
- 優先変換動作

  スキャン変換中においても優先変換の起動要因が発生すると、スキャン変換を中断し優先的に変換を行うことが可能(優先度 1, 2 の 2 レベル用意、優先順位は優先度 1＞優先度 2)

  起動要因はソフトウェア/タイマ(優先度 2), 外部トリガ(優先度 1)
- FIFO 機能
  - スキャン変換用 FIFO 16 段、優先変換用 FIFO 4 段搭載
  - 設定した FIFO 段数にデータが書き込まれると、割込みを発生
- A/D 変換データの配置変更可能(MSB 側へシフト/LSB 側へシフトを選択可能)
- A/D 変換結果比較機能あり
- レンジ比較機能
  - 上下限しきい値を設定可能
  - 範囲内、もしくは、範囲外の検出のいずれかを設定可能
  - 連続検出機能によりノイズ除去が可能。連続検出機能は 1～7 回の回数を指定可能
  - 範囲外検出時は上限しきい値超過または下限しきい値未満の確認可能
- 割込み要因は以下の 5 要因

  スキャン変換用 FIFO 段数割込み

  優先変換用 FIFO 段数割込み

  FIFO オーバラン割込み(スキャン変換用・優先変換用共通)

  A/D 変換結果比較割込み

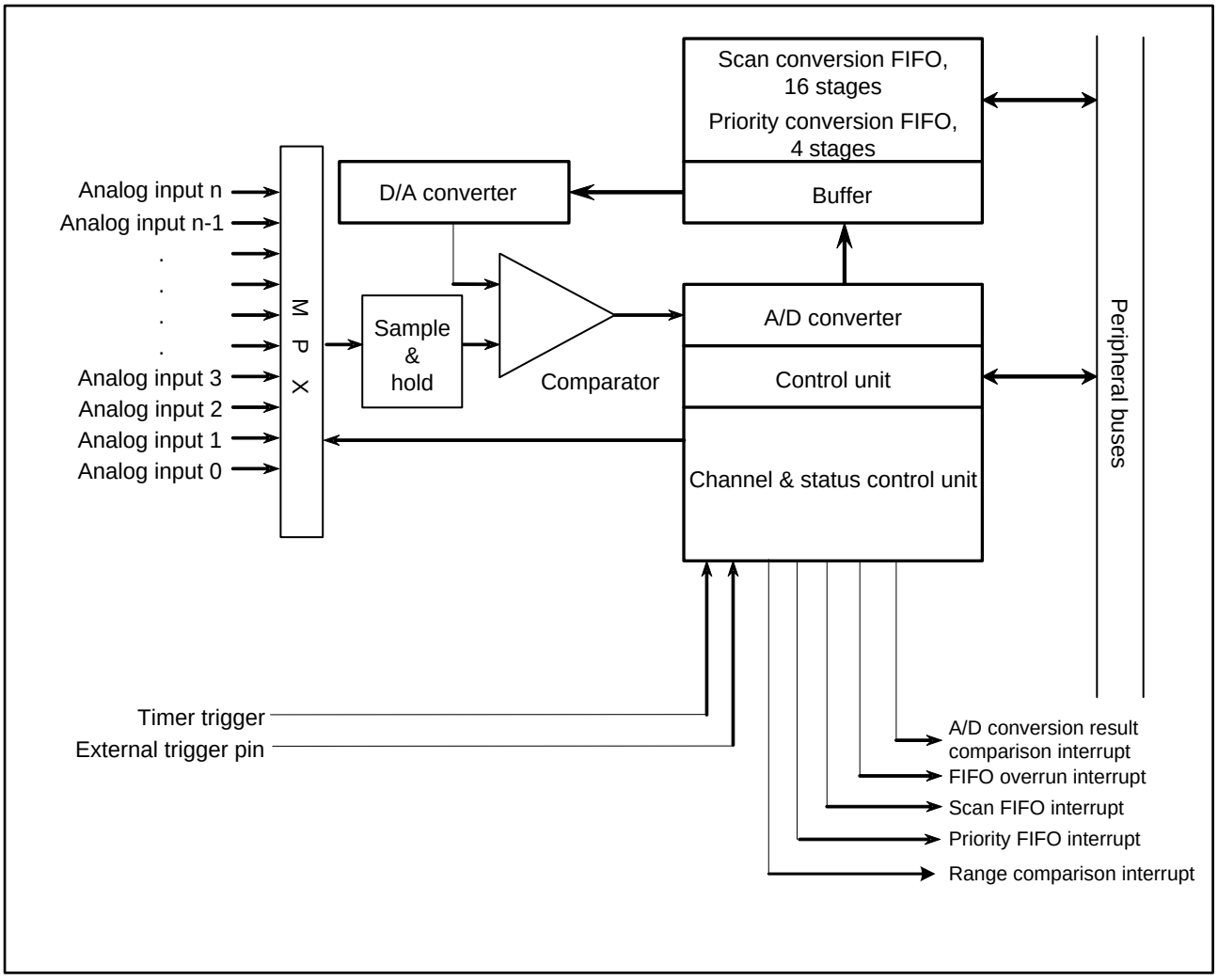
  レンジ比較割込み
- 割込み要求による DMA 転送が可能

2. 構成

12 ビット A/D コンバータの構成を示します。

12 ビット A/D コンバータのブロックダイヤグラム

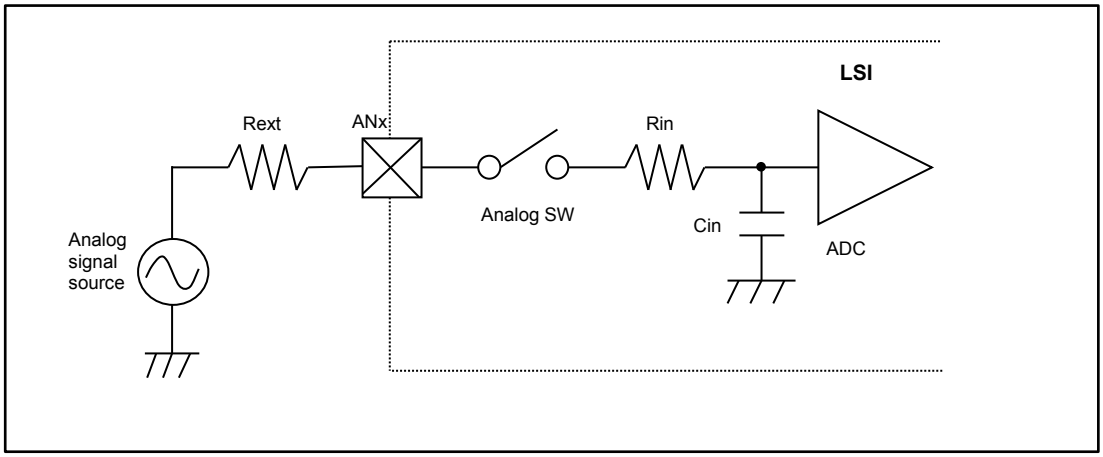
Figure 2-1 12 ビット A/D コンバータのブロックダイヤグラム



入力インピーダンス

A/D コンバータのサンプリング回路は Figure 2-2 の等価回路で表されます。外部インピーダンス Rext は、ご使用する製品の『データシート』の「電気的特性」を参照してサンプリング時間を超えない値にしてください。

Figure 2-2 入力インピーダンス等価回路図



3. 動作説明

12 ビット A/D コンバータの動作について説明します。

3.1 A/D コンバータの動作許可
3.2 A/D 変換動作
3.3 FIFO の動作
3.4 A/D 比較機能
3.5 レンジ比較機能
3.6 DMA 起動

3.1 A/D コンバータの動作許可

A/D コンバータの動作許可について説明します。

A/D コンバータは A/D 変換を行う前に動作許可状態にしてください。A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可ビット(ENBL)に"1"を書き込むことで、A/D コンバータは動作許可状態遷移期間後、動作停止状態から動作許可状態になります。また、A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可ビット(ENBL)に"0"を書き込むことで、A/D コンバータは即座に動作停止状態となります。

動作許可状態のときのみ A/D 変換ができます。動作停止状態中の A/D 変換要求は無視されます。A/D 変換中に動作停止状態となった場合、A/D 変換は直ちに停止します。

A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可状態ビット(READY)を読み出すことで動作許可状態か否かを確認できます。

3.2 A/D 変換動作

A/D コンバータはスキャン変換、優先変換の 2 種類の変換が可能です。

3.2.1 スキャン変換動作
3.2.2 優先変換動作
3.2.3 優先順位と状態遷移

3.2.1 スキャン変換動作

スキャン変換動作について説明します。

入力チャネルの選択はスキャン変換入力選択レジスタ(SCIS)にて行います。SCIS レジスタの対応するビットに"1"を設定することで、複数のアナログ入力チャネルの中から必要なチャネルを任意に設定できます。

A/D の起動はソフトウェアによる起動とタイマによる起動ができます。ソフトウェアによる起動はスキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"を書き込むことで変換が開始します。タイマによる起動は、スキャン変換コントロールレジスタ(SCCR)のスキャン変換のタイマ起動許可ビット(SHEN)に"1"を書き込み、タイマ起動を許可した状態で、タイマの立上りエッジを検出すると変換を開始します。変換が開始すると、A/D ステータスレジスタ(ADSR)のスキャン変換ステータスフラグ(SCS)が"1"に設定されます。変換終了後 SCS は"0"にリセットされます。

A/D の変換中に再度、スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"を書き込むか、タイマ起動許可中に再度タイマの立上りエッジを検出すると、変換中の動作を直ちに停止・初期化し、A/D 変換を再度行います(再起動)。

スキャン変換には以下の変換モードがあります。

1. 単一チャネルによる単発モード

スキャン変換用のアナログ優先変換を 1 優先変換のみ指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"0"の場合が本モードとなります。選択した優先変換の変換が終了後停止します。

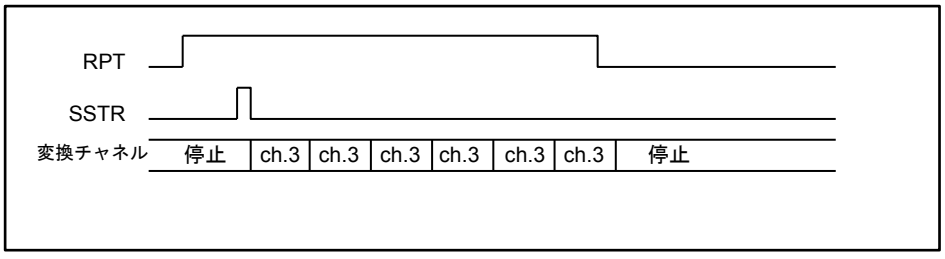
Figure 3-1 単一チャネル選択時の単発モード時の停止動作
(SCIS3=0x00, SCIS2=0x00, SCIS1=0x00, SCIS0=0x08)



2. 単一チャネルによる連続モード

スキャン変換用のアナログ優先変換を 1 優先変換のみ指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"1"の場合が本モードとなります。選択した優先変換の変換が終了すると再度同じ優先変換の変換を開始します。A/D 変換を終了するには、RPT に"0"を書き込むことで、変換中の動作が終了後停止します。

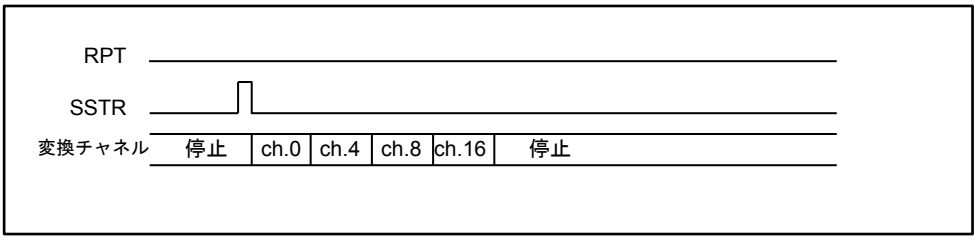
Figure 3-2 単一チャネル選択時の連続モード時の停止動作
(SCIS3=0x00, SCIS2=0x00, SCIS1=0x00, SCIS0=0x08)



3. 複数チャネルによる単発モード

スキャン変換用のアナログチャネルを複数指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"0"の場合が本モードとなります。変換を開始すると、自動的に各チャネルの有無を調べ、順次チャネル切換えと A/D の変換起動、変換終了後の変換結果の FIFO への書込みを行います。変換チャネルは ch.0→ch.1→ch.2・・・の順で選択され、SCIS レジスタで選択されていないチャネルは変換を行わずに次に選択されているチャネルに移ります。選択された最後のチャネルの A/D 変換が終わると、A/D 変換を停止します。

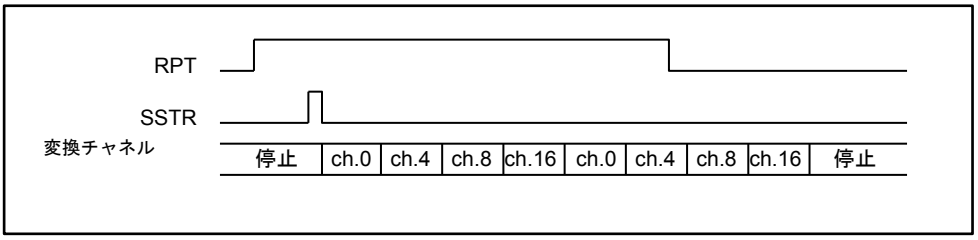
Figure 3-3 複数チャネル選択時の単発モード時の停止動作
(SCIS3=0x00, SCIS2=0x01, SCIS1=0x01, SCIS0=0x11)



4. 複数チャネルによる連続モード

スキャン変換用のアナログチャネルを複数指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"1"の場合が本モードとなります。変換を開始すると、自動的に各チャネルの有無を調べ、順次チャネル切換えと A/D の変換起動、変換終了後の変換結果の FIFO への書込みを行います。変換チャネルは ch.0→ch.1→ch.2・・・の順で選択され、SCIS レジスタで選択されていないチャネルは変換を行わずに次に選択されているチャネルに移ります。選択された最後のチャネルの A/D 変換が終わると、再度 ch.0 からの変換を開始します。A/D 変換を終了するには、RPT に"0"を書き込むことで、選択された最後のチャネルの A/D 変換が終了した後、停止します。

Figure 3-4 複数チャネル選択時の連続モード時の停止動作
(SCIS3=0x00, SCIS2=0x01, SCIS1=0x01, SCIS0=0x11)



3.2.2 優先変換動作

優先変換動作について説明します。

優先的に変換したい場合は本モードを使用します。スキャン変換中でも、優先変換が起動されると、スキャン変換を直ちに中断し、優先的に変換を行います。優先変換を終了すると中断されたチャネルからスキャン変換を再開します。また、優先変換中でもより高い優先度(優先度 1)の変換が起動されると、優先度の低い(優先度 2)変換を直ちに中断し、優先度 1 の変換を行います。優先度 1 の変換終了後、優先度 2 の変換を再開します。

優先変換は 2 レベルの優先度が与えられます。優先度は優先度 1(最優先)>優先度 2 となります。優先度 1 の起動要因は外部端子によるトリガ起動、優先度 2 の起動要因はソフトウェア/タイマ起動が割り当てられます。

入力チャネルの選択は優先変換入力選択レジスタ(PCIS)にて行います。

- 優先度 1 のチャネル選択方法は、優先変換コントロールレジスタ(PCCR)の外部トリガアナログ入力選択ビット(ESCE)によって異なります。

  ESCE=0 の場合 : 優先変換入力選択レジスタ(PCIS)の優先度 1 アナログ入力選択ビット(P1A[2:0])で行い、ch.0～ch.7 の 8 チャネルの中から、1 チャネルのみ選択できます。
  ESCE=1 の場合 : 優先変換入力選択レジスタ(PCIS)の優先度 1 アナログ入力選択ビット(P1A[2:0])の設定は無視され、外部端子(ECS[2:0])入力により ch.0～ch.7 の 8 チャネルの中から 1 チャネルのみ選択できます。
  例) ECS[2:0] = 000 → ch.0
  = 010 → ch.2
  = 111 → ch.7

- 優先度 2 のチャネル選択は、優先変換入力選択レジスタ(PCIS)の優先度 2 アナログ入力選択ビット(P2A[4:0])で行い、複数の入力チャネルの中から 1 チャネルのみ選択できます。

A/D の起動要因は優先度により異なります。

- 優先度 1(最優先)は外部トリガ入力の立下りエッジにより起動が可能です。

  外部トリガ起動を有効にするためには、優先変換コントロールレジスタ(PCCR)の PEEN ビットに"1"を書き込んでください。

- 優先度 2 はソフトウェアによる起動とタイマによる起動が可能です。

  ソフトウェアによる起動は優先変換コントロールレジスタ(PCCR)の PSTR ビットに"1"を書き込むことで変換が開始します。タイマによる起動は、優先変換コントロールレジスタ(PCCR)の PHEN ビットに"1"を書き込み、タイマ起動を許可した状態で、タイマの立上りエッジを検出して変換を開始します。変換が開始すると、A/D ステータスレジスタ(ADSR)の優先変換ステータスフラグビット(PCS)が"1"に設定されます。変換終了後 PCS ビットは"0"にリセットされます。

優先変換モードでは、再起動はできません。また同一優先度の起動要因は無視されます。
(ソフトウェア起動中のタイマによる起動要因は無視されます。)

優先度 2 の起動要因(ソフトウェア/タイマ)で変換中に優先度 1 の起動要因(外部トリガ)が発生した場合は A/D ステータスレジスタ(ADSR)の優先変換保留フラグビット(PCNS)を"1"に設定し優先度 2 の変換は直ちに中断します。優先度 1 の変換が終了すると、PCNS ビットは"0"にリセットされ、中断した優先度 2 の変換を再開します。優先度 1 の変換中に優先度 2 の起動要因が発生すると、優先度 2 の起動要因は保留し(要因を保持)、PCNS ビットを"1"に設定します。優先度 1 の変換を終了後、PCNS ビットは"0"にリセットされ優先度 2 の変換を開始します。

優先変換は単一チャネルによる単発モードのみ可能です。

3.2.3 優先順位と状態遷移

優先順位と状態遷移について説明します。

優先順位

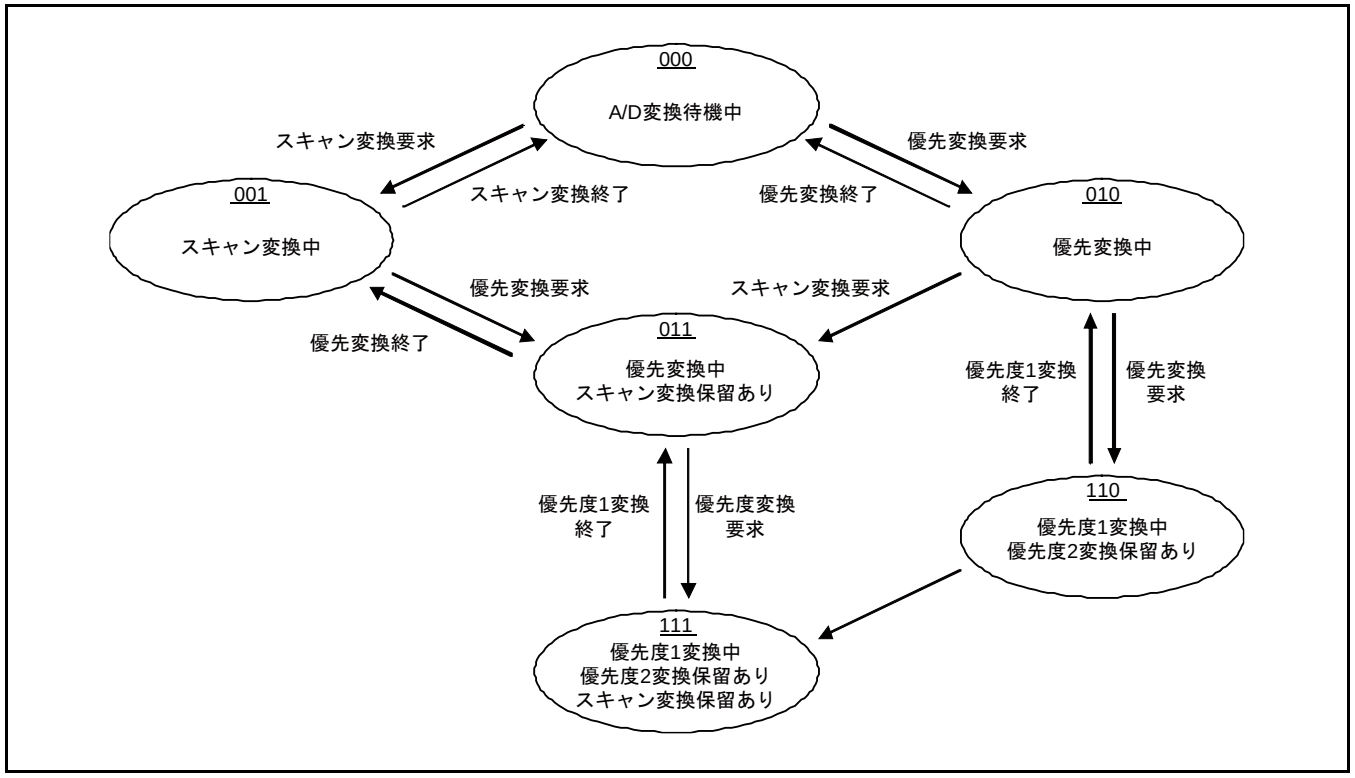
Table 3-1 A/D コンバータの優先順位

優先順位	変換種類	起動要因
1	優先度 1 の優先変換	外部トリガ端子入力(立下りエッジ)
2	優先度 2 の優先変換	– ソフトウェア(優先変換コントロールレジスタ(PCCR)の優先変換スタートビット(PSTR)に"1"書込み) – タイマからのトリガ入力(立上りエッジ)
3	スキャン変換	– ソフトウェア(スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"書込み) – タイマからのトリガ入力(立上りエッジ)

- スキャン変換中に優先変換による起動が発生した場合
  スキャン変換による動作を中断し、優先変換による動作を行います。優先変換の動作が終了すると中断したチャネルから自動的にスキャン変換を再開します。
- 優先度 2 の変換中に優先度 1 の起動が発生した場合
  優先度 2 の変換を中止し、優先度 1 の起動による動作を行います。優先度 1 の動作が終了すると、自動的に優先度 2 の変換を再開します。
- 優先度 1 の変換中に優先度 2 の起動が発生した場合
  優先度 2 の起動要因が保持されます。優先度 1 の変換動作が終了すると、自動的に優先度 2 の変換を開始します。
- 優先度 1 の変換中にスキャン変換の起動が発生した場合
  スキャン変換の起動要因は保持されます。優先度 1 の変換動作が終了すると、自動的にスキャン変換による動作を開始します。
- 優先度 2 の変換中にスキャン変換の起動が発生した場合
  スキャン変換の起動要因は保持されます。優先度 2 の変換動作が終了すると、自動的にスキャン変換による動作を開始します。
- 優先変換の動作中は同一優先順位の起動要因はマスクされます(再起動はしません)。

状態遷移

Figure 3-5 12 ビット A/D コンバータの状態遷移



ADSR レジスタの PCNS, PCS, SCS ビットにより動作状態を読み出せます。

Table 3-2 ADSR レジスタのビットと動作状態の対応

PCNS	PCS	SCS	状態の説明
0	0	0	A/D 変換待機中。
0	0	1	スキャン変換による A/D 変換中。
0	1	0	優先変換(優先度 1, 2)による A/D 変換中。
0	1	1	優先変換(優先度 1, 2)による A/D 変換中。スキャン変換の変換保留あり。
1	1	0	優先変換(優先度 1)による A/D 変換中。優先変換(優先度 2)の保留あり。
1	1	1	優先変換(優先度 1)による A/D 変換中。スキャン変換と優先変換(優先度 2)の保留あり。

3.3 FIFO の動作

A/D コンバータはスキャン変換用に 16 段、優先変換用に 4 段の FIFO を搭載しています。FIFO の設定した段数に変換データが書き込まれると CPU に対して割込みを発生します。

3.3.1 スキャン変換の FIFO 動作

3.3.2 スキャン変換の割込み

3.3.3 優先変換の FIFO 動作

3.3.4 優先変換の割込み

3.3.5 FIFO データの有効・無効

3.3.6 FIFO データレジスタのビット配置選択

3.3.1 スキャン変換の FIFO 動作

スキャン変換の FIFO 動作について説明します。

スキャン変換データの書込み用に 16 段の FIFO を搭載しています。リセット解除後は空(エンプティ)の状態でスキャン変換コントロールレジスタ(SCCR)のスキャン変換用 FIFO エンプティビット(SEMP)は"1"に設定されています。1 チャネル分の A/D 変換が終了すると、FIFO の 1 段目に変換結果, 起動要因, 変換チャネルが書き込まれます。これにより、スキャン変換用 FIFO エンプティビット(SEMP)が"0"にリセットされます。次のチャネルの変換結果, 起動要因, 変換チャネルは 2 段目の FIFO に順次書き込まれます。

16 段すべてにデータの書込みが行われると、スキャン変換コントロールレジスタ(SCCR)のスキャン変換用 FIFO フルビット(SFUL)を"1"に設定し FIFO が満杯(フル)の状態になります。FIFO フルの状態で変換が行われ FIFO にデータを書き込もうとした場合はスキャン変換コントロールレジスタ(SCCR)のスキャン変換
オーバランフラグビット(SOVR)を"1"に設定しデータは捨てられます(上書きできません)。

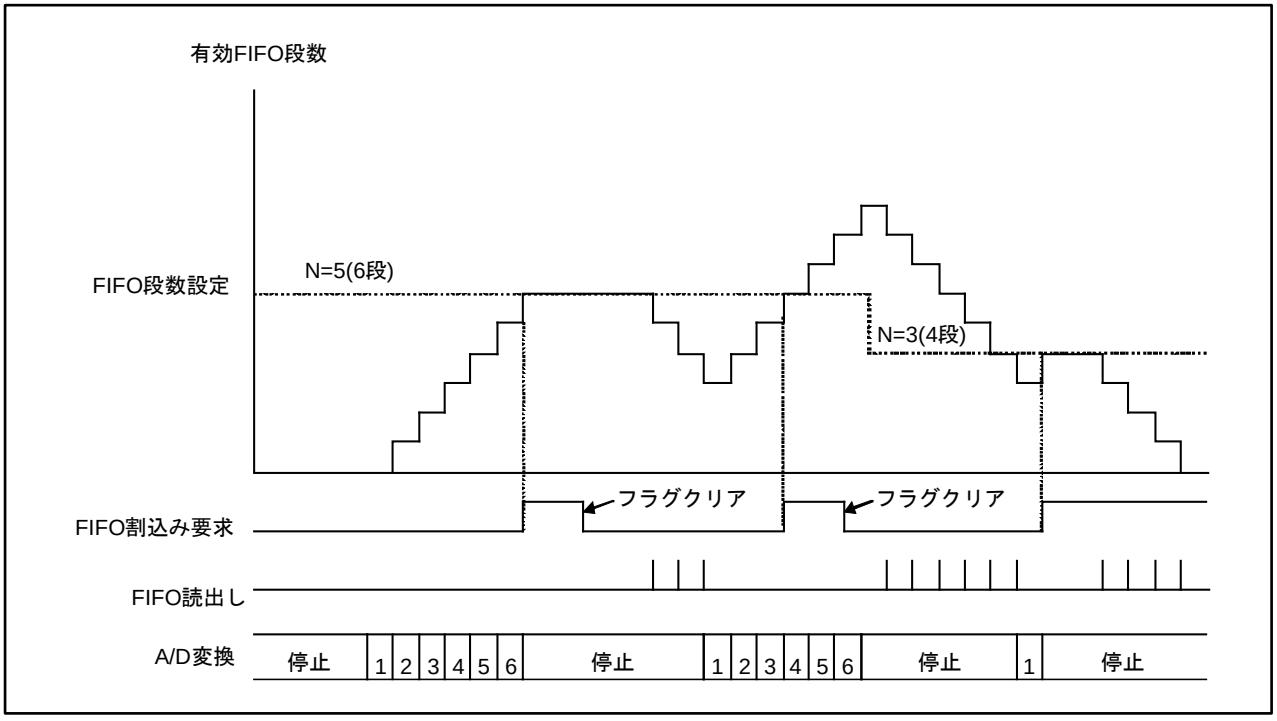
FIFO のデータをクリアしたい場合は、スキャン変換コントロールレジスタ(SCCR)の SFCLR ビットに"1"を書き込んでください。FIFO は空の状態となりスキャン変換用 FIFO エンプティビット(SEMP)は"1"に設定されます。

FIFO の読出しは、スキャン変換 FIFO データレジスタ(SCFD)を読み出すことで、順次 FIFO を読み出せます。本レジスタをバイト(8 ビット)アクセスする場合には、上位バイト(bit31:24)を読み出すことで FIFO はシフトします(それ以外(bit23:16, bit15:8, bit7:0)を読み出しても FIFO はシフトしません)。ハーフワード(16 ビット)アクセスする場合には、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします(それ以外(bit15:0)を読み出しても FIFO はシフトしません)。ワード(32 ビット)アクセスの場合には、FIFO はシフトします。

3.3.2 スキャン変換の割込み

スキャン変換の割込みについて説明します。

Figure 3-6 FIFO 割込み設定と FIFO の動作



スキャン変換 FIFO 段数設定レジスタ(SFNS)のスキャン変換 FIFO 段数設定ビット(SFS[3:0])へ設定した FIFO 段数(N+1)分の変換データが FIFO に書き込まれると、A/D コントロールレジスタ(ADCR)のスキャン変換割込み要求ビット(SCIF)が"1"に設定されます。スキャン変換割込み許可ビット(SCIE)に"1"が書き込まれていた場合、CPU に対して割込み要求を発生します。

スキャン変換の各モードによる FIFO 段数割込み方法を説明します。

単一チャネルによる単発モード

設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には SFS[3:0]=0x0 に設定してください。
1 段目の FIFO に変換データが書き込まれると、SCIF ビットを"1"に設定します。

<注意事項>

- ***SFS[3:0]ビットを 0x1 以上(2 段以上)に設定した場合は、設定した段数分、変換データが FIFO に書き込まれるまで割込みは発生しないため、注意してください。***

単一チャネルによる連続モード

設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には SFS[3:0]=0x0 に設定してください。
1 段目の FIFO に変換データが書き込まれると、SCIF ビットを"1"に設定します。
設定したチャネルをある回数変換終了したら割込みを発生したい場合は、SFS[3:0]を 0x1 以上(2 段以上)に設定してください。例えば 4 回リピート後割込みを発生させる場合は、SFS[3:0]=0x3 に設定してください。

複数チャネルによる単発モード

設定した複数のチャネルの終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数に合わせてください。選択したチャネル数が 8 チャネルの場合、FIFO の段数設定を SFS[3:0]=0x7 に設定することで、選択した最終のチャネルの変換終了後、SCIF ビットを"1"に設定されます。
選択したチャネル数よりも SFS[3:0]ビットの設定を小さくすることで、スキャン終了前の任意のタイミングで割込みを発生できます。

複数チャネルによる連続モード

設定した複数のチャネルの 1 回目のスキャン終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数に合わせてください。選択したチャネル数が 8 チャネルの場合、FIFO の段数設定を SFS[3:0]=0x7 に設定することで、選択した最終のチャネルの変換終了後、SCIF ビットを"1"に設定します。
2 回目のスキャン終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数の 2 倍に設定してください。例えば選択したチャネル数は 4 の場合、FIFO 段数を 8 段(SFS[3:0]=0x7)にすることで、2 回目のスキャン終了後、割込みを発生させられます。
そのほかにも、FIFO の段数を任意に設定できるため、様々なタイミングで割込みを発生することが可能です。

3.3.3 優先変換の FIFO 動作

優先変換の FIFO 動作について説明します。

優先変換データの書込み用に 4 段の FIFO を搭載しています。リセット解除後は空(エンプティ)の状態で優先変換コントロールレジスタ(PCCR)の優先変換用 FIFO エンプティビット(PEMP)は"1"に設定されています。1 回の A/D 変換が終了すると、FIFO の 1 段目に変換結果, 起動要因, 変換チャネルが書き込まれます。これにより、PEMP ビットが"0"にリセットされます。2 回目の変換結果と変換チャネルは 2 段目の FIFO に順次書き込まれます。

4 段すべてにデータの書込みが行われると、優先度変換用 FIFO フルビット(PFUL)を"1"に設定し FIFO が満杯(フル)の状態になります。FIFO フルの状態で変換が行われ FIFO にデータを書き込もうとした場合は優先度変換オーバラン(POVR)を"1"に設定しデータは捨てられます(上書きできません)。

FIFO のデータをクリアしたい場合は、優先変換コントロールレジスタ(PCCR)の優先後変換用 FIFO クリアビット(PFCLR)に"1"を書き込んでください。FIFO は空の状態となり PEMP ビットは"1"に設定されます。

FIFO の読出しは、優先 FIFO データレジスタ(PCFD)を読み出すことで、順次 FIFO を読み出せます。本レジスタをバイト(8 ビット)アクセスする場合には、上位バイト(bit31:24)を読み出すことで FIFO はシフトします(それ以外(bit23:16, bit15:8, bit7:0)を読み出しても FIFO はシフトしません)。ハーフワード(16 ビット)アクセスする場合には、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします(それ以外(bit15:0)を読み出しても FIFO はシフトしません)。ワード(32 ビット)アクセスの場合には、FIFO はシフトします。

3.3.4 優先変換の割込み

優先変換の割込みについて説明します。

優先変換 FIFO 段数設定レジスタ(PFNS)の PFS[1:0]に設定した FIFO 段数(N+1)分の変換データが FIFO に書き込まれると、A/D コントロールレジスタ(ADCR)の優先度変換割込み要求ビット(PCIF)が"1"に設定されます。優先度変換割込み許可ビット(PCIE)に"1"が書き込まれていた場合、CPU に対して割込み要求を発生します。

優先変換の FIFO 段数割込み方法を説明します。

設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には、PFS[1:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、PCIF ビットが"1"に設定されます。

<注意事項>

- *PFS[1:0]ビットを 0x1 以上(2 段以上)に設定した場合は、設定した段数分、変換データが FIFO に書き込まれるまで割込みは発生しないため、注意してください。*

3.3.5 FIFO データの有効・無効

FIFO データレジスタを読み出すときの制約について説明します。

スキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)には、データが有効か無効かを示す A/D 変換結果無効ビット(INVL)が搭載されています。FIFO データレジスタ(SCFD, PCFD)の読出し時にデータが有効である場合、INVL="0"がセットされ、データが無効である場合、INVL="1"がセットされます。

ワード(32 ビット)読出しの場合、INVL ビットによりデータの有効・無効が判定できます。

割込みやエンプティ(SEMP, PEMP)ビットを使用しないハーフワード(16 ビット)読出しの場合、必ず INVL ビット含む下位 16 ビットから読出しを行ってください。このとき、INVL="1"の場合、上位 16 ビットの読出しは禁止です。INVL="0"のときのみ、上位 16 ビットの読出しを行ってください。

割込みやエンプティ(SEMP, PEMP)ビットを使用しないバイト(8 ビット)読出しの場合、必ず INVL ビット含む bit15:8 から読出しを行ってください。このとき、INVL="1"の場合、bit31:24, bit23:16, bit7:0 の読出しは禁止です。INVL="0"のときのみ、それらの読出しを行ってください。

3.3.6 FIFO データレジスタのビット配置選択

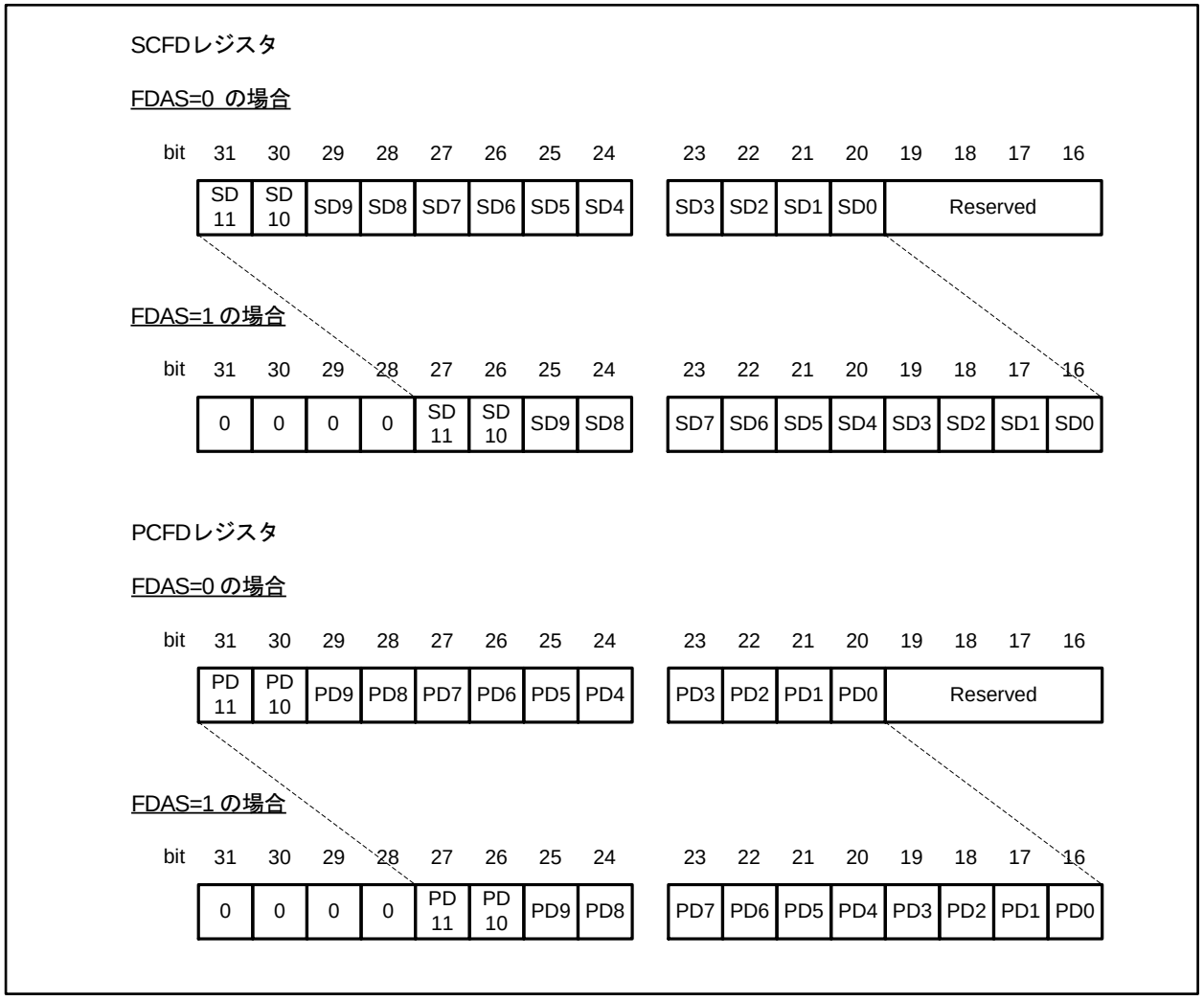
FIFO データレジスタのビット配置選択について説明します。

A/D コンバータは、A/D ステータスレジスタ(ADSR)の FIFO データ配置選択ビット(FDAS)によりスキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)の変換結果のビット配置を変更できます (Figure 3-7)。

FDAS="1"に設定することによって、FIFO データレジスタ読出し時に、12 ビット A/D 変換結果(SD11～SD0, PD11～PD0)は LSB 側(bit27:16)に配置されます。FIFO データレジスタの下位 16 ビットの配置は変わりません。

FIFO のシフトは、FDAS の設定値によらず、FIFO データレジスタの bit31:24(バイトアクセスの場合), bit31:16(ハーフワードアクセスの場合), bit31:0(ワードアクセスの場合)を読み出すことで行われます。

Figure 3-7 FIFO データレジスタのビット配置



3.4 A/D 比較機能

A/D 比較機能は、A/D コンバータの変換結果を比較し、割込みを発生させる機能です。

比較機能を動作させるには、A/D 比較コントロールレジスタ(CMPCR)の変換結果比較機能動作許可ビット(CMPEN)に"1"を書き込んでください。

A/D 比較値設定レジスタ(CMPD)に設定した値と、A/D 変換結果の上位 10 ビット(bit11:2)を比較します。この結果、A/D 比較コントロールレジスタ(CMPCR)で設定した条件が満たされた場合、ADCR レジスタの変換結果比較割込み要求ビット(CMPIF)が"1"に設定されます。変換結果比較割込み許可ビット(CMPIE)が"1"に設定されている場合は、CPU に対して割込みを発生します。

<注意事項>

- *LSB 側の 2 ビット(bit1, bit0)の比較は行いません。*

A/D変換結果の比較はスキャン変換・優先変換によらずA/D変換結果がFIFOに書き込まれる前に行うため、FIFOフルの状態でも比較できます。

A/D 比較コントロールレジスタ(CMPCR)の比較モード 1(CMD1)に"1"を設定した場合(CMPD 設定値以上の場合に割込み発生)は変換結果と、A/D 比較値設定レジスタ(CMPD)の値が等しい場合も CMPIF ビットは"1"に設定されます。

3.5 レンジ比較機能

レンジ比較機能は、A/D コンバータの変換結果が指定した範囲内または範囲外かを比較し、割込みを発生させる機能です。

レンジ比較機能を動作させるには、レンジ比較コントロールレジスタ(WCMPCR)のレンジ比較許可設定(RCOE)に"1"を書き込んでください。

A/D 変換結果の上位 10 ビット(bit11:2)が上限しきい値設定レジスタ(WCMPDH)と下限しきい値設定レジスタ(WCMPDL)に設定した値と、A/D 変換結果の上位 10 ビット(bit11:2)を比較します。

<注意事項>

- *LSB 側の 2 ビット(bit1, bit0)の比較は行いません。*

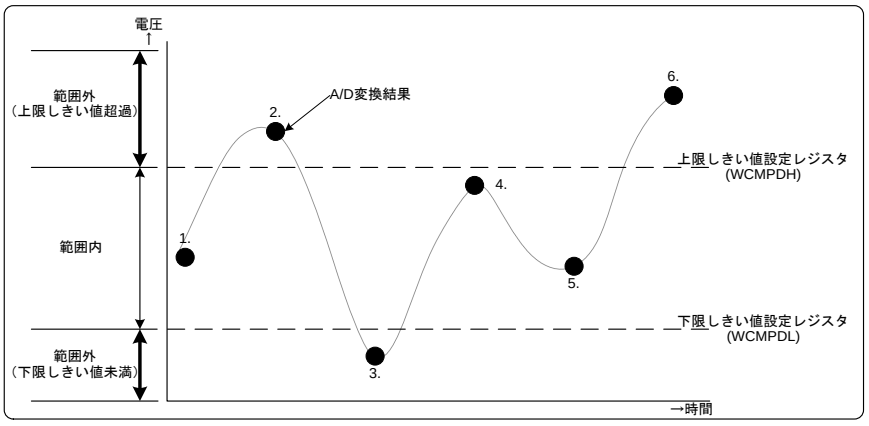
レンジ比較コントロールレジスタ(WCMPCR)の範囲内・範囲外確認選択(RCOIRS)が"1"の場合、A/D 変換結果が設定した範囲内であることを確認します。範囲内・範囲外確認選択(RCOIRS)が"0"の場合、A/D 変換結果が設定した範囲外であることを確認します。

Table 3-3 にレンジ比較の検出条件を、Figure 3-8 にレンジ比較の動作を示します。

Table 3-3 レンジ比較条件

レンジ比較結果	範囲外確認 (RCOIRS="0")	範囲内確認 (RCOIRS="1")	備考
範囲外（上限しきい値超過） A/D データビット＞上限しきい値設定レジスタ	検出	未検出	Figure 3-8：2,6
範囲内 A/D データビット≧下限しきい値設定レジスタ かつ A/D データビット≦上限しきい値設定レジスタ	未検出	検出	Figure 3-8 : 1,4,5
範囲外（下限しきい値未満） A/D データビット＜下限しきい値設定レジスタ	検出	未検出	Figure 3-8：3

Figure 3-8 レンジ比較動作



連続検出機能は、レンジ比較の連続検出を行い、ノイズなどを除去します。レンジ比較コントロールレジスタ(WCMPCR)の連続検出回数指定・状態設定(RCOCD)に設定された回数分連続して検出された場合に、レンジ比較フラグレジスタ(RCINT)が"1"に設定されます。レンジ比較割込み許可ビット(RCOIE)が"1"に設定されている場合は、CPU に対して割込みを発生します。

連続検出中に 1 度でもレンジ比較結果が未検出となった場合は、連続検出測定は 0 回にクリアされ、測定を再開します。

Table 3-4 に連続検出動作の条件を示します。

Table 3-4 連続検出動作条件

項目	内容
連続検出測定動作	レンジ比較実行許可設定(RCOE="1")時は常に動作
連続検出回数	− 連続検出回数指定(RCOCD)により、1～7 回を選択可能 − 連続検出回数状態表示(RCOCD)により、検出回数の状態を確認可能
クリア条件	− レンジ比較実行禁止設定(RCOE="0")時 − レンジ比較結果で未検出時
インクリメント条件	レンジ比較結果で検出時 ただし、連続検出回数指定(RCOCD)に到達した場合は、連続検出回数指定値で停止

＜注意事項＞

− *範囲外確認(WCMPCR.RCOIRS = "0")の場合、レンジ比較結果が上限しきい値超過状態から下限しきい値未満状態に変化しても、連続検出測定は 0 回にクリアされず、連続検出を継続します。*
レンジ比較結果の連続検出回数状態を初期化したい場合､A/D 変換未要求中にレンジ比較禁止に設定後、再度許可に設定してください。

レンジ比較の範囲外確認(RCOIRS="0")の場合、上限しきい値超過または下限しきい値未満の確認をレンジ比較しきい値超過フラグビット(RCOOF)で行えます。

Table 3-5 にレンジ比較しきい値超過フラグの判定条件を示します。

Table 3-5 レンジ比較しきい値超過フラグ判定条件

レンジ比較結果	レンジ比較しきい値超過フラグビット(RCOOF)	
	範囲外確認 (RCOIRS="0")	範囲内確認 (RCOIRS="1")
範囲外（上限しきい値超過） A/D データビット＞上限しきい値設定レジスタ	"1"	前値を保持
範囲内 A/D データビット≧下限しきい値設定レジスタ かつ A/D データビット≦上限しきい値設定レジスタ	前値を保持	前値を保持
範囲外（下限しきい値未満） A/D データビット＜下限しきい値設定レジスタ	"0"	前値を保持

また、レンジ比較しきい値超過フラグビット(RCOOF)は、レンジ比較割込み要因フラグ(RCINT)が"1"にセットされている間は、レンジ比較しきい値超過フラグビット(RCOOF)にセットされている内容を保持します。

Figure 3-9 にレンジ比較機能の動作例を示します。

Figure 3-9 レンジ比較動作例

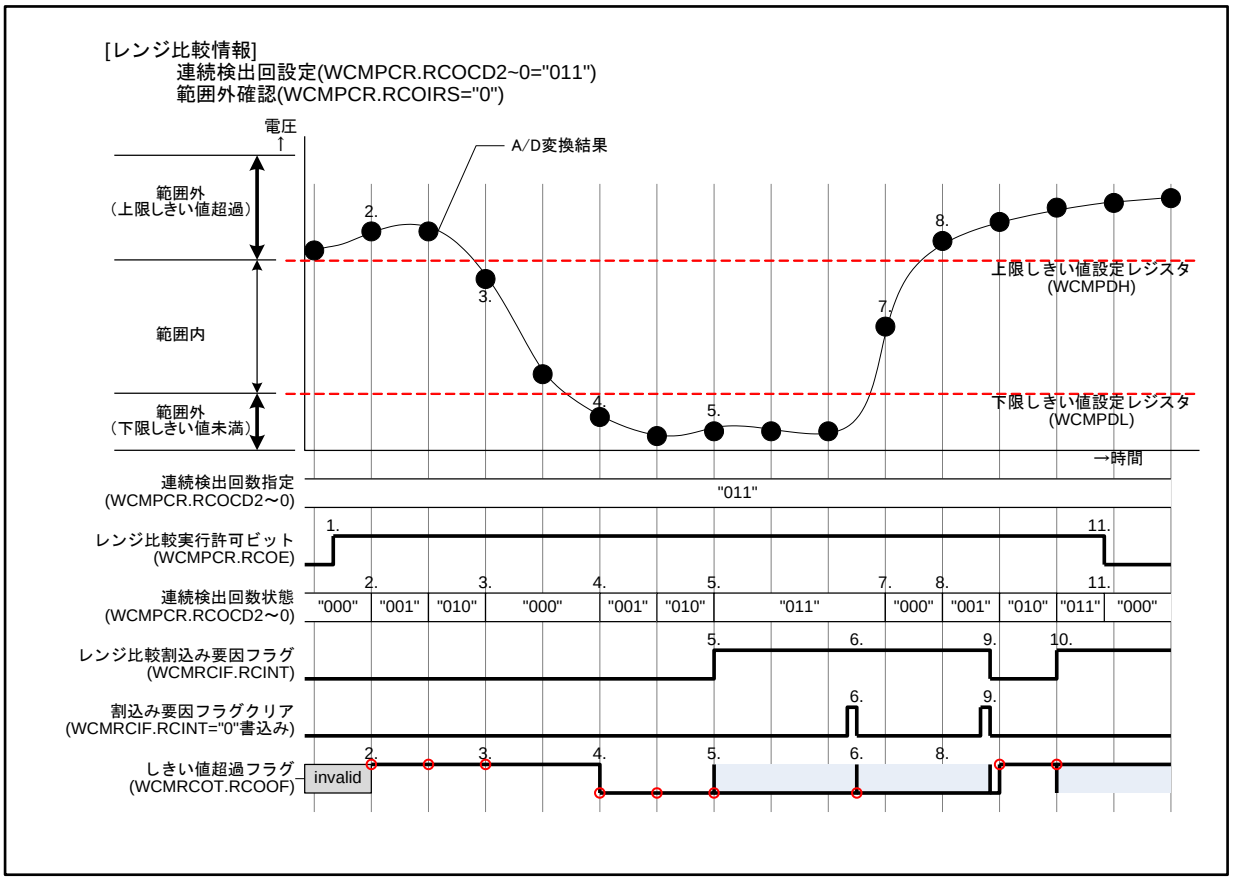


Figure 3-9 のレンジ比較動作の説明を以下にします。

1. レンジ比較実行禁止設定(RCOE="0")時、連続検出回数状態(RCOCD)を"000"に初期化します。
   レンジ比較実行許可設定(RCOE="1")によりレンジ比較動作開始します。
2. レンジ比較結果が上限しきい値超過により、連続回数検出状態(RCOCD)をインクリメント実施します。
   また、しきい値超過フラグは上限しきい値超過(RCOOF="1")を通知します。
3. 連続検出回数指定値(RCOCD ="011")前にレンジ比較結果が範囲内を検出したため、連続検出回数状態を初期化(RCOCD ="000")します。
   また、しきい値超過フラグ(RCOOF)は前値を保持します。
4. レンジ比較結果が下限しきい値未満により、連続回数検出状態(RCOCD)をインクリメント実施します。
   また、しきい値超過フラグは下限しきい値未満(RCOOF="0")を通知します。
5. レンジ比較結果が連続的に連続検出回数指定値(RCOCD ="011")に到達したことにより、レンジ比較割込み要因フラグ(RCINT)は"1"にセットされます。
   また、しきい値超過フラグ(RCOOF)は、レンジ比較割込み要因フラグセット(RCINT="1")された時のしきい値超過状態をセットし、レンジ比較割込み要因フラグクリア(RCINT="0")されるまで保持します。

6. レンジ比較割込み要因フラグクリア(RCINT="0")と連続検出状態が競合した場合、連続検出状態によるセット動作が優先されます。レンジ比較割込み要因フラグはセット(RCINT="1")状態、しきい値超過フラグ(RCOOF)は、しきい値超過状態を再セットします。
7. レンジ比較結果が範囲内のとき、レンジ比較割込み要因フラグセット(RCINT="1")状態でも、連続検出回数状態は初期化(RCOCD ="000")されます。
8. レンジ比較割込み要因フラグセット(RCINT="1")状態でも、レンジ比較結果が上限しきい値超過により、連続回数検出状態(RCOCD)をインクリメント実施します。
   ただし、レンジ比較割込み要因フラグセット(RCINT="1")状態のため、しきい値超過フラグ(RCOOF)は前値を保持します。
9. レンジ比較割込み要因フラグクリア(RCINT="0")により、レンジ比較割込み要因フラグはクリア(RCINT="0")されます。
   また、しきい値超過フラグ(RCOOF)の保持状態も解除されます。
10. レンジ比較結果が連続的に連続検出回数指定値(RCOCD ="011")に到達したことにより、レンジ比較割込み要因フラグ(RCINT)は"1"にセットされます。
    また、しきい値超過フラグ(RCOOF)は、レンジ比較割込み要因フラグがセット(RCINT="1")された時のしきい値超過状態をセットし、レンジ比較割込み要因フラグがクリア(RCINT="0")されるまで保持します。
11. レンジ比較実行禁止設定(RCOE="0")時、連続検出回数状態(RCOCD)を"000"に初期化します。
    また、レンジ比較割込み要因フラグ(RCINT)およびしきい値超過フラグ(RCOOF)は、レンジ比較実行禁止設定(RCOE="0")によりクリアされません。

なお、A/D 変換結果のレンジ比較はスキャン変換・優先変換によらず A/D 変換結果が FIFO に書き込まれる前に行うため、FIFO フルの状態でも比較できます。

3.6 DMA 起動

A/D コンバータの FIFO データを DMA 転送する処理について説明します。

A/D コンバータの FIFO に格納されているデータは、割込み信号を利用したハードウェア起動 DMA 転送ができます。以下に必要設定と動作内容を説明します。

本製品の場合、DMAC によるスキャン変換 FIFO データの DMA 転送、DSTC によるスキャン変換 FIFO データ、優先変換 FIFO データの DMA 転送に対応しています。

・A/D コンバータからの割込み信号は、初期状態では割込みコントローラに接続されています。割込みコントローラの DMA 転送要求の選択レジスタの設定、DSTC の DREQENB レジスタの設定により、スキャン変換割込み信号、優先変換割込み信号を DMAC/DSTC に接続します。A/D コンバータからの割込みを許可します。（ADCR:SCIE=1、ADCR:PCIE=1）

・A/D コンバータからの割込みを発生させる FIFO 段数を 0　(FIFO の 1 段目に変換結果が格納されたとき割込み要求発生)に設定します。

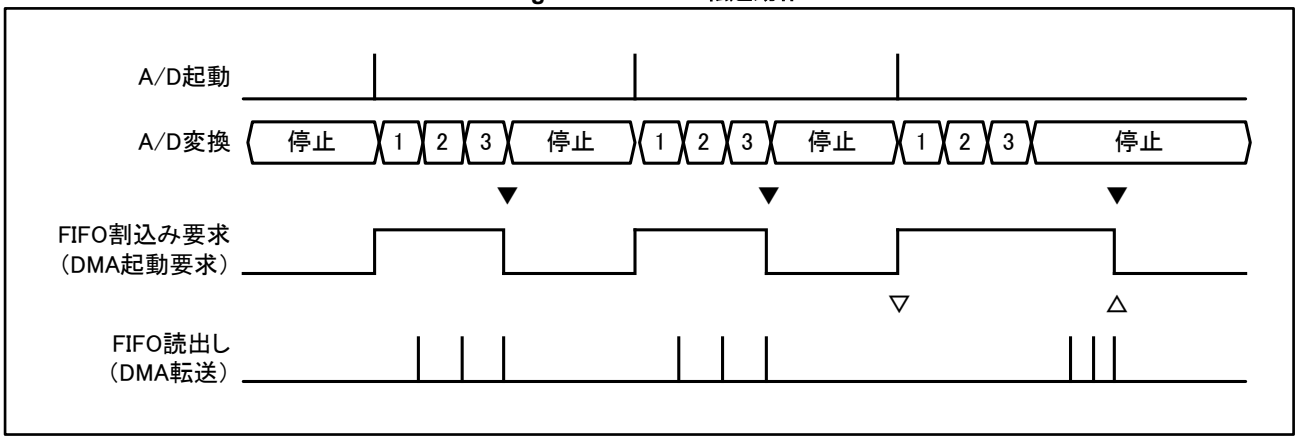
・DMAC/DSTC 側で、転送元アドレスを、スキャン変換 FIFO データレジスタ(SCFD) 、優先変換 FIFO データレジスタ（PCFD）に指定します。DMAC の場合、転送モードは、ハードウェア・Demand 転送を選択します。DSTC の場合、転送モードは、DES0.MODE=1 を選択します。転送回数は FIFO に格納されるデータ数を指定します。

Figure 3-10 に DMA 転送動作のタイミングチャートを示します。

A/D 変換の起動後、変換データは、FIFO に格納されます。A/D コンバータから割込み要求が発生します。DMAC/DSTC により、FIFO データレジスタの読出し、転送先への書込みが行われ、データ転送が行われます。発生した割込み信号は、DMAC/DSTC 側からクリア処理が行われます（図中の▼）。CPU から割込みフラグ（ADCR:SCIF、ADCR:PCIF）をクリアする必要はありません。DMAC/DSTC に指定した所定回数の転送終了後、DMAC/DSTC から転送終了通知を受け取ることができます。

DMAC/DSTC が A/D コンバータ以外の転送要求の処理を行っている場合、図の▽から△に示すように、DMA 転送の開始が遅れる場合がありますので、注意してください。

Figure 3-10 DMA 転送動作



4. 設定手順例

12 ビット A/D コンバータの設定手順例を説明します。

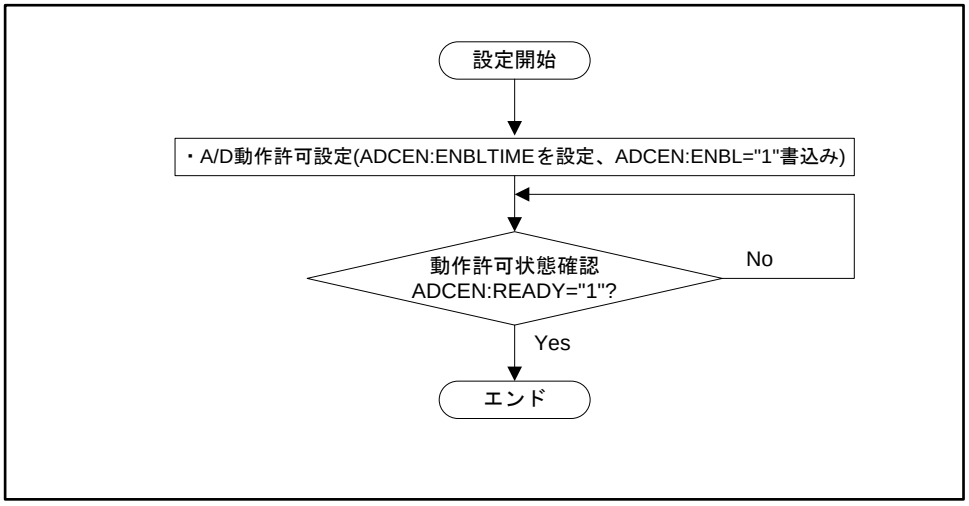
4.1 A/D 動作許可設定手順例
4.2 スキャン変換設定手順例
4.3 優先変換設定手順例
4.4 レンジ比較機能設定例
4.5 変換時間の設定

4.1 A/D 動作許可設定手順例

A/D 動作許可設定手順例を示します。

- 動作許可状態遷移期間を設定
- 動作許可状態をポーリング

Figure 4-1 A/D 動作許可設定手順例

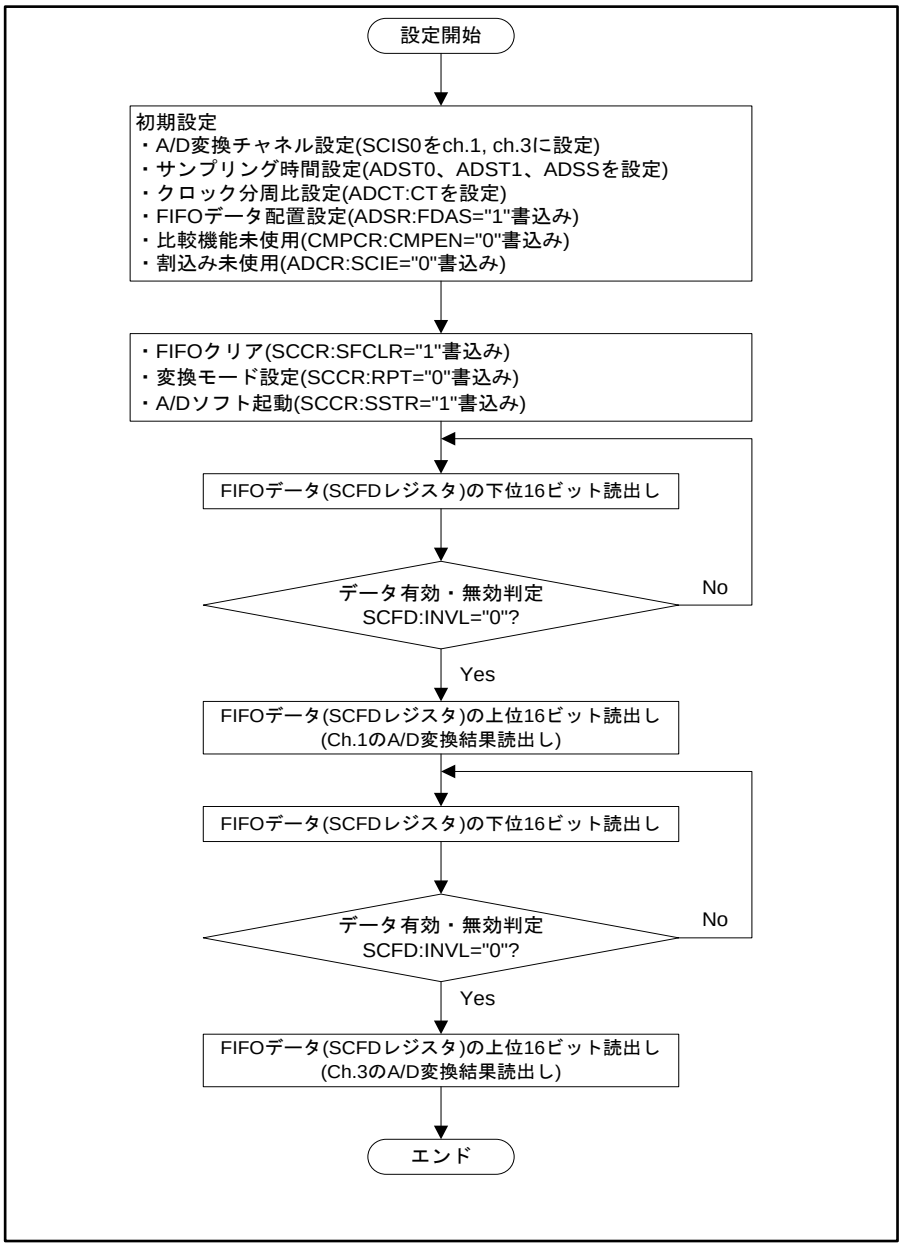


4.2 スキャン変換設定手順例

スキャン変換設定手順例を示します。

- ソフト起動によるスキャン変換
- A/D 変換チャネルを ch.1 と ch.3 に設定
- サンプリング時間を、ch.1 と ch.3、別々に設定
- クロック分周比を設定
- FIFO データの下位 16 ビットを読み出して、INVL ビットでデータ有効・無効を判定
- データが有効であると判定後、FIFO データの上位 16 ビットを読出し

Figure 4-2 スキャン変換設定手順例



4.3 優先変換設定手順例

優先変換設定手順例を示します。

- タイマ起動による優先度 2 の優先変換
- 変換チャネルは ch.1 と ch.3
- サンプリング時間を、ch.1 と ch.3、別々に設定
- クロック分周比を設定
- 割込みを使用して FIFO データの 32 ビットを読出し
- 設定した FIFO 段数分読出しを行う

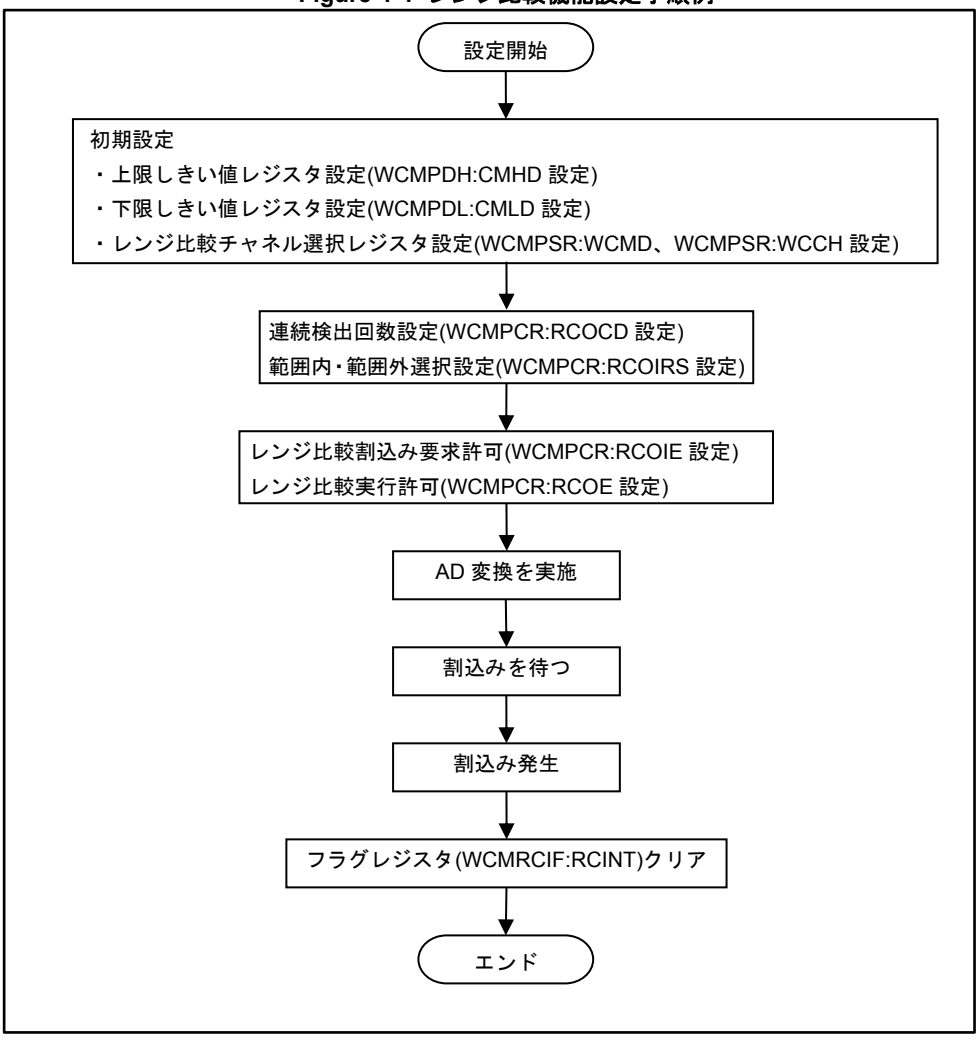
Figure 4-3 優先変換設定手順例



4.4 レンジ比較機能設定例

Figure 4-4 にレンジ比較機能設定手順例を示します。

Figure 4-4 レンジ比較機能設定手順例



4.5 変換時間の設定

A/D コンバータの変換時間は「サンプリング時間」+「コンペア時間」です。サンプリング時間はチャネルごとに 2 種類設定できます。本項では、変換時間の設定, 計算方法を説明します。

サンプリング時間の設定例

サンプリング時間は、サンプリング時間設定レジスタ 0, 1(ADST0 または ADST1)にて設定します。サンプリング時間選択レジスタ(ADSS3～ADSS0)により、チャネルごとにサンプリング時間設定レジスタ 0, 1 のどちらの値を使用するか選択可能です。これにより、外部インピーダンスの異なるチャネルに対して個別にサンプリング時間を設定できます。

サンプリング時間 = ベースクロック(HCLK)周期×クロック分周比×{(ST 設定値＋1)×STX 設定値＋3}

<注意事項>

- *サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」記載内容に従い、入力チャネルの外部インピーダンス, アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *STXx2, STXx1, STXx0=000(STx4～STx0 の設定値 ×1 倍)に設定した場合、STx4～STx0 は"2"以上を設定してください("1"以下は設定禁止です)。*

コンペア時間の設定例

コンペア時間は、クロック分周比設定レジスタ(ADCT)で設定します。

コンペア時間 = コンペアクロック周期×14
コンペアクロック周期 = ベースクロック(HCLK)周期×クロック分周比

<注意事項>

- *コンペアクロック周期は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *サンプリング時間, コンペアクロック周期が A/D コンバータの電気的特性を満たさない場合、A/D 変換精度が悪くなることがあります。*

変換換時間の計算例 (HCLK=20MHz(周期 50ns)のとき)

(1) サンプリング時間

- ST04～ST00 = 2, STX02, STX01, STX00 = 000(1 倍), CT0～CT7 = 0(コンペアクロック分周比 2)の場合
  サンプリング時間 = 50ns×2×{(2+1)×1+3} = 600ns
- ST14～ST10 = 19, STX12, STX11, STX10 = 001(4 倍), CT0～CT7 = 0(コンペアクロック分周比 2)の場合
  サンプリング時間 = 50ns×2×{(19+1)×4+3} = 8300ns

(2) コンペア時間

- CT0～CT7 = 0(クロック分周比 2)の場合
  コンペアクロック周期 = 50ns×2 = 100ns
  コンペア時間 = 100ns×14 = 1400ns

(3) 変換時間

(1)と(2)の和より、

- ADST0 レジスタで指定したチャネルの変換時間 = 2000ns
- ADST1 レジスタで指定したチャネルの変換時間 = 9700ns

5. レジスタ

12 ビット A/D コンバータで使用するレジスタの構成と機能について説明します。

12 ビット A/D コンバータのレジスター覧

レジスタ略称	レジスタ名	参照先
ADCR	A/D コントロールレジスタ	5.1
ADSR	A/D ステータスレジスタ	5.2
SCCR	スキャン変換コントロールレジスタ	5.3
SFNS	スキャン変換 FIFO 段数設定レジスタ	5.4
SCFD	スキャン変換 FIFO データレジスタ	5.5
SCIS	スキャン変換入力選択レジスタ	5.6
PCCR	優先変換コントロールレジスタ	5.7
PFNS	優先変換 FIFO 段数設定レジスタ	5.8
PCFD	優先変換 FIFO データレジスタ	5.9
PCIS	優先変換入力選択レジスタ	5.10
CMPD	A/D 比較値設定レジスタ	5.11
CMPCR	A/D 比較コントロールレジスタ	5.12
ADSS	サンプリング時間選択レジスタ	5.13
ADST	サンプリング時間設定レジスタ	5.14
ADCT	クロック分周比設定レジスタ	5.15
ADCEN	A/D 動作許可設定レジスタ	5.16
WCMPDH	上限しきい値設定レジスタ	5.17
WCMPCR	レンジ比較コントロールレジスタ	5.18
WCMPDL	下限しきい値設定レジスタ	5.19
WCMPSR	レンジ比較チャンネル選択レジスタ	5.20
WCMRCOT	レンジ比較しきい値超過フラグレジスタ	5.21
WCMRCIF	レンジ比較フラグレジスタ	5.22

5.1 A/D コントロールレジスタ(ADCR)

A/D コントロールレジスタ(ADCR)は、割込みフラグ表示, 割込み許可を制御します。

bit	15	14	13	12	11	10	9	8
Field	SCIF	PCIF	CMPIF	予約	SCIE	PCIE	CMPIE	OVRIE
属性	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初期値	0	0	0	X	0	0	0	0

[bit15] SCIF： スキャン変換割込み要求ビット

スキャン変換 FIFO 段数設定レジスタ(SFNS)で設定した段数まで変換値が書き込まれたときに、本ビットは"1"に設定されます。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"です。

bit	説明	
	読出し	書込み
0	変換結果未格納	ビットクリア
1	変換結果格納	動作に影響しません

[bit14] PCIF： 優先変換割込み要求ビット

優先変換 FIFO 段数設定レジスタ(PFNS)で設定した段数まで変換値が書き込まれたときに、本ビットは"1"に設定されます。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"です。

bit	説明	
	読出し	書込み
0	変換結果未格納	ビットクリア
1	変換結果格納	動作に影響しません

[bit13] CMPIF： 変換結果比較割込み要求ビット

A/D 変換結果比較機能動作時に、A/D 比較値設定レジスタ(CMPD)や A/D 比較コントロールレジスタ(CMPCR)で設定した条件を満たすと、本ビットは"1"に設定されます。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"です。

bit	説明	
	読出し	書込み
0	設定条件未達	ビットクリア
1	設定条件満足	動作に影響しません

[bit12] 予約 ： 予約ビット

読出し値は不定です。
書込みは、動作に影響しません。

[bit11] SCIE： スキャン変換割込み許可ビット

SCIF の割込み要求を制御します。本ビットが"1"かつ SCIF ビットが"1"にセットされると CPU に割込み要求を発生します。

bit	説明
0	割込み要求禁止
1	割込み要求許可

[bit10] PCIE： 優先変換割込み許可ビット

PCIF の割込み要求を制御します。本ビットが"1"かつ PCIF ビットが"1"にセットされると CPU に割込み要求を発生します。

bit	説明
0	割込み要求禁止
1	割込み要求許可

[bit9] CMPIE： 変換結果比較割込み許可ビット

CMPIF の割込み要求を制御します。本ビットが"1"かつ CMPIF ビットが"1"にセットされると CPU に割込み要求を発生します。

bit	説明
0	割込み要求禁止
1	割込み要求許可

[bit8] OVRIE : FIFO オーバラン割込み許可ビット

SCCR レジスタの SOVR ビットまたは PCCR レジスタの POVR ビットの割込み要求を制御します。本ビットが"1"かつ SOVR ビットまたは POVR ビットが"1"にセットされると、CPU に割込み要求を発生します。

bit	説明
0	割込み要求禁止
1	割込み要求許可

5.2 A/D ステータスレジスタ(ADSR)

A/D ステータスレジスタ(ADSR)は、スキャン変換, 優先変換のステータス表示を行います。

bit	7	6	5	4	3	2	1	0
Field	ADSTP	FDAS	予約			PCNS	PCS	SCS
属性	R/W	R/W	-			R	R	R
初期値	0	0	XXX			0	0	0

[bit7] ADSTP : A/D 変換強制停止ビット

本ビットに"1"を書き込むことで、A/D 変換中の動作が強制停止されます(スキャン変換, 優先変換ともに動作を停止します)。A/D 変換を強制停止した場合、ADSR レジスタの PCNS, PCS, SCS ビットのみ"0"に初期化されます。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		変換中の動作を強制停止

[bit6] FDAS : FIFO データ配置選択ビット

本ビットに"1"を書き込むことでスキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)の変換結果の値を LSB 側に 4 ビットシフトし、bit27～bit16 に配置します。FIFO データレジスタの下位 16 ビットの位置は変わりません。

bit	説明
0	変換結果を MSB 側に配置
1	変換結果を LSB 側に配置

[bit5:3] 予約 : 予約ビット

読出し値は不定です。
書込みは、動作に影響しません。

[bit2] PCNS : 優先変換保留フラグ

優先度 2(ソフトウェア/タイマ)の変換が保留中であることを示すフラグです。優先度 1(外部トリガ起動)の優先変換中に優先度 2(ソフトウェア/タイマ)の優先変換を起動した場合、または優先度 2 の優先変換中に優先度 1 の変換が起動された場合に設定されます。書込みは無視されます。

bit	説明
0	優先度 2 の優先変換保留なし
1	優先度 2 の優先変換保留中

[bit1] PCS： 優先変換ステータスフラグ

優先 A/D が変換中であることを示すフラグです。優先度 1 または優先度 2 の優先変換中に設定されます。書込みは無視されます。

bit	説明
0	優先変換による変換停止
1	優先変換による変換中

[bit0] SCS： スキャン変換ステータスフラグ

スキャン A/D が変換中であることを示すフラグです。書込みは無視されます。

bit	説明
0	スキャン変換による変換停止
1	スキャン変換による変換中

5.3 スキャン変換コントロールレジスタ(SCCR)

スキャン変換コントロールレジスタ(SCCR)は、スキャン変換モードを制御します。

bit	15	14	13	12	11	10	9	8
Field	SEMP	SFUL	SOVR	SFCLR	予約	RPT	SHEN	SSTR
属性	R	R	R/W	R/W	-	R/W	R/W	R/W
初期値	1	0	0	0	X	0	0	0

[bit15] SEMP : スキャン変換用 FIFO エンプティビット

FIFO がエンプティ(空)の状態になった場合、本ビットは"1"に設定されます。スキャン変換 FIFO データレジスタ(SCFD)に変換データが書き込まれると、本ビットは"0"になります。書込みは無視されます。

bit	説明
0	FIFO にデータが残っている状態
1	FIFO はエンプティ(空)の状態

[bit14] SFUL : スキャン変換用 FIFO フルビット

FIFO がフル(満杯)の状態になった場合、本ビットは"1"に設定されます。SFCLR に"1"を書き込むか、スキャン変換 FIFO データレジスタ(SCFD)を読み出すと、本ビットは"0"になります。書込みは無視されます。

bit	説明
0	FIFO のデータが入力できる状態
1	FIFO はフル(満杯)の状態

[bit13] SOVR : スキャン変換オーバランフラグ

FIFO フルの状態で FIFO に書込みをした場合、本ビットは"1"に設定されます(FIFO フルの状態では変換データは上書きされません)。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"になります。ADCR レジスタの OVRIE ビットが"1"かつ SOVR ビットが"1"のとき CPU に対して割込みを発生します。

bit	説明	
	読出し	書込み
0	オーバラン発生なし	ビットクリア
1	オーバラン発生あり	動作に影響しません

[bit12] SFCLR : スキャン変換用 FIFO クリアビット

本ビットに"1"を書き込むことでスキャン変換用 FIFO のクリアを行います。このとき FIFO はエンプティ(空)になるため、SEMP ビットは"1"に設定されます。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		FIFO のクリアを行う

[bit11] 予約 : 予約ビット
読出し値は不定です。
書込みは，動作に影響しません。

[bit10] RPT : スキャン変換リピートビット
本ビットに"1"を書き込むことにより、リピートモードとなります。スキャン変換入力選択レジスタ(SCIS)で選択したアナログ入力チャネルすべての変換が終わると、再度変換を開始します。

リピート変換を終了させるには本ビットを"0"にすることで、SCIS ビットで選択したアナログ入力チャネルの変換を終了後停止します。

本ビットへの"1"書込みは、スキャン変換の停止(ADSR:SCS = "0")中に行ってください(SSTR ビットへの"1"書込みと、本ビットへの"1"書込みは同時でもかまいません)。

bit	説明
0	シングル変換モード
1	リピート変換モード

<注意事項>
- *PRT ビットを"0"にしても、リピート転送はすぐには停止しません。*
  FIFO に停止までデータが書き込まれます。
  FIFO データおよびFIFO のステータスを示すビット（FIFO フルビットなど）は停止まで変化するため注意してください。

[bit9] SHEN : スキャン変換のタイマ起動許可ビット
スキャン変換をタイマからの立上りエッジで起動をかける場合に本ビットを"1"に設定します。"1"に設定した場合でも、ソフトウェアによる起動(SSTR=1)は有効です。

bit	説明
0	タイマ起動禁止
1	タイマ起動許可

[bit8] SSTR : スキャン変換スタートビット
本ビットに"1"を書き込むことで A/D 変換を開始します。変換中に再度"1"を書き込むと変換中の動作を直ちに停止し、再度変換を開始します。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		変換起動または変換再起動(変換中)

<注意事項>
- *タイマによる起動と、SSTR ビットへの"1"書込みが同時に発生した場合は、SSTR ビットへの"1"書込みが優先され、タイマの起動は無視されます。*

5.4 スキャン変換 FIFO 段数設定レジスタ(SFNS)

スキャン変換 FIFO 段数設定レジスタ(SFNS)は、スキャン変換時の割込み要求を発生するための設定を行います。
設定した段数分の A/D 変換データが格納されると、割込み要求ビット(SCIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	予約				SFS[3:0]			
属性	-				R/W			
初期値	XXXX				0000			

[bit7:4] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit3:0] SFS[3:0] : スキャン変換 FIFO 段数設定ビット

本ビットに設定された段数(N+1 段目)分の A/D 変換データが書き込まれるとスキャン変換割込み要求フラグ(SCIF)を"1"に設定します。

bit3:0	説明
0000	FIFO の 1 段目に変換結果が格納されたとき割込み要求発生
0001	FIFO の 2 段目に変換結果が格納されたとき割込み要求発生
0010	FIFO の 3 段目に変換結果が格納されたとき割込み要求発生
・・・	・・・
1101	FIFO の 14 段目に変換結果が格納されたとき割込み要求発生
1110	FIFO の 15 段目に変換結果が格納されたとき割込み要求発生
1111	FIFO の 16 段目に変換結果が格納されたとき割込み要求発生

5.5 スキャン変換 FIFO データレジスタ(SCFD)

スキャン変換 FIFO データレジスタ(SCFD)は、アナログ変換結果を格納するレジスタで、16 段の FIFO で構成されます。レジスタを読み出すことで順次データを取り出せます。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	SD11	SD10	SD9	SD8	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0	予約			
属性	R	R	R	R	R	R	R	R	R	R	R	R	R			
初期値	X	X	X	X	X	X	X	X	X	X	X	X	XXXX			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約			INVL	予約		RS1	RS0	予約			SC4	SC3	SC2	SC1	SC0
属性	R			R	R		R	R	R			R	R	R	R	R
初期値	XXX			1	XX		X	X	XXX			X	X	X	X	X

[bit31:20] SD11:SD0： スキャン変換結果

スキャン変換時の 12 ビット A/D 変換結果が書き込まれます。

[bit19:13] 予約 ： 予約ビット

読出し値は不定です。

[bit12] INVL : A/D 変換結果無効ビット

本レジスタ値が無効である場合に設定されます。

bit	説明
0	本レジスタ値が有効
1	本レジスタ値が無効

[bit11:10] 予約 ： 予約ビット

読出し値は不定です。

[bit9:8] RS1, RS0： スキャン変換起動要因

本レジスタ値に対応する、スキャン変換の起動要因を表します。

bit9:8	説明
01	ソフトウェア起動
10	タイマ起動

[bit7:5] 予約 : 予約ビット
読出し値は不定です。

[bit4:0] SC4～SC0 : 変換入力チャネルビット
SD11～SD0 に書き込まれた変換結果に対応するアナログ入力チャネルが書き込まれます。製品仕様上存在しないチャネルの設定は書き込まれません。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

bit4:0	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

<注意事項>

- *本レジスタはA/D ステータスレジスタ(ADSR)のFDAS ビットの設定によってビット構成が異なります。FDAS ビットが"1"の場合は「3.3.6 FIFO データレジスタのビット配置選択」を参照してください。*
- *本レジスタにバイトアクセスする場合、上位バイト(bit31:24)を読み出すことでFIFO データをシフトします。それ以外(bit23:16, bit15:8, bit7:0)を読み出しても、FIFO はシフトしません。*
  ハーフワードアクセスする場合、上位ハーフワード(bit31:16)を読み出すことでFIFO はシフトします。それ以外(bit15:0)を読み出しても、FIFO はシフトしません。ワードアクセスの場合には、FIFO はシフトします。
- *ソフトウェアとタイマが同時起動した場合に、RS[1:0]ビットで"11"が読み出されることもあります。*

5.6 スキャン変換入力選択レジスタ(SCIS)

スキャン変換入力選択レジスタ(SCIS)は、スキャン変換時のアナログ入力チャネルを選択するレジスタです。複数のアナログ入力から任意に選択可能です。変換順序は選択されたチャネルの中で、番号の小さいチャネルから順番に変換されます。

SCIS3(上位バイト :AN31～AN24), SCIS2(下位バイト :AN23～AN16)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	AN 31	AN 30	AN 29	AN 28	AN 27	AN 26	AN 25	AN 24	AN 23	AN 22	AN 21	AN 20	AN 19	AN 18	AN 17	AN 16
属性	R/W															
初期値	0x00															

[bit15:0] AN31～AN16 : アナログ入力選択ビット

当該ビットを"1"に設定することで、対応するチャネルがアナログ変換時に選択されます。

SCIS1(上位バイト :AN15～AN8), SCIS0(下位バイト :AN7～AN0)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	AN 15	AN 14	AN 13	AN 12	AN 11	AN 10	AN 9	AN 8	AN 7	AN 6	AN 5	AN 4	AN 3	AN 2	AN 1	AN 0
属性	R/W															
初期値	0x00															

[bit15:0] AN15～AN0 : アナログ入力選択ビット

当該ビットを"1"に設定することで、対応するチャネルがアナログ変換時に選択されます。

<注意事項>

- *A/D 変換中のチャネルの変更は禁止です。必ずA/D 変換の停止した状態でSCIS3～SCIS0 に書き込んでください。A/D 変換中とはA/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではチャネル変更が可能です。*
- *製品仕様上存在しないチャネルに該当するビットへの"1"設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。*

スキャン変換順序例

変換順序は選択されたチャネルの中で、番号の小さいチャネルから順番に変換されます。

例) AN1, AN3, AN5, AN23 ビットに"1"を設定した場合、アナログ変換は ch.1→ch.3→ch.5→ch.23 の順番で変換します。

5.7 優先変換コントロールレジスタ(PCCR)

優先変換コントロールレジスタ(PCCR)は、優先変換モードを制御します。
優先変換はスキャン変換を行っている間でも、優先的に変換できます。
また、優先変換の中でもさらに優先度を持つことができます(2 レベル)。

bit	15	14	13	12	11	10	9	8
Field	PEMP	PFUL	POVR	PFCLR	ESCE	PEEN	PHEN	PSTR
属性	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

[bit15] PEMP : 優先変換用 FIFO エンプティビット

FIFO がエンプティ(空)の状態になった場合に設定されます。優先変換 FIFO データレジスタ(PCFD)に変換データが書き込まれると、本ビットは"0"になります。書込みは無視されます。

bit	説明
0	FIFO にデータが残っている状態
1	FIFO はエンプティ(空)の状態

[bit14] PFUL : 優先変換用 FIFO フルビット

FIFO がフル(満杯)の状態になった場合に設定されます。PFCLR ビットに"1"を書き込むか、優先変換 FIFO データレジスタ(PCFD)を読み出すと、本ビットは"0"になります。書込みは無視されます。

bit	説明
0	FIFO のデータが入力できる状態
1	FIFO はフル(満杯)の状態

[bit13] POVR : 優先変換オーバランフラグ

FIFO フルの状態で FIFO に書込みをした場合に設定されます(FIFO フルの状態では変換データは上書きされません)。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"になります。ADCR レジスタの OVRIE ビットが"1"かつ本ビットが"1"のとき CPU に対して割込みを発生します。

bit	説明	
	読出し	書込み
0	オーバラン発生なし	ビットクリア
1	オーバラン発生あり	動作に影響しません

[bit12] PFCLR : 優先変換用 FIFO クリアビット

"1"を書き込むことで優先変換用 FIFO のクリアを行います。このとき FIFO はエンプティ(空)になるため、PEMP ビットは"1"に設定されます。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		FIFO のクリアを行う

[bit11] ESCE： 外部トリガアナログ入力選択ビット

外部トリガ起動のアナログ入力選択を優先変換入力選択レジスタ(PCIS)の P1A[2:0]ビットで行うか、外部入力端子(ECS[2:0])で行うかを選択します。

bit	説明
0	外部トリガ起動のアナログ入力選択を P1A[2:0]で行う
1	外部トリガ起動のアナログ入力選択を外部入力で行う

<注意事項>

- *A/D 変換中の ESCE ビットの書換えは禁止です。必ず A/D 変換の停止した状態で書き換えてください。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間では ESCE ビットの書換えが可能です。*
- *製品仕様上、外部端子(ECS[2:0])によるチャネル選択を使用できない場合は、ESCE ビットには必ず"0"を書き込んでください。*

[bit10] PEEN： 優先変換の外部起動許可ビット

優先変換を外部トリガ端子入力の立下りエッジで起動をかける場合に本ビットを"1"に設定します。外部トリガ起動による変換は優先度 1(最優先)です。

bit	説明
0	外部トリガ起動禁止
1	外部トリガ起動許可

[bit9] PHEN： 優先変換のタイマ起動許可ビット

優先変換をタイマからの立上りエッジで起動をかける場合に本ビットを"1"に設定します。"1"に設定した場合でも、ソフトウェアによる起動(PSTR=1)は有効です。タイマ起動による変換は優先度 2(<優先度 1)です。

bit	説明
0	タイマ起動禁止
1	タイマ起動許可

[bit8] PSTR： 優先変換スタートビット

"1"を書き込むことで A/D 変換を開始します。本ビットによる変換は優先度 2(<優先度 1)です。本ビットによる変換中の再起動はできません。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		優先変換起動

5.8 優先変換 FIFO 段数設定レジスタ(PFNS)

優先変換 FIFO 段数設定レジスタ(PFNS)は、優先変換時の割込み要求を発生するための設定を行います。設定した段数分の A/D 変換データが格納されると、割込み要求ビット(PCIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	予約		TEST[1:0]		予約		PFS[1:0]	
属性	-		R		-		R/W	
初期値	XX		XX		XX		00	

[bit7:6] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit5:4] TEST[1:0] : テストビット

書込み	動作に影響しません
読出し	値は不定

[bit3:2] 予約: 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit1:0] PFS[1:0] : 優先変換 FIFO 段数設定ビット

PFS[1:0]に設定された段数(N+1 段目)分の A/D 変換データが書き込まれると優先変換割込み要求フラグ(PCIF)を"1"に設定します。

bit1:0	説明
00	FIFO の 1 段目に変換結果が格納されたとき割込み要求発生
01	FIFO の 2 段目に変換結果が格納されたとき割込み要求発生
10	FIFO の 3 段目に変換結果が格納されたとき割込み要求発生
11	FIFO の 4 段目に変換結果が格納されたとき割込み要求発生

5.9 優先変換 FIFO データレジスタ(PCFD)

優先変換 FIFO データレジスタ(PCFD)は、アナログ変換結果を格納するレジスタで、4 段の FIFO で構成されます。レジスタを読み出すことで順次データを取り出せます。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	予約			
属性	R												R			
初期値	0xXXX												XXXX			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約			INVL	予約	RS2	RS1	RS0	予約			PC4	PC3	PC2	PC1	PC0
属性	R			R	R	R			R			R				
初期値	XXX			1	X	XXX			XXX			XXXXX				

[bit31:20] PD11～PD0： 優先変換結果

優先変換時の 12 ビット A/D 変換結果が書き込まれます。

[bit19:13] 予約 ： 予約ビット

読出し値は不定です。

[bit12] INVL : A/D 変換結果無効ビット

本レジスタ値が無効である場合に設定されます。

bit	説明
0	本レジスタ値が有効
1	本レジスタ値が無効

[bit11] 予約: 予約ビット

読出し値は不定です。

[bit10:8] RS2～RS0： スキャン変換起動要因

本レジスタ値に対応する、優先変換の起動要因を表します。

bit10:8	説明
001	ソフトウェア起動(優先度 2)
010	タイマ起動(優先度 2)
100	外部トリガ(優先度 1)

[bit7:5] 予約: 予約ビット
読出し値は不定です。

[bit4:0] PC4～PC0： 変換入力チャネルビット
PD11～PD0 に書き込まれた変換結果に対応するアナログ入力チャネルが書き込まれます。製品仕様上存在しないチャネルの設定は書き込まれません。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

bit4:0	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

＜注意事項＞

- *本レジスタはA/D ステータスレジスタ(ADSR)のFDAS ビットの設定によってビット構成が異なります。FDAS ビットが"1"の場合は「3.3.6 FIFO データレジスタのビット配置選択」を参照してください。*
- *本レジスタにバイトアクセスする場合、上位バイト(bit31:24)を読み出すことで FIFO データをシフトします。それ以外(bit23:16, bit15:8, bit7:0)を読み出しても、FIFO はシフトしません。*
  ハーフワードアクセスする場合、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします。それ以外(bit15:0)を読み出しても、FIFO はシフトしません。ワードアクセスの場合には、FIFO はシフトします。
- *ソフトとタイマが同時起動した場合に、RS[2:0]ビットで"011"が読み出されることもあります。*
- *外部トリガ起動の変換はアナログ入力が ch.0～ch.7 のみ変換可能です。*

5.10 優先変換入力選択レジスタ(PCIS)

優先変換入力選択レジスタ(PCIS)は、優先変換時のアナログ入力チャネルを選択するレジスタです。優先度 2 のソフトウェア/タイマ起動時は複数のアナログ入力チャネルから 1 チャネルのみ指定可能です。優先度 1 の外部トリガ起動時は ch.0～ch.7 の 8 チャネルのうちから 1 チャネル指定可能です。

bit	7	6	5	4	3	2	1	0
Field	P2A[4:0]					P1A[2:0]		
属性	R/W					R/W		
初期値	00000					000		

[bit7:3] P2A[4:0] : 優先度 2 アナログ入力選択

優先度 2(ソフトウェア/タイマ)起動時のアナログ入力チャネルを指定します。全チャネルから選択できます。製品仕様上存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

bit7:3	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

[bit2:0] P1A[2:0] : 優先度 1 アナログ入力選択

優先度 1(外部トリガ)起動時のアナログ入力チャネルを指定します。ch.0～ch.7 の 8 チャネルから選択できます。

bit2:0	説明
000	ch.0
001	ch.1
010	ch.2
・・・	・・・
101	ch.5
110	ch.6
111	ch.7

<注意事項>

- *A/D 変換中のチャネルの変更は禁止です。必ず A/D 変換の停止した状態で P1A, P2A に書き込んでください。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではチャネル変更が可能です。*

5.11 A/D 比較値設定レジスタ(CMPD)

A/D 比較値設定レジスタ(CMPD)は、A/D 変換結果と比較するために、比較値を設定するレジスタです。本レジスタと A/D 比較コントロールレジスタ(CMPCR)で設定された条件を満たすと、A/D コントロールレジスタ(ADCR)の変換結果比較割込み要求ビット(CMPIF)がセットされます。

bit	31	30	29	28	27	26	25	24
Field	CMAD11	CMAD10	CMAD9	CMAD8	CMAD7	CMAD6	CMAD5	CMAD4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	CMAD3	CMAD2	予約					
属性	R/W	R/W	-					
初期値	0	0	XXXXXX					

[bit31:22] CMAD11～CMAD2 : A/D 変換比較値設定ビット

A/D 変換結果との比較値を設定するビットです。

A/D 変換結果の上位 10 ビット(bit11:2)と、本レジスタ(CMAD11～CMAD2)との比較を行います。A/D 変換結果の下位 2 ビット(bit1, bit0)の比較は行いません。

[bit21:16] 予約 : 予約ビット

読出し値は不定です。

5.12 A/D 比較コントロールレジスタ(CMPCR)

A/D 比較コントロールレジスタ(CMPCR)は、A/D 比較機能の制御を行います。A/D 比較値設定レジスタ(CMPD)と変換値の比較を行い本レジスタの比較条件を満たすと、A/D コントロールレジスタ(ADCR)の変換結果比較割込み要求ビット(CMPIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	CMPEN	CMD1	CMD0	CCH[4:0]				
属性	R/W	R/W	R/W	R/W				
初期値	0	0	0	00000				

[bit7] CMPEN： 変換結果比較機能動作許可ビット

A/D 比較機能の動作を許可するビットです。

bit	説明
0	比較機能動作停止
1	比較機能動作許可

[bit6] CMD1： 比較モード 1

変換割込み要求を発生させる条件を設定します。

bit	説明
0	A/D 変換結果の上位 10 ビット(bit11:2)が CMPD 設定値より小さい場合に割込み要求発生
1	A/D 変換結果の上位 10 ビット(bit11:2)が CMPD 設定値と同じか大きい場合に割込み要求発生

[bit5] CMD0： 比較モード 0

比較対象を選択します。"1"のときは CCH[4:0]ビットの設定は無効となります。

bit	説明
0	CCH[4:0]ビットで設定したチャネルの変換結果を比較
1	全チャネルの変換結果を比較

[bit4:0] CCH[4:0]： 比較対象アナログ入力チャネル

比較対象とするアナログチャネルを設定します。CMD0 ビットが"1"のときはこのビットの設定は無効となります。製品仕様上存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

bit4:0	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

5.13 サンプリング時間選択レジスタ(ADSS)

サンプリング時間選択レジスタ(ADSS3～ADSS0)は、ビットごとにサンプリング時間を設定可能にします。サンプリング時間設定レジスタ 0, 1(ADST0/ADST1)のどちらのサンプリング時間を使用するかは本レジスタにより設定します。

ADSS3(上位バイト ：TS31～TS24), ADSS2(下位バイト ：TS23～TS16)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TS 31	TS 30	TS 29	TS 28	TS 27	TS 26	TS 25	TS 24	TS 23	TS 22	TS 21	TS 20	TS 19	TS 18	TS 17	TS 16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] TS31～TS16： サンプリング時間選択ビット

該当するチャネルにサンプリング時間設定レジスタ(ADST)で指定したサンプリング時間を設定します。"0"に設定すると ADST0 に設定した時間に、"1"に設定すると ADST1 に設定した時間となります。TS31 は ch.31 に、･･･、TS16 は ch.16 に対応します。

ADSS1(上位バイト ：AN15～AN8), ADSS0(下位バイト ：AN7～AN0)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TS 15	TS 14	TS 13	TS 12	TS 11	TS 10	TS 9	TS 8	TS 7	TS 6	TS 5	TS 4	TS 3	TS 2	TS 1	TS 0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] TS15～TS0： サンプリング時間選択ビット

該当するチャネルにサンプリング時間設定レジスタ(ADST)で指定したサンプリング時間を設定します。"0"に設定すると ADST0 に設定した時間に、"1"に設定すると ADST1 に設定した時間となります。TS15 は ch.15 に、･･･、TS0 は ch.0 に対応します。

＜注意事項＞

- *A/D 変換中のサンプリング時間選択レジスタ(ADSS)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間選択レジスタ(ADSS)への書込みが可能です。*
- *製品仕様上存在しないチャネルに該当するビットへの"1"設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。*

5.14 サンプリング時間設定レジスタ(ADST)

サンプリング時間設定レジスタ 0/1(ADST0/ADST1)は、A/D 変換のサンプリング時間を設定します。ADST0 と ADST1 の 2 種類用意し、サンプリング時間選択レジスタ(ADSS3～ADSS0)にてどちらのサンプリング時間を使用するか選択できます。

ADST0(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	STX02	STX01	STX00	ST04	ST03	ST02	ST01	ST00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

[bit15:13] STX02～STX00： サンプリング時間 N 倍設定ビット

ST04～ST00 ビットで設定したサンプリング時間の設定値を N 倍します。

bit15	bit14	bit13	説明
0	0	0	設定値×1 倍 (初期値)
0	0	1	設定値×4 倍
0	1	0	設定値×8 倍
0	1	1	設定値×16 倍
1	0	0	設定値×32 倍
1	0	1	設定値×64 倍
1	1	0	設定値×128 倍
1	1	1	設定値×256 倍

[bit12:8] ST04～ST00： サンプリング時間設定ビット

A/D 変換のサンプリング時間を設定します。

サンプリング時間 ＝ ベースクロック(HCLK)周期×クロック分周比×{(ST 設定値＋1)×STX 設定値＋3}

例) ST04～ST00 = 9, STX02, STX01, STX00 = 001(4 倍), CT7～CT0 = 0x00 (クロック分周比 2),
HCLK = 20MHz(50ns)の場合
サンプリング時間 ＝ 50ns×2×{(9 + 1)×4 + 3} = 4300ns

<注意事項>

- *A/D 変換中のサンプリング時間設定レジスタ(上位バイト)(ADST0)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間設定レジスタ(上位バイト)(ADST0)への書込みが可能です。*
- *サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、入力チャネルの外部インピーダンス，アナログ電源電圧(AVCC)，ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *STX02, STX01, STX00=000(ST04～ST00 の設定値×1 倍)に設定した場合、ST04～ST00 は"2"以上を設定してください("1"以下は設定禁止です)。*

ADST1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	STX12	STX11	STX10	ST14	ST13	ST12	ST11	ST10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

[bit7:5] STX12～STX10： サンプリング時間 N 倍設定ビット

ST14～ST10 ビットで設定したサンプリング時間の設定値を N 倍します。

bit7	bit6	bit5	説明
0	0	0	設定値×1 倍 (初期値)
0	0	1	設定値×4 倍
0	1	0	設定値×8 倍
0	1	1	設定値×16 倍
1	0	0	設定値×32 倍
1	0	1	設定値×64 倍
1	1	0	設定値×128 倍
1	1	1	設定値×256 倍

[bit4:0] ST14～ST10： サンプリング時間設定ビット

A/D 変換のサンプリング時間を設定します。

サンプリング時間 = ベースクロック(HCLK)周期×クロック分周比×{(ST 設定値＋1)×STX 設定値＋3}

例) ST14～ST10 = 9, STX12, STX11, STX10 = 001(4 倍), CT7～CT0 = 0x00 (クロック分周比 2), HCLK = 20MHz(50ns)の場合
サンプリング時間 = 50ns×2×{(9 + 1)×4 + 3} = 4300ns

＜注意事項＞

- *A/D 変換中のサンプリング時間設定レジスタ(下位バイト)(ADST1)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間設定レジスタ(下位バイト)(ADST1)への書込みが可能です。*
- *サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、入力チャネルの外部インピーダンス，アナログ電源電圧(AVCC)，ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *STX12, STX11, STX10=000(ST14～ST10 の設定値×1 倍)に設定した場合、ST14～ST10 は"2"以上を設定してください("1"以下は設定禁止です)。*

5.15 クロック分周比設定レジスタ(ADCT)

クロック分周比設定レジスタ(ADCT)は、A/D 変換時間のうちクロック分周比を設定するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	CT7	CT6	CT5	CT4	CT3	CT2	CT1	CT0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

[bit7:0] CT7～CT0： クロック分周比設定ビット

A/D 変換のクロック生成のための HCLK の分周比を設定するビットです。

分周比の設定は、サンプリング時間設定レジスタ 0/1(ADST0/1)ともに共通です。

bit7:0	説明
0x80	分周比 1
0x00	分周比 2
0x01	分周比 3
0x02	分周比 4
・・・	・・・
0x07	分周比 9 (初期値)
・・・	・・・
0x3C	分周比 62
0x3D	分周比 63
0x3E	分周比 64
0x3F	分周比 65

コンペアクロック周期 = ベースクロック(HCLK)周期×クロック分周比
コンペア時間 = クロック周期比×14

例) CT 設定値 = 0(クロック分周比 2), HCLK = 20MHz(50ns)の場合、
コンペアクロック周期 = 50ns×2 = 100ns
コンペア時間 = 100ns×14 = 1400ns

<注意事項>

- *本レジスタに対して"0x40"～"0x7F"の設定は禁止です。*
- *A/D 変換中のクロック分周比設定レジスタ(ADCT)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではクロック分周比設定レジスタ(ADCT)への書込みが可能です。*
  クロック生成部のベースクロックプリスケーラレジスタ(BSC_PSR)を"0x0"に設定している場合のみ、分周比 1 での A/D 変換ができます。
- *コンペアクロック周期は、ご使用する製品の『データシート』の「電気的特性」記載内容に従い、アナログ電源電圧(AVCC)，ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*

5.16 A/D 動作許可設定レジスタ(ADCEN)

A/D 動作許可設定レジスタ(ADCEN)は、12 ビット A/D コンバータを動作許可状態に設定するレジスタです。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ENBLTIME[15:8]								予約						READY	ENBL
属性	R/W								R						R	R/W
初期値	0xFF								000000						0	0

[bit15:8] ENBLTIME[15:8] : 動作許可状態遷移サイクル選択ビット

動作許可状態遷移期間サイクル数を選択するビットです。

動作許可状態遷移期間 = ベースクロック(HCLK)周期×(ENBLTIME 設定値×4+1)

例) ENBLTIME[15:8] = 0xFF, HCLK = 20MHz(50ns)の場合、
動作許可状態遷移期間 = 50ns×(255×4+1) = 51050ns

[bit7:2] 予約 : 予約ビット

読出し値は不定です。

[bit1] READY : A/D 動作許可状態ビット

A/D コンバータが動作許可状態か動作禁止状態を示すビットです。

動作許可状態のときのみ A/D 変換ができます。
動作停止状態中の A/D 変換要求は無視されます。
A/D 変換中に動作停止状態となった場合、A/D 変換は直ちに停止します。

bit	説明
0	動作停止状態
1	動作許可状態

[bit0] ENBL : A/D 動作許可ビット

A/D コンバータを動作許可にするビットです。

本ビットに"1"を書き込むことで、動作許可状態遷移期間後に A/D コンバータは動作許可状態となります。また、本ビットに"0"を書き込むことで、A/D コンバータは動作停止状態となります。

bit	説明
0	動作停止
1	動作許可

＜注意事項＞

- *動作許可状態遷移期間は、ご使用する製品の『データシート』の「電気的特性」記載内容に従って、アナログ電源電圧(AVCC)，ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *ENBL ビットへの"1 "書き込みから、READY ビットが"1 "になるまでの期間の ENBLTIME[15:8]ビットの書換えは禁止です。*
- *CPU をタイマモード，ストップモード, RTC モード，ディープスタンバイ STOP モード，ディープスタンバイ RTC モードに設定するときには、ENBL="0"を設定して A/D コンバータを動作停止状態にしてください。*

5.17 上限しきい値設定レジスタ(WCMPDH)

上限しきい値設定レジスタ(WCMPDH)は、レンジ比較で使用する上限しきい値を設定します。

bit	31	30	29	28	27	26	25	24
Field	CMHD11	CMHD10	CMHD9	CMHD8	CMHD7	CMHD6	CMHD5	CMHD4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	CMHD3	CMHD2	予約					
属性	R/W	R/W	R					
初期値	0	0	000000					

[bit31:22] CMHD11～CMHD2 : 上限しきい値ビット

レンジ比較で使用する上限しきい値を設定します。

bit31:22	説明
上限しきい値	

[bit21:16] 予約 : 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、必ず"0"を書き込んでください。

<注意事項>

- *レンジ比較機能有効時、A/D 変換結果の上位 10 ビット(bit11:2)と、本レジスタ(CMHD)との比較を行います。 A/D 変換結果の下位 2 ビット(bit1:0)の比較は行いません。*

5.18 レンジ比較コントロールレジスタ(WCMPCR)

レンジ比較コントロールレジスタ(WCMPCR)は、連続検出回数指示および状態確認，範囲内／範囲外確認選択，レンジ範囲外での上限値超過/下限値超過，レンジ比較割込み許可/禁止を行います。

bit	7	6	5	4	3	2	1	0
Field	RCOCD2	RCOCD1	RCOCD0	RCOIRS	RCOIE	RCOE	予約	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	1	0	0	0	00	

[bit7:5] : RCOCD2～RCOCD0： 連続検出回数指定・状態表示ビット

レンジ比較結果の連続検出回数指定および連続検出回数の状態表示するビットです。

bit7:5	説明	
	RMW アクセス時以外の読出し時	RMW アクセス時の読出し時 または　書込み時
000	連続検出状態：0 回	設定禁止
001	連続検出状態：1 回	連続検出 1 回指定
010	連続検出状態：2 回	連続検出 2 回指定
011	連続検出状態：3 回	連続検出 3 回指定
100	連続検出状態：4 回	連続検出 4 回指定
101	連続検出状態：5 回	連続検出 5 回指定
110	連続検出状態：6 回	連続検出 6 回指定
111	連続検出状態：7 回	連続検出 7 回指定

- レンジ比較結果が連続回数指定値に到達すると対応する起動チャネルのレンジ比較割込み要因フラグビット(RCINT)に"1"を設定します。また、連続検出状態は連続回数指定値にて停止します。
- リードモディファイライト(RMW)アクセス時以外のリード時は、連続検出状態が読み出されます。
- リードモディファイライト(RMW)アクセス時のリード時には、ライト時の値（連続回数指示値）が読み出されます。

＜注意事項＞

- *レンジ比較実行許可中(RCOE="1")に連続検出回数指定・状態表示ビット(RCOCD) の変更は禁止です。*
- *連続検出回数指定・状態表示ビット(RCOCD)は"000"に設定は禁止です。*

[bit4] RCOIRS : 範囲内・範囲外確認選択ビット

bit	説明
0	範囲外を確認
1	範囲内を確認

- A/D 変換結果(スキャン変換 or 優先変換)が、上下限しきい値選択ビット(RCOTS)により選択した上限しきい値ビット(CMHD)と下限しきい値ビット(CMLD)に対して、範囲内または範囲外のレンジ比較条件を選択します。
- 範囲外確認(RCOIRS="0")時のレンジ比較条件は以下です。

  A/D 変換結果(スキャン変換 or 優先変換) ＞ 上限しきい値ビット(CMHD)

  または

  A/D 変換結果(スキャン変換 or 優先変換) ＜ 下限しきい値ビット(CMLD)

- 範囲内確認時(RCOIRS="1")のレンジ比較条件は以下です。

  A/D 変換結果(スキャン変換 or 優先変換) ≦ 上限しきい値ビット(CMHD)

  かつ

  A/D 変換結果(スキャン変換 or 優先変換) ≧ 下限しきい値ビット(CMLD)

- 範囲外確認(RCOIRS="0")のレンジ比較検出時、しきい値超過フラグビット(RCOOF)により上限しきい値超過もしくは下限しきい値未満の確認ができます。

[bit3] RCOIE : レンジ比較割込み要求許可ビット

bit	説明
0	レンジ比較割込み禁止
1	レンジ比較割込み許可

対応する起動チャネルのレンジ比較割込み要因フラグビット(RCINT)が"1"にセット状態、かつレンジ比較割込み要求許可設定(RCOIE="1")されている場合、割込み要求が発生します。

[bit2] RCOE : レンジ比較実行許可ビット

A/D 比較機能とレンジ比較機能を選択します。

bit	説明
0	レンジ比較実行禁止
1	レンジ比較機能有効

本ビットが"0"のとき、レンジ比較実行は禁止されます。また、連続検出回数状態は、"000_B"に初期化されます。
本ビットが"1"のとき、レンジ比較機能動作が許可されます。

[bit1:0] 予約 : 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、必ず"0"を書き込んでください。

5.19 下限しきい値設定レジスタ(WCMPDL)

下限しきい値設定レジスタ(WCMPDL)は、レンジ比較で使用する下限しきい値を設定します。

bit	15	14	13	12	11	10	8	8
Field	CMLD11	CMLD10	CMLD9	CMLD8	CMLD7	CMLD6	CMLD5	CMLD4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CMLD3	CMLD2	予約					
属性	R/W	R/W	R					
初期値	0	0	000000					

[bit15:6] CMLD11～CMLD2： 下限しきい値ビット

レンジ比較で使用する下限しきい値を設定します。

bit15:6	説明
下限しきい値	

[bit5:0] 予約 ： 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、必ず"0"を書き込んでください。

＜注意事項＞

- *レンジ比較機能有効時、A/D 変換結果の上位 10 ビット(bit11:2)と、本レジスタ(CMLD)との比較を行います。 A/D 変換結果の下位 2 ビット(bit1:0)の比較は行いません。*

5.20 レンジ比較チャネル選択レジスタ(WCMPSR)

レンジ比較チャネル選択レジスタ(WCMPSR)は、レンジ比較を行うチャネルの設定を行います。

bit	15	14	13	12	11	10	9	8
Field	予約		WCMD	WCCH[4:0]				
属性	R		R/W	R/W				
初期値	00		0	00000				

[bit15:14] 予約 : 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、必ず"0"を書き込んでください。

[bit13] WCMD : 比較モード選択ビット

bit	説明
0	WCCH[4:0]ビットで設定したチャネルの変換結果を比較
1	全チャネルの変換結果を比較

レンジ比較の比較対象を選択します。"1"の時は WCCH[4:0]ビットの設定は無効になります。

[bit12:8] WCCH[4:0] : 比較対象アナログ入力チャネル

bit12:8	説明
00000	Ch.0
00001	Ch.1
00010	Ch.2
・・・	・・・
11101	Ch.29
11110	Ch.30
11111	Ch.31

比較対象とするアナログ入力チャネルを設定します。WCMD ビットが"1"のときはこのビットの設定は無効となります。品種仕様上存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する品種の『データシート』を参照してください。

5.21 レンジ比較しきい値超過フラグレジスタ(WCMRCOT)

レンジ比較しきい値超過フラグレジスタ(WCMRCOT)は、範囲外確認設定においてレンジ比較した結果、上限しきい値超過または下限しきい値未満を表示します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							RCOOF
属性	R							R/W
初期値	0000000							0

[bit31:1] 予約 : 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、常に"0"を書き込んでください。

[bit0] RCOOF : しきい値超過フラグビット

bit	説明
0	下限しきい値未満　(A/D データ＜下限しきい値ビット)
1	上限しきい値超過　(A/D データ＞上限しきい値ビット)

■ 範囲外確認(RCOIRS="0")時

レンジ比較結果が上限しきい値設定レジスタより大きいとき本ビットは"1"に、下限しきい値設定レジスタより小さいとき本ビットは"0"になります。
レンジ比較結果が範囲内の場合、しきい値超過フラグビットは前値を保持します。

■ 対応する起動チャネルのレンジ比較割込み要因フラグビット(RCINT)が"1"にセット状態の場合、範囲外確認(RCOIRS="0")でレンジ比較結果は範囲外を検出しても、しきい値超過フラグビット(RCOOF)は更新されず前値を保持します。

■ 範囲内確認(RCOIRS="1")時、しきい値超過フラグビットは意味を持ちません。(前値を保持します。)

5.22 レンジ比較フラグレジスタ(WCMRCIF)

レンジ比較フラグレジスタ(WCMRCIF)は、レンジ比較結果の連続検出による割込み要因を表示します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R							
初期値	0x00							

Bit	7	6	5	4	3	2	1	0
Field	予約							RCINT
属性	R							R/W
初期値	0000000							0

[bit31:1] 予約 : 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、常に"0"を書き込んでください。

[bit0] RCINT : レンジ比較割込み要因フラグビット

bit	説明	
	読出し時	書込み時
0	レンジ比較割込み要因クリア状態	ビットクリア
1	レンジ比較結果の連続検出による 割込み要因発生状態	変化なし、ほかへの影響なし

- 対応する起動チャネルのレンジ比較結果の連続検出で本ビットは"1"にセットされます。
- 対応する起動チャネルの RCINT ビットとレンジ比較割込み要求許可(RCOIE)が"1"のとき、レンジ比較割込み要求を発生します。
- 書込み時は、"0"で RCINT ビットがクリアされ、"1"では変化せずほかへの影響はありません。

<注意事項>

- *リードモディファイライト(RMW)アクセス時には、"1"が読み出されます。*
- *ソフトウェアクリア(RCINT="0"書込み）と、ハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。*

CHAPTER 1-3: A/D タイマトリガ選択

A/D コンバータのタイマトリガ選択の機能と動作について説明します。

1. 概要
2. レジスタ

管理コード: 9BFBATSB_FM0-J03.0

1. 概要

A/D コンバータのタイマトリガ選択の動作について説明します。

A/D コンバータのタイマトリガ選択

A/D コンバータは、Table 1-1 に示す要因で起動できます。

Table 1-1 A/D コンバータの起動要因

変換種類	起動要因
優先度 1 の優先変換	外部トリガ端子入力(立下りエッジ)
優先度 2 の優先変換	- ソフトウェア(優先変換コントロールレジスタ(PCCR)の優先変換スタートビット(PSTR)に"1"書込み) - タイマからのトリガ入力(立上りエッジ)
スキャン変換	- ソフトウェア(スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"書込み) - タイマからのトリガ入力(立上りエッジ)

タイマからの A/D コンバータ起動の手段として、ベースタイマと多機能タイマから選択できます。

そのタイマからの起動要因の選択は、スキャン変換タイマトリガ選択レジスタ(SCTSL)、あるいは優先変換タイマトリガ選択レジスタ(PRTSL)によってそれぞれ選択してください。タイマ起動を許可した状態で、選択されたタイマの立上りエッジを検出すると A/D 変換を開始します。

同じ起動要因を複数の A/D コンバータで兼用できます。

12 ビット A/D コンバータの動作詳細は、『12 ビット A/D コンバータ』の動作説明を参照してください。

2. レジスタ

A/D タイマトリガ選択で使用するレジスタの構成と機能について説明します。

A/D コンバータのタイマトリガ選択レジスター覧

レジスタ略称	レジスタ名	参照先
SCTSL	スキャン変換タイマトリガ選択レジスタ	2.1
PRTSL	優先変換タイマトリガ選択レジスタ	2.2

2.1 スキャン変換タイマトリガ選択レジスタ(SCTSL)

スキャン変換タイマトリガ選択レジスタ(SCTSL)は、スキャン変換動作時のタイマトリガを選択します。

bit	15	14	13	12	11	10	9	8
Field	予約				SCTSL[3:0]			
属性	R				R/W			
初期値	XXXX				0000			

[bit15:12] 予約 : 予約ビット

書込みは動作に影響しません。読出し値は不定です。

[bit11:8] SCTSL[3:0] : スキャン変換タイマトリガ選択ビット

bit11:8	説明
0000	選択トリガなし(入力 0 固定)
0001	多機能タイマのスキャン変換起動
0010	ベースタイマ ch.0
0011	ベースタイマ ch.1
0100	ベースタイマ ch.2
0101	ベースタイマ ch.3
0110	ベースタイマ ch.4
0111	ベースタイマ ch.5
1000	ベースタイマ ch.6
1001	ベースタイマ ch.7
1010	ベースタイマ ch.8
1011	ベースタイマ ch.9
1100	ベースタイマ ch.10
1101	ベースタイマ ch.11
1110	ベースタイマ ch.12
1111	ベースタイマ ch.13

- *製品仕様上存在しないベースタイマのチャネルへの設定は禁止です。ベースタイマのチャネル数についてはご使用する製品の『データシート』を参照してください。*

2.2 優先変換タイマトリガ選択レジスタ(PRTSL)

優先変換タイマトリガ選択レジスタ(PRTSL)は、優先変換動作時のタイマトリガを選択します。

bit	7	6	5	4	3	2	1	0
Field	予約				PRTSL[3:0]			
属性	R				R/W			
初期値	XXXX				0000			

[bit7:4] 予約 : 予約ビット

書込みは動作に影響しません。読出し値は不定です。

[bit3:0] PRTSL[3:0] : 優先変換タイマトリガ選択ビット

bit3:0	説明
0000	選択トリガなし(入力 0 固定)
0001	多機能タイマの優先変換起動
0010	ベースタイマ ch.0
0011	ベースタイマ ch.1
0100	ベースタイマ ch.2
0101	ベースタイマ ch.3
0110	ベースタイマ ch.4
0111	ベースタイマ ch.5
1000	ベースタイマ ch.6
1001	ベースタイマ ch.7
1010	ベースタイマ ch.8
1011	ベースタイマ ch.9
1100	ベースタイマ ch.10
1101	ベースタイマ ch.11
1110	ベースタイマ ch.12
1111	ベースタイマ ch.13

- *製品仕様上存在しないベースタイマのチャネルへの設定は禁止です。ベースタイマのチャネル数についてはご使用する製品の『データシート』を参照してください。*

CHAPTER 2: 10 ビット D/A コンバータ

10 ビット D/A コンバータの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 注意事項

管理コード: 9xFBDA10M3-J01.0

1. 概要

10 ビット D/A コンバータは、10 ビットのデジタル値をアナログ出力に変換する機能です。

10 ビット D/A コンバータの特長

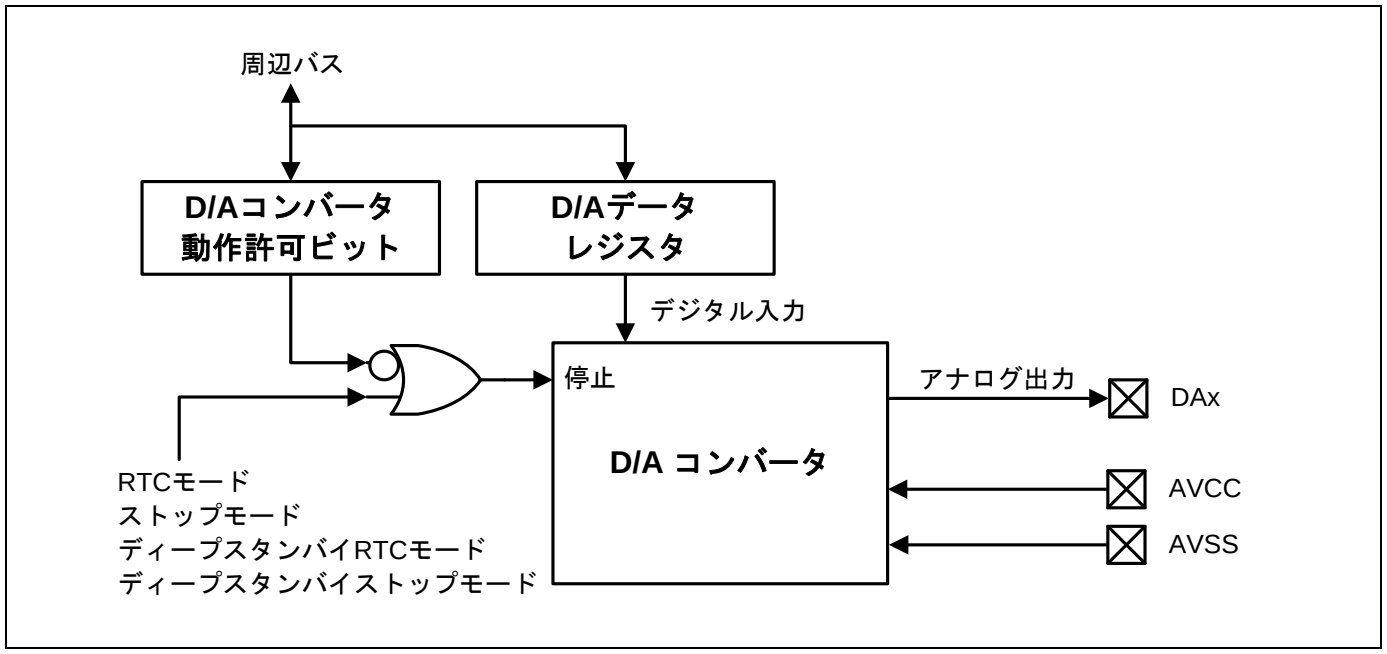
- 10 ビットの分解能
- R-2R 方式
- 以下の低消費電力モード時に動作停止
  - RTC モード
  - ストップモード
  - ディープスタンバイ RTC モード
  - ディープスタンバイストップモード

2. 構成

10 ビット D/A コンバータの構成を示します。

10 ビット D/A コンバータのブロックダイヤグラム

Figure 2-1　10 ビット D/A コンバータのブロックダイヤグラム



3. 動作説明

10 ビット D/A コンバータの動作について説明します。

D/A コントロールレジスタ(DACR)の DAE ビットで D/A コンバータの動作を許可すると、D/A データレジスタ(DADR)に書き込まれたデジタル値をアナログ値に変換し、DAx 端子から出力します。

一部の低消費電力モード時、DAE ビットに関わらず D/A コンバータの動作は停止します。

DAE=1 時の D/A コンバータの動作と I/O ポートの状態を Table 3-1 に示します。

Table 3-1 DAE=1 時の D/A コンバータの動作と I/O ポートの状態

動作モード	D/A コンバータ動作	I/O ポート
RTC モード ストップモード ディープスタンバイ RTC モード ディープスタンバイストップモード	停止	- 入力遮断 - 入出力方向は DDR 設定で決定 - 出力レベルは PDOR 設定で決定 - プルアップは PCR 設定で決定
上記モード以外	許可	- 入力遮断 - 入力方向 - プルアップ切断

D/A コンバータ動作許可時に出力できる電圧は 0.0V から 1023/1024×AVCC(AVCC：AVCC 端子の電圧)です。D/A データレジスタ(DADR)と出力電圧の理想値を Table 3-2 に示します。

Table 3-2　DA[9:0]とアナログ出力値の関係

DA[9:0]	理想出力電圧
0000000000	0 / 1024 × AVCC
0000000001	1 / 1024 × AVCC
0000000010	2 / 1024 × AVCC
～	～
1111111101	1021 / 1024 × AVCC
1111111110	1022 / 1024 × AVCC
1111111111	1023 / 1024 × AVCC

D/A コンバータ動作停止時、D/A コンバータの出力は Hi-Z です。

4. 設定手順例

10 ビット D/A コンバータの設定手順例を説明します。

D/A コンバータを動作させ、変換結果を DAx 端子に出力するための設定手順を以下に示します。

1. D/A データレジスタ(DADR)に D/A 変換したいデジタル値を設定
2. D/A コントロールレジスタ(DACR)の DAE ビットに"1"を設定

上記設定後、DAx 端子からアナログ値が出力されます。

5. レジスタ

10 ビット D/A コンバータのレジスタについて説明します。

10 ビット D/A コンバータのレジスター覧

Table 5-1　10 ビット D/A コンバータのレジスター覧

レジスタ略称	レジスタ名	参照先
DACR	D/A コントロールレジスタ	5.1
DADR	D/A データレジスタ	5.2

5.1 D/A コントロールレジスタ(DACR)

D/A コントロールレジスタ(DACR)は、D/A コンバータの動作を制御します。

レジスタ構成

bit	23	22	21	20	19	18	17	16
Field	予約							DAE
属性	-							R/W
初期値	XXXXXXX							0

レジスタ機能

[bit23:17] 予約 : 予約ビット

読出し値は不定です。書込みは、動作に影響しません。

[bit16] DAE : D/A コンバータ動作許可ビット

bit	説明
0	D/A コンバータ動作停止
1	D/A コンバータ動作許可

5.2 D/A データレジスタ(DADR)

D/A データレジスタ(DADR)は、アナログ信号に変換するデジタル値を設定するレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約						DA[9:8]	
属性	-						R/W	
初期値	XXXXXX						XX	

bit	7	6	5	4	3	2	1	0
Field	DA[7:0]							
属性	R/W							
初期値	0xXX							

レジスタ機能

[bit15:10] 予約 : 予約ビット

読出し値は不定です。書込みは動作に影響しません。

[bit9:0] DA[9:0] : D/A データレジスタ

本レジスタの設定値と出力電圧の対応は Table 3-2 を参照してください。

6. 注意事項

10 ビット D/A コンバータの注意事項を示します。

D/A コントロールレジスタ(DACR)の DAE ビットを"0"から"1"に設定した直後に、D/A コンバータは不定値を出力することがあります。出力不定期間は『データシート』の「電気的特性」を参照してください。

アナログ出力(DAx)と外部割込み入力(INTxx)が兼用されている端子は、DAE=1 の時に拡張機能端子設定レジスタ(EPFR06, EPFR15)の外部割込み入力選択ビット(EINTxxS)をその端子以外に設定してください。詳細は、『ペリフェラルマニュアル』の『I/O ポート』の「4.レジスタ一覧」を参照してください。

CHAPTER3-1: LCD コントローラの概要

LCD コントローラの機能と動作について説明します。製品型格別の参照章を示します。

管理コード: 9BLCDC-J01.0

1. LCD コントローラ参照章

LCD コントローラの構成は、製品タイプによって異なります。ご利用の製品タイプによって Table 1-1 に示す章をご参照ください。

Table 1-1 LCD コントローラ対応表

製品タイプ	参照章
−	“LCD コントローラ(TYPE1)” 章
TYPE2-M0+	“LCD コントローラ(TYPE2)” 章

CHAPTER 3-2: LCD コントローラ(TYPE1)

FM0+ファミリ製品は LCD コントローラ(TYPE1)を搭載していません。

本章の説明は省略します。

管理コード: 9BLCDC-J01.1

CHAPTER 3-3: LCD コントローラ(TYPE2)

LCD コントローラの機能と動作について示します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意

管理コード: 9BLCDC-J03.0

1. 概要

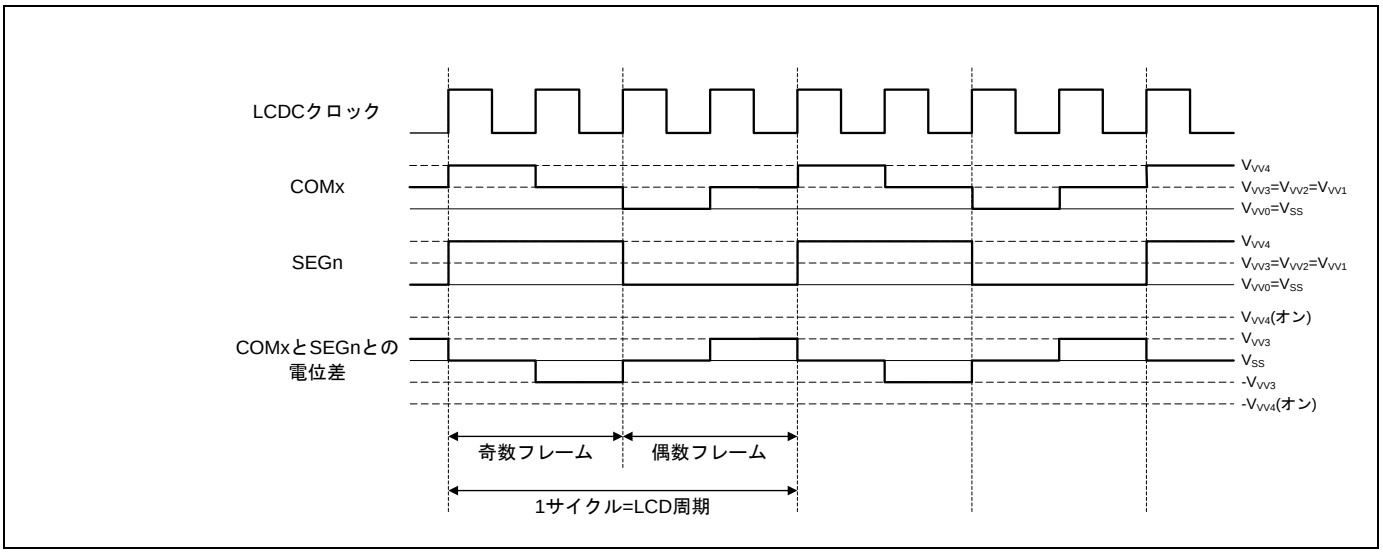
LCD コントローラは、セグメント出力とコモン出力によって、表示データメモリ (LCDRAM) の内容を LCD パネル (液晶表示器) に直接表示します。

LCD コントローラの機能

- 表示モードは、8COM モードまたは 4COM モードを選択可能
  - 8COM モード
    - 最大 8 本のコモン出力(COM0～COM7)と最大 40 本のセグメント出力(SEG00～SEG39)を使用可能
    - LCDRAM のサイズは、最大 40 バイト(40×8 ビット)
    - バイアスは、1/3 または 1/4 から選択可能
  - 4COM モード
    - 最大 4 本のコモン出力(COM0～COM3)と最大 44 本のセグメント出力(SEG00～SEG43)を使用可能
    - LCDRAM のサイズは、最大 22 バイト(44×4 ビット)
    - バイアスは、1/2, 1/3, 1/4 から選択可能
- LCD 電源生成用に分割抵抗を内蔵しており、分割抵抗の抵抗値を 10kΩまたは 100kΩから選択可能(外部から LCD 駆動電源を供給することも可能)
- LCD コントローラの動作クロック(LCDC クロック)としてサブクロックと PCLK が使用可能
- ブリンク(点滅)機能が使用可能
- LCD パネルを直接駆動可能
- 電圧昇圧回路を利用可能
- フレームごとに割込み要求が可能

LCD コントローラの用語について

本章で使用される用語について以下に示すように定義します。



■ LCDC クロック

LCD コントローラを駆動させるクロックです。

■ LCD 周期

LCD を駆動する交流波形の周期です。

LCD はその性質上、直流駆動を行うと液晶表示素子に化学変化が生じ、液晶表示素子が劣化してしまうため、LCD コントローラは交流波形生成回路を内蔵し、奇数フレームと奇数フレームを反転した偶数フレームの 2 フレームで交流波形を生成し LCD を駆動します。

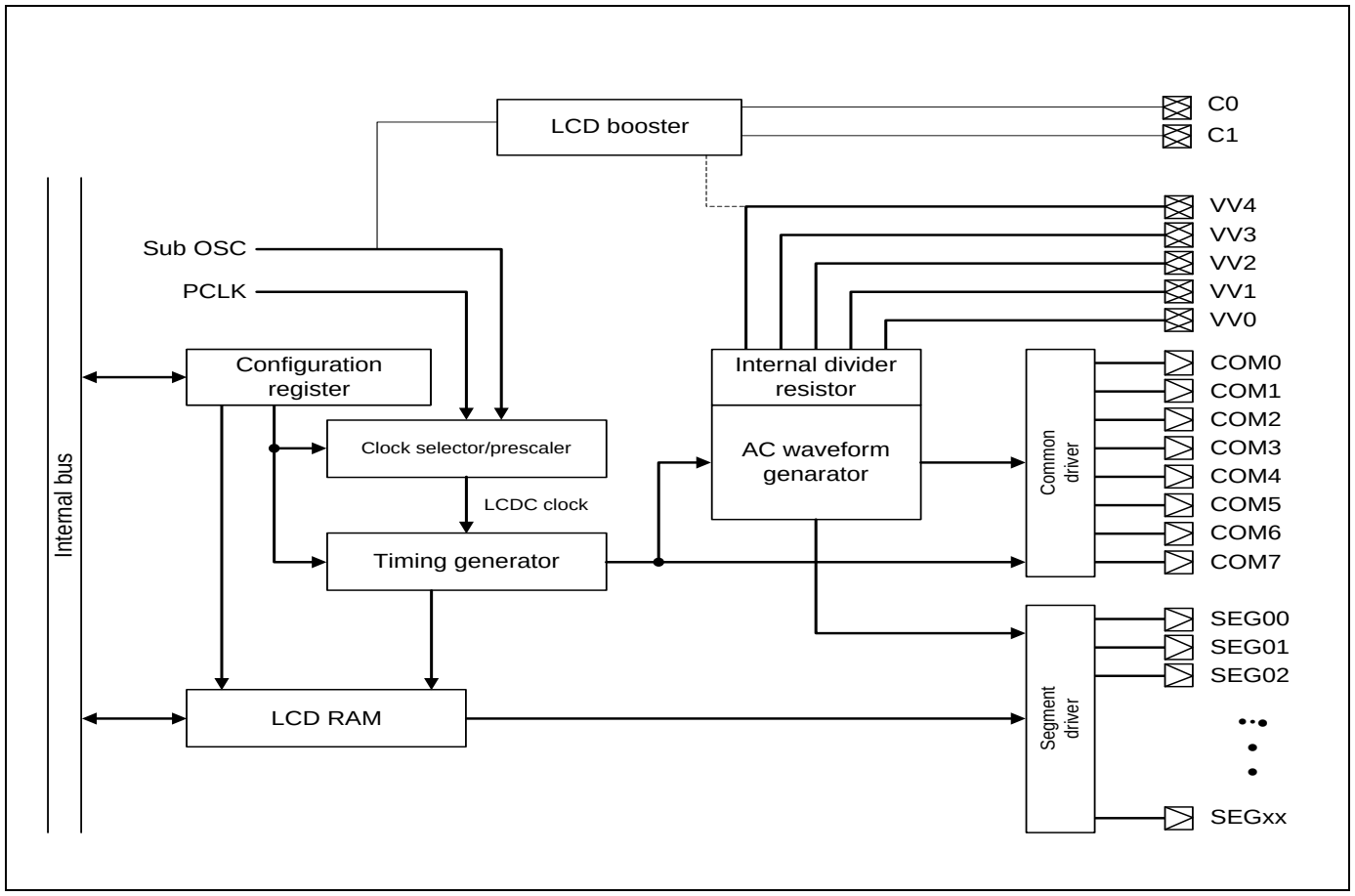
2. 構成

LCD コントローラの構成を示します。

LCD コントローラのブロックダイヤグラム

LCD コントローラのブロックダイヤグラムを Figure 2-1 に示します。

Figure 2-1　LCD コントローラのブロックダイヤグラム



■ Clock Selector/Prescaler

サブクロック、PCLK から使用するクロックを選択し、LCDC クロックを生成します。

■ LCD booster

LCD 昇圧回路は、LCD のコモン/セグメント出力を駆動するため、VCC よりも高い電圧を生成します。

■ Timing Generator

LCDC クロックと各レジスタの設定をもとに、コモン出力とセグメント出力の制御を行います。

■ AC Waveform Generator

Timing Generator の信号から、LCD を駆動するための交流波形を生成します。

■ Common/Segment Driver

LCD のコモン/セグメント出力端子のドライバです。

■ Configuration Register

LCD コントローラの動作を制御するレジスタです。

■ LCD RAM

セグメント出力信号発生用の表示データメモリレジスタです。
LCDRAM の内容は、コモン信号の選択タイミングに同期して自動的に読み出されてセグメント出力端子より出力されます。
LCDRAM の内容は、LCDRAM への書換えと同時にセグメント出力端子より出力されます。

■ Internal Divider Resister

LCD 駆動電圧を発生させるための抵抗です。 LCD 駆動電源端子 (VV0～VV4) が分割抵抗接続端子として機能している場合は、分割抵抗を外付けすることもできます。

2.1 LCD 駆動電圧生成回路

LCD パネルを駆動するための電圧を LCD コントローラの内部分割抵抗または外部分割抵抗を使用して生成することができます。昇圧回路機能を選択する場合は、外部分割抵抗の使用を選択する必要があります。

内部分割抵抗

LCD コントローラには、内部分割抵抗が内蔵されています。また、LCD 駆動用電源端子 (VV0～VV4) に外部分割抵抗を接続することもできます。

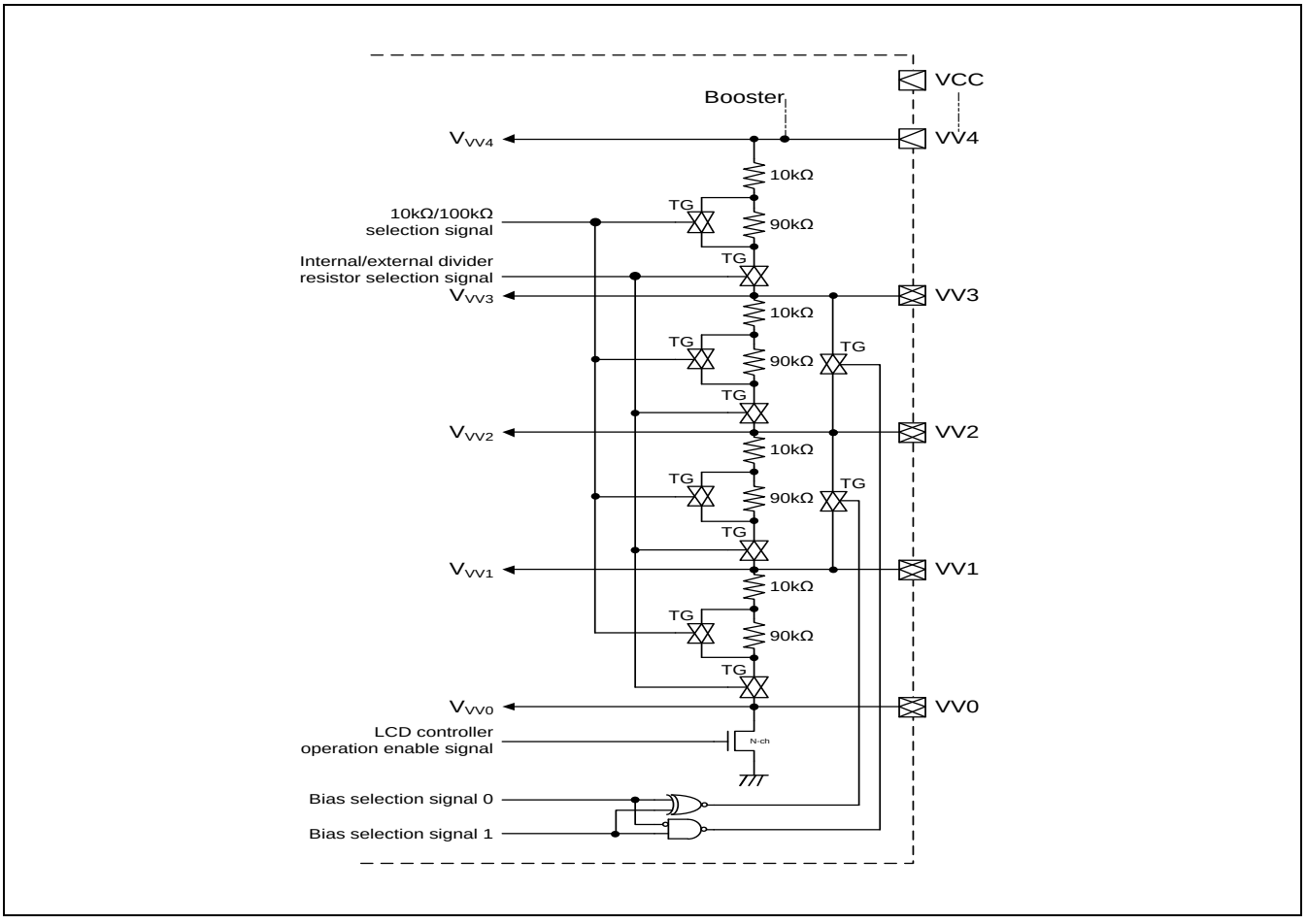
内部分割抵抗と外部分割抵抗の選択は、LCDC 制御レジスタ 1(LCDCC1)の LCD 駆動電源制御ビット(VSEL)で行います。VSEL ビットを"1"にすることにより内部分割抵抗が通電状態になります。外部分割抵抗を使用せずに内部分割抵抗のみを使用するためには、LCDC 制御レジスタ 3 (LCDCC3)内の VE4 ビットを"1" に設定してください(LCD コントローラを使用する場合、VV4 端子を汎用入出力ポートとして使用できません)。

VV4 へ電力を供給する方法は 2 つあります。1 つは内部昇圧回路、もう 1 つは外部 VCC によるものです。

昇圧回路を使用する場合、昇圧回路が VV4 へ電力を供給するため、VV4 を基板上で VCC へ接続しないでください。詳細については、「5.4 LCDC 昇圧回路制御レジスタ (LCDC_BOOSTER)」の PSF ビットを参照してください。

Figure 2-2 に内部分割抵抗使用時の等価回路を示します。

Figure 2-2 内部分割抵抗使用時の等価回路



内部分割抵抗の使用、可変抵抗接続による輝度調整

内部分割抵抗には 10 kΩ 抵抗と 100 kΩ抵抗があります。Figure 2-3, Figure 2-4, Figure 2-5 に内部分割抵抗使用時の状態を示します。内部分割抵抗を使用して輝度があがらない場合には、外部 (VCC～VV4 端子間) に可変抵抗(V_R) を接続して VV4 端子の電圧を調整してください。

Figure 2-3　1/4 バイアス生成時の内部分割抵抗の状態

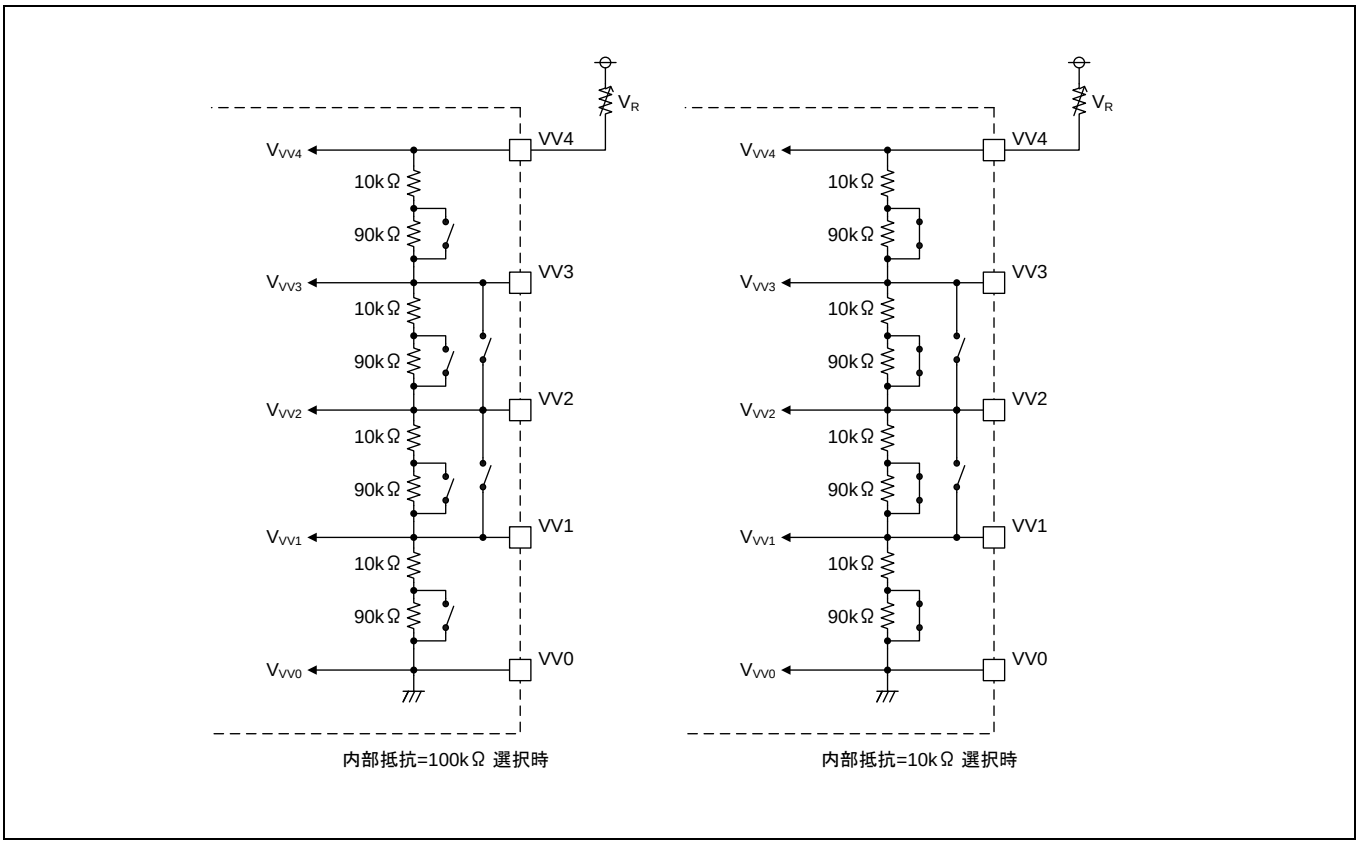


Figure 2-4　1/3 バイアス生成時の内部分割抵抗の状態

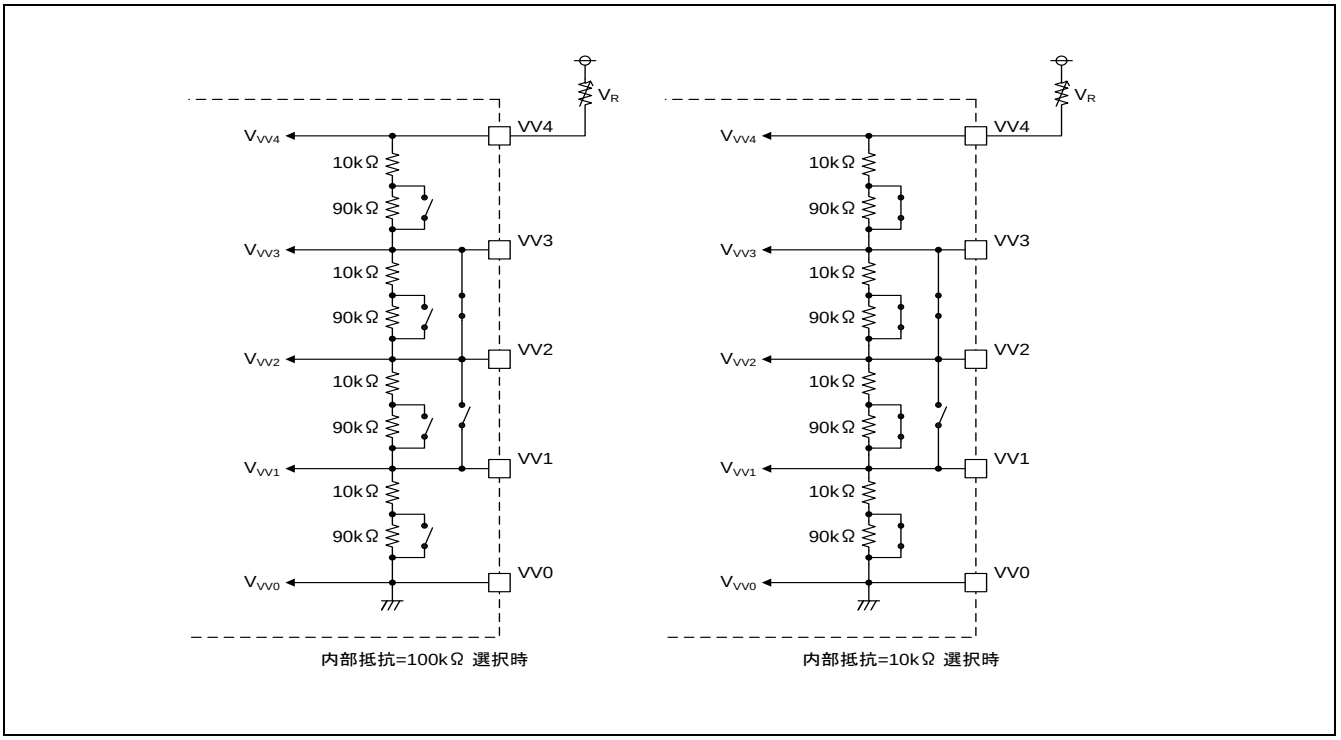
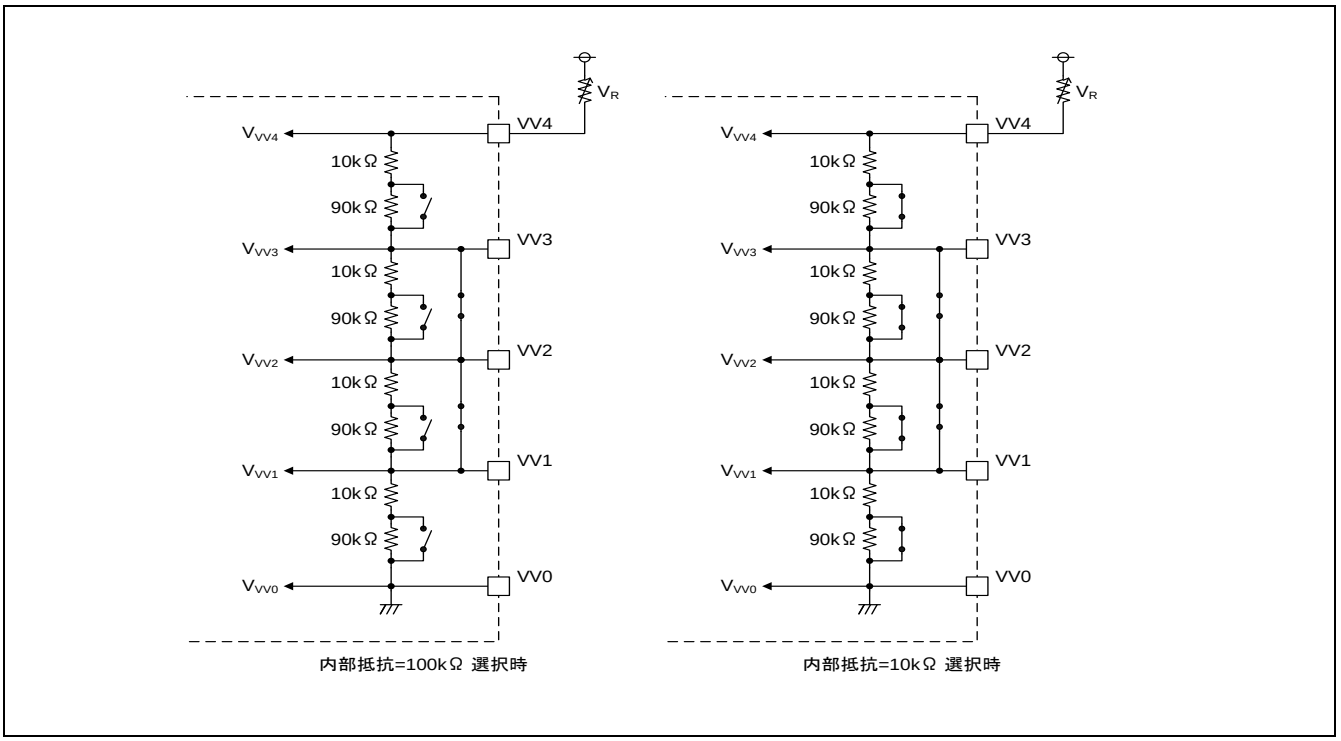


Figure 2-5　1/2 バイアス生成時の内部分割抵抗の状態



2.2 LCD コントローラの外部分割抵抗

本ファミリ は VV0～VV4 端子に外部分割抵抗を接続できます。
また、VCC と VV4 端子間に可変抵抗を接続することで、輝度を調整できます。

外部分割抵抗

内部分割抵抗を使用せずに、LCD 駆動用電源端子 (VV0～VV4) に外部分割抵抗を接続して使用できます。バイアス方式に対応した外部分割抵抗の接続を Figure 2-6 に、LCD 駆動電圧を Table 2-1 に示します。

Figure 2-6 外部分割抵抗の接続例

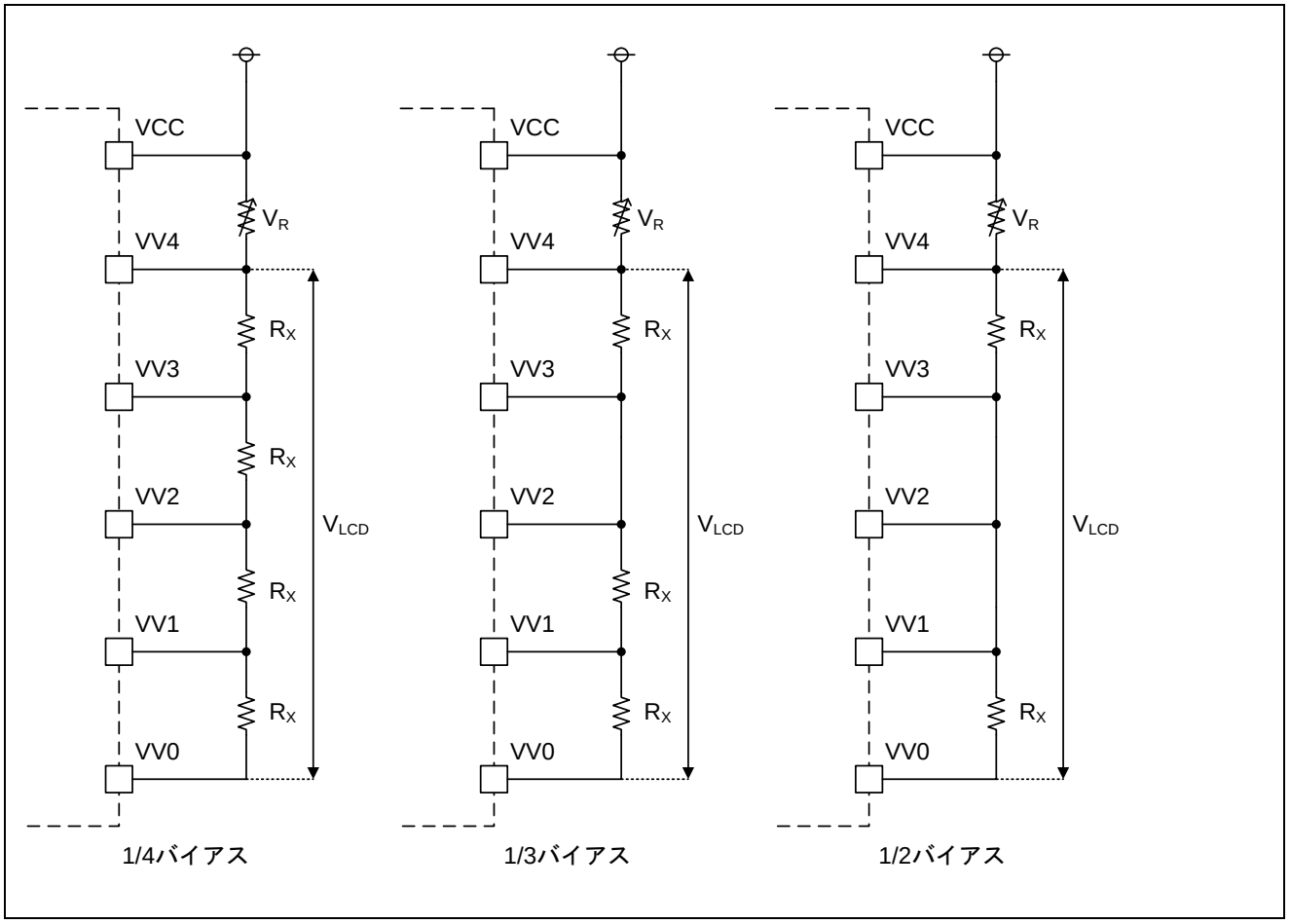


Table 2-1 LCD 駆動電圧の設定

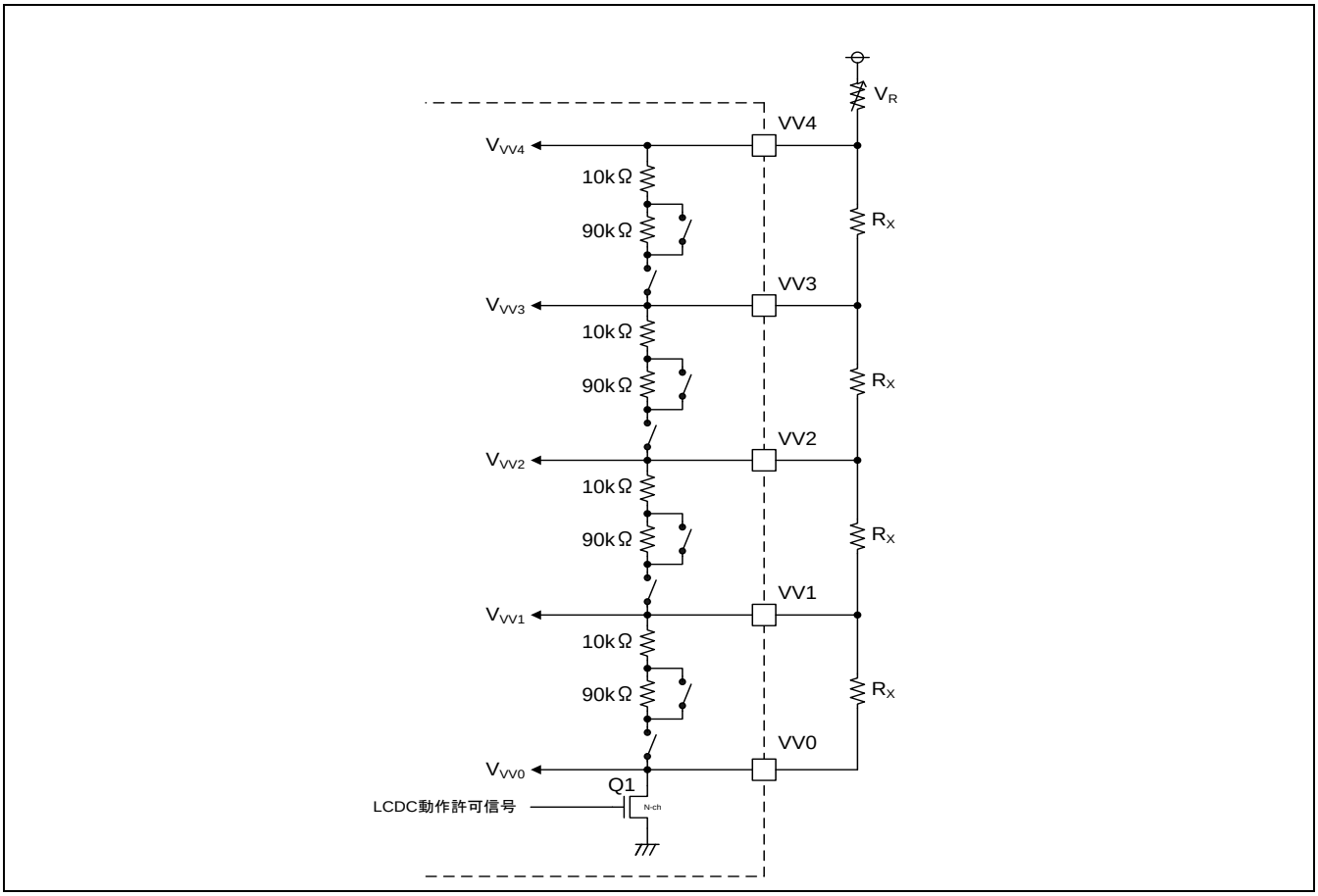
	V_{VV4}	V_{VV3}	V_{VV2}	V_{VV1}	V_{VV0}
1/2 バイアス	V_{LCD}	1/2 V_{LCD}	1/2 V_{LCD}	1/2 V_{LCD}	GND
1/3 バイアス	V_{LCD}	2/3 V_{LCD}	2/3 V_{LCD}	1/3 V_{LCD}	GND
1/4 バイアス	V_{LCD}	3/4 V_{LCD}	1/2 V_{LCD}	1/4 V_{LCD}	GND

V_{LCD}：LCD の動作電圧

外部分割抵抗の使用

VV0 端子は内部でトランジスタを通して Vss (GND) へ接続されているため、外部分割抵抗を使用する場合、分割抵抗の Vss 側を VV0 端子に接続することにより、LCD コントローラ停止時に抵抗へ流れる電流を遮断します。Figure 2-7 に外部分割抵抗使用時の状態を示します。

Figure 2-7 外部分割抵抗を使用した状態



1. 内部分割抵抗の影響を受けずに外部に分割抵抗を接続するには、LCDC 制御レジスタ 1 の LCD 駆動電圧制御ビット(LCDCC1:VSEL)に"0"を書込み、内部分割抵抗全体を切り離す必要があります。ポートを LCD の駆動用電源端子として使用するためには、LCDC 制御レジスタ 3 の VV4～VV0 選択ビット (LCDCC3:VE4~VE0)に"1"を書き込んでください。
2. 内部分割抵抗が切り離された状態で、LCDCC1 レジスタの表示モード選択ビット (LCDCC1:MS[2:0]) に"000"以外を書き込むと LCDC 動作許可トランジスタ(Q1)が"ON"となって外部分割抵抗に電流が流れます。
3. 表示モード選択ビット (MS[2:0]) に"000"を書き込むと LCDC 動作許可トランジスタ(Q1)が"OFF"となって分割抵抗に電流が流れなくなります。

<注意事項>

- *外部抵抗 RX の適切な抵抗値は使用する LCD パネルにより異なります。使用する LCD パネルに合わせて抵抗値を選択してください。*

2.3 LCD コントローラの端子

LCD コントローラの端子について説明します。

LCD コントローラの端子

LCD コントローラ用の端子は、8 本のコモン出力端子 (COM0～COM7) , 最大 44 本のセグメント出力端子 (SEG00～SEG43) および 5 本の LCD 駆動用電源端子 (VV0～VV4) があり、汎用入出力ポートと兼用されています。

LCD コントローラ用端子として使用する場合は、LCDC 制御レジスタ 3(LCDCC3)、LCDC COM 出力許可レジスタ(LCDC_COMEN)、LCDC SEG 出力許可レジスタ 1/2 (LCDC_SEGEN1/2)の対応するビットを"1"に設定してください。

汎用入出力ポートとして使用する場合は、LCDC 制御レジスタ 3(LCDCC3)、LCDC COM 出力許可レジスタ (LCDC_COMEN)、LCDC SEG 出力許可レジスタ 1/2(LCDC_SEGEN1/2)の対応するビットを"0" に設定してから、LCDC 制御レジスタ 3(LCDCC3) の I/O ポート入力制御ビット (PICTL) を"1" に設定してください。

■ COM0～COM7 端子

8 COM モードでは、COM0～COM7 端子をコモン出力端子として使用できます。

4 COM モードでは、COM0～COM3 端子をコモン出力端子として使用できます。また、COM4～COM7 端子に SEG 端子を兼用している製品では、SEG 出力端子としても使用できます。

■ SEG00～SEG43 端子

8 COM モードでは、SEG00～SEG39 端子をセグメント出力端子として使用できます。

4 COM モードでは、SEG00～SEG43 端子をセグメント出力端子として使用できます。

■ VV0～VV4 端子

LCD 駆動用電源端子です。

内部分割抵抗を使用する場合は、VV0～VV3 端子で内部電圧を確認することができます。

また、外部から LCD 駆動電源を供給することもできます。

■ C0/C1 端子

これらの端子は LCD 昇圧回路の外部容量端子です。

昇圧回路のチャージポンプ機能を使用する場合、昇圧回路の外部容量を有効にするために LCDC_BOOSTER :CENSEL を"1"に設定する必要があります。

3. 動作説明

LCD コントローラの動作を説明します。

LCD コントローラのモード

Table 3-1 に LCD コントローラの設定可能な表示モードとバイアスの組合せを示します。

Table 3-1 表示モードとバイアスの組合せ

表示モード LCDCC1.MS[2:0]	1/2 バイアス	1/3 バイアス	1/4 バイアス
001 (4COM モード, 1/2 デューティ)	○	×	×
010 (4COM モード, 1/3 デューティ)	×	○	×
011 (4COM モード, 1/4 デューティ)	×	○	×
100 (8COM モード, 1/3 デューティ, LCDCC3.BLS8=0)	×	○	×
100 (8COM モード, 1/4 デューティ, LCDCC3.BLS8=1)	×	×	○

○：設定可能
×：設定禁止

LCD コントローラの動作状態

LCD コントローラの CPU 動作モードでの動作状態を Table 3-2 に示します。

Table 3-2 LCD コントローラの動作状態

CPU 動作モード		動作状態
ランモード		動作可能
スタンバイモード	スリープモード	動作可能
	タイマモード	動作可能*
	RTC モード	動作不可
	ストップモード	
ディープスタンバイモード	ディープスタンバイ RTC モード	動作不可
	ディープスタンバイ ストップモード	

*:LCDC 割込み要求は発生しません。

<注意事項>

- *タイマモードでは PCLK が停止するため、タイマモードで LCD コントローラを動作させるときは、LCDC クロックのソースクロックにサブクロックを選択してからタイマモードに遷移させてください。*

- *RTC/ストップモードおよびディープスタンバイモードでは、LCD コントローラは動作しないため、RTC/ストップモードおよびディープスタンバイモードに遷移する前に LCD コントローラの表示動作を停止(LCDCC1:MS[2:0]=000) させてください。*

3.1 LCD の駆動波形

LCD はその性質上、直流駆動を行うと液晶表示素子に化学変化が生じ、液晶表示素子が劣化してしまいます。このため LCD コントローラは交流波形生成回路を内蔵し、2 フレームを交流化した波形で LCD を駆動します。出力波形には次の 5 種類があります。

8 COM モード:

- 1/3 バイアス, 1/8 デューティ出力波形
- 1/4 バイアス, 1/8 デューティ出力波形

4 COM モード:

- 1/2 バイアス, 1/2 デューティ出力波形
- 1/3 バイアス, 1/3 デューティ出力波形
- 1/3 バイアス, 1/4 デューティ出力波形

3.1.1 8 COM モードでの LCD コントローラ動作時の出力波形 (1/3 バイアス, 1/8 デューティ)

8 COM モードでは、1/3 バイアスおよび 1/8 デューティのときには、COM0～COM7 が表示に使用されます。

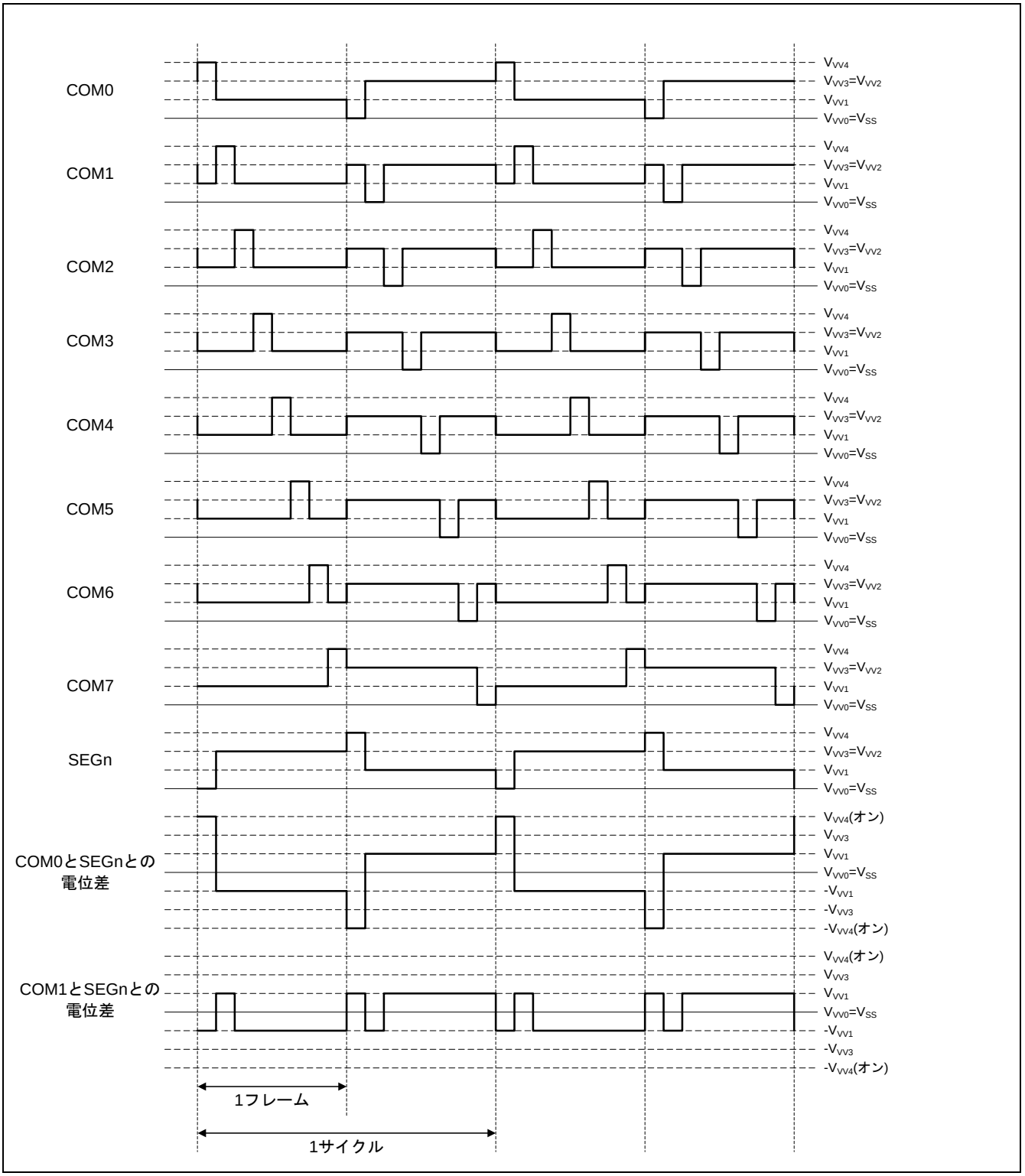
8 COM モード, 1/3 バイアス, 1/8 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が Table 3-3 のときの出力波形を Figure 3-1 に示します。

Table 3-3 LCDRAM の内容例

セグメント	LCDRAM の内容							
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
SEGn	0	0	0	0	0	0	0	1

Figure 3-1　8 COM モード, 1/3 バイアス, 1/8 デューティ比出力波形例



3.1.2 8 COM モードでの LCD コントローラ動作時の出力波形(1/4 バイアス, 1/8 デューティ)

8 COM モードでは、1/4 バイアスおよび 1/8 デューティのときには、COM0～COM7 が表示に使用されます。

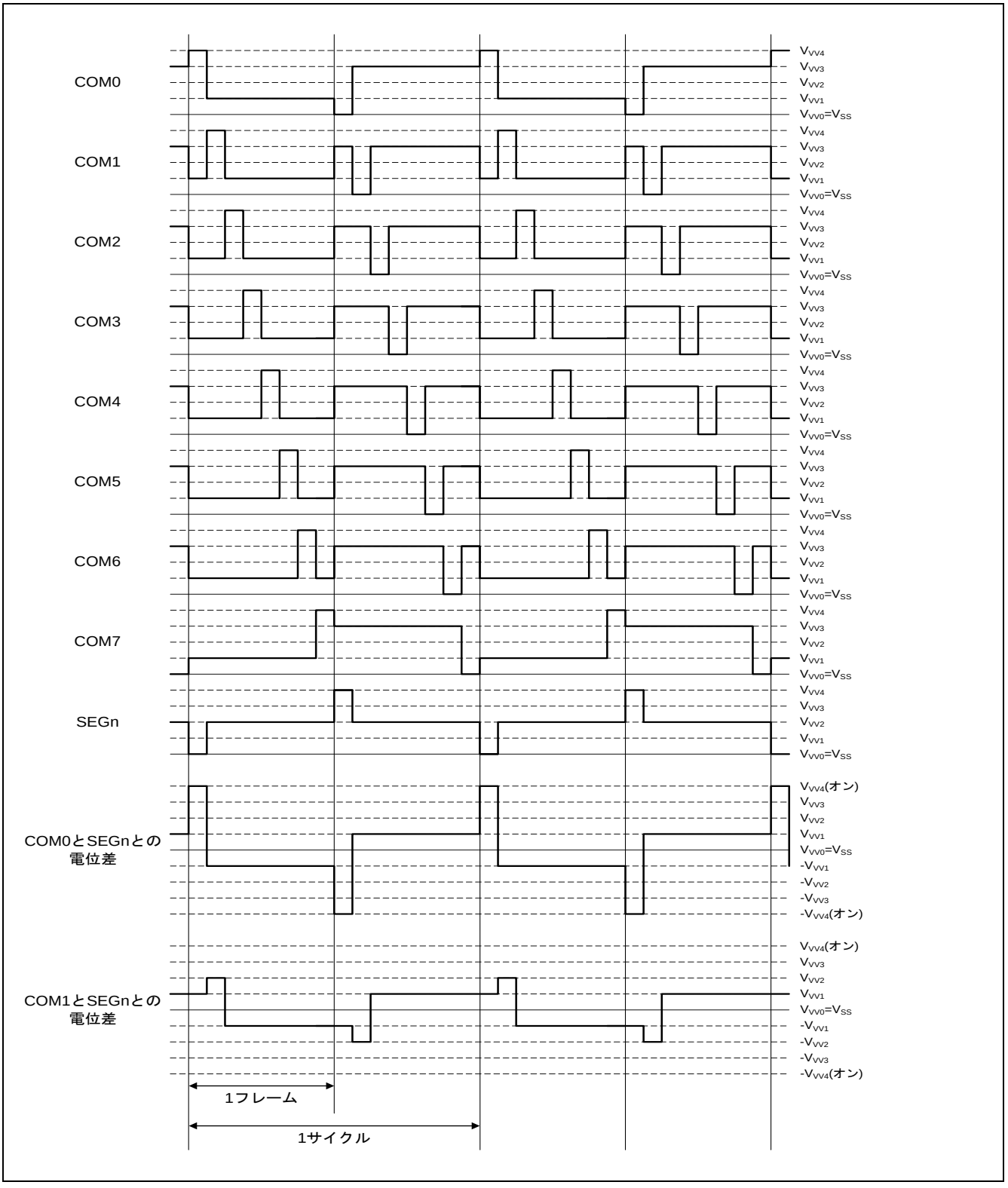
8 COM モード, 1/4 バイアス, 1/8 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が Table 3-4 のときの出力波形を Figure 3-2 に示します。

Table 3-4 LCDRAM の内容例

セグメント	LCDRAM の内容							
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
SEGn	0	0	0	0	0	0	0	1

Figure 3-2　8 COM モード, 1/4 バイアス, 1/8 デューティ比出力波形例



3.1.3 4 COM モードでの LCD コントローラ動作時の出力波形(1/2 バイアス, 1/2 デューティ)

表示駆動出力は、分割駆動タイプの 2 フレームを交流化した波形です。
4 COM モードでは、1/2 バイアスおよび 1/2 デューティのときには、COM0 および COM1 が表示に使用され、COM2 および COM3 は使用されません。

4 COM モード, 1/2 バイアス, 1/2 デューティ出力波形例

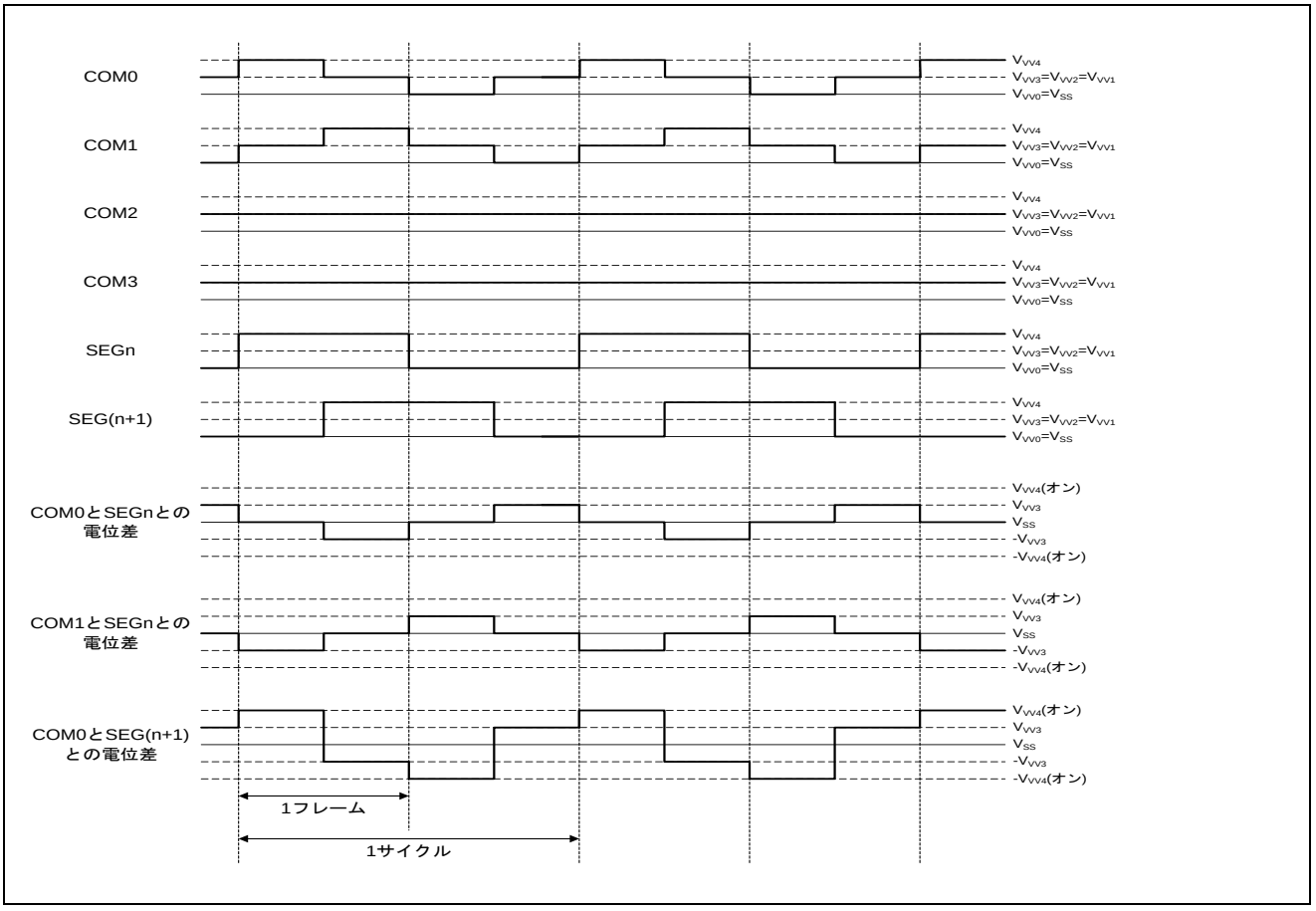
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が Table 3-5 のときの出力波形を Figure 3-3 に示します。

Table 3-5 LCDRAM の内容例

セグメント	LCDRAM の内容			
	COM3	COM2	COM1	COM0
SEGn	-	-	0	0
SEG(n+1)	-	-	0	1

-: 使用しない

Figure 3-3 4 COM モード, 1/2 バイアス, 1/2 デューティ比出力波形例



3.1.4 4 COM モードでの LCD コントローラ動作時の出力波形(1/3 バイアス, 1/3 デューティ)

4 COM モードでは、1/3 バイアスおよび 1/3 デューティのときには、COM0, COM1, および COM2 が表示に使用され、COM3 は使用されません。

4 COM モード, 1/3 バイアス, 1/3 デューティ出力波形例

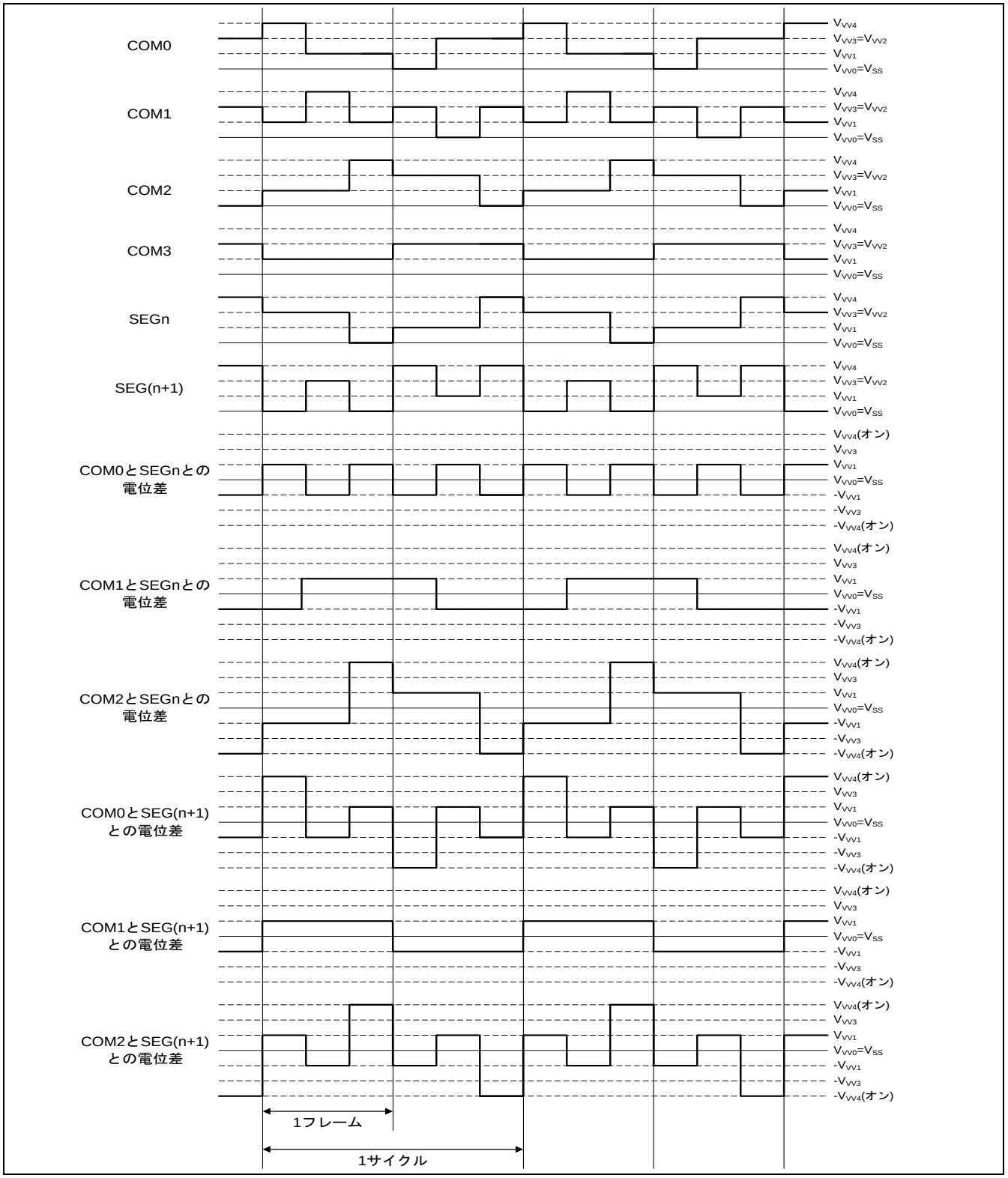
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が Table 3-6 のときの出力波形を Figure 3-4 に示します。

Table 3-6 LCDRAM の内容例

セグメント	LCDRAM の内容			
	COM3	COM2	COM1	COM0
SEGn	-	1	0	0
SEG(n+1)	-	1	0	1

-: 使用しない

Figure 3-4　4 COM モード, 1/3 バイアス, 1/3 デューティ比出力波形例



3.1.5 4 COM モードでの LCD コントローラ動作時の出力波形(1/3 バイアス, 1/4 デューティ)

4 COM モードでは、1/3 バイアスおよび 1/4 デューティのときには、COM0～COM3 が表示に使用されます。

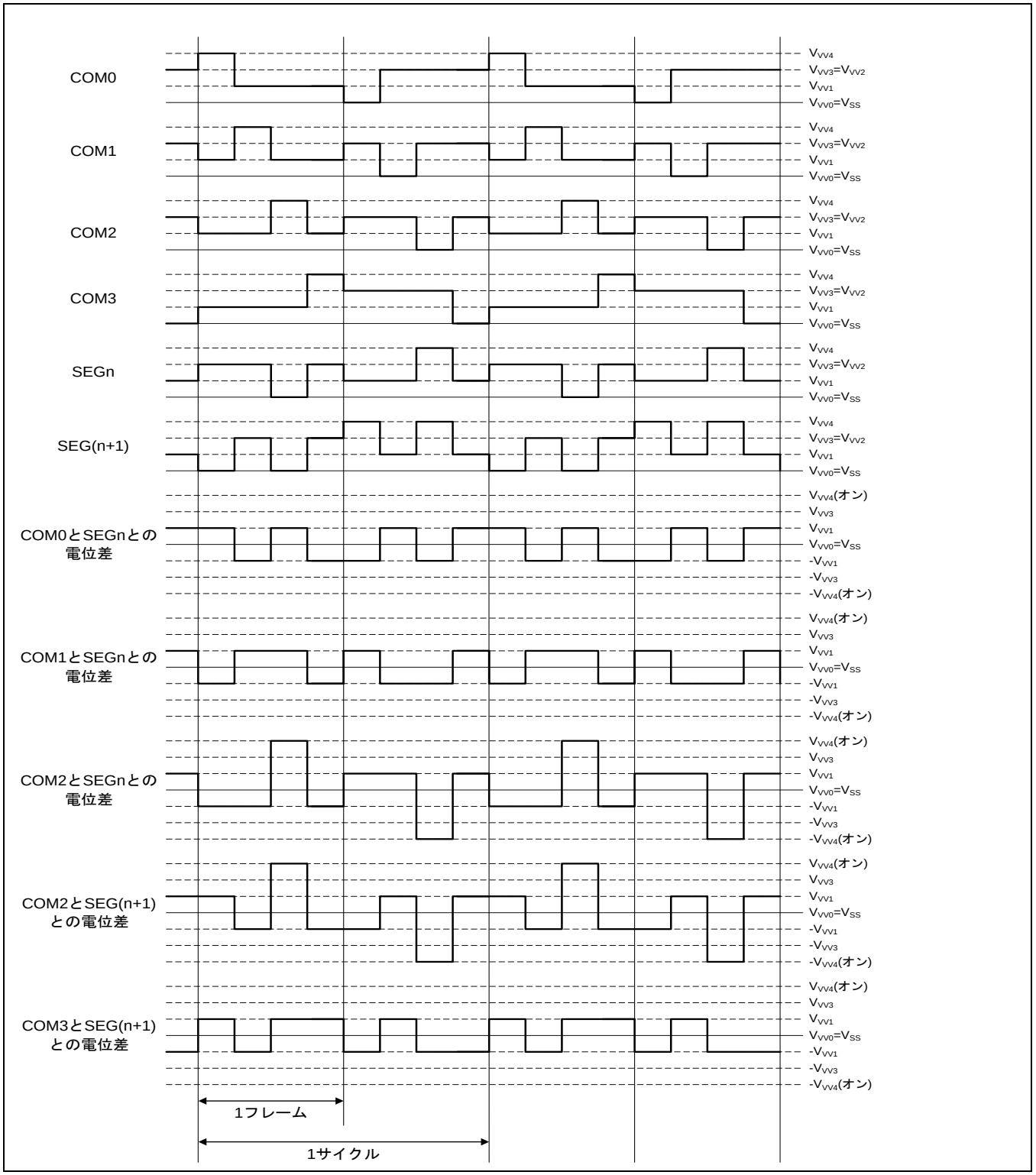
4 COM モード, 1/3 バイアス, 1/4 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が Table 3-7 のときの出力波形を Figure 3-5 に示します。

Table 3-7 LCDRAM の内容例

セグメント	LCDRAM の内容			
	COM3	COM2	COM1	COM0
SEGn	0	1	0	0
SEG(n+1)	0	1	0	1

Figure 3-5　4 COM モード, 1/3 バイアス, 1/4 デューティ比出力波形例



3.2 LCD コントローラの割込み

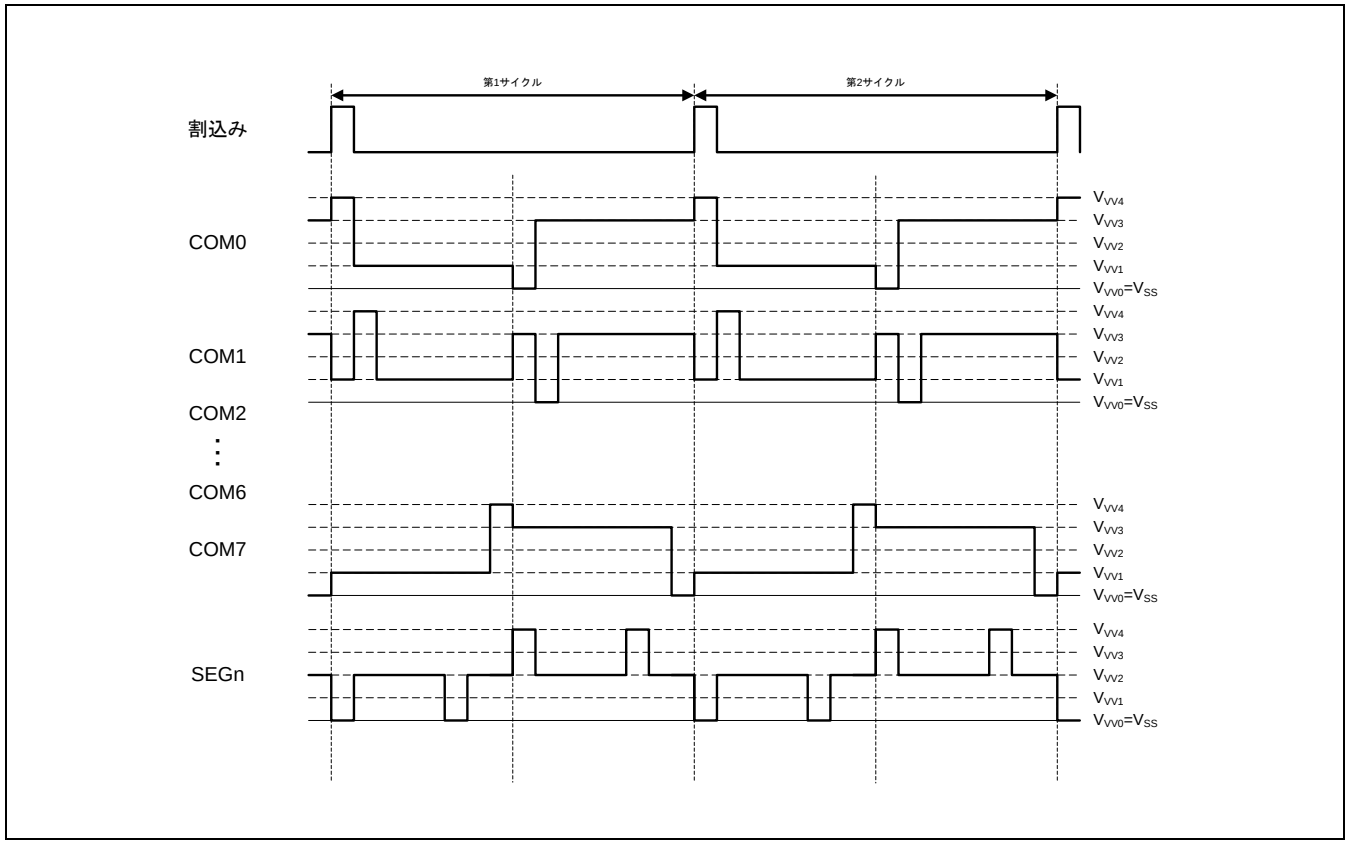
LCD コントローラは、LCD 周期と同期して、割込みを生成します。

LCD コントローラ動作時の割込み

1 サイクル処理が完了すると、LCD コントローラは、LCDC 割込み要求フラグビット (LCDCC2:LCDIF) を"1"に設定します。 LCDIF ビットが"1"に設定されたとき、すでに割込み要求が許可されている場合(LCDCC2:LCDIEN = 1)、LCD コントローラは、割込みコントローラに割込み要求を発行します。 割込み要求をクリアするには、割込みルーチンで、LCDIF ビットに"0"を書き込んでください。

LCD コントローラは、1 サイクル処理が完了次第、LCDIEN ビットの値に関係なく、常に LCDIF ビットを"1"に設定します。 LCDC 割込み要求の発行後、LCDIF ビットおよび LCDIEN ビットの両方が"1" に設定されたままの場合、CPU は、割込み処理から復帰できません。 CPU が割込み処理から復帰できるように、LCDC 割込み要求の発行後は、常に LCDIF ビットを"0"にクリアしてください。

Figure 3-6 割込みタイミング



3.3 LCD コントローラの表示データメモリ

表示データメモリ(LCD RAM)のサイズは、8 COM モードと 4 COM モードとでは異なります。
8 COM モードでは、セグメント出力信号発生用の最大 40×8 ビット(40 バイト)の LCD RAM があります。
4 COM モードでは、セグメント出力信号発生用の最大 44×4 ビット(22 バイト)の LCD RAM があります。

表示データメモリと出力端子

表示データメモリ(LCDRAM)の内容は、コモン信号の選択タイミングで自動的に読み出され同期して、セグメント出力端子より出力されます。
各ビットの内容が"1"であれば選択電圧に変換 (LCD は表示) され、"0"であれば非選択電圧に変換 (LCD は非表示) されて出力されます。
LCD 表示動作は CPU の動作とは非同期で行われるため、LCDRAM に対しては任意のタイミングで書込み/読込みができます。セグメント出力に指定されなかった端子は入出力ポートとして、また、対応する LCDRAM は通常の汎用レジスタとして使用できます。Table 3-8 にデューティとコモン出力および LCDRAM の使用ビットの関係を示します。
Figure 3-7 と Figure 3-8 に、8 COM モードおよび 4 COM モードにおける、コモン出力およびセグメント出力端子への LCDRAM アドレスの割当てを示します。

Figure 3-7 LCDRAM およびコモン/セグメント出力端子(8 COM モード)

Base_Address(n) +Adress									
n	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG00
n+1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG01
n+2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG02
n+3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG03
n+4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG04
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
n+36	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG36
n+37	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG37
n+38	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG38
n+39	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG39
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	

1/8デューティ比で使用される領域とCOM端子

Figure 3-8 LCDRAM およびコモン/セグメント出力端子(4COM モード)

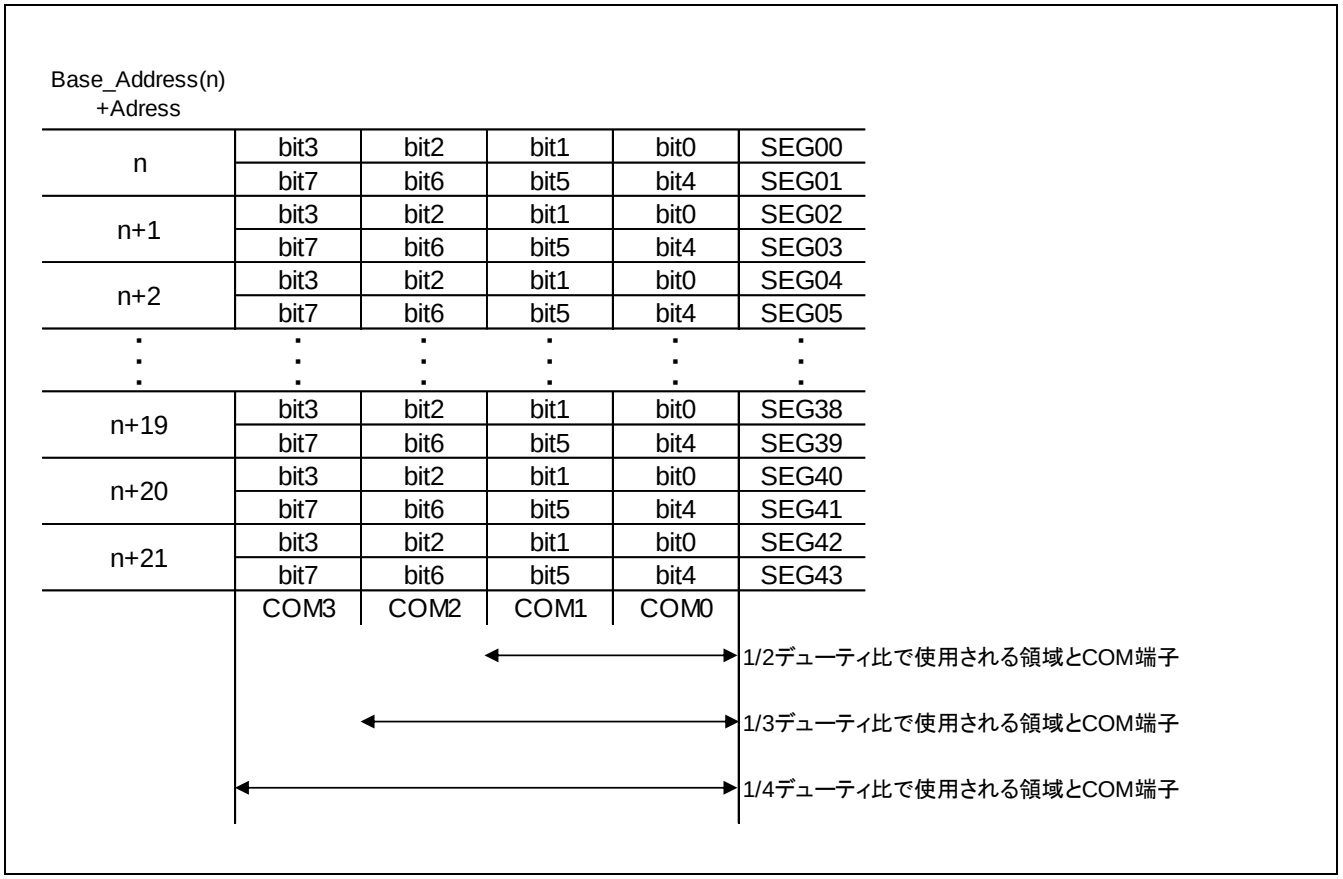


Table 3-8 デューティ比とコモン出力および LCDRAM の使用ビットの関係

デューティ比	使用するコモン出力	使用する各表示用データのビット							
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1/2	COM0, COM1 (2 本)	−	−	○	○	−	−	○	○
1/3	COM0～COM2 (3 本)	−	○	○	○	−	○	○	○
1/4	COM0～COM3 (4 本)	○	○	○	○	○	○	○	○
1/8	COM0～COM7 (8 本)	○	○	○	○	○	○	○	○

○：使用するビット
―：使用しないビット

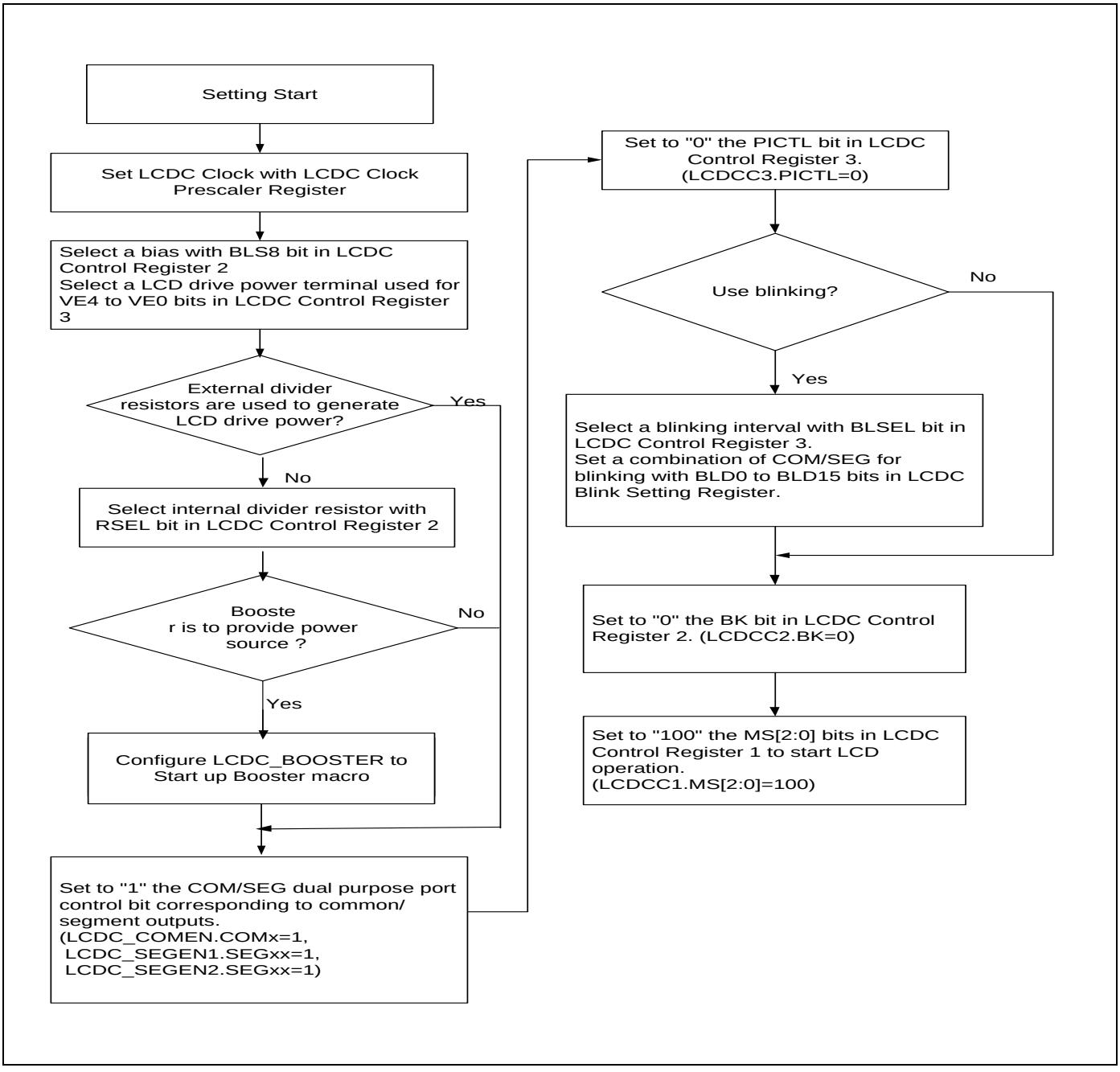
4. 設定手順例

LCD コントローラの設定手順例について説明します。

8COM モードの設定手順

Figure 4-1 に 8COM モードの設定手順を示します。

Figure 4-1　8COM モードにおける LCD コントローラの設定手順例

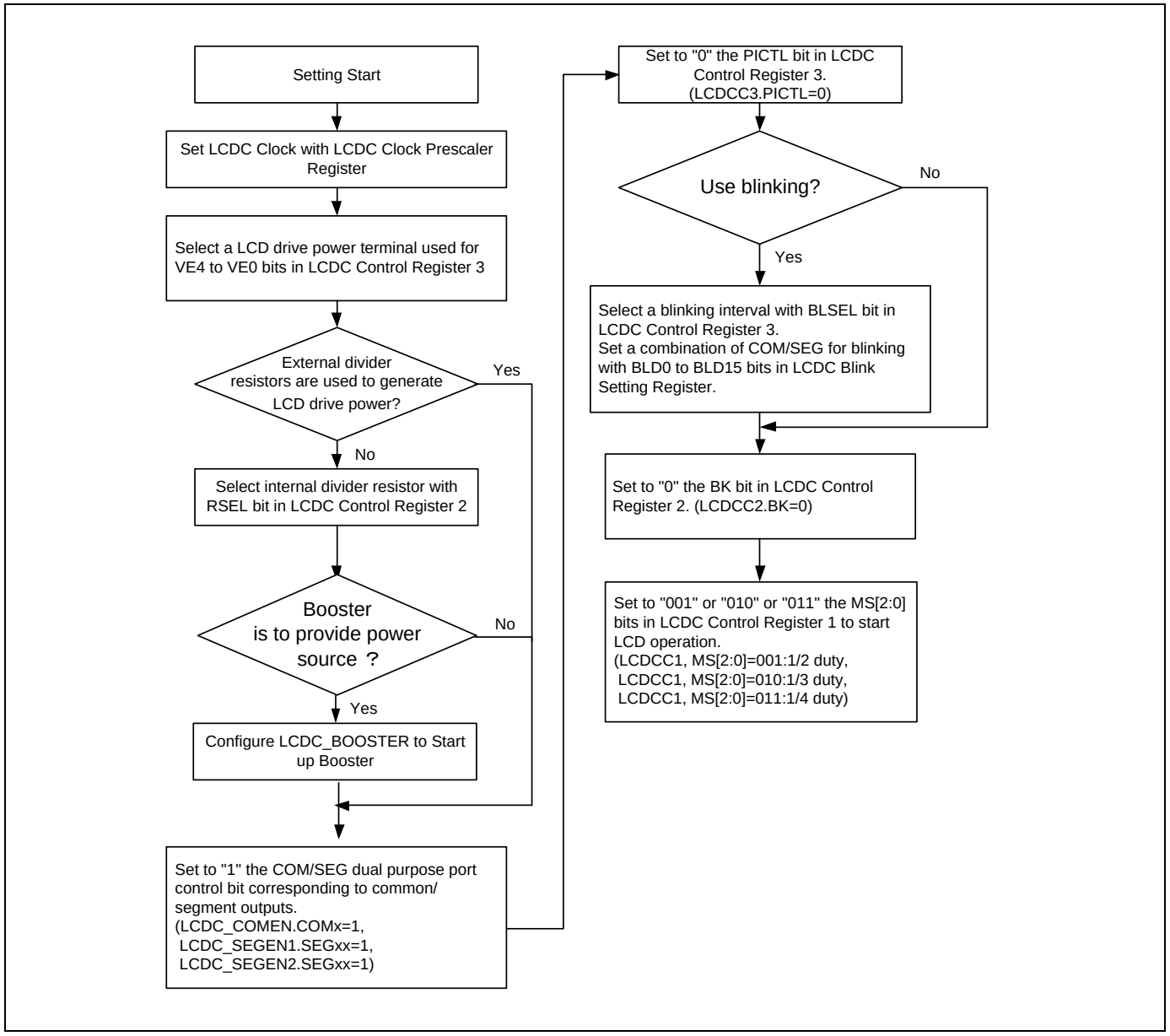


- Figure 4-1 の設定が行われると LCDRAM および LCDC のレジスタの内容に従って、コモン/セグメント出力端子に LCD パネルの駆動波形を出力します。
- LCDC 制御レジスタ 3(LCDCC3)、LCDC COM 出力許可レジスタ(LCDC_COMEN)、LCDC SEG 出力許可レジスタ 1/2(LCDC_SEGEN1/2)により LCD の出力端子を選択します。また、コモン/セグメント出力端子として選択されなかった端子は、汎用入出力ポートとして使用できます。
- LCD 表示動作中であっても、LCDC クロックを切り換えられます。
  ただし、切換え時に LCD 表示がちらつくことがあるため、LCDC 制御レジスタ 2 の BK ビットを"1"に設定(LCDCC2:BK=1)し、ブランク表示を行ってから LCDC クロックを切り換えてください。
- 表示駆動出力は、バイアスおよびデューティの設定によって選択される、2 フレームを交流化した波形です。
- ブリンク(点滅)機能を使用する場合は、LCDC ブリンク設定レジスタ(LCDC_BLINK)により対応するビットを"1"に設定します。ブリンク間隔は LCDC 制御レジスタ 3 (LCDCC3)の BLSEL ビットで 2 種類から選択できます。

4COM モードの設定手順

Figure 4-2 に 4COM モードの設定手順例を示します。

Figure 4-2　4COM モードにおける LCD コントローラの設定手順例



- Figure 4-2 の設定が行われると LCDRAM および LCDC のレジスタの内容に従って、コモン/セグメント出力端子に LCD パネルの駆動波形を出力します。
- LCDC 制御レジスタ 3(LCDCC3)、LCDC COM 出力許可レジスタ(LCDC_COMEN)、LCDC SEG 出力許可レジスタ 1/2(LCDC_SEGEN1/2)により LCD の出力端子を選択します。また、コモン/セグメント出力端子として選択されなかった端子は、汎用入出力ポートとして使用できます。

- LCD 表示動作中であっても、LCDC クロックを切り換えられます。
  ただし、切換え時に LCD 表示がちらつくことがあるため、LCDC 制御レジスタ 2 の BK ビットを"1"に設定(LCDCC2:BK=1)し、ブランク表示を行ってから LCDC クロックを切り換えてください。
- 表示駆動出力は、バイアスおよびデューティの設定によって選択される、2 フレームを交流化した波形です。
- ブリンク(点滅)機能を使用する場合は、LCDC ブリンク設定レジスタ(LCDC_BLINK)により対応するビットを"1"に設定します。ブリンク間隔は LCDC 制御レジスタ 3 (LCDCC3)の BLSEL ビットで 2 種類から選択できます。

5. レジスタ

LCD コントローラのレジスタについて説明します。

LCD コントローラのレジスター覧

Table 5-1 LCD コントローラのレジスター覧

レジスタ略称	レジスタ名	参照先
LCDCC1	LCDC 制御レジスタ 1	5.1
LCDCC2	LCDC 制御レジスタ 2	5.2
LCDCC3	LCDC 制御レジスタ 3	5.3
LCDC_BOOSTER	LCDC 昇圧回路制御レジスタ	5.4
LCDC_PSR	LCDC クロックプリスケーラレジスタ	5.5
LCDC_COMEN	LCDC COM 出力許可レジスタ	5.6
LCDC_SEGEN1	LCDC SEG 出力許可レジスタ 1	5.7
LCDC_SEGEN2	LCDC SEG 出力許可レジスタ 2	5.8
LCDC_BLINK	LCDC ブリンク設定レジスタ	5.9
LCDRAM00 ～ LCDRAM39	表示データメモリレジスタ 00～39	5.10

5.1 LCDC 制御レジスタ 1 (LCDCC1)

LCDC 制御レジスタ 1 (LCDCC1)は LCD コントローラの設定を行うレジスタです。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	LCDEN	VSEL	MS[2:0]			予約	
属性	-	R/W	R/W	R/W			-	
初期値	0	0	0	000			00	

レジスタ機能

[bit7] 予約 : 予約ビット

読出しは常に"0"となります。書込みは意味を持ちません。

[bit6] LCDEN : タイマモード時動作許可ビット

bit	説明
0	タイマモードで LCD コントローラは停止します。
1	タイマモードで LCD コントローラは動作します。

<注意事項>

- *タイマモードではPCLK が停止するため、タイマモードでLCD コントローラを動作させるときは、LCDC クロックのソースクロックにサブクロックを選択(LCDC_PSR:CLKSEL=0) してからタイマモードに遷移させてください。*

[bit5] VSEL : LCD 駆動電源制御ビット

bit	説明
0	LCD 駆動電源の生成に外部分割抵抗を使用します。
1	LCD 駆動電源の生成に内部分割抵抗を使用します。

[bit4:2] MS[2:0] : LCD コントローラ表示モード選択ビット

bit4:2	説明
000	LCD コントローラの表示動作を停止します。
001	4COM モード、1/2 デューティ
010	4COM モード、1/3 デューティ
011	4COM モード、1/4 デューティ
1xx	8COM モード、1/8 デューティ

[bit1:0] 予約 : 予約ビット

読出しは常に"0"となります。書込みは意味を持ちません。

5.2 LCDC 制御レジスタ 2 (LCDCC2)

LCDC 制御レジスタ 2 (LCDCC2)は LCD コントローラの設定を行うレジスタです。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約		RSEL	BLS8	INV	BK	LCDIEN	LCDIF
属性	-		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	1	0	1	0	0

レジスタ機能

[bit15:14] 予約 : 予約ビット

読出しは常に"0"となります。書込みは意味を持ちません。

[bit13] RSEL :分圧抵抗値選択ビット

内部分割抵抗を選択(LCDCC1:VSEL=1)したときの分圧抵抗を選択します。

bit	説明
0	100kΩの抵抗を選択します。
1	10kΩの抵抗を選択します。

[bit12] BLS8 :8COM モード時バイアス選択ビット

bit	説明
0	8COM モードのとき、1/3 バイアスを選択します。
1	8COM モードのとき、1/4 バイアスを選択します。

<注意事項>

- *4COM モードのときは、LCD コントローラの動作に影響を与えません。*

[bit11] INV :反転表示制御ビット

bit	説明
0	反転表示を行いません。
1	反転表示を行います。

[bit10] BK :ブランク表示制御ビット

bit	説明
0	LCDRAM(LCDRAM00~43)に格納されたデータを表示します。
1	LCDRAM(LCDRAM00~43)に格納されたデータに関わらずブランク表示を行います。

[bit9] LCDIEN :割込み許可ビット

bit	説明
0	割込み要求の発生を禁止します。
1	割込み要求の発生を許可します。

[bit8] LCDIF :割込み要求検出ビット

bit	説明
0	割込み要求は検出されていません。
1	割込み要求が検出されました。

5.3 LCDC 制御レジスタ 3 (LCDCC3)

LCDC 制御レジスタ 3 (LCDCC3)は LCD コントローラの設定を行うレジスタです。

レジスタ構成

bit	23	22	21	20	19	18	17	16
Field	PICTL	BLSEL	VE4	VE3	VE2	VE1	VE0	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
初期値	0	0	1	1	1	1	1	0

レジスタ機能

[bit23] PICTL : I/O ポート入力制御ビット

COM および SEG と兼用になっている I/O ポートを制御します。

bit	説明
0	I/O ポートの入力を遮断します。 COM/SEG 出力端子として使用するときの貫通電流を抑えます。
1	I/O ポートの入力を遮断しません。

<注意事項>

- *リセットで PICTL ビットが初期化されるため、I/O ポートを入力端子として使用するときは PICTL ビットに"1"を設定してください。ただし、LCDC_COMEN, LCDC_SEG1, LCDC_SEG2 レジスタで COM/SEG 出力端子として設定した I/O ポートの入力は遮断されます。*

[bit22] BLSEL : ブリンク間隔選択ビット

bit	説明
0	サブクロックの $1/2^{14}$ を選択します。 サブクロックが 32.768kHz のとき、0.5s 間隔になります。
1	サブクロックの $1/2^{15}$ を選択します。 サブクロックが 32.768kHz のとき、1.0s 間隔になります。

[bit21] VE4 : VV4 選択ビット

bit	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV4)として機能します。

<注意事項>

- *LCD コントローラを選択(LCDCC1:VSEL=1)したときは、VV4 端子を GPIO として使用できないため、VE4 ビットには必ず"1"を書き込んでください。*

[bit20] VE3 : VV3 選択ビット

bit	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV3)として機能します。

[bit19] VE2 : VV2 選択ビット

bit	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV2)として機能します。

[bit18] VE1 : VV1 選択ビット

bit	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV1)として機能します。

[bit17] VE0 : VV0 選択ビット

bit	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV0)として機能します。

[bit16] 予約 : 予約ビット

読出しは常に"0"となります。書込みは意味を持ちません。

<注意事項>

- *内部分割抵抗を選択(LCDCC1:VSEL=1)したときは、VV3~VV0 端子を GPIO として使用できます。*

5.4 LCDC 昇圧回路制御レジスタ (LCDC_BOOSTER)

LCDC 昇圧回路制御レジスタは、LCD 昇圧回路の設定を行います。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約		BTRC[1:0]		BTRF[3:0]			
属性	-		R/W	R/W	R/W	R/W	R/W	R/W
初期値	0		0	0	1	1	1	0

Bit	7	6	5	4	3	2	1	0
Field	予約				CENSEL	PSF	BSTPD	BSTOPT
属性	-	-	-	-	R/W	R	R/W	R/W
初期値	0	0	0	0	0	0	1	1

レジスタ機能

[bit15:14] 予約 : 予約ビット

読出しは常に"0"となります。書込みは意味を持ちません。

[bit13:12] BTRC: 昇圧回路出力電圧粗調整ビット

[bit11:8] BTRF: 昇圧回路出力電圧微調整ビット

BTRC と BTRF の組み合わせによる出力電圧を以下に示します。

可能な設定値*1		VV1 出力電圧 (単位 : V)	VV2 出力電圧 (単位 : V)	VV3 出力電圧 (単位 : V)	VV4 出力電圧 (単位 : V)	注意事項
BTRC[1:0]	BTRF[3:0]					
00	1010	1.00	2.00	3.00	4.00	1/4 バイアス時に設定可能です。他のバイアス の設定は禁止です。
00	1011	1.05	2.10	3.15	4.20	
00	1100	1.10	2.20	3.30	4.40	
00	1101	1.15	2.30	3.45	4.60	
00	1110	1.20	2.40	3.60	4.80	
01	0111	1.25	2.50	2.50	3.75	1/3 バイアス時に設定可能です。他のバイアスの設定は禁止です。
01	1000	1.30	2.60	2.60	3.90	
01	1001	1.35	2.70	2.70	4.05	
01	1010	1.40	2.80	2.80	4.20	
01	1011	1.45	2.90	2.90	4.35	
01	1100	1.50	3.00	3.00	4.50	
01	1101	1.55	3.10	3.10	4.65	
01	1110	1.60	3.20	3.20	4.80	
10	0101	1.65	3.30	3.30	4.95	

可能な設定値*1		VV1 出力電圧（単位 : V)	VV2 出力電圧（単位 : V)	VV3 出力電圧（単位 : V)	VV4 出力電圧（単位 : V)	注意事項
BTRC[1:0]	BTRF[3:0]					
10	1100	2.00	2.00	2.00	4.00	1/2 バイアス時に設定可能です。他のバイアスの設定は禁止です。
10	1101	2.05	2.05	2.05	4.10	
10	1110	2.10	2.10	2.10	4.20	
11	0010	2.15	2.15	2.15	4.30	
11	0011	2.20	2.20	2.20	4.40	
11	0100	2.25	2.25	2.25	4.50	
11	0101	2.30	2.30	2.30	4.60	
11	0110	2.35	2.35	2.35	4.70	
11	0111	2.40	2.40	2.40	4.80	
11	1000	2.45	2.45	2.45	4.90	

*1: 他の設定組み合わせは禁止です。

[bit7:4] 予約 : 予約ビット

読出しは常に"0"となります。書込みは意味を持ちません。

[bit3] CENSEL: 昇圧回路 C1/C0 端子有効制御

Bit	説明
0	昇圧回路 C0/C1 端子機能が無効
1	昇圧回路 C0/C1 端子機能が有効

[bit2] PSF: LCDC 電源フラグビット

Bit	説明
0	LCDC の電源として MCU の VCC が選択されていることを示します。
1	LCDC の電源として内部の VV4 出力が選択されていることを示します。

このビットは、LCD 昇圧回路機能がオンになっているときは自動的にセットされます。

また、LCD 昇圧回路がオフになっているときは自動的にクリアされます。

[bit1] BSTPD: 昇圧回路の電源オフ制御ビット

Bit	説明
0	昇圧回路のチャージポンプが電源オン。
1	昇圧回路のチャージポンプが電源オフ。

[bit0] BSTOPT: 昇圧回路モジュールオプション

Bit	説明
0	MCU には昇圧回路機能が搭載されていない
1	MCU には昇圧回路機能が搭載されている

MCU に昇圧回路機能が搭載されている場合に限り、昇圧回路に関連するレジスタ設定が利用可能です。

5.5 LCDC クロックプリスケーラレジスタ(LCDC_PSR)

LCDC クロックプリスケーラレジスタ(LCDC_PSR)は LCDC クロックの設定を行うレジスタです。

レジスタ構成

bit	31	23	22	21	0
Field	予約		CLKSEL	CLKDIV	
属性	-		R/W	R/W	
初期値	0_0000_0000		0	00_0000_0000_0000_0000_0000	

レジスタ機能

[bit31:23] 予約 : 予約ビット

読出しは常に"0"となります。書込みは意味を持ちません。

[bit22] CLKSEL: ソースクロック選択ビット

bit	説明
0	LCDC クロックのソースクロックにサブクロックを選択します。
1	LCDC クロックのソースクロックに PCLK を選択します。

[bit21:0] CLKDIV : LCDC クロック分周比設定ビット

bit21:0	説明
00_0000_0000_0000_0000_0000	LCDC クロックの分周比を設定します。 (CLKDIV の設定値+1)分周になります。 例:CLKDIV(=00_0000_0000_0000_0000_0000) + 1 ⇒1 分周
00_0000_0000_0000_0000_0001	
・	
・	
11_1111_1111_1111_1111_1110	
11_1111_1111_1111_1111_1111	

5.6 LCDC COM 出力許可レジスタ(LCDC_COMEN)

LCDC COM 出力許可レジスタ(LCDC_COMEN)は COM 出力端子(COM0～COM7)の出力制御を行います。

レジスタ構成

bit	31							8
Field	予約							
属性	-							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:8] 予約 : 予約ビット

読出しは常に"0"となります。書込みは意味を持ちません。

[bit7:4] COM7～COM4 : COM/SEG 兼用ポート制御ビット

本ビットでは COM4～COM7 の I/O ポートの状態制御とコモン出力のアナログスイッチ制御を行います。
また、COM4～COM7 にセグメント出力端子を兼用している製品では、4COM モードにおける SEGxx の I/O ポートの状態制御とセグメント出力のアナログスイッチ制御も行えます。
SEGxx 端子を兼用していない製品では、4COM モード時に本ビットへの書込みは動作に影響しません。

bit7:4	説明
0	対象の I/O ポートを GPIO として使用します。 COMx/SEGxx 出力のアナログスイッチはオフします。
1	対象の I/O ポートを COMx/SEGx 出力端子として使用します。 COMx/SEGxx 出力のアナログスイッチはオンします。

[bit3:0] COM3～COM0 : COM 兼用ポート制御ビット

本ビットでは I/O ポートの状態制御と COM 出力のアナログスイッチ制御を行います。

bit3:0	説明
0	対象の I/O ポートを GPIO として使用します。 COMx 出力のアナログスイッチはオフします。
1	対象の I/O ポートを COMx 出力端子として使用します。 COMx 出力のアナログスイッチはオンします。

5.7 LCDC SEG 出力許可レジスタ 1 (LCDC_SEGEN1)

LCDC SEG 出力許可レジスタ 1 (LCDC_SEGEN1)はセグメント出力端子(SEG00～SEG31)の出力制御を行います。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG09	SEG08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	SEG07	SEG06	SEG05	SEG04	SEG03	SEG02	SEG01	SEG00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:0] SEG31～SEG00 : SEG 兼用ポート制御ビット

本ビットでは I/O ポートの状態制御と SEG 出力のアナログスイッチ制御を行います。

bit31:0	説明
0	対象の I/O ポートを GPIO として使用します。 SEGxx 出力のアナログスイッチはオフします。
1	対象の I/O ポートを SEGxx 出力端子として使用します。 SEGxx 出力のアナログスイッチはオンします。

5.8 LCDC SEG 出力許可レジスタ 2 (LCDC_SEGEN2)

LCDC SEG 出力許可レジスタ 2 (LCDC_SEGEN2)はセグメント出力端子(SEG00～SEG31)の出力制御を行います。

レジスタ構成

bit	31							8
Field	予約							
属性	-							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:8] 予約 : 予約ビット

読出しは常に"0"となります。書込みは意味を持ちません。

[bit7:0] SEG39～SEG32 : SEG 兼用ポート制御ビット

本ビットでは I/O ポートの状態制御と SEG 出力のアナログスイッチ制御を行います。

bit7:0	説明
0	対象の I/O ポートを GPIO として使用します。 SEGxx 出力のアナログスイッチはオフします。
1	対象の I/O ポートを SEGxx 出力端子として使用します。 SEGxx 出力のアナログスイッチはオンします。

5.9 LCDC ブリンク設定レジスタ(LCDC_BLINK)

LCDC ブリンク設定レジスタ(LCDC_BLINK)はブリンク動作の制御を行います。

8 COM モード: SEG00, SEG01 と COM0～COM7 の組合せで決まる各ドットで行います。
4 COM モード: SEG00～SEG03 と COM0～COM3 の組合せで決まる各ドットで行います。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	BLD15	BLD14	BLD13	BLD12	BLD11	BLD10	BLD09	BLD08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	BLD07	BLD06	BLD05	BLD04	BLD03	BLD02	BLD01	BLD00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15] BLD15： ブリンク動作制御 15 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG03-COM3 でブリンク動作を行います。
	8COM モード	SEG01-COM7 でブリンク動作を行います。

[bit14] BLD14： ブリンク動作制御 14 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG03-COM2 でブリンク動作を行います。
	8COM モード	SEG01-COM6 でブリンク動作を行います。

[bit13] BLD13： ブリンク動作制御 13 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG03-COM1 でブリンク動作を行います。
	8COM モード	SEG01-COM5 でブリンク動作を行います。

[bit12] BLD12： ブリンク動作制御 12 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG03-COM0 でブリンク動作を行います。
	8COM モード	SEG01-COM4 でブリンク動作を行います。

[bit11] BLD11： ブリンク動作制御 11 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG02-COM3 でブリンク動作を行います。
	8COM モード	SEG01-COM3 でブリンク動作を行います。

[bit10] BLD10： ブリンク動作制御 10 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG02-COM2 でブリンク動作を行います。
	8COM モード	SEG01-COM2 でブリンク動作を行います。

[bit9] BLD09： ブリンク動作制御 9 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG02-COM1 でブリンク動作を行います。
	8COM モード	SEG01-COM1 でブリンク動作を行います。

[bit8] BLD08： ブリンク動作制御 8 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG02-COM0 でブリンク動作を行います。
	8COM モード	SEG01-COM0 でブリンク動作を行います。

[bit7] BLD07： ブリンク動作制御 7 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG01-COM3 でブリンク動作を行います。
	8COM モード	SEG00-COM7 でブリンク動作を行います。

[bit6] BLD06： ブリンク動作制御 6 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG01-COM2 でブリンク動作を行います。
	8COM モード	SEG00-COM6 でブリンク動作を行います。

[bit5] BLD05： ブリンク動作制御 5 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG01-COM1 でブリンク動作を行います。
	8COM モード	SEG00-COM5 でブリンク動作を行います。

[bit4] BLD04： ブリンク動作制御 4 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG01-COM0 でブリンク動作を行います。
	8COM モード	SEG00-COM4 でブリンク動作を行います。

[bit3] BLD03： ブリンク動作制御 3 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG00-COM3 でブリンク動作を行います。
	8COM モード	SEG00-COM3 でブリンク動作を行います。

[bit2] BLD02： ブリンク動作制御 2 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG00-COM2 でブリンク動作を行います。
	8COM モード	SEG00-COM2 でブリンク動作を行います。

[bit1] BLD01： ブリンク動作制御 1 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG00-COM1 でブリンク動作を行います。
	8COM モード	SEG00-COM1 でブリンク動作を行います。

[bit0] BLD00： ブリンク動作制御 0 ビット

bit	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG00-COM0 でブリンク動作を行います。
	8COM モード	SEG00-COM0 でブリンク動作を行います。

5.10 表示データメモリレジスタ 00~39 (LCDRAM00~39)

表示データメモリレジスタ 00～39 (LCDRAM00～39)には、LCD パネルに表示させるデータを設定します。

レジスタ構成

bit	31 24	23 16	15 8	7 0
Field	LCDRAM03	LCDRAM02	LCDRAM01	LCDRAM00
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM07	LCDRAM06	LCDRAM05	LCDRAM04
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM11	LCDRAM10	LCDRAM09	LCDRAM08
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM15	LCDRAM14	LCDRAM13	LCDRAM12
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM19	LCDRAM18	LCDRAM17	LCDRAM16
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM23	LCDRAM22	LCDRAM21	LCDRAM20
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM27	LCDRAM26	LCDRAM25	LCDRAM24
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM31	LCDRAM30	LCDRAM29	LCDRAM28
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM35	LCDRAM34	LCDRAM33	LCDRAM32
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM39	LCDRAM38	LCDRAM37	LCDRAM36
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

6. 使用上の注意

LCD コントローラの使用上の注意点を示します。

- COM/SEG 出力端子を GPIO として使用する場合、LCDC COM 出力許可レジスタ (LCDC_COMEN), LCDC SEG 出力許可レジスタ 1/2(LCDC_SEG1/2)の対応する COM/SEG 兼用ポート制御ビットを"0"に、LCDC 制御レジスタ 3 (LCDCC3)のポート入力制御ビット(PICTL)を"1"に設定してください。
- LCD 表示動作中に LCDC クロックが停止すると、交流波形生成回路が停止するため液晶素子に直流電圧が印加されるため、あらかじめ LCD 表示動作を停止してください。
  サブクロック、または PCLK が停止する条件については、『ペリフェラルマニュアル』の『クロック』および『低消費電力モード』の章を参照してください。
- LCDRAM のデータを LCD に出力する動作は CPU が LCDRAM にアクセスする動作とは独立したタイミングで行われます。 LCDRAM の書換え間隔が設定した LCD 周期より短い場合は、フレームの表示パターンが異なるため、ちらつきが発生することがあります。

APPENDIXES

レジスタマップ、注意事項について説明します。

A. 製品型格一覧
B. レジスタマップ (TYPE1-M0+)
C. レジスタマップ (TYPE2-M0+)
D. レジスタマップ (TYPE3-M0+)
E. 注意事項一覧

CODE: 9AFAPPENDIXES-J03.0

A. 製品型格一覧

製品型格について説明します。

1. 製品型格一覧

1. 製品型格一覧

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M0+","TYPE2-M0+","TYPE3-M0+"などの表記は、以下の一覧の FM0+ファミリ製品に置き換えてお読みください。

Table 1-1 FM0+ファミリの TYPE1 型格一覧

TYPE	フラッシュメモリサイズ	
	56K bytes	88K bytes
TYPE1-M0+	S6E1A11B S6E1A11C	S6E1A12B S6E1A12C

Table 1-2 FM0+ファミリの TYPE2 型格一覧

TYPE	フラッシュメモリサイズ	
	304K bytes	560K bytes
TYPE2-M0+	S6E1B84E S6E1B84F S6E1B84G S6E1B34E S6E1B34F S6E1B34G	S6E1B86E S6E1B86F S6E1B86G S6E1B36E S6E1B36F S6E1B36G

Table 1-3 FM0+ファミリの TYPE3 型格一覧

TYPE	フラッシュメモリサイズ	
	64K bytes	128K bytes
TYPE3-M0+	S6E1C31B S6E1C31C S6E1C31D S6E1C11B S6E1C11C S6E1C11D	S6E1C32B S6E1C32C S6E1C32D S6E1C12B S6E1C12C S6E1C12D

B. レジスタマップ (TYPE1-M0+)

レジスタマップについて説明します。

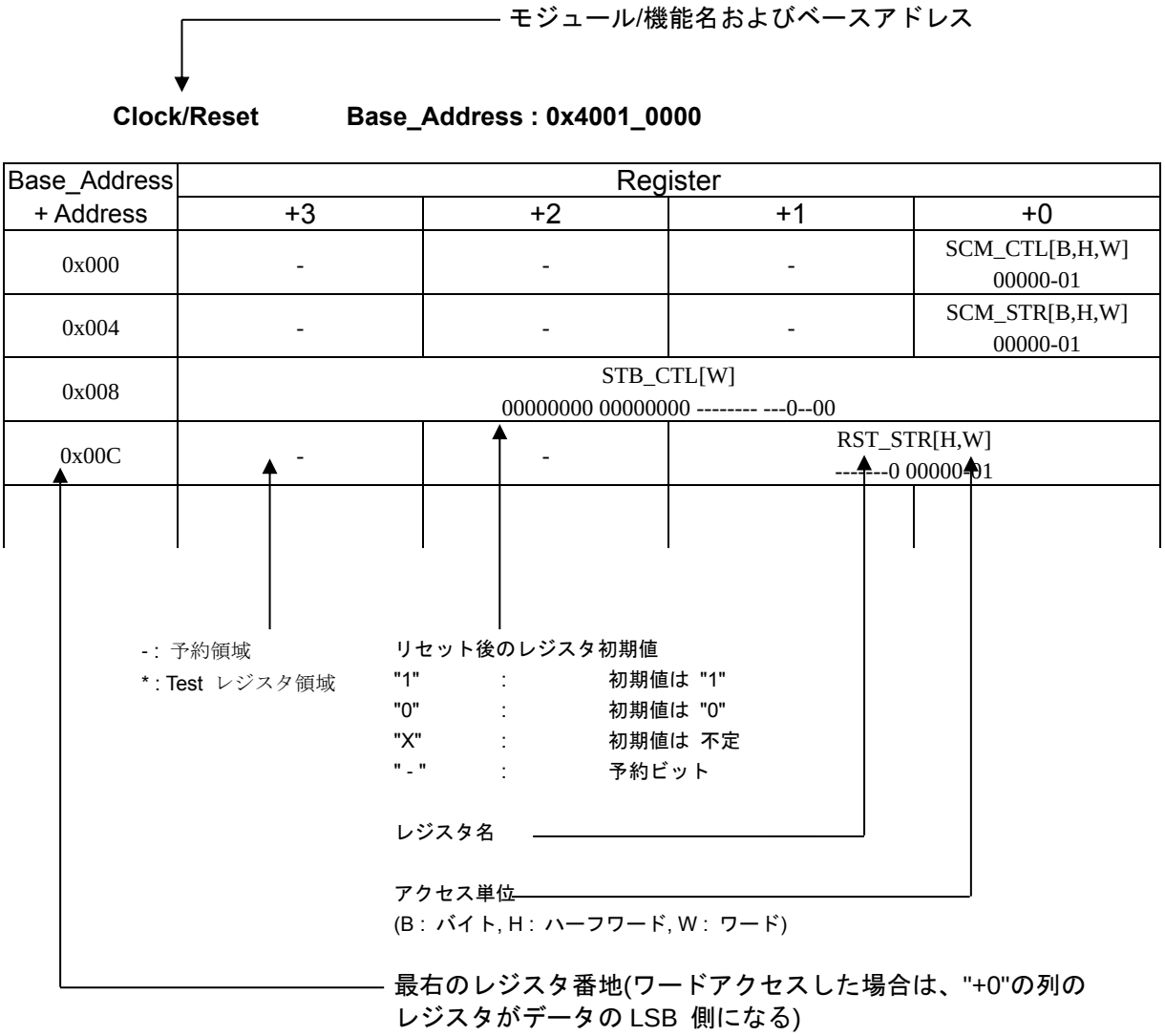
1. レジスタマップ

CODE: 9AFREGMAP-J01.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C				
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset　　Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT unit0 Base_Address : 0x4002_0000

MFT unit1 Base_Address : 0x4002_1000

MFT unit2 Base_Address : 0x4002_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	OCCP0[H,W]		-	-
	00000000 00000000			
0x104	OCCP1[H,W]		-	-
	00000000 00000000			
0x108	OCCP2[H,W]		-	-
	00000000 00000000			
0x10C	OCCP3[H,W]		-	-
	00000000 00000000			
0x110	OCCP4[H,W]		-	-
	00000000 00000000			
0x114	OCCP5[H,W]		-	-
	00000000 00000000			
0x118	-	OCSD10[B,H,W]	OCSB10[B,H,W]	OCSA10[B,H,W]
		00000000	00000000	00000000
0x11C	-	OCSD32[B,H,W]	OCSB32[B,H,W]	OCSA32[B,H,W]
		00000000	00000000	00000000
0x120	-	OCSD54[B,H,W]	OCSB54[B,H,W]	OCSA54[B,H,W]
		00000000	00000000	00000000
0x124	-	-	OCSC[B,H,W]	-
			--000000	
0x128	-	-	OCSE0[H,W]	
			00000000 00000000	
0x12C	OCSE1[H,W]			
	00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[H,W]	
			00000000 00000000	
0x134	OCSE3[H,W]			
	00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[H,W]	
			00000000 00000000	
0x13C	OCSE5[H,W]			
	00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W]		-	-
	11111111 11111111			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x144	TCDT0[H,W]		-	-
	00000000 00000000			
0x148	TCSC0[B,H,W]		TCSA0[B,H,W]	
	00000000 00000000		000---00 01000000	
0x14C	TCCP1[H,W]		-	-
	11111111 11111111			
0x150	TCDT1[H,W]			
	00000000 00000000			
0x154	TCSC1[B,H,W]		TCSA1[B,H,W]	
	00000000 00000000		000---00 01000000	
0x158	TCCP2[H,W]		-	-
	11111111 11111111			
0x15C	TCDT2[H,W]		-	-
	00000000 00000000			
0x160	TCSC2[B,H,W]		TCSA2[B,H,W]	
	00000000 00000000		000---00 01000000	
0x164	TCAL[B,H,W] (only in unit 0)			
	00000000 00000000 11111111 11111111			
0x168	-	OCFS54[B,H,W]	OCFS32[B,H,W]	OCFS10[B,H,W]
		00000000	00000000	00000000
0x16C	-	-	ICFS32[B,H,W]	ICFS10[B,H,W]
			00000000	00000000
0x170	-	ACFS54[B,H,W]	ACFS32[B,H,W]	ACFS10[B,H,W]
		00000000	00000000	00000000
0x174	ICCP0[H,W]		-	-
	00000000 00000000			
0x178	ICCP1[H,W]		-	-
	00000000 00000000			
0x17C	ICCP2[H,W]		-	-
	00000000 00000000			
0x180	ICCP3[H,W]		-	-
	00000000 00000000			
0x184	-	-	ICSB10[B,H,W]	ICSA10[B,H,W]
			------00	00000000
0x188	-	-	ICSB32[B,H,W]	ICSA32[B,H,W]
			------00	00000000
0x18C	WFTF10[H,W]		-	-
	00000000 00000000			
0x190	WFTB10[H,W]		WFTA10[H,W]	
	00000000 00000000		00000000 00000000	
0x194	WFTF32[H,W]		-	-
	00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x198	WFTB32[H,W]		WFTA32[H,W]	
	00000000 00000000		00000000 00000000	
0x19C	WFTF54[H,W]		-	-
	00000000 00000000			
0x1A0	WFTB54[H,W]		WFTA54[H,W]	
	00000000 00000000		00000000 00000000	
0x1A4	-	-	WFSA10[H,W]	
			---00000 000000	
0x1A8	-	-	WFSA32[H,W]	
			---00000 000000	
0x1AC	-	-	WFSA54[H,W]	
			---00000 000000	
0x1B0	-	-	WFIR[H,W]	
			00000000 00000000	
0x1B4	-	-	NZCL[H,W]	
			-000--00 ---00000	
0x1B8	ACMP0		-	-
	00000000 00000000			
0x1BC	ACMP1		-	-
	00000000 00000000			
0x1C0	ACMP2		-	-
	00000000 00000000			
0x1C4	ACMP3		-	-
	00000000 00000000			
0x1C8	ACMP4		-	-
	00000000 00000000			
0x1CC	ACMP5		-	-
	00000000 00000000			
0x1D0	-	-	ACSA[B,H,W]	
			--000000 --000000	
0x1D4	-	-	ACSD0[B,H,W]	ACSC0[B,H,W]
			00000000	00000000
0x1D8	-	-	ACSD1[B,H,W]	ACSC1[B,H,W]
			00000000	00000000
0x1DC	-	-	ACSD2[B,H,W]	ACSC2[B,H,W]
			00000000	00000000
0x1E0	-	-	ACSD3[B,H,W]	ACSC3[B,H,W]
			00000000	00000000
0x1E4	-	-	ACSD4[B,H,W]	ACSC4[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x1E8	-	-	ACSD5[B,H,W]	ACSC5[B,H,W]
			00000000	00000000
0x1EC - 0xFFC	-	-	-	-

1.8 PPG

PPG Base_Address : 0x4002_4000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W]	-
			11110000	
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W]	-
			00000000	
0x00C	-	-	-	COMP2[B,H,W]
				00000000
0x010	-	-	COMP4[B,H,W]	-
			00000000	
0x014	-	-	-	COMP6[B,H,W]
				00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W]	-
			11110000	
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W]	-
			00000000	
0x02C	-	-	-	COMP3[B,H,W]
				00000000
0x030	-	-	COMP5[B,H,W]	-
			00000000	
0x034	-	-	-	COMP7[B,H,W]
				00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W]	-
			11110000	
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W]	-
			00000000	
0x04C	-	-	-	COMP10[B,H,W]
				00000000
0x050	-	-	COMP12[B,H,W]	-
			00000000	
0x054	-	-	-	COMP14[B,H,W]
				00000000
0x058 - 0x0FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	-	-	TRG0[B,H,W]	
			00000000 00000000	
0x104	-	-	REVC0[B,H,W]	
			00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x31C - 0x33C	-	-	-	-
0x340			PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11 (Base Timer)　　Base Address : 0x4002_5500

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15 (Base Timer)　　Base Address : 0x4002_5700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W] XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100

QPRC ch.1 NF Base Address : 0x4002_6110

QPRC ch.2 NF Base Address : 0x4002_6120

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	-------- -------- -------- --00-000			
0x0004	NFCTLB[B,H,W]			
	-------- -------- -------- --00-000			
0x0008	NFCTLC[B,H,W]			
	-------- -------- -------- --00-000			
0x000C	-	-	-	-

1.13 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

12-bit A/DC unit1 Base_Address : 0x4002_7100

12-bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10-bit D/AC Base_Address : 0x4002_8000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				---10000
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C - 0x0FC	-	-	-	-

1.17 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DRQSEL[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	*			
0x008 - 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- 00000000 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- ----0000 00000000 00000000			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ----0000			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ----0000			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ----0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ----0000			
0x050	IRQ15MON[B,H,W]			
	-------- -------- -------- ------00			
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ----0000			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ----0000			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ---00000			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- ---0--00			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ---00000			
0x070	IRQ23MON[B,H,W]			
	-------- -------- -------0 00000000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -------- --00-000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- ---00000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --000000			
0x084	IRQ28MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- ----0000 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- ------00 00000000 00000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 - 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x214	RCINTSEL1[B,H,W] 00000000 00000000 00000000 00000000			
0x218 - 0xFFC	-	-	-	-

1.18 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x32C	PDIRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x43C	PDORF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 - 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 --00 0000 0000 0000			
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x628 - 0x62C	-	-	-	-
0x630	EPFR12[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W]			
	--00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W]			
	---- ---- ---- ---- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x644	EPFR17[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x648	EPFR18[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0000			
0x64C - 0x650	-	-	-	-
0x654	EPFR21[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- -000			
0x658	EPFR22[B,H,W]			
	---- ---- ---- ---- 0000 ---- 0000 ----			
0x65C - 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0x7FC	-	-	-	-
0x800	*			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x804	*			
0x808 - 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 - 0xFFC	-	-	-	-

1.19 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				--0000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				--00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 - 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 - 0xFC	-	-	-	-

1.20 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL[B,H,W]	
			100000-- 000011--	
0x004	-	-	-	LVD_STR[B,H,W]
				0-------
0x008	-	-	-	LVD_CLR[B,H,W]
				1-------
0x00C	LVD_RLR[W]			
	00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2
				01------
0x014 - 0x0FC	-	-	-	-

1.21 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL[B,H,W]
				-------0
0x004	-	-	-	RCK_CTL[B,H,W]
				------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W]
				-------0
0x704	-	-	-	WRFSR[B,H,W]
				------00
0x708	-	-	WIFSR[B,H,W]	
			------00 00000000	
0x70C	-	-	WIER[B,H,W]	
			------00 00000-00	
0x710	-	-	-	WILVR[B,H,W]
				-----000
0x714	-	-	-	DSRAMR[B,H,W]
				------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W]	BUR03[B,H,W]	BUR02[B,H,W]	BUR01[B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08[B,H,W]	BUR07[B,H,W]	BUR06[B,H,W]	BUR05[B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012[B,H,W]	BUR11[B,H,W]	BUR10[B,H,W]	BUR09[B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16[B,H,W]	BUR15[B,H,W]	BUR14[B,H,W]	BUR13[B,H,W]
	00000000	00000000	00000000	00000000
0x810 - 0xEFC	-	-	-	-

1.22 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0--00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	-	-	RDR/TDR[H,W]	
			00000000 00000000	
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0 [B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000--0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x030	-	-	SCSCR[B,H,W]	
			00000000	00100000
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044 - 0x0FC	-	-	-	-

1.23 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.24 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00--0000	--000000	--000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 - 0xFFC	-	-	-	-

1.25 RTC

RTC Base_Address : 0x4003_B000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0
0x034 - 0xFFC	-	-	-	-

1.26 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000 - 0x0FC	-	-	-	-

1.27 Peripheral Clock Gating

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	-------0 ----0000 00000000 00000000			
0x008 - 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000 ----0000 ----0000			
0x018 - 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- -------- -------- --00----			
0x024	MRST2[B,H,W]			
	-------- -------- -------- --00----			
0x028 - 0x0FC	-	-	-	-

1.28 DMAC

DMAC Base_Address : 0x4006_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	DMACR[B,H,W]			
	00-00000 -------- -------- --------			
0x0010	DMACA0[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0014	DMACB0[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0018	DMACSA0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x001C	DMACDA0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0020	DMACA1[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0024	DMACB1[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0028	DMACSA1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x002C	DMACDA1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0030	DMACA2[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0034	DMACB2[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0038	DMACSA2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x003C	DMACDA2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0040	DMACA3[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0044	DMACB3[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0048	DMACSA3[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004C	DMACDA3[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0050	DMACA4[B,H,W]			
	00000000 0---0000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0054	DMACB4[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0058	DMACSA4[B,H,W]			
	00000000 00000000 00000000 00000000			
0x005C	DMACDA4[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0060	DMACA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0064	DMACB5[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0068	DMACSA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x006C	DMACDA5[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0070	DMACA6[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0074	DMACB6[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0078	DMACSA6[B,H,W]			
	00000000 00000000 00000000 00000000			
0x007C	DMACDA6[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0080	DMACA7[B,H,W]			
	00000000 0---0000 00000000 00000000			
0x0084	DMACB7[B,H,W]			
	--000000 00000000 00000000 -------0			
0x0088	DMACSA7[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008C	DMACDA7[B,H,W]			
	00000000 00000000 00000000 00000000			
0x0090 - 0x00FC	-	-	-	-

1.29 MTB_DWT

MTB_DWT　　Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 - 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.30 Fast GPIO

Fast GPIO　　Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 - 0xFFC	-	-	-	-

C. レジスタマップ (TYPE2-M0+)

レジスタマップについて説明します。

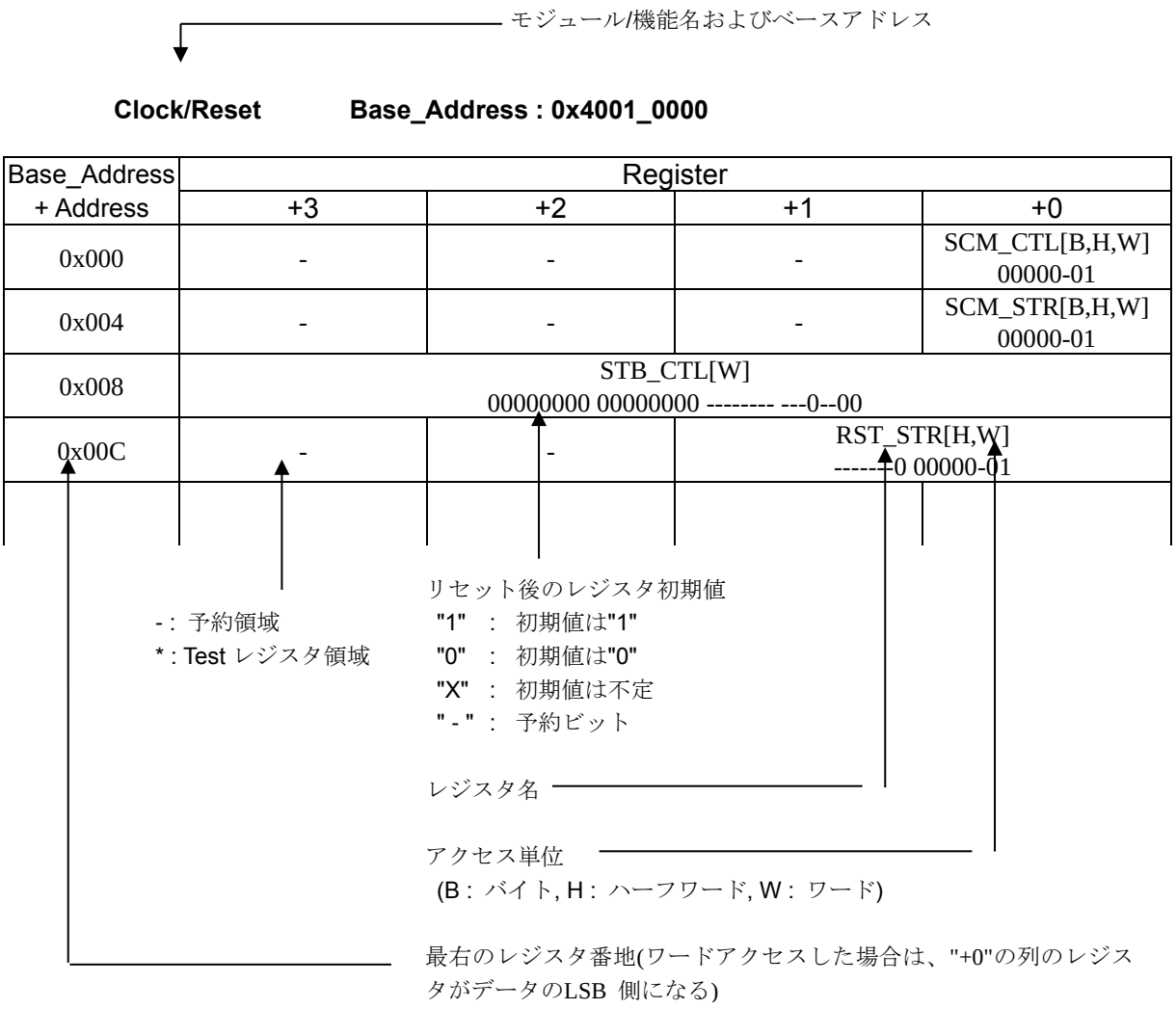
1. レジスタマップ

CODE: 9AFREGMAP-J01.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	FRVRC[B,H,W]			
0x010	FSYNDN[B,H,W]			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 0000--01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[R]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW_WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[R]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 MFT

MFT unit0 Base_Address : 0x4002_0000

MFT unit1 Base_Address : 0x4002_1000

MFT unit2 Base_Address : 0x4002_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	OCSD10[B,H,W] --000000 00000000		OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	OCSD32[B,H,W] --000000 00000000		OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	OCSD54[B,H,W] --000000 00000000		OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-	-	WFIR[H,W] 00000000 00000000	
0x1B4	-	-	NZCL[H,W] 00000000 00000000	
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	ACMC0[B,H,W] 00--0000	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	ACMC1[B,H,W] 00--0000	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	ACMC2[B,H,W] 00--0000	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1E0	-	ACMC3[B,H,W] 00--0000	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	ACMC4[B,H,W] 00--0000	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	ACMC5[B,H,W] 00--0000	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC	-	-	-	TCSD[B,H,W] ------00
0x1F0-0xFFC	-	-	-	-

1.8 PPG

PPG Base_Address : 0x4002_4000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	TTCR0[B,H,W]	-
			11110000	
0x004	-	-	-	*
0x008	-	-	COMP0[B,H,W]	-
			00000000	
0x00C	-	-	-	COMP2[B,H,W]
				00000000
0x010	-	-	COMP4[B,H,W]	-
			00000000	
0x014	-	-	-	COMP6[B,H,W]
				00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1[B,H,W]	-
			11110000	
0x024	-	-	-	*
0x028	-	-	COMP1[B,H,W]	-
			00000000	
0x02C	-	-	-	COMP3[B,H,W]
				00000000
0x030	-	-	COMP5[B,H,W]	-
			00000000	
0x034	-	-	-	COMP7[B,H,W]
				00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2[B,H,W]	-
			11110000	
0x044	-	-	-	*
0x048	-	-	COMP8[B,H,W]	-
			00000000	
0x04C	-	-	-	COMP10[B,H,W]
				00000000
0x050	-	-	COMP12[B,H,W]	-
			00000000	
0x054	-	-	-	COMP14[B,H,W]
				00000000
0x058 - 0x0FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x100	-	-	TRG0[B,H,W]	
			00000000 00000000	
0x104	-	-	REVC0[B,H,W]	
			00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1[B,H,W]	
			-------- 00000000	
0x144	-	-	REVC1[B,H,W]	
			-------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0[B,H,W]	PPGC1[B,H,W]
			00000000	00000000
0x204	-	-	PPGC2[B,H,W]	PPGC3[B,H,W]
			00000000	00000000
0x208	-	-	PRLH0[B,H,W]	PRLL0[B,H,W]
			XXXXXXXX	XXXXXXXX
0x20C	-	-	PRLH1[B,H,W]	PRLL1[B,H,W]
			XXXXXXXX	XXXXXXXX
0x210	-	-	PRLH2[B,H,W]	PRLL2[B,H,W]
			XXXXXXXX	XXXXXXXX
0x214	-	-	PRLH3[B,H,W]	PRLL3[B,H,W]
			XXXXXXXX	XXXXXXXX
0x218	-	-	-	GATEC0[B,H,W]
				--00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4[B,H,W]	PPGC5[B,H,W]
			00000000	00000000
0x244	-	-	PPGC6[B,H,W]	PPGC7[B,H,W]
			00000000	00000000
0x248	-	-	PRLH4[B,H,W]	PRLL4[B.H.W]
			XXXXXXXX	XXXXXXXX
0x24C	-	-	PRLH5[B,H,W]	PRLL5[B,H,W]
			XXXXXXXX	XXXXXXXX
0x250	-	-	PRLH6[B,H,W]	PRLL6[B,H,W]
			XXXXXXXX	XXXXXXXX
0x254	-	-	PRLH7[B,H,W]	PRLL7[B,H,W]
			XXXXXXXX	XXXXXXXX
0x258	-	-	-	GATEC4[B,H,W]
				--00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8[B,H,W]	PPGC9[B,H,W]
			00000000	00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x284	-	-	PPGC10[B,H,W]	PPGC11[B,H,W]
			00000000	00000000
0x288	-	-	PRLH8[B,H,W]	PRLL8[B,H,W]
			XXXXXXXX	XXXXXXXX
0x28C	-	-	PRLH9[B,H,W]	PRLL9[B,H,W]
			XXXXXXXX	XXXXXXXX
0x290	-	-	PRLH10[B,H,W]	PRLL10[B,H,W]
			XXXXXXXX	XXXXXXXX
0x294	-	-	PRLH11[B,H,W]	PRLL11[B,H,W]
			XXXXXXXX	XXXXXXXX
0x298	-	-	-	GATEC8[B,H,W]
				--00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12[B,H,W]	PPGC13[B,H,W]
			00000000	00000000
0x2C4	-	-	PPGC14[B,H,W]	PPGC15[B,H,W]
			00000000	00000000
0x2C8	-	-	PRLH12[B,H,W]	PRLL12[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2CC	-	-	PRLH13[B,H,W]	PRLL13[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D0	-	-	PRLH14[B,H,W]	PRLL14[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D4	-	-	PRLH15[B,H,W]	PRLL15[B,H,W]
			XXXXXXXX	XXXXXXXX
0x2D8	-	-	-	GATEC12[B,H,W]
				--00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16[B,H,W]	PPGC17[B,H,W]
			00000000	00000000
0x304	-	-	PPGC18[B,H,W]	PPGC19[B,H,W]
			00000000	00000000
0x308	-	-	PRLH16[B,H,W]	PRLL16[B,H,W]
			XXXXXXXX	XXXXXXXX
0x30C	-	-	PRLH17[B,H,W]	PRLL17[B,H,W]
			XXXXXXXX	XXXXXXXX
0x310	-	-	PRLH18[B,H,W]	PRLL18[B,H,W]
			XXXXXXXX	XXXXXXXX
0x314	-	-	PRLH19[B,H,W]	PRLL19[B,H,W]
			XXXXXXXX	XXXXXXXX
0x318	-	-	-	GATEC16[B,H,W]
				--00---00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20[B,H,W]	PPGC21[B,H,W]
			00000000	00000000
0x344	-	-	PPGC22[B,H,W]	PPGC23[B,H,W]
			00000000	00000000
0x348	-	-	PRLH20[B,H,W]	PRLL20[B,H,W]
			XXXXXXXX	XXXXXXXX
0x34C	-	-	PRLH21[B,H,W]	PRLL21[B,H,W]
			XXXXXXXX	XXXXXXXX
0x350	-	-	PRLH22[B,H,W]	PRLL22[B,H,W]
			XXXXXXXX	XXXXXXXX
0x354	-	-	PRLH23[B,H,W]	PRLL23[B,H,W]
			XXXXXXXX	XXXXXXXX
0x358	-	-	-	GATEC20[B,H,W]
				--00--00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W]
				00000000
0x384 - 0xFFC	-	-	-	-

1.9 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.10 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11 (Base Timer)　　Base Address : 0x4002_5500

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL89AB[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15 (Base Timer)　　Base Address : 0x4002_5700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSELCDEF[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR[B,H,W] XXXXXXXX XXXXXXXX	

1.11 QPRC

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	-	-	QPCR[H,W]	
			00000000 00000000	
0x0004	-	-	QRCR[H,W]	
			00000000 00000000	
0x0008	-	-	QPCCR[H,W]	
			00000000 00000000	
0x000C	-	-	QPRCR[H,W]	
			00000000 00000000	
0x0010	-	-	QMPR[H,W]	
			11111111 11111111	
0x0014	-	-	QICRH[B,H,W]	QICRL[B,H,W]
			--000000	00000000
0x0018	-	-	QCRH[B,H,W]	QCRL[B,H,W]
			00000000	00000000
0x001C	-	-	QECR[B,H,W]	
			-------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W]		QRCRR[B,H,W]	
	00000000 00000000		00000000 00000000	

1.12 QPRC NF

QPRC ch.0 NF　　Base Address : 0x4002_6100

QPRC ch.1 NF　　Base Address : 0x4002_6110

QPRC ch.2 NF　　Base Address : 0x4002_6120

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0000	NFCTLA[B,H,W]			
	-------- -------- -------- --00-000			
0x0004	NFCTLB[B,H,W]			
	-------- -------- -------- --00-000			
0x0008	NFCTLC[B,H,W]			
	-------- -------- -------- --00-000			
0x000C	-	-	-	-

1.13 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

12-bit A/DC unit1 Base_Address : 0x4002_7100

12-bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			1000-000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			--000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.14 D/AC

10-bit D/AC Base_Address : 0x4002_8000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	DACR0[B,H,W]	DADR0[B,H,W]	
		-------0	------XX XXXXXXXX	
0x04	-	DACR1[B,H,W]	DADR1[B,H,W]	
		-------0	------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				------001
0x004	-	-	MCR_FTRM[B,H,W]	
			------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-0111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C – 0x0FC	-	-	-	-

1.17 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	*			
0x008 – 0x00B	-	-	-	-
0x00C	-	-	-	IRQCMODE[B,H,W]
				-------0
0x010	EXC02MON[B,H,W]			
	-------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W]			
	-------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W]			
	-------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W]			
	-------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W]			
	-------- -------- -------- ----0000			
0x024	IRQ04MON[B,H,W]			
	-------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W]			
	-------- -------- 00000000 00000000			
0x02C	IRQ06MON[B,H,W]			
	-------- -------- -------- ------00			
0x030	IRQ07MON[B,H,W]			
	-------- -------- -------- -------0			
0x034	IRQ08MON[B,H,W]			
	-------- -------- -------- ------00			
0x038	IRQ09MON[B,H,W]			
	-------- -------- -------- -------0			
0x03C	IRQ10MON[B,H,W]			
	-------- -------- -------- ------00			
0x040	IRQ11MON[B,H,W]			
	-------- -------- -------- -------0			
0x044	IRQ12MON[B,H,W]			
	-------- -------- -------- ------00			
0x048	IRQ13MON[B,H,W]			
	-------- -------- -------- -------0			
0x04C	IRQ14MON[B,H,W]			
	-------- -------- -------- ------00			
0x050	IRQ15MON[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	-------- -------- -------- -------0			
0x054	IRQ16MON[B,H,W]			
	-------- -------- -------- ------00			
0x058	IRQ17MON[B,H,W]			
	-------- -------- -------- -------0			
0x05C	IRQ18MON[B,H,W]			
	-------- -------- -------- ------00			
0x060	IRQ19MON[B,H,W]			
	-------- -------- -------- -------0			
0x064	IRQ20MON[B,H,W]			
	-------- -------- -------- ------00			
0x068	IRQ21MON[B,H,W]			
	-------- -------- -------- -------0			
0x06C	IRQ22MON[B,H,W]			
	-------- -------- -------- ------00			
0x070	IRQ23MON[B,H,W]			
	-------- -------- ---0000- -----000			
0x074	IRQ24MON[B,H,W]			
	-------- -------- -----00- --000000			
0x078	IRQ25MON[B,H,W]			
	-------- -------- -------- ---00000			
0x07C	IRQ26MON[B,H,W]			
	-------- -------- -------- --000000			
0x080	IRQ27MON[B,H,W]			
	-------- -------- -------- --0-----			
0x084	IRQ28MON[B,H,W]			
	-------- -------- -------- --000000			
0x088	IRQ29MON[B,H,W]			
	-------- -------- -------0 00000000			
0x08C	IRQ30MON[B,H,W]			
	-------- -------- -------- --000000			
0x090	IRQ31MON[B,H,W]			
	----0--- -------- 00000000 00000000			
0x094 – 0x20C	-	-	-	-
0x210	RCINTSEL0[B,H,W]			
	00000000 00000000 00000000 00000000			
0x214	RCINTSEL1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x218 – 0xFFC	-	-	-	-

1.18 LCDC

LCDC Base_Address : 0x4003_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	LCDCC3[B,H,W]	LCDCC2[B,H,W]	LCDCC1[B,H,W]
		0011111-	--010100	-00000--
0x04	LCDC_PSR[B,H,W]			
	-------- -0000000 00000000 00000000			
0x08	LCDC_COMEN[B,H,W]			
	-------- -------- -------- 00000000			
0x0C	LCDC_SEGEN1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x10	LCDC_SEGEN2[B,H,W]			
	-------- -------- -------- 00000000			
0x14	-	-	LCDC_BLINK[B,H,W]	
			00000000 00000000	
0x18	-	-	LCDC_BOOSTER[B,H,W]	
			--001110	----0011
0x1C	LCDRAM03[B,H,W]	LCDRAM02[B,H,W]	LCDRAM01[B,H,W]	LCDRAM00[B,H,W]
	00000000	00000000	00000000	00000000
0x20	LCDRAM07[B,H,W]	LCDRAM06[B,H,W]	LCDRAM05[B,H,W]	LCDRAM04[B,H,W]
	00000000	00000000	00000000	00000000
0x24	LCDRAM11[B,H,W]	LCDRAM10[B,H,W]	LCDRAM09[B,H,W]	LCDRAM08[B,H,W]
	00000000	00000000	00000000	00000000
0x28	LCDRAM15[B,H,W]	LCDRAM14[B,H,W]	LCDRAM13[B,H,W]	LCDRAM12[B,H,W]
	00000000	00000000	00000000	00000000
0x2C	LCDRAM19[B,H,W]	LCDRAM18[B,H,W]	LCDRAM17[B,H,W]	LCDRAM16[B,H,W]
	00000000	00000000	00000000	00000000
0x30	LCDRAM23[B,H,W]	LCDRAM22[B,H,W]	LCDRAM21[B,H,W]	LCDRAM20[B,H,W]
	00000000	00000000	00000000	00000000
0x34	LCDRAM27[B,H,W]	LCDRAM26[B,H,W]	LCDRAM25[B,H,W]	LCDRAM24[B,H,W]
	00000000	00000000	00000000	00000000
0x38	LCDRAM31[B,H,W]	LCDRAM30[B,H,W]	LCDRAM29[B,H,W]	LCDRAM28[B,H,W]
	00000000	00000000	00000000	00000000
0x3C	LCDRAM35[B,H,W]	LCDRAM34[B,H,W]	LCDRAM33[B,H,W]	LCDRAM32[B,H,W]
	00000000	00000000	00000000	00000000
0x40	LCDRAM39[B,H,W]	LCDRAM38[B,H,W]	LCDRAM37[B,H,W]	LCDRAM36[B,H,W]
	00000000	00000000	00000000	00000000
0x44 – 0xFC	-	-	-	-

1.19 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x040 – 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-	-	-	-
0x124	PCR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x140 – 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x240 – 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x340 – 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- 0000 0000 0000 0000			
0x440 – 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	---- ---- 1111 1111 1111 1111 1111 1111			
0x504 – 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---- 0101			
0x584 – 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- ---- ---- ---1 ---- ---- 0000 -000			
0x604	EPFR01[B,H,W]			
	0000 0000 0000 0000 –00 0000 0000 0000			
0x608	EPFR02[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W]			
	0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W]			
	--00 0000 –00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W]			
	--00 0000 –00 00-- --00 0000 –00 00--			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	---- ---- ---- ---- 0000 ---- ---- ----			
0x628 – 0x638	-	-	-	-
0x63C	EPFR15[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x640	EPFR16[B,H,W]			
	---- 0000 0000 0000 0000 0000 0000 0000			
0x644	-			
	-	-	-	-
0x648	EPFR18[B,H,W]			
	--00 0000 0000 0000 0000 0000 0000 0000			
0x64C – 0x658	-	-	-	-
0x65C	EPFR23[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x660 – 0x680	-	-	-	-
0x684	EPFR33[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- 0000 0000 0000 ---- 0000 0000 0000			
0x688	EPFR34[B,H,W]			
	---- ---- ---- ---- ---- ---- 0000 ----			
0x68C – 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	---- 0000 0000 0000 ---- ---- ---- ----			
0x698	EPFR38[B,H,W]			
	---- ---- ---- ---- ---- 0000 0000 0000			
0x69C – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x740	LVDIE[B,H,W]			

Base_Address	Register			
+ Address	+3	+2	+1	+0
	---- ---- ---- ---- ---- ---- ---- ---0			
0x744 – 0x7FC	-	-	-	-
0x800	*			
0x804	*			
0x808 – 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	FPOER7[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924	FPOER9[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x928	FPOERA[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x92C	FPOERB[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x930	FPOERC[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x934	FPOERD[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C	FPOERF[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x940 – 0xFFC	-	-	-	-

1.20 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10 – 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68 – 0xFC	-	-	-	-

1.21 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			100000–000011--	
0x004	-	-	LVD_STR [B,H,W]	
			0------1 0------1	
0x008	-	-	LVD_CLR [B,H,W]	
			1------- 1-------	
0x00C	LVD_RLR [W]			
	---------- 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			0------- 01------	
0x014	-	-	LVD_CTL2 [B,H,W]	
			-------0 000011--	
0x018	-	-	-	LVD2_CTL [B,H,W]
				000011--
0x01C	-	-	LVD2_CTL2 [B,H,W]	
			0------0 000011--	
0x020 – 0x0FC	-	-	-	-

1.22 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W]
				---- -10-
0x004	-	-	-	RCK_CTL [B,H,W]
				---- --01
0x008	-	-	-	REG_CTL2 [B,H,W]
				---- -011
0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W]
				---- -10-
0x014 – 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W]
				---- 0000
0x104	-	-	-	CAL_SET [B,H,W]
				---1 0001
0x108	CAL_KEY [W]			
	00000000 00000000 00000000 00000001			
0x10C – 0x1FC	-	-	-	-
0x200 – 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W]
				---- ---0
0x704	-	-	-	WRFSR [B,H,W]
				---- --00
0x708	-	-	WIFSR [B,H,W]	
			00000000 00000000	
0x70C	-	-	WIER [B,H,W]	
			00000000 00000-00	
0x710	-	-	WILVR [B,H,W]	
			-----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W]
				---- --00
0x718 – 0x71C	-	-	-	-
0x720	-	-	-	STBFLASHPDX [B,H,W]
				---- ---0
0x724	RST_MSK [W]			
	00000000 00000000 -------- -------0			
0x728 – 0x7FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x800	BUR04 [B,H,W]	BUR03 [B,H,W]	BUR02 [B,H,W]	BUR01 [B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08 [B,H,W]	BUR07 [B,H,W]	BUR06 [B,H,W]	BUR05 [B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 – 0xEFC	-	-	-	-

1.23 USB Clock

USB Clock　　Base_Address : 0x4003_6000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-000 0000
0x004	-	-	-	UPCR [B,H,W]
				---- --00
0x008	-	-	-	UPCR2 [B,H,W]
				---- -000
0x00C	-	-	-	UPCR3 [B,H,W]
				---0 0000
0x010	-	-	-	UPCR4 [B,H,W]
				-011 1011
0x014	-	-	-	UP_STR [B,H,W]
				---- ---0
0x018	-	-	-	UPINT_ENR [B,H,W]
				---- ---0
0x01C	-	-	-	UPINT_CLR [B,H,W]
				---- ---0
0x020	-	-	-	UPINT_STR [B,H,W]
				---- ---0
0x024	-	-	-	UPCR5 [B,H,W]
				---- 0001
0x028	-	-	-	UPCR6 [B,H,W]
				---- 0010
0x02C	-	-	-	UP_CR7 [B,H,W]
				---- ---0
0x030	-	-	-	USBEN0 [B,H,W]
				---- -100
0x034	-	-	-	USBEN1 [B,H,W]
				---- -100
0x038 – 0xFFC	-	-	-	-

1.24 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			0–00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--000–0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x030	-	-	SCSCR[B,H,W]	
			00000000	00100000
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044	-	-	FTICR2[B,H,W] 00000000	FTICR1[B,H,W] 00000000
0x048 – 0x0FC	-	-	-	-

<注意事項>

- *RDR/TDR レジスタの上位 16bit は、MFS-I2S モードで Word アクセスを使用するときのみ有効です。*

1.25 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.26 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		00–0000	--000000	--000000
0x004 – 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018 – 0xFFC	-	-	-	-

1.27 RTC

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_CLKDIV[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 11001110
0x180	-	-	-	CCB[B,H,W] 11001110
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A4	-	-	-	VBDDR[B,H,W] ----XXXX
0x1A8	-	-	-	VBDIR[B,H,W] ----0000
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x0B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W] 00000000	BREG02[B,H,W] 00000000	BREG01[B,H,W] 00000000	BREG00[B,H,W] 00000000
0x204	BREG07[B,H,W] 00000000	BREG06[B,H,W] 00000000	BREG05[B,H,W] 00000000	BREG04[B,H,W] 00000000
0x208	BREG0B[B,H,W] 00000000	BREG0A[B,H,W] 00000000	BREG09[B,H,W] 00000000	BREG08[B,H,W] 00000000
0x20C	BREG0F[B,H,W] 00000000	BREG0E[B,H,W] 00000000	BREG0D[B,H,W] 00000000	BREG0C[B,H,W] 00000000
0x210	BREG13[B,H,W] 00000000	BREG12[B,H,W] 00000000	BREG11[B,H,W] 00000000	BREG10[B,H,W] 00000000
0x214	BREG17[B,H,W] 00000000	BREG16[B,H,W] 00000000	BREG15[B,H,W] 00000000	BREG14[B,H,W] 00000000
0x218	BREG1B[B,H,W] 00000000	BREG1A[B,H,W] 00000000	BREG19[B,H,W] 00000000	BREG18[B,H,W] 00000000
0x21C	BREG1F[B,H,W] 00000000	BREG1E[B,H,W] 00000000	BREG1D[B,H,W] 00000000	BREG1C[B,H,W] 00000000
0x220	BREG23[B,H,W] 00000000	BREG22[B,H,W] 00000000	BREG21[B,H,W] 00000000	BREG20[B,H,W] 00000000
0x224	BREG27[B,H,W] 00000000	BREG26[B,H,W] 00000000	BREG25[B,H,W] 00000000	BREG24[B,H,W] 00000000
0x228	BREG2B[B,H,W] 00000000	BREG2A[B,H,W] 00000000	BREG29[B,H,W] 00000000	BREG28[B,H,W] 00000000
0x22C	BREG2F[B,H,W] 00000000	BREG2E[B,H,W] 00000000	BREG2D[B,H,W] 00000000	BREG2C[B,H,W] 00000000
0x230	BREG33[B,H,W] 00000000	BREG32[B,H,W] 00000000	BREG31[B,H,W] 00000000	BREG30[B,H,W] 00000000
0x234	BREG37[B,H,W] 00000000	BREG36[B,H,W] 00000000	BREG35[B,H,W] 00000000	BREG34[B,H,W] 00000000
0x238	BREG3B[B,H,W] 00000000	BREG3A[B,H,W] 00000000	BREG39[B,H,W] 00000000	BREG38[B,H,W] 00000000
0x23C	BREG3F[B,H,W] 00000000	BREG3E[B,H,W] 00000000	BREG3D[B,H,W] 00000000	BREG3C[B,H,W] 00000000
0x240	BREG43[B,H,W] 00000000	BREG42[B,H,W] 00000000	BREG41[B,H,W] 00000000	BREG40[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x244	BREG47[B,H,W] 00000000	BREG46[B,H,W] 00000000	BREG45[B,H,W] 00000000	BREG44[B,H,W] 00000000
0x248	BREG4B[B,H,W] 00000000	BREG4A[B,H,W] 00000000	BREG49[B,H,W] 00000000	BREG48[B,H,W] 00000000
0x24C	BREG4F[B,H,W] 00000000	BREG4E[B,H,W] 00000000	BREG4D[B,H,W] 00000000	BREG4C[B,H,W] 00000000
0x250	BREG53[B,H,W] 00000000	BREG52[B,H,W] 00000000	BREG51[B,H,W] 00000000	BREG50[B,H,W] 00000000
0x254	BREG57[B,H,W] 00000000	BREG56[B,H,W] 00000000	BREG55[B,H,W] 00000000	BREG54[B,H,W] 00000000
0x258	BREG5B[B,H,W] 00000000	BREG5A[B,H,W] 00000000	BREG59[B,H,W] 00000000	BREG58[B,H,W] 00000000
0x25C	BREG5F[B,H,W] 00000000	BREG5E[B,H,W] 00000000	BREG5D[B,H,W] 00000000	BREG5C[B,H,W] 00000000
0x260	BREG63[B,H,W] 00000000	BREG62[B,H,W] 00000000	BREG61[B,H,W] 00000000	BREG60[B,H,W] 00000000
0x264	BREG67[B,H,W] 00000000	BREG66[B,H,W] 00000000	BREG65[B,H,W] 00000000	BREG64[B,H,W] 00000000
0x268	BREG6B[B,H,W] 00000000	BREG6A[B,H,W] 00000000	BREG69[B,H,W] 00000000	BREG68[B,H,W] 00000000
0x26C	BREG6F[B,H,W] 00000000	BREG6E[B,H,W] 00000000	BREG6D[B,H,W] 00000000	BREG6C[B,H,W] 00000000
0x270	BREG73[B,H,W] 00000000	BREG72[B,H,W] 00000000	BREG71[B,H,W] 00000000	BREG70[B,H,W] 00000000
0x274	BREG77[B,H,W] 00000000	BREG76[B,H,W] 00000000	BREG75[B,H,W] 00000000	BREG74[B,H,W] 00000000
0x278	BREG7B[B,H,W] 00000000	BREG7A[B,H,W] 00000000	BREG79[B,H,W] 00000000	BREG78[B,H,W] 00000000
0x27C	BREG7F[B,H,W] 00000000	BREG7E[B,H,W] 00000000	BREG7D[B,H,W] 00000000	BREG7C[B,H,W] 00000000
0x280-0xFFC	-	-	-	-

1.28 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000 – 0x0FC	-	-	-	-

1.29 Peripheral Clock Gating

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1–11 ----1111 11111111 11111111			
0x004	MRST0[B,H,W]			
	------00 ----0000 00000000 00000000			
0x008 – 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W]			
	-------- ----0000 ----0000 ----0000			
0x018 – 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- ---1-1-1 1111-1-- --00--00			
0x024	MRST2[B,H,W]			
	-------- ---0-0-0 0000-0-- --00–00			
0x028 – 0x0FC	-	-	-	-

1.30 Smart Card I/F

Smart Card I/F ch.0Base_Address : 0x4003_C900

Smart Card I/F ch.1Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000–00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.31 MFSI2S

MFSI2S ch.5 Base_Address : 0x4003_CA00

MFSI2S ch.6 Base_Address : 0x4003_CA80

Base_Address	Register			
+Address	+3	+2	+1	+0
0x00	-		CNTLREG [H,W] -------- -------- -----000 00000001	
0x04	-		I2SCLK [H,W] -------- -------- 000----- 00000000	
0x08	-		I2SST [B] ------00	I2SRST[B] 00000000

1.32 High Resilience

High Resilience Base_Address : 0x4003_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	RTR_CTL3 [B,H,W]	RTR_CTL2 [B,H,W]	RTR_CTL1 [B,H,W]	RTR_CTL0 [B,H,W]
	000- 000-	000- ----	---- ----	1111 1111
0x004	RTR_RTS3 [B,H,W]	RTR_RTS2 [B,H,W]	RTR_RTS1 [B,H,W]	RTR_RTS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x008	RTR_TGS3 [B,H,W]	RTR_TGS2 [B,H,W]	RTR_TGS1 [B,H,W]	RTR_TGS0 [B,H,W]
	1111 1111	1111 1111	1111 1111	1111 1111
0x00C	RTR_STR3 [B,H,W]	RTR_STR2 [B,H,W]	RTR_STR1 [B,H,W]	RTR_STR0 [B,H,W]
	00-- ----	---- ----	00-- ----	---- ----
0x010	RTR_RLR [W]			
	00000000 00000000 00000000 00000000			
0x014	RTR_CT23 [B,H,W]	RTR_CT22 [B,H,W]	RTR_CT21 [B,H,W]	RTR_CT20 [B,H,W]
	0000 0000	0000 0000	0000 0000	---0 ---0
0x018	RTR_REV [B,H,W]			
	00000000 00010101 00000001 00000000			
0x01C – 0xFFC	-	-	-	-

1.33 USB

USB ch.0 Base_Address : 0x4004_0000

USB ch.1 Base_Address : 0x4005_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2148	-	-	EP0OS[H,W] 100–00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 – 0x217C	-	-	-	-

1.34 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x00C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x018-0x02C	-			
0x030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x038-0x04C	-			
0x050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x058-0x06C	-			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078-0x08C	-			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098-0xFFC	-			

1.35 MTB_DWT

MTB_DWT Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024 – 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.36 Fast GPIO

Fast GPIO Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	FPDIR7[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024	-	-	FPDIR9[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x028	-	-	FPDIRA[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x02C	-	-	FPDIRB[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x030	-	-	FPDIRC[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x034	-	-	FPDIRD[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	FPDIRF[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	FPDOR7[B,H,W]	
			00000000 00000000	
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064	-	-	FPDOR9[B,H,W]	
			00000000 00000000	
0x068	-	-	FPDORA[B,H,W]	
			00000000 00000000	
0x06C	-	-	FPDORB[B,H,W]	
			00000000 00000000	
0x070	-	-	FPDORC[B,H,W]	
			00000000 00000000	
0x074	-	-	FPDORD[B,H,W]	
			00000000 00000000	
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	FPDORF[B,H,W]	
			00000000 00000000	
0x080	-	-	-	M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088	-	-	-	M_FPDIR2[B,H,W]
				XXXXXXXX
0x08C	-	-	-	M_FPDIR3[B,H,W]
				XXXXXXXX
0x090	-	-	-	M_FPDIR4[B,H,W]
				XXXXXXXX
0x094	-	-	-	M_FPDIR5[B,H,W]
				XXXXXXXX

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x098	-	-	-	M_FPDIR6[B,H,W]
				XXXXXXXX
0x09C	-	-	-	M_FPDIR7[B,H,W]
				XXXXXXXX
0x0A0	-	-	-	M_FPDIR8[B,H,W]
				XXXXXXXX
0x0A4	-	-	-	M_FPDIR9[B,H,W]
				XXXXXXXX
0x0A8	-	-	-	M_FPDIRA[B,H,W]
				XXXXXXXX
0x0AC	-	-	-	M_FPDIRB[B,H,W]
				XXXXXXXX
0x0B0	-	-	-	M_FPDIRC[B,H,W]
				XXXXXXXX
0x0B4	-	-	-	M_FPDIRD[B,H,W]
				XXXXXXXX
0x0B8	-	-	-	M_FPDIRE[B,H,W]
				XXXXXXXX
0x0BC	-	-	-	M_FPDIRF[B,H,W]
				XXXXXXXX
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8	-	-	-	M_FPDOR2[B,H,W]
				00000000
0x0CC	-	-	-	M_FPDOR3[B,H,W]
				00000000
0x0D0	-	-	-	M_FPDOR4[B,H,W]
				00000000
0x0D4	-	-	-	M_FPDOR5[B,H,W]
				00000000
0x0D8	-	-	-	M_FPDOR6[B,H,W]
				00000000
0x0DC	-	-	-	M_FPDOR7[B,H,W]
				00000000
0x0E0	-	-	-	M_FPDOR8[B,H,W]
				00000000
0x0E4	-	-	-	M_FPDOR9[B,H,W]
				00000000
0x0E8	-	-	-	M_FPDORA[B,H,W]
				00000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x0EC	-	-	-	M_FPDORB[B,H,W]
				00000000
0x0F0	-	-	-	M_FPDORC[B,H,W]
				00000000
0x0F4	-	-	-	M_FPDORD[B,H,W]
				00000000
0x0F8	-	-	-	M_FPDORE[B,H,W]
				00000000
0x0FC	-	-	-	M_FPDORF[B,H,W]
				00000000
0x100 – 0xFFC	-	-	-	-

D. レジスタマップ (TYPE3-M0+)

レジスタマップについて説明します。

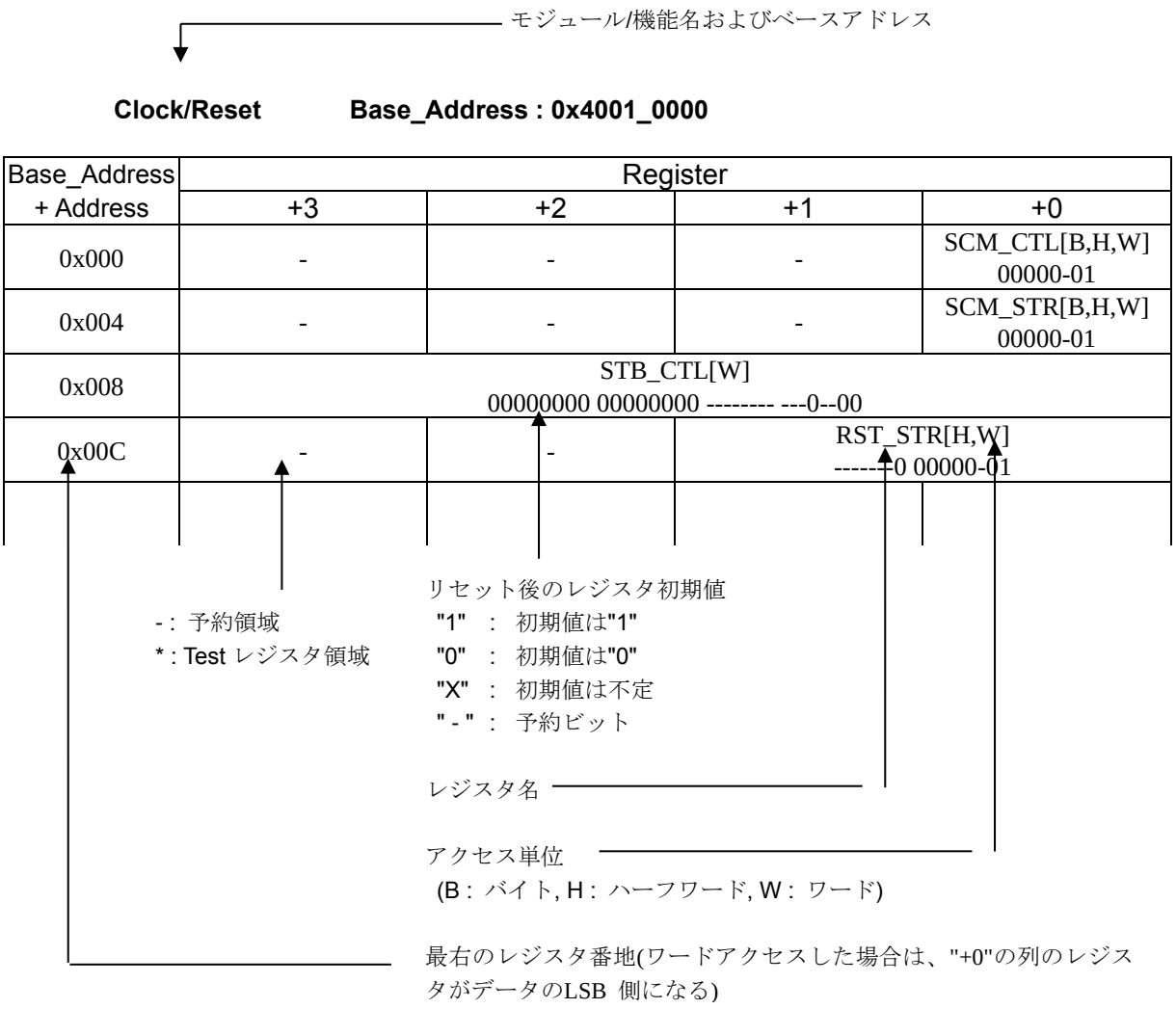
1. レジスタマップ

CODE: 9AFREGMAP-J03.0

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  - *ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0x00")*
  - *ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")*
  - *バイトアクセス : -*

- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 Flash I/F

Flash I/F Base_Address : 0x4000_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
	-------- -------- -------- -----011			
0x008	FSTR[B,H,W]			
	-------- -------- -------- --00000X			
0x00C	-	-	-	-
0x010	FSYNDN[B,H,W]			
	-------- -------- -------- ----0001			
0x014 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
	-------- -------- -------- ------00			
0x024	FISR[B,H,W]			
	-------- -------- -------- ------00			
0x028	FICLR[B,H,W]			
	-------- -------- -------- ------00			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x104 - 0x1FC	-	-	-	-

<注意事項>

- *Flash I/F 部のレジスタの詳細は、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	UIDR0[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W]			
	-------- -------- ---XXXXX XXXXXXXX			
0x008 – 0xDFC	-	-	-	-

1.3 Clock/Reset

Clock/Reset Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W]
				00000-01
0x004	-	-	-	SCM_STR[W]
				00000-01
0x008	STB_CTL[W]			
	00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W]	
			-------0 00000-01	
0x010	-	-	-	BSC_PSR[W]
				-----000
0x014	-	-	-	APBC0_PSR[W]
				------00
0x018	-	-	-	APBC1_PSR[W]
				1--0--00
0x01C	-	-	-	-
0x020	-	-	-	SWC_PSR[W]
				X-----00
0x024 - 0x02C	-	-	-	-
0x030	-	-	-	CSW_TMR[W]
				00000000
0x034	-	-	-	PSW_TMR[W]
				---0-000
0x038	-	-	-	PLL_CTL1[W]
				00000000
0x03C	-	-	-	PLL_CTL2[W]
				--000000
0x040	-	-	CSV_CTL[W]	
			-111--00 ------11	
0x044	-	-	-	CSV_STR[W]
				------00
0x048	-	-	FCSWH_CTL[W]	
			11111111 11111111	
0x04C	-	-	FCSWL_CTL[W]	
			00000000 00000000	
0x050	-	-	FCSWD_STR[W]	
			00000000 00000000	

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x054	-	-	-	DBWDT_CTL[W]
				0-0-----
0x058	-	-	-	*
0x05C	-	-	-	-
0x060	-	-	-	INT_ENR[W]
				--0--000
0x064	-	-	-	INT_STR[W]
				--0--000
0x068	-	-	-	INT_CLR[W]
				--0--000
0x06C - 0xFFC	-	-	-	-

1.4 HW WDT

HW WDT Base_Address : 0x4001_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WDG_LDR[W]			
	00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W]
				------11
0x00C	-	-	-	WDG_ICL[W]
				XXXXXXXX
0x010	-	-	-	WDG_RIS[W]
				-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W]			
	00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5 SW WDT

SW WDT Base_Address : 0x4001_2000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WdogLoad[W]			
	11111111 11111111 11111111 11111111			
0x004	WdogValue[W]			
	11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W]
				---00000
0x00C	WdogIntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W]
				-------0
0x014	*			
0x018	-	-	-	WdogSPMC[W]
				-------0
0x01C - 0xBFC	-	-	-	-
0xC00	WdogLock[W]			
	00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.6 Dual Timer

Dual Timer　　Base_Address : 0x4001_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	Timer1Load[W]			
	00000000 00000000 00000000 00000000			
0x004	Timer1Value[W]			
	11111111 11111111 11111111 11111111			
0x008	Timer1Control[W]			
	-------- -------- -------- 00100000			
0x00C	Timer1IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W]			
	-------- -------- -------- -------0			
0x014	Timer1MIS[W]			
	-------- -------- -------- -------0			
0x018	Timer1BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x020	Timer2Load[W]			
	00000000 00000000 00000000 00000000			
0x024	Timer2Value[W]			
	11111111 11111111 11111111 11111111			
0x028	Timer2Control[W]			
	-------- -------- -------- 00100000			
0x02C	Timer2IntClr[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W]			
	-------- -------- -------- -------0			
0x034	Timer2MIS[W]			
	-------- -------- -------- -------0			
0x038	Timer2BGLoad[W]			
	00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL[H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF[H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	TMR[H,W]	
			00000000 00000000	
0x00C	-	-	TMCR[B,H,W]	
			-0000000 00000000	
0x010	-	-	TMCR2[B,H,W]	STC[B,H,W]
			0-------0	0000-000
0x014 - 0x03C	-	-	-	-

1.8 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL0123[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer)　　Base Address : 0x4002_5300

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	BTSEL4567[B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer)　　Base Address : 0x4002_5F00

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] -------- XXXXXXXX	

1.9 A/DC

12-bit A/DC unit0 Base_Address : 0x4002_7000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W]	ADSR[B,H,W]
			000-0000	00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W]	SFNS[B,H,W]
			1000-000	----0000
0x00C	SCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W]	SCIS2[B,H,W]
			00000000	00000000
0x014	-	-	SCIS1[B,H,W]	SCIS0[B,H,W]
			00000000	00000000
0x018	-	-	PCCR[B,H,W]	PFNS[B,H,W]
			10000000	--XX--00
0x01C	PCFD[B,H,W]			
	XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W]
				00000000
0x024	CMPD[B,H,W]		-	CMPCR[B,H,W]
	00000000 00------			00000000
0x028	-	-	ADSS3[B,H,W]	ADSS2[B,H,W]
			00000000	00000000
0x02C	-	-	ADSS1[B,H,W]	ADSS0[B,H,W]
			00000000	00000000
0x030	-	-	ADST0[B,H,W]	ADST1[B,H,W]
			00010000	00010000
0x034	-	-	-	ADCT[B,H,W]
				00000111
0x038	-	-	SCTSL[B,H,W]	PRTSL[B,H,W]
			----0000	----0000
0x03C	-	-	ADCEN[B,H,W]	
			11111111 ------00	
0x040	*			
0x044	WCMRCIF[B,H,W]			
	-------- -------- -------- -------0			
0x048	WCMRCOT[B,H,W]			
	-------- -------- -------- -------0			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x04C	-	-	WCMPSR[B,H,W]	WCMPCR[B,H,W]
			00000000	001000--
0x050	WCMPDH[B,H,W]		WCMPDL[B,H,W]	
	00000000 00------		00000000 00------	
0x054 - 0x0FC	-	-	-	-

1.10 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W]
				-----001
0x004	-	-	MCR_FTRM[B,H,W]	
			------10 00000110	
0x008	-	-	-	MCR_TTRM[B,H,W]
				-1111111
0x00C	MCR_RLR[B,H,W]			
	00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.11 EXTI

EXTI Base_Address : 0x4003_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W]	
			-------- -------0	
0x018	-	-	NMICL[B,H,W]	
			-------- -------1	
0x01C	ELVR2[B,H,W]			
	00000000 00000000 00000000 00000000			
0x020	-	-	-	NMIENR[B,H,W]
	-	-	-	-------0
0x024–- 0x0FC	-	-	-	-

1.12 INT-Req. READ

INT-Req. READ　　Base_Address : 0x4003_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000 – 0x004	-	-	-	-
0x008	VIR_OFFSET[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	-	-	-	ODDPKS[B,H,W]
				---00000
0x014 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x204	IRQ00MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x208	IRQ01MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x20C	IRQ02MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x210	IRQ03MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x214	IRQ04MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x218	IRQ05MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x21C	IRQ06MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x220	IRQ07MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x224	IRQ08MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x228	IRQ09MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x22C	IRQ10MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x230	IRQ11MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x234	IRQ12MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x238	IRQ13MON[B,H,W]			
	00000000 00000000 00000000 00000000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x23C	IRQ14MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x240	IRQ15MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x244	IRQ16MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x248	IRQ17MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x24C	IRQ18MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x250	IRQ19MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x254	IRQ20MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x258	IRQ21MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x25C	IRQ22MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x260	IRQ23MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x264	IRQ24MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x268	IRQ25MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x26C	IRQ26MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x270	IRQ27MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x274	IRQ28MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x278	IRQ29MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x27C	IRQ30MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x280	IRQ31MON[B,H,W]			
	00000000 00000000 00000000 00000000			
0x284–- 0xFFC	-	-	-	-

1.13 GPIO

GPIO Base_Address : 0x4003_3000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	PFR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x004	PFR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	-	-	-	-
0x020	PFR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x024 – 0x034	-	-	-	-
0x038	PFRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x03C–- 0x0FC	-	-	-	-
0x100	PCR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 1010			
0x104	PCR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x11C – 0x134	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x138	PCRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x13C – 0x1FC	-	-	-	-
0x200	DDR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	-	-	-	-
0x220	DDR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x224 – 0x234	-	-	-	-
0x238	DDRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x23C–- 0x2FC	-	-	-	-
0x300	PDIR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	-	-	-	-
0x320	PDIR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x324 – 0x334	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x338	PDIRE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x33C–- 0x3FC	-	-	-	-
0x400	PDOR0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	-	-	-	-
0x420	PDOR8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x424 – 0x434	-	-	-	-
0x438	PDORE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x43C–- 0x4FC	-	-	-	-
0x500	ADE[B,H,W]			
	1111 1111 1111 1111 1111 1111 1111 1111			
0x504–- 0x57C	-	-	-	-
0x580	SPSR[B,H,W]			
	---- ---- ---- ---- ---- ---- ---0 0101			
0x584–- 0x5FC	-	-	-	-
0x600	EPFR00[B,H,W]			
	---- --00 ---- --01 ---- --0- ---- --00			
0x604–- 0x60C	-	-	-	-
0x610	EPFR04[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x614	EPFR05[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x618	EPFR06[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x620	EPFR08[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x628–- 0x654	-	-	-	-
0x658	EPFR22[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x65C	EPFR23[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x660–- 0x678	-	-	-	-
0x67C	EPFR31[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x680	-	-	-	-
0x684	EPFR33[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x688–- 0x690	-	-	-	-
0x694	EPFR37[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x698	EPFR38[B,H,W]			
	0000 0000 0000 0000 0000 0000 0000 0000			
0x69C–- 0x6FC	-	-	-	-
0x700	-	-	-	-
0x704	PZR1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x708	-	-	-	-
0x70C	PZR3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x710 – 0x714	-	-	-	-
0x718	PZR6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x71C – 0x7FC	-	-	-	-
0x800 – 0x8FC	-	-	-	-
0x900	FPOER0[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x904	FPOER1[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x908	FPOER2[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x90C	FPOER3[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x910	FPOER4[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x914	FPOER5[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x918	FPOER6[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x91C	-	-	-	-
0x920	FPOER8[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x924 – 0x934	-	-	-	-
0x938	FPOERE[B,H,W]			
	---- ---- ---- ---- 0000 0000 0000 0000			
0x93C–- 0xFFC	-	-	-	-

1.14 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W]
				000000-0
0x04	-	-	-	TXDATA[B,H,W]
				00000000
0x08	-	-	-	TXSTS[B,H,W]
				0-00---0
0x0C	-	-	-	SFREE[B,H,W]
				----0000
0x10–- 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W]	RCST[B,H,W]
			0---0000	00000000
0x44	-	-	RCSHW[B,H,W]	RCDAHW[B,H,W]
			00000000	00000000
0x48	-	-	RCDBHW[B,H,W]	-
			00000000	
0x4C	-	-	RCADR1[B,H,W]	RCADR2[B,H,W]
			---00000	---00000
0x50	-	-	RCDTHH[B,H,W]	RCDTHL[B,H,W]
			00000000	00000000
0x54	-	-	RCDTLH[B,H,W]	RCDTLL[B,H,W]
			00000000	00000000
0x58	-	-	RCCKD[H,W]	
			---00000 00000000	
0x5C	-	-	RCRC[B,H,W]	RCRHW[B,H,W]
			---0---0	00000000
0x60	-	-	RCLE[B,H,W]	-
			00000-00	
0x64	-	-	RCLELW[B,H,W]	RCLESW[B,H,W]
			00000000	00000000
0x68–- 0xFC	-	-	-	-

1.15 LVD

LVD Base_Address : 0x4003_5000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	LVD_CTL [B,H,W]	
			10000000 00001100	
0x004	-	-	LVD_STR [B,H,W]	
			00000000 0000000-	
0x008	-	-	LVD_CLR [B,H,W]	
			00000000 10000000	
0x00C	LVD_RLR [W]			
	00000000 00000000 00000000 00000001			
0x010	-	-	LVD_STR2 [B,H,W]	
			00000000 01000000	
0x014–- 0x0FC	-	-	-	-

1.16 DS Mode

DS Mode Base_Address : 0x4003_5100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	REG_CTL [B,H,W]
				---- -10-
0x004	-	-	-	RCK_CTL [B,H,W]
				---- --01
0x008–- 0x00C	-	-	-	-
0x010	-	-	-	MOSC_CTL [B,H,W]
				---- -10-
0x014–- 0x0FC	-	-	-	-
0x100	-	-	-	CAL_CTL [B,H,W]
				---- 0000
0x104	-	-	-	-
0x108	CAL_KEY [W]			
	00000000 00000000 00000000 00000001			
0x10C–- 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL [B,H,W]
				---- ---0
0x704	-	-	-	WRFSR [B,H,W]
				---- --00
0x708	-	-	WIFSR [B,H,W]	
			00000000 00000000	
0x70C	-	-	WIER [B,H,W]	
			00000000 00000-00	
0x710	-	-	WILVR [B,H,W]	
			-----000 00000000	
0x714	-	-	-	DSRAMR [B,H,W]
				---- --00
0x718–- 0x7FC	-	-	-	-
0x800	BUR04 [B,H,W]	BUR03 [B,H,W]	BUR02 [B,H,W]	BUR01 [B,H,W]
	00000000	00000000	00000000	00000000
0x804	BUR08 [B,H,W]	BUR07 [B,H,W]	BUR06 [B,H,W]	BUR05 [B,H,W]
	00000000	00000000	00000000	00000000
0x808	BUR012 [B,H,W]	BUR11 [B,H,W]	BUR10 [B,H,W]	BUR09 [B,H,W]
	00000000	00000000	00000000	00000000
0x80C	BUR16 [B,H,W]	BUR15 [B,H,W]	BUR14 [B,H,W]	BUR13 [B,H,W]
	00000000	00000000	00000000	00000000
0x810 – 0x8FC	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x900	WIOLC_CTL [B,H,W]			
	-------0 -------1 -------0 -------0			
0x904	-	-	-	SUBOSC_CTL[B,H,W]
				------01
0x908	-	-	-	CEC_CTL [B,H,W]
				----0000
0x90C	-	-	-	DEBUG_SW_CTL[B,H,W]
				-------1
0x910–- 0xEFC	-	-	-	-

1.17 USB Clock

USB Clock Base_Address : 0x4003_6000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	UCCR [B,H,W]
				-----000
0x004 – 0x024	-	-	-	-
0x028	-	-	-	UPCR6[B,H,W]
				----0010
0x02C	-	-	-	-
0x030	-	-	-	USBEN0[B,H,W]
				-------0
0x038 – 0x0FC	-	-	-	-

1.18 I2CSLAVE

I2CSLAVE ch.6 Base_Address : 0x4003_7980

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x00	IBSCR[B,H,W]		IBSSR[B,H,W]	
	------00 0-000000		-----001 00000000	
0x04	-	IBSDSTUPR[B,H,W]	IBSMSKR[B,H,W]	IBSADR[B,H,W]
	-	11111111	01111111	00000000
0x08	-	-	-	IBSTDR[B,H,W]
	-	-	-	11111111
0x0C	-	-	-	IBSRDR[B,H,W]
	-	-	-	11111111
0x10	-	-	IBSSCR[B,H,W]	
	-	-	-----0-- -----00-	
0x14	-	-	IBSSSR[B,H,W]	
	-	-	-------0 --------	
0x18–- 0x3F	-	-	-	-

1.19 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	SCR/IBCR[B,H,W]	SMR[B,H,W]
			–-00000	000-00-0
0x004	-	-	SSR[B,H,W]	ESCR/IBSR[B,H,W]
			0-000011	00000000
0x008	RDR/TDR[H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W]	BGR0[B,H,W]
			00000000	00000000
0x010	-	-	ISMK[B,H,W]	ISBA[B,H,W]
			--------	--------
0x014	-	-	FCR1[B,H,W]	FCR0[B,H,W]
			---00100	-0000000
0x018	-	-	FBYTE2[B,H,W]	FBYTE1[B,H,W]
			00000000	00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0[B,H,W]
			00000000	00000000
0x020	-	-	SCSTR3[B,H,W]	SCSTR2[B,H,W]
			00000000	00000000
0x024	-	-	SACSR[B,H,W]	
			--00–-0 00-00000	
0x028	-	-	STMR[B,H,W]	
			00000000 00000000	
0x02C	-	-	STMCR[B,H,W]	
			00000000 00000000	
0x030	-	-	SCSCR[B,H,W]	
			00000000 00100000	
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W]	TBYTE0[B,H,W]
			00000000	00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x044–- 0x0FC	-	-	-	-

<注意事項>

- *RDR/TDR レジスタの上位 16bit は、MFS-I2S モードで Word アクセスを使用するときのみ有効です。*

1.20 CRC

CRC Base_Address : 0x4003_9000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W]
				-0000000
0x004	CRCINIT[B,H,W]			
	11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W]			
	11111111 11111111 11111111 11111111			

1.21 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	WCCR[B,H,W]	WCRL[B,H,W]	WCRD[B,H,W]
		0–-0000	--000000	--000000
0x004–- 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W]	
			-----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W]
				------00
0x018–- 0xFFC	-	-	-	-

1.22 RTC

RTC Base_Address : 0x4003_B000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	WTCR1[B,H,W]			
	00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W]			
	-------- -------- -----000 -------0			
0x008	WTBR[B,H,W]			
	-------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W]	WTHR[B,H,W]	WTMIR[B,H,W]	WTSR[B,H,W]
	--000000	--000000	-0000000	-0000000
0x010	-	WTYR[B,H,W]	WTMOR[B,H,W]	WTDW[B,H,W]
		00000000	---00000	-----000
0x014	ALDR[B,H,W]	ALHR[B,H,W]	ALMIR[B,H,W]	-
	--000000	--000000	-0000000	
0x018	-	ALYR[B,H,W]	ALMOR[B,H,W]	-
		00000000	---00000	
0x01C	WTTR[B,H,W]			
	-------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W]	WTCLKS[B,H,W]
			------00	-------0
0x024	-	WTCALEN[B,H,W]	WTCAL[B,H,W]	
		-------0	------00 00000000	
0x028	-	-	WTDIVEN[B,H,W]	WTDIV[B,H,W]
			------00	----0000
0x02C	-	-	-	WTCALPRD[B,H,W]
				--010011
0x030	-	-	-	WTCOSEL[B,H,W]
				-------0
0x034–- 0xFFC	-	-	-	-

1.23 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W]
				--000000
0x000–- 0x0FC	-	-	-	-

1.24 Peripheral Clock Gating

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CKEN0[B,H,W]			
	---1---- -------1 -------- 11-11-11			
0x004	MRST0[B,H,W]			
	-------- -------0 -------- 00-00-00			
0x008–- 0x00C	-	-	-	-
0x010	CKEN1[B,H,W]			
	-------- -------- -------- ------11			
0x014	MRST1[B,H,W]			
	-------- -------- -------- ------00			
0x018–- 0x01C	-	-	-	-
0x020	CKEN2[B,H,W]			
	-------- ------– 111----- -------0			
0x024	MRST2[B,H,W]			
	-------- ------– 000----- -------0			
0x028–- 0x0FC	-	-	-	-

1.25 Smart Card I/F

Smart Card I/F ch.1 Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 000–-00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.26 MFSI2S

MFSI2S ch.4 Base_Address : 0x4003_CA00

MFSI2S ch.6 Base_Address : 0x4003_CA80

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	CNTLREG[B, H,W] -----0-0 -0000-01	
0x04	-	-	I2SCLK[B, H,W] 00------ 00000000	
0x08	-	-	I2SST[B,H,W] ------00	I2SRST[B,H,W] 00000000
0x0C- 0x3C	-	-	-	-

1.27 USB

USB ch.0 Base_Address : 0x4004_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 10--00- -XXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178–- 0x217C	-	-	-	-

1.28 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x00C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x018-0x02C				
0x030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x038-0x04C				
0x050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x058-0x06C				
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078-0x08C				
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098–- 0xFFC	-	-	-	-

1.29 MTB_DWT

MTB_DWT　　Base_Address : 0xF000_1000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	CMP_ADDR_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	CMP_DATA_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x008	CMP_MASK_START[B,H,W]			
	00000000 00000000 00000000 00000000			
0x00C	-	-	-	-
0x010	CMP_ADDR_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x014	CMP_DATA_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x018	CMP_MASK_STOP[B,H,W]			
	00000000 00000000 00000000 00000000			
0x01C	-	-	-	-
0x020	-	-	-	FCT[B,H,W]
				00000000
0x024–- 0xFCC	-	-	-	-
0xFD0	PID4[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD4	PID5[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFD8	PID6[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFDC	PID7[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE0	PID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE4	PID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFE8	PID2[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFEC	PID3[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF0	CID0[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFF4	CID1[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0xFF8	CID2[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0xFFC	CID3[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

1.30 Fast GPIO

Fast GPIO Base_Address : 0xF800_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	FPDIR0[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x004	-	-	FPDIR1[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x008	-	-	FPDIR2[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x00C	-	-	FPDIR3[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x010	-	-	FPDIR4[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x014	-	-	FPDIR5[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x018	-	-	FPDIR6[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x01C	-	-	-	-
0x020	-	-	FPDIR8[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x024–- 0x034	-	-	-	-
0x038	-	-	FPDIRE[B,H,W]	
			XXXXXXXX XXXXXXXX	
0x03C	-	-	-	-
0x040	-	-	FPDOR0[B,H,W]	
			00000000 00000000	
0x044	-	-	FPDOR1[B,H,W]	
			00000000 00000000	
0x048	-	-	FPDOR2[B,H,W]	
			00000000 00000000	
0x04C	-	-	FPDOR3[B,H,W]	
			00000000 00000000	
0x050	-	-	FPDOR4[B,H,W]	
			00000000 00000000	
0x054	-	-	FPDOR5[B,H,W]	
			00000000 00000000	
0x058	-	-	FPDOR6[B,H,W]	
			00000000 00000000	
0x05C	-	-	-	-

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x060	-	-	FPDOR8[B,H,W]	
			00000000 00000000	
0x064–- 0x074	-	-	-	-
0x078	-	-	FPDORE[B,H,W]	
			00000000 00000000	
0x07C	-	-	-	-
0x080				M_FPDIR0[B,H,W]
				XXXXXXXX
0x084	-	-	-	M_FPDIR1[B,H,W]
				XXXXXXXX
0x088 – 0x0BF	-			
0x0C0	-	-	-	M_FPDOR0[B,H,W]
				00000000
0x0C4	-	-	-	M_FPDOR1[B,H,W]
				00000000
0x0C8–- 0x0FC	-	-	-	-

1.31 VIR

VIR Base_Address : 0xF800_0100

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	VIR00[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x004	VIR01[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	VIR02[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x00C	VIR03[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	VIR04[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x014	VIR05[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x018	VIR06[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x01C	VIR07[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x020	VIR08[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x024	VIR09[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x028	VIR10[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x02C	VIR11[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	VIR12[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x034	VIR13[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x038	VIR14[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x03C	VIR15[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x040	VIR16[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x044	VIR17[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x048	VIR18[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x04C	VIR19[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x050	VIR20[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x054	VIR21[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x058	VIR22[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x05C	VIR23[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x060	VIR24[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x064	VIR25[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x068	VIR26[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x06C	VIR27[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x070	VIR28[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x074	VIR29[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x078	VIR30[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x07C	VIR31[W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			

E. 注意事項一覧

各機能仕様の注意事項について示します。

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

管理コード: 9APRECAUTION_FM0-J03.0

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。

また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/ PCLK0/PCLK1	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB	―	各規格で規定されている周波数精度を満たせないため、使用できません。
マルチファンクションシリアル インタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO, I2C, MFS-I2S	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
Smart Card インターフェース	―	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。

F. 主な変更内容

ページ	場所	変更箇所
6	本マニュアルにおける対象製品	TYPE2-M0+製品、TYPE3-M0+製品を追加。
40	CHAPTER1-2:12bit A/D コンバータ 3.5 レンジ比較機能	Figure 3-8, 3-9 を修正
44	CHAPTER1-2:12bit A/D コンバータ 3.6 DMA 起動	機能説明を改訂。Figure 3-10 を修正
61	CHAPTER1-2:12bit A/D コンバータ 5.6 スキャン変換入力選択レジスタ	注意事項を追加。
70	CHAPTER1-2:12bit A/D コンバータ 5.13 サンプリング時間選択レジスタ	注意事項を追加。
71	CHAPTER1-2:12bit A/D コンバータ 5.14 サンプリング時間設定レジスタ	注意事項を追加。
73	CHAPTER1-2:12bit A/D コンバータ 5.15 クロック分周比設定レジスタ	注意事項を追加。
84	CHAPTER1-3: A/D タイマトリガ選択 1. 概要	“同じ起動要因を複数の A/D コンバータで兼用できます。”を追記。
143	CHAPTER3-3: LCD コントローラ （TYPE2）	TYPE2-M0+製品の機能説明のため、章を追加
251	APPENDIX C.レジスタマップ(TYPE2-M0+)	TYPE2-M0+製品のレジスタマップを追加
315	APPENDIX D.レジスタマップ(TYPE3-M0+)	TYPE3-M0+製品のレジスタマップを追加

改訂履歴

改訂履歴

文書名: 32 ビット・マイクロコントローラ FM0+ファミリ PERIPHERAL MANUAL アナログマクロ編 文書番号: 002-05022			
版	**ECN 番号**	**変更者**	**変更内容**
**	-	TOYO	Initial release New Spec
*A	5037026	KEMU	TYPE2-M0+製品、TYPE3-M0+製品を追加。 詳細は、“F. 主な変更内容”を参照してください。
*B	5371135	HIFU	これは英語版の 002-05020 Rev. *A を翻訳した日本語版です。 6 ページ: 表紙(本マニュアルにおける対象商品)の Table 2 を修正 19 ページ: CHAPTER2-1: 12 ビット A/D コンバータの 5.レジスタの誤記を修正 99 ページ: CHAPTER3-1: LCD コントローラの概要の Table 1-1 を修正 101 ページ: CHAPTER3-2: LCD コントローラ(TYPE1)の内容を削除 153 ページ: A.製品型格一覧の Table 1-2 を修正 155 ページ: B.レジスタマップ(TYPE1-M0+)の誤記を修正 211 ページ: C.レジスタマップ(TYPE2-M0+)の誤記を修正 275 ページ: D.レジスタマップ(TYPE3-M0+)の誤記を修正
*C	5824281	YOST	Updated Cypress logo. Updated Copyright.
*D	6020838	KTOM	これは英語版の 002-05020 Rev. *C を翻訳した日本語版です。 P.262 C.レジスタマップ (TYPE2-M0+) の CKEN2 を修正しました。 P.324 E.注意事項一覧：「機能マクロへの影響」の表から CAN を削除しました。 P.6 Table 1, 2, 3 の型格を 10 桁から 8 桁に修正しました。 P.154 1.製品型格一覧の型格を 10 桁から 8 桁に修正しました。 P.3 「マイコンサポート情報」の URL を追記しました。