サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

32 ビット・マイクロコントローラ FM4 ファミリ
Peripheral Manual

Doc. No. 002-04857 Rev. *E

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
www.cypress.com

© Cypress Semiconductor Corporation, 2013-2018. 本書面は，Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合，Cypress は，（1）本ソフトウェアの著作権に基づき，（a）ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに（b）Cypress のハードウェア製品ユニットに用いるためにのみ，（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに（2）本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress，Cypress のロゴ，Spansion，Spansion のロゴ及びこれらの組み合わせ，WICED，PSoC，CapSense，EZ-USB，F-RAM，及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは，cypress.com を参照すること。その他の名称及びブランドは，それぞれの権利者の財産として権利主張がなされている可能性がある。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、本書およびご使用する製品の『データシート』をご一読ください。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作, 使い方について解説しています。アナログマクロ, タイマ, 通信マクロに関する記述は、別冊のペリフェラルマニュアルを参照してください。

＜注意事項＞

- ***本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。***
  デバイス仕様の詳細については、それぞれのデータシートを参照してください。
- ***周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。***

サンプルプログラムおよび開発環境

FM4 ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本ファミリで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

- ***サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。***
  また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアルには、以下に示す 19 の章および Appendixes から構成されています。

CHAPTER 1: システム概要
CHAPTER 2-1: クロック
CHAPTER 2-2: 周辺クロック停止機能
CHAPTER 2-3: 高速 CR トリミング
CHAPTER 2-4: 低速 CR プリスケーラ
CHAPTER 3: クロック監視機能
CHAPTER 4: リセット
CHAPTER 5: 低電圧検出
CHAPTER 6: 低消費電力モード
CHAPTER 7-1: VBAT ドメイン構成
CHAPTER 7-2: VBAT ドメイン(A)
CHAPTER 7-3: VBAT ドメイン(B)
CHAPTER 8: 割込み
CHAPTER 9: 外部割込み・NMI 制御部
CHAPTER 10: DMAC
CHAPTER 11: DSTC
CHAPTER 12: I/O ポート
CHAPTER 13: CRC (Cyclic Redundancy Check)

CHAPTER 14: 外部バスインタフェース
CHAPTER 15: SD カードインタフェース
CHAPTER 16: デバッグインタフェース
CHAPTER 17: フラッシュメモリ
CHAPTER 18: ユニーク ID レジスタ
CHAPTER 19: プログラマブル CRC
Appendixes

関連マニュアル

本ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

FM4 ファミリ ペリフェラルマニュアル (本書)
以降、『ペリフェラルマニュアル』とよびます。
FM4 ファミリ ペリフェラルマニュアル タイマ編 (002-04859)
以降、『タイマ編』とよびます。
FM4 ファミリ ペリフェラルマニュアル アナログマクロ編 (002-04861)
以降、『アナログマクロ編』とよびます。
FM4 ファミリ ペリフェラルマニュアル 通信マクロ編 (002-04904)
以降、『通信マクロ編』とよびます。
FM4 ファミリ ペリフェラルマニュアル Ethernet 編 (002-04964)
以降、『Ethernet 編』とよびます。
FM4 ファミリ ペリフェラルマニュアル GDC 編 (002-04961)
以降、『GDC 編』とよびます。

データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

32 ビット FM4 ファミリ データシート

<注意事項>

- *データシートはシリーズごとに用意されています。*
  ご使用する製品のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M4F コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

Cortex-M4 テクニカルリファレンスマニュアル
Arm v7-M アーキテクチャ アプリケーションレベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

FM4 ファミリ フラッシュプログラミングマニュアル

<注意事項>

- *フラッシュプログラミングマニュアルはシリーズごとに用意されています。*
  ご使用する製品のフラッシュプログラミングマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

目次から探す
: 本書の内容を記載順に示します。

レジスタから探す
: 本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『Appendixes』の『A.レジスタマップ』を参照してください。

章について

本書では、基本的に 1 つの周辺機能を 1 つの章で説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

本書のレジスタ説明中のビット構成図では以下のように表記しています。

bit:	ビット番号
Field:	ビットフィールド名
属性:	各ビットのリード、ライト属性
R:	リードオンリ
W:	ライトオンリ
R/W:	リード・ライト可能
-:	未定義
初期値:	リセット直後のレジスタ初期値
0:	初期値 0
1:	初期値 1
X:	初期値不定

本書では、複数のビットを以下のように表記しています。
例: bit7 から bit0 の場合は bit7:0

本書では、アドレスなどの数値を以下のように表記しています。

16 進数:	プレフィックス(接頭辞)として 0x を付けて表記しています(例 : 0xFFFF)。
2 進数:	プレフィックス(接頭辞)として 0b を付けて表記しています(例 : 0b1111)。
10 進数:	数値だけで表記しています(例 : 1000)。

本マニュアルにおける対象製品

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M4"などの表記は、以下の一覧の FM4 ファミリ製品に置き換えてお読みください。

Table 1 対象型格一覧(TYPE1-M4 製品)

タイプ名*	フラッシュメモリサイズ		
	1024 Kbytes	768 Kbytes	512 Kbytes
TYPE1-M4	CY9BF568M CY9BF568N CY9BF568R CY9BF568RF MB9BF568M MB9BF568N MB9BF568R MB9BF568RF	CY9BF567M CY9BF567N CY9BF567R MB9BF567M MB9BF567N MB9BF567R	CY9BF566M CY9BF566N CY9BF566R MB9BF566M MB9BF566N MB9BF566R
	CY9BF468M CY9BF468N CY9BF468R MB9BF468M MB9BF468N MB9BF468R	CY9BF467M CY9BF467N CY9BF467R MB9BF467M MB9BF467N MB9BF467R	CY9BF466M CY9BF466N CY9BF466R MB9BF466M MB9BF466N MB9BF466R
	CY9BF368M CY9BF368N CY9BF368R MB9BF368M MB9BF368N MB9BF368R	CY9BF367M CY9BF367N CY9BF367R MB9BF367M MB9BF367N MB9BF367R	CY9BF366M CY9BF366N CY9BF366R MB9BF366M MB9BF366N MB9BF366R
	CY9BF168M CY9BF168N CY9BF168R MB9BF168M MB9BF168N MB9BF168R	CY9BF167M CY9BF167N CY9BF167R MB9BF167M MB9BF167N MB9BF167R	CY9BF166M CY9BF166N CY9BF166R MB9BF166M MB9BF166N MB9BF166R

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 2 対象型格一覧(TYPE2-M4 製品)

タイプ名*	フラッシュメモリサイズ		
	512 Kbytes	384 Kbytes	256 Kbytes
TYPE2-M4	CY9BF566K CY9BF566L MB9BF566K MB9BF566L	CY9BF565K CY9BF565L MB9BF565K MB9BF565L	CY9BF564K CY9BF564L MB9BF564K MB9BF564L
	CY9BF466K CY9BF466L MB9BF466K MB9BF466L	CY9BF465K CY9BF465L MB9BF465K MB9BF465L	CY9BF464K CY9BF464L MB9BF464K MB9BF464L
	CY9BF366K CY9BF366L MB9BF366K MB9BF366L	CY9BF365K CY9BF365L MB9BF365K MB9BF365L	CY9BF364K CY9BF364L MB9BF364K MB9BF364L
	CY9BF166K CY9BF166L MB9BF166K MB9BF166L	CY9BF165K CY9BF165L MB9BF165K MB9BF165L	CY9BF164K CY9BF164L MB9BF164K MB9BF164L

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 3 対象型格一覧(TYPE3-M4 製品)

タイプ名*	フラッシュメモリサイズ			フラッシュなし
	2 Mbytes	1.5 Mbytes	1 Mbytes	SRAM サイズ 256 Kbytes
TYPE3-M4	S6E2CCAL S6E2CCAJ S6E2CCAH	S6E2CC9 L S6E2CC9J S6E2CC9H	S6E2CC8 L S6E2CC8J S6E2CC8H	-
	S6E2C5AL S6E2C5AJ S6E2C5AH	S6E2C59L S6E2C59J S6E2C59H	S6E2C58 L S6E2C58J S6E2C58H	-
	S6E2C4A L S6E2C4AJ S6E2C4AH	S6E2C49L S6E2C49J S6E2C49H	S6E2C48L S6E2C48J S6E2C48H	-
	S6E2C3AL S6E2C3AJ S6E2C3AH	S6E2C39L S6E2C39J S6E2C39H	S6E2C38L S6E2C38J S6E2C38H	-
	S6E2C2AL S6E2C2AJ S6E2C2AH	S6E2C29L S6E2C29J S6E2C29H	S6E2C28L S6E2C28J S6E2C28H	-
	S6E2C1AL S6E2C1AJ S6E2C1AH	S6E2C19L S6E2C19J S6E2C19H	S6E2C18L S6E2C18J S6E2C18H	S6E2C10L S6E2C10J S6E2C10H

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 4 対象型格一覧(TYPE4-M4 製品)

タイプ名*	フラッシュメモリサイズ 384Kbytes	
	VRAM 512 Kbytes	VRAM 512 Kbytes + VFLASH 2 Mbytes
TYPE4-M4	S6E2D35G0 S6E2D35J0	S6E2D35GJ
	S6E2D55G0 S6E2D55J0	S6E2D55GJ
	S6E2DF5G0 S6E2DF5J0	S6E2DF5GJ
	S6E2DH5G0 S6E2DH5J0	S6E2DH5GJ

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 5 対象型格一覧(TYPE5-M4 製品)

タイプ名*	フラッシュメモリサイズ	
	1 Mbytes	512 Kbytes
TYPE5-M4	S6E2GM8J S6E2GM8H	S6E2GM6J S6E2GM6H
	S6E2GK8J S6E2GK8H	S6E2GK6J S6E2GK6H
	S6E2GH8J S6E2GH8H	S6E2GH6J S6E2GH6H
	S6E2G28J S6E2G28H	S6E2G26J S6E2G26H
	S6E2G38J S6E2G38H	S6E2G36J S6E2G36H

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 6 対象型格一覧(TYPE6-M4 製品)

タイプ名*	フラッシュメモリサイズ	
	512 Kbytes	256 Kbytes
TYPE6-M4	S6E2HG6G S6E2HG6F S6E2HG6E	S6E2HG4G S6E2HG4F S6E2HG4E
	S6E2HE6G S6E2HE6F S6E2HE6E	S6E2HE4G S6E2HE4F S6E2HE4E
	S6E2H46G S6E2H46F S6E2H46E	S6E2H44G S6E2H44F S6E2H44E
	S6E2H16G S6E2H16F S6E2H16E	S6E2H14G S6E2H14F S6E2H14E

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Contents

CHAPTER 1: システム概要 23
1. バス構成 24
1.1. バス構成図 26
1.2. メモリ構成 27
1.3. メモリマップ 28
1.4. ペリフェラル・アドレスマップ 29
2. Cortex-M4F の構成 32
2.1. オプション構成 35
3. モード 36

CHAPTER 2-1: クロック 37
1. クロック生成部 概要 38
2. クロック生成部 構成・ブロックダイヤグラム 39
3. クロック生成部 動作説明 44
3.1 クロックモード選択 44
3.2 内部バスクロック分周制御 45
3.3PLL クロック制御 45
3.4 発振安定待ち時間 48
3.5 割込み要因 49
3.6 クロックギア機能 50
4. クロック設定手順例 52
5. クロック生成部 レジスター覧 59
5.1. システムクロックモード制御レジスタ(SCM_CTL) 60
5.2. システムクロックモード状態レジスタ(SCM_STR) 62
5.3. ベースクロックプリスケーラレジスタ(BSC_PSR) 63
5.4. APB0 プリスケーラレジスタ(APBC0_PSR) 64
5.5. APB1 プリスケーラレジスタ(APBC1_PSR) 65
5.6. APB2 プリスケーラレジスタ(APBC2_PSR) 66
5.7. ソフトウェアウォッチドッグクロックプリスケーラレジスタ(SWC_PSR) 67
5.8. トレースクロックプリスケーラレジスタ(TTC_PSR) 68
5.9. クロック安定待ち時間レジスタ(CSW_TMR) 69
5.10. PLL クロック安定待ち時間設定レジスタ(PSW_TMR) 70
5.11. PLL 制御レジスタ 1 (PLL_CTL1) 71
5.12. PLL 制御レジスタ 2 (PLL_CTL2) 72
5.13. デバッグブレーク ウォッチドッグタイマ制御レジスタ(DBWDT_CTL) 73
5.14. 割込みイネーブルレジスタ(INT_ENR) 74
5.15. 割込み状態レジスタ(INT_STR) 75
5.16. 割込みクリアレジスタ(INT_CLR) 76
5.17. PLL クロックギア制御レジスタ(PLLCG_CTL) 77
6. クロック生成部 使用上の注意点 79

CHAPTER 2-2: 周辺クロック停止機能 81
1. 周辺クロック停止機能の概要 82
2. 周辺クロック停止機能の構成 85
3. 周辺クロック停止機能の制御 87
3.1. 周辺クロックの制御手順 88
4. 周辺クロック停止機能のレジスター覧 91
4.1. 周辺クロック制御レジスタ 0(CKEN0) 92
4.2. 周辺リセット制御レジスタ 0(MRST0) 95
4.3. 周辺クロック制御レジスタ 1(CKEN1) 98
4.4. 周辺リセット制御レジスタ 1(MRST1) 100
4.5. 周辺クロック制御レジスタ 2(CKEN2) 102
4.6. 周辺リセット制御レジスタ 2(MRST2) 107
5. 周辺クロック停止機能　使用時の注意 111

CHAPTER 2-3: 高速 CR トリミング 115
1. 高速 CR トリミング機能 概要 116
2. 高速 CR トリミング機能 構成・ブロックダイヤグラム 117
3. 高速 CR トリミング機能 動作説明 118
4. 高速 CR トリミング機能 設定手順例 119
5. 高速 CR トリミング機能 レジスター覧 126
5.1. 高速 CR 発振 分周設定レジスタ(MCR_PSR) 127
5.2. 高速 CR 発振 周波数トリミング設定レジスタ(MCR_FTRM) 128
5.3. 高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM) 129
5.4. 高速 CR 発振 レジスタ書込み保護レジスタ(MCR_RLR) 130
6. 高速 CR トリミング機能 使用上の注意点 131

CHAPTER 2-4: 低速 CR プリスケーラ 133
1. 低速 CR プリスケーラの概要 134
2. 低速 CR プリスケーラの構成 134
3. 低速 CR プリスケーラの動作説明と設定手順例 135
4. 低速 CR プリスケーラのレジスタ 138
4.1. 低速 CR プリスケーラリロードレジスタ(LCR_PRSLD) 139

CHAPTER 3: クロック監視機能 141
1. 概要 142
2. 構成・ブロックダイヤグラム 142
3. 動作説明 144
4. 設定手順例 145
5. 動作例 147
6. レジスター覧 151
6.1. CSV 制御レジスタ(CSV_CTL) 152
6.2. CSV 状態レジスタ(CSV_STR) 154
6.3. 周波数検出ウィンドウ設定レジスタ(上位)(FCSWH_CTL) 155
6.4. 周波数検出ウィンドウ設定レジスタ(下位)(FCSWL_CTL) 156
6.5. 周波数検出カウンタレジスタ(FCSWD_CTL) 157
7. 使用上の注意 158

CHAPTER 4: リセット 159
1. 概要 160
2. 構成 161
3. 動作説明 162
3.1. リセット要因 163

3.2. デバイス内部のリセット 166
3.2.1. Cortex-M4 へのリセット 166
3.2.2. 周辺回路へのリセット 167
3.3. リセットシーケンス 168
3.4. リセット解除後の動作 170
4. レジスタ 171
4.1. リセット要因レジスタ(RST_STR : ReSeT STatus Register) 172

CHAPTER 5: 低電圧検出 175
1. 概要 176
2. 構成 177
3. 動作説明 179
4. 設定手順例 182
5. レジスタ 183
5.1. 低電圧検出電圧設定レジスタ(LVD_CTL) 184
5.2. 低電圧検出割込み要因レジスタ(LVD_STR) 186
5.3. 低電圧検出割込み要因クリアレジスタ(LVD_CLR) 187
5.4. 低電圧検出電圧保護レジスタ(LVD_RLR) 188
5.5. 低電圧検出回路状態レジスタ(LVD_STR2) 189

CHAPTER 6: 低消費電力モード 191
1. 低消費電力モードの概要 192
2. CPU 動作モードの構成 197
3. スタンバイモードの動作説明 204
3.1. スリープモード(高速 CR スリープ, メインスリープ, PLL スリープ, 低速 CR スリープ, サブスリープ)の動作 207
3.2. タイマモード(高速 CR タイマ, メインタイマ, PLL タイマ, 低速 CR タイマ, サブタイマ)の動作 209
3.3. RTC モードの動作 211
3.4. ストップモードの動作 214
4. スタンバイモードの設定手順例 217
5. ディープスタンバイモードの動作説明 220
5.1. ディープスタンバイ RTC モードの動作 222
5.2. ディープスタンバイストップモードの動作 224
6. ディープスタンバイモードの設定手順例 226
7. ディープスタンバイ復帰要因判定の手順 228
8. 低消費電力モードのレジスター覧 229
8.1. スタンバイモードコントロールレジスタ(STB_CTL) 230
8.2. サブクロック供給制御レジスタ(RCK_CTL) 232
8.3. RTC モード制御レジスタ(PMD_CTL) 233
8.4. ディープスタンバイ復帰要因レジスタ 1(WRFSR) 234
8.5. ディープスタンバイ復帰要因レジスタ 2(WIFSR) 235
8.6. ディープスタンバイ復帰許可レジスタ(WIER) 237
8.7. WKUP 端子入力レベルレジスタ(WILVR) 239
8.8. ディープスタンバイ RAM 保持レジスタ(DSRAMR) 240
8.9. バックアップレジスタ 01~16(BUR01~16) 241
9. 使用上の注意 242

CHAPTER 7-1: VBAT ドメイン構成 243
1. VBAT ドメインの構成 244

CHAPTER 7-2: VBAT ドメイン(A) 245
1. VBAT ドメインの概要 246
2. VBAT ドメインの構成 248
2.1. Always ON ドメインとのインタフェース 249
2.1.1. インタフェースの概要 249
2.1.2. インタフェース回路の形式一覧 250
2.1.3. インタフェース回路が接続する回路 253
2.2. RTC 258
2.3. 32 kHz 発振回路 259
2.3.1. 32 kHz 発振回路の機能概要 259
2.3.2. 32 kHz 発振回路の使用方法 259
2.3.3. 32 kHz 発振回路で使用するレジスタの説明 260
2.4. パワーオン回路 261
2.5. バックアップレジスタ 262
2.6. VBAT I/O ポート 264
3. チップの電源制御 267
4. ハイバネーション制御 270
5. 32 kHz クロックの設定手順 274
6. VBAT I/O ポートの設定手順 278
7. レジスター覧 281
7.1. VB_CLKDIV レジスタ 282
7.2. WTOSCCNT レジスタ 283
7.3. CCS/CCB レジスタ 284
7.4. BOOST レジスタ 285
7.5. EWKUP レジスタ 286
7.6. HIBRST レジスタ 287
7.7. VDET レジスタ 288
7.8. ポート機能設定レジスタ(VBPFR) 289
7.9. プルアップ設定レジスタ(VBPCR) 291
7.10. ポート入出力方向設定レジスタ(VBDDR) 292
7.11. ポート入力データレジスタ(VBDIR) 293
7.12. ポート出力データレジスタ(VBDOR) 294
7.13. ポート擬似オープンドレイン設定レジスタ(VBPZR) 295
8. 使用上の注意 296

CHAPTER 7-3: VBAT ドメイン(B) 297
1. VBAT ドメインの概要 298
2. VBAT ドメインの構成 300
2.1. Always ON ドメインとのインタフェース 301
2.1.1. インタフェースの概要 301
2.1.2. インタフェース回路の形式一覧 302
2.1.3. インタフェース回路が接続する回路 305
2.2. RTC 310
2.3. 32 kHz 発振回路 311
2.3.1. 32 kHz 発振回路の機能概要 311
2.3.2. 32 kHz 発振回路の使用方法 311
2.3.3. 32 kHz 発振回路で使用するレジスタの説明 312
2.4. パワーオン回路 313
2.5. バックアップレジスタ 314
2.6. VBAT I/O ポート 316
3. チップの電源制御 319
4. ハイバネーション制御 322

5. 32 kHz クロックの設定手順 326
6. VBAT I/O ポートの設定手順 330
7. レジスター覧 333
7.1. VB_CLKDIV レジスタ 334
7.2. WTOSCCNT レジスタ 335
7.3. CCS/CCB レジスタ 336
7.4. BOOST レジスタ 338
7.5. EWKUP レジスタ 339
7.6. HIBRST レジスタ 340
7.7. VDET レジスタ 341
7.8. ポート機能設定レジスタ(VBPFR) 342
7.9. プルアップ設定レジスタ(VBPCR) 344
7.10. ポート入出力方向設定レジスタ(VBDDR) 345
7.11. ポート入力データレジスタ(VBDIR) 346
7.12. ポート出力データレジスタ(VBDOR) 347
7.13. ポート擬似オープンドレイン設定レジスタ(VBPZR) 348
8. 使用上の注意 349

CHAPTER 8: 割込み 351
1. 概要 352
2. 構成 352
3. 割込み一覧 355
4. レジスタ 380
4.1. DMAC DMA 要求選択レジスタ (DRQSEL) 384
4.2. リロケート割込み選択レジスタ(IRQxxxSEL) 386
4.3. EXC02 一括読出しレジスタ (EXC02MON) 389
4.4. IRQ000 一括読出しレジスタ (IRQ000MON) 390
4.5. IRQ001 一括読出しレジスタ (IRQ001MON) 391
4.6. IRQ002 一括読出しレジスタ (IRQ002MON) 392
4.7. IRQ003/004/005/006/007/008/009/010 一括読出しレジスタ(IRQxxxMON) 393
4.8. IRQ011/012/013/014/015/016/017/018/051/052/053/054/ 055/056/057/058 一括読出しレジスタ (IRQxxxMON) 394
4.9. IRQ019/020/096/097 一括読出しレジスタ(IRQxxxMON) 395
4.10. IRQ021/022/023 一括読出しレジスタ (IRQxxxMON) 396
4.11. IRQ024/028/032 一括読出しレジスタ (IRQxxxMON) 397
4.12. IRQ025/029/033 一括読出しレジスタ (IRQxxxMON) 398
4.13. IRQ026/030/034 一括読出しレジスタ (IRQxxxMON) 399
4.14. IRQ027/031/035 一括読出しレジスタ (IRQxxxMON) 400
4.15. IRQ036/037/038 一括読出しレジスタ (IRQxxxMON) 401
4.16. IRQ039/040/041/042/043/044/045/046/098/099/100/101 一括読出しレジスタ (IRQxxxMON) 402
4.17. IRQ047 一括読出しレジスタ (IRQ047MON) 404
4.18. IRQ048 一括読出しレジスタ (IRQ048MON) 405
4.19. IRQ049 一括読出しレジスタ (IRQ049MON) 406
4.20. IRQ050 一括読出しレジスタ (IRQ050MON) 407
4.21. IRQ059 一括読出しレジスタ (IRQ059MON) 408
4.22. IRQ060/062/064/066/068/070/072/074/103/105/107/109/ 120/122/124/126 一括読出しレジスタ (IRQxxxMON) 409
4.23. IRQ061/063/065/067/069/071/073/075/104/106/108/110/121/123/125/127 一括読出しレジスタ (IRQxxxMON) 411
4.24. IRQ076/077/111 一括読出しレジスタ (IRQxxxMON) 413

4.25. IRQ078/113 一括読出しレジスタ (IRQxxxMON) 414
4.26. IRQ079/114 一括読出しレジスタ (IRQxxxMON) 415
4.27. IRQ080 一括読出しレジスタ (IRQ080MON) 416
4.28. IRQ081 一括読出しレジスタ (IRQ081MON) 417
4.29. IRQ082 一括読出しレジスタ (IRQ082MON) 418
4.30. IRQ083/084/085/086/087/088/089/090 一括読出し レジスタ (IRQxxxMON) 419
4.31. IRQ091 一括読出しレジスタ (IRQ091MON) 420
4.32. IRQ092/093/094/095 一括読出しレジスタ (IRQxxxMON) 421
4.33. IRQ102 一括読出しレジスタ (IRQ102MON) 422
4.34. IRQ112 一括読出しレジスタ (IRQ112MON) 423
4.35. IRQ115 一括読出しレジスタ (IRQ115MON) 425
4.36. IRQ117 一括読出しレジスタ (IRQ117MON) 426
4.37. IRQ118 一括読出しレジスタ (IRQ118MON) 427
4.38. IRQ119 一括読出しレジスタ (IRQ119MON) 428
4.39. IRQ116 一括読出しレジスタ (IRQ116MON) 429
4.40. USB ch.0 奇数パケットサイズ DMA 許可レジスタ (ODDPKS) 430
4.41. USB ch.1 奇数パケットサイズ DMA 許可レジスタ (ODDPKS1) 432
5. 使用上の注意 434

CHAPTER 9: 外部割込み・NMI 制御部 435
1. 概要 436
2. ブロックダイヤグラム 437
3. 動作説明および設定手順例 438
3.1. 外部割込み制御部の動作 439
3.2. NMI 制御部の動作 441
3.3. タイマモードおよびストップモードからの復帰 442
4. レジスタ 444
4.1. 外部割込み許可レジスタ(ENIR : ENable Interrupt request Register) 445
4.2. 外部割込み要因レジスタ(EIRR : External Interrupt Request Register) 446
4.3. 外部割込み要因クリアレジスタ(EICL: External Interrupt CLear register) 447
4.4. 外部割込み要求レベルレジスタ(ELVR : External interrupt LeVel Register) 448
4.5. 外部割込み要求レベルレジスタ 1 (ELVR1 : External interrupt LeVel Register 1) 449
4.6. マスク不能割込み要因レジスタ(NMIRR : Non Maskable Interrupt Request Register) 450
4.7. マスク不能割込み要因クリアレジスタ(NMICL: Non Maskable Interrupt CLear register) 451
4.8. 外部割込み要求レベルレジスタ 2 (ELVR2 : External interrupt LeVel Register 2) 452

CHAPTER 10: DMAC 453
1. DMAC の概要 454
2. DMAC の構成 455
2.1. DMAC とシステム構成 456
2.2. DMAC の入出力信号 458
3. DMAC の機能と動作 460
3.1. ソフトウェア・Block 転送 461
3.2. ソフトウェア・Burst 転送 463
3.3. ハードウェア・Demand 転送 464
3.4. ハードウェア・Block 転送/Burst 転送 465
3.5. チャネル優先順位制御 467
4. DMAC の制御 468
4.1. DMAC 制御概要 469
4.2. ソフトウェア転送時の DMAC 動作と制御手順 470

4.3. ハードウェア(EM=0)転送時の DMAC 動作と制御手順 477
4.4. ハードウェア(EM=1)転送時の DMAC 動作と制御手順 486
5. DMAC のレジスタ 490
5.1. レジスター覧 491
5.2. DMAC 全体コンフィギュレーションレジスタ(DMACR) 492
5.3. コンフィギュレーション A レジスタ(DMACA) 494
5.4. コンフィギュレーション B レジスタ(DMACB) 497
5.5. 転送元アドレスレジスタ(DMACSA) 501
5.6. 転送先アドレスレジスタ(DMACDA) 502
6. 使用上の注意 503

CHAPTER 11: DSTC 505
1. DSTC の概要 506
2. DSTC の動作概要とシステム構成 507
2.1. DSTC の動作概要 507
2.2. DSTC システム構成 509
3. DSTC の機能と動作 512
3.1. DES の設定 513
3.1.1. 転送データ量の設定 513
3.1.2. 転送アドレスの設定 514
3.1.3. OuterReload の設定 516
3.1.4. Chain 起動と転送終了通知設定 518
3.1.5. その他の DES 設定 520
3.2. DSTC の制御機能 523
3.2.1. DSTC 内部ブロック図 523
3.2.2. DESTP レジスタ 523
3.2.3. SW 転送の制御 523
3.2.4. HW 転送の制御 524
3.2.5. 起動要求の調停動作 525
3.2.6. リードスキップバッファ機能 527
3.2.7. 転送終了処理 527
3.2.8. MONERS レジスタ 528
3.2.9. スタンバイ機能 530
3.3. DSTC 動作フロー 532
3.3.1. SW 転送フロー 532
3.3.2. HW 転送フロー 535
3.3.3. DESP 指定後の動作フロー 537
4. DSTC の動作例と制御例 540
4.1. 転送動作例 1 541
4.2. 転送動作例 2 544
4.3. 転送動作例 3 546
4.4. 転送動作例 4 549
4.5. 転送動作例 5 552
4.6. DSTC 制御例 555
5. DSTC のレジスタおよびディスクリプタ 558
5.1. 制御レジスタ、DES 一覧 559
5.2. DESTP レジスタ 560
5.3. HWDESP[n]レジスタ 561
5.4. CMD レジスタ 562
5.5. CFG レジスタ 563
5.6. SWTR レジスタ 564

5.7. MONERS レジスタ 566
5.8. DREQENB[n]レジスタ 569
5.9. HWINT[n]レジスタ 570
5.10. HWINTCLR[n]レジスタ 571
5.11. DQMSK[n]レジスタ 572
5.12. DQMSKCLR[n]レジスタ 573
5.13. ディスクリプタ 0 (DES0) 574
5.14. ディスクリプタ 1 (DES1) 578
5.15. ディスクリプタ 2 (DES2) 580
5.16. ディスクリプタ 3 (DES3) 580
5.17. ディスクリプタ 4 (DES4) 581
5.18. ディスクリプタ 5 (DES5) 581
5.19. ディスクリプタ 6 (DES6) 581

CHAPTER 12: I/O ポート 583
1. 概要 584
2. 構成・ブロックダイヤグラム・動作説明 585
3. 設定手順例 593
4. レジスター覧 594
4.1. ポート機能設定レジスタ(PFRx) 598
4.2. プルアップ設定レジスタ(PCRx) 600
4.3. ポート入出力方向設定レジスタ(DDRx) 602
4.4. ポート入力データレジスタ(PDIRx) 604
4.5. ポート出力データレジスタ x(PDORx) 608
4.6. アナログ入力設定レジスタ(ADE) 608
4.7. 拡張機能端子設定レジスタ(EPFRx) 609
4.8. 拡張機能端子設定レジスタ 00(EPFR00) 610
4.9. 拡張機能端子設定レジスタ 01(EPFR01) 614
4.10. 拡張機能端子設定レジスタ 02(EPFR02) 618
4.11. 拡張機能端子設定レジスタ 03(EPFR03) 622
4.12. 拡張機能端子設定レジスタ 04(EPFR04) 626
4.13. 拡張機能端子設定レジスタ 05(EPFR05) 630
4.14. 拡張機能端子設定レジスタ 06(EPFR06) 634
4.15. 拡張機能端子設定レジスタ 07(EPFR07) 638
4.16. 拡張機能端子設定レジスタ 08(EPFR08) 642
4.17. 拡張機能端子設定レジスタ 09(EPFR09) 647
4.18. 拡張機能端子設定レジスタ 10(EPFR10) 651
4.19. 拡張機能端子設定レジスタ 11(EPFR11) 658
4.20. 拡張機能端子設定レジスタ 12(EPFR12) 664
4.21. 拡張機能端子設定レジスタ 13(EPFR13) 668
4.22. 拡張機能端子設定レジスタ 14(EPFR14) 672
4.23. 拡張機能端子設定レジスタ 15(EPFR15) 676
4.24. 拡張機能端子設定レジスタ 16(EPFR16) 680
4.25. 拡張機能端子設定レジスタ 17(EPFR17) 686
4.26. 拡張機能端子設定レジスタ 18(EPFR18) 690
4.27. 拡張機能端子設定レジスタ 19(EPFR19) 694
4.28. 拡張機能端子設定レジスタ 20(EPFR20) 695
4.29. 拡張機能端子設定レジスタ 21(EPFR21) 701
4.30. 拡張機能端子設定レジスタ 22(EPFR22) 702
4.31. 拡張機能端子設定レジスタ 23(EPFR23) 703
4.32. 拡張機能端子設定レジスタ 24(EPFR24) 706
4.33. 拡張機能端子設定レジスタ 25(EPFR25) 710

4.34. 拡張機能端子設定レジスタ 26(EPFR26) 711
4.35. 拡張機能端子設定レジスタ 27(EPFR27) 714
4.36. 拡張機能端子設定レジスタ 28(EPFR28) 718
4.37. 拡張機能端子設定レジスタ 29(EPFR29) 722
4.38. 拡張機能端子設定レジスタ 30(EPFR30) 726
4.39. 拡張機能端子設定レジスタ 33(EPFR33) 729
4.40. 拡張機能端子設定レジスタ 35(EPFR35) 733
4.41. 特殊ポート設定レジスタ(SPSR) 735
4.42. ポート擬似オープンドレイン設定レジスタ(PZRx) 737
4.43. ポート駆動能力選択レジスタ(PDSRx) 739
5. 使用上の注意 740

CHAPTER 13: CRC (Cyclic Redundancy Check) 743
1. CRC の概要 744
2. CRC の動作説明 745
2.1. CRC 計算シーケンス 746
2.2. CRC 使用例 747
3. CRC のレジスタ 751
3.1. CRC 制御レジスタ(CRCCR) 752
3.2. 初期値レジスタ(CRCINIT) 754
3.3. Input Data レジスタ(CRCIN) 755
3.4. CRC レジスタ(CRCR) 756

CHAPTER 14: 外部バスインタフェース 757
1. 外部バスインタフェースの概要 758
2. ブロックダイヤグラム 760
3. 動作説明 763
3.1. バスアクセスモード 763
3.2. SRAM, NOR フラッシュメモリアクセス 768
3.3. NAND フラッシュメモリアクセス 770
3.3.1. NAND フラッシュメモリに対するリードアクセス 771
3.3.2. ライト(自動プログラム)アクセス 772
3.3.3. 自動ブロック消去アクセス 773
3.4. 8 ビット NAND フラッシュメモリ リード/ライトコマンド発行 774
3.5. 8 ビット NAND フラッシュメモリ ステータスリード 775
3.6. 8 ビット NAND フラッシュメモリ データライト 776
3.7. 自動ウェイト設定 777
3.8. 外部 RDY 781
3.9. SDRAM アクセス 782
3.10. 割込み機能 788
3.11. アクセスモード 789
3.12. SDRAM バッファリード (TYPE3-M4, TYPE4-M4,TYPE5-M4,TYPE6-M4 製品) 792
4. 接続例 794
5. 設定手順例 799
6. レジスタ 803
6.1. モードレジスタ 0～7 (MODE0～MODE7) 804
6.2. タイミングレジスタ 0～7 (TIM0～TIM7) 812
6.3. エリアレジスタ 0～7 (AREA0～AREA7) 816
6.4. ALE タイミングレジスタ 0～7 (ATIM0～ATIM7) 819
6.5. SDRAM モードレジスタ (SDMODE) 821
6.6. リフレッシュタイマレジスタ (REFTIM) 825

6.7. パワーダウンカウントレジスタ (PWRDWN) 827
6.8. SDRAM タイミングレジスタ (SDTIM) 828
6.9. SDRAM コマンドレジスタ (SDCMD) 831
6.10. メモリコントローラエラーレジスタ (MEMCERR) 833
6.11. 分周クロックレジスタ (DCLKR) 835
6.12. エラーステータスレジスタ (EST) 837
6.13. ライトエラーアドレスレジスタ (WEAD) 838
6.14. エラーステータスクリアレジスタ (ESCLR) 839
6.15. アクセスモードレジスタ (AMODE) 840
7. 使用上の注意 841

CHAPTER 15: SD カードインタフェース 843
1. SD カードインタフェースの概要 844
2. レジスター覧 845
2.1. SDMA System Address / Argument 2 Register 847
2.2. Block Size Register 848
2.3. Block Count Register 849
2.4. Argument 1 Register 850
2.5. Transfer Mode Register 851
2.6. Command Register 852
2.7. Response Register 853
2.8. Buffer Data Port Register 854
2.9. Present State Register 855
2.10. Host Control 1 Register 856
2.11. Power Control Register 857
2.12. Block Gap Control Register 858
2.13. Wakeup Control Register 859
2.14. Clock Control Register 860
2.15. Timeout Control Register 862
2.16. Software Reset Register 863
2.17. Normal Interrupt Status Register 864
2.18. Error Interrupt Status Register 865
2.19. Normal Interrupt Status Enable Register 867
2.20. Error Interrupt Status Enable Register 868
2.21. Normal Interrupt Signal Enable Register 869
2.22. Error Interrupt Signal Enable Register 870
2.23. Auto CMD Error Status Register 871
2.24. Host Control 2 Register 872
2.25. Capabilities Register 873
2.26. Maximum Current Capabilities Register 877
2.27. Force Event Register for Auto CMD Error Status 878
2.28. Force Event Register for Error Interrupt Status 879
2.29. ADMA Error Status Register 881
2.30. ADMA System Address Register 882
2.31. Preset Value Register 883
2.32. Shared Bus Control Register 884
2.33. Slot Interrupt Status Register 886
2.34. Host Controller Version Register 887
2.35. AHB Config Register 888
2.36. Power Switching Register 891
2.37. Tuning Setting Register 892
2.38. Tuning Status Register 896

2.39. Power Switching Interrupt Status Register 898
2.40. Power switching Interrupt Status Enable Register 899
2.41. Power switching Interrupt Signal Enable Register 900
2.42. MMC/eSD Control Register 901
2.43. MMC Wait IRQ Control Register 905
2.44. MMC Wait IRQ Control Register 907
2.45. MMC Response Check Bit Register 908
2.46. Card Detect Setting Register 909
3. MMC Boot Operation 910
3.1. Boot Mode 制御例 (Using ADMA) 910
3.2. Alternative Boot Mode 制御例 (Using ADMA) 912
4. MMC Wait IRQ 914
4.1. Wait IRQ 制御例 914
5. SDCLK 916

CHAPTER 16: デバッグインタフェース 917
1. 概要・構成 918
2. 端子説明 919
2.1. デバッグ端子について 920
2.2. トレース端子について 921
2.3. 端子の初期機能について 922
2.4. デバッグ端子の内部プルアップについて 923

CHAPTER 17: フラッシュメモリ 925

CHAPTER 18: ユニーク ID レジスタ 927
1. 概要 928
2. レジスタ 929
2.1. ユニーク ID レジスタ 0 (UIDR0) 930
2.2. ユニーク ID レジスタ 1 (UIDR1) 931

CHAPTER 19: プログラマブル CRC 933
1. プログラマブル CRC の概要 934
1.1. 概要 934
2. プログラマブル CRC の構成と動作 935
2.1. プログラマブル CRC の構成 935
2.2. プログラマブル CRC の動作 936
3. プログラマブル CRC の制御方法 938
3.1. プログラマブル CRC の制御フロー（CPU による入力データ転送時） 938
3.2. ブログラマブル CRC の制御フロー（DSTC による入力データ DMA 転送時） 939
4. プログラマブル CRC のレジスタ 941
4.1. 制御レジスター覧 941
4.2. CRC 演算生成多項式レジスタ 942
4.3. CRC 演算初期値レジスタ 943
4.4. CRC 演算結果 XOR 値レジスタ 944
4.5. CRC 演算コンフィグレーションレジスタ 945
4.6. CRC 演算入力データレジスタ 948
4.7. CRC 演算出力データレジスタ 949
5. プログラマブル CRC 演算例 950
5.1. 演算例 1 950
5.2. 演算例 2 952

Appendixes **955**
A. レジスタマップ 956
1. レジスタマップ 958
1.1. FLASH_IF 959
1.1.1. TYPE1-M4, TYPE2-M4 製品 959
1.1.2. TYPE3-M4 製品 960
1.1.3. TYPE4-M4, TYPE5-M4, TYPE6-M4 製品 961
1.2. Unique ID 962
1.3. ECC Capture Address 962
1.4. Clock/Reset 963
1.4.1. TYPE1-M4, TYPE2-M4 製品 963
1.4.2. TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品 965
1.5. HW WDT 967
1.6. SW WDT 967
1.7. Dual_Timer 968
1.8. MFT 969
1.8.1. TYPE1-M4, TYPE2-M4 製品 969
1.8.2. TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品 972
1.9. PPG 975
1.10. Base Timer 979
1.11. IO Selector for Base Timer 980
1.12. QPRC 981
1.12.1. TYPE1-M4, TYPE2-M4, TYPE6-M4 製品 981
1.12.2. TYPE3-M4, TYPE4-M4, TYPE5-M4 製品 982
1.13. QPRC NF 982
1.14. A/DC 983
1.15. CR Trim 984
1.16. EXTI 985
1.16.1. TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE4-M4 製品 985
1.16.2. TYPE5-M4, TYPE6-M4 製品 985
1.17. INT-Req. READ 986
1.17.1. TYPE1-M4, TYPE2-M4, TYPE6-M4 製品 986
1.17.2. TYPE3-M4, TYPE5-M4 製品 993
1.17.3. TYPE4-M4 製品 1000
1.18. D/AC 1007
1.19. HDMI-CEC 1007
1.20. GPIO 1008
1.20.1. TYPE1-M4, TYPE2-M4, TYPE6-M4 製品 1008
1.20.2. TYPE3-M4 製品 1015
1.20.3. TYPE4-M4 製品 1023
1.20.4. TYPE5-M4 製品 1031
1.21. LVD 1039
1.22. DS_Mode 1039
1.23. USB Clock 1040
1.24. CAN_Prescaler 1041
1.25. MFS 1041
1.26. CRC 1043
1.27. Watch Counter 1043
1.28. RTC 1044
1.28.1. TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE6-M4 製品 1044
1.28.2. TYPE4-M4 製品 1048
1.28.3. TYPE5-M4 製品 1052

1.29. Low-speed CR Prescaler 1052
1.30. Peripheral Clock Gating 1053
1.30.1. TYPE1-M4, TYPE2-M4 製品 1053
1.30.2. TYPE3-M4, TYPE4-M4 製品 1053
1.30.3. TYPE5-M4, TYPE6-M4 製品 1054
1.31. Smart Card Interface 1055
1.32. MFSI2S 1056
1.33. I2S_Prescaler 1057
1.33.1. TYPE3-M4 製品 1057
1.33.2. TYPE4-M4 製品 1058
1.34. GDC_Prescaler 1059
1.35. EXT-Bus I/F 1060
1.35.1. TYPE1-M4 製品 1060
1.35.2. TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品 1063
1.36. USB 1066
1.37. DMAC 1068
1.38. DSTC 1070
1.39. CAN 1072
1.40. Ethernet-MAC 1074
1.41. Ethernet-Control 1074
1.42. I2S 1075
1.43. SD-Card 1075
1.44. CAN FD 1076
1.45. Programmable-CRC 1079
1.46. WorkFlash_IF 1079
1.47. High-Speed Quad SPI Controller 1080
1.47.1. TYPE3-M4 製品 1080
1.47.2. TYPE4-M4 製品 1083
1.48. HyperBus Interface 1086
1.49. GDC Sub System Controller 1087
1.50. GDC Sub System SDRAM Controller 1090
B. 注意事項一覧 1091
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 1092
C. 主な変更内容 1093
1. 主な変更内容 1094

改訂履歴 1098

CHAPTER 1: システム概要

本ファミリのシステム概要について説明します。

1. バス構成
2. Cortex-M4F の構成
3. モード

1. バス構成

本ファミリのバス構成について説明します。
本ファミリのバスは、AHB バスマトリクス回路によりマルチレイヤーバスを実現しています。マスタ，スレーブの構成を以下に示します。

■ マスタ
- Cortex-M4F CPU (I-Code バス, D-Code バス, System バス)
- Ethernet/SD-Card/GDC
- DMAC
- DSTC

■ スレーブ
- オンチップフラッシュメモリ (メインフラッシュ，ワークフラッシュ)
- オンチップ SRAM (SRAM0, SRAM1,SRAM2)
- 外部バス
- USB ch.0/ch.1
- AHB-AHB バスブリッジ
- AHB-APB バスブリッジ(APB0～APB2)

バス構成図については、Figure 1-1 を参照してください。

特長

■ RAM 構成

本ファミリはオンチップ SRAM 領域を 3 つの独立した SRAM (SRAM0, SRAM1,SRAM2)に分割して配置しています。SRAM0 は Cortex-M4F コアの I-Code バス, D-Code バスに接続されます。SRAM1,SRAM2 は Cortex-M4F コアの System バスに接続されます。また SRAM0,SRAM1,SRAM2 は DMAC やそのほかのバスマスタにも接続されます。これにより CPU や DMAC などの複数のバスマスタによる RAM への競合を回避することが可能となり、パフォーマンスの向上が図られます。
また、分割した RAM のアドレス領域は連続しているため、RAM 領域を最大限活用できます。

■ APB 拡張バスについて

APB1, APB2 ペリフェラルバスは、AMBA3.0 を元に以下の機能を独自に追加した拡張 APB バスです(APB0 は含まれません)。

- ハーフワード(16 ビット), バイト(8 ビット)アクセス対応

  対応するレジスタについては、ハーフワードアクセス, バイトアクセスが可能となります。
  対応するレジスタについては、『Appendixes』の「A. レジスタマップ」を参照してください。

- リードモディファイライト(RMW)信号追加

  ビットバンド操作時の HMASTLOCK 信号を使って生成しています。APB バス接続の周辺機能のビットバンドエイリアス領域へアクセスを行うと、RMW アクセスとなります。
  RMW 信号は、ビットバンド操作のリードモディファイライト処理時に誤って関係のないフラグがクリアされることを防ぐために追加した信号です。
  対応するフラグは、リードモディファイライト処理中のリード時は 1 を読み出し、また、1 のライトを無視するように設計されています。
  こうすることで「リード→モディファイ→ライト」シーケンスのリード直後にフラグがセットされた場合、次の書込み時に誤ってクリアされることを防ぎます。

対応するフラグ, レジスタは「"リードモディファイライト"時はビット値にかかわらず"1"が読めます」のように記述されています。

＜注意事項＞

- *RMW を禁止しているレジスタに対しては、ビットバンド操作禁止です。*
- *ビットバンド操作を行わずにソフトウェア中でリードモディファイライト処理を行う場合には RMW 信号は出力されません。*
  よって、この場合には RMW 対応のレジスタであっても読出し時はフラグの値が読み出せるため、書込み時に誤って関係のないフラグをクリアされないようにしてください。
- *ビットバンド操作の詳細については、『Cortex-M4 テクニカルリファレンスマニュアル』を参照してください。*

■ 優先順位について

バス権の優先度はラウンドロビン方式で決定されます。

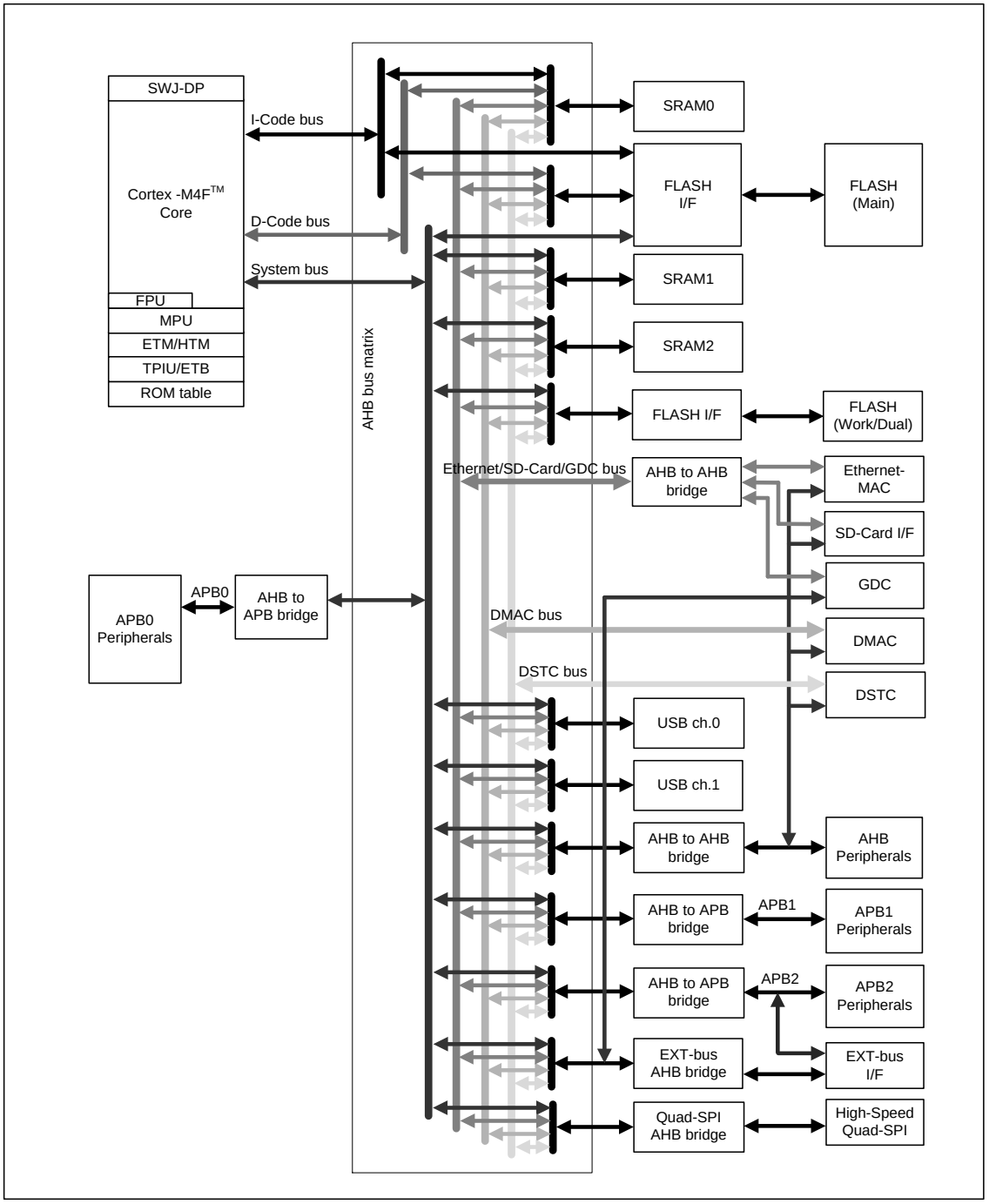
■ エンディアンについて

本ファミリのエンディアン(バイトオーダ)はリトルエンディアンです。

1.1 バス構成図

Figure 1-1 に本ファミリのバス構成図を示します。

Figure 1-1 バス構成図



<注意事項>

- *一部 DMA 転送が行えない領域があります。詳細は Table 1-1 の「CPU 以外のアクセス」欄を参照してください。*

1.2 メモリ構成

本ファミリのメモリ構成を示します。

本ファミリには 4G バイトのアドレス空間があります。

最大 4 M バイトのフラッシュメモリ, 最大 512K バイトの SRAM0 領域, 最大 256 K バイトの SRAM1 領域,
最大 256 K バイトの SRAM2 領域が定義されています。

また、外部バス領域として 0x60000000~0xDFFFFFFF の 2G バイトの領域が定義されており、この領域に外部メモリ・デバイスを接続することができます。

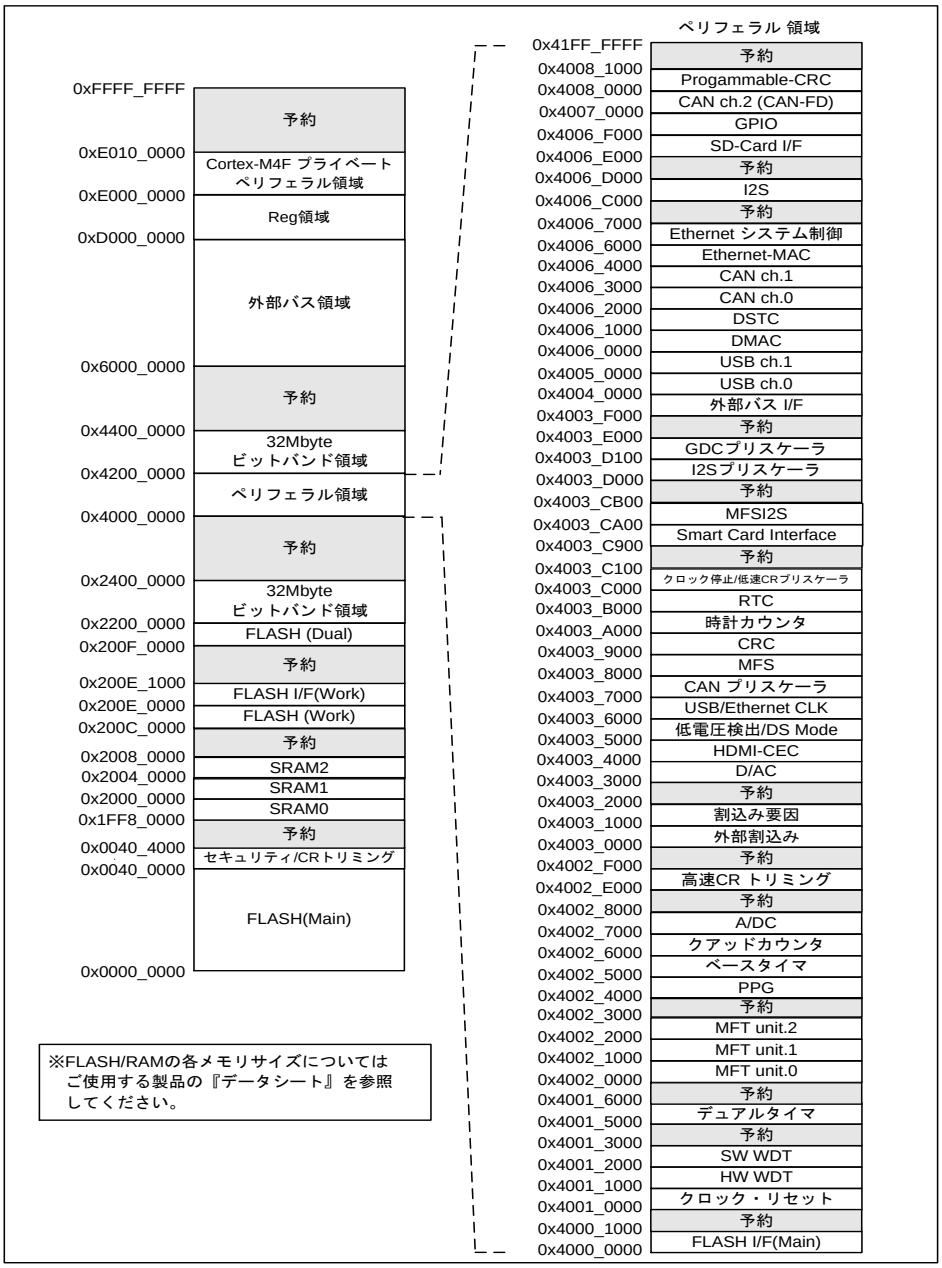
ここでは、「1.3 メモリマップ」でメモリマップ、「1.4 ペリフェラル・アドレスマップ」でペリフェラル・アドレスマップについて説明します。

Figure 1-2 に記載されている Cortex-M4F プライベートペリフェラル領域, ビットバンド領域の詳細については、『Cortex-M4 テクニカルリファレンスマニュアル』を参照してください。

1.3 メモリマップ

Figure 1-2 に本ファミリのメモリマップを示します。

Figure 1-2 メモリマップ



<注意事項>

- *予約領域へのアクセスは禁止です。*
- *フラッシュメモリの詳細については、ご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*
- *ビットバンド領域には DMA 転送は行わないでください。*
- *TYPE4-M4 製品は 0xB000_0000～0xDFFF_FFFF が GDC 領域となります。GDC の詳細については、『GDC 編』を参照してください。*

1.4 ペリフェラル・アドレスマップ

Table 1-1 に本ファミリのペリフェラル・アドレスマップを示します。

Table 1-1 ペリフェラル・アドレスマップ

スタート アドレス	エンド アドレス	バス	CPU 以外のアクセス	ペリフェラル	レジスタ マップ	詳細
0x4000_0000	0x4000_0FFF	AHB	不可	FLASH IF レジスタ(Main)/ ユニーク ID レジスタ	『FLASH_IF』 『Unique ID』	*1 『第 17 章』 『第 18 章』
0x4000_1000	0x4000_FFFF			予約	-	-
0x4001_0000	0x4001_0FFF	APB0	不可	クロック・リセット制御	『Clock/ Reset』	『第 2-1 章』 『第 3 章』 『第 4 章』 『第 6 章』
0x4001_1000	0x4001_1FFF			ハードウェアウォッチドッグタイマ	『HW WDT』	タイマ編 『第 1 章』
0x4001_2000	0x4001_2FFF			ソフトウェアウォッチドッグタイマ	『SW WDT』	
0x4001_3000	0x4001_4FFF			予約	-	-
0x4001_5000	0x4001_5FFF			デュアルタイマ	『Dual_ Timer』	タイマ編 『第 2 章』
0x4001_6000	0x4001_FFFF			予約	-	-
0x4002_0000	0x4002_0FFF	APB1	可	多機能タイマ unit0	『MFT』	タイマ編 『第 6 章』
0x4002_1000	0x4002_1FFF			多機能タイマ unit1		
0x4002_2000	0x4002_2FFF			多機能タイマ unit2		
0x4002_3000	0x4002_3FFF			予約	-	-
0x4002_4000	0x4002_4FFF			PPG	『PPG』	タイマ編 『第 7-2 章』
0x4002_5000	0x4002_5FFF			ベースタイマ	『Base Timer Selector』 『Base Timer』	タイマ編 『第 5-1 章』 『第 5-2 章』
0x4002_6000	0x4002_6FFF			クアッドカウンタ	『QPRC』	タイマ編 『第 8-1 章』 『第 8-2 章』
0x4002_7000	0x4002_7FFF			A/D コンバータ	『A/DC』	アナログ マクロ編 『第 1-1 章』 『第 1-2 章』 『第 1-3 章』
0x4002_8000	0x4002_DFFF			予約	-	-
0x4002_E000	0x4002_EFFF	APB1	可	高速 CR トリミング	『CR Trim』	『第 2-3 章』
0x4002_F000	0x4002_FFFF	APB2	可	予約	-	-
0x4003_0000	0x4003_0FFF			外部割込み	『EXTI』	『第 9 章』

*1: 「FLASH IF レジスタ」の詳細については、『フラッシュプログラミングマニュアル』を参照してください。

スタート アドレス	エンド アドレス	バス	CPU 以外の アクセス	ペリフェラル	レジスタ マップ	詳細
0x4003_1000	0x4003_1FFF	APB2	可	割込み要因確認レジスタ	『INT-Req READ』	『第 8 章』
0x4003_2000	0x4003_2FFF			予約	-	-
0x4003_3000	0x4003_3FFF			D/A コンバータ	『D/AC』	アナログ マクロ編 『第 2 章』
0x4003_4000	0x4003_4FFF			HDMI-CEC	『HDMI-CEC』	通信マクロ編 『第 6-1 章』 『第 6-2 章』 『第 6-3 章』
0x4003_5000	0x4003_50FF			低電圧検出	『LVD』	『第 5 章』
0x4003_5100	0x4003_5FFF			ディープスタンバイ制御部	『DS_ Mode』	『第 6 章』
0x4003_6000	0x4003_6FFF			USB クロック生成部 USB/Ethernet クロック生成部	『USB Clock』	通信 マクロ編 『第 2-2 章』 『第 2-3 章』
0x4003_7000	0x4003_7FFF			CAN プリスケーラ	『CAN_ Prescaler』	通信 マクロ編 『第 5-1 章』
0x4003_8000	0x4003_8FFF			マルチファンクション シリアル	『MFS』	通信 マクロ編 『第 1-1 章』 『第 1-2 章』 『第 1-3 章』 『第 1-4 章』 『第 1-5 章』
0x4003_9000	0x4003_9FFF	APB2	可	CRC	『CRC』	『第 13 章』
0x4003_A000	0x4003_AFFF			時計カウンタ	『Watch Counter』	タイマ編 『第 3-1 章』 『第 3-2 章』
0x4003_B000	0x4003_BFFF			リアルタイムクロック	『RTC』	タイマ編 『第 4-1 章』 『第 4-2 章』 『第 4-3 章』
0x4003_C000	0x4003_C8FF	APB2	可	クロック停止/ 低速 CR プリスケーラ	『Peripheral Clock Gating』 『Low-speed CR Prescaler』	『第 2-2 章』 『第 2-4 章』
0x4003_C900	0x4003_C9FF			スマートカードインタフェース	『Smart Card Interface』	通信マクロ編 『第 10 章』
0x4003_CA00	0x4003_CAFF			マルチファンクションシリアル MFS-I2S	『MFSI2S』	通信マクロ編 『第 1-6 章』
0x4003_CB00	0x4003_CFFF			予約	-	-

スタート アドレス	エンド アドレス	バス	CPU 以外の アクセス	ペリフェラル		レジスタ マップ	詳細
0x4003_D000	0x4003_D0FF	APB2	可	I2S プリスケーラ		『I2S_ Prescaler』	通信マクロ編 『第 7-1 章』
0x4003_D100	0x4003_DFFF			GDC プリスケーラ		『GDC_ Prescaler』	GDC 編
0x4003_E000	0x4003_EFFF			予約		-	-
0x4003_F000	0x4003_FFFF			外部バス I/F		『EXT-Bus I/F』	『第 14 章』
0x4004_0000	0x4004_FFFF	AHB	可	USB ch.0		『USB』	通信 マクロ編 『第 3-1 章』 『第 3-2 章』
0x4005_0000	0x4005_FFFF			USB ch.1		『USB』	
0x4006_0000	0x4006_0FFF			DMAC		『DMAC』	『第 10 章』
0x4006_1000	0x4006_1FFF			DSTC		『DSTC』	『第 11 章』
0x4006_2000	0x4006_2FFF			CAN ch.0		『CAN』	通信 マクロ編 『第 5-2 章』
0x4006_3000	0x4006_3FFF			CAN ch.1		『CAN』	
0x4006_4000	0x4006_5FFF			Ethernet MAC		『Ethernet-MAC』	-
0x4006_6000	0x4006_6FFF			Ethernet システム制御		『Ethernet-Control』	-
0x4006_7000	0x4006_BFFF			予約		-	-
0x4006_C000	0x4006_CFFF			I2S		『I2S』	通信マクロ編 『第 7-2 章』
0x4006_D000	0x4006_DFFF			予約		-	-
0x4006_E000	0x4006_EFFF			SD-Card I/F		『SD-Card IF』	『第 15 章』
0x4006_F000	0x4006_FFFF			GPIO		『GPIO』	『第 12 章』
0x4007_0000	0x4007_FFFF			CAN ch.2 (CAN-FD)		『CAN-FD』	通信マクロ編 『第 5-3 章』
0x4008_0000	0x4008_0FFF			Programmable-CRC		『Programmable-CRC』	『第 19 章』
0x4008_1000	0x41FF_FFFF			予約		-	-
0x200E_0000	0x200E_0FFF	AHB	可	Flash I/F レジスタ(Work)		『WorkFLASH_IF』	*2
0xD000_0000	0xD000_0FFF	AHB	可	High-Speed Quad-SPI *4		『High-Speed Quad-SPI』	通信マクロ編 『第 8 章』
0xB000_0000	0xD0A0_3FFF	AHB	可	GDC 部 *3	-	-	GDC 編
0xD0A0_4000	0xD0A0_4FFF				High-Speed Quad-SPI *4	『High-Speed Quad-SPI』	
0xD0A0_5000	0xD0A0_5FFF				HyperBus Interface	『HyperBus Interface』	
0xD0A0_6000	0xDFFF_FFFF				-	-	

*2: 「Flash I/F レジスタ(Work)」の詳細については、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。
*3: 「GDC 部」の詳細については、『GDC 編』参照してください。
*4: 製品 TYPE により搭載アドレスマップが異なりますので、「A. レジスタマップ」を参照してください。

2. Cortex-M4F の構成

本ファミリに搭載されているコアの構成について説明します。

本ファミリに搭載されている Cortex-M4F コアブロックの構成*は、以下になります。

- Cortex-M4 コア
- NVIC
- FPU
- DWT
- ITM
- FPB
- MPU
- ETM
- HTM
- SWJ-DP
- TPIU
- ETB
- ROM テーブル

*: 構成は製品により異なります。詳細は 2.1 オプション構成を参照してください。

Cortex-M4 コア

本ファミリは、高性能 32 ビットプロセッサコア(Arm 社製 Cortex-M4 コア)を搭載しています。
本ペリフェラルマニュアルでは Cortex-M4 コアの詳細については記載していません。
詳細については『Cortex-M4 テクニカルリファレンスマニュアル』を参照してください。

- Cortex-M4 コアのバージョンについて

  Cortex-M4 コアのバージョンについてはご使用される製品の『データシート』を参照してください。

NVIC(ネスト型ベクタ割込みコントローラ)

本ファミリは 1 個の NMI(ノンマスカブル割込み)と最大 128 個の周辺割込み(IRQ0～IRQ127)*1 が利用できます。
また、割込み優先度レジスタ(0xE000E400～)は 4 ビットで構成されており、16 の割込み優先度レベルを設定できます。

周辺割込みの詳細については、対象の『割込み』の章を、NMI の動作については、別章『外部割込み・NMI 制御部』もあわせて参照してください。

NMI 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。
NMI 機能を使用する場合は、ポートの設定にて NMI を許可してください。
詳細は別章『I/O ポート』を参照してください。

*1: 「Cortex-M4 テクニカルリファレンスマニュアル」では例外タイプ : IRQ を外部割込みと定義しています。
本ペリフェラルマニュアルでは、外部端子による割込み『外部割込み・NMI 制御部』と区別するため、例外タイプ : IRQ を周辺割込みと表現します。

- SysTick タイマ

  SysTick タイマは、NVIC に統合された、OS タスク管理用のシステムタイマです。
  本ファミリでは、STCLK を HCLK の 8 分周で生成し、SysTick 較正レジスタ (アドレス: 0xE000E01C)の値を以下のように設定しています。
  Bit31: NOREF = 0
  bit30: SKEW = 1
  bit23:0: TENMS = 0x0186A0 (100000)*1

*1: TENMS の値については、HCLK の 1/8 クロックを STCLK に入力し HCLK が 80 MHz 時 (1/8 で 10 MHz)に 10 ms となる値に設定しています。
HCLK はクロック制御部にてほかの周波数に変更可能ですが、TENMS の値が必ず 10 ms を示すわけではありません。よって HCLK の周波数にあわせて適切な割込みタイミングの計算をしてください。

FPU(浮動小数点ユニット)

本ファミリでは、Cortex-M4 のオプションコンポーネントである、FPU を搭載しています。
FPU は以下の特長があります。

- IEEE754 標準規格準拠
- 単精度浮動小数点ユニット
- 高精度の Fused MAC 演算

DWT(データウォッチポイント&トレースユニット)

本ファミリでは、デバッグ機能として DWT を搭載しています。
DWT は 4 つのコンパレータを持ち、各コンパレータをハードウェア・ウォッチポイントに設定できます。

ITM(計装トレース マクロセル)

本ファミリでは、デバッグ機能として ITM を搭載しています。
ITM は printf 形式のデバッグをサポートする、オプションのアプリケーション駆動型トレースソースです。オペレーティングシステム(OS)およびアプリケーションのイベントをトレースして、システム診断情報を送信します。

FPB(フラッシュパッチ&ブレークポイント)

FPB は以下の機能があります。

- ハードウェアブレークポイント機能
- コードメモリ空間(FLASH)から SRAM 空間へのリマップ機能

FPB は 6 つの命令コンパレータと 2 つのリテラルコンパレータを備えています。

MPU(メモリ保護ユニット)

本ファミリでは、Cortex-M4 のオプションコンポーネントである、MPU を搭載しています。最大 8 領域まで定義できます。

ETM(エンベデッド トレース マクロセル)

本ファミリでは、Cortex-M4 のオプションコンポーネントである、ETM を搭載しており、命令トレースをサポートします。

HTM(AMB AHB トレース マクロセル)
本ファミリでは、Cortex-M4 のオプションコンポートネントである、HTM を搭載しており、AHB トレースをサポートします。

SWJ-DP
本ファミリでは、SWJ-DP を搭載しシリアルワイヤープロトコルと、JTAG プロトコルの両方をサポートします。

TPIU(トレースポート インタフェース ユニット)
ETM/ITM トレース情報を TPIU を経由して出力します。

ETB(エンベデッド トレースバッファ)
ETM/HTM トレース情報を格納する 2KB の RAM を搭載しています。

ROM テーブル
ROM テーブルは、外部のデバッグツールにデバッグコンポーネントのアドレス情報を提供します。

2.1 オプション構成

に本ファミリの Cortex-M4 コアのオプション構成を示します。
項目の詳細は、『Cortex-M4 テクニカルリファレンスマニュアル』を参照してください。

Table 2-1 オプション構成

項目	TYPE1-M4 TYPE6-M4	TYPE2-M4	TYPE3-M4 TYPE5-M4	TYPE4-M4
MPU	あり	あり	あり	あり
FPB	あり	あり	あり	あり
DWT	あり	あり	あり	あり
ITM	あり	あり	あり	あり
ETM	あり*	なし	あり	あり
AHB-AP	あり	あり	あり	あり
HTM, ETB	なし	なし	あり	なし
TPIU	あり	なし	あり	あり
WIC	なし	なし	なし	なし
Debug Port AHB-AP interface	SWJ-DP	SWJ-DP	SWJ-DP	SWJ-DP
FPU	あり	あり	あり	あり
ビットバンド	あり	あり	あり	あり
ROM テーブル	あり	あり	あり	あり
割込み数	128	128	128	128
割込み優先度レベル数	16	16	16	16
データエンディアン	リトル エンディアン	リトル エンディアン	リトル エンディアン	リトル エンディアン
ウォッチポイント数	4	4	4	4
ブレークポイント数	命令: 6 リテラル: 2	命令: 6 リテラル: 2	命令: 6 リテラル: 2	命令: 6 リテラル: 2
全レジスタのリセット	あり	あり	あり	あり

*: いくつかの製品はこの機能がありません。詳細はご使用する製品の『データシート』のブロックダイアグラムを参照してください。

3. モード

動作モードの機能について説明します。
本ファミリは、以下の動作モードを使用できます。

- ユーザモード
  内部 ROM(Flash)起動 : CPU はリセットベクタを内蔵されているフラッシュメモリから取得し、動作を開始します。
- シリアルライタモード
  内蔵されているフラッシュメモリに、シリアル書込みが可能になります。
  *: 本モードの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

動作モードは、電源投入リセット, 低電圧検出リセット, INITX 端子入力リセットの解除後に決定されます。

*: 消費電力制御モードやクロック選択モードについては別章『低消費電力モード』および『クロック』を参照してください。

動作モード設定方法

動作モードは、MD 端子(MD1, MD0)入力により設定します。

MD 端子		動作モード
MD1	MD0	
-	0	ユーザモード 内部 ROM(Flash)起動
0	1	シリアルライタモード
1	1	設定禁止

起動シーケンス

起動シーケンスにおける動作モードを決定するプロセスを以下に示します。

1. MD 端子のサンプリング
2. 動作モードの決定とモードデータの保持

以下に、これらのプロセスを説明します。

1. MD 端子のサンプリング
   動作モードは、MD 端子入力(MD1, MD0)により設定されます。これらを電源投入リセット,低電圧検出リセット, INITX 端子入力リセットによりサンプリングします。
   サンプリング要因である各リセットが解除されるまでは、MD1, MD0 端子入力を確定してください。

1. 動作モードの決定とモードデータの保持
   各リセットによってサンプリングされた MD1, MD0 は、再び各リセットが入力されるまで保持されます。
   保持された MD1, MD0 から動作モードを決定します。よって、リセット解除後に MD1, MD0 が変化しても、動作モードに影響しません。

MD1 端子について

MD1 端子は GPIO と兼用しています。モード確定後は GPIO として使用できます。

CHAPTER 2-1: クロック

動作クロックについて説明します。

1. クロック生成部 概要
2. クロック生成部 構成・ブロックダイヤグラム
3. クロック生成部 動作説明
4. クロック設定手順例
5. クロック生成部 レジスタ一覧
6. クロック生成部 使用上の注意点

1. クロック生成部 概要

クロック生成部の概要を説明します。
クロック生成部は MCU を動作させるための様々なクロックを生成します。
ソースクロックとは、本 MCU の外部/内蔵発振クロックの総称です。
以下に示す 5 種類のクロックです。

- メインクロック(CLKMO)
- サブクロック(CLKSO)
- 高速 CR クロック(CLKHC)
- 低速 CR クロック(CLKLC)
- メイン PLL クロック(CLKPLL)

ソースクロックから 1 つを選択してください。本章では、選択されたクロックをマスタクロックとよびます。本 MCU を動作させるために使用する、内部バスクロックの生成元になるクロックです。
マスタクロックを分周することにより、ベースクロックが生成されます。また、ベースクロックを分周することにより、各バスクロックが生成されます。
本章では、ベースクロックおよび各バスクロックを内部バスクロックとよびます。内部バスクロックは、以下に示す 5 種類のクロックです。

- ベースクロック(FCLK/HCLK)
- APB0 バスクロック(PCLK0)
- APB1 バスクロック(PCLK1)
- APB2 バスクロック(PCLK2)
- TRACE クロック(TPIUCLK)

ソースクロック, マスタクロック, 内部バスクロック以外のクロックとして、以下のクロックがあります。

- USB クロック
- USB/Ethernet クロック
- CAN プリスケーラクロック
- I^2S クロック
- GDC クロック
- ソフトウェアウォッチドッグタイマカウントクロック

クロック生成部の特長を以下に示します。

- メインクロック(CLKMO)の発振安定待ち時間を設定できます。
- メインクロック(CLKMO)の発振安定待ち時間完了割込みを設定できます。
- サブクロック(CLKSO)の発振安定待ち時間を設定できます。
- サブクロック(CLKSO)の発振安定待ち時間完了割込みを設定できます。
- メイン PLL クロック(CLKPLL)の発振安定待ち時間を設定できます。
- メイン PLL クロック(CLKPLL)の発振安定待ち時間完了割込みを設定できます。
- PLL 逓倍率を設定できます。
- マスタクロックを選択できます。
- 各内部バスクロックの分周比を設定できます。
- APB1 バスクロック, APB2 バスクロックの動作/停止を選択できます。
- ソフトウェアウォッチドッグタイマのカウントクロック分周比を設定できます。
- ソフトウェアウォッチドッグタイマのカウントクロックの動作/停止を設定できます。
- デバッグ時のウォッチドッグタイマのカウント動作を設定できます。
- クロック関連の割込みイネーブル, 割込みステータス確認, 割込み要因クリアの各レジスタを持ちます。
- クロックギア機能が使用できます。(TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品)

2. クロック生成部 構成・ブロックダイヤグラム

クロック生成部の構成を説明します。

ソースクロック

ソースクロックとは本 MCU の外部/内蔵発振クロックの総称です。以下に示す 5 種類があります。

■ メインクロック(CLKMO)

CLKMO は、メインクロック発振端子(X0, X1)に水晶振動子などを接続して生成させるか、外部クロックを入力したクロックです。

■ サブクロック(CLKSO)

CLKSO は、サブクロック発振端子(X0A, X1A)に水晶振動子などを接続して生成させるか、外部クロックを入力したクロックです。

■ 高速 CR クロック(CLKHC)

CLKHC は、内蔵高速 CR 発振器の出力クロックです。

■ 低速 CR クロック(CLKLC)

CLKLC は、内蔵低速 CR 発振器の出力クロックです。

＜注意事項＞

- *低速 CR クロックはプリスケーラ後のクロックになります。*
  低速 CR クロックプリスケーラの詳細については『低速 CR クロックプリスケーラ』を参照してください。

■ メイン PLL クロック(CLKPLL)

メインクロックまたは高速 CR クロックを PLL クロック逓倍回路(PLL 発振回路)によって逓倍したクロックです。

マスタクロック

ソースクロックから選択された信号をマスタクロックとよびます。
マスタクロックは、すべてのバスクロックの元になるクロックです。

＜注意事項＞

- *下記のクロックをマスタクロックに使用する場合は『APPENDIX B 注意事項一覧』の『1. 高速 CR をマスタクロックに使用する場合の注意事項』を参照してください。*

  1. *高速 CR クロック*
  2. *メイン PLL クロック(PLL の入力クロックに高速 CR クロックを選択した場合)*
  3. *マスタクロックの値は『データシート』の「交流規格」の「内部動作クロック周波数:Fcc (ベースクロック(HCLK/FCLK))」の最大値を超えないでください。*

内部バスクロック

以下の信号は内部生成されたバスクロックです。

■ ベースクロック(HCLK/FCLK)

HCLK/FCLK を合わせてベースクロックとよびます。HCLK/FCLK 両方が CPU に供給されます。HCLK は AHB バスに接続されているマクロ用のクロックです。
マスタクロックの 1～16 分周を設定できます。
ベースクロック(HCLK/FCLK)は、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
また、CPU はスリープモード時に HCLK のみ供給を停止します。FCLK は供給し続けます。

■ APB0 バスクロック(PCLK0)

PCLK0 は、APB0 バスに接続された周辺マクロ用クロックです。
ベースクロックの 1～8 分周を設定できます。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。

■ APB1 バスクロック(PCLK1)

PCLK1 は、APB1 バスに接続された周辺マクロ用クロックです。
ベースクロックの 1～8 分周を設定できます。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
また、レジスタでクロック供給を停止することも可能です。

■ APB2 バスクロック(PCLK2)

PCLK2 は、APB2 バスに接続された周辺マクロ用クロックです。
ベースクロックの 1～8 分周を設定できます。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
また、レジスタでクロック供給を停止することも可能です。

■ TPIU クロック(TPIUCLK)

TRACE 用クロックです。
ベースクロックの 1～8 分周を設定できます。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
このクロック出力は、ETM 搭載製品にのみ有効です。

ソースクロック，内部バスクロック以外のクロック

■ USB クロック

USB が通信で使用する 48MHz のクロックを生成します。
USB 用 PLL 発振器を設定し、USB クロックを生成します。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
また、このクロックは、マスタクロックの周波数によらず、独立して設定可能です。

USB クロックの動作設定は、『通信マクロ編』の『USB クロック生成』を参照してください。

■ USB/Ethernet クロック

USB が通信で使用する 48MHz のクロックを生成します。
また、Ethernet 用のクロックも生成します。
USB/Ethernet 用 PLL 発振器を設定し、USB/Ethernet クロックを生成します。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
また、このクロックは、マスタクロックの周波数によらず、独立して設定可能です。

USB/Ethernet 用 PLL の動作設定は、『通信マクロ編』の『USB/Ethernet クロック生成部』を参照してください。

■ CAN プリスケーラクロック

CAN プリスケーラ用のクロックです。このクロックは CLKPLL と同じです。
使用する周波数の分周設定は、プリスケーラ側で行ってください。
このクロックは、RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。

CAN プリスケーラの動作設定は、『通信マクロ編』の『CAN プリスケーラ』を参照してください。

■ I^2S クロック

I^2S が通信で使用するクロックを生成します。
I^2S 用 PLL 発振器を設定し、I^2S クロックを生成します。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
また、このクロックは、マスタクロックの周波数によらず、独立して設定可能です。

I^2S クロックの動作設定は、『通信マクロ編』の『I^2S クロック生成』を参照してください。

■ GDC クロック

GDC 部で使用するクロックを生成します。
GDC 用 PLL 発振器を設定し、GDC クロックを生成します。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。
また、このクロックは、マスタクロックの周波数によらず、独立して設定可能です。

GDC クロックの動作設定は、『GDC 編』の『GDC クロック生成』を参照してください。

■ ソフトウェアウォッチドッグタイマ カウントクロック(SWDOGCLK)

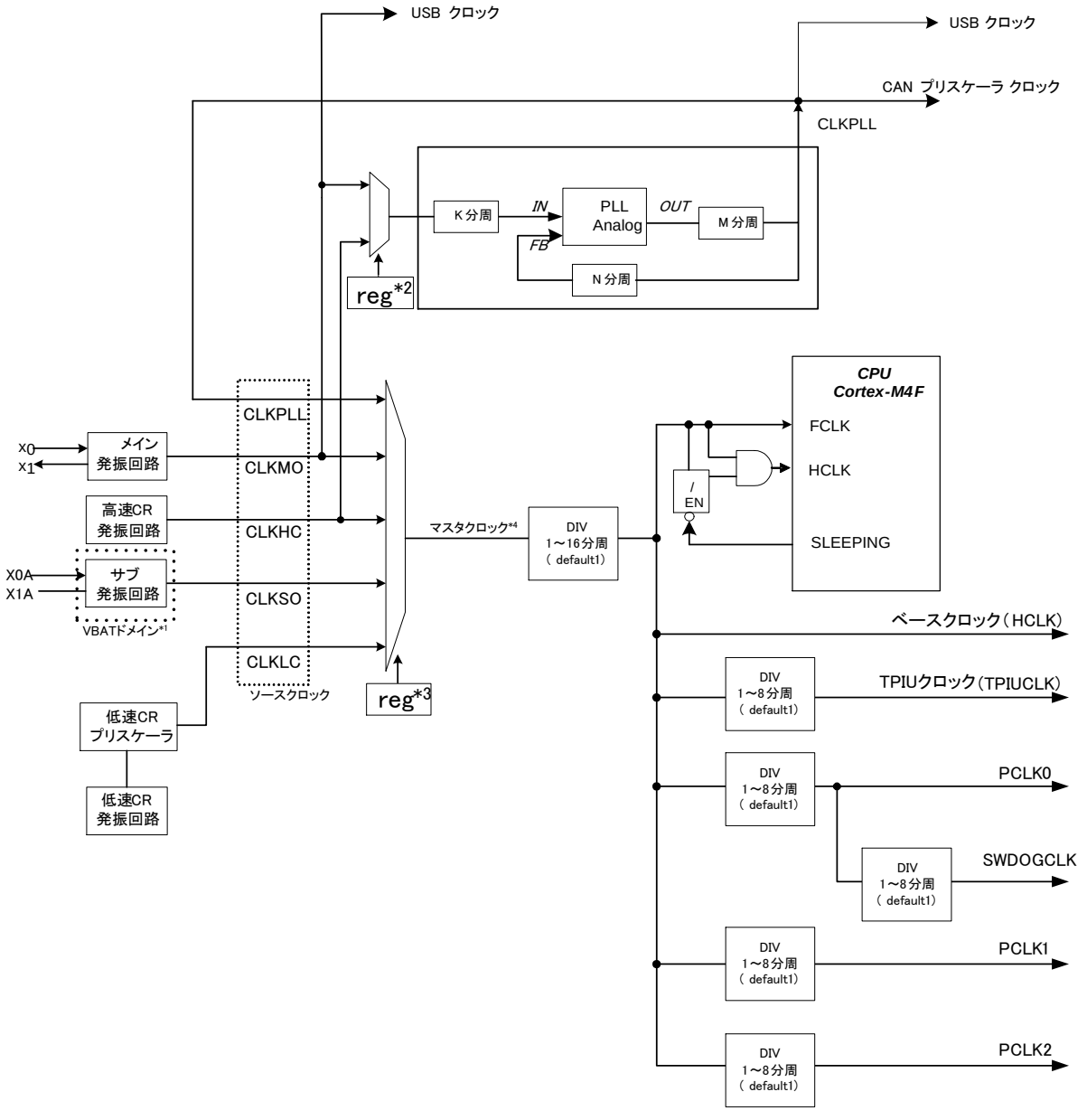
SWDOGCLK は、APB0 バスに接続されたソフトウェアウォッチドッグタイマ用クロックです。
APB0 バスクロックの 1～8 分周を設定できます。
このクロックは、タイマモードおよび RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードで停止します。

ソフトウェアウォッチドッグタイマの動作設定は、『タイマ編』の『ウォッチドッグタイマ』を参照してください。

ブロックダイヤグラム

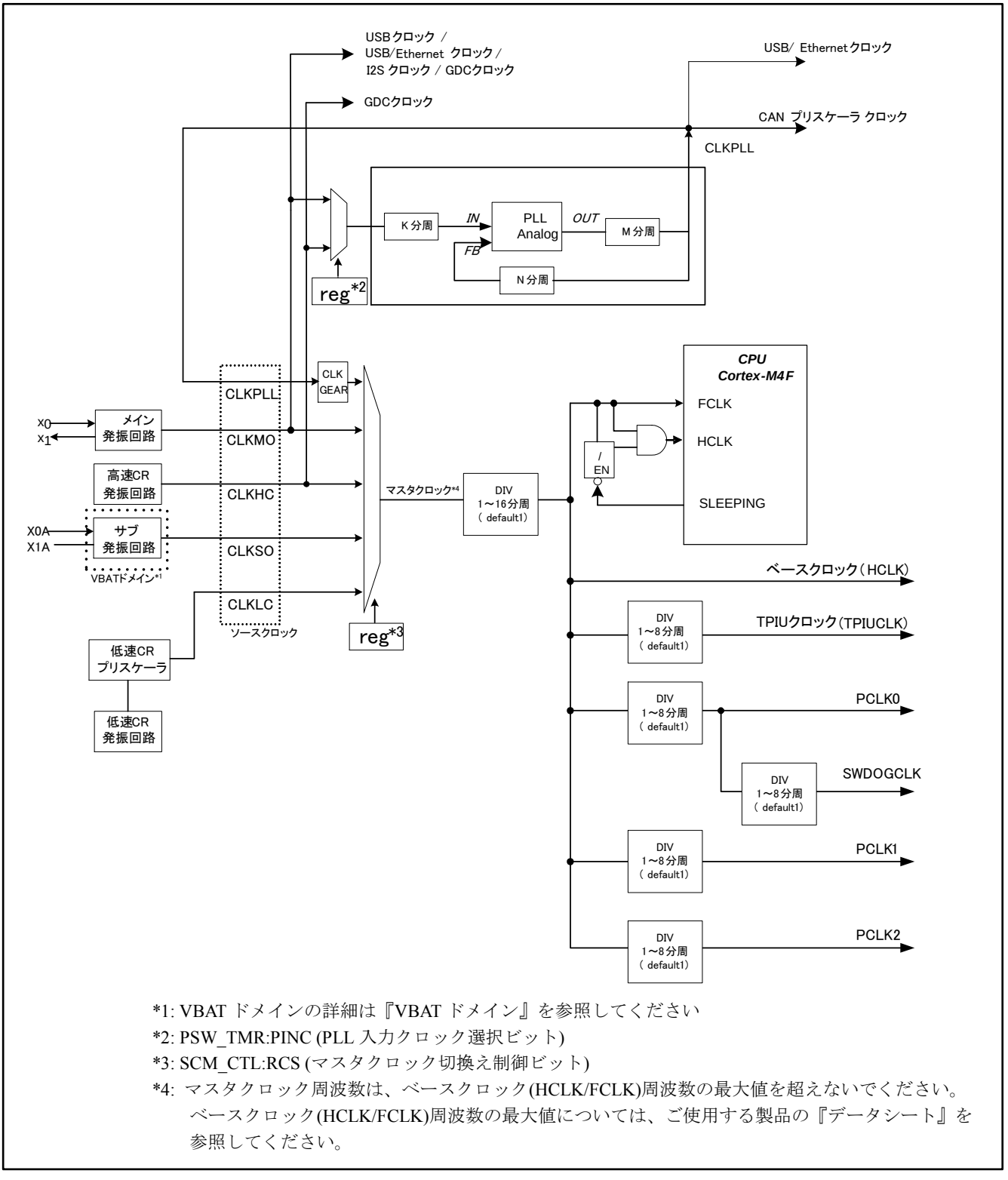
Figure 2-1, Figure 2-2 にクロック生成部のブロックダイヤグラムを示します。

Figure 2-1 クロック生成部 ブロックダイヤグラム(TYPE1-M4, TYPE2-M4)



*1: VBAT ドメインの詳細は『VBAT ドメイン』を参照してください
*2: PSW_TMR:PINC (PLL 入力クロック選択ビット)
*3: SCM_CTL:RCS (マスタクロック切換え制御ビット)
*4: マスタクロック周波数は、ベースクロック(HCLK/FCLK)周波数の最大値を超えないでください。ベースクロック(HCLK/FCLK)周波数の最大値については、ご使用する製品の『データシート』を参照してください。

Figure 2-2 クロック生成部 ブロックダイヤグラム(TYPE3-M4, TYPE4-M4, TYPE5,M4, TYPE6-M4)



*1: VBAT ドメインの詳細は『VBAT ドメイン』を参照してください
*2: PSW_TMR:PINC (PLL 入力クロック選択ビット)
*3: SCM_CTL:RCS (マスタクロック切換え制御ビット)
*4: マスタクロック周波数は、ベースクロック(HCLK/FCLK)周波数の最大値を超えないでください。ベースクロック(HCLK/FCLK)周波数の最大値については、ご使用する製品の『データシート』を参照してください。

3. クロック生成部 動作説明

クロック生成部について説明します。

3.1 クロックモード選択

クロックモード定義(マスタクロック選択)

MCU のクロックモードはシステムクロックモード制御レジスタで選択されたソースクロックで定義されます。つまり、クロックモードはマスタクロック(CPU を動作させるバスクロックと大部分の周辺機能を動作させるクロック)にどのソースクロックを選択するかで決まります。クロックモードには、メインクロックモード, サブクロックモード, 高速 CR クロックモード, 低速 CR クロックモード, メイン PLL クロックモードの 5 種類があります。

■ メインクロックモード

メインクロックモードでは、メインクロック(CLKMO)がマスタクロックとして使用されます。

メイン PLL クロック(CLKPLL)はシステムクロックモード制御レジスタ(SCM_CTL)の PLLE ビットの設定によって、サブクロック(CLKSO)はシステムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビットの設定によって、状態を決定できます。高速 CR クロック(CLKHC), 低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

■ サブクロックモード

サブクロックモードでは、サブクロック(CLKSO)がマスタクロックとして使用されます。

メインクロック(CLKMO), 高速 CR クロック(CLKHC), メイン PLL クロック(CLKPLL)はハードウェアで停止します。低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

■ 高速 CR クロックモード

高速 CR クロックモードでは、高速 CR クロック(CLKHC)がマスタクロックとして使用されます。

メインクロック(CLKMO), メイン PLL クロック(CLKPLL), サブクロック(CLKSO)は、システムクロックモード制御レジスタ(SCM_CTL)の MOSCE, PLLE, SOSCE ビットの設定によって状態を決定できます。高速 CR クロック(CLKHC), 低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

■ 低速 CR クロックモード

低速 CR クロックモードでは、低速 CR クロック(CLKLC)がマスタクロックとして使用されます。

また、低速 CR クロックモード時、メインクロック(CLKMO), 高速 CR クロック(CLKHC), メイン PLL ク
ロック(CLKPLL)はハードウェアで停止します。サブクロック(CLKSO)は、システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビットの設定によって状態を決定できます。

■ メイン PLL クロックモード

メイン PLL クロックモードでは、メイン PLL クロック(CLKPLL)がマスタクロックとして使用されます。

サブクロック(CLKSO)は、システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビットの設定によって状態を決定できます。高速 CR クロック(CLKHC), 低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

3.2 内部バスクロック分周制御

内部バスクロック分周について説明します。
内部バスクロックは、それぞれ独立してベースクロックからの分周比を設定できます。
この機能により、各回路に最適な動作周波数を設定できます。
内部バスクロック周波数の最大値については、製品ごとに異なります。詳細はご使用する製品の『データシート』を参照してください。
内部バスクロックの分周比は、ベースクロックプリスケーラレジスタ(BSC_PSR), APB0 プリスケーラレジスタ(APBC0_PSR), APB1 プリスケーラレジスタ(APBC1_PSR), APB2 プリスケーラレジスタ(APBC2_PSR), トレースクロック プリスケーラレジスタ(TTC_PSR)にて設定します。各レジスタの詳細は「5. クロック生成部 レジスタ一覧」を参照してください。

バスクロック分周設定

- 分周設定比はソフトウェアリセットではクリアされず、ソフトウェアリセット発生前の設定が保持されています。
- ソフトウェアリセット以外のリセット発生によって初期化されます。
  初期状態からマスタクロックを、より高速なソースクロックに変更する前に、必ず分周比を設定してください。
- マスタクロックの選択, PLL の逓倍率の設定, 分周比の設定の組合せで、各内部バスの最大動作周波数を超える設定をした場合、動作は保証されません。

3.3 PLL クロック制御

PLL クロック制御を説明します。
PLL クロック制御回路は、メインクロックまたは高速 CR からのメイン PLL クロック生成に使用されます。PLL 発振回路について、動作(発振)許可・禁止, 入力クロック選択, 安定待ち時間設定および逓倍設定が可能です。

PLL 動作説明

以下に、メイン PLL クロック動作について説明します。

- PLL クロック発振安定待ち時間設定レジスタ(PSW_TMR)により、以下の設定を行います。
  - PLL の入力クロック選択
  - メイン PLL クロックの安定待ち時間の設定
- システムクロックモード制御レジスタ(SCM_CTL)の PLL 発振許可ビット(PLLE)を"1"にセットすることで、PLL 回路が発振を開始します。
- PLL クロック安定待ち時間経過後、システムクロックモード状態レジスタ(SCM_STR)の「PLL 発振安定ビット」が安定状態を示すことでメイン PLL クロックモードへの遷移準備が完了します。
- システムクロックモード制御レジスタ(SCM_CTL)のマスタクロック切換え制御ビット(RCS[2:0])をメイン PLL クロックモード(RCS[2:0]=010)に設定することで、メイン PLL クロックモードへと遷移します。

メイン PLL クロックの発振安定待ち時間の設定

「5.10 PLL クロック安定待ち時間設定レジスタ(PSW_TMR)」を参照してください。

<注意事項>

- *PLL クロック制御回路のブロックダイヤグラムは「2 クロック生成部 構成・ブロックダイヤグラム」を参照してください。*
- *各内部バスクロックの分周設定手順については、「4 クロック設定手順例」を参照してください。*
- *発振安定待ち時間については「3.4 発振安定待ち時間」を参照してください。*
- *PLL の入力クロックに高速 CR を選択する場合は『Appendixes』の『B. 注意事項一覧』の『1. 高速 CR をマスタクロックに使用する場合の注意事項』を参照してください。*

メイン PLL クロック生成のための逓倍率設定

PLL 制御レジスタ 1(PLL_CTL1)および PLL 制御レジスタ 2(PLL_CTL2)にて、PLL 逓倍回路における各分周クロックです。Table 3-1 に分周設定例を示します。

Table 3-1 PLL 逓倍率設定例

入力クロック	K	PLLin	N	PLLout	M	CLKPLL
4 MHz	1	4 MHz	20	320 MHz	4	80 MHz
4 MHz	1	4 MHz	30	240 MHz	2	120 MHz
4 MHz	1	4 MHz	40	320 MHz	2	160 MHz
4 MHz	1	4 MHz	50	400 MHz	2	200 MHz
5 MHz	1	5 MHz	24	240 MHz	2	120 MHz
5 MHz	1	5 MHz	30	300 MHz	2	150 MHz
5 MHz	1	5 MHz	32	320 MHz	2	160 MHz
5 MHz	1	5 MHz	40	400 MHz	2	200 MHz
6 MHz	1	6 MHz	20	240 MHz	2	120 MHz
6 MHz	1	6 MHz	25	300 MHz	2	150 MHz
6 MHz	1	6 MHz	30	360 MHz	2	180 MHz
8 MHz	1	8 MHz	20	320 MHz	2	160 MHz
8 MHz	1	8 MHz	25	400 MHz	2	200 MHz
10 MHz	1	10 MHz	8	320 MHz	4	80 MHz
10 MHz	1	10 MHz	16	320 MHz	2	160 MHz
10 MHz	1	10 MHz	15	300 MHz	2	150 MHz
10 MHz	1	10 MHz	20	400 MHz	2	200 MHz
12 MHz	1	12 MHz	10	240 MHz	2	120 MHz
12 MHz	1	12 MHz	12	288 MHz	2	144 MHz
12 MHz	1	12 MHz	15	360 MHz	2	180 MHz
15 MHz	1	15 MHz	10	300 MHz	2	150 MHz
15 MHz	1	15 MHz	12	360 MHz	2	180 MHz
16 MHz	1	16 MHz	10	320 MHz	2	160 MHz
16 MHz	2	8 MHz	25	400 MHz	2	200 MHz
19.2 MHz	2	9.6 MHz	15	288 MHz	2	144 MHz
19.2 MHz	2	9.6 MHz	20	384 MHz	2	192 MHz
20 MHz	2	10 MHz	10	200 MHz	2	100 MHz
20 MHz	2	10 MHz	20	400 MHz	2	200 MHz
30 MHz	2	15 MHz	10	300 MHz	2	150 MHz
30 MHz	2	15 MHz	12	360 MHz	2	180 MHz
40 MHz	4	10 MHz	15	300 MHz	2	150 MHz
40 MHz	4	10 MHz	20	400 MHz	2	200 MHz
48 MHz	3	16 MHz	10	320 MHz	2	160 MHz
48 MHz	4	12 MHz	12	288 MHz	2	144 MHz
48 MHz	6	8 MHz	25	400 MHz	2	200 MHz

<注意事項>

- *PLL の特性はご使用する製品の『データシート』を参照してください。*
- *本設定例は例です。本設定例以外の組み合わせも可能です。ただし、以下の注意事項を守るようにしてください。*

- *PLLin は『データシート』の「PLL 入力クロック周波数 : f_{PLLI}」の範囲内にしてください。*
- *「M ×N」の値が PLLin に対する逓倍率になります。この値が『データシート』の「PLL 逓倍率」の範囲内にしてください。*
- *PLLin が「M ×N」逓倍された周波数が PLLout になります。この値が『データシート』の「PLL マクロ発振クロック周波数 : f_{PLLO}」の範囲内にしてください。*
- *PLLout が「M」分周された値が CLKPLL になります。*
- *PLL と分周器の構成は Figure 2-1 を参照してください。*
- *マスタクロックの値は『データシート』の「交流規格」の「内部動作クロック周波数:Fcc(ベースクロック(HCLK/FCLK))」の最大値を超えないでください。*

3.4 発振安定待ち時間

発振安定待ち時間を説明します。

ソースクロックが安定動作状態になるまで、発振安定待ち時間が必要です。発振安定待ち時間中は、内部および外部のクロック供給は停止し、内蔵タイムカウンタのみが動作して、クロック安定待ち時間レジスタ(CSW_TMR)または PLL クロック発振安定待ち時間設定レジスタ(PSW_TMR)にて設定された安定待ち時間の経過を待ちます。発振安定待ち時間が経過すると、対応する発振器の準備は完了し、クロックをマスタクロックとして使用できます。

発振安定待ち時間の設定

- メインクロック(CLKMO)
  クロック安定待ち時間レジスタ(CSW_TMR)にて、メインクロックの安定待ち時間を設定してください。設定した安定待ち時間は CLKHC にてカウントされます。
- サブクロック(CLKSO)
  クロック安定待ち時間レジスタ(CSW_TMR)にて、サブクロックの安定待ち時間を設定してください。設定した安定待ち時間は CLKLC にてカウントされます。
- メイン PLL クロック
  PLL クロック発振安定待ち時間設定レジスタ(PSW_TMR)により、以下の設定をしてください。設定した安定待ち時間は CLKHC にてカウントされます。
- PLL の入力クロック選択
- メイン PLL クロックの安定待ち時間の設定

発振安定待ち発生要因

- ソフトウェアでの発振許可後
  システムクロックモード制御レジスタ(SCM_CTL)の PLL 発振許可ビット(PLLE), サブクロック発振許可ビット(SOSCE), メインクロック発振許可ビット(MOSCE)を"1"に設定することで、各発振器は発振安定待ち時間を待ちます。
- RTC モードからの時計カウンタ割込み, RTC 割込み, 外部割込み復帰時
  時計カウンタ割込み, RTC 割込み, 外部割込みにて RTC モード前のクロックモードに復帰します。RTC モード時はサブクロック以外のソースクロックが停止しているため、サブクロック以外はハードウェアが自動で発振安定待ち時間を待ちます。
- ストップモードからの外部割込み復帰時
  外部割込みにてストップモード前のクロックモードに復帰します。ストップモード時はすべてのソースクロックが停止しているため、ハードウェアが自動で発振安定待ち時間を待ちます。
- PLL 動作許可後
  PLL 動作許可後、PLL 発振安定待ち時間を待ちます。

<注意事項>

- *各発振安定待ち時間の設定値変更は、クロック許可前に行ってください。*
- *ソフトウェアリセット後はソースクロックの発振安定待ち時間を取りません。*
- *メインクロック/メイン PLL クロック 安定待ち時間は高速 CR クロック（CLKHC)基準で安定待ち時間をカウントし、設定した発振安定待ち時間に達すると発振安定待ち完了フラグが"0"→"1"になります。サブクロック発振安定待ち時間は低速 CR クロック（CLKLC)基準で安定待ち時間をカウントし、設定した発振安定待ち時間に達すると発振安定待ち完了フラグが"0"→"1"になります。そのため、発振安定待ち時間の設定が短すぎる場合、発振器の発振安定前に、発振安定待ち時間が完了してしまうことがあります。*
- *メインクロック発振器とサブクロック発振器の安定待ち時間は、発振子の種類(水晶, セラミックなど)によって異なるため、使用する発振子に対して適切な発振安定待ち時間を選択してください。*
- *PLL 発振安定待ち時間はご使用する製品の『データシート』の「電気的特性 : PLL クロック」の LOCKUP 時間を参照の上、設定してください。*

3.5 割込み要因

クロック関係の割込み要因について説明します。

クロック生成部は以下の割込み要因を持ちます。

割込み要因

クロック生成部は以下の 4 種類の割込み要因があります。

- FCS(異常周波数検出)割込み

  FCS(異常周波数検出)機能を有効にし、メインクロックの異常周波数を検出した際に割込みが発生します。

- メイン PLL クロック発振安定待ち完了割込み

  メイン PLL クロック発振安定待ち完了により、割込みが発生します。

- サブクロック発振安定待ち完了割込み

  サブクロック発振安定待ち完了により、割込みが発生します。

- メインクロック発振安定待ち完了割込み

  メインクロック発振安定待ち完了により、割込みが発生します。

レジスタ

各割込み要因について以下の 3 種類のレジスタがあります。

- 割込みイネーブルレジスタ (INT_ENR)

  各割込みのイネーブル設定を行います。

- 割込み状態レジスタ (INT_STR)

  各割込みの状態を示します。このレジスタはリードオンリです。

- 割込み要因クリアレジスタ (INT_CLR)

  各割込み要因のクリアを行います。このレジスタはライトオンリです。

3.6 クロックギア機能

クロックギア機能は、TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品に搭載されています。
メインクロックからメイン PLL クロックへの切り替え、またメイン PLL クロックからメインクロックへの切り替えのような急激な周波数の変動によって電源電流の大きな変動が発生します。
クロックギア機能を利用することにより、低周波から高周波、また高周波から低周波へ徐々にシフトさせて、電源電流の変動を抑えることができます。

クロックギア制御

ギアクロックはクロックギア回路から出力されます。ギアクロックの波形を Figure 3-1 に示す。
ギアクロックの周波数はメイン PLL クロックの STEP 毎に徐々に変更されます。
ステップ幅設定(PLLCG_CTL.PLLCGSTP[1:0])が小さく、ステップループ設定(PLLCG_CTL.PLLCGLP[7:0])が大きいほどギアクロック出力の周波数はゆっくりと変化していきます。
メイン PLL クロックの 64 クロックを 1 ループとして、以下の制御がギアクロックとして設定できます。

- スタートステップ設定 (PLLCG_CTL.PLLCGSSN[6:0])

  ギア開始時のギアクロック出力のステップ設定です。0～63 まで設定可能です。
  たとえば、"0"に設定時、 STEP0 のクロックがギア開始時のギアクロックになります。

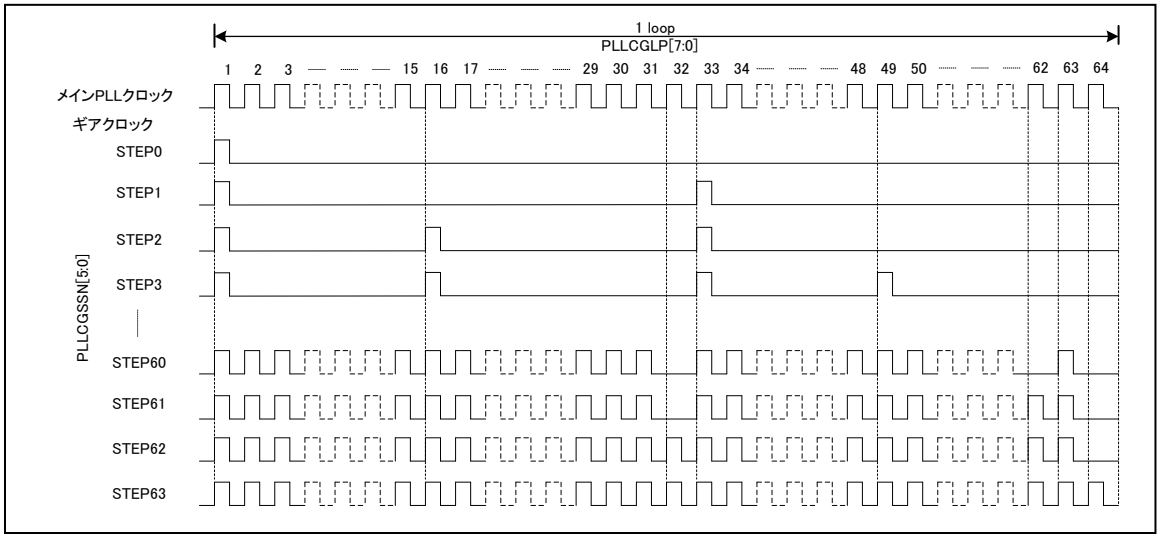
- ステップループ設定 (PLLCG_CTL.PLLCGLP[7:0])

  ギアアップ/ギアダウン時のそれぞれのステップでのループ数の設定です。1～256 まで設定可能です。
  たとえば、"1"に設定時、各ステップにて 2 ループして次のステップに変わります。

- ステップ幅設定 (PLLCG_CTL.PLLCGSTP[1:0])

  ギアアップ/ギアダウン時のステップ幅の設定です。1～4 まで設定可能です。
  たとえば、"0"に設定時、ギアアップでは STEP0→STEP1→STEP2 とステップ幅"1"でアップしていきます。

Figure 3-1 クロックギア設定とギアクロック出力



ギアアップ手順

ギアアップ手順を説明します。

1. ステップループ設定(PLLCG_CTL.PLLCGLP[7:0])、ステップ幅設定(PLLCG_CTL.PLLCGSTP[1:0])、スタートステップ設定(PLLCG_CTL.PLLCGSSN[6:0])に使用するギアのステップを設定する。
   また、クロックギア許可(PLLCG_CTL.PLLCGEN)を許可("1")に設定する。
2. PLL 発振許可ビットを許可("1")に設定する。
3. 発振安定待ち時間の完了後、スタートステップ設定(PLLCG_CTL.PLLCGSSN[6:0])で選択されたステップクロックが出力されます。
4. マスタクロックとしてメイン PLL クロックを選択する。
5. クロックギア開始ビット(PLLCG_CTL.PLLCGSTR)を "1" に設定する。
   ギアアップが開始されて、クロックギアステータス(PLLCG_CTL.PLLCGSTS[1:0])は "00"から"01"に変わります。
6. この間、PLLCG_CTL.PLLCGSTR[1:0]の値が"10"になるまでポーリングしてください。
7. クロックが最高ステップに到達したとき、PLLCG_CTL.PLLCGSTS[1:0]は "01" から"10"に変わります。
   また、ギアアップは停止して、マスタクロックとしてメイン PLL クロックの周波数が出力されます。
   このとき、PLLCG_CTL.CGSTR はハードウェアで "0" にクリアされます。

<注意事項>

- *ギアアップ動作中は、PLLCG_CTL.PLLCGSTR[1:0]の値をポーリングして、最高周波数でクロックギア動作停止("10")になるまで待つようにしてください。*

ギアダウン手順

ギアダウン手順を説明します。

1. クロックギア開始ビット(PLLCG_CTL.PLLCGSTR)を "1" に設定する。
   ギアダウンが開始されて、クロックギアステータス(PLLCG_CTL.PLLCGSTS[1:0])は "10"から"11"に変わります。
   ステップループ設定(PLLCG_CTL.PLLCGLP[7:0])、ステップ幅設定(PLLCG_CTL.PLLCGSTP[1:0])、スタートステップ設定(PLLCG_CTL.PLLCGSSN[6:0])はギアアップ時に設定した値になります。
2. この間、PLLCG_CTL.PLLCGSTR[1:0]の値が"00"になるまでポーリングしてください。
3. クロックが最低ステップに到達したとき、PLLCG_CTL.PLLCGSTS[1:0]は "11" から"00"に変わります。
   また、ギアダウンは停止して、マスタクロックとしてスタートステップ設定(PLLCG_CTL.PLLCGSSN[6:0])で選択されたステップクロックの周波数が出力されます。
   このとき、PLLCG_CTL.CGSTR はハードウェアで "0" にクリアされます。
4. マスタクロックを希望するクロックに切り替えます。

<注意事項>

- *ギアダウン動作中は、PLLCG_CTL.PLLCGSTR[1:0]の値をポーリングして、最低周波数でクロックギア動作停止("00")になるまで待つようにしてください。*

4. クロック設定手順例

クロックの設定手順例を説明します。

設定手順例

Figure 4-1 クロック設定手順例 (電源投入→高速 CR ランモード→希望するクロックモード) (TYPE5-M4 製品以外)

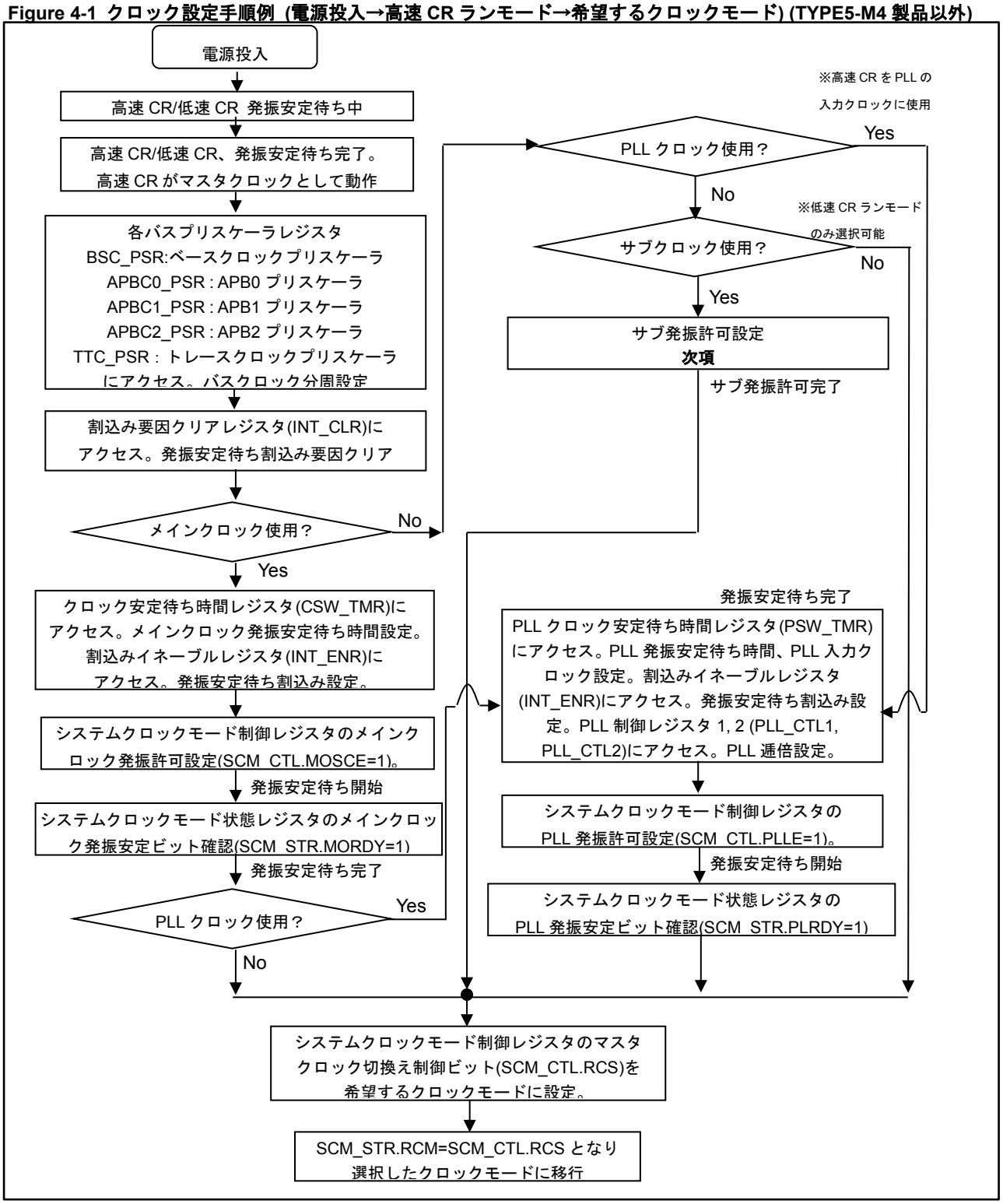
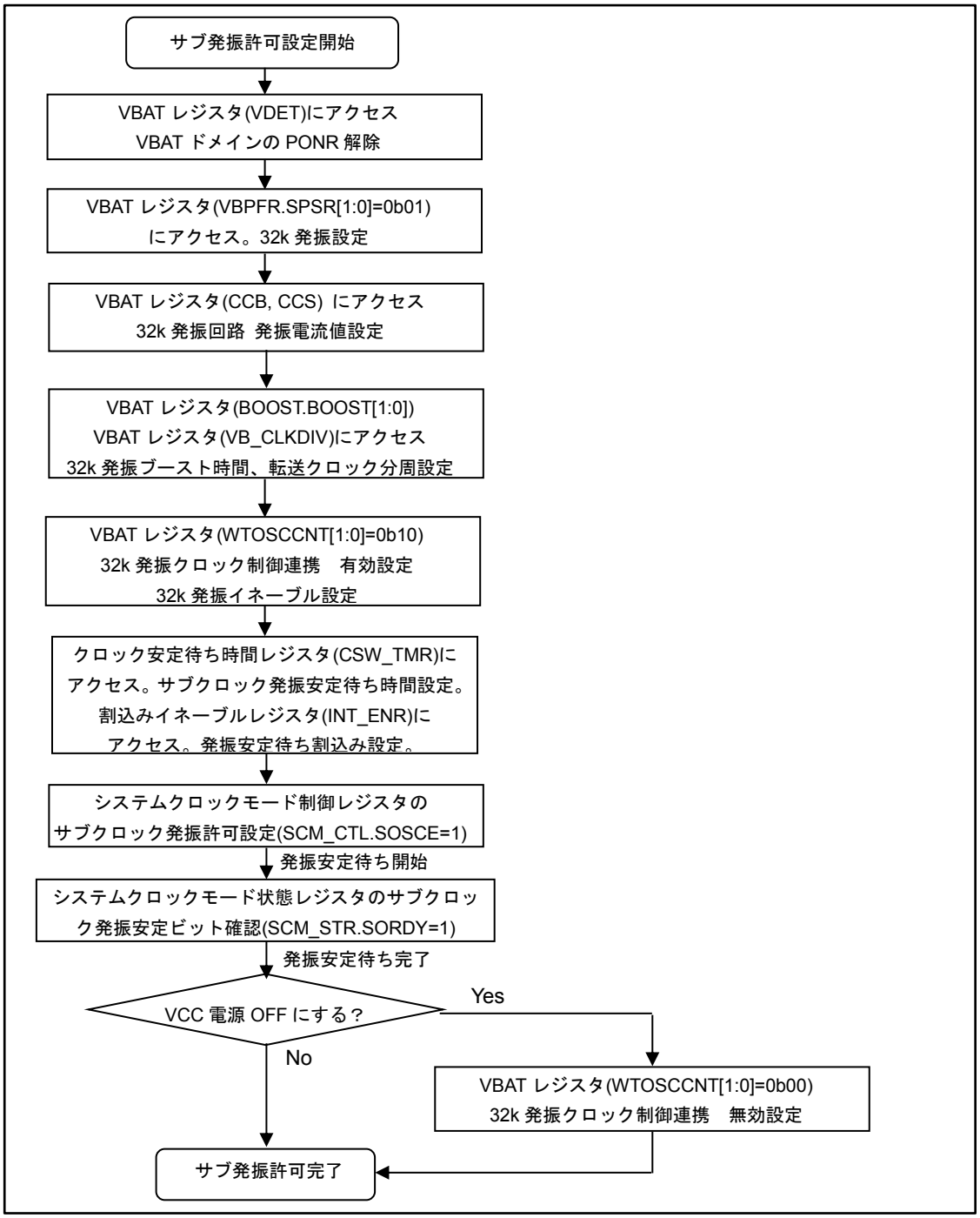


Figure 4-2 サブ発振許可設定手順例 (TYPE5-M4 製品以外)



<注意事項>

- *サブクロック発振安定待ち時間(CSW_TMR.SOWT)は VBAT RTC 32k 発振ブースト設定時間(BOOST.BOOST[1:0])よりも長い時間を確保するように設定してください。*
- *VBAT レジスタの 32k 発振クロック制御連携 無効設定(WTOSCCNT.SOSCNTL=0)および VBAT レジスタの 32k 発振ディスエーブル設定(WTOSCCNT.SOSCEX=1)の時に、システムクロック*

モード制御レジスタのサブクロック発振許可設定(SCM_CTL.SOSCE=1)，CSV 制御レジスタのサブCSV 機能許可(CSV_CTL.SCSVE=1)とする設定組み合わせは禁止です。

- *VBAT RTC の詳細については『VBAT ドメイン』を参照してください。*
- *VBAT ドメインの PONR 解除については、『VBAT ドメイン 2.4 パワーオン回路』を参照してください。*
- *VBAT ドメインへ値を設定する場合は、セーブ動作が必要となります。セーブ動作については『VBAT ドメイン 2.1 Always ON ドメインとのインタフェース』を参照してください。*
- *32k 発振ブースト時間、転送クロック分周設定は『VBAT ドメイン 7.1VB_CLKDIV レジスタ』と『VBAT ドメイン 7.3 CCS/CCB レジスタ』を参照してください。*
- *チップの電源制御については、『VBAT ドメイン 3.チップの電源制御』を参照してください*
- *32kHz クロックの設定手順は、『VBAT ドメイン 5. 32 kHz クロックの設定手順』にも記載してあります。*

Figure 4-3 クロック設定手順例 (電源投入→高速 CR ランモード→希望するクロックモード) (TYPE5-M4 製品)

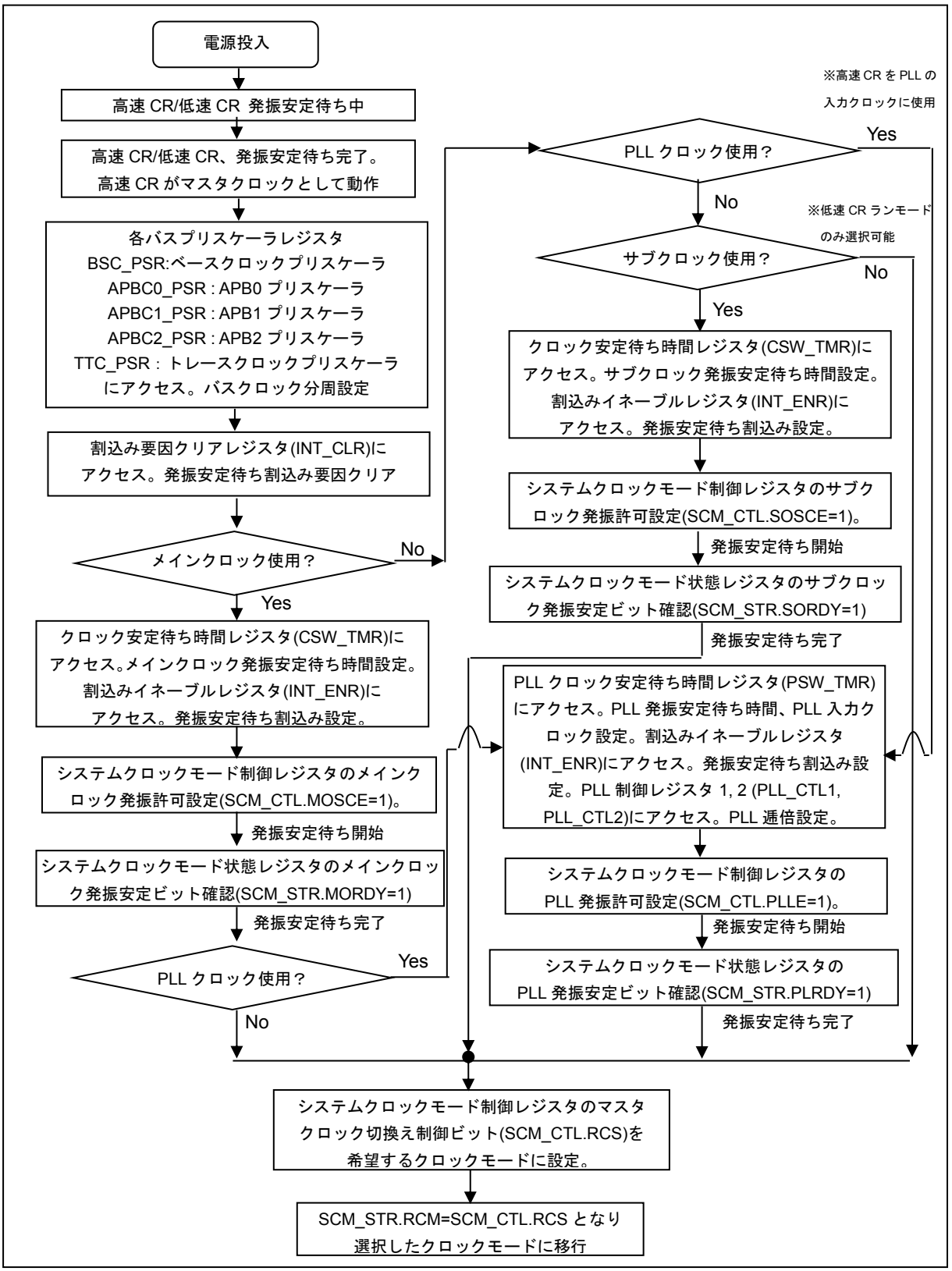
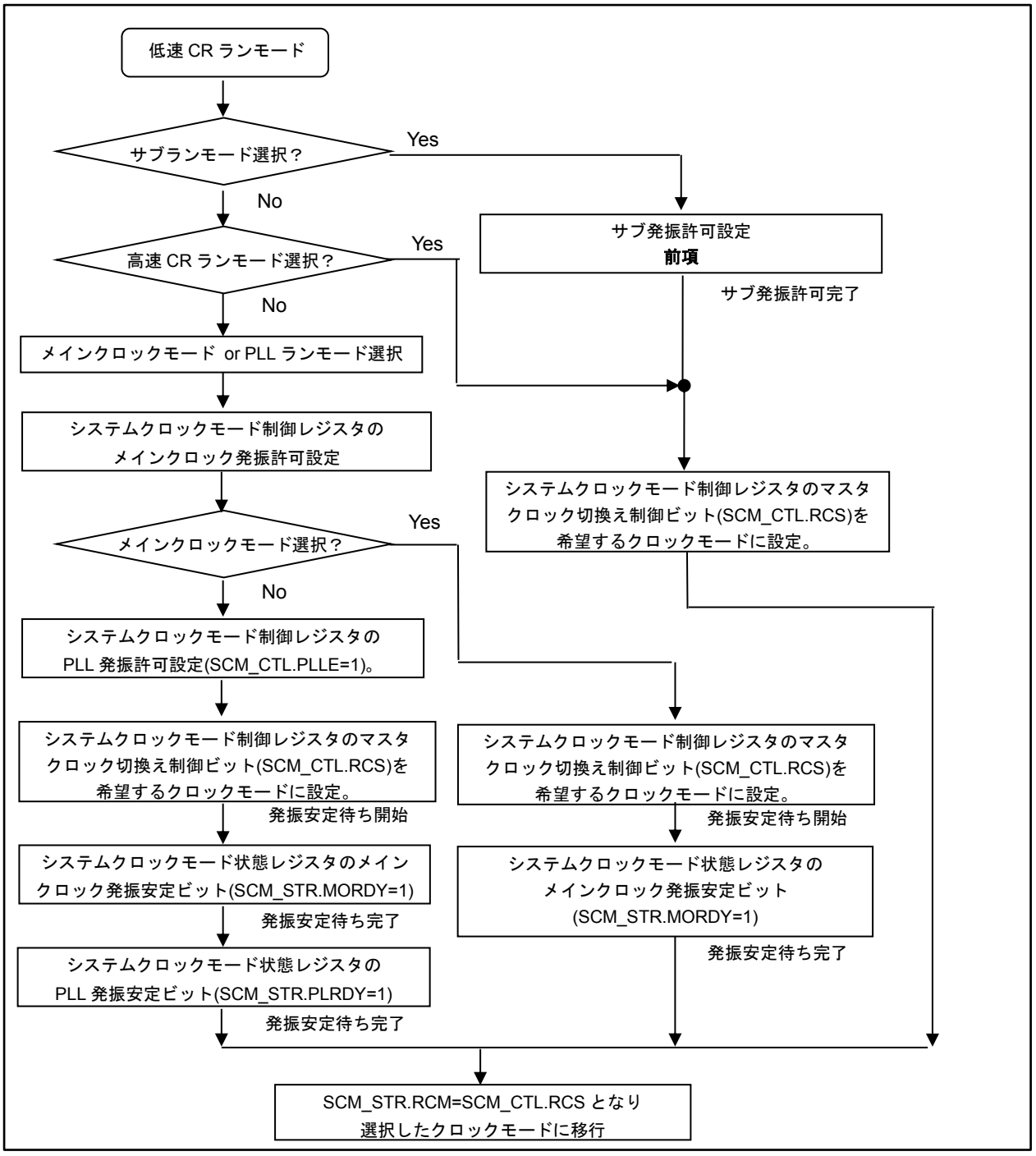


Figure 4-4 クロック設定手順例 (低速 CR ランモード→希望するクロックのランモード) (TYPE5-M4 製品以外)



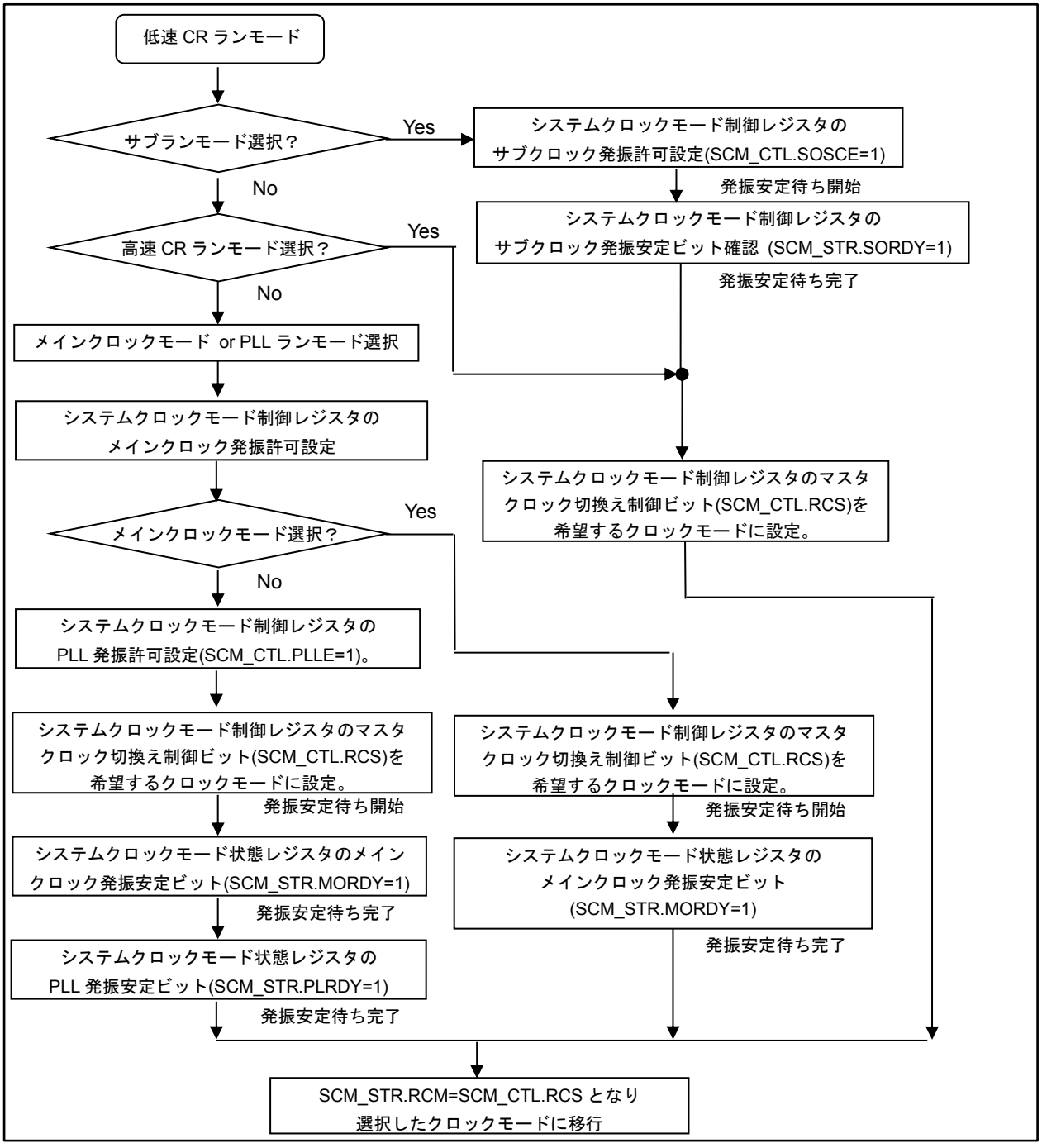
＜注意事項＞

- *Figure 4-4 は各クロックの発振安定待ち時間の設定，割込みの設定，PLL 逓倍設定およびバスクロックの分周設定は既に、設定済みであるものとして省略しています。*
- *サブクロックモード，低速 CR クロックモード時は、メインクロック(CLKMO)，高速 CR クロック(CLKHC)，メイン PLL クロック(CLKPLL)はハードウェアで停止しているため、CLKMO,*

CLKHC, CLKPLL は各発振許可設定ビット=1 だけでは発振は開始しません。各発振許可設定ビット=1 かつ、SCM_CTL:RCS を変更することにより、発振が開始します。

- *メインクロック/サブクロック発振安定待ち時間の設定が短く、各発振器の安定前に発振安定待ち時間が完了した場合、クロック監視機能によりリセットされることがあります。*

Figure 4-5 クロック設定手順例 (低速 CR ランモード→希望するクロックのランモード) (TYPE5-M4 製品)



＜注意事項＞

- *Figure 4-5 は各クロックの発振安定待ち時間の設定，割込みの設定，PLL 逓倍設定およびバスクロックの分周設定は既に、設定済みであるものとして省略しています。*
- *サブクロックモード，低速 CR クロックモード時は、メインクロック(CLKMO)，高速 CR クロック(CLKHC)，メイン PLL クロック(CLKPLL)はハードウェアで停止しているため、CLKMO, CLKHC, CLKPLL は各発振許可設定ビット=1 だけでは発振は開始しません。各発振許可設定ビット=1 かつ、SCM_CTL:RCS を変更することにより、発振が開始します。*

- *メインクロック/サブクロック発振安定待ち時間の設定が短く、各発振器の安定前に発振安定待ち時間が完了した場合、クロック監視機能によりリセットされることがあります。*

5. クロック生成部 レジスター覧

クロック生成のレジスター覧を説明します。

クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
SCM_CTL	システムクロックモード制御レジスタ	5.1
SCM_STR	システムクロックモード状態レジスタ	5.2
BSC_PSR	ベースクロックプリスケーラレジスタ	5.3
APBC0_PSR	APB0 プリスケーラレジスタ	5.4
APBC1_PSR	APB1 プリスケーラレジスタ	5.5
APBC2_PSR	APB2 プリスケーラレジスタ	5.6
SWC_PSR	ソフトウェアウォッチドッグクロックプリスケーラレジスタ	5.7
TTC_PSR	トレースクロックプリスケーラレジスタ	5.8
CSW_TMR	クロック安定待ち時間レジスタ	5.9
PSW_TMR	PLL クロック安定待ち時間設定レジスタ	5.10
PLL_CTL1	PLL 制御レジスタ 1	5.11
PLL_CTL2	PLL 制御レジスタ 2	5.12
DBWDT_CTL	デバッグブレークウォッチドッグタイマ制御レジスタ	5.13
INT_ENR	割込みイネーブルレジスタ	5.14
INT_STR	割込み状態レジスタ	5.15
INT_CLR	割込みクリアレジスタ	5.16
PLLCG_CTL	PLL クロックギア制御レジスタ	5.17

＜注意事項＞

- *PLLCG_CTL は、TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品に搭載されています。*

5.1 システムクロックモード制御レジスタ(SCM_CTL)

SCM_CTL レジスタは、マスタクロックの選択およびクロックの発振許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	RCS[2:0]			PLLE	SOSCE	予約	MOSCE	予約
属性	R/W			R/W	R/W	-	R/W	-
初期値	000			0	0	-	0	-

レジスタ機能

[bit7:5] RCS2～RCS0： マスタクロック切換え制御ビット

bit7	bit6	bit5	説明
0	0	0	高速 CR クロック[初期値]
0	0	1	メインクロック
0	1	0	メイン PLL クロック
0	1	1	設定禁止
1	0	0	低速 CR クロック
1	0	1	サブクロック
1	1	0	設定禁止
1	1	1	設定禁止

[bit4] PLLE : PLL 発振許可ビット

bit	説明
0	PLL 発振禁止[初期値]
1	PLL 発振許可

[bit3] SOSCE： サブクロック発振許可ビット

bit	説明
0	サブクロック発振禁止[初期値]
1	サブクロック発振許可

[bit2] 予約 ： 予約ビット

このビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

[bit1] MOSCE： メインクロック発振許可ビット

bit	説明
0	メインクロック発振禁止[初期値]
1	メインクロック発振許可

[bit0] 予約 ： 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

＜注意事項＞

- *本レジスタはソフトウェアリセットでは初期化されません。*
- *クロックモードを変更する場合、遷移先のクロックの発振許可を設定してから、クロック切換え制御ビット(SCM_CTL:RCS[2:0]) を変更してください。*
- *RTC モード制御レジスタ(PMD_CTL)の RTCE ビット(PMD_CTL:RTCE)が"1"の時、SOSCE ビット, SORDY ビットの値に関わらずサブクロック発振許可状態になります。*
- *PMD_CTL:RTCE ビットへの"1"書込みは、SORDY ビットが"1"の時のみ有効です。*

電源投入後、サブクロック発振を許可するには、VBAT RTC のレジスタ設定をしてください。サブクロック発振許可の例については、

*Figure 4-**2** を参照してください。*

5.2 システムクロックモード状態レジスタ(SCM_STR)

SCM_STR レジスタは、マスタクロックの選択状態およびクロックの発振安定待ち状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	RCM[2:0]			PLRDY	SORDY	予約	MORDY	予約
属性	R			R	R	-	R	-
初期値	000			0	0	-	0	-

レジスタ機能

[bit7:5] RCM2～RCM0： マスタクロックの選択状態ビット

bit7	bit6	bit5	説明
0	0	0	高速 CR クロック[初期値]
0	0	1	メインクロック
0	1	0	メイン PLL クロック
0	1	1	設定禁止
1	0	0	低速 CR クロック
1	0	1	サブクロック
1	1	0	設定禁止
1	1	1	設定禁止

[bit4] PLRDY : PLL 発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

[bit3] SORDY： サブクロック発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

[bit2] 予約 ： 予約ビット

このビットからは、"0"が読み出されます。

[bit1] MORDY： メインクロック発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

[bit0] 予約 ： 予約ビット

このビットからは、"0"が読み出されます。

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*
- *RTC モード制御レジスタ(PMD_CTL)の RTCE ビット(PMD_CTL:RTCE)が"1"の時、SOSCE ビット, SORDY ビットの値に関わらずサブクロック発振許可状態になります。*
- *PMD_CTL:RTCE ビットへの"1"書込みは、SORDY ビットが"1"の時のみ有効です。*

5.3 ベースクロックプリスケーラレジスタ(BSC_PSR)

BSC_PSR レジスタは、ベースクロックの分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						BSR	
属性	-						R/W	
初期値	-						000	

レジスタ機能

[bit7:3] 予約 : 予約ビット

これらのビットからは、"0b00000"が読み出されます。
書込みの場合には、"0b00000"を設定してください。

[bit2:0] BSR : ベースクロック分周比設定ビット

bit2	bit1	bit0	説明
0	0	0	1/1[初期値]
0	0	1	1/2
0	1	0	1/3
0	1	1	1/4
1	0	0	1/6
1	0	1	1/8
1	1	0	1/16
1	1	1	設定禁止

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.4 APB0 プリスケーラレジスタ(APBC0_PSR)

APBC0_PSR レジスタは、APB0 バスクロックの分周を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						APBC0	
属性	-						R/W	
初期値	-						00	

レジスタ機能

[bit7:2] 予約 : 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1:0] APBC0 : APB0 バスクロック分周設定ビット

bit1	bit0	説明
0	0	1/1[初期値]
0	1	1/2
1	0	1/4
1	1	1/8

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.5 APB1 プリスケーラレジスタ(APBC1_PSR)

APBC1_PSR レジスタは、APB1 バスクロックの分周を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	APBC1EN	予約		APBC1RST	予約		APBC1	
属性	R/W	-		R/W	-		R/W	
初期値	1	-		0	-		00	

レジスタ機能

[bit7] APBC1EN : APB1 クロックイネーブルビット

bit	説明
0	PCLK1 出力禁止
1	PCLK1 出力許可 [初期値]

[bit6:5] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit4] APBC1RST : APB1 バスリセット制御ビット

bit	説明
0	APB1 バスリセット 非アクティブ [初期値]
1	APB1 バスリセット アクティブ

[bit3:2] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit1:0] APBC1 : APB1 バスクロック分周設定ビット

bit1	bit0	説明
0	0	1/1[初期値]
0	1	1/2
1	0	1/4
1	1	1/8

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.6 APB2 プリスケーラレジスタ(APBC2_PSR)

APBC2_PSR レジスタは、APB2 バスクロックの分周を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	APBC2EN	予約		APBC2RST	予約		APBC2	
属性	R/W	-		R/W	-		R/W	
初期値	1	-		0	-		00	

レジスタ機能

[bit7] APBC2EN : APB2 クロックイネーブルビット

bit	説明
0	PCLK2 出力禁止
1	PCLK2 出力許可 [初期値]

[bit6:5] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit4] APBC2RST : APB2 バスリセット制御ビット

bit	説明
0	APB2 バスリセット 非アクティブ[初期値]
1	APB2 バスリセット アクティブ

[bit3:2] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit1:0] APBC2 : APB2 バスクロック分周設定ビット

bit1	bit0	説明
0	0	1/1[初期値]
0	1	1/2
1	0	1/4
1	1	1/8

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.7 ソフトウェアウォッチドッグクロックプリスケーラレジスタ(SWC_PSR)

SWC_PSR レジスタは、ソフトウェアウォッチドッグクロックの分周および出力イネーブルを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						SWDS	
属性	-						R/W	
初期値	-						00	

レジスタ機能

[bit7:2] 予約 : 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1:0] SWDS : ソフトウェアウォッチドッグクロック分周比設定ビット

bit1	bit0	説明
0	0	PCLK0 の 1 分周に設定されます。[初期値]
0	1	PCLK0 の 2 分周に設定されます。
1	0	PCLK0 の 4 分周に設定されます。
1	1	PCLK0 の 8 分周に設定されます。

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.8 トレースクロックプリスケーラレジスタ(TTC_PSR)

TTC_PSR レジスタは、トレースクロック分周を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						TTC	
属性	-						R/W	
初期値	-						00	

レジスタ機能

[bit7:2] 予約 : 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1:0] TTC : トレースクロック分周比設定ビット

bit1	bit0	説明
0	0	1 分周 [初期値]
0	1	2 分周
1	0	4 分周
1	1	8 分周

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.9 クロック安定待ち時間レジスタ(CSW_TMR)

CSW_TMR レジスタは、メイン/サブクロック安定待ち時間を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	SOWT				MOWT			
属性	R/W				R/W			
初期値	0000				0000			

レジスタ機能

[bit7:4] SOWT： サブクロックの安定待ち時間設定ビット

bit7	bit6	bit5	bit4	説明
0	0	0	0	2^{10}/ FCRL： 約 10.3 ms * [初期値]
0	0	0	1	2^{11}/ FCRL： 約 20.5 ms *
0	0	1	0	2^{12}/ FCRL： 約 41 ms *
0	0	1	1	2^{13}/ FCRL： 約 82 ms *
0	1	0	0	2^{14}/ FCRL： 約 164 ms *
0	1	0	1	2^{15}/ FCRL： 約 327 ms *
0	1	1	0	2^{16}/ FCRL： 約 655 ms *
0	1	1	1	2^{17}/ FCRL： 約 1.31 s *
1	0	0	0	2^{18}/ FCRL： 約 2.62 s *
1	0	0	1	2^{19}/ FCRL： 約 5.24 s *
1	0	1	0	2^{20}/ FCRL： 約 10.48 s *
1	0	1	1	2^{21}/ FCRL： 約 20.96 s *
上記以外				設定禁止

*: FCRL=100 kHz の場合

[bit3:0] MOWT： メインクロックの安定待ち時間設定ビット

bit3	bit2	bit1	bit0	説明
0	0	0	0	2^{1} / FCRH： 約 500 ns * [初期値]
0	0	0	1	2^{5} / FCRH： 約 8 µs *
0	0	1	0	2^{6} / FCRH： 約 16 µs *
0	0	1	1	2^{7} / FCRH： 約 32 µs *
0	1	0	0	2^{8} / FCRH： 約 64 µs *
0	1	0	1	2^{9} / FCRH： 約 128 µs *
0	1	1	0	2^{10}/ FCRH： 約 256 µs *
0	1	1	1	2^{11}/ FCRH： 約 512 µs *
1	0	0	0	2^{12}/ FCRH： 約 1.0 ms *
1	0	0	1	2^{13}/ FCRH： 約 2.0 ms *
1	0	1	0	2^{14}/ FCRH： 約 4.0 ms *
1	0	1	1	2^{15}/ FCRH： 約 8.0 ms *
1	1	0	0	2^{17}/ FCRH： 約 33.0 ms *
1	1	0	1	2^{19}/ FCRH： 約 131 ms *
1	1	1	0	2^{21}/ FCRH： 約 524 ms *
1	1	1	1	2^{23}/ FCRH： 約 2.0 s *

*: FCRH=4 MHz の場合

<注意事項>

- *各発振安定待ち時間設定は、SCM_CTL レジスタの各発振許可ビット(SOSCE, MOSCE) を有効にする前に行ってください。*
  各発振器の発振安定待ち中に、MOWT, SOWT ビットを変更すると各発振安定待ち時間は保証されません。
- *本レジスタはソフトウェアリセットでは初期化されません。*

5.10 PLL クロック安定待ち時間設定レジスタ(PSW_TMR)

PSW_TMR レジスタは、メイン PLL クロック安定待ち時間を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			PINC	予約	POWT		
属性	-			R/W	-	R/W		
初期値	-			0	-	000		

レジスタ機能

[bit7:5] 予約 : 予約ビット

これらのビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit4] PINC : PLL 入力クロック選択ビット

bit	説明
0	CLKMO (メインクロック発振)を選択[初期値]
1	CLKHC (高速 CR クロック)を選択

<注意事項>

- *本ビットを "1" に設定する場合には制限があります。*
  『Appendixes』の『B. 注意事項一覧』の「1. 高速 CR をマスタクロックに使用する場合の注意事項」を必ず参照してください。

[bit3] 予約 : 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit2:0] POWT : メイン PLL クロックの安定待ち時間設定ビット

bit2	bit1	bit0	説明
0	0	0	2^9/ FCRH : 約 128 µs * [初期値]
0	0	1	2^{10}/ FCRH : 約 256 µs *
0	1	0	2^{11}/ FCRH : 約 512 µs *
0	1	1	2^{12}/ FCRH : 約 1.02 ms *
1	0	0	2^{13}/ FCRH : 約 2.05 ms *
1	0	1	2^{14}/ FCRH : 約 4.10 ms *
1	1	0	2^{15}/ FCRH : 約 8.20 ms *
1	1	1	2^{16}/ FCRH : 約 16.40 ms *

* : FCRH=4 MHz の場合

<注意事項>

- *各発振安定待ち時間設定は、SCM_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。*
  PLL 発振器の発振安定待ち中に、POWT ビットを変更すると発振安定待ち時間は保証されません。
- *本レジスタはソフトウェアリセットでは初期化されません。*

5.11 PLL 制御レジスタ 1 (PLL_CTL1)

PLL_CTL1 レジスタは、PLL の分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	PLLK				PLLM			
属性	R/W				R/W			
初期値	0000				0000			

レジスタ機能

[bit7:4] PLLK : PLL 入力クロック分周比設定ビット

bit7:4	説明
0000	(PLLK の値+1)分周になります。(設定範囲:1 分周～16 分周) 例 : PLLK の値(0000)+1 ⇒ 1 分周[初期値]
0001	
・	
・	
1111	

[bit3:0] PLLM : PLL の VCO クロックの分周比設定ビット

bit3:0	説明
0000	(PLLM の値+1)分周になります。(設定範囲:1 分周～16 分周) 例 : PLLM の値(0000)+1 ⇒ 1 分周[初期値]
0001	
・	
・	
1111	

<注意事項>

- *各分周比設定は、SCM_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

5.12 PLL 制御レジスタ 2 (PLL_CTL2)

PLL_CTL2 レジスタは、PLL の分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		PLLN					
属性	-		R/W					
初期値	-		000000					

レジスタ機能

[bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5:0] PLLN : PLL のフィードバック分周比設定ビット

bit5:0	説明
000000	(PLLN の値+1)分周になります。(設定範囲:1 分周～64 分周) 例 : PLLN の値(000000)+1 ⇒ 1 分周[初期値]
000001	
・	
・	
・	
111111	

<注意事項>

- *分周比設定は、SCM_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

5.13 デバッグブレーク ウォッチドッグタイマ制御レジスタ(DBWDT_CTL)

DBWDT_CTL レジスタは、デバッグの際のツールブレーク時のウォッチドッグタイマのカウント動作を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	DPHWBE	予約	DPSWBE	予約				
属性	R/W	-	R/W	-				
初期値	0	-	0	-				

レジスタ機能

[bit7] DPHWBE : HW-WDG デバッグモード ブレークビット

bit	説明
0	ツールブレーク時、HW-WDG はカウントを停止する[初期値]
1	ツールブレーク時、HW-WDG はカウントを継続する

[bit6] 予約 : 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit5] DPSWBE : SW-WDG デバッグモード ブレークビット

bit	説明
0	ツールブレーク時、SW-WDG はカウントを停止する[初期値]
1	ツールブレーク時、SW-WDG はカウントを継続する

[bit4:0] 予約 : 予約ビット

これらのビットからは、"0b00000"が読み出されます。
書込みの場合には、"0b00000"を設定してください。

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*

5.14 割込みイネーブルレジスタ(INT_ENR)

INT_ENR レジスタは、割込みのイネーブル設定を行います。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		FCSE	予約		PCSE	SCSE	MCSE
属性	-		R/W	-		R/W	R/W	R/W
初期値	-		0	-		0	0	0

レジスタ機能

[bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5] FCSE : 異常周波数検出割込みイネーブルビット

bit	説明
0	FCS 割込み禁止
1	FCS 割込み許可

[bit4:3] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit2] PCSE : PLL 発振安定待ち完了割込みイネーブルビット

bit	説明
0	PLL 発振安定待ち完了割込み禁止
1	PLL 発振安定待ち完了割込み許可

[bit1] SCSE : サブクロック発振安定待ち完了割込みイネーブルビット

bit	説明
0	サブクロック発振安定待ち完了割込み禁止
1	サブクロック発振安定待ち完了割込み許可

[bit0] MCSE : メインクロック発振安定待ち完了割込みイネーブルビット

bit	説明
0	メインクロック発振安定待ち完了割込み禁止
1	メインクロック発振安定待ち完了割込み許可

<注意事項>

- *「異常周波数検出」については、別章『クロック監視機能』を参照してください。*

5.15 割込み状態レジスタ(INT_STR)

INT_STR レジスタは、割込みの状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		FCSI	予約		PCSI	SCSI	MCSI
属性	-		R	-		R	R	R
初期値	-		0	-		0	0	0

レジスタ機能

[bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5] FCSI : 異常周波数検出割込み状態ビット

bit	説明
0	FCS 割込みはアサートされていない。
1	FCS 割込みはアサートされた。

[bit4:3] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit2] PCSI : PLL 発振安定待ち完了割込み状態ビット

bit	説明
0	PLL 発振安定待ち完了割込みはアサートされていない。
1	PLL 発振安定待ち完了割込みはアサートされた。

[bit1] SCSI : サブクロック発振安定待ち完了割込み状態ビット

bit	説明
0	サブクロック発振安定待ち完了割込みはアサートされていない。
1	サブクロック発振安定待ち完了割込みはアサートされた。

[bit0] MCSI : メインクロック発振安定待ち完了割込み状態ビット

bit	説明
0	メインクロック発振安定待ち完了割込みはアサートされていない。
1	メインクロック発振安定待ち完了割込みはアサートされた。

5.16 割込みクリアレジスタ(INT_CLR)

INT_CLR レジスタは、割込み要因をクリアします。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		FCSC	予約		PCSC	SCSC	MCSC
属性	-		W	-		W	W	W
初期値	-		0	-		0	0	0

レジスタ機能

[bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5] FCSC : 異常周波数検出割込み要因クリアビット

bit		説明
書込み時	0	FCS 割込み要因は書込みに影響されません。
	1	FCS 割込み要因クリアを行う。
読出し時		常に"0"が読み出されます。

[bit4:3] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit2] PCSC : PLL 発振安定待ち完了割込み要因クリアビット

bit		説明
書込み時	0	PLL 発振安定待ち完了割込み要因は書込みに影響されません。
	1	PLL 発振安定待ち完了割込み要因クリアを行う。
読出し時		常に"0"が読み出されます。

[bit1] SCSC : サブクロック発振安定待ち完了割込み要因クリアビット

bit		説明
書込み時	0	サブクロック発振安定待ち完了割込み要因は書込みに影響されません。
	1	サブクロック発振安定待ち完了割込み要因クリアを行う。
読出し時		常に"0"が読み出されます。

[bit0] MCSC : メインクロック発振安定待ち完了割込み要因クリアビット

bit		説明
書込み時	0	メインクロック発振安定待ち完了割込み要因は書込みに影響されません。
	1	メインクロック発振安定待ち完了割込み要因クリアを行う。
読出し時		常に"0"が読み出されます。

<注意事項>

- *本レジスタをクリアすることで、INT_STR レジスタの各割込み状態ビット(FCSI, PCSI, SCSI, MCSI)もクリアされます。*

5.17 PLL クロックギア制御レジスタ(PLLCG_CTL)

PLLCG_CTL レジスタは、クロックギアを設定します。

本レジスタは、TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品に搭載されています。

レジスタ構成

bit	23	22	21	20	19	18	17	16
Field	PLLCGLP							
属性	R/W							
初期値	11111111							

bit	15	14	13	12	11	10	9	8
Field	PLLCGSTP		PLLCGSSN					
属性	R/W		R/W					
初期値	00		000000					

bit	7	6	5	4	3	2	1	0
Field	PLLCGSTS		予約				PLLCGSTR	PLLCGEN
属性	R		-				R/W	R/W
初期値	00		-				0	0

レジスタ機能

[bit23:16] PLLCGLP : PLL クロックギアステップループ設定ビット

bit23:16	説明
00000000	PLL クロックギアのステップループを 1 loop に設定
00000001	PLL クロックギアのステップループを 2 loop に設定
00000010	PLL クロックギアのステップループを 3 loop に設定
・	・
11111101	PLL クロックギアのステップループを 254 loop に設定
11111110	PLL クロックギアのステップループを 255 loop に設定
11111111	PLL クロックギアのステップループを 256 loop に設定 [初期値]

[bit15:14] PLLCSTP : PLL クロックギアステップ幅設定ビット

bit15	bit14	説明
0	0	PLL クロックギアのステップ幅を 1 step に設定 [初期値]
0	1	PLL クロックギアのステップ幅を 2 steps に設定
1	0	PLL クロックギアのステップ幅を 3 steps に設定
1	1	PLL クロックギアのステップ幅を 4 steps に設定

[bit13:8] PLLCGSSN : PLL クロックギアスタートステップ設定ビット

bit13:8	説明
000000	PLL クロックギアのスタートステップを STEP0 に設定 [初期値]
000001	PLL クロックギアのスタートステップを STEP1 に設定
000010	PLL クロックギアのスタートステップを STEP2 に設定
・	・
111101	PLL クロックギアのスタートステップを STEP61 に設定
111110	PLL クロックギアのスタートステップを STEP62 に設定
111111	PLL クロックギアのスタートステップを STEP63 に設定

[bit7:6] PLLCSTS : PLL クロックギアステータスビット

bit7	bit6	説明
0	0	クロックギア未使用 [初期値] クロックギア許可時、最低周波数でギア停止
0	1	ギアアップ中
1	0	クロックギア許可時、最高周波数でギア停止
1	1	ギアダウン中

[bit5:2] 予約 : 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit1] PLLCGSTR : PLL クロックギア開始ビット

bit	説明
0	PLL クロックギア動作停止
1	PLL クロックギア動作開始

[bit0] PLLCGEN : PLL クロックギア許可ビット

bit	説明
0	PLL クロックギア禁止
1	PLL クロックギア許可

<注意事項>

- *PLLCGLP, PLLCGSTP, PLLCGSSN, PLLCGEN は、PLL 発振許可(SM_CTL.PLLE="1")する前に設定する必要があります。*
- *PLLCGSTR は、クロックギア動作が完了した後、ハードウェアにて"0"にクリアされます。*

6. クロック生成部 使用上の注意点

クロック生成部の使用上の注意点を説明します。

■ メインクロック発振器とサブクロック発振器の発振安定待ち時間

メインクロック発振器とサブクロック発振器の安定待ち時間は、発振子の種類(水晶, セラミックなど)によって異なるため、使用する発振子に対して適切な発振安定待ち時間を選択してください。

■ PLL 発振安定後の分周設定変更

PLL 発振が安定してから PLL の分周比を変更する場合は､いったん PLL 発振を停止し､分周比の変更後、再度 PLL 発振許可を行ってください。

■ クロック生成部によるクロック制御から独立したペリフェラル群について

以下のペリフェラルは、クロック生成部によるクロック制御から独立して動作します。
各動作クロックの取り扱いについては、以下の章を参照してください。

- USB 動作クロック生成部: 『通信マクロ編』の『USB クロック生成』を参照してください。
- クロック監視機能: 別章『クロック監視機能』を参照してください。
- ウォッチドッグタイマ: 『タイマ編』の『ウォッチドッグタイマ』を参照してください。
- 時計カウンタ: 『タイマ編』の『時計カウンタ』を参照してください。
- リアルタイムクロック: 『タイマ編』の『リアルタイムクロック』を参照してください。
- CAN プリスケーラ: 『通信マクロ編』の『CAN プリスケーラ』を参照してください。
- GDC 部: 『GDC 編』を参照してください。

■ 発振安定待ち時間の設定

メインクロック発振器, サブクロック発振器, PLL 発振器の各発振安定待ち時間設定レジスタにて発振安定待ち時間を設定してから、各発振器を有効にしてください。
また、発振安定待ち中に、発振安定待ち時間を変更しないでください。

■ メイン PLL クロック使用時のメインクロック発振確認

PLL 発振を使用中にメインクロック発振を停止することを禁止します。

■ クロックモードの切換え

クロックモードの切換えは SCM_CTL レジスタの RCS[2:0]ビットを変更することにより行われます。
クロックモードの切換えは以下の手順で行ってください。

1. 各発振器の発振安定待ち時間を設定する。
2. 使用するクロックの発振許可ビット(SCM_CTL:xxxE) を"1"に設定する。
3. 使用するクロックの発振安定ビット(SCM_STR:xxxRDY) が 1 になったことを確認する。
4. SCM_CTL:RCS[2:0]を切り換える。
5. SCM_STR:RCM[2:0]=SCM_CTL:RCS[2:0]となるまで待つ。

■ クロックモードの切換えと発振安定ビットの関係

以下のクロックモード切換えの場合、発振安定ビット(SCM_STR:xxxRDY) = 1 になるタイミングが異なります。

- 高速 CR ラン・メインラン・PLL ランから別クロックモードに切り換える場合

  SCM_CTL:xxxE = 1 にすることで、発振安定待ちは開始されます。発振安定待ち時間経過後、SCM_STR:xxxRDY = 1 を確認することが可能です。

- 低速 CR ラン・サブランから、高速 CR ラン・メインラン・PLL ランに切り換える場合

  SCM_CTL:MOSCE = 1 (PLLE=1) にしても、メインクロックの発振は開始されません。
  SCM_CTL:MOSCE = 1 (PLLE=1) にした後、SCM_CTL:RCS[2:0]を切り換えることで、メインクロック発振安定待ち(または、高速 CR 発振安定待ち・PLL 発振安定待ち)が開始されます。発振安定待ち時間経過後、SCM_STR:xxxRDY = 1 を確認することが可能です。

- 割込みによりスタンバイモードが解除されると、SCM_CTL レジスタの RCS[2:0]ビットに示されているクロックモードで再開します。
- マスタクロックはソフトウェアリセット以外のリセット要因が発生すると、高速 CR クロック(CLKHC)に設定されます。クロックモードも高速 CR クロックモードに設定されます。
- ソフトウェアリセット以外のリセットが行われた後、メインクロック発振器, サブクロック発振器, PLL 発振は停止します。リセット後、再度これらの発振を使用したい場合、SCM_CTL レジスタによって発振器を有効にしてください。
- 各クロックモードと発振器の発振/停止の関係は、別章『低消費電力モード』を参照してください。
- 各周辺へのクロック停止機能については、『周辺クロック停止機能』を参照してください。
- LSI 側の電源を切断(OFF)し VBAT ドメインのみ動作させる場合、必ず WTOSCCNT.SOSCNTL="0" に設定してから LSI 側の電源を切断(OFF)してください。

CHAPTER 2-2: 周辺クロック停止機能

周辺クロック停止機能について説明します。

1. 周辺クロック停止機能の概要
2. 周辺クロック停止機能の構成
3. 周辺クロック停止機能の制御
4. 周辺クロック停止機能のレジスタ

1. 周辺クロック停止機能の概要

周辺クロック停止機能は、周辺機能の動作クロックを個別に停止する機能ブロックです。本機能により、システム動作で使用しない周辺機能はその動作クロックを停止させることで、システム全体の消費電流を低減します。

周辺クロック停止機能の概要

システム動作で使用しない周辺機能について、個別に動作クロックを停止します。
周辺クロック停止機能の対象と設定単位は、『

周辺機能クロックの停止単位と初期状態』を参照してください。

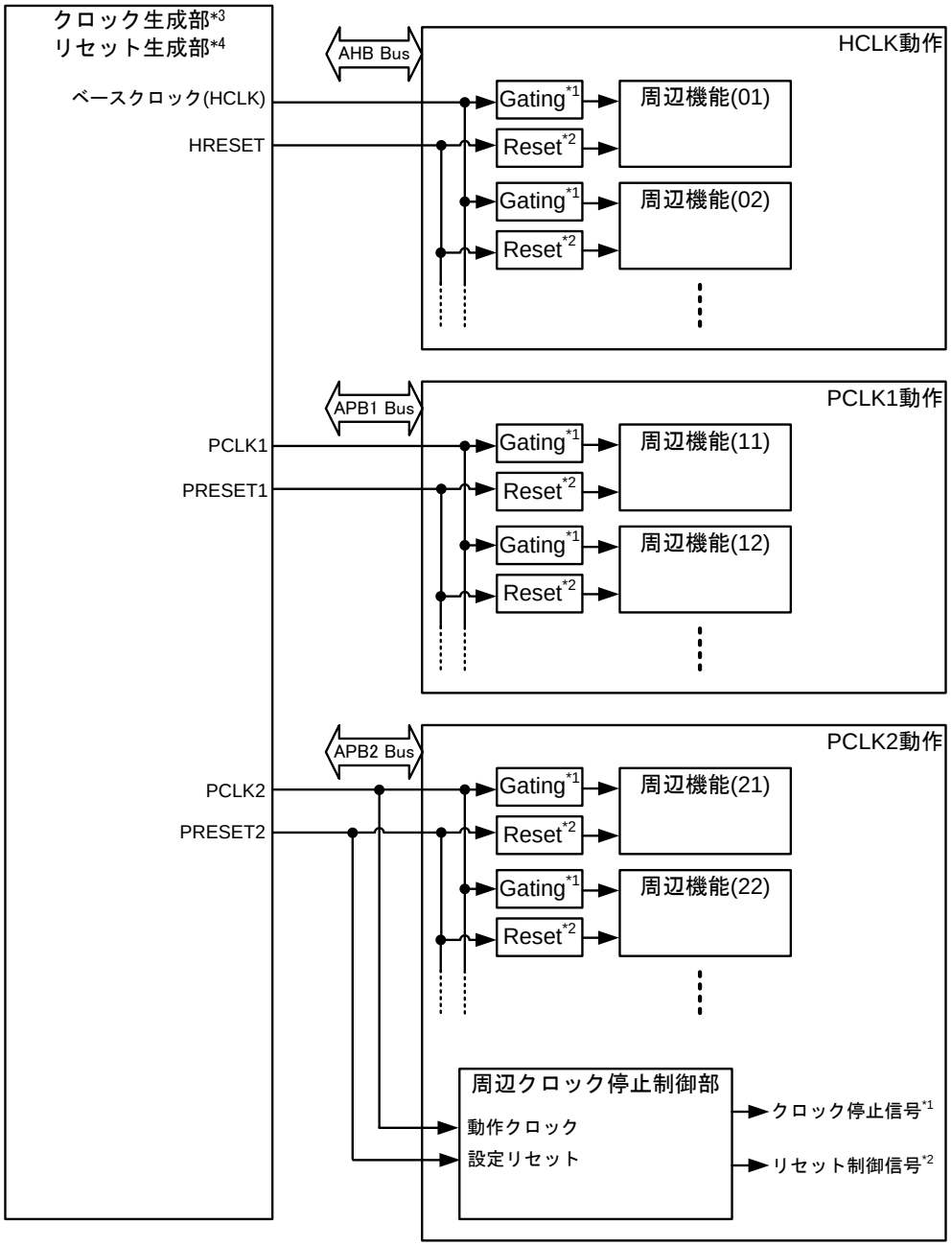
- クロック停止時または、クロック再供給前に周辺機能の内部状態をリセットできます。

上記の周辺クロック停止およびリセット制御は APB2 バスに接続されているレジスタの設定で行います。

クロック・リセット接続概要

クロック生成部・リセット生成部と周辺クロック停止機能の接続を Figure 1-1 に示します。周辺クロック停止機能は、クロック生成部・リセット生成部と周辺機能の間にあり、周辺機能単位のクロック停止およびリセット制御を行います。クロック制御部からの内部バスクロック供給が停止している状態においては、クロック制御部の設定が優先となり、周辺機能への動作クロック供給も停止します。周辺クロック停止機能を使用する場合、必ず APB2 バスクロック(PCLK2)をクロック生成部側で出力許可に設定した状態で制御を実行してください。

Figure 1-1 周辺クロック停止機能に関するクロック・リセット接続



*1: 周辺機能単位のクロック停止(内部バスクロックのゲーティング)
*2: 周辺機能単位のリセット制御またはバスリセット(別章『リセット』を参照)で強制リセット
*3: 詳細は別章『クロック』の章を参照してください。
*4: 詳細は別章『リセット』の章を参照してください。

周辺機能クロックの停止単位と初期状態

周辺クロック停止機能の制御単位と初期状態を Table 1-1 に示します。

Table 1-1 周辺クロック停止機能の制御単位と初期状態

周辺機能	クロック停止単位	初期状態	備考
マルチファンクション シリアルインタフェース	チャネル単位	クロック供給	
ベースタイマ	4 チャネル単位	クロック供給	"ch.0～ch.3", "ch.4～ch.7", "ch.8～ch.11", "ch12～ch.15"の 4 チャネル単位でクロック停止を制御できます。
多機能タイマ	ユニット単位	クロック供給	
PPG	8 チャネル単位	クロック供給	"ch.0～ch.7", "ch.8～ch.15", "ch.16～ch.23", "ch24～ch.31"の 8 チャネル単位でクロック停止を制御できます。
クアッドカウンタ	ユニット単位	クロック供給	
DMAC	ユニット単位	クロック供給	
外部バスインタフェース	ユニット単位	クロック供給	
CAN コントローラ	チャネル単位	クロック供給	
USB(ファンクション/ホスト)	チャネル単位	クロック停止	
SD カードインタフェース	ユニット単位	クロック停止	
A/D コンバータ	ユニット単位	クロック供給	
I/O ポート	全ポート一括	クロック供給	クロック停止時の制限事項は『5. 周辺クロック停止機能　使用時の注意』を参照してください。
プログラマブル CRC	ユニット単位	クロック供給	
I^2S インタフェース	チャネル単位	クロック停止	
HDMI-CEC/リモコン受信	チャネル単位	クロック供給	
Hi-Speed Quad SPI controller	ユニット単位	クロック停止	
MFS I^2S インタフェース	チャネル単位	クロック供給	
スマートカードインタフェース	チャネル単位	クロック供給	

＜注意事項＞

- *搭載されている周辺機能および搭載されている数は、ご使用する製品の『データシート』を参照してください。*
- *PPG のクロック制御は多機能タイマと同じ設定ビットを共有しています。詳細は、『4.3 周辺クロック制御レジスタ 1(CKEN1) 』を参照してください。*
- *Ethernet-MAC が搭載されている製品は、ユニット単位のクロック制御を、Ethernet システム制御部レジスタ(ETH_CLKG) で設定してください。*
- *DSTC 単体のクロック制御は、『DSTC』の「5.4. CMD レジスタ」で設定してください。*

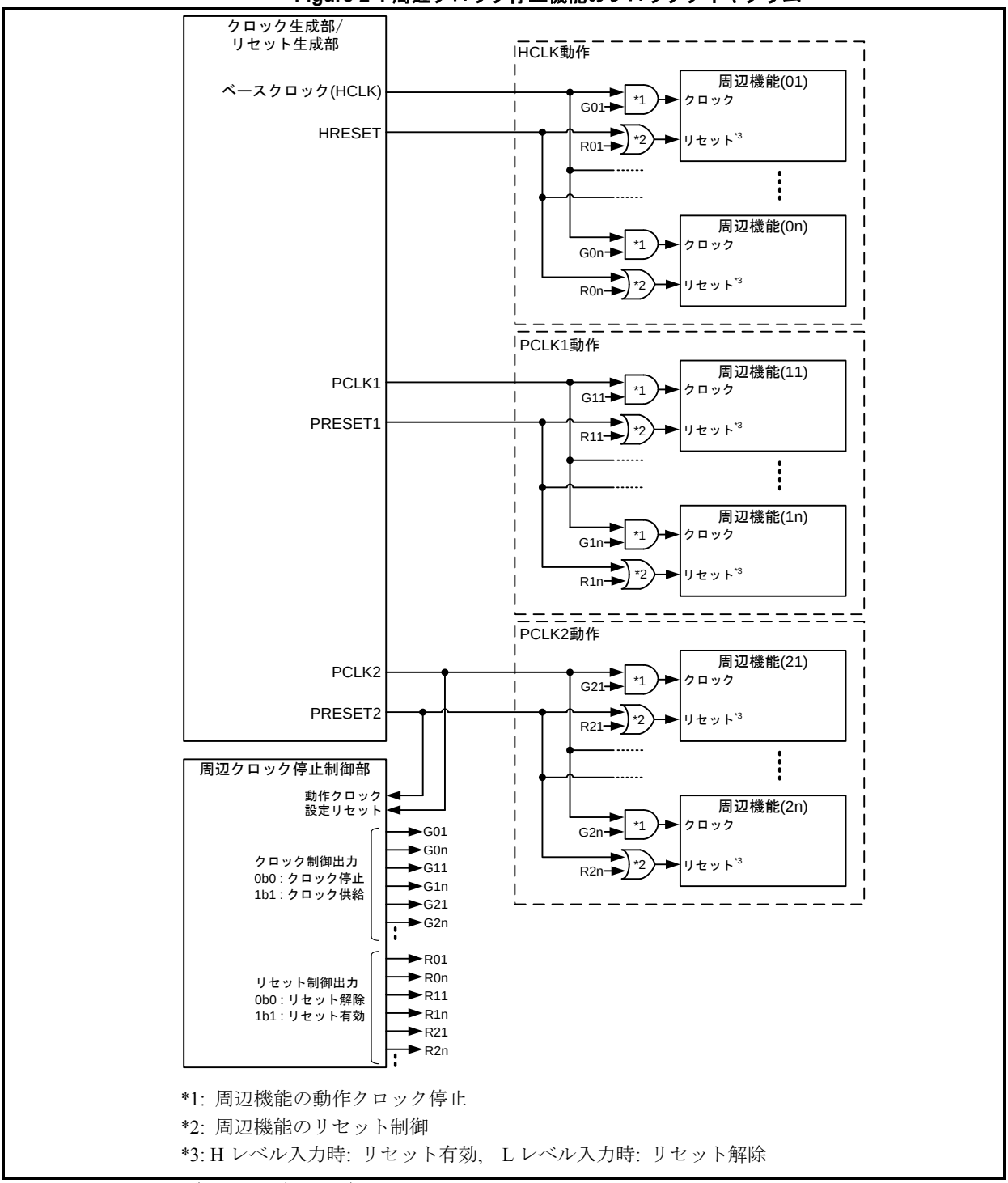
2. 周辺クロック停止機能の構成

周辺クロック停止機能の構成を説明します。

ブロックダイヤグラム

Figure 2-1 に周辺クロック停止機能に関するシステム構成を示します。

Figure 2-1 周辺クロック停止機能のブロックダイヤグラム



*1: 周辺機能の動作クロック停止

*2: 周辺機能のリセット制御

*3: H レベル入力時: リセット有効, L レベル入力時: リセット解除

ブロックダイヤグラムの説明

■ 周辺クロック停止制御部

APB2 バス経由でレジスタの設定値を変更することで、周辺機能単位のクロック制御または、リセット制御を実行します。本レジスタの書換えは、必ずクロック制御部の APB2 プリスケーラレジスタ(APBC2_PSR)の APB2 クロックイネーブルビット(APBC2EN)を出力許可に設定し、PCLK2 を出力許可した状態で実行してください。

周辺機能ごとのクロック制御は、対象のビットに 0 を設定するとクロックが停止します。1 に設定するとクロックが供給されます。レジスタの初期値は、周辺機能ごとに異なります。詳細は、Table 1-1 を参照してください。

周辺機能ごとのリセット制御は、対象のビットに 1 を設定するとリセットが発行されます。0 を設定するとリセットが解除されます。レジスタの初期状態はいずれもリセット解除の 0 設定になります。

■ 周辺クロック停止論理

周辺クロック停止制御部からのクロック停止信号に従い、内部バスクロック(HCLK, PCLK1, PCLK2)を特定の周辺機能単位で供給・停止します。

■ 周辺リセット制御論理

周辺クロック停止制御部からのリセット制御信号に従い、周辺機能単位でリセット制御を実行します。リセット制御単位は、周辺クロック制御と同じです。ただし、I/O ポートについてのみ、例外で本リセット制御用のビットを持ちません。

3. 周辺クロック停止機能の制御

周辺クロック停止機能の制御について説明します。

周辺クロック停止機能のレジスタは、バスリセット(PRESET2)*により初期状態になります。バスリセット(PRESET2)はすべてのリセット要因により発生するため、バスリセット直後は周辺クロック停止機能のレジスタを設定し直してください。

*: バスリセット(PRESET2)の発生条件については、別章『リセット』を参照してください。

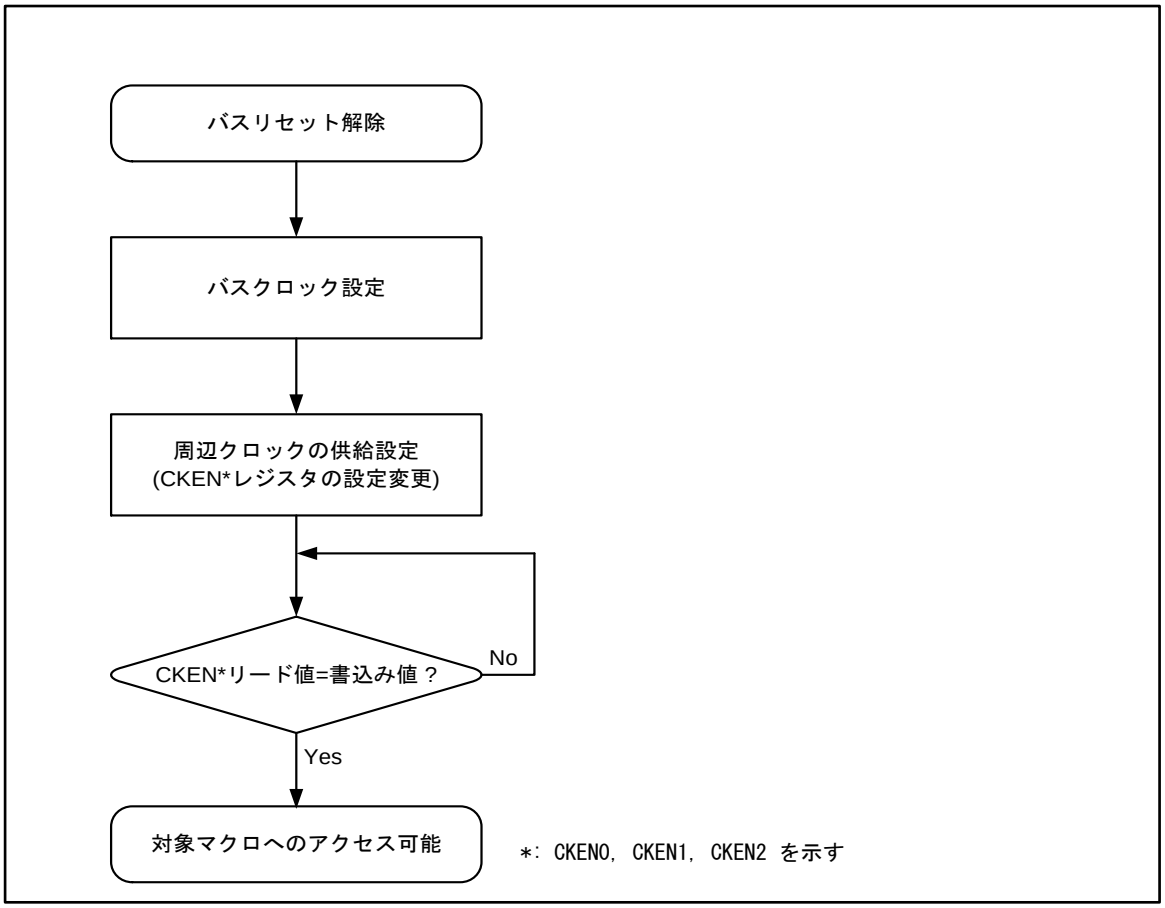
3.1 周辺クロックの制御手順

周辺クロックの供給・停止に関する制御手順について説明します。

クロック供給手順

バスリセット解除直後は、周辺クロックの設定が初期値になるため、初期状態でクロックの停止している周辺機能は、Figure 3-1 の手順でクロック供給の設定をしてください。

Figure 3-1 クロック供給手順



1. バスクロックの設定

   バスクロックの設定が初期化されるリセットが発生した場合は、各バスクロックの設定はクロック生成部のレジスタで行ってください。
   詳細な設定については、別章の『クロック』を参照してください。

2. 周辺クロックの供給設定

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)について、初期状態のクロック停止からクロックを供給したい周辺機能に該当するビットの設定を変更してください。
   バスクロックが停止している周辺機能のビットは、その設定値を変更することができません。

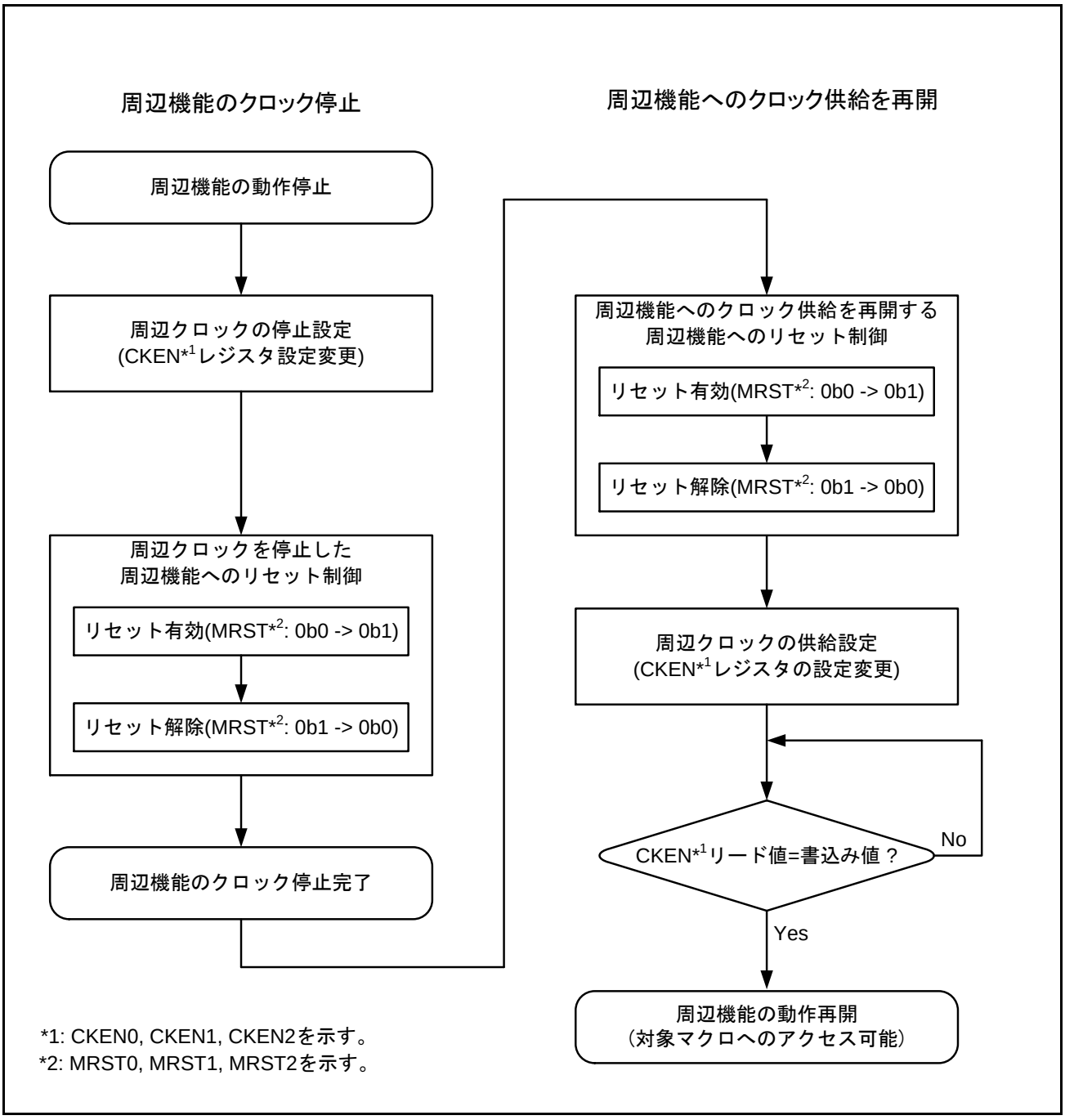
3. 周辺クロック制御レジスタの設定値の確認

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)は設定を変更した周辺機能へのクロック供給が開始された段階で、そのレジスタ値を書込み値に更新します。
   クロック停止中の周辺機能へのアクセスは無効のため、必ず上記 2 の設定変更後に、同レジスタを読み出し、書込み値と一致していることを確認した後に周辺機能へのアクセスを開始してください。

クロック停止・再供給手順

周辺機能のクロック停止および周辺機能へクロック供給を再開する手順を Figure 3-2 で説明します。

Figure 3-2 システム動作中のクロック停止・再供給手順



■ 周辺機能のクロック停止

1. 周辺クロックの停止設定

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)について、クロック供給を停止したい周辺機能に該当するビットを"0"に変更してください。
   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)はクロック停止を指示した周辺機能へのクロックが停止した後、そのレジスタ値を書込み値に更新します。

2. 周辺クロックを停止した周辺機能へのリセット制御

   周辺クロックを停止した周辺機能に対して、内部状態をリセットするため、以下の手順で周辺機能単位のリセット制御を実行してください。

リセット有効:

周辺機能リセット制御レジスタ(MRST0, MRST1, MRST2)の該当ビットへ"1"を書き込んでください。

リセット解除:

周辺機能リセット制御レジスタ(MRST0, MRST1, MRST2)の該当ビットへ"0"を書き込んでください。

■ 周辺機能へのクロック供給を再開

1. 周辺クロックを再供給する周辺機能へのリセット制御

   周辺クロックを停止している周辺機能に対して、動作を再開する前に周辺機能リセット制御レジスタ(MRST0, MRST1, MRST2)を使用して、周辺機能単位のリセット制御を実行してください。
   手順は、上記の周辺クロック停止直後のリセット制御と同じです。

2. 周辺クロックの供給設定

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)に対して、クロック供給を再開したい周辺機能に該当するビットの設定を変更してください。
   このとき、周辺機能が搭載されていない、またはバスクロックが停止している周辺機能のビットを初期値以外に設定しないでください。理由は、下記 3 のレジスタ設定値確認において、書込み値との一致が取れなくなり、処理ループを抜けられなくなる状態が発生するためです。

3. 周辺クロック制御レジスタの設定値確認

   周辺クロック制御レジスタ(CKEN0, CKEN1, CKEN2)は設定を変更した周辺機能へのクロック設定変更が反映された段階で、そのレジスタ値を書込み値に更新します。
   クロック停止中の周辺機能へのアクセスは無効のため、必ず上記 2 の設定変更後に、同レジスタを読み出し、書込み値と一致していることを確認した後に周辺機能へのアクセスを開始してください。

4. 周辺クロック停止機能のレジスター覧

周辺クロック停止機能の各レジスタ機能を説明します。

Table 4-1 に周辺クロック停止機能のレジスター覧を示します。

Table 4-1 周辺クロック停止機能のレジスター覧

略称	レジスタ名	参照先
CKEN0	周辺クロック制御レジスタ 0	4.1
MRST0	周辺リセット制御レジスタ 0	4.2
CKEN1	周辺クロック制御レジスタ 1	4.3
MRST1	周辺リセット制御レジスタ 1	4.4
CKEN2	周辺クロック制御レジスタ 2	4.5
MRST2	周辺リセット制御レジスタ 2	4.6

4.1 周辺クロック制御レジスタ 0(CKEN0)

周辺クロック制御レジスタ 0(CKEN0)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約			GIOCK	予約	EXBCK	予約	DMACK
属性		-		R/W	-	R/W	-	R/W
初期値		-		1	-	1	-	1

bit	23	22	21	20	19	18	17	16
Field	予約				ADCCK[3:0]			
属性		-			R/W			
初期値		-			1111			

bit	15	14	13	12	11	10	9	8
Field	MFSCK[15:8]							
属性	R/W							
初期値	0xFF							

bit	7	6	5	4	3	2	1	0
Field	MFSCK[7:0]							
属性	R/W							
初期値	0xFF							

[bit31:29] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit28] GIOCK : GPIO 機能の動作クロック供給・停止設定

本ビットは、I/O ポート機能への動作クロック供給および停止を制御します。本ビットは、すべての I/O ポート機能に対しての動作クロックを一括して制御します。

本ビットに 1 を設定すると、I/O ポート機能ブロックにバスクロックが供給され、I/O ポート機能を使用できます。

本ビットに 0 を設定すると、I/O ポート機能ブロックへのバスクロック入力が停止します。バスクロック停止中は I/O ポート機能のレジスタ設定を変更できません。詳細は、『5. 周辺クロック停止機能　使用時の注意』を参照してください。

bit	説明
0	I/O ポート機能ブロックへのバスクロック入力を停止します。
1	I/O ポート機能ブロックにバスクロックを供給します。(初期値) I/O ポート機能を使用する場合は、必ず"1"を設定してください。

[bit27] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit26] EXBCK : 外部バスインタフェース機能の動作クロック供給・停止設定

本ビットは、外部バスインタフェース機能への動作クロック供給および停止を制御します。本ビットに 1 を設定すると、外部バスインタフェース機能ブロックにバスクロックが供給され、外部バスインタフェース機能を使用できます。外部バスインタフェースを搭載していない製品では、本ビットを初期値から変更しないでください。
本ビットに 0 を設定すると、外部バスインタフェース機能へのバスクロック入力が停止します。バスクロック入力停止中は、外部バスインタフェースを使用できません。

Bit	説明
0	外部バスインタフェース機能ブロックへのバスクロック入力を停止します。
1	外部バスインタフェース機能ブロックにバスクロックを供給します。(初期値)

[bit25] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit24] DMACK : DMAC の動作クロック供給・停止設定

本ビットは、DMAC 機能への動作クロック供給および停止を制御します。本ビットに 1 を設定すると、DMAC ブロックにバスクロックが供給され、DMAC 機能を使用できます。
本ビットに 0 を設定すると、DMAC ブロックへのバスクロック入力が停止します。バスクロック入力停止中は、DMAC の機能を使用できません。

Bit	説明
0	DMAC へのバスクロック入力を停止します。
1	DMAC にバスクロックを供給します。(初期値)

[bit23:20] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit19:16] ADCCK[3:0] : A/D コンバータの動作クロック供給・停止設定

本ビットは、A/D コンバータへの動作クロック供給および停止を制御します。各ビットと A/D コンバータユニットの対応を以下に示します。

bit16 - ADCCK0 : A/D コンバータユニット 0
bit17 - ADCCK1 : A/D コンバータユニット 1
bit18 - ADCCK2 : A/D コンバータユニット 2
bit19 - ADCCK3 : A/D コンバータユニット 3

当該ビットに"1"を設定すると、対応する A/D コンバータのユニットにバスクロックが供給され、A/D コンバータ機能を使用できます。該当する A/D コンバータユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに"0"を設定すると、対応する A/D コンバータユニットへのバスクロック入力が停止します。バスクロック入力停止中は、該当するユニットの A/D コンバータ機能は使用できません。

bit	説明
0	当該ビットに対応する A/D コンバータユニットへのバスクロック入力を停止します。
1	当該ビットに対応する A/D コンバータユニットにバスクロックを供給します。 (初期値)

[bit15:0] MFSCK [15:0]: マルチファンクションシリアルインタフェースの動作クロック供給・停止設定

本ビットは、マルチファンクションシリアルインタフェースへの動作クロック供給および停止を制御します。各ビットとチャネルの対応を以下に示します。

bit0 - MFSCK0 : マルチファンクションシリアルインタフェース チャネル 0
bit1 - MFSCK1 : マルチファンクションシリアルインタフェース チャネル 1
bit2 - MFSCK2 : マルチファンクションシリアルインタフェース チャネル 2
bit3 - MFSCK3 : マルチファンクションシリアルインタフェース チャネル 3
bit4 - MFSCK4 : マルチファンクションシリアルインタフェース チャネル 4
bit5 - MFSCK5 : マルチファンクションシリアルインタフェース チャネル 5
bit6 - MFSCK6 : マルチファンクションシリアルインタフェース チャネル 6
bit7 - MFSCK7 : マルチファンクションシリアルインタフェース チャネル 7
bit8 - MFSCK8 : マルチファンクションシリアルインタフェース チャネル 8
bit9 - MFSCK9 : マルチファンクションシリアルインタフェース チャネル 9
bit10 - MFSCK10 : マルチファンクションシリアルインタフェース チャネル 10
bit11 - MFSCK11 : マルチファンクションシリアルインタフェース チャネル 11
bit12 - MFSCK12 : マルチファンクションシリアルインタフェース チャネル 12
bit13 - MFSCK13 : マルチファンクションシリアルインタフェース チャネル 13
bit14 - MFSCK14 : マルチファンクションシリアルインタフェース チャネル 14
bit15 - MFSCK15 : マルチファンクションシリアルインタフェース チャネル 15

当該ビットに 1 を設定すると、対応するマルチファンクションシリアルインタフェースのチャネルにバスクロックが供給され、マルチファンクションシリアルインタフェースの機能を使用できます。該当するマルチファンクションシリアルインタフェースのチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応するマルチファンクションシリアルインタフェースのチャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当するチャネルのマルチファンクションシリアルインタフェース機能は使用できません。

bit	説明
0	当該ビットに対応するマルチファンクションシリアルインタフェース・チャネルへのバスクロック入力を停止します。
1	当該ビットに対応するマルチファンクションシリアルインタフェース・チャネルにバスクロックを供給します。(初期値)

4.2 周辺リセット制御レジスタ 0(MRST0)

周辺リセット制御レジスタ 0(MRST0)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約					EXBRST	予約	DMARST
属性			-			R/W	-	R/W
初期値			-			0	-	0

bit	23	22	21	20	19	18	17	16
Field	予約				ADCRST[3:0]			
属性			-		R/W			
初期値			-		0000			

bit	15	14	13	12	11	10	9	8
Field	MFSRST [15:8]							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	MFSRST [7:0]							
属性	R/W							
初期値	0x00							

[bit31:27] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit26] EXBRST : 外部バスインタフェースのリセット制御

本ビットは、外部バスインタフェース単体のリセットを制御します。本ビットに 1 を設定すると、外部バスインタフェースがリセットされ、外部バスインタフェースの動作が停止します。外部バスインタフェースを搭載していない製品では、本ビットを初期値から変更しないでください。

リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	外部バスインタフェースのリセットを解除します。(初期値)
1	外部バスインタフェースへリセットを発行します。

<注意事項>

- *上記レジスタ制御による、外部バスインタフェースリセット制御では、外部バスインタフェースのレジスタは初期化されません。*

[bit25] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit24] DMARST : DMAC のリセット制御

本ビットは、DMAC 単体のリセットを制御します。本ビットに 1 を設定すると、DMAC がリセット状態となり、DMA 転送動作が停止し、レジスタはすべて初期化されます。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

Bit	説明
0	DMAC のリセットを解除します。(初期値)
1	DMAC へリセットを発行します。

[bit23:20] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit19:16] ADCRST[3:0] : A/D コンバータのリセット制御

本ビットは、A/D コンバータのユニット単位のリセットを制御します。各ビットと A/D コンバータユニットの対応を以下に示します。

bit16 - ADCRST 0 : A/D コンバータユニット 0
bit17 - ADCRST 1 : A/D コンバータユニット 1
bit18 - ADCRST 2 : A/D コンバータユニット 2
bit19 - ADCRST 3 : A/D コンバータユニット 3

当該ビットに"1"を設定すると、対応する A/D コンバータのユニットがリセット状態となり、A/D 変換動作が停止し、レジスタは初期化されます。該当する A/D コンバータユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに"0"を設定し直してください。

bit	説明
0	当該ビットに対応する A/D コンバータユニットのリセットを解除します。(初期値)
1	当該ビットに対応する A/D コンバータユニットへリセットを発行します。

[bit15:0] MFSRST[15:0] : マルチファンクションシリアルインタフェースのソフトウェアリセット制御

本ビットは、マルチファンクションシリアルインタフェースのチャネル単位のリセットを制御します。各ビットとチャネルの対応を以下に示します。

bit0 - MFSRST0 : マルチファンクションシリアルインタフェース チャネル 0
bit1 - MFSRST1 : マルチファンクションシリアルインタフェース チャネル 1
bit2 - MFSRST2 : マルチファンクションシリアルインタフェース チャネル 2
bit3 - MFSRST3 : マルチファンクションシリアルインタフェース チャネル 3
bit4 - MFSRST4 : マルチファンクションシリアルインタフェース チャネル 4
bit5 - MFSRST5 : マルチファンクションシリアルインタフェース チャネル 5
bit6 - MFSRST6 : マルチファンクションシリアルインタフェース チャネル 6
bit7 - MFSRST7 : マルチファンクションシリアルインタフェース チャネル 7
bit8 - MFSRST8 : マルチファンクションシリアルインタフェース チャネル 8
bit9 - MFSRST9 : マルチファンクションシリアルインタフェース チャネル 9
bit10 - MFSRST10 : マルチファンクションシリアルインタフェース チャネル 10
bit11 - MFSRST11 : マルチファンクションシリアルインタフェース チャネル 11
bit12 - MFSRST12 : マルチファンクションシリアルインタフェース チャネル 12
bit13 - MFSRST13 : マルチファンクションシリアルインタフェース チャネル 13
bit14 - MFSRST14 : マルチファンクションシリアルインタフェース チャネル 14
bit15 - MFSRST15 : マルチファンクションシリアルインタフェース チャネル 15

当該ビットに 1 を設定すると、対応するマルチファンクションシリアルインタフェースのチャネルがリセット状態となり、シリアル通信が停止し、レジスタは初期化されます。該当するマルチファンクションシリアルインタフェースのチャネルが搭載されていない製品では、該当するビットに 1 を設定することは禁止です。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	当該ビットに対応するマルチファンクションシリアルインタフェース・チャネルのリセットを解除します。(初期値)
1	当該ビットに対応するマルチファンクションシリアルインタフェース・チャネルへリセットを発行します。

4.3 周辺クロック制御レジスタ 1(CKEN1)

周辺クロック制御レジスタ 1(CKEN1)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約				QDUCK[3:0]			
属性	-				R/W			
初期値	-				1111			

bit	15	14	13	12	11	10	9	8
Field	予約				MFTCK[3:0]			
属性	-				R/W			
初期値	-				1111			

bit	7	6	5	4	3	2	1	0
Field	予約				BTMCK[3:0]			
属性	-				R/W			
初期値	-				1111			

[bit31:20] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit19:16] QDUCK[3:0] : クアッドカウンタの動作クロック供給・停止設定

本ビットは、クアッドカウンタへの動作クロック供給および停止を制御します。各ビットとクアッドカウンタユニットの対応を以下に示します。

bit16 - QDUCK0 : クアッドカウンタユニット 0
bit17 - QDUCK1 : クアッドカウンタユニット 1
bit18 - QDUCK2 : クアッドカウンタユニット 2
bit19 - QDUCK3 : クアッドカウンタユニット 3

当該ビットに 1 を設定すると、対応するクアッドカウンタのユニットにバスクロックが供給され、クアッドカウンタ機能を使用できます。該当するクアッドカウンタユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応するクアッドカウンタユニットへのバスクロック入力が停止します。バスクロック入力停止中は、該当するユニットのクアッドカウンタ機能は使用できません。

bit	説明
0	当該ビットに対応するクアッドカウンタユニットへのバスクロック入力を停止します。
1	当該ビットに対応するクアッドカウンタユニットにバスクロックを供給します。 (初期値)

[bit15:12] 予約 :予約ビット
書込みは、0 を書き込んでください。

[bit11:8] MFTCK[3:0]: 多機能タイマと PPG の動作クロック供給・停止設定
本ビットは、多機能タイマと PPG への動作クロック供給および停止を制御します。各ビットと多機能タイマユニットと PPG チャネルの対応を以下に示します。

bit8 - MFTCK0 : 多機能タイマユニット 0・PPG ch.0～7
bit9 - MFTCK1 : 多機能タイマユニット 1・PPG ch.8～15
bit10 - MFTCK2 : 多機能タイマユニット 2・PPG ch.16～23
bit11 - MFTCK3 : 多機能タイマユニット 3・PPG ch.24～31

当該ビットに 1 を設定すると、対応する多機能タイマユニットと PPG チャネルにバスクロックが供給され、多機能タイマと PPG 機能を使用できます。該当する多機能タイマユニットと PPG チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応する多機能タイマユニットと PPG チャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当する多機能タイマおよび PPG 機能は使用できません。

bit	説明
0	当該ビットに対応する多機能タイマユニットと PPG チャネルへのバスクロック入力を停止します。
1	当該ビットに対応する多機能タイマユニットと PPG チャネルにバスクロックを供給します。(初期値)

[bit7:4] 予約 :予約ビット
書込みは、0 を書き込んでください。

[bit3:0] BTMCK[3:0] : ベースタイマの動作クロック供給・停止設定
これらのビットは、ベースタイマへの動作クロック供給および停止を制御します。各ビットとベースタイマチャネルの対応を以下に示します。

bit0 - BTMCK0 : ベースタイマチャネル 0～3
bit1 - BTMCK1 : ベースタイマチャネル 4～7
bit2 - BTMCK2 : ベースタイマチャネル 8～11
bit3 - BTMCK3 : ベースタイマチャネル 12～15

当該ビットに 1 を設定すると、対応するベースタイマチャネルにバスクロックが供給され、ベースタイマ機能を使用できます。該当するベースタイマチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応するベースタイマチャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当するチャネルのベースタイマ機能は使用できません。

bit	説明
0	当該ビットに対応するベースタイマチャネルへのバスクロック入力を停止します。
1	当該ビットに対応するベースタイマチャネルにバスクロックを供給します。 (初期値)

4.4 周辺リセット制御レジスタ 1(MRST1)

周辺リセット制御レジスタ 1(MRST1)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約				QDURST[3:0]			
属性	-				R/W			
初期値	-				0000			

bit	15	14	13	12	11	10	9	8
Field	予約				MFTRST[3:0]			
属性	-				R/W			
初期値	-				0000			

bit	7	6	5	4	3	2	1	0
Field	予約				BTMRST[3:0]			
属性	-				R/W			
初期値	-				0000			

[bit31:20] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit19:16] QDURST[3:0] :クアッドカウンタのリセット制御

本ビットは、クアッドカウンタのユニット単位のリセットを制御します。各ビットとクアッドカウンタユニットの対応を以下に示します。

bit16 - QDURST0 : クアッドカウンタユニット 0
bit17 - QDURST1 : クアッドカウンタユニット 1
bit18 - QDURST2 : クアッドカウンタユニット 2
bit19 - QDURST3 : クアッドカウンタユニット 3

当該ビットに 1 を設定すると、対応するクアッドカウンタのユニットがリセット状態となり、クアッドカウンタ動作が停止し、レジスタは初期化されます。該当するクアッドカウンタユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	当該ビットに対応するクアッドカウンタユニットのリセットを解除します。 (初期値)
1	当該ビットに対応するクアッドカウンタユニットへリセットを発行します。

[bit15:12] 予約 :予約ビット
書込みは、0 を書き込んでください。

[bit11:8] MFTRST[3:0] :多機能タイマと PPG のリセット制御
本ビットは、ユニット単位の多機能タイマリセットと 4 チャネル単位の PPG リセットを制御します。各ビットとクアッドカウンタユニットと PPG チャネルの対応を以下に示します。

bit8 - MFTRST0 : 多機能タイマユニット 0・PPG ch.0, ch.2, ch.4, ch.6
bit9 - MFTRST1 : 多機能タイマユニット 1・PPG ch.8, ch.10, ch.12, ch.14
bit10 - MFTRST2 : 多機能タイマユニット 2・PPG ch.16, ch.18, ch.20, ch.22
bit11 - MFTRST3 : 多機能タイマユニット 3・PPG ch.24, ch.26, ch.28, ch.30

当該ビットに 1 を設定すると、対応する多機能タイマユニットと PPG チャネルがリセット状態となり、多機能タイマ動作が停止し、レジスタは初期化されます。該当する多機能タイマユニットと PPG チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	当該ビットに対応する多機能タイマユニットと PPG チャネルのリセットを解除します。(初期値)
1	当該ビットに対応する多機能タイマユニットと PPG チャネルへリセットを発行します。

[bit7:4] 予約 :予約ビット
書込みは、0 を書き込んでください。

[bit3:0] BTMRST[3:0] : ベースタイマのリセット制御
本ビットは、ベースタイマの 4 単位でリセットを制御します。各ビットとベースタイマチャネルの対応を以下に示します。

bit0 - BTMRST0 : ベースタイマチャネル 0～3
bit1 - BTMRST1 : ベースタイマチャネル 4～7
bit2 - BTMRST2 : ベースタイマチャネル 8～11
bit3 - BTMRST3 : ベースタイマチャネル 12～15

当該ビットに 1 を設定すると、対応するベースタイマチャネルのユニットがリセット状態となり、ベースタイマ動作が停止し、レジスタは初期化されます。該当するベースタイマチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	当該ビットに対応するベースタイマチャネルのリセットを解除します。 (初期値)
1	当該ビットに対応するベースタイマチャネルへリセットを発行します。

4.5 周辺クロック制御レジスタ 2(CKEN2)

周辺クロック制御レジスタ 2(CKEN2)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約			QSPICK	予約		CECCK[1:0]	
属性		-		R/W	-		R/W	
初期値		-		0	-		11	

bit	23	22	21	20	19	18	17	16
Field	予約			PCRCCK	予約		I2SCK[1:0]	
属性		-		R/W	-		R/W	
初期値		-		1	-		00	

bit	15	14	13	12	11	10	9	8
Field	IISCCK[1:0]		ICCCK[1:0]		予約			SDCCK
属性	R/W		R/W		-			R/W
初期値	11		11		-			0

bit	7	6	5	4	3	2	1	0
Field	予約	CANCK[2:0]			予約		USBCK[1:0]	
属性	-	R/W*			-		R/W	
初期値	-	111*			-		00	

*: CAN コントローラを搭載していない製品は、属性:R, 初期値:00 になります。

[bit31:29] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit28] QSPICK : Hi-Speed Quad SPI controller の動作クロック供給・停止設定

本ビットは、Hi-Speed Quad SPI controller 機能への動作クロック供給および停止を制御します。本ビットに 1 を設定すると、Hi-Speed Quad SPI controller ユニットにバスクロックが供給され、Hi-Speed Quad SPI controller 機能を使用できます。該当する Hi-Speed Quad SPI controller ユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。

本ビットに 0 を設定すると、Hi-Speed Quad SPI controller ユニットへのバスクロック入力が停止します。バスクロック入力停止中は、Hi-Speed Quad SPI controller の機能は使用できません。

bit	説明
0	Hi-Speed Quad SPI controller へのバスクロック入力を停止します。(初期値)
1	Hi-Speed Quad SPI controller にバスクロックを供給します。

[bit27:26] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit25:24] CECCK[1:0] : HDMI-CEC/リモコン受信の動作クロック供給・停止設定

本ビットは、HDMI-CEC/リモコン受信機能へのバスクロック(ベースクロック)供給および停止を制御します。各ビットと HDMI-CEC/リモコン受信チャネルの対応を以下に示します。

bit24 - CECCK0 : HDMI-CEC/リモコン受信チャネル 0
bit25 - CECCK1 : HDMI-CEC/リモコン受信チャネル 1

当該ビットに 1 を設定すると、対応する HDMI-CEC/リモコン受信チャネルにバスクロックが供給され、HDMI-CEC/リモコン受信機能を使用できます。該当する HDMI-CEC/リモコン受信チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応する HDMI-CEC/リモコン受信チャネルへのバスクロック入力が停止します。バスクロック入力停止中は、HDMI-CEC/リモコン受信の機能は使用できません。

bit	説明
0	HDMI-CEC/リモコン受信へのバスクロック入力を停止します。
1	HDMI-CEC/リモコン受信にバスクロックを供給します。(初期値)

[bit23:21] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit20] PCRCCK : プログラマブル CRC の動作クロック供給・停止設定

本ビットは、プログラマブル CRC 機能への動作クロック供給および停止を制御します。本ビットに 1 を設定すると、プログラマブル CRC ユニットにバスクロックが供給され、プログラマブル CRC 機能を使用できます。該当するプログラマブル CRC ユニットが搭載されていない製品では、該当するビットを初期値から変更しないでください。
本ビットに 0 を設定すると、プログラマブル CRC ユニットへのバスクロック入力が停止します。バスクロック入力停止中は、プログラマブル CRC の機能は使用できません。

Bit	説明
0	プログラマブル CRC へのバスクロック入力を停止します。
1	プログラマブル CRC にバスクロックを供給します。(初期値)

[bit19:18] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit17:16] I2SCK[1:0] : I²S インタフェースの動作クロック供給・停止設定

本ビットは、I²S インタフェース機能へのバスクロック(ベースクロック)供給および停止を制御します。各ビットと I²S インタフェースチャネルの対応を以下に示します。

bit16 – I2SCK0 : I²S インタフェースチャネル 0
bit17 – I2SCK1 : I²S インタフェースチャネル 1

当該ビットに 1 を設定すると、対応する I²S インタフェースチャネルにバスクロックが供給され、I²S インタフェース機能を使用できます。該当する I²S インタフェースチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応する I²S インタフェースチャネルへのバスクロック入力が停止します。バスクロック入力停止中は、I²S インタフェースの機能は使用できません。

bit	説明
0	I²S インタフェースへのバスクロック入力を停止します。(初期値)
1	I²S インタフェースにバスクロックを供給します。

[bit15:14] IISCCK[1:0] : MFS I²S インタフェースの動作クロック供給・停止設定

本ビットは、MFS I²S インタフェース機能へのバスクロック(ベースクロック)供給および停止を制御します。各ビットと MFS I²S インタフェースチャネルの対応を以下に示します。

bit14 – IISCCK0 : MFS I²S インタフェースチャネル 0
bit15 – IISCCK1 : MFS I²S インタフェースチャネル 1

当該ビットに 1 を設定すると、対応する MFS I²S インタフェースチャネルにバスクロックが供給され、I²S インタフェース機能を使用できます。該当する MFS I²S インタフェースチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応する MFS I²S インタフェースチャネルへのバスクロック入力が停止します。バスクロック入力停止中は、MFS I²S インタフェースの機能は使用できません。

bit	説明
0	MFS I²S インタフェースへのバスクロック入力を停止します。
1	MFS I²S インタフェースにバスクロックを供給します。(初期値)

[bit13:12] ICCCK[1:0] : スマートカードインタフェースの動作クロック供給・停止設定

本ビットは、スマートカードインタフェース機能へのバスクロック(ベースクロック)供給および停止を制御します。各ビットとスマートカードインタフェースチャネルの対応を以下に示します。

bit12 – ICCCK0 : スマートカードインタフェースチャネル 0
bit13 – ICCCK1 : スマートカードインタフェースチャネル 1

当該ビットに 1 を設定すると、対応するスマートカードインタフェースチャネルにバスクロックが供給され、スマートカードインタフェース機能を使用できます。該当するスマートカードインタフェースチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応するスマートカードインタフェースチャネルへのバスクロック入力が停止します。バスクロック入力停止中は、スマートカードインタフェースの機能は使用できません。

bit	説明
0	スマートカードインタフェースへのバスクロック入力を停止します。
1	スマートカードインタフェースにバスクロックを供給します。(初期値)

[bit11:9] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit8] SDCCK : SD カードインタフェースの動作クロック供給・停止設定

本ビットは、SD カードインタフェース機能への動作クロック供給および停止を制御します。本ビットに 1 を設定すると、SD カードインタフェースユニットにバスクロックが供給され、SD カードインタフェース機能を使用できます。該当する SD カードインタフェースユニットが搭載されていない製品では、該当する
ビットを初期値から変更しないでください。
本ビットに 0 を設定すると、SD カードインタフェースユニットへのバスクロック入力が停止します。バスクロック入力停止中は、SD カードインタフェースの機能は使用できません。

bit	説明
0	SD カードインタフェースへのバスクロック入力を停止します。(初期値)
1	SD カードインタフェースにバスクロックを供給します。

[bit7] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit6:4] CANCK[2:0] : CAN コントローラの動作クロック供給・停止設定

本ビットは、CAN コントローラへのバスクロック(ベースクロック)供給および停止を制御します。各ビットと CAN コントローラチャネルの対応を以下に示します。

bit4 - CANCK0 : CAN コントローラチャネル 0
bit5 - CANCK1 : CAN コントローラチャネル 1
bit6 - CANCK2 : CAN コントローラチャネル 2 (TYPE3-M4, TYPE4-M4 製品の場合は CAN-FD)

当該ビットに 1 を設定すると、対応する CAN コントローラチャネルにバスクロックが供給され、CAN コントローラ機能を使用できます。該当する CAN コントローラチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応する CAN コントローラチャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当するチャネルの CAN コントローラ機能は使用できません。

bit	説明
0	当該ビットに対応する CAN コントローラチャネルへのバスクロック入力を停止します。(初期値: CAN コントローラ非搭載品)
1	当該ビットに対応する CAN コントローラチャネルにバスクロックを供給します。 (初期値: CAN コントローラ搭載品)

[bit3:2] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit1:0] USBCK[1:0] :USB(ファンクション/ホスト)の動作クロック供給・停止設定

本ビットは、USB(ファンクション/ホスト)への動作クロック供給および停止を制御します。各ビットとUSB チャネルの対応を以下に示します。

bit0 - USBCK0 : USB チャネル 0
bit1 - USBCK1 : USB チャネル 1

当該ビットに 1 を設定すると、対応する USB チャネルにバスクロックが供給され、USB 機能を使用できます。該当する USB チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。
当該ビットに 0 を設定すると、対応する USB チャネルへのバスクロック入力が停止します。バスクロック入力停止中は、該当するチャネルの USB 機能は使用できません。

bit	説明
0	当該ビットに対応する USB チャネルへのバスクロック入力を停止します。(初期値)
1	当該ビットに対応する USB チャネルにバスクロックを供給します。

4.6 周辺リセット制御レジスタ 2(MRST2)

周辺リセット制御レジスタ 2(MRST2)について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約			QSPIRST	予約		CECRST[1:0]	
属性				R/W	-		R/W	
初期値				0	-		00	

bit	23	22	21	20	19	18	17	16
Field	予約			PCRCRST	予約		I2SRST	
属性				R/W	-		R/W	
初期値				0	-		00	

bit	15	14	13	12	11	10	9	8
Field	IISCRST[1:0]		ICCRST[1:0]		予約			SDCRST
属性	R/W		R/W		-			R/W
初期値	00		00		-			0

bit	7	6	5	4	3	2	1	0
Field	予約	CANRST[2:0]			予約		USBRST[1:0]	
属性	-	R/W			-		R/W	
初期値	-	000			-		00	

[bit31:29] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit28] QSPIRST : Hi-Speed Quad SPI controller のリセット制御

本ビットは、Hi-Speed Quad SPI controller 単体のリセットを制御します。本ビットに 1 を設定すると、Hi-Speed Quad SPI controller がリセット状態となり、Hi-Speed Quad SPI controller の動作が停止し、レジスタは初期化されます。Hi-Speed Quad SPI controller を搭載していない製品では、本ビットに"1"を設定しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	Hi-Speed Quad SPI controller のリセットを解除します。(初期値)
1	Hi-Speed Quad SPI controller へリセットを発行します。

[bit27:26] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit25:24] CECRST[1:0] :HDMI-CEC/リモコン受信のリセット制御

本ビットは、HDMI-CEC/リモコン受信のチャネル単位でリセットを制御します。各ビットと HDMI-CEC/リモコン受信チャネルの対応を以下に示します。

bit24 - CECRST0 : HDMI-CEC/リモコン受信チャネル 0
bit25 - CECRST1 : HDMI-CEC/リモコン受信チャネル 1

当該ビットに 1 を設定すると、対応する HDMI-CEC/リモコン受信がリセット状態となり、HDMI-CEC/リモコン受信の動作が停止し、レジスタは初期化されます。該当する HDMI-CEC/リモコン受信を搭載していない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本
ビットに 0 を設定し直してください。

bit	説明
0	HDMI-CEC/リモコン受信のリセットを解除します。(初期値)
1	HDMI-CEC/リモコン受信へリセットを発行します。

[bit23:21] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit20] PCRCRST :プログラマブル CRC のリセット制御

本ビットは、プログラマブル CRC 単体のリセットを制御します。本ビットに 1 を設定すると、プログラマブル CRC がリセット状態となり、プログラマブル CRC の動作が停止し、レジスタは初期化されます。プログラマブル CRC を搭載していない製品では、本ビットに 1 を設定しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	プログラマブル CRC のリセットを解除します。(初期値)
1	プログラマブル CRC へリセットを発行します。

[bit19:18] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit17:16] I2SRST[1:0] :I²S インタフェースのリセット制御

本ビットは、I²S インタフェースのチャネル単位でリセットを制御します。各ビットと I²S インタフェースチャネルの対応を以下に示します。

bit16 - I2SRST0 : I²S インタフェースチャネル 0
bit17 - I2SRST1 : I²S インタフェースチャネル 1

当該ビットに 1 を設定すると、対応する I²S インタフェースのチャネルがリセット状態となり、I²S インタフェースの動作が停止し、レジスタは初期化されます。該当する I²S インタフェースチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	I²S インタフェースのリセットを解除します。(初期値)
1	I²S インタフェースへリセットを発行します。

[bit15:14] IISCRST[1:0] : MFS I²S インタフェースのリセット制御

本ビットは、MFS I²S インタフェースのチャネル単位でリセットを制御します。各ビットと MFS I²S インタフェースチャネルの対応を以下に示します。

bit14 - IISCRST0 : MFS I²S インタフェースチャネル 0
bit15 - IISCRST1 : MFS I²S インタフェースチャネル 1

当該ビットに 1 を設定すると、対応する MFS I²S インタフェースのチャネルがリセット状態となり、MFS I²S インタフェースの動作が停止し、レジスタは初期化されます。該当する MFS I²S インタフェースチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	MFS I²S インタフェースのリセットを解除します。(初期値)
1	MFS I²S インタフェースへリセットを発行します。

[bit13:12] ICCRST[1:0] : スマートカードインタフェースのリセット制御

本ビットは、スマートカードインタフェースのチャネル単位でリセットを制御します。各ビットとスマートカードインタフェースチャネルの対応を以下に示します。

bit12 - ICCRST0 : スマートカードインタフェースチャネル 0
bit13 - ICCRST1 : スマートカードインタフェースチャネル 1

当該ビットに 1 を設定すると、対応するスマートカードインタフェースのチャネルがリセット状態となり、スマートカードインタフェースの動作が停止し、レジスタは初期化されます。該当するスマートカードインタフェースチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	スマートカードインタフェースのリセットを解除します。(初期値)
1	スマートカードインタフェースへリセットを発行します。

[bit11:9] 予約 :予約ビット

書込みは、0 を書き込んでください。

[bit8] SDCRST :SD カードインタフェースのリセット制御

本ビットは、SD カードインタフェース単体のリセットを制御します。本ビットに 1 を設定すると、SD カードインタフェースがリセット状態となり、SD カードインタフェースの動作が停止し、レジスタは初期化されます。SD カードインタフェースを搭載していない製品では、本ビットに 1 を設定しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	SD カードインタフェースのリセットを解除します。(初期値)
1	SD カードインタフェースへリセットを発行します。

[bit7] 予約 :予約ビット
書込みは、0 を書き込んでください。

[bit6:4] CANRST[2:0] :CAN コントローラのリセット制御
本ビットは、CAN コントローラのチャネル単位でリセットを制御します。各ビットと CAN コントローラチャネルの対応を以下に示します。

bit4 – CANRST0 : CAN コントローラチャネル 0
bit5 – CANRST1 : CAN コントローラチャネル 1
bit6 – CANRST2 : CAN コントローラチャネル 2 (TYPE3-M4, TYPE4-M4 製品の場合は CAN-FD)

当該ビットに 1 を設定すると、対応する CAN コントローラのチャネルがリセット状態となり、CAN コントローラ動作が停止し、レジスタは初期化されます。該当する CAN コントローラチャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	当該ビットに対応する CAN コントローラチャネルのリセットを解除します。 (初期値)
1	当該ビットに対応する CAN コントローラチャネルへリセットを発行します。

[bit3:2] 予約 :予約ビット
書込みは、0 を書き込んでください。

[bit1:0] USBRST[1:0] :USB(ファンクション/ホスト)のリセット制御
本ビットは、USB(ファンクション/ホスト)のチャネル単位でリセットを制御します。各ビットと USB チャネルの対応を以下に示します。

bit0 – USBRST0 : USB チャネル 0
bit1 – USBRST1 : USB チャネル 1

当該ビットに 1 を設定すると、対応する USB のチャネルがリセット状態となり、USB 動作が停止し、レジスタは初期化されます。該当する USB チャネルが搭載されていない製品では、該当するビットを初期値から変更しないでください。リセット状態を解除するため、必ず本ビットに 0 を設定し直してください。

bit	説明
0	当該ビットに対応する USB チャネルのリセットを解除します。(初期値)
1	当該ビットに対応する USB チャネルへリセットを発行します。

5. 周辺クロック停止機能　使用時の注意

周辺クロック停止機能を使用する際の注意点について、周辺機能ごとに説明します。

全般

■ クロック供給を停止している周辺機能の制御

クロック供給を停止している周辺機能へのレジスタアクセスはリード・ライト共に動作を保証しません。読出し値は不定、書込みは禁止です。

周辺クロック停止中に、周辺リセット制御レジスタ 0～2(MRST0, MRST1, MRST2)の制御で内部状態をリセットすることはできます。

■ 周辺クロック設定の組み合わせ

複数の周辺機能を組み合わせで動作する機能は、必ず対象の周辺機能すべてを周辺クロック制御レジスタ

0～2 (CKEN0, CKEN1, CKEN2)でクロック供給側に設定してください。

例えば、A/D コンバータのタイマトリガ選択でベースタイマを使用する場合は、使用する A/D コンバータの該当ユニットとベースタイマの該当チャネルを周辺クロック制御レジスタ(CKEN0, CKEN1)でそれぞれ設定してください。

■ 周辺クロック設定の初期化条件

周辺クロック停止機能は以下のリセットで初期状態になります。以下のリセット発生後は必ず、周辺クロック停止機能の再設定を実施してください。

以下のリセットの詳細は、『リセット』の章を参照してください。

- 電源投入リセット(PONR)
- 低電圧検出リセット(LVDH)
- INITX 端子入力(INITX)
- ソフトウェア・ウォッチドッグリセット(SWDGR)
- ハードウェア・ウォッチドッグリセット(HWDGR)
- クロック故障検出リセット(CSVR)
- 異常周波数検出リセット(FCSR)
- ソフトウェアリセット(SRST)
- APB2 バスリセット(APBC2_PSR)
- ディープスタンバイ遷移リセット(DSTR)

マルチファンクションシリアルインタフェース

■ LIN Sync field 検出 : LSYN

LIN バスインタフェースモードでインプットキャプチャ(ICU)を使用する場合は、マルチファンクションシリアルインタフェースの周辺クロック設定と合せて、対応する多機能タイマ(インプットキャプチャ)への動作クロック供給を行う設定を別途実施してください。マルチファンクションシリアルインタフェースとインプットキャプチャの接続は、『I/O ポート』の章の拡張機能端子設定レジスタ(EPFR)を参照してください。

■ MFS I^2S インタフェース

クロック同期シリアルインタフェース(CSIO)モードで I^2S を使用する場合は、マルチファンクションシリアルインタフェースの周辺クロック設定と合わせて、対応する MFS I^2S インタフェースへの動作クロック供給を行う設定を別途実施してください。

ベースタイマ

■ ベースタイマのクロック設定単位

ベースタイマの周辺クロック制御は、Table 5-1 に示す 4 チャネル単位でクロックの停止・供給の制御を行います。

Table 5-1 周辺クロック停止設定とベースタイマチャネルの対応

周辺クロック制御レジスタ (CKEN1)の設定ビット	対象チャネル
bit0	ベースタイマ ch.3, ch.2, ch.1, ch.0
bit1	ベースタイマ ch.7, ch.6, ch.5, ch.4
bit2	ベースタイマ ch.11, ch.10, ch.9, ch.8
bit3	ベースタイマ ch.15, ch.14, ch.13, ch.12

多機能タイマ

■ FRT 選択レジスタ

以下の FRT 選択機能を使用する場合は、接続元の FRT が搭載されている多機能タイマユニットの動作クロックは供給側に設定してください。

- OCU 接続 FRT 選択レジスタ(OCFS)
- ICU 接続 FRT 選択レジスタ(ICFS)
- ADC 起動コンペア接続 FRT 選択レジスタ(ADCMP)

PPG

■ PPG のクロック制御

PPG への入力クロック制御は、多機能タイマへの入力クロック設定と連動しています。Table 5-2 に PPG のチャネル番号と多機能タイマのユニット番号を示します。

Table 5-2 多機能タイマと PPG の入力クロック制御

多機能タイマのユニット番号	PPG のチャネル番号
ユニット 0	チャネル 0～チャネル 7
ユニット 1	チャネル 8～チャネル 15
ユニット 2	チャネル 16～チャネル 23
ユニット 3	チャネル 24～チャネル 31

外部バスインタフェース

■ 外部バスインタフェースの個別リセット制御

周辺機能リセット制御レジスタ 0(MRST0)の bit26(EXBRST)で外部バスインタフェースを個別にリセットした場合、外部バスインタフェースの動作は停止しますが、外部バスインタフェースのレジスタは初期化されません。

USB(ファンクション/ホスト)

■ クロック制御対象

周辺クロック制御レジスタ 2(CKEN2)の USBCK ビットでは、USB 通信用クロックの停止・供給を制御できません。USB 通信用クロックの制御は USB クロック設定レジスタ(UCCR)または USB/Ethernet クロック設定レジスタ(UCCR)の UCEN ビットで実施してください。詳細は『通信マクロ編』の『USB クロック生成』を参照してください。

A/D コンバータ

■ A/D タイマトリガ選択

A/D コンバータの起動要因としてベースタイマを使用する場合は、選択するベースタイマチャネルの動作クロックは供給側に設定してください。

I/O ポート

■ バスクロック停止時の制限

I/O ポートのバスクロック停止中は、Table 5-3 に示すように I/O ポートに関する機能を一部使用できません。必ず使用条件を確認して、I/O ポートのバスクロック制御を実施してください。I/O ポート機能の詳細は、『I/O ポート』の章を参照してください。

Table 5-3 I/O ポートクロック停止時の制限

制御内容	バスクロックの状態	
	供給時*	停止時*
I/O ポート機能の入力レベル読出し (PDIR レジスタのリード)	○	×
I/O ポート機能の出力レベル切換えと状態確認 (PDOR レジスタの読出し・書込み)	○	×
I/O ポートのモード変更 (PFR・PCR・DDR・ADE・SPSR・EPFR・PZR レジスタの設定変更)	○	×
周辺機能動作(信号入力および信号出力)	○	○
外部割込み・NMI 制御	○	○
リセット入力(INITX)	○	○
ディープスタンバイモードからの復帰 (WKUP 端子入力)	○	○

*: ○は使用可能、×は使用禁止を示す。

I²S インタフェース

■ クロック制御対象

周辺クロック制御レジスタ 2(CKEN2)の I2SCK ビットでは、I²S クロックの停止・供給を制御できません。I²S クロックの制御は I²S クロック制御レジスタ(ICCR)の I2SEN ビットで実施してください。詳細は『通信マクロ編』の『I²S クロック生成』を参照してください。

HDMI-CEC/リモコン受信

■ クロック制御対象

周辺クロック制御レジスタ 2(CKEN2)の CECCK ビットでは、HDMI-CEC/リモコン受信へのサブクロックの停止・供給を制御できません。HDMI-CEC/リモコン受信へのサブクロックの制御はサブクロック供給制御レジスタ(RCK_CTL)の CECCKE ビットで実施してください。詳細は『低消費電力モード』を参照してください。

CHAPTER 2-3: 高速 CR トリミング

高速 CR トリミング機能について説明します。

1. 高速 CR トリミング機能 概要
2. 高速 CR トリミング機能 構成・ブロックダイヤグラム
3. 高速 CR トリミング機能 動作説明
4. 高速 CR トリミング機能 設定手順例
5. 高速 CR トリミング機能 レジスター覧
6. 高速 CR トリミング機能 使用上の注意点

1. 高速 CR トリミング機能 概要

高速 CR 発振器の周波数トリミング機能を説明します。

本デバイスの高速 CR 発振器は、プロセスばらつきにより、周波数精度に変動幅を持ちます。トリミング機能を設定することで、周波数のオフセット調整および温度による周波数の変動を抑えることができます。

高速 CR トリミング機能は、周波数トリミング設定部と温度トリミング設定部から構成されます。

周波数トリミング設定部は以下の機能を持ちます。

- 周波数トリミングレジスタ(MCR_FTRM)にトリミング値を書き込むことにより、高速 CR の周波数オフセット調整が可能
- ベースタイマの ch.0 を使用することにより、一定期間内のカウント値から、周波数トリミングレジスタへの設定値を算出することが可能

温度トリミング設定部は以下の機能を持ちます。

- 温度トリミングレジスタ(MCR_TTRM)にトリミング値を書き込むことにより、高速 CR の温度補正が可能

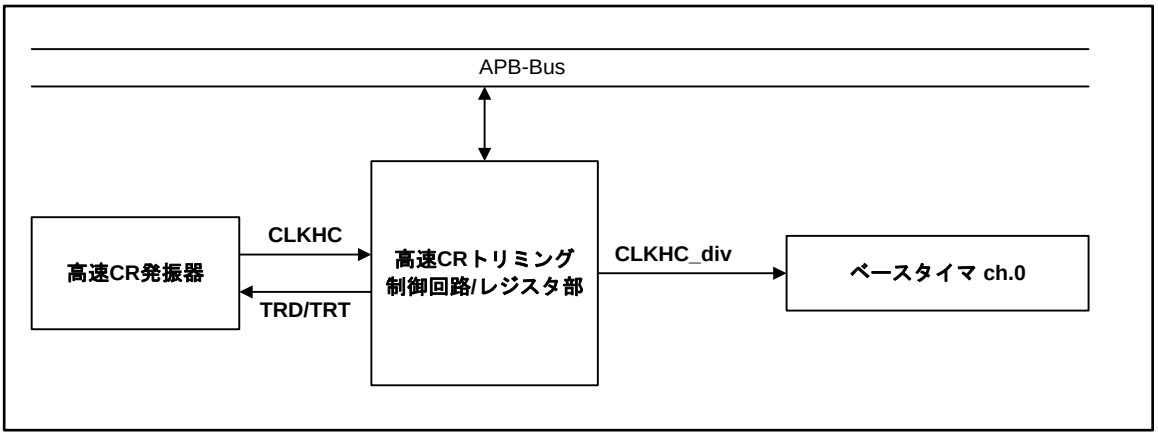
高速 CR 発振器の周波数精度はご使用する製品の『データシート』の電気的特性を参照してください。

2. 高速 CR トリミング機能 構成・ブロックダイヤグラム

高速 CR 発振器の周波数トリミング機能の構成・ブロックダイヤグラムを説明します。

Figure 2-1 に高速 CR 発振器の周波数トリミング機能のブロックダイヤグラムを示します。

Figure 2-1 高速 CR 発振器　タイミング回路のブロックダイヤグラム



構成

■ 高速 CR 発振器

高速 CR 発振器です。CLKHC(高速 CR クロック)を出力します。
また、高速 CR 発振 周波数トリミング設定レジスタ(MCR_FTRM)の TRD ビット、高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM)の TRT ビットにより、トリミングを行えます。

■ 高速 CR トリミング制御回路・レジスタ部

高速 CR クロックのトリミング設定を行うための制御回路, レジスタを持ちます。
また、高速 CR 発振 分周設定レジスタ(MCR_PSR)の CSR ビットで設定した分周比で分周した高速 CR クロック(CLKHC_div)をベースタイマ ch.0 に出力します。

■ ベースタイマ

高速 CR クロックの周波数トリミングデータを算出するため、周波数をカウントできます。

<注意事項>

- *クロック定義については、別章『クロック』を参照してください。*

3. 高速 CR トリミング機能 動作説明

高速 CR 発振器の周波数トリミング機能の動作説明をします。

高速 CR 発振 周波数トリミング機能　動作説明

■ 周波数トリミング設定

周波数トリミング設定レジスタ(MCR_FTRM)にトリミングデータ値を書き込むことにより、プロセスばらつきによる高速 CR クロックの誤差を補正できます。

■ 温度トリミング設定

温度トリミング設定レジスタ(MCR_TTRM)にトリミングデータ値を書き込むことにより、温度変動による高速 CR クロックの誤差を補正できます。

■ レジスタ Lock 機能

周波数トリミング設定レジスタ(MCR_FTRM)/温度トリミング設定レジスタ(MCR_TTRM)には書込み保護機能があります。
これはシステム暴走時などに不正にレジスタを書き換えられないようにするためです。

■ トリミングデータ取得

周波数トリミング設定レジスタ(MCR_FTRM)に書込むデータ取得方法は以下の 3 つがあります。

- 工場出荷時のフラッシュメモリの「CR トリミング」領域に保存されている値を用いる。
  フラッシュメモリの「CR トリミング」領域の値はリセット解除後に CR トリミングデータ・ミラー・レジスタ(CRTRMM)へ格納されます。周波数トリミング設定レジスタ(MCR_FTRM)に書込むデータは、CR トリミングデータ・ミラー・レジスタ(CRTRMM)の TRMM ビットを使用してください。
- ユーザ自身がベースタイマを使用することにより、一定期間内のカウント値から、周波数トリミング設定レジスタへの設定値を算出する。
- 高速 CR クロックを外部端子に出力し、波形モニタを行い、周波数トリミング設定レジスタへの設定値を算出する。

温度トリミング設定レジスタ(MCR_TTRM)に書込むデータは、以下の方法で取得してください。

- 工場出荷時のフラッシュメモリの「CR トリミング」領域に保存されている値を用いる。
  フラッシュメモリの「CR トリミング」領域の値はリセット解除後に CR トリミングデータ・ミラー・レジスタ(CRTRMM)へ格納されます。温度トリミング設定レジスタ(MCR_TTRM)に書込むデータは、CR トリミングデータ・ミラー・レジスタ(CRTRMM)の TTRMM ビットを使用してください。

<注意事項>

- *フラッシュメモリを消去する場合、「CR トリミング」領域も同時に消去されます。「CR トリミング」領域の値を使用する場合、フラッシュメモリを消去する前に「CR トリミング」領域のデータを別領域(RAM など)に保存してください。*
  または、「CR トリミング」領域以外のセクタを消去してください。
- *「CR トリミング」領域のアドレスについては、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

4. 高速 CR トリミング機能 設定手順例

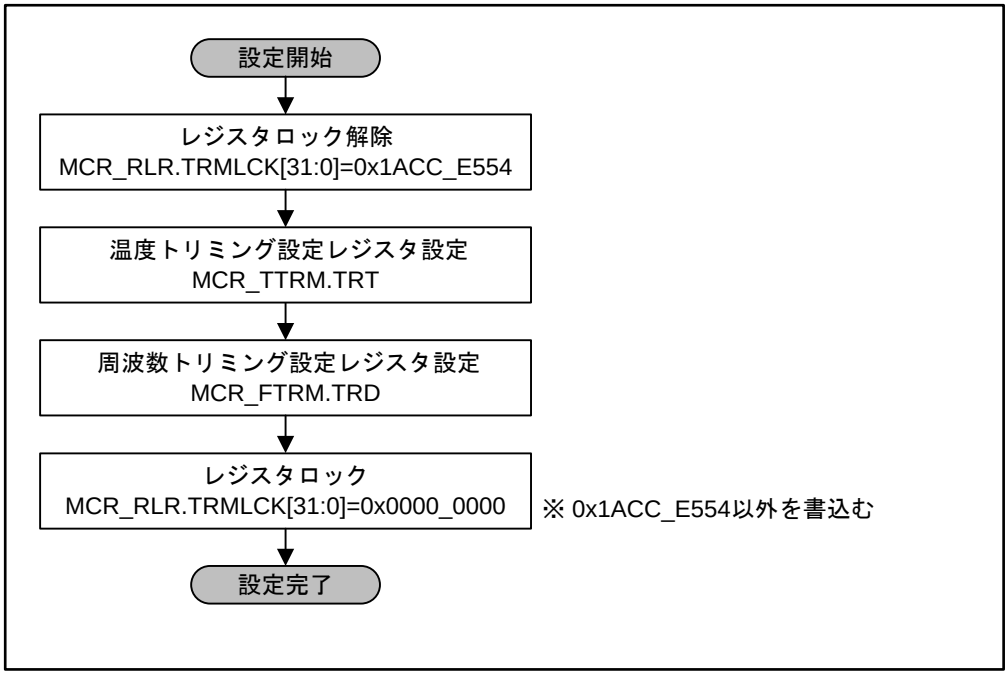
高速 CR 発振器のトリミング機能の設定手順例を説明します。

トリミング機能設定

Figure 4-1 に示す手順で設定してください。

1. 高速 CR 発振 レジスタ書込み保護レジスタ(MCR_RLR)の TRMLCK[31:0]ビットに「0x1ACCE554」を書込み、周波数トリミング設定レジスタ(MCR_FTRM) / 温度トリミング設定レジスタ(MCR_TTRM)のロックを解除する。
2. 温度トリミング設定レジスタ(MCR_TTRM)の TRT ビットにトリミングデータを設定する。
3. 周波数トリミング設定レジスタ(MCR_FTRM)の TRD ビットを設定する。
4. 高速 CR 発振 レジスタ書込み保護レジスタ(MCR_RLR)の TRMLCK[31:0]ビットに「0x1ACCE554 以外」の値を書込み、周波数トリミング設定レジスタ(MCR_FTRM)/温度トリミング設定レジスタ(MCR_TTRM)にロックをかける。

Figure 4-1 周波数/温度トリミングデータ設定



周波数トリミングデータ 取得例

フラッシュメモリの「CR トリミング」領域から取得する場合

フラッシュメモリの「CR トリミング」領域を読み出し、取得した値を周波数トリミングレジスタ(MCR_FTRM)の TRD ビットに書き込んでください。

周波数トリミングデータ算出方法

以下に高速 CR 発振器のトリミングデータ算出方法を説明します。

1. ターゲット発振周波数 Ftgt を 4MHz としその周期を Ttgt = 250[ns](Ftgt:4[MHz])とします。そのときの高速 CR 発振 周波数トリミング設定レジスタの TRD[9:5]ビットの値を Xtrm_coarse、TRD[4:0]ビットの値を Xtrm_fine とし、TRD[9:0]ビットの値を Xtrm とします。
2. TRD[4:0]ビットに 0b00000 を設定します
3. TRD[9:5]ビットに 0b00000 を設定したときの値を Xtrmmin_coarse とします。そのときの周期を Tmax_coarse[sec]とします。
4. TRD[9:5]ビットに 0b11111 を設定したときの値を Xtrmmax_coarse とします。そのときの周期を Tmin_coarse [sec]とします。
5. 以下の式より、ターゲット発振周期 Ttgt 以上となる TRD[9:5]設定値 Xtrm_coarse を算出します。

$$Xtrm_coarse = \frac{Ttgt - \frac{T\max_coarse - T\min_corse}{31} - T\max_coarse}{\frac{T\min_coarse - T\max_coarse}{31}}$$

※小数点以下は切り捨て

6. 求めた Xtrm_coarse を TRD[9:5]ビットに設定します。
7. TRD ビットを設定した後の高速 CR クロック FCRH が Ftgt 以下となっているか確認します。Ftgt を超えている場合は、Xtrm_coarse から 1 を減算し、手順 6.に戻ります。Ftgt 以下となっている場合は、手順 8.に進みます。
8. TRD[4:0]ビットに 0b00000 を設定したときの値を Xtrmmin_fine とします。そのときの周期を Tmax_fine[sec]とします。
9. TRD[4:0]ビットに 0b11111 を設定したときの値を Xtrmmax_fine とします。そのときの周期を Tmin_fine [sec]とします。また、
10. 以下の式より、ターゲット発振周期 Ttgt となる TRD[4:0]設定値 Xtrm_fine を算出します。

$$Xtrm_fine = \frac{Ttgt - \frac{T\max_fine - T\min_fine}{31} - T\max_fine}{\frac{T\min_fine - T\max_fine}{31}}$$

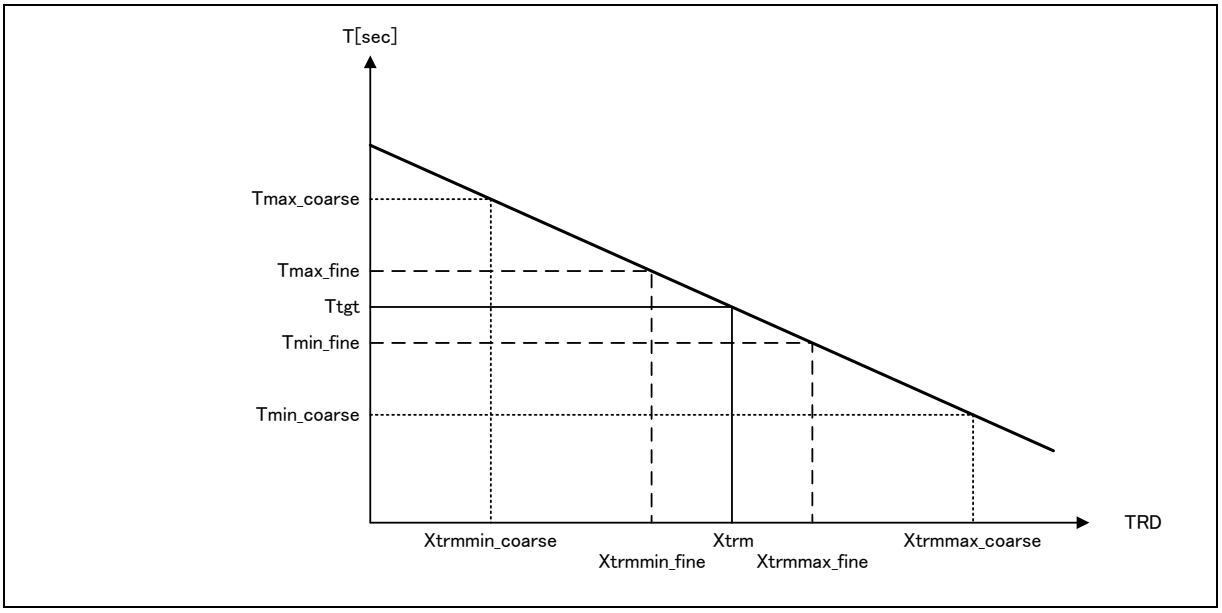
※小数点以下は切り上げ

11. 求めた Xtrm_fine を TRD[4:0]ビットに設定します。
12. TRD ビットを設定した後の高速 CR クロック FCRH が Ftgt 以上かつ高速 CR クロックの発振周波数の規格内となっているか確認します。FCRH が規格を超えている場合は、Xtrm_fine から 1 を減算し、手順 11.に戻ります。また、FCRH が Ftgt 未満の場合、Xtrm_fine に 1 を加算し、手順 11.に戻ります。規格内の場合、トリミングデータの算出は完了です。

<注意事項>

- ***高速 CR クロックの発振周波数の規格値については、ご使用する製品の『データシート』を参照してください。***

Figure 4-2 高速 CR クロックのトリミング方法



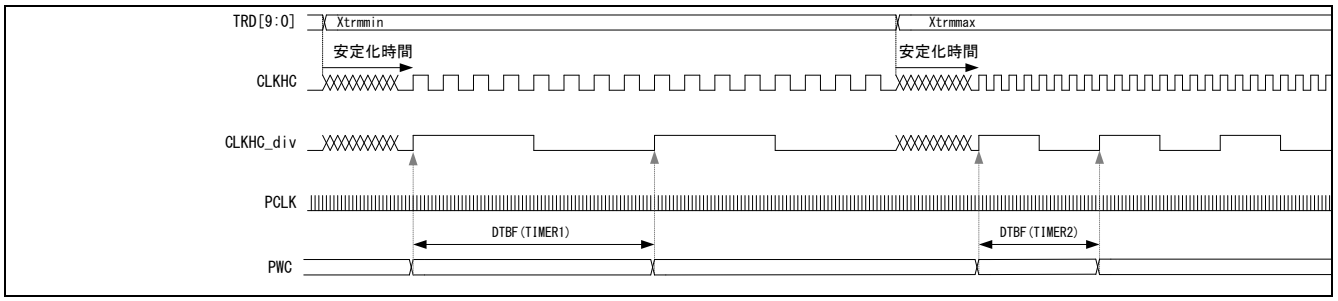
<注意事項>

- *Tmin_coarse/fine,Tmax_coarse/fine の測定方法については「ベースタイマを用いたトリミングデータ取得例」を参照してください。*

ベースタイマを用いたトリミングデータ取得例

高速 CR 発振 トリミング方法のタイムチャートを Figure 4-3 に示します。

Figure 4-3 ベースタイマを使用した高速 CR クロックのトリミング方法のタイムチャート



メインクロック(CLKMO)をマスタクロック(測定基準クロック)としてベースタイマを動作させます。
Xtrmmin および Xtrmmax 設定に対して、分周した高速 CR クロック(CLKHC_div)の立上りでトリガをかけ、そのときのベースタイマのタイマ値を読み出して下記を計算します。

Tmax = (TIMER1×PCLK) / DIV

Tmin = (TIMER2×PCLK) / DIV

- TIMER1, TIMER2: ベースタイマ(PWC)のカウント値
- PCLK: APB1 バスクロック
- DIV: 分周設定レジスタ(MCR_PSR)の CSR ビットで設定された分周比

(例) PCLK = 40 MHz (25 ns), 分周比 1/8, TIMER1 = 100 のとき、

Tmax = (100 × 25 ns) / 8 = 312.5 ns

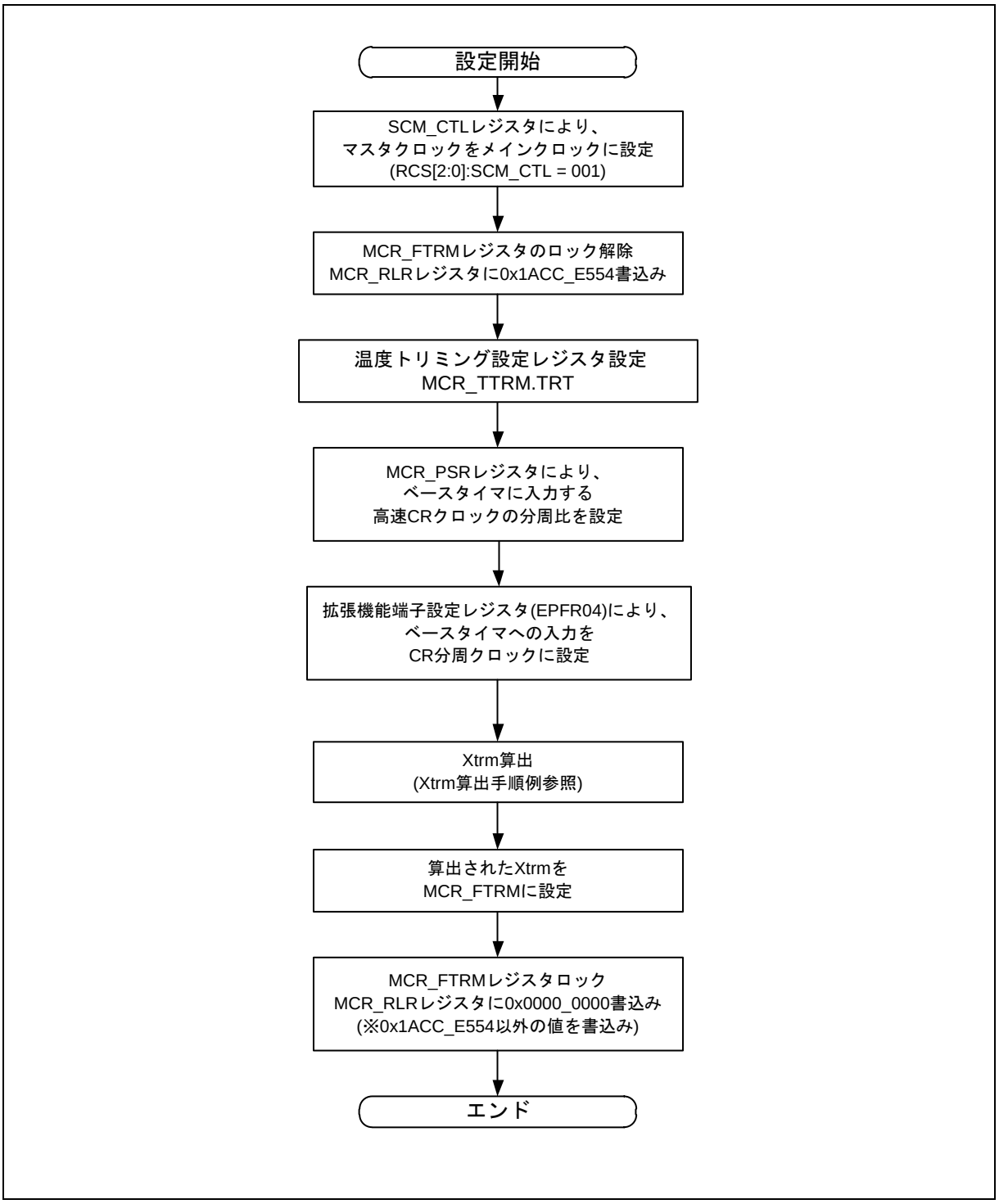
<注意事項>

- *トリミングに使用できるベースタイマは、ch.0 になります。*
  Figure 4-3 の PCLK は APB1 バスクロックになります。
  このときの PCLK はメインクロックをマスタクロックにしてください。

周波数トリミング手順例

Figure 4-4 に高速 CR 発振のトリミング手順例を示します。

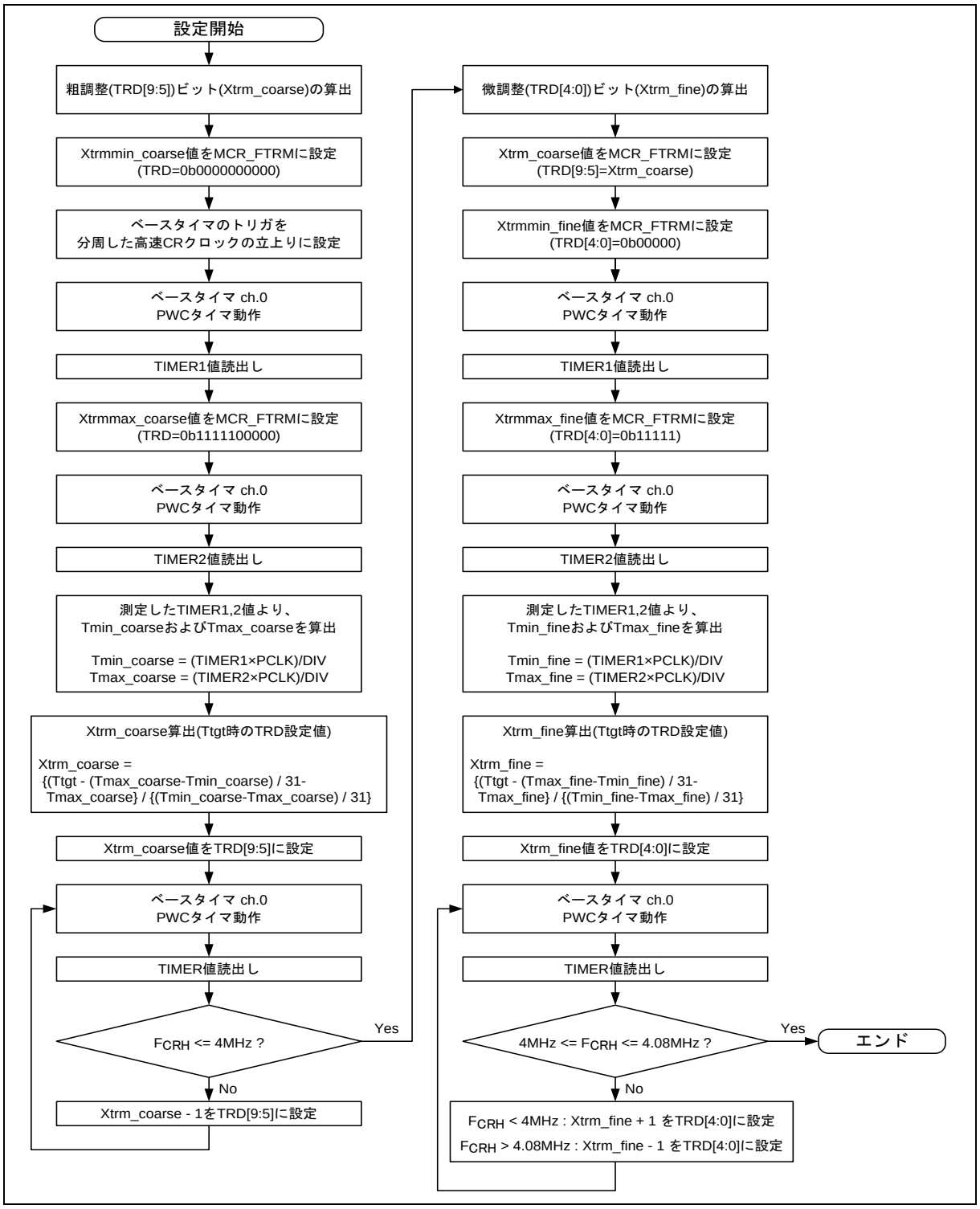
Figure 4-4 高速 CR 発振のトリミング手順例



Xtrm 算出手順例

Figure 4-5 に Xtrm 算出手順例を示します。粗調整および微調整の 2 段階での周波数トリミングを行ってください。

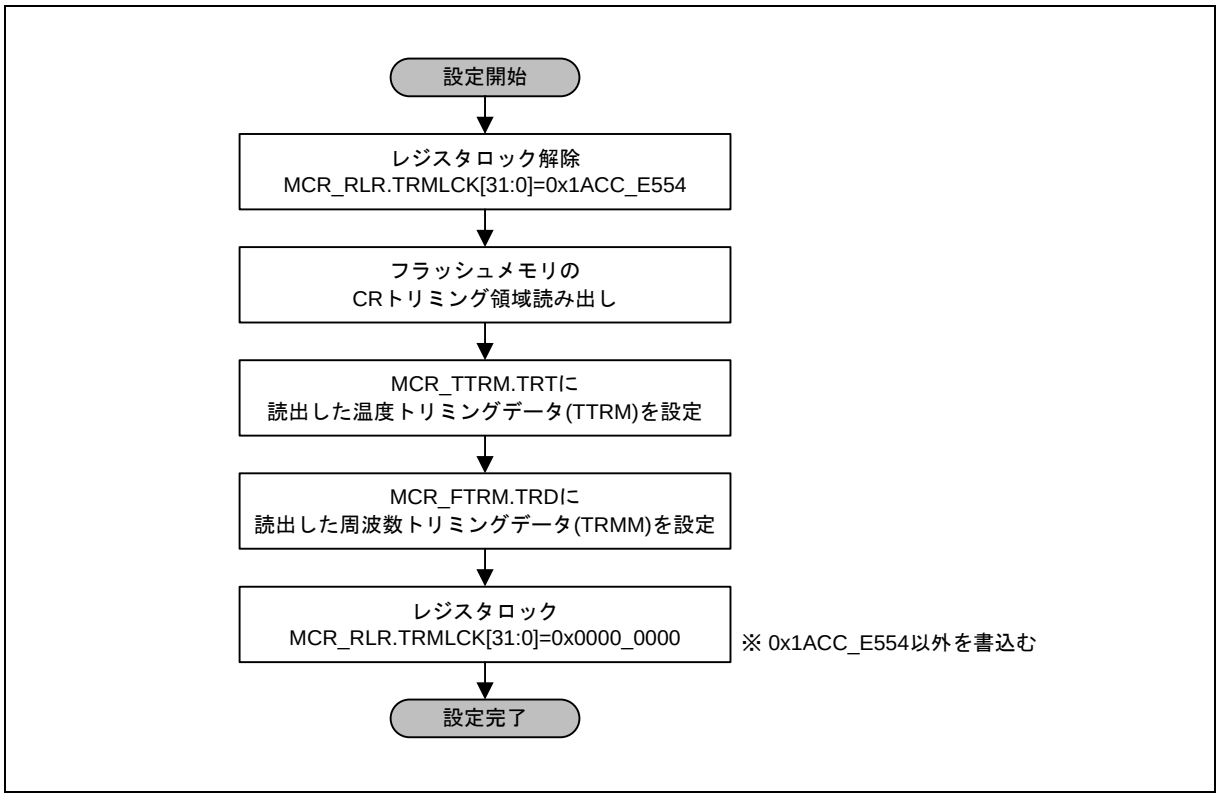
Figure 4-5 Xtrm 算出手順例



フラッシュメモリ内部の CR トリミング領域保存データの使用手順例

以下にフラッシュメモリの CR トリミング領域に保存されているトリミングデータを読み出して周波数トリミング設定レジスタ, 温度トリミング設定レジスタに設定する手順例を Figure 4-6 に示します。

Figure 4-6 CR トリミング領域保存データの使用手順例



<注意事項>

- *CR トリミング領域のアドレスについては、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

5. 高速 CR トリミング機能 レジスター覧

高速 CR 発振器の周波数トリミング機能のレジスター覧を説明します。

Table 5-1 にレジスター覧を示します。

Table 5-1 レジスター覧表

レジスタ略称	レジスタ名	参照先
MCR_PSR	高速 CR 発振 分周設定レジスタ	5.1
MCR_FTRM	高速 CR 発振 周波数トリミング設定レジスタ	5.2
MCR_TTRM	高速 CR 発振 温度トリミング設定レジスタ	5.3
MCR_RLR	高速 CR 発振 レジスタ書込み保護レジスタ	5.4

5.1 高速 CR 発振 分周設定レジスタ(MCR_PSR)

MCR_PSR レジスタは、高速 CR 発振の分周比を設定します。
分周されたクロックはベースタイマに入力できます。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						CSR	
属性	-						R/W	
初期値	-						001	

レジスタ機能

[bit7:3] 予約 : 予約ビット

これらのビットからは、"0b00000"が読み出されます。
書込みの場合には、"0b00000"を設定してください。

[bit2:0] CSR : 高速 CR 発振分周比設定ビット

bit2	bit1	bit0	説明
0	0	0	1/4
0	0	1	1/8[初期値]
0	1	0	1/16
0	1	1	1/32
1	0	0	1/64
1	0	1	1/128
1	1	0	1/256
1	1	1	1/512

5.2 高速 CR 発振 周波数トリミング設定レジスタ(MCR_FTRM)

MCR_FTRM レジスタは、周波数トリミング値を設定します。

レジスタ構成

bit	31															16
Field	予約															
属性	-															
初期値	-															

bit	15						10	9	8	7	6	5	4	3	2	1	0
Field	予約							TRD[9:0]									
属性	-							R/W									
初期値	-							0111101111									

レジスタ機能

[bit31:10] 予約 : 予約ビット

これらのビットからは、常に"0"が読み出されます。
書込みは動作に影響しません。

[bit9:0] TRD[9:0]: 周波数トリミング設定ビット

bit9:5	説明
書込み時	高速 CR 発振器の出力周波数の粗調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに約 2.3%の周波数ステップで変動します。
読出し時	設定された値が読み出されます。 初期値は 0b01111 が読み出されます。

bit4:0	説明
書込み時	高速 CR 発振器の出力周波数の微調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに約 0.14%の周波数ステップで変動します。
読出し時	設定された値が読み出されます。 初期値は 0b01111 が読み出されます。

<注意事項>

- *本レジスタはソフトウェアリセット時には初期化されません。*
- *TRD ビットに設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。*

5.3 高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM)

MCR_TTRM レジスタは、温度トリミング値を設定します。

レジスタ構成

bit	31	16
Field	予約	
属性	-	
初期値	-	

bit	15	5	4	3	2	1	0
Field	予約		TRT[4:0]				
属性	-		R/W				
初期値	-		10000				

レジスタ機能

[bit31:5] 予約 : 予約ビット

これらのビットからは、常に"0"が読み出されます。
書込みは動作に影響しません。

[bit4:0] TRT[4:0] : 温度トリミング設定ビット

bit4:0	説明
書込み時	温度による周波数変動の補正を行うビットです。 フラッシュメモリの温度トリミングビット保存領域を読み出した値を書き込んでください。 温度トリミングビット保存領域については、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。
読出し時	設定された値が読み出されます。 初期値は 0b10000 が読み出されます。

<注意事項>

- *本レジスタはソフトウェアリセット時には初期化されません。*
- *周波数トリミングデータを取得する際は、必ず先に本レジスタの設定を行ってください。*

5.4 高速 CR 発振 レジスタ書込み保護レジスタ(MCR_RLR)

MCR_RLR レジスタは、周波数トリミング設定レジスタ(MCR_FTRM),高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM)に対する書込み保護を制御します。

レジスタ構成

bit	31															16
Field	TRMLCK[31:16]															
属性	R/W															
初期値	0x0000															

bit	15															0
Field	TRMLCK[15:0]															
属性	R/W															
初期値	0x0001															

レジスタ機能

[bit31:0] TRMLCK[31:0] : レジスタ書込み保護ビット

bit31:0	説明
読出し時	読出し値が 0x00000000 : MCR_FTRM/MCR_TTRM レジスタはロック解除状態 読出し値が 0x00000001 : MCR_FTRM/MCR_TTRM レジスタはロック状態
0x1ACCE554 以外 書込み時	MCR_FTRM/MCR_TTRM レジスタはロックされます。
0x1ACCE554 書込み時	MCR_FTRM/MCR_TTRM レジスタがロック解除されます。

<注意事項>

- *本レジスタはソフトウェアリセット時には初期化されません。*

6. 高速 CR トリミング機能 使用上の注意点

■ 高速 CR トリミング機能の使用上の注意点を説明します。
低速 CR 発振器について

本トリミング機能は高速 CR 発振器にのみ有効です。
低速 CR 発振器には適用できません。

■ 「CR トリミング」領域に保存されているデータについて
「CR トリミング」領域には、工場出荷時に設定した周波数/温度トリミングデータが保存されています。
「CR トリミング」領域のアドレスについては、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。
フラッシュメモリを一括消去する場合、「CR トリミング」領域も同時に消去されます。「CR トリミング」領域の値を使用する場合、フラッシュメモリを消去する前に「CR トリミング」領域のデータを別領域(RAM など)に保存してください。
または、「CR トリミング」領域以外のセクタのデータを消去してください。

■ 高速 CR 発振器 発振周波数精度について
高速 CR 発振 温度トリミング設定レジスタ(MCR_TTRM)と高速 CR 発振 周波数トリミング設定レジスタ(MCR_FTRM)の設定を行わない場合、『データシート』に記載されている高速 CR 発振器の精度を保証できないため、必ず設定を行ってください。

■ ベースタイマの使用方法について
ベースの使用方法は、『タイマ編』の『ベースタイマ』および『I/O ポート』の章を参照してください。

FCS(異常周波数検出機能) について

FCS 機能(異常周波数検出機能)については、『クロック監視機能』の章を参照してください。また、FCS 機能有効後には CR トリミングは禁止です。

CHAPTER 2-4: 低速 CR プリスケーラ

低速 CR プリスケーラの機能と動作について説明します。

1. 低速 CR プリスケーラの概要
2. 低速 CR プリスケーラの構成
3. 低速 CR プリスケーラの動作説明と設定手順例
4. 低速 CR プリスケーラのレジスタ

1. 低速 CR プリスケーラの概要

低速 CR プリスケーラの概要を示します。

低速 CR プリスケーラ

低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)を設定することで低速 CR を分周し、低速 CR 分周クロック(CLKLC)を生成します。

本マクロを使用することで、低速 CR の精度を補正することが可能です。補正の仕方については、「3.低速 CR プリスケーラの動作説明と設定手順例」の「 低速 CR の補正例」を参照してください。

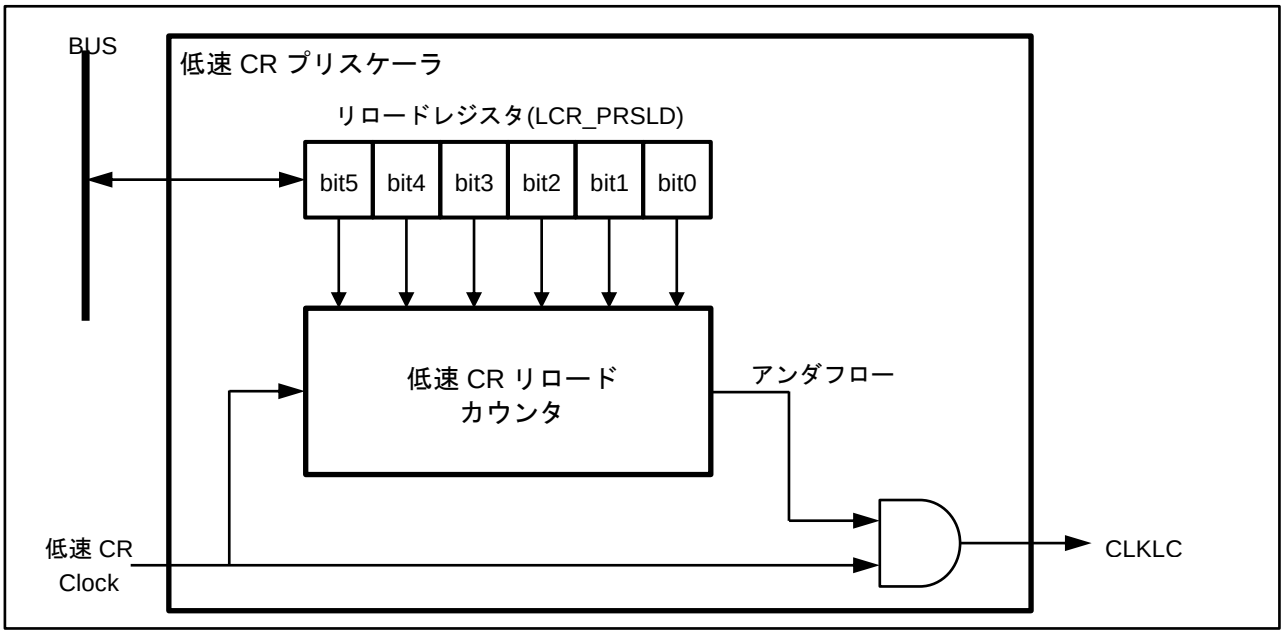
2. 低速 CR プリスケーラの構成

低速 CR プリスケーラのブロックダイヤグラムを示します。

低速 CR プリスケーラのブロックダイヤグラム

低速 CR スケーラのブロックダイヤグラムを Figure 2-1 に示します。

Figure 2-1 低速 CR プリスケーラのブロックダイヤグラム



■ 低速 CR プリスケーラリロードレジスタ (LCR_PRSLD)
低速 CR プリスケーラの分周比(リロード値)を設定します。

■ 低速 CR リロードカウンタ
低速 CR 分周クロック(CLKLC)を生成するダウンカウンタです。

3. 低速 CR プリスケーラの動作説明と設定手順例

低速 CR プリスケーラの動作について説明します。また、設定手順についても示します。

低速 CR プリスケーラの設定手順

低速 CR と周辺クロック(PCLK)は非同期です。

低速 CR プリスケーラリロードレジスタの書込みは周辺クロック(PCLK)を利用しています。そのため、低速 CR プリスケーラリロードレジスタ設定変更とリロードカウンタのリロードが同時に発生した場合に、リロードカウンタにリロードされる値を保証できません。

よって、低速 CR プリスケーラリロードレジスタの書換えは以下の手順にて行ってください。

■ 分周クロックを切り換える場合

低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)の初期値は"0"です。
そのため、初期値から設定を変更する場合は、本手順は不要です。

1. 低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)に"0"を設定します。
2. リロードカウンタに低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)の値がロードされるまで
   待ちます。
   待ち時間は、低速 CR 周期 (50 kHz : 20 µs)×「1.で"0"に書き換える前の設定値」です。
3. 低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)に新しい設定値を書き込みます。

設定変更時の待ち時間を Table 3-1 に示します。

Table 3-1 設定待ち時間

設定前 リロード値	設定値	待ち時間
0	0	なし
1	0	20 µs (20 µs×1)
2	0	40 µs (20 µs×2)
3	0	60 µs (20 µs×3)
:	:	:
60	0	1200 µs (20 µs×60)
61	0	1220 µs (20 µs×61)
62	0	1240 µs (20 µs×62)
63	0	1260 µs (20 µs×63)

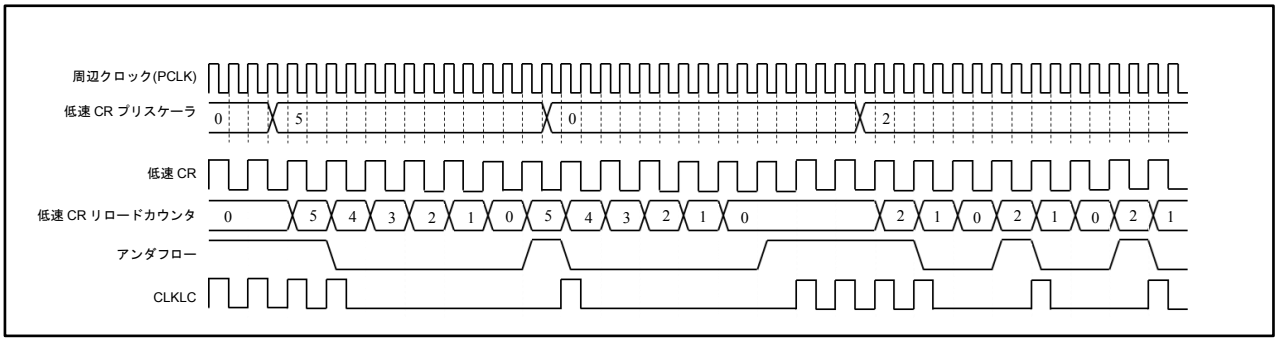
<注意事項>

- *分周クロックを停止することはできません。*
- *低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)の設定は低速 CR リロードカウンタのアンダフロー時に行われます。*

低速 CR プリスケーラの動作

低速 CR プリスケーラの動作を Figure 3-1 に示します。

Figure 3-1 低速 CR プリスケーラの動作説明図

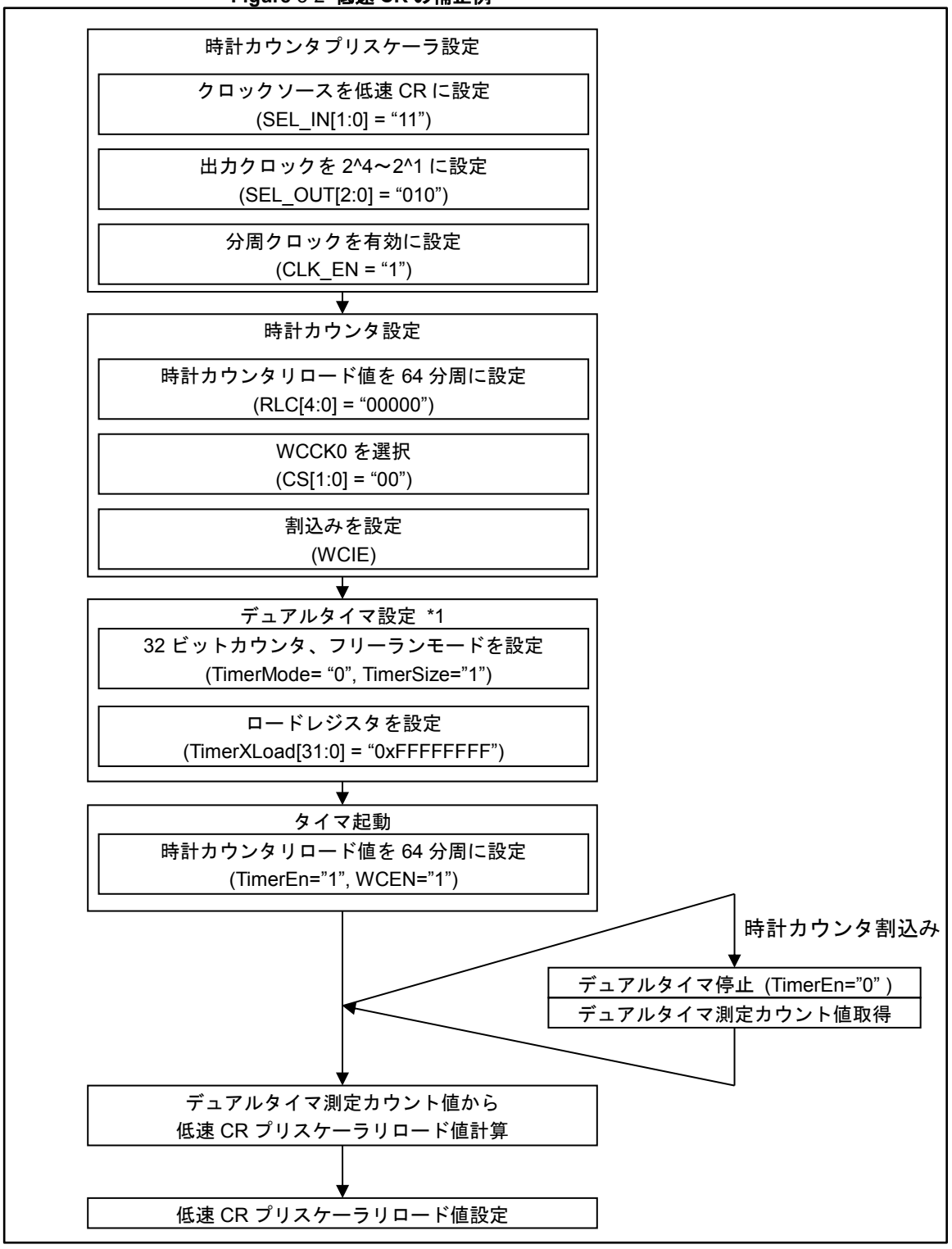


1. 周辺クロック(PCLK)に同期して、低速 CR プリスケーラロードレジスタ(LCR_PRSLD)をセットします。
2. 低速 CR リロードカウンタが 0 のタイミングで、低速 CR プリスケーラロードレジスタ(LCR_PRSLD)の値を取り込みます。
3. 低速 CR リロードカウンタアンダフローのタイミングで、低速 CR(CLKLC)を出力します。

低速 CR の補正例

低速 CR の補正例を Figure **3-2** に示します。

Figure 3-2 **低速 CR の補正例**



*1 上記はデュアルタイマを使用した場合の設定例で、BASE TIMER や MFT でも測定可能です。

4. 低速 CR プリスケーラのレジスタ

低速 CR プリスケーラのレジスター一覧を示します。

低速 CR プリスケーラのレジスタ

Table 4-1 低速 CR プリスケーラのレジスター一覧

レジスタ略称	レジスタ名	参照先
LCR_PRSLD	低速 CR プリスケーラリロードレジスタ	4.1

4.1 低速 CR プリスケーラリロードレジスタ(LCR_PRSLD)

低速 CR プリスケーラリロードレジスタは、低速 CR の分周比を設定するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		LCR_PRSLD[5:0]					
属性	-		R/W					
初期値	00		000000					

[bit7:6] 予約 : 予約ビット

読出しは常に"0"となります。

書込みは動作に影響しません。

[bit5:0] LCR_PRSLD : 低速 CR プリスケーラリロード

書込み時は低速 CR プリスケーラの分周比(リロードカウンタのリロード値)を設定します。

読出し時は設定値が読み出されます。

<注意事項>

- *本レジスタはソフトウェアリセットで初期化されません。*

CHAPTER 3: クロック監視機能

クロック監視機能について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. 動作例
6. レジスター一覧
7. 使用上の注意

1. 概要

クロック監視機能の概要を説明します。
クロック監視機能には以下の 2 種類の機能があります。

- クロック故障検出機能(CSV : Clock failure detection by clock Supervisor)
  クロック故障検出機能は、メインクロックとサブクロックを監視します。一定期間監視対象のクロック立上りエッジが検出されなかった場合は、発振器が故障したと判断しシステムリセット要求を出力します。
- 異常周波数検出機能(FCS : anomalous Frequency detection by Clock Supervisor)
  異常周波数検出機能は、メインクロックの周波数を監視します。高速 CR の分周クロックのエッジから次のエッジまでの一定期間、メインクロックにより、内部のカウンタがカウントアップします。カウント値が、設定したウィンドウの範囲外になった場合、メインクロックの周波数が異常であると判断し、CPU への割込み要求、またはシステムリセット要求を出力します。

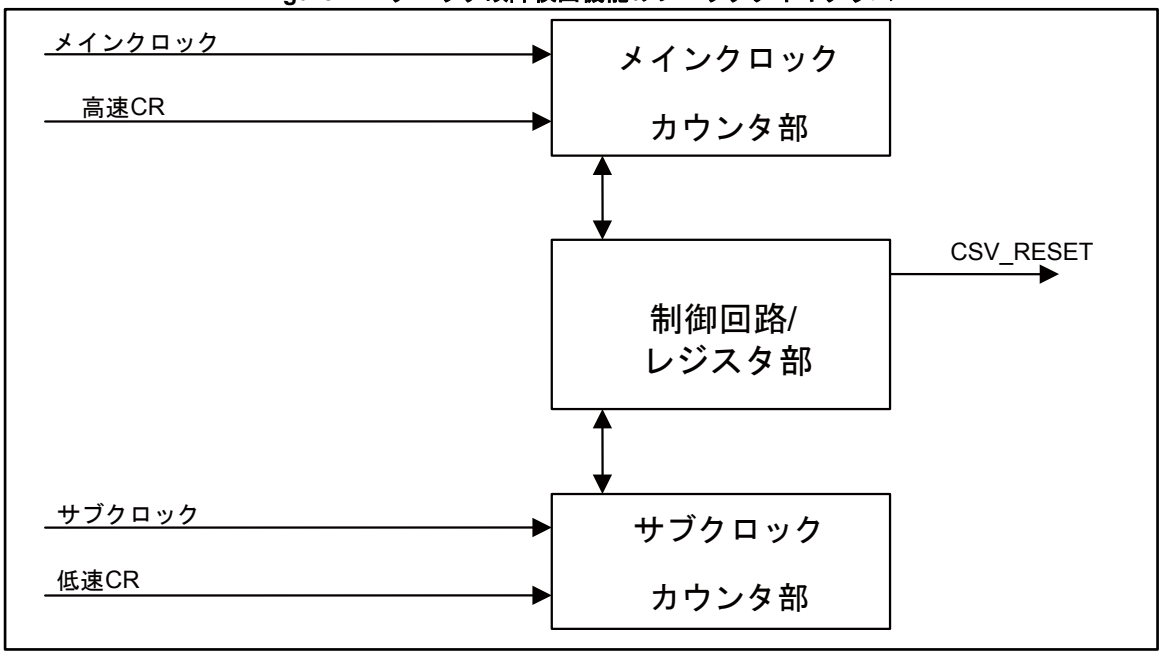
2. 構成・ブロックダイヤグラム

クロック監視機能のブロックダイヤグラムを説明します。

クロック故障検出機能

Figure 2-1 にクロック故障検出機能のブロックダイヤグラムを示します。

Figure 2-1 クロック故障検出機能のブロックダイヤグラム



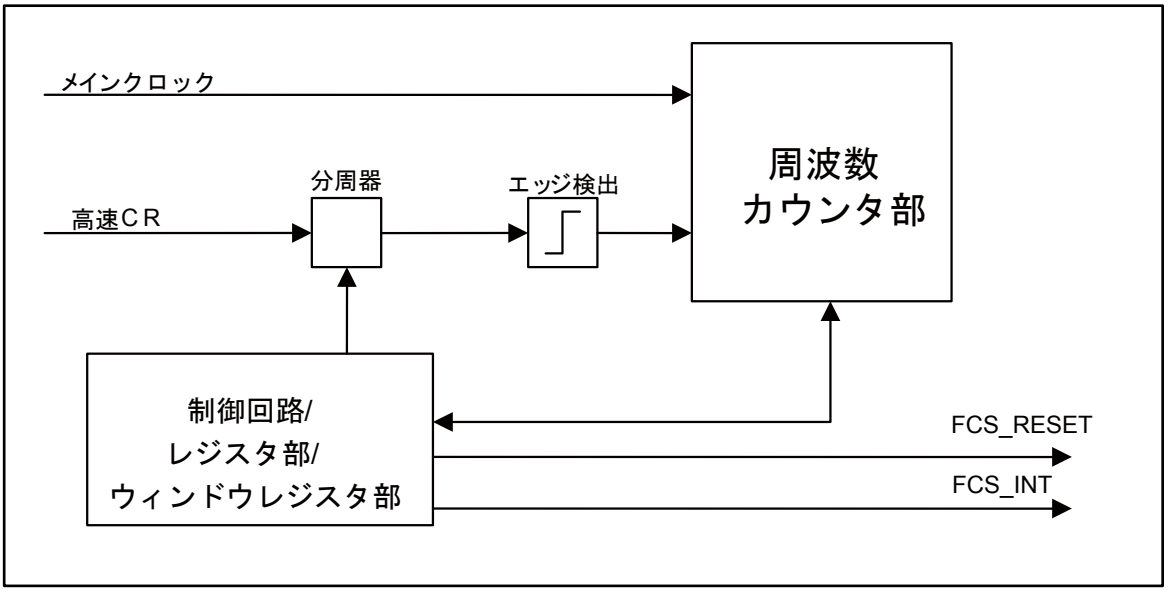
クロック故障検出機能は、以下の 3 種類のブロックから構成されます。

- 制御回路 / レジスタ部
  - クロック故障検出機能の制御回路を持ちます。
  - 設定レジスタを持ち、クロック故障検出機能の有効/無効を設定します。
- メインクロックカウンタ部
  メインクロックを高速 CR クロックで監視しているカウンタ部です。
- サブクロックカウンタ部
  サブクロックを低速 CR クロックで監視しているカウンタ部です。

異常周波数検出機能

Figure 2-2 に異常周波数検出機能のブロックダイヤグラムを示します。

Figure 2-2 異常周波数検出機能のブロックダイヤグラム



異常周波数検出機能は、以下の 3 種類のブロックから構成されます。

- 制御回路 / レジスタ部 / ウィンドウレジスタ部
  - 異常周波数検出機能の制御回路を持ちます。
  - 設定レジスタを持ち、異常周波数検出機能の有効/無効を設定します。
  - 測定の際、周波数範囲を定めるウィンドウレジスタを持ちます。
- 周波数カウンタ部

  メインクロックによるカウンタ部です。
- 分周器・エッジ検出部
  - 高速 CR を分周します。
  - 高速 CR の分周クロックの立上りエッジを検出します。

3. 動作説明

クロック監視機能の動作を説明します。

クロック故障検出機能

クロック故障検出機能は、メインクロックとサブクロックを監視します。一定期間、監視対象のクロック立上りエッジが検出されなかった場合、発振器が故障したと判断し、システムリセット要求を出力します。

- このリセット要求を CSV リセット要求とよびます。
- CSV 機能では、メインクロックとサブクロックを独立して監視します。
- メイン発振器・サブ発振器が発振停止したとき、監視を停止します。
- 発振安定待ち時間中は監視を停止します。
- CSV 機能は、メイン・サブ発振器の発振安定待ち完了から自動的に有効になります。

<注意事項>

- *CSV 制御レジスタ(CSV_CTL)により、メインクロック故障検出機能，サブクロック故障検出機能をそれぞれ独立して有効/無効に設定できます。*
- *メインクロックは高速 CR クロック、サブクロックは低速 CR クロックで監視されており、それぞれ、メインクロックは高速 CR 32 クロックの間、サブクロックは低速 CR 32 クロックの間に立上りエッジが検出されない場合、発振器が故障したと判断します。*

異常周波数検出機能

異常周波数検出機能は、メインクロックを監視します。

高速 CR の分周クロックの立上りエッジから次の立上りエッジまでの期間、メインクロックにより、内部のカウンタがカウントアップします。カウント値が、設定したウィンドウの範囲外になった場合、メインクロックの周波数が異常であると判断し、CPU への割込み要求、またはシステムリセット要求を出力します。

- この割込み要求を FCS 割込み要求，リセット要求を FCS リセット要求とよびます。
- FCS 機能では、メインクロックの周波数のみを監視します。
- メイン発振器が発振停止したとき、監視を停止します。
- 発振安定待ち時間中は監視を停止します。
- FCS 機能は、ユーザプログラムにより、ソフトウェアで起動されます。

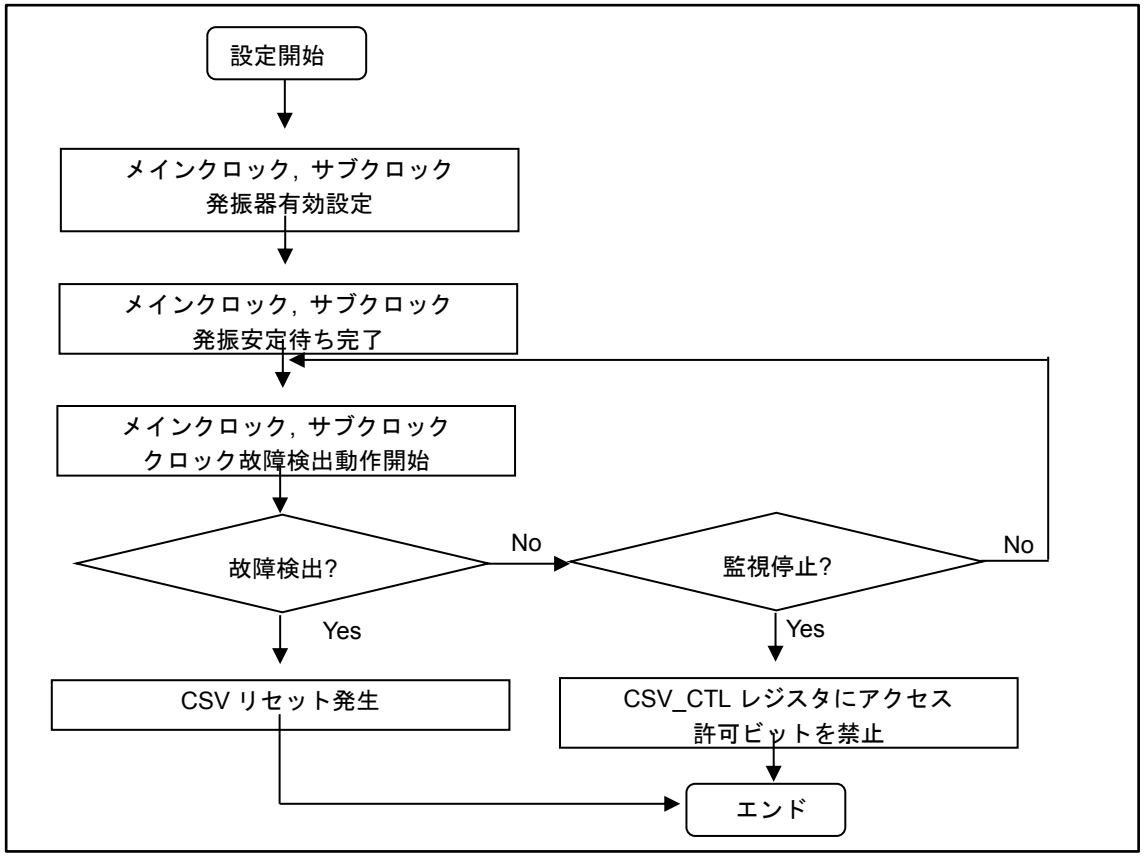
<注意事項>

- *FCS リセット許可をしている場合*
  カウンタ値が設定ウィンドウから外れた場合、1 回目は割込み要求が発生します。割込み要求がクリアされないまま、カウンタ値が設定ウィンドウ外に外れた場合、システムリセット要求を出力します。
  FCS リセット許可されていない場合は、リセット要求はマスクされます。
- *カウンタ値は設定したウィンドウ外に外れたときに、周波数検出カウンタレジスタ(FCSWD_CTL) に保存します。*

4. 設定手順例

クロック監視機能の設定手順例を説明します。

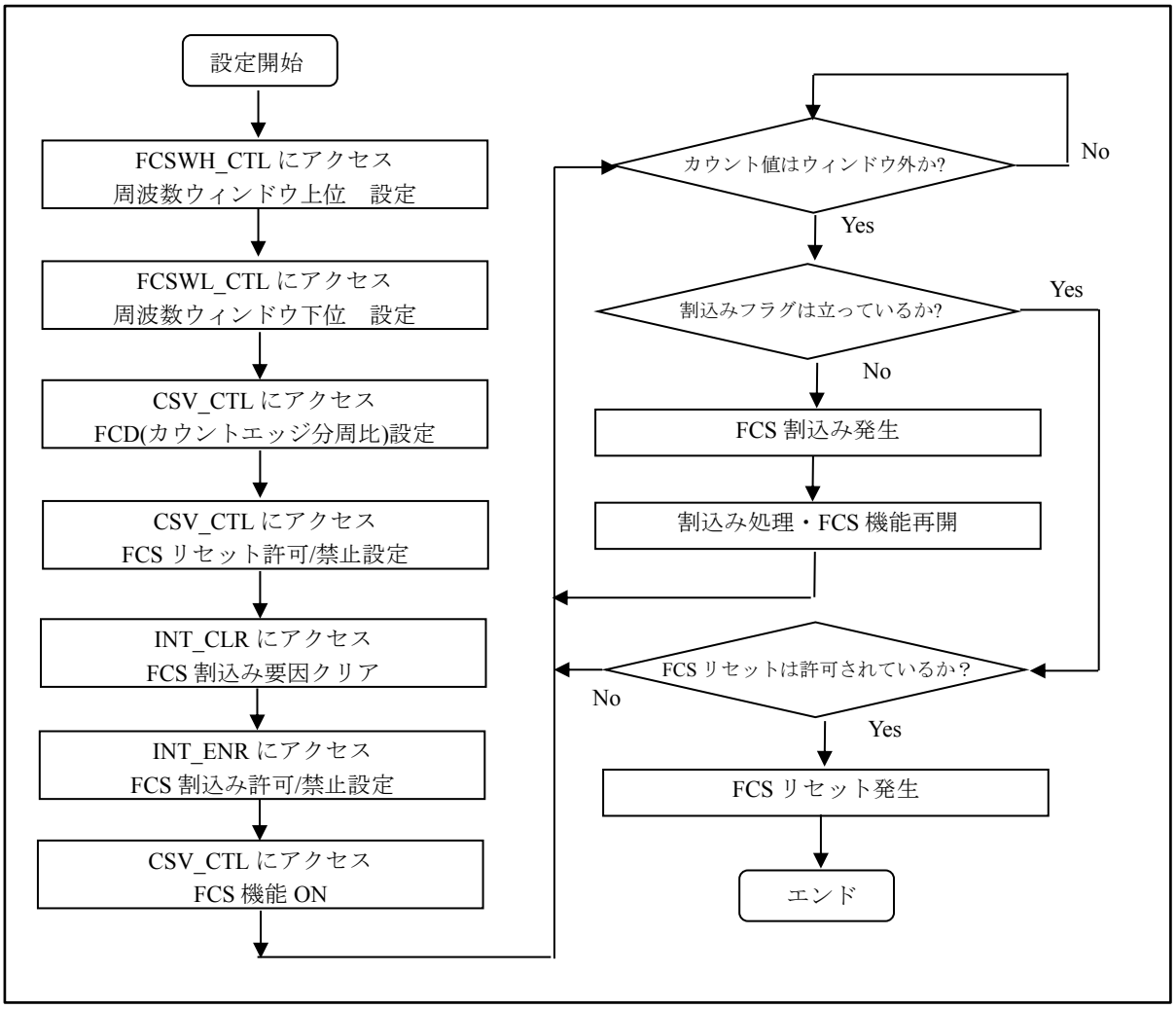
クロック故障検出機能 設定手順例



<注意事項>

- *VBAT のレジスタの 32k 発振クロック制御連携を有効→無効(WTOSCCNT.SOSCNTL="1"→"0")にする場合は、サブクロック発振安定待ち完了後にレジスタ値を書き換えてください。*
- *CHIP 側の電源を切断(OFF)し VBAT ドメインのみ動作させる場合、WTOSCCNT.SOSCNTL="0"に設定してから CHIP 側の電源を切断(OFF)してください。また、CHIP 側の電源を切断(OFF)した後にはサブクロック監視機能は働きません。*
- *VBAT レジスタの詳細については別章『VBAT ドメイン』を参照してください。*

異常周波数検出機能 設定手順例



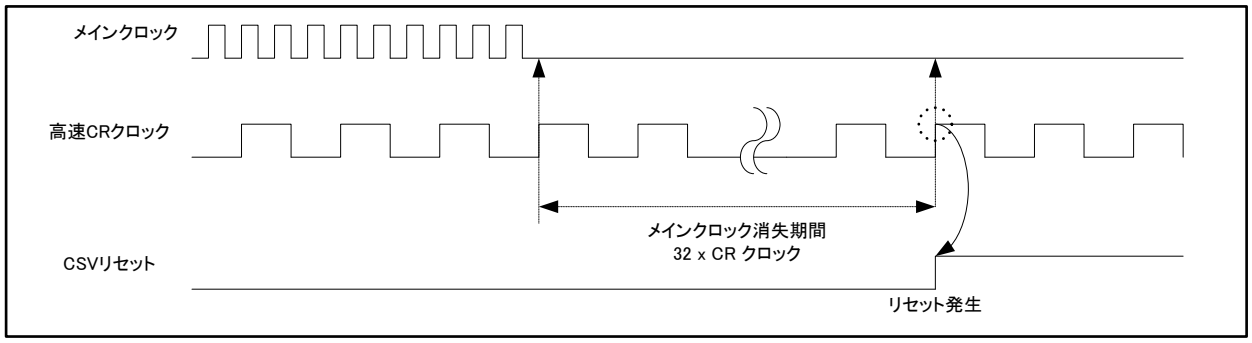
5. 動作例

クロック監視機能の動作例を説明します。

クロック故障検出

Figure 5-1 にクロック故障検出の動作例を示します。

Figure 5-1 クロック故障検出動作例



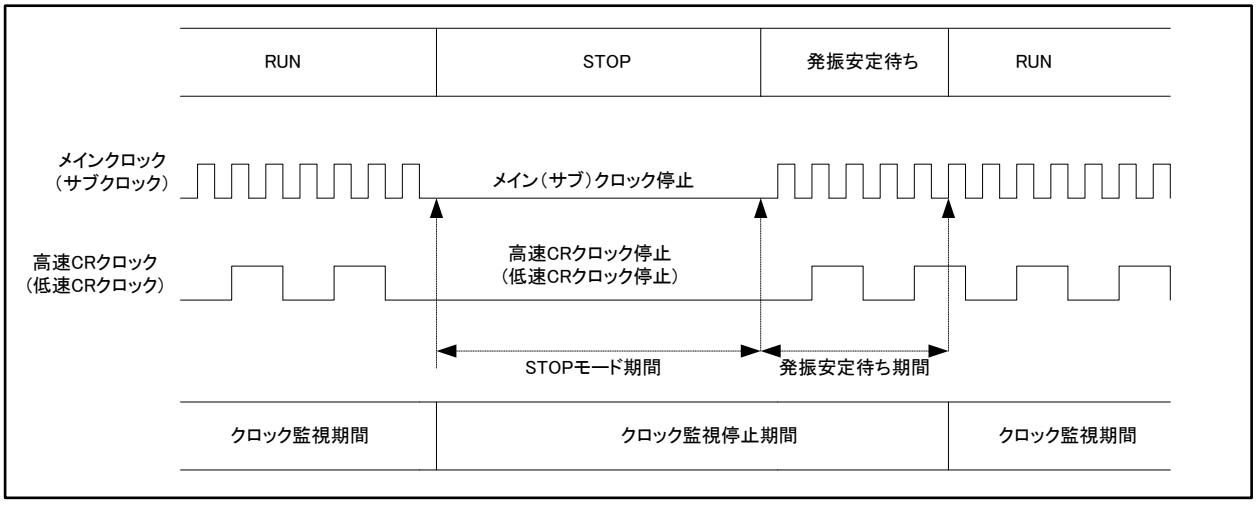
1. メインクロックが故障により停止します。
2. 高速 CR クロックによるカウントアップします。
3. 高速 CR 32 クロック期間、メインクロックが停止していた場合、クロック故障と認識し、CSV リセットを発行します。

<注意事項>

- ***サブクロック監視の場合、低速 CR 32 クロック期間サブクロックが停止していた場合、クロック故障と判断します。***

Figure 5-2 にストップモード時のクロック故障検出の動作例を示します。

Figure 5-2 ストップモード時のクロック故障検出動作例

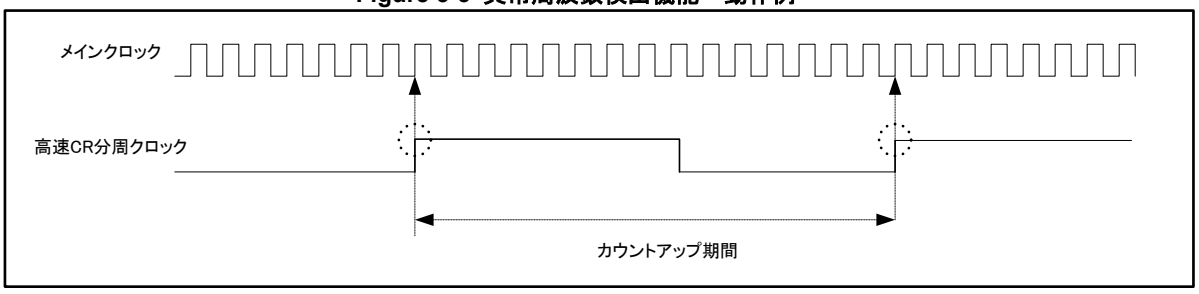


1. ストップモード時、メインクロックおよび高速 CR クロックが停止します。
   その間、クロック監視機能も停止します。
2. ストップモード解除により、メインクロックおよび高速 CR クロックの発振が再開され、発振安定待ち時間を取ります。その間、クロック監視機能は停止を継続します。
3. 発振安定待ち時間完了により、クロック監視を再開します。

異常周波数検出

Figure 5-3 に異常周波数検出機能の動作例を示します。

Figure 5-3 異常周波数検出機能　動作例



1. 高速 CR の分周クロックの立上りエッジを検出します。
2. エッジ検出から、メインクロックによりカウントアップします。
3. 再度高速 CR の分周クロックの立上りエッジを検出するまで、カウントアップを継続します。
4. メインクロックによるカウント値=α とします。
   ウィンドウ下限設定値=A, ウィンドウ上限値=B のとき、カウント値 α とウィンドウ値を比較し、
   $A \leqq \alpha \leqq B$
   の範囲内に α がある場合、周波数は問題ないと判断します。
   カウント値 α がウィンドウの範囲外
   $\alpha < A$、または、$B < \alpha$
   となった場合、周波数が異常になっていると判断し、割込みを発生します。
   設定により、割込み発生後割込みフラグがクリアされずに再度異常周波数を検出した場合、リセットを発生します。

異常周波数検出機能のウィンドウ設定例

高速 CR の分周クロックのエッジ間でカウントを行います。測定間隔は CR の精度にも影響を受けます。ウィンドウレジスタ値を設定する際は CR の精度も考慮した値を設定してください。
CR 発振器の周波数精度についてはデータシートにて確認してください。

■ 算出方法

CR 精度の影響を加味したカウント値の範囲の算出後、ウィンドウレジスタ値を設定します。カウント値の範囲は以下の計算式にて算出します。

$$\text{カウント値} = \left[\frac{1}{\text{CRの分周クロック周波数} \times \left(1 \pm \frac{\text{CR精度}}{100} \right)} \right] \times \text{メインクロック周波数}$$

例 ： 周波数 K[Hz]で±Z%精度の CR 発振器を Y 分周したクロックを用いて、周波数 L[Hz]のメインクロックのカウント値を算出します。

カウント値 A (CR の周波数精度プラス側) ＝ 1 / [(K/Y) × (1 + Z/100)] × L
カウント値 B (CR の周波数精度マイナス側) ＝ 1 / [(K/Y) × (1 - Z/100)] × L
この計算式より、内蔵 CR 精度の影響を加味したカウント値は A~B の範囲になります。
ウィンドウ下限はカウント値 A よりも小さい値を、ウィンドウ上限はカウント値 B よりも大きい値を設定してください。
ウィンドウの設定はユーザのメイン発振の周波数変動の許容値によります。

■ 算出例

周波数 4 MHz で±5 %精度の CR 発振器を 1024 分周したクロックを用いて、周波数 4 MHz のメインクロックのカウント値を算出します。

カウント値 A(CR の周波数精度プラス側)

$$\text{カウント値 A} = \left[\frac{1}{\frac{4\times10^6}{1024} \times \left(1 + \frac{5}{100} \right)} \right] \times 4\times10^6 \fallingdotseq 975$$

カウント値 B(CR の周波数精度マイナス側)

$$\text{カウント値 B} = \left[\frac{1}{\frac{4\times10^6}{1024} \times \left(1 - \frac{5}{100} \right)} \right] \times 4\times10^6 \fallingdotseq 1078$$

これにより、高速 CR 誤差を含むカウント値の範囲は 975～1078 になります。ウィンドウ設定値を仮にカウント範囲の±5%としたとき、ウィンドウ設定値は以下のようになります。
ウィンドウ下限 ＝975×0.95(-5%) ＝926.25 ≒ 3.43 MHz
ウィンドウ上限 ＝1078×1.05(+5%) ＝1131.9 ≒ 4.64 MHz
これにより、メインクロックの周波数が 3.4 MHz～4.6 MHz の範囲を外れたとき、異常周波数であると確認できます。Table 5-1 にウィンドウ設定例を示します。

Table 5-1 ウィンドウ設定例

高速 CR 分周クロック	メイン クロック	高速 CR 誤差	高速 CR 誤差を含む カウント値	ウィンドウ 設定値下限	ウィンドウ 設定値上限
CR:4MHz の 1024 分周	4 MHz	±5 %	975(≒3.61 MHz) ～1078(≒4.42 MHz)	926 (≒3.43 MHz)	1131 (≒4.64MHz)

6. レジスター覧

クロック監視機能のレジスター覧を説明します。

レジスター覧

レジスター覧を Table 6-1 に示します。

Table 6-1 レジスター覧表

略称	レジスタ名	参照先
CSV_CTL	CSV 制御レジスタ	6.1
CSV_STR	CSV 状態レジスタ	6.2
FCSWH_CTL	周波数検出ウィンドウ設定レジスタ(上位)	6.3
FCSWL_CTL	周波数検出ウィンドウ設定レジスタ(下位)	6.4
FCSWD_CTL	周波数検出カウンタレジスタ	6.5

6.1 CSV 制御レジスタ(CSV_CTL)

CSV_CTL レジスタは CSV 機能を制御する設定を行います。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約	FCD			予約		FCSRE	FCSDE
属性	-	R/W			-		R/W	R/W
初期値	-	111			-		0	0

bit	7	6	5	4	3	2	1	0
Field	予約						SCSVE	MCSVE
属性	-						R/W	R/W
初期値	-						1	1

レジスタ機能

[bit15] 予約 : 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit14:12] FCD : FCS カウント期間設定ビット

bit14:12		説明
書込み時	000	設定禁止
	001	
	010	
	011	
	100	
	101	高速 CR 発振の 256 分周
	110	高速 CR 発振の 512 分周
	111	高速 CR 発振の 1024 分周 [初期値]
読出し時		レジスタの値が読み出されます。

[bit11:10] 予約 : 予約ビット

本ビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit9] FCSRE : FCS リセット出力許可ビット

bit		説明
書込み時	0	FCS リセットは禁止されます。 [初期値]
	1	FCS リセットは許可されます。
読出し時		レジスタの値が読み出されます。

[bit8] FCSDE : FCS 機能許可ビット

bit		説明
書込み時	0	FCS 機能は禁止されます。[初期値]
	1	FCS 機能は許可されます。
読出し時		レジスタの値が読み出されます。

[bit7:2] 予約 : 予約ビット

本ビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] SCSVE : サブ CSV 機能許可ビット

bit		説明
書込み時	0	サブ CSV 機能は禁止されます。
	1	サブ CSV 機能は許可されます。[初期値]
読出し時		レジスタの値が読み出されます。

[bit0] MCSVE : メイン CSV 機能許可ビット

bit		説明
書込み時	0	メイン CSV 機能は禁止されます。
	1	メイン CSV 機能は許可されます。[初期値]
読出し時		レジスタの値が読み出されます。

<注意事項>

- *本レジスタはソフトウェアリセットでは初期化されません。*
  サブクロック監視機能を有効にするためには、システムクロックモード制御レジスタのサブクロック発振許可設定(SCM_CTL.SOSCE)=1 とし、システムクロックモード状態レジスタのサブクロック発振安定ビットの発振安定(SCM_STR.SORDY=1)を待つ必要があります。
  VBAT のレジスタの 32k 発振イネーブル設定(WTOSCCNT.SOSCEX=0)を行っただけではサブクロック監視機能は働きません。
  VBAT のレジスタの 32k 発振クロック制御連携　無効設定(WTOSCCNT.SOSCNTL=0)および VBAT のレジスタの 32k 発振ディスエーブル設定(WTOSCCNT.SOSCEX=1)の時に、システムクロックモード制御レジスタのサブクロック発振許可設定(SCM_CTL.SOSCE)=1，CSV 制御レジスタのサブ CSV 機能許可(CSV_CTL.SCSVE)=1 とする設定組み合わせは禁止です。
  VBAT RTC の詳細については『VBAT ドメイン』を参照してください。

6.2 CSV 状態レジスタ(CSV_STR)

CSV_STR レジスタは CSV 機能の状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						SCMF	MCMF
属性	-						R	R
初期値	-						0	0

レジスタ機能

[bit7:2] 予約 : 予約ビット

本ビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] SCMF : サブクロック故障検出フラグ

bit		説明
書込み時		動作に影響しません。
読出し時	0	サブクロック故障は検出されていない。[初期値]
	1	サブクロック故障が検出された。

[bit0] MCMF : メインクロック故障検出フラグ

bit		説明
書込み時		動作に影響しません。
読出し時	0	メインクロック故障は検出されていない。[初期値]
	1	メインクロック故障が検出された。

<注意事項>

- *本レジスタは読出しでクリアされます。*

6.3 周波数検出ウィンドウ設定レジスタ(上位)(FCSWH_CTL)

FCSWH_CTL レジスタは周波数検出ウィンドウ設定レジスタ(上位)を設定します。

レジスタ構成

bit	15														0
Field	FWH														
属性	R/W														
初期値	0xFFFF														

レジスタ機能

[bit15:0] FWH： 周波数検出ウィンドウ設定ビット(上位)

bit15:0	説明
書込み時	任意の値の書込みが可能です。
読出し時	レジスタの値が読み出されます。

<注意事項>

- *本レジスタには、FCSWL_CTL(周波数検出ウィンドウ設定レジスタ(下位))の値よりも大きな値を設定してください。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

6.4 周波数検出ウィンドウ設定レジスタ(下位)(FCSWL_CTL)

FCSWL_CTL レジスタは周波数検出ウィンドウ設定レジスタ(下位)を設定します。

レジスタ構成

bit	15														0
Field	FWL														
属性	R/W														
初期値	0x0000														

レジスタ機能

[bit15:0] FWL : 周波数検出ウィンドウ設定ビット(下位)

bit15:0	説明
書込み時	任意の値の書込みが可能です。
読出し時	レジスタの値が読み出されます。

<注意事項>

- *本レジスタには、FCSWH_CTL(周波数検出ウィンドウ設定レジスタ(上位))の値よりも小さな値を設定してください。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

6.5 周波数検出カウンタレジスタ(FCSWD_CTL)

FCSWD_CTL レジスタは周波数検出のメインクロックによるカウンタ値を示します。

レジスタ構成

bit	15	0
Field	FWD	
属性	R	
初期値	0x0000	

レジスタ機能

[bit15:0] FWD： 周波数検出カウントデータ

bit15:0	説明
書込み時	動作に影響しません。
読出し時	カウント値が読み出されます。

<注意事項>

- *本レジスタは異常検出したときのみカウント値を保持します。*
- *本レジスタはソフトウェアリセットでは初期化されません。*

7. 使用上の注意

■ クロック監視機能の使用上の注意を説明します。
周波数検出の割込み要因のイネーブル, クリアについては、別章『クロック』を参照してください。

■ クロック故障検出および異常周波数検出のリセット要因については、別章『リセット』を参照してください。

■ リセット発生後の動作について
クロック故障検出によるリセット発生後、クロックモードは高速 CR に戻ります。
故障したクロックを再度選択しないでください。

■ 周波数検出機能を使う際の高速 CR クロックについて
周波数故障検出機能は高速 CR 自身の周波数精度に影響されます。
周波数ウィンドウを設定する際は、高速 CR の精度を考慮した値を設定してください。また、異常周波数検出機能を有効にした後は、高速 CR クロックのトリミングを行わないでください。

■ 異常周波数検出機能を使う際の設定順序について
FCS を有効(FCSDE=1)にする前に、カウント期間設定(FCD), リセット許可(FCSRE), 周波数ウィンドウ設定(FWH/FWL)を設定してください。
また、FCS を有効にした後、FCD/FCSRE/FWH/FWL の変更をする場合は、いったん FCS 機能を停止し、設定変更を行ってください。FCS 有効時に設定変更は行わないでください。

■ 異常周波数検出機能を使う際のイネーブル設定について
CSV 制御レジスタ(CSV_CTL)の FCSRE ビットの設定により、異常周波数検出時の動作が変わります。
Table 7-1 に FCS 機能と FCSRE ビットの設定一覧を示します。

Table 7-1 FCS 機能と FCSRE ビットの設定一覧

	FCSRE=0	FCSRE=1
FCSDE=0	FCS 機能停止	FCS 機能停止
FCSDE=1	FCS 機能有効 異常検出で割込み発生	FCS 機能有効 1 回目の異常検出で割込みを発生 2 回目の異常検出でリセットを発生

■ 周波数検出機能の割込み設定とメインタイマモード
クロックモードがメインタイマモード時には、内部バスクロックが停止しているため、FCSRE=0 のときは異常を検出しても割込みは発生しません。
メインタイマモード時は FCSRE=0 と設定しないでください。FCSRE=1 の場合は 1 回目の異常検出で割り込みは発生しません。2 回目の異常検出でリセットが発生します。

■ CSV OFF 設定と外部リセットについて
CSV 機能を OFF にした場合、クロック故障が発生しても CSV リセットが発生しなくなります。
クロック故障が発生すると外部リセット（INITX）も受け付けなくなるため、
特別な理由がない場合、CSV 機能は OFF にしないことを推奨します。

CHAPTER 4: リセット

リセットの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ

1. 概要

本ファミリは以下のリセット要因を持ち、各要因の受付けによりデバイス内部の初期化のためのリセットを発行します。

- 電源投入リセット
- INITX 端子入力
- 外部電源・低電圧検出リセット
- ソフトウェア・ウォッチドッグリセット
- ハードウェア・ウォッチドッグリセット
- クロック故障検出リセット
- 異常周波数検出リセット
- ソフトウェアリセット
- TRSTX 端子入力
- ディープスタンバイ遷移リセット

VBAT ドメインは、本章のリセット要因では初期化されません。

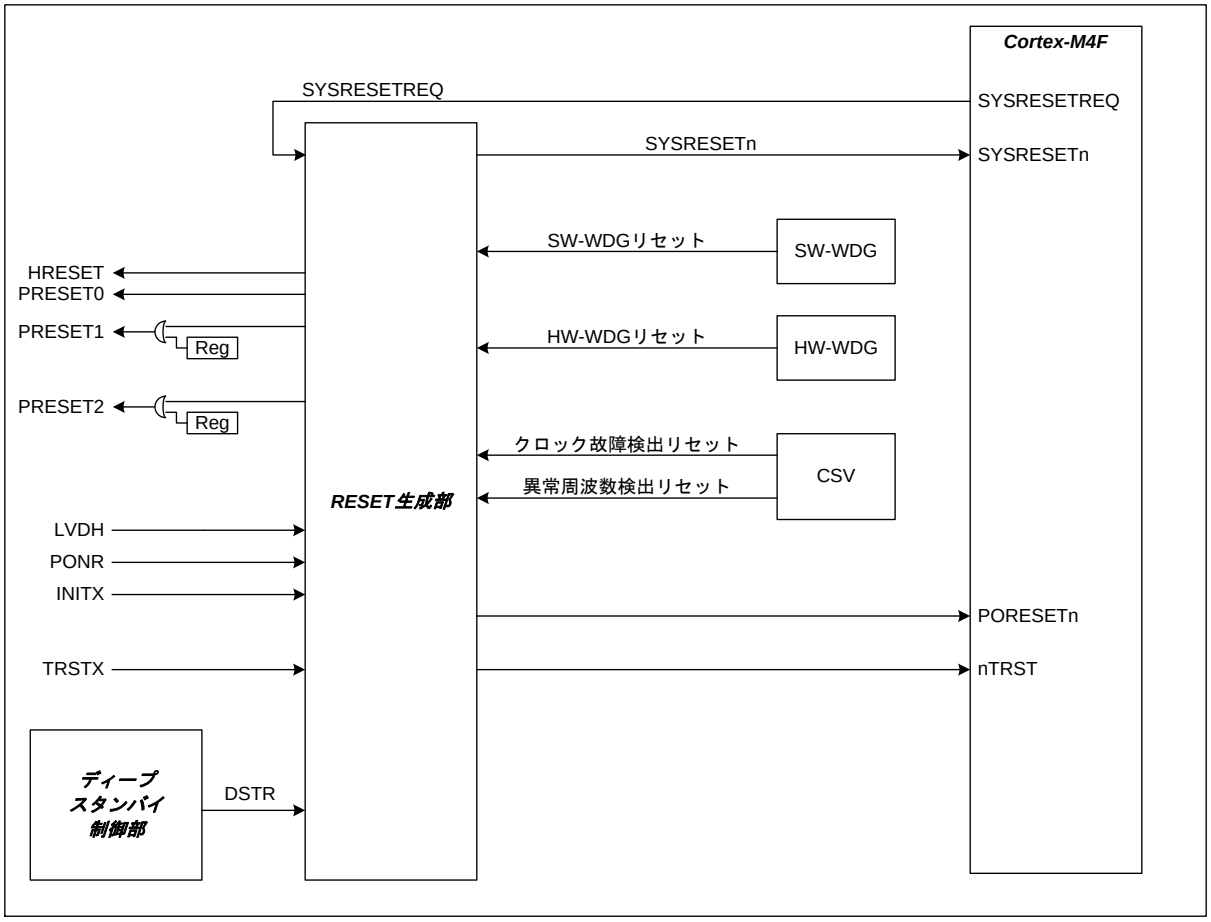
『VBAT ドメイン』の章を参照してください。

2. 構成

リセット回路の構成を説明します。

リセットのブロックダイヤグラム

Figure 2-1 リセットのブロックダイヤグラム



PONR	: 電源投入リセット
INITX	: INITX 端子入力リセット
LVDH	: 低電圧検出リセット
TRSTX	: TRSTX 端子入力リセット
HRESET	: AHB バスリセット(全リセット要因で発行されるバスリセット)
PRESET0, 1, 2	: APB0, 1, 2 バスリセット(全リセット要因で発行されるバスリセット)
SW-WDG リセット	: ソフトウェア・ウォッチドッグリセット
HW-WDG リセット	: ハードウェア・ウォッチドッグリセット
PORESETn	: Cortex-MF4 に入力されるパワーオンリセット
SYSRESETn	: Cortex-M4F に入力されるシステムリセット
SYSRESETREQ	: Cortex-M4F 内部リセット制御レジスタ「SYSRESETREQ ビット」信号
nTRST	: SWJ-DP リセット
DSTR	: ディープスタンバイ遷移リセット

3. 動作説明

本ファミリのリセットの各動作について説明します。

3.1. リセット要因
3.2. デバイス内部のリセット
3.3. リセットシーケンス
3.4. リセット解除後の動作

3.1 リセット要因

各リセット要因について説明します。

電源投入リセット(PONR)

電源投入後に発生する電源投入リセットです。

発生要因	電源の立上りを検出することにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	すべてのレジスタの設定, ハードウェアを初期化
対応フラグ	リセット要因レジスタ(RST_STR)の bit0(PONR)=1

INITX 端子入力リセット(INITX)

デバイス外部から入力されるリセットです。

発生要因	INITX 端子へ"L"レベルを入力することにより発生
解除要因	INITX 端子へ"H"レベルを入力することにより解除
初期化対象	デバッグ回路とディープスタンバイ制御部、RTC(一部のレジスタ)以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 - リセット要因レジスタ (RST_STR) - 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) - ディープスタンバイ RAM 保持レジスタ(DSRAMR) - バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit1(INITX)=1

* INITX 端子から非同期にリセットが入力されてもオンチップ SRAM の内容は保持されます。

低電圧検出リセット　外部電圧監視(LVDH)

外部電圧の低下を検出した場合に低電圧検出回路から入力されるリセットです。

発生要因	外部電圧が、規定の電圧レベル以下になることにより発生
解除要因	外部電圧が、規定の電圧レベル以上になることにより解除
初期化対象	すべてのレジスタの設定, ハードウェアを初期化
対応フラグ	リセット要因レジスタ(RST_STR)の bit0(PONR)=1

ソフトウェア・ウォッチドッグリセット(SWDGR)

ソフトウェア・ウォッチドッグタイマから入力されるリセットです。

発生要因	ソフトウェア・ウォッチドッグタイマがアンダフローすることにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路とハードウェア・ウォッチドッグタイマ(制御レジスタ含む)とディープスタンバイ制御部、RTC(一部のレジスタ)以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 - リセット要因レジスタ (RST_STR) - 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) - ディープスタンバイ RAM 保持レジスタ (DSRAMR) - バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit4(SWDT)=1

ハードウェア・ウォッチドッグリセット(HWDGR)

ハードウェア・ウォッチドッグタイマから入力されるリセットです。

発生要因	ハードウェア・ウォッチドッグタイマがアンダフローすることにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路とディープスタンバイ制御部、RTC(一部のレジスタ)以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ (DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit5(HWDT)=1

クロック故障検出リセット(CSVR)

監視中のメインまたはサブ水晶発振の故障により入力されるリセットです。

発生要因	メイン水晶・サブ水晶のクロック故障を検出することにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路とクロック故障検出回路(一部のレジスタ)とディープスタンバイ制御部、RTC(一部のレジスタ)以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ (DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit6(CSVR)=1 CSV 状態レジスタ(CSV_STR)の bit1(SCMF)=1 または bit0(MCMF)=1 (注意事項) CSV_STR の詳細は『クロック監視機能』の章を参照してください。

異常周波数検出リセット(FCSR)

メイン水晶発振の異常周波数を検出することにより入力されるリセットです。

発生要因	メイン水晶発振の周波数が任意の設定値から外れた場合に発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路と異常周波数検出(一部のレジスタ)とディープスタンバイ制御部、RTC(一部のレジスタ)以外のすべてのレジスタの設定, ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ (DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit7(FCSR)=1

ソフトウェアリセット(SRST)

リセット制御レジスタへのアクセスにより発生するソフトウェアリセットです。

発生要因	Cortex-M4 内部リセット制御レジスタ(SYSRESETREQ ビット)への書込みにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	下記以外のすべてのレジスタの設定, ハードウェアを初期化 ソフトウェアリセットで初期化されない機能とレジスタ – デバッグ回路 – ディープスタンバイ制御部 – RTC の一部のレジスタ – クロック制御に関わるレジスタ（周辺クロック停止機能レジスタは初期化されます。） – ソフト/ハードウェア・ウォッチドッグタイマの一部のレジスタ – クロック故障検出回路の一部のレジスタ – 異常周波数検出の一部のレジスタ – CR トリミング機能の一部のレジスタ – リセット要因レジスタ (RST_STR) – 低電圧検出電圧設定レジスタ (LVD_CTL)の bit15:8 RTC モード制御レジスタ (PMD_CTL) – ディープスタンバイ復帰要因レジスタ 1, 2 (WRFSR, WIFSR) – ディープスタンバイ RAM 保持レジスタ (DSRAMR) – バックアップレジスタ 01～16 (BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit8(SRST)=1

ディープスタンバイ遷移リセット(DSTR)

ディープスタンバイモードへの遷移時に発生するリセットです。

発生要因	ディープスタンバイモードに遷移することにより発生
解除要因	ディープスタンバイモードから復帰することにより解除
初期化対象	下記以外のすべてのレジスタの設定, ハードウェアを初期化 – ディープスタンバイ遷移リセットで初期化されない機能とレジスタ – ディープスタンバイ制御部 – RTC の一部のレジスタ – GPIO の一部のレジスタ – 低電圧検出回路のレジスタ – RTC モード制御レジスタ(PMD_CTL) – ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR,WIFSR) – ディープスタンバイ復帰許可レジスタ(WIER) – WKUP 端子入力レベルレジスタ(WILVR) – ディープスタンバイ RAM 保持レジスタ(DSRAMR) – バックアップレジスタ 01～16(BUR01~16)
対応フラグ	ディープスタンバイ復帰要因レジスタ 1,2 のいずれかのビットが"1" (注意事項) 復帰要因により"1"になるビットは異なります。

＜注意事項＞

- *ソフトウェアリセットを制御している「リセット制御レジスタ(SYSRESETREQ)」については、『Cortex –M4 Devices Generic User Guide』を参照してください。*
- *各リセット要因の発生状態を確認できるリセット要因レジスタは、電源投入リセットでのみ初期化されます。*

3.2 デバイス内部のリセット

デバイスの内部リセット信号について説明します。

デバイスの内部へ接続されるリセットは、Cortex-M4 コアへ入力されるリセットと、周辺回路へ入力されるリセットに分けられます。

3.2.1. Cortex-M4 へのリセット

3.2.2. 周辺回路へのリセット

3.2.1 Cortex-M4 へのリセット

Cortex-M4 へ入力されるリセットは PORESETn, SYSRESETn, nTRST の 3 種類です。
下記に 3 種類のリセットのリセット要因を示します。

パワーオンリセット　PORESETn

リセット要因	- 電源投入リセット(PONR) - 低電圧検出リセット(LVDH) - ディープスタンバイ遷移リセット(DSTR)

システムリセット　SYSRESETn

リセット要因	- 電源投入リセット(PONR) - 低電圧検出リセット(LVDH) - INITX 端子入力(INITX) - ソフトウェア・ウォッチドッグリセット(SWDGR) - ハードウェア・ウォッチドッグリセット(HWDGR) - クロック故障検出リセット(CSVR) - 異常周波数検出リセット(FCSR) - ソフトウェアリセット(SRST) - ディープスタンバイ遷移リセット(DSTR)

SWJ-DP リセット　nTRST

リセット要因	- 電源投入リセット(PONR) - 低電圧検出リセット(LVDH) - TRSTX 端子入力(TRSTX) - ディープスタンバイ遷移リセット(DSTR)

3.2.2 周辺回路へのリセット

周辺回路へ入力されるバスリセット(HRESET, PRESET0～PRESET2)は、基本的にすべてのリセット要因により発生します。また、PRESET1, PRESET2 についてはレジスタ設定にてリセット制御が可能です。

以下にバスリセットのリセット要因を示します。

周辺回路リセット

■ HRESET, PRESET0

リセット要因	– 電源投入リセット(PONR) – 低電圧検出リセット(LVDH) – INITX 端子入力(INITX) – ソフトウェア・ウォッチドッグリセット(SWDGR) – ハードウェア・ウォッチドッグリセット(HWDGR) – クロック故障検出リセット(CSVR) – 異常周波数検出リセット(FCSR) – ソフトウェアリセット(SRST) – ディープスタンバイ遷移リセット(DSTR)

■ PRESET1, PRESET 2

リセット要因	– 電源投入リセット(PONR) – 低電圧検出リセット(LVDH) – INITX 端子入力(INITX) – ソフトウェア・ウォッチドッグリセット(SWDGR) – ハードウェア・ウォッチドッグリセット(HWDGR) – クロック故障検出リセット(CSVR) – 異常周波数検出リセット(FCSR) – ソフトウェアリセット(SRST) – APB バスリセット(APBC1_PSR, APBC2_PSR) – ディープスタンバイ遷移リセット(DSTR)

<注意事項>

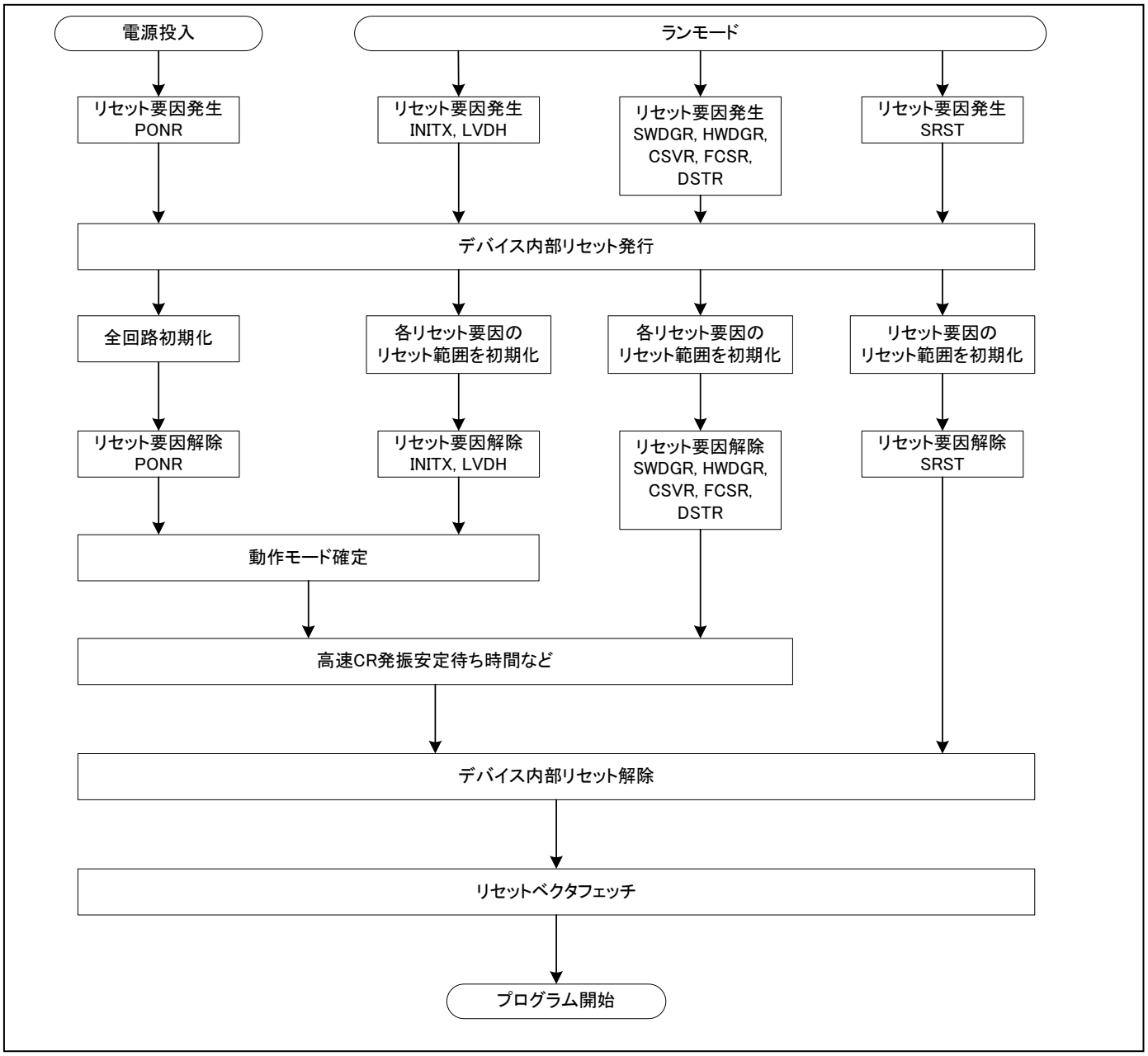
- *周辺回路は、基本的にすべてのリセット要因により初期化されますが、周辺回路の仕様によっては特定の要因のみで初期化されるレジスタが存在します。各レジスタの初期化条件については各章のレジスタ初期化条件を参照してください。*
- *APB バスリセット(APBC1_PSR, APBC2_PSR)の詳細は、別章『クロック』を参照してください。*

3.3 リセットシーケンス

リセット要因の解除により、本ファミリは初期状態からプログラムおよびハードウェア動作を開始します。
このリセットから動作開始までの一連の動作をリセットシーケンスとよびます。
以下、リセットシーケンスについて説明します。

リセット状態遷移図

リセット状態の遷移を下図に示します。詳細動作については「3.4. リセット解除後の動作」の項を参照してください。



1. リセット要因の取込み

   発生したリセット要因が取り込まれ、リセットがデバイス内部に発行されるまで保持されます。

2. リセットの発行

   リセット発行準備が完了すると、デバイス内部へのリセットが発行されます。

3. リセットの解除

   リセット要因が解除されると、高速 CR の発振安定待ち時間など解除に必要な時間分、デバイス内部リセットが延長されます。延長時間が終了するとリセットが解除されます。

4. 動作モード確定

   PONR, LVDH, INITX 解除と同時に動作モードが決定し、各ハードウェアに通知します。ほかのリセット要因では動作モードは変化しません。

5. リセットベクタフェッチ

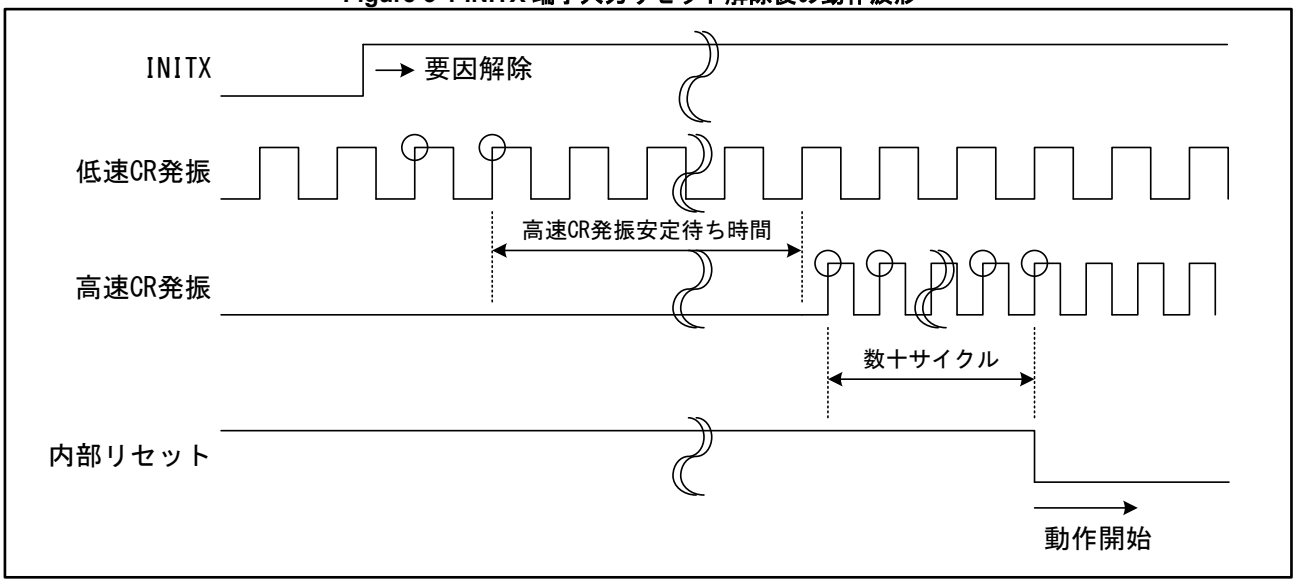
   デバイス内部リセットの解除後に、CPU がリセットベクタの取込みを開始します。CPU は取得したリセットベクタをプログラムカウンタに取り込んで、プログラム動作を開始します。

3.4 リセット解除後の動作

PONR, LVDH, INITX, HWDGR, SWDGR, CSVR, FCSR, DSTR

例として、INITX 端子入力リセットの要因解除後の動作波形を Figure 3-1 に示します。

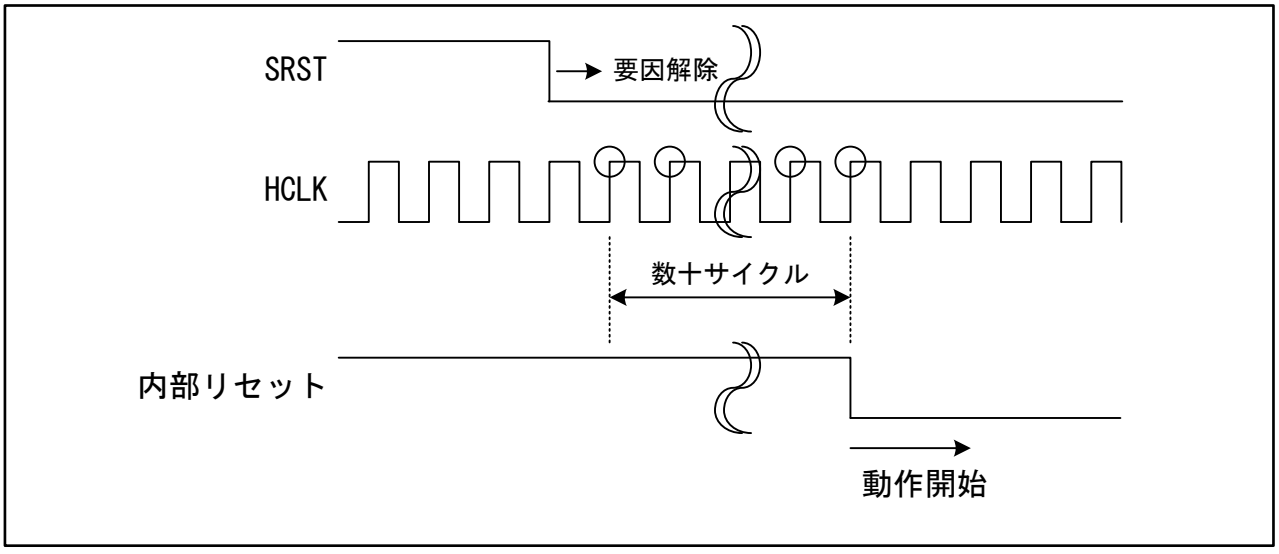
Figure 3-1 INITX 端子入力リセット解除後の動作波形



SRST

ソフトウェアリセット解除後の動作波形を Figure 3-2 に示します。

Figure 3-2 ソフトウェアリセット解除後の動作波形



4. レジスタ

レジスタの構成と機能について説明します。

レジスター覧

略称	レジスタ名	参照先
RST_STR	リセット要因レジスタ	4.1

4.1 リセット要因レジスタ(RST_STR : ReSeT STatus Register)

リセット要因レジスタ（RST_STR）は直前までに発生した各種リセット要因を表示します。RST_STR の全てのビットは、パワーオンリセット、低電圧検出リセット、ディープスタンバイリセットにより値が初期化されます。その他のリセットでは、初期化されません。
RST_STR の全てのビットは、このレジスタの読み出しにより、0 にクリアされます。
初期化後、読み出すまでの間に発生したリセット要因をすべて格納します。

bit	15	14	13	12	11	10	9	8
Field	予約							SRST
属性				-				R
初期値				-				0

bit	7	6	5	4	3	2	1	0
Field	FCSR	CSVR	HWDT	SWDT	予約	予約	INITX	PONR
属性	R	R	R	R	-	-	R	R
初期値	0	0	0	0	-	-	0	1

<注意事項>

- ***本レジスタの初期値は電源投入時の値です。***

[bit15:9] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit8] SRST : ソフトウェアリセットフラグ

Cortex-M4 内部リセット制御レジスタの SYSRESETREQ ビットへの"1"書込みにより発生するリセットを示します。
ソフトウェアリセットが発生すると、SRST=1 となります。

bit	説明
0	ソフトウェアリセットは発行されていません。
1	ソフトウェアリセットが発行されました。

[bit7] FCSR : 異常周波数検出リセットフラグ

メイン発振の異常周波数を検出した場合のリセットを示します。
メイン発振の周波数が設定値から外れた場合に、リセットが発行され FCSR=1 となります。

bit	説明
0	異常周波数検出リセットは発行されていません。
1	異常周波数検出リセットが発行されました。

[bit6] CSVR : クロック故障検出リセットフラグ

メイン・サブ発振の故障を検出した場合のリセットを示します。
停止を検出した場合、リセットが発行され CSVR=1 となります。

bit	説明
0	クロック故障検出リセットは発行されていません。
1	クロック故障検出リセットが発行されました。

<注意事項>

- *メイン発振とサブ発振のどちらが故障したか判断する方法については、別章『クロック監視機能』を参照してください。*

[bit5] HWDT : ハードウェア・ウォッチドッグリセットフラグ

ハードウェア・ウォッチドッグタイマからのリセットを示します。
タイマがアンダフローした場合、リセットが発行され HWDT=1 となります。

bit	説明
0	ハードウェア・ウォッチドッグリセットは発行されていません。
1	ハードウェア・ウォッチドッグリセットが発行されました。

[bit4] SWDT : ソフトウェア・ウォッチドッグリセットフラグ

ソフトウェア・ウォッチドッグタイマからのリセットを示します。
タイマがオーバフローした場合、リセットが発行され SWDT=1 となります。

bit	説明
0	ソフトウェア・ウォッチドッグリセットは発行されていません。
1	ソフトウェア・ウォッチドッグリセットが発行されました。

[bit3] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit2] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit1] INITX : INITX 端子入力リセットフラグ

外部から入力されるリセットを示します。
外部からリセットが入力された場合、INITX=1 となります。

bit	説明
0	INITX 端子入力リセットは発行されていません。
1	INITX 端子入力リセットが発行されました。

[bit0] PONR： 電源投入リセット・低電圧検出リセットフラグ

電源投入時および低電圧検出時のリセットを示します。
電源の立上りまたは低電圧を検出した場合、リセットが発行され PONR=1 となります。

bit	説明
0	電源投入リセットまたは低電圧検出リセットは発行されていません。
1	電源投入リセットまたは低電圧検出リセットが発行されました。

＜注意事項＞

- *ディープスタンバイモードからの復帰かどうかの判断は、ディープスタンバイ復帰要因レジスタ 1,2(WRFSR, WIFSR) で行ってください。詳細は、『低消費電力モード』の『8.4. ディープスタンバイ復帰要因レジスタ 1(WRFSR)』および『8.5. ディープスタンバイ復帰要因レジスタ 2(WIFSR)』を参照してください。*

CHAPTER 5: 低電圧検出

低電圧検出回路の機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

1. 概要

低電圧検出回路は、電源電圧を監視し、検出電圧よりも電源電圧が低下したときにリセット信号および割込み信号を発生させる回路です。

低電圧検出回路の概要

■ 低電圧リセット回路の動作
- 電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときにリセット信号を発生させます。
- 常に電源電圧を監視します。
- スタンバイモード時、ディープスタンバイモード時も電源電圧を監視します。
- スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、リセット信号を発生させます。

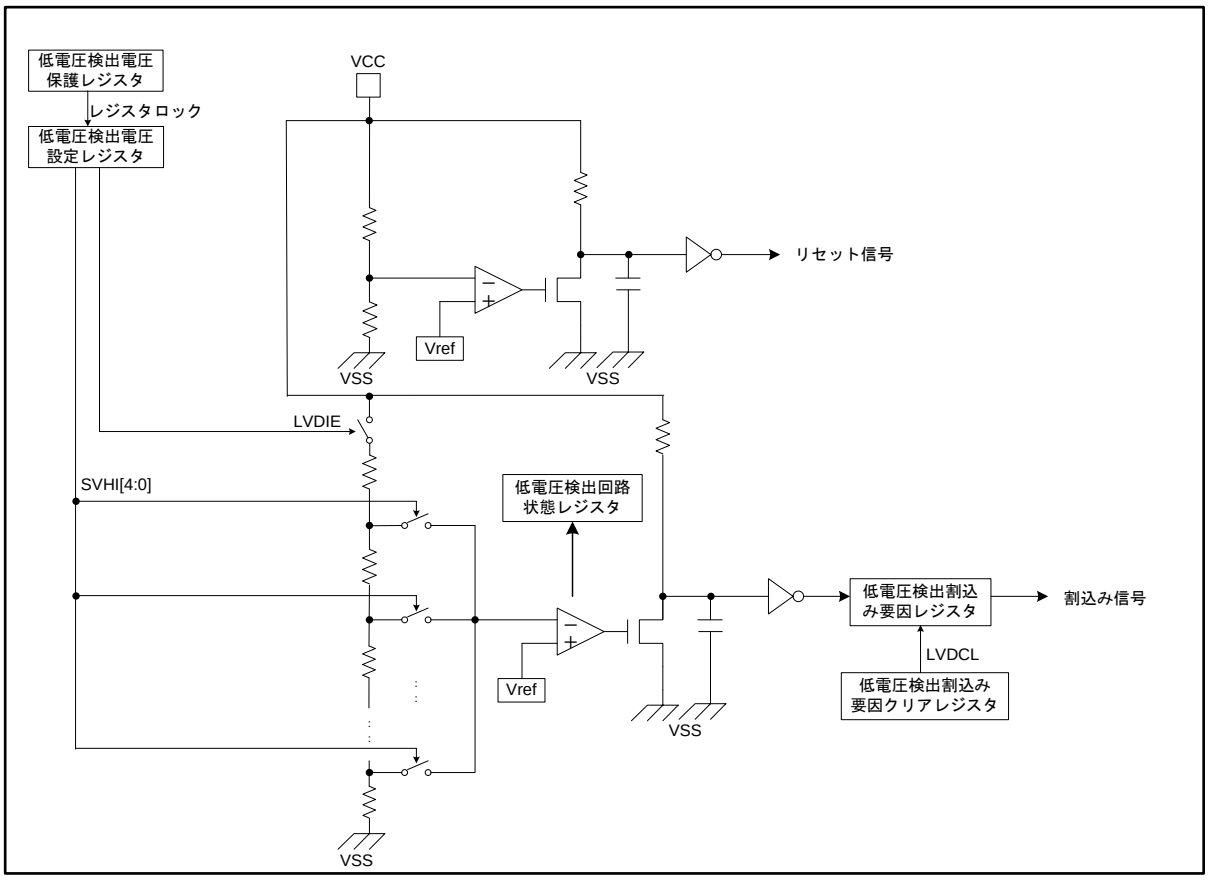
■ 低電圧割込み回路の動作
- 電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。
- 動作の許可または停止を選択できます。初期状態は停止しています。
- 検出電圧の設定が可能です。
- スタンバイモード時、ディープスタンバイモード時も電源電圧を監視できます。
- スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、スタンバイモード, ディープスタンバイモードから復帰します。

＜注意事項＞
- *低電圧検出割込みを許可したときおよび低電圧検出割込みの検出電圧設定をしたときは、低電圧検出回路の安定待ち期間経過後に VCC 電圧監視を開始します。*
  低電圧検出回路の安定待ち期間については、ご使用する製品の『データシート』を参照してください。
- *低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよび APB2 プリスケーラレジスタ(APBC2_PSR)により PCLK2 の停止を行うと、電源電圧の監視が行われません。状態フラグの読出しを行い、安定待ち期間が完了したのち遷移させてください。*
- *低電圧検出電圧設定レジスタ(LVD_CTL)は、誤書込み防止のため、書込み保護されております。書込み保護を解除する場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込んでください。*

2. 構成

低電圧検出回路のブロックダイヤグラムを示します。

低電圧検出回路のブロックダイヤグラム



- 低電圧検出電圧設定レジスタ (LVD_CTL)
  低電圧検出割込みの電源電圧監視の許可制御，低電圧検出割込みの検出電圧設定を行うレジスタです。
- 低電圧検出電圧保護レジスタ (LVD_RLR)
  低電圧検出電圧設定レジスタの書込み保護を行うレジスタです。
- 低電圧検出割込み要因レジスタ (LVD_STR)
  低電圧検出割込みの要因を保持するレジスタです。
- 低電圧検出割込み要因クリアレジスタ (LVD_CLR)
  低電圧検出割込み要因をクリアするレジスタです。
- 低電圧検出回路状態レジスタ (LVD_STR2)
  低電圧検出割込み回路の動作状態を確認するレジスタです。

低電圧検出回路の端子

低電圧検出回路に使用する端子を以下に示します。

- VCC 端子

  低電圧検出回路は本端子の電源電圧を監視します。

- VSS 端子

  電源検出の基準となる GND 端子です。

3. 動作説明

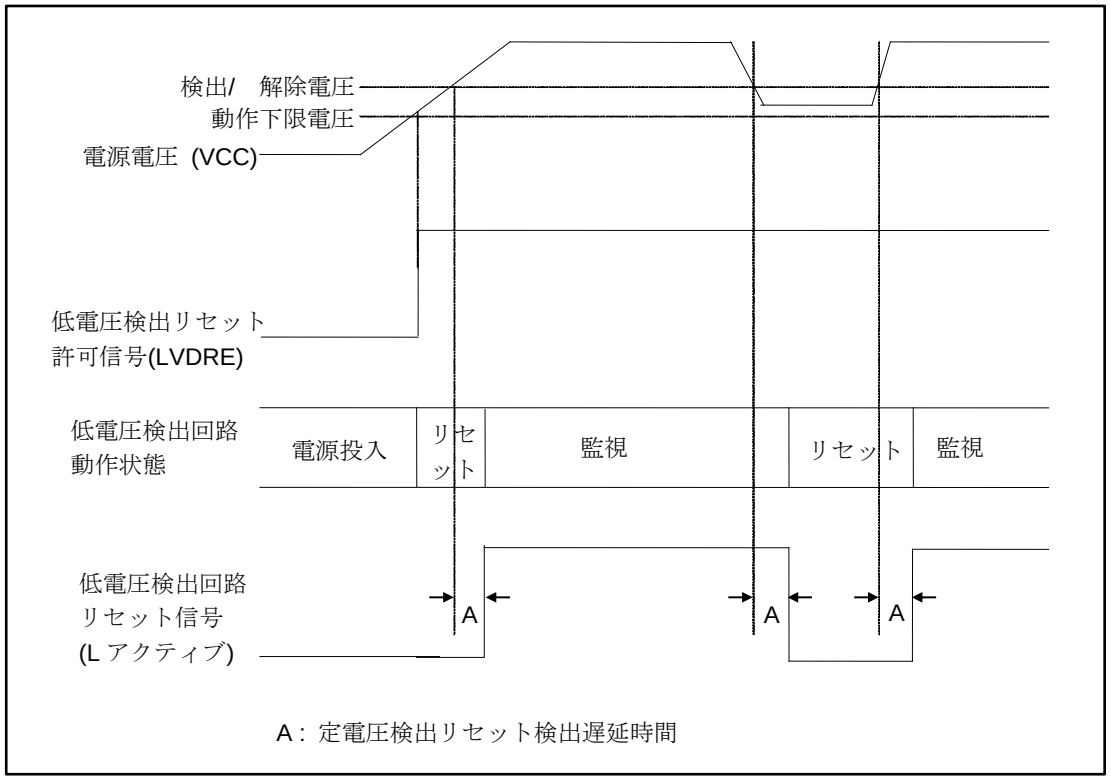
低電圧検出リセット回路の動作および低電圧検出割込み回路の動作について説明します。

低電圧検出リセット回路の動作

■ 回路動作説明

低電圧検出リセット回路は、電源投入後から常に監視状態になります。電源電圧(VCC)が検出電圧よりも低下したときにリセット信号を発生させます。解除電圧よりも電源電圧が高くなると、リセットを解除します。

スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード)、ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。



A : 定電圧検出リセット検出遅延時間

<注意事項>

- *検出/解除電圧のヒステリシスについては、ご使用する製品の『データシート』を参照してください。*

低電圧検出割込み回路の動作

■ 回路動作説明

低電圧検出割込み回路は、電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。

低電圧検出電圧設定レジスタ (LVD_CTL) の LVDIE ビットが"1"のときに割込み要求が許可され有効になります。初期値は許可されていません。低電圧検出電圧設定レジスタ (LVD_CTL) の SVHI ビットにより割込みの検出電圧の設定が可能です。割込み要求許可および割込み検出電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ (LVD_STR2) の低電圧検出割込み状態グラグ(LVDIRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード), ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。また、スタンバイモード, ディープスタンバイモードからの復帰に使用できます。

■ 低電圧検出割込み要求

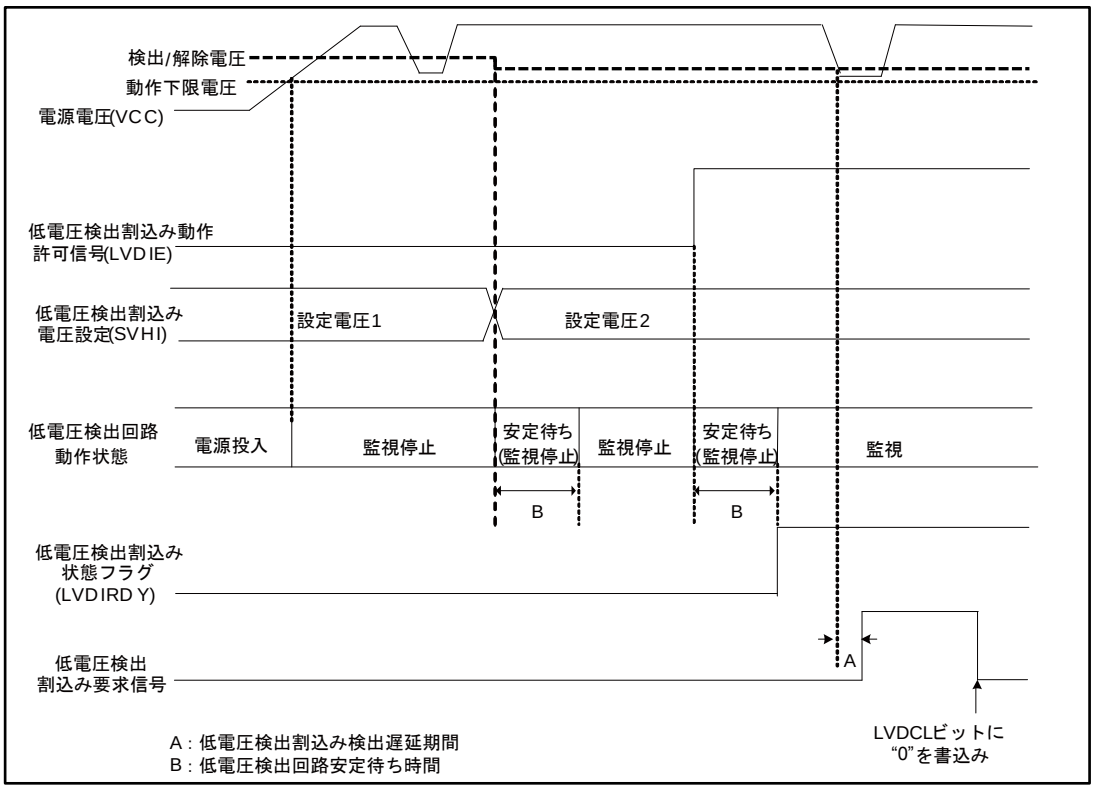
低電圧検出割込みが有効かつ電源電圧 VCC が設定された電圧よりも低下したときに、低電圧検出割込み要因レジスタ (LVD_STR)の LVDIR ビットが"1"になり、割込み要求信号を発生させます。

LVDIR ビットを読み出すことで、割込み要求を確認できます。

■ 低電圧検出割込み要求の取下げ

低電圧検出割込み検出要求を取り下げるには、低電圧検出割込み要因クリアレジスタ (LVD_CLR)の LVDCL ビットに"0"を書き込んでください。これにより低電圧検出割込み要因がクリアされ、低電圧検出割込み要求が取り下げられます。

また、電源電圧が設定された検出電圧よりも低下している間に、LVDCL ビットに"0"書込みを行った場合も、割込み要求が取り下げられます。



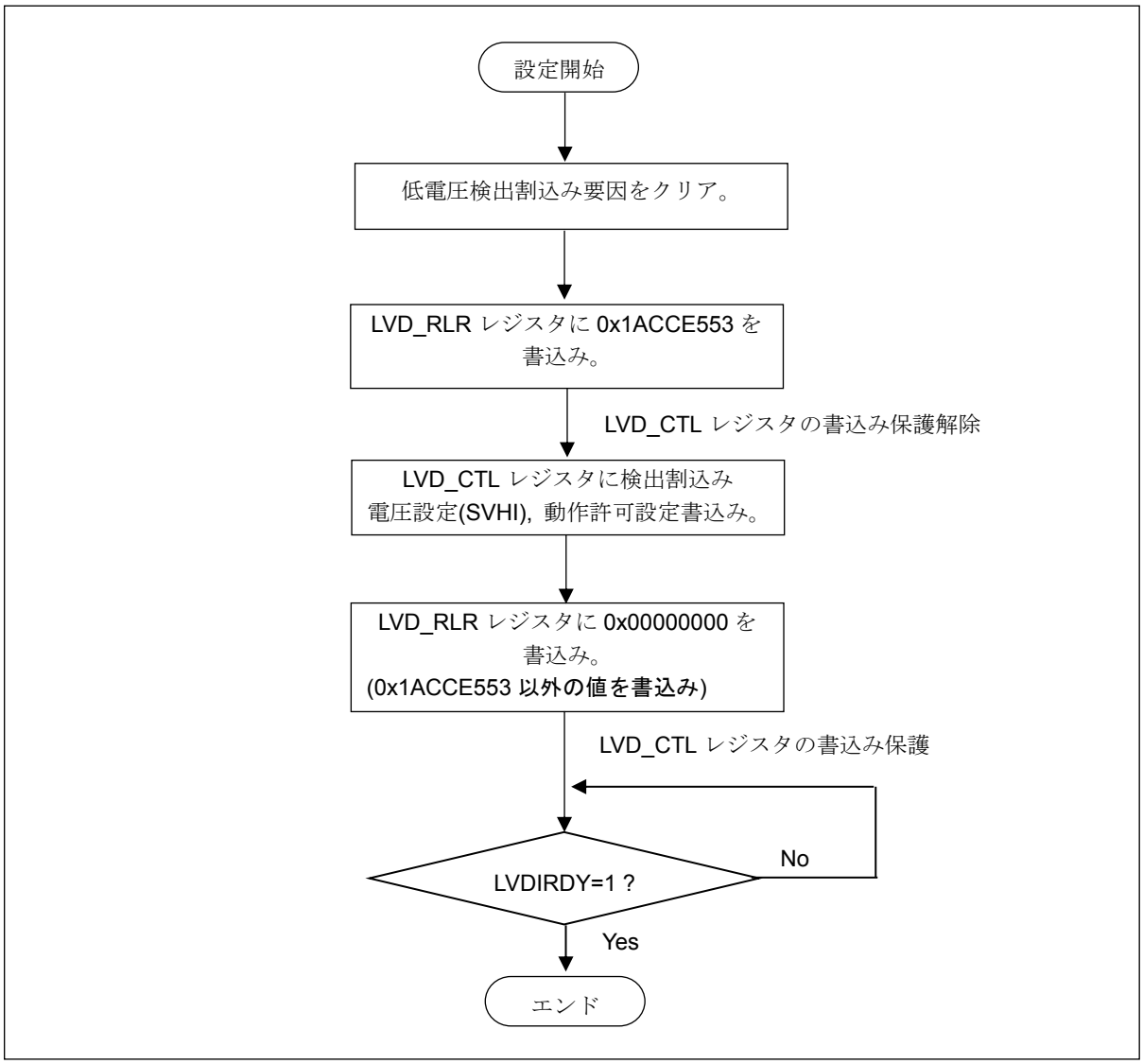
＜注意事項＞

- *低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよび APB2 プリスケーラレジスタ (APBC2_PSR) により PCLK2 の停止を行うと、電源電圧の監視が行われません。低電圧検出回路状態レジスタ(LVD_STR2)の低電圧検出割込み状態フラグ(LVDIRDY)が"1"になっていることを確認後、遷移させてください。*
- *検出/解除電圧のヒステリシスについては、ご使用する製品の『データシート』を参照してください。*

4. 設定手順例

低電圧検出回路の設定手順例を説明します。

Figure 4-1 低電圧検出割込み設定手順例



5. レジスタ

低電圧検出回路で使用するレジスタの構成と機能について説明します。

低電圧検出回路のレジスター覧

Table 5-1 低電圧検出回路のレジスター覧

レジスタ略称	レジスタ名	参照先
LVD_CTL	低電圧検出電圧設定レジスタ	5.1
LVD_STR	低電圧検出割込み要因レジスタ	5.2
LVD_CLR	低電圧検出割込み要因クリアレジスタ	5.3
LVD_RLR	低電圧検出電圧保護レジスタ	5.4
LVD_STR2	低電圧検出回路状態レジスタ	5.5

5.1 低電圧検出電圧設定レジスタ(LVD_CTL)

低電圧検出電圧設定レジスタ(LVD_CTL)は、低電圧検出割込みの電源電圧監視の許可制御，低電圧検出割込みの検出電圧設定を行うレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDIE	SVHI					予約	
属性	R/W	R/W					-	
初期値	0	00111					-	

[bit7] LVDIE： 低電圧検出割込み動作許可ビット

本ビットは、低電圧検出割込みの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出割込み回路は動作停止します。

bit	説明
0	低電圧検出割込みの発生を許可しません。[初期値]
1	低電圧検出割込みの発生を許可します。

[bit6:2] SVHI： 低電圧検出割込み電圧設定ビット

本ビットは、低電圧検出割込みの検出電圧設定を行います。

■ TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

bit6:2	説明
00111	低電圧検出割込みの電圧を 2.8V 中心に設定します。[初期値]
00100	低電圧検出割込みの電圧を 3.0V 中心に設定します。
01100	低電圧検出割込みの電圧を 3.2V 中心に設定します。
01111	低電圧検出割込みの電圧を 3.6V 中心に設定します。
01110	低電圧検出割込みの電圧を 3.7V 中心に設定します。
01001	低電圧検出割込みの電圧を 4.0V 中心に設定します。
01000	低電圧検出割込みの電圧を 4.1V 中心に設定します。
11000	低電圧検出割込みの電圧を 4.2V 中心に設定します。
上記以外	設定禁止

■ TYPE3-M4, TYPE4-M4, TYPE5-M4 製品

bit6:2	説明
00111	低電圧検出割込みの電圧を 2.9V 中心に設定します。[初期値]
00100	低電圧検出割込みの電圧を 3.1V 中心に設定します。
01100	低電圧検出割込みの電圧を 3.3V 中心に設定します。
01111	低電圧検出割込みの電圧を 3.8V 中心に設定します。
01110	低電圧検出割込みの電圧を 3.9V 中心に設定します。
01001	低電圧検出割込みの電圧を 4.2V 中心に設定します。
01000	低電圧検出割込みの電圧を 4.3V 中心に設定します。
11000	低電圧検出割込みの電圧を 4.4V 中心に設定します。
上記以外	設定禁止

[bit1:0] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

<注意事項>

- *低電圧検出割込み動作許可ビット(LVDIE)は、必ず低電圧検出割込み要因クリアレジスタ(LVD_CLR)の LVDCL ビットに"0"を書き込み、低電圧検出割込み要因ビット(LVDIR)を"0"にクリアしてから許可してください。*
- *低電圧検出割込み動作許可ビット(LVDIE)を許可しない場合は、低電圧割込み検出用の低電圧検出回路は停止します。そのため、低電圧検出割込み要因ビット(LVDIR)のセットは行いません。*
- *低電圧検出電圧設定レジスタ(LVD_CTL)は初期状態で書込み保護されており、保護を解除しない限り書込みは無効になります。低電圧検出電圧設定レジスタ(LVD_CTL)に書込みを行う場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込み、書込み保護を解除してください。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*
- *低電圧検出割込みによるディープスタンバイモードからの復帰を禁止する場合は、ディープスタンバイ復帰許可レジスタ(WIER)の WLVDE ビットの禁止設定と低電圧検出割込み動作許可ビット(LVDIE)の禁止設定を併せて行ってください。*
- *検出/解除電圧の精度については、ご使用する製品の『データシート』を参照してください。*

5.2 低電圧検出割込み要因レジスタ(LVD_STR)

低電圧検出割込み要因レジスタ(LVD_STR)は、低電圧検出割込みの要因を保持するレジスタです。

Bit	7	6	5	4	3	2	1	0
Field	LVDIR	予約						
属性	R	-						
初期値	0	-						

[bit7] LVDIR： 低電圧検出割込み要因ビット

bit	説明
0	低電圧検出割込み要求は検出されていません。[初期値]
1	低電圧検出割込み要求が検出されました。

[bit6:0] 予約 ： 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

＜注意事項＞

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

5.3 低電圧検出割込み要因クリアレジスタ(LVD_CLR)

低電圧検出割込み要因クリアレジスタ(LVD_CLR)は、低電圧検出割込み要因をクリアするレジスタです。

Bit	7	6	5	4	3	2	1	0
Field	LVDCL	予約						
属性	R/W	-						
初期値	1	-						

[bit7] LVDCL： 低電圧検出割込み要因クリアビット

bit	説明
0	低電圧検出割込み要因レジスタ(LVD_STR)の低電圧検出割込み要因ビット(LVDIR)を”0”にクリアします。
1	書込みは動作に影響しません。[初期値]

読出しは常に”1”が読み出されます。

[bit6:0] 予約 ： 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

＜注意事項＞

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

5.4 低電圧検出電圧保護レジスタ(LVD_RLR)

低電圧検出電圧保護レジスタ(LVD_RLR)は、低電圧検出電圧設定レジスタ(LVD_CTL)を書込み保護するレジスタです。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LVDLCK[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LVDLCK[15:0]															
属性	R/W															
初期値	0x0001															

[bit31:0] LVDLCK[31:0]： 低電圧検出電圧設定レジスタ保護ビット

- 0x1ACCE553 を書き込んだ場合

  低電圧検出電圧設定レジスタ(LVD_CTL)の書込みが可能となります(書込み保護解除)。

- 0x1ACCE553 以外の値を書き込んだ場合

  低電圧検出電圧設定レジスタ(LVD_CTL)の書込みが無効になります(書込み保護)。

- 低電圧検出電圧設定レジスタ(LVD_CTL)の保護が解除されているとき

  0x00000000 が読み出されます。

- 低電圧検出電圧設定レジスタ(LVD_CTL)の保護されているとき

  0x00000001 が読み出されます。

<注意事項>

- *低電圧検出電圧設定レジスタ(LVD_CTL)は、初期状態で書込み保護されております。LVD_CTL レジスタに書込みを行う場合は、低電圧検出電圧保護レジスタ(LVD_RLR)に 0x1ACCE553 を書き込み、書込み保護を解除してください。*
- *LVD_CTL レジスタの書込み保護を有効にしたい場合は、LVD_RLR レジスタに 0x1ACCE553 以外の値を書き込んでください。*
- *LVD_CTL レジスタの書込み保護を解除した場合は、LVD_RLR レジスタに 0x1ACCE553 以外の値を書き込むまで保護が解除されたままになります。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

5.5 低電圧検出回路状態レジスタ(LVD_STR2)

低電圧検出回路状態レジスタ(LVD_STR2)は、低電圧検出割込みの動作状態を確認するレジスタです。

Bit	7	6	5	4	3	2	1	0
Field	LVDIRDY	予約						
属性	R	-						
初期値	0	-						

[bit7] LVDIRDY : 低電圧検出割込み状態フラグ

bit	説明
0	安定待ち状態または監視停止状態[初期値]
1	監視状態

書込みは動作に影響しません。

[bit6:0] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

CHAPTER 6: 低消費電力モード

低消費電力モードの機能と動作について示します。

1. 低消費電力モードの概要
2. CPU 動作モードの構成
3. スタンバイモードの動作説明
4. スタンバイモードの設定手順例
5. ディープスタンバイモードの動作説明
6. ディープスタンバイモードの設定手順例
7. ディープスタンバイ復帰要因判定の手順
8. 低消費電力モードのレジスタ一覧

1. 低消費電力モードの概要

低消費電力モードとして、消費電力を低減するために、スリープモード, タイマモード, RTC モード, ストップモードのスタンバイモードと、ディープスタンバイ RTC モード, ディープスタンバイストップモードのディープスタンバイモードを利用できます。

CPU 動作モードの概要

CPU 動作モードにはそれぞれ以下の動作モードがあります。

- ランモード
  - 高速 CR ランモード
  - メインランモード
  - PLL ランモード
  - 低速 CR ランモード
  - サブランモード

- スタンバイモード
  - スリープモード
    - 高速 CR スリープモード
    - メインスリープモード
    - PLL スリープモード
    - 低速 CR スリープモード
    - サブスリープモード
  - タイマモード
    - 高速 CR タイマモード
    - メインタイマモード
    - PLL タイマモード
    - 低速 CR タイマモード
    - サブタイマモード
  - RTC モード
  - ストップモード

- ディープスタンバイモード
  - ディープスタンバイ RTC モード
  - ディープスタンバイストップモード

ランモードの概要

ランモードは、マスタクロックとして選択されたクロックで定義されます。マスタクロックの周波数を分周したベースクロックを CPU クロック, AHB バスクロック, APB バスクロックに供給し、 CPU, バスおよび大部分の周辺機能を動作させます。

また、ソースクロックの周波数をダイナミックに変更できます。メイン発振, サブ発振を使用しない場合は、ソースクロックの発振器を停止できます。

マスタクロックとして選択されたクロックにより、以下のモードに分かれます。

- 高速 CR ランモード

  このモードでは、高速 CR 発振クロックがマスタクロックとして使用されます。メイン発振, サブ発振を使用しない場合は、それぞれの発振器を停止できます。PLL 逓倍回路の状態は、PLLE ビットの設定によって異なります。低速 CR 発振器は常に動作状態となります。リセット解除後にこのモードに遷移します。

- メインランモード

  このモードでは、メイン発振クロックがマスタクロックとして使用されます。PLL 逓倍回路, サブ発振器の状態は、それぞれ PLLE, SOSCE ビットの設定によって異なります。高速 CR 発振器および低速 CR 発振器は常に動作状態となります。

- PLL ランモード

  このモードでは、メイン発振クロックまたは高速 CR 発振クロックの逓倍である PLL クロックがマスタクロックとして使用されます。高速 CR 発振器および低速 CR 発振器は常に動作状態となります。メイン発振器,サブ発振器の状態は MOSCE, SOSCE ビットの設定によって異なります。

- 低速 CR ランモード

  このモードでは、低速 CR 発振クロックがマスタクロックとして使用されます。サブ発振器の状態は、SOSCE ビットの設定によって異なります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

- サブランモード

  このモードでは、サブ発振クロックがマスタクロックとして使用されます。低速 CR 発振器は常に動作状態となります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

スリープモードの概要

スリープモードはスタンバイモードの 1 つに分類されます。スリープモードは、CPU へのクロックを停止します。これにより CPU が停止状態になるため、消費電力が削減されます。AHB バスおよび APB バスクロックに接続されているリソースは動作を継続します。

スリープモード遷移時のマスタクロックにより、以下のモードに分かれます。

■ 高速 CR スリープモード

高速 CR 発振クロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、高速 CR スリープモードに遷移します。このモードでの各発振器の状態は、PLL 逓倍回路, メイン発振器, サブ発振器の状態はそれぞれ PLLE, MOSCE, SOSCE ビットの設定によって異なります。低速 CR 発振器は常に動作状態となります。

■ メインスリープモード

メインクロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、メインスリープモードに遷移します。このモードでの各発振器の状態は、PLL 逓倍回路, サブ発振器の状態はそれぞれ PLLE, SOSCE ビットの設定によって異なります。高速 CR 発振器, 低速 CR 発振器は常に動作状態となります。

■ PLL スリープモード

PLL クロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、PLL スリープモードに遷移します。このモードでの各発振器の状態は、高速 CR 発振器および低速 CR 発振器は、常に動作状態となります。メイン発振器,サブ発振器の状態は MOSCE, SOSCE ビットの設定によって異なります。

■ 低速 CR スリープモード

低速 CR クロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、低速 CR スリープモードに遷移します。このモードでの各発振器の状態は、サブ発振器は、SOSCE ビットの設定によって異なります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

■ サブスリープモード

サブクロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、サブスリープモードに遷移します。このモードでの各発振器の状態は、低速 CR 発振器は常に動作状態となります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

タイマモードの概要

タイマモードはスタンバイモードの 1 つに分類されます。タイマモードは、ベースクロックの供給を停止します。これにより、CPU クロック, AHB バスクロックおよびすべての APB バスクロック停止するため、消費電力がさらに削減されます。この場合は、発振器, PLL, ハードウェアウォッチドッグタイマ, 時計カウンタ, RTC, クロック故障検出機能, 低電圧検出回路を除くすべての機能が停止します。

タイマモード遷移時のマスタクロックにより、以下のモードに分かれます。

■ 高速 CR タイマモード

高速 CR 発振クロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、高速 CR タイマモードに遷移します。このモードでの各発振器の状態は、PLL 逓倍回路, メイン発振器, サブ発振器の状態はそれぞれ PLLE, MOSCE, SOSCE ビットの設定によって異なります。低速 CR 発振器は常に動作状態となります。

■ メインタイマモード

メインクロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、メインタイマモードに遷移します。このモードでの各発振器の状態は、PLL 逓倍回路, サブ発振器の状態はそれぞれ PLLE, SOSCE ビットの設定によって異なります。高速 CR 発振器, 低速 CR 発振器は常に動作状態となります。

■ PLL タイマモード

PLL クロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、PLL タイマモードに遷移します。このモードでの各発振器の状態は、高速 CR 発振器および低速 CR 発振器は、常に動作状態となります。メイン発振器,サブ発振器の状態は MOSCE, SOSCE ビットの設定によって異なります。

■ 低速 CR タイマモード

低速 CR クロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、低速 CR タイマモードに遷移します。このモードでの各発振器の状態は、サブ発振器は、SOSCE ビットの設定によって異なります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

■ サブタイマモード

サブクロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、サブタイマモードに遷移します。このモードでの各発振器の状態は、サブ発振器および低速 CR 発振器は常に動作状態となります。メイン発振器, 高速 CR 発振器および PLL 逓倍回路は使用できません。

RTC モードの概要

RTC モードはスタンバイモードの 1 つに分類されます。RTC モードは、サブ発振器以外の発振を停止します。時計カウンタ, RTC, 低電圧検出回路以外のすべての機能が停止状態になります。

ストップモードの概要

ストップモードはスタンバイモードの 1 つに分類されます。ストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止状態になります。

ディープスタンバイ RTC モードの概要

ディープスタンバイ RTC モードはディープスタンバイモードの 1 つに分類されます。ディープスタンバイ RTC モードは、サブ発振器以外の発振を停止します。RTC, 低電圧検出回路以外のすべての機能が停止状態になります。RTC, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュメモリ, SRAM0～SRAM2*, 周辺機能をチップ内部で電源オフします。

ディープスタンバイストップモードの概要

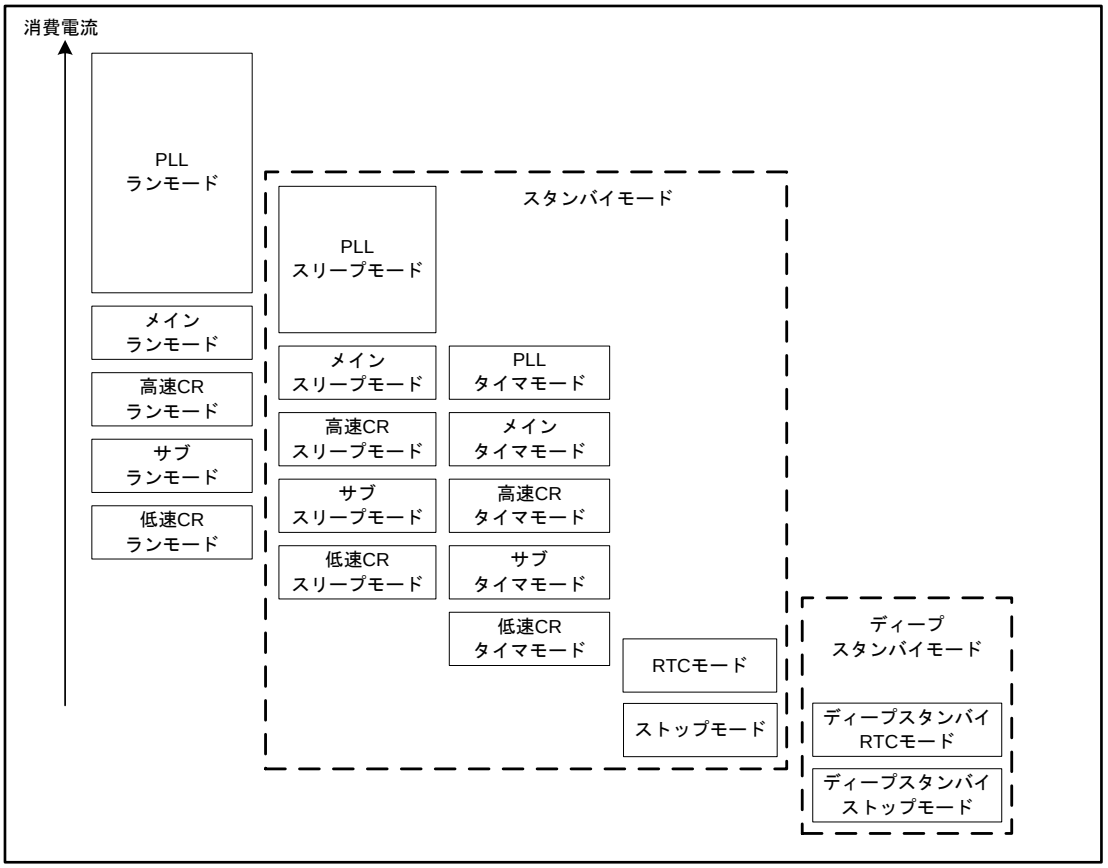
ディープスタンバイストップモードはディープスタンバイモードの 1 つに分類されます。ディープスタンバイストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止状態になります。RTC, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュメモリ, SRAM0～SRAM2*, 周辺機能をチップ内部で電源オフします。

*: SRAM2 の内容は保持可能です。
SRAM2 の内容を保持設定にした場合は、SRAM2 は電源オンになります。

CPU 動作モードと消費電流の関係

CPU 動作モードと消費電流の関係を Figure 1-1 に示します。

Figure 1-1 CPU 動作モードと消費電流の関係図



＜注意事項＞

- *Figure 1-1 では、モードごとの消費電流の大小関係程度しか示していません。実際の消費電流は各モードでの発振器と PLL の起動, 選択された周波数などのクロック構成により変わります。*

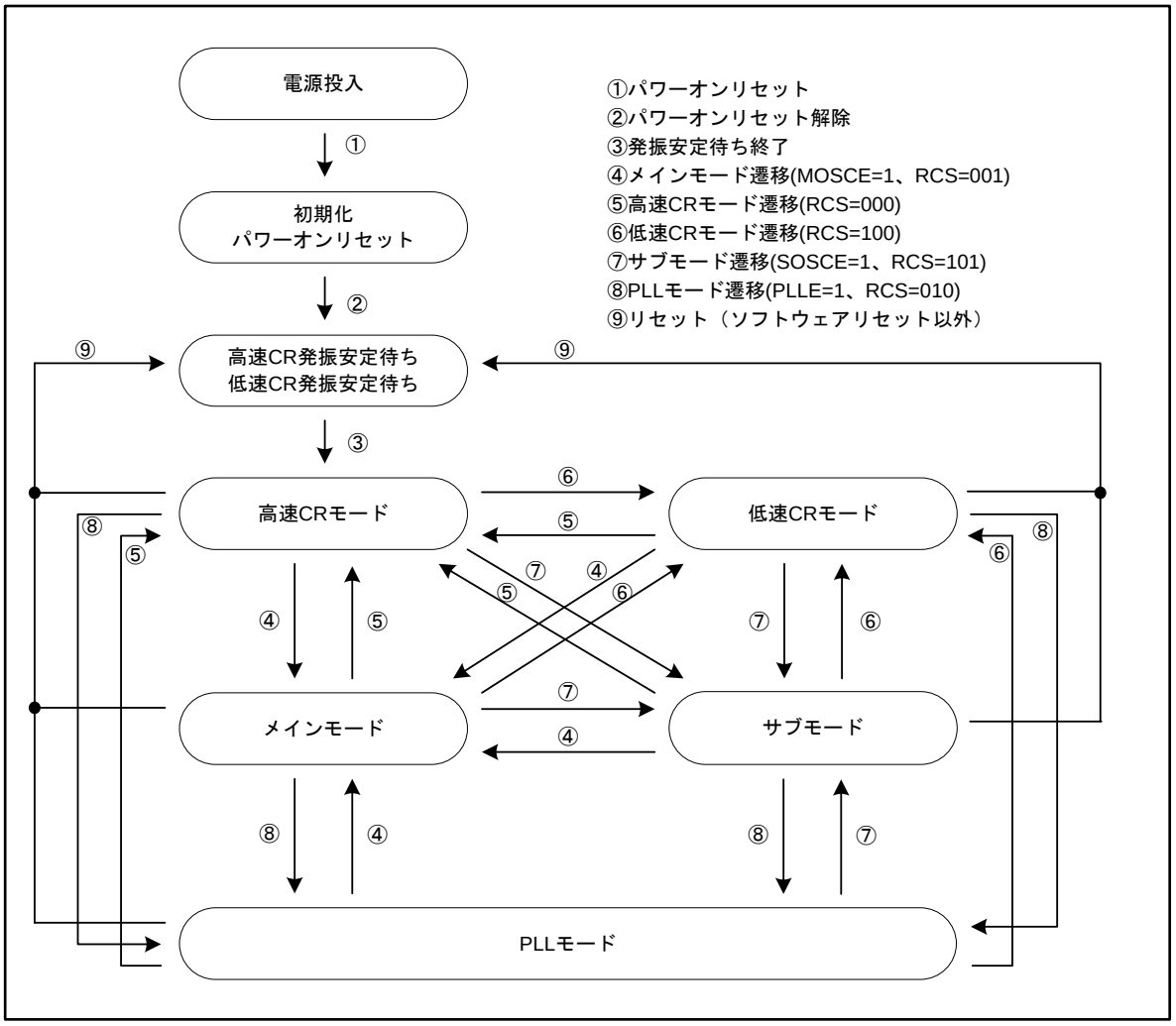
2. CPU 動作モードの構成

CPU 動作モードの構成について説明します。

CPU 動作モード遷移図

CPU 動作モードの遷移図を Figure 2-1 に示します。

Figure 2-1 CPU 動作モードの遷移図



■ 高速 CR モード

高速 CR 発振クロックがマスタクロックとして使用されます。

■ メインモード

メイン発振クロックがマスタクロックとして使用されます。

■ 低速 CR モード

低速 CR 発振クロックがマスタクロックとして使用されます。

■ サブモード

サブ発振クロックがマスタクロックとして使用されます。

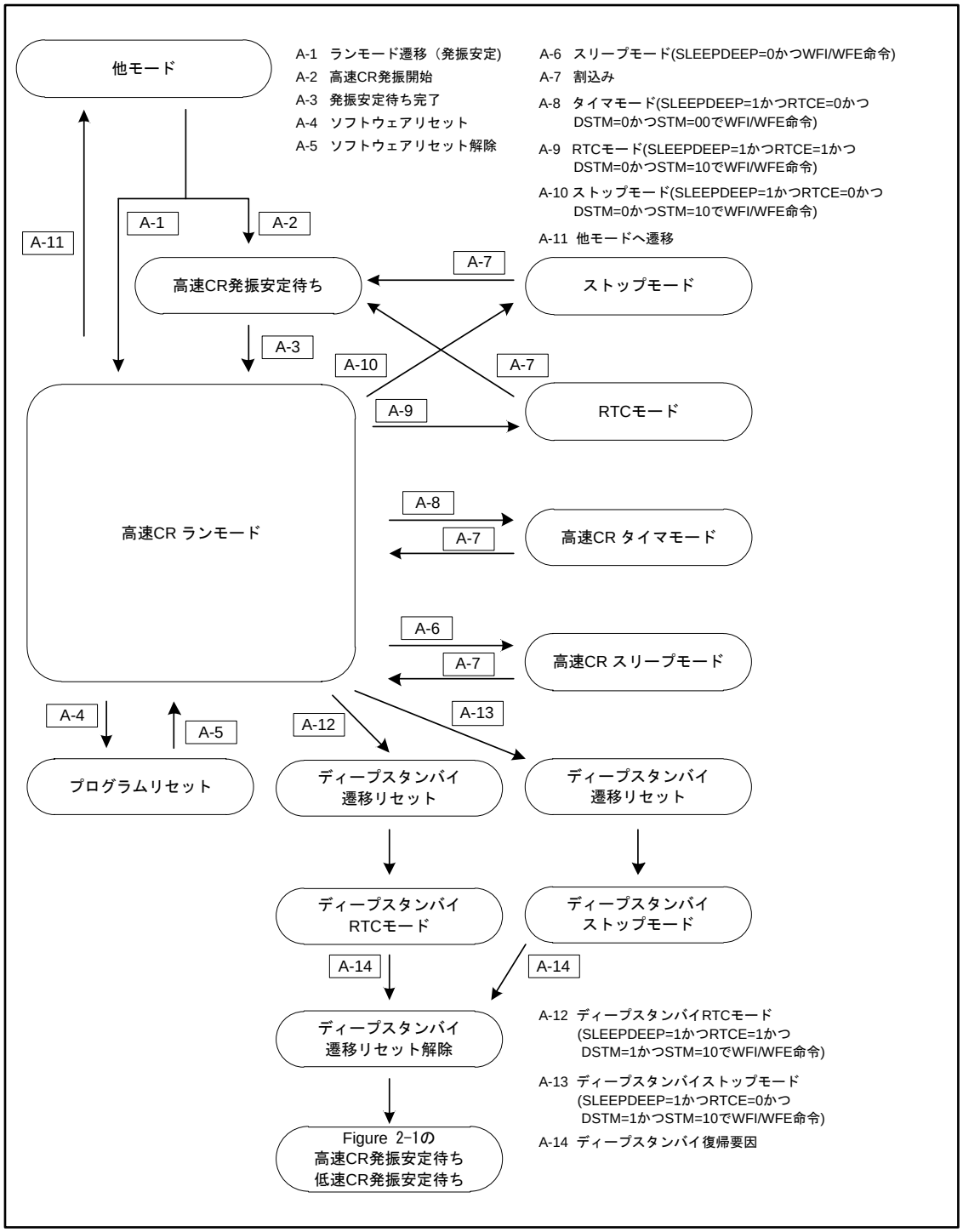
■ PLL モード

PLL 発振クロックがマスタクロックとして使用されます。

高速 CR モード遷移図

高速 CR モードでは、高速 CR 発振クロックがマスタクロックとして使用されます。

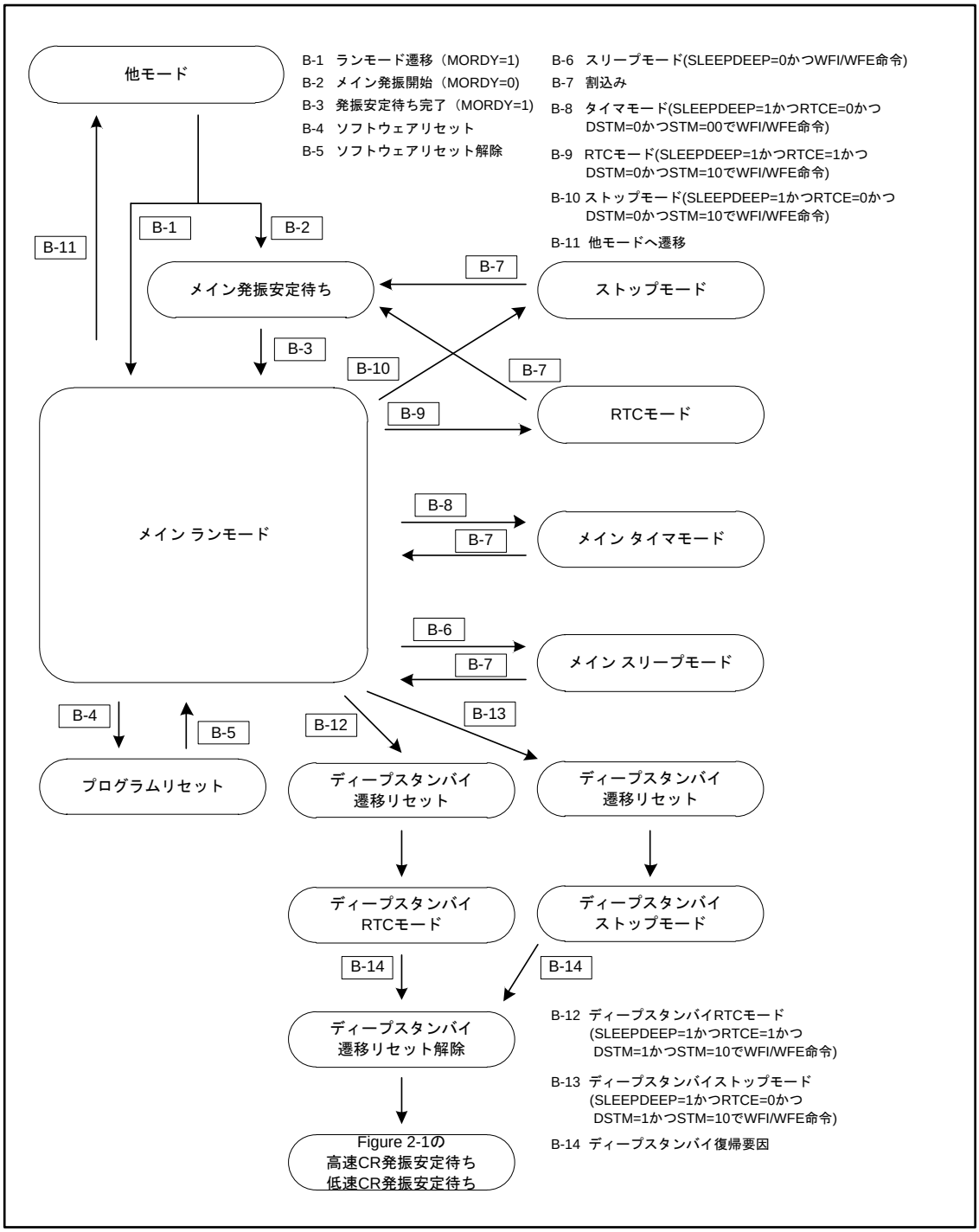
Figure 2-2 高速 CR モード遷移図



メインモード遷移図

メインモードでは、メイン発振クロックがマスタクロックとして使用されます。

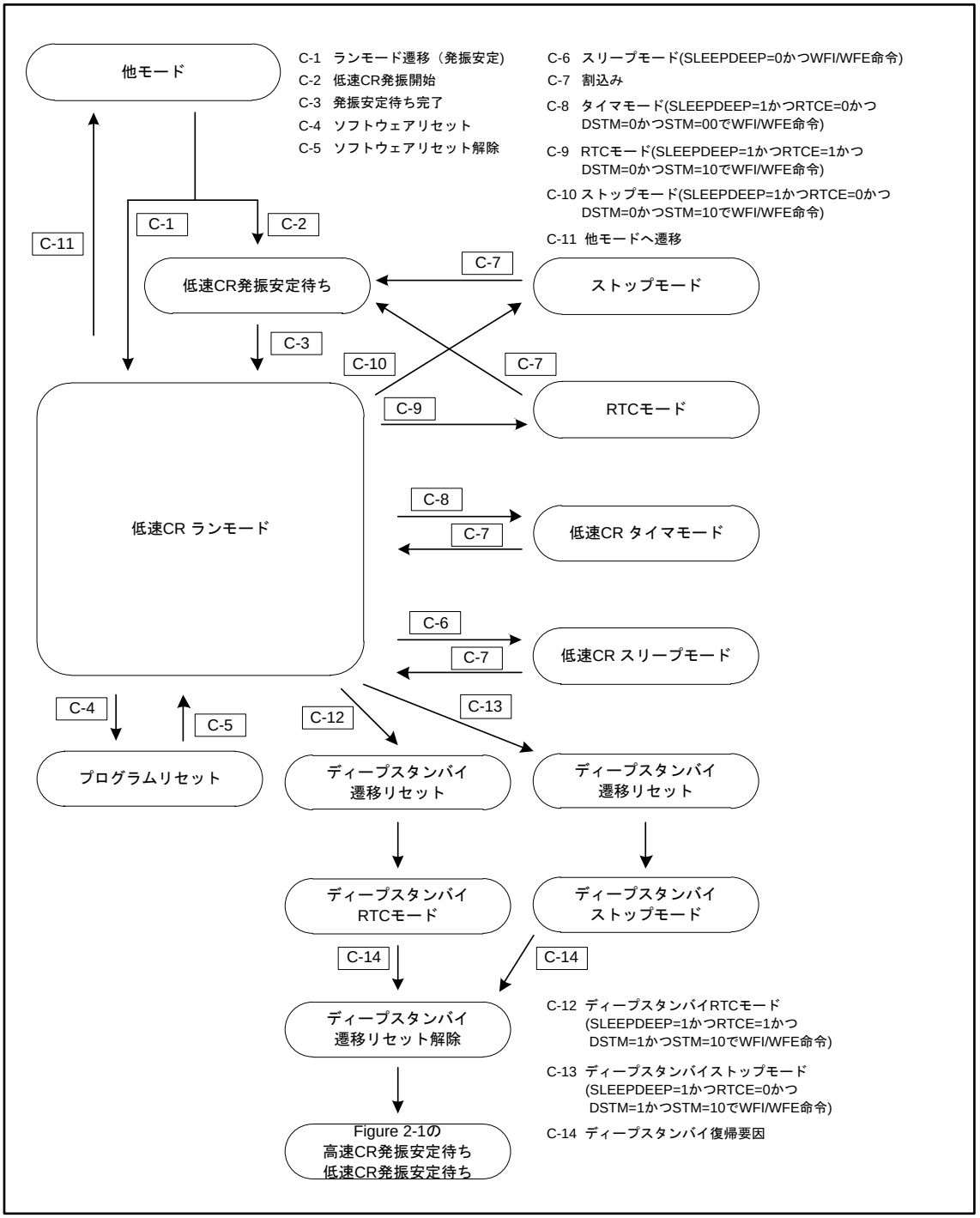
Figure 2-3 メインモード遷移図



低速 CR モード遷移図

低速 CR モードでは、低速 CR 発振クロックがマスタクロックとして使用されます。

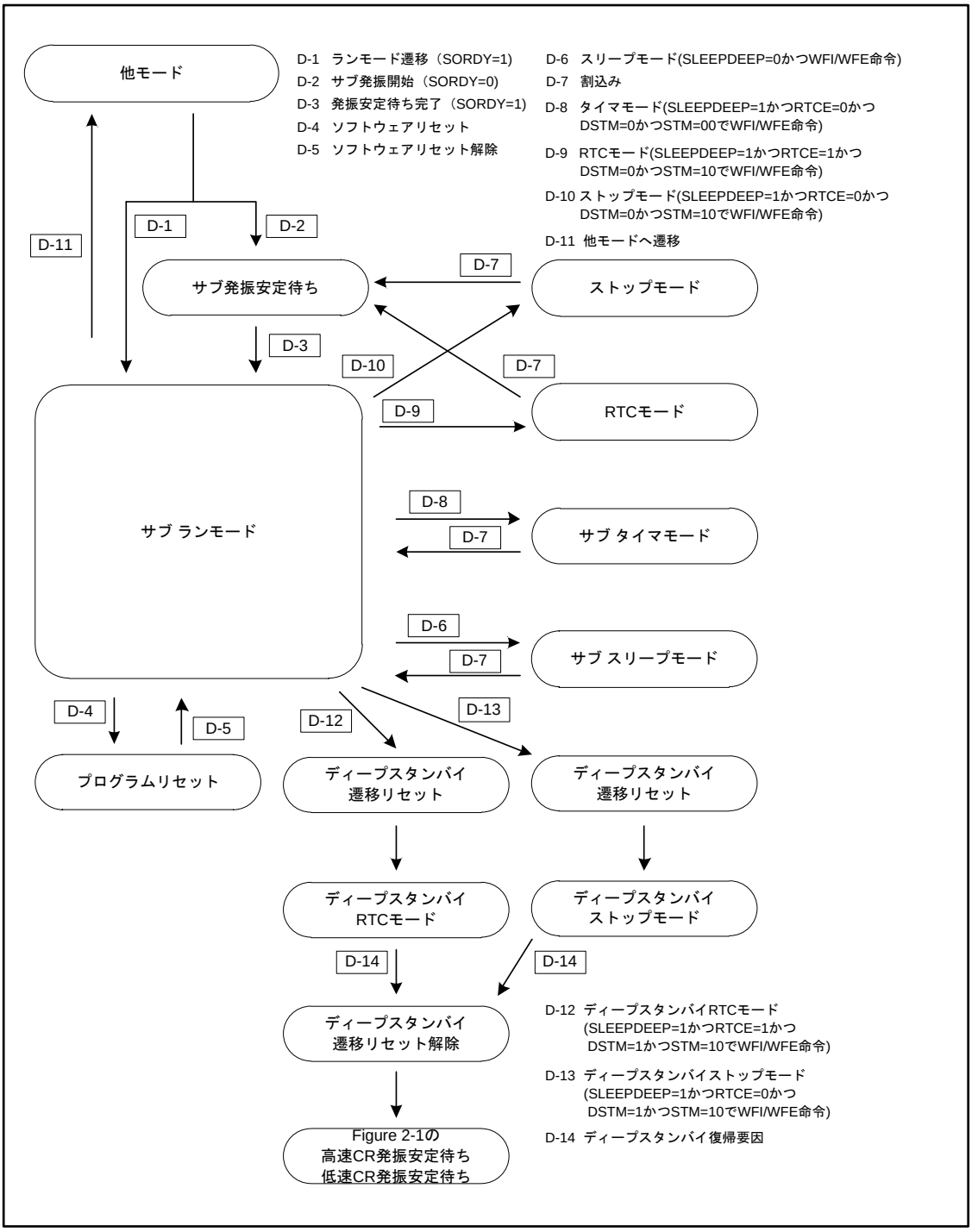
Figure 2-4 低速 CR モード遷移図



サブモード遷移図

サブモードでは、サブ発振クロックがマスタクロックとして使用されます。

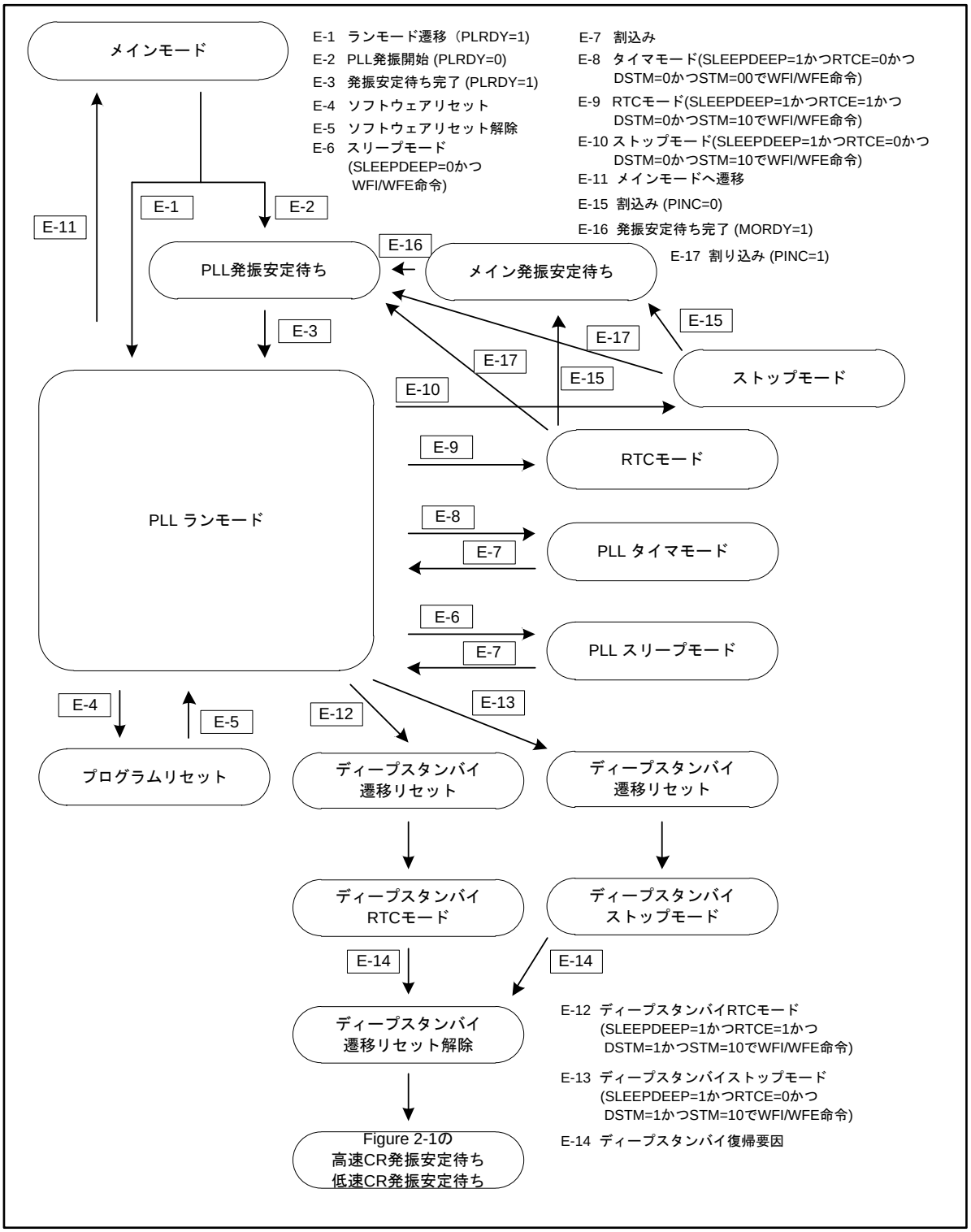
Figure 2-5 サブモード遷移図



PLL モード遷移図

PLL モードでは、PLL クロックがマスタクロックとして使用されます。

Figure 2-6 PLL モード遷移図



MOSCE: システムクロックモード制御レジスタ(SCM_CTL)の MOSCE ビット
SOSCE: システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビット
PLLE: システムクロックモード制御レジスタ(SCM_CTL)の PLLE ビット
RCS: システムクロックモード制御レジスタ(SCM_CTL)の RCS ビット
MORDY: システムクロックモード状態レジスタ(SCM_STR)の MORDY ビット
SORDY: システムクロックモード状態レジスタ(SCM_STR)の SORDY ビット
PLRDY: システムクロックモード状態レジスタ(SCM_STR)の PLRDY ビット
PINC: PLL クロック安定待ち時間レジスタ(PSW_TMR)の PINC ビット

* SCM_CTL, SCM_STR, PSW_TMR レジスタについては、別章『クロック』を参照してください。

＜注意事項＞

- *低速 CR タイマモード，サブタイマモード, RTC モード，ストップモード，ディープスタンバイ RTC モードおよびディープスタンバイストップモードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百 µs)を自動的に確保します。その後に各ランモードへの復帰動作を行います。*

3. スタンバイモードの動作説明

スタンバイモードの動作について説明します。
スタンバイモードには、スリープモード(高速 CR スリープ, メインスリープ, PLL スリープ, 低速 CR スリープ, サブスリープ), タイマモード(高速 CR タイマ, メインタイマ, PLL タイマ, 低速 CR タイマ, サブタイマ)および RTC モード, ストップモードがあります。

スタンバイモード時のクロック動作状態

スリープモード, タイマモード, RTC モード, ストップモードにある間の発振クロック, CPU クロック, AHB バスクロック, APB バスクロックの状態を示します。

Table 3-1 スリープモード時のクロック動作状態

<table>
<tr><th rowspan="2"></th><th colspan="5">スリープモード</th></tr>
<tr><th>高速 CR
スリープモード</th><th>メイン
スリープモード</th><th>PLL
スリープモード</th><th>低速 CR
スリープモード</th><th>サブ
スリープモード</th></tr>
<tr><td>高速 CR クロック</td><td colspan="3">動作</td><td colspan="2">停止</td></tr>
<tr><td>メインクロック</td><td>MOSCE ビットによって異なります。</td><td>動作</td><td>MOSCE ビットおよび PINC ビットによって異なります。</td><td colspan="2">停止</td></tr>
<tr><td>メイン PLL クロック</td><td colspan="2">MOSCE ビットおよび
PLLE ビットによって
異なります。</td><td>動作</td><td colspan="2">停止</td></tr>
<tr><td>低速 CR クロック</td><td colspan="5">動作</td></tr>
<tr><td>サブクロック</td><td colspan="4">SOSCE ビットによって異なります。</td><td>動作</td></tr>
<tr><td>USB PLL クロック</td><td>MOSCE ビットおよび UPLLEN ビットによって異なります。</td><td colspan="2">UPLLEN ビットによって
異なります。</td><td colspan="2">停止</td></tr>
<tr><td>I²S PLL クロック</td><td>MOSCE ビットおよび IPLLEN ビットによって異なります。</td><td colspan="2">IPLLEN ビットによって
異なります。</td><td colspan="2">停止</td></tr>
<tr><td>GDC PLL クロック</td><td>MOSCE ビット、GPINC*1 ビットおよび GPLLEN*1 ビットによって異なります。</td><td colspan="2">GPINC*1 ビットおよび GPLLEN*1 ビットによって異なります。</td><td colspan="2">停止</td></tr>
<tr><td>CPU クロック</td><td colspan="5">停止</td></tr>
<tr><td>AHB バスクロック</td><td>高速 CR
クロック</td><td>メイン
クロック</td><td>PLL
クロック</td><td>低速 CR
クロック</td><td>サブ
クロック</td></tr>
<tr><td>APB0 バスクロック</td><td>高速 CR
クロック</td><td>メイン
クロック</td><td>PLL
クロック</td><td>低速 CR
クロック</td><td>サブ
クロック</td></tr>
<tr><td rowspan="2">APB1 バスクロック</td><td>高速 CR
クロック</td><td>メイン
クロック</td><td>PLL
クロック</td><td>低速 CR
クロック</td><td>サブ
クロック</td></tr>
<tr><td colspan="5">* 動作許可は、APBC1EN ビットによって異なります。</td></tr>
<tr><td rowspan="2">APB2 バスクロック</td><td>高速 CR
クロック</td><td>メイン
クロック</td><td>PLL
クロック</td><td>低速 CR
クロック</td><td>サブ
クロック</td></tr>
<tr><td colspan="5">* 動作許可は、APBC2EN ビットによって異なります。</td></tr>
</table>

*1: GPINC ビットおよび GPLLEN ビットについては、ペリフェラルマニュアルの『GDC 編』を参照してください。

Table 3-2 タイマモード時のクロック動作状態

	タイマモード				
	高速 CR タイマモード	メイン タイマモード	PLL タイマモード	低速 CR タイマモード	サブ タイマモード
高速 CR クロック	動作			停止	
メインクロック	MOSCE ビットによって異なります。	動作	MOSCE ビットおよび PINC ビットによって異なります。	停止	
メイン PLL クロック	MOSCE ビットおよび PLLE ビットによって異なります。		動作	停止	
低速 CR クロック	動作				
サブクロック	SOSCE ビットによって異なります。				動作
USB PLL クロック	停止				
I²S PLL クロック	停止				
GDC PLL クロック	GPINC*1 ビットおよび GPLLEN*1 ビットによって異なります。			停止	
CPU クロック	停止				
AHB バスクロック	停止				
APB0 バスクロック	停止				
APB1 バスクロック	停止				
APB2 バスクロック	停止				

*1: GPINC ビットおよび GPLLEN ビットについては、ペリフェラルマニュアルの『GDC 編』を参照してください。

Table 3-3 RTC モードとストップモード時のクロック動作状態

	RTC モード	ストップモード
高速 CR クロック	停止	停止
メインクロック		
メイン PLL クロック		
低速 CR クロック		
サブクロック	動作	
USB PLL クロック	停止	
I²S PLL クロック		
GDC PLL クロック		
CPU クロック		
AHB バスクロック		
APB0 バスクロック		
APB1 バスクロック		
APB2 バスクロック		

MOSCE: システムクロックモード制御レジスタ(SCM_CTL)の MOSCE ビット
SOSCE: システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビット
PLLE: システムクロックモード制御レジスタ(SCM_CTL)の PLLE ビット
UPLLEN: USB-PLL 設定レジスタ 1(UPCR1)の UPLLEN ビット
IPLLEN: I²S-PLL 設定レジスタ 1(IPCR1)の IPLLEN ビット
APBC1EN: 周辺バスクロック分周レジスタ(APBC1_PSR)の APBC1EN ビット
APBC2EN: 周辺バスクロック分周レジスタ(APBC2_PSR)の APBC2EN ビット

*: SCM_CTL, APBC1_PSR, APBC2_PSR レジスタについては、別章『クロック』を参照してください。
UPCR1 レジスタについては、『通信マクロ編』の『USB クロック生成』を参照してください。
IPCR1 レジスタについては、『通信マクロ編』の『I²S クロック生成』を参照してください。

スタンバイモードからの復帰要因

スリープモード, タイマモード, RTC モード, ストップモードからの復帰要因を Table 3-4 に示します。

Table 3-4 スタンバイモードからの復帰要因

	スリープモード	タイマモード	RTC モード	ストップモード
リセット復帰要因	– INITX 端子入力リセット – 低電圧検出リセット – ソフトウェアウォッチドッグリセット – ハードウェアウォッチドッグリセット – クロック故障検出リセット – 異常周波数検出リセット	– INITX 端子入力リセット – 低電圧検出リセット – ハードウェアウォッチドッグリセット – クロック故障検出リセット – 異常周波数検出リセット（メインタイマモード, PLL タイマモード）	– INITX 端子入力リセット – 低電圧検出リセット	– INITX 端子入力リセット – 低電圧検出リセット
割込み復帰要因	– 各周辺機能からの有効な割込み	– NMI 割込み – 外部割込み – ハードウェアウォッチドッグタイマ割込み – USB ウェイクアップ割込み – 時計カウンタ割込み – RTC 割込み – HDMI-CEC/リモコン受信割込み – 低電圧検出割込み – GDC 割込み	– NMI 割込み – 外部割込み – USB ウェイクアップ割込み – RTC 割込み – HDMI-CEC/リモコン受信割込み – 低電圧検出割込み	– NMI 割込み – 外部割込み – USB ウェイクアップ割込み – 低電圧検出割込み

3.1 スリープモード(高速 CR スリープ, メインスリープ, PLL スリープ, 低速 CR スリープ, サブスリープ)の動作

スリープモードはスタンバイモードの 1 つに分類されます。スリープモードは、CPU クロックが停止します。これにより消費電力が削減されます。

スリープモード機能

■ CPU, オンチップメモリ

スリープモードでは、CPU に供給しているクロックが停止します。AHB バスクロックは動作を継続します。オンチップメモリは動作を行い、データを保持します。

■ 周辺機能

APB0 バスクロックはスリープモードでも動作します。APB1 バスクロックおよび APB2 バスクロックはそれぞれ APBC1EN ビットおよび APBC2EN ビットにより異なります。周辺機能は遷移時の状態で動作します。

■ 時計カウンタ, RTC

時計カウンタ, RTC はスリープモードの影響を受けません。スリープモードに遷移する前の設定に従って動作を続けます。

■ 発振クロック

それぞれの発振クロックの状態を、Table 3-1 に示します。

■ リセットと割込み

リセットと割込みはスリープモードからの復帰に使用できます。

■ 外部バス

外部バスはスリープモード中でも動作します。

■ 端子の状態

スリープモードにある間は、すべての端子で設定が保持されます。

スリープモード設定手順

以下の手順を実施するとスリープモードへ遷移します。

1. Cortex-M4F システムコントロールレジスタの SLEEPDEEP ビットに"0"を設定してください。
2. WFI または WFE 命令を実行してください。
   システムクロックモード状態レジスタ(SCM_STR)の RCM[2:0]ビットに示されている現在のクロックモードに応じて、対応するスリープモードに遷移します。

システムクロックモード制御レジスタ(SCM_CTL)については、別章『クロック』を参照してください。

スリープモードからの復帰

以下のいずれかの場合に CPU がスリープモードから復帰します。

■ リセットによる復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット, ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

■ 割込みによる復帰

スリープモードにある間に周辺機能から発生した有効な割込みを受け付けると、スリープモードから復帰して、システムクロックモード状態レジスタ(SCM_STR)の RCM [2:0]ビットに示されているクロックモードに応じたランモードに遷移します。

Table 3-5 スリープモードからの割込み復帰後の動作モード

	スリープモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

RCM: システムクロックモード状態レジスタ(SCM_STR)の RCM[2:0]ビット

* SCM_CTL, SCM_STR レジスタについては、別章『クロック』を参照してください。

■ 復帰時の発振安定待ち

リセットにより復帰をした場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。
割込みで復帰した場合は、発振安定待ちはありません。

3.2 タイマモード(高速 CR タイマ, メインタイマ, PLL タイマ, 低速 CR タイマ, サブタイマ)の動作

タイマモードは、ベースクロックの供給を停止します。これにより、CPU クロック, AHB バスクロックおよび、すべての APB バスクロックが停止するため、消費電力がさらに削減されます。本モードでは、発振器, PLL, ハードウェアウォッチドッグタイマ, 時計カウンタ, RTC,クロック故障検出機能, 低電圧検出回路を除くすべての機能が停止します。

タイマモード機能

■ CPU, オンチップメモリ

タイマモードでは、CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止します。ただし、オンチップメモリの内容は保持されます。また、デバッグ機能が停止します。

■ 周辺機能

すべての APB クロックはタイマモードで停止し、ハードウェアウォッチドッグタイマ, 時計カウンタ, RTC, クロックスーパバイザ, 低電圧検出回路以外のすべてのリソースは最後の状態のまま停止します。

■ 時計カウンタ, RTC

時計カウンタ, RTC はタイマモードの影響を受けません。タイマモードに遷移する前の設定に従って動作を続けます。

■ 発振クロック

それぞれの発振クロックの状態を、Table 3-2 に示します。

■ リセットと割込み

リセットと割込みはタイマモードからの復帰に使用できます。

■ 外部バス

外部バスはタイマモードで停止します。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子がタイマモードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを制御できます。

タイマモード設定手順

以下の手順を実施するとタイマモードへ遷移します。

1. RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"0"を設定してください。
2. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"0"かつ STM ビットに"0b00"を書き込んでください。SPL ビットにより、タイマモードでの端子状態を設定してください。
3. Cortex-M4F システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
4. WFI または WFE 命令を実行してください。
   システムクロックモード状態レジスタ(SCM_STR)の RCM [2:0]ビットに示されている現在のクロックモードに応じて、対応するタイマモードへの遷移が要求されます。

タイマモードからの復帰

以下のいずれかの場合に CPU がタイマモードから復帰します。

■ リセットによる復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 異常周波数検出リセット(メインタイマモード, PLL タイマモード)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセットは動作しないため、復帰できません。

■ 割込みによる復帰

タイマモードにある間に有効な NMI 割込み, 外部割込み, ハードウェアウォッチドッグタイマ割込み, USB ウェイクアップ割込み, 時計カウンタ割込み, RTC 割込み, HDMI-CEC/リモコン受信割込み, 低電圧検出割込み,GDC 割込みの要求を受け付けると、タイマモードから復帰して、システムクロックモード状態レジスタ(SCM_STR)の RCM[2:0]ビットに示されているクロックモードに応じたランモードに遷移します。

Table 3-6 タイマモードからの割込み復帰後の動作モード

	タイマモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

■ 復帰時の発振安定待ち

リセットにより復帰した場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、発振安定待ちはありません。

■ 復帰時の内蔵レギュレータ電圧安定待ち

低速 CR タイマモード, サブタイマモードからのリセットおよび割込みによる復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百 µs)を自動的に確保します。その後に復帰動作を行います。

<注意事項>

- *復帰に使用する割込みの優先度設定が CPU を復帰させるレベルに設定されていない場合は、割込みによりクロックは復帰しますが、CPU は復帰せずに停止した状態を継続します。そのため、必ず割込み優先度設定は CPU が復帰可能なレベルに設定してください。*
- *タイマモードへ遷移する前に必ず Table 3-4 のタイマモードからの復帰要因がセットされていないことを確認してください。(NVIC 内部の割込みペンディングレジスタを含みます。) 要因がセットされている場合は、クリアしてください。*
- *デバッグ中にタイマモードに遷移した場合は、CPU へのクロックが停止するため、ICE からランモードへの復帰ができません。リセットまたは割込みによる復帰を使用してください。*
- *低速 CR タイマモード, サブタイマモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

3.3 RTC モードの動作

RTC モードは、サブ発振器以外の発振を停止します。時計カウンタ, RTC, 低電圧検出回路以外のすべての機能が停止します。

RTC モード機能

■ CPU, オンチップメモリ

RTC モードでは、CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止します。ただし、オンチップメモリの内容は保持されます。またデバッグ機能が停止します。

■ 周辺機能

すべての APB バスクロックは停止し、時計カウンタ, RTC, 低電圧検出回路以外のすべてのリソースは最後の状態のまま停止します。

■ 時計カウンタ, RTC

時計カウンタのカウント動作は RTC モードの影響を受けず、RTC モードに遷移する前の設定に
従って動作を続けますが、時計カウンタ割込みによる RTC モードからの復帰は行えません。
RTC は RTC モードの影響を受けません。RTC モードに遷移する前の設定に従って動作を続けます。

■ 発振クロック

それぞれの発振クロックの状態を、Table 3-3 に示します。

■ リセットと割込み

リセットと割込みは RTC モードからの復帰に使用できます。

■ 外部バス

外部バスは RTC モードで停止します。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子が RTC モードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを制御します。

RTC モード設定手順

以下の手順を実施すると RTC モードへ遷移します。

1. システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"の状態で、RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"1"を設定してください。
2. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"0"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、RTC モードでの端子状態を設定してください。
3. Cortex-M4F システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
4. WFI または WFE 命令を実行してください。

RTC モード復帰

以下のいずれかの場合に CPU が RTC モードから復帰します。

■ リセットによる復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

■ 割込みによる復帰

RTC モードにある間に有効な NMI 割込み, 外部割込み, USB ウェイクアップ割込み, RTC 割込み, HDMI-CEC/リモコン受信割込み, 低電圧検出割込みの要求を受け付けると、RTC モードから復帰して、システムクロックモード状態レジスタ(SCM_STR)の RCM[2:0]ビットに示されているクロックモードに応じたランモードに遷移します。

Table 3-7 RTC モードからの割込み復帰後の動作モード

	RTC モード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

■ 復帰時の発振安定待ち

リセットにより復帰した場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、RTC モード遷移前のマスタクロックにより、発振安定待ちが変わります。Table 3-8 に示します。

Table 3-8 RTC モードからの割込み復帰時の発振安定待ち

		RTC モード遷移前のマスタクロック状態				
		RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の発振安定待ち	高速 CR クロック	有			無	
	メイン クロック	MOSCE="0" : 無 MOSCE="1" : 有	有	PINC="0" : 有 PINC="1" : 無	無	
	メイン PLL クロック	無	PLLE="0" : 無 PLLE="1" : 有	有	無	
	低速 CR クロック	有				
	サブ クロック	無				

■ 復帰時の内蔵レギュレータ電圧安定待ち

RTC モードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百 µs)を自動的に確保します。その後に復帰動作を行います。

＜注意事項＞

- *復帰に使用する割込みの優先度設定がCPUを復帰させるレベルに設定されていない場合は、割込みによりクロックは復帰しますが、CPUは復帰せずに停止した状態を継続します。そのため、必ず割込み優先度設定はCPUが復帰可能なレベルに設定してください。*
- *RTCモードへ遷移する前に必ずTable 3-4のタイマモードからの復帰要因がセットされていないことを確認してください。(NVIC内部の割込みペンディングレジスタを含みます。) 要因がセットされている場合は、クリアしてください。*
- *デバッグ中にRTCモードに遷移した場合は、CPUへのクロックが停止するため、ICEからランモードへの復帰ができません。リセットまたは割込みによる復帰を使用してください。*
- *RTCモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

3.4 ストップモードの動作

ストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止します。

ストップモード機能

■ CPU, オンチップメモリ

ストップモードでは、CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止します。ただし、オンチップメモリの内容は保持されます。またデバッグ機能が停止します。

■ 周辺機能

すべての APB バスクロックは停止し、低電圧検出回路以外のすべてのリソースは最後の状態のまま停止します。

■ 発振クロック

すべて停止します。

■ リセットと割込み

リセットと割込みはストップモードからの復帰に使用できます。

■ 外部バス

外部バスはストップモードで停止します。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子がストップモードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを制御します。

ストップモード設定手順

以下の手順を実施するとストップモードへ遷移します。

1. RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"0"を設定してください。
2. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"0"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、ストップモードでの端子状態を設定してください。
3. Cortex-M4F システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
4. WFI または WFE 命令を実行してください。

ストップモード復帰

以下のいずれかの場合に CPU がストップモードから復帰します。

■ リセットによる復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

■ 割込みによる復帰

ストップモードにある間に有効な NMI 割込み, 外部割込み, USB ウェイクアップ割込み, 低電圧検出割込みの要求を受け付けると、ストップモードから復帰して、システムクロックモード状態レジスタ (SCM_STR)の RCM[2:0]ビットに示されているクロックモードに応じたランモードに遷移します。

Table 3-9 ストップモードからの割込み復帰後の動作モード

	ストップモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

■ 復帰時の発振安定待ち

リセットにより復帰した場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、ストップモード遷移前のマスタクロックにより、発振安定待ちが変わります。Table 3-10 に示します。

Table 3-10 ストップモードからの割込み復帰時の発振安定待ち

		ストップモード遷移前のマスタクロック状態				
		RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の発振安定待ち	高速 CR クロック	有			無	
	メイン クロック	MOSCE="0" : 無 MOSCE="1" : 有	有	PINC="0" : 有 PINC="1" : 無	無	
	メイン PLL クロック	無	PLLE="0" : 無 PLLE="1" : 有	有	無	
	低速 CR クロック	有				
	サブ クロック	SOSCE="0" : 無 SOSCE="1" : 有	SOSCE="0" : 無 SOSCE="1" : 有	SOSCE="0" : 無 SOSCE="1" : 有	SOSCE="0" : 無 SOSCE="1" : 有	有

■ 復帰時の内蔵レギュレータ電圧安定待ち

ストップモードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百 µs)を自動的に確保します。その後に復帰動作を行います。

＜注意事項＞

- *復帰に使用する割込みの優先度設定が CPU を復帰させるレベルに設定されていない場合は、割込みによりクロックは復帰しますが、CPU は復帰せずに停止した状態を継続します。そのため、必ず割込み優先度設定は CPU が復帰可能なレベルに設定してください。*
- *ストップモードへ遷移する前に必ず Table 3-4 のタイマモードからの復帰要因がセットされていないことを確認してください。(NVIC 内部の割込みペンディングレジスタを含みます。) 要因がセットされている場合は、クリアしてください。*
- *デバッグ中にストップモードに遷移した場合は、CPU へのクロックが停止するため、ICE からランモードへの復帰ができません。リセットまたは割込みによる復帰を使用してください。*
- *ストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

4. スタンバイモードの設定手順例

各スタンバイモードの設定手順例を説明します。

Figure 4-1 メインタイマモード設定手順例

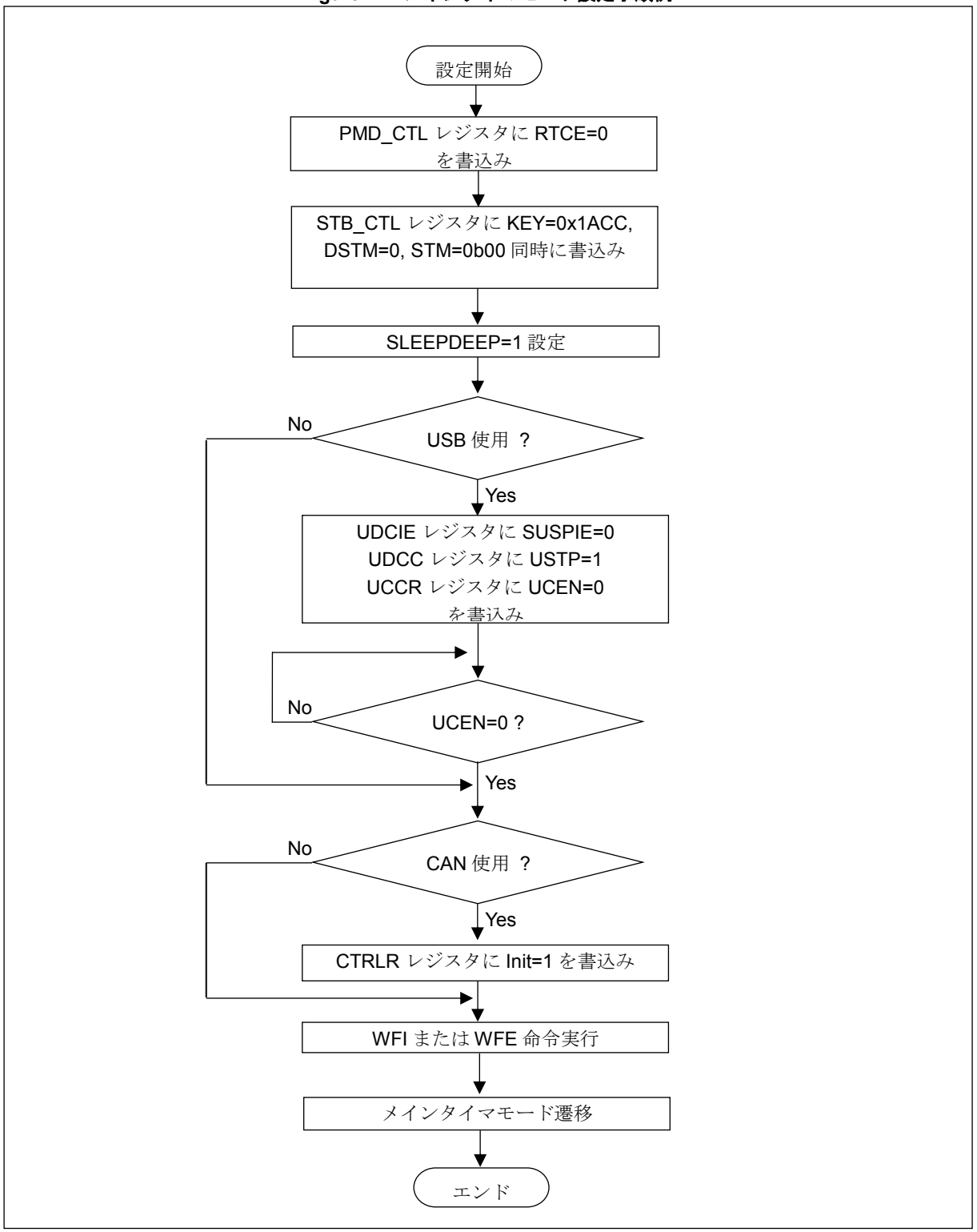
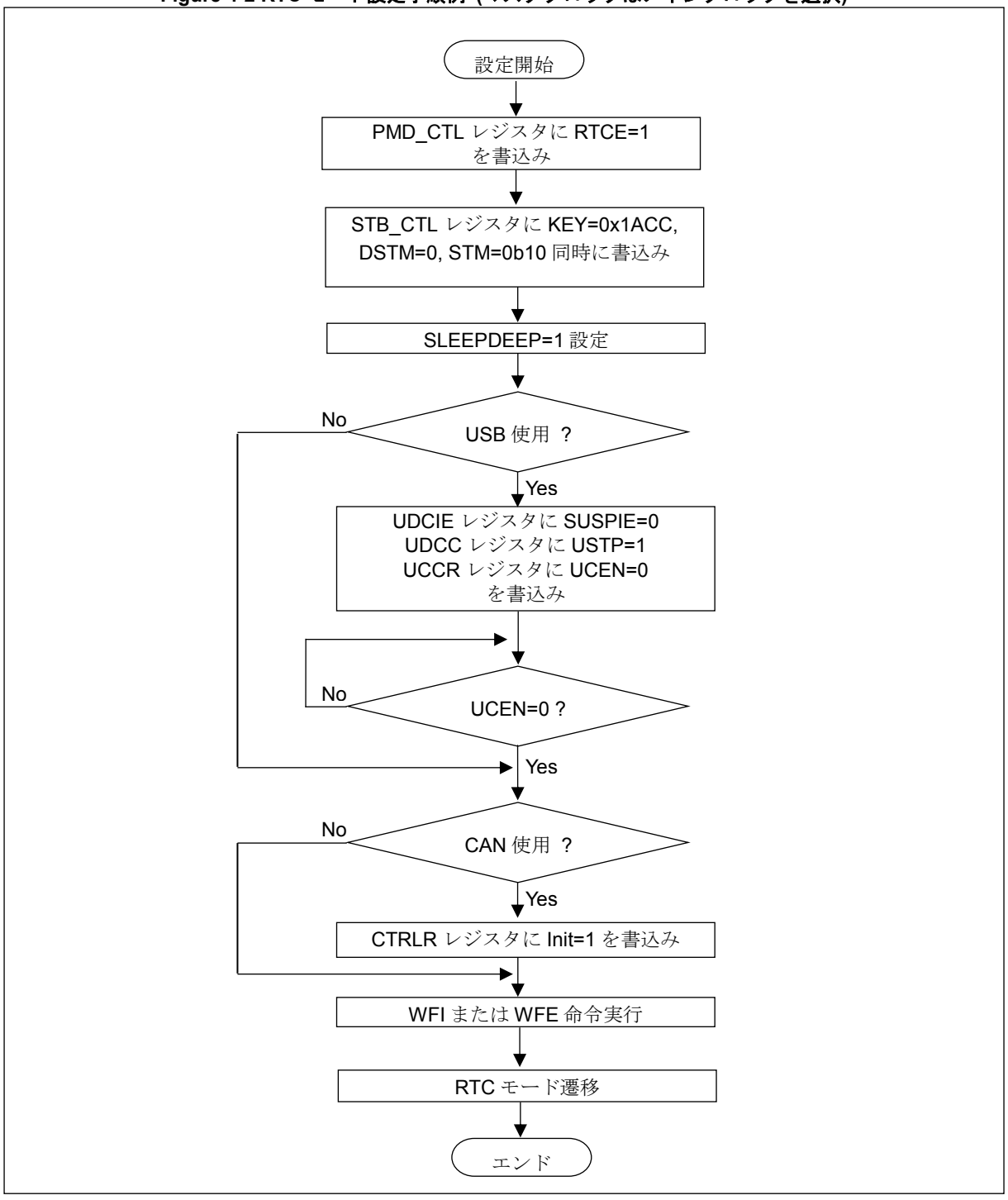


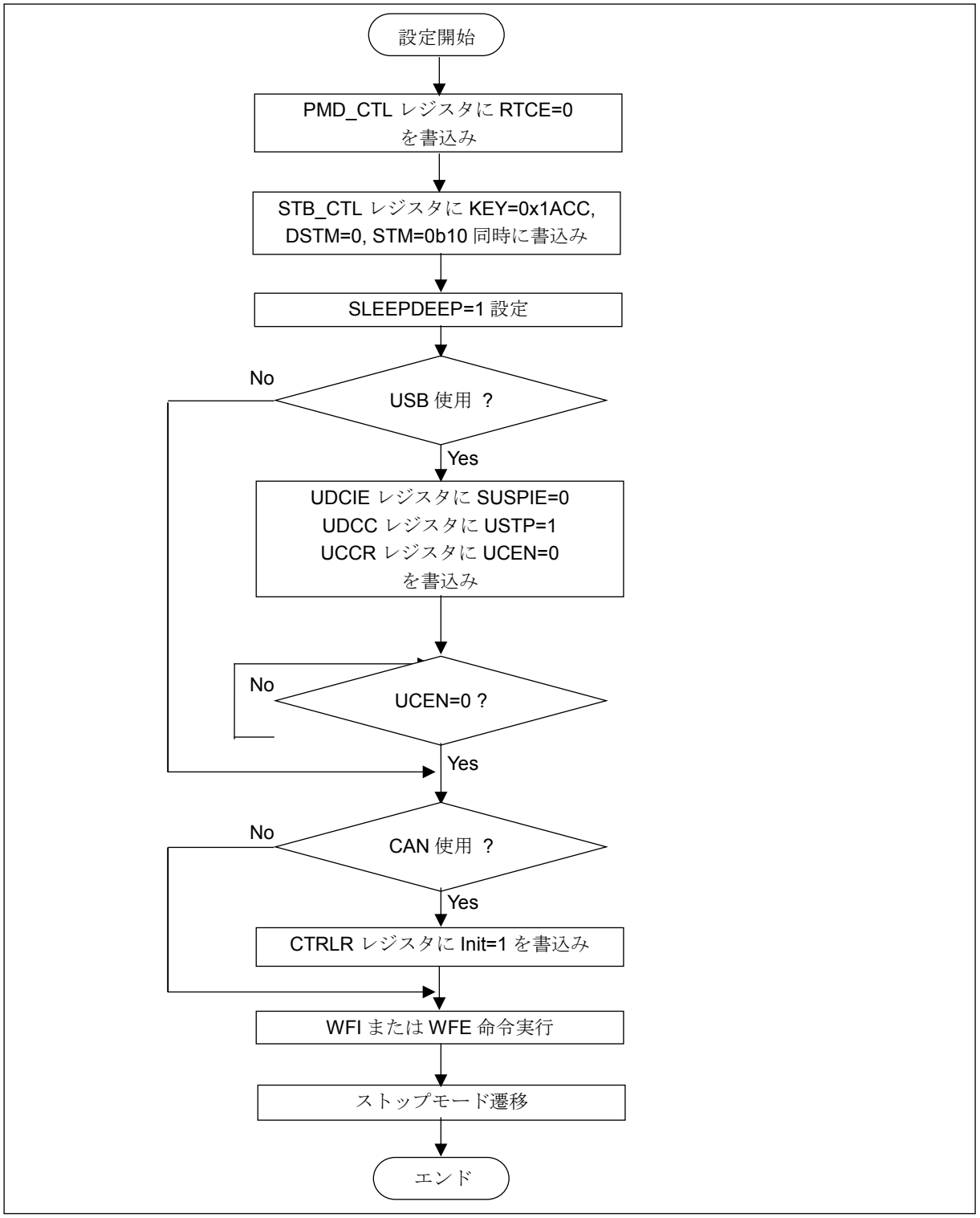
Figure 4-2 RTC モード設定手順例 (マスタクロックはメインクロックを選択)



<注意事項>

- *RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*
- *RTC モード制御レジスタ(PMD_CTL)の RTCE ビットへの"1"書込みは、システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"のときのみ有効です。*

Figure 4-3 ストップモード設定手順例 (マスタクロックはメインクロックを選択)



<注意事項>

- *ストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

5. ディープスタンバイモードの動作説明

ディープスタンバイモードの動作について説明します。
ディープスタンバイモードには、ディープスタンバイ RTC モードおよびディープスタンバイストップモードがあります。

ディープスタンバイモード時のクロック動作状態

ディープスタンバイ RTC モード, ディープスタンバイストップモードにある間の発振クロック, CPU クロック, AHB バスクロック, APB バスクロックの状態を示します。

Table 5-1 ディープスタンバイモード時のクロック動作状態

	ディープスタンバイ RTC モード	ディープスタンバイ ストップモード
高速 CR クロック	停止	停止
メインクロック		
メイン PLL クロック		
低速 CR クロック		
サブクロック	動作	
USB PLL クロック	停止	
I^2S PLL クロック		
GDC PLL クロック		
CPU クロック		
AHB バスクロック		
APB0 バスクロック		
APB1 バスクロック		
APB2 バスクロック		

ディープスタンバイモードからの復帰要因

ディープスタンバイ RTC モード, ディープスタンバイストップモードからの復帰要因を示します。

Table 5-2 ディープスタンバイスタンバイモードからの復帰要因

	ディープスタンバイ RTC モード	ディープスタンバイ ストップモード
ディープスタンバイ 復帰要因	– INITX 端子入力リセット – 低電圧検出リセット	– INITX 端子入力リセット – 低電圧検出リセット
	– 低電圧検出割込み – RTC 割込み – HDMI-CEC/リモコン受信割込み	– 低電圧検出割込み
	– WKUP 端子入力	– WKUP 端子入力

<注意事項>

- *ディープスタンバイモードからの復帰後、各割込み要因は保持されています。しかし、ディープスタンバイ遷移リセットで NVIC が初期化されているため、割込み処理は行われません。*

ディープスタンバイモード時の内部電源状態とリセット状態

ディープスタンバイモード時の各機能の電源状態と、ディープスタンバイ遷移リセットでの初期化状態を示します。

Table 5-3 ディープスタンバイモード時の内部電源状態と初期化状態

	電源状態	リセット状態
CPU	オフ	初期化する
オンチップフラッシュ	オフ	*1
SRAM0/1	オフ	保持されない
SRAM2	オフ *2	*3
RTC	オン	初期化しない
HDMI-CEC/リモコン受信	オン	初期化しない
低電圧検出回路	オン	初期化しない
GPIO	オン	一部初期化する *4、*5
ディープスタンバイ制御部	オン	初期化しない
上記以外の周辺機能	オフ	初期化する

*1: オンチップフラッシュの内容は保持されます。
*2: SRAM2 の内容は保持可能です。
オンチップ SRAM の内容を保持する設定の時は、SRAM2 は電源オンになります。
*3: 電源状態がオフの時は、SRAM2 の内容は保持されません。
SRAM2 の内容を保持する設定の時は、SRAM2 の内容は保持されます。
*4: PFR0 レジスタの bit[4:0]、HDMI-CEC の入出力端子がアサインされている PFRx レジスタ、および、PCRx/ DDRx/ PDIRx/ PDORx/ ADE/ EPFRx/ SPSR/PZRx レジスタは初期化されません。
*5: 上記以外の PFRx レジスタ・ビットは、初期化されます。

5.1 ディープスタンバイ RTC モードの動作

ディープスタンバイ RTC モードは、サブ発振器以外の発振を停止します。RTC, HDMI-CEC/リモコン受信,低電圧検出回路以外のすべての機能が停止します。RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュ, SRAM0～SRAM2*, 周辺機能をチップ内部で電源オフします。

ディープスタンバイ RTC モード機能

■ CPU, オンチップメモリ

ディープスタンバイ RTC モードでは、CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止し、CPU, オンチップフラッシュ, SRAM0～SRAM2*を電源オフします。CPU のレジスタの内容と SRAM0～SRAM2 の内容は保持されません*。オンチップフラッシュメモリの内容は保持されます。また、デバッグ機能が停止し、電源オフします。

* : SRAM2 の内容は保持可能です。
SRAM2 の内容を保持する設定がされているときは、SRAM2 は電源オンになります。

■ 周辺機能

すべての APB バスクロックは停止し、RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外のすべてのリソースの電源をオフします。

■ RTC, HDMI-CEC/リモコン受信

RTC, HDMI-CEC/リモコン受信はディープスタンバイ RTC モードの影響を受けません。ディープスタンバイ RTC モードに遷移する前の設定に従って動作を続けます。

■ 発振クロック

それぞれの発振クロックの状態を、Table 5-1 に示します。

■ リセットと割込みと WKUP 端子入力

リセットと割込みと WKUP 端子入力はディープスタンバイ RTC モードからの復帰に使用できます。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子がディープスタンバイ RTC モード時に GPIO に切り換わるか、ハイインピーダンス状態にするかを制御します。

ディープスタンバイ RTC モードの設定手順

以下の手順を実施するとディープスタンバイ RTC モードへ遷移します。

1. システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"の状態で、RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"1"を設定してください。
2. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"1"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、ディープスタンバイ RTC モードでの端子状態を設定してください。
3. Cortex-M4F システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
4. WFI または WFE 命令を実行してください。

ディープスタンバイ RTC モード復帰

以下のいずれかの場合に CPU がディープスタンバイ RTC モードから復帰します。

■ リセットと割込みと WKUP 端子入力による復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット)の発生またはディープスタンバイ RTC モードにある間に有効な RTC 割込み, HDMI-CEC/リモコン受信割込み, 低電圧検出割込み, WKUP 端子入力の要求を受け付けると、ディープスタンバイ RTC モードから復帰して、クロックモードに関係なく、ディープスタンバイ遷移リセット発生により高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

■ 復帰時の発振安定待ち

復帰要因に関わらず、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。

■ 復帰時の内蔵レギュレータ電圧安定待ち

ディープスタンバイ RTC モードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百 µs)を自動的に確保します。その後に復帰動作を行います。

<注意事項>

- *ディープスタンバイ RTC モードへ遷移する前に必ず Table 5-2 のディープスタンバイ RTC モードからの復帰要因がセットされていないことを確認してください。(NVIC 内部の割込みペンディングレジスタを含みます。) 要因がセットされている場合は、クリアしてください。*
- *デバッグ中にディープスタンバイ RTC モードに遷移した場合は、デバッグ機能の電源がオフするため、ICE からランモードへの復帰ができません。リセット, 割込みまたは WKUP 端子入力による復帰を使用してください。*
- *ディープスタンバイ RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*
- *TYPE1-M4, TYPE2-M4 は低電圧検出割込みによるディープスタンバイモードからの復帰を禁止する場合は、ディープスタンバイ復帰許可レジスタ(WIER)の WLVDE ビットの禁止設定と低電圧検出割込み動作許可ビット(LVDIE)の禁止設定を併せて行ってください。*

5.2 ディープスタンバイストップモードの動作

ディープスタンバイストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止します。RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュ, SRAM0～SRAM2*, 周辺機能をチップ内部で電源オフします。

ディープスタンバイストップモード機能

■ CPU, オンチップメモリ

ディープスタンバイストップモードでは､CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止し、CPU, オンチップフラッシュ, SRAM0～SRAM2*を電源オフします。CPU のレジスタの内容と SRAM0～SRAM2 の内容は保持されません*。オンチップフラッシュメモリの内容は保持されます。また、デバッグ機能が停止し、電源オフします。

*: SRAM2 の内容は保持可能です。
SRAM2 の内容を保持する設定がされているときは、SRAM2 は電源オンになります。

■ 周辺機能

すべての APB バスクロックは停止し、RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外のすべてのリソースの電源をオフします。

■ 発振クロック

すべて停止します。

■ リセットと WKUP 端子入力

リセットと WKUP 端子入力はディープスタンバイストップモードからの復帰に使用できます。

■ 端子の状態

スタンバイモード制御レジスタ(STB_CTL)の SPL ビットにより、外部端子がディープスタンバイストップモード時に GPIO に切り換わるか、ハイインピーダンス状態にするかを制御します。

ディープスタンバイストップモードの設定手順

以下の手順を実施するとディープスタンバイストップモードへ遷移します。

1. RTC モード制御レジスタ(PMD_CTL)の RTCE ビットに"0"を設定してください。
2. スタンバイモード制御レジスタ(STB_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"1"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、ディープスタンバイストップモードでの端子状態を設定してください。
3. Cortex-M4F システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
4. WFI または WFE 命令を実行してください。

ディープスタンバイストップモード復帰

以下のいずれかの場合に CPU がディープスタンバイストップモードから復帰します。

■ リセットと割込みと WKUP 端子入力による復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット)の発生またはディープスタンバイストップモードにある間に有効な低電圧検出割込み, WKUP 端子入力の要求を受け付けると、ディープスタンバイストップモードから復帰して、クロックモードに関係なく、ディープスタンバイ遷移リセットにより高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパバイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

■ 復帰時の発振安定待ち

復帰要因に関わらず、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。

■ 復帰時の内蔵レギュレータ電圧安定待ち

ディープスタンバイストップモードからの復帰時は、内蔵レギュレータの動作モード遷移のための電圧安定待ち時間(数百 µs)を自動的に確保します。その後に復帰動作を行います。

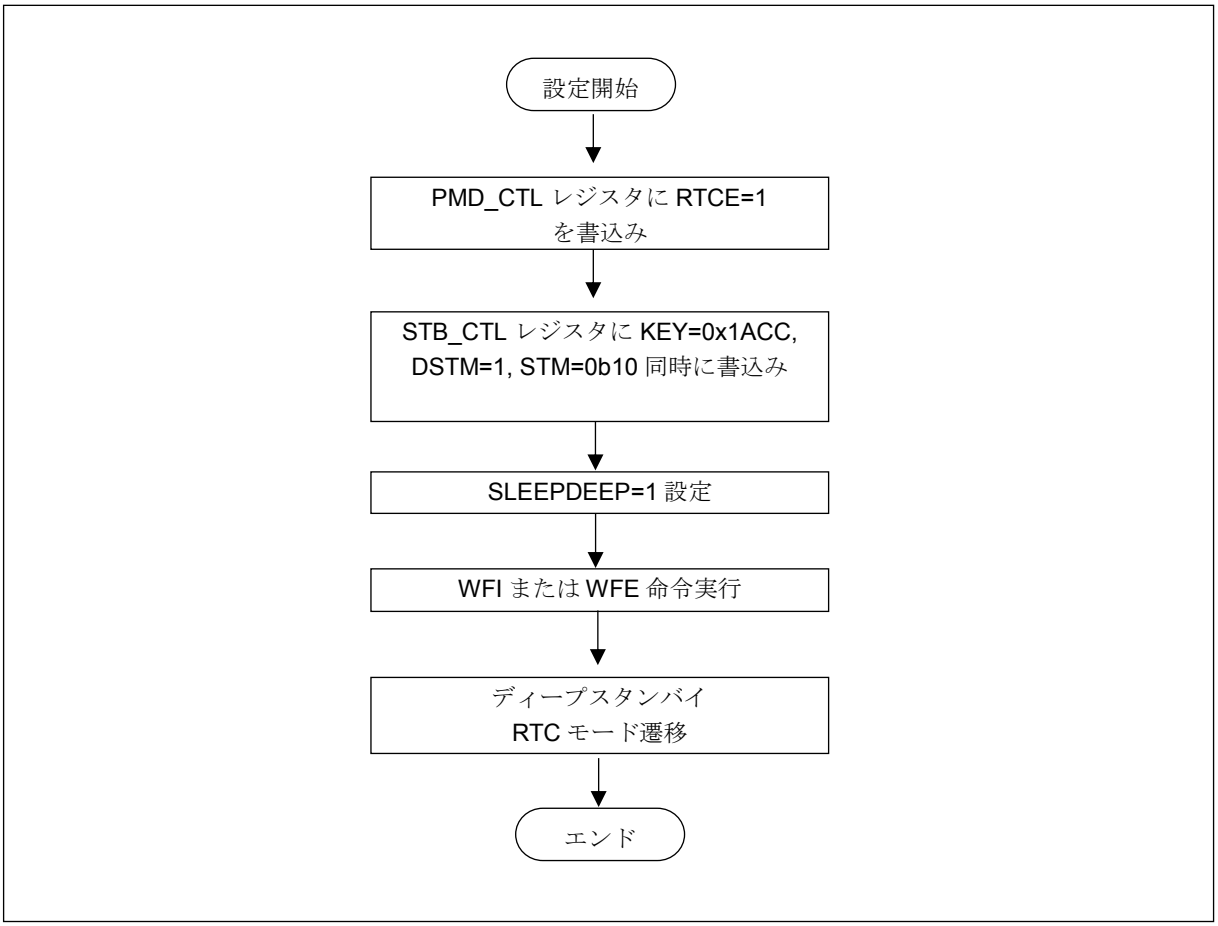
<注意事項>

- *ディープスタンバイストップモードへ遷移する前に必ず Table 5-2 のディープスタンバイ RTC モードからの復帰要因がセットされていないことを確認してください。(NVIC 内部の割込みペンディングレジスタを含みます。) 要因がセットされている場合は、クリアしてください。*
- *デバッグ中にディープスタンバイストップモードに遷移した場合は、デバッグ機能の電源がオフするため、ICE からランモードへの復帰ができません。リセット, 割込みまたは WKUP 端子入力による復帰を使用してください。*
- *ディープスタンバイストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*
- *TYPE1-M4, TYPE2-M4 は低電圧検出割込みによるディープスタンバイモードからの復帰を禁止する場合は、ディープスタンバイ復帰許可レジスタ(WIER)の WLVDE ビットの禁止設定と低電圧検出割込み動作許可ビット(LVDIE)の禁止設定を併せて行ってください。*

6. ディープスタンバイモードの設定手順例

ディープスタンバイモードの設定手順例を説明します。

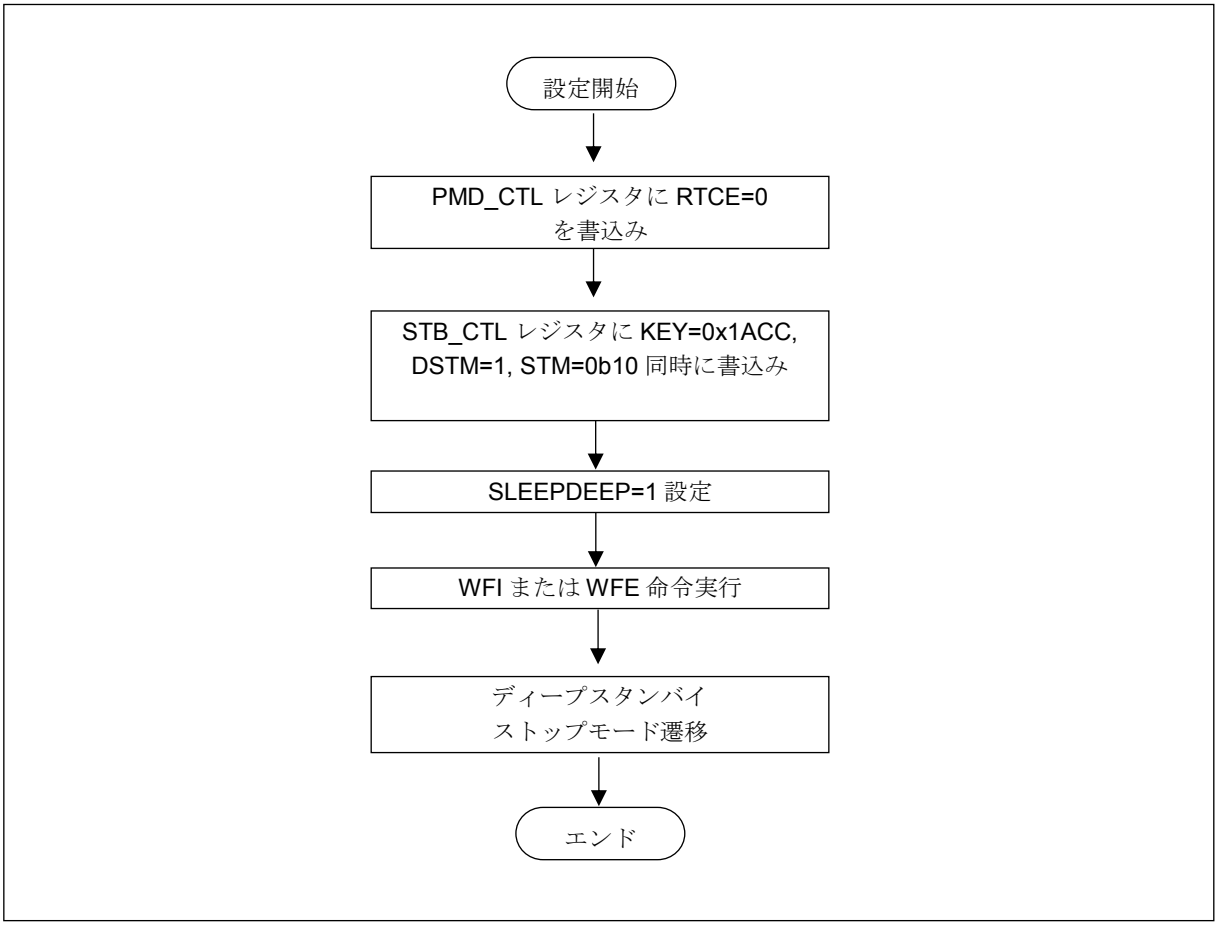
Figure 6-1 ディープスタンバイ RTC モードの設定手順例



<注意事項>

- *ディープスタンバイ RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*
- *RTC モード制御レジスタ(PMD_CTL)の RTCE ビットへの"1"書込みは、システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"のときのみ有効です。*

Figure 6-2 ディープスタンバイストップモードの設定手順例



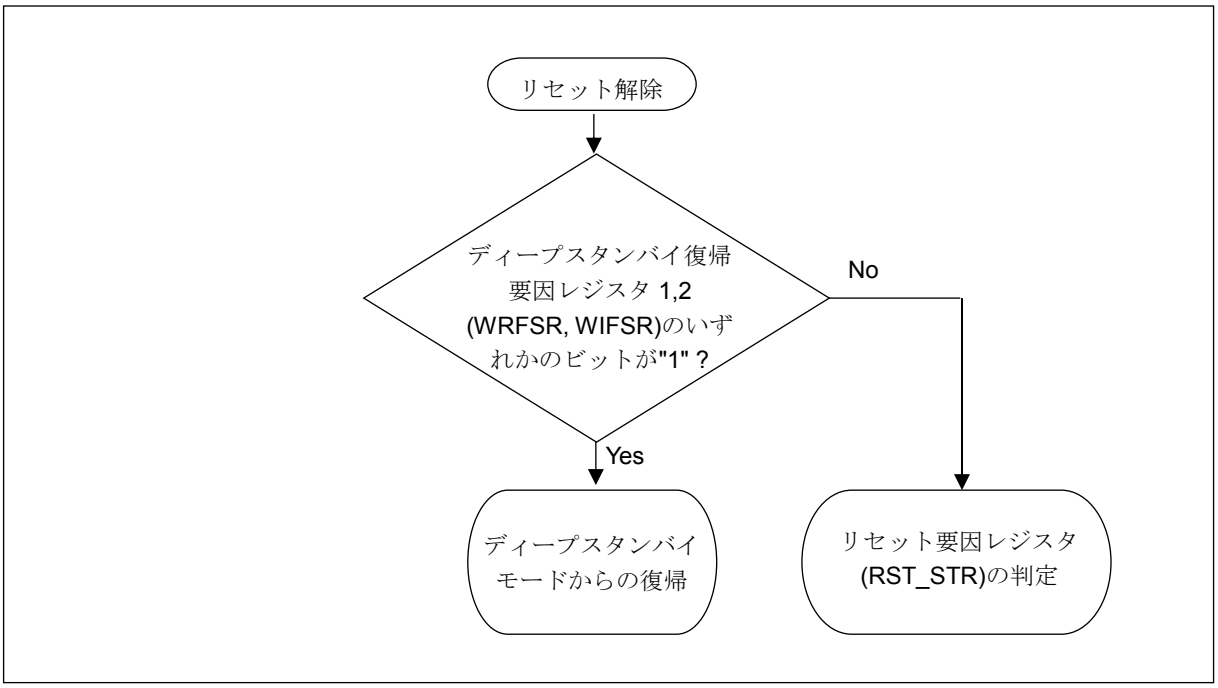
<注意事項>

- *ディープスタンバイストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。*

7. ディープスタンバイ復帰要因判定の手順

ディープスタンバイモードからの復帰を判定する手順例を Figure 7-1 に示します。

Figure 7-1 ディープスタンバイ復帰要因判定の手順例



<注意事項>

- *ディープスタンバイモードへの遷移時、ディープスタンバイ遷移リセット後に CPU の電源がオフされます。そのためディープスタンバイモードからの復帰時、リセット要因レジスタ (RST_STR)の値は無効です。*

8. 低消費電力モードのレジスター覧

低消費電力モードで使用するレジスタの構成と機能について説明します。

低消費電力モードのレジスター覧

レジスタ略称	レジスタ名	参照先
STB_CTL	スタンバイモードコントロールレジスタ	8.1

■ ディープスタンバイ制御部のレジスタ

レジスタ略称	レジスタ名	参照先
RCK_CTL	サブクロック供給制御レジスタ	8.2
PMD_CTL	RTC モード制御レジスタ	8.3
WRFSR	ディープスタンバイ復帰要因レジスタ 1	8.4
WIFSR	ディープスタンバイ復帰要因レジスタ 2	8.5
WIER	ディープスタンバイ復帰許可レジスタ	8.6
WILVR	WKUP 端子入力レベルレジスタ	8.7
DSRAMR	ディープスタンバイ RAM 保持レジスタ	8.8
BUR01~16	バックアップレジスタ 01~16	8.9

<注意事項>

- *システムクロックモード制御レジスタ(SCM_CTL)の詳細は、別章『クロック』を参照してください。*
- *ディープスタンバイ制御部のレジスタは、ディープスタンバイモード時に電源オフしません。*

8.1 スタンバイモードコントロールレジスタ(STB_CTL)

スタンバイモードコントロールレジスタはスタンバイモード, ディープスタンバイモードを制御するレジスタです。SPL ビット, DSTM ビット, STM ビットの書込みは、KEY ビットの値に 0x1ACC が同時に書き込まれたときのみ、値が有効となります。

bit	31														16	15							8
Field	KEY															予約							
属性	R/W															-							
初期値	0x0000															0x00							

bit	7	6	5	4	3	2	1	0
Field	予約			SPL	予約	DSTM	STM	
属性	-			R/W	-	R/W	R/W	
初期値	000			0	0	0	00	

[bit31:16] KEY： スタンバイモードコントロール書込み制御ビット

本ビットは SPL ビット, DSTM ビット, STM ビットの書込み制御を解除します。

- 0x1ACC を書き込んだとき

  SPL ビット, DSTM ビットおよび STM ビットへの書込みが有効になります。

- 0x1ACC 以外の値を書き込んだとき

  SPL ビット, DSTM ビットおよび STM ビットへの書込みは無効です。

- 読出しは常に 0x0000 が読み出されます。

[bit15:5] 予約 ： 予約ビット

読出しは常に"0"が読み出されます。
書込みは動作に影響しません。

[bit4] SPL： スタンバイ端子レベル設定ビット

本ビットは、タイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモード時の端子の状態を設定します。

bit	説明
0	タイマモード, RTC モード, ストップモード時に各端子の状態を保持し、ディープスタンバイ RTC モード, ディープスタンバイストップモード時に GPIO に切り換えます。[初期値]
1	タイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモード時に各端子の状態をハイインピーダンスにします。

[bit3] 予約 ： 予約ビット

読出しは常に"0"が読み出されます。
書込みは動作に影響しません。

[bit2] DSTM： ディープスタンバイモード選択ビット

本ビットは、スタンバイモードまたはディープスタンバイモードに遷移するかを選択します。

[bit1:0] STM： スタンバイモード選択ビット

本ビットは、DSTM ビットと RTC モード制御レジスタ(PMD_CTL)の RTCE ビットの組合せでタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードに遷移するか選択します。

DSTM	STM		PMD_CTL:RTCE	説明
	bit1	bit0		
0	0	0	0	タイマモード[初期値]
0	0	0	1	設定禁止
0	0	1	0	設定禁止
0	0	1	1	設定禁止
0	1	0	0	ストップモード
0	1	0	1	RTC モード
0	1	1	0	設定禁止
0	1	1	1	設定禁止
1	0	0	0	設定禁止
1	0	0	1	設定禁止
1	0	1	0	設定禁止
1	0	1	1	設定禁止
1	1	0	0	ディープスタンバイストップモード
1	1	0	1	ディープスタンバイ RTC モード
1	1	1	0	設定禁止
1	1	1	1	設定禁止

<注意事項>

- *スタンバイモードコントロールレジスタ(STB_CTL)の SPL ビット, DSTM ビット, STM ビットの書込みは、KEY ビットに 0x1ACC が同時に書き込まれたときのみ値が有効となります。KEY ビットにそれ以外の値が書き込まれた場合は、SPL ビット, DSTM ビット, STM ビットの書込みは無効となります。*

8.2 サブクロック供給制御レジスタ(RCK_CTL)

サブクロック供給制御レジスタは RTC,HDMI-CEC/リモコン受信へのクロックを制御するレジスタです。
使用しないリソースに対してクロックの供給を停止することで、消費電力を削減できます。
本レジスタは特定の製品 TYPE にのみ存在します。

bit	7	6	5	4	3	2	1	0
Field	予約						CECCKE	RTCCKE
属性	-						R/W	R/W
初期値	000000						0	1

[bit7:2] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。
書込みは動作に影響しません。

[bit1] CECCKE : CEC クロック制御ビット

本ビットは、HDMI-CEC/リモコン受信マクロへのサブクロックを制御します。

bit	説明
0	HDMI-CEC/リモコン受信マクロにサブクロックを供給しません。[初期値]
1	HDMI-CEC/リモコン受信マクロにサブクロックを供給します。

[bit0] RTCCKE : RTC クロック制御ビット

TYPE5-M4 製品に本ビットは搭載されています。
本ビットは、RTC マクロへのサブクロックを制御します。

bit	説明
0	RTC マクロにサブクロックを供給しません。
1	RTC マクロにサブクロックを供給します。[初期値]

<注意事項>

- *本レジスタを搭載していない製品は書込み禁止です。*

8.3 RTC モード制御レジスタ(PMD_CTL)

RTC モード制御レジスタは RTC モード, ストップモード, ディープスタンバイ RTC モードまたはディープスタンバイストップモードを制御するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約							RTCE
属性				-				R/W
初期値				0000000				0

[bit7:1] 予約 : 予約ビット

読出しは常に"0b0000000"が読み出されます。
書込みは動作に影響しません。

[bit0] RTCE : RTC モード制御ビット

本ビットは、ストップモード, ディープスタンバイストップモードまたは、RTC モード, ディープスタンバイ RTC モードに遷移するかを選択します。

bit	説明
0	ストップモード, ディープスタンバイストップモード[初期値]
1	RTC モード, ディープスタンバイ RTC モード

DSTM=0 の時スタンバイモード、DSTM=1 の時ディープスタンバイモードに選択されます。

<注意事項>

- *本レジスタはソフトウェアリセットとディープスタンバイ遷移リセットでは初期化されません。*
- *RTCE ビットへの"1"書込みは、システムクロックモード状態レジスタ(SCM_STR)の SORDY ビットが"1"のときのみ有効です。*
- *システムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビットとシステムクロックモード状態レジスタ(SCM_STR)の SORDY ビットの値に関わらず、RTCE=1 の時、サブ発振は許可状態です。*

8.4 ディープスタンバイ復帰要因レジスタ 1(WRFSR)

ディープスタンバイ復帰要因レジスタ 1 はディープスタンバイモード中に発生した低電圧検出リセットと INITX 端子入力リセットによる復帰要因を示すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約						WLVDH	WINITX
属性	-						R	R
初期値	000000						0	0

[bit7:2] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。
書込みは動作に影響しません。

[bit1] WLVHD : 低電圧検出リセット復帰ビット

低電圧検出リセットでディープスタンバイモードから復帰したことを示します。

bit	説明
0	低電圧検出リセットで復帰していません。[初期値]
1	低電圧検出リセットで復帰しました。

[bit0] WINITX : INITX 端子入力リセット復帰ビット

INITX 端子入力リセットでディープスタンバイモードから復帰したことを示します。

bit	説明
0	INITX 端子入力リセットで復帰していません。[初期値]
1	INITX 端子入力リセットで復帰しました。

<注意事項>

- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。また、本レジスタは読出しにより全ビットがクリアされます。*
- *本レジスタはディープスタンバイモード中のみセットされます。*
- *ディープスタンバイモードへ遷移する前に必ず復帰要因がセットされていないことを確認してください。(NVIC 内部の割込みペンディングレジスタを含みます。) 要因がセットされている場合は、クリアしてください。*

8.5 ディープスタンバイ復帰要因レジスタ 2(WIFSR)

ディープスタンバイ復帰要因レジスタ 2 はディープスタンバイモード中に発生した WKUPx 端子入力，低電圧検出割込みと RTC 割込みによる復帰要因を示すレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約						WCEC1I	WCEC0I
属性	-						R	R
初期値	000000						0	0

bit	7	6	5	4	3	2	1	0
Field	WUI5	WUI4	WUI3	WUI2	WUI1	WUI0	WLVDI	WRTCI
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit15:10] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。
書込みは動作に影響しません。

[bit9] WCEC1I : CEC ch.1 割込み復帰ビット

HDMI-CEC/リモコン受信 ch.1 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.1 割込みで復帰していません。[初期値]
1	HDMI-CEC/リモコン受信 ch.1 割込みで復帰しました。

[bit8] WCEC0I : CEC ch.0 割込み復帰ビット

HDMI-CEC/リモコン受信 ch.0 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.0 割込みで復帰していません。[初期値]
1	HDMI-CEC/リモコン受信 ch.0 割込みで復帰しました。

[bit7:2] WUI5~WUI0 : WKUPx 端子入力復帰ビット

WKUPx 端子入力でディープスタンバイモードから復帰したことを示します。

bit	説明
0	WKUPx 端子入力で復帰していません。[初期値]
1	WKUPx 端子入力で復帰しました。

[bit1] WLVDI : LVD 割込み復帰ビット

LVD 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	LVD 割込みで復帰していません。[初期値]
1	LVD 割込みで復帰しました。

[bit0] WRTCI : RTC 割込み復帰ビット

RTC 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	RTC 割込みで復帰していません。[初期値]
1	RTC 割込みで復帰しました。

<注意事項>

- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。また、本レジスタは読出しにより全ビットがクリアされます。*
- *本レジスタはディープスタンバイモード中のみセットされます。*
- *ディープスタンバイモードへ遷移する前に必ず復帰要因がセットされていないことを確認してください。(NVIC 内部の割込みペンディングレジスタを含みます。) 要因がセットされている場合は、クリアしてください。*

8.6 ディープスタンバイ復帰許可レジスタ(WIER)

ディープスタンバイ復帰許可レジスタはディープスタンバイモード中に発生した WKUPx 端子入力, 低電圧検出割込みと RTC 割込み, HDMI-CEC/リモコン受信割込みによる復帰を許可するレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約						WCEC1E	WCEC0E
属性	-						R/W	R/W
初期値	000000						0	0

bit	7	6	5	4	3	2	1	0
Field	WUI5E	WUI4E	WUI3E	WUI2E	WUI1E	予約	WLVDE	WRTCE
属性	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:10] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。
書込みは動作に影響しません。

[bit9] WCEC1E : HDMI-CEC/リモコン受信 ch.1 割込み復帰許可ビット

HDMI-CEC/リモコン受信 ch.1 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.1 割込みによる復帰を禁止します。[初期値]
1	HDMI-CEC/リモコン受信 ch.1 割込みによる復帰を許可します。

[bit8] WCEC0E : HDMI-CEC/リモコン受信 ch.0 割込み復帰許可ビット

HDMI-CEC/リモコン受信 ch.0 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.0 割込みによる復帰を禁止します。[初期値]
1	HDMI-CEC/リモコン受信 ch.0 割込みによる復帰を許可します。

[bit7:3] WUI5E~WUI1E : WKUPx 端子入力復帰許可ビット

WKUPx 端子入力によるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	WKUPx 端子入力による復帰を禁止します。[初期値]
1	WKUPx 端子入力による復帰を許可します。

[bit2] 予約 : 予約ビット

読出しは常に"0"が読み出されます。
書込みは動作に影響しません。

[bit1] WLVDE : LVD 割込み復帰許可ビット

LVD 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	LVD 割込みによる復帰を禁止します。[初期値]
1	LVD 割込みによる復帰を許可します。

[bit0] WRTCE : RTC 割込み復帰許可ビット

RTC 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	RTC 割込みによる復帰を禁止します。[初期値]
1	RTC 割込みによる復帰を許可します。

<注意事項>

- *WKUP0 端子入力によるディープスタンバイモードからの復帰は常に許可されています。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

8.7 WKUP 端子入力レベルレジスタ(WILVR)

WKUP 端子入力レベルレジスタはディープスタンバイモード中に発生した WKUP1~WKUP5 端子入力の有効レベルを選択するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約			WUI5LV	WUI4LV	WUI3LV	WUI2LV	WUI1LV
属性	-			R/W	R/W	R/W	R/W	R/W
初期値	000			0	0	0	0	0

[bit7:5] 予約 : 予約ビット

読出しは常に"0b000"が読み出されます。
書込みは動作に影響しません。

[bit4:0] WUI5LV~WUI1LV : WKUPx 端子入力レベル選択ビット

WKUPx 端子入力の有効レベルを選択します。

bit	説明
0	WKUPx 端子入力が"L"レベルの時に復帰要求します。[初期値]
1	WKUPx 端子入力が"H"レベルの時に復帰要求します。

<注意事項>

- *WKUP0 端子入力は常に"L"レベルで復帰要求します。*
  例として WUI1LV=0 で WKUP1 が"L"レベル入力している時、ディープスタンバイモードに遷移するとすぐに復帰します。
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

8.8 ディープスタンバイ RAM 保持レジスタ(DSRAMR)

ディープスタンバイ RAM 保持レジスタはディープスタンバイモード時に SRAM2 の内容の保持制御を行うレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約						SRAMR	
属性	-						R/W	
初期値	000000						00	

[bit7:2] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。
書込みは動作に影響しません。

[bit1:0] SRAMR : SRAM2 保持制御ビット

これらのビットは、ディープスタンバイモード時 SRAM2 の内容の保持制御を行います。

bit1	bit0	説明
0	0	ディープスタンバイモード時 SRAM2 の内容を保持しません。[初期値]
0	1	設定禁止
1	0	設定禁止
1	1	ディープスタンバイモード時 SRAM2 の内容を保持します。

<注意事項>

- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。*

8.9 バックアップレジスタ 01~16(BUR01~16)

バックアップレジスタはディープスタンバイモード中に値が保持される汎用レジスタです。

bit	31 24	23 16	15 8	7 0
Field	BUR04	BUR03	BUR02	BUR01
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	BUR08	BUR07	BUR06	BUR05
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	BUR12	BUR11	BUR10	BUR09
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	BUR16	BUR15	BUR14	BUR13
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

<注意事項>

- *本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。*

9. 使用上の注意

低消費電力モードを使用する際は、以下の点を注意してください。

アナログ入力と WKUP が兼用されている端子では、WKUPx 端子入力による復帰が許可されている場合でも対応するアナログ入力設定レジスタ(ADE)の ADE ビットが"1"に設定されている時は WKUPx 端子入力が遮断されます。WKUPx 端子入力による復帰を使用する場合は、ディープスタンバイモードに遷移する前に対応するアナログ入力設定レジスタ(ADE)の ADE ビットを"0"に設定してください。

CHAPTER 7-1: VBAT ドメイン構成

VBAT ドメインの構成について説明します。

1. VBAT ドメインの構成

1. VBAT ドメインの構成

VBAT ドメインの構成については、下記の関連する章の説明を参照してください。

VBAT ドメイン参照章

Table 1-1 VBAT ドメイン対応表

製品 TYPE	参照先
TYPE1-M4, TYPE2-M4, TYPE6-M4	『VBAT ドメイン(A)』の章
TYPE3-M4, TYPE4-M4	『VBAT ドメイン(B)』の章
TYPE5-M4	VBAT の搭載なし

CHAPTER 7-2: VBAT ドメイン(A)

VBAT パワードメイン(A)の機能と動作について示します。

1. VBAT ドメインの概要
2. VBAT ドメインの構成
3. チップの電源制御
4. ハイバネーション制御
5. 32 kHz クロックの設定手順
6. VBAT I/O ポートの設定手順
7. レジスター覧
8. 使用上の注意

1. VBAT ドメインの概要

VBAT 電源端子「RTC(カレンダ回路)／32kHz 発振回路に独立した電源を供給する端子」を使用して、RTC 動作時の消費電力を低減できます。

電源ドメイン構成

FM4 ファミリは、以下の 3 種類の電源ドメインから構成されます。

■ CPU ドメイン

本ドメインには以下の回路があります。

- CPU
- オンチップフラッシュメモリ
- オンチップ SRAM*
- 周辺機能

本ドメインは VCC 電源端子から電源を供給され、ディープスタンバイ RTC モード, ディープスタンバイストップモードで電源がオフになります。

*: SRAM0～SRAM2 があり、SRAM2 はデータ保持する設定ができます。

■ Always ON ドメイン

本ドメインには以下の回路があります。

- オンチップレギュレータ
- パワー制御回路
- ポート回路
- メイン発振回路 ＋I/O ポート

本ドメインは VCC 電源端子から常時電源を供給されます。
VCC 電源端子にはシステム電源(オンボードレギュレータ)から電力が供給されます。

■ VBAT ドメイン

本ドメインには以下の回路があります。

- RTC
- 32 kHz 発振回路
- パワーオン回路
- バックアップレジスタ
- ポート回路

本ドメインは VBAT 電源端子から常時電源を供給されます。
VBAT 電源端子には、バックアップ電源(電池など)やシステム電源から電力が供給されます。

オンチップパワーゲーティング

FM4 ファミリをディープスタンバイ RTC モード, ディープスタンバイストップモードにすると、内蔵しているパワースイッチの機能で CPU ドメインの電源をオフにします。
Always ON ドメインは、ディープスタンバイ RTC モード, ディープスタンバイストップモードでも電源オン状態を維持します。

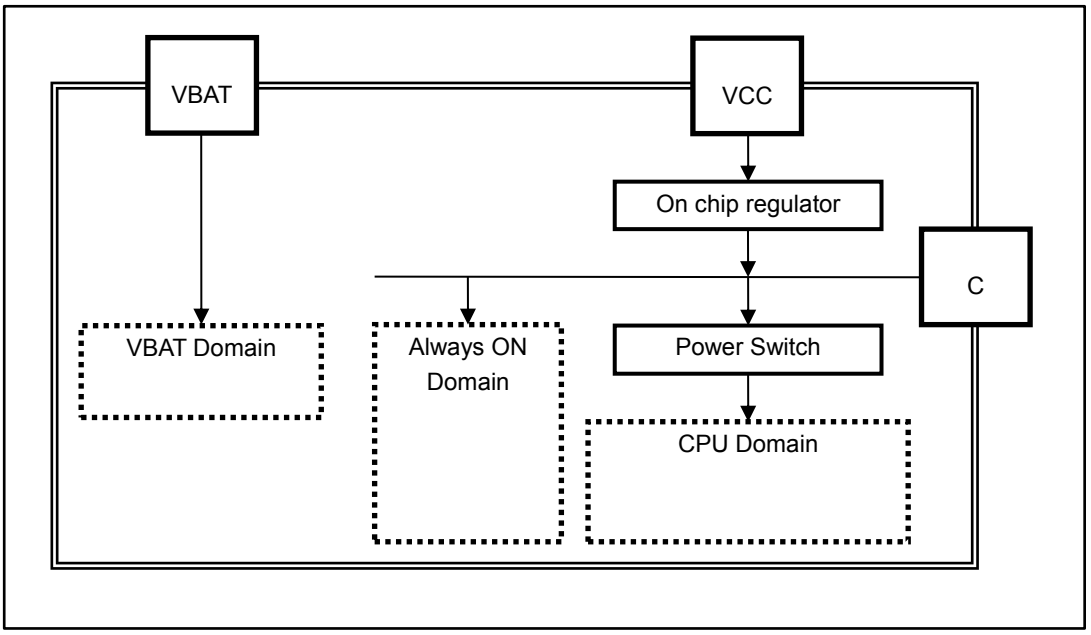
ディープスタンバイ RTC モード, ディープスタンバイストップモードについては『低消費電力モード』の章を参照してください。

オフチップパワーゲーティング

FM4 ファミリの VCC 端子に供給するシステム電源をオフにすると CPU ドメインと Always ON ドメインの電源がオフになります。
この時、バックアップ電源からの電源供給で VBAT ドメインの電源オン状態を維持できます。

RTC に設定したアラーム時刻か外部端子からの入力信号でシステム電源を供給するオンボードレギュレータのオン/オフを制御できます。

Figure 1-1 FM4 ファミリの電源構成図



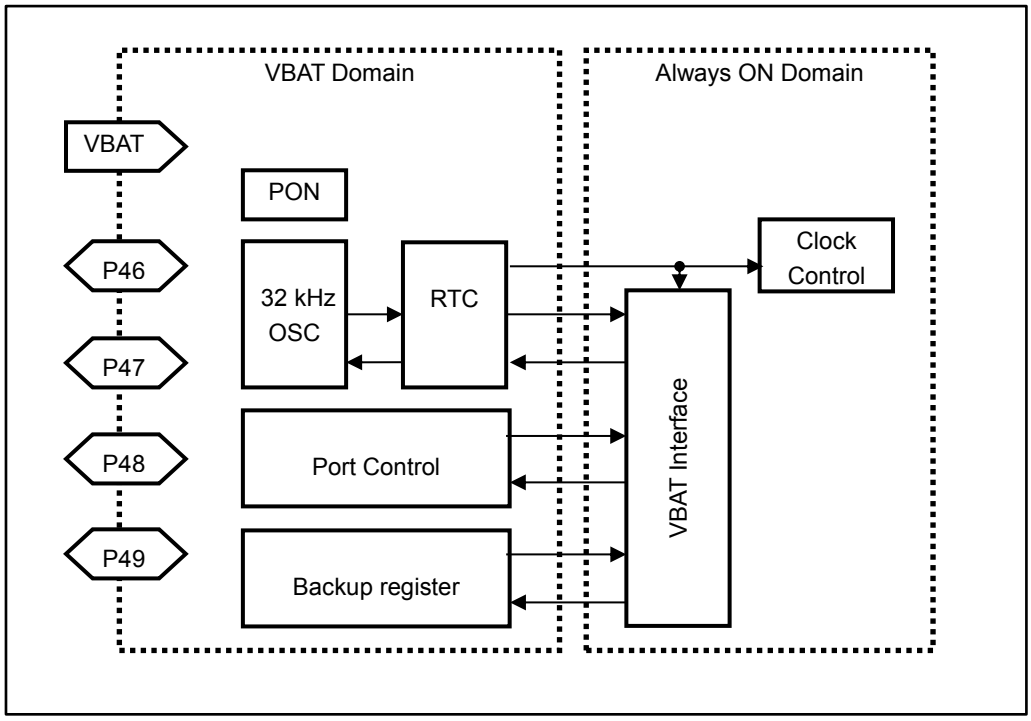
2. VBAT ドメインの構成

VBAT ドメインの内部構成について説明します。

VBAT ドメインの内部構成

VBAT ドメインの内部構成, Always ON ドメインとの接続を Figure 2-1 に示します。

Figure 2-1 VBAT ドメインの内部構成、Always ON ドメインとの接続図



■ RTC

周波数補償機能付きのカレンダ回路です。

■ 32 kHz 発振回路 (32K OSC)

時計用の水晶振動子(32768 Hz)を接続できる発振回路です。

■ パワーオン回路 (PON)

VBAT ドメインのパワーオンを検出し、回路初期化信号を生成します。

■ バックアップレジスタ (Backup register)

32 バイトのレジスタで、VBAT 端子の電源が供給されている間データを保持します。

■ VBAT I/O ポート (P46-P49, Port Control)

VBAT 端子からの電源で駆動される入出力ポートです。

ポートの制御回路が P46-P49 以外の I/O ポートとは独立しています。

2.1 Always ON ドメインとのインタフェース

VBAT ドメインと Always ON ドメインのインタフェース方法について説明します。

2.1.1 インタフェースの概要

VBAT ドメインは、動作電流を抑制するため 32 kHz や PCLK の分周クロックで駆動されます。

そのため、内部バスに VBAT ドメインに属するレジスタを直結すると、そのレジスタをアクセスした際に、CPU などのバスマスタが Wait で待たされます。

FM4 ファミリでは以下の 2 つの対策を行い、アクセスが Wait で待たされることを防止しています。

- Always ON ドメインの中にバッファを設け、内部バスのアクセスはバッファに対して行う。
- Always ON ドメインのバッファと VBAT ドメインのレジスタとの間でデータ転送を行う。

Always ON ドメインのバッファと VBAT ドメインのレジスタとの間でデータ転送動作を、FM4 ファミリのドキュメントでは以下のようによびます。

- リコール: VBAT ドメインのレジスタから Always ON ドメインのバッファへの転送
- セーブ: Always ON ドメインのバッファから VBAT ドメインのレジスタへの転送

バッファに書き込まれたデータは、VCC 電源がオフの期間には消えるため、VCC 電源がオンの間に VBAT ドメインのレジスタに保存してください。

また、VCC 電源が立ち上がった直後や Always ON ドメインにリセットが発生した場合、バッファの値は Always ON ドメイン系のリセット信号で初期化されています。

バッファから値を読み出す前にリコール動作を行い、VBAT 電源(バックアップ電源)で保持していたレジスタの値をバッファに読み出してください。

RTC のカレンダ部分のバッファのデータは自動的には更新されません。
バッファから時刻データを読み出す前に、リコール動作でレジスタの時刻データをバッファに読み出してください。

2.1.2 インタフェース回路の形式一覧

インタフェース回路の形式は、Table 2-1 の 4 種類あります。

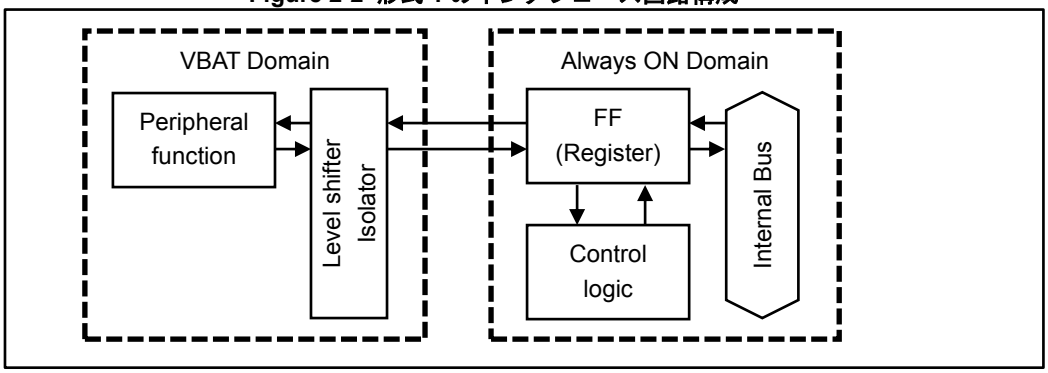
Table 2-1 インタフェース回路形式一覧

回路形式	Always ON ドメイン	VBAT ドメイン	転送クロック	対応図
形式 1	FF あり	FF なし	—	Figure 2-2
形式 2	FF あり	FF あり	32kHz	Figure 2-3
形式 3	FF あり	FF あり	PCLK2(分周)	Figure 2-4
形式 4	FF なし	FF あり	—	Figure 2-5 形式 4 のインタフェース回路構成

Always ON ドメインから VBAT ドメインへの信号は、Always ON ドメインのパワーオフ時は Level shifter, Isolator の機能で VSS にクリップされます。
本機能により Always ON ドメインがパワーオフしている期間も RTC のカレンダ, アラーム, タイマ機能の動作継続, VBAT I/O ポートの端子状態保持, バックアップレジスタのデータ保持ができます。

回路形式 1

Figure 2-2 形式 1 のインタフェース回路構成



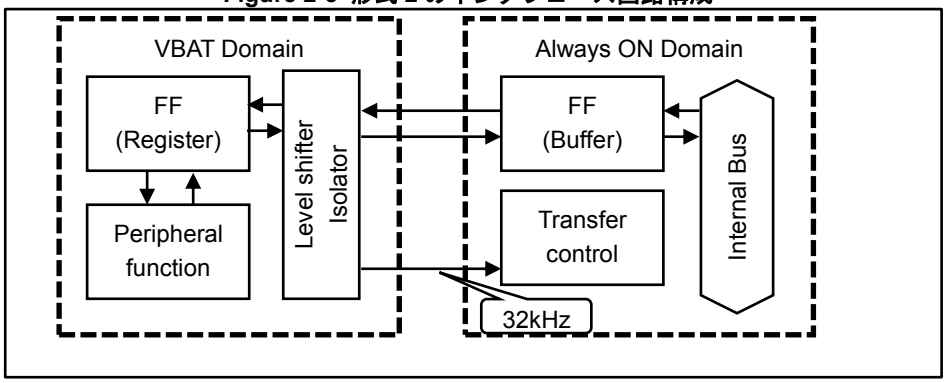
VCC オフの期間は、レジスタが値を保持する必要がない場合にこの回路形式を使っています。

Table 2-2 形式 1 のレジスタの動作

	レジスタの動作
レジスタ初期化	Always ON ドメインのリセット信号で初期化
バス・リード	制御回路(Always ON ドメイン)および周辺回路(VBAT ドメイン)の状態が直接読み出せます。
バス・ライト	制御回路(Always ON ドメイン)および周辺回路(VBAT ドメイン)の動作に直接影響します。

回路形式 2

Figure 2-3 形式 2 のインタフェース回路構成



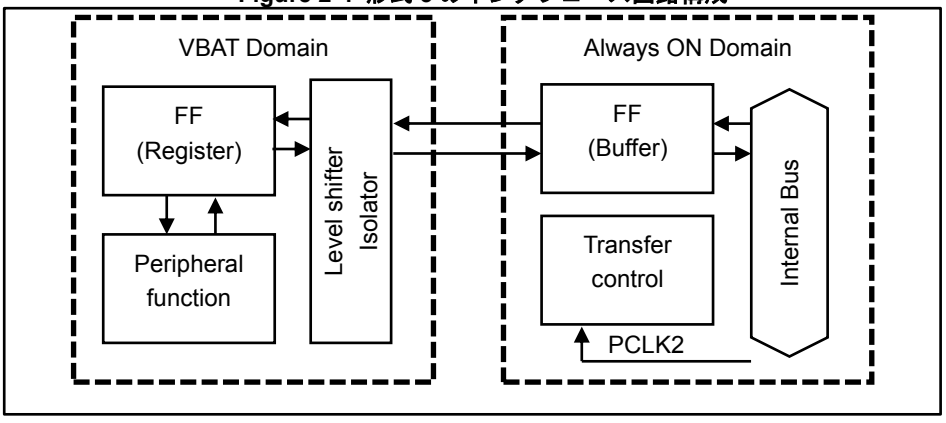
VCC オフの期間もレジスタが値を保持する必要がある場合にこの回路形式を使います。

Table 2-3 形式 2 のレジスタの動作

	レジスタ / バッファの動作
レジスタ初期化	VBAT ドメインのパワーオン信号で初期化
バッファ初期化	Always ON ドメインのリセット信号で初期化 リセット要因は『RTC カウント部』の章を参照してください
バス・リード	バッファの値がバスに読み出される。
バス・ライト	バスの値がバッファに値が書き込まれる。
リコール動作	レジスタの値がバッファに書き込まれる。
セーブ動作	バッファの値がレジスタに書き込まれる。

回路形式 3

Figure 2-4 形式 3 のインタフェース回路構成



VCC オフの期間もレジスタが値を保持する必要がある場合にこの回路形式を使います。

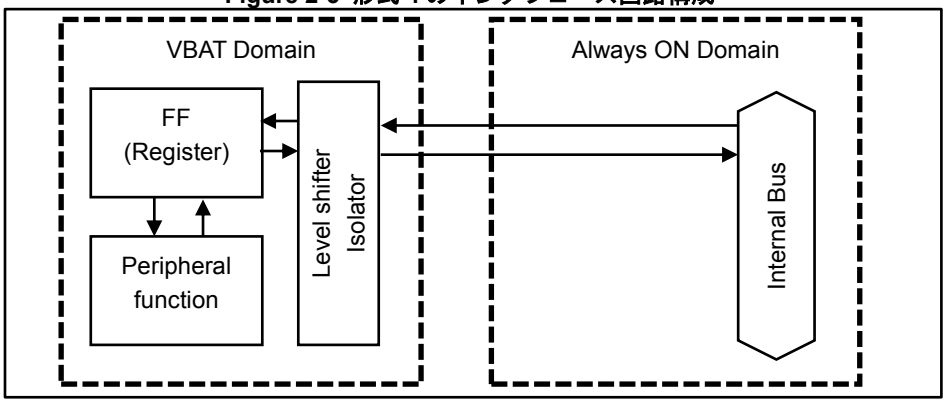
Table 2-4 形式 3 のレジスタの動作

	レジスタ / バッファの動作
レジスタ初期化	VBAT ドメインのパワーオン信号で初期化
バッファ初期化	Always ON ドメインのリセット信号で初期化 RTC リセットで初期化
バス・リード	バッファの値がバスに読み出される。
バス・ライト	バスの値がバッファに値が書き込まれる。
リコール動作	レジスタの値がバッファに書き込まれる。
セーブ動作	バッファの値がレジスタに書き込まれる。

回路形式 2 との相違は、リコール動作 / セーブ動作のクロックです。

回路形式 4

Figure 2-5 形式 4 のインタフェース回路構成



VCC オフの期間もレジスタが値を保持する必要がある場合にこの回路形式を使います。

Table 2-5 形式 4 のレジスタの動作

	レジスタ / バッファの動作
レジスタ初期化	VBAT ドメインのパワーオン信号で初期化
バス・リード	レジスタの値がバスに読み出される。
バス・ライト	VBAT ドメインの動作に直接影響します。

回路形式 4 はリコール動作 / セーブ動作が不要な回路形式です。

2.1.3 インタフェース回路が接続する回路

VBAT パワードメインに含まれる回路は、RTC, VBAT ポート, バックアップレジスタに大別されます。
そして、それぞれの回路ごとに含まれるバッファ/レジスタを一括してセーブ/リコール動作します。
(以下の説明の WTCR20 の機能の詳細は『タイマ編』の『RTC カウント部』の章の「7.5 制御レジスタ (WTCR20)」を参照してください。)

CREAD/CWRITE

RTC 回路に含まれる、Table 2-6 CWRITE/CREAD で転送されるレジスタ一覧のレジスタを一括してセーブ/リコール動作を行います。

Table 2-6 CWRITE/CREAD で転送されるレジスタ一覧

No.	レジスタ名	参照先	No.	レジスタ名	参照先
1	WTSR	[RTCCAL]	2	WTMIR	[RTCCAL]
3	WTHR	[RTCCAL]	4	WTDR	[RTCCAL]
5	WTDW	[RTCCAL]	6	WTMOR	[RTCCAL]
7	WTYR	[RTCCAL]	8	ALMIR	[RTCCAL]
9	ALHR	[RTCCAL]	10	ALDR	[RTCCAL]
11	ALMOR	[RTCCAL]	12	ALYR	[RTCCAL]
13	WTTR0	[RTCCAL]	14	WTTR1	[RTCCAL]
15	WTTR2	[RTCCAL]	16	Reserve	—
17	WTCR11	[RTCCAL]	18	WTCR10 (bit0 のみ)	[RTCCAL]
19	WTCR21	[RTCCAL]			

各レジスタの機能は[RTCCAL]⇒『タイマ編』の『RTC カウント部』の章の RTC カウント部を参照してください。

RTC のレジスタの No.1～No.17, No.19 のインタフェース回路形式は、"回路形式 2"です。

No.18 WTCR10 レジスタは bit ごとに形式が異なり、bit0:ST は”回路形式 2”、bit2:RUN は”回路形式 4”になります。それ以外の bit は VBAT ドメインからの信号には影響しない通常のレジスタビットになります。

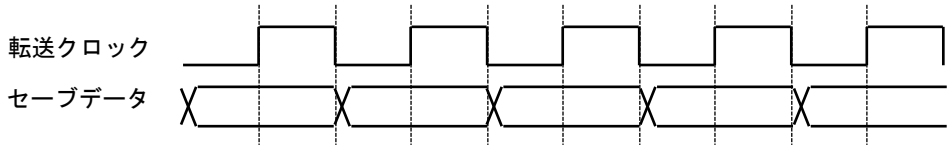
セーブ動作は制御レジスタ 20(WTCR20)の RTC 設定値セーブ動作制御ビット(CWRITE)に 1 ライトすると起動され、”CWRITE 動作”と呼びます。
リコール動作は制御レジスタ 20(WTCR20)の RTC 設定値リコール動作制御ビット(CREAD)に 1 ライトすると起動され、"CREAD 動作"と呼びます。

転送クロックは、サブクロックを使用します。
1 転送クロックで 1 バイトのデータを転送します。
1 回の CREAD/CWRITE で、Table 2-6 のレジスタを No.1 から順番に No.19 まで転送します。

RTC のレジスタは 19 バイトのためデータ転送は 19 転送クロックで終了します。

セーブ動作、リコール動作は注意事項があるため、『タイマ編』の『RTC カウント部』の章の「3. RTC カウント部の動作説明と設定手順例」の注意事項を参照してください。

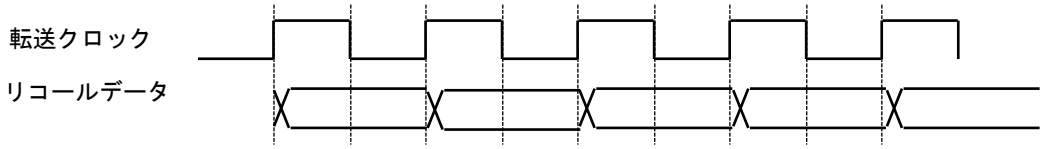
＊CWRITE 動作波形



セーブデータは、転送クロックの立下りでバッファから出力され、転送クロックの立上りでレジスタに書き込まれます。

転送開始の前処理に、3 転送クロック、転送終了の後処理に 3 転送クロック必要です。

＊CREAD 動作波形



リコールデータは、転送クロックの立上りでレジスタから出力され、転送クロックの立下りでバッファに読み込まれます。

転送開始の前処理に、3 転送クロック、転送終了の後処理に 3 転送クロック必要です。

PWRITE/PREAD

VBAT ポート回路に含まれる、Table 2-7 PWRITE/PREAD で転送されるレジスター一覧のレジスタを一括してセーブ/リコール動作を行います。

Table 2-7 PWRITE/PREAD で転送されるレジスター一覧

No.	レジスタ名	参照先	No.	レジスタ名	参照先
1	WTCAL0	[RTCCLK]	2	WTCAL1	[RTCCLK]
3	WTCALEN	[RTCCLK]	4	WTDIV	[RTCCLK]
5	WTDIVEN	[RTCCLK]	6	WTCALPRD	[RTCCLK]
7	WTCOSEL	[RTCCLK]	8	CCS	2.3. 32 kHz 発振回路
9	CCB	2.3. 32 kHz 発振回路	10	Reserve	—
11	BOOST	2.3. 32 kHz 発振回路	12	WTOSCCNT	2.3. 32 kHz 発振回路
13	VBPFR	2.6. VBAT I/O ポート	14	VBPCR	2.6. VBAT I/O ポート
15	VBDDR	2.6. VBAT I/O ポート	16	VBPZR	2.6. VBAT I/O ポート
17	VBDOR	2.6. VBAT I/O ポート			

各レジスタの機能は[RTCCLK]　⇒『タイマ編』の『RTC クロック制御部』の章、
「2.6. VBAT I/O ポート」と「2.3. 32 kHz 発振回路」を参照してください。

VBAT ポート回路のインタフェース回路形式は、レジスタ No.1～No.17 が"回路形式 3"です。

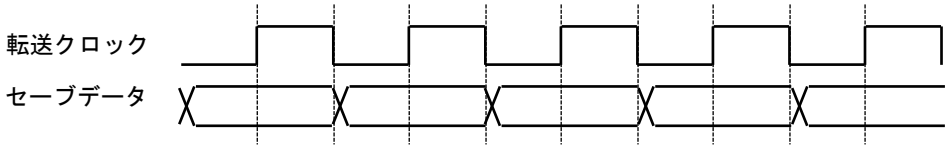
セーブ動作は制御レジスタ 20(WTCR20)の VBAT PORT セーブ動作制御ビット(PWRITE)に 1 ライトすると起動され、"PWRITE 動作"と呼びます。

リコール動作は制御レジスタ 20(WTCR20)の VBAT PORT リコール動作制御ビット(PREAD)に 1 ライトすると起動され、"PREAD 動作"と呼びます。

転送クロックは、PCLK2 を VB_CLKDIV レジスタに設定した値で分周して作成します。
1 転送クロックで 1 バイトのデータを転送します。
1 回の PREAD/PWRITE で、Table 2-7 のレジスタを No.1 から順番に No.17 まで転送します。

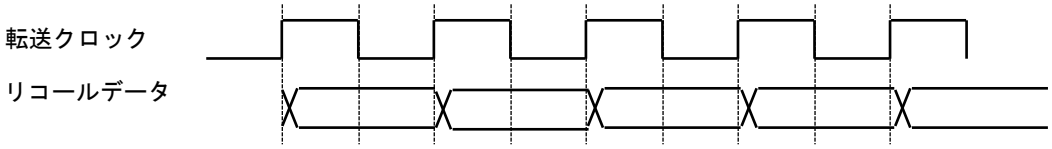
VBAT ポート回路のレジスタは 17 バイトのためデータ転送は 17 転送クロックで終了します。

＊PWRITE 動作波形



セーブデータは、転送クロックの立下りでバッファから出力され、転送クロックの立上りでレジスタに書き込まれます。
転送開始の前処理に、1 転送クロック必要です。

＊PREAD 動作波形



リコールデータは、転送クロックの立上りでレジスタから出力され、転送クロックの立下りで
バッファに読み込まれます。
転送開始の前処理に、1 転送クロック、転送終了の後処理に 1 転送クロック必要です。

BWRITE/BREAD

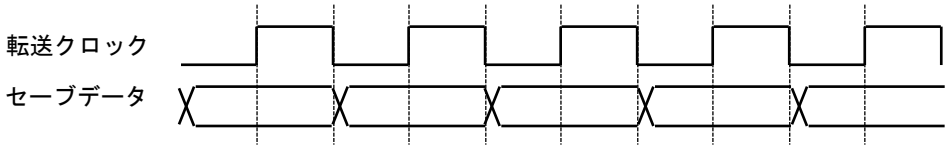
バックアップレジスタは、BREG00 から BREG1F の 32 バイトです。
バックアップレジスタの機能は「2.5. バックアップレジスタ」で説明します。

バックアップレジスタのインタフェース回路形式は"回路形式 3"です。

セーブ動作は制御レジスタ 20(WTCR20)のバックアップレジスタセーブ動作制御ビット(BWRITE)に 1 ライトすると起動され、"BWRITE 動作"とよびます。
リコール動作は制御レジスタ 20(WTCR20)のバックアップレジスタリコール動作制御ビット(BREAD)に 1 ライトすると起動され、"BREAD 動作"とよびます。

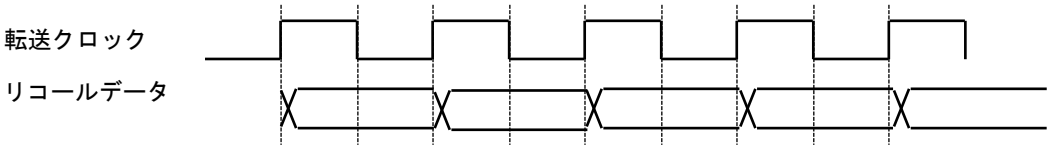
転送クロックは、PCLK2 を VB_CLKDIV レジスタに設定した値で分周して作成します。
1 転送クロックで 1 バイトのデータを転送します。
1 回の BREAD/BWRITE で、BREG00 から BREG1F のレジスタを順番に転送します。
転送は BREG00 から開始され、転送クロックごとに転送先/転送元がインクリメントされます。
FM4 ファミリのバックアップレジスタ容量は 32 バイトのため、データ転送は 32 転送クロックで終了します。

＊BWRITE 動作波形



セーブデータは、転送クロックの立下りでバッファから出力され、転送クロックの立上りで
レジスタに書き込まれます。
転送開始の前処理に、1 転送クロック必要です。

＊BREAD 動作波形



リコールデータは、転送クロックの立上りでレジスタから出力され、転送クロックの立下りで
バッファに読み込まれます。
転送開始の前処理に、1 転送クロック、転送終了の後処理に 1 転送クロック必要です。

転送の組み合わせ可否

リコール/セーブ動作は、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 である事を確認して起動しますが、下表の○印の組み合わせは、例外的に可能です。

	CREAD	CWRITE	PREAD	PWRITE	BREAD	BWRITE
CREAD		×	×	×	○	○
CWRITE	×		×	×	○	○
PREAD	×	×		×	○	○
PWRITE	×	×	×		○	○
BREAD	○	○	○	○		×
BWRITE	○	○	○	○	×	

○: 転送の組み合わせは同時実行可能できます。
×: 転送の組み合わせは同時実行できません。

説明上の注意

FM4 ファミリのペリフェラルマニュアルで、インタフェース形式が"回路形式 2"、"回路形式 3"のレジスタに対するリード, ライトと説明されている場合、以下に読み替えてください。

レジスタの読出し＝リコール動作してからバッファを読み出す。

レジスタへの書込み＝リコール動作してバッファを全面更新後、
該当部分のバッファを書き換えてからセーブ動作する。

使用上の注意

- CREAD/CWRITE は、PCLK2 (APB2 バスクロック) ≧ 1MHz の周波数条件で使用してください。
- セーブ動作中, リコール動作中はバッファのアクセスは禁止です。
  正しいデータをセーブしたか、正しいデータをリードしたか判別できません。
- PCLK2 を分周して作成する PREAD/PWRITE、BREAD/BWRITE の転送クロックが 1 MHz 以下になるように VB_CLKDIV に値を設定してください。
- RTC の割り込み発生時は制御レジスタ 10(WTCR10)の転送完了フラグビット(TRANS)を読出し、”1”の場合は”0”になるまで待ってから割り込みフラグレジスタへアクセスしてください。

2.2 RTC

FM4 ファミリの RTC は 32kHz の周波数補償機能付きカレンダ回路です。

RTC の機能概要

RTC は以下の機能があります。

- 時計機能
- アラーム機能
- タイマ機能
- 周波数補償機能

RTC の構成

RTC の機能については『タイマ編』の『RTC カウント部』および『RTC クロック制御部』の章を参照してください。

2.3 32 kHz 発振回路

32 kHz 発振回路は時計用水晶振動子専用の発振回路で、サブクロックを作成します。

2.3.1 32 kHz 発振回路の機能概要

32kHz 発振回路は以下の機能があります。

- 発振電流切換え機能
- 発振ブースト機能
- クロック生成部との連携機能

発振電流切り替え機能

32kHz 発振回路の増幅回路は定電流源で駆動されます。
定電流源の電流値は CCS レジスタに設定する値で制御できます。

発振ブースト機能

時計用の水晶振動子の場合、発振周波数が安定するまでの時間が長くかかります。
発振開始設定後の一定時間のみ増幅回路に供給する電流を増加させることで、発振安定時間を短縮できることがあります。

定電流源が供給する電流は、発振開始設定から BOOST レジスタに設定したクロックの間だけ CCB に設定した電流値で、その後 CCS レジスタに設定した電流値に切り換わります。
CCB レジスタに CCS レジスタより大きい電流値を設定すると発振ブースト機能が有効になります。
発振ブースト機能を使用しない場合には CCB レジスタに CCS レジスタと同じ値を設定してください。

クロック制御部との連携機能

CPU ドメインに属するクロック生成部と 32 kHz 発振回路の連携動作の有効/無効を WTOSCCNT レジスタの連携制御ビット(SOSCNTL)で設定できます。
有効に設定した場合には､ストップモード, ディープスタンバイストップモードに遷移した場合に 32 kHz の発振が停止します。
無効に設定した場合には、マイコンの動作モードに依存せず 32 kHz の発振が継続します。

＜注意事項＞

- *VBAT ドメインの 32 kHz 発振回路には発振安定待ち機能, クロック故障検出機能はありません。クロック連携機能を有効にして CPU ドメインの中のクロック故障検出機能をお使いください。*
- *増幅回路に流す適切な電流値は接続する振動子の特性(ESR)や負荷容量(CL)によって異なります。水晶振動子とのマッチング評価を行って適切な電流値を選択してください。*
- *VCC 電源とは別に VBAT 用のバックアップ電源を用意して RTC を使用する場合には、クロック制御部との連携機能を無効に設定してください。*
- *32 kHz の発振を開始した後は、CCB, CCS レジスタを更新しないでください。*

2.3.2 32 kHz 発振回路の使用方法

「5. 32 kHz クロックの設定手順」に各種の設定手順を記載しますので参照してください。

2.3.3 32 kHz 発振回路で使用するレジスタの説明

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	予約	予約	予約	VB_CLKDIV	0x00000007	R/W
	予約	予約	予約	WTOSCCNT	0x00000001	R/W
	予約	予約	予約	CCS	0x00000008	R/W
	予約	予約	予約	CCB	0x00000010	R/W
	予約	予約	予約	BOOST	0x00000003	R/W
	予約	予約	予約	EWKUP	0x00000000	R/W
	予約	予約	予約	VDET	0x00000080	R/W
	予約	予約	予約	HIBRST	0x00000000	R/W

これらのレジスタのインタフェース回路形式は"回路形式 1"と"回路形式 3"と”回路形式 4”です。
セーブ/リコール動作は、PWRITE/PREAD です。

2.4 パワーオン回路

FM4 ファミリには、VBAT ドメインの電源投入を検出する VCC 電源端子とは独立したパワーオン回路があります。

パワーオン回路の機能概要

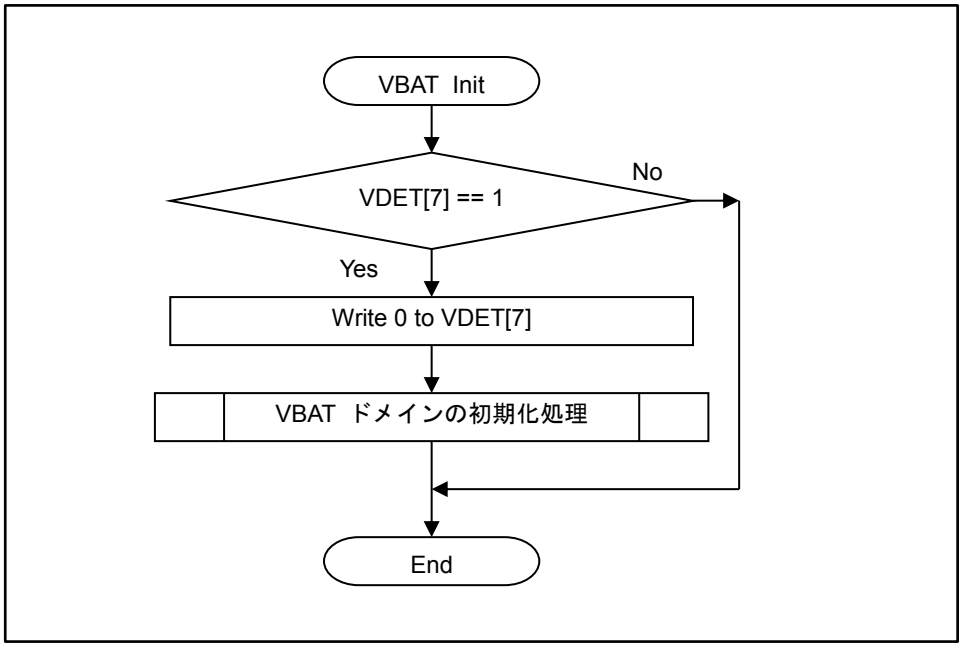
VBAT ドメイン用のパワーオン回路は以下の機能があります。

VBAT 電源端子の立上り検出機能

- パワーオン回路がパワーオン信号を出している間は、レジスタ VDET レジスタのパワーオンビット(PON)から 1 が読み出せます。
- パワーオン信号は、VDET レジスタのパワーオンビット(PON)に 0 を書き込むまでアサートされ続けます。
- パワーオン信号と VDET レジスタのパワーオンビット(PON)の値は、VCC 電源がオン・オフしても影響を受けません。

以下のフローで VBAT ドメインに属する回路を初期化すると、VCC 立上りで周辺機能を初期化する際に、既に動作している VBAT ドメインの初期化をスキップし、RTC 回路の動作を継続できます。

Figure 2-6 VBAT パワードメインのパワーオン判定および初期化のフロー



<注意事項>

- *VBAT ドメイン用のパワーオン回路には、VBAT 電源端子の電圧低下検出機能はありません。(FM4 ファミリには VBAT 電源の電圧低下検出回路を搭載していません。)*
- *パワーオン信号がアサートされている間、VBAT ドメイン(RTC, 32 kHz 発振回路, VBAT I/O 回路, バックアップレジスタ)のレジスタは初期値に固定されます。*
  これらの回路の設定を行う前に、VDET レジスタのパワーオンビット(PON) [に 0 を書き込んでパワーオン信号をクリアする必要があります。

2.5 バックアップレジスタ

FM4 ファミリには、VBAT 電源でデータを保持する 32 バイトのバックアップレジスタがあります。

バックアップレジスタの機能概要

バックアップレジスタは VBAT 電源端子に電力が供給されている間、書き込まれた値を保持します。
VBAT 電源が立ち上がった直後は、パワーオン回路によってリセットされます。
VBAT 電源の投入は VDET レジスタのパワーオンビット(PON)の値で識別できるため、必要に応じて、プログラムでバックアップレジスタの内容を初期化してください。

バックアップレジスタの構成とアクセス方法

バックアップレジスタのインタフェース回路形式は、"回路形式 3"です。

詳細は「2.1. Always ON ドメインとのインタフェース」を参照ください。

バッファレジスタとデータ保持レジスタの間のデータ転送は、全領域一括転送です。
以下の手順でデータの更新を行ってください。

1. VB_CLKDIV レジスタに、転送クロックが 1MHz 以下になるように値を設定する。

2. データ保持レジスタからバッファレジスタにデータをリコール(BREAD)する。
   制御レジスタ 2(WTCR20 のバックアップレジスタリコール動作ビット(BREAD)に 1 ライトするとリコール動作がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。リコール動作(BREAD)が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

3. バッファレジスタの内容を書き換える。
   バッファレジスタはランダムリードライト可能です。

4. バッファレジスタからデータ保持レジスタにデータをセーブ(BWRITE)する。
   制御レジスタ 20(WTCR20)のバックアップレジスタセーブ動作制御ビット(BWRITE)に 1 ライトするとセーブ動作(BWRITE)がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。セーブ動作(BWRITE)が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

*: Always ON ドメインの電源がオフになるとバッファレジスタの内容が失われます。
保持するデータは、必ずセーブ動作(BWRITE)でデータ保持レジスタに転送してください。

*: データ転送中(WTCR10[7] = 1)は、バッファレジスタへのアクセスは禁止です。

*: 転送中に Always ON ドメインのリセット発生した場合、VCC 電源オフの場合にはデータ保持レジスタの内容は保証できません。

バックアップレジスタの説明

■ バックアップレジスタ一覧

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	BREG03	BREG02	BREG01	BREG00	0x00000000	R/W
	BREG07	BREG06	BREG05	BREG04	0x00000000	R/W
	BREG0B	BREG0A	BREG09	BREG08	0x00000000	R/W
	BREG0F	BREG0E	BREG0D	BREG0C	0x00000000	R/W
	BREG13	BREG12	BREG11	BREG10	0x00000000	R/W
	BREG17	BREG16	BREG15	BREG14	0x00000000	R/W
	BREG1B	BREG1A	BREG19	BREG18	0x00000000	R/W
	BREG1F	BREG1E	BREG1D	BREG1C	0x00000000	R/W

バックアップレジスタのインタフェース回路形式は"回路形式 3"です。

セーブ/リコール動作は、BWRITE/BREAD です。

VBAT 端子の電源でデータを保持する、バックアップレジスタです。

バイト, ハーフワード, ワードでアクセスできます。

2.6 VBAT I/O ポート

FM4 ファミリには VBAT ドメインに属する I/O ポートが 4 本あります。これらの I/O ポート(VBAT I/O ポート)は VBAT ドメインの中のポート制御回路(VBAT ポート制御回路)で制御され、VCC 電源端子がオフの場合でも動作を継続します。VBAT ポート制御回路は『I/O ポート』の章に記載されているポート制御回路とは独立しており、レジスタのアドレスも別領域にマッピングされます。

VBAT I/O ポートの機能概要

VBAT I/O ポートは、VBAT 電源がオンの場合、VCC 電源端子がオフの場合も動作を継続できます。
VBAT I/O ポートにはリロケート機能はありません。

VBAT I/O ポートの構成

VBAT ポート制御回路の各レジスタの設定により、入出力方向選択, GPIO/周辺選択を行います。
VBAT I/O ポートの構成は『I/O ポート』の章の Figure 2-1 を参照してください。(同様機能のレジスタは、レジスタ名を読み替えてください。)

Table 2-8 にレジスター一覧および機能説明をします。

Table 2-8 レジスター一覧および機能説明

レジスタ名	機能説明
VBPFR[5:4]	VBAT I/O ポートを特殊端子(発振)として使用するか、デジタル入出力端子として使用するかを設定するレジスタです。
VBPFR[3:0]	VBAT I/O ポートを GPIO 機能の入出力端子として使用するか、周辺機能の入出力端子として使用するかを設定するレジスタです。
VBPCR[3:0]	VBAT I/O ポートをデジタル入力端子, デジタル双方向端子として使用する場合に、VBAT I/O ポートのプルアップ抵抗を接続するか、切断するかを設定するレジスタです。
VBDDR[3:0]	VBAT I/O ポートを GPIO 機能端子として使用する場合、入力端子で使用するか、出力端子で使用するかを設定するレジスタです。 (注意事項) 端子が周辺機能の入出力端子として選択されている場合、設定値は無効です。
VBDIR[3:0]	VBAT I/O ポートのレベル状態を読み出すレジスタです。 - VBAT I/O ポートをデジタル入力端子として使用する場合、入力レベルを読み出します。 - VBAT I/O ポートをデジタル出力端子として使用する場合、出力レベルを読み出します。 - VBAT I/O ポートを特殊端子として使用する場合、常に"0"を読み出します。
VBDOR[3:0]	VBAT I/O ポートを GPIO 機能の出力端子として使用する場合に、出力レベルを設定するレジスタです。 - "0"設定時、Low レベルを出力します。 - "1"設定時、High レベルを出力します。 (注意事項) 端子が GPIO 入力、周辺機能の入出力端子として選択されている場合、設定値は無効です。
VBPZR[1:0]	VBAT I/O ポートのオープンドレイン制御を設定するレジスタです。 - VBAT I/O ポートが Low レベル出力時、I/O ポートを Low 出力にします。 (PCR の設定値によらず、プルアップ切断します) - VBAT I/O ポートが High レベル出力時、I/O ポートを Hi-Z 化し、擬似的にオープンドレイン制御します。(PCR の設定値によらず、プルアップ切断します) - VBAT I/O ポートが入力時、I/O ポートを Hi-Z 化し、入力方向にします。 (PCR の設定値によらず、プルアップ切断します)

VBDIR のインタフェースは"回路形式 4"で、残りのレジスタのインタフェースは"回路形式 3"です。
セーブ/リコール動作は、PWRITE/PREAD です。(回路形式 3 のレジスタ)

<注意事項>

- *CPU ドメインの I/O ポート用制御レジスタ(PFR4[6:9], PCR4[6:9], DDR4[6:9], DIR4[6:9], DOR4[6:9], PZR4[6:9])の設定は、VBAT I/O ポートの動作には影響しません。*

VBAT I/O ポートの初期設定

Table 2-9 に VBAT IO ポートの初期状態を示します。

Table 2-9 VBAT IO ポートの初期状態

No.	端子	初期選択機能
1	P46/X0A	発振端子として使用可能です。(発振は停止しています) デジタル入力は遮断されており"0"が入力されています。
2	P47/X1A	発振端子として使用可能です。(発振は停止しています) デジタル入力は遮断されており"0"が入力されています。
3	P48/VREGCTL	デジタル入力です。出力はオープンドレイン形式です。
4	P49/VWAKEUP	デジタル入力です。出力はオープンドレイン形式です。

VBAT パワーオン回路が VBAT ドメインをリセットしている期間は Table 2-9 の初期状態を維持します。

VBAT I/O ポートの設定手順

■ 32 kHz 発振回路を使用する場合
「5. 32 kHz クロックの設定手順」に各種の設定手順を記載しますので参照してください。

■ ハイバネーション制御を行う場合
「4. ハイバネーション制御」に I/O の設定手順も含めて記載しますので参照してください。

■ 汎用入出力ポートとして使用する場合

設定方法は『I/O ポート』の章を参照してください。
(同様機能のレジスタは、レジスタ名を読み替えてください。)

VBAT I/O ポートのレジスタ説明

■ VBAT I/O ポートレジスター覧

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	予約	予約	予約	VBPFR	0x0000001C	R/W
	予約	予約	予約	VBPCR	0x00000000	R/W
	予約	予約	予約	VBDDR	0x00000000	R/W
	予約	予約	予約	VBDIR	0x000000XX	R
	予約	予約	予約	VBDOR	0x0000000F	R/W
	予約	予約	予約	VBPZR	0x00000003	R/W

VBAT I/O ポートのレジスタの構成とアクセス方法

VBAT I/O ポートレジスタのインタフェース回路形式は、"回路形式 3"です。
詳細は「2.1. Always ON ドメインとのインタフェース」を参照してください。

バッファレジスタと VBAT I/O ポートレジスタの間のデータ転送は、全領域一括転送です。
以下の手順でデータの更新を行ってください。

1. VB_CLKDIV レジスタに、転送クロックが 1 MHz 以下になるように値を設定する。

2. VBAT I/O ポートレジスタからバッファレジスタにデータをリコールする。
   制御レジスタ 20(WTCR20)の VBAT PORT リコール動作制御ビット(PREAD)に 1 ライトするとリコール動作がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。リコール動作が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

3. バッファレジスタの内容を書き換える。
   バッファレジスタはランダムリードライト可能です。

4. バッファレジスタから VBAT I/O ポートレジスタにデータをセーブする。
   制御レジスタ 20(WTCR20)の VBAT PORT セーブ動作制御ビット(PWRITE)に 1 ライトするとセーブ動作がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。セーブ動作が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

*: バッファレジスタを書き換えただけでは VBAT I/O ポートの端子状態は変化しません。
レジスタ値(端子の状態)を変更するために、セーブ動作でバッファレジスタから VBAT I/O ポートレジスタに転送してください。

*: データ転送中(転送フラグビット(TRANS)が”1”の間)は、バッファレジスタへのアクセスは禁止です。

*: 転送中に Always ON ドメインのリセット発生した場合、VCC 電源オフの場合にはデータ保持レジスタの内容が保証できません。

3. チップの電源制御

チップの電源投入・切断について説明します。

VCC 電源、VBAT 電源の組み合わせ表

VCC 電源端子と VBAT 電源端子の状態は、Table 3-1 のとおりです。

Table 3-1 VCC/VBAT の電源状態組み合わせ

	VBAT 電源 オン	VBAT 電源 オフ
VCC 電源 オン	通常動作	この状態は禁止
VCC 電源 オフ	VBAT ドメインのみ動作継続	動作停止

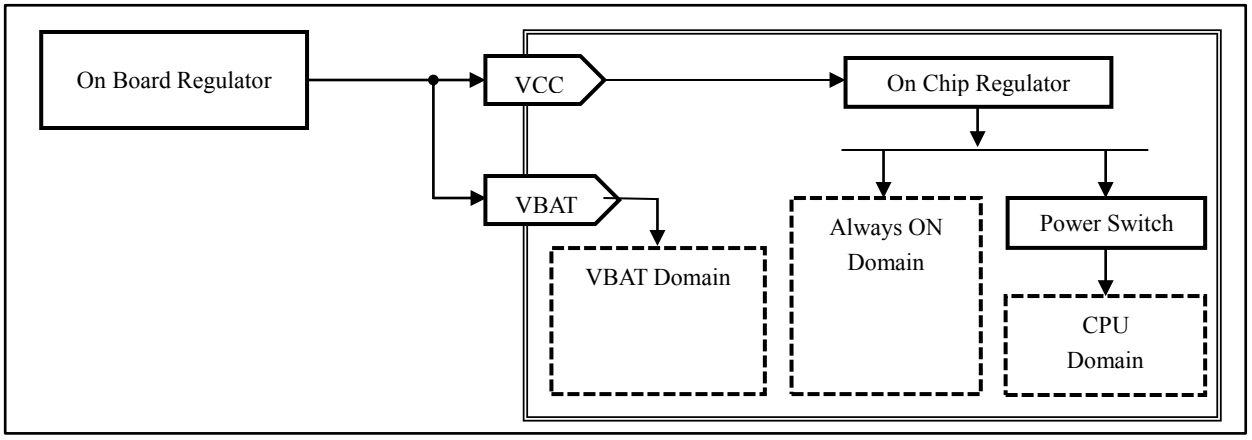
VBAT 電源を VCC と同一電源で駆動する場合

■ 電源状態の遷移

VBAT 電源と VCC 電源を同一電源で駆動する場合には、チップ電源状態は Table 3-1 の"通常動作"と"動作停止"の 2 種類の状態のみです。

この VBAT ドメインも VCC 電源投入の際に毎回初期化が必要です。

Figure 3-1 VBAT 電源を VCC 電源で駆動する場合の例



VBAT 電源用のバックアップ電源を使わない場合は、チップ外部で VBAT 電源端子と VCC 電源端子を短絡してください。

VCC 端子と VBAT 端子を短絡すると、「VCC 電源オン, VBAT 電源オフ」という禁止状態を避けられます。

VBAT 電源を電池で駆動する場合

■ 電源状態の遷移

VBAT 電源用に電池を使用する場合の電源状態遷移は Figure 3-2 のとおりで、各部分の動作波形は Figure 3-3 のとおりです。

1 回目のシステム電源オンかどうか VDET レジスタのパワーオンビット(PON)で識別できます。
1 回目のシステム電源オンの場合には VBAT ドメインにある回路の設定を行ってください。

Figure 3-2 VBAT 電源に電池を使用する場合の状態遷移

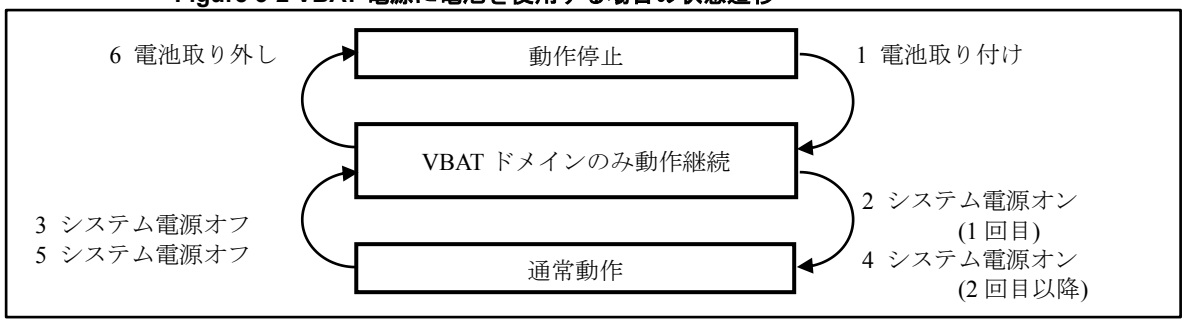
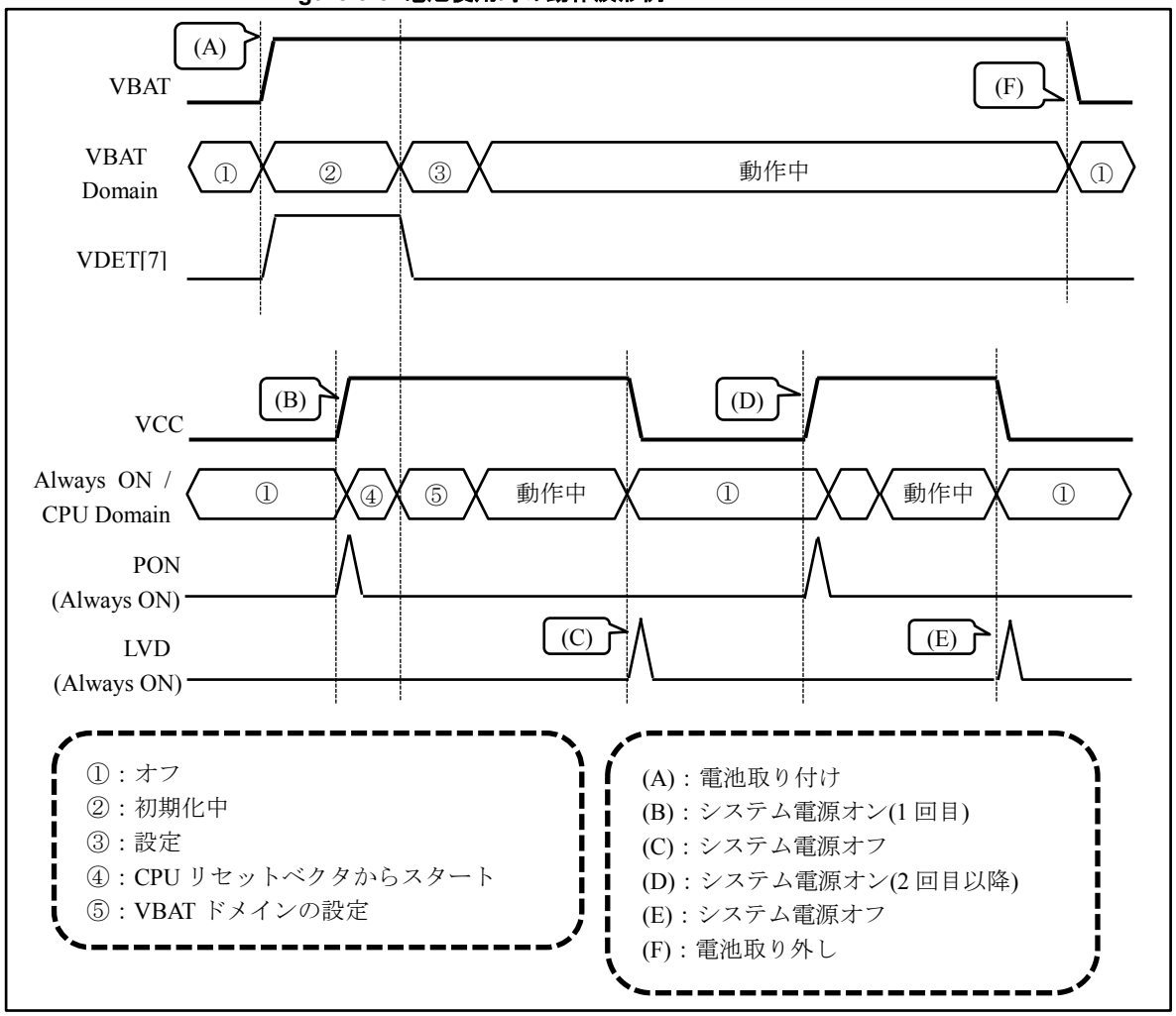


Figure 3-3 電池使用時の動作波形例



■ 電源構成の例

Figure 3-4 バックアップ電源に一次電池を使用する場合の例

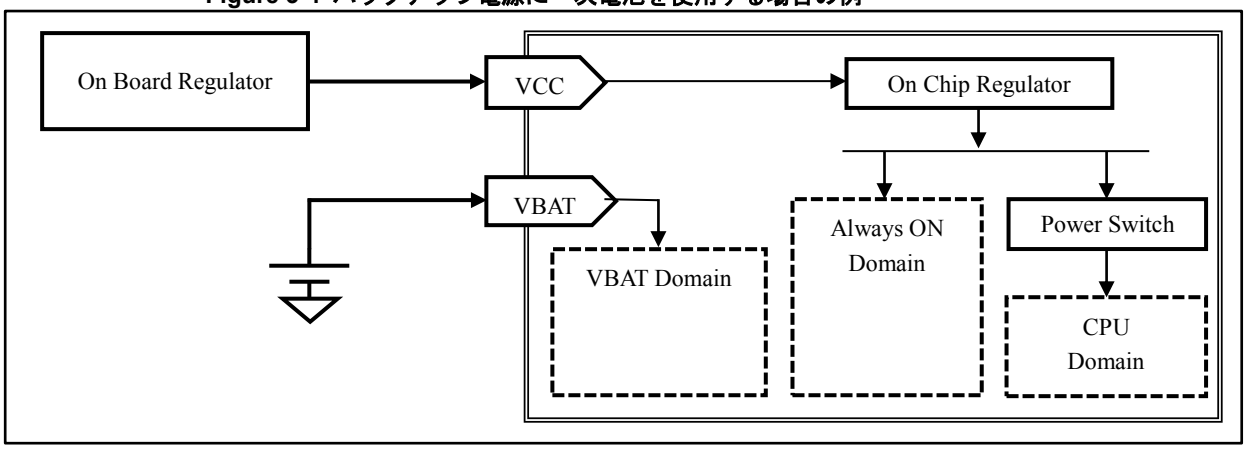
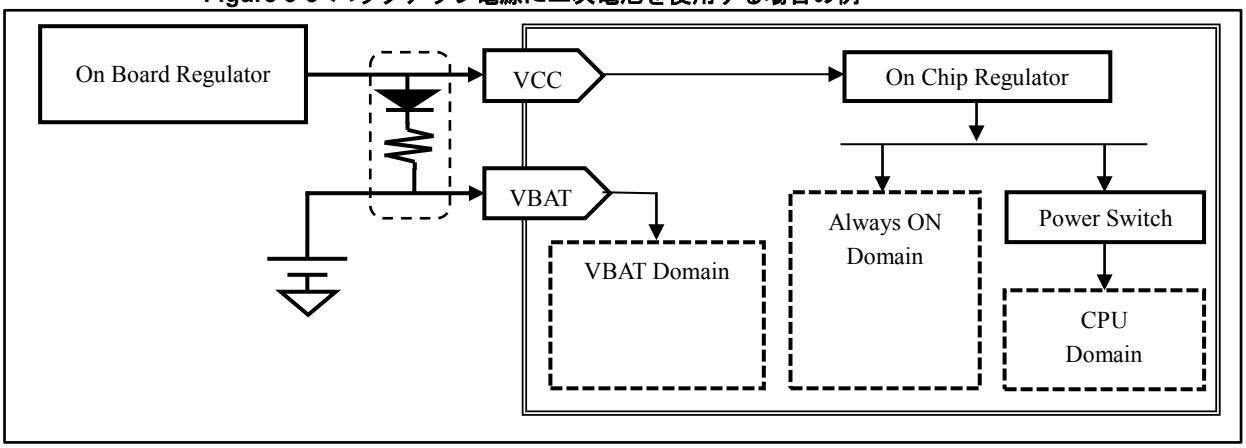


Figure 3-5 バックアップ電源に二次電池を使用する場合の例



破線内のダイオードと抵抗は、二次電池をトリクル充電します。
使用する二次電池がトリクル充電可能かどうかと、トリクル充電の最大電流値を確認して抵抗値を設定してください。
使用する二次電池がトリクル充電できない場合には、一次電池と同様にお使いください。

<注意事項>

- *電池の取り付けと取り外しは、システム電源がオフの期間に行ってください。*
- *バックアップ電源に一次電池を使う場合には、システム電源とバックアップ電源をダイオードで接続することは推奨しません。*

4. ハイバネーション制御

オフチップパワーゲーティングをマイコンから制御する場合の回路構成の例とシーケンスの例を示します。

ハイバネーション制御の概要

ハイバネーション制御は、VBAT ドメインからオンボードレギュレータのスタンバイ機能を制御することで、VCC 電源(Always ON ドメイン, CPU ドメイン共に)のオン/オフを VBAT ドメインから制御します。

ハイバネーション制御を行う場合には、VCC 電源(システム電源)とは別のバックアップ電源を VBAT 端子に供給してください。

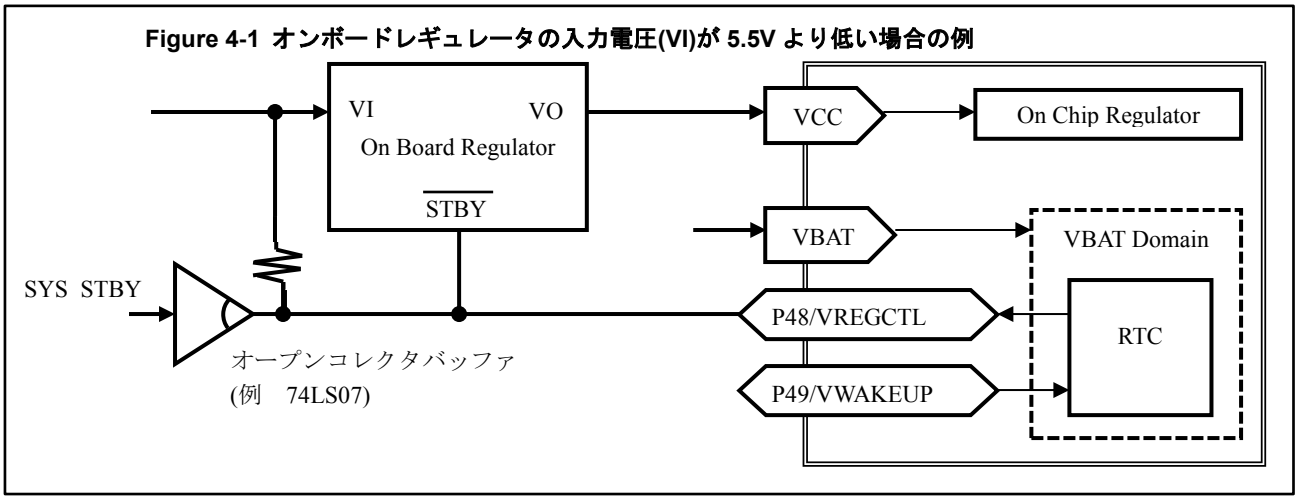
ハイバネーション状態から復帰する要因は以下の 2 つあります。

- RTC のアラーム割込み
- P49/VWAKEUP 端子へのウェイクアップ要求(立上りエッジで要求発生)

ハイバネーション状態からの復帰に RTC のアラーム割込みを使用する場合には、VCC オフ期間も 32 kHz 発振を継続する必要があります。

FM4 ファミリの外部接続例

Figure 4-1 オンボードレギュレータの入力電圧(VI)が 5.5V より低い場合の例



多くのオンボードレギュレータの"STBY"入力は"L"レベルでスタンバイ動作になります。
VBAT I/O ポートの P48/VREGCTL 端子は、擬似オープンドレインで 5V トレラントです。

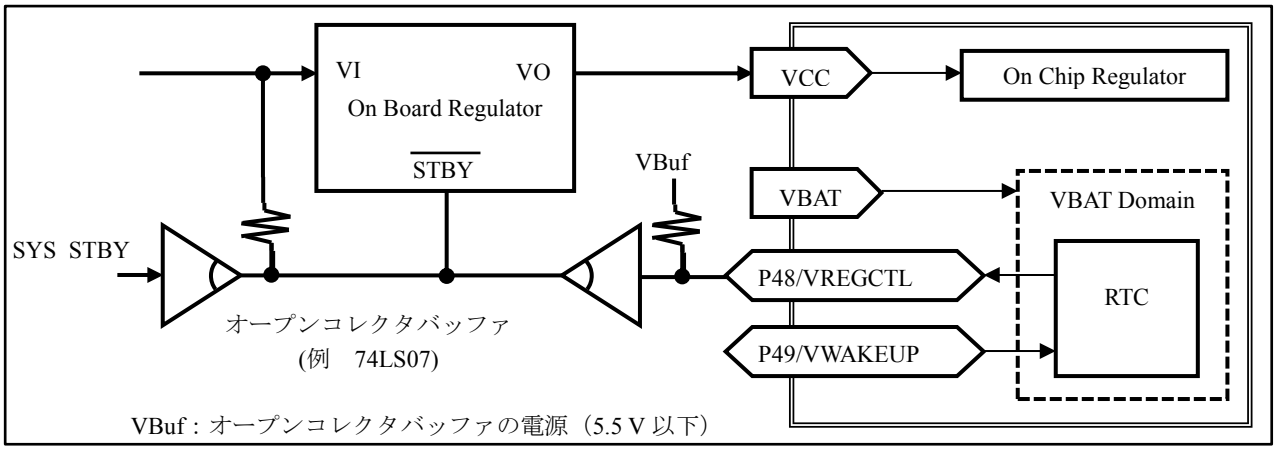
オンボードレギュレータの"STBY"入力と接続し、オンボードレギュレータの入力電圧(VI)に抵抗でプルアップしてください。

システムのスタンバイ制御信号をオープンコレクタバッファでバッファリングして"P48/VREGCTL"とワイヤード OR するとオンボードレギュレータの動作は、Table 4-1 になります。

Table 4-1 オンボードレギュレータの動作

	VREGCTL = “L”	VREGCTL = “H”
SYS_STBY = "L"	スタンバイモード	スタンバイモード
SYS_STBY = "H"	スタンバイモード	通常動作モード

Figure 4-2 オンボードレギュレータの入力電圧(VI)が 5.5V より高い場合の例



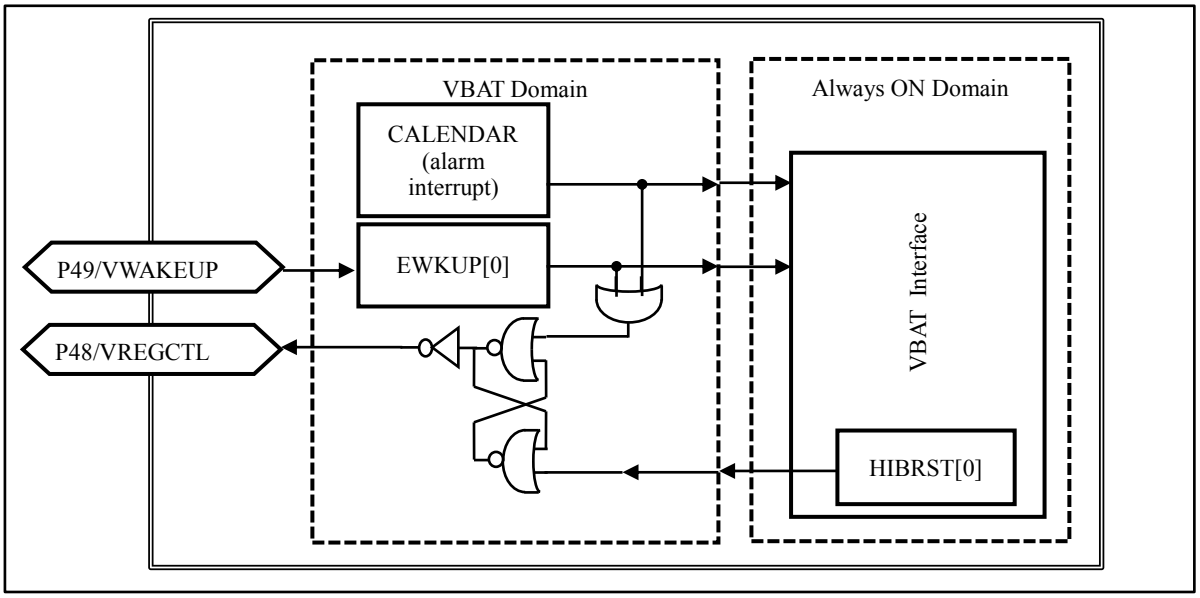
オンボードレギュレータの入力電圧が 5.5 V よりも高い場合には、"P48/VREGCTL"端子でオンボードレギュレータのスタンバイ端子を直接制御することはできません。

オンボードレギュレータの入力電圧よりも耐圧が高いオープンコレクタバッファなどでバッファリングしてください。

ハイバネーション制御部のブロック構成

ハイバネーション制御部は RTC 回路の一部で、その構成は Figure 4-3 のとおりです。

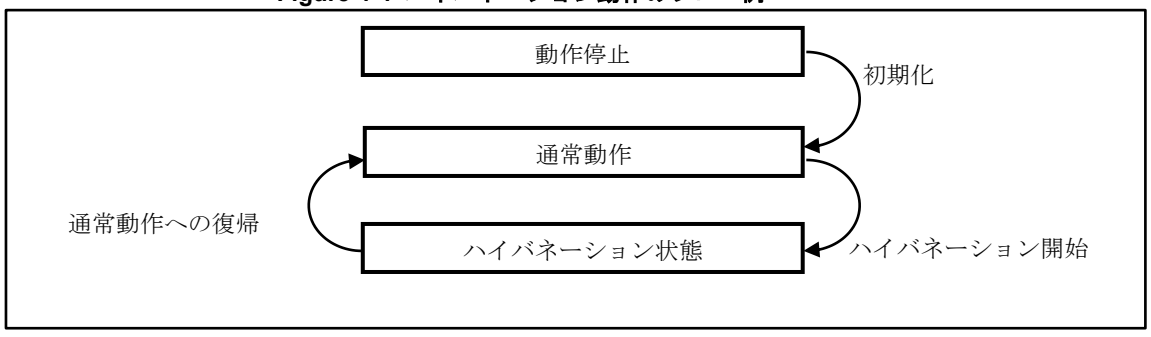
Figure 4-3 ハイバネーション制御部



ハイバネーション動作のフロー例

ハイバネーションの動作フローは　Figure 4-4 のとおりです。

Figure 4-4 ハイバネーション動作のフロー例



■ ハイバネーション動作の初期設定

ハイバネーション動作に必要な初期設定は以下のとおりです。

- RTC のアラーム設定
  アラームの設定の方法は『タイマ編』の『RTC』の章を参照してください。
- P49/VWAKEUP 端子の設定
  ポート機能設定レジスタ(VBPFR)の P49/VWAKEUP 端子のポート機能設定ビット(VPFR1)に"1"を書き込む。
- P48/VREGCTL 端子の設定
  ポート機能設定レジスタ(VBPFR)の P48/VWAKEUP 端子のポート機能設定ビット(VPFR0) に"1"を書き込む。

RTC のアラーム設定, P49/VWAKEUP 端子の設定は実施しなくてもハイバネーション状態に遷移できます。
両方の設定を未実施のままハイバネーション状態に遷移すると、通常動作への復帰ができません。

■ ハイバネーション開始の設定

RTC のアラーム割込みとウェイクアップ(P49/VWAKEUP 端子)の両方がクリアされている状態で HIBRST[0]に"1"を書き込むと、P48/VREGCTL 端子が"0"になりオンボードレギュレータがスタンバイ状態に遷移して VCC 電源がオフになります。

■ ハイバネーション状態から復帰した際の判定および動作

RTC のアラーム割込みかウェイクアップ要求が発生すると、P48/VREGCTL 端子が"1"になり、オンボードレギュレータがスタンバイ状態から復帰して VCC 電源がオンになります。
VCC 電源がオンになると、CPU コアは通常のパワーオン動作を行います。

ハイバネーションからの復帰か否かは、以下の 3 つを確認することで識別できます。

- VBAT ドメインのパワーオンが発生しているかどうか (VDET レジスタのパワーオンビット(PON))
- RTC アラーム割込みが発生しているかどうか (制御レジスタ 12(WTCR12)のアラーム一致フラグビット(INTALI))
- ウェイクアップ要求が発生しているかどうか (EWKUP レジスタのウェイクアップ要求ビット(WUP0))

<注意事項>

- *HIBRST レジスタのハイバネーションスタートビット(HIBRST)に"1"を書き込むと、直後に P48/VREGCTL 端子が"0"になります。*
  VCC 電源のオフ準備をすべて済ませたのち HIBRST レジスタのハイバネーションスタートビット(HIBRST)に"1"を書き込んでください。
- *ハイバネーション動作は P48/VREGCTL 端子の制御で VCC 電源がオフになる前提です。*
  デバッグの際にオンボードレギュレータを P48/VREGCTL 端子で直接制御しない場合にはマニュアル操作でいったん VCC 電源をオフにしてください。

5. 32 kHz クロックの設定手順

RTC を使用する場合の、32 kHz 発振回路周りの推奨設定シーケンスについて説明します。

VBAT ドメインに属する 32 kHz 発振回路の特長

32 kHz 発振回路が VBAT ドメインに含まれていることで、CPU ドメイン、Always ON ドメインがオフの期間も 32 kHz 発振回路の動作を継続し、RTC が時刻をカウントし続けることができます。

クロック制御回路と連携する場合

VBAT ドメインの 32 kHz 発振回路をクロック制御回路と連携すると、FM3 ファミリと互換動作になります。

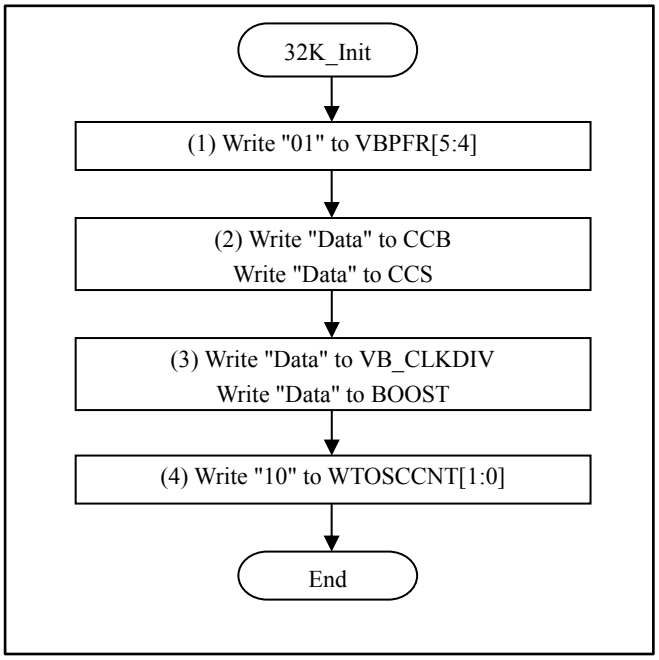
また、クロック制御回路と連携させると、VCC 電源オフ時、VCC 電源オンでストップモード, ディープスタンバイストップモードに遷移した時に 32 kHz の発振が自動的に停止します。

32 kHz 発振回路はバックアップ電源の電力で動作します。
32 kHz クロックをサブランモードのクロックのみの目的で使用する場合には、クロック制御回路と連携することでバックアップ電源の電力消費を自動的に低減することが可能です。

■ 設定手順例

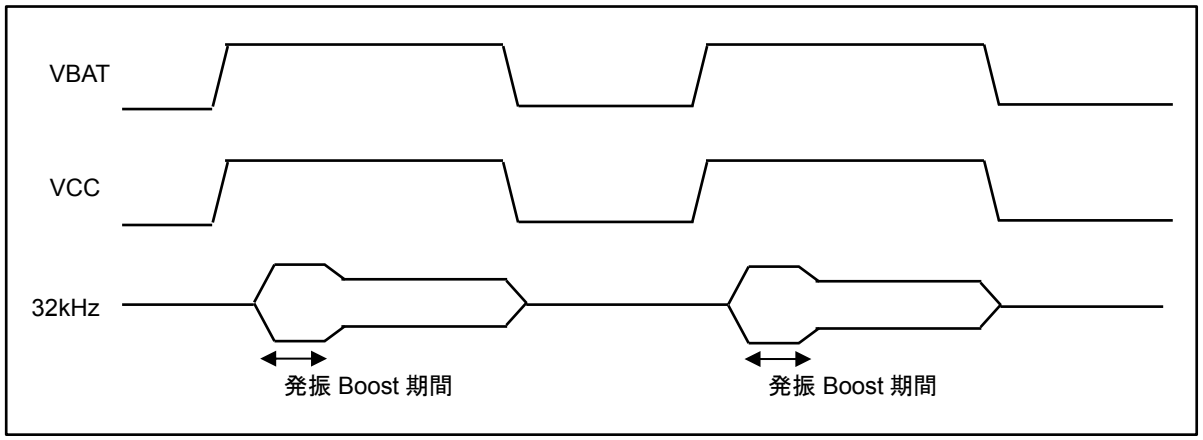
1. VBAT I/O ポートのレジスタ「32 kHz 発振回路を使用する場合」の設定にする。
2. 発振増幅回路に流す適切な電流値を設定する。
3. 発振ブースト時間を設定する。
4. クロック制御回路との連携を有効に設定する。

   同時に、発振イネーブルを設定する。

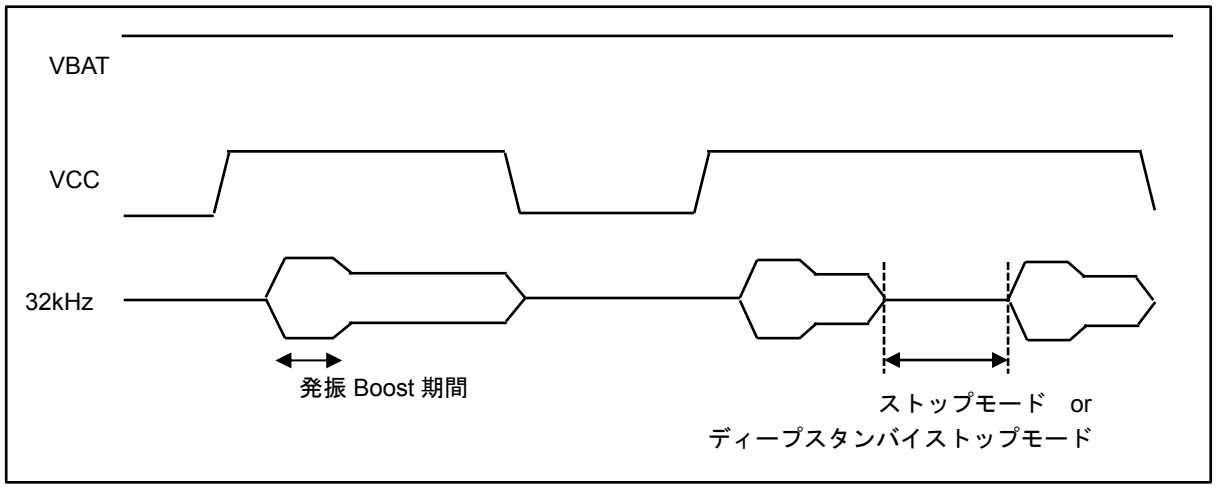


■ 動作の例

– バックアップ電源を使わない場合



– バックアップ電源を使うが、クロック制御回路と連携する場合



クロック制御回路と連携しない場合

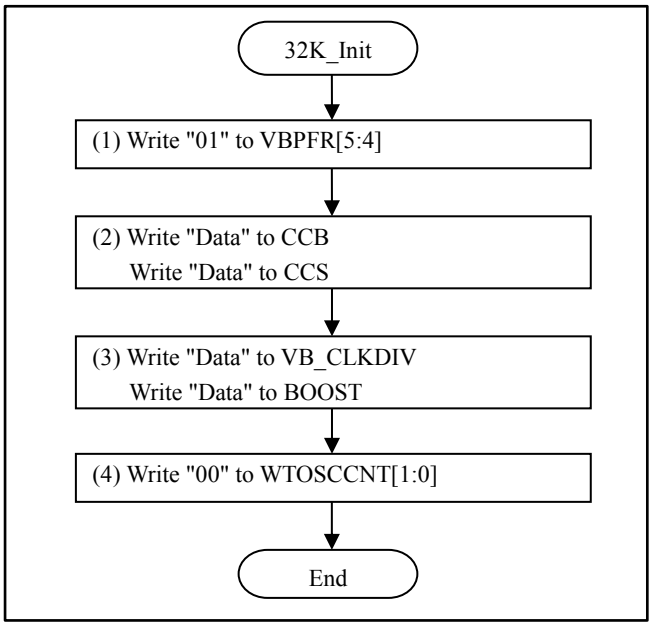
バックアップ電源で常に RTC を動作し続ける場合には、クロック制御回路とは連携させない必要があります。

VBAT ドメインのみバックアップ電源で動作させ続け、CPU の処理が不要な期間は VCC 電源を自らのハイバネーション制御か、外部回路の制御でオフすることで、システム全体の平均消費電力を低減することが可能です。

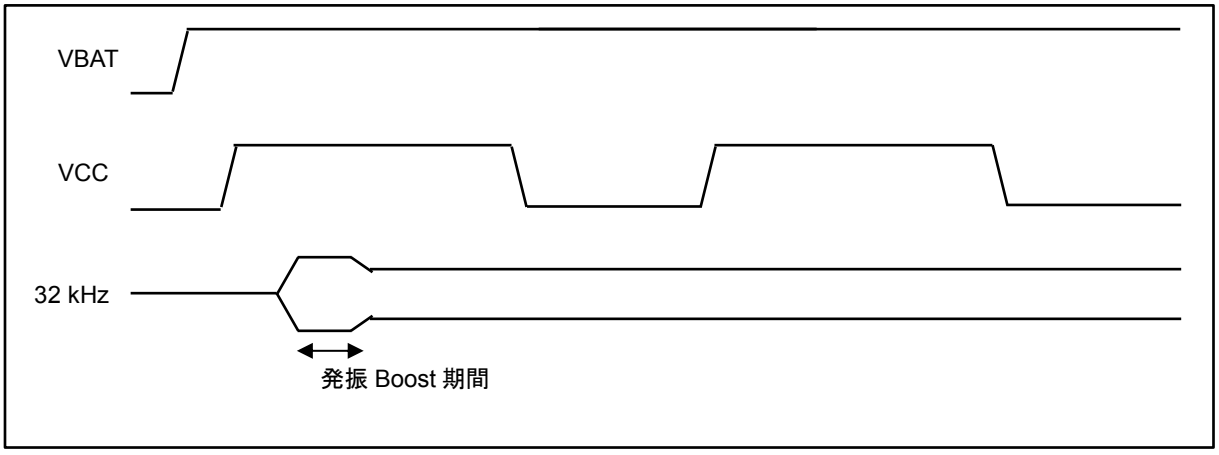
■ 設定手順例

1. VBAT I/O ポートのレジスタ「32 kHz 発振回路を使用する場合」の設定にする。
2. 発振増幅回路に流す適切な電流値を設定する。
3. 発振ブースト時間を設定する。
4. クロック制御回路との連携を無効に設定する。

同時に、発振イネーブルを設定する。



■ 動作の例



クロック制御回路と連携しないが発振安定待ちを行う場合

バックアップ電源で常に RTC を動作し続ける場合には、クロック制御回路とは連携させない必要がありますが、VBAT ドメインの 32 kHz 発振回路、RTC には発振安定待ちの機能がありません。

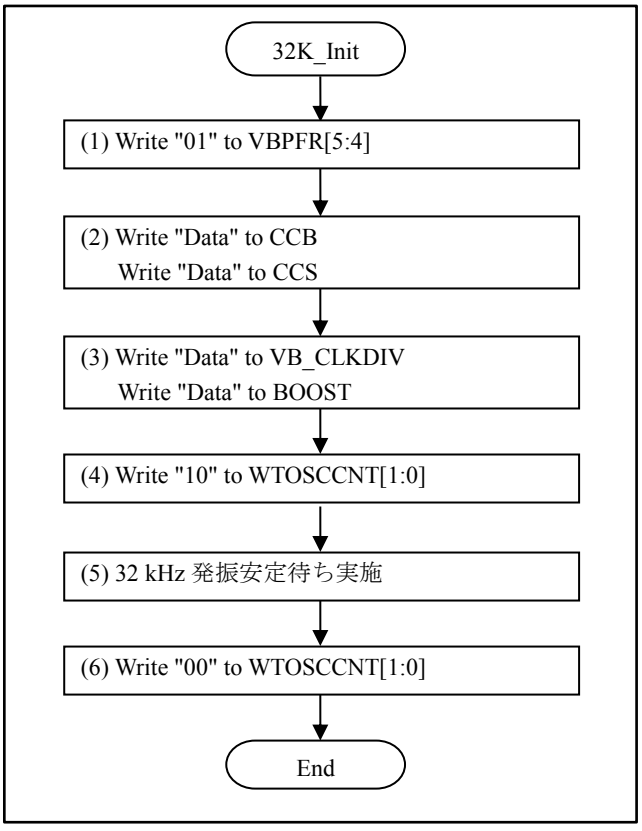
32 kHz クロックを RTC のみで使用する場合には発振安定時間相当のソフトタイマを使うという選択肢がありますが、32 kHz クロックをサブランモードでも使用する場合にはクロックの発振安定待ちが必要です。

その場合には、以下のような手順を踏んで発振開始時のみ発振安定待ち機能を有効にできます。

■ 設定手順例

クロック制御回路との連携機能を有効にして発振スタートする。
発振安定待ち時間経過後、クロック制御回路との連携機能を無効に変更する。

1. VBAT I/O ポートのレジスタ「32 kHz 発振回路を使用する場合」の設定にする。
2. 発振増幅回路に流す適切な電流値を設定する。
3. 発振ブースト時間を設定する。
4. クロック制御回路との連携を有効に設定する。同時に、発振イネーブルを設定する。
5. 32 kHz の発振安定待ちを行う。
6. クロック制御回路との連携を無効に設定変更する。(発振イネーブルは有効の設定のまま。)



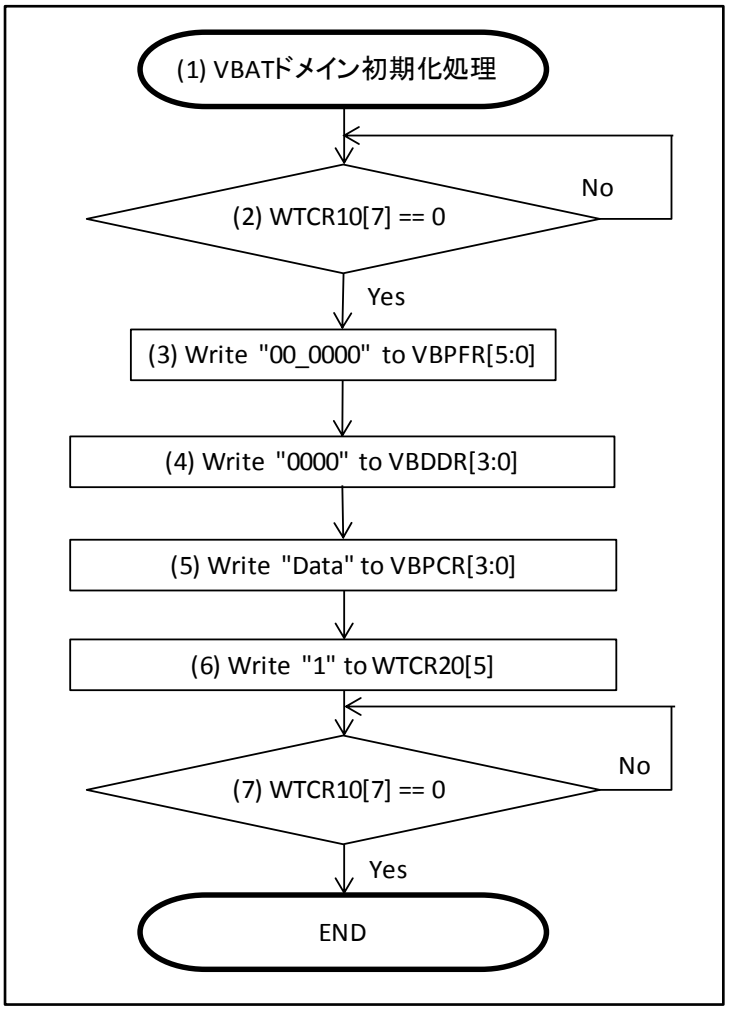
6. VBAT I/O ポートの設定手順

■ VBAT I/O を汎用 I/O 入力として、使用する場合

・設定手順例

P46/P47/P48/P49 をすべて汎用 I/O 入力として使用する場合の設定例を記載します。

1. VBAT ドメインの初期化処理を行う (Figure 2-6 参照)
2. 汎用 IO ポートを GPIO 端子として使用する設定にする
3. プルアップ設定を行う
4. ポート出力方向設定を入力方向に設定する
5. 設定値を VBAT ドメインに転送する
6. 転送完了を待つ

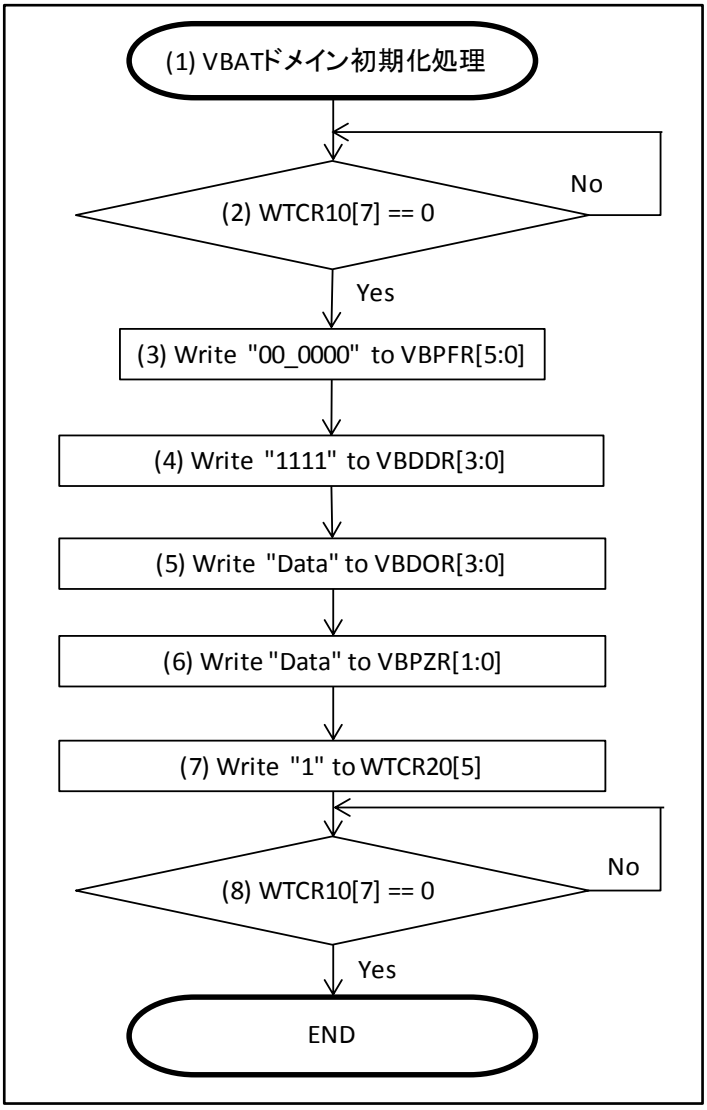


■ VBAT I/O を汎用 I/O 出力として、使用する場合

・設定手順例

P46/P47/P48/P49 をすべて汎用 I/O 出力として使用する場合の設定例を記載します。

1. VBAT ドメインの初期化処理を行う (Figure 2-6 参照)
2. 汎用 IO ポートを GPIO 端子として使用する設定にする
3. ポート出力方向設定を出力方向に設定する
4. ポート出力データレジスタを設定する
5. ポート擬似オープンドレインレジスタを設定する (P48/P49 のみ設定可能)
6. 設定値を VBAT ドメインに転送する
7. 転送完了を待つ

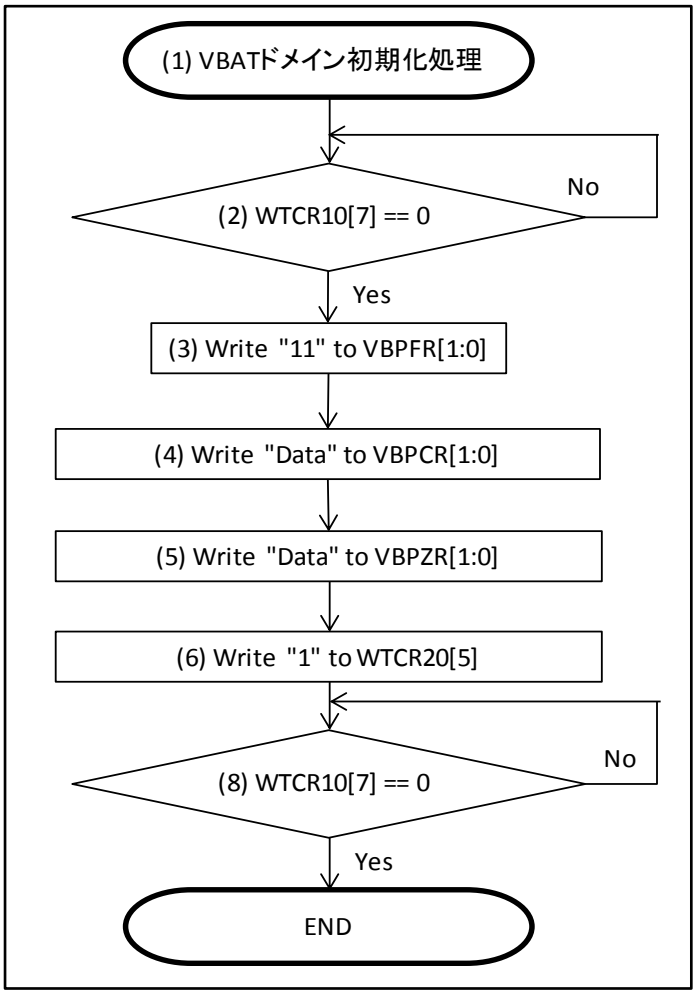


■ VBAT I/O を周辺機能として、使用する場合

・設定手順例

P48/P49 を周辺機能として使用する場合の設定例を記載します。

1. VBAT ドメインの初期化処理を行う (Figure 2-6 参照)
2. 汎用 IO ポートを周辺機能として使用する設定にする。
3. プルアップ設定を行う
4. 擬似オープンドレイン設定をする
5. 設定値を VBAT ドメインに転送する
6. 転送完了を待つ



7. レジスター覧

VBAT ドメイン部のレジスター覧を説明します。

Table 7-1 にレジスター覧を示します。

Table 7-1 レジスター覧

レジスタ略称	レジスタ名	参照先
VB_CLKDIV	VB_CLKDIV レジスタ	7.1
WTOSCCNT	WTOSCCNT レジスタ	7.2
CCS/CCB	CCS/CCB レジスタ	7.3
BOOST	BOOST レジスタ	7.4
EWKUP	EWKUP レジスタ	7.5
HIBRST	HIBRST レジスタ	7.6
VDET	VEDT レジスタ	7.7
VBPFR	ポート機能設定レジスタ	7.8
VBPCR	プルアップ設定レジスタ	7.9
VBDDR	ポート入出力方向設定レジスタ	7.10
VBDIR	ポート入力データレジスタ	7.11
VBDOR	ポート出力データレジスタ	7.12
VBPZR	ポート擬似オープンドレイン設定レジスタ	7.13

Table 7-1 レジスター覧に記載の VBDIR/VDET/EWKUP を除く Always ON ドメインのレジスタ、バッファはシステム
リセット、RTC リセットでクリアされます。そのため、リセット後のセーブ動作は値を再設定もしくは、リコール動作後に行なってください。

7.1 VB_CLKDIV レジスタ

VB_CLKDIV レジスタは、バックアップレジスタ，ポートレジスタの一括転送を行う場合の転送クロックの周期を設定します。

bit	7	6	5	4	3	2	1	0
Field	DIV7	DIV6	DIV5	DIV4	DIV3	DIV2	DIV1	DIV0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:0] DIV[7:0] : PREAD, PWRITE, BREAD, BWRITE の転送クロック設定ビット

バックアップレジスタ，ポートレジスタの一括転送を行う場合の転送クロックの周期を設定します。

レジスタ設定値の計算式 ： 転送クロック ＝PCLK2 / (VB_CLKDIV + 2)

(BREAD/BWRITE, PREAD/PWRITE で使用する転送クロックは、周波数が 1 MHz 以下に設定してください。)

* : DIV[7:0]に 0x00/0xFF の設定は禁止です。

7.2 WTOSCCNT レジスタ

WTOSCCNT レジスタは、32 kHz 発振回路の動作を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約						SOSCNTL	SOSCEX
属性	-						R/W	R/W
初期値	-						0	1

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:2] 予約：予約ビット

これらのビットからは"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] SOSCNTL：連携制御ビット

クロック制御部との連携の有無を設定します。

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	VBAT ドメインとして独立して動作します。(初期値)
	1	クロック制御回路と連携動作します。

[bit0] SOSCEX：発振イネーブルビット

VBAT ドメインとして独立動作する場合に、発振回路の動作イネーブルを設定します。
クロック制御回路と連携動作する場合には、本ビットの制御は無効です。

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	発振を開始します。
	1	発振を停止します。(初期値)

7.3 CCS/CCB レジスタ

CCS レジスタは、発振を継続しているときの電流値を設定します。
CCB レジスタは、発振開始時のブースト電流値を設定します。

■ CCS レジスタ

bit	7	6	5	4	3	2	1	0
Field	CCS							
属性	R/W							
初期値	00001000							

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:0] CCS：発振維持電流設定ビット
発振を継続しているときの電流値を設定します。

■ CCB レジスタ

bit	7	6	5	4	3	2	1	0
Field	CCB							
属性	R/W							
初期値	00010000							

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:0] CCB：発振ブースト電流設定ビット
発振開始時のブースト電流値を設定します。

CCS/CCB 共に、ビットと電流値の対応は Table 7-2 になります。

Table 7-2 CCS/CCB 設定値と定電流値の対応

CCS/CCB	電流値(Type)	説明
00000000	(0 nA)	発振させる場合は設定禁止
00000001	未定義	設定禁止
0000001x	未定義	設定禁止
000001xx	385 nA	
00001xxx	445 nA	(CCS 初期値)
0001xxxx	510 nA	(CCB 初期値)
001xxxxx	未定義	設定禁止
01xxxxxx	未定義	設定禁止
1xxxxxxx	未定義	設定禁止

7.4 BOOST レジスタ

BOOST レジスタは、発振ブーストのクロック数を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約						BOOST1	BOOST0
属性	-						R/W	R/W
初期値	-						1	1

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:2] 予約：予約ビット

これらのビットからは"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1:0] BOOST1 / BOOST0：発振ブースト時間設定ビット

発振ブーストのクロック数を設定します。

Table 7-3 発振ブースト時間の設定値

bit1	bit0	発振ブースト時間
1	1	500 ms (初期値)
1	0	250 ms
0	1	125 ms
0	0	62.5 ms

一度発振ブースト時間が経過した後、VBAT 電源(バックアップ電源)で保持している BOOST レジスタ値と異なる値を PWRITE 転送すると、再度発振ブースト動作が開始されます。発振ブースト動作をする必要がない場合は、VBAT 電源(バックアップ電源)で保持している BOOST レジスタ値と同じ値を転送するようにしてください。

7.5 EWKUP レジスタ

EWKUP レジスタは、ウェイクアップ要求の状態表示とクリア操作をします。

bit	7	6	5	4	3	2	1	0
Field	予約							WUP0
属性	-							R/W
初期値	-							0

本レジスタのインタフェース方式は"回路形式 4"です。

[bit7:1] 予約：予約ビット

これらのビットからは"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] WUP0 ：ウェイクアップ要求ビット

bit		説明
読出し時	0	ウェイクアップ要求を受け付けていません。
	1	ウェイクアップ要求を受け付けました。
書込み時	0	ウェイクアップ要求をクリアします。
	1	1 書込みは無効です。

ウェイクアップ要求機能は、ポート機能設定レジスタ(VBPFR)の P49/VWAKEUP 端子のポート機能設定ビット(VPFR1)を 1 に設定した場合に有効になります。
ウェイクアップ要求を有効に設定した場合、P49/VWAKEUP 端子の立上りエッジを検出するとウェイクアップ要求を受け付け、割込み制御回路に RTC 割込みが要求されます。

ウェイクアップ要求は、ウェイクアップ要求クリアの PCLK 7 サイクル後から受け付けます。
VBAT ドメイン内のレジスタをクリアするために PCLK 7 サイクル必要です。
このため、ウェイクアップ要求クリア後、PCLK7 サイクルを待たずに外部リセット入力やスタンバイモードに入れると PCLK が停止するため、ウェイクアップ要求を受け付けられません。

7.6 HIBRST レジスタ

HIBRST レジスタは、ハイバネーションスタートを設定します。

bit	7	6	5	4	3	2	1	0
Field	予約							HIBRST
属性	-							R/W
初期値	-							0

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:1] 予約：予約ビット

これらのビットからは"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] HIBRST ：ハイバネーションスタートビット

bit		説明
読出し時		レジスタの設定値が読み出せます。
書込み時	0	0 が書込めます。ただし、ハイバネーションの動作に影響しません。
	1	ハイバネーションをスタートします。

ハイバネーションスタートは、ポート機能設定レジスタ(VBPFR)の P48/VREGCTL 端子のポート機能設定ビット(VPFR0)を 1 に設定した場合に有効になります。

7.7 VDET レジスタ

VDET レジスタは、パワーオン回路の状態表示とパワーオン信号のクリア操作を行います。

bit	7	6	5	4	3	2	1	0
Field	PON	予約						
属性	R/W	-						
初期値	1	-						

本レジスタのインタフェース方式は"回路形式 4"です。

[bit7] PON：パワーオンビット

パワーオン回路の状態表示と、パワーオン信号のクリア操作を行います。

bit		説明
読出し時	0	パワーオン回路の初期化信号がクリアされています。
	1	パワーオン回路が初期化信号を出力しています。
書込み時	0	パワーオン信号をクリアします。
	1	1 書込みは無効です。

[bit6:0] 予約：予約ビット

これらのビットからは"0b0000000"が読み出せます。
書込みの場合には、"0b0000000"を設定してください。

7.8 ポート機能設定レジスタ(VBPFR)

VBPFR レジスタは、端子の利用方法を選択します。

bit	7	6	5	4	3	2	1	0
Field	予約		SPSR1	SPSR0	VPFR3	VPFR2	VPFR1	VPFR0
属性	-		R/W	R/W	R/W	R/W	R/W	R/W
初期値	-		0	1	1	1	0	0

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:6] 予約：予約ビット

これらのビットからは"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5:4] SPSR1, SPSR0：発振端子の機能設定ビット

bit5	bit4	機能設定
0	0	P46, P47 をデジタル(GPIO)端子として使用します。
0	1	P46, P47 を 32 kHz 発振端子として使用します。(初期値)
1	0	P46, P47 をデジタル(GPIO)端子として使用します。
1	1	P46 を外部クロック入力端子として使用します。 P47 をデジタル(GPIO)端子として使用します。

[bit3] VPFR3： P46/X0A 端子のポート機能設定ビット

[bit2] VPFR2： P47/X1A 端子のポート機能設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子を GPIO 端子として使用します。
	1	当該ビットに対応する端子を周辺機能の入出力端子として使用します。(初期値)

[bit1] VPFR1： P49/VWAKEUP 端子のポート機能設定ビット

[bit0] VPFR0： P48/VREGCTL 端子のポート機能設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子を GPIO 端子として使用します。(初期値)
	1	当該ビットに対応する端子を周辺機能の入出力端子として使用します。

VBPFR[5:2]の設定組み合わせは Table 7-4 VBPFR[5:2] の設定組み合わせのとおりです。

Table 7-4 VBPFR[5:2] の設定組み合わせ

	VBPFR[5]	VBPFR[4]	VBPFR[3]	VBPFR[2]
GPIO	0	0	0	0
32 kHz 発振	0	1	-	-
GPIO	1	0	0	0
P46 外部クロック入力	1	1	1	0

32 kHz 発振回路を使用する場合は、VBPFR[5:4]に 0b01 を設定してください。VBPFR[3:2]によらず、32 kHz 発振回路を使用することができます。

P46/X0A を外部クロックとして使用する場合は、VBPFR[5:2]に 0b1110 を設定し、P46/X0A から外部クロックを入力してください。この時 P47 は GPIO 端子として使用可能です。

7.9 プルアップ設定レジスタ(VBPCR)

VBPCR レジスタは、端子のプルアップを設定します。

bit	7	6	5	4	3	2	1	0
Field	予約				VPCR3	VPCR2	VPCR1	VPCR0
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:4] 予約：予約ビット

これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VPCR3： P46/X0A 端子のプルアップ設定ビット
[bit2] VPCR2： P47/X1A 端子のプルアップ設定ビット
[bit1] VPCR1： P49/VWAKEUP 端子のプルアップ設定ビット
[bit0] VPCR0： P48/VREGCTL 端子のプルアップ設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。(初期値＝0)
書込み時	0	当該ビットに対応する端子のプルアップ抵抗を切断します。
	1	当該ビットに対応する端子が入力状態(GPIO・周辺機能いずれも)の場合にプルアップ抵抗が接続されます。 当該ビットに対応する端子が出力状態の場合プルアップ抵抗は切断されます。

7.10 ポート入出力方向設定レジスタ(VBDDR)

VBDDR レジスタは、端子の入出力方向を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約				VDDR3	VDDR2	VDDR1	VDDR0
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:4] 予約：予約ビット

これらのビットからは"0b0000"が読み出されます。

書込みの場合には、"0b0000"を設定してください。

[bit3] VDDR3： P46/X0A 端子のポート出力方向設定ビット
[bit2] VDDR2： P47/X1A 端子のポート出力方向設定ビット
[bit1] VDDR1： P49/VWAKEUP 端子のポート出力方向設定ビット
[bit0] VDDR0： P48/VREGCTL 端子のポート出力方向設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。(初期値＝0)
書込み時	0	GPIO を入力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。
	1	GPIO を出力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。

7.11 ポート入力データレジスタ(VBDIR)

VBDIR レジスタは、端子の入力データを示します。

bit	7	6	5	4	3	2	1	0
Field	予約				VDIR3	VDIR2	VDIR1	VDIR0
属性	-				R	R	R	R
初期値	-				x	x	x	x

本レジスタのインタフェース方式は"回路形式 4"です。

[bit7:4] 予約：予約ビット

これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VDIR3： P46/X0A 端子のポート入力データビット
[bit2] VDIR2： P47/X1A 端子のポート入力データビット
[bit1] VDIR1： P49/VWAKEUP 端子のポート入力データビット
[bit0] VDIR0： P48/VREGCTL 端子のポート入力データビット

bit		説明
読出し時	0	端子機能の設定(VBPFR[3:0]/VBDDR/VBPDOR)によらず、端子が"L"レベル入力状態または、"L"レベル出力状態であることを示します。 VBPFR[5:4](SPSR1,SPSR0)により、特殊端子が選択されている場合は、入力遮断されているため常に 0 が読み出されます。
	1	端子機能の設定(VBPFR[3:0]/VBDDR/VBPDOR)によらず、端子が"H"レベル入力状態または、"H"レベル出力状態であることを示します。
書込み時		書込みは動作に影響しません。

7.12 ポート出力データレジスタ(VBDOR)

VBDOR レジスタは、端子への出力データを設定します。

bit	7	6	5	4	3	2	1	0
Field	予約				VDOR3	VDOR2	VDOR1	VDOR0
属性	-				R/W	R/W	R/W	R/W
初期値	-				1	1	1	1

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:4] 予約：予約ビット

これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VDOR3： P46/X0A 端子のポート出力データビット
[bit2] VDOR2： P47/X1A 端子のポート出力データビット
[bit1] VDOR1： P49/VWAKEUP 端子のポート出力データビット
[bit0] VDOR0： P48/VREGCTL 端子のポート出力データビット

bit		説明
読出し時		レジスタの値を読み出します。(初期値＝1)
書込み時	0	GPIO に"L"レベルを出力します。 端子が I/O 入力，周辺機能の入出力端子として選択されている場合、 設定値は無効です。
	1	GPIO に"H"レベルを出力します。 端子が I/O 入力，周辺機能の入出力端子として選択されている場合、 設定値は無効です。

7.13 ポート擬似オープンドレイン設定レジスタ(VBPZR)

VBPZR レジスタは、端子のポート疑似オープンドレインを設定します。

bit	7	6	5	4	3	2	1	0
Field	予約						VPZR1	VPZR0
属性	-						R/W	R/W
初期値	-						1	1

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:2] 予約：予約ビット

これらのビットからは"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] VPZR1： P49/VWAKEUP 端子のポート擬似オープンドレイン設定ビット
[bit0] VPZR0： P48/VREGCTL 端子のポート擬似オープンドレイン設定ビット

bit		説明
読出し時		レジスタの設定値を読み出します。(初期値＝1)
書込み時	0	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を High レベルにします。
	1	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を Hi-Z にします。プルアップ抵抗を PCR の設定によらず、切断します。

8. 使用上の注意

バックアップ電源を使用する際は、次の点を注意してください。

- 一次電池の充電や、二次電池の過充電は液漏れや発火の危険があります。
  お使いの電池の特性をご確認の上で電池回りの回路構成を決めてください。
- ハイバネーション制御機能は、オンボードレギュレータにスタンバイ端子がない場合には使用できません。ハイバネーション制御を行う場合にはスタンバイ端子があるレギュレータを選択ください。

CHAPTER 7-3: VBAT ドメイン(B)

VBAT パワードメイン(B)の機能と動作について示します。

1. VBAT ドメインの概要
2. VBAT ドメインの構成
3. チップの電源制御
4. ハイバネーション制御
5. 32 kHz クロックの設定手順
6. VBAT I/O ポートの設定手順
7. レジスター覧
8. 使用上の注意

1. VBAT ドメインの概要

VBAT 電源端子「RTC(カレンダ回路)／32 kHz 発振回路に独立した電源を供給する端子」を使用して、RTC 動作時の消費電力を低減できます。

電源ドメイン構成

FM4 ファミリは、以下の 3 種類の電源ドメインから構成されます。

■ CPU ドメイン

本ドメインには以下の回路があります。

- CPU
- オンチップフラッシュメモリ
- オンチップ SRAM*
- 周辺機能

本ドメインは VCC 電源端子から電源を供給され、ディープスタンバイ RTC モード, ディープスタンバイストップモードで電源がオフになります。

*: SRAM0～SRAM2 があり、SRAM2 はデータ保持する設定ができます。

■ Always ON ドメイン

本ドメインには以下の回路があります。

- オンチップレギュレータ
- パワー制御回路
- ポート回路
- メイン発振回路 ＋I/O ポート
- RTC (制御部、タイマ)

本ドメインは VCC 電源端子から常時電源を供給されます。
VCC 電源端子にはシステム電源(オンボードレギュレータ)から電力が供給されます。

■ VBAT ドメイン

本ドメインには以下の回路があります。

- RTC (カレンダ)
- 32kHz 発振回路
- パワーオン回路
- バックアップレジスタ
- ポート回路

本ドメインは VBAT 電源端子から常時電源を供給されます。
VBAT 電源端子には、バックアップ電源(電池など)やシステム電源から電力が供給されます。

オンチップパワーゲーティング

FM4 ファミリをディープスタンバイ RTC モード, ディープスタンバイストップモードにすると、内蔵しているパワースイッチの機能で CPU ドメインの電源をオフにします。
Always ON ドメインは、ディープスタンバイ RTC モード, ディープスタンバイストップモードでも電源オン状態を維持します。

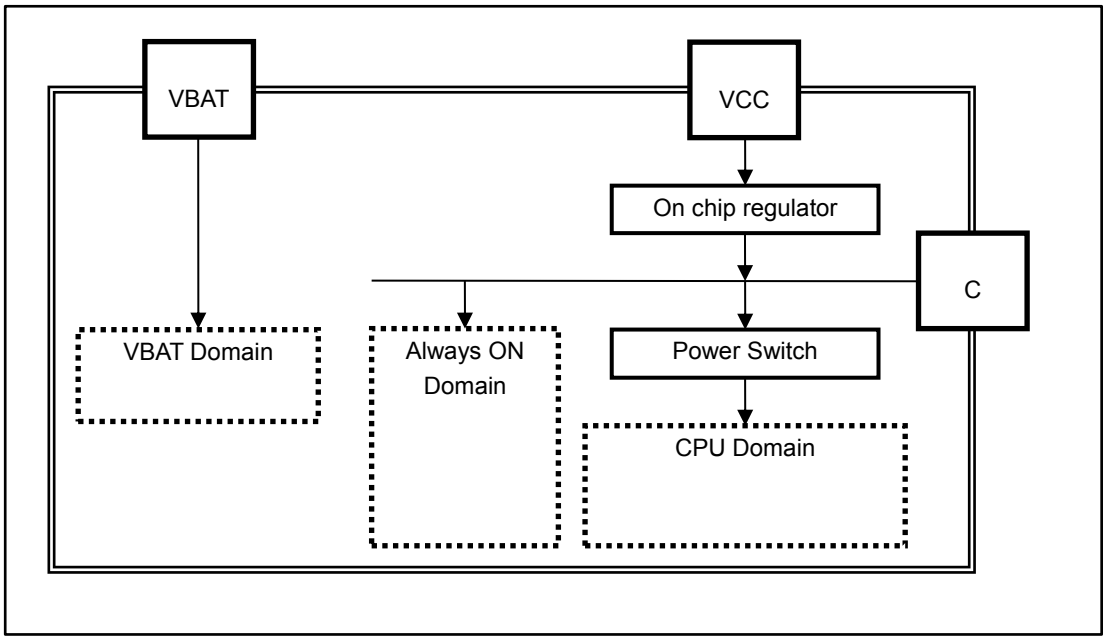
ディープスタンバイ RTC モード, ディープスタンバイストップモードについては『低消費電力モード』の章を参照してください。

オフチップパワーゲーティング

FM4 ファミリの VCC 端子に供給するシステム電源をオフにすると CPU ドメインと Always ON ドメインの電源がオフになります。
この時、バックアップ電源からの電源供給で VBAT ドメインの電源オン状態を維持できます。

RTC に設定したアラーム時刻か外部端子からの入力信号でシステム電源を供給するオンボードレギュレータのオン/オフを制御できます。

Figure 1-1 FM4 ファミリの電源構成図



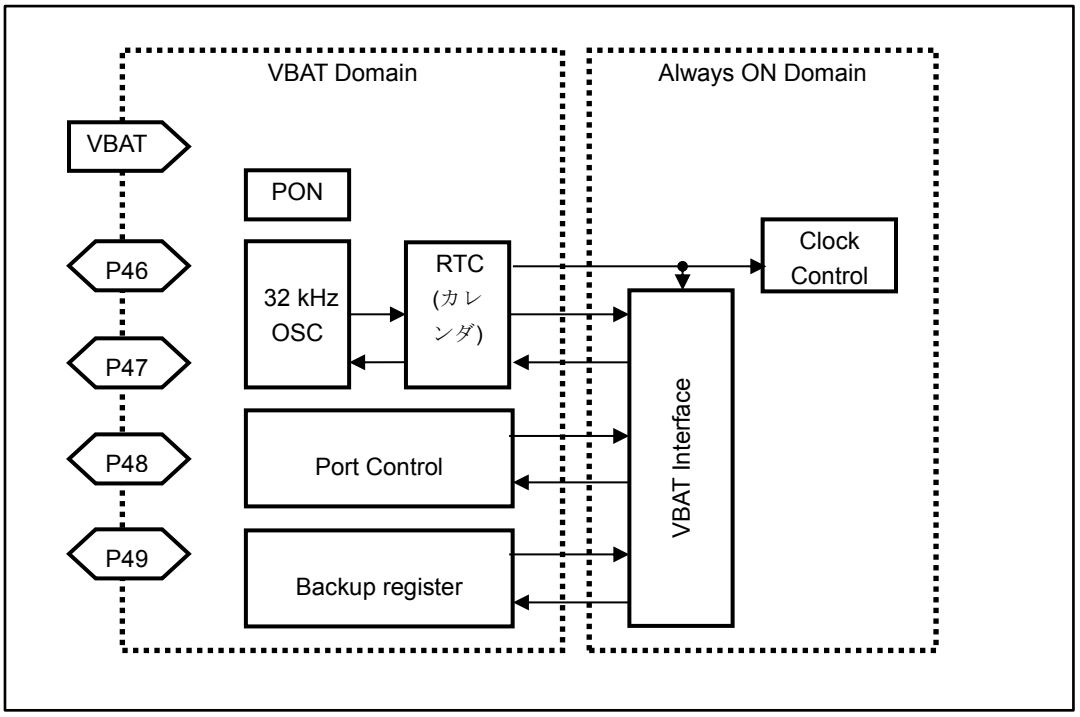
2. VBAT ドメインの構成

VBAT ドメインの内部構成について説明します。

VBAT ドメインの内部構成

VBAT ドメインの内部構成, Always ON ドメインとの接続を Figure 2-1 に示します。

Figure 2-1 VBAT ドメインの内部構成、Always ON ドメインとの接続図



■ RTC (カレンダ)

周波数補償機能付きのカレンダ回路です。タイマ機能は含みません。

■ 32 kHz 発振回路 (32K OSC)

時計用の水晶振動子(32768 Hz)を接続できる発振回路です。

■ パワーオン回路 (PON)

VBAT ドメインのパワーオンを検出し、回路初期化信号を生成します。

■ バックアップレジスタ (Backup register)

32 バイトのレジスタで、VBAT 端子の電源が供給されている間データを保持します。

■ VBAT I/O ポート (P46-P49, Port Control)

VBAT 端子からの電源で駆動される入出力ポートです。

ポートの制御回路が P46-P49 以外の I/O ポートとは独立しています。

2.1 Always ON ドメインとのインタフェース

VBAT ドメインと Always ON ドメインのインタフェース方法について説明します。

2.1.1 インタフェースの概要

VBAT ドメインは、動作電流を抑制するため 32 kHz や PCLK の分周クロックで駆動されます。

そのため、内部バスに VBAT ドメインに属するレジスタを直結すると、そのレジスタをアクセスした際に、CPU などのバスマスタが Wait で待たされます。

FM4 ファミリでは以下の 2 つの対策を行い、アクセスが Wait で待たされることを防止しています。

- Always ON ドメインの中にバッファを設け、内部バスのアクセスはバッファに対して行う。
- Always ON ドメインのバッファと VBAT ドメインのレジスタとの間でデータ転送を行う。

Always ON ドメインのバッファと VBAT ドメインのレジスタとの間のデータ転送動作を、FM4 ファミリのドキュメントでは以下のようによびます。

- リコール: VBAT ドメインのレジスタから Always ON ドメインのバッファへの転送
- セーブ: Always ON ドメインのバッファから VBAT ドメインのレジスタへの転送

バッファに書き込まれたデータは、VCC 電源がオフの期間には消えるため、VCC 電源がオンの間に VBAT ドメインのレジスタに保存してください。

また、VCC 電源が立ち上がった直後や Always ON ドメインにリセットが発生した場合、バッファの値は Always ON ドメイン系のリセット信号で初期化されています。

バッファから値を読み出す前にリコール動作を行い、VBAT 電源(バックアップ電源)で保持していたレジスタの値をバッファに読み出してください。

RTC のカレンダ部分のバッファのデータは自動的には更新されません。
バッファから時刻データを読み出す前に、リコール動作でレジスタの時刻データをバッファに読み出してください。

2.1.2 インタフェース回路の形式一覧

インタフェース回路の形式は、Table 2-1 の 4 種類あります。

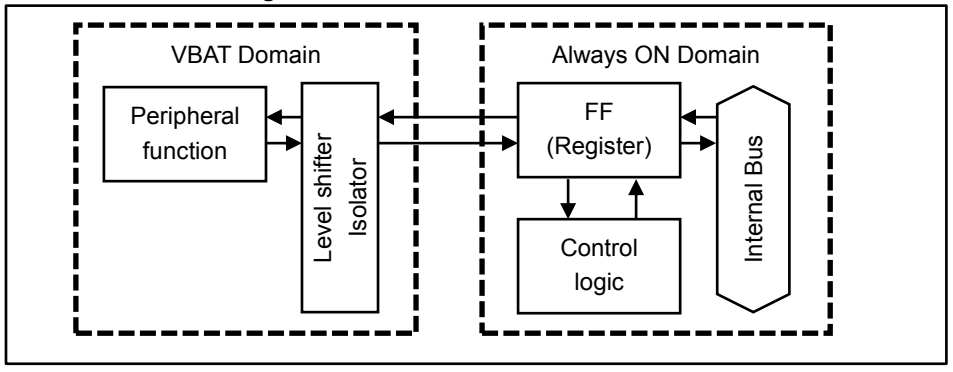
Table 2-1 インタフェース回路形式一覧

回路形式	Always ON ドメイン	VBAT ドメイン	転送クロック	対応図
形式 1	FF あり	FF なし	—	Figure 2-2
形式 2	FF あり	FF あり	32 kHz	Figure 2-3
形式 3	FF あり	FF あり	PCLK2(分周)	Figure 2-4
形式 4	FF なし	FF あり	—	Figure 2-5 形式 4 のインタフェース回路構成

Always ON ドメインから VBAT ドメインへの信号は、Always ON ドメインのパワーオフ時は Level shifter, Isolator の機能で VSS にクリップされます。
本機能により Always ON ドメインがパワーオフしている期間も RTC のカレンダ, アラームの動作継続, VBAT I/O ポートの端子状態保持, バックアップレジスタのデータ保持ができます。

回路形式 1

Figure 2-2 形式 1 のインタフェース回路構成



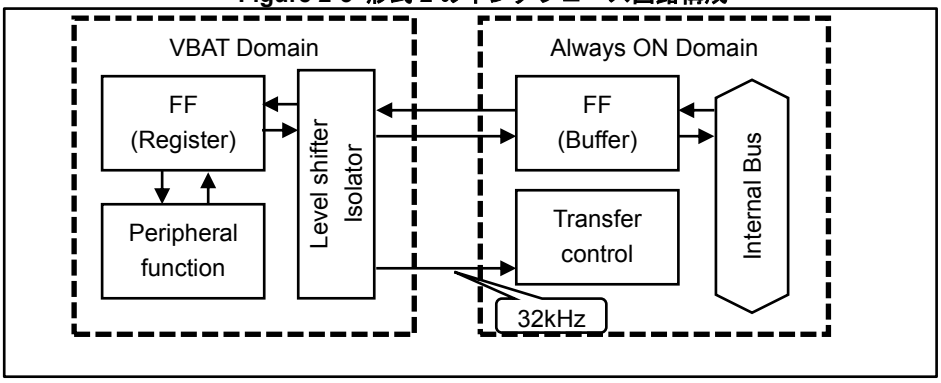
VCC オフの期間は、レジスタが値を保持する必要がない場合にこの回路形式を使っています。

Table 2-2 形式 1 のレジスタの動作

	レジスタの動作
レジスタ初期化	Always ON ドメインのリセット信号で初期化
バス・リード	制御回路(Always ON ドメイン)および周辺回路(VBAT ドメイン)の状態が直接読み出せます。
バス・ライト	制御回路(Always ON ドメイン)および周辺回路(VBAT ドメイン)の動作に直接影響します。

回路形式 2

Figure 2-3 形式 2 のインタフェース回路構成



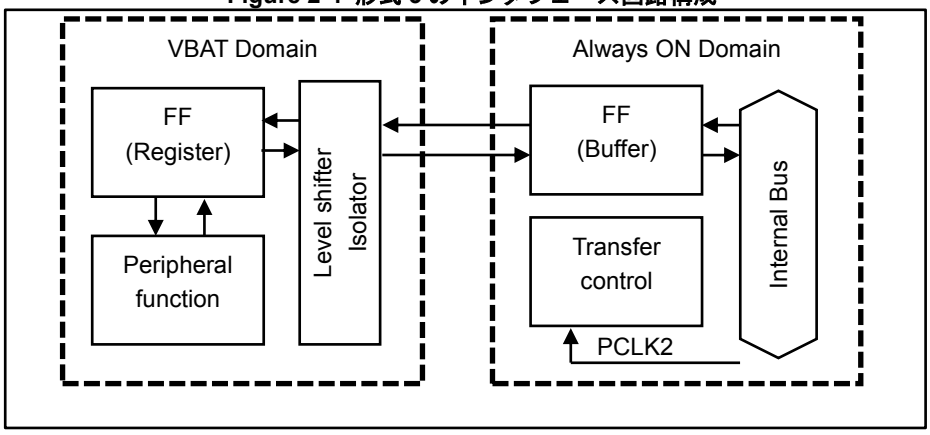
VCC オフの期間もレジスタが値を保持する必要がある場合にこの回路形式を使います。

Table 2-3 形式 2 のレジスタの動作

	レジスタ / バッファの動作
レジスタ初期化	VBAT ドメインのパワーオン信号で初期化
バッファ初期化	Always ON ドメインのリセット信号で初期化 リセット要因は『RTC カウント部』の章を参照してください
バス・リード	バッファの値がバスに読み出される。
バス・ライト	バスの値がバッファに書き込まれる。
リコール動作	レジスタの値がバッファに書き込まれる。
セーブ動作	バッファの値がレジスタに書き込まれる。

回路形式 3

Figure 2-4 形式 3 のインタフェース回路構成



VCC オフの期間もレジスタが値を保持する必要がある場合にこの回路形式を使います。

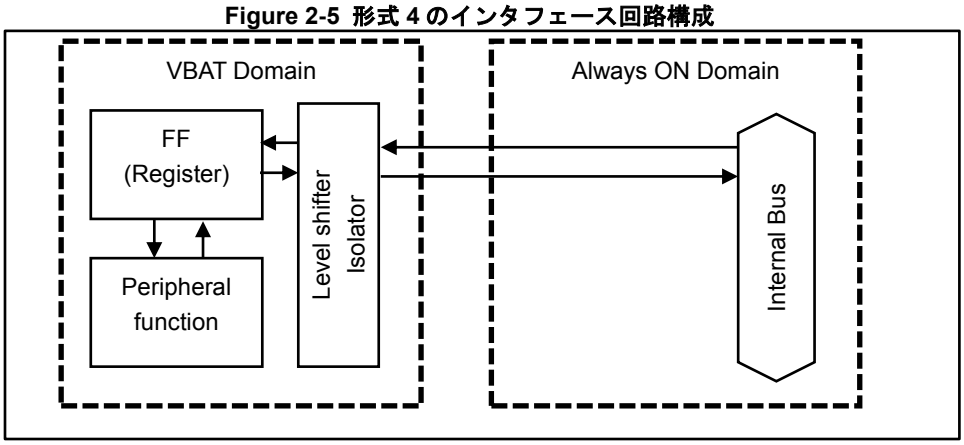
Table 2-4 形式 3 のレジスタの動作

	レジスタ / バッファの動作
レジスタ初期化	VBAT ドメインのパワーオン信号で初期化
バッファ初期化	Always ON ドメインのリセット信号で初期化 RTC リセットで初期化
バス・リード	バッファの値がバスに読み出される。
バス・ライト	バスの値がバッファに書き込まれる。
リコール動作	レジスタの値がバッファに書き込まれる。
セーブ動作	バッファの値がレジスタに書き込まれる。

回路形式 2 との相違は、リコール動作 / セーブ動作のクロックです。

回路形式 4

Figure 2-5 形式 4 のインタフェース回路構成



VCC オフの期間もレジスタが値を保持する必要がある場合にこの回路形式を使います。

Table 2-5 形式 4 のレジスタの動作

	レジスタ / バッファの動作
レジスタ初期化	VBAT ドメインのパワーオン信号で初期化
バス・リード	レジスタの値がバスに読み出される。
バス・ライト	VBAT ドメインの動作に直接影響します。

回路形式 4 はリコール動作 / セーブ動作が不要な回路形式です。

2.1.3 インタフェース回路が接続する回路

VBAT パワードメインに含まれる回路は、RTC(カレンダ), VBAT ポート, バックアップレジスタに大別されます。
そして、それぞれの回路ごとに含まれるバッファ/レジスタを一括してセーブ/リコール動作します。
(以下の説明の WTCR20 の機能の詳細は『タイマ編』の『RTC カウント部』の章の「7.5 制御レジスタ (WTCR20)」を参照してください。)

CREAD/CWRITE

RTC 回路に含まれる、Table 2-6 のレジスタを一括してセーブ/リコール動作を行います。

Table 2-6 CWRITE/CREAD で転送されるレジスター覧

No.	レジスタ名	参照先	No.	レジスタ名	参照先
1	WTSR	[RTCCAL]	2	WTMIR	[RTCCAL]
3	WTHR	[RTCCAL]	4	WTDR	[RTCCAL]
5	WTDW	[RTCCAL]	6	WTMOR	[RTCCAL]
7	WTYR	[RTCCAL]	8	ALMIR	[RTCCAL]
9	ALHR	[RTCCAL]	10	ALDR	[RTCCAL]
11	ALMOR	[RTCCAL]	12	ALYR	[RTCCAL]
13	Reserve	—	14	WTCR11	[RTCCAL]
15	WTCR10 (bit0 のみ)	[RTCCAL]			

各レジスタの機能は[RTCCAL]⇒『タイマ編』の『RTC カウント部』の章の RTC カウント部を参照してください。

RTC のレジスタの No.1～No.14 のインタフェース回路形式は、"回路形式 2"です。

No.15 WTCR10 レジスタは bit ごとに形式が異なり、bit0:ST は”回路形式 2”、bit2:RUN は”回路形式 4”になります。それ以外の bit は VBAT ドメインからの信号には影響しない通常のレジスタビットになります。

セーブ動作は制御レジスタ 20(WTCR20)の RTC 設定値セーブ動作制御ビット(CWRITE)に 1 ライトすると起動され、”CWRITE 動作”と呼びます。

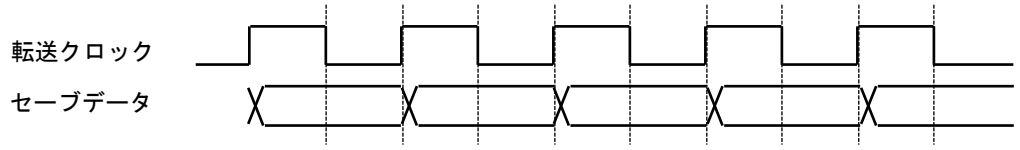
リコール動作は制御レジスタ 20(WTCR20)の RTC 設定値リコール動作制御ビット(CREAD)に 1 ライトすると起動され、"CREAD 動作"と呼びます。

転送クロックは、サブクロックを使用します。
1 転送クロックで 1 バイトのデータを転送します。
1 回の CREAD/CWRITE で、Table 2-6 のレジスタを No.1 から順番に No.15 まで転送します。

RTC のレジスタは 15 バイトのためデータ転送は 15 転送クロックで終了します。

セーブ動作、リコール動作は注意事項があるため、『タイマ編』の『RTC カウント部』の章の「3. RTC カウント部の動作説明と設定手順例」の注意事項を参照してください。

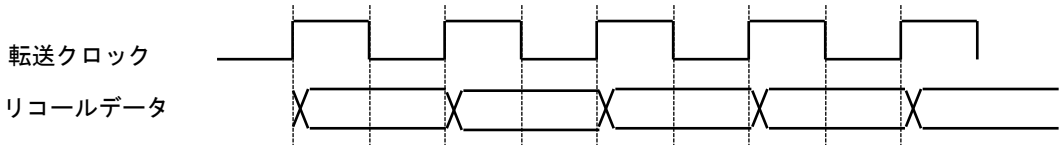
＊CWRITE 動作波形



セーブデータは、転送クロックの立上りでバッファから出力され、転送クロックの立下りでレジスタに書き込まれます。

転送開始の前処理に、3 転送クロック、転送終了の後処理に 2 転送クロック必要です。

＊CREAD 動作波形



リコールデータは、転送クロックの立上りでレジスタから出力され、最後のレジスタ転送が完了したところで、バッファに反映されます。

転送開始の前処理に、3 転送クロック、転送終了の後処理に 2 転送クロック必要です。

PWRITE/PREAD

VBAT ポート回路に含まれる、Table 2-7 PWRITE/PREAD で転送されるレジスター一覧のレジスタを一括してセーブ/リコール動作を行います。

Table 2-7 PWRITE/PREAD で転送されるレジスター一覧

No.	レジスタ名	参照先	No.	レジスタ名	参照先
1	WTCAL0	[RTCCLK]	2	WTCAL1	[RTCCLK]
3	WTCALPRD	[RTCCLK]	4	WTCALEN	[RTCCLK]
5	WTCOSEL	[RTCCLK]	6	CCS	2.3. 32 kHz 発振回路
7	Reserve	—	8	WTOSCCNT	2.3. 32 kHz 発振回路
9	VBPFR	2.6. VBAT I/O ポート	10	VBPCR	2.6. VBAT I/O ポート
11	VBDDR	2.6. VBAT I/O ポート	12	VBPZR	2.6. VBAT I/O ポート
13	VBDOR	2.6. VBAT I/O ポート			

各レジスタの機能は[RTCCLK]　⇒『タイマ編』の『RTC クロック制御部』の章、
「2.6. VBAT I/O ポート」と「2.3. 32 kHz 発振回路」を参照してください。

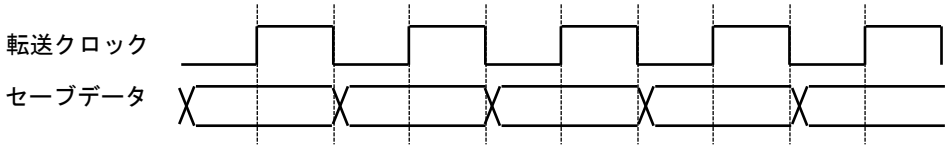
VBAT ポート回路のインタフェース回路形式は、レジスタ No.1～No.13 が"回路形式 3"です。

セーブ動作は制御レジスタ 20(WTCR20)の VBAT PORT セーブ動作制御ビット(PWRITE)に 1 ライトすると起動され、"PWRITE 動作"と呼びます。
リコール動作は制御レジスタ 20(WTCR20)の VBAT PORT リコール動作制御ビット(PREAD)に 1 ライトすると起動され、"PREAD 動作"と呼びます。

転送クロックは、PCLK2 を VB_CLKDIV レジスタに設定した値で分周して作成します。
1 転送クロックで 1 バイトのデータを転送します。
1 回の PREAD/PWRITE で、Table 2-7 のレジスタを No.1 から順番に No.13 まで転送します。

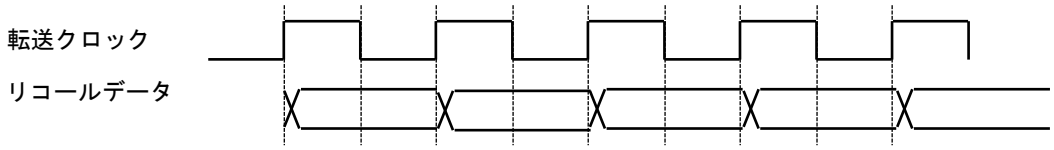
VBAT ポート回路のレジスタは 13 バイトのためデータ転送は 13 転送クロックで終了します。

＊PWRITE 動作波形



セーブデータは、転送クロックの立下りでバッファから出力され、転送クロックの立上りでレジスタに書き込まれます。
転送開始の前処理に、1 転送クロック必要です。

＊PREAD 動作波形



リコールデータは、転送クロックの立上りでレジスタから出力され、転送クロックの立下りでバッファに読み込まれます。
転送開始の前処理に、1 転送クロック、転送終了の後処理に 1 転送クロック必要です。

BWRITE/BREAD

バックアップレジスタは、BREG00 から BREG1F の 32 バイトです。

バックアップレジスタの機能は「2.5. バックアップレジスタ」で説明します。

バックアップレジスタのインタフェース回路形式は"回路形式 3"です。

セーブ動作は制御レジスタ 20(WTCR20)のバックアップレジスタセーブ動作制御ビット(BWRITE)に 1 ライトすると起動され、"BWRITE 動作"とよびます。

リコール動作は制御レジスタ 20(WTCR20)のバックアップレジスタリコール動作制御ビット(BREAD)に 1 ライトすると起動され、"BREAD 動作"とよびます。

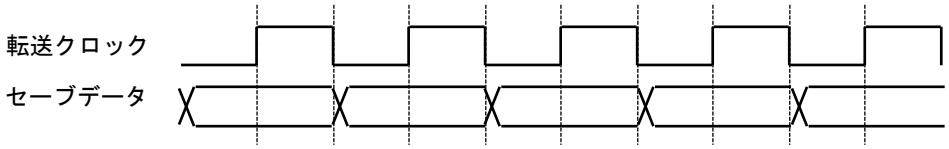
転送クロックは、PCLK2 を VB_CLKDIV レジスタに設定した値で分周して作成します。

1 転送クロックで 1 バイトのデータを転送します。
1 回の BREAD/BWRITE で、BREG00 から BREG1F のレジスタを順番に転送します。

転送は BREG00 から開始され、転送クロックごとに転送先/転送元がインクリメントされます。

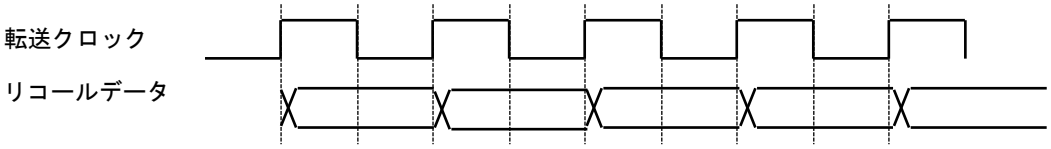
FM4 ファミリのバックアップレジスタ容量は 32 バイトのため、データ転送は 32 転送クロックで終了します。

＊BWRITE 動作波形



セーブデータは、転送クロックの立下りでバッファから出力され、転送クロックの立上りでレジスタに書き込まれます。
転送開始の前処理に、1 転送クロック必要です。

＊BREAD 動作波形



リコールデータは、転送クロックの立上りでレジスタから出力され、転送クロックの立下りでバッファに読み込まれます。
転送開始の前処理に、1 転送クロック、転送終了の後処理に 1 転送クロック必要です。

転送の組み合わせ可否

リコール/セーブ動作は、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 である事を確認して起動しますが、下表の○印の組み合わせは、例外的に可能です。

	CREAD	CWRITE	PREAD	PWRITE	BREAD	BWRITE
CREAD		×	×	×	○	○
CWRITE	×		×	×	○	○
PREAD	×	×		×	○	○
PWRITE	×	×	×		○	○
BREAD	○	○	○	○		×
BWRITE	○	○	○	○	×	

○: 転送の組み合わせは同時実行できます。
×: 転送の組み合わせは同時実行できません。

説明上の注意

FM4 ファミリのペリフェラルマニュアルで、インタフェース形式が"回路形式 2"、"回路形式 3"のレジスタに対するリード, ライトと説明されている場合、以下に読み替えてください。

レジスタの読出し＝リコール動作してからバッファを読み出す。

レジスタへの書込み＝リコール動作してバッファを全面更新後、
該当部分のバッファを書き換えてからセーブ動作する。

使用上の注意

- セーブ動作中, リコール動作中はバッファのアクセスは禁止です。
  正しいデータをセーブしたか、正しいデータをリードしたか判別できません。
- PCLK2 を分周して作成する PREAD/PWRITE、BREAD/BWRITE の転送クロックが 1MHz 以下になるように VB_CLKDIV に値を設定してください。

2.2 RTC

FM4 ファミリの RTC は 32kHz の周波数補償機能付きカレンダ回路です。

RTC の機能概要

RTC は以下の機能があります。

- 時計機能
- アラーム機能
- タイマ機能 (Always on ドメイン)
- 周波数補償機能

RTC の構成

RTC の機能については『タイマ編』の『RTC カウント部』および『RTC クロック制御部』の章を参照してください。

2.3 32 kHz 発振回路

32 kHz 発振回路は時計用水晶振動子専用の発振回路で、サブクロックを作成します。

2.3.1 32 kHz 発振回路の機能概要

32 kHz 発振回路は以下の機能があります。

- 発振電流切換え機能 (Always on ドメイン)
- 発振ブースト機能 (Always on ドメイン)
- クロック生成部との連携機能

発振電流切り替え機能

32 kHz 発振回路の増幅回路は定電流源で駆動されます。
定電流源の電流値は CCS レジスタに設定する値で制御できます。

発振ブースト機能

時計用の水晶振動子の場合、発振周波数が安定するまでの時間が長くかかります。
発振開始設定後の一定時間のみ増幅回路に供給する電流を増加させることで、発振安定時間を短縮できることがあります。

定電流源が供給する電流は、発振開始設定から BOOST レジスタに設定したクロックの間だけ CCB に設定した電流値で、その後 CCS レジスタに設定した電流値に切り換わります。
CCB レジスタに CCS レジスタより大きい電流値を設定すると発振ブースト機能が有効になります。
発振ブースト機能を使用しない場合には CCB レジスタに CCS レジスタと同じ値を設定してください。

クロック制御部との連携機能

CPU ドメインに属するクロック生成部と 32 kHz 発振回路の連携動作の有効/無効を WTOSCCNT レジスタの連携制御ビット(SOSCNTL)で設定できます。
有効に設定した場合には、ストップモード, ディープスタンバイストップモードに遷移した場合に 32kHz の発振が停止します。
無効に設定した場合には、マイコンの動作モードに依存せず 32kHz の発振が継続します。

<注意事項>

- *VBAT ドメインの 32 kHz 発振回路には発振安定待ち機能, クロック故障検出機能はありません。クロック連携機能を有効にして CPU ドメインの中のクロック故障検出機能をお使いください。*
- *増幅回路に流す適切な電流値は接続する振動子の特性(ESR)や負荷容量(CL)によって異なります。水晶振動子とのマッチング評価を行って適切な電流値を選択してください。*
- *VCC 電源とは別に VBAT 用のバックアップ電源を用意して RTC を使用する場合には、クロック制御部との連携機能を無効に設定してください。*
- *32 kHz の発振を開始した後は、CCB, CCS レジスタを更新しないでください。*

2.3.2 32 kHz 発振回路の使用方法

「5. 32 kHz クロックの設定手順」に各種の設定手順を記載しますので参照してください。

2.3.3 32 kHz 発振回路で使用するレジスタの説明

■ TYPE1-M4, TYPE2-M4, TYPE3-M4 製品

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	予約	予約	予約	VB_CLKDIV	0x00000007	R/W
	予約	予約	予約	WTOSCCNT	0x00000001	R/W
	予約	予約	予約	CCS	0x00000008	R/W
	予約	予約	予約	CCB	0x00000010	R/W
	予約	予約	予約	BOOST	0x00000003	R/W
	予約	予約	予約	EWKUP	0x00000000	R/W
	予約	予約	予約	VDET	0x00000080	R/W
	予約	予約	予約	HIBRST	0x00000000	R/W

■ TYPE4-M4 製品

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	予約	予約	予約	VB_CLKDIV	0x00000007	R/W
	予約	予約	予約	WTOSCCNT	0x00000001	R/W
	予約	予約	予約	CCS	0x000000CE	R/W
	予約	予約	予約	CCB	0x000000CE	R/W
	予約	予約	予約	BOOST	0x00000003	R/W
	予約	予約	予約	EWKUP	0x00000000	R/W
	予約	予約	予約	VDET	0x00000080	R/W
	予約	予約	予約	HIBRST	0x00000000	R/W

これらのレジスタのインタフェース回路形式は"回路形式 1"と"回路形式 3"と”回路形式 4”です。
セーブ/リコール動作は、PWRITE/PREAD です。

2.4 パワーオン回路

FM4 ファミリには、VBAT ドメインの電源投入を検出する VCC 電源端子とは独立したパワーオン回路があります。

パワーオン回路の機能概要

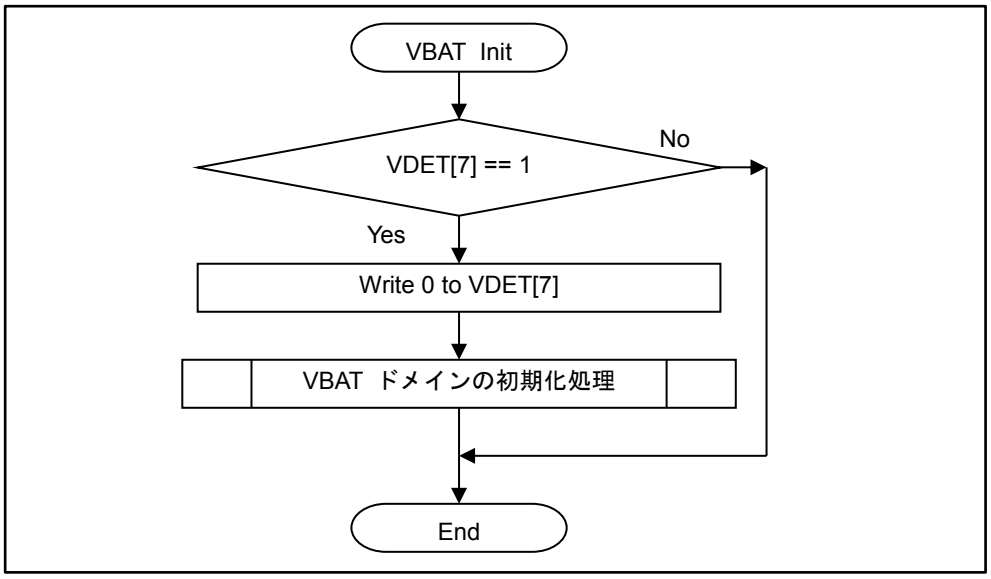
VBAT ドメイン用のパワーオン回路は以下の機能があります。

VBAT 電源端子の立上り検出機能

- パワーオン回路がパワーオン信号を出している間は、VDET レジスタのパワーオンビット(PON)から 1 が読み出せます。
- パワーオン信号は、VDET レジスタのパワーオンビット(PON)に 0 を書き込むまでアサートされ続けます。
- パワーオン信号と VDET レジスタのパワーオンビット(PON)の値は、VCC 電源がオン・オフしても影響を受けません。

以下のフローで VBAT ドメインに属する回路を初期化すると、VCC 立上りで周辺機能を初期化する際に、既に動作している VBAT ドメインの初期化をスキップし、RTC 回路の動作を継続できます。

Figure 2-6 VBAT パワードメインのパワーオン判定および初期化のフロー



<注意事項>

- *VBAT ドメイン用のパワーオン回路には、VBAT 電源端子の電圧低下検出機能はありません。(FM4 ファミリには VBAT 電源の電圧低下検出回路を搭載していません。)*
- *パワーオン信号がアサートされている間、VBAT ドメイン(RTC, 32 kHz 発振回路, VBAT I/O 回路, バックアップレジスタ)のレジスタは初期値に固定されます。*
  これらの回路の設定を行う前に、VDET レジスタのパワーオンビット(PON) に 0 を書き込んでパワーオン信号をクリアする必要があります。

2.5 バックアップレジスタ

FM4 ファミリには、VBAT 電源でデータを保持する 32 バイトのバックアップレジスタがあります。

バックアップレジスタの機能概要

バックアップレジスタは VBAT 電源端子に電力が供給されている間、書き込まれた値を保持します。
VBAT 電源が立ち上がった直後は、パワーオン回路によってリセットされます。
VBAT 電源の投入は VDET レジスタのパワーオンビット(PON)の値で識別できるため、必要に応じて、プログラムでバックアップレジスタの内容を初期化してください。

バックアップレジスタの構成とアクセス方法

バックアップレジスタのインタフェース回路形式は、"回路形式 3"です。

詳細は「2.1. Always ON ドメインとのインタフェース」を参照ください。

バッファレジスタとデータ保持レジスタの間のデータ転送は、全領域一括転送です。
以下の手順でデータの更新を行ってください。

1. VB_CLKDIV レジスタに、転送クロックが 1MHz 以下になるように値を設定する。

2. データ保持レジスタからバッファレジスタにデータをリコール(BREAD)する。
   制御レジスタ 20(WTCR20)のバックアップレジスタリコール動作制御ビット(BREAD)に 1 ライトするとリコール動作がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。リコール動作(BREAD)が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

3. バッファレジスタの内容を書き換える。
   バッファレジスタはランダムリードライト可能です。

4. バッファレジスタからデータ保持レジスタにデータをセーブ(BWRITE)する。
   制御レジスタ 20(WTCR20)のバックアップレジスタセーブ動作制御ビット(BWRITE)に 1 ライトするとセーブ動作(BWRITE)がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。セーブ動作(BWRITE)が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

*: Always ON ドメインの電源がオフになるとバッファレジスタの内容が失われます。
保持するデータは、必ずセーブ動作(BWRITE)でデータ保持レジスタに転送してください。

*: データ転送中(WTCR10[7] = 1)は、バッファレジスタへのアクセスは禁止です。

*: 転送中に Always ON ドメインのリセット発生した場合、VCC 電源オフの場合にはデータ保持レジスタの内容は保証できません。

バックアップレジスタの説明

■ バックアップレジスタ一覧

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	BREG03	BREG02	BREG01	BREG00	0x00000000	R/W
	BREG07	BREG06	BREG05	BREG04	0x00000000	R/W
	BREG0B	BREG0A	BREG09	BREG08	0x00000000	R/W
	BREG0F	BREG0E	BREG0D	BREG0C	0x00000000	R/W
	BREG13	BREG12	BREG11	BREG10	0x00000000	R/W
	BREG17	BREG16	BREG15	BREG14	0x00000000	R/W
	BREG1B	BREG1A	BREG19	BREG18	0x00000000	R/W
	BREG1F	BREG1E	BREG1D	BREG1C	0x00000000	R/W

バックアップレジスタのインタフェース回路形式は"回路形式 3"です。

セーブ/リコール動作は、BWRITE/BREAD です。

VBAT 端子の電源でデータを保持する、バックアップレジスタです。

バイト, ハーフワード, ワードでアクセスできます。

2.6 VBAT I/O ポート

FM4 ファミリには VBAT ドメインに属する I/O ポートが 4 本あります。これらの I/O ポート(VBAT I/O ポート)は VBAT ドメインの中のポート制御回路(VBAT ポート制御回路)で制御され、VCC 電源端子がオフの場合でも動作を継続します。VBAT ポート制御回路は『I/O ポート』の章に記載されているポート制御回路とは独立しており、レジスタのアドレスも別領域にマッピングされます。

VBAT I/O ポートの機能概要

VBAT I/O ポートは、VBAT 電源がオンの場合、VCC 電源端子がオフの場合も動作を継続できます。
VBAT I/O ポートにはリロケート機能はありません。

VBAT I/O ポートの構成

VBAT ポート制御回路の各レジスタの設定により、入出力方向選択, GPIO/周辺選択を行います。
VBAT I/O ポートの構成は『I/O ポート』の章の Figure 2-1 を参照してください。(同様機能のレジスタは、レジスタ名を読み替えてください。)

Table 2-8 にレジスター一覧および機能説明をします。

Table 2-8 レジスター一覧および機能説明

レジスタ名	機能説明
VBPFR[5:4]	VBAT I/O ポートを特殊端子(発振)として使用するか、デジタル入出力端子として使用するかを設定するレジスタです。
VBPFR[3:0]	VBAT I/O ポートを GPIO 機能の入出力端子として使用するか、周辺機能の入出力端子として使用するかを設定するレジスタです。
VBPCR[3:0]	VBAT I/O ポートをデジタル入力端子, デジタル双方向端子として使用する場合に、VBAT I/O ポートのプルアップ抵抗を接続するか、切断するかを設定するレジスタです。
VBDDR[3:0]	VBAT I/O ポートを GPIO 機能端子として使用する場合、入力端子で使用するか、出力端子で使用するかを設定するレジスタです。 (注意事項) 端子が周辺機能の入出力端子として選択されている場合、設定値は無効です。
VBDIR[3:0]	VBAT I/O ポートのレベル状態を読み出すレジスタです。 - VBAT I/O ポートをデジタル入力端子として使用する場合、入力レベルを読み出します。 - VBAT I/O ポートをデジタル出力端子として使用する場合、出力レベルを読み出します。 - VBAT I/O ポートを特殊端子として使用する場合、常に"0"を読み出します。
VBDOR[3:0]	VBAT I/O ポートを GPIO 機能の出力端子として使用する場合に、出力レベルを設定するレジスタです。 - "0"設定時、Low レベルを出力します。 - "1"設定時、High レベルを出力します。 (注意事項) 端子が GPIO 入力、周辺機能の入出力端子として選択されている場合、設定値は無効です。
VBPZR[1:0]	VBAT I/O ポートのオープンドレイン制御を設定するレジスタです。 - VBAT I/O ポートが Low レベル出力時、I/O ポートを Low 出力にします。 (PCR の設定値によらず、プルアップ切断します) - VBAT I/O ポートが High レベル出力時、I/O ポートを Hi-Z 化し、擬似的にオープンドレイン制御します。(PCR の設定値によらず、プルアップ切断します) - VBAT I/O ポートが入力時、I/O ポートを Hi-Z 化し、入力方向にします。 (PCR の設定値によらず、プルアップ切断します)

VBDIR のインタフェースは"回路形式 4"で、残りのレジスタのインタフェースは"回路形式 3"です。
セーブ/リコール動作は、PWRITE/PREAD です。(回路形式 3 のレジスタ)

<注意事項>

- *CPU ドメインの I/O ポート用制御レジスタ(PFR4[6:9], PCR4[6:9], DDR4[6:9], DIR4[6:9], DOR4[6:9], PZR4[6:9])の設定は、VBAT I/O ポートの動作には影響しません。*

VBAT I/O ポートの初期設定

Table 2-9 に VBAT IO ポートの初期状態を示します。

Table 2-9 VBAT IO ポートの初期状態

No.	端子	初期選択機能
1	P46/X0A	発振端子として使用可能です。(発振は停止しています) デジタル入力は遮断されており"0"が入力されています。
2	P47/X1A	発振端子として使用可能です。(発振は停止しています) デジタル入力は遮断されており"0"が入力されています。
3	P48/VREGCTL	デジタル入力です。出力はオープンドレイン形式です。
4	P49/VWAKEUP	デジタル入力です。出力はオープンドレイン形式です。

VBAT パワーオン回路が VBAT ドメインをリセットしている期間は Table 2-9 の初期状態を維持します。

VBAT I/O ポートの設定手順

■ 32 kHz 発振回路を使用する場合
「5. 32 kHz クロックの設定手順」に各種の設定手順を記載しますので参照してください。

■ ハイバネーション制御を行う場合
「4. ハイバネーション制御」に I/O の設定手順も含めて記載しますので参照してください。

■ 汎用入出力ポートとして使用する場合

設定方法は『I/O ポート』の章を参照してください。
(同様機能のレジスタは、レジスタ名を読み替えてください。)

VBAT I/O ポートのレジスタ説明

■ VBAT I/O ポートレジスター覧

bit	31 - 24	23 - 16	15 - 8	7 - 0	初期値	属性
	予約	予約	予約	VBPFR	0x0000001C	R/W
	予約	予約	予約	VBPCR	0x00000000	R/W
	予約	予約	予約	VBDDR	0x00000000	R/W
	予約	予約	予約	VBDIR	0x000000XX	R
	予約	予約	予約	VBDOR	0x0000000F	R/W
	予約	予約	予約	VBPZR	0x00000003	R/W

VBAT I/O ポートのレジスタの構成とアクセス方法

VBAT I/O ポートレジスタのインタフェース回路形式は、"回路形式 3"です。
詳細は「2.1. Always ON ドメインとのインタフェース」を参照してください。

バッファレジスタと VBAT I/O ポートレジスタの間のデータ転送は、全領域一括転送です。
以下の手順でデータの更新を行ってください。

1. VB_CLKDIV レジスタに、転送クロックが 1MHz 以下になるように値を設定する。

2. VBAT I/O ポートレジスタからバッファレジスタにデータをリコールする。
   制御レジスタ 20(WTCR20)の VBAT PORT リコール動作制御ビット(PREAD)に 1 ライトするとリコール動作がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。リコール動作が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

3. バッファレジスタの内容を書き換える。
   バッファレジスタはランダムリードライト可能です。

4. バッファレジスタから VBAT I/O ポートレジスタにデータをセーブする。
   制御レジスタ 20(WTCR20)の VBAT PORT セーブ動作制御ビット(PWRITE)に 1 ライトするとセーブ動作がスタートし、制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 1 になります。セーブ動作が終了すると制御レジスタ 10(WTCR10)の転送フラグビット(TRANS)が 0 になります。

*: バッファレジスタを書き換えただけでは VBAT I/O ポートの端子状態は変化しません。
レジスタ値(端子の状態)を変更するために、セーブ動作でバッファレジスタから VBAT I/O ポートレジスタに転送してください。

*: データ転送中(転送フラグビット(TRANS)が”1”の間)は、バッファレジスタへのアクセスは禁止です。

*: 転送中に Always ON ドメインのリセット発生した場合、VCC 電源オフの場合にはデータ保持レジスタの内容が保証できません。

3. チップの電源制御

チップの電源投入・切断について説明します。

VCC 電源、VBAT 電源の組み合わせ表

VCC 電源端子と VBAT 電源端子の状態は、Table 3-1 のとおりです。

Table 3-1 VCC/VBAT の電源状態組み合わせ

	VBAT 電源 オン	VBAT 電源 オフ
VCC 電源 オン	通常動作	この状態は禁止
VCC 電源 オフ	VBAT ドメインのみ動作継続	動作停止

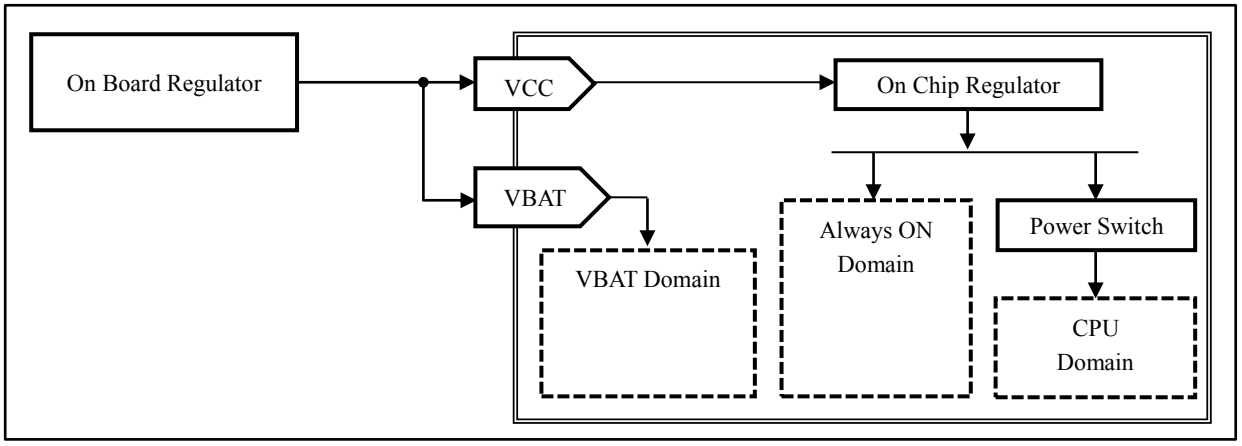
VBAT 電源を VCC と同一電源で駆動する場合

■ 電源状態の遷移

VBAT 電源と VCC 電源を同一電源で駆動する場合には、チップ電源状態は Table 3-1 の"通常動作"と"動作停止"の 2 種類の状態のみです。

この VBAT ドメインも VCC 電源投入の際に毎回初期化が必要です。

Figure 3-1 VBAT 電源を VCC 電源で駆動する場合の例



VBAT 電源用のバックアップ電源を使わない場合は、チップ外部で VBAT 電源端子と VCC 電源端子を短絡してください。

VCC 端子と VBAT 端子を短絡すると、「VCC 電源オン, VBAT 電源オフ」という禁止状態を避けられます。

VBAT 電源を電池で駆動する場合

■ 電源状態の遷移

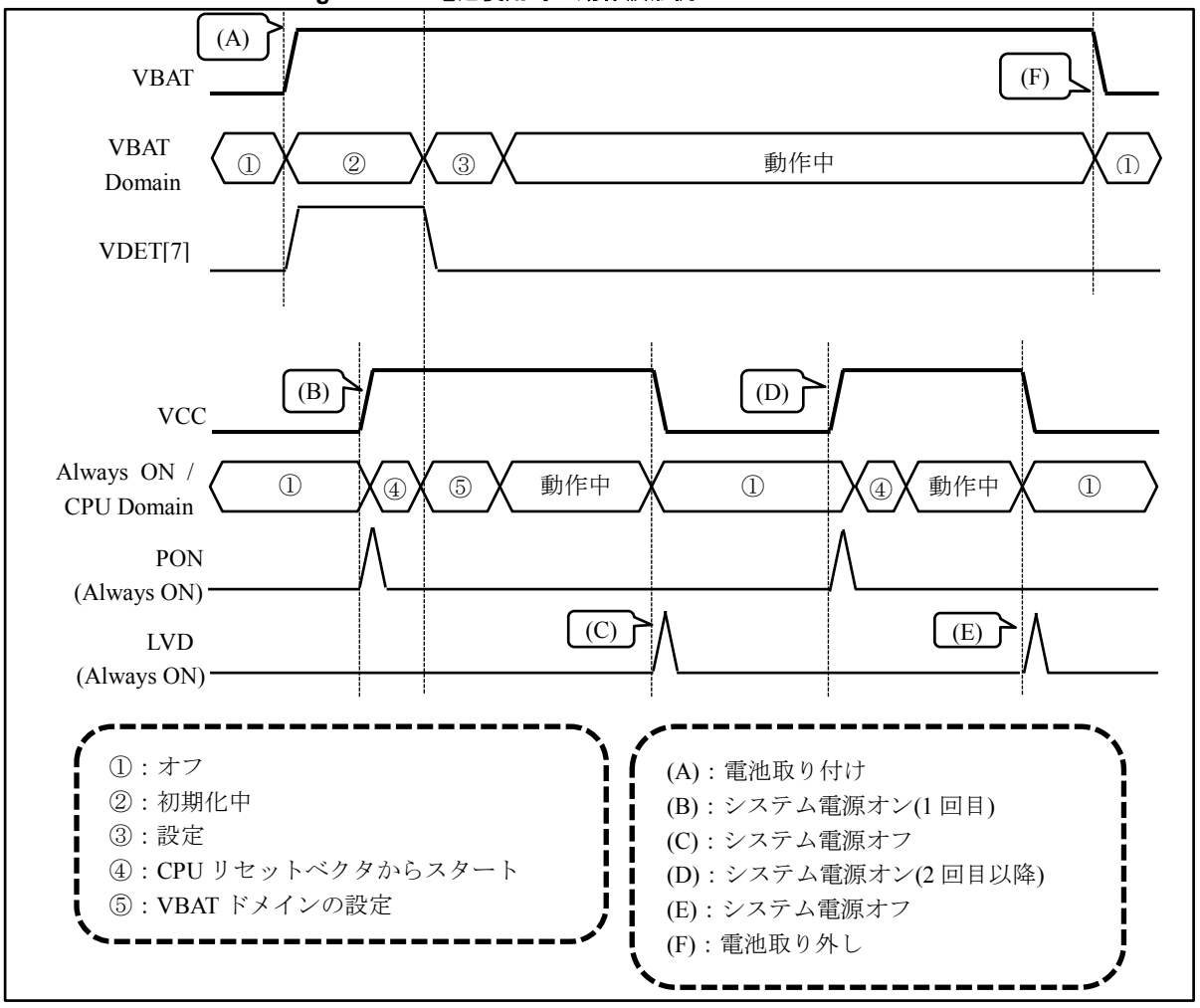
VBAT 電源用に電池を使用する場合の電源状態遷移は Figure 3-2 のとおりで、各部分の動作波形は Figure 3-3 のとおりです。

1 回目のシステム電源オンかどうか VDET レジスタのパワーオンビット(PON)で識別できます。
1 回目のシステム電源オンの場合には VBAT ドメインにある回路の設定を行ってください。

Figure 3-2 VBAT 電源に電池を使用する場合の状態遷移



Figure 3-3 電池使用時の動作波形例



■ 電源構成の例

Figure 3-4 バックアップ電源に一次電池を使用する場合の例

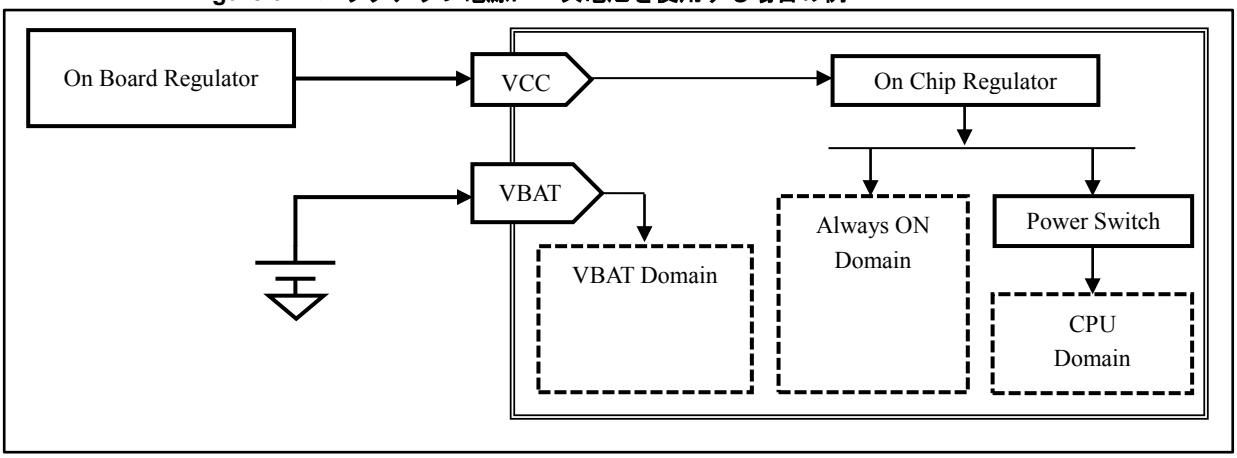
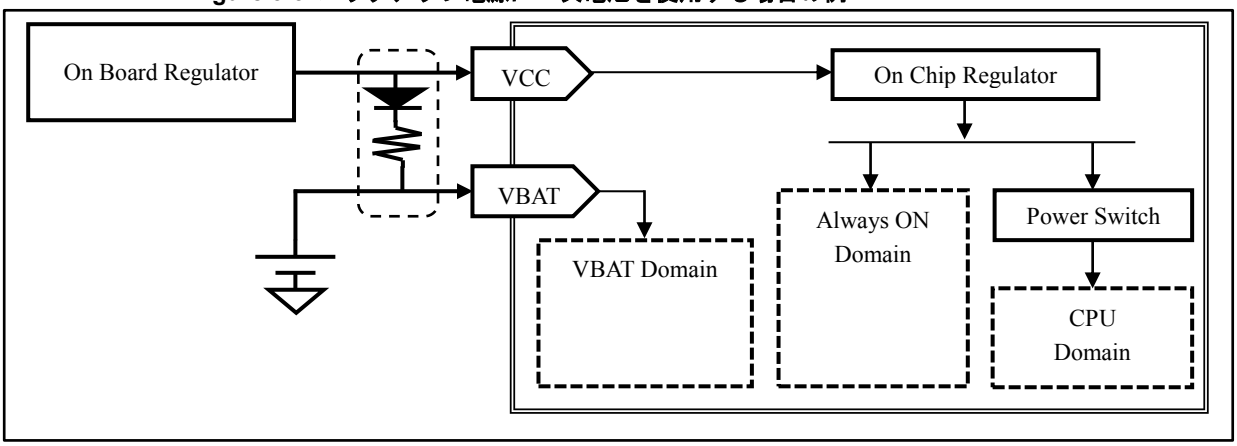


Figure 3-5 バックアップ電源に二次電池を使用する場合の例



破線内のダイオードと抵抗は、二次電池をトリクル充電します。
使用する二次電池がトリクル充電可能かどうかと、トリクル充電の最大電流値を確認して抵抗値を設定してください。
使用する二次電池がトリクル充電できない場合には、一次電池と同様にお使いください。

<注意事項>

- *電池の取り付けと取り外しは、システム電源がオフの期間に行ってください。*
- *バックアップ電源に一次電池を使う場合には、システム電源とバックアップ電源をダイオードで接続することは推奨しません。*

4. ハイバネーション制御

オフチップパワーゲーティングをマイコンから制御する場合の回路構成の例とシーケンスの例を示します。

ハイバネーション制御の概要

ハイバネーション制御は、VBAT ドメインからオンボードレギュレータのスタンバイ機能を制御することで、VCC 電源(Always ON ドメイン, CPU ドメイン共に)のオン/オフを VBAT ドメインから制御します。

ハイバネーション制御を行う場合には、VCC 電源(システム電源)とは別のバックアップ電源を VBAT 端子に供給してください。

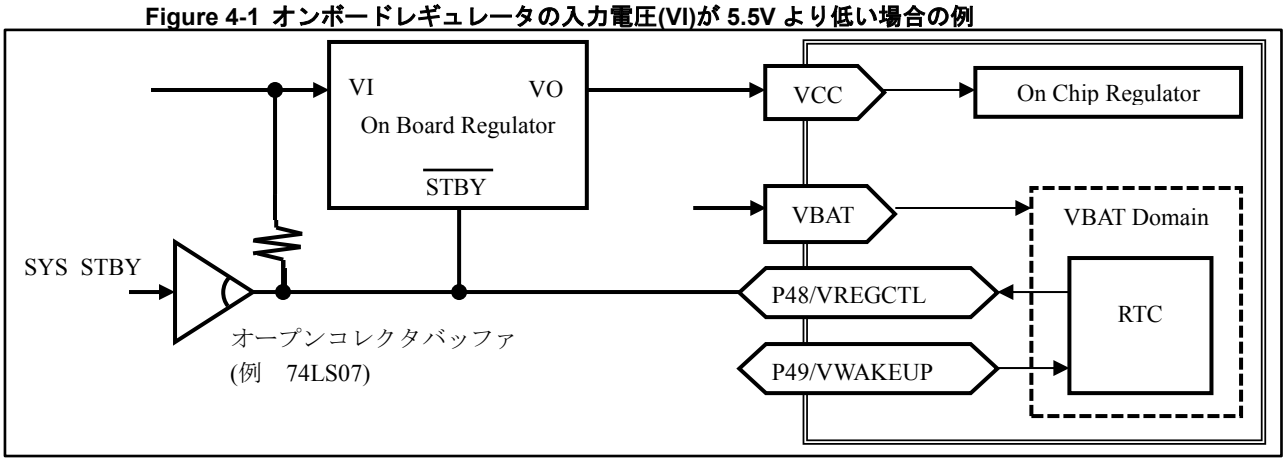
ハイバネーション状態から復帰する要因は以下の 2 つあります。

- RTC のアラーム割込み
- P49/VWAKEUP 端子へのウェイクアップ要求(立上りエッジで要求発生)

ハイバネーション状態からの復帰に RTC のアラーム割込みを使用する場合には、VCC オフ期間も 32 kHz 発振を継続する必要があります。

FM4 ファミリの外部接続例

Figure 4-1 オンボードレギュレータの入力電圧(VI)が 5.5V より低い場合の例



多くのオンボードレギュレータの"STBY"入力は"L"レベルでスタンバイ動作になります。
VBAT I/O ポートの P48/VREGCTL 端子は、擬似オープンドレインで 5V トレラントです。

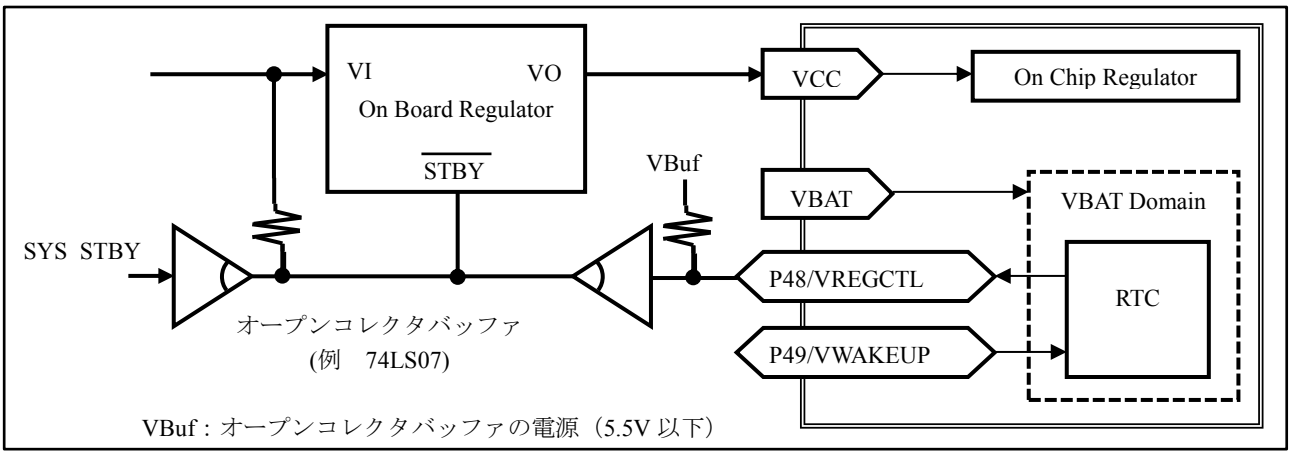
オンボードレギュレータの"STBY"入力と接続し、オンボードレギュレータの入力電圧(VI)に抵抗でプルアップしてください。

システムのスタンバイ制御信号をオープンコレクタバッファでバッファリングして"P48/VREGCTL"とワイヤード OR するとオンボードレギュレータの動作は、Table 4-1 になります。

Table 4-1 オンボードレギュレータの動作

	VREGCTL = “L”	VREGCTL = “H”
SYS_STBY = "L"	スタンバイモード	スタンバイモード
SYS_STBY = "H"	スタンバイモード	通常動作モード

Figure 4-2 オンボードレギュレータの入力電圧(VI)が 5.5V より高い場合の例



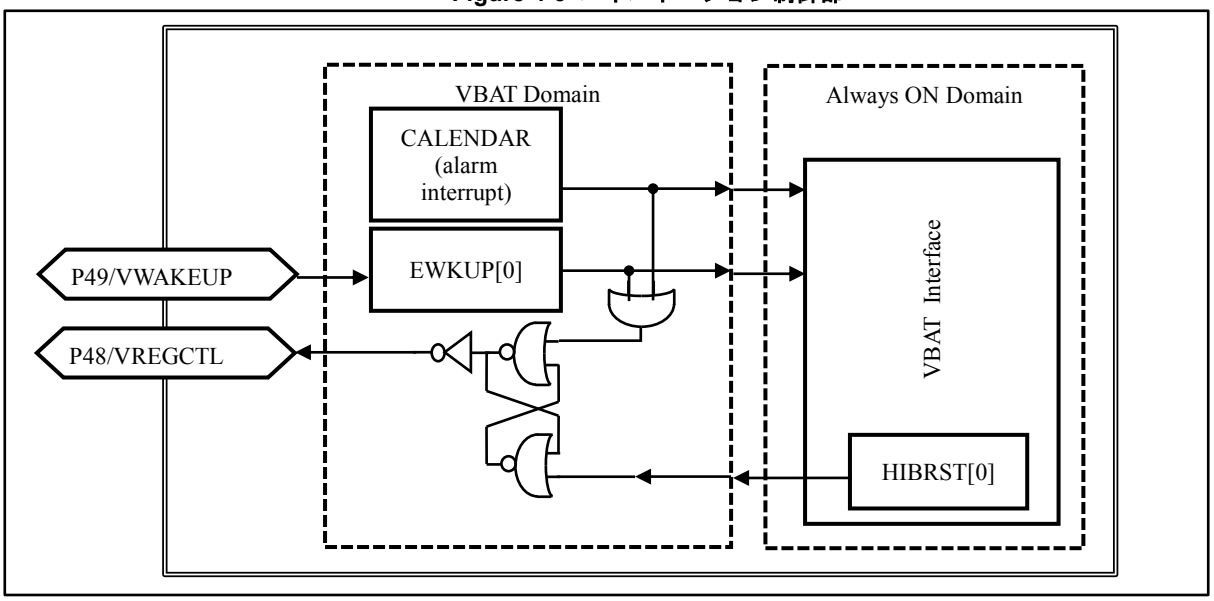
オンボードレギュレータの入力電圧が 5.5V よりも高い場合には、"P48/VREGCTL"端子でオンボードレギュレータのスタンバイ端子を直接制御することはできません。

オンボードレギュレータの入力電圧よりも耐圧が高いオープンコレクタバッファなどでバッファリングしてください。

ハイバネーション制御部のブロック構成

ハイバネーション制御部は RTC 回路の一部で、その構成は Figure 4-3 のとおりです。

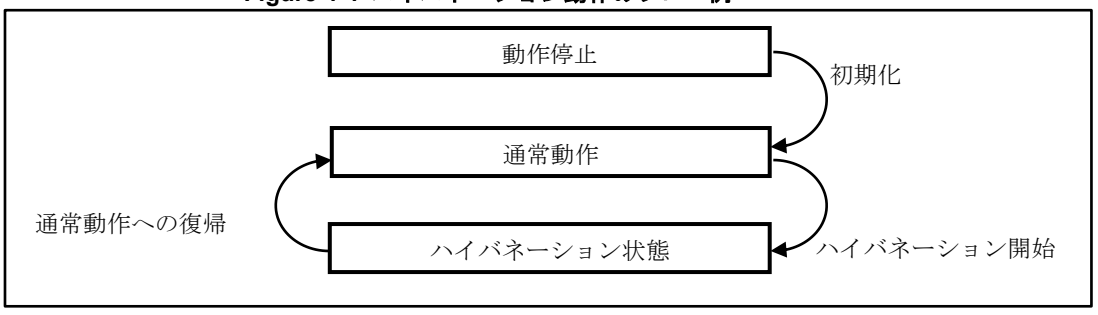
Figure 4-3 ハイバネーション制御部



ハイバネーション動作のフロー例

ハイバネーションの動作フローは　Figure 4-4 のとおりです。

Figure 4-4 ハイバネーション動作のフロー例



■ ハイバネーション動作の初期設定

ハイバネーション動作に必要な初期設定は以下のとおりです。

- RTC のアラーム設定
  アラームの設定の方法は『タイマ編』の『RTC』の章を参照してください。
- P49/VWAKEUP 端子の設定
  ポート機能設定レジスタ(VBPFR)の P49/VWAKEUP 端子のポート機能設定ビット(VPFR1)に"1"を書き込む。
- P48/VREGCTL 端子の設定
  ポート機能設定レジスタ(VBPFR)の P48/VREGCTL 端子のポート機能設定ビット(VPFR0) に"1"を書き込む。

RTC のアラーム設定, P49/VWAKEUP 端子の設定は実施しなくてもハイバネーション状態に遷移できます。
両方の設定を未実施のままハイバネーション状態に遷移すると、通常動作への復帰ができません。

■ ハイバネーション開始の設定

RTC のアラーム割込みとウェイクアップ(P49/VWAKEUP 端子)の両方がクリアされている状態で HIBRST[0]に"1"を書き込むと、P48/VREGCTL 端子が"0"になりオンボードレギュレータがスタンバイ状態に遷移して VCC 電源がオフになります。

■ ハイバネーション状態から復帰した際の判定および動作

RTC のアラーム割込みかウェイクアップ要求が発生すると、P48/VREGCTL 端子が"1"になり、オンボードレギュレータがスタンバイ状態から復帰して VCC 電源がオンになります。
VCC 電源がオンになると、CPU コアは通常のパワーオン動作を行います。

ハイバネーションからの復帰か否かは、以下の 3 つを確認することで識別できます。

- VBAT ドメインのパワーオンが発生しているかどうか (VDET レジスタのパワーオンビット(PON))
- RTC アラーム割込みが発生しているかどうか (制御レジスタ 12(WTCR12)のアラーム一致フラグビット(INTALI))
- ウェイクアップ要求が発生しているかどうか (EWKUP レジスタのウェイクアップ要求ビット(WUP0))

<注意事項>

- *HIBRST レジスタのハイバネーションスタートビット(HIBRST)に"1"を書き込むと、直後に P48/VREGCTL 端子が"0"になります。*
  VCC 電源のオフ準備をすべて済ませたのち HIBRST レジスタのハイバネーションスタートビット(HIBRST)に"1"を書き込んでください。
- *ハイバネーション動作は P48/VREGCTL 端子の制御で VCC 電源がオフになる前提です。*
  デバッグの際にオンボードレギュレータを P48/VREGCTL 端子で直接制御しない場合にはマニュアル操作でいったん VCC 電源をオフにしてください。

5. 32 kHz クロックの設定手順

RTC を使用する場合の、32 kHz 発振回路周りの推奨設定シーケンスについて説明します。

VBAT ドメインに属する 32 kHz 発振回路の特長

32 kHz 発振回路が VBAT ドメインに含まれていることで、CPU ドメイン、Always ON ドメインがオフの期間も 32 kHz 発振回路の動作を継続し、RTC が時刻をカウントし続けることができます。

クロック制御回路と連携する場合

VBAT ドメインの 32 kHz 発振回路をクロック制御回路と連携すると、FM3 ファミリと互換動作になります。

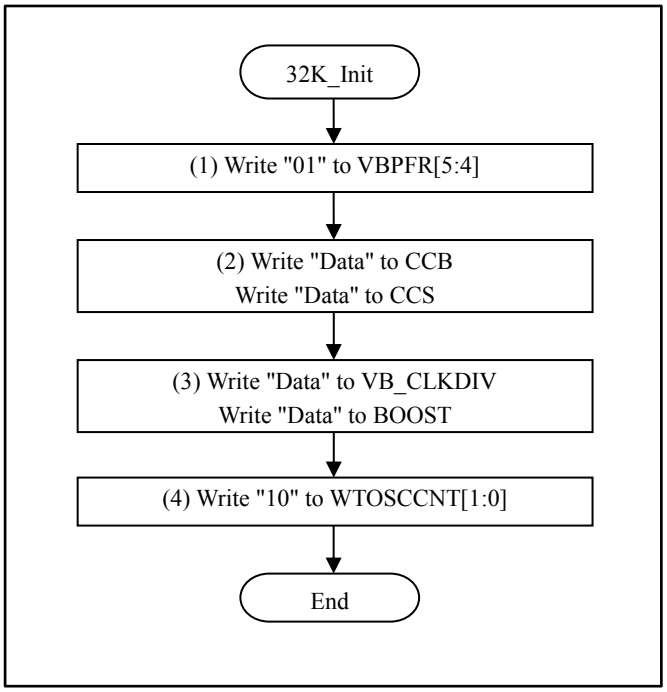
また、クロック制御回路と連携させると、VCC 電源オフ時、VCC 電源オンでストップモード, ディープスタンバイストップモードに遷移した時に 32 kHz の発振が自動的に停止します。

32 kHz 発振回路はバックアップ電源の電力で動作します。
32 kHz クロックをサブランモードのクロックのみの目的で使用する場合には、クロック制御回路と連携することでバックアップ電源の電力消費を自動的に低減することが可能です。

■ 設定手順例

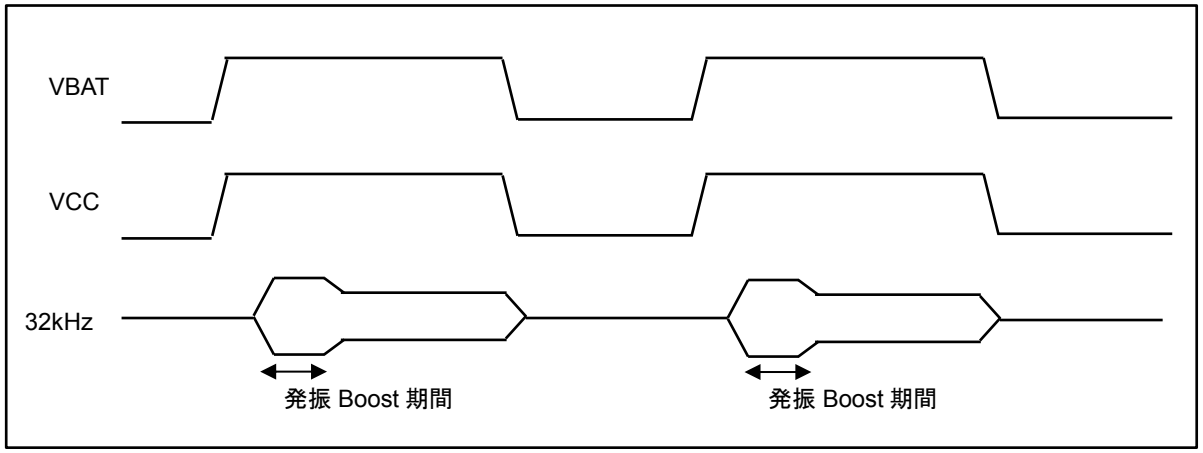
1. VBAT I/O ポートのレジスタ「32 kHz 発振回路を使用する場合」の設定にする。
2. 発振増幅回路に流す適切な電流値を設定する。
3. 発振ブースト時間を設定する。
4. クロック制御回路との連携を有効に設定する。

   同時に、発振イネーブルを設定する。

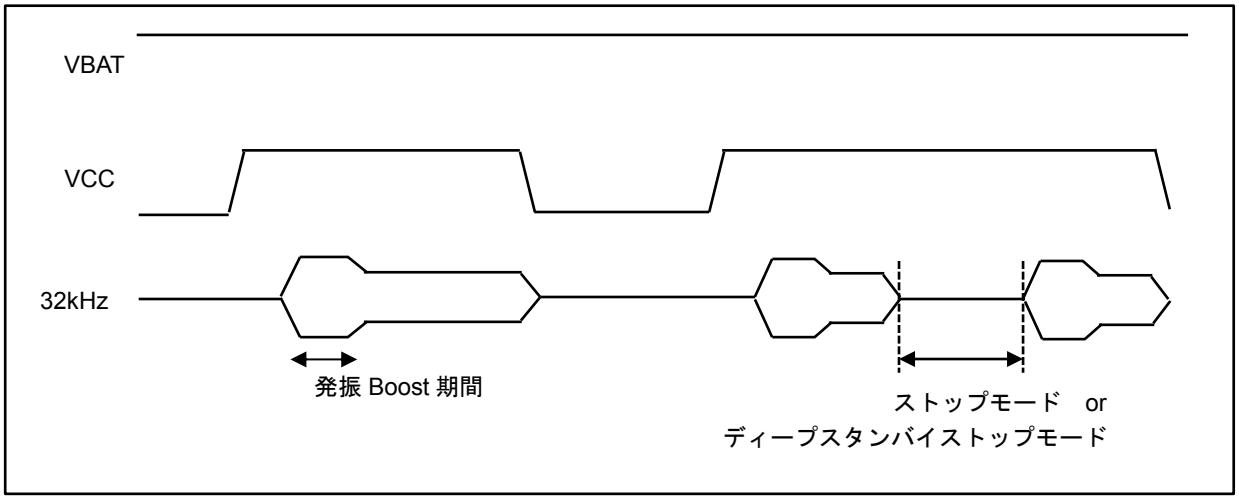


■ 動作の例

– バックアップ電源を使わない場合



– バックアップ電源を使うが、クロック制御回路と連携する場合



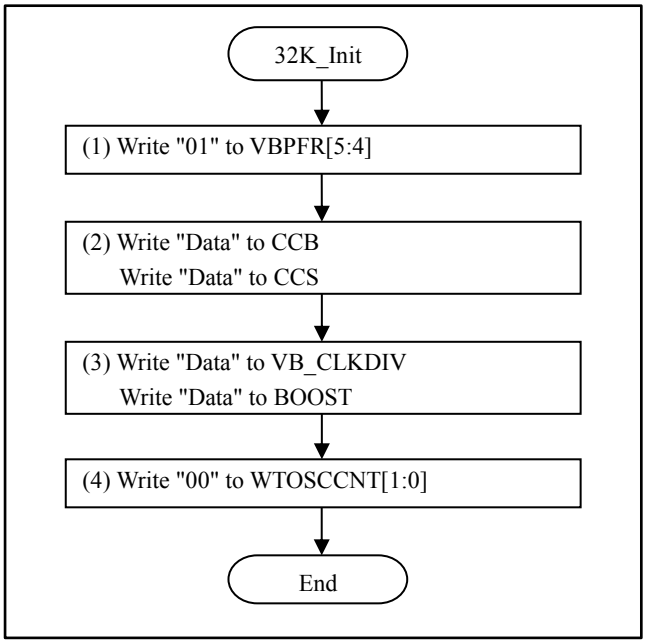
クロック制御回路と連携しない場合

バックアップ電源で常に RTC を動作し続ける場合には、クロック制御回路とは連携させない必要があります。
VBAT ドメインのみバックアップ電源で動作させ続け、CPU の処理が不要な期間は VCC 電源を自らのハイバネーション制御か、外部回路の制御でオフすることで、システム全体の平均消費電力を低減することが可能です。

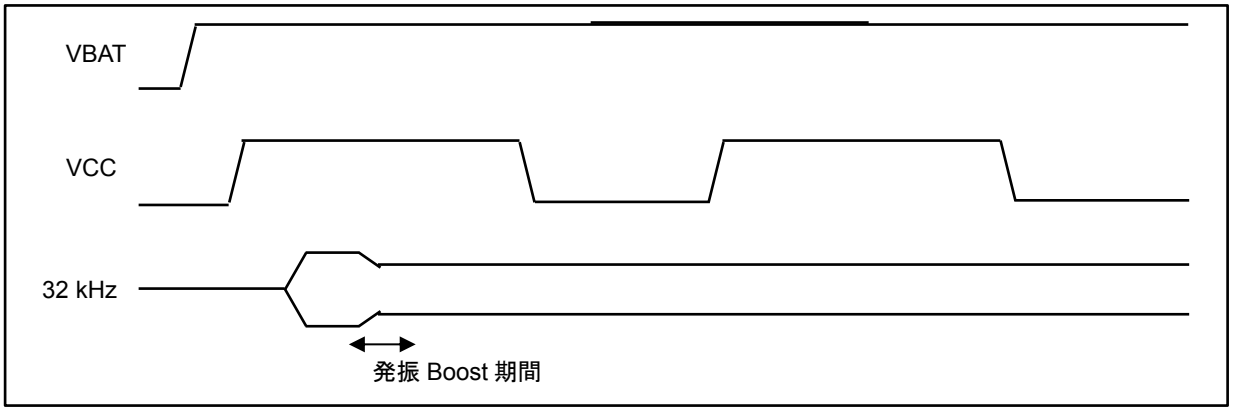
■ 設定手順例

1. VBAT I/O ポートのレジスタ「32 kHz 発振回路を使用する場合」の設定にする。
2. 発振増幅回路に流す適切な電流値を設定する。
3. 発振ブースト時間を設定する。
4. クロック制御回路との連携を無効に設定する。

同時に、発振イネーブルを設定する。



■ 動作の例



クロック制御回路と連携しないが発振安定待ちを行う場合

バックアップ電源で常に RTC を動作し続ける場合には、クロック制御回路とは連携させない必要がありますが、VBAT ドメインの 32 kHz 発振回路、RTC には発振安定待ちの機能がありません。

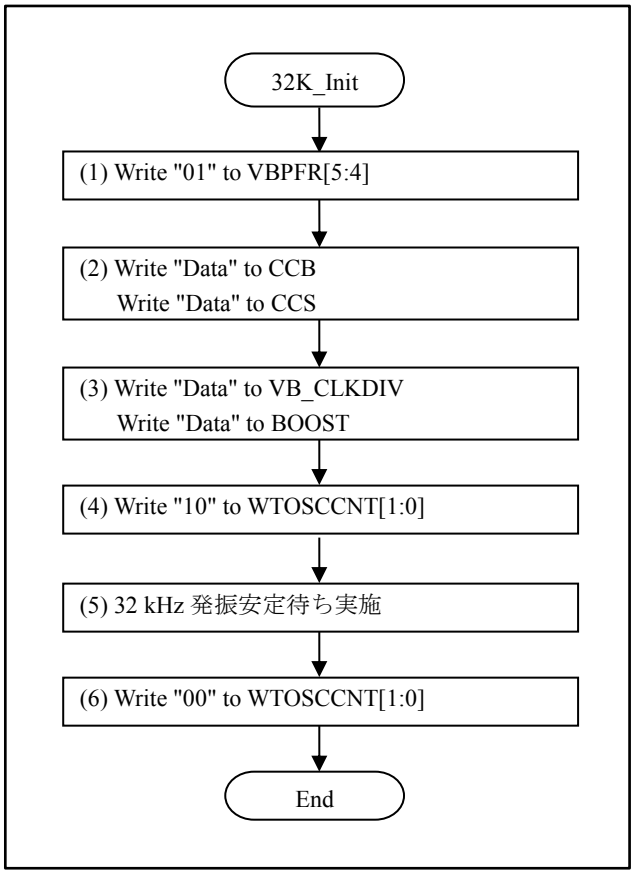
32 kHz クロックを RTC のみで使用する場合には発振安定時間相当のソフトタイマを使うという選択肢がありますが、32 kHz クロックをサブランモードでも使用する場合にはクロックの発振安定待ちが必要です。

その場合には、以下のような手順を踏んで発振開始時のみ発振安定待ち機能を有効にできます。

■ 設定手順例

クロック制御回路との連携機能を有効にして発振スタートする。
発振安定待ち時間経過後、クロック制御回路との連携機能を無効に変更する。

1. VBAT I/O ポートのレジスタ「32 kHz 発振回路を使用する場合」の設定にする。
2. 発振増幅回路に流す適切な電流値を設定する。
3. 発振ブースト時間を設定する。
4. クロック制御回路との連携を有効に設定する。同時に、発振イネーブルを設定する。
5. 32 kHz の発振安定待ちを行う。
6. クロック制御回路との連携を無効に設定変更する。(発振イネーブルは有効の設定のまま。)



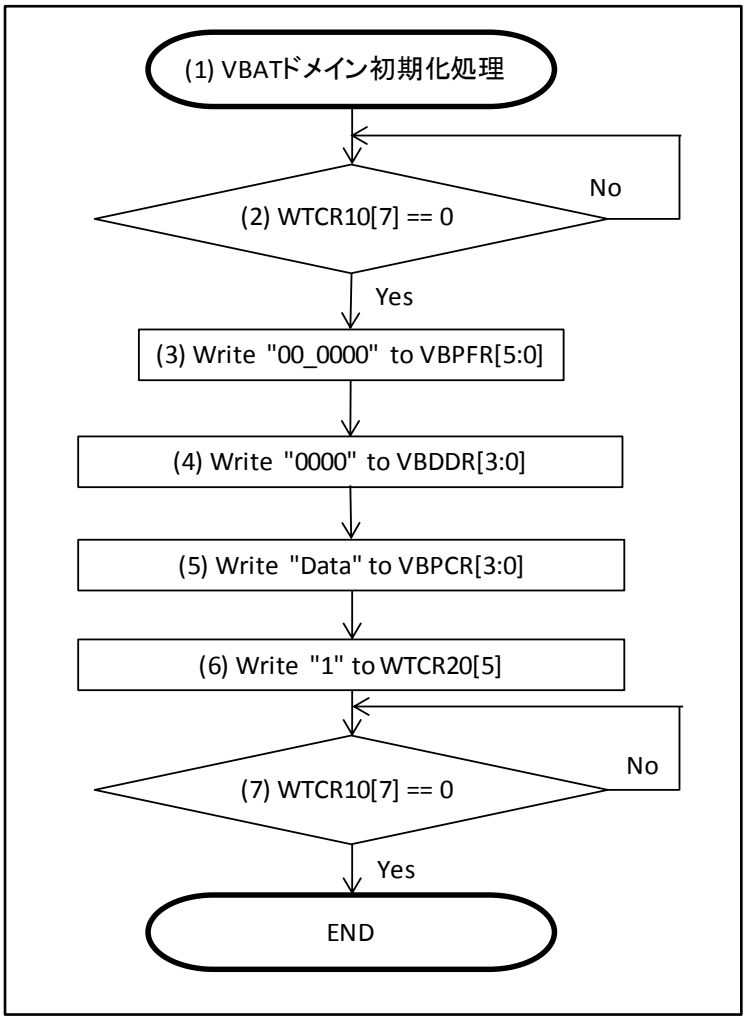
6. VBAT I/O ポートの設定手順

■ VBAT I/O を汎用 I/O 入力として、使用する場合

・設定手順例

P46/P47/P48/P49 をすべて汎用 I/O 入力として使用する場合の設定例を記載します。

1. VBAT ドメインの初期化処理を行う (Figure 2-6 参照)
2. 汎用 IO ポートを GPIO 端子として使用する設定にする
3. プルアップ設定を行う
4. ポート出力方向設定を入力方向に設定する
5. 設定値を VBAT ドメインに転送する
6. 転送完了を待つ

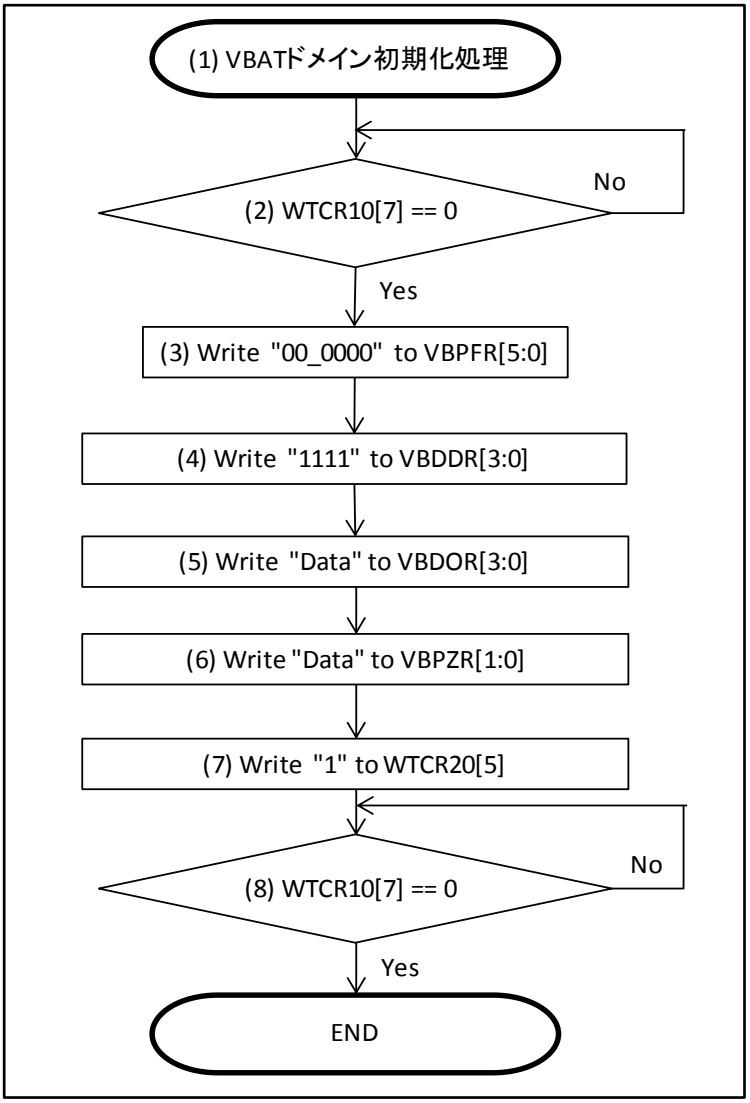


■ VBAT I/O を汎用 I/O 出力として、使用する場合

・設定手順例

P46/P47/P48/P49 をすべて汎用 I/O 出力として使用する場合の設定例を記載します。

1. VBAT ドメインの初期化処理を行う (Figure 2-6 参照)
2. 汎用 IO ポートを GPIO 端子として使用する設定にする
3. ポート出力方向設定を出力方向に設定する
4. ポート出力データレジスタを設定する
5. ポート擬似オープンドレインレジスタを設定する (P48/P49 のみ設定可能)
6. 設定値を VBAT ドメインに転送する
7. 転送完了を待つ

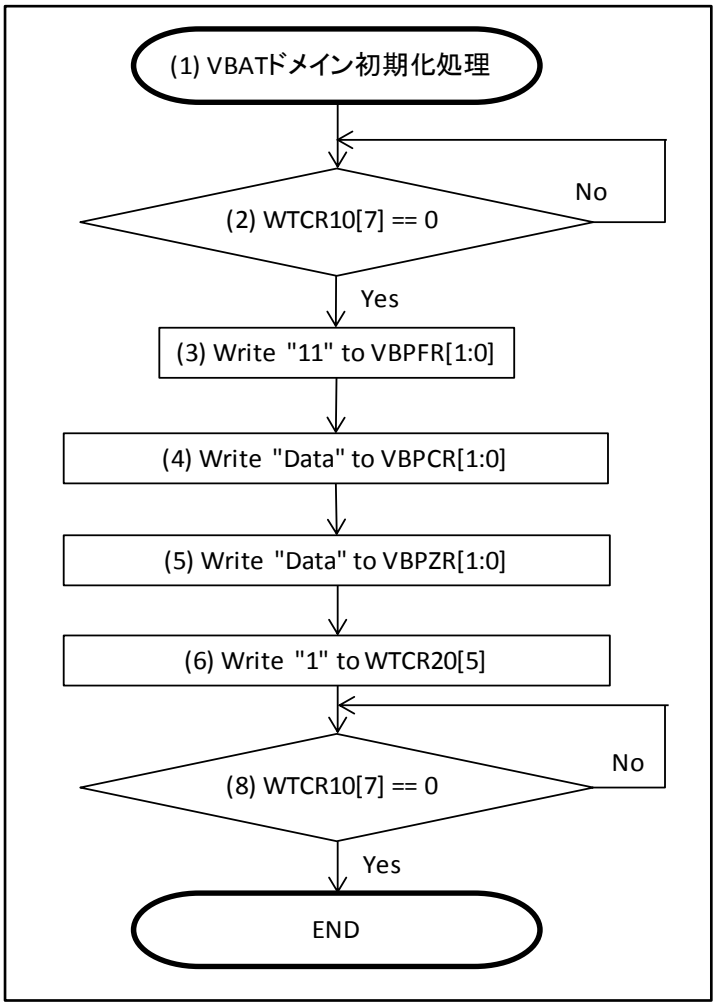


■ VBAT I/O を周辺機能として、使用する場合

・設定手順例

P48/P49 を周辺機能として使用する場合の設定例を記載します。

1. VBAT ドメインの初期化処理を行う (Figure 2-6 参照)
2. 汎用 IO ポートを周辺機能として使用する設定にする。
3. プルアップ設定を行う
4. 擬似オープンドレイン設定をする
5. 設定値を VBAT ドメインに転送する
6. 転送完了を待つ



7. レジスター覧

VBAT ドメイン部のレジスター覧を説明します。

Table 7-1 にレジスター覧を示します。

Table 7-1 レジスター覧

レジスタ略称	レジスタ名	参照先
VB_CLKDIV	VB_CLKDIV レジスタ	7.1
WTOSCCNT	WTOSCCNT レジスタ	7.2
CCS/CCB	CCS/CCB レジスタ	7.3
BOOST	BOOST レジスタ	7.4
EWKUP	EWKUP レジスタ	7.5
HIBRST	HIBRST レジスタ	7.6
VDET	VEDT レジスタ	7.7
VBPFR	ポート機能設定レジスタ	7.8
VBPCR	プルアップ設定レジスタ	7.9
VBDDR	ポート入出力方向設定レジスタ	7.10
VBDIR	ポート入力データレジスタ	7.11
VBDOR	ポート出力データレジスタ	7.12
VBPZR	ポート擬似オープンドレイン設定レジスタ	7.13

Table 7-1 レジスター覧に記載の VBDIR/VDET/EWKUP を除く Always ON ドメインのレジスタ、バッファはシステム
リセット、RTC リセットでクリアされます。そのため、リセット後のセーブ動作は値を再設定もしくは、リコール動作後に行なってください。

7.1 VB_CLKDIV レジスタ

VB_CLKDIV レジスタは、バックアップレジスタ，ポートレジスタの一括転送を行う場合の転送クロックの周期を設定します。

bit	7	6	5	4	3	2	1	0
Field	DIV7	DIV6	DIV5	DIV4	DIV3	DIV2	DIV1	DIV0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:0] DIV[7:0] : PREAD, PWRITE, BREAD, BWRITE の転送クロック設定ビット

バックアップレジスタ，ポートレジスタの一括転送を行う場合の転送クロックの周期を設定します。

レジスタ設定値の計算式: 転送クロック ＝PCLK2 / (VB_CLKDIV + 2)

(BREAD/BWRITE, PREAD/PWRITE で使用する転送クロックは、周波数が 1 MHz 以下に設定してください。)

7.2 WTOSCCNT レジスタ

WTOSCCNT レジスタは、32 kHz 発振回路の動作を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約						SOSCNTL	SOSCEX
属性	-						R/W	R/W
初期値	-						0	1

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:2] 予約：予約ビット

これらのビットからは"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] SOSCNTL：連携制御ビット

クロック制御部との連携の有無を設定します。

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	VBAT ドメインとして独立して動作します。(初期値)
	1	クロック制御回路と連携動作します。

[bit0] SOSCEX：発振イネーブルビット

VBAT ドメインとして独立動作する場合に、発振回路の動作イネーブルを設定します。
クロック制御回路と連携動作する場合には、本ビットの制御は無効です。

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	発振を開始します。
	1	発振を停止します。(初期値)

7.3 CCS/CCB レジスタ

CCS レジスタは、発振を継続しているときの電流値を設定します。
CCB レジスタは、発振開始時のブースト電流値を設定します。

TYPE3-M4 製品

■ CCS レジスタ

bit	7	6	5	4	3	2	1	0
Field	CCS							
属性	R/W							
初期値	00001000							

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:0] CCS：発振維持電流設定ビット

発振を継続しているときの電流値を設定します。

■ CCB レジスタ

bit	7	6	5	4	3	2	1	0
Field	CCB							
属性	R/W							
初期値	00010000							

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:0] CCB：発振ブースト電流設定ビット

発振開始時のブースト電流値を設定します。

CCS/CCB 共に、ビットと電流値の対応は Table 7-2 になります。

Table 7-2 CCS/CCB 設定値と定電流値の対応

CCS/CCB	電流値(Type)	説明
00000000	(0 nA)	発振させる場合は設定禁止
00000001	未定義	設定禁止
0000001x	未定義	設定禁止
000001xx	385 nA	
00001xxx	445 nA	(CCS 初期値)
0001xxxx	510 nA	(CCB 初期値)
001xxxxx	未定義	設定禁止
01xxxxxx	未定義	設定禁止
1xxxxxxx	未定義	設定禁止

TYPE4-M4 製品

■ CCS レジスタ

bit	7	6	5	4	3	2	1	0
Field	CCS							
属性	R/W							
初期値	11001110							

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:0] CCS：発振維持電流設定ビット

発振を継続しているときの電流値を設定します。

■ CCB レジスタ

bit	7	6	5	4	3	2	1	0
Field	CCB							
属性	R/W							
初期値	11001110							

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:0] CCB：発振ブースト電流設定ビット

発振開始時のブースト電流値を設定します。

CCS/CCB 共に、ビットとモードの対応は Table 7-2 になります。

Table 7-3 CCS/CCB 設定値とモードの対応

CCS/CCB	モード	説明
00000100	低消費電力	負荷容量がより小さいタイプの水晶発振子を使用することが可能となります。
11001110	標準	(初期値)
上記以外	未設定	設定禁止

<注意事項>

- *CCS レジスタと CCB レジスタは同じ設定値としてください。*

7.4 BOOST レジスタ

BOOST レジスタは、発振ブーストのクロック数を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約						BOOST1	BOOST0
属性	-						R/W	R/W
初期値	-						1	1

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:2] 予約：予約ビット

これらのビットからは"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1:0] BOOST1 / BOOST0：発振ブースト時間設定ビット

発振ブーストのクロック数を設定します。

Table 7-4 発振ブースト時間の設定値

bit1	bit0	発振ブースト時間
1	1	500 ms (初期値)
1	0	250 ms
0	1	125 ms
0	0	62.5 ms

7.5 EWKUP レジスタ

EWKUP レジスタは、ウェイクアップ要求の状態表示とクリア操作をします。

bit	7	6	5	4	3	2	1	0
Field	予約							WUP0
属性	-							R/W
初期値	-							0

本レジスタのインタフェース方式は"回路形式 4"です。

[bit7:1] 予約：予約ビット

これらのビットからは"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] WUP0 ：ウェイクアップ要求ビット

bit		説明
読出し時	0	ウェイクアップ要求を受け付けていません。
	1	ウェイクアップ要求を受け付けました。
書込み時	0	ウェイクアップ要求をクリアします。
	1	1 書込みは無効です。

ウェイクアップ要求機能は、ポート機能設定レジスタ(VBPFR)の P49/VWAKEUP 端子のポート機能設定ビット(VPFR1)を 1 に設定した場合に有効になります。
ウェイクアップ要求を有効に設定した場合、P49/VWAKEUP 端子の立上りエッジを検出すると
ウェイクアップ要求を受け付け、割込み制御回路に RTC 割込みが要求されます。

ウェイクアップ要求は、ウェイクアップ要求クリアの PCLK 7 サイクル後から受け付けます。
VBAT ドメイン内のレジスタをクリアするために PCLK 7 サイクル必要です。
このため、ウェイクアップ要求クリア後、PCLK7 サイクルを待たずに外部リセット入力やスタンバイモードに入れると PCLK が停止するため、ウェイクアップ要求を受け付けられません。

7.6 HIBRST レジスタ

HIBRST レジスタは、ハイバネーションスタートを設定します。

bit	7	6	5	4	3	2	1	0
Field	予約							HIBRST
属性	-							R/W
初期値	-							0

本レジスタのインタフェース方式は"回路形式 1"です。

[bit7:1] 予約：予約ビット

これらのビットからは"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] HIBRST ：ハイバネーションスタートビット

bit		説明
読出し時		レジスタの設定値が読み出せます。
書込み時	0	0 が書込めます。ただし、ハイバネーションの動作には影響しません。
	1	ハイバネーションをスタートします。

ハイバネーションスタートは、ポート機能設定レジスタ(VBPFR)の P48/VREGCTL 端子のポート機能設定ビット(VPFR0)を 1 に設定した場合に有効になります。

7.7 VDET レジスタ

VDET レジスタは、パワーオン回路の状態表示とパワーオン信号のクリア操作を行います。

bit	7	6	5	4	3	2	1	0
Field	PON	予約						
属性	R/W	-						
初期値	1	-						

本レジスタのインタフェース方式は"回路形式 4"です。

[bit7] PON：パワーオンビット

パワーオン回路の状態表示と、パワーオン信号のクリア操作を行います。

bit		説明
読出し時	0	パワーオン回路の初期化信号がクリアされています。
	1	パワーオン回路が初期化信号を出力しています。
書込み時	0	パワーオン信号をクリアします。
	1	1 書込みは無効です。

[bit6:0] 予約：予約ビット

これらのビットからは"0b0000000"が読み出せます。
書込みの場合には、"0b0000000"を設定してください。

7.8 ポート機能設定レジスタ(VBPFR)

VBPFR レジスタは、端子の利用方法を選択します。

bit	7	6	5	4	3	2	1	0
Field	予約		SPSR1	SPSR0	VPFR3	VPFR2	VPFR1	VPFR0
属性	-		R/W	R/W	R/W	R/W	R/W	R/W
初期値	-		0	1	1	1	0	0

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:6] 予約：予約ビット

これらのビットからは"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit5:4] SPSR1, SPSR0：発振端子の機能設定ビット

bit5	bit4	機能設定
0	0	P46, P47 をデジタル(GPIO)端子として使用します。
0	1	P46, P47 を 32kHz 発振端子として使用します。(初期値)
1	0	P46, P47 をデジタル(GPIO)端子として使用します。
1	1	P46 を外部クロック入力端子として使用します。 P47 をデジタル(GPIO)端子として使用します。

[bit3] VPFR3： P46/X0A 端子のポート機能設定ビット

[bit2] VPFR2： P47/X1A 端子のポート機能設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子を GPIO 端子として使用します。
	1	当該ビットに対応する端子を周辺機能の入出力端子として使用します。(初期値)

[bit1] VPFR1： P49/VWAKEUP 端子のポート機能設定ビット

[bit0] VPFR0： P48/VREGCTL 端子のポート機能設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子を GPIO 端子として使用します。(初期値)
	1	当該ビットに対応する端子を周辺機能の入出力端子として使用します。

VBPFR[5:2]の設定組み合わせは Table 7-5 VBPFR[5:2] の設定組み合わせのとおりです。

Table 7-5 VBPFR[5:2] の設定組み合わせ

	VBPFR[5]	VBPFR[4]	VBPFR[3]	VBPFR[2]
GPIO	0	0	0	0
32 kHz 発振	0	1	-	-
GPIO	1	0	0	0
P46 外部クロック入力	1	1	1	0

32 kHz 発振回路を使用する場合は、VBPFR[5:4]に 0b01 を設定してください。VBPFR[3:2]によらず、32 kHz 発振回路を使用することができます。

P46/X0A を外部クロックとして使用する場合は、VBPFR[5:2]に 0b1110 を設定し、P46/X0A から外部クロックを入力してください。この時 P47 は GPIO 端子として使用可能です。

7.9 プルアップ設定レジスタ(VBPCR)

VBPCR レジスタは、端子のプルアップを設定します。

TYPE4-M4 製品では、P46/X0A, P47/X1A 端子のプルアップ機能がないため、VBPCR[3:2]の設定は無効です。

bit	7	6	5	4	3	2	1	0
Field	予約				VPCR3	VPCR2	VPCR1	VPCR0
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:4] 予約：予約ビット

これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VPCR3： P46/X0A 端子のプルアップ設定ビット
[bit2] VPCR2： P47/X1A 端子のプルアップ設定ビット
[bit1] VPCR1： P49/VWAKEUP 端子のプルアップ設定ビット
[bit0] VPCR0： P48/VREGCTL 端子のプルアップ設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。(初期値＝0)
書込み時	0	当該ビットに対応する端子のプルアップ抵抗を切断します。
	1	当該ビットに対応する端子が入力状態(GPIO・周辺機能いずれも)の場合にプルアップ抵抗が接続されます。 当該ビットに対応する端子が出力状態の場合プルアップ抵抗は切断されます。

7.10 ポート入出力方向設定レジスタ(VBDDR)

VBDDR レジスタは、端子の入出力方向を設定します。

TYPE4-M4 製品では、P46/X0A, P47/X1A 端子の GPIO 機能は入力専用のため、VBDDR[3:2]の出力方向設定は無効です。

bit	7	6	5	4	3	2	1	0
Field	予約				VDDR3	VDDR2	VDDR1	VDDR0
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:4] 予約：予約ビット

これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VDDR3： P46/X0A 端子のポート出力方向設定ビット
[bit2] VDDR2： P47/X1A 端子のポート出力方向設定ビット
[bit1] VDDR1： P49/VWAKEUP 端子のポート出力方向設定ビット
[bit0] VDDR0： P48/VREGCTL 端子のポート出力方向設定ビット

bit		説明
読出し時		レジスタの設定値を読み出せます。(初期値＝0)
書込み時	0	GPIO を入力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。
	1	GPIO を出力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。

7.11 ポート入力データレジスタ(VBDIR)

VBDIR レジスタは、端子の入力データを示します。

bit	7	6	5	4	3	2	1	0
Field	予約				VDIR3	VDIR2	VDIR1	VDIR0
属性	-				R	R	R	R
初期値	-				x	x	x	x

本レジスタのインタフェース方式は"回路形式 4"です。

[bit7:4] 予約：予約ビット

これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VDIR3： P46/X0A 端子のポート入力データビット
[bit2] VDIR2： P47/X1A 端子のポート入力データビット
[bit1] VDIR1： P49/VWAKEUP 端子のポート入力データビット
[bit0] VDIR0： P48/VREGCTL 端子のポート入力データビット

bit		説明
読出し時	0	端子機能の設定(VBPFR[3:0]/VBDDR/VBPDOR)によらず、端子が"L"レベル入力状態または、"L"レベル出力状態であることを示します。 VBPFR[5:4](SPSR1,SPSR0)により、特殊端子が選択されている場合は、入力遮断されているため常に 0 が読み出されます。
	1	端子機能の設定(VBPFR[3:0]/VBDDR/VBPDOR)によらず、端子が"H"レベル入力状態または、"H"レベル出力状態であることを示します。
書込み時		書込みは動作に影響しません。

7.12 ポート出力データレジスタ(VBDOR)

VBDOR レジスタは、端子への出力データを設定します。

TYPE4-M4 製品では、P46/X0A, P47/X1A 端子の GPIO 機能は入力専用のため、VBDOR[3:2]の設定は無効です。

bit	7	6	5	4	3	2	1	0
Field	予約				VDOR3	VDOR2	VDOR1	VDOR0
属性	-				R/W	R/W	R/W	R/W
初期値	-				1	1	1	1

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:4] 予約：予約ビット
これらのビットからは"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] VDOR3： P46/X0A 端子のポート出力データビット
[bit2] VDOR2： P47/X1A 端子のポート出力データビット
[bit1] VDOR1： P49/VWAKEUP 端子のポート出力データビット
[bit0] VDOR0： P48/VREGCTL 端子のポート出力データビット

bit		説明
読出し時		レジスタの値を読み出します。(初期値＝1)
書込み時	0	GPIO に"L"レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、 設定値は無効です。
	1	GPIO に"H"レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、 設定値は無効です。

7.13 ポート擬似オープンドレイン設定レジスタ(VBPZR)

VBPZR レジスタは、端子のポート疑似オープンドレインを設定します。

bit	7	6	5	4	3	2	1	0
Field	予約						VPZR1	VPZR0
属性	-						R/W	R/W
初期値	-						1	1

本レジスタのインタフェース方式は"回路形式 3"です。

[bit7:2] 予約：予約ビット

これらのビットからは"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] VPZR1： P49/VWAKEUP 端子のポート擬似オープンドレイン設定ビット
[bit0] VPZR0： P48/VREGCTL 端子のポート擬似オープンドレイン設定ビット

bit		説明
読出し時		レジスタの設定値を読み出します。(初期値＝1)
書込み時	0	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を High レベルにします。
	1	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を Hi-Z にします。プルアップ抵抗を PCR の設定によらず、切断します。

8. 使用上の注意

バックアップ電源を使用する際は、次の点を注意してください。

- 一次電池の充電や、二次電池の過充電は液漏れや発火の危険があります。
  お使いの電池の特性をご確認の上で電池回りの回路構成を決めてください。
- ハイバネーション制御機能は、オンボードレギュレータにスタンバイ端子がない場合には使用できません。ハイバネーション制御を行う場合にはスタンバイ端子があるレギュレータを選択ください。

CHAPTER 8: 割込み

割込みコントローラについて説明します。

1. 概要
2. 構成
3. 割込み一覧
4. レジスタ
5. 使用上の注意

1. 概要

CPU コア内部に NVIC(ネスト型ベクタ割込みコントローラ)を搭載しています。NVIC は、予約されているシステム例外と 128 個の周辺割込みに対応し、16 の割込み優先度設定（4bit 実装）が可能です。マイコンに搭載されている周辺機能からの割込み信号と NVIC の接続について説明します。

2. 構成

ブロックダイヤグラム

Figure 2-1 割込み信号と NVIC の接続構成

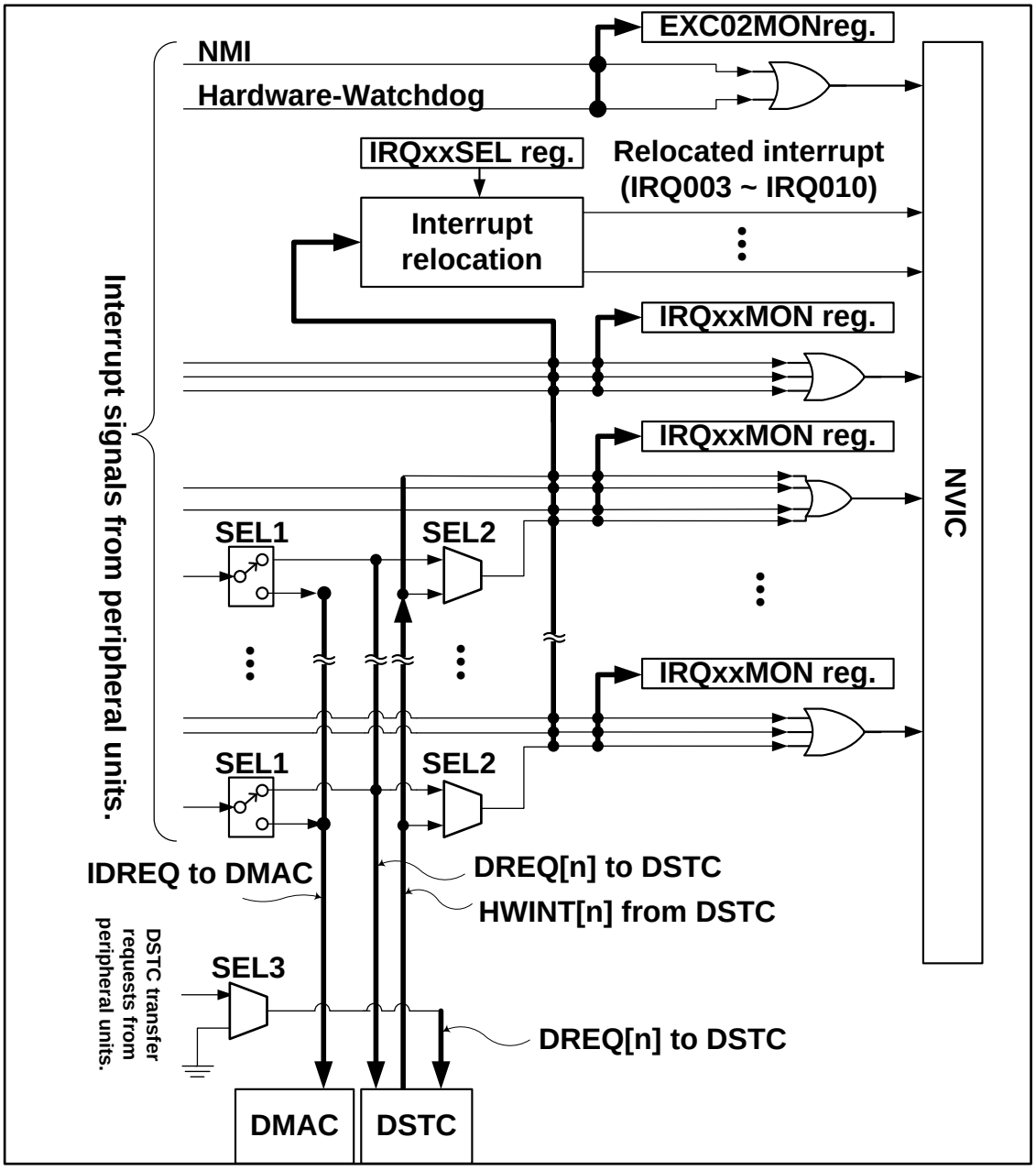


Figure 2-1 に周辺機能ブロックから入力される割込み信号と NVIC および DMAC、DSTC の接続構成を示します。以下に説明を行います。

NVIC (ネスト型ベクタ割込みコントローラ)

NVIC は、予約されているシステム例外と 128 個の周辺割込みに対応します。NVIC の詳細については、『Cortex-M4 テクニカルリファレンスマニュアル』を参照してください。『Cortex-M4 テクニカルリファレンスマニュアル』では、予約されているシステム例外以外の例外は、外部割込み(IRQ)と定義しています。本マニュアルでは、マイコン外部入力端子からの外部割込みと区別するため、周辺割込みと表現します。

NVIC の割込み優先度レジスタは 4 ビットで構成されており、16 の割込み優先度レベルを設定できます。

例外 No.4～No.15 の優先度は、NVIC に実装されたシステムハンドラ優先度レジスタ(System Handlers Priority Register、アドレス 0xE000ED18, 0xE000ED1C, 0xE000ED20)で設定可能です。

例外 No.16～No.143 の周辺割込みの優先度は、NVIC に実装された割込み優先度レジスタ(IRQ Priority Register、アドレス 0xE000E400～0xE000E47C)で設定可能です。

ノンマスカブル割込み(NMI)入力に対応しています。

割込み集約と一括読出しレジスタ

各周辺機能から入力される割込み信号(図中 : Interrupt signals from peripheral units)は、図中の論理 OR 回路により集約され、NVIC の 128 個の周辺割込みのいずれかに接続されます。NVIC の各割込み入力に対し、周辺機能のどの割込み信号がアサインされているかは、Table 3-1, Table 3-2 を参照してください。

論理 OR 回路による集約のため、NVIC の 1 個の割込みは、複数要因により発生します。割込み発生時、集約されている要因の中のいずれの要因で割込みが発生したかを、割込み一括読出しレジスタ(図中 : IRQxxxMON reg.)の読出しで判別できます。割込み一括読出しレジスタは、NVIC の各割込み入力に存在し、IRQ000MON～IRQ127MON のレジスタがあります。

IRQxxxMON レジスタの各ビットは各製品で非搭載の場合、予約ビットです。

外部割込み・NMI 制御部からのノンマスカブル割込み信号(NMI)と、ハードウェアウォッチドッグタイマからの割込み信号(HW-Watchdog)は、論理 OR されて、NVIC の例外 2 入力に接続されています。EXC02MON レジスタを読出して、どちらの要因により割込みが発生しているかを判別できます。

マイコンの NMI 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI 機能を使用する場合は、I/O ポートの設定にて NMI を許可してください。『I/O ポート』を参照してください。NMI 入力信号は、「外部割込み・NMI 制御部」を経て本ブロックに入力されます。

割込みリロケート機能

複数要因が論理 OR されている割込みの場合、割込み発生時、発生要因を判別するソフトウェアの処理が必要になります。割込みリロケート機能(図中 : Intterupt relocation)を利用すると、発生要因の判別処理を回避できます。

選択レジスタ(図中 : IRQxxxSEL)により、リロケートしたい割込みを選択します。選択した割込みは、元の割込み位置では発生せず、リロケート割込みに発生するようになります。選択された割込み信号は、元の割込み入力位置から移動します。論理 OR 回路から分離されて、NVIC に別途入力されるため、別の割込みベクタにより処理を行えます。発生要因を判別する必要がなくなり、割込み処理を高速に行えます。リロケート割込みは、IRQ003～IRQ010 の 8 個を使用できます。

DMAC 転送要求の接続選択

周辺機能からの割込み信号の一部は、DMAC への DMA 転送要求信号として使用できます。対応する割込み信号は、出力セレクタ回路(図中：SEL1)にて、割込み信号を NVIC に接続するか、DMAC への DMA 転送要求信号(図中：IDREQ to DMAC)として接続するかを選択します。DRQSEL レジスタにて SEL1 の切り替え設定を行います。『DMAC』の章を参照してください。

SEL1 により、割込み信号を DMAC へ接続した場合、DMAC の DMA 転送を起動できます。この場合、NVIC 側への信号は Low 固定となります。IRQxxxMON レジスタの該当 bit からは"0"が読出せるようになり、NVIC への割込みは発生しなくなります。また、DSTC 側へ転送要求通知は行われなくなります。

DSTC 転送要求信号と DSTC 転送終了割込み信号の接続選択

DSTC の DMA 転送を使用する周辺機能には、割込み信号と DSTC への転送要求信号が兼用されているタイプ（以下 Combined 型と表記）と、割込み信号と DSTC への転送要求信号が分かれているタイプ（以下 Separated 型と表記）の 2 つがあります。Separated 型は、割込み信号と DSTC への転送要求信号が別々に出力されます。Separated 型の周辺機能には **I²S, HS-SPICNT, CAN-FD、プログラマブル CRC** があります。DREQENB[255:0]レジスタの設定値と図中のセレクタ（SEL2,SEL3）部分で、以下のような切換えが行われます。

■ Combined 型の周辺機能の場合：

DREQENB[n]=0 のとき：

周辺機能からの割込み信号は、NVIC に入力され、割込みの通知を行います。
周辺機能からの割込み信号を、DSTC は無視します。
DSTC からの HW 転送終了割込み（HWINT[n]）信号は、NVIC に入力されません。HWINT[n]信号は、DREQ[n]によって起動された HW 転送が終了したことを、DSTC から CPU に通知する割り込み信号です。

DREQENB[n]=1 のとき：

周辺機能からの割込み信号は、NVIC に入力されません。
周辺機能からの割込み信号を、DSTC は転送要求信号として使用します。DSTC はこの信号によって転送動作を開始します。
DSTC からの HWINT[n]信号が、Periperal からの割込み信号の代わりに、NVIC に入力されます。

このタイプの場合、図のように、周辺機能からの割込みと、DSTC の転送終了割込み（HWINT[n]）が、NVIC の入力ポートを兼用しています。このため、NVIC の割込み処理は、同じ割込みベクタに Jump します。DREQENB[n]の値により、どちらの割込み処理を行うかを選択する必要があります。図のような回路構成であるため、DSTC からの転送終了割込みは、IRQxxxMON レジスタの該当 bit から読み出すことができます。また、割込みリロケート機能を適用することができます。

■ Separated 型の周辺機能の場合：

DREQENB[n]=0 のとき

周辺機能からの割込み信号は、NVIC に入力され、割込みの通知を行います。
周辺機能からの割込み信号は、DSTC には入力されません。
周辺機能からの転送要求信号は、NVIC には入力されません。
周辺機能からの転送要求信号を、DSTC は無視します。
DSTC からの HWINT[n]信号は、NVIC に入力されます。（HW 転送終了割込みは発生しません。）

DREQENB[n]=1 のとき：

周辺機能からの割込み信号は、NVIC に入力され、割込みの通知を行います。
周辺機能からの割込み信号は、DSTC には入力されません。
周辺機能からの転送要求信号は、NVIC には入力されません。

周辺機能からの転送要求信号により、DSTC は、転送動作を起動します。
DSTC からの HWINT[n]信号は、NVIC に入力され、HW 転送終了割込み通知を行います。

このタイプの場合、図のように、周辺機能からの割込みと、DSTC の HW 転送終了割込み（HWINT[n]）は、NVIC の別々の入力ポートに入力されます。Combined 型のように、同じ割込みベクタには Jump しません。DSTC からの転送終了割込みと周辺機能の割込みは、それぞれ別の IRQxxxMON レジスタの該当 bit から読み出すことができます。また、割込みリロケート機能を適用することができます。
各周辺機能からの DSTC 転送要求の詳細については各周辺機能の章を参照してください。

DMA 転送承認信号の接続

DMA 転送完了後、転送要求信号(割込み信号)のクリアが必要な周辺機能ブロックがあります。
これらの周辺機能に対して、DMAC または DSTC から転送要求信号のクリア処理がなされます。図中に記載していませんが、SEL1 にて、DMAC による DMA 転送を選択した場合、また、SEL2 にて、DSTC による DMA 転送を選択した場合、DMA または DSTC からの DMA 転送承認信号が周辺機能に接続されます。

DMA 転送停止信号の接続

マルチ・ファンクション・シリアル・ユニット(以下 MFS と略)からは、DMA 転送停止要求信号が出力されます。図中の記載は省略していますが、SEL1, SEL2 の選択により、以下の接続が行われます。

SEL1 にて DMAC と MFS の接続選択を行った場合、転送停止要求信号により DMAC は転送動作を停止します。MFS からの転送停止要求信号がネゲートされるまで、DMAC は転送動作を行わなくなります。

SEL2 にて DSTC と MFS の接続選択を行った場合、転送停止要求信号により DSTC は転送動作を停止します。MFS からの転送停止要求信号がネゲートされるまで、DSTC は転送動作を行わなくなります。また、MFS からの転送停止要求信号は、DSTC の転送終了割込み(HWINT[n]信号)と論理 OR され、割込み信号として NVIC に通知されます。

3. 割込み一覧

NVIC に入力される例外と割込みの要因の一覧を示します。
DMAC による DMA 転送が可能な割込みの一覧を示します。
DSTC による DMA 転送が可能な割込みの一覧を示します。

例外と割込み一覧

Table 3-1（TYPE1-M4,TYPE2-M4,TYPE3-M4,TYPE5-M4,TYPE6-M4 製品）, Table 3-2（TYPE4-M4 製品）に、NVIC に入力される例外と割込み要因の一覧を示します。表の各欄の記載内容について、以下に説明します。

Exc No.: NVIC の例外番号を示します。

IRQ No.: 周辺割込み番号を示します。(IRQ No. = Exc No.－16 の値となります。)

ベクタ offset: 割込みにより参照されるベクタの格納 offset アドレスを示します。

bit: 割込み要因が、一括読出しレジスタ(IRQxxxMON, EXC02MON)のどのビット位置で読出せるのかを示します。1 個の IRQ に対して、複数ビットの記載が存在する場合、それらの要因が論理 OR されていることを示し、各要因が対応するビット位置から読出せます。1 個の IRQ に対して、0 の記載のみの場合は、複数割込みの論理 OR がないことを示します。
記載値が"-"の場合、一括読出しレジスタが存在しないことを示します。記載の無いビット番号は予約ビットです。

DMAC: 記載値が"-"の場合、DMAC による DMA 転送に対応していないことを示します。
記載値が"数字"の場合、DMAC による DMA 転送に対応している割込み信号であることを示します。"数字"は、DRQSEL レジスタのビット番号を示します。DRQSEL レジスタの対応ビットの設定により、Figure 2-1 の SEL1 の接続が切り換わります。DRQSEL[n]=0 の場合、記載している割り込み信号が接続されます。DRQSEL[n]=1 の場合、記載している割込み信号は接続されません。

DSTC: 記載値が"-"の場合、DSTC による DMA 転送に対応していないことを示します。
記載値が"数字"の場合、Combined 型の周辺機能からの割込み信号で、DSTC による DMA 転送に対応している割込み信号であることを示します。"数字"は DSTC の DREQENB[n]レジスタのビット番号を示します。DSTC の DREQENB[n]レジスタの設定により、Figure 2-1 の SEL2 の接続が切り換わります。DREQENB[n]=0 の場合、記載している割込み信号が接続されます。DREQENB[n]=1 の場合、DSTC による HW 転送終了割込み HWINT[n]が接続されます。
記載値が"*"の場合、Separated 型の周辺機能であって、DSTC による HW 転送終了割り込みが接続されていることを示します。

例外と割込み要因: 例外と割込み要因を記載します。複数存在する場合、各周辺機能内の割込み要因が論理 OR されていることを示します。また単独の記載であっても、各周辺機能の内部にて、複数の割込み要因が論理 OR されていることがあります。各周辺機能の説明を参照してください。

Table 3-1 例外と割込み要因一覧（TYPE1-M4,TYPE2-M4,TYPE3-M4,TYPE5-M4,TYPE6-M4 製品）

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
0	-	0x000	-	-	-	(スタックポインタ初期値)
1	-	0x004	-	-	-	Reset
2	-	0x008	0	-	-	Non-maskableInterrupt (NMI)
			1	-	-	ハードウェアウォッチドッグタイマ割込み
3	-	0x00C	-	-	-	Hard Fault
4	-	0x010	-	-	-	Mem Manage Fault
5	-	0x014	-	-	-	Bus Fault
6	-	0x018	-	-	-	Usage Fault
7 | 10	-	0x01C | 0x02B	-	-	-	Reserved
11	-	0x02C	-	-	-	SVCall(スーパバイザコール)
12	-	0x030	-	-	-	Debug Monitor
13	-	0x034	-	-	-	Reserved
14	-	0x038	-	-	-	PendSV
15	-	0x03C	-	-	-	SysTick
16	0	0x040	0	-	-	クロックスーパバイザによる異常周波数検出割込み(FCS)
17	1	0x044	0	-	-	ソフトウェアウォッチドッグタイマ割込み
18	2	0x048	0	-	-	低電圧検出(LVD)割込み
19	3	0x04C	7-0	-	-	リロケート割込み (IRQ003SEL 選択)
20	4	0x050	7-0	-	-	リロケート割込み (IRQ004SEL 選択)
21	5	0x054	7-0	-	-	リロケート割込み (IRQ005SEL 選択)
22	6	0x058	7-0	-	-	リロケート割込み (IRQ006SEL 選択)
23	7	0x05C	7-0	-	-	リロケート割込み (IRQ007SEL 選択)
24	8	0x060	7-0	-	-	リロケート割込み (IRQ008SEL 選択)
25	9	0x064	7-0	-	-	リロケート割込み (IRQ009SEL 選択)
26	10	0x068	7-0	-	-	リロケート割込み (IRQ010SEL 選択)
27	11	0x06C	0	28	0	外部端子割込み ch.0
28	12	0x070	0	29	1	外部端子割込み ch.1
29	13	0x074	0	30	2	外部端子割込み ch.2
30	14	0x078	0	31	3	外部端子割込み ch.3
31	15	0x07C	0	-	4	外部端子割込み ch.4
32	16	0x080	0	-	5	外部端子割込み ch.5
33	17	0x084	0	-	6	外部端子割込み ch.6
34	18	0x088	0	-	7	外部端子割込み ch.7
35	19	0x08C	5	-	81	QPRC ch.0 PC 一致&RC 一致割込み
			4	-	80	QPRC ch.0 範囲外割込み
			3	-	79	QPRC ch.0 カウント反転割込み
			2	-	78	QPRC ch.0 オーバフロー割込み QPRC ch.0 アンダフロー割込み QPRC ch.0 ゼロインデックス割込み
			1	-	77	QPRC ch.0 PC&RC 一致割込み
			0	-	76	QPRC ch.0 PC 一致割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
36	20	0x090	5	-	87	QPRC ch.1 PC 一致&RC 一致割込み
			4	-	86	QPRC ch.1 範囲外割込み
			3	-	85	QPRC ch.1 カウント反転割込み
			2	-	84	QPRC ch.1 オーバフロー割込み QPRC ch.1 アンダフロー割込み QPRC ch.1 ゼロインデックス割込み
			1	-	83	QPRC ch.1 PC&RC 一致割込み
			0	-	82	QPRC ch.1 PC 一致割込み
37	21	0x094	3	-	34	MFT unit0 WFG タイマ 54 割込み
			2	-	33	MFT unit0 WFG タイマ 32 割込み
			1	-	32	MFT unit0 WFG タイマ 10 割込み
			0	-	-	MFT unit0 DTIF 割込み(モータ緊急停止)
38	22	0x098	3	-	53	MFT unit1 WFG タイマ 54 割込み
			2	-	52	MFT unit1 WFG タイマ 32 割込み
			1	-	51	MFT unit1 WFG タイマ 10 割込み
			0	-	-	MFT unit1 DTIF 割込み(モータ緊急停止)
39	23	0x09C	3	-	162	MFT unit2 WFG タイマ 54 割込み
			2	-	161	MFT unit2 WFG タイマ 32 割込み
			1	-	160	MFT unit2 WFG タイマ 10 割込み
			0	-	-	MFT unit2 DTIF 割込み(モータ緊急停止)
40	24	0x0A0	2	-	37	MFT unit0 FRT ch.2 Peak 値検出割込み
			1	-	36	MFT unit0 FRT ch.1 Peak 値検出割込み
			0	-	35	MFT unit0 FRT ch.0 Peak 値検出割込み
41	25	0x0A4	2	-	40	MFT unit0 FRT ch.2 Zero 値検出割込み
			1	-	39	MFT unit0 FRT ch.1 Zero 値検出割込み
			0	-	38	MFT unit0 FRT ch.0 Zero 値検出割込み
42	26	0x0A8	3	-	44	MFT unit0 ICU ch.3 入力エッジ検出割込み
			2	-	43	MFT unit0 ICU ch.2 入力エッジ検出割込み
			1	-	42	MFT unit0 ICU ch.1 入力エッジ検出割込み
			0	-	41	MFT unit0 ICU ch.0 入力エッジ検出割込み
43	27	0x0AC	5	-	50	MFT unit0 OCU ch.5 一致検出割込み
			4	-	49	MFT unit0 OCU ch.4 一致検出割込み
			3	-	48	MFT unit0 OCU ch.3 一致検出割込み
			2	-	47	MFT unit0 OCU ch.2 一致検出割込み
			1	-	46	MFT unit0 OCU ch.1 一致検出割込み
			0	-	45	MFT unit0 OCU ch.0 一致検出割込み
44	28	0x0B0	2	-	56	MFT unit1 FRT ch.2 Peak 値検出割込み
			1	-	55	MFT unit1 FRT ch.1 Peak 値検出割込み
			0	-	54	MFT unit1 FRT ch.0 Peak 値検出割込み
45	29	0x0B4	2	-	59	MFT unit1 FRT ch.2 Zero 値検出割込み
			1	-	58	MFT unit1 FRT ch.1 Zero 値検出割込み
			0	-	57	MFT unit1 FRT ch.0 Zero 値検出割込み
46	30	0x0B8	3	-	63	MFT unit1 ICU ch.3 入力エッジ検出割込み
			2	-	62	MFT unit1 ICU ch.2 入力エッジ検出割込み
			1	-	61	MFT unit1 ICU ch.1 入力エッジ検出割込み
			0	-	60	MFT unit1 ICU ch.0 入力エッジ検出割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
47	31	0x0BC	5	-	69	MFT unit1 OCU ch.5 一致検出割込み
			4	-	68	MFT unit1 OCU ch.4 一致検出割込み
			3	-	67	MFT unit1 OCU ch.3 一致検出割込み
			2	-	66	MFT unit1 OCU ch.2 一致検出割込み
			1	-	65	MFT unit1 OCU ch.1 一致検出割込み
			0	-	64	MFT unit1 OCU ch.0 一致検出割込み
48	32	0x0C0	2	-	165	MFT unit2 FRT ch.2 Peak 値検出割込み
			1	-	164	MFT unit2 FRT ch.1 Peak 値検出割込み
			0	-	163	MFT unit2 FRT ch.0 Peak 値検出割込み
49	33	0x0C4	2	-	168	MFT unit2 FRT ch.2 Zero 値検出割込み
			1	-	167	MFT unit2 FRT ch.1 Zero 値検出割込み
			0	-	166	MFT unit2 FRT ch.0 Zero 値検出割込み
50	34	0x0C8	3	-	172	MFT unit2 ICU ch.3 入力エッジ検出割込み
			2	-	171	MFT unit2 ICU ch.2 入力エッジ検出割込み
			1	-	170	MFT unit2 ICU ch.1 入力エッジ検出割込み
			0	-	169	MFT unit2 ICU ch.0 入力エッジ検出割込み
51	35	0x0CC	5	-	178	MFT unit2 OCU ch.5 一致検出割込み
			4	-	177	MFT unit2 OCU ch.4 一致検出割込み
			3	-	176	MFT unit2 OCU ch.3 一致検出割込み
			2	-	175	MFT unit2 OCU ch.2 一致検出割込み
			1	-	174	MFT unit2 OCU ch.1 一致検出割込み
			0	-	173	MFT unit2 OCU ch.0 一致検出割込み
52	36	0x0D0	2	-	72	PPG ch.4 割込み
			1	-	71	PPG ch.2 割込み
			0	-	70	PPG ch.0 割込み
53	37	0x0D4	2	-	75	PPG ch.12 割込み
			1	-	74	PPG ch.10 割込み
			0	-	73	PPG ch.8 割込み
54	38	0x0D8	2	-	181	PPG ch.20 割込み
			1	-	180	PPG ch.18 割込み
			0	-	179	PPG ch.16 割込み
55	39	0x0DC	1	-	17	ベースタイマ ch.0 要因 1(IRQ1)割込み
			0	8	16	ベースタイマ ch.0 要因 0(IRQ0)割込み
56	40	0x0E0	1	-	19	ベースタイマ ch.1 要因 1(IRQ1)割込み
			0	-	18	ベースタイマ ch.1 要因 0(IRQ0)割込み
57	41	0x0E4	1	-	21	ベースタイマ ch.2 要因 1(IRQ1)割込み
			0	9	20	ベースタイマ ch.2 要因 0(IRQ0)割込み
58	42	0x0E8	1	-	23	ベースタイマ ch.3 要因 1(IRQ1)割込み
			0	-	22	ベースタイマ ch.3 要因 0(IRQ0)割込み
59	43	0x0EC	1	-	25	ベースタイマ ch.4 要因 1(IRQ1)割込み
			0	10	24	ベースタイマ ch.4 要因 0(IRQ0)割込み
60	44	0x0F0	1	-	27	ベースタイマ ch.5 要因 1(IRQ1)割込み
			0	-	26	ベースタイマ ch.5 要因 0(IRQ0)割込み
61	45	0x0F4	1	-	29	ベースタイマ ch.6 要因 1(IRQ1)割込み
			0	11	28	ベースタイマ ch.6 要因 0(IRQ0)割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
62	46	0x0F8	1	-	31	ベースタイマ ch.7 要因 1(IRQ1)割込み
			0	-	30	ベースタイマ ch.7 要因 0(IRQ0)割込み
63	47	0x0FC	1	-	-	デュアルタイマ ch.2 割込み
			0	-	-	デュアルタイマ ch.1 割込み
64	48	0x100	0	-	88	時計カウンタ割込み
65	49	0x104	0	-	-	外部バスエラー出力割込み
66	50	0x108	0	-	-	リアルタイムカウンタ割込み
67	51	0x10C	0	-	8	外部端子割込み ch.8
68	52	0x110	0	-	9	外部端子割込み ch.9
69	53	0x114	0	-	10	外部端子割込み ch.10
70	54	0x118	0	-	11	外部端子割込み ch.11
71	55	0x11C	0	-	12	外部端子割込み ch.12
72	56	0x120	0	-	13	外部端子割込み ch.13
73	57	0x124	0	-	14	外部端子割込み ch.14
74	58	0x128	0	-	15	外部端子割込み ch.15
75	59	0x12C	4	-	-	I^2S PLL 発振安定待ち完了割込み
			3	-	-	USB/Ethernet –PLL 発振 安定待ち完了割込み
			2	-	-	メイン PLL 発振安定待ち完了割込み
			1	-	-	サブクロック発振安定待ち完了割込み
			0	-	-	メインクロック発振安定待ち完了割込み
76	60	0x130	0	12	89	MFS ch.0 受信割込み
77	61	0x134	1	-	-	MFS ch.0 ステータス割込み
			0	13	90	MFS ch.0 送信割込み
78	62	0x138	0	14	91	MFS ch.1 受信割込み
79	63	0x13C	1	-	-	MFS ch.1 ステータス割込み
			0	15	92	MFS ch.1 送信割込み
80	64	0x140	0	16	93	MFS ch.2 受信割込み
81	65	0x144	1	-	-	MFS ch.2 ステータス割込み
			0	17	94	MFS ch.2 送信割込み
82	66	0x148	0	18	95	MFS ch.3 受信割込み
83	67	0x14C	1	-	-	MFS ch.3 ステータス割込み
			0	19	96	MFS ch.3 送信割込み
84	68	0x150	0	20	97	MFS ch.4 受信割込み
85	69	0x154	1	-	-	MFS ch.4 ステータス割込み
			0	21	98	MFS ch.4 送信割込み
86	70	0x158	0	22	99	MFS ch.5 受信割込み
87	71	0x15C	1	-	-	MFS ch.5 ステータス割込み
			0	23	100	MFS ch.5 送信割込み
88	72	0x160	0	24	101	MFS ch.6 受信割込み
89	73	0x164	1	-	-	MFS ch.6 ステータス割込み
			0	25	102	MFS ch.6 送信割込み
90	74	0x168	0	26	103	MFS ch.7 受信割込み
91	75	0x16C	1	-	-	MFS ch.7 ステータス割込み
			0	27	104	MFS ch.7 送信割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
92	76	0x170	4	-	-	A/D コンバータ unit0 レンジ比較結果割込み
			3	-	-	A/D コンバータ unit0 変換結果比較割込み
			2	-	-	A/D コンバータ unit0 FIFO オーバラン割込み
			1	5	111	A/D コンバータ unit0 スキャン変換割込み
			0	-	110	A/D コンバータ unit0 優先変換割込み
93	77	0x174	4	-	-	A/D コンバータ unit1 レンジ比較結果割込み
			3	-	-	A/D コンバータ unit1 変換結果比較割込み
			2	-	-	A/D コンバータ unit1 FIFO オーバラン割込み
			1	6	113	A/D コンバータ unit1 スキャン変換割込み
			0	-	112	A/D コンバータ unit1 優先変換割込み
94	78	0x178	4	4	109	USB ch.0 Function Endpoint 5 DRQ 割込み
			3	3	108	USB ch.0 Function Endpoint 4 DRQ 割込み
			2	2	107	USB ch.0 Function Endpoint 3 DRQ 割込み
			1	1	106	USB ch.0 Function Endpoint 2 DRQ 割込み
			0	0	105	USB ch.0 Function Endpoint 1 DRQ 割込み
95	79	0x17C	5	-	-	USB ch.0 Host SOFIRQ 割込み USB ch.0 Host CMPIRQ 割込み
			4	-	-	USB ch.0 Host DIRQ 割込み USB ch.0 Host URIRQ 割込み USB ch.0 Host RWKIRQ 割込み USB ch.0 Host CNNIRQ 割込み
			3	-	-	USB ch.0 Function SPK 割込み
			2	-	-	USB ch.0 Function SUSP 割込み USB ch.0 Function SOF 割込み USB ch.0 Function BRST 割込み USB ch.0 Function CONF 割込み USB ch.0 Function WKUP 割込み
			1	-	-	USB ch.0 Function Endpoint0 DRQO 割込み
			0	-	-	USB ch.0 Function Endpoint0 DRQI 割込み
96	80	0x180	0	-	-	CAN ch.0 割込み
97	81	0x184	4	-	-	CAN-FD 1 割込み
			3	-	-	CAN-FD 0 割込み
			2	-	-	CAN-FD シングルビットエラー割込み
			1	-	-	CAN-FD ダブルビットエラー割込み
			0	-	-	CAN ch.1 割込み
98	82	0x188	2	-	-	Ethernet ch.0 LPI 割込み
			1	-	-	Ethernet ch.0 PMT 割込み
			0	-	-	Ethernet ch.0 SBD 割込み
99	83	0x18C	0	-	-	DMAC ch.0 割込み
100	84	0x190	0	-	-	DMAC ch.1 割込み
101	85	0x194	0	-	-	DMAC ch.2 割込み
102	86	0x198	0	-	-	DMAC ch.3 割込み
103	87	0x19C	0	-	-	DMAC ch.4 割込み
104	88	0x1A0	0	-	-	DMAC ch.5 割込み
105	89	0x1A4	0	-	-	DMAC ch.6 割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
106	90	0x1A8	0	-	-	DMAC ch.7 割込み
107	91	0x1AC	1	-	-	DSTC ERINT 割込み
			0	-	-	DSTC SWINT 割込み
108	92	0x1B0	3	-	131	外部端子割込み ch.19
			2	-	130	外部端子割込み ch.18
			1	-	129	外部端子割込み ch.17
			0	-	128	外部端子割込み ch.16
109	93	0x1B4	3	-	135	外部端子割込み ch.23
			2	-	134	外部端子割込み ch.22
			1	-	133	外部端子割込み ch.21
			0	-	132	外部端子割込み ch.20
110	94	0x1B8	3	-	139	外部端子割込み ch.27
			2	-	138	外部端子割込み ch.26
			1	-	137	外部端子割込み ch.25
			0	-	136	外部端子割込み ch.24
111	95	0x1BC	3	-	143	外部端子割込み ch.31
			2	-	142	外部端子割込み ch.30
			1	-	141	外部端子割込み ch.29
			0	-	140	外部端子割込み ch.28
112	96	0x1C0	5	-	187	QPRC ch.2 PC 一致&RC 一致割込み
			4	-	186	QPRC ch.2 範囲外割込み
			3	-	185	QPRC ch.2 カウント反転割込み
			2	-	184	QPRC ch.2 オーバフロー割込み QPRC ch.2 アンダフロー割込み QPRC ch.2 ゼロインデックス割込み
			1	-	183	QPRC ch.2 PC&RC 一致割込み
			0	-	182	QPRC ch.2 PC 一致割込み
113	97	0x1C4	5	-	193	QPRC ch.3 PC 一致&RC 一致割込み
			4	-	192	QPRC ch.3 範囲外割込み
			3	-	191	QPRC ch.3 カウント反転割込み
			2	-	190	QPRC ch.3 オーバフロー割込み QPRC ch.3 アンダフロー割込み QPRC ch.3 ゼロインデックス割込み
			1	-	189	QPRC ch.3 PC&RC 一致割込み
			0	-	188	QPRC ch.3 PC 一致割込み
114	98	0x1C8	1	-	145	ベースタイマ ch.8 要因 1(IRQ1)割込み
			0	-	144	ベースタイマ ch.8 要因 0(IRQ0)割込み
115	99	0x1CC	1	-	147	ベースタイマ ch.9 要因 1(IRQ1)割込み
			0	-	146	ベースタイマ ch.9 要因 0(IRQ0)割込み
116	100	0x1D0	1	-	149	ベースタイマ ch.10 要因 1(IRQ1)割込み
			0	-	148	ベースタイマ ch.10 要因 0(IRQ0)割込み
117	101	0x1D4	1	-	151	ベースタイマ ch.11 要因 1(IRQ1)割込み
			0	-	150	ベースタイマ ch.11 要因 0(IRQ0)割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
118	102	0x1D8	7	-	159	ベースタイマ ch.15 要因 1(IRQ1)割込み
			6	-	158	ベースタイマ ch.15 要因 0(IRQ0)割込み
			5	-	157	ベースタイマ ch.14 要因 1(IRQ1)割込み
			4	-	156	ベースタイマ ch.14 要因 0(IRQ0)割込み
			3	-	155	ベースタイマ ch.13 要因 1(IRQ1)割込み
			2	-	154	ベースタイマ ch.13 要因 0(IRQ0)割込み
			1	-	153	ベースタイマ ch.12 要因 1(IRQ1)割込み
			0	-	152	ベースタイマ ch.12 要因 0(IRQ0)割込み
119	103	0x1DC	0	-	194	MFS ch.8 受信割込み
120	104	0x1E0	1	-	-	MFS ch.8 ステータス割込み
			0	-	195	MFS ch.8 送信割込み
121	105	0x1E4	0	-	196	MFS ch.9 受信割込み
122	106	0x1E8	1	-	-	MFS ch.9 ステータス割込み
			0	-	197	MFS ch.9 送信割込み
123	107	0x1EC	0	-	198	MFS ch.10 受信割込み
124	108	0x1F0	1	-	-	MFS ch.10 ステータス割込み
			0	-	199	MFS ch.10 送信割込み
125	109	0x1F4	0	-	200	MFS ch.11 受信割込み
126	110	0x1F8	1	-	-	MFS ch.11 ステータス割込み
			0	-	201	MFS ch.11 送信割込み
127	111	0x1FC	4	-	-	A/D コンバータ unit2 レンジ比較結果割込み
			3	-	-	A/D コンバータ unit2 変換結果比較割込み
			2	-	-	A/D コンバータ unit2 FIFO オーバラン割込み
			1	7	115	A/D コンバータ unit2 スキャン変換割込み
			0	-	114	A/D コンバータ unit2 優先変換割込み
128	112	0x200	5	-	*	DSTC-HWINT[223] (CAN-FD)
			4	-	*	DSTC-HWINT[222] (プログラマブル CRC)
			3	-	*	DSTC-HWINT[221] (HS-SPICNT 送信)
			2	-	*	DSTC-HWINT[220] (HS-SPICNT 受信)
			1	-	*	DSTC-HWINT[219] (I^2S 送信)
			0	-	*	DSTC-HWINT[218] (I^2S 受信)
129	113	0x204	5	-	-	HDMI-CEC リモコン受信 ch.0 割込み
			4	-	206	USB ch.1 Function Endpoint 5 DRQ 割込み
			3	-	205	USB ch.1 Function Endpoint 4 DRQ 割込み
			2	-	204	USB ch.1 Function Endpoint 3 DRQ 割込み
			1	-	203	USB ch.1 Function Endpoint 2 DRQ 割込み
			0	-	202	USB ch.1 Function Endpoint 1 DRQ 割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
130	114	0x208	6	-	-	HDMI-CEC リモコン受信 ch1 割込み
			5	-	-	USB ch.1 Host SOFIRQ 割込み USB ch.1 Host CMPIRQ 割込み
			4	-	-	USB ch.1 Host DIRQ 割込み USB ch.1 Host URIRQ 割込み USB ch.1 Host RWKIRQ 割込み USB ch.1 Host CNNIRQ 割込み
			3	-	-	USB ch.1 Function SPK 割込み
			2	-	-	USB ch.1 Function SUSP 割込み USB ch.1 Function SOF 割込み USB ch.1 Function BRST 割込み USB ch.1 Function CONF 割込み USB ch.1 Function WKUP 割込み
			1	-	-	USB ch.1 Function Endpoint0 DRQO 割込み
			0	-	-	USB ch.1 Function Endpoint0 DRQI 割込み
131	115	0x20C	2	-	-	HS-SPICNT 違反検出割込み
			1	-	-	HS-SPICNT 送信割込み
			0	-	-	HS-SPICNT 受信割込み
132	116	0x210	0	-	-	Reserved
133	117	0x214	4	-	-	スマートカードインタフェース ch.1 割込み
			3	-	-	スマートカードインタフェース ch.0 割込み
			2	-	-	Reserved
			1	-	-	プログラマブル CRC 割込み
			0	-	-	I^2S ch.0 割込み
134	118	0x218	1	-	-	SD Card 割込み
			0	-	-	SD I/F 全割込み要因集約
135	119	0x21C	0	-	-	FLASH インタフェース
136	120	0x220	0	-	209	MFS ch.12 受信割込み
137	121	0x224	1	-	-	MFS ch.12 ステータス割込み
			0	-	210	MFS ch.12 送信割込み
138	122	0x228	0	-	211	MFS ch.13 受信割込み
139	123	0x22C	1	-	-	MFS ch.13 ステータス割込み
			0	-	212	MFS ch.13 送信割込み
140	124	0x230	0	-	213	MFS ch.14 受信割込み
141	125	0x234	1	-	-	MFS ch.14 ステータス割込み
			0	-	214	MFS ch.14 送信割込み
142	126	0x238	0	-	215	MFS ch.15 受信割込み
143	127	0x23C	1	-	-	MFS ch.15 ステータス割込み
			0	-	216	MFS ch.15 送信割込み

Table 3-2 例外と割込み要因一覧（TYPE4-M4 製品）

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
0	-	0x000	-	-	-	(スタックポインタ初期値)
1	-	0x004	-	-	-	Reset
2	-	0x008	0	-	-	Non-maskableInterrupt (NMI)
			1	-	-	ハードウェアウォッチドッグタイマ割込み
3	-	0x00C	-	-	-	Hard Fault
4	-	0x010	-	-	-	Mem Manage Fault
5	-	0x014	-	-	-	Bus Fault
6	-	0x018	-	-	-	Usage Fault
7 ~ 10	-	0x01C ~ 0x02B	-	-	-	Reserved
11	-	0x02C	-	-	-	SVCall(スーパバイザコール)
12	-	0x030	-	-	-	Debug Monitor
13	-	0x034	-	-	-	Reserved
14	-	0x038	-	-	-	PendSV
15	-	0x03C	-	-	-	SysTick
16	0	0x040	0	-	-	クロックスーパバイザによる異常周波数検出割込み(FCS)
17	1	0x044	0	-	-	ソフトウェアウォッチドッグタイマ割込み
18	2	0x048	0	-	-	低電圧検出(LVD)割込み
19	3	0x04C	15-0	-	-	リロケート割込み　(IRQ003SEL 選択)
20	4	0x050	15-0	-	-	リロケート割込み　(IRQ004SEL 選択)
21	5	0x054	15-0	-	-	リロケート割込み　(IRQ005SEL 選択)
22	6	0x058	15-0	-	-	リロケート割込み　(IRQ006SEL 選択)
23	7	0x05C	15-0	-	-	リロケート割込み　(IRQ007SEL 選択)
24	8	0x060	15-0	-	-	リロケート割込み　(IRQ008SEL 選択)
25	9	0x064	15-0	-	-	リロケート割込み　(IRQ009SEL 選択)
26	10	0x068	15-0	-	-	リロケート割込み　(IRQ010SEL 選択)
27	11	0x06C	0	28	0	外部端子割込み ch.0
28	12	0x070	0	29	1	外部端子割込み ch.1
29	13	0x074	0	30	2	外部端子割込み ch.2
30	14	0x078	0	31	3	外部端子割込み ch.3
31	15	0x07C	0	-	4	外部端子割込み ch.4
32	16	0x080	0	-	5	外部端子割込み ch.5
33	17	0x084	0	-	6	外部端子割込み ch.6
34	18	0x088	0	-	7	外部端子割込み ch.7
35	19	0x08C	5	-	81	QPRC ch.0　PC 一致&RC 一致割込み
			4	-	80	QPRC ch.0　範囲外割込み
			3	-	79	QPRC ch.0　カウント反転割込み
			2	-	78	QPRC ch.0　オーバフロー割込み QPRC ch.0　アンダフロー割込み QPRC ch.0　ゼロインデックス割込み
			1	-	77	QPRC ch.0　PC&RC 一致割込み
			0	-	76	QPRC ch.0　PC 一致割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
36	20	0x090	-	-	-	Reserved
37	21	0x094	3	-	34	MFT unit0 WFG タイマ 54 割込み
			2	-	33	MFT unit0 WFG タイマ 32 割込み
			1	-	32	MFT unit0 WFG タイマ 10 割込み
			0	-	-	MFT unit0 DTIF 割込み(モータ緊急停止)
38	22	0x098	-	-	-	Reserved
39	23	0x09C	-	-	-	Reserved
40	24	0x0A0	2	-	37	MFT unit0 FRT ch.2 Peak 値検出割込み
			1	-	36	MFT unit0 FRT ch.1 Peak 値検出割込み
			0	-	35	MFT unit0 FRT ch.0 Peak 値検出割込み
41	25	0x0A4	2	-	40	MFT unit0 FRT ch.2 Zero 値検出割込み
			1	-	39	MFT unit0 FRT ch.1 Zero 値検出割込み
			0	-	38	MFT unit0 FRT ch.0 Zero 値検出割込み
42	26	0x0A8	3	-	44	MFT unit0 ICU ch.3 入力エッジ検出割込み
			2	-	43	MFT unit0 ICU ch.2 入力エッジ検出割込み
			1	-	42	MFT unit0 ICU ch.1 入力エッジ検出割込み
			0	-	41	MFT unit0 ICU ch.0 入力エッジ検出割込み
43	27	0x0AC	5	-	50	MFT unit0 OCU ch.5 一致検出割込み
			4	-	49	MFT unit0 OCU ch.4 一致検出割込み
			3	-	48	MFT unit0 OCU ch.3 一致検出割込み
			2	-	47	MFT unit0 OCU ch.2 一致検出割込み
			1	-	46	MFT unit0 OCU ch.1 一致検出割込み
			0	-	45	MFT unit0 OCU ch.0 一致検出割込み
44	28	0x0B0	-	-	-	Reserved
45	29	0x0B4	-	-	-	Reserved
46	30	0x0B8	-	-	-	Reserved
47	31	0x0BC	-	-	-	Reserved
48	32	0x0C0	-	-	-	Reserved
49	33	0x0C4	-	-	-	Reserved
50	34	0x0C8	-	-	-	Reserved
51	35	0x0CC	-	-	-	Reserved
52	36	0x0D0	2	-	72	PPG ch.4 割込み
			1	-	71	PPG ch.2 割込み
			0	-	70	PPG ch.0 割込み
53	37	0x0D4	-	-	-	Reserved
54	38	0x0D8	-	-	-	Reserved
55	39	0x0DC	1	-	17	ベーステイマ ch.0 要因 1(IRQ1)割込み
			0	8	16	ベーステイマ ch.0 要因 0(IRQ0)割込み
56	40	0x0E0	1	-	19	ベーステイマ ch.1 要因 1(IRQ1)割込み
			0	-	18	ベーステイマ ch.1 要因 0(IRQ0)割込み
57	41	0x0E4	1	-	21	ベーステイマ ch.2 要因 1(IRQ1)割込み
			0	9	20	ベーステイマ ch.2 要因 0(IRQ0)割込み
58	42	0x0E8	1	-	23	ベーステイマ ch.3 要因 1(IRQ1)割込み
			0	-	22	ベーステイマ ch.3 要因 0(IRQ0)割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
59	43	0x0EC	1	-	25	ベースタイマ ch.4 要因 1(IRQ1)割込み
			0	10	24	ベースタイマ ch.4 要因 0(IRQ0)割込み
60	44	0x0F0	1	-	27	ベースタイマ ch.5 要因 1(IRQ1)割込み
			0	-	26	ベースタイマ ch.5 要因 0(IRQ0)割込み
61	45	0x0F4	1	-	29	ベースタイマ ch.6 要因 1(IRQ1)割込み
			0	11	28	ベースタイマ ch.6 要因 0(IRQ0)割込み
62	46	0x0F8	1	-	31	ベースタイマ ch.7 要因 1(IRQ1)割込み
			0	-	30	ベースタイマ ch.7 要因 0(IRQ0)割込み
63	47	0x0FC	1	-	-	デュアルタイマ ch.2 割込み
			0	-	-	デュアルタイマ ch.1 割込み
64	48	0x100	0	-	88	時計カウンタ割込み
65	49	0x104	1	-	-	GDC SDRAM-IF 割込み
			0	-	-	外部バスエラー出力割込み
66	50	0x108	0	-	-	リアルタイムカウンタ割込み
67	51	0x10C	0	-	8	外部端子割込み ch.8
68	52	0x110	0	-	9	外部端子割込み ch.9
69	53	0x114	0	-	10	外部端子割込み ch.10
70	54	0x118	0	-	11	外部端子割込み ch.11
71	55	0x11C	0	-	12	外部端子割込み ch.12
72	56	0x120	0	-	13	外部端子割込み ch.13
73	57	0x124	0	-	14	外部端子割込み ch.14
74	58	0x128	0	-	15	外部端子割込み ch.15
75	59	0x12C	5	-	-	GDC PLL 発振安定待ち完了割込み
			4	-	-	I^2S PLL 発振安定待ち完了割込み
			3	-	-	USB–PLL 発振 安定待ち完了割込み
			2	-	-	メイン PLL 発振安定待ち完了割込み
			1	-	-	サブクロック発振安定待ち完了割込み
			0	-	-	メインクロック発振安定待ち完了割込み
76	60	0x130	0	12	89	MFS ch.0 受信割込み
77	61	0x134	1	-	-	MFS ch.0 ステータス割込み
			0	13	90	MFS ch.0 送信割込み
78	62	0x138	0	14	91	MFS ch.1 受信割込み
79	63	0x13C	1	-	-	MFS ch.1 ステータス割込み
			0	15	92	MFS ch.1 送信割込み
80	64	0x140	0	16	93	MFS ch.2 受信割込み
81	65	0x144	1	-	-	MFS ch.2 ステータス割込み
			0	17	94	MFS ch.2 送信割込み
82	66	0x148	0	18	95	MFS ch.3 受信割込み
83	67	0x14C	1	-	-	MFS ch.3 ステータス割込み
			0	19	96	MFS ch.3 送信割込み
84	68	0x150	0	20	97	MFS ch.4 受信割込み
85	69	0x154	1	-	-	MFS ch.4 ステータス割込み
			0	21	98	MFS ch.4 送信割込み

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
86	70	0x158	0	22	99	MFS ch.5 受信割込み
87	71	0x15C	1	-	-	MFS ch.5 ステータス割込み
			0	23	100	MFS ch.5 送信割込み
88	72	0x160	0	24	101	MFS ch.6 受信割込み
89	73	0x164	1	-	-	MFS ch.6 ステータス割込み
			0	25	102	MFS ch.6 送信割込み
90	74	0x168	0	26	103	MFS ch.7 受信割込み
91	75	0x16C	1	-	-	MFS ch.7 ステータス割込み
			0	27	104	MFS ch.7 送信割込み
92	76	0x170	4	-	-	A/D コンバータ unit0 レンジ比較結果割込み
			3	-	-	A/D コンバータ unit0 変換結果比較割込み
			2	-	-	A/D コンバータ unit0 FIFO オーバラン割込み
			1	5	111	A/D コンバータ unit0 スキャン変換割込み
			0	-	110	A/D コンバータ unit0 優先変換割込み
93	77	0x174	4	-	-	A/D コンバータ unit1 レンジ比較結果割込み
			3	-	-	A/D コンバータ unit1 変換結果比較割込み
			2	-	-	A/D コンバータ unit1 FIFO オーバラン割込み
			1	6	113	A/D コンバータ unit1 スキャン変換割込み
			0	-	112	A/D コンバータ unit1 優先変換割込み
94	78	0x178	4	4	109	USB ch.0 Function Endpoint 5 DRQ 割込み
			3	3	108	USB ch.0 Function Endpoint 4 DRQ 割込み
			2	2	107	USB ch.0 Function Endpoint 3 DRQ 割込み
			1	1	106	USB ch.0 Function Endpoint 2 DRQ 割込み
			0	0	105	USB ch.0 Function Endpoint 1 DRQ 割込み
95	79	0x17C	5	-	-	USB ch.0 Host SOFIRQ 割込み USB ch.0 Host CMPIRQ 割込み
			4	-	-	USB ch.0 Host DIRQ 割込み USB ch.0 Host URIRQ 割込み USB ch.0 Host RWKIRQ 割込み USB ch.0 Host CNNIRQ 割込み
			3	-	-	USB ch.0 Function SPK 割込み
			2	-	-	USB ch.0 Function SUSP 割込み USB ch.0 Function SOF 割込み USB ch.0 Function BRST 割込み USB ch.0 Function CONF 割込み USB ch.0 Function WKUP 割込み
			1	-	-	USB ch.0 Function Endpoint0 DRQO 割込み
			0	-	-	USB ch.0 Function Endpoint0 DRQI 割込み
96	80	0x180	-	-	-	Reserved
97	81	0x184	4	-	-	CAN-FD 1 割込み
			3	-	-	CAN-FD 0 割込み
			2	-	-	CAN-FD シングルビットエラー割込み
			1	-	-	CAN-FD ダブルビットエラー割込み
			0	-	-	Reserved

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
98	82	0x188	-	-	-	Reserved
99	83	0x18C	0	-	-	DMAC ch.0 割込み
100	84	0x190	0	-	-	DMAC ch.1 割込み
101	85	0x194	0	-	-	DMAC ch.2 割込み
102	86	0x198	0	-	-	DMAC ch.3 割込み
103	87	0x19C	0	-	-	DMAC ch.4 割込み
104	88	0x1A0	0	-	-	DMAC ch.5 割込み
105	89	0x1A4	0	-	-	DMAC ch.6 割込み
106	90	0x1A8	0	-	-	DMAC ch.7 割込み
107	91	0x1AC	1	-	-	DSTC ERINT 割込み
			0	-	-	DSTC SWINT 割込み
108	92	0x1B0	8	-	-	GDC CommandSequencer 割込み
109	93	0x1B4	8	-	-	GDC BlitEngine 割込み
110	94	0x1B8	8	-	-	GDC DrawingEngine 割込み
111	95	0x1BC	8	-	-	GDC ContentStream0 割込み
112	96	0x1C0	8	-	-	GDC SafetyStream0 割込み
113	97	0x1C4	8	-	-	GDC DisplayStream0 割込み
114	98	0x1C8	8	-	-	GDC Signature0 割込み
115	99	0x1CC	8	-	-	GDC Display0_Sync0 割込み
116	100	0x1D0	8	-	-	GDC Display0_Sync1 割込み
117	101	0x1D4	8	-	-	GDC ContentStream1 割込み
118	102	0x1D8	8	-	-	GDC SafetyStream1 割込み
119	103	0x1DC	8	-	-	GDC DisplayStream1 割込み
120	104	0x1E0	8	-	-	GDC Signature1 割込み
121	105	0x1E4	8	-	-	GDC Display1_Sync0 割込み
122	106	0x1E8	8	-	-	GDC Display1_Sync1 割込み
123	107	0x1EC	8	-	-	GDC CapturePlane0 割込み
124	108	0x1F0	8	-	-	GDC DisplayPlane0 割込み
125	109	0x1F4	8	-	-	GDC StorageStream0 割込み
126	110	0x1F8	8	-	-	GDC Histogram 割込み
127	111	0x1FC	-	-	-	Reserved
128	112	0x200	9	-	*	DSTC-HWINT[125] (GDC HS-SPICNT 送信)
			8	-	*	DSTC-HWINT[124] (GDC HS-SPICNT 受信)
			7	-	*	DSTC-HWINT[123] (I^2S ch.1 送信)
			6	-	*	DSTC-HWINT[122] (I^2S ch.1 受信)
			5	-	*	DSTC-HWINT[127] (CAN-FD)
			4	-	*	DSTC-HWINT[126] (プログラマブル CRC)
			3	-	-	Reserved
			2	-	-	Reserved
			1	-	*	DSTC-HWINT[121] (I^2S ch.0 送信)
			0	-	*	DSTC-HWINT[120] (I^2S ch.0 受信)
129	113	0x204	-	-	-	Reserved
130	114	0x208	-	-	-	Reserved

Exc. No.	IRQ No.	ベクタ Offset	bit	DMAC	DSTC	例外と割込み要因
131	115	0x20C	-	-	-	Reserved
132	116	0x210	-	-	-	Reserved
133	117	0x214	2	-	-	I^2S ch.1 割込み
			1	-	-	プログラマブル CRC 割込み
			0	-	-	I^2S ch.0 割込み
134	118	0x218	1	-	-	SD Card 割込み
			0	-	-	SD I/F 全割込み要因集約
135	119	0x21C	0	-	-	FLASH インタフェース
136	120	0x220	8	-	-	GDC HS-SPICNT 受信割込み
137	121	0x224	8	-	-	GDC HS-SPICNT 送信割込み
138	122	0x228	8	-	-	GDC HS-SPICNT 違反検出割込み
139	123	0x22C	8	-	-	GDC HyperBus Interface 割込み
140	124	0x230	-	-	-	Reserved
141	125	0x234	-	-	-	Reserved
142	126	0x238	-	-	-	Reserved
143	127	0x23C	-	-	-	Reserved

DMAC に入力される DMA 転送要求信号

Table 3-3 に DMAC に DMA 転送要求信号として入力される割込み信号名を示します。番号は DRQSEL レジスタの番号(DMAC の IDREQ 番号)に対応します。

Table 3-3 DMAC に入力される DMA 転送要求信号一覧

番号	割込み信号名
0	USB ch.0　Function Endpoint1 DRQ 割込み
1	USB ch.0　Function Endpoint 2 DRQ 割込み
2	USB ch.0　Function Endpoint 3 DRQ 割込み
3	USB ch.0　Function Endpoint 4 DRQ 割込み
4	USB ch.0　Function Endpoint 5 DRQ 割込み
5	A/D コンバータ unit0 スキャン変換割込み
6	A/D コンバータ unit1 スキャン変換割込み
7	A/D コンバータ unit2 スキャン変換割込み
8	ベースタイマ ch.0 要因 0(IRQ0)割込み
9	ベースタイマ ch.2 要因 0(IRQ0)割込み
10	ベースタイマ ch.4 要因 0(IRQ0)割込み
11	ベースタイマ ch.6 要因 0(IRQ0)割込み
12	MFS ch.0 受信割込み
13	MFS ch.0 送信割込み
14	MFS ch.1 受信割込み
15	MFS ch.1 送信割込み
16	MFS ch.2 受信割込み
17	MFS ch.2 送信割込み
18	MFS ch.3 受信割込み
19	MFS ch.3 送信割込み
20	MFS ch.4 受信割込み
21	MFS ch.4 送信割込み
22	MFS ch.5 受信割込み
23	MFS ch.5 送信割込み
24	MFS ch.6 受信割込み
25	MFS ch.6 送信割込み
26	MFS ch.7 受信割込み
27	MFS ch.7 送信割込み
28	外部端子割込み ch.0
29	外部端子割込み ch.1
30	外部端子割込み ch.2
31	外部端子割込み ch.3

DSTC に入力される DMA 転送要求信号

Table 3-4 (TYPE1-M4, TYPE2-M4, TYPE3-M4,TYPE5-M4,TYPE6-M4 製品),Table 3-5 (TYPE4-M4 製品)に、DSTC に DMA 転送要求信号として入力される割込み信号名を示します。番号は DSTC の DREQENB[n] レジスタの番号に対応します。Separated 型の周辺機能の場合、DMA 転送要信号名（Separated 型）と記載しています。

Table 3-4 DSTC に入力される DMA 転送要求信号一覧
(TYPE1-M4, TYPE2-M4, TYPE3-M4,TYPE5-M4,TYPE6-M4 製品)

番号	割込み信号名
0	外部端子割込み ch.0
1	外部端子割込み ch.1
2	外部端子割込み ch.2
3	外部端子割込み ch.3
4	外部端子割込み ch.4
5	外部端子割込み ch.5
6	外部端子割込み ch.6
7	外部端子割込み ch.7
8	外部端子割込み ch.8
9	外部端子割込み ch.9
10	外部端子割込み ch.10
11	外部端子割込み ch.11
12	外部端子割込み ch.12
13	外部端子割込み ch.13
14	外部端子割込み ch.14
15	外部端子割込み ch.15
16	ベースタイマ ch.0 要因 0(IRQ0)割込み
17	ベースタイマ ch.0 要因 1(IRQ1)割込み
18	ベースタイマ ch.1 要因 0(IRQ0)割込み
19	ベースタイマ ch.1 要因 1(IRQ1)割込み
20	ベースタイマ ch.2 要因 0(IRQ0)割込み
21	ベースタイマ ch.2 要因 1(IRQ1)割込み
22	ベースタイマ ch.3 要因 0(IRQ0)割込み
23	ベースタイマ ch.3 要因 1(IRQ1)割込み
24	ベースタイマ ch.4 要因 0(IRQ0)割込み
25	ベースタイマ ch.4 要因 1(IRQ1)割込み
26	ベースタイマ ch.5 要因 0(IRQ0)割込み
27	ベースタイマ ch.5 要因 1(IRQ1)割込み
28	ベースタイマ ch.6 要因 0(IRQ0)割込み
29	ベースタイマ ch.6 要因 1(IRQ1)割込み
30	ベースタイマ ch.7 要因 0(IRQ0)割込み
31	ベースタイマ ch.7 要因 1(IRQ1)割込み
32	MFT unit0　WFG タイマ 10 割込み
33	MFT unit0　WFG タイマ 32 割込み
34	MFT unit0　WFG タイマ 54 割込み
35	MFT unit0　FRT ch.0 Peak 値検出割込み
36	MFT unit0　FRT ch.1 Peak 値検出割込み

番号	割込み信号名
37	MFT unit0　FRT ch.2 Peak 値検出割込み
38	MFT unit0　FRT ch.0 Zero 値検出割込み
39	MFT unit0　FRT ch.1 Zero 値検出割込み
40	MFT unit0　FRT ch.2 Zero 値検出割込み
41	MFT unit0　ICU ch.0 入力エッジ検出割込み
42	MFT unit0　ICU ch.1 入力エッジ検出割込み
43	MFT unit0　ICU ch.2 入力エッジ検出割込み
44	MFT unit0　ICU ch.3 入力エッジ検出割込み
45	MFT unit0　OCU ch.0 一致検出割込み
46	MFT unit0　OCU ch.1 一致検出割込み
47	MFT unit0　OCU ch.2 一致検出割込み
48	MFT unit0　OCU ch.3 一致検出割込み
49	MFT unit0　OCU ch.4 一致検出割込み
50	MFT unit0　OCU ch.5 一致検出割込み
51	MFT unit1　WFG タイマ 10 割込み
52	MFT unit1　WFG タイマ 32 割込み
53	MFT unit1　WFG タイマ 54 割込み
54	MFT unit1　FRT ch.0 Peak 値検出割込み
55	MFT unit1　FRT ch.1 Peak 値検出割込み
56	MFT unit1　FRT ch.2 Peak 値検出割込み
57	MFT unit1　FRT ch.0 Zero 値検出割込み
58	MFT unit1　FRT ch.1 Zero 値検出割込み
59	MFT unit1　FRT ch.2 Zero 値検出割込み
60	MFT unit1　ICU ch.0 入力エッジ検出割込み
61	MFT unit1　ICU ch.1 入力エッジ検出割込み
62	MFT unit1　ICU ch.2 入力エッジ検出割込み
63	MFT unit1　ICU ch.3 入力エッジ検出割込み
64	MFT unit1　OCU ch.0 一致検出割込み
65	MFT unit1　OCU ch.1 一致検出割込み
66	MFT unit1　OCU ch.2 一致検出割込み
67	MFT unit1　OCU ch.3 一致検出割込み
68	MFT unit1　OCU ch.4 一致検出割込み
69	MFT unit1　OCU ch.5 一致検出割込み
70	PPG ch.0 割込み
71	PPG ch.2 割込み
72	PPG ch.4 割込み
73	PPG ch.8 割込み
74	PPG ch.10 割込み
75	PPG ch.12 割込み
76	QPRC ch.0 PC 一致割込み
77	QPRC ch.0 PC&RC 一致割込み
78	QPRC ch.0 オーバフロー/アンダフロー/ ゼロインデックス割込み
79	QPRC ch.0 カウント反転割込み
80	QPRC ch.0 範囲外割込み
81	QPRC ch.0 PC 一致&RC 一致割込み

番号	割込み信号名
82	QPRC ch.1 PC 一致割込み
83	QPRC ch.1 PC&RC 一致割込み
84	QPRC ch.1 オーバフロー/アンダフロー/ ゼロインデックス割込み
85	QPRC ch.1 カウント反転割込み
86	QPRC ch.1 範囲外割込み
87	QPRC ch.1 PC 一致&RC 一致割込み
88	時計カウンタ割込み
89	MFS ch.0 受信割込み
90	MFS ch.0 送信割込み
91	MFS ch.1 受信割込み
92	MFS ch.1 送信割込み
93	MFS ch.2 受信割込み
94	MFS ch.2 送信割込み
95	MFS ch.3 受信割込み
96	MFS ch.3 送信割込み
97	MFS ch.4 受信割込み
98	MFS ch.4 送信割込み
99	MFS ch.5 受信割込み
100	MFS ch.5 送信割込み
101	MFS ch.6 受信割込み
102	MFS ch.6 送信割込み
103	MFS ch.7 受信割込み
104	MFS ch.7 送信割込み
105	USB ch.0 Function Endpoint1 DRQ 割込み
106	USB ch.0 Function Endpoint2 DRQ 割込み
107	USB ch.0 Function Endpoint3 DRQ 割込み
108	USB ch.0 Function Endpoint4 DRQ 割込み
109	USB ch.0 Function Endpoint5 DRQ 割込み
110	A/D コンバータ unit0 優先変換割込み
111	A/D コンバータ unit0 スキャン変換割込み
112	A/D コンバータ unit1 優先変換割込み
113	A/D コンバータ unit1 スキャン変換割込み
114	A/D コンバータ unit2 優先変換割込み
115	A/D コンバータ unit2 スキャン変換割込み
116～127	予約
128	外部端子割込み ch.16
129	外部端子割込み ch.17
130	外部端子割込み ch.18
131	外部端子割込み ch.19
132	外部端子割込み ch.20
133	外部端子割込み ch.21
134	外部端子割込み ch.22
135	外部端子割込み ch.23
136	外部端子割込み ch.24
137	外部端子割込み ch.25

番号	割込み信号名
138	外部端子割込み ch.26
139	外部端子割込み ch.27
140	外部端子割込み ch.28
141	外部端子割込み ch.29
142	外部端子割込み ch.30
143	外部端子割込み ch.31
144	ベースタイマ ch.8 要因 0(IRQ0)割込み
145	ベースタイマ ch.8 要因 1(IRQ1)割込み
146	ベースタイマ ch.9 要因 0(IRQ0)割込み
147	ベースタイマ ch.9 要因 1(IRQ1)割込み
148	ベースタイマ ch.10 要因 0(IRQ0)割込み
149	ベースタイマ ch.10 要因 1(IRQ1)割込み
150	ベースタイマ ch.11 要因 0(IRQ0)割込み
151	ベースタイマ ch.11 要因 1(IRQ1)割込み
152	ベースタイマ ch.12 要因 0(IRQ0)割込み
153	ベースタイマ ch.12 要因 1(IRQ1)割込み
154	ベースタイマ ch.13 要因 0(IRQ0)割込み
155	ベースタイマ ch.13 要因 1(IRQ1)割込み
156	ベースタイマ ch.14 要因 0(IRQ0)割込み
157	ベースタイマ ch.14 要因 1(IRQ1)割込み
158	ベースタイマ ch.15 要因 0(IRQ0)割込み
159	ベースタイマ ch.15 要因 1(IRQ1)割込み
160	MFT unit2　WFG タイマ 10 割込み
161	MFT unit2　WFG タイマ 32 割込み
162	MFT unit2　WFG タイマ 54 割込み
163	MFT unit2　FRT ch.0 Peak 値検出割込み
164	MFT unit2　FRT ch.1 Peak 値検出割込み
165	MFT unit2　FRT ch.2 Peak 値検出割込み
166	MFT unit2　FRT ch.0 Zero 値検出割込み
167	MFT unit2　FRT ch.1 Zero 値検出割込み
168	MFT unit2　FRT ch.2 Zero 値検出割込み
169	MFT unit2　ICU ch.0 入力エッジ検出割込み
170	MFT unit2　ICU ch.1 入力エッジ検出割込み
171	MFT unit2　ICU ch.2 入力エッジ検出割込み
172	MFT unit2　ICU ch.3 入力エッジ検出割込み
173	MFT unit2　OCU ch.0 一致検出割込み
174	MFT unit2　OCU ch.1 一致検出割込み
175	MFT unit2　OCU ch.2 一致検出割込み
176	MFT unit2　OCU ch.3 一致検出割込み
177	MFT unit2　OCU ch.4 一致検出割込み
178	MFT unit2　OCU ch.5 一致検出割込み
179	PPG ch.16 割込み
180	PPG ch.18 割込み
181	PPG ch.20 割込み
182	QPRC ch.2 PC 一致割込み

番号	割込み信号名
183	QPRC ch.2 PC&RC 一致割込み
184	QPRC ch.2 オーバフロー/アンダフロー/ ゼロインデックス割込み
185	QPRC ch.2 カウント反転割込み
186	QPRC ch.2 範囲外割込み
187	QPRC ch.2 PC 一致&RC 一致割込み
188	QPRC ch.3 PC 一致割込み
189	QPRC ch.3 PC&RC 一致割込み
190	QPRC ch.3 オーバフロー/アンダフロー/ ゼロインデックス割込み
191	QPRC ch.3 カウント反転割込み
192	QPRC ch.3 範囲外割込み
193	QPRC ch.3 PC 一致&RC 一致割込み
194	MFS ch.8 受信割込み
195	MFS ch.8 送信割込み
196	MFS ch.9 受信割込み
197	MFS ch.9 送信割込み
198	MFS ch.10 受信割込み
199	MFS ch.10 送信割込み
200	MFS ch.11 受信割込み
201	MFS ch.11 送信割込み
202	USB ch.1 Function Endpoint1 DRQ 割込み
203	USB ch.1 Function Endpoint2 DRQ 割込み
204	USB ch.1 Function Endpoint3 DRQ 割込み
205	USB ch.1 Function Endpoint4 DRQ 割込み
206	USB ch.1 Function Endpoint5 DRQ 割込み
207～208	予約
209	MFS ch.12 受信割込み
210	MFS ch.12 送信割込み
211	MFS ch.13 受信割込み
212	MFS ch.13 送信割込み
213	MFS ch.14 受信割込み
214	MFS ch.14 送信割込み
215	MFS ch.15 受信割込み
216	MFS ch.15 送信割込み
217	予約
218	I^2S 受信 DSTC 転送要求（Separated 型）
219	I^2S 送信 DSTC 転送要求（Separated 型）
220	HS-SPICNT 受信 DSTC 転送要求（Separated 型）
221	HS-SPICNT 送信 DSTC 転送要求（Separated 型）
222	プログラマブル CRC DSTC 転送要求（Separated 型）
223	CAN-FD DSTC 転送要求（Separated 型）
224~255	予約

Table 3-5 DSTC に入力される DMA 転送要求信号一覧
(TYPE4-M4 製品)

番号	割込み信号名
0	外部端子割込み ch.0
1	外部端子割込み ch.1
2	外部端子割込み ch.2
3	外部端子割込み ch.3
4	外部端子割込み ch.4
5	外部端子割込み ch.5
6	外部端子割込み ch.6
7	外部端子割込み ch.7
8	外部端子割込み ch.8
9	外部端子割込み ch.9
10	外部端子割込み ch.10
11	外部端子割込み ch.11
12	外部端子割込み ch.12
13	外部端子割込み ch.13
14	外部端子割込み ch.14
15	外部端子割込み ch.15
16	ベースタイマ ch.0 要因 0(IRQ0)割込み
17	ベースタイマ ch.0 要因 1(IRQ1)割込み
18	ベースタイマ ch.1 要因 0(IRQ0)割込み
19	ベースタイマ ch.1 要因 1(IRQ1)割込み
20	ベースタイマ ch.2 要因 0(IRQ0)割込み
21	ベースタイマ ch.2 要因 1(IRQ1)割込み
22	ベースタイマ ch.3 要因 0(IRQ0)割込み
23	ベースタイマ ch.3 要因 1(IRQ1)割込み
24	ベースタイマ ch.4 要因 0(IRQ0)割込み
25	ベースタイマ ch.4 要因 1(IRQ1)割込み
26	ベースタイマ ch.5 要因 0(IRQ0)割込み
27	ベースタイマ ch.5 要因 1(IRQ1)割込み
28	ベースタイマ ch.6 要因 0(IRQ0)割込み
29	ベースタイマ ch.6 要因 1(IRQ1)割込み
30	ベースタイマ ch.7 要因 0(IRQ0)割込み
31	ベースタイマ ch.7 要因 1(IRQ1)割込み
32	MFT unit0　WFG タイマ 10 割込み
33	MFT unit0　WFG タイマ 32 割込み
34	MFT unit0　WFG タイマ 54 割込み
35	MFT unit0　FRT ch.0 Peak 値検出割込み
36	MFT unit0　FRT ch.1 Peak 値検出割込み
37	MFT unit0　FRT ch.2 Peak 値検出割込み
38	MFT unit0　FRT ch.0 Zero 値検出割込み
39	MFT unit0　FRT ch.1 Zero 値検出割込み
40	MFT unit0　FRT ch.2 Zero 値検出割込み
41	MFT unit0　ICU ch.0 入力エッジ検出割込み
42	MFT unit0　ICU ch.1 入力エッジ検出割込み

番号	割込み信号名
43	MFT unit0　ICU ch.2 入力エッジ検出割込み
44	MFT unit0　ICU ch.3 入力エッジ検出割込み
45	MFT unit0　OCU ch.0 一致検出割込み
46	MFT unit0　OCU ch.1 一致検出割込み
47	MFT unit0　OCU ch.2 一致検出割込み
48	MFT unit0　OCU ch.3 一致検出割込み
49	MFT unit0　OCU ch.4 一致検出割込み
50	MFT unit0　OCU ch.5 一致検出割込み
51 ～ 69	予約
70	PPG ch.0 割込み
71	PPG ch.2 割込み
72	PPG ch.4 割込み
73 ～ 75	予約
76	QPRC ch.0 PC 一致割込み
77	QPRC ch.0 PC&RC 一致割込み
78	QPRC ch.0 オーバフロー/アンダフロー/ ゼロインデックス割込み
79	QPRC ch.0 カウント反転割込み
80	QPRC ch.0 範囲外割込み
81	QPRC ch.0 PC 一致&RC 一致割込み
82 ～ 87	予約
88	時計カウンタ割込み
89	MFS ch.0 受信割込み
90	MFS ch.0 送信割込み
91	MFS ch.1 受信割込み
92	MFS ch.1 送信割込み
93	MFS ch.2 受信割込み
94	MFS ch.2 送信割込み
95	MFS ch.3 受信割込み
96	MFS ch.3 送信割込み
97	MFS ch.4 受信割込み
98	MFS ch.4 送信割込み
99	MFS ch.5 受信割込み
100	MFS ch.5 送信割込み
101	MFS ch.6 受信割込み
102	MFS ch.6 送信割込み
103	MFS ch.7 受信割込み
104	MFS ch.7 送信割込み
105	USB ch.0 Function Endpoint1 DRQ 割込み
106	USB ch.0 Function Endpoint2 DRQ 割込み
107	USB ch.0 Function Endpoint3 DRQ 割込み
108	USB ch.0 Function Endpoint4 DRQ 割込み
109	USB ch.0 Function Endpoint5 DRQ 割込み
110	A/D コンバータ unit0 優先変換割込み
111	A/D コンバータ unit0 スキャン変換割込み
112	A/D コンバータ unit1 優先変換割込み

番号	割込み信号名
113	A/D コンバータ unit1 スキャン変換割込み
114 ～119	予約
120	I2S ch.0 受信 DSTC 転送要求（Separated 型）
121	I2S ch.0 送信 DSTC 転送要求（Separated 型）
122	I2S ch.1 受信 DSTC 転送要求（Separated 型）
123	I2S ch.1 送信 DSTC 転送要求（Separated 型）
124	GDC HS-SPICNT 受信 DSTC 転送要求（Separated 型）
125	GDC HS-SPICNT 送信 DSTC 転送要求（Separated 型）
126	プログラマブル CRC DSTC 転送要求（Separated 型）
127	CAN-FD DSTC 転送要求（Separated 型）
128 ～255	予約

4. レジスタ

各レジスタ機能について説明します。

レジスター覧

レジスタ略称	レジスタ機能名称	参照先
DRQSEL	DMAC DMA 要求選択レジスタ	4.1
IRQ003SEL	リロケート割込み選択レジスタ	4.2
IRQ004SEL	リロケート割込み選択レジスタ	4.2
IRQ005SEL	リロケート割込み選択レジスタ	4.2
IRQ006SEL	リロケート割込み選択レジスタ	4.2
IRQ007SEL	リロケート割込み選択レジスタ	4.2
IRQ008SEL	リロケート割込み選択レジスタ	4.2
IRQ009SEL	リロケート割込み選択レジスタ	4.2
IRQ010SEL	リロケート割込み選択レジスタ	4.2
EXC02MON	EXC02 一括読出しレジスタ	4.3
IRQ000MON	IRQ000 一括読出しレジスタ	4.4
IRQ001MON	IRQ001 一括読出しレジスタ	4.5
IRQ002MON	IRQ002 一括読出しレジスタ	4.6
IRQ003MON	IRQ003 一括読出しレジスタ	4.7
IRQ004MON	IRQ004 一括読出しレジスタ	4.7
IRQ005MON	IRQ005 一括読出しレジスタ	4.7
IRQ006MON	IRQ006 一括読出しレジスタ	4.7
IRQ007MON	IRQ007 一括読出しレジスタ	4.7
IRQ008MON	IRQ008 一括読出しレジスタ	4.7
IRQ009MON	IRQ009 一括読出しレジスタ	4.7
IRQ010MON	IRQ010 一括読出しレジスタ	4.7
IRQ011MON	IRQ011 一括読出しレジスタ	4.8
IRQ012MON	IRQ012 一括読出しレジスタ	4.8
IRQ013MON	IRQ013 一括読出しレジスタ	4.8
IRQ014MON	IRQ014 一括読出しレジスタ	4.8
IRQ015MON	IRQ015 一括読出しレジスタ	4.8
IRQ016MON	IRQ016 一括読出しレジスタ	4.8
IRQ017MON	IRQ017 一括読出しレジスタ	4.8
IRQ018MON	IRQ018 一括読出しレジスタ	4.8
IRQ019MON	IRQ019 一括読出しレジスタ	4.9
IRQ020MON	IRQ020 一括読出しレジスタ	4.9
IRQ021MON	IRQ021 一括読出しレジスタ	4.10
IRQ022MON	IRQ022 一括読出しレジスタ	4.10
IRQ023MON	IRQ023 一括読出しレジスタ	4.10
IRQ024MON	IRQ024 一括読出しレジスタ	4.11
IRQ025MON	IRQ025 一括読出しレジスタ	4.12
IRQ026MON	IRQ026 一括読出しレジスタ	4.13
IRQ027MON	IRQ027 一括読出しレジスタ	4.14
IRQ028MON	IRQ028 一括読出しレジスタ	4.11
IRQ029MON	IRQ029 一括読出しレジスタ	4.12

レジスタ略称	レジスタ機能名称	参照先
IRQ030MON	IRQ030 一括読出しレジスタ	4.13
IRQ031MON	IRQ031 一括読出しレジスタ	4.14
IRQ032MON	IRQ032 一括読出しレジスタ	4.11
IRQ033MON	IRQ033 一括読出しレジスタ	4.12
IRQ034MON	IRQ034 一括読出しレジスタ	4.13
IRQ035MON	IRQ035 一括読出しレジスタ	4.14
IRQ036MON	IRQ036 一括読出しレジスタ	4.15
IRQ037MON	IRQ037 一括読出しレジスタ	4.15
IRQ038MON	IRQ038 一括読出しレジスタ	4.15
IRQ039MON	IRQ039 一括読出しレジスタ	4.16
IRQ040MON	IRQ040 一括読出しレジスタ	4.16
IRQ041MON	IRQ041 一括読出しレジスタ	4.16
IRQ042MON	IRQ042 一括読出しレジスタ	4.16
IRQ043MON	IRQ043 一括読出しレジスタ	4.16
IRQ044MON	IRQ044 一括読出しレジスタ	4.16
IRQ045MON	IRQ045 一括読出しレジスタ	4.16
IRQ046MON	IRQ046 一括読出しレジスタ	4.16
IRQ047MON	IRQ047 一括読出しレジスタ	4.17
IRQ048MON	IRQ048 一括読出しレジスタ	4.18
IRQ049MON	IRQ049 一括読出しレジスタ	4.19
IRQ050MON	IRQ050 一括読出しレジスタ	4.20
IRQ051MON	IRQ051 一括読出しレジスタ	4.8
IRQ052MON	IRQ052 一括読出しレジスタ	4.8
IRQ053MON	IRQ053 一括読出しレジスタ	4.8
IRQ054MON	IRQ054 一括読出しレジスタ	4.8
IRQ055MON	IRQ055 一括読出しレジスタ	4.8
IRQ056MON	IRQ056 一括読出しレジスタ	4.8
IRQ057MON	IRQ057 一括読出しレジスタ	4.8
IRQ058MON	IRQ058 一括読出しレジスタ	4.8
IRQ059MON	IRQ059 一括読出しレジスタ	4.21
IRQ060MON	IRQ060 一括読出しレジスタ	4.22
IRQ061MON	IRQ061 一括読出しレジスタ	4.23
IRQ062MON	IRQ062 一括読出しレジスタ	4.22
IRQ063MON	IRQ063 一括読出しレジスタ	4.23
IRQ064MON	IRQ064 一括読出しレジスタ	4.22
IRQ065MON	IRQ065 一括読出しレジスタ	4.23
IRQ066MON	IRQ066 一括読出しレジスタ	4.22
IRQ067MON	IRQ067 一括読出しレジスタ	4.23
IRQ068MON	IRQ068 一括読出しレジスタ	4.22
IRQ069MON	IRQ069 一括読出しレジスタ	4.23
IRQ070MON	IRQ070 一括読出しレジスタ	4.22
IRQ071MON	IRQ071 一括読出しレジスタ	4.23
IRQ072MON	IRQ072 一括読出しレジスタ	4.22
IRQ073MON	IRQ073 一括読出しレジスタ	4.23
IRQ074MON	IRQ074 一括読出しレジスタ	4.22

レジスタ略称	レジスタ機能名称	参照先
IRQ075MON	IRQ075 一括読出しレジスタ	4.23
IRQ076MON	IRQ076 一括読出しレジスタ	4.24
IRQ077MON	IRQ077 一括読出しレジスタ	4.24
IRQ078MON	IRQ078 一括読出しレジスタ	4.25
IRQ079MON	IRQ079 一括読出しレジスタ	4.26
IRQ080MON	IRQ080 一括読出しレジスタ	4.27
IRQ081MON	IRQ081 一括読出しレジスタ	4.28
IRQ082MON	IRQ082 一括読出しレジスタ	4.29
IRQ083MON	IRQ083 一括読出しレジスタ	4.30
IRQ084MON	IRQ084 一括読出しレジスタ	4.30
IRQ085MON	IRQ085 一括読出しレジスタ	4.30
IRQ086MON	IRQ086 一括読出しレジスタ	4.30
IRQ087MON	IRQ087 一括読出しレジスタ	4.30
IRQ088MON	IRQ088 一括読出しレジスタ	4.30
IRQ089MON	IRQ089 一括読出しレジスタ	4.30
IRQ090MON	IRQ090 一括読出しレジスタ	4.30
IRQ091MON	IRQ091 一括読出しレジスタ	4.31
IRQ092MON	IRQ092 一括読出しレジスタ	4.32
IRQ093MON	IRQ093 一括読出しレジスタ	4.32
IRQ094MON	IRQ094 一括読出しレジスタ	4.32
IRQ095MON	IRQ095 一括読出しレジスタ	4.32
IRQ096MON	IRQ096 一括読出しレジスタ	4.9
IRQ097MON	IRQ097 一括読出しレジスタ	4.9
IRQ098MON	IRQ098 一括読出しレジスタ	4.16
IRQ099MON	IRQ099 一括読出しレジスタ	4.16
IRQ100MON	IRQ100 一括読出しレジスタ	4.16
IRQ101MON	IRQ101 一括読出しレジスタ	4.16
IRQ102MON	IRQ102 一括読出しレジスタ	4.33
IRQ103MON	IRQ103 一括読出しレジスタ	4.22
IRQ104MON	IRQ104 一括読出しレジスタ	4.23
IRQ105MON	IRQ105 一括読出しレジスタ	4.22
IRQ106MON	IRQ106 一括読出しレジスタ	4.23
IRQ107MON	IRQ107 一括読出しレジスタ	4.22
IRQ108MON	IRQ108 一括読出しレジスタ	4.23
IRQ109MON	IRQ109 一括読出しレジスタ	4.22
IRQ110MON	IRQ110 一括読出しレジスタ	4.23
IRQ111MON	IRQ111 一括読出しレジスタ	4.24
IRQ112MON	IRQ112 一括読出しレジスタ	4.39
IRQ113MON	IRQ113 一括読出しレジスタ	4.25
IRQ114MON	IRQ114 一括読出しレジスタ	4.26
IRQ115MON	IRQ115 一括読出しレジスタ	4.39
IRQ116MON	IRQ116 一括読出しレジスタ	4.39
IRQ117MON	IRQ117 一括読出しレジスタ	4.39
IRQ118MON	IRQ118 一括読出しレジスタ	4.37
IRQ119MON	IRQ119 一括読出しレジスタ	4.38

レジスタ略称	レジスタ機能名称	参照先
IRQ120MON	IRQ120 一括読出しレジスタ	4.22
IRQ121MON	IRQ121 一括読出しレジスタ	4.23
IRQ122MON	IRQ122 一括読出しレジスタ	4.22
IRQ123MON	IRQ123 一括読出しレジスタ	4.23
IRQ124MON	IRQ124 一括読出しレジスタ	4.22
IRQ125MON	IRQ125 一括読出しレジスタ	4.23
IRQ126MON	IRQ126 一括読出しレジスタ	4.22
IRQ127MON	IRQ127 一括読出しレジスタ	4.23
ODDPKS	USB ch.0 奇数パケットサイズ DMA 許可レジスタ	4.40
ODDPKS1	USB ch1 奇数パケットサイズ DMA 許可レジスタ	4.41

4.1 DMAC DMA 要求選択レジスタ (DRQSEL)

DMAC DMA 要求選択レジスタ(DRQSEL)は、DMAC による DMA 転送が可能な周辺機能からの割込み信号を DMAC への転送要求として使用するよう選択します。

レジスタ構成

bit	31	0
Field	DRQSEL[31:0]	
属性	R/W	
初期値	0x00000000	

レジスタ機能

[bit31:0] DRQSEL[31:0] :

DRQSEL レジスタの各ビットの設定により、Figure 2-1 の SEL1 セレクタの接続が切り換わります。設定値が 1 の場合、割込み信号は、DMAC への転送要求信号として接続されます。設定値が 0 の場合、割込み信号は NVIC への割込み信号または DSTC への転送要求信号として接続されます。

bit	対応する割込み信号名
31	外部端子割込み ch.3
30	外部端子割込み ch.2
29	外部端子割込み ch.1
28	外部端子割込み ch.0
27	MFS ch.7 送信割込み
26	MFS ch.7 受信割込み
25	MFS ch.6 送信割込み
24	MFS ch.6 受信割込み
23	MFS ch.5 送信割込み
22	MFS ch.5 受信割込み
21	MFS ch.4 送信割込み
20	MFS ch.4 受信割込み
19	MFS ch.3 送信割込み
18	MFS ch.3 受信割込み
17	MFS ch.2 送信割込み
16	MFS ch.2 受信割込み
15	MFS ch.1 送信割込み
14	MFS ch.1 受信割込み
13	MFS ch.0 送信割込み
12	MFS ch.0 受信割込み
11	ベースタイマ ch.6 要因 0(IRQ0)割込み
10	ベースタイマ ch.4 要因 0(IRQ0)割込み
9	ベースタイマ ch.2 要因 0(IRQ0)割込み
8	ベースタイマ ch.0 要因 0(IRQ0)割込み
7	A/D コンバータ unit2 スキャン変換割込み
6	A/D コンバータ unit1 スキャン変換割込み
5	A/D コンバータ unit0 スキャン変換割込み
4	USB ch.0　Function Endpoint5 DRQ 割込み
3	USB ch.0　Function Endpoint 4 DRQ 割込み
2	USB ch.0　Function Endpoint 3 DRQ 割込み
1	USB ch.0　Function Endpoint 2 DRQ 割込み
0	USB ch.0　Function Endpoint 1 DRQ 割込み

<注意事項>

- *割込み信号を DMAC への転送要求として選択した場合、該当する割込み要求一括読出しレジスタ(IRQxxxMON, xx=000～127)の読出しビット値は、割込み発生の有無に関わらず 0 です。*
- *DRQSEL の設定を変更する場合は、該当する周辺からの割込み要求信号をクリアした状態にしてから変更してください。*
- *DRQSEL の設定に記載のない割込み信号は、DMAC によるハードウェア DMA 転送起動はできません。*
- *DRQSEL の設定にて、割込み信号を DMAC に接続した場合、DSTC へ割込み信号を接続することはできません。*

4.2 リロケート割込み選択レジスタ(IRQxxxSEL)

リロケート割込み選択レジスタは、例外 No.19～26 (IRQ003～IRQ010)に入力されるリロケート割込みを選択するレジスタです。IRQ003SEL～IRQ010SEL の 8 個のレジスタが存在します。それぞれのレジスタで、IRQ003～IRQ010 に入力される割込みを選択します。

レジスタ構成

bit	31	16	15	8	7	0
Field	SELBIT[15:0]		予約		SELIRQ[7:0]	
属性	R/W		R		R/W	
初期値	0x0000		0x00		0x00	

レジスタ機能

[bit31:16] SELBIT[15:0]:

SELBIT[15:0]の各ビットは、SELIRQ[7:0]で指定した周辺割込みにおいて、論理 OR されている各要因の中から、リロケート割込みに移動させるビット位置を指定します。

ビット位置については、Table 3-1, Table 3-2 の bit の列を参照してください。

bit	値	説明
15	0	bit15 の割込み要因をリロケート割込みへ移動しない。
	1	bit15 の割込み要因をリロケート割込みの bit15 へ移動する。
14	0	bit14 の割込み要因をリロケート割込みへ移動しない。
	1	bit14 の割込み要因をリロケート割込みの bit14 へ移動する。
13	0	bit13 の割込み要因をリロケート割込みへ移動しない。
	1	bit13 の割込み要因をリロケート割込みの bit13 へ移動する。
12	0	bit12 の割込み要因をリロケート割込みへ移動しない。
	1	bit12 の割込み要因をリロケート割込みの bit12 へ移動する。
11	0	bit11 の割込み要因をリロケート割込みへ移動しない。
	1	bit11 の割込み要因をリロケート割込みの bit11 へ移動する。
10	0	bit10 の割込み要因をリロケート割込みへ移動しない。
	1	bit10 の割込み要因をリロケート割込みの bit10 へ移動する。
9	0	bit9 の割込み要因をリロケート割込みへ移動しない。
	1	bit9 の割込み要因をリロケート割込みの bit9 へ移動する。
8	0	bit8 の割込み要因をリロケート割込みへ移動しない。
	1	bit8 の割込み要因をリロケート割込みの bit8 へ移動する。
7	0	bit7 の割込み要因をリロケート割込みへ移動しない。
	1	bit7 の割込み要因をリロケート割込みの bit7 へ移動する。
6	0	bit6 の割込み要因をリロケート割込みへ移動しない。
	1	bit6 の割込み要因をリロケート割込みの bit6 へ移動する。
5	0	bit5 の割込み要因をリロケート割込みへ移動しない。
	1	bit5 の割込み要因をリロケート割込みの bit5 へ移動する。
4	0	bit4 の割込み要因をリロケート割込みへ移動しない。
	1	bit4 の割込み要因をリロケート割込みの bit4 へ移動する。
3	0	bit3 の割込み要因をリロケート割込みへ移動しない。
	1	bit3 の割込み要因をリロケート割込みの bit3 へ移動する。
2	0	bit2 の割込み要因をリロケート割込みへ移動しない。
	1	bit2 の割込み要因をリロケート割込みの bit2 へ移動する。
1	0	bit1 の割込み要因をリロケート割込みへ移動しない。
	1	bit1 の割込み要因をリロケート割込みの bit1 へ移動する。
0	0	bit0 の割込み要因をリロケート割込みへ移動しない。
	1	bit0 の割込み要因をリロケート割込みの bit0 へ移動する。

[bit15:8] 予約: 予約ビット

0 が読み出されます。

[bit7:0] SELIRQ[7:0]:

SELIRQ[7:0]は、リロケートする周辺割込みの IRQ 番号を指定します。

IRQ 番号については、Table 3-1, Table 3-2 の IRQ No.の列を参照してください。

値	説明
11~127	リロケートする IRQ 番号を指定します。
0x00	リロケート割込みの選択なし
上記以外	設定禁止

設定例と注意事項

IRQ003SEL レジスタで、SELIRQ [7:0]= 8'd25、SELBIT[7:0]=0'b0000 0010 を設定した場合の例を説明します。この場合、IRQ025MON の bit1 にアサインされている IRQ No.25 割込み(MFT unit0 -FRT ch.1- Zero 検出割込み)が、元の位置から、IRQ003MON の bit1 にリロケートされます。MFT unit0 -FRT ch.1- Zero 検出割込みが発生すると、IRQ No.3 割込みが発生し、IRQ003MON レジスタの bit1 から 1 が読み出せるようになります。元の割込み位置(IRQ25MON の bit1)からの割込みは発生しなくなります。IRQ025MON レジスタの bit1 からは常に 0 が読み出せるようになります。

一方、IRQ025MON の bit0 にアサインされている IRQ No.25 割込み(MFT unit0-FRT ch.0- Zero 検出割込み)は、元の割込み位置(IRQ025MON の bit0)から、そのまま受け取ることができます。この設定により、IRQ025MON の bit0 と bit1 に論理 OR されている割込み要因を、IRQ No.3 と IRQ No.25 から別々に受けとることができます。

IRQ003SEL～IRQ010SEL レジスタの各 SELIRQ[7:0]は、同じ IRQ 番号を指定することができます。例えば、上記の設定例に加えて、IRQ004SEL レジスタにて、SELIRQ [7:0]= 8'd25、SELBIT[7:0]=0'b0000 0100 を設定した場合、IRQ025MON の bit2 にアサインされている IRQ No.25 割込み(MFT unit0 -FRT ch.2- Zero 検出割込み)を IRQ004MON の bit2 から受け取ることができます。これらの設定により、IRQ025MON の bit0、bit1、bit2 に論理 OR されている割込み要因を、IRQ No.3、IRQ No.4、IRQ No.25 から別々に受けとることができます。

ただし、同じ割込み要因を異なるリロケート割込みに重複して選択すること(各選択レジスタにて、同じ SELIRQ[7:0]を指定している場合に、SELBIT[7:0]指定が重複すること)はできません。

SELBIT[7:0]の複数のビットを 1 にした場合、選択した複数要因の論理 OR が、リロケート割込みとなります。

バスリセットにより、IRQ003SEL～IRQ010SEL レジスタの設定は初期化されます。各リロケート割込みの選択設定は初期化され、IRQ No.3~IRQ No.10 割込みは発生しなくなります。

IRQ003SEL～IRQ010SEL レジスタの書換えは、必ず割込み信号がアサートされていない状態で、行ってください。

4.3 EXC02 一括読出しレジスタ (EXC02MON)

EXC02MON は、例外 No.2 の割込み(NMI/ハードウェアウォッチドックタイマ割込み)を一括で読み出します。

レジスタ構成

bit	31	8
Field	予約	
属性	R	
初期値	0x000000	

bit	7	6	5	4	3	2	1	0
Field	予約						HWINT	NMI
属性	R						R	R
初期値	000000						0	0

レジスタ機能

[bit31:2] 予約: 予約ビット

0 が読み出されます。

[bit1] HWINT:

値	説明
0	ハードウェアウォッチドッグタイマの割込み要求なし
1	ハードウェアウォッチドッグタイマの割込み要求あり

[bit0] NMI:

値	説明
0	NMIX 外部端子の割込み要求なし
1	NMIX 外部端子の割込み要求あり

4.4 IRQ000 一括読出しレジスタ (IRQ000MON)

IRQ000MON は、例外 No.16 の割込み（CSV による異常周波数検出）を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約							FCSINT
属性	R							R
初期値	0000000							0

レジスタ機能

[bit31:1] 予約: 予約ビット

0 が読み出されます。

[bit0] FCSINT:

値	説明
0	CSV による異常周波数検出の割込み要求なし
1	CSV による異常周波数検出の割込み要求あり

4.5 IRQ001 一括読出しレジスタ (IRQ001MON)

IRQ001MON は、例外 No.17 の割込み(ソフトウェアウォッチドックタイマ割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約							SWWDTINT
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:1] 予約: 予約ビット

0 が読み出されます。

[bit0] SWWDTINT:

値	説明
0	ソフトウェアウォッチドッグタイマの割込み要求なし
1	ソフトウェアウォッチドッグタイマの割込み要求あり

4.6 IRQ002 一括読出しレジスタ (IRQ002MON)

IRQ002MON は、例外 No.18 の割込み(低電圧検出割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約							LVDINT
属性	R							R
初期値	0000000							0

レジスタ機能

[bit31:1] 予約: 予約ビット

0 が読み出されます。

[bit0] LVDINT:

値	説明
0	低電圧検出(LVD)の割込み要求なし
1	低電圧検出(LVD)の割込み要求あり

4.7 IRQ003/004/005/006/007/008/009/010 一括読出しレジスタ(IRQxxxMON)

IRQ003MON～IRQ010MON は、例外 No.19～No.26 の割込み(リロケート割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	IRQBIT[7:0]							
属性	R							
初期値	0x00							

レジスタ機能

[bit31:8] 予約: 予約ビット

0 が読み出されます。

[bit7:0] IRQBIT[7:0]

各ビットは、IRQxxxSEL レジスタで選択したリロケート割込みの対応ビットの状態を示します。

値	説明
0	IRQxxxSEL レジスタで選択した割込みの割込み要求なし
1	IRQxxxSEL レジスタで選択した割込みの割込み要求あり

4.8 IRQ011/012/013/014/015/016/017/018/051/052/053/054/055/056/057/058 一括読出しレジスタ (IRQxxxMON)

IRQ011MON～IRQ018MON は、例外 No.27~No.34 の割込み(外部端子割込み ch.0～ch.7)を一括して読み出します。

IRQ051MON～IRQ058MON は、例外 No.67~No.74 の割込み(外部端子割込み ch.8～ch.15)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約							EXTINT
属性	R							R
初期値	0000000							0

レジスタ機能

[bit31:1] 予約: 予約ビット

0 が読み出されます。

[bit0] EXTINT

値	説明
0	外部割込みの該当するチャネルの割込み要求なし
1	外部割込みの該当するチャネルの割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.9 IRQ019/020/096/097 一括読出しレジスタ(IRQxxxMON)

IRQ019MON, IRQ020MON, IRQ096MON, IRQ097MON は、例外 No.35,No.36,No.112,No.113 の割込み(QPRC ch.0～ch.3, GDC)を一括して読み出します。

レジスタ構成

bit	31	9	8
Field	予約		GDCINT
属性	R		R
初期値	00000000000000000000000		0

bit	7	6	5	4	3	2	1	0
Field	予約		QUDINT					
属性	R		R					
初期値	00		000000					

レジスタ機能

[bit31:9] 予約: 予約ビット

0 が読み出されます。

[bit8] GDCINT:

レジスタにより下記機能があります。下記以外は予約ビットとなり 0 が読み出されます。

レジスタ	値	説明
IRQ096MON	0	GDC SafetyStream0 割込み要求なし
	1	GDC SafetyStream0 割込み要求あり
IRQ097MON	0	GDC DisplayStream0 割込み要求なし
	1	GDC DisplayStream0 割込み要求あり

[bit7:6] 予約: 予約ビット

0 が読み出されます。

[bit5:0] QUDINT:

bit	値	説明
5	0	QPRC の該当チャネルの PC 一致&RC 一致割込み要求なし
	1	QPRC の該当チャネルの PC 一致&RC 一致割込み要求あり
4	0	QPRC の該当チャネルの範囲外割込み要求なし
	1	QPRC の該当チャネルの範囲外割込み要求あり
3	0	QPRC の該当チャネルのカウント反転割込み要求なし
	1	QPRC の該当チャネルのカウント反転割込み要求あり
2	0	QPRC の該当チャネルのオーバフロー/アンダフロー/ゼロインデックス割込み要求なし
	1	QPRC の該当チャネルのオーバフロー/アンダフロー/ゼロインデックス割込み要求あり
1	0	QPRC の該当チャネルの PC&RC 一致割込み要求なし
	1	QPRC の該当チャネルの PC&RC 一致割込み要求あり
0	0	QPRC の該当チャネルの PC 一致割込み要求なし
	1	QPRC の該当チャネルの PC 一致割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.10 IRQ021/022/023 一括読出しレジスタ (IRQxxxMON)

IRQ021MON～IRQ023MON は、例外 No.37～No.39 の割込み(MFT unit0～unit2 の WFG タイマ割込み, DTIF 割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約				WAVEINT			
属性	R				R			
初期値	0000				0000			

レジスタ機能

[bit31:4] 予約: 予約ビット

0 が読み出されます。

[bit3:0] WAVEINT:

bit	値	説明
3	0	MFT の該当 unit の WFG タイマ 54 の割込み要求なし
	1	MFT の該当 unit の WFG タイマ 54 の割込み要求あり
2	0	MFT の該当 unit の WFG タイマ 32 の割込み要求なし
	1	MFT の該当 unit の WFG タイマ 32 の割込み要求あり
1	0	MFT の該当 unit の WFG タイマ 10 の割込み要求なし
	1	MFT の該当 unit の WFG タイマ 10 の割込み要求あり
0	0	MFT の該当 unit の DTIF(モータ緊急停止)の割込み要求なし
	1	MFT の該当 unit の DTIF(モータ緊急停止)の割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.11 IRQ024/028/032 一括読出しレジスタ (IRQxxxMON)

IRQ024MON, IRQ028MON, IRQ032MON は、例外 No.40, No.44, No.48 の割込み (MFT unit0～unti2 の FRT-Peak 検出割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約					FRT_PEAK_INT		
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:3] 予約: 予約ビット

0 が読み出されます。

[bit2:0] FRT_PEAK_INT:

bit	値	説明
2	0	MFT の該当 unit の FRT ch.2 ピーク値検出の割込み要求なし
	1	MFT の該当 unit の FRT ch.2 ピーク値検出の割込み要求あり
1	0	MFT の該当 unit の FRT ch.1 ピーク値検出の割込み要求なし
	1	MFT の該当 unit の FRT ch.1 ピーク値検出の割込み要求あり
0	0	MFT の該当 unit の FRT ch.0 ピーク値検出の割込み要求なし
	1	MFT の該当 unit の FRT ch.0 ピーク値検出の割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.12 IRQ025/029/033 一括読出しレジスタ (IRQxxxMON)

IRQ025MON, IRQ029MON, IRQ033MON は、例外 No.41,No.45,No.49 の割込み(MFT unit0～unti2 の FRT-Zero 検出割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約					FRT_ZERO_INT		
属性	R					R		
初期値	00000					000		

レジスタ機能

[bit31:3] 予約: 予約ビット

0 が読み出されます。

[bit2:0] FRT_ZERO_INT:

bit	値	説明
2	0	MFT の該当 unit の FRT ch.2 ゼロ検出の割込み要求なし
	1	MFT の該当 unit の FRT ch.2 ゼロ検出の割込み要求あり
1	0	MFT の該当 unit の FRT ch.1 ゼロ検出の割込み要求なし
	1	MFT の該当 unit の FRT ch.1 ゼロ検出の割込み要求あり
0	0	MFT の該当 unit の FRT ch.0 ゼロ検出の割込み要求なし
	1	MFT の該当 unit の FRT ch.0 ゼロ検出の割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.13 IRQ026/030/034 一括読出しレジスタ (IRQxxxMON)

IRQ026MON, IRQ030MON, IRQ034MON は、例外 No.42,No.46,No.50 の割込み(MFT unit0～unti2 の ICU 入力エッジ検出割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約				ICUINT			
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:4] 予約: 予約ビット

0 が読み出されます。

[bit3:0] ICUINT:

bit	値	説明
3	0	MFT の該当 unit の ICU ch.3 の入力エッジ検出割込み要求なし
	1	MFT の該当 unit の ICU ch.3 の入力エッジ検出割込み要求あり
2	0	MFT の該当 unit の ICU ch.2 の入力エッジ検出割込み要求なし
	1	MFT の該当 unit の ICU ch.2 の入力エッジ検出割込み要求あり
1	0	MFT の該当 unit の ICU ch.1 の入力エッジ検出割込み要求なし
	1	MFT の該当 unit の ICU ch.1 の入力エッジ検出割込み要求あり
0	0	MFT の該当 unit の ICU ch.0 の入力エッジ検出割込み要求なし
	1	MFT の該当 unit の ICU ch.0 の入力エッジ検出割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.14 IRQ027/031/035 一括読出しレジスタ (IRQxxxMON)

IRQ027MON, IRQ031MON, IRQ035MON は、例外 No.43,No.47,No.51 の割込み(MFT unit0～unti2 の OCU 一致検出割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約		OCUINT					
属性	R		R					
初期値	00		000000					

レジスタ機能

[bit31:6] 予約: 予約ビット

0 が読み出されます。

[bit5:0] OCUINT:

bit	値	説明
5	0	MFT の該当 unit の OCU ch.5 の一致検出割込み要求なし
	1	MFT の該当 unit の OCU ch.5 の一致検出割込み要求あり
4	0	MFT の該当 unit の OCU ch.4 の一致検出割込み要求なし
	1	MFT の該当 unit の OCU ch.4 の一致検出割込み要求あり
3	0	MFT の該当 unit の OCU ch.3 の一致検出割込み要求なし
	1	MFT の該当 unit の OCU ch.3 の一致検出割込み要求あり
2	0	MFT の該当 unit の OCU ch.2 の一致検出割込み要求なし
	1	MFT の該当 unit の OCU ch.2 の一致検出割込み要求あり
1	0	MFT の該当 unit の OCU ch.1 の一致検出割込み要求なし
	1	MFT の該当 unit の OCU ch.1 の一致検出割込み要求あり
0	0	MFT の該当 unit の OCU ch.0 の一致検出割込み要求なし
	1	MFT の該当 unit の OCU ch.0 の一致検出割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.15 IRQ036/037/038 一括読出しレジスタ (IRQxxxMON)

IRQ036MON～IRQ038MON は、例外 No.52～No.54 の割込み(PPG ch.0～ch.20)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約					PPGINT		
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:3] 予約: 予約ビット

0 が読み出されます。

[bit2:0] PPGINT:

bit	値	説明
2	0	PPG の該当チャネルの割込み要求なし
	1	PPG の該当チャネルの割込み要求あり
1	0	PPG の該当チャネルの割込み要求なし
	1	PPG の該当チャネルの割込み要求あり
0	0	PPG の該当チャネルの割込み要求なし
	1	PPG の該当チャネルの割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.16 IRQ039/040/041/042/043/044/045/046/098/099/100/101 一括読出しレジスタ (IRQxxxMON)

IRQ039MON～IRQ046MON は、例外 No.55～No.62 の割込み(ベースタイマ ch.0～ch.7)を一括で読み出します。

IRQ098MON～IRQ101MON は、例外 No.114～No.117 の割込み(ベースタイマ ch.8～ch.11, GDC)を一括で読み出します。

レジスタ構成

bit	31																										9	8
Field	予約																											GDCINT
属性	R																											R
初期値	00000000000000000000000																											0

bit	7	6	5	4	3	2	1	0
Field	予約							BTINT
属性	R							R
初期値	000000							00

レジスタ機能

[bit31:9] 予約: 予約ビット

0 が読み出されます。

[bit8] GDCINT:

レジスタにより下記機能があります。下記以外は予約ビットとなり"0"が読み出されます。

レジスタ	値	説明
IRQ098MON	0	GDC Signature0 割込み要求なし
	1	GDC Signature0 割込み要求あり
IRQ099MON	0	GDC Display0_Sync0 割込み要求なし
	1	GDC Display0_Sync0 割込み要求あり
IRQ100MON	0	GDC Display0_Sync1 割込み要求なし
	1	GDC Display0_Sync1 割込み要求あり
IRQ101MON	0	GDC ContentStream1 割込み要求なし
	1	GDC ContentStream1 割込み要求あり

[bit7:2] 予約: 予約ビット

0 が読み出されます。

[bit1:0] BTINT:

bit	値	説明
1	0	ベースタイマの該当チャネルの要因 1(IRQ1)割込み要求なし
	1	ベースタイマの該当チャネルの要因 1(IRQ1)割込み要求あり
0	0	ベースタイマの該当チャネルの要因 0(IRQ0)割込み要求なし
	1	ベースタイマの該当チャネルの要因 0(IRQ0)割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

ベースタイマから出力される割込み要因 0(IRQ0)および要因 1(IRQ1)は、使用するベースタイマ機能によって異なります。Table 4-1 に対応表を示します。

Table 4-1 ベースタイマの各機能での割込み要因

機能	割込み要因 0 (割込み要因出力信号 IRQ0)	割込み要因 1 (割込み要因出力信号 IRQ1)
16 ビット PWM タイマ	アンダフロー検出/ デューティー致検出	タイマ起動トリガ検出
16 ビット PPG タイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビットリロードタイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビット PWC タイマ	オーバフロー検出	測定終了検出

4.17 IRQ047 一括読出しレジスタ (IRQ047MON)

IRQ047MON は、例外 No.63 の割込み(デュアルタイマ割込み)を一括で読み出します。

レジスタ構成

bit	31	8
Field	予約	
属性	R	
初期値	0x000000	

bit	7	6	5	4	3	2	1	0
Field	予約						TIMINT	
属性	R						R	
初期値	000000						00	

レジスタ機能

[bit31:2] 予約: 予約ビット

0 が読み出されます。

[bit1:0] TIMINT:

bit	値	説明
1	0	デュアルタイマ TIMINT2 の割込み要求なし
	1	デュアルタイマ TIMINT2 の割込み要求あり
0	0	デュアルタイマ TIMINT1 の割込み要求なし
	1	デュアルタイマ TIMINT1 の割込み要求あり

4.18 IRQ048 一括読出しレジスタ (IRQ048MON)

IRQ048MON は、例外 No.64 の割込み(時計カウンタ割込み)を一括で読み出します。

レジスタ構成

bit	31															8
Field	予約															
属性	R															
初期値	0x000000															

bit	7	6	5	4	3	2	1	0
Field	予約							WCINT
属性	R							R
初期値	0000000							0

レジスタ機能

[bit31:1] 予約: 予約ビット

0 が読み出されます。

[bit0] WCINT:

値	説明
0	時計カウンタの割込み要求なし
1	時計カウンタの割込み要求あり

4.19 IRQ049 一括読出しレジスタ (IRQ049MON)

IRQ049MON は、例外 No.65 の割込み(外バス出力エラー割込み, GDC 割込み)を一括で読み出します。

レジスタ構成

bit	31																							8
Field	予約																							
属性	R																							
初期値	0x000000																							

bit	7	6	5	4	3	2	1	0
Field	予約						GSDRAM	BMEMCS
属性	R						R	R
初期値	000000						0	0

レジスタ機能

[bit31:2] 予約: 予約ビット

0 が読み出されます。

[bit1] GSDRAM:

値	説明
0	GDC SDRAM-IF の割込み要求なし
1	GDC SDRAM-IF の割込み要求あり

[bit0] BMEMCS:

値	説明
0	外部バス出力エラーの割込み要求なし
1	外部バス出力エラーの割込み要求あり

4.20 IRQ050 一括読出しレジスタ (IRQ050MON)

IRQ050MON は、例外 No.66 の割込み(RTC 割込み)を一括で読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約							RTCINT
属性	R							R
初期値	0000000							0

レジスタ機能

[bit31:1] 予約: 予約ビット

0 が読み出されます。

[bit0] RTCINT:

値	説明
0	RTC の割込み要求なし
1	RTC の割込み要求あり

4.21 IRQ059 一括読出しレジスタ (IRQ059MON)

IRQ059MON は、例外 No.75 の割込み(メインクロック，サブクロック，メイン PLL, USB/Ethernet-PLL, I²S PLL, GDC PLL)を一括で読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約		GPLLINT	IPLLINT	UPLLINT	MPLLINT	SOSCINT	MOSCINT
属性	R		R	R	R	R	R	R
初期値	00		0	0	0	0	0	0

レジスタ機能

[bit31:6] 予約: 予約ビット

0 が読み出されます。

[bit5] GPLLINT:

値	説明
0	GDC 用 PLL 発振の安定待ち完了割込み要求なし
1	GDC 用 PLL 発振の安定待ち完了割込み要求あり

[bit4] IPLLINT:

値	説明
0	I²S 用 PLL 発振の安定待ち完了割込み要求なし
1	I²S 用 PLL 発振の安定待ち完了割込み要求あり

[bit3] UPLLINT:

値	説明
0	USB/Ethernet 用 PLL 発振の安定待ち完了割込み要求なし
1	USB/Ethernet 用 PLL 発振の安定待ち完了割込み要求あり

[bit2] MPLLINT:

値	説明
0	メイン PLL 発振の安定待ち完了割込み要求なし
1	メイン PLL 発振の安定待ち完了割込み要求あり

[bit1] SOSCINT:

値	説明
0	サブクロック発振の安定待ち完了割込み要求なし
1	サブクロック発振の安定待ち完了割込み要求あり

[bit0] MOSCINT:

値	説明
0	メインクロック発振の安定待ち完了割込み要求なし
1	メインクロック発振の安定待ち完了割込み要求あり

4.22 IRQ060/062/064/066/068/070/072/074/103/105/107/109/120/122/124/126 一括読出しレジスタ (IRQxxxMON)

IRQ060MON, IRQ062MON, IRQ064MON, IRQ066MON は、例外 No.76, No.78, No.80, No.82 の割込み(MFS ch.0～ch.3 受信割込み)を一括で読み出します。

IRQ068MON, IRQ070MON, IRQ072MON, IRQ074MON は、例外 No.84, No.86, No.88, No.90 の割込み(MFS ch.4～ch.7 受信割込み）を一括で読み出します。

IRQ103MON, IRQ105MON, IRQ107MON, IRQ109MON は、例外 No.119, No.121, No.123, No.125 の割込み(MFS ch.8～ch.11 受信割込み, GDC 割込み)を一括で読み出します。

IRQ120MON, IRQ122MON,IRQ124MON, IRQ126MON は、例外 No.136, No.138, No.140, No.142,の割込み(MFS ch.12～15 受信割込み, GDC 割込み)を一括で読み出します。

レジスタ構成

bit	31	9	8
Field	予約		GDCINT
属性	R		R
初期値	00000000000000000000000		0

bit	7	6	5	4	3	2	1	0
Field	予約							MFSRINT
属性	R							R
初期値	0000000							0

レジスタ機能

[bit31:9] 予約: 予約ビット

0 が読み出されます。

[bit8] GDCINT:

レジスタにより下記機能があります。下記以外は予約ビットとなり 0 が読み出されます。

レジスタ	値	説明
IRQ103MON	0	GDC DisplayStream1 割込み要求なし
	1	GDC DisplayStream1 割込み要求あり
IRQ105MON	0	GDC Display1_Sync0 割込み要求なし
	1	GDC Display1_Sync0 割込み要求あり
IRQ107MON	0	GDC CapturePlane0 割込み要求なし
	1	GDC CapturePlane0 割込み要求あり
IRQ109MON	0	GDC StorageStream0 割込み要求なし
	1	GDC StorageStream0 割込み要求あり
IRQ120MON	0	GDC HS-SPICNT 受信割込み要求なし
	1	GDC HS-SPICNT 受信割込み要求あり
IRQ122MON	0	GDC HS-SPICNT 違反検出割込み要求なし
	1	GDC HS-SPICNT 違反検出割込み要求あり

[bit7:1] 予約: 予約ビット

0 が読み出されます。

[bit0] MFSRINT:

値	説明
0	MFS の該当チャネルの受信割込み要求なし
1	MFS の該当チャネルの受信割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.23 IRQ061/063/065/067/069/071/073/075/104/106/108/110/121/123/125/127 一括読出しレジスタ (IRQxxxMON)

IRQ061MON, IRQ063MON, IRQ065MON, IRQ067MON は、例外 No.77, No.79, No.81, No.83 の割込み(MFS ch.0～ch.3 送信割込み，ステータス割込み)を一括で読み出します。

IRQ069MON, IRQ071MON, IRQ073MON, IRQ075MON は、例外 No.85, No.87, No.89, No.91 の割込み(MFS ch.4～ch.7 送信割込み，ステータス割込み)を一括で読み出します。

IRQ104MON, IRQ106MON, IRQ108MON, IRQ110MON は、例外 No.120, No.122, No.124, No.126 の割込み(MFS ch.8～ch.11 送信割込み，ステータス割込み, GDC 割込み)を一括で読み出します。

IRQ121MON, IRQ123MON,IRQ125MON, IRQ127MON は、例外 No.137, No.139, No.141, No.143,の割込み(MFS ch.12～15 送信割込み，ステータス割込み, GDC 割込み)を一括で読み出します。

レジスタ構成

bit	31	9	8
Field	予約		GDCINT
属性	R		R
初期値	00000000000000000000000		0

bit	7	6	5	4	3	2	1	0
Field	予約							MFSINT
属性	R							R
初期値	000000							00

レジスタ機能

[bit31:9] 予約: 予約ビット

0 が読み出されます。

[bit8] GDCINT:

レジスタにより下記機能があります。下記以外は予約ビットとなり 0 が読み出されます。

レジスタ	値	説明
IRQ104MON	0	GDC Signature1 割込み要求なし
	1	GDC Signature1 割込み要求あり
IRQ106MON	0	GDC Display1_Sync1 割込み要求なし
	1	GDC Display1_Sync1 割込み要求あり
IRQ108MON	0	GDC DisplayPlane0 割込み要求なし
	1	GDC DisplayPlane0 割込み要求あり
IRQ110MON	0	GDC Histogram 割込み要求なし
	1	GDC Histogram 割込み要求あり
IRQ121MON	0	GDC HS-SPICNT 送信割込み要求なし
	1	GDC HS-SPICNT 送信割込み要求あり
IRQ123MON	0	GDC HyperBus Interface 割込み要求なし
	1	GDC HyperBus Interface 割込み要求あり

[bit7:2] 予約: 予約ビット
0 が読み出されます。

[bit1:0] MFSINT:

bit	値	説明
1	0	MFS の該当チャネルのステータス割込み要求なし
	1	MFS の該当チャネルのステータス割込み要求あり
0	0	MFS の該当チャネルの送信割込み要求なし
	1	MFS の該当チャネルの送信割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.24 IRQ076/077/111 一括読出しレジスタ (IRQxxxMON)

IRQ076MON, IRQ077MON, IRQ111MON は、例外 No.92,No.93,127 の割込み(A/D コンバータ unit0～unit2 の割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約			ADCINT				
属性	R			R				
初期値	000			00000				

レジスタ機能

[bit31:5] 予約: 予約ビット

0 が読み出されます。

[bit4:0] ADCINT:

bit	値	説明
4	0	A/D コンバータの該当 unit のレンジ比較結果の割込み要求なし
	1	A/D コンバータの該当 unit のレンジ比較結果の割込み要求あり
3	0	A/D コンバータの該当 unit の変換結果比較の割込み要求なし
	1	A/D コンバータの該当 unit の変換結果比較の割込み要求あり
2	0	A/D コンバータの該当 unit の FIFO オーバランの割込み要求なし
	1	A/D コンバータの該当 unit の FIFO オーバランの割込み要求あり
1	0	A/D コンバータの該当 unit のスキャン変換の割込み要求なし
	1	A/D コンバータの該当 unit のスキャン変換の割込み要求あり
0	0	A/D コンバータの該当 unit の優先変換の割込み要求なし
	1	A/D コンバータの該当 unit の優先変換の割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.25 IRQ078/113 一括読出しレジスタ (IRQxxxMON)

IRQ078MON, IRQ113MON は、例外 No.94,129 の割込み(USB ch.0,ch.1 の Endpoint0～5 の DRQ 割込み, HDMI-CEC リモコン受信 ch0 割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約		RCEC0INT	USB_DRQ_INT				
属性	R		R	R				
初期値	00		0	00000				

レジスタ機能

[bit31:6] 予約: 予約ビット

0 が読み出されます。

[bit5] RCEC0INT:

値	説明
0	HDMI-CEC/リモコン受信 ch.0 の割込み要求なし
1	HDMI-CEC/リモコン受信 ch.0 の割込み要求あり

[bit4:0] USB0INT:

bit	値	説明
4	0	USB の該当チャネル Endpoint5 DRQ 割込み要求なし
	1	USB の該当チャネル Endpoint5 DRQ 割込み要求あり
3	0	USB の該当チャネル Endpoint4 DRQ 割込み要求なし
	1	USB の該当チャネル Endpoint4 DRQ 割込み要求あり
2	0	USB の該当チャネル Endpoint3 DRQ 割込み要求なし
	1	USB の該当チャネル Endpoint3 DRQ 割込み要求あり
1	0	USB の該当チャネル Endpoint2 DRQ 割込み要求なし
	1	USB の該当チャネル Endpoint2 DRQ 割込み要求あり
0	0	USB の該当チャネル Endpoint1 DRQ 割込み要求なし
	1	USB の該当チャネル Endpoint1 DRQ 割込み要求あり

RCEC0INT は IRQ113MON のみに存在し、IRQ078MON では予約ビットとなります。

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.26 IRQ079/114 一括読出しレジスタ (IRQxxxMON)

IRQ079MON,IRQ114MON は、例外 No.95,No.130 の割込み(USB ch.0,ch.1 の割込み HDMI-CEC リモコン受信 ch1 割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約	RCEC1INT	USB_INT					
属性	R	R	R					
初期値	0	0	000000					

レジスタ機能

[bit31:7] 予約: 予約ビット

0 が読み出されます。

[bit6] RCEC1INT:

値	説明
0	HDMI-CEC/リモコン受信 ch.1 の割込み要求なし
1	HDMI-CEC/リモコン受信 ch.1 の割込み要求あり

[bit5:0] USB_INT:

bit	値	説明
5	0	USB の該当チャネル SOFIRQ/CMPIRQ の割込み要求なし
	1	USB の該当チャネル SOFIRQ/CMPIRQ の割込み要求あり
4	0	USB の該当チャネル DIRQ/URIRQ/RWKIRQ/CNNIRQ の割込み要求なし
	1	USB の該当チャネル DIRQ/URIRQ/RWKIRQ/CNNIRQ の割込み要求あり
3	0	USB の該当チャネル SPK の割込み要求なし
	1	USB の該当チャネル SPK の割込み要求あり
2	0	USB の該当チャネル SUSP/SOF/BRST/ CONF/WKUP の割込み要求なし
	1	USB の該当チャネル SUSP/SOF/BRST/ CONF/WKUP の割込み要求あり
1	0	USB の該当チャネル Endpoint0 DRQO の割込み要求なし
	1	USB の該当チャネル Endpoint0 DRQO の割込み要求あり
0	0	USB の該当チャネル Endpoint0 DRQI の割込み要求なし
	1	USB の該当チャネル Endpoint0 DRQI の割込み要求あり

RCEC1INT は IRQ114MON のみに存在し、IRQ079MON では予約ビットとなります。

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.27 IRQ080 一括読出しレジスタ (IRQ080MON)

IRQ080MON は、例外 No.96,の割込み(CAN ch.0)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約							CANINT
属性	R							R
初期値	0000000							0

レジスタ機能

[bit31:1] 予約: 予約ビット

0 が読み出されます。

[bit0] CANINT:

値	説明
0	CAN の該当チャネルの割込み要求なし
1	CAN の該当チャネルの割込み要求あり

4.28 IRQ081 一括読出しレジスタ (IRQ081MON)

IRQ081MON は、例外 No.97,の割込み(CAN ch.1, CAN-FD)を一括して読み出します。

レジスタ構成

bit	31	8
Field	予約	
属性	R	
初期値	0x000000	

bit	7	6	5	4	3	2	1	0
Field	予約			CAN1INT	CAN0INT	CANSEINT	CANDEINT	CANINT
属性	R			R	R	R	R	R
初期値	000			0	0	0	0	0

レジスタ機能

[bit31:5] 予約: 予約ビット

0 が読み出されます。

[bit4] :CAN1INT

値	説明
0	CAN-FD 1 割込み要求なし
1	CAN-FD 1 割込み要求あり

[bit3] :CAN0INT

値	説明
0	CAN-FD 0 割込み要求なし
1	CAN-FD 0 割込み要求あり

[bit2] :CANSEINT

値	説明
0	CAN-FD シングルビットエラー割込み要求なし
1	CAN-FD シングルビットエラー割込み要求あり

[bit1] :CANDEINT

値	説明
0	CAN-FD ダブルビットエラー割込み要求なし
1	CAN-FD ダブルビットエラー割込み要求あり

[bit0] CANINT:

値	説明
0	CAN の該当チャネルの割込み要求なし
1	CAN の該当チャネルの割込み要求あり

4.29 IRQ082 一括読出しレジスタ (IRQ082MON)

IRQ082MON は、例外 No.98 の割込み(Ethernet MAC)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約					MACLPI	MACPMT	MACSBD
属性	R					R	R	R
初期値	00000					0	0	0

レジスタ機能

[bit31:3] 予約: 予約ビット

0 が読み出されます。

[bit2] MACLPI:

値	説明
0	Ethernet MAC の LPI 割込み要求なし
1	Ethernet MAC の LPI 割込み要求あり

[bit1] MACPMT:

値	説明
0	Ethernet MAC の PMT 割込み要求なし
1	Ethernet MAC の PMT 割込み要求あり

[bit0] MACSBD:

値	説明
0	Ethernet MAC の SBD 割込み要求なし
1	Ethernet MAC の SBD 割込み要求あり

4.30 IRQ083/084/085/086/087/088/089/090 一括読出しレジスタ (IRQxxxMON)

IRQ083MON～IRQ090MON は、例外 No.99～No.106 の割込み(DMAC ch.0～ch.7 割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約							DMACINT
属性	R							R
初期値	0000000							0

レジスタ機能

[bit31:1] 予約: 予約ビット

0 が読み出されます。

[bit0] DMAINT:

値	説明
0	DMA コントローラの該当チャネルの割込み要求なし
1	DMA コントローラの該当チャネルの割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.31 IRQ091 一括読出しレジスタ (IRQ091MON)

IRQ091MON は、例外 No.107 の割込み(DSTC 割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約						DSTCINT	
属性	R						R	
初期値	000000						00	

レジスタ機能

[bit31:2] 予約: 予約ビット

0 が読み出されます。

[bit1:0] DSTCINT

bit	値	説明
1	0	DSTC ERINT 割込み要求なし
	1	DSTC ERINT 割込み要求あり
0	0	DSTC SWINT 割込み要求なし
	1	DSTC SWINT 割込み要求あり

4.32 IRQ092/093/094/095 一括読出しレジスタ (IRQxxxMON)

IRQ092MON～IRQ095 は、例外 No.108～No.111 の割込み(外部端子割込み ch.16～ch.31, GDC)を一括で読み出します。

レジスタ構成

bit	31																			9	8
Field	予約																				GDCINT
属性	R																				R
初期値	00000000000000000000																				0

bit	7	6	5	4	3	2	1	0
Field	予約				EXTINT			
属性	R				R			
初期値	0000				0000			

レジスタ機能

[bit31:9] 予約: 予約ビット

0 が読み出されます。

[bit8] GDCINT:

レジスタにより下記機能があります。下記以外は予約ビットとなり 0 が読み出されます。

レジスタ	値	説明
IRQ092MON	0	GDC CommandSequencer 割込み要求なし
	1	GDC CommandSequencer 割込み要求あり
IRQ093MON	0	GDC BlitEngine 割込み要求なし
	1	GDC BlitEngine 割込み要求あり
IRQ094MON	0	GDC DrawingEngine 割込み要求なし
	1	GDC DrawingEngine 割込み要求あり
IRQ095MON	0	GDC ContentStream0 割込み要求なし
	1	GDC ContentStream0 割込み要求あり

[bit7:4] 予約: 予約ビット

0 が読み出されます。

[bit3:0] EXTINT

bit	値	説明
3	0	該当チャネルの外部端子割込み要求なし
	1	該当チャネルの外部端子割込み要求あり
2	0	該当チャネルの外部端子割込み要求なし
	1	該当チャネルの外部端子割込み要求あり
1	0	該当チャネルの外部端子割込み要求なし
	1	該当チャネルの外部端子割込み要求あり
0	0	該当チャネルの外部端子割込み要求なし
	1	該当チャネルの外部端子割込み要求あり

対応するチャネルの詳細は、Table 3-1, Table 3-2 を参照してください。

4.33 IRQ102 一括読出しレジスタ (IRQ102MON)

IRQ102MON は、例外 118 の割込み（ベースタイマ ch.12～ch.15, GDC）を一括して読み出します。

レジスタ構成

bit	31																										9	8
Field	予約																											GDCINT
属性	R																											R
初期値	00000000000000000000000																											0

bit	7	6	5	4	3	2	1	0
Field	BTINT							
属性	R							
初期値	0x00							

レジスタ機能

[bit31:9] 予約: 予約ビット

0 が読み出されます。

[bit8] GDCINT:

値	説明
0	GDC SafetyStream1 割込み要求なし
1	GDC SafetyStream1 割込み要求あり

[bit7:0] BTINT:

bit	値	説明
7	0	ベースタイマ ch.15 の要因 1(IRQ1)割込み要求なし
	1	ベースタイマ ch.15 の要因 1(IRQ1)割込み要求あり
6	0	ベースタイマ ch.15 の要因 0(IRQ0)割込み要求なし
	1	ベースタイマ ch.15 の要因 0(IRQ0)割込み要求あり
5	0	ベースタイマ ch.14 の要因 1(IRQ1)割込み要求なし
	1	ベースタイマ ch.14 の要因 1(IRQ1)割込み要求あり
4	0	ベースタイマ ch.14 の要因 0(IRQ0)割込み要求なし
	1	ベースタイマ ch.14 の要因 0(IRQ0)割込み要求あり
3	0	ベースタイマ ch.13 の要因 1(IRQ1)割込み要求なし
	1	ベースタイマ ch.13 の要因 1(IRQ1)割込み要求あり
2	0	ベースタイマ ch.13 の要因 0(IRQ0)割込み要求なし
	1	ベースタイマ ch.13 の要因 0(IRQ0)割込み要求あり
1	0	ベースタイマ ch.12 の要因 1(IRQ1)割込み要求なし
	1	ベースタイマ ch.12 の要因 1(IRQ1)割込み要求あり
0	0	ベースタイマ ch.12 の要因 0(IRQ0)割込み要求なし
	1	ベースタイマ ch.12 の要因 0(IRQ0)割込み要求あり

ベースタイマから出力される割込み要因 0(IRQ0)および要因 1(IRQ1)は、使用するベースタイマ機能によって異なります。Table 4-1 を参照してください。

4.34 IRQ112 一括読出しレジスタ (IRQ112MON)

IRQ112MON は、例外 No.128 の割込み(I²S, HS-SPICNT, プログラマブル CRC, CAN-FD の DSTC 転送終了割込み, GDC HS-SPICNT)を一括して読み出します。

レジスタ構成

bit	31	10	9	8
Field	予約		GQSPIDINT	
属性	R		R	
初期値	00000000000000000000		00	

bit	7	6	5	4	3	2	1	0
Field	I2S1DINT		CANDINT	PCRCDINT	QSPIDINT		I2SDINT	
属性	R		R	R	R		R	
初期値	00		0	0	00		00	

レジスタ機能

[bit31:10] 予約: 予約ビット

0 が読み出されます。

[bit9:8] GQSPIDINT:

bit	値	説明
9	0	GDC HS-SPICNT 送信 DSTC 転送終了割込み要求なし
	1	GDC HS-SPICNT 送信 DSTC 転送終了割込み要求あり
8	0	GDC HS-SPICNT 受信 DSTC 転送終了割込み要求なし
	1	GDC HS-SPICNT 受信 DSTC 転送終了割込み要求あり

[bit7:6] I2S1DINT:

bit	値	説明
7	0	I²S ch.1 送信 DSTC 転送終了割込み要求なし
	1	I²S ch.1 送信 DSTC 転送終了割込み要求あり
6	0	I²S ch.1 受信 DSTC 転送終了割込み要求なし
	1	I²S ch.1 受信 DSTC 転送終了割込み要求あり

[bit5] CANDINT:

値	説明
0	CAN-FD DSTC 転送終了割込み要求なし
1	CAN-FD DSTC 転送終了割込み要求あり

[bit4] PCRCDINT:

値	説明
0	プログラマブル CRC DSTC 転送終了割込み要求なし
1	プログラマブル CRC DSTC 転送終了割込み要求あり

[bit3:2] QSPIDINT:

bit	値	説明
3	0	HS-SPICNT 送信 DSTC 転送終了割込み要求なし
	1	HS-SPICNT 送信 DSTC 転送終了割込み要求あり
2	0	HS-SPICNT 受信 DSTC 転送終了割込み要求なし
	1	HS-SPICNT 受信 DSTC 転送終了割込み要求あり

[bit1:0] I2SDINT:

bit	値	説明
1	0	I^2S ch.0 送信 DSTC 転送終了割込み要求なし
	1	I^2S ch.0 送信 DSTC 転送終了割込み要求あり
0	0	I^2S ch.0 受信 DSTC 転送終了割込み要求なし
	1	I^2S ch.0 受信 DSTC 転送終了割込み要求あり

4.35 IRQ115 一括読出しレジスタ (IRQ115MON)

IRQ115MON は、例外 No.131 の割込み(HS-SPICNT 割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約					QSPIINT		
属性	R					R		
初期値	00000					000		

レジスタ機能

[bit31:3] 予約: 予約ビット

0 が読み出されます。

[bit2:0] QSPIINT:

bit	値	説明
2	0	HS-SPICNT 違反検出割込み要求なし
	1	HS-SPICNT 違反検出割込み要求あり
1	0	HS-SPICNT 送信割込み要求なし
	1	HS-SPICNT 送信割込み要求あり
0	0	HS-SPICNT 受信割込み要求なし
	1	HS-SPICNT 受信割込み要求あり

4.36 IRQ117 一括読出しレジスタ (IRQ117MON)

IRQ117MON は、例外 No.133 の割込み(I²S, プログラマブル CRC, スマートカードインタフェース割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約			ICC1INT	ICC0INT	I2S1INT	PRGCRC	I2SINT
属性	R			R	R	R	R	R
初期値	000			0	0	0	0	0

レジスタ機能

[bit31:5] 予約: 予約ビット

0 が読み出されます。

[bit4] ICC1INT:

値	説明
0	スマートカードインタフェース ch.1 割込み要求なし
1	スマートカードインタフェース ch.1 割込み要求あり

[bit3] ICC0INT:

値	説明
0	スマートカードインタフェース ch.0 割込み要求なし
1	スマートカードインタフェース ch.0 割込み要求あり

[bit2] I2S1INT:

値	説明
0	I²S ch.1 割込み要求なし
1	I²S ch.1 割込み要求あり

[bit1] PRGCRC:

値	説明
0	プログラマブル CRC 割込み要求なし
1	プログラマブル CRC 割込み要求あり

[bit0] I2SINT:

値	説明
0	I²S ch.0 割込み要求なし
1	I²S ch.0 割込み要求あり

4.37 IRQ118 一括読出しレジスタ (IRQ118MON)

IRQ118MON は、例外 No.134 の割込み(SD I/F 割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約						SDINT	
属性	R						R	
初期値	000000						00	

レジスタ機能

[bit31:2] 予約: 予約ビット

0 が読み出されます。

[bit1:0] SDINT:

bit	値	説明
1	0	SD Card 割込み要求なし
	1	SD Card 割込み要求あり
0	0	SD I/F 全割込み要因集約の割込み要求なし
	1	SD I/F 全割込み要因集約の割込み要求あり

4.38 IRQ119 一括読出しレジスタ (IRQ119MON)

IRQ119MON は、例外 No.135 の割込み(Flash I/F 割込み)を一括して読み出します。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約							FLINT
属性	R							R
初期値	0000000							0

レジスタ機能

[bit31:1] 予約: 予約ビット

0 が読み出されます。

[bit0] FLINT:

値	説明
0	Flash インタフェースからの割込み要求なし
1	Flash インタフェースからの割込み要求あり

4.39 IRQ116 一括読出しレジスタ (IRQ116MON)

IRQ116 は、予約レジスタです。

レジスタ構成

bit	31	0
Field	予約	
属性	R	
初期値	0x00000000	

レジスタ機能

[bit31:0] 予約: 予約ビット

0 が読み出されます。

4.40 USB ch.0 奇数パケットサイズ DMA 許可レジスタ (ODDPKS)

DMAC を利用した USB ch.0 自動転送 IN 方向転送時に最終パケットの最終データのみ有効ビット幅を強制的に Byte(8 ビット)に変換して USB エンドポイントに書き込みます。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約			ODDPKS				
属性	R			R/W				
初期値	000			00000				

レジスタ機能

[bit31:5] 予約: 予約ビット

0 を書き込んでください。0 が読み出されます。

[bit4] ODDPKS4:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP5DT のとき、最終転送データのビット幅を Byte に変換します。

[bit3] ODDPKS3:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP4DT のとき、最終転送データのビット幅を Byte に変換します。

[bit2] ODDPKS2:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP3DT のとき、最終転送データのビット幅を Byte に変換します。

[bit1] ODDPKS1:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP2DT のとき、最終転送データのビット幅を Byte に変換します。

[bit0] ODDPKS0:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP1DT のとき、最終転送データのビット幅を Byte に変換します。

<注意事項>

- *本レジスタは USB ch.0 において、DMAC を利用した USB データ数自動転送モードで IN 方向転送時のみ有効です。*
- *DSTC を利用した DMA 転送には対応していません。*
- *偶数バイト数を転送する場合は、1 に設定しないでください。*

4.41 USB ch.1 奇数パケットサイズ DMA 許可レジスタ (ODDPKS1)

DMAC を利用した USB ch.1 自動転送 IN 方向転送時に最終パケットの最終データのみ有効ビット幅を強制的に Byte(8 ビット)に変換して USB エンドポイントに書き込みます。

レジスタ構成

bit	31							8
Field	予約							
属性	R							
初期値	0x000000							

bit	7	6	5	4	3	2	1	0
Field	予約			ODDPKS1				
属性	R			R/W				
初期値	000			00000				

レジスタ機能

[bit31:5] 予約: 予約ビット

0 を書き込んでください。0 が読み出されます。

[bit4] ODDPKS14:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP5DT のとき、最終転送データのビット幅を Byte に変換します。

[bit3] ODDPKS13:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP4DT のとき、最終転送データのビット幅を Byte に変換します。

[bit2] ODDPKS12:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP3DT のとき、最終転送データのビット幅を Byte に変換します。

[bit1] ODDPKS11:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP2DT のとき、最終転送データのビット幅を Byte に変換します。

[bit0] ODDPKS10:

値	説明
0	DMAC の DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP1DT のとき、最終転送データのビット幅を Byte に変換します。

＜注意事項＞

- *本レジスタは USB ch.1 において、DMAC を利用した USB データ数自動転送モードで IN 方向転送時のみ有効です。*
- *DSTC を利用した DMA 転送には対応していません。*
- *偶数バイト数を転送する場合は、1 に設定しないでください。*

5. 使用上の注意

割込みコントローラを使用する際は、次の点を注意してください。

- 各周辺リソースからの割込み要求信号はレベルで通知されています。割込み処理から抜ける場合には、必ずその割込み要求をクリアしてください。

- NVIC に通知された各周辺リソースからの割込み要求は、他の高い優先度の割込みが実行中など直ちに処理を行うことができない場合、NVIC 内部で保留されます。保留中の割込み要求をキャンセルする場合、各周辺リソースからの割込み要求をクリアすると共に、NVIC に実装された割込み保留クリアレジスタ(IRQ Clear-Pending Registers、アドレス 0xE000E280～0xE000E29C)によって保留中の割込みをクリアしてください。

- NMIX 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI を使用する場合は、ポートの設定にて NMI を許可してください。詳細は別章『外部割込み・NMI 制御部』を参照してください。

- DSTC による DMA 転送を使用する場合、周辺機能からの割込みの代わりに DSTC からの転送終了割込み(HWINT[n])が発生します。この構成のため、NVIC の処理は、周辺機能からの割込みと、DSTC の転送終了割込みが、同じ割込みベクタに Jump します。DREQENB[n]レジスタの値により、どちらの割込み処理を行うかを選択する必要があります。
  ただし、一部の割込みと DSTC への転送要求が分かれているタイプの周辺機能(I2S, HS-SPICNT, CAN-FD、プログラマブル CRC)については、DSTC の DREQENB レジスタ設定により DMA 転送を行うかどうかの選択のみ行います。この場合、周辺機能からの割り込みと DSTC からの転送終了割込みがそれぞれ NVIC に入力されます。

- 各周辺リソースにおける具体的なイベント検出レジスタと割込み許可レジスタの対応は、各マクロの章を参照してください。

CHAPTER 9: 外部割込み・NMI 制御部

外部割込み・NMI 制御部の機能と動作について示します。

1. 概要
2. ブロックダイヤグラム
3. 動作説明および設定手順例
4. レジスタ

1. 概要

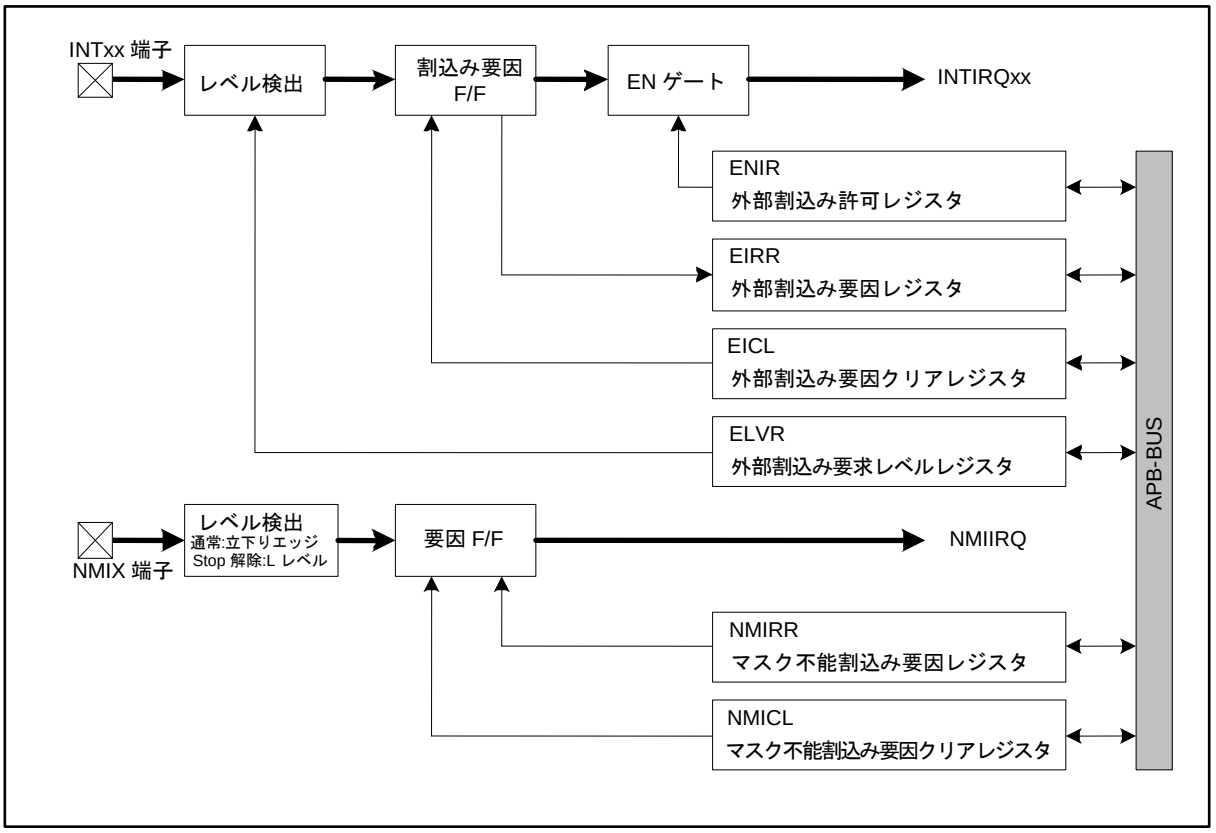
外部割込み･NMI 制御部は以下のような特長があります。

- 外部割込み入力端子を最大 32 本、NMI 入力端子を 1 本搭載しています。
- 外部割込み検出は H レベル, L レベル, 立上りエッジ, 立下りエッジを選択できます。
  TYPE5-M4 と TYPE6-M4 製品は、立上り/立下りの両エッジを選択できます。
- 外部割込み入力・NMI 入力をスタンバイモードからの復帰に利用できます。

2. ブロックダイヤグラム

外部割込み・NMI 制御部のブロックダイヤグラムを示します。

Figure 2-1 外部割込み・NMI 制御部のブロックダイヤグラム



3. 動作説明および設定手順例

動作説明および設定手順例を示します。

3.1. 外部割込み制御部の動作
3.2. NMI 制御部の動作
3.3. タイマモード、ストップモード、RTC モードからの復帰

3.1 外部割込み制御部の動作

外部割込み制御部の動作を示します。

外部割込み制御部の動作概要

外部割込み制御部は、次の順序で割込みコントローラへ外部割込み要求を出力します。

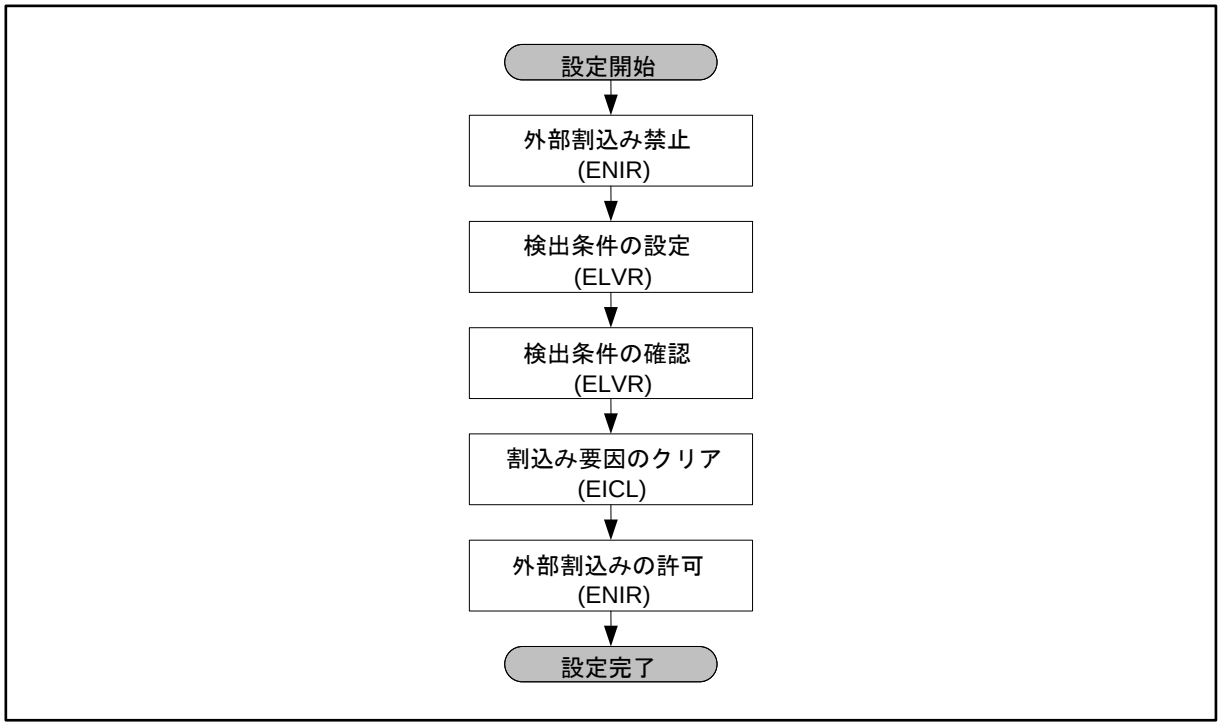
1. INTxx 端子に入力された信号が、外部割込み要求レベルレジスタ(ELVR)で設定したエッジ/レベルを検出します。検出するエッジ/レベルは、次の 4 種類から選択できます。
   H レベル / L レベル / 立上りエッジ / 立下りエッジ
2. 検出された割込み入力は、割込み要因 F/F に保持されます。
   これは外部割込み要因レジスタ(EIRR)で読み出せます。
   また、外部割込み要因クリアレジスタ(EICL)で保持された割込み要因をクリアします。
3. 外部割込みが外部割込み許可レジスタ(ENIR)で、割込み許可されている場合は、割込みコントローラへ外部割込み要求(INTIRQxx)を出力します。

設定手順

外部割込みは次の手順で設定してください。

1. 外部割込み許可レジスタ(ENIR)で外部割込みを禁止する。
2. 外部割込み要求レベルレジスタ(ELVR)で検出条件(有効エッジ/レベル)を設定する。
3. 外部割込み要求レベルレジスタ(ELVR)を読み出す。
4. 外部割込み要因クリアレジスタ(EICL)で外部割込み要因をクリアする。
5. 外部割込み許可レジスタ(ENIR)で外部割込みを許可する。

Figure 3-1 外部割込みの設定手順



外部割込み要求の取下げ

外部割込みの検出条件を"L"レベル検出/"H"レベル検出に設定しているときは、外部割込み要求入力(INTxx)が取り下げられても、割込み要因は外部割込み要因レジスタ(EIRR)に保持されています。このため、外部割込み要求(INTIRQxx)は割込みコントローラに出力されたままになります。

外部割込みは要求を取り下げるには次の手順で設定してください。

1. 外部割込み要因レジスタ(EIRR)を読み出し、割込み要因を確認する。
2. 外部割込み要因クリアレジスタ(EICL)の対応するビットを"0"を書き込みクリアする。
3. 外部割込み要因レジスタ(EIRR)を読み出し、割込み要因がクリアされていることを確認する。

Figure 3-2 割込み要因のクリア

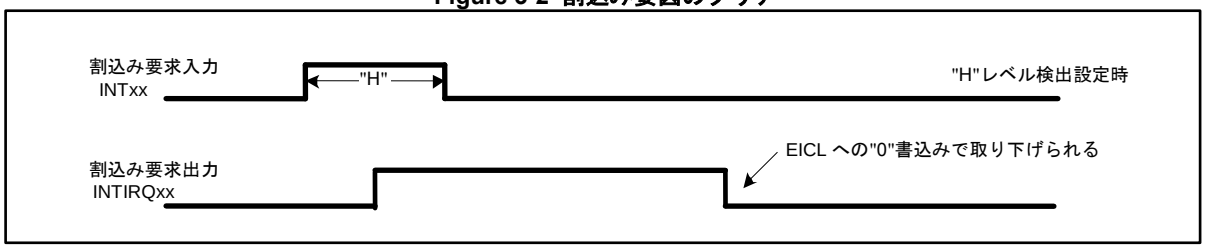
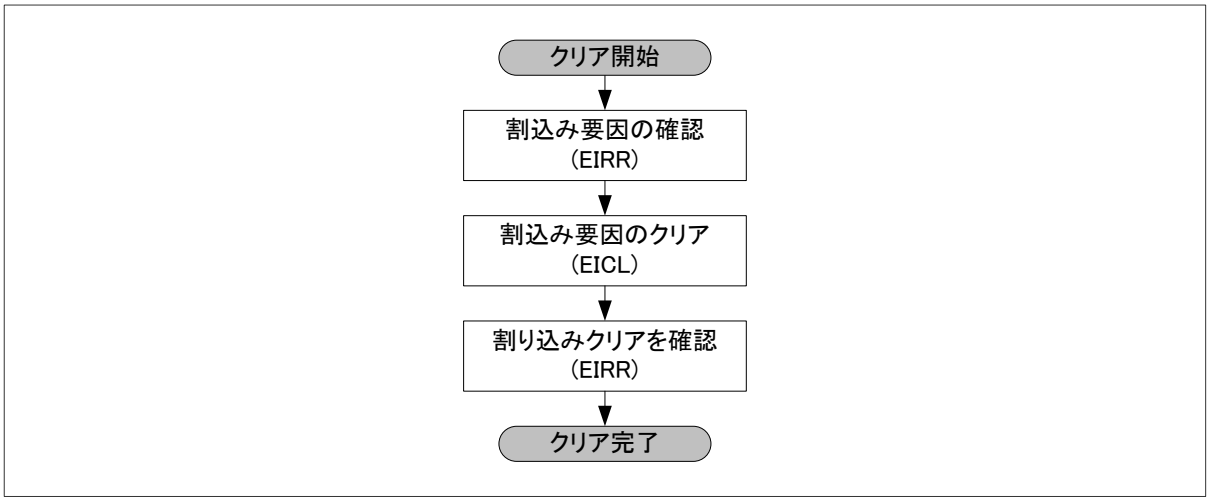


Figure 3-3 外部割込みの要求の取下げ手順



3.2 NMI 制御部の動作

NMI 制御部の動作を示します。

NMI 制御部の概要

NMI 制御部は、NMI 入力端子(NMIX)に入力された信号から、エッジ/レベルを検出すると、CPU に対し NMI 割込み要求(NMIIRQ)を出力します。
検出するエッジ/レベルは、次のとおりです。

- 通常時: 立下りエッジ
- スリープモード時: 立下りエッジ
- タイマモード時: L レベル
- RTC モード時: L レベル
- ストップモード時: L レベル
- ディープスタンバイモード時: NMI 割込み要求不可

<注意事項>

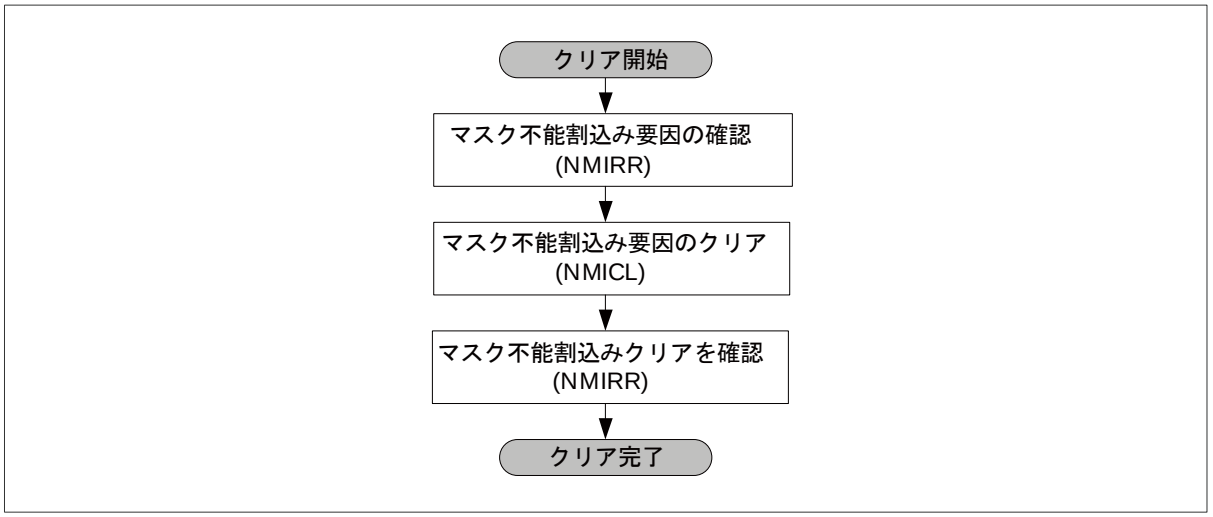
- *ディープスタンバイモードからの復帰には NMIX 端子入力による NMI 割込みは使用できません。ただし、NMIX 端子は、WKUP 端子と兼用されているため、WKUP 端子入力による復帰を行うことができます。*
  詳細は、『CHAPTER 6: 低消費電力モード』の『5. ディープスタンバイモードの動作説明』を参照してください。

NMI 要求の取下げ

NMI 要求を取下げるには、外部割込み要求と同様に、要因レジスタをクリアする必要があります。
NMI 割込み要求を取り下げるには次の手順で設定してください。

1. マスク不能割込み要因レジスタ(NMIRR)を読み出し、割込み要因を確認する。
2. マスク不能割込み要因クリアレジスタ(NMICL)の対応するビットに"0"を書き込みクリアする。
3. マスク不能割込み要因レジスタ(NMIRR)を読み出し、割込み要因がクリアされていることを確認する。

Figure 3-4 NMI 要求の取下げ手順



3.3 タイマモード、ストップモード、RTC モードからの復帰

タイマモード、ストップモード、RTC モードからの復帰を示します。

概要

タイマモード、ストップモード、RTC モードからの復帰に、外部割込み要求・NMI 要求を利用できます。
タイマモード、ストップモード、RTC モード時に、INTxx/NMIX 端子への最初に入力された信号は非同期で入力され、タイマモード、ストップモード、RTC モードから復帰することが可能です。

タイマモード、ストップモード、RTC モードに移行する前の設定

外部割込み要求を利用する場合、これらのモードに移行する前に外部割込み許可レジスタ(ENIR)で、復帰に利用する端子の設定、検出する有効レベルの設定をしてください。

- 復帰に利用する端子: 割込み要求の出力許可 (ENIR = 1)
- 復帰に利用しない端子: 割込み要求の出力禁止 (ENIR = 0)

NMI 要求を利用する場合、L レベルのみ検出するため、レジスタの設定は不要です。

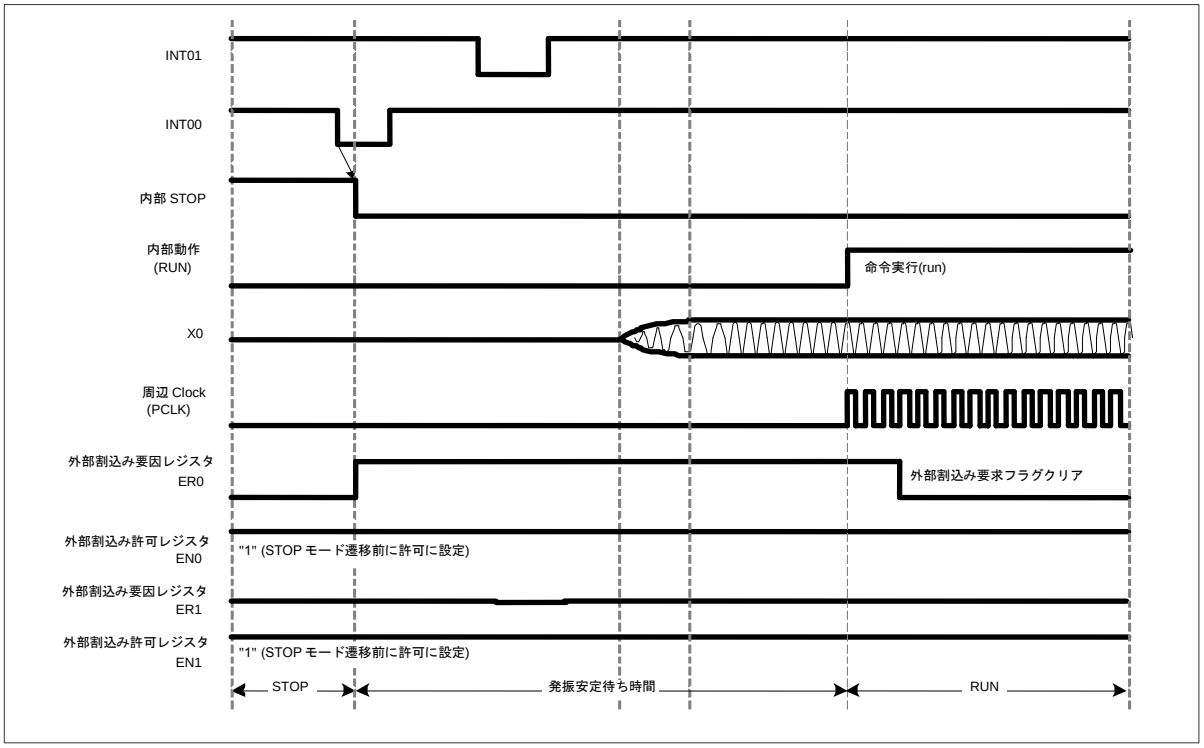
タイマモード、ストップモード、RTC モードからの復帰動作

外部割込み要求の場合では、これらのモード時に復帰に利用する端子に対して、あらかじめ設定した有効レベルを検出すると、これらのモードから復帰します。
NMI 要求の場合では、これらのモード時に L レベルを検出すると復帰します。

タイマモード、ストップモード、RTC モードからの復帰における注意事項

タイマモード、ストップモード、RTC モード解除から発振安定待ち時間が経過するまでは、ほかの外部割込み要求を認識できません。(Figure 3-5 の INT01 の外部割込み要求は認識できません。)
そのため、これらのモード解除後に外部割込み入力を行う場合には、発振安定待ち時間経過後に外部割込み信号を入力してください。

Figure 3-5 復帰動作



4. レジスタ

レジスター一覧を示します。

レジスター一覧

外部割込み・NMI 制御部のレジスター一覧です。

Table 4-1 外部割込み/NMI 制御部レジスター一覧

レジスタ略称	レジスタ名	参照先
ENIR	外部割込み許可レジスタ	4.1
EIRR	外部割込み要因レジスタ	4.2
EICL	外部割込み要因クリアレジスタ	4.3
ELVR	外部割込み要求レベル設定レジスタ	4.4
ELVR1	外部割込み要求レベル設定レジスタ 1	4.5
NMIRR	マスク不能割込み要因レジスタ	4.6
NMICL	マスク不能割込み要因クリアレジスタ	4.7
ELVR2	外部割込み要求レベル設定レジスタ 2	4.8

4.1 外部割込み許可レジスタ(ENIR : ENable Interrupt request Register)

ENIR レジスタは外部割込み要求出力のマスク制御を行います。

レジスタ構成

bit	31															16
Field	EN[31:16]															
属性	R/W															
初期値	0x0000															

bit	15															0
Field	EN[15:0]															
属性	R/W															
初期値	0x0000															

レジスタ機能

[bit31:0] EN31～EN0： 外部割込み許可ビット

EN31～EN0 ビットは、それぞれ INT31～INT00 の端子に対応しています。
製品仕様上存在しない端子に対応するビットへの設定は禁止です。

bit	説明
0	当該ビットに対応する INTx 端子の外部割込み要求の発生を禁止します。
1	当該ビットに対応する INTx 端子の外部割込み要求の発生を許可します。

本レジスタの"1"を書き込まれたビットに対応する割込み要求出力が許可され、割込みコントローラに対して要求が出力されます。0 が書き込まれたビットに対応する端子は割込み要因を保持しますが、割込みコントローラに対しては要求を発生しません。

4.2 外部割込み要因レジスタ(EIRR : External Interrupt Request Register)

EIRR レジスタは外部割込み要求が検出されたことを示します。

レジスタ構成

bit	31															16
Field	ER[31:16]															
属性	R															
初期値	0xXXXX															

bit	15															0
Field	ER[15:0]															
属性	R															
初期値	0xXXXX															

レジスタ機能

[bit31:0] ER31～ER0： 外部割込み要求検出ビット

ER31～ER0 ビットは、それぞれ INT31～INT00 の端子に対応しています。
製品仕様上存在しない端子に対応するビットは不定です。

bit	機能
0	当該ビットに対応する INTx 端子の外部割込み要求検出なし
1	当該ビットに対応する INTx 端子の外部割込み要求検出あり
書込み時	動作に影響しません

<注意事項>

- *ELVR レジスタでレベル検出に設定しているとき、INTxx 端子から有効レベルが入力されている間は、外部割込み要因クリアレジスタ(EICL)で対応ビットをクリア(0 を書込み)しても、外部割込み要因レジスタ(EIRR)の対応ビットは再び 1 に設定されます。*
- *GPIO の初期設定は汎用ポートのため、外部割込み要因レジスタ(EIRR)の対応ビットが 1 に設定されることがあります。GPIO を外部割込み端子への設定後に、外部割込み要因レジスタ(EIRR)をクリアしてください。*

4.3 外部割込み要因クリアレジスタ(EICL: External Interrupt CLear register)

EICL レジスタは保持された割込み要因をクリアします。

レジスタ構成

bit	31															16
Field	ECL[31:16]															
属性	R/W															
初期値	0xFFFF															

bit	15															0
Field	ECL[15:0]															
属性	R/W															
初期値	0xFFFF															

レジスタ機能

[bit31:0] ECL31～ECL0： 外部割込み要因クリアビット

ECL31～ECL0 ビットは、それぞれ INT31～INT00 の端子に対応しています。
製品仕様上存在しない端子に対応するビットへの 0 書込みは禁止です。

bit	機能
0 書込み時	当該ビットに対応する INTx 端子の外部割込み要因をクリアします。
1 書込み時	動作に影響しません。
読出し時	常に 1 が読み出されます。

4.4 外部割込み要求レベルレジスタ(ELVR : External interrupt LeVel Register)

ELVR は外部割込み要求として検出する信号のレベル/エッジを選択します。

レジスタ構成

bit	31															16
Field	LB15	LA15	LB14	LA14	LB13	LA13	LB12	LA12	LB11	LA11	LB10	LA10	LB9	LA9	LB8	LA8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15															0
Field	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:0] LA15～LA0/LB15～LB0： 外部割込み要求検出レベル選択ビット

LA, LB の 2 ビットごとで、INT15～INT00 の端子に対応しています。
製品仕様上存在しない端子に対応するビットへの設定は禁止です。
本ビットで選択されたエッジ/レベルを検出すると外部割込み要求として認識されます。

LBx	LAx	説明
0	0	L レベルを検出
0	1	H レベルを検出
1	0	立上りエッジを検出
1	1	立下りエッジを検出

4.5 外部割込み要求レベルレジスタ 1 (ELVR1 : External interrupt LeVel Register 1)

ELVR は外部割込み要求として検出する信号のレベル/エッジを選択します。

レジスタ構成

bit	31															16
Field	LB31	LA31	LB30	LA30	LB29	LA29	LB28	LA28	LB27	LA27	LB26	LA26	LB25	LA25	LB24	LA24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15															0
Field	LB23	LA23	LB22	LA22	LB21	LA21	LB20	LA20	LB19	LA19	LB18	LA18	LB17	LA17	LB16	LA16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:0] LA31～LA16/LB31～LB16 : 外部割込み要求検出レベル選択ビット

LA, LB の 2 ビットごとで、INT31～INT16 の端子に対応しています。
製品仕様上存在しない端子に対応するビットへの設定は禁止です。
本ビットで選択されたエッジ/レベルを検出すると外部割込み要求として認識されます。

LBx	LAx	説明
0	0	L レベルを検出
0	1	H レベルを検出
1	0	立上りエッジを検出
1	1	立下りエッジを検出

4.6 マスク不能割込み要因レジスタ(NMIRR : Non Maskable Interrupt Request Register)

NMIRR レジスタはマスク不能割込み(NMI)要求が検出されたことを示します。

レジスタ構成

bit	15	1	0
Field	予約		NR
属性	-		R
初期値	-		0

レジスタ機能

[bit15:1] 予約 : 予約ビット

読出し時は不定です。
書込み時は動作に影響しません。

[bit0] NR : NMI 割込み要求検出ビット

NR ビットは、NMIX の端子に対応しています。

bit	機能
0	NMI 割込み要求検出なし
1	NMI 割込み要求検出あり
書込み時	動作に影響しません

〈注意事項〉

- *NMIX 端子が割り当てられている I/O ポートを、GPIO または他の周辺機能から NMIX 端子に切り替える(EPFR00.NMIS=1) 場合は、I/O ポート入力を High レベルの状態で切り替えてください。GPIO または他の周辺機能が選択されている場合、内部の NMIX 端子への入力は High レベル固定になっています。そのため、I/O ポートに Low レベル入力されている状態で、GPIO または他の周辺機能から NMIX 端子に切り替えると、内部の NMIX 端子への入力が High レベルから Low レベルとなり、立下りエッジが検出され、NMI 割込み要求が出力されます。*

4.7 マスク不能割込み要因クリアレジスタ(NMICL: Non Maskable Interrupt CLear register)

NMICL レジスタは保持された割込み要因をクリアします。

レジスタ構成

bit	15	1	0
Field	予約		NCL
属性	-		R/W
初期値	-		1

レジスタ機能

[bit15:1] 予約 : 予約ビット

読出し時は不定です。
書込み時は動作に影響しません。

[bit0] NCL : NMI 割込み要因クリアビット

NCL ビットは、NMIX の端子に対応しています。

bit	機能
0 書込み時	NMI 割込み要因をクリアします
1 書込み時	動作に影響しません
読出し時	常に 1 が読み出されます

<注意事項>

- *ELVR レジスタを書き換えて検出条件を変更すると、誤った割込み要因が発生することがあります。*
  誤った割込み要因の発生を避けるため、検出条件を変更する場合には Figure 3-1 の手順を守ってください。
- *ELVR レジスタで設定したエッジ/レベルを検出するには、最低 3T(T:PCLK 周期)のパルス幅が必要です。*
  このパルス幅に満たない信号が入力された場合は正しく動作しないことがあります。
- *ELVR レジスタでレベル検出に設定しているときは、INTxx 端子から有効レベルが入力されている間は、外部割込み要因クリアレジスタ(EICL)で対応ビットをクリア(0 を書込み)しても、外部割込み要因レジスタ(EIRR)の対応ビットは再び 1 に設定されます。*
- *NMI の検出レベル設定レジスタはありません。通常時は立下りエッジを検出します。*
  また、ストップ状態からの復帰に使用する場合は L レベル検出となります。
- *NMI はマスク不能割込みのため、NMI 割込み許可レジスタはありません。*

4.8 外部割込み要求レベルレジスタ 2 (ELVR2 : External interrupt LeVel Register 2)

ELVR2 は外部割込み要求として検出する信号の立上りエッジ/立下りエッジの両方を選択します。

本レジスタは、TYPE5-M4 と TYPE6-M4 製品に搭載されています。

レジスタ構成

bit	31															16
Field	LC31	LC30	LC29	LC28	LC27	LC26	LC25	LC24	LC23	LC22	LC21	LC20	LC19	LC18	LC17	LC16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15															0
Field	LC15	LC14	LC13	LC12	LC11	LC10	LC9	LC8	LC7	LC6	LC5	LC4	LC3	LC2	LC1	LC1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:0] LC31～LC0： 外部割込み要求検出レベル選択ビット

LC31～0 のビットは、INT31～INT0 の端子に対応しています。

製品仕様上存在しない端子に対応するビットへの設定は禁止です。

本ビットで選択された立上りエッジ/立下りエッジの両方を検出すると外部割込み要求として認識されます。

LCx	説明
0	ELVR/ELVR1 で設定されたエッジ/レベル
1	立上りエッジ/立下りエッジを検出

CHAPTER 10: DMAC

DMAC について説明します。

1. DMAC の概要
2. DMAC の構成
3. DMAC の機能と動作
4. DMAC の制御
5. DMAC のレジスタ
6. 使用上の注意

1. DMAC の概要

DMAC(Direct Memory Access Controller)は、CPU を介さずにデータを高速に転送する機能ブロックです。DMAC を利用することにより、システム性能を高められます。

DMAC の概要

- CPU バスとは独立の DMA 専用バスを持ち、CPU バスアクセス時に転送動作が可能な構成です。
- 8 種類の DMA 転送を独立して実行できる 8 チャネル構成です。
- チャネルごとに、転送先アドレス, 転送元アドレス, 転送データサイズ, 転送要求元, 転送モードの設定ができ、転送動作開始, 転送強制停止, 転送一時停止の制御が行えます。
- 全チャネル一括転送動作開始, 一括転送強制停止, 一括転送一時停止の制御が行えます。
- 複数チャネルが同時動作時のチャネル動作優先順位を、固定方式/ローテート方式から選択できます。
- Peripheral からの割込み信号を利用したハードウェア DMA 転送に対応しています。
- システムバス(AHB)に準拠した構成で、32 ビットのアドレス空間(4 G バイト)に対応しています。

各チャネルの機能概要

- 転送元・転送先アドレスのインクリメント/固定の選択ができます。
- 転送元・転送先アドレスのリロード機能(転送終了時に開始設定値に戻す機能)が利用できます。
- 転送するデータサイズを、以下の 3 種類の指定から決定できます。

  転送データ幅: (バイト/ ハーフワード/ワードから選択)
  ブロック数設定: (1～16 から選択)
  転送回数設定: (1～65536 から選択)
  (ブロック数と転送回数の違いは「3 DMAC の機能と動作」を参照してください。)

- 転送正常終了, 転送異常終了をそれぞれ、割込みで通知する/しないを選択できます。
- 転送モードは以下の 5 種類から選択できます。

  ソフトウェア・Block 転送
  ソフトウェア・Burst 転送
  ハードウェア・Demand 転送
  ハードウェア・Block 転送
  ハードウェア・Burst 転送

転送モードについて

ソフトウェア転送は、CPU からの直接指示により、DMAC を起動する方式です。

ハードウェア転送は、Peripheral からの割込み信号を、DMAC の転送要求信号として利用するもので、Peripheral からの転送要求発生時に、直接 DMAC を起動する方式です。

マルチ・ファンクション・シリアル・ユニット, USB ユニット, ADC ユニットの場合、送受信データ, A/D 変換データの転送が必要になったとき、各ユニットが直接 DMAC にデータ転送の起動指示を行います。外部割込みユニット, ベースタイマユニットの場合、転送タイミングになったとき、各ユニットが直接 DMAC にデータ転送の起動指示を行います。いずれの場合も、あらかじめ設定をしておくことで、CPU を介さずにデータを転送できます。

略語表記について

以降の説明文中に、DE, DS, DH, PR, EB, PB, ST, IS, BC, TC, MS, TW, FS, FD, RC, RS, RD, EI, CI, SS, EM の用語がありますが、すべて DMAC の制御レジスタ(DMACR, DMACSA, DMACDA, DMACA, DMACB レジスタ)の各ビットを指しています。「5 DMAC のレジスタ」を参照してください。

2. DMAC の構成

DMAC とシステム構成, DMAC の入出力信号について説明します。

2.1. DMAC とシステム構成
2.2. DMAC の入出力信号

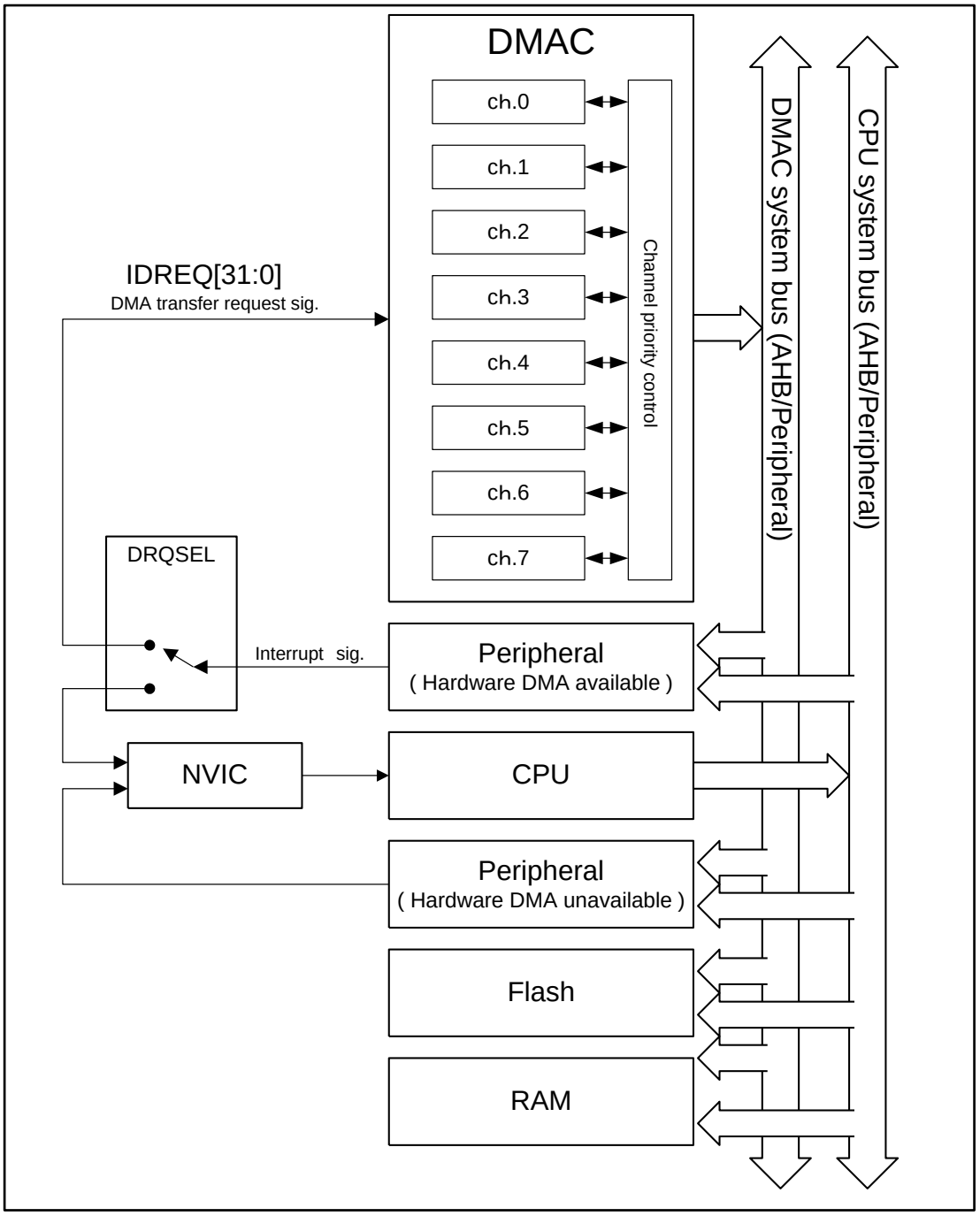
2.1 DMAC とシステム構成

DMAC とシステム構成について説明します。

ブロックダイヤグラム

Figure 2-1 に DMAC とシステム構成のブロックダイヤグラムを示します。

Figure 2-1 DMAC とシステム構成のブロックダイヤグラム



ブロックダイヤグラムの説明

■ DMAC

DMAC は、最大 8 チャネル構成です。それぞれのチャネルは独立した転送を行います。優先順位制御部は、各チャネルの転送動作が競合した場合の制御をします。

■ システムとの接続

Figure 2-1 のシステム構成図は簡略化しています。詳細は『システム概要』の章を参照してください。
DMAC はシステムバスを経由して CPU, Flash, RAM, Peripheral と接続されています。CPU バスとは独立した専用バスを持っており、CPU バスアクセス時に転送動作が可能な構成になっています。各チャネルの転送先アドレス, 転送元アドレスの指定により、システム上の任意のアドレス領域にアクセスし、メモリおよび Peripheral 間のデータ転送を行います。一部 DMAC からはアクセスできない領域があります。メモリマップにて確認してください。

■ ハードウェア転送要求信号の接続

ハードウェア転送に対応している Peripheral からの割込み信号は、割込みコントローラ部(Figure 2-1 の DRQSEL)にて、CPU への割込み信号として使用するか、DMAC への DMA 転送要求信号として使用するかを選択します。

ハードウェア要求による DMA 転送を行う場合は、事前に DRQSEL の設定により、各 Peripheral からの割込み信号を DMAC への転送要求信号として接続してください。ハードウェア転送に対応していない Peripheral からの割込み信号は、DMA 転送要求信号としては使用できません。また、割込み信号を DMAC の転送要求信号として使用する場合、CPU への割込み信号としては使用できません。『割込み』の章を参照してください。

DMAC に入力される DMA 転送要求信号は、32 の信号があります。各信号と Peripheral の対応は、「2.2 DMAC の入出力信号」の Table 2-1 を参照してください。

搭載していない Peripheral からの割込み信号は選択できません。複数のチャネルおよび複数の割込み要因を持つ Peripheral の場合、DMA 転送に対応している割込みあるいは対応していない割込みが存在するため、注意してください。

ハードウェア転送の場合、DMAC の各チャネルは、上記の 32 の転送要求信号のうち、1 つの転送要求信号を選択して動作します。IS レジスタにより選択を行います。

■ ハードウェア転送要求クリア信号の接続

ハードウェア転送に対応している Peripheral のうち、転送完了後、転送要求信号(割込み信号)のクリアが必要な Peripheral があります。Figure 2-1 に記載はありませんが、DRQSEL レジスタにて選択を行った場合、これらの Peripheral に対して、DMAC から転送要求信号のクリア処理がなされます。

■ ハードウェア転送停止要求信号の接続

マルチ・ファンクション・シリアル・ユニット(以下 MFS と略)からは、DMA 転送停止要求信号が出力されます。Figure 2-1 に記載がありませんが、DRQSEL レジスタにてマルチファンクションシリアルインタフェース(以降、MFS)の選択を行った場合、MFS の転送停止要求信号が、DMAC に接続されます。転送停止要求信号がアサートされた場合、DMAC は転送動作を停止します。また、以降の転送要求信号をマスクする構成です。
MFS から転送停止要求信号がアサートされる条件は以下の通りです。

- 受信割込み許可中(SCR:RIE=”1”)に受信エラーが発生(PE ビット、FRE ビットまたは ORE ビットが”1”)
- チップセレクトエラー割込み許可中(SACSR:CSEIE="1")にチップセレクトエラー発生(CSE ビットが”1”)

■ DMAC からの割込み信号

Figure 2-1 には記載がありませんが、各チャネルから、転送終了を通知するための割込み信号が、NVIC に接続されています。チャネルごとに 8 本の割込み出力があります。

2.2 DMAC の入出力信号

DMAC の入出力信号について説明します。

DMAC に入力される転送要求信号

DMAC に入力される転送要求信号と対応する Peripheral からの割込み信号の一覧を Table 2-1 に示します。

Table 2-1 転送要求信号と対応する Peripheral からの割込み信号の一覧

IDREQ 番号	対応する Peripheral 割込み信号
0	USB ch.0 の EP1 DRQ の割込み信号
1	USB ch.0 の EP2 DRQ の割込み信号
2	USB ch.0 の EP3 DRQ の割込み信号
3	USB ch.0 の EP4 DRQ の割込み信号
4	USB ch.0 の EP5 DRQ の割込み信号
5	A/D コンバータ unit0 スキャン変換割込み信号
6	A/D コンバータ unit1 スキャン変換割込み信号
7	A/D コンバータ unit2 スキャン変換割込み信号
8	ベースタイマ ch.0 の IRQ0 の割込み信号
9	ベースタイマ ch.2 の IRQ0 の割込み信号
10	ベースタイマ ch.4 の IRQ0 の割込み信号
11	ベースタイマ ch.6 の IRQ0 の割込み信号
12	MFS ch.0 の受信割込み信号
13	MFS ch.0 の送信割込み信号
14	MFS ch.1 の受信割込み信号
15	MFS ch.1 の送信割込み信号
16	MFS ch.2 の受信割込み信号
17	MFS ch.2 の送信割込み信号
18	MFS ch.3 の受信割込み信号
19	MFS ch.3 の送信割込み信号
20	MFS ch.4 の受信割込み信号
21	MFS ch.4 の送信割込み信号
22	MFS ch.5 の受信割込み信号
23	MFS ch.5 の送信割込み信号
24	MFS ch.6 の受信割込み信号
25	MFS ch.6 の送信割込み信号
26	MFS ch.7 の受信割込み信号
27	MFS ch.7 の送信割込み信号
28	外部割込みユニット ch.0 割込み信号
29	外部割込みユニット ch.1 割込み信号
30	外部割込みユニット ch.2 割込み信号
31	外部割込みユニット ch.3 割込み信号

DMAC から出力される割込み信号

DMAC から出力される割込み信号の一覧を Table 2-2 に示します。

Table 2-2 DMAC からの割込み信号一覧

割込み信号名	割込み要因レジスタ	割込み許可レジスタ	割込み種別
DIRQ0	DMACB0.SS[2:0]	DMACB0.CI	ch.0 転送正常終了割込み
		DMACB0.EI	ch.0 転送異常終了割込み
DIRQ1	DMACB1.SS[2:0]	DMACB1.CI	ch.1 転送正常終了割込み
		DMACB1.EI	ch.1 転送異常終了割込み
DIRQ2	DMACB2.SS[2:0]	DMACB2.CI	ch.2 転送正常終了割込み
		DMACB2.EI	ch.2 転送異常終了割込み
DIRQ3	DMACB3.SS[2:0]	DMACB3.CI	ch.3 転送正常終了割込み
		DMACB3.EI	ch.3 転送異常終了割込み
DIRQ4	DMACB4.SS[2:0]	DMACB4.CI	ch.4 転送正常終了割込み
		DMACB4.EI	ch.4 転送異常終了割込み
DIRQ5	DMACB5.SS[2:0]	DMACB5.CI	ch.5 転送正常終了割込み
		DMACB5.EI	ch.5 転送異常終了割込み
DIRQ6	DMACB6.SS[2:0]	DMACB6.CI	ch.6 転送正常終了割込み
		DMACB6.EI	ch.6 転送異常終了割込み
DIRQ7	DMACB7.SS[2:0]	DMACB7.CI	ch.7 転送正常終了割込み
		DMACB7.EI	ch.7 転送異常終了割込み

参考 : 割込みの発生要因, クリアについて(詳細は「4. DMAC の制御」を参照してください。)

各チャネルからの割込みは、以下の要因で発生します。

- チャネルの転送が正常終了した場合、各チャネルの SS[2:0]に 101 がセットされます。CI=1(転送正常終了割込み許可)時、SS[2:0]に上記の値がセットされると、転送正常終了割込みが発生します。
- チャネルの転送が異常終了した場合､各チャネルの SS[2:0]に 001, 010, 011, 100 がセットされます。EI=1(転送異常終了割込み許可)時、SS[2:0]に上記の値がセットされると、転送異常終了割込みが発生します
- 転送正常終了割込みと転送異常終了割込みは論理 OR されており､いずれかの割込みが発生すると、チャネルからの割込みが発生します。

各チャネルからの割込みは、SS[2:0]に"000"を書き込むことでクリアできます。

3. DMAC の機能と動作

各転送モードにおける DMAC の動作を説明します。

3.1. ソフトウェア・Block 転送
3.2. ソフトウェア・Burst 転送
3.3. ハードウェア・Demand 転送
3.4. ハードウェア・Block 転送/Burst 転送
3.5. チャネル優先順位制御

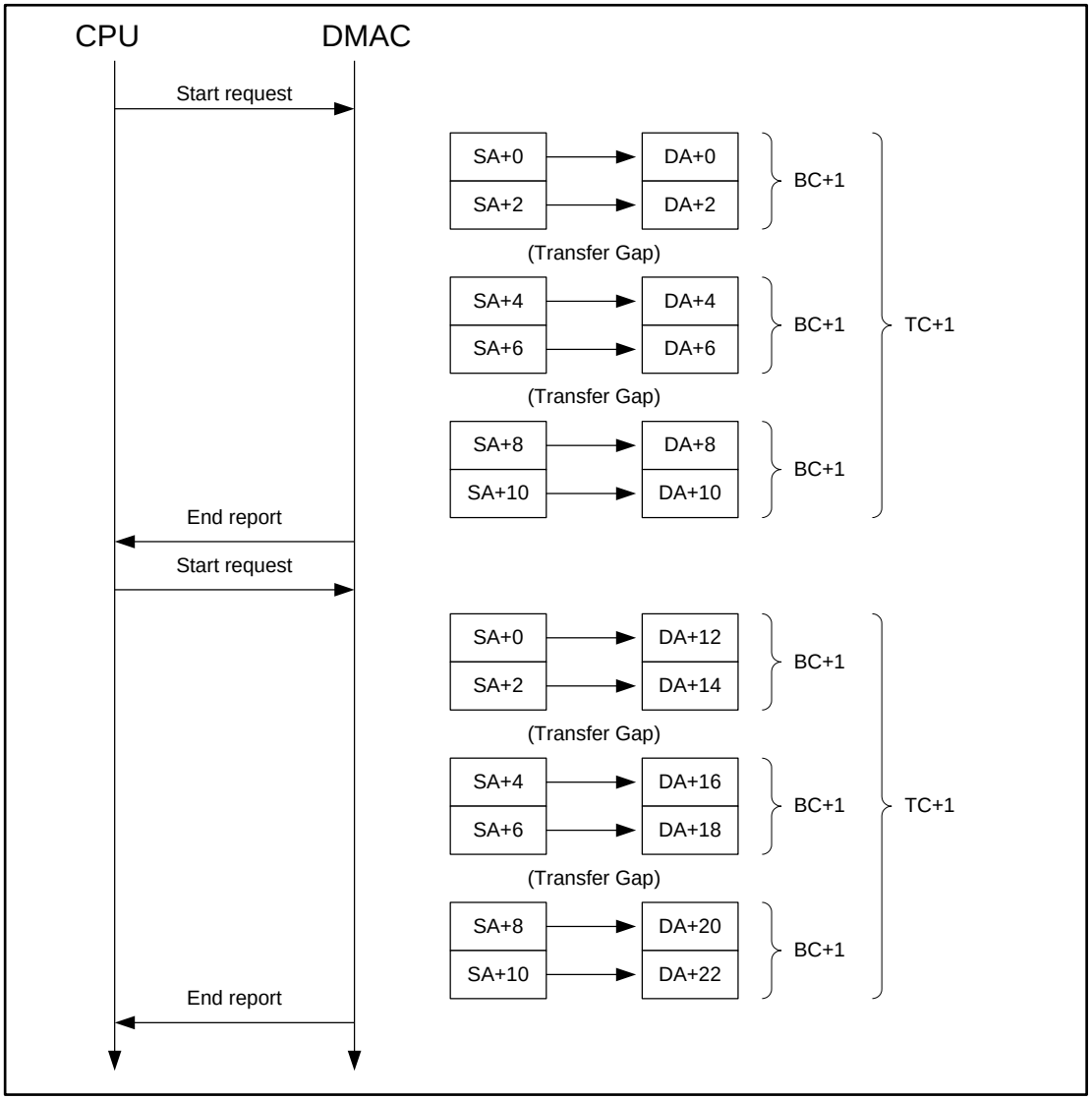
3.1 ソフトウェア・Block 転送

ソフトウェア・Block 転送について説明します。

Figure 3-1 にソフトウェア・Block 転送の動作例を示します。Figure 3-1 では、以下の設定を行っています。

- 転送モード: ソフトウェア要求 Block 転送(ST=1, IS[5:0]=000000, MS=00)
- 転送元開始アドレス: SA(DMACSA=SA)
- 転送元アドレス制御: インクリメント，リロードあり(FS=0, RS=1)
- 転送先開始アドレス: DA(DMACDA=DA)
- 転送先アドレス制御: インクリメント，リロードなし(FD=0, RD=0)
- 転送データサイズ: ハーフワード(16bit)，ブロック数 2，転送回数 3(TW=01, BC=1, TC=2)
- BC/TC リロード: リロードあり(RC=1)

Figure 3-1 ソフトウェア・Block 転送の動作例



CPU から転送内容の設定を行った後、転送開始の指示を行うと、DMAC は以下の動作を行います。

- 転送データ幅の指定により、1 回の転送はハーフワード(16 bit)で行われます。
- 転送元, 転送先の開始アドレス値, データ幅, インクリメント/固定の指定に従って、アドレス SA の領域からアドレス DA の領域にブロック数(=BC+1)分転送を行います。
- Block 転送の場合、1 ブロックの転送終了ごとに、Transfer Gap を発生します。
- DMAC はブロック数(=BC+1)分のデータ転送を転送回数(=TC+1)分行います。CPU からの 1 回の転送要求で転送されるデータのサイズは、データ幅(TW)×ブロック数(BC+1)×転送回数(TC+1)になります。
- 転送が終了すると、DMAC は CPU に終了通知を行います。
- 転送終了後、再び転送開始の指示を行った場合、転送元アドレスは、リロードあり指定(RS=1)のため、前の転送開始アドレス(SA+0)から再度転送を開始します。転送先アドレスは、リロードなし指定(RD=0)のため、前の転送終了アドレスの次のアドレス(DA+12)から転送を開始します。また BC・TC のリロードが指定されるため、次回のブロック数, 転送回数設定は前回の転送と同じ設定値がリロードされます。

Transfer Gap は、DMAC の 1 つのチャネルが、システムバスアクセス権を占有することを避ける目的で挿入される転送を行わない時間帯のことを示します。複数のチャネルに転送要求がある場合、DMAC は Transfer Gap のタイミングで、転送動作を行うチャネルを切り換えます。BC と TC の設定値を調節することにより、Transfer Gap の発生頻度を制御できます。

また、Transfer Gap のタイミングで、同時に CPU へのバスアクセス権の譲渡も行われます。本シリーズのシステムバスは、Multi-layer 構成であり、DMA 専用のシステムバスを持っています。このため、CPU とアクセス先が競合しない場合、CPU 動作と同時に転送動作を行えます。CPU とアクセス先が競合する場合、DMAC の転送が、異なるアドレス領域グループ間(RAM と Peripheral, Flash と RAM など)のとき、CPU 動作に対する支障はほとんどありません。ただし、転送が同じアドレス領域グループ間(RAM と RAM など)の場合、ブロック数の設定によっては、CPU の動作に支障を与え、システム性能に影響が発生することがあるため、注意してください。

(上記のアドレス領域グループとは、AHB システムバス上で同じバスブリッジにて接続されるアドレス領域グループのことを指しています。)

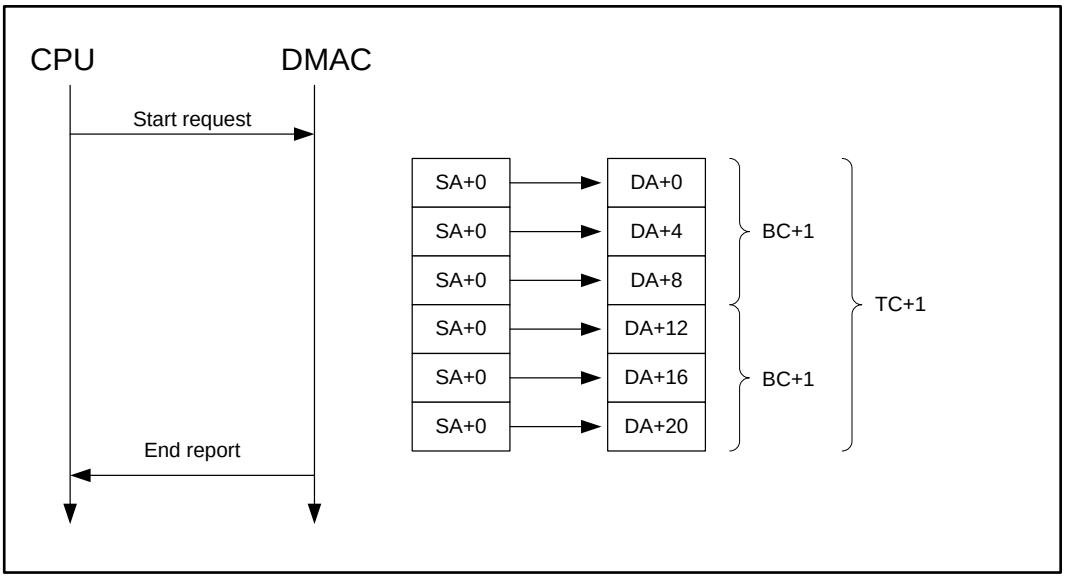
3.2 ソフトウェア・Burst 転送

ソフトウェア・Burst 転送について説明します。

Figure 3-2 にソフトウェア・Burst 転送の動作例を示します。Figure 3-2 では、以下の設定を行っています。

- 転送モード: ソフトウェア要求 Burst 転送(ST=1, IS[5:0]=000000, MS=01)
- 転送元開始アドレス: SA(DMACSA=SA)
- 転送元アドレス: 固定, リロードあり(FS=1, RS=1)
- 転送先開始アドレス: DA(DMACDA=DA)
- 転送先アドレス: インクリメント, リロードなし(FD=0, RD=0)
- 転送データサイズ: ワード(32 bit), ブロック数 3, 転送回数 2(TW=10, BC=2, TC=1)
- 転送回数リロード: 転送回数リロードあり(RC=1)

Figure 3-2 ソフトウェア・Burst 転送の動作例



CPU から転送内容の設定を行った後、転送開始の指示を行うと、DMAC は以下の動作を行います。

- 転送データ幅の指定により、1 回の転送はワード(32 bit)で行われます。
- 転送元, 転送先の開始アドレス値, データ幅, インクリメント/固定の指定に従って、アドレス SA の領域からアドレス DA の領域にブロック数(=BC+1)分転送を行います。転送元アドレスは固定が指定されているため、転送元開始アドレス(SA+0)のままです。
- Burst 転送の場合、Transfer Gap を発生せずに転送を連続して実行します。
- DMAC はブロック数(=BC+1)分のデータ転送を転送回数(=TC+1)分行います。CPU からの 1 回の転送要求で転送されるデータのサイズは、データ幅(TW)×ブロック数(BC+1)×転送回数(TC+1)になります。
- 転送が終了すると、DMAC は CPU に終了通知を行います。

Burst 転送の場合、Block 転送と異なり Transfer Gap を発生しません。制御対象チャネルがシステムバスアクセス権を占有するため、そのチャネルの転送を優先したいときに利用できます。

3.3 ハードウェア・Demand 転送

ハードウェア・Demand 転送について説明します。

USB, MSF, ADC の Peripheral からの転送要求信号にて、DMA 転送を行う場合は、ハードウェア・Demand 転送を使用します。

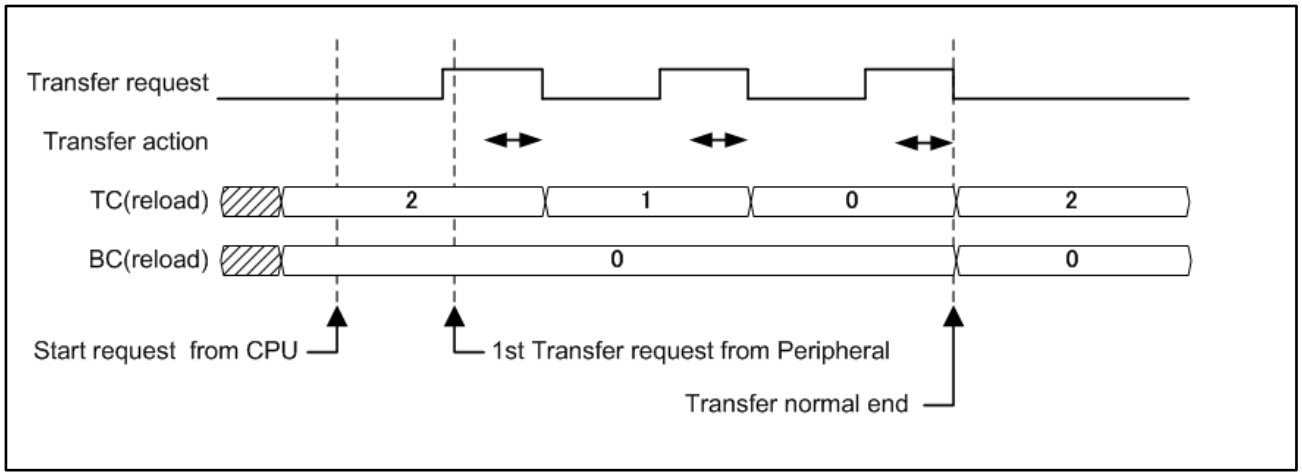
ハードウェア・Demand 転送は、Peripheral からの転送要求信号を信号レベルで受け取る方式です。転送要求信号が High レベルのときは転送を実行し、転送要求信号が Low レベルのときは転送を実行しません。各 Peripheral からの割込み信号の出力設定を、転送データが存在する場合に High レベル(転送要求あり)、転送データが存在しない場合に Low レベル(転送要求なし)となる設定を行って、転送を実行します。

ハードウェア・Demand 転送の場合、ブロック数は常に 1(BC=0)を指定してください。

Figure 3-3 にハードウェア・Demand 転送の動作例を示します。Figure 3-3 は、以下の設定を行っています。転送元・転送先アドレス, 転送データ幅に関する設定は省略しています。

- 転送モード: ハードウェア・Demand 転送(ST=0, IS=転送要求元 Peripheral, MS=10)
- 転送データサイズ: ブロック数 1, 転送回数 3(BC=0, TC=2)

Figure 3-3 ハードウェア・Demand 転送の動作例



ハードウェア・Demand 転送の動作を以下に示します。

CPU から転送内容の指定を行って、動作開始を指示します。DMAC は、Peripheral からの転送要求を待機します。転送要求を受け取り後、1 回の転送を行って、次の転送要求を待機します。待機中、Transfer Gap が発生します。転送要求のたびに、同様の動作を転送回数(TC+1)分行います。合計(TC+1)回の転送を行います。Peripheral からの転送要求の回数と DMAC の転送回数(TC+1)を合わせてください。DMAC はすべての転送が終了すると、CPU に終了通知を行います。

3.4 ハードウェア・Block 転送/Burst 転送

ハードウェア・Block 転送/Burst 転送について説明します。

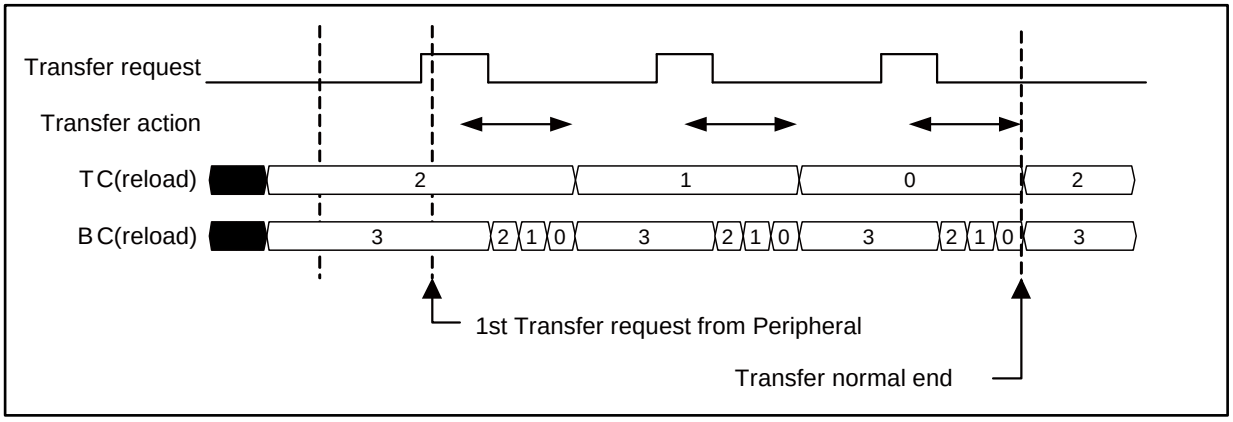
ベースタイマ, 外部割込みの Peripheral からの転送要求信号にて、DMA 転送を行う場合は、ハードウェア・Block 転送またはハードウェア・Burst 転送を使用します。

ハードウェア・Block 転送およびハードウェア・Burst 転送は、Peripheral からの転送要求信号を信号の立上りエッジで受け取る方式です。転送要求信号の立上りエッジが検出された場合に転送を実行します。各 Peripheral からの割込み信号の出力にて、DMAC の転送開始タイミングを指示できます。

Figure **3-4** にハードウェア・Block 転送の動作例を示します。Figure **3-4** は、以下の設定を行っています。転送元・転送先アドレス, 転送データ幅に関する設定は省略しています。

- 転送モード: ハードウェア・Block 転送(ST=0, IS=転送要求元 Peripheral, MS=00)
- 転送データサイズ: ブロック数 4, 転送回数 3(BC=3, TC=2)

Figure 3-4 ハードウェア・Block 転送の動作例



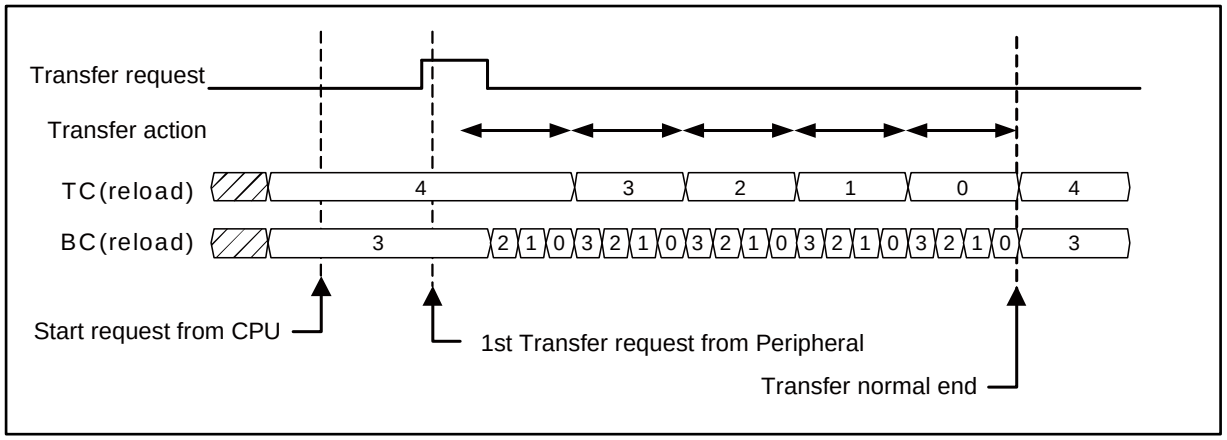
ハードウェア・Block 転送の動作を以下に示します。

CPU から転送内容の指定を行って、動作開始を指示します。DMAC は、Peripheral からの転送要求を待機します。転送要求を受け取り後、ブロック数(=BC+1)回の転送を行って、次の転送要求を待機します。待機中、Transfer Gap が発生します。転送要求のたびに、同様の動作を転送回数(TC+1)分行います。合計(BC+1)×(TC+1)回の転送を行います。Peripheral からの転送要求の回数と DMAC の転送回数(TC+1)を同じにしてください。DMAC はすべての転送が終了すると、CPU に終了通知を行います。

Figure **3-5** にハードウェア・Burst 転送の動作例を示します。Figure **3-5** は、以下の設定を行っています。転送元・転送先アドレス, 転送データ幅に関する設定は省略しています。

- 転送モード: ハードウェア・Burst 転送(ST=0, IS=転送要求元 Peripheral, MS=01)
- 転送データサイズ: ブロック数 4, 転送回数 5(BC=3, TC=4)

Figure 3-5 ハードウェア・Burst 転送の動作例



ハードウェア・Burst 転送の動作を以下に示します。

CPU から転送内容の指定を行って、動作開始を指示します。DMAC は、Peripheral からの転送要求を待機します。最初の転送要求を受け取り後、(BC+1)×(TC+1)回のすべての転送を行います。ハードウェア・Burst 転送中は、Transfer Gap は発生しません。DMAC はすべての転送が終了すると、CPU に終了通知を行います。

3.5 チャネル優先順位制御

チャネル優先順位制御について説明します。

優先順位制御について

複数のチャネルに転送要求がある場合、DMAC は各チャネルの Transfer Gap のタイミングで、転送を行うチャネルを切り換えます。この際、次に転送を行うチャネルは、優先順位制御に従って決定されます。優先順位制御は、PR により、優先順位固定/優先順位ローテートのいずれかを選択できます。Figure 3-6 は、右軸が時間軸を示しています。すべてのチャネルから同時に転送要求が発生した場合に、各チャネルが転送動作を行うタイミングを矢印で示しています。

優先順位固定の場合の動作(PR=0)

優先順位固定の場合、転送要求のあるチャネルのうち、小さい番号のチャネルが、優先的に転送動作を行います。

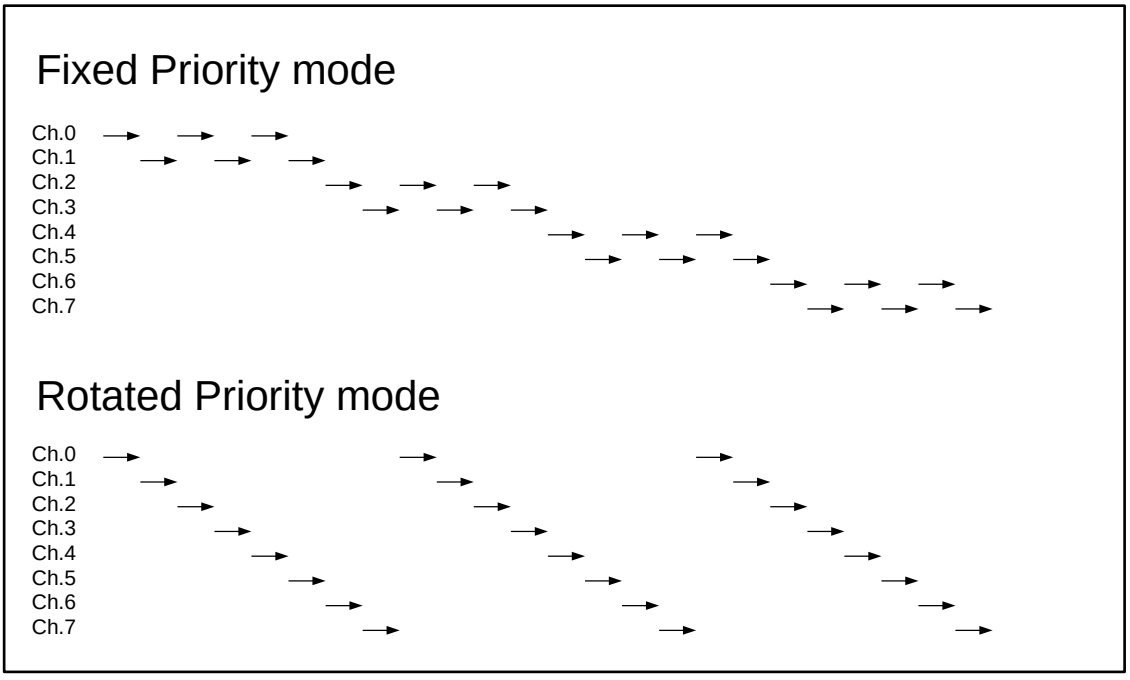
(優先順位 : ch.0＞ch.1＞ch.2＞ch.3＞ch.4＞ch.5＞ch.6＞ch.7)

最初に、1 番目に優先順位の高いチャネル(Figure 3-6 では ch.0)が転送を行います。1 番目に優先順位の高いチャネルは、Transfer Gap のタイミングで転送動作を停止するため、次は 2 番目に優先順位の高いチャネル(Figure 3-6 では ch.1)が転送動作を行います。このため、1 番目と 2 番目の優先順位のチャネルが、交互に転送動作を行います。以降、優先順位の高いチャネルの転送が終了してから、優先順位の低いチャネル(Figure 3-6 では ch.3)が転送動作を開始します。

優先順位ローテート方式の場合の動作(PR=1)

優先順位ローテート方式は、すべてのチャネルが平等に転送動作を行います。

Figure 3-6 チャネル優先順位制御の説明図



4. DMAC の制御

DMAC の制御方法の詳細を説明します。

4.1. DMAC 制御概要
4.2. ソフトウェア転送時の DMAC 動作と制御手順
4.3. ハードウェア(EM=0)転送時の DMAC 動作と制御手順
4.4. ハードウェア(EM=1)転送時の DMAC 動作と制御手順

4.1 DMAC 制御概要

DMAC 制御概要を説明します。

DMAC の各チャネルの制御レジスタには、EB(個別チャネル動作許可ビット), PB(個別チャネル一時停止ビット)が存在します。これらのビットを操作することにより、DMA 転送動作の開始(動作許可), 転送動作の強制停止(動作禁止), 転送動作の一時停止の制御をチャネルごとに制御できます。また、すべてのチャネルの転送動作を一括して制御するための、DE(全チャネル動作許可ビット), DH(全チャネル一時停止ビット)があり、全チャネルの転送動作を一括して制御できます。

あらかじめ、各チャネルは動作禁止状態にあり、この状態でチャネルごとに転送内容(転送元アドレス, 転送先アドレス, 転送データ幅, 転送回数, 転送モードなど)の指定を各チャネルのコンフィギュレーションレジスタに指定します。その後、EB, PB, DE, DH への書込みにより転送動作の開始, 一時停止指示を行って、転送動作を制御します。

各チャネルは転送が終了すると、SS(Stop Status)に終了コードをセットし、それぞれのチャネルの終了状態を通知します。転送終了時に割込みを発生させられます。転送が終了すると、基本的に各チャネルは EB, PB をクリアし、動作禁止状態に戻ります。

「4.2 ソフトウェア転送時の DMAC 動作と制御手順」にて、ソフトウェア要求による DMA 転送、Peripheral からの転送要求によるハードウェア DMA 転送時のそれぞれの動作と制御手順について説明します。
説明文中に、CPU からの指示として以下の用語が用いられますが、それぞれ、EB, PB, DE, DH ビットへの以下の値の書込み操作を示しています。

- 個別チャネル動作許可指示(EB=1, PB=0 の書込み)
- 個別チャネル動作禁止指示(EB=0 の書込み)
- 個別チャネル一時停止指示(EB=1, PB=1 の書込み)
- 全チャネル動作許可指示(DE=1, DH=0000 の書込み)
- 全チャネル動作禁止指示(DE=0 の書込み)
- 全チャネル一時停止指示(DE=1, DH!=0000 の書込み)

4.2 ソフトウェア転送時の DMAC 動作と制御手順

ソフトウェア転送時の DMAC 動作と制御手順を以下に説明します。

Figure 4-1 ソフトウェア DMA 転送状態遷移図

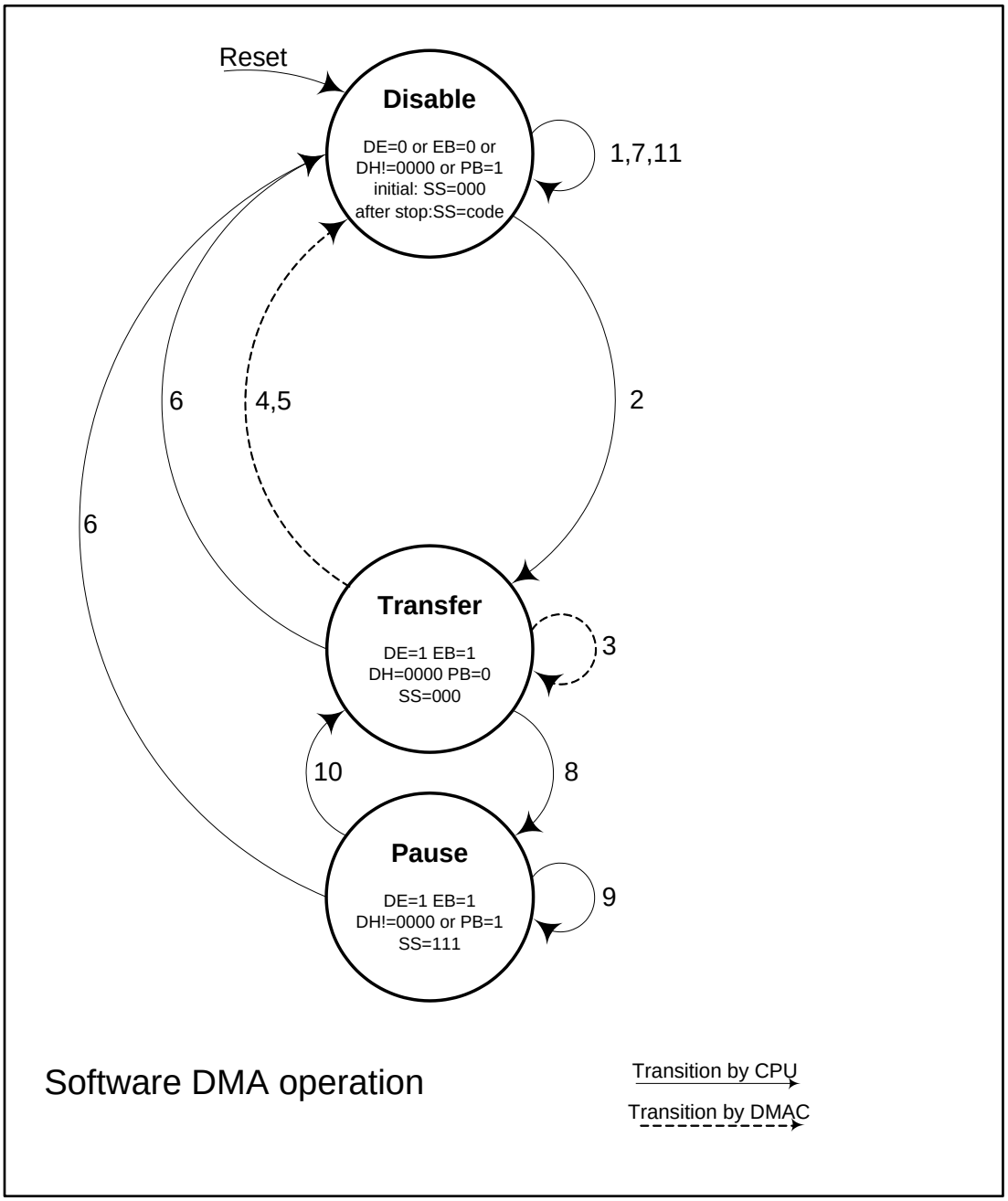


Figure 4-1 にソフトウェア転送時の制御対象チャネルの状態遷移を示します。Figure 4-1 の遷移線の番号は、以降の制御手順の説明の番号に対応しています。実線の遷移線は、CPU からの指示による状態遷移を示します。破線の遷移線は、DMAC の動作による状態遷移を示します。

各状態の説明

■ Disable 状態

制御対象のチャネルの転送が禁止されている状態です。この状態のチャネルは、何も行わず、CPU からの指示を待っている状態です。システムリセット時は、DE=0, EB=0, DH=0000, PB=0 の Disable 状態です。

■ Transfer 状態

制御対象のチャネルの転送が許可されている状態です。この状態のチャネルは、指定された内容の転送動作を行います。すべての転送動作が終了すると Disable 状態に復帰します。また、CPU からの指示により、状態を変化させます。

■ Pause 状態

制御対象のチャネルが、CPU からの一時停止の指示により、転送を一時停止している状態で、CPU からの指示を待っている状態です。

制御手順の説明

1. Disable 状態/転送準備

   CPU から制御対象のチャネルに対する転送内容の指定(DMACSA, DMACDA, DMACA, DMACB の各ビットへ書込み)を行います。転送内容の指定詳細は、「5. DMAC のレジスタ」を参照してください。転送終了時に DMAC から割込みを発生させる場合には、EI, CI をセットします。
   ソフトウェア転送の場合、次の制約があります。ST=1, IS[5:0]=000000 を指定します。MS に Demand 転送モードは指定できません。EM は常に"0"を設定します。
   全チャネル動作許可指示と PR の設定を行います。DMACA に対する書込みは、ソフトウェア手順 2.で同時に行うことも可能です。

2. Disable 状態=>Transfer 状態/転送開始

   CPU から個別チャネル動作許可指示を行います。DE=1, EB=1, DH=0000, PB=0 の状態になると、制御対象のチャネルは、Transfer 状態へ遷移します。

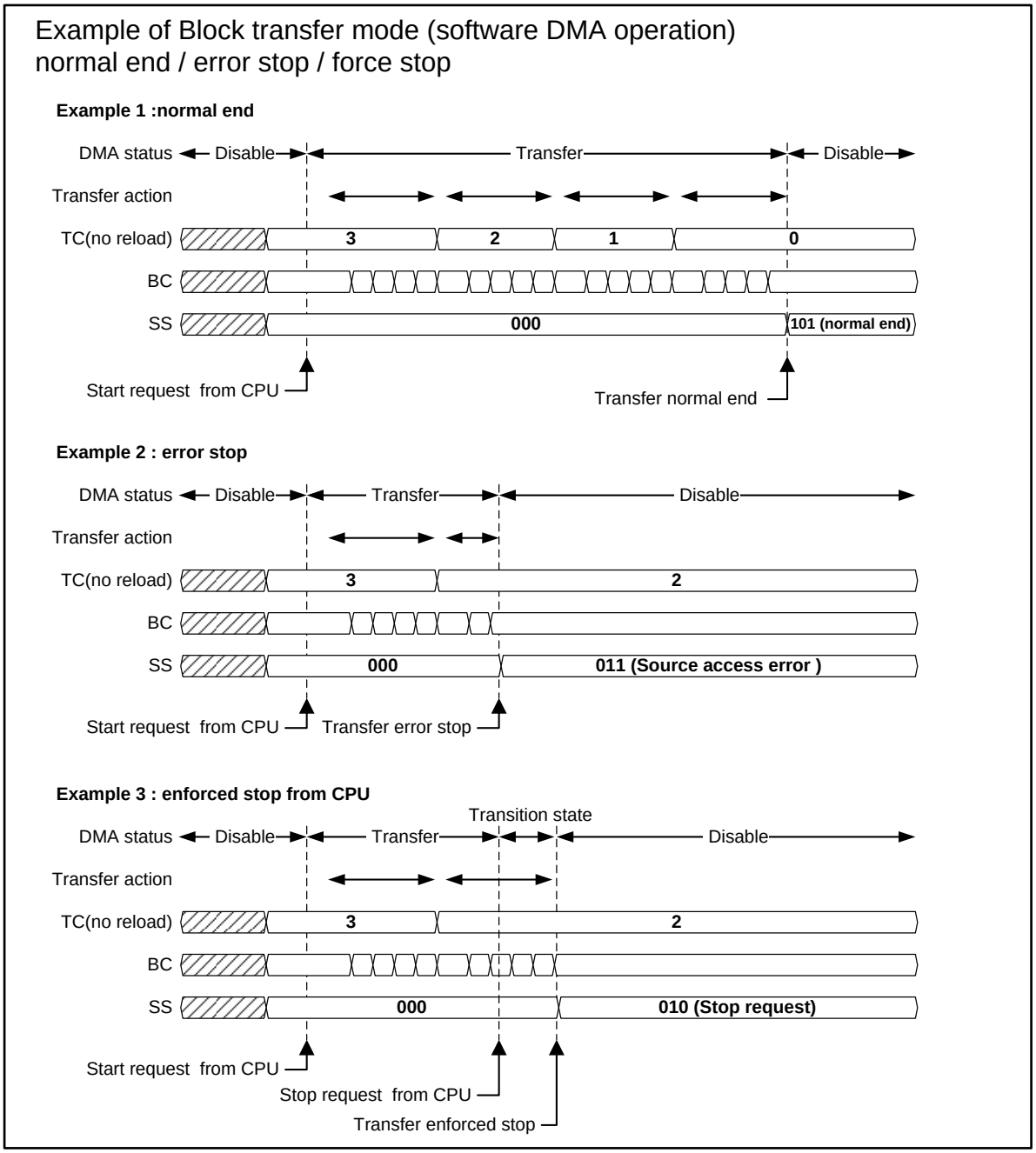
3. Transfer 状態

   Transfer 状態のチャネルは、システムバスにアクセス可能な状態になると、転送内容に従い転送を行います(他のチャネルの状況により、転送を開始するために時間を要する場合もあります)。Block 転送の場合、TC の更新の都度 Transfer Gap を発生します。Burst 転送の場合、Transfer Gap は発生しません。転送動作中、BC, TC, DMACSA, DMACDA は、その時点での転送回数残量, 転送アドレスを示しています。CPU から読み出すことで転送状況を確認できます。
   CPU から Transfer 状態のチャネルに対し、転送内容の指定変更(DMACSA, DMACDA, DMACA[29:0], DMACB[31:1]の各ビットの書換え)を行うことはできません(EB, PB, EM は書換えが可能です)。

4. Transfer 状態=>Disable 状態/転送正常終了

   Transfer 状態のチャネルは、(BC+1)×(TC+1)回の転送が正常終了すると、EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]=101 をセットし正常終了を通知します。Figure **4-2** Example 1 を参照してください。CI により転送正常終了割込みを許可している場合、割込みが発生します。BC, TC, DMACSA, DMACDA にリロードが指定されている場合、転送内容指定のリロードを実行します。

Figure 4-2 ソフトウェア・Block 転送動作例



5. Transfer 状態=>Disable 状態/転送エラー終了

   Transfer 状態のチャネルは、転送動作中に、アドレス・オーバフロー, 転送元アクセスエラー, 転送先アクセスエラーが発生した場合、転送処理を中断します。EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]にエラー内容を示す値をセットし、エラー終了を通知します。Figure 4-2 Example 2 を参照してください。EI により転送異常終了割込みを許可している場合、割込みが発生します。リロード指定されていない BC, TC, DMACSA, DMACDA は、転送中断時の値の状態です。

通常、転送エラーは、システムバス上に存在しないアドレス領域や、DMAC からアクセスが禁止されているアドレス領域にアクセスを行った場合に発生するものです。一般的な用途の場合には発生しません。

6. Transfer 状態, Pause 状態=>Disable 状態/転送強制停止

   Transfer 状態・Pause 状態のチャネルに対し、CPU から個別チャネル動作禁止指示または全チャネル動作禁止指示を行うと該当するチャネルの転送動作を強制停止できます
   (Disable 状態のチャネルに動作禁止指示を行った場合の動作は、ソフトウェア手順 11.を参照してください)。
   CPU から指示を行うと、該当するチャネルは転送処理を中断します。EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]=010 をセットし、そのチャネルの転送が強制停止したことを通知します。EI により転送異常終了割込みを許可している場合、割込みが発生します。リロード指定されていない BC, TC, DMACSA, DMACDA は、転送中断時の値のままの状態です。
   Figure 4-2 Example 3 に示すように、CPU からの指示後、転送が停止するのは、該当するチャネルが転送を行っていないタイミング(転送開始前、Transfer Gap)です。Pause 状態のチャネルは、直ちに停止します。指示後、停止するまでの間に、時間差(Transition state)があります。BC の設定によっては、時間を要する場合もあります。この間に、新規の転送設定および新規転送開始はできないため、その際は、必ず停止の確認後に次の転送設定を行ってください。
   全チャネル動作禁止指示の場合、チャネルによって停止するタイミングは異なります。すべてのチャネルが停止すると、DS がセットされるため、すべてのチャネルが停止したことを確認できます。
   CPU から指示を行っても、転送モード(Burst/Block/Demand)や、転送状況(転送を行った回数, 動作禁止指示タイミング)などの要因により、強制終了せず、正常終了する場合があります。また、転送が停止する前に転送エラーが発生すれば、転送はエラー終了します。

7. Disable 状態/転送後処理

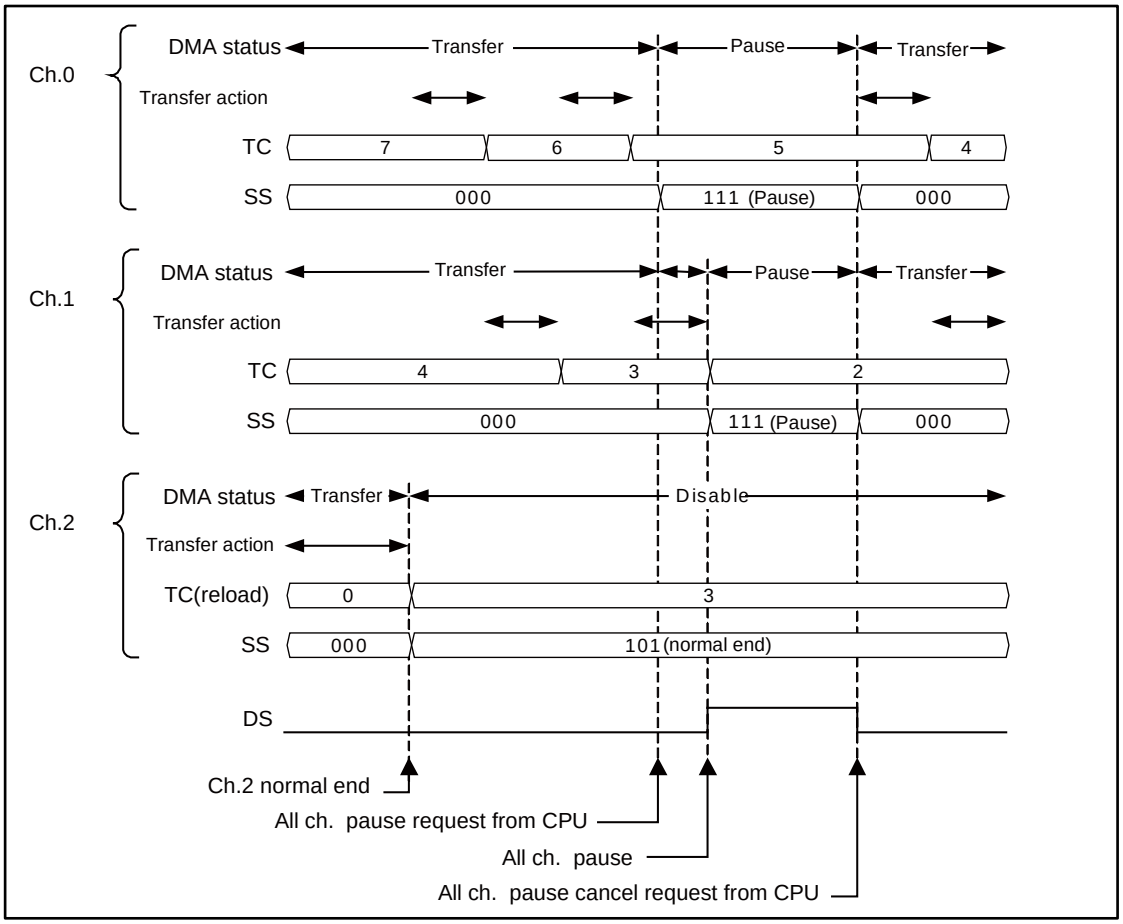
   CPU から SS の読出しを行い、転送終了状態を確認します。CPU から SS[2:0]をクリアし、次回の転送に備えます。割込みを許可している場合、SS のクリアにより DMAC からの割込み信号がディアサートされます。
   正常終了の場合、必要に応じて CPU から転送内容の再設定を行います。各リロード指定がされている場合、BC, TC, DMACSA, DMACDA は、転送開始前の値がリロードされています。各リロード指定がされていない場合、BC, TC は、"0"に初期化されています。DMACSA, DMACDA は、次の転送アドレスを示しています。
   エラー終了, 強制終了の場合、BC, TC, DMACSA, DMACDA は、中断時の値の場合がありますので、必ず再設定をしてください。
   全チャネル動作禁止指示により停止している場合、DE=0 であるため、次回の転送には、全チャネル動作許可指示, 個別チャネル動作許可指示が必要です。

8. Transfer 状態/転送一時停止

   Transfer 状態のチャネルに対し、CPU から個別チャネルの一時停止指示または全チャネル一時停止指示を行うと、該当するチャネルの転送動作を一時停止できます(Disable 状態のチャネルに一時停止指示を行った場合の動作は、ソフトウェア手順 11.を参照してください)。
   CPU から指示を行うと、該当するチャネルは転送処理一時停止します。SS=111 をセットし Pause 状態であることを通知します。この場合に割込みは発生させられません。
   CPU からの指示後、転送が停止するのは、該当するチャネルが転送を行っていないタイミング(転送開始前、Transfer Gap)です。指示後、停止するまでの間に、時間差(Transition state)があります。BC の設定によっては、時間を要する場合もあります。Figure 4-3 を参照してください。
   全チャネル一時停止指示の場合、チャネルによって停止するタイミングは異なります。すべてのチャネルが停止すると、DS がセットされるため、すべてのチャネルが停止したことを確認できます。Figure **4-3** を参照してください。

CPU から指示を行っても、転送モード(Burst/Block/Demand)や、転送状況(転送を行った回数, 一時停止指示タイミング)などの要因により、一時停止せず、正常終了する場合があります。また、転送が停止する前に転送エラーが発生すれば、転送はエラー終了します。

Figure 4-3 全チャネル一時停止指示時の動作



9. Pause 状態

CPU から SS の読出しを行い、一時停止を確認します。Pause 状態にあるチャネルの SS[2:0]は"111"の値であり、この状態にある間、CPU からはクリアできません。
一時停止中であっても、CPU から転送内容の指定変更(DMACSA, DMACDA, DMACA[29:0], DMACB[31:1]の各ビットの書換え)はできません。また、Pause 状態のチャネルに対する一時停止指示は、Pause 状態を継続します。

10. Pause 状態/転送一時停止解除

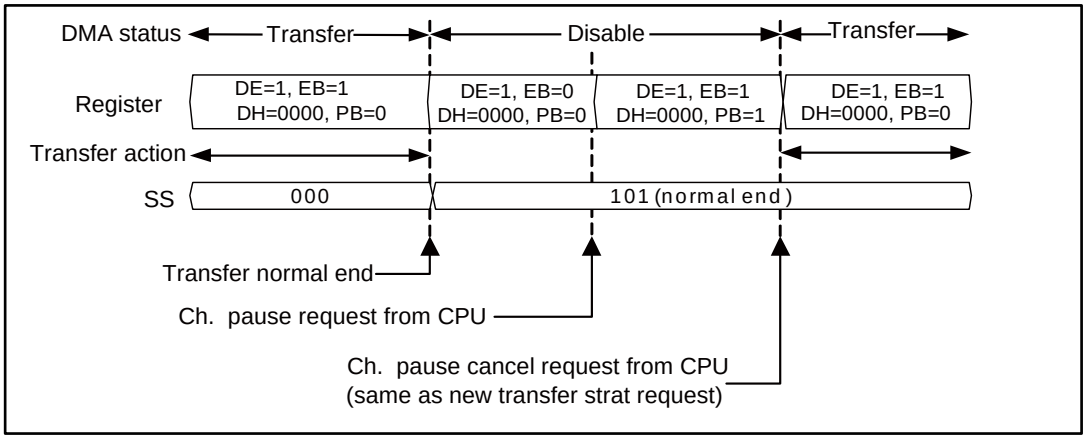
個別チャネル一時停止指示で Pause 状態になっているチャネルに、個別チャネル動作許可指示を行うと該当するチャネルは Transfer 状態に戻ります。また、全チャネル一時停止指示で Pause 状態になっているチャネルに、全チャネル動作許可指示を行うと該当するチャネルは Transfer 状態に戻ります。両方の一時停止指示を行っている場合、両方の解除指示をしてください。
解除の指示後、SS[2:0]は DMAC から"000"にクリアされます。
個別チャネル動作許可指示および全チャネル動作許可指示は、Pause 状態で発行された場合は、一時停止の解除を指示します。しかし、Disable 状態で発行された場合は、新規の転送を開始する指示になる場合があるため、注意してください。ソフトウェア手順 11 を参照してください。

Figure 4-3 に、全チャネル一時停止指示を行った場合の例を示します。Figure **4-3** の説明を以下に行います。
最初の時点では、ch.0～ch.2 の 3 つのチャネルが Block 転送モードでそれぞれ転送動作を行っています。ch.2 は転送を正常終了し、Disable 状態に遷移し SS[2:0]=101 をセットしています。その後、ch.0 と ch.1 が交互に転送を行っています。
ここで、CPU から全チャネル一時停止指示を行うと以下の動作となります。ch.0 は Transfer Gap のタイミングのため、直ちに Pause 状態に遷移し、SS[2:0]=111 となります。ch.1 は転送中のため、次の Transfer Gap のタイミングまで転送を行い、その後 Pause 状態に遷移し、SS[2:0]=111 となります。ch.2 は Disable 状態のため、Disable 状態のままで SS[2:0]を変化させません。すべてのチャネルが動作停止となった時点で DS がセットされます。
次に CPU から全チャネル動作許可指示(一時停止解除の指示)を行うと以下の動作となります。ch.0, ch.1 は Transfer 状態に復帰し、SS[2:0]を"000"にクリアします。ch.2 は Disable 状態(DE=1, EB=0)のため、動作開始せずそのままの状態です。全チャネル一時停止解除となると、DS がリセットされます。

11. Disable 状態での動作

Disable 状態のチャネルは、DE=1, DH=0000, EB=1, PB=0 の条件が成立しない限り、Disable 状態を継続します。ソフトウェア手順 1-2.では、DE=0, EB=0 の状態から、DE を先にセットし、次に EB をセットしましたが、逆に EB をセットしてから、DE をセットしても問題ありません。転送を行う複数のチャネルの転送設定をすべて完了してから、最後に DE をセットできます。この場合、転送を行う複数のチャネルに同時に転送開始を指示できます。同時に転送開始指示がなされた場合、DMAC は PR の設定に従って転送を開始するチャネルを選択します(PR の設定変更は、全チャネルの動作が禁止されているときのみ行えます)。
Disable 状態のチャネルに対して個別チャネル動作禁止指示, 個別チャネル一時停止指示, 全チャネル動作禁止指示, 全チャネル一時停止指示を行った場合、DE, DH, EB, PB のビット設定が変更されるだけで、DE=1, DH=0000, EB=1, PB=0 の条件が成立しないため、該当チャネルは何も行わず、SS[2:0]は変化しません。Figure 4-3 の ch.2 の動作に示した例のように、CPU からの全チャネル一時停止指示が、Disable 状態のチャネルに発行された場合、そのチャネルは状態変化せず、その前の転送の終了状態の SS[2:0]を示したままとなります。
Disable 状態のチャネルに、個別・全チャネル一時停止指示を行うと、DE=1, EB=1, (DH!=0000 or PB=1)の Disable 状態になることがあります。この状態のビット値は、Pause 状態の DE, EB, DH, PB と同じですが、SS[2:0]が異なる値のため区別できます。Figure **4-4** に例を示します。

Figure 4-4 Disable 状態で個別チャネル一時停止指示を行った場合の例



あるチャネルにて転送動作を行っています。また、CPU からそのチャネルに対し、個別チャネル一時停止指示を行っています。その指示は、転送が終了し Disable 状態(DE=1, DH=0000, EB=0, PB=0)になってから発行されています。転送動作中のチャネルは、CPU の意図しない間に状態を変化させるため、このような現象は起こり得ます。この場合、該当チャネルのビット値は、CPU からの指示により、(DE=1, DH=0000, EB=1, PB=1)に変化しますが、SS[2:0]は終了時の"101"のままです。一時停止指示で停止していれば、SS[2:0]は"111"となるため、一時停止状態なのか、転送が終了した状態なのかを区別できます。SS[2:0]でチャネルの状態を確認せずに、一時停止解除の指示(動作許可指示と同じ)を行うと、Figure **4-4** に示すように、新規の転送が開始されるため、注意してください。

補足事項 1

転送終了時、ST はクリアされるため、転送終了後の ST の読出し値は"0"です。ソフトウェア転送の場合、ST は読出し値にかかわらず、常に"1"を書き込む必要があるため、注意してください。

補足事項 2

個別チャネル動作許可指示により、転送開始を指示した後、転送終了が確認できるまでの間は、再度、個別チャネル動作許可指示を行うことはできません。これは、制御対象チャネルは、CPU の意図しない間に状態を変化させることがあるため、DMAC が Disable 状態(EB=0)に遷移している場合に新規の転送開始を指示することになるからです。仮に SS[2:0]の値で制御対象チャネルが Transfer 状態にあることの確認を行ったとしても、その時点から書込みを行うまでの間に、制御対象チャネルが Disable 状態に変化することがあります。

補足事項 3

DE, DH の値は CPU からのみ書換えが可能で、DMAC 側からこのレジスタをクリアすることはありません。このため、転送動作中に DE=1, DH=00000 の書込みを行うことは問題ありません。また、全チャネル Pause 状態にあるチャネル(DE=1, DH!=0000, EB=1, PB=0)に対して、個別チャネル動作禁止指示を行った場合、DH はクリアされません。指示後、該当チャネルは、Disable 状態(DE=1, DH!=0000, EB=0, PB=0)に遷移します。ここから、該当チャネルの新規転送を開始するためには、DE=1, DH=0000 を書き込んでください。これは、個別チャネルの新規転送開始のために、全チャネルの一時停止解除が必要になることを示しています。

補足事項 4

SS[2:0]の値は、転送終了時に DMAC からセットされ、Disable 状態にある間は DMAC から書き換えられることはありません。SS[2:0]の値をクリアしなくても、次の転送を開始できます。ただし、Transfer 状態に遷移すると、SS[2:0]は DMAC からクリアされることがあります(クリアされない場合もあります)。DMAC からの割込みを使用している場合、SS[2:0]をクリアせずに Transfer 状態に遷移すると、CPU の意図しないタイミングで割込み信号がディアサートされるため、注意してください。

4.3 ハードウェア(EM=0)転送時の DMAC 動作と制御手順

ハードウェア(EM=0)転送時の DMAC 動作と制御手順を以下に示します。

Figure 4-5 ハードウェア(EM=0)転送状態遷移図

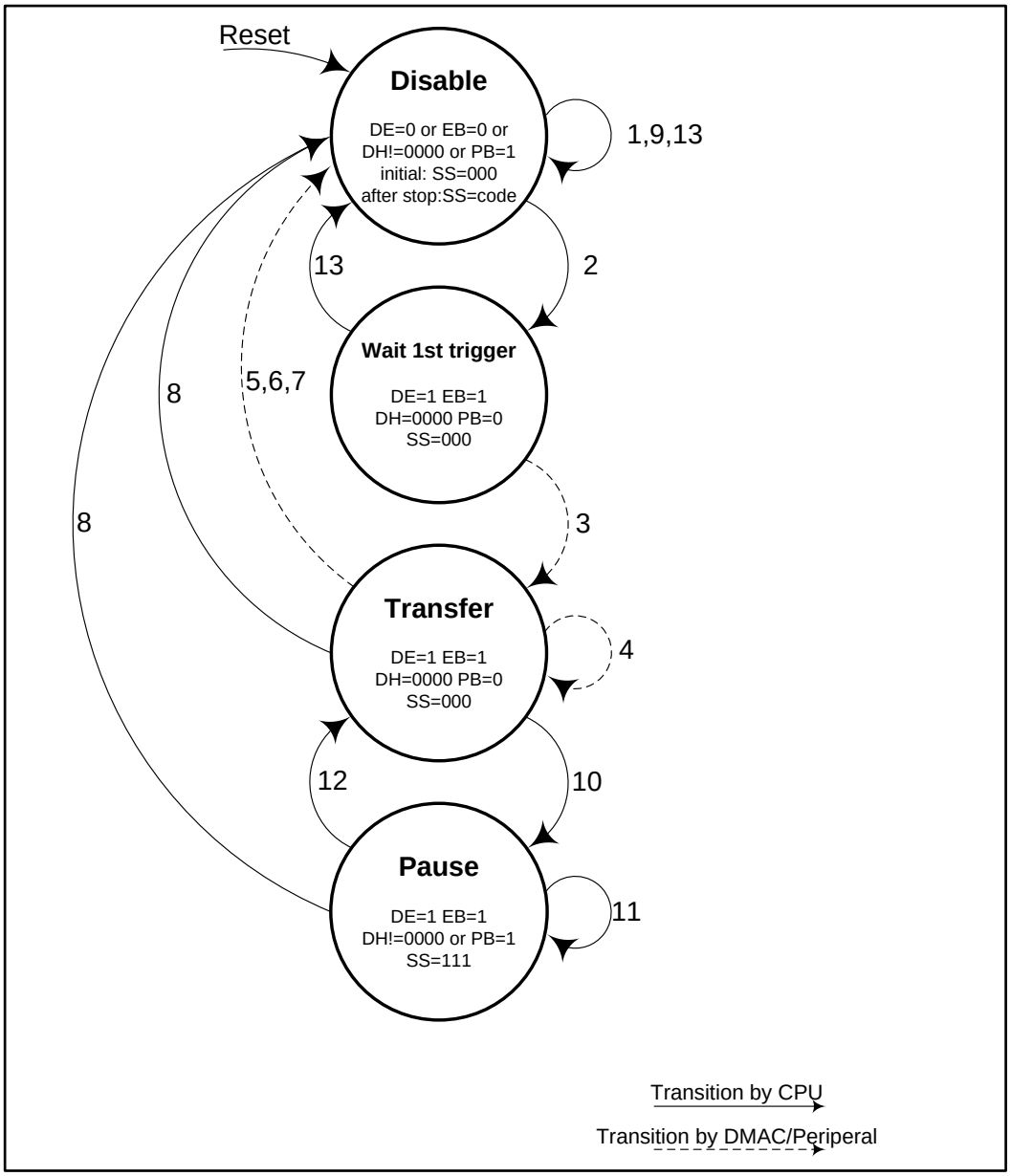


Figure **4-5** にハードウェア(EM=0)転送の場合の制御対象チャネルの状態遷移図を示します。Figure **4-5** の遷移線の番号は、以降の制御手順の説明の番号に対応しています。実線の遷移線は、CPU からの指示による状態遷移を示します。破線の遷移線は、DMAC/Peripheral の動作による状態遷移を示します。

以降の説明で"ソフトウェア転送手順参照してください"との記載がある箇所がありますが、これは、特記のない事項は、ソフトウェア転送手順と同じ制御になるため説明を省略していることを示しています。本例では、EM=0 の設定を行っている前提で説明を行っています。

各状態の説明

■ Disable 状態

「4.2 ソフトウェア転送時の DMAC 動作と制御手順」の「 制御手順の説明」を参照してください。

■ Wait-1st-trigger 状態

制御対象のチャネルの転送が許可されている状態です。この状態のチャネルは、Peripheral からの最初の転送要求がアサートされるまで待機しています。また、CPU から指示により、状態を変化させます。

■ Transfer 状態

制御対象のチャネルが Peripheral からの最初の転送要求を受け取った後の状態です。この状態のチャネルは、指定された内容の転送動作を行います。すべての転送動作が終了すると Disable 状態に復帰します。また、CPU からの指示により、状態を変化させます。

■ Pause 状態

「4.2 ソフトウェア転送時の DMAC 動作と制御手順」の「制御手順の説明」を参照してください。

制御手順の説明

1. Disable 状態/転送準備

   ソフトウェア転送手順 1.を参照してください。

   ハードウェア転送の場合、次の制約があります。

   事前にどの Peripheral からの割込み信号を DMAC に対する転送要求信号として使用するかを割込みコントローラ部にて選択してください(『割込み』の章 「4.1DMAC DMA 要求選択レジスタ (DRQSEL)」を参照してください)。ST=0 を設定し、同時に IS により、転送を行うチャネルでどの Peripheral の転送要求を処理するかを指定します。複数のチャネルで同じ Peripheral の転送要求は処理できま

   せん。Demand 転送モードの場合は、BC=0 を設定してください。本節では、EM=0 を設定した場合の動作説明を行います。

2. Disable 状態=>Wait-1st-trigger 状態/転送許可

   CPU から個別チャネル動作許可指示を行います。DE=1, EB=1, DH=0000, PB=0 の状態になると、制御対象のチャネルは Wait-1st-trigger 状態へ遷移します。

3. Wait-1st-trigger 状態/転送開始

   Wait-1st-trigger 状態のチャネルは、Peripheral から転送要求信号がアサートされるか、CPU からの指示を待っている状態です。最初の転送要求信号がアサートされると、Transfer 状態に遷移します。

4. Transfer 状態

   ソフトウェア転送手順 3.を参照してください。

   Transfer 状態のチャネルは、ハードウェア転送の場合、「3.3. ハードウェア・Demand 転送」,「3.4. ハードウェア・Block 転送/Burst 転送」に示したように Peripheral からの転送要求信号により、転送動作を行います。それぞれの動作モードで、Peripheral からの転送要求の回数と DMAC が必要とする転送要求回数を合わせてください。それぞれの動作モードで転送要求回数に過不足が生じた場合の動作を以下に説明します。

   Figure 4-6 に Demand 転送の場合を示します。Demand 転送の場合、転送を終了するために必要な転送要求回数は、TC+1 回です。転送要求回数に過不足がない場合、特に CPU が介在する必要はありません(Figure 4-6 Example 1)。

   DMAC の転送回数設定より、Peripheral から発生する転送要求回数が多くなった場合、DMAC は、所定の転送を終了後、Disable 状態に遷移します。Disable 状態ではそれ以上の転送は実行しません。また、超過した転送要求信号は、DMAC からはクリアされないため、アサートされた状態が継続されます(Figure 4-6 Example 2)。

DMAC の転送回数設定より、Peripheral から発生する転送要求回数が少ない場合、DMAC は、Transfer 状態で、残りの転送要求を待機します(Figure 4-6 Example 3)。
Peripheral からの転送要求発生間隔に対して、DMAC の転送処理が間に合わない場合が想定されます。Demand 転送の場合は、転送要求信号がアサート状態のため、TC+1 回の転送を行えます(Figure **4-6** Example 4)。

Figure 4-6 ハードウェア・Demand 転送の動作

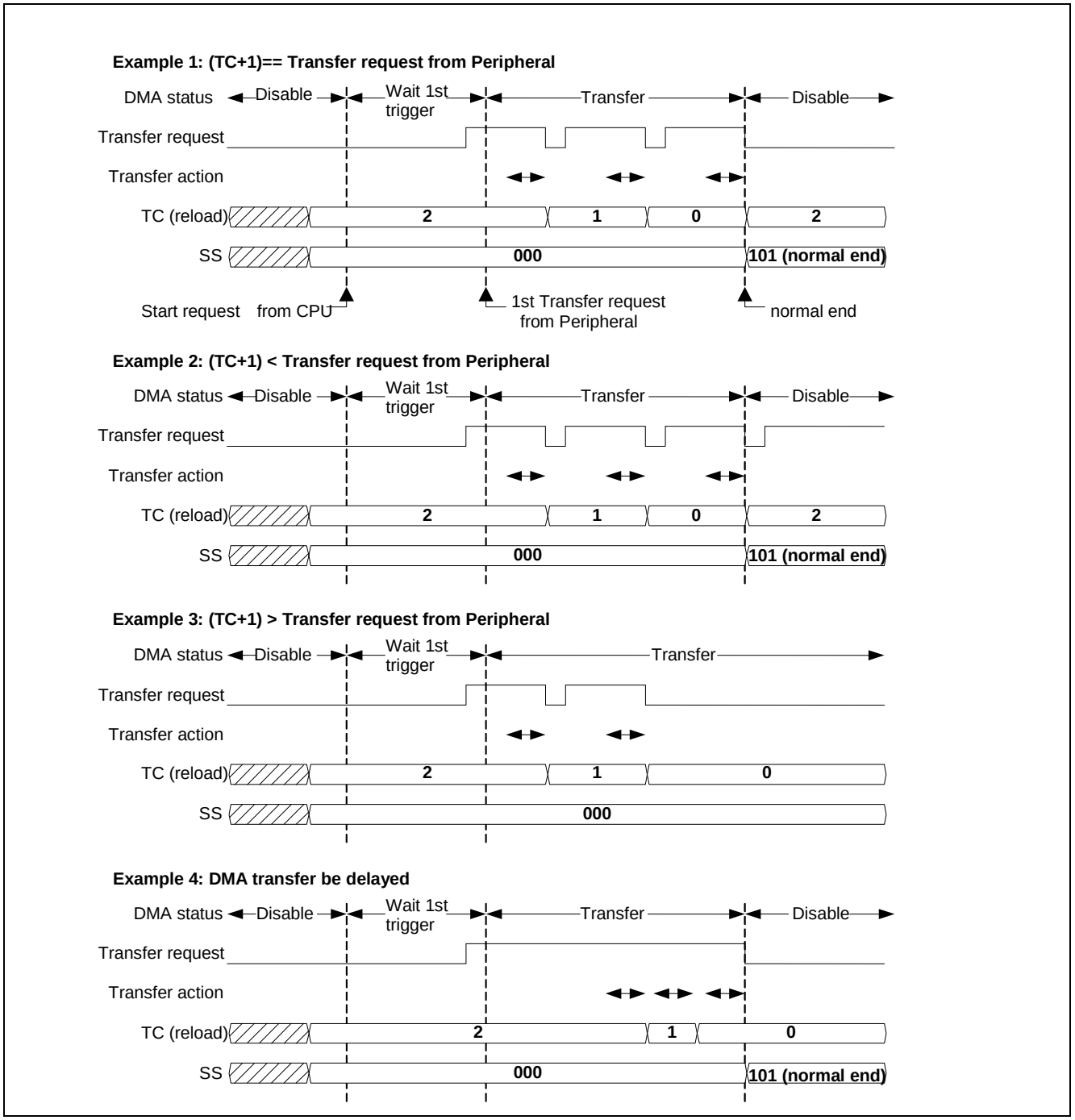
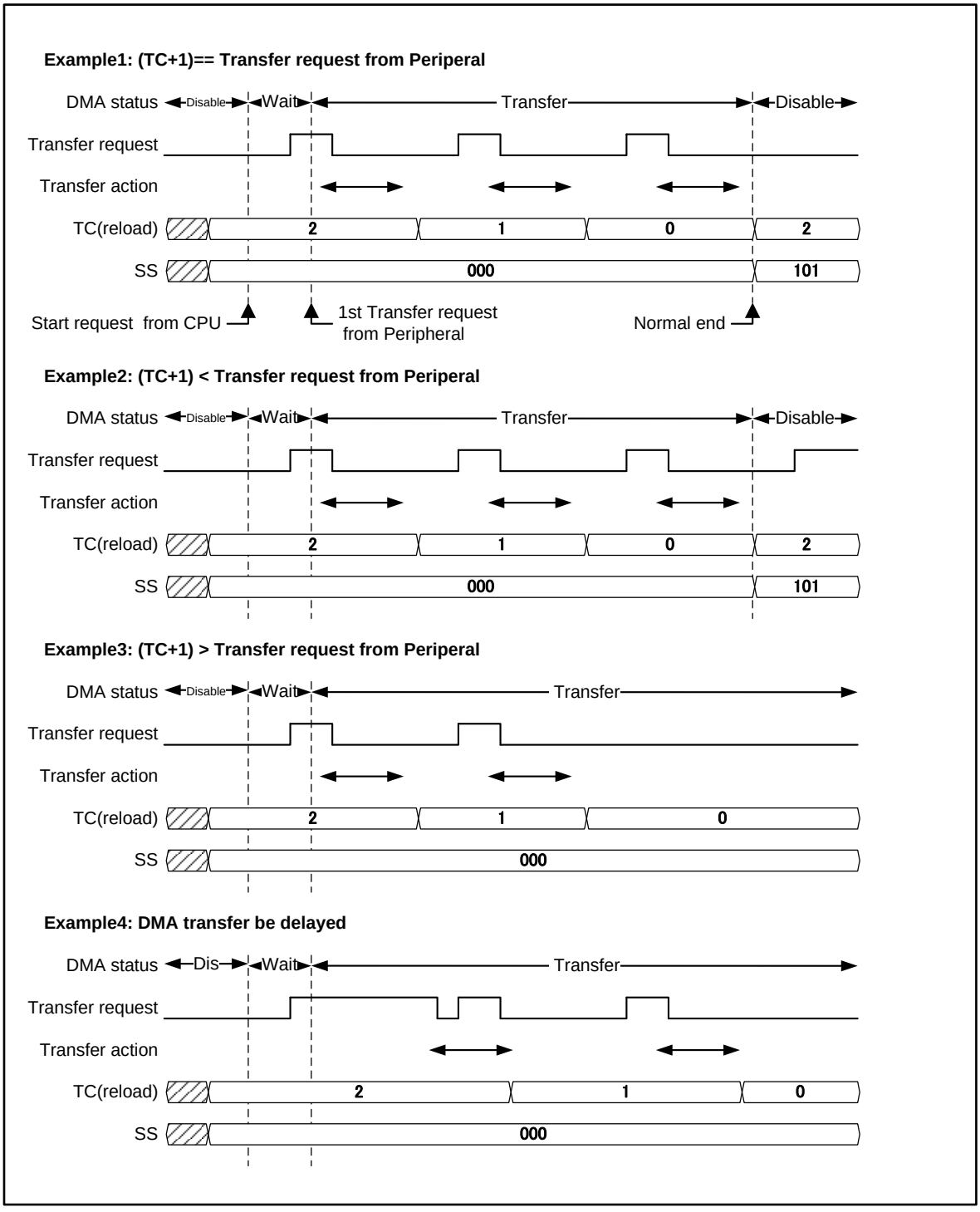


Figure 4-7 に Block 転送の場合を示します。Block 転送の場合、転送を終了するために必要な転送要求は、TC+1 回です。転送要求回数に過不足がない場合、特に CPU が介在する必要はありません(Figure 4-7 Example 1)。

Figure 4-7 ハードウェア・Block 転送の動作



DMAC の転送回数設定より、Peripheral から発生する転送要求回数が多い場合、DMAC は、所定の転送を終了後、Disable 状態に遷移します。Disable 状態ではそれ以上の転送は実行しません。また、超過した転送要求信号は、DMAC からはクリアされないため、アサートされたままの状態を継続します。この場合 CPU から転送要求信号をディアサートしてください(Figure 4-7 Example 2)。
DMAC の転送回数設定より、Peripheral から発生する転送要求回数が少ない場合、DMAC は Transfer 状態で、残りの転送要求を待機します(Figure 4-7 Example 3)。
Peripheral からの転送要求発生間隔に対して、DMAC の転送処理が間に合わない場合が想定されます。Block 転送の場合は、Peripheral からの転送要求に対して、DMAC の転送処理が遅れた場合、転送動作中の次の転送要求信号の立上りエッジは無視されます。また、転送動作中にアサートされた転送要求信号は、DMAC からクリアされます。その後、DMAC は Transfer 状態で、残りの転送要求を待機します(Figure 4-7 Example 4)。
Burst 転送の場合、最初の転送要求を受け取り後、システムバスにアクセス可能な状態になると、(BC+1)×(TC+1)回のすべての転送を行います。必要な Peripheral からの転送要求回数は最初の 1 回となります。転送要求信号の発生回数に超過が生じた場合は、Block 転送と同様に Disable 状態で無視されます。

5. Transfer 状態=>Disable 状態/転送正常終了
   ソフトウェア転送手順 4.を参照してください。

6. Transfer 状態=>Disable 状態/転送エラー終了
   ソフトウェア転送手順 5.を参照してください。

7. Transfer 状態=>Disable 状態/Peripheral 停止要求終了
   Transfer 状態のチャネルは、Peripheral から転送停止要求信号がアサートされた場合、転送処理を中断します。EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]に"010"をセットし、エラー終了を通知します。EI により割込みを許可している場合、転送異常終了割込みが発生します。リロード指定されていない BC, TC, DMACSA, DMACDA は、転送中断時の値の状態です。SS[2:0]の値がソフトウェアからの停止要求と同じため、注意してください。

8. Transfer 状態, Pause 状態=>Disable 状態/転送強制停止
   ソフトウェア転送手順 6.を参照してください。

9. Disable 状態/転送後処理
   ソフトウェア転送手順 7.を参照してください。
   通常、Peripheral からの停止要求, ソフトウェアからの強制停止, 転送エラー停止の場合は、Peripheral からの転送要求回数より、転送処理回数が少なくなるため、転送要求信号がアサートされたままの状態です。CPU から Peripheral に対して、転送要求信号のディアサートを指示してください。Peripheral からの停止要求の場合、停止要求信号がアサートされている間は、転送要求信号がマスクされる構成です。転送停止要求信号もディアサートしてください。
   DMAC が所定回数の転送を正常終了した場合であっても、Peripheral の設定によっては転送要求信号がアサートされたままの状態または再アサートされる場合があります。この場合、次回の転送に支障が発生することがあるため、注意してください。

10. Transfer 状態・Pause 状態/転送一時停止
    ソフトウェア転送手順 8.を参照してください。

11. Pause 状態
    ソフトウェア転送手順 9.を参照してください。
    Pause 状態のチャネルは、Peripheral からの転送要求信号がアサートされても、転送を実行しません。また転送要求信号のクリアも行いません。

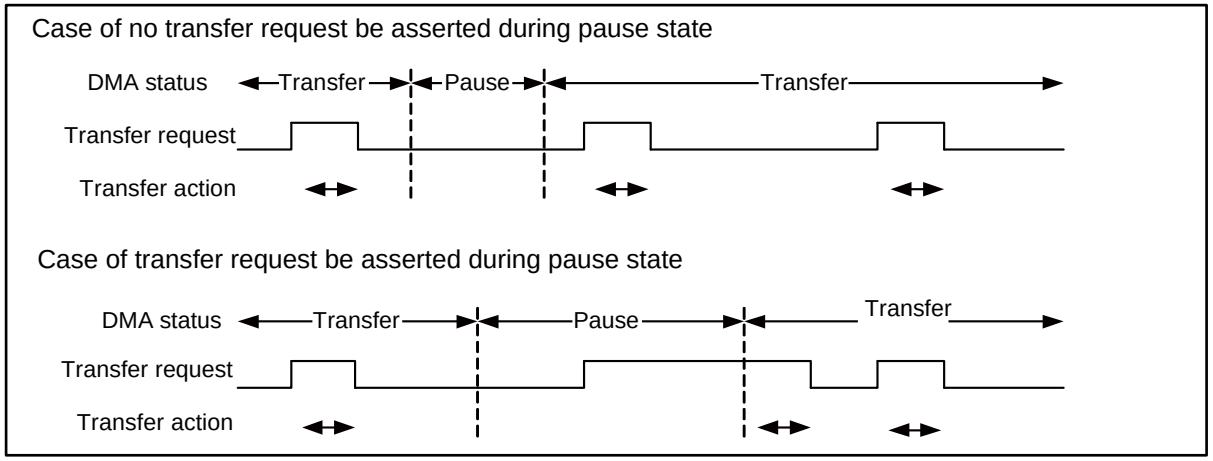
12. Pause 状態/転送一時停止解除

ソフトウェア転送手順 10.を参照してください。

Pause 状態から一時停止解除指示を行うと、Transfer 状態に戻ります。前の Pause 状態で転送要求信号のアサートがあった場合、転送モードにより、以下のように動作が異なります。

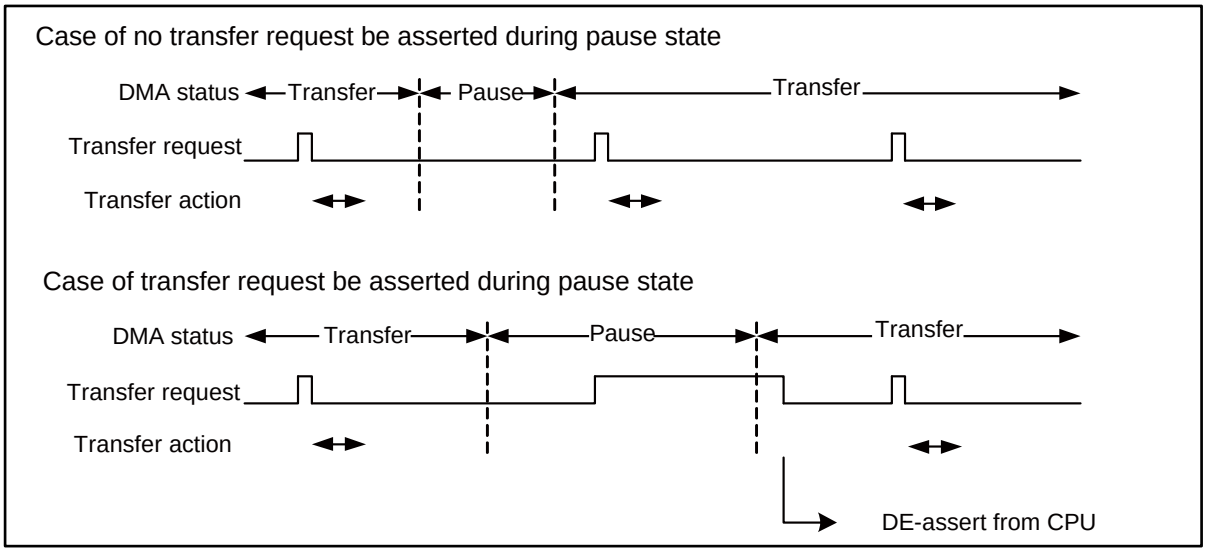
Demand 転送モードの場合、Pause 状態から転送要求信号がアサート状態のため、DMAC が Transfer 状態に戻った時点で、転送が再開され、転送要求信号は通常どおりクリアします。Figure **4-8** を参照してください。

Figure 4-8 Pause 状態での Demand 転送動作



Block 転送モードの場合、Pause 状態から転送要求信号がアサートされたままのため、Transfer 状態に戻っても、転送要求信号の立上りエッジが検出されず、転送を再開しません。このため、Pause 中の転送要求は無視されます。また DMAC から転送要求信号のクリアも行われません。一時停止した転送を再開するためには、DMAC に対する一時停止解除の指示後、CPU から Peripheral に対して、転送要求信号のディアサートを指示してください。その後、Peripheral から次の転送要求が発生した時点で、転送が再開されます。この場合、Peripheral が出力する転送要求回数と DMAC が受け取る転送要求回数が異なるため、注意してください。Figure **4-9** を参照してください。

Figure 4-9 Pause 状態での Block 転送動作



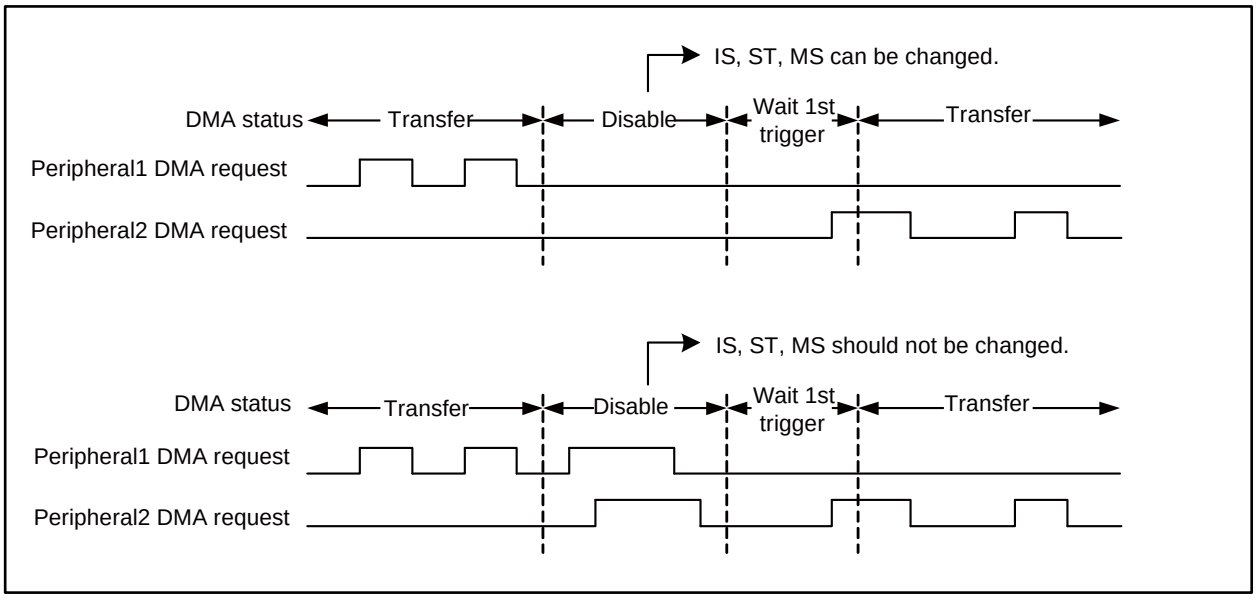
13. Disable 状態・Wait-1st-trigger 状態の動作

ソフトウェア転送手順 11 を参照してください。

Disable 状態のチャネルは、転送要求信号がアサートされていない場合、転送内容の指定変更 (DMACSA, DMACDA, DMACA[29:0], DMACB の各レジスタの書換え)を自由に行えます。

Disable 状態のチャネルは、転送要求信号がアサートされているまたはアサートされる可能性がある場合、転送内容の指定のうち、IS, ST, MS ビットの指定は変更できません。設定変更を行うと、DMAC が予期せぬ動作をすることがあります。IS, ST, MS の設定変更を行う際は、最初に、CPU から両方の Peripheral(変更前, 変更後に使用する Peripheral)に対し、転送要求信号のクリアなどを行い、必ず転送要求信号がディアサートされている状態で、設定変更を行ってください。Figure 4-10 を参照してください。

Figure 4-10 IS,ST,MS の設定変更



Wait-1st-trigger 状態のチャネルに対し、CPU から転送内容の指定の変更はできません。

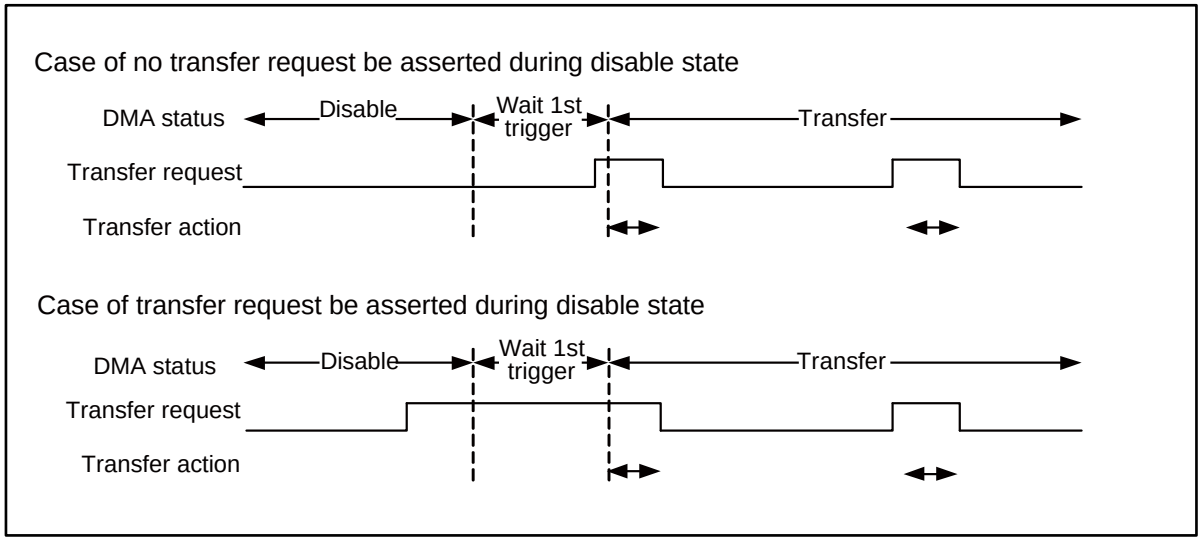
Wait-1st-trigger 状態のチャネルは、転送要求信号がアサートされていない場合、CPU から個別・全チャネル動作禁止指示, 個別・全チャネル一時停止指示で、Disable 状態に遷移します。この場合、転送許可をキャンセルしたことになります。いずれの場合も SS は変化しません。

Wait-1st-trigger 状態のチャネルは、転送要求信号がアサートされる可能性がある場合、CPU から転送許可のキャンセルを行おうとしても、DMAC が転送を開始しているまたは既に転送を終了していることがあるため、注意してください。

Disable 状態では、転送要求信号がアサートされても、DMAC は転送を開始せず、転送要求のクリアも行いません。転送要求信号がアサートされている状態で、CPU の指示により、Wait-1st-trigger 状態に遷移した場合、以下のような動作を行います(最初に示したように、IS, ST, MS の設定変更を行わない場合に限ります)。

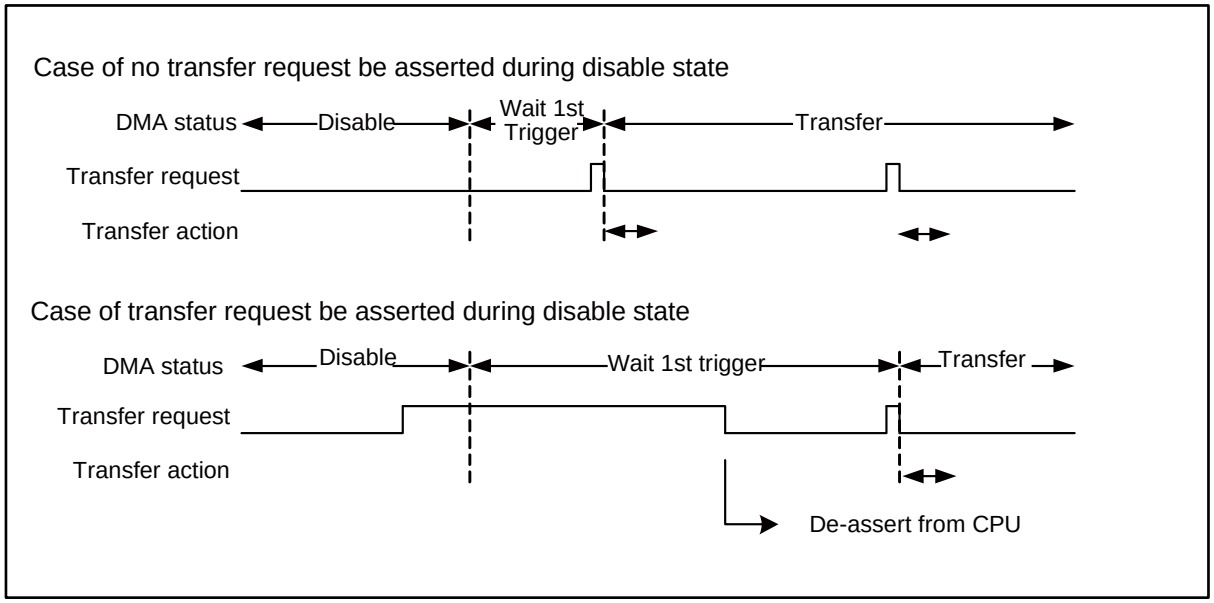
Demand 転送モードの場合、転送要求信号がアサートされたままのため、DMAC は、直ちに Transfer 状態に遷移し転送を開始します。転送要求信号は通常どおり DMAC からクリアされます。Figure 4-11 を参照してください。

Figure 4-11 Disable 状態での Demand 転送動作



Block 転送モードの場合、転送要求信号がアサートされたままのため、Wait-1st-trigger 状態に遷移しても、転送要求信号の立上りエッジが検出されず、転送を開始しません。このため、Disable 状態での転送要求は無視されます。また DMAC から転送要求信号のクリアも行われません。転送を開始するためには、DMAC に対して、Wait-1st-trigger 状態への遷移の指示後、CPU から Peripheral に対して、転送要求信号のディアサートを指示してください。その後、Peripheral から次の転送要求が発生した時点で、Transfer 状態に遷移し、転送が開始されます。この場合、Peripheral が出力する転送要求回数と DMAC が受け取る転送要求回数が異なるため、注意してください。Figure 4-12 を参照してください。

Figure 4-12 Disable 状態での Block 転送動作



補足事項 1

ソフトウェア転送手順 補足事項 1 を参照してください。
ハードウェア転送の場合、ST は常に"0"を書き込みます。

補足事項 2

ソフトウェア転送手順 補足事項 2 を参照してください。

補足事項 3

ソフトウェア転送手順 補足事項 3 を参照してください。

補足事項 4

ソフトウェア転送手順 補足事項 4 を参照してください。

補足事項 5

Peripheral からの転送要求信号(割込み信号)をディアサートする必要が生じた場合、以下の方法があります。通常、Peripheral の割込み信号は、割込み要因フラグを割込み許可フラグでマスク(論理 AND)した構成です。どちらかのフラグをリセットすることにより、割込み信号をディアサートできます。割込み許可フラグをリセットし、その後セットすると、割込み信号に立上りエッジが生じます。この手順により、DMAC に対し Block 転送の転送要求を再度通知できます。詳細は、各 Peripheral のマニュアルにて確認してください。

4.4 ハードウェア(EM=1)転送時の DMAC 動作と制御手順

ハードウェア(EM=1)転送時の DMAC 動作と制御手順を以下に示します。

Figure 4-13 ハードウェア(EM=1)転送状態遷移図

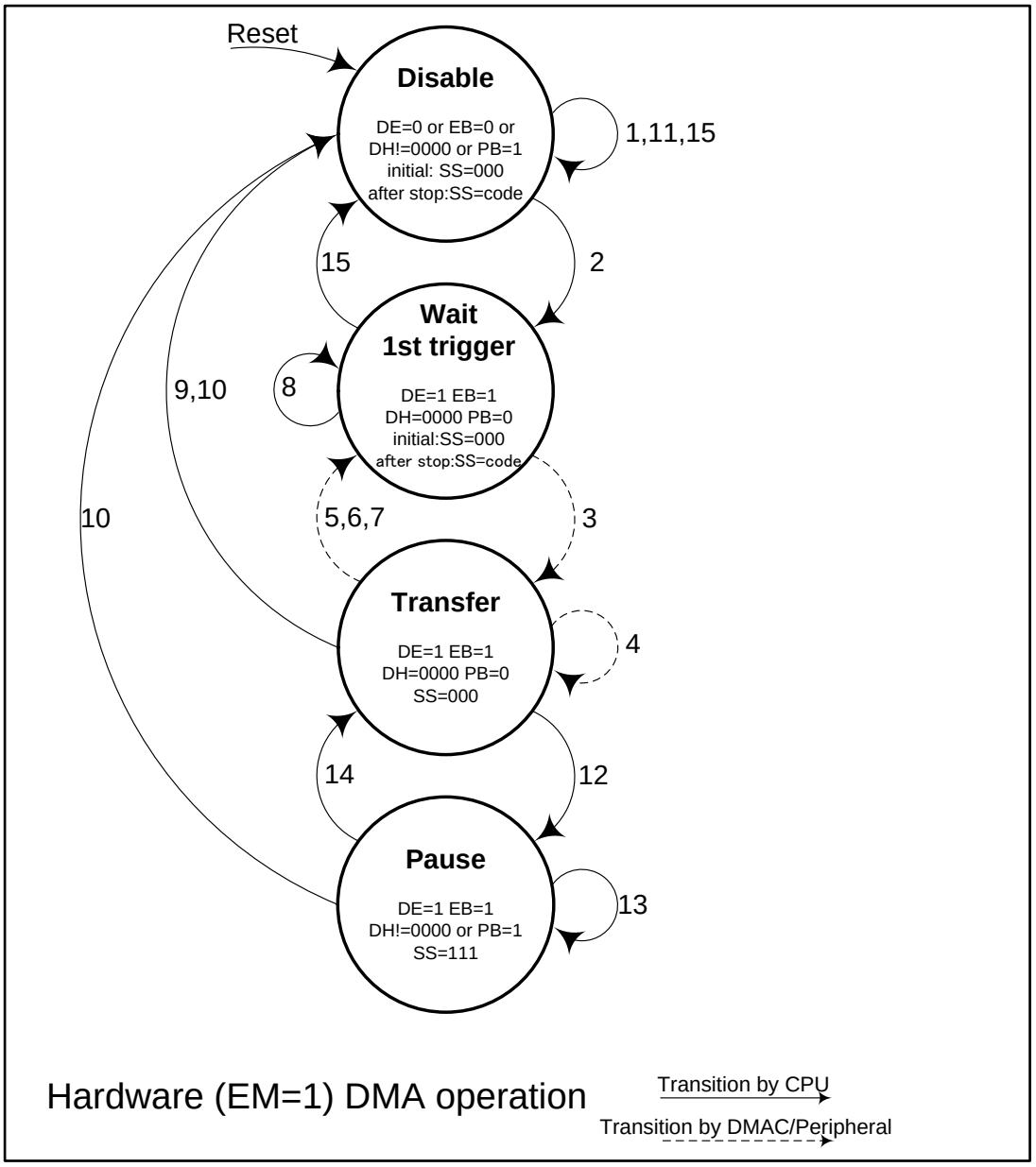


Figure **4-13** にハードウェア(EM=1)転送時の制御対象チャネルの状態遷移を示します。Figure **4-13** の遷移線の番号は、以降の制御手順の説明の番号に対応しています。実線の遷移線は、CPU からの指示による状態遷移を示します。破線の遷移線は、DMAC/Peripheral の動作による状態遷移を示します。

EM(Enable bit clear mask)は、制御対象のチャネルの転送終了時、EB クリアをマスクするビットです。EM=1 とすることで、CPU から指示することなく、同じ転送処理を繰り返せます。

各状態の説明

■ Disable 状態

ハードウェア転送(EM=0)手順を参照してください。

■ Wait-1st-trigger 状態

ハードウェア転送(EM=0)手順を参照してください。

■ Transfer 状態

制御対象のチャネルが Peripheral からの最初の転送要求を受け取った後の状態です。この状態にあるチャネルは、指定された内容の転送動作を行います。EM=1 の場合、すべての転送動作が終了すると Wait-1st-trigger 状態に遷移します。また、CPU からの指示により、状態を変化させます。

■ Pause 状態

ハードウェア転送(EM=0)手順を参照してください。

制御手順の説明

1. Disable 状態/転送準備

   ハードウェア転送(EM=0)手順 1.を参照してください。
   EM=1 の設定を行う場合、意図しないアドレス領域のデータ転送を防ぐために、転送内容のリロード指定(RC, RS, RD)は、すべて設定してください。また、DMAC から転送正常終了割込みを発生させることは意味がないため、CI をセットすることは行いません。EI をセットし、DMAC からの転送異常終了割込みを発生するようにします。

2. Disable 状態=>Wait-1st-trigger 状態/転送許可

   ハードウェア転送(EM=0)手順 2.を参照してください。

3. Wait-1st-trigger 状態/転送開始

   ハードウェア転送(EM=0)手順 3.を参照してください。

4. Transfer 状態

   ハードウェア転送(EM=0)手順 4.を参照してください。

5. Transfer 状態=>Wait-1st-trigger 状態/転送正常終了

   Transfer 状態のチャネルは、(BC+1)×(TC+1)回の転送が正常終了すると、EB はクリアせず、PB, ST をクリアし、Wait-1st-trigger 状態に遷移します。SS[2:0]=101 をセットし正常終了を通知します。CI がセットされていないため、転送正常終了割込みは発生しません。RC, RS, RD がセットされているため、BC, TC, DMACSA, DMACDA の転送内容指定のリロードを実行します。

6. Transfer 状態=> Wait-1st-trigger 状態/転送エラー終了

   ハードウェア転送(EM=0)手順 6 を参照してください。
   EM=1 の場合は、転送がエラー終了しても、EB のクリアをしません。PB, ST をクリアし、Wait-1st-trigger 状態に遷移し、次の転送要求を待機します。従って、転送エラーの発生する可能性のあるアドレス領域には、EM=1 の DMA 転送は使用しないことを推奨します。

7. Transfer 状態=>Wait-1st-trigger 状態/Peripheral 停止要求終了

   ハードウェア転送(EM=0)手順 7.を参照してください。
   EM=1 の場合は、Peripheral からの停止要求の場合も、EB のクリアをしません。PB, ST をクリアし、Wait-1st-trigger 状態に遷移します。RC, RS, RD がセットされているため、BC, TC, DMACSA, DMACDA の転送内容指定のリロードを実行します。EI がセットされているため、DMAC から転送異常終了割込みが発生します。

8. Wait-1st-trigger 状態/転送後処理

   EM=1 の場合、転送が終了すると、EB がクリアされないため、(DE=1, EB=1, DH=0000, PB=0)となり、Wait-1st-trigger 状態に遷移しています。従って、Peripheral から次の転送要求が発生すると、CPU から指示をしなくても、次の転送が開始されます。
   Peripheral からの停止要求で Wait-1st-trigger 状態に遷移した場合、異常終了割込みが発生し、その状態を認識できます。また、停止要求信号がアサートされている間は、転送要求信号がマスクされる構成です。Peripheral から次の転送要求信号がアサートされても認識されず、制御対象のチャネルは、Wait-1st-trigger 状態のままで、CPU からの指示待ち状態になります。
   上記の場合、CPU から SS[2:0]の読出しを行い、転送終了状態を確認します。CPU から SS[2:0]をクリアすることで、割込み信号がディアサートされます。CPU から EB のクリアを行い、Disable 状態に戻ります(この操作は、ハードウェア転送(EM=1)手順 15.の操作です)。ハードウェア転送(EM=0)手順 7.に示すように、Peripheral からの転送要求信号, 停止要求信号をディアサートします。

9. Transfer 状態=>Disable 状態/EM=0 による転送終了

   Wait-1st-trigger 状態と Transfer 状態のループから、CPU から EM=0 の書込みにより抜けられます。指示後の転送が終了したタイミングで、EB, ST, PB がクリアされ、Transfer 状態から Disable 状態(DE=1, EB=0, DH=0000, PB=0)へ遷移し正常終了します。この場合、CI がセットされていないため、転送正常終了割込みは発生しません。

10. Transfer 状態, Pause 状態=>Disable 状態/転送強制停止

    ハードウェア転送(EM=0)手順 8.を参照してください。
    Wait-1st-trigger 状態と Transfer 状態のループから、動作禁止指示で抜けられます。個別チャネル動作禁止指示の場合、該当チャネルは Disable 状態(DE=1, EB=0, DH=0000, PB=0)に遷移して停止します。全チャネル動作許可指示の場合、Disable 状態(DE=0, EB=1, DH=0000, PB=0)に遷移して停止します。全チャネル動作禁止指示の場合にも、EB がクリアされないため、注意してください。
    Transfer 状態から抜けた場合は、強制終了による異常終了のためで、転送異常終了を割込みが発生します。Wait-1st-trigger 状態から抜けた場合は転送許可キャンセルとなります(この操作は、ハードウェア転送(EM=1)手順 15.の操作です)。

11. Disable 状態/転送後処理

    ハードウェア転送(EM=0)手順 9.を参照してください。

12. Transfer 状態・Pause 状態/転送一時停止

    ハードウェア転送(EM=0)手順 10.を参照してください。

13. Pause 状態

    ハードウェア転送(EM=0)手順 11.を参照してください。

14. Pause 状態/転送一時停止解除

    ハードウェア転送(EM=0)手順 12.を参照してください。

15. Disable 状態・Wait-1st-trigger 状態の動作

    ハードウェア転送(EM=0)手順 13.を参照してください。
    EM=1 の場合、Transfer 状態から直接 Wait-1st-trigger 状態に遷移します。従って、転送の繰り返し中に転送内容の指定変更(DMACSA, DMACDA, DMACB[31:1], DMACA[28:0]の各レジスタの書換え)を行うことはできません。

補足事項 1

ハードウェア転送(EM=0)手順 補足事項 1 を参照してください。

補足事項 2

ハードウェア転送(EM=0)手順 補足事項 2 を参照してください。
EM=1 の場合は、転送動作中に EB がクリアされないため、補足事項 2 は該当しません。

補足事項 3

ハードウェア転送(EM=0)手順 補足事項 3 を参照してください。

補足事項 4

ハードウェア転送(EM=0)手順 補足事項 4 を参照してください。
EM=1 の場合で、DMAC から割込みを発生する設定を行った場合の注意事項を説明します。
Peripheral からの停止要求による転送異常終了割込みは、対象チャネルは Wait-1st-trigger 状態から遷移しないため、割込み信号は CPU からクリアするまではディアサートされません。同様に、ソフトウェアからの停止要求による転送異常終了割込みは、対象チャネルは Disable 状態に遷移するため、割込み信号は CPU からクリアするまではディアサートされません。それ以外の転送正常終了割込み, 転送異常終了割込みは、該当チャネルが Transfer 状態に遷移すると CPU の意図しないタイミングでディアサートされることがあるため、注意してください。

補足事項 5

ハードウェア転送(EM=0)手順 補足事項 5 を参照してください。

5. DMAC のレジスタ

DMAC の各レジスタ機能を説明します。

5.1. レジスタ一覧
5.2. DMAC 全体コンフィギュレーションレジスタ(DMACR)
5.3. コンフィギュレーション A レジスタ(DMACA)
5.4. コンフィギュレーション B レジスタ(DMACB)
5.5. 転送元アドレスレジスタ(DMACSA)
5.6. 転送先アドレスレジスタ(DMACDA)

5.1 レジスター覧

Table 5-1 に、DMAC の制御レジスタの一覧を示します。

Table 5-1 DMAC の制御レジスタレジスター覧

レジスタ略称	制御対象 Ch.	レジスタ名	参照先
DMACR	全体	DMAC 全体コンフィギュレーションレジスタ	5.2
DMACA0	ch.0	コンフィギュレーション A レジスタ	5.3
DMACB0		コンフィギュレーション B レジスタ	5.4
DMACSA0		転送元アドレスレジスタ	5.5
DMACDA0		転送先アドレスレジスタ	5.6
DMACA1	ch.1	コンフィギュレーション A レジスタ	5.3
DMACB1		コンフィギュレーション B レジスタ	5.4
DMACSA1		転送元アドレスレジスタ	5.5
DMACDA1		転送先アドレスレジスタ	5.6
DMACA2	ch.2	コンフィギュレーション A レジスタ	5.3
DMACB2		コンフィギュレーション B レジスタ	5.4
DMACSA2		転送元アドレスレジスタ	5.5
DMACDA2		転送先アドレスレジスタ	5.6
DMACA3	ch.3	コンフィギュレーション A レジスタ	5.3
DMACB3		コンフィギュレーション B レジスタ	5.4
DMACSA3		転送元アドレスレジスタ	5.5
DMACDA3		転送先アドレスレジスタ	5.6
DMACA4	ch.4	コンフィギュレーション A レジスタ	5.3
DMACB4		コンフィギュレーション B レジスタ	5.4
DMACSA4		転送元アドレスレジスタ	5.5
DMACDA4		転送先アドレスレジスタ	5.6
DMACA5	ch.5	コンフィギュレーション A レジスタ	5.3
DMACB5		コンフィギュレーション B レジスタ	5.4
DMACSA5		転送元アドレスレジスタ	5.5
DMACDA5		転送先アドレスレジスタ	5.6
DMACA6	ch.6	コンフィギュレーション A レジスタ	5.3
DMACB6		コンフィギュレーション B レジスタ	5.4
DMACSA6		転送元アドレスレジスタ	5.5
DMACDA6		転送先アドレスレジスタ	5.6
DMACA7	ch.7	コンフィギュレーション A レジスタ	5.3
DMACB7		コンフィギュレーション B レジスタ	5.4
DMACSA7		転送元アドレスレジスタ	5.5
DMACDA7		転送先アドレスレジスタ	5.6

5.2 DMAC 全体コンフィギュレーションレジスタ(DMACR)

DMAC 全体コンフィギュレーションレジスタ(DMACR)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DE	DS	予約	PR	DH[3:0]				予約							
属性	R/W	R/W	-	R/W	R/W				-							
初期値	0	0	-	0	0000				-							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															
属性	-															
初期値	-															

[bit31] DE : DMA Enable (全チャネル動作許可ビット)

本ビットは、すべてのチャネルの転送動作の許可・禁止の制御を行うビットです。
本ビットに"1"に設定すると、すべてのチャネルの動作が許可され、各チャネルは、それぞれの設定により動作します。
本ビットを"0"に設定すると、すべてのチャネルの動作が禁止され、"1"に設定するまで転送は行われません。また、転送中のチャネルは、転送を強制停止します。

本ビットは、転送中のすべてのチャネルを強制停止し、コンフィギュレーションレジスタを再設定するために利用できます。

bit	機能
0	すべてのチャネルを動作禁止状態にします。(初期値)
1	すべてのチャネルを動作許可状態にします。

[bit30] DS : DMA Stop

本ビットは、すべてのチャネルの転送状態を表すビットです。
転送中に以下のいずれかの条件が成立した場合、本ビットは DMAC によって"1"に設定されます。

- DMACR:DE ビットに"0"が書き込まれ、その後すべてのチャネルの転送が終了した場合
- DMACR:DH ビットに 0000 以外が書き込まれ、その後すべてのチャネルの転送が一時停止した場合

DMACR:DE=1, DMACR:DH=0000 となり、全チャネルが動作可能な状態になると、本ビットは DMAC によって"0"に設定されます。

本ビットの属性は、R/W ですが、CPU による書込みは DMAC の動作に影響を与えません。ただし、本ビット状態に影響を与えることなく、DMACR レジスタを更新するときは、本ビットをいったん読み出し、同じ値を再度書き直してください。

bit	機能
0	全チャネル動作禁止/全チャネル一時停止設定がクリアされています。 (初期値)
1	全チャネル動作禁止/全チャネル一時停止設定により、すべてのチャネルの転送が停止されました。

[bit29] 予約 : 予約ビット

本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

[bit28] PR : Priority Rotation

本ビットは、各チャネルの転送優先順位を制御するビットです。
本ビットを"0"に設定すると、すべてのチャネルの優先順位は、固定です。
本ビットを"1"に設定すると、すべてのチャネルの優先順位は、ローテート方式で決定されます。

bit	機能
0	優先順位が固定されます。 (ch.0>ch.1>ch.2>ch.3>ch.4>ch.5>ch.6>ch.7) (初期値)
1	優先順位は、ローテート方式です。

転送優先順位の選択については、「3.5 チャネル優先順位制御」を参照してください。

[bit27:24] DH : DMA Halt (全チャネル一時停止ビット)

本ビットは、すべてのチャネルの転送動作の一時停止・解除の制御を行うビットです。
本ビットを"0000"以外の値に設定すると、転送中のチャネルはすべて一時停止状態になり、"0000"に設定すると転送を再開します。

一時停止状態にあるチャネルは、外部/周辺デバイスからの転送要求がアサートされても、その転送要求を無視します。Block 転送, Burst 転送の場合、一時停止がクリアされても、該当チャネルは、転送を開始しません。転送中に一時停止が設定された場合、転送を完了するためには、一時停止解除後、追加の転送要求をしてください。

本ビットは、すべてのチャネルのコンフィギュレーションレジスタを再設定しない場合に、転送を一時停止するために利用できます。

bit27:24	機能
0000	すべてのチャネルの転送の一時停止を解除します。(初期値)
0000 以外	すべてのチャネルの転送を一時停止します。

[bit23:0] 予約 : 予約ビット

本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

5.3 コンフィギュレーション A レジスタ(DMACA)

コンフィギュレーション A レジスタ(DMACA)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	EB	PB	ST	IS[5:0]						予約			BC[3:0]			
属性	R/W	R/W	R/W	R/W						-			R/W			
初期値	0	0	0	000000						-			0000			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TC[15:0]															
属性	R/W															
初期値	0x0000															

[bit31] EB : Enable Bit (個別チャネル動作許可ビット)

本ビットは、個別チャネルの転送動作の許可・禁止の制御を行うビットです。
本ビットを"1"に設定すると、該当チャネルは、動作許可状態となり、転送を開始するトリガを待ちます(DMACR:DE ビットが"1"に設定されている必要があります)。

EM ビット(DMACB[0])が"1"でない場合、転送の終了後、DMAC は本ビットを"0"にクリアします。

本ビットを"0"に設定すると、該当チャネルは、動作禁止状態となり、"1"に設定するまで転送は行われません。また、転送中である場合、転送を強制停止します。
本ビットは、転送中の該当チャネルを強制停止し、コンフィギュレーションレジスタを再設定するために利用できます。

bit	機能
0	該当チャネルは動作禁止状態です。(初期値)
1	該当チャネルは動作許可状態です。

[bit30] PB : Pause Bit (個別チャネル一時停止ビット)

本ビットは、個別チャネルの転送動作の一時停止・解除の制御を行うビットです。
本ビットを"1"に設定すると、転送中である場合、該当チャネルは転送を一時停止し、本ビットを"0"にすると、転送を再開します。
本ビットは、該当チャネルの転送動作が終了すると、"0"にクリアされます。
該当チャネルが一時停止状態にある場合、外部/周辺デバイスからの転送要求がアサートされても、その転送要求は無視します。Block 転送, Burst 転送の場合、一時停止がクリアされても、該当チャネルは、転送を開始しません。転送中に一時停止が設定された場合、転送を完了するためには、一時停止解除後、追加の転送要求が必要です。
本ビットは、該当チャネルのコンフィギュレーションレジスタを再設定しない場合に、転送を一時停止するために利用できます。

bit	機能
0	該当チャネルの転送の一時停止を解除します。
1	該当チャネルの転送を一時停止します。

<注意事項>

- *TC ビット、BC ビットのリロード機能許可中(DMACB.RC=1)に、本ビットにて転送を停止させる場合は、必ずワードアクセスで書き込みを行い、同時に BC ビットと TC ビットには、転送開始時に初期設定した値と同じ値を設定してください。*

[bit29] ST : Software Trigger

本ビットは、個別チャネルのソフトウェア転送要求を発生させるために使用します。
本ビットを"1"に設定すると、ソフトウェア転送要求によるトリガになり、該当チャネルの転送が開始されます。転送の終了後、DMAC は本ビットを"0"にクリアします。
本ビットを転送中に"0"に設定すると、転送が停止します。

bit	機能
0	ソフトウェア転送要求なし (初期値)
1	ソフトウェア転送要求あり

[bit28:23] IS[5:0] : Input Select

本ビットは、転送要求のトリガ選択を行うビットです。
転送のトリガがソフトウェア要求(ST=1)の場合、本ビットは"000000"に設定してください。
転送のトリガがハードウェア要求の場合、どの Peripheral からの割込み信号により、転送を起動するかを設定します。すべてのチャネルで、Peripheral を任意に選択できます。
DMAC に接続するハードウェア転送要求信号は、ご使用する製品により異なります。「2.2 DMAC の入出力信号」にて接続する転送要求信号を確認の上、選択設定してください。

bit28:23	機能
000000	ソフトウェア (初期値)
100000	IDREQ[0]
100001	IDREQ[1]
100010	IDREQ[2]
100011	IDREQ[3]
100100	IDREQ[4]
100101	IDREQ[5]
100110	IDREQ[6]
100111	IDREQ[7]
101000	IDREQ[8]
101001	IDREQ[9]
101010	IDREQ[10]
101011	IDREQ[11]
101100	IDREQ[12]
101101	IDREQ[13]
101110	IDREQ[14]
101111	IDREQ[15]
110000	IDREQ[16]
110001	IDREQ[17]
110010	IDREQ[18]
110011	IDREQ[19]
110100	IDREQ[20]
110101	IDREQ[21]
110110	IDREQ[22]
110111	IDREQ[23]
111000	IDREQ[24]
111001	IDREQ[25]
111010	IDREQ[26]
111011	IDREQ[27]
111100	IDREQ[28]
111101	IDREQ[29]
111110	IDREQ[30]
111111	IDREQ[31]
上記以外の設定	設定禁止

[bit22:20] 予約 : 予約ビット
本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

[bit19:16] BC[3:0] : Block Count
本ビットは、ブロック/バースト転送のブロック数の指定を行います。

転送モードがデマンド転送の場合、本ビットは"0000"に設定してください。
BC[3:0]=ブロック数-1 の値を設定します。設定可能な最大ブロック数は 16 です。
本ビットは、転送中に読み出せます。通常、1 つの転送元アクセスまたは 1 つの転送先アクセスが正常に完了すると、本ビットの値は 1 ずつ減少します。

DMACB:RC=1 の場合、転送終了時、転送開始時の値がリロードされます。

DMACB:RC=0 の場合、転送正常終了時、0 になります。転送異常終了時、転送中断時の値のままです。

bit19:16	機能
	転送ブロック回数 (初期値 : 0x0)

[bit15:0] TC[15:0] : Transfer Count
本ビットは、ブロック/バースト/デマンド転送の転送回数の指定を行います。

TC=転送回数-1 の値を設定します。設定可能な最大転送回数は 65536 です。

本ビットは、転送中に読み出せます。通常、1 ブロックの転送が終了すると、TC は 1 ずつ減少します。

DMACB:RC =1 の場合、転送終了時、転送開始時の値がリロードされます。

DMACB:RC =0 の場合、転送正常終了時、0 になります。転送異常終了時、転送中断時の値のままです。

bit15:0	機能
	転送回数 (初期値 : 0x0000)

5.4 コンフィギュレーション B レジスタ(DMACB)

コンフィギュレーション B レジスタ(DMACB)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約		MS[1:0]		TW[1:0]		FS	FD	RC	RS	RD	EI	CI	SS[2:0]		
属性	R/W		R/W		R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初期値	00		00		00		0	0	0	0	0	0	0	000		

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															EM
属性	R/W															R/W
初期値	000000000000000															0

[bit31:30] 予約 : 予約ビット

本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

[bit29:28] MS[1:0] : Mode Select

本ビットは、転送モードの選択を行います。

bit29:28	機能
00	Block 転送モード (初期値)
01	Burst 転送モード
10	Demand 転送モード
11	予約

[bit27:26] TW[1:0] : Transfer Width

本ビットは、転送データのビット幅の指定を行います。

bit27:26	機能
00	バイト(8bit) (初期値)
01	ハーフワード(16bit)
10	ワード(32bit)
11	予約

[bit25] FS : Fixed Source

本ビットは、転送元アドレスのインクリメント・固定を選択します。

bit	機能
0	転送元アドレスが TW[1:0]に従いインクリメントします。(初期値)
1	転送元アドレスが固定されます。

[bit24] FD : Fixed Destination

本ビットは、転送先アドレスのインクリメント・固定を選択します。

bit	機能
0	転送先アドレスが TW に従い、インクリメントします。(初期値)
1	転送先アドレスは固定されます。

[bit23] RC : Reload Count (BC・TC のリロード)

本ビットは、BC[3:0]と TC[15:0]のリロード機能を制御します。
本ビットを"1"に設定すると、転送の終了後、BC[3:0]と TC[15:0]に転送開始時の設定値がリロードされます。

bit	機能
0	BC・TC のリロード機能が禁止されます。(初期値)
1	BC・TC のリロード機能が許可されます。

[bit22] RS : Reload Source

本ビットは、転送元アドレスのリロード機能を制御します。
本ビットを"1"に設定すると、転送の終了後、DMACSA に転送開始時の設定値がリロードされます。

bit	機能
0	転送元アドレスのリロード機能が禁止されます。(初期値)
1	転送元アドレスのリロード機能が許可されます。

[bit21] RD : Reload Destination

本ビットは、転送先アドレスのリロード機能を制御します(DMACDA)。
本ビットを"1"に設定すると、転送の終了後、DMACDA に転送開始時の設定値がリロードされます。

bit	機能
0	転送先アドレスのリロード機能が禁止されます。(初期値)
1	転送先アドレスのリロード機能が許可されます。

[bit20] EI :Error Interrupt (転送異常終了割込み許可)

本ビットは、転送が異常終了した場合の割込み通知を許可・禁止するビットです。
本ビットを"1"にした場合、転送終了時の SS[2:0]が以下ステータスであると、割込みが発行されます。

- アドレス・オーバフロー
- Peripheral からの転送停止要求による停止または EB/DE ビットによる転送の禁止
- 転送元アクセスエラー
- 転送先アクセスエラー

bit	機能
0	転送異常終了時の割込みの発行が禁止されます。(初期値)
1	転送異常終了時の割込みの発行が許可されます。

[bit19] CI : Completion Interrupt : (転送正常終了完了割込み許可)

本ビットは、転送が正常終了した場合の割込み通知を許可・禁止するビットです。

本ビットを"1"にした場合、転送終了時の SS[2:0]が正常終了であると、割込みが発生します。

bit	機能
0	転送正常終了割込みの発行が禁止されます。(初期値)
1	転送正常終了割込みの発行が許可されます。

[bit18:16] SS[2:0] : Stop Status (停止状態通知)

本ビットは、転送の停止状態, 終了状態を示すコードです。

コードは、下表に示すとおりです。
転送正常終了割込み, 転送異常終了割込みが発行された場合は、本ビットに"000"を書き込むことにより、割込み信号がディアサートされます。

bit18:16	内容
000	初期値
001	転送エラーによる終了(アドレス・オーバフロー)
010	転送停止要求による終了(Peripheral からの転送停止要求による停止または EB/DE ビットによる転送の禁止)
011	転送エラーによる終了(転送元アクセスエラー)
100	転送エラーによる終了(転送先アクセスエラー)
101	転送正常終了
110	予約
111	転送一時停止

各種のエラーが同時に発生した場合、以下の優先度に従って終了コードが表示されます。

優先度高



リセット
"000"の書込みによるクリア
アドレス・オーバフロー
停止要求
転送元アクセスエラー
転送先アクセスエラー

優先度低

[bit15:1] 予約 : 予約ビット

本ビットからは"0"が読み出されます。
書込みの場合は、"0"を設定してください。

[bit0] EM : Enable bit Mask (EB ビットクリアのマスク)

本ビットは、転送の終了後、DMAC により DMACA:EB ビット(bit31)のクリアをマスクするために使用します。

EM=0 の場合、転送の終了後、DMAC は DMACA:EB ビット(bit31)を"0"にクリアします。
EM=1 の場合、転送の終了後、DMACA:EB ビットをクリアしません。この機能により、CPU から指示を行わなくても、転送を繰り返し行えます。

本機能は、ハードウェア転送の場合のみ使用できます。使用の際は、RC, RS, RD ビットのリロード機能を有効にしてください。

bit	機能
0	転送終了時の DMACA:EB ビット(bit31)を 0 にクリアします。(初期値)
1	転送終了時の DMACA:EB ビット(bit31)をクリアしません。

5.5 転送元アドレスレジスタ(DMACSA)

転送元アドレスレジスタ(DMACSA)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DMACSA[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	DMACSA[15:0]															
属性	R/W															
初期値	0x0000															

[bit31:0] DMACSA[31:0] : DMAC Source Address

本ビットは、転送元の転送開始アドレスを指定します。
TW[1:0]に unaligned な値は指定できません。本ビットは、転送中に読み出せます。

DMACB:FS=1 の場合

転送元アドレスは固定値となり、変化しません。

DMACB:FS=0, DMACB:RS=0 の場合

転送中は、TW[1:0]に従いインクリメントします。
転送正常終了時は、転送終了アドレスの次のアドレスです。
転送異常終了時は、中断時の値です。

DMACB:FS=0, DMACB:RS=1 の場合

転送中は、TW[1:0]に従いインクリメントします。
転送終了時, 転送開始時の設定値がリロードされます。

bit31:0	機能
	転送を開始する転送元アドレスを指定します。(初期値: 0x00000000)

5.6 転送先アドレスレジスタ(DMACDA)

転送先アドレスレジスタ(DMACDA)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DMACDA[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	DMACDA[15:0]															
属性	R/W															
初期値	0x0000															

[bit31:0] DMACDA[31:0] : DMAC Destination Address

本ビットは、転送先の転送開始アドレスを指定します。
TW[1:0]に unaligned な値は指定できません。本ビットは、転送中に読み出せます。

DMACB:FD=1 の場合

転送先アドレスは固定値となり、変化しません。

DMACB:FD=0, DMACB:RD=0 の場合

転送中は、TW[1:0]に従いインクリメントします。
転送正常終了時は、転送終了アドレスの次のアドレスです。
転送異常終了時は、中断時の値です。

DMACB:FD=0, DMACB:RD=1 の場合

転送中は、TW[1:0]に従いインクリメントします。
転送終了時、転送開始時の設定値がリロードされます。

bit31:0	機能
	DMA 転送を開始する転送先アドレス (初期値: 0x00000000)

6. 使用上の注意

DMAC 使用上の注意事項を説明します。

レジスタ設定の注意事項

DMAC レジスタを設定する場合、以下の事項に注意してください。

- DMACR, DMACA, DMACB, DMACSA, DMACDA レジスタは、バイト, ハーフワードおよびワードサイズでアクセスできます。
- DMACSA, DMACDA レジスタ値に、DMAC 内のレジスタアドレスは設定できません。
- DMACR の DE ビット, DH ビット, DMACA の EB ビット, PB ビットおよび DMACB の EM ビットを除き、DMA 転送中にチャネルの設定レジスタは変更できません。

ストップモード, タイマモード移行時の注意事項

ストップモード, タイマモードに移行する際は、必ず移行する前に、DMAC のすべてのチャネルの動作を停止してください。DMAC の停止は、DS フラグで確認してください。DMAC が動作中にストップモード, タイマモードに移行した場合、ランモードに復帰した際に予期せぬ動作をすることがあります。

CHAPTER 11: DSTC

DSTC(Descriptor System data Transfer Controller)について説明します。

1.DSTC の概要

2.DSTC の動作概要とシステム構成

3.DSTC の機能と動作

4.DSTC の動作例と制御例

5.DSTC のレジスタおよびディスクリプタ

1. DSTC の概要

DSTC(Descriptor System data Transfer Controller)の概要について説明します。

概要

DSTC(Descriptor System data Transfer Controller)は、DMAC と同様に CPU を介さずにデータを高速に転送することが可能な機能ブロックです。Descriptor(以降 DES と略します。) システム方式を採用しており、あらかじめメモリ上に構築された DES の指定内容に従って、メモリ・Peripheral デバイスに直接アクセスを行い、データ転送動作を実行します。

1 個の転送制御内容(転送基本設定, 転送回数, 転送元アドレス, 転送先アドレス)を 1 個の DES により指定します。複数の DES を独立に定義でき、最大 1024 個の転送チャネルを構築できます。

転送の起動は、CPU からの直接起動(ソフトウェア起動), Peripheral デバイスからの割込み信号による起動(ハードウェア起動), Chain 起動機能をサポートしています。

Chain 起動機能は、現在実行している DES の転送を実施後、後続 DES の転送を起動する、または同じ DES の転送を再起動する機能のことです。DES の指定により、Chain 起動の実施有無を選択できます。この Chain 起動機能により、複数の DES に指定した別種類の転送を、先頭 DES への 1 回の起動指示(ソフトウェア起動指示、またはハードウェア起動指示）でまとめて一括実行すること、および 1 つの DES に指定した転送を分割して実行することが可能です。

転送アドレス、転送回数カウンタにはリロード機能（転送中に転送開始時の値に戻す InnerReload 機能、転送終了時に転送開始時の値に戻す OuterReload 機能）があり、同じ転送動作を繰り返し実施する場合の制御が容易に行えます。

転送動作の正常終了、異常終了を割込みとして、CPU に通知することが可能です。

スタンバイ・モード(低消費電力モード)時に内部クロックの停止制御が可能です。

DSTC は、CPU と別の専用バスを持ち、CPU バスアクセス時に転送動作が可能な構成です。

システムバス(AHB)に準拠した構成で、32 ビットのアドレス空間(4G バイト)に対応しています。

DSTC のハードウェア転送の対応チャネル数について

DSTC を搭載している製品において、DSTC が、256 チャネル対応となっている場合、チャネル 0 からチャネル 255 のすべてのハードウェア転送チャネルを使用することができます。DSTC が、128 チャネル対応となっている場合、チャネル 128 からチャネル 255 を使用することはできません。また、64 チャネル対応となっている場合、チャネル 64 からチャネル 255 を使用することはできません。

2. DSTC の動作概要とシステム構成

DSTC の動作概要とシステム構成について説明します。

2.1 DSTC の動作概要

DES システム

DSTC は、あらかじめメモリ上に CPU により構築された DES の内容に従って、転送動作を実行します。1 個の DES は、Table 2-1 に示すように、DES0～DES6 の 7 種類から構成されています。それぞれの領域に、転送基本設定, 転送回数, 送元アドレス, 転送先アドレスの指定を行います。(各 DES のビット配置などの詳細情報は、「5 DSTC のレジスタおよびディスクリプタ」を参照してください。) これらを 1 組にして、メモリ領域に格納します。DES0～DES6 のサイズはそれぞれ 32bit (1word)です。DES4～DES6 はオプションであり、転送内容により、指定が不要な場合があります。

Table 2-1 DES の種類と指定内容

格納アドレス	名称	内容
DESP+0x00 (固定)	DES0	転送の基本設定を行います。
DESP+0x04 (固定)	DES1	転送回数の設定を行います。
DESP+0x08 (固定)	DES2	転送開始する転送元アドレス(SA)設定を行います。
DESP+0x0c (固定)	DES3	転送開始する転送先アドレス(DA)の設定を行います。
DESP+0x10~ (可変)	DES4	DES1 を転送終了時 OuterReload する場合に設定します。
	DES5	DES2 を転送終了時 OuterReload する場合に設定します。
	DES6	DES3 を転送終了時 OuterReload する場合に設定します。

Figure 2-1 に DSTC の DES システム方式の構成を示します。DSTC を使用する際は、メモリ上に DES を格納する領域を確保します。DSTC は DES の参照と更新を行うため、この領域はリード・ライトできるメモリ領域を選択する必要があります。その領域の先頭アドレスを DSTC 内部の DESTP (DES-Top-address)レジスタに設定(Figure 2-1 の 1.)します。DESTP から 4096word (16Kbyte)の領域に DES を複数個配置することができ、最大 1024 個設定することができます。DSTC は、各 DES を DESTP からそれぞれの DES0 領域への相対アドレス値(DESP：DES-pointer)によって識別します。

転送起動

DES に転送情報を格納(Figure 2-1 の 2.)後、以下の 3 種類の起動指示方法により DSTC の転送を開始することができます。

- ソフトウェア起動 (SW 起動)

  ソフトウェア起動は、CPU から直接 DSTC の転送を開始させる起動方法です。DSTC 内部の SWTR(Software Trigger)レジスタに、使用する DES の DESP の書込み、転送を起動します。(Figure 2-1 の 3.)
  以下、ソフトウェア起動を SW 起動と記載します。また、SW 起動により開始される転送動作を SW 転送と記載します。

- ハードウェア起動 (HW 起動)

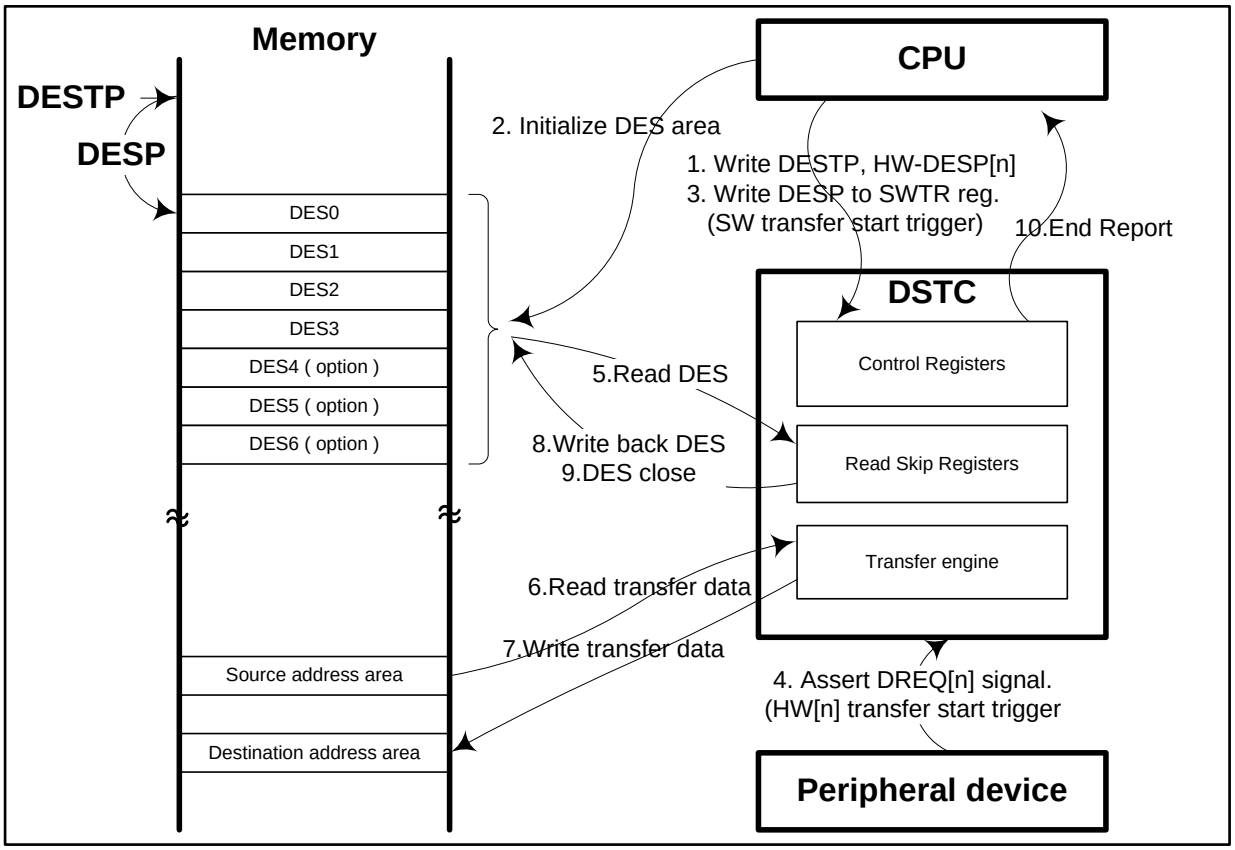
  ハードウェア起動は、Peripheral からの割込み信号を転送要求信号として、DSTC の転送を開始させる起動方法です。各 Peripheral からの転送要求がアサートされた時(Figure 2-1 の 4.)に、CPU を介さずに転送が起動します。この転送に使用する DES の DESP は、DSTC 内部の HWDESP[n](Hardware DESP)レジスタにあらかじめ書き込んでおきます。
  以下、ハードウェア起動を HW 起動と記載します。また、HW 起動により開始される転送動作を HW 転送と記載します。

- Chain 起動

  Chain 起動は、DES の中に起動指示を行う転送の起動方法です。DSTC は、DES の転送実施後、その DES に Chain 起動指示がある場合、後続 DES（または同じ DES）の転送を開始します。参照している DES の DESP から Chain 起動する DES の DESP を自動で算出します。

以降の説明文章中、起動指示(Start Trigger)と記載がある場合、上記の SW 起動, HW 起動, Chain 起動の 3 種類の起動指示を指します。

Figure 2-1 DES システム方式構成



転送動作

DSTC は、上記の起動指示により、DESTP＋DESP に存在する DES を参照(Figure 2-1 の 5.)します。DSTC は参照した DES の内容チェック(DES オープンチェック)を行い、指定に問題がない場合に転送を実行(Figure 2-1 の 6., 7.)します。また Chain 起動指示がある場合はその転送を行います。

1 回の起動指示により実施される転送回数は、DES 内の指定, Chain 起動指定により異なります。DES に指定された転送は、1 回の起動指示ではすべてが終了しない場合があります。その場合、DSTC は、各 DES に、転送残量数と更新した転送アドレスの情報をライトバック(Figure 2-1 の 8.)します。DSTC は、次の起動指示を待機し、再起動指示時に、転送の続きを継続実行します。

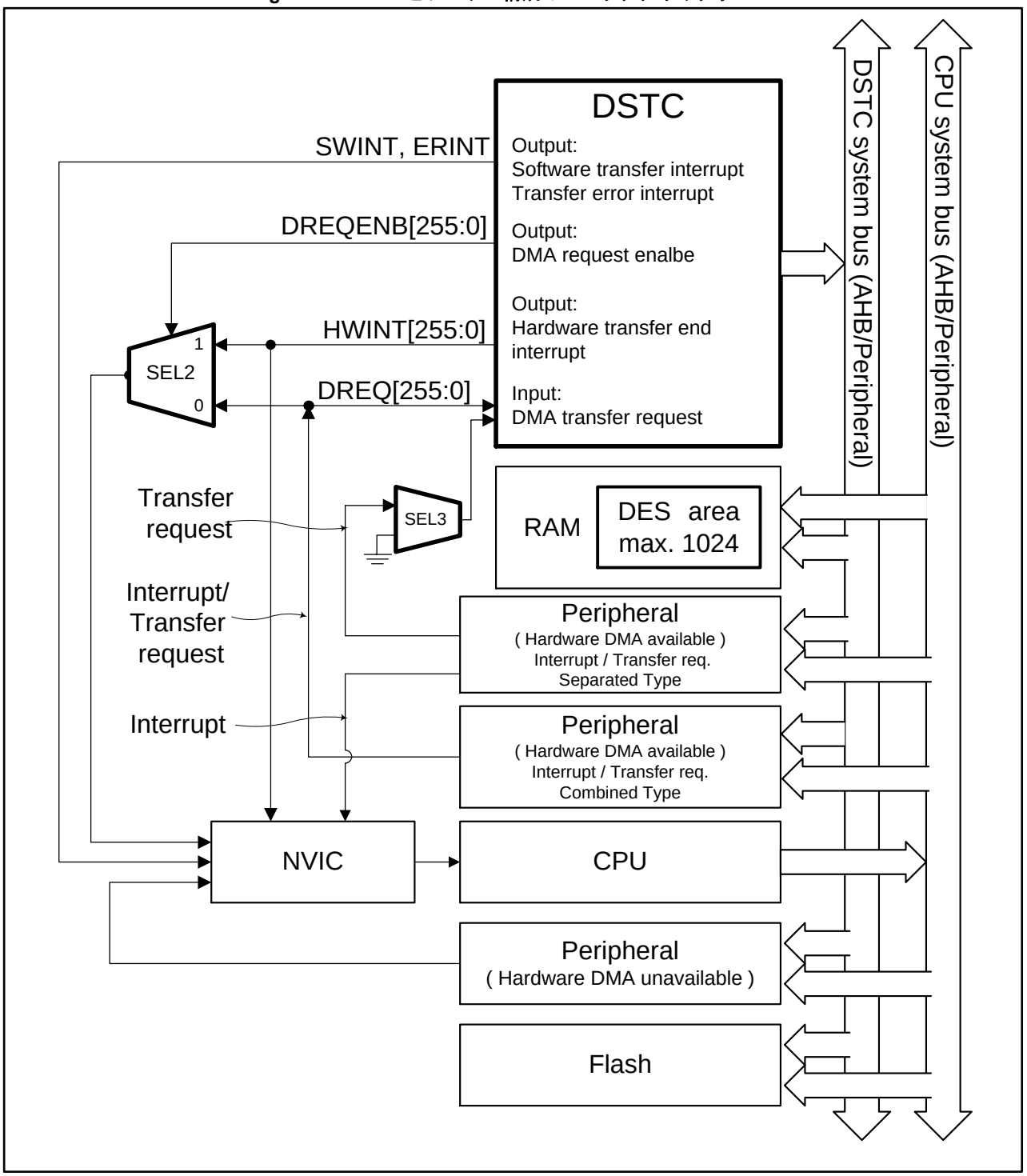
転送終了

所定回数の起動指示により、DES に指定したすべての転送が終了すると、DSTC は、DES のクローズ処理(Figure 2-1 の 9.)を行います。DES の指定により DES のクローズ処理を行わないようにすることもできます。DSTC が起動指示待ちになった場合、転送正常終了した場合、また、転送が異常終了した状態を割込みにより CPU に通知させることができます。(Figure 2-1 の 10.)

2.2 DSTC システム構成

Figure 2-2 に DSTC とシステム構成のブロックダイヤグラムを示します。

Figure 2-2 DSTC とシステム構成のブロックダイヤグラム



システムとの接続

Figure 2-2 のシステム構成図は説明のために簡略化されています。詳細は『システム概要』の章を参照してください。DSTC はシステムバスを経由して CPU, Flash, RAM, Peripheral と接続されています。CPU バスとは独立した専用バスを持っており、CPU バスアクセス時に転送動作が可能な構成になっています。各チャネルの転送先アドレス, 転送元アドレスの指定により、システム上の任意のアドレス領域にアクセスし、メモリおよび Peripheral 間のデータ転送を行います。一部 DSTC からはアクセスできない領域があります。メモリマップにて確認してください。

DREQENB レジスタ設定、DREQ[n]信号と HWINT[n]信号の接続

DSTC は、最大 256 個のハードウェア転送要求信号の入力に対応しています。DSTC のハードウェア転送に対応している Peripheral からの割込み信号は、DSTC 接続されています。DSTC は、Peripheral からの割込み信号を、DMA 転送要求信号(DREQ[255:0])とし使用し、転送動作を開始することができます。ハードウェア転送に対応していない Peripheral からの割込み信号では、DSTC の DMA 転送を開始することはできません。複数のチャネルおよび複数の割込み要因を持つ Peripheral の場合、DMA 転送に対応している割込み、対応していない割込みが存在するため、注意してください。

DSTC の内部レジスタ DREQENB[255:0]の設定により、Peripheral からのハードウェア転送要求が有効・無効になるかが決定されます。256 ビットの内、どの番号ビットが、どの Peripheral の割込み信号に対応しているかは、DSTC を搭載している製品の仕様により一意に決定されます。『割込み』の章を参照してください。

DSTC の DMA 転送を使用する Peripheral には、割込み信号と DSTC への転送要求信号が兼用されているタイプ（以下 Combined 型と表記）と、割込み信号と DSTC への転送要求信号が分かれているタイプ（以下 Separated 型と表記）の 2 つがあります。DREQENB[255:0]レジスタの設定値と図中のセレクタ（SEL2,SEL3）部分で、以下のような切換えが行われます。

■ Combined 型の Peripheral の場合：

DREQENB[n]=0 のとき：

Peripheral からの割込み信号は、NVIC に入力され、割込みの通知を行います。
Peripheral からの割込み信号を、DSTC は無視します。
DSTC からの HW 転送終了割込み（HWINT[n]）信号は、NVIC に入力されません。HWINT[n]信号は、DREQ[n]によって起動された HW 転送が終了したことを、DSTC から CPU に通知する割り込み信号です。

DREQENB[n]=1 のとき：

Peripheral からの割込み信号は、NVIC に入力されません。
Peripheral からの割込み信号を、DSTC は転送要求信号として使用します。DSTC はこの信号によって転送動作を開始します。
DSTC からの HWINT[n]信号が、Periperal からの割込み信号の代わりに、NVIC に入力されます。

このタイプの場合、図のように、Peripheral からの割込みと、DSTC の転送終了割込み（HWINT[n]）が、NVIC の入力ポートを兼用しています。このため、NVIC の割込み処理は、同じ割込みベクタに Jump します。DREQENB[n]の値により、どちらの割込み処理を行うかを選択する必要があります。

■ Separated 型の Peripheral の場合：

DREQENB[n]=0 のとき

Peripheral からの割込み信号は、NVIC に入力され、割込みの通知を行います。
Peripheral からの割込み信号は、DSTC には入力されません。
Peripheral からの転送要求信号は、NVIC には入力されません。
Peripheral からの転送要求信号を、DSTC は無視します。
DSTC からの HWINT[n]信号は、NVIC に入力されます。（HW 転送終了割込みは発生しません。）

DREQENB[n]=1 のとき：

Peripheral からの割込み信号は、NVIC に入力され、割込みの通知を行います。
Peripheral からの割込み信号は、DSTC には入力されません。
Peripheral からの転送要求信号は、NVIC には入力されません。
Peripheral からの転送要求信号により、DSTC は、転送動作を起動します。
DSTC からの HWINT[n]信号は、NVIC に入力され、HW 転送終了割込み通知を行います。

このタイプの場合、図のように、Peripheral からの割込みと、DSTC の HW 転送終了割込み（HWINT[n]）は、NVIC の別々の入力ポートに入力されます。Combined 型のように、同じ割込みベクタには Jump しません。

Peripheral がどちらのタイプに属するかは、『割込み』の章の割込み一覧と DSTC に入力される割込み信号一覧を参照してください。

ハードウェア転送要求クリア信号の接続

ハードウェア転送に対応している Peripheral の内、転送完了後、転送要求信号(割込み信号)のクリアが必要な Peripheral があります。Figure 2-2 に記載はありませんが、DREQENB[255:0]レジスタにて選択を行った場合、これらの Peripheral に対して、DSTC から転送要求信号のクリア処理がなされます。

ハードウェア転送停止要求信号の接続

マルチファンクションシリアルユニット(以下 MFS と略)は、DMA 転送停止要求信号が出力されます。Figure 2-2 に記載がありませんが、これらの MFS の転送停止要求信号が、アサートされた場合、DSTC の該当する転送要求信号はマスクされます。この場合、DSTC は転送要求待ちの状態で、転送処理を行わなくなります。

MFS から転送停止要求信号がアサートされる条件は以下の通りです。

- 受信割込み許可中(SCR:RIE=”1”)に受信エラーが発生(PE ビット、FRE ビットまたは ORE ビットが"1")
- チップセレクトエラー割込み許可中(SACSR:CSEIE="1")にチップセレクトエラー発生(CSE ビットが"1")

MFS からの DMA 転送停止要求信号は、割込みとして NVIC に通知されます。この割込みにより CPU から DSTC の転送処理を終了させてください。『割込み』の章を参照してください。

DSTC からの割込み信号

ソフトウェア起動により開始された転送の転送終了割込みは、SWINT により NVIC に通知されます。また、転送エラーが発生した場合のエラー割込みは、ERINT により、NVIC に通知されます。

3. DSTC の機能と動作

DSTC の動作について説明します。

3.1. DES の設定
3.2. DSTC の制御機能
3.3. DSTC 動作フロー

3.1 DES の設定

DES の設定内容と DSTC 動作の説明を行います。

3.1.1 転送データ量の設定

TW, IRM, IIN, ORM

DSTC は、1 回の転送で DES0.TW に指定されたデータ幅の転送を行います。DSTC 内部に転送回数のカウンタがあります。このカウンタは、外ループカウンタと、内ループカウンタの 2 重ループ構成になっています。DES1.ORM (Outer loop Remain)は、外ループカウンタの転送残量回数、DES1.IRM (Inner loop Remain)は、内ループカウンタの転送残量回数です。DES1.IIN (Inner loop initial)は、内ループカウンタの初期値を指定します。

転送開始時、TW, IRM, IIN, ORM を指定して、転送データ幅と転送回数を指定します。1 個の DES で、合計、TW×IIN×ORM のデータ転送を実行します。

Table 3-1 に、転送モード, 転送データ幅, 転送回数の指定方法を示します。

Table 3-1 転送モード, 転送データ幅, 転送回数の指定

領域名	名称	内容
DES0	MODE	転送モードを選択します。 0：転送モード 0 を選択します。 1：転送モード 1 を選択します。
	TW[1:0]	1 回の転送のデータ幅を指定します。 00：8bit(byte) 01：16bit(Half word) 10：32bit(Word)
DES1	IIN	転送回数カウンタの内ループカウンタの初期値を指定します。
	IRM	転送回数カウンタの内ループカウンタの残量値を指定します。
	ORM	転送回数カウンタの外ループカウンタの残量値を指定します。

MODE

MODE=0 を指定すると、モード 0 の転送を行います。このモードは、1 回の起動指示で、TW で指定されたビット幅のデータ転送を、IIN 回数連続して行います。IIN 回の転送後、Chain 起動を行うか、次の起動指示待ち状態のいずれかになります。DSTC に対し、ORM 回の起動指示が発生すると、DES に指定された IIN×ORM 回の転送を終了します。

MODE=1 を指定すると、モード 1 の転送を行います。このモードは、1 回の起動指示で、TW で指定されたビット幅のデータ転送を、1 回行います。1 回の転送後、Chain 起動を行うか、次の起動指示待ち状態のいずれかになります。DSTC に対し、IIN×ORM 回数の起動指示が発生すると、DES に指定された IIN×ORM 回の転送を終了します。

SW 転送の場合、モード 0,1 のいずれも使用できます。HW 転送の場合、転送要求を発生させる Peripheral の種別により、モード 0 と 1 を選択する必要があります。データ転送ごとに DSTC とのハンドシェイクが必要な Peripheral からの転送要求で HW 起動する場合は、モード 1 を使用します。MFS (マルチファンクションシリアル), ADC, USB などのデータ転送は、Peripheral 内の FIFO に対しデータ転送を行うため、モード 1 で使用する必要があります。タイマ, 外部割込みなど、転送起動タイミングを DSTC に通知する Peripheral からの転送要求の場合は、モード 0,1 いずれも使用できます。

モード 0 の場合、ORM と IIN の指定を行います。ORM、IIN は、いずれも 1～65536 の範囲の値が指定できます。IRM の指定は不要です。DSTC 内部で、IIN の値を IRM にコピーして使用します。

モード 1 の場合、ORM,IIN,IRM の指定を行います。ORM は、1～65536 の範囲の値が指定できます。IIN は、1～256 の範囲の値が指定できます。IRM は IIN と同じ値を指定します。

3.1.2 転送アドレスの設定

SA, DA, SAC[2:0], DAC[2:0]

転送元領域の開始アドレス(SA)を DES2 に、転送先領域の開始アドレス(DA)を DES3 にそれぞれ設定します。各転送アドレスは、指定したデータ幅(TW)にアラインされている必要があります。DSTC は、アンアラインド転送を行うことはできません。

転送動作中の転送アドレス更新方法を、DES0.SAC[2:0]、DES0.DAC[2:0]に指定します。転送アドレスの更新方法は、SA と DA を独立して指定することができます。Table 3-2 に転送アドレス関連の指定方法を示します。

Table 3-2 転送アドレスの指定

領域名	bit	内容
DES0	SAC[2:0] DAC[2:0]	転送中、転送アドレス(SA と DA)の更新方法をそれぞれ選択します。 000：転送ごとに TW×1 インクリメントします。InnerReload 無。 001：転送ごとに TW×1 インクリメントします。InnerReload 有。 010：転送ごとに TW×2 インクリメントします。InnerReload 無。 011：転送ごとに TW×2 インクリメントします。InnerReload 有。 100：転送ごとに TW×4 インクリメントします。InnerReload 無。 101：転送中、アドレスを固定します。 110：転送ごとに TW×1 デクリメントします。InnerReload 無。 111：転送ごとに TW×1 デクリメントします。InnerReload 有。
DES2	SA[31:0]	転送元領域の開始アドレスを指定します。
DES3	DA[31:0]	転送先領域の開始アドレスを指定します。

転送回数カウンタと転送アドレスの更新動作

Figure 3-1 に、外ループ転送回数 3, 内ループ転送回数 4, 転送アドレスにインクリメントを指定した場合の転送回数カウンタと転送アドレスの更新動作例を示します。Figure 3-1 の横軸は時間軸で、転送の進行を示します。

Figure 3-1 の上段は、転送回数カウンタの動作を示します。内ループカウンタの残量値(IRM)は、1 回の転送ごとにダウンカウントします。内ループカウンタの初期値(IIN)に指定された回数の転送を行うと、IRM は、IIN の値をリロードします。外ループカウンタ残量値(ORM)は、内ループカウンタのリロードのタイミングでダウンカウントします。この 2 重ループカウンタにて転送回数をカウントします。

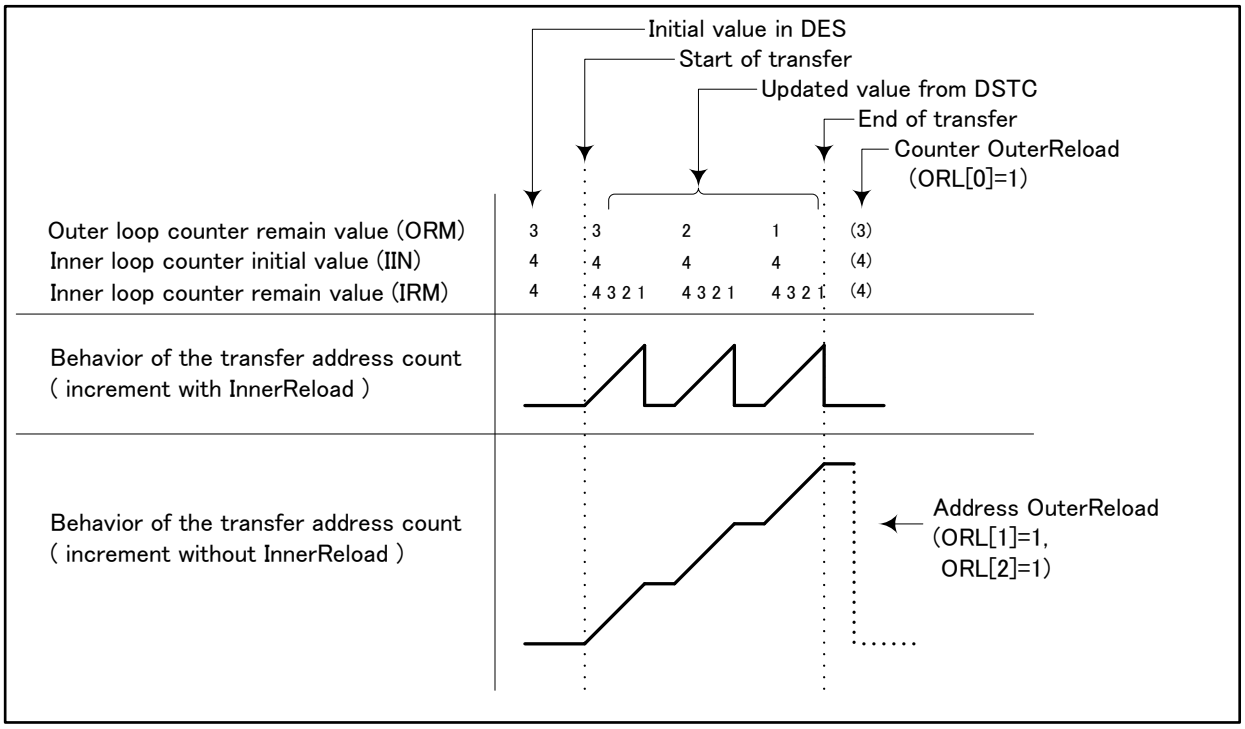
転送アドレス(SA/DA)は、転送中、IRM がリロードする際に、転送開始時の値に戻す動作(InnerRelaod)の有無を選択することができます。

Figure 3-1 の中段は、インクリメント, InnerRelaod あり指定の場合の転送アドレスの更新動作を示します。転送開始後、転送アドレスがインクリメントし、IRM のリロードタイミングで、転送開始時の値に戻ります。

Figure 3-1 の下段は、インクリメント, InnerRelaod なし指定の場合の転送アドレスの更新動作を示します。転送アドレスは、IRM のリロードタイミングで、インクリメント更新を継続します。

Figure 3-1 には、OuterReload の動作内容についても併せて記載しています。OtuterReload の節を参照してください。

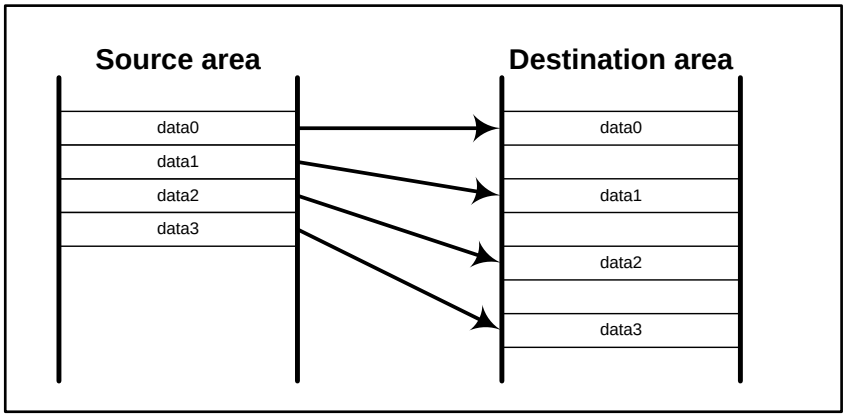
Figure 3-1 転送回数カウンタと転送アドレスの更新動作



ストライド転送動作

SAC[2:0], DAC[2:0]に TW×2 インクリメント、TW×4 インクリメントの設定を行った場合、それぞれ転送ごとに、転送アドレスが TW×2, TW×4 ずつインクリメントするストライド転送を実施します。Figure 3-2 は、SAC=000(TW×1 インクリメント)、DAC=010(TW×2 インクリメント)の転送を実施した例を示しています。Chain 転送と組み合わせることにより、メモリ・データの並べ替えなどが容易にできるように構成されています。「4.3. 転送動作例 3」を参照してください。

Figure 3-2 ストライド転送



3.1.3 OuterReload の設定

ORL[2:0]

Table 3-3 に、転送回数カウンタ, 転送アドレスの OuterReload 指定方法を示します。
DES1 の転送回数カウンタ(ORM/IRM/IIN)、DES2 の転送元アドレス(SA)、DES3 の転送先アドレス(DA)は、Figure 3-1 に示したように、それぞれ IIN×ORM 回の転送を終了後に、次回の転送のために、転送開始時の値に戻す動作(OuterReload)を選択することができます。
あらかじめ、転送開始前に DES4,5,6 に DES1,2,3 と同じ値を設定しておきます。IIN×ORM 回の転送を終了後、DES1,2,3 に DES4,5,6 の値がコピーされ、転送開始前の値に戻ります。同じ内容で次回の転送を繰り返す場合に、CPU から DES の再構築を省略することができます。

Table 3-3 OuterReload の指定

領域名	bit	内容
DES0	ORL[0]	転送回数カウンタ(DES1)の OuterReload 有無を選択します。 0：DES1 の OuterReload を行いません。DES4 領域不要 1：DES1 の OuterReload を行います。DES4 領域必要
	ORL[1]	転送元アドレス(DES2)の OuterReload 有無を選択します。 0：DES2 の OuterReload を行いません。DES5 領域不要 1：DES2 の OuterReload を行います。DES5 領域必要
	ORL[2]	転送先アドレス(DES3)の OuterReload 有無を選択します。 0：DES3 の OuterReload を行いません。DES6 領域不要 1：DES3 の OuterReload を行います。DES6 領域必要

OuterReload 指定時の DES サイズ

DES0～DES3 は、常に必要な領域です。DES4～DES6 は、OuterReload あり指定の場合にのみ必要になる領域です。DES のサイズと DES4-6 のアドレスは、ORL[2:0]の値に従って、Table 3-4 のように一意に決定されます。ORL[2:0]の値により、DES4～DES6 は DESP からの相対アドレスが異なります。不要な部分は存在しないと見なされます。

Table 3-4 OuterRelaod 指定時の DES サイズと DES4～DES6 の格納位置

ORL[2:0]	DES-SIZE (word)	DES4-address	DES5-address	DES6-address
000	4	DES4 無	DES5 無	DES6 無
001	5	DESP+0x10	DES5 無	DES6 無
010	5	DES4 無	DESP+0x10	DES6 無
100	5	DES4 無	DES5 無	DESP+0x10
011	6	DESP+0x10	DESP+0x14	DES6 無
101	6	DESP+0x10	DES5 無	DESP+0x14
110	6	DES4 無	DESP+0x10	DESP+0x14
111	7	DESP+0x10	DESP+0x14	DESP+0x18

転送終了後の DES の値

OuterReload 機能を使用しない場合、DES 領域を節約することができます。転送アドレスに InnerReload あり指定時は、転送アドレスは転送開始時の値が格納されるため、OuterReload の指定は不要です。
OuterReload/ InnerReload のいずれも指定しない場合、設定によっては、DES に転送開始時とは異なる値が格納されている場合があります。この場合、DES の値をそのまま利用して再度転送を開始することはできないため、CPU から DES の再構築を行う必要があります。以下に、転送終了後の DES 領域の値がどのような値に更新されるかを記載します。

DES0 の転送終了後の値は、DV[1:0], ST[1:0]を除き、転送開始時の値と同じ値です。また、DES4, DES5, DES6 の転送終了後の値は、転送開始時の値と同じ値です。
DES1(転送回数カウンタ)の転送終了後の値は、転送開始時の MODE, ORL[0]の値に従い、Table 3-5 のように更新されます。表中の X はその値が影響しないことを示します。
IIN の値は、転送開始時と同じ値が保持されます。ORL[0]=0 の場合、転送開始時、ORM, IRM がどのような値であっても、転送終了時、ORM の値は、0x0001 に、IRM の値は 0x01 に更新されます。従って、転送開始時に、ORM≠0x0001 または IRM≠0x01 の場合、ORM, IRM の転送終了時の値は、転送開始時の値と異なる値です。このため、再度転送開始時には、ORM と IRM を CPU から必要な値に書き換える DES の再構築が必要です。Table 3-5 では、DES1 の再構築が必要になる条件を併せて示しています。

Table 3-5 転送開始・終了時の DES1 の値と DES1 再構築の要否

転送開始時の DES0/DES1 の値					転送終了後の DES1 の値			DES1 の再構築要否
MODE	ORL[0]	ORM	IIN	IRM	ORM	IIN	IRM	
0	0	0x0001	X	－	0x0001	保持	－	不要
		0x0001 以外	X	－				必要
1	0	0x0001	0x01	IIN と同値			0x01	不要
		X	0x01 以外	IIN と同値				必要
		0x0001 以外	X	IIN と同値				必要
0	1	X	X	－	DES4 の値がコピーされます。			不要
1	1			IIN と同値				不要

DES2(転送元アドレス)の転送終了後の値は、転送開始時の DES0 の MODE, SAC[2:0], ORL[1]に従い、Table 3-6 のように更新されます。表中の X はその値が影響しないことを示します。DES2 の転送終了後の値が転送開始時の値と異なる場合、再度転送開始には、DES2 の再構築が必要です。

Table 3-6 転送終了時の DES2 の値

転送開始時の DES0 の値			転送終了後の DES2 の値	DES2 の再構築要否
MODE	SAC[2:0]	ORL[1]		
0	xx0	0	最終 Outer loop 開始時の転送元アドレス	必要
0	xx1	0	転送開始時の値	不要
1	xx0	0	最終転送の転送元アドレス	必要
1	xx1	0	転送開始時の値	不要
X	X	1	DES5 の値がコピーされます。	不要

DES3(転送先アドレス)の転送終了後の値は、転送開始時の DES0 の MODE, DAC[2:0], ORL[2]に従い、Table 3-7 のように更新されます。表中の X はその値が影響しないことを示します。DES3 の転送終了後の値が転送開始時の値と異なる場合、再度転送開始には、DES3 の再構築が必要です。

Table 3-7 転送終了時の DES3 の値

転送開始時の DES0 の値			転送終了後の DES3 の値	DES3 の再構築要否
MODE	DAC[2:0]	ORL[2]		
0	xx0	0	最終 Outer loop 開始時の転送先アドレス	必要
0	xx1	0	転送開始時の値	不要
1	xx0	0	最終転送の転送先アドレス	必要
1	xx1	0	転送開始時の値	不要
X	X	1	DES6 の値がコピーされます。	不要

DES1,2,3 の再構築が必要な設定(DES1,2,3 が転送開始時の値に戻らない設定)で、DES0.DV[1]=1 の設定を行うと、DES オープンエラーを通知します。「3.2.8 MONERS レジスタ」を参照してください。

3.1.4 Chain 起動と転送終了割込み通知設定

CHRS[5:0], CHLK

DSTC は、起動指示受け取り後、各 DES の所定回数(MODE=0 時は IIN 回、MODE=1 時は 1 回)の転送を行います。その後、DES0.CHRS[5:0]の値により、次の処理判断をします。Table 3-8 に、Chain 起動と転送終了割込み通知の指定方法を示します。

Table 3-8 CHRS[5:0]の指定

領域名	名称	内容
DES0	CHRS [5:4]	転送回数カウンタ残量値が、(ORM==1)&& (IRM==1) の転送を行った後の DSTC の動作を選択します。 00：割込みフラグセット無、Chain 起動無、転送終了します。 01：割込みフラグセット有、Chain 起動無、転送終了します。 10：割込みフラグセット無、後続の DES に対し、Chain 起動を行います。 11：設定禁止（DES オープンエラーとなります。）
	CHRS [3:2]	転送回数カウンタ残量値が、(ORM!=1)&& (IRM ==1)の転送を行った後の DSTC の動作を選択します。 00：割込みフラグセット無、Chain 起動無、起動指示待ちとなります。 01：割込みフラグセット有、Chain 起動無、起動指示待ちとなります。 10：割込みフラグセット無、後続の DES に対し、Chain 起動を行います。 11：割込みフラグセット無、現在の DES の再 Chain 起動を行います。
	CHRS [1:0]	MODE=1 の時、転送回数カウンタ残量値が、(IRM !=1) の転送を行った後の DSTC の動作を選択します。 00：割込みフラグセット無、Chain 起動無、起動指示待ちとなります。 01：割込みフラグセット有、Chain 起動無、起動指示待ちとなります。 10：割込みフラグセット無、後続の DES に対し、Chain 起動を行います。 11：割込みフラグセット無、現在の DES の再 Chain 起動を行います。 MODE=0 の時は、指定は意味を持ちません。MODE=0 の時は、00 を指定してください。（MODE=0 で 00 以外は DES オープンエラーとなります。）
	CHLK	Chain 起動する次の転送を、現在の転送後連続実施 (Chain ロック)するか、間に他の転送を許可するかを選択します。 0：現在の転送後、Chain 起動転送前に、他の転送を可能とします。 1：現在の転送後、Chain 起動転送を必ず連続実施します。

次の処理が、後続 DES の Chain 起動の場合、DSTC は、後続の DES の転送を開始します。次の処理が、実行 DES の再 Chain 起動の場合、その DES の転送を再度開始します。次の処理が、Chain 起動を行わない場合は、転送終了(または次の起動指示待ち状態)となります。CHRS[5:4]、CHRS[3:2]、CHRS[1:0]のどの値により処理分岐するかは、その際の転送回数カウンタがどの状態にあるかで決定します。

Chain 起動を行わない場合は、割込みフラグをセットし、DSTC が、転送終了(または次の起動指示待ち状態)の状態になったことを CPU に通知することができます。SW 転送、および SW 転送から Chain 起動された転送の場合は、SWTR.SWST レジスタをセットします。HW 転送、および HW 転送から Chain 起動された転送の場合は、HWINT[n]レジスタをセットします。

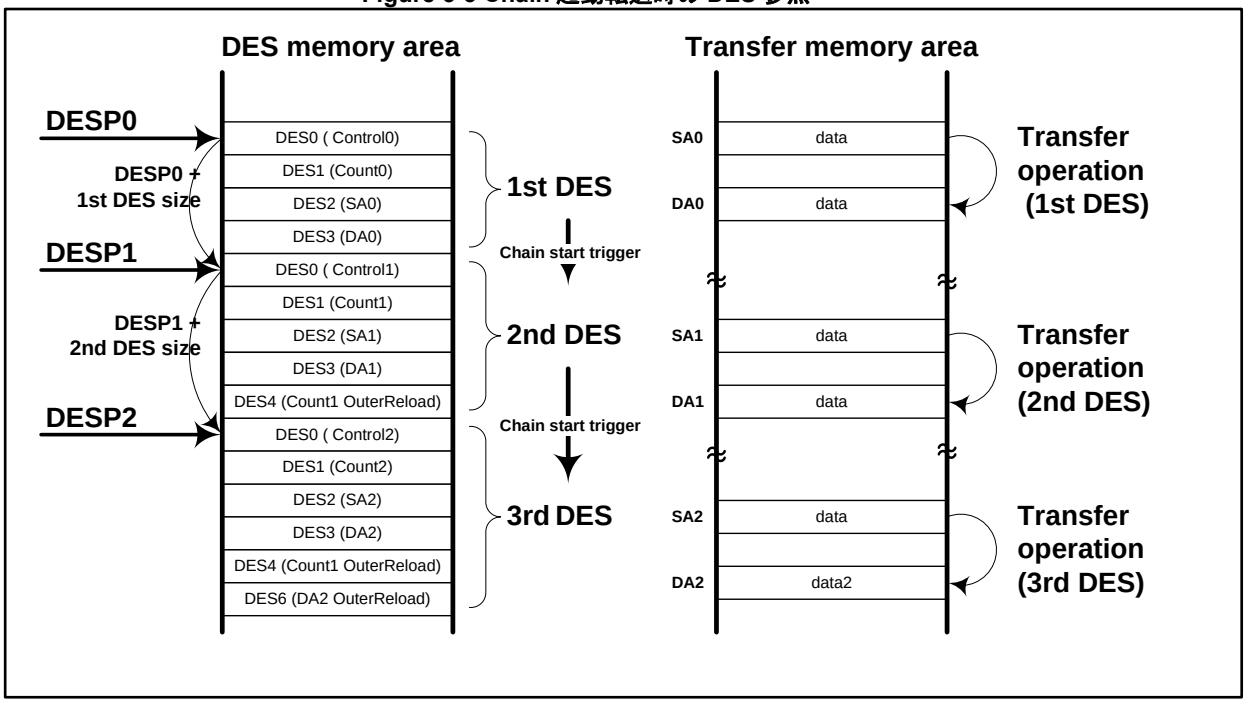
Chain 起動の動作

Chain 起動を利用すると、複数の DES に設定した異なる転送を一括して起動指示することができます。

Figure 3-3 に後続 DES の Chain 起動を行う場合の DES 参照と転送動作の説明図を示します。1st-DES が DESP0 の位置に存在しています。1st-DES のサイズは、1st-DES の ORL[2:0]の指定により一意に決定されます。1st-DES にて後続 DES の Chain 起動指示の場合、DSTC は、DESP0 と 1st-DES のサイズから、後続の 2nd-DES の DESP1 を算出します。DSTC は、2nd-DES の参照後、2nd-DES に指定された転送を開始します。このため、Chain 起動される後続の 2nd-DES は、必ず起動する 1st-DES に隣接している必要があります。

2nd-DES に Chain 起動を指定し、3rd-DES の転送を開始することが可能です。DSTC は、Chain 起動指定がなくなるまで、DES の最大構築可能数の範囲で Chain 起動転送を継続します。

Figure 3-3 Chain 起動転送時の DES 参照



Chain ロック機能

DSTC は、Chain 起動のタイミングで、別要因の転送の起動指示があると、転送優先順位の指定によっては、別転送を先に処理する場合があります。この場合、DSTC は、別転送処理を実行した後に、指定された Chain 起動の転送の処理を行います。Chain ロック機能は、このようなケースで、転送優先順位指定によらず、Chain 起動された転送を必ず連続して実行し、ほかの要求の転送を割り込ませないように制御する機能です。各 DES の CHLK=1 とすることにより指定ができます。

3.1.5 その他の DES 設定

DV[1:0]

DSTC は、DES 領域の参照と更新を行い、転送動作を実行します。DSTC が使用中の DES 領域を CPU が更新すると、DSTC はプログラムの意図しない不正な転送を実施する場合があります。この問題を防ぐため、DES 領域は CPU と DSTC 間で排他的なメモリ管理を行っています。DES0 には、その DES の書込み更新権利(所有権)が、CPU と DSTC のいずれに存在するかを示す DV[1:0] (Descriptor Valid)が存在します。DV の指定内容と DSTC の動作を Table 3-9 に示します。

Table 3-9 DV の指定

領域名	名称	内容
DES0	DV[1:0]	DES 領域の所有権が CPU と DSTC のいずれにあるかを指定します。 DES オープン後の転送実施有無、DES クローズ処理有無を指定します。 00：DES 所有権は CPU、転送実施無、DES クローズ処理無 (DSTC がこの値を読み出すと、DES オープンエラーを通知します。) 01：DES 所有権は DSTC、転送実施有、DES クローズ処理有 10：DES 所有権は DSTC、転送実施無、DES クローズ処理有 11：DES 所有権は DSTC、転送実施有、DES クローズ処理無

DV=00 の場合、DES 領域の所有権が CPU にあることを示します。DV≠00 の場合、DES 領域の所有権が DSTC にあることを示します。CPU は、DES の初期値設定後、DV=01 or 10 or 11 の値を設定し、その DES の所有権が DSTC にあることを通知します。DSTC は、起動指示を受け取り後、DES0 の DV の値に従い、以降の動作を決定します。(起動指示後、DSTC が DES を読み出すことを DES オープン処理と記載します。)

DSTC は、DV=01 の場合、指定された回数(ORM×IIN 回)の転送を行います。転送が終了しないうちは、DV の値を 01 のまま更新せず、DES の所有を継続します。指定された回数の転送がすべて終了すると、DV を 00 に更新して、DES の所有権を CPU に返却します。(DSTC が DV を 00 に更新し、DES の所有権を CPU に返却する処理を、DES クローズ処理と記載します。)

DSTC は、DV=11 の場合、指定された回数(ORM×IIN 回)の転送を行います。転送が終了しないうちは、DV の値を 11 のまま更新せず、DES の所有を継続します。指定された回数の転送がすべて終了しても、DES クローズ処理を行わず、DES の所有を継続します。

DSTC は、DV=10 の場合、転送処理を行わず、DES クローズ処理のみを行います。

DSTC は、DV=00 の場合、DES 領域が CPU により更新途中であると認識します。転送処理、DES の更新を行いません。CPU に DES オープンエラーを通知します。

プログラムは、その DES の利用形態に基づき、起動前の DV の値を以下の要領で決定します。

DES に定義する転送処理が流動的な内容で、転送ごとに CPU が DES の設定内容を更新する必要がある場合、DV=01 の設定で DES 所有権を DSTC に与えます。この場合、CPU は、DV=00 の値を確認し、DES 所有権が返却された後に安全に DES を更新することができます。CPU は DES の初期化が完了してから、再度、DES 所有権を DSTC に渡します。

DES に定義する転送処理が固定的な内容で、DES の設定内容を繰り返し使用する場合、DV=11 の設定で DES 所有権を DSTC に与えます。この場合、転送処理後 DES クローズしないため、CPU が再度 DES の所有権を DSTC に与える手間を省くことができます。指定された回数(ORM×IIN 回)の転送が終了した後、次の起動指示が発生すると、再度同じ転送が開始されます。

DV=11 の設定の場合、DSTC は DES の所有を継続し、CPU に返却しないため、転送処理は無限ループ処理となります。DV=10 の設定は、上記の DV=11 の設定により DSTC に渡した所有権を CPU に返却させて、転送処理の無限ループから抜ける場合に使用します。

CPU は、DV=00 の場合、その DES の更新を行うことができます。DV≠00 の場合は、DSTC がその DES の転送動作を行っている状態では、DV 以外の DES 領域の更新を行うことはできません。

DV[1]=1 の設定の場合、DSTC は、(ORM×IIN)回の転送後、DES 値を再度使用します。このため、転送カウンタ, 転送アドレスのリロード指定制約が追加されます。DV[1]=1 であって、DES1～DES3 の値が転送開始時の値に戻らない DES 設定は、DES オープンエラーを通知します。「3.2.8 MONERS レジスタ」を参照してください。

ST[1:0]

DES0 の ST(Status)[1:0]は、DSTC が転送終了ステータスを CPU に通知する領域です。DES クローズ処理時、ST に DSTC により書き込まれる内容を、Table 3-10 に示します。

Table 3-10 ST の通知内容

領域名	名称	内容
DES0	ST[1:0]	DES 指定の転送が終了し、DES クローズ処理時に、DSTC が終了ステータス値を書き込みます。 00：転送正常終了 01：転送元アクセス時に発生したエラーにより転送異常終了 10：転送先アクセス時に発生したエラーにより転送異常終了 11：スタンバイ移行コマンドにより転送強制終了し転送異常終了

DES アクセスエラー, DES オープンエラーにより、転送が異常終了した場合、DSTC は DES 領域にアクセスできないため、DES クローズ処理は行われず、ST は書き込まれません。これらのエラー通知は、DES の ST ではなく、DSTC 本体の MONERS レジスタによって行われます。「3.2.8 MONERS レジスタ」を参照してください。

PCHK[3:0]

PCHK[3:0](Parity Check)は、DES0 領域のパリティ値(以下演算式)を設定して使用します。

PCHK[3:0] = DES0[27:24] ^ DES0[23:20] ^ DES0[19:16] ^ DES0[15:12] ^ DES0[11:8] ^ DES0[7:4]

CPU の暴走などにより、DES 領域のデータ破壊が発生すると、DSTC は意図しない転送動作を開始する可能性があります。これを防ぐために DES0 にパリティチェック機能が用意されています。CPU は、DES 初期構築時、DES0 のパリティ値を PCHK に設定します。DSTC は、DES オープン時 PCHK と DES0 の値の整合性を確認します。パリティエラーがある場合、DES オープンエラーを通知し、転送処理を行いません。「3.2.8 MONERS レジスタ」を参照してください。

ACK[1:0]

ACK[1:0](Acknowledge)は、HW 転送を利用する場合、DSTC から Peripheral デバイスに出力する DMA 転送要求の承認信号の出力タイミングを調整する値を設定します。

HW 転送を利用する場合に、Peripheral デバイスから直接 HW 起動される DES では、ACK=01 を設定します。その他の DES(HW 転送から Chain 起動される DES, SW 転送で使用する DES, SW 転送から Chain 起動される DES)では、ACK=00 の設定を行います。

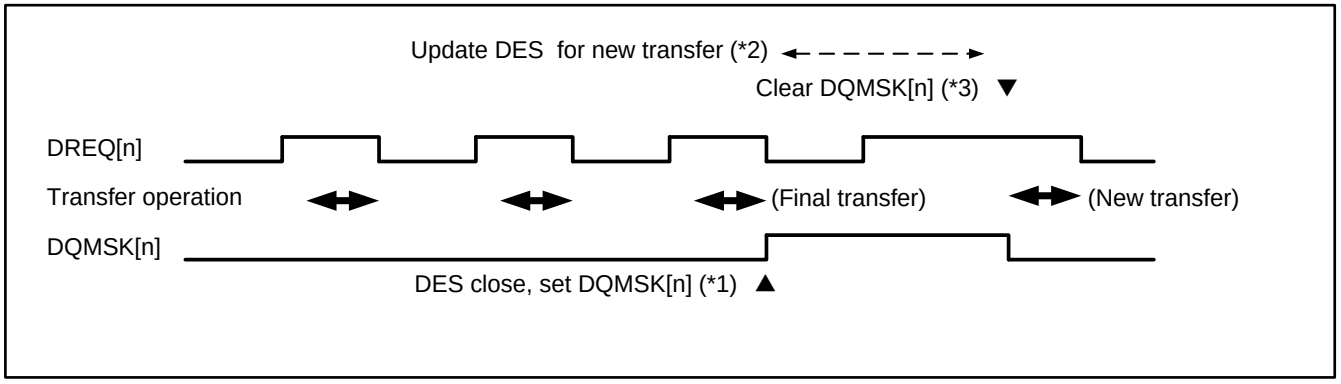
DMSET

DMSET(DMA request Mask Set)は、HW 転送を利用する場合に、DSTC が DES クローズ後、CPU が DES の再構築が完了するまでの期間に、DQMSK[n]レジスタをセットし、Peripheral デバイスからの DMA 転送要求信号をマスクする機能を提供します。「3.2.4 HW 転送の制御」を参照してください。

HW 転送を利用する場合、Peripheral デバイスからの DMA 転送要求信号(DREQ)は、DMA 転送要求承認信号(DACK)により、転送後ネゲートされます。しかし、Peripheral によっては、DSTC の状態と関わりなく、その次の転送要求をアサートする場合があります。DSTC は、DES クローズ後、次の転送開始の準備(DES の再構築)ができるまでの期間に DMA 転送要求信号がアサートされると、転送の準備ができていないため、DES オープンエラー通知を行います。このようなケースでは、DMSET=1 を設定することで、DSTC から、DES オープンエラーを通知させることを回避し、DES の再構築が完了するまで、HW 転送の開始を抑止することができます。

Figure 3-4 に動作例を示します。Peripheral デバイスから直接 HW 起動される DES およびそこから Chain 起動される DES において、DMSET=1 の場合、その DES のクローズ処理が行われると、DQMSK[n]レジスタの該当するチャネルビットに 1 がセットされます。(Figure 3-4 の*1)DQMSK[n]レジスタに 1 がセットされると、DSTC は DREQ 信号を認識せず、DES オープンエラーを通知しません。CPU は、DES を再構築(Figure 3-4 の*2)し、次の転送の準備が完了した後、DQMSK[n]レジスタの該当するチャネルビットをクリアします。(Figure 3-4 の*3)DQMSK[n]レジスタクリア後、DSTC は DREQ 信号を認識します。再構築された DES に
従って、新規の転送が開始されます。

Figure 3-4 DMSET による転送開始の抑制動作



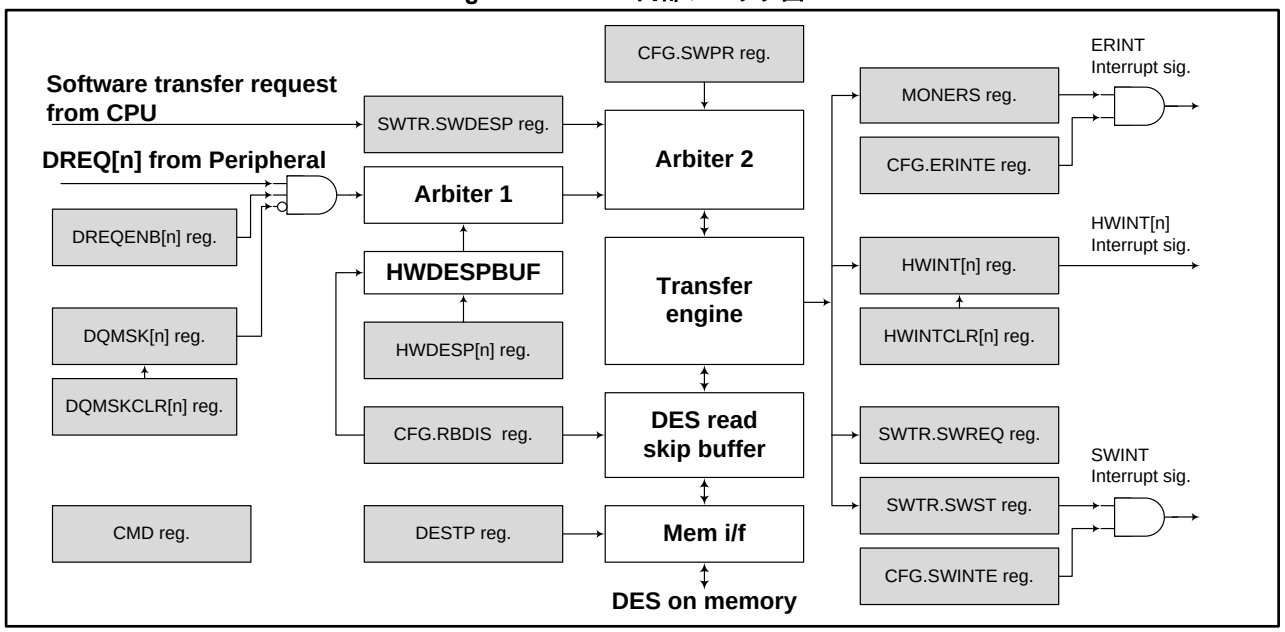
3.2 DSTC の制御機能

DSTC の制御機能に関する説明を行います。

3.2.1 DSTC 内部ブロック図

Figure 3-5 に、CPU からアクセス可能な DSTC 内部の制御レジスタ(網掛け)と、制御ブロックの接続関係図を示します。制御レジスタへのアクセスにより、DSTC の転送起動、終了通知の制御を行います。以下に図の各部の動作とレジスタ機能の概要説明を行います。各レジスタ機能の詳細は「5. DSTC のレジスタおよびディスクリプタ」を参照してください。

Figure 3-5 DSTC 内部ブロック図



3.2.2 DESTP レジスタ

DESTP(DES top address)レジスタは、メモリ上の DES 領域の先頭アドレスを指定するレジスタです。初期設定時に指定を行います。DSTC は、DESTP＋DESP のアドレスに存在する DES を参照し、転送動作を行います。

3.2.3 SW 転送の制御

SW 転送の開始を指示する場合、SWTR.SWDESP(Software tigger. Softwafer DESP)レジスタに、起動する DES の DESP 値を書き込みます。SW 転送動作中、Chain 起動があると、SWDESP は Chain 起動した DESP の値に DSTC 側から更新されます。SWDESP の値は、図の Arbiter2 ブロックに転送要求として通知されます。

SWTR.SWREQ(Software request)レジスタは、SW 転送が、実行開始の待機状態であるか、Chain 起動を含めた転送実行中であることを示す読出し専用レジスタです。SWTR レジスタへの書込みアクセス(起動指示)により、1 がセットされます。SW 転送が正常終了, 異常終了, 起動指示待ち状態になると、0 にリセットされます。

SW 転送の起動指示は、現在の SW 転送が終了してからでないと発行できません。SWREQ レジスタが 1 の場合、SWTR レジスタへの書込みアクセスは無視されます。

SWTR.SWST(Software status)レジスタは、CPU に SW 転送終了通知を行うための読出し専用レジスタです。SW 転送の DES またはそこから Chain 起動された DES の CHRS に、割込みフラグセットが指示されてい

て、転送が正常終了すると、1 がセットされます。CMD レジスタに対する SWCLR コマンドにより、0 にクリアすることができます。
SWST がセットされた場合、CFG.SWINTE レジスタの設定により、SWINT 割込みを許可できます。(SWINTE==1) &(SWST==1)の場合、NVIC 対する SWINT 割込み信号がアサートされます。

3.2.4 HW 転送の制御

Peripheral からの転送要求(DREQ[n]のアサート)が発生すると、DSTC は、HW 転送動作を開始します。HW 起動と HW 転送の制御を行うため、DSTC 内部には、以下のレジスタが、転送チャネル数分あります。CPU は、Peripheral からの転送要求発生前に、これらのレジスタの初期設定を行っておきます。また、転送進行状況に合わせてレジスタクリア処理を行います。

DREQENB[n]レジスタ

DREQENB[n] (DMA Request Enable)レジスタは、初期設定時、HW チャネル n の使用有無をそれぞれ設定します。HW チャネル n を使用する場合、DREQENB[n]=1 を設定します。HW チャネル n を使用しない場合、DREQENB[n]=0 を設定します。このレジスタが 0 の場合、DSTC に接続されている Peripheral の割込み信号や転送要求信号(DREQ[n])は無視されます。このレジスタの値は、DSTC 側から書換えられることはありません。
割込みを DSTC への転送要求として使用する Peripheral タイプの Peripheral において、NVIC に接続される割込み信号に Peripheral からの割込み信号と DSTC からの HWINT[n]のいずれが選択されるかは、DREQENB[n]の値により決定されます。「2. DSTC の動作概要とシステム構成」を参照してください。

DQMSK[n]レジスタおよび DQMSKCLR[n]レジスタ

DQMSK[n] (DMA Request Mask)レジスタは、読出し専用のレジスタです。このレジスタが 1 の場合、DSTC に対する Peripheral からの転送要求信号(DREQ[n])が抑止されている状態を示します。以下の条件発生時は、DQMSK[n]に 1 がセットされ、その HW チャネルの転送要求を抑止します。

- HW チャネル n の転送で、転送エラーが発生した場合。
- CPU から、CMD レジスタに対し、スタンバイ移行コマンドを発行した場合。
- HW チャネル n の転送の DES にて、DMSET=1 であり、かつ DES クローズ処理した場合。

CPU が DES の再構築を行い、HW 転送の開始が可能な状況になった後、CPU から抑止を解除します。DQMSKCLR[n] (DMA Request Mask Clear)レジスタに、1 書込みを行うと、DQMSK[n]レジスタが 0 クリアされ、以降の HW 転送要求(DREQ[n])が認識されます。

HWDESP[n]レジスタ

HWDESP[n] (Hardware DES pointer)レジスタは、HW チャネル n の転送要求時に DSTC が参照・実行する DES の DESP を設定します。HW 転送要求発生前に設定しておく必要があります。

DSTC は、HW 起動指示が発生すると、HWDESP[n]に設定された DESP の DES を参照し転送を開始します。HWDESP[n]レジスタの DESP 値は、Figure 3-5 の HWDESPBUF にいったん格納してから使用します。Chain 起動時は、HWDESPBUF に格納されている値が Chain 起動後の DESP 値に更新されます。HWDESP[n]レジスタの値が、DSTC 側から書え換えられることはありません。
チャネル n の HW 起動指示が連続した場合、DSTC は、HWDESP[n]レジスタの DESP 値ではなく、HWDESPBUF に格納されている DESP 値を使用します。このため、CPU から HWDESP[n]レジスタの値を変更した場合、HWDESPBUF に格納されている値を無効化する必要があります。CFG.RBDIS の値の変更により、HWDESPBUF の DESP 値を無効化できます。「5.5. CFG レジスタ」を参照してください。

HWINT[n]レジスタおよび HWINTCLR[n]レジスタ

HWINT[n] (Hardware transfer interrupt)レジスタは、CPU に HW 転送終了通知を行うための読出し専用レジスタです。HW 起動された DES またはそこから Chain 起動された DES の CHRS にて割込みフラグセットが指示されていて、転送が正常終了すると、1 がセットされます。HWINT[n]レジスタは、HWINTCLR[n]レジスタへの 1 書込みにより、0 にクリアすることができます。HWINT[n]==1 の場合、NVIC 対する DSTC の HW 転送終了割込み信号（HWINT[n]）がアサートされます。

3.2.5 起動要求の調停動作

DSTC は、SW 起動指示と、複数の HW 起動指示が、競合した場合、起動要求の調停処理を行い、順次転送処理を実行します。起動要求の調停は、Figure 3-5 の Arbiter1 ブロックと Arbiter2 ブロックの 2 段の構成で処理されます。以下に動作を説明します。

Arbiter1

HW 転送要求は、Arbiter1 ブロックで調停処理が行われます。複数の要求が競合している場合、次のような Rotation 方式で転送開始するチャネルを選択します。バスリセット後の選択優先順位は、チャネル番号の小さい順に優先順位が高い状態です。

優先順位高　0,1,2,3,4,5,6,7,,,,,,254,255　優先順位低

この状態で、例えばチャネル 5 とチャネル 6 から同時に転送要求があると、チャネル 5 が選択されます。転送チャネルが選択されると、そのチャネルの優先順位が一番低くなるように優先順位が Rotation されます。チャネル 5 が選択されたので、優先順位は以下のように更新されます。

優先順位高　6,7,8,9,10,11,,,,,,254,255, 0,1,2,3,4,5　優先順位低

この状態で、次にチャネル 5 とチャネル 6 から転送要求があると、チャネル 6 が選択されます。Rotation により、複数の HW 転送要求が、均等に転送処理が行えるように構成されています。

Arbiter1 ブロックは、選択したチャネル n から HWDESP[n]を参照し、使用する DES の DESP を Arbiter2 ブロックに通知します。また、HW 転送に Chain 起動がある場合、更新した DESP を Arbiter2 ブロックに通知します。選択したチャネル n の転送が、すべての Chain 転送終了し、起動指示待ちになるまで、そのチャネルの転送要求を Arbiter2 ブロックに通知します。

Arbiter2

Arbiter2 ブロックは、Arbiter1 により選択された HW 転送要求と、SW 転送要求のどちらの転送要求を実行するかを選択します。転送要求が競合している場合、CFG レジスタの SWPR(Software Priority)レジスタに設定された確率値に従い、転送要求を選択して転送エンジンを起動します。Table 3-11 に CFG.SWPR レジスタの設定値と、SW 転送が転送権を得る確率を示します。

Table 3-11 CFG.SWPR の指定

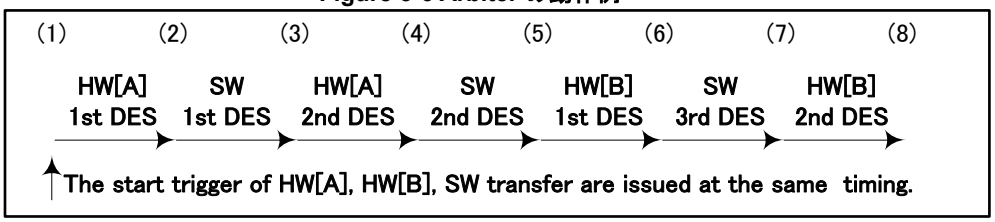
領域名	名称	内容
CFG	SWPR [2:0]	Arbiter2 の調停動作において、HW 転送要求と、SW 転送要求が競合している場合に、SW 転送が転送権を得る確率を指定します。 000：SW 転送の優先度を最高にします。(SW 起動指示時、HW 転送が実行中の場合、HW 転送終了後、SW 転送を開始します。) 001：SW 転送の転送権獲得確率を 1/2 にします。 010：SW 転送の転送権獲得確率を 1/3 にします。 011：SW 転送の転送権獲得確率を 1/7 にします。 100：SW 転送の転送権獲得確率を 1/15 にします。（初期値） 101：SW 転送の転送権獲得確率を 1/31 にします。 110：SW 転送の転送権獲得確率を 1/63 にします。 111：SW 転送の優先度を最低にします。(HW 転送要求がない状態でのみ、SW 転送を開始します。)

Arbiter の動作例

Figure 3-6 に、Arbiter1 と Arbiter2 の動作例を示します。図は右軸が時間軸です。DSTC の転送要求の調停処理で、どの転送要求がどの順番で転送権を与えられるのかを説明します。HW チャネル A 転送、HW チャネル B 転送、SW 転送の 3 個の転送要因が存在しています。HW[A]転送、HW[B]転送は、2 個の DES により Chain 接続、SW 転送は 3 個の DES により Chain 接続されています。CFG.SWPR は、001(SW 転送確率 1/2)の設定を行っています。各 DES の Chain ロック指定は無です。

(1)のタイミングで､HW[A]転送､HW[B]転送､SW 転送の 3 つの転送要求が同時に発生しています｡Arbiter1 は、HW[A]と HW[B]の調停を行います。どちらを選択するかは、それ以前の Rotation の状態で決定します。HW[A]が選択される前提で説明を進めます。Arbiter2 は、HW[A]と SW 要求の調停を行います。どちらを選択するかは、それ以前の状態で決定します。HW[A]が選択される前提で説明をします。DSTC の転送エンジンは、HW[A]の 1stDES の転送を開始します。

Figure 3-6 Arbiter の動作例



(2)のタイミングで､HW[A]-1stDES の転送が終了します｡HW[A]-2ndDES の Chain 起動指示が発生します。(HW[B]の要求は、HW[A]の Chain 起動がなくなるまで、保留されます。) Arbiter1 は、HW[A]の 2nd- DESP を Arbiter2 に要求します。Arbiter2 は、HW[A]と SW の調停を行います。SW 転送の確率設定が 1/2 であり、(1)のタイミングで HW[A]を選択したので、Arbiter2 は、SW-1stDES を選択します。

(3)のタイミングで、SW-1stDES の転送が終了し、SW-2ndDES の Chain 起動指示が発生します。Arbiter2 は、SW-2ndDES と、HW[A]-2ndDES の調停を行います。確率設定が 1/2 であり、(2)のタイミングで SW 転送を選択したので、次は、HW[A]-2ndDES を選択します。

(4)のタイミングで、HW[A]-2ndDES の転送が終了します。Arbiter1 は、HW[B]-1st DES を Arbiter2 に転送要求します。Arbiter2 は、HW[B]-1stDES と SW-2ndDES との転送調停を行い、SW-2ndDES を選択します。

(5)、(6)、(7)のタイミングで、同様の調停動作が行われ、HW[B]2nd-DES と SW 3rdDES の転送選択が行われます。

上述のように、HW 転送の Chain 間に、SW 転送を実行すること、SW 転送の Chain 間に、HW 転送を実行することがあります。HW 転送の Chain 間に、別チャネルの HW 転送を実行することはありません。また、DES に Chain ロックが指定されている場合、CFG.SWPR レジスタの設定値に関係なく、その DES が転送動作実行後、Chain 起動の DES の転送が、必ず連続実行されます。

上記例では、CFG.SWPR の設定値が、確率 1/2 の設定であるため、SW 転送が、2 回に 1 回の割合で行われています。CFG.SWPR の設定値は、DSTC で同時に使用する HW 転送チャネル数, DES の Chain 数, 各転送の転送データ量などを考慮して適宜選択してください。CFG.SWPR の設定値は、DSTC の転送動作中であっても書き換えることが可能です。書換えを行った場合、次の SW 起動指示から設定値が適用されます。

3.2.6 リードスキップバッファ機能

DSTC の転送エンジンは、メモリ上の DES の転送情報を参照し、転送動作を行います。1 回の起動指示ですべての転送が終了しない場合、DES の転送実施回数, 転送アドレス値の情報を各 DES にライトバックします。転送アドレスが固定値の場合など、更新不要な場合はライトバック処理をスキップします。次回の起動指示時、更新した DES 情報に基づき転送動作を継続します。

起動指示ごとに、DES 参照を行うと、処理時間が必要になるため、DSTC には、Figure 3-5 に示すようなリードスキップバッファ機能があります。DSTC は、読み出した DES の転送情報を、内部のリードスキップバッファに格納します。次の起動指示が同じ DESP を参照する場合、メモリ上の DES 参照を行わず、リードスキップバッファの値を利用することで、処理の高速化を行っています。

CFG.RBDIS レジスタの設定により、上記のリードスキップバッファ機能の有効無効を指定することができます。通常は、転送動作の高速化のため、リードスキップバッファ機能は有効状態で使用してください。CFG.RBDIS レジスタに 1 を書き込み、リードスキップバッファ機能を無効化すると、DES 参照は、必ずメモリ上から直接行われます。

CPU から DES0.DV の値を 10 に書換えを行って、DSTC の転送動作を停止(無限ループアウト)させたい場合は、DES0.DV の書換え後、CFG.RBDIS の値の変更により、リードスキップバッファに格納されている DES 情報の無効化を行ってください。リードスキップバッファ機能が有効のままの状態では、DSTC は DES 参照をスキップし、CPU からの DV の値の変更を認識できない場合があります。「5.5. CFG レジスタ」を参照してください。

3.2.7 転送終了処理

DSTC は、転送処理を正常終了した場合、DES 指定に応じて、Chain 起動、割込みフラグ(SWTR.SWST or HWINT[n])のセット、DES のクローズ処理を行います。

転送エラーが発生した場合、転送処理はその時点で中断され、エラー終了します。Chain 起動は行いません。また、割込みフラグ(SWTR.SWST or HWINT[n])のセットは行わず、代わりに MONERS レジスタに、エラー発生内容を記録します。エラー内容により DES クローズ処理する場合としない場合があります。

HW 転送で、転送エラーが発生した場合、該当するチャネルの DQMSK[n]レジスタをセットし、以降のそのチャネルの HW 転送要求を抑止します。

エラーを発生させた DES の内容は、転送途中の状態のままであるため、新規に転送を開始する場合、CPU から DES 領域を再構築する必要があります。

3.2.8 MONERS レジスタ

転送エラー発生時、MONERS レジスタに、発生したエラー内容が記録されます。Table 3-12 に MONERS レジスタの表示内容を示します。

Table 3-12 MONERS の内容

領域名	名称	内容
MONERS	EST[2:0]	発生したエラー内容を表示します。 000：エラー発生無 001：Source アクセスエラー 010：Destination アクセスエラー 011：転送強制停止 100：DES アクセスエラー 101：DES オープンエラー その他：未定義
	DER	転送エラーの二重発生有無を示します。 0：転送エラーの二重発生がないことを示します。 1：転送エラーの二重発生があることを示します。
	ESTOP	エラーストップ状態であるかどうかを示します。 0：エラーストップ状態でないことを示します。 1：エラーストップ状態であることを示します。
	EHS	エラーを発生させた DES が HW 起動であるか SW 起動であるかを示します。 0：SW 起動もしくはそこからの Chain 起動による転送にてエラー発生 1：HW 起動もしくはそこからの Chain 起動による転送にてエラー発生
	ECH	エラーを発生させた DES が HW 起動の場合、HW チャネル番号を示します。
	EDESP	エラーを発生させた DES の DESP を示します。

MONERS レジスタを参照することにより、発生した転送エラー内容を確認することができます。MONERS.EST にエラー発生 がセットされた時に、CFG.ERINTE レジスタの設定により、ERINT 割込みを許可できます。ERINTE=1 の場合、NVIC 対する ERINT 割込み信号がアサートされます。MONERS レジスタの値と ERINT 割込みは、CMD レジスタに対する ERCLR コマンドによりクリアすることができます。以下に発生するエラー内容について説明します。

DES アクセスエラー

DSTC が、DESTP＋DESP の DES 領域を参照する際、以下のどちらかが発生すると、転送処理をエラー終了(DES アクセスエラー)します。MONERS.EST に 100 をセットします。この場合 DES クローズ処理は行いません。

- 演算した DES 領域アドレス値がオーバフロー (0x0000 0000-0xFFFF FFFF の範囲外)した場合
- DES 領域アクセス時に、システムよりバスエラー応答を受け取った場合

DES オープンエラー

DSTC が、DESTP＋DESP の領域を参照後、DES0,DES1 の値が以下のいずれかの条件に該当した場合、DES 指定値異常と判断し、転送処理をエラー終了(DES オープンエラー)します。MONERS.EST に 101 をセットします。この場合 DES クローズ処理は行いません。

- DV[1:0]==00　(DES 所有権なし)
- PCHK[3:0] != (DES0[27:24] ^ DES0[23:20] ^ DES0[19:16] ^ DES0[15:12] ^ DES0[11:8] ^ DES0[7:4]) (DES0 パリティエラー)

- DES0 の予約領域 2bit のいずれかの bit が 1(指定値異常)
- TW[1:0]==11　(指定値異常)
- CHRS[5:4]==11 (指定値異常)
- (CHRS[5]==0) &&(CHRS[3]==0)&&(CHRS[1]==0) &&(CHLK ==1)　(Chain 指定異常)
- (MODE==0) && (CHRS[1:0] != 00)　（指定値異常）
- (MODE==0)&&(ORM==0x0000) && (IIN≧0x2000)　(モード 0 時カウント値許容範囲外)
- (MODE==0)&&(ORM≧0x8000) && (IIN≧0x4000)　(モード 0 時カウント値許容範囲外)
- (MODE==0)&&(ORM≧0x4000) && (IIN≧0x8000)　(モード 0 時カウント値許容範囲外)
- (MODE==0)&&(ORM≧0x2000) &&(IIN ==0x0000)　(モード 0 時カウント値許容範囲外)
- (MODE==1)&&(IIN!=0x00)&&(IRM==0x00)　(モード 1 時カウント値許容範囲外)
- (MODE==1)&&(IIN!=0x00)&&(IRM>IIN)　(モード 1 時カウント値許容範囲外)
- (MODE==0)&&(DV[1]==1)&&(ORL[0]==0)&& (ORM != 0x0001) (カウンタリロード指定異常)
- (MODE==1)&&(DV[1]==1)&&(ORL[0]==0)&& (ORM != 0x0001) (カウンタリロード指定異常)
- (MODE==1)&&(DV[1]==1)&&(ORL[0]==0) && (IRM != 0x01)　(カウンタリロード指定異常)
- (MODE==1)&&(DV[1]==1)&&(ORL[0]==0)&& (IIN != 0x01)　(カウンタリロード指定異常)
- (DV[1]==1)&&(SAC[0]==0)&&(ORL[1]==0)　(転送元アドレス・リロード指定異常)
- (DV[1]==1)&&(DAC[0]==0)&&(ORL[2]==0)　(転送先アドレス・リロード指定異常)

Source アクセスエラー

DSTC が、転送元アドレス領域にアクセスする際、以下のいずれかが発生すると、転送処理をエラー終了(Source アクセスエラー)します。MONERS.EST に 001 をセットします。同時に、DES0.ST に 01 を書き込み、DES クローズ処理を行います。

- 指定されている転送元開始アドレス値(SA)が、TW に対し Unaligned 値である場合
- インクリメント、デクリメント演算した転送元アドレス値がオーバフローした場合
- システムよりバスエラー応答を受け取った場合

Destination アクセスエラー

DSTC が、転送先アドレス領域にアクセスする際、以下のいずれかが発生すると、転送処理をエラー終了(Destination アクセスエラー)します。MONERS.EST に 010 をセットします。同時に、DES0.ST に 10 を書き込み、DES クローズ処理を行います。

- 指定されている転送先開始アドレス値(DA)が、TW に対し Unaligned 値である場合
- インクリメント、デクリメント演算した転送先アドレス値がオーバフローした場合
- システムよりバスエラー応答を受け取った場合

転送強制停止エラー

DSTC が転送動作中、CPU からスタンバイ移行コマンドを受け取ると、現在の転送処理をエラー終了(転送強制停止エラー)します。MONERS.EST に 011 をセットします。同時に、DES0.ST に 11 を書き込み、DES クローズ処理を行います。

DER と ESTOP の機能

転送エラーが発生した場合、エラーを発生させた DES の転送は中断し終了します。この後、ほかの DES に対する起動指示がある場合、その転送動作の開始有無は、CFG.ESTE(Error Stop Enable)レジスタの設定により選択することができます。

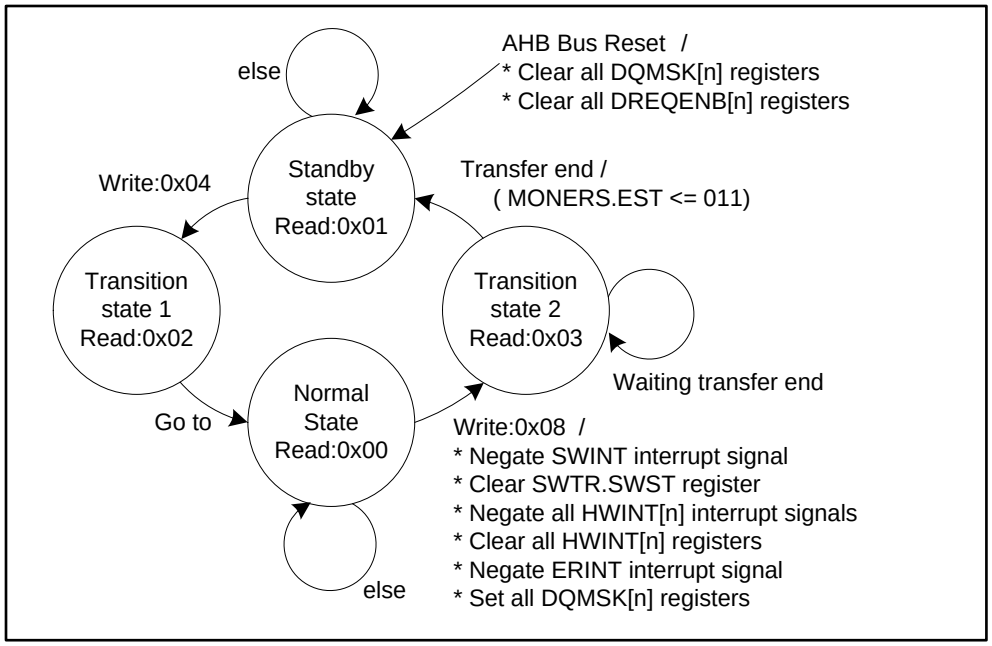
CFG.ESTE=0 の場合、転送エラーが発生した後、ほかの転送要求があれば、その転送動作を開始します。MONERS レジスタは、エラー情報を記録し、CPU からクリアされるまでは、そのエラー情報を保持しています。MONERS レジスタがエラー情報を保持(EST≠000)しており、CPU からクリアされるまでの間に、別の起動指示による転送がエラー終了した場合、DER(Double Error)レジスタに 1 をセットします。DER は、2 重エラーが発生したことを通知するレジスタです。2 回目のエラーについては、発生したことのみが通知されます。MONERS レジスタは、最初のエラー情報を保持しており 2 回目のエラー詳細内容については保持しません。また、3 回目以降のエラー発生については、MONERS レジスタには記録が保持されません。

CFG.ESTE=1 の場合、転送エラーが発生すると、エラーストップ状態に移行します。以降、ほかの転送要求を保留し、転送動作を開始しなくなります。MONERS.ESTOP(Error Stop)レジスタに 1 をセットし、エラーストップ状態であることを通知します。CPU から、CMD レジスタに対する ERCLR コマンドを発行すると、エラーストップ状態が解除され、保留していたほかの転送を再開します。

3.2.9 スタンバイ機能

低消費電力化のため、DSTC を動作させない場合に、DSTC の内部クロックを停止する機能(スタンバイ機能)をサポートしています。CMD レジスタに対するスタンバイ移行コマンド, スタンバイ解除コマンドにより、DSTC の状態を切り換えることができます。Figure 3-7 に、DSTC の状態遷移とスタンバイ関連コマンド発行時の動作内容の説明図を示します。

Figure 3-7 DSTC スタンバイ状態遷移図



DSTC には、スタンバイ状態, 遷移状態 1, 通常状態, 遷移状態 2 の 4 つの状態があります。CPU から、CMD レジスタの値を読み出すことで、DSTC がどの状態にあるかを確認できます。

バスリセット後、最初の状態は、スタンバイ状態です。CMD レジスタに対し、スタンバイ解除コマンド(0x04 の書込み)を発行すると、DSTC は遷移状態 1 を経て通常状態に移行します。

通常状態で、CMD レジスタに対し、スタンバイ移行コマンド(0x08 の書込み)を発行すると、DSTC は転送終了を待機するための遷移状態 2 に移行します。

遷移状態 2 で、DSTC の転送動作が行われていない場合は、直ちにスタンバイ状態に移行します。転送動作が行われている場合は、その転送を強制終了した後にスタンバイ状態に移行します。

スタンバイ移行コマンドの発行により、強制終了された転送がある場合、その転送の DES の ST に 11(強制終了コード)の書込みを行いクローズ処理します。また、MONERS.EST レジスタに 011 をセットします。HW 転送と SW 転送の両方の転送動作を受け付けている場合、両方の DES をクローズ処理します。

また、スタンバイ移行コマンドを発行した場合、以下の処理を同時に行います。

- SWINT 割込み信号をネゲートし、SWTR.SWST レジスタをクリアします。
- すべての HWINT[n]レジスタをクリアし、すべての HWINT[n]割込み信号をネゲートします。
- ERINT 割込み信号をネゲートします。
- すべての DQMSK[n]レジスタをセットし、HW 転送要求を抑止します。

スタンバイ移行コマンドの発行で、ERINT 割込み信号をネゲートしますが、MONERS レジスタの値は保持されます。スタンバイ移行コマンドにより強制停止された転送がある場合、MONERS レジスタの値を読出し、その転送を確認することができます。なお、MONERS レジスタのエラー履歴のクリアは、通常状態でないと行えません。スタンバイ解除コマンドにより、通常状態に復帰した後に、MONERS レジスタを ERCLR コマンドにより、クリアしてください。

DQMSK[n]は、バスリセット後の初期値はすべて 0 です。スタンバイ移行コマンド発行により、すべてに 1 がセットされます。その後、通常状態への復帰後に HW 転送を開始する場合、Peripheral のセットアップと DES の再構築が完了後、使用する DQMSK[n]をクリアしてください。

DSTC の各状態における制御レジスタへのアクセス可否を Table 3-13 に示します。表中"○"印は、そのレジスタアクセスが機能することを示します。"－"印は、そのレジスタアクセスが DSTC 側から無視されて機能しないことを示します。"×"印は、DSTC 自体の状態変化により、処理結果が不定となります。"×"印のアクセスを行うことは禁止です。

スタンバイ状態, 遷移状態 1, 遷移状態 2 で、SWTR レジスタに書込みを行い、新規の SW 転送を開始することはできない(書込みアクセスが無視されます)ため、注意してください。

Table 3-13 DSTC 各状態における制御レジスタのアクセス可否

レジスタ名	レジスタアクセス内容	Stand-by State	Normal State	Transition State 1,2
CMD レジスタ	CMD レジスタリード	○	○	○
	スタンバイ解除コマンド(ライト)	○	－	－
	スタンバイ移行コマンド(ライト)	－	○	－
	SWCLR・ERCLR・MKCLR コマンド(ライト)	－	○	×
HWDESP[n] レジスタ	リードアクセス	－	○	×
	ライトアクセス	－	○	×
その他制御レジスタ	リードアクセス	○	○	○
	ライトアクセス	－	○	×

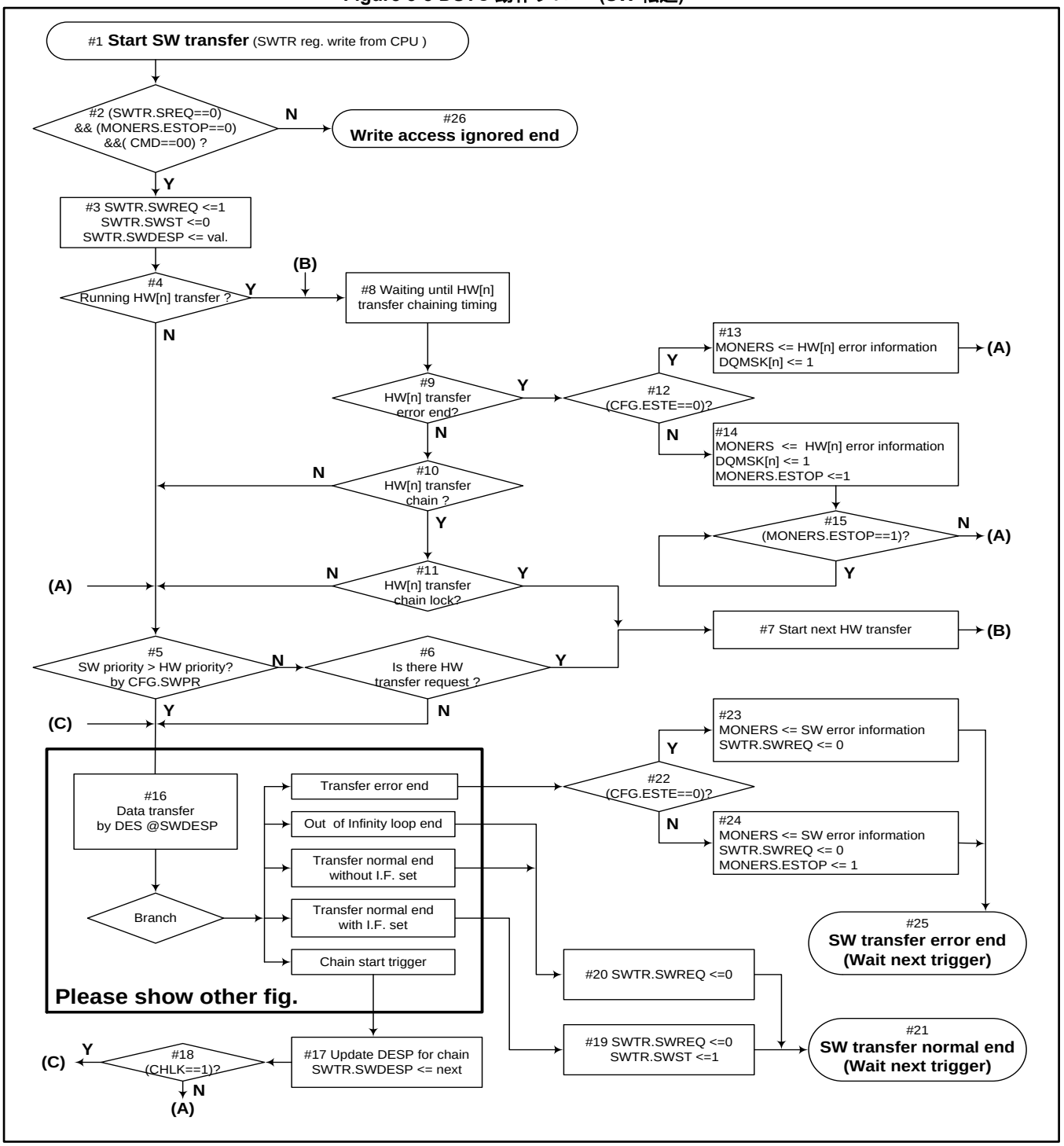
3.3 DSTC 動作フロー

DSTC の動作をフローチャートに沿って説明を行います。

3.3.1 SW 転送フロー

CPU から SW 起動指示後の DSTC の動作を以下に説明します。Figure 3-8 に DSTC の動作フローチャートを示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 3-8 DSTC 動作フロー (SW 転送)



#1　CPU からの SWTR レジスタへの書込みアクセスから開始します。

#2　(SWTR.SWREQ==0)&&(MONERS.ESTOP==0)&&(CMD==00)のレジスタ状態の場合、#3 へ、それ以外の場合#26 に進みます。

#3　SWTR.SWREQ に 1 をセットし、SWTR.SWST を 0 クリアします。SWTR.SWDESP に指定された値を格納します。

#4~#15 の処理は、Arbiter2 の動作処理内容と別 HW 転送の処理です。

#4　既に別の HW 転送を実行中の場合、#8 へ、それ以外の場合、#5 へ進みます。

#5　CFG.SWPR レジスタの設定に従い、SW 転送と HW 転送の優先判定を行います。SW 転送の優先順位が高い場合、#16 へ、それ以外の場合、#6 へ進みます。

#6　別の HW 転送の要求がある場合#7 へ、それ以外の場合、#16 へ進みます。

#7　別の HW 転送の転送を開始します。

#8　別の HW 転送が、DES の転送を終了するまで、#1 で起動した SW 転送の実行開始を待機します。

#9　別の HW 転送がエラー終了した場合、#12 へ、それ以外の場合、#10 へ進みます。

#10　別の HW 転送に Chain 起動転送が有る場合、#11 へ、それ以外の場合#5 へ進みます。

#11　別の HW 転送の Chain 起動転送がロックの場合、#7 へ、それ以外の場合#5 へ進みます。

#12　CFG.ESTE==0 の場合、#13 へ、それ以外の場合、#14 へ進みます。

#13　MONERS レジスタに、それまでにエラー履歴がない場合(EST[2:0]=000)は、エラーを発生させた別の HW 転送の DES のエラー情報を記録します。エラー履歴がある場合(EST[2:0]≠000)は、DER に 1 をセットします。#5 へ進みます。

#14　#13 と同じ処理を行います。同時に MONERS.ESTOP レジスタに 1 をセットし、#15 へ進みます。

#15　ESTOP レジスタが 1 の間は、#1 で起動した SW 転送の転送開始を保留します。CPU から CMD レジスタに対する ERCLR コマンドが発行され、ESTOP レジスタが 0 クリアされると、#5 へ進みます。

#16　太枠の部分は、指定された DESP の DES による DSTC の転送動作を示します。この部分の詳細は、「3.3.3　DESP 指定後の動作フロー」を参照して下さい。 SW 転送の場合、SWDESP により指定された DES により、転送動作を実行します。転送処理後、DSTC は図のような 5 種類の分岐を行います。

#17　Chain 起動の場合、SWTR.SWDESP の値を DSTC が更新します。

#18　CHLK=1 の場合、#16 へ進み Chain 起動された転送を連続実行します。それ以外の場合、#5 へ進みます。

#19　転送が正常終了し、割込みフラグセット指示有の場合、#19 の処理を行います。SWTR.SWREQ を 0 にクリアし、SWTR.SWST に 1 をセットします。

#20　転送が正常終了し、割込みフラグセット指示無の場合、#20 の処理を行います。SWTR.SWREQ を 0 にクリアします。

#21　#1 の SW 起動指示による SW 転送を終了します。DSTC は、新規または継続の起動指示の待機状態になります。SWTR.SWDESP には、転送を終了させた DES の DESP が保持されています。

#22　転送がエラー終了した場合、CFG.ESTE=0 の場合、#23 へ、それ以外の場合#24 へ進みます。

#23　MONERS レジスタに、それまでにエラー履歴がない場合は、エラーを発生させた SW 転送の DES のエラー情報を記録します。エラー履歴がある場合は、DER に 1 をセットします。SWTR.SWREQ を 0 にクリアします。

#24　#23 と同じ処理を行います。同時に MONERS.ESTOP レジスタに 1 をセットし、他の HW 転送の転送開始を保留します。

#25　#1 の SW 起動指示による SW 転送をエラー終了します。CHRS の値によらず、SWTR.SWST はセットしません。DSTC は、新規の起動指示の待機状態になります。

#26　#1 の CPU からの SWTR レジスタへの書込みアクセス時、#2 の条件を満たさない場合、DSTC は、SWTR レジスタへの書込みアクセスを無視します。SW 起動指示は受け付けられません。

SW 転送時の DSTC 制御に関する補足事項

#2 の条件を満たさない場合、すなわち、それ以前に、SW 起動指示が行われており、その SW 転送が終了していない場合(SWREQ≠0)、通常状態以外の場合(CMD≠00)、エラーストップ状態の場合(ESTOP≠0)は、DSTC は、CPU から新規の SW 起動指示を無視し、受け付けないので、注意してください。

特に、CFG.ESTE=1 で使用する場合は注意が必要です。別の HW 転送により、DSTC がエラーストップした場合、新規の SW 起動指示(レジスタ書込み)は無視され、SWREQ に 1 がセットされません。このため、SWTR レジスタに書込み後、SWTR.SWREQ から 0 を読出した場合に、SW 起動指示が無視されたのか、既に SW 転送が終了しているのかの判別ができないことがあります。上記理由により、CFG.ESTE=1 で使用する場合、SW 転送の DES0.CHRS は、Chain 起動を行わない場合は、常に SWTR.SWST をセットする指定で使用してください。この指定の場合、SWTR レジスタの書込み後、SWREQ と SWST の両方の読出し値が 0 の場合、転送要求が受け付けられなかったことを示します。転送要求が受け付けられていれば、SWREQ と SWST のいずれかが 1 であるため、判別をすることが可能です。

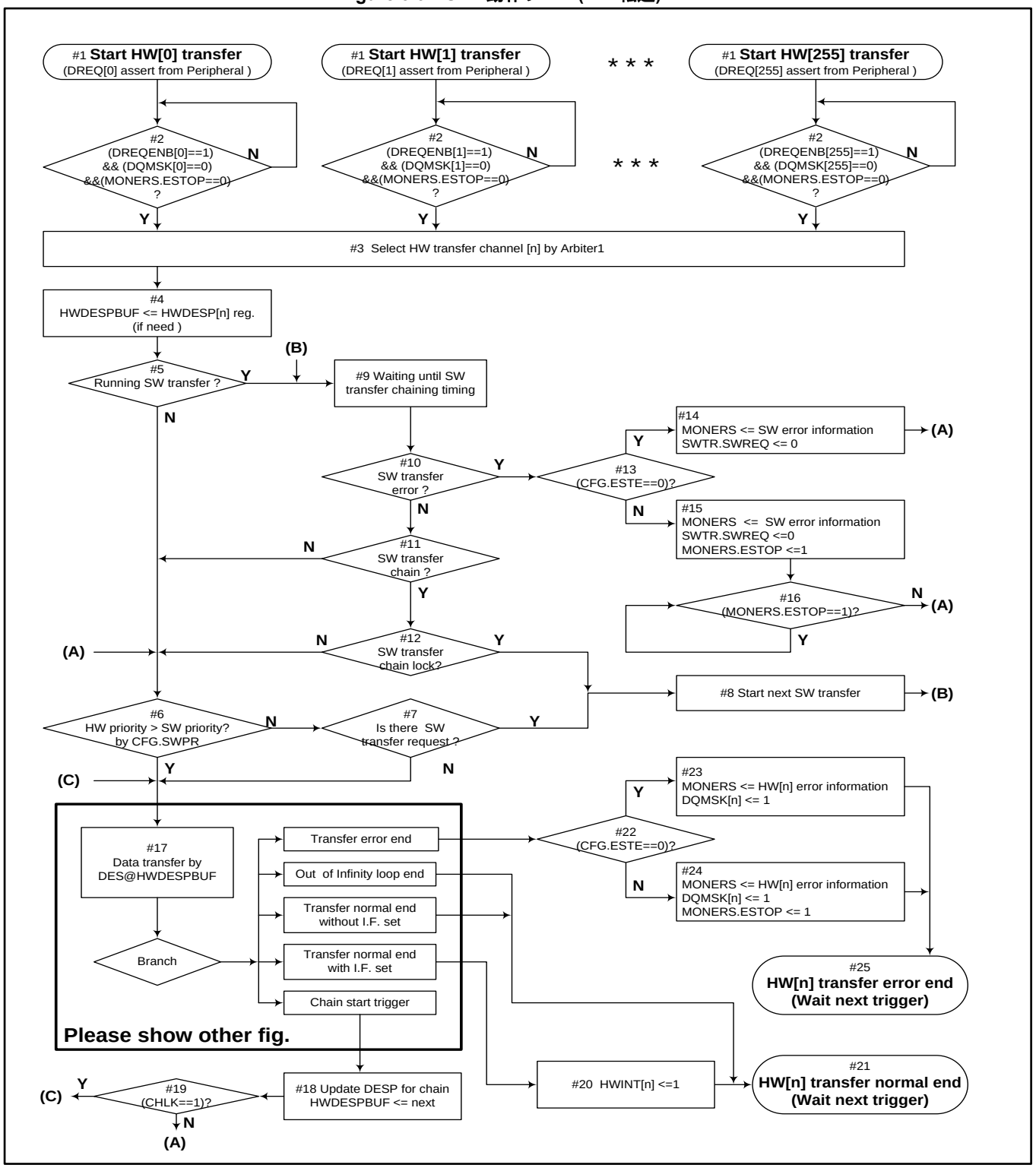
SWST を利用し SWINT 割込み信号をアサートしている場合､割込み処理の中で SWCLR コマンドにより、SWST を 0 クリアしてください。SWST の 0 クリアを行わなくても、SWTR レジスタへの書込みによる新規の SW 起動指示は可能です。但し、#3 の処理で、SWST は必ず 0 クリアされ、SWINT 割込み信号がネゲートされます。

#4 で、既に他の HW 転送を実施している場合、また、その HW 転送の Chain 起動がロックされている場合は、SW 起動の優先順位設定が高くても、SW 転送を開始するまでに時間を要する場合があるため、注意してください。

3.3.2 HW 転送フロー

Peripheral から HW 起動指示後の DSTC の動作を以下に説明します。Figure 3-9 に DSTC の動作フローチャートを示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 3-9 DSTC 動作フロー(HW 転送)



#1 Peripheral からの DREQ[n]信号のアサートから開始します。

#2 (DREQENB[n]==1)&& (DQMSK[n]==0) &&(MONERS.ESTOP==0)のレジスタ状態の場合、#3 へ進みます。
DQMSK[n]レジスタ、ESTOP レジスタがセットされている場合、DSTC は、Peripheral からの DREQ[n]信号を無視し、転送開始を保留します。

#3 #3 の動作は、Arbiter1 の動作です。複数の HW チャネルから転送要求がある場合、転送を実行する HW チャネル番号(n)を選択します。他のチャネルの HW 転送要求は、選択した HW[n]転送が、正常終了、エラー終了、起動指示待ち状態になるまで、保留します。

#4 選択したチャネル番号(n)に基づき、HWDESP[n]レジスタの DESP 値を HWDESPBUF に格納します。チャネル番号が前回参照と同じで、HWDESPBUF の値が有効の場合、HWDESP[n]レジスタの参照は省略します。

#5~#16 の処理は、Arbiter2 の動作処理内容と別 SW 転送の処理です。「3.3.1 SW 転送フロー」の#4~#15 と同様の処理を行います。別途、SW 起動の要求があり、SW 起動の優先順位が高い、もしくは SW 転送の Chain 起動がロックされている場合、SW 転送を先に処理します。また、SW 転送がエラー終了すれば、MONERS レジスタに、SW 転送のエラー情報を記録します。SW 転送のエラー終了により、ESTOP となった場合、HW[n]の HW 転送開始を保留します。

#17 太枠の部分は、指定された DESP の DES による DSTC の転送動作を示します。この部分の詳細は、「3.3.3 DESP 指定後の動作フロー」を参照して下さい。HW 転送の場合、HWDESP により指定された DES により、転送動作を実行します。転送処理後、DSTC は図のような 5 種類の分岐を行います。

#18 Chain 起動の場合、HWDESPBUF を更新します。

#19 CHLK=1 の場合、#17 へ進み Chain 起動された転送を連続実行します。それ以外の場合、#6 へ進みます。

#20 転送が正常終了し、割込みフラグセット指示有の場合、HWINT[n]に 1 をセットします。

#21 #1 の HW 起動指示による転送を終了します。DSTC は、新規または継続の起動指示の待機状態になります。#3 で他のチャネルの HW 起動指示を保留している場合、Arbiter1 が転送を実行するチャネルを選択し、その処理が#4 に進みます。

#22 転送がエラー終了した場合、CFG.ESTE=0 の場合、#23 へ、それ以外の場合、#24 へ進みます。

#23 MONRES レジスタに、それまでにエラー履歴がない場合、実行している HW 転送のエラー情報を記録します。エラー履歴がある場合、DER に 1 をセットします。また、DQMSK[n]レジスタに 1 をセットし、以降の HW チャネル n の転送要求を抑止します。

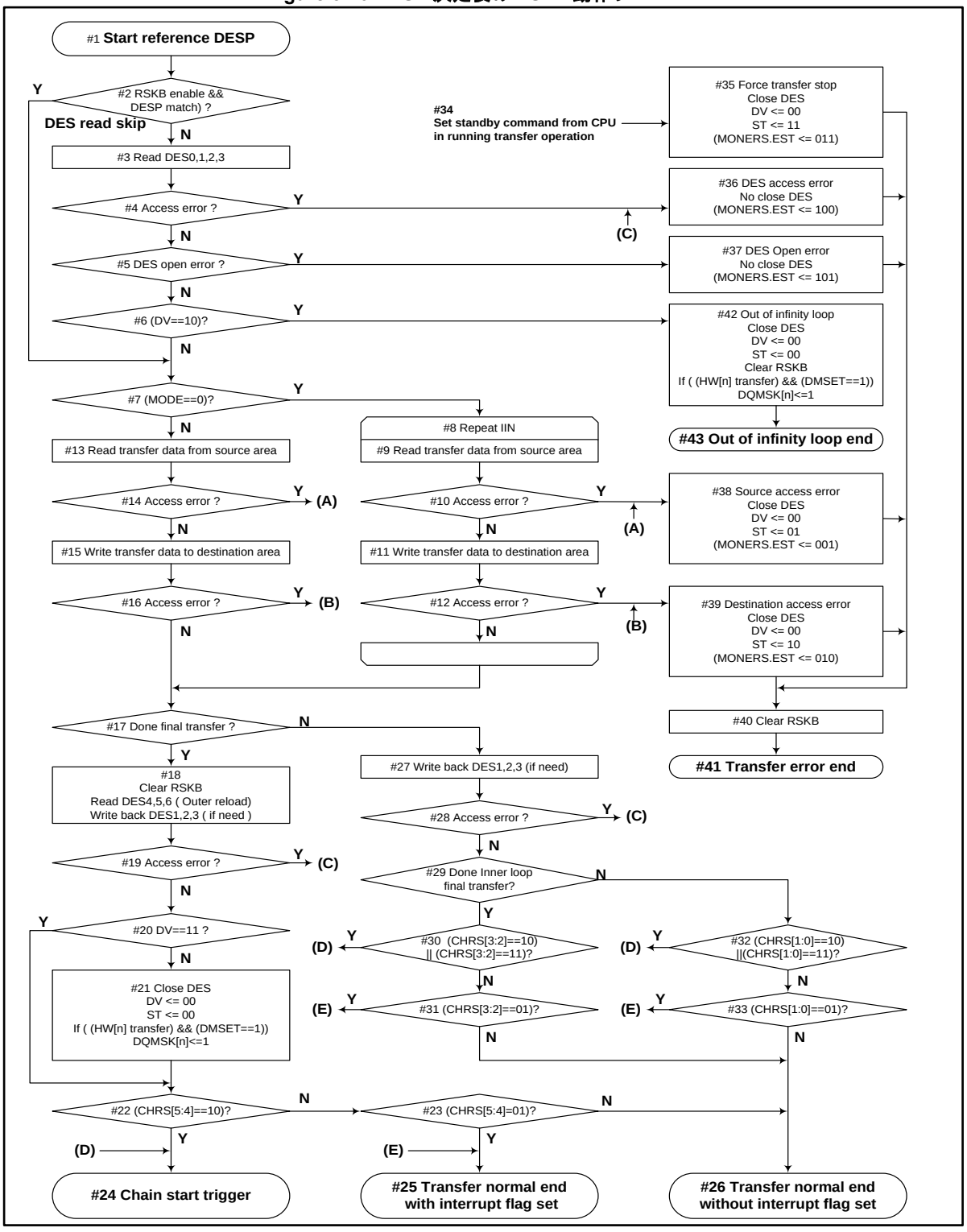
#24 #23 と同じ処理を行います。同時に、MONERS.ESTOP レジスタに 1 をセットし、他の起動転送の開始を保留します。

#25 #1 の HW 起動指示による転送をエラー終了します。CHRS の値によらず、HWINT[n]レジスタはセットしません。DSTC は、新規の起動指示の待機状態になります。#3 で他のチャネルの HW 起動指示が保留されている場合、Arbiter1 が転送を実行するチャネルを選択します。その処理は、#4 に進みます。

3.3.3 DESP 指定後の動作フロー

DESP 指定後の DSTC の動作を以下に説明します。Figure 3-10 に DESP 指定後の DSTC の動作フローチャートを示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 3-10 DESP 決定後の DSTC 動作フロー



#1　Arbiter2 により、指定された DESP の参照から開始します。

#2　リードスキップバッファの機能が有効（CFG.RBDIS=0）であり、かつ前回参照している DESP と同じ DESP の場合、メモリ領域の DES 参照をスキップします。#7 へ進みます。そうでない場合、#3 へ進みます。

#3~4　指定された DESTP+DESP の領域の DES を読出します。DES 領域の参照時アクセスエラーが発生した場合、#36 へ、それ以外の場合、#5 へ進みます。

#5　DES 内容の確認を行います。DES オープンエラーが発生した場合、#37 へ、それ以外の場合、#6 へ進みます。

#6　DES0.DV=10 の場合、#42 へ、それ以外の場合、#7 へ進みます。

#7　DES0.MODE=0 の場合、#8 へ、それ以外の場合、#13 へ進みます。

#8~12　モード 0 の転送が指定されている場合、DES1.IIN に指定されている回数の転送を連続して行います。
転送元アクセス時アクセスエラーが発生した場合、#38 へ、転送先アクセス時アクセスエラーが発生した場合、#39 へ、それ以外の場合、#17 へ進みます。

#13~16　モード 1 の転送が指定されている場合、1 回の転送を行います。転送元アクセス時アクセスエラーが発生した場合、#38 へ、転送先アクセス時アクセスエラーが発生した場合、#39 へ、それ以外の場合、#17 へ進みます。

#17　IIN×ORM 回の転送を終了している場合、（内部転送回数カウンタの値が、ORM=1,IRM=1 の場合）#18 へ、それ以外の場合、#27 へ進みます。

#18~19　リードスキップバッファのクリアを行い、DES0.ORL の指定に従い、必要な値を DES4-6 領域から読出し、DES1-3 領域へライトバックします。DES 領域の参照更新時アクセスエラーが発生した場合、#36 へ、それ以外の場合、#20 へ進みます。

#20　DES0.DV=11 の場合、#22 へ、DES0.DV=01 の場合、#21 へ進みます。（DES0.DV=00 の場合は、#5 で#37 に分岐済みです。DES0.DV=10 の場合、#6 で#42 に分岐済みです。）

#21　DES のクローズ処理を行います。DES0.DV=00、DES0.ST=00 の更新を行います。HW 起動指示の転送（もしくは HW 起動指示からの Chain 転送）であって、DES0.DMSET=1 の場合は、DQMSK[n] に 1 をセットし、それ以降のチャネル n の HW 転送要求を抑止します。

#22~23　DES0.CHRS[5:4]=10 の場合、#24 へ、DES0.CHRS[5:4]=01 の場合、#25 へ、DES0.CHRS[5:4]=00 の場合、#26 へ進みます。（DES0.CHRS[5:4]=11 の場合は、#5 で#37 に分岐済みです。）

#24　Chain 起動転送を行います。#1 で指定された DESP の転送は正常終了です。以降の動作は前節を参照ください。

#25　割込みフラグをセットする条件で、#1 で指定された DESP の転送は正常終了です。以降の動作は前節を参照ください。

#26　割込みフラグをセットしない条件で、#1 で指定された DESP の転送は正常終了です。以降の動作は前節を参照ください。

#27~28　次回起動指示時の転送に必要な値を DES1-3 領域へライトバックします。DES 領域の更新時アクセスエラーが発生した場合、#36 へ、それ以外の場合、#29 へ進みます。

#29　MODE=0 の場合は、必ず#30 に分岐します。MODE=1 の場合で、内ループ回数の転送を終了している場合、（内部転送回数カウンタの値が、ORM≠1,IRM=1 の場合）#30 へ、それ以外の場合、#32 へ進みます。

#30~31　DES0.CHRS[3:2]=10 もしくは 11 の場合、#24 へ、DES0.CHRS[3:2]=01 の場合、#25 へ、DES0.CHRS[3:2]=00 の場合、#26 へ進みます。

#32~33　DES0.CHRS[1:0]=10 もしくは 11 の場合、#24 へ、DES0.CHRS[1:0]=01 の場合、#25 へ、DES0.CHRS[1:0]=00 の場合、#26 へ進みます。

#34　転送動作中、CPU よりスタンバイ移行コマンドが発行された場合、転送処理を中断します。#35 へ進みます。

#35　転送強制停止の場合、DES のエラークローズ処理を行います。DES0.DV=00、DES0.ST=11 の更新を行います。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 011 をセットします。

#36　DES アクセスエラーの場合、DES のエラークローズ処理は行いません。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 100 をセットします。

#37　DES オープンエラーの場合、DES のエラークローズ処理は行いません。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 101 をセットします。

#38　転送元アクセスエラーの場合、DES のエラークローズ処理を行います。DES0.DV=00、DES0.ST=01 の更新を行います。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 001 をセットします。

#39　転送先アクセスエラーの場合、DES のエラークローズ処理を行います。DES0.DV=00、DES0.ST=10 の更新を行います。#40 へ進みます。MONERS レジスタにエラー履歴がない場合、MONERS.EST に 010 をセットします。

#40～#41　リードスキップバッファのクリアを行います。#1 で指定された DESP の転送はエラー終了です。
以降の動作は前節を参照ください。

#42～#43　リードスキップバッファのクリアを行います。DES のクローズ処理を行います。DES0.DV=00、DES0.ST=00 の更新を行います。HW 起動指示の転送（または HW 起動指示からの Chain 転送）であって、DES0.DMSET=1 の場合は、DQMSK[n]に 1 をセットし、それ以降の HW 転送要求を抑止します。#1 で指定された DESP の転送は無限ループアウト終了です。以降の動作は前節を参照ください。

4. DSTC の動作例と制御例

DSTC の動作例と制御例を説明します。

4.1. 転送動作例 1
4.2. 転送動作例 2
4.3. 転送動作例 3
4.4. 転送動作例 4
4.5. 転送動作例 5
4.6. DSTC 制御例

4.1 転送動作例 1

転送動作例 1 の説明を行います。この例は、モード 0 の SW 転送です。

転送開始時の DES 設定値

Table 4-1 に、転送動作例 1 の DES の指定内容を示します。ORL[2:0]=101 を指定しているので、DES5 の領域は存在しません。DES は、DES0～DES4, DES6 の 6word の構成です。(DES6 のアドレスが DESP+0x0014 であることに注意してください。)

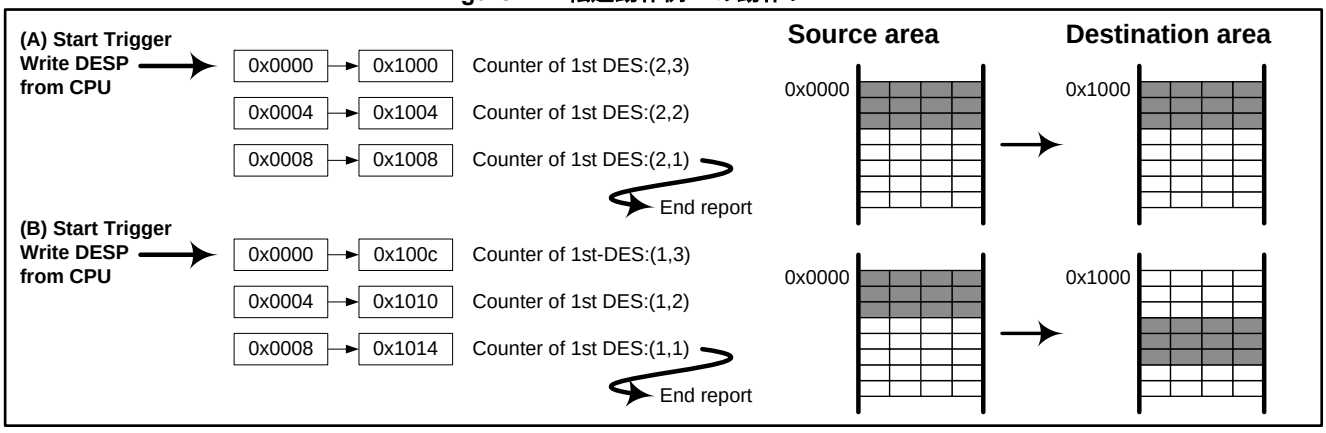
Table 4-1 転送動作例 1 の転送開始時 DES 値

Address	DES No.	値
DESP+0x0000	DES0	DES0＝0x901406A1 DV=01：転送終了時に DES クローズ MODE=0, TW=10：モード 0、32bit（Word）転送 ORL=101：DES1<=DES4,DES3<=DES6 の OuterReload SAC=001：TW×1 のインクリメント InnerReload 有 DAC=000：TW×1 のインクリメント InnerReload 無 CHRS=010100：Chain 起動無、割込みフラグセット有 DMSET=0：SW 転送なので 0 指定 CHLK=0：Chain ロック無 ACK=00：SW 転送なので 00 指定 PCHK=1001：Parity
DESP+0x0004	DES1	ORM = 0x0002, IIN = 0x0003
DESP+0x0008	DES2	SA=0x0000 0000
DESP+0x000C	DES3	DA=0x0000 1000
DESP+0x0010	DES4	ORM = 0x0002, IIN = 0x0003（DES1 と同じ値）
DESP+0x0014	DES6	DA=0x0000 1000（DES3 と同じ値）

転送動作フロー

Figure 4-1 に転送動作例 1 の転送動作フローを示します。図の(A),(B)の起動指示は、CPU からの SWTR レジスタへの DESP の書込みアクセスを示します。

Figure 4-1 転送動作例 1 の動作フロー



DSTC は、(A)の起動指示により、DES の転送を開始します。図の四角枠の中の値は転送元アドレスと転送先アドレスを示します。0x0000 番地から 0x1000 番地への 32bit 転送から開始します。IIN=3 回の 32bit

転送を連続して行います。DES の転送回数カウンタは、転送開始時は、外ループカウンタ残量(ORM)=2, 内ループカウンタ残量(IRM)=3 です。図ではこの転送回数カウンタの残量値を(2,3)と表記しています。3 回の転送後、転送回数カウンタは(2,1)となります。ORM≠1, IRM=1 ですので、次の処理判断に CHRS[3:2] の値を使用します。CHRS[3:2]=01 の指定により、SWTR.SWST をセットし、次の起動指示を待機します。

DSTC は、(B)の起動指示により、DES の転送を再開します。SA にはアドレスの InnerReload が適用されます。DA は継続インクリメントです。0x0000 番地から 0x100C 番地への 32bit 転送から再開します。IIN=3 回の転送を連続して行います。転送回数カウンタは、(1,3)よりカウント開始し、3 回の転送後、(1,1)です。ORM=1, IRM=1 のため、DES の DV=01 の設定により、DES のクローズ処理を行います。次の処理判断に CHRS[5:4]の値を使用します。CHRS[5:4]=01 の指定により、SWTR.SWST をセットします。

転送終了後の DES 格納値

転送動作例 1 の転送が正常に終了すると、DES の値は、Table 4-2 のように更新されます。表中太字の個所の値は、転送開始前とは異なる値です。ORL の指定により、DES1, DES3 には、DES4, DES6 の値がコピーされ、転送開始前と同じ値が復帰します。DES2 は OR[1]=0 ですが、InnerReload の指定により、転送開始前と同じ値になります。DV の値を 00 に更新し、DES の所有権を CPU に返却します。ST の値を 00 に更新し、転送の正常終了を通知します。

次回、この DES を利用して転送をする場合は、CPU から DV の値を更新する必要があります。

Table 4-2 転送動作例 1 の転送終了後 DES 値

DES No.	値
DES0	**DV=00、ST=00** その他の値は転送開始前と同じ値
DES1	転送開始前と同じ値
DES2	転送開始前と同じ値
DES3	転送開始前と同じ値
DES4	転送開始前と同じ値
DES6	転送開始前と同じ値

DSTC からの DES の処理

転送動作例 1 における DSTC からの DES 処理内容を以下に記載します。

(A)の起動指示後:

DES0 から転送指示内容を読出します。
DES1 から(2,3)を読出します。
DES2 から 0x0000 を読出します。.
DES3 から 0x1000 を読出します。

1 回目の転送終了後：:

DES1 に (1,3)を書き戻します。
DES2 は、同じ値なので、書き戻しを行いません。
DES3 に、0x100C を書き戻します。,

(B)の起動指示後:

* DES0 から転送指示内容を読出します。.
* DES1 から(1,3)を読出します。
* DES2 から 0x0000 を読出します。
* DES3 から 0x100C を読出します。

2 回目の転送終了後：:

OuterReload のため、DES4 から、DES1 に (2,3) をコピーします。
DES2 は、同じ値なので、書き戻しを行いません。
OuterReload のため、DES6 から、DES3 に 0x1000 をコピーします。
DES クローズのために、DES0 に書込みを行います。

(A)の起動指示と(B)の起動指示の間に、他の転送要求が無い場合、DSTC は、2 回目の転送の際、リードスキップバッファに格納されている DES0.1,2,3 の値を使用します。このため、上記で*印の付いている DES 処理は、スキップされます。詳細は、「3.3.3 DESP 指定後の動作フロー」を参照してください。

補足

(B)の起動指示は、(A)の起動指示による転送が終了し、起動指示待ち状態になってからでないと発行できません。SWTR.SWREQ=1 の状態では、SWTR レジスタへの書込み(SW 起動指示)は、無視されます。

(A)の起動指示による転送が終了し、起動指示待ち状態になれば、他の DES に対して、(B)以外の SW 起動指示を発行することができます。他の DES の SW 転送処理が終了後、SWTR レジスタへ同じ DESP を書き込むと、(B)の起動指示となり、(A)から継続した転送を再開します。

(A)の起動指示による転送終了後、(B)の起動指示が、絶対に必要な訳ではありません。 (B)の起動指示を行わず、転送を継続実施しないのであれば、(A)の転送処理が終了後（DES がクローズされていない状態であっても）、CPU がその DES 領域の書換えを行うことは問題ありません。

4.2 転送動作例 2

転送動作例 2 の説明を行います。この例は、モード 1 の HW 転送です。

転送開始時の DES 設定値

Table 4-3 に、転送動作例 2 の DES の指定内容を示します。ORL[2:0]=000 を指定しているため、DES4～DES6 の領域は存在しません。DES は、DES0～DES3 の 4word の構成です。

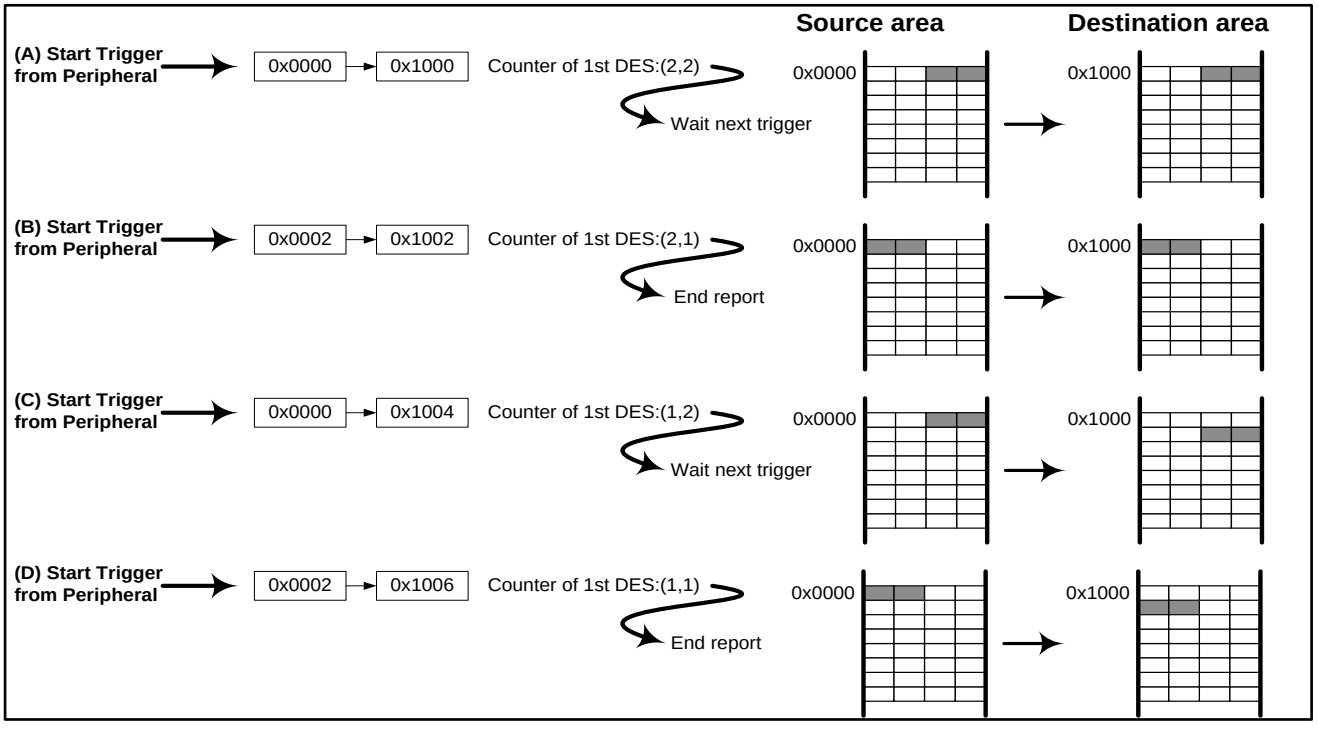
Table 4-3 転送動作例 2 の転送開始時 DES 値

Address	DES No.	値
DESP+0x0000	DES0	DES0＝0x01140511 DV=01：転送終了時に DES クローズ MODE=1,TW=01：モード 1、16bit（Half word）転送 ORL=000：OuterReload 無 SAC=001：TW×1 のインクリメント InnerReload 有 DAC=000：TW×1 のインクリメント InnerReload 無 CHRS=010100：Chain 起動無、割込みフラグセット有 DMSET=0：DES クローズ時に DQMSK[n]をセットしない CHLK=0：Chain ロック無 ACK=01：DREQ 信号から直接起動される DES なので 01 PCHK=0000：Parity
DESP+0x0004	DES1	ORM = 0x0002、IIN = 0x02、IRM=0x02
DESP+0x0008	DES2	SA=0x0000 0000
DESP+0x000C	DES3	DA=0x0000 1000

転送動作フロー

Figure 4-2 に転送動作例 2 の転送動作フローを示します。図の(A)の起動指示は、Peripheral からの DREQ[n]信号のアサートが該当します。起動前に DREQ[n]に対する DREQENB[n]、DQMSK[n]、HW-DESP[n]レジスタの値を DSTC に設定しておく必要があります。

Figure 4-2 転送動作例 2 の動作フロー



DSTC は、(A)の起動指示により、DES の転送を開始します。0x0000 番地から 0x1000 番地への 16bit 転送を 1 回行います。転送回数カウンタは、(2,2) です。IRM≠1 のため、DES の CHRS[1:0]=00 に従い、HWINT[n] をセットしません。次の起動指示を待機します。

DSTC は、 (B)の起動指示により、DES の転送を再開します。0x0002 番地から 0x1002 番地への 16bit 転送を 1 回行います。転送回数カウンタは、(2,1)です。ORM≠1、IRM=1 のため、DES の CHRS[3:2] =01 に従い、HWINT[n]をセットします。次の起動指示を待機します。

DSTC は、(C)の起動指示により、DES の転送を再開します。SA にはアドレスの InerReload が適用されます。DA は継続インクリメントです。0x0000 番地から 0x1004 番地への 16bit 転送を 1 回行います。転送回数カウンタは、(1,2)です。IRM≠1 のため、DES の CHRS[1:0]=00 に従い、HWINT[n]をセットしません。次の起動指示を待機します。

DSTC は、(D)の起動指示により、DES の転送を再開します。0x0002 番地から 0x1006 番地への 16bit 転送を 1 回行います。転送回数カウンタは、(1,1)です。ORM=1、IRM=1 のため、DES の DV=01 の設定により、DES のクローズ処理を行います。DES の CHRS[5:4] =01 に従い、HWINT[n]をセットします。

転送終了後の DES 格納値

転送動作例 2 の転送が正常終了すると、DES の値は、Table 4-4 のように更新されます。表中太字の個所の値は、転送開始前とは異なる値です。ORL=000 が指定されているため、この値のままでは、上記の転送と同じ転送を行うことはできません。CPU から DES の再構築を行う必要があります。

Table 4-4 転送動作例 2 の転送終了後 DES 値

DES No.	値
DES0	**DV=00、ST=00** その他の値は転送開始前と同じ値
DES1	**ORM = 0x0001, IRM = 0x01**, IIN は転送開始前と同じ値
DES2	転送開始前と同じ値
DES3	**DA=0x0000 1006**

4.3 転送動作例 3

転送動作例 3 の説明を行います。この例は、後続 DES の Chain 起動を用いる例を示します。

転送開始時の DES 設定値

転送動作例 3 は、Chain 起動を用いて、0x0000~0x00ff に存在するデータに対し、並べ替えを行い、0x0100~0x01FF の領域に転送する動作を示します。4 個の DES を使用します。それぞれを先頭から、1st-DES、2nd-DES、3rd-DES、4th-DES と呼称します。Table 4-5 にそれぞれの指定内容を示します。各 DES に、DES4 は存在しません。表では DES のアドレスを省略していますが、4 個の DES はメモリ上に順に隣接して配置されている必要があります。

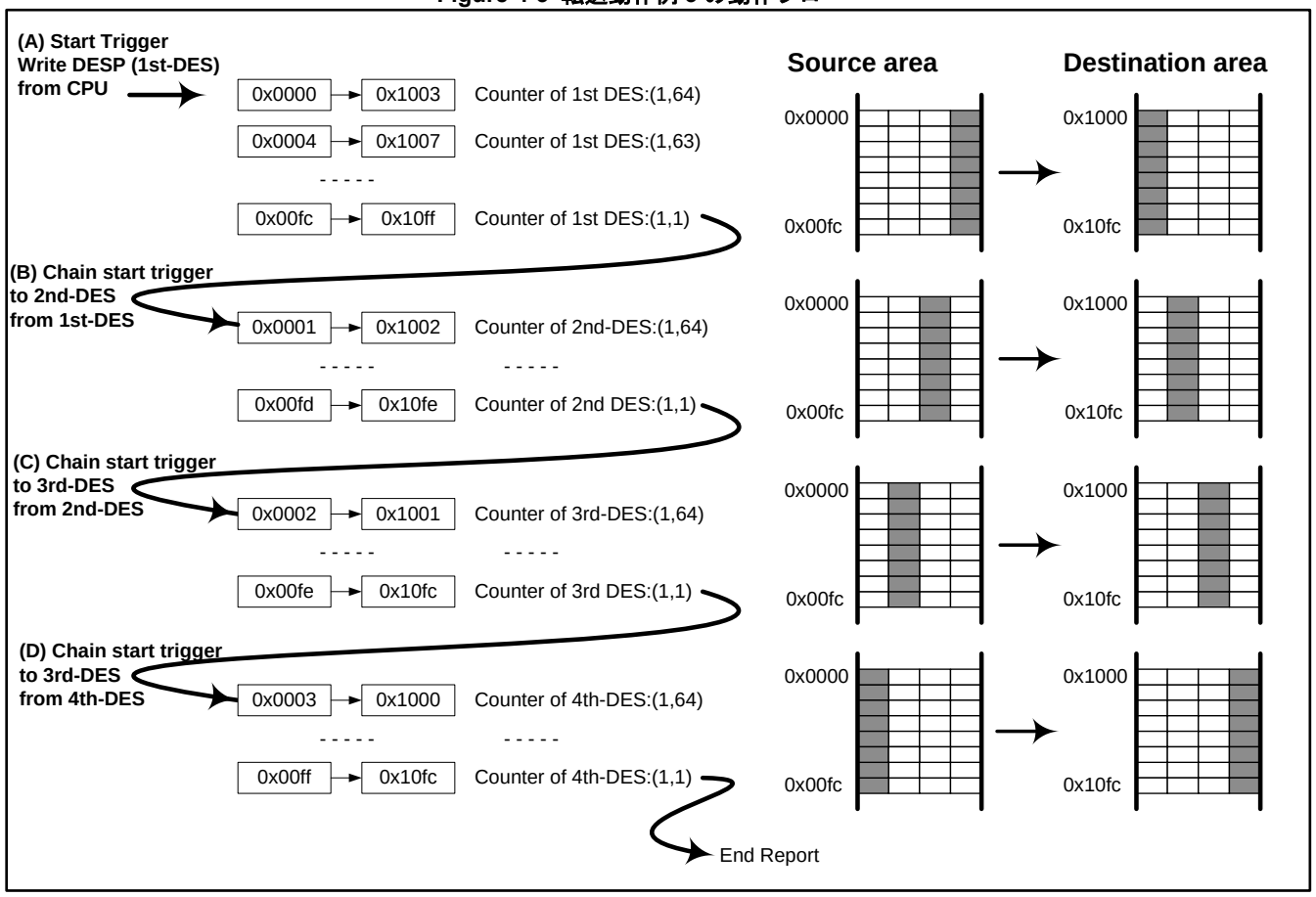
Table 4-5 転送動作例 3 の転送開始時 DES 値

領域	DES No.	値
1st-DES	DES0	DES0=0x702090C3 DV=11：転送終了時に DES クローズしない MODE=0,TW=00：モード 0、8bit（Byte）転送 ORL=110：DES2<=DES5,DES3<=DES6 の OuterReload SAC=100：TW×4 のインクリメント InnerReload 無 DAC=100：TW×4 のインクリメント InnerReload 無 CHRS=100000：後続 DES の Chain 起動有、割込みフラグセット無 DMSET=0：SW 転送なので 0 指定 CHLK=0：Chain ロック無 ACK=00：SW 転送なので 00 指定 PCHK=0111：Parity
	DES1	ORM = 0x0001, IIN = 0x0040
	DES2	SA=0x0000 0000
	DES3	DA=0x0000 1003
	DES5,6	それぞれ、1st-DES の DES2,3 と同じ値
2nd-DES	DES0	1st-DES の DES0 と同じ値
	DES1	1st-DES の DES1 と同じ値
	DES2	SA=0x0000 0001
	DES3	DA=0x0000 1002
	DES5,6	それぞれ、2nd-DES の DES2,3 と同じ値
3rd-DES	DES0	1st-DES の DES0 と同じ値
	DES1	1st-DES の DES1 と同じ値
	DES2	SA=0x0000 0002
	DES3	DA=0x0000 1001
	DES5,6	それぞれ、3rd-DES の DES1,DES2,DES3 と同じ値
4th-DES	DES0	DES0=0x401090C3 CHRS=010000：Chain 起動無、割込みフラグセット有 PCHK=0100：Partiy 他の設定は、1st-DES の DES0 と同じ値
	DES1	1st-DES の DES1 と同じ値
	DES2	SA=0x0000 0003
	DES3	DA=0x0000 1000
	DES5,6	それぞれ、4th-DES の DES2,3 と同じ値

転送動作フロー

Figure 4-3 に転送動作例 3 の転送動作フローを示します。図の(A)の起動指示は、CPU からの SWTR レジスタへの 1st-DES の DESP 書込みアクセスを示します。図の(B),(C),(D)の起動指示は、Chain 起動指示です。

Figure 4-3 転送動作例 3 の動作フロー



DSTC は、(A)の起動指示により、1st-DES の転送を開始します。0x0000 番地から 0x1003 番地への 8bit 転送を行い、次に、0x0004 番地から 0x1007 番地への 8bit 転送を行います。この順で IIN=64 回の転送を連続して行います。1st-DES の転送回数カウンタは、(1,64) からカウント開始し、64 回の転送後、(1,1) となります。1st-DES の DV=11 に従い、1st-DES のクローズ処理は行いません。1st-DES の CHRS[5:4]=10 に従い、後続の 2nd-DES の転送に Chain 起動指示が発生します。

DSTC は、(B)の Chain 起動指示により、2nd-DES の転送を開始します。64 回の 8bit 転送後、カウンタ値は(1,1)となります。2nd-DES の DV=11 に従い、2nd-DES のクローズ処理は行いません。2nd-DES の CHRS[5:4]=10 に従い、後続の 3rd-DES の転送に Chain 起動指示が発生します。

DSTC は、(C)の Chain 起動指示により、3rd-DES の転送を開始します。64 回の 8bit 転送後、カウンタ値は(1,1)となります。3rd-DES の DV=11 に従い、3rd-DES のクローズ処理は行いません。3rd-DES の CHRS[5:4]=10 に従い、後続の 4th-DES の転送に Chain 起動指示が発生します。

DSTC は、(D)の Chain 起動指示により、4th-DES の転送を開始します。64 回の 8bit 転送後、カウンタ値は(1,1)となります。4th-DES の DV=11 に従い、4th-DES のクローズ処理は行いません。4th-DES の CHRS[5:4]=01 に従い、SWTR.SWST をセットし、転送終了します。

転送動作例 3 のように、Chain 起動機能を使用すると複数の DES に定義された転送を、先頭の DES への起動指示のみで、一括して実行することができます。

転送終了後の DES 格納値

転送動作例 3 の転送が正常終了すると、DES の値は、ORL と DV=11 の指定により、すべての DES 領域が転送開始時と同じ値になります。DES のクローズ処理を行わないため、DV,ST の更新を行いません。次回転送時は、起動指示のみで、同じ転送を実行することができます。

4.4 転送動作例 4

転送動作例 4 の説明を行います。

転送開始時の DES 設定値

転送動作例 4 を以下に説明します。この例では、CHRS=11 を指定した際の現在の DES の再 Chain 起動について説明します。Table 4-6 に DES の指定内容をしめします。

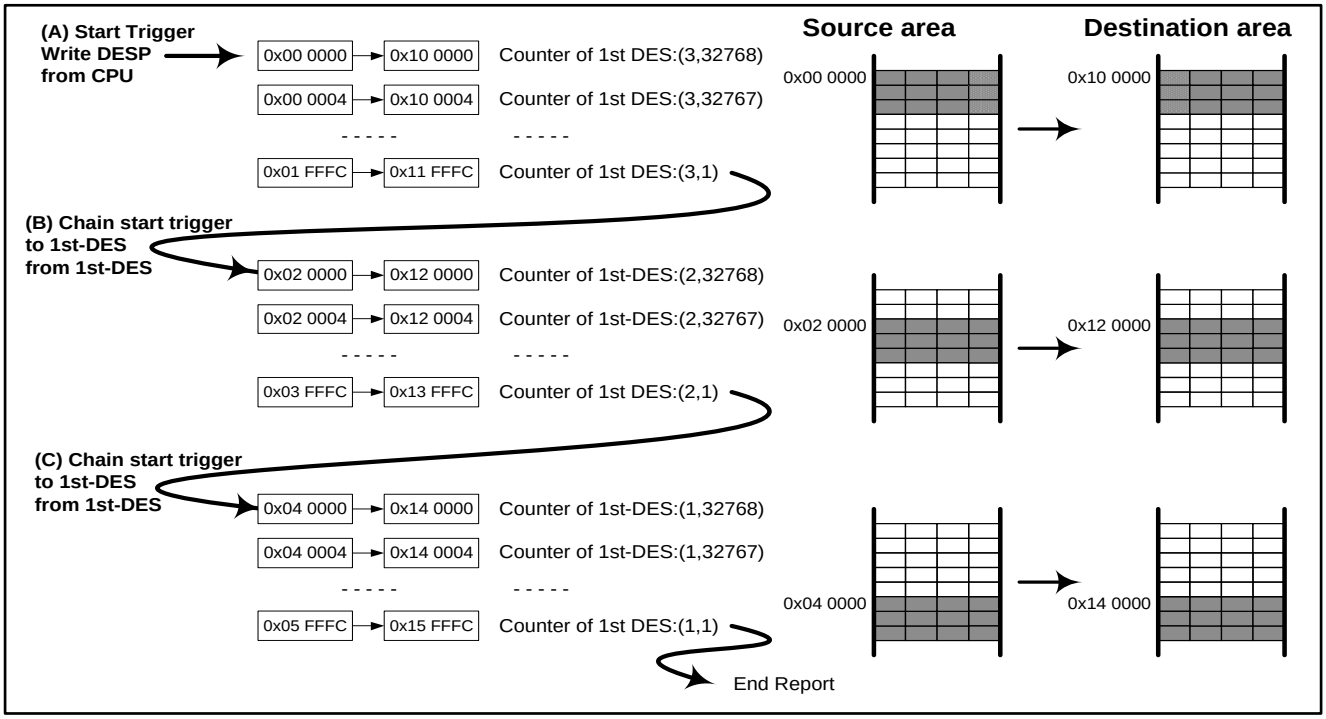
Table 4-6 転送動作例 4 の転送開始時 DES 値

DES No.	値
DES0	DES0=0xF01C0201 DV=01：転送終了時に DES クローズ MODE=0, TW=10：モード 0、32bit（Word）転送 ORL=000：OuterReload 無 SAC=000：TW×1 のインクリメント InnerReload 無 DAC=000：TW×1 のインクリメント InnerReload 無 CHRS=011100：現在の DES の Chain 起動有、割込みフラグセット有 DMSET=0：SW 転送なので 0 指定 CHLK=0：Chain ロック無 ACK=00：SW 転送なので 00 指定 PCHK=1111：Partity
DES1	ORM = 0x0003, IIN = 0x8000
DES2	SA = 0x0000 0000
DES3	DA = 0x0010 0000

転送動作フロー

Figure 4-4 に転送動作例 4 の転送動作フローを示します。図の(A)の起動指示は、CPU からの SWTR レジスタへの DESP 書込みアクセスを示します。図の(B),(C)の起動指示は、Chain 起動指示です。

Figure 4-4 転送動作例 4 の動作フロー



DSTC は、(A)の起動指示により、DES の転送を開始します。IIN=32768 回の 32bit 転送をアドレス・インクリメントして連続して行います。DES の転送回数カウンタは、(3,32768)からカウントし、32768 回の転送後、(3,1)です。DES の CHRS[3:2] =11 に従い、同じ DES の転送に再度 Chain 起動指示が発生します。

DSTC は、(B)の Chain 再起動指示により、DES の転送を再開します。同様に 32768 回の転送を行います。転送後、転送回数カウンタは、(2,1)です。DES の CHRS[3:2] =11 に従い、同じ DES の転送に再度 Chain 起動指示が発生します。

DSTC は、(C)の Chain 再起動指示により、DES の転送を再開します。同様に 32768 回の転送を行います。転送後、転送回数カウンタは、(1,1)です。DES の DV=01 に従い、この DES のクローズ処理を行います。DES の CHRS[5:4]=01 に従い、SWTR.SWST をセットし、転送終了します。

転送終了後の DES 格納値

転送動作例 4 では、転送終了後、DES の値は、Table 4-7 のように更新されます。表中太字の個所の値は、転送開始前とは異なる値です。DES2, DES3 の値は 3 回目の外ループの転送開始アドレスが格納されています。

Table 4-7 転送動作例 4 の転送終了後 DES 値

DES No.	値
DES0	**DV=00、ST=00**　その他の値は転送開始時と同じ値
DES1	**ORM = 0x0001**, IIN の値は転送開始時と同じ値
DES2	**SA = 0x0004 0000**
DES3	**DA = 0x0014 0000**

補足

上記のように、CHRS[3:2]=11 の設定により、現在の DES から現在の DES に対し再度 Chain 起動を発生させることができます。通常、MODE=0 の転送は、1 回の起動指示で、IIN 回の転送を行いますが、CHRS[3:2]=11 の設定により、1 回の起動指示で、ORM×IIN 回の転送をすべて実行することができます。

転送動作例 4 では、全部で 98304 回の転送を 3 分割して、3(=ORM)×32768(=IIN)の転送に分割して実行していますが、ORM と IIN の積が同じ値になる設定であれば、転送結果は同じになります。DSTC は一度転送を開始すると、起動指示待ち状態になるか、Chain 起動のタイミングでなければ、その他の転送要求の処理を開始できません。このため、動作例 4 のように、大量のデータ転送を行う場合、他の HW 転送要求の転送処理開始が遅れてしまうことが懸念されます。これを防ぐ必要がある場合、ORM の値を調節し、ORM と IIN の積が同じ値になるように転送処理を細分割化すると、別の HW 転送要求を遅滞なく DSTC に処理させることが可能になります。

逆に、Chain 起動のタイミングで、別の HW 転送要求を処理させたくない場合、CHLK=1 による Chain ロック設定を使用し、転送を連続実行することができます。

<注意事項>

- *HW 転送で、データ転送ごとに DSTC とのハンドシェイクが必要な Peripheral からの転送要求で実行される DES(MODE=1 で使用する必要のある DES)では、CHRS=11 とすることはできません。*

4.5 転送動作例 5

転送動作例 5 の説明を行います。

転送開始時の DES 設定値

転送動作例 5 を以下に説明します。この例では、より複雑な Chain 起動設定を行う場合の動作例を示します。3 個の DES を使用します。Table 4-8 に 1st-DES, 2nd-DES, 3rd-DES の指定内容を示します。

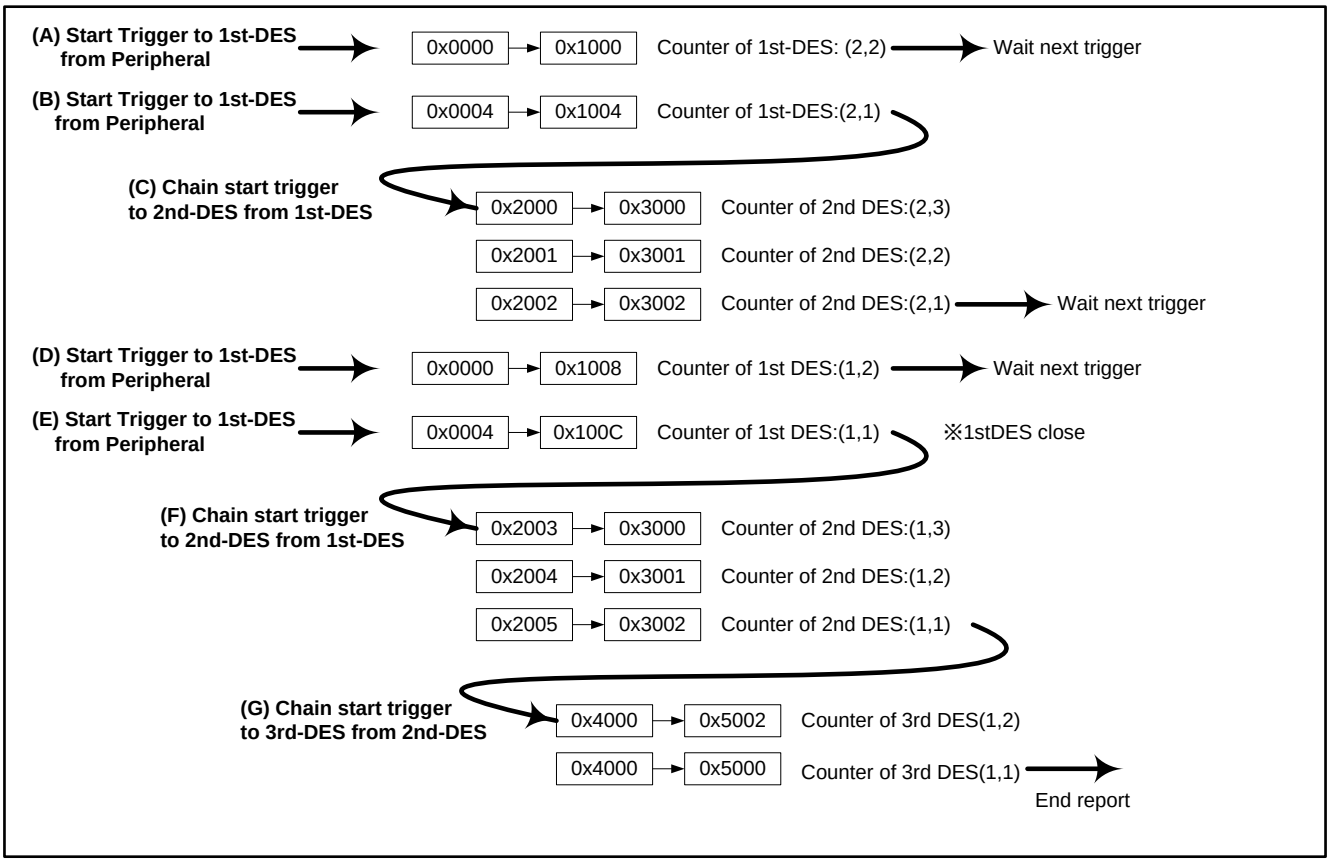
Table 4-8 転送動作例 5 の転送開始時 DES 値

領域	DES No.	値
1st-DES	DES0	DES0=0x612806B1 DV=01：転送終了時に DES クローズ MODE=1,TW=10：モード 1、32bit（Word）転送 ORL=101：DES1<=DES4,DES3<=DES6 の OuterReload SAC=001 TW×1 のインクリメント InnerReload 有 DAC=000：TW×1 のインクリメント InnerReload 無 CHRS=101000：後続 DES の Chain 起動有、割込みフラグセット無 DMSET=0：DES クローズ時に DQMSK[n]をセットしない CHLK=0：Chain ロック無 ACK=01：HW で直接起動される DES なので 01 PCHK=0110：Partiy
	DES1	ORM = 0x0002, IIN = 0x02、IRM = 0x02
	DES2	SA=0x0000 0000
	DES3	DA=0x0000 1000
	DES4,6	それぞれ、1st-DES の DES1,DES3 と同じ値
2nd-DES	DES0	DES0=0x60202063 DV=11：転送終了時に DES クローズしない MODE=0,TW=00：モード 0、8bit（Byte）転送 ORL=011：DES1<=DES4,DES2<=DES5 の OuterReload SAC=000：TW×1 のインクリメント InnerReload 無 DAC=001：TW×1 のインクリメント InnerReload 有 CHRS=100000：後続 DES の Chain 起動有、割込みフラグセット無 DMSET=0：DES クローズ時に DQMSK[n]をセットしない CHLK=0：Chain ロック無 ACK=00：Chain 起動される DES なので 00 PCHK=0110：Partiy
	DES1	ORM = 0x0002, IIN = 0x0003
	DES2	SA=0x0000 2000
	DES3	DA=0x0000 3000
	DES4,5	それぞれ、2nd-DES の DES1,DES2 と同じ値
3rd-DES	DES0	DES0=0xB010F503 DV=11：転送終了時に DES クローズしない MODE=0,TW=01：モード 0、16bit（Half word）転送 ORL=000：OuterReload 無 SAC=101：アドレス固定 DAC=111：TW×1 のデクリメント InnerReload 有 CHRS=010000：Chain 起動無、割込みフラグセット有 DMSET=0：DES クローズ時に DQMSK[n]をセットしない CHLK=0：Chain ロック無 ACK=00：Chain 起動される DES なので 00 PCHK=1011：Parity
	DES1	ORM = 0x0001, IIN = 0x0002
	DES2	SA=0x0000 4000
	DES3	DA=0x0000 5002

転送動作フロー

Figure 4-5 に転送動作例 5 の転送動作フローを示します。図の(A),(B),(D),(E)の起動指示は、HW 起動指示を示し、Peripheral からの転送要求信号のアサートが該当します。図の(C),(F),(G)の起動指示は、Chain 起動指示です。

Figure 4-5 転送動作例 5 の動作フロー



DSTC は、(A)の起動指示により、1st-DES の転送を開始します。0x0000 番地から 0x1000 番地への 32bit 転送を 1 回実行します。1st-DES の転送回数カウンタは、(2,2)です。1st-DES の CHRS[1:0]=00 に従い、HWINT[n]をセットしません。次の起動指示を待機します。

DSTC は、(B)の起動指示により、1st-DES の転送を再開します。0x0004 番地から 0x1004 番地への 32bit 転送を 1 回実行します。1st-DES の転送回数カウンタは、(2,1)です。1st-DES の CHRS[3:2]=10 に従い、後続の 2nd-DES の転送に Chain 起動指示が発生します。

DSTC は、(C)の Chain 起動指示により、2nd-DES の転送を開始します。0x2000 番地から 0x3000 番地への 8bit 転送から開始します。IIN=3 回の 8bit 転送を連続して行います。2nd-DES の転送回数カウンタは、(2,3)よりカウント開始し、転送後、(2,1)です。2nd-DES の CHRS[3:2]=00 に従い、HWINT[n]をセットしません。次の起動指示を待機します。

DSTC は、(D)の起動指示により、1st-DES の転送を再開します。SA にはアドレスの InerReload が適用されます。DA は継続インクリメントです。0x0000 から 0x1008 番地への 32bit 転送を 1 回実行します。転送回数カウンタは、(1,2)です。1st-DES の CHRS[1:0]=00 に従い、HWINT[n]をセットしません。次の起動指示を待機します。

DSTC は、(E)の起動指示により、1st-DES の転送を再開します。0x0004 番地から 0x100C 番地への 32bit 転送を 1 回実行します 1st-DES の転送回数カウンタは、(1,1)です。1st-DES の DV=01 に従い、1st-DES のクローズ処理が行われます。1st-DES の CHRS[5:4]=10 に従い、後続の 2nd-DES の転送に Chain 起動指示が発生します。(1st-DES は、CHRS[5:0]=101000 が指定されている点に注意してください。)

DSTC は、(F)の chain 起動指示により、2nd-DES の転送を再開します。SA は継続インクリメントです。DA にはアドレスの InnerReload が適用されます。IIN=3 回の 8bit 転送を連続実行します。2nd-DES の転送回数カウンタは、(1,3)よりカウント開始し、転送後、(1,1)です。2nd-DES の DV=11 に従い、2nd-DES のクローズ処理は行いません。2nd-DES の CHRS[5:4]=10 に従い、後続の 3rd-DES の転送に Chain 起動指示が発生します。

DSTC は、(G)の chain 起動指示により、3rd-DES の転送を開始します。IIN=2 回の 16bit 転送を連続実行します。3rd-DES の転送回数カウンタは(1,2)よりカウント開始し、転送後(1,1)です。3rd-DES の DV=11 に従い、3rd-DES のクローズ処理は行いません。3rd-DES の CHRS[5:4]= 01 に従い、HWINT[n]をセットします。

転送動作例 5 は、上記のような転送動作となり転送終了します。例では、1st-DES から 2nd-DES への Chain 起動指示を、(B)と(E)の起動指示の転送後にのみ行うように指定しています。また、3rd-DES の転送終了時に、HWINT[n]をセットするように指定し、すべての転送終了時に、CPU に通知するように設定しています。

転送終了後の DES 格納値

動作例 5 では、転送終了後、DES の値は、Table 4-9 のように更新されます。表中太字の個所の値は、転送開始前とは異なる値です。1st-DES は、CPU と DSTC の処理ハンドシェイクのため、転送処理終了時に DES がクローズされるように設定しています。2nd-DES, 3rd-DES は、DES がクローズされないように設定しています。

Table 4-9 動作例 5 の転送終了後 DES 値

領域	DES No.	値
1st-DES	DES0	DV=00、ST=00、その他の値は転送開始時と同じ値
	DES1-4,6	転送開始時と同じ値
2nd-DES	DES0-5	転送開始時と同じ値
3rd-DES	DES0-3	転送開始時と同じ値

4.6 DSTC 制御例

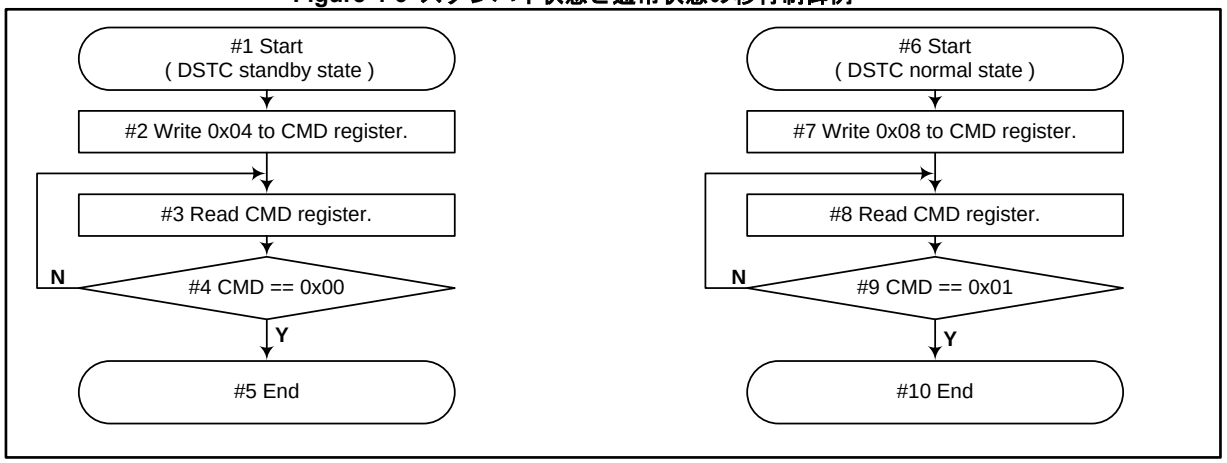
DSTC の制御手順例を説明します。

スタンバイ状態と通常状態の制御手順例

DSTC は、バスリセットにより、スタンバイ状態に遷移します。DSTC に転送を実行させる場合は、最初に、スタンバイ状態から、通常状態へ移行する必要があります。また、DSTC に転送動作を実行させない場合は、スタンバイ状態としておくことにより、システムの低消費電力化を行うことができます。

Figure 4-6 にスタンバイ状態から通常状態へ移行する手順例と、通常状態からスタンバイ状態へ移行する手順例を示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 4-6 スタンバイ状態と通常状態の移行制御例



#1～#5 は、DSTC をスタンバイ状態から通常状態へ移行する手順を示します。スタンバイ解除コマンドの発行(CMD レジスタへの 0x04 書込み)を行います。DSTC が通常状態に遷移すると、CMD レジスタより 0x00 が読み出せます。0x00 の読出し確認を行います。

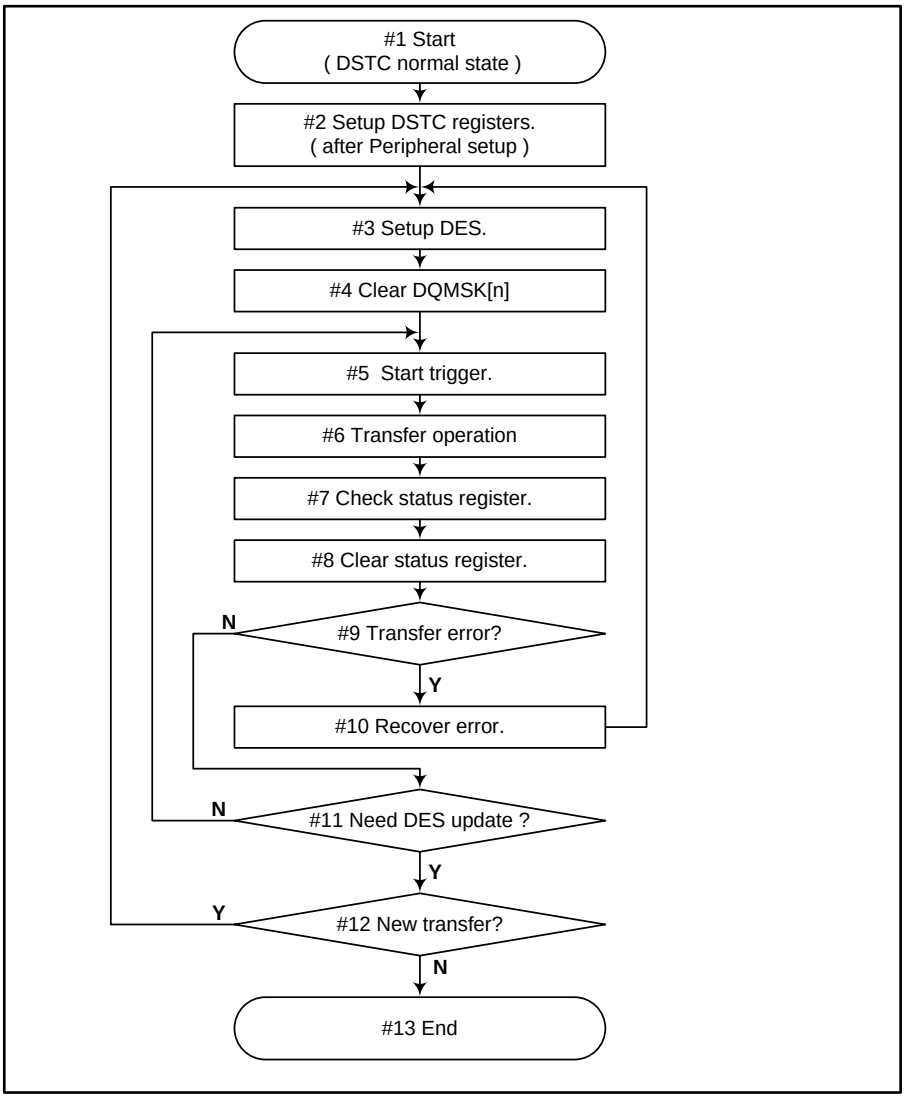
#6～#10 は、DSTC を通常状態からスタンバイ状態へ移行する手順を示します。スタンバイ移行コマンドの発行(CMD レジスタへの 0x08 書込み)を行います。DSTC がスタンバイ状態に遷移すると、CMD レジスタより 0x01 が読み出せます。0x01 の読出し確認を行います。

DSTC が転送動作を行っている場合、スタンバイ移行コマンドを発行すると、現在実行されている転送が強制終了し、その転送の DES のクローズ処理が行われます。DES のクローズ処理後に、DSTC はスタンバイ状態に移行します。

転送動作の制御手順例

Figure 4-7 に DSTC の転送動作制御の手順例を示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 4-7 DSTC 転送動作制御例



#1 DSTC が通常状態にある場合から説明を開始します。通常状態でない場合、以降の処理を行うことはできません。

#2 DSTC の制御レジスタの初期化を行います。DESTP レジスタ, CFG レジスタ、HWDESP[n]レジスタ, DREQENB[n]レジスタに初期値を設定します。DREQENB[n]レジスタ設定は、Peripheral のセットアップ完了後に行います。MONERS レジスタは、バスリセット後はクリアされていますが、再スタンバイ解除後は、その前のスタンバイ移行による転送強制終了のエラー履歴が保存されていることがあります。ERCLR コマンド(CMD レジスタへの 0x20 書込み)により、MONERS レジスタをクリアします。

#3 CPU から DSTC が使用する DES 領域の構築を行います。

#4　DQMSK[n]レジスタは、バスリセット直後はクリアされていますが、HW 転送のエラー,スタンバイ移行コマンド､DES の DMSET 指定の要因により､セットされていることがあります｡DQMSKCLR[n]レジスタへの 1 書込みを行い、クリアします。なお、Peripheral からの転送要求信号(DREQ[n])が既にアサートされている場合、CPU からの DQMSK[n]レジスタのクリアが、#5 の転送起動指示になります。

#5　起動指示を行います。SW 起動指示の場合、CPU から SWTR レジスタへ DESP を書き込みます。既に SW 転送を実行中は、SWTR レジスタへの書込みアクセスはできないため、注意してください。HW 起動指示の場合、Peripheral からの転送要求（DREQ[n]信号のアサート）が起動指示です。

#6　DSTC は DES に従い転送動作を行います。DSTC は DES の更新を行い、転送ステータスを返却します。

#7　CPU から DSTC の転送ステータスを確認します。SW 転送の場合、SWTR.SWREQ レジスタ、SWTR.SWST レジスタを読み出します。HW 転送の場合、HWINT[n]レジスタを読み出します。MONERS レジスタを読み出し、転送のエラー有無を確認します。

#8　CPU から DSTC の転送終了ステータスをクリアします。SW 転送の場合、CPU から SWCLR コマンド発行(CMD レジスタへの 0x10 書込み)し､SWTR.SWST レジスタをクリアします｡HW 転送の場合、HWINTCLR[n]レジスタへの 1 書込みにより、HWINT[n]レジスタをクリアします。

#9～#10　転送エラーが発生している場合、ERCLR コマンド発行(CMD レジスタへの 0x20 書込み)し、MONERS レジスタをクリアします｡転送処理がエラー中断している場合､DES の再構築が必要です。HW 転送の場合、Peripheral のセットアップが必要な場合があります。

#11～#13　DES の再構築が不要な場合、次の起動指示を行い、転送を開始します。DES の再構築が必要な場合は、CPU から DES の再構築を行ってから、次の起動指示を行い、転送を開始します。

DSTC の HW 起動転送を途中で止める方法について

DSTC の HW 起動転送を途中で止める方法について ADC からの起動による HW 転送を例に説明します。

ADC から DSTC の HW 起動転送を行う場合、起動する前の最初の DES 構築の際に、DES0.DMSET=1 を設定しておいてください。転送途中で転送停止し、DES クローズさせる場合、以下の手順で処理を行います。

#1a　CPU から DES0.DV=10 をライトします。

#2a　CPU から CFG.RBDIS=1 をライトし、リードスキップバッファを無効化します。

#3a　DSTC は、ADC から転送要求発生を待ちます。転送要求発生時に、DES クローズ (DES0.DV=00 のライト) と、DQMSK[n]へ 1 をセットします。
これにより、以降の DES オープンエラーは発生しなくなります。

#4a　CPU は、DES0.DV=00 が読み出せるまで待ちます。

以下の手順で転送を再開させることができます。

#5a　CPU から DES の再構築、CFG.RBDIS=0 をライトします。

#6a　CPU から DQMSKCLR=1 をライトします。

上記の #3a の手順 (ADC からの転送要求が発生するのを待つ) を行わず、DES クローズ処理を実施してしまいたい場合は、以下の手順で処理を行います。

#1b　CPU から ADC の転送要求発生の禁止を行います。
ADC スキャン変換・転送の場合：ADCR.SCIE=0 のライト
ADC 優先変換・転送の場合：ADCR.PCIE=0 のライト

#2b　CPU から DES0.DV=10 をライトします。

#3b　CPU から CFG.RBDIS=1 をライトし、リードスキップバッファを無効化します。

#4b　CPU から HW 転送を実施している DESP に対して、SW 起動指示を行います。
(SWTR レジスタへの DESP ライト)

#5b　DSTC によって、DES クローズ (DES0.DV=00 のライト) が行われます。
この場合は、DQMSK[n]=1 はセットされません。

#6b　CPU は、DES.DV=00 が読み出せるまで待ちます。

以下の手順で転送を再開させることができます。

#7b　CPU から DES の再構築、CFG.RBDIS=0 をライトします。

#8b　CPU から DQMSKCLR[n]=1 をライトします。

#9b　CPU から ADCR.SCIE もしくは ADCR.PCIE=1 をライトします。

注意事項

- *上記の#1b-#6b の処理を行った場合、#4b の CPU からの SW 転送起動指示より前に、#3a の ADC の HW 起動＋DES クローズ処理が先に行われる可能性があります。*
  この場合、#4b の SW 起動指示は、DES オープンエラーとして通知されます。このエラーは問題ありませんので、無視してください。
  また、#3a で DQMSK[n]=1 がセットされていますので、再起動に#8b の処理が必要です。

5. DSTC のレジスタおよびディスクリプタ

DSTC の各レジスタ、ディスクリプタ機能について説明します。

5.1. 制御レジスタ、DES 一覧
5.2. DESTP レジスタ
5.3. HWDESP[n]レジスタ
5.4. CMD レジスタ
5.5. CFG レジスタ
5.6. SWTR レジスタ
5.7. MONERS レジスタ
5.8. DREQENB[n]レジスタ
5.9. HWINT[n]レジスタ
5.10. HWINTCLR[n]レジスタ
5.11. DQMSK[n]レジスタ
5.12. DQMSKCLR[n]レジスタ
5.13. ディスクリプタ 0 (DES0
5.14. ディスクリプタ 1 (DES1)
5.15. ディスクリプタ 2 (DES2)
5.16. ディスクリプタ 3 (DES3)
5.17. ディスクリプタ 4 (DES4)
5.18. ディスクリプタ 5 (DES5)
5.19. ディスクリプタ 6 (DES6)

5.1 制御レジスタ、DES 一覧

DSTC の制御レジスタ、DES の一覧を示します。

Table 5-1 に、DSTC の制御レジスタ、Table 5-2 に DES の一覧を示します。

Table 5-1 DSTC の制御レジスタ レジスター一覧

アドレス	レジスタ名	参照先
+0x00	DESTP	5.2
+0x04	HWDESP	5.3
+0x08	CMD	5.4
+0x09	CFG	5.5
+0x0a	SWTR	5.6
+0x0c	MONERS	5.7
+0x10 ~ +0x2f	DREQENB	5.8
+0x30 ~ +0x4f	HWINT	5.9
+0x50 ~ +0x6f	HWINTCLR	5.10
+0x70 ~ +0x8f	DQMSK	5.11
+0x90 ~ +0xaf	DQMSKCLR	5.12

Table 5-2 DES 一覧

アドレス	ディスクリプタ名	参照先
DESTP+DESP+0x00	DES0	5.13
DESTP+DESP+0x04	DES1	5.14
DESTP+DESP+0x08	DES2	5.15
DESTP+DESP+0x0C	DES3	5.16
DESTP+DESP+0x10~	DES4	5.17
DESTP+DESP+0x10~	DES5	5.18
DESTP+DESP+0x10~	DES6	5.19

5.2 DESTP レジスタ

DESTP(Descirpor top address)レジスタは、DES 領域の先頭アドレスを設定します。

レジスタ構成

アドレス：+0x00

bit	31	0
Field	DESTP[31:0]	
属性	R/W	
初期値	0x0000 0000	

レジスタ機能

DSTC は、DESTP＋DESP のアドレスに存在する DES の参照と更新を行います。DES 領域はリード・ライトできるメモリ領域に設定する必要があります。DES 領域は word アラインされている必要があります。DESTP の下位 2bit は常に 00 を指定します。DES 領域は、DESTP から 4096word（16Kbyte）の範囲内である必要があります。DESTP に 0xFFFF FFF0 より大きな値を設定することはできません。

DESTP は、DSTC が通常状態で、初期設定時に指定を行います。DSTC の転送動作中に本レジスタの値を書き換えることはできません。書換えを行った場合、正常な転送動作を行いません。

[bit31:0] DESTP (Descriptor top address)

アクセス	適用
書込み	DES 領域の先頭アドレスを設定します。
読出し	レジスタ設定値を読出します。

5.3 HWDESP[n]レジスタ

HWDESP[n] (Hardware DES pointer)レジスタは、HW チャネル n の転送要求時に DSTC が参照する DES の DESP を設定します。

レジスタ構成

アドレス：+0x04

bit	31	30	29 16	15 8	7 0
Field	予約		HWDESP[13:0]	予約	CHANNEL[7:0]
属性	R	R	R/W	R	R/W
初期値	0	0	XXXXXX XXXXXX00	0000 0000	0000 0000

レジスタ機能

HWDESP[n]レジスタは、HW 転送要求発生前に設定しておく必要があります。本レジスタは、DSTC が通常状態の場合のみアクセスが可能です。使用しない HW チャネル n の設定は不要です。

HWDESP[n]レジスタは、対応 HW チャネル数分のレジスタが存在しますが、CPU から見えるレジスタウィンドウは 1 つです。以下のようにレジスタアクセスを行います。

- HWDESP[n]の値を CPU から読み出す場合、先に読み出す HW チャネル番号 n を CHANNEL[7:0]に 8bit（Byte）アクセスで書き込みます。その後、HWDESP[13:0]から値を 16bit(Half word）アクセスで読み出します。
- HWDESP[n]の値を CPU から書き込む場合、先に書き込む HW チャネル番号 n を CHANNEL[7:0]に 8bit（Byte）アクセスで書き込みます。その後、HWDESP[13:0]に値を 16bit(Half word）アクセスで書き込みます。32bit(Word)アクセスにより、両方を同時に書き込むことも可能です。

HWDESP[n]レジスタの DESP 値は、Figure 3-5 の HWDESPBUF に一旦格納してから使用します。チャネル n の HW 起動指示が連続した場合、DSTC は、HWDESP[n]レジスタの DESP 値ではなく、HWDESPBUF に格納されている DESP 値を使用します。このため、CPU から HWDESP[n]レジスタの値を変更した場合、HWDESPBUF に格納されている値を無効化する必要があります。CFG.RBDIS の値の変更により、HWDESPBUF の DESP 値を無効化できます。「5.5　CFG レジスタ」を参照してください。

[bit7:0] CHANNEL[7:0]

アクセス	適用
書込み	読出し・書込みを行う HWDESP[n]のチャネル番号(n)を設定します。
読出し	レジスタ設定値を読出します。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、CHANNEL[7]は常に 0 を指定してください。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、CHANNEL[7:6]は常に 00 を指定してください。

[bit29:16] HWDESP[13:0]

アクセス	適用
書込み	CHANNEL[7:0]に指定されたチャネル番号の HWDESP[n]を書き込みます。
読出し	CHANNEL[7:0]に指定されたチャネル番号の HWDESP[n]を読み出します。

DES は word アラインされている必要があります。HWDESP の下位 2bit は常に 00 を指定します。HWDESP に 0x3FF0 より大きな値を設定することはできません。

5.4 CMD レジスタ

CMD（Command）レジスタは、DSTC に対するコマンド発行と状態読出しを行います。

レジスタ構成

アドレス：+0x08

bit	7	6	5	4	3	2	1	0
Field	CMD[7:0]							
属性	W	W	W	W	W	W	R	R
初期値	0	0	0	0	0	0	0	1

レジスタ機能

CMD（Command）レジスタに書込みアクセスを行うと、DSTC に対しコマンドを発行することができます。このレジスタに対する書込みアクセスは、8bit（byte）アクセスで行ってください。16bit/32bit の書込みアクセスは無視されます。また、本レジスタを読出すことにより、DSTC の状態（通常状態、スタンバイ状態、遷移状態 1,2）が読出せます。

DSTC の状態により、発行できるコマンドに制限があります。Table 3-13 を参照してください。

[bit7:0] CMD[7:0]

書込み値	発行コマンド	処理内容
0x04	スタンバイ解除コマンド	スタンバイ状態から通常状態への復帰を指示します。
0x08	スタンバイ移行コマンド	通常状態からスタンバイ状態への移行を指示します。 SWTR.SWST レジスタを 0 クリアします。 SWINT 割込み信号をネゲートします。 すべての HWINT[n]レジスタをクリアします。 すべての HWINT[n]割込み信号をネゲートします。 ERINT 割込み信号をネゲートします。 すべての DQMSK[n]レジスタに 1 をセットします。
0x10	SWCLR コマンド	SWTR.SWST レジスタを 0 クリアします。 SWINT 割込み信号をネゲートします。
0x20	ERCLR コマンド	MONERS.EST レジスタを 0 クリアします。 ERINT 割込み信号をネゲートします。 MONERS.DER レジスタを 0 クリアします。 MONERS.ESTOP レジスタを 0 クリアします。
0x80	MKCLR コマンド	すべての DQMSK[n]レジスタを 0 にクリアします。 （遷移状態 2 では無視されます。）
上記外値	書込み禁止（RMW アクセス等により、上記の値と異なる値を書き込んだ場合、書込みアクセスが無視される場合があります。注意してください。）	

読出し値	DSTC の状態
0x00	通常状態であることを示します。
0x01	スタンバイ状態であることを示します。（初期値）
0x02	遷移状態 1（スタンバイ状態から、通常状態への遷移中）であることを示します。
0x03	遷移状態 2（通常状態から、スタンバイ状態への遷移中）であることを示します。
上記外値	上記以外の値が読出されることはありません。

5.5 CFG レジスタ

CFG（Configuration）レジスタは、DSTC の動作機能設定を行います。

レジスタ構成

アドレス：+0x09

bit	15	14	13	12	11	10	9	8
Field	予約	SWPR[2:0]			ESTE	RBDIS	ERINTE	SWINTE
属性	R	R/W			R/W	R/W	R/W	R/W
初期値	0	100			0	0	0	0

レジスタ機能

CFG（Configuration）レジスタは、DSTC の動作機能設定を行うレジスタです。このレジスタに対する書込みアクセスは、8bit（byte）アクセスで行ってください。16bit/32bit の書込みアクセスは無視されます。DSTC が通常状態でない時は、本レジスタに書込みアクセスを行うことはできません。

[bit8] SWINTE (Software interrupt enable)

アクセス	適用
書込み 0	SWINT 割込みを禁止します。（初期値） SWTR.SWST に 1 がセットされた場合、SWINT 割込みを発生しません。
書込み 1	SWINT 割込みを許可します。 SWTR.SWST に 1 がセットされた場合、SWINT 割込みを発生します。
読出し	レジスタ設定値を読出します。

[bit9] ERINTE (Error interrupt enable)

アクセス	適用
書込み 0	ERINT 割込みを禁止します。（初期値） MONERS.EST に、001、010、100、101 がセットされた場合に、ERINT 割込みを発生しません。
書込み 1	ERINT 割込みを許可します。 MONERS.EST に、001、010、100、101 がセットされた場合に、ERINT 割込みを発生します。
読出し	レジスタ設定値を読み出します。

スタンバイ遷移コマンドにより、MONERS.EST レジスタに 011 がセットされた場合、ERINT 割込みは発生しません。

[bit10] RBDIS (Read skip buffer disable)

アクセス	適用
書込み 0	DES のリードスキップバッファ機能を有効にします。（初期値） HWDESPBUF の HWDESP[n]参照スキップ機能を有効にします。
書込み 1	DES のリードスキップバッファ機能を無効にします。 HWDESPBUF の HWDESP[n]参照スキップ機能を無効にします。
読出し	レジスタ設定値を読出します。

RBDIS=0 の設定の場合、Figure 3-5 に示したリードスキップバッファ機能、HWDESPBUF 機能が有効となります。この場合、DSTC は一度参照したメモリ上の DES 参照、HWDESP[n]レジスタの参照をスキップし、処理の高速化を行います。ただしこの場合、CPU からの DES0.DV の値の変更や、HWDESP[n]の書換えを認識できないことがあります。このため、DES0.DV の値の変更や、HWDESP[n]の書換えを行った場合は、その後、RBDIS レジスタに 1 を書き込んでください。RBDIS=1 の設定の場合、DSTC は、リードスキップバッファ機能、HWDESPBUF 機能を使用しません。メモリ上の DES 値、HWDESP[n]レジスタ値を参照して動作します。DSTC が更新された値で処理を実施後、RBDIS レジスタに 0 を書込み、再度バッファ機能を有効化することができます。

[bit11] ESTE (Error stop enable)

アクセス	適用
書込み 0	転送エラー発生時、エラー停止状態となりません。（初期値） 他の転送要求がある場合、他の転送処理を開始します。
書込み 1	転送エラー発生時、エラー停止状態となります。 他の転送要求がある場合、転送開始を保留します。
読出し	レジスタ設定値を読出します。

[bit12:14] SWPR[2:0] (Software transfer priority)

Arbiter2 の調停動作において、HW 転送要求と、SW 転送要求が競合している場合に、SW 転送が転送権を得る確率を指定します。SWPR の設定値は、DSTC の転送動作中であっても書き換えることが可能です。書換えを行った場合、次の SW 起動指示から設定値が適用されます。

アクセス	適用
書込み 000	SW 転送の優先度を最高にします。 （SW 転送起動指示時、HW 転送が実行中の場合、HW 転送終了後、SW 転送を開始します。）
書込み 001	SW 転送の転送権獲得確率を 1/2 にします。
書込み 010	SW 転送の転送権獲得確率を 1/3 にします。
書込み 011	SW 転送の転送権獲得確率を 1/7 にします。
書込み 100	SW 転送の転送権獲得確率を 1/15 にします。（初期値）
書込み 101	SW 転送の転送権獲得確率を 1/31 にします。
書込み 110	SW 転送の転送権獲得確率を 1/63 にします。
書込み 111	SW 転送の優先度を最低にします。 （HW 転送要求がない状態でのみ、SW 転送を開始します。）
読出し	レジスタ設定値を読出します。

[bit15] 予約 : 予約ビット

書込み時は 0 を書き込んでください。読出し時は 0 が読み出されます。

5.6 SWTR レジスタ

SWTR(Software trigger)レジスタは、SW 起動指示を行うレジスタです。

レジスタ構成

アドレス：+0x0A

bit	31	30	29 ... 16
Field	SWST	SWREQ	SWDESP[13:0]
属性	R	R	R/W
初期値	0	0	00 0000 0000 0000

レジスタ機能

SWTR(Software trigger)レジスタは、書込みアクセスにより、SW 転送の開始を指示するレジスタです。このレジスタに対する書込みアクセスは、16bit(Half word)アクセスで行ってください。32bit(Word)の書込みアクセスは無視されます。また、それ以前に、SW 起動指示が行われており、その SW 転送が終了していない場合(SWREQ≠0)、通常状態以外の場合(CMD≠00)、エラーストップ状態である場合(ESTOP≠0)は、DSTC は、CPU からの書込みアクセスを無視し、新規の SW 起動指示を無視するため、注意してください。

[bit29:16] SWDESP[13:0] (Software DES pointer)

SW 起動する DES の DESP の値を書き込みます。DSTC は、DESTP＋SWDESP の DES 領域の転送を行います。SW 転送動作中、Chain 起動指示があると、SWDESP の値は、DSTC 側から Chain 起動した DES の DESP の値に更新されます。DES は word アラインされている必要があります。SWDESP の下位 2bit は常に 00 を指定してください。SWDESP に 0x3FF0 より大きな値を設定することはできません。

アクセス	適用
書込み	SW 起動する DES の DESP を指定します。
読出し	転送実行中または転送を終了させた SW 転送の DESP を表示します。

[bit30] SWREQ (Software request)

SWREQ レジスタは、SW 転送が、実行開始の待機状態であるか、もしくは Chain 起動を含めた転送実行中であることを示す読出し専用レジスタです。書込み値は無視されます。SWTR レジスタへの書込みアクセス(起動指示)により、1 がセットされます。SW 転送が正常終了、異常終了、起動指示待ち状態になると、0 にリセットされます。

アクセス	適用
書込み	書込み値は意味を持ちません。
読出し 0	SW 転送が、起動指示のない状態、または転送終了していることを示します。
読出し 1	SW 転送が、実行開始の待機状態、または転送実行中であることを示します。

[bit31] SWST (Software status)

SWST レジスタは、CPU に SW 転送終了通知を行うための読出し専用レジスタです。SW 起動された DES の CHRS にて割込みフラグセットが指示されていて、転送が正常終了すると、1 がセットされます。SWCLR コマンド, スタンバイ移行コマンド, SWTR レジスタへの書込みにより、0 クリアされます。(CFG.SWINTE=1)&&(SWTR.SWST==1)の場合、SWINT 割込み信号がアサートされます。

アクセス	適用
書込み	書込み値は意味を持ちません。
読出し 0	SW 転送が正常終了していないことを示します。
読出し 1	SW 転送が正常終了したことを示します。

5.7 MONERS レジスタ

MONERS レジスタは、転送エラー発生時、発生したエラー内容を表示します。

レジスタ構成

アドレス：+0x0C

bit	31	30	29	28	27	26	25	24
Field	予約		EDESP[13:8]					
属性	R		R	R	R	R	R	R
初期値	00		X	X	X	X	X	X

bit	23	22	21	20	19	18	17	16
Field	EDESP[7:0]							
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	0	0

bit	15	14	13	12	11	10	9	8
Field	ECH[7:0]							
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

bit	7	6	5	4	3	2	1	0
Field	予約	EHS	予約	ESTOP	DER	EST[2:0]		
属性	R	R	R	R	R	R		
初期値	X	X	X	0	0	000		

レジスタ機能

MONERS レジスタは読出し専用のレジスタです。書込みは無視されます。転送エラー発生時、発生したエラー内容が記録されます。MONERS レジスタを参照することにより、エラー内容を確認することができます。MONERS.EST にエラー発生 がセットされた時に、ERINT 割込みを発生させることができます。ERINTE=1 の場合、NVIC 対する ERINT 割込み信号がアサートされます。MONERS レジスタの値と ERINT 割込みは、CMD レジスタに対する ERCLR コマンドによりクリアすることができます。

MONERS レジスタの内容詳細は、「3.2.8 MONERS レジスタ」を参照してください。

[bit2:0] EST[2:0] (Error status)

EST[2:0]は、発生した転送エラー内容を表示します。EST≠000 の場合に再度転送エラーが発生しても、前の転送エラー内容を保持しています。ERCLR コマンドにより 000 にクリアされます。

アクセス	適用
書込み	何も行われません。
読出し 000	エラー発生なし（初期値）
読出し 001	Source アクセスエラー
読出し 010	Destination アクセスエラー
読出し 011	転送強制停止
読出し 100	DES アクセスエラー
読出し 101	DES オープンエラー
読出しその他	未定義

[bit3] DER (Double Error)

DER は、転送エラーの 2 重発生有無を示します。EST≠000 かつ DER=0 の場合に、転送エラーが発生すると、1 がセットされます。ERCLR コマンドにより 0 にクリアされます。

アクセス	適用
書込み	何も行われません。
読出し 0	転送エラーの二重発生が無いことを示します。(初期値)
読出し 1	転送エラーの二重発生が有ることを示します。

[bit4] ESTOP (Error Stop)

ESTOP は、エラーストップ状態であることを示します。CFG.ESTE=1 の場合に、転送エラーが発生すると、1 がセットされます。エラーストップ状態の間は、DSTC の転送開始が、保留されます。ERCLR コマンドにより 0 にクリアされます。このレジスタが 0 にクリアされると、保留されていた転送が開始されます。このレジスタが 1 の場合、SWTR レジスタへの書込みは無視されます。

アクセス	適用
書込み	何も行われません。
読出し 0	エラーストップ状態でないことを示します。(初期値)
読出し 1	エラーストップ状態であることを示します。

[bit5] 予約 : 予約ビット

読出し値は不定値です。書込み値は無視されます。

[bit6] EHS (Error Hardware Software)

転送エラーを発生させた DES 転送が HW 起動であるか、SW 起動であるかを示します。EST≠000 の場合に再度転送エラーが発生しても、前の転送エラー内容を保持しています。EST=000 の場合、このレジスタ値は不定値です。

アクセス	適用
書込み	何も行われません
読出し 0	SW 起動もしくはそこからの Chain 起動による転送にてエラー発生
読出し 1	HW 起動もしくはそこからの Chain 起動による転送にてエラー発生

[bit7] 予約 : 予約ビット

読出し値は不定値です。書込み値は無視されます。

[bit15:8] ECH[7:0] (Error hardware CHannel)

EST≠000 かつ EHS=1 の場合、転送エラーを発生させた HW 起動のチャネル番号を表示します。EST≠000 の場合に再度転送エラーが発生しても、前の転送エラー内容を保持しています。EST=000 または EHS=0 の場合、このレジスタ値は不定値です。

アクセス	適用
書込み	何も行われません
読出し	転送エラーを発生させた DES が HW 起動の場合、HW チャネル番号を示します。

[bit29:16] EDESP [13:0] (Error DES pointer)

転送エラーを発生させた DES の DESP を表示します。EST≠000 の場合に再度転送エラーが発生しても、前の転送エラー内容を保持しています。EST=000 の場合、このレジスタ値は不定値です。EDESP[1:0]は常に 0 が読み出されます。

アクセス	適用
書込み	何も行われません
読出し	転送エラーを発生させた DES の DESP を示します。

[bit31:30] 予約 : 予約ビット

読出し値は 00 です。書込み値は無視されます。

5.8 DREQENB[n]レジスタ

DREQENB[n]レジスタは、HW チャネル n の使用有無を設定します。

レジスタ構成

アドレス		
+0x10	Field	DREQENB[31:0]
+0x14	Field	DREQENB[63:32]
+0x18	Field	DREQENB[95:64]
+0x1C	Field	DREQENB[127:96]
+0x20	Field	DREQENB[159:128]
+0x24	Field	DREQENB[191:160]
+0x28	Field	DREQENB[223:192]
+0x2C	Field	DREQENB[255:224]
属性(全領域同じ)		R/W
初期値(全領域同じ)		0x0000 0000

レジスタ機能

DREQENB[n] (DMA Request Enable)レジスタは、初期設定時、HW チャネル n の使用有無をそれぞれ設定します。DSTC が通常状態の場合、本レジスタに書込みアクセスを行うことができます。

HW チャネル n を使用する場合、DREQENB[n]=1 を設定します。HW チャネル n を使用しない場合、DREQENB[n]=0 を設定します。このレジスタが 0 の場合、DSTC に接続されている Peripheral の割込み信号や転送要求信号(DREQ[n])は無視されます。このレジスタの値は、DSTC 側から書き換えられることはありません。

割込みを DSTC への転送要求として使用する Peripheral において、NVIC に接続される割込み信号に Peripheral からの割込み信号と DSTC からの HWINT[n]のいずれが選択されるかは、DREQENB[n]の値により決定されます。「2. DSTC の動作概要とシステム構成」を参照してください。

[bit255:0] DREQENB[255:0] (DMA request enable)

アクセス	適用
書込み 0	Peripheral からの DREQ 信号を無効とします。(初期値)
書込み 1	Peripheral からの DREQ 信号を有効とします。
読出し	レジスタ設定値を読み出します。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、DREQENB[255:128]は常に 0 固定の予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、DREQENB[255:64]は常に 0 固定の予約領域です。

5.9 HWINT[n]レジスタ

HWINT[n]レジスタは、HW 転送の終了通知を行います。

レジスタ構成

アドレス		
+0x30	Field	HWINT[31:0]
+0x34	Field	HWINT[63:32]
+0x38	Field	HWINT[95:64]
+0x3C	Field	HWINT[127:96]
+0x40	Field	HWINT[159:128]
+0x44	Field	HWINT[191:160]
+0x48	Field	HWINT[223:192]
+0x4C	Field	HWINT[255:224]
属性(全領域同じ)		R
初期値(全領域同じ)		0x0000 0000 0000 0000

レジスタ機能

HWINT[n] (Hardware transfer interrupt)レジスタは、CPU に HW 転送終了通知を行うための読出し専用レジスタです。このレジスタへの書込みアクセスは無視されます。

HW 起動された DES またはそこから Chain 起動された DES の CHRS にて割込みフラグセットが指示されていると、1 がセットされます。HWINT[n]レジスタは、HWINTCLR[n]レジスタへの 1 書込み、スタンバイ移行コマンドにより、0 にクリアすることができます。HWINT[n]=1 の場合、NVIC 対する DSTC の HW 転送終了割込み信号（HWINT[n]）がアサートされます。

[bit255:0] HWINT[255:0] (Hardware transfer interrupt)

アクセス	適用
書込み	何も行われません。
読出し 0	起動した HW 転送が正常終了していないことを示します。
読出し 1	起動した HW 転送が正常終了したことを示します。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、HWINT[255:128]は常に 0 固定の予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、HWINT[255:64]は常に 0 固定の予約領域です。

5.10 HWINTCLR[n]レジスタ

HWINTCLR[n]レジスタは、HWINT[n]レジスタをクリアするためのレジスタです。

レジスタ構成

アドレス		
+0x50	Field	HWINTCLR[31:0]
+0x54	Field	HWINTCLR[63:32]
+0x58	Field	HWINTCLR[95:64]
+0x5C	Field	HWINTCLR[127:96]
+0x60	Field	HWINTCLR[159:128]
+0x64	Field	HWINTCLR[191:160]
+0x68	Field	HWINTCLR[223:192]
+0x6C	Field	HWINTCLR[255:224]
属性(全領域同じ)		W
初期値(全領域同じ)		0x0000 0000 0000 0000

レジスタ機能

HWINTCLR[n]レジスタは、CPU から、HWINT[n]レジスタをクリアするための書込み専用レジスタです。
DSTC が通常状態以外の時は、本レジスタに書込みアクセスを行うことはできません。

このレジスタへの 1 書込みアクセスにより、HWINT[n]レジスタをクリアすることができます。
0 書込みは無視されます。読出し値は常に 0 です。

[bit255:0] HWINTCLR[255:0] (Hardware transfer interrupt Clear)

アクセス	適用
書込み 0	何も行われません。
書込み 1	HWINT[n]レジスタを 0 クリアします。
読出し	常に 0 が読み出されます。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、
HWINTCLR[255:128]は予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、
HWINTCLR[255:64]は予約領域です。

5.11 DQMSK[n]レジスタ

DQMSK[n]レジスタは、HW 転送要求が抑止されている状態を表示します。

レジスタ構成

アドレス		
+0x70	Field	DQMSK[31:0]
+0x74	Field	DQMSK[63:32]
+0x78	Field	DQMSK[95:64]
+0x7C	Field	DQMSK[127:96]
+0x80	Field	DQMSK[159:128]
+0x84	Field	DQMSK[191:160]
+0x88	Field	DQMSK[223:192]
+0x8C	Field	DQMSK[255:224]
属性(全領域同じ)		R
初期値(全領域同じ)		0x0000 0000

レジスタ機能

DQMSK[n]レジスタは、読出し専用のレジスタです。書込みは無視されます。このレジスタが 1 の場合、DSTC に対する Peripheral からの転送要求信号(DREQ[n])が抑止されている状態を示します。以下の条件発生時、DSTC は、DQMSK[n]に 1 をセットし転送要求を抑止します。

- HW チャネル n の転送で、転送エラーが発生した場合。
- CPU から、CMD レジスタに対し、スタンバイ移行コマンドを発行した場合。
- HW チャネル n の転送の DES にて、DMSET=1 であり、かつ DES クローズ処理した場合。

以下の条件発生時、DSTC は、DQMSK[n]を 0 クリアし、転送要求の抑止を解除します。

- DQMSKCLR[n]レジスタに、1 書込みを行った場合
- CPU から、CMD レジスタに対し、MKCLR コマンドを発行した場合。

[bit255:0] DQMSK[255:0] (DMA request Mask)

アクセス	適用
書込み	何も行われません。
読出し 0	Peripheral からの DREQ[n]信号が抑止されていないことを示します。
読出し 1	Peripheral からの DREQ[n]信号が抑止されていることを示します。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、DQMSK[255:128]は予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、DQMSK[255:64]は予約領域です。

5.12 DQMSKCLR[n]レジスタ

DQMSKCLR[n]レジスタは、DQMSK[n]レジスタをクリアするためのレジスタです。

レジスタ構成

アドレス		
+0x90	Field	DQMSKCLR[31:0]
+0x94	Field	DQMSKCLR[63:32]
+0x98	Field	DQMSKCLR[95:64]
+0x9C	Field	DQMSKCLR[127:96]
+0xA0	Field	DQMSKCLR[159:128]
+0xA4	Field	DQMSKCLR[191:160]
+0xA8	Field	DQMSKCLR[223:192]
+0xAC	Field	DQMSKCLR[255:224]
属性(全領域同じ)		W
初期値(全領域同じ)		0x0000 0000

レジスタ機能

DQMSKCLR[n]レジスタは、書込み専用のレジスタです。DSTC がスタンバイ状態にある時は、本レジスタに書込みアクセスを行うことはできません。

このレジスタに 1 を書き込むと DQMSK[n]レジスタが 0 クリアされます。DQMSK[n]レジスタのクリアにより、抑止されている HW 転送が直ちに開始されます。このため、該当転送の Peripheral のセットアップおよび DES のセットアップが完了してからクリアを行ってください。

[bit255:0] DQMSKCLR[255:0] (DMA request Mask Clear)

アクセス	適用
書込み 0	何も行いません。
書込み 1	DQMSK[n]レジスタを 0 クリアします。
読出し	常に 0 が読み出されます。

DSTC を搭載している製品において、DSTC が、HW-128 チャネル対応となっている場合、DQMSKCLR[255:128]は予約領域です。

DSTC を搭載している製品において、DSTC が、HW-64 チャネル対応となっている場合、DQMSKCLR[255:64]は予約領域です。

5.13 ディスクリプタ 0 (DES0)

ディスクリプタ 0 (DES0)について説明します。DES0 は、転送の基本設定を行います。

ディスクリプタ構成

アドレス：DESTP+DESP+0x00

bit	31	30	29	28	27	26	25	24
Field	PCHK[3:0]				予約		ACK[1:0]	
C 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
D 属性	R	R	R	R	R	R	R	R

bit	23	22	21	20	19	18	17	16
Field	CHLK	DMSET	CHRS[5:0]					
C 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
D 属性	R	R	R	R	R	R	R	R

bit	15	14	13	12	11	10	9	8
Field	DAC[1:0]			SAC[2:0]			TW	
C 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
D 属性	R	R	R	R	R	R	R	R

bit	7	6	5	4	3	2	1	0
Field	ORL[2:0]			MODE	ST[1:0]		DV[1:0]	
C 属性	R/W	R/W	R/W	R/W	R	R	R/W	R/W
D 属性	R	R	R	R	W	W	R/W	R/W

※DES 領域の表記について

表中 C 属性の欄は、CPU からのリード・ライト属性を示します。

表中 D 属性の欄は、DSTC からのリード・ライト属性を示します。

DES 領域はメモリ上に構築します。初期値はすべて不定値のため省略しています。

ディスクリプタ機能

[bit1:0] DV[1:0] (Descriptor Valid)

DES 領域の所有権が CPU と DSTC のいずれにあるかを指定します。DES オープン後の転送実施有無, DES クローズ処理有無を指定します。DES クローズ時、DSTC から 00 に更新されます。

DV[1]=1 指定の場合、転送カウンタ, 転送アドレスのリロード指定制約が追加されます。DV[1]=1 であって、DES1～DES3 の値が転送開始時の値に戻らない DES 設定は、DES オープンエラーを通知します。

値	適用
00	DES 所有権は CPU、転送実施無、DES クローズ処理無
01	DES 所有権は DSTC、転送実施有、DES クローズ処理有
10	DES 所有権は DSTC、転送実施無、DES クローズ処理有
11	DES 所有権は DSTC、転送実施有、DES クローズ処理無

[bit3:2] ST[1:0] (Transfer Status)

DES 指定の転送が終了し、DES クローズ処理時に、DSTC が終了ステータス値を書き込みます。DSTC が DES クローズ処理を行わない場合、CPU が初期設定した値が残ります。転送開始時この領域がどのような値であっても、DSTC の動作に影響はありません。

DES アクセスエラー、DES オープンエラーにより、転送が異常終了した場合、DSTC が DES 領域にアクセスできないため、DES クローズ処理は行われず、ST は書き込まれません。これらのエラー通知は、DES の ST ではなく、DSTC 本体の MONERS レジスタによって行われます。

値	適用
00	転送正常終了
01	転送元アクセス時に発生したエラーにより転送異常終了
10	転送先アクセス時に発生したエラーにより転送異常終了
11	スタンバイ移行コマンドにより転送強制終了し転送異常終了

[bit4] MODE (Transfer mode)

転送モードを選択します。モード 0 の場合、1 回の起動指示で IIN 回のデータ転送を連続して行います。モード 1 の場合、1 回の起動指示で 1 回のデータ転送を行います。データ転送ごとに DSTC とのハンドシェイクが必要な Peripheral からの転送要求で HW 転送を実行する場合は、モード 1 を使用します。DSTC はこの領域の値を書き換えません。

値	適用
0	モード 0 転送を行います。
1	モード 1 転送を行います。

[bit7:5] ORL[2:0] (Outer Reload)

ORM×IIN 回の転送終了後、DES1 の転送回数カウンタ(ORM/IRM/IIN), DES2 の転送元アドレス(SA), DES3 の転送先アドレス(DA)の OuterReload 有無を選択します。また、この値により DES サイズが決定されます。ORL[2:0]の値により、DES4～DES6 は DESP からの相対アドレスが異なります。DSTC はこの領域の値を書き換えません。

bit	値	適用
ORL[0]	0	DES1 の OuterReload を行いません。DES4 領域不要
	1	DES1 の OuterReload を行います。DES4 領域必要
ORL[1]	0	DES2 の OuterReload を行いません。DES5 領域不要
	1	DES2 の OuterReload を行います。DES5 領域必要
ORL[2]	0	DES3 の OuterReload を行いません。DES6 領域不要
	1	DES3 の OuterReload を行います。DES6 領域必要

[bit9:8] TW[1:0] (Transfer Width)

1 回の転送のデータ幅を指定します。DSTC はこの領域の値を書き換えません。

値	適用
00	8bit (byte)
01	16bit (Half word)
10	32bit (Word)
11	指定禁止(DSTC がこの値を読み出すと DES オープンエラーになります。)

[bit12:10] SAC[2:0] (Source Address Control)

転送中の転送元アドレスの更新方法を指定します。DSTC はこの領域の値を書き換えません。DV[1]=1 であって、転送終了時の DES2 が、転送開始時の値に戻らない設定は、DES オープンエラーを通知します。

値	適用
000	転送ごとに TW×1 インクリメントします。InnerReload なし
001	転送ごとに TW×1 インクリメントします。InnerReload あり
010	転送ごとに TW×2 インクリメントします。InnerReload なし
011	転送ごとに TW×2 インクリメントします。InnerReload あり
100	転送ごとに TW×4 インクリメントします。InnerReload なし
101	転送中、アドレスを固定します。
110	転送ごとに TW×1 デクリメントします。InnerReload なし
111	転送ごとに TW×1 デクリメントします。InnerReload あり

[bit15:13] DAC[2:0] (Destination Address Control)

転送中の転送先アドレスの更新方法を指定します。DSTC はこの領域の値を書き換えません。DV[1]=1 であって、転送終了時の DES3 が、転送開始時の値に戻らない設定は、DES オープンエラーを通知します。

値	適用
000	転送ごとに TW×1 インクリメントします。InnerReload なし
001	転送ごとに TW×1 インクリメントします。InnerReload あり
010	転送ごとに TW×2 インクリメントします。InnerReload なし
011	転送ごとに TW×2 インクリメントします。InnerReload あり
100	転送ごとに TW×4 インクリメントします。InnerReload なし
101	転送中、アドレスを固定します。
110	転送ごとに TW×1 デクリメントします。InnerReload なし
111	転送ごとに TW×1 デクリメントします。InnerReload あり

[bit21:16] CHRS[5:0] (Chain & Return status)

DSTC が所定回数の転送を実施後の次の処理を指定します。

bit	選択条件	値	適用
CHRS[1:0]	IRM≠1 ORM: ignore	00	割込みフラグセットなし、Chain 起動なし
		01	割込みフラグセットあり、Chain 起動なし
		10	割込みフラグセットなし、後続の DES の Chain 起動あり
		11	割込みフラグセットなし、現在の DES の Chain 起動あり
CHRS[3:2]	IRM=1 ORM≠1	00	割込みフラグセットなり、Chain 起動なし
		01	割込みフラグセットあり、Chain 起動なし
		10	割込みフラグセットなし、後続の DES の Chain 起動あり
		11	割込みフラグセットなし、現在の DES の Chain 起動あり
CHRS[5:4]	IRM=1 ORM=1	00	割込みフラグセットなし、Chain 起動なし
		01	割込みフラグセットあり、Chain 起動なし
		10	割込みフラグセットなし、後続の DES の Chain 起動あり
		11	指定禁止(DES オープンエラーとなります。)

CHRS[5:4], CHRS[3:2], CHRS[1:0]のどの値により処理分岐するかは、その際の転送回数カウンタがどの状態にあるかで決定します。割込みフラグセットの指示の場合、SW 起動指示およびそこからの Chain 起動指示の場合は、SWTR.SWST レジスタをセットします。HW 起動指示およびそこからの Chain 起動指示の場合は、HWINT[n]レジスタをセットします。CHRS[1:0]は、MODE=0 の時は意味を持たないため、00 を指定してください。MODE=0 かつ CHRS[1:0]≠00 の場合、DES オープンエラーとなります。DSTC はこの領域の値を書き換えません。

[bit22] DMSET (DREQ mask Set)

チャネル n の Peripheral デバイスから直接 HW 起動される DES およびそこから Chain 起動される DES において、DMSET=1 の設定の場合、その DES のクローズ処理が行われると、DQMSK[n]レジスタの該当ビットに 1 がセットされます。DSTC はこの領域の値を書き換えません。

値	適用
0	HW 転送の DES クローズ時に DQMSK[n]をセットしません。
1	HW 転送の DES クローズ時に DQMSK[n]をセットします。

[bit23] CHLK (Chain Lock)

CHLK は、Chain 起動する次の転送を、現在の転送後連続実施(Chain ロック)するか、間にほかの転送を許可するかを指定します。CHLK=1 の場合、CHRS[5], CHRS[3], CHRS[1]のいずれかが 1 (Chain 起動指定)でなければ、DES オープンエラーとなります。DSTC はこの領域の値を書き換えません。

値	適用
0	現在の転送後、Chain 起動転送前に、ほかの転送を可能とします。
1	現在の転送後、Chain 起動転送を必ず連続実施します。

[bit25:24] ACK[1:0] (Acknowledge)

ACK は、HW 転送を利用する場合、DSTC から Peripheral デバイスに出力する DMA 転送要求承認信号の出力タイミングを調整する値を設定します。HW 転送を利用する場合、Peripheral デバイスから直接 HW 起動される DES では、ACK=01 を設定します。HW 転送から Chain 起動される DES、および SW 転送で使用する DES、SW 転送から Chain 起動される DES では、ACK=00 の設定を行います。DSTC はこの領域の値を書き換えません。

値	適用
00	接続する Peripheral デバイスに対し DMA 転送承認信号を出力しません。
01	接続する Peripheral デバイスに対し DMA 転送承認信号を出力します。
10,11	予約

[bit27:26] 予約 : 予約ビット

この領域は 00 を指定してください。00 でない場合、DES オープンエラーを通知します。DSTC はこの領域の値を書き換えません。

[bit31:28] PCHK[3:0] (Parity Check)

PCHK[3:0]は、DES0 領域のパリティ値(以下演算式)を設定します。

PCHK[3:0] = DES0[27:24] ^ DES0[23:20] ^ DES0[19:16] ^ DES0[15:12] ^ DES0[11:8] ^ DES0[7:4]

CPU が DES 構築時に演算設定します。DSTC は DES0 領域の値と PCHK[3:0]の整合性を確認します。パリティエラーの場合、DES オープンエラーを通知します。DSTC はこの領域の値を書換えません。
PCHK[3:0]は、DSTC が書き換えない DES0[27:4]の領域が演算対象です。DES0[3:0]の値の変更は、PCHK[3:0]の値に影響しません。

5.14 ディスクリプタ 1 (DES1）

ディスクリプタ 1(DES1)について説明します。DES1 は、転送回数設定を行います。DES1 領域は、モード 0 とモード 1 で配置・構成が異なります。

ディスクリプタ構成 (モード 0 の場合)

アドレス：DESTP+DESP+0x04

bit	31	16	15	0
Field	ORM[15:0]		IIN[15:0]	
C 属性	R/W		R/W	
D 属性	R/W		R/W	

ディスクリプタ機能　(モード 0 の場合)

[bit15:0] IIN[15:0] (Inner loop Initial)

DSTC の転送回数カウンタの内ループカウンタの初期値を指定します。1～65536 の設定が可能です。0x0000 を指定した場合、65536 の指定になります。DSTC はこの値を取り込み、内ループカウンタ残量値(IRM)にロードして使用します。このため、モード 0 の場合 IRM の指定は不要です。

DSTC は、転送動作中この領域の値を書き換えません。DES1 の OuterReload 指定(ORL[0]=1)がある場合、最終転送後、DES4[15:0]の値をコピーします。

[bit31:16] ORM[15:0] (Outer loop remain)

DSTC の転送回数カウンタの外ループカウンタの残量値を指定します。1～65536 の設定が可能です。0x0000 を指定した場合、65536 の指定になります。

DSTC は DES のライトバック時にこの値をデクリメント更新します。転送終了時、0x0001 を格納します。DES1 の OuterReload 指定がある場合、最終転送後、DES4[31:16]の値をコピーします。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。

モード 0 の場合、転送回数は、以下の範囲の設定値としてください。この範囲外の設定値の場合、DES オープンエラーを通知します。

ORM=65536 の場合、IIN＜0x2000
ORM≧0x8000 の場合、IIN＜0x4000
ORM≧0x4000 の場合、IIN＜0x8000
ORM≧0x2000 の場合、IIN＜65536
(ORM＜0x2000 の場合、IIN に制限はありません。)

DV[1]=1 であって、転送終了時の DES1 が、転送開始時の値に戻らない設定は、DES オープンエラーを通知します。

ディスクリプタ構成 (モード 1 の場合)

アドレス：DESTP+DESP+0x04

bit	31	16	15	8	7	0
Field	ORM[15:0]		IRM[7:0]		IIN[7:0]	
C 属性	R/W		R/W		R/W	
D 属性	R/W		R/W		R/W	

ディスクリプタ機能　(モード 1 の場合)

[bit7:0] IIN[7:0]　(Inner loop Initial)

DSTC の転送回数カウンタの内ループカウンタの初期値を指定します。1～256 の設定が可能です。0x00 を指定した場合、256 の指定になります。

DSTC は、転送動作中この領域の値を書き換えません。DES1 の OuterReload 指定がある場合、最終転送後、DES4[7:0]の値がコピーされます。

[bit15:8] IRM[7:0] (Inner loop Remain)

DSTC の転送回数カウンタの内ループカウンタの残量値を指定します。IIN と同じ値を設定します。

DSTC は DES のライトバック時にこの値をデクリメント更新します。転送終了時、0x01 を格納します。DES1 の OuterReload 指定がある場合、最終転送後、DES4[15:8]の値をコピーします。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。DSTC が IRM>IIN である値を読み出した場合、DES オープンエラーを通知します。

[bit31:16] ORM[15:0] (Outer loop remain)

DSTC の転送回数カウンタの外ループカウンタの残量値を指定します。1～65536 の設定が可能です。0x0000 を指定した場合、65536 の指定になります。

DSTC は DES のライトバック時にこの値をデクリメント更新します。転送終了時、0x0001 を格納します。DES1 の OuterReload 指定がある場合、最終転送後、DES4[31:16]の値をコピーします。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。

DV[1]=1 であって、転送終了時の DES1 が、転送開始時の値に戻らない設定は、DES オープンエラーを通知します。

5.15 ディスクリプタ 2 (DES2）

ディスクリプタ 2 (DES2)について説明します。

DES2 ディスクリプタ構成

アドレス：DESTP+DESP+0x08

bit	31	0
Field	SA[31:0]	
C 属性	R/W	
D 属性	R/W	

DES2 ディスクリプタ機能

[bit31:0] SA[31:0] (Source Address)

転送元開始アドレス設定を行います。DES0.TW に指定したデータサイズに Unaligned な値を指定することはできません。DSTC は、DES のライトバック時にこの領域の値を更新します。DES2 の OuterReload 指定(ORL[1]=1)がある場合、最終転送後、DES5 の値をコピーします。転送元アドレスの InnerRelaod/OuterReload を指定していない時、転送終了時の値に注意してください。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。

5.16 ディスクリプタ 3 (DES3)

ディスクリプタ 3 (DES3)について説明します。

DES3 ディスクリプタ構成

アドレス：DESTP+DESP+0x0C

bit	31	0
Field	DA[31:0]	
C 属性	R/W	
D 属性	R/W	

DES3 ディスクリプタ機能

[bit31:0] DA[31:0] (Destination Address)

転送先開始アドレス設定を行います。DES0.TW に指定したデータサイズに Unaligned な値を指定することはできません。DSTC は、DES のライトバック時にこの領域の値を更新します。DES3 の OuterReload 指定(ORL[2]=1)がある場合、最終転送後、DES6 の値をコピーします。転送先アドレスの InnerRelaod/OuterReload を指定していない時、転送終了時の値に注意してください。転送がエラー終了した場合、転送途中の値を格納しています。CPU から初期化が必要です。

5.17 ディスクリプタ 4 (DES4)

ディスクリプタ 4 (DES4)について説明します。

DES4 ディスクリプタ構成

アドレス：DESTP+DESP+0x10　(ORL[2:0]=xx1 の場合)

bit	31	0
Field	DES4[31:0]	
C 属性	R/W	
D 属性	R	

DES4 ディスクリプタ機能

[bit31:0] DES4[31:0] (Descriptor4)

DES4 は、DES1(転送回数設定)に、OuterRelaod する値の設定を行います。DES1 と同じ配置構造で同じ値を指定します。DSTC はこの領域の値を書き換えません。

DES0.ORL[0]=0 の場合、DSTC は、DES4 領域が存在しないと判断します。

5.18 ディスクリプタ 5 (DES5）

ディスクリプタ 5 (DES5)について説明します。

DES5 ディスクリプタ構成

アドレス：DESTP+DESP+0x10　(ORL[2:0]=x10 の場合)
アドレス：DESTP+DESP+0x14　(ORL[2:0]=x11 の場合)

bit	31	0
Field	DES5[31:0]	
C 属性	R/W	
D 属性	R	

DES5 ディスクリプタ機能

[bit31:0] DES5[31:0] (Descriptor5)

DES5 は、DES2(転送元開始アドレス)に OuterRelaod する値の設定を行います。DES2 と同じ値を指定します。DSTC はこの領域の値を書き換えません。
DES0.ORL[1]=0 の場合、DSTC は、DES5 領域が存在しないと判断します。

5.19 ディスクリプタ 6 (DES6）

ディスクリプタ 6 (DES6)について説明します。

DES6 ディスクリプタ構成

アドレス：DESTP+DESP+0x10　(ORL[2:0]=100 の場合)
アドレス：DESTP+DESP+0x14　(ORL[2:0]=110, 101 の場合)
アドレス：DESTP+DESP+0x18　(ORL[2:0]=111 の場合)

bit	31	0
Field	DES6[31:0]	
C 属性	R/W	
D 属性	R	

DES6 ディスクリプタ機能

[bit31:0] DES6[31:0] (Descriptor6)

DES6 は、DES3(転送先開始アドレス)に OuterRelaod する値の設定を行います。DES3 と同じ値を指定します。DSTC はこの領域の値を書き換えません。
DES0.ORL[2]=0 の場合、DSTC は、DES6 領域が存在しないと判断します。

CHAPTER 12: I/O ポート

I/O ポートについて説明します。

1. 概要
2. 構成・ブロックダイヤグラム・動作説明
3. 設定手順例
4. レジスター一覧
5. 使用上の注意

1. 概要

I/O ポートの概要を説明します。

本ファミリの I/O ポートには、以下の特長があります。

■ 本ファミリの I/O ポートは以下の機能が兼用されています。

- GPIO

  CPU から、入力レベルの読出し, 出力レベルの設定が可能な汎用入出力ポートです。

  - 周辺入出力

    周辺機能のデジタル入出力信号ポートです。

- 特殊 I/O ポート
  - アナログ入力ポート

    A/D コンバータのアナログ入力ポートです。
  - アナログ出力ポート

    D/A コンバータのアナログ出力ポートです。
  - USB ポート
  - 発振ポート

端子ごとに以下の設定が可能です。

- GPIO として利用するか、周辺機能のデジタル端子として利用するか、特殊端子として使用するかを設定できます。
- ポートを入力ポートとして利用するか、出力ポートとして利用するかを設定できます。
- プルアップ ON/OFF を設定できます。
- 周辺機能は同一機能の入出力が複数の I/O ポートに割り振られています。どの I/O ポートに機能を割り当てるかを設定できます(リロケート機能)。
- レジスタ設定により、CPU がスタンバイモード中に I/O ポートを Hi-Z 状態にできます。

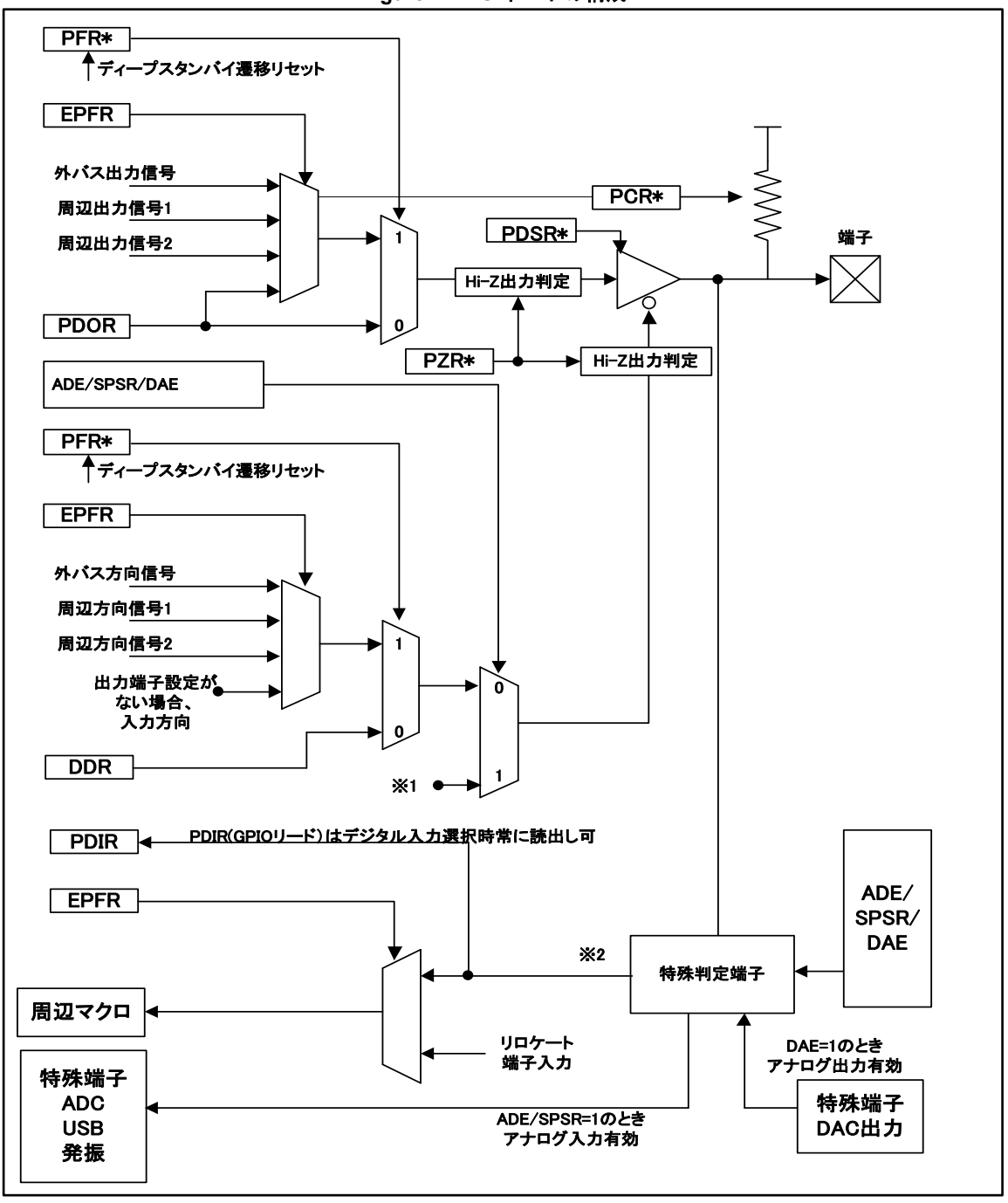
2. 構成・ブロックダイヤグラム・動作説明

I/O ポートの構成およびブロックダイヤグラム・動作を説明します。

I/O ポートの構成

I/O ポートの各レジスタの設定により、入出力方向選択, GPIO/周辺選択を行います。
Figure 2-1 に I/O ポートの構成を示します。

Figure 2-1 I/O ポートの構成



※1. 下記のどちらかが設定されたとき、I/O ポートは入力方向に設定されます。

- ADE/SPSR=1 のとき
- DAE=1 のとき

※2. 下記のどちらかが設定されたとき、入力値は 0 固定になります。
下記以外の設定の場合は、それぞれデジタル入力端子になります。

- ADE/SPSR=1 のとき
- DAE=1 のとき

＜注意事項＞

- *USB 端子にはプルアップ抵抗がありません*
- *プルアップ抵抗がない場合、PCR レジスタ設定は無効です。*
- *PZR レジスタの機能はある特定の端子にのみ実装されています。*
  - *ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PZR レジスタ制御可能"と記載のある端子のみが制御できます。*
- *PFR0[4:0] はディープスタンバイ遷移リセットで初期化されません。*
- *DAE ビットの詳細については、『アナログマクロ編』の『12 ビット D/A コンバータ』章の「5.1 D/A コントロールレジスタ(DACR)」を参照してください。*
- *VBAT ドメインにある端子(P49～P46)は PFR, DDR, PDIR, PDOR, PCR, PZR レジスタの設定は無効です。これらの端子は I/O ポートの構成としては同様ですが、VBAT レジスタ VBPFR, VBDDR, VBDIR, VBDOR, VBPCR. VBPZR にて設定します。レジスタの詳細は別章『VBAT ドメイン』を参照してください。*

Table 2-1 にレジスタ機能説明を示します。

- PFR, DDR, PDIR, PDOR, PCR レジスタは、I/O ポートごとに 1 ビットの制御レジスタが存在し、I/O ポートの機能選択を行うレジスタです。
- ADE レジスタは、アナログ入力端子を兼用する I/O ポートごとに 1 ビットの制御レジスタが存在し、I/O ポートの機能選択を行うレジスタです。
- SPSR レジスタは、USB 端子または発振端子を兼用する I/O ポートの機能選択を行うレジスタです。
- EPFR レジスタは、周辺機能の入出力端子ごとに制御レジスタが存在し、周辺機能の入出力端子をどの I/O ポートにリロケートするかを選択するレジスタです。
- PZR レジスタは、特定端子の H レベル出力時、I/O ポートを Hi-Z 化し、擬似的にオープンドレイン制御を設定するレジスタです。
- PDSR レジスタは、特定機能の駆動能力を選択するレジスタです。

Table 2-1 レジスタ機能説明

レジスタ名	機能説明
ADE	I/O ポートを特殊端子(アナログ入力端子)として使用するか、デジタル入出力端子として使用するかを設定するレジスタです。
SPSR	I/O ポートを特殊端子(USB・発振)として使用するか、デジタル入出力端子として使用するかを設定するレジスタです。
PFR	I/O ポートを GPIO 機能の入出力端子として使用するか、周辺機能の入出力端子として使用するかを設定するレジスタです。
PCR	I/O ポートをデジタル入力端子, デジタル双方向端子として使用する場合に、I/O ポートのプルアップ抵抗を接続するか、切断するかを設定するレジスタです。
DDR	I/O ポートを GPIO 機能端子として使用する場合、入力端子で使用するか、出力端子で使用するかを設定するレジスタです。 (注意事項) 端子が周辺機能の入出力端子として選択されている場合、設定値は無効です。
PDIR	I/O ポートのレベル状態を読み出すレジスタです。 - I/O ポートをデジタル入力端子として使用する場合、入力レベルを読み出します。 - I/O ポートをデジタル出力端子として使用する場合、出力レベルを読み出します。 - I/O ポートを特殊端子として使用する場合、常に"0"を読み出します。
PDOR	I/O ポートを GPIO 機能の出力端子として使用する場合に、出力レベルを設定するレジスタです。 - "0"設定時、Low レベルを出力します。 - "1"設定時、High レベルを出力します。 (注意事項) 端子が GPIO 入力、周辺機能の入出力端子として選択されている場合、設定値は無効です。
EPFR	周辺機能の入出力端子の機能選択およびリロケート機能を設定するレジスタです。 - 周辺出力端子設定 I/O ポートに対して出力 ON/OFF を設定します。また、どの I/O ポートにリロケートするかを、周辺機能の端子ごとに設定できます。 - 周辺入力端子設定 どの I/O ポートにリロケートするかを、周辺機能の端子ごとに設定できます。 - 周辺双方向端子設定 どの I/O ポートにリロケートするかを、周辺機能の端子ごとに設定できます。
PZR	I/O ポートのオープンドレイン制御を設定するレジスタです。 - I/O ポートが Low レベル出力時、I/O ポートを Low 出力にします。 (PCR の設定値によらず、プルアップ切断します) - I/O ポートが High レベル出力時、I/O ポートを Hi-Z 化し、擬似的にオープンドレイン制御します。(PCR の設定値によらず、プルアップ切断します) - I/O ポートが入力時、I/O ポートを Hi-Z 化し、入力方向にします。 (PCR の設定値によらず、プルアップ切断します) (注意事項) 本機能はある特定の端子にのみ実装されています。 ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PZR レジスタ制御可能"と記載のある端子のみが制御できます。
PDSR	IO ポートの駆動能力を制御するレジスタです。 - I/O ポートをデジタル出力端子として使用する場合、出力の駆動能力を選択するレジスタです。 (注意事項) ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PDSR レジスタ制御可能"と記載のある端子のみが制御できます。

Table 2-2 に選択される I/O ポート機能により、利用可能・利用不可能になる端子機能と、レジスタ設定値との一覧を示します。

Table 2-2 I/O ポート機能とレジスタ設定値

I/O ポート機能		ADE/ SPSR/ DAE	PFR	DDR	PZR	PCR	EPFR	PDSR
利用可能な主機能	利用可能な副機能							
特殊端子 (アナログ入力, アナログ出力, USB, 発振)	なし	1	-	-	-	切断	*0	*5
GPIO 機能入力端子	周辺機能入力端子	0	0	0	0	有効	*1	
				0	1	切断		
GPIO 機能出力端子	GPIO 機能入力端子(FB) 周辺機能入力端子(FB)			1	0	切断		
				1	1	切断		
選択周辺機能の出力端子	GPIO 機能入力端子(FB) 周辺機能入力端子(FB)		1	-	0	切断	*2	
					1	切断		
選択周辺機能の双方向端子	GPIO 機能入力端子(FB) 周辺機能入力端子(FB)				0	有効	*3	
					1	切断		
周辺機能入力端子	GPIO 機能入力端子				0	有効	*4	
					1	切断		

凡例

-: レジスタ設定値が端子機能に影響のないことを示します。

有効: PCR レジスタの値が 0 の場合、プルアップ抵抗が切断されることを示します。
PCR レジスタの値が 1 の場合、プルアップ抵抗が接続されることを示します。

切断: PCR レジスタの値によらず、プルアップ抵抗が切断されることを示します。

(FB): I/O ポート部の出力信号がフィードバックされて、PDIR から I/O ポートのレベルの読出し可能となることを示し、周辺機能の入力としても使用可能です。

*0: I/O ポートに対し周辺機能の入力端子を選択した場合、設定は無効です。
I/O ポートに対し周辺機能の出力端子を選択した場合、設定は無効です。
I/O ポートに対し周辺機能の双方向端子を選択した場合、設定は無効です。

*1: I/O ポートに対し周辺機能の入力端子を選択した場合、設定は有効です。
I/O ポートに対し周辺機能の出力端子を選択した場合、設定は無効です。
I/O ポートに対し周辺機能の双方向端子を選択した場合、設定は無効です。

*2: I/O ポートに対し周辺機能の出力端子を選択している場合を示します。

*3: I/O ポートに対し周辺機能の双方向端子を選択している場合を示します。

*4: I/O ポートに対し周辺機能の出力端子, 双方向端子のいずれも選択していない場合を示します。

*5: I/O ポートの機能によらず、PDSR レジスタ値が選択できます。

I/O ポートの初期選択機能

Table 2-3 に各 I/O ポートのリセット解除後の初期選択機能を示します。

Table 2-3 各 I/O ポートのリセット解除後の初期選択機能

No	端子	初期選択機能
1	TRSTX, TCK, TDI, TMS, TDO	JTAG 端子が選択されています。プルアップ抵抗 ON です。
2	ANxx	アナログ入力端子として使用可能です。デジタル入力は遮断されており 0 が入力されています。
3	X0, X1, X0A, X1A	発振端子として使用可能です。デジタル入力は遮断されており 0 が入力されています。
4	上記以外のすべての GPIO 端子	デジタル入力です。出力は Hi-Z です。

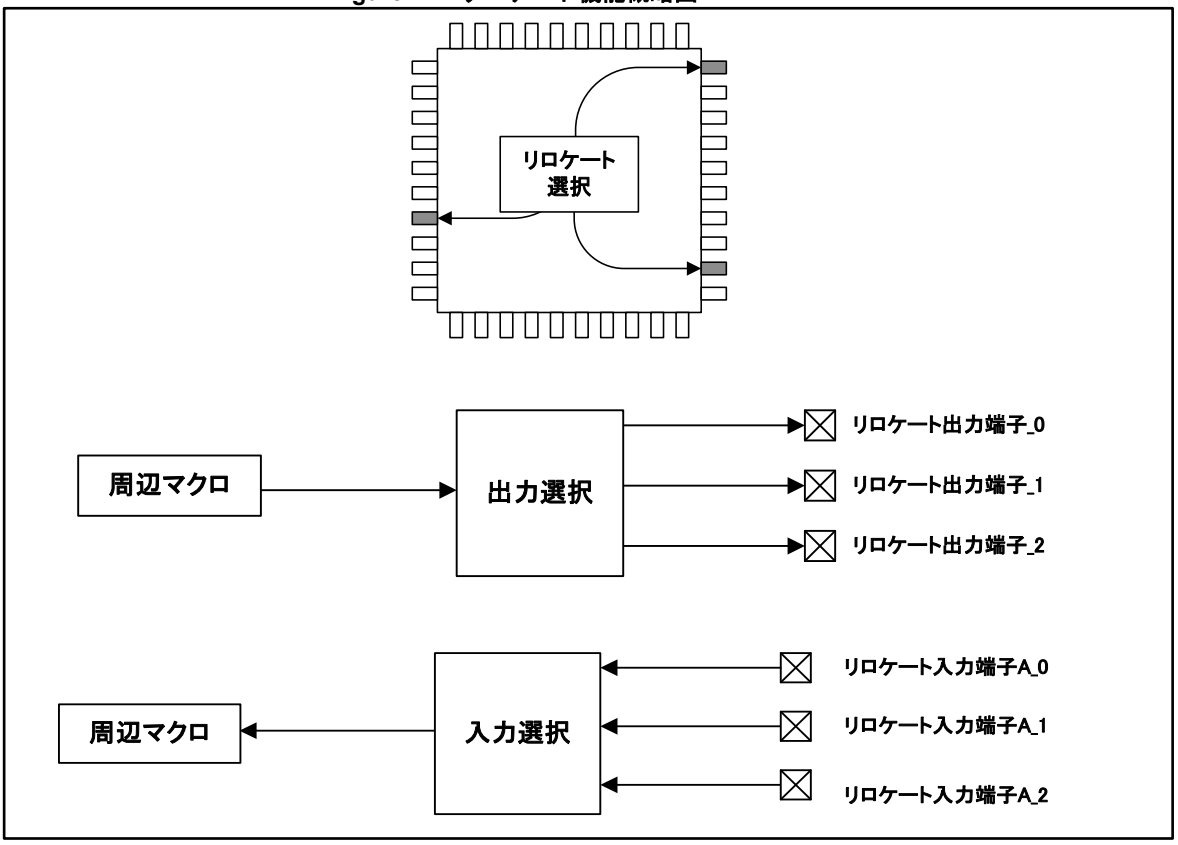
<注意事項>

- *GPIO 以外の端子(MD 端子，リセット端子)の状態はご使用する製品の『データシート』を参照してください。*
  リセット時の EPFR の出力選択値はすべて「出力しない」です。
  TYPE5-M4 製品以外のサブ発振端子については別章『VBAT ドメイン』を参照してください。

リロケート機能について

周辺機能の入出力は、端子が複数準備されているものがあります(リロケート端子)。
EPFR 設定によりいずれかの端子を 1 つ選択できます。Figure 2-2 にリロケート機能の概略図を示します。

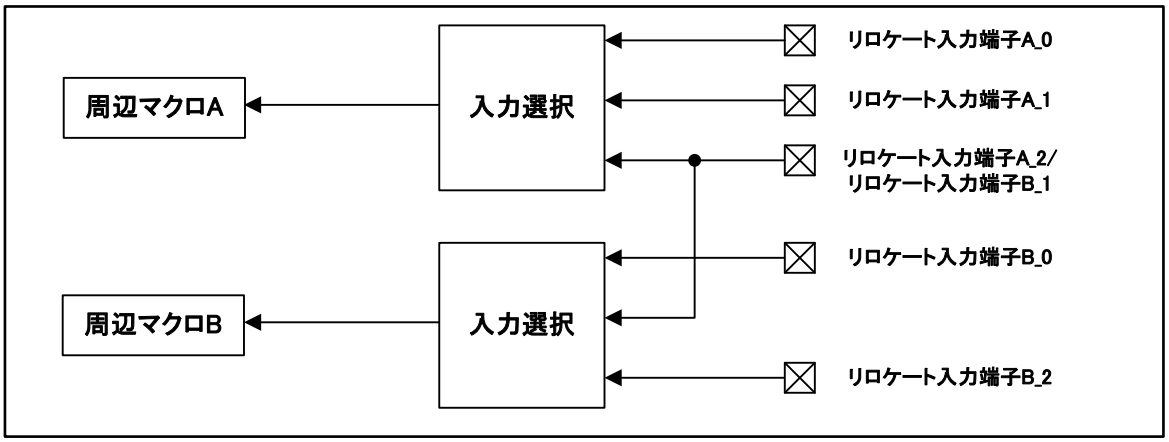
Figure 2-2 リロケート機能概略図



＜注意事項＞

- *どの周辺機能がどの端子に配置されているかは、製品により異なります。*
- *ご使用する製品の『データシート』の端子機能一覧表を参照してください。1 つの I/O ポートの入力が複数の周辺機能に接続されていても、EPFR の設定により周辺の入力はすべて使用できます。例えば、Figure 2-3 にて、「リロケート入力端子 A_2」と、「リロケート入力端子 B_1」をそれぞれ入力選択しておくことで同時に使用することが可能です。これにより、1 つの I/O ポートに兼用されている外部割込みと、マルチファンクションシリアル入力端子を同時に使用することが可能になります。*

Figure 2-3 複数の周辺入力

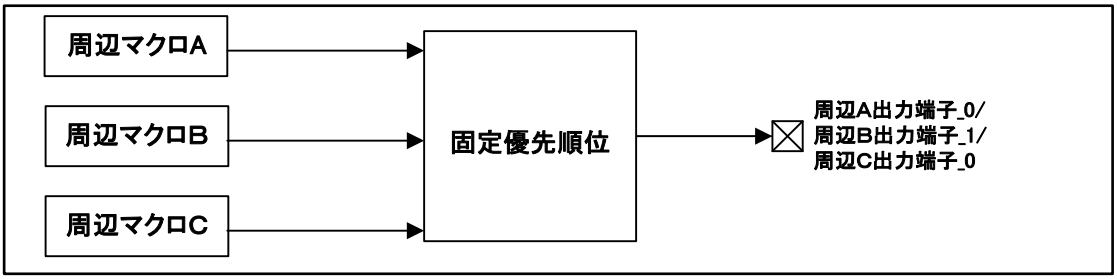


I/O 端子が出力として設定されていても、入力はマスクされないため入力端子としても機能します。例えば、タイマの出力を兼用している外部割込みの入力とすることが可能です。

EPFR の出力固定優先順位について

1 つの I/O ポートには、複数ある出力のうち 1 つの出力端子機能しか割り付けられません。
EPFR レジスタの設定により、出力が重複設定された場合、固定優先順位が適用され出力端子選択が行われます。Figure 2-4 に出力端子と固定優先順位を示します。

Figure 2-4 出力端子と固定優先順位



EPFR の固定優先順位を Table 2-4 に示します。

Table 2-4 EPFR の固定優先順位

優先順位	周辺機能	該当端子
高	特殊入力	JTAG 入力, NMI 入力
↓	JTAG, トレース	出力端子, 入出力端子
↓	Ethernet-MAC	入出力端子
↓	Hi-Speed Quad SPI controller	出力端子, 入出力端子
↓	HyperBus Interface	出力端子, 入出力端子
↓	HDMI-CEC	入出力端子
↓	USB (HCONX)	出力端子
↓	I2S	入出力端子
↓	CAN	出力端子
↓	MFS-I2S	出力端子, 入力端子
↓	マルチファンクションシリアル	出力端子, 入出力端子
↓	ベースタイマ出力	入出力端子
↓	多機能タイマ	出力端子
↓	外バス	出力端子, 入出力端子
↓	SD カードインタフェース	出力端子, 入出力端子
↓	スマートカードインタフェース	出力端子, 入出力端子
↓	高速 CR 発振出力	出力端子
↓	RTC クロック出力	出力端子
↓	サブクロック分周出力	出力端子
低	GDC Panel 出力	出力端子

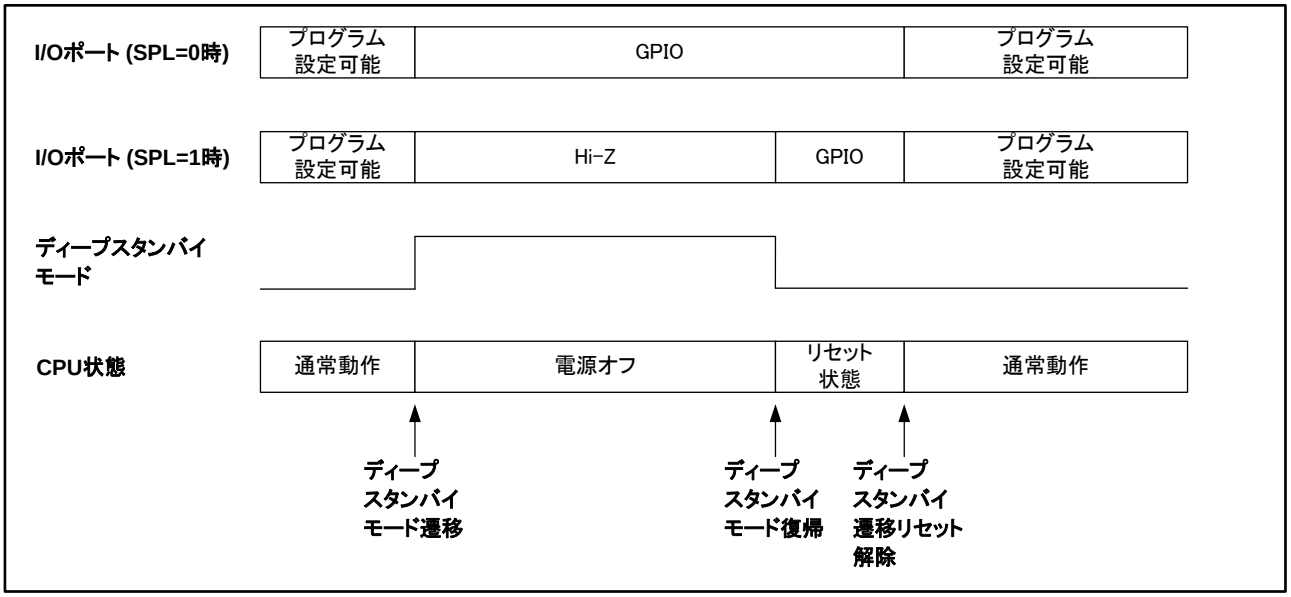
<注意事項>

- *固定優先順位があるのは、設定機能が「出力」どうしの場合です。「入力」どうしの場合には優先順位はありません。*
  ただし、「特殊入力」については、ほかの「出力」設定よりも優先順位が上になります。「特殊入力」が選択されているときは、同一ポートに割り付けられている「出力」設定が無効になります。
- *優先順位の低位側の出力設定のために EPFR レジスタには"出力しない"設定が必ずあります。*
- *端子を周辺機能の外部入力端子として使用する場合には、兼用する出力設定をすべて OFF にしてください。EPFR レジスタで、端子の出力選択がすべて OFF になっている場合に、端子は外部入力端子として機能します。*

ディープスタンバイモード時の動作

ディープスタンバイモード時は GPIO 機能が選択されます。Figure 2-5 にディープスタンバイモード時の I/O ポート動作を示します。

Figure 2-5 ディープスタンバイモード時の I/O ポート動作



<注意事項>

- *ディープスタンバイモード時の各端子の状態は、ご使用する製品の『データシート』の端子状態表を参照してください。*

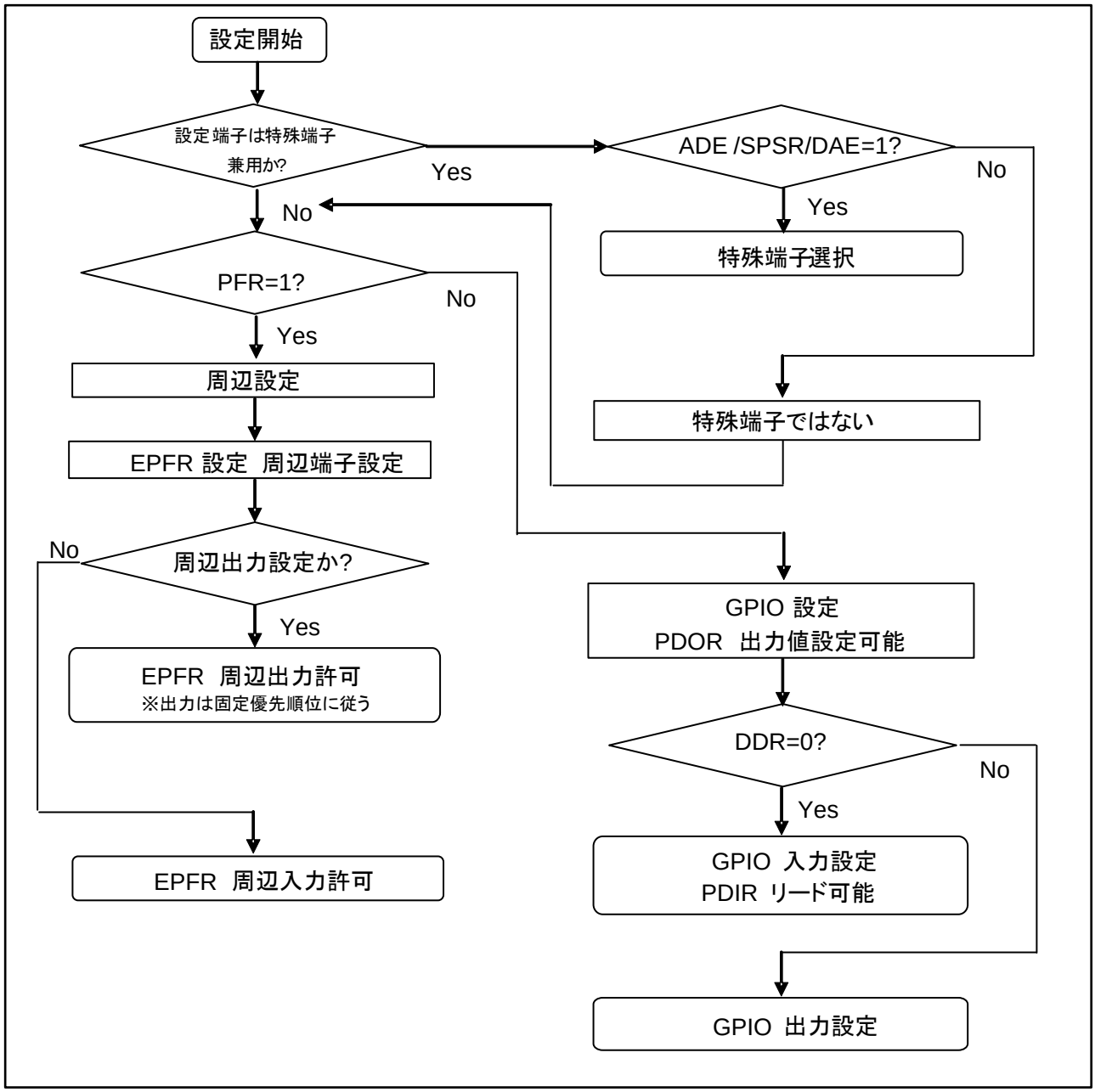
3. 設定手順例

I/O ポートの設定手順例を説明します。

I/O ポートの設定

I/O ポートの各レジスタの設定により、入出力方向選択, GPIO/周辺選択を行います。
Figure 3-1 に設定手順例を示します。

Figure 3-1 I/O ポート設定手順例



4. レジスター覧

I/O ポートのレジスター覧を説明します。
レジスター覧を Table 4-1 に示します。

Table 4-1 I/O ポートレジスター覧

レジスタ略称	レジスタ名	参照先
PFR0	ポート機能設定レジスタ 0	4.1
PFR1	ポート機能設定レジスタ 1	
PFR2	ポート機能設定レジスタ 2	
PFR3	ポート機能設定レジスタ 3	
PFR4	ポート機能設定レジスタ 4	
PFR5	ポート機能設定レジスタ 5	
PFR6	ポート機能設定レジスタ 6	
PFR7	ポート機能設定レジスタ 7	
PFR8	ポート機能設定レジスタ 8	
PFR9	ポート機能設定レジスタ 9	
PFRA	ポート機能設定レジスタ A	
PFRB	ポート機能設定レジスタ B	
PFRC	ポート機能設定レジスタ C	
PFRD	ポート機能設定レジスタ D	
PFRE	ポート機能設定レジスタ E	
PFRF	ポート機能設定レジスタ F	
PCR0	プルアップ設定レジスタ 0	4.2
PCR1	プルアップ設定レジスタ 1	
PCR2	プルアップ設定レジスタ 2	
PCR3	プルアップ設定レジスタ 3	
PCR4	プルアップ設定レジスタ 4	
PCR5	プルアップ設定レジスタ 5	
PCR6	プルアップ設定レジスタ 6	
PCR7	プルアップ設定レジスタ 7	
PCR9	プルアップ設定レジスタ 9	
PCRA	プルアップ設定レジスタ A	
PCRB	プルアップ設定レジスタ B	
PCRC	プルアップ設定レジスタ C	
PCRD	プルアップ設定レジスタ D	
PCRE	プルアップ設定レジスタ E	
PCRF	プルアップ設定レジスタ F	
DDR0	ポート入出力方向設定レジスタ 0	4.3
DDR1	ポート入出力方向設定レジスタ 1	
DDR2	ポート入出力方向設定レジスタ 2	
DDR3	ポート入出力方向設定レジスタ 3	
DDR4	ポート入出力方向設定レジスタ 4	
DDR5	ポート入出力方向設定レジスタ 5	
DDR6	ポート入出力方向設定レジスタ 6	
DDR7	ポート入出力方向設定レジスタ 7	
DDR8	ポート入出力方向設定レジスタ 8	

レジスタ略称	レジスタ名	参照先
DDR9	ポート入出力方向設定レジスタ 9	4.3
DDRA	ポート入出力方向設定レジスタ A	
DDRB	ポート入出力方向設定レジスタ B	
DDRC	ポート入出力方向設定レジスタ C	
DDRD	ポート入出力方向設定レジスタ D	
DDRE	ポート入出力方向設定レジスタ E	
DDRF	ポート入出力方向設定レジスタ F	
PDIR0	ポート入力データレジスタ 0	4.4
PDIR1	ポート入力データレジスタ 1	
PDIR2	ポート入力データレジスタ 2	
PDIR3	ポート入力データレジスタ 3	
PDIR4	ポート入力データレジスタ 4	
PDIR5	ポート入力データレジスタ 5	
PDIR6	ポート入力データレジスタ 6	
PDIR7	ポート入力データレジスタ 7	
PDIR8	ポート入力データレジスタ 8	
PDIR9	ポート入力データレジスタ 9	
PDIRA	ポート入力データレジスタ A	
PDIRB	ポート入力データレジスタ B	
PDIRC	ポート入力データレジスタ C	
PDIRD	ポート入力データレジスタ D	
PDIRE	ポート入力データレジスタ E	
PDIRF	ポート入力データレジスタ F	
PDOR0	ポート出力データレジスタ 0	4.5
PDOR1	ポート出力データレジスタ 1	
PDOR2	ポート出力データレジスタ 2	
PDOR3	ポート出力データレジスタ 3	
PDOR4	ポート出力データレジスタ 4	
PDOR5	ポート出力データレジスタ 5	
PDOR6	ポート出力データレジスタ 6	
PDOR7	ポート出力データレジスタ 7	
PDOR8	ポート出力データレジスタ 8	
PDOR9	ポート出力データレジスタ 9	
PDORA	ポート出力データレジスタ A	
PDORB	ポート出力データレジスタ B	
PDORC	ポート出力データレジスタ C	
PDORD	ポート出力データレジスタ D	
PDORE	ポート出力データレジスタ E	
PDORF	ポート出力データレジスタ F	
ADE	アナログ入力設定レジスタ	–
SPSR	特殊ポート設定レジスタ	4.41
EPFR00	拡張機能端子設定レジスタ 00	4.8
EPFR01	拡張機能端子設定レジスタ 01	4.9
EPFR02	拡張機能端子設定レジスタ 02	4.10
EPFR03	拡張機能端子設定レジスタ 03	4.11

レジスタ略称	レジスタ名	参照先
EPFR04	拡張機能端子設定レジスタ 04	4.12
EPFR05	拡張機能端子設定レジスタ 05	4.13
EPFR06	拡張機能端子設定レジスタ 06	4.14
EPFR07	拡張機能端子設定レジスタ 07	4.15
EPFR08	拡張機能端子設定レジスタ 08	4.16
EPFR09	拡張機能端子設定レジスタ 09	4.17
EPFR10	拡張機能端子設定レジスタ 10	4.18
EPFR11	拡張機能端子設定レジスタ 11	4.19
EPFR12	拡張機能端子設定レジスタ 12	4.20
EPFR13	拡張機能端子設定レジスタ 13	4.21
EPFR14	拡張機能端子設定レジスタ 14	4.22
EPFR15	拡張機能端子設定レジスタ 15	4.23
EPFR16	拡張機能端子設定レジスタ 16	4.24
EPFR17	拡張機能端子設定レジスタ 17	4.25
EPFR18	拡張機能端子設定レジスタ 18	4.26
EPFR19	拡張機能端子設定レジスタ 19	4.27
EPFR20	拡張機能端子設定レジスタ 20	4.28
EPFR21	拡張機能端子設定レジスタ 21	4.29
EPFR22	拡張機能端子設定レジスタ 22	4.30
EPFR23	拡張機能端子設定レジスタ 23	4.31
EPFR24	拡張機能端子設定レジスタ 24	4.32
EPFR25	拡張機能端子設定レジスタ 25	4.33
EPFR26	拡張機能端子設定レジスタ 26	4.34
EPFR27	拡張機能端子設定レジスタ 27	4.35
EPFR28	拡張機能端子設定レジスタ 28	4.36
EPFR29	拡張機能端子設定レジスタ 29	4.37
EPFR30	拡張機能端子設定レジスタ 30	4.38
EPFR33	拡張機能端子設定レジスタ 33	4.39
EPFR35	拡張機能端子設定レジスタ 35	4.40
PZR0	ポート擬似オープンドレイン設定レジスタ 0	4.42
PZR1	ポート擬似オープンドレイン設定レジスタ 1	
PZR2	ポート擬似オープンドレイン設定レジスタ 2	
PZR3	ポート擬似オープンドレイン設定レジスタ 3	
PZR4	ポート擬似オープンドレイン設定レジスタ 4	
PZR5	ポート擬似オープンドレイン設定レジスタ 5	
PZR6	ポート擬似オープンドレイン設定レジスタ 6	
PZR7	ポート擬似オープンドレイン設定レジスタ 7	
PZR8	ポート擬似オープンドレイン設定レジスタ 8	
PZR9	ポート擬似オープンドレイン設定レジスタ 9	
PZRA	ポート擬似オープンドレイン設定レジスタ A	
PZRB	ポート擬似オープンドレイン設定レジスタ B	
PZRC	ポート擬似オープンドレイン設定レジスタ C	
PZRD	ポート擬似オープンドレイン設定レジスタ D	
PZRE	ポート擬似オープンドレイン設定レジスタ E	
PZRF	ポート擬似オープンドレイン設定レジスタ F	

レジスタ略称	レジスタ名	参照先
PDSR0	ポート駆動能力選択レジスタ 0	4.43
PDSR1	ポート駆動能力選択レジスタ 1	
PDSR2	ポート駆動能力選択レジスタ 2	
PDSR3	ポート駆動能力選択レジスタ 3	
PDSR4	ポート駆動能力選択レジスタ 4	
PDSR5	ポート駆動能力選択レジスタ 5	
PDSR6	ポート駆動能力選択レジスタ 6	
PDSR7	ポート駆動能力選択レジスタ 7	
PDSR8	ポート駆動能力選択レジスタ 8	
PDSR9	ポート駆動能力選択レジスタ 9	
PDSRA	ポート駆動能力選択レジスタ A	
PDSRB	ポート駆動能力選択レジスタ B	
PDSRC	ポート駆動能力選択レジスタ C	
PDSRD	ポート駆動能力選択レジスタ D	
PDSRE	ポート駆動能力選択レジスタ E	
PDSRF	ポート駆動能力選択レジスタ F	

4.1 ポート機能設定レジスタ(PFRx)

PFRx レジスタは端子の利用方法を選択します。

PFR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性	対応ポート
予約	PFR0	0x001F	R/W	P0F～P00
予約	PFR1	0x0000	R/W	P1F～P10
予約	PFR2	0x0000	R/W	P2F～P20
予約	PFR3	0x0000	R/W	P3F～P30
予約	PFR4	0x0000	R/W	P4F～P40
予約	PFR5	0x0000	R/W	P5F～P50
予約	PFR6	0x0000	R/W	P6F～P60
予約	PFR7	0x0000	R/W	P7F～P70
予約	PFR8	0x0000	R/W	P8F～P80
予約	PFR9	0x0000	R/W	P9F～P90
予約	PFRA	0x0000	R/W	PAF～PA0
予約	PFRB	0x0000	R/W	PBF～PB0
予約	PFRC	0x0000	R/W	PCF～PC0
予約	PFRD	0x0000	R/W	PDF～PD0
予約	PFRE	0x0000	R/W	PEF～PE0
予約	PFRF	0x0000	R/W	PFF～PF0

レジスタ構成詳細

bit	31 16	15 0
Field	予約	PFRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit15:0] PFRx : ポート機能設定レジスタ x

端子の利用方法を設定します。

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子を GPIO 端子として使用します。
	1	当該ビットに対応する端子を周辺機能の入出力端子として使用します。

<注意事項>

- *PFRx の"x"記載はワイルドカードです。PFR0, PFR1, PFR2,・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*
- *PxF～Px0 までの 16 本のポート機能設定が可能です。*
- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PFR0 の bit15 は P0F を、PFR0 の bit14 が P0E を、PFR0 の bit0 が P00 を設定します。*
- *P04～P00 までは、JTAG 端子が選択されるため、初期値は 1 です。*

- *製品に存在しない端子のビット値への書込みは初期値を書き込んでください。また読出し値は不定になります。*
- *発振端子(X0, X1)を兼用している GPIO についてはPFR=1 書込みは禁止です。発振端子として使用する場合も、必ずPFR=0 としてください。*
- *P49～P46 は本レジスタによる設定は無効です。VBAT のポート機能制御レジスタ(VBPFR)にて設定してください。VBAT の詳細については『VBAT ドメイン』を確認してください。*
- *PFR0[4:0]はディープスタンバイ遷移リセットで初期化されません。*
- *TYPE3-M4 製品で、HDMI-CEC が割り当てられている端子に対応する PFRx のビットは、EPFR18 の CECR0B/CECR1B が"0b00"以外の場合、ディープスタンバイ遷移リセットで初期化されません。*

4.2 プルアップ設定レジスタ(PCRx)

PCRx レジスタは端子のプルアップを設定します。

PCR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性	対応ポート
予約	PCR0	0x001F	R/W	P0F～P00
予約	PCR1	0x0000	R/W	P1F～P10
予約	PCR2	0x0000	R/W	P2F～P20
予約	PCR3	0x0000	R/W	P3F～P30
予約	PCR4	0x0000	R/W	P4F～P40
予約	PCR5	0x0000	R/W	P5F～P50
予約	PCR6	0x0000	R/W	P6F～P60
予約	PCR7	0x0000	R/W	P7F～P70
予約	-	-	-	-
予約	PCR9	0x0000	R/W	P9F～P90
予約	PCRA	0x0000	R/W	PAF～PA0
予約	PCRB	0x0000	R/W	PBF～PB0
予約	PCRC	0x0000	R/W	PCF～PC0
予約	PCRD	0x0000	R/W	PDF～PD0
予約	PCRE	0x0000	R/W	PEF～PE0
予約	PCRF	0x0000	R/W	PFF～PF0

レジスタ構成詳細

bit	31 16	15 0
Field	予約	PCRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit15:0] PCRx : プルアップ設定レジスタ x

端子のプルアップを設定します。

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子のプルアップ抵抗を切断します。
	1	当該ビットに対応する端子が入力状態(GPIO・周辺機能いずれも)の場合にプルアップ抵抗が接続されます。 当該ビットに対応する端子が出力状態の場合プルアップ抵抗は切断されます。

<注意事項>

- *PCRx の"x"記載はワイルドカードです。PCR0, PCR1, PCR2,・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や, P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*
- *1 つのレジスタで PxF～Px0 までの 16 本のプルアップ設定が可能です。*

- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は1対1に対応します。例えば、PCR0 の bit15 が P0F を、PCR0 の bit14 が P0E を、PCR0 の bit0 が P00 を設定します。*
- *P00～P04 は、JTAG 端子が選択されるため、初期値=1 になります。*
- *I2C 使用時は PCRx=0 を設定して、外部端子にプルアップ抵抗を接続してください。*
- *PCR8 はありません。*
- *製品に存在しない端子のビット値への書込みは初期値を書き込んでください。また読出し値は不定になります。*
- *PE0, PE1 にはプルアップが存在しません。そのため、レジスタ書込みは無効です。読出し値は、初期値または書込み値が読み出されます。*
- *P49～P46 は本レジスタによる設定は無効です。VBAT のプルアップ設定レジスタ(VBPCR)にて設定してください。VBAT の詳細については『VBAT ドメイン』を確認してください。*
- *PCRx レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.3 ポート入出力方向設定レジスタ(DDRx)

DDRx レジスタは端子の入出力方向を設定します。

DDR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性	対応ポート
予約	DDR0	0x0000	R/W	P0F～P00
予約	DDR1	0x0000	R/W	P1F～P10
予約	DDR2	0x0000	R/W	P2F～P20
予約	DDR3	0x0000	R/W	P3F～P30
予約	DDR4	0x0000	R/W	P4F～P40
予約	DDR5	0x0000	R/W	P5F～P50
予約	DDR6	0x0000	R/W	P6F～P60
予約	DDR7	0x0000	R/W	P7F～P70
予約	DDR8	0x0000	R/W	P8F～P80
予約	DDR9	0x0000	R/W	P9F～P90
予約	DDRA	0x0000	R/W	PAF～PA0
予約	DDRB	0x0000	R/W	PBF～PB0
予約	DDRC	0x0000	R/W	PCF～PC0
予約	DDRD	0x0000	R/W	PDF～PD0
予約	DDRE	0x0000	R/W	PEF～PE0
予約	DDRF	0x0000	R/W	PFF～PF0

レジスタ構成詳細

bit	31 16	15 0
Field	予約	DDRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit15:0] DDRx : ポート入出力方向設定レジスタ x

端子の入出力方向を設定します。

bit		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	GPIO を入力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。
	1	GPIO を出力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。

<注意事項>

- *DDRx の"x"記載はワイルドカードです。DDR0, DDR1, DDR2,・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*

- *1 つのレジスタで PxF～Px0 までの 16 本のポート入出力方向設定が可能です。*
- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は 1 対 1 に対応します。例えば、DDR0 の bit15 が P0F を、DDR0 の bit14 が P0E を、DDR0 の bit0 が P00 を設定します。*
- *多機能タイマの出力 RTO が選択されている場合は、DTTIX 信号による緊急停止時、端子状態を DDR で制御します。詳細は『タイマ編』の『多機能タイマ』の章を参照してください。*
- *製品に存在しない端子のビット値への書込みは初期値を書き込んでください。また読出し値は不定になります。*
- *P49～P46 は本レジスタによる設定は無効です。VBAT のポート入出力方向設定レジスタ (VBDDR)にて設定してください。VBAT の詳細については『VBAT ドメイン』を確認してください。*
- *DDRx レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.4 ポート入力データレジスタ(PDIRx)

PDIRx レジスタは端子の入力データを示します。

PDIR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性	対応ポート
予約	PDIR0	0x0000	R	P0F～P00
予約	PDIR1	0x0000	R	P1F～P10
予約	PDIR2	0x0000	R	P2F～P20
予約	PDIR3	0x0000	R	P3F～P30
予約	PDIR4	0x0000	R	P4F～P40
予約	PDIR5	0x0000	R	P5F～P50
予約	PDIR6	0x0000	R	P6F～P60
予約	PDIR7	0x0000	R	P7F～P70
予約	PDIR8	0x0000	R	P8F～P80
予約	PDIR9	0x0000	R	P9F～P90
予約	PDIRA	0x0000	R	PAF～PA0
予約	PDIRB	0x0000	R	PBF～PB0
予約	PDIRC	0x0000	R	PCF～PC0
予約	PDIRD	0x0000	R	PDF～PD0
予約	PDIRE	0x0000	R	PEF～PE0
予約	PDIRF	0x0000	R	PFF～PF0

レジスタ構成詳細

bit	31 16	15 0
Field	予約	PDIRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit15:0] PDIRx : ポート入力データレジスタ x

端子の入力データを読み出します。

bit		説明
読出し時	0	端子機能の設定(PFR/EPFR/DDR/PDOR)によらず、端子が"L"レベル入力状態または、"L"レベル出力状態であることを示します。ADE/SPSR により、特殊端子が選択されている場合は、入力遮断されているので常に 0 が読み出されます。
	1	端子機能の設定(PFR/EPFR/DDR/PDOR)によらず、端子が"H"レベル入力状態または、"H"レベル出力状態であることを示します。
書込み時		書込みは動作に影響しません。

<注意事項>

- *PDIRx の"x"記載はワイルドカードです。PDIR0, PDIR1, PDIR2,・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20,・・・を、PxF とは、P0F, P1F, P2F,・・・を示します。*
- *1 つのレジスタで PxF～Px0 までの 16 本のポート入力データの読出しが可能です。*

- *レジスタの各ビットが個別に各端子状態を示します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PDIR0 の bit15 が P0F を、PDIR0 の bit14 が P0E を、PDIR0 の bit0 が P00 を示します。*
- *製品に存在しない端子のビット値は常に"0"が読み出されます。*
- *P49~P46 は本レジスタによる設定は無効です。VBAT のポート入力データレジスタ(VBDIR)にて確認してください。VBAT の詳細については『VBAT ドメイン』を確認してください。*
- *PDIRx レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.5 ポート出力データ レジスタ x(PDORx)

PDORx レジスタは端子への出力データを設定します。

PDOR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性	対応ポート
予約	PDOR0	0x0000	R/W	P0F～P00
予約	PDOR1	0x0000	R/W	P1F～P10
予約	PDOR2	0x0000	R/W	P2F～P20
予約	PDOR3	0x0000	R/W	P3F～P30
予約	PDOR4	0x0000	R/W	P4F～P40
予約	PDOR5	0x0000	R/W	P5F～P50
予約	PDOR6	0x0000	R/W	P6F～P60
予約	PDOR7	0x0000	R/W	P7F～P70
予約	PDOR8	0x0000	R/W	P8F～P80
予約	PDOR9	0x0000	R/W	P9F～P90
予約	PDORA	0x0000	R/W	PAF～PA0
予約	PDORB	0x0000	R/W	PBF～PB0
予約	PDORC	0x0000	R/W	PCF～PC0
予約	PDORD	0x0000	R/W	PDF～PD0
予約	PDORE	0x0000	R/W	PEF～PE0
予約	PDORF	0x0000	R/W	PFF～PF0

レジスタ構成詳細

bit	31 16	15 0
Field	予約	PDORx

レジスタ機能

[bit31:16] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit15:0] PDORx : ポート出力データ レジスタ x

端子の出力データを設定します。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	GPIO に L レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。
	1	GPIO に H レベルを出力します。 端子が I/O 入力, 周辺機能の入出力端子として選択されている場合、設定値は無効です。

<注意事項>

- *PDORx の"x"記載はワイルドカードです。PDOR0, PDOR1, PDOR2, ・・・を示します。*
- *Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20, ・・・を、PxF とは、P0F, P1F, P2F, ・・・を示します。*
- *1 つのレジスタで PxF～Px0 までの 16 本のポート出力データの設定が可能です。*

- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は1対1に対応します。例えば、PDOR0 の bit15 が P0F を、PDOR0 の bit14 が P0E を、PDOR0 の bit0 が P00 を設定します。*
- *製品に存在しない端子のビット値への書込みは初期値を書き込んでください。また読出し値は不定になります。*
- *P49～P46 は本レジスタによる設定は無効です。VBAT のポート出力データレジスタ(VBDOR)にて設定してください。VBAT の詳細については『VBAT ドメイン』を確認してください。*
- *PDORx レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.6 アナログ入力設定レジスタ(ADE)

ADE レジスタは外部端子を ADC のアナログ信号入力端子として設定します。

レジスタ構成

bit	31	0
Field	ADE	
属性	R/W	
初期値	0xFFFFFFFF	

レジスタ機能

[bit31:0] ADE： アナログ入力設定レジスタ

アナログ信号入力端子として設定します。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	外部端子をアナログ入力として使用せず、デジタル入出力として使用します。
	1	外部端子をアナログ入力として使用します。 (I/O セルは、入力方向, 入力遮断, プルアップ切断状態になります。)

<注意事項>

- *本レジスタにより、AN31～AN00 までのアナログ入力端子が設定されます。*
- *レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は一対一に対応します。例えば、ADE の bit31 が AN31 を、ADE の bit14 が AN14 を、ADE の bit0 が AN00 を設定します。ANxx がどのポートに配置されているかは製品により異なります。詳細はご使用する製品の『データシート』を参照してください。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.7 拡張機能端子設定レジスタ(EPFRx)

EPFRx レジスタは、機能が複数ある場合に、端子への機能割当てを設定します。

EPFRx のレジスタ構成一覧

bit 31 … 0	初期値	属性	対応機能
EPFR00	0x00030000	R/W	システム機能
EPFR01	0x00000000	R/W	多機能タイマ
EPFR02	0x00000000	R/W	
EPFR03	0x00000000	R/W	
EPFR04	0x00000000	R/W	ベースタイマ
EPFR05	0x00000000	R/W	
EPFR06	0x00000000	R/W	外部割込み
EPFR07	0x00000000	R/W	マルチファンクション シリアル
EPFR08	0x00000000	R/W	
EPFR09	0x00000000	R/W	CAN/ADC トリガ/QPRC
EPFR10	0x00000000	R/W	外部バス
EPFR11	0x00000000	R/W	
EPFR12	0x00000000	R/W	ベースタイマ
EPFR13	0x00000000	R/W	
EPFR14	0x00000000	R/W	QPRC /Ethernet-MAC
EPFR15	0x00000000	R/W	外部割込み
EPFR16	0x00000000	R/W	マルチファンクション シリアル
EPFR17	0x00000000	R/W	
EPFR18	0x00000000	R/W	QPRC/SD カードインタフェース /HDMI-CEC
EPFR19	0x00000000	R/W	予約
EPFR20	0x00000000	R/W	外部バス
EPFR21	0x00000000	R/W	予約
EPFR22	0x00000000	R/W	予約
EPFR23	0x00000000	R/W	マルチファンクションシリアル
EPFR24	0x00000000	R/W	I2S
EPFR25	0x00000000	R/W	CAN-FD
EPFR26	0x00000000	R/W	High-Speed Quad SPI controller
EPFR27	0x00000000	R/W	HyperBus Interface
EPFR28	0x00000000	R/W	GDC: Panel
EPFR29	0x00000000	R/W	
EPFR30	0x00000000	R/W	

<注意事項>

- *EPFRx レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.8 拡張機能端子設定レジスタ 00(EPFR00)

EPFR00 レジスタは、外部端子に複数の機能がある場合に、端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				TRC3E	TRC2E	TRC1E	TRC0E
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約						JTAGEN1S	JTAGEN0B
属性	-						R/W	R/W
初期値	-						1	1

bit	15	14	13	12	11	10	9	8
Field	予約		USBP1E	予約			USBP0E	予約
属性	-		R/W	-			R/W	-
初期値	-		0	-			0	

bit	7	6	5	4	3	2	1	0
Field	SUBOUTE		RTCCOE		予約	CROUTE		NMIS
属性	R/W		R/W		-	R/W		R/W
初期値	00		00		-	00		0

レジスタ機能

[bit31:28] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit27] TRC3E : TRACED 機能選択ビット 3

TRACED8 ~ TRACED15 端子の機能選択を行います。
本ビットは TYPE1-M4, TYPE2-M4, TYPE4-M4, TYPE6-M4 製品にはありません。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	TRACED8 ~ TRACED15 の 8 端子を使用しません。[初期値] (兼用する端子が利用可能)
	1	TRACED8 ~ TRACED15 の 8 端子を使用します。

[bit26] TRC2E : TRACED 機能選択ビット 2

TRACED4 ~ TRACED7 端子の機能選択を行います。
本ビットは TYPE1-M4, TYPE2-M4, TYPE4-M4, TYPE6-M4 製品にはありません。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	TRACED4 ~TRACED7 の 4 端子を使用しません。[初期値] (兼用する端子が利用可能)
	1	TRACED4 ~TRACED7 の 4 端子を使用します。

[bit25] TRC1E : TRACED 機能選択ビット 1

TRACED2, TRACED3 端子の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	TRACED2, TRACED3 の 2 端子を使用しません。[初期値] (兼用する端子が利用可能)
	1	TRACED2, TRACED3 の 2 端子を使用します。

[bit24] TRC0E : TRACED 機能選択ビット 0

TRACECLK, TRACED0, TRACED1 端子の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	TRACECLK, TRACED0, TRACED1 の 3 端子を使用しません。[初期値] (兼用する端子が利用可能)
	1	TRACECLK, TRACED0, TRACED1 の 3 端子を使用します。

[bit23:18] 予約 : 予約ビット

これらのビットからは、0b000000 が読み出されます。
書込みの場合には、0b000000 を設定してください。

[bit17] JTAGEN1S : JTAG 機能選択ビット 1

TRSTX, TDI 端子の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	TRSTX, TDI の 2 端子を使用しません。 (兼用する端子が利用可能)
	1	TRSTX, TDI の 2 端子を使用します。[初期値]

[bit16] JTAGEN0B : JTAG 機能選択ビット 0

TCK, TMS, TDO 端子の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	TCK, TMS, TDO の 3 端子を使用しません。 (兼用する端子が利用可能)
	1	TCK, TMS, TDO の 3 端子を使用します。[初期値]

[bit15:14] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit13] USBP1E : USB ch.1 機能選択ビット 1

USB ch.1 の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	USB ch.1, D+抵抗制御信号(HCONTX)の出力を行いません。[初期値] (兼用する端子が利用可能)
	1	USB ch.1, D+抵抗制御信号(HCONTX)の出力を行います。

[bit12:10] 予約 : 予約ビット

これらのビットからは、0b000 が読み出されます。
書込みの場合には、0b000 を設定してください。

[bit9] USBP0E : USB ch.0 機能選択ビット 1

USB ch.0 の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	USB ch.0, D+抵抗制御信号(HCONTX)の出力を行いません。[初期値] (兼用する端子が利用可能)
	1	USB ch.0, D+抵抗制御信号(HCONTX)の出力を行います。

[bit8] 予約 : 予約ビット

このビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

[bit7:6] SUBOUTE : サブクロック分周出力機能選択ビット

サブクロック分周出力の選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	サブクロック分周出力を行いません。[初期値]
	01	サブクロック分周出力端子に、SUBOUT_0 端子を使用します。
	10	サブクロック分周出力端子に、SUBOUT_1 端子を使用します。
	11	サブクロック分周出力端子に、SUBOUT_2 端子を使用します。

[bit5:4] RTCCOE : RTC クロック出力選択ビット

RTC クロック出力の選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	RTC クロックの出力を行いません。[初期値]
	01	RTC クロック出力端子に、RTCCOE_0 端子を使用します。
	10	RTC クロック出力端子に、RTCCOE_1 端子を使用します。
	11	RTC クロック出力端子に、RTCCOE_2 端子を使用します。

[bit3] 予約 : 予約ビット
このビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

[bit2:1] CROUTE : 高速 CR 発振出力機能選択ビット
高速 CR 発振出力の選択を行います。

bit2:1		説明
読出し時		レジスタの値を読み出します。
書込み時	00	高速 CR 発振出力を行いません。[初期値]
	01	高速 CR 発振出力端子に、CROUT_0 端子を使用します。
	10	高速 CR 発振出力端子に、CROUT_1 端子を使用します。
	11	高速 CR 発振出力端子に、CROUT_2 端子を使用します。

[bit0] NMIS : NMIX 機能選択ビット
NMIX 端子の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	NMIX 端子を使用しません。[初期値]
	1	NMIX 端子を使用します。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*
- *TRC2E, TRC3E ビットは TYPE1-M4, TYPE2-M4, TYPE4-M4, TYPE6-M4 製品にはありません。*
- *NMIX 端子が割り当てられている I/O ポートを、GPIO または他の周辺機能から NMIX 端子に切り替える(EPFR00.NMIS=1) 場合は、I/O ポート入力を High レベルの状態で切り替えてください。GPIO または他の周辺機能が選択されている場合、内部の NMIX 端子への入力は High レベル固定になっています。そのため、I/O ポートに Low レベル入力されている状態で GPIO または他の周辺機能から NMIX 端子に切り替えると、内部の NMIX 端子への入力が High レベルから Low レベルとなり、立下りエッジが検出され、NMI 割込み要求が出力されます。*

4.9 拡張機能端子設定レジスタ 01(EPFR01)

EPFR01 レジスタは、多機能タイマ Unit0 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	IC03S			IC02S			IC01S	
属性	R/W			R/W			R/W	
初期値	000			000			00	

bit	23	22	21	20	19	18	17	16
Field	IC01S	IC00S			FRCK0S		DTTI0S	
属性	R/W	R/W			R/W		R/W	
初期値	0	000			00		00	

bit	15	14	13	12	11	10	9	8
Field	予約			DTTI0C	RTO05E		RTO04E	
属性	-			R/W	R/W		R/W	
初期値	-			0	00		00	

bit	7	6	5	4	3	2	1	0
Field	RTO03E		RTO02E		RTO01E		RTO00E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:29] IC03S : IC03 入力選択ビット

IC03 の入力選択を行います。

bit31:29		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC03 の入力端子に IC03_0 を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC03 の入力端子に IC03_1 を使用します。
	011	インプットキャプチャ IC03 の入力端子に IC03_2 を使用します。
	100	インプットキャプチャ IC03 の入力に内部マクロ MFS ch.3 LSYN を使用します。
	101	インプットキャプチャ IC03 の入力に内部マクロ MFS ch.7 LSYN を使用します。
	110	設定禁止
	111	

[bit28:26] IC02S : IC02 入力選択ビット

IC02 の入力選択を行います。

bit28:26		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC02 の入力端子に IC02_0 を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC02 の入力端子に IC02_1 を使用します。
	011	インプットキャプチャ IC02 の入力端子に IC02_2 を使用します。
	100	インプットキャプチャ IC02 の入力に内部マクロ MFS ch.2 LSYN を使用します。
	101	インプットキャプチャ IC02 の入力に内部マクロ MFS ch.6 LSYN を使用します。
	110	設定禁止
	111	

[bit25:23] IC01S : IC01 入力選択ビット

IC01 の入力選択を行います。

bit25:23		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC01 の入力端子に IC01_0 を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC01 の入力端子に IC01_1 を使用します。
	011	インプットキャプチャ IC01 の入力端子に IC01_2 を使用します。
	100	インプットキャプチャ IC01 の入力に内部マクロ MFS ch.1 LSYN を使用します。
	101	インプットキャプチャ IC01 の入力に内部マクロ MFS ch.5 LSYN を使用します。
	110	設定禁止
	111	

[bit22:20] IC00S : IC00 入力選択ビット

IC00 の入力選択を行います。

bit22:20		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC00 の入力端子に IC00_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC00 の入力端子に IC00_1 端子を使用します。
	011	インプットキャプチャ IC00 の入力端子に IC00_2 端子を使用します。
	100	インプットキャプチャ IC00 の入力に内部マクロ MFS ch.0 LSYN を使用します。
	101	インプットキャプチャ IC00 の入力に内部マクロ MFS ch.4 LSYN を使用します。
	110	設定禁止
	111	

[bit19:18] FRCK0S : FRCK0 入力選択ビット

FRCK0 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	フリーランタイマ FRCK0 の入力端子に、FRCK0_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	フリーランタイマ FRCK0 の入力端子に、FRCK0_1 端子を使用します。
	11	フリーランタイマ FRCK0 の入力端子に、FRCK0_2 端子を使用します。

[bit17:16] DTTI0S : DTTI0X 入力選択ビット

DTTI0X の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ DTTI0X の入力端子に、DTTI0X_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	波形ジェネレータ DTTI0X の入力端子に、DTTI0X_1 端子を使用します。
	11	波形ジェネレータ DTTI0X の入力端子に、DTTI0X_2 端子を使用します。

[bit15:13] 予約 : 予約ビット

これらのビットからは、0b000 が読み出されます。
書込みの場合には、0b000 を設定してください。

[bit12] DTTI0C : DTTI0X 機能選択ビット

DTTI0X の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	RTO00～RTO05 端子の出力に対し、DTTIF0 による GPIO 切換えを行いません。[初期値]
	1	RTO00～RTO05 端子の出力に対し、DTTIF0 による GPIO 切換えを行います。

[bit11:10] RTO05E : RTO05 出力選択ビット

RTO05 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO05 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO05 の出力端子に RTO05_0 端子を使用します。
	10	波形ジェネレータ RTO05 の出力端子に RTO05_1 端子を使用します。
	11	設定禁止

[bit9:8] RTO04E : RTO04 出力選択ビット

RTO04 の出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO04 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO04 の出力端子に RTO04_0 端子を使用します。
	10	波形ジェネレータ RTO04 の出力端子に RTO04_1 端子を使用します。
	11	設定禁止

[bit7:6] RTO03E : RTO03 出力選択ビット

RTO03 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO03 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO03 の出力端子に RTO03_0 端子を使用します。
	10	波形ジェネレータ RTO03 の出力端子に RTO03_1 端子を使用します。
	11	設定禁止

[bit5:4] RTO02E : RTO02 出力選択ビット

RTO02 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO02 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO02 の出力端子に RTO02_0 端子を使用します。
	10	波形ジェネレータ RTO02 の出力端子に RTO02_1 端子を使用します。
	11	設定禁止

[bit3:2] RTO01E : RTO01 出力選択ビット

RTO01 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO01 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO01 の出力端子に RTO01_0 を使用します。
	10	波形ジェネレータ RTO01 の出力端子に RTO01_1 を使用します。
	11	設定禁止

[bit1:0] RTO00E : RTO00 出力選択ビット

RTO00 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO00 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO00 の出力端子に RTO00_0 端子を使用します。
	10	波形ジェネレータ RTO00 の出力端子に RTO00_1 端子を使用します。
	11	設定禁止

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.10 拡張機能端子設定レジスタ 02(EPFR02)

EPFR02 レジスタは、多機能タイマ Unit1 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	IC13S			IC12S			IC11S	
属性	R/W			R/W			R/W	
初期値	000			000			00	

bit	23	22	21	20	19	18	17	16
Field	IC11S	IC10S			FRCK1S		DTTI1S	
属性	R/W	R/W			R/W		R/W	
初期値	0	000			00		00	

bit	15	14	13	12	11	10	9	8
Field	予約			DTTI1C	RTO15E		RTO14E	
属性	-			R/W	R/W		R/W	
初期値	-			0	00		00	

bit	7	6	5	4	3	2	1	0
Field	RTO13E		RTO12E		RTO11E		RTO10E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:29] IC13S : IC13 入力選択ビット

IC13 の入力選択を行います。

bit31:29		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC13 の入力端子に IC13_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC13 の入力端子に IC13_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC13 の入力に内部マクロ MFS ch.3 LSYN を使用します。
	101	インプットキャプチャ IC13 の入力に内部マクロ MFS ch.7 LSYN を使用します。
	110	設定禁止
	111	

[bit28:26] IC12S : IC12 入力選択ビット

IC12 の入力選択を行います。

bit28:26		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC12 の入力端子に IC12_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC12 の入力端子に IC12_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC12 の入力に内部マクロ MFS ch.2 LSYN を使用します。
	101	インプットキャプチャ IC12 の入力に内部マクロ MFS ch.6 LSYN を使用します。
	110	設定禁止
	111	

[bit25:23] IC11S : IC11 入力選択ビット

IC11 の入力選択を行います。

bit25:23		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC11 の入力端子に IC11_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC11 の入力端子に IC11_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC11 の入力に内部マクロ MFS ch.1 LSYN を使用します。
	101	インプットキャプチャ IC11 の入力に内部マクロ MFS ch.5 LSYN を使用します。
	110	設定禁止
	111	

[bit22:20] IC10S : IC10 入力選択ビット

IC10 の入力選択を行います。

bit22:20		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC10 の入力端子に IC10_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC10 の入力端子に IC10_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC10 の入力に内部マクロ MFS ch.0 LSYN を使用します。
	101	インプットキャプチャ IC10 の入力に内部マクロ MFS ch.4 LSYN を使用します。
	110	設定禁止
	111	

[bit19:18] FRCK1S : FRCK1 入力選択ビット

FRCK1 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	フリーランタイマ FRCK1 の入力端子に、FRCK1_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	フリーランタイマ FRCK1 の入力端子に、FRCK1_1 端子を使用します。
	11	設定禁止

[bit17:16] DTTI1S : DTTI1X 入力選択ビット

DTTI1X の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ DTTI1X の入力端子に、DTTI1X_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	波形ジェネレータ DTTI1X の入力端子に、DTTI1X_1 端子を使用します。
	11	設定禁止

[bit15:13] 予約 : 予約ビット

これらのビットからは、0b000 が読み出されます。
書込みの場合には、0b000 を設定してください。

[bit12] DTTI1C : DTTI1X 機能選択ビット

DTTI1X の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	RTO10～RTO15 端子の出力に対し、DTTIF1 による GPIO 切換えを行いません。[初期値]
	1	RTO10～RTO15 端子の出力に対し、DTTIF1 による GPIO 切換えを行います。

[bit11:10] RTO15E : RTO15 出力選択ビット

RTO15 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO15 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO15 の出力端子に RTO15_0 端子を使用します。
	10	波形ジェネレータ RTO15 の出力端子に RTO15_1 端子を使用します。
	11	設定禁止

[bit9:8] RTO14E : RTO14 出力選択ビット

RTO14 の出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO14 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO14 の出力端子に RTO14_0 端子を使用します。
	10	波形ジェネレータ RTO14 の出力端子に RTO14_1 端子を使用します。
	11	設定禁止

[bit7:6] RTO13E : RTO13 出力選択ビット

RTO13 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO13 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO13 の出力端子に RTO13_0 端子を使用します。
	10	波形ジェネレータ RTO13 の出力端子に RTO13_1 端子を使用します。
	11	設定禁止

[bit5:4] RTO12E : RTO12 出力選択ビット

RTO12 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO12 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO12 の出力端子に RTO12_0 端子を使用します。
	10	波形ジェネレータ RTO12 の出力端子に RTO12_1 端子を使用します。
	11	設定禁止

[bit3:2] RTO11E : RTO11 出力選択ビット

RTO11 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO11 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO11 の出力端子に RTO11_0 端子を使用します。
	10	波形ジェネレータ RTO11 の出力端子に RTO11_1 端子を使用します。
	11	設定禁止

[bit1:0] RTO10E : RTO10 出力選択ビット

RTO10 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO10 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO10 の出力端子に RTO10_0 端子を使用します。
	10	波形ジェネレータ RTO10 の出力端子に RTO10_1 端子を使用します。
	11	設定禁止

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.11 拡張機能端子設定レジスタ 03(EPFR03)

EPFR03 レジスタは、多機能タイマ Unit2 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	IC23S			IC22S			IC21S	
属性	R/W			R/W			R/W	
初期値	000			000			00	

bit	23	22	21	20	19	18	17	16
Field	IC21S	IC20S			FRCK2S		DTTI2S	
属性	R/W	R/W			R/W		R/W	
初期値	0	000			00		00	

bit	15	14	13	12	11	10	9	8
Field	予約			DTTI2C	RTO25E		RTO24E	
属性	-			R/W	R/W		R/W	
初期値	-			0	00		00	

bit	7	6	5	4	3	2	1	0
Field	RTO23E		RTO22E		RTO21E		RTO20E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:29] IC23S : IC23 入力選択ビット

IC23 の入力選択を行います。

bit31:29		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC23 の入力端子に IC23_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC23 の入力端子に IC23_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC23 の入力に内部マクロ MFS ch.3 LSYN を使用します。
	101	インプットキャプチャ IC23 の入力に内部マクロ MFS ch.7 LSYN を使用します。
	110	設定禁止
	111	

[bit28:26] IC22S : IC22 入力選択ビット

IC22 の入力選択を行います。

bit28:26		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC22 の入力端子に IC22_0 端子を使用します。[初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC22 の入力端子に IC22_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC22 の入力に内部マクロ MFS ch.2 LSYN を使用します。
	101	インプットキャプチャ IC22 の入力に内部マクロ MFS ch.6 LSYN を使用します。
	110	設定禁止
	111	

[bit25:23] IC21S : IC21 入力選択ビット

IC21 の入力選択を行います。

bit25:23		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC21 の入力端子に IC21_0 端子を使用します。[初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC21 の入力端子に IC21_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC21 の入力に内部マクロ MFS ch.1 LSYN を使用します。
	101	インプットキャプチャ IC21 の入力に内部マクロ MFS ch.5 LSYN を使用します。
	110	設定禁止
	111	

[bit22:20] IC20S : IC20 入力選択ビット

IC20 の入力選択を行います。

bit22:20		説明
読出し時		レジスタの値を読み出します。
書込み時	000	インプットキャプチャ IC20 の入力端子に IC20_0 端子を使用します。[初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC20 の入力端子に IC20_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC20 の入力に内部マクロ MFS ch.0 LSYN を使用します。
	101	インプットキャプチャ IC20 の入力に内部マクロ MFS ch.4 LSYN を使用します。
	110	設定禁止
	111	

[bit19:18] FRCK2S : FRCK2 入力選択ビット

FRCK2 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	フリーランタイマ FRCK2 の入力端子に、FRCK2_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	フリーランタイマ FRCK2 の入力端子に、FRCK2_1 端子を使用します。
	11	設定禁止

[bit17:16] DTTI2S : DTTI2X 入力選択ビット

DTTI2X の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ DTTI2X の入力端子に、DTTI2X_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	波形ジェネレータ DTTI2X の入力端子に、DTTI2X_1 端子を使用します。
	11	設定禁止

[bit15:13] 予約 : 予約ビット

これらのビットからは、0b000 が読み出されます。
書込みの場合には、0b000 を設定してください。

[bit12] DTTI2C : DTTI2X 機能選択ビット

DTTI2X の機能選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	RTO20～RTO25 端子の出力に対し、DTTIF2 による GPIO 切換えを行いません。[初期値]
	1	RTO20～RTO25 端子の出力に対し、DTTIF2 による GPIO 切換えを行います。

[bit11:10] RTO25E : RTO25 出力選択ビット

RTO25 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO25 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO25 の出力端子に RTO25_0 端子を使用します。
	10	波形ジェネレータ RTO25 の出力端子に RTO25_1 端子を使用します。
	11	設定禁止

[bit9:8] RTO24E : RTO24 出力選択ビット

RTO24 の出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO24 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO24 の出力端子に RTO24_0 端子を使用します。
	10	波形ジェネレータ RTO24 の出力端子に RTO24_1 端子を使用します。
	11	設定禁止

[bit7:6] RTO23E : RTO23 出力選択ビット

RTO23 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO23 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO23 の出力端子に RTO23_0 端子を使用します。
	10	波形ジェネレータ RTO23 の出力端子に RTO23_1 端子を使用します。
	11	設定禁止

[bit5:4] RTO22E : RTO22 出力選択ビット

RTO22 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO22 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO22 の出力端子に RTO22_0 端子を使用します。
	10	波形ジェネレータ RTO22 の出力端子に RTO22_1 端子を使用します。
	11	設定禁止

[bit3:2] RTO21E : RTO21 出力選択ビット

RTO21 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO21 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO21 の出力端子に RTO21_0 端子を使用します。
	10	波形ジェネレータ RTO21 の出力端子に RTO21_1 端子を使用します。
	11	設定禁止

[bit1:0] RTO20E : RTO20 出力選択ビット

RTO20 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	波形ジェネレータ RTO20 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO20 の出力端子に RTO20_0 端子を使用します。
	10	波形ジェネレータ RTO20 の出力端子に RTO20_1 端子を使用します。
	11	設定禁止

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.12 拡張機能端子設定レジスタ 04(EPFR04)

EPFR04 レジスタは、ベースタイマ ch.0～ch.3 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB3S		TIOA3E		TIOA3S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB2S		TIOA2E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB1S		TIOA1E		TIOA1S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約	TIOB0S			TIOA0E		予約	
属性	-	R/W			R/W		-	
初期値	-	000			00		-	

レジスタ機能

[bit31:30] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit29:28] TIOB3S : TIOB3 入力選択ビット

TIOB3 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.3 TIOB の入力端子に TIOB3_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.3 TIOB の入力端子に TIOB3_1 端子を使用します。
	11	BT ch.3 TIOB の入力端子に TIOB3_2 端子を使用します。

[bit27:26] TIOA3E : TIOA3E 出力選択ビット

TIOA3 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.3 TIOA の出力を行いません。[初期値]
	01	BT ch.3 TIOA の出力端子に TIOA3_0 端子を使用します。
	10	BT ch.3 TIOA の出力端子に TIOA3_1 端子を使用します。
	11	BT ch.3 TIOA の出力端子に TIOA3_2 端子を使用します。

[bit25:24] TIOA3S : TIOA3 入力選択ビット

TIOA3 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.3 TIOA の入力端子に TIOA3_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.3 TIOA の入力端子に TIOA3_1 端子を使用します。
	11	BT ch.3 TIOA の入力端子に TIOA3_2 端子を使用します。

[bit23:22] 予約: 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit21:20] TIOB2S : TIOB2 入力選択ビット

TIOB2 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.2 TIOB の入力端子に TIOB2_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.2 TIOB の入力端子に TIOB2_1 端子を使用します。
	11	BT ch.2 TIOB の入力端子に TIOB2_2 端子を使用します。

[bit19:18] TIOA2E : TIOA2 出力選択ビット

TIOA2 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.2 TIOA の出力を行いません。[初期値]
	01	BT ch.2 TIOA の出力端子に TIOA2_0 端子を使用します。
	10	BT ch.2 TIOA の出力端子に TIOA2_1 端子を使用します。
	11	BT ch.2 TIOA の出力端子に TIOA2_2 端子を使用します。

[bit17:14] 予約: 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit13:12] TIOB1S : TIOB1 入力選択ビット

TIOB1 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.1 TIOB の入力端子に TIOB1_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.1 TIOB の入力端子に TIOB1_1 端子を使用します。
	11	BT ch.1 TIOB の入力端子に TIOB1_2 端子を使用します。

[bit11:10] TIOA1E : TIOA1E 出力選択ビット

TIOA1 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.1 TIOA の出力を行いません。[初期値]
	01	BT ch.1 TIOA の出力端子に TIOA1_0 端子を使用します。
	10	BT ch.1 TIOA の出力端子に TIOA1_1 端子を使用します。
	11	BT ch.1 TIOA の出力端子に TIOA1_2 端子を使用します。

[bit9:8] TIOA1S : TIOA1 入力選択ビット

TIOA1 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.1 TIOA の入力端子に TIOA1_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.1 TIOA の入力端子に TIOA1_1 端子を使用します。
	11	BT ch.1 TIOA の入力端子に TIOA1_2 端子を使用します。

[bit7] 予約 : 予約ビット

このビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

[bit6:4] TIOB0S : TIOB0 入力選択ビット

TIOB0 の入力選択を行います。

bit6:4		説明
読出し時		レジスタの値を読み出します。
書込み時	000	BT ch.0 TIOB の入力端子に TIOB0_0 端子を使用します。[初期値]
	001	000 書込み時と同じ
	010	BT ch.0 TIOB の入力端子に TIOB0_1 端子を使用します。
	011	BT ch.0 TIOB の入力端子に TIOB0_2 端子を使用します。
	100	設定禁止
	101	設定禁止
	110	BT ch.0 TIOB の入力に SUBOUT を使用します。
	111	高速 CR 分周クロックのトリミング測定用端子に使用します。

[bit3:2] TIOA0E : TIOA0 出力選択ビット

TIOA0 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.0 TIOA の出力を行いません。[初期値]
	01	BT ch.0 TIOA の出力端子に TIOA0_0 端子を使用します。
	10	BT ch.0 TIOA の出力端子に TIOA0_1 端子を使用します。
	11	BT ch.0 TIOA の出力端子に TIOA0_2 端子を使用します。

[bit1:0] 予約: 予約ビット
これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

＜注意事項＞

- *TIOA*
  偶数チャネルは出力のみです。
  奇数チャネルは出力と入力があります。
- *TIOB*
  入力のみです。
- *TIOA1, TIOA3, TIOA5, TIOA7(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。*
  TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

- *例 1 : TIOA1 を出力端子として使用する場合*
  TIOA1 を TIOA1_0 端子へ出力する場合、EPFR04.TIOA1E = 01 を選択します。
  TIOA1 を TIOA1_1 端子へ出力する場合、EPFR04.TIOA1E = 10 を選択します。
  TIOA1 を TIOA1_2 端子へ出力する場合、EPFR04.TIOA1E = 11 を選択します。
  EPFR04.TIOA1S の設定は、無視されます。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。
- *例 2 : TIOA1 を入力端子として使用する場合*
  EPFR04.TIOA1E = 00 を選択します。
  TIOA1 を TIOA1_0 端子から入力する場合、EPFR04.TIOA1S = 00 or 01 を選択します。
  TIOA1 を TIOA1_1 端子から入力する場合、EPFR04.TIOA1S = 10 を選択します。
  TIOA1 を TIOA1_2 端子から入力する場合、EPFR04.TIOA1S = 11 を選択します。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。
- ** 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO, ほかの周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.13 拡張機能端子設定レジスタ 05(EPFR05)

EPFR05 レジスタは、ベースタイマ ch.4～ch.7 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB7S		TIOA7E		TIOA7S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB6S		TIOA6E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB5S		TIOA5E		TIOA5S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約		TIOB4S		TIOA4E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

レジスタ機能

[bit31:30] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit29:28] TIOB7S : TIOB7 入力選択ビット

TIOB7 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.7 TIOB の入力端子に TIOB7_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.7 TIOB の入力端子に TIOB7_1 を使用します。
	11	BT ch.7 TIOB の入力端子に TIOB7_2 を使用します。

[bit27:26] TIOA7E : TIOA7E 出力選択ビット

TIOA7 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.7 TIOA の出力を行いません。[初期値]
	01	BT ch.7 TIOA の出力端子に TIOA7_0 を使用します。
	10	BT ch.7 TIOA の出力端子に TIOA7_1 を使用します。
	11	BT ch.7 TIOA の出力端子に TIOA7_2 を使用します。

[bit25:24] TIOA7S : TIOA7 入力選択ビット

TIOA7 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.7 TIOA の入力端子に TIOA7_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.7 TIOA の入力端子に TIOA7_1 を使用します。
	11	BT ch.7 TIOA の入力端子に TIOA7_2 を使用します。

[bit23:22] 予約: 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit21:20] TIOB6S : TIOB6 入力選択ビット

TIOB6 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.6 TIOB の入力端子に TIOB6_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.6 TIOB の入力端子に TIOB6_1 を使用します。
	11	BT ch.6 TIOB の入力端子に TIOB6_2 を使用します。

[bit19:18] TIOA6E : TIOA6 出力選択ビット

TIOA6 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.6 TIOA の出力を行いません。[初期値]
	01	BT ch.6 TIOA の出力端子に TIOA6_0 を使用します。
	10	BT ch.6 TIOA の出力端子に TIOA6_1 を使用します。
	11	BT ch.6 TIOA の出力端子に TIOA6_2 を使用します。

[bit17:14] 予約: 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit13:12] TIOB5S : TIOB5 入力選択ビット

TIOB5 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.5 TIOB の入力端子に TIOB5_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.5 TIOB の入力端子に TIOB5_1 を使用します。
	11	BT ch.5 TIOB の入力端子に TIOB5_2 を使用します。

[bit11:10] TIOA5E : TIOA5E 出力選択ビット

TIOA5 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.5 TIOA の出力を行いません。[初期値]
	01	BT ch.5 TIOA の出力端子に TIOA5_0 を使用します。
	10	BT ch.5 TIOA の出力端子に TIOA5_1 を使用します。
	11	BT ch.5 TIOA の出力端子に TIOA5_2 を使用します。

[bit9:8] TIOA5S : TIOA5 入力選択ビット

TIOA5 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.5 TIOA の入力端子に TIOA5_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.5 TIOA の入力端子に TIOA5_1 を使用します。
	11	BT ch.5 TIOA の入力端子に TIOA5_2 を使用します。

[bit7:6] 予約: 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit5:4] TIOB4S : TIOB4 入力選択ビット

TIOB4 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.4 TIOB の入力端子に TIOB4_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.4 TIOB の入力端子に TIOB4_1 を使用します。
	11	BT ch.4 TIOB の入力端子に TIOB4_2 を使用します。

[bit3:2] TIOA4E : TIOA4 出力選択ビット

TIOA4 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.4 TIOA の出力を行いません。[初期値]
	01	BT ch.4 TIOA の出力端子に TIOA4_0 を使用します。
	10	BT ch.4 TIOA の出力端子に TIOA4_1 を使用します。
	11	BT ch.4 TIOA の出力端子に TIOA4_2 を使用します。

[bit1:0] 予約: 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

＜注意事項＞

- *TIOA*
  偶数チャネルは出力のみです。
  奇数チャネルは出力と入力があります。
- *TIOB*
  入力のみです。
- *TIOA1, TIOA3, TIOA5, TIOA7(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。*
  TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

- *例 1 : TIOA1 を出力端子として使用する場合*
  TIOA1 を TIOA1_0 端子へ出力する場合、EPFR04.TIOA1E = 01 を選択します。
  TIOA1 を TIOA1_1 端子へ出力する場合、EPFR04.TIOA1E = 10 を選択します。
  TIOA1 を TIOA1_2 端子へ出力する場合、EPFR04.TIOA1E = 11 を選択します。
  EPFR04.TIOA1S の設定は、無視されます。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。
- *例 2 : TIOA1 を入力端子として使用する場合*
  EPFR04.TIOA1E = 00 を選択します。
  TIOA1 を TIOA1_0 端子から入力する場合、EPFR04.TIOA1S = 00 or 01 を選択します。
  TIOA1 を TIOA1_1 端子から入力する場合、EPFR04.TIOA1S = 10 を選択します。
  TIOA1 を TIOA1_2 端子から入力する場合、EPFR04.TIOA1S = 11 を選択します。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。
- ** 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO, ほかの周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.14 拡張機能端子設定レジスタ 06(EPFR06)

EPFR06 レジスタは、外部割込みの端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	EINT15S		EINT14S		EINT13S		EINT12S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	EINT11S		EINT10S		EINT09S		EINT08S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	EINT07S		EINT06S		EINT05S		EINT04S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	EINT03S		EINT02S		EINT01S		EINT00S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:30] EINT15S： 外部割込み入力選択ビット

EINT15 の入力選択を行います。

bit31:30		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.15 の入力端子に INT15_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.15 の入力端子に INT15_1 端子を使用します。
	11	EINT ch.15 の入力端子に INT15_2 端子を使用します。

[bit29:28] EINT14S： 外部割込み入力選択ビット

EINT14 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.14 の入力端子に INT14_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.14 の入力端子に INT14_1 端子を使用します。
	11	EINT ch.14 の入力端子に INT14_2 端子を使用します。

[bit27:26] EINT13S： 外部割込み入力選択ビット

EINT13 の入力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.13 の入力端子に INT13_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.13 の入力端子に INT13_1 端子を使用します。
	11	EINT ch.13 の入力端子に INT13_2 端子を使用します。

[bit25:24] EINT12S： 外部割込み入力選択ビット

EINT12 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.12 の入力端子に INT12_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.12 の入力端子に INT12_1 端子を使用します。
	11	EINT ch.12 の入力端子に INT12_2 端子を使用します。

[bit23:22] EINT11S： 外部割込み入力選択ビット

EINT11 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.11 の入力端子に INT11_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.11 の入力端子に INT11_1 端子を使用します。
	11	EINT ch.11 の入力端子に INT11_2 端子を使用します。

[bit21:20] EINT10S： 外部割込み入力選択ビット

EINT10 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.10 の入力端子に INT10_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.10 の入力端子に INT10_1 端子を使用します。
	11	EINT ch.10 の入力端子に INT10_2 端子を使用します。

[bit19:18] EINT09S： 外部割込み入力選択ビット

EINT09 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.9 の入力端子に INT09_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.9 の入力端子に INT09_1 端子を使用します。
	11	EINT ch.9 の入力端子に INT09_2 端子を使用します。

[bit17:16] EINT08S： 外部割込み入力選択ビット

EINT08 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.8 の入力端子に INT08_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.8 の入力端子に INT08_1 端子を使用します。
	11	EINT ch.8 の入力端子に INT08_2 端子を使用します。

[bit15:14] EINT07S： 外部割込み入力選択ビット

EINT07 の入力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.7 の入力端子に INT07_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.7 の入力端子に INT07_1 端子を使用します。
	11	EINT ch.7 の入力端子に INT07_2 端子を使用します。

[bit13:12] EINT06S： 外部割込み入力選択ビット

EINT06 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.6 の入力端子に INT06_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.6 の入力端子に INT06_1 端子を使用します。
	11	EINT ch.6 の入力端子に INT06_2 端子を使用します。

[bit11:10] EINT05S： 外部割込み入力選択ビット

EINT05 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.5 の入力端子に INT05_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.5 の入力端子に INT05_1 端子を使用します。
	11	EINT ch.5 の入力端子に INT05_2 端子を使用します。

[bit9:8] EINT04S： 外部割込み入力選択ビット

EINT04 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.4 の入力端子に INT04_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.4 の入力端子に INT04_1 端子を使用します。
	11	EINT ch.4 の入力端子に INT04_2 端子を使用します。

[bit7:6] EINT03S： 外部割込み入力選択ビット

EINT03 の入力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.3 の入力端子に INT03_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.3 の入力端子に INT03_1 端子を使用します。
	11	EINT ch.3 の入力端子に INT03_2 端子を使用します。

[bit5:4] EINT02S： 外部割込み入力選択ビット

EINT02 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.2 の入力端子に INT02_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.2 の入力端子に INT02_1 端子を使用します。
	11	EINT ch.2 の入力端子に INT02_2 端子を使用します。

[bit3:2] EINT01S： 外部割込み入力選択ビット

EINT01 の入力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.1 の入力端子に INT01_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.1 の入力端子に INT01_1 端子を使用します。
	11	EINT ch.1 の入力端子に INT01_2 端子を使用します。

[bit1:0] EINT00S： 外部割込み入力選択ビット

EINT00 の入力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.0 の入力端子に INT00_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.0 の入力端子に INT00_1 端子を使用します。
	11	EINT ch.0 の入力端子に INT00_2 端子を使用します。

＜注意事項＞

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.15 拡張機能端子設定レジスタ 07(EPFR07)

EPFR07 レジスタは、マルチファンクションシリアルの ch.0～ch.3 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				SCK3B		SOT3B	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	SIN3S		SCK2B		SOT2B		SIN2S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	SCK1B		SOT1B		SIN1S		SCK0B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SOT0B		SIN0S		予約			
属性	R/W		R/W		-			
初期値	00		00		-			

レジスタ機能

[bit31:28] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit27:26] SCK3B : SCK3 入出力選択ビット

SCK3 の入出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.3 SCK の入力端子に SCK3_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.3 SCK の入力端子に SCK3_0 端子を使用します。 出力端子に SCK3_0 を使用します。
	10	MFS ch.3 SCK の入力端子に SCK3_1 端子を使用します。 出力端子に SCK3_1 を使用します。
	11	MFS ch.3 SCK の入力端子に SCK3_2 端子を使用します。 出力端子に SCK3_2 を使用します。

[bit25:24] SOT3B : SOT3 入出力選択ビット

SOT3 の入出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.3 SOT の入力端子に SOT3_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.3 SOT の入力端子に SOT3_0 端子を使用します。 出力端子に SOT3_0 を使用します。
	10	MFS ch.3 SOT の入力端子に SOT3_1 端子を使用します。 出力端子に SOT3_1 を使用します。
	11	MFS ch.3 SOT の入力端子に SOT3_2 端子を使用します。 出力端子に SOT3_2 を使用します。

[bit23:22] SIN3S : SIN3 入力選択ビット

SIN3 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.3 SIN の入力端子に SIN3_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.3 SIN の入力端子に SIN3_1 端子を使用します。
	11	MFS ch.3 SIN の入力端子に SIN3_2 端子を使用します。

[bit21:20] SCK2B : SCK2 入出力選択ビット

SCK2 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.2 SCK の入力端子に SCK2_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.2 SCK の入力端子に SCK2_0 端子を使用します。 出力端子に SCK2_0 を使用します。
	10	MFS ch.2 SCK の入力端子に SCK2_1 端子を使用します。 出力端子に SCK2_1 を使用します。
	11	MFS ch.2 SCK の入力端子に SCK2_2 端子を使用します。 出力端子に SCK2_2 を使用します。

[bit19:18] SOT2B : SOT2 入出力選択ビット

SOT2 の入出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.2 SOT の入力端子に SOT2_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.2 SOT の入力端子に SOT2_0 端子を使用します。 出力端子に SOT2_0 を使用します。
	10	MFS ch.2 SOT の入力端子に SOT2_1 端子を使用します。 出力端子に SOT2_1 を使用します。
	11	MFS ch.2 SOT の入力端子に SOT2_2 端子を使用します。 出力端子に SOT2_2 を使用します。

[bit17:16] SIN2S : SIN2 入力選択ビット

SIN2 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.2 SIN の入力端子に SIN2_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.2 SIN の入力端子に SIN2_1 端子を使用します。
	11	MFS ch.2 SIN の入力端子に SIN2_2 端子を使用します。

[bit15:14] SCK1B : SCK1 入出力選択ビット

SCK1 の入出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 SCK の入力端子に SCK1_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.1 SCK の入力端子に SCK1_0 端子を使用します。 出力端子に SCK1_0 を使用します。
	10	MFS ch.1 SCK の入力端子に SCK1_1 端子を使用します。 出力端子に SCK1_1 を使用します。
	11	MFS ch.1 SCK の入力端子に SCK1_2 端子を使用します。 出力端子に SCK1_2 を使用します。

[bit13:12] SOT1B : SOT1 入出力選択ビット

SOT1 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 SOT の入力端子に SOT1_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.1 SOT の入力端子に SOT1_0 端子を使用します。 出力端子に SOT1_0 を使用します。
	10	MFS ch.1 SOT の入力端子に SOT1_1 端子を使用します。 出力端子に SOT1_1 を使用します。
	11	MFS ch.1 SOT の入力端子に SOT1_2 端子を使用します。 出力端子に SOT1_2 を使用します。

[bit11:10] SIN1S : SIN1 入力選択ビット

SIN1 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.1 SIN の入力端子に SIN1_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.1 SIN の入力端子に SIN1_1 端子を使用します。
	11	MFS ch.1 SIN の入力端子に SIN1_2 端子を使用します。

[bit9:8] SCK0B : SCK0 入出力選択ビット

SCK0 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.0 SCK の入力端子に SCK0_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.0 SCK の入力端子に SCK0_0 端子を使用します。 出力端子に SCK0_0 を使用します。
	10	MFS ch.0 SCK の入力端子に SCK0_1 端子を使用します。 出力端子に SCK0_1 を使用します。
	11	MFS ch.0 SCK の入力端子に SCK0_2 端子を使用します。 出力端子に SCK0_2 を使用します。

[bit7:6] SOT0B : SOT0 入出力選択ビット

SOT0 の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.0 SOT の入力端子に SOT0_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.0 SOT の入力端子に SOT0_0 端子を使用します。 出力端子に SOT0_0 を使用します。
	10	MFS ch.0 SOT の入力端子に SOT0_1 端子を使用します。 出力端子に SOT0_1 を使用します。
	11	MFS ch.0 SOT の入力端子に SOT0_2 端子を使用します。 出力端子に SOT0_2 を使用します。

[bit5:4] SIN0S : SIN0 入力選択ビット

SIN0 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.0 SIN の入力端子に SIN0_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.0 SIN の入力端子に SIN0_1 端子を使用します。
	11	MFS ch.0 SIN の入力端子に SIN0_2 端子を使用します。

[bit3:0] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.16 拡張機能端子設定レジスタ 08(EPFR08)

EPFR08 レジスタは、マルチファンクションシリアルの ch.4～ch.7 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	CTS5S		RTS5E		SCK7B		SOT7B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	SIN7S		SCK6B		SOT6B		SIN6S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	SCK5B		SOT5B		SIN5S		SCK4B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SOT4B		SIN4S		CTS4S		RTS4E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:30] CTS5S : CTS5 入力選択ビット

CTS5 の入力選択を行います。

bit31:30		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.5 CTS の入力端子に CTS5_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.5 CTS の入力端子に CTS5_1 を使用します。
	11	MFS ch.5 CTS の入力端子に CTS5_2 を使用します。

[bit29:28] RTS5E : RTS5 出力選択ビット

RTS5 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.5 RTS の出力を行いません。[初期値]
	01	MFS ch.5 RTS の出力端子に RTS5_0 を使用します。
	10	MFS ch.5 RTS の出力端子に RTS5_1 を使用します。
	11	MFS ch.5 RTS の出力端子に RTS5_2 を使用します。

[bit27:26] SCK7B : SCK7 入出力選択ビット

SCK7 の入出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCK の入力端子に SCK7_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.7 SCK の入力端子に SCK7_0 端子を使用します。 出力端子に SCK7_0 を使用します。
	10	MFS ch.7 SCK の入力端子に SCK7_1 端子を使用します。 出力端子に SCK7_1 を使用します。
	11	MFS ch.7 SCK の入力端子に SCK7_2 端子を使用します。 出力端子に SCK7_2 を使用します。

[bit25:24] SOT7B : SOT7 入出力選択ビット

SOT7 の入出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SOT の入力端子に SOT7_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.7 SOT の入力端子に SOT7_0 端子を使用します。 出力端子に SOT7_0 を使用します。
	10	MFS ch.7 SOT の入力端子に SOT7_1 端子を使用します。 出力端子に SOT7_1 を使用します。
	11	MFS ch.7 SOT の入力端子に SOT7_2 端子を使用します。 出力端子に SOT7_2 を使用します。

[bit23:22] SIN7S : SIN7 入力選択ビット

SIN7 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SIN の入力端子に SIN7_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.7 SIN の入力端子に SIN7_1 端子を使用します。
	11	MFS ch.7 SIN の入力端子に SIN7_2 端子を使用します。

[bit21:20] SCK6B : SCK6 入出力選択ビット

SCK6 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCK の入力端子に SCK6_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.6 SCK の入力端子に SCK6_0 端子を使用します。 出力端子に SCK6_0 を使用します。
	10	MFS ch.6 SCK の入力端子に SCK6_1 端子を使用します。 出力端子に SCK6_1 を使用します。
	11	MFS ch.6 SCK の入力端子に SCK6_2 端子を使用します。 出力端子に SCK6_2 を使用します。

[bit19:18] SOT6B : SOT6 入出力選択ビット

SOT6 の入出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SOT の入力端子に SOT6_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.6 SOT の入力端子に SOT6_0 端子を使用します。 出力端子に SOT6_0 を使用します。
	10	MFS ch.6 SOT の入力端子に SOT6_1 端子を使用します。 出力端子に SOT6_1 を使用します。
	11	MFS ch.6 SOT の入力端子に SOT6_2 端子を使用します。 出力端子に SOT6_2 を使用します。

[bit17:16] SIN6S : SIN6 入力選択ビット

SIN6 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SIN の入力端子に SIN6_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.6 SIN の入力端子に SIN6_1 端子を使用します。
	11	MFS ch.6 SIN の入力端子に SIN6_2 端子を使用します。

[bit15:14] SCK5B : SCK5 入出力選択ビット

SCK5 の入出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.5 SCK の入力端子に SCK5_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.5 SCK の入力端子に SCK5_0 端子を使用します。 出力端子に SCK5_0 を使用します。
	10	MFS ch.5 SCK の入力端子に SCK5_1 端子を使用します。 出力端子に SCK5_1 を使用します。
	11	MFS ch.5 SCK の入力端子に SCK5_2 端子を使用します。 出力端子に SCK5_2 を使用します。

[bit13:12] SOT5B : SOT5 入出力選択ビット

SOT5 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.5 SOT の入力端子に SOT5_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.5 SOT の入力端子に SOT5_0 端子を使用します。 出力端子に SOT5_0 を使用します。
	10	MFS ch.5 SOT の入力端子に SOT5_1 端子を使用します。 出力端子に SOT5_1 を使用します。
	11	MFS ch.5 SOT の入力端子に SOT5_2 端子を使用します。 出力端子に SOT5_2 を使用します。

[bit11:10] SIN5S : SIN5 入力選択ビット

SIN5 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.5 SIN の入力端子に SIN5_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.5 SIN の入力端子に SIN5_1 端子を使用します。
	11	MFS ch.5 SIN の入力端子に SIN5_2 端子を使用します。

[bit9:8] SCK4B : SCK4 入出力選択ビット

SCK4 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 SCK の入力端子に SCK4_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.4 SCK の入力端子に SCK4_0 端子を使用します。 出力端子に SCK4_0 を使用します。
	10	MFS ch.4 SCK の入力端子に SCK4_1 端子を使用します。 出力端子に SCK4_1 を使用します。
	11	MFS ch.4 SCK の入力端子に SCK4_2 端子を使用します。 出力端子に SCK4_2 を使用します。

[bit7:6] SOT4B : SOT4 入出力選択ビット

SOT4 の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 SOT の入力端子に SOT4_0 を使用します。 出力を行いません。[初期値]
	01	MFS ch.4 SOT の入力端子に SOT4_0 を使用します。 出力端子に SOT4_0 を使用します。
	10	MFS ch.4 SOT の入力端子に SOT4_1 を使用します。 出力端子に SOT4_1 を使用します。
	11	MFS ch.4 SOT の入力端子に SOT4_2 を使用します。 出力端子に SOT4_2 を使用します。

[bit5:4] SIN4S : SIN4 入力選択ビット

SIN4 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 SIN の入力端子に SIN4_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.4 SIN の入力端子に SIN4_1 を使用します。
	11	MFS ch.4 SIN の入力端子に SIN4_2 を使用します。

[bit3:2] CTS4S : CTS4 入力選択ビット

CTS4 の入力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 CTS の入力端子に CTS4_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.4 CTS の入力端子に CTS4_1 を使用します。
	11	MFS ch.4 CTS の入力端子に CTS4_2 を使用します。

[bit1:0] RTS4E : RTS4 出力選択ビット

RTS4 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.4 RTS の出力を行いません。[初期値]
	01	MFS ch.4 RTS の出力端子に RTS4_0 を使用します。
	10	MFS ch.4 RTS の出力端子に RTS4_1 を使用します。
	11	MFS ch.4 RTS の出力端子に RTS4_2 を使用します。

＜注意事項＞

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.17 拡張機能端子設定レジスタ 09(EPFR09)

EPFR09 レジスタは、CAN, ADC トリガ, QPRC の周辺端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	CTX1E		CRX1S		CTX0E		CRX0S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	ADTRG2S				ADTRG1S			
属性	R/W				R/W			
初期値	0000				0000			

bit	15	14	13	12	11	10	9	8
Field	ADTRG0S				QZIN1S		QBIN1S	
属性	R/W				R/W		R/W	
初期値	0000				00		00	

bit	7	6	5	4	3	2	1	0
Field	QAIN1S		QZIN0S		QBIN0S		QAIN0S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:30] CTX1E : CTX1E 出力選択ビット

CAN TX1 の出力選択を行います。

bit31:30		説明
読出し時		レジスタの値を読み出します。
書込み時	00	CAN ch.1 TX の出力を行いません。[初期値]
	01	CAN ch.1 TX の出力端子を TX1_0 にします。
	10	CAN ch.1 TX の出力端子を TX1_1 にします。
	11	CAN ch.1 TX の出力端子を TX1_2 にします。

[bit29:28] CRX1S : CRX1S 入力選択ビット

CAN RX1 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	CAN ch.1 RX の入力端子を RX1_0 にします。[初期値]
	01	00 書込み時と同じ
	10	CAN ch.1 RX の入力端子を RX1_1 にします。
	11	CAN ch.1 RX の入力端子を RX1_2 にします。

[bit27:26] CTX0E : CTX0E 出力選択ビット

CAN TX0 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	CAN ch.0 TX の出力を行いません。[初期値]
	01	CAN ch.0 TX の出力端子を TX0_0 にします。
	10	CAN ch.0 TX の出力端子を TX0_1 にします。
	11	CAN ch.0 TX の出力端子を TX0_2 にします。

[bit25:24] CRX0S : CRX0S 入力選択ビット

CAN RX0 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	CAN ch.0 RX の入力端子を RX0_0 にします。[初期値]
	01	00 書込み時と同じ
	10	CAN ch.0 RX の入力端子を RX0_1 にします。
	11	CAN ch.0 RX の入力端子を RX0_2 にします。

[bit23:20] ADTRG2S : ADTRG2 入力選択ビット

ADTRG2 の入力選択を行います。

bit23:20		説明
読出し時		レジスタの値を読み出します。
書込み時	0000	ADC ユニット 2 の起動トリガの入力端子に ADTG_0 を使用します。 [初期値]
	0001	0000 書込み時と同じ
	0010	ADC ユニット 2 の起動トリガの入力端子に ADTG_1 を使用します。
	0011	ADC ユニット 2 の起動トリガの入力端子に ADTG_2 を使用します。
	0100	ADC ユニット 2 の起動トリガの入力端子に ADTG_3 を使用します。
	0101	ADC ユニット 2 の起動トリガの入力端子に ADTG_4 を使用します。
	0110	ADC ユニット 2 の起動トリガの入力端子に ADTG_5 を使用します。
	0111	ADC ユニット 2 の起動トリガの入力端子に ADTG_6 を使用します。
	1000	ADC ユニット 2 の起動トリガの入力端子に ADTG_7 を使用します。
	1001	ADC ユニット 2 の起動トリガの入力端子に ADTG_8 を使用します。
上記以外書込み時		設定禁止

[bit19:16] ADTRG1S : ADTRG1 入力選択ビット

ADTRG1 の入力選択を行います。

bit19:16		説明
読出し時		レジスタの値を読み出します。
書込み時	0000	ADC ユニット 1 の起動トリガの入力端子に ADTG_0 を使用します。 [初期値]
	0001	0000 書込み時と同じ
	0010	ADC ユニット 1 の起動トリガの入力端子に ADTG_1 を使用します。
	0011	ADC ユニット 1 の起動トリガの入力端子に ADTG_2 を使用します。
	0100	ADC ユニット 1 の起動トリガの入力端子に ADTG_3 を使用します。
	0101	ADC ユニット 1 の起動トリガの入力端子に ADTG_4 を使用します。
	0110	ADC ユニット 1 の起動トリガの入力端子に ADTG_5 を使用します。
	0111	ADC ユニット 1 の起動トリガの入力端子に ADTG_6 を使用します。
	1000	ADC ユニット 1 の起動トリガの入力端子に ADTG_7 を使用します。
	1001	ADC ユニット 1 の起動トリガの入力端子に ADTG_8 を使用します。
上記以外書込み時		設定禁止

[bit15:12] ADTRG0S : ADTRG0 入力選択ビット

ADTRG0 の入力選択を行います。

bit15:12		説明
読出し時		レジスタの値を読み出します。
書込み時	0000	ADC ユニット 0 の起動トリガの入力端子に ADTG_0 を使用します。 [初期値]
	0001	0000 書込み時と同じ
	0010	ADC ユニット 0 の起動トリガの入力端子に ADTG_1 を使用します。
	0011	ADC ユニット 0 の起動トリガの入力端子に ADTG_2 を使用します。
	0100	ADC ユニット 0 の起動トリガの入力端子に ADTG_3 を使用します。
	0101	ADC ユニット 0 の起動トリガの入力端子に ADTG_4 を使用します。
	0110	ADC ユニット 0 の起動トリガの入力端子に ADTG_5 を使用します。
	0111	ADC ユニット 0 の起動トリガの入力端子に ADTG_6 を使用します。
	1000	ADC ユニット 0 の起動トリガの入力端子に ADTG_7 を使用します。
	1001	ADC ユニット 0 の起動トリガの入力端子に ADTG_8 を使用します。
上記以外書込み時		設定禁止

[bit11:10] QZIN1S : QZIN1S 入力選択ビット

QPRC ZIN1 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.1 の ZIN の入力端子に ZIN1_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	QPRC ch.1 の ZIN の入力端子に ZIN1_1 を使用します。
	11	QPRC ch.1 の ZIN の入力端子に ZIN1_2 を使用します。

[bit9:8] QBIN1S : QBIN1S 入力選択ビット

QPRC BIN1 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.1 の BIN の入力端子に BIN1_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	QPRC ch.1 の BIN の入力端子に BIN1_1 を使用します。
	11	QPRC ch.1 の BIN の入力端子に BIN1_2 を使用します。

[bit7:6] QAIN1S : QAIN1S 入力選択ビット

QPRC AIN1 の入力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.1 の AIN の入力端子に AIN1_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	QPRC ch.1 の AIN の入力端子に AIN1_1 を使用します。
	11	QPRC ch.1 の AIN の入力端子に AIN1_2 を使用します。

[bit5:4] QZIN0S : QZIN0S 入力選択ビット

QPRC ZIN0 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.0 の ZIN の入力端子に ZIN0_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	QPRC ch.0 の ZIN の入力端子に ZIN0_1 を使用します。
	11	QPRC ch.0 の ZIN の入力端子に ZIN0_2 を使用します。

[bit3:2] QBIN0S : QBIN0S 入力選択ビット

QPRC BIN0 の入力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.0 の BIN の入力端子に BIN0_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	QPRC ch.0 の BIN の入力端子に BIN0_1 を使用します。
	11	QPRC ch.0 の BIN の入力端子に BIN0_2 を使用します。

[bit1:0] QAIN0S : QAIN0S 入力選択ビット

QPRC AIN0 の入力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QPRC ch.0 の AIN の入力端子に AIN0_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	QPRC ch.0 の AIN の入力端子に AIN0_1 を使用します。
	11	QPRC ch.0 の AIN の入力端子に AIN0_2 を使用します。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.18 拡張機能端子設定レジスタ 10(EPFR10)

EPFR10 レジスタは、外バスの周辺端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	UEA24E	UEA23E	UEA22E	UEA21E	UEA20E	UEA19E	UEA18E	UEA17E
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	UEA16E	UEA15E	UEA14E	UEA13E	UEA12E	UEA11E	UEA10E	UEA09E
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	UEA08E	UEA00E	UECS7E	UECS6E	UECS5E	UECS4E	UECS3E	UECS2E
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	UECS1E	UEFLSE	UEOEXE	UEDQME	UEWEXE	UECLKE	UEDTHB	UEDEFB
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31] UEA24E : UEA24E 出力選択ビット

外バス Address24 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD24 の出力を行いません。[初期値]
	1	ユーザ外バス MAD24 の出力を行います。

[bit30] UEA23E : UEA23E 出力選択ビット

外バス Address23 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD23 の出力を行いません。[初期値]
	1	ユーザ外バス MAD23 の出力を行います。

[bit29] UEA22E : UEA22E 出力選択ビット

外バス Address22 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD22 の出力を行いません。[初期値]
	1	ユーザ外バス MAD22 の出力を行います。

[bit28] UEA21E : UEA21E 出力選択ビット

外バス Address21 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD21 の出力を行いません。[初期値]
	1	ユーザ外バス MAD21 の出力を行います。

[bit27] UEA20E : UEA20E 出力選択ビット

外バス Address20 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD20 の出力を行いません。[初期値]
	1	ユーザ外バス MAD20 の出力を行います。

[bit26] UEA19E : UEA19E 出力選択ビット

外バス Address19 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD19 の出力を行いません。[初期値]
	1	ユーザ外バス MAD19 の出力を行います。

[bit25] UEA18E : UEA18E 出力選択ビット

外バス Address18 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD18 の出力を行いません。[初期値]
	1	ユーザ外バス MAD18 の出力を行います。

[bit24] UEA17E : UEA17E 出力選択ビット

外バス Address17 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD17 の出力を行いません。[初期値]
	1	ユーザ外バス MAD17 の出力を行います。

[bit23] UEA16E : UEA16E 出力選択ビット

外バス Address16 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD16 の出力を行いません。[初期値]
	1	ユーザ外バス MAD16 の出力を行います。

[bit22] UEA15E : UEA15E 出力選択ビット

外バス Address15 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD15 の出力を行いません。[初期値]
	1	ユーザ外バス MAD15 の出力を行います。

[bit21] UEA14E : UEA14E 出力選択ビット

外バス Address14 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD14 の出力を行いません。[初期値]
	1	ユーザ外バス MAD14 の出力を行います。

[bit20] UEA13E : UEA13E 出力選択ビット

外バス Address13 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD13 の出力を行いません。[初期値]
	1	ユーザ外バス MAD13 の出力を行います。

[bit19] UEA12E : UEA12E 出力選択ビット

外バス Address12 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD12 の出力を行いません。[初期値]
	1	ユーザ外バス MAD12 の出力を行います。

[bit18] UEA11E : UEA11E 出力選択ビット

外バス Address11 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD11 の出力を行いません。[初期値]
	1	ユーザ外バス MAD11 の出力を行います。

[bit17] UEA10E : UEA10E 出力選択ビット

外バス Address10 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD10 の出力を行いません。[初期値]
	1	ユーザ外バス MAD10 の出力を行います。

[bit16] UEA09E : UEA09E 出力選択ビット

外バス Address09 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD09 の出力を行いません。[初期値]
	1	ユーザ外バス MAD09 の出力を行います。

[bit15] UEA08E : UEA08E 出力選択ビット

外バス Address08 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD08 の出力を行いません。[初期値]
	1	ユーザ外バス MAD08 の出力を行います。

[bit14] UEA00E : UEA00E 出力選択ビット

外バス Address00 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD00 の出力を行いません。[初期値]
	1	ユーザ外バス MAD00 の出力を行います。

[bit13] UECS7E : UECS7E 出力選択ビット

外バス CS7 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCSX7 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX7 の出力を行います。

[bit12] UECS6E : UECS6E 出力選択ビット

外バス CS6 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCSX6 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX6 の出力を行います。

[bit11] UECS5E : UECS5E 出力選択ビット

外バス CS5 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCSX5 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX5 の出力を行います。

[bit10] UECS4E : UECS4E 出力選択ビット

外バス CS4 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCSX4 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX4 の出力を行います。

[bit9] UECS3E : UECS3E 出力選択ビット

外バス CS3 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCSX3 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX3 の出力を行います。

[bit8] UECS2E : UECS2E 出力選択ビット

外バス CS2 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCSX2 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX2 の出力を行います。

[bit7] UECS1E : UECS1E 出力選択ビット

外バス CS1 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCSX1 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX1 の出力を行います。

[bit6] UEFLSE : UEFLSE 出力選択ビット

外バス NAND-Flash 制御信号の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MNALE, MNCLE, MNWEX, MNREX の出力を行いません。[初期値]
	1	ユーザ外バス MNALE, MNCLE, MNWEX, MNREX の出力を行います。

[bit5] UEOEXE : UEOEXE 出力選択ビット

外バス OEX の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MOEX の出力を行いません。[初期値]
	1	ユーザ外バス MOEX の出力を行います。

[bit4] UEDQME : UEDQME 出力選択ビット

外バス DQM の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MDQM1, MDQM0 の出力を行いません。[初期値]
	1	ユーザ外バス MDQM1, MDQM0 の出力を行います。

[bit3] UEWEXE : UEWEXE 出力選択ビット

外バス WEX の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MWEX の出力を行いません。[初期値]
	1	ユーザ外バス MWEX の出力を行います。

[bit2] UECLKE : UECLKE 出力選択ビット

外バスクロックの出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCLKOUT の出力を行いません。[初期値]
	1	ユーザ外バス MCLKOUT の出力を行います。

[bit1] UEDTHB : UEDTHB 入出力選択ビット

外バスデータの入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA15～MADATA08 の出力を行いません。[初期値] ユーザ外バス MADATA15～MADATA08 の入力は端子に接続されます。
	1	ユーザ外バス MADATA15～MADATA08 の出力を行います。 ユーザ外バス MADATA15～MADATA08 の入力は端子に接続されます。

[bit0] UEDEFB : UEDEFB 入出力選択ビット

外バス信号の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD07～MAD01 の出力を行いません。 ユーザ外バス MCSX0 の出力を行いません。 ユーザ外バス MADATA07～MADATA00 の出力を行いません。 ユーザ外バス MADATA07～MADATA00 の入力は端子に接続されます。[初期値]
	1	ユーザ外バス MAD07～MAD01 の出力を行います。 ユーザ外バス MCSX0 の出力を行います。 ユーザ外バス MADATA7～MADATA0 の出力を行います。 ユーザ外バス MADATA7～MADATA0 の入力は端子に接続されます。

＜注意事項＞

- *EPFR10.bit[1]により、外バスデータ[15:8]の入出力選択を一括制御できます。*
  EPFR11.bit[24:17]でも外バスデータ[15:8]の入出力選択を 1 ビットごとに制御できます。
  EPFR10.bit[1]がEPFR11.bit[24:17]の設定よりは優先します。
  EPFR11.bit[24:17]の設定で入出力選択を制御する場合は、EPFR10.bit[1]=0 にする必要があります。
- *EPFR10.bit[0]により、外バスアドレス[7:1], MCSX0, 外バスデータ[7:0]の入出力選択を一括制御できます。*
  EPFR11.bit[16:1]でも外バスアドレス[7:1], MCSX0, 外バスデータ[7:0]の入出力選択を 1 ビットごとに制御できます。
  EPFR10.bit[0]がEPFR11.bit[16:1]の設定よりは優先します。
  EPFR11.bit[16:1]の設定で入出力選択を制御する場合は、EPFR10.bit[0]=0 にする必要があります。
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.19 拡張機能端子設定レジスタ 11(EPFR11)

EPFR11 レジスタは、外バスの周辺端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約						予約	UED15B
属性			-				-	R/W
初期値			-				-	0

bit	23	22	21	20	19	18	17	16
Field	UED14B	UED13B	UED12B	UED11B	UED10B	UED09B	UED08B	UED07B
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	UED06B	UED05B	UED04B	UED03B	UED02B	UED01B	UED00B	UEA07E
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	UEA06E	UEA05E	UEA04E	UEA03E	UEA02E	UEA01E	UECS0E	UEALEE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:26] 予約 : 予約ビット

これらのビットからは、0b000000 が読み出されます。
書込みの場合には、0b000000 を設定してください。

[bit25] 予約 : 予約ビット

読出し時は不定です。
このビットへの書込みは禁止です。

[bit24] UED15B : UED15B 入出力選択ビット

外バスデータ 15 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA15 の出力を行いません。[初期値] ユーザ外バス MADATA15 の入力は端子に接続されます。
	1	ユーザ外バス MADATA15 の出力を行います。 ユーザ外バス MADATA15 の入力は端子に接続されます。

[bit23] UED14B : UED14B 出力選択ビット

外バスデータ 14 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA14 の出力を行いません。[初期値] ユーザ外バス MADATA14 の入力は端子に接続されます。
	1	ユーザ外バス MADATA14 の出力を行います。 ユーザ外バス MADATA14 の入力は端子に接続されます。

[bit22] UED13B : UED13B 出力選択ビット

外バスデータ 13 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA13 の出力を行いません。[初期値] ユーザ外バス MADATA13 の入力は端子に接続されます。
	1	ユーザ外バス MADATA13 の出力を行います。 ユーザ外バス MADATA13 の入力は端子に接続されます。

[bit21] UED12B : UED12B 出力選択ビット

外バスデータ 12 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA12 の出力を行いません。[初期値] ユーザ外バス MADATA12 の入力は端子に接続されます。
	1	ユーザ外バス MADATA12 の出力を行います。 ユーザ外バス MADATA12 の入力は端子に接続されます。

[bit20] UED11B : UED11B 出力選択ビット

外バスデータ 11 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA11 の出力を行いません。[初期値] ユーザ外バス MADATA11 の入力は端子に接続されます。
	1	ユーザ外バス MADATA11 の出力を行います。 ユーザ外バス MADATA11 の入力は端子に接続されます。

[bit19] UED10B : UED10B 出力選択ビット

外バスデータ 10 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA10 の出力を行いません。[初期値] ユーザ外バス MADATA10 の入力は端子に接続されます。
	1	ユーザ外バス MADATA10 の出力を行います。 ユーザ外バス MADATA10 の入力は端子に接続されます。

[bit18] UED09B : UED09B 出力選択ビット

外バスデータ 09 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA09 の出力を行いません。[初期値] ユーザ外バス MADATA09 の入力は端子に接続されます。
	1	ユーザ外バス MADATA09 の出力を行います。 ユーザ外バス MADATA09 の入力は端子に接続されます。

[bit17] UED08B : UED08B 出力選択ビット

外バスデータ 08 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA08 の出力を行いません。[初期値] ユーザ外バス MADATA08 の入力は端子に接続されます。
	1	ユーザ外バス MADATA08 の出力を行います。 ユーザ外バス MADATA08 の入力は端子に接続されます。

[bit16] UED07B : UED07B 出力選択ビット

外バスデータ 07 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA07 の出力を行いません。[初期値] ユーザ外バス MADATA07 の入力は端子に接続されます。
	1	ユーザ外バス MADATA07 の出力を行います。 ユーザ外バス MADATA07 の入力は端子に接続されます。

[bit15] UED06B : UED06B 出力選択ビット

外バスデータ 06 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA06 の出力を行いません。[初期値] ユーザ外バス MADATA06 の入力は端子に接続されます。
	1	ユーザ外バス MADATA06 の出力を行います。 ユーザ外バス MADATA06 の入力は端子に接続されます。

[bit14] UED05B : UED05B 出力選択ビット

外バスデータ 05 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA05 の出力を行いません。[初期値] ユーザ外バス MADATA05 の入力は端子に接続されます。
	1	ユーザ外バス MADATA05 の出力を行います。 ユーザ外バス MADATA05 の入力は端子に接続されます。

[bit13] UED04B : UED04B 出力選択ビット

外バスデータ 04 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA04 の出力を行いません。[初期値] ユーザ外バス MADATA04 の入力は端子に接続されます。
	1	ユーザ外バス MADATA04 の出力を行います。 ユーザ外バス MADATA04 の入力は端子に接続されます。

[bit12] UED03B : UED03B 出力選択ビット

外バスデータ 03 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA03 の出力を行いません。[初期値] ユーザ外バス MADATA03 の入力は端子に接続されます。
	1	ユーザ外バス MADATA03 の出力を行います。 ユーザ外バス MADATA03 の入力は端子に接続されます。

[bit11] UED02B : UED02B 出力選択ビット

外バスデータ 02 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA02 の出力を行いません。[初期値] ユーザ外バス MADATA02 の入力は端子に接続されます。
	1	ユーザ外バス MADATA02 の出力を行います。 ユーザ外バス MADATA02 の入力は端子に接続されます。

[bit10] UED01B : UED01B 出力選択ビット

外バスデータ 01 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA01 の出力を行いません。[初期値] ユーザ外バス MADATA01 の入力は端子に接続されます。
	1	ユーザ外バス MADATA01 の出力を行います。 ユーザ外バス MADATA01 の入力は端子に接続されます。

[bit9] UED00B : UED00B 出力選択ビット

外バスデータ 00 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA00 の出力を行いません。[初期値] ユーザ外バス MADATA00 の入力は端子に接続されます。
	1	ユーザ外バス MADATA00 の出力を行います。 ユーザ外バス MADATA00 の入力は端子に接続されます。

[bit8] UEA07E : UEA07E 出力選択ビット

外バス address07 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD07 の出力を行いません。[初期値]
	1	ユーザ外バス MAD07 の出力を行います。

[bit7] UEA06E : UEA06E 出力選択ビット

外バス address06 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD06 の出力を行いません。[初期値]
	1	ユーザ外バス MAD06 の出力を行います。

[bit6] UEA05E : UEA05E 出力選択ビット

外バス address05 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD05 の出力を行いません。[初期値]
	1	ユーザ外バス MAD05 の出力を行います。

[bit5] UEA04E : UEA04E 出力選択ビット

外バス address04 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD04 の出力を行いません。[初期値]
	1	ユーザ外バス MAD04 の出力を行います。

[bit4] UEA03E : UEA03E 出力選択ビット

外バス address03 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD03 の出力を行いません。[初期値]
	1	ユーザ外バス MAD03 の出力を行います。

[bit3] UEA02E : UEA02E 出力選択ビット

外バス address02 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD02 の出力を行いません。[初期値]
	1	ユーザ外バス MAD02 の出力を行います。

[bit2] UEA01E : UEA01E 出力選択ビット

外バス address01 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MAD01 の出力を行いません。[初期値]
	1	ユーザ外バス MAD01 の出力を行います。

[bit1] UECS0E : UECS0E 出力選択ビット

外バス CS0 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCSX0 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX0 の出力を行います。

[bit0] UEALEE : UEALEE 出力選択ビット

外バス ALE 信号の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MALE の出力を行いません。[初期値]
	1	ユーザ外バス MALE の出力を行います。

<注意事項>

- *EPFR10.bit[1]により、外バスデータ[15:7]の入出力選択を一括制御できます。*
  EPFR11.bit[24:17]でも外バスデータ[15:7]の入出力選択を 1 ビットごとに制御できます。
  EPFR10.bit[1]がEPFR11.bit[24:17]の設定よりは優先します。
  EPFR11.bit[24:17]の設定で入出力選択を制御する場合は、EPFR10.bit[1]=0 にする必要があります。
- *EPFR10.bit[0]により、外バスアドレス[7:1], MCSX0, 外バスデータ[7:0]の入出力選択を一括制御できます。*
  EPFR11.bit[16:1]でも外バスアドレス[7:1], MCSX0, 外バスデータ[7:0]の入出力選択を 1 ビットごとに制御できます。
  EPFR10.bit[0]がEPFR11.bit[16:1]の設定よりは優先します。
  EPFR11.bit[16:1]の設定で入出力選択を制御する場合は、EPFR10.bit[0]=0 にする必要があります。
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.20 拡張機能端子設定レジスタ 12(EPFR12)

EPFR12 レジスタは、ベースタイマ ch.8, ch.9, ch.10, ch.11 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB11S		TIOA11E		TIOA11S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB10S		TIOA10E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB9S		TIOA9E		TIOA9S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約		TIOB8S		TIOA8E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

レジスタ機能

[bit31:30] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit29:28] TIOB11S : TIOB11 入力選択ビット

TIOB11 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.11 TIOB の入力端子に TIOB11_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.11 TIOB の入力端子に TIOB11_1 を使用します。
	11	BT ch.11 TIOB の入力端子に TIOB11_2 を使用します。

[bit27:26] TIOA11E : TIOA11E 出力選択ビット

TIOA11 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.11 TIOA の出力を行いません。[初期値]
	01	BT ch.11 TIOA の出力端子に TIOA11_0 を使用します。
	10	BT ch.11 TIOA の出力端子に TIOA11_1 を使用します。
	11	BT ch.11 TIOA の出力端子に TIOA11_2 を使用します。

[bit25:24] TIOA11S : TIOA11 入力選択ビット

TIOA11 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.11 TIOA の入力端子に TIOA11_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.11 TIOA の入力端子に TIOA11_1 を使用します。
	11	BT ch.11 TIOA の入力端子に TIOA11_2 を使用します。

[bit23:22] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit21:20] TIOB10S : TIOB10 入力選択ビット

TIOB10 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.10 TIOB の入力端子に TIOB10_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.10 TIOB の入力端子に TIOB10_1 を使用します。
	11	BT ch.10 TIOB の入力端子に TIOB10_2 を使用します。

[bit19:18] TIOA10E : TIOA10 出力選択ビット

TIOA10 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.10 TIOA の出力を行いません。[初期値]
	01	BT ch.10 TIOA の出力端子に TIOA10_0 を使用します。
	10	BT ch.10 TIOA の出力端子に TIOA10_1 を使用します。
	11	BT ch.10 TIOA の出力端子に TIOA10_2 を使用します。

[bit17:14] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit13:12] TIOB9S : TIOB9 入力選択ビット

TIOB9 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.9 TIOB の入力端子に TIOB9_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.9 TIOB の入力端子に TIOB9_1 を使用します。
	11	BT ch.9 TIOB の入力端子に TIOB9_2 を使用します。

[bit11:10] TIOA9E : TIOA9E 出力選択ビット

TIOA9 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.9 TIOA の出力を行いません。[初期値]
	01	BT ch.9 TIOA の出力端子に TIOA9_0 を使用します。
	10	BT ch.9 TIOA の出力端子に TIOA9_1 を使用します。
	11	BT ch.9 TIOA の出力端子に TIOA9_2 を使用します。

[bit9:8] TIOA9S : TIOA9 入力選択ビット

TIOA9 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.9 TIOA の入力端子に TIOA9_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.9 TIOA の入力端子に TIOA9_1 を使用します。
	11	BT ch.9 TIOA の入力端子に TIOA9_2 を使用します。

[bit7:6] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit5:4] TIOB8S : TIOB8 入力選択ビット

TIOB8 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.8 TIOB の入力端子に TIOB8_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.8 TIOB の入力端子に TIOB8_1 を使用します。
	11	BT ch.8 TIOB の入力端子に TIOB8_2 を使用します。

[bit3:2] TIOA8E : TIOA8 出力選択ビット

TIOA8 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.8 TIOA の出力を行いません。[初期値]
	01	BT ch.8 TIOA の出力端子に TIOA8_0 を使用します。
	10	BT ch.8 TIOA の出力端子に TIOA8_1 を使用します。
	11	BT ch.8 TIOA の出力端子に TIOA8_2 を使用します。

[bit1:0] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

＜注意事項＞

- *TIOA*
  偶数チャネルは出力のみです。
  奇数チャネルは出力と入力があります。
- *TIOB*
  入力のみです。
- *TIOA9, TIOA11, TIOA13, TIOA15(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。*
  TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

- *例 1 : TIOA11 を出力端子として使用する場合*
  TIOA11 を TIOA11_0 へ出力する場合、EPFR12.TIOA11E = 01 を選択します。
  TIOA11 を TIOA11_1 へ出力する場合、EPFR12.TIOA11E = 10 を選択します。
  TIOA11 を TIOA11_2 へ出力する場合、EPFR12.TIOA11E = 11 を選択します。
  EPFR12.TIOA11S の設定は、無視されます。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されている他の周辺機能端子の出力をすべて OFF にする必要があります。
- *例 2 : TIOA11 を入力端子として使用する場合*
  EPFR12.TIOA11E = 00 を選択します。
  TIOA11 を TIOA11_0 から入力する場合、EPFR12.TIOA11S = 00 or 01 を選択します。
  TIOA11 を TIOA11_1 から入力する場合、EPFR12.TIOA11S = 10 を選択します。
  TIOA11 を TIOA11_2 から入力する場合、EPFR12.TIOA11S = 11 を選択します。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されている他の周辺機能端子の出力をすべて OFF にする必要があります。
- ** 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO, 他の周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。*

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.21 拡張機能端子設定レジスタ 13(EPFR13)

EPFR13 レジスタは、ベースタイマ ch.12, ch.13, ch.14, ch.15 の端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB15S		TIOA15E		TIOA15S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB14S		TIOA14E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB13S		TIOA13E		TIOA13S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約		TIOB12S		TIOA12E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

レジスタ機能

[bit31:30] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit29:28] TIOB15S : TIOB15 入力選択ビット

TIOB15 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.15 TIOB の入力端子に TIOB15_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.15 TIOB の入力端子に TIOB15_1 を使用します。
	11	BT ch.15 TIOB の入力端子に TIOB15_2 を使用します。

[bit27:26] TIOA15E : TIOA15 出力選択ビット

TIOA15 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.15 TIOA の出力を行いません。[初期値]
	01	BT ch.15 TIOA の出力端子に TIOA15_0 を使用します。
	10	BT ch.15 TIOA の出力端子に TIOA15_1 を使用します。
	11	BT ch.15 TIOA の出力端子に TIOA15_2 を使用します。

[bit25:24] TIOA15S : TIOA15 入力選択ビット

TIOA15 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.15 TIOA の入力端子に TIOA15_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.15 TIOA の入力端子に TIOA15_1 を使用します。
	11	BT ch.15 TIOA の入力端子に TIOA15_2 を使用します。

[bit23:22] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit21:20] TIOB13S : TIOB14 入力選択ビット

TIOB14 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.14 TIOB の入力端子に TIOB14_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.14 TIOB の入力端子に TIOB14_1 を使用します。
	11	BT ch.14 TIOB の入力端子に TIOB14_2 を使用します。

[bit19:18] TIOA14E : TIOA14 出力選択ビット

TIOA14 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.14 TIOA の出力を行いません。[初期値]
	01	BT ch.14 TIOA の出力端子に TIOA14_0 を使用します。
	10	BT ch.14 TIOA の出力端子に TIOA14_1 を使用します。
	11	BT ch.14 TIOA の出力端子に TIOA14_2 を使用します。

[bit17:14] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit13:12] TIOB13S : TIOB13 入力選択ビット

TIOB13 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.13 TIOB の入力端子に TIOB13_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.13 TIOB の入力端子に TIOB13_1 を使用します。
	11	BT ch.13 TIOB の入力端子に TIOB13_2 を使用します。

[bit11:10] TIOA13E : TIOA13E 出力選択ビット

TIOA13 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.13 TIOA の出力を行いません。[初期値]
	01	BT ch.13 TIOA の出力端子に TIOA13_0 を使用します。
	10	BT ch.13 TIOA の出力端子に TIOA13_1 を使用します。
	11	BT ch.13 TIOA の出力端子に TIOA13_2 を使用します。

[bit9:8] TIOA13S : TIOA13 入力選択ビット

TIOA13 の入力選択を行います。

bit9:8		説明
リード時		レジスタの値を読み出します。
書込み時	00	BT ch.13 TIOA の入力端子に TIOA13_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.13 TIOA の入力端子に TIOA13_1 を使用します。
	11	BT ch.13 TIOA の入力端子に TIOA13_2 を使用します。

[bit7:6] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit5:4] TIOB12S : TIOB12 入力選択ビット

TIOB12 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.12 TIOB の入力端子に TIOB12_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.12 TIOB の入力端子に TIOB12_1 を使用します。
	11	BT ch.12 TIOB の入力端子に TIOB12_2 を使用します。

[bit3:2] TIOA12E : TIOA12 出力選択ビット

TIOA12 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	BT ch.12 TIOA の出力を行いません。[初期値]
	01	BT ch.12 TIOA の出力端子に TIOA12_0 を使用します。
	10	BT ch.12 TIOA の出力端子に TIOA12_1 を使用します。
	11	BT ch.12 TIOA の出力端子に TIOA12_2 を使用します。

[bit1:0] 予約 : 予約ビット
これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

<注意事項>

- *TIOA*
  偶数チャネルは出力のみです。
  奇数チャネルは出力と入力があります。
- *TIOB*
  入力のみです。
- *TIOA9, TIOA11, TIOA13, TIOA15(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。*
  TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

- *例 1 : TIOA11 を出力端子として使用する場合*
  TIOA11 を TIOA11_0 へ出力する場合、EPFR12.TIOA11E = 01 を選択します。
  TIOA11 を TIOA11_1 へ出力する場合、EPFR12.TIOA11E = 10 を選択します。
  TIOA11 を TIOA11_2 へ出力する場合、EPFR12.TIOA11E = 11 を選択します。
  EPFR12.TIOA11S の設定は、無視されます。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。
- *例 2 : TIOA11 を入力端子として使用する場合*
  EPFR12.TIOA11E = 00 を選択します。
  TIOA11 を TIOA11_0 から入力する場合、EPFR12.TIOA11S = 00 or 01 を選択します。
  TIOA11 を TIOA11_1 から入力する場合、EPFR12.TIOA11S = 10 を選択します。
  TIOA11 を TIOA11_2 から入力する場合、EPFR12.TIOA11S = 11 を選択します。
  選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。
  選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。
- ** 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO, 他の周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。*

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.22 拡張機能端子設定レジスタ 14(EPFR14)

EPFR14 レジスタは、QPRC/ Ethernet-MAC 端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約	予約	E_SPLC		E_PSE	E_CKE	E_MD1B	E_MD0B
属性	-	-	R/W		R/W	R/W	R/W	R/W
初期値	-	-	00		0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	E_MC1B	E_MC0E	E_TE1E	E_TE0E	E_TD1E	E_TD0E	予約	
属性	R/W	R/W	R/W	R/W	R/W	R/W	-	
初期値	0	0	0	0	0	0	-	

bit	15	14	13	12	11	10	9	8
Field				予約				
属性				-				
初期値				-				

bit	7	6	5	4	3	2	1	0
Field	予約		QZIN2S		QBIN2S		QAIN2S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

レジスタ機能

[bit31:30] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit29:28] E_SPLC : Ethernet-MAC 用入力端子　スタンバイ時、入力遮断選択ビット

Ethernet-MAC 入力端子のスタンバイ時の入力遮断を選択します。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スタンバイ時、全入力端子を遮断します。[初期値]
	01	スタンバイ時、1ch-MII が使用する入力端子を遮断しません。
	10	スタンバイ時、1ch-RMII が使用する入力端子を遮断しません。
	11	スタンバイ時、2ch-RMII が使用する入力端子を遮断しません。

[bit27] E_PSE : Ethernet-MAC 用 PPS0_PPS1 出力選択ビット

PPS0_PPS1 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_PPS0_PPS1 の出力を行いません。[初期値]
	1	E_PPS0_PPS1 の出力を行います。[初期値]

[bit26] E_CKE : E_COUT 出力選択ビット

E_COUT の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_COUT の出力を行いません[初期値]
	1	E_COUT の出力を行います。

[bit25] E_MD1B :E_MDO1 入出力選択ビット

E_MDO1 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_MDO1 の出力は行いません。[初期値] E_MDI1 の入力は端子に接続されます。
	1	E_MDO1 の出力は行います。 E_MDI1 の入力は端子に接続されます。

[bit24] E_MD0B :E_MDO0 入出力選択ビット

E_MDO0 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_MDO0 の出力は行いません。[初期値] E_MDI0 の入力は端子に接続されます。
	1	E_MDO0 の出力は行います。 E_MDI0 の入力は端子に接続されます。

[bit23] E_MC1B :E_MDC1 入出力選択ビット

E_MDC1 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_MDC1 の出力は行いません。[初期値] E_TCK0 の入力は端子に接続されます。
	1	E_MDC1 の出力は行います。 E_TCK0 の入力は端子に接続されます。

[bit22] E_MC0E :E_MDC0 出力選択ビット

E_MDC0 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_MDC0 の出力は行いません。[初期値]
	1	E_MDC0 の出力は行います。

[bit21] E_TE1E : E_TXER0_TXEN1 出力選択ビット

E_TXER0_TXEN1 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_TXER0_TXEN1 の出力を行いません。[初期値]
	1	E_TXER0_TXEN1 の出力を行います。

[bit20] E_TE0E : E_TXEN0 出力選択ビット

E_TXEN0 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_TXEN0 の出力を行いません。[初期値]
	1	E_TXEN0 の出力を行います。

[bit19] E_TD1E : E_TX02_TX10, E_TX03_TX11 出力選択ビット

E_TX02_TX10, E_TX03_TX11 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_TX02_TX10 の出力を行いません。[初期値] E_TX03_TX11 の出力を行いません。
	1	E_TX02_TX10 の出力を行います。[初期値] E_TX03_TX11 の出力を行います。

[bit18] E_TD0E : E_TX00, E_TX01 出力選択ビット

E_TX00, E_TX01 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	E_TX00, E_TX01 の出力を行いません。[初期値]
	1	E_TX00, E_TX00 の出力を行います。

[bit17:6] 予約 : 予約ビット

これらのビットからは、0b000000000000 が読み出されます。
書込みの場合には、0b000000000000 を設定してください。

[bit5:4] QZIN2S : QDU ch.2 の ZIN 入力端子ビット

QDU ch.2 の ZIN 入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QDU ch.2 の ZIN 入力端子に ZIN2_0 端子を使用します。[初期値]
	01	QDU ch.2 の ZIN 入力端子に ZIN2_0 端子を使用します。
	10	QDU ch.2 の ZIN 入力端子に ZIN2_1 端子を使用します。
	11	QDU ch.2 の ZIN 入力端子に ZIN2_2 端子を使用します。

[bit3:2] QBIN2S : QDU ch.2 の BIN 入力端子ビット

QDU ch.2 の BIN 入力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QDU ch.2 の BIN 入力端子に BIN2_0 端子を使用します。[初期値]
	01	QDU ch.2 の BIN 入力端子に BIN2_0 端子を使用します。
	10	QDU ch.2 の BIN 入力端子に BIN2_1 端子を使用します。
	11	QDU ch.2 の BIN 入力端子に BIN2_2 端子を使用します。

[bit1:0] QAIN2S : QDU ch.2 の AIN 入力端子ビット

QDU ch.2 の AIN 入力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QDU ch.2 の AIN 入力端子に AIN2_0 端子を使用します。[初期値]
	01	QDU ch.2 の AIN 入力端子に AIN2_0 端子を使用します。
	10	QDU ch.2 の AIN 入力端子に AIN2_1 端子を使用します。
	11	QDU ch.2 の AIN 入力端子に AIN2_2 端子を使用します。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.23 拡張機能端子設定レジスタ 15(EPFR15)

EPFR15 レジスタは、外部割込みの端子への機能割当てを設定します。

レジスタ構成

bit	31 30	29 28	27 26	25 24
Field	EINT31S	EINT30S	EINT29S	EINT28S
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

bit	23 22	21 20	19 18	17 16
Field	EINT27S	EINT26S	EINT25S	EINT24S
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

bit	15 14	13 12	11 10	9 8
Field	EINT23S	EINT22S	EINT21S	EINT20S
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

bit	7 6	5 4	3 2	1 0
Field	EINT19S	EINT18S	EINT17S	EINT16S
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

レジスタ機能

[bit31:30] EINT31S： 外部割込み入力選択ビット

EINT31 の入力選択を行います。

bit31:30		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.31 の入力端子に INT31_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.31 の入力端子に INT31_1 端子を使用します。
	11	EINT ch.31 の入力端子に INT31_2 端子を使用します。

[bit29:28] EINT30S： 外部割込み入力選択ビット

EINT30 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.30 の入力端子に INT30_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.30 の入力端子に INT30_1 端子を使用します。
	11	EINT ch.30 の入力端子に INT30_2 端子を使用します。

[bit27:26] EINT29S： 外部割込み入力選択ビット

EINT29 の入力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.29 の入力端子に INT29_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.29 の入力端子に INT29_1 端子を使用します。
	11	EINT ch.29 の入力端子に INT29_2 端子を使用します。

[bit25:24] EINT28S： 外部割込み入力選択ビット

EINT28 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.28 の入力端子に INT28_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.28 の入力端子に INT28_1 端子を使用します。
	11	EINT ch.28 の入力端子に INT28_2 端子を使用します。

[bit23:22] EINT27S： 外部割込み入力選択ビット

EINT27 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.27 の入力端子に INT27_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.27 の入力端子に INT27_1 端子を使用します。
	11	EINT ch.27 の入力端子に INT27_2 端子を使用します。

[bit21:20] EINT26S： 外部割込み入力選択ビット

EINT26 の入力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.26 の入力端子に INT26_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.26 の入力端子に INT26_1 端子を使用します。
	11	EINT ch.26 の入力端子に INT26_2 端子を使用します。

[bit19:18] EINT25S： 外部割込み入力選択ビット

EINT25 の入力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.25 の入力端子に INT25_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.25 の入力端子に INT25_1 端子を使用します。
	11	EINT ch.25 の入力端子に INT25_2 端子を使用します。

[bit17:16] EINT24S： 外部割込み入力選択ビット

EINT24 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.24 の入力端子に INT24_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.24 の入力端子に INT24_1 端子を使用します。
	11	EINT ch.24 の入力端子に INT24_2 端子を使用します。

[bit15:14] EINT23S： 外部割込み入力選択ビット

EINT23 の入力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.23 の入力端子に INT23_0 端子を使用します。[初期値]
	01	00 ライト時と同じ
	10	EINT ch.23 の入力端子に INT23_1 端子を使用します。
	11	EINT ch.23 の入力端子に INT23_2 端子を使用します。

[bit13:12] EINT22S： 外部割込み入力選択ビット

EINT22 の入力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.22 の入力端子に INT22_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.22 の入力端子に INT22_1 端子を使用します。
	11	EINT ch.22 の入力端子に INT22_2 端子を使用します。

[bit11:10] EINT21S： 外部割込み入力選択ビット

EINT21 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.21 の入力端子に INT21_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.21 の入力端子に INT21_1 端子を使用します。
	11	EINT ch.21 の入力端子に INT21_2 端子を使用します。

[bit9:8] EINT20S： 外部割込み入力選択ビット

EINT20 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.20 の入力端子に INT20_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.20 の入力端子に INT20_1 端子を使用します。
	11	EINT ch.20 の入力端子に INT20_2 端子を使用します。

[bit7:6] EINT19S： 外部割込み入力選択ビット

EINT19 の入力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.19 の入力端子に INT19_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.19 の入力端子に INT19_1 端子を使用します。
	11	EINT ch.19 の入力端子に INT19_2 端子を使用します。

[bit5:4] EINT18S： 外部割込み入力選択ビット

EINT18 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.18 の入力端子に INT18_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.18 の入力端子に INT18_1 端子を使用します。
	11	EINT ch.18 の入力端子に INT18_2 端子を使用します。

[bit3:2] EINT17S： 外部割込み入力選択ビット

EINT17 の入力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.17 の入力端子に INT17_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.17 の入力端子に INT17_1 端子を使用します。
	11	EINT ch.17 の入力端子に INT17_2 端子を使用します。

[bit1:0] EINT16S： 外部割込み入力選択ビット

EINT16 の入力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	EINT ch.16 の入力端子に INT16_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.16 の入力端子に INT16_1 端子を使用します。
	11	EINT ch.16 の入力端子に INT16_2 端子を使用します。

＜注意事項＞

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.24 拡張機能端子設定レジスタ 16(EPFR16)

EPFR16 レジスタは、マルチファンクションシリアルの ch.6～ch.11 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		SFMPBC	SFMPAC	SCK11B		SOT11B	
属性	-		R/W	R/W	R/W		R/W	
初期値	-		0	0	00		00	

bit	23	22	21	20	19	18	17	16
Field	SIN11S		SCK10B		SOT10B		SIN10S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	SCK9B		SOT9B		SIN9S		SCK8B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SOT8B		SIN8S		SCS7B		SCS6B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:30] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit29] SFMPBC : MFS ch.B I2C FastMode+ 選択ビット

MFS ch.B の I2C FastMode+ 選択を行います。

bit29		説明
読出し時		レジスタの値を読み出します。
書込み時	0	MFS ch.B-I2C 入出力端子は I2C FastMode+に対応しません。[初期値]
	1	MFS ch.B-I2C 入出力端子は I2C FastMode+に対応します。

[bit28] SFMPAC : MFS ch.A I2C FastMode+ 選択ビット

MFS ch.A I2C FastMode+ 選択を行います。

bit28		説明
読出し時		レジスタの値を読み出します。
書込み時	0	MFS ch.A-I2C 入出力端子は I2C FastMode+に対応しません。[初期値]
	1	MFS ch.A-I2C 入出力端子は I2C FastMode+に対応します。

[bit27:26] SCK11B : SCK11 入出力選択ビット

SCK11 の入出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.11 SCK の入力端子に SCK11_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.11 SCK の入力端子に SCK11_0 端子を使用します。 出力端子に SCK11_0 を使用します。
	10	MFS ch.11 SCK の入力端子に SCK11_1 端子を使用します。 出力端子に SCK11_1 を使用します。
	11	MFS ch.11 SCK の入力端子に SCK11_2 端子を使用します。 出力端子に SCK11_2 を使用します。

[bit25:24] SOT11B : SOT11 入出力選択ビット

SOT11 の入出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.11 SOT の入力端子に SOT11_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.11 SOT の入力端子に SOT11_0 端子を使用します。 出力端子に SOT11_0 を使用します。
	10	MFS ch.11 SOT の入力端子に SOT11_1 端子を使用します。 出力端子に SOT11_1 を使用します。
	11	MFS ch.11 SOT の入力端子に SOT11_2 端子を使用します。 出力端子に SOT11_2 を使用します。

[bit23:22] SIN11S : SIN11 入力選択ビット

SIN11 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.11 SIN の入力端子に SIN11_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.11 SIN の入力端子に SIN11_1 端子を使用します。
	11	MFS ch.11 SIN の入力端子に SIN11_2 端子を使用します。

[bit21:20] SCK10B : SCK10 入出力選択ビット

SCK10 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.10 SCK の入力端子に SCK10_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.10 SCK の入力端子に SCK10_0 端子を使用します。 出力端子に SCK10_0 を使用します。
	10	MFS ch.10 SCK の入力端子に SCK10_1 端子を使用します。 出力端子に SCK10_1 を使用します。
	11	MFS ch.10 SCK の入力端子に SCK10_2 端子を使用します。 出力端子に SCK10_2 を使用します。

[bit19:18] SOT10B : SOT10 入出力選択ビット

SOT10 の入出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.10 SOT の入力端子に SOT10_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.10 SOT の入力端子に SOT10_0 端子を使用します。 出力端子に SOT10_0 を使用します。
	10	MFS ch.10 SOT の入力端子に SOT10_1 端子を使用します。 出力端子に SOT10_1 を使用します。
	11	MFS ch.10 SOT の入力端子に SOT10_2 端子を使用します。 出力端子に SOT10_2 を使用します。

[bit17:16] SIN10S : SIN10 入力選択ビット

SIN10 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.10 SIN の入力端子に SIN10_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.10 SIN の入力端子に SIN10_1 端子を使用します。
	11	MFS ch.10 SIN の入力端子に SIN10_2 端子を使用します。

[bit15:14] SCK9B : SCK9 入出力選択ビット

SCK9 の入出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.9 SCK の入力端子に SCK9_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.9 SCK の入力端子に SCK9_0 端子を使用します。 出力端子に SCK9_0 を使用します。
	10	MFS ch.9 SCK の入力端子に SCK9_1 端子を使用します。 出力端子に SCK9_1 を使用します。
	11	MFS ch.9 SCK の入力端子に SCK9_2 端子を使用します。 出力端子に SCK9_2 を使用します。

[bit13:12] SOT9B : SOT9 入出力選択ビット

SOT9 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.9 SOT の入力端子に SOT9_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.9 SOT の入力端子に SOT9_0 端子を使用します。 出力端子に SOT9_0 を使用します。
	10	MFS ch.9 SOT の入力端子に SOT9_1 端子を使用します。 出力端子に SOT9_1 を使用します。
	11	MFS ch.9 SOT の入力端子に SOT9_2 端子を使用します。 出力端子に SOT9_2 を使用します。

[bit11:10] SIN9S : SIN9 入力選択ビット

SIN9 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.9 SIN の入力端子に SIN9_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.9 SIN の入力端子に SIN9_1 端子を使用します。
	11	MFS ch.9 SIN の入力端子に SIN9_2 端子を使用します。

[bit9:8] SCK8B : SCK8 入出力選択ビット

SCK8 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.8 SCK の入力端子に SCK8_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.8 SCK の入力端子に SCK8_0 端子を使用します。 出力端子に SCK8_0 を使用します。
	10	MFS ch.8 SCK の入力端子に SCK8_1 端子を使用します。 出力端子に SCK8_1 を使用します。
	11	MFS ch.8 SCK の入力端子に SCK8_2 端子を使用します。 出力端子に SCK8_2 を使用します。

[bit7:6] SOT8B : SOT8 入出力選択ビット

SOT8 の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.8 SOT の入力端子に SOT8_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.8 SOT の入力端子に SOT8_0 端子を使用します。 出力端子に SOT8_0 を使用します。
	10	MFS ch.8 SOT の入力端子に SOT8_1 端子を使用します。 出力端子に SOT8_1 を使用します。
	11	MFS ch.8 SOT の入力端子に SOT8_2 端子を使用します。 出力端子に SOT8_2 を使用します。

[bit5:4] SIN8S : SIN8 入力選択ビット

SIN8 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.8 SIN の入力端子に SIN8_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.8 SIN の入力端子に SIN8_1 端子を使用します。
	11	MFS ch.8 SIN の入力端子に SIN8_2 端子を使用します。

[bit3:2] SCS7B : SCS7 入出力選択ビット

SCS7 の入出力選択を行います。

本ビットは TYPE により設定方法が異なります。

■ TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS の入力端子に SCS7_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.7 SCS の入力端子に SCS7_0 端子を使用します。 出力端子に SCS7_0 を使用します。
	10	MFS ch.7 SCS の入力端子に SCS7_1 端子を使用します。 出力端子に SCS7_1 を使用します。
	11	MFS ch.7 SCS の入力端子に SCS7_2 端子を使用します。 出力端子に SCS7_2 を使用します。

■ TYPE3-M4, TYPE4-M4, TYPE5-M4 製品

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS の入力端子に SCS70_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.7 SCS の入力端子に SCS70_0 端子を使用します。 出力端子に SCS70_0 を使用します。
	10	MFS ch.7 SCS の入力端子に SCS70_1 端子を使用します。 出力端子に SCS70_1 を使用します。
	11	MFS ch.7 SCS の入力端子に SCS70_2 端子を使用します。 出力端子に SCS70_2 を使用します。

SCS71_x~SCS73_x 端子を使用する場合は本ビットに 00 を設定し、合わせて EPFR23 の設定を行ってください。

[bit1:0] SCS6B : SCS6 入出力選択ビット

SCS6 の入出力選択を行います。

本ビットは TYPE により設定方法が異なります。

■ TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCS の入力端子に SCS6_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.6 SCS の入力端子に SCS6_0 端子を使用します。 出力端子に SCS6_0 を使用します。
	10	MFS ch.6 SCS の入力端子に SCS6_1 端子を使用します。 出力端子に SCS6_1 を使用します。
	11	MFS ch.6 SCS の入力端子に SCS6_2 端子を使用します。 出力端子に SCS6_2 を使用します。

■ TYPE3-M4, TYPE4-M4, TYPE5-M4 製品

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCS の入力端子に SCS60_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.6 SCS の入力端子に SCS60_0 端子を使用します。 出力端子に SCS60_0 を使用します。
	10	MFS ch.6 SCS の入力端子に SCS60_1 端子を使用します。 出力端子に SCS60_1 を使用します。
	11	MFS ch.6 SCS の入力端子に SCS60_2 端子を使用します。 出力端子に SCS60_2 を使用します。

SCS61_x~SCS63_x 端子を使用する場合は本ビットに 00 を設定し、合わせて EPFR23 の設定を行ってください。

＜注意事項＞

- *I2C FastMode+ に対応する MFS ch.A および MFS ch.B が、どの MFS チャネルに割り当てられているかは製品のデータシートを参照してください。*
- *TYPE1-M4, TYPE2-M4, TYPE6-M4 製品は SCS6B および SCS7B ビットで SCS6_x、SCS7_x 端子の設定を行ってください。*
  TYPE3-M4, TYPE4-M4, TYPE5-M4 製品は SCS60_x 端子、SCS70_x 端子のみを使用する場合は、SCS6B および SCS7B ビットで端子の設定を行うことが可能です。また、TYPE3-M4 製品で SCS61_x～SCS63_x、SCS71_x～SCS73_x も使用する場合は、SCS6B、SCS7B ビットを 00 に設定し、EPFR23 の SCS60B, SCS61E, SCS62E, SCS63E, SCS70B, SCS71E, SDC72E, SCS73E にて端子の設定を行ってください。
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.25 拡張機能端子設定レジスタ 17(EPFR17)

EPFR17 レジスタは、マルチファンクションシリアルの ch.12～ch.15 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				SCK15B		SOT15B	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	SIN15S		SCK14B		SOT14B		SIN14S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	SCK13B		SOT13B		SIN13S		SCK12B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SOT12B		SIN12S		予約			
属性	R/W		R/W		-			
初期値	00		00		-			

レジスタ機能

[bit31:28] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit27:26] SCK15B : SCK15 入出力選択ビット

SCK15 の入出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.15 SCK の入力端子に SCK15_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.15 SCK の入力端子に SCK15_0 端子を使用します。 出力端子に SCK15_0 を使用します。
	10	MFS ch.15 SCK の入力端子に SCK15_1 端子を使用します。 出力端子に SCK15_1 を使用します。
	11	MFS ch.15 SCK の入力端子に SCK15_2 端子を使用します。 出力端子に SCK15_2 を使用します。

[bit25:24] SOT15B : SOT15 入出力選択ビット

SOT15 の入出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.15 SOT の入力端子に SOT15_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.15 SOT の入力端子に SOT15_0 端子を使用します。 出力端子に SOT15_0 を使用します。
	10	MFS ch.15 SOT の入力端子に SOT15_1 端子を使用します。 出力端子に SOT15_1 を使用します。
	11	MFS ch.15 SOT の入力端子に SOT15_2 端子を使用します。 出力端子に SOT15_2 を使用します。

[bit23:22] SIN15S : SIN15 入力選択ビット

SIN15 の入力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.15 SIN の入力端子に SIN15_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.15 SIN の入力端子に SIN15_1 端子を使用します。
	11	MFS ch.15 SIN の入力端子に SIN15_2 端子を使用します。

[bit21:20] SCK14B : SCK14 入出力選択ビット

SCK14 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.14 SCK の入力端子に SCK14_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.14 SCK の入力端子に SCK14_0 端子を使用します。 出力端子に SCK14_0 を使用します。
	10	MFS ch.14 SCK の入力端子に SCK14_1 端子を使用します。 出力端子に SCK14_1 を使用します。
	11	MFS ch.14 SCK の入力端子に SCK14_2 端子を使用します。 出力端子に SCK14_2 を使用します。

[bit19:18] SOT14B : SOT14 入出力選択ビット

SOT14 の入出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.14 SOT の入力端子に SOT14_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.14 SOT の入力端子に SOT14_0 端子を使用します。 出力端子に SOT14_0 を使用します。
	10	MFS ch.14 SOT の入力端子に SOT14_1 端子を使用します。 出力端子に SOT14_1 を使用します。
	11	MFS ch.14 SOT の入力端子に SOT14_2 端子を使用します。 出力端子に SOT14_2 を使用します。

[bit17:16] SIN14S : SIN14 入力選択ビット

SIN14 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.14 SIN の入力端子に SIN14_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.14 SIN の入力端子に SIN14_1 端子を使用します。
	11	MFS ch.14 SIN の入力端子に SIN14_2 端子を使用します。

[bit15:14] SCK13B : SCK13 入出力選択ビット

SCK13 の入出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.13 SCK の入力端子に SCK13_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.13 SCK の入力端子に SCK13_0 端子を使用します。 出力端子に SCK13_0 を使用します。
	10	MFS ch.13 SCK の入力端子に SCK13_1 端子を使用します。 出力端子に SCK13_1 を使用します。
	11	MFS ch.13 SCK の入力端子に SCK13_2 端子を使用します。 出力端子に SCK13_2 を使用します。

[bit13:12] SOT13B : SOT13 入出力選択ビット

SOT13 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.13 SOT の入力端子に SOT13_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.13 SOT の入力端子に SOT13_0 端子を使用します。 出力端子に SOT13_0 を使用します。
	10	MFS ch.13 SOT の入力端子に SOT13_1 端子を使用します。 出力端子に SOT13_1 を使用します。
	11	MFS ch.13 SOT の入力端子に SOT13_2 端子を使用します。 出力端子に SOT13_2 を使用します。

[bit11:10] SIN13S : SIN13 入力選択ビット

SIN13 の入力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.13 SIN の入力端子に SIN13_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.13 SIN の入力端子に SIN13_1 端子を使用します。
	11	MFS ch.13 SIN の入力端子に SIN13_2 端子を使用します。

[bit9:8] SCK12B : SCK12 入出力選択ビット

SCK12 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.12 SCK の入力端子に SCK12_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.12 SCK の入力端子に SCK12_0 端子を使用します。 出力端子に SCK12_0 を使用します。
	10	MFS ch.12 SCK の入力端子に SCK12_1 端子を使用します。 出力端子に SCK12_1 を使用します。
	11	MFS ch.12 SCK の入力端子に SCK12_2 端子を使用します。 出力端子に SCK12_2 を使用します。

[bit7:6] SOT12B : SOT12 入出力選択ビット

SOT12 の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.12 SOT の入力端子に SOT12_0 端子を使用します。 出力を行いません。[初期値]
	01	MFS ch.12 SOT の入力端子に SOT12_0 端子を使用します。 出力端子に SOT12_0 を使用します。
	10	MFS ch.12 SOT の入力端子に SOT12_1 端子を使用します。 出力端子に SOT12_1 を使用します。
	11	MFS ch.12 SOT の入力端子に SOT12_2 端子を使用します。 出力端子に SOT12_2 を使用します。

[bit5:4] SIN12S : SIN12 入力選択ビット

SIN12 の入力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.12 SIN の入力端子に SIN12_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	MFS ch.12 SIN の入力端子に SIN12_1 端子を使用します。
	11	MFS ch.12 SIN の入力端子に SIN12_2 端子を使用します。

[bit3:0] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.26 拡張機能端子設定レジスタ 18(EPFR18)

EPFR18 レジスタは、QPRC, SD カードインタフェース, HDMI-CEC の周辺端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		SDWPS		SDCDS		SDDATA3B	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	SDDATA2B		SDDATA1B		SDDATA0B		SDCMDB	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	SDCLKE		予約				QZIN3S	
属性	R/W		-				R/W	
初期値	00		-				00	

bit	7	6	5	4	3	2	1	0
Field	QBIN3S		QAIN3S		CECR1B		CECR0B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:30] 予約 : 予約ビット

これらのビットからは、0b00 が読み出されます。
書込みの場合には、0b00 を設定してください。

[bit29:28] SDWPS : S_WP 入力選択ビット

S_WP の入力選択を行います

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	SD カードインタフェースの入力端子に S_WP_0 を使用します[初期値]
	01	00 書込み時と同じ
	10	設定禁止
	11	設定禁止

[bit27:26] SDCDS : S_CD 入力選択ビット

S_CD の入力選択を行います

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	SD カードインタフェースの入力端子に S_CD_0 を使用します[初期値]
	01	00 書込み時と同じ
	10	設定禁止
	11	設定禁止

[bit25:24] SDDATA3B : SDDATA3 入出力選択ビット

S_DATA3 の入出力選択を行います

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	SD カードインタフェースの入力端子に S_DATA3_0 を使用します[初期値] 出力を行いません
	01	SD カードインタフェースの入力端子に S_DATA3_0 を使用します。 出力端子に S_DATA3_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit23:22] SDDATA2B : SDDATA2 入出力選択ビット

S_DATA2 の入出力選択を行います

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	SD カードインタフェースの入力端子に S_DATA2_0 を使用します[初期値] 出力を行いません
	01	SD カードインタフェースの入力端子に S_DATA2_0 を使用します。 出力端子に S_DATA2_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit21:20] SDDATA1B : SDDATA1 入出力選択ビット

S_DATA1 の入出力選択を行います

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	SD カードインタフェースの入力端子に S_DATA1_0 を使用します[初期値] 出力を行いません
	01	SD カードインタフェースの入力端子に S_DATA1_0 を使用します。 出力端子に S_DATA1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit19:18] SDDATA0B : SDDATA0 入出力選択ビット

S_DATA0 の入出力選択を行います

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	SD カードインタフェースの入力端子に S_DATA0_0 を使用します[初期値] 出力を行いません
	01	SD カードインタフェースの入力端子に S_DATA0_0 を使用します。 出力端子に S_DATA0_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit17:16] SDCMDB : S_CMD 入出力選択ビット

S_CMD の入出力選択を行います

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	SD カードインタフェースの入力端子に S_CMD_0 を使用します[初期値] 出力を行いません
	01	SD カードインタフェースの入力端子に S_CMD_0 を使用します。 出力端子に S_CMD_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit15:14] SDCLKE : S_CLK 出力選択ビット

S_CLK の出力選択を行います

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	SD カードインタフェースの S_CLK_0 の出力を行いません[初期値]
	01	SD カードインタフェースの出力端子に S_CLK_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit13:10] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit9:8] QZIN3S : QDU-ch3 ZIN 入力選択ビット

QDU-ch3 ZIN の入力選択を行います

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QDU-ch.3 の ZIN の入力端子に ZIN3_0 を使用します[初期値]
	01	00 書込み時と同じ
	10	QDU-ch.3 の ZIN の入力端子に ZIN3_1 を使用します
	11	QDU-ch.3 の ZIN の入力端子に ZIN3_2 を使用します

[bit7:6] QBIN3S : QDU-ch3 BIN 入力選択ビット

QDU-ch3 BIN の入力選択を行います

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QDU-ch.3 の BIN の入力端子に BIN3_0 を使用します[初期値]
	01	00 書込み時と同じ
	10	QDU-ch.3 の BIN の入力端子に BIN3_1 を使用します
	11	QDU-ch.3 の BIN の入力端子に BIN3_2 を使用します

[bit5:4] QAIN3S : QDU-ch3 AIN 入力選択ビット

QDU-ch3 AIN の入力選択を行います

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	QDU-ch.3 の AIN の入力端子に AIN3_0 を使用します[初期値]
	01	00 書込み時と同じ
	10	QDU-ch.3 の AIN の入力端子に AIN3_1 を使用します
	11	QDU-ch.3 の AIN の入力端子に AIN3_2 を使用します

[bit3:2] CECR1B : CEC1 入出力選択ビット

HDMI-CEC/リモコン受信 ch.1 入出力端子 CEC1 の入出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HDMI-CEC/リモコン受信 ch.1 の入出力を行いません。[初期値]
	01	HDMI-CEC/リモコン受信 ch.1 の入出力端子に CEC1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit1:0] CECR0B : CEC0 入出力選択ビット

HDMI-CEC/リモコン受信 ch.0 入出力端子 CEC0 の入出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HDMI-CEC/リモコン受信 ch.0 の入出力を行いません。[初期値]
	01	HDMI-CEC/リモコン受信 ch.0 の入出力端子に CEC0_0 を使用します。
	10	設定禁止
	11	設定禁止

<注意事項>

- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.27 拡張機能端子設定レジスタ 19(EPFR19)

EPFR19 レジスタは、予約です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性	-							
初期値	-							

レジスタ機能

[bit31:0] 予約 : 予約ビット

これらのビットからは、0x00000000 が読み出されます。

書込みの場合には、0x00000000 を設定してください。

4.28 拡張機能端子設定レジスタ 20(EPFR20)

EPFR20 レジスタは、外バスの周辺端子への機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							UED31B
属性				-				R/W
初期値				-				0

bit	23	22	21	20	19	18	17	16
Field	UED30B	UED29B	UED28B	UED27B	UED26B	UED25B	UED24B	UED23B
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	UED22B	UED21B	UED20B	UED19B	UED18B	UED17B	UED16B	UEDTHHB
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	UEDQM3E	UEDQM2E	UECSXE	UEDWEXE	UECASE	UERASE	UESMCEE	UESMCKE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit31:25] 予約 : 予約ビット

これらのビットからは、0b0000000 が読み出されます。
書込みの場合には、0b0000000 を設定してください。

[bit24] UED31B : UED31B 入出力選択ビット

外バスデータ 31 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA31 の出力を行いません。[初期値] ユーザ外バス MADATA31 の入力は端子に接続されます。
	1	ユーザ外バス MADATA31 の出力を行います。 ユーザ外バス MADATA31 の入力は端子に接続されます。

[bit23] UED30B : UED30B 入出力選択ビット

外バスデータ 30 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA30 の出力を行いません。[初期値] ユーザ外バス MADATA30 の入力は端子に接続されます。
	1	ユーザ外バス MADATA30 の出力を行います。 ユーザ外バス MADATA30 の入力は端子に接続されます。

[bit22] UED29B : UED29B 入出力選択ビット

外バスデータ 29 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA29 の出力を行いません。[初期値] ユーザ外バス MADATA29 の入力は端子に接続されます。
	1	ユーザ外バス MADATA29 の出力を行います。 ユーザ外バス MADATA29 の入力は端子に接続されます。

[bit21] UED28B : UED28B 入出力選択ビット

外バスデータ 28 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA28 の出力を行いません。[初期値] ユーザ外バス MADATA28 の入力は端子に接続されます。
	1	ユーザ外バス MADATA28 の出力を行います。 ユーザ外バス MADATA28 の入力は端子に接続されます。

[bit20] UED27B : UED27B 入出力選択ビット

外バスデータ 27 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA27 の出力を行いません。[初期値] ユーザ外バス MADATA27 の入力は端子に接続されます。
	1	ユーザ外バス MADATA27 の出力を行います。 ユーザ外バス MADATA27 の入力は端子に接続されます。

[bit19] UED26B : UED26B 入出力選択ビット

外バスデータ 26 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA26 の出力を行いません。[初期値] ユーザ外バス MADATA26 の入力は端子に接続されます。
	1	ユーザ外バス MADATA26 の出力を行います。 ユーザ外バス MADATA26 の入力は端子に接続されます。

[bit18] UED25B : UED25B 入出力選択ビット

外バスデータ 25 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA25 の出力を行いません。[初期値] ユーザ外バス MADATA25 の入力は端子に接続されます。
	1	ユーザ外バス MADATA25 の出力を行います。 ユーザ外バス MADATA25 の入力は端子に接続されます。

[bit17] UED24B : UED24B 入出力選択ビット

外バスデータ 24 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA24 の出力を行いません。[初期値] ユーザ外バス MADATA24 の入力は端子に接続されます。
	1	ユーザ外バス MADATA24 の出力を行います。 ユーザ外バス MADATA24 の入力は端子に接続されます。

[bit16] UED23B : UED23B 入出力選択ビット

外バスデータ 23 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA23 の出力を行いません。[初期値] ユーザ外バス MADATA23 の入力は端子に接続されます。
	1	ユーザ外バス MADATA23 の出力を行います。 ユーザ外バス MADATA23 の入力は端子に接続されます。

[bit15] UED22B : UED22B 入出力選択ビット

外バスデータ 22 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA22 の出力を行いません。[初期値] ユーザ外バス MADATA22 の入力は端子に接続されます。
	1	ユーザ外バス MADATA22 の出力を行います。 ユーザ外バス MADATA22 の入力は端子に接続されます。

[bit14] UED21B : UED21B 入出力選択ビット

外バスデータ 21 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA21 の出力を行いません。[初期値] ユーザ外バス MADATA21 の入力は端子に接続されます。
	1	ユーザ外バス MADATA21 の出力を行います。 ユーザ外バス MADATA21 の入力は端子に接続されます。

[bit13] UED20B : UED20B 入出力選択ビット

外バスデータ 20 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA20 の出力を行いません。[初期値] ユーザ外バス MADATA20 の入力は端子に接続されます。
	1	ユーザ外バス MADATA20 の出力を行います。 ユーザ外バス MADATA20 の入力は端子に接続されます。

[bit12] UED19B : UED19B 入出力選択ビット

外バスデータ 19 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA19 の出力を行いません。[初期値] ユーザ外バス MADATA19 の入力は端子に接続されます。
	1	ユーザ外バス MADATA19 の出力を行います。 ユーザ外バス MADATA19 の入力は端子に接続されます。

[bit11] UED18B : UED18B 入出力選択ビット

外バスデータ 18 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA18 の出力を行いません。[初期値] ユーザ外バス MADATA18 の入力は端子に接続されます。
	1	ユーザ外バス MADATA18 の出力を行います。 ユーザ外バス MADATA18 の入力は端子に接続されます。

[bit10] UED17B : UED17B 入出力選択ビット

外バスデータ 17 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA17 の出力を行いません。[初期値] ユーザ外バス MADATA17 の入力は端子に接続されます。
	1	ユーザ外バス MADATA17 の出力を行います。 ユーザ外バス MADATA17 の入力は端子に接続されます。

[bit9] UED16B : UED16B 入出力選択ビット

外バスデータ 16 の入出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA16 の出力を行いません。[初期値] ユーザ外バス MADATA16 の入力は端子に接続されます。
	1	ユーザ外バス MADATA16 の出力を行います。 ユーザ外バス MADATA16 の入力は端子に接続されます。

[bit8] UEDTHHB : UEDTHHB 入出力選択ビット

外バスデータ 31～16 の入出力一括選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MADATA31～MADATA16 の出力を行いません。[初期値] ユーザ外バス MADATA31～MADATA16 の入力は端子に接続されます。
	1	ユーザ外バス MADATA31～MADATA16 の出力を行います。 ユーザ外バス MADATA31～MADATA16 の入力は端子に接続されます。

[bit7] UEDQM3E : UEDQM3E 出力選択ビット

外バス MDQM3 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MDQM3 の出力を行いません。[初期値]
	1	ユーザ外バス MDQM3 の出力を行います。

[bit6] UEDQM2E : UEDQM2E 出力選択ビット

外バス MDQM2 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MDQM2 の出力を行いません。[初期値]
	1	ユーザ外バス MDQM2 の出力を行います。

[bit5] UECSXE : UECSXE 出力選択ビット

外バス SDRAM MCSX8 の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCSX8 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX8 の出力を行います。

[bit4] UEDWEXE : UEDWEXWE 出力選択ビット

外バス SDRAM MSDWEX の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MSDWEX の出力を行いません。[初期値]
	1	ユーザ外バス MSDWEX の出力を行います。

[bit3] UECASE : UECASE 出力選択ビット

外バス SDRAM MCASX の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MCASX の出力を行いません。[初期値]
	1	ユーザ外バス MCASX の出力を行います。

[bit2] UERASE : UERASE 出力選択ビット

外バス SDRAM MRASX の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MRASX の出力を行いません。[初期値]
	1	ユーザ外バス MRASX の出力を行います。

[bit1] UESMCEE : UESMCEE 出力選択ビット

外バス SDRAM MSDCKE の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MSDCKE の出力を行いません。[初期値]
	1	ユーザ外バス MSDCKE の出力を行います。

[bit0] UESMCKE : UESMCKE 出力選択ビット

外バス SDRAM MSDCLK 信号の出力選択を行います。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	ユーザ外バス MSDCLK の出力を行いません。[初期値]
	1	ユーザ外バス MSDCLK の出力を行います。

<注意事項>

- *EPFR20.bit[8]により、外バスデータ[31:16]の入出力選択を一括制御できます。*
  EPFR20.bit[24:9]でも外バスデータ[31:16]の入出力選択を 1 ビットごとに制御できます。
  EPFR20.bit[8]がEPFR20.bit[24:9]の設定より優先します。
  EPFR20.bit[24:9]の設定で入出力選択を制御する場合は、EPFR20.bit[8]=0 にする必要があります。
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.29 拡張機能端子設定レジスタ 21(EPFR21)

EPFR21 レジスタは、予約です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性	-							
初期値	-							

レジスタ機能

[bit31:0] 予約 : 予約ビット

これらのビットからは、0x00000000 が読み出されます。
書込みの場合には、0x00000000 を設定してください。

4.30 拡張機能端子設定レジスタ 22(EPFR22)

EPFR22 レジスタは、予約です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性	-							
初期値	-							

レジスタ機能

[bit31:0] 予約 : 予約ビット

これらのビットからは、0x00000000 が読み出されます。

書込みの場合には、0x00000000 を設定してください。

4.31 拡張機能端子設定レジスタ 23(EPFR23)

EPFR23 レジスタは、マルチファンクションシリアルの ch.6～ch.7 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	SCS73E		SCS72E		SCS71E		SCS70B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	SCS63E		SCS62E		SCS61E		SCS60B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:16] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit15:14] SCS73E : SCS73 出力選択ビット

SCS73 の出力選択を行います。TYPE3-M4, TYPE5-M4 製品は、EPFR16 の SCS7B と合わせて本ビットを設定してください。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS73 の出力を行いません。[初期値]
	01	MFS ch.7 SCS73 の出力端子に SCS73_0 を使用します。
	10	MFS ch.7 SCS73 の出力端子に SCS73_1 を使用します。
	11	設定禁止

[bit13:12] SCS72E : SCS72 出力選択ビット

SCS72 の出力選択を行います。TYPE3-M4, TYPE5-M4 製品は、EPFR16 の SCS7B と合わせて本ビットを設定してください。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS72 の出力を行いません。[初期値]
	01	MFS ch.7 SCS72 の出力端子に SCS72_0 を使用します。
	10	MFS ch.7 SCS72 の出力端子に SCS72_1 を使用します。
	11	設定禁止

[bit11:10] SCS71E : SCS71 出力選択ビット

SCS71 の出力選択を行います。TYPE3-M4, TYPE5-M4 製品は、EPFR16 の SCS7B と合わせて本ビットを設定してください。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS71 の出力を行いません。[初期値]
	01	MFS ch.7 SCS71 の出力端子に SCS71_0 を使用します。
	10	MFS ch.7 SCS71 の出力端子に SCS71_1 を使用します。
	11	設定禁止

[bit9:8] SCS70B : SCS70 入出力選択ビット

SCS70 の入出力選択を行います。TYPE3-M4, TYPE4-M4, TYPE5-M4 製品は、EPFR16 の SCS7B と合わせて本ビットを設定してください。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.7 SCS70 の入力端子に SCS70_0 を使用します。 出力を行いません。[初期値]
	01	MFS ch.7 SCS70 の入力端子に SCS70_0 を使用します。 出力端子に SCS70_0 を使用します。
	10	MFS ch.7 SCS70 の入力端子に SCS70_1 を使用します。 出力端子に SCS70_1 を使用します。
	11	設定禁止

[bit7:6] SCS63E : SCS63 出力選択ビット

SCS63 の出力選択を行います。TYPE3-M4, TYPE5-M4 製品は、EPFR16 の SCS6B と合わせて本ビットを設定してください。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCS63 の出力を行いません。[初期値]
	01	MFS ch.6 SCS63 の出力端子に SCS63_0 を使用します。
	10	MFS ch.6 SCS63 の出力端子に SCS63_1 を使用します。
	11	設定禁止

[bit5:4] SCS62E : SCS62 出力選択ビット

SCS62 の出力選択を行います。TYPE3-M4, TYPE5-M4 製品は、EPFR16 の SCS6B と合わせて本ビットを設定してください。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCS62 の出力を行いません。[初期値]
	01	MFS ch.6 SCS62 の出力端子に SCS62_0 を使用します。
	10	MFS ch.6 SCS62 の出力端子に SCS62_1 を使用します。
	11	設定禁止

[bit3:2] SCS61E : SCS61 出力選択ビット

SCS61 の出力選択を行います。TYPE3-M4, TYPE5-M4 製品は、EPFR16 の SCS6B と合わせて本ビットを設定してください。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch. 6 SCS61 の出力を行いません。[初期値]
	01	MFS ch.6 SCS61 の出力端子に SCS61_0 を使用します。
	10	MFS ch.6 SCS61 の出力端子に SCS61_1 を使用します。
	11	設定禁止

[bit1:0] SCS60B : SCS60 入出力選択ビット

SCS60 の入出力選択を行います。TYPE3-M4, TYPE4-M4, TYPE5-M4 製品は、EPFR16 の SCS6B と合わせて本ビットを設定してください。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS ch.6 SCS60 の入力端子に SCS60_0 を使用します。 出力を行いません。[初期値]
	01	MFS ch.6 SCS60 の入力端子に SCS60_0 を使用します。 出力端子に SCS60_0 を使用します。
	10	MFS ch.6 SCS60 の入力端子に SCS60_1 を使用します。 出力端子に SCS60_1 を使用します。
	11	設定禁止

<注意事項>

- *TYPE1-M4, TYPE2-M4, TYPE6-M4 製品で本レジスタはありません。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.32 拡張機能端子設定レジスタ 24(EPFR24)

EPFR24 レジスタは、I2S の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				I2SM4_SDO1E		I2SM4_SDI1S	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	I2SM4_WS1B		I2SM4_SCK1B		I2SM4_MCLK1E		I2SM4_MCLK1S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	予約				I2SM4_SDO0E		I2SM4_SDI0S	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	7	6	5	4	3	2	1	0
Field	I2SM4_WS0B		I2SM4_SCK0B		I2SM4_MCLK0E		I2SM4_MCLK0S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:28] 予約 : 予約ビット

これらのビットからは、0x0 が読み出されます。
書込みの場合には、0x0 を設定してください。

[bit27:26] I2SM4_SDO1E : I2SDO1 出力選択ビット

I2SDO1 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.1 I2SDO の出力を行いません。[初期値]
	01	I2S ch.1 I2SDO の出力端子に I2SDO1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit25:24] I2SM4_SDI1S : I2SDI1 入力選択ビット

I2SDI1 の入力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.1 I2SDI の入力を行いません。[初期値]
	01	I2S ch.1 I2SDI の入力端子に I2SDI1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit23:22] I2SM4_WS1B: I2SWS1 入出力選択ビット

I2SWS1 の入出力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.1 I2SWS の入出力を行いません。[初期値]
	01	I2S ch.1 I2SWS の入出力端子に I2SWS1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit21:20] I2SM4_SCK1B: I2SCK1 入出力選択ビット

I2SCK1 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.1 I2SCK の入出力を行いません。[初期値]
	01	I2S ch.1 I2SCK の入出力端子に I2SCK1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit19:18] I2SM4_MCLK1E : I2SMCLK1 出力選択ビット

I2SMCLK1 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.1 I2SMCLK の出力を行いません。[初期値]
	01	I2S ch.1 I2SMCLK の出力端子に I2SMCLK1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit17:16] I2SM4_MCLK1S : I2SMCLK1 入力選択ビット

I2SMCLK1 の入力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.1 I2SMCLK の入力を行いません。[初期値]
	01	I2S ch.1 I2SMCLK の入力端子に I2SMCLK1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit15:12] 予約 : 予約ビット

これらのビットからは、0x0 が読み出されます。
書込みの場合には、0x0 を設定してください。

[bit11:10] I2SM4_SDO0E : I2SDO0 出力選択ビット

I2SDO0 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.0 I2SDO の出力を行いません。[初期値]
	01	I2S ch.0 I2SDO の出力端子に I2SDO0_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit9:8] I2SM4_SDI0S : I2SDI0 入力選択ビット

I2SDI0 の入力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.0 I2SDI の入力を行いません。[初期値]
	01	I2S ch.0 I2SDI の入力端子に I2SDI0_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit7:6] I2SM4_WS0B: I2SWS0 入出力選択ビット

I2SWS0 の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.0 I2SWS の入出力を行いません。[初期値]
	01	I2S ch.0 I2SWS の入出力端子に I2SWS0_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit5:4] I2SM4_SCK0B: I2SCK0 入出力選択ビット

I2SCK0 の入出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.0 I2SCK の入出力を行いません。[初期値]
	01	I2S ch.0 I2SCK の入出力端子に I2SCK0_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit3:2] I2SM4_MCLK0E : I2SMCLK0 出力選択ビット

I2SMCLK0 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.0 I2SMCLK の出力を行いません。[初期値]
	01	I2S ch.0 I2SMCLK の出力端子に I2SMCLK0_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit1:0] I2SM4_MCLK0S : I2SMCLK0 入力選択ビット

I2SMCLK0 の入力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	I2S ch.0 I2SMCLK の入力を行いません。[初期値]
	01	I2S ch.0 I2SMCLK の入力端子に I2SMCLK0_0 を使用します。
	10	設定禁止
	11	設定禁止

＜注意事項＞

- *TYPE1-M4, TYPE2-M4, TYPE5-M4, TYPE6-M4 製品で本レジスタはありません。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.33 拡張機能端子設定レジスタ 25(EPFR25)

EPFR25 レジスタは、CAN-FD の機能割当てを設定します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約				MCTX2E		MCRX2S	
属性	-				R/W		R/W	
初期値	-				00		00	

レジスタ機能

[bit31:4] 予約 : 予約ビット

これらのビットからは、0x0000000 が読み出されます。
書込みの場合には、0x0000000 を設定してください。

[bit3:2] MCTX2E : TX2 出力選択ビット

CAN-FD TX2 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	CAN-FD TX の出力を行いません。[初期値]
	01	CAN-FD TX の出力端子を TX2_0 にします。
	10	CAN-FD TX の出力端子を TX2_1 にします。
	11	CAN-FD TX の出力端子を TX2_2 にします。

[bit1:0] MCRX2S : RX2 入力選択ビット

CAN-FD RX2 の入力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	CAN-FD RX の入力端子を RX2_0 にします。[初期値]
	01	00 書込み時と同じ
	10	CAN-FD RX の入力端子を RX2_1 にします。
	11	CAN-FD RX の入力端子を RX2_2 にします。

<注意事項>

- *TYPE1-M4, TYPE2-M4, TYPE5-M4, TYPE6-M4 製品で本レジスタはありません。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.34 拡張機能端子設定レジスタ 26(EPFR26)

EPFR26 レジスタは、High-Speed Quad SPI controller の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約						Q_IO3B	
属性	-						R/W	
初期値	-						00	

bit	15	14	13	12	11	10	9	8
Field	Q_IO2B		Q_IO1B		Q_IO0B		Q_CS3E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	Q_CS2E		Q_CS1E		Q_CS0E		Q_SCKB	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:18] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit17:16] Q_IO3B: Q_IO3（GE_SPDQ3）入出力選択ビット

Q_IO3(GE_SPDQ3)の入出力選択を行います。TYPE4-M4 製品は括弧内の信号が対象となります。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	Hi-Speed Quad SPI controller　Q_IO3 の入出力を行いません。[初期値]
	01	Hi-Speed Quad SPI controller　Q_IO3 の入出力端子に Q_IO3_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit15:14] Q_IO2B: Q_IO2（GE_SPDQ2）入出力選択ビット

Q_IO2(GE_SPDQ2)の入出力選択を行います。TYPE4-M4 製品は括弧内の信号が対象となります。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	Hi-Speed Quad SPI controller　Q_IO2 の入出力を行いません。[初期値]
	01	Hi-Speed Quad SPI controller　Q_IO2 の入出力端子に Q_IO2_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit13:12] Q_IO1B: Q_IO1（GE_SPDQ1）入出力選択ビット

Q_IO1(GE_SPDQ1)の入出力選択を行います。TYPE4-M4 製品は括弧内の信号が対象となります。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	Hi-Speed Quad SPI controller　Q_IO1 の入出力を行いません。[初期値]
	01	Hi-Speed Quad SPI controller　Q_IO1 の入出力端子に Q_IO1_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit11:10] Q_IO0B: Q_IO0（GE_SPDQ0）入出力選択ビット

Q_IO0(GE_SPDQ0)の入出力選択を行います。TYPE4-M4 製品は括弧内の信号が対象となります。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	Hi-Speed Quad SPI controller　Q_IO0 の入出力を行いません。[初期値]
	01	Hi-Speed Quad SPI controller　Q_IO0 の入出力端子に Q_IO0_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit9:8] Q_CS3E : Q_CS3 出力選択ビット

Q_CS3 の出力選択を行います。TYPE4-M4 製品にはありません。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	Hi-Speed Quad SPI controller　Q_CS3 の出力を行いません。[初期値]
	01	Hi-Speed Quad SPI controller　Q_CS3 の出力端子を Q_CS3_0 にします。
	10	設定禁止
	11	設定禁止

[bit7:6] Q_CS2E : Q_CS2 出力選択ビット

Q_CS2 の出力選択を行います。TYPE4-M4 製品にはありません。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	Hi-Speed Quad SPI controller　Q_CS2 の出力を行いません。[初期値]
	01	Hi-Speed Quad SPI controller　Q_CS2 の出力端子を Q_CS2_0 にします。
	10	設定禁止
	11	設定禁止

[bit5:4] Q_CS1E : Q_CS1 出力選択ビット

Q_CS1 の出力選択を行います。TYPE4-M4 製品にはありません。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	Hi-Speed Quad SPI controller　Q_CS1 の出力を行いません。[初期値]
	01	Hi-Speed Quad SPI controller　Q_CS1 の出力端子を Q_CS1_0 にします。
	10	設定禁止
	11	設定禁止

[bit3:2] Q_CS0E : Q_CS0（GE_SPCSX0）出力選択ビット

Q_CS0(GE_SPCSX0)の出力選択を行います。TYPE4-M4 製品は括弧内の信号が対象となります。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	Hi-Speed Quad SPI controller　Q_CS0 の出力を行いません。[初期値]
	01	Hi-Speed Quad SPI controller　Q_CS0 の出力端子を Q_CS0_0 にします。
	10	設定禁止
	11	設定禁止

[bit1:0] Q_SCKB: Q_SCK（GE_SPCK）入出力選択ビット

Q_SCK(GE_SPCK)の入出力選択を行います。TYPE4-M4 製品は括弧内の信号が対象となります。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	Hi-Speed Quad SPI controller　Q_SCK の入出力を行いません。[初期値]
	01	Hi-Speed Quad SPI controller　Q_SCK の入出力端子に Q_ SCK _0 を使用します。
	10	設定禁止
	11	設定禁止

＜注意事項＞

- *TYPE1-M4, TYPE2-M4, TYPE5-M4, TYPE6-M4 製品で本レジスタはありません。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.35 拡張機能端子設定レジスタ 27(EPFR27)

EPFR27 レジスタは、HyperBus Interface の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	HBINTXS		HBRSTOXS		HBRESETXE		HBWPXE	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	HBDQ7B		HBDQ6B		HBDQ5B		HBDQ4B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	HBDQ3B		HBDQ2B		HBDQ1B		HBDQ0B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	HBRWDSB		HBCSX_1E		HBCSX_0E		HBCKE	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:30] HBINTXS: GE_HBINTX 入力選択ビット

GE_HBINTX の入力選択を行います。

bit31:30		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface　GE_HBINTX の入力を H 入力固定とします。[初期値]
	01	HyperBus Interface　GE_HBINTX の入力に GE_HBINTX_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit29:28] HBRSTOXS: GE_ HBRSTOX 入力選択ビット

GE_ HBRSTOX の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface　GE_ HBRSTOX の入力を H 入力固定とします。[初期値]
	01	HyperBus Interface　GE_ HBRSTOX の入力に GE_ HBRSTOX_0 を使用します。
	10	設定禁止
	11	設定禁止

[bit27:26] HBRESETXE: GE_ HBRESETX 出力選択ビット

GE_ HBRESETX の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBRESETX の出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBRESETX を GE_ HBRESETX_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit25:24] HBWPXE: GE_ HBWPX 出力選択ビット

GE_ HBWPX の出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBWPX の出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBWPX を GE_ HBWPX_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit23:22] HBDQ7B: GE_ HBDQ7 入出力選択ビット

GE_ HBDQ7 の入出力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBDQ7 の入力、出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBDQ7 を GE_ HBDQ7_0 から入出力します。
	10	設定禁止
	11	設定禁止

[bit21:20] HBDQ6B: GE_ HBDQ6 入出力選択ビット

GE_ HBDQ6 の入出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBDQ6 の入力、出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBDQ6 を GE_ HBDQ6_0 から入出力します。
	10	設定禁止
	11	設定禁止

[bit19:18] HBDQ5B: GE_ HBDQ5 入出力選択ビット

GE_ HBDQ5 の入出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBDQ5 の入力、出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBDQ5 を GE_ HBDQ5_0 から入出力します。
	10	設定禁止
	11	設定禁止

[bit17:16] HBDQ4B: GE_ HBDQ4 入出力選択ビット

GE_ HBDQ4 の入出力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBDQ4 の入力、出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBDQ4 を GE_ HBDQ4_0 から入出力します。
	10	設定禁止
	11	設定禁止

[bit15:14] HBDQ3B: GE_ HBDQ3 入出力選択ビット

GE_ HBDQ3 の入出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBDQ3 の入力、出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBDQ3 を GE_ HBDQ3_0 から入出力します。
	10	設定禁止
	11	設定禁止

[bit13:12] HBDQ2B: GE_ HBDQ2 入出力選択ビット

GE_ HBDQ2 の入出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBDQ2 の入力、出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBDQ2 を GE_ HBDQ2_0 から入出力します。
	10	設定禁止
	11	設定禁止

[bit11:10] HBDQ1B: GE_ HBDQ1 入出力選択ビット

GE_ HBDQ1 の入出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBDQ1 の入力、出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBDQ1 を GE_ HBDQ1_0 から入出力します。
	10	設定禁止
	11	設定禁止

[bit9:8] HBDQ0B: GE_ HBDQ0 入出力選択ビット

GE_ HBDQ0 の入出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface GE_ HBDQ0 の入力、出力を行いません。[初期値]
	01	HyperBus Interface GE_ HBDQ0 を GE_ HBDQ0_0 から入出力します。
	10	設定禁止
	11	設定禁止

[bit7:6] HBRWDSB: GE_ HBRWDS 入出力選択ビット

GE_ HBRWDS の入出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface　GE_ HBRWDS の入力、出力を行いません。[初期値]
	01	HyperBus Interface　GE_ HBRWDS を GE_ HBRWDS _0 から入出力します。
	10	設定禁止
	11	設定禁止

[bit5:4] HBCSX_1E: GE_ HBCSX1 出力選択ビット

GE_ HBCSX1 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface　GE_ HBCSX1 の出力を行いません。[初期値]
	01	HyperBus Interface　GE_ HBCSX1 を GE_ HBCSX1_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit3:2] HBCSX_0E: GE_ HBCSX0 出力選択ビット

GE_ HBCSX0 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface　GE_ HBCSX0 の出力を行いません。[初期値]
	01	HyperBus Interface　GE_ HBCSX0 を GE_ HBCSX0_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit1:0] HBCKE: GE_ HBCK 出力選択ビット

GE_ HBCK の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	HyperBus Interface　GE_ HBCK の出力を行いません。[初期値]
	01	HyperBus Interface　GE_ HBCK を GE_ HBCK_0 から出力します。
	10	設定禁止
	11	設定禁止

＜注意事項＞

- *TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE5-M4, TYPE6-M4 製品で本レジスタはありません。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.36 拡張機能端子設定レジスタ 28(EPFR28)

EPFR28 レジスタは、GDC Panel の機能割当てを設定します。

レジスタ構成

bit	31 30	29 28	27 26	25 24
Field	PNL_PD15E	PNL_PD14E	PNL_PD13E	PNL_PD12E
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

bit	23 22	21 20	19 18	17 16
Field	PNL_PD11E	PNL_PD10E	PNL_PD9E	PNL_PD8E
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

bit	15 14	13 12	11 10	9 8
Field	PNL_PD7E	PNL_PD6E	PNL_PD5E	PNL_PD4E
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

bit	7 6	5 4	3 2	1 0
Field	PNL_PD3E	PNL_PD2E	PNL_PD1E	PNL_PD0E
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

レジスタ機能

[bit31:30] PNL_PD15E: PNL_PD15 出力選択ビット

PNL_PD15 の出力選択を行います。

bit31:30		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD15 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD15 を PNL_PD15_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit29:28] PNL_PD14E: PNL_PD14 出力選択ビット

PNL_PD14 の入力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD14 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD14 を PNL_PD14_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit27:26] PNL_PD13E: PNL_PD13 出力選択ビット

PNL_PD13 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD13 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD13 を PNL_PD13_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit25:24] PNL_PD12E: PNL_PD12 出力選択ビット

PNL_PD12 の出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD12 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD12 を PNL_PD12_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit23:22] PNL_PD11E: PNL_PD11 出力選択ビット

PNL_PD11 の出力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD11 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD11 を PNL_PD11_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit21:20] PNL_PD10E: PNL_PD10 出力選択ビット

PNL_PD10 の出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD10 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD10 を PNL_PD10_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit19:18] PNL_PD9E: PNL_PD9 出力選択ビット

PNL_PD9 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD9 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD9 を PNL_PD9_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit17:16] PNL_PD8E: PNL_PD8 出力選択ビット

PNL_PD8 の出力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD8 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD8 を PNL_PD8_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit15:14] PNL_PD7E: PNL_PD7 出力選択ビット

PNL_PD7 の出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD7 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD7 を PNL_PD7_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit13:12] PNL_PD6E: PNL_PD6 出力選択ビット

PNL_PD6 の出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD6 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD6 を PNL_PD6_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit11:10] PNL_PD5E: PNL_PD5 出力選択ビット

PNL_PD5 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD5 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD5 を PNL_PD5_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit9:8] PNL_PD4E: PNL_PD4 出力選択ビット

PNL_PD4 の出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD4 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD4 を PNL_PD4_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit7:6] PNL_PD3E: PNL_PD3 出力選択ビット

PNL_PD3 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD3 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD3 を PNL_PD3_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit5:4] PNL_PD2E: PNL_PD2 出力選択ビット

PNL_PD2 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD2 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD2 を PNL_PD2_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit3:2] PNL_PD1E: PNL_PD1 出力選択ビット

PNL_PD1 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD1 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD1 を PNL_PD1_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit1:0] PNL_PD0E: PNL_PD0 出力選択ビット

PNL_PD0 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD0 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD0 を PNL_PD0_0 から出力します。
	10	設定禁止
	11	設定禁止

＜注意事項＞

- *TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE5-M4, TYPE6-M4 製品で本レジスタはありません。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.37 拡張機能端子設定レジスタ 29(EPFR29)

EPFR29 レジスタは、GDC Panel の機能割当てを設定します。

レジスタ構成

bit	31 30	29 28	27 26	25 24
Field	PNL_TSIG11E	PNL_TSIG10E	PNL_TSIG9E	PNL_TSIG8E
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

bit	23 22	21 20	19 18	17 16
Field	PNL_TSIG7E	PNL_TSIG6E	PNL_TSIG5E	予約
属性	R/W	R/W	R/W	-
初期値	00	00	00	-

bit	15 14	13 12	11 10	9 8
Field	PNL_PD23E	PNL_PD22E	PNL_PD21E	PNL_PD20E
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

bit	7 6	5 4	3 2	1 0
Field	PNL_PD19E	PNL_PD18E	PNL_PD17E	PNL_PD16E
属性	R/W	R/W	R/W	R/W
初期値	00	00	00	00

レジスタ機能

[bit31:30] PNL_TSIG11E: PNL_TSIG11 出力選択ビット

PNL_TSIG11 の出力選択を行います。

bit31:30		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG11 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG11 を PNL_ TSIG11_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit29:28] PNL_TSIG10E: PNL_TSIG10 出力選択ビット

PNL_TSIG10 の出力選択を行います。

bit29:28		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG10 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG10 を PNL_ TSIG10_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit27:26] PNL_TSIG9E: PNL_TSIG9 出力選択ビット

PNL_TSIG9 の出力選択を行います。

bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG9 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG9 を PNL_ TSIG9_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit25:24] PNL_TSIG8E: PNL_TSIG8 出力選択ビット

PNL_TSIG8 の出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG8 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG8 を PNL_ TSIG8_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit23:22] PNL_TSIG7E: PNL_TSIG7 出力選択ビット

PNL_TSIG7 の出力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG7 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG7 を PNL_ TSIG7_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit21:20] PNL_TSIG6E: PNL_TSIG6 出力選択ビット

PNL_TSIG6 の出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG6 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG6 を PNL_ TSIG6_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit19:18] PNL_TSIG5E: PNL_TSIG5 出力選択ビット

PNL_TSIG5 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG5 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG5 を PNL_ TSIG5_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit17:16] 予約 : 予約ビット
これらのビットからは、"0b00"が読み出されます。
書込みの場合には、"0b00"を設定してください。

[bit15:14] PNL_PD23E: PNL_PD23 出力選択ビット
PNL_PD23 の出力選択を行います。

bit15:14		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD23 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD23 を PNL_PD23_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit13:12] PNL_PD22E: PNL_PD22 出力選択ビット
PNL_PD22 の出力選択を行います。

bit13:12		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD22 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD22 を PNL_PD22_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit11:10] PNL_PD21E: PNL_PD21 出力選択ビット
PNL_PD21 の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD21 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD21 を PNL_PD21_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit9:8] PNL_PD20E: PNL_PD20 出力選択ビット
PNL_PD20 の出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD20 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD20 を PNL_PD20_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit7:6] PNL_PD19E: PNL_PD19 出力選択ビット

PNL_PD19 の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD19 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD19 を PNL_PD19_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit5:4] PNL_PD18E: PNL_PD18 出力選択ビット

PNL_PD18 の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD18 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD18 を PNL_PD18_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit3:2] PNL_PD17E: PNL_PD17 出力選択ビット

PNL_PD17 の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD17 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD17 を PNL_PD17_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit1:0] PNL_PD16E: PNL_PD16 出力選択ビット

PNL_PD16 の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PD16 の出力を行いません。[初期値]
	01	GDC Panel　PNL_PD16 を PNL_PD16_0 から出力します。
	10	設定禁止
	11	設定禁止

＜注意事項＞

- *TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE5-M4, TYPE6-M4 製品で本レジスタはありません。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.38 拡張機能端子設定レジスタ 30(EPFR30)

EPFR30 レジスタは、GDC Panel の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約						PNL_TSIG4E	
属性	-						R/W	
初期値	-						00	

bit	23	22	21	20	19	18	17	16
Field	PNL_TSIG3E		PNL_TSIG2E		PNL_TSIG1E		PNL_TSIG0E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	予約				PNL_LH_SYNCE		PNL_FV_SYNCE	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	7	6	5	4	3	2	1	0
Field	PNL_LEE		PNL_DENE		PNL_DCLKE		PNL_PWEE	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:26] 予約 : 予約ビット

これらのビットからは、0b000000 が読み出されます。
書込みの場合には、0b000000 を設定してください。

[bit25:24] PNL_TSIG4E: PNL_TSIG4 出力選択ビット

PNL_TSIG4 の出力選択を行います。

bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG4 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG4 を PNL_ TSIG4_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit23:22] PNL_TSIG3E: PNL_TSIG3 出力選択ビット

PNL_TSIG3 の出力選択を行います。

bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG3 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG3 を PNL_ TSIG3_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit21:20] PNL_TSIG2E: PNL_TSIG2 出力選択ビット

PNL_TSIG2 の出力選択を行います。

bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG2 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG2 を PNL_ TSIG2_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit19:18] PNL_TSIG1E: PNL_TSIG1 出力選択ビット

PNL_TSIG1 の出力選択を行います。

bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG1 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG1 を PNL_ TSIG1_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit17:16] PNL_TSIG0E: PNL_TSIG0 出力選択ビット

PNL_TSIG0 の出力選択を行います。

bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ TSIG0 の出力を行いません。[初期値]
	01	GDC Panel　PNL_ TSIG0 を PNL_ TSIG0_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit15:12] 予約 : 予約ビット

これらのビットからは、0x0 が読み出されます。
書込みの場合には、0x0 を設定してください。

[bit11:10] PNL_LH_SYNCE: PNL_LH_SYNC 出力選択ビット

PNL_LH_SYNC の出力選択を行います。

bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ LH_SYNC の出力を行いません。[初期値]
	01	GDC Panel　PNL_ LH_SYNC を PNL_ LH_SYNC_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit9:8] PNL_FV_SYNCE: PNL_FV_SYNC 出力選択ビット

PNL_FV_SYNC の出力選択を行います。

bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_ FV_SYNC の出力を行いません。[初期値]
	01	GDC Panel　PNL_ FV_SYNC を PNL_ FV_SYNC_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit7:6] PNL_LEE: PNL_LE 出力選択ビット

PNL_LE の出力選択を行います。

bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_LE の出力を行いません。[初期値]
	01	GDC Panel　PNL_LE を PNL_LE_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit5:4] PNL_DENE: PNL_DEN 出力選択ビット

PNL_DEN の出力選択を行います。

bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_DEN の出力を行いません。[初期値]
	01	GDC Panel　PNL_DEN を PNL_DEN_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit3:2] PNL_DCLKE: PNL_DCLK 出力選択ビット

PNL_DCLK の出力選択を行います。

bit3:2		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_DCLK の出力を行いません。[初期値]
	01	GDC Panel　PNL_DCLK を PNL_DCLK_0 から出力します。
	10	設定禁止
	11	設定禁止

[bit1:0] PNL_PWEE: PNL_PWE 出力選択ビット

PNL_PWE の出力選択を行います。

bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	GDC Panel　PNL_PWE の出力を行いません。[初期値]
	01	GDC Panel　PNL_PWE を PNL_PWE_0 から出力します。
	10	設定禁止
	11	設定禁止

<注意事項>

- *TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE5-M4, TYPE6-M4 製品で本レジスタはありません。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.39 拡張機能端子設定レジスタ 33(EPFR33)

EPFR33 レジスタは、スマートカードインタフェースの機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				CLK1E		VCC1E	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	VPEN1E		RST1E		DATA1B		CIN1S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	予約				CLK0E		VCC0E	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	7	6	5	4	3	2	1	0
Field	VPEN0E		RST0E		DATA0B		CIN0S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

レジスタ機能

[bit31:28] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit27:26] CLK1E : IC1_CLK 出力選択ビット

IC1_CLK の出力選択を行います。

Bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 CLK の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 CLK の出力端子に IC1_CLK_0 を使用します。
	10	スマートカードインタフェース ch.1 CLK の出力端子に IC1_CLK_1 を使用します。
	11	スマートカードインタフェース ch.1 CLK の出力端子に IC1_CLK_2 を使用します。

[bit25:24] VCC1E : IC1_VCC 出力選択ビット

IC1_VCC の出力選択を行います。

Bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 VCC の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 VCC の出力端子に IC1_VCC_0 を使用します。
	10	スマートカードインタフェース ch.1 VCC の出力端子に IC1_VCC_1 を使用します。
	11	スマートカードインタフェース ch.1 VCC の出力端子に IC1_VCC_2 を使用します。

[bit23:22] VPEN1E : IC1_VPEN 出力選択ビット

IC1_VPEN の出力選択を行います。

Bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 VPEN の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 VPEN の出力端子に IC1_VPEN_0 を使用します。
	10	スマートカードインタフェース ch.1 VPEN の出力端子に IC1_VPEN_1 を使用します。
	11	スマートカードインタフェース ch.1 VPEN の出力端子に IC1_VPEN_2 を使用します。

[bit21:20] RST1E : IC1_RST 出力選択ビット

IC1_RST の出力選択を行います。

Bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 RST の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 RST の出力端子に IC1_RST_0 を使用します。
	10	スマートカードインタフェース ch.1 RST の出力端子に IC1_RST_1 を使用します。
	11	スマートカードインタフェース ch.1 RST の出力端子に IC1_RST_2 を使用します。

[bit19:18] DATA1B : IC1_DATA 入出力選択ビット

IC1_DATA の入出力選択を行います。

Bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 DATA の入力端子に IC1_DATA_0 を使用します。 出力を行いません。[初期値]
	01	スマートカードインタフェース ch.1 DATA の入力端子に IC1_DATA_0 を使用します。 出力端子に IC1_DATA_0 を使用します。
	10	スマートカードインタフェース ch.1 DATA の入力端子に IC1_DATA_1 を使用します。 出力端子に IC1_DATA_1 を使用します。
	11	スマートカードインタフェース ch.1 DATA の入力端子に IC1_DATA_2 を使用します。 出力端子に IC1_DATA_2 を使用します。

[bit17:16] CIN1S : IC1_CIN 入力選択ビット

IC1_CIN の入力選択を行います。

Bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 CIN の入力端子に IC1_CIN_0 を使用します。[初期値]
	01	スマートカードインタフェース ch.1 CIN の入力端子に IC1_CIN_0 を使用します。
	10	スマートカードインタフェース ch.1 CIN の入力端子に IC1_CIN_1 を使用します。
	11	スマートカードインタフェース ch.1 CIN の入力端子に IC1_CIN_2 を使用します。

[bit15:12] 予約 : 予約ビット
これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit11:10] CLK0E : IC0_CLK 出力選択ビット
IC0_CLK の出力選択を行います。

Bit11:10		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 CLK の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 CLK の出力端子に IC0_CLK_0 を使用します。
	10	スマートカードインタフェース ch.0 CLK の出力端子に IC0_CLK_1 を使用します。
	11	スマートカードインタフェース ch.0 CLK の出力端子に IC0_CLK_2 を使用します。

[bit9:8] VCC0E : IC0_VCC 出力選択ビット
IC0_VCC の出力選択を行います。

Bit9:8		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 VCC の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 VCC の出力端子に IC1_VCC_0 を使用します。
	10	スマートカードインタフェース ch.0 VCC の出力端子に IC1_VCC_1 を使用します。
	11	スマートカードインタフェース ch.0 VCC の出力端子に IC1_VCC_2 を使用します。

[bit7:6] VPEN0E : IC0_VPEN 出力選択ビット
IC0_VPEN の出力選択を行います。

Bit7:6		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 VPEN の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 VPEN の出力端子に IC0_VPEN_0 を使用します。
	10	スマートカードインタフェース ch.0 VPEN の出力端子に IC0_VPEN_1 を使用します。
	11	スマートカードインタフェース ch.0 VPEN の出力端子に IC0_VPEN_2 を使用します。

[bit5:4] RST0E : IC0_RST 出力選択ビット
IC0_RST の出力選択を行います。

Bit5:4		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 RST の出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 RST の出力端子に IC0_RST_0 を使用します。
	10	スマートカードインタフェース ch.0 RST の出力端子に IC0_RST_1 を使用します。
	11	スマートカードインタフェース ch.0 RST の出力端子に IC0_RST_2 を使用します。

[bit3:2] DATA0B : IC10DATA 入出力選択ビット

IC0_DATA の入出力選択を行います。

Bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.0 DATA の入力端子に IC0_DATA_0 を使用します。 出力を行いません。[初期値]
	01	スマートカードインタフェース ch.0 DATA の入力端子に IC0_DATA_0 を使用します。 出力端子に IC0_DATA_0 を使用します。
	10	スマートカードインタフェース ch.0 DATA の入力端子に IC0_DATA_1 を使用します。 出力端子に IC0_DATA_0 を使用します。
	11	スマートカードインタフェース ch.0 DATA の入力端子に IC0_DATA_2 を使用します。 出力端子に IC0_DATA_2 を使用します。

[bit1:0] CIN0S : IC0_CIN 入力選択ビット

IC0_CIN の入力選択を行います。

Bit1:0		説明
読出し時		レジスタの値を読み出します。
書込み時	00	スマートカードインタフェース ch.1 CIN の入力端子に IC0_CIN_0 を使用します。[初期値]
	01	スマートカードインタフェース ch.1 CIN の入力端子に IC0_CIN_0 を使用します。
	10	スマートカードインタフェース ch.1 CIN の入力端子に IC0_CIN_1 を使用します。
	11	スマートカードインタフェース ch.1 CIN の入力端子に IC0_CIN_2 を使用します。

＜注意事項＞

- *TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE4-M4, TYPE6-M4 製品で本レジスタはありません。*

4.40 拡張機能端子設定レジスタ 35(EPFR35)

EPFR35 レジスタは、MFS-I2Sch.1 の機能割当てを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				SDO1E		SDI1S	
属性	-				R/W		R/W	
初期値	-				00		00	

bit	23	22	21	20	19	18	17	16
Field	WS1B		SCK1B		MCK1E		MCK1S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性	-							
初期値	-							

レジスタ機能

[bit31:28] 予約 : 予約ビット

これらのビットからは、0b0000 が読み出されます。
書込みの場合には、0b0000 を設定してください。

[bit27:26] SDO1E : MI2SDO1 出力選択ビット

MI2SDO1 の出力選択を行います。

Bit27:26		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.1 SDO の出力を行いません。[初期値]
	01	MFS-I2S ch.1 SDO の出力端子に MI2SDO1_0 を使用します。
	10	MFS-I2S ch.1 SDO の出力端子に MI2SDO1_1 を使用します。
	11	MFS-I2S ch.1 SDO の出力端子に MI2SDO1_2 を使用します。

[bit25:24] SDI1S : MI2SDI1 入力選択ビット

MI2SDI1 の入力選択を行います。

Bit25:24		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.1 SDI の入力を行いません。[初期値]
	01	MFS-I2S ch.1 SDI の入力端子に MI2SDI1_0 を使用します。
	10	MFS-I2S ch.1 SDI の入力端子に MI2SDI1_1 を使用します。
	11	MFS-I2S ch.1 SDI の入力端子に MI2SDI1_2 を使用します。

[bit23:22] WS1B : MI2SWS1 出力選択ビット

MI2SWS1 の出力選択を行います。

Bit23:22		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.1 WS の出力を行いません。[初期値]
	01	MFS-I2S ch.1 WS の出力端子に MI2SWS1_0 を使用します。
	10	MFS-I2S ch.1 WS の出力端子に MI2SWS1_1 を使用します。
	11	MFS-I2S ch.1 WS の出力端子に MI2SWS1_2 を使用します。

[bit21:20] SCK1B : MI2SCK1 出力選択ビット

MI2SCK1 の出力選択を行います。

Bit21:20		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.1 SCK の出力を行いません。[初期値]
	01	MFS-I2S ch.1 SCK の出力端子に MI2SCK1_0 を使用します。
	10	MFS-I2S ch.1 SCK の出力端子に MI2SCK1_1 を使用します。
	11	MFS-I2S ch.1 SCK の出力端子に MI2SCK1_2 を使用します。

[bit19:18] MCK1E : MI2SMCK1 出力選択ビット

MI2SMCK1 の出力選択を行います。

Bit19:18		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.1 MCK の出力を行いません。[初期値]
	01	MFS-I2S ch.1 MCK の出力端子に MI2SMCK1_0 を使用します。
	10	MFS-I2S ch.1 MCK の出力端子に MI2SMCK1_1 を使用します。
	11	MFS-I2S ch.1 MCK の出力端子に MI2SMCK1_2 を使用します。

[bit17:16] MCK1S : MI2SMCK1 入力選択ビット

MI2SMCK1 の入力選択を行います。

Bit17:16		説明
読出し時		レジスタの値を読み出します。
書込み時	00	MFS-I2S ch.1 MCK の入力を行いません。[初期値]
	01	MFS-I2S ch.1 MCK の入力端子に MI2SMCK1_0 を使用します。
	10	MFS-I2S ch.1 MCK の入力端子に MI2SMCK1_1 を使用します。
	11	MFS-I2S ch.1 MCK の入力端子に MI2SMCK1_2 を使用します。

[bit15:0] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

<注意事項>

- *TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE4-M4, TYPE6-M4 製品で本レジスタはありません。*

4.41 特殊ポート設定レジスタ(SPSR)

SPSR レジスタは端子を特殊機能の信号端子として設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約		USB1C	USB0C	MAINXC		SUBXC	
属性	-		R/W	R/W	R/W		R/W	
初期値	-		0	0	01		01	

レジスタ機能

[bit31:6] 予約 : 予約ビット

これらのビットからは、0 が読み出されます。
書込みの場合には、0 を設定してください。

[bit5] USB1C : USB(ch.1)端子設定レジスタ

USB 端子として設定します。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	UDM1, UDP1 の 2 端子を USB 端子として使用せず、デジタル入出力として使用します。 [初期値]
	1	UDM1, UDP1 の 2 端子を USB 端子として使用します。 (I/O セルは、入力方向, 入力遮断状態になります。)

[bit4] USB0C : USB(ch.0)端子設定レジスタ

USB 端子として設定します。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	UDM0, UDP0 の 2 端子を USB 端子として使用せず、デジタル入出力として使用します。 [初期値]
	1	UDM0, UDP0 の 2 端子を USB 端子として使用します。 (I/O セルは、入力方向, 入力遮断状態になります。)

[bit3:2] MAINXC： メインクロック(発振)端子設定レジスタ

メインクロック(発振)端子として設定します。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	00	X0, X1 の 2 端子をメインクロック(発振)端子として使用せず、デジタル入出力として使用します。
	01	X0, X1 の 2 端子をメインクロック(発振)端子として使用します。 [初期値] (I/O セルは、入力方向, 入力遮断, プルアップ切断状態になります。)
	10	設定禁止
	11	X0 端子を外部クロック入力端子として使用します。 X1 端子をデジタル入出力として使用します。

[bit1:0] SUBXC： サブクロック(発振)端子設定ビット

TYPE5-M4 製品に本ビットは搭載されています。
サブクロック(発振)端子として設定します。

bit		説明
読出し時		レジスタの値を読み出します。
書込み時	00	X0A, X1A の 2 端子をサブクロック(発振)端子として使用せず、デジタル入出力として使用します。
	01	X0A, X1A の 2 端子をサブクロック(発振)端子として使用します。 [初期値] (I/O セルは、入力方向, 入力遮断, プルアップ切断状態になります。)
	10	設定禁止
	11	X0A 端子を外部クロック入力端子として使用します。 X1A 端子をデジタル入出力として使用します。

TYPE5-M4 製品以外は本レジスタを搭載していません。
これらのビットからは、0b01 が読み出されます。
書込みの場合には、0b01 を設定してください。

＜注意事項＞

- *MAINXC ビットに"01"を書き込むだけではメインクロックは発振を開始しません。*
  発振を開始させるためには、MAINXC ビットに 01 を書き込んだ後、『クロック』の章のシステムクロックモード制御レジスタ(SCM_CTL)の MOSCE ビットで発振を許可してください。
- *TYPE5-M4 製品は、SUBXC ビットに"01"を書き込むだけではサブクロックは発振を開始しません。発振を開始させるためには、SUBXC ビットに"01"を書き込んだ後、『クロック』の章のシステムクロックモード制御レジスタ(SCM_CTL)の SOSCE ビットで発振を許可してください。*
  TYPE5-M4 製品以外は、サブクロックの発振許可手順については、別章『クロック』を参照してください
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.42 ポート擬似オープンドレイン設定レジスタ(PZRx)

PZRx レジスタは、H レベル出力時、I/O ポートを Hi-Z にし、擬似的にオープンドレイン制御を設定するレジスタです。

PZR のレジスタ構成一覧

bit 31 16	15 0	初期値	属性
予約	PZR0	0x0000	R/W
予約	PZR1	0x0000	R/W
予約	PZR2	0x0000	R/W
予約	PZR3	0x0000	R/W
予約	PZR4	0x0000	R/W
予約	PZR5	0x0000	R/W
予約	PZR6	0x0000	R/W
予約	PZR7	0x0000	R/W
予約	PZR8	0x0000	R/W
予約	PZR9	0x0000	R/W
予約	PZRA	0x0000	R/W
予約	PZRB	0x0000	R/W
予約	PZRC	0x0000	R/W
予約	PZRD	0x0000	R/W
予約	PZRE	0x0000	R/W
予約	PZRF	0x0000	R/W

レジスタ構成詳細

bit	31 16	15 0
Field	予約	PZRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit15:0] PZRx : ポート擬似オープンドレイン設定レジスタ x

端子の擬似オープンドレイン設定をします。

Bit		説明
読出し時		レジスタの設定値を読み出します。
書込み時	0	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を High レベルにします。
	1	GPIO または周辺マクロによるデジタル High レベル出力時、 端子を Hi-Z にします。プルアップ抵抗を PCR の設定によらず、切断します。

＜注意事項＞

- *PZRx の"x"記載はワイルドカードです。PZR0, PZR1, PZR2,・・・を示します。*
- *PZR レジスタの機能はある特定の端子にのみ実装されています。*
  ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PZR レジスタ制御可能"と記載のある端子のみが制御可能です。
- *PZR レジスタはすべての端子には存在しません。ただし、PZR レジスタがない端子も、GPIO として使用する場合には DDR レジスタの設定により、擬似オープンドレイン制御が可能です。*
  この場合、PFR=0(GPIO 設定), PDOR=0 とした後、
  L 出力設定時 : DDR=1 (出力方向) として使用する。
  Hi-Z 出力設定時 : DDR=0 (入力方向) として使用する。
  ただし、GPIO によるオープンドレイン設定では、Hi-Z 時に VCC を超える電圧印加は禁止です。
- *P49~P46 は本レジスタによる設定は無効です。VBAT ポート疑似オープンドレイン設定レジスタ(VBPZR)にて設定してください。VBAT の詳細については『VBAT ドメイン』を確認してください。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

4.43 ポート駆動能力選択レジスタ(PDSRx)

PDSRx レジスタは端子の駆動能力を設定します。

PDSR のレジスタ構成一覧

bit 31 〜 16	bit 15 〜 0	初期値	属性	対応ポート
予約	PDSR0	0x0000	R/W	P0F〜P00
予約	PDSR1	0x0000	R/W	P1F〜P10
予約	PDSR2	0x0000	R/W	P2F〜P20
予約	PDSR3	0x0000	R/W	P3F〜P30
予約	PDSR4	0x0000	R/W	P4F〜P40
予約	PDSR5	0x0000	R/W	P5F〜P50
予約	PDSR6	0x0000	R/W	P6F〜P60
予約	PDSR7	0x0000	R/W	P7F〜P70
予約	PDSR8	0x0000	R/W	P8F〜P80
予約	PDSR9	0x0000	R/W	P9F〜P90
予約	PDSRA	0x0000	R/W	PAF〜PA0
予約	PDSRB	0x0000	R/W	PBF〜PB0
予約	PDSRC	0x0000	R/W	PCF〜PC0
予約	PDSRD	0x0000	R/W	PDF〜PD0
予約	PDSRE	0x0000	R/W	PEF〜PE0
予約	PDSRF	0x0000	R/W	PFF〜PF0

レジスタ構成詳細

bit	31 〜 16	15 〜 0
Field	予約	PDSRx

レジスタ機能

[bit31:16] 予約 : 予約ビット

これらのビットからは、0x0000 が読み出されます。
書込みの場合には、0x0000 を設定してください。

[bit15:0] PDSRx : ポート駆動能力選択レジスタ x

端子の駆動能力を設定します。

Bit		説明
読出し時		レジスタの値を読み出します。
書込み時	0	端子を VCC=5V の駆動能力で使用します。
	1	端子を VCC=3V の駆動能力で使用します。

<注意事項>

- *PDSRx の"x"記載はワイルドカードです。PDSR0, PDSR1, PDSR2, ・・・を示します。*
- *PDSR レジスタの機能はある特定の端子にのみ実装されています。*
  ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PDSR レジスタ制御可能"と記載のある端子のみが制御可能です。
- *本レジスタは特定機能を使用する際に設定を行ってください。*
- *TYPE1-M4、TYPE2-M4、TYPE4-M4、TYPE5-M4、TYPE6-M4 製品に本レジスタはありません。*
- *TYPE3-M4 製品では、Hi-Speed Quad SPI controller を使用時、動作電圧に応じて本レジスタを設定してください。*
- *本レジスタはディープスタンバイ遷移リセットで初期化されません。*

5. 使用上の注意

I/O ポートの使用上の注意を説明します。

■ SPL=1 時のプルアップ抵抗の ON/OFF について

SPL はスタンバイモード時に端子を Hi-Z 状態にする信号です。

- SPL=0 時　　通常動作
- SPL=1 時　　端子の Hi-Z, 入力遮断, プルアップ切断

  ただし、外部割込み, NMIX, JTAG, TRACE の端子は、使用設定の場合 SPL ビットで制御しません。

SPL ビットの詳細は『低消費電力モード』の章を参照してください。

■ DTTIX 入力について

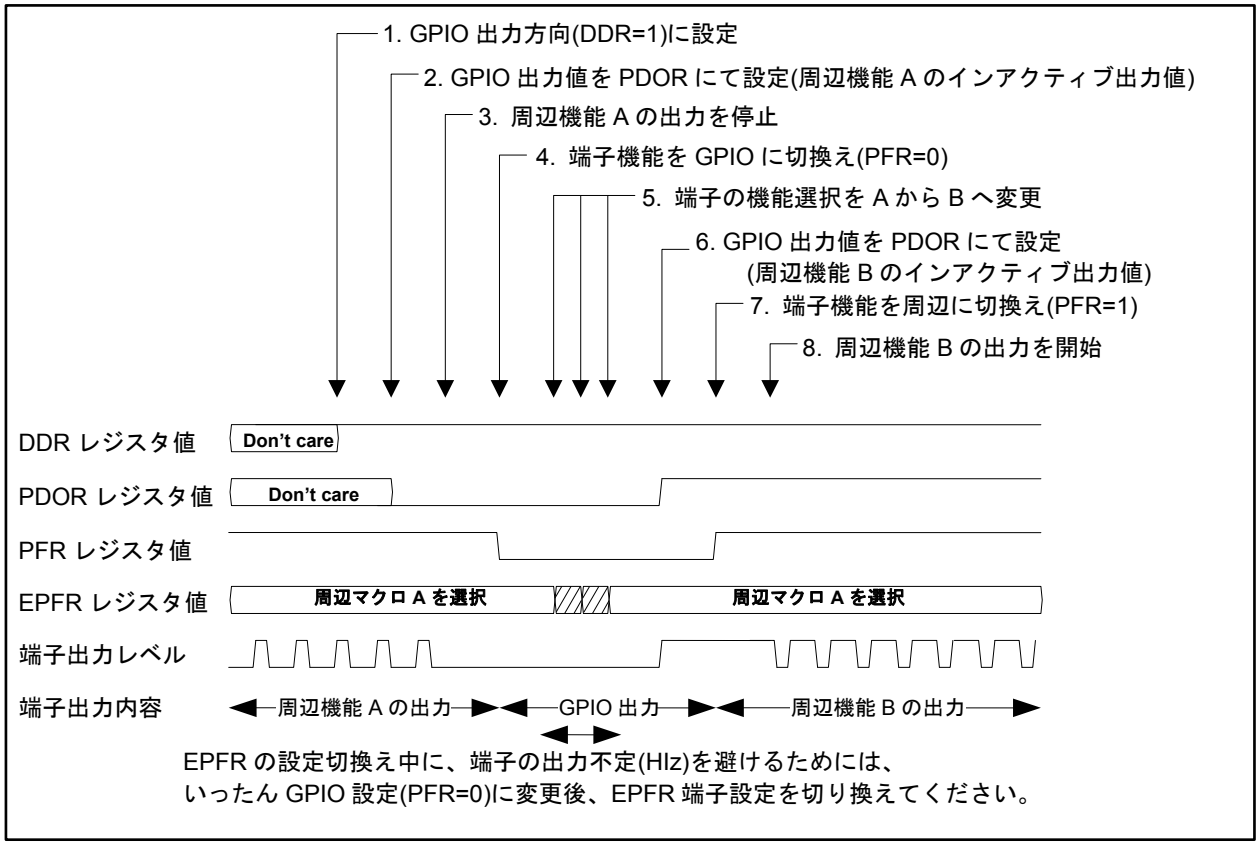
DTTI 信号は、モータ制御用 PWM 出力(RTO)設定出力端子を兼用の GPIO 端子設定に切り換える入力信号で、緊急時のモータ停止要求に対応します。

この機能を使用する場合は、EPFR で切換え許可設定としてください。

■ 端子機能切換え手順について

EPFR レジスタにて、周辺機能の出力を切り換える場合、端子の不定出力(Hi-Z)を防ぐため、Figure 5-1 に示す切換え例のような手順で設定を切り換えてください。

Figure 5-1 端子機能切換え手順について



■ 予約ビットについて

ADE レジスタ以外の予約ビットは、読出し時”0”になります。書込み時は常に 0 を書き込んでください。
ADE レジスタの予約ビットは、読出し時 1 になります。書込み時は常に 1 を書き込んでください。

■ 外部バスインタフェース端子と SRAM 接続をする場合

外部バスインタフェース経由で SRAM にアクセスする場合、プルアップ設定レジスタ(PCRx)で該当する端子のプルアップ設定を行うか、外部にプルアップ端子を接続してください。

■ マルチファンクションシリアルの端子グループについて

マルチファンクションシリアルの入出力が複数ある場合、それぞれの入出力は同じグループのポートに設定してください。同じグループのポートとは”xxx_0”や”yyy_1”というように、端子名の後に付くリロケート機能番号が同一のグループのことです。
Table 5-1 に設定例を示します。

Table 5-1 マルチファンクションシリアルインタフェース設定例

<table>
<tr><th>シリアルデータ
出力</th><th>シリアルクロック
入出力</th><th>シリアルデータ
入力</th><th>有効ポート</th></tr>
<tr><td rowspan="4">SOT1_0 端子
(0 番ポート)</td><td rowspan="2">SCK1_0 端子
(0 番ポート)</td><td>SIN1_0 端子
(0 番ポート)</td><td>0 番ポート</td></tr>
<tr><td>SIN1_1 端子
(1 番ポート)</td><td rowspan="5">設定禁止</td></tr>
<tr><td rowspan="2">SCK1_1 端子
(1 番ポート)</td><td>SIN1_0 端子
(0 番ポート)</td></tr>
<tr><td>SIN1_1 端子
(1 番ポート)</td></tr>
<tr><td rowspan="4">SOT1_1 端子
(1 番ポート)</td><td rowspan="2">SCK1_0 端子
(0 番ポート)</td><td>SIN1_0 端子
(0 番ポート)</td></tr>
<tr><td>SIN1_1 端子
(1 番ポート)</td></tr>
<tr><td rowspan="2">SCK1_1 端子
(1 番ポート)</td><td>SIN1 端子
(0 番ポート)</td></tr>
<tr><td>SIN1_1 端子
(1 番ポート)</td><td>1 番ポート</td></tr>
</table>

■ 周辺機能の出力について

周辺機能の出力端子は EPFR の設定により一意に決まるため、周辺機能の出力を別々の端子に割り振ることはできません。
(不可例) マルチファンクションシリアルの出力 SOT1_0 と SOT1_1 に同一出力を割り振る。

■ 端子設定と動作モードについて

JTAG 設定については『デバッグインタフェース』の章を参照してください。
スタンバイモード時やリセット時の各端子状態はご使用する製品の『データシート』を参照してください。

■ 製品仕様と周辺機能の端子割当てについて

各端子に割り当てられている機能(GPIO, 周辺入出力, 特殊 I/O)は、製品ごとに異なります。各製品の端子機能は、ご使用する製品の『データシート』の端子機能表で確認してください。製品に存在していない端子に対し、EPFR のレジスタ設定にて、機能選択を行うことは禁止します。

■ MD1 端子を GPIO として使用する場合について

MD1 端子を使用する場合、以下の設定が必要です。

入力: PDIR を読み出すことで値を読み出せます。

出力: MD1 端子の I/O は Nch オープンドレイン端子のため、L 出力のみ可能です。

PFR=0 (GPIO として使用)

DDR=1 (出力として使用)

PDOR=0 (出力データは 0)

SPL=0 (STOP モードで GPIO 状態保持)

■ スタンバイモード時の外部割込み端子の設定について

SPL=1 設定でスタンバイモードに遷移する場合、復帰用の外部割込み割当て端子を有効にする際は、PFR=1 とし、周辺機能を選択してください。

外部割込みに使用する端子の設定が PFR=0 のままだと、意図しない動作をすることがあります。

■ ディープスタンバイ遷移リセットの有効範囲について

ディープスタンバイモード遷移リセットの有効範囲を Table 5-2 に示します。

Table 5-2 ディープスタンバイ遷移リセットの有効範囲について

ディープスタンバイ遷移リセットにより	
初期化されるレジスタ	**初期化されないレジスタ**
PFR0[4:0]を除く PFRx	PFR0[4:0]
	PCRx
	DDRx
	PDIRx
	PDORx
	ADE
	EPFRx
	SPSR
	PZRx

CHAPTER 13: CRC (Cyclic Redundancy Check)

CRC 機能について説明します。

1. CRC の概要
2. CRC の動作説明
3. CRC のレジスタ

1. CRC の概要

CRC(Cyclic Redundancy Check)は誤り検出方式の一種です。入力データ列を高次の多項式とみなして、あらかじめ定められた生成多項式(Generator Polynomial)で割ったときの余りが CRC コードです。通常は、データ列の後ろに CRC コードを付けて送信し、受信データに対して同様に生成多項式で割り算を行い、余りがなければ受信データが正常に受信できたと判断します。

CRC の機能

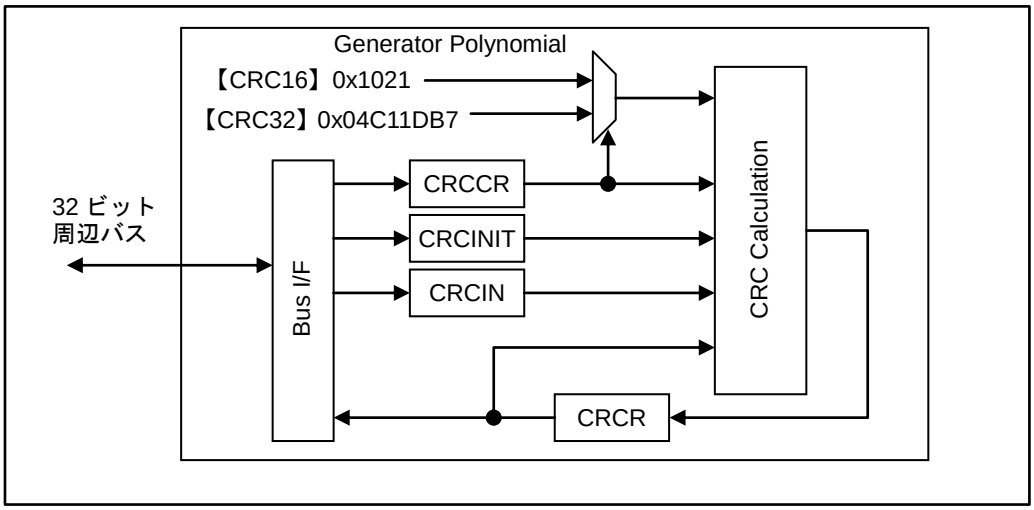
本モジュールでは、CCITT CRC16 と IEEE-802.3 CRC32 を計算できます。本モジュールでは生成多項式はこれら 2 つの数値に固定されているため、ほかの生成多項式に基づく CRC 値の計算はできません。

- CCITT CRC16 生成多項式: 0x1021
- IEEE-802.3 CRC32 生成多項式: 0x04C11DB7

CRC の構成図

Figure 1-1 に CRC の構成図を示します。

Figure 1-1 CRC の構成図



- CRCCR(CRC 制御レジスタ)
  CRC 計算の制御を行います。
- CRCINIT(CRC 初期値レジスタ)
  CRC 計算の初期値を設定します。
- CRCIN(Input Data レジスタ)
  CRC 計算の入力データを設定します。
- CRCR(CRC レジスタ)
  CRC 計算の結果を出力します。
- CRC Calculation
  CRC 計算を行う回路です。

2. CRC の動作説明

CRC の動作概要について説明します。

CRC の定義

[CCITT CRC16 Standard]

生成多項式	0x1021	(CRCCR:CRC32=0)
初期値	0xFFFF	
Final XOR 値	0x0000	(CRCCR:FXOR=0)
ビットオーダ	MSB First	(CRCCR:LSBFST=0)
出力ビットオーダ	MSB First	(CRCCR:CRCLSF=0)

(入出力のバイトオーダは任意に設定可能)

[IEEE-802.3 CRC32 Ethernet Standard]

生成多項式	0x04C11DB7	(CRCCR:CRC32=1)
初期値	0xFFFFFFFF	
Final XOR 値	0xFFFFFFFF	(CRCCR:FXOR=1)
ビットオーダ	LSB First	(CRCCR:LSBFST=1)
出力ビットオーダ	LSB First	(CRCCR:CRCLSF=1)

(入出力のバイトオーダは任意に設定可能)

リセット動作

リセット時は、初期値レジスタ(CRCINIT)と CRC レジスタ(CRCR)を、0xFFFFFFFF に設定します。そのほかは"0"クリアです。

初期化

初期化ビット(CRCCR:INIT)による初期化では、初期値レジスタ(CRCINIT)の値を CRC レジスタ(CRCR)にロードします。

バイトオーダとビットオーダ

バイトオーダとビットオーダの処理方法について、以下に例を用いて説明します。

次の 1 ワードを CRC 演算器に入力します。

133.82.171.1 = 10000101　01010010　10101011　00000001

バイトオーダをビッグエンディアン(CRCCR:LTLEND=0)とすると、バイト単位の送信順序は以下のようになります。

10000101　01010010　10101011　00000001
(1 番目)　(2 番目)　(3 番目)　(4 番目)

ビットオーダをリトルエンディアン(CRCCR:LSBFST=1)とすると、ビット単位の送信順序は以下のようになります。

10100001　01001010　11010101　10000000
(先頭)　(最後)

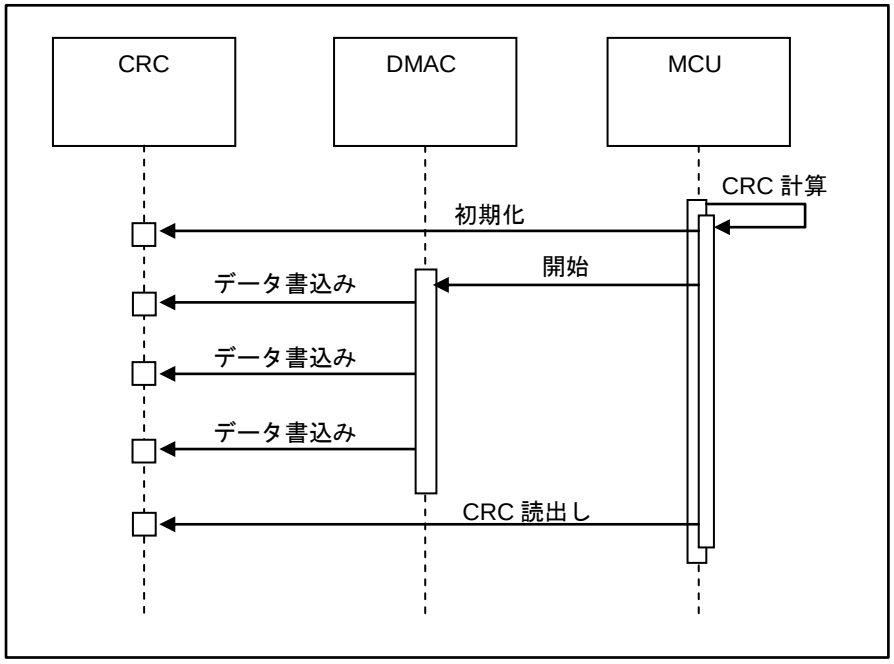
<注意事項>

- *CRCCR:CRCLTE=1 のとき、CRC 結果は、CRC16, CRC32 ともに 32 ビット幅でのバイト並び替えとなります。*
  特に CRC16 のときは、bit31～bit16 の位置に出力されるため、注意してください。

2.1 CRC 計算シーケンス

CRC 計算のシーケンスを Figure 2-1 に示します。初期値レジスタ(CRCINIT)の設定, CRC16/32 の選択(CRCCR:CRC32), バイトオーダ・ビットオーダの設定(CRCCR:LTLEND, CRCCR:LSBFST)は、既にされているとします。
初期値が 0xFFFFFFFF の場合、初期値レジスタ(CRCINIT)の設定操作は省略可能です。

Figure 2-1 CRC 計算シーケンス



- 初期化は、初期値ビット(CRCCR:INIT)への"1"書込みで行ってください。CRC レジスタ(CRCR)に初期値レジスタ(CRCINIT)の値がロードされます。

- 入力データ書込みは、Input Data レジスタ(CRCIN)への書込みで行ってください。書込み操作により、CRC 計算が開始されます。連続書込みに対応できます。また、異なるビット幅書込みをシーケンス中に混在させることが可能です。

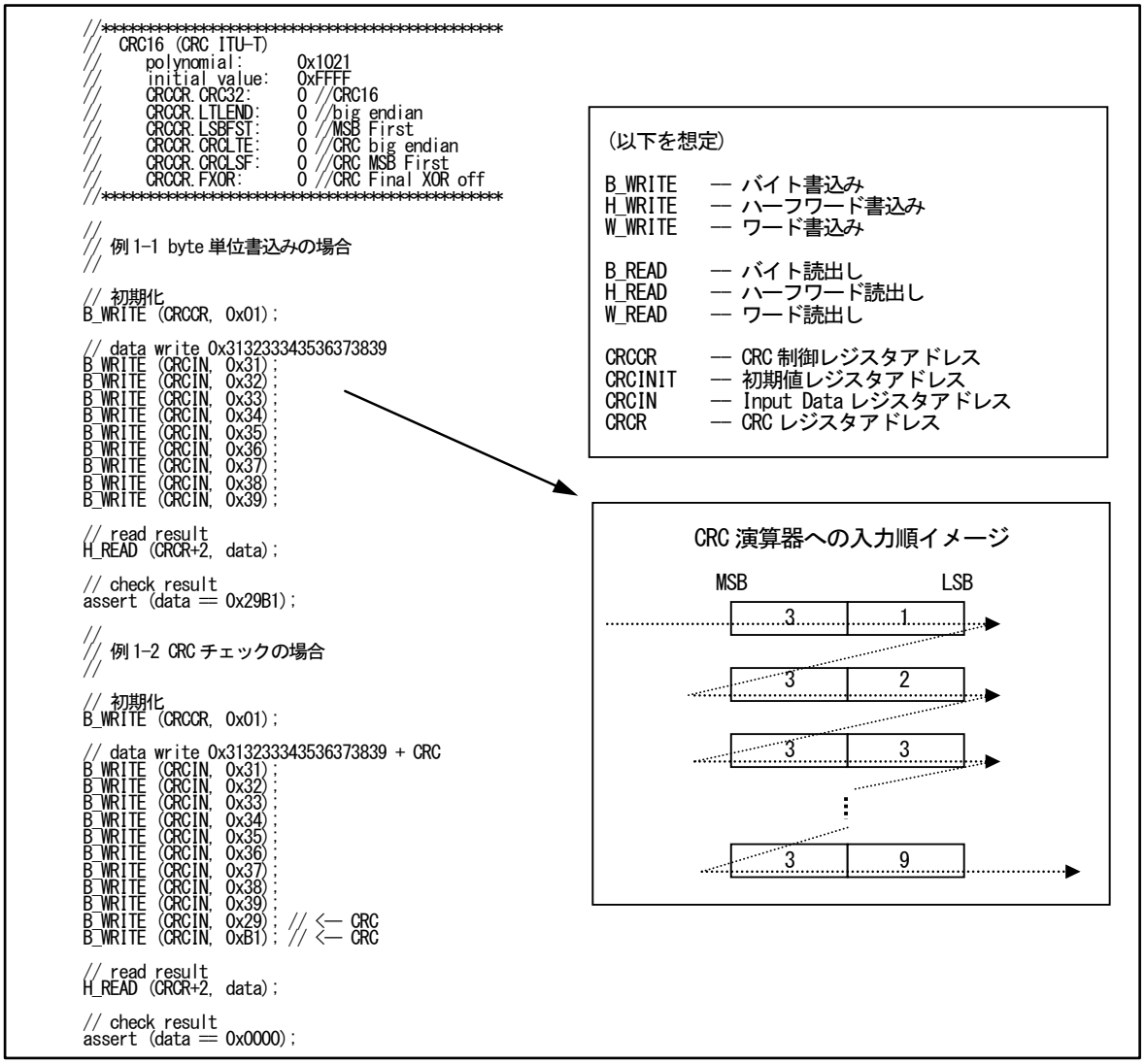
- CRC コード取得は、CRC レジスタ(CRCR)の読込みで行ってください。

2.2 CRC 使用例

Figure 2-2～Figure 2-5 に、CRC の使用例を示します。

使用例 1　CRC16, バイト入力固定

Figure 2-2 使用例 1 (CRC16, バイト入力固定, コアのバイトオーダ : ビッグエンディアン)



```
//*********************************************
//  CRC16 (CRC ITU-T)
//     polynomial:      0x1021
//     initial value:   0xFFFF
//     CRCCR.CRC32:     0 //CRC16
//     CRCCR.LTLEND:    0 //big endian
//     CRCCR.LSBFST:    0 //MSB First
//     CRCCR.CRCLTE:    0 //CRC big endian
//     CRCCR.CRCLSF:    0 //CRC MSB First
//     CRCCR.FXOR:      0 //CRC Final XOR off
//*********************************************

//
// 例 1-1 byte 単位書込みの場合
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write 0x313233343536373839
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例 1-2 CRC チェックの場合
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write 0x313233343536373839 + CRC
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);
B_WRITE (CRCIN, 0x29); // <-- CRC
B_WRITE (CRCIN, 0xB1); // <-- CRC

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x0000);
```

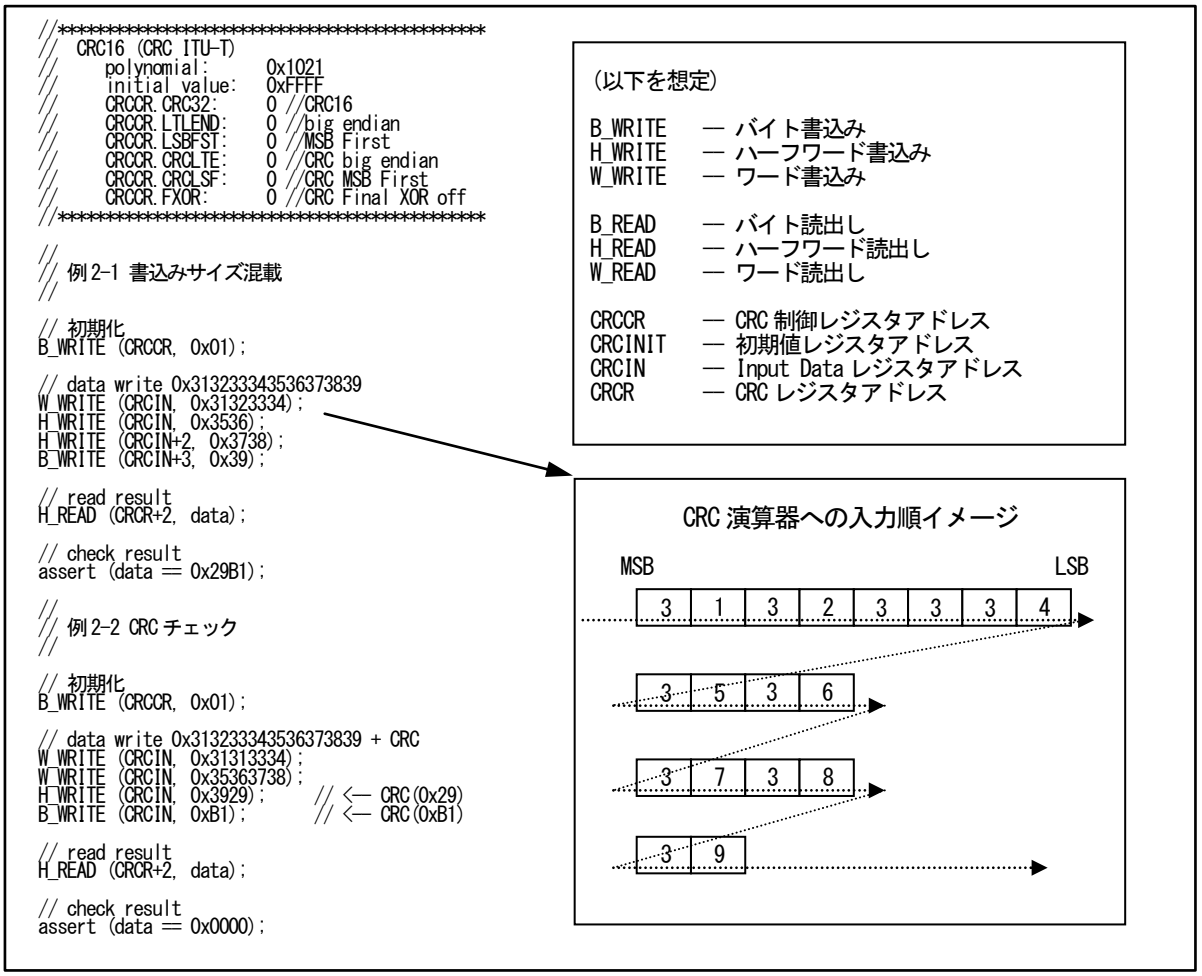

- バイト・ハーフワードの書込み位置は任意です。本使用例では+0 の位置に連続して書き込んでいます。
- CRC16 で、CPU, CRC 結果のバイトオーダと、CRCR(CRC レジスタ)の出力位置, 読出しアドレスを Table 2-1 に示します。

Table 2-1 CPU, CRC 結果のバイトオーダと CRCR の読出しアドレス

コアのバイトオーダ	CRC 結果のバイトオーダ	CRCR への出力位置	CRCR H_READ アドレス
ビッグエンディアン	ビッグエンディアン	bit15～bit0	CRCR +2
ビッグエンディアン	リトルエンディアン	bit31～bit16	CRCR +0
リトルエンディアン	ビッグエンディアン	bit15～bit0	CRCR +0
リトルエンディアン	リトルエンディアン	bit31～bit16	CRCR +2

使用例 2　CRC16, 入力ビット幅異種混在

Figure 2-3 使用例 2 (CRC16, 入力ビット幅異種混在, コアのバイトオーダ : ビッグエンディアン)



```
//*****************************************
//  CRC16 (CRC_ITU-T)
//     polynomial:      0x1021
//     initial value:   0xFFFF
//     CRCCR.CRC32:     0 //CRC16
//     CRCCR.LTLEND:    0 //big endian
//     CRCCR.LSBFST:    0 //MSB First
//     CRCCR.CRCLTE:    0 //CRC big endian
//     CRCCR.CRCLSF:    0 //CRC MSB First
//     CRCCR.FXOR:      0 //CRC Final XOR off
//*****************************************

//
// 例2-1 書込みサイズ混載
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write 0x313233343536373839
W_WRITE (CRCIN, 0x31323334);
H_WRITE (CRCIN, 0x3536);
H_WRITE (CRCIN+2, 0x3738);
B_WRITE (CRCIN+3, 0x39);

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例2-2 CRC チェック
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write 0x313233343536373839 + CRC
W_WRITE (CRCIN, 0x31313334);
W_WRITE (CRCIN, 0x35363738);
H_WRITE (CRCIN, 0x3929);      // <— CRC(0x29)
B_WRITE (CRCIN, 0xB1);        // <— CRC(0xB1)

// read result
H_READ (CRCR+2, data);

// check result
assert (data == 0x0000);
```


- バイトオーダ, ビットオーダを正しく設定し、CRC 演算器へのビット入力順が同じであれば、書込み幅は任意に設定できます。
  例えば、基本をワード書込みとし、最後に 1, 2, 3 バイトの端数が出た場合に、バイト・ハーフワード書込みが混在するケースに対応できます。

使用例 3　CRC32, バイトオーダ ： ビッグエンディアン

Figure 2-4 使用例 3 (CRC32, バイトオーダ ： ビッグエンディアン)

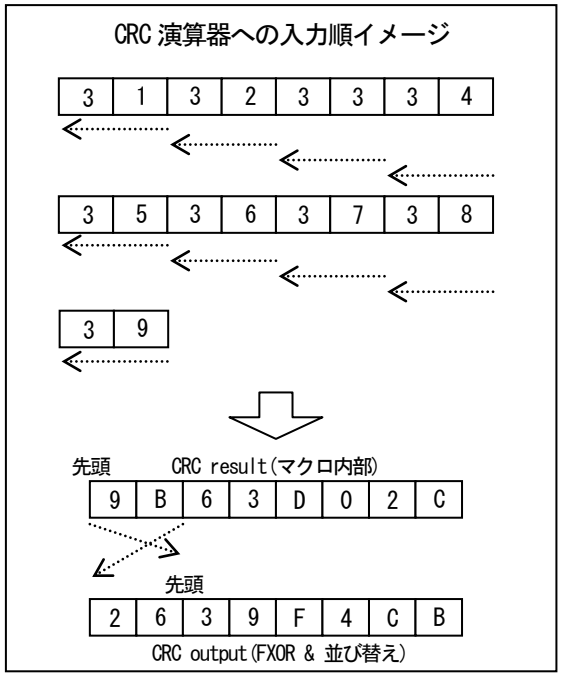
```
//*********************************************
// CRC32 (IEEE-802.3)
// polynomial:          0x04C11DB7
// initial value:       0xFFFF FFFF
// CRCCR.CRC32          1 // CRC32
// CRCCR.LTLEND:        0 // big endian
// CRCCR.LSBFST:        1 // LSB First
// CRCCR.CRCLTE:        0 // CRC big endian
// CRCCR.CRCLSF:        1 // CRC LSB First
// CRCCR.FXOR:          1 // CRC Final XOR on
//*********************************************

//
// 例3-1 (CRC32)
//

// 初期化
B_WRITE (CRCCR, 0x6B);

// data write 0x313233343536373839
W_WRITE (CRCIN, 0x31323334);
W_WRITE (CRCIN, 0x35363738);
B_WRITE (CRCIN, 0x39);

// read result
W_READ (CRCR, data);

// check CRC result
assert (data == 0x2639F4CB); // <- big endian & LSB First
```

（以下を想定）

B_WRITE　— バイト書込み
H_WRITE　— ハーフワード書込み
W_WRITE　— ワード書込み

B_READ　— バイト読出し
H_READ　— ハーフワード読出し
W_READ　— ワード読出し

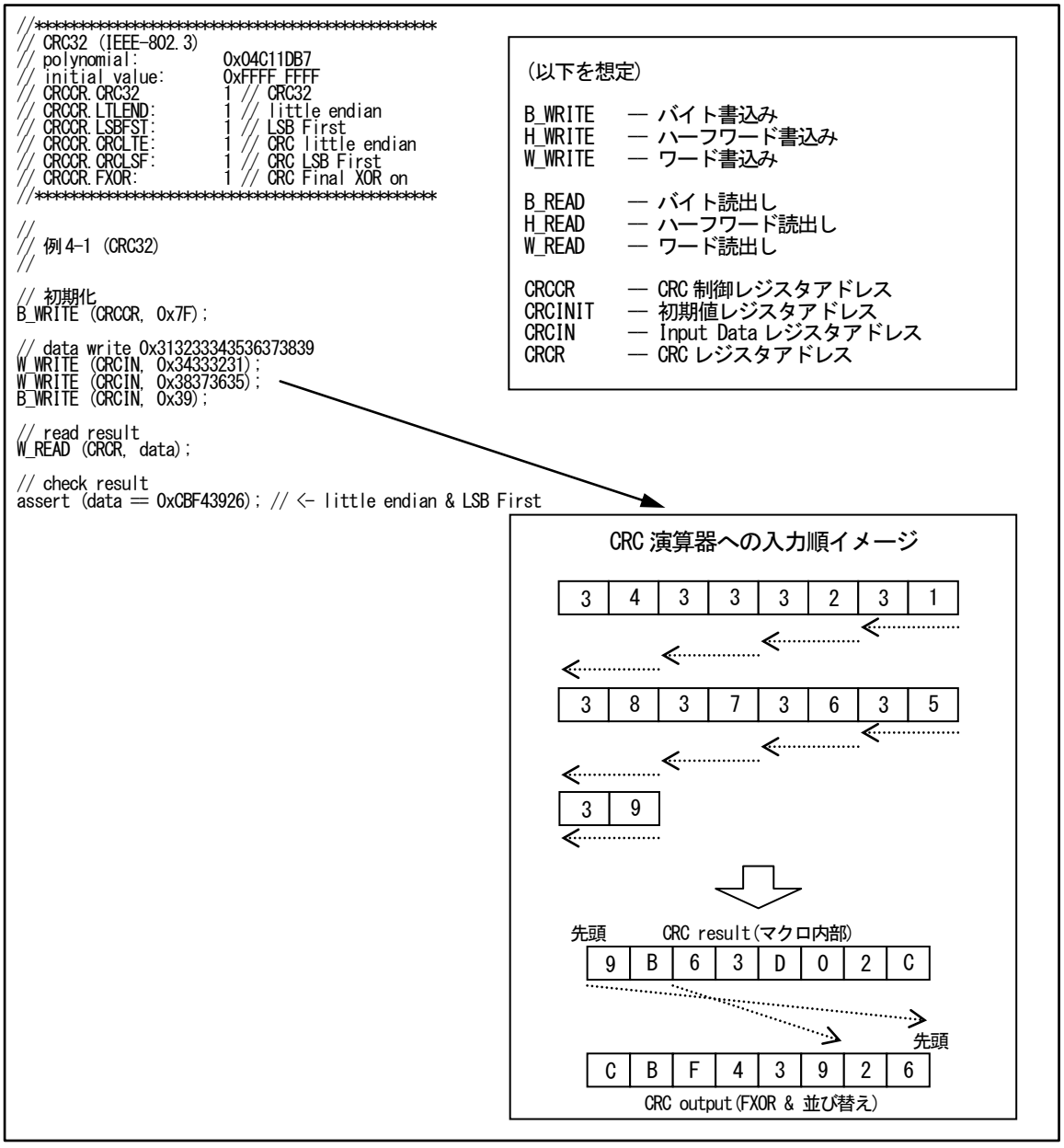
CRCCR　— CRC 制御レジスタアドレス
CRCINIT　— 初期値レジスタアドレス
CRCIN　— Input Data レジスタアドレス
CRCR　— CRC レジスタアドレス



- CRC32(IEEE-802.3)のときは、ビットオーダは LSB First です。本 CRC 演算器では、バイトオーダはビックエンディアン, リトルエンディアンのどちらでも対応可能です。Figure 2-4 はビッグエンディアンの場合を示しています。

使用例 4　CRC32, バイトオーダ ： リトルエンディアン

Figure 2-5 使用例 4 (CRC32, バイトオーダ ： リトルエンディアン)



- CRC32(IEEE-802.3)のときは、ビットオーダは LSB First です。本 CRC 演算器では、バイトオーダはビックエンディアン, リトルエンディアンのどちらでも対応可能です。Figure 2-5 はリトルエンディアンの場合を示しています。
- CRC 結果のビット反転が不要な場合は、以下のどちらかの処理をすることで、現在の結果に対するビット反転を解除できます。
  - 演算開始前に、CRCCR=0x3F (CRCCR:FXOR="0", CRCCR:INIT="1")で初期化を行う。
  - データ入力後に、CRCCR=0x3E (CRCCR:FXOR="0", CRCCR:INIT="0")の設定を行う。

3. CRC のレジスタ

CRC のレジスター一覧を示します。

CRC のレジスタ

Table 3-1 CRC のレジスター一覧

レジスタ略称	レジスタ名	参照先
CRCCR	CRC 制御レジスタ	3.1
CRCINIT	初期値レジスタ	3.2
CRCIN	Input Data レジスタ	3.3
CRCR	CRC レジスタ	3.4

3.1 CRC 制御レジスタ(CRCCR)

CRC 制御レジスタ(CRCCR)は、CRC 計算を制御します。

bit	7	6	5	4	3	2	1	0
Field	予約	FXOR	CRCLSF	CRCLTE	LSBFST	LTLEND	CRC32	INIT
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出し値は"0"です。
本ビットには必ず"0"を書き込んでください。

[bit6] FXOR : Final XOR 制御ビット

CRC 結果を XOR 値と XOR して出力します。
XOR 値は 0xFFFFFFFF で、FXOR=1 時はビット反転となります。
CRC レジスタ(CRCR)の後段で処理をするため、本ビット設定後すぐに CRC の結果の読出し値に反映されます。

bit	説明
0	なし
1	あり

[bit5] CRCLSF : CRC 結果ビットオーダ設定ビット

CRC 結果のビットオーダ設定ビットです。
バイト内のビット並び替えを行います。"0"のとき MSB First、"1"のとき LSB First になります。
CRC レジスタ(CRCR)の後段で処理をするため、本ビット設定後すぐに CRC の結果の読出し値に反映されます。

bit	説明
0	MSB First
1	LSB First

[bit4] CRCLTE : CRC 結果バイトオーダ設定ビット

CRC 結果のバイトオーダ設定ビットです。
ワード内のバイトオーダ並び替えを行います。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。
CRC レジスタ(CRCR)の後段で処理をするため、本ビット設定後すぐに CRC の結果の読出し値に反映されます。
CRC16 の場合に本ビットを"1"にすると、CRC レジスタ(CRCR)の D[31:16]に結果が出力されます。

bit	説明
0	ビッグエンディアン
1	リトルエンディアン

[bit3] LSBFST： ビットオーダ設定ビット

ビットオーダ設定ビットです。
バイト(8bit)の先頭ビットを指定します。"0"のとき MSB First、"1"のとき LSB First になります。
LTLEND ビットの設定と組み合わせて、4 通りの処理順を指定できます。

bit	説明
0	MSB First
1	LSB First

[bit2] LTLEND： バイトオーダ設定ビット

バイトオーダ設定ビットです。
書込み幅でのバイト配置順を指定します。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。

bit	説明
0	ビッグエンディアン
1	リトルエンディアン

[bit1] CRC32 : CRC モード選択ビット

CRC16 と CRC32 のモード選択ビットです。

bit	説明
0	CRC16
1	CRC32

[bit0] INIT： 初期化ビット

初期化ビットです。本ビットに"1"を書き込むと、初期化が行われます。本ビットは値を持たず、読出し時は常に"0"を返します。
初期化では初期値レジスタ(CRCINIT)の値が、CRC レジスタ(CRCR)にロードされます。
初期化は、CRC 計算の最初に必ず 1 度実行してください。

bit	説明	
	書込み時	読出し時
0	何もしない	常に"0"が読み出されます
1	初期化	

3.2 初期値レジスタ(CRCINIT)

初期値レジスタ(CRCINIT)は、CRC 計算の初期値を保存します。

bit	31	0
Field	D[31:0]	
属性	R/W	
初期値	0xFFFFFFFF	

[bit31:0] D[31:0]： 初期値ビット

CRC 計算の初期値を保存します。

CRC 計算の初期値を本レジスタに書き込んでください。

(初期値は 0xFFFFFFFF)

CRC16 のときは、D[15:0]を使用し、D[31:16]は無視します。

3.3 Input Data レジスタ(CRCIN)

Input Data レジスタ(CRCIN)へ、CRC 計算の入力データを設定してください。

bit	31	0
Field	D[31:0]	
属性	R/W	
初期値	0x00000000	

[bit31:0] D[31:0] : Input Data ビット

CRC 計算の入力データを設定します。

CRC 計算の入力データを本レジスタに書き込んでください。ビット幅は 8 ビット, 16 ビット, 32 ビット(バイト, ハーフワード, ワード)に対応できます。混在も可能です。

バイト書込み、ハーフワード書込み時の書込み位置は任意です。取り得るアドレス位置は以下のとおりです。

- バイト書込み: +0, +1, +2, +3
- ハーフワード書込み: +0, +2

3.4 CRC レジスタ(CRCR)

CRC レジスタ(CRCR)は、CRC 計算の結果を出力します。計算開始前に必ず初期化してください。

bit	31	0
Field	D[31:0]	
属性	R	
初期値	0xFFFFFFFF	

[bit31:0] D[31:0] : CRC ビット

CRC 計算の結果を読み出せます。初期化ビット(CRCCR:INIT)に"1"を書き込むと、初期値レジスタ(CRCINIT)の値が本レジスタにロードされます。

CRC 計算の入力データを Input Data レジスタ(CRCIN)に書き込むと、1 マシンクロックサイクル経過後に、CRC 計算結果が本レジスタに設定されます。すべての入力データ書込みが完了したとき、本レジスタは最終的な CRC コードを保持しています。

CRC16 の場合は、バイトオーダがビッグエンディアン(CRCCR.CRCLTE="0")のときは D[15:0]、リトルエンディアン(CRCCR.CRCLTE="1")のときは D[31:16]の位置に結果が出力されます。

CHAPTER 14: 外部バスインタフェース

外部バスインタフェースの機能と動作について示します。

1. 外部バスインタフェースの概要
2. ブロックダイヤグラム
3. 動作説明
4. 接続例
5. 設定手順例
6. レジスタ
7. 使用上の注意

1. 外部バスインタフェースの概要

外部バスインタフェースの概要について説明します。

外部バスインタフェースを介して、SRAM/フラッシュメモリ/SDRAM と外部接続できます。

外部バスインタフェースの特長

製品共通の特長は以下のとおりです。

- 8/16/32 ビット幅の SRAM/NOR フラッシュメモリ/NAND フラッシュメモリ, 16/32 ビット幅の SDRAM と接続可能です。
  NOR フラッシュメモリは通常の SRAM アクセスでアクセスを行いますが、NAND フラッシュメモリに対しては専用の端子を設けています。
- SRAM/フラッシュメモリ用に最大 8 本のチップセレクト信号があります。SDRAM 用に 1 本のチップセレクト信号があります。
  各チップセレクト信号に対し、アドレス設定およびアクセスタイミングパラメータを個別に設定可能です。
- 最大 25 ビットのアドレスを出力可能です。
- NOR フラッシュメモリページリードをサポートします。
- バイトレーンはリトルエンディアン固定です。
- CPU からのアクセス幅と外部バス幅が異なる場合、自動的にバスサイズを変換します。
- バスアクセスとして、セパレートモード, マルチプレクスモードをサポートします。ただし、NOR フラッシュメモリのページリード, NAND フラッシュメモリ, SDRAM はマルチプレクスモードをサポートしていません。
- マルチプレクスモードサポートのため、ALE 信号のアクセスタイミングパラメータが追加されています。また、CS アサートタイミングなど、より詳細なアクセスパラメータの設定ができます。
- クロック出力により、ターゲットデバイスとの同期アクセスが可能です。
- 外部 RDY 機能をサポートします。
- SDRAM パワーダウンモードをサポートします。
- ベースクロック(HCLK)の分周クロックで動作します。
- ベースクロック(HCLK)の最大周波数の 2 分の 1 を上限に動作が可能です。MCLKOUT と MSDCLK を本 LSI から出力する場合は、データシート記載の出力規格を満たす分周比を設定してください。

<注意事項>

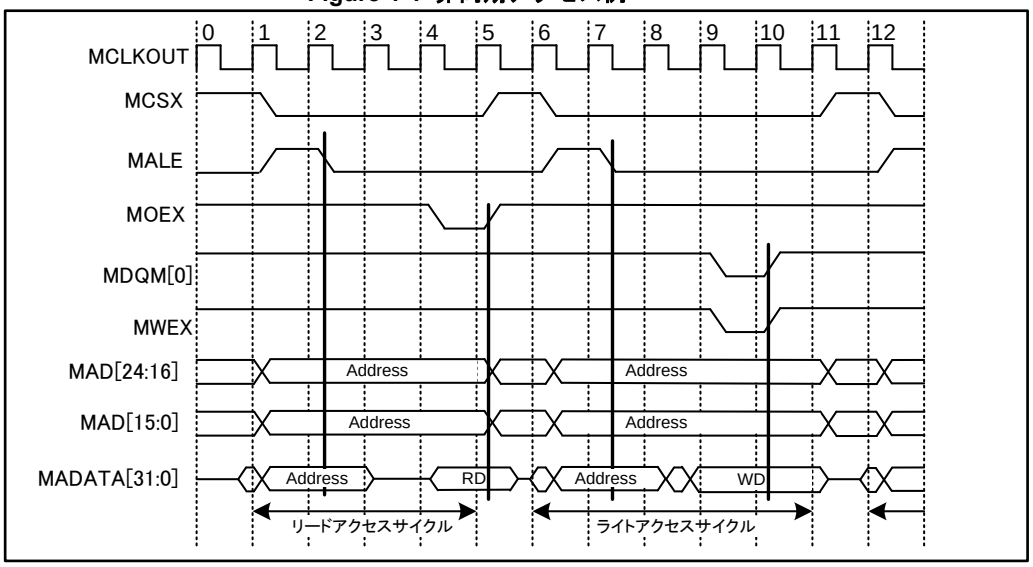
- *ご使用する製品により、SRAM/フラッシュメモリ/SDRAM に接続可能なビット幅が異なります。詳細はご使用する製品の『データシート』を参照してください。以降は 16 ビット幅モードの説明となっています。*
- *同期アクセス用のクロック信号の出力規格は、ご使用する製品の『データシート』の AC タイミングより『外バスタイミング 外バスクロック出力規格』を参照してください。*

アクセスタイミングと AC 規定について

■ 非同期アクセス

外部バスインタフェースは、リード時はアウトプットイネーブル(MOEX)信号にタイミングを合わせて、リードデータラッチを行います。また、ライト時ターゲットデバイスは、ライトイネーブル(MWEX)信号にタイミングを合わせて、ライトデータラッチを行うようにしてください。非同期アクセス例を Figure 1-1 に示します。

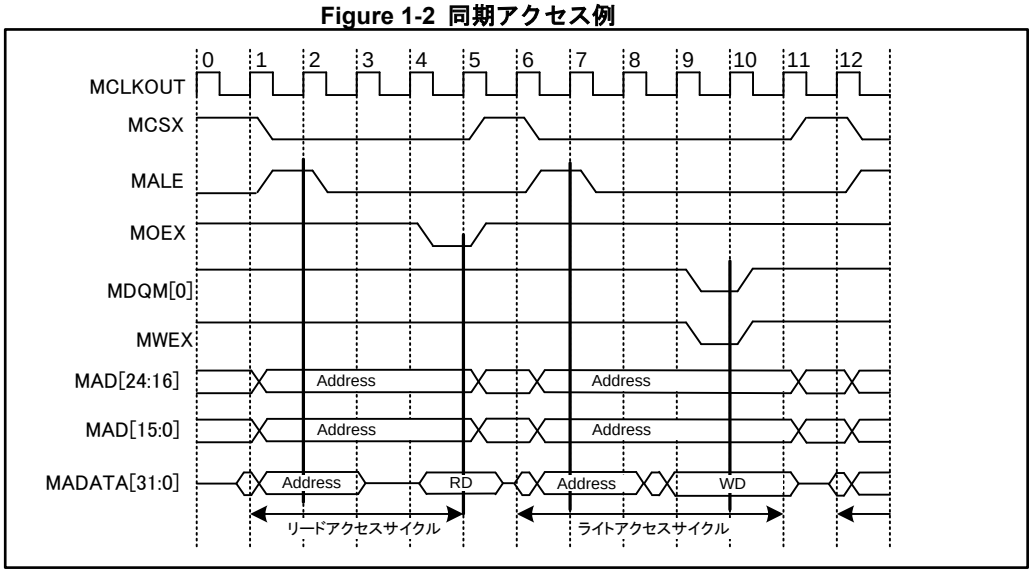
Figure 1-1 非同期アクセス例



■ 同期アクセス

外部バスインタフェースは、リード時はクロック出力に同期してリードデータラッチを行います。また、ターゲットデバイスは、ライト時はクロック出力に同期して、ライトデータラッチを行うようにしてください。同期アクセス例を Figure 1-2 に示します。

Figure 1-2 同期アクセス例



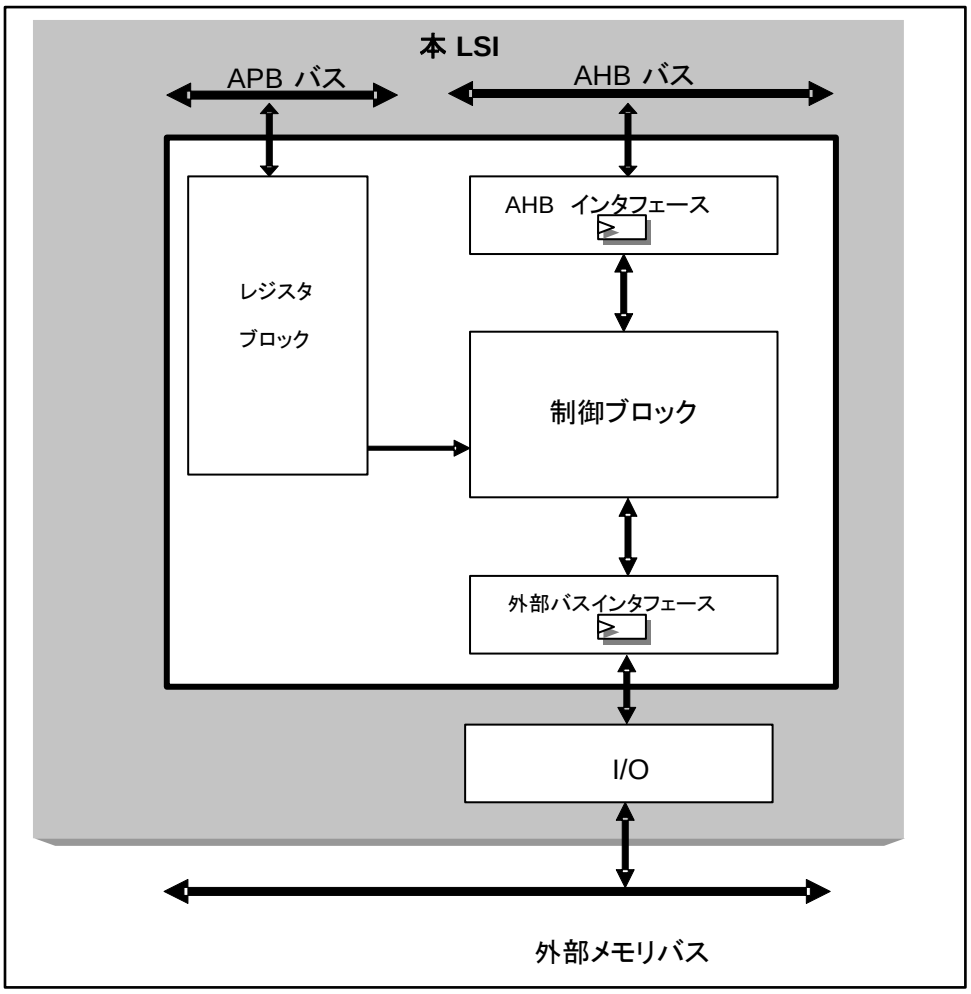
<注意事項>

- *AC 規格の詳細はご使用する製品の『データシート』を参照してください。*

2. ブロックダイヤグラム

外部バスインタフェースのブロックダイヤグラムを説明します。

Figure 2-1 外部バスインタフェースのブロックダイヤグラム



■ レジスタブロック

本インタフェースの機能を設定するレジスタです。APB バスに接続されています。

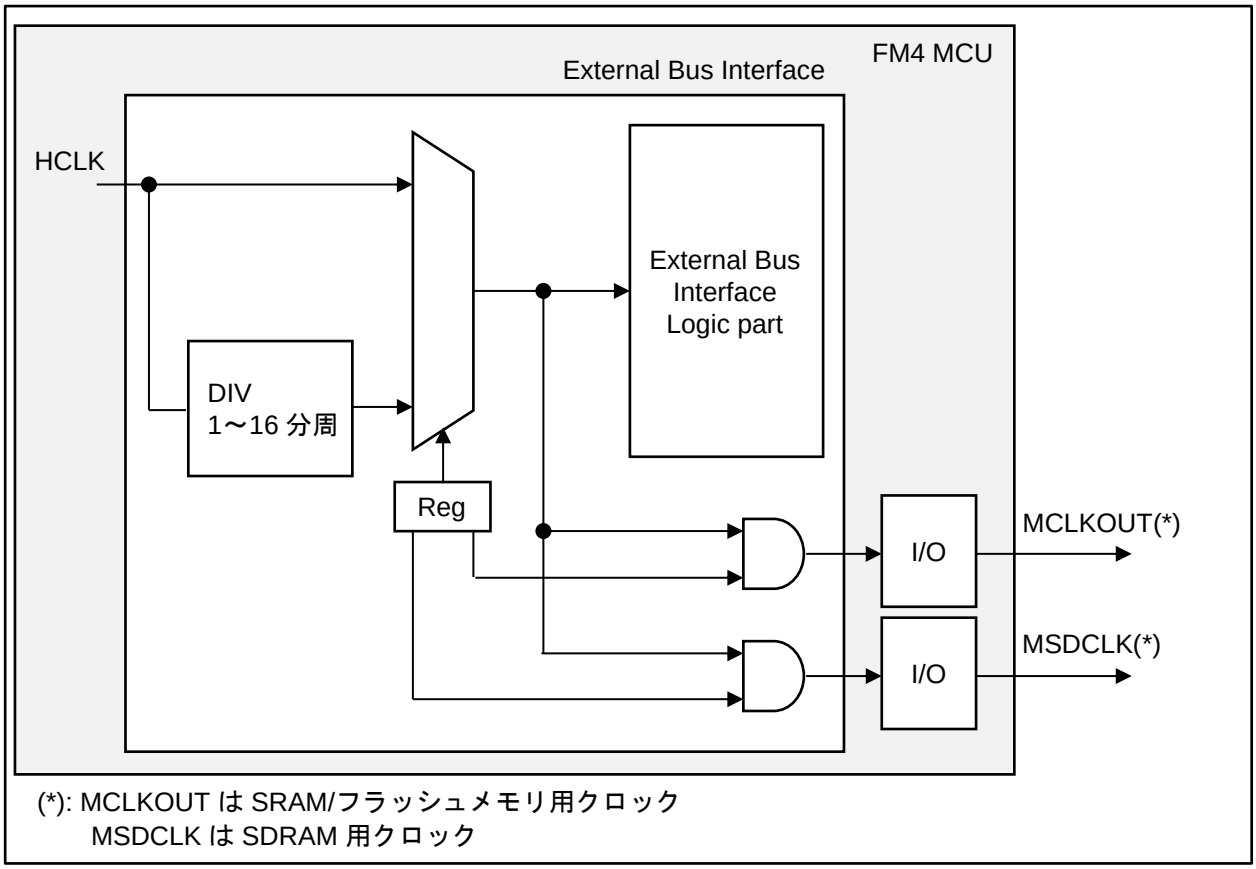
■ 制御ブロック

本インタフェースの動作を制御するブロックです。AHB バスに接続されています。

■ 外部バスインタフェース

機能ブロックと外部メモリバスを接続します。

Figure 2-2 外部バスインタフェースのブロックダイヤグラム(クロック系統概要図)



＜注意事項＞

- *HCLK はマスタクロックを示します。詳細は、別章『クロック』を参照してください。*
- *外部バスインタフェース動作クロックを出力する場合は、GPIO でクロック出力の設定が必要です。設定の詳細は、別章『I/O ポート』を参照してください。*
- *SRAM/フラッシュメモリ用クロック(MCLKOUT)を出力する場合は、DCLKR:MCLKON=1 に設定し、必ず分周設定をしてください。この時、1～16 分周設定が可能です。*
- *SDRAM 用クロック(MSDCLK)を出力する場合は、SDMODE:MSDCLKOFF=0 に設定してください。*
  MCLKOUT と MSDCLK の分周設定は共通(DCLKR:MDIV)です。
  ベースクロック(HCLK)の最大周波数の 2 分周を上限に設定してください。
  MCLKOUT と MSDCLK を本 LSI から出力する場合は、データシート記載の出力規格を満たす分周比を設定してください。
- *外部バスインタフェース動作クロックを出力する場合は、GPIO でクロック出力の設定をしてください。設定の詳細は、別章『I/O ポート』を参照してください。*

■ 端子一覧

外部バスインタフェースの端子一覧を Table 2-1 に示します。

Table 2-1 外部バスインタフェース端子一覧

端子名	機能
MAD[24:0]	アドレス出力端子
MADATA[31:0]	データ入出力端子 (マルチプレクスモードでは、アドレス/データの入出力端子になります。)
MCSX[7:0]	SRAM/フラッシュメモリ用のチップセレクト端子
MDQM[3:0]	バイトマスク信号出力端子
MALE	アドレスラッチイネーブル出力端子 (マルチプレクスモードのみ)
MOEX	アウトプットイネーブル出力端子
MWEX	ライトイネーブル出力端子
MRDY	RDY 信号入力端子
MCLKOUT	SRAM/フラッシュメモリ用のクロック出力端子
MNALE	NAND フラッシュ用のアドレスラッチイネーブル出力端子
MNCLE	NAND フラッシュ用のコマンドラッチイネーブル出力端子
MNREX	NAND フラッシュ用のリードイネーブル出力端子
MNWEX	NAND フラッシュ用のライトイネーブル出力端子
MCSX[8]	SDRAM 用のチップセレクト端子
MRASX	SDRAM 用の Row アドレスストローブ出力端子
MCASX	SDRAM 用の Column アドレスストローブ出力端子
MSDWEX	SDRAM 用のライトイネーブル出力端子
MSDCKE	SDRAM 用のクロックイネーブル出力端子
MSDCLK	SDRAM 用のクロック出力端子

<注意事項>

- *ご使用する製品により、外部に現れる外バスインタフェース端子が異なります。詳細はご使用する製品の『データシート』を参照してください。*

3. 動作説明

外部バスインタフェースの動作について説明します。

3.1. バスアクセスモード
3.2. SRAM, NOR フラッシュメモリアクセス
3.3. NAND フラッシュメモリアクセス
3.4. 8 ビット NAND フラッシュメモリ リード/ライトコマンド発行
3.5. 8 ビット NAND フラッシュメモリ ステータスリード
3.6. 8 ビット NAND フラッシュメモリ データライト
3.7. 自動ウェイト設定
3.8. 外部 RDY
3.9. SDRAM アクセス
3.10. 割込み機能
3.11. アクセスモード
3.12. SDRAM バッファリード (TYPE3-M4, TYPE4-M4,TYPE5-M4,TYPE6-M4 製品)

3.1 バスアクセスモード

バスアクセスモードについて説明します。

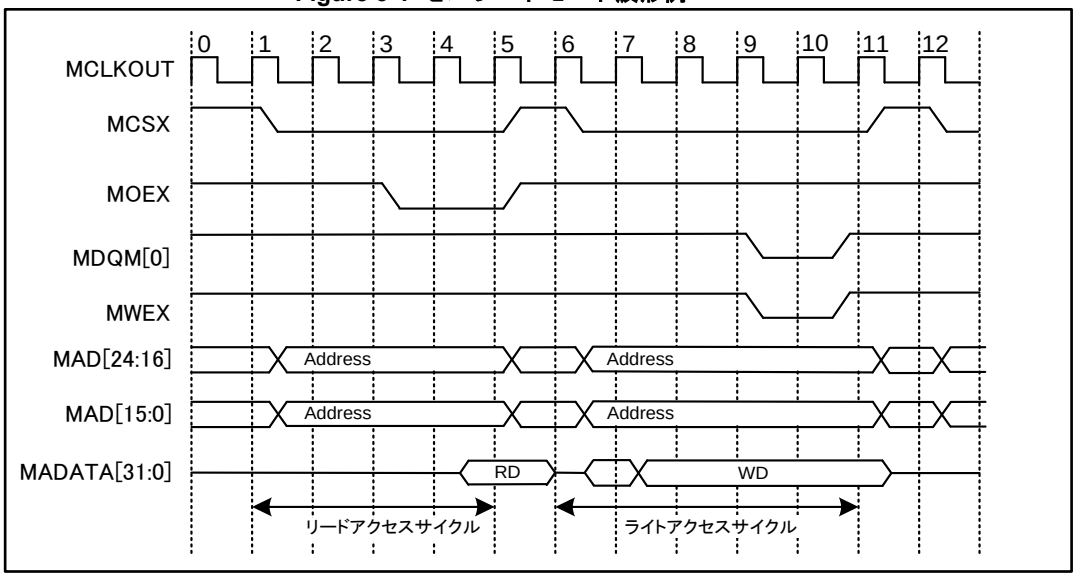
アクセス方式

外部バスインタフェースは、セパレートモード,マルチプレクスモードをレジスタにより選択できます。

■ セパレートモード

アドレスを MAD[24:0]端子に出力し、データを MADATA[31:0]端子に入出力します。
アドレス端子とデータ端子が分かれているため、通常の SRAM と直接接続することが可能になり、より高速なアクセスが可能です。Figure 3-1 にセパレートモードの波形例を示します。

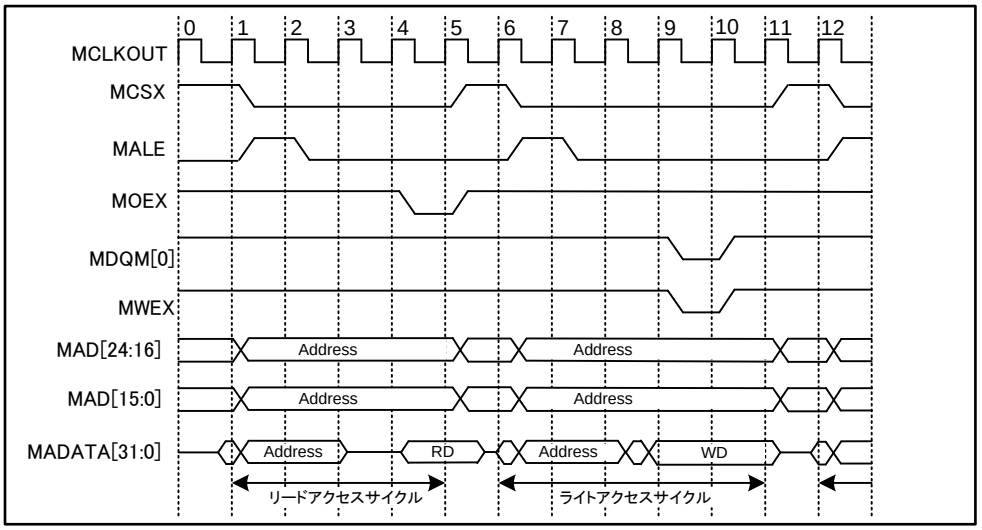
Figure 3-1 セパレートモード波形例



■ マルチプレクスモード

MADATA[31:0]端子にアドレス/データを時分割で入出力します。一部のアドレス端子とデータ端子が共通のため、少ない端子で外部メモリにアクセスできます。Figure 3-2 にマルチプレクスモードの波形例を示します。

Figure 3-2 マルチプレクスモード波形例



選択したバスアクセスモードと端子機能について、Table 3-1 に示します。

Table 3-1 バスアクセスモードと端子機能

端子	32 ビット セパレート	32 ビット マルチプレクス	16 ビット セパレート	16 ビット マルチプレクス	8 ビット セパレート	8 ビット マルチプレクス
MAD[24:16]	アドレス[24:16]	(アドレス[24:16])	アドレス[24:16]	アドレス[24:16]	アドレス[24:16]	アドレス[24:16]
MAD[15:8]	アドレス[15:8]	(アドレス[15:8])	アドレス[15:8]	(アドレス[15:8])	アドレス[15:8]	(アドレス[15:8])
MAD[7:0]	アドレス[7:0]	(アドレス[7:0])	アドレス[7:0]	(アドレス[7:0])	アドレス[7:0]	(アドレス[7:0])
MADATA[31:25]	データ[31:25]	データ[31:25]	出力なし	出力なし	出力なし	出力なし
MADATA[24:16]	データ[24:16]	アドレス[24:16] データ[24:16] マルチプレクス	出力なし	出力なし	出力なし	出力なし
MADATA[15:8]	データ[15:8]	アドレス[15:8] データ[15:8] マルチプレクス	データ[15:8]	アドレス[15:8] データ[15:8] マルチプレクス	出力なし	(アドレス[15:8])
MADATA[7:0]	データ[7:0]	アドレス[7:0] データ[7:0] マルチプレクス	データ[7:0]	アドレス[7:0] データ[7:0] マルチプレクス	データ[7:0]	アドレス[7:0] データ[7:0] マルチプレクス

<注意事項>

- *マルチプレクスモード時も MAD に該当するポートの周辺機能出力を有効に設定することで、MAD 端子からアドレスを出力できます。*
- *ご使用する製品により、外部に現れる外バスインタフェース端子が異なります。詳細はご使用する製品の『データシート』を参照してください。*

バスアクセスモードと各機能の設定について

バスアクセスモードと各機能の設定は、Table 3-2 のようになります。

Table 3-2 バスアクセスモードと各機能の設定

バスアクセスモード	クロック出力	外部 RDY	ページリード	NAND フラッシュ	クロック分周
セパレートバスモード	○	○	○	○	○
マルチプレクスモード	○	○	使用不可	使用不可	○

バスアクセスモード	SDRAM
セパレートバスモード	○
マルチプレクスモード	使用不可

ページリードと NAND フラッシュモードは同時に使用する設定は禁止です。

ページリードと外部 RDY も同時に使用する設定は禁止です。

NAND フラッシュモードと外部 RDY も同様に同時に使用する設定は禁止です。

NAND フラッシュモード時にクロック出力は禁止です。

<注意事項>

- *製品ごとに使用できる外バスインタフェースの端子本数および機能が異なります。詳細はご使用する製品の『データシート』を参照してください。*

バスサイズ変換機能と連続アクセス

CPU アクセス幅よりも、外部バス幅が小さいときにアクセスが行われた場合、アクセスが分割され、MCSX="L"を保った状態でアドレスのみが連続して変化する、連続アクセスに変換されます。例えば、8 ビットバス幅に対して、内部バスから 32 ビットリードアクセスを行った場合は、MCSX が"L"を保った状態のままアドレスが 0→1→2→3 と変化し、遷移タイミングにより MADATA[7:0]からデータが連続的に出力されます。

Figure 3-3 に 8 ビット幅 SRAM に対するワードリードアクセス波形を示します。

Figure 3-4 に 16 ビット幅 SRAM に対するワードライト/リード連続アクセス波形を示します。

Figure 3-3 8 ビット幅 SRAM に対するワードリードアクセス波形

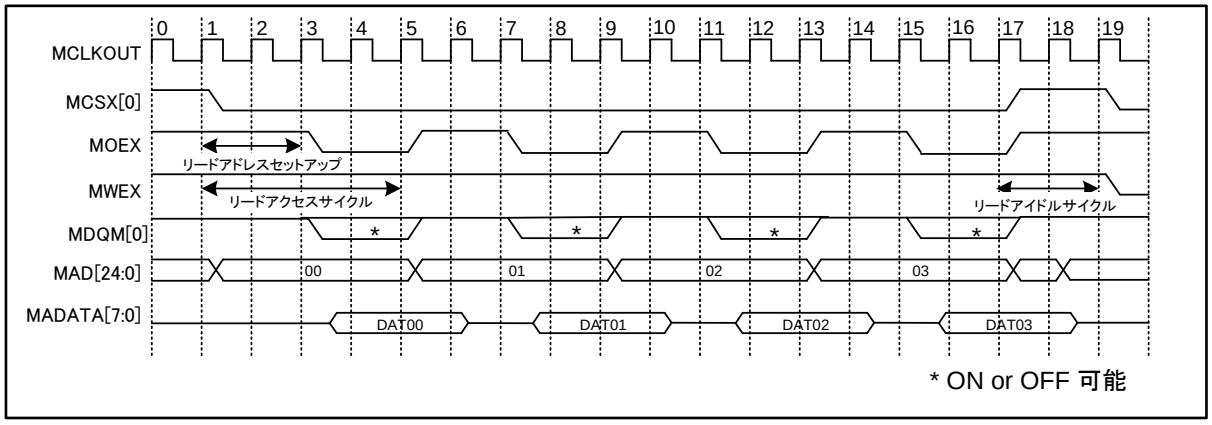
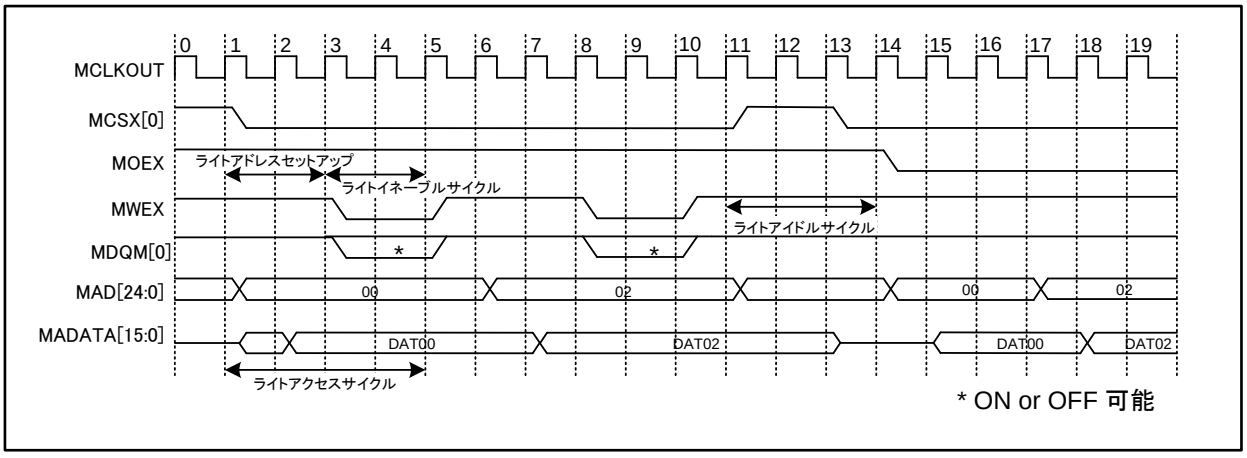


Figure 3-4 16 ビット幅 SRAM に対するワードライト/リード連続アクセス波形



<注意事項>

- *連続アクセス時、アイドルサイクルは最終アドレスへのアクセス後にのみ挿入されます。*

Table 3-3 に CPU アクセス幅と外部バス幅の対応について示します。

Table 3-3 CPU アクセス幅と外部バス幅の対応

外部バス幅	CPU からのアクセス内容		外部バスへのアクセス内容			
	アクセス種類	アドレス	アクセス順番	MAD[1:0] 出力値	MADATA[31:0]の 有効データ	MDQM[3:0]の 出力値
8bit	バイト(8bit)	0	分割なし	00	MADATA[7:0]	1110
		1	分割なし	01		1110
		2	分割なし	10		1110
		3	分割なし	11		1110
	ハーフワード (16bit)	0	1/2 回目のアクセス	00	MADATA[7:0]	1110
			2/2 回目のアクセス	01		1110
	ハーフワード (16bit)	2	1/2 回目のアクセス	10		1110
			2/2 回目のアクセス	11		1110
	ワード(32bit)	0	1/4 回目のアクセス	00	MADATA[7:0]	1110
		1	2/4 回目のアクセス	01	MADATA[7:0]	1110
		2	3/4 回目のアクセス	10	MADATA[7:0]	1110
		3	4/4 回目のアクセス	11	MADATA[7:0]	1110
16bit	バイト(8bit)	0	分割なし	00	MADATA[7:0]	1110
		1	分割なし	00	MADATA[15:8]	1101
		2	分割なし	10	MADATA[7:0]	1110
		3	分割なし	10	MADATA[15:8]	1101
	ハーフワード (16bit)	0	分割なし	00	MADATA[15:0]	1100
		2	分割なし	10	MADATA[15:0]	1100
	ワード(32bit)	0	1/2 回目のアクセス	00	MADATA[15:0]	1100
			2/2 回目のアクセス	10	MADATA[15:0]	1100
32bit	バイト(8bit)	0	分割なし	00	MADATA[7:0]	1110
		1	分割なし	00	MADATA[15:8]	1101
		2	分割なし	00	MADATA[24:16]	1011
		3	分割なし	00	MADATA[31:25]	0111
	ハーフワード (16bit)	0	分割なし	00	MADATA[15:0]	1100
		2	分割なし	00	MADATA[31:16]	0011
	ワード(32bit)	0	分割なし	00	MADATA[31:0]	0000

HADDR : AHB アドレス入力

8 ビット幅のターゲットの場合、HADDR[1:0]の値によって入出力データが決まります。
16 ビット幅のターゲットの場合、HADDR[1]のみがデータ割当てに関わっています。

<注意事項>

- *MAD 端子および MADATA 端子は 1bit ごとに汎用ポート/兼用機能の選択ができます。設定の詳細は別章『I/O ポート』を参照してください。*
- *ご使用する製品により、外部に現れる外バスインタフェース端子が異なります。詳細はご使用する製品の『データシート』を参照してください。*

3.2 SRAM, NOR フラッシュメモリアクセス

SRAM, NOR フラッシュメモリアクセスについて説明します。

メモリアクセス

SRAM, NOR フラッシュメモリアクセスでは、MCSX[7:0]/アドレス出力により、ターゲットデバイスが確定します。その後、MOEX/MWEX を出力することにより、ターゲットデバイスに対し、リード/ライト動作を行います。

使用端子

SRAM, NOR フラッシュメモリアクセスには Table 3-4 の端子を使用します。

Table 3-4 SRAM, NOR フラッシュメモリ用の外部インタフェース端子

端子名	機能
MAD[24:0]	アドレス出力端子
MADATA[31:0]	データ入出力端子 (マルチプレクスモードでは、アドレス/データの入出力端子になります。)
MCSX[7:0]	チップセレクト端子
MDQM[3:0]	バイトマスク信号出力端子
MALE	アドレスラッチイネーブル出力端子 (マルチプレクスモードのみ)
MOEX	アウトプットイネーブル出力端子
MWEX	ライトイネーブル出力端子
MRDY	RDY 信号入力端子
MCLKOUT	クロック出力端子

<注意事項>

- *設定およびターゲットデバイス(SRAM, NOR フラッシュメモリ)によっては、Table 3-4 のすべての端子を使用するわけではありません。*
- *製品ごとに使用できる外バスインタフェースの端子本数および機能が異なります。詳細はご使用する製品の『データシート』を参照してください。*

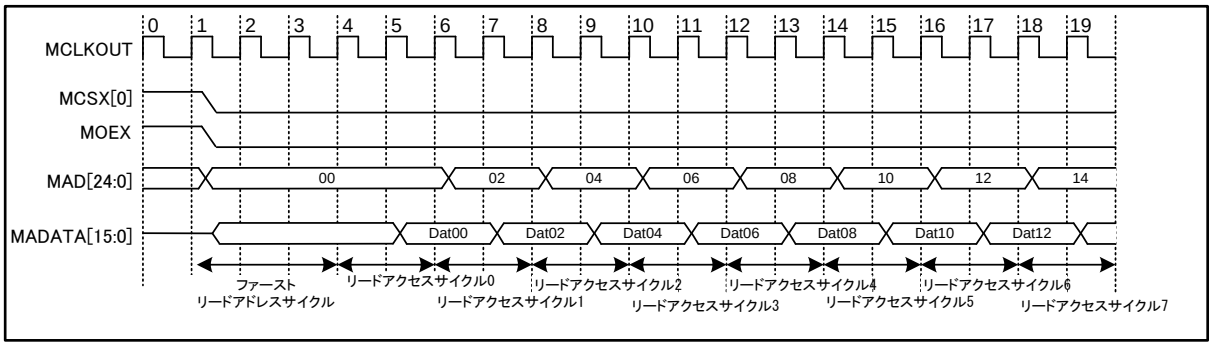
16 ビット NOR フラッシュメモリページリード

モードレジスタ(MODE0～MODE7)の 5 ビット目 : PAGE=1 とすることにより、NOR フラッシュメモリのページリード動作が可能です。

ページリード動作は、リード動作時に、MOEX=L を保持したまま、16 バイト境界までリードサイクルが繰り返されます。Figure 3-5 に 16 ビット NOR フラッシュメモリページリード波形を示します。

第 1 サイクルの間だけ、設定されたサイクル間アドレスが保持されます(ファーストリードアドレスサイクル)。第 1 サイクル後は、RACC で設定されたサイクル数によってアクセスが行われます。

Figure 3-5 16 ビット NOR フラッシュメモリページリード波形



- MOEX は MCSX と同時のタイミングでアサートされます。
- ファーストリードアドレスサイクルは、タイミングレジスタ(TIM)で設定した FRADC サイクルです。

<注意事項>

- *ページリードはマルチプレクスモードでは使用できません。*
- *ページリードは NAND フラッシュモードでは使用できません。*

3.3 NAND フラッシュメモリアクセス

NAND フラッシュメモリアクセスについて説明します。

メモリアクセス方法

NAND フラッシュメモリへのアクセスは NAND モードに設定された領域のベースアドレスを基準として以下のように変換されます。

+0x2000 へのライトアクセスは、NAND フラッシュメモリに対するアドレス発行(MNALE がアサート)に変換されます。
+0x1000 へのライトアクセスは、NAND フラッシュメモリに対するコマンド発行(MNCLE がアサート)に変換されます。
+0x0000 へのライト/リードアクセスは、NAND フラッシュメモリに対するデータアクセス(MNALE と MNCLE はアサートされません)に変換されます。
このとき、アクセスタイミング設定はすべて SRAM アクセスで使用される設定と同じです。
MNCLE はアクセス時のアドレス出力と同じタイミングで出力されます。
MNALE はアドレス発行後、+0x3000 へのライトアクセスを行うか、アドレス発行以外のライトアクセス(データまたはコマンド)を行うまで、アサート状態が保たれます。これは NAND フラッシュメモリではアドレス発行のための複数ライトアクセス間において MNALE をディアサートすることができないためです。+0x3000 へのアクセスでは MNALE のディアサートのみ発生し、アクセスは行われません。Figure 3-6 では、NAND フラッシュメモリアクセスの過程を示します(コマンドの詳細は、本ファミリと接続する NAND フラッシュメモリの仕様を参照してください)。

使用端子

NAND フラッシュメモリアクセスには Table 3-5 の端子を使用します。

Table 3-5 NAND フラッシュメモリ用の外部インタフェース端子

端子名	機能
MADATA[31:0]	データ入出力端子
MCSX[7:0]	チップセレクト端子
MNALE	NAND フラッシュ用のアドレスラッチイネーブル出力端子
MNCLE	NAND フラッシュ用のコマンドラッチイネーブル出力端子
MNREX	NAND フラッシュ用のリードイネーブル出力端子
MNWEX	NAND フラッシュ用のライトイネーブル出力端子

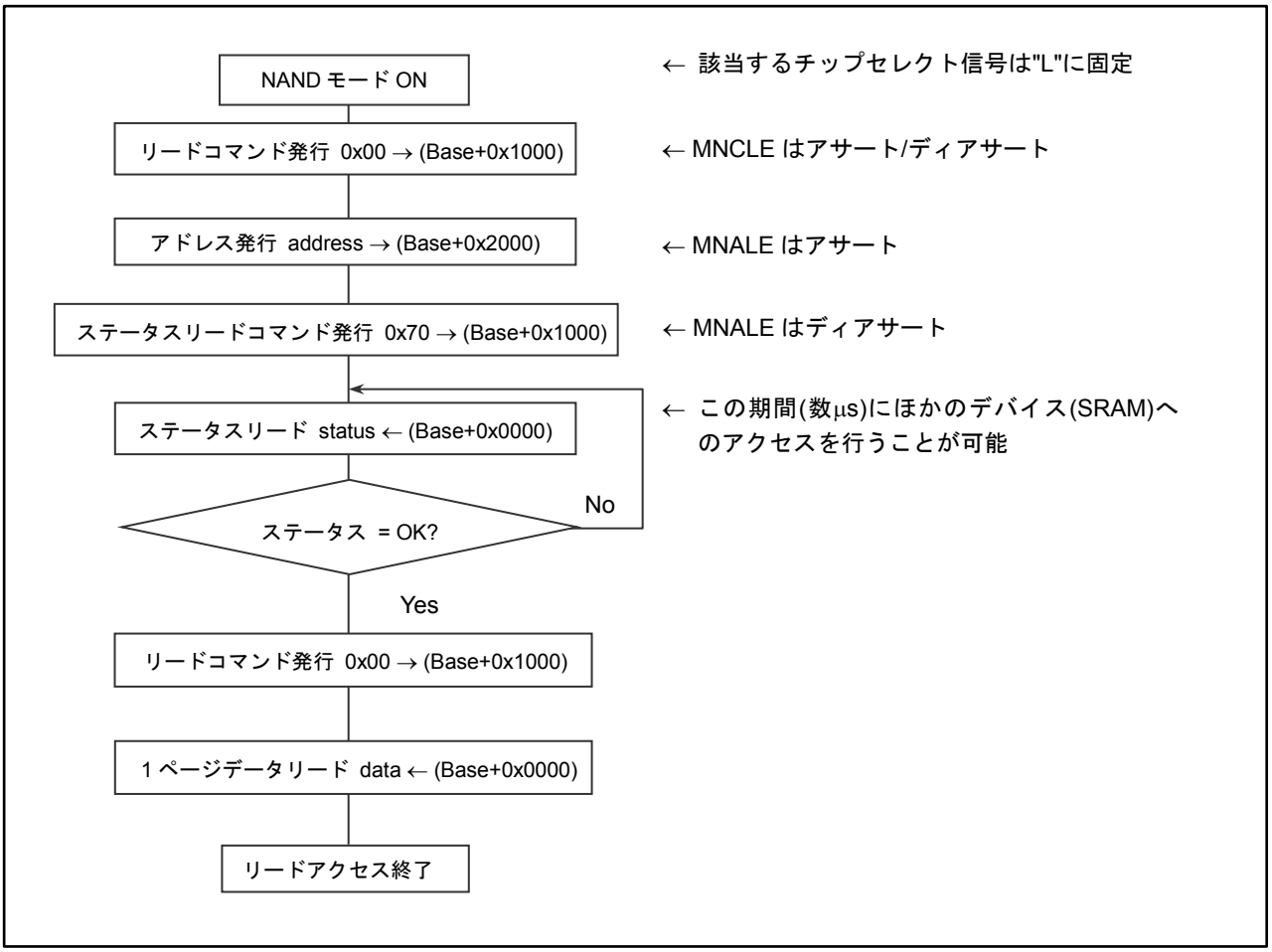
<注意事項>

- *設定およびターゲットデバイス(NAND フラッシュメモリ)によっては、Table 3-5 のすべての端子を使用するわけではありません。*
- *製品ごとに使用できる外バスインタフェースの端子本数および機能が異なります。詳細はご使用する製品の『データシート』を参照してください。*
- *NAND フラッシュメモリアクセスでは、マルチプレクスモードは使用できません。*

3.3.1 NAND フラッシュメモリに対するリードアクセス

Figure 3-6 に NAND フラッシュメモリに対するリードアクセスフローチャートを示します。

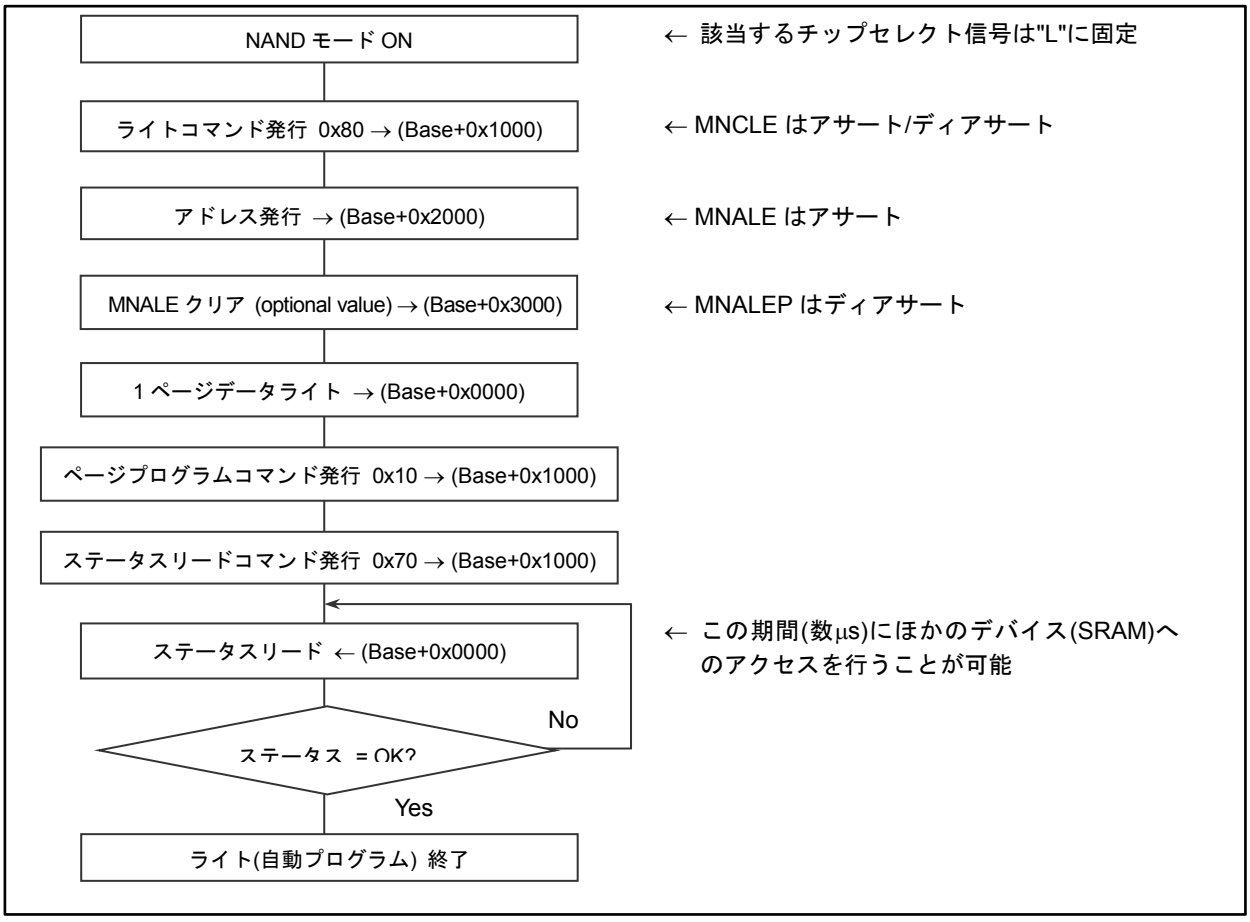
Figure 3-6 NAND フラッシュメモリに対するリードアクセスフローチャート



3.3.2 ライト(自動プログラム)アクセス

Figure 3-7 にライト(自動プログラム)アクセスフローチャートを示します。

Figure 3-7 ライト(自動プログラム)アクセスフローチャート



3.3.3 自動ブロック消去アクセス

Figure 3-8 に自動ブロック消去アクセスフローチャートを示します。

Figure 3-8 自動ブロック消去アクセスフローチャート

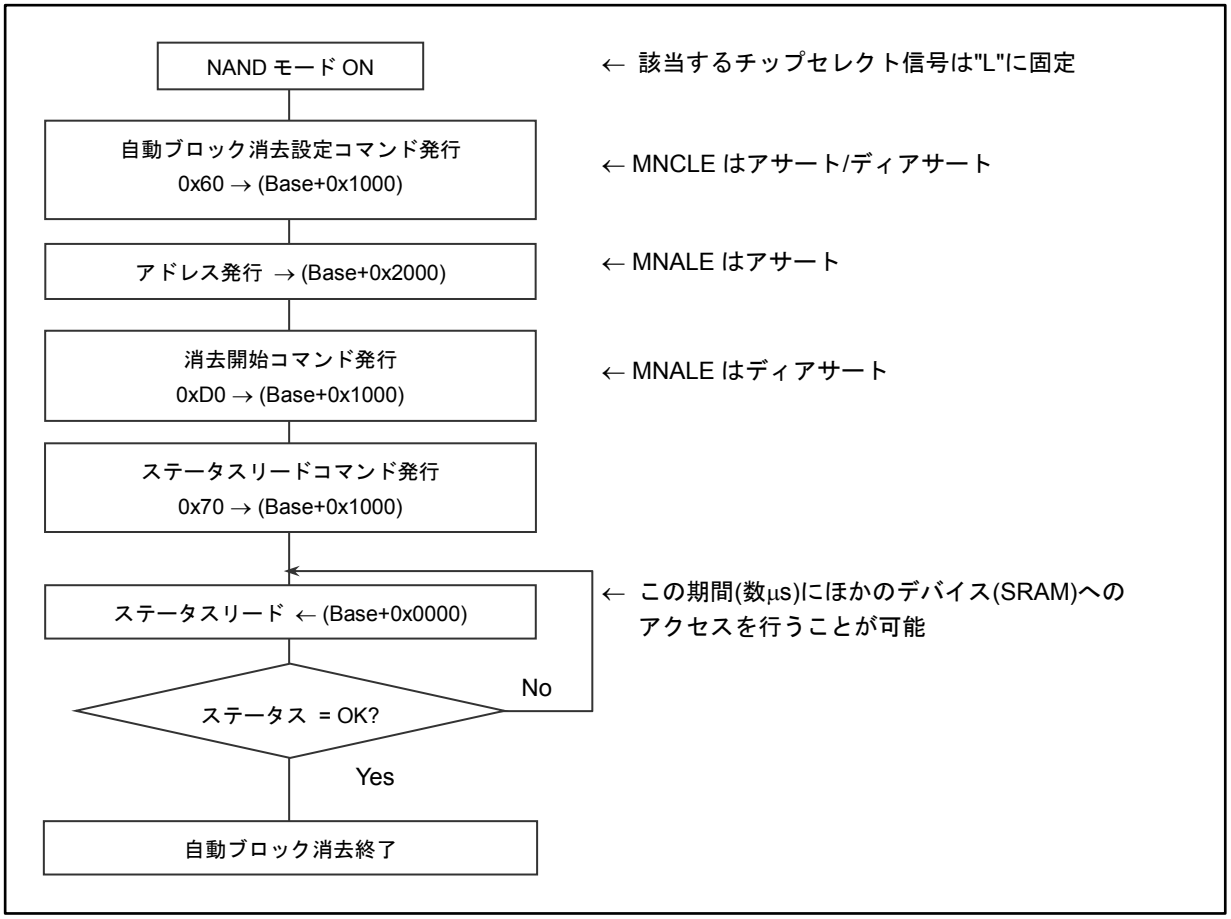
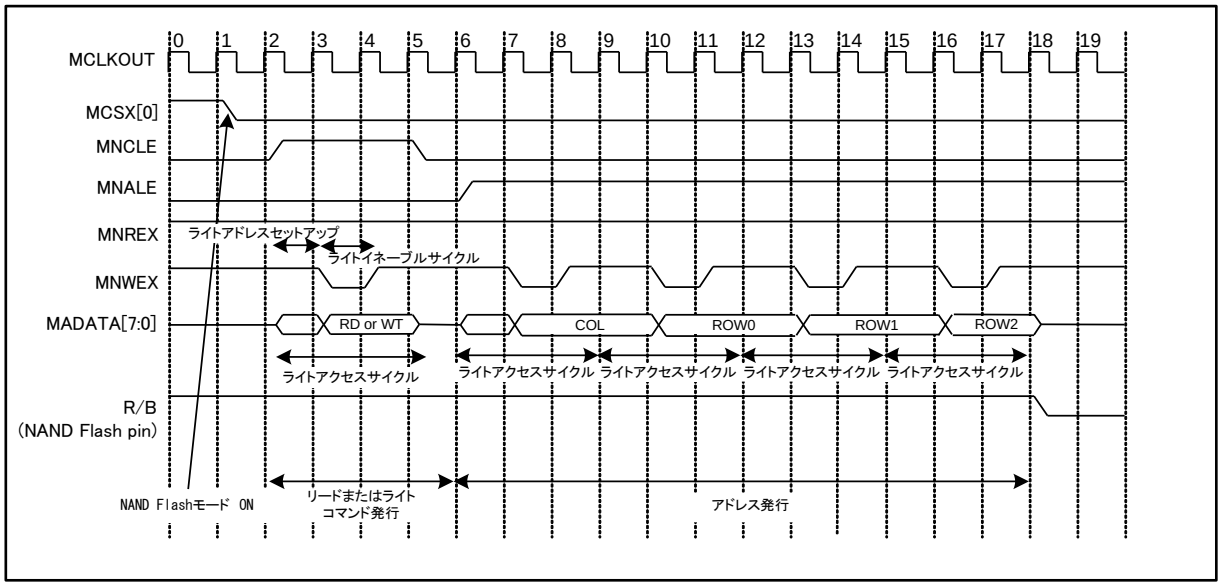


Figure 3-8 で示したように、NAND フラッシュメモリアクセスが完了していない段階であっても、ほかのメモリデバイスに対するアクセスが可能です。データリードやデータライトは DMA でも代用できるため、プロセッサは最小の動作で NAND フラッシュメモリへのアクセスを行えます。

3.4 8 ビット NAND フラッシュメモリ リード/ライトコマンド発行

Figure 3-9 に 8 ビット NAND フラッシュメモリのリード/ライトコマンド発行(バイトアクセス)波形を示します。

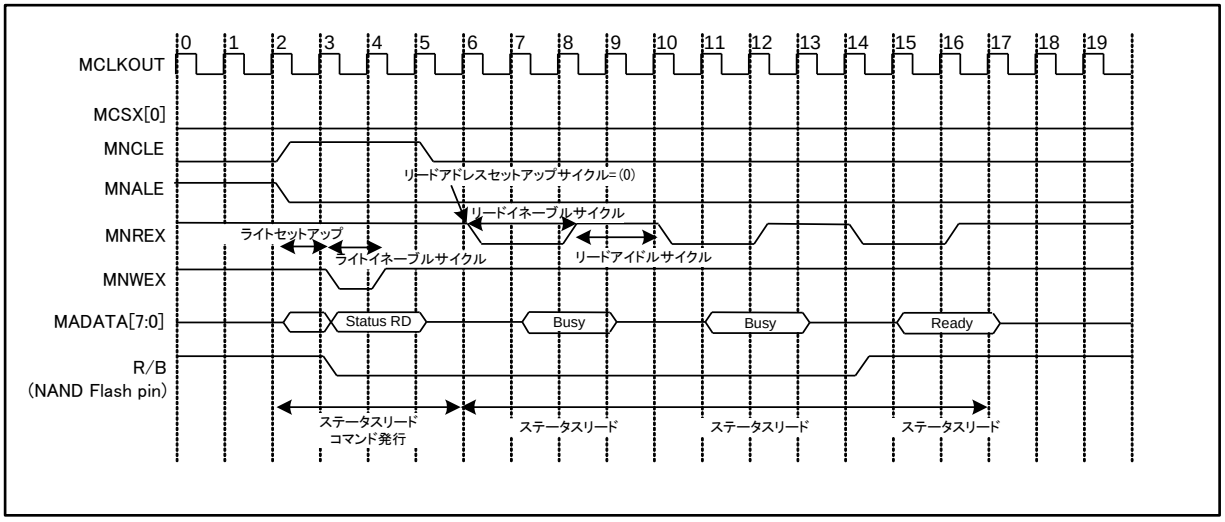
Figure 3-9 8 ビット NAND フラッシュメモリのリード/ライトコマンド発行波形



3.5 8 ビット NAND フラッシュメモリ ステータスリード

Figure 3-10 に 8 ビット NAND フラッシュメモリステータスリード(バイトアクセス)波形を示します。

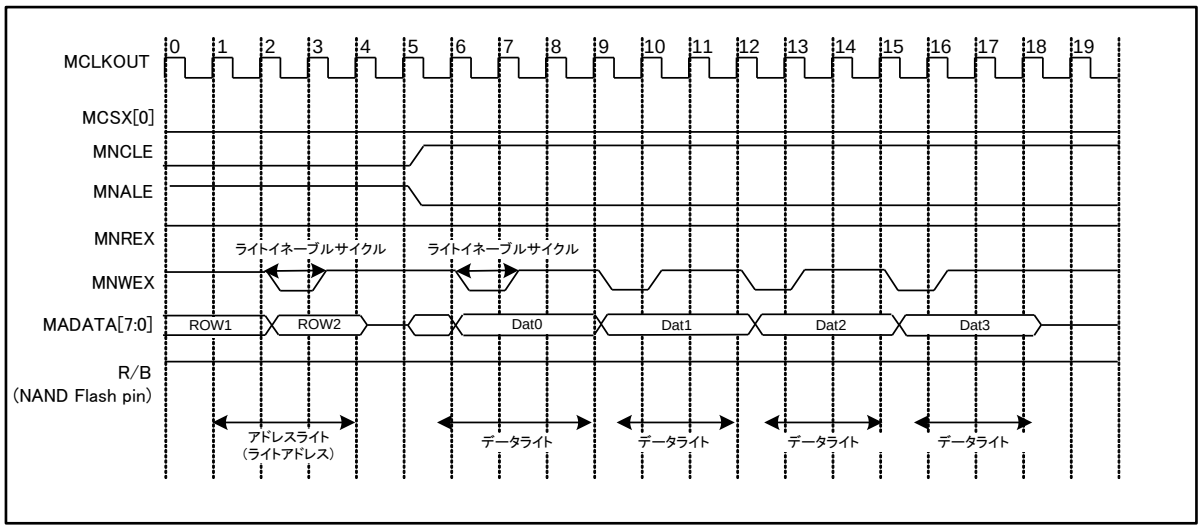
Figure 3-10 8 ビット NAND フラッシュメモリステータスリード波形



3.6 8 ビット NAND フラッシュメモリ データライト

Figure 3-11 に 8 ビット NAND フラッシュメモリデータライト波形を示します。

Figure 3-11 8 ビット NAND フラッシュメモリデータライト



3.7 自動ウェイト設定

自動ウェイトについて説明します。

自動ウェイト機能は、外部アクセス時、MCSX 領域ごとにレジスタ設定にて自動ウェイト時間を設定します。Table 3-6, Table 3-7 に設定可能箇所をまとめます。また、Figure **3-12**～Figure 3-17 に、自動ウェイトの反映箇所の具体的な設定例を示します。

Table 3-6 自動ウェイト設定一覧(SRAM/フラッシュメモリ)

設定可能箇所	ビット名	設定可能サイクル*	備考
アクセス開始から ALE 出力、 アドレス出力開始までの サイクル数	ATIMn:ALES	0～15cycle (ALES)サイクル	マルチプレクス時のみ
ALE 出力幅	ATIMn:ALEW	1～16cycle (ALEW+1)サイクル	マルチプレクス時のみ
アクセス開始から アドレス出力終了までの期間	ATIMn:ALC	1～16cycle (ALC+1)サイクル	マルチプレクス時のみ
ALC 期間終了後、MOEX↓ までのサイクル数	TIMn:RADC	0～15cycle (RADC)サイクル	
リードサイクル時の CS 有効期間	TIMn:RACC	1～16cycle (RACC+1)サイクル	
リード後の アイドルサイクル数	TIMn:RIDLC	1～16cycle (RIDLC+1)サイクル	
ページリードアクセス時、 ファーストリードアドレス待ちサイクル数	TIMn:FRADC	0～15cycle	PAGE=1, MOEXEUP=0 時のみ
MOEX の Low 期間の サイクル数		1～16cycle (FRADC+1)サイクル	PAGE=0, MOEXEUP=1 時のみ
ALC 期間終了後 MWEX↓までのサイクル数	TIMn:WADC	1～15cycle (WADC+1)サイクル	
MWEX の Low 期間の サイクル数	TIMn:WWEC	1～15cycle (WWEC+1)サイクル	
ライトサイクル時の CS 有効期間	TIMn:WACC	3～16cycle (WACC+1)サイクル	
ライト後の アイドルサイクル数	TIMn:WIDLC	1～16cycle (WIDLC+1)サイクル	

*: サイクル数は MCLKOUT 基準になります。

Table 3-7 自動ウェイト設定一覧(SDRAM)

設定可能箇所	ビット名	設定可能サイクル*
CAS レイテンシのサイクル数	SDTIM:CL	1～3cycle (CL+1)サイクル
RAS-RAS 間のレイテンシサイクル数	SDTIM:TRC	1～8cycle (TRC+1)サイクル
プリチャージ期間のサイクル数	SDTIM:TRP	1～4cycle (TRP+1)サイクル
RAS-CAS 間のレイテンシサイクル数	SDTIM:TRCD	1～2cycle (TRCD+1)サイクル
Row の最小アクティブ期間のサイクル数	SDTIM:TRAS	1～8cycle (TRAS+1)サイクル
リフレッシュに続くコマンドのレイテンシサイクル数	SDTIM:TREFC	1～8cycle (TREF+1)サイクル
ライトからプリチャージまでのレイテンシサイクル数	SDTIM:TDPL	1～4cycle (TDPL+1)サイクル

*: サイクル数は MSDCLK 基準になります。

Figure 3-12 自動ウェイト反映箇所説明 セパレートモード

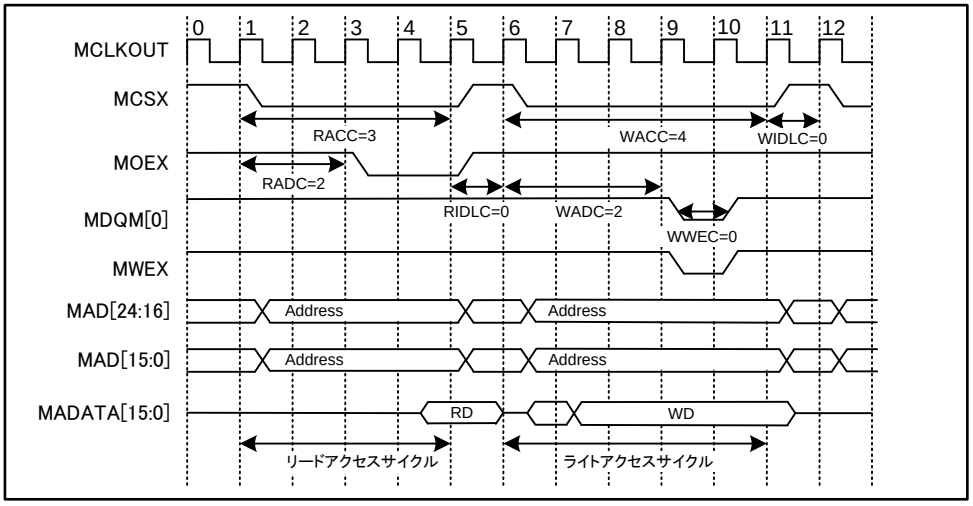


Figure 3-13 自動ウェイト反映箇所説明 マルチプレクスモード

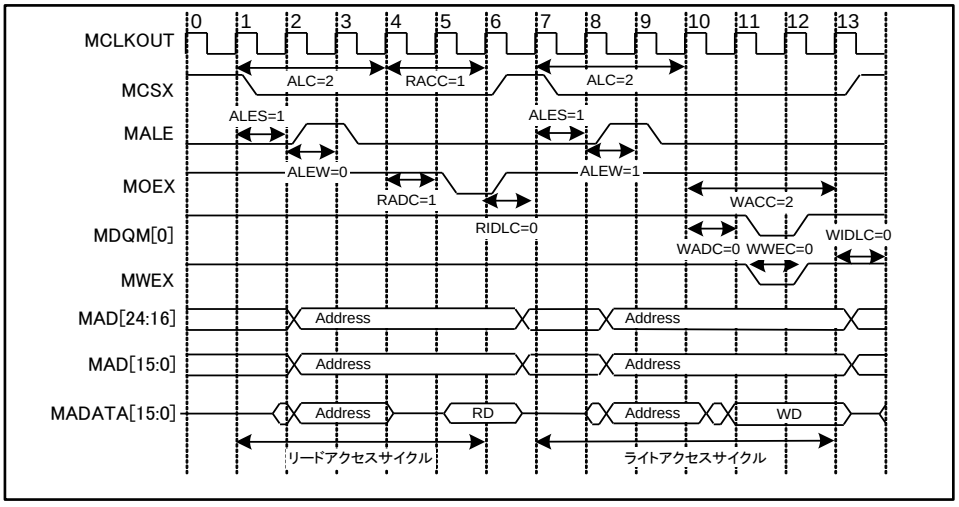


Figure 3-14 自動ウェイト反映箇所説明 NAND フラッシュモード

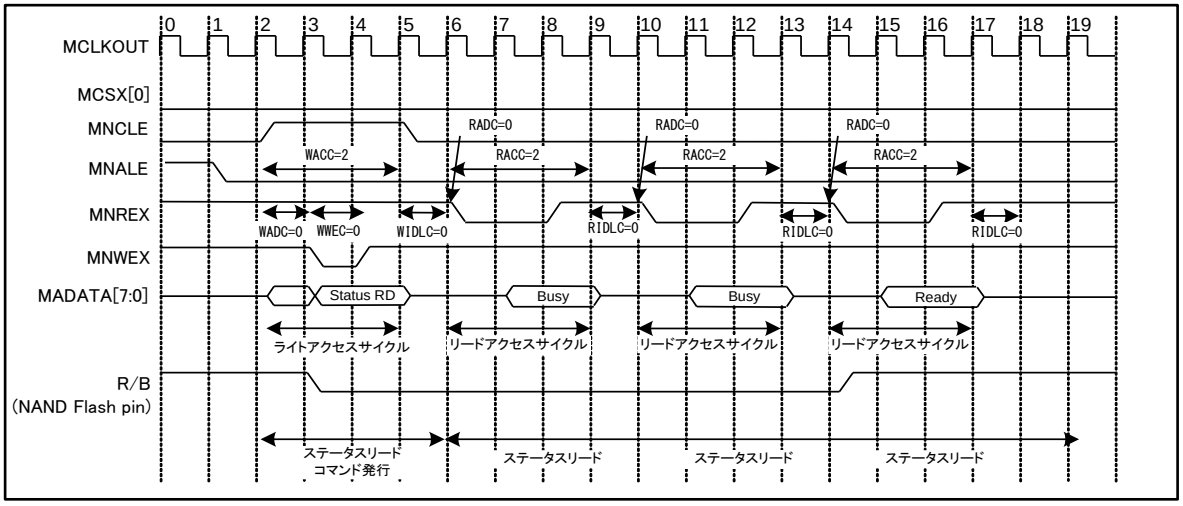


Figure 3-15 自動ウェイト反映箇所説明 NOR フラッシュ ページリード

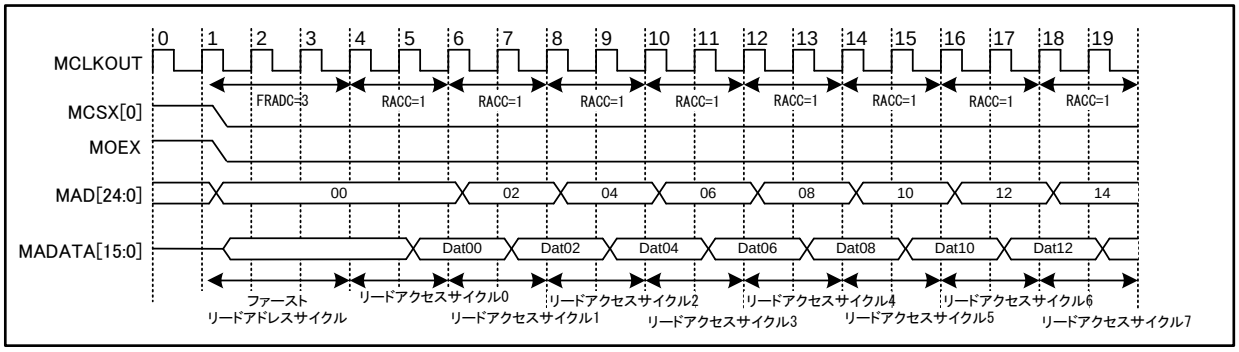


Figure 3-16 自動ウェイト反映箇所説明 SRAM 連続リード

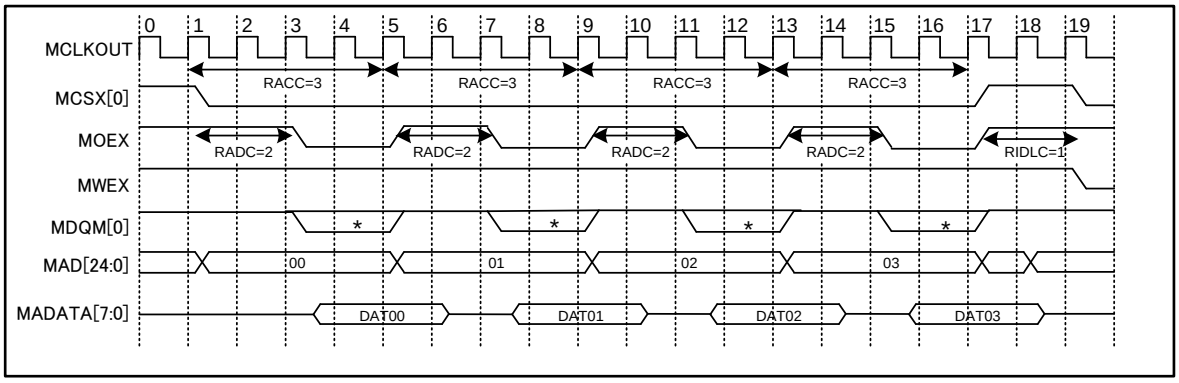
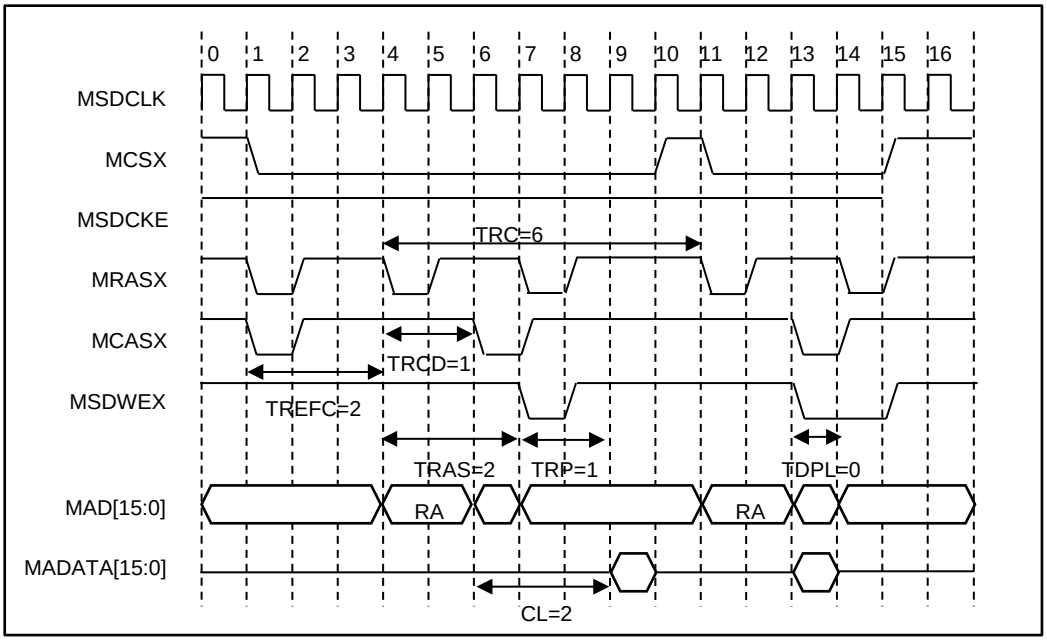


Figure 3-17 自動ウェイト反映箇所説明 SDRAM



＜注意事項＞

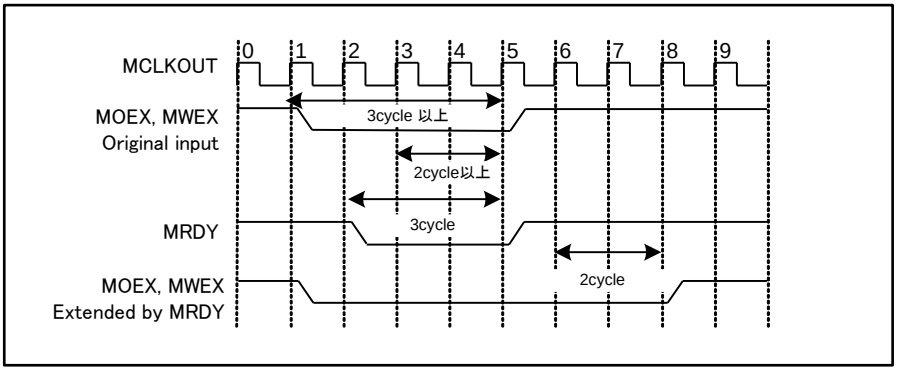
- *自動ウェイトの設定は、ATIMn:ALES, ALC, ALEW を除き、外部バスインタフェースのすべてのアクセスモードに対して有効になります。リードデータ・ライトデータに対し、必ずセットアップ・ホールドを満たすように設定してください。*
- *非同期アクセス時は、アドレスホールドサイクルは必ず 1 サイクル以上確保してください。*
- *セパレートモード SRAM 非同期アクセス時は、データホールドサイクルは必ず MWEX↑から 1 サイクル以上確保してください。*

3.8 外部 RDY

外部 RDY 機能について説明します。

MRDY 端子へ"L"レベルが入力されている期間、ウェイトサイクルが挿入され、アクセスサイクルを伸ばすことが可能です。これにより、低速の外部メモリへのアクセスが可能になります。Figure 3-18 に、RDY 信号の動作波形を示します。

Figure 3-18 外部 RDY の動作



＜注意事項＞

- *外部 RDY 機能を使用する場合は、MOEX, MWEX の幅は 3 サイクル以上となるように設定してください。*
- *RDY 機能を有効にするには、MOEX↑/MWEX↑の 2 サイクル以上前に MRDY=L が入力されている必要があります。2 サイクル以下で MRDY=L を入力しても入力は無視されます。*
  AC 規格の詳細はご使用する製品の『データシート』の『外部 RDY 入力タイミング』を参照してください。
- *MRDY=H の後、2 サイクル後に MOEX↑/MWEX↑となります。*
- *いったん MRDY=H にした後は、MOEX↑/MWEX↑になるまで MRDY=L にしないでください。*
- *NOR フラッシュ ページリード, NAND フラッシュモードでは外部RDY機能は使用できません。*
- *MRDY=L としても ALC 期間や ALE 期間は延長されません。*
- *自動ウェイトと外部 RDY は両方設定可能です。*

3.9 SDRAM アクセス

SDRAM アクセスについて説明します。

メモリアクセス

SDRAM アクセスでは、MCSX[8]/アドレス出力により、ターゲットデバイスが確定します。その後、MRASX/MCASX/MSDWEX/MSDCKE を出力することにより、ターゲットデバイスに対し、リード/ライト動作を行います。

使用端子

SDRAM アクセスには Table 3-8 の端子を使用します。

Table 3-8 SDRAM メモリ用の外部インタフェース端子

端子名	機能
MAD[24:0]	アドレス出力端子
MADATA[31:0]	データ入出力端子
MCSX[8]	チップセレクト端子
MDQM[3:0]	バイトマスク信号出力端子
MRASX	Row アドレスストローブ出力端子
MCASX	Column アドレスストローブ出力端子
MSDWEX	ライトイネーブル出力端子
MSDCKE	クロックイネーブル出力端子
MSDCLK	クロック出力端子

<注意事項>

- *設定およびターゲットデバイス(NAND フラッシュメモリ)によっては、Table 3-8 のすべての端子を使用するわけではありません。*
- *製品ごとに使用できる外バスインタフェースの端子本数および機能が異なります。詳細はご使用する製品の『データシート』を参照してください。*
- *SDRAM アクセスでは、マルチプレクスモードは使用できません。*

SDRAM アクセスでは、Table 3-9 の組み合わせでターゲットデバイスを動作させます。

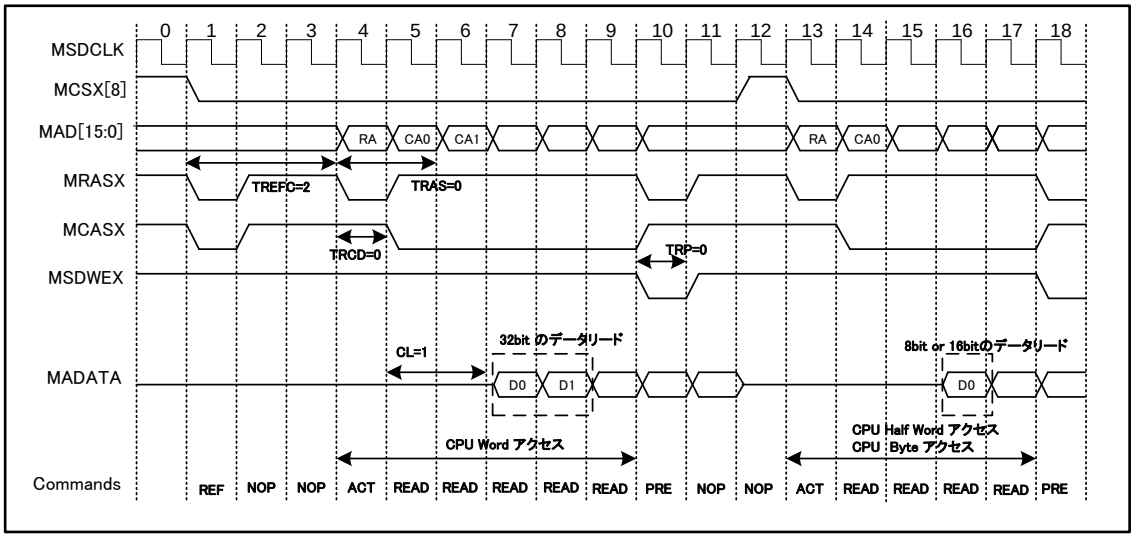
Table 3-9 アクセス信号組み合わせ

動作	MCSX[8]	MRASX	MCASX	MSDWEX	MDQM	MAD	MADATA
COMMAND INHIBIT (NOP)	H	X	X	X	X	X	X
NO OPERATION (NOP)	L	H	H	H	X	X	X
ACTIVE (ACT)	L	L	H	H	X	Bank/Row	X
READ (READ)	L	H	L	H	L/H	Bank/Col	X
WRITE (WRIT)	L	H	L	L	L/H	Bank/Col	Valid
BURST TERMINATE	L	H	H	L	X	X	Active
PRECHARGE (PRE)	L	L	H	L	X	Code	X
AUTO REFRESH (REF) or SELF REFRESH (SREF)	L	L	L	H	X	X	X
LOAD MODE REGISTER (MRS)	L	L	L	L	X	Op-Code	X
Write Enable/Output Enable	-	-	-	-	L	-	Active
Write Inhibit/Output High-Z	-	-	-	-	H	-	High-Z

SDRAM リードアクセス

Figure 3-19 に SDRAM リード波形を示します。

Figure 3-19 SDRAM リードアクセス



アクセス条件

- SDRAM 8/16/32bit アクセス
- CAS レイテンシのサイクル数(SDTIM:CL) : 0x1 (2 サイクル)
- プリチャージ期間のサイクル数(SDTIM:TRP) : 0x0 (1 サイクル)
- RAS-CAS 間のレイテンシサイクル数(SDTIM:TRCD) : 0x0 (1 サイクル)
- Row の最小アクティブ期間のサイクル数(SDTIM:TRAS) : 0x0 (1 サイクル)
- リフレッシュに続くコマンドのレイテンシサイクル数(SDTIM:TREFC) : 0x2 (3 サイクル)

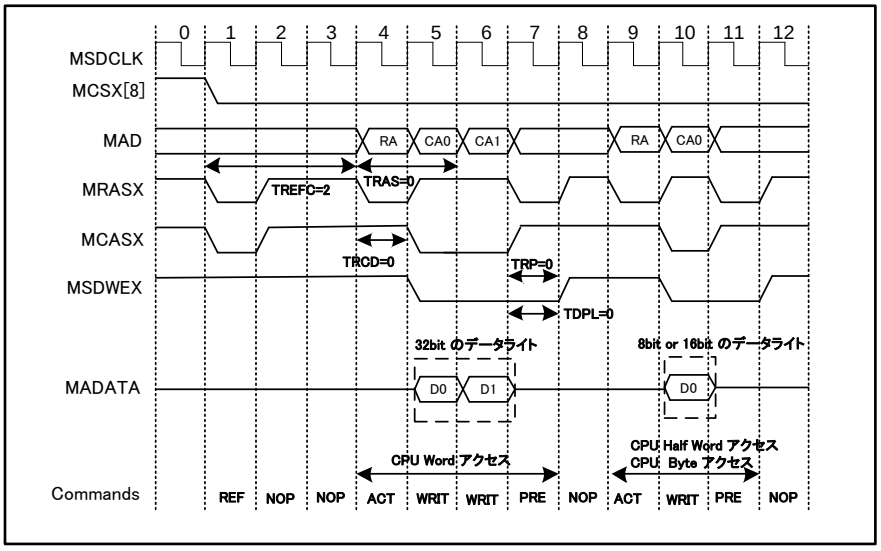
RA: Row アドレス

CA: Column アドレス

SDRAM ライトアクセス

Figure 3-20 に SDRAM ライト波形を示します。

Figure 3-20 SDRAM ライトアクセス



アクセス条件

- SDRAM 8/16/32bit アクセス
- CAS レイテンシのサイクル数(SDTIM:CL) : 0x1 (2 サイクル)
- プリチャージ期間のサイクル数(SDTIM:TRP) : 0x0 (1 サイクル)
- RAS-CAS 間のレイテンシサイクル数(SDTIM:TRCD) : 0x0 (1 サイクル)
- Row の最小アクティブ期間のサイクル数(SDTIM:TRAS) : 0x0 (1 サイクル)
- リフレッシュに続くコマンドのレイテンシサイクル数(SDTIM:TREFC) : 0x2 (3 サイクル)
- ライトからプリチャージまでのレイテンシサイクル数(SDTIM:TDPL) : 0x0 (1 サイクル)

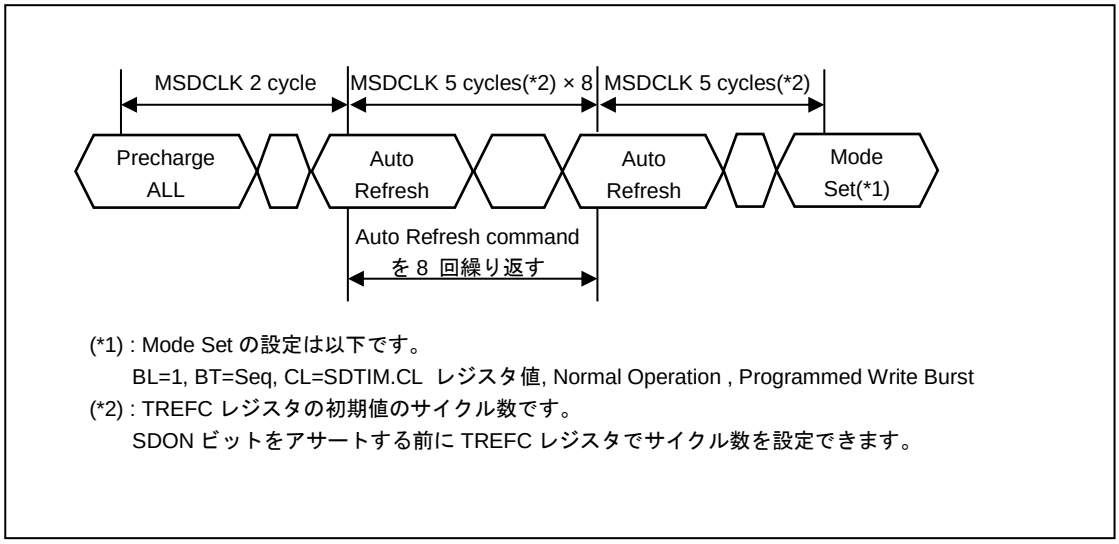
RA: Row アドレス

CA: Column アドレス

パワーオンシーケンス動作

SDRAM モードレジスタ(SDMODE)の SDON ビットを"0"→"1"にすることにより、パワーオンシーケンスを発行し、SDRAM へアクセス可能な状態にします。発行されるパワーオンシーケンスを Figure 3-21 に示します。Figure 3-21 の"cycle"は MSDCLK 基準です。

Figure 3-21 パワーオンシーケンスの動作



(*1) : Mode Set の設定は以下です。
BL=1, BT=Seq, CL=SDTIM.CL レジスタ値, Normal Operation , Programmed Write Burst
(*2) : TREFC レジスタの初期値のサイクル数です。
SDON ビットをアサートする前に TREFC レジスタでサイクル数を設定できます。

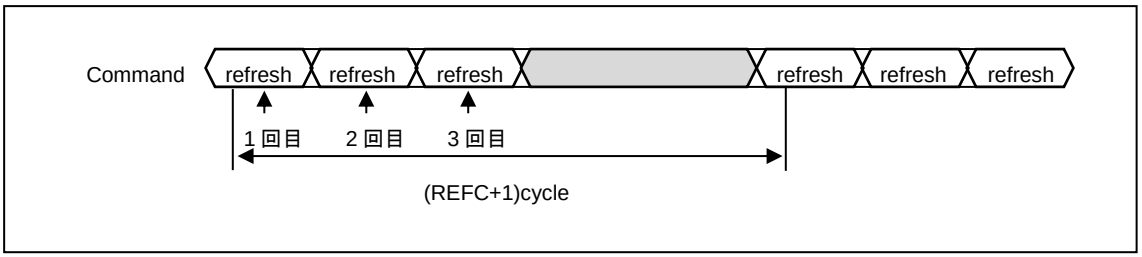
リフレッシュ動作

SDRAM モードレジスタ(SDMODE)の ROFF ビットが"0"の場合、リフレッシュタイムレジスタ(REFTIM)の設定条件でリフレッシュを実行します。リフレッシュタイムレジスタ(REFTIME)によりリフレッシュの間隔, 回数, 先出しリフレッシュの制御ができます。

■ リフレッシュ間隔

リフレッシュタイムレジスタ(REFTIM)の REFC ビットによりリフレッシュを行う間隔を設定します。設定したサイクル数（MSDCLK）を経過した時にリフレッシュを行います。また、NREF ビットにより 1 回のリフレッシュタイミングに行うリフレッシュの発行回数を設定します。以下に NREF=2 に設定した場合の動作を示します。Figure 3-22 の"cycle"は MSDCLK 基準です。

Figure 3-22 リフレッシュ間隔と発行回数



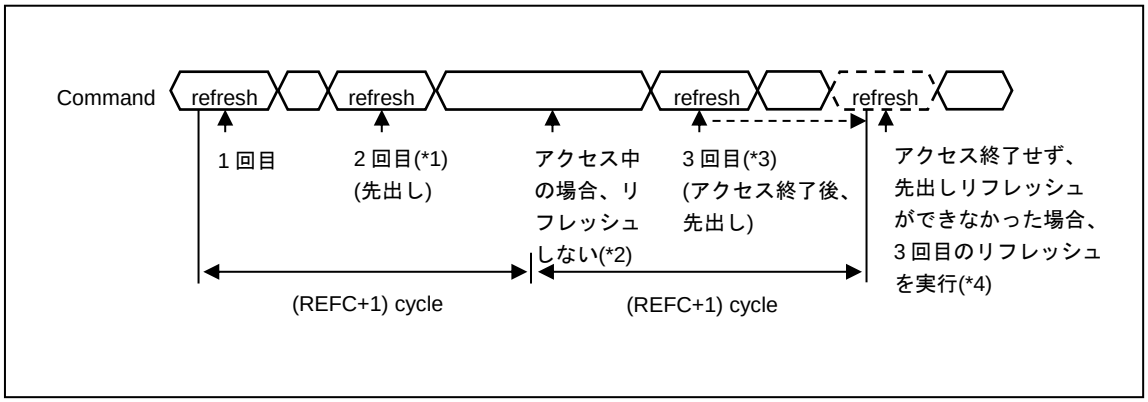
■ 先出しリフレッシュ

リフレッシュタイムレジスタ(REFTIM)の PREF ビットにより先出しリフレッシュが設定できます。先出しリフレッシュは、実際のリフレッシュよりも早期にリフレッシュを行うモードです。

先出しリフレッシュを使用することにより SDRAM へのアクセスの効率化ができます。Figure 3-23 に先出しリフレッシュの動作を示します。Figure 3-23 の"cycle"は MSDCLK 基準です。

- リフレッシュが行われた後、SDRAM へアクセスがない時に、先にリフレッシュを実行します。(Figure 3-23 の*1)
- 先出しリフレッシュが実行された場合、次のリフレッシュタイミングに SDRAM へアクセス中の場合、リフレッシュを実行しません。(Figure 3-23 の*2)
- SDRAM へのアクセスが終了すれば、再び先出しリフレッシュを実行します。(Figure 3-23 の*3)
- SDRAM へのアクセスが終了せず、3 回目のリフレッシュタイミング時に強制的にリフレッシュが行われます。(Figure 3-23 の*4)

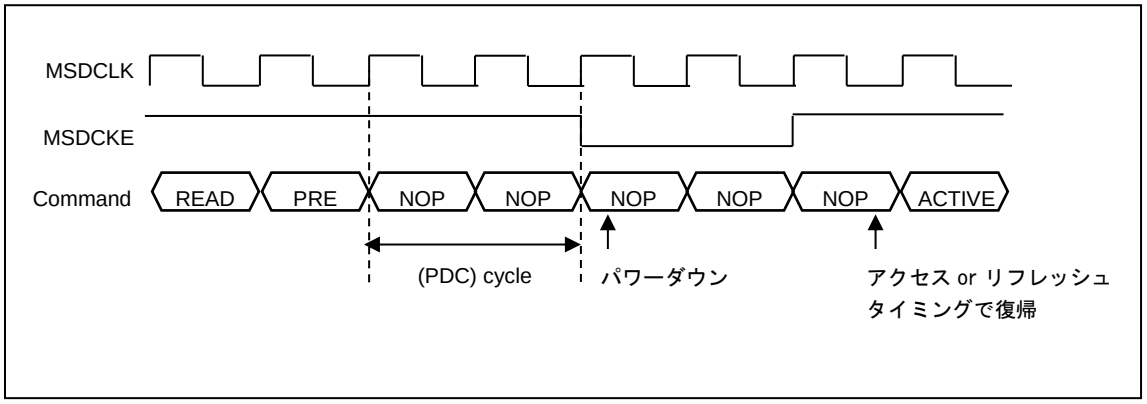
Figure 3-23 先出しリフレッシュ動作



パワーダウンモード動作

SDRAM モードレジスタ(SDMODE)の PDON ビットを"1"に設定すると、パワーダウンカウントレジスタ(PWRDWN)で設定されたサイクル間(MSDCLK)に SDRAM へのアクセスが発生しなかった場合、パワーダウンモードへ移行します。リフレッシュタイミングになるといったん復帰し、リフレッシュを行います。リフレッシュ後、パワーダウンカウントレジスタ(PWRDWN)設定期間内にアクセスが発生しない場合は、再びパワーダウンモードに移行します。復帰には 1 サイクルを要します。SDRAM モードレジスタ(SDMODE)の SDON ビットが"0"の時に PDON ビットを"1"にした場合は MSDCKE="L "になります。

Figure 3-24 パワーダウンモードの動作



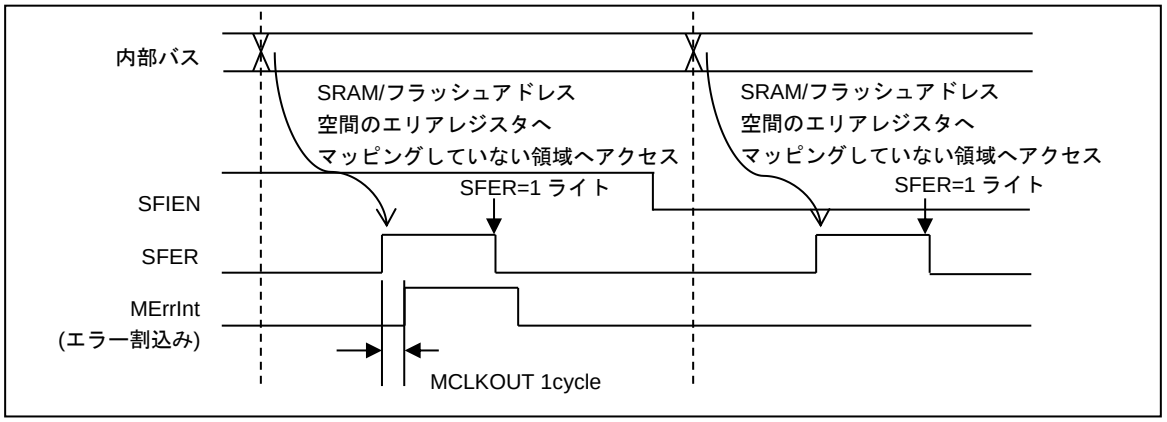
3.10 割込み機能

エラー割込みについて説明します。

SRAM/フラッシュメモリエラー

SRAM/フラッシュメモリエラー割込み許可(MEMCERR.SFION=1)で、エリアレジスタにてマッピングを行っていない SRAM/フラッシュメモリアドレス空間へアクセスを行った場合、エラー割込みが発生します。SRAM/フラッシュメモリエラー(MEMCERR.SFER)に"1"を書き込むことでクリアされます。

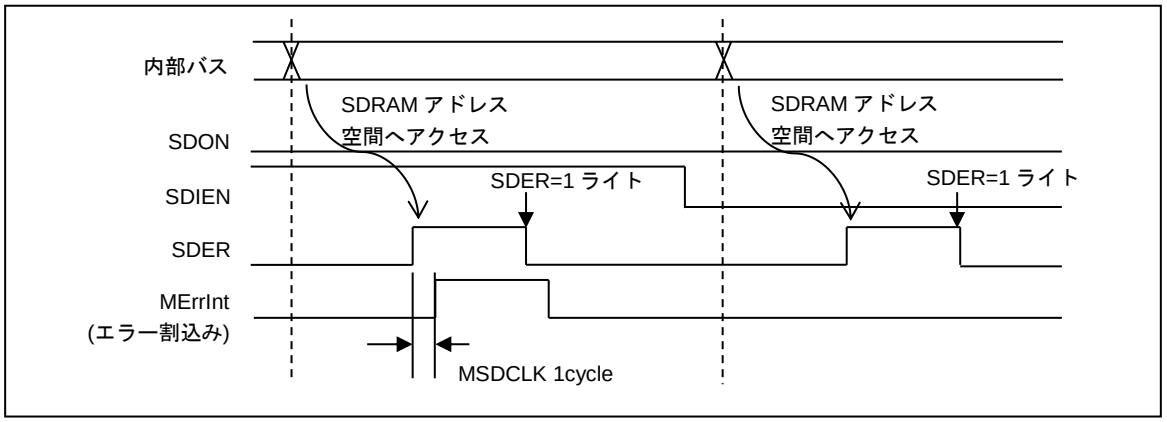
Figure 3-25 SRAM/フラッシュメモリエラーでのエラー割込み



SDRAM エラー

SDRAM エラー割込み許可(MEMCERR.SDION=1)で、SDRAM モードレジスタ(SDMODE)の SDON=0 の時に SDRAM アドレス空間へアクセスを行った場合、エラー割込みが発生します。SDRAM エラー(MEMCERR.SDER)に"1"を書き込むことでクリアされます。

Figure 3-26 SDRAM エラーでのエラー割込み



3.11 アクセスモード

アクセスモードについて説明します。

外部バスインタフェースアドレス空間へのリードおよびライトアクセスは、アクセス効率を上げるために以下の機能を搭載しています。

1. リードアクセス時：先読みアクセス
2. ライトアクセス時：連続アクセス

上記の機能は分周クロックレジスタ(DCLKR)での分周比設定が 2 分周以上の場合に有効となります。1 分周設定時は通常アクセスとなります。また、上記の機能は初期状態で有効であり、共通の設定レジスタ(AMODE.WAEN)により、その機能を停止することができます。

リードアクセス

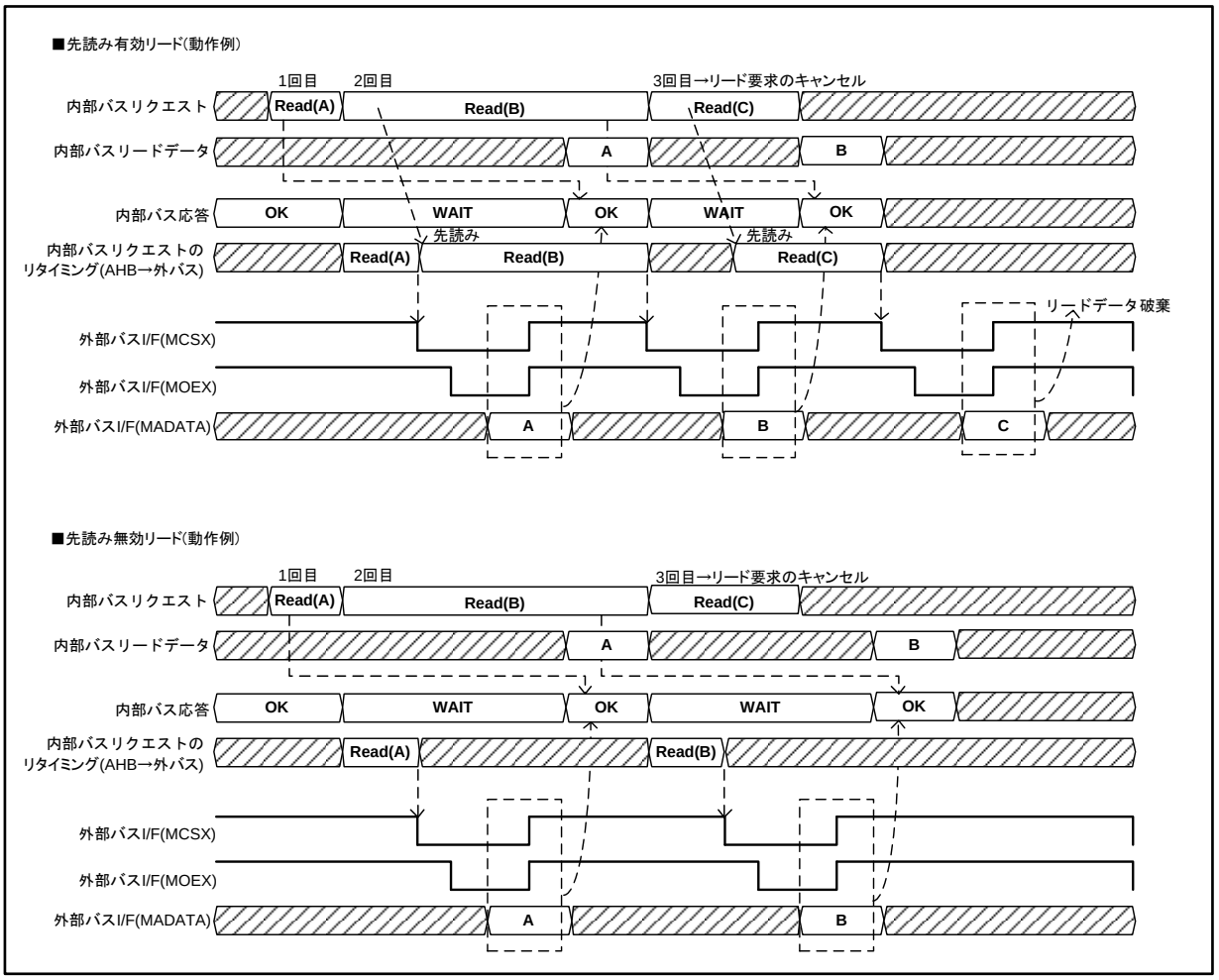
外部バスインタフェースのリードアクセスを効率化するために、次のリードアクセスの先読みする機能を持ちます。

先読みアクセスを有効にすると、連続して外部バスインタフェースのリードアクセスを行った際、内部バス応答が WAIT 中に受け付けた内部バスリクエストを内部バス応答の OK を待たずに外部デバイスへリードアクセスしてデータの先読みをするため、リードアクセスの効率が向上します。

先読みアクセスが有効な設定では、転送をキャンセルできない先読みアクセスが外部バスインタフェースに対して実行される場合がありますが、そのリード値は破棄されるため CPU 動作に影響はありません。Figure 3-27 に先読みアクセス時の動作例を示します。2 回目の内部バスからのリード要求受付前に外部メモリにリードアクセスを行い、リード要求受付後に CPU へリードデータを返します。3 回目も同様に先読みアクセスを行いますが、アクセス要求受付時にリード要求がキャンセルされているため、リードデータを破棄します。

ただし、上述の先読みアクセスが外部デバイスの仕様により不都合になる場合は、レジスタ設定(AMODE.WAEN)により先読み機能を無効化する設定を実施してください。

Figure 3-27 先読みリードアクセス発生時の動作例



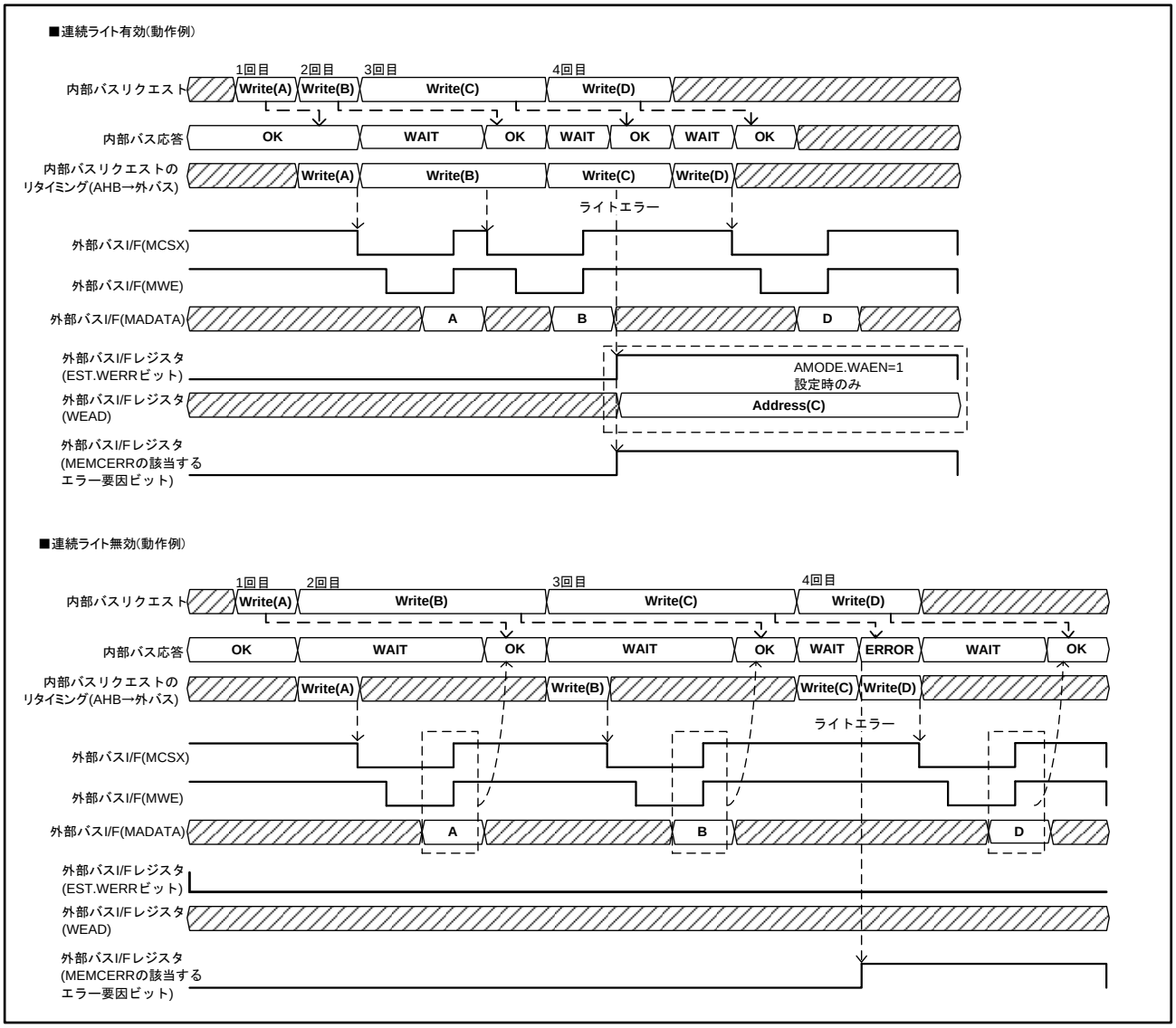
ライトアクセス

ライトアクセス間隔を効率化するために、連続したライト要求を実行するモードを持ちます。
連続アクセスを有効にすると、連続して外部バスインタフェースのライトアクセスを行った際、エラー応答を待たずに外部デバイスへ連続してライトするため、ライトアクセスの効率が向上します。
Figure 3-28 に連続ライト時の動作例を示します。3 回目にエラー応答*が発生するアクセスを行っていますが、エラー応答を待たずに 4 回目のライトアクセスを受け付けます。エラー応答発生時はエラー応答要因のアドレスをライトエラーアドレスレジスタ(WEAD)に保持します。CPU にはエラー応答を通知しません。
外部バスインタフェースからのエラー応答受信時に即 CPU を停止したい場合は、レジスタ設定(AMODE.WAEN)により連続アクセス機能を無効化する設定を実施してください。なお、エラー応答による割込みは、連続アクセス機能を有効にした場合でも検出できます。

*: エラー応答の発生条件

- SRAM/フラッシュメモリアドレス空間へのアクセス時、エリアレジスタにてマッピングを行っていない領域へアクセスを行った場合
- SDRAM 空間へのアクセス時、SDMODE.SDON=0 時に SDRAM アドレス空間へアクセスを行った場合

Figure 3-28 連続ライトでエラー応答発生時の動作例



3.12 SDRAM バッファリード (TYPE3-M4, TYPE4-M4,TYPE5-M4,TYPE6-M4 製品)

本機能は TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品に搭載されています。TYPE1-M4 製品には搭載されておりません。

外部バスインタフェースは、SDRAM への連続するリードアクセスを効率化するために、最大で 5 ワードのバッファを内蔵しています。

SDRAM タイミングレジスタ(SDTIM)の BOFF ビットが”0”の場合には、SDRAM のある領域に対するリードアクセスが発生すると、それ以降に続くアドレスに対してリードデータをバッファリングします。

バッファリングされたアドレスにヒットした場合、バッファリングされたデータを返します。そのとき、SDRAM へのリードアクセスは発生しません。

バッファリングされたアドレスにヒットしない場合、SDRAM へリードアクセスが発生します。そのとき、バッファリングされたデータはクリアされ、新たにリードしたデータをバッファリングします。

以下のいずれかの条件が発生した場合、すべてのバッファはクリアされます。

- バッファリングされたアドレスにヒットしないリードが発生したとき
- SDRAM へライトしたとき
- SDRAM モードレジスタ(SDMODE)の SDON ビットを”0”に設定したとき
- SDRAM タイミングレジスタ(SDTIM)の BOFF ビットを”1”に設定したとき

バッファリングされるデータの最大数は、SDRAM モードレジスタ(SDMODE)の CASEL ビット、アクセス種類と SDRAM タイミングレジスタ(SDTIM)の CL ビットで異なります。

Table 3-10 バッファリングされる最大データ数

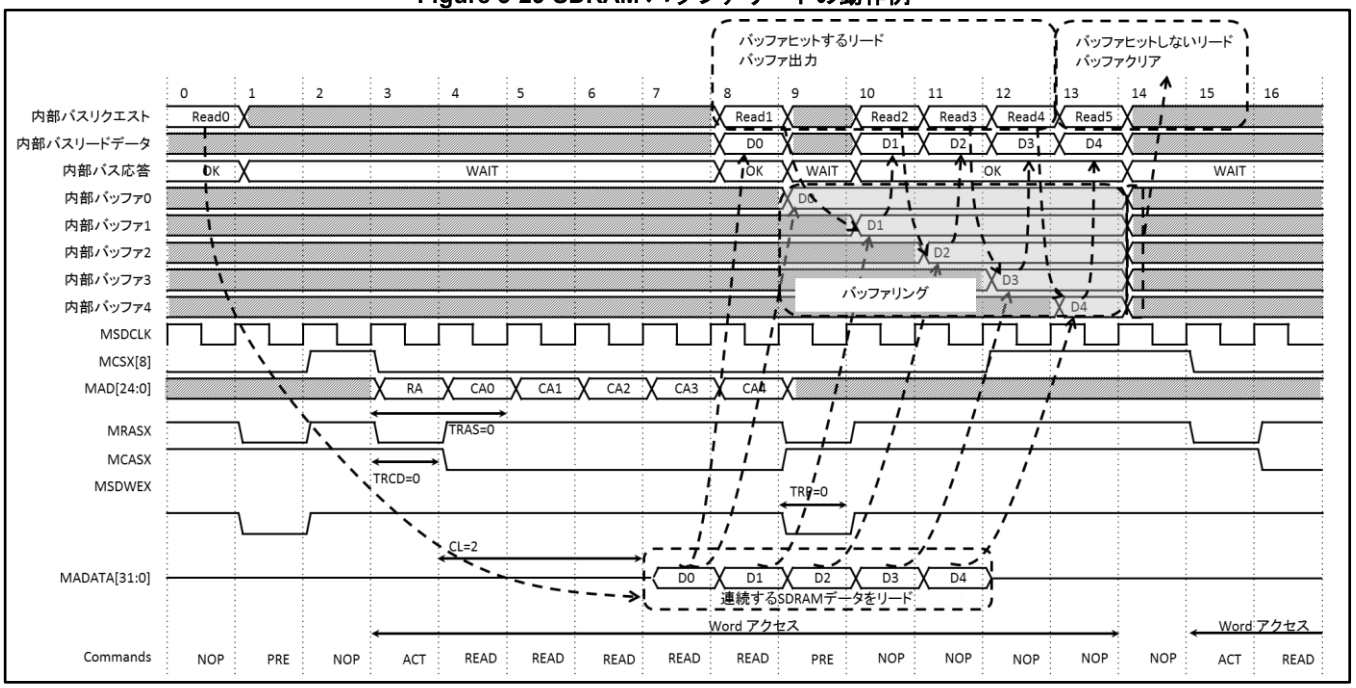
CASEL	アクセス種類	CL	バッファリングされる最大データ数
0	バイト (8bit)	0	3 バイト
		1	4 バイト
		2	5 バイト
	ハーフワード (16bit)	0	3 ハーフワード
		1	4 ハーフワード
		2	5 ハーフワード
	ワード (32bit)	0	2 ワード
		1	2.5 ワード
		2	3 ワード
1	バイト (8bit)	0	3 バイト
		1	4 バイト
		2	5 バイト
	ハーフワード (16bit)	0	3 ハーフワード
		1	4 ハーフワード
		2	5 ハーフワード
	ワード (32bit)	0	3 ワード
		1	4 ワード
		2	5 ワード

<注意事項>

- *SDRAM タイミングレジスタ(SDTIM)の CL ビットはお客様のシステムにあった最適な設定をしてください。例えば、16bit の SDRAM に対して CL が”1”と”2”を設定できる場合、連続するアドレス 3 ワードをリードするのであれば CL に”2”を設定してください。*

Figure 3-29 に SDRAM バッファリードの波形を示します。

Figure 3-29 SDRAM バッファリードの動作例



アクセス条件

- SDRAM 32bit アクセス
- Buffer readout OFF (SDTIM.BOFF) : 0x0 (リード時の SDRAM 用バッファを有効)
- SDRAM モード (SDMODE:CASEL) : 0x1 (32 ビット幅)
- CAS レイテンシのサイクル数(SDTIM:CL) : 0x2 (3 サイクル)
- プリチャージ期間のサイクル数(SDTIM:TRP) : 0x0 (1 サイクル)
- RAS-CAS 間のレイテンシサイクル数(SDTIM:TRCD) : 0x0 (1 サイクル)
- Row の最小アクティブ期間のサイクル数(SDTIM:TRAS) : 0x0 (1 サイクル)

RA: Row アドレス

CA: Column アドレス

<注意事項>

- *バッファレジスタ設定(SDTIM.BOFF)は、SDRAM モードレジスタの SDON=0 時に設定してください。*

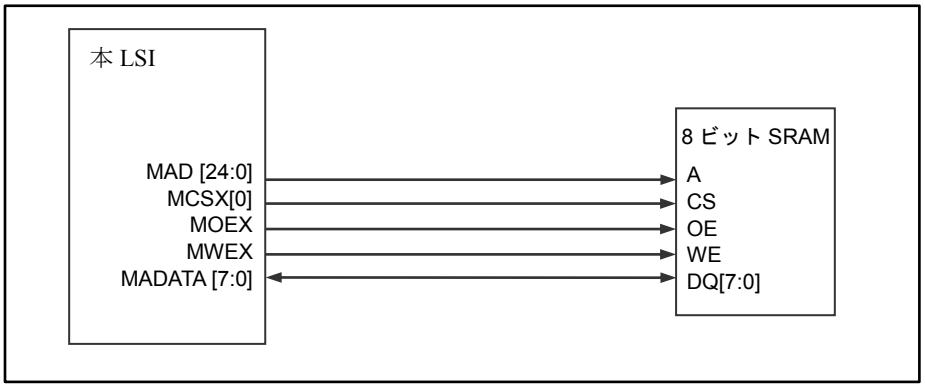
4. 接続例

外部デバイスとの接続例を示します。

8 ビット SRAM

Figure 4-1 に 8 ビット SRAM 接続例を示します。

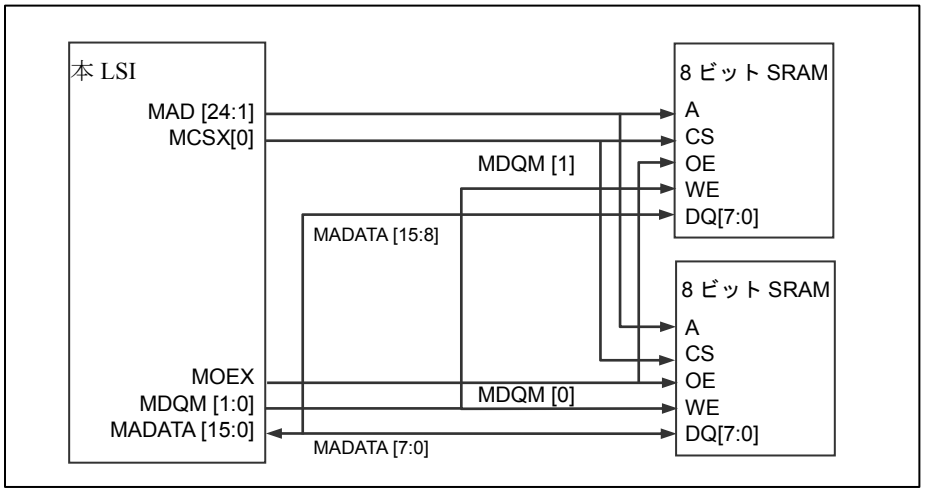
Figure 4-1 8 ビット SRAM 接続例



8 ビット SRAM × 2

Figure 4-2 に 8 ビット SRAM×2 接続例を示します。

Figure 4-2 8 ビット SRAM×2 接続例

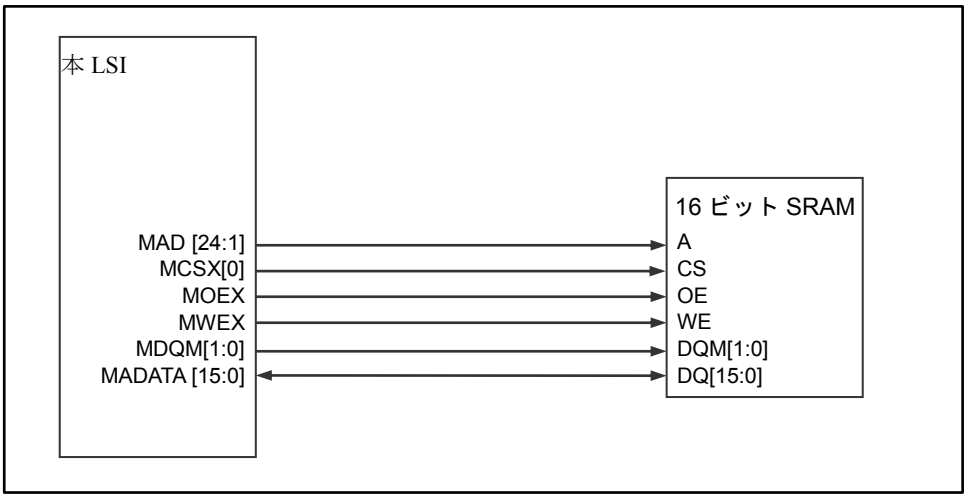


入力マスクを持たないデバイスに関しては、MDQM 信号がライトイネーブルとして使用可能です。

16 ビット SRAM

Figure 4-3 に 16 ビット SRAM 接続例を示します。

Figure 4-3　16 ビット SRAM 接続例

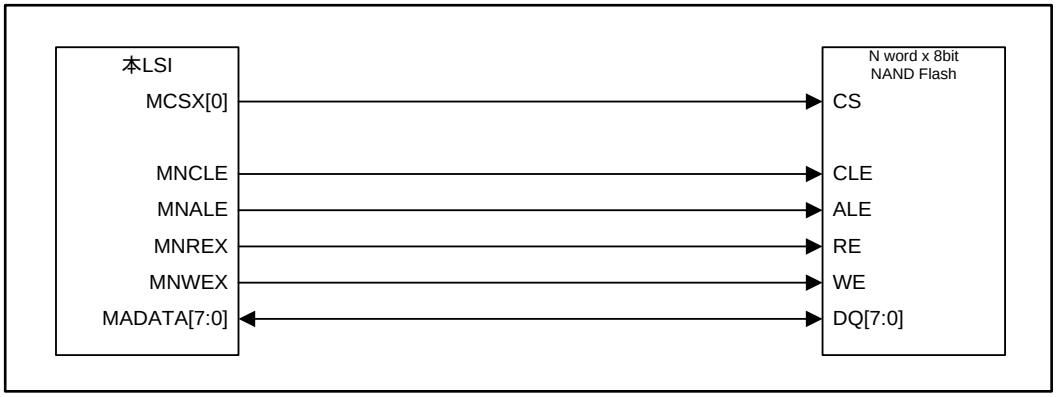


ターゲットデバイスがバイトマスク信号を持っている場合、MDQM 制御を用いることで、デバイスに対し必要なデータだけを読み出せます。そのため、アクセス時の消費電力を抑えられます。

Nword × 8 ビット NAND

Figure **4-4** に Nword × 8 ビット NAND フラッシュメモリを 8 ビット幅でアクセスする場合の接続例を示します。

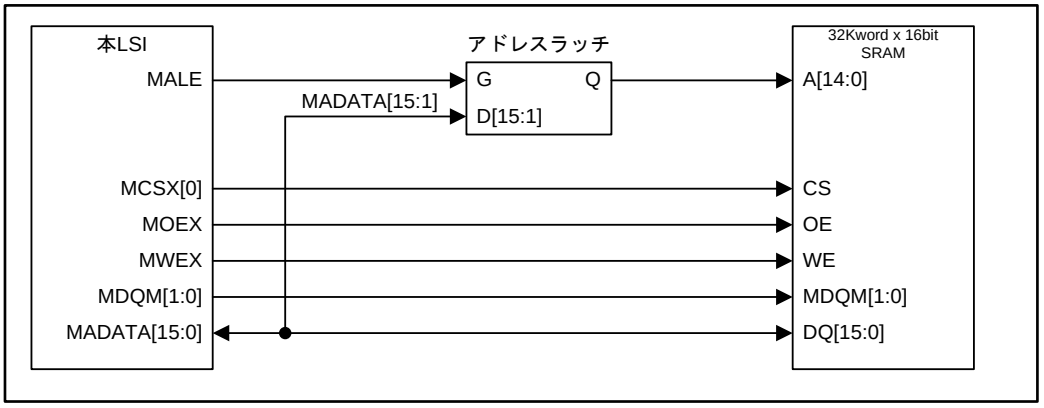
Figure 4-4　8 ビット NAND フラッシュメモリ接続例



32Kword × 16 ビット SRAM マルチプレクスモード

Figure **4-5** に 32Kword × 16 ビット SRAM を 16 ビット幅(マルチプレクスモード)でアクセスする場合の接続例を示します。

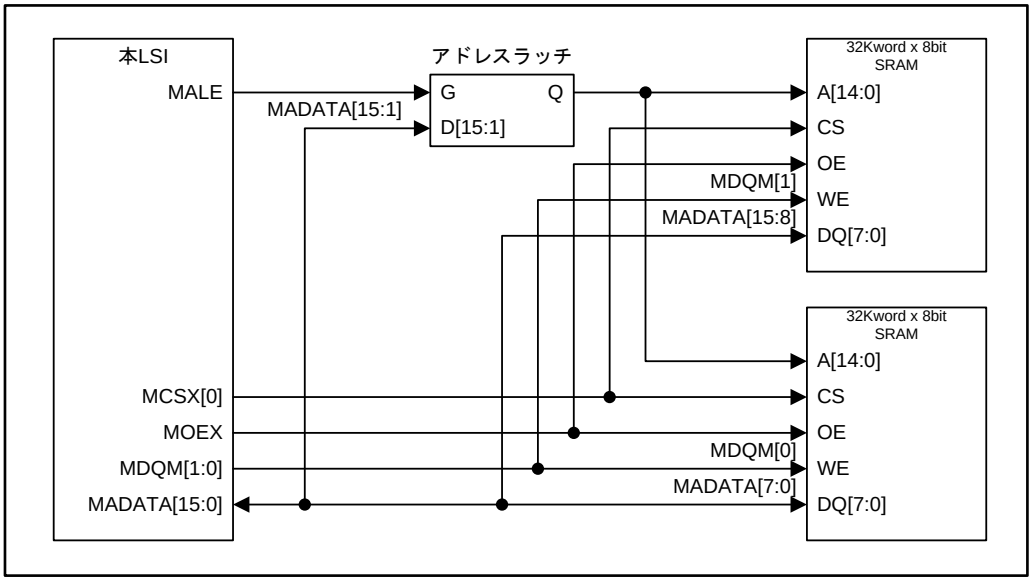
Figure 4-5 **32Kword × 16 ビット SRAM マルチプレクス接続例**



32Kword × 8 ビット SRAM マルチプレクスモード

Figure 4-6 に 32Kword × 8 ビット SRAM を 2 個使用し 16 ビット幅(マルチプレクスモード)でアクセスする場合の接続例を示します。

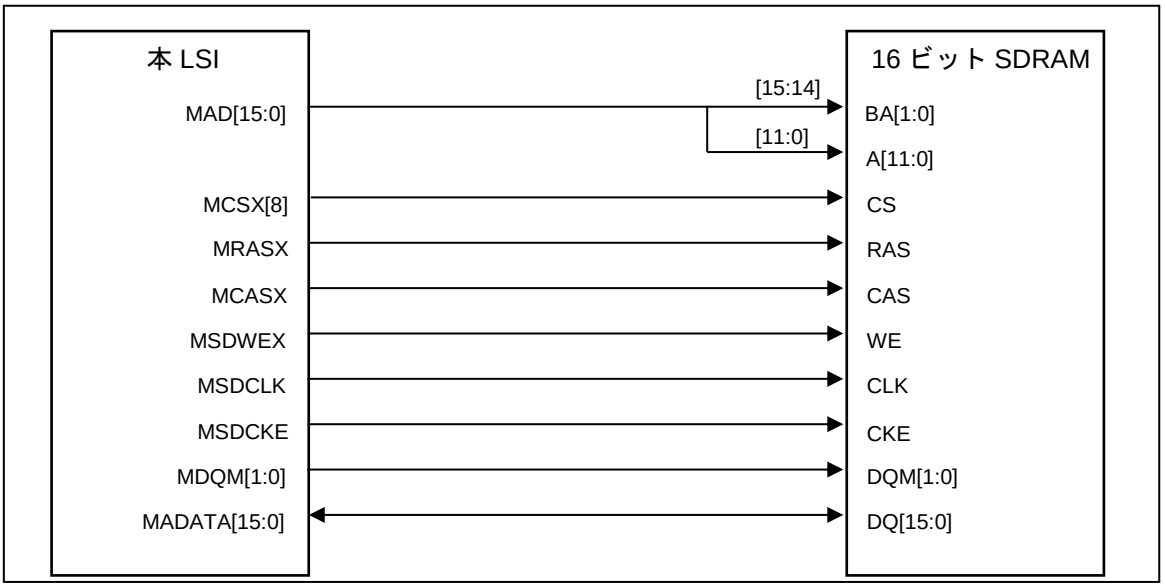
Figure 4-6 32Kword × 8 ビット SRAM × 2 個 マルチプレクスモード接続例



16 ビット SDRAM

Figure 4-7 に 16 ビット SDRAM 接続例を示します。

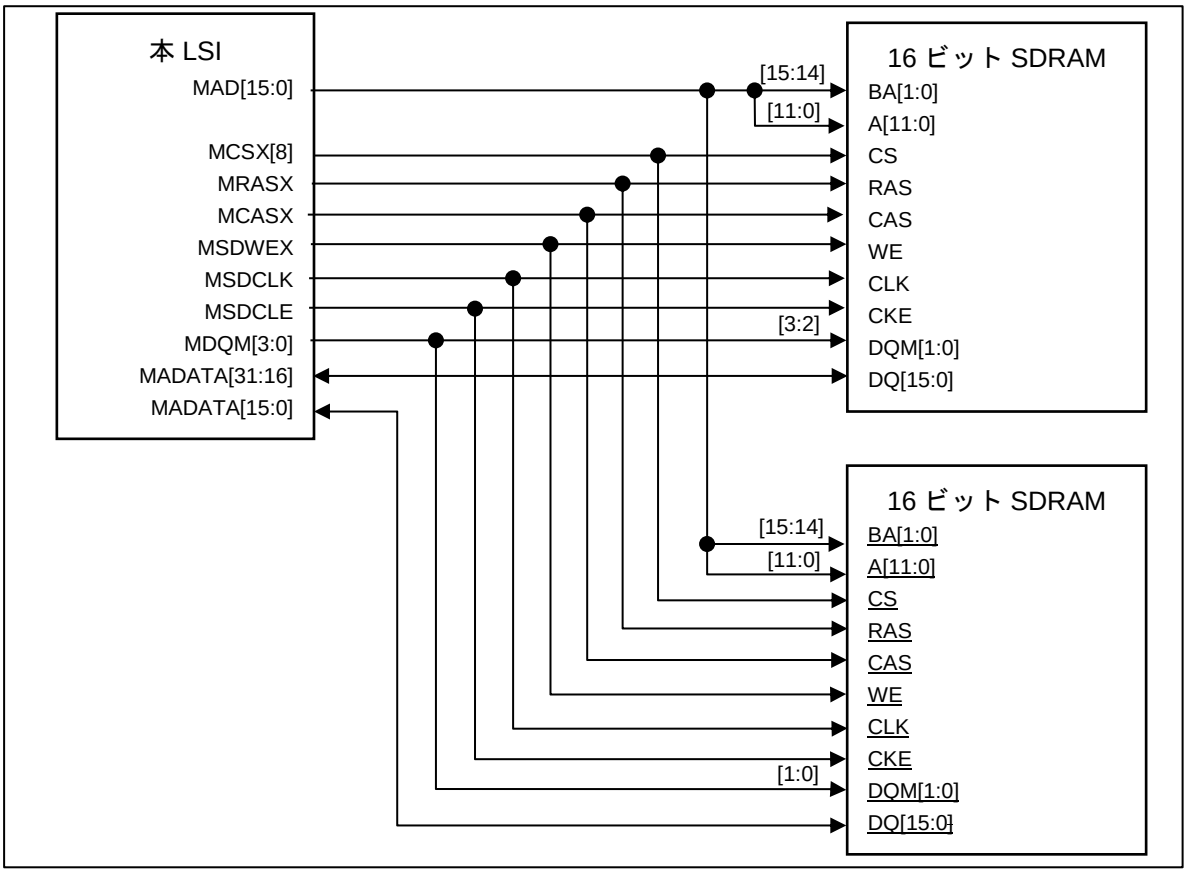
Figure 4-7　16 ビット SDRAM 接続例



16 ビット SDRAM × 2

Figure 4-8 に 16 ビット SDRAM × 2 接続例を示します。

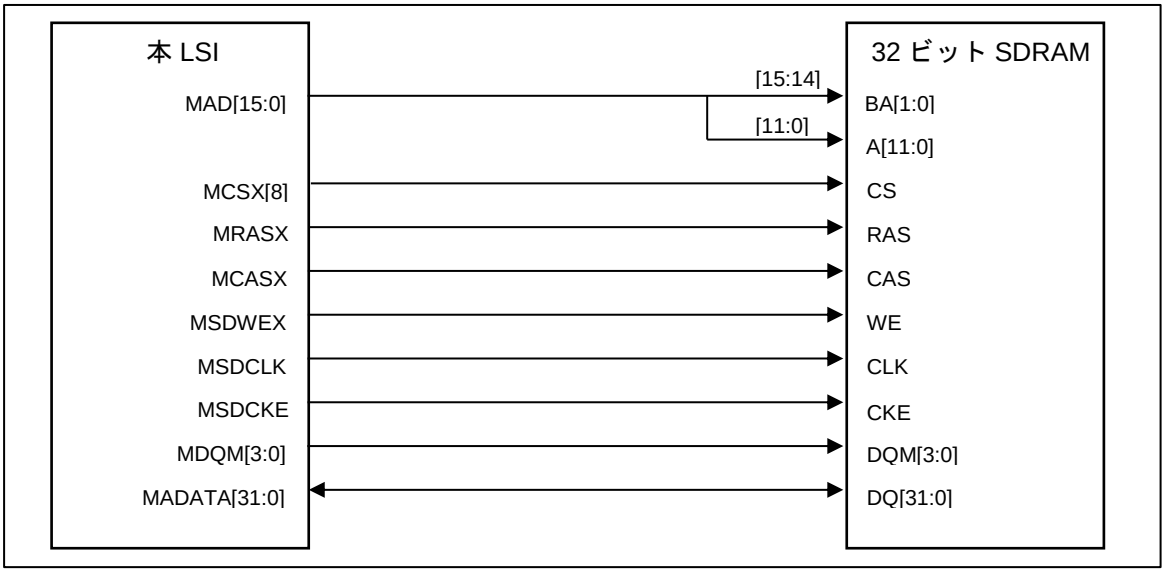
Figure 4-8 16 ビット SDRAM×2 接続例



32 ビット SDRAM

Figure 4-9 に 32 ビット SDRAM 接続例を示します。

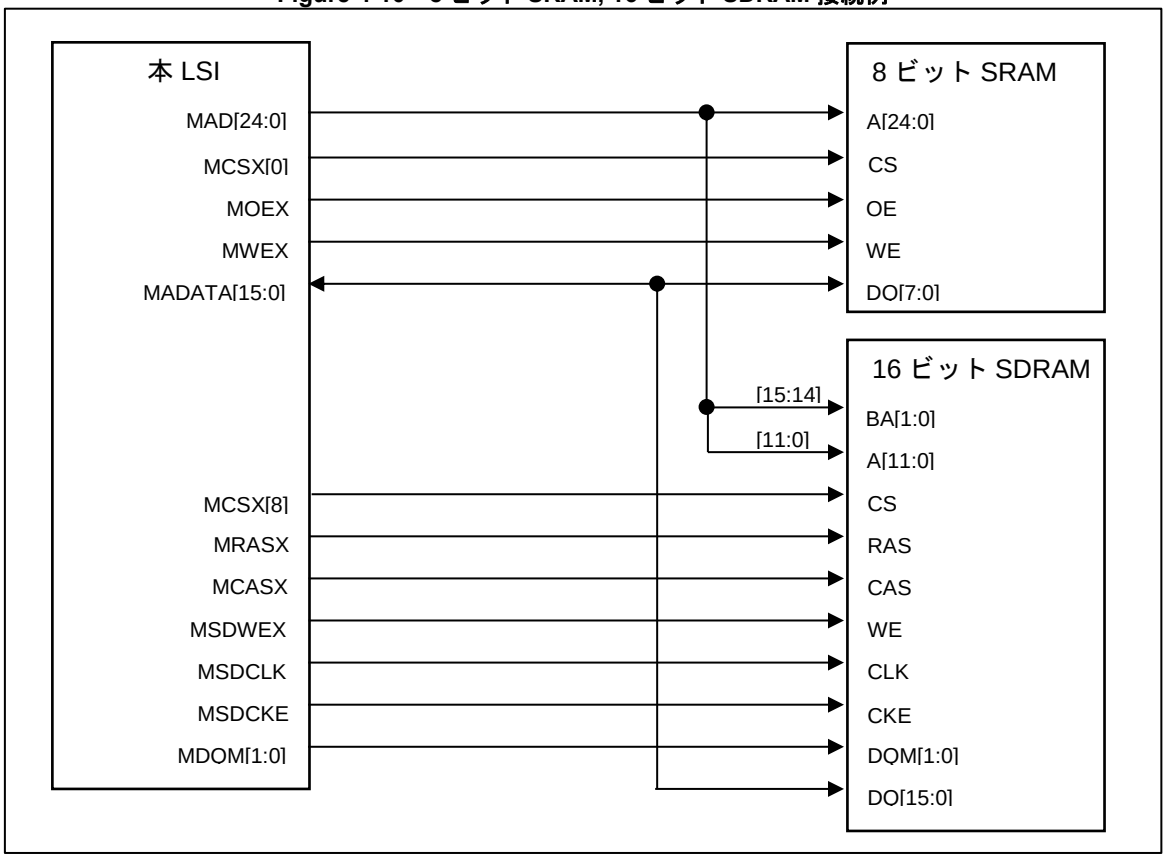
Figure 4-9 32 ビット SDRAM 接続例



8 ビット SRAM, 16 ビット SDRAM

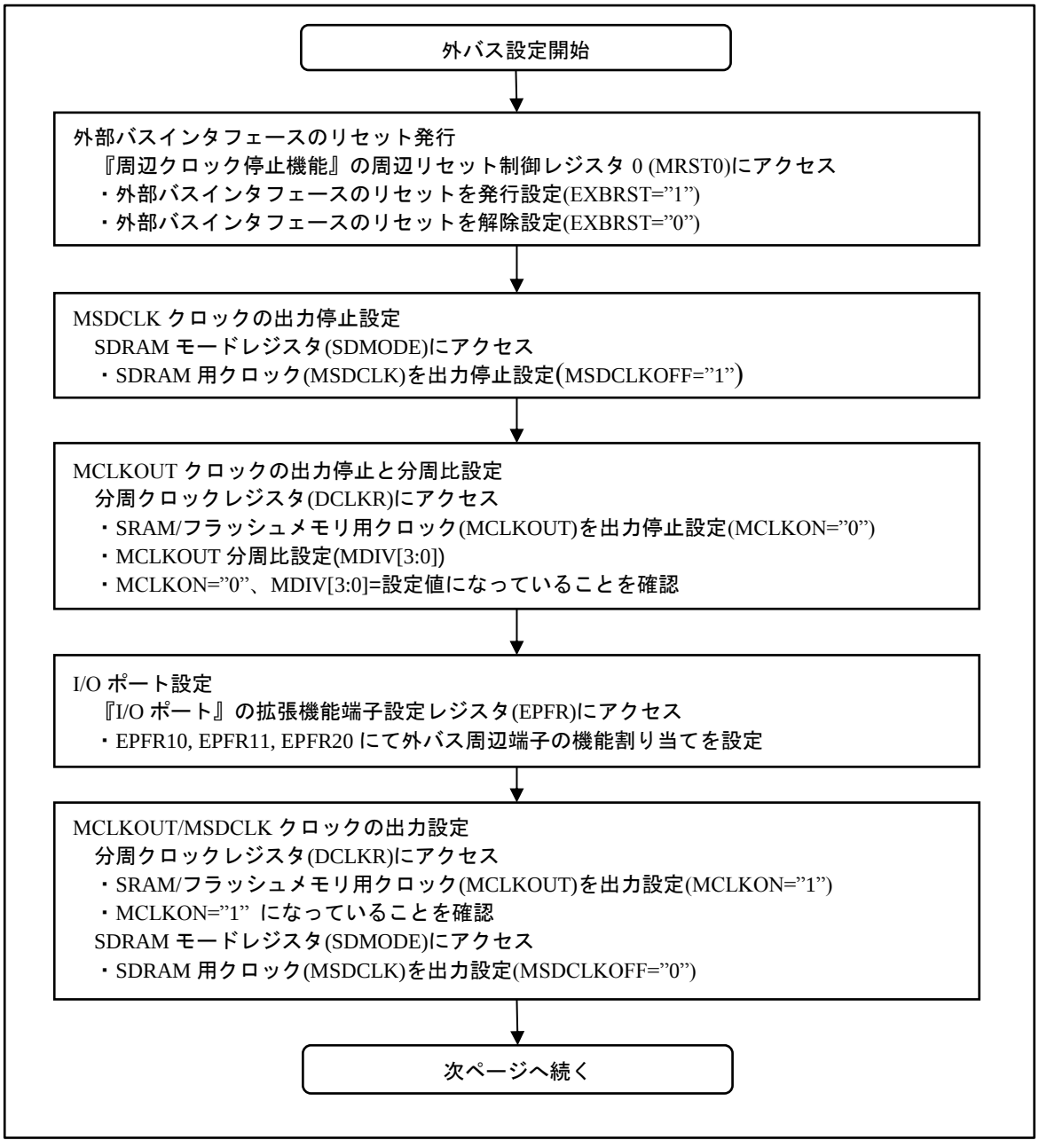
Figure 4-10 に 8 ビット SRAM, 16 ビット SDRAM の接続例を示します。

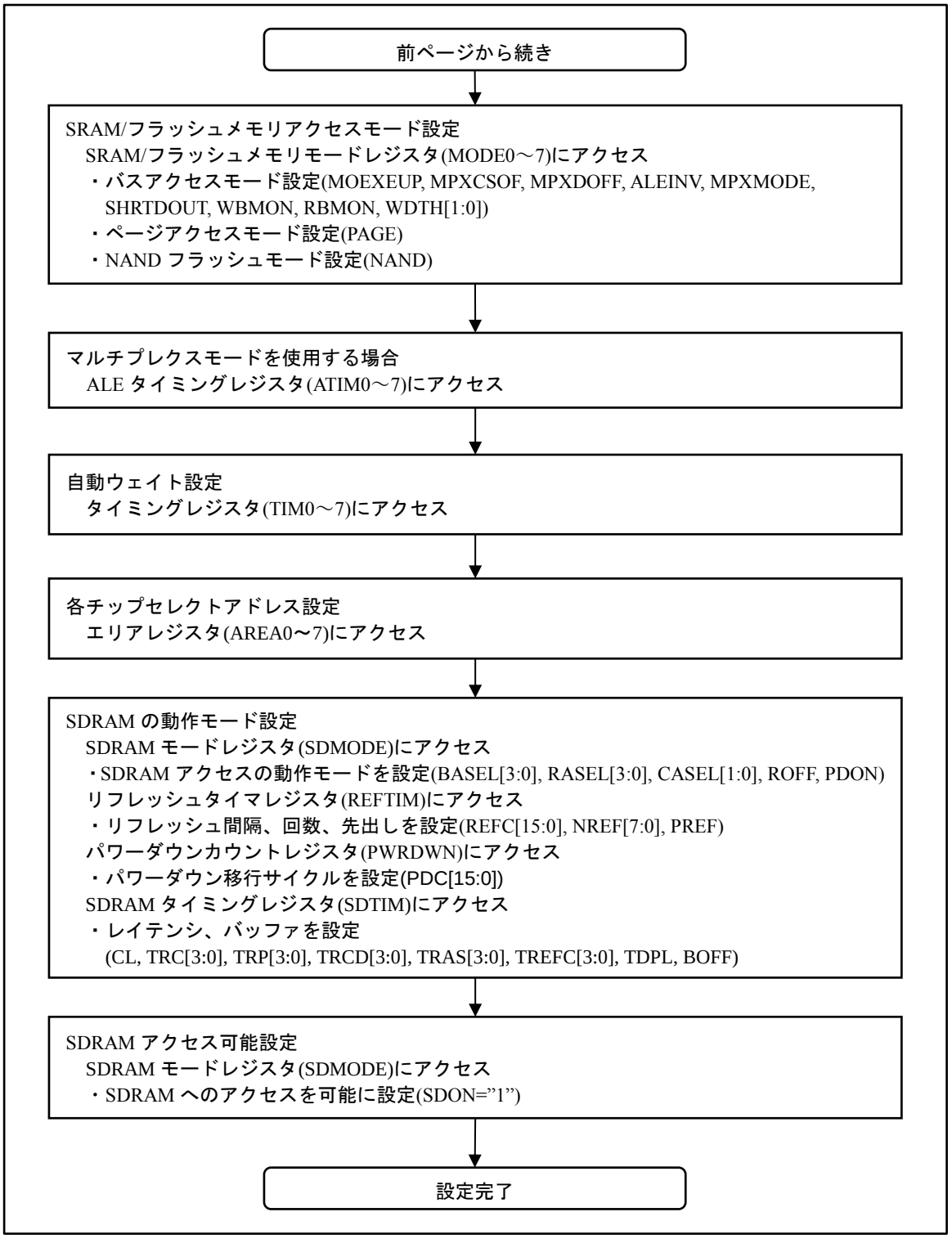
Figure 4-10　8 ビット SRAM, 16 ビット SDRAM 接続例



5. 設定手順例

外部バスインタフェースの設定手順例について説明します。

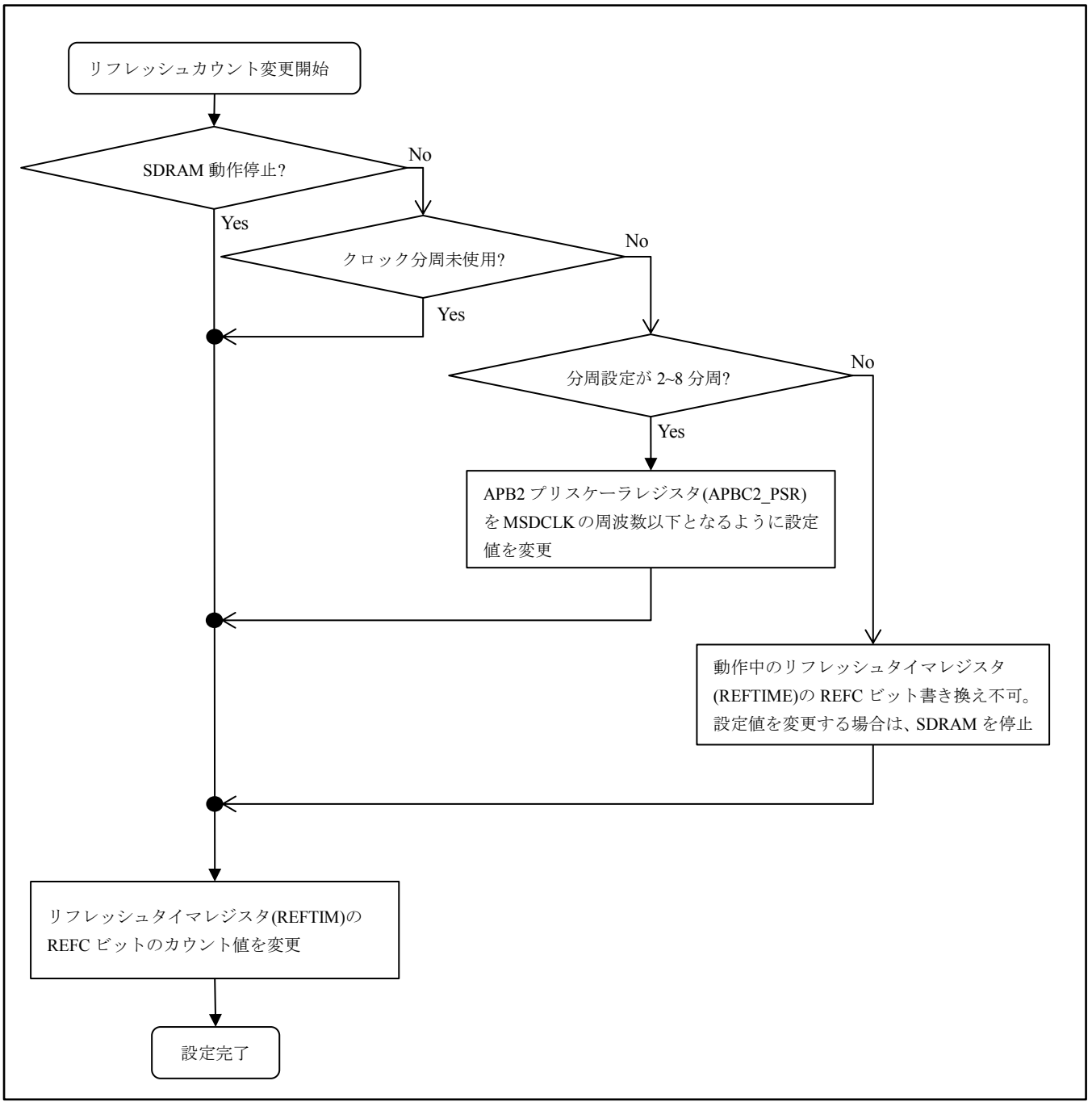




<注意事項>

- *分周クロック設定は、必ず分周クロック停止中に行ってください。*
- *モードレジスタの設定には、同時に設定禁止の組合せがあります。*

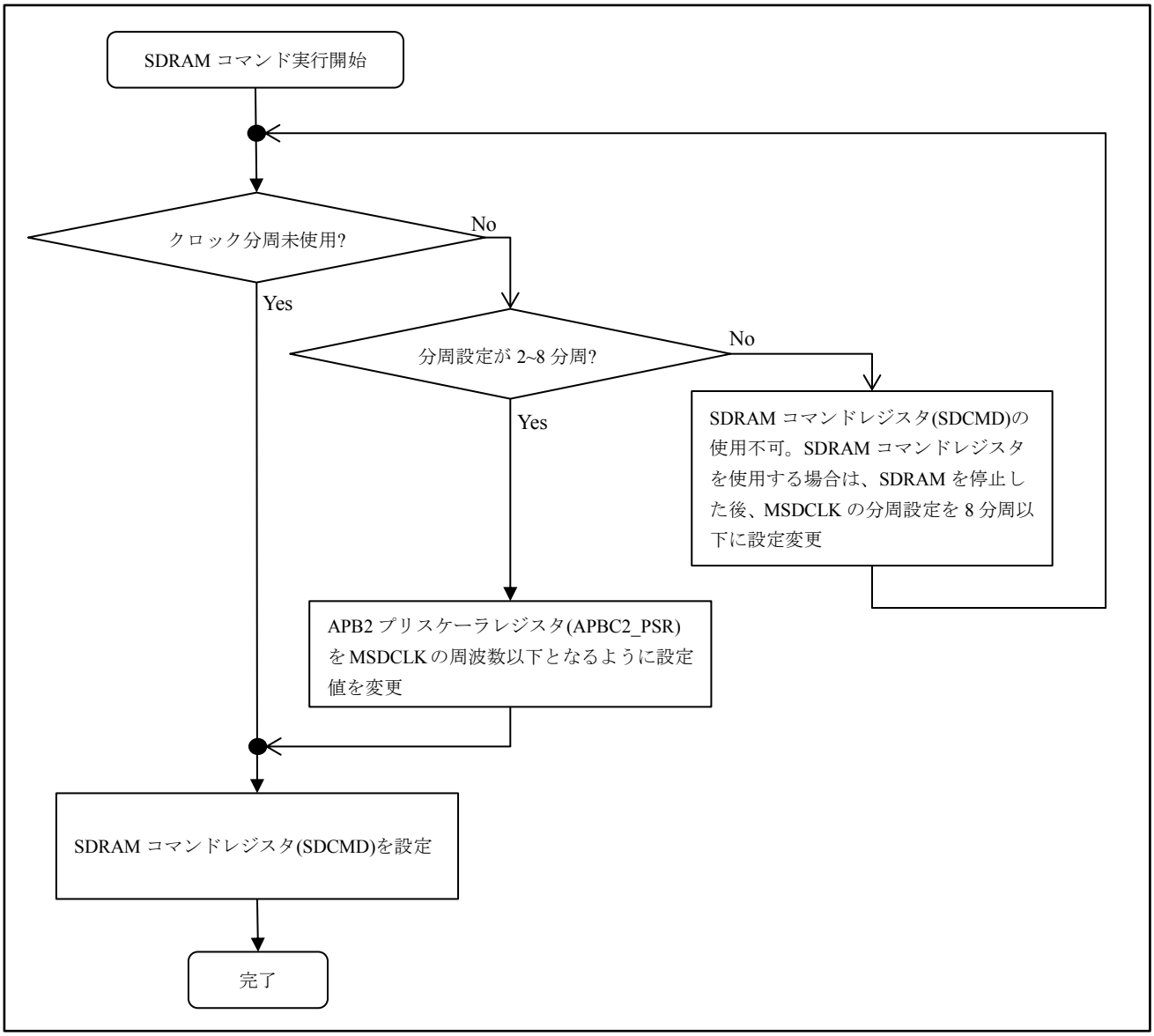
■ SDRAM リフレッシュカウント設定変更例



<注意事項>

- *APB2 プリスケーラレジスタについては、別章『クロック』の『5.6. APB2 プリスケーラレジスタ』を参照してください。*
- *TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品で上記の設定は必要ありません。*

■ SDRAM コマンドレジスタ使用手順例



<注意事項>

- *APB2 プリスケーラレジスタについては、別章『クロック』の『5.6. APB2 プリスケーラレジスタ』を参照してください。*
- *TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品で上記の設定は必要ありません。*

6. レジスタ

外部バスインタフェースで使用するレジスタの構成と機能について説明します。

外部バスインタフェースで使用するレジスタについて説明します。すべてのレジスタは32 ビット幅です。各レジスタは 32 ビット幅(ワード)で APB インタフェースよりアクセス可能です。

ただし、外部バスインタフェース制御は AHB 側で行うため APB インタフェースからレジスタ書き込み直後は AHB 側の制御レジスタに設定値が反映されません。制御用レジスタが設定されたことを確認するために、レジスタ書き込み後読み出しを行い、設定値が反映されたことを確認してください。

予約領域には"0"を書き込んでください。

レジスタは外部アクセス中に書き換えることも可能です。実際に設定値が反映されるのは現在のアクセスが終了した後です。それまではレジスタを読み出しても以前の設定値が読み出されます。

Table 6-1 にレジスタ一覧を示します。

Table 6-1 レジスター覧

レジスタ略称	レジスタ名	参照先
MODE0～MODE7	モードレジスタ 0～7	6.1
TIM0～TIM7	タイミングレジスタ 0～7	6.2
AREA0～AREA7	エリアレジスタ 0～7	6.3
ATIM0～ATIM7	ALE タイミングレジスタ 0～7	6.4
SDMODE	SDRAM モードレジスタ	6.5
REFTIM	リフレッシュタイムレジスタ	6.6
PWRDWN	パワーダウンカウントレジスタ	6.7
SDTIM	SDRAM タイミングレジスタ	6.8
SDCMD	SDRAM コマンドレジスタ	6.9
MEMCERR	メモリコントローラエラーレジスタ	6.10
DCLKR	分周クロックレジスタ	6.11
EST	エラーステータスレジスタ	6.12
WEAD	ライトエラーアドレスレジスタ	6.13
ESCLR	エラーステータスクリアレジスタ	6.14
AMODE	アクセスモードレジスタ	6.15

<注意事項>

- *各レジスタは 16 ビット幅(ハーフワード)や8 ビット幅(バイト)でのライトアクセスはできません。*
- *各レジスタは書き込み値が読み出し可能になるまで時間がかかるため、ビットバンドエイリアス領域を利用した RMW(Read Modify Write)ができません。*

6.1 モードレジスタ 0～7 (MODE0～MODE7)

MODE0～MODE7 レジスタは SRAM/フラッシュメモリアクセスの動作モードの設定をします。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約		MOEXEUP	MPXCSOF	MPXDOFF	予約	ALEINV	MPXMODE
属性	-		R/W	R/W	R/W	-	R/W	R/W
初期値	-		0	0	0	-	0	0

bit	7	6	5	4	3	2	1	0
Field	SHRTDOUT	RDY	PAGE	NAND	WEOFF	RBMON	WDTH	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	00*	

* : MODE4 レジスタのみ、初期値は"01"になります。

[bit31:14] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit13] MOEXEUP : MOEX EUP

MOEX 幅の設定方法を選択します。

bit	説明
0	MOEX の幅を RACC-RADC で設定します。(初期値)
1	MOEX の幅を FRADC で設定します。*

* 本機能はページリードとの併用は禁止です。

<注意事項>

- ***具体的な動作については、「参考情報」を参照してください。***

[bit12] MPXCSOF : MPX CS OFf

マルチプレクスモードにおける、アクセス開始から、アドレス出力終了までの間(ALC サイクル期間)の CS アサートを選択します。

Bit	説明
0	ALC サイクル期間に MCSX をアサートします。(初期値)
1	ALC サイクル期間に MCSX をアサートしません。

<注意事項>

- ***具体的な動作については、「参考情報」を参照してください。***

[bit11] MPXDOFF : MPX Address Data OFF

マルチプレクスモードにおいて、データ線にアドレスの出力有無を選択します。
(アドレスは MAD からの出力を使用しますが、ALE 信号を使用したい場合に設定します。)

bit	説明
0	データ線にアドレスを出力します。(初期値)
1	データ線にアドレスは出力しません(ALC 期間は Hi-Z です)。

<注意事項>

- *具体的な動作については、「参考情報」を参照してください。*

[bit10] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit9] ALEINV : ALE Inverter

ALE 信号の極性を設定します。

bit	説明
0	ALE 信号は正極性に設定されます。(初期値)
1	ALE 信号は負極性に設定されます。

<注意事項>

- *複数デバイスを接続し、ALE 信号を使用する場合、ALE 信号は同一極性を推奨します。*

[bit8] MPXMODE : MPX MODE

動作バスモードを選択します。

bit	説明
0	セパレートモードを選択します。(初期値)
1	マルチプレクスモードを選択します。

[bit7] SHRTDOUT : Short Data Out

ライトデータ出力をアイドルサイクルのどこまで伸ばすかを選択します。

bit	説明
0	ライトデータ出力を最終アイドルサイクルまで伸ばします。(初期値)
1	ライトデータ出力を先頭アイドルサイクルで止めます。

<注意事項>

- *具体的な動作については、「参考情報」を参照してください。*

[bit6] RDY : RDY Mode On

外部 RDY 機能の制御を行います。

bit	説明
0	外部 RDY モード OFF (初期値)
1	外部 RDY モード ON

[bit5] PAGE (PAGE access mode) : NOR フラッシュメモリページアクセスモード

本ビットは NOR フラッシュメモリページアクセスのモード制御を行います。

NOR フラッシュメモリページアクセスモードでは、第 1 リードアクセスサイクル(FRADC)の設定により、第 1 アドレスサイクルが発生します。この後、リードアクセスサイクル(RACC)の設定により、16 バイト境界に達するまでアクセスが継続されます。

NOR フラッシュメモリページアクセスモード選択時は、RBMON ビットを"0"に、リードアクセスサイクル(RADC)を"0"に設定してください。

bit	説明
0	NOR フラッシュメモリページアクセスモード OFF (初期値)
1	NOR フラッシュメモリページアクセスモード ON

[bit4] NAND : NAND フラッシュメモリモード

本ビットは NAND フラッシュメモリに接続するためのモード制御を行います。

NAND フラッシュメモリにアクセス可能にするためには、本ビットを"1"に設定します。

NAND フラッシュメモリモードでは、該当する MCSX は"L"に固定され、この後 NAND フラッシュメモリ専用ピンがアクセス時に使用されます。NAND フラッシュメモリ未使用時に本ビットを"0"に設定すると、MCSX は"H"に固定され、NAND フラッシュメモリは低消費電力状態を保ちます。

bit	説明
0	NAND フラッシュメモリモード OFF (初期値)
1	NAND フラッシュメモリモード ON

[bit3] WEOFF (WEX OFF) : Write Enable OFF

書込み許可信号(MWEX)動作のディセーブル設定を行います。

バイトマスク信号(MDQM)をデバイス書込みイネーブル信号として使用時、MWEX の不必要な動作を禁止することで、消費電力が減少します。本ビットがディセーブル時は、MWEX は"H"に固定されます。

bit	説明
0	イネーブル (初期値)
1	ディセーブル

[bit2] RBMON : Read Byte Mask ON

リードアクセス時のバイトマスク信号(MDQM)のイネーブル設定を行います。

バイトマスク信号が許可になっているデバイスからの不必要なデータ出力を制御し、消費電力を削減します。

bit	説明
0	ディセーブル (初期値)
1	イネーブル

[bit1:0] WDTH : Data Width

接続されるデバイスのデータビット幅を指定します。

bit1	bit0	説明	
		TYPE1-M4 ,TYPE4-M4, TYPE5-M4, TYPE6-M4 製品	TYPE3-M4 製品
0	0	8 ビット(初期値)	8 ビット(初期値)
0	1	16 ビット	16 ビット
1	0	設定禁止	32 ビット
1	1	設定禁止	設定禁止

＜注意事項＞

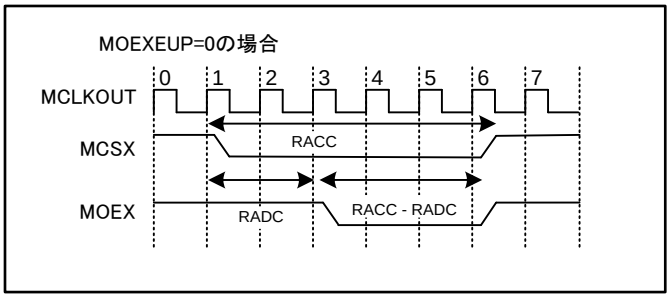
- *MODE4 レジスタのみ、本ビットの初期値は 01 になります。*
- *WDTH ビットに設定禁止値を書き込んだ場合、外部バスインタフェースの動作の保証はできません。*
- *NAND フラッシュモードは製品によってはNAND フラッシュ制御端子が外部出力されておらず、使用できないことがあります。詳細はご使用する製品の『データシート』を参照してください。*
- *予約ビットには必ず"0"を書き込んでください。予約ビットの読出し値は不定です。*

参考情報

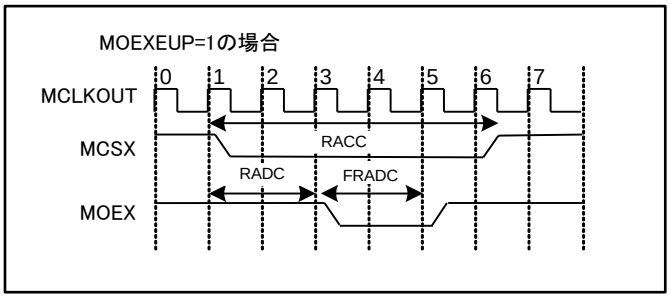
本レジスタのビットを設定することにより、影響･動作例を以下に示します。

■ MOEXEUP ビット : MOEX 幅の設定について

MOEXEUP ビットの設定により、MOEX 幅の設定方法が異なります。



MOEX の幅は(RACC-RADC)で決まります。



MOEX の幅は FRADC で決まります。

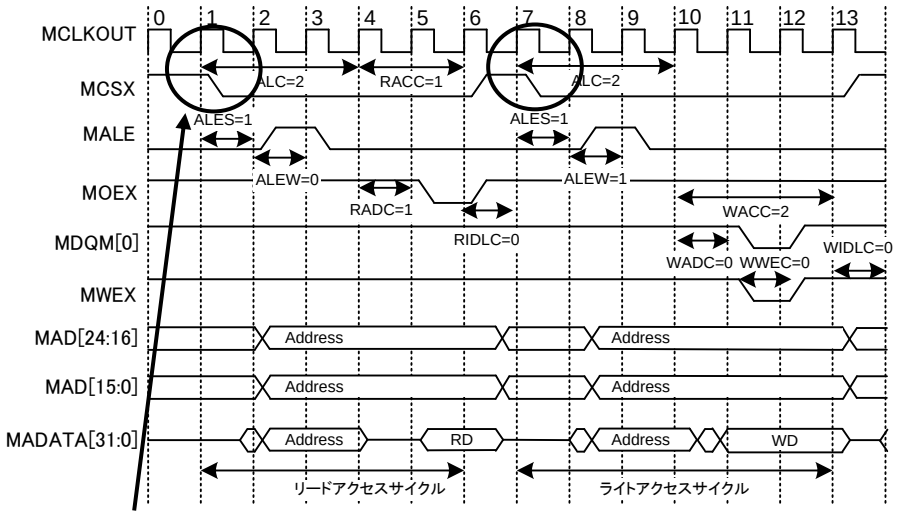
以下にページリードの設定と MOEXEUP の設定による、MOEX 幅の設定を示します。

	MOEXEUP=0	MOEXEUP=1
ページリード OFF	MOEX 幅 => RACC-RADC (注意事項) RACC > RADC になるように設定してください。	MOEX 幅 => FRADC (注意事項) RACC≧RADC + FRADC になるように設定してください。
ページリード ON	MOEX 幅 => MCSX と同時アサート (注意事項) RADC=0 に設定してください。	設定禁止

■ MPXCSOF ビット : CS アサートタイミングの設定について

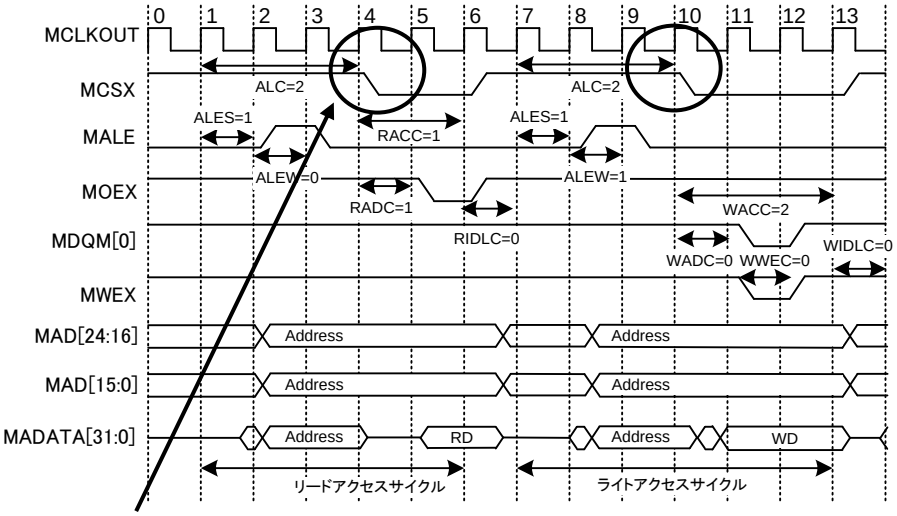
マルチプレクスモードにて、アクセス開始からアドレス出力完了までの間(ALC 期間)の MCSX のアサートを選択します。

MPXCSOF=0の場合



MCSX は ALC 期間の先頭でアサートされます。

MPXCSOF=1の場合



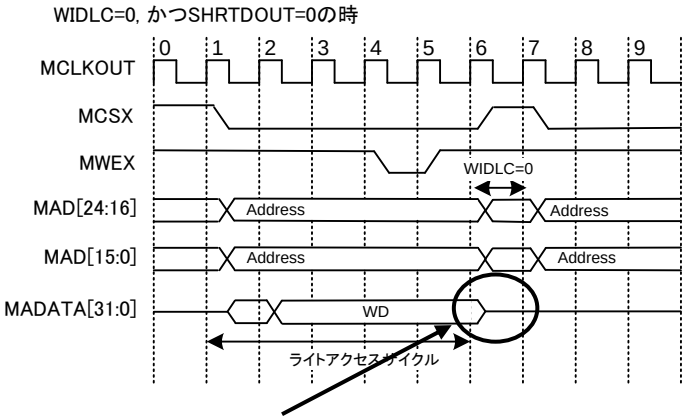
MCSX は ALC 期間終了後にアサートされます。

MPXCSOF=1 とすることで、MCSX のアサートが「アドレスラッチ」を示します。
すなわち、MCSX の変化でアドレス変化を検出したい場合に有効です。

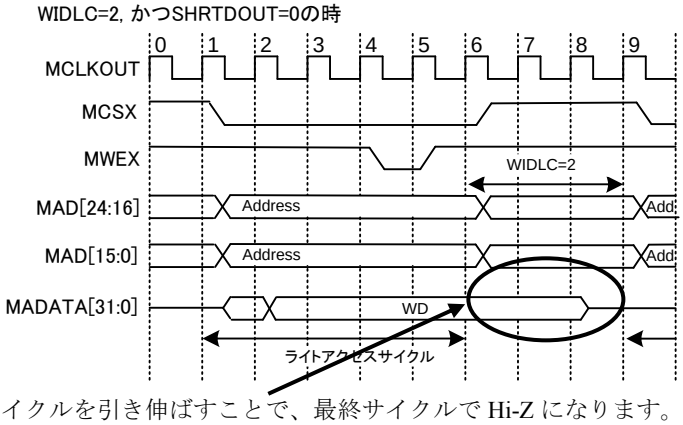
■ SHRTDOUT ビット ： アイドルサイクルのライトデータ保持時間について

WIDLC の設定により、アイドルサイクルは引き伸ばされます。

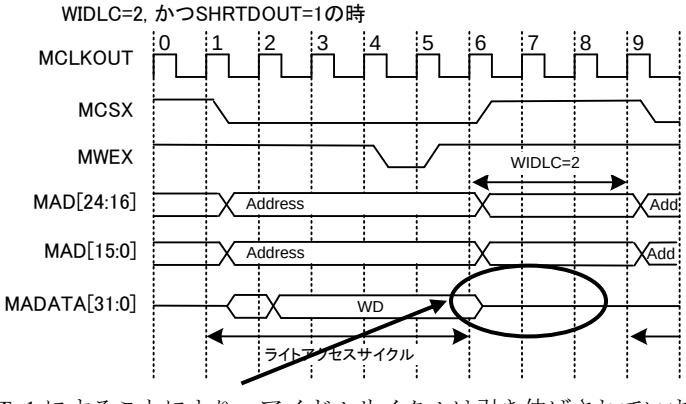
その際、設定期間と同じように、ライトデータは引き伸ばされ、最終サイクルで Hi-Z になります。



アイドルサイクルは 1 サイクル。アイドルサイクルでデータ出力を止め、Hi-Z になります。



アイドルサイクルを引き伸ばすことで、最終サイクルで Hi-Z になります。



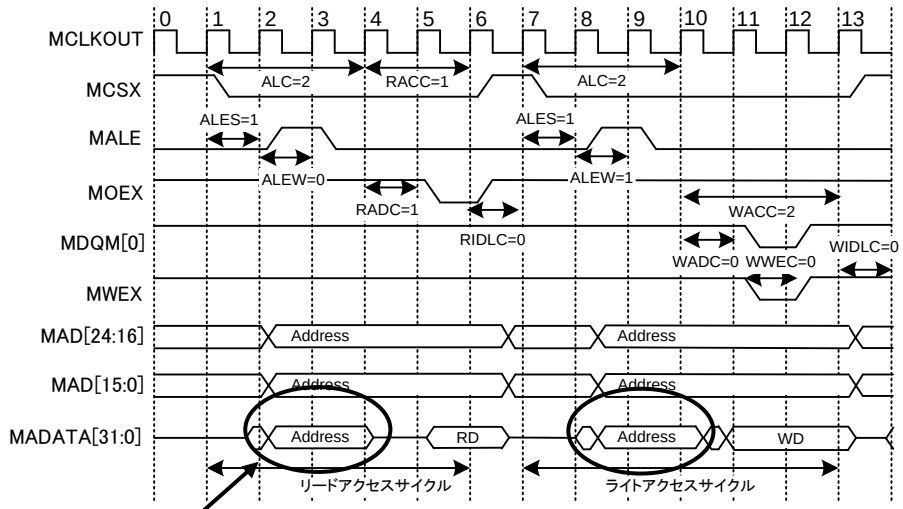
SHRTDOUT=1 にすることにより、アイドルサイクルは引き伸ばされていますが、

データはアイドルサイクルの先頭で Hi-Z になります。

■ MPXDOFF ビット ： データ線へのアドレスの出力有無設定について

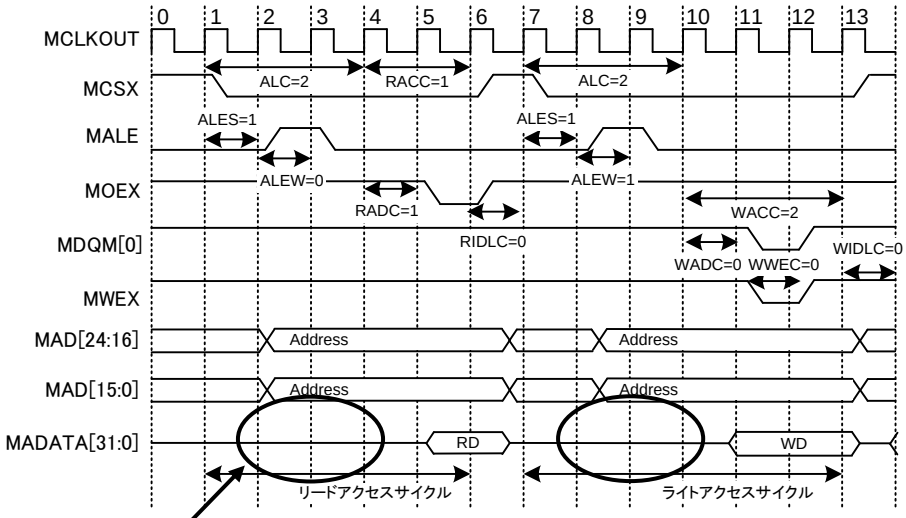
マルチプレクスモードにおいて、データ線へのアドレス出力有無を選択します。

MPXDOFF=0の場合



ALC 期間に MADATA 線にアドレスを出力します。

MPXDOFF=1の場合



ALC 期間に MADATA 線にアドレスを出力しません。

マルチプレクスモード時に、ALE 信号のみを使用する場合または ALE 信号は使いたいが、アドレス端子は MAD を使用する場合、MPXDOFF=1 として使用できます。

6.2 タイミングレジスタ 0～7 (TIM0～TIM7)

TIM0～TIM7 レジスタは SRAM/フラッシュメモリアクセス時の自動ウェイト時間の設定をします。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	WIDLC				WWEC				WADC				WACC			
属性	R/W				R/W				R/W				R/W			
初期値	0000				0101				0101				1111			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	RIDLC				FRADC				RADC				RACC			
属性	R/W				R/W				R/W				R/W			
初期値	1111				0000				0000				1111			

[bit31:28] WIDLC : Write Idle Cycle

これらのビットはライトアクセス後のアイドルサイクル数を設定します。
(WIDLC+1)サイクルの間、ライトアイドルサイクルを取ります。

bit31:28	説明
0000	1 サイクル (初期値)
0001	2 サイクル
⋮	⋮
1000	9 サイクル
⋮	⋮
1110	15 サイクル
1111	16 サイクル

[bit27:24] WWEC : Write Enable Cycle

これらのビットはライトイネーブルのアサートサイクル数を設定します。
(WWEC+1)サイクルの間、ライトイネーブルをアサートします。
本ビットの設定は MDQM(バイトマスク信号)のアサートサイクル数にも影響します。

bit27:24	説明
0000	1 サイクル
0001	2 サイクル
⋮	⋮
0101	6 サイクル (初期値)
⋮	⋮
1110	15 サイクル
1111	設定禁止

[bit23:20] WADC : Write Address Setup cycle

これらのビットはライトアドレスのセットアップサイクル数を設定します。
(WADC+1)サイクルの間、ライトアドレスセットアップを取ります。

本ビットで設定したサイクルの間アドレスが出力されますが、ライトイネーブル信号は設定したサイクル間まではアサートされません。

bit23:20	説明
0000	1 サイクル
0001	2 サイクル
⋮	⋮
0101	6 サイクル (初期値)
⋮	⋮
1110	15 サイクル
1111	設定禁止

[bit19:16] WACC : Write Access Cycle

これらのビットはライトアクセスに必要なサイクル数を設定します。
(WACC+1)サイクルの間、ライトアクセスサイクルを取ります。

本ビットで設定したサイクルの期間、アドレスは変化しません。

本ビットで設定したサイクル数は、アドレスセットアップサイクル(WADC)とライトイネーブルサイクル(WWEC)の和以上に設定してください。

bit19:16	説明
0000	設定禁止
0001	
0010	3 サイクル
⋮	⋮
1111	16 サイクル (初期値)

[bit15:12] RIDLC : Read Idle Cycle

これらのビットはリードアクセス後のアイドルサイクル数を設定します。
(RIDLC+1)サイクルの間、リードアイドルサイクルを取ります。

本ビットは、リードアクセス直後のライトアクセスによるデータ衝突を避けるために用います。

bit15:12	説明
0000	1 サイクル
0001	2 サイクル
⋮	⋮
1000	9 サイクル
⋮	⋮
1110	15 サイクル
1111	16 サイクル(初期値)

[bit11:8] FRADC : First Read Address Cycle

本ビットは、MODE:PAGE(ページリードアクセス設定)および MOEXEUP(MOEX 幅設定方法選択)の設定により、機能が異なります。

- MODE:PAGE=0(ページリードアクセス OFF), MOEXEUP=0 の場合

  本ビットは、ページリードアクセス, MOEX 幅の設定に影響しません。

- MODE:PAGE=0(ページリードアクセス OFF), MOEXEUP=1 の場合

  本ビットは、MOEX 幅を設定します。 このとき、RACC≧RADC+FRADC の設定が必要です。

bit11:8	説明
0000	1 サイクル (初期値)
0001	2 サイクル
⋮	⋮
1000	9 サイクル
⋮	⋮
1110	15 サイクル
1111	16 サイクル

- MODE:PAGE=1(ページリードアクセス ON), MOEXEUP=0 の場合

  本ビットは、フラッシュメモリのページリードアクセス中のアドレスの初期の待ち時間を設定します。 本ビットに"0"以外の値を設定するときは、RADC(リードアクセスセットアップサイクル)に"0"を設定してください。

bit11:8	説明
0000	0 サイクル (初期値)
0001	1 サイクル
⋮	⋮
1000	8 サイクル
⋮	⋮
1110	14 サイクル
1111	15 サイクル

- MODE:PAGE=1(ページリードアクセス ON), MOEXEUP=1 の場合

  本設定は禁止です

[bit7:4] RADC : Read Address Setup cycle

これらのビットはリードアドレスのセットアップサイクル数を設定します。
(RADC)サイクルの間、リードアドレスセットアップサイクルを取ります。

リードアドレスセットアップサイクル内で、MCSX とアドレスがアサートされますが、MOEX はアサートされません。本ビットに"0"が設定された場合は、MOEX と MCSX は常時アサートされます。

設定された値はリードアクセスサイクル数以内でなければなりません(RADC < RACC)。

NOR フラッシュメモリページリードアクセスモード使用時は、本ビットに"0b0000"を設定してください。

アクセスサイズがターゲット幅より大きい場合や例として NAND フラッシュメモリなどのリードイネーブル(MOEX または MNREX)の"H" , "L"切換えが必要なデバイスの場合、本ビットに"0b0001"以上の値を設定してください。

bit7:4	説明
0000	0 サイクル (初期値)
0001	1 サイクル
⋮	⋮
1000	8 サイクル
⋮	⋮
1110	14 サイクル
1111	15 サイクル

[bit3:0] RACC : Read Access Cycle

これらのビットはリードアクセスに必要なサイクル数を設定します。
(RACC+1)サイクルの間、リードアクセスサイクルを取ります。

これらのビットで指定したサイクル数の間、アドレスは変化せず、最終サイクルにてデータが取り込まれます。

bit3:0	説明
0000	1 サイクル
0001	2 サイクル
⋮	⋮
1000	9 サイクル
⋮	⋮
1110	15 サイクル
1111	16 サイクル(初期値)

<注意事項>

- *WWEC, WADC および WACC ビットに設定禁止値を書き込んだ場合、外部バスインタフェースの動作の保証はできません。*
- *NAND フラッシュメモリモード時、MNWEX と MNREX のタイミングは、MWEX と MOEX と同様タイミングレジスタによって設定されます。*
- *RADC に"0"が設定された場合は、MOEX と MCSX は同時にアサートされます。*

6.3 エリアレジスタ 0～7 (AREA0～AREA7)

AREA0～AREA7 レジスタは CS0～CS7 ごとのアドレス領域の設定をします。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約									MASK						
属性	-									R/W						
初期値	-									0001111 (16MB width)						

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								ADDR							
属性	-								R/W							
初期値	-								(from MCSX[0]) 00000000, 00010000, 00100000, 00110000, 01000000, 01010000, 01100000, 01110000 *1							

[bit31:23] 予約 : 予約ビット

[bit22:16] MASK : address mask

本ビットは、ADDR で設定される内部アドレス([27:20])の[26:20]をマスクする値を設定します。

外部バスインタフェースは指定されたマスク値に従って"1"が設定されていれば内部バスと ADDR をそれぞれマスクし、それぞれのマスクした結果を比較します。それぞれが一致した場合、外部バスインタフェースは MCSX 信号をアクセスします。

マスク時"1"の指定されたビットは、マスク処理時に"0"にクリアされます。本ビットは ADDR に設定されていたとしても無効化されます。

Table 6-2 の例はマスク設定とアドレス領域サイズの関係を示したものです。

Table 6-2 MASK 設定値と CS ごとのアドレス領域

MASK 設定値	CS ごとのアドレス領域
111_1111	128MB
011_1111	64MB
001_1111	32MB
000_1111	16MB
000_0111	8MB
000_0011	4MB
000_0001	2MB
000_0000	1MB

[bit15:8] 予約 : 予約ビット

[bit7:0] ADDR : Address

本ビットは、該当する MCSX 領域を設定するためのアドレス指定を行います。

アドレスは SRAM/フラッシュメモリインタフェースに割り当てられた 256MB の固定領域内にあります。

bit7:0 で指定したアドレスが内部アドレス[27:20]に相当します。

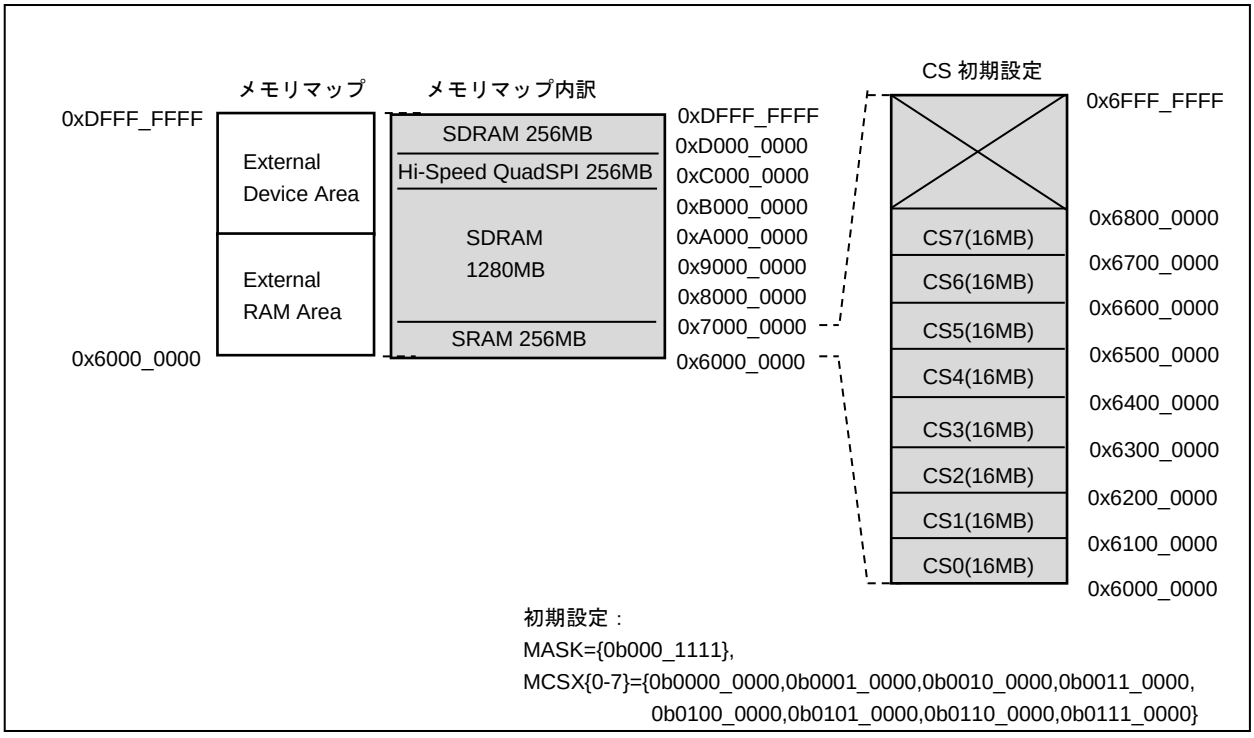
<注意事項>

アドレス空間について

- *外部バスインタフェースは 256MB の SRAM/フラッシュメモリアドレス空間を持っています。*
- *各チップセレクトのアドレス領域は[27:20]にて MCSX 1 本に対し、最大 128MB～最小 1MB まで自由に設定できます。*
- *各チップセレクトのアドレス領域が重なってはいけません。*
- *外部へのアドレス出力は 25 ビットのため、外部に出力するアドレスの最大サイズは 32MB になります。*

メモリマップ上のアドレス空間および各チップセレクトのアドレス空間の初期状態を Figure 6-1 に示します。

Figure 6-1 外部バスインタフェース アドレス空間と初期設定



また、未設定の MCSX がアクセスされた場合、同様に外部バスインタフェースの動作は保証できません。

設定例

ADDR = 0b0001_0000 (MCSX の先頭アドレスの[27:20]。この設定では 0x6100_0000)
MASK = 0b000_0011 (MCSX の MASK ビット[26:20]。この設定ではアドレス領域 : 4MB)

マスク設定値にて領域サイズを選択します。
例においては、設定範囲 0x6100_0000 ～ 0x613F_FFFF (4MB)が選択されます。

ADDR&(!MASK) = 0b0001_0000

- デバイスが選択される場合
  内部バスアドレス (外部 I/F のアドレス) AD = 0x6101_1000 の場合
  0x6101_1000 -> 0b0110_0001_0000_0001_0001_0000_0000_0000

  AD[27:20] => 0b0001_0000

  Masking 比較
  ADDR & (!MASK) = 0b0001_0000
  AD [27:20] & (!MASK) = 0b0001_0000 ….. 一致。デバイスが選択されます。

- デバイスが選択されない場合
  内部バスアドレス (外部 I/F のアドレス) AD = 0x60C0_0000 の場合
  0x60C0_0000 -> 0b0110_0000_1100_0000_0000_0000_0000_0000

  AD[27:20] => 0b0000_1100

  Masking 比較
  ADDR & (!MASK) = 0b0001_0000
  AD [27:20] & (!MASK) = 0b0000_1100 …..不一致。デバイスは選択されません。

6.4 ALE タイミングレジスタ 0～7 (ATIM0～ATIM7)

ATIM0～ATIM7 レジスタは MALE の自動ウェイト時間の設定をします。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	-															
初期値	-															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約				ALEW				ALES				ALC			
属性	-				R/W				R/W				R/W			
初期値	-				0100				0101				1111			

[bit31:12] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit11:8] ALEW : Address Latch Enable Width

本ビットは MALE のアサート期間を設定します。
(ALEW+1)サイクルの間、MALE 信号をアサートします。

bit11:8	説明
0000	1 サイクル
0001	2 サイクル
⋮	⋮
0100	5 サイクル (初期値)
⋮	⋮
1110	15 サイクル
1111	16 サイクル

[bit7:4] ALES : Address Latch Enable Setup cycle

本ビットは ALE アサートのセットアップサイクルを設定します。
アクセス開始から、(ALES)サイクルの間は ALE をアサートしません。

bit7:4	説明
0000	0 サイクル
0001	1 サイクル
⋮	⋮
0101	5 サイクル (初期値)
⋮	⋮
1110	14 サイクル
1111	15 サイクル

[bit3:0] ALC : Address Latch Cycle

本ビットはアドレスラッチサイクルを設定します。
(ALC+1)サイクルの間、CS アサートおよびデータ線からアドレスが出力されます。

Bit3:0	説明
0000	1 サイクル
0001	2 サイクル
⋮	⋮
0100	5 サイクル
⋮	⋮
1110	15 サイクル
1111	16 サイクル(初期値)

＜注意事項＞

- *ATIM レジスタへの設定はマルチプレクスモード時のみ有効です。*

6.5 SDRAM モードレジスタ (SDMODE)

SDMODE レジスタは SDRAM アクセスの動作モードの設定をします。

Bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							MSDCLKOFF
属性	-							R/W
初期値	-							0

bit	15	14	13	12	11	10	9	8
Field	BASEL				RASEL			
属性	R/W				R/W			
初期値	0001				0011			

bit	7	6	5	4	3	2	1	0
Field	予約		CASEL		予約	ROFF	PDON	SDON
属性	-		R/W		-	R/W	R/W	R/W
初期値	-		00		-	0	0	0

[bit31:17] 予約 : 予約ビット

書込みの場合は、必ず”0”を書き込んでください。読出し値は不定です。

[bit16] MSDCLKOFF : MSDCLK OFF

本ビットは SDRAM 用クロック(MSDCLK)の出力を設定します。

SDRAM 用クロック(MSDCLK)出力を停止します。SDON の状態とは無関係です。したがって、SDON=1 の状態で本ビットを”1”にすると SDRAM へのクロックが供給されなくなり、アクセスができなくなります。

Bit	説明
0	SDRAM 用クロック(MSDCLK)を出力します。(初期値)
1	SDRAM 用クロック(MSDCLK)を出力しません。

[bit15:12] BASEL : Bank Address Select

本ビットはバンクアドレスとして出力される内部バス上のアドレスビットを選択します。

Bit15:12	説明
0000	MAD[15:14] = 内部アドレス[20:19]
0001	MAD[15:14] = 内部アドレス[21:20] (初期値)
0010	MAD[15:14] = 内部アドレス[22:21]
0011	MAD[15:14] = 内部アドレス[23:22]
0100	MAD[15:14] = 内部アドレス[24:23]
0101	MAD[15:14] = 内部アドレス[25:24]
0110	MAD[15:14] = 内部アドレス[26:25]
0111～1111	設定禁止

[bit11:8] RASEL : Row Address Select

本ビットは Row アドレスとして出力される内部バス上のアドレスビットを選択します。

Bit11:8	説明
0000	MAD[13:0] = 内部アドレス[19:6]
0001	MAD[13:0] = 内部アドレス[20:7]
0010	MAD[13:0] = 内部アドレス[21:8]
0011	MAD[13:0] = 内部アドレス[22:9] (初期値)
0100	MAD[13:0] = 内部アドレス[23:10]
0101	MAD[13:0] = 内部アドレス[24:11]
0110	MAD[13:0] = 内部アドレス[25:12]
0111～1111	設定禁止

[bit7:6] 予約 : 予約ビット

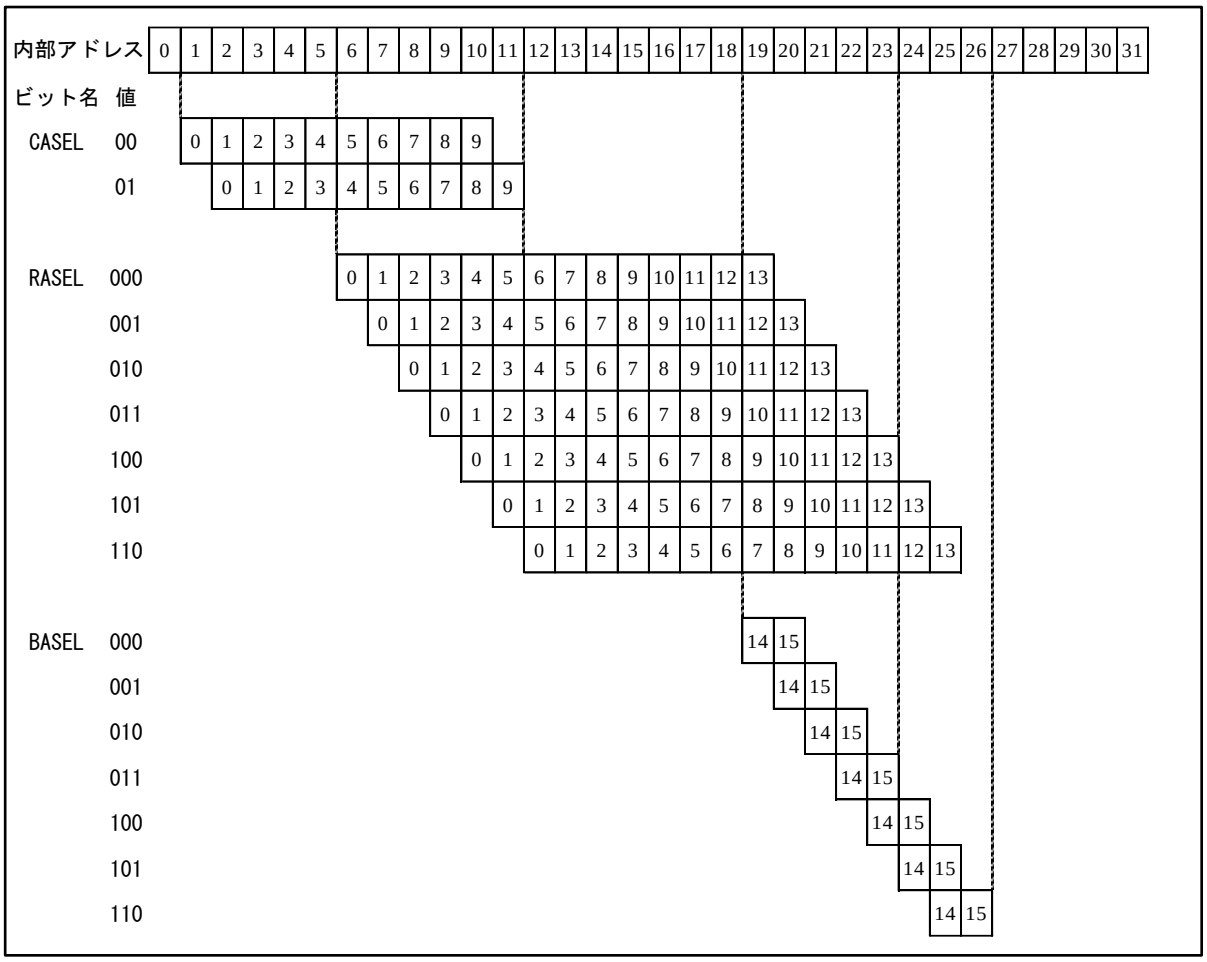
書込みの場合は、必ず”0”を書き込んでください。読出し値は不定です。

[bit5:4] CASEL : Column Address Select

本ビットはカラムアドレスとして出力される内部バス上のアドレスビットを選択します。また、この設定は SDRAM のバス幅設定としても使用されます。

Bit5:4	説明
00	MAD[9:0] = 内部アドレス[10:1]、16 ビット幅 (初期値)
01	MAD[9:0] = 内部アドレス[11:2]、32 ビット幅
10～11	設定禁止

CASEL,RASEL,BASEL 各設定値での内部アドレスビットと MAD ビットの関係を図で示すと以下のようになります。



[bit3] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit2] ROFF : Refresh OFF

本ビットはリフレッシュの設定をします。

SDRAM コマンドレジスタへのアクセスなどで一時的にリフレッシュ動作を停止したい時に使用します。リフレッシュカウンタ自体は停止しませんが、リフレッシュタイミングになってもリフレッシュを行わなくなります。解除した際、既にリフレッシュタイミングを超えていた場合は直ちにリフレッシュが行われますが、リフレッシュタイミングを 2 回以上過ぎていた場合でも 1 回しかリフレッシュを行いません。

Bit	説明
0	リフレッシュ ON (初期値)
1	リフレッシュ OFF

[bit1] PDON : Power Down ON

本ビットはパワーダウンモードの設定をします。
具体的な動作については、「3.9. パワーダウンモード動作」を参照してください。

Bit	説明
0	パワーダウンモード OFF (初期値)
1	パワーダウンモード ON

[bit0] SDON : SDRAM ON

本ビットは SDRAM へアクセス可能にします。
SDRAM に対してパワーオンシーケンスを発行し、モードレジスタの設定などを自動的に行い、SDRAM へアクセス可能な状態にします。

動作中に"0"にした場合は、SDRAM へのアクセス終了後(リフレッシュ中のとき、リフレッシュ終了後((TREFC+1)×(NREF+1)cycle 後))に SDRAM へのアクセスを一切停止します。PDON=1 の場合は MSDCKE="L"に維持します。OFF の間はリフレッシュも行わないため、データは保持されません。SDRAM アドレス空間へのアクセスにはエラー応答を返します。

OFF 状態で SDRAM コマンドレジスタ(SDCMD)へ書込みを行った場合は、ユーザがプログラムで SDRAM を起動するものとして、外部バスインタフェースはパワーオンシーケンスを発行せずに自動的に本ビットを ON(=1)にセットします(この場合は ROFF=1(Refresh OFF)に設定しておいてください)。

発行されるパワーオンシーケンスは Figure 3-21 を参照してください。

Bit	説明
0	SDRAM へアクセスできません。(初期値)
1	SDRAM へのアクセスを可能にします。

<注意事項>

- *SDRAM 用クロック(MSDCLK)の分周比は分周クロックレジスタ(DCLKR)の MDIV ビットで設定できます。*
- *MSDCLKOFF を"1"→"0"にしてクロック供給を再開する場合は、クロック出力までに遅れがあるため、同時に SDON を"0"→"1"へと変更しないでください。*
- *ROFF にてリフレッシュを一時停止させた場合にデータの保持が必要な時は一時停止期間がリフレッシュタイミングを超えないように注意するか、または SDRAM コマンドレジスタ(SDCMD)へのアクセスによって明示的にリフレッシュを行ってください。*
- *SDON は SDMODE.SDON 以外, REFTIM, PWRDWN, SDTIM レジスタの設定を終了後"1"にしてください。*
- *SDON ビット制御は AHB 側にあるため、APB インタフェースから SDON を ON(=1)にセットした後本ビットの読み出し値が 1 になったことを確認してから SDRAM へアクセスしてください。*

アドレス空間について

- *外部バスインタフェースには 1792M バイトの SDRAM アドレス空間があります。*
- *BASEL, RASEL, CASEL の設定より、外部に出力するアドレスの最大サイズは 128M バイトになります。*
- *メモリマップ上のアドレス空間について Figure 6-1 に示します。*

6.6 リフレッシュタイマレジスタ (REFTIM)

REFTIM レジスタは、SDRAM へのリフラッシュタイミングの設定をします。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約							PREF	NREF							
属性	-							R/W	R/W							
初期値	-							0	00000000							

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	REFC															
属性	R/W															
初期値	0000000000110011															

[bit31:25] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit24] PREF : Pre-Refresh

本ビットは先出しリフレッシュを設定します。
具体的な動作については、「3.9. リフレッシュ動作」を参照してください。

Bit	説明
0	先出しリフレッシュを無効にします。 (初期値)
1	先出しリフレッシュを有効にします。

[bit23:16] NREF : Number of Refresh

本ビットは 1 回のリフレッシュタイミングに行うリフレッシュの発行回数を設定します。
リフレッシュの間はアクセス不可になりますが、リフレッシュを一定期間に集中して行うことができます。なお、本ビットで設定した値に合わせ、REFC の値を以下の式にしたがって設定してください。

REFC = (1 回のみ行う場合のカウント数)×(NREF+1)

bt23:16	説明
00000000	1 回 (初期値)
00000001	2 回
⋮	⋮
10000000	129 回
⋮	⋮
11111111	255 回
11111111	256 回

[bit15:0] REFC : Refresh Count

本ビットはリフレッシュを行う間隔を設定します。
設定したサイクル数（MSDCLK）が経過した時にリフレッシュを行います。アクセスの間に書き込んだ場合は、現在のアクセスを中断して最初のリフレッシュが行われ、直ちに設定が反映されます。

Bit15:0	説明
0x0000～0x0009	設定禁止
0x000A	11 サイクル
⋮	⋮
0x0033	52 サイクル (初期値)
⋮	⋮
0xFFFF	65536 サイクル

＜注意事項＞

- *REFC はリフレッシュ間隔の最小値は 1 回のリフレッシュに必要なサイクル(TREFC+1)よりも小さくしないでください。設定した場合はハングアップの原因となるため注意してください。*
- *本レジスタの REFC ビットの設定を変更する際は、APB2 プリスケーラレジスタ(APBC2_PSR)の APBC2 ビットを設定し、APB2 バスクロックの周波数を SDRAM 用クロック(MSDCLK)の周波数以下に設定してください。分周クロックレジスタ(DCLKR)の MDIV ビットで MSDCLK の分周比を 9 分周～16 分周に設定した場合、SDRAM アクセス中に REFC ビットを変更することはできません。*
- *APB2 プリスケーラレジスタについては、別章『クロック』の『5.6. APB2 プリスケーラレジスタ』を参照してください。*

6.7 パワーダウンカウントレジスタ (PWRDWN)

PWRDWN レジスタは、SDRAM をパワーダウンモードに移行するまでのカウント値の設定をします。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	-															
初期値	-															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	PDC															
属性	R/W															
初期値	0x0000															

[bit31:16] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit15:0] PDC : Power Down Count

本ビットは SDRAM をパワーダウンモードに移行するまでのカウント値を設定します。
パワーダウンモードを使用する場合、本ビットで設定されたサイクル間(MSDCLK)に SDRAM へのアクセスが発生しなかった時、パワーダウンモードへ移行します。

Bit15:0	説明
0x0000	0 サイクル (初期値)
⋮	⋮
0x8000	32768 サイクル
⋮	⋮
0xFFFF	65535 サイクル

6.8 SDRAM タイミングレジスタ (SDTIM)

SDTIM レジスタは、SDRAM アクセス時の自動ウェイト時間の設定をします。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	BOFF	予約					TDPL		TREFC				TRAS			
属性	R/W	-					R/W		R/W				R/W			
初期値	0	-					00		0100				0010			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TRCD				TRP				TRC				予約		CL	
属性	R/W				R/W				R/W				-		R/W	
初期値	0001				0001				0100				-		01	

[bit31] BOFF : Buffer readout OFF

リード時の SDRAM 用バッファを設定します。

Bit31	説明
0	リード時の SDRAM 用バッファを有効にします。(初期値)
1	リード時の SDRAM 用バッファを無効にします。

<注意事項>

- *本ビットは、SDRAM モードレジスタの SDON=0 時に設定してください。*
- *本ビットは TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品には存在します。TYPE1-M4 製品には存在しません。*

[bit30:26] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit25:24] TDPL : Data-in to Prechage Lead time

本ビットはライトからプリチャージまでのレイテンシを設定します。

Bit25:24	説明
00	1 サイクル (初期値)
⋮	⋮
11	4 サイクル

[bit23:20] TREFC : Refresh Cycle time

本ビットはリフレッシュに続くコマンドのレイテンシを設定します。

Bit23:20	説明
0000	1 サイクル
⋮	⋮
0100	5 サイクル (初期値)
⋮	⋮
0111	8 サイクル
1000～1111	設定禁止

[bit19:16] TRAS : RAS active time
本ビットは Row の最小アクティブ時間を設定します。

Bit19:16	説明
0000	1 サイクル
⋮	⋮
0010	3 サイクル (初期値)
⋮	⋮
0111	8 サイクル
1000～1111	設定禁止

[bit15:12] TRCD : RAS-CAS Delay
本ビットは RAS から CAS までのレイテンシを設定します。

Bit15:12	説明
0000	1 サイクル
0001	2 サイクル (初期値)
0010～1111	設定禁止

[bit11:8] TRP : RAS Prechage time
本ビットはプリチャージ時間を設定します。

Bit11:8	説明
0000	1 サイクル
0001	2 サイクル (初期値)
0010	3 サイクル
0011	4 サイクル
0100～1111	設定禁止

[bit7:4] TRC : RAS Cycle time
本ビットは RAS-RAS 間のレイテンシを設定します。

Bit7:4	説明
0000	1 サイクル
⋮	⋮
0100	5 サイクル (初期値)
⋮	⋮
0111	8 サイクル
1000～1111	設定禁止

[bit3:2] 予約 : 予約ビット
書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit1:0] CL : CAS Latency
本ビットは CAS レイテンシを設定します。

Bit1:0	説明
00	1 サイクル
01	2 サイクル (初期値)
10	3 サイクル
11	設定禁止

6.9 SDRAM コマンドレジスタ (SDCMD)

SDCMD レジスタは、設定した値を SDRAM 制御用外部端子に出力します。

Bit	31	30	29	28	27	26	25	24
Field	PEND	予約						
属性	R	-						
初期値	0	-						

bit	23	22	21	20	19	18	17	16
Field	予約			SDCKE	SDCS	SDRAS	SDCAS	SDWE
属性		-		R/W	R/W	R/W	R/W	R/W
初期値		-		0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	SDAD[15:8]							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	SDAD[7:0]							
属性	R/W							
初期値	0x00							

本レジスタでは、書込みが検出されると 1 サイクル間レジスタに設定された値が出力されます。この間の MADATA[15:0]の値は以前の値が保持されます。外部バスインタフェースでは SDRAM のパワーオンシーケンスが自動で行われるため、通常は使用する必要はありません。動作中の設定(拡張モードレジスタ設定など)が必要な場合に使用します。

SDCKE="0"にした場合は、そのままパワーダウンモードに入ります。この場合、SDRAM モードレジスタ(SDMODE)の PDON ビットの状態は関係がありません。SDRAM へのアクセスかリフレッシュまたはこのレジスタへのライトで復帰します。リフレッシュを停止する場合は ROFF=1 (Refresh OFF)にしてください。

[bit31] PEND : Pend

本レジスタへの書込みが検出された直後は、他デバイスへのアクセスなどで直ちに実行できないため本ビットがアサートされます。本レジスタへの書込みを行う場合は本ビットをチェックしてディアサートされていることを確認してから行ってください。アサート中に書込みを行った場合の動作は保証されません。

Bit	説明
0	SDCMD レジスタへ書込み可能
1	SDCMD レジスタへ書込み不可

[bit30:21] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit20] SDCKE : SDRAM CKE
レジスタへの書込みを検出して、本ビットに設定された値を MSDCKE に出力します。

[bit19] SDCS : SDRAM Chip Select
レジスタへの書込みを検出して、本ビットに設定された値を MCSX[8]に出力します。

[bit18] SDRAS : SDRAM RAS
レジスタへの書込みを検出して、本ビットに設定された値を MRASX に出力します。

[bit17] SDCAS : SDRAM CAS
レジスタへの書込みを検出して、本ビットに設定された値を MCASX に出力します。

[bit16] SDWE : SDRAM Write Enable
レジスタへの書込みを検出して、本ビットに設定された値を MSDWEX に出力します。

[bit15:0] SDAD : SDRAM Adress
レジスタへの書込みを検出して、本ビットに設定された値を MAD[15:0]に出力します。

＜注意事項＞

- *本レジスタを使用する際は、APB2 プリスケーラレジスタ(APBC2_PSR)の APBC2 ビットを設定し、APB2 バスクロックの周波数を SDRAM 用クロック(MSDCLK)の周波数以下に設定してください。分周クロックレジスタ(DCLKR)の MDIV ビットで MSDCLK の分周比を 9 分周～16 分周に設定した場合、本レジスタを使用することはできません。*
- *APB2 プリスケーラレジスタについては、別章『クロック』の『5.6. APB2 プリスケーラレジスタ』を参照してください。*

6.10 メモリコントローラエラーレジスタ (MEMCERR)

MEMCERR レジスタは、SRAM/フラッシュメモリ/SDRAM エラー割込みの許可設定をします。

Bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約				SDION	SFION	SDER	SFER
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

[bit31:4] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit3] SDION : SDRAM error Interrupt ON

SDRAM エラーにおいて割込みを有効にします。

Bit	説明
0	SDRAM エラー割込みを許可しません。
1	SDRAM エラー割込みを許可します。

[bit2] SFION : SRAM/Flash error Interrupt ON

SRAM/フラッシュメモリエラーにおいて割込みを有効にします。

Bit	説明
0	SRAM/フラッシュメモリエラー割込みを許可しません。
1	SRAM/フラッシュメモリエラー割込みを許可します。

[bit1] SDER : SDRAM Error

SDRAM モードレジスタ(SDMODE)で SDON=1 にしていない状態で、SDRAM 領域へのアクセスを行ったことを示します。この時、外部バスインタフェースは内部バスにエラー応答を返し、同時に本レジスタをセットします。”1”を書き込むことでクリアされます。

Bit	説明
0	SDRAM エラーなし
1	SDRAM エラーあり

[bit0] SFER : SRAM/Flash Error

SRAM/フラッシュメモリ領域へのアクセスで、マップされていない領域にアクセスしたことを示します。この時、コントローラは内部バスにエラー応答を返し、同時に本レジスタをセットします。”1”を書き込むことでクリアされます。

Bit	説明
0	SRAM/フラッシュメモリエラーなし
1	SRAM/フラッシュメモリエラーあり

6.11 分周クロックレジスタ (DCLKR)

DCLKR レジスタは、SRAM/フラッシュメモリ用クロックの出力許可と SRAM/フラッシュメモリ/SDRAM 用クロックの分周比の設定をします。

Bit	31															16
Field	予約															
属性	-															
初期値	-															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約											MCLKON	MDIV			
属性	-											R/W	R/W			
初期値	-											0	1111			

[bit31:5] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit4] MCLKON : MCLKOUT ON

本ビットは SRAM/フラッシュメモリ用クロック(MCLKOUT)の出力許可設定を行います。

Bit	説明
0	SRAM/フラッシュメモリ用クロック(MCLKOUT)を出力しません。(初期値)
1	SRAM/フラッシュメモリ用クロック(MCLKOUT)を出力します。

<注意事項>

- *MCLKON を変更後は、レジスタを読み出し設定が変更されたことを確認してください。*

[bit3:0] MDIV : MCLKOUT・MSDCLK 分周比設定

本ビットは分周クロックの分周比(1 分周～16 分周)を設定します。
(MDIV+1)分周に分周されます。
SRAM/フラッシュメモリ用クロック(MCLKOUT), SDRAM 用クロック(MSDCLK)共に本ビットの分周比設定が反映されます。

分周比の値は、以下の条件を満たす範囲内で設定してください。

- ベースクロック(HCLK)の最大周波数の 2 分の 1 を上限に設定してください。
- MCLKOUT と MSDCLK を本 LSI から出力する場合は、データシート記載の出力規格を満たす分周比を設定してください。

Bit3:0	説明
0000	1 分周
0001	2 分周
⋮	⋮
1111	16 分周(初期値)

＜注意事項＞

- *外部バスインタフェース動作クロックを出力する場合は、GPIO でクロック出力の設定が必要です。設定の詳細は、別章『I/O ポート』を参照してください。*
- *また、 MCLKOUT を出力する場合は、MCLKON=1 に設定してください。MSDCLK を出力する場合は、SDRAM モードレジスタ(SDMODE)を MSDCLKOFF=0 に設定してください。*
- *MCLKOUT を 1 分周で出力設定する場合は、MCLKON=1, MDIV=0000 と設定してください。MSDCLK を 1 分周で出力設定する場合は、SDRAM モードレジスタ(SDMODE)を MSDCLKOFF=0, MDIV=0000 と設定してください。*
- *また、その際『データシート』の「外バスクロック出力規格」を確認してください。*
- *分周比を変更する場合は必ずMCLKON=0, SDRAM モードレジスタ(SDMODE)を MSDCLKOFF=1 にしてから、MDIV を変更してください。*
  また、MDIV を変更後は、レジスタを読み出し分周比が変更されたことを確認してください。
- *外部バスアクセス中に本レジスタを変更しないでください。*
- *MSDCLK を 9~16 分周(MDIV=0b1000~0b1111)で出力設定をした場合、SDRAM アクセス中のリフレッシュタイマレジスタ(REFTIM)の REFC ビット変更および SDRAM コマンドレジスタ(SDCMD)を使用することはできません。*

6.12 エラーステータスレジスタ (EST)

以下に EST の構成を示します。

Bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約							WERR
属性	-							R
初期値	-							0

[bit31:1] 予約 : 予約ビット

書込みの場合は、必ず”0”を書き込んでください。読出し値は不定です。

[bit0] WERR

本ビットはアクセスモードレジスタ(AMODE)の連続ライトアクセス有効(WAEN=1)時のライトアクセスにおいて、エラー応答を受信したことを示します。エラー応答を受信した際に、本ビットが”0”から”1”になります。後続のライトアクセスでエラー応答を受信した場合は、最新の状態に上書きされます。

本レジスタを初期状態にクリアするためにはエラーステータスクリアレジスタ(ESCLR)の WERRCLR ビットに”0”を書き込んでください。

アクセスモードレジスタ(AMODE)の連続ライトアクセス有効(WAEN=0)および分周クロックレジスタ(DCLKR)の分周比設定が 1 分周設定(MDIV=0)時のライトアクセスでは、本ビットに状態は保持しません。

Bit	説明
0	エラー応答なし
1	エラー応答あり

6.13 ライトエラーアドレスレジスタ (WEAD)

WEAD レジスタは、先読みリード, 連続ライトアクセスの無効/有効を設定できます。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	ADDR[31:16]															
属性	R															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ADDR[15:0]															
属性	R															
初期値	0x0000															

[bit31:0] ADDR : Error Address

本ビットはアクセスモードレジスタ(AMODE)の連続ライトアクセス有効(WAEN=1)時のライトアクセスにおいて、エラー応答を受信した際に AHB アドレスを保持します。後続のライトアクセスでエラー応答を受信した場合は、最新の状態に上書きされます。

本レジスタを初期状態にクリアするためにはエラーステータスクリアレジスタ(ESCLR)の WERRCLR ビットに”0”を書き込んでください。

アクセスモードレジスタ(AMODE)の連続ライトアクセス有効(WAEN=0)および分周クロックレジスタ(DCLKR)の分周比設定が 1 分周設定(MDIV=0)時のライトアクセスでは、本ビットに状態は保持しません。

6.14 エラーステータスクリアレジスタ (ESCLR)

ESCLR レジスタは、エラーステータスレジスタ(EST)およびライトエラーアドレスレジスタ(WEAD)を初期状態にできます。

Bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約							WERRCLR
属性	-							W
初期値	-							1

[bit31:1] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit0] WERRCLR : Write Error Clear

本ビットに"0"を書き込むと、エラーステータスレジスタ(EST), ライトエラーアドレスレジスタ(WEAD)が初期状態にクリアされます。本ビットは書込みにより、"0"になることはありません。常に"0"が読み出されます。

6.15 アクセスモードレジスタ (AMODE)

AMODE レジスタは、先読みリード, 連続ライトアクセスの無効/有効を設定できます。

Bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	-							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約							WAEN
属性	-							R/W
初期値	-							1

[bit31:1] 予約 : 予約ビット

書込みの場合は、必ず"0"を書き込んでください。読出し値は不定です。

[bit0] WAEN : Write/Read Access Enable

先読みリード, 連続ライトアクセスの無効 / 有効を設定できます。

Bit	説明
0	先読みリード, 連続ライト要求を無効にします。
1	先読みリード, 連続ライト要求を有効にします。

<注意事項>

- *本レジスタの機能は分周クロックレジスタ(DCLKR)のMDIV ビットの分周比設定を2分周以上にした場合のみ有効となります。*

7. 使用上の注意

外部バスインタフェースの使用上の注意を説明します。

■ AC 規格について

各動作モード時の AC 規格についてはご使用する製品の『データシート』を参照してください。

■ 外バス端子と GPIO 設定について

GPIO を外バス端子として使用する場合、EPFR レジスタにて、GPIO を外バス端子設定にする必要があります。詳細は、別章『I/O ポート』を参照してください。

■ エラー応答について

256M バイトの SRAM/フラッシュメモリアドレス空間の外バス領域へのアクセスでも、エリアレジスタにてマッピングを行っていない領域へアクセスを行った場合および SDRAM モードレジスタの SDON=0 設定での SDRAM アドレス空間へアクセスを行った場合、外部バスインタフェースはエラー返答(HRESP[1:0]=”01”)を出力します。このエラーがバースト転送時に発生した場合は、外部バスインタフェースの動作は保証されません。

■ ターゲットデバイスと各機能の設定について

ターゲットデバイスにより、各機能の設定は Table 7-1 のようになります。

Table 7-1 ターゲットデバイスと各機能の設定

ターゲット デバイス	クロック 出力	外部 RDY	ページ リード	NAND フラッシュ	クロック 分周
SRAM	○	○	使用不可	使用不可	○
NOR フラッシュ	○	使用不可	○	使用不可	○
NAND フラッシュ	使用不可	使用不可	使用不可	○	○
SDRAM	○	使用不可	使用不可	使用不可	○

ページリードと外部 RDY を同時に使用する設定は禁止です。

■ レジスタ値の書換えタイミングについて

DMAC で外バスアクセス中に、CPU 側からタイミングレジスタなどのレジスタ設定値を書き換えた場合、アクセス完了後(アイドルサイクル完了後)まで、書き込んだ値は反映されません。

■ 電源投入後の初期設定手順について

外部バスインタフェースを使用するとき、周辺リセット制御レジスタ(MRST0)の EXBRST ビットにてリセットを発行してからご使用ください。詳細は、設定手順例を参照してください。

このリセットを発行せずにご使用になられた場合、外部バスインタフェースへのアクセス要求が受け付けられない状態となり、マイコンが暴走する可能性があります。

CHAPTER 15: SD カードインタフェース

SD カードインタフェースの概要を説明します。

1. SD カードインタフェースの概要
2. レジスター一覧
3. MMC Boot Operation
4. MMC Wait IRQ

本章の「2.レジスター一覧」は、参照先のドキュメントに準拠させ、作成しています。
参照先と異なる部分について記載します。
参照先と同じ内容は省略しているため、詳細は参照先のドキュメントで確認してください。

参照先のドキュメントは、"Part A2 SD Host Controller Standard Specification version 3.00"です。

1. SD カードインタフェースの概要

SD カードインタフェースの概要を説明します。

SD カード規格

以下の規格に準拠した SD カードが使用できます。

- Part 1 Physical Layer Specification version 3.01
- Part E1 SDIO Specification version 3.00
- Part A2 SD Host Controller Standard Specification version 3.00

＜注意事項＞

- *Bus Speed Mode は、"Default Speed mode"と"High Speed mode"のみ対応しています。*

特長

- SD バス サポート (SPI バスは未サポート)
- 1,4 bit データバスサポート
- 転送用ダブルバッファ搭載 (バッファサイズ 2kB)
- データ ライト プロテクト検出機能サポート
- カード検出機能サポート
- マルチプル リード/ライト転送サポート
- 1 バイト～2048 バイト転送データ長サポート
- Read Wait Option 機能サポート
- Suspend/Resume 機能サポート
- Wakeup 機能サポート
- Shared Bis 機能サポート
- Default Speed , High Speed モードサポート (その他モードは未サポート)
- Auto CMD23 サポート
- SDMA サポート
- ADMA1 サポート
- MMC4.41 利用可能 (Sequential commands は未サポート)
- MMC Boot Operation サポート

2. レジスター覧

SD カードインタフェースのレジスター覧を説明します。

SD カードインタフェースのレジスター覧

Offset	bit15 - bit08	bit07 - bit00	Offset	bit15 - bit08	bit07 - bit00
002h	SDMA System Address (High) Argument 2 (High)		000h	SDMA System Address (Low) Argument 2 (Low)	
006h	Block Count		004h	Block Size	
00Ah	Argument 1 (High)		008h	Argument 1 (Low)	
00Eh	Command		00Ch	Tranfer Mode	
012h	Response1		010h	Response0	
016h	Response3		014h	Response 2	
01Ah	Responce5		018h	Response 4	
01Eh	Response7		01Ch	Response 6	
022h	Buffer Data Port1		020h	Buffer Data Port0	
026h	Present State		024h	Present State	
02Ah	Wakeup Control	Block Gap Control	028h	Power Control	Host Control 1
02Eh	Software Reset	Timeout Control	02Ch	Clock Control	
032h	Error Interrupt Status		030h	Normal Interrupt Status	
036h	Error Interrupt Status Enable		034h	Normal Interrupt Status Enable	
03Ah	Error Interrupt Signal Enable		038h	Normal Interrupt Signal Enable	
03Eh	Host Control 2		03Ch	Auto CMD Error Status	
042h	Capabilities		040h	Capabilities	
046h	Capabilities		044h	Capabilities	
04Ah	Maximum Current Capabilities		048h	Maximum Current Capabilities	
04Eh	Maximum Current Capabilities(Reserved)		04Ch	Maximum Current Capabilities(Reserved)	
052h	Force Event for Error Interrupt Status		050h	Force Event for Auto CMD Error Status	
056h	---		054h	---	ADMA Error Status
05Ah	ADMA System Address [31:16]		058h	ADMA System Address [15:00]	
05Eh	ADMA System Address [63:48]		05Ch	ADMA System Address [47:32]	
062h	Preset Value		060h	Preset Value	
066h	Preset Value		064h	Preset Value	
06Ah	Preset Value		068h	Preset Value	
06Eh	Preset Value		06Ch	Preset Value	
---	---		---	---	
0E2h	Shared Bus Control (High)		0E0h	Shared Bus Control (Low)	
---	---		---	---	

Offset	bit15 - bit08	bit07 - bit00	Offset	bit15 - bit08	bit07 - bit00
0F2h	---		0F0h	---	
--	---		--	---	
0FEh	Host Controller Version		0FCh	Slot Interrupt Status	
102h	AHB Config (High)		100h	AHB Config (Low)	
106h	Power Switching (High)		104h	Power Switching (Low)	
10Ah	Tuning Setting (High)		108h	Tuning Setting (Low)	
10Eh	Tuning Status (High)		10Ch	Tuning Status (Low)	
112h	Reserved		110h	Reserved	
116h	Reserved		114h	Reserved	
11Ah	Power switching Interrupt Status (High)		118h	Power switching Interrupt Status (Low)	
11Eh	Power switching Interrupt Status Enable (High)		11Ch	Power switching Interrupt Status Enable (Low)	
122h	Power switching Interrupt Signal Enable (High)		120h	Power switching Interrupt Signal Enable (Low)	
126h	MMC/eSD Control(High)		124h	MMC/eSD Control(LOW)	
12Ah	MMC Wait IRQ Control		128h	MMC Wait IRQ Control	
12Eh	MMC Wait IRQ Control		12Ch	MMC Wait IRQ Control	
132h	MMC Response Check Bit (High)		130h	MMC Response Check Bit (Low)	
…			…		
156h	Reserved		154h	Card Detect setting	
15Ah … 1FEh	Reserved		158h … 1FCh	Reserved	

アドレス 000h-0FFh は、"Part A2 SD Host Controller Standard Specification version 3.00"で定義されている Standard Register です。

<注意事項>

- *Reserved 領域への書込みは禁止です。*

2.1 SDMA System Address / Argument 2 Register

D31	D00
SDMA System Address / Argument 2	

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.2 Block Size Register

D15	D14 D12	D11 D00
Reserved	Host SDMA Buffer Boundary (*注 1)	Transfer Block Size

Host SDMA Buffer Boundary は Capabilities Register の SDMA Support ビットが"1"の時のみ書込み可能です。

その他レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.3 Block Count Register

D15	D00
Blocks Count For Current Transfer(*注 1)	

本レジスタは書込み用のレジスタと読出し用のレジスタが分かれています。

書込み用のレジスタは次の書き込み、Hardware Reset または Software Reset For All を投入するまで値を維持します。

また、本レジスタのリード値は読出し用のレジスタの値となります。読出し用のレジスタはデータ転送開始時に書込み用レジスタ内容をセットし、1Block 転送完了ごとにデクリメントします。
読出し用のレジスタは SD_BCLK_I で制御しているため、A_HCLK_I と SD_BCLK_I とが非同期関係の場合、転送中(Present State Reg.(Offset 024h)の Read/Write Transfer Active が 1 の時)に本レジスタを読み出した時に正しいリード値が読み出せないことがあります。

その他のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.4 Argument 1 Register

D31	D00
Command Argument	

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.5 Transfer Mode Register

D15 D06	D05	D04	D03 D02	D01	D00
Reserved	Multi / Single Block Select	Data Transfer Direction Select	Auto Command Enable	Block Count Enable	DMA Enable

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.6 Command Register

D15 D14	D13 D08	D07 D06	D05	D04	D03	D02	D01 D00
Reserved	Command Index	Command Type (*注 1)	Data Present Select	Command Index Check Enable	Command CRC Check Enable	Reserved	Response Type Select

Transfer Mode Register の Auto CMD Enable レジスタを Auto CMD12 Enable 設定したデータ転送中に、Asynchronous Abort を実施した場合の本マクロの振る舞いは以下となります。

- マクロが Auto CMD12 発行処理前に Asynchronous Abort のトリガを認識した場合
  Abort Command を Asynchoronous Abort として発行します。
  Abort Command の Response 受信完了後に Normal Interrupt Status Register の Command Complete をセットします。

- マクロは Auto CMD12 発行処理中に Asynchronous Abort のトリガを無視します。
  Abort Command は Auto Abort Command となるため、Abort Command の Response を受信し終わっても Normal Interrupt Status Register の Command Complete をセットしません。
  この場合、Abort Command の発行完了は Normal Interrupt Status Register の Transfer Complete がセットしたことにより判断できるため、Transfer Complete のセット条件が成り立つまでデータ転送を続けてください。

なお、上記の条件がいずれでも Abort Command 発行完了後に Asynchronous Abort シーケンスの Software Reset 対応は必要です。

その他のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.7 Response Register

D31	D00
Command Response 0 - 31	

D31	D00
Command Response 32 - 63	

D31	D00
Command Response 64 - 95	

D31	D00
Command Response 96 - 127	

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.8 Buffer Data Port Register

D31	D00
Buffer Data	

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.9 Present State Register

D31	D25	D24	D23	D20	D19	D18	D17	D16
Reserved		CMD Line Signal Level	DAT[3:0] Line Signal Level		Write Protect Switch Pin Level	Card Detect Pin Level	Card State Stable	Card Inserted

D15	D12	D11	D10	D09	D08	D07	D04	D03	D02	D01	D00
Reserved		Buffer Read Enable	Buffer Write Enable	Read Transfer Active	Write Transfer Active	Reserved		Re-Tuning Request	DAT Line Active	Command Inhibit (DAT)	Command Inhibit (CMD)

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.10 Host Control 1 Register

D07	D06	D05	D04 D03	D02	D01	D00
Card Detect Signal Selection	Card Detect Test Level	Extended Data Transfer Width(*注 2)	DMA Select (*注 1)	High Speed Enable	Data Transfer Width	LED Control

Capabilities Register の ADMA2 Support ビットが"1"の時のみ 10b 書込み可能です。

Capabilities Register の Slot Type ビットが 10b の時、Extended Data Transfer Width は Embedded Control Register の Bus Width Present 内容を反映します。

それ以外のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.11 Power Control Register

D07 D04	D03 D01	D00
Reserved	SD Bus Voltage Select	SD Bus Power (*注 1)

本ファミリでは、以下の条件で Power On 状態になります。

1. SD Bus Voltage Select = 111b(3.3V 設定)書込み
2. SD Bus Voltage Select = 110b(3.0V 設定)書込み

その他に関してのレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.12 Block Gap Control Register

D07 D04	D03	D02	D01	D00
Reserved	Interrupt At Block Gap	Read Wait Control	Continue Request	Stop At Block Gap Request

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.13 Wakeup Control Register

D07	D03	D02	D01	D00
Reserved		Wakeup Event Enable On SD Card Removal	Wakeup Event Enable On SD Card Insertion	Wakeup Event Enable On SD Card Interrupt

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.14 Clock Control Register

D15 D08	D07 D06	D05	D04 D03	D02	D01	D00
SDCLK Frequency Select	Upper Bits of SDCLK Frequency Select	Clock Generator Select	Reserved	SD Clock Enable	Internal Clock Stable	Internal Clock Enable

bit	Attribute	説明
02	RW	SD Clock Enable 本ビットは、SD Clock の出力制御を行うビットです。 本ビットに"0"を書き込むと、SD Clock が停止するまでバスクロックの 3cycle + SD Clock の 2cycle 期間を要します。 "0" →"1"に変化させる場合は、上記の期間を考慮した上で SD Clock を Enable にしてください。 "1"：Enable "0"：Disable **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write
01	ROC	Internal Clock Stable Host Driver は本ビットが"1"になるまで、このレジスタ内にある SD Clock Enable への設定を待たなければなりません。 "1"：Ready "0"：Non Ready **Set/Reset** / **条件** Set / 1) Internal Clock Enable が"1"かつ Internal Clock が安定 Reset ("0") / 1) システムリセット 2) Software Reset For All 3)上記 Set 条件 1), Reset 条件 1)および 2)以外の時

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>00</td><td>RW</td><td>Internal Clock Enable
SD IF 制御を行うために Clock を開始する時に本ビットを"1"に設定します。

"1"：Oscillate
"0"：Stop

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
</table>

その他のビットに対するレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.15 Timeout Control Register

D07	D04	D03	D00
Reserved		Data Timeout Counter Value	

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.16 Software Reset Register

D07	D03	D02	D01	D00
Reserved		Software Reset For DAT Line (*注 1)	Software Reset For CMD Line (*注 1)	Software Reset For All (*注 1)

<注意事項>

- *本レジスタへの"1"のセットは、必ずClock Control Register の Internal Clock Enable が"1"の時にのみ実施してください。*

その他のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.17 Normal Interrupt Status Register

D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
Error Interrupt	Reserved		Re-Tuning Event	INT_C	INT_B	INT_A	Card Interrupt (*注２)	Card Removal (*注１)	Card Insertion (*注１)	Buffer Read Ready	Buffer Write Ready	DMA Interrupt	Block Gap Event	Transfer Complete	Command Complete

Card Removal および Card Insertion は、Normal Interrupt Status Enable Register の Card Removal Status Enable および Card Insertion Status Enable を"1"に設定した後、Preset State Register の Card Inserted が変化した時にだけ"1"をセットします。

そのため、例えば既に Preset State Register の Card Inserted が"1"になっている状態で、Normal Interrupt Status Enable Register の Card Insertion Status Enable を"1"にしても、Card Insertion は"1"にならないため、必ず Present State Register の Card Inserted 内容をご確認の上、割込み待ち処理を行うか否かの判断を行ってください。

Card Interrupt は Normal Interrupt Status Enable Register の Card Interrupt Status Enable を"0"にすることによりクリアすることができます。

本マクロにおいては、必ず Normal Interrupt Status Enable Register の Card Interrupt Status Enable を"0"にして Card Interrupt をクリアしてから次の Card からの割込みを受ける対応を行う必要があります。

その他のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.18 Error Interrupt Status Register

D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
Reserved	AHB Master Error	Auto CMD19 Error	Boot Acknowledge Error	Reserved	Tuning Error	ADMA Error	Auto CMD12 Error	Current limit Error	Data End Bit Error	Data CRC Error	Data Timeout Error	Command Index Error	Command End Bit Error	Command CRC Error	Command Timeout Error

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>15</td><td>Rsvd</td><td>Vendor Specific Error Status 15 は、ありません。</td></tr>
<tr><td>14</td><td>ROC</td><td>AHB Master Error
AHB Memory IF で本マクロが出力したアクセスに対して ERROR 応答を
受信した場合に"1"を示します。
AHB Memory IF で ERROR 応答を受信した場合にはシステムリセットでしか本マクロは
初期化できません。
<table>
<tr><th>Set/Reset</th><th>条件</th></tr>
<tr><td>Set</td><td>1) Error Interrupt Status Enable Reg.(Offset 036h)の
AHB Master Error Status Enable が"1"でかつ
AHB Memory IF において ERROR 応答を受信
した場合に SET。
2) Error Interrupt Status Enable Reg.(Offset 036h)の
AHB Master Error Status Enable が"1"でかつ
Force Event Register for Error Interrupt Status Reg.
(Offset 052h)の Force Event for AHB Master Error へ
"1"Write した場合に SET。</td></tr>
<tr><td>Reset ("0")</td><td>1) システムリセット
2) Error Interrupt Status Enable Reg.(Offset 036h) の
AHB Master Error Status Enable が"0"の時。</td></tr>
</table></td></tr>
</table>

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>13</td><td>RW1C</td><td>Auto CMD19 Error
Re-Tuning Mode3 を選択している場合、本マクロが自動的に発行する
Auto CMD19 処理において、Timeout, Bus Conflict Error が発生したこと
または Re-Tuning が失敗したことを示します。
<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) Error Interrupt Status Enable Reg.(Offset 036h) の
Auto CMD19 Error Status Enable が"1"でかつ
Auto CMD19 を自動発行し、Tuning Pattern の
受信処理中に Timeout または Bus Conflict を
検出した場合、または Re-Tuning が失敗した場合
に SET。
2) Error Interrupt Status Enable Reg.(Offset 036h) の
Auto CMD19 Error Status Enable が"1"でかつ
Force Event Register for Error Interrupt Status Reg.
(Offset 052h)の Force Event for Auto CMD19 Error へ
"1"Write した場合に SET。</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "1" Write</td></tr></table></td></tr>
<tr><td>12</td><td>RW1C</td><td>Boot Acknowledge Error
受信した Boot Acknowledge データが Error か否かを示す。
<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) MMC/eSD Control Reg.(Offset 124h)の Boot Ack
Enable for MMC が"1"でかつ、Error Interrupt
Status Enable Reg.(Offset 036h)の Boot Acknowledge
Error Status Enable が"1"の時、"010"以外の
Boot Acknowledge データを DAT0 Line 上で
受信した場合に SET。
2) Error Interrupt Status Enable Reg.(Offset 036h) の
Boot Acknowledge Error Status Enable が"1"でかつ
Force Event Register for Error Interrupt Status Reg.
(Offset 052h)の Force Event for Boot Acknowledge Error
へ"1"Write した場合に SET。</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "1" Write</td></tr></table></td></tr>
</table>

その他のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.19 Normal Interrupt Status Enable Register

D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
Fixed to 0	Reserved		Re-Tuning Event Status Enable	INT_C Status Enable	INT_B Status Enable	INT_A Status Enable	Card Interrupt Status Enable	Card Removal Status Enable	Card Insertion Status Enable	Buffer Read Ready Status Enable	Buffer Write Ready Status Enable	DMA Interrupt Status Enable	Block Gap Event Status Enable	Transfer Complete Status Enable	Command Complete Status Enable

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.20 Error Interrupt Status Enable Register

D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
Reserved	AHB Master Error Status Enable	Auto CMD19 Error Status Enable	Boot Acknowledge Error Status Enable	Reserved	Tuning Error Status Enable	ADMA Error Status Enable	Auto CMD Error Status Enable	Current limit Error Status Enable	Data End Bit Error Status Enable	Data CRC Error Status Enable	Data Timeout Error Status Enable	Command Index Error Status Enable	Command End Bit Error Status Enable	Command CRC Error Status Enable	Command Timeout Error Status Enable

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>15</td><td>Rsvd</td><td>Vendor Specific Error Status Enable15 は、ありません。</td></tr>
<tr><td>14</td><td>RW</td><td>AHB Master Error Status Enable
Error Interrupt Status Reg.(Offset 032h)の AHB Master Error の検知許可を設定
"1"：Enabled
"0"：Masked
<table>
<tr><th>Set/Reset</th><th>条件</th></tr>
<tr><td>Set</td><td>1) "1" Write</td></tr>
<tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr>
</table></td></tr>
<tr><td>13</td><td>RW</td><td>Auto CMD19 Error Status Enable
Error Interrupt Status Reg.(Offset 032h)の Auto CMD19 Error の検知許可を設定
"1"：Enabled
"0"：Masked
<table>
<tr><th>Set/Reset</th><th>条件</th></tr>
<tr><td>Set</td><td>1) "1" Write</td></tr>
<tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr>
</table></td></tr>
<tr><td>12</td><td>RW</td><td>Boot Acknowledge Error Status Enable
Error Interrupt Status Reg.(Offset 032h)の Boot Acknowledge Error の検知許可を設定
"1"：Enabled
"0"：Masked
<table>
<tr><th>Set/Reset</th><th>条件</th></tr>
<tr><td>Set</td><td>1) "1" Write</td></tr>
<tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr>
</table></td></tr>
</table>

その他のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.21 Normal Interrupt Signal Enable Register

D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
Fixed to 0	Reserved		Re-Tuning Event Signal Enable	INT_C Signal Enable	INT_B Signal Enable	INT_A Signal Enable	Card Interrupt Signal Enable	Card Removal Signal Enable	Card Insertion Signal Enable	Buffer Read Ready Signal Enable	Buffer Write Ready Signal Enable	DMA Interrupt Signal Enable	Block Gap Event Signal Enable	Transfer Complete Signal Enable	Command Complete Signal Enable

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.22 Error Interrupt Signal Enable Register

D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
Reserved	AHB Master Error Signal Enable	Auto CMD19 Error Signal Enable	Boot Acknowledge Error Signal Enable	Reserved	Tuning Error Signal Enable	ADMA Error Signal Enable	Auto CMD Error Signal Enable	Current limit Error Signal Enable	Data End Bit Error Signal Enable	Data CRC Error Signal Enable	Data Timeout Error Signal Enable	Command Index Error Signal Enable	Command End Bit Error Signal Enable	Command CRC Error Signal Enable	Command Timeout Error Signal Enable

bit	Attribute	説明
15	Rsvd	Vendor Specific Error Signal Enable15 は、ありません。
14	RW	AHB Master Error Signal Enable Error Interrupt Status Reg.(Offset 032h)の AHB Master Error に対する割込み出力許可を設定 "1"：Enabled "0"：Masked **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write
13	RW	Auto CMD19 Error Signal Enable Error Interrupt Status Reg.(Offset 032h)の Auto CMD19 Error に対する割込み出力許可を設定 "1"：Enabled "0"：Masked **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write
12	RW	Boot Acknowledge Error Signal Enable Error Interrupt Status Reg.(Offset 032h)の Boot Acknowledge Error に対する割込み出力許可を設定。 "1"：Enabled "0"：Masked **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write

その他のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.23 Auto CMD Error Status Register

D15 D08	D07	D06 D05	D04	D03	D02	D01	D00
Reserved	Command Not Issued by Auto CMD12 Error	Reserved	Auto CMD Index Error	Auto CMD End Bit Error	Auto CMD CRC Error	Auto CMD Timeout Error	Auto CMD12 not executed

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.24 Host Control 2 Register

D15	D14	D13 D08	D07	D06	D05 D04	D03	D02 D00
Preset Value Enable	Asynchronous Interrupt Enable(*注 1)	Reserved	Sampling Clock Select	Execute Tuning(*注 2)	Driver Strength Select	1.8V Signaling Enable	UHS Mode Select

本マクロは Interrupt Period at the Data Block Gap 以外の Interrupt Period の割込みを本レジスタの設定内容に関わらず、すべて非同期として取り扱っています。そのため、割込み受信制御論理に本レジスタ内容は利用していません。

Divided Clock Mode で Execute Tuning ビットを"1"にセットする場合は、Clock Control Register (Offset 02Ch) の SDCLK Frequency Select を"00"h 設定しておく必要があります。

その他のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.25 Capabilities Register

D63						D56	D55							D48
Reserved							Clock Multiplier							
D47 D46	D45	D44	D43			D40	D39	D38	D37	D36	D35	D34	D33	D32
Re-Tuning Modes	Use Tuning for SDR50	Reserved	Timer Count for Re-Tuning				Reserved	Driver Type D Support	Driver Type C Support	Driver Type A Support	Reserved	DDR50 Support	SDR104 Support	SDR50 Support
D31 D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
Slot Type	Asynchronous Interrupt Support	64-bit System Bus Support	Reserved	Voltage Support 1.8V	Voltage Support 3.0V	Voltage Support 3.3V	Suspend/Resume Support	SDMA Support	High Speed Support	Reserved	ADMA2 Support	8-bit Support for Embedded Device	Max Block Length	
D15						D08	D07	D06	D05					D00
Base Clock Frequency For SD Clock							Timeout Clock Unit	Reserved	Timeout Clock Frequency					

bit	Attribute	説明
63-56	Rsvd	Reserved
55-48	HwInit	Clock Multiplier 本フィールドは Programmable Clock Mode における Clock 生成器に使われる逓倍値を示します。 ※本ファミリでは対応していません。

00h	Clock Multiplier is NOT Supported
01h	Clock Multiplier M = 2
02h	Clock Multiplier M = 3
…..	
FFh	Clock Multiplier M = 256

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>47-46</td><td>HwInit</td><td>Re-Tuning Modes
本フィールドにより Re-Tuning Mode を選択します。
※本ファミリでは対応していません。<table><tr><td>00b</td><td>Re-Tuning Mode1</td></tr><tr><td>01b</td><td>Re-Tuning Mode2</td></tr><tr><td>10b</td><td>Re-Tuning Mode3</td></tr><tr><td>11b</td><td>Reserved</td></tr></table></td></tr>
<tr><td>45</td><td>HwInit</td><td>Use Tuning for SDR50
"1"設定した場合､Host Controller が SDR50 動作時に Tuning を必要とすることを示します。
CR_TUNSDR50_I 端子の値が本ビットに反映されます。
"1"：SDR50 (Tuning が必要)
"0"：SDR50 (Tuning 必要なし)
※本ファミリでは対応していません。</td></tr>
<tr><td>44</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>43-40</td><td>HwInit</td><td>Timer Count for Re-Tuning
本フィールドは Re-Tuning Timer の値を示します。
※本ファミリでは対応していません。<table><tr><td>0h</td><td>Re-Tuning Timer disabled</td></tr><tr><td>1h</td><td>1 seconds</td></tr><tr><td>2h</td><td>2 seconds</td></tr><tr><td>3h</td><td>4 seconds</td></tr><tr><td>4h</td><td>8 seconds</td></tr><tr><td>.....</td><td></td></tr><tr><td>N</td><td>2(n-1) seconds</td></tr><tr><td>.....</td><td></td></tr><tr><td>Bh</td><td>1024 seconds</td></tr><tr><td>Ch-Eh</td><td>Reserved</td></tr><tr><td>Fh</td><td>Get information or other source</td></tr></table></td></tr>
<tr><td>39</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>38</td><td>HwInit</td><td>Driver Type D Support
本ビットは UHS-I における Driver Type D のサポートを示します。
"1"：Driver Type D サポート
"0"：Driver Type D 未サポート</td></tr>
<tr><td>37</td><td>HwInit</td><td>Driver Type C Support
本ビットは UHS-I における Driver Type C のサポートを示します。
"1"：Driver Type C サポート
"0"：Driver Type C 未サポート</td></tr>
<tr><td>36</td><td>HwInit</td><td>Driver Type A Support
本ビットは UHS-I における Driver Type A のサポートを示します。
"1"：Driver Type A サポート
"0"：Driver Type A 未サポート</td></tr>
<tr><td>35</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>34</td><td>HwInit</td><td>DDR50 Support
"1"：DDR50 サポート
"0"：DDR50 未サポート</td></tr>
</table>

bit	Attribute	説明
33	HwInit	SDR104 Support "1"：SDR104 サポート "0"：SDR104 未サポート
32	HwInit	SDR50 Support "1"：SDR50 サポート "0"：SDR50 未サポート
31-30	HwInit	Slot Type 本フィールドは Slot Type を示します。 "00b"：Removable Card Slot "01b"：Embedded Slot for One Device "10b"：Shared Bus Slot "11b"：Reserved Shared Bus Slot (10b) 設定した場合には、Shared Bus Control Reg.(Offset 0E0h)をサポートすることになります。
29	HwInit	Asynchronous Interrupt Support "1" 固定。 Asynchronous Interrupt サポート。
28	HwInit	64-bit System Bus Support "0" 固定。 64-bit System Bus Support 未サポート。
27	Rsvd	Reserved
26	HwInit	Voltage Support 1.8V "1"：サポート "0"：未サポート
25	HwInit	Voltage Support 3.0V "1"：サポート "0"：未サポート
24	HwInit	Voltage Support 3.3V "1"：サポート "0"：未サポート
23	HwInit	Suspend/Resume Support "1" 固定。 Suspend/Resume サポート。
22	HwInit	SDMA Support "1"：SDMA サポート "0"：SDMA 未サポート
21	HwInit	High Speed Support "1" 固定。 High Speed Support サポート。
20	Rsvd	Reserved
19	HwInit	ADMA2 Support "1"：ADMA2 サポート "0"：ADMA2 未サポート
18	HwInit	8-bit Support for Embedded Device "0"：8bit Bus Width 未サポート "1"：8bit Bus Width サポート

bit	Attribute	説明
17-16	HwInit	Max Block Length 本フィールドは Host Controller の Buffer へ転送できる最大ブロックサイズを示します。 "00b"：512byte "01b"：1024byte "10b"：2048byte "11b"：Reserved
15-08	HwInit	Base Clock Frequency For SD Clock 本フィールドは Base Clock Frequency を示します。 1 MHz から 255 MHz まで設定可能です。 FFh：255 MHz ….：……. 02h：2 MHz 01h：1 MHz 00h：Get Information via another method
07	HwInit	Timeout Clock Unit 本ビットは Data Timeout Error 検知用のクロック周波数の単位を示します。 "0"：kHz "1"：MHz
06	Rsvd	Reserved
05-00	HwInit	Timeout Clock Frequency 本ビットは Data Timeout Error 検知用のクロック周波数を示します。 "Not 0" ：1 kHz to 63 kHz or 1 MHz to 63 MHz "000000"：Get Information vi another method

2.26 Maximum Current Capabilities Register

D63						D32	
Reserved							
D31	D24	D23	D16	D15	D08	D07	D00
Reserved		Maximum Current for 1.8V		Maximum Current for 3.0V		Maximum Current for 3.3V	

bit	Attribute	説明
63-32	Rsvd	Reserved
31-24	Rsvd	Reserved
23-16	HwInit	Maximum Current for 1.8V 0: Get Information via another method 1: 4 mA 2: 8 mA 3: 12 mA ….: …. …. …. 255: 1020 mA
15-08	HwInit	Maximum Current for 3.0V 0: Get Information via another method 1: 4 mA 2: 8 mA 3: 12 mA ….: …. …. …. 255: 1020 mA
07-00	HwInit	Maximum Current for 3.3V 0: Get Information via another method 1: 4 mA 2: 8 mA 3: 12 mA ….: …. …. …. 255: 1020 mA

2.27 Force Event Register for Auto CMD Error Status

D15 D08	D07	D06 D05	D04	D03	D02	D01	D00
Reserved	Force Event for Command Not Issued by Auto CMD12 Error	Reserved	Force Event for Auto CMD Index Error	Force Event for Auto CMD End Bit Error	Force Event for Auto CMD CRC Error	Force Event for Auto CMD Timeout Error	Force Event for Auto CMD12 not executed

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.28 Force Event Register for Error Interrupt Status

D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
Reserved	Force Event for AHB Master Error	Force Event for Auto CMD19 Error	Force Event for Boot Acknowledge Error	Reserved	Force Event for Tuning Error	Force Event for ADMA Error	Force Event for Auto CMD12 Error	Force Event for Current limit Error	Force Event for Data End Bit Error	Force Event for Data CRC Error	Force Event for Data Timeout Error	Force Event for Command Index Error	Force Event for Command End Bit Error	Force Event for Command CRC Error	Force Event for Command Timeout Error

bit	Attribute	説明
15	Rsvd	Force Event for Vendor Specific Error Status15 は、ありません。
14	WO	Force Event for AHB Master Error Error Interrupt Status Reg.(Offset 032h)の AHB Master Error への強制設定。 "1" : Interrupt is generated "0" : No Interrupt **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write
13	WO	Force Event for Auto CMD19 Error Error Interrupt Status Reg.(Offset 032h)の Auto CMD19 Error への強制設定。 "1" : Interrupt is generated "0" : No Interrupt **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write
12	WO	Force Event for Boot Acknowledge Error Error Interrupt Status Reg.(Offset 032h)の Boot Acknowledge Error への強制設定。 "1" : Interrupt is generated "0" : No Interrupt **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>10</td><td>WO</td><td>Force Event for Tuning Error
Error Interrupt Status Reg.(Offset 032h)の Tuning Error への強制設定。
"1"：Interrupt is generated
"0"：No Interrupt
<table>
<tr><th>Set/Reset</th><th>条件</th></tr>
<tr><td>Set</td><td>1) "1" Write</td></tr>
<tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr>
</table>
</td></tr>
</table>

その他のレジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.29 ADMA Error Status Register

D07 D03	D02	D01 D00
Reserved	ADMA Length Mismatch Error	ADMA Error States

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.30 ADMA System Address Register

D63	D00
ADMA System Address	

レジスタ詳細は、"Part A2 SD Host Controller Standard Specification version 3.00"を参照してください。

2.31 Preset Value Register

Preset Value Register は、以下のようにスピードモードに対して、それぞれレジスタを持っています。

Offset	Preset Value Register	Signal Voltage
060h	Preset Value for Initialization	3.3V or 1.8V
062h	Preset Value for Default Speed	3.3V
064h	Preset Value for High Speed	3.3V
066h	Preset Value for SDR12	1.8V
068h	Preset Value for SDR25	1.8V
06Ah	Preset Value for SDR50	1.8V
06Ch	Preset Value for SDR104	1.8V
06Eh	Preset Value for DDR50	1.8V

各 Preset Value レジスタ(8 種類)は、それぞれ以下のレジスタビット構成になります。

D15 D14	D13 D11	D10	D09 D00
Driver Strength Select Value	Reserved	Clock Generator Select Value	SDCLK Frequency Select Value

2.32 Shared Bus Control Register

D31	D30 D24	D23	D22 D20	D19	D18 D16	D15	D14 D08	D07 D06	D05 D04	D03	D02 D00
Reserved	Back-End Power Control	Reserved	Interrupt Pin Select	Reserved	Clock Pin Select	Reserved	Bus Width Preset	Reserved	Number of Interrupt Input Pins	Reserved	Number of Clock Pins

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>31</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>30-24</td><td>RW</td><td>Back-End Power Control
embedded device の back-end パワー供給を制御する。

機能定義
"0"：Back-End Power is Off
"1"：Back-End Power is Supplied

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
<tr><td>23</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>22-20</td><td>RW</td><td>Interrupt Pin Select
Interrupt Pin 入力を本ビットによって許可する。

機能定義
"000b"：Interrupt is detected by interrupt Cycle
"xx1b"：INT_A is Enabled
"x1xb"：INT_B is Enabled
"1xxb"：INT_C is Enabled

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
<tr><td>19</td><td>Rsvd</td><td>Reserved</td></tr>
</table>

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>18-16</td><td>RW</td><td>Clock Pin Select
Clock Pin 出力の 1 つをこのフィールドによって選ぶ。

機能定義
"000b"：Clock Pins are Disabled
"001b"：CLK[1](SD_CLK) is Selected
"010b"：CLK[2](SD_CLK) is Selected
・・・：・・・
"111b"：CLK[7](SD_CLK) is Selected

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
<tr><td>15</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>14-08</td><td>HwInit</td><td>Bus Width Preset
各 embedded device の Bus Width を示します。

機能定義
"0"：4 bit bus width mode
"1"：8 bit bus width mode</td></tr>
<tr><td>07-06</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>05-04</td><td>HwInit</td><td>Number of Interrupt input Pins
サポートしている Interrupt input pin 数を示します。

機能定義
"00b"：Interrupt Input Pin is Not Supported
"01b"：INTA is Supported
"10b"：INTA and INTB are Supported
"11b"：INTA, INTB and INTC are Supported</td></tr>
<tr><td>03</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>02-00</td><td>HwInit</td><td>Number of Clock Pins
Clock Pin のサポート本数を示します。

機能定義
"000b"：Shared bus is not supported
"001b"：1 SDCLK pin is supported
"010b"：2 SDCLK pin are supported
・・・：・・・
"111b"：7 SDCLK pin are supported</td></tr>
</table>

2.33 Slot Interrupt Status Register

D15	D08	D07	D00
Reserved		Interrupt Signal For Each Slot	

※本ファミリは Multiple Slot をサポートしていないため、本レジスタは実装していません。

2.34 Host Controller Version Register

D15	D08	D07	D00
Vendor Version Number		Specification Version Number	

bit	Attribute	説明
15-08	HwInit	Vendor Version Number Vendor Version Number を示します。 "01h" 固定設定
07-00	HwInit	Specification Version Number Specification Version Number を示します。 "02h" 固定設定(SD Host Specification Version 3.00 対応)

2.35 AHB Config Register

D31							D16
Reserved							
D15	D07	D06	D05	D04	D03	D02	D01	D00
Reserved		Big/Little Endian Select	BSLOCK SEL	BSLOCK	SINEN	INCRSEL		

bit	Attribute	説明
31-07	Rsvd	Reserved
06	RW	Big / Little Endian Select Big Endian か Little Endian を設定するビットです。 "0"：Littele Endian を選択 "1"：Big Endian を選択 ※本ファミリでは"0"設定にしてください。 **Set/Reset** / **条件** Set: 1) "1"Write ただし、DMA 転送中には書き込むことはできません。 Reset ("0"): 1) システムリセット 2) "0" Write ただし、DMA 転送中には書き込むことはできません。
05	RW	BSLOCK Select Bus Lock の制御方法を設定するビットです。 "0"：1 Packet(512byte)転送期間中に Bus Lock を行います。 "1"：DMA 転送期間中に Bus Lock を行います。 **Set/Reset** / **条件** Set: 1) "1" Write ただし、DMA 転送中には書き込むことはできません。 Reset ("0"): 1) XRESET_I 2) "0" Write ただし、DMA 転送中には書き込むことはできません。

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>04</td><td>RW</td><td>BSLOCK
Bus Lock 機能を利用するための設定ビットです。
"0"：Bus Lock の機能を無効にします。
"1"：Bus Lock の機能を有効にします。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write
ただし、DMA 転送中には書き込むことはできません。</td></tr><tr><td>Reset ("0")</td><td>1) XRESET_I
2) "0" Write
ただし、DMA 転送中には書き込むことはできません。</td></tr></table>本ビットで"1"と設定した場合、本レジスタの BSLOCKSEL で選択した
Bus Lock の動作となります。</td></tr>
<tr><td>03</td><td>RW</td><td>SINEN
Word 境界までの BYTE 転送(OUT 転送時のみ)や INCRSEL[2:0]で選択した固定長バースト境界までの WORD 転送のバーストタイプを設定するビットです。
"0"：INCR を使用します。
"1"：SINGLE を使用します。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write
ただし、DMA 転送中には書き込むことはできません。</td></tr><tr><td>Reset ("0")</td><td>1) XRESET_I
2) "0" Write
ただし、DMA 転送中には書き込むことはできません。</td></tr></table></td></tr>
<tr><td>02-00</td><td>RW</td><td>INCRSEL
DMA 転送を行う時、使用する AHB 固定長バーストタイプ(INCR4/8/16)を設定するビットです。
"000b"：INCR4 と INTR8 と INCR16 を使用しません。
"001b"：INCR4 を使用します。
"010b"：INCR8 を使用します。
"011b"：INCR4 と INCR8 を使用します。
"100b"：INCR16 を使用します。
"101b"：INCR4 と INCR16 を使用します。
"110b"：INCR8 と INCR16 を使用します。
"100b"：INCR4 と INCR8 と INCR16 を使用します。

各 AHB 固定長バーストは、アドレス(AM_HADDR_O)が下記境界となる時、転送量に応じて、DMA Controller が INCR16→INCR8→INCR4 の優先順で自動発行します。
INCR16 AM_HADDR_O[5:0]=000000b
INCR8　AM_HADDR_O[4:0]=00000b
INCR4　AM_HADDR_O[3:0]=0000b

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write
ただし、DMA 転送中には書き込むことはできません。</td></tr><tr><td>Reset (“0”)</td><td>1) XRESET_I
2) "0" Write
ただし、DMA 転送中には書き込むことはできません。</td></tr></table></td></tr>
</table>

CSEL[2:0]の設定例を以下に示します。

例 1)

SINEN = "0", INCRSEL[2:0] = "000b"とした場合、
すべての転送を INCR(不定長バースト)で行います。

例 2)

SINEN = "1", INCRSEL[2:0] = "000b"とした場合、
すべての転送を SINGLE(単独転送)で行います。

例 3)

SINEN = "0", INCRSEL[2:0] = "111b"とした場合、
INCR4, INCR8, INCR16 の AHB 固定長バーストが各境界に達すると使用します。
AHB 固定長バースト境界が共通している場合は、転送量に応じて INCR16→INCR8→INCR4 の優先順にて転送を行います。
AHB 固定長バーストのどの境界にも当てはまらない場合は、INCR(不定長バースト)を使用して転送を行います。

例 4)

SINEN = "1", INCRSEL[2:0] = "111b"とした場合、
INCR4, INCR8, INCR16 の AHB 固定長バーストが各境界に達すると使用します。
AHB 固定長バースト境界が共通している場合は、転送量に応じて INCR16→INCR8→INCR4 の優先順にて転送を行います。

AHB 固定長バーストのどの境界にも当てはまらない場合は、SINGLE(単独転送)を使用して転送を行います。

2.36 Power Switching Register

D31			D16
Reserved			
D15	D02	D01	D00
Reserved		I/O Register Selecting	Auto Power Switching Enable

bit	Attribute	説明
31-02	Rsvd	Reserved
01	RW	I/O Register Selecting 電源切換え制御をソフトで行う場合、 ソフト制御のレジスタを選択するビットです。 ※本ファミリではサポートしていません。 "0"：I/O Control 2 を使用します。 "1"：I/O Control 1 を使用します。 **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write
00	RW	Auto Power Switching Enable 電圧切換え制御をハードウェアで行うかソフトウェアで行うか設定するビットです。 "0"：ソフトウェアで電圧切換え制御を行います。 "1"：ハードウェアで電圧切換え制御を行います。 ※本ファミリではサポートしていません。 **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write

2.37 Tuning Setting Register

D31 D28	D27 D24	D23 D17	D16
Reserved	Data Timeout Counter Value For Auto Re-Tuning	Reserved	CMD Conflict Check Disable

D15 D13	D12 D11	D10	D09	D08	D07 D00
Reserved	Re-Tuning Range Select	Re-Tuning Tap Select	Tuning Error Border Select	Tuning Phase Select Enable	Tuning Point Select

Tuning/Re-Tuning については、本ファミリではサポートしていません。

bit	Attribute	説明
31-28	Rsvd	Reserved
27-24	RW	Data Timeout Counter Value For Auto Re-Tuning Re-Tuning Mode3 時、SD_RT_REQ_I からの要求トリガによる自動 Re-Tuning 処理(CMD19 による Re-Tuning)で使用する Data Timeout Counter 値を設定するビットです。 Timeout Control Reg.(Offset 02Eh)の Data Timeout Counter Value と 同内容ビットとなります。

設定値	TMCLK (SD_TOCLK_I)
1111b	Reserved
1110b	SD_CLK×2^27
1101b	SD_CLK×2^26
……	
0001b	SD_CLK×2^14
0000b	SD_CLK×2^13

Set/Reset	条件
Set	1) "1" Write
Reset ("0")	1) システムリセット 2) Software Reset For All 3) "0" Write

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>16</td><td>RW</td><td>CMD Conflict Check Disable
CMD Bus Conflict チェックの有効/無効を選択するビットです。
※本ファミリでは"1"設定にしてください。

"0"： CMD Bus Conflict チェックを有効にします。
"1"： CMD Bus Conflict チェックを無効にします。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
<tr><td>15-13</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>12-11</td><td>RW</td><td>Re-Tuning Range Select
Re-Tuning Mode2 および Mode3 を選択している場合に Re-Tuning Request ビットをセットするための位相チェック範囲を設定するビットです。
Tuning Status Register(110h)の 8 Phase Tuning/Re-Tuning Result ビットの値から、適切な範囲を選択してください。
(例えば、11100000b 値の場合は、"00b"を選択してください。)
不適切な範囲を設定している場合は、動作の保証を致しません。

"00b"：±1 の範囲でチェックします。
"01b"：±2 の範囲でチェックします。
"10b"：±3 の範囲でチェックします。
"11b"：Reserved

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) Sampling Clock Select ビットへの"0"
4) "0" Write</td></tr></table></td></tr>
<tr><td>10</td><td>RW</td><td>Re-Tuning Tap Select
Re-Tuning 時に扱う位相数を選択するビットです。
"0"：8 位相分 Re-Tuning を実行します。
"1"：3 位相分 (現在の位相とその両隣の位相) Re-Tuning を実行します。
Tuning Status Register の 8 phase Tuning/Retuning Result ビットが 3 つ以上のビットが"1"の場合のみ、本ビット"1"設定可能です。

本ビットは、Re-Tuning Mode によって以下のように設定してください。
Re-Tuning Mode1："0" または "1"
Re-Tuning Mode2："0"
Re-Tuning Mode3："0"

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) Sampling Clock Select ビットへの"0"
4) "0" Write</td></tr></table></td></tr>
</table>

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>09</td><td>RW</td><td>Tuning Border Error Select
Tuning/Re-Tuning(8 位相分)時に Tuning Fail のボーダーを設定するビットです。
"0"：3 位相幅以上 SD カードからテストパターンを正常受信できた時
Tuning Success とします。
"1"：1 位相幅以上 SD カードからテストパターンを正常受信できた時
Tuning Success とします。
Re-Tuning Tap Select ビット"1"設定時は、本ビットの設定は無効です。本ビットの設定に関わらず 2 位相以上 OK で Tuning Success とします。

本ビットは、Re-Tuning Mode によって以下のように設定してください。
Re-Tuning Mode1："0" または "1"
Re-Tuning Mode2："0"
Re-Tuning Mode3："0"

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) Sampling Clock Select ビットへの"0"
4) "0" Write</td></tr></table></td></tr>
<tr><td>08</td><td>RWAC</td><td>Tuning Phase Select Enable
Tuning/Re-Tuning の位相決定をソフトウェアで再選択するビットです。
"0"：ソフトウェアによる位相の再選択無効。
"1"：ソフトウェアによる位相の再選択有効。

ソフトウェアによる位相決定を行う場合は、Tuning / Re-Tuning 完了後、
非通信である時に本ビットを"1"にすると同時に Tuning Point Select ビットで
使用したい位相を設定し、書き込んでください。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) Sampling Clock Select ビットへの"0"
4) "1" Write 後自動でクリア</td></tr></table></td></tr>
</table>

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>07-00</td><td>RW</td><td>Tuning Point Select
Tuning/Re-Tuning の位相決定をソフトウェアで行う場合(Tuning Phase Select Mode ビット "1")、使用する位相を設定するビットです。

"0000_0001b"：0 位相目を選択
"0000_0010b"：1 位相目を選択
"0000_0100b"：2 位相目を選択
"0000_1000b"：3 位相目を選択
"0001_0000b"：4 位相目を選択
"0010_0000b"：5 位相目を選択
"0100_0000b"：6 位相目を選択
"1000_0000b"：7 位相目を選択

上記以外の値を設定しないでください。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) Sampling Clock Select ビットへの"0"
4) "0" Write</td></tr></table></td></tr>
</table>

2.38 Tuning Status Register

D31	D24	D23	D16
Reserved		Present Tuning point	

D15	D11	D10	D08	D07	D00
Reserved		3 Phase Re-Tuning Result		8 Phase Tuning/Re-Tuning Result	

Tuning/Re-Tuning については、本ファミリではサポートしていません。

bit	Attribute	説明
31-24	Rsvd	Reserved
23-16	ROC	Present Tuning point 現在選択している基準位相情報を示すビットです。 本ビットは、Tuning/Re-Tuning が完了した後に更新します。 ソフトで位相を変更した場合は、Tuning Point Select への書込み後に更新します。 "0000_0001b"：0 位相目を選択中 "0000_0010b"：1 位相目を選択中 "0000_0100b"：2 位相目を選択中 "0000_1000b"：3 位相目を選択中 "0001_0000b"：4 位相目を選択中 "0010_0000b"：5 位相目を選択中 "0100_0000b"：6 位相目を選択中 "1000_0000b"：7 位相目を選択中
15-11	Rsvd	Reserved

Set/Reset	条件
Set	---
Reset ("0")	1) システムリセット 2) Software Reset For All 3) Sampling Clock Select ビットへの"0" Write

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>10-08</td><td>ROC</td><td>3 Phase Re-Tuning Result
3 位相分の Re-Tuning 実行の結果を表示するビットです。
[10]　現在の位相より 1 位相後の結果を示します。
[09]　現在選択中の位相の結果を示します。
[08]　現在の位相から 1 位相前の結果を示します。

"0"：SD カードからテストパターンを正常受信できなかったことを示します。
"1"：SD カードからテストパターンを正常受信できたことを示します。

本ビットは、Tuning Setting Register の Re-Tuning Tap Select ビットが"1"の場合に有効になります。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>---</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) Sampling Clock Select ビットへの"0"</td></tr></table></td></tr>
<tr><td>07-00</td><td>ROC</td><td>8 Phase Tuning / Re-Tuning Result
Tuning または、8 位相分の Re-Tuning(8 位相分)実行の結果を表示するビットです。
[07]　7 位相目の結果を示します。
[06]　6 位相目の結果を示します。
[05]　5 位相目の結果を示します。
[04]　4 位相目の結果を示します。
[03]　3 位相目の結果を示します。
[02]　2 位相目の結果を示します。
[01]　1 位相目の結果を示します。
[00]　0 位相目の結果を示します。

"0"：SD カードからテストパターンを正常受信できなかったことを示します。
"1"：SD カードからテストパターンを正常受信できたことを示します。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>---</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) Sampling Clock Select ビットへの"0"</td></tr></table></td></tr>
</table>

2.39 Power Switching Interrupt Status Register

D31			D16		
Reserved					
D15			D02	D01	D00
Reserved				1ms Wait Interrupt	5ms Wait Interrupt

本ファミリでは電源切換えに対応していません。

bit	Attribute	説明
31-02	Rsvd	Reserved
01	RW1C	1ms Wait Interrupt 電圧切換えがハードウェア制御である場合(Power Switching Register の AutoPower Switching Enable ビットが"1" 設定)に、1ms wait 完了割込みビット(*1)です。 *1：400kHz で動作させた場合に 1ms で割込みをセットします。 (100kHz で動作させた場合には 4ms で割込みをセットします。)
00	RW1C	5ms Wait Interrupt 電圧切換えがハードウェア制御である場合(Power Switching Register の AutoPower Switching Enable ビットが"1" 設定)に、5ms wait 完了割込みビット(*2)です。 *2：400kHz で動作させた場合に 5ms で割込みをセットします。 (100kHz で動作させた場合には 20ms で割込みをセットします。)

Set/Reset	条件
Set	1) 1ms Wait が完了した時
Reset ("0")	1) システムリセット 2) Software Reset For All 3) "1" Write

Set/Reset	条件
Set	1) 5ms Wait が完了した時
Reset ("0")	1) システムリセット 2) Software Reset For All 3) "1" Write

2.40 Power switching Interrupt Status Enable Register

D31															D16
Reserved															
D15													D02	D01	D00
Reserved														1ms Wait Interrupt Status Enable	5ms Wait Interrupt Status Enable

本ファミリでは電源切換えに対応していません。

bit	Attribute	説明
31-02	Rsvd	Reserved
01	RW	1ms Wait Interrupt Status Enable Power switching Interrupt Status Register の 1ms Wait Interrupt ビットを有効にするビットです。 "0"：1ms Wait Interrupt ビット無効。 "1"：1ms Wait Interrupt ビット有効。
00	RW	5ms Wait Interrupt Status Enable Power switching Interrupt Status Register の 5ms Wait Interrupt ビットを有効にするビットです。 "0"：5ms Wait Interrupt ビット無効。 "1"：5ms Wait interrupt ビット有効。

Set/Reset	条件
Set	1) "1" Write
Reset ("0")	システムリセット Software Reset For All "0" Write

Set/Reset	条件
Set	1) "1" Write
Reset ("0")	システムリセット Software Reset For All "0" Write

2.41 Power switching Interrupt Signal Enable Register

D31			D16		
Reserved					
D15		D02	D01	D00	
Reserved			1ms Wait Interrupt Signal Enable	5ms Wait Interrupt Signal Enable	

本ファミリでは電源切換えに対応していません。

bit	Attribute	説明
31-02	Rsvd	Reserved
01	RW	1ms Wait Interrupt Signal Enable Power switching Interrupt Status Register の 1ms Wait Interrupt ビットの割込みを有効にするビットです。 "0"：1ms Wait Interrupt ビット無効。 "1"：1ms Wait Interrupt ビット有効。 **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write
00	RW	5ms Wait Interrupt Signal Enable Power switching Interrupt Status Register の 5ms Wait Interrupt ビットの割込みを有効にするビットです。 "0"：5ms Wait Interrupt ビット無効。 "1"：5ms Wait interrupt ビット有効。 **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write

2.42 MMC/eSD Control Register

D31	D19	D18	D17	D16
Reserved		Boot Mode Enbale for MMC	Boot Auto Abort Enable for MMC	Boot Ack Enable for MMC

D15	D10	D09	D08	D07	D04	D03	D02	D01	D00
Reserved		CMD / DAT Delay Select	MMC DDR Select	Reserved		VCCQ Control for MMC	VCC Control for MMC	RST_n Control for MMC	Lock-Reset Control for eSD

bit	Attribute	説明
31-19	Rsvd	Reserved
18	RW	Boot Mode Enable for MMC MMC の Boot Mode を許可設定するビットです。 本ビットが"1"でかつ Command Register への書込みをトリガに Boot Mode による Boot Operation を実行します。 Alternative Boot Mode による Boot Operation を含むその他の通信に関しては、本ビットを"0"にして Command Register への書込みにより通信動作を実施してください。 また、Boot Mode による Boot Operation 実施中に本ビットを"1"から"0"にすることにより、Boot Mode による Boot Operation を Async Abort することが可能です。 Async Abort 対応を実施した場合には、Async Abort 実施後に必ず Software Reset を実施してください。 "0"：Boot Mode による Boot Operation の Disable "1"：Boot Mode による Boot Operation の Enable

Set/Reset	条件
Set	1) "1" Write
Reset ("0")	1) システムリセット 2) Software Reset For All 3) "0" Write

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>17</td><td>RW</td><td>Boot Auto Abort Enable for MMC
MMC の Boot 動作の Abort 処理を自動で制御するビットです。
本ビットが"1"の時、Boot Operation および Alternative Boot Operation の Boot Abort 処理を自動で行います。
Block Count Enable が"1"の時は設定した Block Count 分の転送処理完了後に
に Boot 動作を停止させます。ADMA による転送時には End Attribute を検知した時に Boot 動作を停止させます。

"0"：自動で Abort 処理を行いません。
"1"：自動で Abort 処理を実行します。
<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
<tr><td>16</td><td>RW</td><td>Boot Ack Enable for MMC
MMC の Boot Acknowledge 機能の ON/OFF 制御を行うビットです。

"0"：Boot Acknowledge 機能を無効にします。
"1"：Boot Acknowledge 機能を有効にします。
<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
<tr><td>15-10</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>09</td><td>RW</td><td>CMD / DAT Delay Select
CMD/DAT を遅延させるか否かを選択するビットです。
※本ファミリでは"1"設定にしてください。

"0"：CMD/DAT を SD_CLK で遅延させません。
"1"：CMD/DAT を SD_CLK で遅延させます。
<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
</table>

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>08</td><td>RW</td><td>MMC DDR Select
MMC の DDR Transfer の実行の有無を設定するビットです。
MMC の DDR Transfer 以外のデータ転送時、本ビットは"0"に設定して
ください。"1"に設定する場合には、Clock Control Register(Offset 02Ch)の SD Clock Enable
が"0"かつ SD_CLK を停止しておく必要があります。

"0"：Data Transfer を SDR Transfer 制御。
"1"：Data Transfer を DDR Transfer 制御。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) XRESET_I
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
<tr><td>07-04</td><td>Rsvd</td><td>Reserved</td></tr>
<tr><td>03</td><td>RW</td><td>VCCQ Control for MMC
MMC の VCCQ の値を設定するビットです。
本レジスタの値が、VCCQ の値となります。

"0"：VCCQ の値を"0"にします。
"1"：VCCQ の値を"1"にします。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
<tr><td>02</td><td>RW</td><td>VCC Control for MMC
MMC の VCC の値を設定するビットです。
本レジスタの値が、VCC の値となります。

"0"：VCC の値を"0"にします。
"1"：VCC の値を"1"にします。

<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
</table>

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>01</td><td>RW</td><td>RST_n Control for MMC
MMC の RSTN の値を設定するビットです。
本ビットの値が、RSTN の値となります。

"0"：RSTN の値を"0"にします。
"1"：RSTN の値を"1"にします。
<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
<tr><td>00</td><td>RW</td><td>Lock-Reset Control for eSD
eSD の Lock-Reset 機能の ON/OFF 制御を行うビットです。
本ビットの値が、LOCKRST の値となります。

"0"：LOCKRST の値を"0"にします。
"1"：Lock-Reset 機能を有効にします。
<table><tr><th>Set/Reset</th><th>条件</th></tr><tr><td>Set</td><td>1) "1" Write</td></tr><tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr></table></td></tr>
</table>

2.43 MMC Wait IRQ Control Register

D31			D16
Wait IRQ Cancel Response			
D15	D02	D01	D00
Reserved		Wait IRQ State	Wait IRQ Enable

bit	Attribute	説明
31-16	RW	Wait IRQ Cancel Response Wait IRQ を Cancel する R5 の内容を定義するビットです。 本ビットは、R5(48bit)の内、[15:0]を定義します。 **Set/Reset** / **条件** Set / 1) "1" Write Reset ("0") / 1) システムリセット 2) Software Reset For All 3) "0" Write
15-02	Rsvd	Reserved
01	RO	Wait IRQ State CMD40 が発行されたか否かを示すビットです。 本ビットが"0"の時に、Wait IRQ の Cancel 対応は行わないでください。 "0"：CMD40 が未発行または Command Completed を示します。 "1"：CMD40 発行完了ですが、レスポンス待ちの状態です。 **Set/Reset** / **条件** Set / 1) CMD40 発行完了し、レスポンス待ちの時 Reset ("0") / 1) システムリセット 2) Software Reset For All 3) CMD40 未発行または Command Completed の時

<table>
<tr><th>bit</th><th>Attribute</th><th>説明</th></tr>
<tr><td>00</td><td>RW</td><td>Wait IRQ Enable
Wait IRQ の対応を制御するビットです。
本ビットが"1"の時に CMD を発行した場合には、Wait IRQ の対応を行います。

"0"：Wait IRQ の対応を行いません。
"1"：Wait IRQ の対応を行います。

<table>
<tr><th>Set/Reset</th><th>条件</th></tr>
<tr><td>Set</td><td>1) "1" Write</td></tr>
<tr><td>Reset ("0")</td><td>1) システムリセット
2) Software Reset For All
3) "0" Write</td></tr>
</table>
</td></tr>
</table>

2.44 MMC Wait IRQ Control Register

D31	D16
Wait IRQ Cancel Response	
D15	D0
Wait IRQ Cancel Response	

bit	Attribute	説明
31-00	RW	Wait IRQ Cancel Response Wait IRQ を Cancel する R5 の内容を定義するビットです。 本ビットは、R5(48bit)の内、[47:16]を定義します。 12Fh への書込みで R5 を発行します。 本ビットを書き込む前に、128h の[31:16]を先に書き込んでください。

Set/Reset	条件
Set	1) "1" Write
Reset ("0")	1) システムリセット 2) Software Reset For All 3) "0" Write

2.45 MMC Response Check Bit Register

D31			D16
Reserved			
D15 D13	D12	D07	D06 D00
Reserved	Check Bit 2		Check Bit 1

bit	Attribute	説明
31-13	Rsvd	Reserved
12-07	RO	Check Bit 2 MMC 使用時、レスポンス R2 または R3 におけるチェックビットを格納します。 本ビットに格納するのは、レスポンス R2 の[133:128]またはレスポンス R3 の[45:40]です。 レスポンス R2 または R3 の時には、CMD 発行処理後(Command Complete 割込み発生後)にソフトウェアで本ビットの確認を行い、レスポンスの妥当性を確認してください。
06-00	RO	Check Bit 1 MMC 使用時、レスポンス R3 におけるチェックビットを格納します。 本ビットに格納するのは、レスポンス R3 の[7:1]です。 レスポンス R3 の時には、CMD 発行処理後(Command Complete 割込み発生後)にソフトウェアで本ビットの確認を行い、レスポンスの妥当性を確認してください。

Set/Reset	条件
Set	1) レスポンス値が"1"である時
Reset ("0")	1) システムリセット 2) Software Reset For All 3) レスポンス値が"0"である時

Set/Reset	条件
Set	1) レスポンス値が"1"である時
Reset ("0")	1) システムリセット 2) Software Reset For All 3) レスポンス値が"0"である時

2.46 Card Detect Setting Register

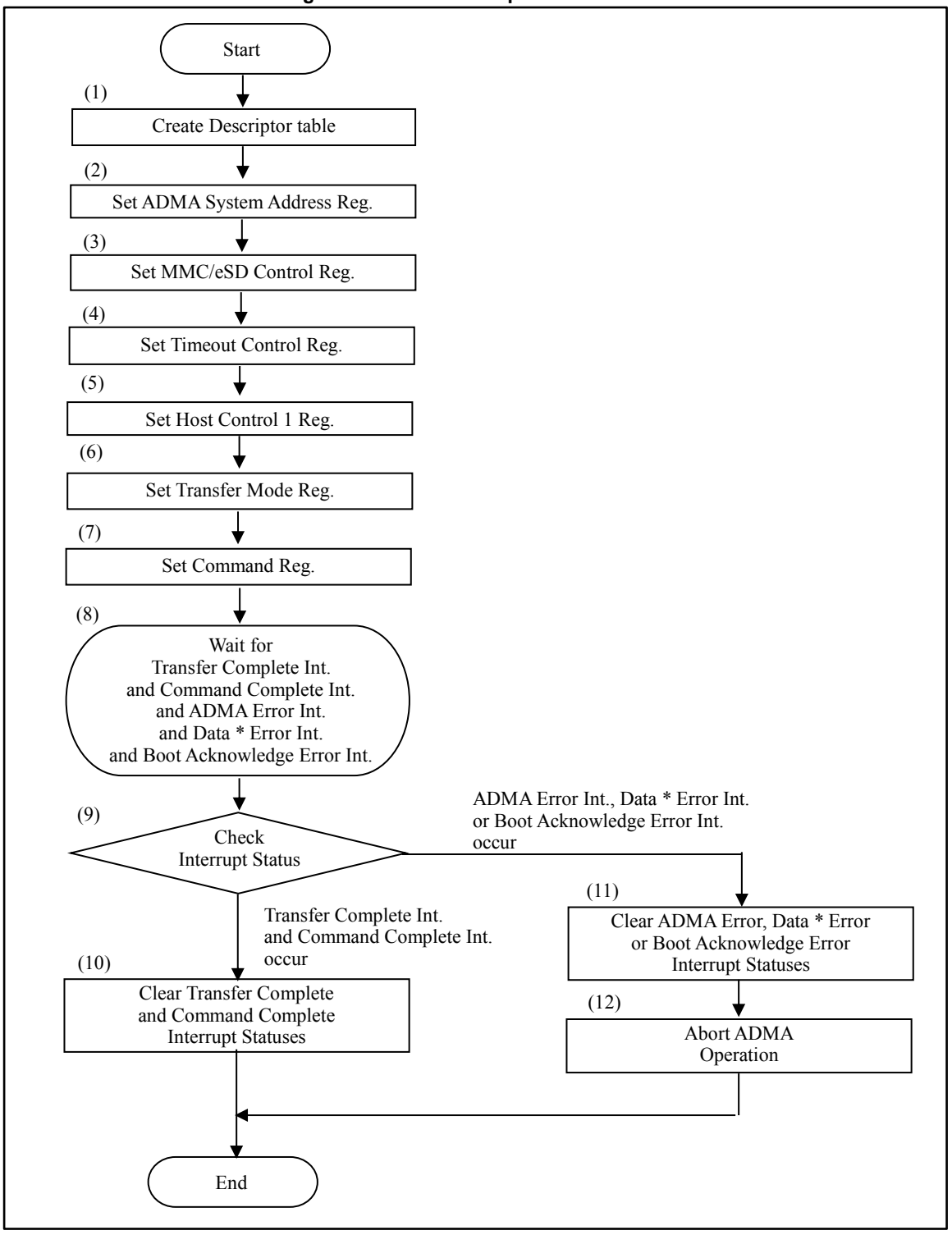
D31					D16
Reserved					
D15	D12	D11	D08	D07	D00
Reserved		Card Detect Debounce Timer Counter Value		Reserved	

bit	Attribute	説明
31-12	Rsvd	Reserved
11-08	HwInit	Card Detect Debounce Timer Counter Value カード検出時のデバウンス期間を設定するビットです。デバウンス期間は SDCLK の分周により測定し、その分周比を本ビットで設定します。 設定値 / SDSDCLK 1111b / Reserved 1110b / SDCLK×2^27 1101b / SDCLK×2^26 …… 0001b / SDCLK×2^14 0000b / SDCLK×2^25
07-00	Rsvd	Reserved

3. MMC Boot Operation

3.1 Boot Mode 制御例 (Using ADMA)

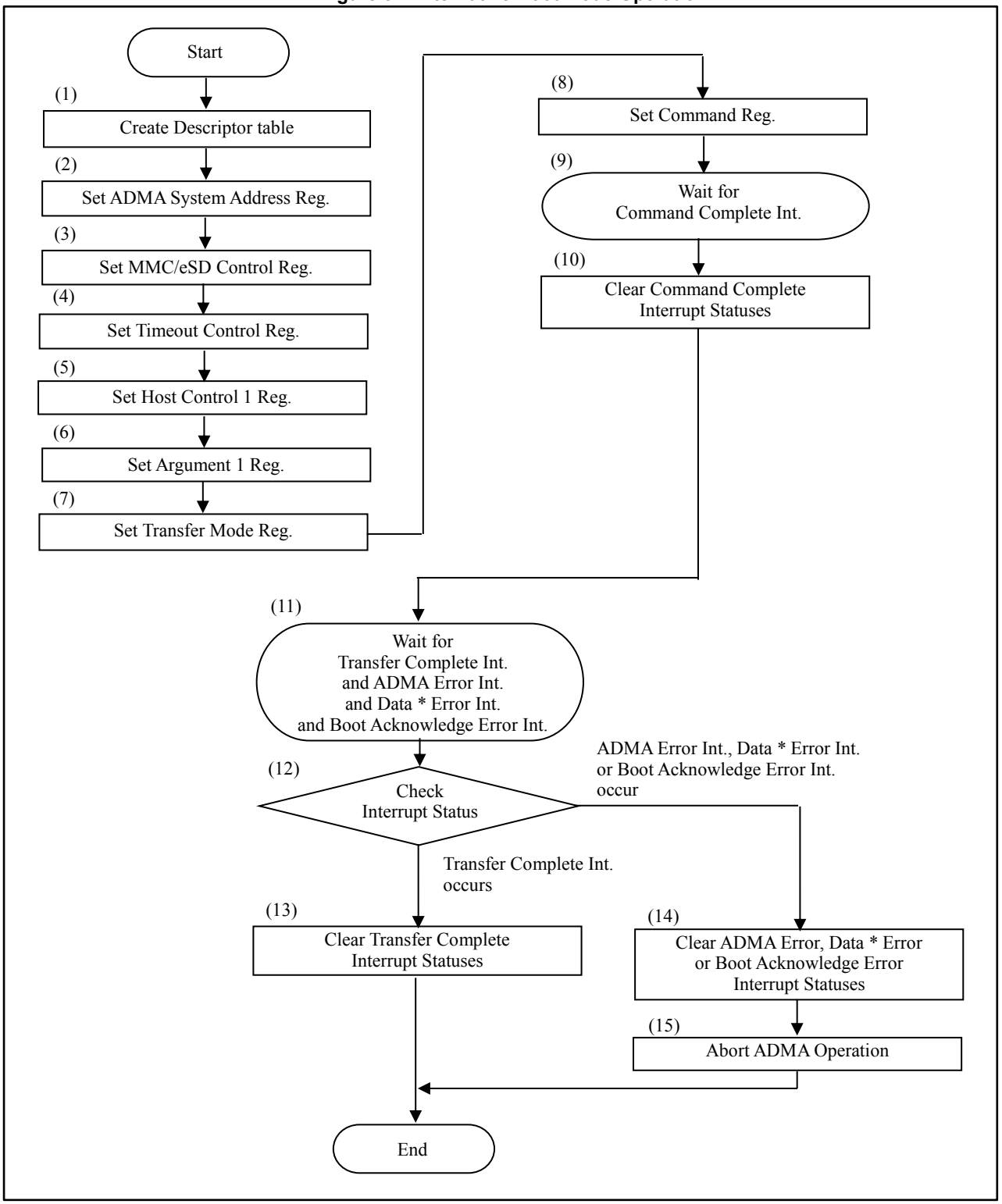
Figure 3-1 Boot Mode Operation



(1) System Memory 内に ADMA Descriptor Table を用意。
(2) ADMA System Address レジスタに ADMA の Descriptor Address を設定。
(3) MMC/eSD Control レジスタの Boot Mode Enable for MMC を 1 に設定。
また、Boot Acknowledge 受信対応する場合には Boot Ack Enable for MMC を 1 に設定、ADMA Descriptor Table の End Attribute に合わせて自動で Boot Operation を完了させる場合には、Boot Auto Abort Enable for MMC を 1 に設定してください。
なお、Boot Auto Abort Enable for MMC を 0 に設定し Boot Operation を実施した場合には、データ転送は Infinite Block Read Transfer となります。転送を完了したい場合は Boot Mode Enable for MMC を 0 にすることにより転送を完了させることが可能です。
(4) Data Timeout Counter Value に tBA, tBD, NAC の タイミング規定の中で 1 番大きな値を設定。
(5) DMA Select を 10b(32-bit Address ADMA2 is selected)に設定。
Extended Data Transfer および Width, Data Transfer Width は通信する形式に合わせて設定してください。
なお、本マクロにおいて High Speed Enable は転送制御に利用していません（本マクロにおいて High Speed Enable は意味のないレジスタとなります）。
(6) Multi/Single Block Select を 1(Multiple Block)に設定。
Data Transfer Direction Select を 1(Read)に設定。
Auto Command Enable を 00b(Auto Command Disabled)に設定。
Block Count Enable を 0(Disable)に設定。
DMA Enable を 1(DMA Data transfer)に設定。
(7) Data Present Select を 1(Data Present)に設定。その他の Command Register 内容に関してはすべて 0 を設定してください。
Command Register の上位バイトの書込みにより、Boot Operation を開始します。
(8) Boot Operation 動作の完了を判断するための割込み待ち。
(9) ADMA Error Int., Data 系 Error Int.または Boot Acknowledge Error Int.が発生した場合には(11)以降の処理を実施。
前記の Error Int.なく Command Complete Int.と Transfer Complete Int.が両方とも発生した場合、(10)の処理を実行。
なお、Command Complete Int.と Transfer Complete Int.の発生は、それぞれ無関係に発生します(発生する順番はシステムの状況に応じて変わります)。
(10)Command Complete と Transfer Complete Interrupt Status をクリア。
(11)対応する Error Interrupt Status をクリア。
(12)MMC/eSD Control Register の Boot Mode Enable を 0 に設定し、Boot Operation の Abort 実施。
Abort 実施後、Software Reset を実施。

3.2 Alternative Boot Mode 制御例 (Using ADMA)

Figure 3-2 Alternative Boot Mode Operation



(1) System Memory 内に ADMA Descriptor Table を用意。
(2) ADMA System Address レジスタに ADMA の Descriptor Address を設定。
(3) MMC/eSD Control レジスタの Boot Mode Enable for MMC を 0 に設定。
また、Boot Acknowledge 受信対応する場合には Boot Ack Enable for MMC を 1 に設定、ADMA Descriptor Table の End Attribute に合わせて自動で Boot Operation を完了させる場合には、Boot Auto Abort Enable for MMC を 1 に設定してください。
なお、Boot Auto Abort Enable for MMC を 0 に設定し Boot Operation を実施した場合には、データ転送は Infinite Block Read Transfer となります。転送を完了したい場合は以下のように CMD0(Reset)を送信してください。
CMD0(Reset)送信手順

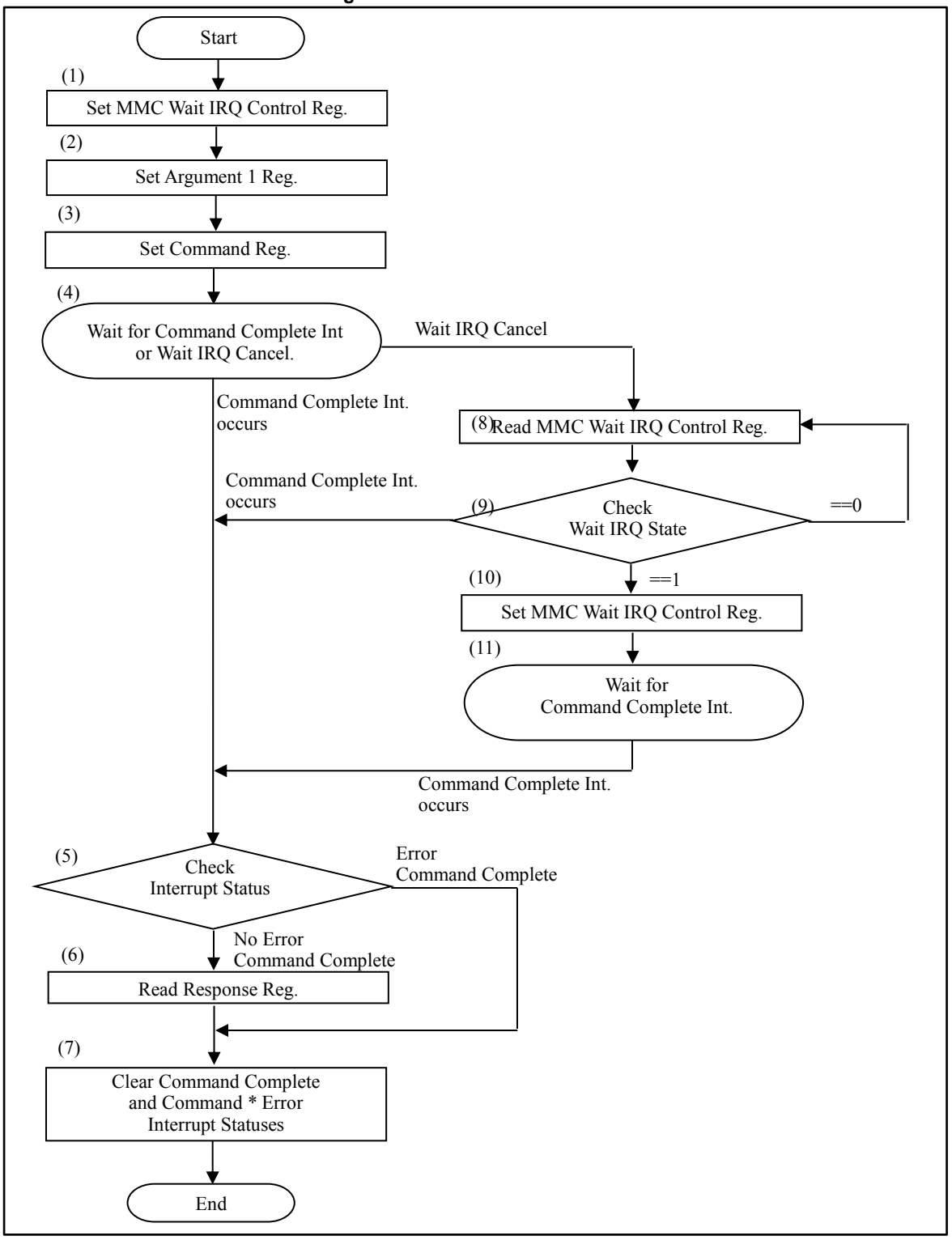
- Present State Register の Command Inhibit(CMD)が 0 であることを確認。
- Argument 1 Register に 0 を設定。
- Command Register の Response Type Select を 00b(No Response)に、Data Present Select を 0(No Data Present)に、Command Type を 11b(Abort)に、Command Index を 0 にそれぞれ設定。
Command Register の上位バイトの書込みにより、上記で設定した CMD0(Reset)が送信。

(4) Data Timeout Counter Value に tBA, tBD, NAC の Timing 規定の中で 1 番大きな値を設定。
(5) DMA Select を 10b(32-bit Address ADMA2 is selected)に設定。
Extended Data Transfer および Width, Data Transfer Width は通信する形式に合わせて設定してください。
なお、本マクロにおいて High Speed Enable は転送制御に利用していません(本マクロにおいて High Speed Enable は意味のないレジスタとなります)。
(6) FFFF_FFFAh を設定。
(7) Mult/Single Block Select を 1(Multiple Block)に設定。
Data Transfer Direction Select を 1(Read)に設定。
Auto Command Enable を 00b(Auto Command Disabled)に設定。
Block Count Enable を 0(Disable)に設定。
DMA Enable を 1(DMA Data transfer)に設定。
(8) Response Type Select を 00b(No Response)に設定。
Data Present Select を 1(Data Present)に設定。
Command Type を 00b(Normal)に設定。
Command Index を 0 に設定。
Command Register の上位バイトの書込みにより、Boot Operation を開始します。
(9) Command Complete Int.待ち。
(10)Command Complete Interrupt Status クリア。
(11)Boot Operation 動作の完了を判断するための割込み待ち。
ADMA Error Int., Data 系 Error Int.または Boot Acknowledge Error Int.が発生した場合には(13)以降の処理を実施。
前記の Error Int.なく Transfer Complete Int.が発生した場合、(12)の処理を実行。
(12)Transfer Complete Interrupt Status をクリア。
(13)対応する Error Interrupt Status をクリア。
(14)CMD0(Reset)を送信し、Boot Operation の Abort 実施。Abort 実施後、Software Reset を実施。
CMD0(Reset)送信手順に関しては(3)を参照。

4. MMC Wait IRQ

4.1 Wait IRQ 制御例

Figure 4-1 MMC Wait Control



(1) MMC Wait IRQ Control Register の Wait IRQ Enable を 1(Enable)に設定。
(2) CMD40(Wait IRQ)の Argument を設定。
(3) Response Type Select を 10b(Response Lendth 48)に設定。
Command CRC Check を 1(Enable)に設定。
Command Index Check Enable を 1(Enable)に設定。
Data Present Select を 0(No Data Present)に設定。
Command Type を 00b(Normal)に設定。
Command Index を 40 に設定。
Command Register の上位バイトの書込みにより、CMD40 送信開始。
(4) Command Complete Int.待ち、または Host Driver からの CMD40 Cancel 待ち。
(5) Command Complete Int.および Command * Error Int.のチェック。
Command * Error Int.がある場合には(7)を実行。
Command * Error Int.がなく、Command Complete Int.があった場合には(6)を実行。
(6) CMD40 の Response 内容を確認。
(7) Interrupt Status をクリア。
(8) Host Driver による Cancel を実行開始。MMC Wait IRQ Control Register をリード。
(9) MMC Wait IRQ Control Register の Wait IRQ State を確認。
Wait IRQ State が 1 の時だけ、本マクロからの CMD40 Response の送信が可能。
Wait IRQ State が 1 の時は CMD40 Response の送信のため(10)へ。
Wait IRQ State が 0 の時は、CMD40 コマンドが送信完了していないか CMD40 のレスポンスまで受信が完了しているかのいずれかとなる。CMD40 コマンドが送信完了していない場合(Command Complete Int.がなく、Wait IRQ State が 0)、(8)に戻る。
Wait IRQ State を確認中に CMD40 の Response 受信による Command Complete Int.が発生した場合には、Wait IRQ の Cancel を取りやめ(5)へ。
(10)MMC Wait IRQ Control Register の Wait IRQ Cancel Response に CMD40 の Response 内容を設定。
12fh 番地の Wait IRQ Cancel Response への書込みをトリガに Wait IRQ Cancel Response に設定した内容を CMD Line に出力する。また、出力データを CMD40 の Response として受信する。

5. SDCLK

製品ごとに SDCLK を生成する Base Clock の周波数が違います。

Figure 5-1 TYPE1-M4 製品を示します。Base Clock は HCLK と同じ周波数 になります。

Figure 5-2 TYPE3-M4,TYPE5-M4,TYPE6-M4 製品を示します。Base Clock は HCLK を 4 分周した周波数になります。

Figure 5-1 TYPE1-M4 製品

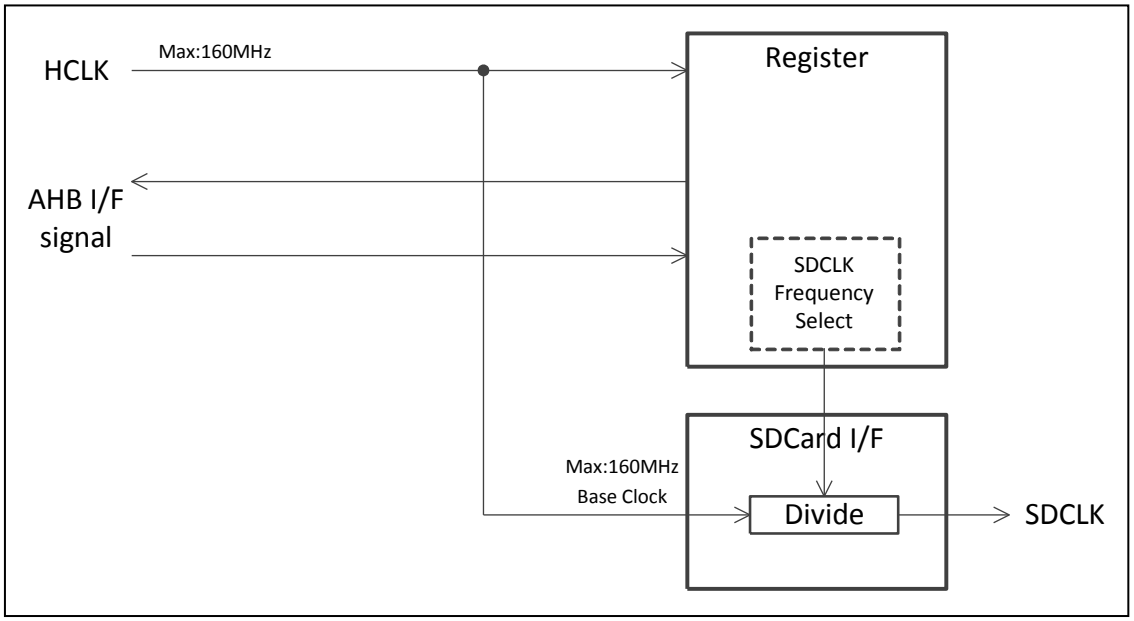
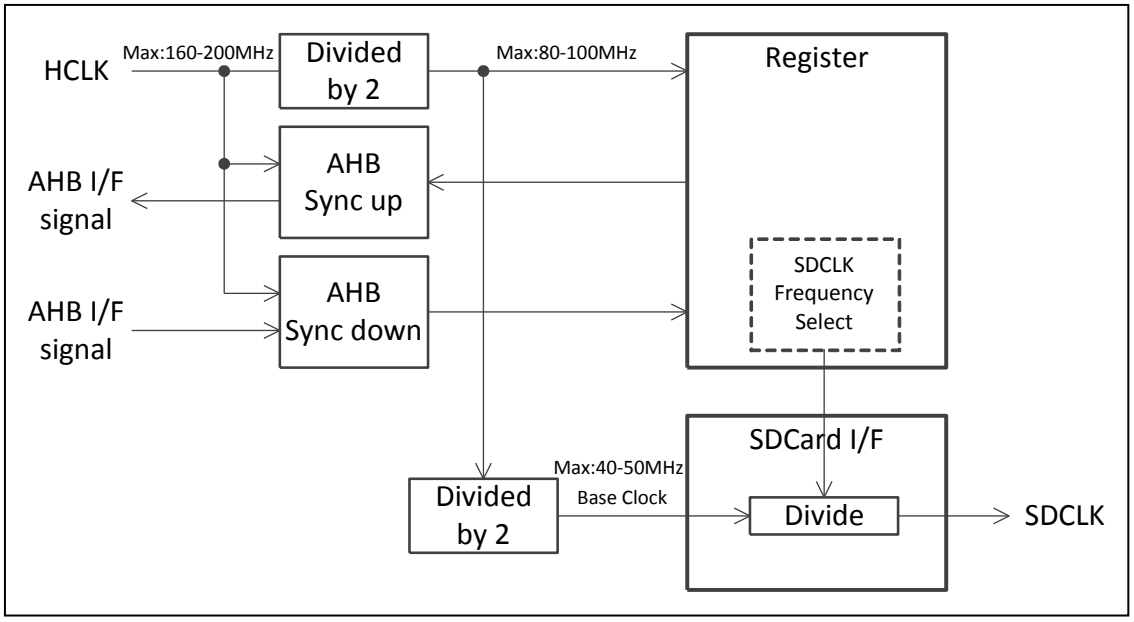


Figure 5-2 TYPE3-M4,TYPE5-M4,TYPE6-M4 製品



CHAPTER 16: デバッグインタフェース

デバッグインタフェース機能と動作について説明します。

1. 概要・構成
2. 端子説明

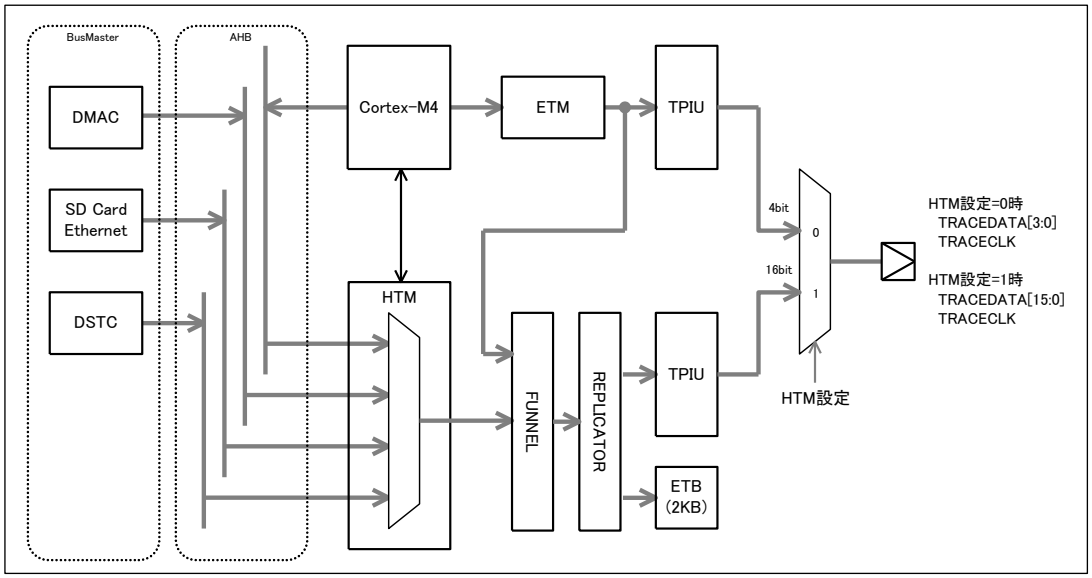
1. 概要・構成

本ファミリは、デバッグインタフェースとしてシリアルワイヤ JTAG デバッグポート(SWJ-DP)/シリアルワイヤデバッグポート(SW-DP)を搭載しています。
SWJ-DP/SW-DP へ ICE 接続することにより、システムデバッグが可能となります。
また、命令トレース用のエンベデッドトレースマクロセル(ETM)とトレースデータを制御するトレースポートインタフェースユニット(TPIU)を搭載しています。
さらに、TYPE3-M4,TYPE5-M4 製品には AHB トレース用の AMBA AHB トレースマクロセル(HTM)を搭載しています。HTM 設定をすることで使用することができます。
デバッグインタフェースについて説明します。
SWJ-DP, SW-DP, ETM, TPIU, HTM およびシステムデバッグについての詳細は、『Cortex –M4 テクニカルリファレンスマニュアル』を参照してください。

特長

SWJ-DP には 5 本の端子が割り当てられています。
SW-DP には 2 本の端子が割り当てられています。
SWJ-DP/SW-DP の初期機能はデバッグインタフェースになります。
命令トレースは、最大 16 ビットのトレースデータ(TRACED0-15)と非同期トレースデータ(SWO)から選択して出力できます。
AHB トレースは、最大 16 ビットのトレースデータ(TRACED0-15)を出力できます。

ETM/HTM ブロックダイヤグラム



HTM 設定

HTM 搭載製品において、HTM コード領域に HTM コードを書き込みます。
電源再投入後に有効となり HTM が使用できます。
HTM コード領域が HTM コード以外の値の場合、HTM が無効になります。
HTM コード領域と HTM コードについては、ご使用する製品の「フラッシュプログラミングマニュアル」を参照ください。

2. 端子説明

端子について説明します。

2.1. デバッグ端子について
2.2. トレース端子について
2.3. 端子の初期機能について
2.4. デバッグ端子の内部プルアップについて

2.1 デバッグ端子について

JTAG は 5 本(TRSTX, TCK, TMS, TDI, TDO)、シリアルワイヤは 2 本(SWCLK, SWDIO)の端子が割り当てられます。また、トレースデータを出力するシリアルワイヤビューワ信号(SWO)が割り当てられています。

TMS と SWDIO，TCK と SWCLK，TDO と SWO は兼用です。

Table 2-1 に、各デバッグモード時の機能一覧表を示します。

Table 2-1 デバッグモード時の JTAG/シリアルワイヤ/トレース機能一覧表

端子	JTAG	シリアルワイヤ/トレース
TCK/SWCLK	TCK(JTAG クロック信号)	SWCLK(シリアルワイヤ クロック信号)
TMS/SWDIO	TMS(JTAG ステートモード信号)	SWDIO(シリアルワイヤ データ入出力信号)
TDI	TDI(JTAG データ入力信号)	-
TDO/SWO	TDO(JTAG データ出力信号)	SWO(シリアルワイヤ ビューワ出力信号)
TRSTX	TRSTX (JTAG リセット信号 "L"アクティブ)	-

2.2 トレース端子について

TYPE1-M4, TYPE2-M4, TYPE4-M4, TYPE6-M4 製品は 4 本のトレース出力データ(TRACED0, TRACED1, TRACED2, TRACED3)と 1 本のクロック(TRACECLK)が割り当てられています。

Table 2-2 に、各デバッグモード時の端子機能一覧表を示します。

Table 2-2 TYPE1-M4, TYPE2-M4, TYPE4-M4, TYPE6-M4 製品 : デバッグモード時のトレース端子機能一覧表

端子	トレース
TRACED0	同期トレースデータ出力信号
TRACED1	同期トレースデータ出力信号
TRACED2	同期トレースデータ出力信号
TRACED3	同期トレースデータ出力信号
TRACECLK	トレースクロック信号

TYPE3-M4 製品は最大 16 本のトレース出力データ(TRACED0-15)と 1 本のクロック(TRACECLK)が割り当てられています。製品によって最大本数は異なります。各製品のデータシートを参照ください。

Table 2-3 に、各デバッグモード時の端子機能一覧表を示します。

Table 2-3 TYPE3-M4, TYPE5-M4 製品 : デバッグモード時のトレース端子機能一覧表

端子	トレース	
	HTM 有効	HTM 無効
TRACED0	同期トレースデータ出力信号	同期トレースデータ出力信号
TRACED1	同期トレースデータ出力信号	同期トレースデータ出力信号
TRACED2	同期トレースデータ出力信号	同期トレースデータ出力信号
TRACED3	同期トレースデータ出力信号	同期トレースデータ出力信号
TRACED4	同期トレースデータ出力信号	-
TRACED5	同期トレースデータ出力信号	-
TRACED6	同期トレースデータ出力信号	-
TRACED7	同期トレースデータ出力信号	-
TRACED8	同期トレースデータ出力信号	-
TRACED9	同期トレースデータ出力信号	-
TRACED10	同期トレースデータ出力信号	-
TRACED11	同期トレースデータ出力信号	-
TRACED12	同期トレースデータ出力信号	-
TRACED13	同期トレースデータ出力信号	-
TRACED14	同期トレースデータ出力信号	-
TRACED15	同期トレースデータ出力信号	-
TRACECLK	トレースクロック信号	トレースクロック信号

2.3 端子の初期機能について

SWJ-DP/SW-DP/ETM/HTM/トレース端子は、GPIO の機能と兼用しています。
SWJ-DP/SW-DP/トレース端子の初期状態はデバッグ機能ですが、ETM/HTM 端子の初期状態はデバッグ機能ではありません。
ご使用時に、デバッグ機能へ設定を行ってください。

<注意事項>

- *デバッグ機能の設定についての詳細は『I/O ポート』の章を参照してください。*
  Table 2-44 に、リセット解除後の初期状態と、PFR レジスタ(PORT 機能設定レジスタ)設定により変更できる機能を示します。
- *PFR レジスタの詳細は『I/O ポート』の章を参照してください。*

Table 2-4 デバッグ端子の初期機能と機能変更一覧

	端子	初期状態の端子機能	PFR レジスタの設定による機能変更
SWJ-DP	TCK/SWCLK	TCK/SWCLK	GPIO
	TMS/SWDIO	TMS/SWDIO	GPIO
	TDI	TDI	GPIO
	TDO/SWO	TDO/SWO	GPIO
	TRSTX	TRSTX	GPIO
SW-DP/ トレース端子	SWCLK	SWCLK	GPIO
	SWDIO	SWDIO	GPIO
	SWO	SWO	GPIO
ETM/HTM 端子	TRACED0	GPIO	TRACED0
	TRACED1	GPIO	TRACED1
	TRACED2	GPIO	TRACED2
	TRACED3	GPIO	TRACED3
	TRACED4	GPIO	TRACED4
	TRACED5	GPIO	TRACED5
	TRACED6	GPIO	TRACED6
	TRACED7	GPIO	TRACED7
	TRACED8	GPIO	TRACED8
	TRACED9	GPIO	TRACED9
	TRACED10	GPIO	TRACED10
	TRACED11	GPIO	TRACED11
	TRACED12	GPIO	TRACED12
	TRACED13	GPIO	TRACED13
	TRACED14	GPIO	TRACED14
	TRACED15	GPIO	TRACED15
	TRACECLK	GPIO	TRACECLK

2.4 デバッグ端子の内部プルアップについて

本ファミリでは、IEEE 規格で規定されているデバッグ端子のプルアップを内部で行っています。
また、GPIO 内のレジスタの設定によりプルアップ機能の制御がユーザ側から行えます。

Table 2-5 デバッグ端子の内部プルアップ有効/無効一覧表

	端子	デバッグ端子有効時のプルアップ*1
SWJ-DP	TCK/SWCLK	有効
	TMS/SWDIO	有効
	TDI	有効
	TDO/SWO	有効 *2
	TRSTX	有効
SW-DP/ トレース端子	SWCLK	有効
	SWDIO	有効
	SWO	有効 *2

*1: リセット時もプルアップは有効です。
*2: 出力時はプルアップが無効になります。

CHAPTER 17: フラッシュメモリ

フラッシュメモリに関しては、ご使用する製品の「フラッシュプログラミングマニュアル」を参照してください。

CHAPTER 18: ユニーク ID レジスタ

ユニーク ID レジスタ機能と動作について説明します。

1. 概要
2. レジスタ

1. 概要

本機能の概要について説明します。

ユニーク ID レジスタには 41 ビットのデバイス固有の値が、あらかじめ設定されています。
この値はすべてのデバイスで異なるため、これを利用してセキュリティ強化, 製品シリアルナンバーなどさまざまな用途に使用することが可能です。
本レジスタはリードオンリーレジスタであり、ユーザが書き込むことはできません。またリセットや電源オン・オフによっても値は変化しません。

2. レジスタ

レジスタの構成と機能について説明します。

レジスター覧

略称	レジスタ名	参照先
UIDR0	ユニーク ID レジスタ 0	2.1
UIDR1	ユニーク ID レジスタ 1	2.2

2.1 ユニーク ID レジスタ 0 (UIDR0)

ユニーク ID レジスタ 0 について説明します。

bit	31	30	29	28	27	26	25	24
Field	UID[27:20]							
属性	R							

bit	23	22	21	20	19	18	17	16
Field	UID[19:12]							
属性	R							

bit	15	14	13	12	11	10	9	8
Field	UID[11:4]							
属性	R							

bit	7	6	5	4	3	2	1	0
Field	UID[3:0]				予約			
属性	R				-			

[bit31:4] UID[27:0] : Unique ID 27~0

ユニーク ID のビット 27～0 です。

[bit3:0] 予約 : 予約ビット

予約ビットです。読出し値は意味を持ちません。

2.2 ユニーク ID レジスタ 1 (UIDR1)

ユニーク ID レジスタ 1 について説明します。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							

bit	15	14	13	12	11	10	9	8
Field	予約			UID[40:36]				
属性	-			R				

bit	7	6	5	4	3	2	1	0
Field	UID[35:28]							
属性	R							

[bit31:13] 予約 : 予約ビット

予約ビットです。読出し値は意味を持ちません。

[bit12:0] UID[40:28] : Unique ID 40~28

ユニーク ID のビット 40～28 です。

CHAPTER 19: プログラマブル CRC

プログラマブル CRC（Cyclic Redundancy Check）について説明します。

1. プログラマブル CRC の概要
2. プログラマブル CRC の構成と動作
3. プログラマブル CRC の制御方法
4. プログラマブル CRC のレジスタ
5. プログラマブル CRC 演算例

1. プログラマブル CRC の概要

プログラマブル CRC の概要について説明します。

1.1 概要

プログラマブル CRC は、入力データの CRC 値を演算することができる機能ブロックです。

- CRC 生成多項式を任意に指定できます。（CRC 値長 32 ビットまで）
- 1 回の入力データ幅は、8bit/16bit/24bit/32bit から選択可能です。複数回のデータ入力をすることにより、多ビット長データの CRC 値を演算できます。
- CRC 演算器への入力データ・フォーマット（ビット・バイト順番）を 4 種から選択できます。
- CRC 演算器からの出力データ・フォーマット（ビット・バイト順番）を 4 種から選択できます。
- CRC 演算の初期値（SEED 値）を任意に指定できます。
- CRC 演算の結果に任意の値（FXOR 値）を XOR して出力できます。
- CRC 演算の処理終了による割り込み通知ができます。
- CRC 演算データの入力を、DSTC によるハードウェア DMA 転送により行うことができます。

2. プログラマブル CRC の構成と動作

2.1 プログラマブル CRC の構成

Figure 2-1 に、プログラマブル CRC のブロック図を示します。

Figure 2-1 プログラマブル CRC のブロック図

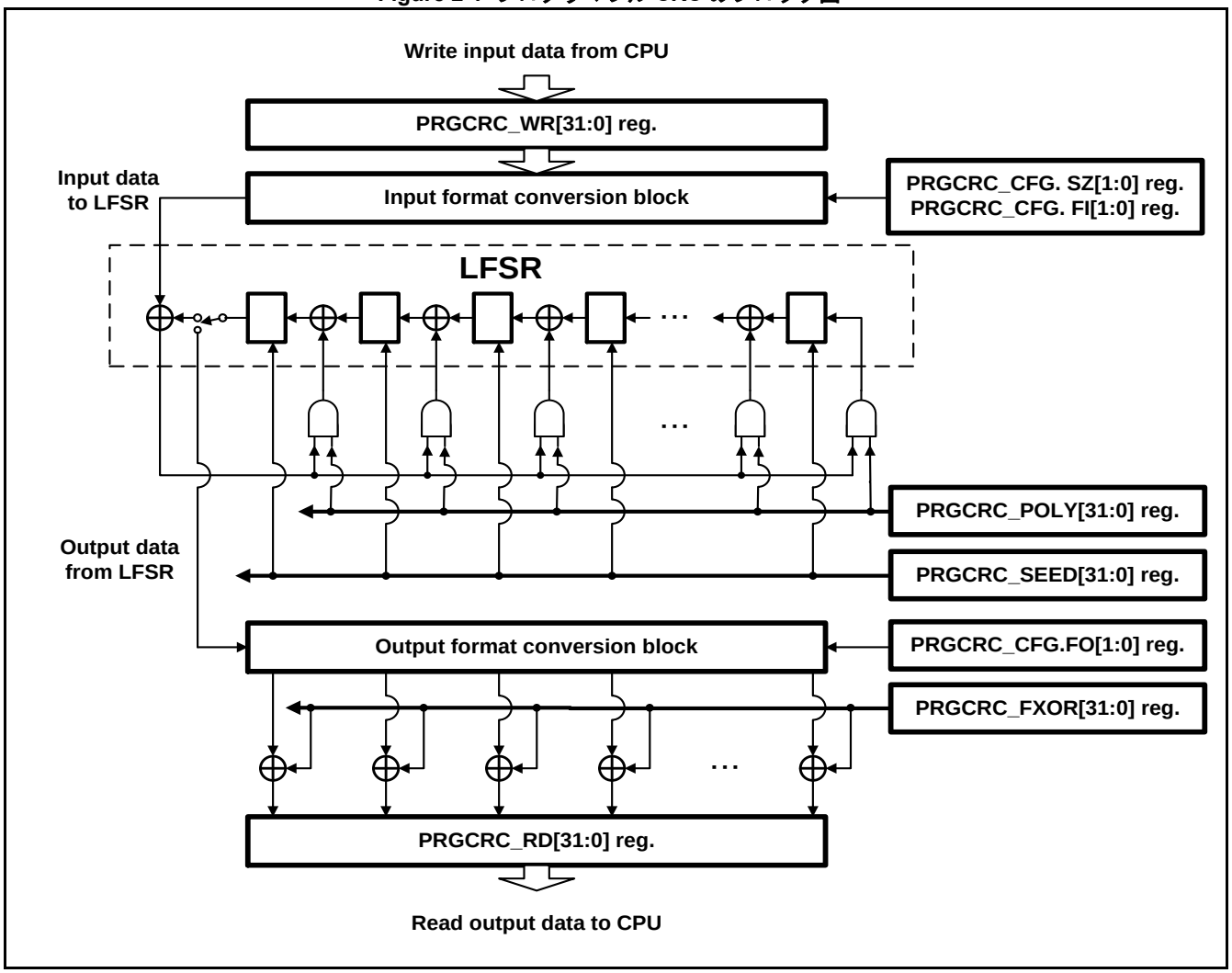


Table 2-1 にプログラマブル CRC の制御レジスタ機能概要を示します。

Table 2-1 プログラマブル CRC の制御レジスタ機能

レジスタ略称	機能概要
PRGCRC_CFG	CRC 演算回路の動作モード設定、動作ステータス確認等を行うレジスタです。
PRGCRC_POLY	CRC 演算の生成多項式を演算開始前に設定するレジスタです。
PRGCRC_SEED	CRC 演算の初期値（SEED 値）を演算開始前に設定するレジスタです。
PRGCRC_FXOR	CRC 演算の最終結果に XOR する値を演算開始前に設定するレジスタです。
PRGCRC_WR	CRC 演算の入力データを CPU から書き込むレジスタです。
PRGCRC_RD	CRC 演算の出力結果を CPU から読み出すためのレジスタです。

2.2 プログラマブル CRC の動作

Figure 2-1 のブロック図に基づき、プログラマブル CRC の機能と演算動作について説明します。
CRC 演算は、ブロック図中の LFSR（リニア・フィードバック・シフトレジスタ）部分にて行われます。
演算開始前に、CRC 演算の生成多項式値を PRGCRC_POLY レジスタに指定します。32 ビット長までの任意の CRC 演算を行えます。CRC 演算の初期値を PRGCRC_SEED レジスタで任意に指定できます。CRC 演算結果に XOR する値を PRGCRC_FXOR レジスタで任意に指定できます。
CRC 演算は、PRGCRC_WR レジスタに入力データを書込むことで、開始されます。CPU から書込まれるデータは、ブロック図の入力フォーマット変換部で、入力フォーマット変換が行われた後、LFSR に入力されます。入力データのサイズは 8bit/16bit/24bit/32bit から選択設定できます。入力データのフォーマット（ビット順番、バイト順番）変換は、4 種類から選択設定ができます。それぞれ、PRGCRC_CFG レジスタの SZ[1:0]、FI[1:0]で指定を行います。
Table 2-2 は、16 ビットデータの入力フォーマット変換の動作例を示します。

Table 2-2 入力データのフォーマット変換動作例

PRGCRC_WR 書込み値(16 進数)	PRGCRC_CFG.FI	入力フォーマット変換動作	LFSR 入力データ (2 進数) (左側から入力)
0x12 (Byte-A) 0x35 (Byte-B)	00 (MSB-first / Big endian)	ビット順番：左から右 バイト順番：Byte-A、Byte-B	00010010 00110101
	01 (MSB-first / Little endian)	ビット順番：左から右 バイト順番：Byte-B、Byte-A	00110101 00010010
	10 (LSB-first / Big endian)	ビット順番：右から左 バイト順番：Byte-A、Byte-B	01001000 10101100
	11 (LSB-first / Little endian	ビット順番：右から左 バイト順番：Byte-B、Byte-A	10101100 01001000

CRC 演算が開始されると、PRGCRC_CFG レジスタの LOCK に"1"がセットされます。演算が終了すると、LOCK は"0"にリセットされます。CPU からこのステータス・レジスタを読出すことにより、CRC 演算の実行中・非実行中を識別できます。入力データの書込み後、演算が終了するまでの時間は、PRGCRC_CFG レジスタの SZ[1:0]の値に応じて決定します。Table 2-3 に演算処理に必要なクロックサイクル数を示します。

Table 2-3 CRC 演算処理クロック数

SZ[1:0]	演算処理に必要なクロックサイクル数
00	10
01	18
10	26
11	34

CRC 演算処理の終了後、次の入力データが書込めます。次の入力データ書込みを行うと、LFSR に保持されている現在の演算結果データから、CRC 演算が継続実行されます。
LFSR に格納された CRC 演算結果は、PRGCRC_RD レジスタから読み出せます。出力データのフォーマット（ビット順番、バイト順番）変換は、4 種類から選択設定が可能です。PRGCRC_CFG レジスタの FO[1:0]で指定します。ブロック図記載のように、最初に出力フォーマット変換を行い、次に PRGCRC_FXOR レジスタで指定した値を XOR した値が、PRGCRC_RD レジスタに格納されます。

Table 2-4 は、16 ビットデータの出力フォーマット変換の動作例を示します。

Table 2-4 出力データのフォーマット変換動作例

LFSR 出力データ (2 進数) (左側から出力)	PRGCRC_CFG.FO	出力フォーマット変換動作	PRGCRC_RD 読出し値(16 進数)
10011010　10111100	00 (MSB-first / Big endian)	ビット順番：左から右 バイト順番：Byte-A、Byte-B	0x9A　0xBC (Byte-A)（Byte-B）
	01 (MSB-first / Little endian)	ビット順番：左から右 バイト順番：Byte-B、Byte-A	0xBC　0x9A (Byte-B)（Byte-A）
	10 (LSB-first / Big endian)	ビット順番：右から左 バイト順番：Byte-A、Byte-B	0x59　0x3D (Byte-A)（Byte-B）
	11 (LSB-first / Little endian	ビット順番：右から左 バイト順番：Byte-B、Byte-A	0x3D　0x59 (Byte-B)（Byte-A）

Table 2-5 は、LFSR 上に保持されている CRC 値（*1）と、出力フォーマット変換後の値（*2）、PRGCRC_FXOR 設定値（*3）、PRGCRC_RD レジスタに格納される値（*4）の関係例を示します。

Table 2-5 出力データのフォーマット変換動作例

CRC 長	LFSR の CRC 値(*1) (左から出力)	FO	出力フォーマット変換後の値(*2)	PRGCRC_FXOR 設定値(*3)	PRGCRC_RD 格納値(*4)
32	0x 9ABC DEF1	00	0x 9ABC DEF1	0x FFFF FFFF	0x 6543 210E
		01	0x F1DE BC9A	0x FFFF FFFF	0x 0E21 4365
		10	0x 593D 7B8F	0x FFFF FFFF	0x A6C2 8470
		11	0x 8F7B 3D59	0x FFFF FFFF	0x 7084 C2A6
21	0x 9ABC D800	00	0x 9ABC D800	0x FFFF F800	0x 6543 2000
		01	0x 00D8 BC9A	0x 00F8 FFFF	0x 0020 4365
		10	0x 593D 1B00	0x FFFF 1F00	0x A6C2 0400
		11	0x 001B 3D59	0x 001F FFFF	0x 0004 C2A6
16	0x 9ABC 0000	00	0x 9ABC 0000	0x FFFF 0000	0x 6543 0000
		01	0x 0000 BC9A	0x 0000 FFFF	0x 0000 4365
		10	0x 593D 0000	0x FFFF 0000	0x A6C2 0000
		11	0x 0000 3D59	0x 0000 FFFF	0x 0000 C2A6
13	0x 9AB8 0000	00	0x 9AB8 0000	0x FFF8 0000	0x 6540 0000
		01	0x 0000 B89A	0x 0000 F8FF	0x 0000 4065
		10	0x 591D 0000	0x FF1F 0000	0x A602 0000
		11	0x 0000 1D59	0x 0000 1FFF	0x 0000 02A6
1	0x 8000 0000	00	0x 8000 0000	0x 8000 0000	0x 0000 0000
		01	0x 0000 0080	0x 0000 0080	0x 0000 0000
		10	0x 0100 0000	0x 0100 0000	0x 0000 0000
		11	0x 0000 0001	0x 0000 0001	0x 0000 0000

1 回の演算終了ごとに、PRGCRC_RD レジスタに演算結果が格納されます。ブロック図に示すように、PRGCRC_FXOR レジスタ値は、PRGCRC_RD レジスタに格納される値にのみに影響を与え、LFSR に格納される演算結果には影響を与えません。必要な分の入力データの書込みをすべて完了し、最後の CRC 演算の終了後、PRGCRC_RD レジスタを読出す場合に、PRGCRC_FXOR レジスタ値を反映した CRC 演算結果を得ることができます。

LFSR には、現在の CRC 演算結果が格納されています。新規に CRC 演算を開始する場合、必ず、PRGCRC_SEED レジスタに書込みを行い、LFSR の初期値を再度設定し直す必要があります。

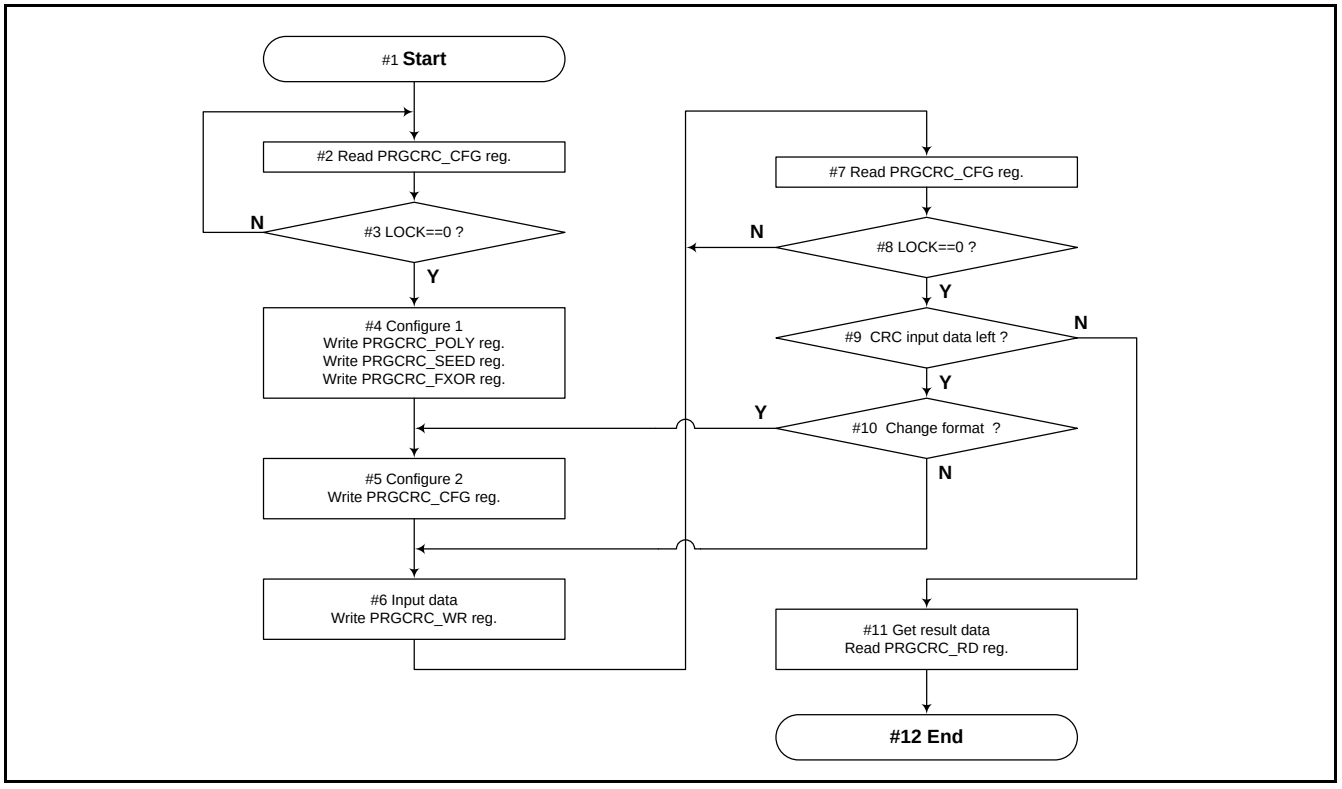
3. プログラマブル CRC の制御方法

プログラマブル CRC の制御方法例の説明を行います。

3.1 プログラマブル CRC の制御フロー（CPU による入力データ転送時）

Figure 3-1 に、CPU から入力データを転送し、CRC 演算結果を得る場合の制御方法のフローチャートを示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 3-1 CPU による入力データ転送時のプログラマブル CRC 制御フロー図



#1　CPU から入力データ転送を行う場合の制御を開始します。

#2,#3　PRGCRC_CFG レジスタの LOCK が"0"であることを確認し、次に進みます。

#4　プログラマブル CRC の初期化を行います。PRGCRC_POLY レジスタ、PRGCRC_SEED レジスタ、PRGCRC_FXOR レジスタに適切な初期値を設定します。PRGCRC_SEED レジスタは、必ず 32 ビット幅アクセス（ワードアクセス）で 1 回の書込みを行います。

#5　PRGCRC_CFG レジスタを設定します。本例では、割り込みを使用せず、LOCK のポーリングによるデータ転送制御を行います。CIEN= "0"、CDEN= "0"を設定します。TEST は必ず"100000 "を設定します。データ入出力フォーマットに適切な値を設定します。

#6　入力データを PRGCRC_WR レジスタに書き込みます。PRGCRC_CFG レジスタの SZ 以上のアクセス幅で 1 回の書込みを行います。PRGCRC_WR レジスタへの書込みにより、CRC 演算の動作を開始します。

#7,#8　演算の終了を待ちます。PRGCRC_CFG レジスタの LOCK が"0"であることを確認し、次に進みます。

#9　必要分のデータ入力が終わっていない場合、#10 へ進みます。そうでない場合、#11 へ進みます。

#10　次に入出力するデータに対し、入出力フォーマットを変更する必要がある場合、#5 へ進みます。そうでない場合、#6 へ進みます。

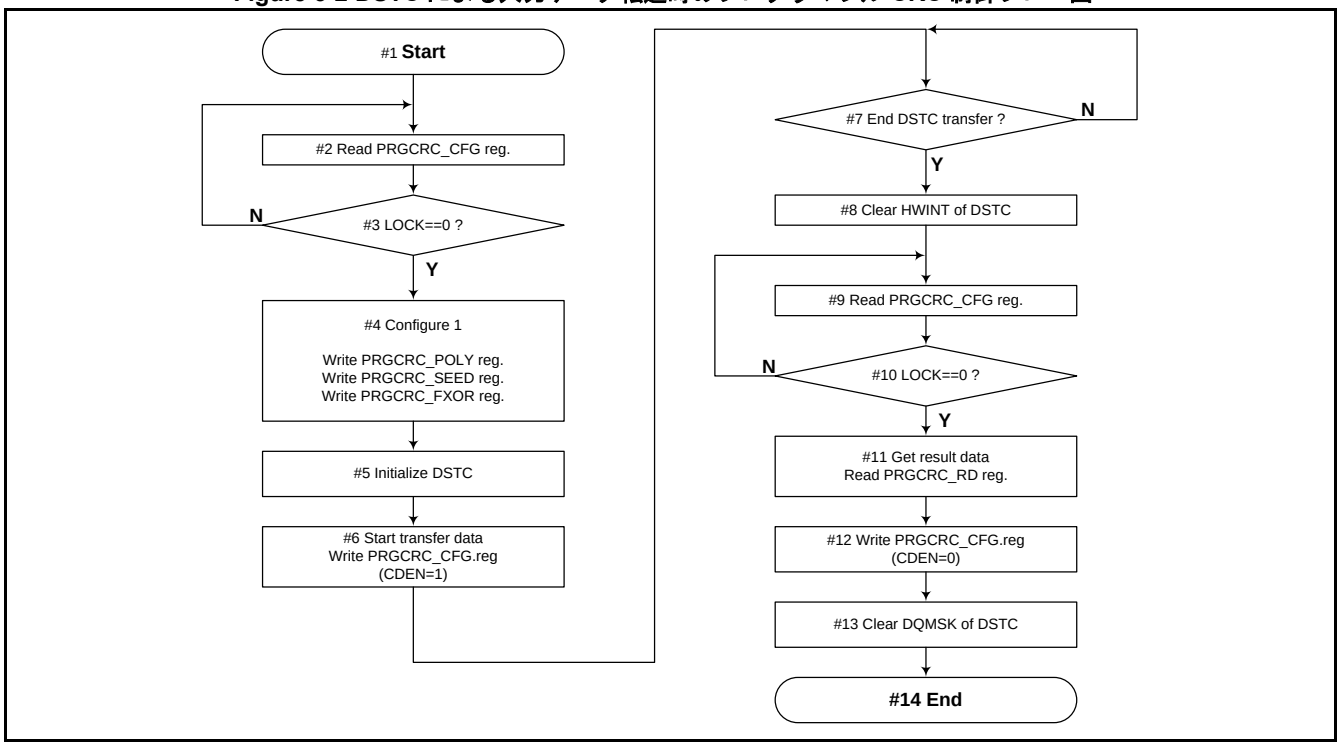
#11　PRGCRC_RD レジスタの読出しを行い、演算結果を得ます。

#12　CPU から入力データ転送を行う場合の制御を終了します。

3.2 プログラマブル CRC の制御フロー（DSTC による入力データ DMA 転送時）

Figure 3-2 に、DSTC の HW 起動 DMA 転送により、入力データを転送し、CRC 演算結果を得る場合の制御方法のフローチャートを示します。図中の番号は、以下の説明文章の番号に対応します。

Figure 3-2 DSTC による入力データ転送時のプログラマブル CRC 制御フロー図



#1　DSTC の HW 起動転送により入力データを転送する場合の制御を開始します。

#2,#3　PRGCRC_CFG レジスタの LOCK が"0"であることを確認し、次に進みます。

#4　プログラマブル CRC の初期化を行います。PRGCRC_POLY レジスタ、PRGCRC_SEED レジスタ、PRGCRC_FXOR レジスタに適切な初期値を設定します。PRGCRC_SEED レジスタは、必ず 32 ビット幅アクセス（ワードアクセス）で 1 回の書込みを行います。

#5　DSTC の初期化を行います。DSTC の制御レジスタ、ディスクリプタに適切な値を設定します。DREQENB[n]レジスタは、プログラマブル CRC からの転送要求が接続されているチャネル番号のレジスタを"1"にします。DES0.MODE="1"、DES0.DMSET="1"を設定する必要があります。転送元アドレスは、入力データが格納されているメモリ領域を、転送先アドレスは PRGCRC_WR レジスタを指定します。

#6　PRGCRC_CFG レジスタを設定します。本例では、割り込みを使用せず、DSTC によるデータ転送制御を行います。CIEN="0"を設定します。TEST は必ず"100000"を設定します。データ入出力フォーマットに適切な値を設定します。CDEN="1"を設定します。CDEN="1"の書込みアクセスにより、プログラマブル CRC からの DMA 転送要求信号がアサートされ、DSTC による入力データの転送が開始されます。

CRC 演算の終了の都度、転送要求が発生し、すべての入力データの転送が完了するまで、転送動作が繰り返し継続されます。最後の入力データの転送が完了すると、DSTC は、DRQMSK[n]レジスタをセットし、以降のプログラマブル CRC からの転送要求をマスクします。

#7　CPU は DSTC からの転送終了通知を受けてから、次の処理に進みます。

#8　DSTC からの転送終了通知（HWINT[n]割り込み）のクリアを行います。

#9,#10　DSTC から最後に入力転送されたデータの CRC 演算が終了していることを、CPU から PRGCRC_CFG レジスタの LOCK を読出し、確認します。確認完了後、次に進みます。

#11　PRGCRC_RD レジスタの読出しを行い、演算結果を得ます。
#12　PRGCRC_CFG レジスタの CDEN="0"の書込みを行い、転送要求信号をネゲートします。
#13　DSTC の DRQMSKCLR[n]レジスタに書込みを行い、DRQMSK[n]レジスタをクリアします。
#14　DSTC から入力データ転送を行う場合の制御を終了します。

4. プログラマブル CRC のレジスタ

プログラマブル CRC のレジスタ機能について説明します。

4.1 制御レジスター覧

Table 4-1 に、プログラマブル CRC の制御レジスター覧を示します。

Table 4-1 プログラマブル CRC の制御レジスタレジスター覧

オフセットアドレス	レジスタ略称	レジスタ名	参照先
+0x00	PRGCRC_POLY	CRC 演算生成多項式レジスタ	4.2
+0x04	PRGCRC_SEED	CRC 演算初期値レジスタ	4.3
+0x08	PRGCRC_FXOR	CRC 演算結果 XOR 値レジスタ	4.4
+0x0c	PRGCRC_CFG	CRC 演算コンフィグレーションレジスタ	4.5
+0x10	PRGCRC_WR	CRC 演算入力データレジスタ	4.6
+0x14	PRGCRC_RD	CRC 演算出力データレジスタ	4.7

4.2 CRC 演算生成多項式レジスタ

CRC 演算生成多項式レジスタ(PRGCRC_POLY)は、CRC 演算の生成多項式を指定します。

レジスタ構成

アドレス：+0x00

bit	31	0
Field	PRGCRC_POLY[31:0]	
属性	R/W	
初期値	0x 04C1 1DB7	

レジスタ機能

[bit31:0] PRGCRC_POLY (Generator Polynomial)

アクセス	適用
書込み	CRC 演算の生成多項式を設定します。
読出し	レジスタ設定値を読出します。

PRGCRC_POLY レジスタは、CRC 演算を開始する前に、演算する CRC の生成多項式を指定します。以下に生成多項式から、PRGCRC_POLY レジスタに指定する値を算出する方法を説明します。

- 生成多項式に項が存在する場合は"1"を、項が存在しない場合は"0"を指定します。
- 生成多項式の最大次数の項は、指定不要です。値を取り除きます。
- 生成多項式の最大次数-1 の項から、値を左詰で指定します。CRC 長が 32 より小さい場合、右側部分は、必ず"0"を詰めます。

Table 4-2 に生成多項式と PRGCRC_POLY レジスタの設定例を示します。

Table 4-2 PRGCRC_POLY 設定例

CRC 長	生成多項式	PRGCRC_POLY 設定値
32	$x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x+1$	0x 04C1 1DB7
24	$x^{24}+ x^{23}+ x^{18}+ x^{17}+ x^{14}+ x^{11}+ x^{10}+ x^7+ x^6+ x^5+ x^4+x^3+x+1$	0x 864C FB00
16	$x^{16}+x^{12}+x^5+1$	0x 1021 0000
11	$x^{11}+x^9+x^7+x^6+x^5+x+1$	0x 5C60 0000
8	x^8+x^2+x+1	0x 0700 0000
5	$x^5+x^4+x^2+1$	0x A800 0000
1	$x+1$	0x 8000 0000

生成多項式が、$x^{11}+ x^9+ x^7+ x^6+ x^5+ x+1$ の場合の設定値の場合の設定値の算出例を以下に記載します。

- 項が存在する場合は"1"を、項が存在しない場合は"0"を指定します。

  1010 1110 0011 (2 進数)
- 最大次数項を取り除きます。

  010 1110 0011　(2 進数)
- 最大次数-1 の項から、値を左詰で指定し、右側は"0"を詰めます。

  0101 1100 0110 0000 0000 0000 0000 0000 (2 進数)　/　0x 5C60 0000　(16 進数)

PRGCRC_POLY レジスタの値は、演算入出力データのフォーマット変換指定（PRGCRC_CFG. FI[1:0]、FO[1:0]）の影響を受けません。本レジスタに書き込まれた値が、そのまま適用されます。
CRC 演算の実行中（PRGCRC_CFG.LOCK="1"）に、本レジスタへの書込みアクセスはできません。

4.3 CRC 演算初期値レジスタ

CRC 演算初期値レジスタ(PRGCRC_SEED)は、CRC 演算の初期値を指定します。

レジスタ構成

アドレス：+0x04

bit	31	0
Field	PRGCRC_SEED[31:0]	
属性	R/W	
初期値	0x FFFF FFFF	

レジスタ機能

[bit31:0] PRGCRC_SEED (CRC Seed value)

アクセス	適用
書込み	新規 CRC 演算の初期値を設定します。LFSR のそれまでの CRC 演算結果を破棄します。
読出し	レジスタ設定値を読出します。

新規に CRC 演算を開始する場合、必ず CRC 演算の初期値を設定する必要があります。本レジスタへの書込みアクセスを行うと、Figure 2-1 の LFSR に CRC 演算の初期値が設定されます。また、LFSR に格納されているそれまでの演算結果は破棄されます。
本レジスタへの書込み値は、演算入出力データのフォーマット変換（PRGCRC_CFG.FI[1:0]、FO[1:0]）の指定の影響を受けません。LFSR の格納値をそのまま指定します。値を左詰で CRC 長分の指定を行います。CRC 長が 32 より小さい場合、右側部分に必ず"0"を詰めます。Table 4-3 に CRC 長と PRGCRC_SEED レジスタの設定値例を示します。

Table 4-3 PRGCRC_SEED 設定値例

CRC 長	PRGCRC_SEED 設定値 （CRC 演算の初期値がすべて 1 の場合）	PRGCRC_SEED 設定値 （CRC 演算の初期値がすべて 0 の場合）
32	0x FFFF FFFF	0x 0000 0000
24	0x FFFF FF00	0x 0000 0000
16	0x FFFF 0000	0x 0000 0000
11	0x FFE0 0000	0x 0000 0000
8	0x FF00 0000	0x 0000 0000
5	0x F800 0000	0x 0000 0000
1	0x 8000 0000	0x 0000 0000

CRC 演算の実行中（PRGCRC_CFG.LOCK="1"）に、本レジスタへの書込みアクセスはできません。

<注意事項>

- *本レジスタの書き込みアクセスを行う場合は、必ず 32 ビット幅での書き込みアクセス（ワードアクセス）を行ってください。*
- *本レジスタの設定値は、演算入出力データのフォーマット変換が適用されないため、Table 4-3 に記載している初期値以外の値を用いて CRC 演算を開始する場合は、フォーマット変換後の値を設定する必要があります。*

4.4 CRC 演算結果 XOR 値レジスタ

CRC 演算結果 XOR 値レジスタ(PRGCRC_FXOR)は、CRC 演算の最終結果に対して、XOR（排他的論理和）する値を指定します。

レジスタ構成

アドレス：+0x08

bit	31	0
Field	PRGCRC_FXOR[31:0]	
属性	R/W	
初期値	0x FFFF FFFF	

レジスタ機能

[bit31:0] PRGCRC_FXOR (CRC Final XOR value)

アクセス	適用
書込み	CRC 演算の最終結果に対し XOR する値を設定します。
読出し	レジスタ設定値を読出します。

PRGCRC_FXOR のビット値が"1"の場合、PRGCRC_RD の対応するビットは、ビット反転した値となります。"0"の場合、反転しません。PRGCRC_FXOR の値は、出力フォーマット変換後の値に適用されます。Table 4-4 に、CRC 演算結果をすべて反転する場合の PRGCRC_FXOR の設定値例を示します。

Table 4-4 CRC 演算結果をすべて反転する場合の PRGCRC_FXOR 設定値例

CRC 長	FO	PRGCRC_FXOR 設定値
32	00	0x FFFF FFFF
	01	0x FFFF FFFF
	10	0x FFFF FFFF
	11	0x FFFF FFFF
21	00	0x FFFF F800
	01	0x 00F8 FFFF
	10	0x FFFF 1F00
	11	0x 001F FFFF
16	00	0x FFFF 0000
	01	0x 0000 FFFF
	10	0x FFFF 0000
	11	0x 0000 FFFF
13	00	0x FFF8 0000
	01	0x 0000 F8FF
	10	0x FF1F 0000
	11	0x 0000 1FFF
1	00	0x 8000 0000
	01	0x 0000 0080
	10	0x 0100 0000
	11	0x 0000 0001

CRC 演算結果をすべて反転しない場合は、PRGCRC_FXOR は、0x0000 0000 を設定します。
CRC 演算の実行中（PRGCRC_CFG.LOCK="1"）に、本レジスタへの書込みアクセスはできません。

4.5 CRC 演算コンフィグレーションレジスタ

CRC 演算コンフィグレーションレジスタ（PRGCRC_CFG）は、プログラマブル CRC の動作機能設定、状態読出しを行います。

レジスタ構成

アドレス：+0x0C

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	LOCK	予約	CDEN	CIEN	CIRQ
属性	R	R	R	R	R	R/W	R/W	R
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	SZ[1:0]		TEST[5:0]					
属性	R/W		R/W					
初期値	1	1	1	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	FI[1:0]		FO[1:0]	
属性	R	R	R	R	R/W		R/W	
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	予約	予約	予約	CIRQCLR
属性	R	R	R	R	R	R	R	W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit 0] CIRQCLR（PRGCRC Interrrupt request Clear ）

アクセス	適用
書込み 0	動作に影響を与えません。
書込み 1	CIRQ レジスタを"0"クリアします。
読出し	常に"0"を読み出します。

CIRQCLR レジスタは、CIRQ レジスタを"0"クリアするためのレジスタです。CIRQ レジスタを"0"クリアすることにより、プログラマブル CRC からの割り込み信号をネゲートできます。CRC 演算の実行中（PRGCRC_CFG.LOCK="1"）に、本レジスタへの書込みアクセスはできず、CIRQ レジスタの"0"クリアはされないので、注意してください。

[bit7:1] 予約

書き込みは動作に影響を与えません。読み出し値は常に"0"です。

[bit9:8] FO[1:0](CRC Output data Format)

アクセス	適用
書込み 00	MSB-first / Big endian の出力フォーマット変換を行います。
書込み 01	MSB-first / Little endian の出力フォーマット変換を行います。
書込み 10	LSB-first / Big endian の出力フォーマット変換を行います。
書込み 11	LSB-first / Little endian の出力フォーマット変換を行います。
読出し	レジスタ設定値を読出します。

LFSR の CRC 演算結果値を PRGCRC_RD レジスタに格納する際の出力フォーマット変換内容を指定します。FO[1:0]の指定値と、出力データのフォーマットの関係については、PRGCRC_RD レジスタの説明項を参照してください。CRC 演算の実行中（PRGCRC_CFG.LOCK="1"）に、本レジスタへの書込みアクセスはできません。

[bit11:10] FI[1:0](CRC Input data Format)

アクセス	適用
書込み 00	MSB-first / Big endian の入力フォーマット変換を行います。
書込み 01	MSB-first / Little endian の入力フォーマット変換を行います。
書込み 10	LSB-first / Big endian の入力フォーマット変換を行います。
書込み 11	LSB-first / Little endian の入力フォーマット変換を行います。
読出し	レジスタ設定値を読出します。

PRGCRC_WR レジスタに書き込まれた入力データを LFSR に入力する際の入力フォーマット変換内容を指定します。FI[1:0]の指定値と、入力データのフォーマットの関係については、PRGCRC_WR レジスタの説明項を参照してください。CRC 演算の実行中（PRGCRC_CFG.LOCK="1"）に、本レジスタへの書込みアクセスはできません。

[bit15:12] 予約

書き込みは動作に影響を与えません。読み出し値は常に"0"です。

[bit21:16] TEST[5:0]

アクセス	適用
書込み	このレジスタに書き込みアクセスする場合は、常に"100000"を書き込んで下さい。
読出し	レジスタ設定値を読み出します。

＜注意事項＞

- ***TEST[5:0]レジスタに対し、"100000"以外の値の書き込みを行った場合、正常動作しません。***

[bit23:22] SZ[1:0] (Input data size)

アクセス	適用
書込み 00	入力データサイズを 8bit に指定します。
書込み 01	入力データサイズを 16bit に指定します。
書込み 10	入力データサイズを 24bit に指定します。
書込み 11	入力データサイズを 32bit に指定します。
読出し	レジスタ設定値を読出します。

PRGCRC_WR レジスタに書き込む入力データサイズを指定します。SZ[1:0]の指定値と、入力データのフォーマットの関係については、PRGCRC_WR レジスタの説明項を参照してください。CRC 演算の実行中（PRGCRC_CFG.LOCK="1"）に、本レジスタへの書込みアクセスはできません。

[bit24] CIRQ (PRGCRC Interrupt request)

アクセス	適用
書込み	動作に影響を与えません。
読出し 0	CRC 演算を開始した場合に、演算が終了していないことを示します。
読出し 1	CRC 演算を開始した場合に、演算が終了していることを示します。

CIRQ は、CRC 演算の終了を通知するための読出し専用レジスタです。開始された CRC 演算が終了すると本レジスタに"1"がセットされます。CIRQCLR レジスタへの"1"書込みにより、本レジスタは"0"クリアされます。
ホスト CPU がこのレジスタの読み出し値を利用して演算終了を判断する場合、演算終了ごとに、CIRQCLR レジスタへの"1"書込みにより、本レジスタを"0"クリアする必要があります。

[bit25] CIEN(PRGCRC Interrupt request enable)

アクセス	適用
書込み 0	CIRQ="1"の場合の割り込み通知を禁止します。
書込み 1	CIRQ="1"の場合の割り込み通知を許可します。
読出し	レジスタ設定値を読出します。

CIEN レジスタ値の設定により、CIRQ レジスタ値を利用して、プログラマブル CRC からの演算終了割り込み通知を発生させることができます。CIEN="1"、かつ CIRQ="1"の場合に演算終了割り込み信号がアサートされます。CRC 演算の実行中（PRGCRC_CFG.LOCK="1"）に、本レジスタへの書込みアクセスはできません。

[bit26] CDEN(PRGCRC DMA request enable)

アクセス	適用
書込み 0	DMA に対し、入力データの転送要求を禁止します。 既に転送要求を行っている場合、転送要求を取り下げます。
書込み 1	DMA に対し、入力データの転送要求を許可します。
読出し	レジスタ設定値を読出します。

CRC 演算の実行中（PRGCRC_CFG.LOCK="1"）に、本レジスタへの書込みアクセスはできません。

[bit27] 予約

書き込みは動作に影響を与えません。読み出し値は常に"0"です。

[bit28] LOCK(PRGCRC lock)

アクセス	適用
書込み	動作に影響を与えません。
読出し 0	CRC 演算器がアイドル状態であることを示します。 すべてのレジスタへの書き込みが可能な状態にあることを示します。 開始された CRC 演算が終了していることを示します。
読出し 1	CRC 演算器がビジー状態であることを示します。 すべてのレジスタへの書き込みが無視される状態にあることを示します。 開始された CRC 演算が終了していないことを示します。

[bit31:29] 予約

書き込みは動作に影響を与えません。読み出し値は常に"0"です。

4.6 CRC 演算入力データレジスタ

CRC 演算入力データレジスタ(PRGCRC_WR)は、CRC 演算の入力データを指定するレジスタです。

レジスタ構成

アドレス：+0x10

bit	31	0
Field	PRGCRC_WR[31:0]	
属性	R/W	
初期値	0x 0000 0000	

レジスタ機能

[bit31:0] PRGCRC_WR (CRC input write data)

アクセス	適用
書込み	CRC 演算の入力データを設定し、CRC 演算を開始します。
読出し	レジスタ設定値を読出します。

本レジスタへの書込みアクセスにより、CRC 演算の入力データ指定と CRC 演算開始指示を同時に行います。本レジスタに書込まれた値の内、PRGCRC_CFG.SZ[1:0]の指定で選択されたサイズのデータが、LFSR の入力データとなります。また、PRGCRC_CFG.FI[1:0]の指定により、バイト順番、ビット順番の入力フォーマット変換が行われ、LFSR の入力データとなります。

Table 4-5 は、入力データのフォーマット変換動作を示します。本レジスタのバイト、ビット位置と LFSR へ入力される順番の関係を示します。例えば、SZ="01"、FI="01"の場合、本レジスタ書込み値から bit[7], bit[6],,, bit[1], bit[0], bit[15], bit[14],,, bit[9],bit[8]の順番で、LFSR へデータが取り込まれることを示しています。また、*印の書込みデータは無視され、CRC 演算に影響しないことを示しています。

Table 4-5 入力フォーマット変換

SZ [1:0]	FI [1:0]	PRGCRC_WR レジスタ書込み値			
		Address+3 Bit[31:24]	Address +2 Bit[23:16]	Address +1 Bit[15:8]	Address +0 Bit[7:0]
00 (8bit)	0X	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	1,2,3,4,5,6,7,8
	1X	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	8,7,6,5,4,3,2,1
01 (16bit)	00	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	1,2,3,4,5,6,7,8	9,10,11,12,13,14,15,16
	01	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	9,10,11,12,13,14,15,16	1,2,3,4,5,6,7,8
	10	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	8,7,6,5,4,3,2,1	16,15,14,13,12,11,10.9
	11	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	16,15,14,13,12,11,10.9	8,7,6,5,4,3,2,1
10 (24bit)	00	*,*,*,*,*,*,*,*	1,2,3,4,5,6,7,8	9,10,11,12,13,14,15,16	17,18,19,20,21,22,23,24
	01	*,*,*,*,*,*,*,*	17,18,19,20,21,22,23,24	9,10,11,12,13,14,15,16	1,2,3,4,5,6,7,8
	10	*,*,*,*,*,*,*,*	8,7,6,5,4,3,2,1	16,15,14,13,12,11,10.9	24,23,22,21,20,19,18,17
	11	*,*,*,*,*,*,*,*	24,23,22,21,20,19,18,17	16,15,14,13,12,11,10.9	8,7,6,5,4,3,2,1
11 (32bit)	00	1,2,3,4,5,6,7,8	9,10,11,12,13,14,15,16	17,18,19,20,21,22,23,24	25,256,27,28,29,30,31,32
	01	25,256,27,28,29,30,31,32	17,18,19,20,21,22,23,24	9,10,11,12,13,14,15,16	1,2,3,4,5,6,7,8
	10	8,7,6,5,4,3,2,1	16,15,14,13,12,11,10.9	24,23,22,21,20,19,18,17	32,31,30,29,28,27,26,25
	11	32,31,30,29,28,27,26,25	24,23,22,21,20,19,18,17	16,15,14,13,12,11,10.9	8,7,6,5,4,3,2,1

SZ[1:0]= "00"の場合、FI[0]の指定は意味を持ちません。本レジスタへの書き込みアクセスは、PRGCRC_CFG.SZ[1:0]に指定したデータサイズ幅以上のアクセス幅で、1 回の書込みアクセスで行ってください。アンアラインドアクセスや、複数回に分割した書込みアクセスはできません。CRC 演算の実行中（PRGCRC_CFG. LOCK="1"）に、本レジスタへの書込みアクセスはできません。

4.7 CRC 演算出力データレジスタ

CRC 演算出力データレジスタ(PRGCRC_RD)は、CRC 演算結果の出力データを読み出すレジスタです。

レジスタ構成

アドレス：+0x14

bit	31	0
Field	PRGCRC_RD[31:0]	
属性	R/W	
初期値	0x 0000 0000	

レジスタ機能

[bit31:0] PRGCRC_RD (CRC output read data)

アクセス	適用
書込み	テストのため、CPU から値の書込みが可能です。書込み値は、CRC 演算内容には影響を与えません。
読出し	CRC 演算結果(もしくは CPU 書込み値)を読み出します。

CRC 演算の終了時、演算結果に対し、出力フォーマット変換が行われ、その後、PRGCRC_FXOR 値が XOR された値が、本レジスタに格納されます。

Table 4-6 は、出力データのフォーマット変換動作を示します。本レジスタのバイト、ビット位置と LFSR から出力される順番の関係を示します。*印は、CRC 長を超える部分です。PRGCRC_FXOR 値が"0"の場合、"0"が読み出せます。

Table 4-6 出力フォーマット変換

CRC 長	FO [1:0]	PRGCRC_RD レジスタ読出し値			
		Address +3 Bit[31:24]	Address +2 Bit[23:16]	Address +1 Bit[15:8]	Address +0 Bit[7:0]
32	00	1,2,3,4,5,6,7,8	9,10,11,12,13,14,15,16	17,18,19,20,21,22,23,24	25,26,27,28,29,30,31,32
	01	25,26,27,28,29,30,31,32	17,18,19,20,21,22,23,24	9,10,11,12,13,14,15,16	1,2,3,4,5,6,7,8
	10	8,7,6,5,4,3,2,1	16,15,14,13,12,11,10,9	24,23,22,21,20,19,18,17	32,31,30,29,28,27,26,25
	11	32,31,30,29,28,27,26,25	24,23,22,21,20,19,18,17	16,15,14,13,12,11,10,9	8,7,6,5,4,3,2,1
21	00	1,2,3,4,5,6,7,8	9,10,11,12,13,14,15,16	17,18,19,20,21,*,*,*	*,*,*,*,*,*,*,*
	01	*,*,*,*,*,*,*,*	17,18,19,20,21,*,*,*	9,10,11,12,13,14,15,16	1,2,3,4,5,6,7,8
	10	8,7,6,5,4,3,2,1	16,15,14,13,12,11,10,9	*,*,*,21,20,19,18,17	*,*,*,*,*,*,*,*
	11	*,*,*,*,*,*,*,*	*,*,*,21,20,19,18,17	16,15,14,13,12,11,10,9	8,7,6,5,4,3,2,1
16	00	1,2,3,4,5,6,7,8	9,10,11,12,13,14,15,16	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*
	01	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	9,10,11,12,13,14,15,16	1,2,3,4,5,6,7,8
	10	8,7,6,5,4,3,2,1	16,15,14,13,12,11,10,9	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*
	11	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	16,15,14,13,12,11,10,9	8,7,6,5,4,3,2,1
5	00	1,2,3,4,5,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*
	01	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	1,2,3,4,5,*,*,*
	10	*,*,*,5,4,3,2,1	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*
	11	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,5,4,3,2,1
1	00	1,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*
	01	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	1,*,*,*,*,*,*,*
	10	*,*,*,*,*,*,*,1	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*
	11	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,*	*,*,*,*,*,*,*,1

5. プログラマブル CRC 演算例

本機能ブロックの CRC 演算機能を用いて CRC 演算を行う例を説明します。

5.1 演算例 1

以下の 48 ビットのシリアルビット列に対し、データ送信時、CRC 符号生成する演算例を示します。以下の前提での説明を行います。

記載のビット列は、左から右に向かって送信を行います。生成多項式 : $x^{16}+x^{12}+x^5+1$ による 16 ビット CRC 符号を生成します。CRC 演算の初期値は 0xFFFF です。生成された CRC 符号はビット反転します。48 ビット送信データ値は、MCU のメモリ上に、32 ビット値、16 ビット値として分割格納されています。

■ 48 ビット送信シリアルビット列、左から右へ送信

00010010 00110101 10011010 10111100 01111000 00110001・・2 進数
(0x12) (0x35) (0x9A) (0xBC) (0x78) (0x31)・・・16 進数、MSB-first
(0x48) (0xAC) (0x59) (0x3D) (0x1E) (0x8C)・・・16 進数、LSB-first

■ メモリ格納フォーマット

(0x 12 35 9A BC), (0x 78 31)・・・フォーマット A (MSB-first/Big Endian)
(0x BC 9A 35 12), (0x 31 78)・・・フォーマット B (MSB-first/Little Endian)
(0x 48 AC 59 3D), (0x 1E 8C)・・・フォーマット C (LSB-first/BigEndian)
(0x 3D 59 AC 48), (0x 8C 1E)・・・フォーマット D (LSB-first/Little Endian)

CRC 演算器への演算データ入力フォーマットは、上記の 48 ビット送信データのメモリ上の格納フォーマットに適合するように選択します。以下の Table 5-1 に、メモリ格納フォーマット A,B,C,D のそれぞれの場合のレジスタ設定値、演算入力値、演算出力値の例を示します。

Table 5-1 CRC 演算例 1 の値の例

No.	対象レジスタ	レジスタ書込み値または、読出し値			
		フォーマット A	フォーマット B	フォーマット C	フォーマット D
1	PRGCRC_POLY	0x1021 0000	0x1021 0000	0x1021 0000	0x1021 0000
2	PRGCRC_SEED	0xFFFF 0000	0xFFFF 0000	0xFFFF 0000	0xFFFF 0000
3	PRGCRC_FXOR	0xFFFF 0000	0x0000 FFFF	0xFFFF 0000	0x0000 FFFF
4	PRGCRC_CFG	0x00E0 0000 SZ=11 FI=00 FO=00	0x00E0 0500 SZ=11 FI=01 FO=01	0x00E0 0A00 SZ=11 FI=10 FO=10	0x00E0 0F00 SZ=11 FI=11 FO=11
5	PRGCRC_WR	0x1235 9ABC	0xBC9A 3512	0x48AC 593D	0x3D59 AC48
6	PRGCRC_CFG	0x0060 0000 SZ=01 FI=00 FO=00	0x0060 0500 SZ=01 FI=01 FO=01	0x0060 0A00 SZ=01 FI=10 FO=10	0x0060 0F00 SZ=01 FI=11 FO=11
7	PRGCRC_WR	0x0000 7831	0x0000 3178	0x0000 1E8C	0x0000 8C1E
8	PRGCRC_RD	0xCDBA 0000	0x0000 BACD	0xB35D 0000	0x0000 5DB3

1. PRGCRC_POLY レジスタに、生成多項式の値を設定します。生成多項式に従い、0x1021 0000 を設定します。(フォーマット A,B,C,D 共通の値)
2. PRGCRC_SEED レジスタに、CRC 初期値を設定します。CRC 初期値：0xFFFF であることから、0xFFFF 0000 を設定します。 (フォーマット A,B,C,D 共通の値)
3. PRGCRC_FXOR レジスタに、出力反転値を設定します。演算出力フォーマット（FO）に従い設定を行います。（フォーマット A,C と B,D で異なる値です。）
4. PRGCRC_CFG レジスタに、演算入出力フォーマットを設定します。最初の入力データのサイズは、32 ビットです。（SZ="11"）、演算入出力データのフォーマット（FI,FO）は、入出力データのメモリ格納フォーマットに応じ、それぞれ選択設定します。
5. PRGCRC_WR レジスタに、指定した入力フォーマット（FI）の演算入力データを設定します。最初に先頭の送信データを 32 ビット幅で書き込みます。書込み後、LOCK による演算終了確認を行います。
6. 2 回目の書込みデータは、16 ビットなので、PRGCRC_CFG レジスタの入力データサイズを 16 ビット（SZ="01"）に設定します。
7. PRGCRC_WR レジスタに、指定した入力フォーマット（FI）の演算入力データを設定します。2 回目の送信データを 16 ビット幅で書き込みます。すべての入力データフォーマットで、書き込むビット位置は、PRGCRC_WR[15:0]です。フォーマット A,C で 16 ビット幅の場合であっても、PRGCRC_WR[15:0]に書込みを行います。書込み後、LOCK による演算終了確認を行います。
8. PRGCRC_RD レジスタから CRC 演算結果を読み出します。演算結果の読み出せる位置は、演算出力フォーマット（FO）によって異なります。フォーマット A,C の場合、PRGCRC_RD[31:16]から読み出せる値が CRC 演算結果です。フォーマット B,D の場合、PRGCRC_RD[15:0]から読み出せる値が CRC 演算結果です。

CRC 演算結果を使用し、以下の 64 ビット列を送信します。以下の太斜字の箇所が、生成された CRC 値を示します。CRC 演算結果は、出力フォーマット(FO)が異なる場合、異なる値となりますが、送信するビット列は、いずれのフォーマットであっても、同じビット列の送信になります。

■ メモリ格納フォーマット

(0x 12 35 9A BC), (0x 78 31 ***CD BA***)・・・フォーマット A
(0x BC 9A 35 12), (0x ***BA CD*** 31 78)・・・フォーマット B
(0x 48 AC 59 3D), (0x 1E 8C ***B3 5D***)・・・フォーマット C
(0x 3D 59 AC 48), (0x ***5D B3*** 8C 1E)・・・フォーマット D

■ 64 ビット送信シリアルビット列(CRC 付)、左から右へ送信

00010010	00110101	10011010	10111100	01111000	00110001	***11001101***	***10111010***
(0x12)	(0x35)	(0x9A)	(0xBC)	(0x78)	(0x31)	(0x***CD***)	(0x***BA***)
(0x48)	(0xAC)	(0x59)	(0x3D)	(0x1E)	(0x8C)	(0x***B3***)	(0x***5D***)

5.2 演算例 2

演算例 1 で送信された以下の 64 ビットのシリアルビット列を受信し、CRC 符号を検査する例を示します。以下の前提での説明を行います。

ビット列は、左から右に向かって受信されます。生成多項式、初期値は CRC 符号の生成時と同じ値を使用します。CRC 演算結果のビット反転は行いません。64 ビット受信データが、MCU のメモリ上に 2 つの 32 ビット数値として格納されています。

■ 64 ビット受信シリアルビット列(CRC 付)、左から右へ受信

00010010 00110101 10011010 10111100 01111000 00110001 11001101 10111010

■ メモリ格納フォーマット

(0x 12 35 9A BC), (0x 78 31 CD BA)・・・フォーマット A (MSB-first/Big Endian)
(0x BC 9A 35 12), (0x BA CD 31 78)・・・フォーマット B (MSB-first/Little Endian)
(0x 48 AC 59 3D), (0x 1E 8C B3 5D)・・・フォーマット C (LSB-first/Big Endian)
(0x 3D 59 AC 48), (0x 5D B3 8C 1E)・・・フォーマット D (LSB-first/Little Endian)

CRC 演算器への演算データ入力フォーマットは、上記の 64 ビット受信データのメモリ上の格納フォーマットに適合するように選択します。以下の Table 5-2 に、格納フォーマット A,B,C,D のそれぞれの場合のレジスタ設定値、演算入力値、演算出力値の例を示します。

Table 5-2 CRC 演算例 2 の値の例

No.	対象レジスタ	レジスタ書込み値または、読出し値			
		フォーマット A	フォーマット B	フォーマット C	フォーマット D
1	PRGCRC_POLY	0x1021 0000	0x1021 0000	0x1021 0000	0x1021 0000
2	PRGCRC_SEED	0xFFFF 0000	0xFFFF 0000	0xFFFF 0000	0xFFFF 0000
3	PRGCRC_FXOR	0x0000 0000	0x0000 0000	0x0000 0000	0x0000 0000
4	PRGCRC_CFG	0x00E0 0000 SZ=11 FI=00 FO=00	0x00E0 0500 SZ=11 FI=01 FO=01	0x00E0 0A00 SZ=11 FI=10 FO=10	0x00E0 0F00 SZ=11 FI=11 FO=11
5	PRGCRC_WR (1 回目)	0x1235 9ABC	0xBC9A 3512	0x48AC 593D	0x3D59 AC48
6	PRGCRC_WR (2 回目)	0x7831 CDBA	0xBACD 3178	0x1E8C B35D	0x5DB3 8C1E
7	PRGCRC_RD	0x1D0F 0000	0x0000 0F1D	0xB8F0 0000	0x0000 F0B8

1. PRGCRC_POLY レジスタに、生成多項式の値を設定します。生成多項式に従い、0x1021 0000 を設定します。(フォーマット A,B,C,D 共通の値、CRC 符号生成時と同値)
2. PRGCRC_SEED レジスタに、CRC 初期値を設定します。CRC 初期値 : 0xFFFF であることから、0xFFFF 0000 を設定します。(フォーマット A,B,C,D 共通の値、、CRC 符号生成時と同値)
3. PRGCRC_FXOR レジスタを設定します。ビット反転を行わず、0x0000 0000 を設定します。(フォーマット A,B,C,D 共通の値)

4. PRGCRC_CFG レジスタに、演算入出力フォーマットを設定します。入力データのサイズは、32 ビットです。(SZ="11")、演算入出力データのフォーマット (FI,FO) は、入出力データのメモリ格納フォーマットに応じ、それぞれ選択設定します。

5. 6. PRGCRC_WR レジスタに、指定した入力フォーマット（FI）かつ、受信の順番で、演算入力データを設定します。この例では、32 ビット幅で 2 回の書込みを行います。書込みの都度、LOCK による演算終了確認を行います。

7. PRGCRC_RD レジスタから CRC 演算結果を読み出します。演算結果の読み出せる位置は、演算出力フォーマット（FO）によって異なります。フォーマット A,C の場合、PRGCRC_RD[31:16]から読出せる値が CRC 演算結果です。フォーマット B,D の場合、PRGCRC_RD[15:0]から読出せる値が CRC 演算結果です。

CRC 演算結果は、出力フォーマット(FO)が異なる場合、異なる値ですが、いずれのフォーマットの場合も、以下の同じビット列になります。

■ CRC 演算結果メモリ格納フォーマット

(0x 1D 0F)・・・フォーマット A
(0x 0F 1D)・・・フォーマット B
(0x B8 F0)・・・フォーマット C
(0x F0 B8)・・・フォーマット D

■ CRC 演算結果ビット列

00011101 00001111

生成多項式 : $x^{16}+x^{12}+x^5+1$ による CRC 符号検査で、誤りが検出されなかったことが判別できます。

Appendixes

レジスタマップ、注意事項、主な変更内容について説明します。

A. レジスタマップ

B. 注意事項一覧

C. 主な変更内容

A.レジスタマップ

レジスタマップについて説明します。

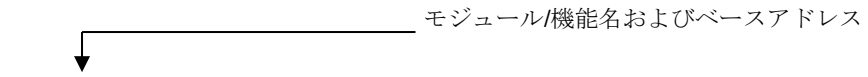
1. **レジスタマップ**
   - 1.1 FLASH_IF
   - 1.2 Unique ID
   - 1.3 ECC Capture Address
   - 1.4 Clock/Reset
   - 1.5 HW WDT
   - 1.6 SW WDT
   - 1.7 Dual_Timer
   - 1.8 MFT
   - 1.9 PPG
   - 1.10 Base Timer
   - 1.11 IO Selector for Base Timer
   - 1.12 QPRC
   - 1.13 QPRC NF
   - 1.14 A/DC
   - 1.15 CR Trim
   - 1.16 EXTI
   - 1.17 INT-Req. READ
   - 1.18 D/AC
   - 1.19 HDMI-CEC
   - 1.20 GPIO
   - 1.21 LVD
   - 1.22 DS_Mode
   - 1.23 USB Clock
   - 1.24 CAN_Prescaler
   - 1.25 MFS
   - 1.26 CRC
   - 1.27 Watch Counter
   - 1.28 RTC
   - 1.29 Low-speed CR Prescaler
   - 1.30 Peripheral Clock Gating
   - 1.31 Smart Card Interface
   - 1.32 MFSI2S
   - 1.33 I2S_Prescaler
   - 1.34 GDC_Prescaler
   - 1.35 EXT-Bus I/F
   - 1.36 USB
   - 1.37 DMAC
   - 1.38 DSTC

1.39 CAN
1.40 Ethernet-MAC
1.41 Ethernet-Control
1.42 I2S
1.43 SD-Card
1.44 CAN FD
1.45 Programmable-CRC
1.46 WorkFlash_IF
1.47 High-Speed Quad SPI Controller
1.48 HyperBus Interface
1.49 GDC Sub System Controller
1.50 GDC Sub System SDRAM Controller

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



Clock/Reset　　Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[B,H,W] 00000-0-
0x004	-	-	-	SCM_STR[B,H,W] 00000-0-
0x008	STB_CTL[B,H,W] 00000000 00000000 -------- ---0--00			
0x00C	-	-	RST_STR[B,H,W] -------0 00000-01	

- : 予約領域
* : Test レジスタ領域

リセット後のレジスタ初期値
"1" ： 初期値は 1
"0" ： 初期値は 0
"X" ： 初期値は不定
" - " ： 予約ビット

レジスタ名

アクセス単位
(B : バイト, H : ハーフワード, W : ワード)

最右のレジスタ番地(ワードアクセスした場合は、"+0"の列のレジスタがデータのLSB 側になる)

<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  ワードアクセス:　　アドレスは 4 の倍数(最下位 2 ビットは 0x00)
  ハーフワードアクセス:　アドレスは 2 の倍数(最下位ビットは 0x0)
  バイトアクセス:　　-
- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 FLASH_IF

1.1.1 TYPE1-M4, TYPE2-M4 製品

FLASH_IF　　Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

1.1.2 TYPE3-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C	-	-	-	-
0x030	DFCTRLR[W]			
0x034 - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x10C	-	-	-	-
0x110	FGPDM1[B,H,W]			
0x114	FGPDM2[B,H,W]			
0x118	FGPDM3[B,H,W]			
0x11C	FGPDM4[B,H,W]			
0x120 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	DFASZR[B,H,W]			
0x404	DFRWTR[B,H,W]			
0x408	DFSTR[B,H,W]			
0x40C - 0x4FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

1.1.3 TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x10C	-	-	-	-
0x110	FGPDM1[B,H,W]			
0x114	FGPDM2[B,H,W]			
0x118	FGPDM3[B,H,W]			
0x11C	FGPDM4[B,H,W]			
0x120 - 0x1FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID　　Base_Address : 0x4000_0200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	UIDR0[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W] -------- -------- ---XXXXX XXXXXXXX			
0x008 - 0xDFC	-	-	-	-

1.3 ECC Capture Address

ECC Capture Address　　Base_Address : 0x4000_0300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FERRAD[W] -------- -XXXXXXX XXXXXXXX XXXXXXXX			
0x004 - 0xFFC	-	-	-	-

1.4 Clock/Reset

1.4.1 TYPE1-M4, TYPE2-M4 製品

Clock/Reset　　Base_Address : 0x4001_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 0000--01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] ------00
0x024 – 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C – 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] 00000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] --000000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0–000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C – 0xFFC	-	-	-	-

1.4.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

Clock/Reset **Base_Address : 0x4001_0000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 0000--01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] ------00
0x024 – 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C – 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] 00000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] --000000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0–000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C - 0x070	-	-	-	-
0x074	PLLCG_CTL[W] -------- 11111111 00000000 00----00			
0x078 – 0xFFC	-	-	-	-

1.5 HW WDT

HW WDT　　Base_Address : 0x4001_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WDG_LDR[W] 00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W] ------11
0x00C	-	-	-	WDG_ICL[W] XXXXXXXX
0x010	-	-	-	WDG_RIS[W] -------0
0x014	*			
0x018 – 0xBFC	-	-	-	-
0xC00	WDG_LCK[W] 00000000 00000000 00000000 00000001			
0xC04 – 0xFFC	-	-	-	-

1.6 SW WDT

SW WDT　　Base_Address : 0x4001_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WdogLoad[W] 11111111 11111111 11111111 11111111			
0x004	WdogValue[W] 11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W] ---00000
0x00C	WdogIntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W] -------0
0x014	*			
0x018	-	-	-	WdogSPMC[W] -------0
0x01C – 0xBFC	-	-	-	-
0xC00	WdogLock[W] 00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00 - 0xF04	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.7 Dual_Timer

Dual_Timer **Base_Address : 0x4001_5000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	Timer1Load[W] 00000000 00000000 00000000 00000000			
0x004	Timer1Value[W] 11111111 11111111 11111111 11111111			
0x008	Timer1Control[W] -------- -------- -------- 00100000			
0x00C	Timer1IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W] -------- -------- -------- -------0			
0x014	Timer1MIS[W] -------- -------- -------- -------0			
0x018	Timer1BGLoad[W] 00000000 00000000 00000000 00000000			
0x020	Timer2Load[W] 00000000 00000000 00000000 00000000			
0x024	Timer2Value[W] 11111111 11111111 11111111 11111111			
0x028	Timer2Control[W] -------- -------- -------- 00100000			
0x02C	Timer2IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W] -------- -------- -------- -------0			
0x034	Timer2MIS[W] -------- -------- -------- -------0			
0x038	Timer2BGLoad[W] 00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.8 MFT

1.8.1 TYPE1-M4, TYPE2-M4 製品

MFT unit0 **Base_Address : 0x4002_0000**
MFT unit1 **Base_Address : 0x4002_1000**
MFT unit2 **Base_Address : 0x4002_2000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	-	OCSD10[B,H,W] 00000000	OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	-	OCSD32[B,H,W] 00000000	OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	-	OCSD54[B,H,W] 00000000	OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-		-	WFIR[H,W] 00000000 00000000
0x1B4	-		-	NZCL[H,W] 00000000 00000000
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	-	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	-	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	-	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000
0x1E0	-	-	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	-	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	-	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC-0xFFC	-	-	-	-

1.8.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

MFT unit0 Base_Address : 0x4002_0000
MFT unit1 Base_Address : 0x4002_1000
MFT unit2 Base_Address : 0x4002_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	OCSD10[B,H,W] --000000 00000000		OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	OCSD32[B,H,W] --000000 00000000		OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	OCSD54[B,H,W] --000000 00000000		OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-	-	WFIR[H,W] 00000000 00000000	
0x1B4	-	-	NZCL[H,W] 00000000 00000000	
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	ACMC0[B,H,W] 00--0000	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	ACMC1[B,H,W] 00--0000	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	ACMC2[B,H,W] 00--0000	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000
0x1E0	-	ACMC3[B,H,W] 00--0000	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	ACMC4[B,H,W] 00--0000	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	ACMC5[B,H,W] 00--0000	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC	-	-	-	TCSD[B,H,W] ------00
0x1F0-0xFFC	-	-	-	-

1.9 PPG

PPG Base_Address : 0x4002_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	TTCR0 [B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0 [B,H,W] 00000000	-
0x00C	-	-	-	COMP2 [B,H,W] 00000000
0x010	-	-	COMP4 [B,H,W] 00000000	-
0x014	-	-	-	COMP6 [B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1 [B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1 [B,H,W] 00000000	-
0x02C	-	-	-	COMP3 [B,H,W] 00000000
0x030	-	-	COMP5 [B,H,W] 00000000	-
0x034	-	-	-	COMP7 [B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2 [B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8 [B,H,W] 00000000	-
0x04C	-	-	-	COMP10 [B,H,W] 00000000
0x050	-	-	COMP12 [B,H,W] 00000000	-
0x054	-	-	-	COMP14 [B,H,W] 00000000
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG0 [B,H,W] 00000000 00000000	
0x104	-	-	REVC0 [B,H,W] 00000000 00000000	
0x108 - 0x13C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x140	-	-	TRG1 [B,H,W] -------- 00000000	
0x144	-	-	REVC1 [B,H,W] -------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0 [B,H,W] 00000000	PPGC1 [B,H,W] 00000000
0x204	-	-	PPGC2 [B,H,W] 00000000	PPGC3 [B,H,W] 00000000
0x208	-	-	PRLH0 [B,H,W] XXXXXXXX	PRLL0 [B,H,W] XXXXXXXX
0x20C	-	-	PRLH1 [B,H,W] XXXXXXXX	PRLL1 [B,H,W] XXXXXXXX
0x210	-	-	PRLH2 [B,H,W] XXXXXXXX	PRLL2 [B,H,W] XXXXXXXX
0x214	-	-	PRLH3 [B,H,W] XXXXXXXX	PRLL3 [B,H,W] XXXXXXXX
0x218	-	-	-	GATEC0 [B,H,W] --00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4 [B,H,W] 00000000	PPGC5 [B,H,W] 00000000
0x244	-	-	PPGC6 [B,H,W] 00000000	PPGC7 [B,H,W] 00000000
0x248	-	-	PRLH4 [B,H,W] XXXXXXXX	PRLL4 [B.H.W] XXXXXXXX
0x24C	-	-	PRLH5 [B,H,W] XXXXXXXX	PRLL5 [B,H,W] XXXXXXXX
0x250	-	-	PRLH6 [B,H,W] XXXXXXXX	PRLL6 [B,H,W] XXXXXXXX
0x254	-	-	PRLH7 [B,H,W] XXXXXXXX	PRLL7 [B,H,W] XXXXXXXX
0x258	-	-	-	GATEC4 [B,H,W] ------00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8 [B,H,W] 00000000	PPGC9 [B,H,W] 00000000
0x284	-	-	PPGC10 [B,H,W] 00000000	PPGC11 [B,H,W] 00000000
0x288	-	-	PRLH8 [B,H,W] XXXXXXXX	PRLL8 [B,H,W] XXXXXXXX
0x28C	-	-	PRLH9 [B,H,W] XXXXXXXX	PRLL9 [B,H,W] XXXXXXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x290	-	-	PRLH10 [B,H,W] XXXXXXXX	PRLL10 [B,H,W] XXXXXXXX
0x294	-	-	PRLH11 [B,H,W] XXXXXXXX	PRLL11 [B,H,W] XXXXXXXX
0x298	-	-	-	GATEC8 [B,H,W] --00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12 [B,H,W] 00000000	PPGC13 [B,H,W] 00000000
0x2C4	-	-	PPGC14 [B,H,W] 00000000	PPGC15 [B,H,W] 00000000
0x2C8	-	-	PRLH12 [B,H,W] XXXXXXXX	PRLL12 [B,H,W] XXXXXXXX
0x2CC	-	-	PRLH13 [B,H,W] XXXXXXXX	PRLL13 [B,H,W] XXXXXXXX
0x2D0	-	-	PRLH14 [B,H,W] XXXXXXXX	PRLL14 [B,H,W] XXXXXXXX
0x2D4	-	-	PRLH15 [B,H,W] XXXXXXXX	PRLL15 [B,H,W] XXXXXXXX
0x2D8	-	-	-	GATEC12 [B,H,W] ------00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16 [B,H,W] 00000000	PPGC17 [B,H,W] 00000000
0x304	-	-	PPGC18 [B,H,W] 00000000	PPGC19 [B,H,W] 00000000
0x308	-	-	PRLH16 [B,H,W] XXXXXXXX	PRLL16 [B,H,W] XXXXXXXX
0x30C	-	-	PRLH17 [B,H,W] XXXXXXXX	PRLL17 [B,H,W] XXXXXXXX
0x310	-	-	PRLH18 [B,H,W] XXXXXXXX	PRLL18 [B,H,W] XXXXXXXX
0x314	-	-	PRLH19 [B,H,W] XXXXXXXX	PRLL19 [B,H,W] XXXXXXXX
0x318	-	-	-	GATEC16 [B,H,W] --00---00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20 [B,H,W] 00000000	PPGC21 [B,H,W] 00000000
0x344	-	-	PPGC22 [B,H,W] 00000000	PPGC23 [B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x348	-	-	PRLH20 [B,H,W] XXXXXXXX	PRLL20 [B.H.W] XXXXXXXX
0x34C	-	-	PRLH21 [B,H,W] XXXXXXXX	PRLL21 [B,H,W] XXXXXXXX
0x350	-	-	PRLH22 [B,H,W] XXXXXXXX	PRLL22 [B,H,W] XXXXXXXX
0x354	-	-	PRLH23 [B,H,W] XXXXXXXX	PRLL23 [B,H,W] XXXXXXXX
0x358	-	-	-	GATEC20 [B,H,W] ------00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	-
0x384 - 0xFFC	-	-	-	-

1.10 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000
Base Timer ch.1 Base Address : 0x4002_5040
Base Timer ch.2 Base Address : 0x4002_5080
Base Timer ch.3 Base Address : 0x4002_50C0
Base Timer ch.4 Base Address : 0x4002_5200
Base Timer ch.5 Base Address : 0x4002_5240
Base Timer ch.6 Base Address : 0x4002_5280
Base Timer ch.7 Base Address : 0x4002_52C0
Base Timer ch.8 Base Address : 0x4002_5400
Base Timer ch.9 Base Address : 0x4002_5440
Base Timer ch.10 Base Address : 0x4002_5480
Base Timer ch.11 Base Address : 0x4002_54C0
Base Timer ch.12 Base Address : 0x4002_5600
Base Timer ch.13 Base Address : 0x4002_5640
Base Timer ch.14 Base Address : 0x4002_5680
Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL [H,W] XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF [H,W] XXXXXXXX XXXXXXXX	
0x008	-	-	TMR [H,W] 00000000 00000000	
0x00C	-	-	TMCR [B,H,W] -0000000 00000000	
0x010	-	-	TMCR2 [B,H,W] 0------0	STC [B,H,W] 0000-000
0x014 - 0x03C	-	-	-	-

1.11 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL0123 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7(Base Timer)Base Address : 0x4002_5300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL4567 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11(Base Timer)　　Base Address : 0x4002_5500

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL89AB [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15(Base Timer)　　Base Address : 0x4002_5700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSELCDEF [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup(Base Timer)　　Base Address : 0x4002_5F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] XXXXXXXX XXXXXXXX	

1.12 QPRC

1.12.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

QPRC ch.3 Base Address : 0x4002_60C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -------- -----000	
0x0020 - 0x003B	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

1.12.2 TYPE3-M4, TYPE4-M4, TYPE5-M4 製品

QPRC ch.0 Base Address : 0x4002_6000
QPRC ch.1 Base Address : 0x4002_6040
QPRC ch.2 Base Address : 0x4002_6080
QPRC ch.3 Base Address : 0x4002_60C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -------- ----0000	
0x0020 - 0x003B	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

1.13 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100
QPRC ch.1 NF Base Address : 0x4002_6110
QPRC ch.2 NF Base Address : 0x4002_6120
QPRC ch.3 NF Base Address : 0x4002_6130

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	-	NFCTLA[B,H,W] --00-000
0x0004	-	-	-	NFCTLB[B,H,W] --00-000
0x0008	-	-	-	NFCTLZ[B,H,W] --00-000
0x000C	-	-	-	-

1.14 A/DC

12bit A/DC unit0 Base_Address : 0x4002_7000
12bit A/DC unit1 Base_Address : 0x4002_7100
12bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---1--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W] ----0000
0x03C	-	-	ADCEN[B,H,W] 11111111 ------00	
0x040	CALSR[B,H,W] -------- -------- -------0 00000000			
0x044	-	-	-	WCMRCIF[B,H,W] 00000000
0x048	-	-	-	WCMRCOT[B,H,W] 00000000
0x04C	-	-	WCMPSR[B,H,W] 00000000	WCMPCR[B,H,W] 00100000
0x050	WCMPDH[B,H,W] 00000000 00000000		WCMPDL[B,H,W] 00000000 00000000	
0x040 - 0x0FC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W] -----001
0x004	-	-	MCR_FTRM[B,H,W] ------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W] ---10000
0x00C	MCR_RLR[W] 00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

1.16.1 TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE4-M4 製品

EXTI Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -------0
0x018	-	-	-	NMICL[B,H,W] -------1
0x01C	-	-	-	-
0x020 - 0x0FC	-	-	-	-

1.16.2 TYPE5-M4, TYPE6-M4 製品

EXTI Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -------0
0x018	-	-	-	NMICL[B,H,W] -------1
0x01C	ELVR2[B,H,W] 00000000 00000000 00000000 00000000			
0x020 - 0x0FC	-	-	-	-

1.17 INT-Req. READ

1.17.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

INT-Req. READ Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	-
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] -------- 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] -------- 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] -------- 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] -------- 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] -------- 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] -------- 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] -------- 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] -------- 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- -------0			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- ----0000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- -------0			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------- ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------- ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------- ----0000			
0x380	IRQ095MON[B,H,W] -------- -------- -------- ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------- --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------- --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------- ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------- ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------- ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------- ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------- ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------- -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------- ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------- -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3B0	IRQ107MON[B,H,W] -------- -------- -------- -------0			
0x3B4	IRQ108MON[B,H,W] -------- -------- -------- ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------- -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------- ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	-	-	-	-
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- ---00000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- --000000			
0x3D0 – 0x3D8	-	-	-	-
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------- -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------- ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------- -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------- ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

1.17.2 TYPE3-M4, TYPE5-M4 製品

INT-Req. READ Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	ODDPKS1[B] --00000
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] -------- 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] -------- 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] -------- 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] -------- 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] -------- 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] -------- 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] -------- 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] -------- 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- -------0			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- ---00000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- ---00000			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------- ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------- ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------- ----0000			
0x380	IRQ095MON[B,H,W] -------- -------- -------- ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------- --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------- --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------- ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------- ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------- ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------- ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------- ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------- -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------- ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------- -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------- ------00			
0x3B0	IRQ107MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3B4	IRQ108MON[B,H,W] -------- -------- -------- ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------- -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------- ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	IRQ112MON[B,H,W] -------- -------- -------- --000000			
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- --000000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- -0000000			
0x3D0	IRQ115MON[B,H,W] -------- -------- -------- -----000			
0x3D4	IRQ116MON[B,H,W] -------- -------- -------- --------			
0x3D8	IRQ117MON[B,H,W] -------- -------- -------- ------00			
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------- -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------- ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------- -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------- ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

1.17.3 TYPE4-M4 製品

INT-Req. READ Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	ODDPKS1[B] --00000
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- ------00			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- --000000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- ---00000			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------0 ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------0 ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------0 ----0000			
0x380	IRQ095MON[B,H,W] -------- -------- -------0 ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------0 --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------0 --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------0 ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------0 ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------0 ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------0 ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------0 ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------0 -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------0 ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------0 -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------0 ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3B0	IRQ107MON[B,H,W] -------- -------- -------0 -------0			
0x3B4	IRQ108MON[B,H,W] -------- -------- -------0 ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------0 -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------0 ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	IRQ112MON[B,H,W] -------- -------- ------00 00000000			
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- --000000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- -0000000			
0x3D0	IRQ115MON[B,H,W] -------- -------- -------- -----000			
0x3D4	IRQ116MON[B,H,W] -------- -------- -------- --------			
0x3D8	IRQ117MON[B,H,W] -------- -------- -------- -----000			
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------0 -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------0 ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------0 -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------0 ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

1.18 D/AC

12bit D/AC unit0 Base_Address : 0x4003_3000
12bit D/AC unit1 Base_Address : 0x4003_3008

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	DACR[B,H,W] --00--00
0x004	-	-	DADR[H,W] ----XXXX XXXXXXXX	
0x010 – 0xFFC	-	-	-	-

1.19 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000
HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	TXCTRL[B,H,W] --0000-0
0x004	-	-	-	TXDATA[B,H,W] 00000000
0x008	-	-	-	TXSTS[B,H,W] --00---0
0x00C	-	-	-	SFREE[B,H,W] ----0000
0x010 – 0x03C	-	-	-	-
0x040	-	-	RCCR[B,H,W] 0---0000	RCST[B,H,W] 00000000
0x044	-	-	RCSHW[B,H,W] 00000000	RCDAHW[B,H,W] 00000000
0x048	-	-	RCDBHW[B,H,W] 00000000	-
0x04C	-	-	RCADR1[B,H,W] ---00000	RCADR2[B,H,W] ---00000
0x050	-	-	RCDTHH[B,H,W] 00000000	RCDTHL[B,H,W] 00000000
0x054	-	-	RCDTLH[B,H,W] 00000000	RCDTLL[B,H,W] 00000000
0x058	-	-	RCCKD[B,H,W] ---00000 00000000	
0x05C	-	-	RCRC[B,H,W] ---0---0	RCRHW[B,H,W] 00000000
0x060	-	-	RCLE[B,H,W] 00000-00	-
0x064	-	-	RCLELW[B,H,W] 00000000	RCLESW[B,H,W] 00000000
0x068 – 0x0FC	-	-	-	-

1.20 GPIO

1.20.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- --00 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 ----			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			
0x654 – 0x6FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

1.20.2 TYPE3-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- ---- ---- ---- ---- 0000 0000 0000			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x668	EPFR26[B,H,W] ---- ---- ---- --00 0000 0000 0000 0000			
0x66C – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740	PDSR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
Base_Address + Address	Register			
	+3	+2	+1	+0
0x744	PDSR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x748	PDSR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x74C	PDSR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x750	PDSR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x754	PDSR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x758	PDSR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x75C	PDSR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x760	PDSR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x764	PDSR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x768	PDSRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x76C	PDSRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x770	PDSRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x774	PDSRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x778	PDSRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x77C	PDSRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x780 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

1.20.3 TYPE4-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- 0000 0000 0000 ---- 0000 0000 0000			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x668	EPFR26[B,H,W] ---- ---- ---- --00 0000 0000 0000 0000			
0x66C	EPFR27[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x670	EPFR28[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x674	EPFR29[B,H,W] 0000 0000 0000 00-- 0000 0000 0000 0000			
0x67C	EPFR30[B,H,W] ---- --00 0000 0000 ---- 0000 0000 0000			
0x680 – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

1.20.4 TYPE5-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x668	EPFR26[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x66C – 0x680	-	-	-	-
0x684	EPFR33[B,H,W] ---- 0000 0000 0000 ---- 0000 0000 0000			
0x688	-	-	-	-
0x68C	EPFR35[B,H,W] ---- 0000 0000 0000 ---- ---- ---- ----			
0x690 – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740	PDSR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x744	PDSR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x748	PDSR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x74C	PDSR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x750	PDSR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x754	PDSR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x758	PDSR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x75C	PDSR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x760	PDSR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x764	PDSR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x768	PDSRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x76C	PDSRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x770	PDSRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x774	PDSRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x778	PDSRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x77C	PDSRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x780 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

1.21 LVD

LVD Base_Address : 0x4003_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LVD_CTL[B,H,W] 000111--
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 [B,H,W] 0-------
0x014 - 0x0FC	-	-	-	-

1.22 DS_Mode

DS_Mode Base_Address : 0x4003_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	*
0x004	-	-	-	RCK_CTL[B,H,W] ------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W] -------0
0x704	-	-	-	WRFSR[B,H,W] ------00
0x708	-	-	WIFSR[B,H,W] ------00 00000000	
0x70C	-	-	WIER[B,H,W] ------00 00000-00	
0x710	-	-	-	WILVR[B,H,W] ---00000
0x714	-	-	-	DSRAMR[B,H,W] ------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W] 00000000	BUR03[B,H,W] 00000000	BUR02[B,H,W] 00000000	BUR01[B,H,W] 00000000
0x804	BUR08[B,H,W] 00000000	BUR07[B,H,W] 00000000	BUR06[B,H,W] 00000000	BUR05[B,H,W] 00000000
0x808	BUR012[B,H,W] 00000000	BUR11[B,H,W] 00000000	BUR10[B,H,W] 00000000	BUR09[B,H,W] 00000000
0x80C	BUR16[B,H,W] 00000000	BUR15[B,H,W] 00000000	BUR14[B,H,W] 00000000	BUR13[B,H,W] 00000000
0x810 - 0xEFC	-	-	-	-

1.23 USB Clock

USB Clock　　Base_Address : 0x4003_6000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] -0000000
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] -0111011
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028	-	-	-	UPCR6[B,H,W] ----0010
0x02C	-	-	-	UPCR7[B,H,W] -------0
0x030	-	-	-	USBEN0[B,H,W] -------0
0x034	-	-	-	USBEN1[B,H,W] -------0
0x038 - 0x0FC	-	-	-	-

1.24 CAN_Prescaler

CAN_Prescaler Base_Address : 0x4003_7000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CANPRE[B,H,W] ----1011
0x004 - 0xFFC	-	-	-	-

1.25 MFS

MFS ch.0 Base_Address : 0x4003_8000
MFS ch.1 Base_Address : 0x4003_8100
MFS ch.2 Base_Address : 0x4003_8200
MFS ch.3 Base_Address : 0x4003_8300
MFS ch.4 Base_Address : 0x4003_8400
MFS ch.5 Base_Address : 0x4003_8500
MFS ch.6 Base_Address : 0x4003_8600
MFS ch.7 Base_Address : 0x4003_8700
MFS ch.8 Base_Address : 0x4003_8800
MFS ch.9 Base_Address : 0x4003_8900
MFS ch.10 Base_Address : 0x4003_8A00
MFS ch.11 Base_Address : 0x4003_8B00
MFS ch.12 Base_Address : 0x4003_8C00
MFS ch.13 Base_Address : 0x4003_8D00
MFS ch.14 Base_Address : 0x4003_8E00
MFS ch.15 Base_Address : 0x4003_8F00

Base_Address + Address	Register			
	+3	+3	+3	+3
0x000	-	-	SCR / IBCR[B,H,W] 0--00000	SMR[B,H,W] 000-00-0
0x004	-	-	SSR[B,H,W] 0-000011	ESCR / IBSR[B,H,W] 00000000
0x008	-	-	RDR/TDR[H,W] 00000000 00000000	
	(*1) RDR/TDR[H,W] 00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] --------	ISBA[B,H,W] --------
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+3	+3	+3
0x01C	-	-	SCSTR1/ EIBCR[B,H,W] 00000000	SCSTR0/ NFCR[B,H,W] 00000000
0x020	-	-	SCSTR3[B,H,W] 00000000	SCSTR2[B,H,W] 00000000
0x024	-	-	SACSR1[B,H,W] 00000000	SACSR0[B,H,W] 00000000
0x028	-	-	STMR1[B,H,W] 00000000	STMR0[B,H,W] 00000000
0x02C	-	-	STMCR1[B,H,W] 00000000	STMCR0[B,H,W] 00000000
0x030	-	-	SCSCR1[B,H,W] 00000000	SCSCR0[B,H,W] 00100000
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W] 00000000	TBYTE0[B,H,W] 00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x0144 - 0x1FC	-	-	-	-

<注意事項>

- *(*1) : RDR/TDR レジスタの上位 16bit は I2S モードで Word アクセスを使用するときのみ有効です。*

1.26 CRC

CRC Base_Address : 0x4003_9000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W] -0000000
0x004	CRCINIT[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W] 11111111 11111111 11111111 11111111			

1.27 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	WCCR[B,H,W] 00--0000	WCRL[B,H,W] --000000	WCRD[B,H,W] --000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W] -----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W] ------00
0x018 - 0xFFC	-	-	-	-

1.28 RTC

1.28.1 TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE6-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000
0x14C	-	-	-	WTTR0[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x150	-	-	-	WTTR1[B,H,W] 00000000
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_CLKDIV[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 00001000
0x180	-	-	-	CCB[B,H,W] 00010000
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000
0x1A4	-	-	-	VBDDR[B,H,W] ----0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A8	-	-	-	VBDIR[B,H,W] ----XXXX
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x1B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W] 00000000	BREG02[B,H,W] 00000000	BREG01[B,H,W] 00000000	BREG00[B,H,W] 00000000
0x204	BREG07[B,H,W] 00000000	BREG06[B,H,W] 00000000	BREG05[B,H,W] 00000000	BREG04[B,H,W] 00000000
0x208	BREG0B[B,H,W] 00000000	BREG0A[B,H,W] 00000000	BREG09[B,H,W] 00000000	BREG08[B,H,W] 00000000
0x20C	BREG0F[B,H,W] 00000000	BREG0E[B,H,W] 00000000	BREG0D[B,H,W] 00000000	BREG0C[B,H,W] 00000000
0x210	BREG13[B,H,W] 00000000	BREG12[B,H,W] 00000000	BREG11[B,H,W] 00000000	BREG10[B,H,W] 00000000
0x214	BREG17[B,H,W] 00000000	BREG16[B,H,W] 00000000	BREG15[B,H,W] 00000000	BREG14[B,H,W] 00000000
0x218	BREG1B[B,H,W] 00000000	BREG1A[B,H,W] 00000000	BREG19[B,H,W] 00000000	BREG18[B,H,W] 00000000
0x21C	BREG1F[B,H,W] 00000000	BREG1E[B,H,W] 00000000	BREG1D[B,H,W] 00000000	BREG1C[B,H,W] 00000000
0x220	BREG23[B,H,W] 00000000	BREG22[B,H,W] 00000000	BREG21[B,H,W] 00000000	BREG20[B,H,W] 00000000
0x224	BREG27[B,H,W] 00000000	BREG26[B,H,W] 00000000	BREG25[B,H,W] 00000000	BREG24[B,H,W] 00000000
0x228	BREG2B[B,H,W] 00000000	BREG2A[B,H,W] 00000000	BREG29[B,H,W] 00000000	BREG28[B,H,W] 00000000
0x22C	BREG2F[B,H,W] 00000000	BREG2E[B,H,W] 00000000	BREG2D[B,H,W] 00000000	BREG2C[B,H,W] 00000000
0x230	BREG33[B,H,W] 00000000	BREG32[B,H,W] 00000000	BREG31[B,H,W] 00000000	BREG30[B,H,W] 00000000
0x234	BREG37[B,H,W] 00000000	BREG36[B,H,W] 00000000	BREG35[B,H,W] 00000000	BREG34[B,H,W] 00000000
0x238	BREG3B[B,H,W] 00000000	BREG3A[B,H,W] 00000000	BREG39[B,H,W] 00000000	BREG38[B,H,W] 00000000
0x23C	BREG3F[B,H,W] 00000000	BREG3E[B,H,W] 00000000	BREG3D[B,H,W] 00000000	BREG3C[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2400x244	BREG47[B,H,W] 00000000	BREG46[B,H,W] 00000000	BREG45[B,H,W] 00000000	BREG44[B,H,W] 00000000
0x248	BREG4B[B,H,W] 00000000	BREG4A[B,H,W] 00000000	BREG49[B,H,W] 00000000	BREG48[B,H,W] 00000000
0x24C	BREG4F[B,H,W] 00000000	BREG4E[B,H,W] 00000000	BREG4D[B,H,W] 00000000	BREG4C[B,H,W] 00000000
0x250	BREG53[B,H,W] 00000000	BREG52[B,H,W] 00000000	BREG51[B,H,W] 00000000	BREG50[B,H,W] 00000000
0x254	BREG57[B,H,W] 00000000	BREG56[B,H,W] 00000000	BREG55[B,H,W] 00000000	BREG54[B,H,W] 00000000
0x258	BREG5B[B,H,W] 00000000	BREG5A[B,H,W] 00000000	BREG59[B,H,W] 00000000	BREG58[B,H,W] 00000000
0x25C	BREG5F[B,H,W] 00000000	BREG5E[B,H,W] 00000000	BREG5D[B,H,W] 00000000	BREG5C[B,H,W] 00000000
0x260	BREG63[B,H,W] 00000000	BREG62[B,H,W] 00000000	BREG61[B,H,W] 00000000	BREG60[B,H,W] 00000000
0x264	BREG67[B,H,W] 00000000	BREG66[B,H,W] 00000000	BREG65[B,H,W] 00000000	BREG64[B,H,W] 00000000
0x268	BREG6B[B,H,W] 00000000	BREG6A[B,H,W] 00000000	BREG69[B,H,W] 00000000	BREG68[B,H,W] 00000000
0x26C	BREG6F[B,H,W] 00000000	BREG6E[B,H,W] 00000000	BREG6D[B,H,W] 00000000	BREG6C[B,H,W] 00000000
0x270	BREG73[B,H,W] 00000000	BREG72[B,H,W] 00000000	BREG71[B,H,W] 00000000	BREG70[B,H,W] 00000000
0x274	BREG77[B,H,W] 00000000	BREG76[B,H,W] 00000000	BREG75[B,H,W] 00000000	BREG74[B,H,W] 00000000
0x278	BREG7B[B,H,W] 00000000	BREG7A[B,H,W] 00000000	BREG79[B,H,W] 00000000	BREG78[B,H,W] 00000000
0x27C	BREG7F[B,H,W] 00000000	BREG7E[B,H,W] 00000000	BREG7D[B,H,W] 00000000	BREG7C[B,H,W] 00000000
0x280-0xFFC	-	-	-	-

1.28.2 TYPE4-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_DIVCLK[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 11001110
0x180	-	-	-	CCB[B,H,W] 11001110
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000
0x1A4	-	-	-	VBDDR[B,H,W] ----0000
0x1A8	-	-	-	VBDIR[B,H,W] ----XXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x1B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W]	BREG02[B,H,W]	BREG01[B,H,W]	BREG00[B,H,W]
	00000000	00000000	00000000	00000000
0x204	BREG07[B,H,W]	BREG06[B,H,W]	BREG05[B,H,W]	BREG04[B,H,W]
	00000000	00000000	00000000	00000000
0x208	BREG0B[B,H,W]	BREG0A[B,H,W]	BREG09[B,H,W]	BREG08[B,H,W]
	00000000	00000000	00000000	00000000
0x20C	BREG0F[B,H,W]	BREG0E[B,H,W]	BREG0D[B,H,W]	BREG0C[B,H,W]
	00000000	00000000	00000000	00000000
0x210	BREG13[B,H,W]	BREG12[B,H,W]	BREG11[B,H,W]	BREG10[B,H,W]
	00000000	00000000	00000000	00000000
0x214	BREG17[B,H,W]	BREG16[B,H,W]	BREG15[B,H,W]	BREG14[B,H,W]
	00000000	00000000	00000000	00000000
0x218	BREG1B[B,H,W]	BREG1A[B,H,W]	BREG19[B,H,W]	BREG18[B,H,W]
	00000000	00000000	00000000	00000000
0x21C	BREG1F[B,H,W]	BREG1E[B,H,W]	BREG1D[B,H,W]	BREG1C[B,H,W]
	00000000	00000000	00000000	00000000
0x220	BREG23[B,H,W]	BREG22[B,H,W]	BREG21[B,H,W]	BREG20[B,H,W]
	00000000	00000000	00000000	00000000
0x224	BREG27[B,H,W]	BREG26[B,H,W]	BREG25[B,H,W]	BREG24[B,H,W]
	00000000	00000000	00000000	00000000
0x228	BREG2B[B,H,W]	BREG2A[B,H,W]	BREG29[B,H,W]	BREG28[B,H,W]
	00000000	00000000	00000000	00000000
0x22C	BREG2F[B,H,W]	BREG2E[B,H,W]	BREG2D[B,H,W]	BREG2C[B,H,W]
	00000000	00000000	00000000	00000000
0x230	BREG33[B,H,W]	BREG32[B,H,W]	BREG31[B,H,W]	BREG30[B,H,W]
	00000000	00000000	00000000	00000000
0x234	BREG37[B,H,W]	BREG36[B,H,W]	BREG35[B,H,W]	BREG34[B,H,W]
	00000000	00000000	00000000	00000000
0x238	BREG3B[B,H,W]	BREG3A[B,H,W]	BREG39[B,H,W]	BREG38[B,H,W]
	00000000	00000000	00000000	00000000
0x23C	BREG3F[B,H,W]	BREG3E[B,H,W]	BREG3D[B,H,W]	BREG3C[B,H,W]
	00000000	00000000	00000000	00000000
0x240	BREG43[B,H,W]	BREG42[B,H,W]	BREG41[B,H,W]	BREG40[B,H,W]
	00000000	00000000	00000000	00000000
0x244	BREG47[B,H,W]	BREG46[B,H,W]	BREG45[B,H,W]	BREG44[B,H,W]
	00000000	00000000	00000000	00000000
0x248	BREG4B[B,H,W]	BREG4A[B,H,W]	BREG49[B,H,W]	BREG48[B,H,W]
	00000000	00000000	00000000	00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x24C	BREG4F[B,H,W]	BREG4E[B,H,W]	BREG4D[B,H,W]	BREG4C[B,H,W]
	00000000	00000000	00000000	00000000
0x250	BREG53[B,H,W]	BREG52[B,H,W]	BREG51[B,H,W]	BREG50[B,H,W]
	00000000	00000000	00000000	00000000
0x254	BREG57[B,H,W]	BREG56[B,H,W]	BREG55[B,H,W]	BREG54[B,H,W]
	00000000	00000000	00000000	00000000
0x258	BREG5B[B,H,W]	BREG5A[B,H,W]	BREG59[B,H,W]	BREG58[B,H,W]
	00000000	00000000	00000000	00000000
0x25C	BREG5F[B,H,W]	BREG5E[B,H,W]	BREG5D[B,H,W]	BREG5C[B,H,W]
	00000000	00000000	00000000	00000000
0x260	BREG63[B,H,W]	BREG62[B,H,W]	BREG61[B,H,W]	BREG60[B,H,W]
	00000000	00000000	00000000	00000000
0x264	BREG67[B,H,W]	BREG66[B,H,W]	BREG65[B,H,W]	BREG64[B,H,W]
	00000000	00000000	00000000	00000000
0x268	BREG6B[B,H,W]	BREG6A[B,H,W]	BREG69[B,H,W]	BREG68[B,H,W]
	00000000	00000000	00000000	00000000
0x26C	BREG6F[B,H,W]	BREG6E[B,H,W]	BREG6D[B,H,W]	BREG6C[B,H,W]
	00000000	00000000	00000000	00000000
0x270	BREG73[B,H,W]	BREG72[B,H,W]	BREG71[B,H,W]	BREG70[B,H,W]
	00000000	00000000	00000000	00000000
0x274	BREG77[B,H,W]	BREG76[B,H,W]	BREG75[B,H,W]	BREG74[B,H,W]
	00000000	00000000	00000000	00000000
0x278	BREG7B[B,H,W]	BREG7A[B,H,W]	BREG79[B,H,W]	BREG78[B,H,W]
	00000000	00000000	00000000	00000000
0x27C	BREG7F[B,H,W]	BREG7E[B,H,W]	BREG7D[B,H,W]	BREG7C[B,H,W]
	00000000	00000000	00000000	00000000
0x280-0xFFC	-	-	-	-

1.28.3 TYPE5-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1 [B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR [B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR [B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS[B,H,W] -------0
0x024	-	WTCALEN[B,H,W] -------0	WTCAL[B,H,W] ------00 00000000	
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV[B,H,W] ----0000
0x02C	-	-	-	WTCALPRD[B,H,W], --010011
0x030	-	-	-	WTCOSEL[B,H,W], -------0
0x034-0x0FF	-	-	-	-

1.29 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W], --000000
0x004 – 0x0FC	-	-	-	-

1.30 Peripheral Clock Gating

1.30.1 TYPE1-M4, TYPE2-M4 製品

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] -------- -------- -------0 --**--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] -------- -------- -------0 --00--00			
0x028 – 0x67C	-	-	-	-

1.30.2 TYPE3-M4, TYPE4-M4 製品

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] ---0--11 ---1--00 -------0 -***--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] ---0--00 ---0--00 -------0 -000--00			
0x028 – 0x67C	-	-	-	-

1.30.3 TYPE5-M4, TYPE6-M4 製品

Peripheral Clock Gating **Base_Address : 0x4003_C100**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] ---0--11 ---1--00 1111---0 -***--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] ---0--00 ---0--00 0000---0 -000--00			
0x028 – 0x67C	-	-	-	-

1.31 Smart Card Interface

Smart Card Interface ch.0 Base_Address : 0x4003_C900

Smart Card Interface ch.1 Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000--00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.32 MFSI2S

MFSI2S ch.A　　Base_Address : 0x4003_CA00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	CNTLREG[B, H,W] -----0-0 -0000-01	
0x04	-	-	I2SCLK[B, H,W] 00------ 00000000	
0x08	-	-	I2SST[B,H,W] ------00	I2SRST[B,H,W] 00000000
0x0C- 0xFC	-	-	-	-

＜注意事項＞

- *TYP5-M4 製品では MFSI2S ch.A は MFS ch.1 が該当します。*

1.33 I2S_Prescaler

1.33.1 TYPE3-M4 製品

I2S_Prescaler　　Base_Address : 0x4003_D000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ICCR[B,H,W] -------- -------- -------- ------00			
0x004	IPCR1[B,H,W] -------- -------- -------- -------0			
0x008	IPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	IPCR3[B,H,W] -------- -------- -------- ---00001			
0x010	IPCR4[B,H,W] -------- -------- -------- -0011111			
0x014	IP_STR[B,H,W] -------- -------- -------- -------0			
0x018	IPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	IPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	IPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	IPCR5[B,H,W] -------- -------- -------- -0011000			
0x028 – 0xFFC	-	-	-	-

1.33.2 TYPE4-M4 製品

I2S_Prescaler Base_Address : 0x4003_D000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ICCR[B,H,W] -------- -------- -------- ------00			
0x004	IPCR1[B,H,W] -------- -------- -------- -------0			
0x008	IPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	IPCR3[B,H,W] -------- -------- -------- ---00001			
0x010	IPCR4[B,H,W] -------- -------- -------- -0011111			
0x014	IP_STR[B,H,W] -------- -------- -------- -------0			
0x018	IPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	IPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	IPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	IPCR5[B,H,W] -------- -------- -------- -0011000			
0x028 – 0x02C	-	-	-	-
0x030	ICCR_1[B,H,W] -------- -------- -------- -----000			
0x034	IPCR5_1[B,H,W] -------- -------- -------- -0000000			
0x038 – 0xFFC	-	-	-	-

1.34 GDC_Prescaler

GDC_Prescaler　Base_Address : 0x4003_D100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	GCCR[B,H,W] -------- -------- -------- -------0			
0x004	GPCR1[B,H,W] -------- -------- -------- ------00			
0x008	GPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	GPCR3 [B,H,W] -------- -------- -------- ---00000			
0x010	GPCR4 [B,H,W] -------- -------- -------- -0000000			
0x014	GP_STR[B,H,W] -------- -------- -------- -------0			
0x018	GPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	GPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	GPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	-	-	-	-
0x028	GCSR[B,H,W] -------- -------- ---0---0 ---0--00			
0x02C	GRCR[B,H,W] -------- -------- -------- -------0			
0x030	GMCR[B,H,W] -------- -------- -------- -------0			
0x034- 0xFFC	-	-	-	-

<注意事項>

GDC 部のレジスタの詳細は『GDC 編』を参照してください。

1.35 EXT-Bus I/F

1.35.1 TYPE1-M4 製品

EXT-Bus I/F　　Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	MODE0[W] -------- -------- --000-00 00000000			
0x0004	MODE1[W] -------- -------- --000-00 00000000			
0x0008	MODE2[W] -------- -------- --000-00 00000000			
0x000C	MODE3[W] -------- -------- --000-00 00000000			
0x0010	MODE4[W] -------- -------- --000-00 00000001			
0x0014	MODE5[W] -------- -------- --000-00 00000000			
0x0018	MODE6[W] -------- -------- --000-00 00000000			
0x001C	MODE7[W] -------- -------- --000-00 00000000			
0x0020	TIM0[W] 00000101 01011111 11110000 00001111			
0x0024	TIM1[W] 00000101 01011111 11110000 00001111			
0x0028	TIM2[W] 00000101 01011111 11110000 00001111			
0x002C	TIM3[W] 00000101 01011111 11110000 00001111			
0x0030	TIM4[W] 00000101 01011111 11110000 00001111			
0x0034	TIM5[W] 00000101 01011111 11110000 00001111			
0x0038	TIM6[W] 00000101 01011111 11110000 00001111			
0x003C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	AREA0[W] -------- -0001111 -------- 00000000			
0x0044	AREA1[W] -------- -0001111 -------- 00010000			
0x0048	AREA2[W] -------- -0001111 -------- 00100000			
0x004C	AREA3[W] -------- -0001111 -------- 00110000			
0x0050	AREA4[W] -------- -0001111 -------- 01000000			
0x0054	AREA5[W] -------- -0001111 -------- 01010000			
0x0058	AREA6[W] -------- -0001111 -------- 01100000			
0x005C	AREA7[W] -------- -0001111 -------- 01110000			
0x0060	ATIM0[W] -------- -------- ----0100 01011111			
0x0064	ATIM1[W] -------- -------- ----0100 01011111			
0x0068	ATIM2[W] -------- -------- ----0100 01011111			
0x006C	ATIM3[W] -------- -------- ----0100 01011111			
0x0070	ATIM4[W] -------- -------- ----0100 01011111			
0x0074	ATIM5[W] -------- -------- ----0100 01011111			
0x0078	ATIM6[W] -------- -------- ----0100 01011111			
0x007C	ATIM7[W] -------- -------- ----0100 01011111			
0x0080 - 0x00FC	-	-	-	-
0x0100	SDMODE[W] -------- -------0 00010011 --00-000			
0x0104	REFTIM[W] -------0 00000000 0000000000110011			
0x0108	PWRDWN[W] -------- -------- 00000000 00000000			
0x010C	SDTIM[W] ------00 01000010 00010001 0100--01			
0x0110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x0114 - 0x01FC	-	-	-	-

Base_Address + Address	Register			
	+3	+ 2	+1	+ 0
0x0200	MEMCERR[W] -------- -------- -------- ----0000			
0x0204 – 0x02FC	-	-	-	-
0x0300	DCLKR[W] -------- -------- -------- ---01111			
0x0304	EST -------- -------- -------- -------0			
0x0308	WEAD 00000000 00000000 000000000 00000000			
0x030C	ESCLR[W] -------- -------- -------- -------1			
0x0310	AMODE[W] -------- -------- -------- -------1			
0x031C - 0x0EFC	-	-	-	-
0x0F00 – 0x0F14	*	*	*	*
0x0F18 – 0x0FFC	-	-	-	-

1.35.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

EXT-Bus I/F Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	MODE0[W] -------- -------- --000-00 00000000			
0x0004	MODE1[W] -------- -------- --000-00 00000000			
0x0008	MODE2[W] -------- -------- --000-00 00000000			
0x000C	MODE3[W] -------- -------- --000-00 00000000			
0x0010	MODE4[W] -------- -------- --000-00 00000001			
0x0014	MODE5[W] -------- -------- --000-00 00000000			
0x0018	MODE6[W] -------- -------- --000-00 00000000			
0x001C	MODE7[W] -------- -------- --000-00 00000000			
0x0020	TIM0[W] 00000101 01011111 11110000 00001111			
0x0024	TIM1[W] 00000101 01011111 11110000 00001111			
0x0028	TIM2[W] 00000101 01011111 11110000 00001111			
0x002C	TIM3[W] 00000101 01011111 11110000 00001111			
0x0030	TIM4[W] 00000101 01011111 11110000 00001111			
0x0034	TIM5[W] 00000101 01011111 11110000 00001111			
0x0038	TIM6[W] 00000101 01011111 11110000 00001111			
0x003C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	AREA0[W] -------- -0001111 -------- 00000000			
0x0044	AREA1[W] -------- -0001111 -------- 00010000			
0x0048	AREA2[W] -------- -0001111 -------- 00100000			
0x004C	AREA3[W] -------- -0001111 -------- 00110000			
0x0050	AREA4[W] -------- -0001111 -------- 01000000			
0x0054	AREA5[W] -------- -0001111 -------- 01010000			
0x0058	AREA6[W] -------- -0001111 -------- 01100000			
0x005C	AREA7[W] -------- -0001111 -------- 01110000			
0x0060	ATIM0[W] -------- -------- ----0100 01011111			
0x0064	ATIM1[W] -------- -------- ----0100 01011111			
0x0068	ATIM2[W] -------- -------- ----0100 01011111			
0x006C	ATIM3[W] -------- -------- ----0100 01011111			
0x0070	ATIM4[W] -------- -------- ----0100 01011111			
0x0074	ATIM5[W] -------- -------- ----0100 01011111			
0x0078	ATIM6[W] -------- -------- ----0100 01011111			
0x007C	ATIM7[W] -------- -------- ----0100 01011111			
0x0080 - 0x00FC	-	-	-	-
0x0100	SDMODE[W] -------- -------0 00010011 --00-000			
0x0104	REFTIM[W] -------0 00000000 0000000000110011			
0x0108	PWRDWN[W] -------- -------- 00000000 00000000			
0x010C	SDTIM[W] 0-----00 01000010 00010001 0100--01			
0x0110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x0114 - 0x01FC	-	-	-	-

Base_Address + Address	Register			
	+3	+ 2	+1	+ 0
0x0200	MEMCERR[W] -------- -------- -------- ----0000			
0x0204 – 0x02FC	-	-	-	-
0x0300	DCLKR[W] -------- -------- -------- ---01111			
0x0304	EST -------- -------- -------- -------0			
0x0308	WEAD 00000000 00000000 000000000 00000000			
0x030C	ESCLR[W] -------- -------- -------- -------1			
0x0310	AMODE[W] -------- -------- -------- -------1			
0x031C - 0x0EFC	-	-	-	-
0x0F00 – 0x0F14	*	*	*	*
0x0F18 – 0x0FFC	-	-	-	-

1.36 USB

USB ch.0 Base_Address : 0x4004_0000
USB ch.1 Base_Address : 0x4005_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 100--00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
Base_Address + Address	Register			
	+3	+2	+1	+0
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 - 0x217C	-	-	-	-

1.37 DMAC

DMAC Base_Address : 0x4006_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	DMACR[B,H,W] 00-00000 -------- -------- --------			
0x0010	DMACA0[B,H,W] 00000000 0---0000 00000000 00000000			
0x0014	DMACB0[B,H,W] --000000 00000000 00000000 -------0			
0x0018	DMACSA0[B,H,W] 00000000 00000000 00000000 00000000			
0x001C	DMACDA0[B,H,W] 00000000 00000000 00000000 00000000			
0x0020	DMACA1[B,H,W] 00000000 0---0000 00000000 00000000			
0x0024	DMACB1[B,H,W] --000000 00000000 00000000 -------0			
0x0028	DMACSA1[B,H,W] 00000000 00000000 00000000 00000000			
0x002C	DMACDA1[B,H,W] 00000000 00000000 00000000 00000000			
0x0030	DMACA2[B,H,W] 00000000 0---0000 00000000 00000000			
0x0034	DMACB2[B,H,W] --000000 00000000 00000000 -------0			
0x0038	DMACSA2[B,H,W] 00000000 00000000 00000000 00000000			
0x003C	DMACDA2[B,H,W] 00000000 00000000 00000000 00000000			
0x0040	DMACA3[B,H,W] 00000000 0---0000 00000000 00000000			
0x0044	DMACB3[B,H,W] --000000 00000000 00000000 -------0			
0x0048	DMACSA3[B,H,W] 00000000 00000000 00000000 00000000			
0x004C	DMACDA3[B,H,W] 00000000 00000000 00000000 00000000			
0x0050	DMACA4[B,H,W] 00000000 0---0000 00000000 00000000			
0x0054	DMACB4[B,H,W] --000000 00000000 00000000 -------0			
0x0058	DMACSA4[B,H,W] 00000000 00000000 00000000 00000000			
0x005C	DMACDA4[B,H,W] 00000000 00000000 00000000 00000000			
0x0060	DMACA5[B,H,W] 00000000 0---0000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0064	DMACB5[B,H,W] --000000 00000000 00000000 -------0			
0x0068	DMACSA5[B,H,W] 00000000 00000000 00000000 00000000			
0x006C	DMACDA5[B,H,W] 00000000 00000000 00000000 00000000			
0x0070	DMACA6[B,H,W] 00000000 0---0000 00000000 00000000			
0x0074	DMACB6[B,H,W] --000000 00000000 00000000 -------0			
0x0078	DMACSA6[B,H,W] 00000000 00000000 00000000 00000000			
0x007C	DMACDA6[B,H,W] 00000000 00000000 00000000 00000000			
0x0080	DMACA7[B,H,W] 00000000 0---0000 00000000 00000000			
0x0084	DMACB7[B,H,W] --000000 00000000 00000000 -------0			
0x0088	DMACSA7[B,H,W] 00000000 00000000 00000000 00000000			
0x008C	DMACDA7[B,H,W] 00000000 00000000 00000000 00000000			
0x0090 - 0x00FC	-	-	-	-

1.38 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x0004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x0008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x000C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x0010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0018	DREQENB[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x001C	DREQENB[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0020	DREQENB[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0024	DREQENB[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0028	DREQENB[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x002C	DREQENB[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x0030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0038	HWINT[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x003C	HWINT[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0040	HWINT[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0044	HWINT[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0048	HWINT[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x004C	HWINT[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x0050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0058	HWINTCLR[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x005C	HWINTCLR[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x060	HWINTCLR[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x064	HWINTCLR[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x068	HWINTCLR[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HWINTCLR[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078	DQMSK[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x07C	DQMSK[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x080	DQMSK[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x084	DQMSK[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x088	DQMSK[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x08C	DQMSK[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098	DQMSKCLR[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x09C	DQMSKCLR[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	DQMSKCLR[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	DQMSKCLR[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	DQMSKCLR[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x0AC	DQMSKCLR[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x00B0 - 0x0FFC	-	-	-	-

1.39 CAN

CAN ch.0 Base_Address : 0x4006_2000
CAN ch.1 Base_Address : 0x4006_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	STATR[B,H,W] -------- 00000000		CTRLR[B,H,W] -------- 000-0001	
0x0004	BTR[B,H,W] -0100011 00000001		ERRCNT[B,H,W] 00000000 00000000	
0x0008	TESTR[B,H,W] -------- X00000--		INTR[B,H,W] 00000000 00000000	
0x000C	-	-	BRPER[B,H,W] -------- ----0000	
0x0010	IF1CMSK[B,H,W] -------- 00000000		IF1CREQ[B,H,W] 0------- 00000001	
0x0014	IF1MSK2[B,H,W] 11-11111 11111111		IF1MSK1[B,H,W] 11111111 11111111	
0x0018	IF1ARB2[B,H,W] 00000000 00000000		IF1ARB1[B,H,W] 00000000 00000000	
0x001C	-	-	IF1MCTR[B,H,W] 00000000 0---0000	
0x0020	IF1DTA2[B,H,W] 00000000 00000000		IF1DTA1[B,H,W] 00000000 00000000	
0x0024	IF1DTB2[B,H,W] 00000000 00000000		IF1DTB1[B,H,W] 00000000 00000000	
0x0028 - 0x002F	-	-	-	-
0x0030	IF1DTA1[B,H,W] 00000000 00000000		IF1DTA2[B,H,W] 00000000 00000000	
0x0034	IF1DTB1[B,H,W] 00000000 00000000		IF1DTB2[B,H,W] 00000000 00000000	
0x0038 - 0x003C	-	-	-	-
0x0040	IF2CMSK[B,H,W] -------- 00000000		IF2CREQ[B,H,W] 0------- 00000001	
0x0044	IF2MSK2[B,H,W] 11-11111 11111111		IF2MSK1[B,H,W] 11111111 11111111	
0x0048	IF2ARB2[B,H,W] 00000000 00000000		IF2ARB1[B,H,W] 00000000 00000000	
0x004C	-	-	IF2MCTR[B,H,W] 00000000 0---0000	
0x0050	IF2DTA2[B,H,W] 00000000 00000000		IF2DTA1[B,H,W] 00000000 00000000	
0x0054	IF2DTB2[B,H,W] 00000000 00000000		IF2DTB1[B,H,W] 00000000 00000000	
0x0058 - 0x005C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0060	IF2DTA1[B,H,W] 00000000 00000000		IF2DTA2[B,H,W] 00000000 00000000	
0x0064	IF2DTB1[B,H,W] 00000000 00000000		IF2DTB2[B,H,W] 00000000 00000000	
0x0068 - 0x007C	-	-	-	-
0x0080	TREQR2[B,H,W] 00000000 00000000		TREQR1[B,H,W] 00000000 00000000	
0x0084 - 0x008F	-	-	-	-
0x0090	NEWDT2[B,H,W] 00000000 00000000		NEWDT1[B,H,W] 00000000 00000000	
0x0094 - 0x009F	-	-	-	-
0x00A0	INTPND2[B,H,W] 00000000 00000000		INTPND1[B,H,W] 00000000 00000000	
0x00A4 - 0x00AF	-	-	-	-
0x00B0	MSGVAL2[B,H,W] 00000000 00000000		MSGVAL1[B,H,W] 00000000 00000000	
0x00B4 - 0x0FFC	-	-	-	-

1.40 Ethernet-MAC

Ethernet-MAC　　Base_Address : 0x4006_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000 – 0x1FFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

＜注意事項＞

- *Ethernet-MAC 部のレジスタの詳細は『Ethernet 編 CHAPTER2:Ethernet-MAC 4. レジスタ』を参照してください。*

1.41 Ethernet-Control

Ethernet-Control　Base_Address : 0x4006_6000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0xFFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

＜注意事項＞

- *Ethernet-Control 部のレジスタの詳細は『Ethernet 編 CHAPTER1:Ethernet 4. Ethernet システム制御レジスタ』を参照してください。*

1.42 I2S

I2S ch.0 Base_Address : 0x4006_C000
I2S ch.1 Base_Address : 0x4006_C800

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	RXFDAT[B,H,W] 00000000 00000000 00000000 00000000			
0x004	TXFDAT[B,H,W] 00000000 00000000 00000000 00000000			
0x008	CNTREG[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	MCR0REG[B,H,W] -0000000 00000000 -0000000 00000000			
0x010	MCR1REG[B,H,W] 00000000 00000000 00000000 00000000			
0x014	MCR2REG[B,H,W] 00000000 00000000 00000000 00000000			
0x018	OPRREG[B,H,W] -------0 -------0 -------- -------0			
0x01C	SRST[B,H,W] -------- -------- -------- -------0			
0x020	INTCNT[B,H,W] -1111111 --111111 ----0000 --000000			
0x024	STATUS[B,H,W] 00000000 ----0000 00000000 00000000			
0x028	DMAACT[B,H,W] -------0 -------0 -------0 -------0			
0x02C	TSTREG[B,H,W] -------- -------- -------- -------0			
0x030 - 0xFFC	-	-	-	-

1.43 SD-Card

SD-Card Base_Address : 0x4006_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 – 0xFFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

<注意事項>

- *SD-Card 部のレジスタの詳細は『本編 CHAPTER:SD カードインタフェース 2.レジスター覧』を参照してください。*

1.44 CAN FD

CAN FD Base_Address : 0x4007_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CREL[B,H,W] 00110000 00010011 00000101 0000110			
0x004	ENDN[B,H,W] 10000111 01100101 01000011 00100001			
0x008	-	-	-	-
0x00C	FBTP[B,H,W] ---00000 0--00000 ----1010 -011--11			
0x010	TEST[B,H,W] -------- -------- --000000 X000----			
0x014	RWD[B,H,W] -------- -------- 00000000 00000000			
0x018	CCCR[B,H,W] -------- -------- -0000000 00000001			
0x01C	BTP[B,H,W] ------00 00000000 --001010 00110011			
0x020	TSCC[B,H,W] -------- ----0000 -------- ------00			
0x024	TSCV[B,H,W] -------- -------- 00000000 00000000			
0x028	TOCC[B,H,W] 11111111 11111111 -------- -----000			
0x02C	TOCV[B,H,W] -------- -------- 11111111 11111111			
0x030 - 0x03C	-	-	-	-
0x040	ECR[B,H,W] -------- 00000000 00000000 00000000			
0x044	PSR[B,H,W] -------- -------- --000111 00000111			
0x048 - 0x04C	-	-	-	-
0x050	IR[B,H,W] 00000000 00000000 00000000 00000000			
0x054	IE[B,H,W] 00000000 00000000 00000000 00000000			
0x058	ILS[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	ILE[B,H,W] -------- -------- -------- ------00			
0x060 - 0x07C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x080	GFC[B,H,W] -------- -------- -------- --000000			
0x084	SIDFC[B,H,W] -------- 00000000 00000000 000000--			
0x088	XIDFC[B,H,W] -------- -0000000 00000000 000000--			
0x08C	-	-	-	-
0x090	XIDAM[B,H,W] ---11111 11111111 11111111 11111111			
0x094	HPMS[B,H,W] -------- -------- 00000000 00000000			
0x098	NDAT1[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	NDAT2[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	RXF0C[B,H,W] 00000000 -0000000 00000000 000000--			
0x0A4	RXF0S[B,H,W] ------00 --000000 --000000 -0000000			
0x0A8	RXF0A[B,H,W] -------- -------- -------- --000000			
0x0AC	RXBC[B,H,W] -------- -------- 00000000 000000--			
0x0B0	RXF1C[B,H,W] 00000000 -0000000 00000000 000000--			
0x0B4	RXF1S[B,H,W] 00----00 --000000 --000000 -0000000			
0x0B8	RXF1A[B,H,W] -------- -------- -------- --000000			
0x0BC	RXESC[B,H,W] -------- -------- -----000 -000-000			
0x0C0	TXBC[B,H,W] -0000000 --000000 00000000 000000--			
0x0C4	TXFQS[B,H,W] -------- --000000 ---00000 –000000			
0x0C8	TXESC[B,H,W] -------- -------- -------- -----000			
0x0CC	TXBRP[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	TXBAR[B,H,W] 00000000 00000000 00000000 00000000			
0x0D4	TXBCR[B,H,W] 00000000 00000000 00000000 00000000			
0x0D8	TXBTO[B,H,W] 00000000 00000000 00000000 00000000			
0x0DC	TXBCF[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0E0	TXBTIE[B,H,W] 00000000 00000000 00000000 00000000			
0x0E4	TXBCIE[B,H,W] 00000000 00000000 00000000 00000000			
0x0E8 - 0x0EC	-	-	-	-
0x0F0	TXEFC[B,H,W] --000000 --000000 00000000 000000--			
0x0F4	TXEFS[B,H,W] ------00 ---00000 ---00000 --000000			
0x0F8	TXEFA[B,H,W] -------- -------- -------- ---00000			
0x0FC - 0x1FC	-	-	-	-
0x200	FDSEAR[B,H,W] 00000000 00000000		FDESR[B,H,W] ------00	FDECR[B,H,W] ----0000
0x204	FDDEAR[B,H,W] 00000000 00000000		FDESCR[B,H,W] ------00	-
0x208 – 0x20C				
0x210	TSMDR[B,H,W] -------- -------0		TSCNTR[B,H,W] -------- -------0	
0x214	TSDIVR[B,H,W] -------- -------- 00000000 00000000			
0x218	TSCPCLR[B,H,W] 00000000 00000000		TSCDTR[B,H,W] 00000000 00000000	
0x21C - 0xFFC	-	-	-	-

CAN FD Message RAM

Base_Address + Address	Message RAM			
	+3	+2	+1	+0
0x8000 - 0xBFFC	Rx Buffer and FIFO Element [W] Tx Buffer Element [W] Tx Event FIFO Element [W] Standard Message ID Filter Element [W] Extended Message ID Filter Element [W]			

<注意事項>

- *メッセージ RAM の詳細は『通信マクロ編 CHAPTER 5-3: CAN FD コントローラ 6.メッセージ RAM』を参照してください。*

1.45 Programmable-CRC

Programmable-CRC　　Base_Address : 0x4008_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CRCn_PORY[B,H,W] 00000100 11000001 00011101 10110111			
0x004	CRCn_SEED[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCn_FXOR[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	CRCn_CFG[B,H,W] 00000000 11100000 00000000 00000000			
0x010	CRCn_WR[B,H,W] 00000000 00000000 00000000 00000000			
0x014	CRCn_RD[B,H,W] 00000000 00000000 00000000 00000000			
0x018 - 0xFFC	-	-	-	-

1.46 WorkFlash_IF

WorkFlash_IF　　Base_Address : 0x200E_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WFASZR[B,H,W]			
0x004	WFRWTR[B,H,W]			
0x008	WFSTR[B,H,W]			
0x00C - 0xFFF	-	-	-	-

＜注意事項＞

- *WorkFlash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

1.47 High-Speed Quad SPI Controller

1.47.1 TYPE3-M4 製品

High-Speed Quad SPI Controller Base_Address : 0xD000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	HSSPIn_MCTRL[B,H,W] -------- -------- -------- --000-00			
0x004	HSSPIn_PCC0[B,H,W] -------- -1111111 00000000 00000000			
0x008	HSSPIn_PCC1[B,H,W] -------- -1111111 00000000 00000000			
0x00C	HSSPIn_PCC2[B,H,W] -------- -1111111 00000000 00000000			
0x010	HSSPIn_PCC3[B,H,W] -------- -1111111 00000000 00000000			
0x014	HSSPIn_TXF[B,H,W] -------- -------- -------- -0000000			
0x018	HSSPIn_TXE[B,H,W] -------- -------- -------- -0000000			
0x01C	HSSPIn_TXC[B,H,W] -------- -------- -------- -0000000			
0x020	HSSPIn_RXF[B,H,W] -------- -------- -------- -0000000			
0x024	HSSPIn_RXE[B,H,W] -------- -------- -------- -0000000			
0x028	HSSPIn_RXC[B,H,W] -------- -------- -------- -0000000			
0x02C	HSSPIn_FAULTF[B,H,W] -------- -------- -------- ---00000			
0x030	HSSPIn_FAULTC[B,H,W] -------- -------- -------- ---00000			
0x034	-	-	HSSPIn_DMDMAEN [B,H,W] ------00	HSSPIn_DMCFG [B,H,W] -----001
0x038	HSSPIn_DMTRP [B,H,W] ----0000	HSSPIn_DMPSEL [B,H,W] ------00	HSSPIn_DMSTOP [B,H,W] -------0	HSSPIn_DMSTART [B,H,W] -------0
0x03C	HSSPIn_DMBCS[B,H,W] 00000000 00000000		HSSPIn_DMBCC[B,H,W] 00000000 00000000	
0x040	HSSPIn_DMSTATUS[B,H,W] -------- ---00000 ---00000 ------00			
0x044	-	-	-	-
0x048	-	-	-	-
0x04C	HSSPIn_FIFOCFG[B,H,W] --------_--------_---00000_01110111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	HSSPIn_TXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x054	HSSPIn_TXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x058	HSSPIn_TXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	HSSPIn_TXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x060	HSSPIn_TXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x064	HSSPIn_TXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x068	HSSPIn_TXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HSSPIn_TXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x070	HSSPIn_TXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x074	HSSPIn_TXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x078	HSSPIn_TXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	HSSPIn_TXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x080	HSSPIn_TXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x084	HSSPIn_TXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x088	HSSPIn_TXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	HSSPIn_TXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x090	HSSPIn_RXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x094	HSSPIn_RXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x098	HSSPIn_RXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	HSSPIn_RXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	HSSPIn_RXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	HSSPIn_RXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	HSSPIn_RXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0AC	HSSPIn_RXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x0B0	HSSPIn_RXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x0B4	HSSPIn_RXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x0B8	HSSPIn_RXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x0BC	HSSPIn_RXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x0C0	HSSPIn_RXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x0C4	HSSPIn_RXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x0C8	HSSPIn_RXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x0CC	HSSPIn_RXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	HSSPIn_CSCFG[B,H,W] -------- ----0000 ----0000 --000000			
0x0D4	HSSPIn_CSITIME[B,H,W] -------- -------- 11111111 11111111			
0x0D8	HSSPIn_CSAEXT[B,H,W] 00000000 00000000 000----- --------			
0x0DC	HSSPIn_RDCSDC1[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC0[B,H,W] 00000000 ----0000	
0x0E0	HSSPIn_RDCSDC3[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC2[B,H,W] 00000000 ----0000	
0x0E4	HSSPIn_RDCSDC5[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC4[B,H,W] 00000000 ----0000	
0x0E8	HSSPIn_RDCSDC7[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC6[B,H,W] 00000000 ----0000	
0x0EC	HSSPIn_WRCSDC1[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC0[B,H,W] 00000000 ----0000	
0x0F0	HSSPIn_WRCSDC3[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC2[B,H,W] 00000000 ----0000	
0x0F4	HSSPIn_WRCSDC5[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC4[B,H,W] 00000000 ----0000	
0x0F8	HSSPIn_WRCSDC7[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC6[B,H,W] 00000000 ----0000	
0x0FC	HSSPIn_MID[B,H,W] 00000000 00000000 00000110 00110000			
0x100 - 0x3FC	-	-	-	-
0x400	-	-	-	QDCLKR[B,H,W] ----1111
0x404	-	-	-	DBCNT[B,H,W] ------00
0x408 - 0xFFC	-	-	-	-

1.47.2 TYPE4-M4 製品

High-Speed Quad SPI Controller Base_Address : 0xD0A0_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	HSSPIn_MCTRL[B,H,W] -------- -------- -------- --000-00			
0x004	HSSPIn_PCC0[B,H,W] -------- -1111111 00000000 00000000			
0x008	HSSPIn_PCC1[B,H,W] -------- -1111111 00000000 00000000			
0x00C	HSSPIn_PCC2[B,H,W] -------- -1111111 00000000 00000000			
0x010	HSSPIn_PCC3[B,H,W] -------- -1111111 00000000 00000000			
0x014	HSSPIn_TXF[B,H,W] -------- -------- -------- -0000000			
0x018	HSSPIn_TXE[B,H,W] -------- -------- -------- -0000000			
0x01C	HSSPIn_TXC[B,H,W] -------- -------- -------- -0000000			
0x020	HSSPIn_RXF[B,H,W] -------- -------- -------- -0000000			
0x024	HSSPIn_RXE[B,H,W] -------- -------- -------- -0000000			
0x028	HSSPIn_RXC[B,H,W] -------- -------- -------- -0000000			
0x02C	HSSPIn_FAULTF[B,H,W] -------- -------- -------- ---00000			
0x030	HSSPIn_FAULTC[B,H,W] -------- -------- -------- ---00000			
0x034	-	-	HSSPIn_DMDMAEN [B,H,W] ------00	HSSPIn_DMCFG [B,H,W] -----001
0x038	HSSPIn_DMTRP [B,H,W] ----0000	HSSPIn_DMPSEL [B,H,W] ------00	HSSPIn_DMSTOP [B,H,W] -------0	HSSPIn_DMSTART [B,H,W] -------0
0x03C	HSSPIn_DMBCS[B,H,W] 00000000 00000000		HSSPIn_DMBCC[B,H,W] 00000000 00000000	
0x040	HSSPIn_DMSTATUS[B,H,W] -------- ---00000 ---00000 ------00			
0x044	-	-	-	-
0x048	-	-	-	-
0x04C	HSSPIn_FIFOCFG[B,H,W] --------_--------_---00000_01110111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	HSSPIn_TXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x054	HSSPIn_TXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x058	HSSPIn_TXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	HSSPIn_TXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x060	HSSPIn_TXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x064	HSSPIn_TXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x068	HSSPIn_TXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HSSPIn_TXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x070	HSSPIn_TXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x074	HSSPIn_TXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x078	HSSPIn_TXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	HSSPIn_TXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x080	HSSPIn_TXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x084	HSSPIn_TXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x088	HSSPIn_TXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	HSSPIn_TXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x090	HSSPIn_RXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x094	HSSPIn_RXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x098	HSSPIn_RXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	HSSPIn_RXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	HSSPIn_RXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	HSSPIn_RXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	HSSPIn_RXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0AC	HSSPIn_RXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x0B0	HSSPIn_RXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x0B4	HSSPIn_RXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x0B8	HSSPIn_RXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x0BC	HSSPIn_RXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x0C0	HSSPIn_RXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x0C4	HSSPIn_RXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x0C8	HSSPIn_RXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x0CC	HSSPIn_RXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	HSSPIn_CSCFG[B,H,W] -------- ----0000 ----0000 --000000			
0x0D4	HSSPIn_CSITIME[B,H,W] -------- -------- 11111111 11111111			
0x0D8	HSSPIn_CSAEXT[B,H,W] 00000000 00000000 000----- --------			
0x0DC	HSSPIn_RDCSDC1[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC0[B,H,W] 00000000 ----0000	
0x0E0	HSSPIn_RDCSDC3[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC2[B,H,W] 00000000 ----0000	
0x0E4	HSSPIn_RDCSDC5[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC4[B,H,W] 00000000 ----0000	
0x0E8	HSSPIn_RDCSDC7[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC6[B,H,W] 00000000 ----0000	
0x0EC	HSSPIn_WRCSDC1[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC0[B,H,W] 00000000 ----0000	
0x0F0	HSSPIn_WRCSDC3[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC2[B,H,W] 00000000 ----0000	
0x0F4	HSSPIn_WRCSDC5[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC4[B,H,W] 00000000 ----0000	
0x0F8	HSSPIn_WRCSDC7[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC6[B,H,W] 00000000 ----0000	
0x0FC	HSSPIn_MID[B,H,W] 00000000 00000000 00000110 00110000			
0x100 - 0x3FC	-	-	-	-
0x400	-	-	-	QDCLKR[B,H,W] ----1111
0x404	-	-	-	DBCNT[B,H,W] ------00
0x408 - 0xFFC	-	-	-	-

1.48 HyperBus Interface

HyperBus Interface　　Base_Address : 0xD0A0_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CSR[B,H,W] -----000 -------0 ----0000 -------0			
0x004	IEN[B,H,W] 0------- -------- -------- -------0			
0x008	ISR[B,H,W] -------- -------- -------- -------0			
0x024	-	-	-	-
0x010	MBR0[B,H,W] 00000000 00000000 00000000 00000000			
0x014	MBR1[B,H,W] 00000000 00000000 00000000 00000000			
0x018	MCR0[B,H,W] -------- ------00 -------- --00--11			
0x01C	MCR1[B,H,W] -------- ------00 -------- --00--11			
0x020	MTR0[B,H,W] 00000000 00000000 00000000 ----0000			
0x024	MTR1[B,H,W] 00000000 00000000 00000000 ----0000			
0x028	GPOR[B,H,W] -------- -------- -------- ------00			
0x02C	WPR[B,H,W] -------- -------- -------- -------0			
0x030	TEST[B,H,W] -------- -------- -------- -------0			
0x034- 0xFFC	-	-	-	-

1.49 GDC Sub System Controller

GDC Sub System Controller　　Base_Address : 0xD0A0_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	LockUnlock[W]			
	00000000 00000000 00000000 00000000			
0x004	LockStatus[W]			
	-------- -------- -------0 ---0---0			
0x008	*[W]			
0x00C	CnfigClockControl[W]			
	-------- -------- -------- -----001			
0x010	VramInterruptEnable[W]			
	-------- -------- -------- ------11			
0x014	*[W]			
0x018	VramInterruptClear[W]			
	-------- -------- -------- ------00			
0x01C	VramInterruptStatus[W]			
	-------- -------- -------- ------00			
0x020	ExtFlashDevSelect[W]			
	-------- -------- -------- -------1			
0x024	VramRemapDisable[W]			
	-------- -------- -------- -------0			
0x028	PanicSwitch[W]			
	-------- -------- -------- -------1			
0x02C	GDC_ClockDivider[W]			
	-------- -----100 00000000 --------			
0x030	WkupTriggerMask[W]			
	-----000 -----000 00000000 00000000			
0x034	ClockDomainStatus[W]			
	-------- -------- -------- ----0000			
0x038	-			
0x03C	-			
0x040	dsp_LockUnlock[W]			
	00000000 00000000 00000000 00000000			
0x044	dsp_LockStatus[W]			
	-------- -------- -------0 ---0---0			
0x048	dsp0_ClockDivider[W]			
	-------- 01000001 11100000 --------			
0x04C	dsp0_DomainControl[W]			
	-------- -------1 -------- -------0			
0x050	dsp0_ClockShift[W]			
	-------- -------- -------- -------1			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x054	*[W]			
0x058	dsp0_PowerEnControl[W] -------- -------- -------- -------0			
0x05C	dsp0_ClockGateModeLock[W] 00000000 00000000 00000000 00000000			
0x060	dsp0_ClockGateControl[W] -------- -------- -------- -------0			
0x064	-			
0x068	-			
0x06C	-			
0x070	-			
0x074	-			
0x078	SDRAMC_ClcokDivider[W] -------- 00000100 00000000 --------			
0x07C	SDRAMC_DomainControl[W] -------- -------1 -------- -------0			
0x080	HSSPIC_ClockDivider[W] -------- 00000100 00000000 --------			
0x084	HSSPIC_DomainControl[W] -------- -------1 -------- -------0			
0x088	RPCC_ClcokDivider[W] -------- -------- -------- -----000			
0x08C	RPCC_DomainControl[W] -------- -------1 -------- -------0			
0x090	-			
0x094	-			
0x098	-			
0x09C	-			
0x100	vram_LockUnlock[W] 00000000 00000000 00000000 00000000			
0x104	vram_LockStatus[W] -------- -------- -------0 ---0---0			
0x108	vram_sram_select[W] -------- -------- ----0000 00000000			
0x10C	*[W]			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x110	*[W]			
0x114	*[W]			
0x118	*[W]			
0x11C	*[W]			
0x120	*[W]			
0x124	*[W]			
0x128	*[W]			
0x12C	-			
0x130	-			
0x134	-			
0x138	-			
0x13C	vram_sberraddr_s0[W] 00000000 00000000 0000000 00000000			
0x140	vram_sberraddr_s1[W] 00000000 00000000 0000000 00000000			
0x144	-			
0x148	vram_arbiter_priority[W] -------- -------- -------- 00000000			
0x14C-0xFFC	-			

1.50 GDC Sub System SDRAM Controller

GDC Sub System SDRAM Controller　　Base_Address : 0xD0A0_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000-0x0FF	-			
0x100	SDMODE[W] -------- -------0 00010011 --00-000			
0x104	REFTIM[W] -------0 00000000 0000000000110011			
0x108	PWRDWN[W] -------- -------- 00000000 00000000			
0x10C	SDTIM[W] 0-----00 01000010 00010001 0100--01			
0x110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x114-0xFFC	-			

B. 注意事項一覧

各機能仕様の注意事項について示します。

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。
高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。
また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/ PCLK0/PCLK1/PCLK2/ TPIUCLK	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB	―	各規格で規定されている周波数精度を満たせないため、使用できません。
Ethernet-MAC		
CAN		
CAN-FD		
I^2S		
マルチファンクションシリアル インタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	I2C	
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
デバッグ インタフェース	シリアルワイヤ	高速 CR クロックの周波数変動により、SWV(シリアルワイヤビュー)が使用できない場合があります。
外部バス インタフェース	クロック出力	外バスクロック出力を使用する場合、接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
High-Speed Quad SPI	―	接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
SD カード インタフェース	―	接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
GDC 部	Panel 出力 High-Speed Quad SPI HyperBus Interface SDRAM-Interface	接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。

C. 主な変更内容

主な変更内容について示します。

1. 主な変更内容

1. 主な変更内容

Spansion Publication Number: MN709-00001

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
7~8	本マニュアルにおける対象製品	TYPE1-M4, TYPE2-M4, TYPE3-M4 を追加
24	CHAPTER1: システム概要 1.1 バス構成図	Figure 1-1 を修正
26	1.3 メモリマップ	Figure 1-2 を修正
27~29	1.4 ペリフェラル・アドレスマップ	Table 1-1 を修正
30~32	2. Corex-M4F の構成	HTM, ETB を追加
36	CHAPTER2-1: クロック 1. 概要	I2S クロックを追加
39	2. 構成・ブロックダイヤグラム	I2S クロックを追加
43	3.3 PLL クロック制御	Table 3-1 に設定例を追加
48~49	4. クロック設定手順例	Figure 4-2 の<注意事項>に説明を追加
70	6. 使用上の注意点	■クロックモードの切り替えと発振安定ビットの関係の説明文を修正
73~104	CHAPTER2-2: 周辺クロック停止機能	「プログラマブル CRC」「I2S インタフェース」「HDMI-CEC/リモコン受信」「Hi-Speed Quad SPI controller」を追加
76	1. 周辺クロック停止機能の概要	Table 1-1 の PGG 備考欄に説明を追加
91	4.3 周辺クロック制御レジスタ 1(CKEN1)	MFTCK[3:0]の PPG 対応 ch の修正
112	CHAPTER2-3: 高速 CR トリミング 4. 設定手順例	メインクロック(CLKMO)に修正
113	4. 設定手順例	Figure 4-4 を修正
148	CHAPTER3: クロック監視機能 7. 使用上の注意	メインタイマモードのリセット発行について記載を追加 CSV OFF 設定と外部リセットについて、外部リセットが受け付けられない場合を追加
169	CHAPTER5: 低電圧検出 3. 動作説明	低電圧検出リセット回路の動作の図を修正 ＜注意事項＞を追加
174	5.1 低電圧検出電圧設定レジスタ(LVD_CTL)	TYPE ごとに記載するように変更
194~196	CHAPTER6: 低消費電力モード 3. スタンバイモードの動作説明	Table 3-1、Table 3-2、Table 3-3、Table 3-4 を修正
200	3.2 タイマモードの動作	タイマモードからの復帰に HDMI-CEC 受信割込みを追加
202	3.3 RTC モードの動作	RTC モードからの復帰に HDMI-CEC 受信割込みを追加
214	5.1 ディープスタンバイ RTC モードの動作	＜注意事項＞に説明を追加
216	5.2 ディープスタンバイストップンモードの動作	＜注意事項＞に説明を追加
223	8.2 サブクロック供給制御レジスタ (RCK_CTL)	RTCCKE レジスタを削除 CECCKE レジスタを追加
225	8.4 ディープスタンバイ復帰要因レジスタ 1(WRFSR)	＜注意事項＞に説明を追加
226	8.4 ディープスタンバイ復帰要因レジスタ 2(WIFSR)	＜注意事項＞に説明を追加
233~234	CHAPTER7-1: VBAT ドメイン構成	新規追加
235~286	CHAPTER7-2: VBAT ドメイン(A)	Rev. 1.0 CHAPTER7: VBAT ドメインをベースに誤記修正 「TYPE1-M4~TYPE2-M4」製品が対応する
287~338	CHAPTER7-3: VBAT ドメイン(B)	「TYPE3-M4」製品対応として新規追加
339~406	CHAPTER8: 割込み	「TYPE3-M4」製品対応と説明追加、誤記修正

ページ	場所	変更箇所
413	CHAPTER9: 外部割込み・NMI 制御部 3.2 NMI 制御部の動作	説明と＜注意事項＞を追加
422	4.6 マスク不能割込み要因レジスタ	＜注意事項＞を追加
429	CHAPTER10: DMAC 2.1 DMAC とシステム構成	MFS から転送停止要求信号がアサートされる条件を追加
477~550	CHAPTER11: DSTC	「TYPE3-M4」製品対応と説明追加、誤記修正
551~686	CHAPTER12: I/O ポート	「TYPE3-M4」製品対応と説明追加、誤記修正
692	CHAPTER13: CRC 2.2 CRC 使用例	使用例 4 の図で、big endian を little endian に修正
689~692	2.2 CRC 使用例	Figure2-2, 2-3, 2-4, 2-5 を修正
701~784	CHAPTER14: 外部バスインタフェース	「TYPE3-M4」製品対応と説明追加、誤記修正
858	CHAPTER15: SD カードインタフェース 5. SDCLK	新規追加
859~866	CHAPTER16: デバッグインタフェース	「TYPE3-M4」製品対応と HTM 説明追加
875~896	CHAPTER19: プログラマブル CRC	新規追加
-	-	社名変更および記述フォーマットの変換
Revision 3.0		
5	関連マニュアル	「FM4 ファミリ ペリフェラルマニュアル GDC 編」を追加
9	本マニュアルにおける対象製品	「TYPE-4 M4」を追加
24	CHAPTER1:システム概要 1.バス構成	GDC を追加
26	CHAPTER1:システム概要 1.1 バス構成図	Figure 1-1 を修正
28	CHAPTER1:システム概要 1.3 メモリマップ	Figure 1-2 を修正 ＜注意事項＞を追加
29	CHAPTER1:システム概要 1.4 ペリフェラル・アドレスマップ	Table 1-1 を変更
38, 41, 42, 72	CHAPTER2-1: クロック	GDC クロックを追加 Figure 2-1 を変更
99,102	CHAPTER 2-2: 周辺クロッ停止機能	「TYPE4-M4」を追加
176	CHAPTER 5:低電圧検出 5.1 低電圧検出電圧設定レジスタ(LVD_CTL)	「TYPE4-M4」を追加
196, 197, 198, 202,	CHAPTER 6: 低消費電力モード 3. スタンバイモードの動作説明	「GDC」を追加 Table 3-1 を修正 Table 3-2 を修正 Table 3-3 を修正 Table 3-4 を修正
213	CHAPTER 6: 低消費電力モード 5. ディープスタンバイモードの動作説明	Table 5-1 を修正
236	CHAPTER 7-1: VBAT ドメイン構成 1. VBAT ドメインの構成	「TYPE4-M4」を追加
304, 329, 336, 337, 339	CHAPTER 7-3: VBAT ドメイン(B)	「TYPE4-M4」を追加
345	CHAPTER 8: 割込み 1. 概要	下記の記述を追加 IRQxxxMON レジスタの各ビットは各製品で非搭載の場合、予約ビットです。
356, 366	CHAPTER 8: 割込み 2. 割り込み一覧	Table2-2 を追加 Table2-5 を追加
374	CHAPTER 8: 割込み 3.2 リロケート割込み選択レジスタ (IRQxxxSEL)	SELBIT を修正

C. 主な変更内容

ページ	場所	変更箇所
383, 390, 394, 396, 398, 399, 409, 410, 411, 414	CHAPTER 8: 割込み 3. レジスタ	下記のビットを追加 "GDCINT","GSDRAM","GPLLINT","GQSPIDINT","I2S1DINT","I2S1INT",
498	CHAPTER 11: DSTC 2.2 DSTC システム構成	DREQ → DREQENB に修正
509	CHAPTER 11: DSTC 3.1.5 その他の DES 設定	下記のように記述を修正 3.2 DSTC の制御機能→3.2.4 HW 転送の制御
577	CHAPTER 12: I/O ポート 1. 概要	Table 2-4 を変更
593	CHAPTER 12: I/O ポート 4.8 拡張機能端子設定レジスタ 00(EPFR00)	「TYPE4-M4」を追加
597	CHAPTER 12: I/O ポート 4.9 拡張機能端子設定レジスタ 01(EPFR01)	下記のように記述を修正 インプットキャプチャ IC03 の入力に内部マクロ端子 CRTRIM を使用します。 →設定禁止
667, 668	CHAPTER 12: I/O ポート 4.24 拡張機能端子設定レジスタ 16(EPFR16)	「TYPE4-M4」を追加
686～688	CHAPTER 12: I/O ポート 4.31 拡張機能端子設定レジスタ 23(EPFR23)	「TYPE4-M4」を追加
689, 690	CHAPTER 12: I/O ポート 4.32 拡張機能端子設定レジスタ 24(EPFR24)	I2S ch.1 を追加
694～696	CHAPTER 12: I/O ポート 4.34 拡張機能端子設定レジスタ 26(EPFR26)	「TYPE4-M4」を追加
697～712	CHAPTER 12: I/O ポート 4.35 拡張機能端子設定レジスタ 27(EPFR27) 4.36 拡張機能端子設定レジスタ 28(EPFR28) 4.37 拡張機能端子設定レジスタ 29(EPFR29) 4.38 拡張機能端子設定レジスタ 30(EPFR30)	新規追加
717	CHAPTER 12: I/O ポート 4.41 ポート駆動能力選択レジスタ(PDSRx)	「TYPE4-M4」を追加
741, 772, 781, 782, 787, 808	CHAPTER 14: 外部バスインタフェース	「TYPE4-M4」を追加
901	CHAPTER 16: デバッグインタフェース	「TYPE4-M4」を追加
Revision 4.0		
9	対象製品 Table4 対象製品型格一覧(TYPE4-M4 製品)	TYPE4-M4 の製品型格を変更
28, 30	CHAPTER 1: システム概要 1.3 メモリマップ 1.4 ペリフェラル・アドレスマップ	MFSI2S、スマートカードインタフェースを追加
50, 51, 75, 76	CHAPTER 2-1: クロック 3.6 クロックギア機能 5.17 PLL クロックギア制御レジスタ (PLLCG_CTL)	クロックギア機能を追加
82, 102, 107	CHAPTER 2-2: 周辺クロック停止機能 1.周辺クロック停止機能の概要 4.5 周辺クロック制御レジスタ 2(CKEN2) 4.6 周辺リセットレジスタ 2(MRST2)	Table 1-1 に MFSI^{2}S インタフェース、スマートカードインタフェースを追加 IISCCK[1:0]、ICCCK[1:0]ビットを追加 IISCRST[1:0]、ICCRST[1:0]ビットを追加
182	CHAPTER 5: 低電圧検出 5.1 低電圧検出設定レジスタ(LVD_CTL)	「TYPE5-M4」、「TYPE6-M4」を追加
231	CHAPTER 6: 低消費電力モード 8.2 サブクロック供給制御レジスタ (RCK_CTL)	RTCCKE ビットを追加(TYPE5_M4)
244	CHAPTER 7-1: VBAT ドメイン構成 1. VBAT ドメインの構成	「TYPE5-M4」、「TYPE6-M4」を追加

ページ	場所	変更箇所
253 305	CHAPTER 7-3: VBAT ドメイン(A)/(B) 2.1.3 インタフェース回路が接続する回路	WTCR10 レジスタに関する詳細説明を追加
336	CHAPTER 7-3: VBAT ドメイン(B) 7. レジスター覧 7.3 CCS/CCB レジスタ	TYPE4-M4 製品の CCS/CCB レジスタに CCS ビット、CCB ビットを追加
356～363, 422	CHAPTER 8: 割込み 2. 割込み一覧 3.36IRQ117 一括読出しレジスタ (IRQ117MON)	Table 2-1 例外と割込み要因一覧に TYPE5-M4、TYPE6-M4 を追加 IRQ117 bit4,bit3 にスマートカードインタフェース割込みを追加 IRQ117MON bit4,bit3 に ICC1INT, ICC0INT を追加
432, 448	CHAPTER 9: 外部割込み・NMI 制御部 1.概要 4.8 外部割込み要求レベルレジスタ 2(ELVR2)	「TYPE5-M4」、「TYPE6-M4」の立上り/立下りの両エッジ選択を追加 立上りエッジ/立下りエッジの両方を選択する ELVR2 レジスタを追加
585, 722～725	CHAPTER 12: I/O ポート 2.構成・ブロックダイヤグラム・動作説明 4.39 拡張機能端子設計レジスタ 33 (EPFR33)	Table 2-4 に MFS-I2S、スマートカードインタフェースを追加 スマートカードインタフェースの制御をする EPFR33 レジスタを追加
751～836	CHAPTER 14: 外部バスインタフェース	「TYPE5-M4」、「TYPE6-M4」を追加
910	CHAPTER 15: SD カードインタフェース 5.SDCLK	「TYPE5-M4」、「TYPE6-M4」を追加
915	CHAPTER 16: デバッグインタフェース 2.2 トレース端子について	「TYPE5-M4」、「TYPE6-M4」を追加
1082	Appendixes A. レジスタマップ 1. レジスタマップ	1.50 GDC Sub System SDRAM Controller の Base Address を訂正

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

改訂履歴

文書名:	32 ビット・マイクロコントローラ FM4 ファミリ Peripheral Manual
文書番号:	002-04857

版	ECN 番号	変更者	変更内容
**	-	AKIH	サイプレスとしてドキュメントコード 002-04857 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5037064	YOHO	これは英語版 002-04856 Rev.*A の日本語版です。 社名変更と記述フォーマットの変換 CHAPTER 7-2: VBAT ドメイン(A), CHAPTER 7-3: VBAT ドメイン(B) 7.6 HIBRST レジスタ HIBRST ビットの説明を修正 CHAPTER 14: 外部バスインタフェース 6.4 ALE タイミングレジスタ 0～7 (ATIM0~ATIM7) ALES[3:0]ビットの説明を修正 MN709-00001 Revision 4.0 での正誤表の内容を反映
*B	5273874	YOHO	これは英語版 002-04856 Rev.*B の日本語版です。 CHAPTER 2-1: クロック 4. クロック設定手順例 Figure 4-4 クロック設定手順例(低速 CR ランモード→希望するクロックのランモード) (TYPE5-M4 製品以外) にタイトルを変更 Figure 4-5 クロック設定手順例(低速 CR ランモード→希望するクロックのランモード) (TYPE5-M4 製品) を追加 CHAPTER 8: 割込み I2S に関する説明を更新 CHAPTER 11: DSTC I2S に関する説明を更新
*C	5729553	YSAT	これは英語版 002-04856 Rev.*C の日本語版です。 Cypress の新ロゴを適用

版	ECN 番号	変更者	変更内容
*D	6001815	NOSU	これは英語版 002-04856 Rev.*D の日本語版です。 はじめに 周辺機能の搭載有無についての注意事項を追加 本マニュアルにおける対象製品 Table 3, 5, 6 の型格を 8 桁表記に修正 Table 4 の型格を 9 桁表記に修正 CHAPTER 11: DSTC 4. DSTC の動作例と制御例 DSTC の HW 起動転送を途中で止める方法を追加 CHAPTER 12: I/O ポート 4.19 拡張機能端子設定レジスタ 11(EPFR11) UERLC ビットを削除 CHAPTER 14: 外部バスインタフェース MNCLE 信号の機能説明を修正 チップイネーブル → コマンドラッチイネーブル
*E	6178922	NOSU	これは英語版 002-04856 Rev.*E の日本語版です。 はじめに マイコンサポート情報を追加