サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

32 ビット・マイクロコントローラ FM4 ファミリ
Peripheral Manual GDC 編

Doc. No. 002-04961 Rev. *D

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
http://www.cypress.com

Copyrights

© Cypress Semiconductor Corporation, 2015-2018. 本書面は，Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合，Cypress は，(1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア (Cypress により提供され，修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、本書およびご使用する製品の『データシート』をご一読ください。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作, 使い方について解説しています。アナログマクロ, タイマ, 通信マクロに関する記述は、別冊のペリフェラルマニュアルを参照してください。

＜注意事項＞

- *本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。デバイス仕様の詳細については、それぞれのデータシートを参照してください。*
- *周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。*

商標

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
その他の社名および製品名は各社の商標もしくは登録商標です。

サンプルプログラムおよび開発環境

FM4 ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本ファミリで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

- *サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。*
  また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアルには、以下に示す 4 つの章および Appendixes から構成されています。

CHAPTER 1 : 概要
CHAPTER 2 : リファレンスクロックセレクタ
CHAPTER 3 : GDC サブシステム制御
CHAPTER 4 : ソフトウェアインタフェース
Appendixes

関連マニュアル

本ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。
本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

- FM4 ファミリ ペリフェラルマニュアル (002-04857)
  以降、『ペリフェラルマニュアル』とよびます。
- FM4 ファミリ ペリフェラルマニュアル タイマ編 (002-04859)
  以降、『タイマ編』とよびます。
- FM4 ファミリ ペリフェラルマニュアル アナログマクロ編 (002-04861)
  以降、『アナログマクロ編』とよびます。
- FM4 ファミリ ペリフェラルマニュアル 通信マクロ編 (002-04904)
  以降、『通信マクロ編』とよびます。
- FM4 ファミリ ペリフェラルマニュアル Ethernet 編 (002-04964)
  以降、『Ethernet 編』とよびます。
- FM4 ファミリ ペリフェラルマニュアル GDC 編 (本書)
  以降、『GDC 編』とよびます。
- FM4 ファミリ ペリフェラルマニュアル GDC サブシステム編
  (以降、『GDC サブシステム編』とよびます。また、本マニュアルは NDA 締結下で提供されます。入手方法についてはお問い合わせください。)
- FM4 ファミリ ペリフェラルマニュアル GDC コア編
  (以降、『GDC コア編』とよびます。また、本マニュアルは NDA 締結下で提供されます。入手方法についてはお問い合わせください。)

データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

- 32 ビット FM4 ファミリ データシート

<注意事項>

- *データシートはシリーズごとに用意されています。*
  ご使用する製品のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M4F コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

- Cortex-M4 テクニカルリファレンスマニュアル
- Arm v7-M アーキテクチャ アプリケーション レベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

- FM4 ファミリ フラッシュプログラミングマニュアル

<注意事項>

- *フラッシュプログラミングマニュアルはシリーズごとに用意されています。*
  ご使用する製品のフラッシュプログラミングマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

■ 目次から探す

本書の内容を記載順に示します。

■ レジスタから探す

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『Appendixes』の『A.レジスタマップ』を参照してください。

章について

本書では、基本的に 1 つの周辺機能を 1 つの章で説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

■ 本書のレジスタ説明中のビット構成図では以下のように表記しています。

- bit: ビット番号
- Field: ビットフィールド名
- 属性: 各ビットのリード、ライト属性
  - R: リードオンリ
  - W: ライトオンリ
  - R/W: リード・ライト可能
  - -: 未定義
- 初期値: リセット直後のレジスタ初期値
  - 0: 初期値 0
  - 1: 初期値 1
  - X: 初期値不定

■ 本書では、複数のビットを以下のように表記しています。

例 : bit7 から bit0 の場合は bit7:0

■ 本書では、アドレスなどの数値を以下のように表記しています。

- 16 進数: プレフィックス(接頭辞)として 0x を付けて表記しています(例 : 0xFFFF)。
- 2 進数: プレフィックス(接頭辞)として 0b を付けて表記しています(例 : 0b1111)。
- 10 進数: 数値だけで表記しています(例 : 1000)。

本マニュアルにおける対象製品

■ 本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M4"などの表記は、以下の一覧の FM4 ファミリ製品に置き換えてお読みください。

Table 1 対象型格一覧(TYPE4-M4 製品)

タイプ名*	フラッシュメモリサイズ 384 Kbytes	
	VRAM 512 Kbytes	VRAM 512 Kbytes + VFLASH 2 Mbytes
TYPE4-M4	S6E2D35G0 S6E2D35J0	S6E2D35GJ
	S6E2D55G0 S6E2D55J0	S6E2D55GJ
	S6E2DF5G0 S6E2DF5J0	S6E2DF5GJ
	S6E2DH5G0 S6E2DH5J0	S6E2DH5GJ

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Contents

CHAPTER 1: 概要 11
1. 概要 12
  1.1 機能概要 12
    1.1.1 機能概要 12
    1.1.2 ディスプレイコントローラ 12
    1.1.3 2 次元ブロックイメージ転送処理アクセラレータ 14
2. ブロック図 15
3. 機能概要 16
  3.1 リファレンスクロック・セレクタ 16
    3.1.1 GDC クロック用リファレンスクロック 16
    3.1.2 GDC 周辺クロック用リファレンスクロック 16
    3.1.3 ソフトウェア・リセット 16
  3.2 GDC サブシステム・コントローラ (subsysctrl) 16
  3.3 HS-SPI External Memory Interface 17
  3.4 SDRAM External Memory Controller 17
  3.5 HyperBus Interface 17

CHAPTER 2: リファレンスクロックセレクタ 19
1. 概要 20
  1.1 機能概要 20
    1.1.1 GDC リファレンスクロック 20
    1.1.2 GDC 周辺リファレンスクロック 20
    1.1.3 ソフトウェア・リセット 20
2. ブロック図 21
3. 動作仕様 22
  3.1 クロックセットアップ 22
  3.2 GDCPLL の設定例 24
  3.3 リセットセットアップ 25
4. レジスタ 26
  4.1 GCCR 27
  4.2 GPCR1 28
  4.3 GPCR2 29
  4.4 GPCR3 30
  4.5 GPCR4 31
  4.6 GP_STR 32
  4.7 GPINT_ENR 33
  4.8 GPINT_CLR 34
  4.9 GPINT_STR 35
  4.10 GCSR 36
  4.11 GRCR 38
  4.12 GMCR 39

CHAPTER 3: GDC サブシステム制御 41
1. 概要 42
1.1 機能概要 42
2. ブロック図 43
3. 機能と動作 44
3.1 概要 44
3.1.1 リファレンスクロック 44
3.1.2 GDC クロック 44
3.1.3 CONFIG クロック 44
3.1.4 GDC 周辺インタフェースクロック 44
3.2 GDC クロックセットアップ 45
3.3 CONFIG クロックセットアップ 46
3.4 ディスプレイクロックセットアップ 46
3.4.1 ディスプレイクロック生成とリセット制御 46
3.4.2 ディスプレイクロックの出力位相シフト 47
3.4.3 ディスプレイクロックのセットアップ方法 47
3.5 HyperBus インタフェースクロックセットアップ 48
3.6 SDRAM インタフェースクロックセットアップ 48
3.7 QSPI インタフェースクロックセットアップ 48
3.8 各クロックの設定例 50
3.8.1 例 1 50
3.8.2 例 2 51
4. レジスタ 52
4.1 LockUnlock 54
4.2 LockStatus 55
4.3 TEST (予約) 57
4.4 CnfigClockControl 58
4.5 VRamInterruptEnable 59
4.6 TEST (予約) 61
4.7 VramInterruptClear 62
4.8 VRamInterruptStatus 63
4.9 ExtFlashDevSelect 64
4.10 VramRemapDisable 65
4.11 PanicSwitch 66
4.12 GDC_ClockDivider 67
4.13 WkupTriggerMask 68
4.14 ClockDomainStatus 70
4.15 dsp_LockUnlock 72
4.16 dsp_LockStatus 73
4.17 dsp0_ClockDivider 75
4.18 dsp0_DomainControl 76
4.19 dsp0_ClockShift 78
4.20 TEST (予約) 79
4.21 dsp0_PowerEnControl 80
4.22 dsp0_ClockGateModeLock 81
4.23 dsp0_ClockGateControl 82
4.24 SDRAMC_ClockDivider 83
4.25 SDRAMC_DomainControl 84

4.26 HSSPIC_ClockDivider 86
4.27 HSSPIC_DomainControl 87
4.28 RPCC_ClockDivider 89
4.29 RPCC_DomainControl 90
4.30 vram_LockUnlock 91
4.31 vram_LockStatus 92
4.32 vram_sram_select 94
4.33 TEST (予約) 99
4.34 TEST (予約) 100
4.35 TEST (予約) 101
4.36 TEST (予約) 102
4.37 TEST (予約) 103
4.38 TEST (予約) 104
4.39 TEST (予約) 105
4.40 TEST (予約) 106
4.41 vram_sberraddr_s0 107
4.42 vram_sberraddr_s1 108
4.43 vram_arbiter_priority 109
CHAPTER 4: ソフトウェアインタフェース 111
1. マップテーブル 112
1.1 割込みマップ 112
Appendixes 115
A. レジスタマップ 116
A.1 レジスタマップ 118
A.1.1 FLASH_IF 119
A.1.2 Unique ID 122
A.1.3 ECC Capture Address 122
A.1.4 Clock/Reset 123
A.1.5 HW WDT 127
A.1.6 SW WDT 127
A.1.7 Dual_Timer 128
A.1.8 MFT 129
A.1.9 PPG 135
A.1.10 Base Timer 139
A.1.11 IO Selector for Base Timer 140
A.1.12 QPRC 141
A.1.13 QPRC NF 142
A.1.14 A/DC 143
A.1.15 CR Trim 144
A.1.16 EXTI 145
A.1.17 INT-Req. READ 146
A.1.18 D/AC 167
A.1.19 HDMI-CEC 167
A.1.20 GPIO 168
A.1.21 LVD 199
A.1.22 DS_Mode 199
A.1.23 USB Clock 200
A.1.24 CAN_Prescaler 201

A.1.25 MFS 201
A.1.26 CRC 203
A.1.27 Watch Counter 203
A.1.28 RTC 204
A.1.29 Low-speed CR Prescaler 212
A.1.30 Peripheral Clock Gating 213
A.1.31 Smart Card Interface 215
A.1.32 MFSI2S 216
A.1.33 I2S_Prescaler 217
A.1.34 GDC_Prescaler 219
A.1.35 EXT-Bus I/F 220
A.1.36 USB 226
A.1.37 DMAC 228
A.1.38 DSTC 230
A.1.39 CAN 232
A.1.40 Ethernet-MAC 234
A.1.41 Ethernet-Control 234
A.1.42 I2S 235
A.1.43 SD-Card 235
A.1.44 CAN FD 236
A.1.45 Programmable-CRC 239
A.1.46 WorkFlash_IF 239
A.1.47 High-Speed Quad SPI Controller 240
A.1.48 HyperBus Interface 246
A.1.49 GDC Sub System Controller 247
A.1.50 GDC Sub System SDRAM Controller 250
B. 注意事項一覧 251
B.1 高速 CR クロックをマスタクロックに使用する場合の注意事項 252
C. 主な変更内容 253
改訂履歴 254

CHAPTER 1: 概要

GDC サブシステムの概要について説明します。

1. 概要
2. ブロック図
3. 機能概要

1. 概要

1.1 機能概要

1.1.1 機能概要

■ 外部接続されたグラフィックディスプレイのコントローラです。
■ 二次元のブロックイメージ転送処理のアクセラレータです。
■ 内蔵 SRAM で構成されたビデオメモリを実装しています。
■ マルチレイヤ化されたグラフィックコントローラ専用のバスを実装しています。
■ ディスプレイコンテントのために、シグネチャを生成します。
■ グラフィック処理のためのコマンドシーケンサを実装しています。
■ クワッド SPI インタフェースを実装、外部メモリ拡張可能です。
■ SDRAM インタフェースを実装、外部メモリ拡張可能です。
■ HyperBus インタフェースを実装、外部メモリ拡張可能です。
■ 二次元ブロックイメージ転送処理アクセラレータとディスプレイコントローラのそれぞれにおいてパイプライン処理を実行します。
■ 動作周波数については、製品のデータシートを参照してください。

＜注意事項＞

- *GDC はグラフィックスデータの書込み先として、内蔵 VRAM と外部 HyperRAM を使用できます。*

1.1.2 ディスプレイコントローラ

1.1.2.1 ディスプレイ・アウトプット・ストリーム

■ 単一ディスプレイ・アウトプット・ストリームを実装しています。
■ カラー深度は最大 24 bit (RGB: 888)です。
■ RGB 出力は最大 24 bit のパラレル出力です。
■ 最大で SVGA 60FPS をサポートします。
■ 最大で 12 本のタイミング信号を生成するタイミングコントローラを実装しています。
■ 低解像度ディスプレイのために、デザリング機能を実装しています。
■ ガンマ補正機能を実装しています。
■ コンテンツおよびセーフティストリームを動的に選択できます。
■ コンテンツおよびセーフティストリームをオーバレイできます。
■ CRC チェックサムによるシグネチャユニットを実装しています。最大で 2 つのウィンドウをサポートします。
■ システムイベントによる、ディスプレイストリームを自動切り替えするパニックモードを実装しています。
■ 画素ごとに 1 ビットアルファマスクをサポートしています。対象を以下に示します。

- トランスペアレント・ストリーム・オーバレイ
- マスク処理されたカラー修正
- マスク処理されたシグネチャ生成

1.1.2.2 2 つのバック・グランド・プレーン

■ 1 x コンスタント・カラー

1.1.2.3 2 つのフォアグランドプレーン (合計 9 レイヤ)

■ 1 x インテグラル・プレーン
■ 1 x フラクショナル・プレーン

1.1.2.4 各プレーンのアルファブレンディング

- 複数のプレーンについて、ブレンディング処理定義が可能。
- すべてのレイヤについて、画素数 1 x 1 から最大画素まで処理可能。

1.1.2.5 ディスプレイ・バッファ・フォーマット

- RGBA, グレースケール
- ソース・アルファ, コンスタント・アルファ, トランスペアレント・アルファ (すべての組み合わせが可能)
- カラー・インデックス (256 x 24 bit パレット)。
- 圧縮データ (ロスレス: RL or RLA; 非ロスレス: RLAD)。
- 画素あたり 1, 2, 4, 8, 16, 18, 24, 32 ビット(メモリ内にパックされます)。
- 画素データ内に全カラーチャネルを任意に配置できます。
- 各カラーチャネルのビット幅は 0 から 8 ビットまでの任意指定が可能です。
- スキャン方向は 0, 90, 180, 270° から選択可能です。

1.1.2.6 その他の機能

- すべてのコンフィグレーション・レジスタはシャドー・ロードされます。
- レイヤごとにシャドー・ロードは個別に実行されます。

1.1.3 2 次元ブロックイメージ転送処理アクセラレータ

1.1.3.1 実行命令

- フィル
- コピー
- ブレンディング (OpenGL, OpenVG, OpenWF 準拠)
- 2 または 3 入力の論理演算
- 任意倍率のスケーリング
- 任意確度のローテーション
- リニア・カラー変換
- 非リニア・カラー変換 (カラーコンポーネントごとの定義可能なルックアップテーブルを実装)
- 画素フォーマット変換

1.1.3.2 入力画素フォーマット

- RGBA, グレースケール
- ソース・アルファ, コンスタント・アルファ, トランスペアレント・アルファ (すべての組み合わせが可能)
- カラー・インデックス (256 x 24 bit パレット)
- 圧縮データ (ロスレス: RL or RLA; 非ロスレス: RLAD)
- 画素あたり 1, 2, 4, 8, 16, 18, 24, 32 ビット(メモリ内にパックされます)
- 画素データ内に全カラーチャネルを任意に配置できます。
- 各カラーチャネルのビット幅は 0 から 8 ビットまでの任意指定が可能です。
- スキャン方向は 0°, 90°, 180°, 270° から選択可能です。

1.1.3.3 出力画素フォーマット

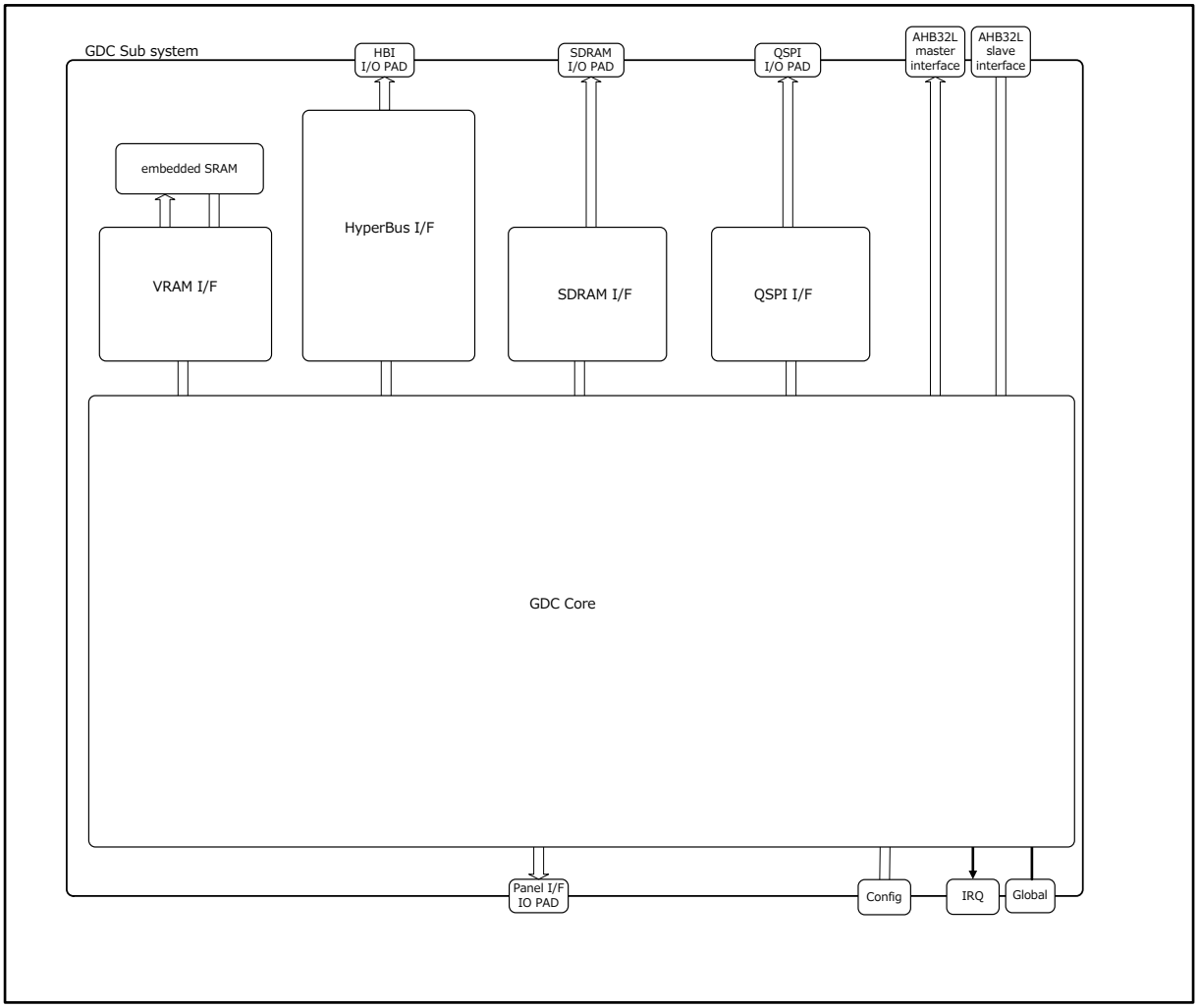
- RGBA, グレースケール
- プレ・マルチプライド・アルファ
- 画素あたり 1, 2, 4, 8, 16, 18, 24, 32 ビット(メモリ内にパックされます)
- 画素データ内に全カラーチャネルを任意に配置できます。
- 各カラーチャネルのビット幅は 0 から 8 ビットまでの任意指定が可能です。

1.1.3.4 その他の機能

- すべてのレイヤについて、画素数 1 x 1 から最大画素まで処理可能。
- 各カラーコンポーネントに 8 ビット演算精度をサポート。
- 入出力データはバイト単位にストライド指定可能。
- 入力フォーマットはクリップウィンドゥが選択可能。
- 実行命令を最大 2 つまで組み合わせることが可能。
- すべてのコンフィグレーション・レジスタはシャドー・ロードされます。

2. ブロック図

図 2-1 GDC サブシステムのブロック図



3. 機能概要

3.1 リファレンスクロック・セレクタ

リファレンスクロック・セレクタは、GDC サブシステムの GDC クロックと周辺クロックのリファレンスクロックを選択します。

3.1.1 GDC クロック用リファレンスクロック

GDC クロック用リファレンスクロックは以下のクロックソースから選択できます。

- GDC PLL 出力クロック
- Main PLL 出力クロック
- HCLK.

3.1.2 GDC 周辺クロック用リファレンスクロック

GDC 周辺クロックは以下のクロックソースから選択できます。

- GDC PLL output clock.
- HCLK.

GDC 周辺クロックは、選択されたリファレンスクロックをソースクロックとして、周辺ごとに個別に生成されます。周辺リソースは、ディスプレイコントローラ, HyperBus インタフェース, SDRAM インタフェースと, QSPI インタフェースが実装されています。

3.1.3 ソフトウェア・リセット

リファレンスクロック・セレクタ部は、GDC サブシステム用のソフトウェア・リセットを生成します。

＜注意事項＞

- ***ソフトウェア・リセットを解除する時は、上記 2 つのリファレンスクロック出力を停止する必要があります。***

3.2 GDC サブシステム・コントローラ (subsysctrl)

サブシステム・コントローラは、GDC クロック用リファレンスクロックから、以下のクロックを生成します。

- GDC サブシステム動作用クロック。
- GDC サブシステム内の設定・状態レジスタ動作クロック (CFGCLK).

サブシステム・コントローラは、GDC 周辺クロック用リファレンスクロックから、以下のクロックを生成します。

- 固定小数分周器による、ディスプレイ・クロック
- HyperBus インタフェースクロック
- SDRAM インタフェースクロック
- QSPI インタフェースクロック

3.3 HS-SPI External Memory Interface

FM4 ファミリ ペリフェラルマニュアル 通信マクロ編を参照してください。

＜注意事項＞

- *GDC サブシステムにおいては、動作モードのうち、Mode0 と Mode4 がサポートされます。Mode1 ,2, 3 はサポートされません。*
- *Mode4 に設定するためには、HSSPIn_PCC0, HSSPIn_PCC1, HSSPIn_PCC2, HSSPIn_PCC3 の ACES フィールドに 1 をライトします。*
- *Mode4 ではコマンドシーケンサ動作のみサポートされ、ダイレクトモードはサポートされません。*
- *GDC サブシステムでは、RTM=1 動作モードはサポートされません。*

3.4 SDRAM External Memory Controller

FM4 ファミリ ペリフェラルマニュアルを参照してください。

3.5 HyperBus Interface

FM4 ファミリ ペリフェラルマニュアル 通信マクロ編を参照してください。

CHAPTER 2: リファレンスクロックセレクタ

リファレンスクロックセレクタの機能と動作について説明します。

1. 概要
2. ブロック図
3. 動作仕様
4. レジスタ

1. 概要

リファレンスクロックの概要について説明します。

1.1 機能概要

リファレンスクロックセレクタは、GDC サブシステムのリファレンスクロックを選択します。

リファレンスクロックには、GDC クロックを生成するためのソースクロック、「GDC リファレンスクロック」と「周辺マクロリファレンスクロック」があります。

1.1.1 GDC リファレンスクロック

GDC リファレンスクロックは以下のソースクロックから選択します。

- GDC PLL 出力クロック
- Main PLL 出力クロック
- HCLK

GDC クロックは GDC リファレンスクロックを分周して生成されます。分周比は 2 から 255 までを設定できます。

1.1.2 GDC 周辺リファレンスクロック

GDC 周辺リファレンスクロックは以下のソースクロックから選択します。

- GDC PLL output clock
- HCLK

各周辺リソースの動作クロックは GDC 周辺リファレンスクロックを分周して生成されます。

- ディスプレイクロックは分周比 2.0 から 255.99609375 までの固定小数点分周回路で生成されます。
- SDRAM インタフェース、QSPI インタフェースクロックは分周比 2 から 255 までの分周回路で生成されます。
- HyperBus インタフェースクロックは分周比 4, 8, 12, 16, 20, 24, 28, 32 の分周回路で生成されます。

1.1.3 ソフトウェア・リセット

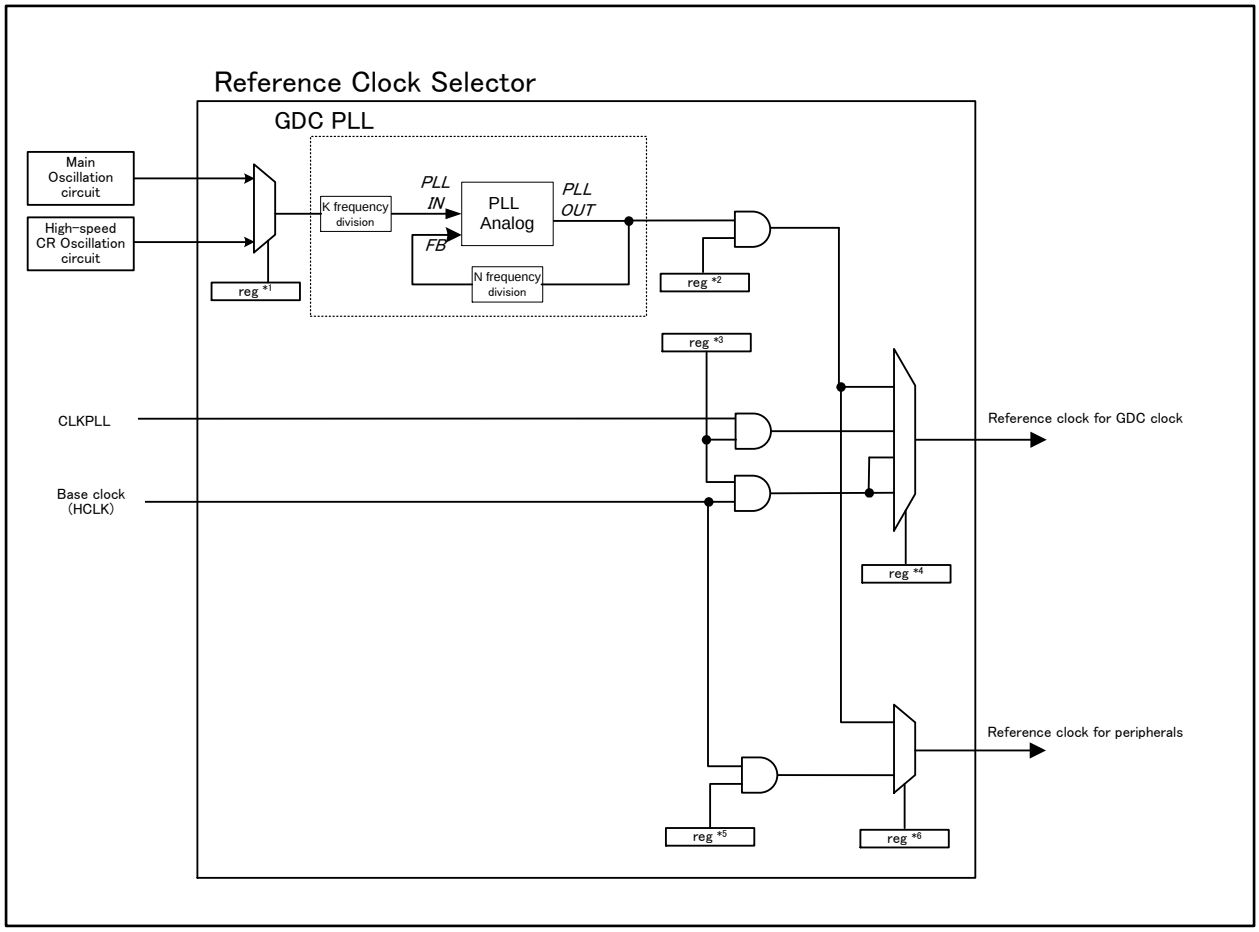
リファレンスクロックセレクタは GDC サブシステムのソフトウェア・リセットを生成します。

＜注意事項＞

- ***ソフトウェア・リセットを解除する時は、上記 2 つのリファレンスクロック出力を停止する必要があります。***

2. ブロック図

Figure 2-1 リファレンスクロックセレクタのブロック図



*1: GPCR1: GPINC (GDC PLL 入力クロック選択ビット)
*2: GSSEN: GCCR (GSS クロック出力イネーブルビット)
*3: GSCR: ACG (Clock gating for Reference clock for GDC clock)
*4: GSCR: ASEL (Reference clock for the GDC clock select bit)
*5: GCSR: PCG (HCLK Clock gating for Reference clock for Peripherals)
*6: GCSR: PSEL (Peripheral clock for the GDC subsystem select bit)

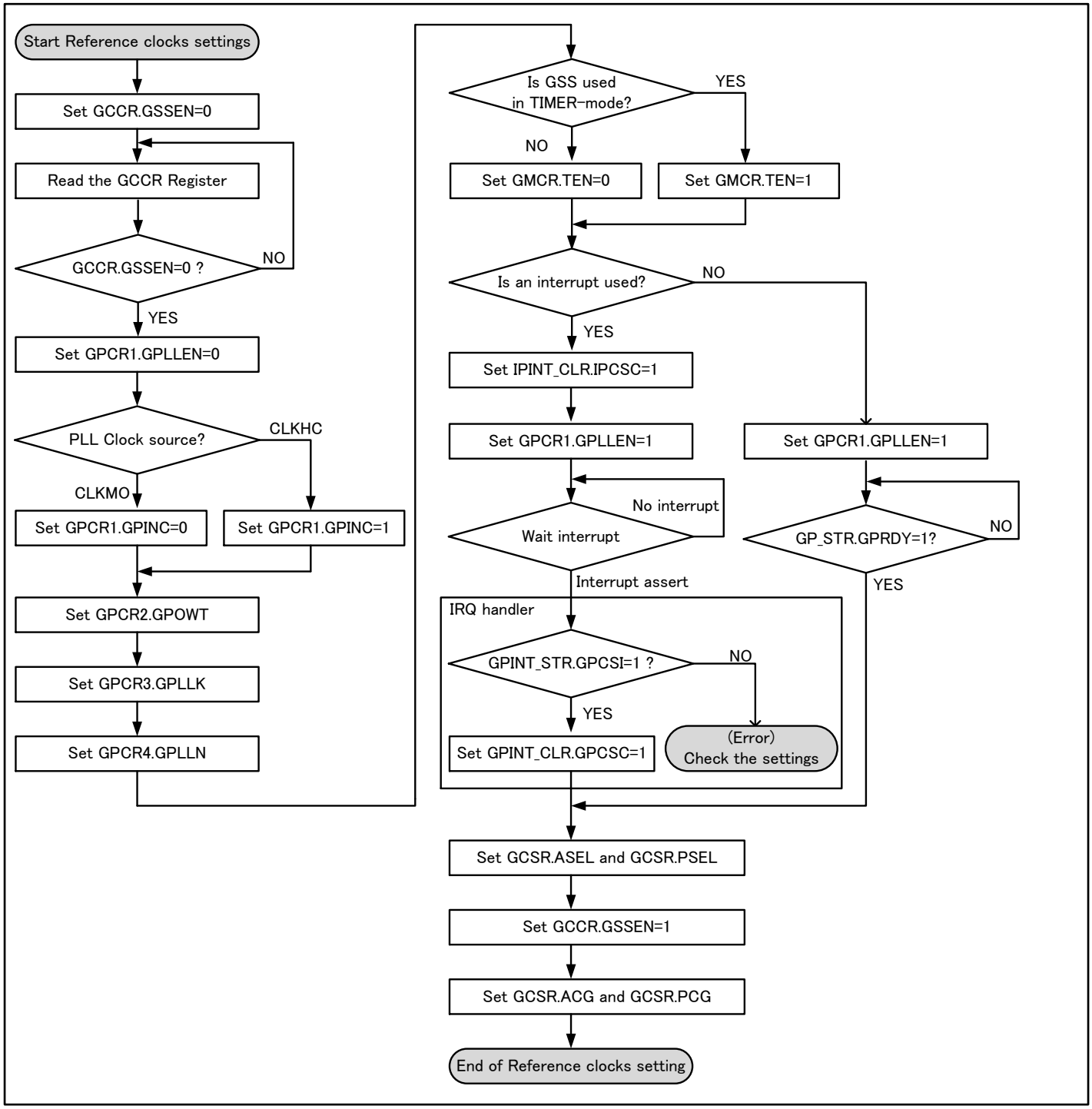
3. 動作仕様

リファレンスクロックセレクタの動作仕様について説明します。

3.1 クロックセットアップ

リファレンスクロックのセットアップ手順を Figure 3-1 に示します。

Figure 3-1 リファレンスクロックのセットアップフロー



3.2 GDCPLL の設定例

GDCPLL の逓倍数は、GPCR3(K), GPCR4(N)レジスタを設定することで、設定します。設定例を Table 3-1 に示します。

Table 3-1 GDCPLL 逓倍数の設定例

Input Clock	K	PLLin	N	PLLOUT_GDC
4 MHz	1	4 MHz	49	200 MHz
4 MHz	1	4 MHz	59	240 MHz
4 MHz	1	4 MHz	69	280 MHz
4 MHz	1	4 MHz	79	320 MHz
4 MHz	1	4 MHz	89	360 MHz
4 MHz	1	4 MHz	99	400 MHz
5 MHz	1	5 MHz	39	200 MHz
5 MHz	1	5 MHz	49	250 MHz
5 MHz	1	5 MHz	59	300 MHz
5 MHz	1	5 MHz	69	350 MHz
5 MHz	1	5 MHz	79	400 MHz
6 MHz	1	6 MHz	39	240 MHz
6 MHz	1	6 MHz	49	300 MHz
6 MHz	1	6 MHz	59	360 MHz
8 MHz	1	8 MHz	24	200 MHz
8 MHz	1	8 MHz	29	240 MHz
8 MHz	1	8 MHz	39	320 MHz
8 MHz	1	8 MHz	49	400 MHz
10 MHz	1	10 MHz	19	200 MHz
10 MHz	1	10 MHz	24	250 MHz
10 MHz	1	10 MHz	29	300 MHz
10 MHz	1	10 MHz	34	350 MHz
10 MHz	1	10 MHz	39	400 MHz
12 MHz	1	12 MHz	19	240 MHz
12 MHz	1	12 MHz	24	300 MHz
12 MHz	1	12 MHz	29	360 MHz
16 MHz	1	16 MHz	14	240 MHz
16 MHz	2	8 MHz	49	400 MHz
19.2 MHz	2	9.6 MHz	29	288 MHz
19.2 MHz	2	9.6 MHz	39	384 MHz
20 MHz	2	10 MHz	39	400 MHz
48 MHz	3	16 MHz	19	320 MHz
48 MHz	4	12 MHz	29	360 MHz
48 MHz	6	8 MHz	39	320 MHz

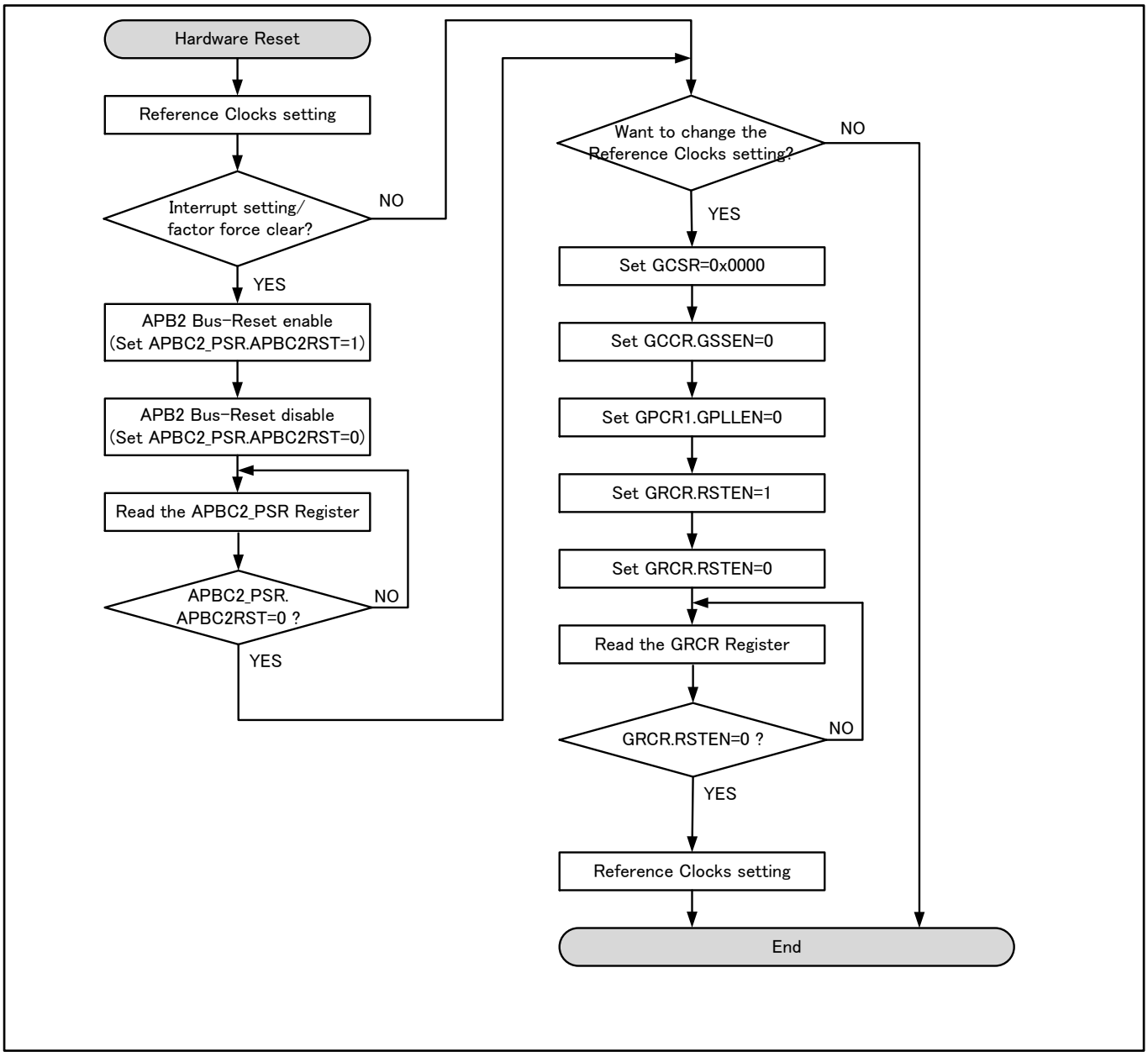
<注意事項>

- *PLL 特性はお使いの製品のデータシートを参照してください。*
- *PLLin の周波数下限・上限はお使いの製品のデータシートを参照してください。*

3.3 リセットセットアップ

GDC サブシステムのリセットセットアップ手順を Figure 3-2 に示します。

Figure 3-2 リセットセットアップ



4. レジスタ

リファレンスクロックセレクタのレジスタ詳細について説明します。

リファレンスクロックセレクタのレジスター覧

略語	Register 名	参照先
GCCR	GDC クロック制御レジスタ	4.1
GPCR1	GDC PLL 制御レジスタ 1	4.2
GPCR2	GDC PLL 制御レジスタ 2	4.3
GPCR3	GDC PLL 制御レジスタ 3	4.4
GPCR4	GDC PLL 制御レジスタ 4	4.5
GP_STR	GDC PLL 状態レジスタ	4.6
GPINT_ENR	GDC PLL 割込みイネーブルレジスタ	4.7
GPINT_CLR	GDC PLL 割込み要因クリアレジスタ	4.8
GPINT_STR	GDC PLL 割込み要因レジスタ	4.9
GCSR	GDC クロック選択レジスタ	4.10
GRCR	GDC リセット制御レジスタ	4.11
GMCR	GDC モード制御レジスタ	4.12

4.1 GCCR

GCCR レジスタは、GDCPLL 出力クロックの出力有効・無効を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							GSSEN
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit7:1] 予約: 予約ビット

このビットからは“0b0000000”が読み出されます。

書込みの場合には“0b0000000”を設定してください。

[bit0] GSSEN: GDCPLL 出力クロック設定ビット

bit	説明
0	クロックが出力されません。
1	クロックが出力されます。

＜注意事項＞

- *本レジスタはソフトウェア・リセットでは初期化されません。*

4.2 GPCR1

GPCR1 レジスタは GDCPLL 入力クロック選択と、発振有効・無効を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約.						GPINC	GPLLEN
属性	-						R/W	R/W
初期値	0b000000						0b0	0b0

レジスタ機能

[bit7:2] 予約: 予約ビット

このビットからは“0b000000”が読み出されます。

書込みの場合には“0b000000”を設定してください。

[bit1] GPINC: GDC PLL 入力クロック選択ビット

bit	説明
0	メインクロックを選択します。
1	高速 CR クロックを選択します。

[bit0] GPLLEN: GDC PLL 発振制御レジスタ

bit	説明
0	発振しません。
1	発振します。

<注意事項>

- *本レジスタはソフトウェア・リセットでは初期化されません。*

4.3 GPCR2

GPCR2 レジスタは PLL 発振安定化待ち時間を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					GPOWT		
属性	-					R/W		
初期値	0b00000					0b000		

レジスタ機能

[bit7:3] 予約: 予約ビット

このビットからは“0b00000”が読み出されます。

書込みの場合には“0b00000”を設定してください。

[bit2:0] GPOWT: GDC PLL 発振安定待ち時間設定ビット

bit[2:0]	説明
000	2^9 サイクル (Approx. 128 µs, Fin = 4 MHz)
001	2^{10} サイクル (Approx. 256 µs, Fin = 4 MHz)
010	2^{11} サイクル (Approx. 512 µs, Fin = 4 MHz)
011	2^{12} サイクル (Approx. 1024 µs, Fin = 4 MHz)
100	2^{13} サイクル (Approx. 2048 µs, Fin = 4 MHz)
101	2^{14} サイクル (Approx. 4096 µs, Fin = 4 MHz)
110	2^{15} サイクル (Approx. 8192 µs, Fin = 4 MHz)
111	2^{16} サイクル (Approx. 16384 µs, Fin = 4 MHz)

＜注意事項＞

- *本レジスタはソフトウェア・リセットでは初期化されません。*

4.4 GPCR3

GPCR3 レジスタは、GDCPLL の分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			GPLLK				
属性	-			R/W				
初期値	0b000			0b00000				

レジスタ機能

[bit7:5] 予約: 予約ビット

このビットからは“0b00000”が読み出されます。

書込みの場合には“0b00000”を設定してください。

[bit4:0] GPLLK: GDCPLL 入力クロック分周比設定ビット

bit[4:0]	説明
00000	分周比: 1
00001	分周比: 2
00010	分周比: 3
	(続き)
11111	分周比: 32

<注意事項>

- *本レジスタはソフトウェア・リセットでは初期化されません。*

4.5 GPCR4

GPCR4 レジスタは、GDCPLL の分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	GPLLN						
属性	-	R/W						
初期値	0b0	0b0011111						

レジスタ機能

[bit7]予約: 予約ビット

このビットからは“0b0”が読み出されます。

書込みの場合には“0b0”を設定してください。

[bit6:0] GPLLN: GDCPLL 入力クロック分周比設定ビット

bit[6:0]	説明
000000 から 0001011	設定できません。
0001100	分周比: 13
0001101	分周比: 14
	(続き)
0011111	分周比: 32
	(続き)
1100011	分周比: 100
1100100 から 1111111	設定できません。

<注意事項>

- *GDC PLL の発振周波数範囲は、200 MHz から 400 MHz です。*
- *本レジスタはソフトウェア・リセットでは初期化されません。*

4.6 GP_STR

GP_STR レジスタは、GDCPLL の発振状態を表示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							GPRDY
属性				-				R/W
初期値				0b0000000				0b0

レジスタ機能

[bit7:1] 予約: 予約ビット

このビットからは“0b0000000”が読み出されます。

書込みの場合には“0b0000000”を設定してください。

[bit0] GPRDY: GDC PLL 発振状態表示ビット

bit	説明
0	GDCPLL 発振安定化待ち時間は満了していない。
1	GDCPLL 発振安定化待ち時間は満了した。

＜注意事項＞

- *本レジスタは、ソフトウェア・リセットでは初期化されません。*

4.7 GPINT_ENR

GPINT_ENR レジスタは、GDCPLL 発振安定化待ち時間割込みイネーブルを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							GPCSE
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit7:1] 予約: 予約ビット

このビットからは“0b0000000”が読み出されます。

書込みの場合には“0b0000000”を設定してください。

[bit0] GPCSE: GDCPLL 発振安定化待ち時間割込みイネーブルビット

bit	説明
0	GDCPLL 発振安定化待ち時間割込みを禁止。
1	GDCPLL 発振安定化待ち時間割込みを許可。

<注意事項>

- *本レジスタは、ソフトウェア・リセットでは初期化されません。*

4.8 GPINT_CLR

GPINT_CLR レジスタは、割込み要因ビットをクリアします。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							GPCSC
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit7:1] 予約: 予約ビット

このビットからは“0b0000000”が読み出されます。

書込みの場合には“0b0000000”を設定してください。

[bit0] GPCSC: GDCPLL 発振安定待ち完了割込み要因クリアビット

bit	説明
0	PLL 発振安定待ち完了割込み要因は書込みに影響されません。
1	PLL 発振安定待ち完了割込み要因クリアを行います。

＜注意事項＞

- *本レジスタは、ソフトウェア・リセットでは初期化されません。*

4.9 GPINT_STR

GPINT_STR レジスタは、割込み状態を表示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							GPCSI
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit7:1] 予約: 予約ビット

このビットからは“0b0000000”が読み出されます。

書込みの場合には“0b0000000”を設定してください。

[bit0] GPCSI: GDCPLL 発振安定待ち完了割込み状態ビット

bit	説明
0	GDCPLL 発振安定待ち完了割込みはアサートされていません。
1	GDCPLL 発振安定待ち完了割込みはアサートされました。

<注意事項>

- *本レジスタは、ソフトウェア・リセットでは初期化されません。*

4.10 GCSR

GCSR レジスタは、各リファレンスクロックの出力を制御、またソースクロック選択を設定します。

レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約			PCG	予約			PSEL
属性		-		R/W		-		R/W
初期値		0b000		0b0		0b000		0b0

bit	7	6	5	4	3	2	1	0
Field	予約			ACG	予約		ASEL	
属性		-		R/W	-		R/W	
初期値		0b000		0b0	0b00		0b00	

レジスタ機能

[bit15:13] 予約: 予約ビット

このビットからは“0b000”が読み出されます。

書込みの場合には“0b000”を設定してください。

[bit12] PCG: HCLK 選択時の周辺リファレンスクロック出力イネーブル設定ビット

bit	説明
0	周辺リファレンスクロックを出力しません。
1	周辺リファレンスクロックを出力します。

<注意事項>

- *本ビットは、ソフトウェア・リセットではクリアされません。*
- *PSEL フィールドに書込みする場合、本フィールドに 0 を書き込んで周辺リファレンスクロック出力を停止してから、書込みしてください。*

[bit11:9] 予約: 予約ビット

このビットからは“0b000”が読み出されます。

書込みの場合には“0b000”を設定してください。

[bit8] PSEL: 周辺リファレンスクロック選択ビット

bit	説明
0	GDC 出力クロックを選択します。
1	HCLK を選択します。

<注意事項>

- *本ビットは、ソフトウェア・リセットではクリアされません。*

[bit7:5] 予約: 予約ビット

このビットからは“0b000”が読み出されます。

書込みの場合には“0b000”を設定してください。

[bit4] ACG: GDC リファレンスクロック出力イネーブル設定ビット

GDC リファレンスクロックのソースクロックとして、GDCPLL 出力クロック以外のソースを選択した時に有効です。

bit	説明
0	GDC リファレンスクロックを出力しません。
1	GDC リファレンスクロックを出力します。

＜注意事項＞

- *本ビットは、ソフトウェア・リセットではクリアされません。*
- *ASEL フィールドに書込みする場合、本フィールドに 0 を書き込んで GDC リファレンスクロック出力を停止してから、書込みしてください。*

[bit3:2] 予約: 予約ビット

このビットからは“0b00”が読み出されます。

書込みの場合には“0b00”を設定してください。

[bit1:0] ASEL: GDC リファレンスクロック選択ビット

bit1:0	説明
00	GDCPLL 出力クロックを選択します。
01	HCLK を選択します。
10	メイン PLL 出力クロックを選択します。
11	HCLK を選択します。

＜注意事項＞

- *本ビットは、ソフトウェア・リセットではクリアされません。*

4.11 GRCR

GRCR レジスタは、GDC サブシステムのソフトウェア・リセットを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							RESETN
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit7:1] 予約: 予約ビット

このビットからは“0b0000000”が読み出されます。

書込みの場合には“0b0000000”を設定してください。

[bit0] RSTEN: GDC サブシステムのソフトウェア・リセット設定レジスタ

bit	説明
0	ソフトウェア・リセット解除 (GDC サブシステムは動作状態)
1	ソフトウェア・リセット有効 (GDC サブシステムはリセット状態)

＜注意事項＞

- *本ビットは、ソフトウェア・リセットではクリアされません。*
- *GDC サブシステムのソフトウェア・リセット解除時、各リファレンスクロックの出力を停止してから、解除してください。*

4.12 GMCR

GMCR レジスタは、タイマモード時の GDCPLL の動作を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							TEN
属性				-				R/W
初期値				0b0000000				0b0

レジスタ機能

[bit7:1] 予約: 予約ビット

このビットからは“0b0000000”が読み出されます。

書込みの場合には“0b0000000”を設定してください。

[bit0] TEN: タイマモード時の GDCPLL 動作設定ビット

bit	設定
0	GDCPLL は発振を停止します。
1	GDCPLL はタイマモード移行前の動作設定を保持します。

<注意事項>

- *本ビットは、ソフトウェア・リセットではクリアされません。*

CHAPTER 3: GDC サブシステム制御

GDC サブシステム制御部の機能と動作について説明します。

1. 概要
2. ブロック図
3. 機能と動作
4. レジスタ

1. 概要

GDC サブシステム制御部の概要を説明します。

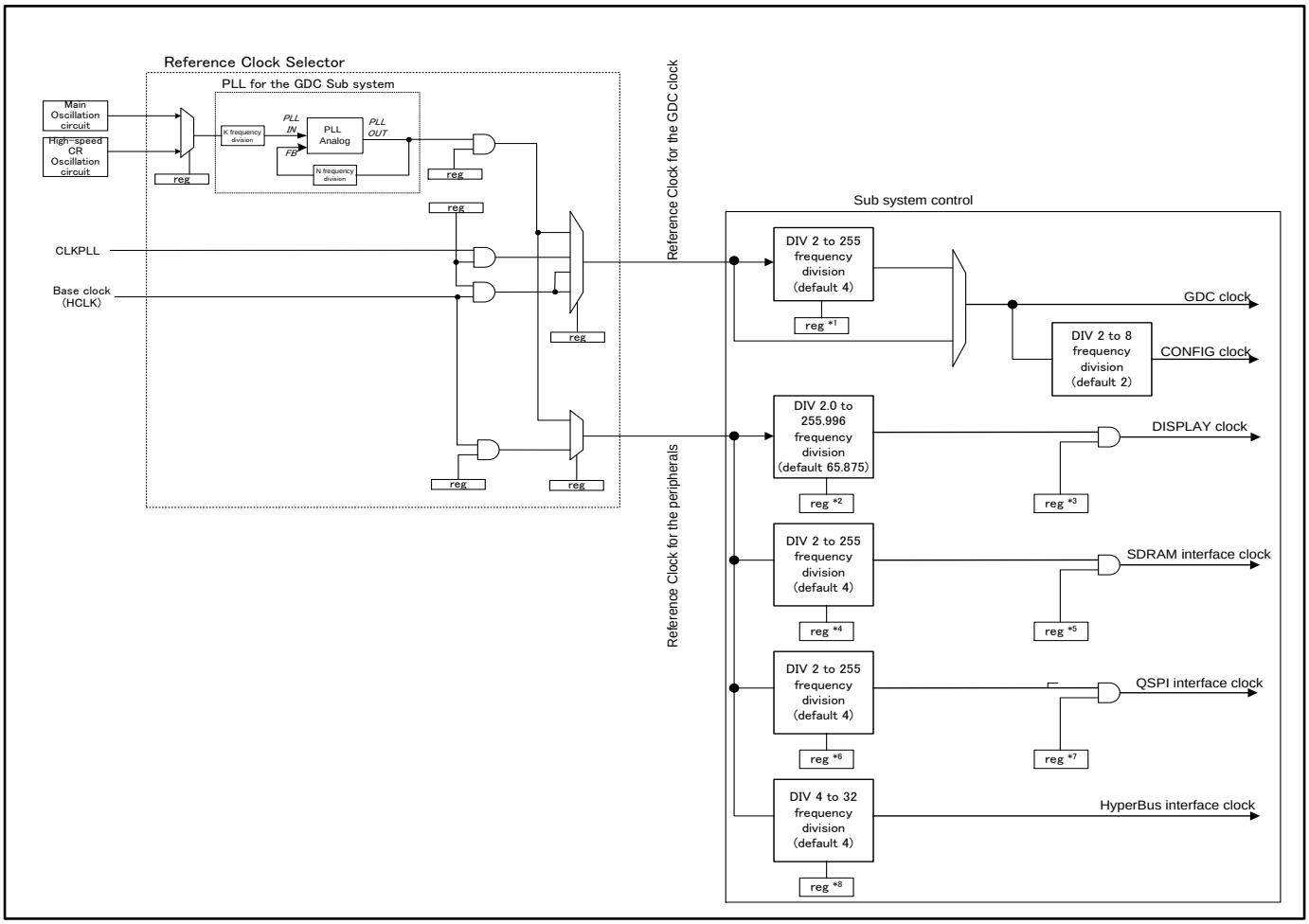
1.1 機能概要

GDC サブシステム制御部は以下のクロック分周回路が実装されます。

- GDC クロック分周回路
- CONFIG クロック分周回路
- HyperBus インタフェース分周回路
- SDRAM インタフェース分周回路
- QSPI インタフェース分周回路

2. ブロック図

Figure 2-1 GDC サブシステムのブロック図



*1: GDC_ClcokDivider: GDCClockSelect (Division ration of GDC clock generation from the Reference clock for GDC clock)
*2: dsp0_ClockDivider: dsp0ClockDivider (Division ratio from the Reference clock for peripherals)
*3: dsp0_DomaonControl: dsp0_ClockEnable (Display clock output control)
*4: SDRAMC_ClockDivider: SDRAMC_ClockDivider (Division ratio from the Reference clock for peripherals)
*5: SDRAMC_DomainControl: SDRAMC_ClockEnable (SDRAM interface clock output control)
*6: HSSPIC_ClockDivider: HSSPIC_ClockDivider (Division ratio from the Reference clock for peripherals)
*7: HSSPIC_DomainControl: HSSPIC_ClockEnable (Division ratio from the Reference clock for peripherals)
*8: RPCC_ClockDivider: RPCC_ClockDivider (Division ratio from the Reference clock for peripherals)

3. 機能と動作

GDC サブシステム制御部の機能と動作について説明します。

3.1 概要

GDC サブシステム内のクロック設定について説明します。

3.1.1 リファレンスクロック

■ GDC クロックのリファレンスクロック

GDC クロックと CONFIG クロックは、このリファレンスクロックから生成されます。このリファレンスクロックは、3 つのソースクロックから選択できます。詳細は 2 章を参照してください。

■ GDC 周辺クロックのリファレンスクロック

GDC 周辺インタフェースクロックは、このリファレンスクロックから生成されます。このリファレンスクロックは、2 つのソースクロックから選択できます。詳細は 2 章を参照してください。

3.1.2 GDC クロック

GDC クロックは、GDC Core 部と GDC バスを駆動します。

3.1.3 CONFIG クロック

CONFIG クロックは、GDC サブシステムの設定・状態レジスタを駆動します。

3.1.4 GDC 周辺インタフェースクロック

GDC 周辺インタフェースクロックは、GDC 周辺クロックのリファレンスクロックから生成されます。

■ ディスプレイクロック

dsp0 クロックは、GDC コア内のディスプレイコントローラを駆動します。

■ ドットクロック

ドットクロックは外部 TFT パネルを駆動します。ドットクロックは GDC コアのディスプレイコントローラで 2 分周され出力されます。

■ SDRAM インタフェースクロック

SDRAM インタフェースクロックは、GDC サブシステムの SDRAM コントローラと外部 SDAM を駆動します。

■ QSPI インタフェースクロック

QSPI インタフェースクロックは、GDC サブシステムの QSPI コントローラと外部 QSPI メモリを駆動します。

■ HyperBus インタフェースクロック

HyperBus インタフェースクロックは、GDC サブシステムの HyperBus コントローラと外部 HyperBus メモリを駆動します。

3.2 GDC クロックセットアップ

GDC クロック周波数は、GDC サブシステム制御部のレジスタ GDC_ClockDivider の GDC_ClockSelect フィールドの内容で決定されます。

■ GDC クロック設定方法

1. GDC クロックのリファレンスクロックを選択し、そのクロック出力を有効化します。詳細は 2 章を参照してください。
2. GDC_ClockDivider レジスタの GDC_ClockSelect フィールドにリファレンスクロックからの分周比を設定します。回路の実装上、この分周回路は固定小数分周回路が実装されていますが、分周比の小数部分は 0x00 を設定してください。

3.3 CONFIG クロックセットアップ

CONFIG クロック周波数は、GDC サブシステム制御部のレジスタ CnfigClockControl の ConfigClockSelect フィールドの内容で決定されます。CONFIG クロックは GDC クロックを分周して生成されます。分周比は 2～8 に設定できます。

CONFIG クロックは GDC クロックが生成されると、自動的に生成されますので、分周比設定の他に設定する項目はありません。

CONFIG クロックは、(転送中を含む) いつでも変更できます。しかし、アクセスのバンド幅やレイテンシがこの設定に大きく影響を受けることにご注意ください。

3.4 ディスプレイクロックセットアップ

GDC サブシステム制御部に実装されている、ディスプレイクロック生成用のクロック分周回路は、GDC 周辺クロックのリファレンスクロックを分周し、ディスプレイクロックを生成します。この分周回路は固定小数分周方式を採用しています。生成されたディスプレイクロックは、ディスプレイ出力データを基準にして、その位相を調整することができますので、様々な外部デバイスのセットアップおよびホールドタイム条件に調整することができます。

ディスプレイクロック周波数は動作中に変更することが可能です。

3.4.1 ディスプレイクロック生成とリセット制御

固定小数分周回路により、GDC 周辺クロックのリファレンスクロックから、ディスプレイクロックを生成します。

適切なディスプレイクロックの生成手順を以下に示します。

1. リファレンスクロックを、ドットクロック周波数の 2 倍の値で割ります。
2. この結果の小数部を 8 桁に丸めます。
3. 上記を dsp0_ClcokDivider レジスタの GDCClcokSelect フィールドに設定します。
4. dsp0_DomainControl レジスタの dsp0ClockEnable フィールドに 1 を設定します。
5. ClockDomainStatus レジスタの DspClockDomainReady フィールドが 1 になっていることを確認します。これは、ディスプレイクロックとドットクロックが供給されていることを確認するために行います。
6. dsp0_DomaonControl レジスタの dsp0SoftwareReset フィールドに 0 を設定します。

上記 3.の GDCClockSelect フィールドは動作中に変更することができ、ディスプレイクロックとドットクロック周波数を変更することが可能です。

<注意事項>

- *GDC サブシステムにおいて、ディスプレイクロックとドットクロックの周波数関係は 2:1 である必要があります。これを満足するために GDC コア部の DisEngCfg ClockCtrl レジスタの設定を初期値から変更しないでください。*

3.4.2 ディスプレイクロックの出力位相シフト

外部接続したディスプレイパネルのセットアップとホールドタイムを満足させるために、ディスプレイクロックの出力位相をシフトすることが可能です。

dsp0_ClockShift レジスタの dsp0_ClockOffset フィールドの設定にしたがって、リファレンスクロック周期粒度で 180° まで出力位相をシフトすることが可能です。180° 以上シフトさせる場合は、dsp0_ClockInvert フィールドを設定し、ディスプレイクロックの極性を反転させます。

dsp0_ClockOffset と dsp0_ClockInvert フィールドは、dsp0_DomainControl レジスタの dsp0_ClockEnable フィールドに 1 を設定している時は、変更できません。

3.4.3 ディスプレイクロックのセットアップ方法

3.4.1 ディスプレイクロック生成とリセット制御を参照してください。

3.5 HyperBus インタフェースクロックセットアップ

HyperBus インタフェースクロックの周波数は、RPCC_ClockDivider レジスタの RPCC_ClockDivider フィールドを設定することにより変更できます。HyperBus インタフェースクロックは、GDC 周辺リファレンスクロックを分周して生成されます。

RPCC_ClockDivider フィールドを設定後、RPCC_DomainControl レジスタの RPCC_ClockEnable フィールドに 1 を書き込み、HyperBus インタフェースクロックの供給を開始します。

ClockDomainStatus レジスタの RpcClockDomainReady フィールドが 1 になっていることを確認してから、HyperBus インタフェースを動作させてください。

HyperBus インタフェース動作中は、HyperBus インタフェースクロック周波数を変更することができません。これを変更する場合は以下の手順に従ってください。

1. RPCC_ClockEnable フィールドに 0 を設定して、HyperBus インタフェースクロックの供給を停止します。
2. GDC 周辺リファレンスクロックの供給を停止します。詳細は 2 章を参照してください。
3. RPCC_ClockDivider フィールドを更新します。
4. RPCC_ClockEnable フィールドに 1 を設定して HyperBus インタフェースクロックの供給を開始します。

<注意事項>

- *HyperBus インタフェースクロックの上限周波数については、お使いの製品のデータシートを参照してください。*

3.6 SDRAM インタフェースクロックセットアップ

SDRAM インタフェースクロックの周波数は、SDRAMC_ClockDivider レジスタの SDRAMC_ClockDivider フィールドを設定することにより変更できます。SDRAM インタフェースクロックは、GDC 周辺リファレンスクロックを分周して生成されます。

SDRAMC_ClockDivider フィールドを設定後、SDRAMC_DomainControl レジスタの SDRAMC_ClockEnable フィールドに 1 を書き込み、SDRAM インタフェースクロックの供給を開始します。また、SDRAMC_DomainControl レジスタの SDRAMC_SoftwareReset フィールドに 0 を設定し、このクロックドメインのリセットを解除します。

ClockDomainStatus レジスタの SdramClockDomainReady フィールドが 1 になっていることを確認してから、HyperBus インタフェースを動作させてください。

SDRAMC_ClockDivider フィールドは、SDRAM インタフェース動作中に変更することができます。

<注意事項>

- *SDRAMC_ClockDivider フィールドの小数部は 0x00 を設定してください。*
- *SDRAM コントローラ動作を停止するために、SDRAMC_SoftwareReset フィールドに再度 1 を設定することは可能です。この後に再度 SDRAMC_SoftwareReset フィールドに 0 を設定し、SDRAM コントローラの動作を再開させることはできません。*
- *SDRAMC_SoftwareReset フィールドに 1 を設定し、SDRAM コントローラ動作を停止後、動作再開する場合は、GDC サブシステム全体にソフトウェアリセットを発行する必要があります。詳細は 2 章を参照してください。*
- *SDRAM インタフェースクロックの上限周波数については、お使いの製品のデータシートを参照してください。*

3.7 QSPI インタフェースクロックセットアップ

QSPI インタフェースクロックの周波数は、HSSPIC_ClockDivider レジスタの HSSPI_ClockDivider フィールドを設定することにより変更できます。QSPI インタフェースクロックは、GDC 周辺リファレンスクロックを分周して生成されます。

QSPI シリアルクロックは、GDC サブシステムで QSPI インタフェースクロックを 2 分周して生成され出力します。このため、QSPI インタフェースクロック周波数は、QSPI シリアルクロック周波数の 2 倍を設定する必要があります。

HSSPIC_ClockDivider フィールドを設定後、HSSPIC_DomainControl レジスタの HSSPIC_ClockEnable フィールドに 1 を書き込み、QSPI インタフェースクロックの供給を開始します。また、HSSPIC_DomainControl レジスタの HSSPIC_SoftwareReset フィールドに 0 を設定し、このクロックドメインのリセットを解除します。

ClockDomainStatus レジスタの HsspiClockDomainReady フィールドが 1 になっていることを確認してから、QSPI インタフェースを動作させてください。

HSSPIC_ClockDivider フィールドは、QSPI インタフェース動作中に変更することができます。

＜注意事項＞

- *HSSPIC_ClockDivider フィールドの小数部は 0x00 を設定してください。*
- *QSPI コントローラ動作を停止するために、HSSPIC_SoftwareReset フィールドに再度 1 を設定することは可能です。この後に再度 HSSPIC_SoftwareReset フィールドに 0 を設定し、SDRAM コントローラの動作を再開させることはできません。*
- *HSSPIC_SoftwareReset フィールドに 1 を設定し、QSPI コントローラ動作を停止後、動作再開する場合は、GDC サブシステム全体にソフトウェアリセットを発行する必要があります。詳細は 2 章を参照してください。*
- *QSPI インタフェースクロックの上限周波数については、お使いの製品のデータシートを参照してください。*

3.8 各クロックの設定例

GDC サブシステム内のクロック設定例について説明します。

<注意事項>

- *各クロックの上限周波数については、お使いの製品のデータシートを参照してください。*

3.8.1 例 1

3.8.1.1 レジスタフィールド設定

フィールド名	設定値	説明
GSSEN *1	0b1	GDCPLL 出力クロック有効とします。
GPINC *1	0b0	GDCPLL の入力クロックとして、メインクロックを選択します。この例ではメインクロック周波数は 4 MHz です。
GPLLEN *1	0b0	GDCPLL を有効にします。
GPOWT *1	0b000	GDCPLL 発振安定化待ち時間を約 128 µs に設定します。
GPLLK *1	0	K 分周比を 1 に設定します。PLL 入力クロックは 4 MHz です。
GPLLN *1	99	N 分周比を 99 に設定し、GDCPLL 逓倍数を 100 に設定します。
PCG *1	0b0	PSEL を GDCPLL 出力選択に設定しているため、このフィールドを 1 に設定する必要はありません。
PSEL *1	0b0	GDC 周辺リファレンスクロックとして GDCPLL 出力を選択します。
ACG *1	0b0	ASEL を GDCPLL 出力選択に設定しているため、このフィールドを 1 に設定する必要はありません。
ASEL *1	0b00	GDC リファレンスクロックとして GDCPLL 出力を選択します。
RESETN *1	0b0	GDC サブシステム全体のソフトウェアリセットを解除します。
TEN *1	0b0	タイマモード時に GDCPLL の発振を停止します。
GDCClockSelect *2	0x0300	GDC リファレンスクロックからの分周比を 3 に設定します。
CNFIGClockSelect *2	0b001	GDC クロックからの分周比を 2 に設定します。
dsp0_Clock_Divider *2	0x2150	GDC 周辺リファレンスクロックからの分周比を 33.3125 に設定します。
SDRAMC_ClockDivider *2	0x0500	GDC 周辺リファレンスクロックからの分周比を 5 に設定します。
RPCC_ClockDivider *2	0b000	GDC 周辺リファレンスクロックからの分周比を 4 に設定します。

*1: 詳細は 2.4 章を参照してください。
*2: 詳細は 3.4 章を参照してください。

3.8.1.2 各クロックの出力周波数

出力クロック名	周波数	説明
GDC クロック	133 MHz	400 MHz / 3 = 133 MHz
CONFIG クロック	66 MHz	133 MHz / 2 = 66 MHz
ディスプレイクロック	12.0075 MHz	400 MHz / 33.3125 = 12.0075 MHz
ドットクロック	6.00375 MHz	12.0075 / 2 = 6.00375 MHz。ドットクロックは GDC 内部でディスプレイクロックを 2 分周します。
SDRAM インタフェースクロック	80 MHz	400 MHz / 5 = 80 MHz
HyperBus インタフェースクロック	100 MHz	400 MHz / 4 = 100 MHz

3.8.2 例 2

3.8.2.1 レジスタフィールド設定

フィールド名	設定値	説明
GSSEN *1	0b1	GDCPLL 出力クロック有効とします。
GPINC *1	0b0	GDCPLL の入力クロックとして、メインクロックを選択します。この例ではメインクロック周波数は 20 MHz です。
GPLLEN *1	0b1	GDCPLL を有効にします。
GPOWT *1	0b000	GDCPLL 発振安定化待ち時間を約 128 µs に設定します
GPLLK *1	1	K 分周比を 2 に設定します。PLL 入力クロックは 10 MHz です
GPLLN *1	31	N 分周比を 32 に設定し、GDCPLL 逓倍数を 32 に設定します。
PCG *1	0b0	PSEL を GDCPLL 出力選択に設定しているため、このフィールドを 1 に設定する必要はありません。
PSEL *1	0b0	GDC 周辺リファレンスクロックとして GDCPLL 出力を選択します。
ACG *1	0b0	ASEL を GDCPLL 出力選択に設定しているため、このフィールドを 1 に設定する必要はありません。
ASEL *1	0b00	ASEL を GDCPLL 出力選択に設定しているため、このフィールドを 1 に設定する必要はありません。
RESETN *1	0b0	GDC サブシステム全体のソフトウェアリセットを解除します。
TEN *1	0b0	タイマモード時に GDCPLL の発振を停止します。
GDCClockSelect *2	0x0200	GDC リファレンスクロックからの分周比を 2 に設定します。
CNFIGClockSelect *2	0b001	GDC クロックからの分周比を 2 に設定します。
dsp0_Clock_Divider *2	0x1A90	GDC 周辺リファレンスクロックからの分周比を 26.5625 に設定します
SDRAMC_ClockDivider *2	0x0400	GDC 周辺リファレンスクロックからの分周比を 4 に設定します。
HSSPIC_ClockDivider *2	0x0200	GDC 周辺リファレンスクロックからの分周比を 2 に設定します。

*1: 詳細は 2.4 章を参照してください。
*2: 詳細は 3.4 章を参照してください。

3.8.2.2 各クロックの出力周波数

出力クロック名	周波数	説明
CLKPLL_GDC	320 MHz	10 MHz x 32 = 320 MHz
GDC クロック	160 MHz	320 MHz / 2 = 160 MHz
CONFIG クロック	80 MHz	160 MHz / 2 = 80 MHz
ディスプレイクロック	12.047 MHz	320 MHz / 26.5625 = 12.047 MHz
ドットクロック	6.02352 MHz	12.047 / 2 = 6.02352 MHz。ドットクロックは GDC 内部でディスプレイクロックを 2 分周します。
SDRAM インタフェースクロック	80 MHz	320 MHz / 4 = 80 MHz
QSPI インタフェースクロック	160 MHz	320 MHz / 2 = 160 MHz. QSPI シリアルクロックは QSPI インタフェースクロックを 2 分周、出力されます。

4. レジスタ

GDC サブシステム制御部のレジスター一覧を説明します。

＜注意事項＞

- *GDC サブシステム制御部レジスタはワードアクセスのみ可能です。*
- *GDC サブシステム制御部レジスタへのバイトまたはハーフワードアクセスはできません。*

GDC サブシステム制御部のレジスター一覧

略語	レジスタ名	参照先
LockUnlock	ロック・アンロックレジスタ 1	4.1
LockStatus	ロック状態レジスタ 1	4.2
TEST (予約)	テスト (予約)	4.3
CnfigClockControl	CONFIG クロック設定レジスタ	4.4
VRamInterruptEnable	VRAM 割込みイネーブルレジスタ	4.5
TEST (予約)	テスト (予約)	4.6
VramInterruptClear	VRAM 割込み要因クリアレジスタ	4.7
VramInterruptStatus	VRAM 割込み要因レジスタ	4.8
ExtFlashDevSelect	外部 FLASH デバイス選択レジスタ	4.9
VramRemapDisable	VRAM リマップ設定レジスタ	4.10
PanicSwitch	パニックモード設定レジスタ	4.11
GDC_ClockDivider	GDC クロック設定レジスタ	4.12
WkupTriggerMask	ウェイクアップトリガマスクレジスタ	4.13
ClockDomainStatus	クロックドメイン状態レジスタ	4.14

略語	レジスタ名	参照先
dsp0_LockUnlock	ロック・アンロックレジスタ 2	4.15
dsp0_LockStatus	ロック状態レジスタ 2	4.16
dsp0_ClockDivider	ディスプレイクロック設定レジスタ	4.17
dsp0_DomainControl	ディスプレイクロックドメイン制御レジスタ	4.18
dsp0_ClockShift	ディスプレイクロックシフト設定レジスタ	4.19
TEST (予約)	テスト (予約)	4.20
dsp0_PowerEnControl	ディスプレイパワーイネーブル制御レジスタ	4.21
dsp0_ClockGateModeControl	ディスプレイクロックゲートモード制御レジスタ	4.22
dsp0_ClockGateControl	ディスプレイクロックゲート制御レジスタ	4.23

略語	レジスタ名	参照先
SDRAMC_ClockDivider	SDRAM インタフェースクロック設定レジスタ	4.24
SDRAMC_DomainControl	SDRAM インタフェースクロックドメイン制御レジスタ	4.25
HSSPIC_ClockDivider	QSPI インタフェースクロック設定レジスタ	4.26
HSSPIC_DomainControl	QSPI インタフェースクロックドメイン制御レジスタ	4.27
RPCC_ClockDivider	HyperBus インタフェースクロック設定レジスタ	4.28
RPCC_DomainControl	HyperBus インタフェースクロックドメイン設定レジスタ	4.29

略語	レジスタ名	参照先
vram_LockUnlock	ロック・アンロックレジスタ 3	4.30
vram_LockStatus	ロック状態レジスタ 3	4.31
vram_sram_select	VRAM ECC エリア設定レジスタ	4.32
TEST (予約)	テスト(予約)	4.33
TEST (予約)	テスト(予約)	4.34
TEST (予約)	テスト(予約)	4.35
TEST (予約)	テスト(予約)	4.36
TEST (予約)	テスト(予約)	4.37
TEST (予約)	テスト(予約)	4.38
TEST (予約)	テスト(予約)	4.39
TEST (予約)	テスト(予約)	4.40
vram_aberraddr_s0	VRAM ポート 0ECC エラー発生アドレス表示レジスタ	4.41
vram_aberraddr_s1	VRAM ポート 1ECC エラー発生アドレス表示レジスタ	4.42
vram_arbiter_priority	VRAM ポート優先順位設定レジスタ	4.43

4.1 LockUnlock

LockUnlock レジスタは、このアドレスブロックの保護キーを設定します。

レジスタ機能に示す保護キーを書込みすることで、ロック状態が変更されます。不正キー書込み時は、バスアクセスのエラーレスポンスが発生します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	LockUnlock							
属性	W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	LockUnlock							
属性	W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	LockUnlock							
属性	W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	LockUnlock							
属性	W							
初期値	0x00							

レジスタ機能

[bit31:0] LockUnlock : 本アドレスブロックの保護キー設定ビット

保護キーを設定することにより、保護状態を変更することができます。

保護状態が有効な場合、本アドレスブロック内のレジスタにライトすることはできません。レジスタリードを行うことはできます。特権アクセスが有効な場合、本レジスタブロック内のレジスタに特権ライト・特権リードを行うことが可能です。このレジスタをリードすると、バスアクセスのエラーレスポンスが発生します。

bit[31:0]	説明
0x5651F763	ロックキー:アンロックカウンタをデクリメントします。アンロックカウンタがゼロになると本レジスタブロック内レジスタはロックされ、ライトできなくなります。アンロックカウンタの初期値は 1 です。
0x691DB936	アンロックキー:アンロックカウンタをインクリメントします。アンロックカウンタの最大値は 15 で、この値より大きな値にインクリメントされません。
0xAEE95CDC	特権アクセスキー:本アドレスブロックのレジスタへの特権アクセスを有効化します。
0xB5E2466E	非特権アクセスキー: 本アドレスブロックのレジスタへの特権アクセスを無効化します。
0xFBE8B1E6	フリーズキー:現在の保護状態を保持します。以後の本レジスタへのライトは無効化されます。フリーズ状態はハードウェアまたはソフトウェアリセットで解除されます。

4.2 LockStatus

LockStatus レジスタは、本アドレスブロックの保護状態を表示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							Freeze Status
属性	R							R
初期値	0b0000000							0b0

bit	7	6	5	4	3	2	1	0
Field	予約			Privilege Status	予約			Lock Status
属性	R			R	R			R
初期値	0b000			0b0	0b000			0b0

レジスタ機能

[bit31:9] 予約: 予約ビット

このビットからは all '0' が読み出されます。

[bit8] FreezeStatus: フリーズ状態表示ビット

bit	説明
0	本レジスタブロックの保護状態を変更できます。
1	本レジスタブロックの保護状態を変更できません。

[bit7:5] 予約: 予約ビット

このビットからは all '0' が読み出されます。

[bit4] PrivilegeStatus: 特権アクセス状態表示ビット

bit	説明
0	本レジスタブロックのレジスタへの特権と非特権アクセスが可能です。
1	本レジスタブロックのレジスタへの特権アクセスのみが可能です。

[bit3:1] 予約: 予約ビット
このビットからは all ‘0’ が読み出されます。

[bit0] LockStatus: ロック状態表示ビット

bit	説明
0	本レジスタブロックのレジスタへのライトは可能です。
1	本レジスタブロックのレジスタへのライトはできません。

4.3 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

書込み時は、初期値を書込みしてください。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約				予約			
属性	R/W				R/W			
初期値	0x2				0x2			

bit	23	22	21	20	19	18	17	16
Field	予約				予約			
属性	R/W				R/W			
初期値	0x4				0x4			

bit	15	14	13	12	11	10	9	8
Field	予約				予約			
属性	R/W				R/W			
初期値	0x1				0x4			

bit	7	6	5	4	3	2	1	0
Field	予約				予約			
属性	R/W				R/W			
初期値	0x1				0x0			

4.4 CnfigClockControl

CnfigClockControl レジスタは、CONFFIG クロックの分周比を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約					ConfigClockSelect		
属性	-					R/W		
初期値	0b00000					0b001		

レジスタ機能

[bit31:8] 予約: 予約ビット

このビットからは all “0”が読み出されます。

書込みの場合には all”0”を設定してください。

[bit7:3] 予約: 予約ビット

このビットからは all “0”が読み出されます。

書込みの場合には all”0”を設定してください。

[bit2:0] ConfigClockSelect: CONFIG クロック分周比設定ビット

bit[2:0]	説明
000	予約。この値を設定しないでください。
001	GDC クロックからの分周比: 2
010	GDC クロックからの分周比: 3
011	GDC クロックからの分周比: 4
100	GDC クロックからの分周比: 5
101	GDC クロックからの分周比: 6
110	GDC クロックからの分周比: 7
111	GDC クロックからの分周比: 8

4.5 VRamInterruptEnable

VramInterruptEnable レジスタは、VRAM ECC エラー割込み有効または禁止を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約						VramInterruptEnableSec1	VramInterruptEnableSec0
属性	-						R/W	R/W
初期値	0b000000						0b1	0b1

レジスタ機能

[bit31:8] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit7:2] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit1] VramInterruptEnableSec1: VRAM ポート 1 の ECC エラー割込み制御ビット

bit	説明
0	割込み発生は禁止されています。
1	割込み発生は許可されています。

<注意事項>

- *このフィールドへの書込みは、リセット後の 1 回のみ許可されています。2 回目以降の書込みアクセスはバスアクセスのエラーレスポンスが発生し、本フィールド内容は変更されません。*

[bit0] VramInterruptEnableSec0: VRAM ポート 0 の ECC エラー割込み制御ビット

bit	説明
0	割込み発生は禁止されています。
1	割込み発生は許可されています。

＜注意事項＞

- *このフィールドへの書込みは、リセット後の 1 回のみ許可されています。2 回目以降の書込みアクセスはバスアクセスのエラーレスポンスが発生し、本フィールド内容は変更されません。*

4.6 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約						予約	予約
属性	-						W	W
初期値	0b000000						0b0	0b0

レジスタ機能

[bit31:2] 予約: 予約ビット

書込みの場合、all"0"を設定してください。

[bit1] 予約: デバイステスト用途

bit	説明
0	予約
1	予約

<注意事項>

- *本フィールドには 0b0 のみを設定してください。*

[bit0] 予約: デバイステスト用途

bit	説明
0	(for internal device test purpose)
1	(for internal device test purpose)

<注意事項>

- *本フィールドには 0b0 のみを設定してください。*

4.7 VramInterruptClear

VramInterruptClear レジスタは、VRAM ECC エラー割込み要因のクリアを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x0							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x0							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x0							

bit	7	6	5	4	3	2	1	0
Field	予約						VramInterrupt ClearSec1	VramInterrupt ClearSec0
属性	-						W	W
初期値	0b000000						0b0	0b0

レジスタ機能

[bit31:2] 予約: 予約ビット

書込みの場合、all"0"を設定してください。

[bit1] VramInterruptClearSec1: VRAM ポート 1 ECC エラー割込み要因クリアビット

bit	説明
0	0b0 は書込みを禁止されています。
1	割込み要因をクリアします。

[bit0] VramInterruptClearSec0: VRAM ポート 0 ECC エラー割込み要因クリアビット

bit	説明
0	0b0 は書込みを禁止されています。
1	割込み要因をクリアします。

4.8 VRamInterruptStatus

VRamInterruptStatus レジスタは、VRAM ECC エラー割込み要因を表示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x0							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x0							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x0							

bit	7	6	5	4	3	2	1	0
Field	予約						VramInterrupt StatusSec1	VramInterrupt StatusSec0
属性	-						R	R
初期値	0b000000						0b0	0b0

レジスタ機能

[bit31:2] 予約: 予約ビット

このビットからは all “0”が読み出されます。

[bit1] VramInterruptStatusSec1: VRAM port1 ECC エラー割込み要因表示ビット

bit	説明
0	ECC エラー割込みは発生していません。
1	ECC エラー割込みは発生しています。

[bit0] VramInterruptStatusSec0: VRAM port0 ECC エラー割込み要因表示ビット

bit	説明
0	ECC エラー割込みは発生していません。
1	ECC エラー割込みは発生しています。

4.9 ExtFlashDevSelect

ExtFlashDevSelect レジスタは、外部接続メモリの種類を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x0							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x0							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x0							

bit	7	6	5	4	3	2	1	0
Field	予約							ExtFlashDevSelect
属性	-							R/W
初期値	0b0000000							0b1

レジスタ機能

[bit31:1] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit0] ExtFlashDevSelect: 外部メモリ選択ビット

bit	説明
0	HyperBus メモリを接続する場合、0 を設定します。
1	QSPI メモリを接続する場合、1 を設定します。

4.10 VramRemapDisable

VramRemapDisable レジスタは、SDRAM 領域を VRAM 領域にリマップする設定をします。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x0							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x0							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x0							

bit	7	6	5	4	3	2	1	0
Field	予約							VramRemapDisable
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit31:1] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit0] VramRemapDisable: SDRAM 領域を VRAM 領域にリマップする設定ビット

bit	説明
0	SDRAM 領域先頭アドレスから VRAM サイズ分の領域を内蔵 VRAM にリマップします。
1	SDRAM 領域先頭アドレスから VRAM サイズ分の領域を内蔵 VRAM にリマップしません。

4.11 PanicSwitch

PanicSwitch レジスタは、ディスプレィパニックモードを設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x0							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x0							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x0							

bit	7	6	5	4	3	2	1	0
Field	予約							PanicSwitch
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit31:1] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit0] PanicSwitch: ディスプレィパニックモード設定ビット

bit	説明
0	ディスプレィパニックモードを解除します。
1	ディスプレィパニックモードを有効にします。

<注意事項>

- *詳細は FM4 ファミリ ペリフェラルマニュアル GDC (Core)編を参照してください。*

4.12 GDC_ClockDivider

GDC_ClockDivider レジスタは、リファレンスクロックからの GDC クロック分周比を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	GDCClockSelect(整数部)							
属性	R/W							
初期値	0x04							

bit	15	14	13	12	11	10	9	8
Field	GDCClockSelect(小数部)							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性	-							
初期値	0x00							

レジスタ機能

[bit31:24] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit23:8] GDCClockSelect: GDC クロック分周比設定ビット

bit15:0	説明
0x0200	Division ratio : 2
0x0300	Division ratio : 3
0x0400	Division ratio : 4
0x0500	Division ratio : 5
	(Continued)
0xFF00	Division ratio : 255

<注意事項>

- *整数部は 2 以上を設定してください。*
- *小数部は 0x00 を設定してください。*
- *GDC クロックの最大周波数は、お使いの製品のデータシートを参照してください。*

[bit7:0] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

4.13 WkupTriggerMask

WkupTriggerMask レジスタは、CPU ウェイクアップトリガのマスク設定を行います。ウェイクアップトリガは、タイマモードからランモードに遷移するトリガとして使用されます。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約					WTrigMaskRpc	WtrigMaskSdram	WTrigMaskQspi
属性	-					R/W	R/W	R/W
初期値	0b00000					0b0	0b0	0b0

bit	23	22	21	20	19	18	17	16
Field	予約					WTrigMaskGe		
属性	-					R/W		
初期値	0b00000					0b000		

bit	15	14	13	12	11	10	9	8
Field	WTrigMaskGe							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	WTrigMaskGe							
属性	R/W							
初期値	0x00							

レジスタ機能

[bit31:27] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit26] WtrigMaskRpc: HyperBus インタフェース設定ビット

bit	説明
0	HyperBus インタフェースの IENOn でランモードに復帰しません。
1	HyperBus インタフェースの IENOn でランモードに復帰します。

[bit25] WtrigMaskSdram: SDRAM インタフェース設定ビット

bit	説明
0	SDRAM インタフェースの MerrInt でランモードに復帰しません。
1	SDRAM インタフェースの MerrInt でランモードに復帰します。

[bit24]　WtrigMaskQspi: QSPI インタフェース設定ビット

bit	説明
0	QSPI インタフェースの IRQ_FAULT でランモードに復帰しません。
1	QSPI インタフェースの IRQ_FAULT でランモードに復帰します。

[bit23:19] 予約: 予約ビット

このビットからは all “0”が読み出されます。

書込みの場合には all”0”を設定してください。

[bit18:0] WTrigMaskGe: GDC コア設定ビット

bit18:0	説明
0	GDC コアの当該イベント番号でランモードに復帰しません。
1	GDC コアの当該イベント番号でランモードに復帰します。

4.14 ClockDomainStatus

ClockDomainStatus レジスタは、GDC サブシステム内のクロックドメイン状態を表示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x0							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x0							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x0							

bit	7	6	5	4	3	2	1	0
Field	予約				Hsspi Clock Domain Ready	Rpc Clock Domain Ready	Sdram Clock Domain Ready	DspClock Domain Ready
属性	-				R/W	R/W	R/W	R/W
初期値	0x0				0b0	0b0	0b0	0b0

レジスタ機能

[bit31:4] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit3] HsspiClockDomainReady: QSPI インタフェースクロックドメイン状態表示ビット

bit	説明
0	クロックドメインにクロックが供給されていません。
1	クロックドメインにクロックが供給されています。

[bit2] RpcClockDomainReady: HyperBus インタフェースクロックドメイン状態表示ビット

bit	説明
0	クロックドメインにクロックが供給されていません。
1	クロックドメインにクロックが供給されています。

[bit1] SdramClockDomainReady: SDRAM インタフェースクロックドメイン状態表示ビット

bit	説明
0	クロックドメインにクロックが供給されていません。
1	クロックドメインにクロックが供給されています。

[bit0] DspClockDomainReady: ディスプレイクロックドメイン状態表示ビット

bit	説明
0	クロックドメインにクロックが供給されていません。
1	クロックドメインにクロックが供給されています。

4.15 dsp_LockUnlock

dsp_LockUnlock レジスタは、このアドレスブロックの保護キーを設定します。

レジスタ機能に示す保護キーを書込みすることで、ロック状態が変更されます。不正キー書込み時は、バスアクセスのエラーレスポンスが発生します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	LockUnlock							
属性	W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	LockUnlock							
属性	W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	LockUnlock							
属性	W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	LockUnlock							
属性	W							
初期値	0x00							

レジスタ機能

[bit31:0] LockUnlock： 本アドレスブロックの保護キー設定ビット

保護キーを設定することにより、保護状態を変更することができます。

保護状態が有効な場合、本アドレスブロック内のレジスタにライトすることはできません。レジスタリードを行うことはできます。特権アクセスが有効な場合、本レジスタブロック内のレジスタに特権ライト・特権リードを行うことが可能です。このレジスタをリードすると、バスアクセスのエラーレスポンスが発生します。

bit[31:0]	説明
0x5651F763	ロックキー:アンロックカウンタをデクリメントします。アンロックカウンタがゼロになると本レジスタブロック内レジスタはロックされ、ライトできなくなります。アンロックカウンタの初期値は 1 です。
0x691DB936	アンロックキー:アンロックカウンタをインクリメントします。アンロックカウンタの最大値は 15 で、この値より大きな値にインクリメントされません。
0xAEE95CDC	特権アクセスキー:本アドレスブロックのレジスタへの特権アクセスを有効化します。
0xB5E2466E	非特権アクセスキー: 本アドレスブロックのレジスタへの特権アクセスを無効化します。
0xFBE8B1E6	フリーズキー:現在の保護状態を保持します。以後の本レジスタへのライトは無効化されます。フリーズ状態はハードウェアまたはソフトウェアリセットで解除されます。

4.16 dsp_LockStatus

dsp_LockStatus レジスタは、本アドレスブロックの保護状態を表示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							dsp_ Freeze Status
属性	R							R
初期値	0b0000000							0b0

bit	7	6	5	4	3	2	1	0
Field	予約			dsp_ Privilege Status	予約			dsp_ Lock Status
属性	R			R	R			R
初期値	0b000			0b0	0b000			0b0

レジスタ機能

[bit31:9] 予約: 予約ビット

このビットからは all '0' が読み出されます。

[bit8] FreezeStatus: フリーズ状態表示ビット

bit	説明
0	本レジスタブロックの保護状態を変更できます。
1	本レジスタブロックの保護状態を変更できません。

[bit7:5] 予約: 予約ビット

このビットからは all '0' が読み出されます。

[bit4] PrivilegeStatus: 特権アクセス状態表示ビット

bit	説明
0	本レジスタブロックのレジスタへの特権と非特権アクセスが可能です。
1	本レジスタブロックのレジスタへの特権アクセスのみが可能です。

[bit3:1] 予約: 予約ビット

このビットからは all '0' が読み出されます。

[bit0] LockStatus: ロック状態表示ビット

bit	説明
0	本レジスタブロックのレジスタへのライトは可能です。
1	本レジスタブロックのレジスタへのライトはできません。

4.17 dsp0_ClockDivider

dsp0_ClockDivider レジスタは、ディスプレイクロックの分周比を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	dsp0_ClockDivider (整数部)							
属性	R/W							
初期値	0x41							

bit	15	14	13	12	11	10	9	8
Field	dsp0_ClockDivider (小数部)							
属性	R/W							
初期値	0xE0							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性	-							
初期値	0x00							

レジスタ機能

[bit31:24] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit23:8] dsp0_ClockDivider: ディスプレイクロック分周比設定ビット

bit15:0	説明
0x0200	分周比 : 2.0
0x0201	分周比 : $2.0 + 2^{-8}$
0x0202	分周比 : $2.0 + 2^{-7}$
0x0203	分周比 : $2.0 + 2^{-7} + 2^{-8}$
	(Continued)
0xFFFF	分周比 : $255 + 2^{-1} + 2^{-2} + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-6} + 2^{-7} + 2^{-8}$

<注意事項>

- *本フィールドには 2.0 以上の値を設定してください。*
- *ディスプレイクロック周波数上限については、お使いの製品のデータシートを参照してください。*

[bit7:0] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

4.18 dsp0_DomainControl

dsp0_DomainControl レジスタは、ディスプレイクロックドメイン設定を行います。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							dsp0_ Software Reset
属性	-							R/W
初期値	0b0000000							0b1

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							dsp0_ Clock Enable
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit31:17] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit16] dsp0_SoftwareReset: ソフトウェアリセット設定ビット

bit	説明
0	ソフトウェアリセット状態を解除します。
1	ソフトウェアリセット状態に遷移します。

<注意事項>

- *ソフトウェアリセット解除は、ハードウェアリセットまたは GDC サブシステム全体のソフトウェアリセット解除後に設定できます。*

[bit15:1] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all ”0”を設定してください。

[bit0]　dsp0_ClockEnable:　クロック出力イネーブルビット

bit	説明
0	ディスプレイクロックを出力しません。
1	ディスプレイクロックを出力します。

4.19 dsp0_ClockShift

dsp0_ClockShift レジスタは、ディスプレイクロックの出力位相を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	dsp0_ClockOffset							
属性	R/W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							dsp0_ Clock Invert
属性	-							R/W
初期値	0b0000000							0x1

レジスタ機能

[bit31:24] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit23:16] dsp0_ClockOffset: ドットクロック位相設定ビット

bit7:0	説明
0x00 to 0xFF	ディスプレイクロックの出力位相を設定します。位相設定の粒度は選択中のリファレンスクロック周期と同一です。このフィールドに設定する値は、dsp0_ClockDivider レジスタの整数部設定値以下とします。

[bit31:24] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit0] dsp0_ClockInvert: ディスプレイクロック極性設定ビット

Bit	説明
0	極性を反転しません。ディスプレイクロックの立ち上がりで、ディスプレイデータが変化します。
1	極性を反転します。ディスプレイクロックの立ち下がりで、ディスプレイデータが変化します。

4.20 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							予約
属性	-							R/W
初期値	0x00							0b0

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約	予約						
属性	-	R/W						
初期値	0b0	0b0000000						

[bit31:17] 予約: 予約ビット

このビットからは all “0”が読み出されます。

書込みの場合には all”0”を設定してください。

[bit16] 予約: デバイステスト用途

<注意事項>

- *本フィールドには 0b0 を設定してください。*

[bit15:7] 予約: 予約ビット

このビットからは all “0”が読み出されます。

書込みの場合には all”0”を設定してください。

[bit6:0] 予約: デバイステスト用途

<注意事項>

- *本フィールドには 0b0000000 を設定してください。*

4.21 dsp0_PowerEnControl

dsp0_PowerEnControl レジスタは、ディスプレイのパワー制御設定を行います。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							Power_ Enable
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit31:1] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit0] Power_Enable: 外部 TFT パネルのパワー制御設定ビット

bit	説明
0	PowerEnable 信号を L にします。
1	PowerEnable 信号を H にします。

4.22 dsp0_ClockGateModeLock

dsp0_ClockGateModeLock レジスタは、dsp0_ClockGateControl レジスタの書込み保護を設定します。不正キー書込み時は、バスアクセスのエラーレスポンスが発生します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	LockUnlock							
属性	W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	LockUnlock							
属性	W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	LockUnlock							
属性	W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	LockUnlock							
属性	W							
初期値	0x00							

レジスタ機能

[bit31:0] LockUnlock： 保護キー設定ビット

保護キーを設定することにより、保護状態を変更することができます。

保護状態が有効な場合、本アドレスブロック内のレジスタにライトすることはできません。レジスタリードを行うことはできます。特権アクセスが有効な場合、本レジスタブロック内のレジスタに特権ライト・特権リードを行うことが可能です。このレジスタをリードすると、バスアクセスのエラーレスポンスが発生します。

bit[31:0]	説明
0x5651F763	ロックキー:アンロックカウンタをデクリメントします。アンロックカウンタがゼロになると本レジスタブロック内レジスタはロックされ、ライトできなくなります。アンロックカウンタの初期値は 1 です。
0x691DB936	アンロックキー:アンロックカウンタをインクリメントします。アンロックカウンタの最大値は 15 で、この値より大きな値にインクリメントされません。
0xAEE95CDC	特権アクセスキー:本アドレスブロックのレジスタへの特権アクセスを有効化します。
0xB5E2466E	非特権アクセスキー: 本アドレスブロックのレジスタへの特権アクセスを無効化します。
0xFBE8B1E6	フリーズキー:現在の保護状態を保持します。以後の本レジスタへのライトは無効化されます。フリーズ状態はハードウェアまたはソフトウェアリセットで解除されます。

4.23 dsp0_ClockGateControl

dsp0_ClockGateControl レジスタは、外部 TFT パネルへのクロック出力・停止を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							ClockGate_Enable
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit31:1] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit0] ClockGate_Enable: ドットクロック出力制御ビット

bit	説明
0	ドットクロックを出力します。
1	ドットクロックを出力しません。

<注意事項>

- *この機能を使うためには、GDC コア部の TCON_CTRL_Bypass レジスタを 0 に設定する必要があります。詳細は、FM4 ファミリ ペリフェラルマニュアル GDC(コア)編を参照してください。*

4.24 SDRAMC_ClockDivider

SDRAMC_ClockDivider レジスタは、SDRAM インタフェースクロックの分周比を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	SDRAMC_ClockDivider (整数部)							
属性	R/W							
初期値	0x04							

bit	15	14	13	12	11	10	9	8
Field	SDRAMC_ClockDivider (小数部)							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性	-							
初期値	0x00							

レジスタ機能

[bit31:24] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit23:8] SDRAMC_ClockDivider: GDC 周辺リファレンスクロックからの分周比設定ビット

bit15:0	説明
0x0000	設定禁止です。
0x0100	設定禁止です。
0x0200	分周比 : 2
0x0300	分周比 : 3.
0x0400	分周比 : 4.
	.(Continued)
0xFE00	分周比: 254.
0xFF00	分周比: 255

＜注意事項＞

- *本フィールドは、2 以上の分周比を設定してください。*
- *小数部は 0x00 を設定してください。*

[bit7:0] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

4.25 SDRAMC_DomainControl

SDRAMC_DomainControl レジスタは、SDRAM インタフェースクロックドメイン設定を行います。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							SDRAMC_ Software Reset
属性	-							R/W
初期値	0b0000000							0b1

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							SDRAMC_ Clock Enable
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit31:17] 予約: 予約ビット

このビットからは all “0”が読み出されます。

書込みの場合には all”0”を設定してください。

[bit16] SDRAMC_SoftwareReset: ソフトウェアリセット設定ビット

bit	説明
0	ソフトウェアリセット状態を解除します。
1	ソフトウェアリセット状態に遷移します。

<注意事項>

- *ソフトウェアリセット解除は、ハードウェアリセットまたは GDC サブシステム全体のソフトウェアリセット解除後に設定できます。*

[bit15:1] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit0] SDRAMC_ClockEnable: クロック出力イネーブルビット

bit	説明
0	SDRAM インタフェースクロックを出力しません。
1	SDRAM インタフェースクロックを出力します。

＜注意事項＞

- *このレジスタは、動作中に変更することができます。*

4.26 HSSPIC_ClockDivider

HSSPIC_ClockDivider レジスタは、QSPI インタフェースクロックの分周比を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	HSSPIC_ClockDivider (整数部)							
属性	R/W							
初期値	0x04							

bit	15	14	13	12	11	10	9	8
Field	HSSPIC_ClockDivider (小数部)							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性	-							
初期値	0x00							

レジスタ機能

[bit31:24] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit23:8] HSSPIC_ClockDivider: GDC 周辺リファレンスクロックからの分周比設定ビット

bit15:0	説明
0x0000	設定禁止です。
0x0100	設定禁止です。
0x0200	分周比 : 2
0x0300	分周比 : 3.
0x0400	分周比 : 4.
	.(Continued)
0xFE00	分周比: 254.
0xFF00	分周比: 255

＜注意事項＞

- *本フィールドには 2.0 以上の値を設定してください。*
- *ディスプレイクロック周波数上限については、お使いの製品のデータシートを参照してください。*

[bit7:0] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

4.27 HSSPIC_DomainControl

HSSPIC_DomainControl レジスタは、QSPI インタフェースクロックドメイン設定を行います。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							HSSPIC_ Software Reset
属性	-							R/W
初期値	0b0000000							0b1

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							HSSPIC_ Clock Enable
属性	-							R/W
初期値	0b0000000							0b0

レジスタ機能

[bit31:17] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit16] HSSPIC_SoftwareReset: ソフトウェアリセット設定ビット

bit	説明
0	ソフトウェアリセット状態を解除します。
1	ソフトウェアリセット状態に遷移します。

<注意事項>

- *ソフトウェアリセット解除は、ハードウェアリセットまたは GDC サブシステム全体のソフトウェアリセット解除後に設定できます。*

[bit15:1] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit0]　HSSPIC_ClockEnable:　クロック出力イネーブルビット

bit	説明
0	QSPI インタフェースクロックを出力しません。
1	QSPI インタフェースクロックを出力します。

＜注意事項＞

- *このレジスタは、動作中に変更することができます。*

4.28 RPCC_ClockDivider

RPCC_ClockDivider レジスタは、HyperBus インタフェースクロックの分周比を設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約					RPCC_ClockDivider		
属性	-					R/W		
初期値	0x00					0b000		

レジスタ機能

[bit31:3] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit2:0] RPCC_ClockDivider: GDC 周辺リファレンスクロックからの分周比設定ビット

bit2:0	説明
000	分周比: 4
001	分周比: 8
010	分周比: 12
011	分周比: 16
100	分周比: 20
101	分周比: 24
110	分周比: 28
111	分周比: 32

<注意事項>

- *本フィールド内容を変更する場合は、3.5 HyperBus インタフェースクロックセットアップを参照してください。*

4.29 RPCC_DomainControl

RPCC_DomainControl レジスタは、HyperBus インタフェースクロックドメイン設定を行います。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							予約
属性	-							R/W
初期値	0x00							0x1

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							RPCC_ ClockEnable
属性	-							R/W
初期値	0x00							0x0

レジスタ機能

[bit31:17] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit16] 予約: デバイステスト用途

＜注意事項＞

- *本フィールドは 0b1 を書込みしてください。*

[bit15:1] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit0] RPCC_ClockEnable: クロック出力イネーブルビット

bit	説明
0	HyperBus インタフェースクロックを出力しません。
1	HyperBus インタフェースクロックを出力します。

＜注意事項＞

- *このレジスタは、動作中に変更することができます。*

4.30 vram_LockUnlock

vram_LockUnlock レジスタは、このアドレスブロックの保護キーを設定します。

レジスタ機能に示す保護キーを書込みすることで、ロック状態が変更されます。不正キー書込み時は、バスアクセスのエラーレスポンスが発生します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	vram_LockUnlock							
属性	W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	vram_LockUnlock							
属性	W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	vram_LockUnlock							
属性	W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	vram_LockUnlock							
属性	W							
初期値	0x00							

レジスタ機能

[bit31:0] LockUnlock： 本アドレスブロックの保護キー設定ビット

保護キーを設定することにより、保護状態を変更することができます。

保護状態が有効な場合、本アドレスブロック内のレジスタにライトすることはできません。レジスタリードを行うことはできます。特権アクセスが有効な場合、本レジスタブロック内のレジスタに特権ライト・特権リードを行うことが可能です。このレジスタをリードすると、バスアクセスのエラーレスポンスが発生します。

bit[31:0]	説明
0x5651F763	ロックキー:アンロックカウンタをデクリメントします。アンロックカウンタがゼロになると本レジスタブロック内レジスタはロックされ、ライトできなくなります。アンロックカウンタの初期値は 1 です。
0x691DB936	アンロックキー:アンロックカウンタをインクリメントします。アンロックカウンタの最大値は 15 で、この値より大きな値にインクリメントされません。
0xAEE95CDC	特権アクセスキー:本アドレスブロックのレジスタへの特権アクセスを有効化します。
0xB5E2466E	非特権アクセスキー: 本アドレスブロックのレジスタへの特権アクセスを無効化します。
0xFBE8B1E6	フリーズキー:現在の保護状態を保持します。以後の本レジスタへのライトは無効化されます。フリーズ状態はハードウェアまたはソフトウェアリセットで解除されます。

4.31 vram_LockStatus

vram_LockStatus レジスタは、本アドレスブロックの保護状態を表示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							vram_ Freeze Status
属性	R							R
初期値	0b0000000							0b0

bit	7	6	5	4	3	2	1	0
Field	予約			vram_ Privilege Status	予約			vram_ Lock Status
属性	R			R	R			R
初期値	0b000			0b0	0b000			0b0

レジスタ機能

[bit31:9] 予約: 予約ビット

このビットからは all '0' が読み出されます。

[bit8] FreezeStatus: フリーズ状態表示ビット

bit	説明
0	本レジスタブロックの保護状態を変更できます。
1	本レジスタブロックの保護状態を変更できません。

[bit7:5] 予約: 予約ビット

このビットからは all '0' が読み出されます。

[bit4] PrivilegeStatus: 特権アクセス状態表示ビット

bit	説明
0	本レジスタブロックのレジスタへの特権と非特権アクセスが可能です。
1	本レジスタブロックのレジスタへの特権アクセスのみが可能です。

[bit3:1]　　予約: 予約ビット

このビットからは all '0' が読み出されます。

[bit0]　　LockStatus: ロック状態表示ビット

bit	説明
0	本レジスタブロックのレジスタへのライトは可能です。
1	本レジスタブロックのレジスタへのライトはできません。

4.32 vram_sram_select

vram_sram_select レジスタは、ECC エラー検出する VRAM 領域を設定します。本レジスタは VRAM アクセスを開始する前に設定します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約.							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約.							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約.				vram_sram_select			
属性	-				R/W			
初期値	0x0				0x0			

bit	7	6	5	4	3	2	1	0
Field	vram_sram_select							
属性	R/W							
初期値	0x00							

レジスタ機能

[bit3:12] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit11:0] vram_sram_select: ECC エラー訂正領域設定ビット

ECC エラー訂正領域設定の詳細は、Table 4-1, Table 4-2, Table 4-3, Table 4-4 を参照してください。

Table 4-1 ECC 保護領域 (1/4)

sram_select	ECC-protected user space			Reagion reserved for ECC			ECC-unprotected user space		
	start offset	end offset	capacity [KB]	start offset	end offset	capacity [KB]	start offset	end offset	capacity [KB]
0	–	–	0	–	–	0	0x00000	0x7FFFF	512
1	0x00000	0x007F8	2	0x00800	0x00FF8	2	0x01000	0x7FFFF	508
2	0x00000	0x00FF8	4	0x01000	0x01FF8	4	0x02000	0x7FFFF	504
3	0x00000	0x017F8	6	0x01800	0x02FF8	6	0x03000	0x7FFFF	500
4	0x00000	0x01FF8	8	0x02000	0x03FF8	8	0x04000	0x7FFFF	496
5	0x00000	0x027F8	10	0x02800	0x04FF8	10	0x05000	0x7FFFF	492
6	0x00000	0x02FF8	12	0x03000	0x05FF8	12	0x06000	0x7FFFF	488
7	0x00000	0x037F8	14	0x03800	0x06FF8	14	0x07000	0x7FFFF	484
8	0x00000	0x03FF8	16	0x04000	0x07FF8	16	0x08000	0x7FFFF	480
9	0x00000	0x047F8	18	0x04800	0x08FF8	18	0x09000	0x7FFFF	476
10	0x00000	0x04FF8	20	0x05000	0x09FF8	20	0x0A000	0x7FFFF	472
11	0x00000	0x057F8	22	0x05800	0x0AFF8	22	0x0B000	0x7FFFF	468
12	0x00000	0x05FF8	24	0x06000	0x0BFF8	24	0x0C000	0x7FFFF	464
13	0x00000	0x067F8	26	0x06800	0x0CFF8	26	0x0D000	0x7FFFF	460
14	0x00000	0x06FF8	28	0x07000	0x0DFF8	28	0x0E000	0x7FFFF	456
15	0x00000	0x077F8	30	0x07800	0x0EFF8	30	0x0F000	0x7FFFF	452
16	0x00000	0x07FF8	32	0x08000	0x0FFF8	32	0x10000	0x7FFFF	448
17	0x00000	0x087F8	34	0x08800	0x10FF8	34	0x11000	0x7FFFF	444
18	0x00000	0x08FF8	36	0x09000	0x11FF8	36	0x12000	0x7FFFF	440
19	0x00000	0x097F8	38	0x09800	0x12FF8	38	0x13000	0x7FFFF	436
20	0x00000	0x09FF8	40	0x0A000	0x13FF8	40	0x14000	0x7FFFF	432
21	0x00000	0x0A7F8	42	0x0A800	0x14FF8	42	0x15000	0x7FFFF	428
22	0x00000	0x0AFF8	44	0x0B000	0x15FF8	44	0x16000	0x7FFFF	424
23	0x00000	0x0B7F8	46	0x0B800	0x16FF8	46	0x17000	0x7FFFF	420
24	0x00000	0x0BFF8	48	0x0C000	0x17FF8	48	0x18000	0x7FFFF	416
25	0x00000	0x0C7F8	50	0x0C800	0x18FF8	50	0x19000	0x7FFFF	412
26	0x00000	0x0CFF8	52	0x0D000	0x19FF8	52	0x1A000	0x7FFFF	408
27	0x00000	0x0D7F8	54	0x0D800	0x1AFF8	54	0x1B000	0x7FFFF	404
28	0x00000	0x0DFF8	56	0x0E000	0x1BFF8	56	0x1C000	0x7FFFF	400
29	0x00000	0x0E7F8	58	0x0E800	0x1CFF8	58	0x1D000	0x7FFFF	396
30	0x00000	0x0EFF8	60	0x0F000	0x1DFF8	60	0x1E000	0x7FFFF	392
31	0x00000	0x0F7F8	62	0x0F800	0x1EFF8	62	0x1F000	0x7FFFF	388

Table 4-2 ECC 保護領域 (2/4)

sram_select	ECC-protected user space			Reagion reserved for ECC			ECC-unprotected user space		
	start offset	end offset	capacity [KB]	start offset	end offset	capacity [KB]	start offset	end offset	capacity [KB]
32	0x00000	0xFFFFFFFFF8	0	0x00000	0xFFFFFFFFF8	0	0x00000	0x7FFFF	512
33	0x00000	0x007F8	2	0x00800	0x00FF8	2	0x01000	0x7FFFF	508
34	0x00000	0x00FF8	4	0x01000	0x01FF8	4	0x02000	0x7FFFF	504
35	0x00000	0x017F8	6	0x01800	0x02FF8	6	0x03000	0x7FFFF	500
36	0x00000	0x01FF8	8	0x02000	0x03FF8	8	0x04000	0x7FFFF	496
37	0x00000	0x027F8	10	0x02800	0x04FF8	10	0x05000	0x7FFFF	492
38	0x00000	0x02FF8	12	0x03000	0x05FF8	12	0x06000	0x7FFFF	488
39	0x00000	0x037F8	14	0x03800	0x06FF8	14	0x07000	0x7FFFF	484
40	0x00000	0x03FF8	16	0x04000	0x07FF8	16	0x08000	0x7FFFF	480
41	0x00000	0x047F8	18	0x04800	0x08FF8	18	0x09000	0x7FFFF	476
42	0x00000	0x04FF8	20	0x05000	0x09FF8	20	0x0A000	0x7FFFF	472
43	0x00000	0x057F8	22	0x05800	0x0AFF8	22	0x0B000	0x7FFFF	468
44	0x00000	0x05FF8	24	0x06000	0x0BFF8	24	0x0C000	0x7FFFF	464
45	0x00000	0x067F8	26	0x06800	0x0CFF8	26	0x0D000	0x7FFFF	460
46	0x00000	0x06FF8	28	0x07000	0x0DFF8	28	0x0E000	0x7FFFF	456
47	0x00000	0x077F8	30	0x07800	0x0EFF8	30	0x0F000	0x7FFFF	452
48	0x00000	0x07FF8	32	0x08000	0x0FFF8	32	0x10000	0x7FFFF	448
49	0x00000	0x087F8	34	0x08800	0x10FF8	34	0x11000	0x7FFFF	444
50	0x00000	0x08FF8	36	0x09000	0x11FF8	36	0x12000	0x7FFFF	440
51	0x00000	0x097F8	38	0x09800	0x12FF8	38	0x13000	0x7FFFF	436
52	0x00000	0x09FF8	40	0x0A000	0x13FF8	40	0x14000	0x7FFFF	432
53	0x00000	0x0A7F8	42	0x0A800	0x14FF8	42	0x15000	0x7FFFF	428
54	0x00000	0x0AFF8	44	0x0B000	0x15FF8	44	0x16000	0x7FFFF	424
55	0x00000	0x0B7F8	46	0x0B800	0x16FF8	46	0x17000	0x7FFFF	420
56	0x00000	0x0BFF8	48	0x0C000	0x17FF8	48	0x18000	0x7FFFF	416
57	0x00000	0x0C7F8	50	0x0C800	0x18FF8	50	0x19000	0x7FFFF	412
58	0x00000	0x0CFF8	52	0x0D000	0x19FF8	52	0x1A000	0x7FFFF	408
59	0x00000	0x0D7F8	54	0x0D800	0x1AFF8	54	0x1B000	0x7FFFF	404
60	0x00000	0x0DFF8	56	0x0E000	0x1BFF8	56	0x1C000	0x7FFFF	400
61	0x00000	0x0E7F8	58	0x0E800	0x1CFF8	58	0x1D000	0x7FFFF	396
62	0x00000	0x0EFF8	60	0x0F000	0x1DFF8	60	0x1E000	0x7FFFF	392
63	0x00000	0x0F7F8	62	0x0F800	0x1EFF8	62	0x1F000	0x7FFFF	388

Table 4-3 ECC 保護領域(3/4)

sram_select	ECC-protected user space			Reagion reserved for ECC			ECC-unprotected user space		
	start offset	end offset	capacity [KB]	start offset	end offset	capacity [KB]	start offset	end offset	capacity [KB]
64	0x00000	0xFFFFFFFFF8	0	0x00000	0xFFFFFFFFF8	0	0x00000	0x7FFFF	512
65	0x00000	0x007F8	2	0x00800	0x00FF8	2	0x01000	0x7FFFF	508
66	0x00000	0x00FF8	4	0x01000	0x01FF8	4	0x02000	0x7FFFF	504
67	0x00000	0x017F8	6	0x01800	0x02FF8	6	0x03000	0x7FFFF	500
68	0x00000	0x01FF8	8	0x02000	0x03FF8	8	0x04000	0x7FFFF	496
69	0x00000	0x027F8	10	0x02800	0x04FF8	10	0x05000	0x7FFFF	492
70	0x00000	0x02FF8	12	0x03000	0x05FF8	12	0x06000	0x7FFFF	488
71	0x00000	0x037F8	14	0x03800	0x06FF8	14	0x07000	0x7FFFF	484
72	0x00000	0x03FF8	16	0x04000	0x07FF8	16	0x08000	0x7FFFF	480
73	0x00000	0x047F8	18	0x04800	0x08FF8	18	0x09000	0x7FFFF	476
74	0x00000	0x04FF8	20	0x05000	0x09FF8	20	0x0A000	0x7FFFF	472
75	0x00000	0x057F8	22	0x05800	0x0AFF8	22	0x0B000	0x7FFFF	468
76	0x00000	0x05FF8	24	0x06000	0x0BFF8	24	0x0C000	0x7FFFF	464
77	0x00000	0x067F8	26	0x06800	0x0CFF8	26	0x0D000	0x7FFFF	460
78	0x00000	0x06FF8	28	0x07000	0x0DFF8	28	0x0E000	0x7FFFF	456
79	0x00000	0x077F8	30	0x07800	0x0EFF8	30	0x0F000	0x7FFFF	452
80	0x00000	0x07FF8	32	0x08000	0x0FFF8	32	0x10000	0x7FFFF	448
81	0x00000	0x087F8	34	0x08800	0x10FF8	34	0x11000	0x7FFFF	444
82	0x00000	0x08FF8	36	0x09000	0x11FF8	36	0x12000	0x7FFFF	440
83	0x00000	0x097F8	38	0x09800	0x12FF8	38	0x13000	0x7FFFF	436
84	0x00000	0x09FF8	40	0x0A000	0x13FF8	40	0x14000	0x7FFFF	432
85	0x00000	0x0A7F8	42	0x0A800	0x14FF8	42	0x15000	0x7FFFF	428
86	0x00000	0x0AFF8	44	0x0B000	0x15FF8	44	0x16000	0x7FFFF	424
87	0x00000	0x0B7F8	46	0x0B800	0x16FF8	46	0x17000	0x7FFFF	420
88	0x00000	0x0BFF8	48	0x0C000	0x17FF8	48	0x18000	0x7FFFF	416
89	0x00000	0x0C7F8	50	0x0C800	0x18FF8	50	0x19000	0x7FFFF	412
90	0x00000	0x0CFF8	52	0x0D000	0x19FF8	52	0x1A000	0x7FFFF	408
91	0x00000	0x0D7F8	54	0x0D800	0x1AFF8	54	0x1B000	0x7FFFF	404
92	0x00000	0x0DFF8	56	0x0E000	0x1BFF8	56	0x1C000	0x7FFFF	400
93	0x00000	0x0E7F8	58	0x0E800	0x1CFF8	58	0x1D000	0x7FFFF	396
94	0x00000	0x0EFF8	60	0x0F000	0x1DFF8	60	0x1E000	0x7FFFF	392
95	0x00000	0x0F7F8	62	0x0F800	0x1EFF8	62	0x1F000	0x7FFFF	388

Table 4-4 ECC 保護領域(4/4)

sram_select	ECC-protected user space			Reagion reserved for ECC			ECC-unprotected user space		
	start offset	end offset	capacity [KB]	start offset	end offset	capacity [KB]	start offset	end offset	capacity [KB]
96	0x00000	0xFFFFFFFFF8	0	0x00000	0xFFFFFFFFF8	0	0x00000	0x7FFFF	512
97	0x00000	0x007F8	2	0x00800	0x00FF8	2	0x01000	0x7FFFF	508
98	0x00000	0x00FF8	4	0x01000	0x01FF8	4	0x02000	0x7FFFF	504
99	0x00000	0x017F8	6	0x01800	0x02FF8	6	0x03000	0x7FFFF	500
100	0x00000	0x01FF8	8	0x02000	0x03FF8	8	0x04000	0x7FFFF	496
101	0x00000	0x027F8	10	0x02800	0x04FF8	10	0x05000	0x7FFFF	492
102	0x00000	0x02FF8	12	0x03000	0x05FF8	12	0x06000	0x7FFFF	488
103	0x00000	0x037F8	14	0x03800	0x06FF8	14	0x07000	0x7FFFF	484
104	0x00000	0x03FF8	16	0x04000	0x07FF8	16	0x08000	0x7FFFF	480
105	0x00000	0x047F8	18	0x04800	0x08FF8	18	0x09000	0x7FFFF	476
106	0x00000	0x04FF8	20	0x05000	0x09FF8	20	0x0A000	0x7FFFF	472
107	0x00000	0x057F8	22	0x05800	0x0AFF8	22	0x0B000	0x7FFFF	468
108	0x00000	0x05FF8	24	0x06000	0x0BFF8	24	0x0C000	0x7FFFF	464
109	0x00000	0x067F8	26	0x06800	0x0CFF8	26	0x0D000	0x7FFFF	460
110	0x00000	0x06FF8	28	0x07000	0x0DFF8	28	0x0E000	0x7FFFF	456
111	0x00000	0x077F8	30	0x07800	0x0EFF8	30	0x0F000	0x7FFFF	452
112	0x00000	0x07FF8	32	0x08000	0x0FFF8	32	0x10000	0x7FFFF	448
113	0x00000	0x087F8	34	0x08800	0x10FF8	34	0x11000	0x7FFFF	444
114	0x00000	0x08FF8	36	0x09000	0x11FF8	36	0x12000	0x7FFFF	440
115	0x00000	0x097F8	38	0x09800	0x12FF8	38	0x13000	0x7FFFF	436
116	0x00000	0x09FF8	40	0x0A000	0x13FF8	40	0x14000	0x7FFFF	432
117	0x00000	0x0A7F8	42	0x0A800	0x14FF8	42	0x15000	0x7FFFF	428
118	0x00000	0x0AFF8	44	0x0B000	0x15FF8	44	0x16000	0x7FFFF	424
119	0x00000	0x0B7F8	46	0x0B800	0x16FF8	46	0x17000	0x7FFFF	420
120	0x00000	0x0BFF8	48	0x0C000	0x17FF8	48	0x18000	0x7FFFF	416
121	0x00000	0x0C7F8	50	0x0C800	0x18FF8	50	0x19000	0x7FFFF	412
122	0x00000	0x0CFF8	52	0x0D000	0x19FF8	52	0x1A000	0x7FFFF	408
123	0x00000	0x0D7F8	54	0x0D800	0x1AFF8	54	0x1B000	0x7FFFF	404
124	0x00000	0x0DFF8	56	0x0E000	0x1BFF8	56	0x1C000	0x7FFFF	400
125	0x00000	0x0E7F8	58	0x0E800	0x1CFF8	58	0x1D000	0x7FFFF	396
126	0x00000	0x0EFF8	60	0x0F000	0x1DFF8	60	0x1E000	0x7FFFF	392
127	0x00000	0x0F7F8	62	0x0F800	0x1EFF8	62	0x1F000	0x7FFFF	388
128	0x00000	0x0FFF8	64	0x10000	0x1FFF8	64	-	-	384

4.33 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性								
初期値	0x00							

レジスタ機能

[bit31:0] 予約: デバイステスト用途

本フィールドには 0x00000000 を設定します。

4.34 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性								
初期値	0x00							

レジスタ機能

[bit31:0] 予約: デバイステスト用途

本フィールドには 0x00000000 を設定します。

4.35 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約.							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約				予約			
属性	-				R/W			
初期値	0x0				0x0			

bit	15	14	13	12	11	10	9	8
Field	予約 i							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	1	0
Field	予約						
属性	R/W						
初期値	0x00						

レジスタ機能

[bit31:20] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit19:0] 予約: デバイステスト用途

本フィールドには 0x000000 を設定します。

4.36 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約.							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約				予約			
属性	-				R/W			
初期値	0x0				0x0			

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	1	0
Field	予約						
属性	R/W						
初期値	0x00						

レジスタ機能

[bit31:20] 予約: 予約 bit

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit19:0] 予約: デバイステスト用途

本フィールドには 0x000000 を設定します。

4.37 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性								
初期値	0x00							

レジスタ機能

[bit31:0] 予約: デバイステスト用途

本フィールドには 0x00000000 を書き込みます。

4.38 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							
属性								
初期値	0x00							

レジスタ機能

[bit31:0] 予約: デバイステスト用途

本フィールドには 0x00000000 を書き込みます。

4.39 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約.							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約				予約			
属性	-				R/W			
初期値	0x0				0x0			

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	1	0
Field	予約						
属性	R/W						
初期値	0x00						

レジスタ機能

[bit31:20] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit19:0] 予約: デバイステスト用途

本フィールドには 0x000000 を設定します。

4.40 TEST (予約)

本レジスタは、デバイス内部のテスト用です。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約.							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約				予約			
属性	-				R/W			
初期値	0x0				0x0			

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	1	0
Field	予約						
属性	R/W						
初期値	0x00						

レジスタ機能

[bit31:20] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit19:0] 予約: デバイステスト用途

本フィールドには 0x000000 を設定します。

4.41 vram_sberraddr_s0

vram_sberraddr_s0 レジスタは、VRAM ポート 0 において、シングルビット ECC エラーが発生したアドレスを表示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	vram_sberraddr_s0							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	vram_sberraddr_s0							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	vram_sberraddr_s0							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	vram_sberraddr_s0							
属性	R							
初期値	0x00							

レジスタ機能

[bit31:0] vram_sberraddr_s0: シングルビット ECC エラーアドレス表示ビット

4.42 vram_sberraddr_s1

vram_sberraddr_s1 レジスタは、VRAM ポート 1 において、シングルビット ECC エラーが発生したアドレスを表示します。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	vram_sberraddr_s1							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	vram_sberraddr_s1							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	vram_sberraddr_s1							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	vram_sberraddr_s1							
属性	R							
初期値	0x00							

レジスタ機能

[bit31:0] vram_sberraddr_s1: シングルビット ECC エラーアドレス表示ビット

4.43 vram_arbiter_priority

vram_arbiter_priority レジスタは、VRAM の各ポートにおいて、アクセス競合発生した時の優先順位を設定します。同一の優先順位が設定されたポートにおいて、アクセス競合発生した時は、ラウンドロビン調停が行われます。

レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	-							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	-							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約		vram_priority_s1_read		vram_priority_s0_read		vram_priority_s0_write	
属性	R/W		R/W		R/W		R/W	
初期値	0b00		0b00		0b00		0b00	

レジスタ機能

[bit31:8] 予約: 予約ビット

このビットからは all “0”が読み出されます。
書込みの場合には all”0”を設定してください。

[bit7:6] 予約: デバイステスト用途

このビットからは 0b00 が読み出されます。
このフィールドには 0b00 を設定してください。

[bit5:4] vram_priority_s1_read: VRAM port1 リード優先順位設定ビット

bit1:0	説明
00	1 番目に優先度が高い
01	2 番目に優先度が高い
10	3 番目に優先度が高い
11	4 番目に優先度が高い

[bit3:2]　vram_priority_s0_read: VRAM port0 リード優先順位設定ビット

bit1:0	説明
00	1 番目に優先度が高い
01	2 番目に優先度が高い
10	3 番目に優先度が高い
11	4 番目に優先度が高い

[bit1:0]　vram_priority_s0_write: VRAM port1 ライト優先順位設定ビット

bit1:0	説明
00	1 番目に優先度が高い
01	2 番目に優先度が高い
10	3 番目に優先度が高い
11	4 番目に優先度が高い

CHAPTER 4: ソフトウェアインタフェース

GDC サブシステムのソフトウェアインタフェースについて説明します。

---

1. マップテーブル

1. マップテーブル

1.1 割込みマップ

Table 1-1 に GDC サブシステムの割込みテーブルを示します。

GDC コア ID は、GDC コア部で生成される割込み番号です。またサブシステム割込み ID は、GDC サブシステム内で生成される割込みを区別するための ID です。

Table 1-1 割込みテーブル

割込みタイプ	サブシステム割込み ID	割込み呼称	割込みイベント	GDC コア ID	FM4Interrupt ID(IRQMON)
IRQ	irq[0]	Iris_CommandSequencer	(Reserved)	(19)	92(bit8)
			GDC コアで制御されます。	20	
				21	
				22	
				23	
				24	
IRQ	irq[1]	Iris_BlitEngine	GDC コアで制御されます。	0	93(bit8)
				1	
				2	
IRQ	irq[2]	(Reserved)	-	-	94(bit8)
IRQ	irq[3]	Iris_ContentStream0	GDC コアで制御されます。	3	95(bit8)
				4	
				5	
				27	
				28	
				13	
IRQ	irq[4]	Iris_SaftyStream0	GDC コアで制御されます。	6	96(bit8)
				7	
				8	
				25	
				26	
				12	
IRQ	irq[5]	Iris_DisplayStream0	GDC コアで制御されます。	9	97(bit8)
				10	
				11	
IRQ	irq[6]	Iris_Signature0	GDC コアで制御されます。	16	98(bit8)
				17	
				18	
IRQ	irq[7]	Iris_Display0_Sync0	GDC コアで制御されます。	14	99(bit8)
IRQ	irq[8]	Iris_Display0_Sync1		15	100(bit8)
IRQ	irq[9]	(Reserved)	-	-	101(bit8)
IRQ	irq[10]	(Reserved)	-	-	102(bit8)
IRQ	irq[11]	(Reserved)	-	-	103(bit8)
IRQ	irq[12]	(Reserved)	-	-	104(bit8)
IRQ	irq[13]	(Reserved)	-	-	105(bit8)
IRQ	irq[14]	(Reserved)	-	-	106(bit8)
IRQ	irq[15]	(Reserved)	-	-	107(bit8)
IRQ	irq[16]	(Reserved)	-	-	108(bit8)
IRQ	irq[17]	(Reserved)		-	109(bit8)
IRQ	irq[18]	VramEccError_or_AxiBusError	VRAM_ECC_Disp or AXI_Bus_Error	-	110(bit8)
IRQ	qspi_irq_rx	FIP006.IRQ_RX	HS_SPI_Tx_FIFO		120(bit8)
IRQ	qspi_irq_tx	FIP006.IRQ_TX	HS_SPI_Rx_FIFO		121(bit8)

割込みタイプ	サブシステム割込み ID	割込み呼称	割込みイベント	GDC コア ID	FM4Interrupt ID(IRQMON)
IRQ	qspi_irq_fault	FIP006.IRQ_FAULT	HS_SPI Fault		122(bit8)
IRQ	sdram_merrint	BMEMCSE.MerrInt	Sdramc_MerrInt		49(bit1)
IRQ	rpc_int	RPC2.IENOn	RPC2 Interrupt		123(bit8)

Appendixes

レジスタマップ、制限事項、および主な変更内容について説明します。

A. レジスタマップ

B. 注意事項一覧

C. 主な変更内容

A. レジスタマップ

レジスタマップについて説明します。

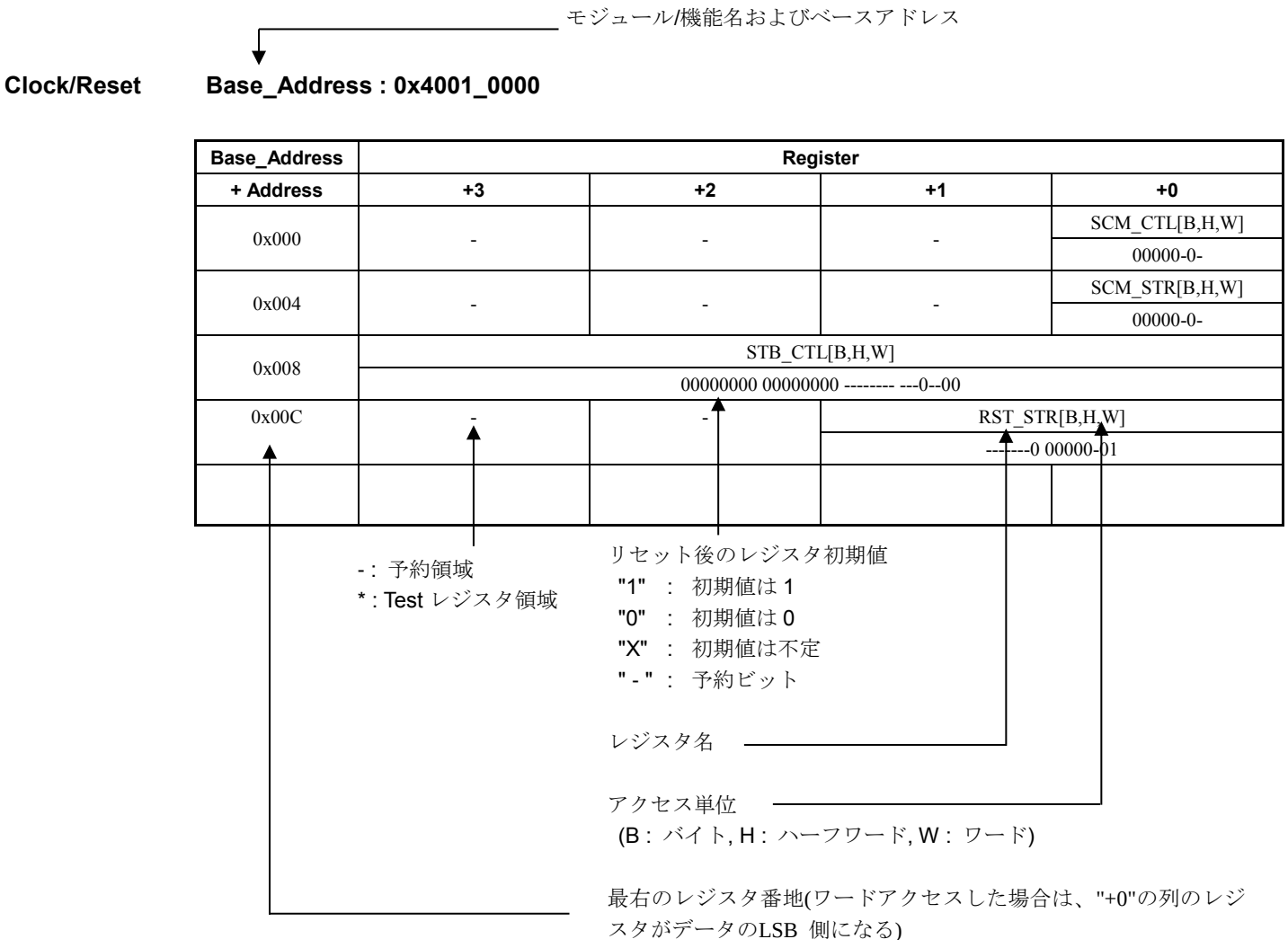
A.1 レジスタマップ
A.1.1 FLASH_IF
A.1.2 Unique ID
A.1.3 ECC Capture Address
A.1.4 Clock/Reset
A.1.5 HW WDT
A.1.6 SW WDT
A.1.7 Dual_Timer
A.1.8 MFT
A.1.9 PPG
A.1.10 Base Timer
A.1.11 IO Selector for Base Timer
A.1.12 QPRC
A.1.13 QPRC NF
A.1.14 A/DC
A.1.15 CR Trim
A.1.16 EXTI
A.1.17 INT-Req. READ
A.1.18 D/AC
A.1.19 HDMI-CEC
A.1.20 GPIO
A.1.21 LVD
A.1.22 DS_Mode
A.1.23 USB Clock
A.1.24 CAN_Prescaler
A.1.25 MFS
A.1.26 CRC
A.1.27 Watch Counter
A.1.28 RTC
A.1.29 Low-speed CR Prescaler
A.1.30 Peripheral Clock Gating
A.1.31 Smart Card Interface
A.1.32 MFSI2S
A.1.33 I2S_Prescaler
A.1.34 GDC_Prescaler
A.1.35 EXT-Bus I/F
A.1.36 USB
A.1.37 DMAC
A.1.38 DSTC
A.1.39 CAN
A.1.40 Ethernet-MAC
A.1.41 Ethernet-Control
A.1.42 I2S
A.1.43 SD-Card
A.1.44 CAN FD
A.1.45 Programmable-CRC

A.1.46 WorkFlash_IF
A.1.47 High-Speed Quad SPI Controller
A.1.48 HyperBus Interface
A.1.49 GDC Sub System Controller
A.1.50 GDC Sub System SDRAM Controller

A.1 レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  ワードアクセス: アドレスは 4 の倍数(最下位 2 ビットは 0x00)
  ハーフワードアクセス: アドレスは 2 の倍数(最下位ビットは 0x0)
  バイトアクセス: -
- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

A.1.1 FLASH_IF

A.1.1.1 TYPE1-M4, TYPE2-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

A.1.1.2 TYPE3-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C	-	-	-	-
0x030	DFCTRLR[W]			
0x034 - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x10C	-	-	-	-
0x110	FGPDM1[B,H,W]			
0x114	FGPDM2[B,H,W]			
0x118	FGPDM3[B,H,W]			
0x11C	FGPDM4[B,H,W]			
0x120 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	DFASZR[B,H,W]			
0x404	DFRWTR[B,H,W]			
0x408	DFSTR[B,H,W]			
0x40C - 0x4FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

A.1.1.3 TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x10C	-	-	-	-
0x110	FGPDM1[B,H,W]			
0x114	FGPDM2[B,H,W]			
0x118	FGPDM3[B,H,W]			
0x11C	FGPDM4[B,H,W]			
0x120 - 0x1FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

A.1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	UIDR0[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W] -------- -------- ---XXXXX XXXXXXXX			
0x008 - 0xDFC	-	-	-	-

A.1.3 ECC Capture Address

ECC Capture Address Base_Address : 0x4000_0300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FERRAD[W] -------- -XXXXXXX XXXXXXXX XXXXXXXX			
0x004 - 0xFFC	-	-	-	-

A.1.4 Clock/Reset

A.1.4.1 TYPE1-M4, TYPE2-M4 製品

Clock/Reset Base_Address : 0x4001_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 0000--01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] ------00
0x024 – 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C – 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] 00000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] --000000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0–000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C – 0xFFC	-	-	-	-

A.1.4.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

Clock/Reset **Base_Address : 0x4001_0000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 0000--01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] ------00
0x024 – 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C – 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] 00000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] --000000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0–000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C - 0x070	-	-	-	-
0x074	PLLCG_CTL[W] -------- 11111111 00000000 00----00			
0x078 – 0xFFC	-	-	-	-

A.1.5 HW WDT

HW WDT **Base_Address : 0x4001_1000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WDG_LDR[W] 00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W] ------11
0x00C	-	-	-	WDG_ICL[W] XXXXXXXX
0x010	-	-	-	WDG_RIS[W] -------0
0x014	*			
0x018 – 0xBFC	-	-	-	-
0xC00	WDG_LCK[W] 00000000 00000000 00000000 00000001			
0xC04 – 0xFFC	-	-	-	-

A.1.6 SW WDT

SW WDT **Base_Address : 0x4001_2000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WdogLoad[W] 11111111 11111111 11111111 11111111			
0x004	WdogValue[W] 11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W] ---00000
0x00C	WdogIntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W] -------0
0x014	*			
0x018	-	-	-	WdogSPMC[W] -------0
0x01C – 0xBFC	-	-	-	-
0xC00	WdogLock[W] 00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00 - 0xF04	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

A.1.7 Dual_Timer

Dual_Timer **Base_Address : 0x4001_5000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	Timer1Load[W] 00000000 00000000 00000000 00000000			
0x004	Timer1Value[W] 11111111 11111111 11111111 11111111			
0x008	Timer1Control[W] -------- -------- -------- 00100000			
0x00C	Timer1IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W] -------- -------- -------- -------0			
0x014	Timer1MIS[W] -------- -------- -------- -------0			
0x018	Timer1BGLoad[W] 00000000 00000000 00000000 00000000			
0x020	Timer2Load[W] 00000000 00000000 00000000 00000000			
0x024	Timer2Value[W] 11111111 11111111 11111111 11111111			
0x028	Timer2Control[W] -------- -------- -------- 00100000			
0x02C	Timer2IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W] -------- -------- -------- -------0			
0x034	Timer2MIS[W] -------- -------- -------- -------0			
0x038	Timer2BGLoad[W] 00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

A.1.8 MFT

A.1.8.1 TYPE1-M4, TYPE2-M4 製品

MFT unit0 **Base_Address : 0x4002_0000**

MFT unit1 **Base_Address : 0x4002_1000**

MFT unit2 **Base_Address : 0x4002_2000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	-	OCSD10[B,H,W] 00000000	OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	-	OCSD32[B,H,W] 00000000	OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	-	OCSD54[B,H,W] 00000000	OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[H,B,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-		-	WFIR[H,W] 00000000 00000000
0x1B4	-		-	NZCL[H,W] 00000000 00000000
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	-	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	-	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	-	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000
0x1E0	-	-	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	-	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	-	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC-0xFFC	-	-	-	-

A.1.8.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

MFT unit0 **Base_Address : 0x4002_0000**

MFT unit1 **Base_Address : 0x4002_1000**

MFT unit2 **Base_Address : 0x4002_2000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	OCSD10[B,H,W] --000000 00000000		OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	OCSD32[B,H,W] --000000 00000000		OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	OCSD54[B,H,W] --000000 00000000		OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-	-	WFIR[H,W] 00000000 00000000	
0x1B4	-	-	NZCL[H,W] 00000000 00000000	
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	ACMC0[B,H,W] 00--0000	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	ACMC1[B,H,W] 00--0000	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	ACMC2[B,H,W] 00--0000	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000
0x1E0	-	ACMC3[B,H,W] 00--0000	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	ACMC4[B,H,W] 00--0000	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	ACMC5[B,H,W] 00--0000	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC	-	-	-	TCSD[B,H,W] ------00
0x1F0-0xFFC	-	-	-	-

A.1.9 PPG

PPG **Base_Address : 0x4002_4000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	TTCR0 [B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0 [B,H,W] 00000000	-
0x00C	-	-	-	COMP2 [B,H,W] 00000000
0x010	-	-	COMP4 [B,H,W] 00000000	-
0x014	-	-	-	COMP6 [B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1 [B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1 [B,H,W] 00000000	-
0x02C	-	-	-	COMP3 [B,H,W] 00000000
0x030	-	-	COMP5 [B,H,W] 00000000	-
0x034	-	-	-	COMP7 [B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2 [B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8 [B,H,W] 00000000	-
0x04C	-	-	-	COMP10 [B,H,W] 00000000
0x050	-	-	COMP12 [B,H,W] 00000000	-
0x054	-	-	-	COMP14 [B,H,W] 00000000
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG0 [B,H,W] 00000000 00000000	
0x104	-	-	REVC0 [B,H,W] 00000000 00000000	
0x108 - 0x13C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x140	-	-	TRG1 [B,H,W] -------- 00000000	
0x144	-	-	REVC1 [B,H,W] -------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0 [B,H,W] 00000000	PPGC1 [B,H,W] 00000000
0x204	-	-	PPGC2 [B,H,W] 00000000	PPGC3 [B,H,W] 00000000
0x208	-	-	PRLH0 [B,H,W] XXXXXXXX	PRLL0 [B,H,W] XXXXXXXX
0x20C	-	-	PRLH1 [B,H,W] XXXXXXXX	PRLL1 [B,H,W] XXXXXXXX
0x210	-	-	PRLH2 [B,H,W] XXXXXXXX	PRLL2 [B,H,W] XXXXXXXX
0x214	-	-	PRLH3 [B,H,W] XXXXXXXX	PRLL3 [B,H,W] XXXXXXXX
0x218	-	-	-	GATEC0 [B,H,W] --00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4 [B,H,W] 00000000	PPGC5 [B,H,W] 00000000
0x244	-	-	PPGC6 [B,H,W] 00000000	PPGC7 [B,H,W] 00000000
0x248	-	-	PRLH4 [B,H,W] XXXXXXXX	PRLL4 [B.H.W] XXXXXXXX
0x24C	-	-	PRLH5 [B,H,W] XXXXXXXX	PRLL5 [B,H,W] XXXXXXXX
0x250	-	-	PRLH6 [B,H,W] XXXXXXXX	PRLL6 [B,H,W] XXXXXXXX
0x254	-	-	PRLH7 [B,H,W] XXXXXXXX	PRLL7 [B,H,W] XXXXXXXX
0x258	-	-	-	GATEC4 [B,H,W] ------00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8 [B,H,W] 00000000	PPGC9 [B,H,W] 00000000
0x284	-	-	PPGC10 [B,H,W] 00000000	PPGC11 [B,H,W] 00000000
0x288	-	-	PRLH8 [B,H,W] XXXXXXXX	PRLL8 [B,H,W] XXXXXXXX
0x28C	-	-	PRLH9 [B,H,W] XXXXXXXX	PRLL9 [B,H,W] XXXXXXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x290	-	-	PRLH10 [B,H,W] XXXXXXXX	PRLL10 [B,H,W] XXXXXXXX
0x294	-	-	PRLH11 [B,H,W] XXXXXXXX	PRLL11 [B,H,W] XXXXXXXX
0x298	-	-	-	GATEC8 [B,H,W] --00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12 [B,H,W] 00000000	PPGC13 [B,H,W] 00000000
0x2C4	-	-	PPGC14 [B,H,W] 00000000	PPGC15 [B,H,W] 00000000
0x2C8	-	-	PRLH12 [B,H,W] XXXXXXXX	PRLL12 [B,H,W] XXXXXXXX
0x2CC	-	-	PRLH13 [B,H,W] XXXXXXXX	PRLL13 [B,H,W] XXXXXXXX
0x2D0	-	-	PRLH14 [B,H,W] XXXXXXXX	PRLL14 [B,H,W] XXXXXXXX
0x2D4	-	-	PRLH15 [B,H,W] XXXXXXXX	PRLL15 [B,H,W] XXXXXXXX
0x2D8	-	-	-	GATEC12 [B,H,W] ------00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16 [B,H,W] 00000000	PPGC17 [B,H,W] 00000000
0x304	-	-	PPGC18 [B,H,W] 00000000	PPGC19 [B,H,W] 00000000
0x308	-	-	PRLH16 [B,H,W] XXXXXXXX	PRLL16 [B,H,W] XXXXXXXX
0x30C	-	-	PRLH17 [B,H,W] XXXXXXXX	PRLL17 [B,H,W] XXXXXXXX
0x310	-	-	PRLH18 [B,H,W] XXXXXXXX	PRLL18 [B,H,W] XXXXXXXX
0x314	-	-	PRLH19 [B,H,W] XXXXXXXX	PRLL19 [B,H,W] XXXXXXXX
0x318	-	-	-	GATEC16 [B,H,W] --00---00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20 [B,H,W] 00000000	PPGC21 [B,H,W] 00000000
0x344	-	-	PPGC22 [B,H,W] 00000000	PPGC23 [B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x348	-	-	PRLH20 [B,H,W] XXXXXXXX	PRLL20 [B.H.W] XXXXXXXX
0x34C	-	-	PRLH21 [B,H,W] XXXXXXXX	PRLL21 [B,H,W] XXXXXXXX
0x350	-	-	PRLH22 [B,H,W] XXXXXXXX	PRLL22 [B,H,W] XXXXXXXX
0x354	-	-	PRLH23 [B,H,W] XXXXXXXX	PRLL23 [B,H,W] XXXXXXXX
0x358	-	-	-	GATEC20 [B,H,W] ------00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	-
0x384 - 0xFFC	-	-	-	-

A.1.10 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL [H,W] XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF [H,W] XXXXXXXX XXXXXXXX	
0x008	-	-	TMR [H,W] 00000000 00000000	
0x00C	-	-	TMCR [B,H,W] -0000000 00000000	
0x010	-	-	TMCR2 [B,H,W] 0------0	STC [B,H,W] 0000-000
0x014 - 0x03C	-	-	-	-

A.1.11 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer) Base Address : 0x4002_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL0123 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7(Base Timer) Base Address : 0x4002_5300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL4567 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11(Base Timer) Base Address : 0x4002_5500

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL89AB [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15(Base Timer) Base Address : 0x4002_5700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSELCDEF [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup(Base Timer) Base Address : 0x4002_5F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] XXXXXXXX XXXXXXXX	

A.1.12 QPRC

A.1.12.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

QPRC ch.3 Base Address : 0x4002_60C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -------- -----000	
0x0020 - 0x003B	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

A.1.12.2 TYPE3-M4, TYPE4-M4, TYPE5-M4 製品

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

QPRC ch.3 Base Address : 0x4002_60C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -------- ----0000	
0x0020 - 0x003B	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

A.1.13 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100

QPRC ch.1 NF Base Address : 0x4002_6110

QPRC ch.2 NF Base Address : 0x4002_6120

QPRC ch.3 NF Base Address : 0x4002_6130

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	-	NFCTLA[B,H,W] --00-000
0x0004	-	-	-	NFCTLB[B,H,W] --00-000
0x0008	-	-	-	NFCTLZ[B,H,W] --00-000
0x000C	-	-	-	-

A.1.14 A/DC

12bit A/DC unit0 Base_Address : 0x4002_7000

12bit A/DC unit1 Base_Address : 0x4002_7100

12bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---1--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W] ----0000
0x03C	-	-	ADCEN[B,H,W] 11111111 ------00	
0x040	CALSR[B,H,W] -------- -------- -------0 00000000			
0x044	-	-	-	WCMRCIF[B,H,W] 00000000
0x048	-	-	-	WCMRCOT[B,H,W] 00000000
0x04C	-	-	WCMPSR[B,H,W] 00000000	WCMPCR[B,H,W] 00100000
0x050	WCMPDH[B,H,W] 00000000 00000000		WCMPDL[B,H,W] 00000000 00000000	
0x040 - 0x0FC	-	-	-	-

A.1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W] -----001
0x004	-	-	MCR_FTRM[B,H,W] ------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W] ---10000
0x00C	MCR_RLR[W] 00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

A.1.16 EXTI

A.1.16.1 TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE4-M4 製品

EXTI Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -------0
0x018	-	-	-	NMICL[B,H,W] -------1
0x01C	-	-	-	-
0x020 - 0x0FC	-	-	-	-

A.1.16.2 TYPE5-M4, TYPE6-M4 製品

EXTI Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -------0
0x018	-	-	-	NMICL[B,H,W] -------1
0x01C	ELVR2[B,H,W] 00000000 00000000 00000000 00000000			
0x020 - 0x0FC	-	-	-	-

A.1.17 INT-Req. READ

A.1.17.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

INT-Req. READ Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	-
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] -------- 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] -------- 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] -------- 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] -------- 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] -------- 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] -------- 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] -------- 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] -------- 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- -------0			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- ----0000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- -------0			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------- ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------- ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------- ----0000			
0x380	IRQ095MON[B,H,W] -------- -------- -------- ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------- --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------- --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------- ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------- ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------- ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------- ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------- ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------- -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------- ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------- -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3B0	IRQ107MON[B,H,W] -------- -------- -------- -------0			
0x3B4	IRQ108MON[B,H,W] -------- -------- -------- ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------- -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------- ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	-	-	-	-
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- ---00000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- --000000			
0x3D0 – 0x3D8	-	-	-	-
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------- -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------- ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------- -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------- ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

A.1.17.2 TYPE3-M4, TYPE5-M4 製品

INT-Req. READ Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	ODDPKS1[B] --00000
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] -------- 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] -------- 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] -------- 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] -------- 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] -------- 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] -------- 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] -------- 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] -------- 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- -------0			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- ---00000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- ---00000			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------- ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------- ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------- ----0000			
0x380	IRQ095MON[B,H,W] -------- -------- -------- ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------- --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------- --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------- ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------- ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------- ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------- ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------- ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------- -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------- ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------- -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------- ------00			
0x3B0	IRQ107MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3B4	IRQ108MON[B,H,W] -------- -------- -------- ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------- -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------- ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	IRQ112MON[B,H,W] -------- -------- -------- --000000			
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- --000000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- -0000000			
0x3D0	IRQ115MON[B,H,W] -------- -------- -------- -----000			
0x3D4	IRQ116MON[B,H,W] -------- -------- -------- --------			
0x3D8	IRQ117MON[B,H,W] -------- -------- -------- ------00			
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------- -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------- ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------- -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------- ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

A.1.17.3 TYPE4-M4 製品

INT-Req. READ　Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	ODDPKS1[B] --00000
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- ------00			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- --000000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			

Base_Address	Register

+ Address	+3	+2	+1	+0
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- ---00000			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			

Base_Address	Register

+ Address	+3	+2	+1	+0
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------0 ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------0 ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------0 ----0000			
0x380	IRQ095MON[B,H,W] -------- -------- -------0 ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------0 --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------0 --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------0 ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------0 ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------0 ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------0 ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------0 ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------0 -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------0 ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------0 -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------0 ------00			

Base_Address	Register

+ Address	+3	+2	+1	+0
0x3B0	IRQ107MON[B,H,W] -------- -------- -------0 -------0			
0x3B4	IRQ108MON[B,H,W] -------- -------- -------0 ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------0 -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------0 ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	IRQ112MON[B,H,W] -------- -------- ------00 00000000			
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- --000000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- -0000000			
0x3D0	IRQ115MON[B,H,W] -------- -------- -------- -----000			
0x3D4	IRQ116MON[B,H,W] -------- -------- -------- --------			
0x3D8	IRQ117MON[B,H,W] -------- -------- -------- -----000			
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------0 -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------0 ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------0 -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------0 ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

A.1.18 D/AC

12bit D/AC unit0 Base_Address : 0x4003_3000

12bit D/AC unit1 Base_Address : 0x4003_3008

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	DACR[B,H,W] --00--00
0x004	-	-	DADR[H,W] ----XXXX XXXXXXXX	
0x010 – 0xFFC	-	-	-	-

A.1.19 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	TXCTRL[B,H,W] --0000-0
0x004	-	-	-	TXDATA[B,H,W] 00000000
0x008	-	-	-	TXSTS[B,H,W] --00---0
0x00C	-	-	-	SFREE[B,H,W] ----0000
0x010 – 0x03C	-	-	-	-
0x040	-	-	RCCR[B,H,W] 0---0000	RCST[B,H,W] 00000000
0x044	-	-	RCSHW[B,H,W] 00000000	RCDAHW[B,H,W] 00000000
0x048	-	-	RCDBHW[B,H,W] 00000000	-
0x04C	-	-	RCADR1[B,H,W] ---00000	RCADR2[B,H,W] ---00000
0x050	-	-	RCDTHH[B,H,W] 00000000	RCDTHL[B,H,W] 00000000
0x054	-	-	RCDTLH[B,H,W] 00000000	RCDTLL[B,H,W] 00000000
0x058	-	-	RCCKD[B,H,W] ---00000 00000000	
0x05C	-	-	RCRC[B,H,W] ---0---0	RCRHW[B,H,W] 00000000
0x060	-	-	RCLE[B,H,W] 00000-00	-
0x064	-	-	RCLELW[B,H,W] 00000000	RCLESW[B,H,W] 00000000
0x068 – 0x0FC	-	-	-	-

A.1.20 GPIO

A.1.20.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- --00 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 ----			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			
0x654 – 0x6FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

A.1.20.2 TYPE3-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- ---- ---- ---- ---- 0000 0000 0000			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x668	EPFR26[B,H,W] ---- ---- ---- --00 0000 0000 0000 0000			
0x66C – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740	PDSR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x744	PDSR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x748	PDSR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x74C	PDSR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x750	PDSR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x754	PDSR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x758	PDSR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x75C	PDSR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x760	PDSR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x764	PDSR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x768	PDSRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x76C	PDSRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x770	PDSRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x774	PDSRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x778	PDSRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x77C	PDSRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x780 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

A.1.20.3 TYPE4-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- 0000 0000 0000 ---- 0000 0000 0000			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x668	EPFR26[B,H,W] ---- ---- ---- --00 0000 0000 0000 0000			
0x66C	EPFR27[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x670	EPFR28[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x674	EPFR29[B,H,W] 0000 0000 0000 00-- 0000 0000 0000 0000			
0x67C	EPFR30[B,H,W] ---- --00 0000 0000 ---- 0000 0000 0000			
0x680 – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

A.1.20.4 TYPE5-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x668	EPFR26[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x66C – 0x680	-	-	-	-
0x684	EPFR33[B,H,W] ---- 0000 0000 0000 ---- 0000 0000 0000			
0x688	-	-	-	-
0x68C	EPFR35[B,H,W] ---- 0000 0000 0000 ---- ---- ---- ----			
0x690 – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740	PDSR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x744	PDSR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x748	PDSR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x74C	PDSR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x750	PDSR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x754	PDSR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x758	PDSR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x75C	PDSR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x760	PDSR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x764	PDSR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x768	PDSRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x76C	PDSRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x770	PDSRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x774	PDSRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x778	PDSRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x77C	PDSRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x780 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

A.1.21 LVD

LVD Base_Address : 0x4003_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LVD_CTL[B,H,W] 000111--
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 [B,H,W] 0-------
0x014 - 0x0FC	-	-	-	-

A.1.22 DS_Mode

DS_Mode Base_Address : 0x4003_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	*
0x004	-	-	-	RCK_CTL[B,H,W] ------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W] -------0
0x704	-	-	-	WRFSR[B,H,W] ------00
0x708	-	-	WIFSR[B,H,W] ------00 00000000	
0x70C	-	-	WIER[B,H,W] ------00 00000-00	
0x710	-	-	-	WILVR[B,H,W] ---00000
0x714	-	-	-	DSRAMR[B,H,W] ------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W] 00000000	BUR03[B,H,W] 00000000	BUR02[B,H,W] 00000000	BUR01[B,H,W] 00000000
0x804	BUR08[B,H,W] 00000000	BUR07[B,H,W] 00000000	BUR06[B,H,W] 00000000	BUR05[B,H,W] 00000000
0x808	BUR012[B,H,W] 00000000	BUR11[B,H,W] 00000000	BUR10[B,H,W] 00000000	BUR09[B,H,W] 00000000
0x80C	BUR16[B,H,W] 00000000	BUR15[B,H,W] 00000000	BUR14[B,H,W] 00000000	BUR13[B,H,W] 00000000
0x810 - 0xEFC	-	-	-	-

A.1.23 USB Clock

USB Clock Base_Address : 0x4003_6000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] -0000000
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] -0111011
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028	-	-	-	UPCR6[B,H,W] ----0010
0x02C	-	-	-	UPCR7[B,H,W] -------0
0x030	-	-	-	USBEN0[B,H,W] -------0
0x034	-	-	-	USBEN1[B,H,W] -------0
0x038 - 0x0FC	-	-	-	-

A.1.24 CAN_Prescaler

CAN_Prescaler Base_Address : 0x4003_7000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CANPRE[B,H,W] ----1011
0x004 - 0xFFC	-	-	-	-

A.1.25 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

MFS ch.8 Base_Address : 0x4003_8800

MFS ch.9 Base_Address : 0x4003_8900

MFS ch.10 Base_Address : 0x4003_8A00

MFS ch.11 Base_Address : 0x4003_8B00

MFS ch.12 Base_Address : 0x4003_8C00

MFS ch.13 Base_Address : 0x4003_8D00

MFS ch.14 Base_Address : 0x4003_8E00

MFS ch.15 Base_Address : 0x4003_8F00

Base_Address + Address	Register			
	+3	+3	+3	+3
0x000	-	-	SCR / IBCR[B,H,W] 0--00000	SMR[B,H,W] 000-00-0
0x004	-	-	SSR[B,H,W] 0-000011	ESCR / IBSR[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+3	+3	+3
0x008	-	-	RDR/TDR[H,W] 00000000 00000000	
	(*1) RDR/TDR[H,W] 00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] --------	ISBA[B,H,W] --------
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W] 00000000	SCSTR0/ NFCR[B,H,W] 00000000
0x020	-	-	SCSTR3[B,H,W] 00000000	SCSTR2[B,H,W] 00000000
0x024	-	-	SACSR1[B,H,W] 00000000	SACSR0[B,H,W] 00000000
0x028	-	-	STMR1[B,H,W] 00000000	STMR0[B,H,W] 00000000
0x02C	-	-	STMCR1[B,H,W] 00000000	STMCR0[B,H,W] 00000000
0x030	-	-	SCSCR1[B,H,W] 00000000	SCSCR0[B,H,W] 00100000
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W] 00000000	TBYTE0[B,H,W] 00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x0144 - 0x1FC	-	-	-	-

<注意事項>

- *(*1) : RDR/TDR レジスタの上位 16bit は I2S モードで Word アクセスを使用するときのみ有効です。*

A.1.26 CRC

CRC Base_Address : 0x4003_9000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W] -0000000
0x004	CRCINIT[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W] 11111111 11111111 11111111 11111111			

A.1.27 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	WCCR[B,H,W] 00--0000	WCRL[B,H,W] --000000	WCRD[B,H,W] --000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W] -----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W] ------00
0x018 - 0xFFC	-	-	-	-

A.1.28 RTC

A.1.28.1 TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE6-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_CLKDIV[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 00001000
0x180	-	-	-	CCB[B,H,W] 00010000
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A4	-	-	-	VBDDR[B,H,W] ----0000
0x1A8	-	-	-	VBDIR[B,H,W] ----XXXX
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x1B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W] 00000000	BREG02[B,H,W] 00000000	BREG01[B,H,W] 00000000	BREG00[B,H,W] 00000000
0x204	BREG07[B,H,W] 00000000	BREG06[B,H,W] 00000000	BREG05[B,H,W] 00000000	BREG04[B,H,W] 00000000
0x208	BREG0B[B,H,W] 00000000	BREG0A[B,H,W] 00000000	BREG09[B,H,W] 00000000	BREG08[B,H,W] 00000000
0x20C	BREG0F[B,H,W] 00000000	BREG0E[B,H,W] 00000000	BREG0D[B,H,W] 00000000	BREG0C[B,H,W] 00000000
0x210	BREG13[B,H,W] 00000000	BREG12[B,H,W] 00000000	BREG11[B,H,W] 00000000	BREG10[B,H,W] 00000000
0x214	BREG17[B,H,W] 00000000	BREG16[B,H,W] 00000000	BREG15[B,H,W] 00000000	BREG14[B,H,W] 00000000
0x218	BREG1B[B,H,W] 00000000	BREG1A[B,H,W] 00000000	BREG19[B,H,W] 00000000	BREG18[B,H,W] 00000000
0x21C	BREG1F[B,H,W] 00000000	BREG1E[B,H,W] 00000000	BREG1D[B,H,W] 00000000	BREG1C[B,H,W] 00000000
0x220	BREG23[B,H,W] 00000000	BREG22[B,H,W] 00000000	BREG21[B,H,W] 00000000	BREG20[B,H,W] 00000000
0x224	BREG27[B,H,W] 00000000	BREG26[B,H,W] 00000000	BREG25[B,H,W] 00000000	BREG24[B,H,W] 00000000
0x228	BREG2B[B,H,W] 00000000	BREG2A[B,H,W] 00000000	BREG29[B,H,W] 00000000	BREG28[B,H,W] 00000000
0x22C	BREG2F[B,H,W] 00000000	BREG2E[B,H,W] 00000000	BREG2D[B,H,W] 00000000	BREG2C[B,H,W] 00000000
0x230	BREG33[B,H,W] 00000000	BREG32[B,H,W] 00000000	BREG31[B,H,W] 00000000	BREG30[B,H,W] 00000000
0x234	BREG37[B,H,W] 00000000	BREG36[B,H,W] 00000000	BREG35[B,H,W] 00000000	BREG34[B,H,W] 00000000
0x238	BREG3B[B,H,W] 00000000	BREG3A[B,H,W] 00000000	BREG39[B,H,W] 00000000	BREG38[B,H,W] 00000000
0x23C	BREG3F[B,H,W] 00000000	BREG3E[B,H,W] 00000000	BREG3D[B,H,W] 00000000	BREG3C[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2400x244	BREG47[B,H,W] 00000000	BREG46[B,H,W] 00000000	BREG45[B,H,W] 00000000	BREG44[B,H,W] 00000000
0x248	BREG4B[B,H,W] 00000000	BREG4A[B,H,W] 00000000	BREG49[B,H,W] 00000000	BREG48[B,H,W] 00000000
0x24C	BREG4F[B,H,W] 00000000	BREG4E[B,H,W] 00000000	BREG4D[B,H,W] 00000000	BREG4C[B,H,W] 00000000
0x250	BREG53[B,H,W] 00000000	BREG52[B,H,W] 00000000	BREG51[B,H,W] 00000000	BREG50[B,H,W] 00000000
0x254	BREG57[B,H,W] 00000000	BREG56[B,H,W] 00000000	BREG55[B,H,W] 00000000	BREG54[B,H,W] 00000000
0x258	BREG5B[B,H,W] 00000000	BREG5A[B,H,W] 00000000	BREG59[B,H,W] 00000000	BREG58[B,H,W] 00000000
0x25C	BREG5F[B,H,W] 00000000	BREG5E[B,H,W] 00000000	BREG5D[B,H,W] 00000000	BREG5C[B,H,W] 00000000
0x260	BREG63[B,H,W] 00000000	BREG62[B,H,W] 00000000	BREG61[B,H,W] 00000000	BREG60[B,H,W] 00000000
0x264	BREG67[B,H,W] 00000000	BREG66[B,H,W] 00000000	BREG65[B,H,W] 00000000	BREG64[B,H,W] 00000000
0x268	BREG6B[B,H,W] 00000000	BREG6A[B,H,W] 00000000	BREG69[B,H,W] 00000000	BREG68[B,H,W] 00000000
0x26C	BREG6F[B,H,W] 00000000	BREG6E[B,H,W] 00000000	BREG6D[B,H,W] 00000000	BREG6C[B,H,W] 00000000
0x270	BREG73[B,H,W] 00000000	BREG72[B,H,W] 00000000	BREG71[B,H,W] 00000000	BREG70[B,H,W] 00000000
0x274	BREG77[B,H,W] 00000000	BREG76[B,H,W] 00000000	BREG75[B,H,W] 00000000	BREG74[B,H,W] 00000000
0x278	BREG7B[B,H,W] 00000000	BREG7A[B,H,W] 00000000	BREG79[B,H,W] 00000000	BREG78[B,H,W] 00000000
0x27C	BREG7F[B,H,W] 00000000	BREG7E[B,H,W] 00000000	BREG7D[B,H,W] 00000000	BREG7C[B,H,W] 00000000
0x280-0xFFC	-	-	-	-

A.1.28.2 TYPE4-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_DIVCLK[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 11001110
0x180	-	-	-	CCB[B,H,W] 11001110
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000
0x1A4	-	-	-	VBDDR[B,H,W] ----0000
0x1A8	-	-	-	VBDIR[B,H,W] ----XXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x1B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W]	BREG02[B,H,W]	BREG01[B,H,W]	BREG00[B,H,W]
	00000000	00000000	00000000	00000000
0x204	BREG07[B,H,W]	BREG06[B,H,W]	BREG05[B,H,W]	BREG04[B,H,W]
	00000000	00000000	00000000	00000000
0x208	BREG0B[B,H,W]	BREG0A[B,H,W]	BREG09[B,H,W]	BREG08[B,H,W]
	00000000	00000000	00000000	00000000
0x20C	BREG0F[B,H,W]	BREG0E[B,H,W]	BREG0D[B,H,W]	BREG0C[B,H,W]
	00000000	00000000	00000000	00000000
0x210	BREG13[B,H,W]	BREG12[B,H,W]	BREG11[B,H,W]	BREG10[B,H,W]
	00000000	00000000	00000000	00000000
0x214	BREG17[B,H,W]	BREG16[B,H,W]	BREG15[B,H,W]	BREG14[B,H,W]
	00000000	00000000	00000000	00000000
0x218	BREG1B[B,H,W]	BREG1A[B,H,W]	BREG19[B,H,W]	BREG18[B,H,W]
	00000000	00000000	00000000	00000000
0x21C	BREG1F[B,H,W]	BREG1E[B,H,W]	BREG1D[B,H,W]	BREG1C[B,H,W]
	00000000	00000000	00000000	00000000
0x220	BREG23[B,H,W]	BREG22[B,H,W]	BREG21[B,H,W]	BREG20[B,H,W]
	00000000	00000000	00000000	00000000
0x224	BREG27[B,H,W]	BREG26[B,H,W]	BREG25[B,H,W]	BREG24[B,H,W]
	00000000	00000000	00000000	00000000
0x228	BREG2B[B,H,W]	BREG2A[B,H,W]	BREG29[B,H,W]	BREG28[B,H,W]
	00000000	00000000	00000000	00000000
0x22C	BREG2F[B,H,W]	BREG2E[B,H,W]	BREG2D[B,H,W]	BREG2C[B,H,W]
	00000000	00000000	00000000	00000000
0x230	BREG33[B,H,W]	BREG32[B,H,W]	BREG31[B,H,W]	BREG30[B,H,W]
	00000000	00000000	00000000	00000000
0x234	BREG37[B,H,W]	BREG36[B,H,W]	BREG35[B,H,W]	BREG34[B,H,W]
	00000000	00000000	00000000	00000000
0x238	BREG3B[B,H,W]	BREG3A[B,H,W]	BREG39[B,H,W]	BREG38[B,H,W]
	00000000	00000000	00000000	00000000
0x23C	BREG3F[B,H,W]	BREG3E[B,H,W]	BREG3D[B,H,W]	BREG3C[B,H,W]
	00000000	00000000	00000000	00000000
0x240	BREG43[B,H,W]	BREG42[B,H,W]	BREG41[B,H,W]	BREG40[B,H,W]
	00000000	00000000	00000000	00000000
0x244	BREG47[B,H,W]	BREG46[B,H,W]	BREG45[B,H,W]	BREG44[B,H,W]
	00000000	00000000	00000000	00000000
0x248	BREG4B[B,H,W]	BREG4A[B,H,W]	BREG49[B,H,W]	BREG48[B,H,W]
	00000000	00000000	00000000	00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x24C	BREG4F[B,H,W]	BREG4E[B,H,W]	BREG4D[B,H,W]	BREG4C[B,H,W]
	00000000	00000000	00000000	00000000
0x250	BREG53[B,H,W]	BREG52[B,H,W]	BREG51[B,H,W]	BREG50[B,H,W]
	00000000	00000000	00000000	00000000
0x254	BREG57[B,H,W]	BREG56[B,H,W]	BREG55[B,H,W]	BREG54[B,H,W]
	00000000	00000000	00000000	00000000
0x258	BREG5B[B,H,W]	BREG5A[B,H,W]	BREG59[B,H,W]	BREG58[B,H,W]
	00000000	00000000	00000000	00000000
0x25C	BREG5F[B,H,W]	BREG5E[B,H,W]	BREG5D[B,H,W]	BREG5C[B,H,W]
	00000000	00000000	00000000	00000000
0x260	BREG63[B,H,W]	BREG62[B,H,W]	BREG61[B,H,W]	BREG60[B,H,W]
	00000000	00000000	00000000	00000000
0x264	BREG67[B,H,W]	BREG66[B,H,W]	BREG65[B,H,W]	BREG64[B,H,W]
	00000000	00000000	00000000	00000000
0x268	BREG6B[B,H,W]	BREG6A[B,H,W]	BREG69[B,H,W]	BREG68[B,H,W]
	00000000	00000000	00000000	00000000
0x26C	BREG6F[B,H,W]	BREG6E[B,H,W]	BREG6D[B,H,W]	BREG6C[B,H,W]
	00000000	00000000	00000000	00000000
0x270	BREG73[B,H,W]	BREG72[B,H,W]	BREG71[B,H,W]	BREG70[B,H,W]
	00000000	00000000	00000000	00000000
0x274	BREG77[B,H,W]	BREG76[B,H,W]	BREG75[B,H,W]	BREG74[B,H,W]
	00000000	00000000	00000000	00000000
0x278	BREG7B[B,H,W]	BREG7A[B,H,W]	BREG79[B,H,W]	BREG78[B,H,W]
	00000000	00000000	00000000	00000000
0x27C	BREG7F[B,H,W]	BREG7E[B,H,W]	BREG7D[B,H,W]	BREG7C[B,H,W]
	00000000	00000000	00000000	00000000
0x280-0xFFC	-	-	-	-

A.1.28.3 TYPE5-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1 [B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR [B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR [B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS[B,H,W] -------0
0x024	-	WTCALEN[B,H,W] -------0	WTCAL[B,H,W] ------00 00000000	
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV[B,H,W] ----0000
0x02C	-	-	-	WTCALPRD[B,H,W], --010011
0x030	-	-	-	WTCOSEL[B,H,W], -------0
0x034-0x0FF	-	-	-	-

A.1.29 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W], --000000
0x004 – 0x0FC	-	-	-	-

A.1.30 Peripheral Clock Gating

A.1.30.1 TYPE1-M4, TYPE2-M4 製品

Peripheral Clock Gating **Base_Address : 0x4003_C100**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] -------- -------- -------0 --**--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] -------- -------- -------0 --00--00			
0x028 – 0x67C	-	-	-	-

A.1.30.2 TYPE3-M4, TYPE4-M4 製品

Peripheral Clock Gating **Base_Address : 0x4003_C100**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] ---0--11 ---1--00 -------0 -***--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] ---0--00 ---0--00 -------0 -000--00			
0x028 – 0x67C	-	-	-	-

A.1.30.3 TYPE5-M4, TYPE6-M4 製品

Peripheral Clock Gating **Base_Address : 0x4003_C100**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] ---0--11 ---1--00 1111---0 -***--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] ---0--00 ---0--00 0000---0 -000--00			
0x028 – 0x67C	-	-	-	-

A.1.31 Smart Card Interface

Smart Card Interface ch.0 Base_Address : 0x4003_C900

Smart Card Interface ch.1 Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000--00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

A.1.32 MFSI2S

MFSI2S ch.A Base_Address : 0x4003_CA00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	CNTLREG[B, H,W] -----0-0 -0000-01	
0x04	-	-	I2SCLK[B, H,W] 00------ 00000000	
0x08	-	-	I2SST[B,H,W] ------00	I2SRST[B,H,W] 00000000
0x0C- 0xFC	-	-	-	-

<注意事項>

- *TYP5-M4 製品では MFSI2S ch.A は MFS ch.1 が該当します。*

A.1.33 I2S_Prescaler

A.1.33.1 TYPE3-M4 製品

I2S_Prescaler Base_Address : 0x4003_D000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ICCR[B,H,W] -------- -------- -------- ------00			
0x004	IPCR1[B,H,W] -------- -------- -------- -------0			
0x008	IPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	IPCR3[B,H,W] -------- -------- -------- ---00001			
0x010	IPCR4[B,H,W] -------- -------- -------- -0011111			
0x014	IP_STR[B,H,W] -------- -------- -------- -------0			
0x018	IPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	IPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	IPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	IPCR5[B,H,W] -------- -------- -------- -0011000			
0x028 – 0xFFC	-	-	-	-

A.1.33.2 TYPE4-M4 製品

I2S_Prescaler Base_Address : 0x4003_D000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ICCR[B,H,W] -------- -------- -------- ------00			
0x004	IPCR1[B,H,W] -------- -------- -------- -------0			
0x008	IPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	IPCR3[B,H,W] -------- -------- -------- ---00001			
0x010	IPCR4[B,H,W] -------- -------- -------- -0011111			
0x014	IP_STR[B,H,W] -------- -------- -------- -------0			
0x018	IPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	IPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	IPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	IPCR5[B,H,W] -------- -------- -------- -0011000			
0x028 – 0x02C	-	-	-	-
0x030	ICCR_1[B,H,W] -------- -------- -------- -----000			
0x034	IPCR5_1[B,H,W] -------- -------- -------- -0000000			
0x038 – 0xFFC	-	-	-	-

A.1.34 GDC_Prescaler

GDC_Prescaler Base_Address : 0x4003_D100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	GCCR[B,H,W] -------- -------- -------- -------0			
0x004	GPCR1[B,H,W] -------- -------- -------- ------00			
0x008	GPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	GPCR3 [B,H,W] -------- -------- -------- ---00000			
0x010	GPCR4 [B,H,W] -------- -------- -------- -0000000			
0x014	GP_STR[B,H,W] -------- -------- -------- -------0			
0x018	GPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	GPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	GPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	-	-	-	-
0x028	GCSR[B,H,W] -------- -------- ---0---0 ---0--00			
0x02C	GRCR[B,H,W] -------- -------- -------- -------0			
0x030	GMCR[B,H,W] -------- -------- -------- -------0			
0x034- 0xFFC	-	-	-	-

<注意事項>

- *GDC 部のレジスタの詳細は『GDC 編』を参照してください。*

A.1.35 EXT-Bus I/F

A.1.35.1 TYPE1-M4 製品

EXT-Bus I/F Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	MODE0[W] -------- -------- --000-00 00000000			
0x0004	MODE1[W] -------- -------- --000-00 00000000			
0x0008	MODE2[W] -------- -------- --000-00 00000000			
0x000C	MODE3[W] -------- -------- --000-00 00000000			
0x0010	MODE4[W] -------- -------- --000-00 00000001			
0x0014	MODE5[W] -------- -------- --000-00 00000000			
0x0018	MODE6[W] -------- -------- --000-00 00000000			
0x001C	MODE7[W] -------- -------- --000-00 00000000			
0x0020	TIM0[W] 00000101 01011111 11110000 00001111			
0x0024	TIM1[W] 00000101 01011111 11110000 00001111			
0x0028	TIM2[W] 00000101 01011111 11110000 00001111			
0x002C	TIM3[W] 00000101 01011111 11110000 00001111			
0x0030	TIM4[W] 00000101 01011111 11110000 00001111			
0x0034	TIM5[W] 00000101 01011111 11110000 00001111			
0x0038	TIM6[W] 00000101 01011111 11110000 00001111			
0x003C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	AREA0[W] -------- -0001111 -------- 00000000			
0x0044	AREA1[W] -------- -0001111 -------- 00010000			
0x0048	AREA2[W] -------- -0001111 -------- 00100000			
0x004C	AREA3[W] -------- -0001111 -------- 00110000			
0x0050	AREA4[W] -------- -0001111 -------- 01000000			
0x0054	AREA5[W] -------- -0001111 -------- 01010000			
0x0058	AREA6[W] -------- -0001111 -------- 01100000			
0x005C	AREA7[W] -------- -0001111 -------- 01110000			
0x0060	ATIM0[W] -------- -------- ----0100 01011111			
0x0064	ATIM1[W] -------- -------- ----0100 01011111			
0x0068	ATIM2[W] -------- -------- ----0100 01011111			
0x006C	ATIM3[W] -------- -------- ----0100 01011111			
0x0070	ATIM4[W] -------- -------- ----0100 01011111			
0x0074	ATIM5[W] -------- -------- ----0100 01011111			
0x0078	ATIM6[W] -------- -------- ----0100 01011111			
0x007C	ATIM7[W] -------- -------- ----0100 01011111			
0x0080 - 0x00FC	-	-	-	-
0x0100	SDMODE[W] -------- -------0 00010011 --00-000			
0x0104	REFTIM[W] -------0 00000000 0000000000110011			
0x0108	PWRDWN[W] -------- -------- 00000000 00000000			
0x010C	SDTIM[W] ------00 01000010 00010001 0100--01			
0x0110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x0114 - 0x01FC	-	-	-	-

Base_Address + Address	Register			
	+3	+ 2	+1	+ 0
0x0200	MEMCERR[W] -------- -------- -------- ----0000			
0x0204 – 0x02FC	-	-	-	-
0x0300	DCLKR[W] -------- -------- -------- ---01111			
0x0304	EST -------- -------- -------- -------0			
0x0308	WEAD 00000000 00000000 000000000 00000000			
0x030C	ESCLR[W] -------- -------- -------- -------1			
0x0310	AMODE[W] -------- -------- -------- -------1			
0x031C - 0x0EFC	-	-	-	-
0x0F00 – 0x0F14	*	*	*	*
0x0F18 – 0x0FFC	-	-	-	-

A.1.35.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

EXT-Bus I/F　　Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	MODE0[W] -------- -------- --000-00 00000000			
0x0004	MODE1[W] -------- -------- --000-00 00000000			
0x0008	MODE2[W] -------- -------- --000-00 00000000			
0x000C	MODE3[W] -------- -------- --000-00 00000000			
0x0010	MODE4[W] -------- -------- --000-00 00000001			
0x0014	MODE5[W] -------- -------- --000-00 00000000			
0x0018	MODE6[W] -------- -------- --000-00 00000000			
0x001C	MODE7[W] -------- -------- --000-00 00000000			
0x0020	TIM0[W] 00000101 01011111 11110000 00001111			
0x0024	TIM1[W] 00000101 01011111 11110000 00001111			
0x0028	TIM2[W] 00000101 01011111 11110000 00001111			
0x002C	TIM3[W] 00000101 01011111 11110000 00001111			
0x0030	TIM4[W] 00000101 01011111 11110000 00001111			
0x0034	TIM5[W] 00000101 01011111 11110000 00001111			
0x0038	TIM6[W] 00000101 01011111 11110000 00001111			
0x003C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	AREA0[W] -------- -0001111 -------- 00000000			
0x0044	AREA1[W] -------- -0001111 -------- 00010000			
0x0048	AREA2[W] -------- -0001111 -------- 00100000			
0x004C	AREA3[W] -------- -0001111 -------- 00110000			
0x0050	AREA4[W] -------- -0001111 -------- 01000000			
0x0054	AREA5[W] -------- -0001111 -------- 01010000			
0x0058	AREA6[W] -------- -0001111 -------- 01100000			
0x005C	AREA7[W] -------- -0001111 -------- 01110000			
0x0060	ATIM0[W] -------- -------- ----0100 01011111			
0x0064	ATIM1[W] -------- -------- ----0100 01011111			
0x0068	ATIM2[W] -------- -------- ----0100 01011111			
0x006C	ATIM3[W] -------- -------- ----0100 01011111			
0x0070	ATIM4[W] -------- -------- ----0100 01011111			
0x0074	ATIM5[W] -------- -------- ----0100 01011111			
0x0078	ATIM6[W] -------- -------- ----0100 01011111			
0x007C	ATIM7[W] -------- -------- ----0100 01011111			
0x0080 - 0x00FC	-	-	-	-
0x0100	SDMODE[W] -------- -------0 00010011 --00-000			
0x0104	REFTIM[W] -------0 00000000 0000000000110011			
0x0108	PWRDWN[W] -------- -------- 00000000 00000000			
0x010C	SDTIM[W] 0-----00 01000010 00010001 0100--01			
0x0110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x0114 - 0x01FC	-	-	-	-

Base_Address + Address	Register			
	+3	+ 2	+1	+ 0
0x0200	MEMCERR[W] -------- -------- -------- ----0000			
0x0204 – 0x02FC	-	-	-	-
0x0300	DCLKR[W] -------- -------- -------- ---01111			
0x0304	EST -------- -------- -------- -------0			
0x0308	WEAD 00000000 00000000 000000000 00000000			
0x030C	ESCLR[W] -------- -------- -------- -------1			
0x0310	AMODE[W] -------- -------- -------- -------1			
0x031C - 0x0EFC	-	-	-	-
0x0F00 – 0x0F14	*	*	*	*
0x0F18 – 0x0FFC	-	-	-	-

A.1.36 USB

USB ch.0 Base_Address : 0x4004_0000

USB ch.1 Base_Address : 0x4005_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 100--00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 - 0x217C	-	-	-	-

A.1.37 DMAC

DMAC Base_Address : 0x4006_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	DMACR[B,H,W] 00-00000 -------- -------- --------			
0x0010	DMACA0[B,H,W] 00000000 0---0000 00000000 00000000			
0x0014	DMACB0[B,H,W] --000000 00000000 00000000 -------0			
0x0018	DMACSA0[B,H,W] 00000000 00000000 00000000 00000000			
0x001C	DMACDA0[B,H,W] 00000000 00000000 00000000 00000000			
0x0020	DMACA1[B,H,W] 00000000 0---0000 00000000 00000000			
0x0024	DMACB1[B,H,W] --000000 00000000 00000000 -------0			
0x0028	DMACSA1[B,H,W] 00000000 00000000 00000000 00000000			
0x002C	DMACDA1[B,H,W] 00000000 00000000 00000000 00000000			
0x0030	DMACA2[B,H,W] 00000000 0---0000 00000000 00000000			
0x0034	DMACB2[B,H,W] --000000 00000000 00000000 -------0			
0x0038	DMACSA2[B,H,W] 00000000 00000000 00000000 00000000			
0x003C	DMACDA2[B,H,W] 00000000 00000000 00000000 00000000			
0x0040	DMACA3[B,H,W] 00000000 0---0000 00000000 00000000			
0x0044	DMACB3[B,H,W] --000000 00000000 00000000 -------0			
0x0048	DMACSA3[B,H,W] 00000000 00000000 00000000 00000000			
0x004C	DMACDA3[B,H,W] 00000000 00000000 00000000 00000000			
0x0050	DMACA4[B,H,W] 00000000 0---0000 00000000 00000000			
0x0054	DMACB4[B,H,W] --000000 00000000 00000000 -------0			
0x0058	DMACSA4[B,H,W] 00000000 00000000 00000000 00000000			
0x005C	DMACDA4[B,H,W] 00000000 00000000 00000000 00000000			
0x0060	DMACA5[B,H,W] 00000000 0---0000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0064	DMACB5[B,H,W] --000000 00000000 00000000 -------0			
0x0068	DMACSA5[B,H,W] 00000000 00000000 00000000 00000000			
0x006C	DMACDA5[B,H,W] 00000000 00000000 00000000 00000000			
0x0070	DMACA6[B,H,W] 00000000 0---0000 00000000 00000000			
0x0074	DMACB6[B,H,W] --000000 00000000 00000000 -------0			
0x0078	DMACSA6[B,H,W] 00000000 00000000 00000000 00000000			
0x007C	DMACDA6[B,H,W] 00000000 00000000 00000000 00000000			
0x0080	DMACA7[B,H,W] 00000000 0---0000 00000000 00000000			
0x0084	DMACB7[B,H,W] --000000 00000000 00000000 -------0			
0x0088	DMACSA7[B,H,W] 00000000 00000000 00000000 00000000			
0x008C	DMACDA7[B,H,W] 00000000 00000000 00000000 00000000			
0x0090 - 0x00FC	-	-	-	-

A.1.38 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x0004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x0008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x000C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x0010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0018	DREQENB[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x001C	DREQENB[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0020	DREQENB[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0024	DREQENB[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0028	DREQENB[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x002C	DREQENB[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x0030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0038	HWINT[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x003C	HWINT[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0040	HWINT[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0044	HWINT[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0048	HWINT[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x004C	HWINT[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x0050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0058	HWINTCLR[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x005C	HWINTCLR[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x060	HWINTCLR[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x064	HWINTCLR[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x068	HWINTCLR[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HWINTCLR[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078	DQMSK[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x07C	DQMSK[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x080	DQMSK[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x084	DQMSK[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x088	DQMSK[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x08C	DQMSK[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098	DQMSKCLR[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x09C	DQMSKCLR[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	DQMSKCLR[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	DQMSKCLR[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	DQMSKCLR[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x0AC	DQMSKCLR[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x00B0 - 0x0FFC	-	-	-	-

A.1.39 CAN

CAN ch.0 Base_Address : 0x4006_2000

CAN ch.1 Base_Address : 0x4006_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	STATR[B,H,W] -------- 00000000		CTRLR[B,H,W] -------- 000-0001	
0x0004	BTR[B,H,W] -0100011 00000001		ERRCNT[B,H,W] 00000000 00000000	
0x0008	TESTR[B,H,W] -------- X00000--		INTR[B,H,W] 00000000 00000000	
0x000C	-	-	BRPER[B,H,W] -------- ----0000	
0x0010	IF1CMSK[B,H,W] -------- 00000000		IF1CREQ[B,H,W] 0------- 00000001	
0x0014	IF1MSK2[B,H,W] 11-11111 11111111		IF1MSK1[B,H,W] 11111111 11111111	
0x0018	IF1ARB2[B,H,W] 00000000 00000000		IF1ARB1[B,H,W] 00000000 00000000	
0x001C	-	-	IF1MCTR[B,H,W] 00000000 0---0000	
0x0020	IF1DTA2[B,H,W] 00000000 00000000		IF1DTA1[B,H,W] 00000000 00000000	
0x0024	IF1DTB2[B,H,W] 00000000 00000000		IF1DTB1[B,H,W] 00000000 00000000	
0x0028 - 0x002F	-	-	-	-
0x0030	IF1DTA1[B,H,W] 00000000 00000000		IF1DTA2[B,H,W] 00000000 00000000	
0x0034	IF1DTB1[B,H,W] 00000000 00000000		IF1DTB2[B,H,W] 00000000 00000000	
0x0038 - 0x003C	-	-	-	-
0x0040	IF2CMSK[B,H,W] -------- 00000000		IF2CREQ[B,H,W] 0------- 00000001	
0x0044	IF2MSK2[B,H,W] 11-11111 11111111		IF2MSK1[B,H,W] 11111111 11111111	
0x0048	IF2ARB2[B,H,W] 00000000 00000000		IF2ARB1[B,H,W] 00000000 00000000	
0x004C	-	-	IF2MCTR[B,H,W] 00000000 0---0000	
0x0050	IF2DTA2[B,H,W] 00000000 00000000		IF2DTA1[B,H,W] 00000000 00000000	
0x0054	IF2DTB2[B,H,W] 00000000 00000000		IF2DTB1[B,H,W] 00000000 00000000	
0x0058 - 0x005C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0060	IF2DTA1[B,H,W] 00000000 00000000		IF2DTA2[B,H,W] 00000000 00000000	
0x0064	IF2DTB1[B,H,W] 00000000 00000000		IF2DTB2[B,H,W] 00000000 00000000	
0x0068 - 0x007C	-	-	-	-
0x0080	TREQR2[B,H,W] 00000000 00000000		TREQR1[B,H,W] 00000000 00000000	
0x0084 - 0x008F	-	-	-	-
0x0090	NEWDT2[B,H,W] 00000000 00000000		NEWDT1[B,H,W] 00000000 00000000	
0x0094 - 0x009F	-	-	-	-
0x00A0	INTPND2[B,H,W] 00000000 00000000		INTPND1[B,H,W] 00000000 00000000	
0x00A4 - 0x00AF	-	-	-	-
0x00B0	MSGVAL2[B,H,W] 00000000 00000000		MSGVAL1[B,H,W] 00000000 00000000	
0x00B4 - 0x0FFC	-	-	-	-

A.1.40 Ethernet-MAC

Ethernet-MAC Base_Address : 0x4006_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000 – 0x1FFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

<注意事項>

- *Ethernet-MAC 部のレジスタの詳細は『Ethernet 編 CHAPTER2:Ethernet-MAC 4. レジスタ』を参照してください。*

A.1.41 Ethernet-Control

Ethernet-Control Base_Address : 0x4006_6000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0xFFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

<注意事項>

- *Ethernet-Control 部のレジスタの詳細は『Ethernet 編 CHAPTER1:Ethernet 4. Ethernet システム制御レジスタ』を参照してください。*

A.1.42 I2S

I2S ch.0 Base_Address : 0x4006_C000

I2S ch.1 Base_Address : 0x4006_C800

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	RXFDAT[B,H,W] 00000000 00000000 00000000 00000000			
0x004	TXFDAT[B,H,W] 00000000 00000000 00000000 00000000			
0x008	CNTREG[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	MCR0REG[B,H,W] -0000000 00000000 -0000000 00000000			
0x010	MCR1REG[B,H,W] 00000000 00000000 00000000 00000000			
0x014	MCR2REG[B,H,W] 00000000 00000000 00000000 00000000			
0x018	OPRREG[B,H,W] -------0 -------0 -------- -------0			
0x01C	SRST[B,H,W] -------- -------- -------- -------0			
0x020	INTCNT[B,H,W] -1111111 --111111 ----0000 --000000			
0x024	STATUS[B,H,W] 00000000 ----0000 00000000 00000000			
0x028	DMAACT[B,H,W] -------0 -------0 -------0 -------0			
0x02C	TSTREG[B,H,W] -------- -------- -------- -------0			
0x030 - 0xFFC	-	-	-	-

A.1.43 SD-Card

SD-Card Base_Address : 0x4006_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 – 0xFFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

<注意事項>

- *SD-Card 部のレジスタの詳細は『本編 CHAPTER:SD カードインタフェース 2.レジスター覧』を参照してください。*

A.1.44 CAN FD

CAN FD Base_Address : 0x4007_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CREL[B,H,W] 00110000 00010011 00000101 0000110			
0x004	ENDN[B,H,W] 10000111 01100101 01000011 00100001			
0x008	-	-	-	-
0x00C	FBTP[B,H,W] ---00000 0--00000 ----1010 -011--11			
0x010	TEST[B,H,W] -------- -------- --000000 X000----			
0x014	RWD[B,H,W] -------- -------- 00000000 00000000			
0x018	CCCR[B,H,W] -------- -------- -0000000 00000001			
0x01C	BTP[B,H,W] ------00 00000000 --001010 00110011			
0x020	TSCC[B,H,W] -------- ----0000 -------- ------00			
0x024	TSCV[B,H,W] -------- -------- 00000000 00000000			
0x028	TOCC[B,H,W] 11111111 11111111 -------- -----000			
0x02C	TOCV[B,H,W] -------- -------- 11111111 11111111			
0x030 - 0x03C	-	-	-	-
0x040	ECR[B,H,W] -------- 00000000 00000000 00000000			
0x044	PSR[B,H,W] -------- -------- --000111 00000111			
0x048 - 0x04C	-	-	-	-
0x050	IR[B,H,W] 00000000 00000000 00000000 00000000			
0x054	IE[B,H,W] 00000000 00000000 00000000 00000000			
0x058	ILS[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	ILE[B,H,W] -------- -------- -------- ------00			
0x060 - 0x07C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x080	GFC[B,H,W] -------- -------- -------- --000000			
0x084	SIDFC[B,H,W] -------- 00000000 00000000 000000--			
0x088	XIDFC[B,H,W] -------- -0000000 00000000 000000--			
0x08C	-	-	-	-
0x090	XIDAM[B,H,W] ---11111 11111111 11111111 11111111			
0x094	HPMS[B,H,W] -------- -------- 00000000 00000000			
0x098	NDAT1[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	NDAT2[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	RXF0C[B,H,W] 00000000 -0000000 00000000 000000--			
0x0A4	RXF0S[B,H,W] ------00 --000000 --000000 -0000000			
0x0A8	RXF0A[B,H,W] -------- -------- -------- --000000			
0x0AC	RXBC[B,H,W] -------- -------- 00000000 000000--			
0x0B0	RXF1C[B,H,W] 00000000 -0000000 00000000 000000--			
0x0B4	RXF1S[B,H,W] 00----00 --000000 --000000 -0000000			
0x0B8	RXF1A[B,H,W] -------- -------- -------- --000000			
0x0BC	RXESC[B,H,W] -------- -------- -----000 -000-000			
0x0C0	TXBC[B,H,W] -0000000 --000000 00000000 000000--			
0x0C4	TXFQS[B,H,W] -------- --000000 ---00000 –000000			
0x0C8	TXESC[B,H,W] -------- -------- -------- -----000			
0x0CC	TXBRP[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	TXBAR[B,H,W] 00000000 00000000 00000000 00000000			
0x0D4	TXBCR[B,H,W] 00000000 00000000 00000000 00000000			
0x0D8	TXBTO[B,H,W] 00000000 00000000 00000000 00000000			
0x0DC	TXBCF[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0E0	TXBTIE[B,H,W] 00000000 00000000 00000000 00000000			
0x0E4	TXBCIE[B,H,W] 00000000 00000000 00000000 00000000			
0x0E8 - 0x0EC	-	-	-	-
0x0F0	TXEFC[B,H,W] --000000 --000000 00000000 000000--			
0x0F4	TXEFS[B,H,W] ------00 ---00000 ---00000 --000000			
0x0F8	TXEFA[B,H,W] -------- -------- -------- ---00000			
0x0FC - 0x1FC	-	-	-	-
0x200	FDSEAR[B,H,W] 00000000 00000000		FDESR[B,H,W] ------00	FDECR[B,H,W] ----0000
0x204	FDDEAR[B,H,W] 00000000 00000000		FDESCR[B,H,W] ------00	-
0x208 – 0x20C				
0x210	TSMDR[B,H,W] -------- -------0		TSCNTR[B,H,W] -------- -------0	
0x214	TSDIVR[B,H,W] -------- -------- 00000000 00000000			
0x218	TSCPCLR[B,H,W] 00000000 00000000		TSCDTR[B,H,W] 00000000 00000000	
0x21C - 0xFFC	-	-	-	-

CAN FD Message RAM

Base_Address + Address	Message RAM			
	+3	+2	+1	+0
0x8000 - 0xBFFC	**Rx Buffer and FIFO Element [W]** **Tx Buffer Element [W]** **Tx Event FIFO Element [W]** **Standard Message ID Filter Element [W]** **Extended Message ID Filter Element [W]**			

<注意事項>

- *メッセージRAMの詳細は『通信マクロ編 CHAPTER 5-3: CAN FDコントローラ 6.メッセージRAM』を参照してください。*

A.1.45 Programmable-CRC

Programmable-CRC Base_Address : 0x4008_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CRCn_PORY[B,H,W] 00000100 11000001 00011101 10110111			
0x004	CRCn_SEED[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCn_FXOR[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	CRCn_CFG[B,H,W] 00000000 11100000 00000000 00000000			
0x010	CRCn_WR[B,H,W] 00000000 00000000 00000000 00000000			
0x014	CRCn_RD[B,H,W] 00000000 00000000 00000000 00000000			
0x018 - 0xFFC	-	-	-	-

A.1.46 WorkFlash_IF

WorkFlash_IF Base_Address : 0x200E_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WFASZR[B,H,W]			
0x004	WFRWTR[B,H,W]			
0x008	WFSTR[B,H,W]			
0x00C - 0xFFF	-	-	-	-

<注意事項>

- *WorkFlash_IF 部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

A.1.47 High-Speed Quad SPI Controller

A.1.47.1 TYPE3-M4 製品

High-Speed Quad SPI Controller Base_Address : 0xD000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	HSSPIn_MCTRL[B,H,W] -------- -------- -------- --000-00			
0x004	HSSPIn_PCC0[B,H,W] -------- -1111111 00000000 00000000			
0x008	HSSPIn_PCC1[B,H,W] -------- -1111111 00000000 00000000			
0x00C	HSSPIn_PCC2[B,H,W] -------- -1111111 00000000 00000000			
0x010	HSSPIn_PCC3[B,H,W] -------- -1111111 00000000 00000000			
0x014	HSSPIn_TXF[B,H,W] -------- -------- -------- -0000000			
0x018	HSSPIn_TXE[B,H,W] -------- -------- -------- -0000000			
0x01C	HSSPIn_TXC[B,H,W] -------- -------- -------- -0000000			
0x020	HSSPIn_RXF[B,H,W] -------- -------- -------- -0000000			
0x024	HSSPIn_RXE[B,H,W] -------- -------- -------- -0000000			
0x028	HSSPIn_RXC[B,H,W] -------- -------- -------- -0000000			
0x02C	HSSPIn_FAULTF[B,H,W] -------- -------- -------- ---00000			
0x030	HSSPIn_FAULTC[B,H,W] -------- -------- -------- ---00000			
0x034	-	-	HSSPIn_DMDMAEN [B,H,W] ------00	HSSPIn_DMCFG [B,H,W] -----001
0x038	HSSPIn_DMTRP [B,H,W] ----0000	HSSPIn_DMPSEL [B,H,W] ------00	HSSPIn_DMSTOP [B,H,W] -------0	HSSPIn_DMSTART [B,H,W] -------0
0x03C	HSSPIn_DMBCS[B,H,W] 00000000 00000000		HSSPIn_DMBCC[B,H,W] 00000000 00000000	
0x040	HSSPIn_DMSTATUS[B,H,W] -------- ---00000 ---00000 ------00			
0x044	-	-	-	-
0x048	-	-	-	-
0x04C	HSSPIn_FIFOCFG[B,H,W] --------_--------_---00000_01110111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	HSSPIn_TXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x054	HSSPIn_TXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x058	HSSPIn_TXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	HSSPIn_TXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x060	HSSPIn_TXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x064	HSSPIn_TXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x068	HSSPIn_TXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HSSPIn_TXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x070	HSSPIn_TXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x074	HSSPIn_TXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x078	HSSPIn_TXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	HSSPIn_TXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x080	HSSPIn_TXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x084	HSSPIn_TXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x088	HSSPIn_TXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	HSSPIn_TXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x090	HSSPIn_RXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x094	HSSPIn_RXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x098	HSSPIn_RXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	HSSPIn_RXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	HSSPIn_RXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	HSSPIn_RXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	HSSPIn_RXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			
0x0AC	HSSPIn_RXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0B0	HSSPIn_RXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x0B4	HSSPIn_RXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x0B8	HSSPIn_RXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x0BC	HSSPIn_RXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x0C0	HSSPIn_RXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x0C4	HSSPIn_RXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x0C8	HSSPIn_RXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x0CC	HSSPIn_RXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	HSSPIn_CSCFG[B,H,W] -------- ----0000 ----0000 --000000			
0x0D4	HSSPIn_CSITIME[B,H,W] -------- -------- 11111111 11111111			
0x0D8	HSSPIn_CSAEXT[B,H,W] 00000000 00000000 000----- --------			
0x0DC	HSSPIn_RDCSDC1[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC0[B,H,W] 00000000 ----0000	
0x0E0	HSSPIn_RDCSDC3[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC2[B,H,W] 00000000 ----0000	
0x0E4	HSSPIn_RDCSDC5[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC4[B,H,W] 00000000 ----0000	
0x0E8	HSSPIn_RDCSDC7[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC6[B,H,W] 00000000 ----0000	
0x0EC	HSSPIn_WRCSDC1[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC0[B,H,W] 00000000 ----0000	
0x0F0	HSSPIn_WRCSDC3[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC2[B,H,W] 00000000 ----0000	
0x0F4	HSSPIn_WRCSDC5[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC4[B,H,W] 00000000 ----0000	
0x0F8	HSSPIn_WRCSDC7[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC6[B,H,W] 00000000 ----0000	
0x0FC	HSSPIn_MID[B,H,W] 00000000 00000000 00000110 00110000			
0x100 - 0x3FC	-	-	-	-
0x400	-	-	-	QDCLKR[B,H,W] ----1111
0x404	-	-	-	DBCNT[B,H,W] ------00
0x408 - 0xFFC	-	-	-	-

A.1.47.2 TYPE4-M4 製品

High-Speed Quad SPI Controller Base_Address : 0xD0A0_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	HSSPIn_MCTRL[B,H,W] -------- -------- -------- --000-00			
0x004	HSSPIn_PCC0[B,H,W] -------- -1111111 00000000 00000000			
0x008	HSSPIn_PCC1[B,H,W] -------- -1111111 00000000 00000000			
0x00C	HSSPIn_PCC2[B,H,W] -------- -1111111 00000000 00000000			
0x010	HSSPIn_PCC3[B,H,W] -------- -1111111 00000000 00000000			
0x014	HSSPIn_TXF[B,H,W] -------- -------- -------- -0000000			
0x018	HSSPIn_TXE[B,H,W] -------- -------- -------- -0000000			
0x01C	HSSPIn_TXC[B,H,W] -------- -------- -------- -0000000			
0x020	HSSPIn_RXF[B,H,W] -------- -------- -------- -0000000			
0x024	HSSPIn_RXE[B,H,W] -------- -------- -------- -0000000			
0x028	HSSPIn_RXC[B,H,W] -------- -------- -------- -0000000			
0x02C	HSSPIn_FAULTF[B,H,W] -------- -------- -------- ---00000			
0x030	HSSPIn_FAULTC[B,H,W] -------- -------- -------- ---00000			
0x034	-	-	HSSPIn_DMDMAEN [B,H,W] ------00	HSSPIn_DMCFG [B,H,W] -----001
0x038	HSSPIn_DMTRP [B,H,W] ----0000	HSSPIn_DMPSEL [B,H,W] ------00	HSSPIn_DMSTOP [B,H,W] -------0	HSSPIn_DMSTART [B,H,W] -------0
0x03C	HSSPIn_DMBCS[B,H,W] 00000000 00000000		HSSPIn_DMBCC[B,H,W] 00000000 00000000	
0x040	HSSPIn_DMSTATUS[B,H,W] -------- ---00000 ---00000 ------00			
0x044	-	-	-	-
0x048	-	-	-	-
0x04C	HSSPIn_FIFOCFG[B,H,W] --------_--------_---00000_01110111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	HSSPIn_TXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x054	HSSPIn_TXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x058	HSSPIn_TXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	HSSPIn_TXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x060	HSSPIn_TXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x064	HSSPIn_TXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x068	HSSPIn_TXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HSSPIn_TXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x070	HSSPIn_TXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x074	HSSPIn_TXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x078	HSSPIn_TXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	HSSPIn_TXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x080	HSSPIn_TXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x084	HSSPIn_TXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x088	HSSPIn_TXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	HSSPIn_TXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x090	HSSPIn_RXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x094	HSSPIn_RXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x098	HSSPIn_RXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	HSSPIn_RXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	HSSPIn_RXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	HSSPIn_RXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	HSSPIn_RXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0AC	HSSPIn_RXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x0B0	HSSPIn_RXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x0B4	HSSPIn_RXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x0B8	HSSPIn_RXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x0BC	HSSPIn_RXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x0C0	HSSPIn_RXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x0C4	HSSPIn_RXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x0C8	HSSPIn_RXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x0CC	HSSPIn_RXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	HSSPIn_CSCFG[B,H,W] -------- ----0000 ----0000 --000000			
0x0D4	HSSPIn_CSITIME[B,H,W] -------- -------- 11111111 11111111			
0x0D8	HSSPIn_CSAEXT[B,H,W] 00000000 00000000 000----- --------			
0x0DC	HSSPIn_RDCSDC1[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC0[B,H,W] 00000000 ----0000	
0x0E0	HSSPIn_RDCSDC3[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC2[B,H,W] 00000000 ----0000	
0x0E4	HSSPIn_RDCSDC5[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC4[B,H,W] 00000000 ----0000	
0x0E8	HSSPIn_RDCSDC7[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC6[B,H,W] 00000000 ----0000	
0x0EC	HSSPIn_WRCSDC1[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC0[B,H,W] 00000000 ----0000	
0x0F0	HSSPIn_WRCSDC3[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC2[B,H,W] 00000000 ----0000	
0x0F4	HSSPIn_WRCSDC5[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC4[B,H,W] 00000000 ----0000	
0x0F8	HSSPIn_WRCSDC7[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC6[B,H,W] 00000000 ----0000	
0x0FC	HSSPIn_MID[B,H,W] 00000000 00000000 00000110 00110000			
0x100 - 0x3FC	-	-	-	-
0x400	-	-	-	QDCLKR[B,H,W] ----1111
0x404	-	-	-	DBCNT[B,H,W] ------00
0x408 - 0xFFC	-	-	-	-

A.1.48 HyperBus Interface

HyperBus Interface Base_Address : 0xD0A0_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CSR[B,H,W] -----000 -------0 ----0000 -------0			
0x004	IEN[B,H,W] 0------- -------- -------- -------0			
0x008	ISR[B,H,W] -------- -------- -------- -------0			
0x024	-	-	-	-
0x010	MBR0[B,H,W] 00000000 00000000 00000000 00000000			
0x014	MBR1[B,H,W] 00000000 00000000 00000000 00000000			
0x018	MCR0[B,H,W] -------- ------00 -------- --00--11			
0x01C	MCR1[B,H,W] -------- ------00 -------- --00--11			
0x020	MTR0[B,H,W] 00000000 00000000 00000000 ----0000			
0x024	MTR1[B,H,W] 00000000 00000000 00000000 ----0000			
0x028	GPOR[B,H,W] -------- -------- -------- ------00			
0x02C	WPR[B,H,W] -------- -------- -------- -------0			
0x030	TEST[B,H,W] -------- -------- -------- -------0			
0x034- 0xFFC	-	-	-	-

A.1.49 GDC Sub System Controller

GDC Sub System Controller Base_Address : 0xD0A0_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	LockUnlock[W] 00000000 00000000 00000000 00000000			
0x004	LockStatus[W] -------- -------- -------0 ---0---0			
0x008	*[W]			
0x00C	CnfigClockControl[W] -------- -------- -------- -----001			
0x010	VramInterruptEnable[W] -------- -------- -------- ------11			
0x014	*[W]			
0x018	VramInterruptClear[W] -------- -------- -------- ------00			
0x01C	VramInterruptStatus[W] -------- -------- -------- ------00			
0x020	ExtFlashDevSelect[W] -------- -------- -------- -------1			
0x024	VramRemapDisable[W] -------- -------- -------- -------0			
0x028	PanicSwitch[W] -------- -------- -------- -------1			
0x02C	GDC_ClockDivider[W] -------- -----100 00000000 --------			
0x030	WkupTriggerMask[W] -----000 -----000 00000000 00000000			
0x034	ClockDomainStatus[W] -------- -------- -------- ----0000			
0x038	-			
0x03C	-			
0x040	dsp_LockUnlock[W] 00000000 00000000 00000000 00000000			
0x044	dsp_LockStatus[W] -------- -------- -------0 ---0---0			
0x048	dsp0_ClockDivider[W] -------- 01000001 11100000 --------			
0x04C	dsp0_DomainControl[W] -------- -------1 -------- -------0			
0x050	dsp0_ClockShift[W] -------- -------- -------- -------1			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x054	*[W]			
0x058	dsp0_PowerEnControl[W] -------- -------- -------- -------0			
0x05C	dsp0_ClockGateModeLock[W] 00000000 00000000 00000000 00000000			
0x060	dsp0_ClockGateControl[W] -------- -------- -------- -------0			
0x064	-			
0x068	-			
0x06C	-			
0x070	-			
0x074	-			
0x078	SDRAMC_ClcokDivider[W] -------- 00000100 00000000 --------			
0x07C	SDRAMC_DomainControl[W] -------- -------1 -------- -------0			
0x080	HSSPIC_ClockDivider[W] -------- 00000100 00000000 --------			
0x084	HSSPIC_DomainControl[W] -------- -------1 -------- -------0			
0x088	RPCC_ClcokDivider[W] -------- -------- -------- -----000			
0x08C	RPCC_DomainControl[W] -------- -------1 -------- -------0			
0x090	-			
0x094	-			
0x098	-			
0x09C	-			
0x100	vram_LockUnlock[W] 00000000 00000000 00000000 00000000			
0x104	vram_LockStatus[W] -------- -------- -------0 ---0---0			
0x108	vram_sram_select[W] -------- -------- ----0000 00000000			
0x10C	*[W]			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x110	*[W]			
0x114	*[W]			
0x118	*[W]			
0x11C	*[W]			
0x120	*[W]			
0x124	*[W]			
0x128	*[W]			
0x12C	-			
0x130	-			
0x134	-			
0x138	-			
0x13C	vram_sberraddr_s0[W] 00000000 00000000 0000000 00000000			
0x140	vram_sberraddr_s1[W] 00000000 00000000 0000000 00000000			
0x144	-			
0x148	vram_arbiter_priority[W] -------- -------- -------- 00000000			
0x14C-0xFFC	-			

A.1.50 GDC Sub System SDRAM Controller

GDC Sub System SDRAM Controller Base_Address : 0xD0A0_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000-0x0FF	-			
0x100	SDMODE[W] -------- -------0 00010011 --00-000			
0x104	REFTIM[W] -------0 00000000 0000000000110011			
0x108	PWRDWN[W] -------- -------- 00000000 00000000			
0x10C	SDTIM[W] 0-----00 01000010 00010001 0100--01			
0x110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x114-0xFFC	-			

B. 注意事項一覧

各機能仕様の注意事項について示します。

B.1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

B.1 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。

また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/ PCLK0/PCLK1/PCLK2/ TPIUCLK	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB	―	各規格で規定されている周波数精度を満たせないため、使用できません。
Ethernet-MAC		
CAN		
CAN-FD		
I^2S		
マルチファンクションシリアル インタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートからさらに誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	I^2C	
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートからさらに誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
デバッグ インタフェース	シリアルワイヤ	高速 CR クロックの周波数変動により、SWV(シリアルワイヤビュー)が使用できない場合があります。
外部バス インタフェース	クロック出力	外バスクロック出力を使用する場合、接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
High-Speed Quad SPI	―	接続先デバイスは高速CRクロックの周波数変動の影響を考慮してください。
SD カード インタフェース	―	接続先デバイスは高速CRクロックの周波数変動の影響を考慮してください。
GDC 部	Panel 出力 High-Speed Quad SPI HyperBus Interface SDRAM-Interface	接続先デバイスは高速CRクロックの周波数変動の影響を考慮してください。

C. 主な変更内容

Spansion Publication Number: MN709-00014

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

改訂履歴

文書名: 32 ビット・マイクロコントローラ FM4 ファミリ Peripheral Manual GDC 編 文書番号: 002-04961			
版	**ECN 番号**	**変更者**	**変更内容**
**	-	TOYO	サイプレスとしてドキュメントコード 002-04961 に登録しました。 本版の内容およびフォーマットに変更はありません。 (これは英語版の 002-04917 Rev.**を翻訳した日本語版です。)
*A	5318674	KYSA	これは英語版 002-04917 Rev.*A の日本語版です。 社名変更と記述フォーマットの変換 Appendixes - A.レジスタマップ - 1.レジスタマップ - "1.11 IO Selector for Base Timer"で"Software-based Simulation Startup(Base Timer)"を"Software-based Simultaneous Startup(Base Timer)"に変更 (Page 142) - "1.14 A/DC"で SCFD bit12 の初期値を"X"から"1"に変更 (Page 145) - "1.14 A/DC"で PCFD bit12 の初期値を"X"から"1"に変更 (Page 145) - "1.21 LDV"で LVD_STR2 の初期値を"0------"から"0-------"に変更 (Page 201) - "1.27 Wacrh Counter"で CLK_SEL bit1 の初期値を"-"から"0"に変更 (Page 205) - "1.28 RTC"の"1.28.3 TYPE5-M4"で WTDIVEN の初期値を"-----00"から"------00"に変更 (Page 214)
*B	5738585	YSAT	これは英語版 002-04917 Rev.*B の日本語版です。 Cypress の新ロゴを適用
*C	5879433	NOSU	これは英語版 002-04917 Rev.*C の日本語版です。 はじめに - 本書の目的と対象読者 - 周辺機能の搭載有無についての注意事項を追加 本書の使い方 - 本マニュアルにおける対象製品 - 『Table 1 対称型格一覧』を最新の型格に更新し、各型格からオーダーオプションのサフィックスを削除 Chapter 1: 概要 – 1.1.1 機能概要 - GDC による内蔵 VRAM と外部 HyperRAM の使用についての注意事項を追加 Chapter 3: GDC サブシステム制御 - 英語版との内容の不一致を修正 Chapter 3: GDC サブシステム制御 – 3.7 QSPI インタフェースクロックセットアップ - 誤記を修正(文中の”HyperBus”を”QSPI”に変更)

版	ECN 番号	変更者	変更内容
*D	6050287	NOSU	これは英語版 002-04917 Rev.*D の日本語版です。 はじめに - マイコンサポート情報を追加