サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

32 ビット・マイクロコントローラ FM4 ファミリ Peripheral Manual 通信マクロ編

Doc. No. 002-04904 Rev. *C

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
www.cypress.com

Copyrights

© Cypress Semiconductor Corporation, 2013-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、本書およびご使用する製品の『データシート』をご一読ください。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作, 使い方について解説しています。アナログマクロ, タイマ, 通信マクロに関する記述は、別冊のペリフェラルマニュアルを参照してください。

＜注意事項＞

- *本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。デバイス仕様の詳細については、それぞれのデータシートを参照してください。*
- *周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。*

サンプルプログラムおよび開発環境

FM4 ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本ファミリで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。
また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアルには、以下に示す 8 つの章および Appendixes から構成されています。

CHAPTER 1-1: マルチファックションシリアルインタフェース
CHAPTER 1-2: UART(非同期シリアルインタフェース)
CHAPTER 1-3: CSIO (クロック同期シリアルインタフェース)
CHAPTER 1-4: LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))
CHAPTER 1-5: I2C インタフェース(I2C 通信制御インタフェース)
CHAPTER 1-6: I2S(Inter-IC Sound bus)インタフェース
CHAPTER 2-1: USB/Ethernet クロック生成部
CHAPTER 2-2: USB クロック生成
CHAPTER 2-3: USB/Ethernet クロック生成
CHAPTER 3-1: USB デバイス(USB ファンクション)
CHAPTER 3-2: USB ホスト
CHAPTER 4: Ethernet
CHAPTER 5-1: CAN プリスケーラ

CHAPTER 5-2: CAN コントローラ
CHAPTER 5-3: CAN FD コントローラ
CHAPTER 5-4: CAN FD メッセージ RAM ECC 機能
CHAPTER 5-5: CAN FD 用外部タイムスタンプカウンタ
CHAPTER 6-1: HDMI-CEC/リモコン受信
CHAPTER 6-2: CEC 受信/リモコン受信
CHAPTER 6-3: CEC 送信
CHAPTER 7-1: I2S クロック生成
CHAPTER 7-2: I2S(Inter-IC Sound bus)インタフェース
CHAPTER 8-1: High-Speed Quad Serial Peripheral Interface の構成
CHAPTER 8-2: High-Speed Quad Serial Peripheral Interface プリスケーラ
CHAPTER 8-3: High-Speed Quad Serial Peripheral Interface コントローラ
CHAPTER 9: HyperBus インタフェース
CHAPTER 10: スマートカードインタフェース
Appendixes

関連マニュアル

本ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

- FM4 ファミリ ペリフェラルマニュアル (002-04857)
  以降、『ペリフェラルマニュアル』とよびます。
- FM4 ファミリ ペリフェラルマニュアル タイマ編 (002-04859)
  以降、『タイマ編』とよびます。
- FM4 ファミリ ペリフェラルマニュアル アナログマクロ編 (002-04861)
  以降、『アナログマクロ編』とよびます。
- FM4 ファミリ ペリフェラルマニュアル 通信マクロ編 (本書)
  以降、『通信マクロ編』とよびます。
- FM4 ファミリ ペリフェラルマニュアル Ethernet 編 (002-04964)
  以降、『Ethernet 編』とよびます。
- FM4 ファミリ ペリフェラルマニュアル GDC 編 (002-04961)
  以降、『GDC 編』とよびます。

データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

- 32 ビット FM4 ファミリ データシート

<注意事項>

- *データシートはシリーズごとに用意されています。*
  ご使用する製品のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M4F コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

- Cortex-M4 テクニカルリファレンスマニュアル
- Arm v7-M アーキテクチャ アプリケーション レベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

- FM4 ファミリ フラッシュプログラミングマニュアル

<注意事項>

- *フラッシュプログラミングマニュアルはシリーズごとに用意されています。*
  ご使用する製品のフラッシュプログラミングマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

■ 目次から探す

本書の内容を記載順に示します。

■ レジスタから探す

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『Appendixes』の『A.レジスタマップ』を参照してください。

章について

本書では、基本的に 1 つの周辺機能を 1 つの章で説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

■ 本書のレジスタ説明中のビット構成図では以下のように表記しています。

- bit: ビット番号
- Field: ビットフィールド名
- 属性: 各ビットのリード、ライト属性
  - R: リードオンリ
  - W: ライトオンリ
  - R/W: リード・ライト可能
  - -: 未定義
- 初期値: リセット直後のレジスタ初期値
  - 0: 初期値 0
  - 1: 初期値 1
  - X: 初期値不定

■ 本書では、複数のビットを以下のように表記しています。
例: bit7 から bit0 の場合は bit7:0

■ 本書では、アドレスなどの数値を以下のように表記しています。

- 16 進数: プレフィックス(接頭辞)として 0x を付けて表記しています(例: 0xFFFF)。
- 2 進数: プレフィックス(接頭辞)として 0b を付けて表記しています(例: 0b1111)。
- 10 進数: 数値だけで表記しています(例: 1000)。

本マニュアルにおける対象製品

■ 本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M4"などの表記は、以下の一覧の FM4 ファミリ製品に置き換えてお読みください。

Table 1 対象型格一覧(TYPE1-M4 製品)

タイプ名*	フラッシュメモリサイズ		
	1024 Kbytes	768 Kbytes	512 Kbytes
TYPE1-M4	CY9BF568M CY9BF568N CY9BF568R CY9BF568RF MB9BF568M MB9BF568N MB9BF568R MB9BF568RF	CY9BF567M CY9BF567N CY9BF567R MB9BF567M MB9BF567N MB9BF567R	CY9BF566M CY9BF566N CY9BF566R MB9BF566M MB9BF566N MB9BF566R
	CY9BF468M CY9BF468N CY9BF468R MB9BF468M MB9BF468N MB9BF468R	CY9BF467M CY9BF467N CY9BF467R MB9BF467M MB9BF467N MB9BF467R	CY9BF466M CY9BF466N CY9BF466R MB9BF466M MB9BF466N MB9BF466R
	CY9BF368M CY9BF368N CY9BF368R MB9BF368M MB9BF368N MB9BF368R	CY9BF367M CY9BF367N CY9BF367R MB9BF367M MB9BF367N MB9BF367R	CY9BF366M CY9BF366N CY9BF366R MB9BF366M MB9BF366N MB9BF366R
	CY9BF168M CY9BF168N CY9BF168R MB9BF168M MB9BF168N MB9BF168R	CY9BF167M CY9BF167N CY9BF167R MB9BF167M MB9BF167N MB9BF167R	CY9BF166M CY9BF166N CY9BF166R MB9BF166M MB9BF166N MB9BF166R

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 2 対象型格一覧(TYPE2-M4 製品)

タイプ名*	フラッシュメモリサイズ		
	512 Kbytes	384 Kbytes	256 Kbytes
TYPE2-M4	CY9BF566K CY9BF566L MB9BF566K MB9BF566L	CY9BF565K CY9BF565L MB9BF565K MB9BF565L	CY9BF564K CY9BF564L MB9BF564K MB9BF564L
	CY9BF466K CY9BF466L MB9BF466K MB9BF466L	CY9BF465K CY9BF465L MB9BF465K MB9BF465L	CY9BF464K CY9BF464L MB9BF464K MB9BF464L
	CY9BF366K CY9BF366L MB9BF366K MB9BF366L	CY9BF365K CY9BF365L MB9BF365K MB9BF365L	CY9BF364K CY9BF364L MB9BF364K MB9BF364L
	CY9BF166K CY9BF166L MB9BF166K MB9BF166L	CY9BF165K CY9BF165L MB9BF165K MB9BF165L	CY9BF164K CY9BF164L MB9BF164K MB9BF164L

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 3 対象型格一覧(TYPE3-M4 製品)

タイプ名*	フラッシュメモリサイズ			フラッシュなし
	2 Mbytes	1.5 Mbytes	1 Mbytes	SRAM サイズ 256 Kbytes
TYPE3-M4	S6E2CCAL S6E2CCAJ S6E2CCAH	S6E2CC9L S6E2CC9J S6E2CC9H	S6E2CC8L S6E2CC8J S6E2CC8H	
	S6E2C5AL S6E2C5AJ S6E2C5AH	S6E2C59L S6E2C59J S6E2C59H	S6E2C58L S6E2C58J S6E2C58H	
	S6E2C4AL S6E2C4AJ S6E2C4AH	S6E2C49L S6E2C49J S6E2C49H	S6E2C48L S6E2C48J S6E2C48H	
	S6E2C3AL S6E2C3AJ S6E2C3AH	S6E2C39L S6E2C39J S6E2C39H	S6E2C38L S6E2C38J S6E2C38H	
	S6E2C2AL S6E2C2AJ S6E2C2AH	S6E2C29L S6E2C29J S6E2C29H	S6E2C28L S6E2C28J S6E2C28H	
	S6E2C1AL S6E2C1AJ S6E2C1AH	S6E2C19L S6E2C19J S6E2C19H	S6E2C18L S6E2C18J S6E2C18H	S6E2C10L S6E2C10J S6E2C10H

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 4 対象型格一覧(TYPE4-M4 製品)

タイプ名*	フラッシュメモリサイズ 384 Kbytes	
	VRAM + 512 Kbytes	VRAM 512 Kbytes + VFLASH 2 Mbytes
TYPE4-M4	S6E2D35G0 S6E2D35J0	S6E2D35GJ
	S6E2D55G0 S6E2D55J0	S6E2D55GJ
	S6E2DF5G0 S6E2DF5J0	S6E2DF5GJ
	S6E2DH5G0 S6E2DH5J0	S6E2DH5GJ

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 5 対象型格一覧(TYPE5-M4 製品)

タイプ名*	フラッシュメモリサイズ	
	1 Mbytes	512 Kbytes
TYPE5-M4	S6E2GM8J S6E2GM8H	S6E2GM6J S6E2GM6H
	S6E2GK8J S6E2GK8H	S6E2GK6J S6E2GK6H
	S6E2GH8J S6E2GH8H	S6E2GH6J S6E2GH6H
	S6E2G28J S6E2G28H	S6E2G26J S6E2G26H
	S6E2G38J S6E2G38H	S6E2G36J S6E2G36H

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 6 対象型格一覧(TYPE6-M4 製品)

タイプ名*	フラッシュメモリサイズ	
	512 Kbytes	256 Kbytes
TYPE6-M4	S6E2HG6G S6E2HG6F S6E2HG6E	S6E2HG4G S6E2HG4F S6E2HG4E
	S6E2HE6G S6E2HE6F S6E2HE6E	S6E2HE4G S6E2HE4F S6E2HE4E
	S6E2H46G S6E2H46F S6E2H46E	S6E2H44G S6E2H44F S6E2H44E
	S6E2H16G S6E2H16F S6E2H16E	S6E2H14G S6E2H14F S6E2H14E

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

目次

CHAPTER 1-1: マルチファンクションシリアルインタフェース 27
1. マルチファンクションシリアルインタフェースの概要 28
CHAPTER 1-2: UART(非同期シリアルインタフェース) 29
1. UART (非同期シリアルインタフェース)の概要 30
2. UART の割込み 31
2.1 受信割込み発生とフラグセットのタイミング 32
2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 34
2.3 送信割込み発生とフラグセットのタイミング 35
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 36
3. UART の動作 37
4. 専用ボーレートジェネレータ 45
4.1 ボーレート設定 46
5. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー 51
6. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー 54
7. UART(非同期シリアルインタフェース)のレジスタ 57
7.1 シリアル制御レジスタ(SCR) 58
7.2 シリアルモードレジスタ(SMR) 60
7.3 シリアルステータスレジスタ(SSR) 62
7.4 拡張通信制御レジスタ(ESCR) 65
7.5 受信データレジスタ/送信データレジスタ(RDR/TDR) 67
7.6 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 69
7.7 FIFO 制御レジスタ 1(FCR1) 70
7.8 FIFO 制御レジスタ 0(FCR0) 72
7.9 FIFO バイトレジスタ(FBYTE) 75
CHAPTER 1-3: CSIO (クロック同期シリアルインタフェース) 77
1. CSIO (クロック同期シリアルインタフェース)の概要 78
2. CSIO (クロック同期シリアルインタフェース)の割込み 79
2.1 受信割込み発生とフラグセットのタイミング 80
2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 82
2.3 送信割込み発生とフラグセットのタイミング 84
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 85
2.5 タイマ割込み発生とフラグセットのタイミング 86
2.6 チップセレクトエラー発生とフラグセットのタイミング 87
3. CSIO (クロック同期シリアルインタフェース)の動作 89
3.1 ノーマル転送(Ⅰ) 89
3.2 ノーマル転送(Ⅱ) 98
3.3 SPI 転送(Ⅰ) 107

3.4 SPI 転送(Ⅱ) 117
4. シリアルタイマの動作 126
5. シリアルチップセレクトの動作 132
6. 専用ボーレートジェネレータ 142
6.1 ボーレート設定 143
6.2 CSIO(クロック同期シリアルインタフェース)設定手順とプログラムフロー 146
7. CSIO (クロック同期シリアルインタフェース)のレジスタ 148
7.1 シリアル制御レジスタ(SCR) 151
7.2 シリアルモードレジスタ(SMR) 154
7.3 シリアルステータスレジスタ(SSR) 157
7.4 拡張通信制御レジスタ(ESCR) 159
7.5 受信データレジスタ/送信データレジスタ(RDR/TDR) 161
7.6 シリアル補助制御ステータスレジスタ (SACSR) 163
7.7 シリアルタイマレジスタ(STMR) 167
7.8 シリアルタイマ比較レジスタ (STMCR) 168
7.9 シリアルチップセレクト制御ステータスレジスタ(SCSCR) 169
7.10 シリアルチップセレクトタイミングレジスタ(SCSTR3-0) 173
7.11 シリアルチップセレクトフォーマットレジスタ(SCSFR2-0) 175
7.12 転送バイトレジスタ(TBYTE3-0) 179
7.13 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 180
7.14 FIFO 制御レジスタ 1(FCR1) 181
7.15 FIFO 制御レジスタ 0(FCR0) 183
7.16 FIFO バイトレジスタ(FBYTE) 186
8. CSIO (クロック同期シリアルインタフェース)の制限事項 188
CHAPTER 1-4: LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1)) **189**
1. LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の概要 190
2. LIN インタフェース(v2.1)の割込み 191
2.1 受信割込み発生とフラグセットのタイミング 192
2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 194
2.3 送信割込み発生とフラグセットのタイミング 196
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 197
3. 専用ボーレートジェネレータ 198
3.1 ボーレート設定 199
4. LIN インタフェース(v2.1)の動作 204
5. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー 217
6. LIN インタフェース(v2.1)のレジスタ 222
6.1 シリアル制御レジスタ(SCR) 223
6.2 シリアルモードレジスタ(SMR) 226
6.3 シリアルステータスレジスタ(SSR) 228
6.4 拡張通信制御レジスタ(ESCR) 231
6.5 受信データレジスタ/送信データレジスタ(RDR/TDR) 233
6.6 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 235
6.7 FIFO 制御レジスタ 1(FCR1) 236
6.8 FIFO 制御レジスタ 0(FCR0) 238
6.9 FIFO バイトレジスタ(FBYTE) 241
CHAPTER 1-5: I2C インタフェース (I²C 通信制御インタフェース) **243**
1. I²C インタフェース(I²C 通信制御インタフェース)の概要 244
2. I²C インタフェースの動作 245

2.1 I²C インタフェースの割込み ... 245
2.2 I²C バスの動作 ... 247
2.3 マスタモード ... 248
2.4 スレーブモード ... 287
2.5 バスエラー ... 298
3. 専用ボーレートジェネレータ ... 299
4. I²C の通信動作フローチャート例 ... 301
5. I²C インタフェースのレジスタ ... 308
5.1 I²C バス制御レジスタ(IBCR) ... 309
5.2 シリアルモードレジスタ(SMR) ... 315
5.3 I²C バスステータスレジスタ(IBSR) ... 317
5.4 シリアルステータスレジスタ(SSR) ... 321
5.5 受信データレジスタ/送信データレジスタ(RDR/TDR) ... 325
5.6 ノイズフィルタ制御レジスタ(NFCR) ... 326
5.7 拡張 I²C バス制御レジスタ(EIBCR) ... 328
5.8 7 ビットスレーブアドレスマスクレジスタ(ISMK) ... 330
5.9 7 ビットスレーブアドレスレジスタ(ISBA) ... 331
5.10 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) ... 332
5.11 FIFO 制御レジスタ 1(FCR1) ... 333
5.12 FIFO 制御レジスタ 0(FCR0) ... 335
5.13 FIFO バイトレジスタ(FBYTE) ... 339
1. MFS-I²S の概要 ... 342
2. MFS-I²S インタフェースの構成 ... 343
3. MFS-I²S データ・フォーマット ... 344
4. MFS-I²S 割込み ... 345
4.1 受信時の割込み発生とフラグセットのタイミング ... 346
4.2 送信時の割込み発生とフラグセットのタイミング ... 347
5. MFS-I²S レジスタ ... 348
5.1 シリアル制御レジスタ(SCR) ... 349
5.2 シリアルモードレジスタ(SMR) ... 351
5.3 シリアルステータスレジスタ(SSR) ... 353
5.4 拡張通信制御レジスタ(ESCR) ... 355
5.5 受信データレジスタ/送信データレジスタ(RDR/TDR) ... 356
5.6 FIFO 制御レジスタ 1(FCR1) ... 358
5.7 FIFO 制御レジスタ 0(FCR0) ... 360
5.8 FIFO バイトレジスタ(FBYTE) ... 362
6. MFS-I²S クロックジェネレータレジスタ ... 364
6.1 コントロールレジスタ(CNTLREG) ... 365
6.2 I²S クロックレジスタ(I2SCLK) ... 367
6.3 I2S ステータスレジスタ(I2SST) ... 370
6.4 I2S リセットレジスタ(I2SRST) ... 371
7. MFS-I²S インタフェース動作説明 ... 372
7.1 データ送信動作 ... 372
7.2 データ受信動作 ... 373
8. ユーザの注意事項 ... 374
8.1 接続図 ... 374
8.2 I²S および MSB-Justified プロトコル ... 375
CHAPTER 2-1: USB/Ethernet クロック生成部 ... 377

1. 概要・構成 378
CHAPTER 2-2: USB クロック生成 381
1. 概要 382
2. 構成・ブロックダイヤグラム 383
3. 動作説明 384
4. 設定手順例 386
5. レジスター覧 387
5.1 USB クロック制御レジスタ(UCCR) 388
5.2 USB-PLL 制御レジスタ 1(UPCR1) 389
5.3 USB-PLL 制御レジスタ 2(UPCR2) 390
5.4 USB-PLL 制御レジスタ 3(UPCR3) 391
5.5 USB-PLL 制御レジスタ 4(UPCR4) 392
5.6 USB-PLL 制御レジスタ 5(UPCR5) 393
5.7 USB-PLL 状態レジスタ(UP_STR) 394
5.8 USB-PLL 割込み要因イネーブルレジスタ(UPINT_ENR) 395
5.9 USB-PLL 割込み要因状態レジスタ(UPINT_STR) 396
5.10 USB-PLL 割込み要因クリアレジスタ(UPINT_CLR) 397
5.11 USB(ch.0)許可レジスタ(USBEN0) 398
5.12 USB(ch.1)許可レジスタ(USBEN1) 399
6. 使用上の注意点 400
CHAPTER 2-3: USB/Ethernet クロック生成 401
1. 概要 402
2. 構成・ブロックダイヤグラム 403
3. 動作説明 405
4. 設定手順例 407
5. レジスター覧 408
5.1 USB/Ethernet クロック制御レジスタ(UCCR) 409
5.2 USB/Ethernet-PLL 制御レジスタ 1(UPCR1) 410
5.3 USB/Ethernet-PLL 制御レジスタ 2(UPCR2) 411
5.4 USB/Ethernet-PLL 制御レジスタ 3(UPCR3) 412
5.5 USB/Ethernet-PLL 制御レジスタ 4(UPCR4) 413
5.6 USB/Ethernet-PLL 制御レジスタ 5(UPCR5) 414
5.7 USB/Ethernet-PLL 制御レジスタ 6(UPCR6) 415
5.8 USB/Ethernet-PLL 制御レジスタ 7(UPCR7) 416
5.9 USB/Ethernet-PLL 状態レジスタ(UP_STR) 417
5.10 USB/Ethernet-PLL 割込み要因イネーブルレジスタ(UPINT_ENR) 418
5.11 USB/Ethernet-PLL 割込み要因状態レジスタ(UPINT_STR) 419
5.12 USB/Ethernet-PLL 割込み要因クリアレジスタ(UPINT_CLR) 420
5.13 USB(ch.0)許可レジスタ(USBEN0) 421
5.14 USB(ch.1)許可レジスタ(USBEN1) 422
6. 使用上の注意点 423
CHAPTER 3-1: USB デバイス(USB ファンクション) 425
1. USB デバイス(USB ファンクション)の概要 426
1.1 USB デバイス(USB ファンクション)の特長 426
2. USB デバイス(USB ファンクション)の構成 427
3. USB デバイス(USB ファンクション)の動作説明 429
3.1 USB デバイス(USB ファンクション)の動作 430
3.2 接続検出と切断検出 433

3.3 コマンド応答時の各レジスタ動作 436
3.4 サスペンド機能 438
3.5 ウェイクアップ機能 439
3.6 DMA 転送機能 441
3.7 NULL 転送機能 445
3.8 エンドポイント 0 の STALL 応答/解除 446
3.9 エンドポイント 1～5 の STALL 応答/解除 448
4. USB デバイス(USB ファンクション)の設定手順例 452
5. USB デバイス(USB ファンクション)のレジスタ 459
5.1 UDC 制御レジスタ(UDCC) 461
5.2 EP0 制御レジスタ(EP0C) 464
5.3 EP1～5 制御レジスタ(EP1C～EP5C) 466
5.4 タイムスタンプレジスタ(TMSP) 469
5.5 UDC ステータスレジスタ(UDCS) 470
5.6 UDC 割込み許可レジスタ(UDCIE) 472
5.7 EP0I ステータスレジスタ(EP0IS) 474
5.8 EP0O ステータスレジスタ(EP0OS) 476
5.9 EP1～5 ステータスレジスタ(EP1S～EP5S) 478
5.10 EP0～5 データレジスタ(EP0DTH～EP5DTH/ EP0DTL～EP5DTL) 481
CHAPTER 3-2: USB ホスト 483
1. USB ホストの概要 484
2. USB ホストの構成 485
3. USB ホストの動作説明 486
3.1 デバイスの接続 487
3.2 USB バスのリセット 489
3.3 トークンパケット 490
3.4 データパケット 492
3.5 ハンドシェークパケット 493
3.6 リトライ機能 494
3.7 SOF 割込み 495
3.8 エラーステータス 497
3.9 パケット終了 498
3.10 サスペンド・リジューム 499
3.11 デバイスの切断 503
4. USB ホストの設定手順例 504
5. USB ホストのレジスタ 509
5.1 ホストコントロールレジスタ 0, 1(HCNT) 511
5.2 ホスト割込みレジスタ(HIRQ) 515
5.3 ホストエラーステータスレジスタ(HERR) 518
5.4 ホスト状態ステータスレジスタ(HSTATE) 521
5.5 SOF 割込み FRAME 比較レジスタ(HFCOMP) 524
5.6 リトライタイマ設定レジスタ(HRTIMER) 525
5.7 ホストアドレスレジスタ(HADR) 526
5.8 EOF 設定レジスタ(HEOF) 527
5.9 FRAME 設定レジスタ(HFRAME) 528
5.10 ホストトークンエンドポイントレジスタ(HTOKEN) 529
CHAPTER 4: Ethernet 531
CHAPTER 5-1: CAN プリスケーラ 533

1. 概要・構成 534
2. CAN プリスケーラのレジスタ 535
2.1 CAN プリスケーラレジスタ (CANPRE) 536
CHAPTER 5-2: CAN コントローラ 537
1. 概要 538
2. 構成 539
3. CAN コントローラの動作説明 540
3.1 メッセージオブジェクト 540
3.2 メッセージ送信動作 542
3.3 メッセージ受信動作 545
3.4 FIFO バッファ機能 548
3.5 割込み機能 550
3.6 ビットタイミング 551
3.7 テストモード 553
3.8 ソフトウェア初期化 557
4. CAN コントローラのレジスタ 558
4.1 CAN レジスタ機能 561
4.2 全体コントロールレジスタ 562
4.2.1 CAN 制御レジスタ (CTRLR) 563
4.2.2 CAN ステータスレジスタ (STATR) 566
4.2.3 CAN エラーカウンタ (ERRCNT) 568
4.2.4 CAN ビットタイミングレジスタ (BTR) 569
4.2.5 CAN 割込みレジスタ (INTR) 570
4.2.6 CAN テストレジスタ (TESTR) 571
4.2.7 CAN プリスケーラ拡張レジスタ(BRPER) 573
4.3 メッセージインタフェースレジスタ 574
4.3.1 IFx コマンド要求レジスタ (IFxCREQ) 575
4.3.2 IFx コマンドマスクレジスタ (IFxCMSK) 577
4.3.3 IFx マスクレジスタ 1, 2 (IFxMSK1, IFxMSK2) 582
4.3.4 IFx アービトレーションレジスタ 1, 2 (IFxARB1, IFxARB2) 583
4.3.5 IFx メッセージ制御レジスタ(IFxMCTR) 584
4.3.6 IFx データレジスタ A1, A2, B1, B2 (IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2) 585
4.4 メッセージオブジェクト 586
4.5 メッセージハンドラレジスタ 591
4.5.1 CAN 送信要求レジスタ (TREQR1, TREQR2) 592
4.5.2 CAN データ更新レジスタ (NEWDT1, NEWDT2) 594
4.5.3 CAN 割込みペンディングレジスタ(INTPND1, INTPND2) 595
4.5.4 CAN メッセージ有効レジスタ (MSGVAL1, MSGVAL2) 596
5. 補足 597
CHAPTER 5-3: CAN FD コントローラ 599
1. 概要 600
2. 構成 601
2.1 ブロックダイヤグラム 601
2.2 クロック 602
2.3 割込み信号 602
3. 動作説明 603
3.1 動作モード 603
3.1.1 ソフトウェア初期化 604

3.1.2 通常動作 605
3.1.3 CAN FD 動作 605
3.1.4 トランシーバの遅延補償機能 607
3.1.5 送信禁止モード 609
3.1.6 バスモニタリングモード(Bus Monitoring Mode) 610
3.1.7 自動再送禁止 611
3.1.8 パワーダウン(スリープモード) 611
3.1.9 テストモード 612
3.2 タイムスタンプカウンタ 613
3.3 タイムアウトカウンタ 613
3.4 受信処理 614
3.4.1 フィルタ処理 614
3.4.2 受信 FIFO(Rx FIFO) 618
3.4.3 特定 ID 受信バッファ(Dedicated Rx Buffer) 620
3.4.4 デバッグ機能 621
3.4.5 プロトコル例外イベント (Protocol Exception Event) 622
3.5 送信処理 623
3.5.1 送信ポーズ機能 623
3.5.2 特定 ID 送信バッファ(Dedicated Tx Buffer) 624
3.5.3 送信 FIFO(Tx FIFO) 625
3.5.4 送信 Queue(Tx Queue) 626
3.5.5 特定 ID 送信バッファと送信 FIFO の混載 626
3.5.6 特定 ID 送信バッファと送信 Queue の混載 627
3.5.7 送信要求キャンセル 627
3.5.8 送信イベント処理 628
3.6 FIFO Ack 処理 629
3.7 CAN ビットタイミング設定 630
3.7.1 CAN ビットタイミング 630
3.7.2 CAN ビットレート 632
4. 設定手順例 634
4.1 CAN ビットタイミング設定手順(Configuration of CAN bus) 636
4.2 メッセージ RAM 設定手順(Configuration of Message RAM) 637
4.2.1 受容フィルタ設定手順(Configuration of ID Filter List) 637
4.2.2 受信バッファ設定手順(Configuration of Rx Buffer and Rx FIFO) 638
4.2.3 送信バッファ設定手順(Configuration of Tx Buffer and Tx FIFO/Queue) 639
4.2.4 フィルタエレメント設定手順(Configuration of ID Filter) 640
4.3 エラーモニタ設定手順(Configuration of Error Monitor) 641
4.4 割込み設定手順(Configuration of Interrupt) 641
4.5 送信設定手順(Control of Communication) 642
4.5.1 CAN 送信モード設定手順(CAN Transmit Mode Change) 642
4.5.2 フレーム送信設定手順(Configuration of Transmission Frame) 643
4.6 割込み処理手順 644
4.6.1 バスオフ処理手順(Bus_Off status Handling Operation) 645
4.6.2 メッセージ RAM エラー処理手順 (Message RAM access failure Handling Operation) 646
4.6.3 Bit エラー処理手順(Bit Error Handling Operation) 648
4.6.4 送信イベント FIFO 処理手順(Tx Event FIFO Handling Operation) 649
4.6.5 特定 ID 受信メッセージ処理手順 (Dedicated Rx Buffer Handling Operation) 650
4.6.6 高優先メッセージ受信処理手順(High priority Message Handling Operation) 651

4.6.7 受信 FIFO 処理手順(Rx FIFO Handling Operation) 652
5. レジスタ 653
5.1 版数レジスタ(CREL) 655
5.2 エンディアン確認レジスタ(ENDN) 656
5.3 FD ビットタイミングレジスタ(FBTP) 657
5.4 テストレジスタ(TEST) 659
5.5 RAM ウォッチドッグレジスタ(RWD) 661
5.6 CAN Core 制御レジスタ(CCCR) 662
5.7 ビットタイミングレジスタ(BTP) 666
5.8 タイムスタンプカウンタ設定レジスタ(TSCC) 669
5.9 タイムスタンプカウンタ値レジスタ(TSCV) 671
5.10 タイムアウトカウンタ設定レジスタ(TOCC) 672
5.11 タイムアウトカウンタ値レジスタ(TOCV) 674
5.12 エラーカウンタレジスタ(ECR) 675
5.13 プロトコルステータスレジスタ(PSR) 677
5.14 割込みレジスタ(IR) 680
5.15 割込み許可レジスタ(IE) 686
5.16 割込み信号選択レジスタ(ILS) 688
5.17 割込み信号許可レジスタ(ILE) 690
5.18 グローバルフィルタ設定レジスタ(GFC) 691
5.19 11 ビット ID フィルタ設定レジスタ(SIDFC) 693
5.20 29 ビット ID フィルタ設定レジスタ(XIDFC) 694
5.21 29 ビット ID マスクレジスタ(XIDAM) 695
5.22 高優先メッセージステータスレジスタ(HPMS) 696
5.23 特定 ID 受信メッセージレジスタ 1(NDAT1) 698
5.24 特定 ID 受信メッセージレジスタ 2(NDAT2) 699
5.25 受信 FIFO 0 設定レジスタ(RXF0C) 700
5.26 受信 FIFO 0 ステータスレジスタ(RXF0S) 702
5.27 受信 FIFO 0 Ack レジスタ(RXF0A) 704
5.28 特定 ID 受信メッセージ設定レジスタ(RXBC) 705
5.29 受信 FIFO 1 設定レジスタ(RXF1C) 706
5.30 受信 FIFO 1 ステータスレジスタ(RXF1S) 708
5.31 受信 FIFO 1 Ack レジスタ(RXF1A) 710
5.32 受信バッファデータサイズ設定レジスタ(RXESC) 711
5.33 送信バッファ設定レジスタ(TXBC) 713
5.34 送信 FIFO/Queue ステータスレジスタ(TXFQS) 715
5.35 送信バッファデータサイズ設定レジスタ(TXESC) 717
5.36 送信要求ステータスレジスタ(TXBRP) 718
5.37 送信要求レジスタ(TXBAR) 719
5.38 送信要求キャンセルレジスタ(TXBCR) 720
5.39 送信完了レジスタ(TXBTO) 721
5.40 送信要求キャンセル完了レジスタ(TXBCF) 722
5.41 送信完了割込み許可レジスタ(TXBTIE) 723
5.42 送信要求キャンセル完了割込み許可レジスタ(TXBCIE) 724
5.43 送信イベント FIFO 設定レジスタ(TXEFC) 725
5.44 送信イベント FIFO ステータスレジスタ(TXEFS) 727
5.45 送信イベント FIFO Ack レジスタ(TXEFA) 729
6. メッセージ RAM 730

6.1 メッセージ RAM 設定 730
6.2 受信バッファエレメント 732
6.3 送信バッファエレメント 735
6.4 送信イベント FIFO エレメント 737
6.5 11 ビット ID フィルタエレメント 739
6.6 29 ビット ID フィルタエレメント 742
CHAPTER 5-4: CAN FD メッセージ RAM ECC 機能 745
1. 概要 746
2. 構成 747
3. 割込み 749
4. 動作説明 750
4.1. メッセージ RAM ECC 生成 751
4.2. メッセージ RAM ECC 検査 752
5. 設定手順例 753
6. レジスタ 754
6.1. CAN FD ECC エラー制御レジスタ(FDECR) 755
6.2. CAN FD ECC エラーステータスレジスタ(FDESR) 757
6.3. CAN FD ECC エラーステータスクリアレジスタ (FDESCR) 758
6.4. CAN FD ECC ダブルビットエラーアドレスレジスタ (FDDEAR) 759
6.5. CAN FD ECC シングルビットエラーアドレスレジスタ (FDSEAR) 760
7. 使用上の注意事項 761
CHAPTER 5-5: CAN FD 用外部タイムスタンプカウンタ 763
1. 概要 764
2. 構成 765
3. 動作説明 766
4. 設定手順例 770
5. レジスタ 771
5.1. カウンタ制御レジスタ(TSCNTR) 772
5.2. カウンタモード設定レジスタ(TSMDR) 773
5.3. クロック分周設定レジスタ(TSDIVR) 774
5.4. カウンタデータ表示レジスタ(TSCDTR) 775
5.5. コンペアクリア設定レジスタ(TSCPCLR) 776
CHAPTER 6-1: HDMI-CEC/リモコン受信 777
1. 構成 778
2. HDMI-CEC 使用上の注意点 779
CHAPTER 6-2: CEC 受信/リモコン受信 781
1. 概要 782
2. 構成 783
3. 動作説明 784
3.1 SIRCS モード 785
3.1.1 SIRCS モードの動作フローチャートと波形 785
3.1.2 SIRCS モードの基本動作 786
3.1.3 スタートビット検出と割込み出力 786
3.1.4 最小パルス幅違反 787
3.1.5 デバイスアドレス比較 787
3.1.6 カウンタオーバフロー検出と割込み出力 788
3.2 NEC/家電協モードの動作説明 789
3.2.1 NEC/家電協モードの動作フローチャートと波形 789

3.2.2 スタートビット検出 791
3.2.3 リピートコード検出 792
3.2.4 最小パルス幅違反 792
3.2.5 カウンタオーバフロー検出と割込み出力 793
3.3 HDMI-CEC モード 794
3.3.1 HDMI-CEC モードの動作フローチャートと波形 794
3.3.2 スタートビット検出と割込み出力 795
3.3.3 最小パルス幅違反 796
3.3.4 カウンタオーバフロー検出と割込み出力 796
3.3.5 デバイスアドレス比較 797
3.3.6 データビット幅違反とエラーパルス自動出力 797
3.3.7 EOM 検出 798
3.3.8 ACK 検出と割込み出力 799
3.3.9 ノイズフィルタ 799
4. 設定例 800
5. レジスタ 802
5.1 受信制御レジスタ(RCCR) 803
5.2 受信割込み制御レジスタ(RCST) 805
5.3 デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2) 807
5.4 スタートビット検出幅設定レジスタ(RCSHW) 808
5.5 最小パルス幅設定レジスタ (RCDAHW) 809
5.6 しきい値設定レジスタ (RCDBHW) 810
5.7 データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL) 811
5.8 クロック分周設定レジスタ (RCCKD) 812
5.9 リピートコード割込み制御レジスタ(RCRC) 813
5.10 リピートコード検出幅設定レジスタ(RCRHW) 814
5.11 データビット幅違反制御レジスタ(RCLE) 815
5.12 最大データビット幅設定レジスタ(RCLELW) 817
5.13 最小データビット幅設定レジスタ(RCLESW) 818
CHAPTER 6-3: CEC 送信 819
1. CEC 送信の概要 820
2. CEC 送信回路のブロックダイヤグラム 821
3. CEC 送信割込み 822
4. CEC 送信のレジスター覧 823
4.1 Table 4-1 CEC 送信のレジスター覧 823
5. CEC 送信の動作説明 824
5.1 CEC 送信動作 824
5.2 割込み要因とタイミングチャート 825
5.3 アービトレーションロスト検出 826
5.4 シグナルフリー検出 827
5.5 フィルタ機能 828
5.6 CEC 送信動作について 829
6. CEC 送信のレジスタセット 830
6.1 送信制御レジスタ(TXCTRL) 831
6.2 送信データレジスタ(TXDATA) 833
6.3 送信ステータスレジスタ(TXSTS) 834
6.4 シグナルフリー時間設定レジスタ(SFREE) 836
CHAPTER 7-1: I²S クロック生成 837

1. 概要 838
2. 構成・ブロックダイヤグラム 839
3. 動作説明 841
4. 設定手順例 843
5. レジスター覧 844
5.1 I²S クロック制御レジスタ (ICCR) 845
5.2 I²S-PLL 制御レジスタ 1 (IPCR1) 846
5.3 I²S-PLL 制御レジスタ 2 (IPCR2) 847
5.4 I²S-PLL 制御レジスタ 3 (IPCR3) 848
5.5 I²S-PLL 制御レジスタ 4 (IPCR4) 849
5.6 I²S-PLL 制御レジスタ 5 (IPCR5) 850
5.7 I²S-PLL 状態レジスタ (IP_STR) 851
5.8 I²S-PLL 割込み要因イネーブルレジスタ (IPINT_ENR) 852
5.9 I²S-PLL 割込み要因状態レジスタ(IPINT_STR) 853
5.10 I²S-PLL 割込み要因クリアレジスタ(IPINT_CLR) 854
5.11 I²S クロック制御レジスタ (ICCR_1) 855
5.12 I²S-PLL 制御レジスタ 5 (IPCR5_1) 856
6. 使用上の注意点 857
CHAPTER 7-2: I²S(Inter-IC Sound bus)インタフェース 859
1. I²S インタフェースの概要 860
2. I²S インタフェースの特長 861
3. I²S インタフェースのブロックダイヤグラム 862
4. I²S インタフェースの動作説明 863
4.1 クロック・フレーム同期信号 864
4.2 転送開始，停止，異常動作 865
4.3 フレーム構成 871
4.4 FIFO 構成と説明 875
5. I²S インタフェースのレジスター覧 877
6. I²S インタフェースのレジスタ詳細 878
6.1 受信 FIFO レジスタ (RXFDAT) 879
6.2 送信 FIFO レジスタ (TXFDAT) 880
6.3 制御レジスタ (CNTREG) 881
6.4 チャネル制御レジスタ 0 (MCR0REG) 886
6.5 チャネル制御レジスタ 1 (MCR1REG) 888
6.6 チャネル制御レジスタ 2 (MCR2REG) 889
6.7 動作制御レジスタ (OPRREG) 890
6.8 ソフトリセットレジスタ (SRST) 892
6.9 割込み制御レジスタ (INTCNT) 893
6.10 状態レジスタ (STATUS) 897
6.11 DMA 起動レジスタ (DMAACT) 900
6.12 テストレジスタ(TSTREG) 902
7. I²S インタフェースのアプリケーションノート 903
7.1 I²S and MSB Justified 903
CHAPTER 8-1: High-Speed Quad Serial Peripheral Interface の構成 911
1. HS_SPI の構成 912
1.1 HS_SPI_TYPE0 製品 912
1.2 HS_SPI_TYPE1 製品 913
CHAPTER 8-2: High-Speed Quad Serial Peripheral Interface プリスケーラ 915

1. 概要 916
2. 動作説明 917
2.1 クロック設定 917
2.2 DMA BRIDGE 制御 918
3. HS-SPI プリスケーラのレジスタセット 919
3.1 レジスタ 919
3.2 分周クロックレジスタ (QDCLKR) 920
3.3 DMA BRIDGE 制御レジスタ (DBCNT) 921
CHAPTER 8-3: High-Speed Quad Serial Peripheral Interface コントローラ 923
1. HS_SPI コントローラの概要 924
1.1 HS_SPI コントローラの特長 924
2. HS_SPI コントローラの動作説明 925
2.1 DMA インタフェース 926
2.1.1 TX-FIFO に対する DMA 転送 926
2.1.2 RX-FIFO に対する DMA 転送 928
2.2 割込み 930
2.2.1 送信割込み要求 930
2.2.2 受信割込み要求 931
2.2.3 違反検出割込み要求 932
2.3 シリアルインタフェース 933
2.3.1 クロッキングモード 933
2.3.2 シリアルインタフェースビット幅 935
2.3.3 シフト方向 935
2.3.4 シリアルインタフェースのエンディアン 938
2.3.5 ディセレクト時間 939
2.3.6 タイミング補正されたクロック 940
2.4 ダイレクトモード 941
2.4.1 FIFO 941
2.4.2 AHB インタフェースクロック(QHCLK)とシリアルクロック 941
2.4.3 転送制御モード 942
2.4.4 動作モード 943
2.4.5 データ出力のトライステート制御 944
2.5 コマンドシーケンサモード 945
2.5.1 メモリ上への割当て 945
2.5.2 32 ビットメモリアドレス 946
2.5.3 AHB インタフェースクロック(QHCLK)とシリアルクロック 948
2.5.4 コマンドシーケンス 948
3. HS_SPI コントローラのレジスタ 956
3.1 レジスタ 956
3.1.1 全体コントロールレジスター覧 958
3.1.2 シリアルインタフェースコントロールレジスター覧 958
3.1.3 フォールトレジスター覧 958
3.1.4 DMA コントロールレジスター覧 958
3.1.5 FIFO コントロールレジスター覧(TX/RX 共通) 958
3.1.6 TX-FIFO コントロールレジスター覧 959
3.1.7 RX-FIFO コントロールレジスター覧 960
3.1.8 ダイレクトモードコントロールレジスター覧 960
3.1.9 コマンドシーケンサ制御レジスター覧(書込み/読出し共通) 961

3.1.10 コマンドシーケンス設定レジスター覧(書込みコマンド)..... 961
3.1.11 コマンドシーケンス設定レジスター覧(読出しコマンド)..... 961
3.1.12 モジュール識別レジスター覧 961
3.2 HS-SPI 制御レジスタ (HSSPIn_MCTRL) 962
3.3 HS-SPI ペリフェラル通信設定レジスタ (HSSPIn_PCC0～3)..... 964
3.4 HS-SPI 送信割込み要因レジスタ (HSSPIn_TXF)..... 969
3.5 HS-SPI 送信割込みイネーブルレジスタ (HSSPIn_TXE)..... 972
3.6 HS-SPI 送信割込みクリアレジスタ (HSSPIn_TXC)..... 974
3.7 HS-SPI 受信割込み要因レジスタ (HSSPIn_RXF)..... 976
3.8 HS-SPI 受信割込みイネーブルレジスタ (HSSPIn_RXE)..... 979
3.9 HS-SPI 受信割込みクリアレジスタ (HSSPIn_RXC)..... 981
3.10 HS-SPI 違反割込み要因レジスタ (HSSPIn_FAULTF)..... 983
3.11 HS-SPI 違反割込みクリアレジスタ(HSSPIn_FAULTC)..... 986
3.12 HS-SPI ダイレクトモード設定レジスタ (HSSPIn_DMCFG)..... 988
3.13 HS-SPI ダイレクトモード DMA イネーブルレジスタ (HSSPIn_DMDMAEN)..... 989
3.14 HS-SPI ダイレクトモード転送開始制御レジスタ (HSSPIn_DMSTART)..... 990
3.15 HS-SPI ダイレクトモード転送停止制御レジスタ(HSSPIn_DMSTOP)..... 991
3.16 HS-SPI ダイレクトモードスレーブ選択レジスタ (HSSPIn_DMPSEL)..... 992
3.17 HS-SPI ダイレクトモード転送プロトコル設定レジスタ (HSSPIn_DMTRP)..... 993
3.18 HS-SPI ダイレクトモード転送バイト数設定レジスタ (HSSPIn_DMBCC)..... 994
3.19 HS-SPI ダイレクトモード転送カウント残数レジスタ (HSSPIn_DMBCS)..... 995
3.20 HS-SPI ダイレクトモードステータスレジスタ (HSSPIn_DMSTATUS)..... 996
3.21 HS-SPI TX-FIFO レジスタ (HSSPIn_TXFIFO0～15)..... 998
3.22 HS-SPI RX-FIFO レジスタ (HSSPIn_RXFIFO0～15)..... 999
3.23 HS-SPI FIFO 設定レジスタ (HSSPIn_FIFOCFG)..... 1000
3.24 HS-SPI コマンドシーケンサ設定レジスタ(HSSPIn_CSCFG)..... 1003
3.25 HS-SPI コマンドシーケンサアイドルタイマ設定レジスタ(HSSPIn_CSITIME)..... 1005
3.26 HS-SPI コマンドシーケンサアドレス拡張レジスタ(HSSPIn_CSAEXT)..... 1006
3.27 HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ(HSSPIn_RDCSDC0~7)..... 1007
3.28 HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ(HSSPIn_WRCSDC0~7)..... 1009
3.29 HS-SPI モジュール識別レジスタ (HSSPIn_MID)..... 1011
4. HS_SPI コントローラ使用上の注意..... 1012
4.1 一般的な使用上の注意 1012
5. HS_SPI コントローラの設定手順例..... 1013
5.1 ダイレクトモード, コマンドシーケンサモード..... 1013
5.1.1 初期設定 1013
5.1.2 シリアルメモリのデータ読出し(ダイレクトモード：割込みによるデータ転送)..... 1014
5.1.3 シリアルメモリのデータ読出し(ダイレクトモード：DMA 転送)..... 1015
5.1.4 シリアルメモリへのデータ書込み(ダイレクトモード：割込みによるデータ転送)..... 1016
5.1.5 シリアルメモリへのデータ書込み(ダイレクトモード：DMA 転送)..... 1017
5.1.6 シリアルメモリのデータ読出し(コマンドシーケンサモード)..... 1018
5.1.7 シリアルメモリへのデータ書込み(コマンドシーケンサモード)..... 1018
5.2 DSTC による DMA 転送時の設定..... 1019
5.2.1 受信 DMA 転送時の設定 1019
5.2.2 送信 DMA 転送時の設定 1020
CHAPTER 9: HyperBus インタフェース..... 1021
1. 概要 1022
2. 構成 1023

3. 動作説明 1024
3.1 HyperBus コア 1024
3.1.1 読出し動作 1024
3.1.2 書込み動作 1024
3.1.3 バイトマスクを使用した書込み動作 1025
3.2 Tx/Rx コントローラ 1026
3.2.1 非対称キャッシュシステムのサポート 1026
3.2.2 Continuous Read Ctrl 1026
3.3 C/A コーダ 1027
3.4 FIFO 1028
3.4.1 ADR FIFO 1028
3.4.2 W DAT FIFO 1028
3.4.3 R DAT FIFO と RX FIFO 1028
3.5 CSR 1029
4. レジスタ 1030
4.1 HyperBus インタフェース状態レジスタ(CSR) 1031
4.2 割込み極性・イネーブル設定レジスタ(IEN) 1034
4.3 割込み状態レジスタ (ISR) 1035
4.4 メモリベースアドレスレジスタ 0 (MBR0) 1036
4.5 メモリベースアドレスレジスタ 1 (MBR1) 1037
4.6 HyperBus インタフェースメモリ構成レジスタ 0 (MCR0) 1038
4.7 HyperBus インタフェースメモリ構成レジスタ 1 (MCR1) 1040
4.8 HyperBus インタフェースメモリタイミングレジスタ 0 (MTR0) 1042
4.9 HyperBus インタフェースメモリタイミングレジスタ 1 (MTR1) 1045
4.10 汎用信号出力レジスタ (GPOR) 1048
4.11 Write Protection Register (WPR) 1049
4.12 テストレジスタ (TEST) 1050
CHAPTER 10: スマートカードインタフェース 1051
1. スマートカードインタフェースの概要 1052
2. スマートカードインタフェースの構成 1053
3. スマートカードインタフェースの動作 1054
3.1 送信/受信データフォーマット 1054
3.2 データ送信 1055
3.3 データ受信 1057
3.4 ボーレート構成 1059
3.5 スタートビット検出 1059
3.6 エラー検出 1060
3.7 出力反転 1061
3.8 ポート制御 1062
4. スマートカードインタフェースの割込み 1063
4.1 受信割込み発生とフラグセットのタイミング 1064
4.2 読出し FIFO 使用時の割込み発生とフラグセットのタイミング 1065
4.3 送信割込み発生とフラグセットのタイミング 1066
4.4 書込み FIFO 使用時の割込み発生とフラグセットのタイミング 1066
4.5 カードイベント割込み発生とフラグセットのタイミング 1067
4.6 アイドルタイマ満了割込み発生とフラグセットのタイミング 1067
5. スマートカードインタフェースの設定手順とプログラムフロー 1069
6. スマートカードインタフェースのレジスタ 1072

6.1 グローバル制御レジスタ 1(GLOBALCONTROL1) 1073
6.2 ステータスレジスタ(STATUS) 1077
6.3 ポート制御レジスタ(PORTCONTROL) 1080
6.4 データレジスタ(DATA) 1083
6.5 カードクロック周波数レジスタ(CARDCLOCK) 1084
6.6 ボーレートレジスタ(BAUDRATE) 1085
6.7 ガードタイマレジスタ(GUARDTIMER) 1086
6.8 アイドルタイマレジスタ(IDLETIMER) 1087
6.9 グローバル制御レジスタ 2(GLOBALCONTROL2) 1088
6.10 FIFO アクセスレジスタ(DATA_FIFO) 1089
6.11 読出し FIFO レベルレジスタ(FIFO_LEVEL_READ) 1090
6.12 書込み FIFO レベルレジスタ(FIFO_LEVEL_WRITE) 1091
6.13 FIFO モードレジスタ(FIFO_MODE) 1092
6.14 書込み FIFO クリアレジスタ(FIFO_CLEAR_MSB_WRITE) 1094
6.15 読出し FIFO クリアレジスタ(FIFO_CLEAR_MSB_READ) 1095
6.16 割込みステータスレジスタ(IRQ_STATUS) 1096
Appendixes 1099
A. レジスタマップ 1100
A.1. レジスタマップ 1102
A.1.1 FLASH_IF 1103
A.1.2 Unique ID 1106
A.1.3 ECC Capture Address 1106
A.1.4 Clock/R0eset 1107
A.1.5 HW WDT 1111
A.1.6 SW WDT 1112
A.1.7 Dual_Timer 1113
A.1.8 MFT 1114
A.1.9 PPG 1120
A.1.10 Base Timer 1123
A.1.11 IO Selector for Base Timer 1124
A.1.12 QPRC 1125
A.1.13 QPRC NF 1127
A.1.14 A/DC 1128
A.1.15 CR Trim 1129
A.1.16 EXTI 1130
A.1.17 INT-Req. READ 1132
A.1.18 D/AC 1153
A.1.19 HDMI-CEC 1154
A.1.20 GPIO 1155
A.1.21 LVD 1186
A.1.22 DS_Mode 1187
A.1.23 USB Clock 1188
A.1.24 CAN_Prescaler 1189
A.1.25 MFS 1189
A.1.26 CRC 1191
A.1.27 Watch Counter 1191
A.1.28 RTC 1192
A.1.29 Low-speed CR Prescaler 1201

A.1.30 Peripheral Clock Gating 1201
A.1.31 Smart Card Interface 1203
A.1.32 MFSI2S 1204
A.1.33 I2S_Prescaler 1205
A.1.34 GDC_Prescaler 1207
A.1.35 EXT-Bus I/F 1208
A.1.36 USB 1214
A.1.37 DMAC 1216
A.1.38 DSTC 1218
A.1.39 CAN 1220
A.1.40 Ethernet-MAC 1222
A.1.41 Ethernet-Control 1222
A.1.42 I2S 1223
A.1.43 SD-Card 1223
A.1.44 CAN FD 1224
A.1.45 Programmable-CRC 1227
A.1.46 WorkFlash_IF 1227
A.1.47 High-Speed Quad SPI Controller 1228
A.1.48 HyperBus Interface 1234
A.1.49 GDC Sub System Controller 1235
A.1.50 GDC Sub System SDRAM Controller 1238
A.1.51 GDC Core 1239
B. 注意事項一覧 1240
B.1 高速 CR クロックをマスタクロックに使用する場合の注意事項 1241
C.主な変更内容 1242
改訂履歴 1245

CHAPTER 1-1: マルチファンクションシリアルインタフェース

マルチファンクションシリアルインタフェースの概要を説明します。

1. マルチファンクションシリアルインタフェースの概要

1. マルチファンクションシリアルインタフェースの概要

マルチファンクションシリアルインタフェースには以下の特長があります。

インタフェースモード

マルチファンクションシリアルインタフェースは動作モードの設定により、以下のインタフェースモードが選択可能です。

- UART0(非同期ノーマルシリアルインタフェース)
- UART1(非同期マルチプロセッサシリアルインタフェース)
- CSIO(クロック同期シリアルインタフェース)(SPI, I²S に対応可能)
- LIN(LIN バスインタフェース)
- I²C(I²C バスインタフェース)

<注意事項>

- *各インタフェースの詳細は『UART(非同期シリアルインタフェース)』, 『CSIO(クロック同期シリアルインタフェース)』, 『LIN(LIN バスインタフェース(v2.1))』, 『I2C バスインタフェースス(I2C 通信制御インタフェース))』, 『MFS-I2S (Inter-IC Sound bus)』の章を参照してください。*
- *MFS-I²S は CSIO モードにて動作するので CSIO モードに設定してください。*

インタフェースモードの切換え

各シリアルインタフェースで通信をする場合には、Table 1-1 のシリアルモードレジスタ(SMR)で動作モードを設定してから通信を開始します。

Table 1-1 インタフェースモードの切換え

MD2	MD1	MD0	インタフェースモード
0	0	0	UART0(非同期ノーマルシリアルインタフェース)
0	0	1	UART1(非同期マルチプロセッサシリアルインタフェース)
0	1	0	CSIO(クロック同期シリアルインタフェース)(SPI, I²S に対応可能)
0	1	1	LIN(LIN バスインタフェース)
1	0	0	I²C(I²C バスインタフェース)
上記以外			設定禁止

<注意事項>

- *1 つのシリアルインタフェースで送信または受信動作中にモードの切換えをした場合の送受信に関する動作の保証はできません。*
- *動作モードを変更する場合は、プログラマブルクリア実行(SCR:UPCL=1)または I²C 禁止(ISMK:EN=0)後、続けて動作モードを切り換えてください。動作モード設定後、各レジスタを設定してください。*
- *Table 1-1 に記載してある設定以外は禁止です。*

送受信 FIFO

FIFO 容量は 64 バイトの送信用 FIFO と受信用 FIFO を搭載しています。以降の説明における FIFO 容量は 64 バイトに読み替えてください。

LIN Sync field 検出 : LSYN

LIN バスインタフェースモードで ICU を使用する場合、多機能タイマの ICU を使用してください。ICU への入力切換えは『ペリフェラルマニュアル』の『I/O ポート』の章の拡張機能端子設定レジスタを参照してください。

CHAPTER 1-2: UART(非同期シリアルインタフェース)

マルチファンクション シリアルインタフェースの動作モード 0, 1 でサポートしている UART(非同期シリアルインタフェース)機能について説明します。

1. UART (非同期シリアルインタフェース)の概要
2. UART の割込み
3. UART の動作
4. 専用ボーレートジェネレータ
5. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー
6. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー
7. UART(非同期シリアルインタフェース)のレジスタ

1. UART (非同期シリアルインタフェース)の概要

UART(非同期シリアルインタフェース)は、外部装置と非同期通信(調歩同期)をするための、汎用のシリアルデータ通信インタフェースです。双方向通信機能(ノーマルモード), マスタ/スレーブ型通信機能(マルチプロセッサモード:マスタ/スレーブ両方サポート)をサポートしています。また、送信/受信用の FIFO を搭載しています。

UART(非同期シリアルインタフェース)の機能

		機　　能
1	データ	− 全二重ダブルバッファ(FIFO 未使用時) − 送信/受信 FIFO　(サイズ:最大各 128 バイト)*1(FIFO 使用時)
2	シリアル入力	− バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送形式	− 非同期
4	ボーレート	− 専用ボーレートジェネレータ(15 ビットリロードカウンタ構成) − 外部クロック入力をリロードカウンタで調節可能。
5	データ長	− 5 ～ 9 ビット(ノーマルモード時) − 7, 8 ビット(マルチプロセッサモード時)
6	信号方式	− NRZ(Non Return to Zero), 反転 NRZ
7	スタートビット検出	− スタートビット立下りエッジに同期(NRZ 方式の場合) − スタートビット立上りエッジに同期(反転 NRZ 方式の場合)
8	受信エラー検出	− フレーミングエラー − オーバランエラー − パリティエラー*2
9	ハードウェアフロー制御	− CTS/RTS による送受信自動制御　*3
10	割込み要求	− 受信割込み (受信完了, フレーミングエラー, オーバランエラー, パリティエラー*2) − 送信割込み(送信データエンプティ, 送信バスアイドル) − 送信 FIFO 割込み (送信 FIFO がエンプティのとき) − 送受信 DMA 転送サポート機能あり
11	マスタ/スレーブ型通信機能 (マルチプロセッサモード)	− 1(マスタ)対　n(スレーブ)間の通信が可能 − (マスタとスレーブシステムの両方をサポート)
12	FIFO オプション	− 送受信 FIFO 搭載 (最大容量:送信 FIFO 128 バイト, 受信 FIFO 128 バイト)*1 − 送信 FIFO と受信 FIFO を選択可能 − 送信データ再送可能 − 受信 FIFO 割込みタイミングをソフトで可変可能 − 独立して FIFO リセットサポート

*1 : FIFO 容量はご使用する製品により容量サイズが異なります。

*2 : パリティエラーはノーマルモード時のみ。

*3 : ハードウェアフロー制御端子 (CTS/RTS) は、ご使用する製品により、利用可能なチャネル番号が異なります。データシートを参照してください。

2. UART の割込み

UART には、送受信割込みがあります。以下の要因で割込み要求を発生させられます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求

UART の割込み

UART の割込み制御ビットと割込み要因を Table 2-1 に示します。

Table 2-1 UART の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
受信	RDRF	SSR	○	○	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
					FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
					FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	○	○	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	○	○	フレーミングエラー		
	PE	SSR	○	×	パリティエラー		
送信	TDRE	SSR	○	○	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*1
	TBI	SSR	○	○	送信動作なし	SCR:TBIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*1
	FDRQ	FCR1	○	○	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル

*1 : TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

2.1　受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了(SSR:RDRF)および受信エラーの発生(SSR:PE, ORE, FRE)があります。

受信割込み発生とフラグセットのタイミング

最初のストップビットの検出により、受信データが受信データレジスタ(RDR)に格納されます。受信が完了(SSR:RDRF=1)したときまたは受信エラーが発生(SSR:PE, ORE, FRE=1)したとき、各フラグがセットされます。そのとき、受信割込みが許可(SSR:RIE=1)されていると受信割込みが発生します。

＜注意事項＞

- *受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。*

Figure 2-1 RDRF(受信データフル)フラグビットのセットタイミング

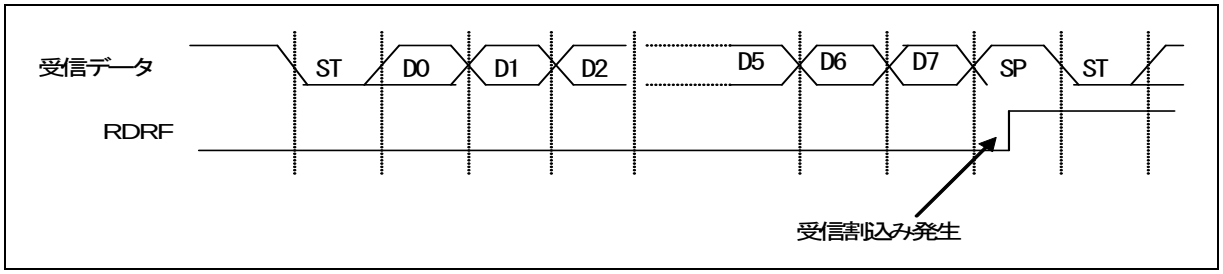
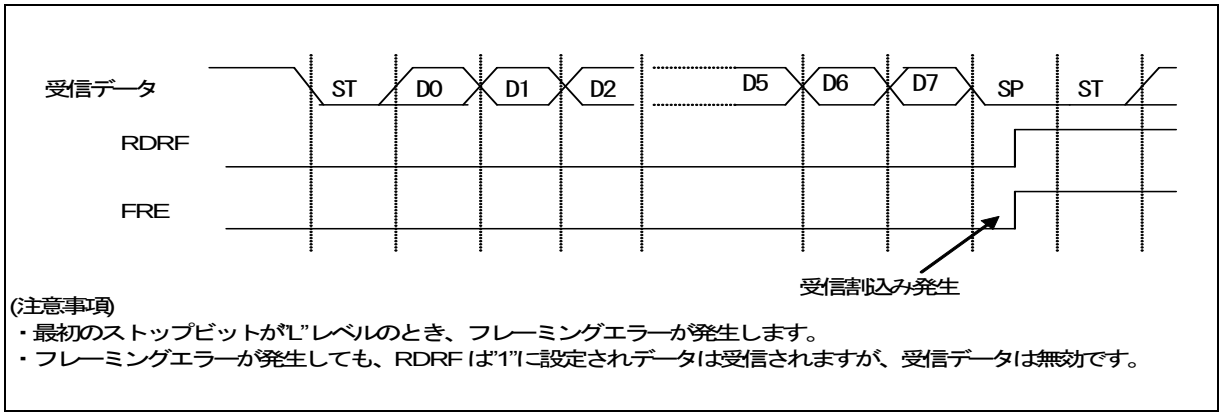


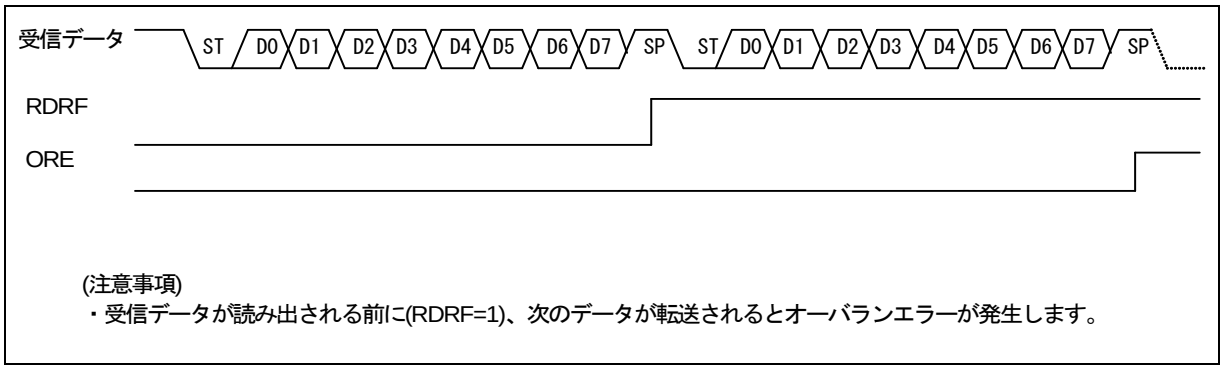
Figure 2-2 FRE(フレーミングエラー)フラグビットのセットタイミング



＜注意事項＞

- *受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前に以下が検出された場合、そのエッジが無効になり、次のデータを正常に受信できなくなることがあります。連続してフレームを出力する場合にはフレームの間隔を空けてください。*
- *シリアルデータの立下りエッジ(ESCR:INV="0"の場合)*
- *シリアルデータの立上りエッジ(ESCR:INV="1"の場合)*

Figure 2-3 ORE (オーバランエラー)フラグビットのセットタイミング



2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分を受信した場合に発生します。

受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が "1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信した場合にオーバランエラー(SSR:ORE=1)が発生します。

Figure 2-4 受信 FIFO 使用時の受信割込み発生タイミング

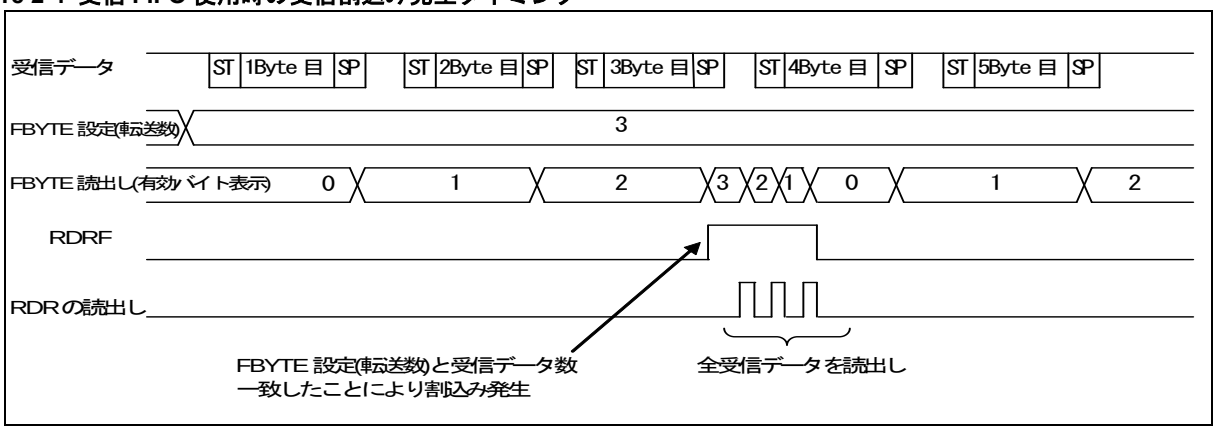
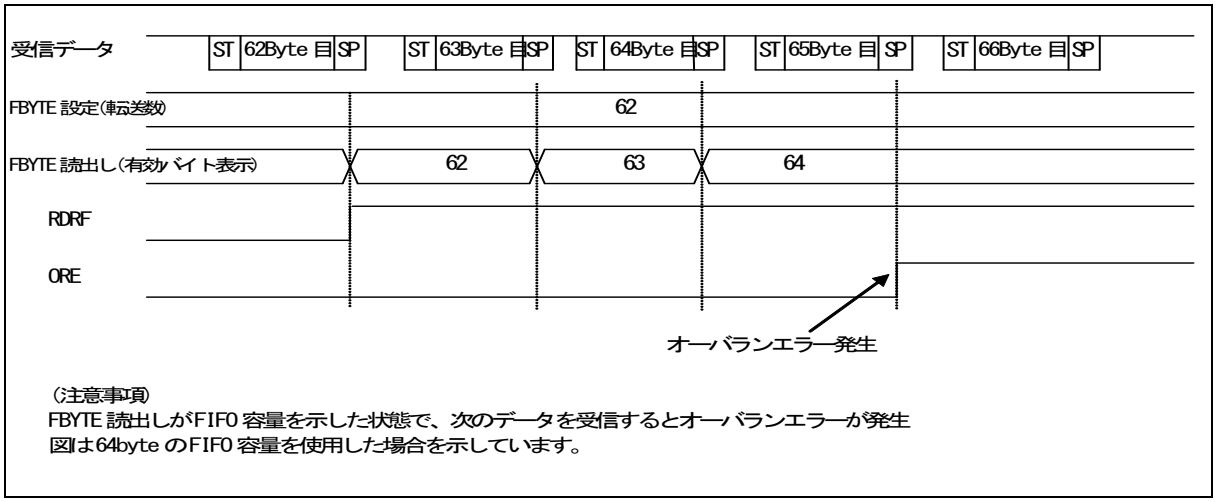


Figure 2-5 ORE (オーバランエラー)フラグビットのセットタイミング



2.3 送信割込み発生とフラグセットのタイミング

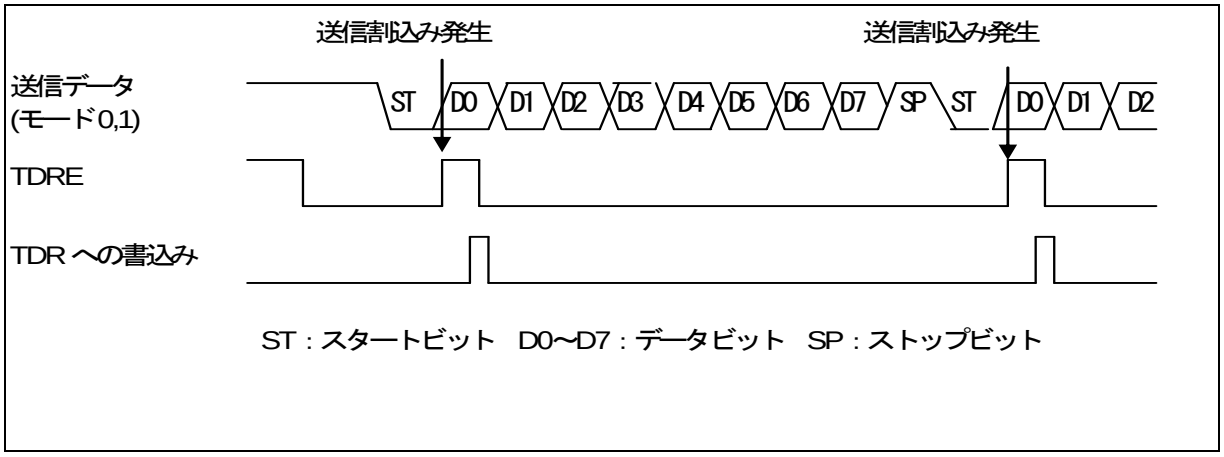
送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送(SSR:TDRE=1)されて送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

送信割込み発生とフラグセットのタイミング

■ 送信データエンプティフラグ(SSR:TDRE)のセットタイミング

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)になります。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDREビットは読出し専用ビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

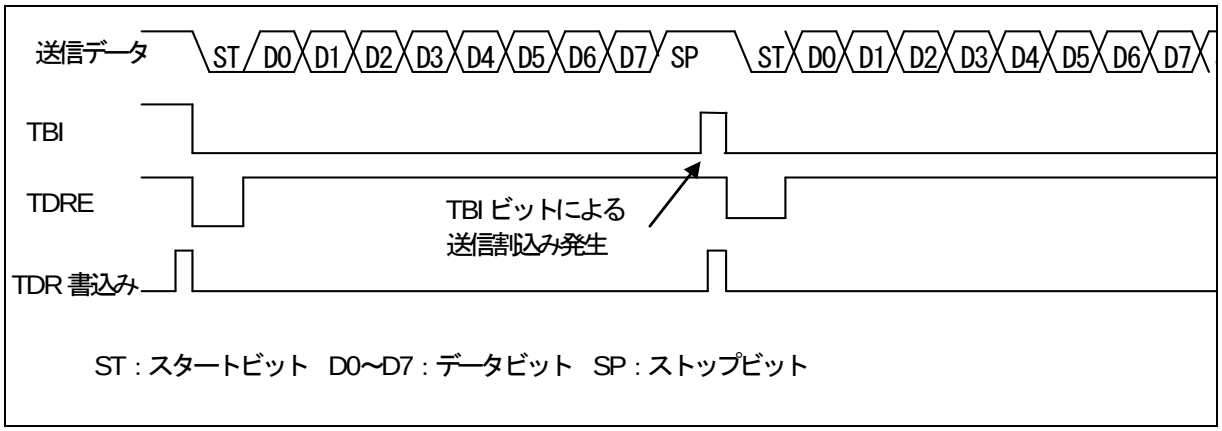
Figure 2-6 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



■ 送信バスアイドルフラグ(SSR:TBI)のセットタイミング

送信データレジスタが空(SSR:TDRE=1)で送信動作をしていない時、SSR:TBI ビットは "1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データを書き込むと SSR:TBI ビットおよび送信割込み要求はクリアされます。

Figure 2-7 送信バスアイドルフラグ(TBI)のセットタイミング



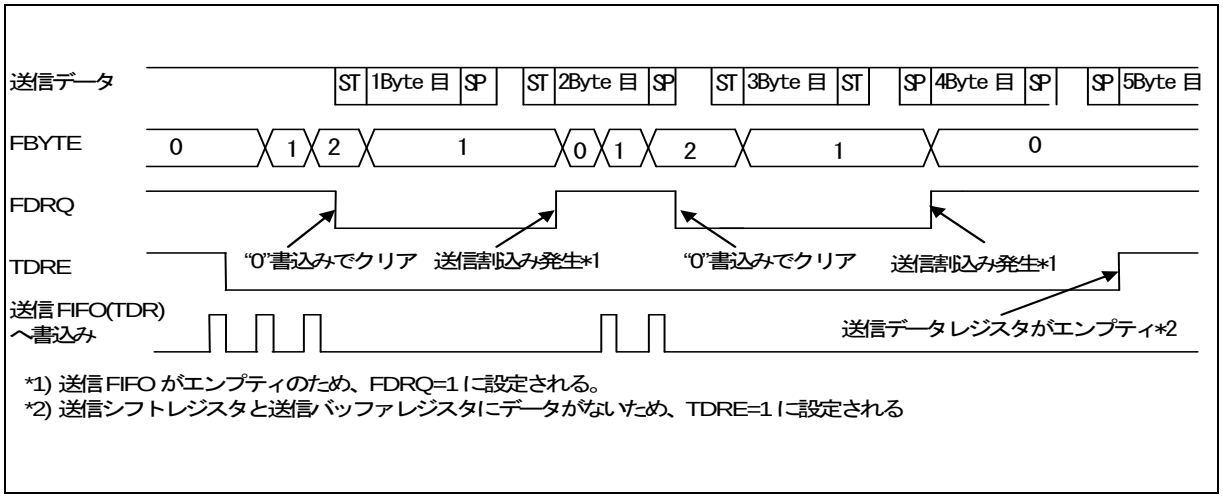
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない時に発生します。

送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
  このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。
  FBYTE=0x00 のときは、送信 FIFO にデータがないことを示します。

Figure 2-8 送信 FIFO 使用時の送信割込み発生タイミング



3. UART の動作

UART は、モード 0 の双方向シリアル非同期通信, モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

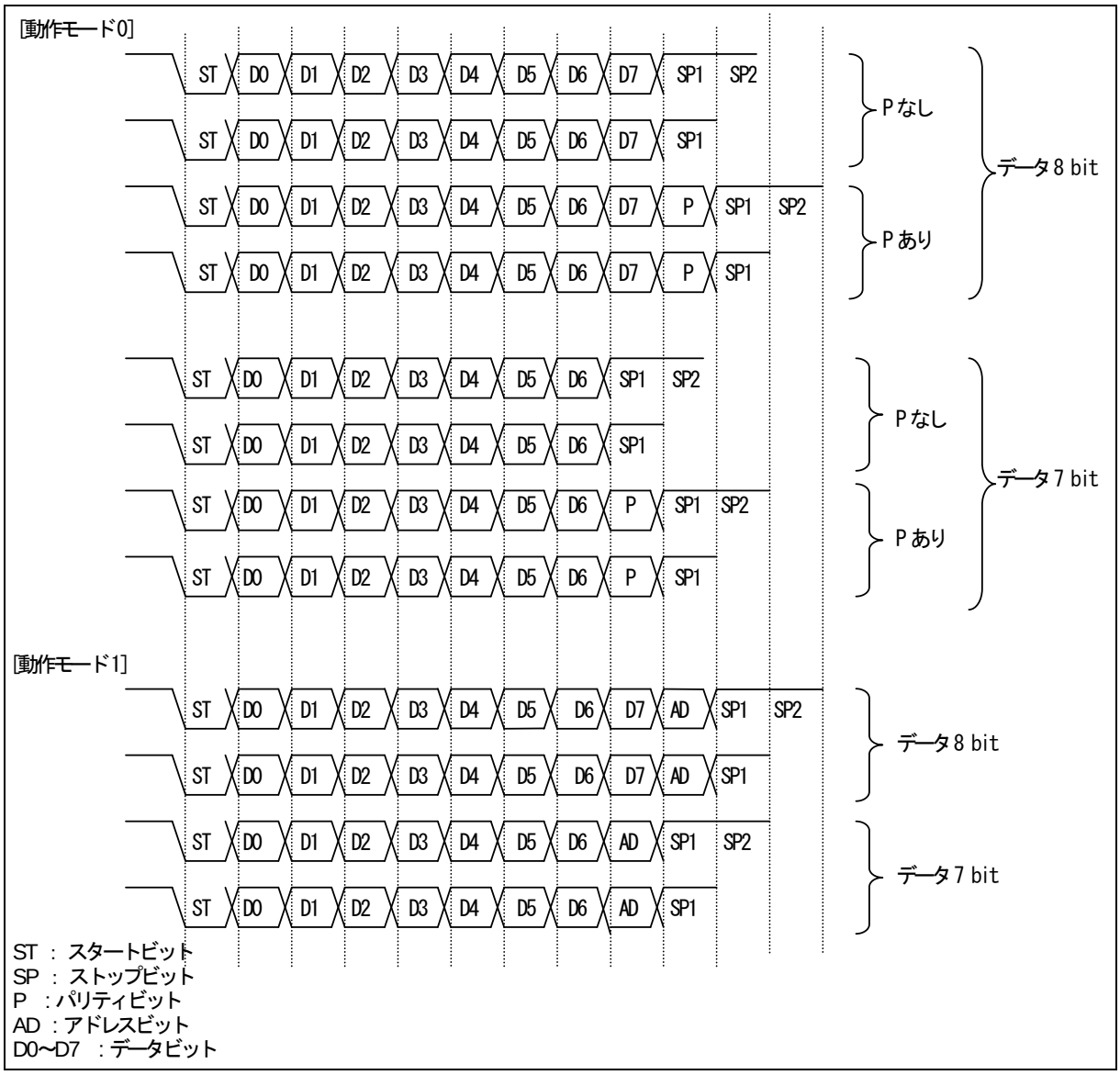
UART の動作

■ 送受信データフォーマット

- 送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
- データ転送方向(LSB ファーストまたは MSB ファースト)は、シリアルモードレジスタ(SMR)の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
- 動作モード 0(通常モード)では、パリティあり/パリティなしの選択ができます。
- 動作モード 1(マルチプロセッサモード)では、パリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマット例を Figure 3-1 に示します。

Figure 3-1 送受信データフォーマット例 (動作モード 0, 1)



<注意事項>

- *Figure 3-1 は、データ長を 7, 8 ビットに設定した場合を示しています。(動作モード 0 の場合、データ長は、5～9 ビットまで設定できます。)*
- *シリアルモードレジスタ(SMR)の BDS ビットを"1"(MSB ファースト)に設定した場合、ビットは D7, D6, D5, ・・・, D1, D0(P)の順で処理されます。*
- *データ長を X ビット長に設定した場合、送受信データレジスタ(RDR/TDR)の下位 X ビットが有効です。*

■ 送信動作

- シリアルステータスレジスタ(SSR)の送信データエンプティフラグビット(TDRE)が"1"の場合、送信データレジスタ(TDR)に送信データを書き込めます。(送信 FIFO が許可されている場合には TDRE="0"でも送信データを書き込むことは可能)
- 送信データを送信データレジスタ(TDR)に書き込むと、送信データエンプティフラグビット(SSR:TDRE)は"0"に設定されます。
- シリアル制御レジスタの送信動作許可ビット(SCR:TXE)を"1"に設定した場合、送信データは送信シフトレジスタにロードされスタートビットから順に送信が開始されます。
- 送信が開始されると、送信データエンプティフラグビット(SSR:TDRE)は再び"1"に設定されます。このとき、送信割込みが許可(SCR:TIE=1)されていれば、送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書き込めます。

<注意事項>

- *送信データエンプティフラグビット(SSR:TDRE)は初期値が"1"のため、送信割込みが許可(SCR:TIE)されると直ちに送信割込みが発生します。*
- *FIFO 送信データ要求ビット(FCR1:FDRQ)は初期値が"1"のため、FIFO 送信割込みが許可(FCR1:FTIE=1)されると直ちに送信割込みが発生します。*

■ 受信動作

- 受信動作が許可(SCR:RXE=1)されると、受信動作を行います。
- スタートビットを検出した場合、拡張通信制御レジスタ(ESCR:PEN, P, L2, L1, L0)およびシリアルモードレジスタ(SMR:BDS)に設定されているデータフォーマットに従って 1 フレームデータの受信が行われます。スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下り(ESCR:INV="0")または立上り(ESCR:INV="1")を検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。
- 1 フレームの受信が完了した場合、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。このとき、受信割込みが許可(SCR:RIE=1)されている場合、受信割込みが発生します。
- 受信データを読み出す際には、1 フレームデータの受信完了後に受信データを読み出し、シリアルステータスレジスタ(SSR)のエラーフラグの状態を確認してください。受信エラーが発生している場合には、エラー処理を行ってください。
- 受信データの読出しで、受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。
- 受信 FIFO が許可されている場合、受信 FBYTE に設定された分のフレームを受信することで受信データフルフラグビット(SSR:RDRF)は"1"に設定されます。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO が許可されている場合、シリアルステータスレジスタ(SSR)のエラーフラグが"1"に設定されると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット(SSR:RDRF)を"1"に設定しません (ただしオーバランエラーの場合、RDRF フラグは"1"に設定されます)。受信 FBYTE の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ(SSR)のエラーフラグが"0"にクリアされないと受信 FIFO は許可されません。
- 受信 FIFO が許可されている場合、受信 FIFO にデータがなくなると受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。

<注意事項>

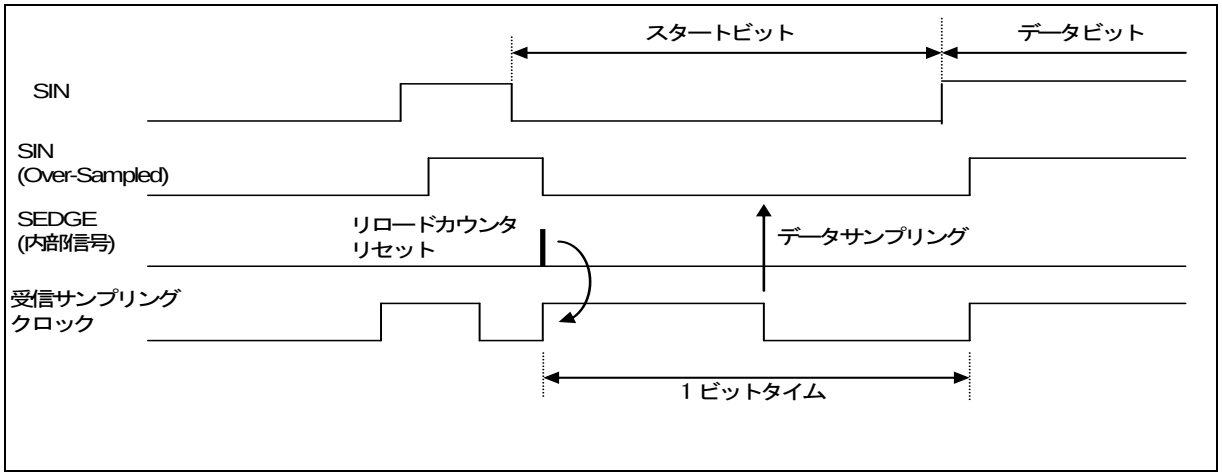
- *受信データレジスタ(RDR)のデータは、受信データレジスタフルフラグビット(SSR:RDRF)が "1"に設定され、受信エラーが発生しなかった場合(SSR:PE, ORE, FRE=0)に有効です。*
- *ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズがフィルタを通過してしまうと間違ったデータを受信してしまいます。その対策としてノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。*
- *受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前に以下が検出された場合、そのエッジが無効になり、次のデータを正常に受信できなくなることがあります。連続してフレームを出力する場合にはフレームの間隔を空けてください。*
- *シリアルデータの立下りエッジ(ESCR:INV="0"の場合)*
- *シリアルデータの立上りエッジ(ESCR:INV="1"の場合)*

■ クロック選択

- 内部クロックまたは外部クロックを使用できます。
- 外部クロックを使用する場合は、SMR:EXT=1 に設定します。このとき、外部クロックは、ボーレートジェネレータで分周されます。外部クロックは SCK から入力します。

■ スタートビット検出

- 非同期モード時は、SIN 信号の立下りエッジによってスタートビットを認識します。
  このため受信動作許可(SCR:RXE=1)しても、SIN 信号の立下りエッジが入力されないと、受信動作を開始しません。
- スタートビットの立下りエッジを検出した場合、ボーレートジェネレータの受信リロードカウンタはリセットされ、再リロードしカウントダウンを開始します。これによって、常にデータの中心でサンプリングします。



■ ストップビット

- 1 ビットから 4 ビット長を選択できます。
- 受信データフルフラグビット(SSR:RDRF)は、最初のストップビットを検出すると"1"に設定されます。

■ エラー検出

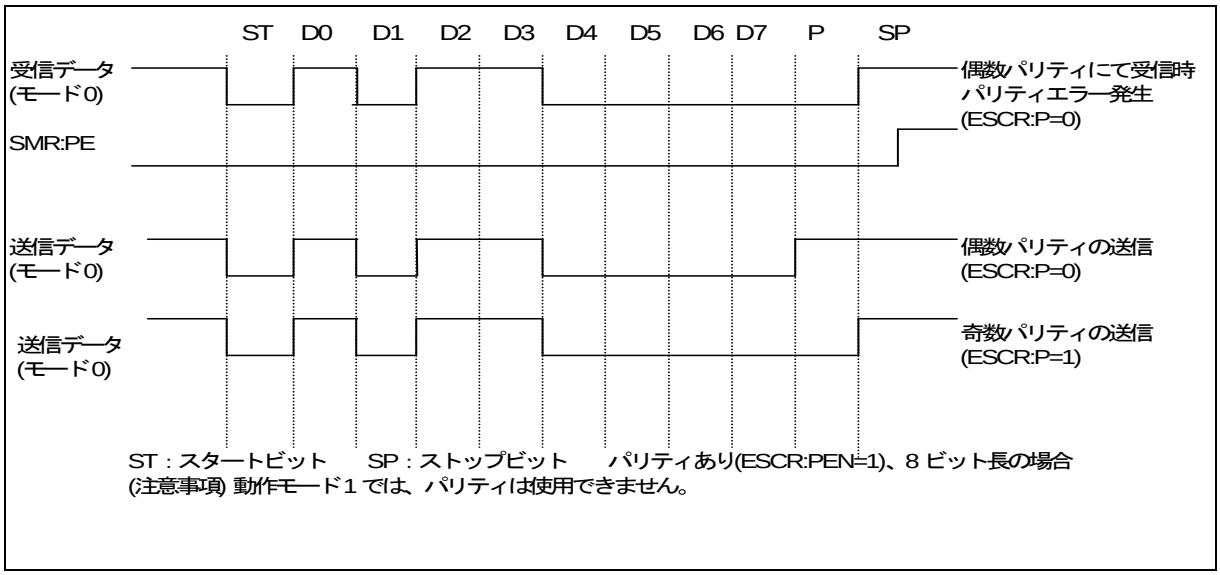
- 動作モード 0 では、パリティエラー, オーバランエラー, フレーミングエラーが検出できます。
- 動作モード 1 では、オーバランエラー, フレーミングエラーが検出できます。パリティエラーは検出できません。

■ パリティビット

- パリティビットの付加は、動作モード 0 の場合のみ設定できます。パリティ許可ビット(ESCR:PEN)でパリティの有無を、パリティ選択ビット(ESCR:P)で偶数パリティ/奇数パリティを設定できます。
- 動作モード 1 では、パリティを使用できません。

パリティ有効時の送受信データを Figure 3-2 に示します。

Figure 3-2 パリティ有効時の動作

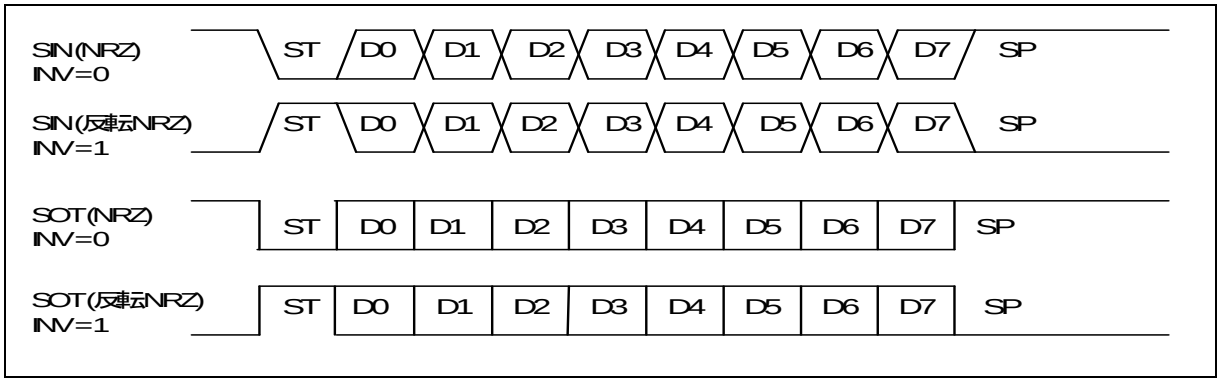


■ データ信号方式

拡張通信制御レジスタの INV ビットの設定によって、NRZ(Non Return to Zero)信号方式(ESCR:INV=0)または反転 NRZ 信号方式(ESCR:INV=1)を選択できます。

NRZ 信号方式および反転 NRZ 信号方式を Figure 3-3 に示します。

Figure 3-3 NRZ (Non Return to zero)信号方式および反転 NRZ 信号方式



■ データ転送方式

データビット転送方法を LSB ファーストまたは MSB ファーストを選択できます。

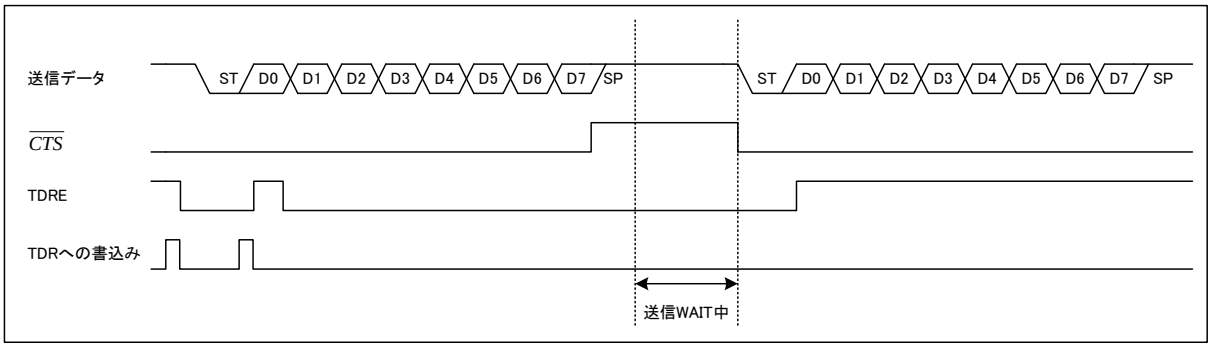
■ ハードウェアフロー制御

フロー制御許可(ESCR:FLWEN="1")のとき、UART はハードウェアフロー制御を行います。

□ データ送信時

データ送信後に$\overline{CTS}$が"H"の場合、送信バッファにデータが存在(TDRE="0")しても次のデータを送信せず、$\overline{CTS}$が"L"になるまで送信をウェイトします。送信をウェイトする場合、ストップビットの送信が終了するまでに$\overline{CTS}$に"H"を入力してください。送信途中で$\overline{CTS}$が"H"を入力されても、送信はストップビットまで継続します。

Figure 3-4 データ送信時のハードウェアフロー制御動作 (SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)

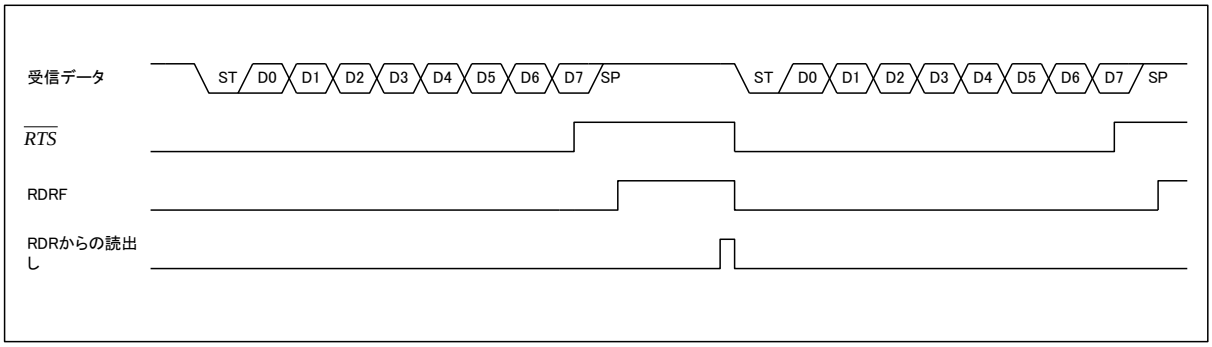


□ データ受信時

- FIFO 未使用時

ストップビットより 1 ビット前のデータを受信した場合、$\overline{RTS}$に"H"を出力します。
受信データを読み出した後、$\overline{RTS}$に"L"を出力します。

Figure 3-5 データ受信時のハードウェアフロー制御動作(FIFO 未使用) (SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)

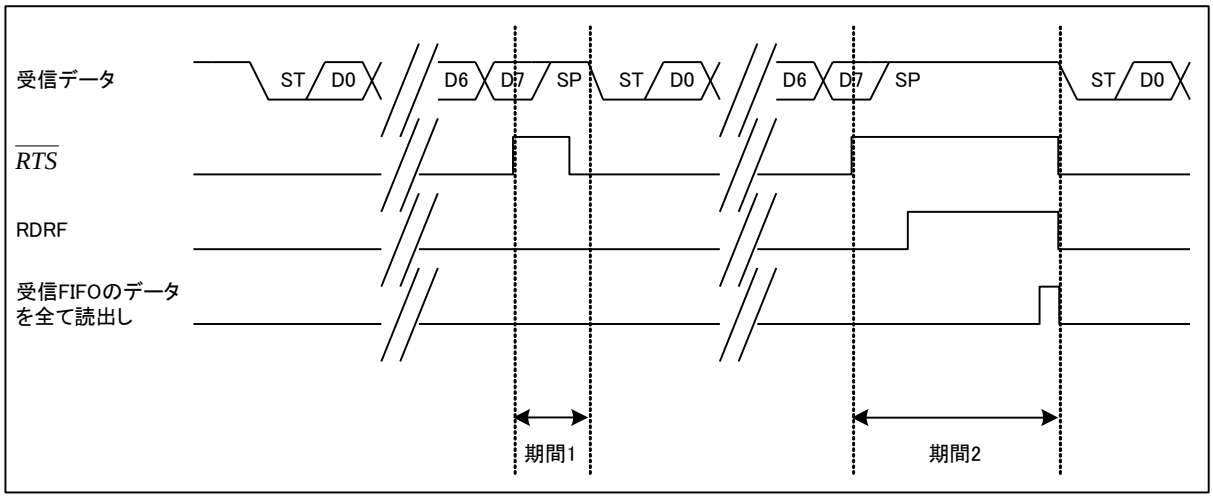


- FIFO 使用時

SSR:RDRF がセットされない場合(受信 FIFO に所定のデータ数を受信していない場合)、ストップビットより 1 ビット前のデータを受信した場合、$\overline{RTS}$ は"H"を出力しますが、ストップビット検出時に $\overline{RTS}$ は"L"を出力します。(期間 1 の場合)

SSR:RDRF がセットされる場合(受信 FIFO に所定のデータ数を受信する場合)、ストップビットより 1 ビット前のデータを受信した場合、$\overline{RTS}$ は"H"を出力します。受信 FIFO のデータをすべて読み出した後に $\overline{RTS}$ は"L"を出力します。(期間 2 の場合)

Figure 3-6 データ受信時のハードウェアフロー制御動作(FIFO 使用) (SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)



<注意事項>

- *受信動作を禁止(RXE=0)した場合には、$\overline{RTS}$ 信号は"L"に固定されます。*
- *受信 FIFO 使用時に、以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF は"1"に設定されますが、$\overline{RTS}$ 信号は"L"のままです。*
- *受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"*
- *受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている*
- *プログラマブルリセット(SCR:UPCL="1")を行うと、$\overline{RTS}$ 信号は"L"にクリアされます。*

4. 専用ボーレートジェネレータ

UART の送受信クロックソースは、以下のどちらかを選択できます。

- 専用ボーレートジェネレータ(リロードカウンタ)
- 外部クロックをボーレートジェネレータに入力(リロードカウンタ)

UART ボーレート選択

ボーレートは以下の 2 種類から選択できます。

■ 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択(BGR1:EXT=0)してください。

■ 専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。外部クロックは SCK から入力します。

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(BGR1:EXT=1)してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

<注意事項>

- *外部クロックの設定(BGR1:EXT=1)は、リロードカウンタが停止した状態(BGR1/BGR0=15'h00)で行ってください。*
- *外部クロックに設定(BGR1:EXT=1)した場合、外部クロックの"H"幅、"L"幅は 2 バスクロック以上確保してください。*

4.1 ボーレート設定

ボーレートの設定を示します。また, シリアルクロック周波数の計算結果を示します。

ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

V = ϕ / b − 1

V : リロード値　b : ボーレート　ϕ : バスクロック周波数、外部クロック周波数

(2)計算例

バスクロック(16MHz), 内部クロック使用, ボーレートを 19200bps に設定する場合のリロード値は以下のようになります。

リロード値 :

V = (16 × 1000000)/19200 - 1 = 832

よって、ボーレートは

b = (16 × 1000000)/(832 + 1) = 19208 (bps)

(3)ボーレートの誤差

ボーレートの誤差は以下の式によって算出されます。

誤差(%) = (計算値 - 目標値)/目標値 × 100

(例) バスクロック(20MHz), 目標ボーレートを 153600bps に設定する場合

リロード値 = (20 × 1000000)/153600 - 1 = 129

ボーレート(計算値) = (20 × 1000000)/(129 + 1) = 153846 (bps)

誤差(%) = (153846 - 153600)/153600 × 100 = 0.16 (%)

<注意事項>

- *リロード値を"0"に設定した場合、リロードカウンタは停止します。*
- *リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
- *リロード値は 4 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。*

各バスクロック周波数に対するリロード値とボーレート

Table 4-1 リロード値とボーレート設定例

ボーレート	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32 MHz	
(bps)	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	-	-	-	7	0	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	312	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	<0.01	555	-0.08	693	0.06	832	0.03	1110	0.01
19200	416	-0.08	520	-0.03	832	0.03	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	2082	0.02	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

Value : BGR1/BGR0 レジスタの設定値(10 進)

ERR : ボーレート誤差(%)

Table 4-2 リロード値とボーレート設定例(続き)

ボーレート (bps)	36 MHz		40 MHz		48 MHz		72 MHz		80 MHz		100 MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	8	0	9	0	11	0	17	0	19	0	24	0
2.5M	-	-	15	0	-	-	-	-	31	0	39	0
2M	17	0	19	2	23	0	35	0	39	0	49	0
1M	35	0	39	0	47	0	71	0	79	0	99	0
500000	71	0	79	0	95	0	143	0	159	0	199	0
460800	77	0.16	86	-0.22	103	0.16	155	0.16	173	-0.22	216	<0.01
250000	143	0	159	0	191	0	287	0	319	0	399	0
230400	155	0.16	173	-0.22	207	0.16	312	-0.16	346	0.06	433	<0.01
153600	233	0.16	259	0.16	312	-0.16	468	-0.05	520	-0.03	650	<0.01
125000	287	0	319	0	383	0	575	0	639	0	799	0
115200	312	-0.16	346	0.06	416	-0.08	624	0	693	0.06	867	<0.01
76800	468	-0.05	520	-0.03	624	0	937	-0.05	1041	-0.03	1301	<0.01
57600	624	0	693	0.06	832	0.04	1249	0	1388	<0.01	1735	<0.01
38400	937	-0.05	1041	-0.03	1249	0	1874	0	2082	0.02	2603	<0.01
28800	1249	0	1388	<0.01	1666	-0.02	2499	0	2777	<0.01	3471	<0.01
19200	1874	0	2082	0.02	2499	0	3749	0	4166	<0.01	5207	<0.01
10417	3455	<0.01	3839	<0.01	4607	<0.01	6911	<0.01	7679	<0.01	9599	<0.01
9600	3749	0	4166	<0.01	4999	0	7499	0	8332	0	10416	0
7200	4999	0	5555	<0.01	6666	<0.01	9999	0	11110	0	13888	0
4800	7499	0	8332	<0.01	9999	0	14999	0	16666	0	20832	0
2400	14999	0	16666	<0.01	19999	0	29999	0	-	-	-	-
1200	29999	0	-	-	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-	-	-	-	-

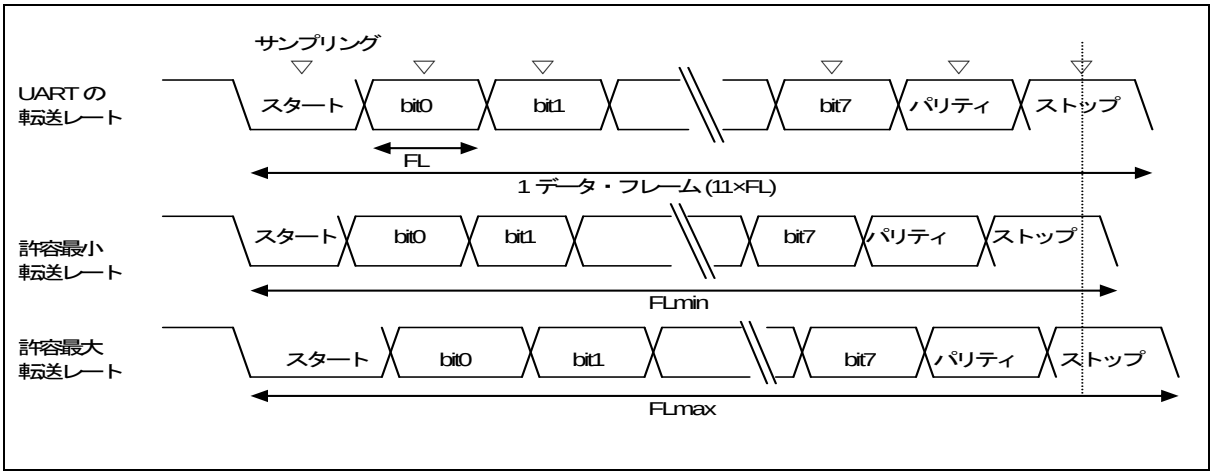
Table 4-1, Table 4-2 に記載していない周波数については、「4.1 ボーレート設定」の計算式にて算出してください。(ただし、最大周波数については、製品により異なるため、ご使用する製品の『データシート』を参照してください。)

受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを以下に示します。

受信時のボーレート誤差は、以下に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

Figure 4-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後は BGR1/BGR0 レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット)までが間に合えば正常に受信できます。

これを 11 ビット受信に当てはめると理論上、以下のとおりです。

サンプリング・タイミングのマージンをバスクロック(ϕ)の 1 クロック分とすると、許容最小転送レート(FLmin)は以下のとおりです。

FLmin = (11bit×(V+1) – (V+1)/2 + 2)/ ϕ = (21V+25)/2 ϕ (s)　　V:リロード値　ϕ:バスクロック

したがって、受信可能な送信先の最大ボーレート(BGmax)は以下のとおりです。

BGmax = 11/FLmin = 22ϕ/(21V+25)　(bps)　　V:リロード値　ϕ:バスクロック

許容最大転送レート(FLmax)データを受信する場合、11 ビット目の受信データの始点にてサンプリングが行われます。

よって、許容最大転送レート(FLmax)は以下のとおりです。

10/11×FLmax = (11bit×(V+1) – (V+1)/2)/ ϕ　　V:リロード値　ϕ:バスクロック

FLmax = (21/20×11×(V+1))/ ϕ

サンプリング・タイミングのマージン(ϕ)を 2 クロック分とすると、許容最大転送レート(FLmax)は以下のとおりです。

10/11×FLmax = (11bit×(V+1) – (V+1)/2 – 2)/ ϕ　　V:リロード値　ϕ:バスクロック

FLmax = (21/20×11×　(V+1) – 44/20)/ ϕ = (231V+187)/20 ϕ (s)　　V:リロード値　ϕ:バスクロック

したがって、受信可能な送信先の最小ボーレート(BGmin)は以下のとおりです。

BGmin = 11/FLmax = 220ϕ/(231V+187)　(bps)　　V:リロード値　ϕ:バスクロック

前述の最小/最大ボーレート値の算出式から、UART と送信先とのボーレートの許容誤差を求めると以下のとおりです。

リロード値(V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+2.98%	-3.08%
50	+4.37%	-4.40%
100	+4.56%	-4.58%
200	+4.66%	-4.67%
32767	+4.76%	-4.76%

<注意事項>

- *受信の精度は、1 フレームのビット数，バスクロック，リロード値に依存します。バスクロックが高く、分周比が高くなるほど精度は高いです。*

外部クロック

ボーレートジェネレータレジスタ(BGR)の EXT ビットに"1"を書き込むと、ボーレートジェネレータで外部クロックを分周します。外部クロックは SCK から入力します。

<注意事項>

- *外部クロック信号は UART で内部クロックに同期します。したがって、同期化不可能な外部クロックの場合、動作が不安定です。*

リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。

カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

再スタート

リロードカウンタは以下の条件で再スタートします。

■ 送信/受信リロードカウンタ共通
プログラマブルリセット(SCR:UPCL ビット)

■ 受信リロードカウンタ
非同期モードでのスタートビット立下りエッジ検出

5. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー

動作モード 0 では、非同期シリアル双方向の通信ができます。

CPU 間接続

動作モード 0(通常モード)では、双方向通信を選択します。Figure 5-1, Figure 5-2 に示すように 2 つの CPU を相互に接続します。

Figure 5-1 UART 動作モード 0 の双方向通信の接続例 (フロー制御禁止時)

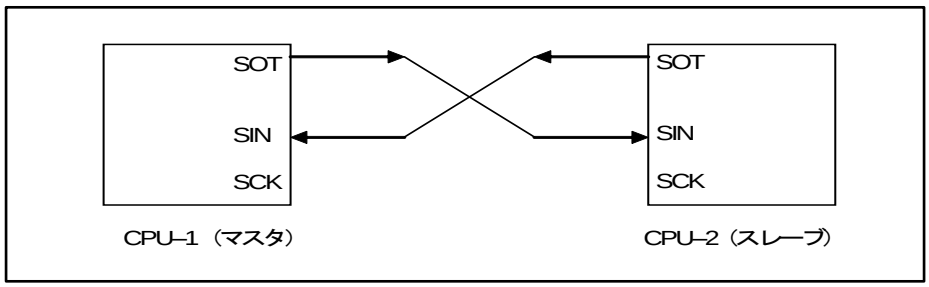
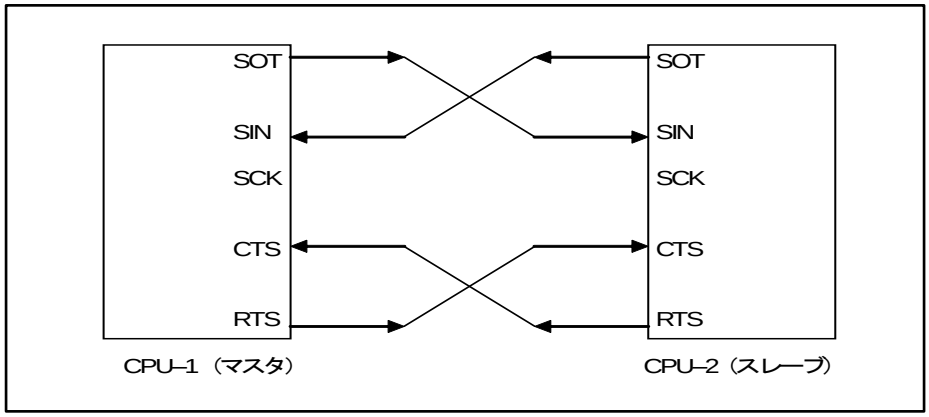


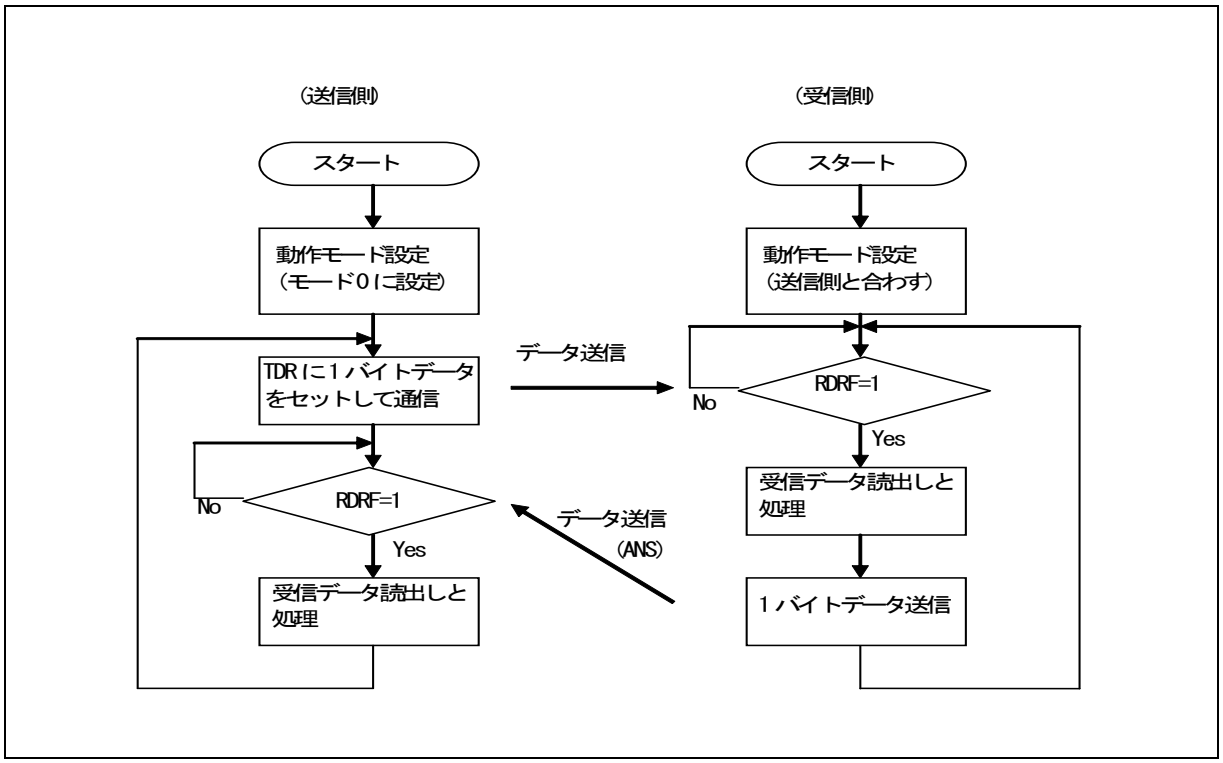
Figure 5-2 UART 動作モード 0 の双方向通信の接続例 (フロー制御時)



フローチャート

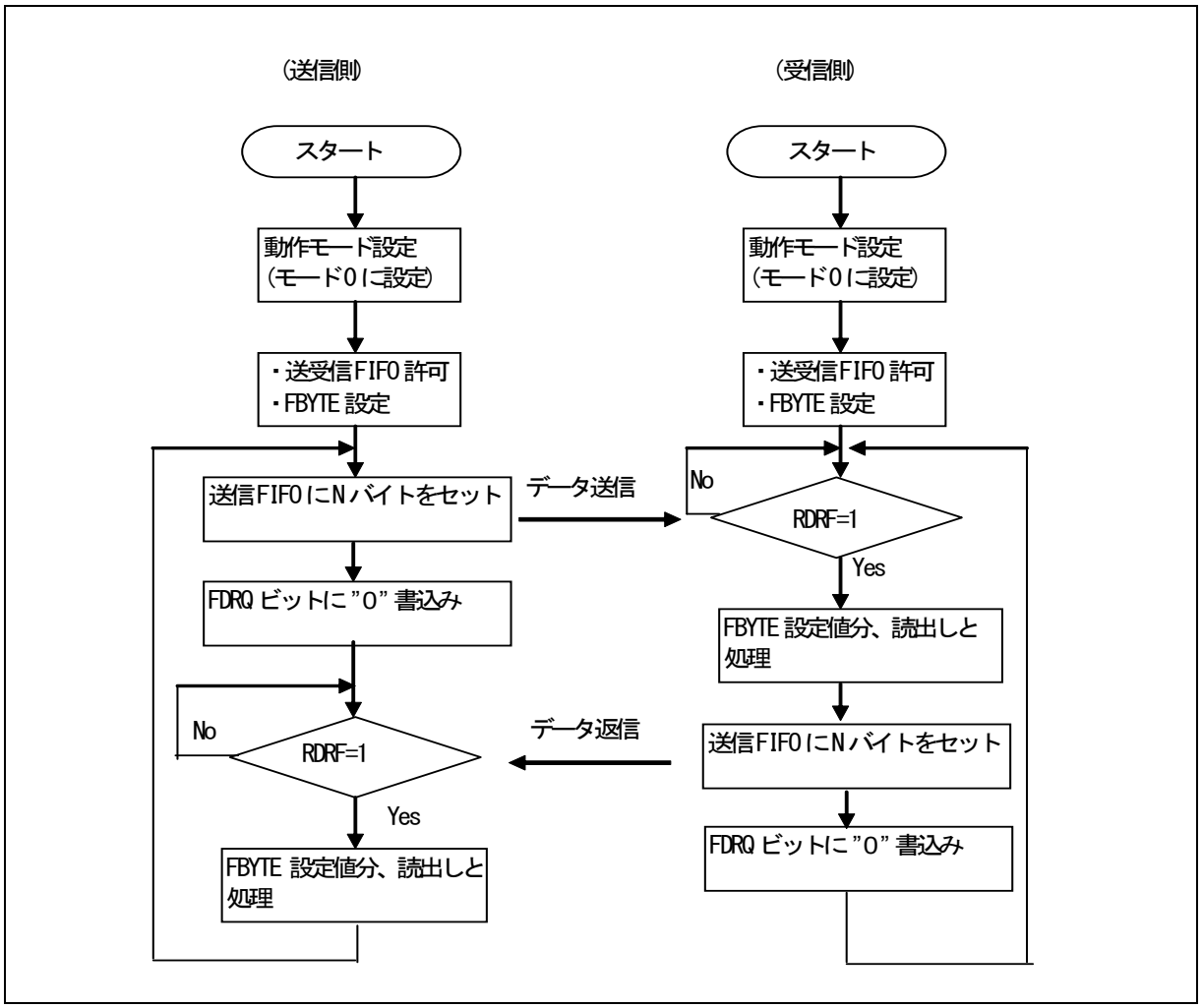
■ FIFO 未使用時

Figure 5-3 双方向通信フローチャートの例 (FIFO 未使用時)



■ FIFO 使用時

Figure 5-4 双方向通信フローチャートの例 (FIFO 使用時)



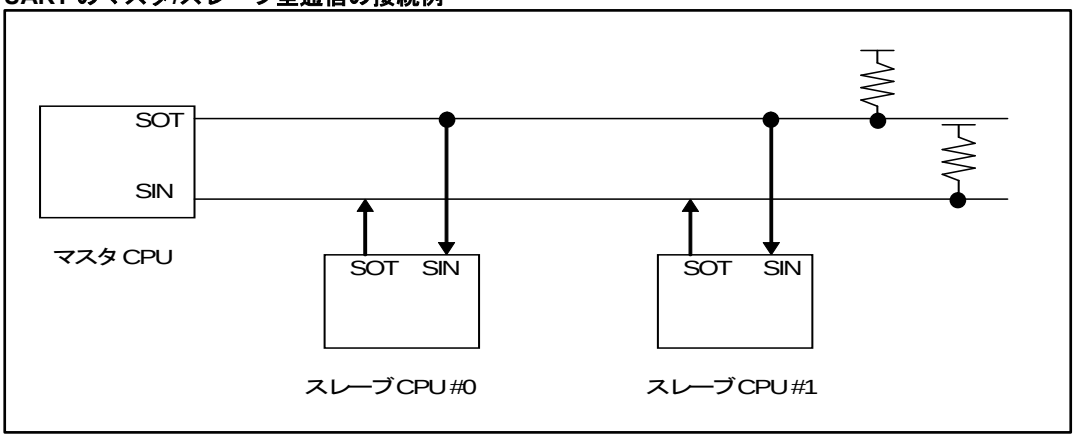
6. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー

動作モード 1(マルチプロセッサモード)では、複数 CPU のマスタ/スレーブ接続による通信が可能です。マスタ/スレーブとして使用できます。

CPU 間接続

マスタ/スレーブ型通信では、Figure 6-1 に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

Figure 6-1 UART のマスタ/スレーブ型通信の接続例



機能選択

マスタ/スレーブ型通信では、Table 6-1 に示すように動作モードとデータ転送方式を選択してください。

Table 6-1 マスタ/スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (A/D ビット送信)	モード 1 (A/D ビット受信)	AD = "1" + 7 または 8 ビットアドレス	なし	1 ビットまたは 2 ビット	LSB または、MSB ファースト
データ送受信			AD ="0" + 7 または 8 ビットデータ			

<注意事項>

- ***動作モード 1 では送受信データ(TDR/RDR)はワードアクセスで行ってください。***

■ 通信手順

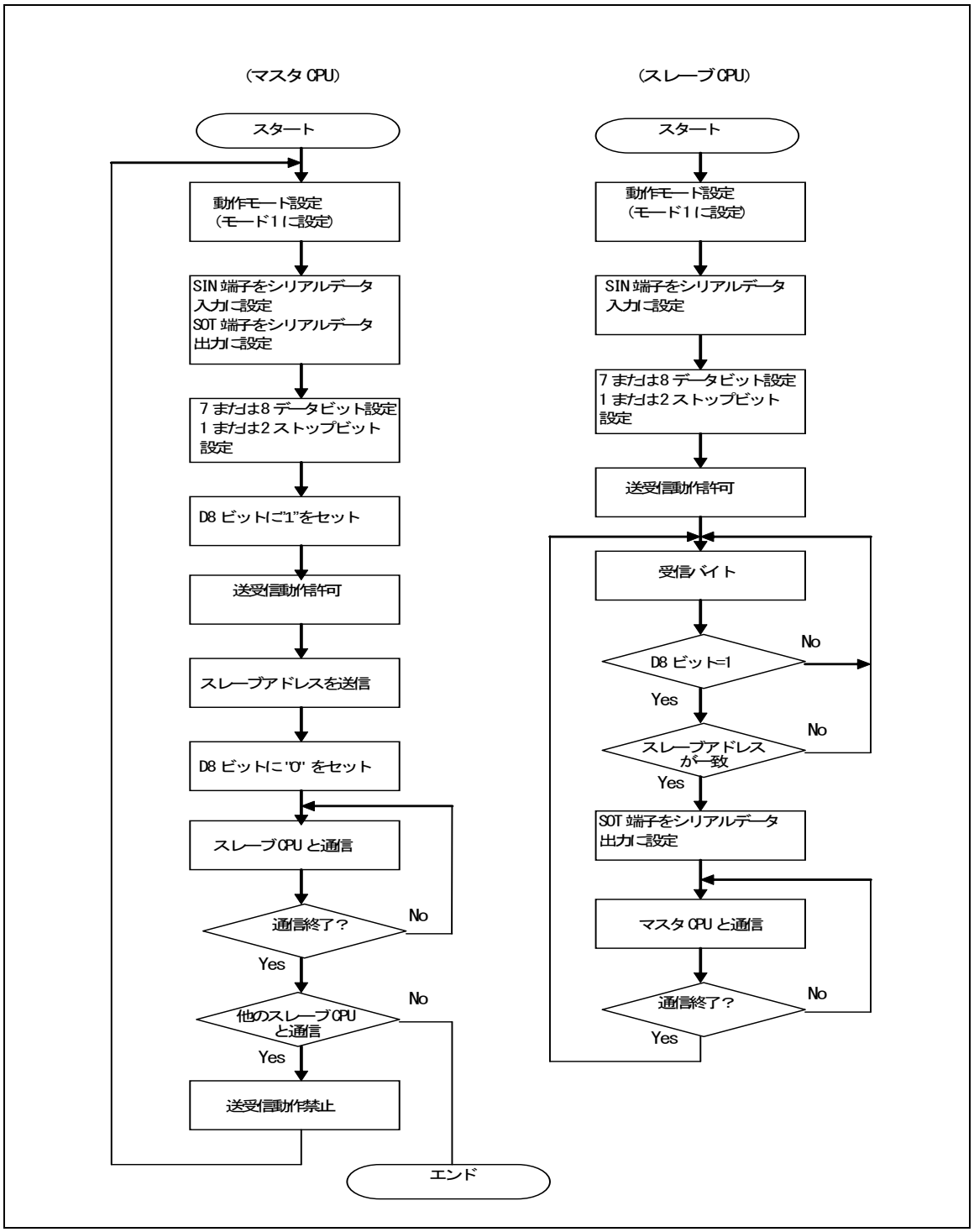
通信は、マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを"1"としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信(通常データ)をします。

Figure 6-3 に、マスタ/スレーブ型通信(マルチプロセッサモード)のフローチャートを示します。

フローチャート

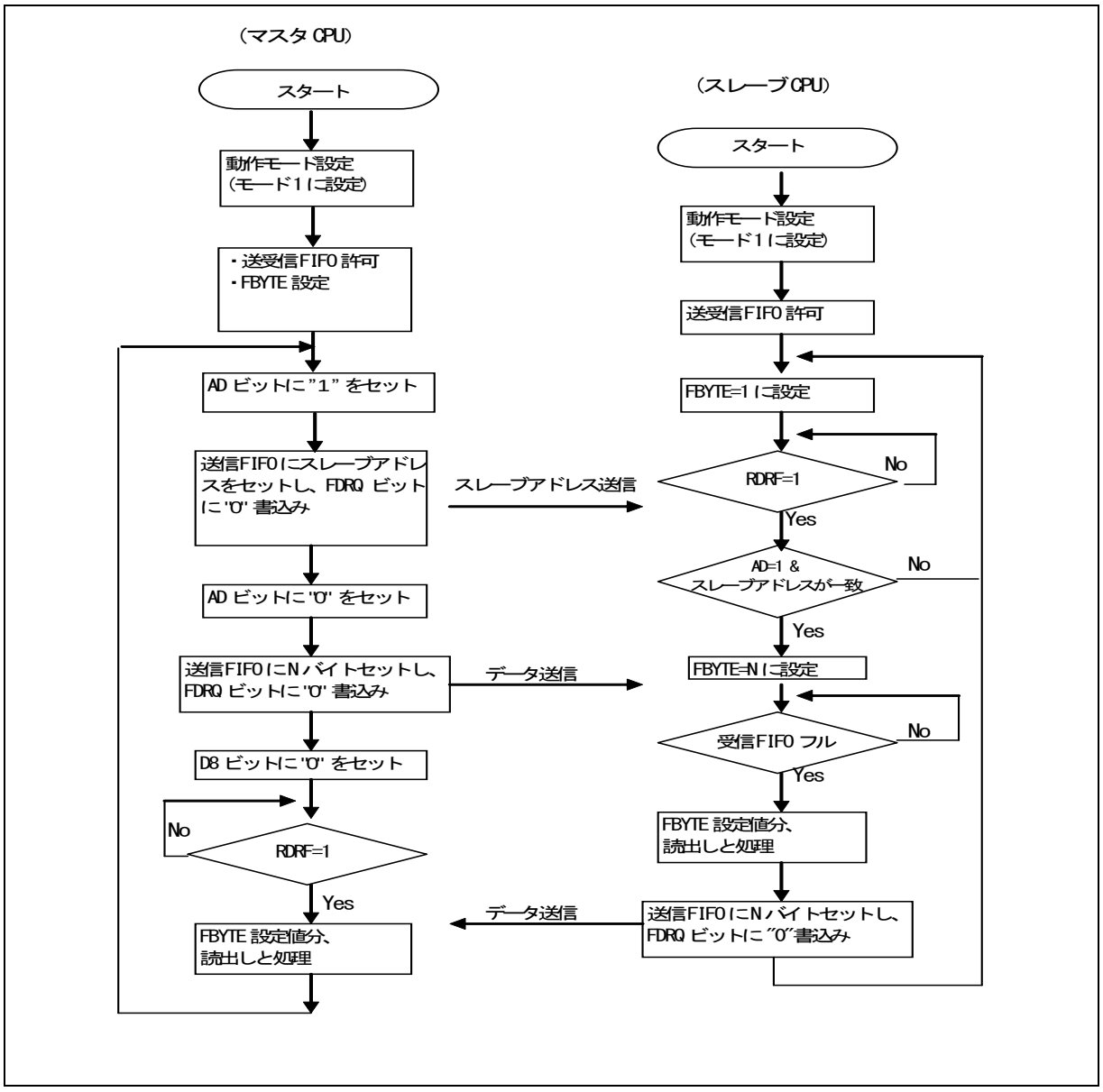
■ FIFO 未使用時

Figure 6-2 マスタ/スレーブ型通信フローチャートの例 (FIFO 未使用時)



■ FIFO 使用時

Figure 6-3 マスタ/スレーブ型通信フローチャートの例 (FIFO 使用時)



7. UART(非同期シリアルインタフェース)のレジスタ

UART(非同期シリアルインタフェース)のレジスター一覧を示します。

UART(非同期シリアルインタフェース)のレジスター一覧

Table 7-1 UART (非同期シリアルインタフェース) のレジスター一覧

	bit15 bit8	bit7 bit0
UART	SCR(シリアル制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	ESCR(拡張通信制御レジスタ)
	RDR1/TDR1(送受信データレジスタ 1)	RDR0/TDR0(送受信データレジスタ)
	BGR1(ボーレートジェネレータレジスタ 1)	BGR0(ボーレートジェネレータレジスタ 0)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

Table 7-2 UART (非同期シリアルインタフェース) ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SBL	BDS	-	SOE
SSR/ ESCR	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	FLWEN	ESBL	INV	PEN	P	L2	L1	L0
TDR (RDR)	-							D8 (AD)	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
		BGR1							BGR0							
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE 1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

動作モード

UART(非同期シリアルインタフェース)は、2 つの異なるモードで動作します。シリアルモードレジスタ(SMR)の MD2, MD1, MD0 ビットによって決定されます。

Table 7-3 UART (非同期シリアルインタフェース) の動作モード

動作モード	MD2	MD1	MD0	種類
0	0	0	0	UART0 (非同期ノーマルモード)
1	0	0	1	UART1 (非同期マルチプロセッサモード)

7.1 シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信の許可/禁止，送受信割込みの許可/禁止，送信バスアイドル割込みの許可/禁止, UART リセットをすることができます。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	(SMR)
属性	R/W	-	-	R/W	R/W	R/W	R/W	R/W	
初期値	0	-	-	0	0	0	0	0	

[bit15] UPCL： プログラマブルクリアビット

UART の内部状態を初期化するビットです。

bit	説明	
	書込み時	読出し時
0	動作に影響しません。	常に"0"を読み出します。
1	プログラマブルクリア	

"1"を設定した場合:

- UART を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/BGR0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信割込み要因(SSR:PE, FRE, ORE, RDRF, TDRE, TBI)は初期化(0b000011)されます。
- $\overline{\text{RTS}}$信号は"L"にクリアされます。

"0"を設定した場合:

動作に影響しません。

読出し時は、常に"0"が読み出されます。

＜注意事項＞

- *割込み禁止に設定した後に、プログラマブルクリアを実行してください。*
- *FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。*

[bit14:13] -： 未使用ビット

読出し時 ： 値は不定です。
書込み時 ： 動作に影響しません。

[bit12] RIE： 受信割込み許可ビット

- CPU への受信割込み要求出力を許可/禁止するビットです。
- 本ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(SSR:PE, ORE, FRE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE： 送信割込み許可ビット

■ CPU への送信割込み要求出力を許可/禁止するビットです。
■ 本ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE： 送信バスアイドル割込み許可ビット

■ CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
■ 本ビットと TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE： 受信動作許可ビット

UART の受信動作を許可/禁止します。

bit	説明
0	受信禁止
1	受信許可

＜注意事項＞

- *受信動作許可(RXE=1)にしても、スタートビットの立下りエッジ(NRZ フォーマット(ESCR:INV=0)の場合)が入力されないと受信動作を開始しません。(反転 NRZ フォーマット(ESCR:INV=1)の場合は、立上りエッジが入力されるまで受信動作を開始しません)*
- *受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。*
- *受信動作を禁止(RXE=0)した場合には、$\overline{\text{RTS}}$ 信号は"L"に固定されます。*

[bit8] TXE： 送信動作許可ビット

UART の送信動作を許可/禁止します。

bit	説明
0	送信禁止
1	送信許可

＜注意事項＞

- *送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。*

7.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定, 転送方向, データ長, ストップビット長の選択およびシリアルデータの端子への出力許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	予約	SBL	BDS	予約	SOE
属性		R/W	R/W	R/W	-	R/W	R/W	-	R/W
初期値		0	0	0	0	0	0	0	0

[bit7:5] MD2, MD1, MD0 : 動作モード設定ビット

非同期シリアルインタフェースの動作モードを設定します。

本章では動作モード 0(非同期ノーマルモード), 動作モード 1(非同期マルチプロセッサモード)のレジスタまたは動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

* 本章は動作モード 0, 動作モード 1 のレジスタおよび動作について説明します。

<注意事項>

- *上記設定以外は禁止です。*
- *動作モードを切り換える場合は、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。*
- *動作モード設定後、各レジスタを設定してください。*

[bit4] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit3] SBL : ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL="0", ESCR:ESBL="0"に設定した場合 : ストップビットは 1 ビットに設定されます。
SBL="1", ESCR:ESBL="0"に設定した場合 : ストップビットは 2 ビットに設定されます。
SBL="0", ESCR:ESBL="1"に設定した場合 : ストップビットは 3 ビットに設定されます。
SBL="1", ESCR:ESBL="1"に設定した場合 : ストップビットは 4 ビットに設定されます。

bit	説明	
0	ESCR:ESBL=0	1 ビット
	ESCR:ESBL=1	3 ビット
1	ESCR:ESBL=0	2 ビット
	ESCR:ESBL=1	4 ビット

<注意事項>

- *受信時は、常にストップビットの 1 ビット目だけを検出します。*
- *本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。*

[bit2] BDS : 転送方向選択ビット

転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0)最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

<注意事項>

- *本ビットは、送受信が禁止(SCR:TXE=SCR:RXE=0)のときに設定してください。*

[bit1] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit0] SOE : シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

<注意事項>

- *SOT 端子として使用する場合は GPIO 設定も行ってください。*

7.3 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信の状態の確認, 受信エラーフラグの確認, また、受信エラーフラグをクリアします。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	(ESCR)
属性	R/W	-	R	R	R	R	R	R	
初期値	0	-	0	0	0	0	1	1	

[bit15] REC： 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の PE, FRE, ORE フラグをクリアするビットです。

bit	説明	
	書込み時	読出し時
0	動作に影響しません。	常に"0"を読み出します。
1	受信エラーフラグ(PE, FRE, ORE)のクリア	

[bit14] -： 未使用ビット

読出し時 ： 値は不定です。
書込み時 ： 動作に影響しません。

[bit13] PE： パリティエラーフラグビット(動作モード 0 のみ機能)

- ESCR:PEN=1 で受信時にパリティエラーが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- PE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	パリティエラーなし
1	パリティエラーあり

[bit12] FRE： フレーミングエラーフラグビット

- 受信時にフレーミングエラーが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- FRE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	フレーミングエラーなし
1	フレーミングエラーあり

[bit11] ORE： オーバランエラーフラグビット

- 受信時にオーバランが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF： 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時に、以下の 2 つの条件が満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
  - 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。

- 受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ RDR がエンプティ
1	受信データレジスタ RDR にデータが存在する

[bit9] TDRE： 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
- TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合に TDRE ビットは"1"に設定されます。
- 送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI : 送信バスアイドルフラグビット

- UART が送信動作をしていないことを示すビットです。
- 送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"に設定されます。
- 送信データレジスタがエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合に本ビットは"1"に設定されます。
- 本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

7.4 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定, パリティビットの許可/禁止, パリティビットの選択, シリアルデータフォーマットの反転, ストップビット長の選択の設定ができます。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SSR)	FLWEN	ESBL	INV	PEN	P	L2	L1	L0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] FLWEN : フロー制御許可ビット

ハードウェアフロー制御動作を許可または禁止を選択します。

bit	説明
0	ハードウェアフロー制御禁止
1	ハードウェアフロー制御許可

<注意事項>

- *本ビットは送受信が禁止(SCR:TXE=0, RXE=0)のときに設定してください。*
- *本ビットはハードウェアフロー制御を行う場合のみ"1"を設定してください。*

[bit6] ESBL : 拡張ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

bit	説明	
0	SMR:SBL=0	1 ビット
	SMR:SBL=1	2 ビット
1	SMR:SBL=0	3 ビット
	SMR:SBL=1	4 ビット

<注意事項>

- *受信時は、常にストップビットの 1 ビット目だけを検出します。*
- *本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。*

[bit5] INV : 反転シリアルデータフォーマットビット

シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。

bit	説明
0	NRZ フォーマット
1	反転 NRZ フォーマット

[bit4] PEN : パリティ許可ビット(動作モード 0 のみ機能)

パリティビットの付加(送信時)と検出(受信時)を行うかどうかを設定します。

bit	説明
0	パリティ禁止
1	パリティ許可

<注意事項>

- *動作モード 1 のときは、本ビットは内部で"0"に固定されます。*

[bit3] P : パリティ選択ビット(動作モード 0 のみ機能)

パリティあり(ESCR:PEN=1)に設定した場合に、奇数パリティ"1"または偶数パリティ"0"のいずれかに設定します。

bit	説明
0	偶数パリティ
1	奇数パリティ

[bit2:0] L2, L1, L0： データ長選択ビット

送受信データのデータ長を指定します。

bit2	bit1	bit0	説明
0	0	0	8 ビット長
0	0	1	5 ビット長
0	1	0	6 ビット長
0	1	1	7 ビット長
1	0	0	9 ビット長
上記以外			設定禁止

＜注意事項＞

- *上記以外の設定は禁止です。*
- *動作モード 1 では、データ長は 7, 8 ビットに設定してください。そのほかの設定は禁止です。*

7.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。
FIFO 動作許可の場合、RDR/TDR アドレスは FIFO 読出し/書込みアドレスです。

受信データレジスタ (RDR)

bit	15 ... 9	8	7	6	5	4	3	2	1	0
Field		D8	D7	D6	D5	D4	D3	D2	D1	D0
属性		R	R	R	R	R	R	R	R	R
初期値		0	0	0	0	0	0	0	0	0

- 受信データレジスタ(RDR)は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。
- シリアル入力端子(SIN)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- データ長に応じ、以下のように上位ビットに"0"が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合(SSR:RIE=1)、受信割込み要求が発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
- 受信エラーが発生(SSR:PE, ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効です。
- 動作モード 1(マルチプロセッサモード)では、7 ビット, 8 ビット長の動作となり、受信した AD ビットは、D8 ビットに格納されます。
- 9 ビット長転送および動作モード 1 の場合 RDR の読出しは 16 ビットアクセスで行います。

<注意事項>

- *受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が "1"に設定されます。*
- *受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。*
- *受信 FIFO 使用時に、受信エラーが発生(SSR:PE, ORE, FRE のいずれかが "1")した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。*

送信データレジスタ (TDR)

bit	15 ... 9	8	7	6	5	4	3	2	1	0
Field		D8	D7	D6	D5	D4	D3	D2	D1	D0
属性		W	W	W	W	W	W	W	W	W
初期値		1	1	1	1	1	1	1	1	1

送信データレジスタ(TDR)は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されます。送信データはシリアルデータに変換されて、シリアルデータ出力端子(SOT)から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データです。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

(X は送信データビット)

- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書き込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"のとき、送信データを書き込めます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書込みは、送信割込みの発生後または送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データは書き込めません。
- 動作モード 1(マルチプロセッサモード)では、7 ビット, 8 ビット長の動作となり、AD ビットの送信は、D8 ビットへの書込みにより行います。
- 9 ビット長転送および動作モード 1 の場合、TDR への書込みは 16 ビットアクセスで行ってください。

<注意事項>

- *送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため、書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。*
- *送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。*

7.6 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXT	(BGR1)							(BGR0)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
- BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定値の読出しが可能です。
- ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)にリロード値を書き込むとリロードカウンタはカウントを開始します。
- bit15 の EXT ビットはリロードカウンタのクロックソースを内部クロックで使用するか、外部クロックで使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。外部クロックは SCK から入力します。

[bit15] EXT： 外部クロック選択ビット

bit	説明
0	内部クロック使用
1	外部クロック使用

[bit14:8] BGR1： ボーレートジェネレータレジスタ 1

bit14:8	説明
書込み	リロードカウンタ bit8～bit14 に書込み
読出し	BGR1 の設定値の読出し

[bit7:0] BGR0： ボーレートジェネレータレジスタ 0

bit7:0	説明
書込み	リロードカウンタ bit0～bit7 に書込み
読出し	BGR0 の設定値の読出し

<注意事項>

- *ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *ボーレートジェネレータレジスタ(BGR1, BGR0)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。従って、新しい設定値を即有効にしたい場合は、BGR1/BGR0 の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。*
- *リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
- *BGR1/BGR0 へは、4 以上の値を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。*
- *ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ 1, 0(BGR1, BGR0)に 0 を書込み、プログラマブルクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。*

7.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定, 送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性		-		R/W	R/W	R/W	R/W	R/W	
初期値		-		0	0	1	0	0	

[bit15:13] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FIFO 再送データロストフラグ(FLST)検出を許可するビットです。

"0"に設定した場合 : FLST ビット検出禁止
"1"に設定した場合 : FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

- *本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。*

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- *受信 FIFO を使用する場合、本ビットを"1"に設定してください。*

[bit10] FDRQ： 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、FIFO 送信割込み要求を出力します。

FDRQ セット条件

■ FBYTE(送信用)=0　(送信 FIFO がエンプティ)

FDRQ リセット条件

■ 本ビットへの"0"書込み
■ 送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

＜注意事項＞

- *送信 FIFO 許可のときに"0"書込みは有効です。*
- *FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。*
- *本ビットに"1"を設定した場合、動作に影響しません。*
- *リードモディファイライト系命令時、"1"が読み出されます。*

[bit9] FTIE： 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL：FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 ： 送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割当てられます。
"1"に設定した場合 ： 送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

＜注意事項＞

- *本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。*
- *本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。*

7.8 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] - : 未使用ビット

読出し時 : 常に"0"が読み出されます。
書込み時 : 常に"0"を書き込んでください。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致している時に FIFO へ書き込んだ(上書きした)場合

FLST リセット条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

<注意事項>

- *本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。*
- *FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。*
- *TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後 SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。*

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
通信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合 : 現在のリードポインタの値を保存します。
"0"に設定した場合 : 保存しません。

bit	説明	
	書込み時	読出し時
0	保存しない	常に"0"が読み出されます。
1	リードポインタ値保存	

<注意事項>

- *送信バイト数(FBYTE)が"0"を示している時に本ビットを"1"に設定してください。*

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定することで、FIFO2 の内部状態を初期化します。
FCR1:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

<注意事項>

- *送受信を禁止してから、FIFO2 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE2 レジスタの有効データ数は"0"に設定されます。*

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定することで、FIFO1 の内部状態を初期化します。
FCR1:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

<注意事項>

- *送受信を禁止してから、FIFO1 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE1 レジスタの有効データ数は"0"に設定されます。*

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生時、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO2 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1 : FIFO1 動作許可ビット

- FIFO1 の動作を許可/禁止するビットです。
- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し(FCR1:FSEL=0)、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生時、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO1 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

7.9 FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE レジスタは、FIFO に書込みまたは受信した有効なデータ数を示します。FCR1:FSEL ビットの設定を以下に示します。

Table 7-4 データ数表示

FCR1:FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は"0x08"です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致した場合、割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

FBYTE2, FBYTE1: FIFO2 データ数表示ビット, FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

読出し(有効なデータ数)

送信時 : FIFO に書き込まれ、送信されていないデータ数
受信時 : FIFO に受信されたデータ数

書込み(転送数)

送信時 : "0x00"設定
受信時 : 受信割込み発生のデータ数設定

Table 7-5　FIFO の格納可能なデータ数について

FIFO 容量	動作モード	データ長	最大 FBYTE 数	格納可能データ数
16 バイト	モード 0	5~8 ビット	16	16
	モード 0	9 ビット	8	8
	モード 1	すべて		
32 バイト	モード 0	5~8 ビット	32	32
	モード 0	9 ビット	16	16
	モード 1	すべて		
64 バイト	モード 0	5~8 ビット	64	64
	モード 0	9 ビット	32	32
	モード 1	すべて		
128 バイト	モード 0	5~8 ビット	128	128
	モード 0	9 ビット	64	64
	モード 1	すべて		

＜注意事項＞

- *送信 FIFO の FBYTE レジスタには 0x00 を設定してください。*
- *受信 FIFO の FBYTE は"1"以上のデータを設定してください。*
- *受信を禁止してから変更してください。*
- *本レジスタはリードモディファイライト系命令を使用できません。*
- *FIFO 容量を超える設定は禁止です。*

CHAPTER 1-3: CSIO (クロック同期シリアルインタフェース)

マルチファンクション シリアルインタフェースの機能のうち、動作モード 2 でサポートしている CSIO 機能について説明します。

1. CSIO (クロック同期シリアルインタフェース)の概要
2. CSIO (クロック同期シリアルインタフェース)の割込み
3. CSIO (クロック同期シリアルインタフェース)の動作
4. シリアルタイマの動作
5. シリアルチップセレクトの動作
6. 専用ボーレートジェネレータ
7. CSIO (クロック同期シリアルインタフェース)のレジスタ
8. CSIO (クロック同期シリアルインタフェース)の制限事項

1. CSIO (クロック同期シリアルインタフェース)の概要

CSIO(クロック同期シリアルインタフェース)は、外部装置と同期通信をするための、汎用のシリアルデータ通信インタフェースです (SPI に対応します) 。また、送信/受信(最大 各 128 バイト)の FIFO を搭載しています。

CSIO (クロック同期シリアルインタフェース)の機能

		機　　能
1	データバッファ	– 全二重ダブルバッファ(FIFO 未使用時) – 送信/受信 FIFO(最大各 128 バイト) *1 (FIFO 使用時)
2	転送形式	– クロック同期(スタートビット/ストップビットなし) – マスタ/スレーブ機能 – SPI に対応 (マスタ/スレーブ両方サポート)
3	ボーレート	– 専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成、マスタ動作時) – 外部クロック入力可能(スレーブ動作時)
4	データ長	5～16 ビットに可変可能
5	受信エラー検出	オーバランエラー
6	割込み要求	– 受信割込み(受信完了, オーバランエラー) – 送信割込み(送信データエンプティ, 送信バスアイドル) – 送信 FIFO 割込み (送信 FIFO がエンプティのとき) – 送受信 DMA 転送サポート機能あり
7	シリアルチップセレクト	– 1ch 制御(単独制御) – セットアップ/ホールド/ディセレクト時間を可変に設定可能 各チャネルでアクティブレベル選択可能
8	同期送信機能	– シリアルタイマに同期し、定期的にデータを自動送信可能
9	タイマ機能	16 ビットシリアルタイマを搭載 – 動作クロック分周値選択可能(1～256 分周)
10	同期モード	マスタまたはスレーブ機能
11	端子アクセス	シリアルデータ出力端子を"1"設定可能
12	FIFO オプション	– 送受信 FIFO 搭載(最大容量:送信 FIFO 128 バイト, 受信 FIFO 128 バイト) *1 – 送信 FIFO と受信 FIFO を選択可能 – 送信データ再送可能 – 受信 FIFO 割込みタイミングをソフトで可変可能 – 独立して FIFO リセットサポート

*1: FIFO 容量はご使用する製品により容量サイズが異なります。

2. CSIO (クロック同期シリアルインタフェース)の割込み

CSIO (クロック同期シリアルインタフェース)の割込みには、受信割込みと送信割込みおよびステータス割込みがあります。以下に示す要因で割込み要求を発生させられます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求
- シリアルタイマの比較値 (STMCR) とシリアルタイマ値 (STMR) が一致
- チップセレクトエラー発生

CSIO の割込み

CSIO の割込み制御ビットと割込み要因を Table 2-1 に示します。

Table 2-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データレジスタ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバラン エラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
送信	TDRE	SSR	送信データレジスタがエンプティ	SCR:TIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
送信	CSE	SACSR	スレーブモード(SCR:MS=1)時、送信動作中にシリアルチップセレクト端子がインアクティブ マスタモード(SCR:MS=0)時、送信回数が TBYTE の設定値以下で次の送信データが TDR に書き込まれていない(SSR:TDRE=1)	SACSR:CSEIE	シリアルチップセレクトフラグビット(SACSR:CSE)への"0"書込み
ステータス	TINT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み

*1: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

2.1　受信割込み発生とフラグセットのタイミング

受信時の割込みは、受信完了(SSR:RDRF=1)および受信エラーの発生(SSR:ORE=1)があります。

受信割込み発生とフラグセットのタイミング

最終データビットを検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)または受信エラーが発生(SSR:ORE=1)するとき、各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

＜注意事項＞

- *受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。*

Figure 2-1 受信動作とフラグセットのタイミング

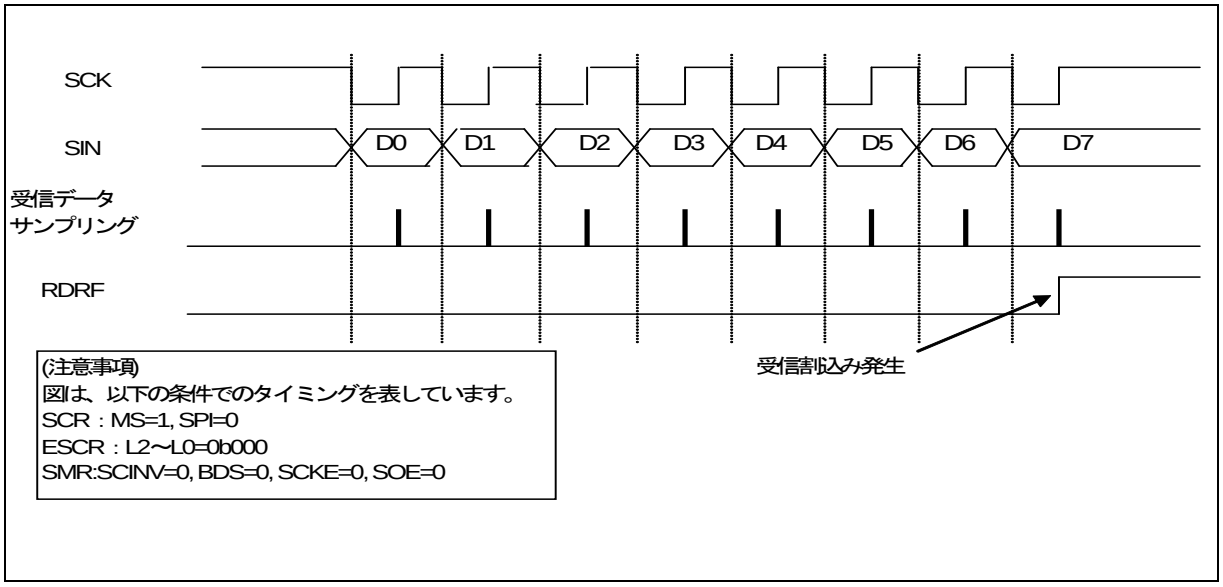
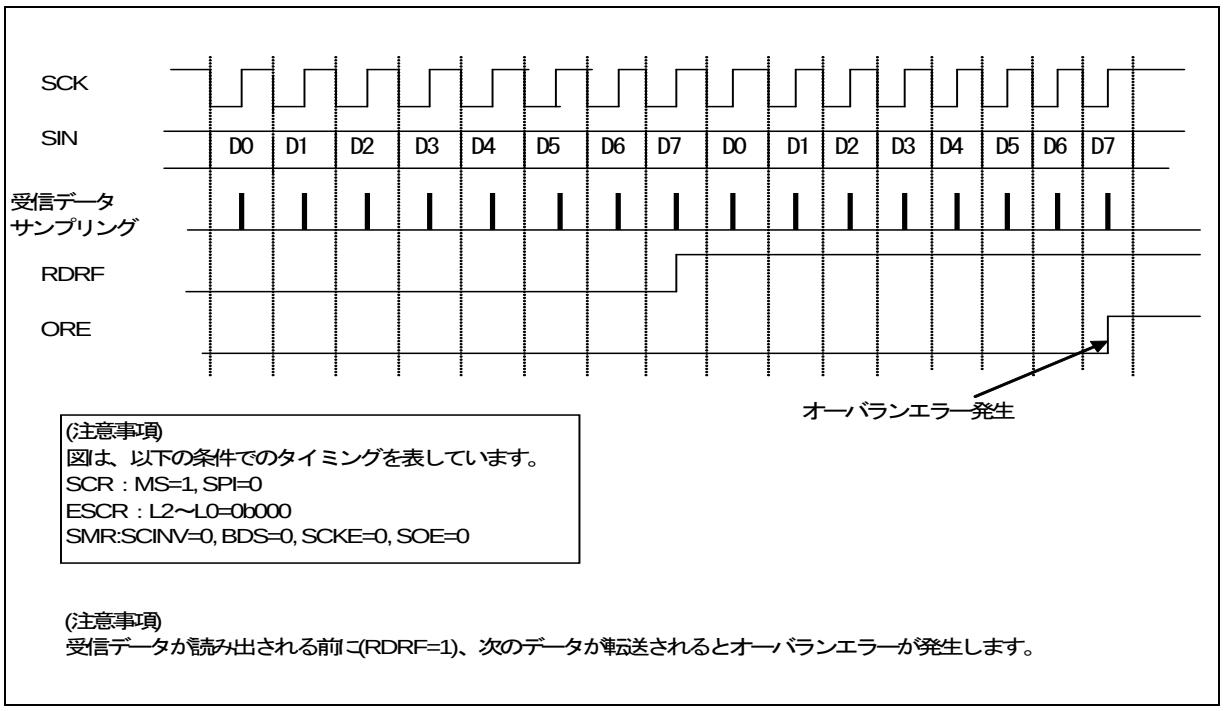


Figure 2-2 ORE(オーバランエラー)フラグセットタイミング



2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信した場合に発生します。

受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

- 受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。
- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

    8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信した場合、オーバランエラー(SSR:ORE=1)が発生します。

Figure 2-3 受信 FIFO 使用時の受信割込み発生タイミング

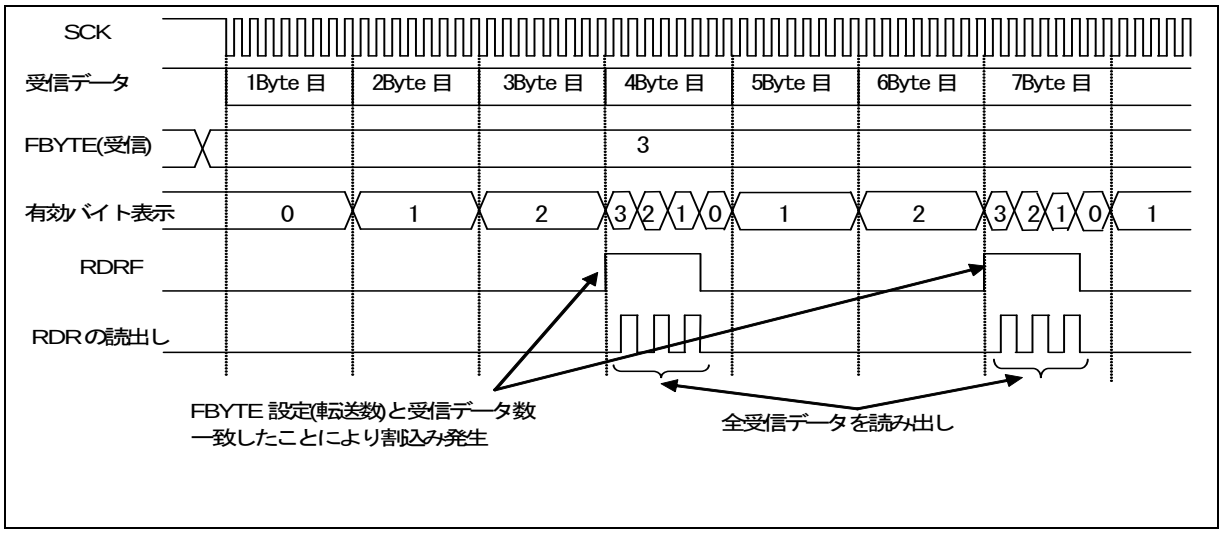
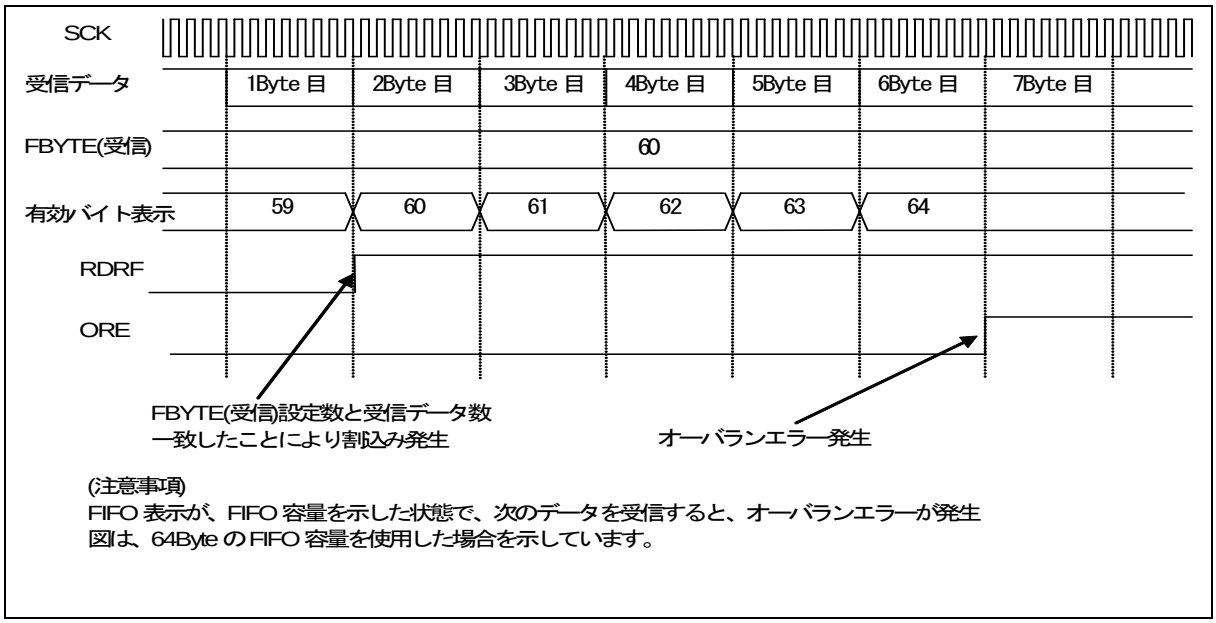


Figure 2-4 ORE (オーバランエラー)フラグビットのセットタイミング



2.3　送信割込み発生とフラグセットのタイミング

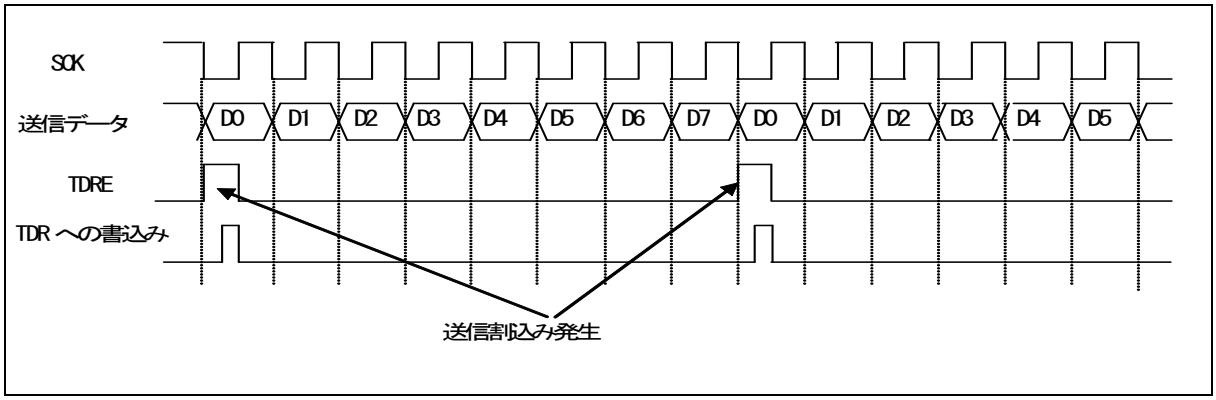
送信時の割込みは、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

送信割込み発生とフラグセットのタイミング

■ 送信データエンプティフラグ(SSR:TDRE)のセットタイミング

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)です。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDRE ビットはリードオンリビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

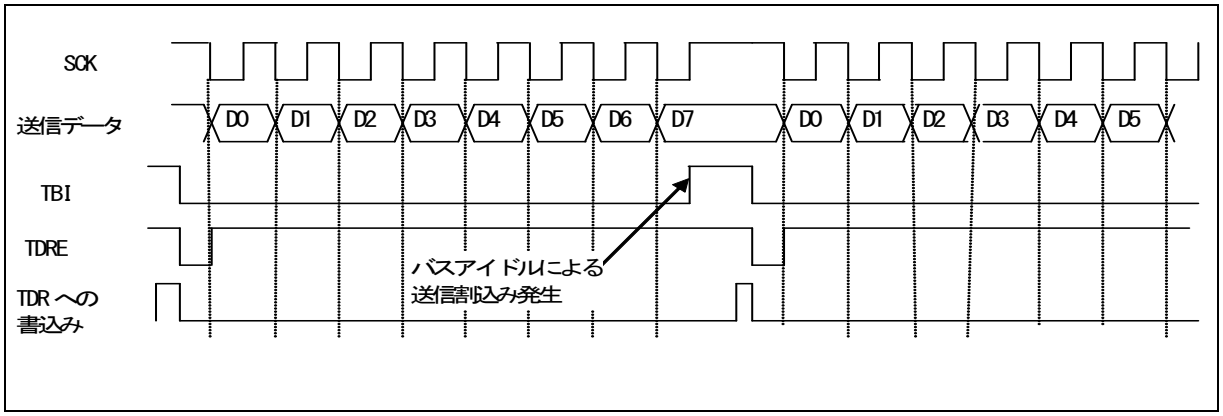
Figure 2-5 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



■ 送信バスアイドルフラグ(SSR:TBI)のセットタイミング

送信データレジスタがエンプティ(SSR:TDRE=1)で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットした場合、SSR:TBI ビットおよび送信割込み要求はクリアされます。

Figure 2-6 送信バスアイドルフラグ(TBI)のセットタイミング (SCSCR:CSEN0=0, SACSR:TSYNE=0)



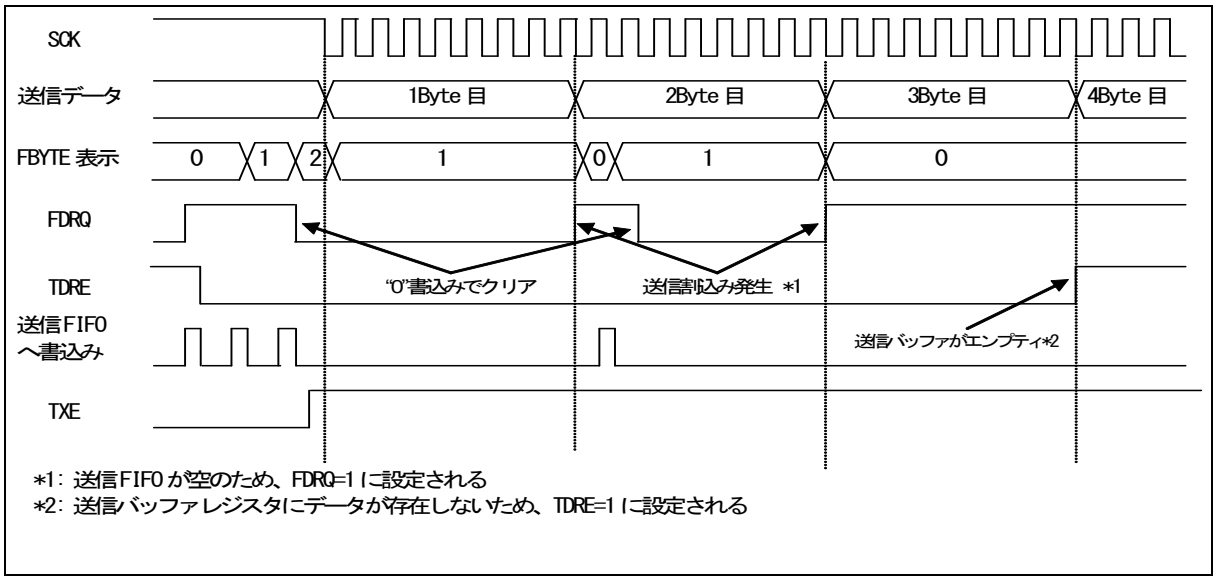
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない時に発生します。

送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
  このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。
  FBYTE=0x00 のときは、送信 FIFO にデータがないことを示します。

Figure 2-7 送信 FIFO 使用時の送信割込み発生タイミング



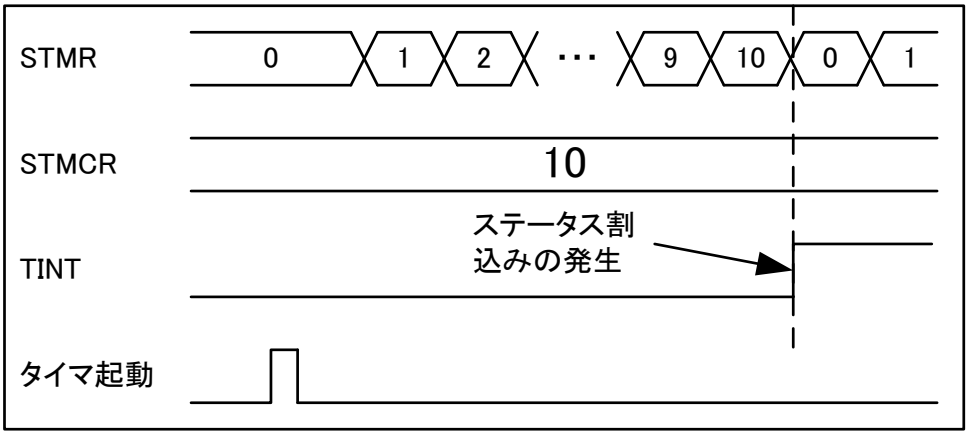
2.5　タイマ割込み発生とフラグセットのタイミング

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致した場合に発生します。

タイマ割込みの発生とフラグセットのタイミング

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致した場合、タイマ割込みフラグ(SACSR:TINT)が"1"にセットされます。
このとき、タイマ割込み許可(SACSR:TINTE=1)されているとステータス割込みが発生します。

Figure 2-8　タイマ割込み発生タイミング



2.6 チップセレクトエラー発生とフラグセットのタイミング

チップセレクトエラーは、マスタモード(SCR:MS=0)時に、TBYTE の設定値より少ないフレーム数しか送信していない場合に送信データレジスタ(TDR)に有効なデータがない (SSR:TDRE=1) ときに発生します。また、スレーブモード(SCR:MS=1)の送信動作中にシリアルチップセレクト端子がインアクティブになるとチップセレクトエラーは発生します。

チップセレクトエラーの発生とフラグセットのタイミング

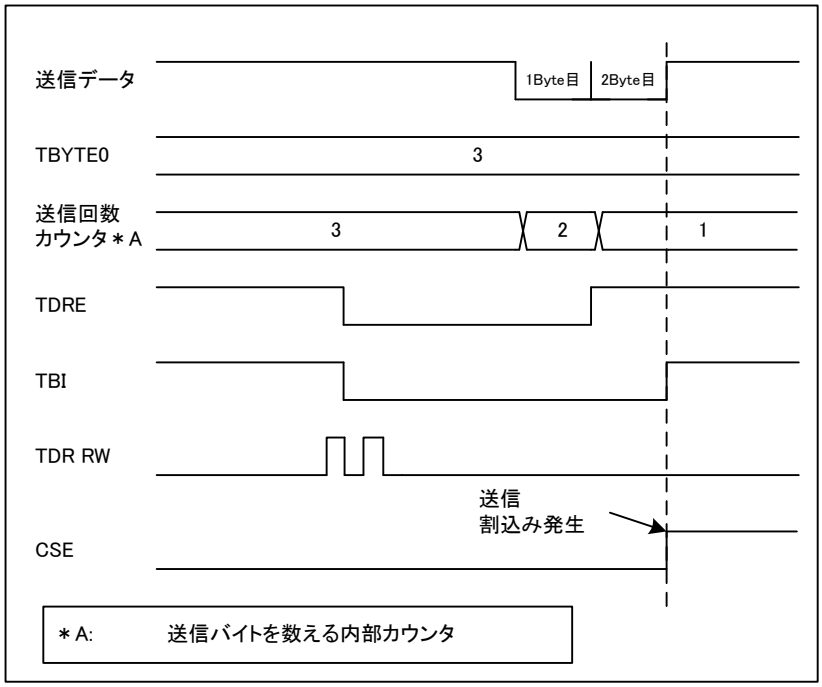
■ マスタモード(SCR:MS=0)

チップセレクトエラーは、転送バイトエラー許可(TBEEN=1)で以下のいずれかのとき、TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、発生します。

- チップセレクト使用時
- シリアルタイマによる同期送信使用時

このとき、チップセレクトエラー割込み許可(SACSR:CSEIE=1)されていると送信割込みが発生します。

Figure 2-9 チップセレクトエラー発生タイミング(SCSCR:CSEN0=0, SACSR:TSYNE=1)

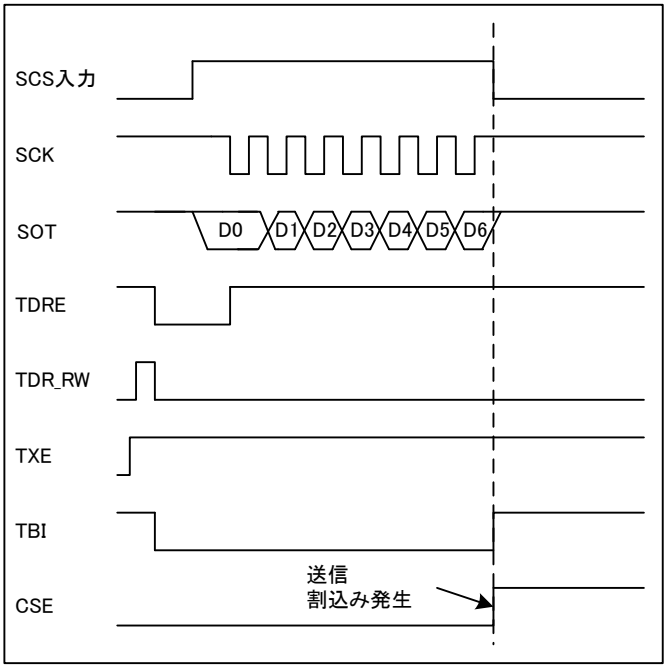


＜注意事項＞

- *シリアルチップセレクト使用時、チップセレクトエラー発生後からディセレクト時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定されます。また、ホールドディレイ時間中に送信データを送信データレジスタ(TDR)書き込んでも送信動作は開始せず、ディセレクト時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定されます。*
- *チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データを送信データレジスタ(TDR)に書き込んでも送信動作は開始しません。*
- *同期送信使用時でチップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、以下の条件でも送信動作は開始しません。*
- *シリアルタイマに同期した送信時にリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致*

■ スレーブモード(SCR:MS=1)
チップセレクトエラーは、送信動作中(SSR:TBI=0)にシリアルチップセレクト端子がインアクティブになると発生します。
このとき、チップセレクトエラー割込み許可(SACSR:CSEIE=1)されていると送信割込みが発生します。

Figure 2-10 チップセレクトエラー発生タイミング(CSLVL=0, SCR:SPI=0)



3. CSIO (クロック同期シリアルインタフェース)の動作

転送方式はクロック同期式です。

3.1 ノーマル転送(Ⅰ)

特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～16 ビット

レジスタの設定

ノーマル転送(Ⅰ)に必要な、レジスタの設定値を以下に示します。

Table 3-1 ノーマル転送(Ⅰ)レジスタの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR	0	1/0	0	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1: 1 を設定

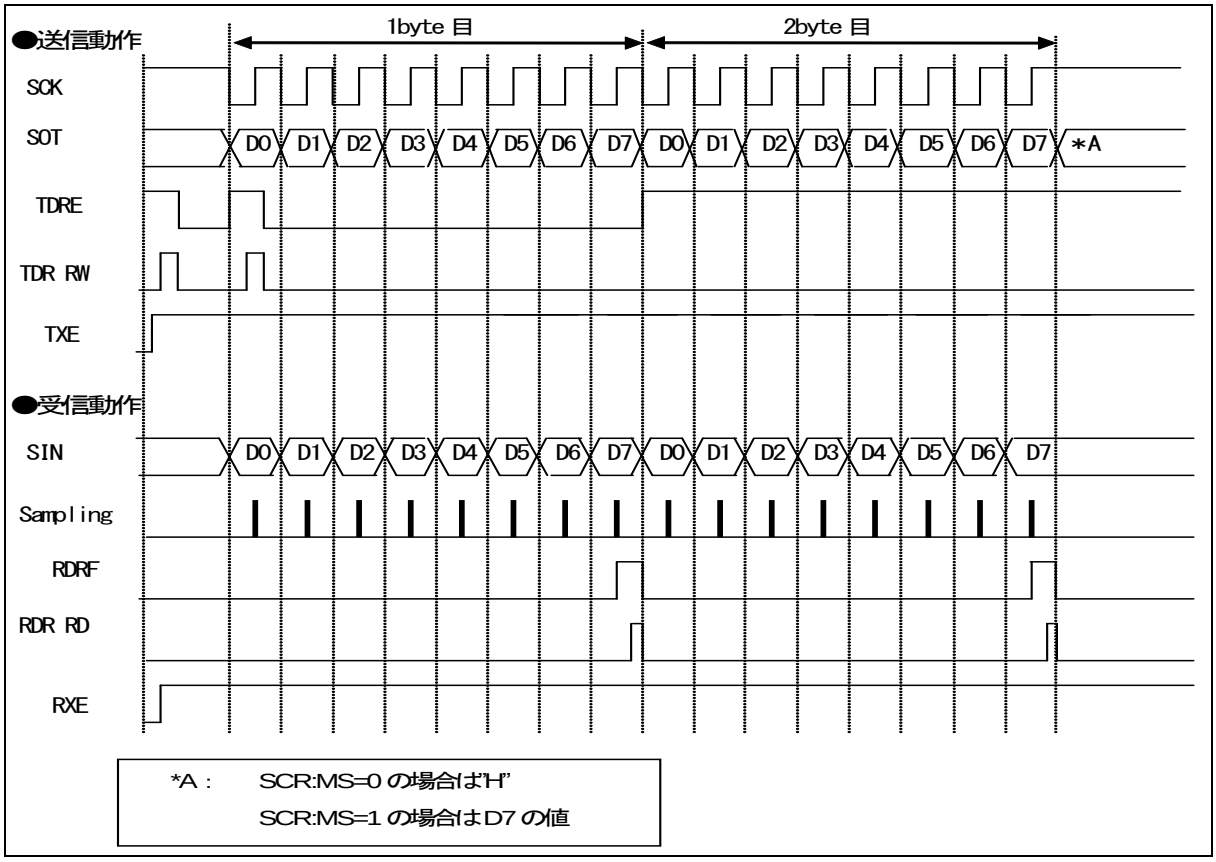
0: 0 を設定

*: ユーザが決める設定

＜注意事項＞

- *上記ビットの設定値(1/0)は、マスタ動作, スレーブ動作で異なります。以下のように設定してください。*
  マスタ動作時 : SCR:MS=0, SMR:SCKE=1
  スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

ノーマル転送(Ⅰ)タイミングチャート (シリアルチップセレクト端子未使用時)



マスタ動作 (SCR:MS=0, SMR:SCKE=1)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にした後、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
   これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データが出力されます。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

<注意事項>

- *受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。*
- *送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。*

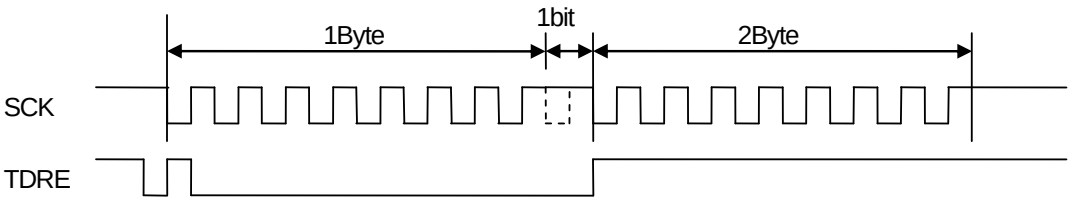
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

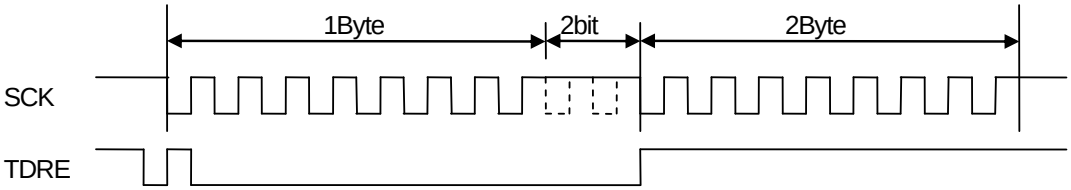
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

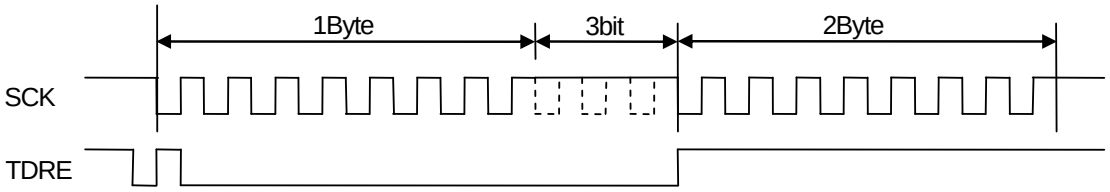
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

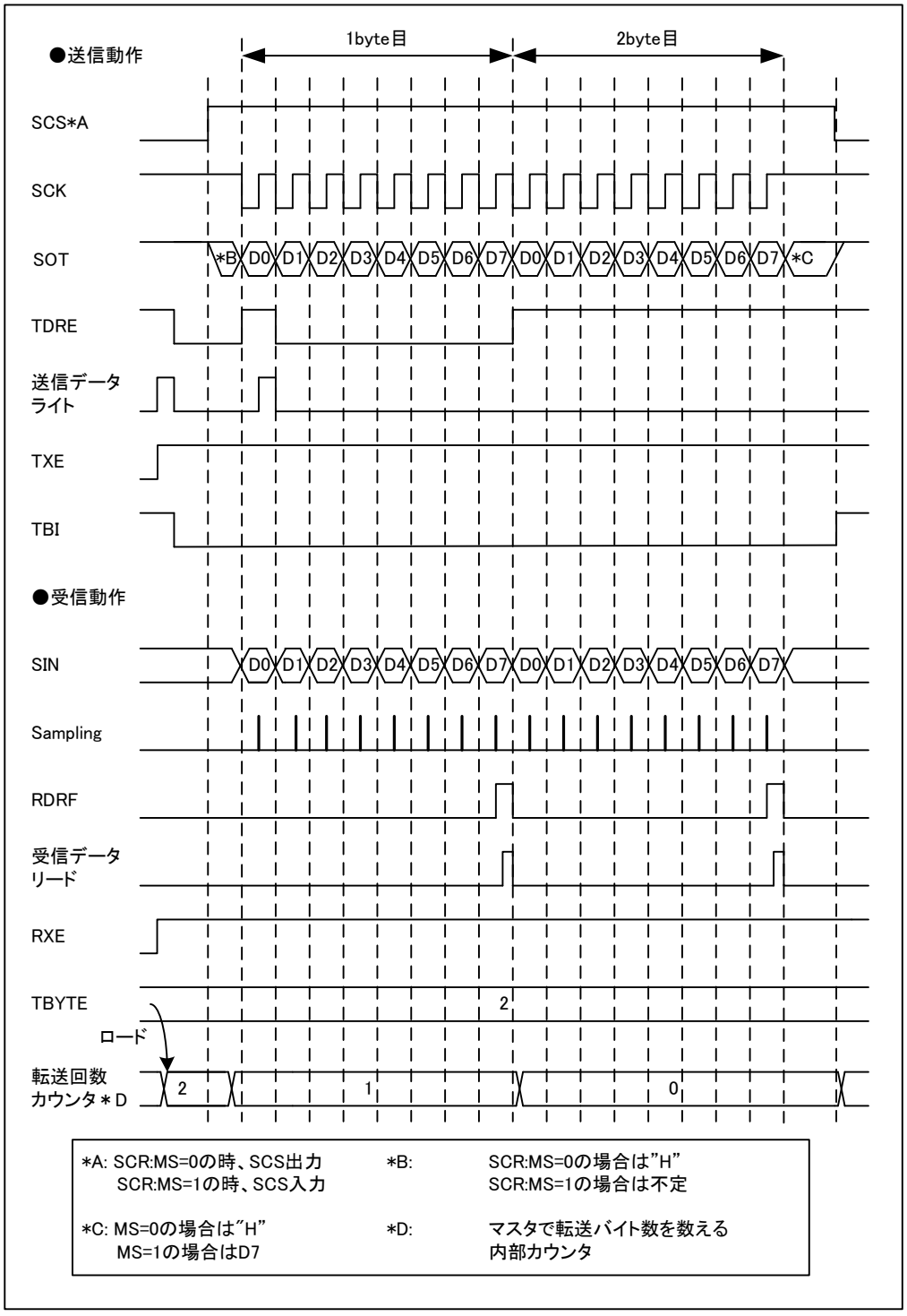
■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

ノーマル転送(Ⅰ)タイミングチャート(シリアルチップセレクト端子使用時)



マスタ動作　(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*: n には使用するシリアルチップセレクト端子番号が入ります。

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. TBYTE で設定している回数のデータ送信終了後、シリアルクロックが停止します。
4. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合にシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック出力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後、シリアルクロックが停止します。
5. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合にシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

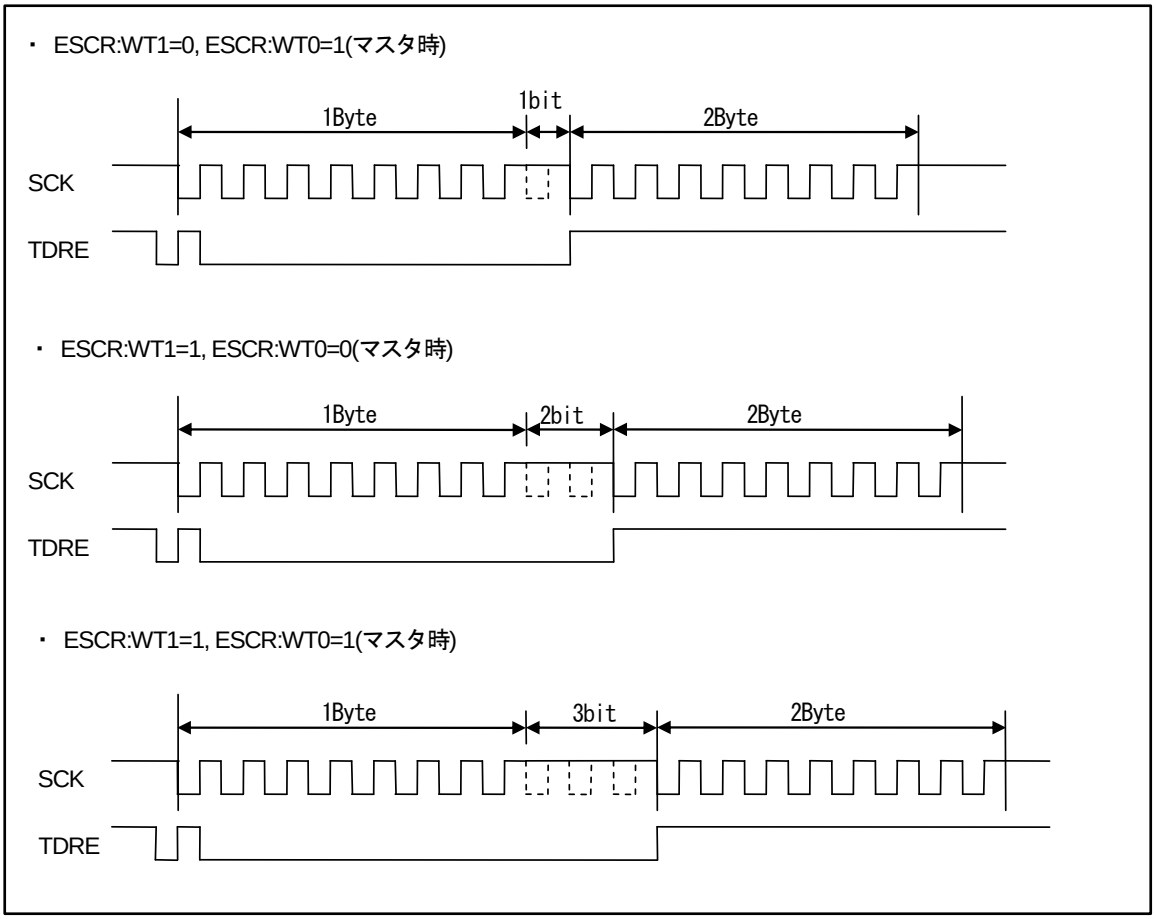
- ***受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。***

■　送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 送受信動作中は受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロックが停止します。
5. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合にシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1,ESCR:WT0)= (0,0)以外を設定した場合 Frame 間にウェイトが挿入されます。



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。
3. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
3. この時、受信データ(RDR)を読み出せます。
4. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
5. シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を終了します。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 送受信動作中に受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出すことができます。受信
データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作が停止し、シリアル出力端子(SOT)が"H"になります。

3.2 ノーマル転送(Ⅱ)

特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～16 ビット

レジスタの設定

ノーマル転送(Ⅱ)に必要な、レジスタの設定値を以下に示します。

Table 3-2 ノーマル転送(Ⅱ)レジスタの設定

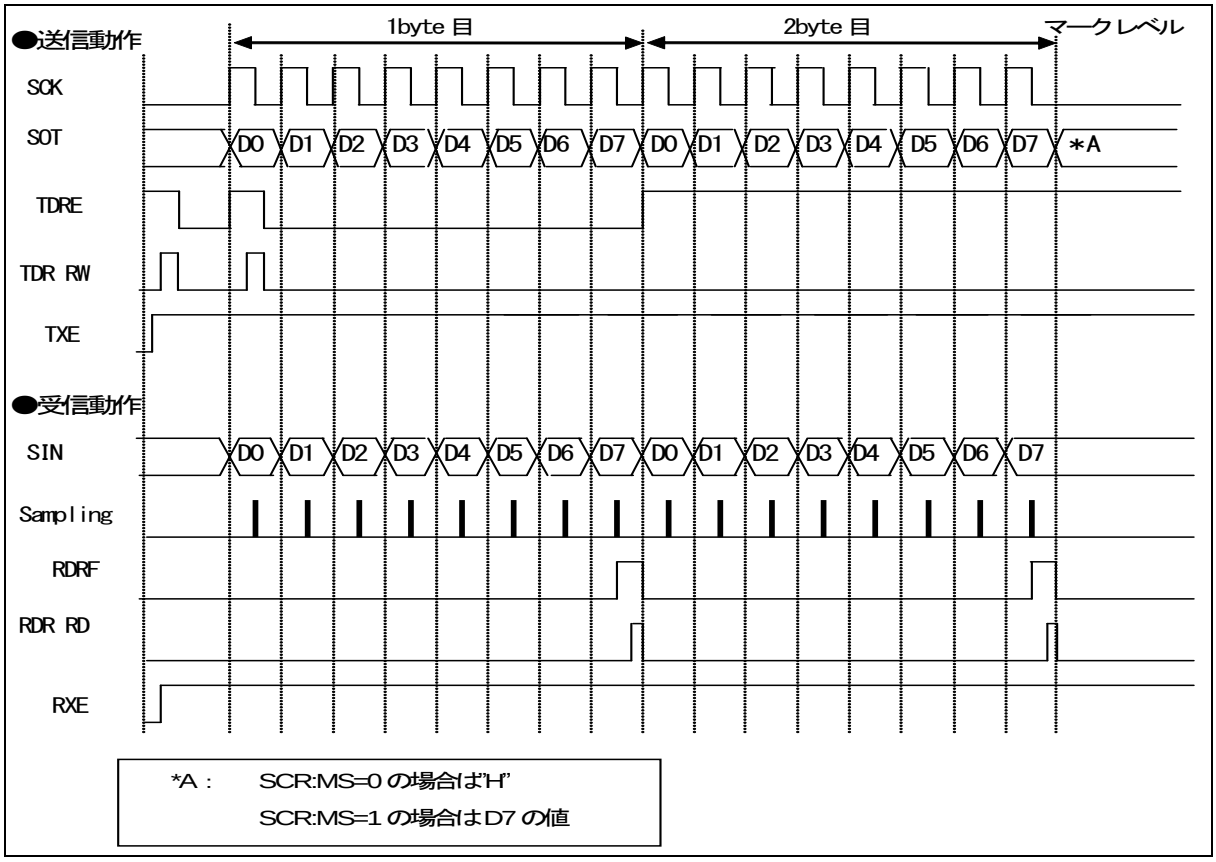
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR1	0	1/0	0	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1: 1 を設定
0: 0 を設定
*: ユーザが決める設定

<注意事項>

- *上記ビットの設定値(1/0)は、マスタ動作, スレーブ動作で異なります。以下のように設定してください。*
  マスタ動作時 : SCR:MS=0, SMR:SCKE=1
  スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

ノーマル転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子未使用時)



マスタ動作 (SCR:MS=0, SMR:SCKE=1)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立下りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

<注意事項>

- ***受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。***
- ***送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。***

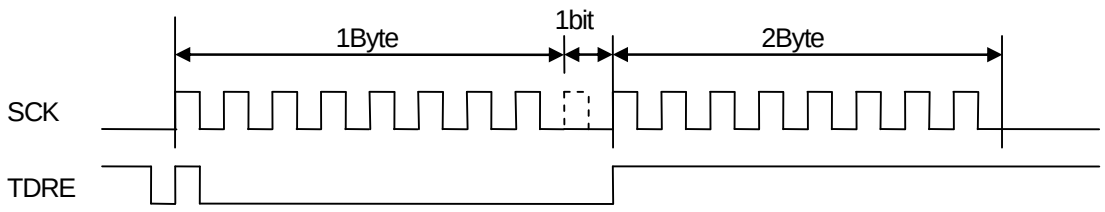
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

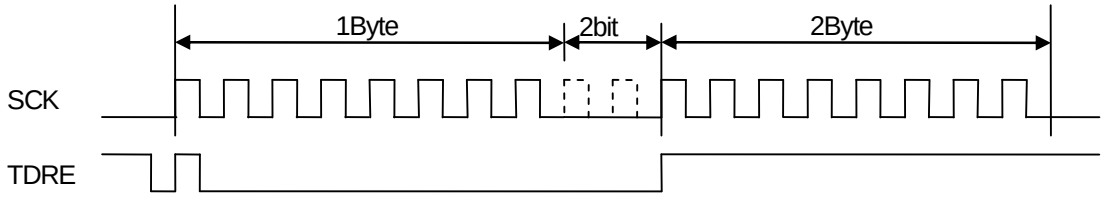
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

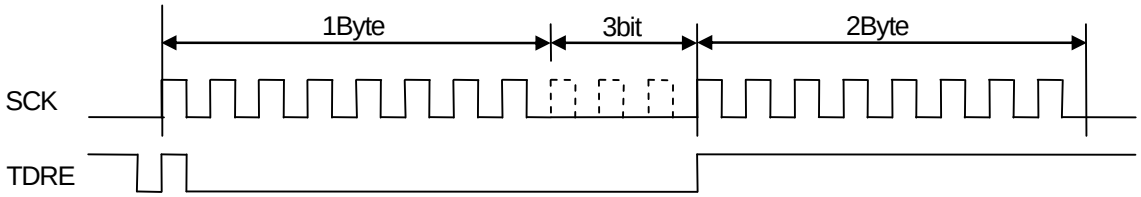
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:.WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

■ 受信動作

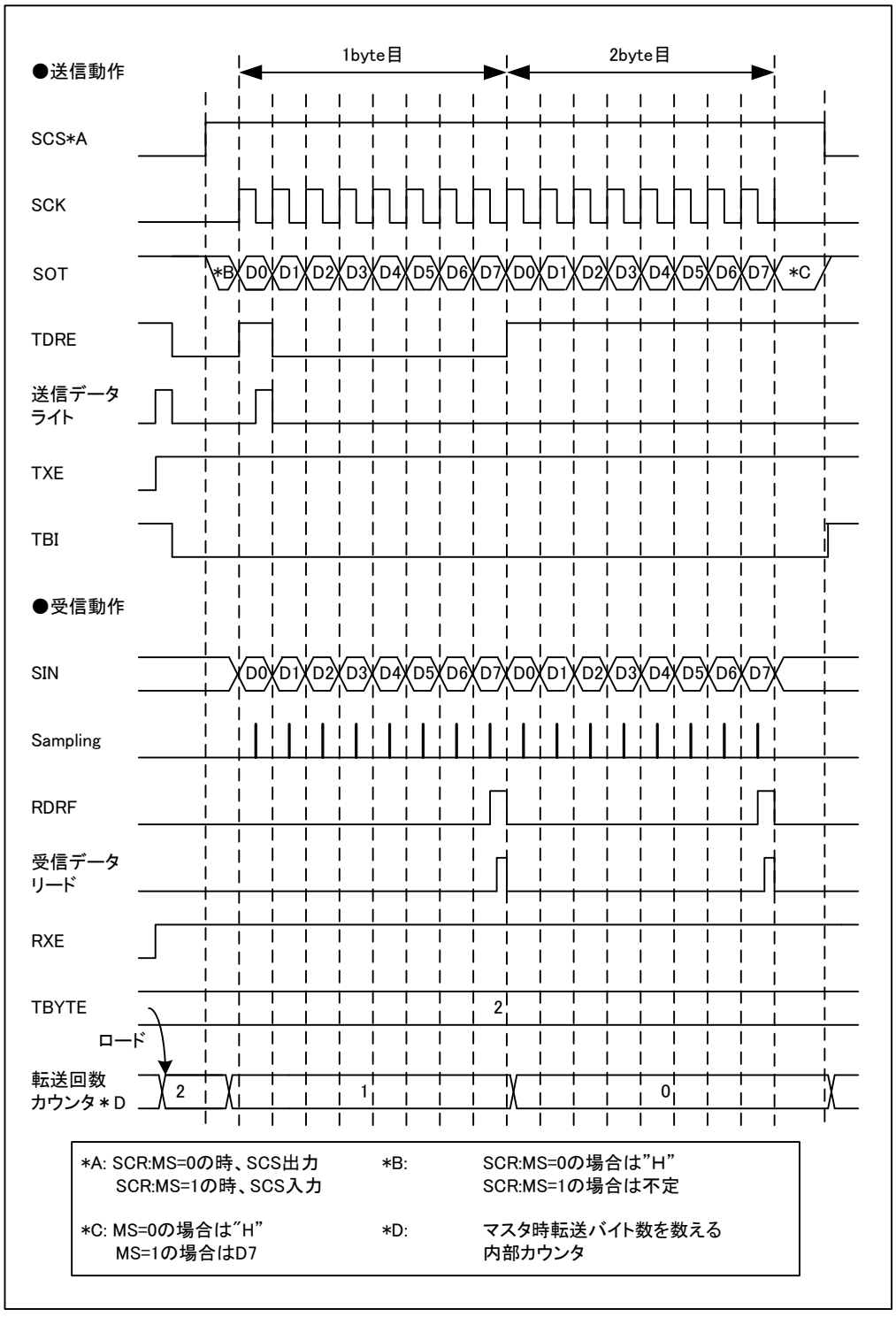
1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。

受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

ノーマル転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子使用時)



マスタ動作　(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn=1)

*：n には使用するシリアルチップセレクト端子番号が入ります。

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力が開始した後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. TBYTE で設定している回数のデータ送信終了後、シリアルクロックを停止します。
4. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合にシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力が開始した後、シリアルクロック出力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後、シリアルクロックを停止します。
5. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合にシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

- ***受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。***
- ***送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。***

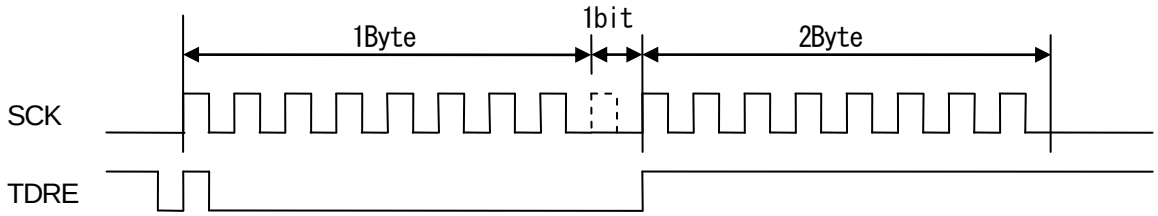
■　送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 送受信動作中は受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合にシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

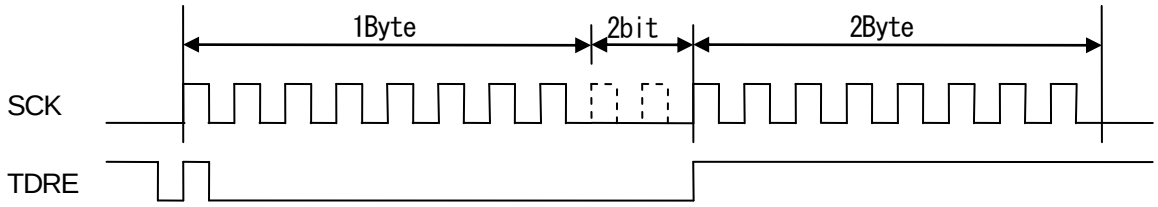
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1,ESCR:WT0)= (0,0)以外を設定した場合 Frame 間にウェイトが挿入されます。

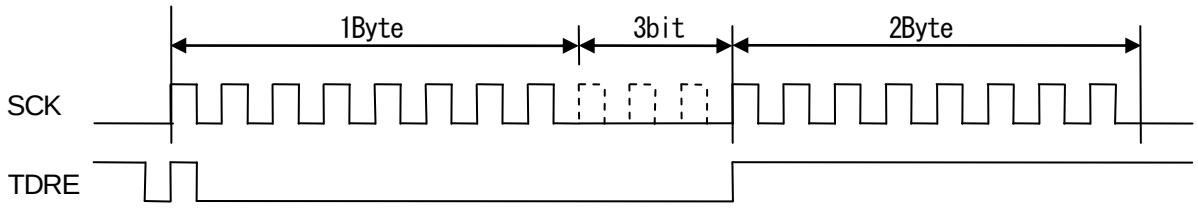
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。
3. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を停止し、シリアル出力端子(SOT)が"H"になります。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
3. この時、受信データ(RDR)を読み出せます。
4. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
5. シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を停止します。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 送受信動作中に受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作停止し、シリアル出力端子(SOT)が"H"になります。

3.3 SPI 転送(Ｉ)

特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～16 ビット

レジスタの設定

SPI 転送(Ｉ)に必要な、レジスタの設定値を以下に示します。

Table 3-3 SPI 転送(Ｉ)レジスタの設定

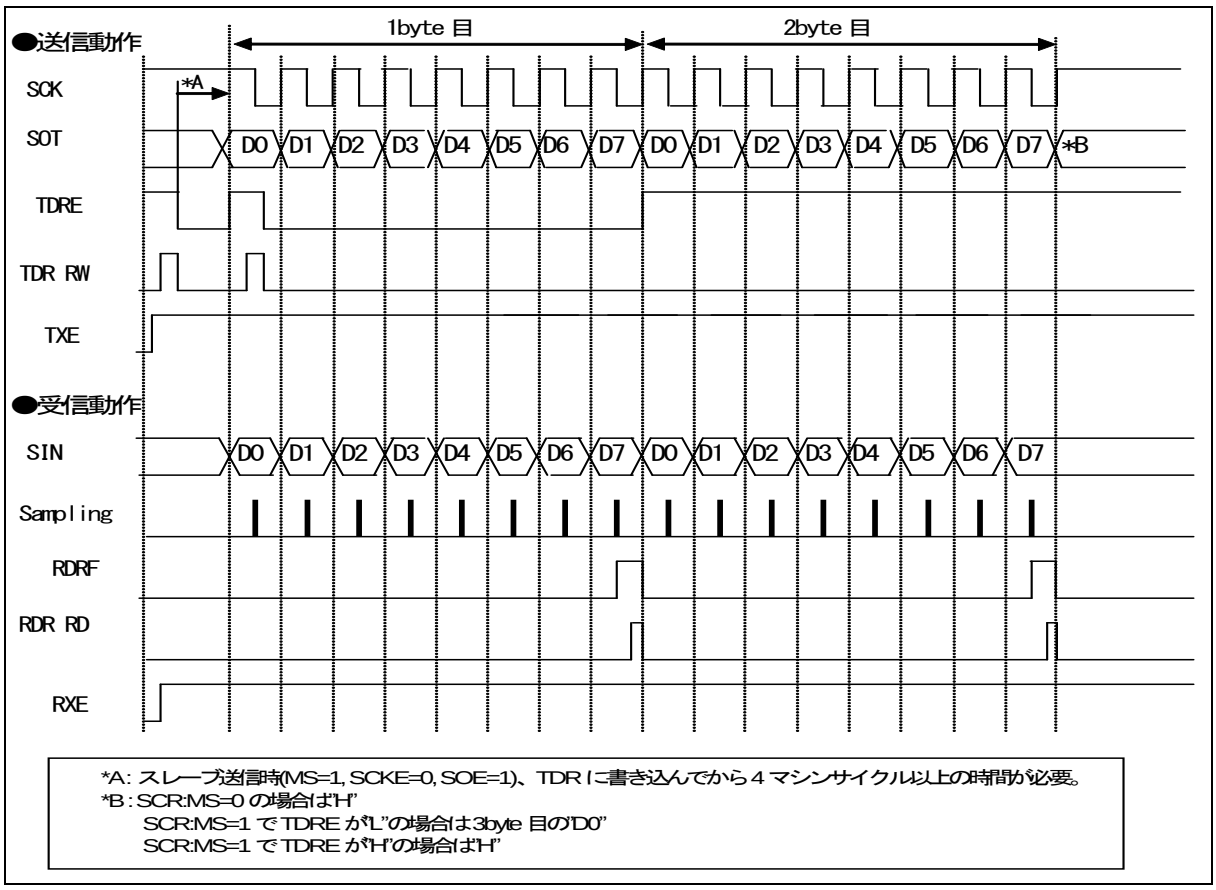
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR	0	1/0	1	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定
0 : 0 を設定
* : ユーザが決める設定

＜注意事項＞

- *上記ビットの設定値(1/0)は、マスタ動作，スレーブ動作で異なります。以下のように設定してください。*
  マスタ動作時: SCR:MS=0, SMR:SCKE=1
  スレーブ動作時: SCR:MS=1, SMR:SCKE=0

SPI 転送(Ⅰ)タイミングチャート (シリアルチップセレクト端子未使用時)



マスタ動作 (SCR:MS=0, SMR:SCKE=1)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。
2. 最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック(SCK)出力の立下りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

- ***受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。***
- ***送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。***

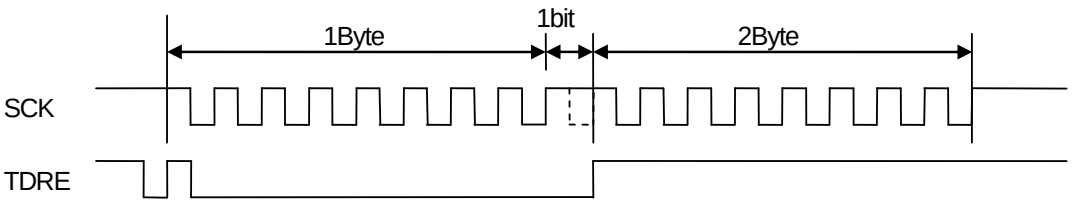
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

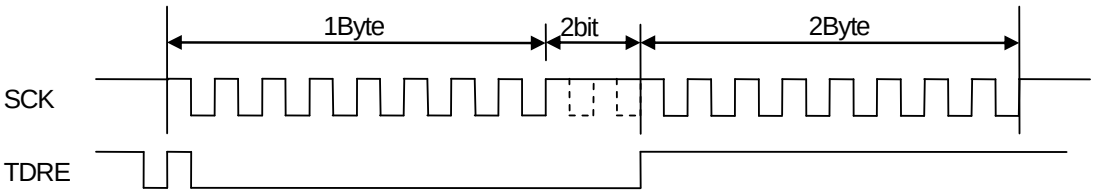
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

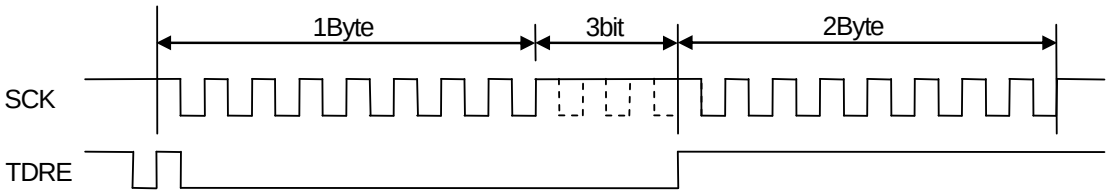
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。
2. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

<注意事項>

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

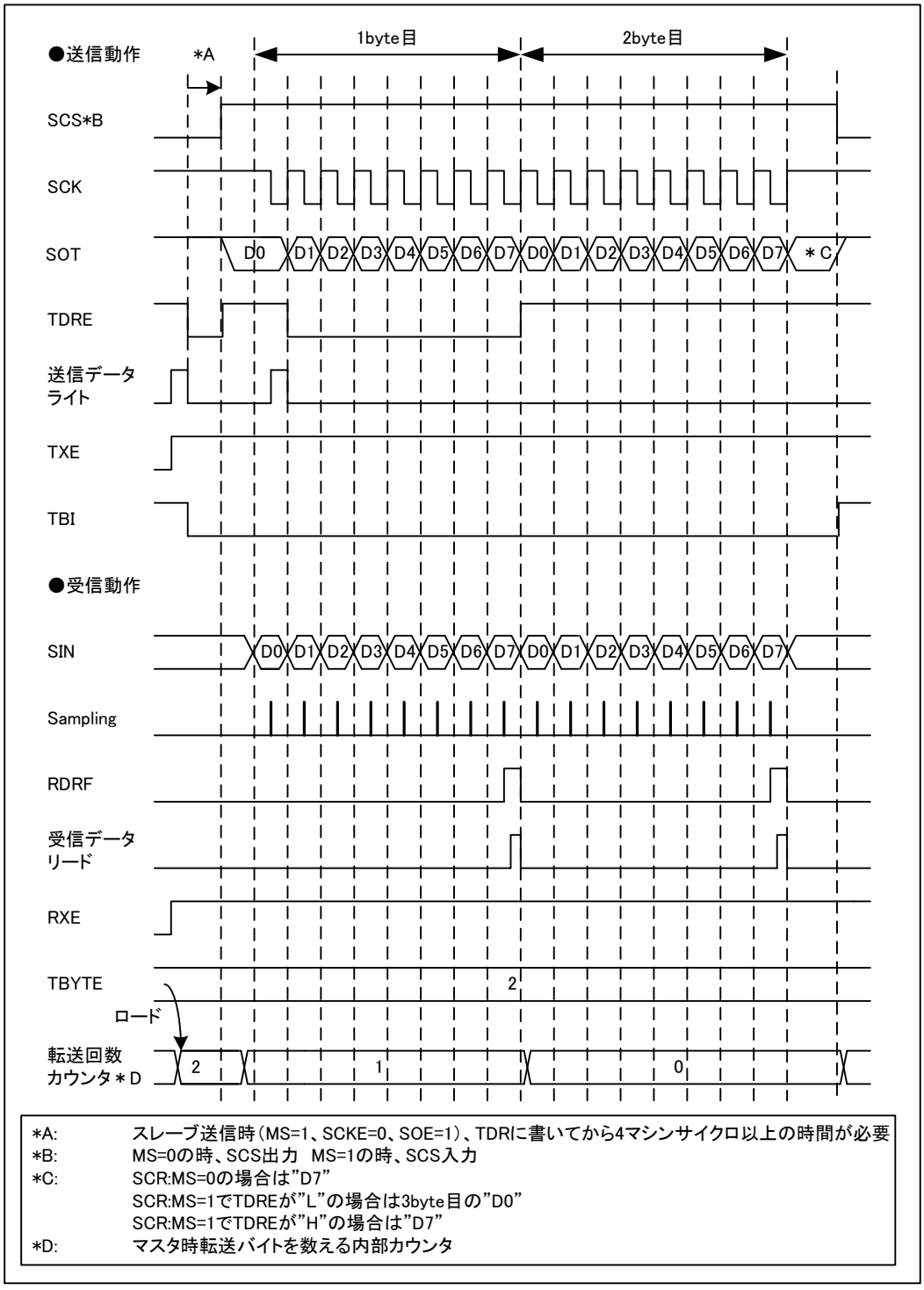
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

■ 受信動作から送信動作への連続的な切換え

1. シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。
2. 受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。
3. 受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込み、受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

SPI 転送(Ⅰ)タイミングチャート(シリアルチップセレクト端子使用時)



*A:	スレーブ送信時(MS=1、SCKE=0、SOE=1)、TDRIに書いてから4マシンサイクロ以上の時間が必要
*B:	MS=0の時、SCS出力　MS=1の時、SCS入力
*C:	SCR:MS=0の場合は"D7" SCR:MS=1でTDREが"L"の場合は3byte目の"D0" SCR:MS=1でTDREが"H"の場合は"D7"
*D:	マスタ時転送バイトを数える内部カウンタ

マスタ動作　(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*:n には使用するシリアルチップセレクト端子番号が入ります。

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 になります。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力が開始します。シリアルクロック出力開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。
2. 最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. TBYTE で設定している回数のデータ送信終了後、シリアルクロック出力を停止します。
4. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合、シリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力開始した後、シリアルクロック(SCK)出力の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
3. この時、受信データ(RDR)を読み出せます。
4. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
5. TBYTE で設定している回数のデータ受信終了後、シリアルクロック出力を停止します。
6. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

- *受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。*
- *送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。*

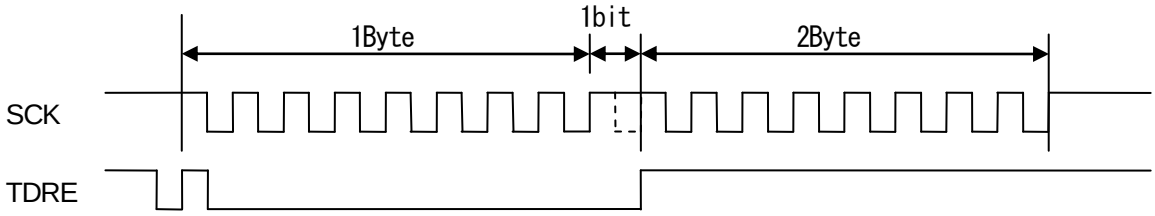
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力が開始します。シリアルクロック出力開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

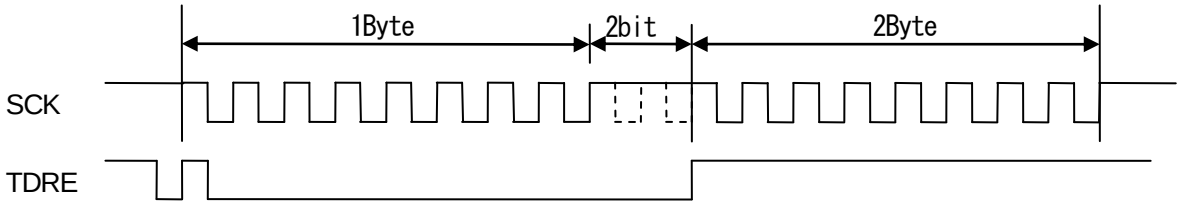
■ 連続データ送信または受信ウェイト動作【★】

連続データ送信または受信に対し、(ESCR:WT1,ESCR:WT0)= (0,0)以外を設定した場合 Frame 間にウェイトが挿入されます。

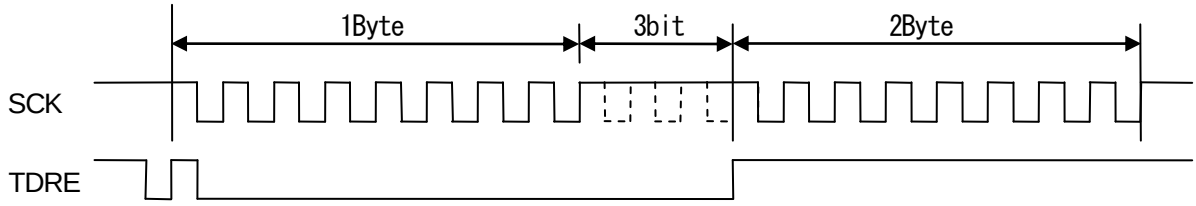
・ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0)【★】

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。
3. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を停止し、シリアル出力端子(SOT)が"H"になります。

<注意事項>

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルの時以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルの時に行なってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1) でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
3. この時、受信データ(RDR)を読み出せます。
4. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
5. シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を停止します。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作が停止し、シリアル出力端子(SOT)が"H"になります。

3.4 SPI 転送(Ⅱ)

特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～16 ビット

レジスタの設定

SPI 転送(Ⅱ)に必要な、レジスタの設定値を以下に示します。

Table 3-4 SPI 転送(Ⅱ)レジスタの設定

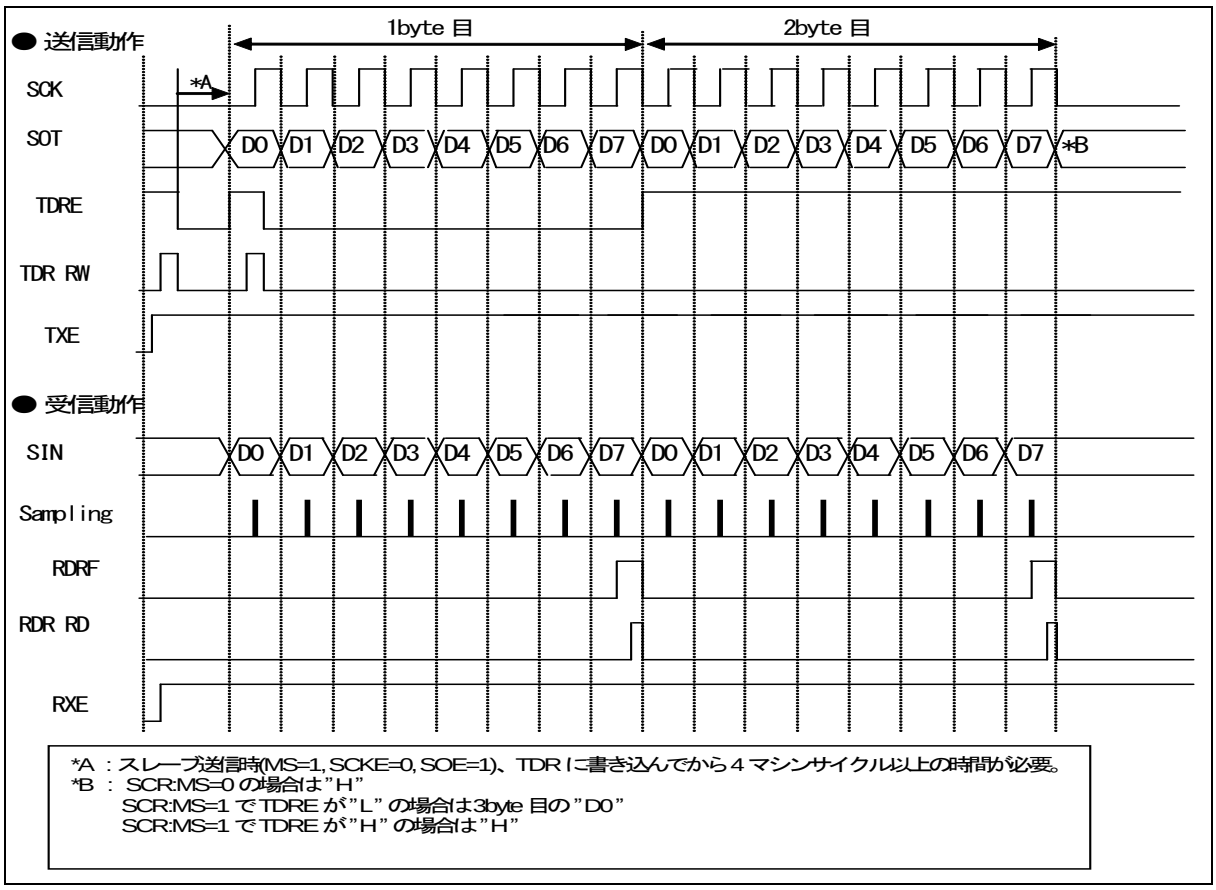
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SMR	0	1/0	1	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
ESCR	0	-	-	-	-	-	-	-	0	*	-	*	*	*	*	*
TDR1/0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RDR1/0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
BGR1/	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
BGR0	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定
0 : 0 を設定
* : ユーザが決める設定

＜注意事項＞

- *上記ビットの設定値(1/0)は、マスタ動作, スレーブ動作で異なります。以下のように設定してください。*
  マスタ動作時: SCR:MS=0, SMR:SCKE=1
  スレーブ動作時: SCR:MS=1, SMR:SCKE=0

SPI 転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子未使用時)



マスタ動作 (SCR:MS=0, SMR:SCKE=1)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データが出力されます。
2. 最初のシリアルクロック(SCK)出力の立上りエッジの半サイクル前で、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

<注意事項>

- ***受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。***
- ***送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。***

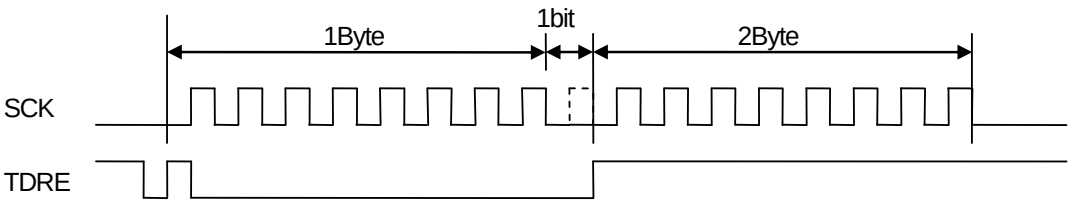
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

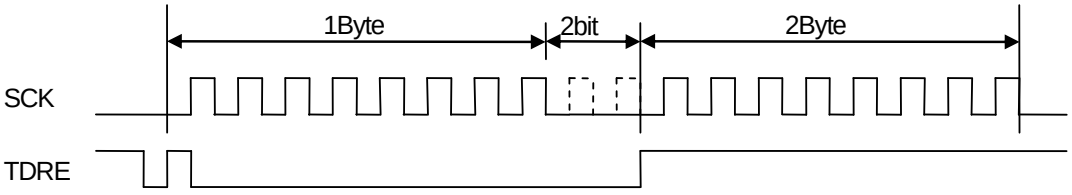
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

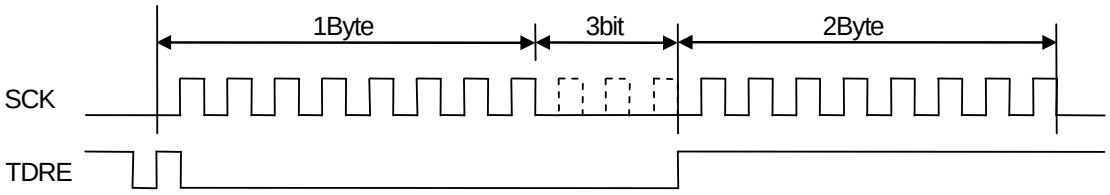
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。
2. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

<注意事項>

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

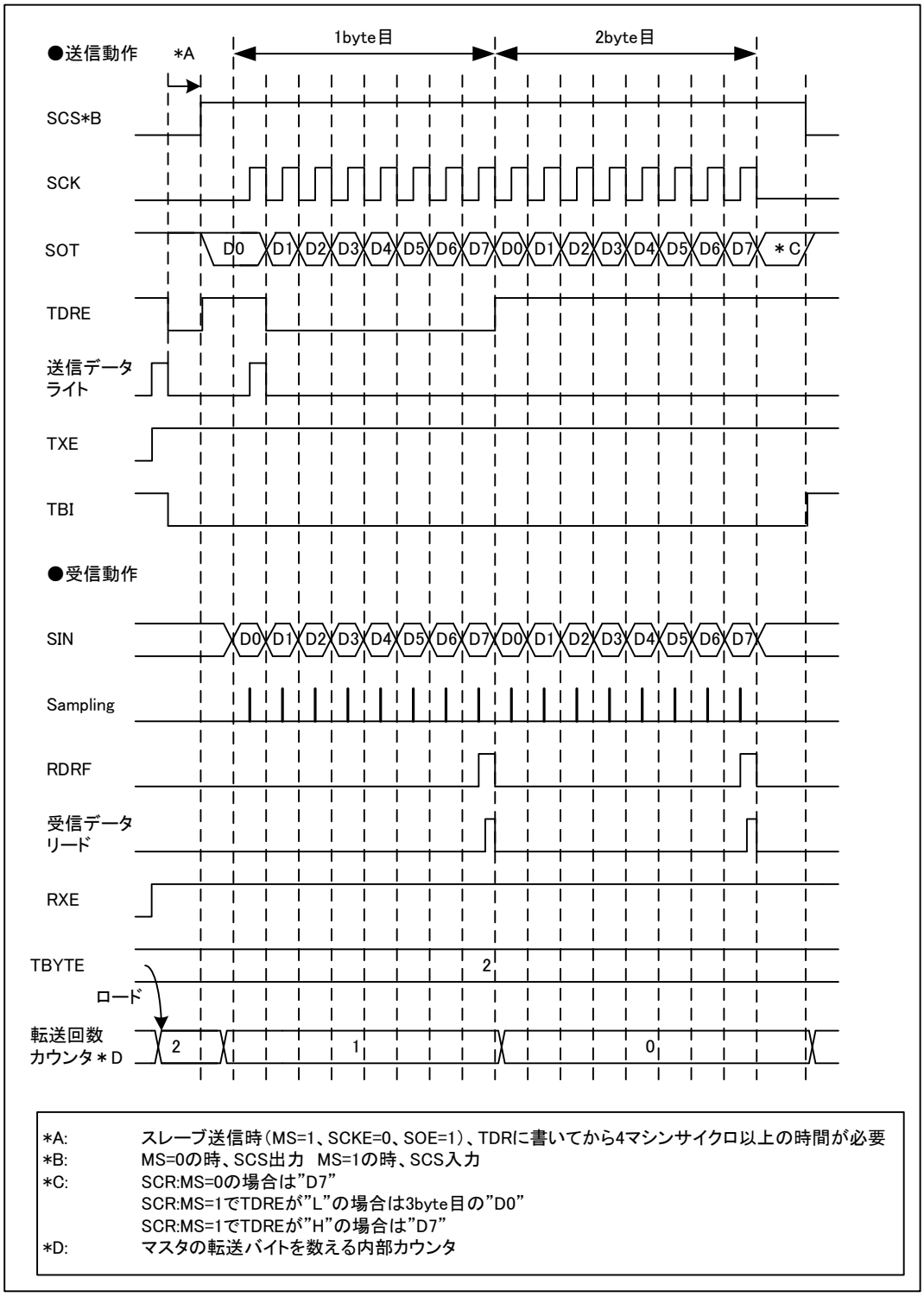
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

■ 受信動作から送信動作への連続的な切換え

1. シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミー
   データを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。
2. 受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。
3. 受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込み、受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

SPI 転送(Ⅱ)タイミングチャート(シリアルチップセレクト端子未使用時)



*A:	スレーブ送信時(MS=1、SCKE=0、SOE=1)、TDRに書いてから4マシンサイクロ以上の時間が必要
*B:	MS=0の時、SCS出力　MS=1の時、SCS入力
*C:	SCR:MS=0の場合は"D7" SCR:MS=1でTDREが"L"の場合は3byte目の"D0" SCR:MS=1でTDREが"H"の場合は"D7"
*D:	マスタの転送バイトを数える内部カウンタ

マスタ動作　(SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*:n には使用するシリアルチップセレクト端子番号が入ります。

送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力が開始します。シリアルクロック出力開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
2. TBYTE で設定している回数のデータ送信終了後、シリアルクロック出力を停止します。
3. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合にシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK)出力の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   この時、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後、シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合にシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

＜注意事項＞

- ***受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書き込んでください。***
- ***送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。***

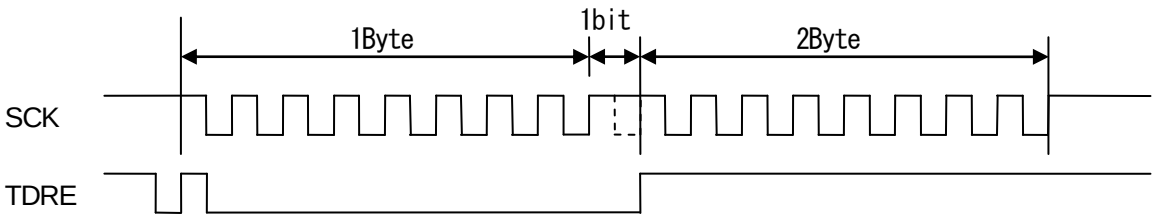
■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

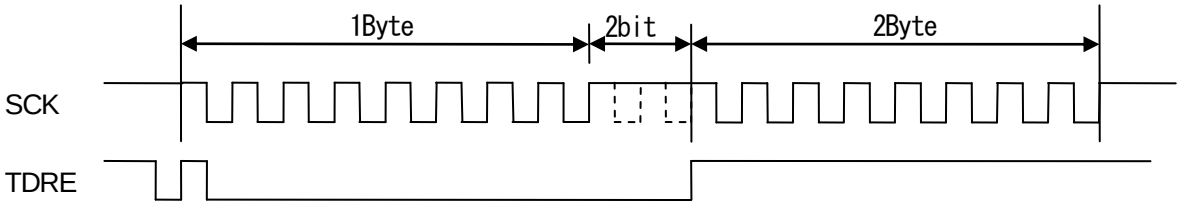
■ 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1,ESCR:WT0)= (0,0)以外を設定した場合 Frame 間にウェイトが挿入されます。

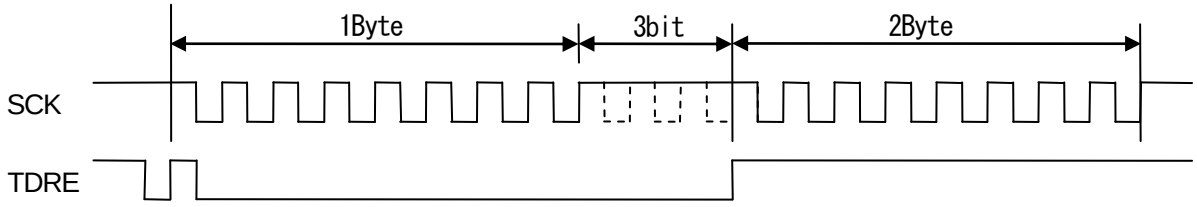
・ ESCR:WT1=0, ESCR:WT0=1(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=0(マスタ時)



・ ESCR:WT1=1, ESCR:WT0=1(マスタ時)



スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0)

■ 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。
3. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送信動作を終了し、シリアル出力端子(SOT)が"H"になります。

＜注意事項＞

- ***送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルの時以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルの時に行なってください。***

■ 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1) でシリアルチップセレクト端子(SCS)がアクティブになると受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   この時、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると受信動作を停止します。

■ 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE,RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。シリアルチップセレクト端子(SCS)がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。この時、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになると送受信動作を停止し、シリアル出力端子(SOT)が"H"になります。

4. シリアルタイマの動作

シリアルタイマは、タイマ機能または同期送信機能のいずれかに利用できます。

シリアルタイマの動作

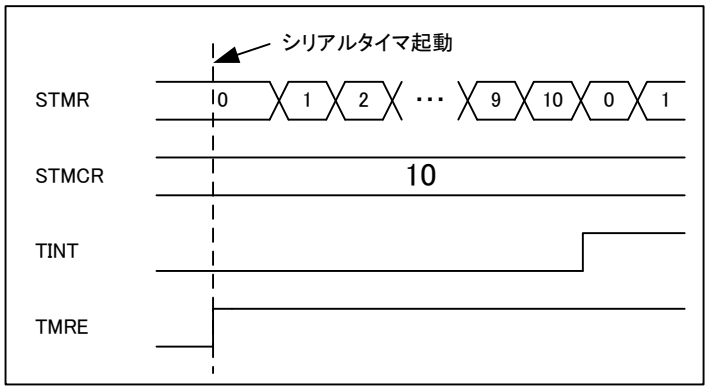
■ シリアルタイマの起動方法

シリアルタイマの起動はシリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットします。

- シリアルタイマ許可ビット(SACSR:TMRE)による起動

  シリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットした場合、シリアルタイマは起動し、シリアルタイマレジスタ(STMR)が 0 からカウントを開始します。

Figure 4-1 シリアルタイマ許可ビットによる起動(STMCR=10, SACSR:TSYNE=0)



■ シリアルタイマの停止方法

シリアルタイマ許可ビット(SACSR:TMRE)を"0"に設定した場合、シリアルタイマは停止します。このときシリアルタイマレジスタ(STMR)の値は保持されます。

■ タイマ動作

同期送信許可ビット(SACSR:TSYNE)が"0"の時に、シリアルタイマはタイマとして動作します。

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、タイマ割込みフラグ(SACSR:TINT)を"1"にセットし、シリアルタイマレジスタ(STMR)は 0 にリセットされます。

Figure 4-2　タイマ動作(STMCR=10, SACSR:TSYNE=0)

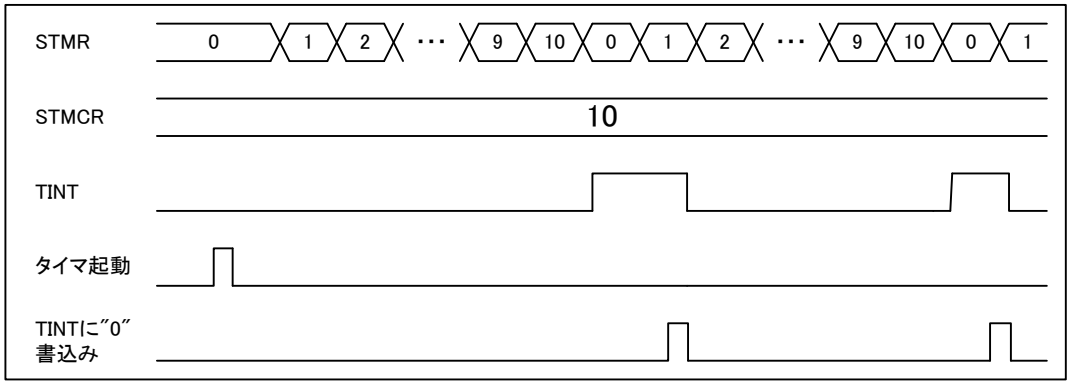


Figure 4-3　シリアルタイマの初期設定のフローチャート

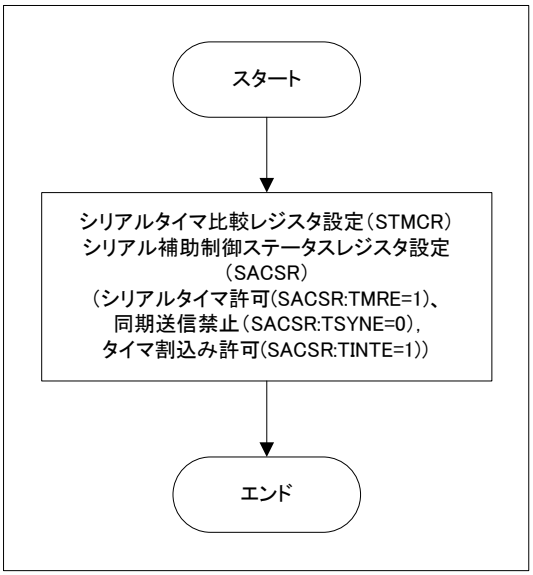
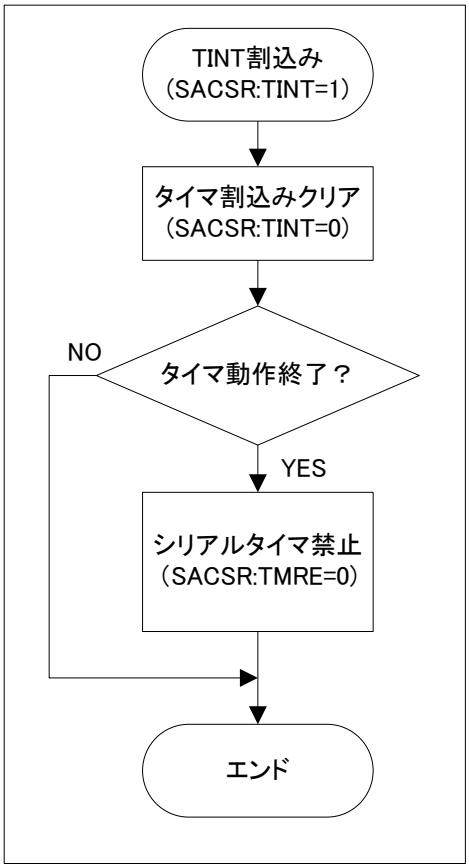


Figure 4-4　シリアルタイマの割込み処理のフローチャート



＜注意事項＞

- *同期送信禁止(SACSR:TSYNE="0")でタイマ比較レジスタ(STMCR)に(0x0000)を設定された状態で、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV)が"0000"に設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。*

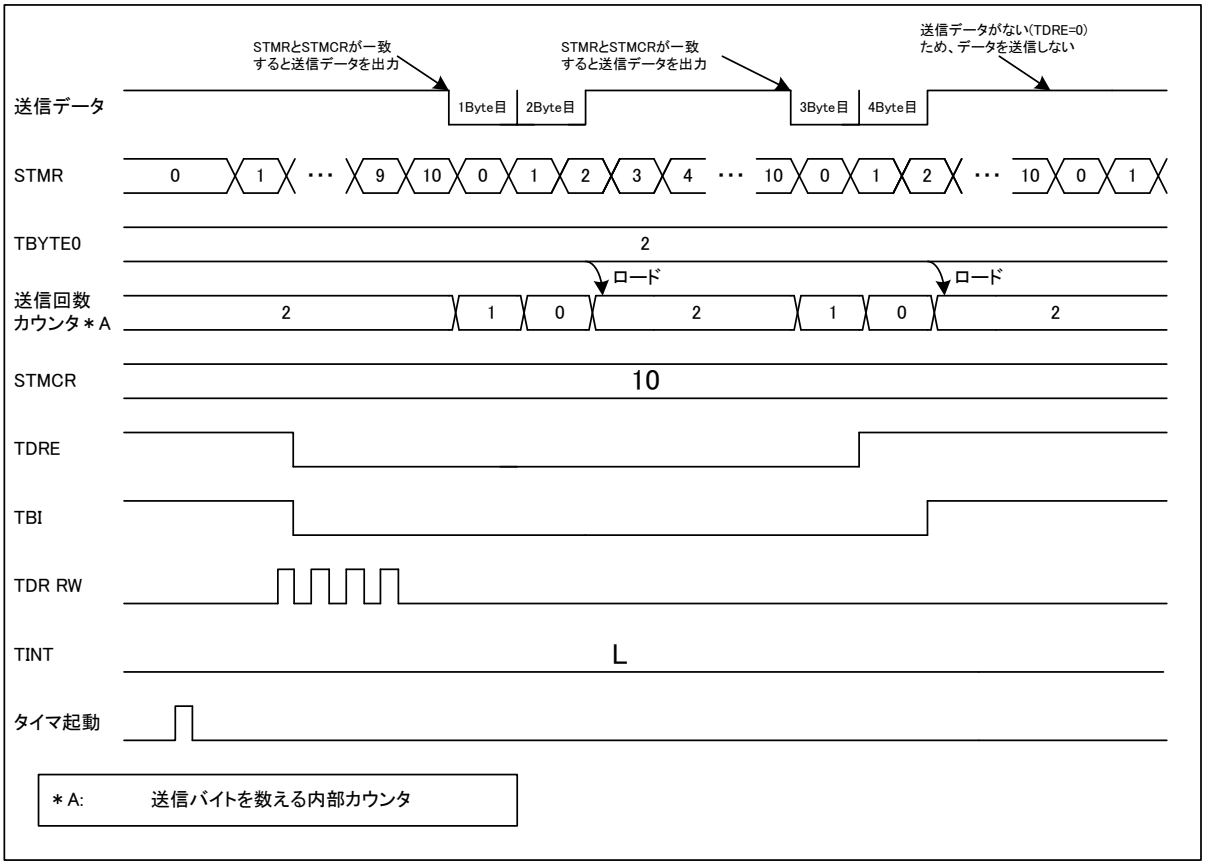
■ タイマに同期した送信動作

同期送信許可ビット(SACSR:TSYNE)が"1"の時に、シリアルタイマは同期送信に利用されます。

タイマに同期した送信は以下のように動作します。

1. 送信データレジスタにデータがある(SSR:TDRE="0")場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、送信動作が開始し、シリアルタイマレジスタ(STMR)は 0 にリセットされます。TBYTE0 に設定したデータ数だけ送信し続けます。
2. TBYTE0 に設定したデータ数のデータ送信を完了した後、送信動作は次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで停止します。

Figure 4-5 タイマに同期した送信動作(STMR=10, TBYTE0=2,SACSR:TSYNE=1)



同期送信許可(SACSR:TSYNE="1")でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときに以下の条件の場合、送信は起動されません。

- 送信禁止(SCR:TXE=0)時
- スレーブモード(SCR:MS=1)時
- チップセレクトエラー(SACSR:CSE=1)発生時
- 送信データレジスタに有効なデータがない(SSR:TDRE=1)場合

ただし、送信データレジスタに有効なデータがない(SSR:TDRE=1)場合に同期送信許可(SACSR:TSYNE="1")でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときは、送信データを送信データレジスタへ書き込むと即送信が開始します。

TBYTE に設定したデータ数の送信完了後に送信データレジスタ(TDR)に有効な送信データがある(SSR:TDRE=0)場合、その送信データは次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで送信されません。

ただし、同期送信許可(SACSR:TSYNE="1")で送信動作中(SSR:TBI=0)にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、送信予約します。送信予約した場合、TBYTE0 に設定した回数だけ送信後、送信は停止せず、次の送信が開始されます。

なお、送信予約は以下のいずれかの条件で解除されます。

- プログラマブルリセット(SCR:UPCL=1)
- 送信禁止(SCR:TXE=0)
- チップセレクトエラー(SACSR:CSE=1)

同期受信動作を行う場合、シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、受信回数分だけ TDR にダミーデータを書き込んでください。

Figure 4-6　タイマに同期した送信の初期設定のフローチャート

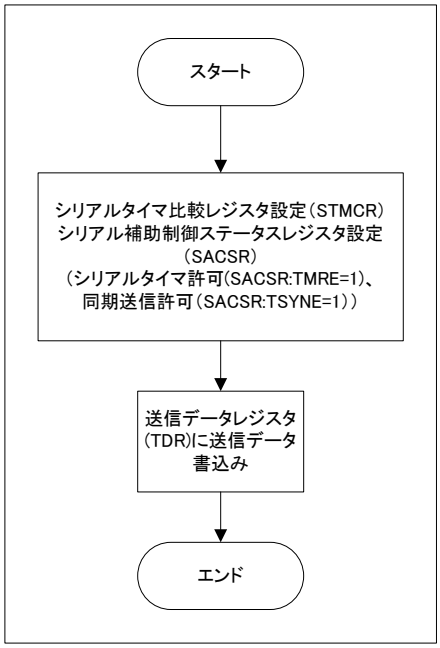
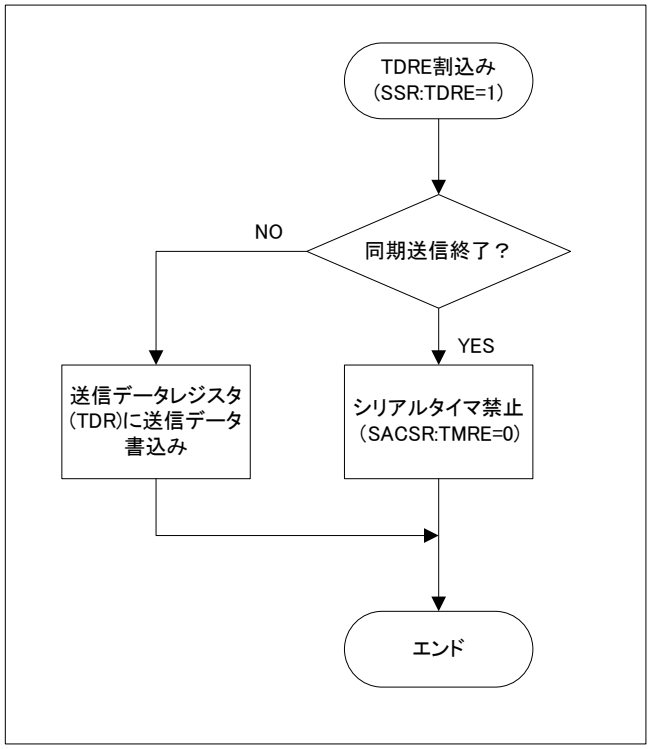


Figure 4-7　タイマに同期した送信の割込み処理のフローチャート



<注意事項>

TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、以下の動作を行います。

- *転送バイトエラー許可(TBEEN=1)の場合、チップセレクトエラー(SACSR:CSE=1)が発生します。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。*
- *転送バイトエラー禁止(TBEEN=0)の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。*

5. シリアルチップセレクトの動作

シリアルチップセレクト動作について示します。

■ マスタモードの動作(SCR:MS=0)

マスタモード(SCR:MS=0)時、シリアルチップセレクト端子は以下のように動作します。

1. シリアルチップセレクト動作許可(SCSCR:CSENn="1")で送信許可中(SCR:TXE="1")に送信データを書き込むとシリアルチップセレクト端子はアクティブになります。
2. シリアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。
3. TBYTE で設定した回数のデータ送受信動作後、シリアルクロックを停止します。
4. シリアルクロックを停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子はインアクティブになります。

Figure 5-1 シリアルチップセレクト動作(マスタ送信(MS=0)、通常転送 SPI=0)、SCINV=0)

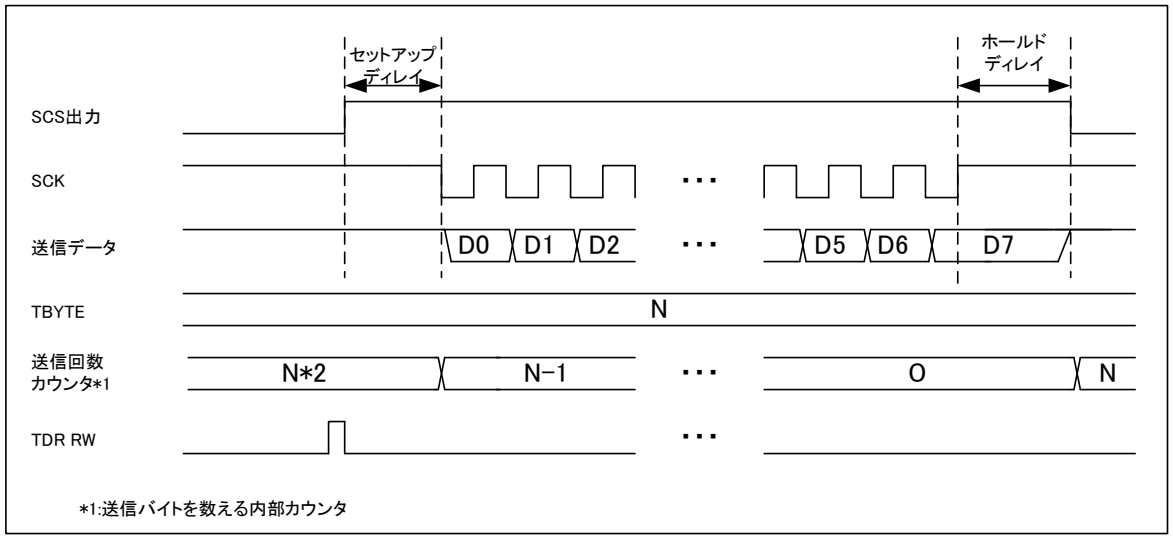
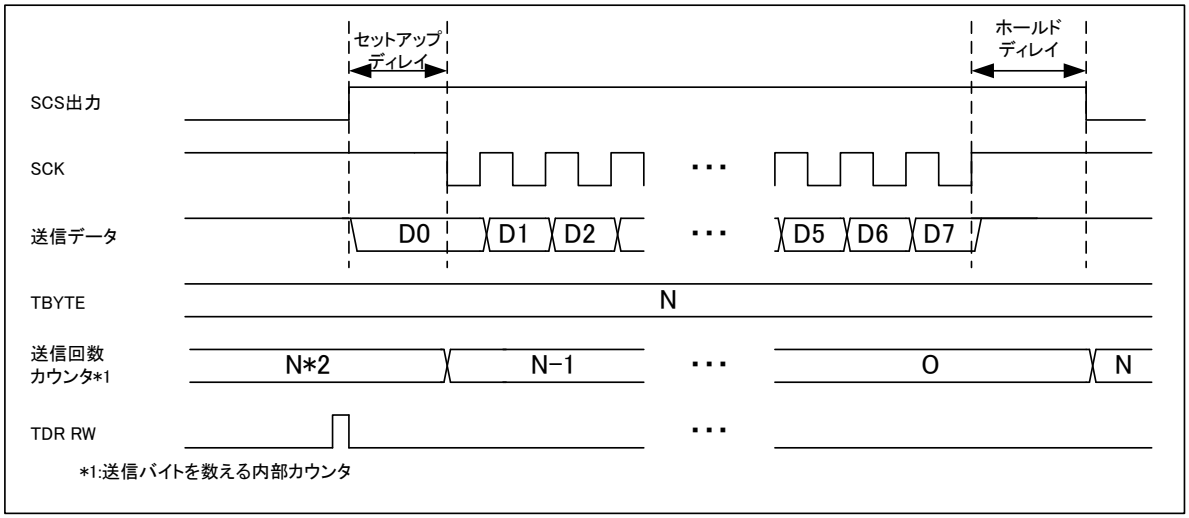


Figure 5-2 シリアルチップセレクト動作(マスタ送信(MS=0)、SPI 転送(SPI=1)、SCINV=0)



<注意事項>

- *シリアルチップセレクト端子がアクティブ時に送信禁止(SCR:TXE="1")およびソフトウェアリセット(SCR:UPCL=1)にした場合、シリアルチップセレクト端子はインアクティブになります。*
- *シリアルチップセレクト端子のアクティブ状態を保持していない(SCSCR:SCAM=0)場合、シリアルチップセレクト端子がインアクティブになり、ディセレクト時間経過後に送信データが空(SSR:TDRE=1)の場合に送信バスアイドル(SSR:TBI=1)になります。*
- *マスタモード時(SCR:MS=0)時、SCSCR:CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。*
- *TBYTE の設定値より少ないフレーム数しか送信していないときに 1 フレーム送信が完了した時点で送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、以下の動作を行います。*
  - *転送バイトエラー許可(TBEEN=1)の場合、チップセレクトエラー(SACSR:CSE=1)が発生します。チップセレクトエラー(SACSR:CSE=1)が発生してからホールドディレイ時間経過後、シリアルチップセレクト端子はインアクティブになります。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。*
  - *転送バイトエラー禁止(TBEEN=0)の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。このとき、シリアルチップセレクト端子はアクティブです。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。*

■ シリアルチップセレクトのタイミング調整

マスタモード(SCR:MS=0)でシリアルチップセレクト動作許可(SCSCR:CSENn="1")の場合、シリアルチップセレクトタイミングレジスタ(SCSTR3-0)を調整することでセットアップディレイ、ホールドディレイおよびディセレクト時間を調節することができます。

- セットアップディレイ時間

  シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間です。セットアップディレイ時間の規定は Figure 5-3 と Figure 5-4 を参照してください。チップセレクトセットアップディレイビット(SCSTR1:CSSU7-0)で調整できます。

- ホールドディレイ時間

  シリアルクロックの出力を終了してからシリアルチップセレクト端子がインアクティブになるまでの時間です。ホールドディレイ時間の規定は Figure 5-3 と Figure 5-4 を参照してください。

チップセレクトホールドディレイビット(SCSTR0:CSHD7-0)で調整できます。

- ディセレクト時間

  シリアルチップセレクト端子がインアクティブになってから次にシリアルチップセレクト端子がアクティブになるまでの最小時間です。ディセレクト時間中に送信データを送信データレジスタ(TDR)に書き込んでも、ディセレクト時間終了までシリアルチップセレクト端子はアクティブになりません。ディセレクト時間の規定は Figure 5-3 と Figure 5-4 を参照してください。

チップセレクトディセレクトビット(SCSTR3-2:CSDS15-0)で調整できます。

Figure 5-3　タイミング調整(通常転送(SPI=0), SCINV=0)

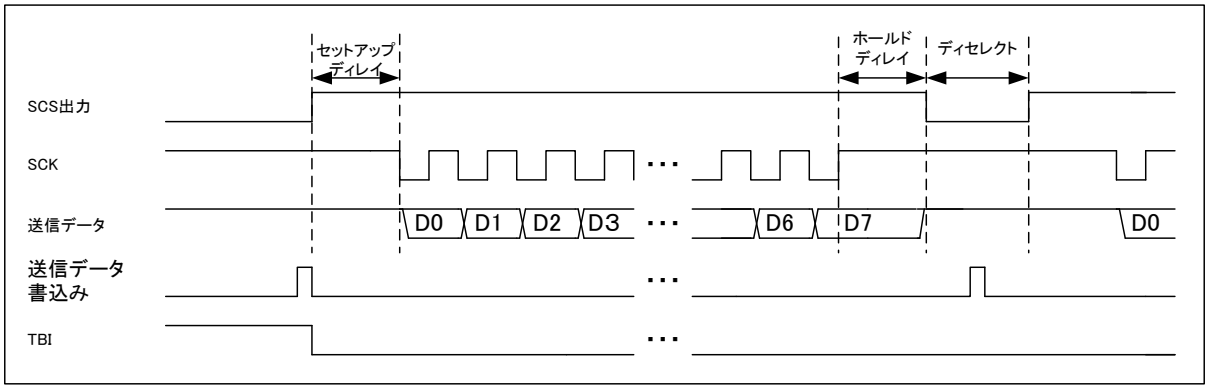
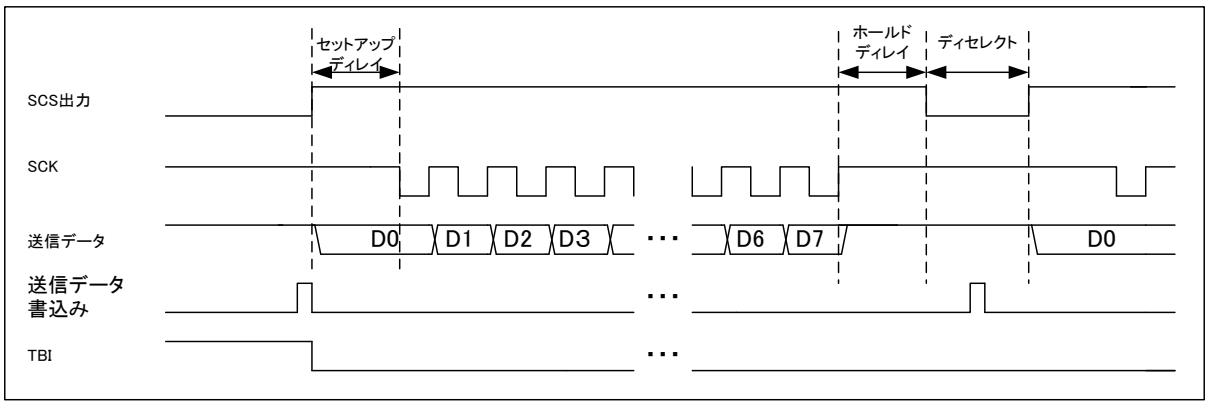


Figure 5-4　タイミング調整(通常転送(SPI=1), SCINV=0)



<注意事項>

- *通常転送(SCR:SPI=0)でホールドディレイ時間なし(SCSTR0:CSHD7-0=0x00)のとき、最終ビットのサンプリングより先にチップセレクト端子がインアクティブになる可能性があります。その場合は、SCSTR0:CSHD7-0 の値を増やすことで、調節してください。*
- *SPI 転送(SCR:SPI=1)でセットアップディレイ時間なし(SCSTR1:CSSU7-0=0x00)のとき、最初のビットのサンプリングより後にチップセレクト端子がアクティブになる可能性があります。その場合は、SCSTR1:CSSU7-0 の値を増やすことで、調節してください。*

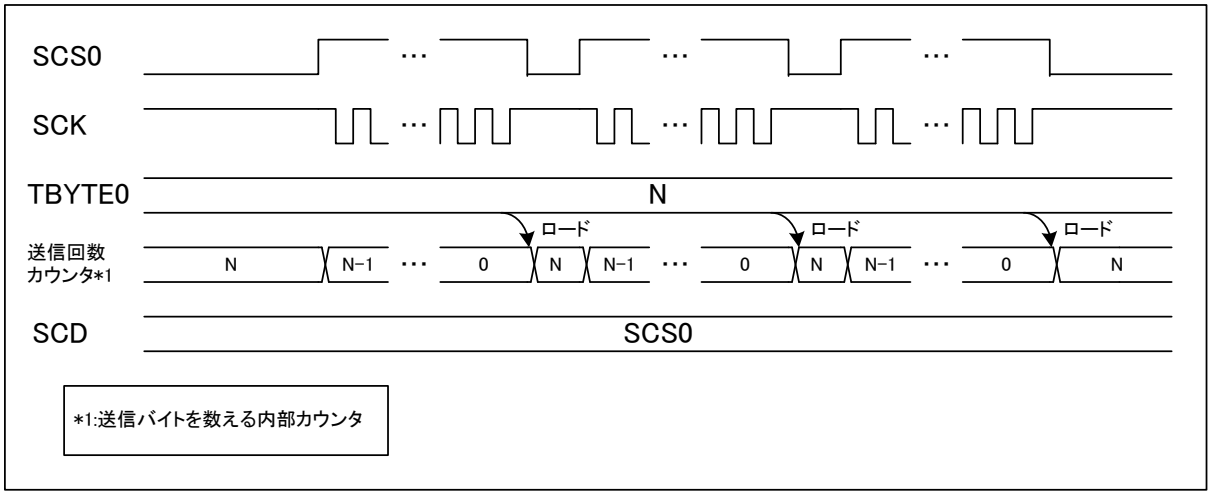
■ チップセレクト端子の単独動作(マスタモード(SCR:MS=0)時のみ有効)

TYPE3-M4,TYPE4-M4, TYPE5-M4 製品では、シリアルチップセレクト開始ビット(SCSCR:SST1-0)とシリアルチップセレクト終了ビット(SCSCR:SED1-0)が等しい場合、その設定されたシリアルチップセレクト端子のみで動作します。

シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTE で設定している回数のデータ送受信ごとにシリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=1)の場合の動作は「シリアルチップセレクトアクティブ保持動作」を参照ください。

Figure 5-5　チップセレクトの単独動作(SST1-0=0, SED1-0=0, CSEN0=1, SCAM=0)



<注意事項>

- *単独動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間，ホールド時間，ディセレクト時間)は有効です。*

■ チップセレクト端子のラウンド動作(マスタモード(SCR:MS=0)時のみ有効)
TYPE3-M4,TYPE4-M4,TYPE5-M4 製品に搭載されています。TYPE1-M4, TYPE2-M4,TYPE6-M4 製品には搭載されていません。

シリアルチップセレクト開始ビット(SCSCR:SST1-0)とシリアルチップセレクト終了ビット(SCSCR:SED1-0)が異なる場合、複数のシリアルチップセレクト端子が順番にアクティブになります。

1. シリアルチップセレクト出力許可(SCSCR:CSOE=”1”)で送信許可中(SCR:TXE=”1”)に送信データを書き込むと、シリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子からアクティブになります。
2. シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTE に設定した回数のデータ送受信の終了後、シリアルチップセレクト端子はインアクティブになります。その後、前にアクティブになったシリアルチップセレクト端子番号に＋1 したシリアルチップセレクト端子がアクティブになります。*1
   ただし､次にアクティブになるシリアルチップセレクト端子が禁止(SCSCR:CSENn=0)されていた場合､そのシリアルチップセレクト端子のアクティブにならず、スキップされます。
3. アクティブになっているシリアルチップセレクト端子番号とシリアルチップセレクト終了ビット(SCSCR:SED1-0)で指定したシリアルチップセレクト端子が一致している場合、シリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子が次にアクティブになります。

*1：前にアクティブになったシリアルチップセレクトが端子 0 の場合は端子 1、端子 1 の場合は端子 2、端子 2 の場合は端子 3、端子 3 の場合は端子 0 がアクティブになります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=1)の場合の動作は「シリアルチップセレクトアクティブ保持動作」を参照ください。

Figure 5-6 はシリアルチップセレクト端子の開始端子が SCS0(SST1-0=0)で終了端子が SCS3(SED1-0=3)の場合のタイミングチャートです。

Figure 5-6 チップセレクトのラウンド動作(SST1-0=0, SED1-0=3, CSEN3=1, CSEN2=1, CSEN1=1, CSEN0=1, SCAM=0)

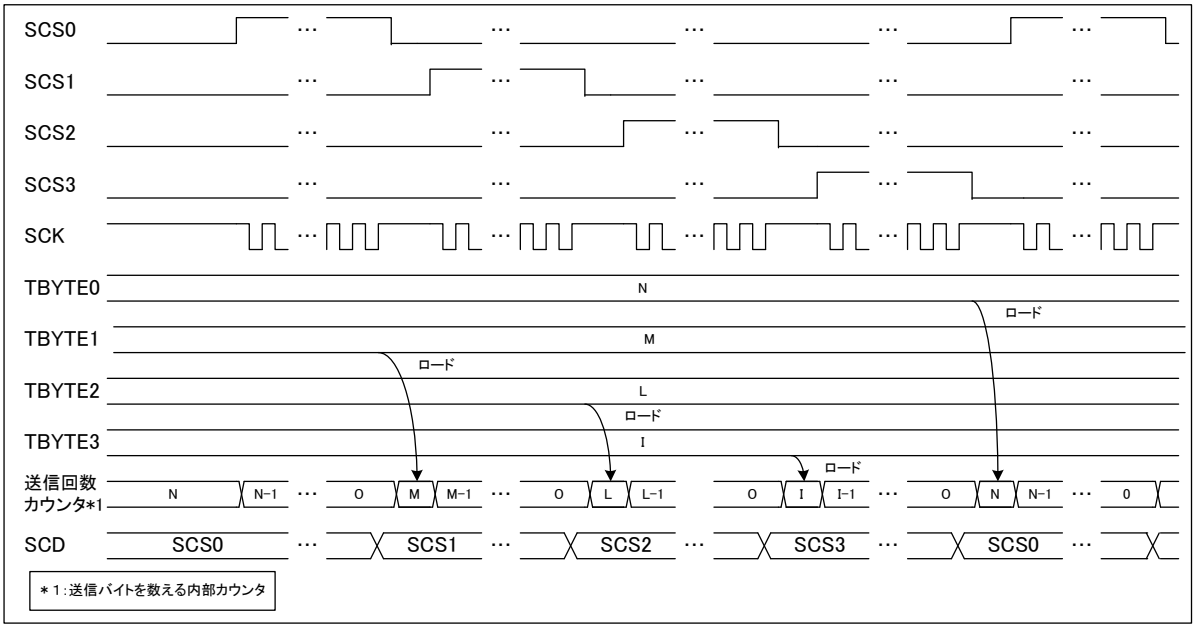


Figure 5-7 はシリアルチップセレクト端子の開始端子が SCS1(SST1-0=1)で終了端子が SCS2(SED1-0=2)の場合のタイミングチャートです。

Figure 5-7 チップセレクトのラウンド動作(SST1-0=1, SED1-0=2 CSEN3=0, CSEN2=1, CSEN1=1, CSEN0=0, SCAM=0)

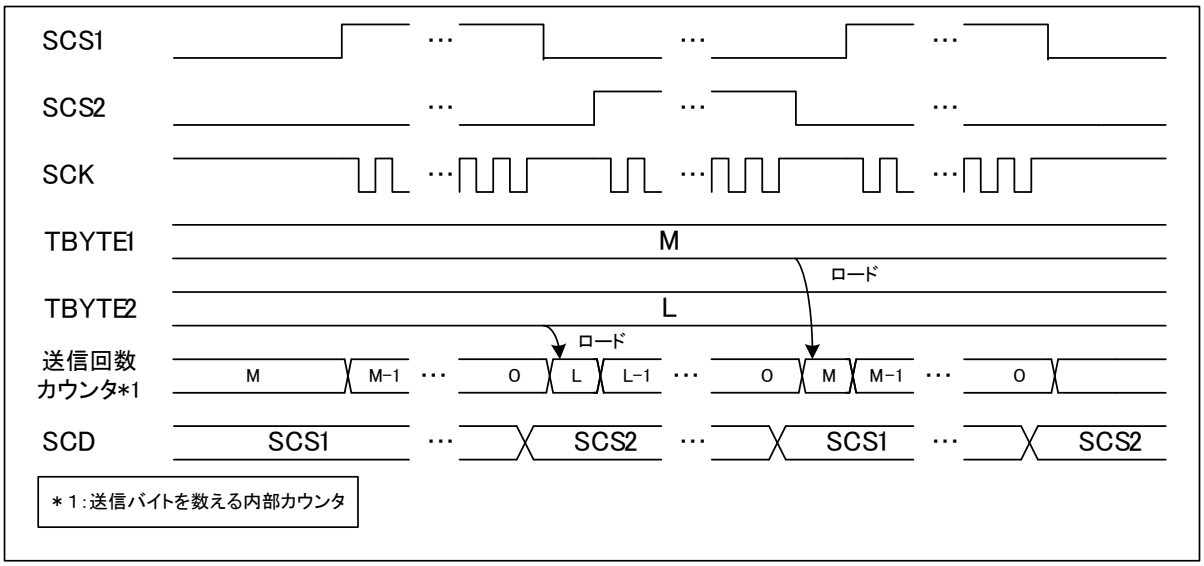
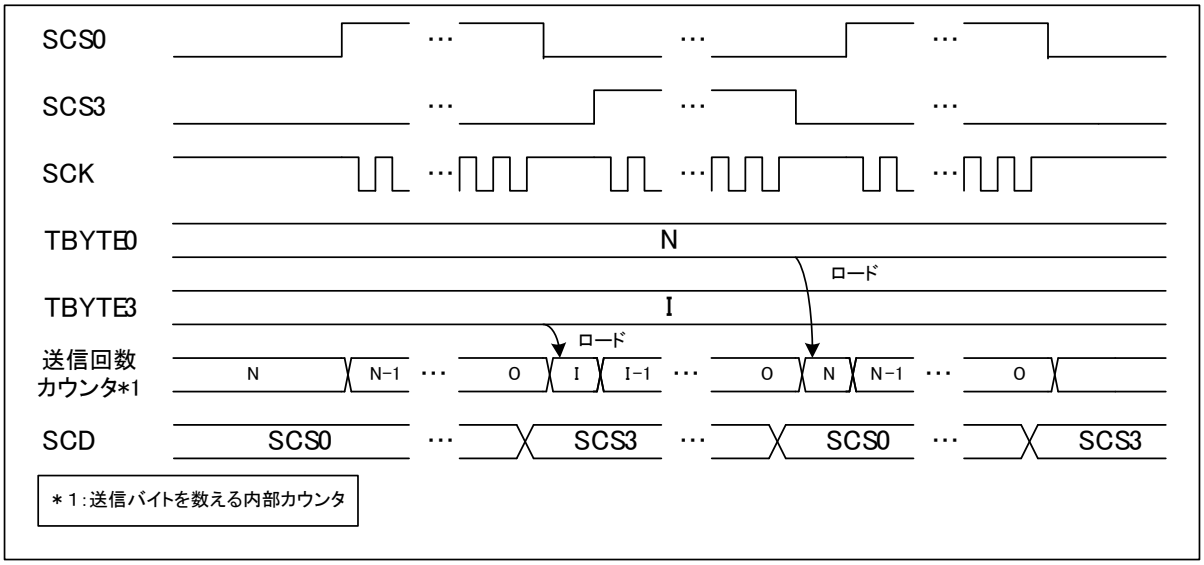


Figure 5-8 はシリアルチップセレクト端子の開始端子が SCS0(SST1-0=0)で終了端子が SCS3(SED1-0=3)で、チップセレクト端子 1 および 2 が禁止(CSEN1-2=" 00" b)の場合のタイミングチャートです。シリアルチップセレクト端子は端子 0 がアクティブになった後、端子 1 および 2 を飛ばして、端子 3 がアクティブになります。

Figure 5-8 チップセレクトのラウンド動作(SST1-0=0, SED1-0=3, CSEN3=1, CSEN2=0, CSEN1=0, CSEN0=1, SCAM=0)



<注意事項>

- *以下のいずれかの場合、シリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子からアクティブになります。*
- *送信動作禁止(SCR:TXE=0)から送信動作許可(SCR:TXE=1)に変更した場合*
- *ソフトウェアリセット(SCR:UPCL=1)を行った場合*
- *ラウンド動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間、ホールド時間、ディセレクト時間)は有効です。*

■ シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1)　(マスタモード(SCR:MS=0)時のみ有効)

シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)を"1"に設定して送信動作を開始した場合、シリアルチップセレクト端子はアクティブ状態に保持されます。

Table 5-1　シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)

現在の状態	現在の SCSCR: SCAM ビット	現在の SSR: TDRE ビット	次の状態
送信中 (送信回数＜TBYTE)	0	—	BYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
	1		
TBYTE の設定数の回数のフレームを送信終了	0	0	ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ。 ディセレクト時間経過後、次の送信を開始
		1	ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ ディセレクト時間経過後、次の送信が書き込まれるまで送信停止
	1	1	シリアルチップセレクトのアクティブ状態保持
		0	シリアルチップセレクトのアクティブ状態で、送信動作継続 再度、TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
チップセレクトエラー(SACSR:CSE=1)を発生	—	—	SCAM の設定に関係なく、ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ
ソフトウェアリセットを実行(SCR:UPCL=1)	—	—	SCAM の設定に関係なく、即シリアルチップセレクト端子をインアクティブ
送信禁止(SCR:TXE=0)			

＜注意事項＞

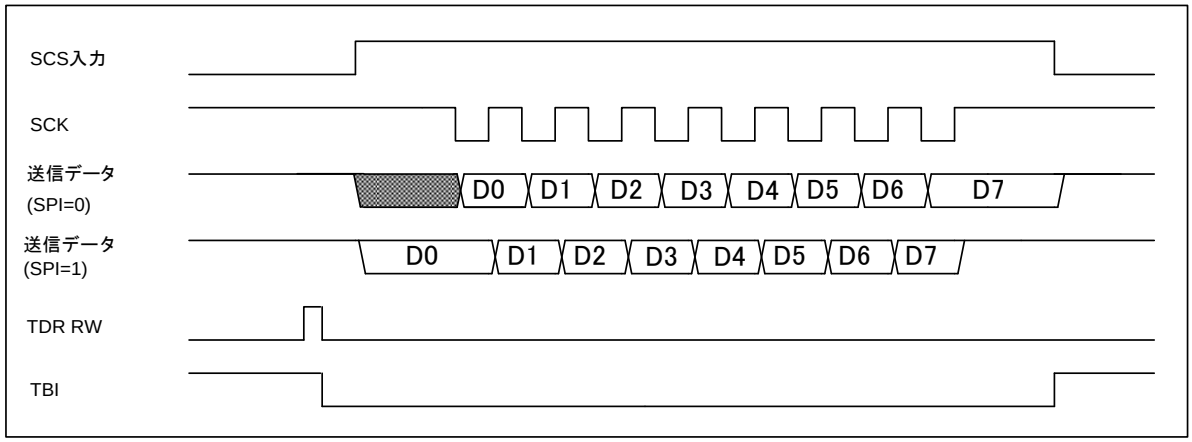
以下のすべての条件が成り立つ場合、シリアルチップセレクト端子は保持されず、ホールドディレイ時間経過後にシリアルチップセレクト端子はインアクティブになり、チップセレクトエラー(SACSR:CSE=1)を発生します。

- *転送バイトエラー許可(SACSR:TBEEN=1)*
- *TBYTE に設定した回数のデータ送受信を終了していない場合*
- *送信データレジスタ(TDR)が空(SSR:TDRE=1)の場合*

■ スレーブモードの動作(SCR:MS=1)

シリアルチップセレクト端子 0(SCS0)が許可(SCSCR:CSEN0="1")でシリアルチップセレクト端子入力がアクティブになると、シリアルクロック(SCK)に同期して、送信動作または受信動作を行います。その後、シリアルチップセレクト端子入力がインアクティブになると、送信動作または受信動作を終了します。

Figure 5-9 スレーブモード時のシリアルチップセレクト動作(スレーブ送信、SCINV=0)



<注意事項>

- *シリアルチップセレクト端子入力がインアクティブ時にシリアルクロックが入力されても動作しません。*
- *受信動作中に最後にビットをサンプリングする前にシリアルチップセレクト入力がインアクティブになると、受信中のデータは消去されます。*
- *送信動作中にシリアルチップセレクト入力がインアクティブになると、送信中のデータは消去され、チップセレクトエラーが発生(SACSR:CSE)します。*
- *TDR が空(SSR:TDRE=1)でシリアルチップセレクト端子入力がインアクティブになると送信バスアイドル(SSR:TBI=1)になります。*
- *スレーブモード(SCR:MS=1)時、SCSCR:CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。*

■ シリアルチップセレクト端子のフォーマット設定

TYPE1-M4, TYPE2-M4,TYPE4-M4, TYPE6-M4 製品は、シリアルチップセレクト端子 0 を搭載しています。

TYPE3-M4, TYPE5-M4 製品は、シリアルチップセレクト端子 0-3 を搭載しています。

＜注意事項＞

- ***シリアルチップセレクト端子を搭載しているチャネルは、各製品のデータシートを参照してください。***

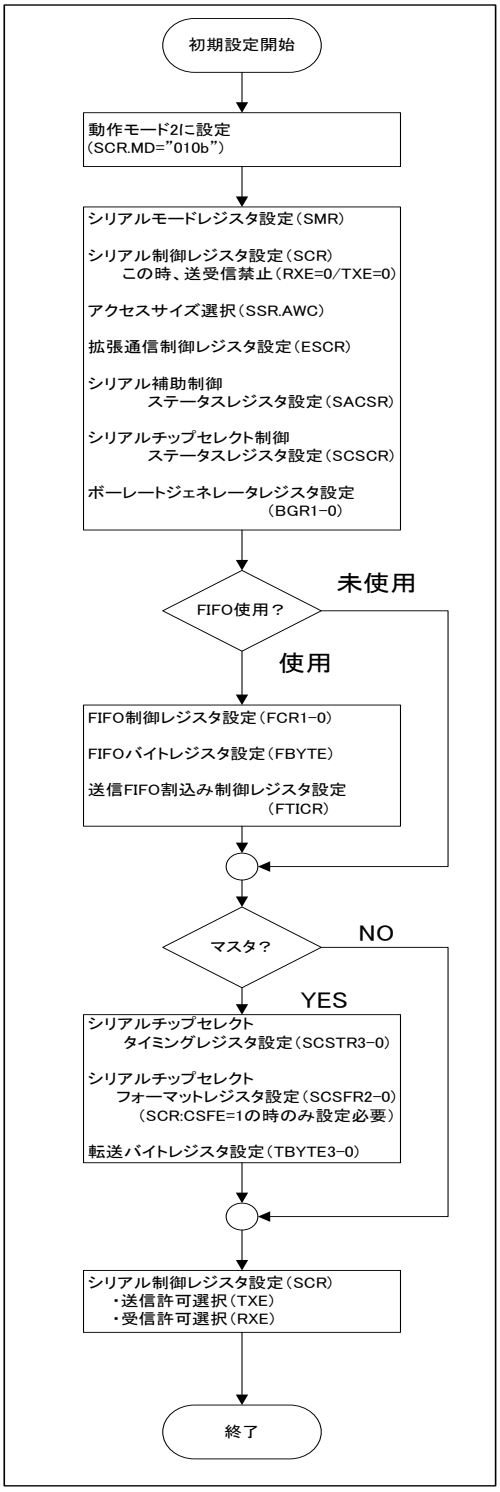
各シリアルチップセレクト端子のチップセレクトのアクティブレベル、シリアルクロックのマークレベル、SPI モードの許可・禁止、シリアルデータ出力のデータ方向およびデータ長は Table 5-2 に示すビットで設定できます。

Table 5-2 シリアルチップセレクト端子のフォーマット設定

条件		チップセレクトのアクティブレベル	シリアルクロックの反転	SPI 設定	データ方向	データ長
チップセレクトフォーマット許可 (SCR:CSFE=1) かつ マスタモード (SCR:MS=0)	SCS0 出力	SCSCR0: SCLVL	SMR: SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
	SCS1 出力	SCSFR0: CS1SCLVL	SCSFR0: CS1SCINV	SCSFR0: CS1SPI	SCSFR0: CS1BDS	SCSFR0: CS1L3-0
	SCS2 出力	SCSFR1: CS2SCLVL	SCSFR1: CS2SCINV	SCSFR1: CS2SPI	SCSFR1: CS2BDS	SCSFR1: CS2L3-0
	SCS3 出力	SCSFR2: CS3SCLVL	SCSFR2: CS3SCINV	SCSFR2: CS3SPI	SCSFR2: CS3BDS	SCSFR2: CS3L3-0
チップセレクトフォーマット禁止 (SCR:CSFE=0)		SCSCR0: SCLVL	SMR: SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
スレーブモード (MS=1)						
チップセレクト未使用時 CSEN3-0=”0000”b)						

■ 初期設定フロー

Figure 5-10 チップセレクトの初期設定フロー



6. 専用ボーレートジェネレータ

専用ボーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

CSIO(クロック同期シリアルインタフェース)ボーレート選択

専用ボーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

マスタ動作時

■ 専用ボーレートジェネレータで内部クロックを分周させて、ボーレートを選択します。

- 2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
- リロードカウンタは設定された値で内部クロックを分周します。

スレーブ動作時

- スレーブ動作時(SCR:MS=1)は、専用ボーレートジェネレータは機能しません。
  (クロック入力端子 SCK から入力された、外部クロックを直接使用します。)

<注意事項>

- *受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。*

6.1 ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

■ リロード値:

V = ϕ / b − 1

V : リロード値　　b : ボーレート　　ϕ : バスクロック周波数

■ 計算例

バスクロック(16MHz)、内部クロック使用、ボーレートを 19200bps に設定する場合のリロード値は以下のようになります。

リロード値 :

V = (16 × 1000000)/19200 - 1 = 832

よって、ボーレートは

b = (16 × 1000000)/(832 + 1) = 19208 (bps)

■ ボーレートの誤差

ボーレートの誤差は以下の式によって算出できます。
誤差(%) = (計算値 - 目標値)/目標値 × 100

(例) バスクロック(20MHz)、目標ボーレートを 153600bps に設定する場合

リロード値 = (20 × 1000000)/153600 - 1 = 129

ボーレート(計算値) = (20 × 1000000)/(129 + 1) = 153846 (bps)

誤差(%) = (153846 - 153600)/153600 × 100 = 0.16 (%)

<注意事項>

- *リロード値を"0"に設定した場合、リロードカウンタは停止します。*
- *リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は SMR:SCINV ビットと SCR:SPI ビットの設定によって以下のようになります。*
  奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
- *ノーマル転送(SCR:SPI=0)でシリアルクロックのマークレベル"H" (SMR:SCINV="0")の場合、または SPI 転送(SCR:SPI=1)でシリアルクロックのマークレベル"L" (SMR:SCINV="1")の場合にシリアルクロックの"H"幅がバスクロック 1 サイクル分長くなります。*
- *ノーマル転送(SCR:SPI=0)でシリアルクロックのマークレベル"L" (SMR:SCINV="1")の場合、または SPI 転送(SCR:SPI=1)でシリアルクロックのマークレベル"H" (SMR:SCINV="0")の場合にシリアルクロックの"L"幅がバスクロック 1 サイクル分長くなります。*
- *リロード値は 3 以上を設定してください。*

各バスクロック周波数に対するリロード値とボーレート設定例

Table 6-1 リロード値とボーレート設定例

ボーレート	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32 MHz	
(bps)	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	7	0	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	-	-
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	312	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	0.06	555	-0.08	693	0.06	832	0.03	1110	0.01
19200	416	-0.08	520	-0.03	832	-0.03	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	2082	0.02	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	-0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

Value: BGR1/0 レジスタの設定値
ERR: ボーレート誤差(%)

Table 6-2 リロード値とボーレート設定例(続き)

ボーレート	36 MHz		40 MHz		48 MHz		72 MHz		80 MHz		100MHz	
(bps)	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	4	0	5	0	8	0	9	0	-	-
6M	5	0	-	-	7	0	11	0	-	-	-	-
5M	-	-	7	0	-	-	-	-	15	0	19	0
4M	8	0	9	0	11	0	17	0	19	0	24	0
2.5M	-	-	15	0	-	-	-	-	31	0	39	0
2M	17	0	19	0	23	0	35	0	39	0	49	0
1M	35	0	39	0	47	0	71	0	79	0	99	0
500000	71	0	79	0	95	0	143	0	159	0	199	0
460800	77	0.16	86	-0.22	103	0.16	155	0.16	173	-0.22	216	<0.01
250000	143	0	159	0	191	0	287	0	319	0	399	0
230400	155	0.16	173	-0.22	207	0.16	312	-0.16	346	0.06	433	<0.01
153600	233	0.16	259	0.16	312	-0.16	468	-0.05	520	-0.03	650	<0.01
125000	287	0	319	0	383	0	575	0	639	0	799	0
115200	312	-0.16	346	0.06	416	-0.08	624	0	693	0.06	867	<0.01
76800	468	-0.05	520	-0.03	624	0	937	-0.05	1041	-0.03	1301	<0.01
57600	624	0	693	0.06	832	0.04	1249	0	1388	<0.01	1735	<0.01
38400	937	-0.05	1041	-0.03	1249	0	1874	0	2082	0.02	2603	<0.01
28800	1249	0	1388	<0.01	1666	-0.02	2499	0	2777	<0.01	3471	<0.01
19200	1874	0	2082	0.02	2499	0	3749	0	4166	<0.01	5207	<0.01
10417	3455	<0.01	3839	<0.01	4607	<0.01	6911	<0.01	7679	<0.01	9599	<0.01
9600	3749	0	4166	<0.01	4999	0	7499	0	8332	0	10416	0
7200	4999	0	5555	<0.01	6666	<0.01	9999	0	11110	0	13888	0
4800	7499	0	8332	<0.01	9999	0	14999	0	16666	0	20832	0
2400	14999	0	16666	<0.01	19999	0	29999	0	-	-	-	-
1200	29999	0	-	-	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-	-	-	-	-

Value: BGR1/0 レジスタの設定値
ERR: ボーレート誤差(%)

Table 6-1, Table 6-2 に記載していない周波数については、「6.1 ボーレート設定」の計算式にて算出してください。(ただし、最大周波数については、製品により異なるため、ご使用する製品の『データシート』を参照してください。)

リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあります。専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

カウントの開始

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

再スタート

リロードカウンタは以下の条件で再スタートします。

■ 送信/受信リロードカウンタ共通
プログラマブルリセット(SCR:UPCL ビット)

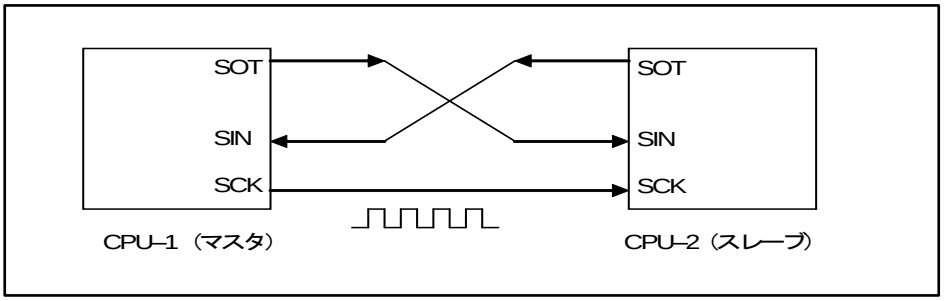
6.2 CSIO(クロック同期シリアルインタフェース)設定手順とプログラムフロー

CSIO(クロック同期シリアルインタフェース)では、シリアル双方向同期送信ができます。

■ CPU 間接続

CSIO(クロック同期シリアルインタフェース)では、双方向通信を選択します。Figure 6-1 に示すように 2 つの CPU を相互に接続します。

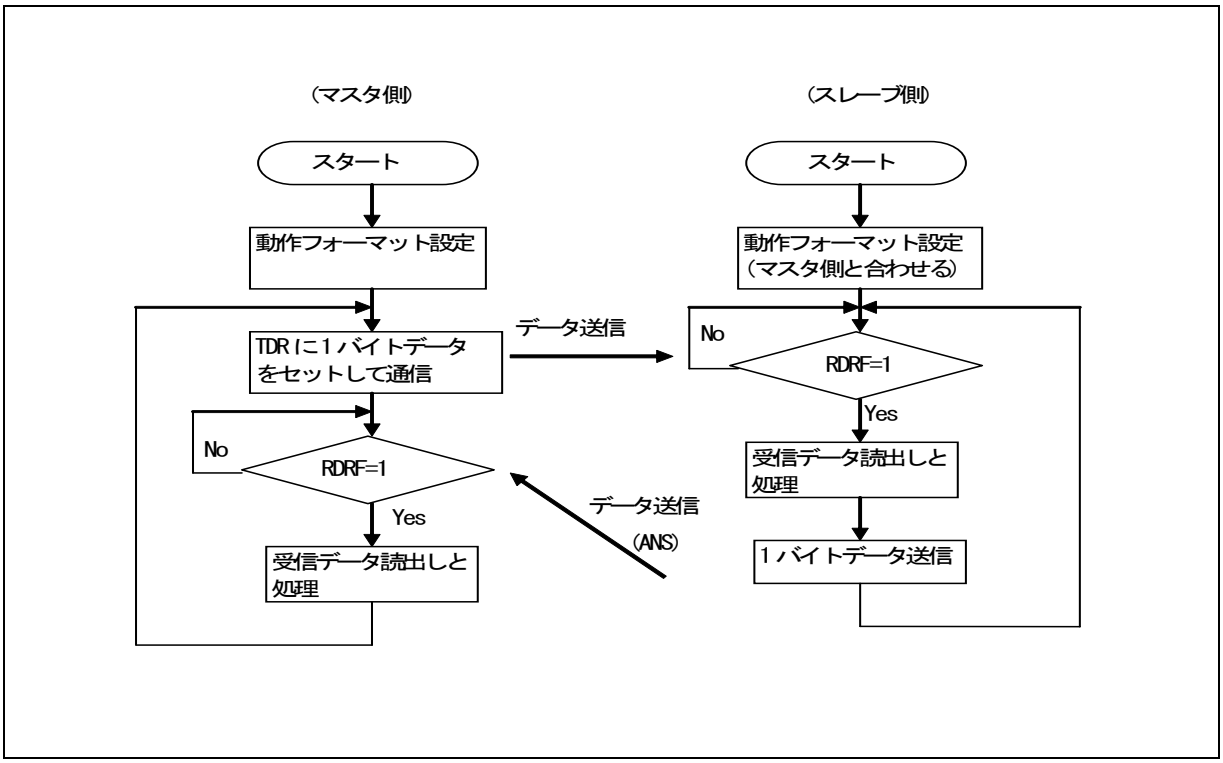
Figure 6-1 CSIO(クロック同期シリアルインタフェース)の双方向通信の接続例



フローチャート

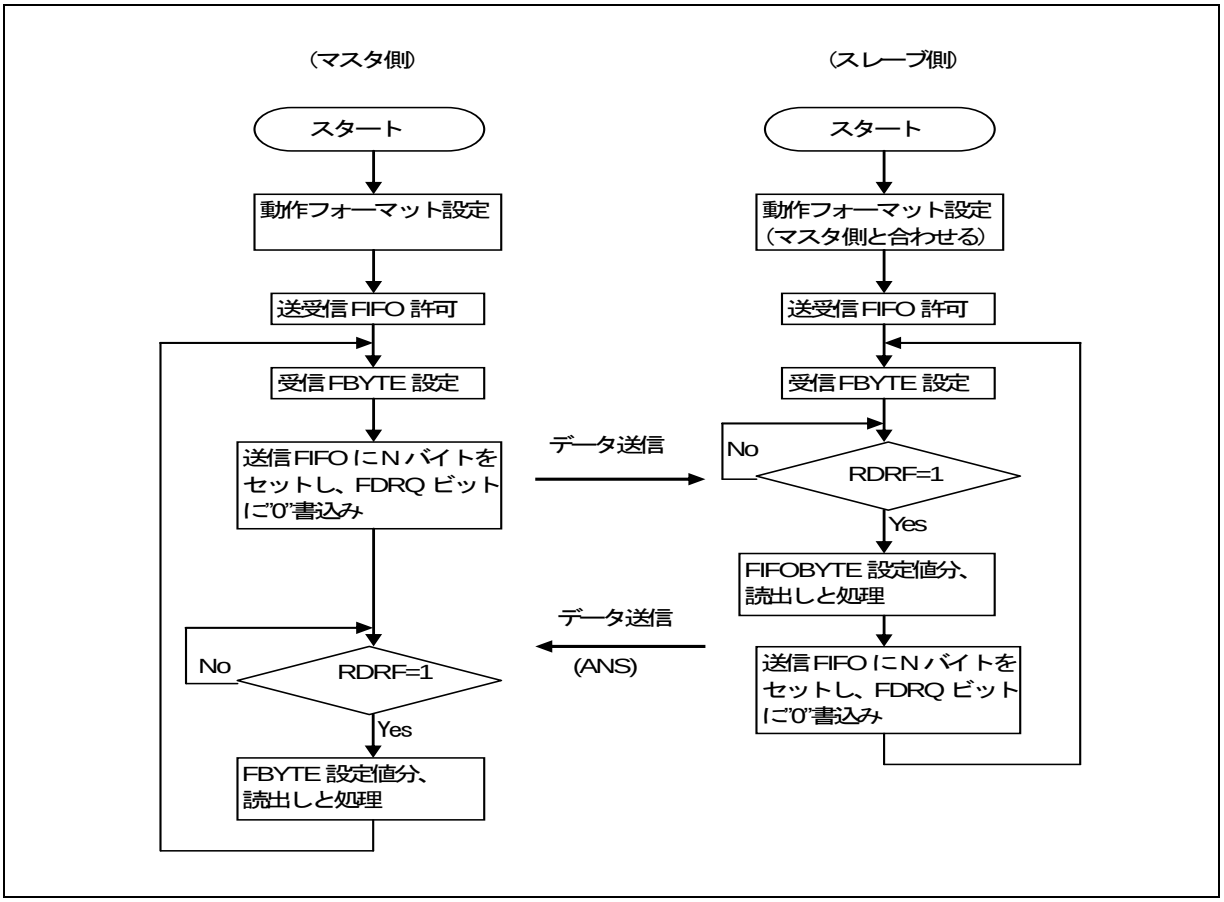
■ FIFO 未使用時

Figure 6-2 双方向通信フローチャートの例 (FIFO 未使用時)



■ FIFO 使用時

Figure 6-3 双方向通信フローチャートの例 (FIFO 使用時)



7. CSIO (クロック同期シリアルインタフェース)のレジスタ

CSIO(クロック同期シリアルインタフェース)のレジスター一覧を示します。

CSIO(クロック同期シリアルインタフェース)のレジスター一覧

Table 7-1 CSIO (クロック同期シリアルインタフェース)のレジスター一覧 (TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)

	bit15 bit8	bit7 bit0
CSIO	SCR (シリアル制御レジスタ)	SMR (シリアルモードレジスタ)
	SSR (シリアルステータスレジスタ)	ESCR (拡張通信制御レジスタ)
	RDR1/TDR1 (送受信データレジスタ 1)	RDR0/TDR0 (送受信データレジスタ 0)
	SACSR (シリアル補助制御ステータスレジスタ)	
	STMR (シリアルタイマレジスタ)	
	STMCR (シリアルタイマ比較レジスタ)	
	SCSCR (シリアルチップセレクト制御ステータスレジスタ)	
	SCSTR1 (シリアルチップセレクトタイミングレジスタ 1)	SCSTR0 (シリアルチップセレクトタイミングレジスタ 0)
	SCSTR3 (シリアルチップセレクトタイミングレジスタ 3)	SCSTR2 (シリアルチップセレクトタイミングレジスタ 2)
	-	TBYTE0 (転送バイトレジスタ 0)
	BGR1 (ボーレートジェネレータレジスタ 1)	BGR0 (ボーレートジェネレータレジスタ 0)
FIFO	FCR1 (FIFO 制御レジスタ 1)	FCR0 (FIFO 制御レジスタ 0)
	FBYTE2 (FIFO2 バイトレジスタ)	FBYTE1 (FIFO1 バイトレジスタ)

Table 7-2 CSIO (クロック同期シリアルインタフェース)のレジスター一覧 (TYPE3-M4,TYPE4-M4, TYPE5-M4 製品)

	bit15 bit8	bit7 bit0
CSIO	SCR (シリアル制御レジスタ)	SMR (シリアルモードレジスタ)
	SSR (シリアルステータスレジスタ)	ESCR (拡張通信制御レジスタ)
	RDR1/TDR1 (送受信データレジスタ 1)	RDR0/TDR0 (送受信データレジスタ 0)
	SACSR (シリアル補助制御ステータスレジスタ)	
	STMR (シリアルタイマレジスタ)	
	STMCR (シリアルタイマ比較レジスタ)	
	SCSCR (シリアルチップセレクト制御ステータスレジスタ)	
	SCSTR1 (シリアルチップセレクトタイミングレジスタ 1)	SCSTR0 (シリアルチップセレクトタイミングレジスタ 0)
	SCSTR3 (シリアルチップセレクトタイミングレジスタ 3)	SCSTR2 (シリアルチップセレクトタイミングレジスタ 2)
	SCSFR1 (シリアルチップセレクトフォーマットレジスタ 1)	SCSFR0 (シリアルチップセレクトフォーマットレジスタ 0)
	-	SCSFR2 (シリアルチップセレクトフォーマットレジスタ 2)
	TBYTE1 (転送バイトレジスタ 1)	TBYTE0 (転送バイトレジスタ 0)
	TBYTE3 (転送バイトレジスタ 3)	TBYTE2 (転送バイトレジスタ 2)
	BGR1 (ボーレートジェネレータレジスタ 1)	BGR0 (ボーレートジェネレータレジスタ 0)
FIFO	FCR1 (FIFO 制御レジスタ 1)	FCR0 (FIFO 制御レジスタ 0)
	FBYTE2 (FIFO2 バイトレジスタ)	FBYTE1 (FIFO1 バイトレジスタ)

Table 7-3 CSIO (クロック同期シリアルインタフェース)ビット配置 (TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	-	WT1	WT0	L2	L1	L0
TDR1/0 (RDR1/0)	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SACSR	-	-	TBEEN	CSEIE	CSE	-	-	TINT	TINTE	TSYNE	-	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
STMR	TM15	TM4	TM3	TM2	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
STMCR	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
SCSCR	-	-	-	-	-	-	SCAM	CDIV2	CDIV1	CDIV0	CSLVL	-	-	-	CSEN0	CSOE
SCSTR 1/0	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
SCSTR 3/2	CSDS 15	CSDS 14	CSDS 13	CSDS 12	CSDS 11	CSDS 10	CSDS9	CSDS8	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
TBYTE0	-	-	-	-	-	-	-	-	CS0 TD7	CS0 TD6	CS0 TD5	CS0 TD4	CS0 TD3	CS0 TD2	CS0 TD1	CS0 TD0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

Table 7-4 CSIO (クロック同期シリアルインタフェース)ビット配置 (TYPE3-M4,TYPE4-M4, TYPE5-M4 製品)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	L3	CSFE	WT1	WT0	L2	L1	L0
TDR1/0 (RDR1/0)	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SACSR	-	-	TBEEN	CSEIE	CSE	-	-	TINT	TINTE	TSYNE	-	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
STMR	TM15	TM4	TM3	TM2	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
STMCR	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
SCSCR	SST1	SST0	SED1	SED0	SCD1	SCD0	SCAM	CDIV2	CDIV1	CDIV0	CSLVL	CSEN3	CSEN2	CSEN1	CSEN0	CSOE
SCSTR 1/0	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
SCSTR 3/2	CSDS 15	CSDS 14	CSDS 13	CSDS 12	CSDS 11	CSDS 10	CSDS9	CSDS8	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
SCSFR 1/0	CS2 LVL	CS2 SCINV	CS2 SPI	CS2 BDS	CS2 L3	CS2 L2	CS2 L1	CS2 L0	CS1 LVL	CS1 SCINV	CS1 SPI	CS1 BDS	CS1 L3	CS1 L2	CS1 L1	CS1 L0
SCSFR2	-								CS3 LVL	CS3 SCINV	CS3 SPI	CS3 BDS	CS3 L3	CS3 L2	CS3 L1	CS3 L0
TBYTE 1/0	CS1 TD7	CS1 TD6	CS1 TD5	CS1 TD4	CS1 TD3	CS1 TD2	CS1 TD1	CS1 TD0	CS0 TD7	CS0 TD6	CS0 TD5	CS0 TD4	CS0 TD3	CS0 TD2	CS0 TD1	CS0 TD0
TBYTE 2/3	CS3 TD7	CS3 TD6	CS3 TD5	CS3 TD4	CS3 TD3	CS3 TD2	CS3 TD1	CS3 TD0	CS2 TD7	CS2 TD6	CS2 TD5	CS2 TD4	CS2 TD3	CS2 TD2	CS2 TD1	CS2 TD0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

7.1 シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止, 送信アイドル割込みの許可/禁止,送受信動作の許可/禁止の設定を行います。また、SPI に接続するための設定, CSIO をリセットすることが可能です。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	(SMR)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

[bit15] UPCL : プログラマブルクリアビット

CSIO の内部状態を初期化するビットです。

"1"を設定した場合:

- CSIO を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は保持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/BGR0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信割込み要因(SSR:TDRE, TBI, RDRF, ORE、SACSR:TINT, CSE)は初期化されます。
- 全シリアルチップセレクト端子がインアクティブになります。

"0"を設定した場合:
動作に影響しません。

読出し時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	プログラマブルクリア	

<注意事項>

- *割込み禁止に設定した後に、プログラマブルクリアを実行してください。*
- *FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。*

[bit14] MS : マスタ/スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

- "0"に設定した場合 : マスタモードに設定されます。
- "1"に設定した場合 : スレーブモードに設定されます。

bit	説明
0	マスタモード
1	スレーブモード

<注意事項>

- *スレーブモードを選択した場合、SMR:SCKE=0 であれば、外部クロックが直接入力されます。*
- *本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。*
- *MS ビット設定後に、受信許可(RXE=1)に設定してください。*

[bit13] SPI : SPI 対応ビット

本ビットは、SPI に対応した通信をさせるためのビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

■ "0"に設定した場合 : ノーマル同期通信を行います。
■ "1"に設定した場合 : SPI に対応します。

bit	説明
0	ノーマル同期転送
1	SPI 対応

<注意事項>

- *本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。*
- *本ビットは以下のどちらかで使用されます。(TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)*
  - *チップセレクト端子禁止(SCSCR:CSEN0="0")のとき*
  - *スレーブモード(SCR:MS=1)のとき*
- *本ビットは下記のいずれかで使用されます。(TYPE3-M4,TYPE4-M4, TYPE5-M4 製品)*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0="0000"b)のとき*
  - *スレーブモード(SCR:MS=1)のとき*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき*

[bit12] RIE : 受信割込み許可ビット

■ CPU への受信割込み要求出力を許可/禁止するビットです。
■ RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(ORE)が"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE : 送信割込許可ビット

■ CPU への送信割込み要求出力を許可/禁止するビットです。
■ TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE : 送信バスアイドル割込み許可ビット

■ CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
■ TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE : 受信動作許可ビット

CSIO の受信動作を許可/禁止します。

■ "0"に設定した場合 ： データフレーム受信動作が禁止されます。
■ "1"に設定した場合 ： データフレーム受信動作が許可されます。

bit	説明
0	受信禁止
1	受信許可

＜注意事項＞

- *受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。*
- *MS ビットおよび SMR:SCINV ビット設定後に、受信許可(RXE=1)に設定してください。*

[bit8] TXE： 送信動作許可ビット

CSIO の送信動作を許可/禁止します。

■ "0"に設定した場合 ： データフレーム送信動作が禁止されます。
■ "1"に設定した場合 ： データフレーム送信動作が許可されます。

bit	説明
0	送信禁止
1	送信許可

＜注意事項＞

- *送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。*
- *マスタモード(SCR:MS=0)でシリアルチップセレクト使用(SCSCR:CSEN=1)時、送信禁止後、プログラマブルリセット(SCR:UPCL=1)を行ってください。*

7.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定, 転送方向, データ長, シリアルクロックの反転およびシリアルデータとクロックの端子への出力許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	予約	SCINV	BDS	SCKE	SOE
属性		R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初期値		0	0	0	-	0	0	0	0

[bit7:5] MD2, MD1, MD0 : 動作モード設定ビット

動作モードを設定します。

"000" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010" : 動作モード 2(クロック同期モード)に設定されます。
"011" : 動作モード 3(LIN 通信モード)に設定されます。
"100" : 動作モード 4(I^2C モード)に設定されます。

本章は動作モード 2(クロック同期モード)のレジスタおよび動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

* 本章は動作モード 2 のレジスタおよび動作について説明します。

<注意事項>

- *上記設定以外は禁止です。*
- *動作モードを切り換える場合には、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。*
- *動作モード設定後、各レジスタを設定してください。*

[bit4] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit3] SCINV : シリアルクロック反転ビット

シリアルクロックフォーマットを反転するビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

"0"に設定した場合:

- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:
- シリアルクロック出力のマークレベルを"L"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

bit	説明
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

<注意事項>
- *本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。*
- *SCINV ビット設定後に、受信許可(SCR:RXE=1)に設定してください。*
- *本ビットは以下のどちらかで使用されます。(TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)*
  - *チップセレクト端子禁止(SCSCR:CSEN0="0")のとき*
  - *スレーブモード(SCR:MS=1)のとき*
- *本ビットは下記のいずれかで使用されます。(TYPE3-M4,TYPE4-M4, TYPE5-M4 製品)*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0="0000"b)のとき*
  - *スレーブモード(SCR:MS=1)のとき*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき*

[bit2] BDS : 転送方向選択ビット
転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト、BDS=0)最上位ビット側から先に転送するか(MSB ファースト、BDS=1)を選択するビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

<注意事項>
- *本ビットは、送受信が禁止(SCR:TXE=RXE=0)のときに設定してください。*
- *本ビットは以下のどちらかで使用されます。(TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)*
  - *チップセレクト端子禁止(SCSCR:CSEN0="0")のとき*
  - *スレーブモード(SCR:MS=1)のとき*
- *本ビットは下記のいずれかで使用されます。(TYPE3-M4,TYPE4-M4, TYPE5-M4 製品)*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0="0000"b)のとき*
  - *スレーブモード(SCR:MS=1)のとき*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき*

[bit1] SCKE： マスタモード時のシリアルクロック出力許可ビット

シリアルクロックの入出力ポートを制御するビットです。

bit	説明
0	シリアルクロック出力を禁止
1	シリアルクロック出力を許可

＜注意事項＞

- *SCK 端子として使用する場合は GPIO 設定も行ってください。*

[bit0] SOE： シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

＜注意事項＞

- *SOT 端子として使用する場合は GPIO 設定も行ってください。*

7.3 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認, 受信エラーフラグの確認または受信エラーフラグのクリアを行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	-	予約	ORE	RDRF	TDRE	TBI	(ESCR)
属性	R/W	-	-	-	R	R	R	R	
初期値	0	-	-	-	0	0	1	1	

[bit15] REC : 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の ORE フラグをクリアするビットです。

- "1"書込みで、エラーフラグがクリアされます。
- "0"書込みは、動作に影響しません。

読出し時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	受信エラーフラグ(FRE, ORE)のクリア	

[bit14:13] - : 未使用ビット

読出し時 : 値は不定です。
書込み時 : 動作に影響しません。

[bit12] 予約: 予約ビット

予約ビットです。書込み時は常に 0 を書込んでください。読み出し時は常に 0 が読み出されます。

[bit11] ORE : オーバランエラーフラグビット

- 受信時にオーバランが発生した場合、"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF： 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
  - 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。

- 受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ RDR が空
1	受信データレジスタ RDR にデータが存在する

[bit9] TDRE： 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
- TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合、TDRE ビットは"1"に設定されます。
- 送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタが空

[bit8] TBI： 送信バスアイドルフラグビット

- CSIO が送信動作をしていないことを示すビットです。
- 送信データレジスタ(TDR)へデータを書き込んだ場合に本ビットは"0"に設定されます。
- 送信データレジスタ(TDR)がエンプティ(TDRE=1)で、シリアルチップセレクト端子がディセレクトされて送信動作をしていない場合に本ビットが"1"に設定されます。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合、TDRE ビットは"1"に設定されます。
- 本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

7.4 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定, シリアル出力の"H"固定の設定ができます。

■ TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	-	SOP	L3	予約	WT1	WT0	L2	L1	L0
属性		R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
初期値		0	0	-	0	0	0	0	0

■ TYPE3-M4,TYPE4-M4, TYPE5-M4 製品

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	-	SOP	L3	CSFE	WT1	WT0	L2	L1	L0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] SOP： シリアル出力端子セットビット

■ シリアル出力端子を"H"に設定するビットです。本ビットに"1"を書き込んだときに SOT 端子を"H"にしますが、その後、本ビットに"0"を書き込む必要はありません。

■ 読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	SOT 端子を"H"に設定	

＜注意事項＞

- *シリアルデータ送信中に、本ビットの設定はしないでください。*

[bit5] 予約 ： 予約ビット (TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)

TYPE1-M4, TYPE2-M4, TYPE6-M4 製品は予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit5] CSFE: シリアルチップセレクトフォーマット許可ビット (TYPE3-M4,TYPE4-M4, TYPE5-M4 製品)

TYPE3-M4, TYPE4-M4, TYPE5-M4 製品に搭載されています。

シリアルチップセレクト端子ごとのフォーマット設定を許可、または禁止をします。

本ビットが"1"に設定されているとき、シリアルチップセレクト端子ごとに以下の設定を行います。

- シリアルチップセレクトのインアクティブレベル
- シリアルクロックのマークレベル
- SPI 転送/ノーマル転送の選択
- シリアルデータの転送方向
- シリアルデータのデータ長

bit	説明
0	すべてのシリアルチップセレクト端子で同一のデータフォーマットおよびクロックフォーマットを設定
1	シリアルチップセレクト端子ごとにデータフォーマットおよびクロックフォーマットを設定

＜注意事項＞

- *本ビットの設定は下記のいずれかの場合、無効です。*
  - *チップセレクト端子禁止(SCSCR0:CSEN3-0=”0000”b)のとき*
  - *スレーブモード(SCR:MS=1)のとき*
- *本ビットは送信禁止(SCR:TXE=0)のときに設定してください。*

[bit4:3] WT1, WT0： データ送受信ウェイト選択ビット

マスタ時、連続データの送信または受信に対し、ウェイト数を指定します。スレーブ時は"00"の動作です。

■ "00"に設定した場合 : 連続的に SCK が出力されます。
■ "01"に設定した場合 : 1 ビット時間ウェイト後 SCK が出力されます。
■ "10"に設定した場合 : 2 ビット時間ウェイト後 SCK が出力されます。
■ "11"に設定した場合 : 3 ビット時間ウェイト後 SCK が出力されます。

bit4	bit3	説明
0	0	0 ビット
0	1	1 ビット
1	0	2 ビット
1	1	3 ビット

[bit6, bit2～bit0]L3, L2, L1, L0: データ長選択ビット

送受信データのデータ長を指定します。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

L3	L2	L1	L0	データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長

＜注意事項＞

- *上記設定以外は禁止です。*
- *本ビットは以下のどちらかで使用されます。(TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0=”0000”b)のとき*
  - *スレーブモード(SCR:MS=1)のとき*
- *本ビットは下記のいずれかで使用されます。(TYPE3-M4,TYPE4-M4, TYPE5-M4 製品)*
  - *チップセレクト端子禁止(SCSCR:CSEN3-0=”0000”b)のとき*
  - *スレーブモード(SCR:MS=1)のとき*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき*

7.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。

受信データレジスタ(RDR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

受信データレジスタ(RDR)は、シリアルデータ受信用の 16 ビットのデータバッファレジスタです。

- シリアル入力端子(SIN 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- データ長に応じ、下位ビットから受信データが格納され、それ以外のビットは"0"に設定されます。例 : データ長が 8 ビットで"0x45"を受信した場合　D7-D0="0x45", D15-D8=0
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合は(SSR:RIE=1)、受信割込み要求を発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます
- 受信エラーが発生(SSR:ORE)した場合、受信データレジスタ(RDR)のデータは無効です。

<注意事項>

- *受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。*
- *受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が"0"にクリアされます。*
- *受信 FIFO 使用時に、受信エラーが発生(SSR:ORE)した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。*

送信データレジスタ(TDR)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

送信データレジスタ(TDR)は、シリアルデータ送信用の 16 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT 端子)から送出されます
- データ長に応じ、下位ビットから送信データが格納され、それ以外のビットは"無効"です。
  例：データ長が 8 ビットで"0x45"を送信する場合　D7-D0="0x45", D15-D8 は無効。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書き込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データを書き込むことはできません。

＜注意事項＞

- *送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。*
- *送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。*

7.6 シリアル補助制御ステータスレジスタ (SACSR)

シリアル補助制御ステータスレジスタ(SACSR)は、シリアルテスト動作の制御，シリアルタイマの起動方法の選択，タイマ割込みの許可/禁止，同期送信の許可/禁止，シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/禁止の設定ができます。

シリアル補助制御ステータスレジスタ(SACSR)のビット構成

bit	15	14	13	12	11	10	9	8
Field	予約		TBEEN	CSEIE	CSE	-	-	TINT
属性	-		R/W	R/W	R/W	-	-	R/W
初期値	00		0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TINTE	TSYNE	-	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
属性	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:14] 予約ビット

リードした場合: 読出し値は 0 です。
ライトした場合: 常に 0 を書き込んでください。

予約ビット
リード時、0 を読み出します。ライト時、常に 0 を書き込んでください。

[bit13] TBEEN：転送バイトエラー許可ビット

マスタモード時(SCR:MS=0)にシリアルチップセレクトエラーの発生の許可/禁止を選択します。

詳細は「2.6 チップセレクトエラー発生とフラグセットのタイミング」を参照してください。

bit	説明
0	マスタモード(SCR:MS=0)時のチップセレクトエラー発生を禁止
1	マスタモード(SCR:MS=0)時のチップセレクトエラー発生を許可

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時に変更してください。*

[bit12] CSEIE： チップセレクトエラー割込み許可ビット

チップセレクトエラー割込み要求出力を許可/禁止するビットです。

CSEIE ビットとチップセレクトエラーフラグビット(CSE)が"1"の場合、送信割込み要求を出力します。

bit	説明
0	チップセレクトエラー割込み禁止
1	チップセレクトエラー割込み許可

[bit11] CSE : チップセレクトエラーフラグビット

本ビットはチップセレクトエラーの発生の有無を示します。

詳細は「2.6 チップセレクトエラー発生とフラグセットのタイミング」を参照してください。

本ビットが"1"でチップセレクトエラー割込み許可ビット(CSEIE)が"1"の時、送信割込み要求を出力します。
本ビットに"0"を書き込むと"0"にリセットされます。
本ビットへの"1"書込みは無効です。

bit	説明
0	チップセレクトエラーなし
1	チップセレクトエラーあり

<注意事項>

- *ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。*
- *リードモディファイライト系命令のリードは"1"が読み出されます。*
- *スレーブモード(SCR:MS=1)でシリアルチップセレクト未使用(SCSCR:CSEN0=0)時、本ビットは"1"にセットされません。*
- *チップセレクトエラー発生(CSE=1)時、送信を禁止(SCR:TXE=0)に設定後、本ビットに"0"を書き込んでください。送信を再開させる場合、本ビットに"0"を書込み後、送信許可(SCR:TXE=1)および送信データバッファ(TDR)へ送信データの書込みを行ってください。*
- *スレーブ送信時にシリアルチップセレクト入力に1バスクロック以上のノイズが発生した場合、本ビットが"1"に設定される場合があります。その場合は、マスタの転送終了後に送信を再開させてください。*

[bit8] TINT : (タイマ割込みフラグ)

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。

本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"の時、ステータス割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。
本ビットへの"1"書込みは無効です。

bit	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

<注意事項>

- *ソフトウェアリセット(SCR:UPCL="1")を行うと、本ビットは"0"にリセットされます。*
- *リードモディファイライト系命令のリードは"1"が読み出されます。*
- *同期送信許可ビット(TSYNE)が"1"の時、本ビットは"1"にセットされません。*

[bit7] TINTE : (タイマ割込み許可ビット)

CPU へのタイマ割込みの許可/禁止するビットです。

本ビットが”1”でタイマ割込みフラグ(TINT)が"1"の場合、ステータス割込み要求を出力します。

bit	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6] TSYNE : (同期送信許可ビット)

同期送信を許可または禁止を選択します。

本ビットが"1"で以下の場合、送信が起動されます。

■ タイマに同期した送信時にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致

bit	説明
0	同期送信を禁止 シリアルタイマはタイマとして使用されます。
1	同期送信を許可 シリアルタイマはタイマとして使用されません。

<注意事項>

- *本ビットはシリアルタイマ許可ビット(TMRE)が"0"の時のみ変更可能です。*
- *同期送信許可時(TSYNE=1)に送信が禁止(SCR:TXE=0)の場合、以下の場合でも送信は起動されません。*
- *タイマに同期した送信時にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致*
- *スレーブモード(SCR:MS="1")時、本ビットは内部で"0"に固定されます。*

[bit4:1] TDIV3～TDIV0 : (タイマ動作クロック分周ビット)

シリアルタイマの分周比を設定します。

bit4	bit3	bit2	bit1	タイマ動作クロック						
				分周比	ϕ= 8MHz	ϕ= 10MHz	ϕ= 16MHz	ϕ= 20MHz	ϕ= 24MHz	ϕ= 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
0	1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
0	1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs
0	1	1	1	ϕ/128	16µs	12.8µs	8µs	6.4µs	5.33µs	4µs
1	0	0	0	ϕ/256	32µs	25.6µs	16µs	12.8µs	10.67µs	8µs

ϕ：バスクロック

<注意事項>

- *本ビットはシリアルタイマ許可ビット(TMRE)が"0"の時のみ変更可能です。*
- *上記の設定以外は禁止です。*

[bit0] TMRE : (シリアルタイマ許可ビット)

シリアルタイマの動作を許可、または禁止を選択します。

bit	説明
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

＜注意事項＞

- *シリアルタイマによる同期送信を行う場合、送信禁止のとき、本ビットを"0"から"1"に変更してください。*

7.7 シリアルタイマレジスタ(STMR)

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

シリアルタイマレジスタ(STMR)のビット構成

bit	15	14	13	12	11	10	9	8
Field	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit15:0] TM15～TM0 : (タイマデータビット)

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3-0 で設定)ごとに 1 が加算されます。

＜注意事項＞

- *タイマ動作開始時、本ビットは"0"に初期化されます。*

7.8 シリアルタイマ比較レジスタ (STMCR)

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

シリアルタイマ比較レジスタ(STMCR)のビット構成

bit	15	14	13	12	11	10	9	8
Field	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:0] TC15～TC0 : (コンペアビット)

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ(STMR と比較され、シリアルタイマレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致しているとシリアルタイマレジスタを 0 にします。その時、同期送信禁止(SACSR:TSYNE="0")の場合はタイマ割込みフラグ(SACSR: TINT)を"1"にし、同期送信許可(SACSR:TSYNE="1")の場合は送信を起動します。

以下の動作が行われる間隔は(STMCR:TC+1)×タイマ動作クロック(SACSR:TDIV3-0 で設定)になります。

- SACSR:TINT が"1"に設定される
- シリアルタイマに同期した送信で送信起動が行われる

<注意事項>

- *以下のすべての条件が成り立つ場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。*
- *同期送信禁止(SACSR:TSYNE="0")*
- *本レジスタに 0x0000 を設定*
- *タイマ動作中*
- *タイマ動作クロック分周値(SACSR:TDIV)に 0b0000 に設定*
- *シリアルタイマ禁止(SACSR:TMRE="0")の時のみ、本レジスタは変更可能です。*

7.9 シリアルチップセレクト制御ステータスレジスタ(SCSCR)

シリアルチップセレクト制御ステータスレジスタ(SCSCR)は、シリアルチップセレクトの開始端子および終了端子の選択, シリアルチップセレクトの出力端子の表示, シリアルチップセレクトのアクティブレベルの保持, シリアルチップセレクトの反転, シリアルチップセレクト端子の出力許可/禁止の設定を行います。

(TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)
シリアルチップセレクト制御ステータスレジスタ(SCSCR)のビット構成

bit	15	14	13	12	11	10	9	8
Field	-	-	-	-	-	-	SCAM	CDIV2
属性	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CDIV1	CDIV0	CSLVL	-	-	-	CSEN0	CSOE
属性	R/W	R/W	R/W	-	-	-	R/W	R/W
初期値	0	0	1	0	0	0	0	0

(TYPE3-M4, TYPE4-M4, TYPE5-M4 製品)
シリアルチップセレクト制御ステータスレジスタ(SCSCR)のビット構成

bit	15	14	13	12	11	10	9	8
Field	SST1	SST0	SED1	SED0	SCD1	SCD0	SCAM	CDIV2
属性	R/W	R/W	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CDIV1	CDIV0	CSLVL	CSEN3	CSEN2	CSEN1	CSEN0	CSOE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	0	0

[bit15:14] SST1～SST0 :(シリアルチップセレクト開始ビット) (TYPE3-M4, TYPE4-M4, TYPE5-M4 製品)

TYPE3-M4, TYPE4-M4, TYPE5-M4 製品に搭載されています。

シリアルチップセレクトが開始する端子を選択します。

送信禁止(SCR:TXE="0")から送信許可(SCR:TXE="1")にし送信データが TDR にかきこまれていると、本ビットで設定したシリアルチップセレクト端子から順番にアクティブになります。

bit15	bit14	説明
0	0	SCS0
0	1	SCS1
1	0	SCS2
1	1	SCS3

＜注意事項＞

- *本ビットは送受信禁止(SCR:TXE=RXE=0)時のみ変更可能です。*
- *シリアルチップセレクト開始ビット(SST1、SST0)とシリアルチップセレクト終了ビット(SED1、SED0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子のみアクティブになります。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*
- *シリアルチップセレクト許可(CSEN=1)されているシリアルチップセレクト端子のみアクティブになります。*
- *マスタモード(SCR:MS="0")時でシリアルチップセレクト使用時、本ビットに設定したシリアルチップセレクト端子はシリアルチップセレクト許可(CSEN=1)に設定してください。*

[bit13:12] SED1～SED0 :(シリアルチップセレクト終了ビット) (TYPE3-M4, TYPE4-M4, TYPE5-M4 製品)

TYPE3-M4, TYPE4-M4, TYPE5-M4 製品に搭載されています。

シリアルチップセレクトが終了する端子を選択します。

本ビットで設定したシリアルチップセレクト端子までアクティブになると、次にアクティブになるシリアルチップセレクト端子はシリアルチップセレクト開始ビット(SST1, SST0)で指定した端子になります。

bit13	bit12	説明
0	0	SCS0
0	1	SCS1
1	0	SCS2
1	1	SCS3

＜注意事項＞

- *本ビットは送受信禁止(SCR:TXE=RXE=0)時のみ変更可能です。*
- *シリアルチップセレクト開始ビット(SST1, SST0)とシリアルチップセレクト終了ビット(SED1, SED0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子のみアクティブになります。*
- *シリアルチップセレクト許可(CSEN=1)されているシリアルチップセレクト端子のみアクティブになります。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*
- *マスタモード(SCR:MS="0")でシリアルチップセレクト使用時、本ビットに設定したシリアルチップセレクト端子はシリアルチップセレクト許可(CSEN=1)に設定してください。*

[bit11:10] SCD1～SCD0 :(シリアルチップセレクト表示ビット) (TYPE3-M4, TYPE4-M4, TYPE5-M4 製品)

TYPE3-M4, TYPE4-M4, TYPE5-M4 製品に搭載されています。

シリアルチップセレクトがアクティブになっている端子を選択します。

bit11	bit10	説明
0	0	SCS0
0	1	SCS1
1	0	SCS2
1	1	SCS3

＜注意事項＞

- *シリアルチップセレクト端子がインアクティブの場合は次にアクティブになるシリアルチップセレクト端子を表示します。*
- *シリアルチップセレクト端子がインアクティブの場合は次にアクティブになるシリアルチップセレクト端子を表示します。*

[bit9] SCAM :(シリアルチップセレクトアクティブ保持ビット)

シリアルチップセレクト端子のアクティブ状態の保持、または非保持を選択します。
詳細は「5 シリアルチップセレクトの動作」のシリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード(SCR:MS=0)時のみ有効)を参照してください。

bit	説明
0	シリアルチップセレクト端子のアクティブ状態を非保持
1	シリアルチップセレクト端子のアクティブ状態を保持

<注意事項>

- *送信禁止(SCR:TXE="0")およびソフトウェアリセット(SCR:UPCL="1")の場合、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。*
- *シリアルチップエラー発生(SACSR:CSE=1)時、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。*

[bit8:6] CDIV2～CDIV0 : (シリアルチップセレクトタイミング動作クロック分周ビット)

シリアルチップセレクトタイミング動作クロックの分周比を設定します。

bit8	bit7	bit6	シリアルチップセレクトタイミング動作クロック						
			分周比	ϕ=8MHz	ϕ=10MHz	ϕ=16MHz	ϕ=20MHz	ϕ=24MHz	ϕ=32MHz
0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	1	ϕ/2	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	1	0	ϕ/4	500ns	400ns	250ns	200ns	166.67ns	125ns
0	1	1	ϕ/8	1µs	800ns	500ns	400ns	333.33ns	250ns
1	0	0	ϕ/16	2µs	1.6µs	1µs	800ns	666.67ns	500ns
1	0	1	ϕ/32	4µs	3.2µs	2µs	1.6µs	1.33µs	1µs
1	1	0	ϕ/64	8µs	6.4µs	4µs	3.2µs	2.67µs	2µs

ϕ : バスクロック

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*
- *上記の設定以外は禁止です。*

[bit5] CSLVL : (シリアルチップセレクトレベル設定ビット)

シリアルチップセレクト端子のインアクティブ時のレベルを"H"または"L"に選択します。
本ビットはチップセレクト端子 0 が対象です。

bit	説明
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *本ビットの設定は以下にて使用します。(TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)*
  - *スレーブモード(SCR:MS=1)時*
- *本ビットの設定は以下にて使用します。(TYPE3-M4, TYPE4-M4, TYPE5-M4 製品)*
  - *スレーブモード(SCR:MS=1)時*
  - *チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)時*
  - *チップセレクトのデータフォーマット許可(ESCR:CSFE=1)シリアルチップセレクト端子 0 がアクティブのとき*

[bit4:2] CSEN3～CSEN1 : (シリアルチップセレクト許可ビット) (TYPE3-M4, TYPE4-M4, TYPE6-M4 製品)

TYPE3-M4, TYPE4-M4, TYPE5-M4 製品に搭載されています。
各シリアルチップセレクト端子の許可または禁止を選択します。
CSEN3 ビットが SCS3 端子、CSEN2 ビットが SCS2 端子、CSEN1 ビットが SCS1 端子に対応します。

bit	説明
0	シリアルチップセレクト端子の動作を禁止
1	シリアルチップセレクト端子の動作を許可

＜注意事項＞

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *マスタモード時(SCR:MS=0)時、CSEN3-0 を"0000b"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。*
- *使用しないシリアルチップセレクト端子は禁止に設定してください。*

[bit1] CSEN0 : (シリアルチップセレクト許可ビット)

シリアルチップセレクト端子の許可または禁止を選択します。
CSEN0 ビットが SCS0 端子に対応します。
スレーブモード(SCR:MS=1)の場合、CSEN0 ビットのみでシリアルチップ端子の許可または禁止を設定します。

bit	説明
0	シリアルチップセレクト端子の動作を禁止
1	シリアルチップセレクト端子の動作を許可

＜注意事項＞

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *マスタモード時(SCR:MS=0)時、CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。*
- *スレーブモード(SCR:MS=1)時、CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。*
- *使用しないシリアルチップセレクト端子は禁止に設定してください。*

[bit0] CSOE : (シリアルチップセレクト出力許可ビット)

シリアルチップセレクト端子の出力を許可または禁止に設定します。

bit	説明
0	すべてのシリアルチップセレクト端子の出力を禁止
1	すべてのシリアルチップセレクト端子の出力を許可

＜注意事項＞

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットは"0"に設定してください。*

7.10 シリアルチップセレクトタイミングレジスタ(SCSTR3-0)

シリアルチップセレクトタイミングレジスタ(SCSTR3-0)は、シリアルチップセレクトのセットアップディレイ時間、シリアルチップセレクトのホールドディレイ時間およびシリアルチップセレクトのディセレクト時間の設定を行います。

シリアルチップセレクトタイミングレジスタ(SCSTR1-0)のビット構成

bit	15	14	13	12	11	10	9	8
Field	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:8] CSSU[7:0] : (シリアルチップセレクトセットアップディレイビット)

シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間を設定します。本ビットに"0x00"を設定した場合、シリアルクロックが出力されるタイミングとシリアルチップセレクト端子がアクティブになるタイミングは同時になります。

bit15:8	セットアップディレイ時間
0x00	シリアルクロック出力開始とシリアルチップセレクト端子のアクティブになるタイミングが同時
0x01	1×シリアルチップセレクトタイミング動作クロック
0x02	2×シリアルチップセレクトタイミング動作クロック
・ ・	・ ・
0xFE	254×シリアルチップセレクトタイミング動作クロック
0xFF	255×シリアルチップセレクトタイミング動作クロック

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*

[bit7:0] CSHD[7:0] : (シリアルチップセレクトホールドディレイビット)

シリアルクロックの出力が終了してからシリアルチップセレクト端子がインアクティブになるまでの時間を設定します。本ビットを"0x00"に設定した場合、シリアルクロックの出力が終了するタイミングとシリアルチップセレクト端子がインアクティブになるタイミングは同時になります。

bit7:0	ホールドディレイ時間
0x00	シリアルクロック出力終了とシリアルチップセレクト端子のインアクティブになるタイミングが同時
0x01	1×シリアルチップセレクトタイミング動作クロック
0x02	2×シリアルチップセレクトタイミング動作クロック
・ ・	・ ・
0xFE	254×シリアルチップセレクトタイミング動作クロック
0xFF	255×シリアルチップセレクトタイミング動作クロック

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*

シリアルチップセレクトタイミングレジスタ(SCSTR3-2)のビット構成

bit	15	14	13	12	11	10	9	8
Field	CSDS15	CSDS14	CSDS13	CSDS12	CSDS11	CSDS10	CSDS9	CSDS8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:0] CSDS[15:0] : (シリアルチップディセレクトビット)

シリアルチップセレクト端子がインアクティブになってから、次にシリアルチップセレクト端子がアクティブになるまでの最小時間を設定します。

bit15:0	ディセレクト最小時間
0x0000	ディセレクト最小時間なし(5 バスクロック時間)
0x0001	1×シリアルチップセレクトタイミング動作クロック
0x0002	2×シリアルチップセレクトタイミング動作クロック
・ ・	・ ・
0xFFFE	65534×シリアルチップセレクトタイミング動作クロック
0xFFFF	65535×シリアルチップセレクトタイミング動作クロック

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS="1")時、本ビットの設定は無効です。*
- *ディセレクト時間の設定にかかわらず、シリアルチップセレクト端子がインアクティブになってから、次にアクティブになるまでは最小 5 バスクロック時間以上かかります。*
- *SCSTR2:CSDS=0x0001 かつ SCSCR:CDIV=0b000 に設定しないでください。*

7.11 シリアルチップセレクトフォーマットレジスタ(SCSFR2-0)

TYP3-M4, TYPE4-M4, TYPE5-M4 製品に搭載されています。

シリアルチップセレクトフォーマットレジスタ(SCSFR2-0)は、各シリアルチップセレクトのチップセレクトのアクティブレベルの選択、シリアルクロックの反転、SPI に接続するための設定、シリアルデータ出力のデータ方向およびデータ長の設定を行います。

(TYPE3-M4, TYPE4-M4, TYPE5-M4 製品)
シリアルチップセレクトフォーマットレジスタ(SCSFR2-0)のビット構成

Figure 7-1 および Figure 7-2 にシリアルチップセレクトタイミングレジスタ(SCSFR2-0)のビット構成を示します。

Figure 7-1 シリアルチップセレクトフォーマットレジスタ(SCSFR1-0)のビット構成

bit	15	14	13	12	11	10	9	8
Field	CS2 CSLVL	CS2S CINV	CS2 SPI	CS2 BDS	CS2 L3	CS2 L2	CS2 L1	CS2 L0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CS1 CSLVL	CS1 SCINV	CS1 SPI	CS1 BDS	CS1 L3	CS1 L2	CS1 L1	CS1 L0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

[bit15] CS2CSLVL:チップセレクト 2 のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 のインアクティブ時のレベルを選択します。

bit	説明
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE=”0”)時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit14] CS2SCINV: チップセレクト 2 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0"に設定した場合:

- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:

- シリアルクロック出力のマークレベルを"L"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

bit	説明
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit13] CS2 SPI: シリアルチップセレクト端子 2 の SPI 対応ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時に SPI に対応した通信をさせるためのビットです。

・"0"に設定した場合 : ノーマル同期通信を行います。
・"1"に設定した場合 : SPI に対応します。

bit	説明
0	ノーマル同期転送
1	SPI 対応

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit12] CS2BDS: チップセレクト端子 2 の転送方向選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト、BDS=0)最上位ビット側から先に転送するか(MSB ファースト、BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

<注意事項>

- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit11～bit8] CS2 L3, L2, L1, L0: シリアルチップセレクト端子 2 のデータ長選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時に送受信データのデータ長を指定します。

bit11	bit10	bit9	bit8	説明
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長

<注意事項>

- *上記設定以外は禁止です。*
- *本ビットは送受信禁止(SCR:TXE=RXE="0")時のみ変更可能です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*
- *チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。*

[bit7:0] CS1CSLVL, CS1SCINV, CS1SPI, CS1BDS, CS1L3-0: チップセレクト 1 の設定ビット

チップセレクト 1 の設定を行います。詳細はチップセレクト 2 の各ビットの説明を参照してください。

Figure 7-2 シリアルチップセレクトフォーマットレジスタ(SCSFR2)のビット構成

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	-	CS3 CSLVL	CS3 SCINV	CS3 SPI	CS3 BDS	CS3 L3	CS3 L2	CS3 L1	CS3 L0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		1	0	0	0	0	0	0	0

[bit7:0] CS3CSLVL, CS3SCINV, CS3SPI, CS3BDS, CS3L3-0: チップセレクト 3 の設定ビット

チップセレクト 3 の設定を行います。詳細はチップセレクト 2 の各ビットの説明を参照してください。

7.12 転送バイトレジスタ(TBYTE3-0)

転送バイト(TBYTE3-0)は、シリアルチップセレクト端子のアクティブ時の転送データ数を設定します。

(TYPE1-M4, TYPE2-M4, TYPE6-M4 製品)
転送バイト(TBYTE0)のビット構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	-								(TBYTE0)							
属性	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

(TYPE3-M4, TYPE4-M4, TYPE5-M4 製品)
転送バイト(TBYTE3-0)のビット構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(TBYTE1)								(TBYTE0)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(TBYTE3)								(TBYTE2)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

転送バイトレジスタは、シリアルチップセレクト端子のアクティブ時の転送データ数を設定できます。シリアルチップセレクト端子がアクティブ後、本ビットに設定した値のデータ数の転送を完了した場合、シリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子 0(SCS0)は TBYTE0、シリアルチップセレクト端子 1(SCS1)は TBYTE1、シリアルチップセレクト端子 2(SCS2)は TBYTE2、シリアルチップセレクト端子 3(SCS3)は TBYTE3 に対応します。

シリアルチップセレクト禁止(SCSCR:CSEN3-0="0000"b)のとき、転送バイトレジスタ 0(TBYTE0)はタイマに同期した送信に使用されます。タイマに同期した送信により送信動作が開始した後、TBYTE0 に設定した値のデータ数を転送します。

送信動作中(SSR:TBI=0)に本ビットの値を変更した場合、変更前に設定した転送データ数の送信動作を終了後に変更後の転送データ数の設定が有効になります。

TBYTE	転送バイトレジスタ
書込み	TBYTE への書込み
読出し	TBYTE の設定値

<注意事項>

- *本ビットに(0x00)を設定した場合、転送回数は 8 回です。*
- *スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。*

7.13 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BRG0)は、シリアルクロックの分周比を設定します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	-	(BGR1)							(BGR0)							
属性	-	R/W							R/W							
初期値	-	0000000							0x00							

- ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)に値を設定します。
- BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定値の読出しが可能です。
- ボーレートジェネレータレジスタ 1, 0(BGR1, BRG0)にリロード値を書き込むとリロードカウンタはカウントを開始します。

[bit15] - : 未使用ビット

読出し時 : 値は不定です。
書込み時 : 動作に影響しません。

[bit14:8] BGR1 : ボーレートジェネレータレジスタ 1

bit14:8	説明
書込み	リロードカウンタの bit8～bit14 に書込み
読出し	BGR1 の設定値の読出し

[bit7:0] BGR0 : ボーレートジェネレータレジスタ 0

bit7:0	説明
書込み	リロードカウンタの bit7～bit0 に書込み
読出し	BGR0 の設定値の読出し

<注意事項>

- *ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は以下のとおりです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
- *SMR:SCINV="0"のとき、シリアルクロックの"H"幅がバスクロック 1 サイクル分長いです。*
- *SMR:SCINV="1"のとき、シリアルクロックの"L"幅がバスクロック 1 サイクル分長いです。*
- *リロード値は 3 以上を設定してください。*
- *ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)の設定値を変更した場合、カウンタ値が "15h00"になってから、新しい設定値がリロードされます。従って、新しい設定値を即有効にしたい場合は、BGR1/BGR0 の設定値を変更した後、CSIO リセット(SCR:UPCL)を実行してください。*
- *受信FIFO 使用時、受信FIFO アイドル検出許可ビット(FCR1:FRIIE)を"1"に設定しスレーブモードで動作させる場合、BGR1/BGR0 にボーレートを設定してください。*

7.14 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定, 送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性		-		R/W	R/W	R/W	R/W	R/W	
初期値		-		0	0	1	0	0	

[bit15:13] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FLST ビット検出を許可するビットです。
"0"に設定した場合 : FLST ビット検出禁止
"1"に設定した場合 : FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

- *本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。*

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- *受信 FIFO を使用する場合、本ビットを"1"に設定してください。*

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力されます。

FDRQ セット条件
- FBYTE(送信用)=0　(送信 FIFO がエンプティ)
- 送信 FIFO のリセット

FDRQ リセット条件
- 本ビットへの"0"書込み
- 送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>
- *FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。*
- *本ビットが"0"のときに FSEL ビットの変更は禁止です。*
- *本ビットに"1"を設定した場合、動作に影響しません。*
- *リードモディファイライト系命令時、"1"が読み出されます。*

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。
"0"に設定した場合 : 送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割り当てられます。
"1"に設定した場合 : 送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割り当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>
- *本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1) ではクリアされません。*
- *本ビットを変更する場合は、FIFO 動作禁止(FCR0: FE2, FE1=0)にしてから行ってください。*

7.15 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] - : 未使用ビット

読出し時 : 常に"0"が読み出されます。
書込み時 : 常に"0"を書き込んでください。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致している時に FIFO へ書き込んだ場合

FLST リセット条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

<注意事項>

- *本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。*
- *FIFO 許可状態または送信中、本ビットに"1"を設定することは禁止です。*
- *SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。*

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
送信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合 : 現在のリードポインタの値を保存します。
"0"に設定した場合 : 保存しません。

Bit	説明	
	書込み時	読出し時
0	保存しない	常に"0"が読み出されます
1	リードポインタ値保存	

<注意事項>

- *送信バイト数(FBYTE)が 0 を示している時に本ビットを"1"に設定してください。*

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO2 の内部状態を初期化します。
FCR1:FLST2 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

<注意事項>

- *送受信を禁止してから、FIFO2 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE2 レジスタの有効データ数は"0"に設定されます。*

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO1 の内部状態を初期化します。
FCR1:FLST1 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

<注意事項>

- *送受信を禁止してから、FIFO1 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE1 レジスタの有効データ数は"0"に設定されます。*

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生するとき、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO2 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し(FCR1:FSEL=0)、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生するとき、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO1 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

7.16 FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W								R/W							
初期値	0x00								0x00							

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットによる設定を以下に示します。

FCR1:FSEL	FIFO 選択	バイト数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致した場合、割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

- マスタ動作で、データを受信する場合(マスタ受信)、SCR:TIE ビットと SCR:TBIE ビットを"0"にし、送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに"0"を書き込みます。SCR.RXE ビットに"1"を設定した後、SCR:TXE ビットに"1"を設定することで設定データ分のシリアルクロックが出力され、設定値分データを受信できます。SCR:TIE ビット, SCR:TBIE ビットに"1"を設定したい場合には FCR1:FDRQ が "1"になった後に"1"に設定してください。

[bit15:8] FBYTE2: FIFO2 データ数表示ビット

[bit7:0] FBYTE1: FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時 : FIFO に書き込まれ、送信されていないデータ数

受信時 : FIFO に受信されたデータ数

ライト(転送数)

送信時 : 0x00 設定

受信時 : 受信割込み発生のデータ数設定

Table 7-5 FIFO に格納可能なデータ数について

FIFO 容量	データ長	最大 FBYTE 数	格納可能データ数
16 バイト	5~16 ビット	8	8
32 バイト	5~16 ビット	16	16
64 バイト	5~16 ビット	32	32
128 バイト	5~16 ビット	64	64

<注意事項>

- *マスタ動作で、データを受信する時以外、送信 FIFO の FBYTE には"0x00"を設定してください。*
- *マスタ動作でデータを受信する時の送信データ数の設定は送信FIFO がエンプティで SCR:TIE ビット, SSR:TBIE ビットが"0"のときに行ってください。*
- *マスタ動作でデータを受信中に受信禁止(SCR:RXE=0)にする場合には、送信 FIFO を禁止にしてから送受信を禁止にしてください。*
- *受信 FIFO の FBYTE には"1"以上のデータを設定してください。*
- *受信 FIFO の FBYTE の変更は受信を禁止してから変更してください。*
- *本レジスタはリードモディファイライト系命令を使用できません。*
- *FIFO 容量を超えた設定は禁止です。*

8. CSIO (クロック同期シリアルインタフェース)の制限事項

CSIO(クロック同期シリアルインタフェース)の制限事項を示します。

■ シリアルチップセレクトを使用する場合で、マスタモード(SCR:MS=0)、かつノーマル転送モード(SCR:SPI=0)の場合、以下のいずれかの条件を満たすようにシリアルチップセレクトのセットアップディレイ, ホールドディレイを設定してください。

- ホールドディレイ＋セットアップディレイ ＜ ボーレート周期換算値 － 2 × t_{CYCP}
- ボーレート周期換算値 / 2 ＜ ホールドディレイ＋3 × t_{CYCP}

ボーレート周期換算値：ボーレートの逆数として定義
t_{CYCP}：APB バスクロック周期

(算出例)

ボーレート: 1 [Mbps](ボーレート周期換算値 1[µs]), 周辺バスクロック: 48[MHz](周期約20[ns])で SCSCR:CDIV="0"の場合、ホールドディレイおよびセットアップディレイの条件を算出します。

■ ホールドディレイ:

SCSTR:CSHD 値×t_{CYCP}×$2^{SCSCR:CDIV\ 値}$ = SCSTR:CSHD 値×20[ns]

■ セットアップディレイ:

SCSTR:CSSU 値×t_{CYCP}×$2^{SCSCR:CDIV\ 値}$ = SCSTR:CSSU 値×20[ns]

条件式より、SCSTR:CSHD 値および SCSTR:CSSU 値は、Table 8-1 の組み合わせで設定してください。

Table 8-1 ホールドディレイおよびセットアップディレイ設定条件(算出例)

SCSTR:CSHD 値	SCSTR:CSSU 値
23 以上	制限なし
22	25 以下
21	26 以下
20	27 以下
:	:
1	46 以下
0	47 以下

■ マスタモード(SCR:MS=0)で SPI 転送モード(SCR:SPI=1)のとき、転送データ数を"1"(TBYTE=1)に設定し、かつシリアルチップセレクト保持機能を使用する場合、以下の条件で使用してください。

■ シリアルデータ送受信ウェイトをウェイトなしに設定(ESCR:WT1, WT0 ="00")

CHAPTER 1-4: LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1))

マルチファンクション シリアルインタフェース機能のうち、動作モード 3 でサポートしている LIN 通信機能について説明します。

1. LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の概要
2. LIN インタフェース(v2.1)の割込み
3. 専用ボーレートジェネレータ
4. LIN インタフェース(v2.1)の動作
5. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー
6. LIN インタフェース(v2.1)のレジスタ

1. LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の概要

LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))は、LIN バスに対応するための機能をサポートしています。また、送信/受信(最大 各 128 バイト)の FIFO を搭載しています。

LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の機能

		機　　能
1	データバッファ	− 全二重ダブルバッファ(FIFO 未使用時) − 送信/受信 FIFO (サイズ最大各 128 バイト)*1(FIFO 使用時)
2	シリアル入力	バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送モード	非同期
4	ボーレート	− 専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) − 外部クロックをリロードカウンタで調節可能。
5	データ長	8 ビット
6	信号方式	NRZ(Non Return to Zero)
7	スタートビット検出	スタートビット立下りエッジに同期。
8	受信エラー検出	− フレーミングエラー − オーバランエラー
9	割込み要求	− 受信割込み (受信完了, フレーミングエラー, オーバランエラー) − 送信割込み(送信データエンプティ, 送信バスアイドル) − ステータス割込み(LIN Break field 検出) − ICU への割込み要求 (LIN Sync field 検出:LSYN) − 送信 FIFO 割込み (送信 FIFO がエンプティのとき) − 送受信 DMA 転送サポート機能あり
10	LIN バスオプション	− LIN プロトコル Revision 2.1 に対応 − マスタデバイス動作 − スレーブデバイス動作 − LIN Break field 生成(13～16 ビット長に可変可能) − LIN Break デリミタ生成(1～4 ビット長に可変可能) − LIN Break field 検出 − インプットキャプチャに接続している LIN Sync field のスタート/ストップエッジ検出
11	FIFO オプション	− 送受信 FIFO 搭載(最大容量:送信 FIFO 128 バイト, 受信 FIFO 128 バイト) *1 − 送信 FIFO と受信 FIFO を選択可能 − 送信データ再送可能 − 受信 FIFO 割込みタイミングをソフトで可変可能 − 独立して FIFO リセットサポート

*1: FIFO 容量はご使用する製品により容量サイズが異なります。

2. LIN インタフェース(v2.1)の割込み

LIN インタフェース(v2.1)には、受信割込みと送信割込みがあります。次に示す要因で割込み要求を発生させられます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求
- LIN Break field 検出

LIN インタフェース(v2.1)の割込み

LIN インタフェース(v2.1)の割込み制御ビットと割込み要因を Table 2-1 に示します。

Table 2-1 LIN インタフェース(v2.1)の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データレジスタ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	フレーミングエラー		
送信	TDRE	SSR	送信データレジスタがエンプティ	SCR:TIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データレジスタ(TDR)への書込み, LIN Break field 設定ビット(LBR)への"1"書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
ステータス	LBD	SSR	LIN Break field 検出	ESCR:LBIE	SSR:LBD ビットへの"0"書込み
インプットキャプチャ *2	ICP0/ICP1	ICSA10/ICSA32	LIN Sync field の 1 回目の立下りエッジ	ICSA10:ICE0 ICSA10:ICE1 ICSA32:ICE0 ICSA32:ICE1	ICP0/ICP1 を無効
	ICP0/ICP1	ICSA10/ICSA32	LIN Sync field の 5 回目の立下りエッジ		

*1: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。
*2: インプットキャプチャの ch.番号と LIN の ch.番号の対応は EPFR01/EPFR02/EPFR03 レジスタを参照してください。

2.1　受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了(SSR:RDRF=1), 受信エラーの発生(SSR:ORE, FRE=1)および LIN Break field 検出があります。

受信割込み発生とフラグセットのタイミング

最初のストップビットの検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)または受信エラーが発生(SSR:ORE, FRE=1)したとき、各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

＜注意事項＞

- *受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。*

Figure 2-1 RDRF(受信データフル)フラグビットのセットタイミング

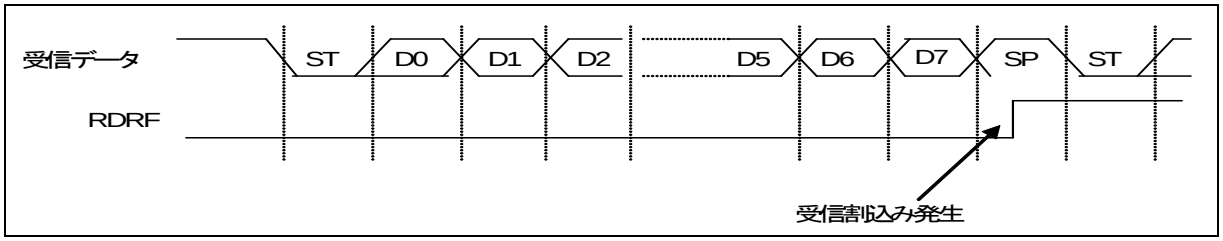
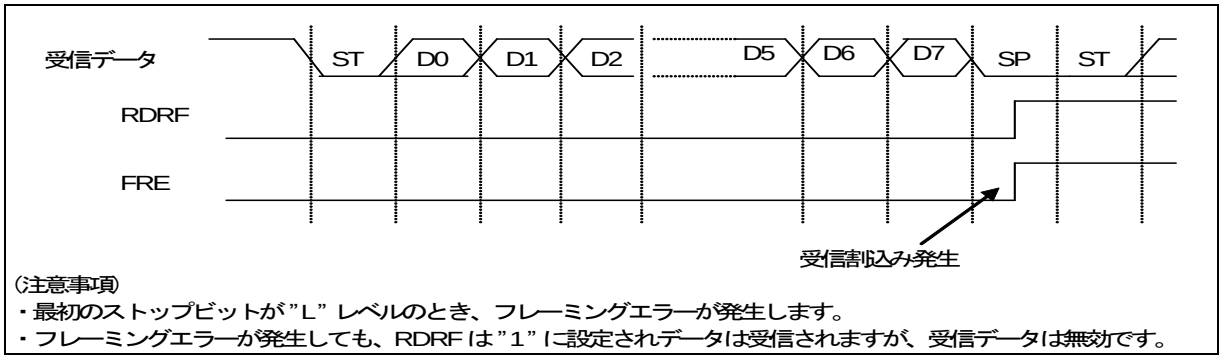


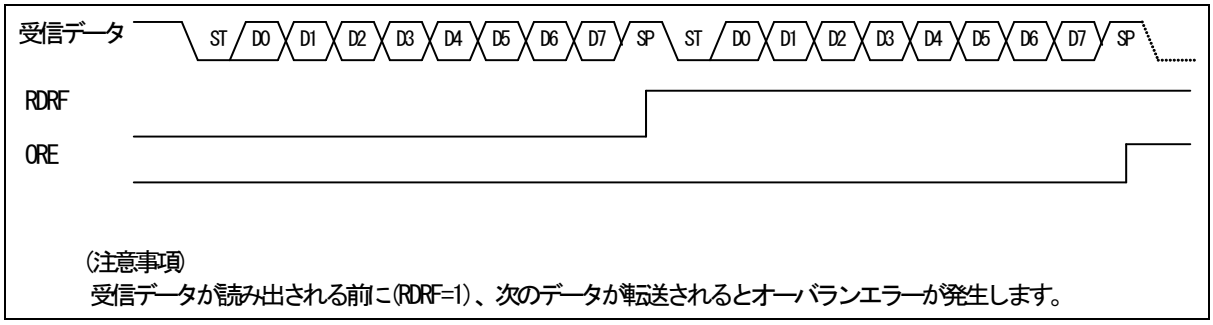
Figure 2-2 FRE (フレーミングエラー)フラグビットのセットタイミング



＜注意事項＞

- *受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のデータを正常に受信できなくなることがあります。連続してフレームを出力する場合にはフレームの間隔を空けてください。*

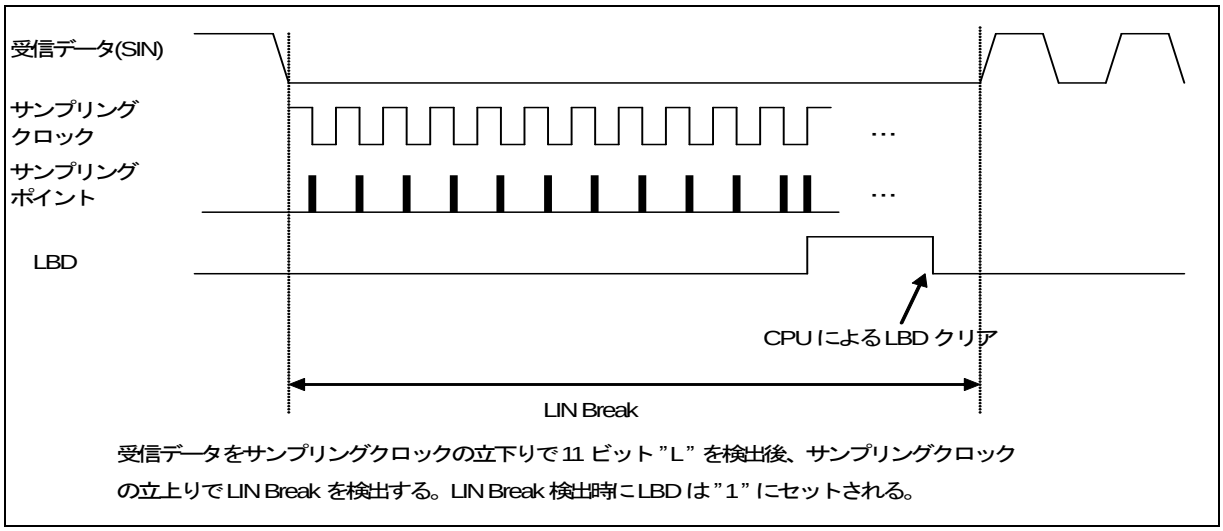
Figure 2-3 ORE (オーバランエラー)フラグビットのセットタイミング



LIN Break field 検出フラグ(LBD)のセットタイミング

シリアル入力(SIN)が 11 ビット幅以上 "0"入力されると、LBD ビットは "1"に設定されます。このとき、LIN Break field 割込みが許可(ESCR:LBIE=1)されていると受信割込みを発生します。

Figure 2-4 LBD(LIN Break field 検出)フラグセットタイミング



2.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信した場合に発生します。

受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

- 受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。
- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が "1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 以下の 2 つの条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない
    8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。
    受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で次のデータを受信した場合、オーバランエラー(SSR:ORE=1)が発生します。

Figure 2-5 受信 FIFO 使用時の受信割込み発生タイミング

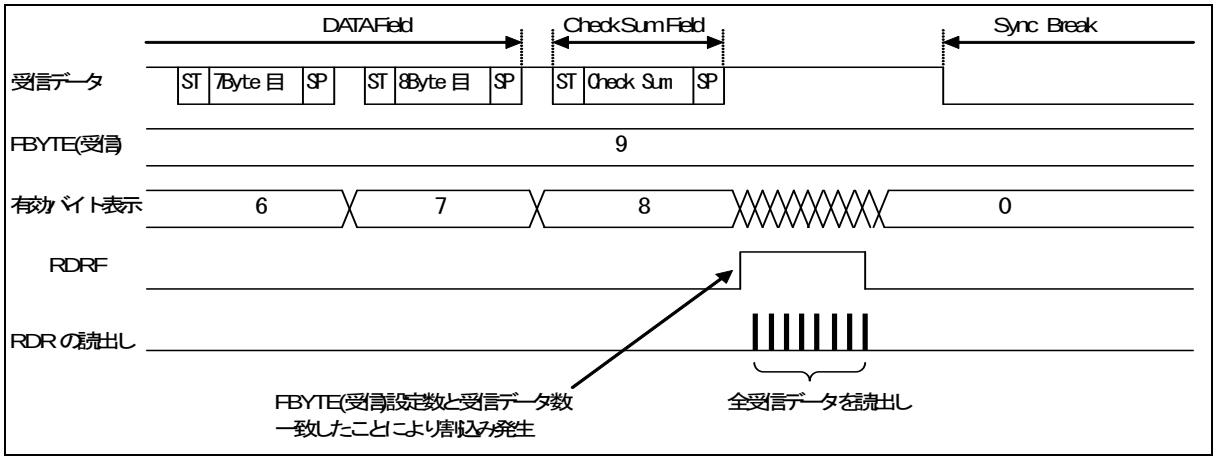
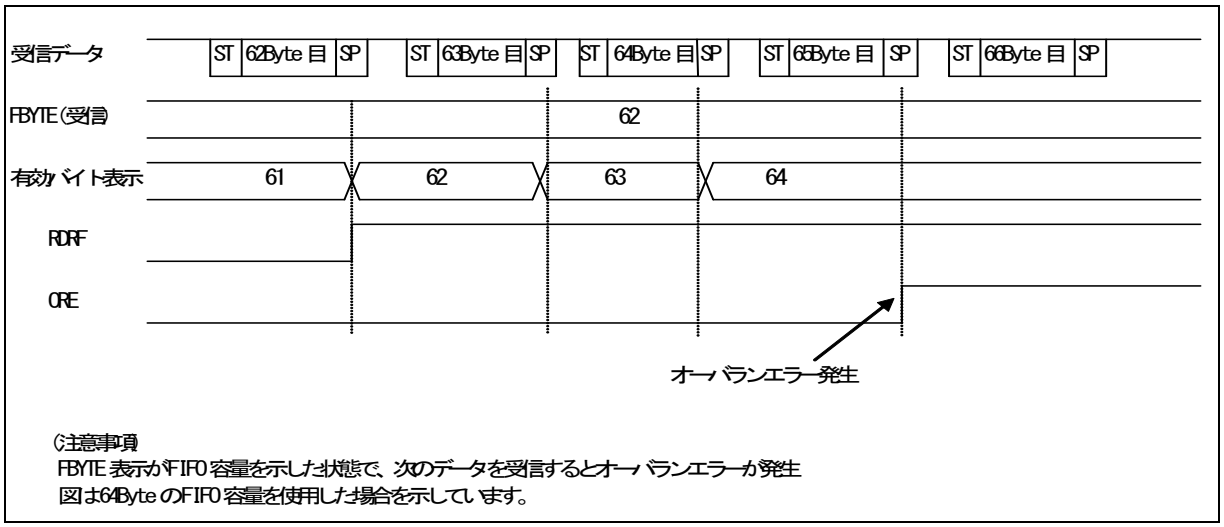


Figure 2-6 ORE (オーバランエラー)フラグビットのセットタイミング



2.3 送信割込み発生とフラグセットのタイミング

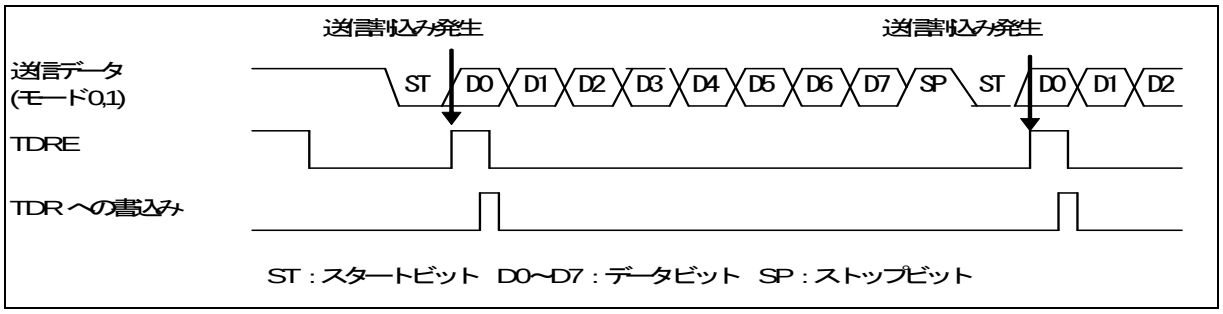
送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送されて送信が開始された場合(SSR:TDRE=1)と、送信動作をしていない場合(SSR:TBI=1)に発生します。

送信割込み発生とフラグセットのタイミング

■ 送信データエンプティフラグ(TDRE)のセットタイミング

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)になります。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。TDRE ビットはリードオンリビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

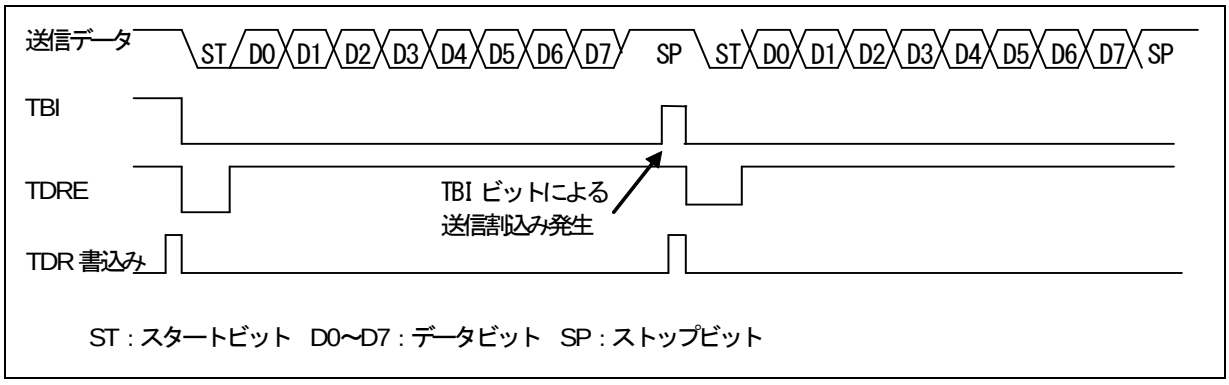
Figure 2-7 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



■ 送信バスアイドルフラグ(TBI)のセットタイミング

送信データレジスタがエンプティ(TDRE=1)で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットした場合、TBI ビットおよび送信割込み要求はクリアされます。

Figure 2-8 送信バスアイドルフラグ(TBI)のセットタイミング



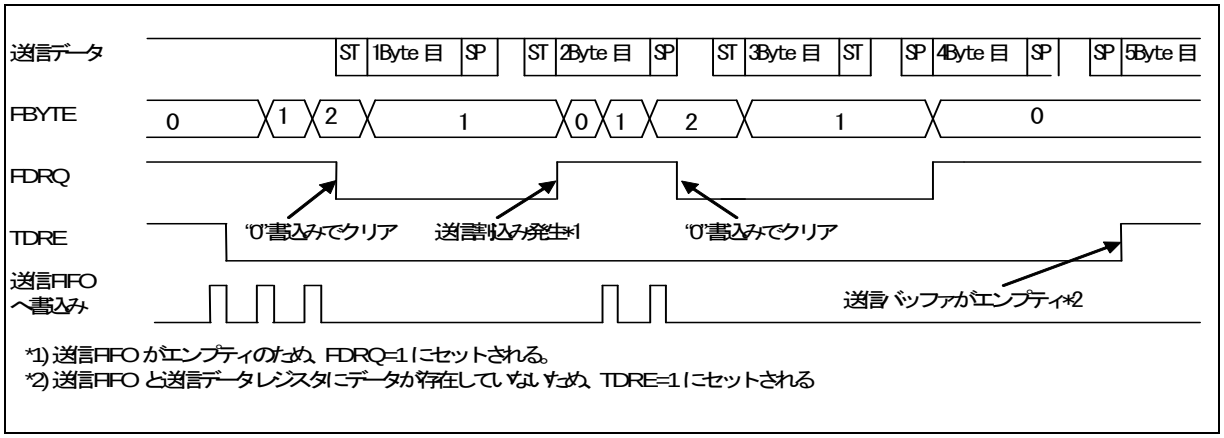
2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない時に発生します。

送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
  このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。
  FBYTE=0x00 のときは、送信 FIFO にデータがないことを示します。

Figure 2-9 送信 FIFO 使用時の送信割込み発生タイミング



3. 専用ボーレートジェネレータ

LIN インタフェース(v2.1)送受信クロックソースは、以下のいずれかを選択できます。

- 専用ボーレートジェネレータ(リロードカウンタ)
- 外部クロックをボーレートジェネレータに入力(リロードカウンタ)

LIN インタフェース(v2.1)ボーレート

ボーレートは次の 2 種類の中から 1 種類を選択できます。

■ 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択(SMR:EXT=0)してください。

■ 専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(SMR:EXT=1)してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

<注意事項>

- *外部クロックの設定(EXT=1)は、リロードカウンタが停止した状態(BGR1/BGR0=15h00)で行ってください。*
- *外部クロックに設定(EXT=1)した場合、外部クロックの"H"幅、"L"幅は 2 バスクロック以上必要です。*

3.1 ボーレート設定

ボーレートの設定を示します。また, シリアルクロック周波数の計算結果を示します。

ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

$V = \phi / b - 1$

V : リロード値　　b : ボーレート　　ϕ : バスクロック周波数、外部クロック周波数

(2)計算例

バスクロック(16MHz)、内部クロック使用、ボーレートを 19200bps に設定する場合のリロード値は以下のようになります。

リロード値：

$V = (16 \times 1000000)/19200 - 1 = 832$

よって、ボーレートは

$b = (16 \times 1000000)/(832 + 1) = 19208$ (bps)

(3)ボーレートの誤差

ボーレートの誤差は以下の式によって算出できます。

誤差(%) = (計算値 - 目標値)/目標値 × 100

(例) バスクロック(20MHz)、目標ボーレートを 153600bps に設定する場合

リロード値 = $(20 \times 1000000)/153600 - 1 = 129$

ボーレート(計算値) = $(20 \times 1000000)/(129 + 1) = 153846$ (bps)

誤差(%) = $(153846 - 153600)/153600 \times 100 = 0.16$ (%)

<注意事項>

- *リロード値を"0"に設定時、リロードカウンタは停止します。*
- *リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
- *リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。*

各バスクロック周波数に対するリロード値とボーレート設定例

Table 3-1 リロード値とボーレート設定例

ボーレート	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32 MHz	
(bps)	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	7	0	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	312	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	0.06	555	-0.08	693	0.06	832	0.04	1110	0.01
19200	416	-0.08	520	-0.03	832	0.04	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	<0.01	1666	-0.02	2082	0.02	2499	0	3332	0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	0.01
4800	1666	-0.02	2082	0.01	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

Value : BGR1/BGR0 レジスタの設定値
ERR : ボーレート誤差(%)

Table 3-2 リロード値とボーレート設定例(続き)

ボーレート	36 MHz		40 MHz		48 MHz		72 MHz		80 MHz		100MHz	
(bps)	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	4	0	5	0	8	0	9	0	-	-
6M	5	0	-	-	7	0	11	0	-	-	-	-
5M	-	-	7	0	-	-	-	-	15	0	19	0
4M	8	0	9	0	11	0	17	0	19	0	24	0
2.5M	-	-	15	0	-	-	-	-	31	0	39	0
2M	17	0	19	0	23	0	35	0	39	0	49	0
1M	35	0	39	0	47	0	71	0	79	0	99	0
500000	71	0	79	0	95	0	143	0	159	0	199	0
460800	77	0.16	86	-0.22	103	0.16	155	0.16	173	-0.22	216	<0.01
250000	143	0	159	0	191	0	287	0	319	0	399	0
230400	155	0.16	173	-0.22	207	0.16	312	-0.16	346	0.06	433	<0.01
153600	233	0.16	259	0.16	312	-0.16	468	-0.05	520	-0.03	650	<0.01
125000	287	0	319	0	383	0	575	0	639	0	799	0
115200	312	-0.16	346	0.06	416	-0.08	624	0	693	0.06	867	<0.01
76800	468	-0.05	520	-0.03	624	0	937	-0.05	1041	-0.03	1301	<0.01
57600	624	0	693	0.06	832	0.04	1249	0	1388	<0.01	1735	<0.01
38400	937	-0.05	1041	-0.03	1249	0	1874	0	2082	0.02	2603	<0.01
28800	1249	0	1388	<0.01	1666	-0.02	2499	0	2777	<0.01	3471	<0.01
19200	1874	0	2082	0.02	2499	0	3749	0	4166	<0.01	5207	<0.01
10417	3455	<0.01	3839	<0.01	4607	<0.01	6911	<0.01	7679	<0.01	9599	<0.01
9600	3749	0	4166	<0.01	4999	0	7499	0	8332	0	10416	0
7200	4999	0	5555	<0.01	6666	<0.01	9999	0	11110	0	13888	0
4800	7499	0	8332	<0.01	9999	0	14999	0	16666	0	20832	0
2400	14999	0	16666	<0.01	19999	0	29999	0	-	-	-	-
1200	29999	0	-	-	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-	-	-	-	-

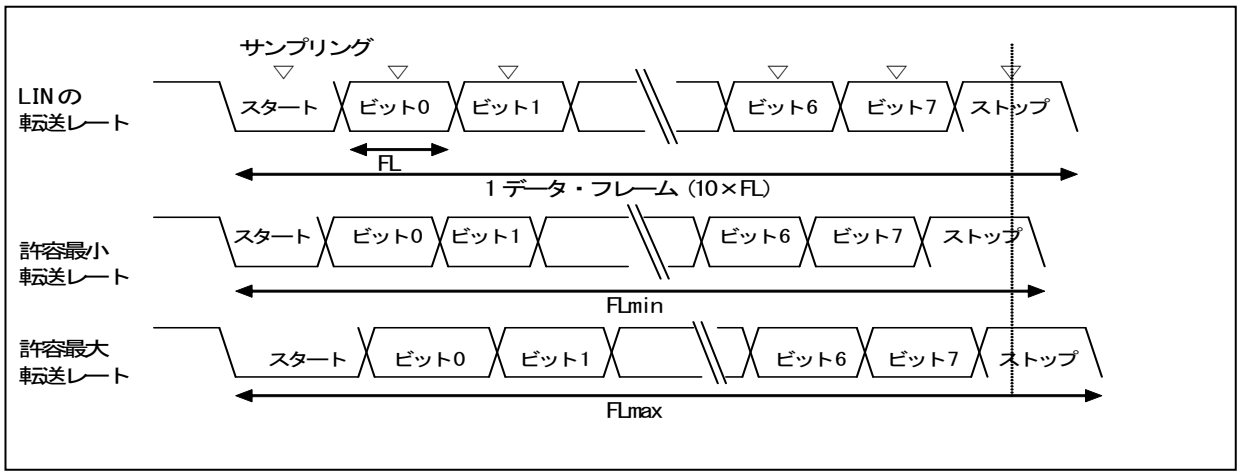
Table 3-1, Table 3-2 に記載していない周波数については、「3.1 ボーレート設定」の計算式にて算出してください。(ただし、最大周波数については、製品により異なるため、ご使用する製品の『データシート』を参照してください。)

受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを以下に示します。

受信時のボーレート誤差は、以下に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

Figure 3-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後は BGR1/BGR0 レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット)までが間に合えば正常に受信できます。

これを 10 ビット受信に当てはめると理論上、以下のとおりです。

サンプリング・タイミングのマージンをバスクロック(ϕ)の 1 クロック分とすると、許容最小転送レート(FLmin)は以下のとおりです。

Flmin = (10bit×(V+1) – (V+1)/2 + 2)/ ϕ = (19V+23)/2 ϕ (s)　　V:リロード値　ϕ:バスクロック

したがって、受信可能な送信先の最大ボーレート(Bgmax)は以下のとおりです。

Bgmax = 10/Flmin = 20ϕ/(19V+23)　(bps)　　V:リロード値　ϕ:バスクロック

許容最大転送レート(Flmax)データを受信する場合、10 ビット目の受信データの始点にてサンプリングが行われます。

よって、許容最大転送レート(Flmax)は以下のとおりです。

9/10×Flmax = (10bit×(V+1) – (V+1)/2)/ ϕ　V:リロード値　ϕ:バスクロック

Flmax = (19/18×10×(V+1)/ ϕ

サンプリング・タイミングのマージン(ϕ)を 2 クロック分とすると、許容最大転送レート(Flmax)は以下のとおりです。

9/10×Flmax = (10bit×(V+1) – (V+1)/2 – 2)/ ϕ　　V:リロード値　ϕ:バスクロック

Flmax = (19/18×10×　(V+1) – 40/18)/ ϕ = (190V+150)/20 ϕ (s)　　V:リロード値　ϕ:バスクロック

したがって、受信可能な送信先の最小ボーレート(Bgmin)は以下のとおりです。

Bgmin = 10/Flmax = 18ϕ/(19V+15)　(bps)　V:リロード値　ϕ:バスクロック

前述の最小/最大ボーレート値の算出式から、LIN インタフェース(v2.1)と送信先とのボーレートの許容誤差を求めると以下のとおりです。

リロード値(V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+3.28%	-3.41%
50	+4.83%	-4.87%
100	+5.04%	-5.07%
200	+5.15%	-5.16%
32767	+5.26%	-5.26%

<注意事項>

- *受信の精度は、1 フレームのビット数，バスクロック，リロード値に依存します。バスクロックが高く、分周比が高くなるほど精度は高いです。*

外部クロック

ボーレートジェネレータレジスタ(BGR)の EXT ビットに"1"を書き込むと、ボーレートジェネレータで外部クロックを分周します。

<注意事項>

- *外部クロック信号は LIN インタフェース(v2.1)で内部クロックに同期します。したがって、同期化不可能な外部クロックの場合、動作が不安定です。*

リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。

カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

再スタート

リロードカウンタは以下の条件で再スタートします。

■ 送信/受信リロードカウンタ共通
プログラマブルリセット(SCR:UPCL ビット)

■ 受信リロードカウンタ
非同期モードでのスタートビット立下りエッジ

4. LIN インタフェース(v2.1)の動作

LIN インタフェース(v2.1)は、マスタ/スレーブ双方向 LIN 通信で動作します。

マスタ動作

■ マスタ動作の選択

マスタとして動作させるためには、SCR:MS ビットを"0"に設定してください。

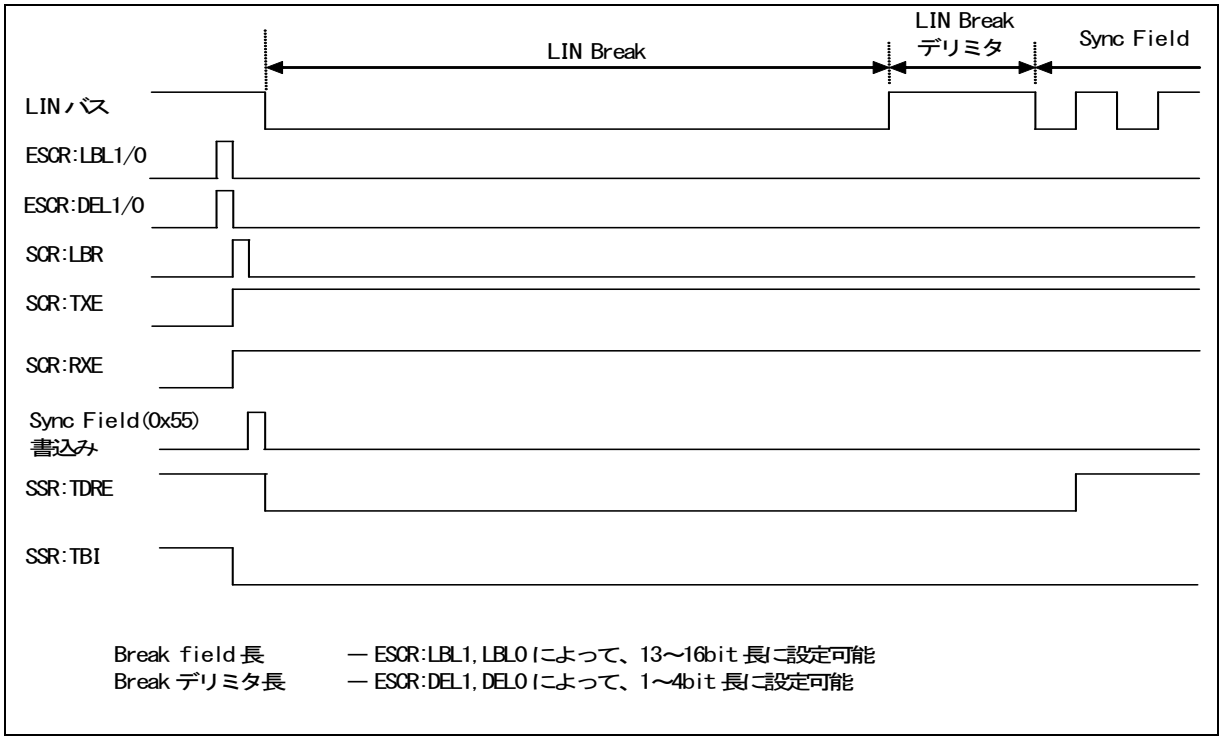
■ Break field 送信 ～ Sync field 送信

- Break field 長の選択(ESCR:LBL1, LBL0)および、Break field デリミタ長の選択(ESCR:DEL1, DEL0)ができます。
- 送信動作許可(SCR:TXE=1)し、SCR:LBR ビット(LIN Break field 設定ビット)に"1"を設定した場合、Break field が送信されます。
- Sync field は、送信データレジスタ(TDR)に"0x55"を書き込むことで送信されます。

<注意事項>

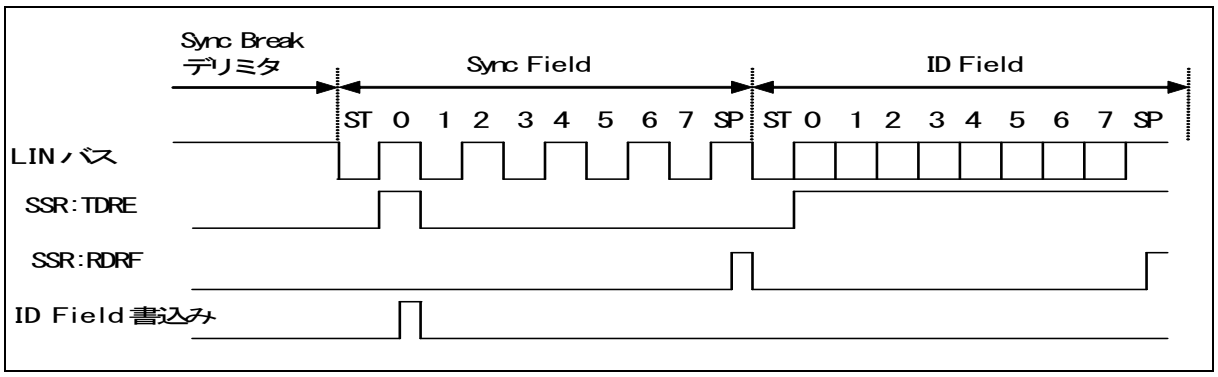
- *SCR:LBR ビット(LIN Break field 設定ビット)に"1"を設定した後に、送信データレジスタ(TDR)に"0x55"を設定してください。*
- *SCR:RXE ビット(受信動作許可ビット)に"1"を設定していても Break field 部分は受信動作を行いません。*

Figure 4-1 Break field ～ Sync field の送信



■ Sync field 送信 ～ ID Field 送信

- Sync field(0x55)の最初の 1 ビット目が送信されると、SSR:TDRE(送信データエンプティ)ビットが"1"に設定されます。このとき、送信割込み許可(SCR:TIE=1)されていると、送信割込みが発生します。
- 送信割込みが発生したら、ID Field を送信データレジスタ(TDR)に書き込めます。
- 受信割込みが発生したら、送信データと受信したデータを比較し、エラーが発生していないことを確認します。
- ID Field は、データ長 8 ビットで、LSB ファーストで出力されます。



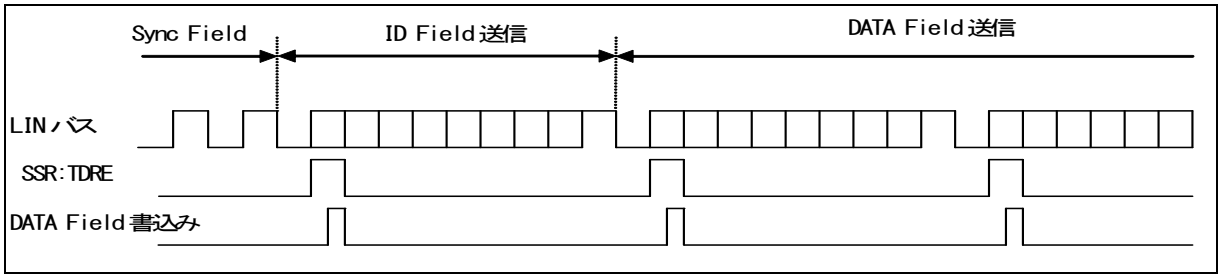
■ ID Field 送信 ～ DATA Field 送受信

DATA Field をスレーブデバイスに送信するか、受信するかを選択します。

(DATA Field を送信する場合)

ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されます。このとき、DATA Field の書込みが可能です。

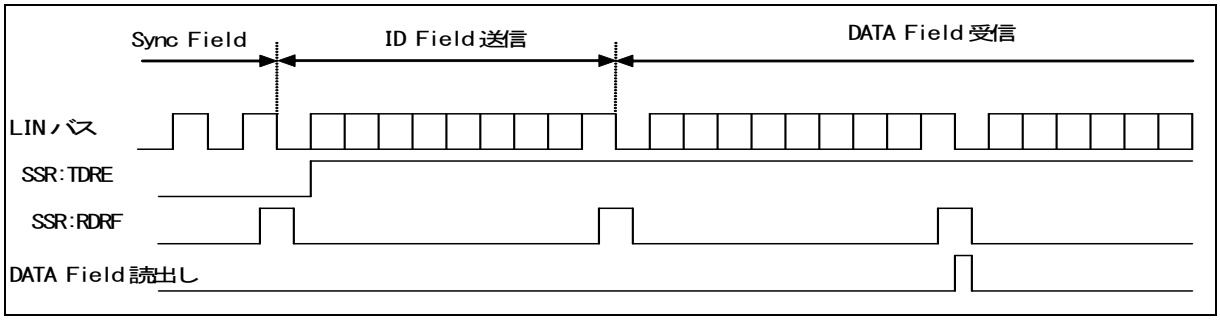
Figure 4-2 ID Field 送信～DATA Field 送信



(DATA Field を受信する場合)

- ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されますが、送信データを書き込まないでください。また、送信割込み禁止(SCR:TIE=0)にしてください。
- DATA Field を受信した場合、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SSR:RIE=1)されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。

Figure 4-3 ID Field 送信～DATA Field 受信



＜注意事項＞

- *ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵されています。しかし、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。*
- *受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。*

■ マスタ動作タイミングチャート(FIFO 未使用時)

Figure 4-4 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時)

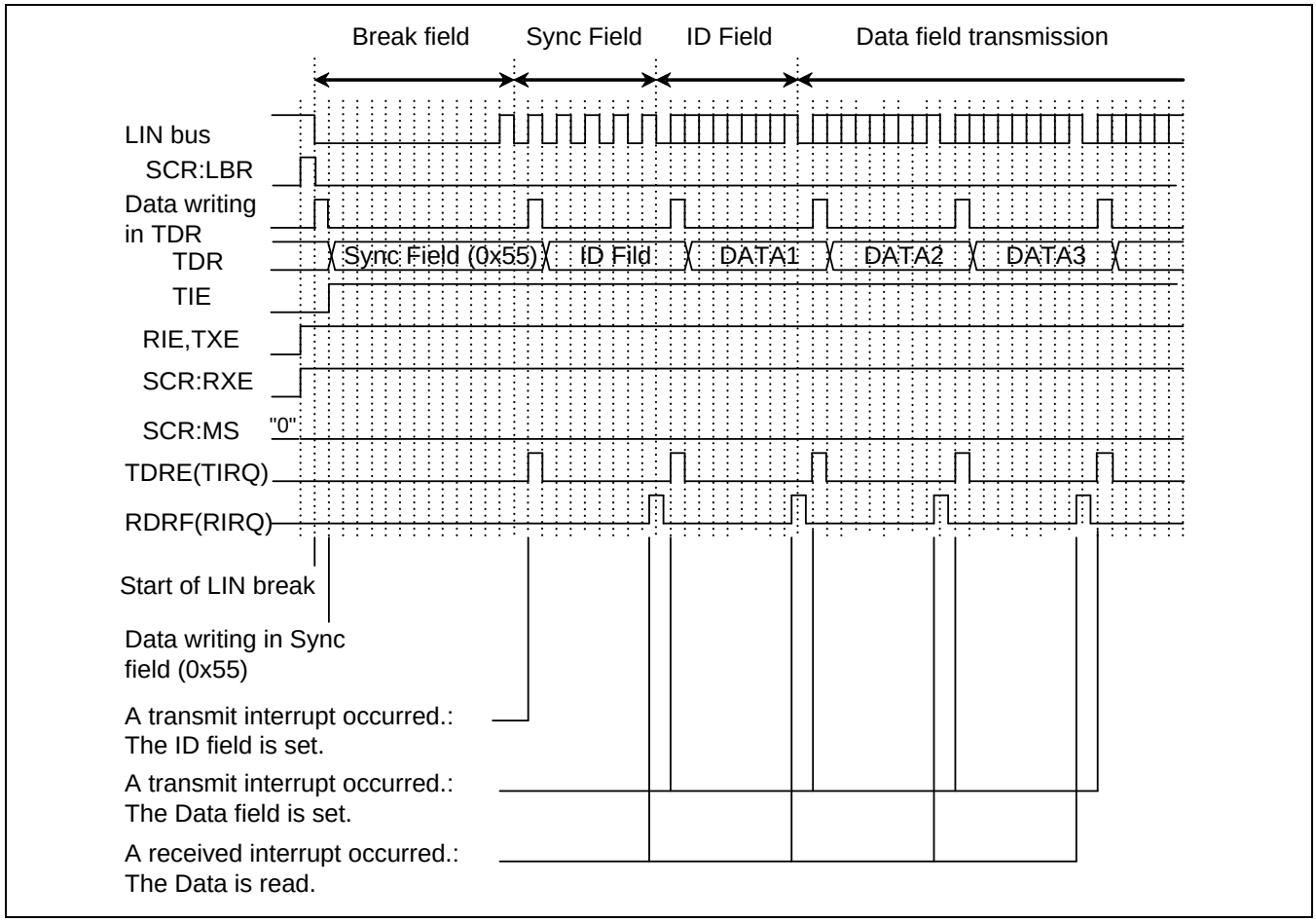
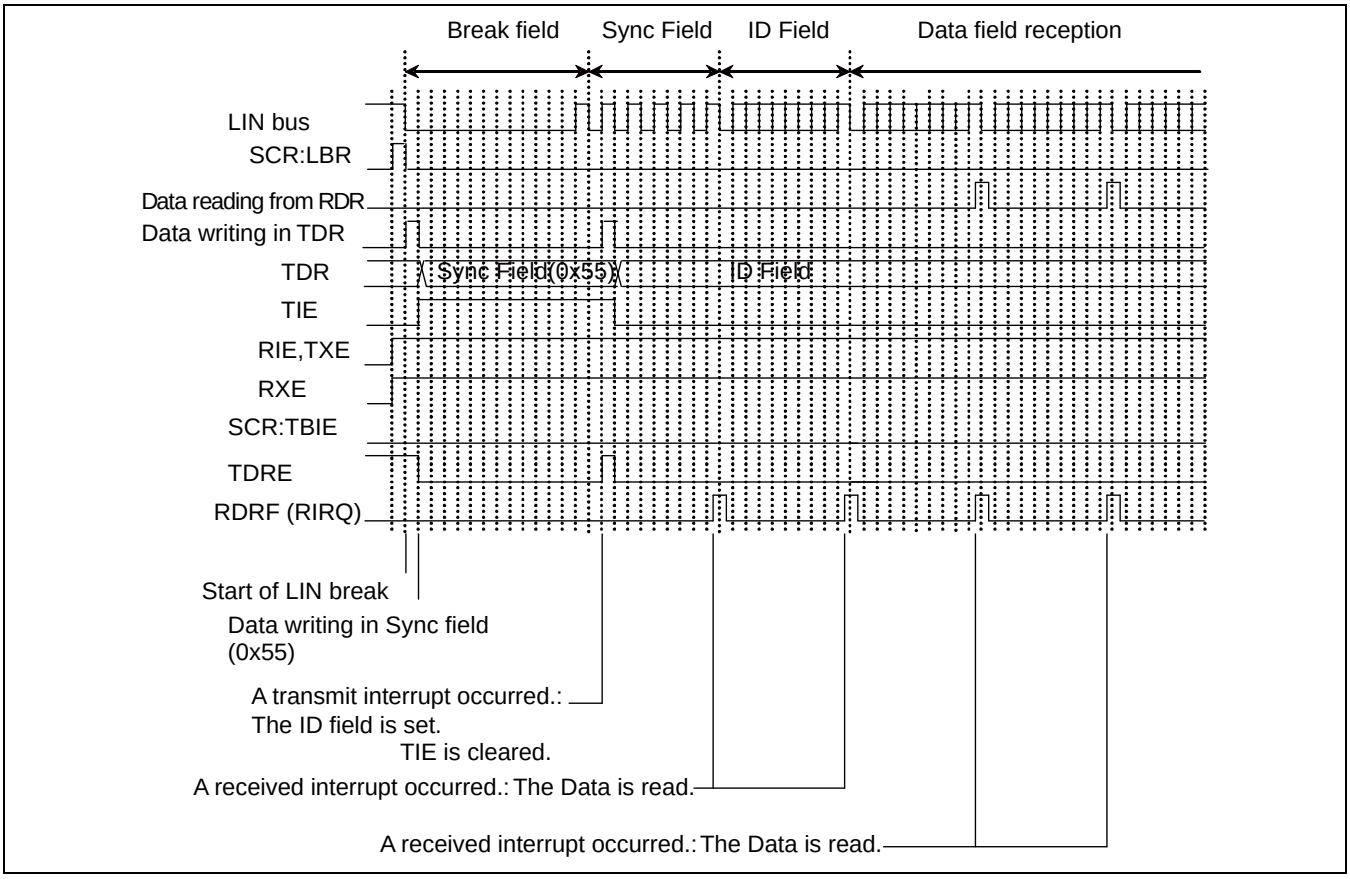

Break field
Sync Field
ID Field
Data field transmission
LIN bus
SCR:LBR
Data writing in TDR
TDR
Sync Field (0x55)
ID Fild
DATA1
DATA2
DATA3
TIE
RIE,TXE
SCR:RXE
SCR:MS
"0"
TDRE(TIRQ)
RDRF(RIRQ)
Start of LIN break
Data writing in Sync field (0x55)
A transmit interrupt occurred.: The ID field is set.
A transmit interrupt occurred.: The Data field is set.
A received interrupt occurred.: The Data is read.

Figure 4-5 **LIN バスタイミング (DATA Field 受信時:FIFO 未使用時)**



■ マスタ動作タイミングチャート(FIFO 使用時)

Figure 4-6 LIN バスタイミング (DATA Field 送信時:FIFO 使用時)

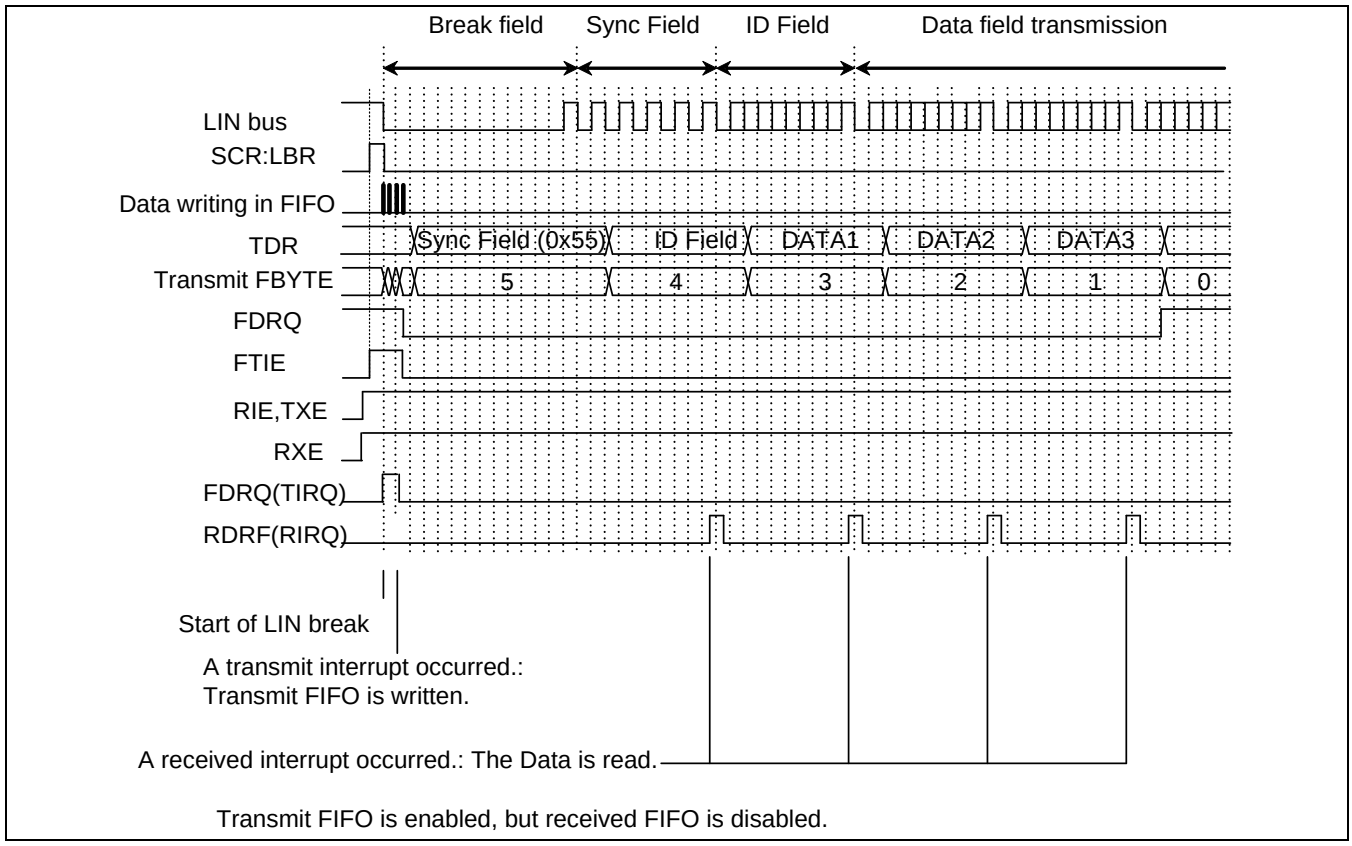
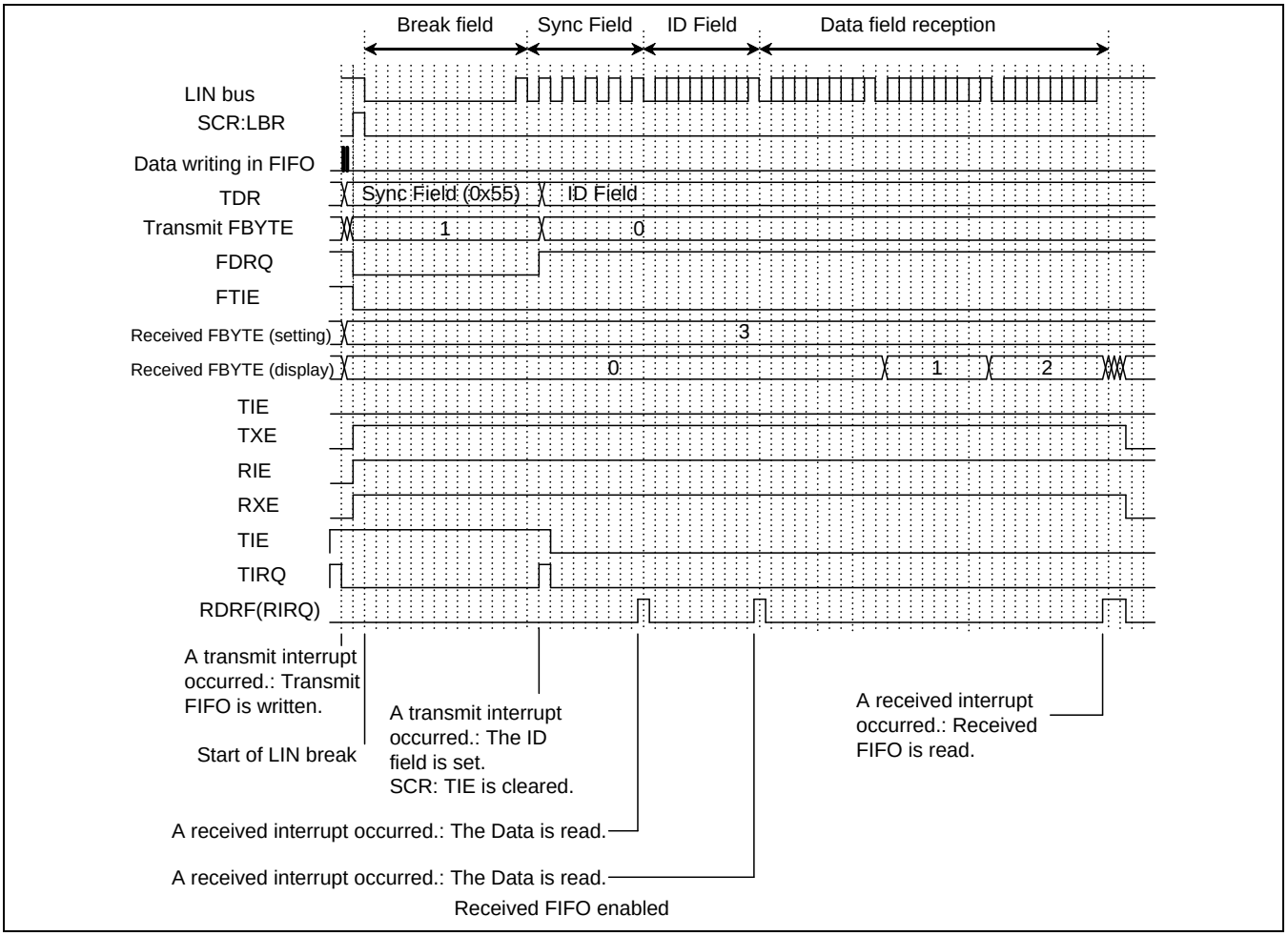


Figure 4-7 LIN バスタイミング (DATA Field 受信時:FIFO 使用時)



スレーブ動作

■ スレーブ動作の選択

スレーブとして動作させるためには、SCR:MS ビットを "1"に設定してください。

■ Break field 受信 ～ Sync field 受信

1. Break field が入力されると 11 ビット目で Break field 検出(SSR:LBD=1)されます。
   このとき、ESCR:LBIE ビットが"1"に設定されていると受信割込みを発生します。
2. ここで、ICU の割込みを許可し両エッジ検出に設定してください。
3. Sync field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、ICU に入力される内部信号(LSYN)を"H"にして ICU をスタートさせます。この内部信号(LSYN)は 5 番目の立下りエッジで"L"になります。
4. ICU に入力される内部信号(LSYN)は、"H"の時間のボーレートを 8 倍した値です。ボーレートの設定値は、以下のとおりです。

フリーランタイマがオーバフローしていない場合:

BGR 値 = (b – a)×Fe/(8 × ϕ) – 1

フリーランタイマがオーバフローした場合:

BGR 値 = (max + 1 + b – a)×Fe/(8 × ϕ) – 1

max : フリーランタイマの最大値

a : 1 度目の割込み後の ICU データレジスタ値

b : 2 度目の割込み後の ICU データレジスタ値

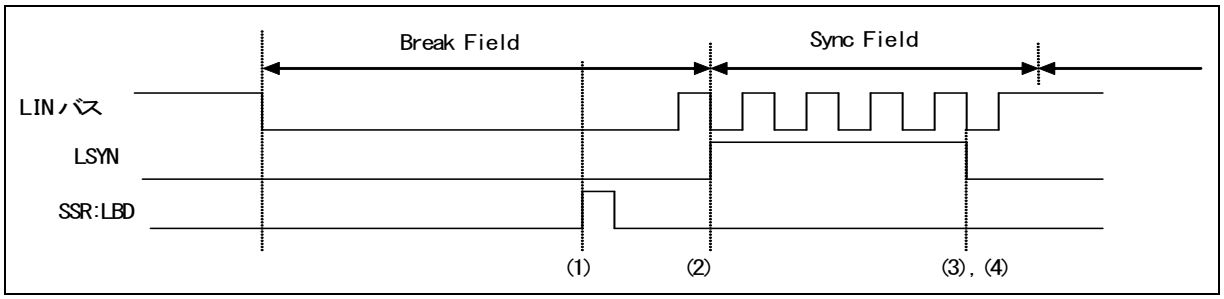
ϕ : バスクロック周波数(MHz)

Fe : 外部クロック周波数(MHz)。内部クロック使用時(EXT=0)、Fe=ϕとして計算

<注意事項>

- *Break field および Sync field 時は、受信禁止(SCR:RXE=0)に設定してください。*

Figure 4-8 Break field 受信 ～ Sync field 受信



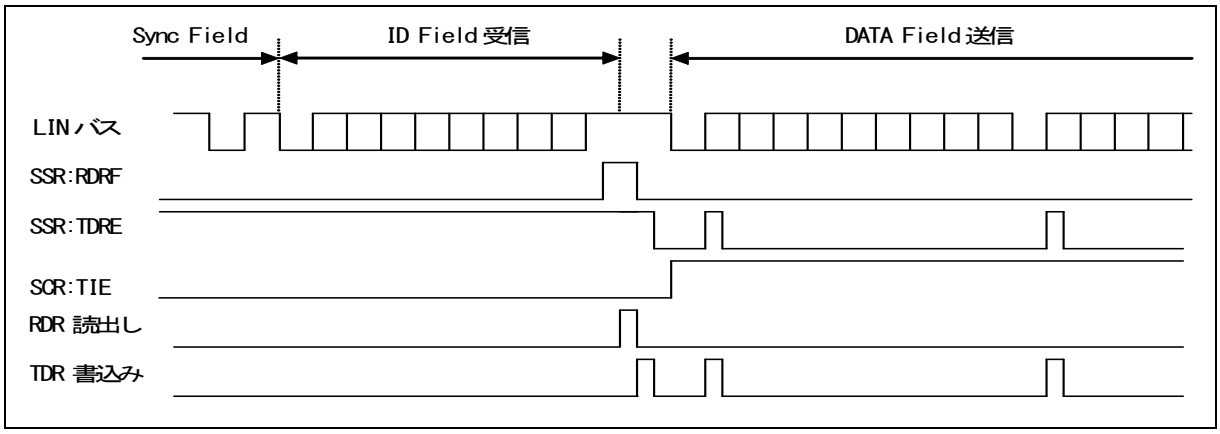
■ ID Field 受信 ～ DATA Field 送受信

ID Field を受信した後、マスタへ DATA Field を送信するか、受信するかを選択できます。

(DATA Field を送信する場合)

ID Field 受信後、送信データレジスタ(TDR)にデータを書き込んでください。このとき、送信割込み許可(SCR:TIE=1)しておいてください。

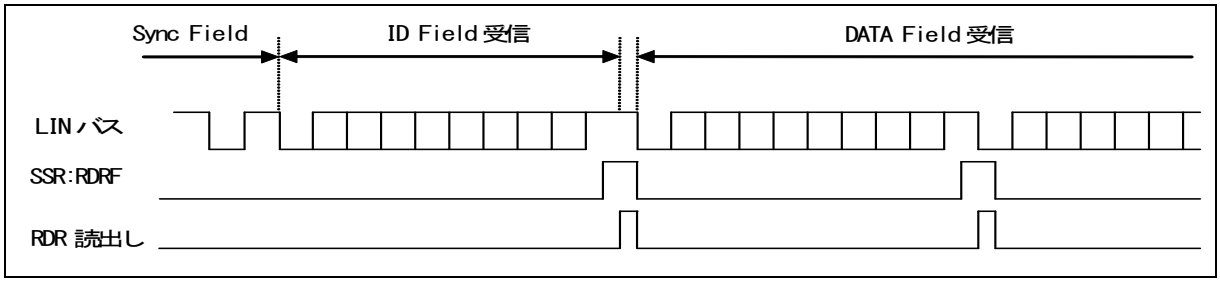
Figure 4-9 ID Field 受信 ～ DATA Field 送信



(DATA Field を受信する場合)

- DATA Field 受信ごとに、SSR:RDRF が "1"に設定されます。このとき、受信割込み許可(SCR:RDRF=1)されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。

Figure 4-10 ID Field 受信 ～ DATA Field 受信



<注意事項>

- *ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵されています。しかし、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。*
- *受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。*

■ スレーブ動作タイミングチャート

Figure 4-11 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時)

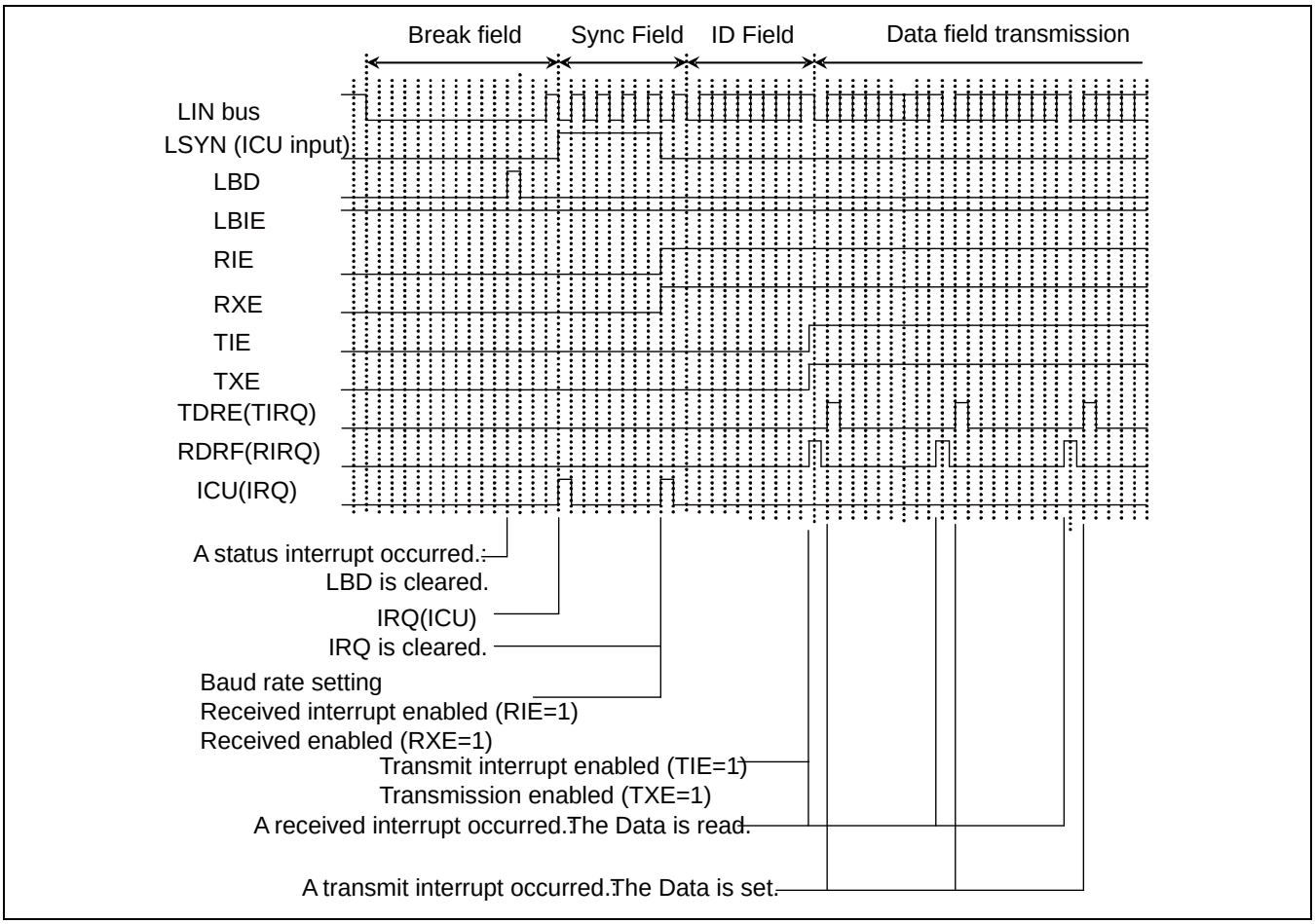
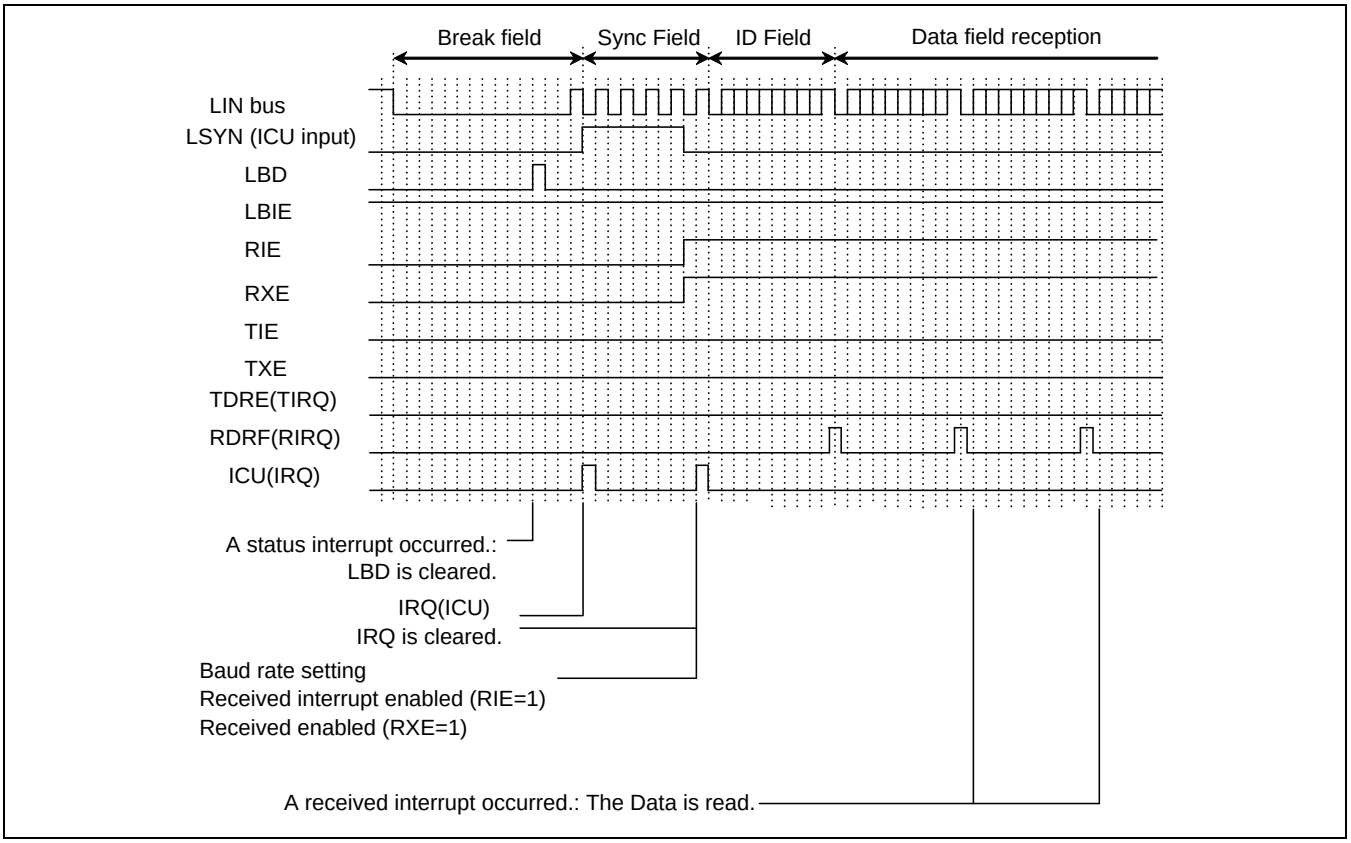


Figure 4-12 **LIN バスタイミング (DATA Field 受信時:FIFO 未使用時)**



■ FIFO 使用時

Figure 4-13 LIN バスタイミング (DATA Field 送信時:FIFO 使用時)

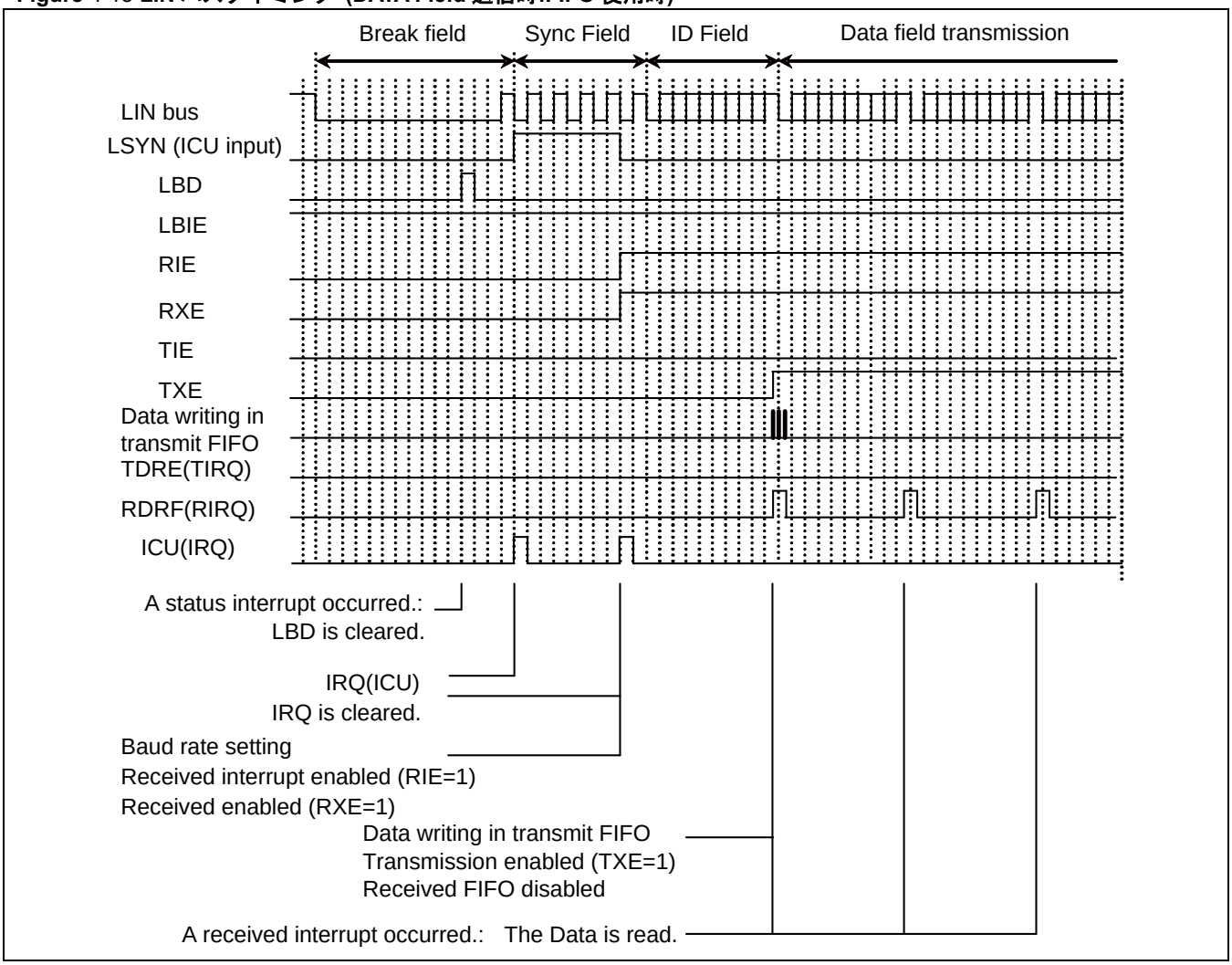
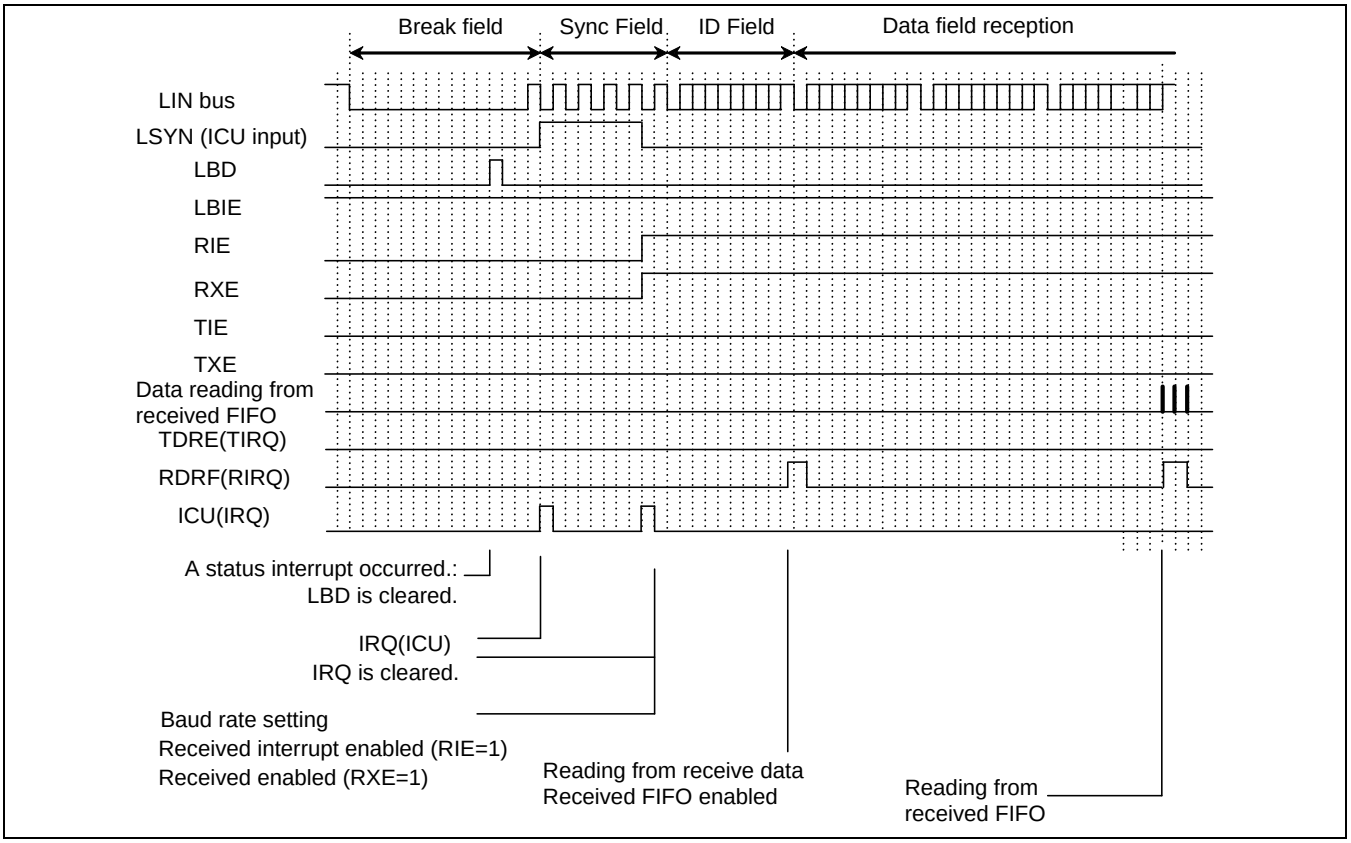


Figure 4-14 **LIN バスタイミング (DATA Field 受信時:FIFO 使用時)**



5. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー

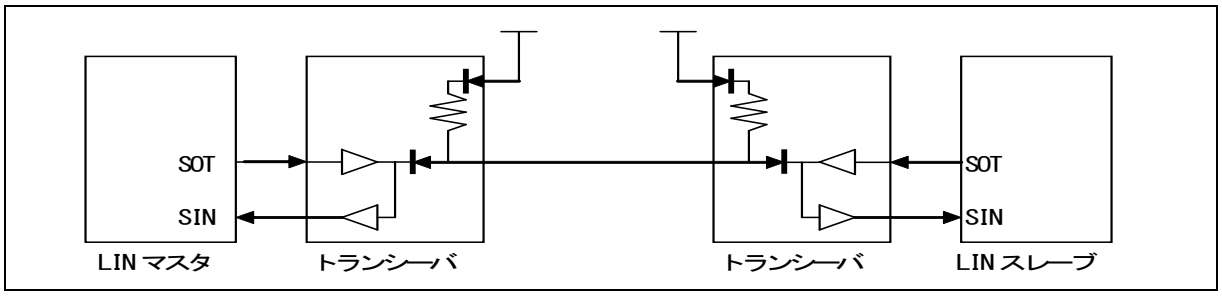
動作モード 3(LIN 通信モード)では、LIN マスタシステムもしくは、LIN スレーブシステムに使用できます。

レジスタの設定

■ CPU 間接続

1 つの LIN マスタと LIN スレーブの通信システムを Figure 5-1 に示します。LIN インタフェース(v2.1)は、LIN マスタまたは、LIN スレーブとして動作できます。

Figure 5-1 LIN バスシステムの通信例



フローチャート例

■ マスタ動作

Figure 5-2 LIN 通信マスタモードフローチャート例(FIFO 未使用)

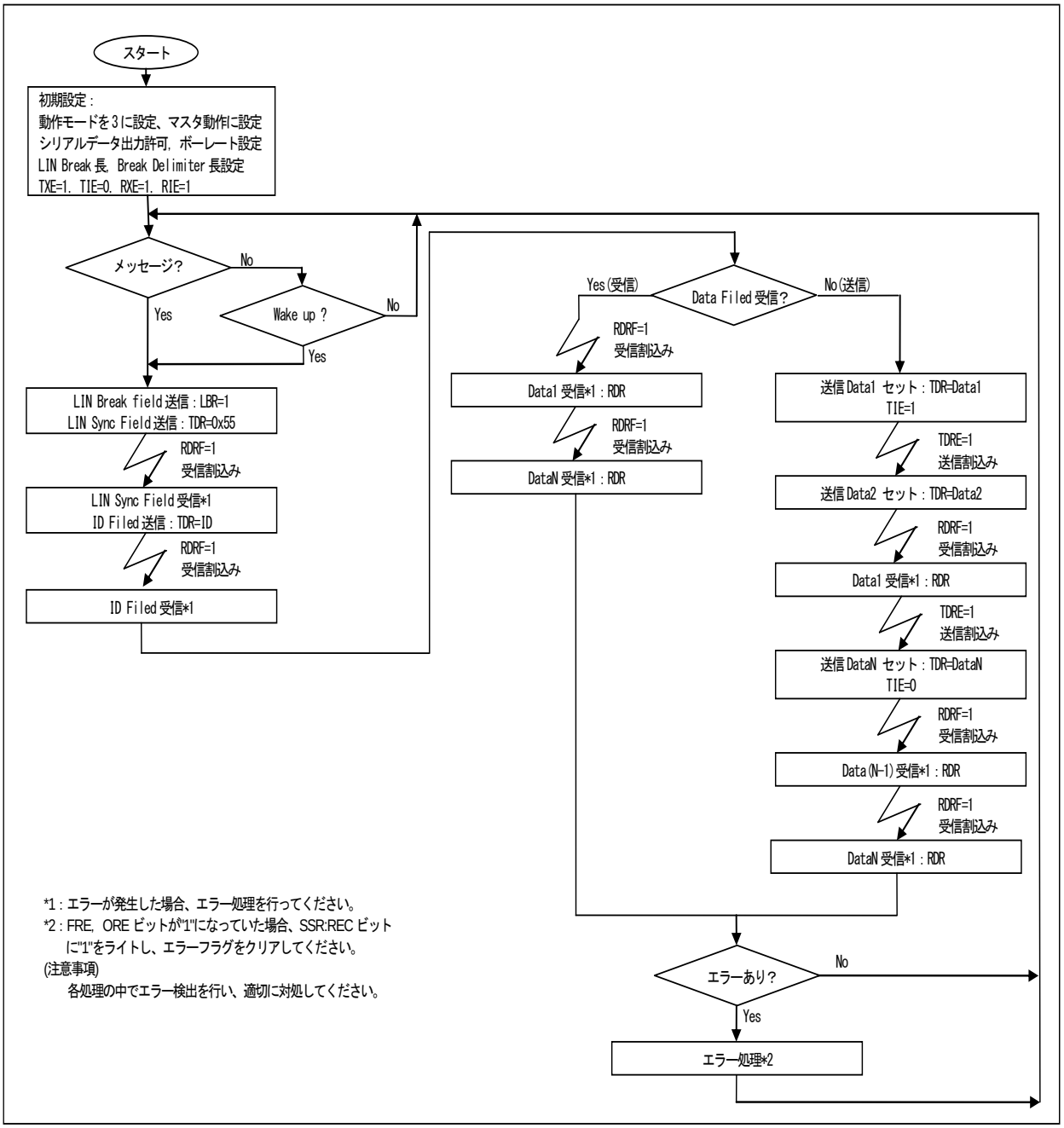
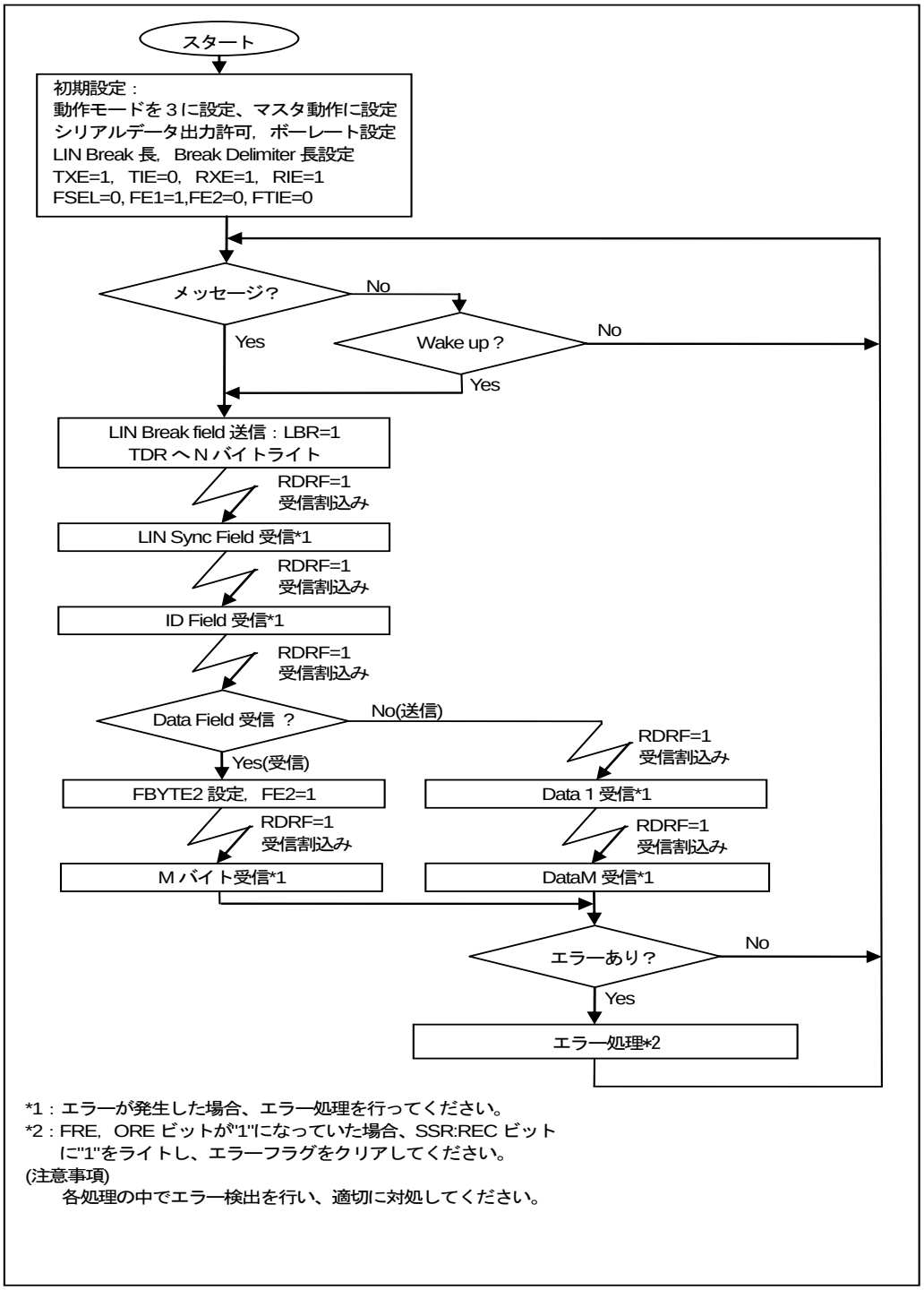


Figure 5-3 LIN 通信マスタモードフローチャート例(FIFO 使用)



■ スレーブ動作

Figure 5-4 LIN 通信スレーブモードフローチャート例(FIFO 未使用)

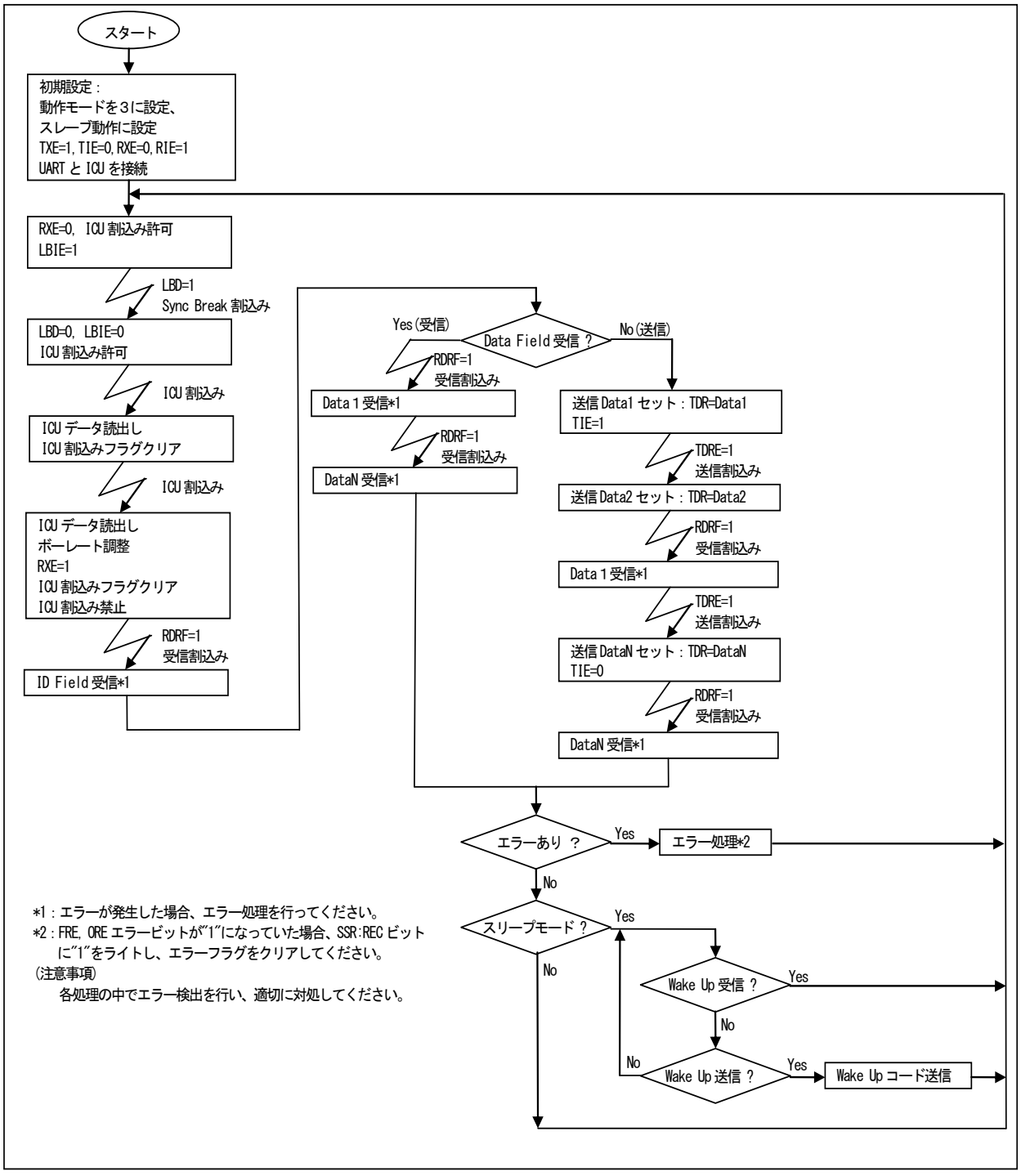
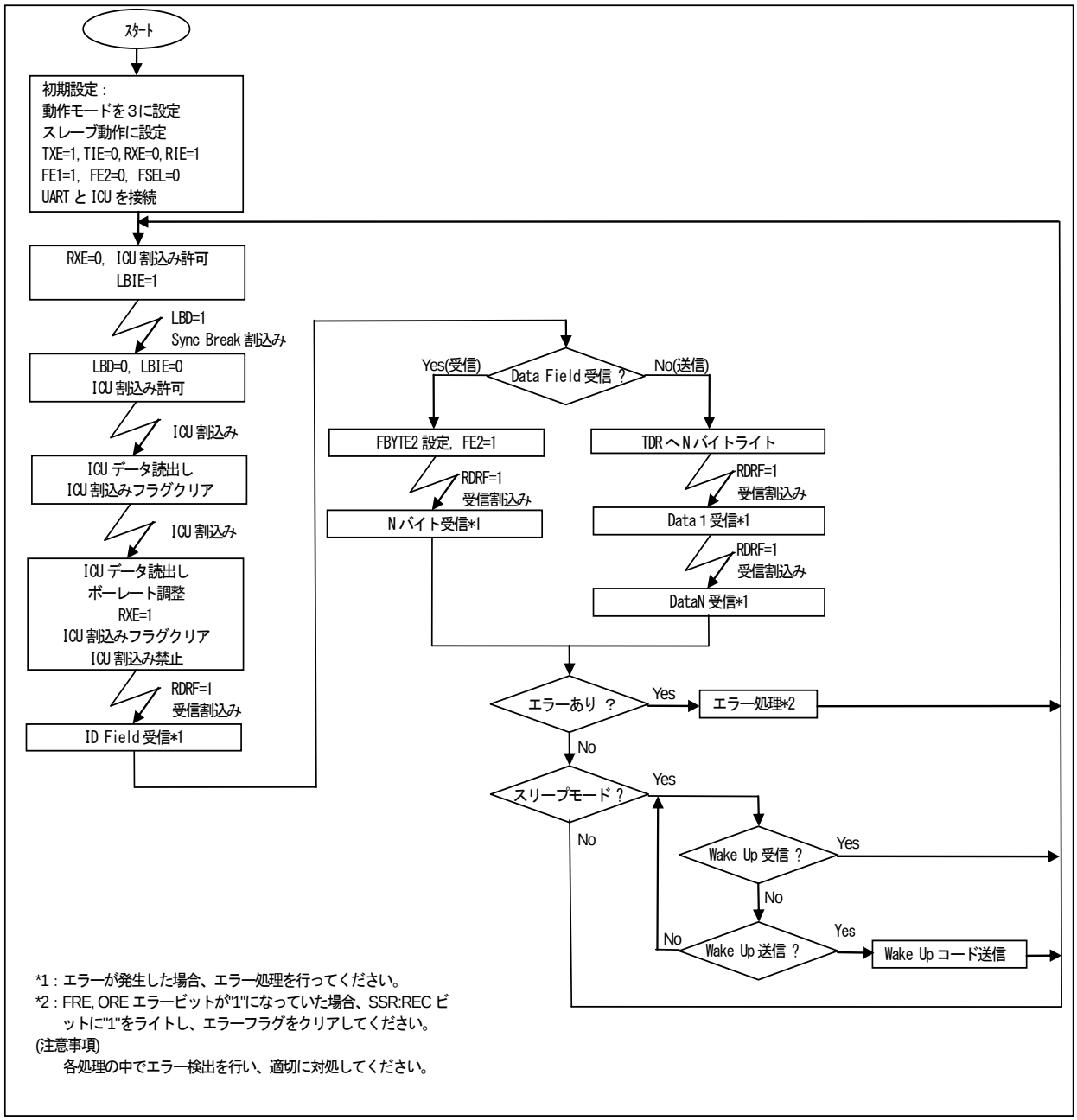


Figure 5-5 LIN 通信スレーブモードフローチャート例(FIFO 使用)



6. LIN インタフェース(v2.1)のレジスタ

LIN インタフェース(v2.1)のレジスター一覧を示します。

LIN インタフェース(v2.1)のレジスター一覧

Table 6-1 LIN インタフェース(v2.1)のレジスター一覧

	bit15 bit8	bit7 bit0
LIN インタフェース (v2.1)	SCR(シリアル制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	ESCR(拡張通信制御レジスタ)
	-	RDR/TDR(送受信データレジスタ)
	BGR1 (ボーレートジェネレータレジスタ 1)	BGR0 (ボーレートジェネレータレジスタ 0)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

Table 6-2 LIN インタフェース(v2.1)ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	WUCR	SBL	-	-	SOE
SSR/ ESCR	REC	-	LBD	FRE	ORE	RDRF	TDRE	TBI	-	ESBL	-	LBIE	LBL1	LBL0	DEL1	DEL0
TDR/ RDR	-								D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE 1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

6.1 シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止, 送信アイドル割込みの許可/禁止,送受信動作の許可/禁止の設定を行います。また、LIN Break field 生成、LIN インタフェース(v2.1)リセットの設定があります。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE	(SMR)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	-	-	0	0	0	0	0	

[bit15] UPCL : プログラマブルクリアビット

LIN インタフェース(v2.1)の内部状態を初期化するビットです。

"1"を設定した場合:

- LIN インタフェース(v2.1)を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信割込み要因(SSR:TDRE, TBI, RDRF, FRE, ORE, LBD)は初期化されます。

"0"を設定した場合:

動作に影響しません。

読出し時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	プログラマブルクリア	

<注意事項>

- *割込み禁止に設定した後に、プログラマブルクリアを実行してください。*
- *FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。*
- *受信動作から送信動作へ連続的に切り換える場合、データ受信後にプログラマブルクリアを実行してから、送信データを送信データレジスタ(TDR)に書き込んでください。*

[bit14] MS： マスタ/スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

"0"に設定した場合 ： マスタモードに設定されます。
"1"に設定した場合 ： スレーブモードに設定されます。

bit	説明
0	マスタモード
1	スレーブモード

[bit13] LBR : LIN Break field 設定ビット(マスタ動作のみ機能)

本ビットに"1"を設定した場合、ESCR:LBL1/0 ビットおよび、ESCR:DEL1/0 で設定された長さの LIN Break field と LIN Break デリミタを生成します。

読出し時:

"0"をライト: 影響しません。
"1"をライト: LIN Break field を生成します。

書込み時:

常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	LIN Break field 生成	

＜注意事項＞

- *マスタ動作(MS="0")のみ機能します。*
- *LIN Break field 生成中に本ビットを"1"に設定しないでください。*

[bit12] RIE： 受信割込み許可ビット

- CPU への受信割込み要求出力を許可/禁止するビットです。
- RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(SSR:FRE, ORE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE： 送信割込み許可ビット

- CPU への送信割込み要求出力を許可/禁止するビットです。
- TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE： 送信バスアイドル割込み許可ビット

■ CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
■ TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE： 受信動作許可ビット

LIN インタフェース(v2.1)の受信動作を許可/禁止します。

■ "0"に設定した場合 ： データフレーム受信動作が禁止されます。
■ "1"に設定した場合 ： データフレーム受信動作が許可されます。

bit	説明
0	データフレーム受信禁止
1	データフレーム受信許可

＜注意事項＞

- *受信動作許可(RXE=1)にしても、スタートビットの立下りエッジが入力されないと受信動作を開始しません。*
- *マスタ動作時、LIN Break field 送信中、受信動作が許可(RXE=1)状態でもデータは受信しません。*
- *受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。*

[bit8] TXE： 送信動作許可ビット

LIN インタフェース(v2.1)の送信動作を許可/禁止します。

■ "0"に設定した場合 ： データフレーム送信動作が禁止されます。
■ "1"に設定した場合 ： データフレーム送信動作が許可されます。

bit	説明
0	データフレーム送信禁止
1	データフレーム送信許可

＜注意事項＞

送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

6.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定, 転送方向, データ長, ストップビット長の選択およびシリアルデータ端子への出力許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	WUCR	SBL	予約	予約	SOE
属性		R/W	R/W	R/W	R/W	R/W	-	-	R/W
初期値		0	0	0	0	0	-	0	0

[bit7:5] MD2, MD1, MD0 : 動作モード設定ビット

動作モードを設定します。

"000" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010" : 動作モード 2(クロック同期モード)に設定されます。
"011" : 動作モード 3(LIN 通信モード)に設定されます。
"100" : 動作モード 4(I^2C モード)に設定されます。

本章では動作モード 3(LIN 通信モード)のレジスタおよび動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

* 本章は、動作モード 3 のレジスタおよび動作について説明します。

<注意事項>

- *上記設定以外は禁止です。*
- *動作モードを切り換える場合は、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。*
- *動作モード設定後、各レジスタを設定してください。*

[bit4] WUCR : WAKE UP 制御ビット

外部割込みで使用する端子を選択します。

"0"に設定した場合: 外部割込みで使用する端子は INT 端子です。
"1"に設定した場合: 外部割込みで使用する端子は SIN 端子です。

bit	説明
0	WAKE UP 機能禁止
1	WAKE UP 機能許可

[bit3] SBL : ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL="0"、ESCR:ESBL="0"に設定した場合: ストップビットは 1 ビットに設定されます。
SBL="1"、ESCR:ESBL="0"に設定した場合: ストップビットは 2 ビットに設定されます。
SBL="0"、ESCR:ESBL="1"に設定した場合: ストップビットは 3 ビットに設定されます。
SBL="1"、ESCR:ESBL="1"に設定した場合: ストップビットは 4 ビットに設定されます。

bit	説明	
0	ESCR:ESBL=0	STOP ビットは 1 ビット
	ESCR:ESBL=1	STOP ビットは 3 ビット
1	ESCR:ESBL=0	STOP ビットは 2 ビット
	ESCR:ESBL=1	STOP ビットは 4 ビット

<注意事項>

- *受信時は、常にストップビットの 1 ビット目だけを検出します。*
- *本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。*

[bit2:1] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit0] SOE : シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

<注意事項>

- *SOT 端子として使用する場合は GPIO 設定も行ってください。*

6.3 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認, 受信エラーフラグの確認, LIN Break field の検出または受信エラーフラグのクリアを行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	LBD	FRE	ORE	RDRF	TDRE	TBI	(ESCR)
属性	R/W	-	R/W	R	R	R	R	R	
初期値	0	-	0	0	0	0	1	1	

[bit15] REC： 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の FRE, ORE フラグをクリアするビットです。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	受信エラーフラグ(FRE, ORE)のクリア	

[bit14] -： 未使用ビット

読出し時: 値は不定です。
書込み時: 動作に影響しません。

[bit13] LBD : LIN Break field 検出フラグビット

LIN Break field 検出を示すビットです。
シリアル入力(SIN)が 11 ビット幅以上"L"入力されると、LBD ビットは"1"に設定されます。このとき、LIN Break field 割込み許可ビット(LBIE)が"1"に設定されていると、ステータス割込みを発生します。

(リードした場合)

"1"の場合: LIN Break field が検出されています。
"0"の場合: LIN Break field が検出されていません。

(ライトした場合)

"0"をライトした場合 : LBD ビットをクリアします。
"1"をライトした場合 : 動作に影響しません。

bit	説明	
	書込み時	読出し時
0	LBD フラグクリア	Break field なし
1	動作に影響しません	Break field あり

＜注意事項＞

- *リードモディファイライト命令時、"1"が読み出されます。*

[bit12] FRE： フレーミングエラーフラグビット

- 受信時にフレーミングエラーが発生した場合に"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- FRE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	フレーミングエラーなし
1	フレーミングエラーあり

[bit11] ORE： オーバランエラーフラグビット

- 受信時にオーバランが発生した場合に"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF： 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- RDR に受信データがロードされると"1"に設定されます。受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- RDRF ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ(RDR)がエンプティ
1	受信データレジスタ(RDR)にデータが存在する

[bit9] TDRE： 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
- TDRE ビットと TIE ビットが"1"の場合、送信割込み要求を出力します。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"を書き込むと TDRE ビットは"1"に設定されます。
- 送信 FIFO 使用時の TDRE ビットのセット/クリアタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI : 送信バスアイドルフラグビット

- LIN インタフェース(v2.1)が送信動作をしていないことを示すビットです。
- 送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"に設定されます。
- LIN Break field が設定(SMR:LBR=1)された場合に本ビットは"0"に設定されます。
- 送信データレジスタ(TDR)がエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。
- LIN Break field 送信が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。
- 本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

6.4 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、LIN Break field 割込みの許可/禁止, LIN Break field の検出, LIN Break field 長, Break デリミタ長の設定, ストップビット長の選択を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SSR)	予約	ESBL	-	LBIE	LBL1	LBL0	DEL1	DEL0
属性		-	R/W	-	R/W	R/W	R/W	R/W	R/W
初期値		0	0	-	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit6] ESBL : 拡張ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

bit	説明	
0	SMR:SBL=0	1 ビット
	SMR:SBL=1	2 ビット
1	SMR:SBL=0	3 ビット
	SMR:SBL=1	4 ビット

<注意事項>

- *受信時は、常にストップビットの 1 ビット目だけを検出します。*
- *本ビットは送信が禁止(TXE=0)のときに設定してください。*

[bit5] - : 未使用ビット

読出し時: 値は不定です。
書込み時: 動作に影響しません。

[bit4] LBIE : LIN Break field 検出割込み許可ビット

LIN Break field 検出割込みを許可/禁止するビットです。
LIN Break field 検出フラグ(LBD)が"1"のとき、割込みが許可(LBIE=1)されると受信割込みを発生します。

bit	説明
0	LIN Break field 検出割込み禁止
1	LIN Break field 検出割込み許可

[bit3:2] LBL1/LBL0 : LIN Break field 長選択ビット(マスタ動作のみ機能)

■ これらのビットは、LIN Break field の生成時間を何ビット分とするかを設定します。
■ シリアル制御レジスタ(SCR)の LBR ビットに"1"を設定(LIN Break field 送信)する前に、本ビットを設定してください。
■ スレーブ動作時、LIN Break field 検出タイミングは、本ビットの設定値によらず、常に 11 ビット目で検出します。

bit3	bit2	説明
0	0	13 ビット長
0	1	14 ビット長
1	0	15 ビット長
1	1	16 ビット長

<注意事項>

- *本機能は、マスタ動作(SMR:MS="0")のみ機能します。*

[bit1:0] DEL1/DEL0 : LIN Break デリミタ長選択ビット(マスタ動作のみ機能)

■ これらのビットは、LIN Break デリミタ長を何ビット分とするかを設定します。
■ シリアル制御レジスタ(SCR)の LBR ビットを"1"に設定(LIN Break field 送信)する前に、本ビットを設定してください。

bit1	bit0	説明
0	0	1 ビット長
0	1	2 ビット長
1	0	3 ビット長
1	1	4 ビット長

<注意事項>

- *本機能は、マスタ動作(SMR:MS="0")のみ機能します。*

6.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。

受信データレジスタ(RDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
属性		R	R	R	R	R	R	R	R
初期値		0	0	0	0	0	0	0	0

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

- シリアル入力端子(SIN)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合(SCR:RIE)は、受信割込み要求を発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
- 受信エラーが発生(SSR:ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効です。

<注意事項>

- *受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。*
- *受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が"0"にクリアされます。*
- *受信 FIFO 使用時に、受信エラーが発生(SSR:ORE, FRE のどちらかが"1"に設定)した場合、受信 FIFO の許可ビットはクリアされ受信信データは受信 FIFO に格納しません。*

送信データレジスタ(TDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
属性		W	W	W	W	W	W	W	W
初期値		1	1	1	1	1	1	1	1

- 送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。
- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT)から送出されます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データがシリアル送信データレジスタ(TDR)に書込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込めます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データは書き込めません。

<注意事項>

- *送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。*
- *送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。*

6.6 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXT	(BGR1)							(BGR0)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
- BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定値の読出しが可能です。
- ボーレートジェネレータレジスタ 1, 0 (BGR1, BRG0)にリロード値を書き込むとリロードカウンタはカウントを開始します。
- bit15 の EXT ビットはリロードカウンタのクロックソースを内部クロックで使用するか、外部クロックで使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。

[bit15] EXT： 外部クロック選択ビット

bit	説明
0	内部クロック使用
1	外部クロック使用

[bit14:8] BGR1： ボーレートジェネレータレジスタ 1

bit14:8	説明
ライト	リロードカウンタの bit8～bit14 に書込み
リード	BGR1 の設定値の読出し

[bit7:0] BGR0： ボーレートジェネレータレジスタ 0

bit7:0	説明
ライト	リロードカウンタの bit0～bit7 に書込み
リード	BGR0 の設定値の読出し

＜注意事項＞

- *ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *ボーレートジェネレータレジスタ(BGR1, BGR0)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。従って、新しい設定値を即有効にしたい場合は、BGR1/BGR0 の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。*
- *リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。*
- *リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。*
- *ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ 1, 0(BGR1, BGR0)に"0"を書き込み、プログラムクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。*

6.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定, 送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性		-		R/W	R/W	R/W	R/W	R/W	
初期値		-		0	0	1	0	0	

[bit15:13] 予約 : 予約ビット

読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FLST ビット検出を許可するビットです。

"0"に設定した場合: FLST ビット検出禁止
"1"に設定した場合: FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

- *本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。*

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- *受信 FIFO を使用する場合、本ビットを"1"に設定してください。*

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力します。

FDRQ セット条件
- FBYTE(送信用)=0　(送信 FIFO がエンプティ)
- 送信 FIFO のリセット

FDRQ クリア条件
- 本ビットへの"0"書込み
- 送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>
- *FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。*
- *本ビットが"0"のときに FSEL ビットの変更は禁止です。*
- *本ビットに"1"を設定した場合、動作に影響しません。*
- *リードモディファイライト命令時、"1"が読み出されます。*

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割当てられます。
"1"に設定した場合 : 送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>
- *本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。*
- *本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。*

6.8 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	W	R/W	R/W	R/W	R/W
初期値		-	0	0	0	0	0	0	0

[bit7] - : 未使用ビット

読出し時: 値は不定です。
書込み時: 動作に影響しません。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致している時に FIFO へ書き込んだ場合

FLST クリア条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

<注意事項>

- *本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。*
- *FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。*
- *TIE ビット TBIE ビットは"0"にしてから本ビットに"1"を書き込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを"1"にしてください。*

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
送信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合: 現在のリードポインタの値を保存します。
"0"に設定した場合: 動作に影響しません。

bit	説明
0	保存しない
1	保存実行

<注意事項>

- *送信バイト数(FBYTE)が 0 を示している時に本ビットを"1"に設定してください。*

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定することで、FIFO2 の内部状態を初期化します。
FCR1:FLST2 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

<注意事項>

- *送受信を禁止してから、FIFO2 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE2 レジスタの有効データ数は"0"に設定されます。*

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定することで、FIFO1 の内部状態を初期化します。
FCR1:FLST1 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

<注意事項>

- *送受信を禁止してから、FIFO1 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE1 レジスタの有効データ数は"0"に設定されます。*

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FIFO2 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書き込み、TIE ビットと TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO2 を送信 FIFO で使用する場合には送信バッファがエンプティ(TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書き込み、TIE ビットと TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- FIFO1 を送信 FIFO で使用する場合には送信バッファがエンプティ(TDRE=1)のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

6.9 FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットによる設定を以下に示します。

FCR1:FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致した場合、受信データフルフラグビット(RDRF)が"1"に設定されます。
- 以下の条件を両方満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと受信データフルフラグビット(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

[bit15:8] FBYTE2: FIFO2 データ数表示ビット

[bit7:0] FBYTE1: FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時: FIFO に書き込まれ、送信されていないデータ数

受信時: FIFO に受信されたデータ数

ライト(転送数)

送信時: 0x00 設定

受信時: 受信割込み発生のデータ数設定

Table 6-3　FIFO の格納可能なデータ数について

FIFO 容量	最大 FBYTE 数	格納可能データ数
16 バイト	16	16
32 バイト	32	32
64 バイト	64	64
128 バイト	128	128

＜注意事項＞

- *送信 FIFO の FBYTE には"0x00"を設定してください。*
- *受信 FIFO の FBYTE は "1"以上のデータを設定してください。*
- *送受信を禁止してから変更してください。*
- *本レジスタはリードモディファイライト命令を使用できません。*
- *FIFO 容量を超えた設定は禁止です。*
- *FIFO 選択ビット(FCR1:FSEL)設定後、FIFO バイトレジスタ(FBYTE)を設定してください。*
- *FIFO 選択ビット(FCR1:FSEL)と FIFO バイトレジスタ(FBYTE)を同時に設定することはできません。*
- *送信時の FIFO データ数表示は、送信データ書込み数から 1 減算した値が有効なデータ数として表示されます。これは、TDR レジスタに送信されていないデータが存在しているときに送信データを書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。*
- *受信時の FIFO データ数表示は、受信 FIFO に受信され読み出しされていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。*

CHAPTER 1-5: I2C インタフェース (I²C 通信制御インタフェース)

マルチファンクション シリアルインタフェースの動作モード4でサポートしているI²C機能について説明します。

1. I2C インタフェース(I2C 通信制御インタフェース)の概要

エラー! 参照元が見つかりません。. I²C インタフェースの動作

3. 専用ボーレートジェネレータ

4. I2C の通信動作フローチャート例

5. I2C インタフェースのレジスタ

1. I²C インタフェース(I²C 通信制御インタフェース)の概要

I²C インタフェース(I²C 通信制御インタフェース)は I²C バスをサポートし、I²C バス上のマスタ/スレーブデバイスとして動作します。また、送信/受信(最大 各 128 バイト)の FIFO を搭載しています。

I²C インタフェース (I²C 通信制御インタフェース) の機能

		機　　能
1	データバッファ	− 全二重ダブルバッファ(FIFO 未使用時) − 送信/受信 FIFO(最大各 128 バイト) *1(FIFO 使用時)
2	シリアル入力	シリアルクロック・シリアルデータ入力に対し、バスクロックで 2〜38 クロックまでのノイズを除去します。
3	転送モード	同期
4	ボーレート	− 専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) − 外部クロックをリロードカウンタで調節可能。 − Standard-mode/Fast-mode/ Fast-mode Plus*2 をサポート
5	データ長	8 ビット
6	信号方式	NRZ(Non Return to Zero)
7	割込み要求	− 受信割込み − 送信割込み − ステータス割込み・ICU への割込み要求 − 送信 FIFO 割込み (送信 FIFO がエンプティのとき) − 送受信 DMA 転送サポート機能あり
8	I²C	− マスタ/スレーブ送受信機能 − 調停機能 − クロック同期機能 − 伝送方向検出機能 − 反復スタート条件の発生と検出機能 − バスエラー検出機能 − ゼネラルコールアドレッシング機能 − マスタおよびスレーブとしての 7 ビットアドレッシング − 伝送およびバスエラー時に割込み発生可能 − 10 ビットアドレッシング機能は、プログラムで対応可能
9	FIFO	− 送受信 FIFO 搭載(最大容量:送信 FIFO 128 バイト, 受信 FIFO 128 バイト)*1 − 送信 FIFO と受信 FIFO を選択可能 − 送信データ再送可能 − 受信 FIFO 割込みタイミングをソフトウェアで可変可能 − 独立して FIFO リセットサポート

*1: FIFO 容量はご使用する製品により容量サイズが異なります。

*2: Fast-mode Plus 動作時は専用 I/O 設定が必要です。詳細は『ペリフェラルマニュアル』の『I/O ポート』の章を参照してください。

2. I²C インタフェースの動作

2.1 I²C インタフェースの割込み

I²C インタフェースの割込みは、以下の要因で割込み要求を発生させられます。

- 第 1 バイト送受信後/データ送受信後
- ストップ条件
- 反復スタート条件
- FIFO 送信データ要求
- FIFO 受信データ完了

I²C インタフェースの割込み

I²C インタフェースの割込み制御ビットと割込み要因を Table 2-1 に示します。

Table 2-1 I²C インタフェースの割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
ステータス	INT	IBCR	第 1 バイト送受信後*1 (SSR:DMA=1 のマスタ動作の場合は除く)	IBCR:INTE	割込みフラグビット(IBCR:INT)への"0"書込み
			データ送受信後*1 (SSR:DMA=0 の場合)		
			バスエラー検出(EIBCR.BCE=0)		
			アービトレーションロスト検出		
			予約アドレス検出		
			NACK 受信		
			スレーブ受信動作時の受信 FIFO フル (SSR:DMA=0 の場合)		受信 FIFO がエンプティになるまで受信データ読出し後、IBCR:INT への"0"書込み
	SPC	IBSR	ストップ条件	IBCR:CNDE	SPC への"0"書込み
	RSC		反復スタート検出		RSC への"0"書込み
受信	RDRF	SSR	予約アドレス受信	SMR:RIE	受信データレジスタ(RDR)の読出し
			データ受信後		
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE=1 で受信アイドル検出		
	ORE	SSR	オーバランエラー		受信エラーフラグビット(SSR:REC)への"1"書込み

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
送信	TDRE	SSR	送信データレジスタがエンプティ 送信バッファエンプティフラグセットビット(SSR:TSET)への1書込み	SMR:TIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *2
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビットへの"0"書込みまたは送信 FIFO がフル
	TBI (SSR:DMA=1)	SSR	送信動作なし 送信バッファエンプティフラグセットビット(SSR:TSET)への1書込み	SCR:TBIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *3

*1: 正常なデータを送受信でき SSR:TDRE が"0"の場合、割込みは発生しません。これは DMA 転送をサポートするためです。
データ送受信時に IBCR:INT フラグを発生させたい場合には IBCR:INT フラグがセットされるタイミングより前に SSR:TDRE ビットが 1 である必要があります。
*2: SSR:TDRE ビットが 0 になってから SMR:TIE ビットを 1 にしてください。
*3: SSR:TBI ビットが 0 になってから SSR:TBIE ビットを 1 にしてください。

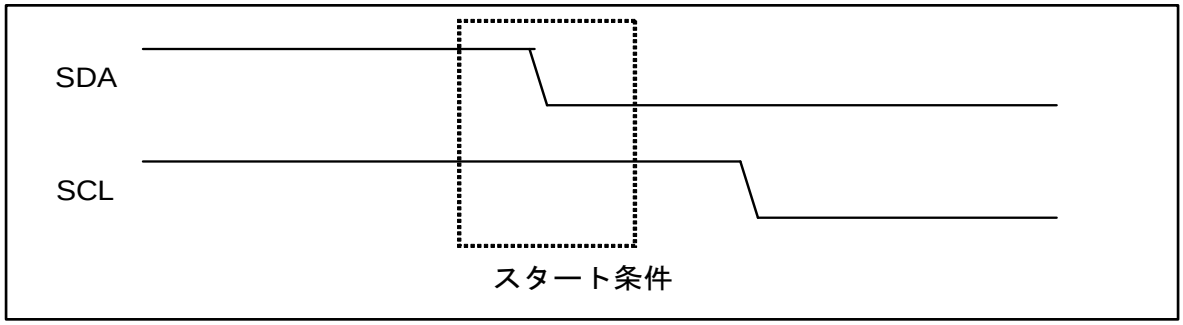
2.2 I²C バスの動作

I²C インタフェースは、2 本の双方向バスライン，シリアルデータライン(SDA)およびシリアルクロックライン(SCL)を使用して通信を行います。

I²C バススタート条件

I²C バスの起動条件を以下に示します。

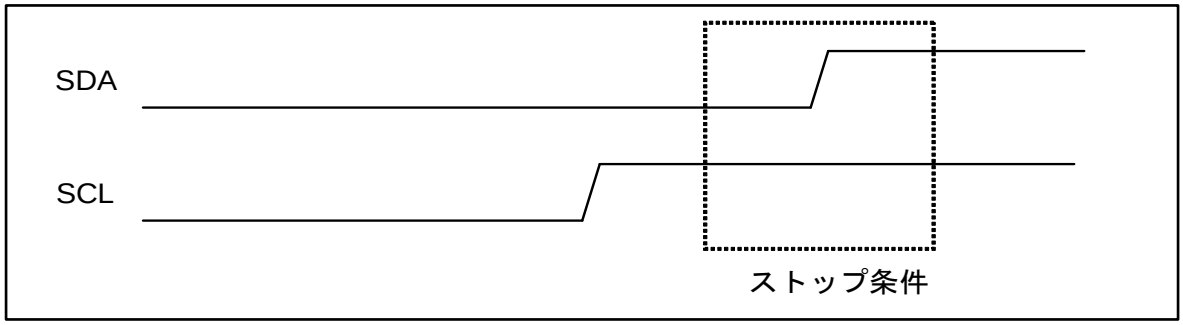
Figure 2-1 スタート条件



I²C バスストップ条件

I²C バスのストップ条件を以下に示します。

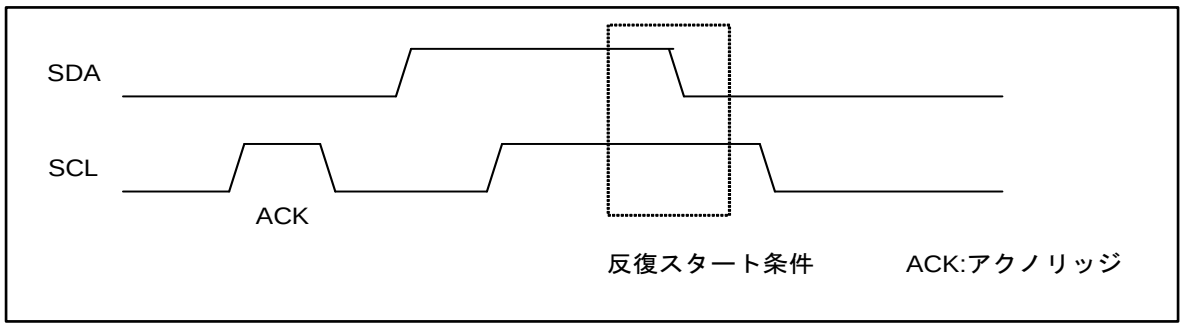
Figure 2-2 ストップ条件



I²C バス反復スタート条件

I²C バスの反復スタート条件を以下に示します。

Figure 2-3 反復スタート条件



2.3 マスタモード

マスタモードは、I²C バスにスタート条件を発生させ、I²C バスにクロックを出力します。I²C バスがアイドル状態(SCL=H, SDA=H)のとき、IBCR レジスタの MSS ビットに 1 を設定するとマスタモードになり、IBCR レジスタの ACT ビットが 1 になります。

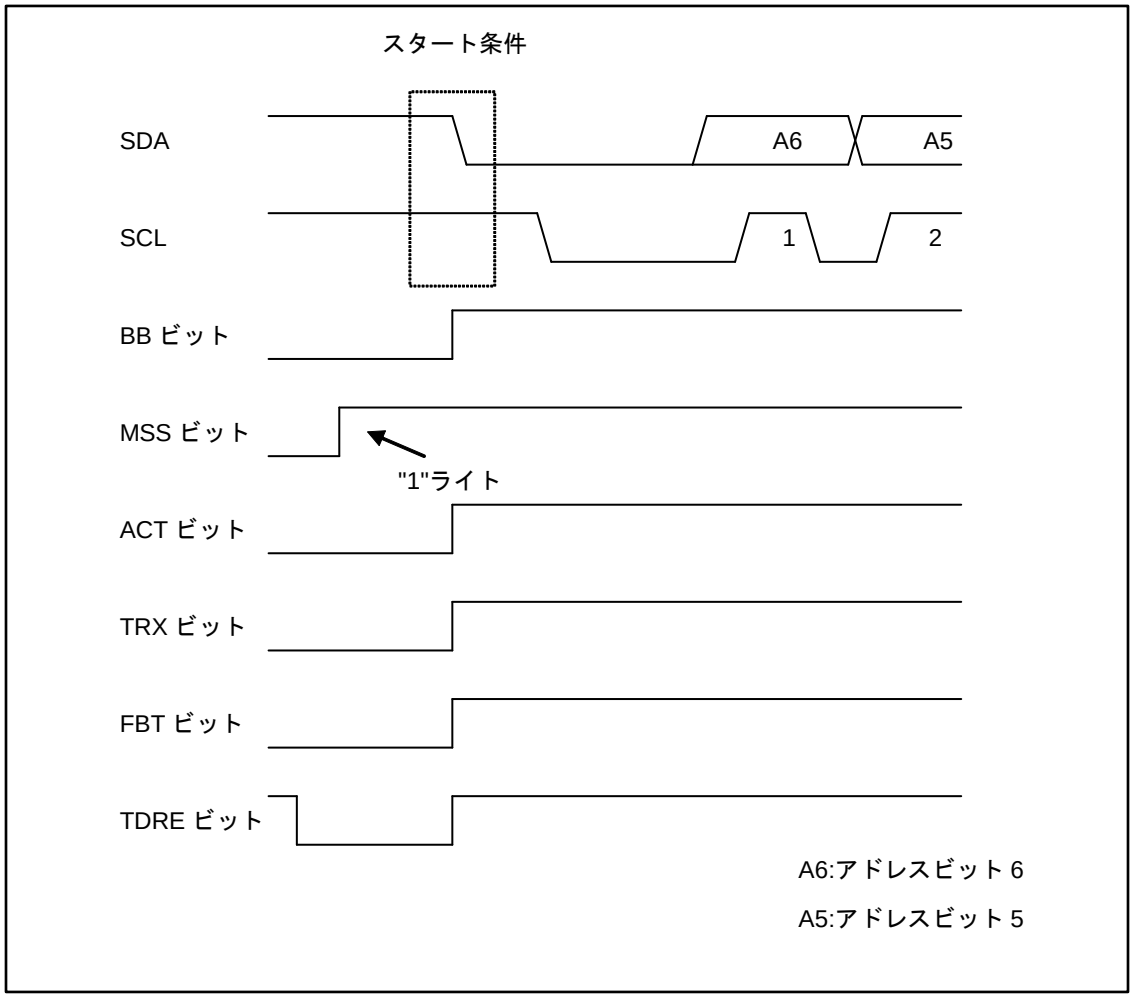
スタート条件生成

以下の条件でスタート条件が出力されます。

- SDA=H, SCL=H, ISMK:EN=1, IBSR:BB=0 のとき、IBCR:MSS ビットへ 1 書込み

I²C バスへスタート条件を出力すると IBCR:ACT ビットに 1 をセットします。その後、スタート条件を受信すると IBSR:BB ビットが 1 に設定され、I²C バスは通信中であることを示します(Figure 2-4 を参照してください)。

Figure 2-4 スタート条件出力および各ビットの関係



<注意事項>

- *動作モード 4(I²C モード) ではバスクロックは 8 MHz 以上で使用し、400 kbps を超えるボーレートジェネレータの設定は禁止です。*

スレーブアドレス出力

スタート条件を出力すると、TDR レジスタに設定されたデータを bit7 からアドレスとして出力します。FIFO 許可の場合、最初に書いた TDR レジスタのデータを出力します。bit0 はデータ方向ビット(R/W)として使用され、データ方向ビット(R/W)が 0 のとき、データはライト方向(マスタ→スレーブ)を示します。TDR レジスタへのアドレス設定は、IBCR:MSS=1 または IBCR:SCC=1 を書く前に行ってください。

アドレスおよびデータ方向の出力タイミングについて Figure 2-5, Figure 2-6 に示します。

Figure 2-5 アドレスおよびデータ方向 (FIFO 禁止の場合)

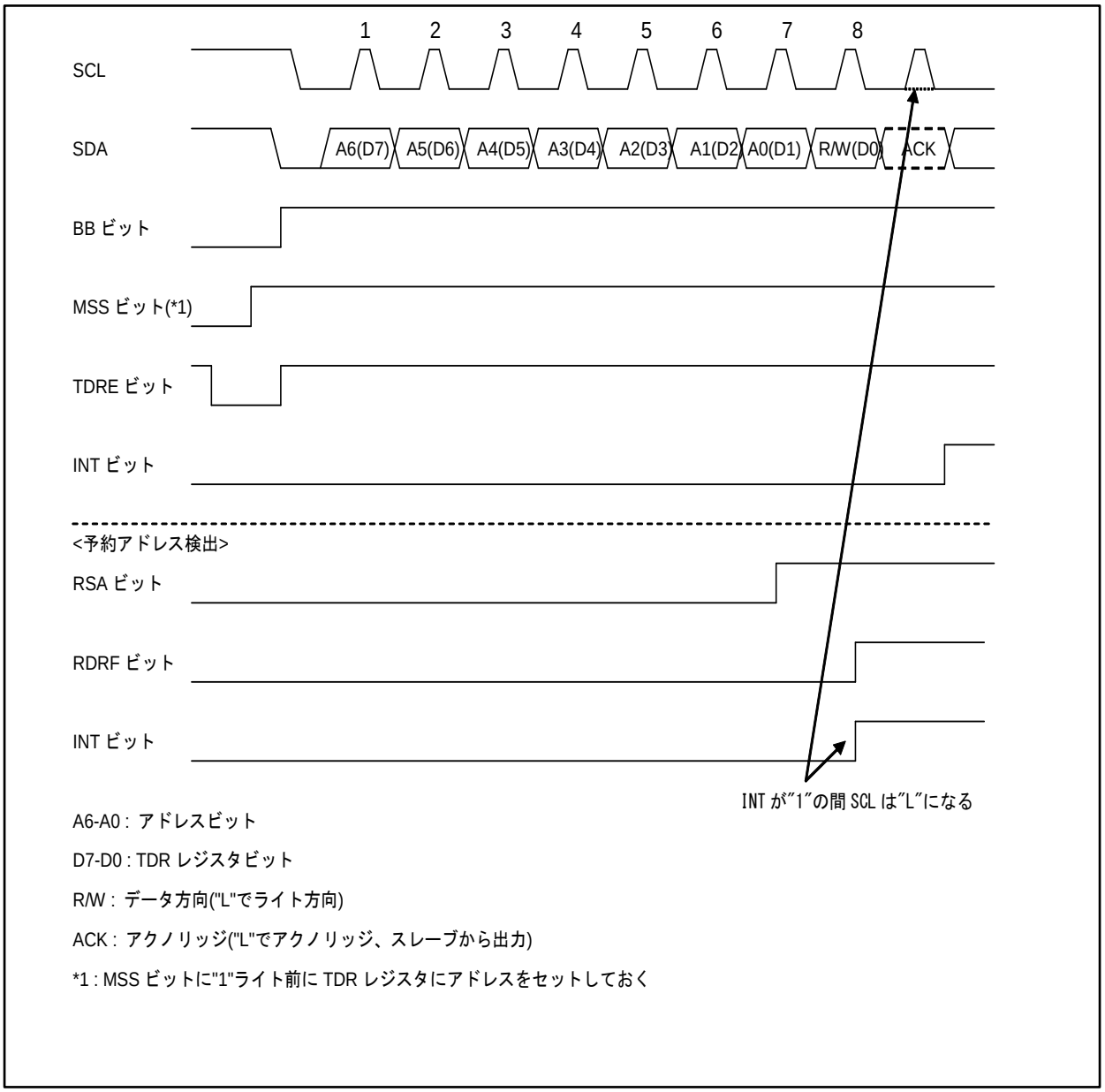
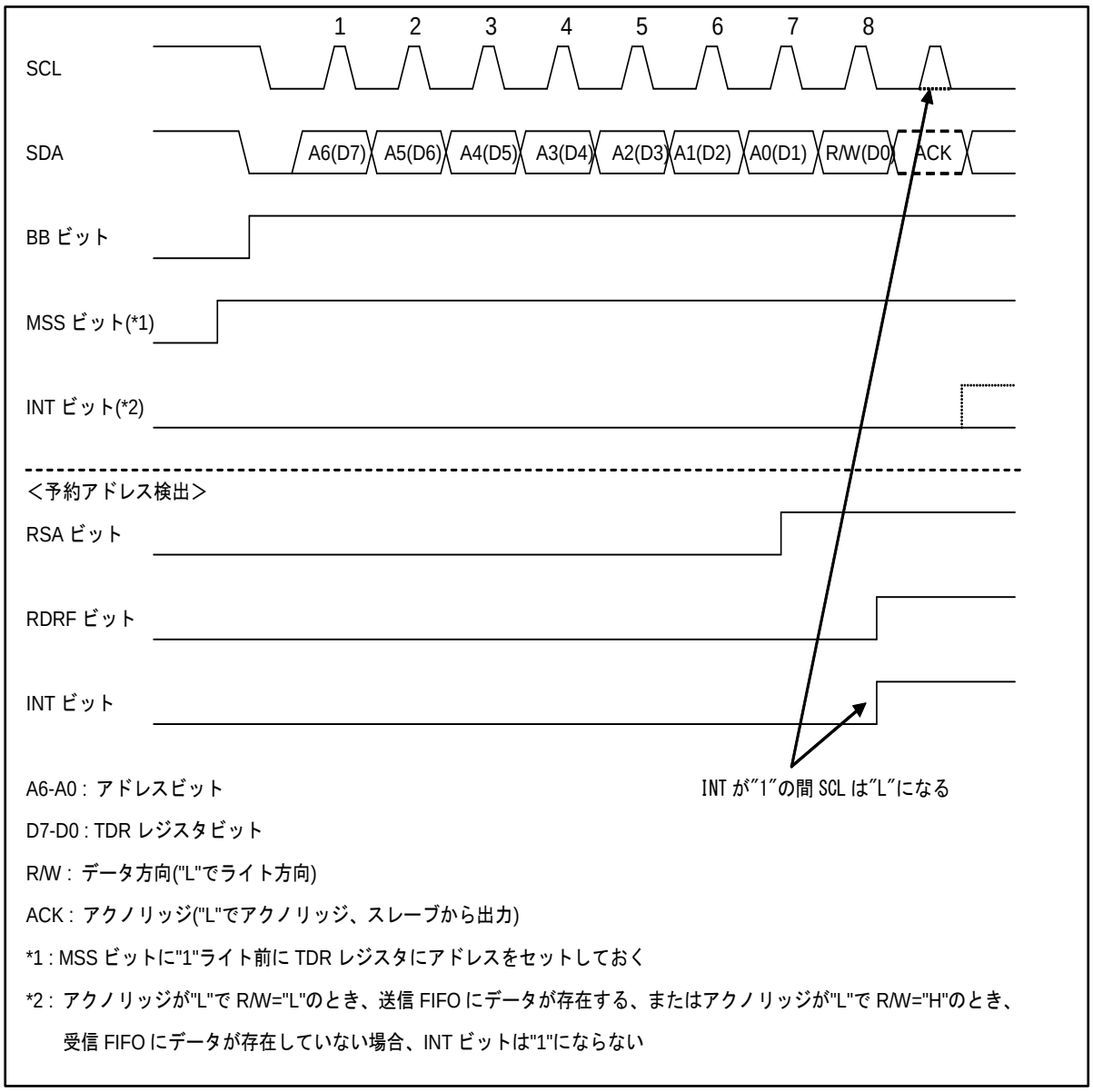


Figure 2-6 アドレスおよびデータ方向 (送受信 FIFO 許可)



A6-A0 : アドレスビット

D7-D0 : TDR レジスタビット

R/W : データ方向("L"でライト方向)

ACK : アクノリッジ("L"でアクノリッジ、スレーブから出力)

*1 : MSS ビットに"1"ライト前に TDR レジスタにアドレスをセットしておく

*2 : アクノリッジが"L"で R/W="L"のとき、送信 FIFO にデータが存在する、またはアクノリッジが"L"で R/W="H"のとき、
受信 FIFO にデータが存在していない場合、INT ビットは"1"にならない

第 1 バイト送信によるアクノリッジ受信

データ方向ビット(R/W)を出力すると I²C インタフェースは、スレーブからのアクノリッジを受信します。FIFO 許可と FIFO 禁止の動作を以下に示します。

Table 2-2 DMA モード禁止時のアクノリッジ受信後の動作 (IBSR:RSA ビット=0, SSR:DMA ビット=0)

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが 1 の場合 IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	IBCR:INT ビットを 1 にしてウェイト
				1		
禁止	許可	-	データなし	0	SSR:TDRE ビットが 1 の場合 IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	IBCR:INT ビットを 1 にしてウェイト
			データあり		IBCR:INT ビットを 1 にしてウェイト	
			-	1	SSR:TDRE ビットが 1 の場合 IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	
許可	禁止	-	-	0	SSR:TDRE ビットが 1 の場合 IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	IBCR:INT ビットを 1 にしてウェイト
				1		
許可	許可	-	データなし	0	SSR:TDRE ビットが 1 の場合 IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	IBCR:INT ビットを 1 にしてウェイト
			データあり		IBCR:INT ビットを 1 にしてウェイト	
			-	1	SSR:TDRE ビットが 1 の場合 IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	

Table 2-3 DMA モード許可時のアクノリッジ受信後の動作 (IBSR:RSA ビット=0, SSR:DMA ビット=1)

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット(R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが 1 の場合 SSR:TBI ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、SSR:TBI ビットは 0 のままでウェイトなし	IBCR:INT ビットを 1 にしてウェイト
				1		
禁止	許可	-	データなし	0	SSR:TDRE ビットが 1 の場合 SSR:TBI ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、SSR:TBI ビットは 0 のままでウェイトなし	IBCR:INT ビットを 1 にしてウェイト
			データあり		IBCR:INT ビットを 1 にしてウェイト	
			-	1	SSR:TDRE ビットが 1 の場合 SSR:TBI ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、SSR:TBI ビットは 0 のままでウェイトなし	
許可	禁止	-	-	0	SSR:TDRE ビットが 1 の場合 SSR:TBI ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、SSR:TBI ビットは 0 のままでウェイトなし	IBCR:INT ビットを 1 にしてウェイト
				1		
許可	許可	-	データなし	0	SSR:TDRE ビットが 1 の場合 SSR:TBI ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、SSR:TBI ビットは 0 のままでウェイトなし	IBCR:INT ビットを 1 にしてウェイト
			データあり		IBCR:INT ビットを 1 にしてウェイト	
			-	1	SSR:TDRE ビットが 1 の場合 SSR:TBI ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、SSR:TBI ビットは 0 のままでウェイトなし	

■ DMA モード禁止時(SSR:DMA=0)

FIFO 禁止(送信 FIFO, 受信 FIFO 両方とも禁止)

- IBSR:RSA ビットが 0 の場合、アクノリッジ受信後、SSR:TDRE ビットが 1 の場合、割込みフラグ(IBCR:INT)を 1 に設定し、SCL を L に保持してウェイトします。ウェイトは割込みフラグに 0 を書き込むと割込みフラグが 0 になってウェイトを解除します。SSR:TDRE ビットが 0 の場合 ACK を受信すれば割込みフラグを 1 に設定せずに SCL にクロックを発生します。
- IBSR:RSA ビットが 1 の場合、予約アドレス受信後(アクノリッジ前)、割込みフラグ(IBCR:INT)を 1 に設定し、SCL を L に保持してウェイトします。RDR レジスタ読出し後、IBCR:ACKE ビット, 送信
  データを設定し、割込みフラグに 0 を書き込むと割込みフラグが 0 になってウェイトを解除します。
- 受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し、NACK の場合、IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を書き込んでストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に 0 にクリアされます。

FIFO 許可

- IBCR:MSS ビットに 1 を設定する前に FIFO に以下の設定をする必要があります。
  - スレーブへ送信する場合(データ方向ビット=0)、スレーブアドレスなどを含むデータを送信 FIFO に設定
  - スレーブからデータを受信する場合(データ方向ビット=1)、FIFO バイト数レジスタに受信数を設定し、スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う
- IBSR:RSA ビットが 0 の場合、アクノリッジ受信後、ACK の場合、割込みフラグ(IBCR:INT)は 1 に設定せず、データ方向ビットにしたがってデータを送受信します(ウェイトなし)。NACK の場合、割込みフラグ(IBCR:INT)を 1 に設定し、SCL を L に保持してウェイトします。
- 受信したアクノリッジは IBSR:RACK ビットに格納されます。ウェイト中に IBSR:RACK ビットを確認し、NACK の場合、IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を書き込んでストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に 0 にクリアされます。

■ DMA モード許可時(SSR:DMA=1)

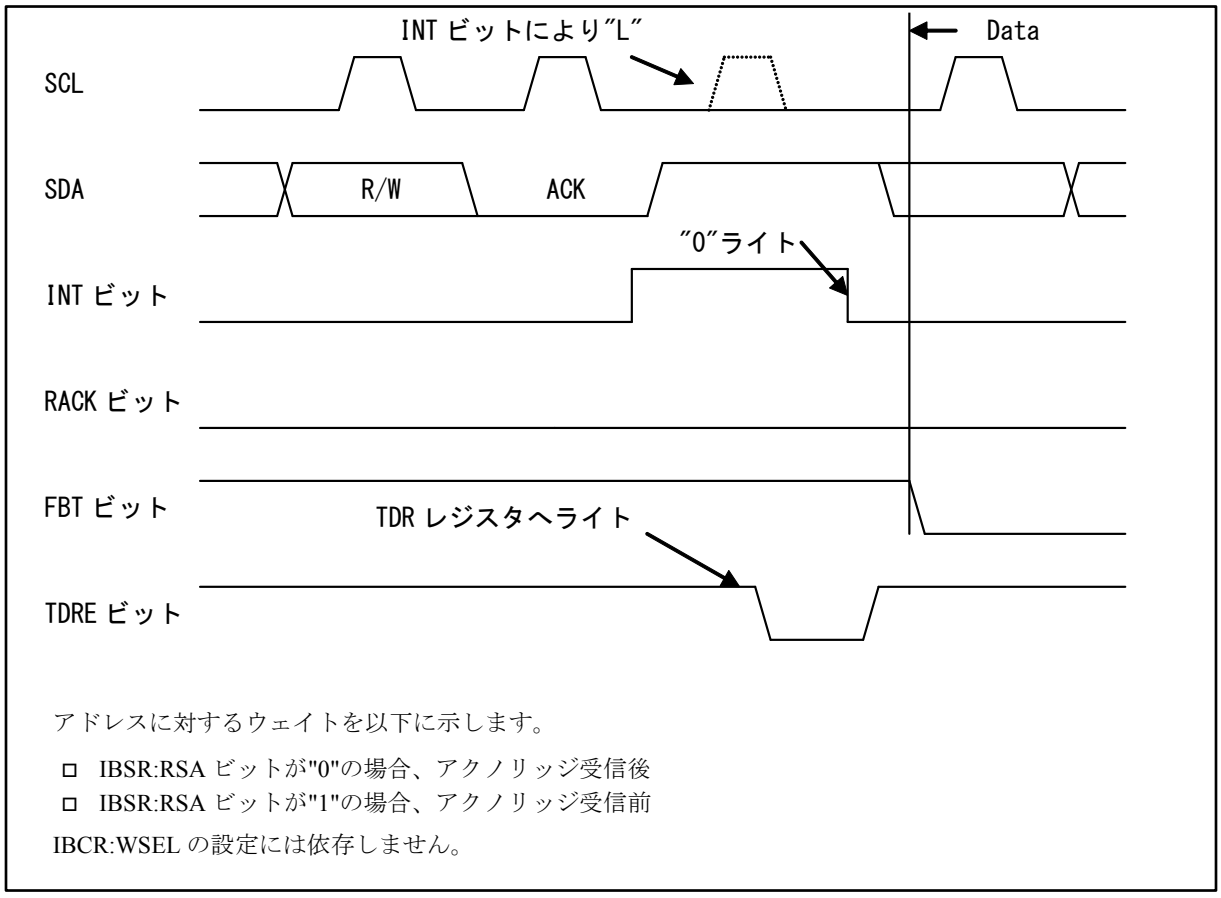
FIFO 禁止(送信 FIFO, 受信 FIFO 両方とも禁止)

- IBSR:RSA ビットが 0 の場合、アクノリッジ受信後、SSR:TDRE ビットが 1 の場合、送信バスアイドルフラグ(SSR:TBI)を 1 に設定し、SCL を L に保持してウェイトします。ウェイトは TDR レジスタに送信するデータを書き込むと送信バスアイドルフラグが 0 になってウェイトを解除します。SSR:TDRE ビットが 0 の場合、ACK を受信すれば送信バスアイドルフラグ(SSR:TBI)を 1 に設定せずに SCL にクロックを発生します。
- IBSR:RSA ビットが 1 の場合、予約アドレス受信後(アクノリッジ前), 割込みフラグ(IBCR:INT)を 1 に設定し、SCL を L に保持してウェイトします。RDR レジスタ読出し後、IBCR:ACKE ビット, 送信
  データを設定し、割込みフラグに 0 を書き込むと割込みフラグが 0 になってウェイトを解除します。
- 受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し、NACK の場合、IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を書き込んでストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に 0 にクリアされます。

FIFO 許可

- IBCR:MSS ビットに 1 を設定する前に FIFO に以下の設定をしてください。
  - スレーブへ送信する場合(データ方向ビット=0)、スレーブアドレスなどを含むデータを送信 FIFO に設定
  - スレーブからデータを受信する場合(データ方向ビット=1)、FIFO バイト数レジスタに受信数を設定し、スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う
- IBSR:RSA ビットが 0 の場合、アクノリッジ受信後、ACK の場合、割込みフラグ(IBCR:INT)は 1 に設定せず、データ方向ビットにしたがってデータを送受信します(ウェイトなし)。NACK の場合、割込みフラグ(IBCR:INT)を 1 に設定し、SCL を L に保持してウェイトします。
- 受信したアクノリッジは IBSR:RACK ビットに格納されます。ウェイト中に IBSR:RACK ビットを確認し、NACK の場合、IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を書き込んでストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に 0 にクリアされます。

Figure 2-7 アクノリッジ (FIFO 禁止, IBSR:RSA=0, ACK 応答の場合)



アドレスに対するウェイトを以下に示します。

- IBSR:RSA ビットが"0"の場合、アクノリッジ受信後
- IBSR:RSA ビットが"1"の場合、アクノリッジ受信前

IBCR:WSEL の設定には依存しません。

Figure 2-8 アクノリッジ (FIFO 禁止, IBSR:RSA=0, NACK 応答の場合)

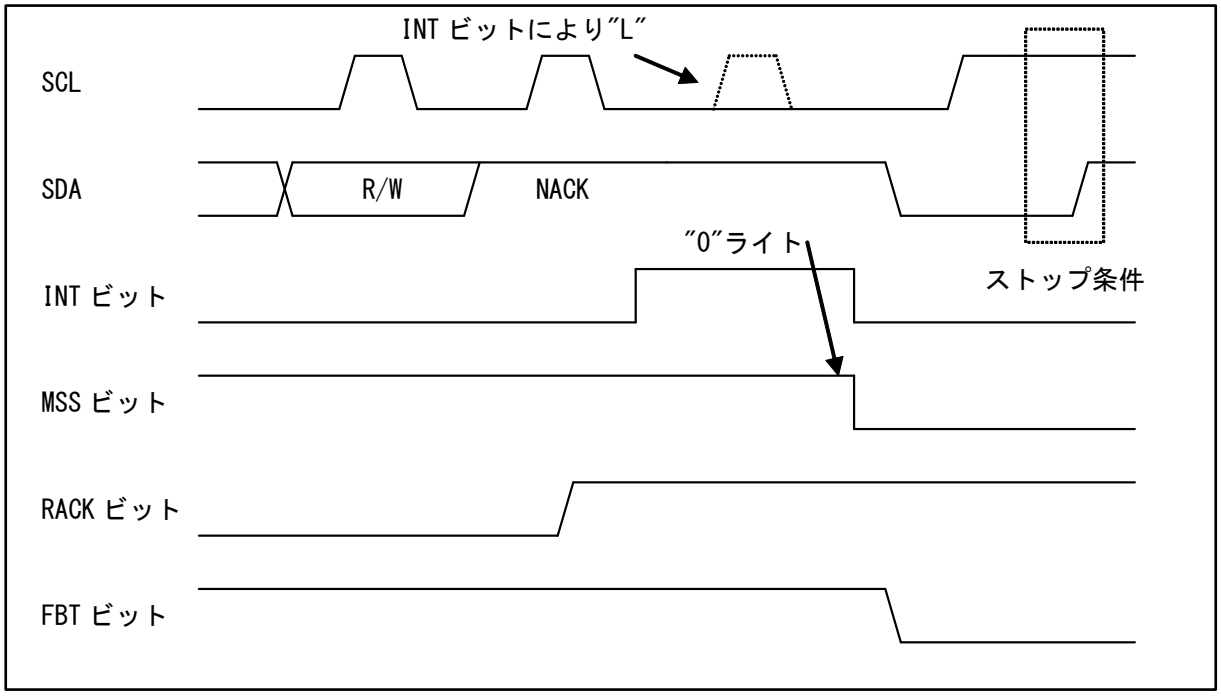


Figure 2-9 アクノリッジ (FIFO 禁止, IBSR:RSA=1, ACK 応答の場合)

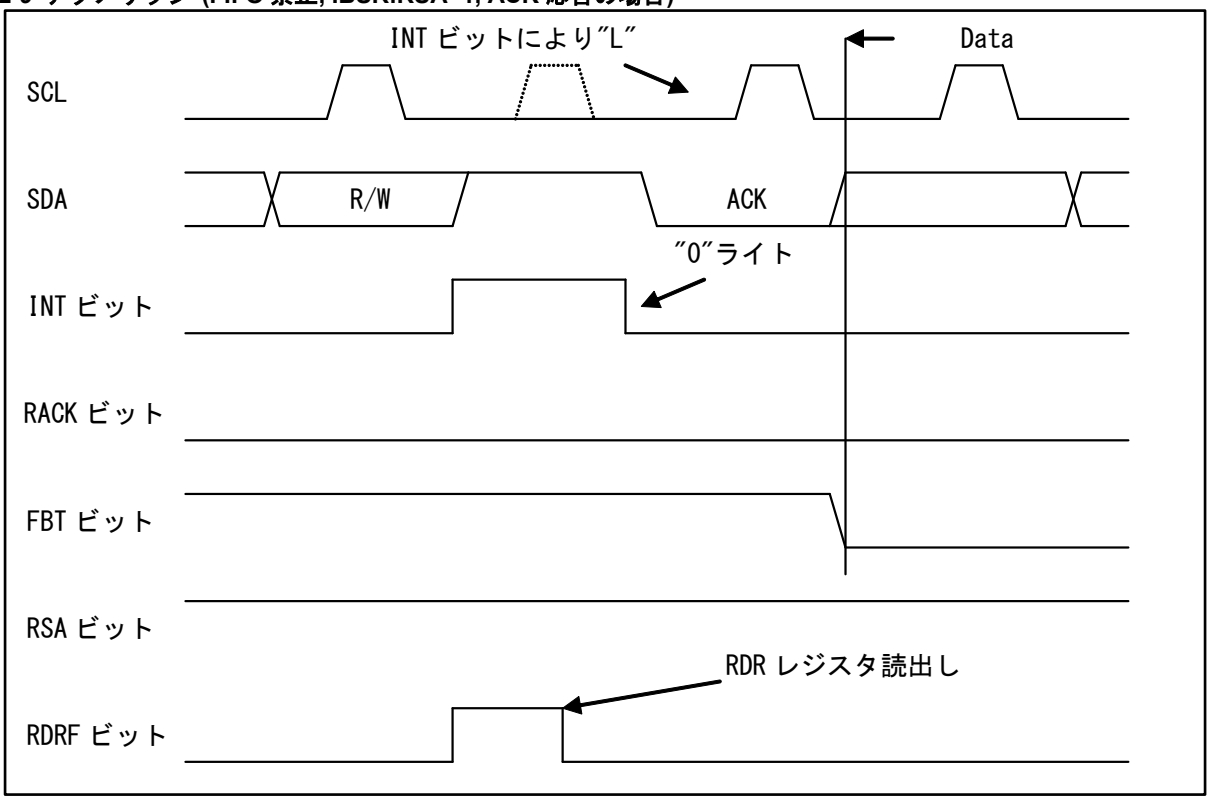


Figure 2-10 アクノリッジ (FIFO 禁止, IBSR:RSA=1, NACK 応答の場合)

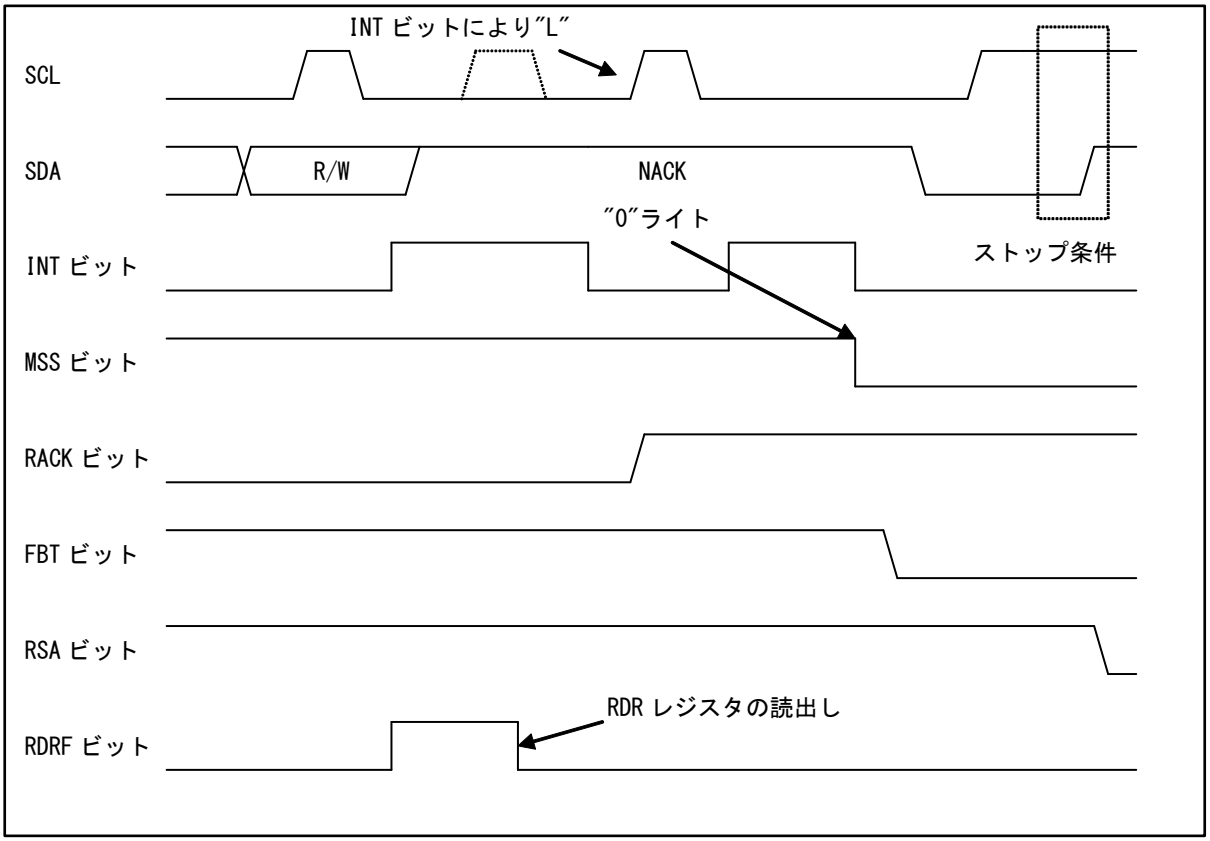
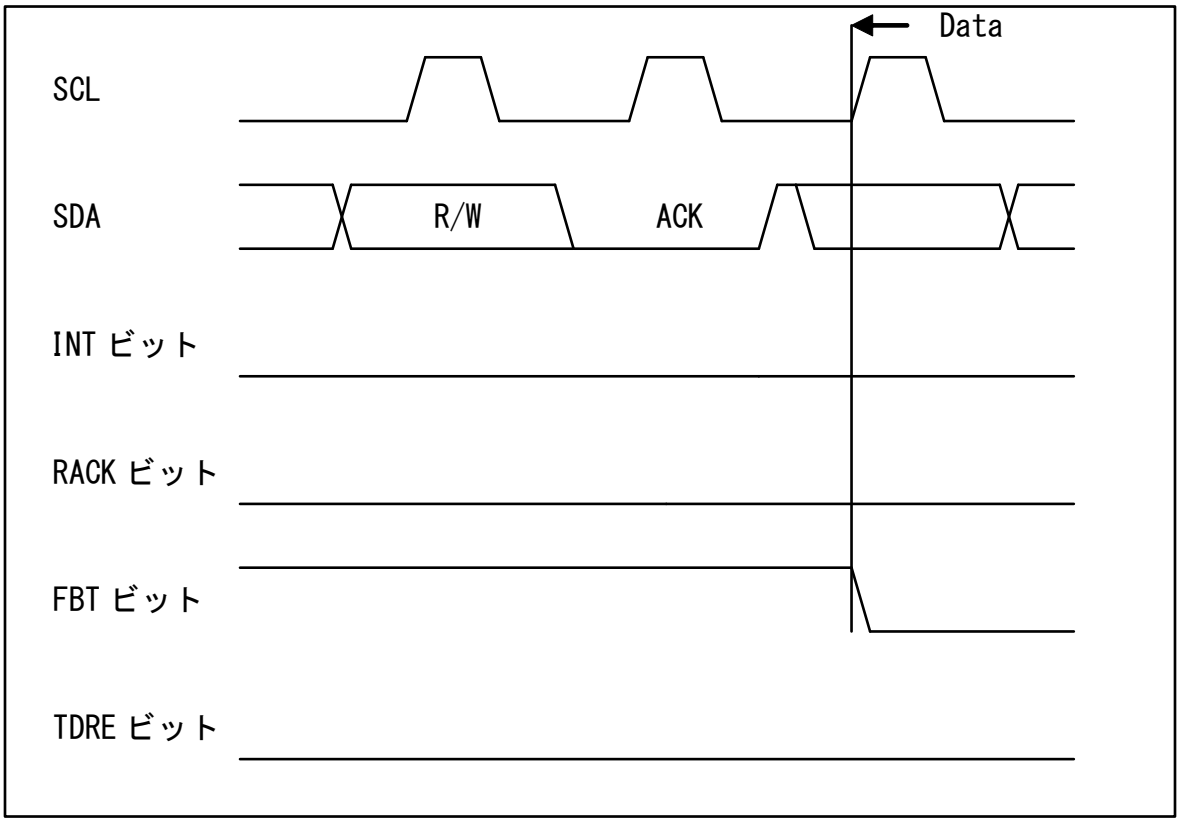


Figure 2-11 アクノリッジ (FIFO 許可，送信 FIFO データあり，受信 FIFO データなし, IBSR:RSA=0, ACK 応答の場合)



マスタによるデータ送信

データ方向ビット(R/W)が"0"の場合、データはマスタから送信します。1 バイト送信ごとにスレーブから ACK または NACK の応答があります。

IBCR:WSEL ビットの設定によってウェイトの発生する場所を以下に示します。

Table 2-4 DMA モード禁止時 (SSR:DMA=0)のマスタデータ送信時の IBCR:WSEL ビット

WSEL ビット	動作
0	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが 1 またはアービトレーションロスト検出でアクノリッジ後、割込みフラグ(IBCR:INT)を 1、SCL を L にしてウェイト状態にします。 <FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにアクノリッジ後割込みフラグ(IBCR:INT)を 1 にしてウェイト状態にします。
1	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが 1 またはアービトレーションロスト検出でマスタが 1 バイトのデータを送信後、割込みフラグ(IBCR:INT)を 1、SCL を L にしてウェイト状態にします。 <FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにデータ送信後、割込みフラグ(IBCR:INT)を 1 にしてウェイト状態にします。

Table 2-5 DMA モード許可時 (SSR:DMA=1)のマスタデータ送信時の IBCR:WSEL ビット

WSEL ビット	動作
0	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが 1 でアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を 1、SCL を L にしてウェイト状態にします。 <FIFO 使用時> 送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を 1 にしてウェイト状態にします。
1	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが 1 でマスタが 1 バイトのデータを送信後、送信バスアイドルフラグ(SSR:TBI)を 1、SCL を L にしてウェイト状態にします。 <FIFO 使用時> 送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにマスタが 1 バイトのデータを送信後、送信バスアイドルフラグ(SSR:TBI)を 1 にしてウェイト状態にします。

ただし、以下の場合、IBCR:WSEL の設定に依存せずにアクノリッジ後に割込みフラグ(IBCR:INT)をセットします。

- ストップ条件設定(IBCR:MSS=0, ACT=1)時以外に NACK を受信した場合

スレーブへデータを送信する場合の手順の一例を以下に示します。

■ DMA モード禁止時(SSR:DMA=0)のスレーブへのデータ送信

1. 予約アドレス以外への送信の場合

- 送信 FIFO が禁止されている場合

  1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに 1 を書きます。
  2. Slave Address 送信後 ACK を受信し、割込みフラグ(IBCR:INT)が 1 に設定されます。
  3. TDR レジスタに送信するデータを書きます。
  4. IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に 0 を書き込み、I^2C バスのウェイトを解除します。
  5. 1 バイト送信後 IBCR:WSEL=0 の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを 1 にして I^2C バスをウェイトします。所定のデータ数を送信するまで 3.～5.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し、バスをウェイトします。
  6. IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を設定し、ストップ条件または反復スタート条件を発生させます。

- 送信 FIFO が許可されている場合

  1. Slave Address(データ方向ビットも含む)、送信データを TDR レジスタに書きます。
  2. IBCR:WSEL ビット設定と共に IBCR:MSS ビットに 1 を書きます。
  3. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にし I^2C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグを 1 にして I^2C バスをウェイトします。
  4. IBCR:MSS ビットに 0 または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

2. 予約アドレスへの送信の場合

□ 送信 FIFO が禁止されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに 1 を書きます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が 1 に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに送信するデータを書きます。
5. IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に 0 を書き込み、I²C バスのウェイトを解除します。
6. 1 バイト送信後 IBCR:WSEL=0 の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを 1 にして I²C バスをウェイトします。所定のデータ数を送信するまで 4.～6.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し、バスをウェイトします。
7. IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を設定し、ストップ条件または反復スタート条件を発生させます。

□ 送信 FIFO が許可されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに 1 を書きます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が 1 に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに全送信データ(送信 FIFO がフルとなる場合にはその状態になるまで)を書きます。
5. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を 1 にし I²C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグを 1 にして I²C バスをウェイトします。
6. IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を設定し、ストップ条件または反復スタート条件を発生させます。

*1: 以下のどちらかの条件を満たす場合、IBCR:ACKE ビットを 1, IBCR:WSEL ビットを 1 にして次のデータでマスタとして動作するのか、スレーブとして動作するのか確認する必要があります。

- マルチマスタで予約アドレスがゼネラルコールの場合
- アービトレーションロストが発生してスレーブとして動作する可能性がある場合

■ DMA モード許可時(SSR:DMA=1)のスレーブへのデータ送信

1. 予約アドレス以外への送信の場合

□ 送信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに 1 を書きます。
2. Slave Address 送信後 ACK を受信し、送信バスアイドルフラグ(SSR:TBI)が 1 に設定されます。
3. TDR レジスタに送信するデータを書き込み、I²C バスのウェイトを解除します。
4. 1 バイト送信後 IBCR:WSEL=0 の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグ(SSR:TBI)を 1 にして I²C バスをウェイトします。
5. TDR レジスタに送信するデータを書き込み、I²C バスのウェイトを解除します。
6. 1 バイト送信後 IBCR:WSEL=0 の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを 1 にして I²C バスをウェイトします。所定のデータ数を送信するまで 5.～6.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が 1 になり、バスをウェイトします。
7. IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を設定(*2)し、ストップ条件または反復スタート条件を発生させます。

□ 送信 FIFO が許可されている場合

1. Slave Address(データ方向ビットも含む)、送信データを TDR レジスタに書き込みます。
2. IBCR:WSEL ビット設定と共に IBCR:MSS ビットに 1 を書きます。
3. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を 1 にし I²C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって送信バスアイドルフラグ(SSR:TBI)を 1 にして I²C バスをウェイトします。
4. IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を設定(*2)し、ストップ条件または反復スタート条件を発生させます。

2. 予約アドレスへの送信の場合

□ 送信 FIFO が禁止されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに 1 を書き込みます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が 1 に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに送信するデータを書き込みます。
5. IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に 0 を書き込み、I²C バスのウェイトを解除します。
6. 1 バイト送信後 IBCR:WSEL=0 の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを 1 にして I²C バスをウェイトします。
7. TDR レジスタに送信するデータを書き込み、I²C バスのウェイトを解除します。
8. 1 バイト送信後 IBCR:WSEL=0 の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを 1 にして I²C バスをウェイトします。所定のデータ数を送信するまで 7.～8.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が 1 になり、バスをウェイトします。
9. IBCR:MSS ビットに"0"または IBCR:SCC ビットに 1 を設定(*2)し、ストップ条件または反復スタート条件を発生させます。

•

□ 送信 FIFO が許可されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに 1 を書き込みます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が 1 に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに全送信データ(送信 FIFO がフルとなる場合にはその状態になるまで)を書き込みます。
5. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を 1 にし I²C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を 1 にして I²C バスをウェイトします。
6. IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を設定(*2)し、ストップ条件または反復スタート条件を発生させます。

*1:以下のどちらかの条件を満たす場合、IBCR:ACKE ビットを 1, IBCR:WSEL ビットを 1 にして次のデータでマスタとして動作するのか、スレーブとして動作するのか確認してください。

- マルチマスタで予約アドレスがゼネラルコールの場合
- アービトレーションロストが発生してスレーブとして動作する可能性がある場合

*2:DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが 1 で IBCR:INT ビットが 0 のときに反復スタート条件を発行する場合は、以下の手順を行ってください。

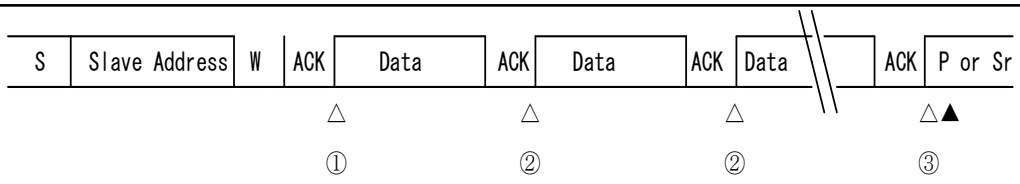
1. IBCR:INT ビットに 1 を書き込んでください。

2. IBCR:INT ビットが 1 に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. IBCR:SCC ビットに 1 を設定してください。

＜注意事項＞

- *7 ビットスレーブアドレスの検出を許可しているとき(ISBA:SAEN=1)にマスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。*
- *送受信中に IBCR レジスタを変更する場合、割込みフラグ(IBCR:INT)が 1 のときに変更してください。*
- *IBCR:WSEL ビットを変更した場合、次のデータの割込みフラグ(IBCR:INT)およびDMA モードが許可時(SSR:DMA=1)での送信バスアイドルフラグ(SSR:TBI)の発生条件に使用されます。*
- *データ送信中で SSR:TDRE が 1 のときに TDR レジスタへ送信データを書き込み、ACK 応答を検出した場合、以下のように動作します。*
- *DMA モード禁止時(SSR:DMA=0)*
  割込みフラグ(IBCR:INT)は 1 にならずにその書き込まれたデータが送信されます。
- *DMA モード許可時(SSR:DMA=1)*
  送信バスアイドルフラグ(SSR:TBI)は 1 にならずにその書き込まれたデータが送信されます。
- *データ受信中に SSR:TDRE が 1 のときに TDR レジスタへ送信データを書き込み、ACK 応答した場合、以下のように動作します。*
- *DMA モード禁止時(SSR:DMA=0)*
  割込みフラグ(IBCR:INT)は 1 にならずに SSR:RDRF のみ 1 に設定されます(受信 FIFO 許可の場合、FBYTE レジスタの設定分受信した場合)。
- *DMA モード許可時(SSR:DMA=1)*
  送信バスアイドルフラグ(SSR:TBI)は 1 にならずに SSR:RDRF のみ 1 に設定されます(受信 FIFO 許可の場合、FBYTE レジスタの設定分受信した場合)。

Figure 2-12 FIFO 禁止によるマスタ送信の割込み 1 (SSR:DMA=0, IBCR:WSEL=0, IBSR:RSA=0)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データ書込み後、INT="0"書込み

② 1 バイト送信＋アクノリッジ受信により、割込み発生

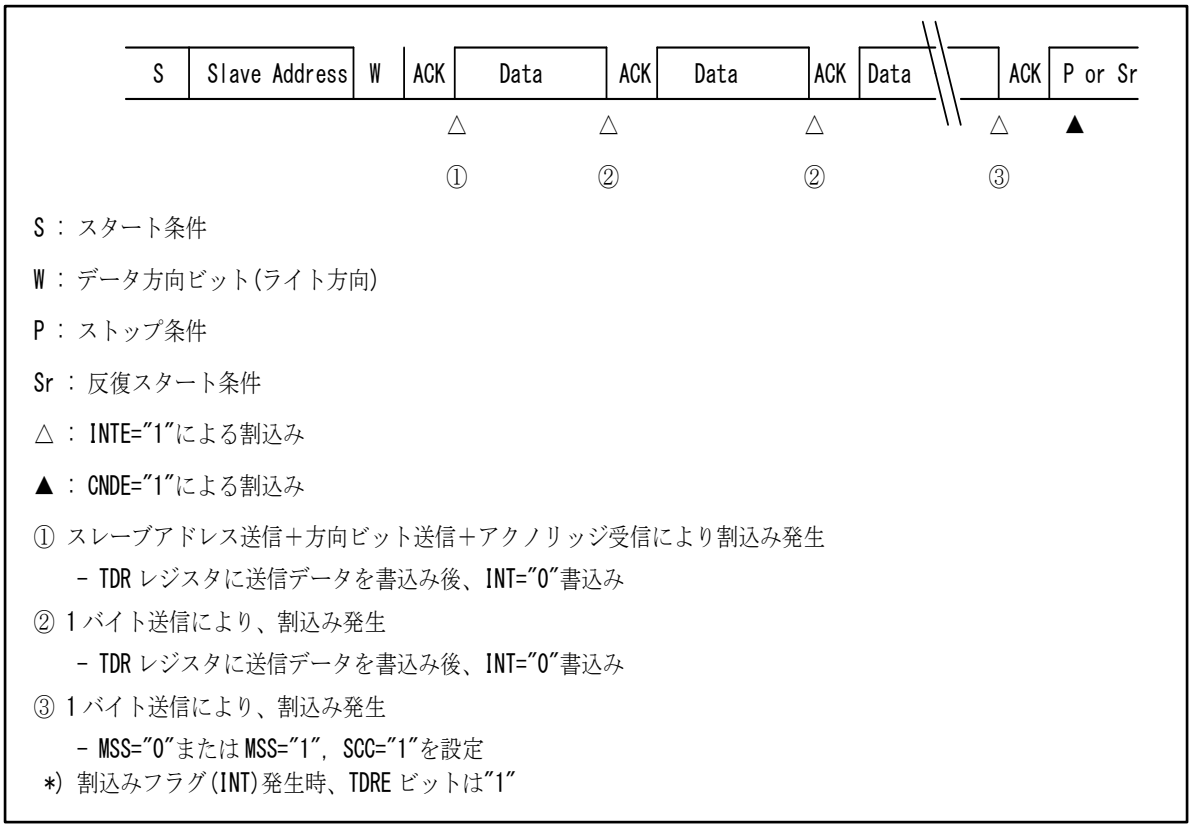
- TDR レジスタに送信データ書込み後、INT="0"書込み

③ 1 バイト送信＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-13 FIFO 禁止によるマスタ送信の割込み 2 (SSR:DMA=0, IBCR:WSEL=1, IBSR:RSA=0, ACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生

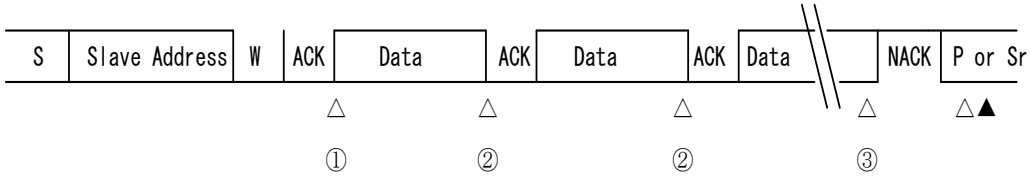
- TDR レジスタに送信データを書込み後、INT="0"書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-14 FIFO 禁止によるマスタ送信の割込み 3 (SSR:DMA=0, IBCR:WSEL=1, IBSR:RSA=0, NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-15 FIFO 禁止によるマスタ送信の割込み 4 (SSR:DMA=0, IBCR:WSEL=1, IBSR:RSA=0, 途中 NACK 応答)

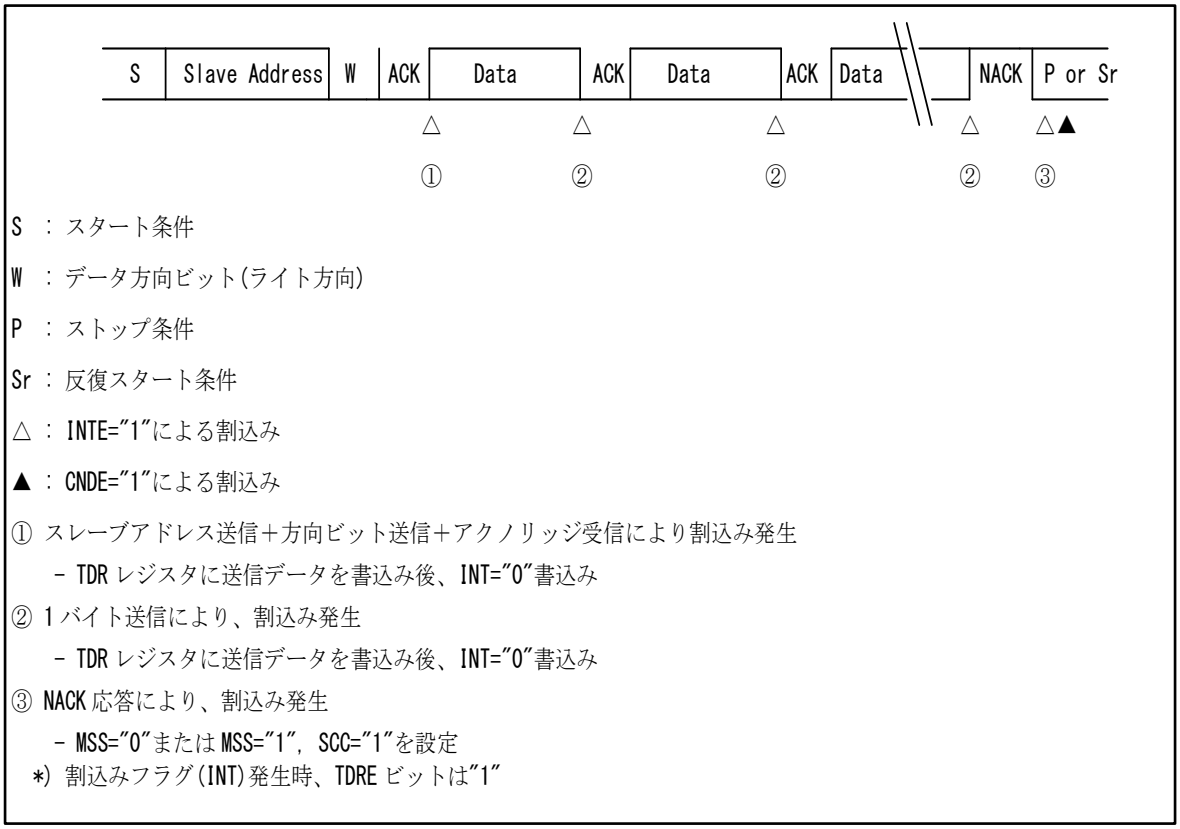
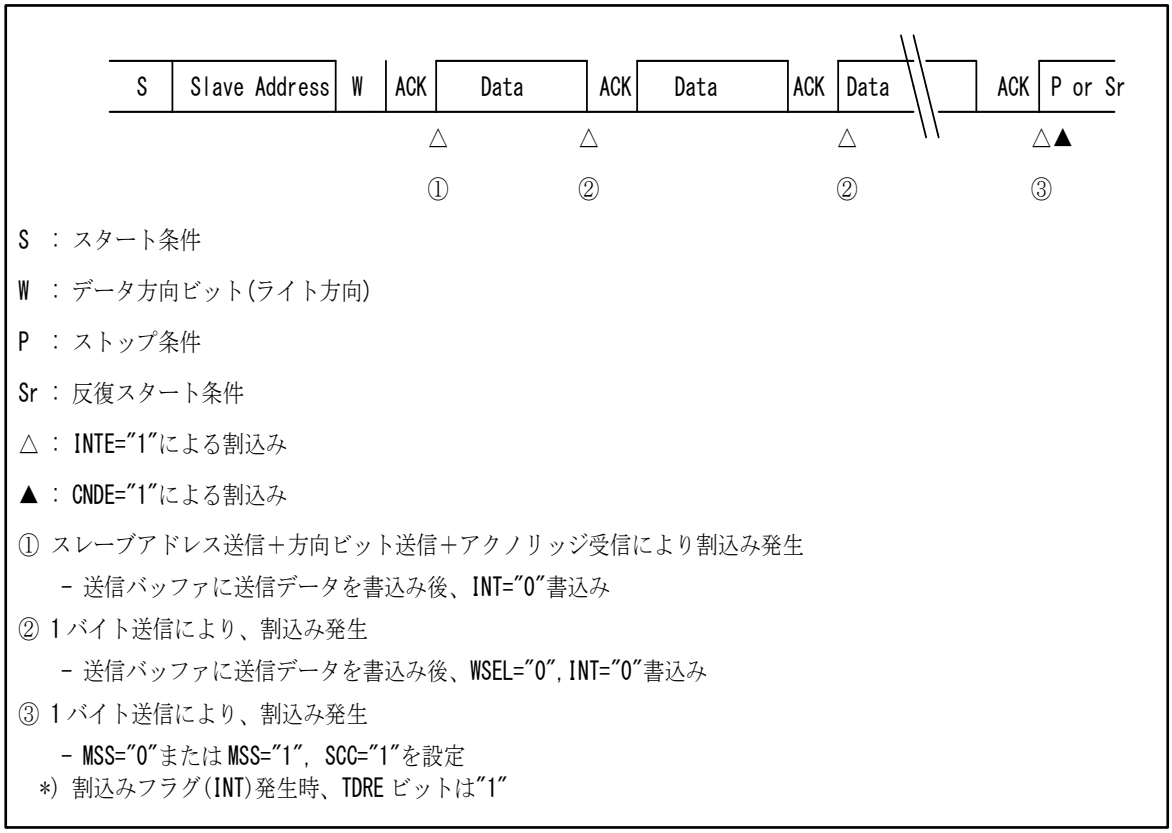


Figure 2-16 FIFO 禁止によるマスタ送信の割込み 5 (SSR:DMA=0, IBCR:WSEL=1->0, IBSR:RSA=0, ACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- 送信バッファに送信データを書込み後、INT="0"書込み

② 1バイト送信により、割込み発生

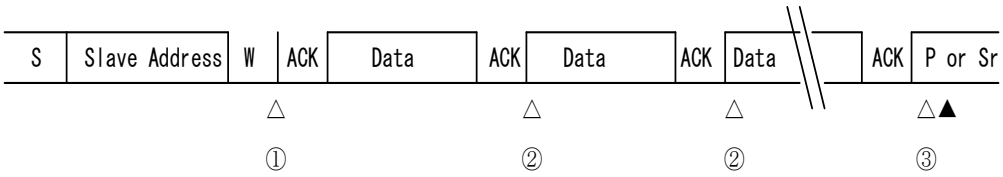
- 送信バッファに送信データを書込み後、WSEL="0",INT="0"書込み

③ 1バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-17 FIFO 禁止によるマスタ送信の割込み 6 (SSR:DMA=0, IBCR:WSEL=0, IBSR:RSA=1)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス(予約アドレス)送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信＋アクノリッジ受信により、割込み発生

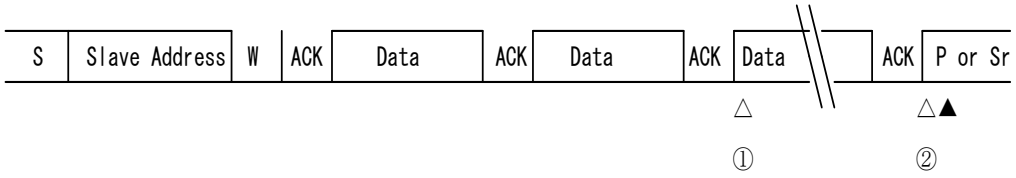
- TDR レジスタに送信データを書込み後、INT="0"書込み

③ 1 バイト送信＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-18 FIFO 許可によるマスタ送信の割込み 7 (SSR:DMA=0, IBCR:WSEL=0, IBSR:RSA=0, ACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

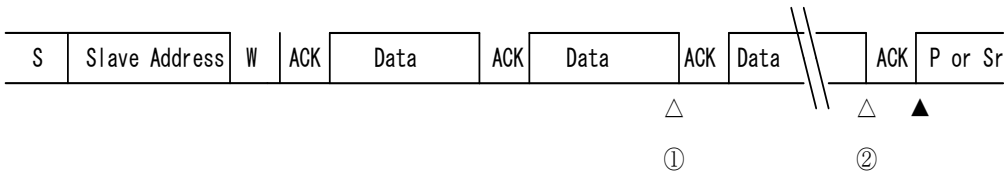
① 送信 FIFO がエンプティにより割込み発生

- 送信 FIFO に送信データを書込み後、INT="0"書込み

② 最終バイト送信(送信 FIFO がエンプティ)＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

Figure 2-19 FIFO 許可によるマスタ送信の割込み 8 (SSR:DMA=0, IBCR:WSEL=1, IBSR:RSA=0)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

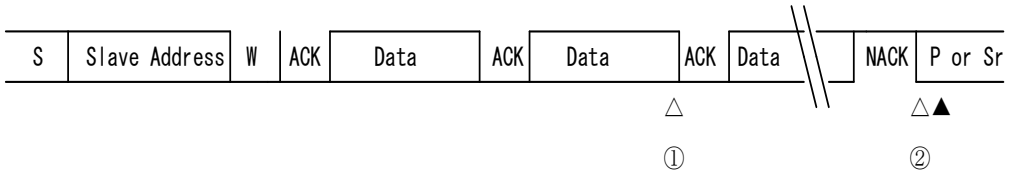
① 送信 FIFO がエンプティにより、割込み発生

- 送信 FIFO に送信データを書込み後、INT="0"書込み

② 最終バイト送信(送信 FIFO がエンプティ)により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

Figure 2-20 FIFO 許可によるマスタ送信の割込み 9 (SSR:DMA=0, IBCR:WSEL=1, IBSR:RSA=0, NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

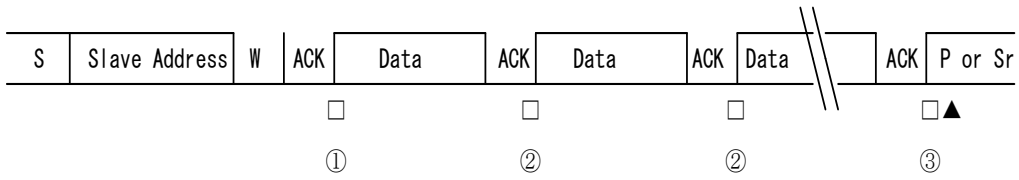
① 送信 FIFO がエンプティにより、割込み発生

- 送信 FIFO に送信データを書込み後、INT="0"書込み

② NACK 応答により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

Figure 2-21 FIFO 禁止によるマスタ送信の割込み 10 (SSR:DMA=1, IBCR:WSEL=0, IBSR:RSA=0)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

▲ ： CNDE="1"による割込み

□ ： TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データ書込み

② 1 バイト送信＋アクノリッジ受信により、割込み発生

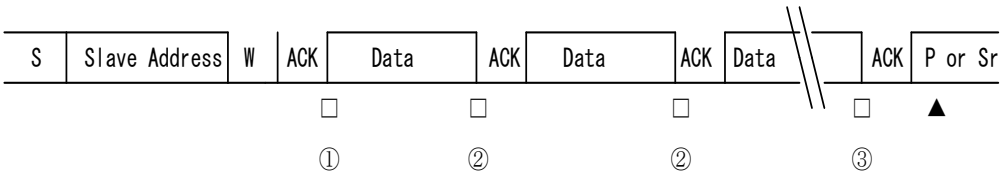
- TDR レジスタに送信データ書込み

③ 1 バイト送信＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(TBI)発生時、TDRE ビットは"1"

Figure 2-22 FIFO 禁止によるマスタ送信の割込み 11 (SSR:DMA=1, IBCR:WSEL=1, IBSR:RSA=0, ACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み

② 1 バイト送信により、割込み発生

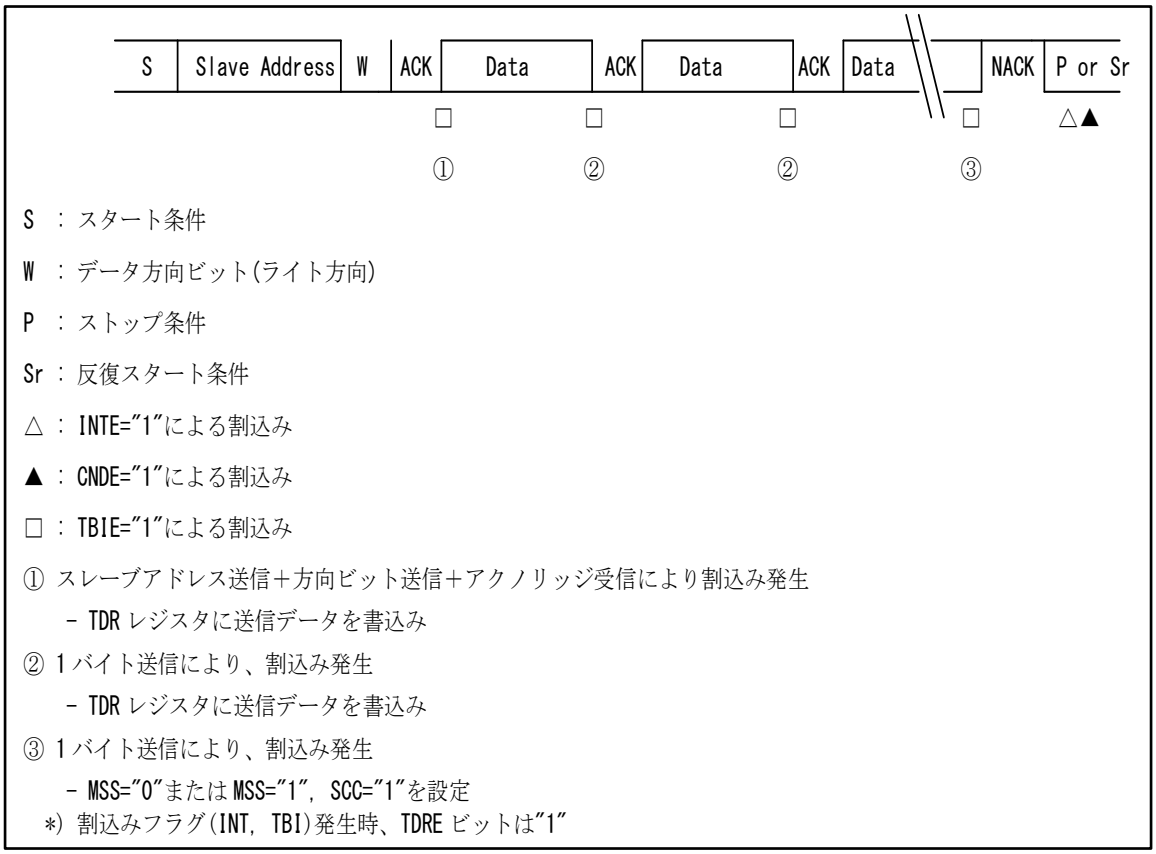
- TDR レジスタに送信データを書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-23 FIFO 禁止によるマスタ送信の割込み 12 (SSR:DMA=1, IBCR:WSEL=1, IBSR:RSA=0, NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

□ ： TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み

② 1 バイト送信により、割込み発生

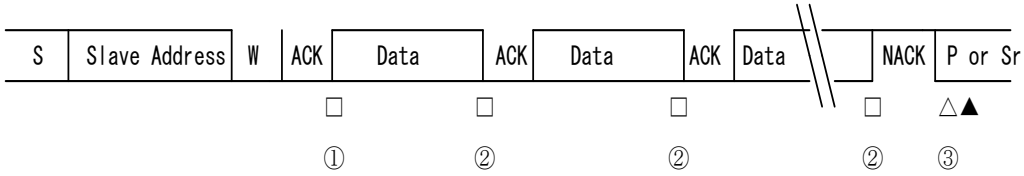
- TDR レジスタに送信データを書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT, TBI)発生時、TDRE ビットは"1"

Figure 2-24 FIFO 禁止によるマスタ送信の割込み 13 (SSR:DMA=1, IBCR:WSEL=1, IBSR:RSA=0, 途中 NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

□ ： TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み

② 1 バイト送信により、割込み発生

- TDR レジスタに送信データを書込み

③ NACK 応答により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT, TBI)発生時、TDRE ビットは"1"

Figure 2-25 FIFO 禁止によるマスタ送信の割込み 14 (SSR:DMA=1, IBCR:WSEL=1->0, IBSR:RSA=0, ACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

▲ ： CNDE="1"による割込み

□ ： TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- 送信バッファに送信データを書込み

② 1バイト送信により、割込み発生

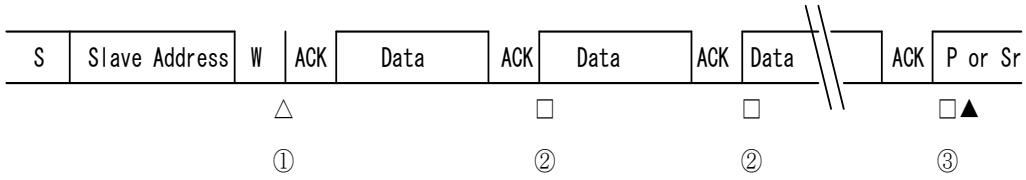
- WSEL="0"書込み後、送信バッファに送信データを書込み

③ 1バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(TBIE)発生時、TDRE ビットは"1"

Figure 2-26 FIFO 禁止によるマスタ送信の割込み 15 (SSR:DMA=1, IBCR:WSEL=0, IBSR:RSA=1)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス(予約アドレス)送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信＋アクノリッジ受信により、割込み発生

- TDR レジスタに送信データを書込み

③ 1 バイト送信＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT、TBI)発生時、TDRE ビットは"1"

Figure 2-27 FIFO 許可によるマスタ送信の割込み 16 (SSR:DMA=1, IBCR:WSEL=0, IBSR:RSA=0, ACK 応答)

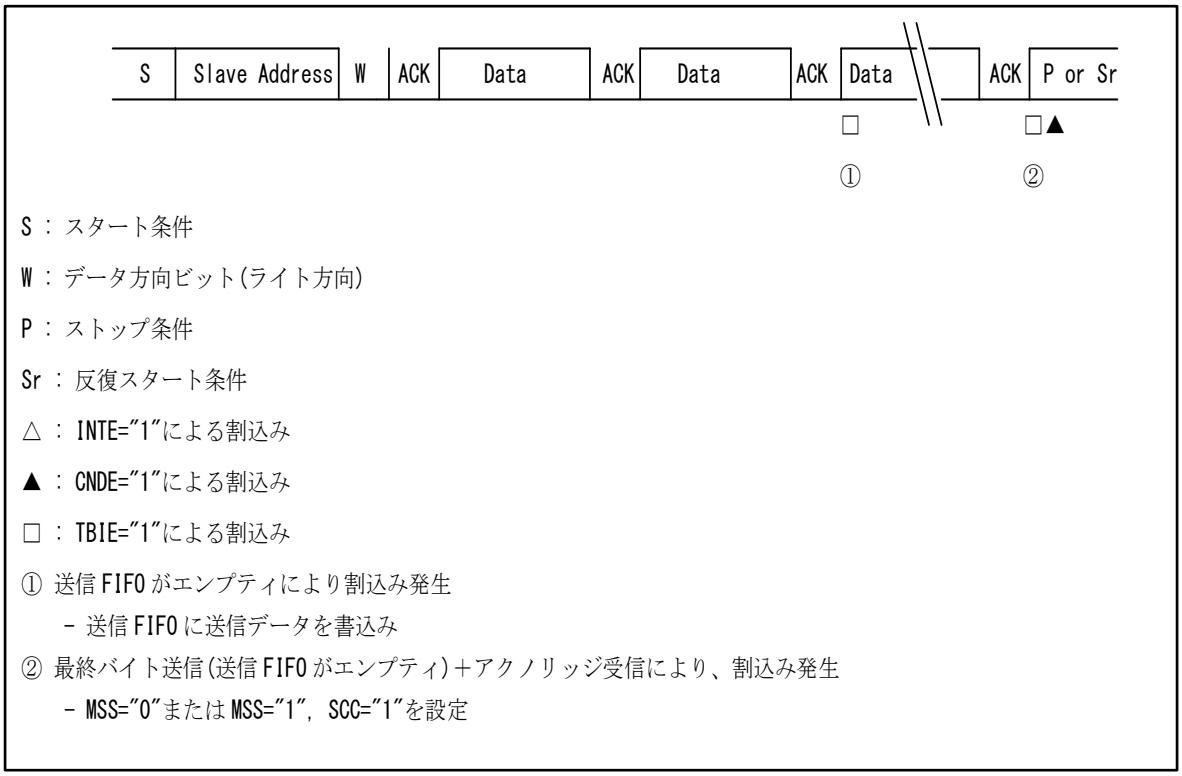
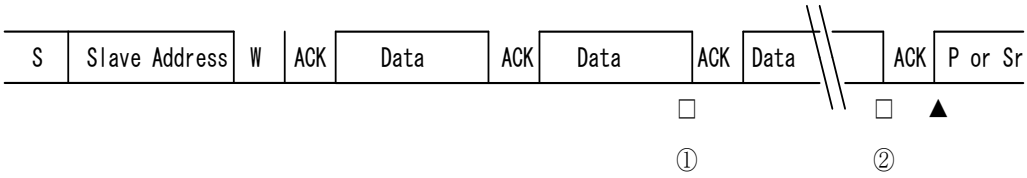


Figure 2-28 FIFO 許可によるマスタ送信の割込み 17 (SSR:DMA=1, IBCR:WSEL=1, IBSR:RSA=0)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

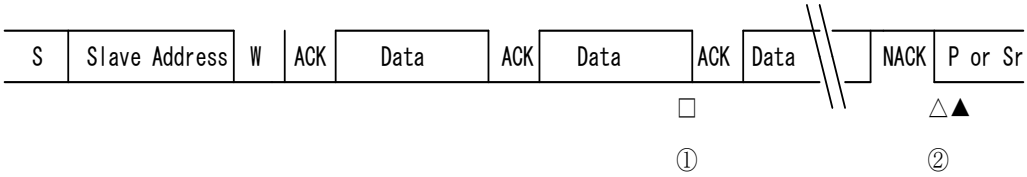
① 送信 FIFO がエンプティにより、割込み発生

- 送信 FIFO に送信データを書込み

② 最終バイト送信(送信 FIFO がエンプティ)により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

Figure 2-29 FIFO 許可によるマスタ送信の割込み 18 (SSR:DMA=1, IBCR:WSEL=1, IBSR:RSA=0, NACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TDRE="1"による割込み

① 送信 FIFO がエンプティにより、割込み発生

- 送信 FIFO に送信データを書込み

② NACK 応答により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

マスタによるデータ受信

■ DMA モードが禁止の場合(SSR:DMA=0)

データ方向ビット(R/W)が 1 の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは以下のように動作します。

- SSR:TDRE ビットが 1 の場合、1 バイト受信ごとにウェイトを発生(IBCR:INT=1, SSR:RDRF=1)します。このとき、IBCR:WSEL ビットが 1 の場合、ウェイト前、IBCR:WSEL ビットが 0 の場合、ウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
- SSR:TDRE ビットが 0 の場合、IBCR レジスタの ACKE ビットの設定で ACK 応答の場合、ウェイトは発生せず(IBCR:INT=0)に次のデータを受信し、NACK 応答の場合、ウェイトが発生します(IBCR:INT=1)。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信したとき、SSR:RDRF ビットが 1 に設定されます。割込みフラグは SSR:TDRE ビットが 1 のときに 1 に設定され、I²C バスをウェイトします。このとき、アクノリッジは以下のように動作します。なお、NACK 出力した場合でも受信データとして受信 FIFO に格納します。

- IBCR:WSEL=0 の場合、SSR:TDRE ビットが 1 になると ACKE ビットの設定で NACK の場合 NACK 応答します。
- IBCR:WSEL=1 の場合、最終バイト受信後に割込みフラグを 1 に設定され、ウェイトが発生します。そのウェイト中に IBCR:ACKE ビットを設定し、割込みフラグを 0 にクリアした後、IBCR:ACKE の設定にしたがって ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

Table 2-6 DMA モードが禁止時 (SSR:DMA=0) のマスタデータ受信時の IBCR:WSEL ビット

WSEL ビット	動作
0	第 2 バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、割込みフラグ(IBCR:INT)を 1、SCL を L にしてウェイト状態にします。
1	第 2 バイト以降、SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを受信後、割込みフラグ(IBCR:INT)を 1、SCL を L にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

- 受信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに 1 を書き込みます。
2. Slave Address 送信後 ACK を受信し、割込みフラグ(IBCR:INT)が 1 に設定されます。
3. IBCR:WSEL ビット更新と共に割込みフラグビット(IBCR:INT)に 0 を書き込み、I²C バスのウェイトを解除します。
4. 1 バイト受信後 IBCR:WSEL=0 の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直後割込みフラグを 1 にして I²C バスをウェイトします。所定のデータ数を受信するまで 3.～4.を繰り返します。
5. 最終データ受信後、NACK を出力し、IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を設定し、ストップ条件または反復スタート条件を発生させます。

- 送受信 FIFO が許可されている場合
  1. FBYTE レジスタに受信数を設定します。
  2. Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書き込みます。
  3. IBCR:MSS ビットに 1 を書き込みます。
  4. SSR:TDRE ビットが 0 の間、ACK 応答し、受信し続けます。その受信中に FBYTE に設定数分受信した場合、SSR:RDRF を 1 にします。SSR:RDRF が"1"になったところで RDR レジスタを読み出します。
  5. SSR:TDRE ビットが 1 になると IBCR:WSEL=0 の場合 NACK 出力後、IBCR:WSEL=1 の場合 1 バイト受信直後割込みフラグを 1 にして I^2C バスをウェイトします。
  6. IBCR:WSEL=1 の場合、IBCR:ACKE ビットを 0 に設定し、IBCR:WSEL=0 の場合 IBCR:ACKE ビットの設定は必要なく、IBCR:MSS ビットに 0 または IBCR:SCC ビットに 1 を設定し、ストップ条件または反復スタート条件を発生させます。

■ DMA モードが許可の場合(SSR:DMA=1)

データ方向ビット(R/W)が 1 の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは以下のように動作します。

- SSR:TDRE ビットが 1 の場合、1 バイト受信ごとにウェイトを発生(SSR:TBI=1, SSR:RDRF=1)します。このとき、IBCR:WSEL ビットが 1 の場合、ウェイト前、IBCR:WSEL ビットが 0 の場合、ウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
- SSR:TDRE ビットが 0 の場合、1 バイト受信ごとにウェイトを発生(SSR:RDRF=1)します。このとき、IBCR:WSEL ビットが 1 の場合、ウェイト前、IBCR:WSEL ビットが 0 の場合、ウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信したとき、SSR:RDRF ビットがセットされます。送信バスアイドルフラグ(SSR:TBI)は SSR:TDRE ビットが 1 のときに設定し、I^2C バスをウェイトします。このとき、アクノリッジは以下のように動作します。なお、NACK 出力した場合でも受信データとして受信 FIFO に格納します。

- IBCR:WSEL=0 の場合、SSR:TDRE ビットが 1 になると ACKE ビットの設定で NACK の場合、NACK 応答します。
- IBCR:WSEL=1 の場合、最終バイト受信後ウェイト(SSR:TBI=1)が発生するためそのウェイト中に IBCR:ACKE ビットを設定し、送信バスアイドルフラグ(SSR:TBI)をクリア後、IBCR:ACKE の設定にしたがって ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

Table 2-7 DMA モードが許可時 (SSR:DMA=1) のマスタデータ受信時の IBCR:WSEL ビット

WSEL ビット	動作
0	第 2 バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を 1、SCL を L にしてウェイト状態にします。 第 2 バイト以降、受信 FIFO 未使用時にアクノリッジ後に受信データフルフラグ(SSR:RDRF)が 1 セットされている場合、SCL を L にしてウェイト状態にします。
1	第 2 バイト以降、SSR:TDRE ビットが 1 でマスタが 1 バイトのデータを受信後、割込みフラグ(SSR:TBI)を 1、SCL を L にしてウェイト状態にします。 第 2 バイト以降、受信 FIFO 未使用時に受信データフルフラグ(SSR:RDRF)が 1 に設定されるとデータ受信後、SCL を L にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

□ 受信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに 1 を書き込みます。
2. Slave Address 送信後 ACK を受信し、送信バスアイドルフラグ(SSR:TBI)が 1 に設定されます。
3. TDR レジスタに送信するデータを書き込み、I²C バスのウェイトを解除します。
4. 1 バイト受信後、以下の条件で送信バスアイドルフラグ(SSR:TBI)および受信データフルフラグ(SSR:RDRF)(*2)を 1 にして I²C バスをウェイトします。
   - IBCR:WSEL=0 の場合アクノリッジ送信後
   - IBCR:WSEL=1 の場合 1 バイト受信直後
5. IBCR:WSEL ビット更新し、RDR レジスタを読み出し、ダミーのデータを TDR レジスタに書き込みます。
6. 1 バイト受信後、以下の条件で送信バスアイドルフラグ(SSR:TBI)および受信データフルフラグ(SSR:RDRF)(*2)を"1" にして I²C バスをウェイトします。
   - IBCR:WSEL=0 の場合アクノリッジ送信後
   - IBCR:WSEL=1 の場合 1 バイト受信直後

   所定のデータ数を受信するまで 5.～6.を繰り返します。
7. 最終データ受信後、NACK を出力し、IBCR:MSS ビットに 0 または IBCR:SCC(*1)ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

□ 送受信 FIFO が許可されている場合

1. FBYTE レジスタに受信数を設定します。
2. Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書き込みます。
3. IBCR:WSEL=0 の場合は ACKE ビットの設定で NACK にし、IBCR:MSS ビットに 1 を書き込みます。
4. SSR:TDRE ビットが 0 の間、ACK 応答し、受信し続けます。その受信中に FBYTE に設定数分受信した場合、SSR:RDRF を 1 にします。SSR:RDRF が"1"になったところで RDR レジスタを読み出します。
5. SSR:TDRE ビットが 1 になると IBCR:WSEL=0 の場合 NACK 出力後割込みフラグを 1 にして I²C バスをウェイトします。IBCR:WSEL=1 の場合 1 バイト受信直後送信バスアイドルフラグ(SSR:TBI)を"1"にして I²C バスをウェイトします。
6. IBCR:WSEL=1 の場合、IBCR:ACKE ビットを 0 に設定し、IBCR:WSEL=0 の場合 IBCR:ACKE ビットの設定は必要なく、IBCR:MSS ビットに 0 または IBCR:SCC(*1)ビットに 1 を設定し、ストップ条件または反復スタート条件を発生させます。

*1:DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが 1 で IBCR:INT ビットが 0 のときに反復スタート条件を発行する場合は、以下の手順を行ってください。

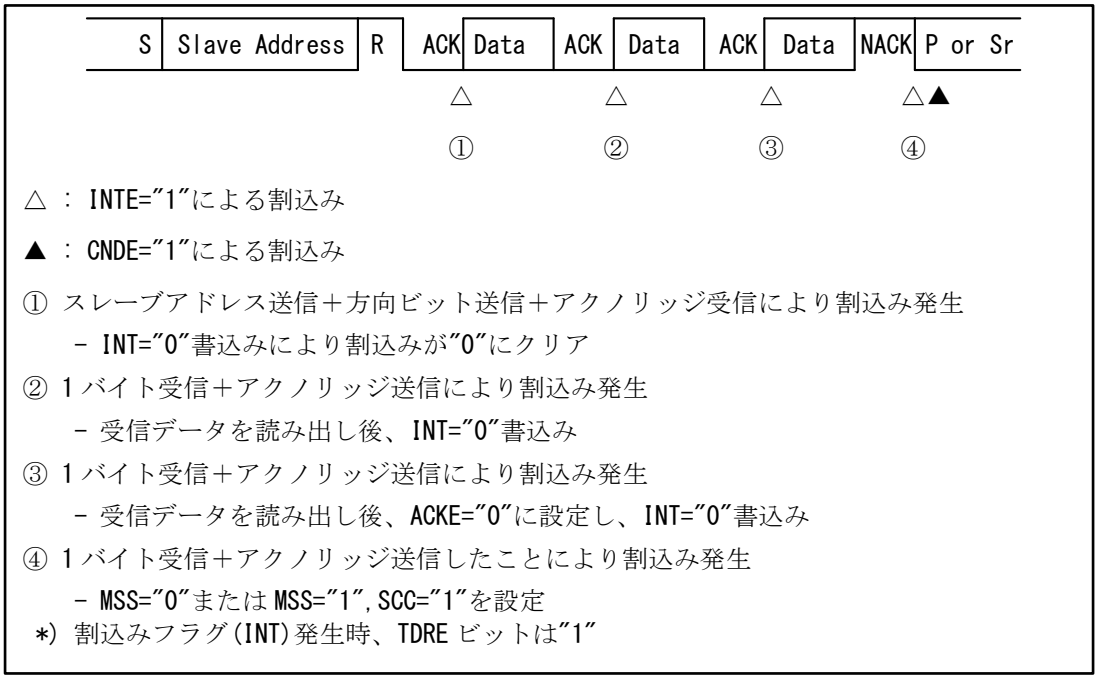
1. IBCR:INT ビットに 1 を書き込んでください。
2. IBCR:INT ビットが 1 に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. IBCR:SCC ビットに 1 を設定してください。

*2:IBCR:WSEL の設定に関係なく 1 バイト受信直後に受信データフルフラグ(SSR:RDRF)は"1"に設定されます。第 2 バイト以降で受信データフルフラグ(SSR:RDRF)が 1 に設定されているとき、IBCR:WSEL=0 の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直後に I²C バスをウェイトします。

＜注意事項＞

- *7 ビットスレーブアドレスの検出を許可しているとき(ISBA:SAEN=1)にマスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。*
- *SSR:TDRE が 0 のとき、オーバランエラーが発生しても IBCR:ACKE ビットの設定にしたがってアクノリッジを出力し、次の処理を行います。*
- *送受信中に IBCR レジスタを変更する場合、割込みフラグ(IBCR:INT)が 1 または DMA モードが許可時(SSR:DMA=1)は送信バスアイドルフラグ(SSR:TBI=1)が 1 のときに変更してください。*
- *DMA モードが禁止(SSR:DMA=0) でマスタ受信時、TDR レジスタにダミーデータを書き込み、割込みフラグ(IBCR:INT)が 1 になるタイミングで SSR:TDRE ビットが 0 の場合、割込みフラグ(IBCR:INT)は 0 のままで次のデータを受信します。*
- *DMA モードが許可(SSR:DMA=1) でマスタ受信時、TDR レジスタにダミーデータを書き込み、送信バスアイドルフラグ(SSR:TBI)が 1 になるタイミングで SSR:TDRE ビットが 0 の場合、送信バスアイドルフラグ(SSR:TBI)は 0 のままで次のデータを受信します。*
- *受信 FIFO が許可、IBCR:WSEL=0 のときにデータを受信する場合、最終ビット受信後 SSR:RDRF ビットが 1 に設定され、ACK 送信後割込みフラグ(IBCR:INT)が 1 に設定されます。*

Figure 2-30 FIFO 禁止によるマスタ受信の割込み 1 (SSR:DMA=0, IBCR:WSEL=0, IBSR:RSA=0)



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
- INT="0"書込みにより割込みが"0"にクリア

② 1 バイト受信＋アクノリッジ送信により割込み発生
- 受信データを読み出し後、INT="0"書込み

③ 1 バイト受信＋アクノリッジ送信により割込み発生
- 受信データを読み出し後、ACKE="0"に設定し、INT="0"書込み

④ 1 バイト受信＋アクノリッジ送信したことにより割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-31 FIFO 禁止によるマスタ受信の割込み 2 (SSR:DMA=0, IBCR:WSEL=1, IBSR:RSA=0)



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
- INT="0"書込みにより割込みが"0"にクリア

② 1 バイト受信により割込み発生
- 受信データを読み出し後、INT="0"書込み

③ 1 バイト受信により割込み発生
- 受信データを読み出し後、ACKE="0"に設定し、MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

Figure 2-32 FIFO 許可によるマスタ受信の割込み 3 (SSR:DMA=0, IBCR:WSEL=0, IBCR:ACKE=0, IBSR:RSA=0)

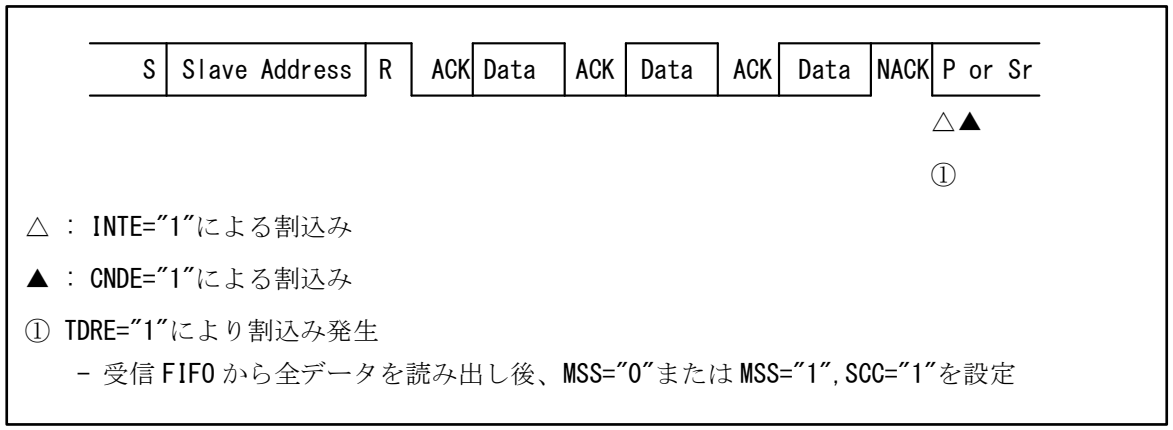


Figure 2-33 FIFO 許可によるマスタ受信の割込み 4 (SSR:DMA=0, IBCR:WSEL=1, IBSR:RSA=0)

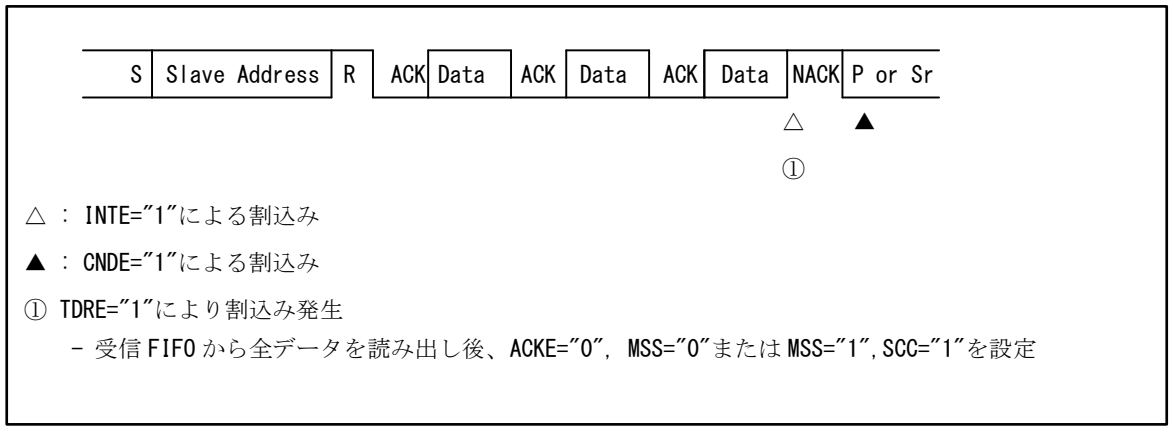


Figure 2-34 FIFO 禁止によるマスタ受信の割込み 5 (SSR:DMA=1, IBCR:WSEL=0, IBSR:RSA=0)

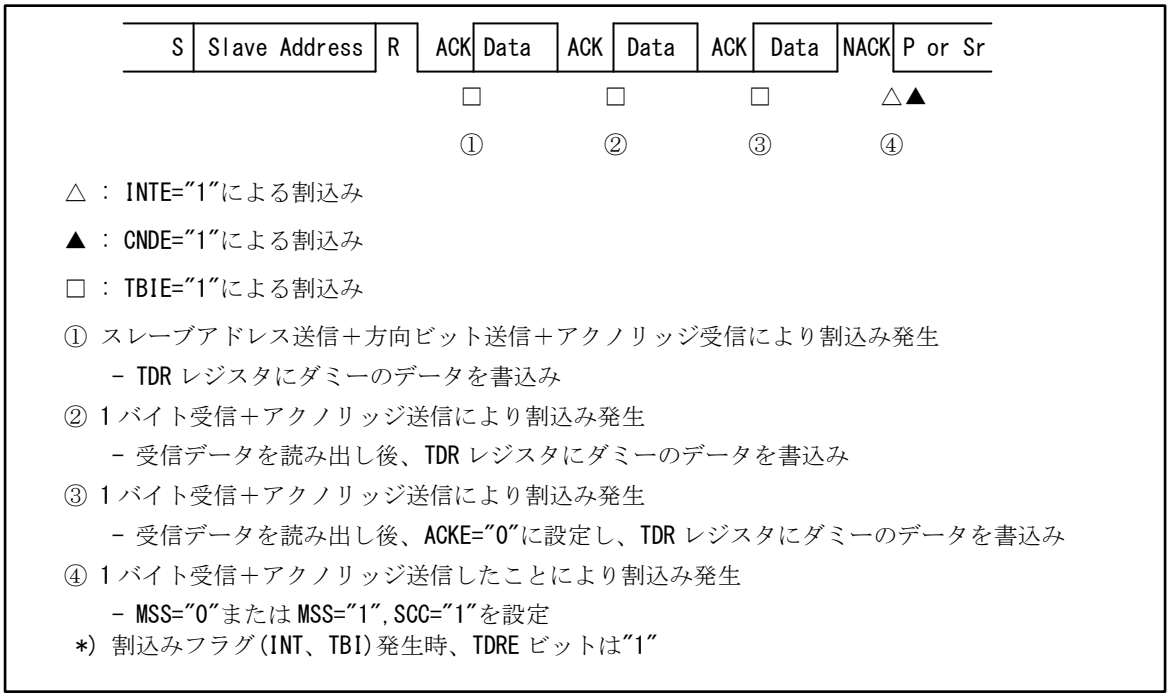
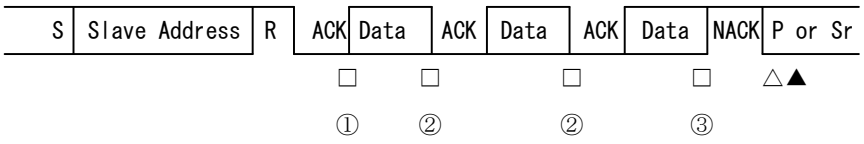


Figure 2-35 FIFO 禁止によるマスタ受信の割込み 6 (SSR:DMA=1, IBCR:WSEL=1, IBSR:RSA=0)



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
- TDR レジスタにダミーのデータを書込み

② 1 バイト受信により割込み発生
- 受信データを読み出し後、TDR レジスタにダミーのデータを書込み

③ 1 バイト受信により割込み発生
- 受信データを読み出し後、ACKE="0"に設定し、MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT、TBI)発生時、TDRE ビットは"1"

Figure 2-36 FIFO 許可によるマスタ受信の割込み 7 (SSR:DMA=1, IBCR:WSEL=0, IBCR:ACKE=0, IBSR:RSA=0)



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生
- 受信 FIFO から全データを読み出し後、MSS="0"または MSS="1", SCC="1"を設定

Figure 2-37 FIFO 許可によるマスタ受信の割込み 8 (SSR:DMA=1, IBCR:WSEL=1, IBSR:RSA=0)



□ : TDRE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生
- 受信 FIFO から全データを読み出し後、ACKE="0", MSS="0"または MSS="1", SCC="1"を設定

アービトレーションロスト

マスタのデータがほかのマスタからのデータと衝突し、送信したデータと異なるデータを受信した場合、アービトレーションロストと判断されます。そのとき、IBCR:MSS ビットが 0, IBSR:AL ビットが 1 に設定され、スレーブモードとして動作が可能となります。

IBSR:AL ビットは、以下の条件で 0 にクリアできます。

- IBCR:MSS ビットへの 1 書込み
- IBCR:INT ビットへの 0 書込み
- IBSR:AL=1, IBSR:SPC=1 のときに IBSR:SPC ビットへの 0 書込み
- I^2C インタフェース動作の動作禁止(ISMK:EN ビット=0)

アービトレーションロストが発生した場合、IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を 1 にし、I^2C バスの SCL を L にします。

マスタモードのウェイト

以下の 2 つの条件を満たす場合において、IBSR:BB ビットが 1 の間、マスタモードをウェイトし、IBSR:BB ビットが 0 になってからスタート条件を送信します。

- IBSR:BB ビットが 1 のときに IBCR:MSS ビットに 1 を設定した場合
- スレーブモードとして動作していない場合

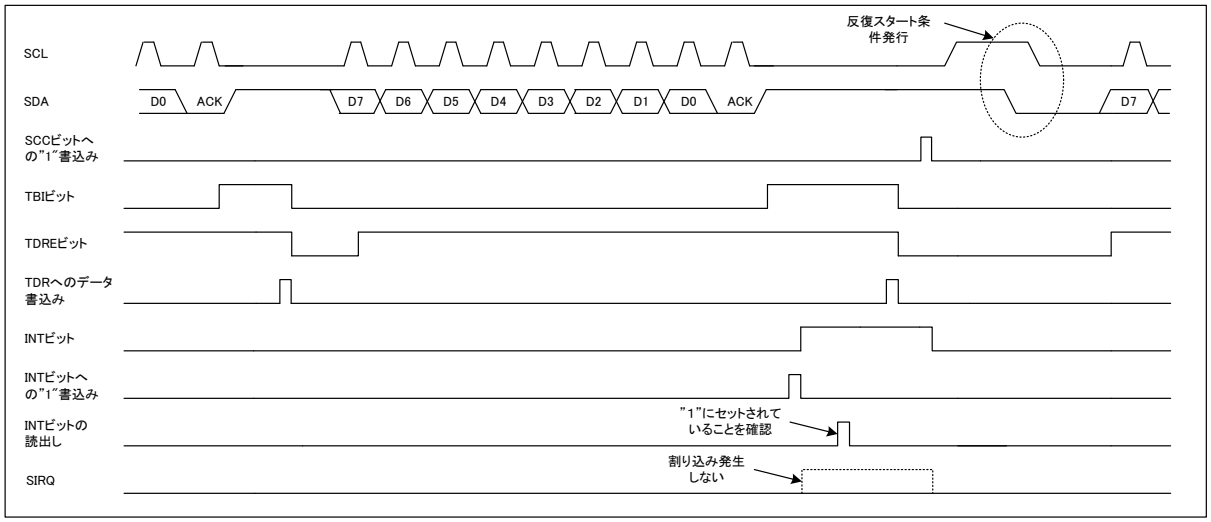
マスタモードがウェイト中かどうかは IBCR:MSS ビットと IBCR:ACT ビットで判断できます(IBCR:MSS=1, IBCR:ACT=0 の場合ウェイト状態)。IBCR:MSS ビットに 1 を設定後、スレーブモードとして動作する場合、IBSR:AL ビットを 1, IBCR:MSS ビットを 0, IBCR:ACT ビットを 1 にします。

DMA モードが許可時 (SSR:DMA=1) の反復スタート条件発行

送信バスアイドル中(SSR:TBI=1)で割込みフラグ(IBCR:INT)が 0 のときに、TDR レジスタにスレーブアドレスを書き込んだ場合、送信動作を開始してしまい、反復スタート条件を発行できません。
そのため送信バスアイドル中(SSR:TBI=1)で割込みフラグ(IBCR:INT)が 0 のときに、反復スタート条件を発行する場合は以下の手順を行ってください。

1. IBCR:INT ビットに 1 を書き込みます。このとき、SIRQ 割込みは発生しません。
2. IBCR:INT ビットが 1 に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. 反復スタートを発行(IBCR:SCC=1)してください。

Figure 2-38 DMA モードが許可時の反復スタート条件発行 (SSR:DMA=1, IBCR:WSEL=0, IBSR:RSA=0, ACK 応答)



2.4 スレーブモード

スタート条件または反復スタート条件を検出されたら、ISBA レジスタと ISMK レジスタとの組み合わせと受信したアドレスが一致した場合、マルチファンクションシリアルインタフェースは ACK 応答してスレーブモードとして動作します。

<注意事項>

- *EIBCR:BEC=0 のとき、1 回目のスタート条件検出後に 2 回目のスタート条件を検出した場合(アドレスフィールド(第一バイト)またはデータフィールドの bit2 ～ bit9 を転送中)、バスエラーのフラグがセットされ (IBCR:BER=1)、受信が停止します。この場合、マルチファンクションシリアル*
  インタフェースの割込みフラグ(IBCR:INT)のクリア後にマスタからスタート条件を再送する必要があります。

スレーブアドレス一致検出

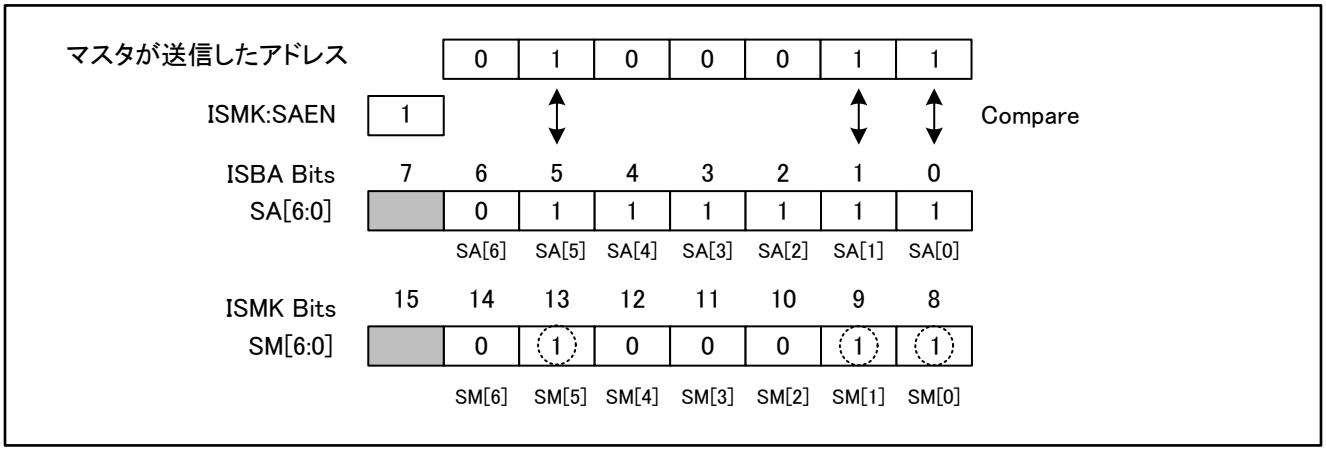
スタート条件または反復スタート条件検出後の最初のバイトには、7 ビットのスレーブアドレスとデータ転送の方向を示すビットが含まれます。ISMK レジスタはスレーブアドレスをマスクする値となります。0 はドントケアとなり、1 はアドレスのビットと一致する必要があります。すなわち、ISMK レジスタに 0 が設定されているビットはアドレスビットと比較されません。

SAEN ビットに 1 が設定されているとスレーブアドレス検出を許可します。マスタから送信されたアドレスはマスクビット(SM[6:0])に 1 がセットされたスレーブアドレスビット(SA[6:0])と比較されます。一致した場合には ACK を出力します。一致しなかった場合は ACK を出力しません。

■ スレーブアドレス検出例

マスタはスレーブにアドレス 0x23 をアドレス設定します。

Figure 2-39 スレーブアドレス検出例



SA5, SA1, SA0 のみマスタが送信したアドレスと比較します。SM[6]と SM[4:2]は 0 であるためドントケアです。この結果、マルチファンクションシリアルインタフェースは ACK 応答を出力します。

Table 2-8 スレーブアドレスに対するアクノリッジ出力直後の動作

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向ビット(R/W)	アクノリッジ直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが 1 の場合 IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	IBCR:INT ビットは 0 のままでウェイトなし
				1		
禁止	許可	-	データなし	0	IBCR:INT ビットは 0 のままでウェイトなし	IBCR:INT ビットは 0 のままでウェイトなし。
			データあり		IBCR:INT ビットを 1 にしてウェイト	
			-	1	SSR:TDRE ビットが 1 の場合 IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	
許可	禁止	-	-	0	SSR:TDRE ビットが 1 の場合、IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	IBCR:INT ビットは 0 のままでウェイトなし
				1		
許可	許可	-	データなし	0	IBCR:INT ビットは 0 のままでウェイトなし	IBCR:INT ビットは 0 のままでウェイトなし
			データあり		IBCR:INT ビットを 1 にしてウェイト	
			-	1	SSR:TDRE ビットが 1 の場合 IBCR:INT ビットを 1 にしてウェイト。SSR:TDRE ビットが 0 の場合、IBCR:INT ビットは 0 のままでウェイトなし	

□ 予約アドレス検出

第 1 バイト目で予約アドレス(0000xxxx または 1111xxxx)と一致した場合、送受信 FIFO の許可に依存せずに 8 ビット目のデータ受信後、IBCR:INT ビットを 1 にして I2C バスをウェイトします。このとき受信データを読み出した後、以下のように設定してください。

- スレーブとして動作させたい場合、IBCR:ACKE を 1 に設定してデータ方向ビット(IBSR:TRX)を確認し、送信方向の場合、送信データを TDR に書き込み、IBCR:INT ビットをクリアします。その後、スレーブとして動作します。
- スレーブとして動作させない場合、IBCR:ACKE を 0 にし、IBCR:INT ビットをクリアします。アクノリッジ出力後スレーブとして動作を行いません。

データ方向ビット

アドレス受信後、データの送受信を決めるデータ方向ビットを受信します。このビットが 0 のときマスタからの送信を示し、スレーブとしてはデータを受信します。

スレーブによる受信

スレーブアドレスが一致しデータ方向ビットが 0 のとき、スレーブモードによる受信を示します。スレーブモードによる受信の手順の一例を以下に示します。

■ DMA モードが禁止(SSR:DMA=0)の場合

□ 受信 FIFO が禁止されている場合

1. ACK 送信後、割込みフラグ(IBCR:INT)を 1 にして I²C バスをウェイトします。IBCR:MSS ビット, IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し、IBCR:ACKE ビットに 1, 割込みフラグ(IBCR:INT)に 0 を書いて I²C バスのウェイトを解除します(Table 2-8 を参照してください)。
2. 1 バイトのデータを受信後、IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を 1 にして I²C バスをウェイトします。
3. RDR レジスタから受信したデータを読み出し、IBCR:ACKE ビットを設定後割込みフラグ(IBCR:INT)に 0 を書いて I²C バスのウェイトを解除します。
4. ストップ条件または反復スタート条件を検出するまで 2.～3.を繰り返します。

□ 受信 FIFO が許可されている場合

1. NACK の検出または受信 FIFO がフルになると割込みフラグ(IBCR:INT)は 1 になり、I²C バスをウェイトします。ストップ条件、反復スタート条件を検出した場合、IBSR:SPC ビット、IBSR:RSC ビットを 1 にして割込みフラグ(IBCR:INT)は 1 になりません(I²C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致した場合、SSR:RDRF ビットを 1 にします。そのとき、SMR:RIE ビットが 1 になっていると受信割込みが発生します。
2. 割込みフラグ(IBCR:INT)が 1 になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出し後割込みフラグに 0 を書いて I²C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、IBSR:SPC ビットまたは IBSR:RSC ビットを 0 にクリアします。

■ DMA モードが許可(SSR:DMA=1)の場合

□ 受信 FIFO が禁止されている場合

1. ACK 送信後、割込みフラグ(IBCR:INT)を 1 にして I²C バスをウェイトします。IBCR:MSS ビット, IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し、IBCR:ACKE ビットに 1, 割込みフラグ(IBCR:INT)に 0 を書いて I²C バスのウェイトを解除します(Table 2-8 を参照してください)。
2. 1 バイトのデータを受信後、1 バイト受信直後に受信データフルフラグ(SSR:RDRF)を 1 に設定します。受信データフルフラグ(SSR:RDRF)が 1 に設定されているとき、IBCR:WSEL=0 の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直後に I²C バスをウェイトします。
3. IBCR:ACKE ビットを設定後 RDR レジスタから受信したデータを読出しにより受信データフルフラグ(SSR:RDRF)を 0 にクリアして I²C バスのウェイトを解除します。
4. ストップ条件または反復スタート条件を検出するまで 2.～3.を繰り返します。

□ 受信 FIFO が許可されている場合

1. NACK の検出により割込みフラグ(IBCR:INT)は 1 になり I²C バスをウェイトします。受信 FIFO がフルになると、I²C バスをウェイトします。ストップ条件, 反復スタート条件を検出した場合、IBSR:SPC ビット, IBSR:RSC ビットを 1 にして割込みフラグ(IBCR:INT)は 1 になりません(I²C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致した場合、SSR:RDRF ビットを 1 にします。そのとき、SMR:RIE ビットが 1 になっていると受信割込みが発生します。
2. 割込みフラグ(IBCR:INT)が 1 になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出し後割込みフラグに 0 を書いて I²C バスのウェイトを解除します。受信 FIFO がフルになった場合、RDR レジスタから 1 回でも受信したデータを読み出せば I²C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、IBSR:SPC ビットまたは IBSR:RSC ビットを 0 にクリアします。

Figure 2-40 FIFO 禁止によるスレーブ受信の割込み 1 (SSR:DMA=0, IBCR:WSEL=0, IBSR:RSA=0)

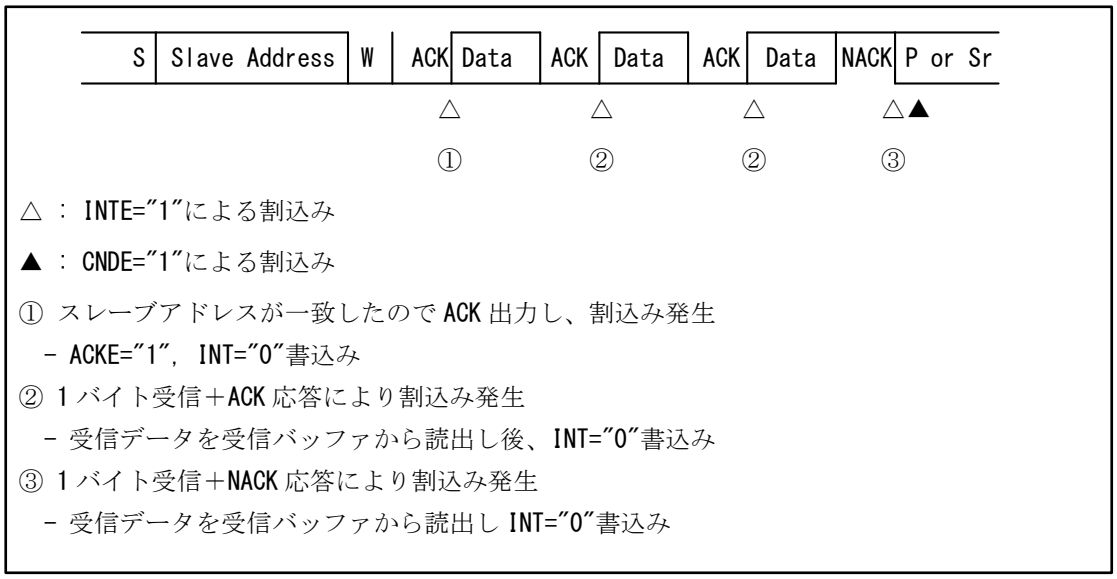


Figure 2-41 FIFO 禁止によるスレーブ受信の割込み 2 (SSR:DMA=0, IBCR:WSEL=1, IBSR:RSA=0)

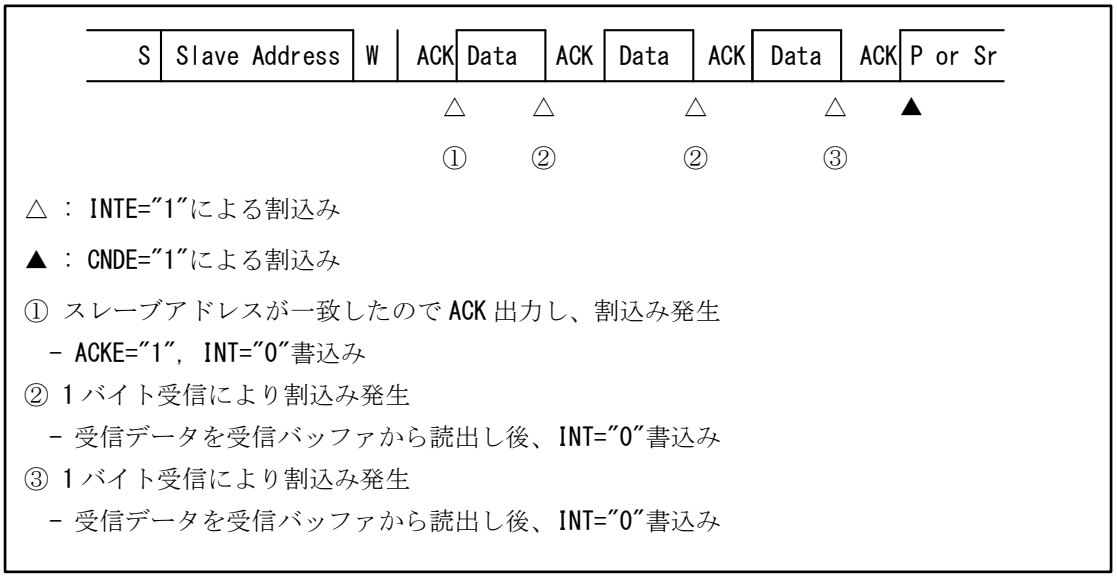
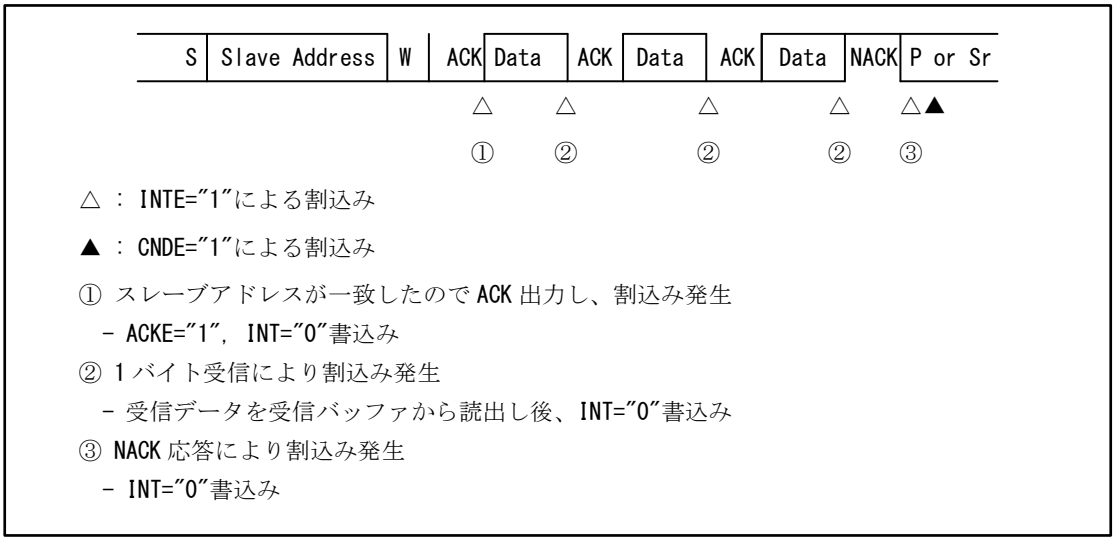


Figure 2-42 FIFO 禁止によるスレーブ受信の割込み 3 (SSR:DMA=0, IBCR:WSEL=1, IBSR:RSA=0)



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し後、INT="0"書込み

③ NACK 応答により割込み発生
- INT="0"書込み

Figure 2-43 受信 FIFO 許可によるスレーブ受信の割込み 4 (SSR:DMA=0, IBSR:RSA=0)



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① ストップ条件または反復スタート条件検出により割込み発生
- 受信 FIFO から全データの読出し

Figure 2-44 受信 FIFO 許可によるスレーブ受信の割込み 5 (SSR:DMA=0, IBSR:RSA=0)

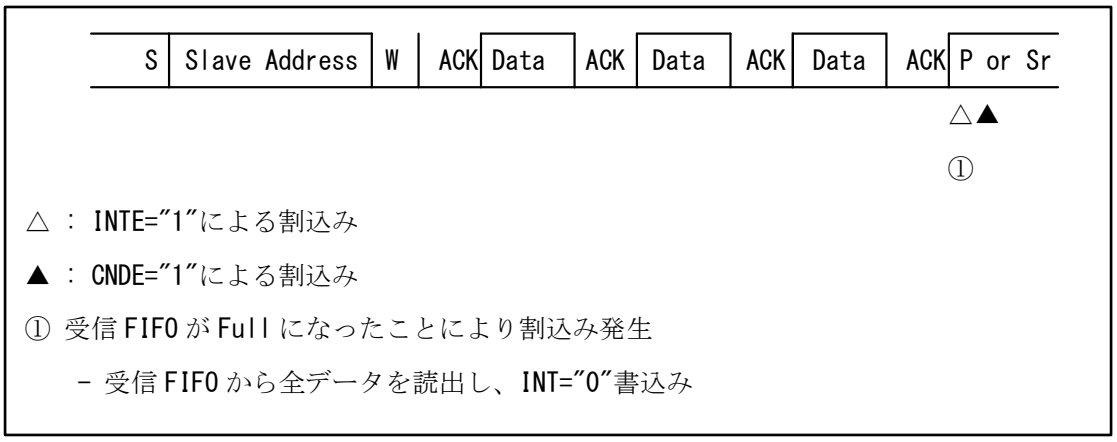


Figure 2-45 FIFO 禁止によるスレーブ受信の割込み 6 (SSR:DMA=0, IBCR:WSEL=0, IBSR:RSA=1)

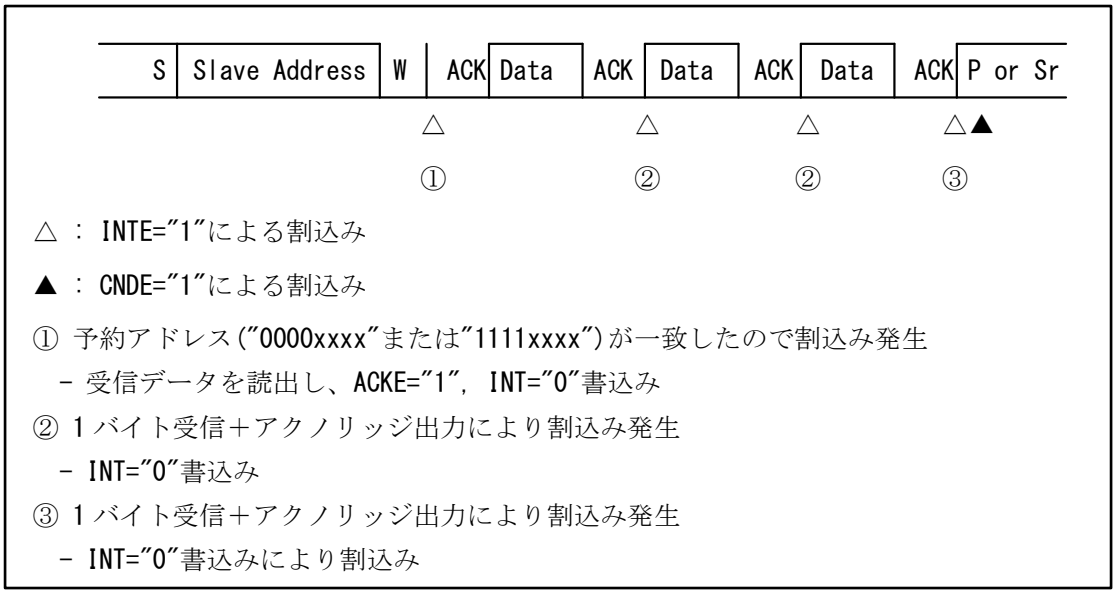
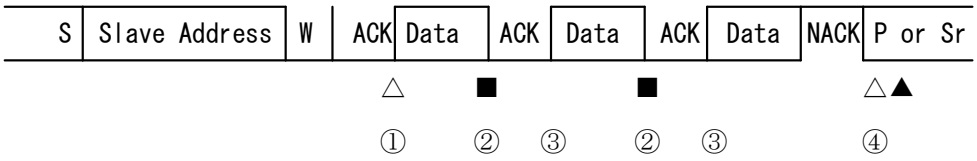


Figure 2-46 FIFO 禁止によるスレーブ受信の割込み 7 (SSR:DMA=1, IBCR:WSEL=0, IBSR:RSA=0)



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

■ : RIE="1"による割込み

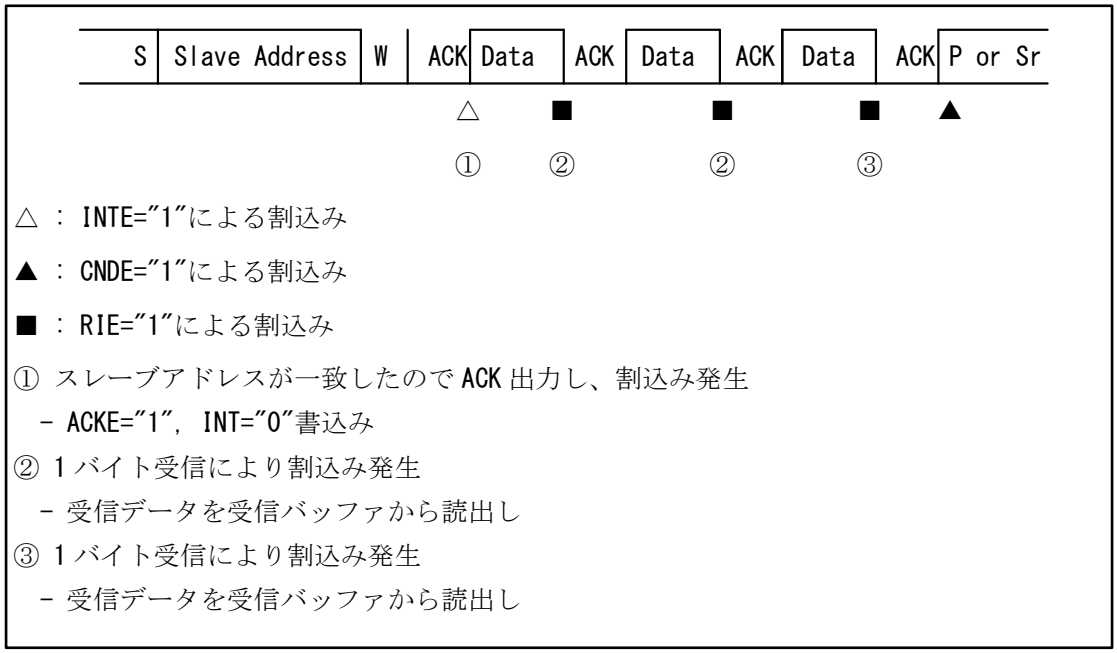
① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生(I²C バスはウェイトしない)
- 受信データを受信バッファから読出し

③ ACK 応答により I²C バスウェイト
- 受信データを受信バッファから読出し

④ 1 バイト受信＋NACK 応答により割込み発生
- 受信データを受信バッファから読出し INT="0"書込み

Figure 2-47 FIFO 禁止によるスレーブ受信の割込み 8 (SSR:DMA=1, IBCR:WSEL=1, IBSR:RSA=0)



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

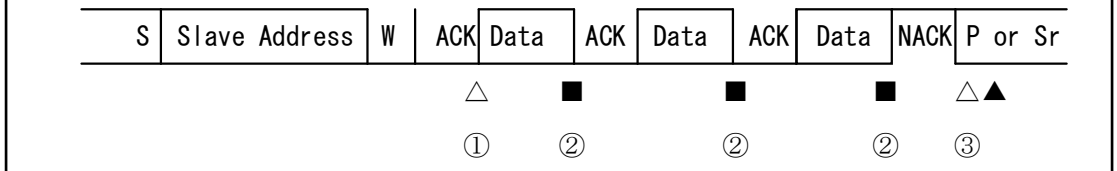
■ : RIE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し

③ 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し

Figure 2-48 FIFO 禁止によるスレーブ受信の割込み 9 (SSR:DMA=1, IBCR:WSEL=1, IBSR:RSA=0)



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

■ : RIE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し

③ NACK 応答により割込み発生
- INT="0"書込み

Figure 2-49 受信 FIFO 許可によるスレーブ受信の割込み 10 (SSR:DMA=1, IBSR:RSA=0)

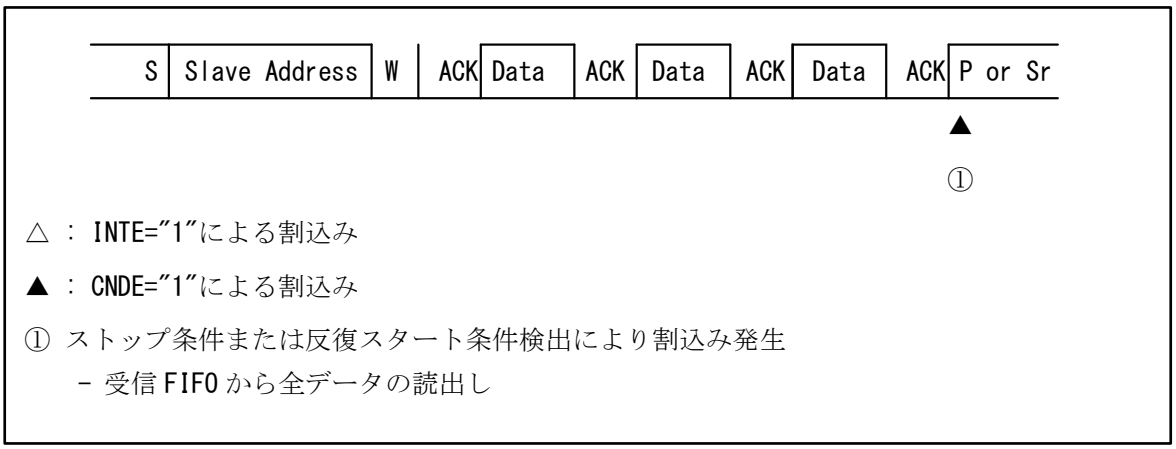


Figure 2-50 受信 FIFO 許可によるスレーブ受信の割込み 11 (SSR:DMA=1, IBSR:RSA=0)

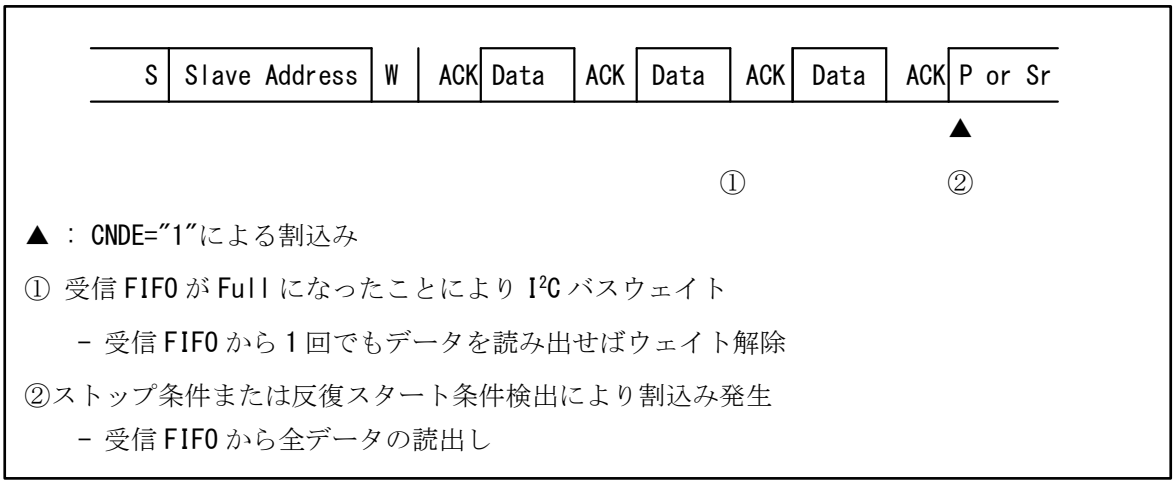
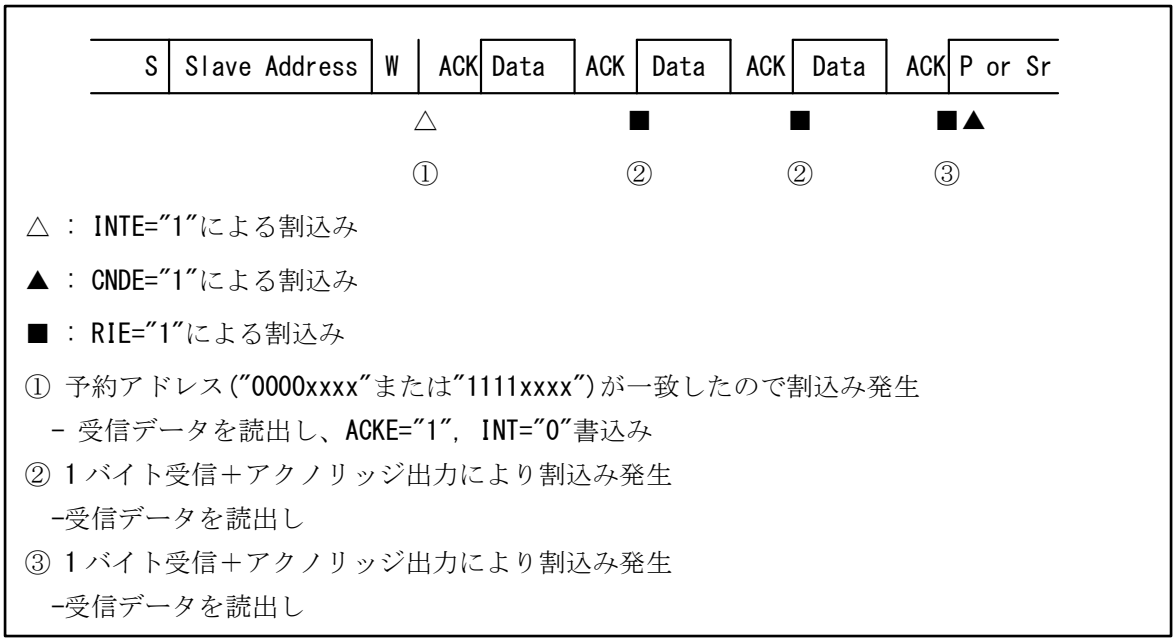


Figure 2-51 FIFO 禁止によるスレーブ受信の割込み 12 (SSR:DMA=1, IBCR:WSEL=0, IBSR:RSA=1)



スレーブによる送信

スレーブアドレスが一致しデータ方向ビットが 1 のとき、スレーブによる送信を示します。FIFO 禁止の場合、IBCR:WSEL の設定により、1 バイト送信後またはアクノリッジ応答後に割込みフラグ(IBCR:INT)を 1 にし、ウェイトを発生します(Table 2-8 を参照してください)。

マスタから出力されたアクノリッジは IBSR:RACK ビットにより確認できます。マスタからの NACK 応答は、マスタが正しく受信できなかった、またはデータ受信の終了を示します。IBCR:WSEL=1 のときに NACK を検出した場合割込みが発生しウェイトします。

2.5 バスエラー

I²C バス上でデータの送受信中にストップ条件, (反復)スタート条件を検出した場合にバスエラーとして取り扱います。

バスエラー発生条件

バスエラーは以下の条件で IBCR:BER ビットを 1 にします。

- 第 1 バイト転送中に(反復)スタート条件またはストップ条件を検出
- データの 2～9(アクノリッジ)ビット目で(反復)スタート条件またはストップ条件を検出

バスエラー動作

■ EIBCR:BEC=0 の場合

送受信による割込みフラグ(IBCR:INT)が"1"になったときに IBCR:BER ビットを確認し、IBCR:BER ビットが 1 の場合エラー処理を行ってください。IBCR:BER ビットは IBCR:INT ビットに 0 を書くことによってクリアされます。

バスエラーによって IBCR:INT ビットは 1 に設定されますが、I²C バスの SCL を L にしてウェイト状態にはしません。

■ EIBCR:BEC=1 の場合

送受信による割込みフラグ(IBSR:SPC または IBSR:RSC)が"1"になったときに IBCR:BER ビットを確認し、IBCR:BER ビットが 1 の場合エラー処理を行ってください。IBCR:BER ビットは以下の動作によってクリアされます。

- IBCR:INT=1 のときに、IBCR:INT に 0 書込み
- IBCR:SPC=1 のときに、IBCR:SPC に 0 書込み
- IBCR:RSC=1 のときに、IBCR:RSC に 0 書込み

3. 専用ボーレートジェネレータ

専用ボーレートジェネレータは、シリアルクロックの周波数の設定を行います。

ボーレート選択

■ 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1) リロード値:

$V = \phi / b - 1$

V ： リロード値　　b ： ボーレート　　ϕ ： バスクロック周波数、外部クロック周波数

ただし、I²C バスの立上り時間によっては設定したボーレートが発生しないため
リロード値を調整してください。

(2) 計算例

バスクロック(16MHz)、 ボーレートを 400kbps に設定する場合のリロード値は、次のようになります。
リロード値：
$V = (16 \times 1000000) / 400000 - 1 = 39$
よって 、ボーレートは
$b = (16 \times 1000000) / (39 + 1) = 400kbps$

<注意事項>

- *ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *ISMK レジスタの ISMK:EN ビットが 0 のときにボーレートジェネレータレジスタの設定を行ってください。*
- *動作モード 4(I²C モード)では、Standard-mode/Fast-mode 時におけるバスクロックは 8 MHz 以上で使用し、400 kbps を超えるボーレートジェネレータの設定は禁止です。また、Fast-mode Plus 時におけるバスクロックは 64 MHz 以上で使用し、1000 kbps を超えるボーレートジェネレータの設定は禁止です。*
- *リロード値を 0 に設定した場合、リロードカウンタは停止します。*

各バスクロック周波数に対するリロード値とボーレート設定例

Table 3-1 リロード値とボーレート設定例

ボーレート [bps]	8 MHz Value	10 MHz Value	16 MHz Value	20 MHz Value	24 MHz Value	32 MHz Value
1000000	設定禁止					
400000	19	24	39	49	59	79
200000	39	49	79	99	119	159
100000	79	99	159	199	239	319

ボーレート [bps]	36 MHz Value	40 MHz Value	48 MHz Value	72 MHz Value	80 MHz Value	100 MHz Value
1000000	設定禁止			71	79	99
400000	89	99	119	179	199	249
200000	179	199	239	359	399	499
100000	359	399	479	719	799	999

本数値は I²C バスの SCL 立上りが 0 s の場合です。I²C バスの SCL 立上りが遅い場合には上記数値より遅いボーレートです。

Table 3-1 に記載していない周波数については、「3. 専用ボーレートジェネレータ」の「ボーレートの計算」にて算出してください。(ただし、最大周波数については、製品により異なるため、ご使用する製品の『データシート』を参照してください。)

リロードカウンタの機能

リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値をボーレートジェネレータレジスタ(BGR1, BGR0)より読み出せます。

カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

4. I²C の通信動作フローチャート例

I²C の通信動作フローチャート例を示します。

DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例 (FIFO 未使用時)

Figure 4-1 DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例(FIFO 未使用時)1/3

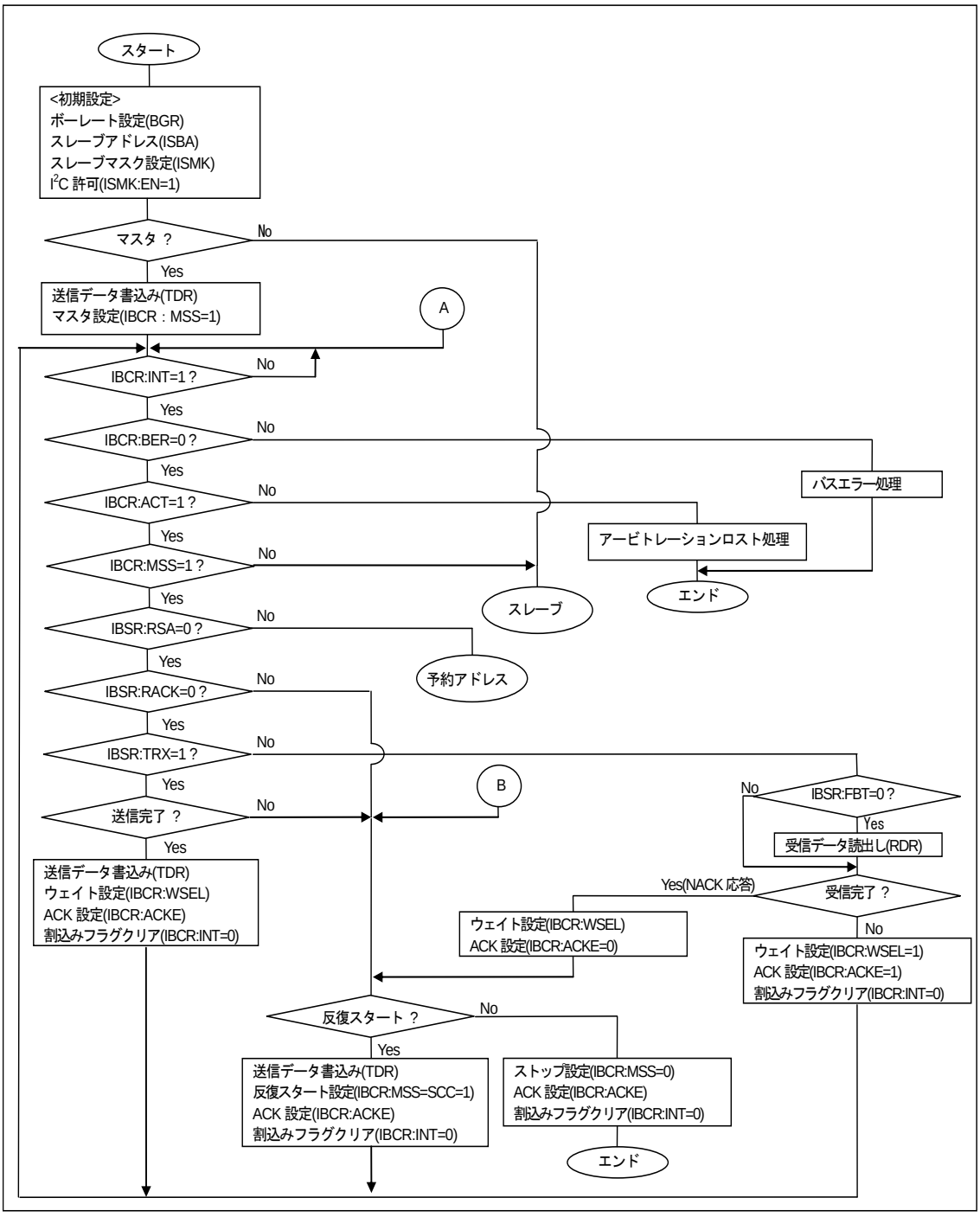


Figure 4-2 DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例(FIFO 未使用時)2/3

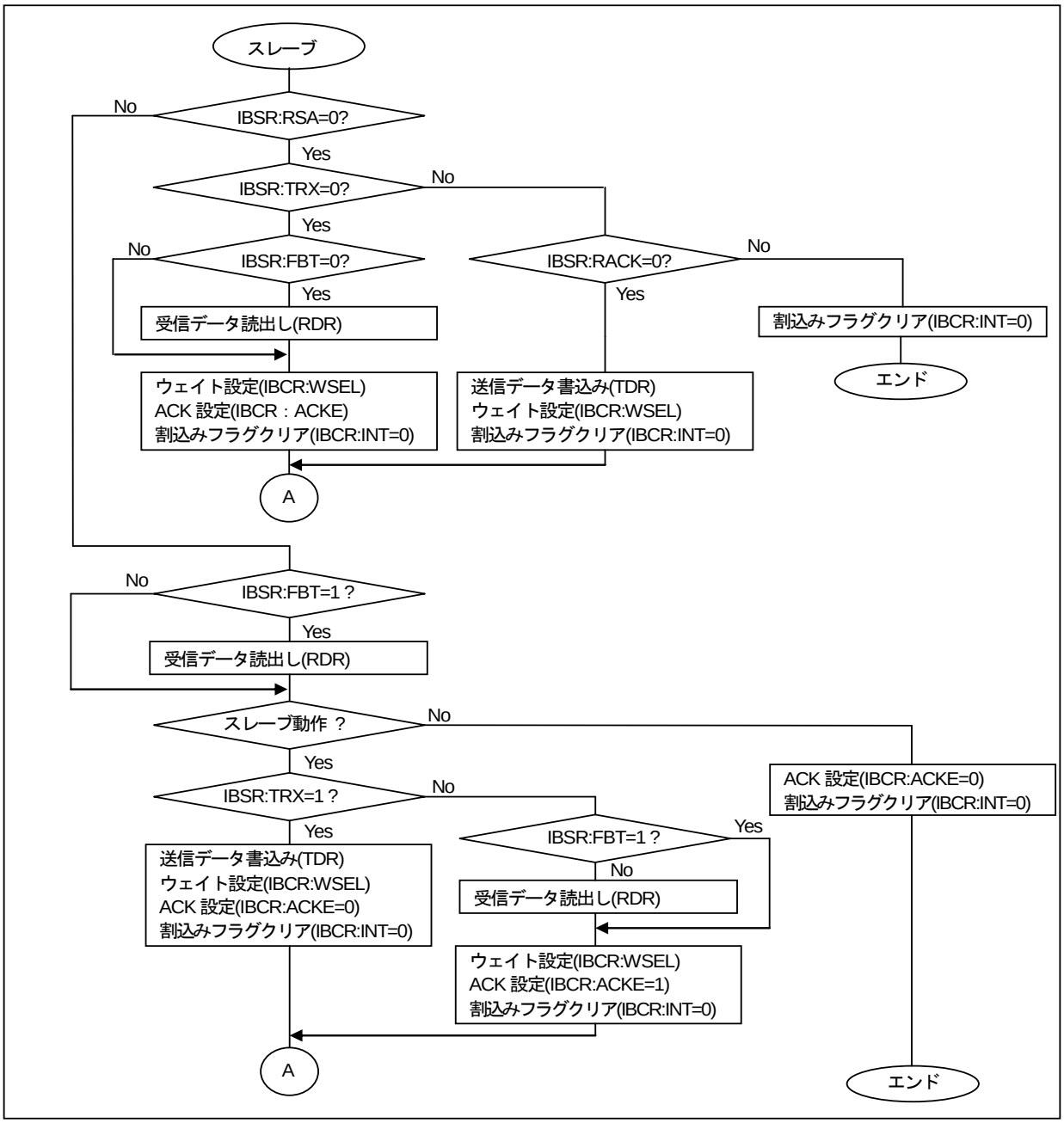
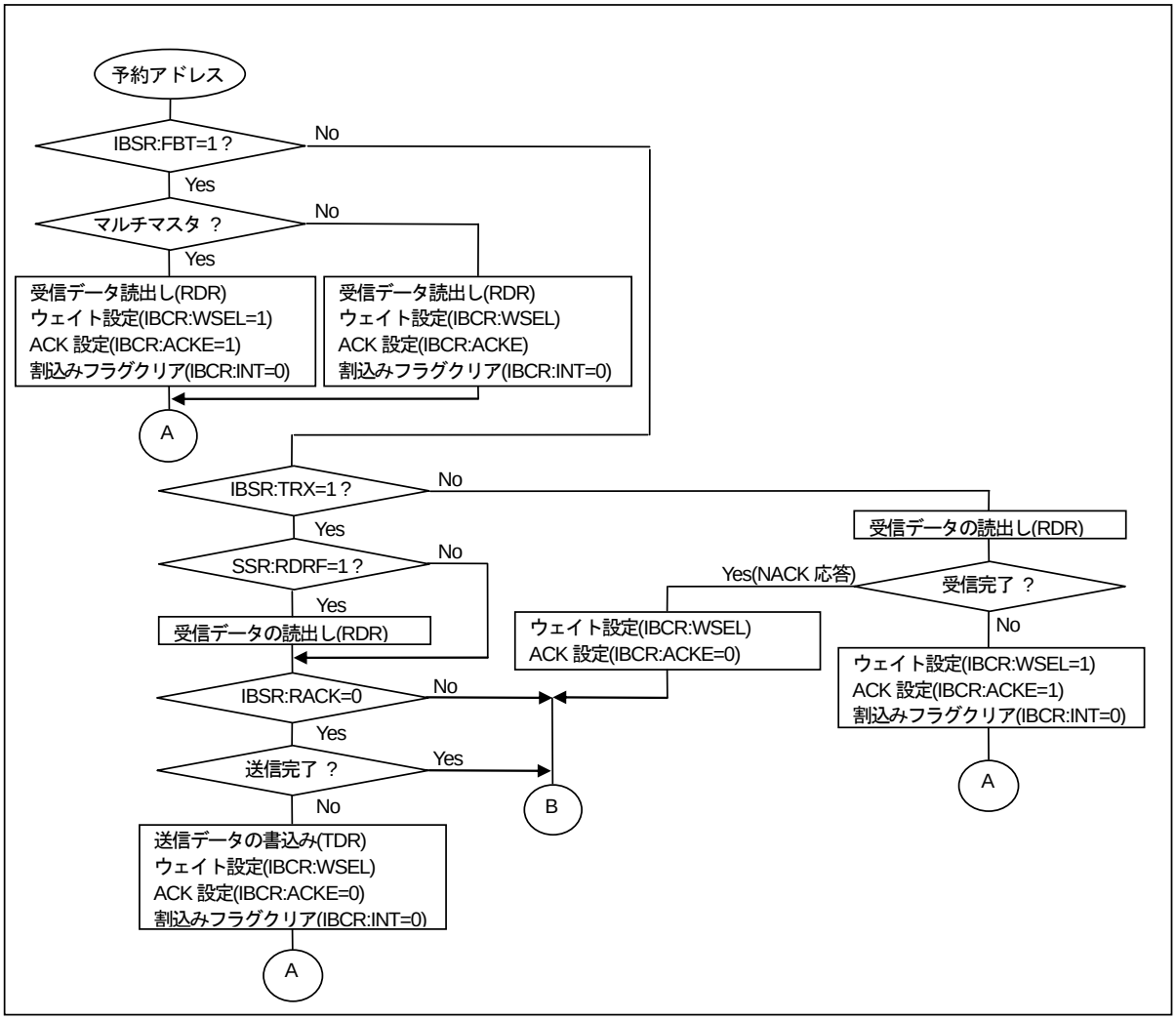


Figure 4-3 DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例(FIFO 未使用時)3/3



DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例 (FIFO 未使用時)

Figure 4-4 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)1/4

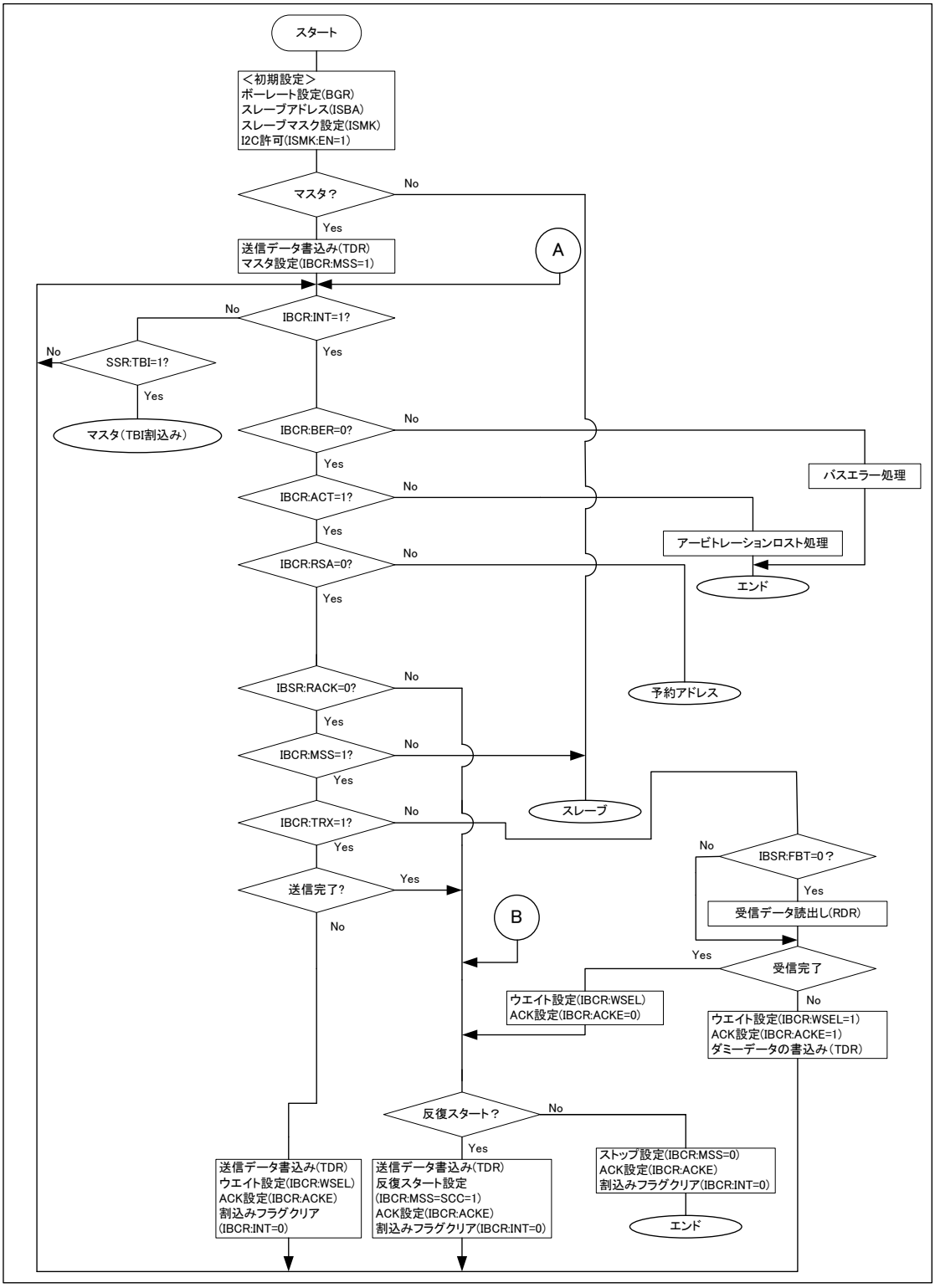


Figure 4-5 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)2/4

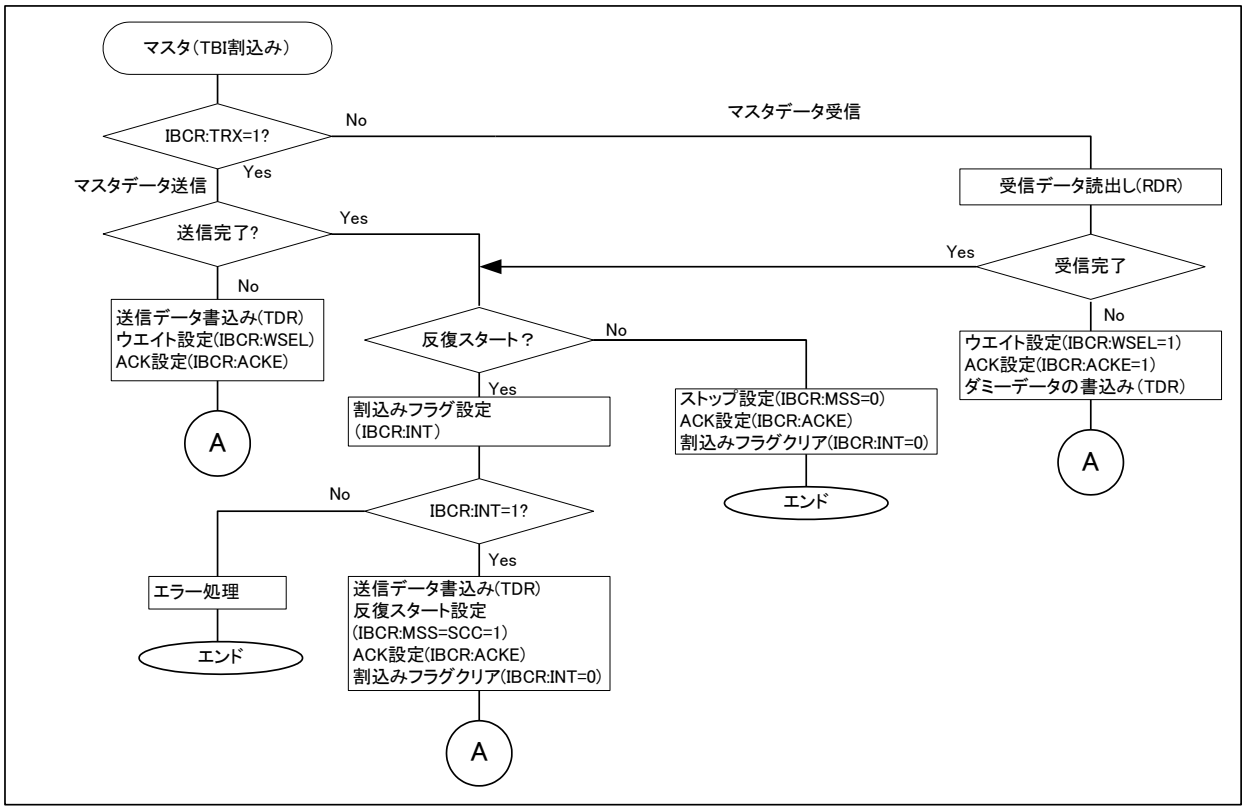


Figure 4-6 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)3/4

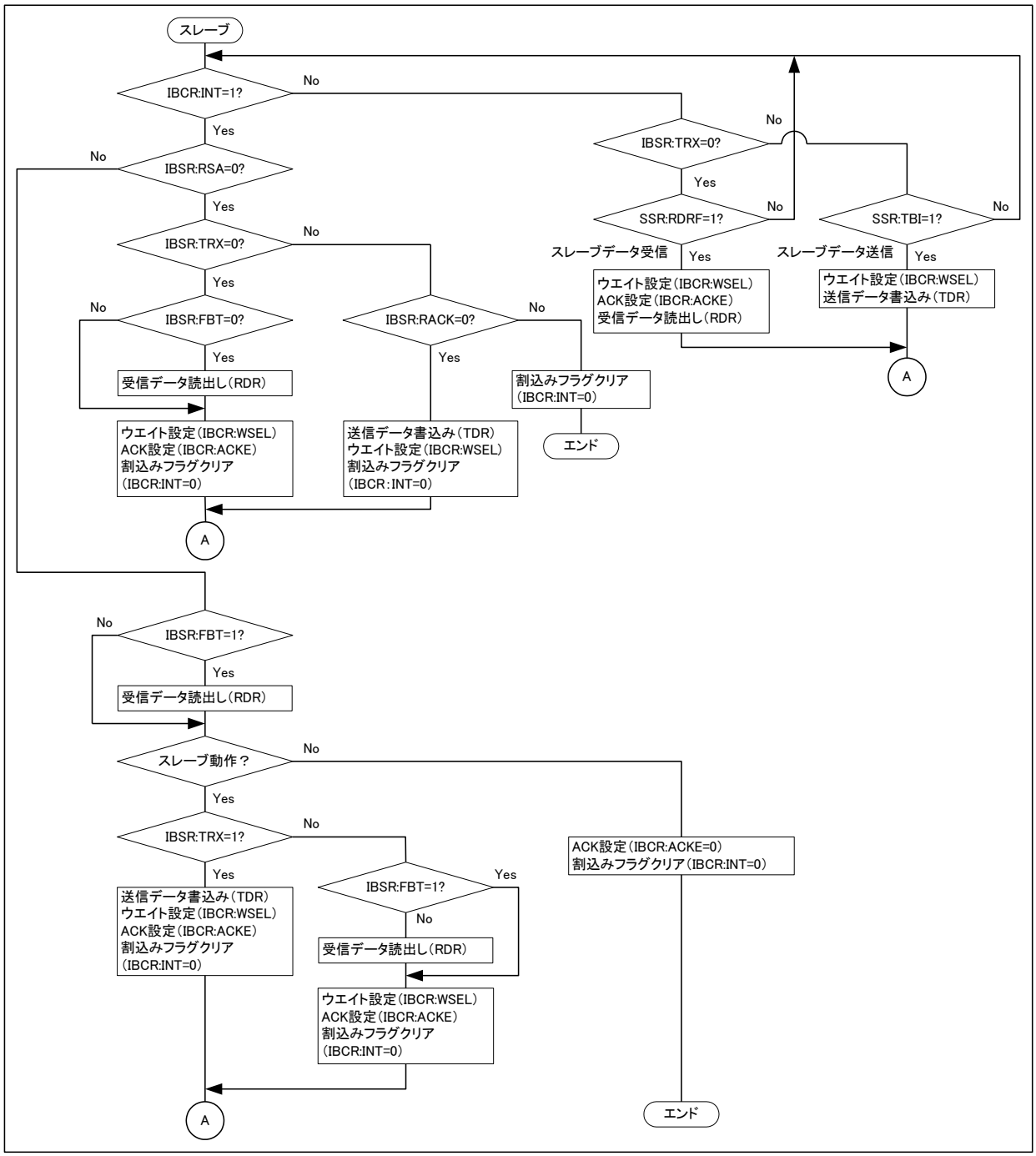
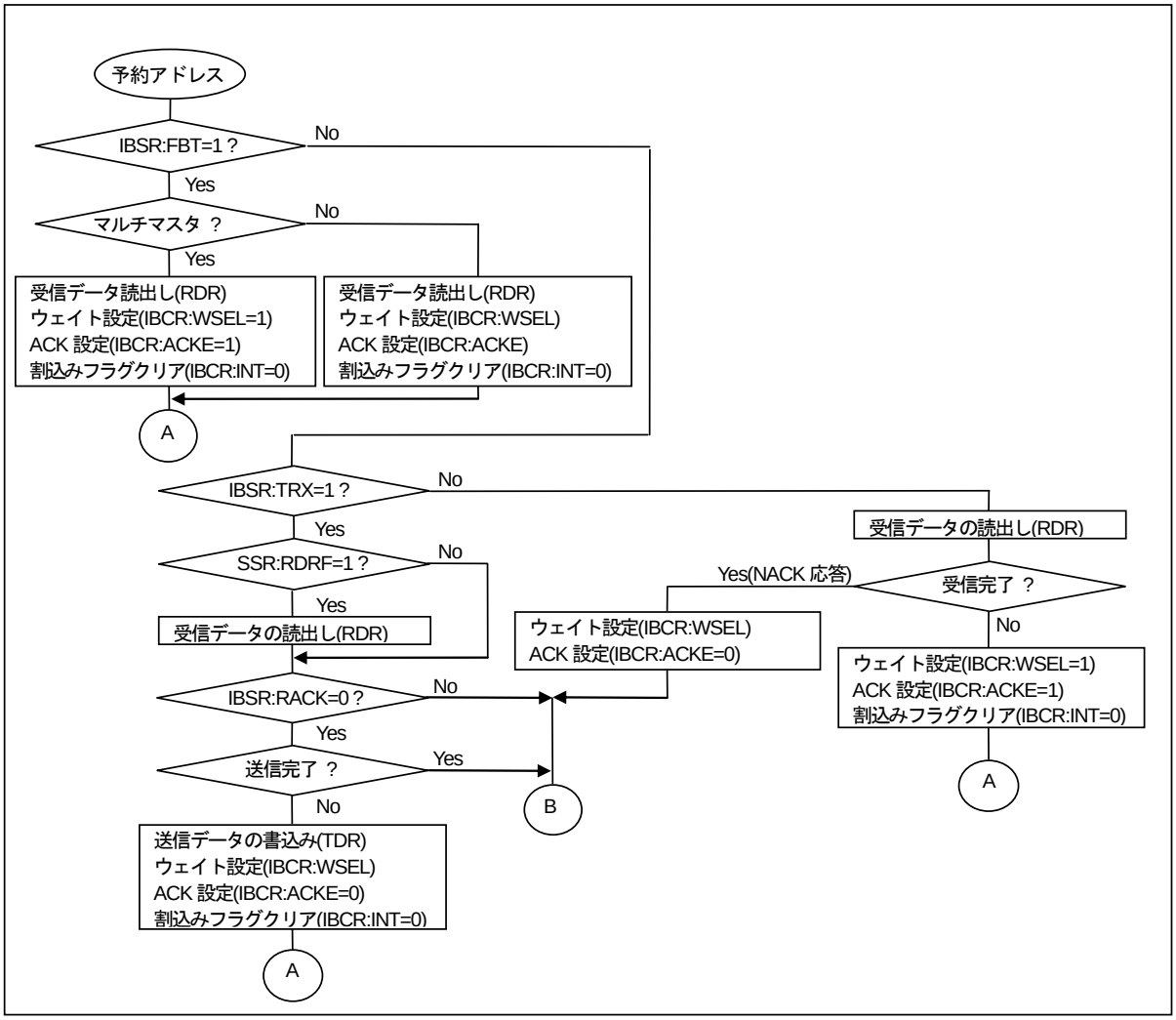


Figure 4-7 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)4/4



＜注意事項＞

- *フローは I²C モードによる動作設定概略を示すフローです。アプリケーションにあわせて、エラー処理などを考慮した処理をしてください。*

5. I²C インタフェースのレジスタ

I²C インタフェースのレジスター覧を示します。

I²C インタフェースのレジスター覧

Table 5-1 I²C インタフェースのレジスター覧

	bit15 bit8	bit7 bit0
I²C	IBCR(I²C バス制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	IBSR(I²C バスステータスレジスタ)
	-	RDR/TDR(送受信データレジスタ)
	EIBCR(拡張 I²C バス制御レジスタ)	NFCR(ノイズフィルタ制御レジスタ)
	BGR1 (ボーレートジェネレータレジスタ 1)	BGR0 (ボーレートジェネレータレジスタ 0)
	ISMK (7 ビットスレーブアドレスマスクレジスタ)	ISBA (7 ビットスレーブアドレスレジスタ)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

Table 5-2 I²C インタフェースのビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
IBCR/ SMR	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	MD2	MD1	MD0	-	RIE	TIE	-	-
SSR/ IBSR	REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
TDR1/ TDR0	-	-	-	-	-	-	-	-	D7	D6	D5	D4	D3	D2	D1	D0
EIBCR/ NFCR	-	-	SDAS	SCLS	SDAC	SCLC	SOCE	BEC	-	-	-	NFT4	NFT3	NFT2	NFT1	NFT0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
ISMK/ ISBA	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

5.1 I²C バス制御レジスタ(IBCR)

I²C バス制御レジスタ(IBCR)は、マスタ/スレーブモード選択, 反復スタート条件の発生, アクノリッジ許可, 割込み許可を設定し、割込みフラグを表示します。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	(SMR)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

[bit15] MSS : マスタ/スレーブ選択ビット

- I²C バスがアイドル状態(ISMK:EN=1, IBSR:BB=0)のときに本ビットに 1 を設定した場合、マスタモードに設定されます。
- IBSR レジスタの BB ビットが 1 のとき、このビットに 1 を設定した後、IBSR:BB ビットが 0 になるまでスタート条件の発生をウェイトします。そのウェイト中にスレーブアドレスが一致してスレーブとして動作する場合には本ビットは 0 に設定され、IBSR レジスタの AL ビットが 1 に設定されます。
- マスタ動作中(MSS=1, ACT=1)で割込みフラグ(INT)が 1 のとき、本ビットに 0 を書き込むとストップ条件が発生します。

MSS ビットは以下の条件でクリアされます。

1. I²C インタフェースの動作禁止(ISMK:EN=0)
2. アービトレーションロスト発生時
3. EIBCR:BEC=0 のときにバスエラー検出(BER=1)
4. INT=1 のとき、MSS ビットへの 0 書込み
5. DMA モードが許可(SSR:DMA=1)で SSR:TBI=1 のとき、MSS ビットへの 0 書込み

MSS ビットと ACT ビットの関係を以下に示します。

MSS ビット	ACT ビット	状態
0	0	アイドル
0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答*1 し、スレーブ動作中(スレーブモード)
1	0	マスタ動作待機中
1	1	マスタ動作中(マスタモード)

*1)ACK 応答: アクノリッジ区間に I²C バスの SDA が L であることを指します。

bit	説明
0	スレーブモード選択
1	マスタモード選択

<注意事項>

- *DMA モードが禁止(SSR:DMA=0)で MSS ビットが 1 に設定されていて MSS ビットを 0 に変更する場合、MSS=1, INT=1 のときに行ってください。ACT ビットが 1 のときに MSS ビットに 0 を書き込むと INT ビットも 0 にクリアされます。*
- *DMA モードが許可(SSR:DMA=1)で MSS ビットが 1 に設定されていて MSS ビットを 0 に変更する場合、MSS=1, INT=1 または SSR:TBI ビットが 1 のときに行ってください。ACT ビットが 1 のときに MSS ビットに 0 を書き込むと INT ビットも 0 にクリアされます。*
- *マスタ動作中、MSS ビットに 0 を書いても ACT ビットが 1 の間、1 が読み出されます。*

[bit14] ACT/SCC : 動作フラグ/反復スタート条件発生ビット

このビットは、リードとライトで意味が異なります。

読出し時	書込み時
ACT ビット	SCC ビット

ACT ビットはマスタモードまたは、スレーブモードとして動作していることを示します。

ACT ビットのセット条件:

1. スタート条件を I²C バスに出力したとき(マスタモード)
2. スレーブアドレスとマスタから送信されたアドレスが一致したとき(スレーブモード)
3. 予約アドレスを検出し、それに対しアクノリッジ応答したとき(MSS=0 のときスレーブモードとなる)

ACT ビットのリセット条件:

<マスタモード>

1. ストップ条件検出
2. アービトレーションロスト検出
3. EIBCR:BEC=0 のときにバスエラー検出
4. I²C インタフェースの動作禁止(ISMK:EN=0)

<スレーブモード>

1. (反復)スタート条件検出
2. ストップ条件検出
3. 予約アドレス検出状態(IBSR:RSA="1")でアクノリッジ応答しなかったとき
4. I²C インタフェースの動作禁止(ISMK:EN=0)
5. EIBCR:BEC=0 のときにバスエラーの発生(BER=1)

マスタモード時、このビットに 1 を書き込むと反復スタートを実行します。0 書込みは無効です。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	動作なし
1	反復スタート条件発生	I²C 動作中

<注意事項>

- *SCC ビットへの 1 書込みは、マスタモードの割込み中(MSS=1, ACT=1, INT=1)に行ってください。ACT ビットが 1 のときに SCC ビットに 1 を書き込むと INT ビットは 0 にクリアされます。*
- *スレーブモード(MSS=0, ACT=1)時、本ビットに 1 を書き込むことは禁止です。*
- *SCC ビットに 1, MSS ビットに 0 を書き込んだ場合には、MSS ビットが優先されます。*
- *リードモディファイライト系命令のリードは SCC ビットが読み出されます。*
- *以下の 2 つの条件を満たした場合、INT ビットに 1 がセットされ、I²C バスがウェイト(SCL=L)されます。反復スタート条件を発生させるためには、再度 SCC ビットに 1 を書き込み、INT ビットをクリアする必要があります。*
- *8 ビット目のマスタモード割込み時(MSS=1, ACT=1, INT=1, WSEL=1)に SCC ビットへ 1 を書き込んだ場合*
- *9 ビット目に NACK を受信した場合*
- *DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが 1 で IBCR:INT ビットが 0 のときに反復スタート条件を発行する場合は、以下の手順を行ってください。*
    1. *IBCR:INT ビットに 1 を書き込んでください。*
    2. *IBCR:INT ビットが 1 に設定されていることを確認してください。*
    3. *TDR にスレーブアドレスを書き込んでください。*
    4. *本ビットに 1 を設定してください。*

[bit13] ACKE : データバイトアクノリッジ許可ビット

■ 本ビットに 1 を設定した場合、アクノリッジタイミングで L を出力します。
■ 本ビットは以下のいずれかの条件のときに変更してください。
- DMA モードが禁止(SSR:DMA=0), ACT=1 で INT ビットが 1 のとき
- DMA モードが許可(SSR:DMA=1), ACT=1 で SSR:TBI ビットが 1 のとき
- DMA モードが許可(SSR:DMA=1), ACT=1 でスレーブ受信時に SSR:RDRF が 1 のとき
- ACT=0 のとき

本ビットは以下の条件では無効です。
1. 予約アドレス以外のアドレスフィールドに対するアクノリッジ(自動生成)
2. データ送信時(IBSR:RSA=0, IBSR:TRX=1, IBSR:FBT=0)
3. 受信 FIFO 許可でスレーブ受信時(FCR0:FE=1, MSS=0, ACT=1)、常に ACK 応答します。
4. 受信 FIFO 許可, WSEL が 0,マスタ受信時(FCR0:FE=1, MSS=1, ACT=1, WSEL=0)、SSR:TDRE ビットが 0 のとき ACK 応答し、SSR:TDRE ビットが 1 のとき NACK 応答します。
5. 受信 FIFO 許可, WSEL=0,予約アドレス検出してスレーブ送信時(IBSR:RSA=1, IBSR:TRX=1, IBSR:FBT=1)、 常に ACK 応答します。NACK 応答させる場合、予約アドレス検出後の割込み時、受信 FIFO を禁止にし、ACKE=0 にしてください。
6. 受信 FIFO 許可, WSEL が 1,マスタ受信で送信データレジスタにデータがあるとき(FCR0:FE=1, MSS=1, ACT=1, WSEL=1, SSR:TDRE=0)

bit	説明
0	アクノリッジ禁止
1	アクノリッジ許可

[bit12] WSEL : ウェイト選択ビット

■ DMA モードが禁止(SSR:DMA=0)時、本ビットはアクノリッジ前か後のどちらに割込み(INT=1)を発生させ、I^2C バスをウェイトさせるか選択します。
■ DMA モードが許可(SSR:DMA=1)時、本ビットはアクノリッジ前か後のどちらに割込み(INT=1, 送信時は SSR:TBI=1, 受信時は SSR:RDRF=1)を発生させ、I^2C バスをウェイトさせるか選択します。
■ WSEL ビットは以下の条件では無効です。
1. 第 1 バイト(*1)に対する割込み発生時(INT=1)
2. 予約アドレス検出時(IBSR:FBT=1, IBSR:RSA=1)
3. FIFO 使用時のデータ転送途中での NACK 応答(*2)検出時(FCR0:FE=1, IBSR:RACK=1, ACT=1)
4. 受信 FIFO 使用時、受信 FIFO が FULL になったとき

*1) 第 1 バイト : (反復)スタート条件後のデータを指します。
*2) NACK 応答 : アクノリッジ期間 I^2C バスの SDA が H であることを指します。

bit	説明
0	アクノリッジ後ウェイト(9 ビット)
1	データ送受信完了後ウェイト(8 ビット)

[bit11] CNDE : 条件検出割込み許可ビット

マスタモードまたはスレーブモード時(ACT=1)、ストップ条件または反復スタート条件が検出された場合、割込みの発生を許可するビットです。IBSR レジスタの RSC または SPC ビットが 1 で本ビットが 1 のときに割込みが発生します。

bit	説明
0	反復スタートまたはストップ条件割込み禁止
1	反復スタートまたはストップ条件割込み許可

[bit10] INTE : 割込み許可ビット

マスタモードまたはスレーブモード時、データ送受信およびバスエラーに対する割込み(INT=1)を許可するビットです。

Bit	説明
0	割込み禁止
1	割込み許可

[bit9] BER : バスエラーフラグビット

本ビットは I^2C バス上でエラーを検出したことを示します。

BER ビットのセット条件:

1. 第 1 バイト(*1)転送中にスタート条件またはストップ条件を検出
2. 第 2 バイト以降、データの 2～9(アクノリッジ)ビット目で(反復)スタート条件またはストップ条件を検出

BER ビットのリセット条件:

1. EIBCR:BEC=0 で BER=1 のときに INT ビットへの 0 書込みした場合
2. I^2C インタフェースの動作禁止(ISMK:EN=0)の場合
3. EIBCR:BEC=1 で IBCR:INT=1 のときに、IBCR:INT ビットに 0 書込みした場合
4. EIBCR:BEC=1 で IBSR:SPC=1 のときに、IBSR:SPC ビットに 0 書込みした場合
5. EIBCR:BEC=1 で IBSR:RSC=1 のときに、IBSR:RSC ビットに 0 書込みした場合

*1) 第 1 バイト : (反復)スタート条件後のデータを指します。

bit	説明
0	エラーなし
1	エラーを検出

＜注意事項＞

以下の場合にこのビットを確認し、"1"になっていると正常に送受信ができていないため再送などの処理を行ってください。

- *EIBCR:BEC=0 のときに割込みフラグ(INT ビット)が 1 になったとき*
- *EIBCR:BEC=1 のときに反復スタート条件確認ビット(IBSR:RSC ビット)が 1 になったとき*
- *EIBCR:BEC=1 のときにストップ条件確認ビット(IBSR:SPC ビット) が 1 になったとき*

[bit8] INT： 割込みフラグビット

本ビットはマスタモードまたはスレーブモード時、データ送受信の 8 ビットまたは 9 ビット(ACK)後またはバスエラー時にこのフラグを 1 に設定します。バスエラー時以外は、INT ビットが 1 になると SCL を L にし、INT ビットが 0 になると SCL の L の状態を解除します。

INT ビットのセット条件:

＜8 ビット目＞

＜DMA モードに関係ない場合＞

1. 第 1 バイトで予約アドレス検出した場合
2. WSEL が 1、第 2 バイト以降でアービトレーションロストを検出した場合

＜DMA モードが禁止の場合(SSR:DMA=0)＞

1. DMA モードが禁止時(SSR:DMA=0)、WSEL が 1、マスタ動作中、第 2 バイト以降で SSR:TDRE ビットが 1 の場合
2. DMA モードが禁止時(SSR:DMA=0)、WSEL が 1、スレーブ動作中、受信 FIFO 禁止、第 2 バイト以降で SSR:TDRE ビットが 1 の場合
3. DMA モードが禁止時(SSR:DMA=0)、WSEL が 1、スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが 1 の場合
4. DMA モードが禁止時(SSR:DMA=0)、WSEL が 1、受信 FIFO 禁止でスレーブ受信の場合

＜DMA モードが許可の場合(SSR:DMA=1)＞

1. DMA モードが許可時(SSR:DMA=1)、WSEL が 1、マスタ動作中、第 2 バイト以降で SSR:TBI ビットが 1 のときに INT ビットに 1 を書き込んだ場合

＜9 ビット目＞

＜DMA モードに関係ない場合＞

1. 第 1 バイトでアービトレーションロストを検出した場合
2. ストップ条件出力設定(マスタ動作中の MSS ビットへの 0 書込み)時以外に NACK を受信した場合
3. WSEL=0 設定時、第 2 バイト以降でアービトレーションロストを検出した場合
4. 第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向(IBSR:TRX=0)で受信 FIFO 許可時に受信 FIFO にデータがある場合
5. EIBCR:BEC=1 で IBSR:BER=1 の場合

＜DMA モードが禁止の場合(SSR:DMA=0)＞

1. DMA モードが禁止時(SSR:DMA=0)、第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの送信方向(IBSR:TRX=1)で SSR:TDRE ビットが 1 の場合
2. DMA モードが禁止時(SSR:DMA=0)、第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向(IBSR:TRX=0)で受信 FIFO 禁止時に SSR:TDRE ビットが"1"の場合
3. DMA モードが禁止時(SSR:DMA=0)、WSEL=0 設定時、マスタモード動作中に第 2 バイト以降で SSR:TDRE ビットが 1 の場合
4. DMA モードが禁止時(SSR:DMA=0)、WSEL=0 設定時、スレーブ送信中に第 2 バイト以降で SSR:TDRE ビットが 1 の場合
5. DMA モードが禁止時(SSR:DMA=0)、WSEL=0 設定時、受信 FIFO 禁止でスレーブ受信の場合
   ただし、予約アドレスを検出した第 1 バイトでのスレーブ受信では 9 ビット目では割込みは発生しません。
6. DMA モードが禁止時(SSR:DMA=0)、受信 FIFO 許可、スレーブ受信のときに受信 FIFO が Full になった場合

＜DMA モードが許可の場合(SSR:DMA=1)＞

1. DMA モードが許可時(SSR:DMA=1)、第 1 バイトで予約アドレスを検出せずにスレーブモードの送信方向(IBSR:TRX=1)で SSR:TDRE ビットが 1 の場合

2. DMA モードが許可時(SSR:DMA=1)、第 1 バイトで予約アドレスを検出せずにスレーブモードの受信方向(IBSR:TRX=0)で受信 FIFO 禁止時に SSR:TDRE ビットが 1 の場合
3. DMA モードが許可時(SSR:DMA=1)、WSEL=0 設定時、マスタモード動作中に第 2 バイト以降で SSR:TBI ビットが 1 のときに INT ビットに 1 を書き込んだ場合

＜その他＞

1. EIBCR:BEC=0 でバスエラー検出

INT ビットのリセット条件:

INT ビットへの 0 書込み
INT ビットが 1, ACT ビットが 1 のときに MSS ビットへの 0 書込み
INT ビットが 1, ACT ビットが 1 のときに SCC ビットへの 1 書込み

DMA モードが禁止時(SSR:DMA=0)、INT ビットへの 1 書込みは無効です。

bit	説明	
	書込み時	読出し時
0	INT ビットのクリア	割込み要求なし
1	動作に影響しません	割込み要求あり

＜注意事項＞

- *DMA モードが許可時(SSR:DMA=1)、マスタモード動作中に第 2 バイト以降で SSR:TBI ビットが 1 のときに INT ビットに 1 を書き込んだ場合、ステータス割込み(SIRQ=1)は発生しません。*
- *DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが 1 で IBCR:INT ビットが 0 のときに反復スタート条件を発行する場合は、以下の手順を行ってください。*
  1. *IBCR:INT ビットに 1 を書き込んでください。*
  2. *IBCR:INT ビットが 1 に設定されていることを確認してください。*
  3. *TDR にスレーブアドレスを書き込んでください。*
  4. *IBCR:SCC ビットに 1 を設定してください。*
- *INT フラグが 1 に設定されている場合に、INT フラグに 0 を書き込んだ場合、I²C バスのウェイトを解除します。*
- *ISMK:EN ビットを 0 にした場合、受信タイミングによっては SSR:RDRF ビットと INT ビットが 1 になることがあります。この場合、受信データを読み出し、INT ビットをクリアしてください。*
- *リードモディファイライト系命令のリードは 1 が読み出されます。*
- *受信 FIFO 許可時、マスタ受信動作で受信 FIFO が Full になっても INT ビットには 1 がセットされません。*
- *スタート条件発行時(IBCR:MSS=1)、本ビットに 1 を書き込んでください。*

5.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定, 送受信割込みの許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	予約	RIE	TIE	予約	予約
属性		R/W	R/W	R/W	-	R/W	R/W	-	-
初期値		0	0	0	-	0	0	-	-

[bit7:5] MD2, MD1, MD0： 動作モード設定ビット

動作モードを設定します。

000: 動作モード 0(非同期ノーマルモード)に設定されます。
001: 動作モード 1(非同期マルチプロセッサモード)に設定されます。
010: 動作モード 2(クロック同期モード)に設定されます。
011: 動作モード 3(LIN 通信モード)に設定されます。
100: 動作モード 4(I^2C モード)に設定されます。
*本章では動作モード 4(I^2C モード)のレジスタおよび動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

*本章では動作モード 4(I^2C モード)のレジスタおよび動作について説明します。

<注意事項>

- *上記設定以外は禁止です。*
- *動作モードを切り換える場合は、I^2C 禁止(ISMK:EN=0)後、続けて動作モードを切り換えてください。*
- *動作モード設定後、各レジスタを設定してください。*

[bit4] 予約ビット

予約ビットです。読出し値は 0 です。常に 0 を書き込んでください。

[bit3] RIE： 受信割込み許可ビット

- CPU への受信割込み要求出力を許可/禁止するビットです。
- RIE ビットと受信データフラグビット(SSR:RDRF)が 1 の場合またはエラーフラグビット(SSR:ORE)のいずれかが 1 の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

<注意事項>

- *DMA モードが禁止時(SSR:DMA=0)に I^2C バス制御レジスタ(IBCR)の INT ビットを使用してデータを受信する場合、本ビットは 0 にしてください。*

[bit2] TIE : 送信割込み許可ビット

■ CPU への送信割込み要求出力を許可/禁止するビットです。
■ TIE ビットと SSR:TDRE ビットが 1 の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

＜注意事項＞

- *DMA モードが禁止時(SSR:DMA=0)に I²C バス制御レジスタ(IBCR)の INT ビットを使用してデータを送信する場合、本ビットは 0 にしてください。*

[bit1:0] 予約ビット

予約ビットです。読出し値は 0 です。常に 0 を書き込んでください。

5.3 I²C バスステータスレジスタ(IBSR)

I²C バスステータスレジスタ(IBSR)は、反復スタート, アクノリッジ, データ方向, アービトレーションロスト, ストップ条件, I²C バス状態, バスエラーを検出したことを示します。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SSR)	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
属性		R	R	R	R	R	R/W	R/W	R
初期値		0	0	0	0	0	0	0	0

[bit7] FBT : ファーストバイトビット

第 1 バイトを示すビットです。

FBT ビットのセット条件:
1. (反復)スタート条件を検出した場合

FBT ビットのクリア条件:
1. 2 バイト目の送受信
2. ストップ条件検出
3. I²C インタフェースの動作禁止(ISMK:EN=0)
4. EIBCR:BEC=0 でバスエラー検出(IBCR:BER=1)

bit	説明
0	ファーストバイト以外
1	ファーストバイト送受信中

[bit6] RACK : アクノリッジフラグビット

第 1 バイト、マスタモード時またはスレーブモード時に受信したアクノリッジをこのビットに示します。

RACK ビットの更新条件
1. ファーストバイト時のアクノリッジ
2. マスタモードまたはスレーブモード時のデータのアクノリッジ

RACK ビットのクリア条件(RACK="0")
1. (反復)スタート条件検出
2. I²C インタフェースの動作禁止(ISMK:EN=0)
3. EIBCR:BEC=0 でバスエラー検出(IBCR:BER=1)

bit	説明
0	L 受信
1	H 受信

[bit5] RSA : 予約アドレス検出ビット

本ビットは予約アドレスを検出したことを示すビットです。

RSA ビットのセット条件(RSA=1)

1. 第 1 バイト目が(0000xxxx)または(1111xxxx)。"x"は 0 または 1 を示します。

RSA ビットのリセット条件(RSA=0)

1. (反復)スタート条件検出
2. ストップ条件検出
3. I²C インタフェースの動作禁止(ISMK:EN=0)
4. EIBCR:BEC=0 でバスエラー検出(IBCR:BER=1)

第 1 バイトで RSA ビットが 1 になるとその第 1 バイトの 8 ビット目の SCL の立下りで、FIFO 許可, 禁止に関係なく割込みフラグ(IBCR:INT)を 1 にして SCL を L にします。このとき受信データを読み出し、スレーブとして動作させる場合には IBCR:ACKE を 1 に設定し、割込みフラグ(IBCR:INT)を 0 にクリアします。その後、TRX ビット 0 の場合、スレーブとしてデータを受信します。途中でデータを受信させない場合には IBCR:ACKE ビットを 0 にします。それ以降、データを受信しません。

bit	説明
0	予約アドレス未検出
1	予約アドレス検出

＜注意事項＞

- *データ転送中に IBCR:ACKE を 0 にした場合には、ストップ条件または反復スタート条件を検出するまで IBCR:ACKE を 1 にすることは禁止です。*
- *予約アドレス検出による割込み時、スレーブ送信を確認した場合、受信 FIFO が許可になっていると ACK 応答するため受信 FIFO を禁止にし、IBCR:ACKE=0 にしてください。*

[bit4] TRX : データ方向ビット

本ビットはデータの方向を示すビットです。

TRX ビットのセット条件:

1. マスタモードで(反復)スタート条件を送信
2. スレーブモードで第 1 バイトの 8 ビット目が 1 の場合(スレーブとして送信方向)

TRX ビットのリセット条件:

1. アービトレーションロスト発生(AL=1)
2. スレーブモードでファーストバイトの 8 ビット目が 0 の場合(スレーブとして受信方向)
3. マスタモードでファーストバイトの 8 ビット目が 1 の場合(マスタとして受信方向)
4. ストップ条件検出
5. マスタモード以外で(反復)スタート条件検出
6. I²C インタフェースの動作禁止(ISMK:EN=0)
7. EIBCR:BEC=0 でバスエラー検出(IBCR:BER=1)

bit	説明
0	受信方向
1	送信方向

[bit3] AL： アービトレーションロストビット

本ビットはアービトレーションロストを示します。

AL ビットのセット条件:

1. マスタモード時出力しているデータと受信したデータが異なる場合
2. IBCR:MSS ビットに 1 を設定したが、スレーブとして動作している場合
3. EIBCR:BEC=0 でマスタモード時、第 2 バイト目以降のデータの 1 ビット目で反復スタート条件を検出した場合
4. EIBCR:BEC=1 でマスタモード時、反復スタート条件を検出した場合
5. EIBCR:BEC=1 でマスタモード時、第 2 バイト目以降のデータの 1 ビット目でストップ条件を検出した場合
6. EIBCR:BEC=1 でマスタモード時(アクノリッジフィールドでストップ条件を検出した場合は除く)、ストップ条件を検出した場合
7. マスタモード時、反復スタート条件を発生させようとして発生できない場合
8. マスタモード時、ストップ条件を発生させようとして発生できない場合

AL ビットのリセット条件:

1. IBCR:MSS ビットへの 1 書込み
2. IBCR:INT ビットへの 0 書込み
3. AL ビット=1、SPC ビット=1 のときに SPC ビットへの 0 書込み
4. I^2C インタフェースの動作禁止(ISMK:EN=0)
5. EIBCR:BEC=0 でバスエラー検出(IBCR:BER=1)

bit	説明
0	アービトレーションロスト発生なし
1	アービトレーションロスト発生

[bit2] RSC： 反復スタート条件確認ビット

マスタモードまたはスレーブモード時に反復スタート条件を検出したことを示すビットです。

RSC ビットのセット条件:

1. EIBCR:BEC=0 でスレーブモードまたはマスタモードで動作中にアクノリッジ後、反復スタート条件が検出された場合
2. EIBCR:BEC=1 でファーストバイト中、スレーブモードまたはマスタモードで動作中に反復スタート条件が検出された場合

RSC ビットのリセット条件:

1. RSC ビットへの 0 書込み
2. IBCR:MSS ビットへの 1 書込み
3. I^2C インタフェースの動作禁止(ISMK:EN=0)

本ビットへの"1"書込みは無効です。

bit	説明
0	反復スタート条件未検出
1	反復スタート条件検出

＜注意事項＞

- *予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了するため次に反復スタート条件を検出しても本ビットに 1 はセットされません。*
- *リードモディファイライト系命令のリードは 1 が読み出されます。*

[bit1] SPC： ストップ条件確認ビット

マスタモードまたはスレーブモード時にストップ条件を検出したことを示すビットです。

SPC ビットのセット条件:

1. EIBCR:BEC=0 でスレーブモードまたはマスタモードで動作中にアクノリッジ後、ストップ条件が検出された場合
2. EIBCR:BEC=1 で以下のいずれかの場合でストップ条件が検出された場合

- IBCR:ACT=0 で第 1 バイト中
- スレーブモード動作中
- マスタモード動作中(アクノリッジフィールドでストップ条件を検出した場合は除く)

3. マスタモード時、ストップ条件発生動作でアービトレーションロストが発生した場合

SPC ビットのリセット条件:

1. 本ビットへの 0 書込み
2. IBCR:MSS ビットへの 1 書込み
3. I²C インタフェースの動作禁止(ISMK:EN=0)

本ビットへの 1 書込みは無効です。

bit	説明	
0	ストップ条件未検出	
1	マスタ	ストップ条件検出または ストップ条件出力時のアービトレーションロスト発生
	スレーブ	ストップ条件検出

<注意事項>

- *予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了するため次にストップ条件を検出しても本ビットに"1"はセットされません。*
- *リードモディファイライト系命令のリードは 1 が読み出されます。*
- *以下のすべての条件が成り立つ場合に、ストップ条件を検出しても、本ビットは 1 に設定されず、マスタ動作を継続させます。*
- *EIBCR:BEC=1 の場合*
- *マスタ動作中*
- *アクノリッジフィールド中*

[bit0] BB： バス状態ビット

本ビットはバスの状態を示します。

BB ビットのセット条件:

1. I²C バスの SDA または SCL で L を検出した場合

BB ビットのリセット条件:

1. ストップ条件を検出した場合
2. I²C インタフェースの動作禁止(ISMK:EN=0)
3. EIBCR:BEC=0 でバスエラー検出(IBCR:BER=1)

bit	説明
0	バスアイドル状態
1	バス送受信状態

5.4 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI	(IBSR)
属性	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	1	1	

[bit15] REC： 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の ORE ビットをクリアするビットです。

- "1"書込みで、ORE ビットがクリアされます。
- "0"書込みは、動作に影響しません。

読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に 0 が読み出されます
1	受信エラーフラグ(ORE)のクリア	

[bit14] TSET： 送信バッファエンプティフラグセットビット

シリアルステータスレジスタ(SSR)の TDRE ビットをセットするビットです。

- 1 書込みで、TDRE ビットがセットされます。また、DMA モードが許可(DMA=1)のとき TBI ビットがセットされます。
- 0 書込みは、動作に影響しません。

読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に 0 が読み出されます
1	TDRE ビットセット	

＜注意事項＞

- *IBCR:INT ビットが 1 のときに本ビットに 1 を書き込んでください。*

[bit13] :DMA : DMA モード許可ビット

DMA モードを禁止/許可するビットです。

- 本ビットを 1 に設定した場合、DMA 転送に対応した割込み条件です。
- 本ビットを 0 に設定した場合、通常転送時に割込み条件です。

bit	説明
0	DMA モードを禁止
1	DMA モードを許可

＜注意事項＞

- *ISMK:EN=0 のときのみ本ビットを変更できます。*

[bit12] TBIE : 送信バスアイドル割込み許可ビット(DMA モードが許可のみ有効)

- CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
- DMA モードが許可(DMA=1)で TBIE ビットと TBI ビットが 1 のとき、送信バスアイドル割込み要求を出力します。
- DMA モードが禁止(DMA=0)のとき、本ビットは 0 となり、書込みをしても、その書込みは無視され、0 の状態を保持します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit11] ORE : オーバランエラーフラグビット

- 受信時にオーバランが発生した場合に 1 に設定され、シリアルステータスレジスタ(SSR)の REC ビットに 1 を書き込むとクリアされます。
- ORE ビットと SMR:RIE ビットが 1 の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合、受信データレジスタ(RDR)は無効です。
- 受信 FIFO 使用時、本フラグがセットされた場合には受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF： 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- SMR:RIE ビットと受信データフラグビット(RDRF)が 1 の場合、受信割込み要求を出力します。
- RDR に受信データがロードされると、1 に設定され、受信データレジスタ(RDR)を読み出すと 0 にクリアされます。
- データの 8 ビット目の SCL 立下りタイミングでセットされます。
- NACK 応答*1 でもセットされます。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が 1 に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。
- 以下のすべての条件を満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が 1 に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が 1
  - 受信 FIFO に存在するデータ数が転送数に達しない
  - IBCR:BER ビットが 0

8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。

*1) NACK 応答: アクノリッジ期間 I^2C バスの SDA が H であることを指します。

bit	説明
0	受信データレジスタ(RDR)がエンプティ
1	受信データレジスタ(RDR)にデータが存在する

＜注意事項＞

- *以下の条件をすべて満たす場合、ACK 送信後に SCL を"L"にし、RDRF ビットが 0 になると SCL が"L"の状態を解除します。*
- *受信 FIFO 未使用時*
- *DMA モード許可(IBCR:DMA=1)時*
- *第 2 バイト以降で受信動作中(IBSR:TRX=0)、RDRF ビットが 1 のとき*
- *IBCR:WSEL=0*
- *以下の条件をすべて満たす場合、1 バイトデータ受信直後に SCL を L にし、RDRF ビットが 0 になると SCL が L の状態を解除します。*
- *受信 FIFO 未使用時*
- *DMA モード許可(IBCR:DMA=1)時*
- *第 2 バイト以降で受信動作中(IBSR:TRX=0)、RDRF ビットが 1 のとき*
- *IBCR:WSEL=1*
- *受信 FIFO 使用時に DMA モード許可(DMA=1)で受信の場合、受信 FIFO がフルになると SCL を L にし、RDR より 1 回でもデータを読み出すと SCL が L の状態を解除します。*

[bit9] TDRE : 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- SMR:TIE ビットと TDRE ビットが 1 の場合、送信割込み要求を出力します。
- TDR に送信データを書き込むと、0 となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると 1 となり TDR に有効なデータが存在していないことを示します。
- シリアルステータスレジスタ(SSR)の TSET ビットに 1 を書き込むとセットされます。アービトレーションロスト, バスエラーなど検出した場合、TDRE ビットを 1 に設定したいときに使用します。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI : 送信バスアイドルフラグビット(DMA モード許可のみ有効)

本ビットは DMA モード許可時(DMA=1)に I^2C が送信動作をしていないことを示すビットです。DMA モード許可(DMA=1)で第 2 バイト以降に TBI ビットが 1 になると、SCL を L にし、TBI ビットが"0"になると SCL の L の状態を解除します。

TBI ビットのセット条件

＜8 ビット目＞

1. WSEL が 1,マスタ動作中、第 2 バイト以降で TDRE ビットが 1 の場合
2. WSEL が 1,スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが 1 の場合

＜9 ビット目＞

1. マスタ動作中、第 1 バイトで予約アドレスを検出せずに SSR:TDRE ビットが 1 の場合
2. WSEL が 0,マスタ動作中、第 2 バイト以降で TDRE ビットが 1 の場合
3. WSEL が 0,スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが 1 の場合

＜その他＞

1. 送信バッファエンプティフラグセットビット(TSET)が 1 に設定されている場合

TBI ビットのリセット条件

1. 送信データレジスタ(TDR)へ送信データを書き込んだ場合

本ビットが 1 で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

DMA モードが禁止(DMA=0)時に、本ビットは不定です。

bit	説明
0	送信中
1	送信動作なし

5.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データレジスタと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。

受信データレジスタ(RDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
属性		R	R	R	R	R	R	R	R
初期値		0	0	0	0	0	0	0	0

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

- シリアルデータライン(SDA 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- 第 1 バイト*1 を受信した場合、受信したアドレスは受信データレジスタ(RDR)に格納されません。ただし、第 1 バイトが予約アドレスの場合、受信したアドレスは受信データレジスタ(RDR)に格納されます。その場合、最下位ビット(RDR:D0)がデータ方向ビットです。
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が 1 に設定されます。
- 受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に 0 にクリアされます。

*1: 第 1 バイト: (反復)スタート条件後のデータを指します。

<注意事項>

- *受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が 1 に設定されます。*
- *受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が 0 にクリアされます。*

送信データレジスタ(TDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
属性		W	W	W	W	W	W	W	W
初期値		1	1	1	1	1	1	1	1

送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。

- 送信データレジスタ(TDR)の値の MSB ファーストでシリアルデータライン(SDA 端子)に出力します。
- 第 1 バイトを送信する場合、最下位ビット(TDR:D0)がデータ方向ビットです。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書込まれると、0 にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信用シフトレジスタへ転送されると、1 に設定されます。
  送信 FIFO 禁止時、データエンプティフラグ(SSR:TDRE)が 0 のときは送信データレジスタ(TDR)に送信データを書き込むことはできません。
- 送信 FIFO 使用時、データエンプティフラグ(SSR:TDRE)が 0 であっても送信 FIFO の容量まで送信データを書き込むことが可能です。

<注意事項>

- *送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。*

5.6 ノイズフィルタ制御レジスタ(NFCR)

ノイズフィルタ制御レジスタ(NFCR)は、ノイズフィルタ時間を設定するレジスタです。

ノイズフィルタ制御レジスタ(NFCR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(EIBCR)	-	-	-	NFT4	NFT3	NFT2	NFT1	NFT0
属性		-	-	-	R/W	R/W	R/W	R/W	R/W
初期値		-	-	-	0	0	0	0	0

[bit7:5] 予約ビット

予約ビットです。読出し値は 0 です。常に 0 を書き込んでください。

予約ビット
読出し値は 0 です。常に 0 を書き込んでください。

[bit4:0] NFT4～NFT0： ノイズフィルタ時間選択ビット

シリアルクロック入力(SCL)とシリアルデータ入力(SDA)のノイズフィルタ時間を選択します。
ノイズフィルタ時間の計算式を以下に示します。

ノイズフィルタ時間=(NFT+1)×2×バスクロックの周期時間

Table 5-3 にノイズフィルタ時間選択ビットとバスクロック周波数の関係を示します。バスクロック周波数に合わせてノイズフィルタ時間選択ビットを調整してください。

＜注意事項＞

- *ISMK レジスタの ISMK:EN ビットが 0 のとき、本ビットの設定を行ってください。*
- *Table 5-3 以外の組み合わせは禁止です。*

Table 5-3 ノイズフィルタ時間選択ビットとバスクロック周波数の関係

bit4	bit3	bit2	bit1	bit0	バスクロック周波数 [MHz]
0	0	0	0	0	8 MHz 以上～40 MHz 未満*1
0	0	0	0	1	40 MHz 以上～60 MHz 未満
0	0	0	1	0	60 MHz 以上～80 MHz 未満
0	0	0	1	1	80 MHz 以上～100 MHz 未満
0	0	1	0	0	100 MHz 以上～120 MHz 未満
0	0	1	0	1	120 MHz 以上～140 MHz 未満
0	0	1	1	0	140 MHz 以上～160 MHz 未満
0	0	1	1	1	160 MHz 以上～180 MHz 未満
0	1	0	0	0	180 MHz 以上～200 MHz 未満
0	1	0	0	1	200 MHz 以上～220 MHz 未満
0	1	0	1	0	220 MHz 以上～240 MHz 未満
0	1	0	1	1	240 MHz 以上～260 MHz 未満
0	1	1	0	0	260 MHz 以上～280 MHz 未満
0	1	1	0	1	280 MHz 以上～300 MHz 未満
0	1	1	1	0	300 MHz 以上～320 MHz 未満
0	1	1	1	1	320 MHz 以上～340 MHz 未満
1	0	0	0	0	340 MHz 以上～360 MHz 未満
1	0	0	0	1	360 MHz 以上～380 MHz 未満
1	0	0	1	0	380 MHz 以上～400 MHz 未満

*1: Standard-mode の場合、2 MHz 以上～40 MHz 未満

5.7 拡張 I²C バス制御レジスタ(EIBCR)

拡張 I²C バス、制御レジスタ(EIBCR)は、SDA/SCL の出力制御、バスエラー発生後の動作の継続の有無を設定するレジスタです。

bit	15	14	13	12	11	10	9	8	7	...	0
Field	予約		SDAS	SCLS	SDAC	SCLC	SOCE	BEC	-		
属性	-		R	R	R/W	R/W	R/W	R/W			
初期値	-		0	0	1	1	0	0			

[bit15:14] 予約 : 予約ビット

読出し値は 0 です。常に 0 を書き込んでください。

[bit13] SDAS: SDA ステータスビット

ノイズフィルタ通過後の SDA ラインの信号レベルを表示します。

bit	説明
0	SDA ラインは L
1	SDA ラインは H

<注意事項>

- *本ビットは I²C 許可(ISMK:EN=1)時のみ有効です。I²C 禁止時(ISMK:EN=0)時、本ビットは常に 0 を読み出します。*

[bit12] SCLS: SCL ステータスビット

ノイズフィルタ通過後の SCL ラインの信号レベルを表示します。

bit	説明
0	SCL ラインは L
1	SCL ラインは H

<注意事項>

- *本ビットは I²C 許可(ISMK:EN=1)時のみ有効です。I²C 禁止時(ISMK:EN=0)時、本ビットは常に 0 を読み出します。*

[bit11] SDAC: SDA 出力制御ビット

シリアル出力制御許可(SOCE=1)時、SDA 出力を制御します。

bit	説明
0	SDA 出力は L
1	SDA 出力は H

[bit10] SCLC: SCL 出力制御ビット

シリアル出力制御許可(SOCE=1)時、SCL 出力を制御します。

bit	説明
0	SCL 出力は L
1	SCL 出力は H

[bit9] SOCE: シリアル出力許可ビット

シリアル出力制御の許可ビットです。

本ビットを 1 に設定した場合、以下のように動作します。

- SDA 出力は SDA 出力制御ビット(SDAC)により制御されます。
- SCL 出力は SCL 出力制御ビット(SCLC)により制御されます。

bit	説明
0	シリアル出力制御禁止
1	シリアル出力制御許可

＜注意事項＞

- *本ビットは IBCR:MSS=0 かつ IBCR:ACT=0 のときのみ、1 に設定してください。*

[bit8] BEC: バスエラー制御ビット

バスエラー発生(IBSR:BER=1)後、I^2C 動作継続または中断を選択するビットです。

bit	説明
0	I^2C 動作中断
1	I^2C 動作継続

＜注意事項＞

- *EIBCR:BEC=0 のとき、スタート条件検出後のアドレスデータの転送中、または bit2～bit9(アクノリッジビット)の転送中に、再度スタート条件を検出した場合、バスエラーを検出(IBCR:BER=1)し、受信を中断するため、次のデータ受信ができません。この場合、割込みフラグ(IBCR:INT)のクリア後にマスタからスタート条件の再送処理が必要になります。*

5.8 7 ビットスレーブアドレスマスクレジスタ(ISMK)

7 ビットスレーブアドレスマスクレジスタ(ISMK)は、スレーブアドレスの各ビットを比較または設定するレジスタです。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	(ISBA)
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	1	1	1	1	1	1	1	

[bit15] EN : I²C インタフェース動作許可ビット

I²C インタフェースの動作を許可/禁止するビットです。

0 に設定した場合: I²C インタフェースは動作禁止状態です。
1 に設定した場合: I²C インタフェースは動作が可能です。

bit	説明
0	禁止
1	許可

<注意事項>

- *IBSR レジスタの BER ビットが 1 に設定されても、本ビットは 0 にクリアされません。*
- *本ビットが 0 のときにボーレートジェネレータを設定してください。*
- *本ビットが 0 のときに 7 ビットスレーブアドレスおよび 7 ビットスレーブアドレスマスクレジスタを設定してください。*
- *I²C インタフェースが禁止される(EN=0)と送受信は直ちに禁止されます。*
- *IBCR:MSS ビットに 0 を書き込んでストップコンディションを発生させた後に I²C インタフェースの動作を禁止する場合は、ストップコンディションの発生を確認した後、動作を禁止(EN=0)してください。*
- *送信中に EN ビットを 0 にした場合、I²C バスの SDA/SCL にパルスが発生することがあります。*

[bit14:8] SM6～SM0 : スレーブアドレスマスクビット

7 ビットスレーブアドレスと受信したアドレスに対し、比較対象外にするかどうかを設定するビットです。

1 を設定したビット: 比較する
0 を設定したビット: 一致したものとして処理する

bit14:8	説明
0	ビット比較しない
1	ビット比較する

<注意事項>

- *EN ビットが 0 のときに本レジスタを設定してください。*

5.9 7 ビットスレーブアドレスレジスタ(ISBA)

7 ビットスレーブアドレスレジスタ(ISBA)は、スレーブアドレスを設定するレジスタです。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(ISMK)	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] SAEN : スレーブアドレス許可ビット

スレーブアドレスの検出許可ビットです。

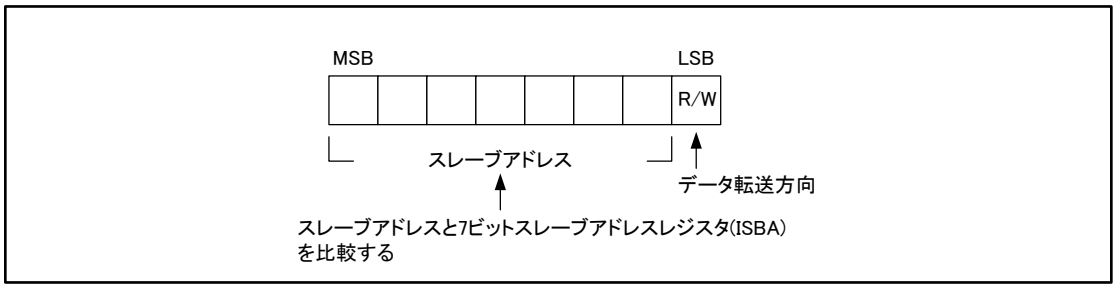
0 を設定した場合: スレーブアドレスを検出しません。
1 を設定した場合: ISBA, ISMK の設定と受信した第 1 バイトと比較を行います。

bit	説明
0	禁止
1	許可

[bit6:0] SA6～SA0 : 7 ビットスレーブアドレス

- 7 ビットスレーブアドレスレジスタ(ISBA)は、スレーブアドレス検出許可(SAEN=1)されていれば、(反復)スタート条件検出後に受信した 7 ビットのデータを本レジスタと比較します。このとき、全ビットが一致した場合、スレーブモードとして動作し、ACK を出力します。受信したスレーブアドレスは、本レジスタに設定されます(SAEN=0 の場合、ACK を出力しません)。
- (反復)スタート条件検出後の最初のバイトには、7 ビットのスレーブアドレスとデータ転送の方向を示すビットが含まれます。受信したデータに含まれるスレーブアドレスと本ビットが比較されます。

Figure 5-1 (反復)スタート条件検出後の最初のバイトフォーマット



- ISMK レジスタに 0 を設定したアドレスビットは比較対象外です。

bit6:0	説明
	7 ビットスレーブアドレス

<注意事項>

- *予約アドレスの設定は禁止です。*
- *本レジスタは ISMK レジスタの EN ビットが 0 のときに設定してください。*

5.10 ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)は、シリアルクロックの分周比を設定します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	-	(BGR1)							(BGR0)							
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、BGR1/0 の設定値の読出しが可能です。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)にリロード値を書き込むとリロードカウンタはカウントを開始します。

[bit15] - : 未使用ビット

読出し時、値は不定です。
書込み時、動作に影響しません。

[bit14:8] BGR1 : ボーレートジェネレータレジスタ 1

bit14:8	説明
書込み	リロードカウンタ bit8～bit14 に書込み
読出し	BGR1 の設定値の読出し

[bit7:0] BGR0 : ボーレートジェネレータレジスタ 0

bit7:0	説明
書込み	リロードカウンタ bit0～bit7 に書込み
読出し	BGR0 の設定値の読出し

<注意事項>

- *ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。*
- *ISMK レジスタの EN ビットが"0"のときにボーレートジェネレータレジスタの設定を行ってください。*
- *マスタモード, スレーブモードに関係なく、ボーレートを設定してください。*
- *動作モード 4(I²C モード)では、Standard-mode/Fast-mode 時におけるバスクロックは 8 MHz 以上で使用し、400 kbps を超えるボーレートジェネレータの設定は禁止です。また、Fast-mode Plus 時におけるバスクロックは 64 MHz 以上で使用し、1000 kbps を超えるボーレートジェネレータの設定は禁止です。*

5.11 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、送受信 FIFO の選択，送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
属性	-	-	-	R/W	R/W	R/W	R/W	R/W	
初期値	-	-	-	0	-	1	0	0	

[bit15:13] 予約 : 予約ビット

読出し値は 0 です。常に 0 を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FCR0:FLST ビット検出を許可するビットです。

0 に設定した場合: FCR0:FLST ビット検出禁止
1 に設定した場合: FCR0:FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

- *本ビットに 1 を設定する場合、FSET ビットに 1 を設定してから本ビットに 1 を設定してください。*

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

0 に設定した場合: 受信アイドル状態検出禁止
1 に設定した場合: 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- *受信 FIFO を使用する場合、本ビットを 1 に設定してください。*

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが 1 のとき、送信データを要求していることを示します。このとき、送信割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力されます。
FDRQ セット条件

- FBYTE(送信用)=0　(送信 FIFO がエンプティ)
- 送信 FIFO のリセット

FDRQ リセット条件

- 本ビットへの 0 書込み
- 送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>

- *FBYTE(送信用)=0 のときに本ビットへの 0 書込みは禁止です。*
- *本ビットが 0 のときに FSEL ビットの変更は禁止です。*
- *本ビットに 1 を設定した場合、動作に影響しません。*
- *リードモディファイライト系命令時、1 が読み出されます。*
- *送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に 0 を書き込んで割込み要求をクリアしてください。*

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが 1 のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

0 に設定した場合: 送信 FIFO : FIFO1, 受信 FIFO : FIFO2 に割り当てられます。
1 に設定した場合: 送信 FIFO : FIFO2, 受信 FIFO : FIFO1 に割り当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>

- *本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1) ではクリアされません。*
- *本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。*

5.12 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値		0	0	0	0	0	0	0	0

[bit7] - : 未使用ビット

読出し時: 常に 0 が読み出されます。
書込み時: 常に 0 を書き込んでください。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが 1 で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ場合

FLST リセット条件

- FIFO リセット(FCL への 1 書込み)
- FSET ビットへ 1 書込み

本ビットに 1 が設定されると FSET ビットで保存したリードポインタが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに 1 が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは 0 に設定されます。

bit	説明
0	リロードしない
1	リロード実行

<注意事項>

- *本ビットが 1 に設定されている間、リードポインタへのリロード中のため FIFO リセット以外の書込みは禁止です。*
- *FIFO 許可状態または送信中、本ビットに 1 を設定することは禁止です。*
- *SMR:TIE ビットは"0"にしてから本ビットに 1 を書き込み、送信 FIFO 許可後、SMR:TIE ビットを 1 にしてください。*

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
送信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが 0 の場合、再送可能です。

1 に設定した場合: 現在のリードポインタの値を保存します。
0 に設定した場合: 動作に影響しません。

bit	説明
0	保存しない
1	保存実行

＜注意事項＞

- *送信バイト数(FBYTE)が 0 を示しているときに本ビットを 1 に設定してください。*

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを 1 に設定した場合、FIFO2 の内部状態は初期化されます。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

Bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

＜注意事項＞

- *FIFO2 を禁止してから、FIFO2 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを"0"にしてから実行してください。*
- *FBYTE2 レジスタの有効データ数は 0 です。*

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを 1 に設定した場合、FIFO1 の内部状態は初期化されます。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

＜注意事項＞

- *FIFO1 を禁止してから、FIFO1 リセットを実行してください。*
- *送信 FIFO 割込み許可ビットを 0 にしてから実行してください。*
- *FBYTE1 レジスタの有効データ数は 0 です。*

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに 1 を設定してください。
- FCR1:FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後に本ビットは 0 にクリアされ、受信エラーがクリアされない限り、本ビットに 1 を設定することはできません。
- FIFO2 を送信 FIFO で使用する場合には送信データがエンプティ(SSR:TDRE=1)のときに本ビットに 1 または 0 を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、I²C インタフェースを禁止(ISMK:EN=0)、動作フラグ(IBCR:ACT)が 0 または割込みフラグ(IBCR:INT)が 1 で受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに 0 を設定してください。
- FIFO2 を受信 FIFO で使用する場合には、I²C インタフェースを禁止(ISMK:EN=0)または動作フラグ(IBCR:ACT)が 0 または割込みフラグ(IBCR:INT)が 1 で受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに 1 を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

<注意事項>

- *IBSR:BB ビットが 0 または IBCR:INT ビットが 1 のときに許可/禁止の変更を行ってください。*
- *受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを 0 にし、IBCR:ACKE=0 にしてください。*
- *受信 FIFO として使用していて本ビットを 1 から 0 に変更したときに SSR:RDRF ビットが 1 になっていると 0 になるまで受信 FIFO は禁止になりません。*
- *送信 FIFO として使用していて FIFO2 にデータが存在し、本ビットを 0 から 1 に変更する場合、SMR:TIE ビットを 0 にしてから本ビットに 1 を書き込み、SMR:TIE ビットを 1 にしてください。*

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

- FIFO1 を使用する場合、本ビットに 1 を設定してください。
- FCR1:FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後に本ビットは 0 にクリアされ、受信エラーがクリアされない限り、本ビットに 1 を設定することはできません。
- FIFO1 を送信 FIFO で使用する場合には送信データがエンプティ(SSR:TDRE=1)のときに本ビットに 1 または 0 を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、I²C インタフェースを禁止(ISMK:EN=0)、動作フラグ(IBCR:ACT)が 0 または割込みフラグ(IBCR:INT)が 1 で受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに 0 を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、I²C インタフェースを禁止(ISMK:EN=0)または動作フラグ(IBCR:ACT)が 0 または割込みフラグ(IBCR:INT)が 1 で受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに 1 を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

<注意事項>

- *IBSR:BB ビットが 0 または IBCR:INT ビットが 1 のときに許可/禁止の変更を行ってください。*
- *受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを 0 にし、IBCR:ACKE=0 にしてください。*
- *受信 FIFO として使用していて本ビットを 1 から 0 に変更したときに SSR の RDRF ビットが 1 になっていると 0 になるまで受信 FIFO は禁止になりません。*
- *送信 FIFO として使用していて FIFO1 にデータが存在し、本ビットを 0 から 1 に変更する場合、SMR:TIE ビットを 0 にしてから本ビットに 1 を書き込み、SMR:TIE ビットを 1 にしてください。*

5.13 FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットの設定と FBYTE の関係を Table 5-4 に示します。

Table 5-4 データ数表示

FCR1:FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致した場合に割込みフラグ(SSR:RDRF)が 1 に設定されます。
- 以下の 2 つの条件を満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が 1 に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が 1
  - 受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

- マスタ動作で、データを受信する場合(マスタ受信)、SMR:TIE ビットを 0 にし送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに 0 を書きます。設定データ分の SCL のクロックが出力され、その後、IBCR:INT ビットが 1 に設定されます。SMR:TIE ビットに 1 を設定したい場合には FCR1:FDRQ が 1 になった後に 1 に設定してください。

[bit15:8] FBYTE2: FIFO2 データ数表示ビット

[bit7:0] FBYTE1: FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時: FIFO に書き込まれ、送信されていないデータ数

受信時: FIFO に受信されたデータ数

ライト(転送数)

送信時: 0x00 設定

受信時: 受信割込み発生のデータ数設定

Table 5-5 FIFO の格納可能なデータ数について

FIFO 容量	最大 FBYTE 数	格納可能データ数
16 バイト	16	16
32 バイト	32	32
64 バイト	64	64
128 バイト	128	128

＜注意事項＞

- *マスタ動作で、データを受信するとき以外、送信 FIFO の FBYTE は 0x00 を設定してください。*
- *マスタ動作でデータを受信するときの送信データ数の設定は送信 FIFO がエンプティで SMR:TIE ビットが"0"のときに行ってください。*
- *マスタ動作でデータを受信中に I²C インタフェースを禁止(ISMK:EN=0)にする場合には、送受信 FIFO を禁止にしてから禁止してください。*
- *マスタ動作でデータを受信する時の送信データ数の設定は、送信 FIFO がエンプティで、かつ SMR:TIE ビットが 0 のときに行ってください。*
- *受信 FIFO の FBYTE には 1 以上のデータを設定してください。*
- *以下の条件のいずれかのときに変更してください。*
- *I²C インタフェースを禁止(ISMK:EN=0)のとき*
- *SSR:DMA=0 でマスタ受信の場合、IBCR:INT=1 のとき*
- *SSR:DMA=1 でマスタ受信の場合、SSR:TBI=1 のとき*
- *本レジスタはリードモディファイライト系命令を使用することはできません。*
- *FIFO 容量を超えた設定は禁止です。*
- *マスタ動作でデータを受信する場合(マスタ受信)、SMR:TIE ビットを 0 にし送信 FIFO の FBYTE レジスタに受信データ数を設定するときに送信データレジスタ(TDR)にダミーデータを書き込まないでください。*

CHAPTER 1-6: MFS-I²S (Inter-IC Sound bus)

マルチファンクション シリアルインタフェースを使用してサポートするシリアルオーディオインタフェースである I²S インタフェースの機能について説明します。

1 MFS-I²S の概要
2 MFS-I²S インタフェースの構成
3 MFS-I²S データ・フォーマット
4 MFS-I²S 割込み
5 MFS-I²S レジスタ
6 MFS-I²S クロックジェネレータレジスタ
7 MFS-I²S インタフェース動作説明
8 ユーザの注意事項

1. MFS-I²S の概要

MFS-I²S インタフェースは、フレームフォーマットを指定することで、I²S と MSB-justified の両方の転送のインタフェースとして動作できます。また、送信/受信 FIFO (各最大 128 バイト)*1 を実装しています。

MFS-I²S 機能

		機能
1	データバッファ	− 送信/受信 FIFO（各最大 128 バイト）*1 − 送信動作もしくは受信動作のどちらかを選択して実行可能（半二重）
2	転送方式	− クロック同期 − マスタ動作のみ
3	オーディオサンプル周波数	− 8kHz～96kHz
4	データ・フォーマット	− 送受信データは、16 ビット長をサポート − ビットクロック（MI2SCK）レートは、32×FS と 64×FS をサポート
5	受信エラー検出	− オーバランエラー
6	割込み要求	− 受信割込み（受信完了、オーバランエラー） − 送信 FIFO 割込み（送信 FIFO が空の場合） − DSTC（送信/受信）転送サポート機能を使用できます。
7	転送モード	− I²S モード − MSB-justified モード
8	クロック	− MI2SCK 出力のクロックソースは、PCLK（APB バスクロック）または MI2SMCLK 入力から選択できます。 − MI2SMCLK 出力は、256×サンプリング周波数のクロックを出力できます。
9	FIFO オプション	− 送信/受信用 FIFO 実装（最大容量：送信 FIFO 128 バイト、受信 FIFO 128 バイト）* − FIFO リセットは、個別にサポートされています。

*：FIFO の容量の大きさは、製品により異なります。詳細はデータシートを確認してください。

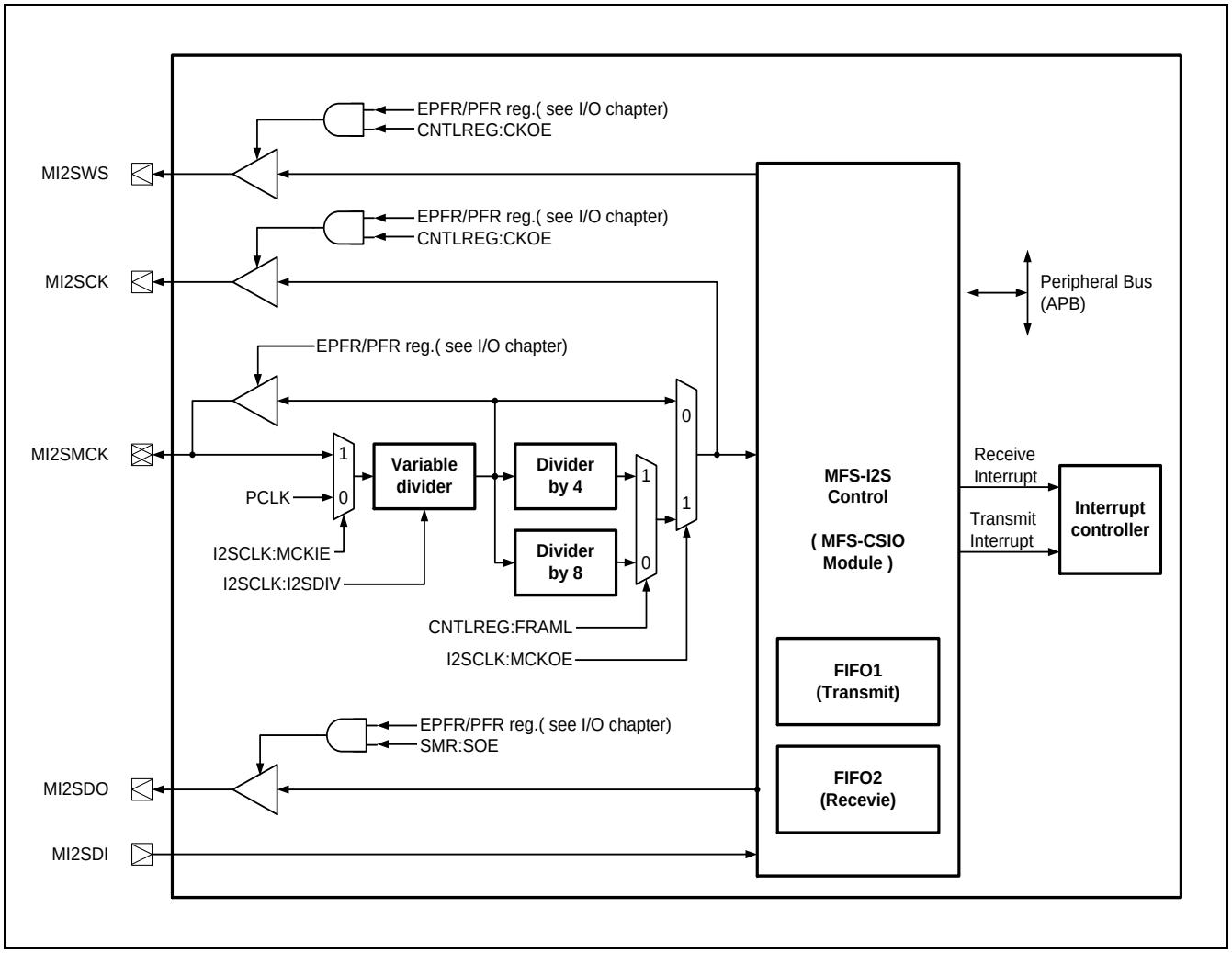
＜注意事項＞

− *TYPE5-M4 の製品については、MFS ch.1 で I²S をサポートできます。他の製品はサポートしておりません。*

2. MFS-I²S インタフェースの構成

Figure2-1 に、MFS-I²S インタフェースの構成を示します。

Figure 2-1 MFS-I²S ブロックダイアグラム



MFS-I²S インタフェースは、MFS-CSIO モジュールと FIFO1/FIFO2 を使用します。したがって、MFS-I²S は、MFS の当該チャネルのレジスタ、送信割込み(TIRQ)、受信割込み(RIRQ) を共有します。

＜注意事項＞

- *TYPE5-M4 の製品には、MFS ch.1 に I²S インタフェースがあります。*

3. MFS-I²S データ・フォーマット

Figure3-1 に、送信データのフォーマットを示します。

Figure 3-1 送信データ・フォーマット

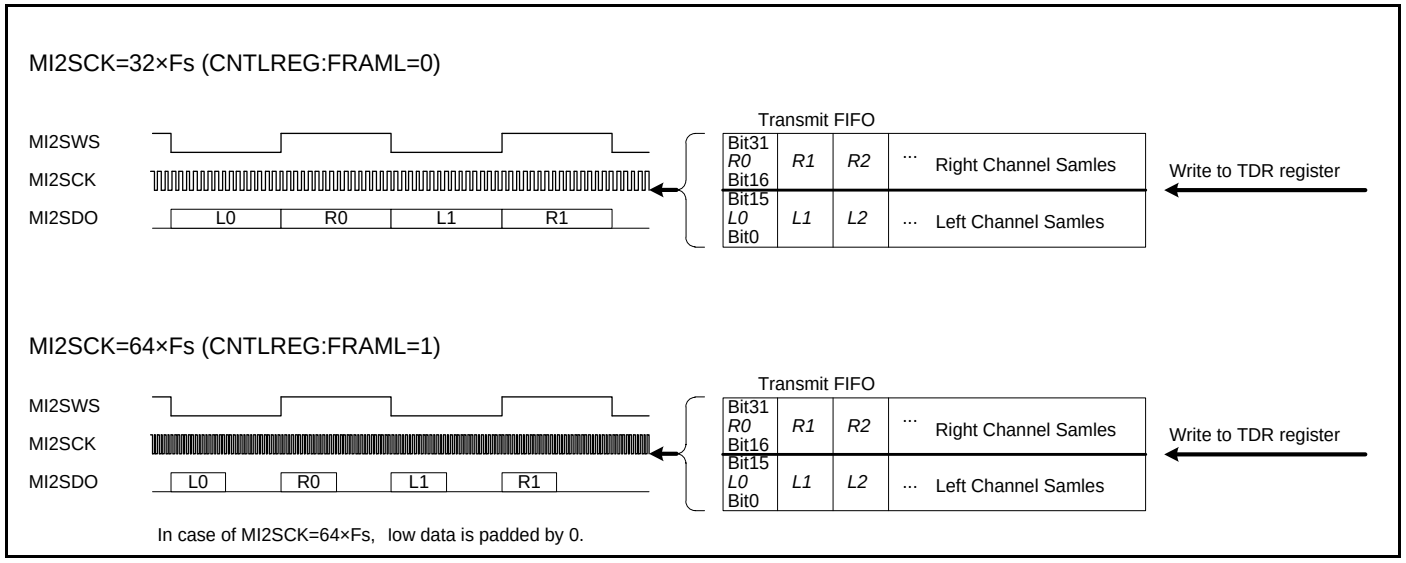
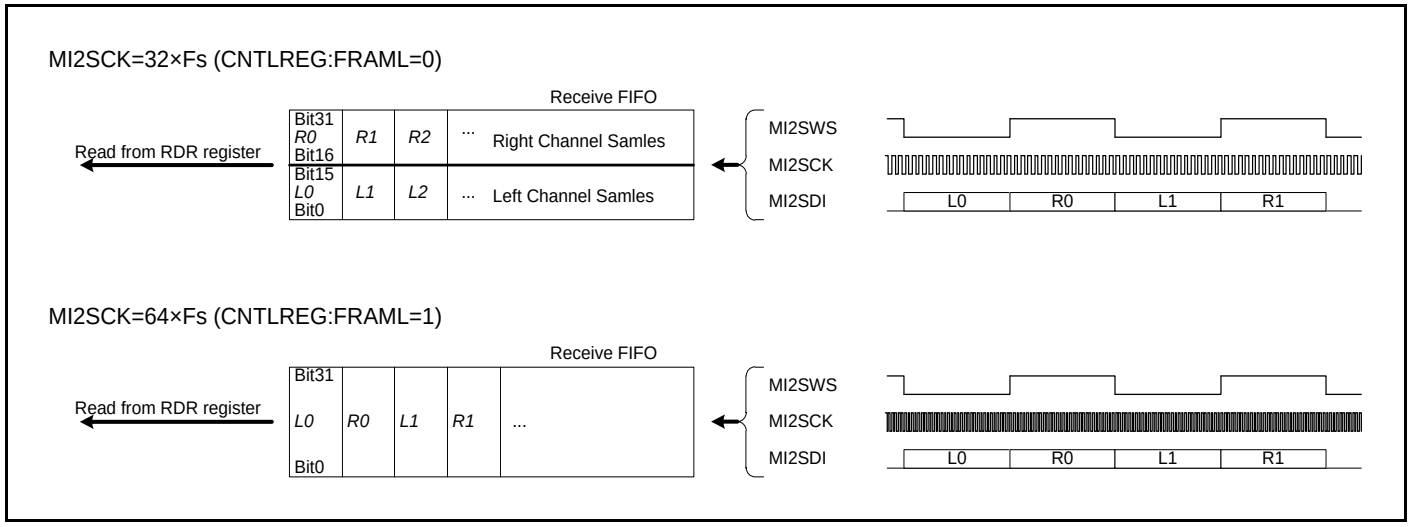


Figure3-2 に、受信データのフォーマットを示します。

Figure 3-2 受信データ・フォーマット



入出力信号波形詳細は、「8.2 I²S および MSB-Justified プロトコル」を参照してください。

4. MFS-I²S 割込み

MFS-I²S 割込みには、以下の割込み要求があります。

- 受信割込み要求（RIRQ）
- 送信割込み要求（TIRQ）

これらの割込み要求は、DMA 転送を行うときも使用します。

MFS-I²S の割込み要因と割込み制御ビットの関係を Table 4-1 に示します。

Table 4-1 MFS-I²S の割込み要因と割込み制御ビット

割込みタイプ	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグをクリアする動作
受信	RDRF	SSR	FBYTE2 に設定された値と一致するデータ量の受信。	SCR:RIE	受信 FIFO 内のデータ数が FBYTE2 に設定された値未満になるまで受信データレジスタ(RDR)から読出し。
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への”1”書込み。
送信	FDRQ	FCR1	送信 FIFO の有効データ量が空です。	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への”0”書込み、または送信 FIFO を一杯にします。

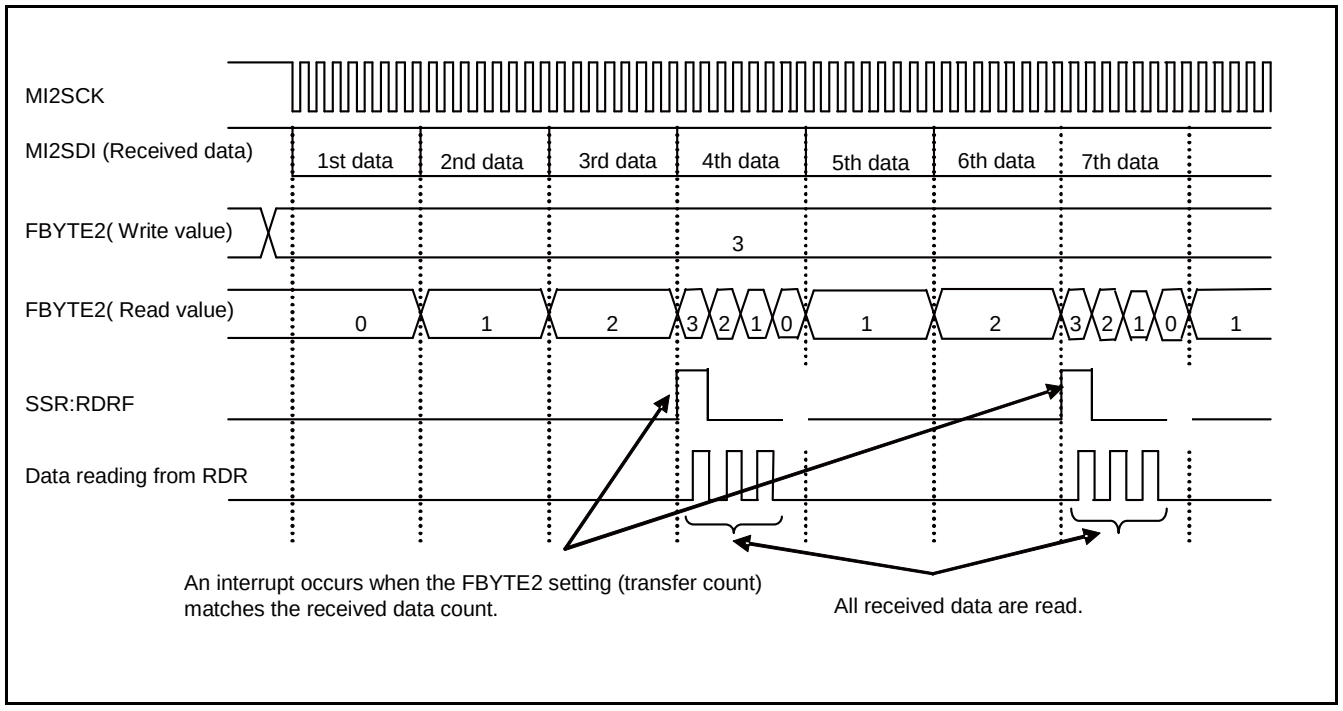
4.1 受信時の割込み発生とフラグセットのタイミング

MFS-I²S の受信機能を使用する場合、必ず受信 FIFO を使用します。あらかじめ指定したデータ数（FBYTE2:FBYTE）を受信したときに割込みが発生します。

受信時の受信割込み発生とフラグセットのタイミング

- FBYTE2 レジスタで転送カウントに設定されたデータ量を受信すると、シリアルステータスレジスタの受信データフルフラグビット(SSR:RDRF)が”1”にセットされます。このとき受信割込みが許可されている(SCR:RIE=1)場合、受信割込みが発生します。
- RDR の読出しを行い、有効バイトが FBYTE2 レジスタのカウント未満になると、受信データフルフラグ(SSR:RDRF)が 0 にクリアされます。

Figure 4-1 受信 FIFO 使用時の受信割込み発生のタイミング



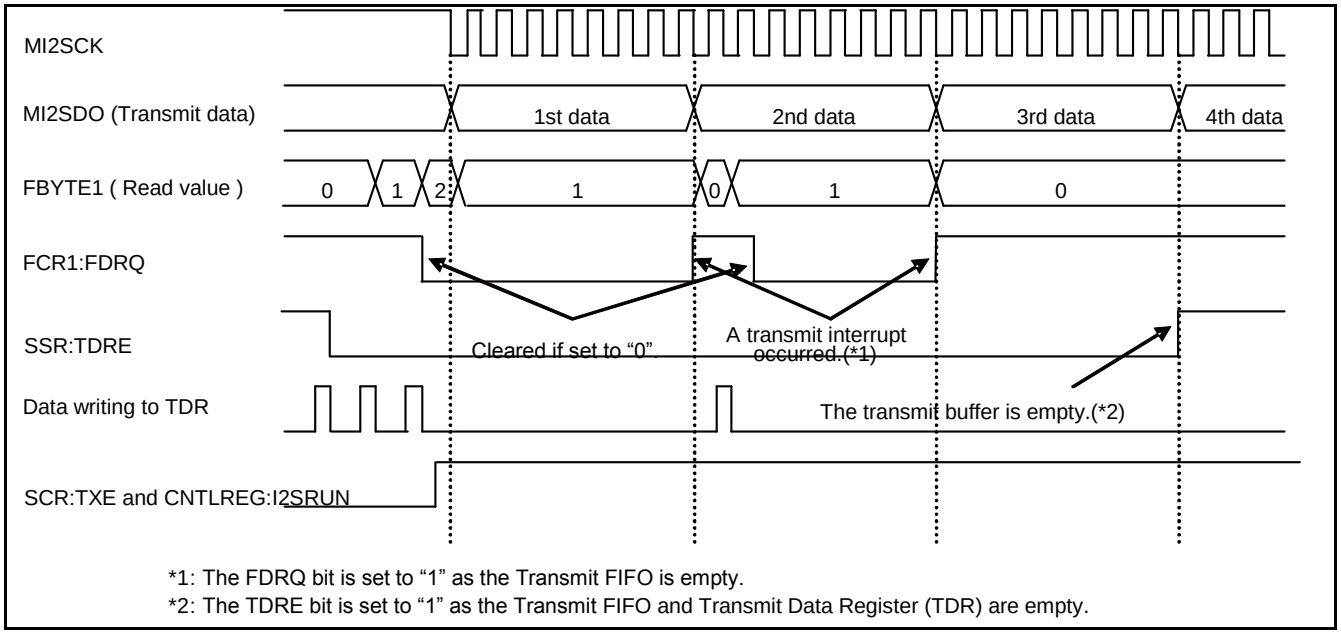
4.2 送信時の割込み発生とフラグセットのタイミング

MFS-I²S の送信機能を使用する場合、必ず送信 FIFO を使用します。送信 FIFO にデータが無いときに割込みが発生します。

送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが無い場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が 1 に設定されます。
  このとき、FIFO 送信割込みが許可されている(FCR1:FTIE=1)と、送信割込みが発生します。
- 送信割込み発生時、送信 FIFO に送信データを書込み後、FIFO 送信データ要求ビット(FCR1:FDRQ)に 0 の書込みを行い、割込み要求をクリアしてください。
- 送信 FIFO がデータで一杯になり、送信データが書き込めない状態になると、FIFO 送信データ要求ビット(FCR1:FDRQ)は、0 クリアされます。
- FIFO バイトレジスタ(FBYTE)を読み出すことで、送信 FIFO 内にデータがあるか確認できます。

Figure 4-2 送信 FIFO 使用時の送信割込み発生のタイミング



5. MFS-I²S レジスタ

このセクションでは、MFS-I²S レジスタの一覧を示します。

Table 5-1 MFS-I²S レジスター覧（TYPE5-M4 製品）

	bit15 bit8	bit7 bit0
CSIO	SCR（シリアル制御レジスタ）	SMR（シリアルモードレジスタ）
	SSR（シリアルステータスレジスタ）	ESCR（拡張通信制御レジスタ）
	RDR/TDR（受信データレジスタ/送信データレジスタ）	
FIFO	FCR1（FIFO 制御レジスタ 1）	FCR0（FIFO 制御レジスタ 0）
	FBYTE2（FIFO2 バイトレジスタ）	FBYTE1（FIFO1 バイトレジスタ）

	bit31 bit24	bit23 bit16
CSIO	RDR/TDR（受信データレジスタ/送信データレジスタ）	

Table 5-2 MFS-I²S ビット配列（TYPE5-M4 製品）

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	-	RIE	-	-	RXE	TXE	MD2	MD1	MD0	-	-	BDS	-	SOE
SSR/ ESCR	REC	-	-	AWC	ORE	RDRF	TDRE	-	-	L3	-	-	-	L2	L1	L0
TDR/ RDR	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
FCR1/ FCR0	-	-	-	-	-	FDRQ	FTIE	FSEL	-	-	-	-	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
TDR/ RDR	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16

5.1 シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、/受信割込みの許可/禁止、データ送受信の許可/禁止に使用します。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	MS	-	RIE	-	-	RXE	TXE	(SMR)
属性	R/W	R/W	-	R/W	-	-	R/W	R/W	
初期値	0	0	-	0	-	-	0	0	

[bit15] UPCL：プログラマブルクリアビット

CSIO 内部状態を初期化します。

1 を設定した場合:

- CSIO は直接リセットされます（ソフトウェアリセット）。ただし、現在のレジスタ設定は維持されます。送信または受信状態は直ちに切断されます。
- SSR:RDRF 以外、すべての送信/受信割込み要因(SSR:TDRE, ORE)が初期化されます。

0 を設定した場合:

動作に影響ありません。

このビットからは常に 0 が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に 0 が読み出されます
1	プログラマブルクリア	

<注意事項>

- *最初に割込みを禁止してから、プログラマブルクリア命令を実行してください。*
- *FIFO 使用時は、FIFO 禁止(FCR0:FE[2:1]=00)してからプログラマブルクリアを実行してください。*

[bit14] MS：マスタ/スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

I²S モードの場合、MS ビットは必ず 1（スレーブモード）に設定してください。

bit	説明
0	設定禁止（マスタモード）
1	スレーブモード

[bit13] -：予約ビット

読出し値は 0 です。必ず 0 を書き込んでください。

[bit12] RIE：受信割込み許可ビット

このビットは、CPU に対する受信割込み要求の出力を許可または禁止します。

RIE ビットが 1 で受信割込みが許可されている場合、受信データフラグビット(SSR:RDRF)、またはエラーフラグビット(ORE)に 1 がセットされた時に、受信割込み要求が出力されます。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11:10] -：予約ビット
読出し値は 0 です。必ず 0 を書き込んでください。

[bit9] RXE：データ受信許可ビット
I²S データ受信を許可または禁止します。

bit	説明
0	データ受信禁止
1	データ受信許可

＜注意事項＞

- *MS ビットを設定した後、データ受信許可(RXE=1)に設定してください。*

[bit8] TXE：データ送信許可ビット
I²S データ送信を許可または禁止します。

bit	説明
0	データ送信禁止
1	データ送信許可

＜注意事項＞

- *送信動作もしくは受信動作のどちらかを選択することができます。RXE=1 かつ TXE=1 の設定を行うことは禁止です。*

5.2 シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの選択、送信方向、シリアルデータの出力の許可/禁止を設定します。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	-	-	BDS	-	SOE
属性		R/W	R/W	R/W	-	-	R/W	-	R/W
初期値		0	0	0	-	-	0	-	0

[bit7:5] MD2, MD1, MD0：動作モード設定ビット

これらのビットは、動作モードを設定します。

I²S モードの場合、これらのビットを 010（クロック同期モード）に設定してください。

bit7	bit6	bit5	説明
0	0	0	設定禁止（動作モード 0：非同期ノーマルモード）
0	0	1	設定禁止（動作モード 1：非同期マルチプロセッサモード）
0	1	0	動作モード 2（クロック同期モード）
0	1	1	設定禁止（動作モード 3：LIN 通信モード）
1	0	0	設定禁止（動作モード 4：I²C モード）
上記以外の値			設定禁止

＜注意事項＞

- *動作モードを設定した後、その他のレジスタを設定してください。*

[bit4:3] -：予約ビット

読出し値は 0 です。必ず 0 を書き込んでください。

[bit2] BDS：転送方向選択ビット

転送シリアルデータの最下位ビットを先頭に（LSB ファースト、BDS=0）または最上位ビットを先頭に（MSB ファースト、BDS=1）転送するよう指定します。

I²S モードの場合、本ビットは 1（MSB ファーストモード）に設定してください。

bit	説明
0	設定禁止（LSB ファースト：最下位ビットから転送）
1	MSB ファースト（最上位ビットから転送）

＜注意事項＞

- *本ビットは、送受信が禁止の場合(SCR:TXE=RXE=0)に設定してください。*

[bit1] -：予約ビット

読出し値は 0 です。必ず 0 を書き込んでください。

[bit0] SOE：シリアルデータ出力許可ビット

このビットは、シリアルデータ出力を許可または禁止します。

I²S モードで、データ送信を行う場合、本ビットは 1 に設定してください。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

＜注意事項＞

- *データ送信を行う場合、GPIO 設定も行ってください。*

5.3 シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認、受信エラーフラグの確認、および受信エラーフラグのクリアに使用します。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	-	AWC	ORE	RDRF	TDRE	-	(ESCR)
属性	R/W	-	-	R/W	R	R	R	-	
初期値	0	-	-	0	0	0	1	-	

[bit15] REC：受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の ORE フラグをクリアします。

1 書込みで、エラーフラグがクリアされます。

0 書込みは、動作に影響しません。

読出し時は、常に 0 が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響ありません	常に 0 が読み出されます
1	受信エラーフラグ(ORE)をクリア	

[bit14:13] -：未使用ビット

読出し時、値は不定です。

書込み時、動作に影響しません。

[bit12] AWC：FIFO アクセス幅設定

本ビットは、FIFO のアクセス幅を決定します。

I²S モードの場合、本ビットを 1（32 ビット幅アクセス）に設定してください。

bit	説明
0	設定禁止（16 ビットアクセス）
1	32 ビットアクセス

[bit11] ORE：オーバランエラーフラグビット

データ受信中にオーバランが発生した場合、本ビットが 1 に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに 1 を書き込むとクリアされます。

ORE および SCR:RIE ビットが 1 の場合、受信割込み要求（RIRQ）が出力されます。

本フラグがセットされた場合、受信データレジスタ(RDR)のデータは無効です。

受信 FIFO 使用時に本フラグがセットされた場合、受信 FIFO 許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF：受信データフルフラグビット

本フラグは、受信データレジスタ(RDR)の状態を示します。

受信 FIFO を使用し、受信 FIFO が所定のデータ数を受信した場合、RDRF ビットは 1 にセットされます。

受信 FIFO を使用し、FIFO 内に存在するデータが所定のデータ数(FBYTE)未満の場合、本ビットは 0 にクリアされます。

RDRF フラグビットは、受信 FIFO リセット後、0 にクリアされます。

SCR:RIE ビットが 1 の場合、RDRF ビットに 1 がセットされると、受信割込み要求（RIRQ）が出力されます。

bit	説明
0	受信データレジスタ(RDR)は空
1	受信データレジスタ(RDR)にデータが存在する

[bit9] TDRE：送信データエンプティフラグビット

本フラグは、送信データレジスタ(TDR)の状態を示します。

送信 FIFO を使用し、送信データが TDR に書込まれると、本ビットは 0 にクリアされます。TDR に有効データが存在していることを示します。送信 FIFO と送信データレジスタ（TDR）に有効なデータが無くなると、本ビットに 1 がセットされ、有効なデータが無いことを示します。

シリアル制御レジスタ(SCR)の UPCL ビットに 1 を書き込むと、TDRE ビットは 1 がセットされます。

送信 FIFO 使用時の TDRE ビットセット/リセットのタイミングについては、「4.2 送信時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタ(TDR)は空

[bit8] -：未使用ビット

読出し時、不定です。

書込み時、動作に影響しません。

5.4 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長を設定します。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	-	-	L3	-	-	-	L2	L1	L0
属性		-	R/W	-	-	-	R/W	R/W	R/W
初期値		-	0	-	-	-	0	0	0

[bit7] -：予約ビット

読出し値は 0 です。必ず 0 を書き込んでください。

[bit5:3] -：予約ビット

読出し値は 0 です。必ず 0 を書き込んでください。

[bit6, bit2:0] L3, L2, L1, L0：データ長選択ビット

送受信データ長を設定します。

I²S モードの場合、本ビットは、1111（32 ビット長）に設定してください。

L3	L2	L1	L0	説明
1	1	1	1	32 ビット長
上記外の設定				設定禁止

5.5 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データレジスタ（RDR）と送信データレジスタ（TDR）は、同じアドレスに配置されています。このレジスタは、データを読み出す場合、受信データレジスタ(RDR)値が読み出され、データを書き込む場合、送信データレジスタ（TDR）にデータが書き込まれます。

受信 FIFO が許可のとき、受信データレジスタ(RDR)を読むと受信 FIFO から受信データが読み出されます。

送信 FIFO が許可のとき、送信データレジスタ(TDR)にデータを書くと送信 FIFO にデータが書き込まれます。

受信データレジスタ(RDR)

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	D 31	D 30	D 29	D 28	D 27	D 26	D 25	D 24	D 23	D 22	D 21	D 20	D 19	D 18	D 17	D 16
属性	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	D 15	D 14	D 13	D 12	D 11	D 10	D 9	D 8	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
属性	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

受信データレジスタ(RDR)は、シリアルデータ受信用の 32 ビットのデータバッファレジスタです。

- I2S モードの場合、本レジスタは、必ず 32 ビット幅でアクセスしてください。
- シリアル入力端子（MI2SDI 端子）に送られてきたシリアルデータ信号が、シフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- CNTLREG:FRAML=0 の場合、D31～D16 に右チャネルの 16 ビット・データ、D15～D0 に左チャネルの 16 ビット・データが格納されます。（Figrue3-2 を参照してください。）
- CNTLREG:FRAML=1 の場合、D31～D0 に左チャネル、右チャネルの 32 ビット・データが交互に格納されます。（Figrue3-2 を参照してください。）
- 受信 FIFO に有効なデータが存在しているとき、受信データレジスタ（RDR）の読み出しを行ってください。受信 FIFO に有効なデータが存在していないとき、受信データレジスタ（RDR）の読出しは禁止です。

＜注意事項＞

- *受信 FIFO が許可のときに、受信エラーが発生(SSR:ORE=1) した場合、受信 FIFO の許可ビットは 0 にクリアされ、そのときの受信データは受信 FIFO に格納されません。*

送信データレジスタ(TDR)

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
属性	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
属性	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

送信データレジスタ(TDR)は、シリアルデータ送信用の 32 ビットのデータバッファレジスタです。

- I²S モードの場合、本レジスタは、必ず 32 ビット幅でアクセスしてください。
- データ送信が許可されている場合に(SCR:TXE=1、CNTLREG:I2SRUN=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが、送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(MI2SDO)から送出されます。
- CNTLREG:FRAML の値によらず、D31～D16 に右チャネルの 16 ビット・データ、D15～D0 に左チャネルの 16 ビット・データを書き込みます。（Figrue3-1 を参照してください。）
- 送信 FIFO と送信データレジスタ（TDR）が一杯でない場合に、次の送信データを送信データレジスタ(TDR)に書き込むことができます。送信 FIFO と送信データレジスタ（TDR）が一杯の場合、送信データレジスタ(TDR)への書込みは禁止です。

＜注意事項＞

- *送信データレジスタは書込み専用レジスタです。一方、受信データレジスタは読出し専用レジスタです。これら 2 つのレジスタは同じアドレスに割り当てられますが、書込み値と読出し値は異なります。したがって、ビットバンドエイリアス領域経由のリード・モディファイ・ライト(RMW)アクセスによる TDR の書込みは使用できません。*

5.6 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO テストの設定、送信または受信 FIFO の選択、送信 FIFO 割込みの許可、および割込みフラグの制御に使用します。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約			-	-	FDRQ	FTIE	FSEL	(FCR0)
属性	-	-	-	-	-	R/W	R/W	R/W	
初期値	-	-	-	-	-	1	0	0	

[bit15:13] 予約：予約ビット

読出し値は 0 です。必ず 0 を書き込んでください。

[bit12:11] -：未使用ビット

読出し値は 0 です。必ず 0 を書き込んでください。

[bit10] FDRQ：送信 FIFO データ要求ビット

本ビットは、送信 FIFO データ要求を示します。

本ビットが 1 のとき、送信するデータを要求していることを示します。

FDRQ ビットは、以下の場合に 1 にセットされます。

- FBYTE1 が 0x00（送信 FIFO の有効データ量が 0）の場合。
- CPU から送信 FIFO をリセットした場合。

FDRQ ビットは、以下の場合に 0 にクリアされます。

- CPU から本ビットに 0 の書込みを行った場合。
- 送信 FIFO と送信データレジスタ(TDR)がデータで一杯の場合。

送信 FIFO 割込みが許可されている (FCR1:FTIE=1) 場合、本ビットに 1 がセットされると、送信 FIFO 割込み要求（TIRQ）が出力されます。

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

＜注意事項＞

- *本ビットが 0 のとき、FSEL ビットの変更は禁止です。*
- *本ビットは、1 の書込みを行っても動作に影響しません。*
- *ビットバンドエイリアス領域経由のリード・モディファイ・ライト(RMW)アクセスのリード時は、本ビットは、1 が読み出されます。*

[bit9] FTIE：送信 FIFO 割込み許可ビット

本ビットは、送信 FIFO 割込みを許可します。本ビットを 1 に設定した場合、FDRQ ビットに 1 がセットされると、送信割込み（TIRQ）が発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL：FIFO 選択ビット

本ビットは、送信 FIFO または受信 FIFO を選択します。

I²S モードの場合、本ビットは 0 で使用してください。

bit	説明
0	送信 FIFO として FIFO1、受信 FIFO として FIFO2 が割り当てられる。
1	設定禁止（送信 FIFO として FIFO2、受信 FIFO として FIFO1 が割り当てられる。）

＜注意事項＞

- *本ビットは、FIFO リセット(FCR0:FCL2=1、FCR0.FCL1=1) でクリアされません。*

5.7 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止、FIFO のリセットの設定に使用します。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	-	-	-	FCL2	FCL1	FE2	FE1
属性		-	-	-	-	R/W	R/W	R/W	R/W
初期値		-	-	-	-	0	0	0	0

[bit7] -：未使用ビット

常に 0 が読み出されます。

常に 0 を書き込んでください。

[bit6] -：未使用ビット

読出し時、不定です。

書込み時、動作に影響しません。

[bit5:4] -：未使用ビット

常に 0 が読み出されます。

常に 0 を書き込まなければなりません。

[bit3] FCL2：FIFO2 リセットビット

本ビットは、FIFO2 をリセットするビットです。

本ビットを 1 に設定した場合、FIFO2 の内部状態を初期化します。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に 0 が読み出されます。
1	FIFO2 リセット	

＜注意事項＞

- *最初に送信と受信を禁止してから、FIFO2 をリセットします。*
- *実行前に送信 FIFO 割込み許可ビットを 0 に設定します。*
- *FBYTE2 レジスタの有効データカウントは 0 に設定されます。*

[bit2] FCL1：FIFO1 リセットビット

本ビットは、FIFO1 をリセットするビットです。

本ビットを 1 に設定した場合、FIFO1 の内部状態を初期化します。

bit	説明	
	書込み時	読出し時
0	動作に影響ありません。	常に”0”が読み出されます
1	FIFO1 がリセット	

＜注意事項＞

- *最初に送信と受信を禁止してから、FIFO1 をリセットします。*
- *実行前に送信 FIFO 割込み許可ビットを 0 に設定します。*
- *FBYTE1 レジスタの有効データカウントは 0 に設定されます。*

[bit1] FE2：FIFO2 動作許可ビット

本ビットは、FIFO2 の動作を許可/禁止するビットです。

FIFO2 を使用する場合、本ビットを”1”に設定します。

I²S モードの場合、本ビットは 1（FIFO2 動作許可）で使用してください。

□ FIFO2 を受信 FIFO に選択し、受信エラー（SSR:ORE）が発生した場合、本ビットは 0 にクリアされます。本ビットは、受信エラーがクリアされるまで、1 に設定できません。

□ FIFO2 を受信 FIFO として使用する場合、以下のすべての条件を満たすとき、本ビットを変更してください。

- シリアル制御レジスタの受信動作許可ビット（SCR：RXE)が 0
- シリアルステータスレジスタの受信データフルフラグ（SSR：RDRF）が 0

□ FIFO2 動作を禁止しても、FIFO2 状態は保持されます。

bit	説明
0	設定禁止（FIFO2 動作禁止）
1	FIFO2 動作許可

[bit0] FE1：FIFO1 動作許可ビット

本ビットは、FIFO1 の動作を許可/禁止するビットです。

FIFO1 を使用する場合、本ビットを”1”に設定します。

I²S モードの場合、本ビットは 1（FIFO1 動作許可）で使用してください。

□ FIFO1 を送信 FIFO として使用する場合、以下のすべての条件を満たすとき、本ビットを変更してください。

- シリアル制御レジスタの送信動作許可ビット(SCR:TXE)が 0
- シリアルステータスレジスタの送信データエンプティフラグ(SSR:TDRE)が 1

□ FIFO1 動作を禁止しても、FIFO1 状態は保持されます。

bit	説明
0	設定禁止（FIFO1 動作禁止）
1	FIFO1 動作許可

5.8 FIFO バイトレジスタ(FBYTE)

本レジスタは、FIFO 容量に関する設定に使用されます。

本レジスタは読出しデータと書込みデータでは意味が異なります。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:8] FBYTE2：FIFO2 有効データビット

本ビットを読み出した場合、FIFO2（受信 FIFO） の有効データ量が読み出されます。

本ビットへ書き込む値は、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)を"1"にセットする受信データ量を設定します。設定されたデータ量と受信 FIFO の有効データ量が一致したとき、シリアルステータスレジスタの受信データフルフラグ(SSR：RDRF)が"1"にセットされます。

書込み	シリアルステータスレジスタ(SSR)の受信データフルフラグ(RDRF)が"1"にセットされる受信データ量を書き込みます。
読出し	FIFO2 に格納されている有効受信データ量が読み出されます。

Table 5-3 FIFO2 容量と FBYTE2 レジスタ値

搭載 FIFO 容量	最大 FIFO 容 2 設定量 (10IFO	最大格納データ量 (大格納デー
64 バイト	14	15 （CNTLREG:FRAML=0 の場合）
		16 （CNTLREG:FRAML=1 の場合）
128 バイト	30	31 （CNTLREG:FRAML=0 の場合）
		32 （CNTLREG:FRAML=1 の場合）

＜注意事項＞

- *搭載 FIFO 容量は、使用する製品により異なります。データシートにて搭載容量を確認してください。*
- *本ビットの受信データ量の設定値の初期値は 0x08 です。*
- *シリアル制御レジスタの受信動作許可ビット(SCR:RXE)が 0 のとき、本ビットを変更してください。*
- *FBYTE2 の書込み値は、0x01 以上に設定しなければなりません。*
- *FBYTE2 の書込み値は、Table5-3 の最大 FBYTE2 設定量より大きな値を設定することはできません。この値は、書込み値の上限を示します。*
- *FBYTE2 の読出し値が、Table5-3 の最大格納データ量に一致すると受信 FIFO フルの状態です。フレーム信号（MI2SWS）の出力動作が停止します。この値は読出し値の上限を示します。*
- *FBYTE2 の読出し値は、受信 FIFO から読み出されていないデータ量を示します。読出し値が 0x00 の場合、受信データレジスタ(RDR)の読出しは禁止です。*
- *本レジスタに対し、ビットバンドエイリアス領域経由のリード・モディファイ・ライト(RMW)アクセスは使用できません。*

[bit7:0] FBYTE1：FIFO1 有効データビット

本ビットを読み出した場合、FIFO1（送信 FIFO） の有効データ量が読み出されます。

本ビットへは 0x00 を書き込みます。

書込み	常に 0x00 を書き込みます。
読出し	FIFO1 に格納されている有効送信データ量を読み出します。 （FIFO にすでに書き込まれているが、まだ送信されていないデータ数）

Table 5-4 FIFO1 容量と FBYTE1 レジスタ値

搭載 FIFO 容量	最大格納データ量 (10 納デー
64 バイト	16
128 バイト	32

＜注意事項＞

- *搭載 FIFO 容量は、使用する製品により異なります。データシートにて搭載容量を確認してください。*
- *FBYTE1 の読出し値は、送信データ書込み数から 1 減算した値が有効データ量として読み出せます。これは送信 FIFO のほかに送信データレジスタ（TDR）に有効なデータがあるためです。*
- *FBYTE1 の読出し値が、Table5-4 の最大格納データ量に一致している場合、送信データレジスタ(TDR)への書込みは禁止です。*
- *FBYTE1 の読出し値が 0x00 で、送信データレジスタ（TDR）に有効なデータが無い場合、フレーム信号（MI2SWS）の出力動作が停止します。*
- *本レジスタに対し、ビットバンドエイリアス領域経由のリード・モディファイ・ライト(RMW)アクセスは使用できません。*

6. MFS-I²S クロックジェネレータレジスタ

このセクションでは、MFS-I²S クロックジェネレータレジスタの一覧を示します。

Table 6-1 MFS-I²S クロックジェネレータレジスター一覧(TYPE5-M4 製品)

	bit15 bit8	bit7 bit0
I²S クロックジェネレータ	CNTL（I²S コントロールレジスタ）	
	I2SCLK（I²S クロック設定レジスタ）	
	I2SST（I²S 状態レジスタ）	I2SRST（I²S リセットレジスタ）

6.1 コントロールレジスタ(CNTLREG)

I²S 用のコントロールレジスタです。

bit	15	14	13	12	11	10	9	8
Field	-	-	-	-	-	I2SRUN	-	-
属性	-	-	-	-	-	R/W	-	-
初期値	-	-	-	-	-	0	-	-

bit	7	6	5	4	3	2	1	0
Field	-	CKOE	I2SEN	FSPL	I2SMOD	-	-	FRAML
属性	-	R/W	R/W	R/W	R/W	-	-	R/W
初期値	-	0	0	0	0	-	-	1

[bit15:11] - : 予約ビット

読出し値は 0 です。

必ず 0 を書き込んでください。

[bit10] I2SRUN : I²S クロック発生許可

本ビットは、I²S の内部クロック発生を許可または禁止します。

I2SRUN=0 のとき、MI2SMCK 出力、MI2SCK 出力、MI2SWS 出力は停止します。

bit	説明
0	I²S クロック発生禁止
1	I²S クロック発生許可

[bit9:7] - : 予約ビット

読出し値は 0 です。

必ず 0 を書き込んでください。

[bit6] CKOE : MI2SCK および MI2SWS (フレーム同期信号) 出力許可信号

本ビットは、クロック出力許可を設定します。

I²S モードの場合、本ビットは 1 (MI2SCK および MI2SWS 出力許可) で使用してください。

bit	説明
0	設定禁止（MI2SCK および MI2SWS 出力禁止）
1	MI2SCK および MI2SWS 出力許可

[bit5] I2SEN：I²S モード許可

本ビットは、MFS-CSIO モジュール動作を指定します。

I²S モードの場合、本ビットは 1 で使用してください。

bit	説明
0	設定禁止（MFS-CSIO モジュールを MFS-I²S 以外で使用する。）
1	MFS-CSIO モジュールを MFS-I²S として使用する。

[bit4] FSPL：I2SWS 極性設定

本ビットは、MI2SWS 出力の極性を設定します。

bit	説明
0	左チャネル時”Low”。右チャネル or アイドル時”High”、
1	左チャネル時”High”、右チャネル or アイドル時”Low”、

[bit3] I2SMOD：I²S モード選択

本ビットは、MI2SWS 出力の変化タイミングを設定します。

bit	説明
0	MI2SWS 変化の 1SCK 後に MSB データ出力
1	MI2SWS 変化時に MSB データ出力

I2S Philips 標準モードの場合は、CNTLREG:FSPL=0、CNTLREG:I2SMOD=0 にしてください。

MSB-Justified 標準モードの場合は、CNTLREG:FSPL=1、CNTLREG:I2SMOD=1 にしてください。

これらのモードの詳細については、「8.2 I2S および MSB-Justified プロトコル」を参照してください。

[bit2:1] -：未使用ビット

読出し値は 0 です。

必ず 0 を書き込んでください。

[bit0] FRAML：MI2SCK のレート選択（フレーム長選択）

本ビットは、1 フレームのビットクロック数を設定します。

bit	説明
0	MI2SCK のレートを 32×Fs (サンプリング周波数)にします。
1	Mi2SCK のレートを 64×Fs (サンプリング周波数)にします。

6.2 I²S クロックレジスタ(I2SCLK)

I²S 用のクロックレジスタです。

bit	15	14	13	12	11	10	9	8
Field	MCKIE	MCKOE	-	-	-	-	-	-
属性	R/W	R/W	-	-	-	-	-	-
初期値	0	0	-	-	-	-	-	-

bit	7	6	5	4	3	2	1	0
Field	I2SDIV[7:0]							
属性	R/W							
初期値	0x00							

[bit15] MCKIE：メインクロック入力許可

本ビットは、MI2SCK のクロックソースを選択します。

Figure2-1 を参照してください。

bit	説明
0	可変分周器 (Variable divider)の入力に APB クロック(PCLK)を使用します
1	可変分周器 (Variable divider)の入力に MI2SMCK 端子からの入力を使用します

[bit14] MCKOE：メインクロック出力選択

本ビットは、MI2SCK のクロックソースを選択します。

Figure2-1 を参照してください。

bit	説明
0	MI2SCK 出力に、可変分周器 (Variable divider)の出力を使用します。
1	MI2SCK 出力に、可変分周器 (Variable divider)の出力の固定分周後の出力を使用します。

＜注意事項＞

- *MI2SMCK を出力端子として使用する場合、GPIO 部の EPFR レジスタにて出力設定を行ってください。*
- *MI2SMCK を出力端子として使用する場合、I2SCLK:MCKIE=1 の設定は禁止です。*
- *CNTLREG:I2SRUN=0 のとき、MI2SMCK 出力、MI2SCK 出力、MI2SWS 出力は停止します。*

[bit13:8] -：未使用ビット

読出し値は不定です。

書込みは動作に影響しません。

[bit7:0] I2SDIV：I²S クロック分周設定

本ビットは、可変分周器 (Variable divider)の分周量を設定します。

Figure2-1 を参照してください。

bit7:0	説明
0x00	1 分周 (クロックをバイパスします。)
0x01	2 分周。
0x02	4 分周
0x03	6 分周
0x04	8 分周
…	…
0xFE	508 分周
0xFF	510 分周

＜注意事項＞

- *可変分周器の分周設定は、生成する MI2SCK の周波数が、APB バスクロック周波数（PCLK）に対し、以下条件を満たすように設定する必要があります。*

  MI2SCK 周波数　≦　PCLK 周波数　/　4

MCKIE、MCKOE、I2SDIV、CNTLREG:FRAML の設定により、出力される各クロック周波数を以下に示します。

Table 6-2 MI2SWS 出力の周波数

MCKIE	MCKOE	FRAML	MI2SWS 出力の周波数 (＝Fs　サンプリング周波数)
0	0	0	PCLK 周波数　/　(I2SDIV 分周量×32)
0	0	1	PCLK 周波数　/　(I2SDIV 分周量×64)
0	1	X	PCLK 周波数　/　(I2SDIV 分周量×256)
1	0	0	MI2SMCK 入力周波数　/　(I2SDIV 分周量×32)
1	0	1	MI2SMCK 入力周波数　/　(I2SDIV 分周量×64)
1	1	X	MI2SMCK 入力周波数　/　(I2SDIV 分周量×256)

Table 6-3 MI2SCK 出力の周波数

MCKIE	MCKOE	FRAML	MI2SCK 出力の周波数
0	0	X	PCLK 周波数　/　(I2SDIV 分周量×1)
0	1	0	PCLK 周波数　/　(I2SDIV 分周量×8)
0	1	1	PCLK 周波数　/　(I2SDIV 分周量×4)
1	0	X	MI2SMCK 入力周波数　/　(I2SDIV 分周量×1)
1	1	0	MI2SMCK 入力周波数　/　(I2SDIV 分周量×8)
1	1	1	MI2SMCK 入力周波数　/　(I2SDIV 分周量×4)

Table 6-4 MI2SMCK 出力の周波数

MCKIE	MCKOE	FRAML	MI2SMCK 出力の周波数
0	X	X	PCLK 周波数　/　(I2SDIV 分周量×1)
1	X	X	この設定の場合、MI2SMCK を出力できません。

クロック設定例 1

■ クロック周波数：

MI2SWS 出力 ＝48KHz（Fs）
MI2SCK 出力 ＝1536KHz（32×Fs）
MI2SMCK 入力 ＝12288KHz (256×Fs)
PCLK 入力 ≧ 6144KHz

■ レジスタ設定値

MCKIE=1、MCKOE=0、I2SDIV=0x04、CNTLREG:FRAML = 0

クロック設定例 2

■ クロック周波数：

MI2SWS 出力 ＝48KHz（Fs）
MI2SCK 出力 ＝3072KHz（64×Fs）
MI2SMCK 入力 ＝12288KHz (256×Fs)
PCLK 入力 ≧12288KHz

■ レジスタ設定値

MCKIE=1、MCKOE=0、I2SDIV=0x02、CNTLREG:FRAML = 1

クロック設定例 3

■ クロック周波数：

MI2SWS 出力 ＝48KHz（Fs）
MI2SCK 出力 ＝1536KHz（32×Fs）
MI2SMCK 出力 ＝12288KHz (256×Fs)
PCLK 入力 ＝ 24576KHz (512×Fs)

■ レジスタ設定値

MCKIE=0、MCKOE=1、I2SDIV=0x01、CNTLREG:FRAML = 0

クロック設定例 4

■ クロック周波数：

MI2SWS 出力 ＝48KHz（Fs）
MI2SCK 出力 ＝1536KHz（32×Fs）
MI2SMCK 出力 ＝1536KHz（32×Fs）
PCLK 入力 ＝36864KHz (768×Fs)

■ レジスタ設定値

MCKIE=0、MCKOE=0、I2SDIV=0x0c、CNTLREG:FRAML = 0

6.3 I2S ステータスレジスタ(I2SST)

I²S 用のステータスレジスタです。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	-	-	-	-	-	-	BUSY	CKSTP	(I2SRST)
属性	-	-	-	-	-	-	R	R	
初期値	-	-	-	-	-	-	0	0	

[bit15:10] -：未使用ビット

読出し値は不定です。

書込みは動作に影響しません。

[bit9] BUSY：送信用バス使用中表示

本ビットは、I²S バスがデータ送信動作中であることを示します。

bit	説明
0	データ送信なし
1	データ送信中

[bit8] CKSTP：クロック停止表示

本ビットは、CNTLREG:I2SRUN ビットを 0 に設定した後、MI2SCK 出力が停止したことを示します。

bit	説明
0	MI2SCK 出力停止中
1	MI2SCK 出力動作中

6.4 I2S リセットレジスタ(I2SRST)

I²S 用のソフトウェアリセットレジスタです。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(I2SST)	I2SRST							
属性		W	W	W	W	W	W	W	W
初期値		0	0	0	0	0	0	0	0

[bit7:0] I2SRST：I²S ソフトウェアリセット

- 0xA5 を書き込むと、ソフトウェアリセットが発生して内部状態とフラグ信号がリセットされます。
- 0xA5 以外の書込みは無効です。
- 読み出すデータは常に 0x00 となります。
- 本レジスタは必ずバイトアクセスで書込みを行ってください。

7. MFS-I²S インタフェース動作説明

7.1 データ送信動作

送信動作の設定手順例を以下に示します。

1. CNTLREG レジスタを設定します。
   I2SEN=1、CKOE=1、I2SRUN=0 の設定が必要です。その他のレジスタ値は任意です。
2. I2SCLK レジスタを設定します。
   レジスタ設定値は任意です。
3. SMR レジスタを設定します。
   MD[2:0]=010、BDS=1、SOE=1 の設定が必要です。
4. SSR レジスタを設定します。
   AWC=1 の設定が必要です。その他のレジスタ値は任意です。
5. ESCR レジスタを設定します。
   L3,L2,L1,L0=1111 の設定が必要です。
6. FCR0 レジスタを設定します。

FE1=1、FE2=0 の設定が必要です。FCL1=1 の書き込みで送信 FIFO をクリアします。

7. FCR1 レジスタを設定します。
   FSEL=0 の設定が必要です。FTIE の設定は任意です。FDRQ は初期状態ではクリアできません。
8. FBYTE1 レジスタを設定します。
   FBYE1=0x00 の設定が必要です。
9. SCR レジスタを設定します。
   TXE=1、RXE=0、MS=1 の設定が必要です。その他のレジスタ値は任意です。
10. CNTLREG レジスタを設定します。
    I2SRUN=1 の設定が必要です。その他のレジスタ値は 1 と同じ値にします。
11. TDR レジスタに送信データの書込みを行います。

＜注意事項＞

- *CNTLREG：I2SRUN=1、SCR：TXE=1 のとき、送信 FIFO と TDR が空でない場合、フレーム同期信号(MI2SWS)、ビットクロック（MI2SCK）、送信データが MI2SDO に出力されます。*
- *送信動作中、送信データが無くなると、フレーム同期信号(MI2SWS)は出力を停止します。ビットクロック（MI2SCK）、マスタクロック出力（MI2SMCK）は出力を継続します。*
- *送信動作中、SCR：TXE=0 を書き込むと、その時点でのデータを出力後、フレーム同期信号(MI2SWS)が出力を停止します。*
- *送信動作中、CNTLREG：I2SRUN=0 を書き込むと、フレーム同期信号(MI2SWS)、ビットクロック（MI2SCK）、マスタクロック出力（MI2SMCK）の出力が停止します。*
- *送信データレジスタ（TDR）に必要数のデータを書き込んだ後、FCR1:FDRQ に 0 書込みを行い、フラグのクリアを行ってください。*
- *送信開始時、CNTLREG:I2SRUN=1 の書込みは最後に実施します。*

7.2 データ受信動作

受信動作の設定手順例を以下に示します。

1. CNTLREG レジスタを設定します。
   I2SEN=1、CKOE=1、I2SRUN=0 の設定が必要です。その他のレジスタ値は任意です。
2. I2SCLK レジスタを設定します。
   レジスタ設定値は任意です。
3. SMR レジスタを設定します。
   MD[2:0]=010、BDS=1、SOE=0 の設定が必要です。
4. SSR レジスタを設定します。
   AWC=1 の設定が必要です。その他のレジスタ値は任意です。
5. ESCR レジスタを設定します。
   L3,L2,L1,L0=1111 の設定が必要です。
6. FCR0 レジスタを設定します。

FE1=0、FE2=1 の設定が必要です。FCL2=1 の書込みで送信 FIFO をクリアします。

7. FCR1 レジスタを設定します。
   FSEL=0、FTIE=0 の設定が必要です。
8. FBYTE2 レジスタを設定します。
   FBYE2 に適切な値を設定します。
9. SCR レジスタを設定します。
   TXE=0、RXE=1、MS=1 の設定が必要です。その他のレジスタ値は任意です。
10. CNTLREG レジスタを設定します。
    I2SRUN=1 の設定が必要です。その他のレジスタ値は 1 と同じ値にします。
11. RDR レジスタから受信データの読出しを行います。

＜注意事項＞

- *CNTLREG：I2SRUN=1、SCR：RXE=1 のとき、受信 FIFO が Full でない場合、フレーム同期信号(MI2SWS)、ビットクロック（MI2SCK）が出力され、MI2SDI から受信データが取り込まれます。*
- *受信動作中、受信 FIFO が Full になると、フレーム同期信号(MI2SWS)は出力を停止します。ビットクロック（MI2SCK）、マスタクロック出力（MI2SMCK）は出力を継続します。*
- *受信動作中、SCR：RXE=0 を書き込むと、その時点でのデータを入力後、フレーム同期信号(MI2SWS)が出力を停止します。*
- *受信動作中、CNTLREG：I2SRUN=0 を書き込むと、フレーム同期信号(MI2SWS)、ビットクロック（MI2SCK）、マスタクロック出力（MI2SMCK）の出力が停止します。*
- *受信開始時、CNTLREG:I2SRUN=1 の書込みは最後に実施します。*

8. ユーザの注意事項

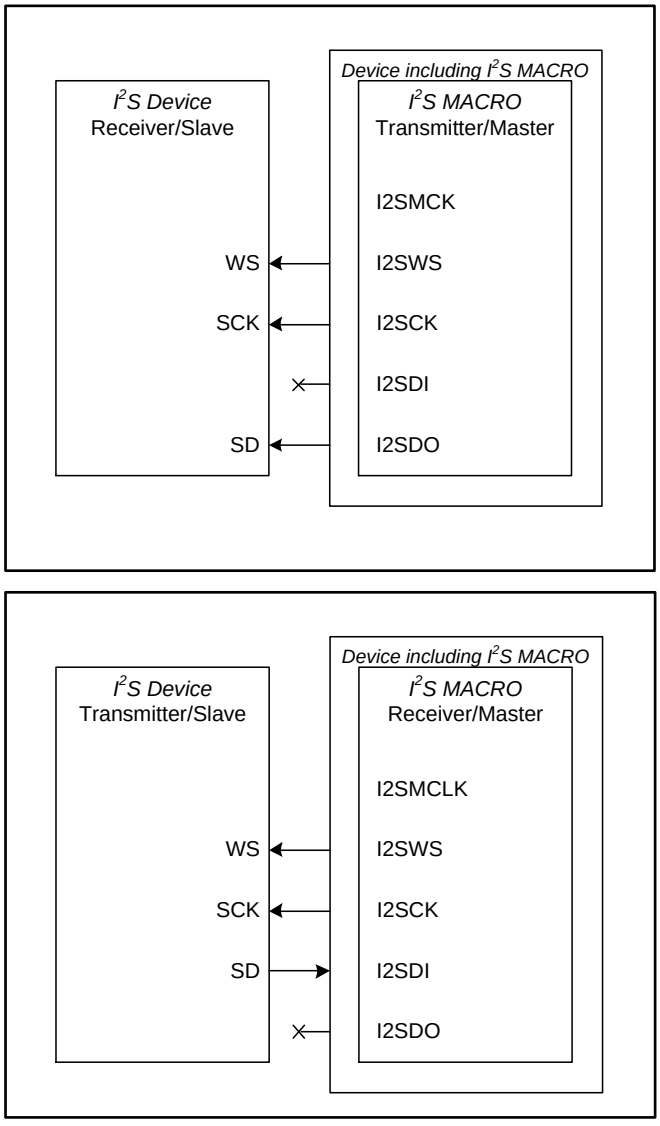
8.1 接続図

Figure 8-1 に外部接続図を示します。I²S マクロを含むデバイスは、本 MCU です。

上側は、送信用接続図です。

下側は、受信用接続図です。

Figure 8-1 外部接続図



8.2 I²S および MSB-Justified プロトコル

I2S（Inter-Integrated Circuit Sound の略）は、Philips Semiconductors 社が提案したデジタル・ステレオ・オーディオ用プロトコルです。SCK と WS は、I2S Bus 上のマスタが出力します。シリアルデータは、PCM データの MSB 側から出力します。ワードセレクト信号(WS)は、送信中の PCM データがどのチャネルかを示します。WS が 0 の時は左(Left)チャネルを示し、1 の時は右(Right)
チャネルを示します。チャネルデータの MSB は、WS の遷移点から 1 クロック分だけ常に遅延します。データサンプリングは、常に SCK の立上りエッジで実行されます。シリアルデータおよび WS 出力は、常に SCK の立下りエッジで実行されます。

MSB-Justified プロトコルは、I2S と似たようなプロトコルです。WS 遷移点とシリアルデータの MSB は、同時に発生します。WS は、0 で右チャネルを示し、1 で左チャネルを示します。

＜注意事項＞

- *I²S は、レジスタの書込み/読出しなどで Audio Codec Device を制御するプロトコルではありません。そのため、通常 I²S をサポートする Codec Device はデバイス制御用に別のインタフェースを提供します。*

Figure 8-2 I²S Data Format

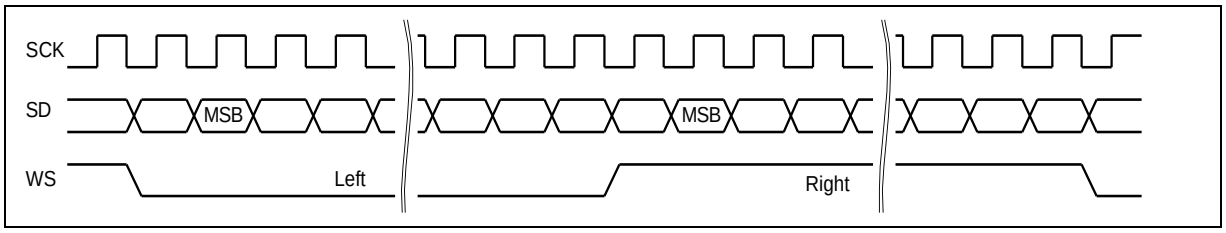
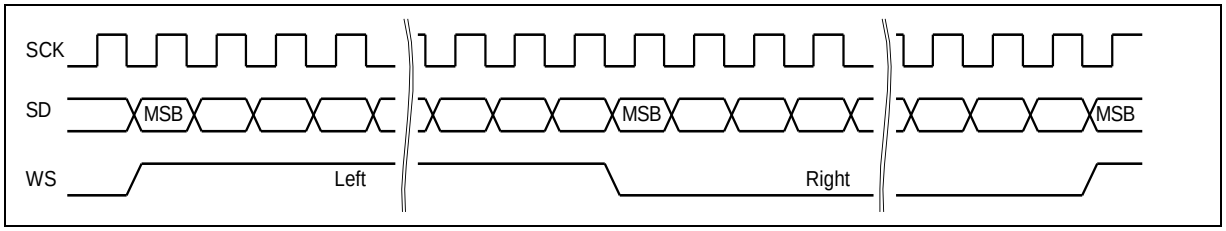


Figure 8-3 MSB-Justified Data Format



CHAPTER 2-1: USB/Ethernet クロック生成部

USB クロック・Ethernet クロック生成について説明します。

1. 概要・構成

1. 概要・構成

USB クロック・Ethernet クロックを生成します。

USB マクロが通信で使用する 48MHz の USB クロック, Ethernet 通信で使用する 50MHz(RMII)/25MHz(MII)の Ethernet クロックを生成します。

ご使用する製品により機能・構成が異なるため Ethernet 搭載製品以外の製品は『USB クロック生成』の章、Ethernet 搭載製品は『USB/Ethernet クロック生成』の章を参照してください。

また、本ファミリに内蔵された USB および Ethernet の論理マクロは、初期状態では低消費電力化のため動作クロック(HCLK)を論理マクロ内部でゲーティングしています。
USB または Ehternet 機能を使用する場合は、必ずクロックゲーティングを解除するため、以下のレジスタ設定を変更してください。

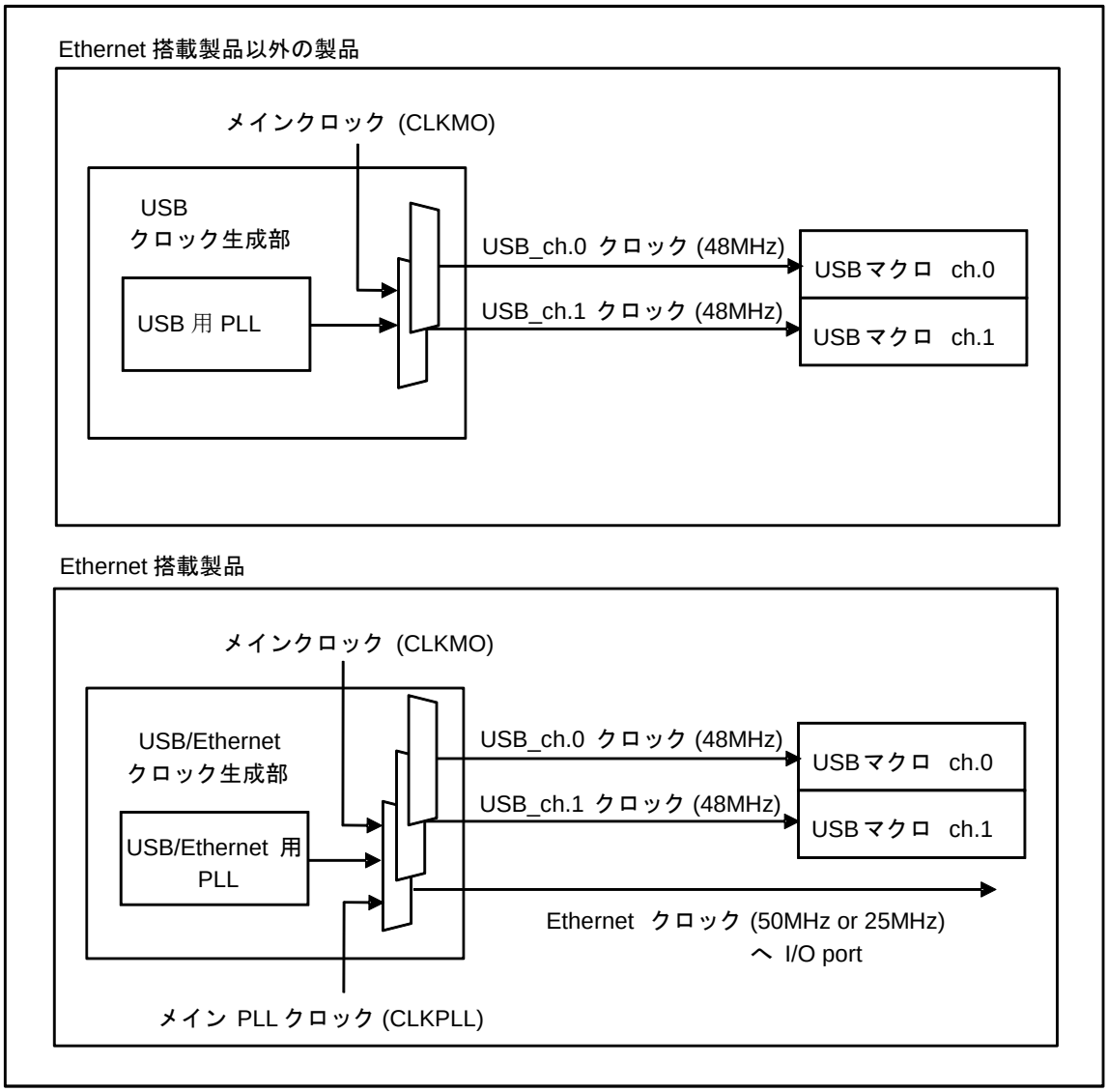
USB ch.0: 詳細は『ペリフェラルマニュアル』の『周辺クロック停止機能』の「4.5. 周辺クロック制御レジスタ(CKEN2)」を参照してください。

USB ch.1: 詳細は『ペリフェラルマニュアル』の『周辺クロック停止機能』の「4.5. 周辺クロック制御レジスタ(CKEN2)」を参照してください。

Figure 1-1 に USB クロック, USB/Ethernet クロック生成部のブロックダイヤグラムを示します。

USB クロック, USB/Ethernet クロック生成部の概略ブロックダイヤグラム

Figure 1-1 USB クロック, USB/Ethernet クロック生成部概略図



CHAPTER 2-2: USB クロック生成

USB クロック生成について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. レジスター覧
6. 使用上の注意点

1. 概要

USB クロック生成の概要を説明します。

USB クロックは USB マクロが通信するために使用する 48 MHz のクロックです。

USB クロックを生成する方法は以下の 2 種類から選択できます。

- 48 MHz のメインクロック(以下 CLKMO)をそのまま使用
- USB 用 PLL(以下 USB-PLL)をクロックソースとして使用

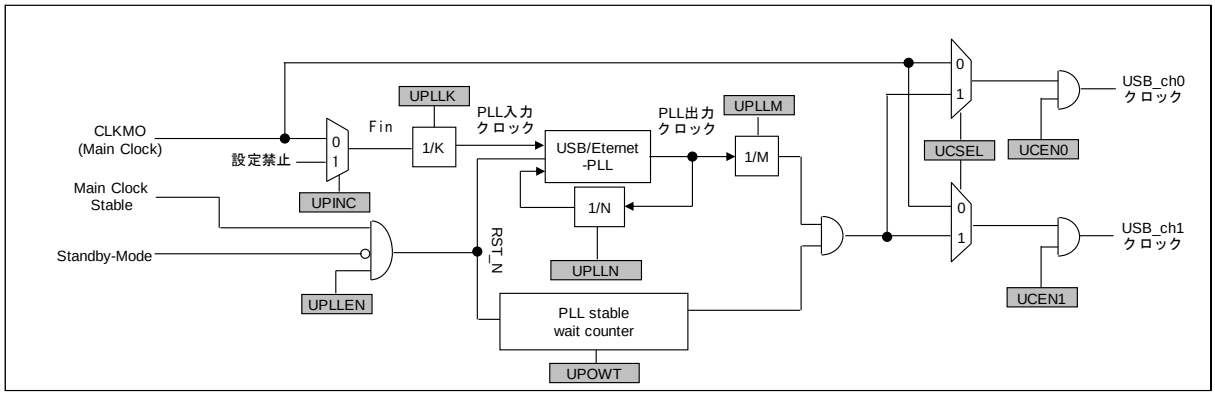
USB クロック生成部は以下の機能を持ちます。

- USB クロックの出力許可/停止の設定
- USB クロックの選択
- USB -PLL 発振許可/停止の設定
- USB -PLL 入力クロックの選択
- USB -PLL 入力クロック分周設定
- USB -PLL 出力クロック逓倍設定
- USB -PLL 安定待ち時間設定
- スタンバイモード時の USB クロックの停止

2. 構成・ブロックダイヤグラム

USB クロック生成部の構成, ブロックダイヤグラムを説明します。

Figure 2-1 USB クロック生成部のブロックダイヤグラム



USB-PLL 制御レジスタ(UPLLEN)

制御レジスタにより、USB -PLL 発振イネーブルを設定できます。

入力クロック選択レジスタ(UPINC)

CLKMO を必ず選択してください。

USB-PLL

■ 分周設定レジスタ(UPLLK, UPLLN, UPLLM)

USB クロックとして 48 MHz を生成するためには、K 分周,N 分周,M 分周を設定してください。
USB -PLL の入力クロック周波数, 出力クロック周波数, 逓倍率(N 分周設定値)の仕様範囲についてはご使用する製品の『データシート』の使用条件の「PLL 入力クロック周波数」, 「PLL マクロ発振クロック周波数」, 「PLL 逓倍率」を参照してください。

■ 発振安定待ち時間設定レジスタ(UPOWT)

USB -PLL の発振安定待ち時間を設定できます。

出力クロック

■ 出力クロック選択レジスタ(UCSEL)

CLKMO, または USB-PLL 出力クロックから選択できます。

■ USB クロック出力イネーブルレジスタ(UCEN0,UCEN1)

USB クロック出力イネーブルを設定できます。

スタンバイモード設定

■ Figure 2-1 に記載されている Standby-Mode 信号は以下のモードでアクティブになります。
以下のスタンバイモード時に USB クロックが停止されます。

- ストップモード
- タイマモード

■ Figure 2-1 に記載されている Main Clock Stable 信号は各発振安定信号です。

3. 動作説明

USB クロック生成部の動作説明をします。

USB クロック選択

USB クロックのソースクロックは以下の 2 種類から選択できます。

■ CLKMO

CLKMO を直接 USB クロックとして使用できます。この場合、CLKMO が 48 MHz 外部入力されている、または 48 MHz で発振している必要があります。また、CLKMO の発振安定確認後に USB クロック出力許可を行ってください。

■ USB-PLL 出力クロック

USB -PLL 出力クロックを USB クロックのソースクロックとして使用できます。

USB -PLL 出力クロックを 240 MHz または 288 MHz で出力させ、M 分周して 48 MHz クロックを生成する必要があります。

Table 3-1 に、分周比設定例を示します。

Table 3-1 PLL 分周比設定例

Fin (MHz)	USB クロック出力 48 MHz		
	PLL 出力周波数 240 MHz		
	K	N	M
4	1	60	5
8	1	30	5
8	2	60	5
16	1	15	5
16	2	30	5
16	4	60	5
24	2	20	5
24	4	40	5
24	6	60	5
48	*		

*:USB-PLL を使用せずに CLKMO を直接 USB クロックとして使用してください。

スタンバイモード遷移

■ スタンバイモード遷移時

スタンバイモード(STOP モードまたはタイマモード)に移行する前に UCCR レジスタの UCEN0, UCEN1 ビットをすべて"0"に設定して USB クロックを供給停止させてください。

1. UCCR:UCEN0=0, UCCR:UCEN1=0 に設定
2. UCCR レジスタを読み出して UCEN0, UCEN1 ビットが"0"であることを確認
3. スタンバイモードに移行

また復帰時は必要に応じて UCEN0,UCEN1 ビットの設定を"1"に戻してください。USB クロックが発振安定すると供給開始します。USB クロックが発振安定したかどうかは以下を確認してください。

a) USB -PLL を使用している場合
   UP_STR:UPRDY=1 になっていることを確認するか、USB-PLL 発振安定待ち割込みを使用してください。

b) CLKMO(48 MHz)を使用している場合
   CLKMO 発振安定後、USB クロックを供給します。

USB-PLL 発振安定待ち

■ USB-PLL 発振安定待ち時間設定

CLKMO 発振の安定後、USB-PLL 発振安定待ち時間のカウントを始めます。

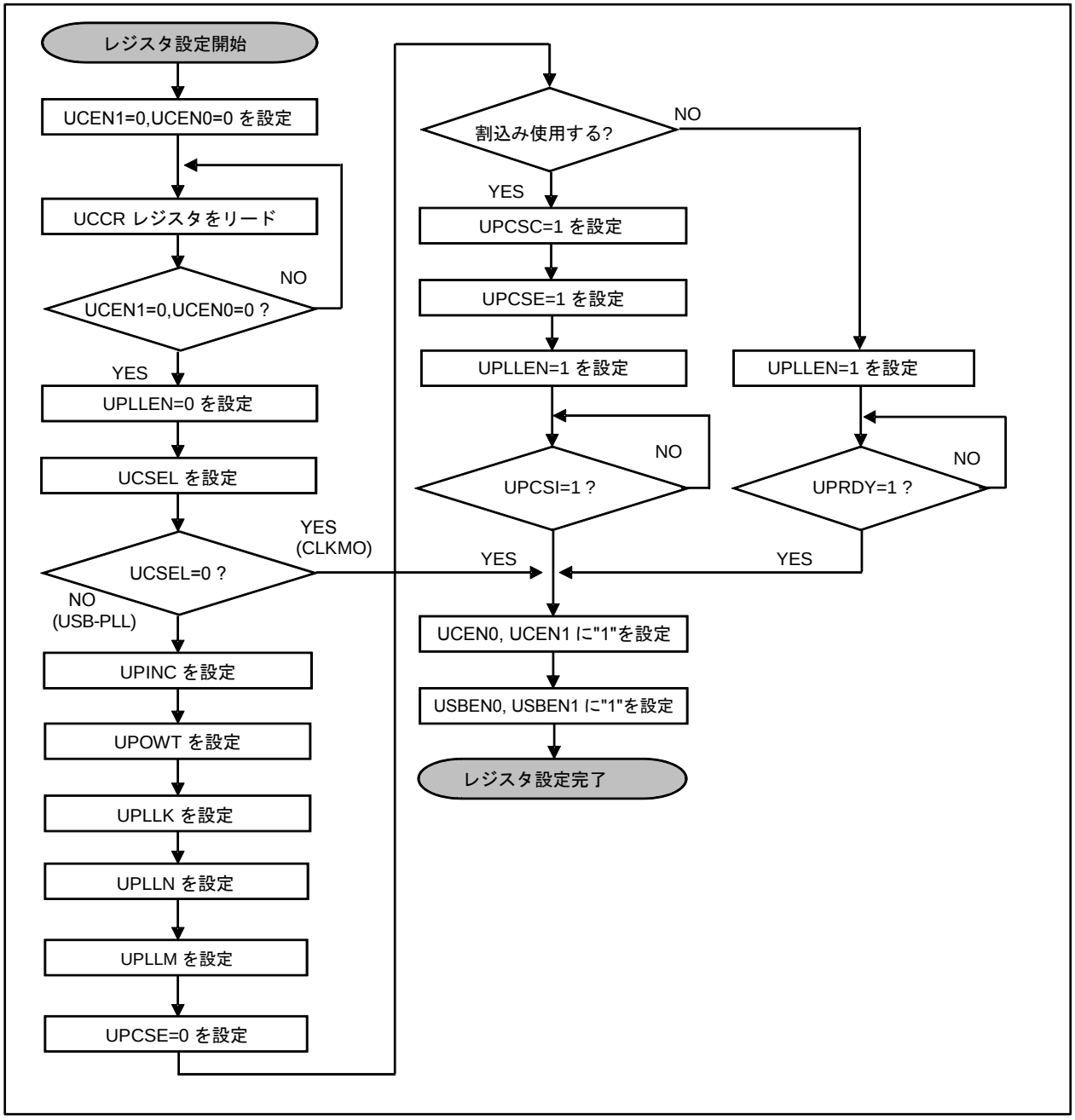
USB-PLL 発振許可を行う前に、USB-PLL 発振安定待ち時間設定および発振安定完了割込みを設定してください。発振安定待ち期間中に発振安定待ち時間を変更してはいけません。

4. 設定手順例

USB クロック生成部の設定手順例を説明します。

USB クロックの設定手順例を Figure 4-1 に示します。

Figure 4-1 USB クロック生成手順



5. レジスター覧

USB クロック生成部のレジスター覧を説明します。

USB クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
UCCR	USB クロック制御レジスタ	5.1
UPCR1	USB-PLL 制御レジスタ 1	5.2
UPCR2	USB-PLL 制御レジスタ 2	5.3
UPCR3	USB-PLL 制御レジスタ 3	5.4
UPCR4	USB-PLL 制御レジスタ 4	5.5
UPCR5	USB -PLL 制御レジスタ 5	5.6
UP_STR	USB-PLL 状態レジスタ	5.7
UPINT_ENR	USB-PLL 割込み要因イネーブルレジスタ	5.8
UPINT_STR	USB-PLL 割込み要因状態レジスタ	5.9
UPINT_CLR	USB-PLL 割込み要因クリアレジスタ	5.10
USBEN0	USB(ch.0)許可レジスタ	5.11
USBEN1	USB(ch.1)許可レジスタ	5.12

5.1 USB クロック制御レジスタ(UCCR)

UCCR レジスタは、USB クロックの選択および USB クロックの出力許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UCEN1	予約	UCSEL	UCEN0
属性	-				R/W	-	R/W	R/W
初期値	-				0	-	0	0

レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3] UCEN1 : USB(ch.1)クロック出力許可ビット

bit	説明
0	USB(ch.1)クロック出力を許可しない[初期値]
1	USB(ch.1)クロック出力を許可する

[bit2] 予約: 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit1] UCSEL : USB クロック選択ビット

bit	説明
0	CLKMO[初期値]
1	USB-PLL 発振クロック

[bit0] UCEN0 : USB(ch.0)クロック出力許可ビット

bit	説明
0	USB (ch.0)クロック出力を許可しない[初期値]
1	USB (ch.0)クロック出力を許可する

<注意事項>

- *UCSEL ビットで CLKMO を USB クロックとして選択する場合は、外部メイン発振から 48MHz を入力してください。*
- *本レジスタはソフトウェアリセット時に初期化されません。*

5.2 USB-PLL 制御レジスタ 1(UPCR1)

UPCR1 レジスタは、USB-PLL を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						UPINC	UPLLEN
属性	-						R/W	R/W
初期値	-						0	0

レジスタ機能

[bit7:2] 予約: 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] UPINC : USB-PLL 入力クロック選択ビット

bit	説明
0	CLKMO[初期値]
1	設定禁止

[bit0] UPLLEN : USB-PLL 発振許可ビット

bit	説明
0	USB-PLL を停止する[初期値]
1	USB-PLL 発振を許可する

<注意事項>

- *UPINC ビットは必ず"0"を設定してください。"1"を設定した場合、動作は保証されません。*
- *本レジスタはソフトウェアリセット時に初期化されません。*

5.3 USB-PLL 制御レジスタ 2(UPCR2)

UPCR2 レジスタは、USB-PLL の発振安定待ち時間を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						UPOWT	
属性	-						R/W	
初期値	-						000	

レジスタ機能

[bit7:3] 予約: 予約ビット

これらのビットからは、"0b00000 "が読み出されます。
書込みの場合には、"0b00000"を設定してください。

[bit2:0] UPOWT : USB-PLL 発振安定待ち時間設定ビット

bit2	bit1	bit0	説明
0	0	0	2^{9}/Fin : 約 128 µs * [初期値]
0	0	1	2^{10}/Fin : 約 256 µs *
0	1	0	2^{11}/Fin : 約 512 µs *
0	1	1	2^{12}/Fin : 約 1.02 ms *
1	0	0	2^{13}/Fin : 約 2.05 ms *
1	0	1	2^{14}/Fin : 約 4.10 ms *
1	1	0	2^{15}/Fin : 約 8.20 ms *
1	1	1	2^{16}/Fin : 約 16.4 ms *

*: Fin=4 MHz の場合

＜注意事項＞

- *Fin は UPINC ビットで選択されたクロックです。*
- *本レジスタはソフトウェアリセット時に初期化されません。*
- *PLL マクロの発振安定待ち時間は製品により異なるため、ご使用する製品の『データシート』の PLL の使用条件"PLL 発振安定待ち時間"を参照してください。*

5.4 USB-PLL 制御レジスタ 3(UPCR3)

UPCR3 レジスタは、USB-PLL の分周比(K)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			UPLLK				
属性	-			R/W				
初期値	-			00000				

レジスタ機能

[bit7:5] 予約: 予約ビット

これらのビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit4:0] UPLLK : USB-PLL クロックの分周比(K)設定ビット

bit4:0	説明
00000	(UPLLK+1) 分周されます。UPLLK の値により 1 分周から 32 分周が設定できます。 (例) UPLLK="00000" ⇒ 1 分周 [初期値]
00001	
・	
・	
11111	

＜注意事項＞

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.5 USB-PLL 制御レジスタ 4(UPCR4)

UPCR4 レジスタは、USB-PLL の分周比(N)を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	UPLLN						
属性	-	R/W						
初期値	-	0111011						

■ レジスタ機能

[bit7] 予約: 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:0] UPLLN : USB-PLL クロックの分周比(N)設定ビット

bit6:0	説明
0000000	設定禁止
・	
0001100	
0001101	(UPLLN+1) 分周されます。UPLLN の値により 14 分周から 100 分周が設定できます。 (例) UPLLN="0111011" ⇒ 60 分周 [初期値]
・	
・	
1100011	
1100100	設定禁止
・	
1111111	

＜注意事項＞

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.6 USB-PLL 制御レジスタ 5(UPCR5)

UPCR5 レジスタは、USB-PLL の分周比(M)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UPLLM			
属性	-				R/W			
初期値	-				0100			

レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3:0] UPLLM :USB-PLL クロックの分周比(M)設定ビット

bit3:0	説明
0000	(UPLLM+1) 分周されます。UPLLM の値により 1 分周から 16 分周が設定できます。 (例) UPLLM="0100" ⇒ 5 分周 [初期値]
0001	
・	
・	
1111	

＜注意事項＞

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.7 USB-PLL 状態レジスタ(UP_STR)

UP_STR レジスタは、USB-PLL の状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPRDY
属性	-							R
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPRDY : USB-PLL 発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

＜注意事項＞

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.8 USB-PLL 割込み要因イネーブルレジスタ(UPINT_ENR)

UPINT_ENR レジスタは、USB-PLL 発振安定待ち完了割込みのイネーブルを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSE
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSE : USB-PLL 発振安定待ち完了割込みイネーブルビット

bit	説明
0	割込みの発生を許可しない[初期値]
1	割込みの発生を許可する

5.9 USB-PLL 割込み要因状態レジスタ(UPINT_STR)

UPINT_STR レジスタは、USB-PLL 発振安定待ち割込みの状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSI
属性	-							R
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSI : USB-PLL 割込み要因状態ビット

bit	説明
0	割込みの発生なし[初期値]
1	割込みの発生あり

5.10 USB-PLL 割込み要因クリアレジスタ(UPINT_CLR)

UPINT_CLR レジスタは、USB-PLL 割込み要因のクリアを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSC
属性	-							W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSC : USB-PLL 発振安定割込み発生要因クリアビット

bit	説明
0	無効[初期値]
1	USB-PLL 発振安定待ち割込みをクリアします。

＜注意事項＞

- *本レジスタの UPCSC ビットに"1"書込みを行うと UPINT_STR レジスタはクリアされます。*

5.11 USB(ch.0)許可レジスタ(USBEN0)

USBEN0 レジスタは、USB(ch.0)コントローラの動作許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN0
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN0 : USB(ch.0)許可ビット

bit	説明
0	USB(ch.0)動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB(ch.0)動作許可

<注意事項>

- *USB(ch.0)を使用する場合は、本ビットを"1"に設定してから使用してください。*
- *USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。*

5.12 USB(ch.1)許可レジスタ(USBEN1)

USBEN1 レジスタは、USB(ch.1)コントローラの動作許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN1
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN1 : USB(ch.1)許可ビット

bit	説明
0	USB(ch.1)動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB(ch.1)動作許可

<注意事項>

- *USB(ch.1)を使用する場合は、本ビットを"1"に設定してから使用してください。*
- *USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。*

6. 使用上の注意点

クロック生成部の使用上の注意点を説明します。

■ USB クロック出力設定と USB クロック選択

USB(ch.0)クロック出力無効(UCEN0=0)と USB クロック選択(UCSEL)または USB(ch.1)クロック出力無効(UCEN1=0)と USB クロック選択(UCSEL)を同時に行わないでください。
必ず、USB クロック出力無効→USB クロック選択の順に行ってください。

■ USB-PLL 発振の分周比設定

PLL 発振が安定してから PLL の分周比を変更する場合は、いったん PLL 発振を停止し、分周比の変更後、再度 PLL 発振許可を行ってください。

■ CLKMO 選択

UCSEL=0 を設定すると USB クロックには CLKMO が選択されます。CLKMO を選択するときは、CLKMO が 48 MHz で発振しているときにしてください。

■ USB-PLL 発振安定待ち時間の設定

PLL 発振安定待ち時間設定レジスタにて発振安定待ち時間を設定してから、PLL を有効にしてください。また、発振安定待ち中に、発振安定待ち時間を変更しないでください。

■ USB-PLL 入力クロック選択

UCSEL=1 を設定すると USB クロックには USB-PLL 発振クロックが選択されます。
USB-PLL 設定レジスタ 1(UPCR1)の UPINC ビットに"0"を書き込み、USB-PLL 入力クロックには必ず CLKMO を選択してください。

Table 6-1 に USB クロックと UCSEL/UPLLEN/UPINC の関係を示します。

Table 6-1 USB クロックとレジスタの設定一覧

		UCSEL	UPLLEN	UPINC
メインクロック 48 MHz 使用時		0	0	-
PLL マクロ発振クロック使用時	CLKMO	1	1	0
	設定禁止	1	1	1

■ スタンバイモードと USB-PLL 発振安定待ちカウンタ

USB-PLL 発振安定待ち時間中に TIMER/STOP モードに遷移すると、PLL は停止し、安定待ちカウンタはクリアされます。

■ USB 許可ビットと USB コントローラの設定

USB コントローラを使用する際には、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。また、USB コントローラに USB クロックを供給してから、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。USB コントローラの設定詳細については、別章『USB ファンクション』および『USB ホスト』を参照してください。

CHAPTER 2-3: USB/Ethernet クロック生成

USB/Ethernet クロック生成について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. レジスター覧
6. 使用上の注意点

1. 概要

USB/Ethernet クロック生成の概要を説明します。

USB クロックは USB マクロが通信するために使用する 48 MHz のクロックです。Ethernet クロックは、Ethernet 通信するために使用する 50 MHz(RMII)/25 MHz(MII)のクロックです。

本機能を使用することによって USB(48 MHz)クロックと Ethernet(50 MHz/25 MHz)クロックを同時に生成できます。

USB/Ethernet クロックを生成する方法は以下の 3 種類から選択できます。

- 48 MHz または 50 MHz/25 MHz のメインクロック(以下 CLKMO)をそのまま使用
- USB/Ethernet 用 PLL(以下 USB/Ethernet-PLL)をクロックソースとして使用
- メイン PLL クロック(以下 CLKPLL)をクロックソースとして使用

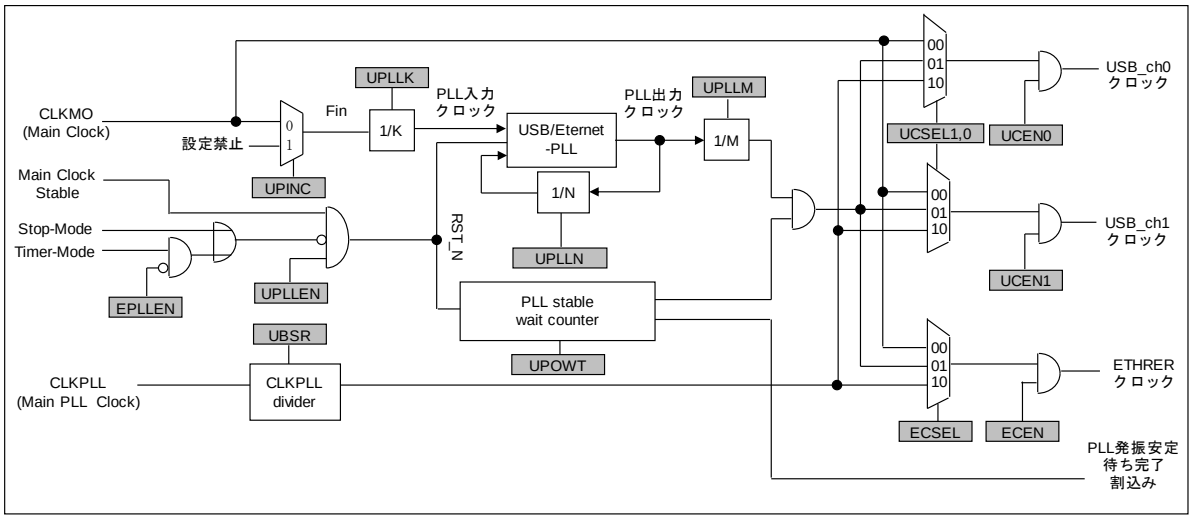
USB/Ethernet クロック生成部は以下の機能を持ちます。

- USB/Ethernet クロックの出力許可/停止の設定
- USB/Ethernet クロックの選択
- USB/Ethernet-PLL 発振許可/停止の設定
- USB/Ethernet-PLL 入力クロックの選択
- USB/Ethernet-PLL 入力クロック分周設定
- USB/Ethernet-PLL 出力クロック逓倍設定
- USB/Ethernet-PLL 安定待ち時間設定
- スタンバイモード時の USB/Ethernet クロックの停止

2. 構成・ブロックダイヤグラム

USB/Ethernet クロック生成部の構成, ブロックダイヤグラムを説明します。

Figure 2-1 USB/Ethernet クロック生成部のブロックダイヤグラム



USB/Ethernet-PLL 制御レジスタ(UPLLEN)

制御レジスタにより、USB/Ethernet-PLL 発振イネーブルを設定できます。

入力クロック選択レジスタ(UPINC)

CLKMO を必ず選択してください。

USB/Ethernet-PLL

■ 分周設定レジスタ(UPLLK, UPLLN, UPLLM)

USB クロックとして 48 MHz クロックまたは Ethernet クロックとして 50 MHz/25 MHz クロックを生成するためには、K 分周, N 分周, M 分周を設定してください。

USB/Ethernet-PLL の入力クロック周波数, 出力クロック周波数, 逓倍率(N 分周設定値)の仕様範囲についてはご使用する製品の『データシート』の使用条件の「PLL 入力クロック周波数」, 「PLL マクロ発振クロック周波数」, 「PLL 逓倍率」を参照してください。

■ 発振安定待ち時間設定レジスタ(UPOWT)

USB/Ethernet-PLL の発振安定待ち時間を設定できます。

CLKPLL 入力

■ 分周設定レジスタ(UBSR)

CLKPLL の分周設定をしてください。

出力クロック

■ 出力クロック選択レジスタ(UCSEL0, UCSEL1, ECSEL)

CLKMO, USB/Ethernet-PLL 出力クロックまたは CLKPLL 分周クロックから選択できます。

■ USB/Ethernet クロック出力イネーブルレジスタ(UCEN0, UCEN1, ECEN)

USB/Ethernet クロック出力イネーブルを設定できます。

スタンバイモード設定

■ タイマモードまたは STOP モード時は USB/Ethernet-PLL の発振は停止します。ただし USB/Ethernet-PLL を Ethernet クロックに使用(ECSEL[1:0]=01)かつ EPLLEN=1 に設定した場合、タイマモード時に USB/Ethernet-PLL の発振停止は行いません。

■ Figure 2-1 に記載されている Main Clock Stable 信号は各発振安定信号です。

3. 動作説明

USB/Ethernet クロック生成部の動作説明をします。

USB/Ethernet クロック選択

USB/Ethernet クロックのソースクロックは以下の 3 種類から選択できます。

■ CLKMO

CLKMO を直接 USB クロックまたは Ethernet クロックとして使用できます。この場合、CLKMO が 48 MHz または 50 MHz/25 MHz 外部入力されている、もしくは 48 MHz または 50 MHz/25 MHz で発振している必要があります。また、CLKMO の発振安定確認後に USB クロックまたは Ethernet クロックの出力許可を行ってください。

■ USB/Ethernet-PLL 出力クロック

USB/Ethernet-PLL 出力クロックを USB/Ethernet クロックのソースクロックとして使用できます。

- USB クロックとして使用する場合

  USB/Ethernet-PLL 出力クロックを 240 MHz または 288 MHz で出力させ、M 分周して 48 MHz クロックを生成する必要があります。

- Ethernet クロックとして使用する場合

  USB/Ethernet-PLL 出力クロックを 200MHz～300 MHz で出力させ、M 分周して 50 MHz クロックまたは 25 MHz クロックを生成する必要があります。

<注意事項>

- *Ethernet クロックとして使用する場合、Ethernet 通信のクロックデューティ仕様制限のために USB/Ethernet-PLL 出力クロックを 3 分周設定(UPLLM=0010) して使用することは禁止です。*

Table 3-1 に、分周比設定例を示します。

Table 3-1 PLL 分周比設定例

Fin (MHz)	Ethernet クロック出力 50 MHz			Ethernet クロック出力 25 MHz			USB クロック出力 48 MHz		
	PLL 出力周波数 200 MHz			PLL 出力周波数 200 MHz			PLL 出力周波数 240 MHz		
	K	N	M	K	N	M	K	N	M
4	1	50	4	1	50	8	1	60	5
8	1	25	4	1	25	8	1	30	5
16	2	25	4	2	25	8	1	15	5
24	3	25	4	6	50	8	2	20	5
25	5	40	4	*			5	48	5
48	6	25	4	6	25	8	*		
50	*			5	20	8	10	48	5

*:USB/Ethernet-PLL を使用せずに CLKMO を直接 USB クロックまたは Ethernet クロックとして使用してください。

■ CLKPLL

CLKPLL を必要に応じて分周して USB クロックまたは Ethernet クロックとして使用できます。

<注意事項>

- *Ethernet クロックとして使用する場合、Ethernet 通信のクロック Duty 仕様制限のために CLKPLL を 3 分周 (UBSR=0010) して使用することは禁止です。*

スタンバイモード遷移

■ スタンバイモード遷移時

スタンバイモード(STOP モードまたはタイマモード)に移行する前に UCCR レジスタの UCEN0, UCEN1, ECEN ビットをすべて"0"に設定して USB クロックおよび Ethernet クロックを供給停止させてください。

1. UCCR:UCEN0=0, UCCR:UCEN1=0, UCCR:ECEN=0 に設定
2. UCCR レジスタを読み出して UCEN0, UCEN1, ECEN ビットが"0"であることを確認
3. スタンバイモードに移行

また復帰時は必要に応じて UCEN0,UCEN1,ECEN ビットの設定を"1"に戻してください。USB/Ethernet クロックが発振安定すると供給開始します。USB/Ethernet クロックが発振安定したかどうかは以下を確認してください。

a) USB/Ethernet-PLL を使用している場合

UP_STR:UPRDY=1 になっていることを確認するか、USB/Ethernet-PLL 発振安定待ち割込みを使用してください。

b) CLKMO(50 MHz/25 MHz または 48 MHz)を使用している場合

CLKMO 発振安定後、USB/Ethernet クロックを供給します。

c) CLKPLL を使用している場合

SCM_STR:PLRDY=1 になっていることを確認するか、PLL 発振安定待ち割込みを使用してください (クロック生成部章を参照してください)。

USB/Ethernet-PLL 発振安定待ち

■ USB/Ethernet-PLL 発振安定待ち時間設定

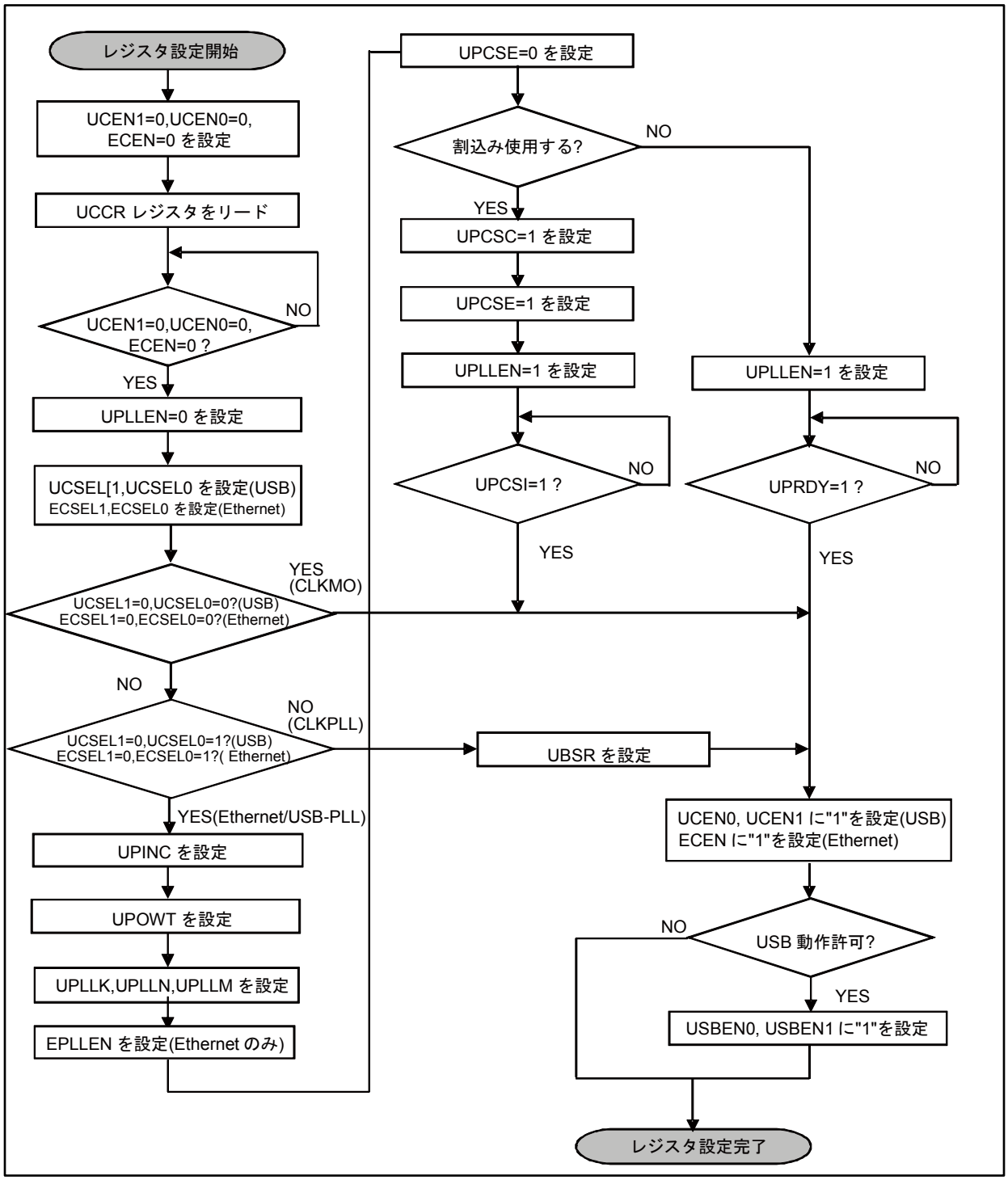
CLKMO 発振の安定後、USB/Ethernet-PLL 発振安定待ち時間のカウントを始めます。

USB/Ethernet-PLL 発振許可を行う前に、USB/Ethernet-PLL 発振安定待ち時間設定および発振安定完了割込みを設定してください。発振安定待ち期間中に発振安定待ち時間を変更してはいけません。

4. 設定手順例

USB/Ethernet クロック生成部の設定手順例を説明します。
USB/Ethernet クロックの設定手順例を Figure 4-1 に示します。

Figure 4-1 USB/Ethernet クロック生成手順



5. レジスター覧

USB/Ethernet クロック生成部のレジスター覧を説明します。

USB/Ethernet クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
UCCR	USB/Ethernet クロック制御レジスタ	5.1
UPCR1	USB/Ethernet-PLL 制御レジスタ 1	5.2
UPCR2	USB/Ethernet-PLL 制御レジスタ 2	5.3
UPCR3	USB/Ethernet-PLL 制御レジスタ 3	5.4
UPCR4	USB/Ethernet-PLL 制御レジスタ 4	5.5
UPCR5	USB/Ethernet-PLL 制御レジスタ 5	5.6
UPCR6	USB/Ethernet-PLL 制御レジスタ 6	5.7
UPCR7	USB/Ethernet-PLL 制御レジスタ 7	5.8
UP_STR	USB/Ethernet-PLL 状態レジスタ	5.9
UPINT_ENR	USB/Ethernet-PLL 割込み要因イネーブルレジスタ	5.10
UPINT_STR	USB/Ethernet-PLL 割込み要因状態レジスタ	5.11
UPINT_CLR	USB/Ethernet-PLL 割込み要因クリアレジスタ	5.12
USBEN0	USB(ch.0)許可レジスタ	5.13
USBEN1	USB(ch.1)許可レジスタ	5.14

5.1 USB/Ethernet クロック制御レジスタ(UCCR)

UCCR レジスタは、USB/Ethernet クロックの選択および USB/Ethernet クロックの出力許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	ECSEL1	ECSEL0	ECEN	UCEN1	UCSEL1	UCSEL0	UCEN0
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	0	0	0	0	0	0	0

レジスタ機能

[bit7] 予約: 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:5] ECSEL1/ECSEL0 : Ethernet クロック選択ビット

bit6:5	説明
00	CLKMO[初期値]
01	USB/Ethernet-PLL 発振クロック
10	CLKPLL 分周クロック
11	予約

[bit4] ECEN : Ethernet クロック出力許可ビット

bit	説明
0	Ethernet クロック出力を許可しない[初期値]
1	Ethernet クロック出力を許可する

[bit3] UCEN1 : USB(ch.1)クロック出力許可ビット

bit	説明
0	USB(ch.1)クロック出力を許可しない[初期値]
1	USB(ch.1)クロック出力を許可する

[bit2:1] UCSEL1/UCSEL0 : USB クロック選択ビット

bit2:1	説明
00	CLKMO[初期値]
01	USB/Ethernet-PLL 発振クロック
10	CLKPLL 分周クロック
11	予約

[bit0] UCEN0 : USB(ch.0)クロック出力許可ビット

bit	説明
0	USB (ch.0)クロック出力を許可しない[初期値]
1	USB (ch.0)クロック出力を許可する

<注意事項>

- *UCSEL[1:0]ビットで CLKMO を USB クロックとして選択する場合は、外部メイン発振から 48 MHz を入力してください。また Ethernet クロックとして選択する場合は、外部メイン発振から 50 MHz または 25 MHz を入力してください。*
- *本レジスタはソフトウェアリセット時に初期化されません。*

5.2 USB/Ethernet-PLL 制御レジスタ 1(UPCR1)

UPCR1 レジスタは、USB/Ethernet 用 PLL を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						UPINC	UPLLEN
属性	-						R/W	R/W
初期値	-						0	0

レジスタ機能

[bit7:2] 予約: 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] UPINC : USB/Ethernet-PLL 入力クロック選択ビット

bit	説明
0	CLKMO[初期値]
1	設定禁止

[bit0] UPLLEN : USB/Ethernet-PLL 発振許可ビット

bit	説明
0	USB/Ethernet-PLL を停止する[初期値]
1	USB/Ethernet-PLL 発振を許可する

<注意事項>

- *UPINC ビットは必ず"0"を設定してください。"1"を設定した場合、動作は保証されません。*
- *本レジスタはソフトウェアリセット時に初期化されません。*

5.3 USB/Ethernet-PLL 制御レジスタ 2(UPCR2)

UPCR2 レジスタは、USB/Ethernet 用 PLL の発振安定待ち時間を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					UPOWT		
属性	-					R/W		
初期値	-					000		

レジスタ機能

[bit7:3] 予約: 予約ビット

これらのビットからは、"00000 "が読み出されます。
書込みの場合には、"00000"を設定してください。

[bit2:0] UPOWT : USB/Ethernet-PLL 発振安定待ち時間設定ビット

bit2	bit1	bit0	説明
0	0	0	2^9/Fin : 約 128 µs * [初期値]
0	0	1	2^{10}/Fin : 約 256 µs *
0	1	0	2^{11}/Fin : 約 512 µs *
0	1	1	2^{12}/Fin : 約 1.02 ms *
1	0	0	2^{13}/Fin : 約 2.05 ms *
1	0	1	2^{14}/Fin : 約 4.10 ms *
1	1	0	2^{15}/Fin : 約 8.20 ms *
1	1	1	2^{16}/Fin : 約 16.4 ms *

* : Fin=4MHz の場合

<注意事項>

- *Fin は UPINC ビットで選択されたクロックです。*
- *本レジスタはソフトウェアリセット時に初期化されません。*
- *PLL マクロの発振安定待ち時間は製品により異なるため、ご使用する製品の『データシート』の PLL の使用条件"PLL 発振安定待ち時間"を参照してください。*

5.4 USB/Ethernet-PLL 制御レジスタ 3(UPCR3)

UPCR3 レジスタは、USB/Ethernet 用 PLL の分周比(K)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			UPLLK				
属性	-			R/W				
初期値	-			00000				

レジスタ機能

[bit7:5] 予約: 予約ビット

これらのビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit4:0] UPLLK : USB/Ethernet-PLL クロックの分周比(K)設定ビット

bit4:0	説明
00000	(UPLLK+1) 分周されます。UPLLK の値により 1 分周から 32 分周が設定できます。 (例) UPLLK="00000" ⇒ 1 分周 [初期値]
00001	
・	
・	
11111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.5 USB/Ethernet-PLL 制御レジスタ 4(UPCR4)

UPCR4 レジスタは、USB/Ethernet 用 PLL の分周比(N)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	UPLLN						
属性	-	R/W						
初期値	-	0111011						

レジスタ機能

[bit7] 予約: 予約ビット

本ビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:0] UPLLN : USB/Ethernet-PLL クロックの分周比(N)設定ビット

bit6:0	説明
0000000	設定禁止
・	
0001100	
0001101	(UPLLN+1) 分周されます。UPLLN の値により 14 分周から 100 分周が設定できます。 (例) UPLLN="0111011" ⇒ 60 分周 [初期値]
・	
・	
1100011	
1100100	設定禁止
・	
1111111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.6 USB/Ethernet-PLL 制御レジスタ 5(UPCR5)

UPCR5 レジスタは、USB/Ethernet 用 PLL の分周比(M)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UPLLM			
属性	-				R/W			
初期値	-				0100			

レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3:0] UPLLM :USB/Ethernet-PLL クロックの分周比(M)設定ビット

bit3:0	説明
0000	(UPLLM+1) 分周されます。UPLLM の値により 1 分周から 16 分周が設定できます。 (例) UPLLM="0100" ⇒ 5 分周 [初期値]
0001	
・	
・	
1111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.7 USB/Ethernet-PLL 制御レジスタ 6(UPCR6)

UPCR6 レジスタは、CLKPLL の分周比を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UBSR			
属性	-				R/W			
初期値	-				0010			

レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3:0] UBSR :CLKPLL の分周比設定ビット

bit3:0	説明
0000	(UBSR+1) 分周されます。USBR の値により 1 分周から 16 分周が設定できます。 (例) USBR="0010" ⇒ 3 分周 [初期値]
0001	
・	
・	
1111	

＜注意事項＞

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.8 USB/Ethernet-PLL 制御レジスタ 7(UPCR7)

UPCR7 レジスタは、タイマモード時の USB/Ethernet-PLL を制御します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							EPLLEN
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000 "が読み出されます。
書込みの場合には、"0b0000000 "を設定してください。

[bit0] EPLLEN :タイマモード時の USB/Ethernet-PLL 制御ビット

bit	説明
0	タイマモード時に USB/Ethernet-PLL を停止します。
1	タイマモード時に USB/Ethernet-PLL を停止しません。

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.9 USB/Ethernet-PLL 状態レジスタ(UP_STR)

UP_STR レジスタは、USB/Ethernet-PLL の状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPRDY
属性	-							R
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPRDY : USB/Ethernet-PLL 発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

＜注意事項＞

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.10 USB/Ethernet-PLL 割込み要因イネーブルレジスタ(UPINT_ENR)

UPINT_ENR レジスタは、USB/Ethernet-PLL 発振安定待ち完了割込みのイネーブルを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSE
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSE : USB/Ethernet-PLL 発振安定待ち完了割込みイネーブルビット

bit	説明
0	割込みの発生を許可しない[初期値]
1	割込みの発生を許可する

5.11 USB/Ethernet-PLL 割込み要因状態レジスタ(UPINT_STR)

UPINT_STR レジスタは、USB/Ethernet-PLL 発振安定待ち割込みの状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSI
属性	-							R
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSI : USB/Ethernet-PLL 割込み要因状態ビット

bit	説明
0	割込みの発生なし[初期値]
1	割込みの発生あり

5.12 USB/Ethernet-PLL 割込み要因クリアレジスタ(UPINT_CLR)

UPINT_CLR レジスタは、USB/Ethernet-PLL 割込み要因のクリアを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSC
属性	-							W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSC : USB/Ethernet-PLL 発振安定割込み発生要因クリアビット

bit	説明
0	無効[初期値]
1	USB/Ethernet-PLL 発振安定待ち割込みをクリアします。

<注意事項>

- *本レジスタの UPCSC ビットに"1"書込みを行うと UPINT_STR レジスタはクリアされます。*

5.13 USB(ch.0)許可レジスタ(USBEN0)

USBEN0 レジスタは、USB(ch.0)コントローラの動作許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN0
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN0 : USB(ch.0)許可ビット

bit	説明
0	USB(ch.0)動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB(ch.0)動作許可

<注意事項>

- *USB(ch.0)を使用する場合は、本ビットを"1"に設定してから使用してください。*
- *USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。*

5.14 USB(ch.1)許可レジスタ(USBEN1)

USBEN1 レジスタは、USB(ch.1)コントローラの動作許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN1
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN1 : USB(ch.1)許可ビット

bit	説明
0	USB(ch.1)動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB(ch.1)動作許可

<注意事項>

- *USB(ch.1)を使用する場合は、本ビットを"1"に設定してから使用してください。*
- *USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。*

6. 使用上の注意点

クロック生成部の使用上の注意点を説明します。

■ USB クロック出力設定と USB クロック選択

USB(ch.0)クロック出力無効(UCEN0=0)と USB クロック選択(UCSEL0, UCSEL1)または USB(ch.1)クロック出力無効(UCEN1=0)と USB クロック選択(UCSEL0, UCSEL1)を同時に行わないでください。
必ず、USB クロック出力無効→USB クロック選択の順に行ってください。

■ USB/Ethernet-PLL 発振の分周比設定

PLL 発振が安定してから PLL の分周比を変更する場合は、いったん PLL 発振を停止し、分周比の変更後、再度 PLL 発振許可を行ってください。

■ CLKMO 選択

UCSEL0=0 および UCSEL1=0 を設定すると USB/Ethernet クロックには CLKMO が選択されます。CLKMO を選択するときは、CLKMO が 48 MHz(USB で使用する場合)または 50 MHz/25 MHz(Ethernet で使用する場合)で発振しているときにしてください。

■ USB/Ethernet-PLL 発振安定待ち時間の設定

PLL 発振安定待ち時間設定レジスタにて発振安定待ち時間を設定してから、PLL を有効にしてください。また、発振安定待ち中に、発振安定待ち時間を変更しないでください。

■ USB/Ethernet-PLL 入力クロック選択

UCSEL0, UCSEL1 設定および ECSEL0, ECSEL1 設定により USB クロックおよび Ethernet クロックのソースクロックを選択できます。また、USB クロック, Ethernet クロックは別々のソースクロックを指定できます。

Table 6-1 にソースクロック選択関連レジスタの設定値を示します。

Table 6-1 USB/Ethernet クロックソース選択別レジスタの設定一覧

USB クロックソース	CLKMO(48 MHz)		USB/Ethernet-PLL 出力クロック		CLKPLL	
Ethernet クロックソース	USB/ Ethernet-PLL 出力クロック	CLKPLL	CLKMO (50MHz/ 25MHz)	CLKPLL	CLKMO (50MHz/ 25MHz)	USB/ Ethernet-PLL 出力クロック
設定値	UCSEL1=0 UCSEL0=0 ECSEL1=0 ECSEL0=1 UPLLEN=1	UCSEL1=0 UCSEL0=0 ECSEL1=1 ECSEL0=0 UPLLEN=1	UCSEL1=0 UCSEL0=1 ECSEL1=0 ECSEL0=0 UPLLEN=1	UCSEL1=0 UCSEL0=1 ECSEL1=1 ECSEL0=0 UPLLEN=1	UCSEL1=1 UCSEL0=0 ECSEL1=0 ECSEL0=0 UPLLEN=1	UCSEL1=1 UCSEL0=0 ECSEL1=0 ECSEL0=1 UPLLEN=1

■ スタンバイモードと USB/Ethernet-PLL 発振安定待ちカウンタ

USB/Ethernet-PLL 発振安定待ち時間中に TIMER/STOP モードに遷移すると、PLL は停止し、安定待ちカウンタはクリアされます(EPLLEN=1, ECSEL[1:0]=01 時のタイマモードは除く)。

■ USB 許可ビットと USB コントローラの設定

USB コントローラを使用する際には、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。また、USB コントローラに USB クロックを供給してから、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。USB コントローラの設定詳細については、別章『USB ファンクション』および『USB ホスト』を参照してください。

CHAPTER 3-1: USB デバイス(USB ファンクション)

USB デバイス(USB ファンクション)について説明します。

1. USB デバイス(USB ファンクション)の概要
2. USB デバイス(USB ファンクション)の構成
3. USB デバイス(USB ファンクション)の動作説明
4. USB デバイス(USB ファンクション)の設定手順例
5. USB デバイス(USB ファンクション)のレジスタ

1. USB デバイス(USB ファンクション)の概要

USB ファンクションは、USB(Universal Serial Bus)通信プロトコルをサポートするインタフェースです。転送スピードはFULL(12 Mbps)に対応して動作し、以下の特長があります。

1.1 USB デバイス(USB ファンクション)の特長

- FULL スピード(12Mbps)をサポート
- デバイスステータスは自動応答
- Bit Stripping, Bit Stuffing, CRC5, CRC16 の自動生成とチェック
- データ同期ビットによるトグルチェック
- Get/SetDescriptor, SynchFrame コマンドを除くすべての標準コマンドに自動応答
  (前記 3 コマンドはクラス・ベンダコマンドと同様の処理が可能)
- クラス・ベンダコマンドはデータとして受信し、ファームによる応答が可能
- 最大 6 本の EndPoint をサポート(EndPoint0 は control 転送に固定)
- 転送データバッファに各 EndPoint でバッファを 2 本ずつ内蔵
  (EndPoint0 の場合は IN と OUT それぞれ専用に 1 本ずつ内蔵)
- DMA による転送データの自動転送モードをサポート(EndPoint0 のバッファ以外)

<注意事項>

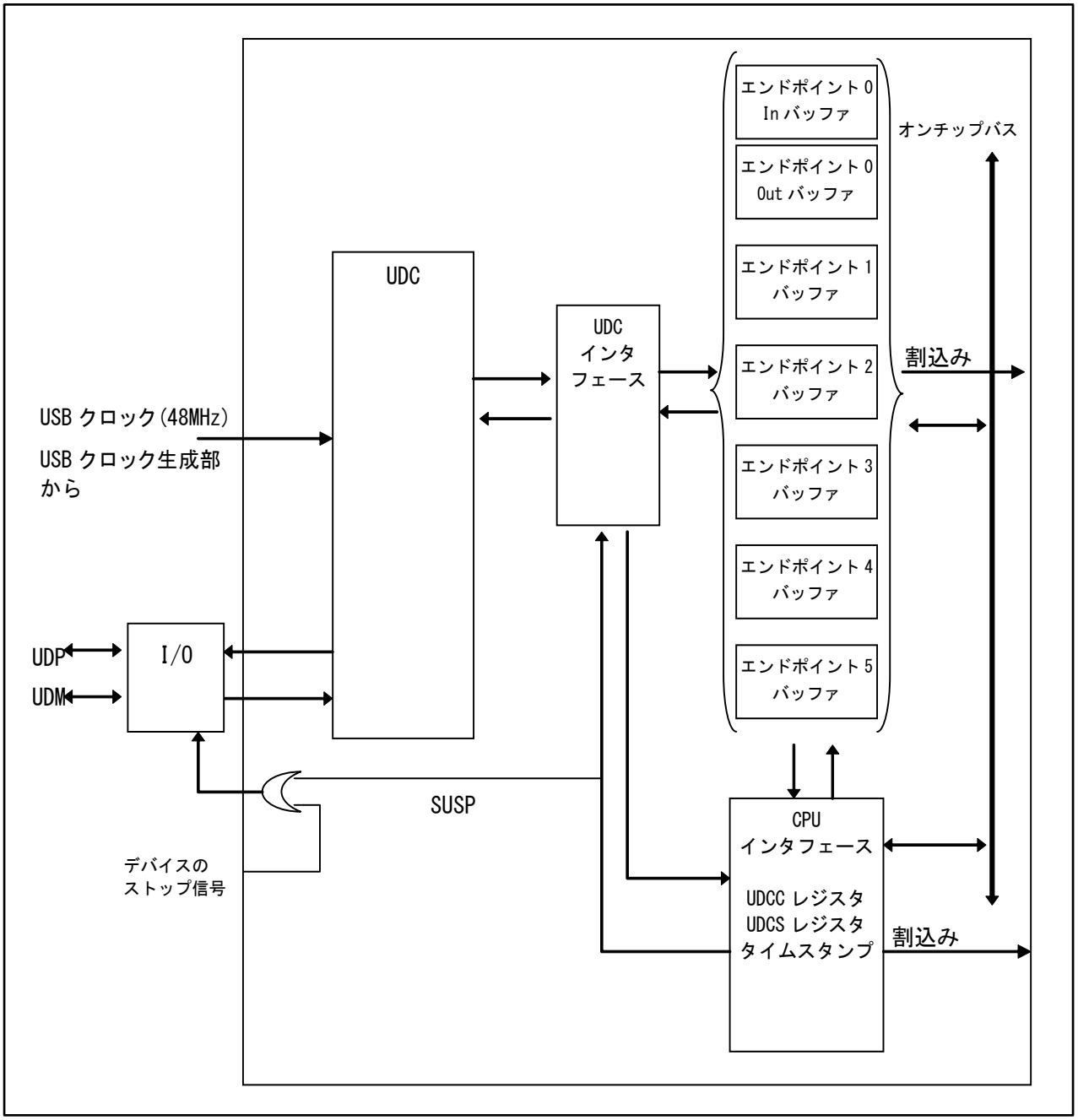
- *USB ファンクションを使用する場合、ベースクロック(HCLK)は 13 MHz 以上で使用してください。*

2. USB デバイス(USB ファンクション)の構成

Figure 2-1 に、USB ファンクションのブロックダイヤグラムを示します。

USB ファンクションのブロックダイヤグラム

Figure 2-1 USB ファンクションのブロックダイヤグラム



USB ファンクションのエンドポイント構成

設定組み合わせ	Configuration	Interface	Alternate	Endpoint	Type
Comb1	—	—	—	0	CTRL
	1	0	0	1	Bulk/Interrupt
		0	0	2	Bulk/Interrupt
		0	0	3	Bulk/Interrupt
		0	0	4	Bulk/Interrupt
		0	0	5	Bulk/Interrupt
Comb2	—	—	—	0	CTRL
	1	1	0	—	—(*1)
		1	1	1	ISO
		0	0	2	Bulk/Interrupt
		0	0	3	Bulk/Interrupt
		0	0	4	Bulk/Interrupt
		0	0	5	Bulk/Interrupt
Comb3	—	—	—	0	CTRL
	1	1	0	—	—(*1)
		1	1	1	ISO
		2	0	—	—(*1)
		2	1	2	ISO (*2)
		0	0	3	Bulk/Interrupt
		0	0	4	Bulk/Interrupt
		0	0	5	Bulk/Interrupt

Comb1: Endpoint1,2 の Type に ISO を設定しない場合の構成

Comb2: Endpoint1 の Type に ISO を設定した場合の構成

Comb3: Endpoint1,2 の Type に ISO を設定した場合の構成

*1: アイソクロナス設定時、Alternate=0 にはエンドポイントは存在しません。
Alternate=0 のインタフェースディスクリプタのエンドポイント数はゼロで設定してください。
*2: Endpoint2 の Type に ISO を設定する場合は Endpoint1 の Type にも必ず ISO を設定してください。

3. USB デバイス(USB ファンクション)の動作説明

USB ファンクションは、USB(Universal Serial Bus)通信プロトコルに対応しています。基本的なプロトコル動作(ハンドシェーク)はハードウェアがサポートしています。従って通信データのみを処理することで USB 通信が実現できます。

3.1. USB デバイス(USB ファンクション)の動作
3.2. 接続検出と切断検出
3.3. コマンド応答時の各レジスタ動作
3.4. サスペンド機能
3.5. ウェイクアップ機能
3.6. DMA 転送機能
3.7. NULL 転送機能
3.8. エンドポイント 0 の STALL 応答/解除
3.9. エンドポイント 1～5 の STALL 応答/解除

3.1 USB デバイス(USB ファンクション)の動作

USB ファンクションを使用するために、以下の手順で設定を行ってください。

1. USB 許可レジスタ(USBEN)で USB の動作を禁止している(USBEN=0)状態で、USB クロック生成部を設定
2. USB クロック出力を有効に設定
3. USB の動作を許可(USBEN=1)に設定

USB ファンクションは USB プロトコルをサポートするホストコントローラと双方向のパケット転送を行います。ホストとデバイスの接続, 構成はエニュメレーションにより実施されます。そのあとにデバイスドライバを使用した各種の転送タイプでの通信が行われます。

エニュメレーションを例にホストとデバイスの USB 通信の動作について説明します。

全体の処理内容を理解するためのレジスタおよび USB パケットの動きを示します。

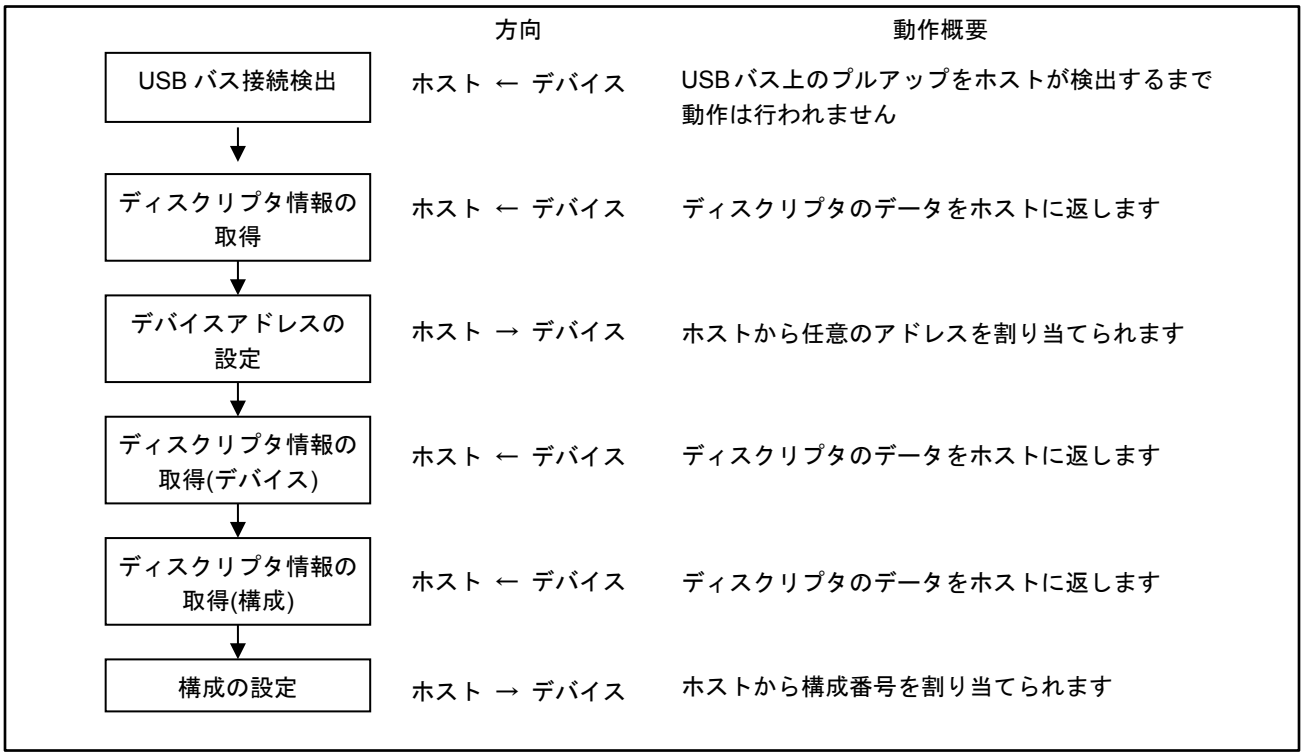
エニュメレーション処理

USB が動作する上で一番初めにホストとデバイスとの接続を確立する処理です。USB のバス上にどのようなデバイスが接続されているかを、ホストが USB コントロール転送(USB の転送タイプ)を使って調査します(USB 仕様で規定)。これは 6 本あるエンドポイントのうち EP0(EndPoint0)を使用します(USB 仕様)。

EP1～EP5 を使用するためには、USB バス上において以下の手順で受信し処理をしないと動作しません。

1. USB バスリセット
2. SET_Address によるアドレスセット
3. SET_Config による構成セット

Figure 3-1 USB ケーブル端子接続例



■ USB バス接続検出

デバイスからホストに通知します。

ホストは USB バスの 2 本の信号線(D+, D-)を監視し、どちらかの信号が"H"レベルになることによりデバイスが接続されたことを認識します。

自己電源デバイスとして使用する場合の詳細な手順は「3.2 接続検出と切断検出」を参照してください。バス電源デバイスとして使用する場合は「● レジスタ初期設定例と動作開始手順例」に沿って処理してください。

■ レジスタ初期設定と動作開始手順

USB ファンクションのレジスタ初期設定手順例を示します。

1. EP0C レジスタによる EP0 の設定(パケットサイズなど)
2. EP1C-EP5C レジスタによる各 EP の EPEN, DIR, TYPE などを設定
3. UDCC レジスタの RST ビットのクリア
4. EP0IS, EP0OS, EP1S-EP5S レジスタの BFINI をクリア
5. UDCC レジスタの HCONX ビットのクリア

■ USB バスリセット

ホストからデバイスにバスリセットがかかり USB デバイスコアが初期化されますが、レジスタおよびバッファの状態は初期化されません。

デバイスは以下の順序で処理を行ってください(USB 接続後の最初のバスリセットでは処理の必要はありません)。

1. EP0I ステータスレジスタ(EP0IS)の BFINI ビットと EP0O ステータスレジスタ(EP0OS)の BFINI ビットおよび EP1～EP5 ステータスレジスタ(EP1S～EP5S)の BFINI ビットでバッファを初期化する
2. ファームの制御をエニュメレーション前に戻す

■ ディスクリプタの取得
ホストからデバイスに要求があると、データをホストに通知します。
以下の 3 つのステージに別れて通信されます。

Figure 3-2 通信ステージ



セットアップステージでは、ホストから正常にパケットが受信されたか確認し、そのコマンドが何かをデコードします。
また次のデータステージで返すディスクリプタの情報を送信バッファに用意します。
データステージでは、ホストからデータが正常に送信されたかを確認します。
ステータスステージでは、ホストがデータなしパケットの転送をして終了処理をします。

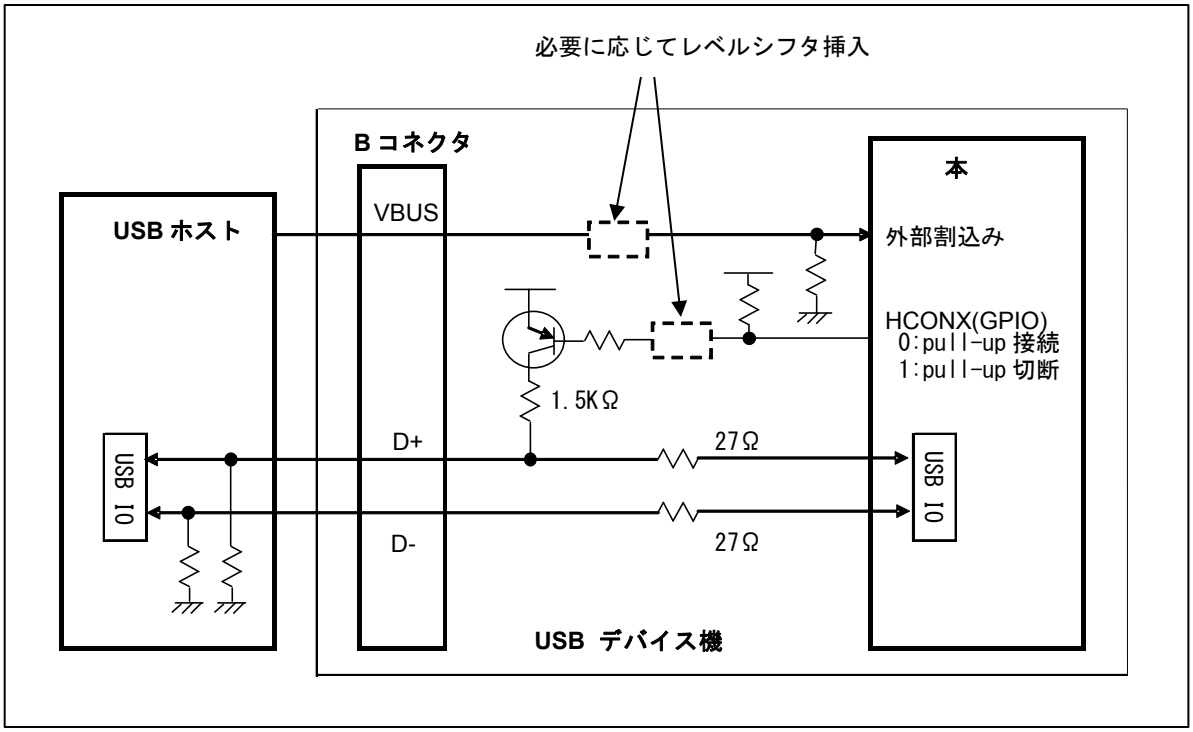
3.2 接続検出と切断検出

USB ホストとの接続検出と切断検出について説明します。

USB システムの接続例

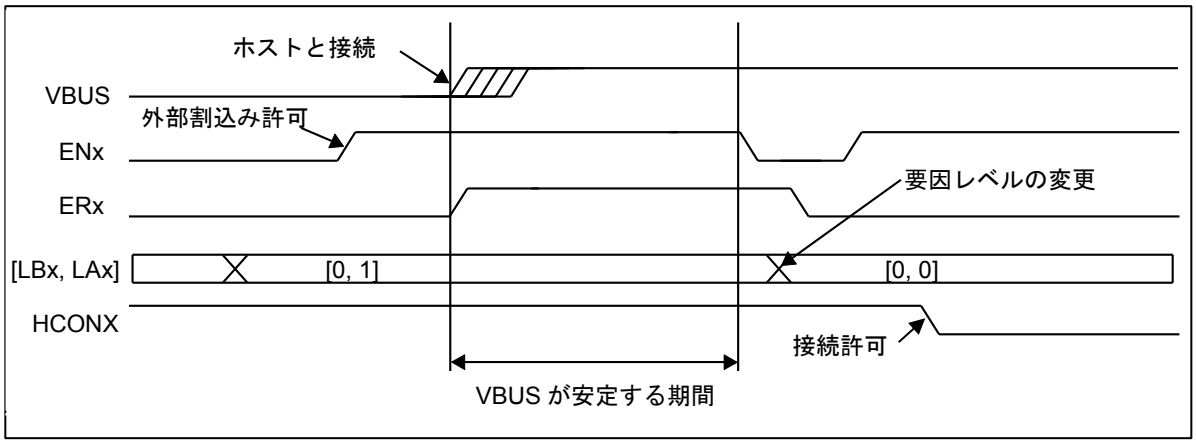
外部割込み端子を USB コネクタの VBUS ピンに接続し、プルダウン抵抗を VBUS 信号に接続することで USB ホストとの切断を検出できます。Figure 3-3 に USB コネクタの D+, D-, VBUS との接続例を示します。

Figure 3-3 USB システム構成例



■ 接続検出

Figure 3-4 接続検出時の動作



デバイスは以下の順序によりホストとの接続を認識し、処理します。

1. UDCC レジスタの HCONX ビットを 1 に設定してください(プルアップ抵抗制御を汎用ポートで行う場合は、プルアップ抵抗切断側に設定してください)。
2. VBUS に接続した外部割込みの要因レベルを"H"レベル検出に設定し、割込み許可します。
3. 外部割込み端子の"H"レベル検出で USB ホストが接続されたことを認識して VBUS が安定する期間を待ちます。
4. 外部割込みをいったん禁止にします。外部割込み要因レベルを"L"レベル検出に設定変更し、割込み要因をクリアして再び外部割込みを許可します。
5. 初期設定(USB ファンクションレジスタを含むすべての初期化)を行ってください。本節の「●レジスタ初期設定例と動作開始手順例」を参照してください。
6. UDCC レジスタの HCONX ビットをクリア(*1)することで、D+のプルアップ抵抗を接続します(*2)。

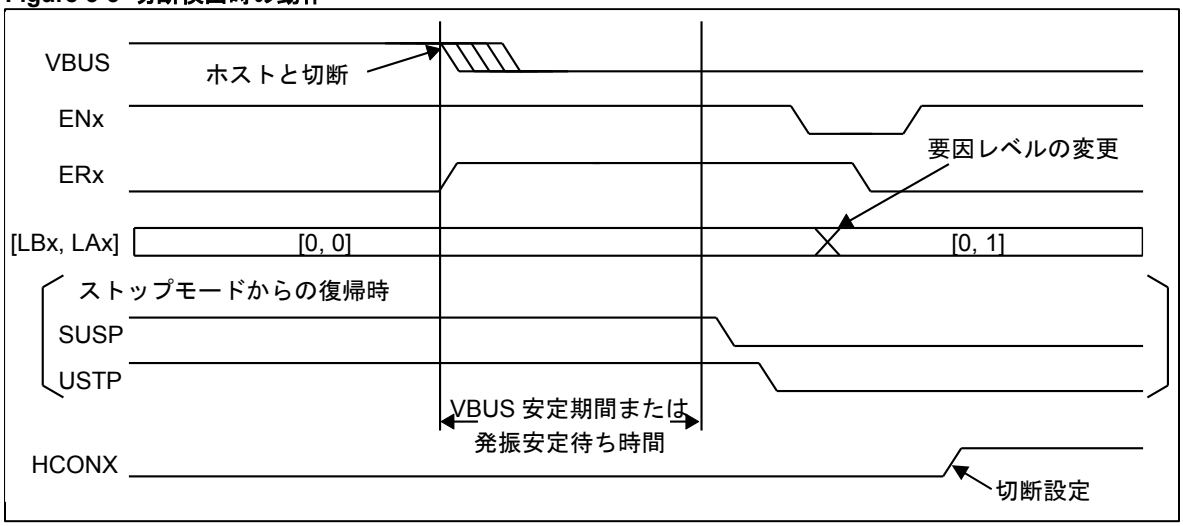
*1: プルアップ抵抗制御を汎用ポートで行う場合は UDCC レジスタの HCONX ビットをクリアし、かつプルアップ抵抗制御用の汎用ポートを、プルアップ抵抗接続側に設定
*2: プルアップ抵抗の制御をしていない場合でも HCONX ビットをクリアしてください。

＜注意事項＞

- ***外部割込み端子にノイズフィルタを外付けした場合は、上記の VBUS 安定期間をプログラムでとる必要はありません。***

■ 切断検出

Figure 3-5 切断検出時の動作



デバイスは以下の順序によりホストとの切断を認識し処理します。

1. VBUS に接続の外部割込み端子の L レベル検出で USB ホストが切断されたことを認識します。
2. ストップモード・タイマモードからの復帰の場合
   発振安定待ち時間後に UDCS レジスタ SUSP, UDCC レジスタ USTP の順にクリアします。
   ストップモード・タイマモード以外の場合
   VBUS が安定する期間を待ちます。
3. いったん外部割込みを禁止します。外部割込み要因レベルを"H"レベル検出に設定変更し、外部割込み要因をクリアして再び外部割込みを許可します。
4. UDCC レジスタの HCONX ビットを設定(*1)することで、D+のプルアップ抵抗を切断します。(*2)

*1: プルアップ抵抗制御を汎用ポートで行う場合は UDCC レジスタの HCONX ビットを設定し、かつプルアップ抵抗制御用の汎用ポートを、プルアップ抵抗切断側に設定。

*2: プルアップ抵抗の制御をしていない場合でも HCONX ビットを設定してください。

<注意事項>

- *外部割込み端子にノイズフィルタを外付けした場合は、上記の VBUS 安定期間をプログラムでとる必要はありません。*

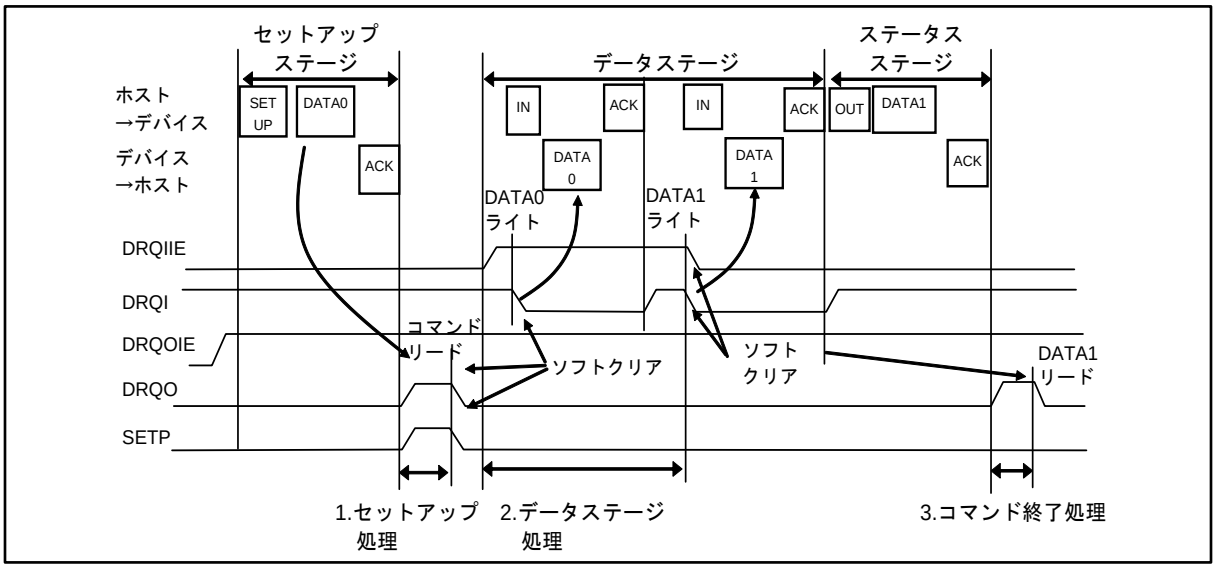
3.3 コマンド応答時の各レジスタ動作

USB パケットの処理方法(アーキテクチャ)を説明します。CPU 割込みによるファームウェアの処理はハンドシェークごとに処理します。これは各パケットのステージ単位に処理することに等しくなります。

リードコマンド応答時の各レジスタ動作

GetDescripter, SynchFrame, クラス・ベンダコマンドの場合について説明します。

Figure 3-6 リードコマンド応答時の各レジスタ動作



1. セットアップ処理

   セットアップステージを受信したときに DRQO が"1"に変わります。DRQO が"1"に変わった時点で CPU 割込みに入り SETP フラグを確認してください。"1"の場合は受信バッファにあるコマンドを必要な分読み出してください(必ずしも 8 バイトすべて読み出す必要はありません)。その後、コマンドをデコードして各種設定処理し、SETP フラグ, DRQO 割込み要因をクリアし戻ります。

2. データステージ処理

   コマンドデコードの結果、データステージが IN 方向の場合、DRQIIE を許可し*、CPU 割込みにて送信データを送信バッファに転送します。転送終了後、割込み要因 DRQI をクリアしてから戻ります。

   * : 割込み要因 DRQI は初期値が"1"のため、割込み許可を設定するだけです。

   IN 方向のデータパケットが終了すると DRQI が設定されます。DRQI が設定された時点で CPU 割込みに入り次のデータパケットに備え送信データを送信バッファに転送します。転送終了後、割込み要因である DRQI をクリアして戻ります。

3. コマンド終了処理

   OUT 方向のステータスステージが終了すると DRQO が設定されます。DRQO が設定された時点で CPU 割込みに入り、受信データ数 0 を確認します。次のセットアップステージに備え、割込み要因である DRQO をクリアして戻ります。

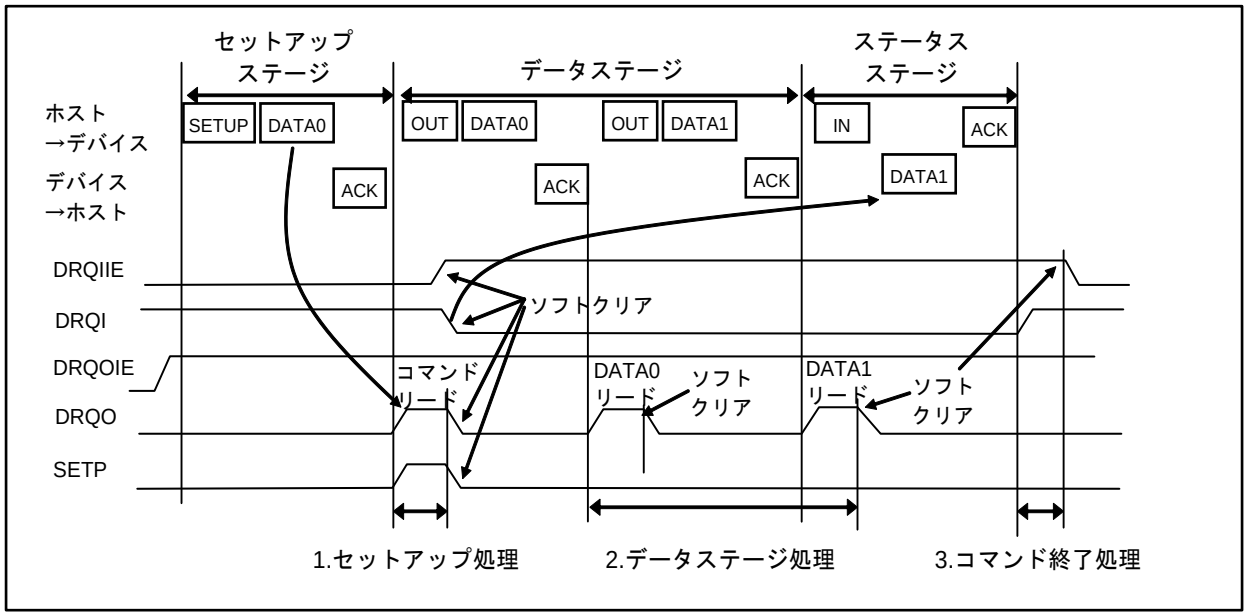
<注意事項>

- *USB 以外の優先順位の高い割込み処理のために Figure 3-6 における 3.コマンド終了処理が行われずに次のセットアップステージを受信した場合、そのセットアップステージに対しデバイスは無応答となります。*
  - セットアップ処理、データステージ処理、コマンド終了処理の割込み優先順位を上げる
  - データステージ処理の IN 転送割込み処理はコマンド終了処理の DRQO のクリアまで継続する

ライトコマンド応答時の各レジスタ動作

SetDescripter, クラス・ベンダコマンドの場合について説明します。

Figure 3-7 ライトコマンド応答時の各レジスタ動作



1. セットアップ処理

   セットアップステージを受信したときに DRQO が 1 に変わります。DRQO が 1 に変わった時点で CPU 割込みに入り SETP フラグを確認してください。1 の場合は受信バッファにあるコマンドを必要な分読み出してください(必ずしも 8 バイトすべて読み出す必要はありません)。その後、デコードし各種設定処理を行ってください。
   ステータスステージの 0 バイト応答に備え、送信バッファへデータをライトせずに、DRQI(割込み要因 DRQI は初期値 1 のため)を 0 に設定してください。ステータスステージの正常終了確認用に DRQIIE を 1 に設定してください。
   また、SETP フラグ, DRQO 割込み要因をクリアし割込みから復帰します。

2. データステージ処理

   OUT 方向のデータステージが終了すると DRQO が設定されます。DRQO が設定された時点で CPU 割込みに入り、まず EP0 ステータスレジスタの SIZE を確認します。受信したデータ数分だけ DMA を起動するか、CPU リードにより受信バッファからデータを読み出します。その後、割込み要因である DRQO をクリアして割込みから復帰します。

3. コマンド終了処理

   IN 方向のステータスステージが終了すると DRQI が設定されます。DRQI が設定された時点で CPU 割込みに入りステータスステージが正常終了したことを確認できます。その後、割込み要因である DRQI をクリアして戻ります。

3.4 サスペンド機能

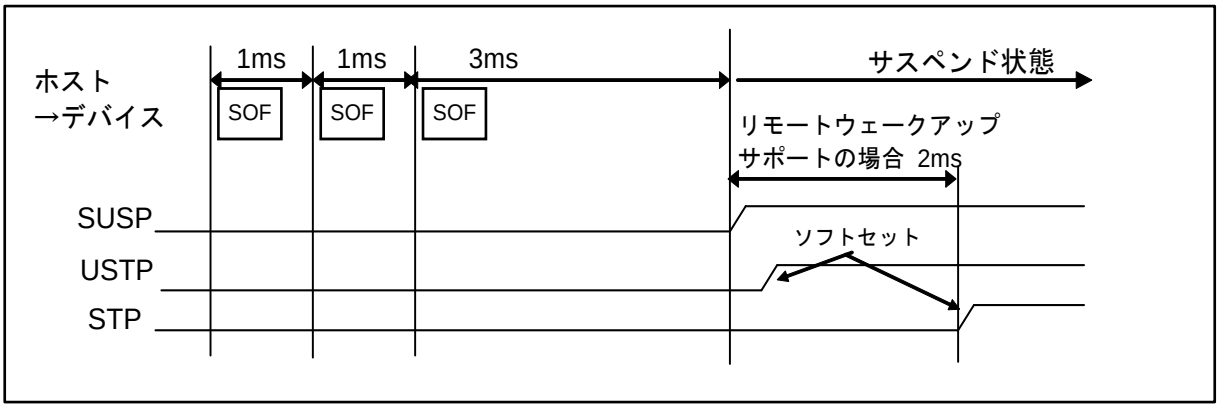
USB デバイスはバス電源の構成により、サスペンド状態において 500µA 以下に消費電力をおとす必要があります。ここではデバイスがサスペンド状態に移行し、STOP モードまたはタイマモードに入れるまでの処理を説明します。

サスペンド処理

USB デバイスコアがサスペンド状態を検出した場合に UDCS レジスタの SUSP ビットが有効に設定されます。

以下に処理する例を示します。

Figure 3-8 サスペンド動作



■ サスペンド処理

USB バス上に 3 ms 以上動作がない場合 USB ファンクションはサスペンドを検出し、UDCS レジスタの SUSP ビットの割込み要因が設定されます。リモートウェイクアップをサポートするデバイスの場合はここからさらに 2 ms 待ち*、ストップモードまたはタイマモードに設定します。

*: この時間リモートウェイクアップさせないためです。

<注意事項>

- *ストップまたはタイマモードに移行する前に UDCIE.SUSPIE=0, UDCC.USTP=1 の順で設定してください。*

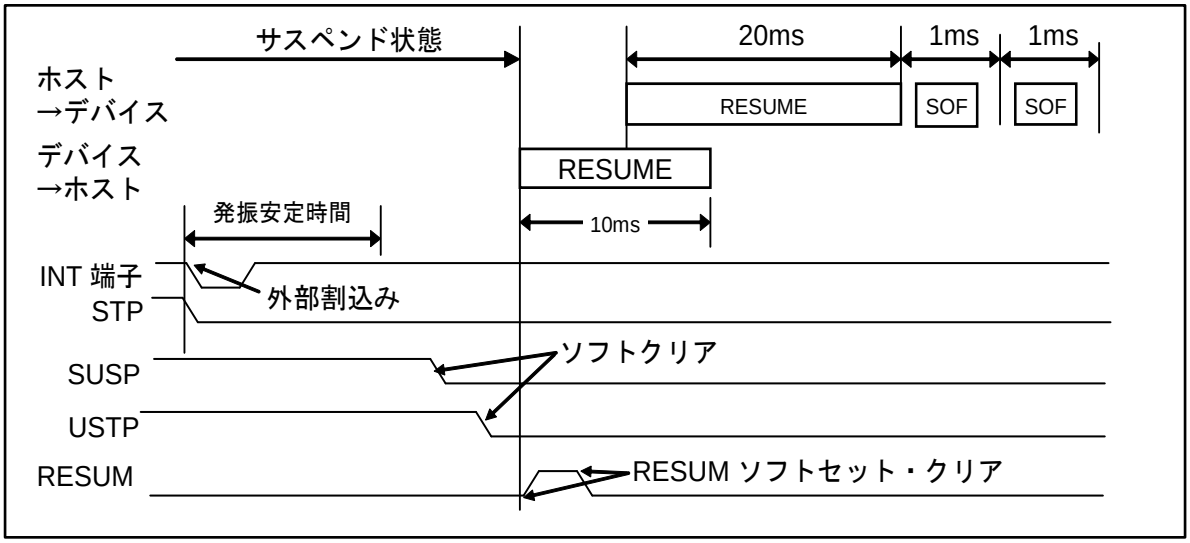
3.5 ウェイクアップ機能

USB デバイスをサスペンド状態からウェイクアップ状態にするには、USB プロトコルで 2 つの手段があります。

- デバイスからのリモートウェイクアップ
- ホストからのウェイクアップ

リモートウェイクアップ

Figure 3-9 リモートウェイクアップ動作

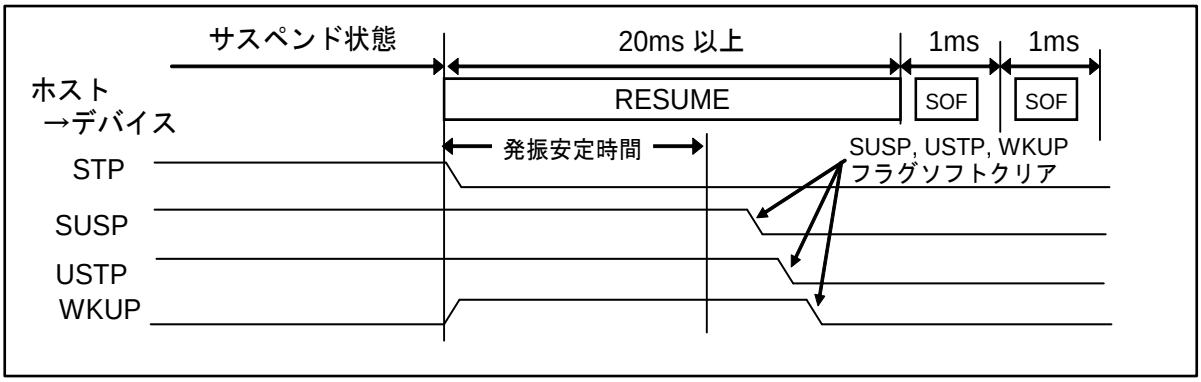


デバイスは以下の順序で処理を行ってください。

1. 外部割込みでデバイスをストップモード・タイマモードから復帰させてください。
2. USB 生成クロックが安定していることを確認してください。
3. UDCS レジスタの SUSP ビットを 0 にクリアしてください。
4. UDCS レジスタをダミーリードしてください。
5. UDCC レジスタの USTP ビットを 0 にクリアしてください。
6. UDCC レジスタをダミーリードしてください。
7. UDCC レジスタの RESUM ビットを 1 に設定してください。
8. UDCC レジスタの RESUM ビットを 0 にクリアしてください。

ホストからウェイクアップ

Figure 3-10 ホストからのウェイクアップ動作



USB デバイスは以下の順番で処理を行ってください。

1. 発振安定時間が 10ms を超えないように設定してください。
2. USB クロックが安定していることを確認してください。
3. UDCS レジスタの SUSP ビット, UDCC レジスタの USTP ビットの順に"0"にクリアしてください。
4. UDCS レジスタの WKUP ビットを"0"にクリアしてください。

3.6 DMA 転送機能

USB ファンクションで通信するデータを、送受信バッファと内蔵 RAM との間で DMA 転送することが可能です。DMA 転送は以下の 2 つのモードを選択できます。

- 1 パケット単位ごとに CPU が DMA を起動するパケット転送モード
- 毎パケット自動で DMA を起動するデータ数自動転送モード

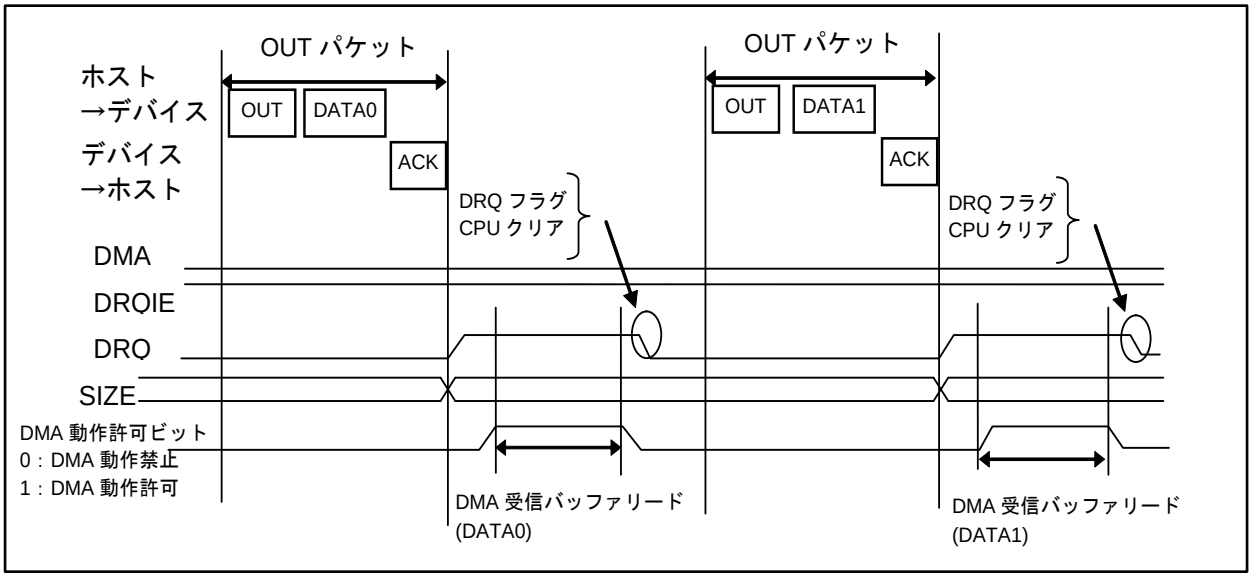
パケット転送モード

1 パケット単位ごとに転送数を DMA に設定して転送し、その終了後に割込み要因(DRQ)をクリアして転送するパケット転送モードです。本転送モードはエンドポイント 1 から 5 に対するバッファへのアクセスが可能です。DMA を使用する前に、DREQ 選択レジスタにより割込み出力接続先の設定を行ってください(割込み出力を CPU.NVIC 側に接続します)。

OUT 方向, IN 方向のそれぞれでバッファをアクセスするタイミングを Figure 3-11, Figure 3-12 に示します。

- OUT 方向(ホスト→デバイス)転送

Figure 3-11 OUT パケット転送

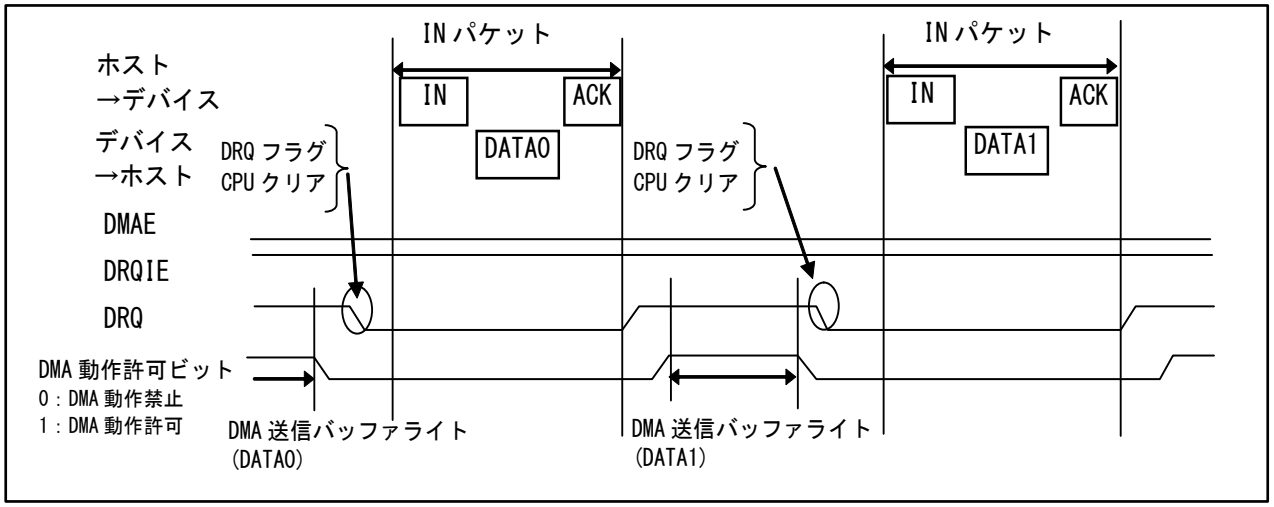


OUT 方向転送ではデバイスは以下の順序で処理を行ってください。

1. DRQ フラグが設定され割込み処理に入ったら転送データ数を確認してください。
2. 転送データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
3. 転送後、EP1～5 ステータスレジスタ(EP1S～EP5S)の該当する DRQ フラグと DMAC のステータスレジスタの該当する割込み要因フラグをクリアして割込み処理から復帰します。

■ IN 方向(デバイス→ホスト)転送

Figure 3-12 IN パケット転送



IN 方向転送ではデバイスは以下の順序で処理を行ってください。

1. DRQ フラグが設定され割込み処理に入ったら、次の IN パケットで転送する転送データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
2. DMA 転送後、EP1～5 ステータスレジスタ (EP1S～EP5S)の該当する DRQ フラグと DMAC のステータスレジスタの該当する割込み要因フラグをクリアして割込み処理から復帰します。

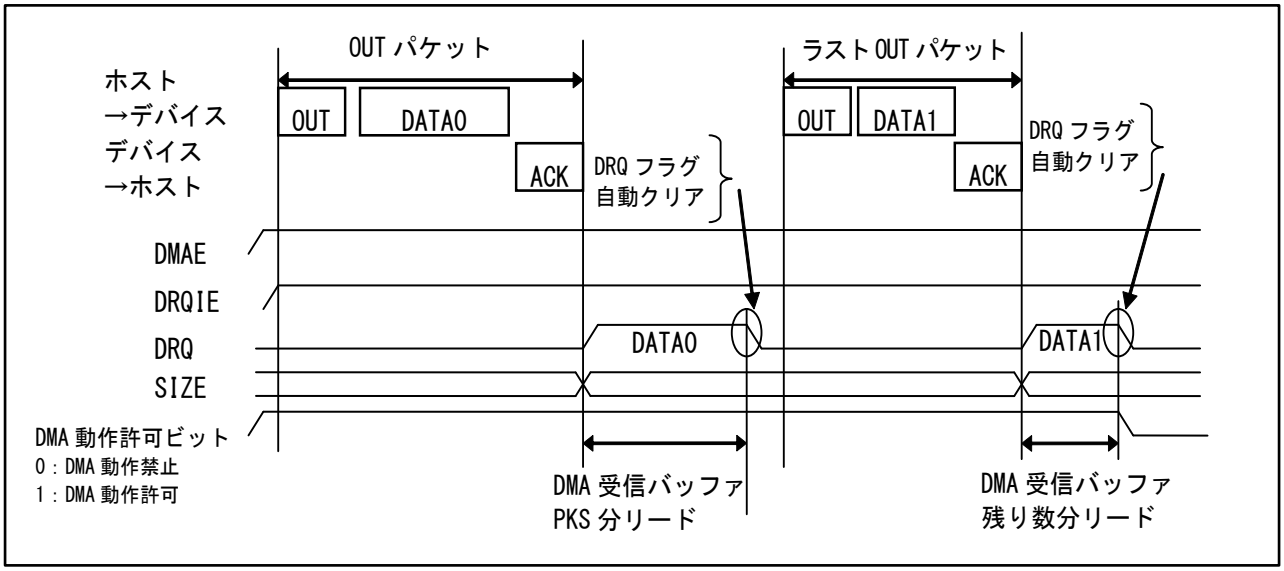
データ数自動転送モード

本転送モードでは、偶数バイトの転送が可能です。OUT 方向転送で奇数バイトを転送する場合は、CPU 転送の処理をしてください。(Figure 3-14 を参照してください)。IN 方向転送で奇数バイトの転送を行う場合は ODDPKS レジスタを設定してください(『ペリフェラルマニュアル』の『割込み』の章を参照してください)。

DMA を使用する前に、DREQ 選択レジスタにより割込み出力接続先の設定を行ってください(割込み出力を DMAC 側に接続します)。DMA にあらかじめ転送する総データ数を設定し、転送許可ビットも設定しておいてください。DMAE が許可されていてホストからの転送後 DRQ が設定されると、EP1～EP5 制御レジスタ(EPxC)レジスタの PKS 分のデータ数を転送した後に自動で割込み要因(DRQ)をクリアします。以後、ホストからの転送後に同様の処理をあらかじめ DMA に設定した転送データ数分まで繰り返し行います。その間 CPU による設定は一切必要なく 1 回の設定で転送する自動転送モードです。次の転送を行う場合は、ラストデータ転送後に CPU 割込みに入るためそこで DMAC の再設定を行い、DMA を許可して割込み復帰します。データ数自動転送モードは DMAE=1 として使用するためエンドポイント 1 から 5 に対するバッファアクセスのみ有効となります。OUT 方向, IN 方向のそれぞれでバッファをアクセスするタイミングを Figure 3-13, Figure 3-15 に示します。

■ OUT 方向(ホスト→デバイス)転送

Figure 3-13 OUT 方向(ホスト→デバイス)転送



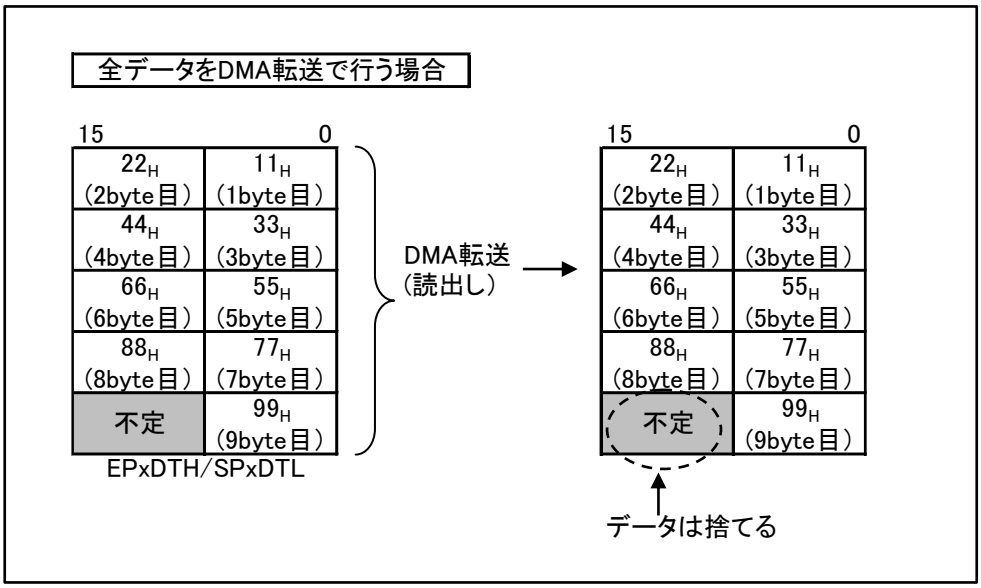
デバイスは OUT 方向転送時、以下の順序で処理を行ってください。

1. 転送する総データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
2. DMAE, DRQIE を許可設定してください。
3. 転送後、DMAC のステータスレジスタの該当する割込み要因による割込みで必要に応じて DMAC の再設定を行い、フラグをクリアして割込み処理から復帰します。

奇数バイト分のデータ数を DMA 転送する場合、以下の方法があります。

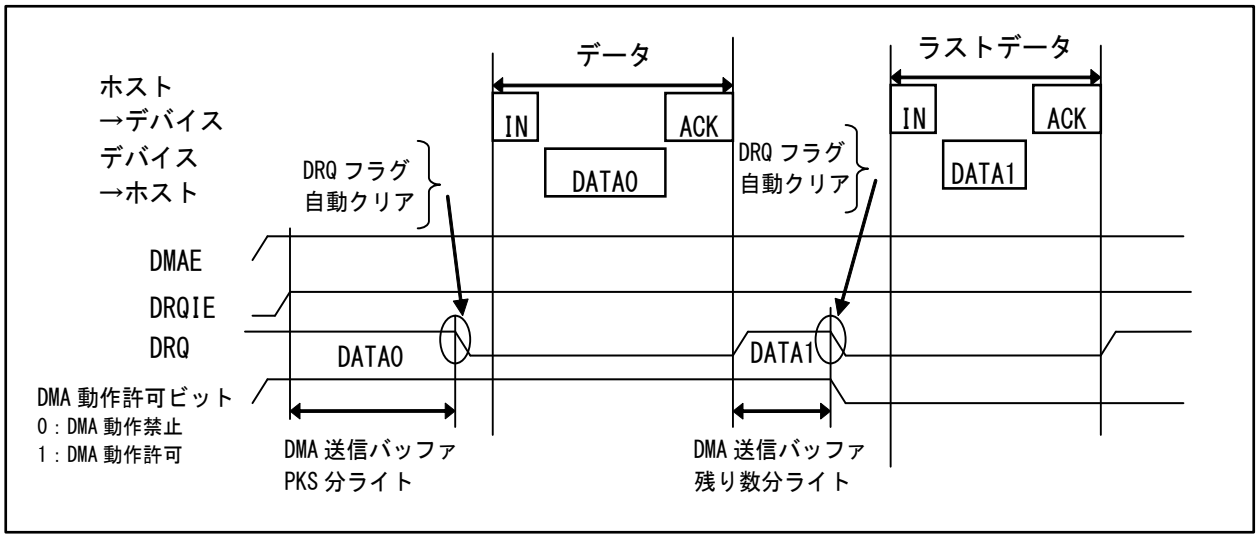
□ 全データ+1 バイトをまとめて DMA 転送してエンディアン変換後に最終データを捨てる

Figure 3-14 OUT 方向 奇数バイトの転送例



■ IN 方向(デバイス→ホスト)転送

Figure 3-15 IN 方向(デバイス→ホスト)転送



デバイスは IN 方向転送時、以下の順序で処理を行ってください。

1. 転送する総データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
2. EPxC:DMAE ビット, EPxS:DRQIE ビットを許可("1")に設定してください。
3. 転送後、DMAC のステータスレジスタの該当する割込み要因による割込みで必要に応じて DMAC の再設定を行い、フラグをクリアして割込み処理から復帰します。

3.7 NULL 転送機能

USB ファンクションから送信するデータがラストパケットの際に MAX パケット数のとき、次パケットの転送で 0 バイトの転送を自動送信することが可能です。本機能は DMAE を許可する必要があります。IN 転送時のみ有効な機能です。

NULL 転送モード

NULL 転送モードは IN 方向のラストデータ転送後、HOST からの次 IN 方向のデータ要求に対し 0 バイトを送信するモードです。

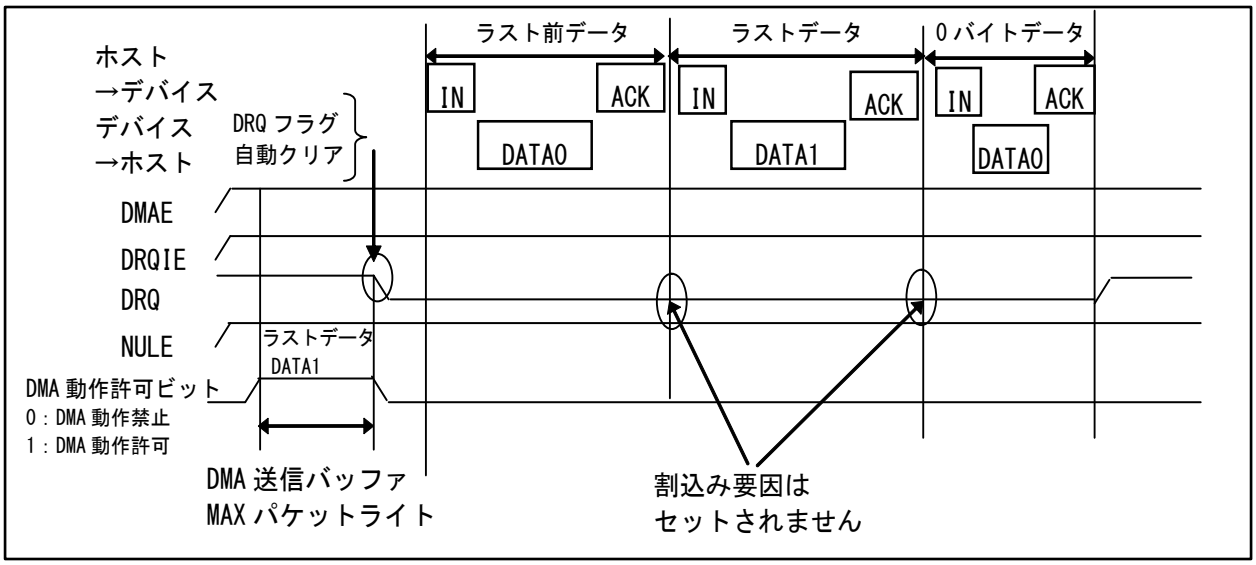
NULL 転送モードは以下の条件を満たす場合に機能します。

- 自動バッファ転送モードを設定(DMAE=1)
- ラストのデータ転送が MAX パケット数の DMA 書込み
- 最後のデータ書込みで DMA カウントデータ数が 0

DMA でラストのデータがバッファに書き込まれた後、ホストから 0 バイトのデータが読み出されるまで DRQ の割込みフラグは設定されません。バッファをアクセスするタイミングを次に示します。

IN 方向(デバイス→ホスト)転送のみの場合を説明します。

Figure 3-16 NULL データ転送動作



デバイスは以下の処理を行ってください。

EPxC:DMAE ビット, EPxS:DRQIE ビット, EPxC:NULE ビットを許可("1")に設定してください。

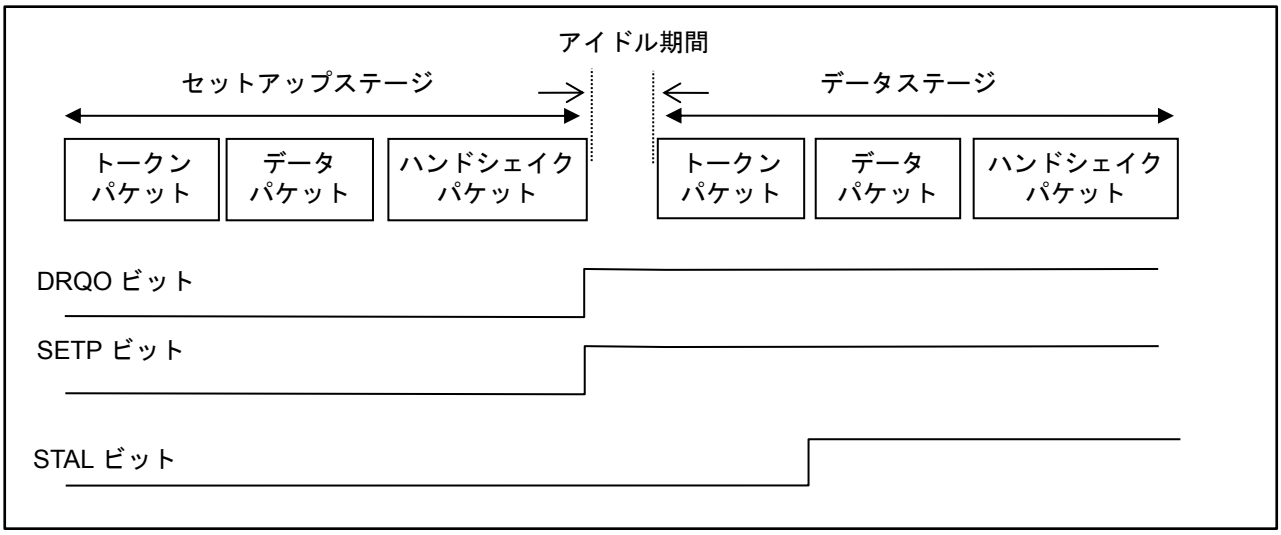
3.8 エンドポイント 0 の STALL 応答/解除

EP0 制御レジスタ(EP0C)の STAL ビットは、エンドポイント 0 の STALL 応答/解除を制御します。

STAL ビットのセットタイミング

STAL 応答を行う場合は、コントロール転送のセットアップステージ(SETP=1 検出)にてコマンドを解釈し、STALL 応答が必要な場合に STAL ビットを設定してください(Figure 3-17 を参照してください)。STAL ビット設定後に割込み要因(DRQO ビット)を 0 にクリアしてください。

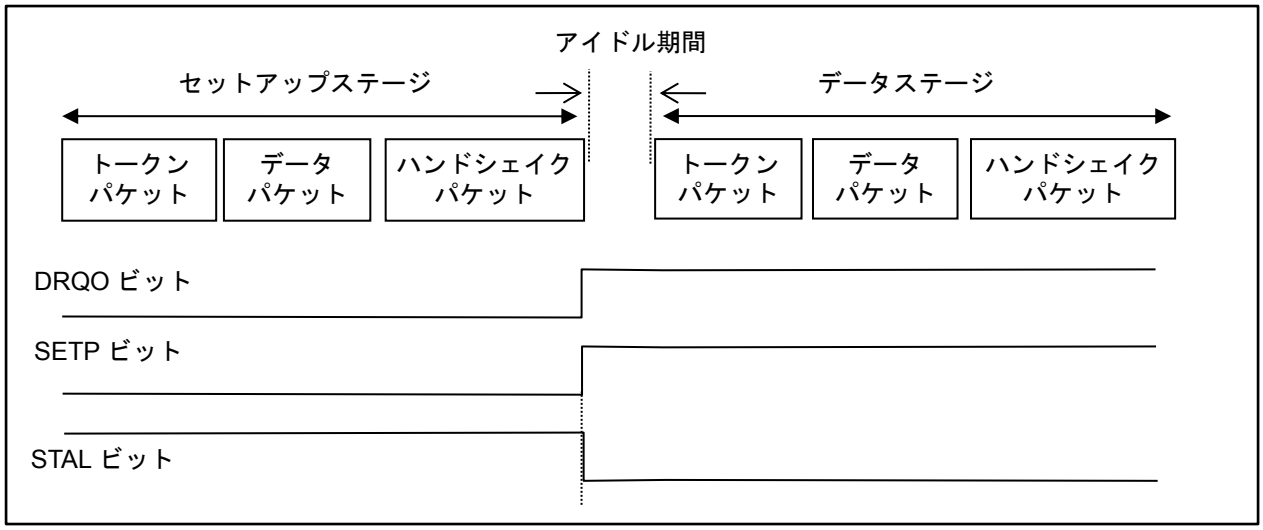
Figure 3-17 STAL ビットセットのタイミング



STAL ビットのクリアタイミング

コントロール転送のセットアップステージであることを示す SETP=1 検出と同時に、STAL ビットは自動で 0 にクリアされ STALL 状態は解除されます(Figure 3-18 を参照してください)。

Figure 3-18 STAL ビットクリアのタイミング



<注意事項>

- *SETP=1(DRQO=1 割込み)を検出すると STAL ビットは 0 にクリアされます。再度、STALL 応答する場合には、STAL ビットに 1 を設定してください。*

3.9 エンドポイント 1～5 の STALL 応答/解除

エンドポイント 1～5 の STALL 応答/解除制御は、EP1～5 制御レジスタ(EP1C～EP5C)の STAL ビットと内部状態ビットで行われます。

ソフト処理にて STALL 応答する場合

ソフト処理で STALL 応答する場合の手順を Figure 3-19 および Figure 3-20 に示します。STALL 応答する場合、該当するエンドポイントの STAL ビットをソフトで設定します。このとき、内部状態ビットは変化しません。

次に、ホストから STAL ビットが設定されているエンドポイントに対してトランザクションが発生したとき、ハードが自動的に該当エンドポイントの内部状態ビットを設定し、ホストに対して STALL 応答します。1 度、内部状態ビットが設定された後は、STAL ビットをクリアしても、内部状態ビットはセットされたままです。ホストから Clear Feature コマンドが発行されるまで、内部状態ビットはセットされたままのため、STALL 応答を継続します。また、UDC 制御レジスタ(UDCC)の STALCLREN ビットに"0"が設定されている場合、以下の場合は STALL 応答を継続します。

Clear Feature コマンドで内部状態ビットがクリアされても、STAL ビットがセットされている場合

これは、該当するエンドポイントに対するトランザクションが発生するたびに内部状態ビットがセットされるためです。したがって、STALL 応答を解除するためには、STAL ビットをクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアしてください。UDC 制御レジスタ(UDCC)の STALCLREN ビットが"1"に設定されている場合、Clear Feature コマンドで内部状態ビットがクリアされると同時に STAL ビットもクリアされ、次のトランザクションに対し、STALL 応答しません。

Figure 3-19 ソフト処理にて STALL 応答する場合(STAL ビットはソフトでクリア)

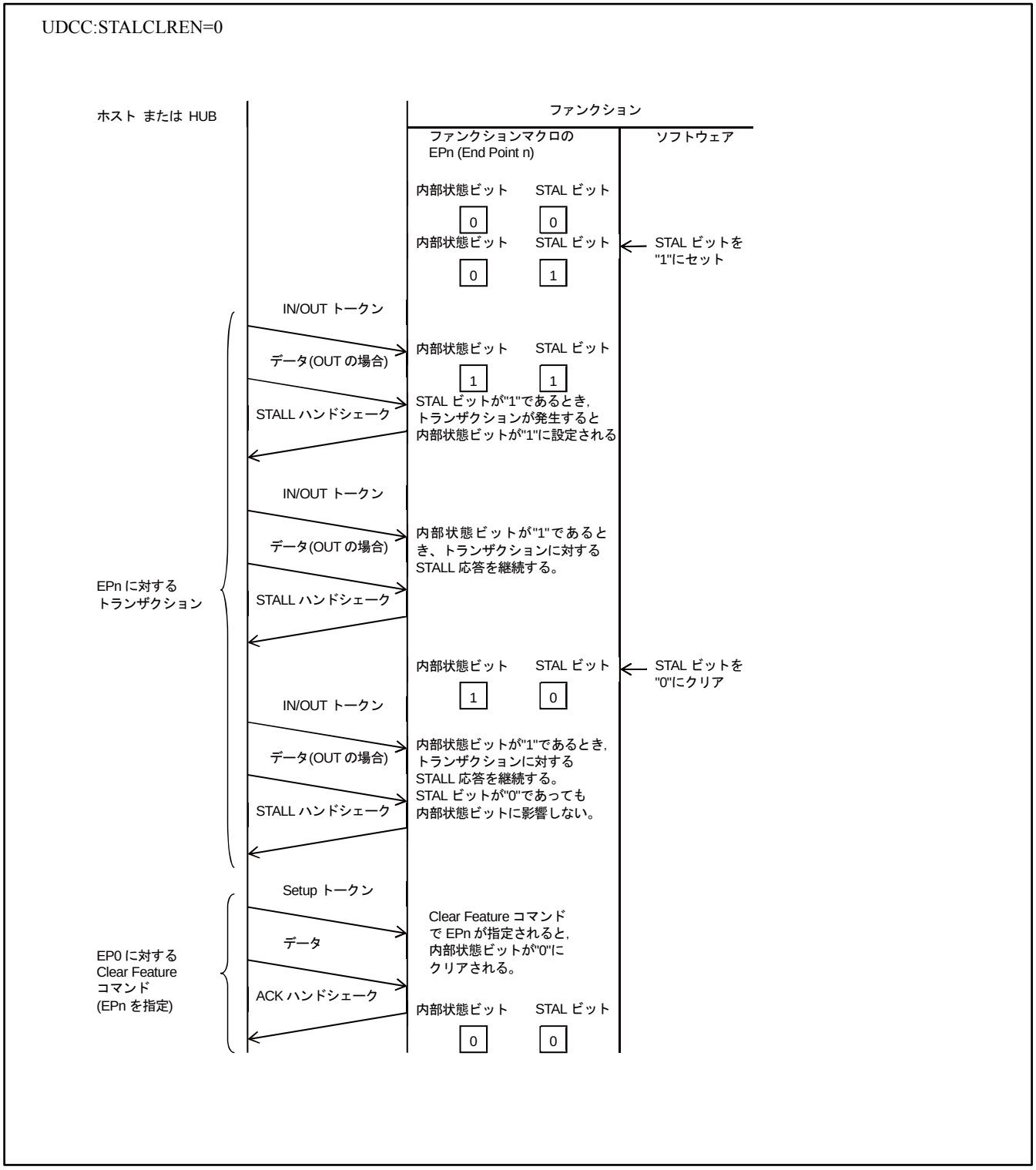
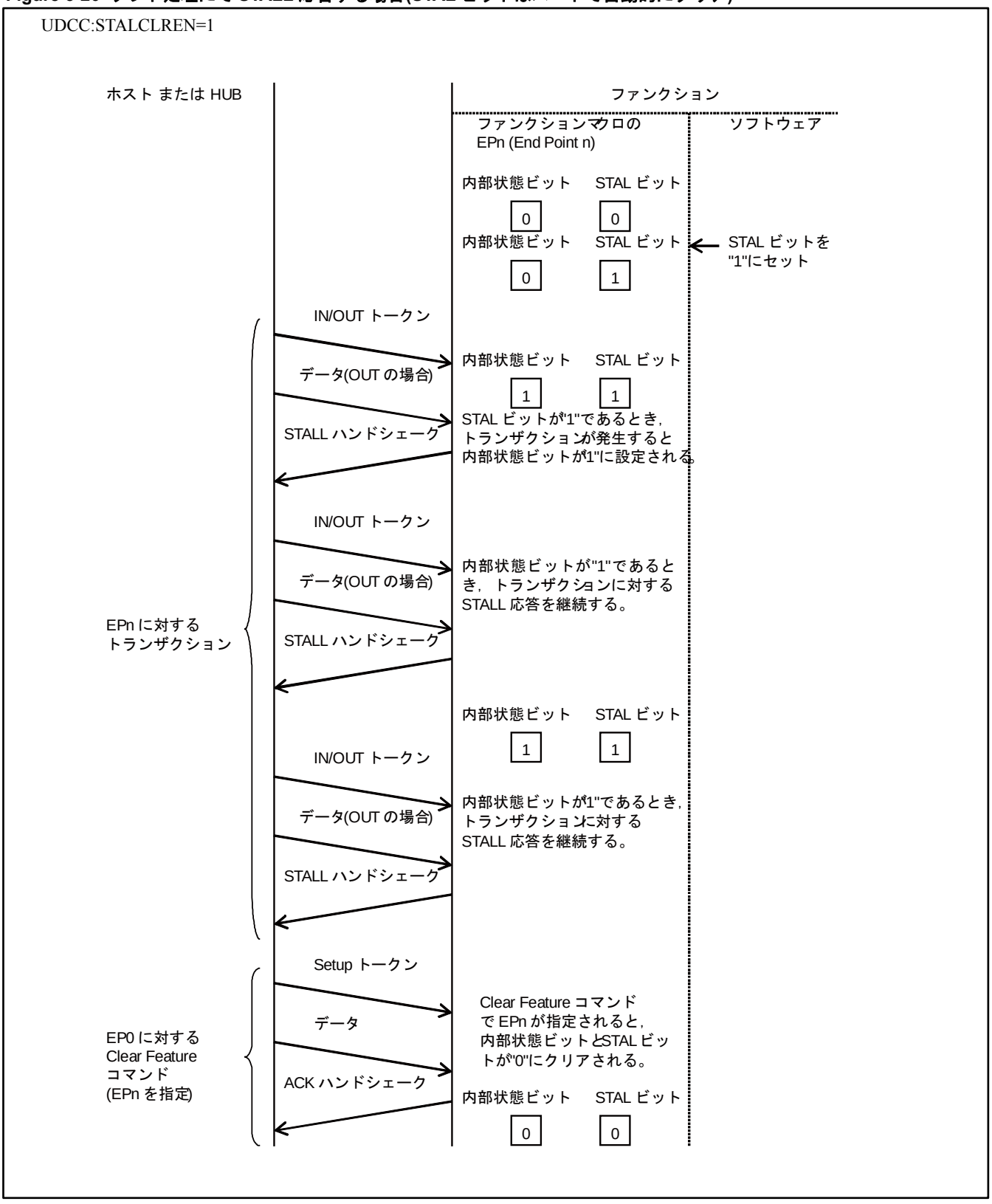


Figure 3-20 ソフト処理にて STALL 応答する場合(STAL ビットはハードで自動的にクリア)



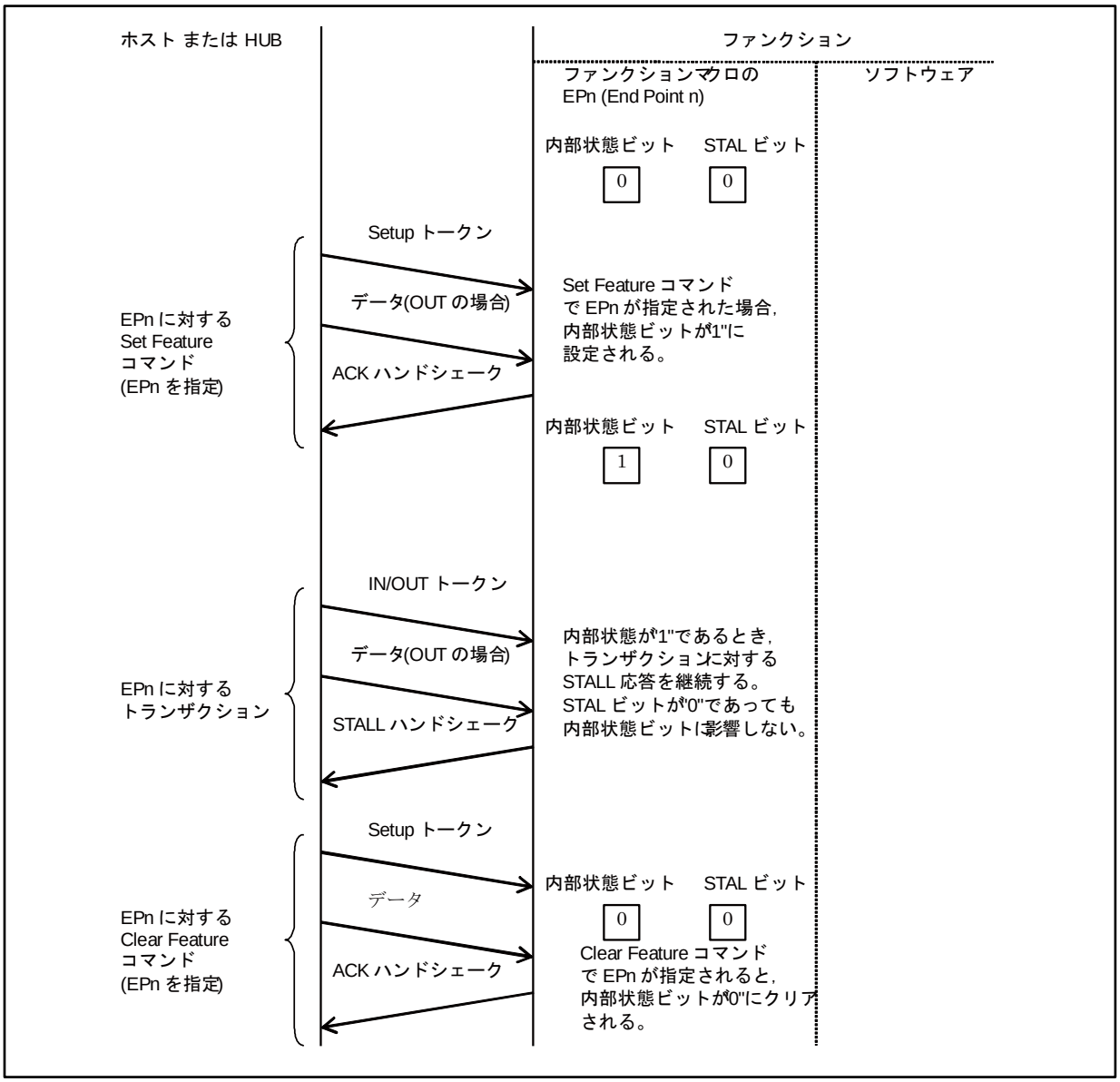
ハードが自動で STALL 応答する場合

ハードが自動で STALL 応答する場合の手順を Figure 3-21 に示します。

Set Feature コマンドで STALL 応答設定された場合、STAL ビットに関係なく、ハードが自動的に該当エンドポイントの内部状態ビットを設定し、STALL 応答します。1 度、内部状態ビットが設定された後は、STAL ビットに関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。

Clear Feature コマンドで該当ビットがクリアされた後は、STAL ビットを参照するようになります。したがって、STALL 応答を解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります。

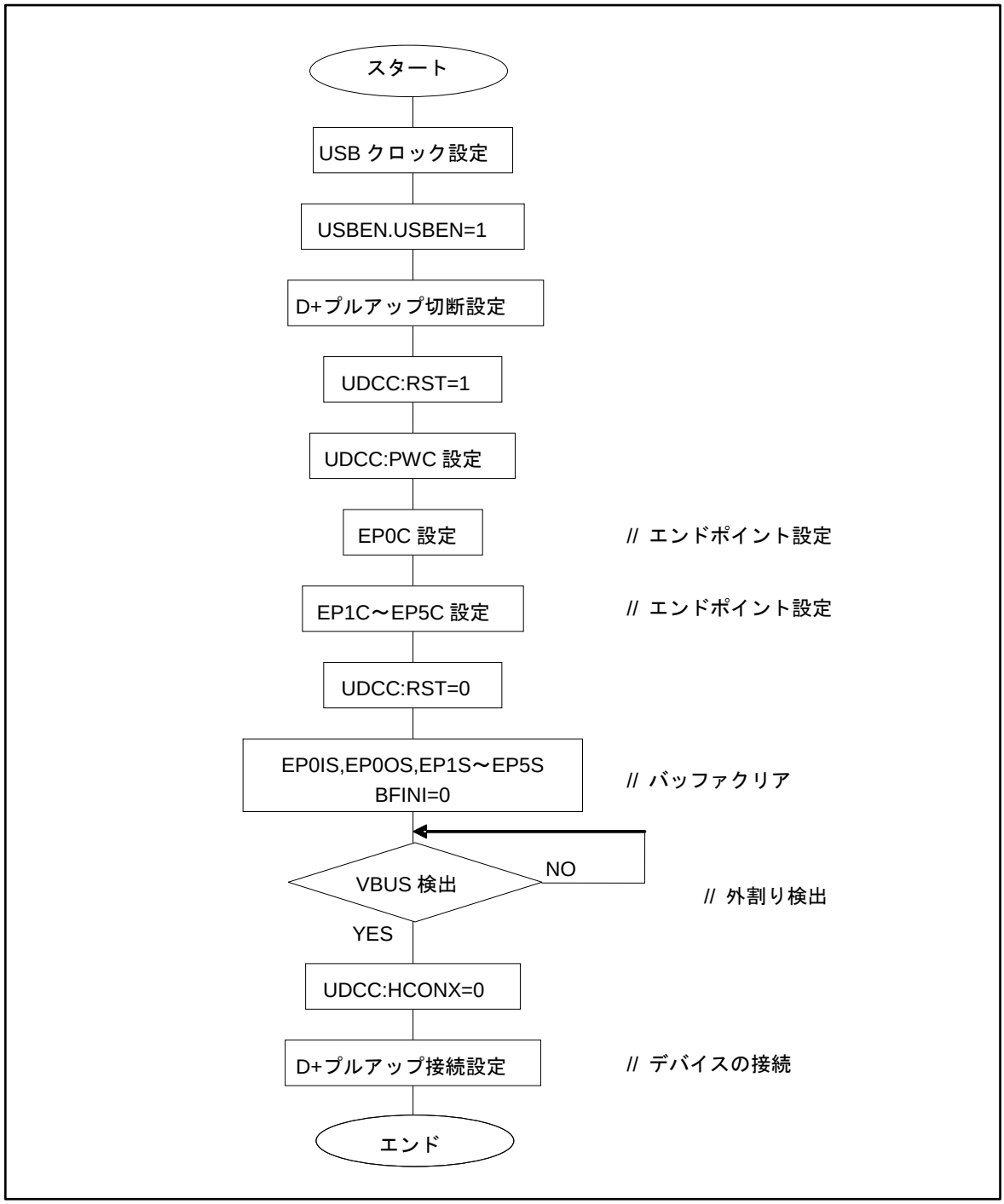
Figure 3-21 ハードが自動で STALL 応答する場合



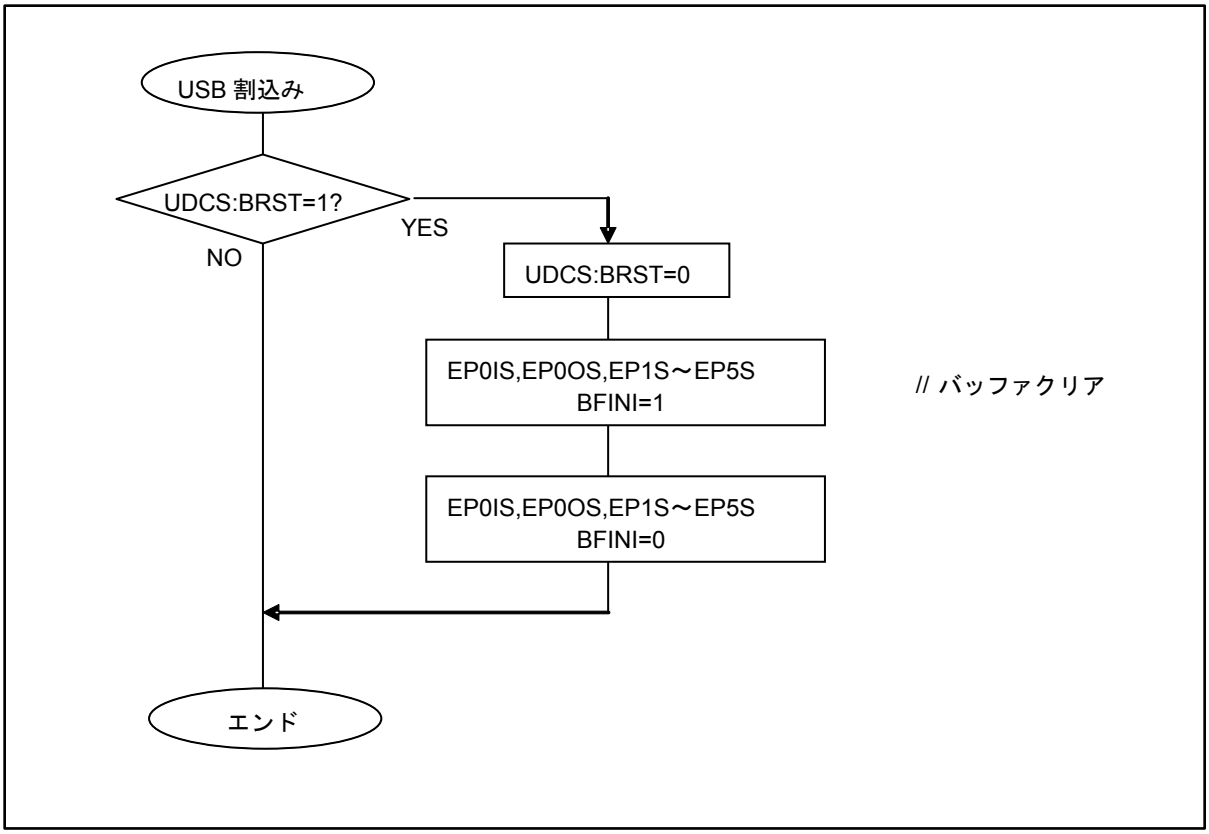
4. USB デバイス(USB ファンクション)の設定手順例

初期化, バスリセット, CPU 転送, パケット転送(IN/OUT), データ数自動転送(IN/OUT)時におけるフローチャートを示します。

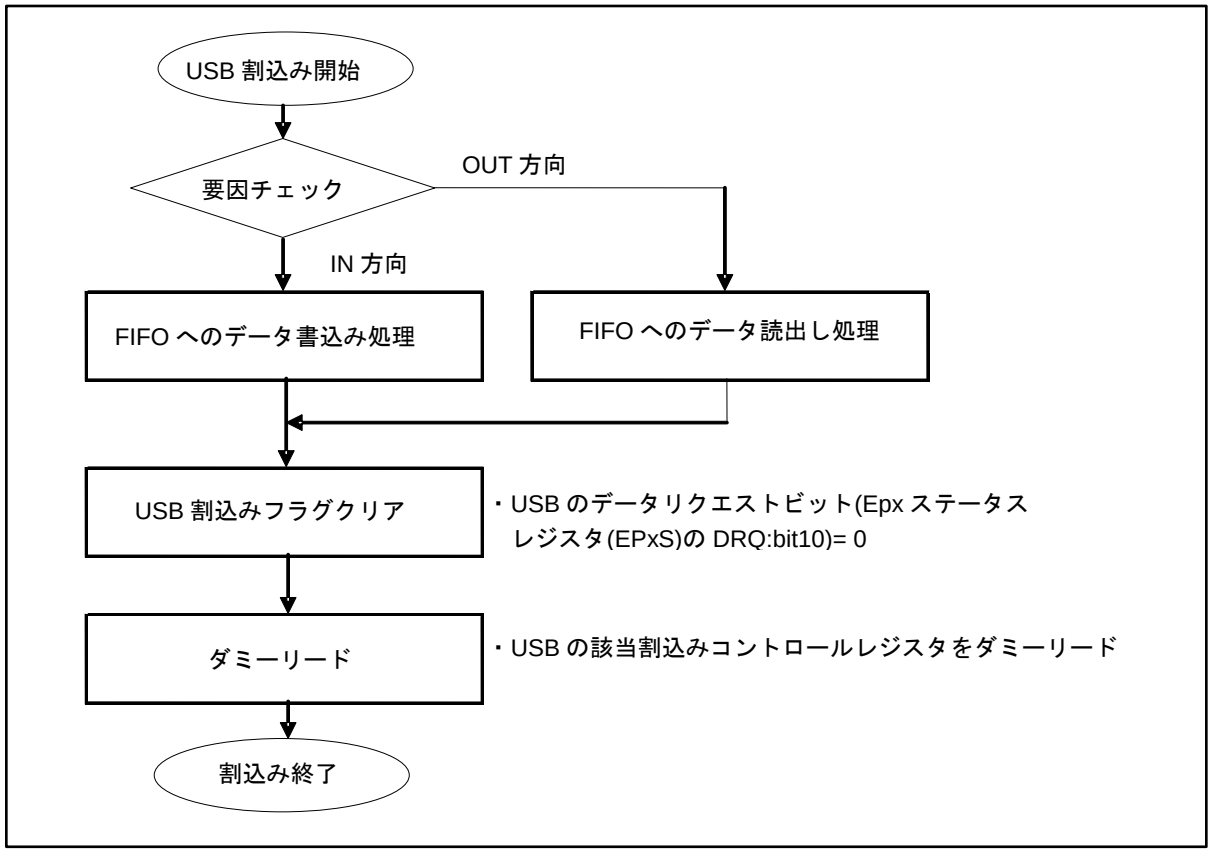
初期化



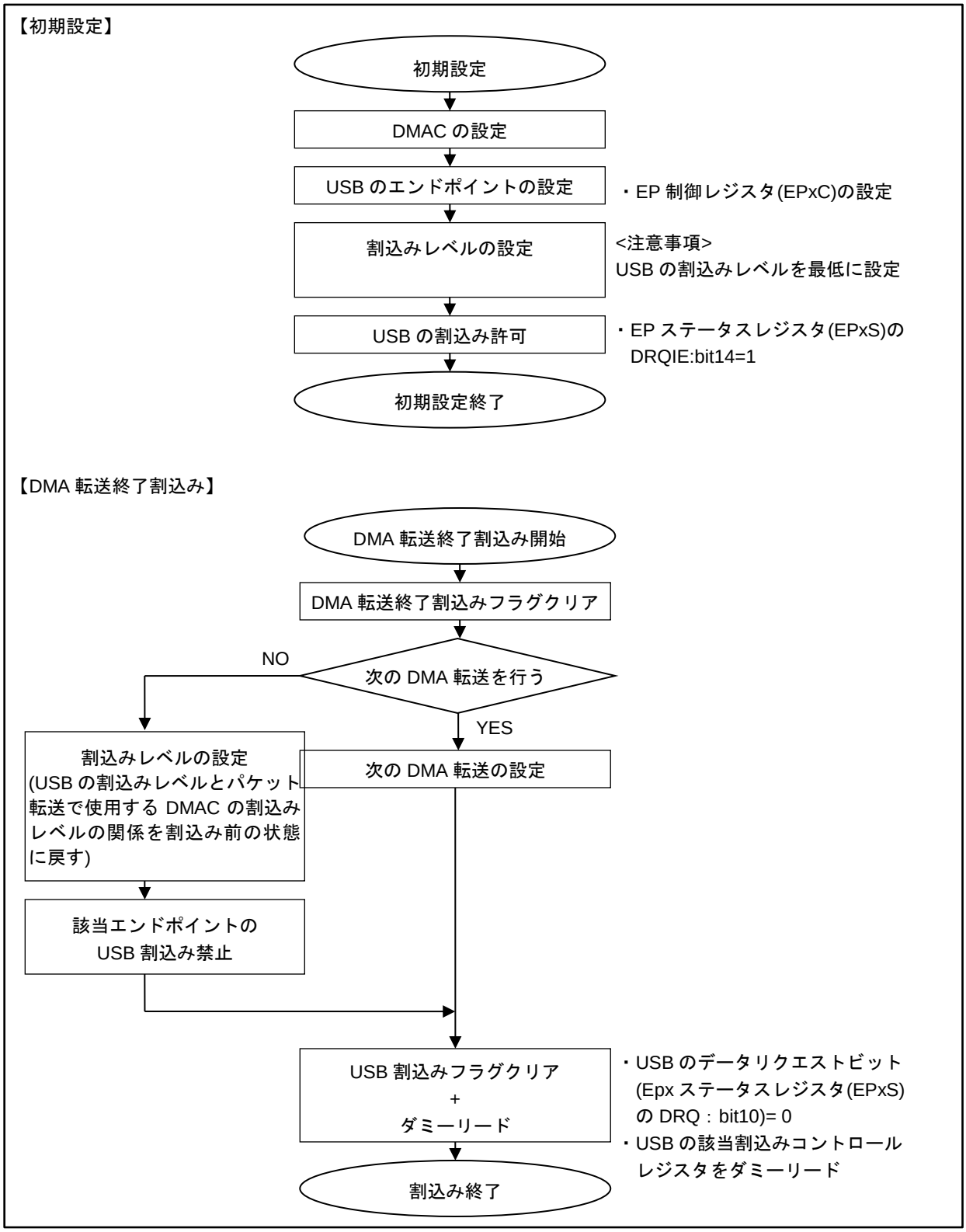
バスリセット


USB 割込み
UDCS:BRST=1?
YES
NO
UDCS:BRST=0
EP0IS,EP0OS,EP1S～EP5S
BFINI=1
// バッファクリア
EP0IS,EP0OS,EP1S～EP5S
BFINI=0
エンド

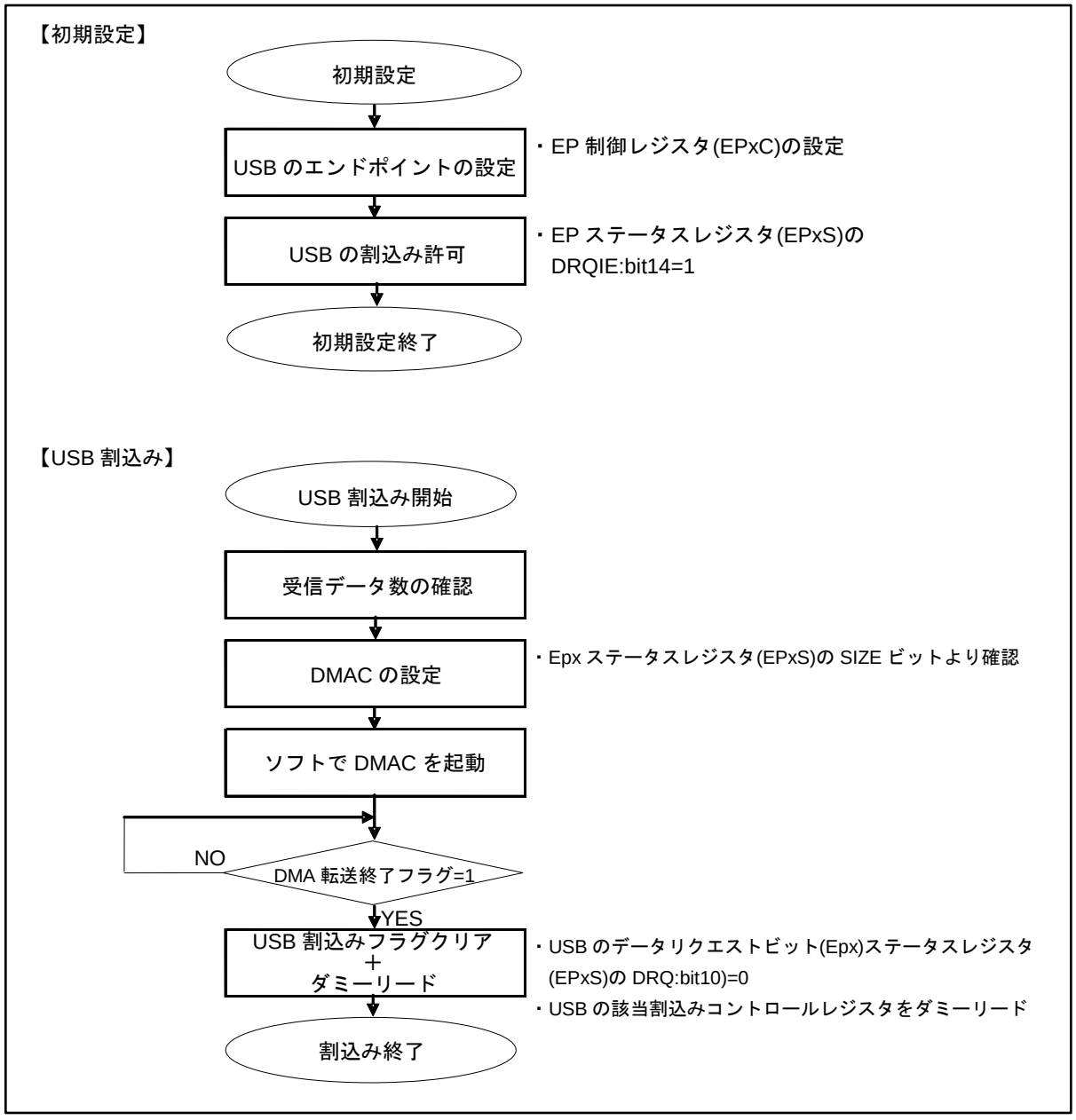
CPU 転送時の制御例


USB 割込み開始
要因チェック
OUT 方向
IN 方向
FIFO へのデータ書込み処理
FIFO へのデータ読出し処理
USB 割込みフラグクリア
・USB のデータリクエストビット(Epx ステータス
レジスタ(EPxS)の DRQ:bit10)= 0
ダミーリード
・USB の該当割込みコントロールレジスタをダミーリード
割込み終了

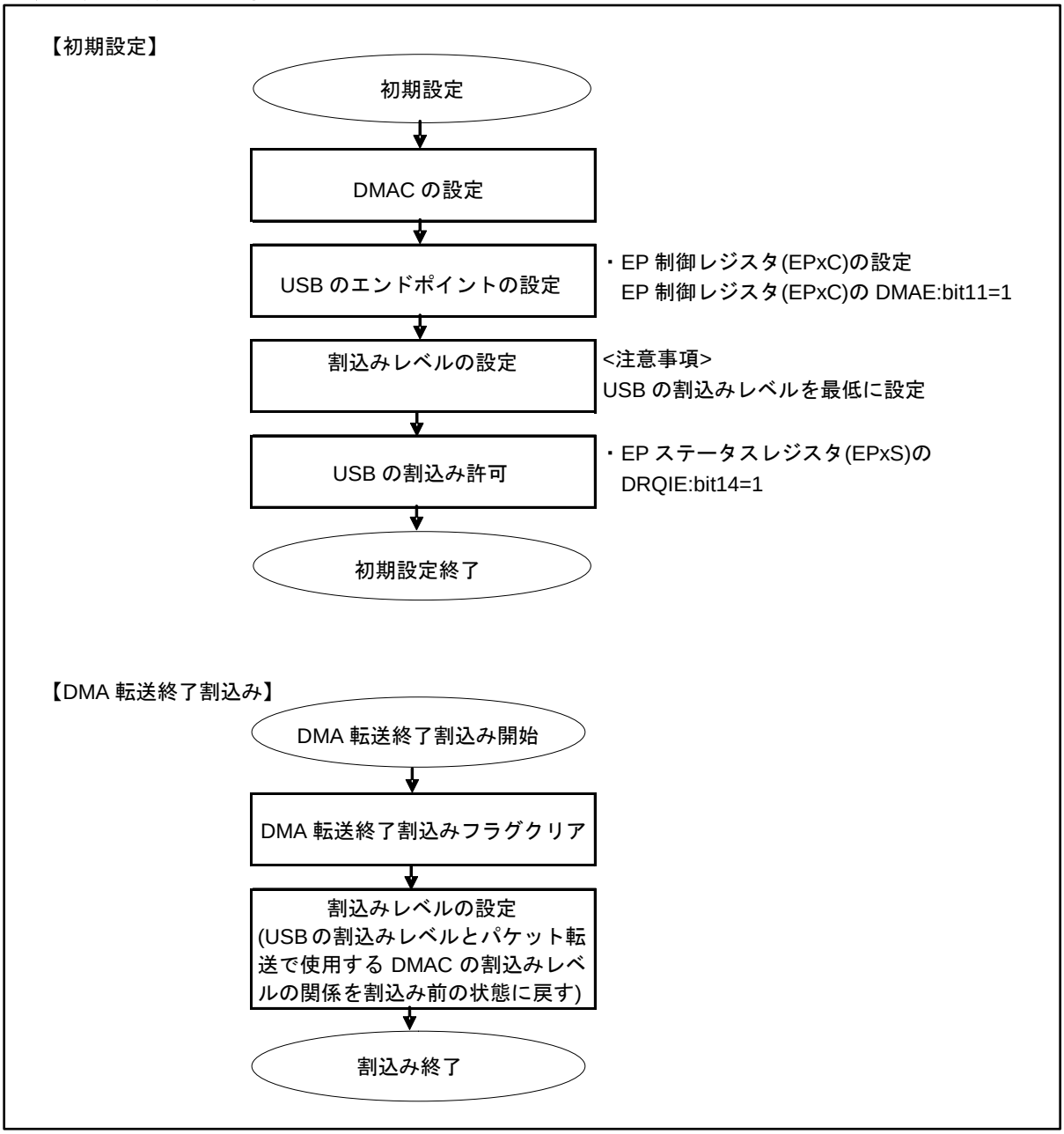
パケット IN 転送時の制御例



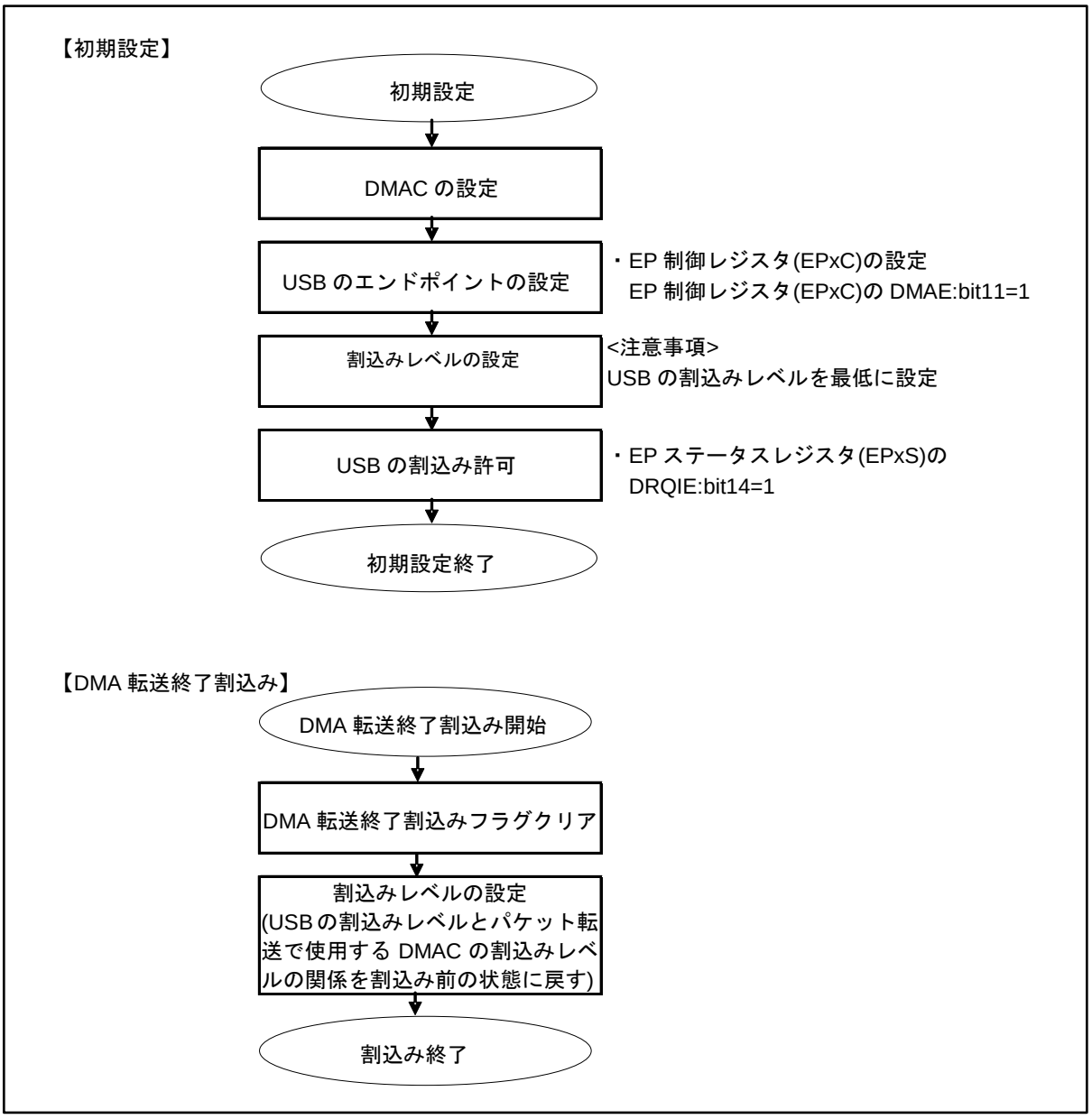
パケット OUT 転送時の制御例



データ数自動 IN 転送時の制御例



データ数自動 OUT 転送時の制御例



5. USB デバイス(USB ファンクション)のレジスタ

USB ファンクションで使用するレジスタの構成および機能について説明します。

USB ファンクションのレジスター一覧

レジスタ略称	レジスタ名	参照先
UDCC	UDC 制御レジスタ	5.1
EP0C	EP0 制御レジスタ	5.2
EP1C	EP1 制御レジスタ	5.3
EP2C	EP2 制御レジスタ	
EP3C	EP3 制御レジスタ	
EP4C	EP4 制御レジスタ	
EP5C	EP5 制御レジスタ	
TMSP	タイムスタンプレジスタ	5.4
UDCS	UDC ステータスレジスタ	5.5
UDCIE	UDC 割込み許可レジスタ	5.6
EP0IS	EP0I ステータスレジスタ	5.7
EP0OS	EP0O ステータスレジスタ	5.8
EP1S	EP1 ステータスレジスタ	5.9
EP2S	EP2 ステータスレジスタ	
EP3S	EP3 ステータスレジスタ	
EP4S	EP4 ステータスレジスタ	
EP5S	EP5 ステータスレジスタ	
EP0DTH	EP0 データレジスタ上位	5.10
EP0DTL	EP0 データレジスタ下位	
EP1DTH	EP0 データレジスタ上位	
EP1DTL	EP0 データレジスタ下位	
EP2DTH	EP0 データレジスタ上位	
EP2DTL	EP0 データレジスタ下位	
EP3DTH	EP0 データレジスタ上位	
EP3DTL	EP0 データレジスタ下位	
EP4DTH	EP0 データレジスタ上位	
EP4DTL	EP0 データレジスタ下位	
EP5DTH	EP0 データレジスタ上位	
EP5DTL	EP0 データレジスタ下位	

レジスタビット更新タイミングの UDCC:RST 依存性一覧

	レジスタ	ビット
UDCC:RST=1 のときに更新しなければいけないレジスタビット	UDCC	HCONTX, PFBK, PWC
	EP0C	PKS0
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
	EP3C	EPEN, TYPE, DIR, PKS3
	EP4C	EPEN, TYPE, DIR, PKS4
	EP5C	EPEN, TYPE, DIR, PKS5
UDCC:RST=1 のときに初期化されるレジスタビット	EP0IS	BFINI, DRQI
	EP0OS	BFINI, DRQ, SPK
(UDCC:RST=0 のときに更新してください。)	EP1S	BFINI, DRQ, SPK
	EP2S	BFINI, DRQ, SPK
	EP3S	BFINI, DRQ, SPK
	EP4S	BFINI, DRQ, SPK
	EP5S	BFINI, DRQ, SPK
	TMSP	TMSP
	UDCS	SUSP, SOF, BRST, WKUP, SETP, CONF
	UDCIE	SUSPIE, SOFIE, BRSTIE, WKUPIE, CONFN, CONFIE
UDCC:RST に影響されないレジスタビット	UDCC	RESUME, USTP
	EP0C	STAL
	EP1C	DMAE, NULE, STAL
	EP2C	DMAE, NULE, STAL
	EP3C	DMAE, NULE, STAL
	EP4C	DMAE, NULE, STAL
	EP5C	DMAE, NULE, STAL
	EP1DTH/L	BFDT
	EP2DTH/L	BFDT
	EP3DTH/L	BFDT
	EP4DTH/L	BFDT
	EP5DTH/L	BFDT

5.1 UDC 制御レジスタ(UDCC)

UDC 制御レジスタ(UDCC)は、UDC コア回路の制御を行います。

下図に UDC 制御レジスタ(UDCC)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RST	RESUM	HCONX	USTP	STALCLREN	予約	RFBK	PWC
属性	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W
初期値	1	0	1	0	0	0	0	0

<注意事項>

- *UDC 制御レジスタ(UDCC)は、bit6 の RESUM と bit4 の USTP を除き bit7 の RST=1 のときに設定して USB 動作中に書き換えないようにしてください。bit6 の RESUM は USB がサスペンド状態で以下のコマンドによるリモート Wake-up 許可状態でのみセット，リセットを行ってください。*
  ストップモードまたはタイマモード状態に入る前に bit4 の USTP へ 1 を設定してください。
  また上記モード解除時は USB 供給クロック安定確認後、UDCS の SUSP, UDCC の USTP の順に"0"を設定してください。

以下に UDC 制御レジスタ(UDCC)の各ビットの機能を説明します。

[bit15:7] 予約 ： 予約ビット

必ず 0 を書き込んでください。常に 0 が読み出されます。

[bit7] RST： ファンクションリセットビット(function ReSeT)

USB ファンクションにチップのシステムリセットと OR で個別リセットをかけます。ホストとのケーブル接続時に RST ビットにより USB ファンクションにリセットをかけます。初期値は"1"でリセット状態のため"0"を書き込んで解除を行ってください。

bit	説明
0	USB ファンクションのリセット解除
1	USB ファンクションをリセット

<注意事項>

- *本ビットはタイムスタンプレジスタ(TMSP), UDC ステータスレジスタ(UDCS), UDC 割込み許可レジスタ(UDCIE)の該当ビットを同時に初期化します。また、EP0I, EP0O, EP1～5 ステータスレジスタの BFINI も同時に設定するため、初期設定の後、RST ビットのクリアを行い(BFINI はクリアされません)、使用するエンドポイントの BFINI ビットのクリアの順で行ってください。*

[bit6] RESUM : リジューム設定ビット(RESUMe set)

リモート Wake-up 許可状態のとき*でかつサスペンド状態のとき、RESUM ビットに 1 を書き込み RESUME の開始となります。RESUME 指示は RESUM ビットに 1 を設定後 0 を書き込んでクリアをしてください。

* :ホストより SET_FEATURE コマンドで DEVICE_REMOTE_WAKEUP ビットが設定されています。

bit	説明
0	USB RESUME 開始指示ビット解除
1	USB RESUME 開始指示

[bit5] HCONX : ホスト接続ビット(Host CONnection)

外付けプルアップ抵抗と USB データラインとの間のスイッチを制御し、ホストまたは HUB との接続を認識させます。

bit	説明
0	ホストまたは HUB と接続
1	ホストまたは HUB と切断状態

<注意事項>

- *外付けプルアップ抵抗が ON 状態でホストまたは HUB から接続を認識された場合でも、本ビットが"1"の間は USB バスのバスリセット，コマンドは無視します。*

[bit4] USTP : USB 動作クロック停止ビット(Udc SToP)

本ビットの設定により USB 動作部のクロックを停止させます。USB を動作させない場合に本ビットの設定により消費電力を低減できます。

bit	説明
0	通常モード
1	USB 動作部のクロック停止

<注意事項>

- *ストップモードまたはタイマモードにしない場合、USTP ビットの設定は RST=1 にした後、リセットが確実にかかるように FULL スピード時には 3 サイクル後、LOW スピード(ホストモードの場合のみ対応)時には 43 サイクル後に行ってください。本ビットのクリアは RST のクリアと同時でも構いません。*

[bit3] STALCLREN： エンドポイント 1～5 STAL ビットクリア選択ビット(STALI CLeaR Enable)

Clear Feature コマンドによるエンドポイント 1 からエンドポイント 5 の STAL ビットのクリア方法を選択するビットです。
エンドポイント 1 からエンドポイント 5 に対し、Clear Feature コマンドによって指定されたエンドポイントの EP1～EP5 制御レジスタ(EP1C-EP5C)の STAL ビットを 0 にハードウェアで自動的にクリアするかどうかを設定します。エンドポイント制御レジスタ(EP1C-EP5C)の STAL ビットをクリアする方法をソフトウェアかハードウェアかを選択するビットです。

bit	説明
0	EP1～EP5 制御レジスタ(EP1C-EP5C)の STAL ビットをソフトウェアでクリアします。
1	EP1～EP5 制御レジスタ(EP1C-EP5C)の STAL ビットはハードウェアで自動的にクリアされます。

＜注意事項＞

- *STALCLREN ビットは、UDC 制御レジスタ(UDCC)の RST=1 のときに設定して USB 動作中に書き換えないようにしてください。*

[bit2] 予約 ： 予約ビット

必ず 0 を書き込んでください。常に 0 が読み出されます。

[bit1] RFBK： データトグルモード選択ビット(Rate Feed BacK mode)

USB の Interrupt 転送時のデータトグルモードの選択ビットです。

bit	説明
0	交代データトグルモードの選択 転送が問題なく完了したときにデータ PID をトグル
1	データトグルモードの選択 無条件にデータ PID をトグル

[bit0] PWC： 電源制御ビット(PoWer Control)

USB ファンクションの動作電源モード(自己電源, バス電源)を指定します。
(本ビットの設定は標準コマンド GetStatus に反映します。)

bit	説明
0	バス電源
1	自己電源

5.2 EP0 制御レジスタ(EP0C)

EP0 制御レジスタ(EP0C)は、エンドポイント 0 に関して制御します。

下図に EP0 制御レジスタ(EP0C)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	-				予約		STAL	予約
属性	-				-		R/W	-
初期値	XXXX				00		0	0

bit	7	6	5	4	3	2	1	0
Field	予約	PKS0						
属性	-	R/W						
初期値	0	1000000						

<注意事項>

- *EP0 制御レジスタ(EP0C)は、bit9 の STAL を除き UDC 制御レジスタ(UDCC)の bit7 の RST ビット, EP0I/O ステータスレジスタ(EP0I/EP0OS)の bit15 の BFINI が共に 1 のときに設定して、USB 動作中に書き換えないでください。*

以下に EP0 制御レジスタ(EP0C)の各ビットの機能を説明します。

[bit15:12] - : 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit11:10] 予約 : 予約ビット

必ず 0 を書き込んでください。
常に 0 が読み出されます。

[bit9] STAL : エンドポイント 0 STALL 設定ビット(STALl ep0 set)

本ビットの設定によりエンドポイント 0 を STALL 状態(STALL 応答)にできます。

本ビットは、ハードで自動クリアされます。エンドポイント 0 への STALL 応答を行った後、エンドポイント 0 で SETUP パケットを受信すると、"0"にクリアされます。本ビットのクリアタイミングは「3.8 エンドポイント 0 の STALL 応答/解除」の「■STAL ビットのクリアタイミング」を参照してください。

bit	説明
0	無視されます
1	STALL 状態(STALL 応答)を設定します

<注意事項>

- *USB 制御レジスタ(UDCC)の STALCLREN ビットが"0"の場合、STAL ビットに 1 を設定中はホストに対し、STALL 応答し続けます。STAL ビットの解除の後、正常な SETUP パケットを受信したときに STALL 状態から復帰します。*
- *リードモディファイライト系命令で読み出す場合、0 が読み出されます。*

[bit8:7] 予約 ： 予約ビット

書込み時は 0 を書き込んでください。
読出し時は 0 が読み出せます。

[bit6:0] PKS0： パケットサイズエンドポイント 0 設定ビット(PacKet Size ep0 set)

1 パケットでの最大転送バイト数を指定します。EndPoint0 の指定可能なパケットの最大転送バイトは 64 バイトで、IN, OUT 共通の設定です。

<例> "0x08"⇒8 バイト, "0x40"⇒64 バイト(最大指定値)

＜注意事項＞

- *このビットは UDC 制御レジスタ(UDCC)の RST ビットと EP0I/O ステータスレジスタ(EP0I/ EP0OS)の BFINI ビットが共に 1 のときに設定してください。USB 動作中の書換えは禁止です。*
- *最大転送バイト数(0x40)を超える設定と 0x00 の設定は禁止です。*

5.3 EP1～5 制御レジスタ(EP1C～EP5C)

EP1～5 制御レジスタ(EP1C～EP5C)は、エンドポイント 1～5 に関して制御します。

下図に EP1～5 制御レジスタ(EP1C～EP5C)のビット構成を示します。

EP1 制御レジスタ(EP1C)

bit	15	14	13	12	11	10	9	8
Field	EPEN	TYPE		DIR	DMAE	NULE	STAL	PSK1
属性	R/W	R/W		R/W	R/W	R/W	R/W	R/W
初期値	0	11		0	0	0	0	1

bit	7	6	5	4	3	2	1	0
Field	PSK1							
属性	R/W							
初期値	0x00							

EP2～EP5 制御レジスタ(EP2C～EP5C)

bit	15	14	13	12	11	10	9	8
Field	EPEN	TYPE		DIR	DMAE	NULE	STAL	予約
属性	R/W	R/W		R/W	R/W	R/W	R/W	-
初期値	0	11		0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	PKS5~2						
属性	-	R/W						
初期値	0	1000000						

＜注意事項＞

- *EP1～5 制御レジスタ(EP1C～EP5C)は、DMAE, NULE, STAL の各ビットを除き UDC 制御レジスタ(UDCC)の bit7 の RST ビット, EP0～5 ステータスレジスタ(EP1S～EP5S)の bit15 の BFINI ビットが共に 1 のときに設定して、USB 動作中の書換えは禁止です。*

以下に EP1～5 制御レジスタ(EP1C～EP5C)の各ビットの機能を説明します。

[bit15] EPEN： エンドポイント 1～5 許可ビット(EndPoint1～5 ENable)

エンドポイントを有効にします。EPEN ビットの設定によりファンクションで使用するエンドポイントとしてホストから構成されます。EP1～EP5 制御レジスタ(EP1C～EP5C)の TYPE, DIR, PKS ビットが構成情報として有効です。

bit	説明
0	EndPoint は無効
1	EndPoint は有効

[bit14:13] TYPE： エンドポイント転送タイプ選択ビット(endpoint TYPE)

エンドポイントがサポートする転送タイプを指定します。

bit14:13	説明
00	指定禁止
01	Iso 転送(ファンクション動作モード)
10	Bulk 転送
11	Interrupt 転送

＜注意事項＞

- *Iso 転送の設定はファンクション動作モード時にエンドポイント 1 のみと、エンドポイント 1 と 2 の両方に設定可能です。エンドポイント 2 のみ、エンドポイント 1 と 2 以外、ホスト動作モード時は設定禁止です。*

[bit12] DIR： エンドポイント転送方向選択ビット(endpoint DIRection)

エンドポイントがサポートする転送方向を指定します。

bit	ファンクション動作モード	ホスト動作モード(EP1, EP2 のみ)
0	OUT エンドポイント	IN エンドポイント
1	IN エンドポイント	OUT エンドポイント

[bit11] DMAE : DMA 自動転送許可ビット(DMA Enable)

転送データの送受信バッファへの書込みあるいは、読出しに DMA を使用し、DMA に設定したデータ転送数までホストからの IN, OUT データ要求に同期して自動で送受信データを転送するモード設定です。

bit	説明
0	自動バッファ転送モードの解除
1	自動バッファ転送モードの設定

＜注意事項＞

- *DMAE ビットを 1 に設定中は CPU による送受信バッファへのアクセスは禁止です。*

[bit10] NULE : NULL 自動転送許可ビット(NULI Enable set)

自動バッファ転送モードが設定されている状態(DMAE=1)で、IN 方向のデータ転送要求がきたときに、最後のパケット転送を検出し、0 バイトのデータ転送を自動で送信するモードの設定を行います。

bit	説明
0	NULL 自動転送モードの解除
1	NULL 自動転送モードの設定

＜注意事項＞

- *OUT 方向のデータ転送時や自動バッファ転送モードが設定されていない時には NULL ビットの設定は通信に影響しません。*

[bit9] STAL : エンドポイント 1～5 STALL 設定ビット(STALl set)

本ビットの設定によりエンドポイントを STALL 状態(STALL 応答)に設定できます。

- UDC 制御レジスタ(UDCC)の STALCLREN ビットが 0 の場合

  本ビットは、Clear Feature コマンドによって、0 にクリアされません。本ビットをクリアするにはソフトウェアで行う必要があります。本ビットのクリアタイミングは「3.9 エンドポイント 1～5 の STALL 応答/解除」の「■ソフト処理にて STALL 応答する場合」を参照してください。

bit	説明
0	STALL 状態を解除します
1	STALL 状態(STALL 応答)を設定します

- UDC 制御レジスタ(UDCC)の STALCLREN ビットが 1 の場合

  本ビットはハードウェアによってクリアされます。Clear Feature コマンドで指定されたエンドポイントに対し、0 にクリアされます。本ビットのクリアタイミングは「3.9 エンドポイント 1～5 の STALL 応答/解除」の「■ソフト処理にて STALL 応答する場合」を参照してください。

bit	説明
0	無視されます
1	STALL 状態(STALL 応答)を設定します

＜注意事項＞

- *UDC 制御レジスタ(UDCC)の STALCLREN ビットが 0 の場合、STAL ビットを 1 に設定中はホストに対し、STALL 応答し続けます。STALL 状態からの復帰は STAL ビットの解除の後、ホストからの Clear Feature コマンドにより可能です。*
- *STALCLREN の設定値により、リードモディファイライト系命令で読み出される値が異なります。*
- *STALCLREN=0 の場合、そのときの値が読み出されます。*
- *STALCLREN=1 の場合、0 が読み出されます。*

[EP2～EP5 : bit8:7] EP2～EP5 予約ビット

このビットは EP2～EP5 の場合、予約ビットです。書込み時は 0 を書き込んでください。読出し時は 0 が読み出されます。

[(EP1 : bit8:7)bit6:0] PKS : パケットサイズ設定ビット(PacKet Size ep1 set)

1 パケットでの最大転送数を指定します。EndPoint1～5 の指定可能なパケットの最大転送数を以下に示します。

EndPoint	最大転送数	設定可能範囲
1	256 バイト(奇数設定可能)	0x001～0x100
2～5	64 バイト(奇数設定可能)	0x01～0x40

＜注意事項＞

- *最大転送数(0x100, 0x40)を超える設定と"0x00"の設定は禁止です。EndPoint2～5 は bit8:7 に 00 書込みをしてください。さらに、自動バッファ転送モード(DMAE=1)を使用する場合は該当する EndPoint での 0～2 設定は禁止です。*
- *PKS は偶数バイトを設定してください。*

5.4 タイムスタンプレジスタ(TMSP)

タイムスタンプレジスタ(TMSP)は、SOF パケット受信時のフレーム番号の表示を行います。

下図にタイムスタンプレジスタ(TMSP)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約			TMSP		
属性	-	-	-			R	R	R
初期値	X	X	XXX			0	0	0
RST リセット	0	0	無関係			0	0	0

bit	7	6	5	4	3	2	1	0
Field	TMSP							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
RST リセット	0	0	0	0	0	0	0	0

以下にタイムスタンプレジスタ(TMSP)の各ビットの機能を説明します。

[bit15:11] 予約 : 予約ビット

書込みは意味を持ちません。読出し時は不定です。

[bit10:0] TMSP : タイムスタンプビット(TiMe StamP)

SOF パケットの受信によるフレーム番号を示します。フレーム番号は SOF パケットの受信時に更新されます。

5.5 UDC ステータスレジスタ(UDCS)

UDC ステータスレジスタ(UDCS)は、USB 通信上のバスの状態や、特定のコマンド受信状態を示すレジスタです。SETP を除く各ビットは割込み要因となっており、対応する割込み許可ビットが有効指定されていれば CPU へ割込みがかかります。

下図に UDC ステータスレジスタ(UDCS)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	-	-	SUSP	SOF	BRST	WKUP	SETP	CONF
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0
RST リセット	X	X	0	0	0	0	0	0

以下に UDC ステータスレジスタ(UDCS)の各ビットの機能を説明します。

[bit7:6] - : 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit5] SUSP : サスペンド検出ビット(SUSPend)

USB ファンクションがサスペンド状態に移行したことを表示します。SUSP ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	Suspend 未検出・割込み要因クリア
1	Suspend 検出

[bit4] SOF : SOF 検出ビット(Start Of Freame)

SOF パケットを受信したことを示し、タイムスタンプレジスタの値が更新されます。SOF ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	SOF 未受信・割込み要因クリア
1	SOF パケットを受信

[bit3] BRST : バスリセット検出ビット(Bus ReSeT)

USB バスリセットの検出を表示します。BRST ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	USB バスリセットを未検出・割込み要因クリア
1	USB バスリセットを検出

<注意事項>

- *本ビットの検出時には EP0I ステータスレジスタ(EP0IS)の BFINI ビットと EP0O ステータスレジスタ(EP0OS)の BFINI ビットおよび EP1～EP5 ステータスレジスタ(EP1S～EP5S)の BFINI ビットでバッファを初期化してください。*

[bit2] WKUP : WakeUp 検出ビット(WaKe UP)

USB ファンクションがサスペンド状態から復帰したことを表示します。復帰要因は RESUM ビットの設定によるリモートウェイクアップとホストからの要求によるウェイクアップがありますが、WKUP ビットはホストからの復帰要求のみで自動設定されます。WKUP ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	HOST 要因 RESUME を未検出・割込み要因クリア
1	HOST 要因 RESUME を検出

<注意事項>

- *ホスト要求によるウェイクアップ時でも UDCC レジスタの RESUM ビットが設定されている場合、本ビットは設定されません。*

[bit1] SETP : SETUP ステージ検出ビット(SETuP)

受信したデータが USB コントロール転送の Setup ステージであることを示します。1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	SETUP 未受信・要因クリア
1	コントロール転送 SETUP ステージを受信

<注意事項>

- *標準コマンドの自動応答時には設定されません。本ビットは割込み要因ではありません。*

[bit0] CONF : コンフィグレーション検出ビット(CONFigration)

USB ファンクションがコンフィグレーション済みであることを表示します。CONF ビットは USB コマンドの SetConfig を正常受信したときに設定されます。CONF ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	SetConfig 未検出・割込み要因クリア
1	SetConfig を検出

5.6 UDC 割込み許可レジスタ(UDCIE)

UDC 割込み許可レジスタ(UDCIE)は、UDC ステータスレジスタの各割込み要因による割込みを、ビットごとに許可するレジスタです(CONFN ビットは除きます)。

下図に UDC 割込み許可レジスタ(UDCIE)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約	予約	SUSPIE	SOFIE	BRSTIE	WKUPIE	CONFN	CONFIE
属性	-	-	R/W	R/W	R/W	R/W	R	R/W
初期値	0	0	0	0	0	0	0	0
RST リセット	0	無関係	0	0	0	0	0	0

以下に UDC 割込みレジスタ(UDCIE)の各ビットの機能を説明します。

[bit15:14] 予約 : 予約ビット

必ず 0 を書き込んでください。常に 0 が読み出されます。

[bit13] SUSPIE : サスペンド割込み許可ビット(SUSP Interrupt Enable)

UDC ステータスレジスタ"SUSP"の割込み要因による割込みを許可します。

bit	説明
0	SUSP 要因による割込み禁止
1	SUSP 要因による割込み許可

[bit12] SOFIE : SOF 受信割込み許可ビット(SOF Interrupt Enable)

UDC ステータスレジスタ"SOF"の割込み要因による割込みを許可します。

bit	説明
0	SOF 要因による割込み禁止
1	SOF 要因による割込み許可

[bit11] BRSTIE : バスリセット割込み許可ビット(BRST Interrupt Enable)

UDC ステータスレジスタ"BRST"の割込み要因による割込みを許可します。

bit	説明
0	BRST 要因による割込み禁止
1	BRST 要因による割込み許可

[bit10] WKUPIE : WakeUp 割込み許可ビット(WKUP Interrupt Enable)

UDC ステータスレジスタ"WKUP"の割込み要因による割込みを許可します。

bit	説明
0	WKUP 要因による割込み禁止
1	WKUP 要因による割込み許可

[bit9] CONFN : コンフィグレーション番号表示ビット(CONFiguration Number)

コンフィグレーション番号を表示します。UDC ステータスレジスタ CONF の割込み要因セット時に更新します。

bit	説明
0	CONFIG 番号 0
1	CONFIG 番号 1

[bit8] CONFIE : コンフィグレーション割込み許可ビット(CONFiguration)

UDC ステータスレジスタ"CONF"の割込み要因による割込みを許可します。

bit	説明
0	CONF 要因による割込み禁止
1	CONF 要因による割込み許可

5.7 EP0I ステータスレジスタ(EP0IS)

EP0I ステータスレジスタ(EP0IS)は、エンドポイント 0 の IN 方向転送に関するステータス表示を行います。

下図に EP0IS レジスタ(EP0IS)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQIIE	-	-	-	DRQI	-	-
属性	R/W	R/W	-	-	-	R/W	-	-
初期値	1	0	X	X	X	1	X	X
BFINI リセット	1	無関係	X	X	X	1	X	X

bit	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	-
属性	-	-	-	-	-	-	-	-
初期値	X	X	X	X	X	X	X	X
BFINI リセット	X	X	X	X	X	X	X	X

以下に EP0I ステータスレジスタ(EP0IS)の各ビットの機能を説明します。

[bit15] BFINI : 送信バッファ初期化ビット(BuFfer INItial)

転送データの送信バッファの初期化をします。また、本ビットは UDC 制御レジスタ(UDCC)RST ビットを"1"に設定すると本ビットは自動で 1 に設定されるようになっています。したがって、RST ビットでリセットされている場合、本ビットのクリアは RST ビットに 0 を設定してから行ってください。

bit	説明
0	初期化の解除
1	送信バッファの初期化

＜注意事項＞

- *BFINI ビットによる初期化ではバッファ, DRQI ビットが初期化されます。バッファの初期化をする場合、DRQI または DRQO ビットが設定されホストからのアクセスがないことを確認した後、必要に応じて STAL ビットを設定してから初期化を行ってください。*

[bit14] DRQIIE : 送信データ割込み許可ビット(Data ReQuest In Interrupt Enable)

EP0I ステータスレジスタ"DRQI"の割込み要因による割込みを許可します。

bit	説明
0	DRQI 要因による割込み禁止
1	DRQI 要因による割込み許可

[bit13:11] - : 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit10] DRQI : 送受信データ割込み要求ビット(Data ReQuest In)

EP0 のホストからの IN パケット転送が正常に終了し、送信バッファからデータが読み出され次の送信データを書き込むことが可能であることを示します。DRQI ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	割込み要因クリア
1	送信データの書込み可能状態

<注意事項>

- *送信バッファのデータライト処理が完了後に本ビットをクリアする必要があります。また、本ビットが設定されていない時の 0 書込みは禁止です。*
  DRQI ビットが 1 のとき、送信バッファにデータ書込みが可能です。また、クリアした時点で送信バッファにデータ設定が完了したことを意味します。したがって、DRQI ビットが 1 の状態で IN パケット要求があった場合は、自動でホストに NAK 応答します。

[bit9:0] - : 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

5.8 EP0O ステータスレジスタ(EP0OS)

EP0O ステータスレジスタ(EP0OS)は、エンドポイント 0 の Out 方向転送に関するステータス表示を行います。

下図に EP0OS レジスタ(EP0OS)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQOIE	SPKIE	-	-	DRQO	SPK	予約
属性	R/W	R/W	R/W	-	-	R/W	R/W	-
初期値	1	0	0	X	X	0	0	0
BFINI リセット	1	無関係	無関係	X	X	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	SIZE						
属性	-	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X
BFINI リセット	X	X	X	X	X	X	X	X

以下に EP0O ステータスレジスタ(EP0OS)の各ビットの機能を説明します。

[bit15] BFINI : 受信バッファ初期化ビット(BuFfer INItial)

転送データの受信バッファの初期化をします。また、本ビットは UDC 制御レジスタ(UDCC)の RST ビットのセットでも自動で設定されるようになっています。従って、RST ビットでリセットされている場合、本ビットのクリアは RST ビットのクリア後に行ってください。

bit	説明
0	初期化の解除
1	受信バッファの初期化

＜注意事項＞

- *BFINI ビットによる初期化ではバッファ, DRQO, SPK ビットが初期化されます。バッファの初期化をする場合、DRQI または DRQO ビットが設定されホストからのアクセスがないことを確認した後、必要に応じて STAL ビットを設定してから初期化を行ってください。*

[bit14] DRQOIE : 受信データ割込み許可ビット(Data ReQuest Out Interrupt Enable)

EP0O ステータスレジスタ"DRQO"の割込み要因による割込みを許可します。

bit	説明
0	DRQO 要因による割込み禁止
1	DRQO 要因による割込み許可

[bit13] SPKIE : ショートパケット割込み許可ビット(SPK Interrupt Enable)

EP0O ステータスレジスタ"SPK"の割込み要因による割込みを許可します。

bit	説明
0	SPK 要因による割込み禁止
1	SPK 要因による割込み許可

[bit12:11] - : 未定義ビット
書込みは意味を持ちません。読出し時は不定です。

[bit10] DRQO : 受信データ割込み要求ビット(Data ReQuest Out)
EP0 のホストからの OUT パケット転送が正常に終了し、受信バッファにデータが書き込まれ受信データを読み出すことが可能であることを示します。本ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	割込み要因クリア
1	受信データの読出し可能状態

<注意事項>

- *受信バッファのデータリード処理が完了後に、本ビットをクリアしてください。また、本ビットが設定されていない時の 0 書込みは禁止です。*
  DRQO ビットが 1 のとき、受信バッファは更新されません。クリアした時点で更新許可となります。DRQO ビットが 1 の状態で OUT パケット要求があった場合は、自動でホストに NAK 応答します。

[bit9] SPK : ショートパケット割込み要求ビット(Short PacKet)
ホストからの転送データ数が正常受信時に EP0 制御レジスタ(EP0C)の PKS で設定した MAX パケット数に満たない場合(0 バイトを含みます)を示します。本ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	MAX パケット転送数分を受信
1	MAX パケット転送数未満を受信

[bit8:7] 予約 : 予約ビット
書込みは意味を持ちません。常に 0 が読み出されます。

[bit6:0] SIZE : パケットサイズ表示ビット(packet SIZE)
EP0 の OUT パケット転送終了後に受信バッファに書き込まれたデータバイト数が表示されます。SIZE ビットは EP0O ステータスレジスタ(EP0OS)の DRQO の割込み要因が設定されたときに有効な値に更新されます。

<例> 8 バイト⇒"0x08", 64 バイト⇒"0x40"(最大値)

5.9 EP1～5 ステータスレジスタ(EP1S～EP5S)

EP1～5 ステータスレジスタ(EP1S～EP5S)は、エンドポイント 1～5 に関するステータス表示を行います。

下図に EP1～5 ステータスレジスタ(EP1S～EP5S)のビット構成を示します。

EP1 ステータスレジスタ(EP1S)

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQIE	SPKIE	予約	BUSY	DRQ	SPK	SIZE1
属性	R/W	R/W	R/W	-	R	R/W	R/W	R
初期値	1	0	0	X	0	0	0	X

bit	7	6	5	4	3	2	1	0
Field	SIZE1							
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

EP2～EP5 ステータスレジスタ(EP2S～EP5S)

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQIE	SPKIE	予約	BUSY	DRQ	SPK	予約
属性	R/W	R/W	R/W	-	R	R/W	R/W	-
初期値	1	0	0	X	0	0	0	X

bit	7	6	5	4	3	2	1	0
Field	予約	SIZE2~SIZE5						
属性	-	R	R	R	R	R	R	R
初期値	0	X	X	X	X	X	X	X

以下に EP1～5 ステータスレジスタ(EP1S～EP5S)の各ビットの機能を説明します。

[bit15] BFINI： 送受信バッファ初期化ビット(BuFfer INItial)

転送データの送受信バッファの初期化をします。また、BFINI ビットは UDC 制御レジスタ(UDCC)の RST ビットの設定でも自動で設定されるようになっています。従って、RST ビットでリセットされている場合、BFINI ビットのクリアは RST ビットのクリア後に行ってください。

bit	説明
0	初期化の解除
1	送受信バッファの初期化

＜注意事項＞

- *EP1～EP5 の送受信バッファはダブルバッファ構成で、BFINI ビットによる初期化ではダブルバッファ同時に初期化が行われ、DRQ, SPK ビットも初期化されます。バッファの初期化をする場合、DRQ ビットが設定され BUSY ビットによりホストからのアクセスがないことを確認した後、STAL ビットを設定してから初期化を行ってください。*

[bit14] DRQIE： パケット転送割込み許可ビット(Data ReQuest Interrupt Enable)

EP1～EP5 ステータスレジスタ"DRQ"の割込み要因による割込みを許可します。

bit	説明
0	DRQ 要因による割込み禁止
1	DRQ 要因による割込み許可

＜注意事項＞

- *自動バッファ転送モード(DMAE=1)を使用する場合は DMA の設定し、転送を許可してから DRQIE ビットを許可してください。*

[bit13] SPKIE： ショートパケット割込み許可ビット(SPK Interrupt Enable)

EP1～5 ステータスレジスタ"SPK"の割込み要因による割込みを許可します。

bit	説明
0	SPK 要因による割込み禁止
1	SPK 要因による割込み許可

[bit12] 予約 ： 予約ビット

書込みは意味を持ちません。読出し時は不定です。

[bit11] BUSY： ビジーフラグビット(BUSY flag)

ホストから送受信バッファへの書込みまたは読出しアクセス中であることを示します。BUSY ビットは自動で設定, リセットされます。

bit	説明
0	ホストからのアクセスなし
1	ホストからの書込みまたは読出し動作中

＜注意事項＞

- *DRQ ビットが 1 に設定された状態で BUSY ビットも 1 に設定されている場合、ダブルバッファの内、CPU または DMA アクセスしているバッファとは別のバッファが、ホストからのアクセス中であることを意味します。*
  通常の場合、BUSY ビットによる制御は必要ありません。しかし、BFINI の設定によるバッファの初期化をする場合は、以下の設定後、初期化してください。
  1. DRQ ビットがセットされ、BUSY ビットによりホストからのアクセスがないことを確認
  2. STAL ビットを設定

[bit10] DRQ : パケット転送割込み要求ビット(Data ReQuest)

EP1～EP5 のパケット転送が正常に終了し、データ処理が必要であることを示します。DRQ ビットは割込み要因であり、1 書込みは無視します。DRQ ビットが 1 のときに 0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	割込み要因クリア
1	パケット転送が正常に終了

＜注意事項＞

- *自動バッファ転送モード(DMAE=1)を使用しない場合は、送受信バッファのデータリードまたはデータライト処理が完了後にDRQ ビットに0 を書き込んでください。DRQ ビットをクリアした時点でアクセスバッファを切り換えます。DRQ ビットをクリア後に、DRQ=0 が読めない場合があります。転送方向がIN 方向の設定の場合、DRQ ビットが"1"でバッファデータ書込みせずにクリアした場合、0 バイトデータを設定したことになります。初期設定においてEP1～EP5 制御レジスタ(EP1C～EP5C)のDIR を"1"に設定した場合、対応するエンドポイントのDRQ ビットも同時に設定されます。また、DRQ ビットが設定されていない時の0 書込みは禁止です。*

[bit9] SPK : ショートパケット割込み要求ビット(Short PacKet)

ホストからの転送データ数が正常受信時に EP1～EP5 制御レジスタ(EP1C～EP5C)の PKS で設定した最大パケット数に満たない場合(0 バイトを含みます)を示します。本ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	最大パケット転送数分を受信
1	最大パケット転送数未満を受信

＜注意事項＞

- *IN 方向のデータ転送時にSPK ビットは設定されません。*

[EP2～EP5 : bit8:7] 予約 : 予約ビット

EP2～EP5 の場合、このビットは予約ビットです。書込みは意味を持ちません。読出し時には 0 が読み出せます。

[(EP1 : bit8:7) bit6:0] SIZE : packet SIZE

EP1～EP5 の OUT パケット転送終了時に受信バッファに書き込まれたデータバイト数が表示されます。SIZE ビットは EP1～EP5 ステータスレジスタ(EP1S～EP5S)の DRQ の割込み要因が設定されたときに有効な値に更新されます。

EndPoint1～5 の最大転送数は以下になります。

EndPoint	最大転送数	表示範囲
1	256 バイト	0x000～0x100
2～5	64 バイト	0x00～0x40

＜注意事項＞

本ビットは OUT 方向転送時でのホストからのバッファ書込みデータ数が設定されるため、IN 方向時に読み出された値は意味をもちません。

5.10 EP0～5 データレジスタ(EP0DTH～EP5DTH/ EP0DTL～EP5DTL)

EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)は、エンドポイント 0～5 に関する転送データの送受信バッファへのリードまたはライトのアクセスレジスタです。

下図に EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)のビット構成を示します。

EP0DTH～EP5DTH

bit	15	14	13	12	11	10	9	8
Field	BFDT							
属性	R/W							
初期値	0xXX							

EP0DTL～RP5DTL

bit	7	6	5	4	3	2	1	0
Field	BFDT							
属性	R/W							
初期値	0xXX							

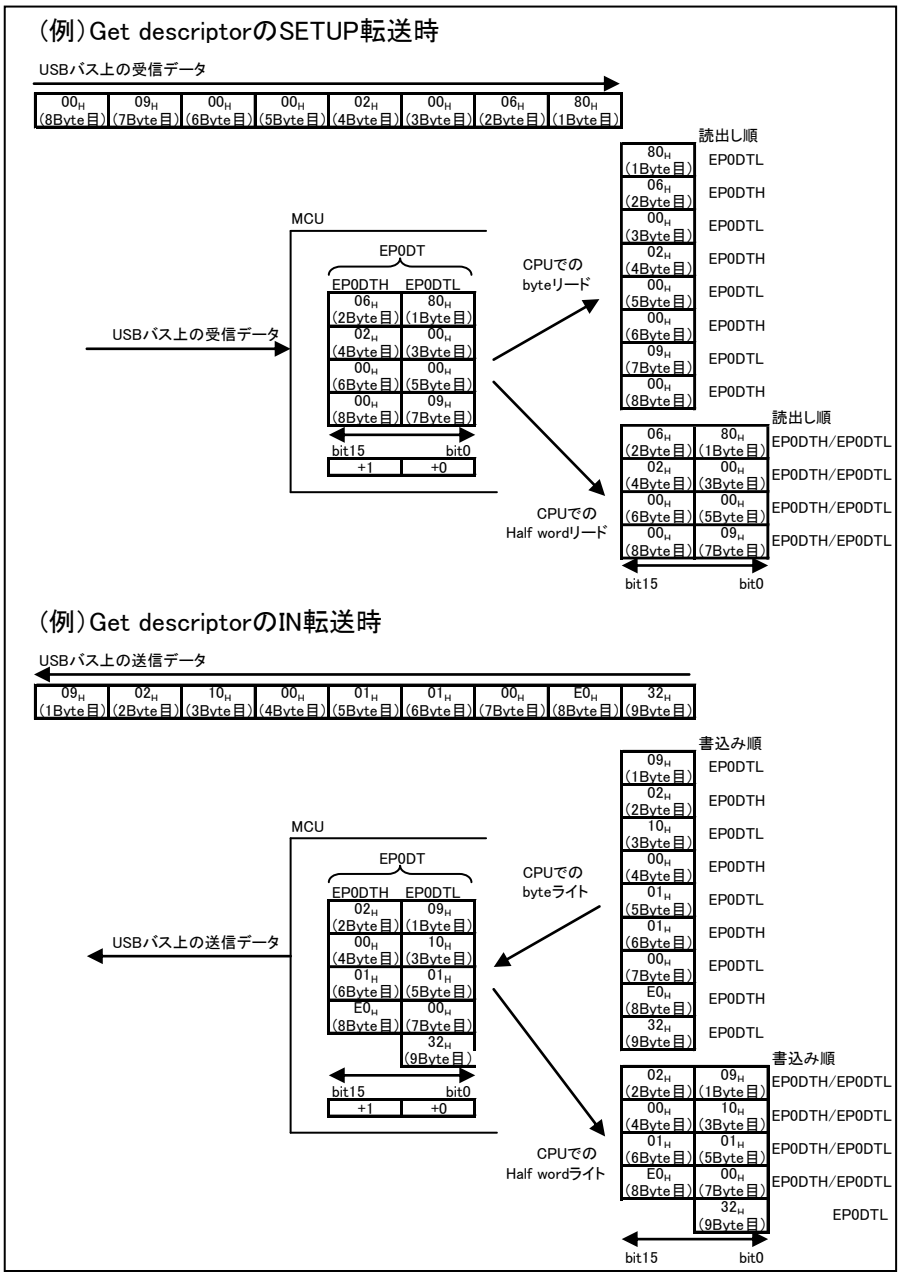
以下に EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)の各ビットの機能を説明します。

[bit15:0] BFDT： エンドポイント用送受信バッファデータビット(BuFfer DaTa)

各エンドポイント用送受信バッファへのデータリード, ライトレジスタです。

<注意事項>

- *EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)への CPU アクセスはバイト，ハーフワード共に可能です。*
- *バイトの場合*
  最初に下位(EPxDTL)へのアクセスとし、次は上位(EPxDTH)へのアクセスとして、以後下位(EPxDTL)，上位(EPxDTH)を交互にアクセスしてください。
- *ビット操作命令による本レジスタへのアクセスは禁止です。*



- *DMA 転送による EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)へのアクセスはハーフワードアクセスのみ対応しています(「3.6 DMA 転送機能」の「■データ数自動転送モード」を参照してください)。*

CHAPTER 3-2: USB ホスト

USB ホストの機能と動作について示します。

1. USB ホストの概要
2. USB ホストの構成
3. USB ホストの動作説明
4. USB ホストの設定手順例
5. USB ホストのレジスタ

1. USB ホストの概要

USB ホストの機能と動作について示します。

USB ホストの特長

USB ホストには以下の特長があります。

- Full Speed/Low Speed 転送の自動検出
- Full Speed/Low Speed 転送サポート
- デバイスの接続および切断の自動検出
- USB バスへのリセット送出機能サポート
- IN/OUT/SETUP/SOF トークンのサポート
- IN トークン時のハンドシェークパケット自動送出(STALL は除く)
- OUT トークン時のハンドシェークパケット自動検出
- 最大パケット長 256 バイトまでサポート
- 各種エラー(CRC エラー/トグルエラー/タイムアウト)サポート
- Wake Up 機能サポート
- Cypress オリジナルの USB ホスト機能。動作モードを切り換えることで USB ファンクションとしても動作可能(USB ホストの仕様制限については Table 1-1 を参照してください)。

<注意事項>

- *USB ホストを使用する場合、ベースクロックは 13 MHz 以上で使用してください。*

Table 1-1 USB ホストの仕様制限

		ホスト
HUB のサポート		○*
転送	バルク転送	○
	コントロール転送	○
	インタラプト転送	○
	アイソクロナス転送	○
転送スピード	Low Speed	○
	Full Speed	○
PRE パケットサポート		×
SOF パケットサポート		○
エラー	CRC エラー	○
	トグルエラー	○
	タイムアウト	○
	最大パケット<受信データ	○
デバイスの接続・切断検出		○
転送スピード検出		○

○: サポート

×: 非サポート

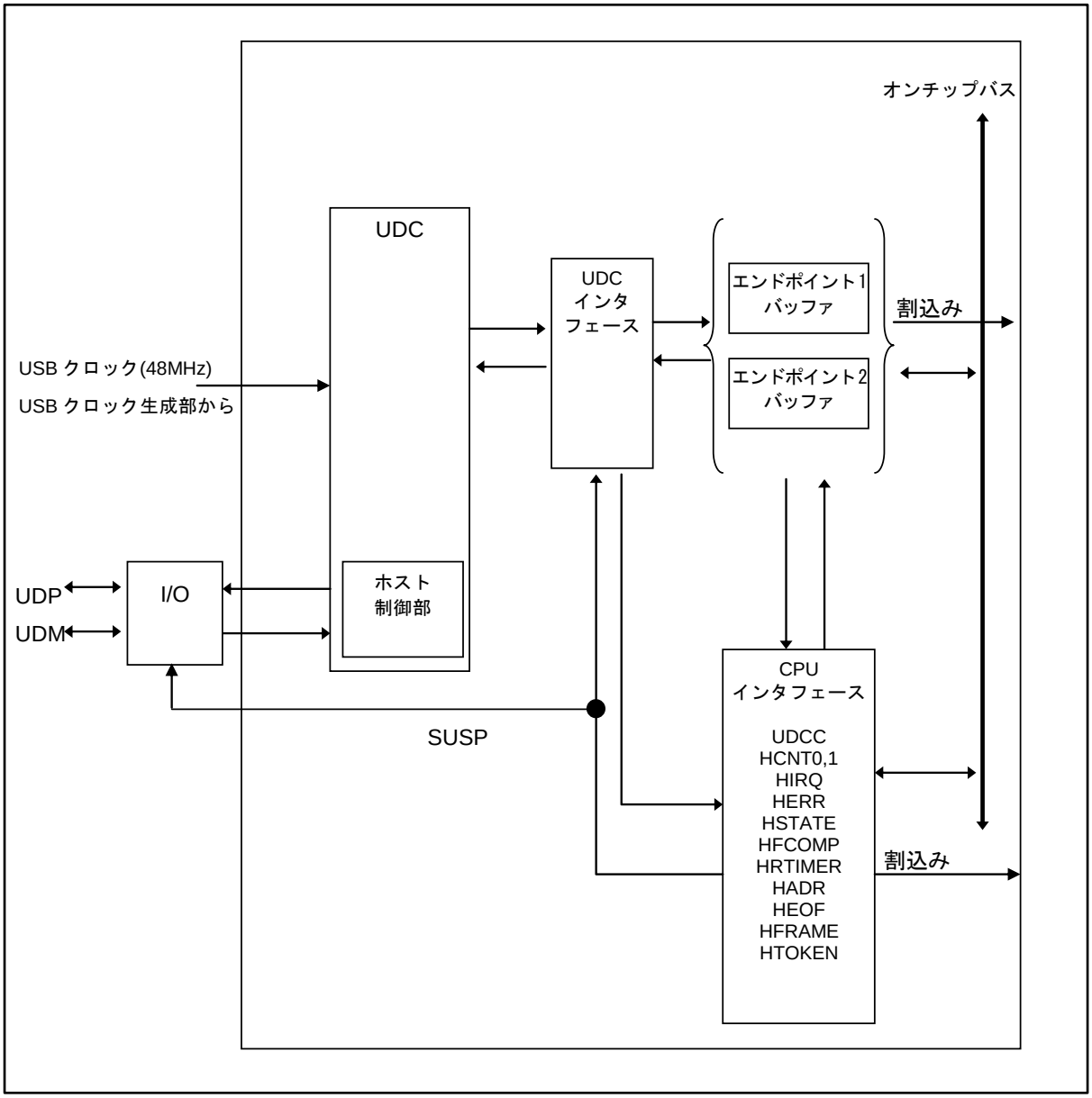
*: Full Speed のみ対応し、HUB は 1 段までのサポートです。

2. USB ホストの構成

Figure 2-1 に、USB ホストのブロックダイヤグラムを示します。

USB ホストのブロックダイヤグラム

Figure 2-1 USB ホストのブロックダイヤグラム



3. USB ホストの動作説明

USB ホストの動作について説明します。

3.1. デバイスの接続
3.2. USB バスのリセット
3.3. トークンパケット
3.4. データパケット
3.5. ハンドシェークパケット
3.6. リトライ機能
3.7. SOF 割込み
3.8. エラーステータス
3.9. パケット終了
3.10. サスペンド・リジューム
3.11. デバイスの切断

3.1 デバイスの接続

外部の USB 装置が接続されたことをソフトウェアで検出する方法を示します。

ホスト機能の設定

USB 動作させるためには、USB 許可レジスタ(USBEN)の USBEN ビットが 0(USB 動作禁止)の状態で、USB クロック生成部の設定を行い USB クロック出力は有効にしてください。次に、USBEN ビットを 1(USB 動作許可)に設定してください。その後にホストとして動作させるために、ホストコントロールレジスタ 0(HCNT0)の HOST ビットに 1 を設定してください。

外部 USB 装置が非接続の状態，接続の状態

外部 USB 装置が接続されていない時はプルダウン抵抗によりホスト用端子 D+, D-ともに"L"です。このとき、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットは 0、TMODE ビットは不定です。外部 USB 装置が接続されると、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットは 1 になります。

外部 USB 装置の接続検出

外部 USB 装置が接続されたことを検出すると、ホスト割込みレジスタ(HIRQ)の CNNIRQ ビットが"1"になります。このとき、ホストコントロールレジスタ 0(HCNT0)の CNNIRE ビットに 1 が設定されていると、デバイス接続割込みが発生します。この割込みをクリアするためには、ホスト割込みレジスタ(HIRQ)の CNNIRQ ビットに 0 を書き込んでください。割込みではなくポーリングでデバイスの接続を検出する場合は、以下のようにプログラムを作成してください。

1. ホストコントロールレジスタ 0(HCNT0)の CNNIRE ビットを"0"に設定
2. ホスト割込みレジスタ(HIRQ)の CNNIRQ が 1 に変わることを確認

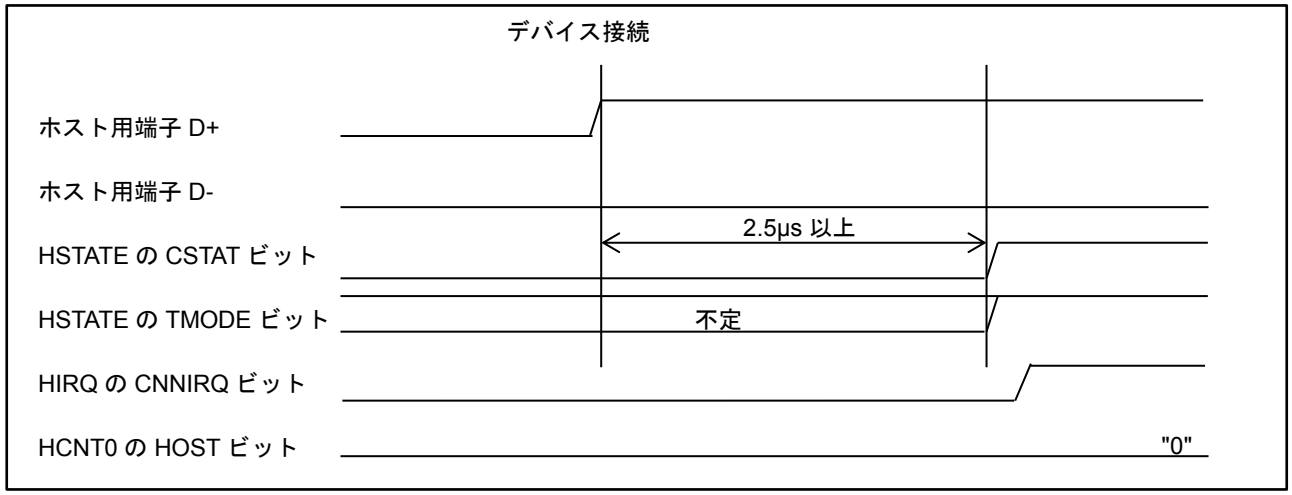
相手先 USB 装置の転送速度の取得とクロック選択

接続が検出された後、相手先 USB の転送可能速度を取得するためには、ホスト状態ステータスレジスタ(HSTATE)の TMODE の値を参照してください。転送速度とホスト状態ステータスレジスタ(HSTATE)の TMODE ビットの関係を以下に示します。

- 接続先が Full Speed 対応装置 → TMODE=1
- 接続先が Low Speed 対応装置 → TMODE=0

外部 USB 装置の転送速度を取得した後、UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、取得した転送速度に従ってホスト状態ステータスレジスタ(HSTATE)の CLKSEL ビットを更新してください。

Figure 3-1 Full Speed デバイスの接続検出タイミング例(HCNT0:HOST="0")



＜注意事項＞

- *外部の USB 装置が接続されてから 2.5 µs 以上経過した後に、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが"1"になります。*
- *ホスト状態ステータスレジスタ(HSTATE)の TMODE ビット, CSTAT ビットはホストコントロールレジスタ 0(HCNT0)の HOST ビットの設定にかかわらず更新されます。ホスト割込みレジスタ(HIRQ)の CNNIRQ ビット, DIRQ ビットは条件が成立すれば、1 になります。*

3.2 USB バスのリセット

ホストモード時、ホストコントロールレジスタ 0(HCNT0)の URST ビットに 1 を設定すると、10 ms 以上の SE0 を送出することで、USB バスがリセットされます。USB バスのリセットが完了するとホストコントロールレジスタ 0(HCNT0)の URST ビットが 0 となり、ホスト割込みレジスタ(HIRQ)の URIRQ ビットが"1"になります。そのときホストコントロールレジスタ 0(HCNT0)の URIRE ビットが 1 に設定されている場合、割込みが発生します。割込みをクリアするためにはホスト割込みレジスタ(HIRQ)の URIRQ ビットに 0 を書き込んでください。

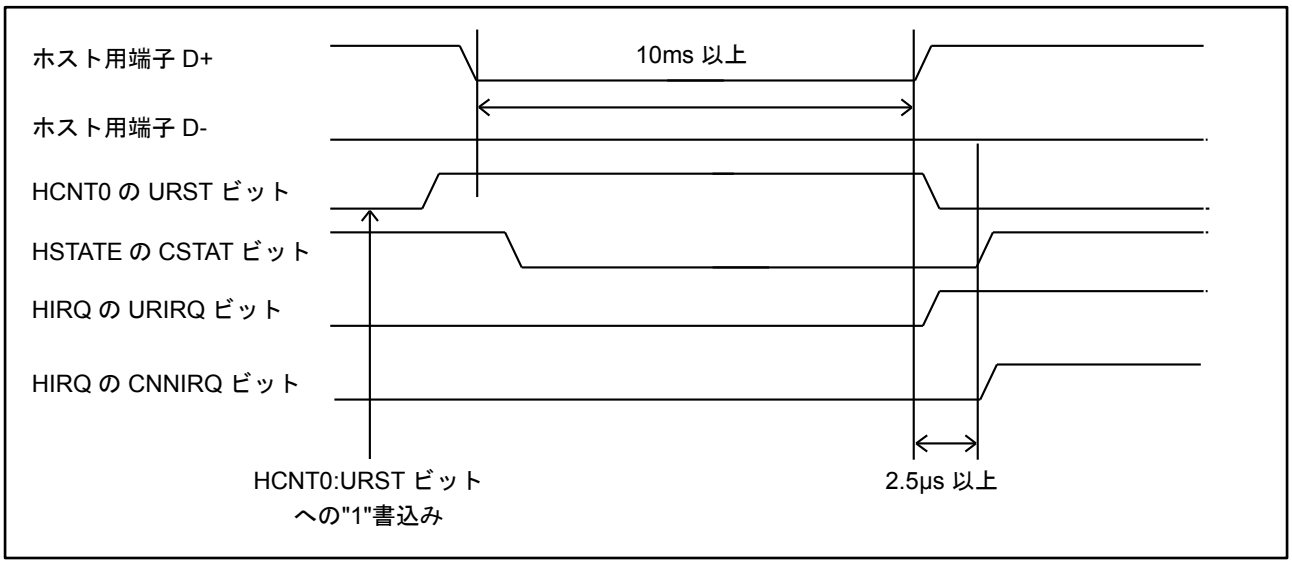
USB バスのリセット前後の注意点

USB バスのリセットについて以下の点に注意してください。

1. USB バスへのリセット前にデバイスが接続されていることを、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 1 になっていることで確認してください。
2. USB バスのリセットを実行すると、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットは 0 になるため、切断状態になります。そのとき、ホスト割込みレジスタ(HIRQ)の DIRQ ビットは 1 になりません。
3. USB バスへのリセットが終了後、ホスト状態ステータスレジスタ(HSTATE)の CLKSEL ビットと TMODE ビットを比較してください。不一致の場合、一致するように CLKSEL ビットを更新してください。更新するときには UDC 制御レジスタ(UDCC)の RST ビットが 1 のときに実施してください。
4. USB バスのリセットが終了後、以下のどちらかのビットで USB デバイスが接続されていることを確認してから、トークンを実行してください。

- ホスト割込みレジスタ(HIRQ)の CNNIRQ ビット
- ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビット

Figure 3-2 デバイスへのリセットタイミング例



<注意事項>

- *USB バスのリセット終了後、USB デバイスの接続が検出されないと、トークンは発行されません。*

3.3 トークンパケット

ホストモード時、IN トークン, OUT トークン, SETUP トークンのいずれかを実行する場合、下記フローに従って設定することによりトークンパケットを送出します。

1. ホストアドレスレジスタ(HADR)を設定
2. EP1 制御レジスタ(EP1C)または EP2 制御レジスタ(EP2C)の DIR ビット, PKS ビットを設定
3. ホストトークンエンドポイントレジスタ(HTOKEN)に必要データを設定

SOF トークン時は、FRAME 設定レジスタ(HFRAME), EOF 設定レジスタ(HEOF)設定後、ホストトークンエンドポイントレジスタ(HTOKEN)に必要データを設定してください。各種レジスタ(HADR, EP1C, EP2C, HFRAME, HEOF)に変更がない場合には、設定は不要です。

トークンパケットの設定

ホストモード時、送受信のバッファとしてエンドポイント 1 とエンドポイント 2 のバッファを使用してください。
IN トークン, OUT トークン, SETUP トークンの場合、目的のアドレスをホストアドレスレジスタ(HADR)に設定してください。次に、1 パケットの最大バイト数と転送方向を EP1 制御レジスタ(EP1C)または EP2 制御レジスタの PKS ビットと DIR ビットに設定してください。

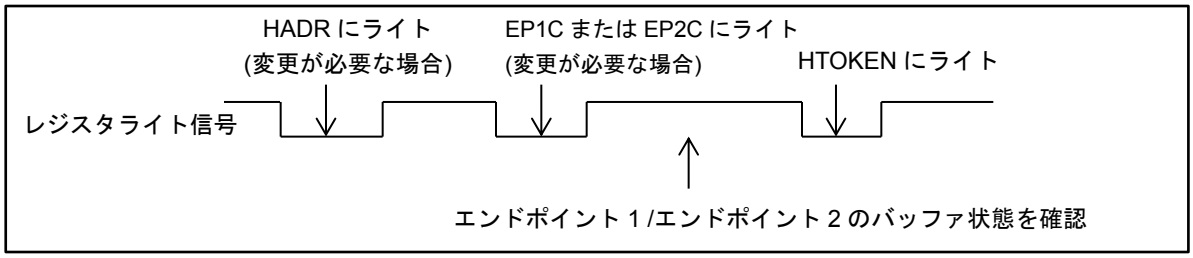
EP1 制御レジスタ(EP1C)の DIR ビットが"1"の場合、エンドポイント 1 のバッファは OUT 方向のバッファとして使用されます。エンドポイント 2 のバッファは IN 方向のバッファとして使用されます。このとき、EP2 制御レジスタ(EP2C)の DIR ビットに 0 を設定してください。
EP1 制御レジスタ(EP1C)の DIR ビットが 0 の場合、エンドポイント 1 のバッファは IN 方向のバッファとして使用されます。エンドポイント 2 のバッファは OUT 方向のバッファとして使用されます。このとき、EP2 制御レジスタ(EP2C)の DIR ビットに 1 を設定してください。

トークンを実行する場合、以下の手順で設定してください。

1. EP1 制御レジスタ(EP1C)と EP2 制御レジスタ(EP2C)の DIR ビットと PKS ビットを設定してください。
2. 使用するエンドポイント n(n は 1 または 2)が OUT 方向の場合、送信データをエンドポイント n(n は 1 または 2)のバッファに送信データを書き込んでください。また、EPn ステータスレジスタ(EPnS:n は 1 または 2)の DRQ ビットに 0 を設定してください。
   IN 方向の場合、EPn ステータスレジスタ(EPnS:n は 1 または 2)の DRQ ビットを読み出して 0 であることを確認してください。
3. ホストトークンエンドポイントレジスタ(HTOKEN)に、目的のエンドポイント, トークンおよびトグルデータを設定してください。

USB 回路は、その設定されたトークンにしたがって Sync, トークン, アドレス, エンドポイント, CRC5, EOP の順でトークンパケットを送出します(Sync, CRC5, EOP は自動)。1 パケット終了後、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが"1"となります。さらに、ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN が"0b000"になります(「3.7 SOF 割込み」を参照してください)。そのとき、ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが 1 の場合、割込みが発生します。割込みをクリアするにはホスト割込みレジスタ(HIRQ)の CMPIRQ ビットに 0 を書き込んでください。

Figure 3-3 IN/OUT/SETUP トークン実行までのレジスタの設定例



SOF トークンの場合、EOF 設定レジスタ(HEOF)および FRAME 設定レジスタ(HFRAME)に EOF 時間および FRAME 番号を設定し、ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに SOF トークンのコードを設定してください。Sync, SOF トークン, FRAME 番号, CRC5, EOP を送出し、ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 に設定され、FRAME 設定レジスタ(HFRAME)が+1 されます。また、このときホスト割込みレジスタ(HIRQ)の CMPIRQ も 1 に設定されることで、ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 0b000 にクリアされます。ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが"1"の場合、割込みが発生します。その後、自動的に発生する SOF の場合には、CMPIRQ による割込みは発生しません。トークン完了の割込みをクリアするにはホスト割込みレジスタ(HIRQ)の CMPIRQ に 0 を書き込んでください。
ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 の間、SOF は 1 ms ごとに自動的に送出されます。ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが"0"となる条件(SOF の停止条件)を以下に示します。

- ホスト状態レジスタ(HSTATE)の SOFBUSY ビットへの 0 書込み
- USB バスへのリセット(HCNT の URST ビットへの 1 書込み)
- ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットへの 1 書込み
- デバイスの切断(HSTATE の CSTAT ビットが 0 の場合)

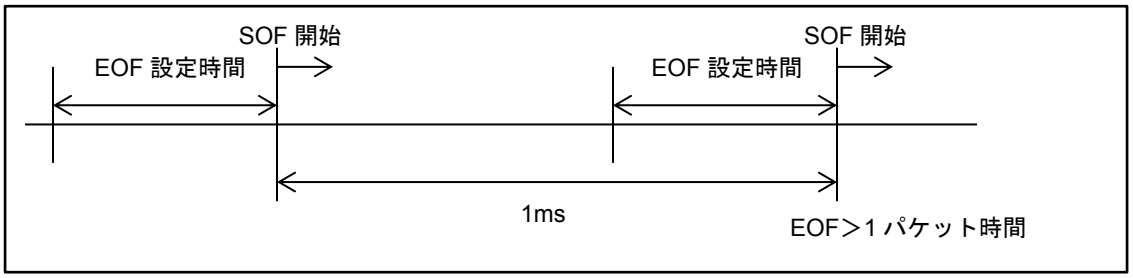
ホストモードからファンクションモードへ切り換える場合には、以下の手順で行ってください。

1. ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットへ 0 を設定する。
2. 以下の状態を確認する。
   - ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 0 にクリアされた
   - ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 000 になっている
   - ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが 0 になっている
3. UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定する。
4. ホストモードからファンクションモードへ切り換える。

ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットを再び 1 にするためには、SOF トークンをもう 1 度実行してください。

EOF 設定レジスタは、SOF とほかのトークンの同時実行を防止します。EOF 設定時間から SOF 開始時間までの間にホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに書き込んだ場合、設定したトークンはウェイトされます。さらに、SOF 実行後にウェイトしているトークンが実行されます。EOF 設定レジスタの時間単位は 1 ビット時間です。例えば EOF 設定レジスタに 0x10 と設定した場合、Full Speed モードでは 16×1/12 MHz=1333.3 ns です。Low Speed モードでは 16×1/1.5 MHz=10666.6 ns です。EOF 設定時間を 1 パケット時間より短く設定すると、他のトークン実行中に SOF 実行が重なる場合があります。この場合ホストエラーステータスレジスタ(HERR)の LSTSOF ビットが"1"に設定され SOF は実行しません。ホストエラーステータスレジスタ(HERR)の LSTSOF に 1 が設定された場合には、EOF 設定レジスタのデータを大きくしてください(EOF 設定レジスタのレジスタ説明を参照してください)。

Figure 3-4 SOF タイミング



3.4 データパケット

トークンパケット送出後にデータパケットを送信する場合、ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットにしたがってトグルデータを送出します。さらに EP1 制御レジスタ(EP1C)の DIR ビットによってエンドポイント 1 またはエンドポイント 2 のバッファデータ, CRC16 データ, EOP を送出します。
データパケットを受信する場合、ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットと受信したトグルデータを比較します。一致した場合には受信データを EP1 制御レジスタ(EP1C)の DIR ビットによってエンドポイント 1 またはエンドポイント 2 のバッファに振り分け、CRC16 のエラーを検査します。

データパケット

トークンパケット送出後、データパケットを以下の手順で実行します。

1. 送信の場合
   - Sync の自動送信
   - ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットが 0 の場合、DATA0 を送出し、TGGL ビットが"1"の場合、DATA1 を送出
   - EP1 制御レジスタ(EP1C)の DIR ビットが"1"の場合、エンドポイント 1 のバッファ、EP1 制御レジスタ(EP1C)の DIR ビットが 0 の場合、エンドポイント 2 のバッファを選択し、送信データをすべて送信
   - CRC 16 ビットを送信
   - EOP 2 ビットを送信
   - J State 1 ビットを送信

2. 受信の場合
   - Sync の受信
   - Toggle データを受信し、ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットと比較
   - Toggle データを比較した結果、一致すれば EP1 制御レジスタ(EP1C)の DIR ビットをチェック。DIR ビットが 1 の場合、エンドポイント 2 のバッファ、EP1 制御レジスタ(EP1C)の DIR ビットが 0 の場合、エンドポイント 1 のバッファを選択し、受信データを振り分けていく。
   - EOF を受信したとき、CRC 16 ビットを検査

ホストコントロールレジスタ 0(HCNT0)の HOST ビットが"1"のときには、EP1 制御レジスタ(EP1C)の DIR ビットと EP2 制御レジスタ(EP2C)の DIR ビットは反転させたデータを設定してください。例えば、EP1 制御レジスタ(EP1C)の DIR ビットに 0 を設定した場合、EP2 制御レジスタ(EP2C)の DIR ビットには 1 を設定します。

3.5 ハンドシェークパケット

ハンドシェークパケットにより、送受信相手に自分の状態を通知します。

ハンドシェークパケット

ハンドシェークパケットは、データ受信に対し正常に受信できる状態にあることを判断して、受信側から ACK, NAK, STALL のいずれかを送出します。そのとき、USB 回路がハンドシェークパケットを受信した場合は、受信したハンドシェークパケットの種類がホストエラーステータスレジスタ(HERR)の HS ビットに設定されます。ハンドシェークパケットを送信した場合は送信したハンドシェークパケットの種類がホストエラーステータスレジスタ(HERR)の HS ビットに設定されます。

3.6 リトライ機能

パケット終了時に NAK または CRC エラーなどのエラーが発生した場合、ホストコントロールレジスタ 1(HCNT1)の RETRY ビットに 1 を設定していると、リトライタイマレジスタ(HRTIMER)で設定された間、繰り返しリトライされます。

リトライ機能

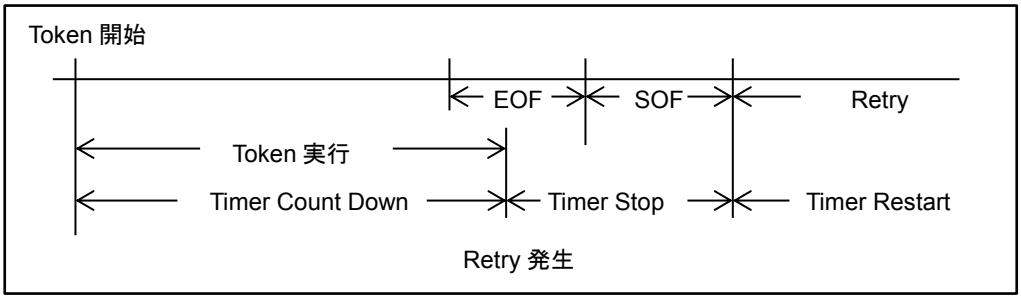
STALL およびデバイスの切断以外のエラー*が発生した場合、ホストコントロールレジスタ 1(HCNT1)の RETRY ビットが 1 の場合、そのトークンをリトライします。リトライの終了条件を以下に示します。

*: HERR:HS=01, HERR:RERR=1, HERR:TOUT=1, HERR:TGERR=1, HERR:CRC=1, HERR:STUFF=1

- ホストコントロールレジスタ 1(HCNT1)の RETRY ビットの 0 設定
- リトライタイマの 0 検出
- SOF による割込みフラグの発生(HIRQ の SOFIRQ=1)
- ACK の検出
- デバイスが切断されたことの検出

リトライタイマはトークン開始時に起動され、1 ビットの転送クロックにてカウントダウンされますが、EOF 領域内でリトライが発生した場合にはカウントは停止します。HIRQ の SOFIRQ ビットが 0 で SOF トークンが終了した場合には、停止したタイマ値からリスタートされます。リトライタイマが 0 となり、パケットが終了した時点で、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットに 1 が設定されます。

Figure 3-5 リトライタイマ動作(HIRQ の SOFIRQ="0")



リトライが終了したとき、その終了パケットの終了情報が各レジスタに設定されます。

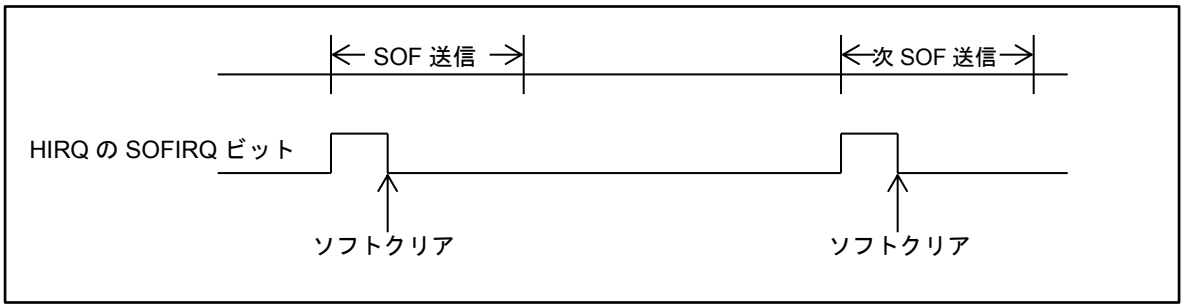
3.7 SOF 割込み

ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットおよび SOF 割込み FRAME 比較レジスタ(HFCOMP)によって、SOF 開始時にホスト割込みレジスタ(HIRQ)の SOFIRQ ビットは 1 に設定されます。そのとき、ホストコントロールレジスタ(HCNT0)の SOFIRE ビットを 1 に設定している場合は、割込みが発生します。ホストトークンエンドポイントレジスタ(HTOKEN)による SOF 実行ではホスト割込みレジスタ(HIRQ)の SOFIRQ ビットは 1 になりません。

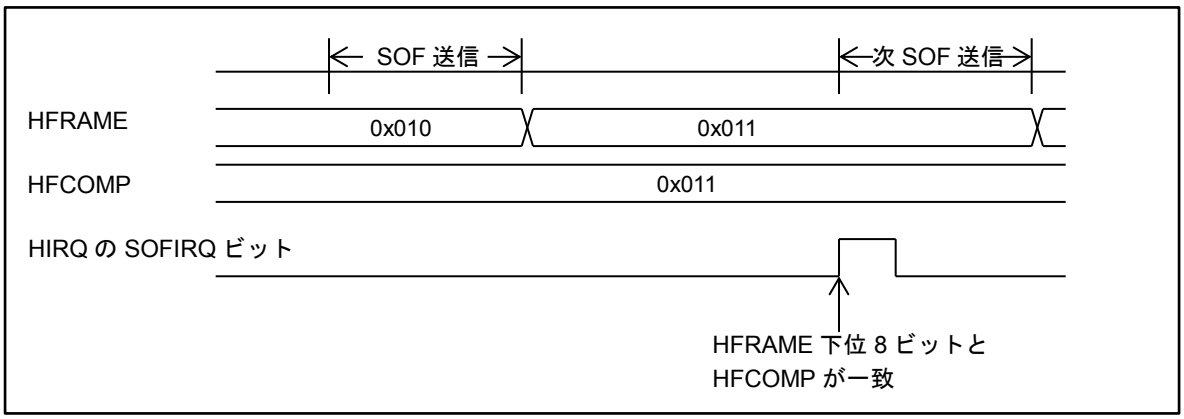
SOF 割込み

ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが 0 の場合、SOF 割込み FRAME 比較レジスタ(HFCOMP)と SOF トークン時の FRAME Number の下位 8 ビットとが比較されます。一致すると SOF を送出する時にホスト割込みレジスタ(HIRQ)の SOFIRQ ビットに 1 が設定されます。ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが 1 の場合、SOF を送出するごとにホストホスト割込みレジスタ(HIRQ)の SOFIRQ ビットに 1 が設定されます。

1. ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが 1 の場合



2. ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが 0 の場合



ホストコントロールレジスタ 1(HCNT1)の CANCEL ビットに 1 を設定すると、以下のタイミングでトークンの設定を行った場合、そのトークンは実行しません。

- EOF 領域内でホストトークンエンドポイントレジスタ(HTOKEN)に SOF トークン以外のトークンを設定した場合。

このタイミングでトークンを設定した場合、以下の動作になります。

- 次の SOF でホスト割込みレジスタ(HIRQ)の SOFIRQ が 1 になると同時にホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットは"0b000"にクリアされます。そのトークンは実行しません。

ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットは以下のタイミングでクリアされます。

そのとき、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットは"1"になりません。トークンがキャンセルされたことは、SOFIRQ ビットが"1"になったときにホスト割込みレジスタ(HIRQ)の TCAN ビットによって知ることができます。再度、トークンを実行したい場合には、ホスト割込みレジスタ(HIRQ)の TCAN ビットに"0"を書き込んでください。これによりホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに実行させたいトークンを書き込んでください。

ホストコントロールレジスタ 1(HCNT1)の CANCEL ビットに 0 を設定した場合には SOF 送信後、ホストトークンエンドポイントレジスタ(HTOKEN)に設定されたトークンを実行します。

Figure 3-6 HCNT1 の CANCEL ビット=1 のトークンキャンセル動作例

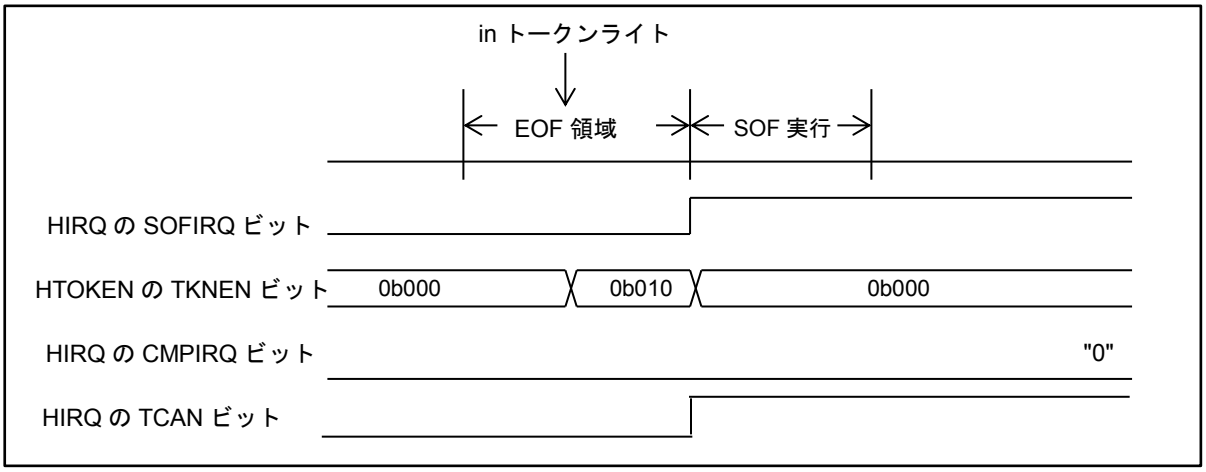
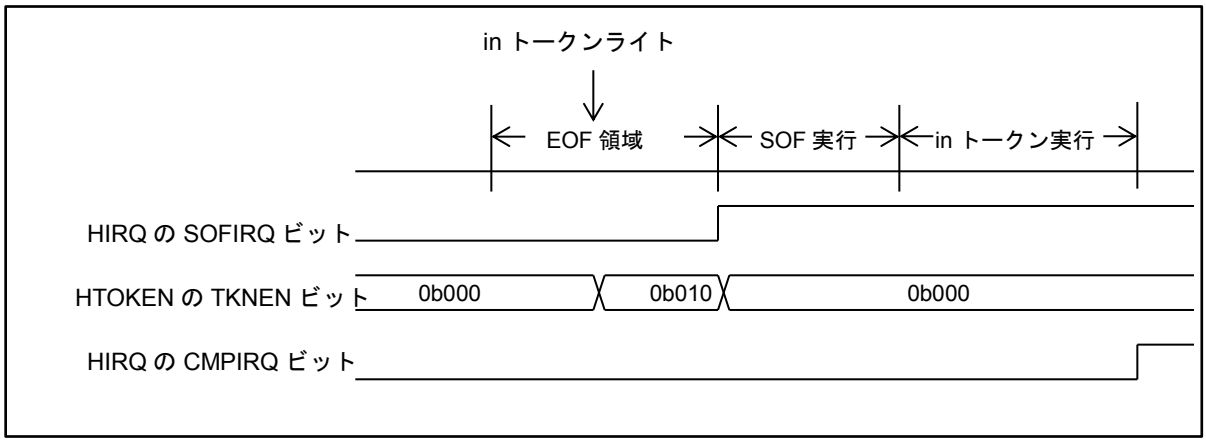


Figure 3-7 HCNT1 の CANCEL ビット=0 のトークン動作例



3.8 エラーステータス

USB ホストは各種エラー情報をサポートしています。

エラーステータス

1. Stuffing Error

   6 ビット連続 1 が発生した場合、0 を 1 ビット挿入します。もし 7 ビット連続 1 が検出された場合、Stuffing Error としてホストエラーステータスレジスタ(HERR)の STUFF ビットが 1 に設定されます。これをクリアするには STUFF ビットに"を書き込んでください。STUFF ビットをクリアせずに次のトークンを実行した場合には、STUFF ビットは次のトークンの終了時に要因が反映されます。

2. Toggle Error

   IN トークン時、データパケットの Toggle データとホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットを比較します。一致しなかった場合ホストエラーレジスタ(HERR)の TGERR ビットが 1 に設定されます。TGERR ビットをクリアするには、ホストエラーレジスタ(HERR)の TGERR ビットに 0 を書き込んでください。TGERR ビットをクリアせずに次のトークンを実行した場合には、TGERR ビットは次のトークンの終了時に要因が反映されます。

3. CRC Error

   IN トークン時点において、受信したデータパケットのデータおよび CRC を CRC の多項式 G(X)=X16+X15+X2+1 で計算します。この剰余が 0x800D ではない場合、CRC error が発生したことになり、ホストエラーレジスタ(HERR)の CRC ビットが 1 に設定されます。CRC bit をクリアするには、ホストエラーレジスタ(HERR)の CRC ビットに 0 を書き込んでください。CRC ビットをクリアせずに次のトークンを実行した場合には、CRC ビットは次のトークンの終了時に要因が反映されます。

4. Time Out Error

   以下のような場合に、ホストエラーステータスレジスタ(HERR)の TOUT ビットに 1 がセットされます。

   - 所定時間内にデータパケットやハンドシェークが入力されなかった場合
   - 受信データ中に SE0 が検出された場合
   - Stuffing Error が検出された場合

   TOUT ビットをクリアするには、ホストエラーレジスタ(HERR)の TOUT ビットに 0 を書き込んでください。TOUT ビットをクリアせずに次のトークンを実行した場合には、TOUT ビットは次のトークンの終了時に要因が反映されます。

5. Receive Error

   受信バッファとして EP1 が使用されている場合は EP1 制御レジスタ(EP1C)の PKS ビットが受信パケットサイズです。EP2 が使用されている場合は EP2 制御レジスタ(EP2C)の PKS ビットが受信パケットサイズです。その受信パケットサイズより多く受信データを受信した場合、ホストエラーステータスレジスタ(HERR)の RERR ビットが"1"に設定されます。RERR ビットをクリアするには、ホストエラーレジスタ(HERR)の RERR ビットに"0"を書き込んでください。RERR ビットをクリアせずに次のトークンを実行した場合には、RERR ビットは次のトークンの終了時に要因が反映されます。

3.9 パケット終了

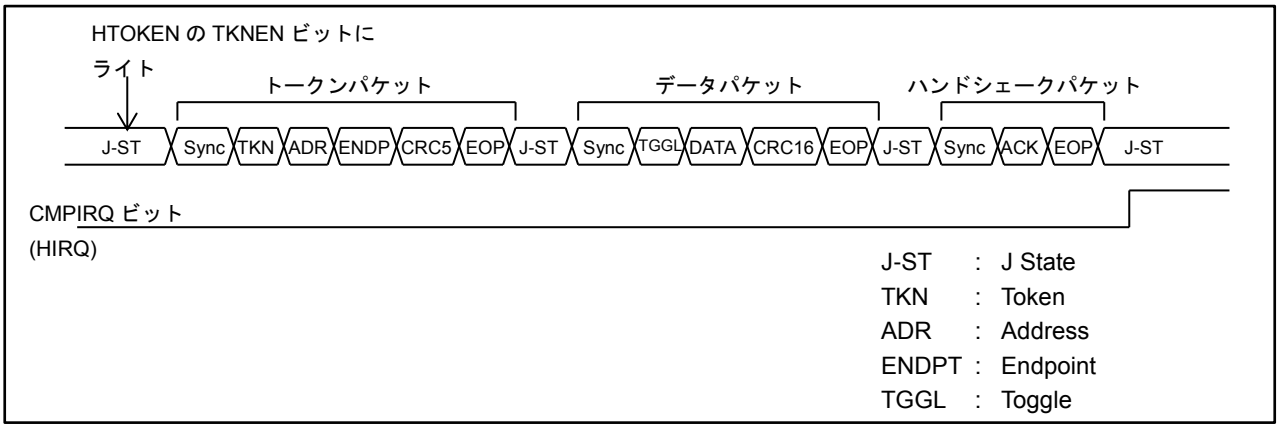
USB ホストにおいて 1 パケット終了すると、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 に設定されます。そのとき、ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが 1 の場合、割込みが発生します。

パケット終了タイミング

1 パケット終了すると、以下のタイミングで割込みフラグが発生します。

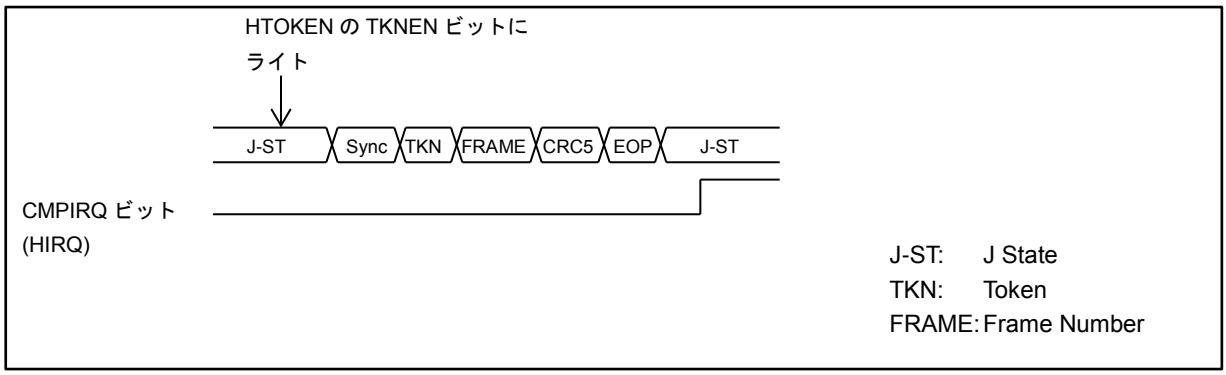
- ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 0b001, 0b010, 0b011 のとき(SETUP トークン, IN トークン, OUT トークン)

Figure 3-8 ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットセットタイミング例 1



ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 0b100 のとき(SOF トークン)

Figure 3-9 ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットセットタイミング例 2(SOF トークン)



3.10 サスペンド・リジューム

USB ホストにおけるサスペンドおよびリジュームをサポートしています。

サスペンド動作

ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットに 1 を書き込むと、以下の順に実行し、USB 回路はサスペンド状態になります。

- USB バスのハイインピーダンス状態
- クロックが必要ない回路ブロックの停止

サスペンド状態になった場合には、ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが 1 に設定されます。

USB バスへのリセット中において、以下は禁止です。

- ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 のときやデータの送受信中にサスペンドに設定
- サスペンド中 USB へ供給しているクロックを停止

クロックを停止させる動作を以下に示します。

1. ストップモードまたはタイマモードへの遷移
2. USB クロック設定レジスタ(UCCR)の UCEN ビットを 0 に設定する。

リジューム動作

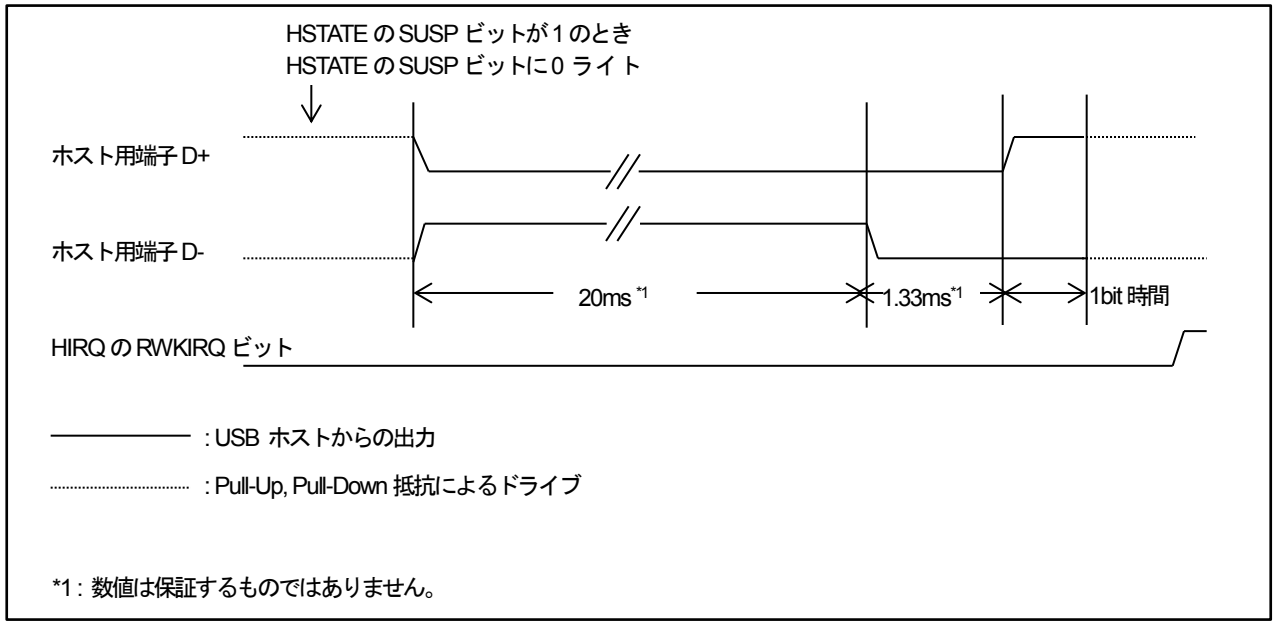
以下のいずれかが成立したとき、Suspend 状態から Resume の動作を開始します。

- ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットに"0"をライト
- ホスト用端子 D+, ホスト用端子 D-が K State になったことを検出
- デバイスが切断されたことを検出
- デバイスが接続されたことを検出

ホスト割込みレジスタ(HRQ)の RWKIRQ ビットが 1 に設定された後、トークンの発行が可能となります。各条件による動作タイミングを以下に示します。

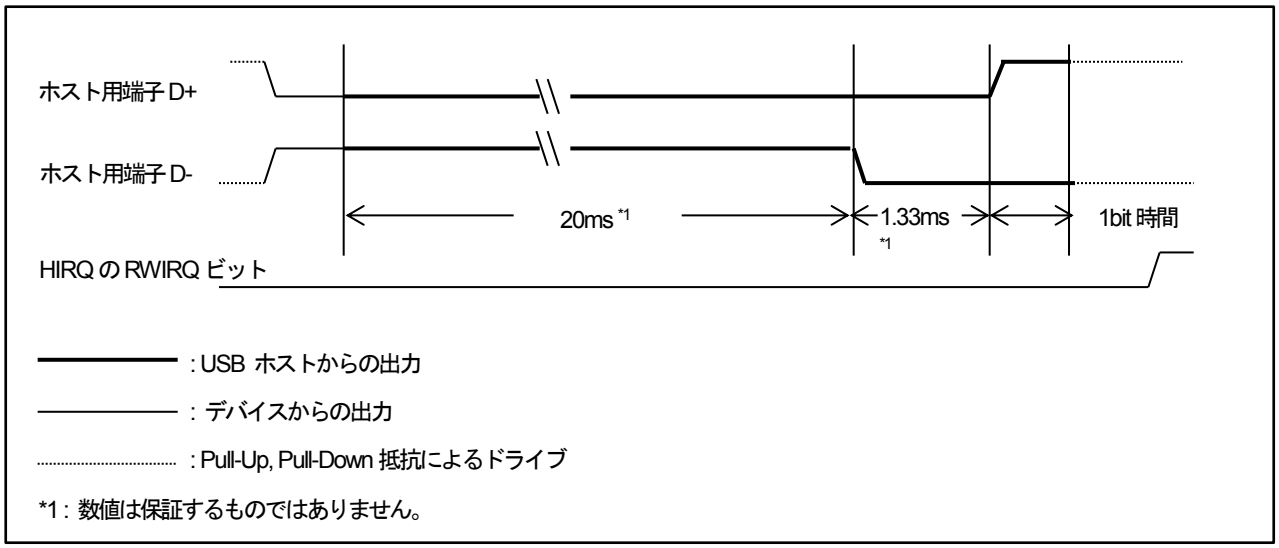
- ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットに 0 をライト

Figure 3-10 レジスタによるリジューム動作(Full Speed モード時)



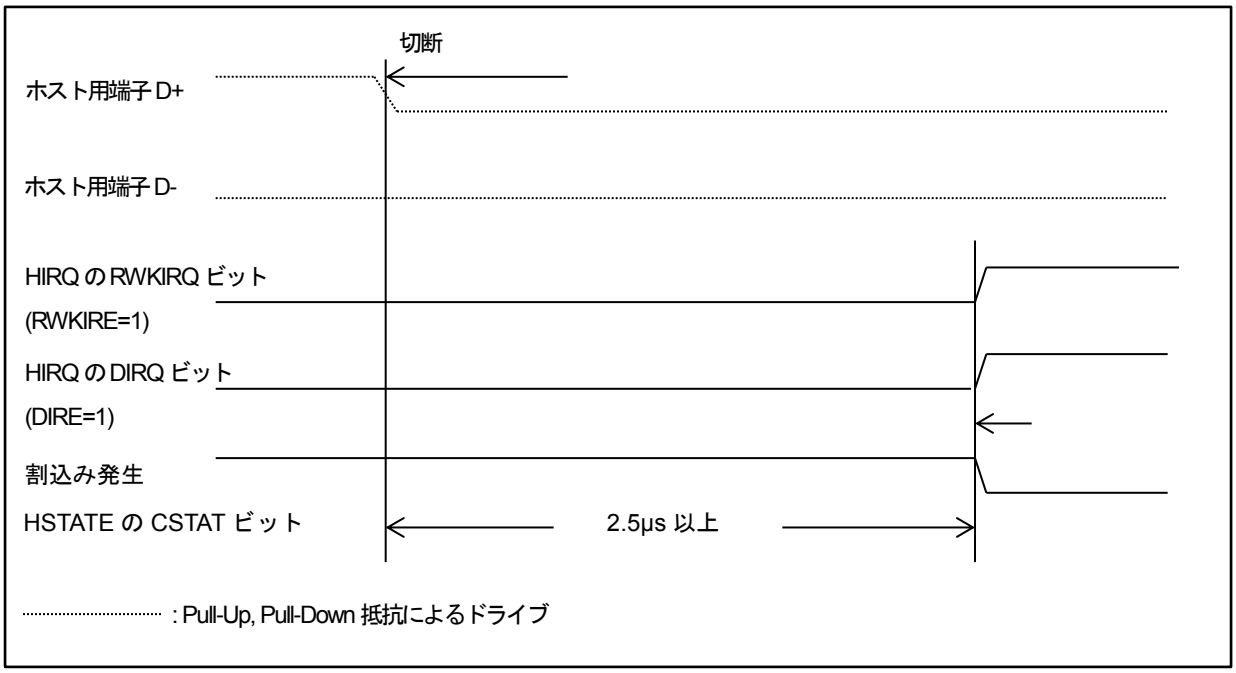
■ ホスト用端子 D+, ホスト用端子 D-が K State になったことを検出

Figure 3-11 デバイスからのリジューム動作(Full Speed モード)



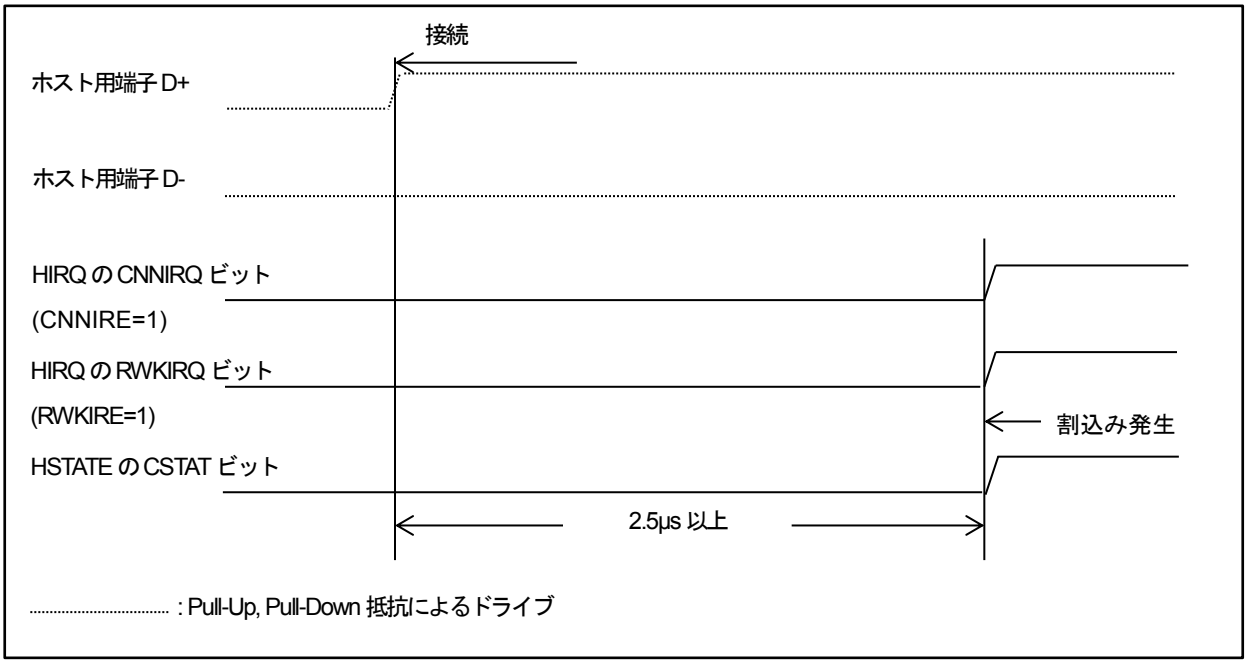
■ デバイスが切断されたことを検出

Figure 3-12 デバイス切断によるリジューム動作



■ デバイスが接続されたことを検出

Figure 3-13 デバイス接続によるリジューム動作(Full Speed モード)



3.11 デバイスの切断

ホスト用端子 D+, D-ともに L になると切断タイマが起動されます。2.5 µs 以上 L を検出した場合、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 0 になります。

デバイスの切断

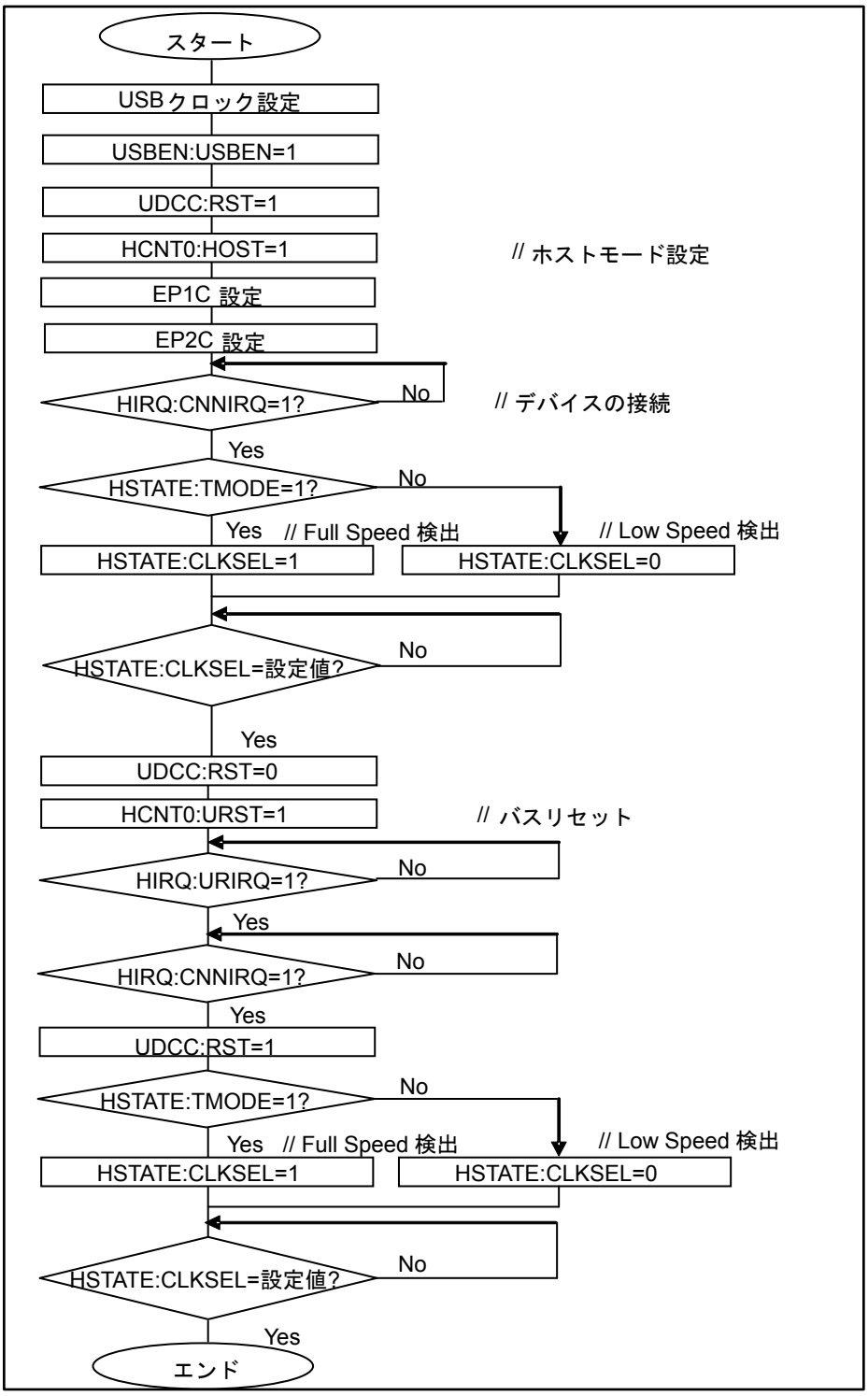
ホストモード, ファンクションモードに関係なくホスト用端子 D+, ホスト用端子 D-が両方とも 2.5 µs 以上 L を検出すると、デバイスが切断されたと判断されます。この結果、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 0 となり、ホスト割込みレジスタ(HIRQ)の DIRQ ビットは 1 に設定されます。そのときホストコントロールレジスタ 0(HCNT0)の DIRE ビットが"1"の場合、割込みが発生します。その割込みをクリアしたい場合には、ホスト割込みレジスタ(HIRQ)の DIRQ ビットに 0 を書き込んでください。

USB バスへのリセットを実行すると切断されたと判断されます。この場合、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 0 になりますが、ホスト割込みレジスタ(HIRQ)の DIRQ ビットは 1 になりません。

4. USB ホストの設定手順例

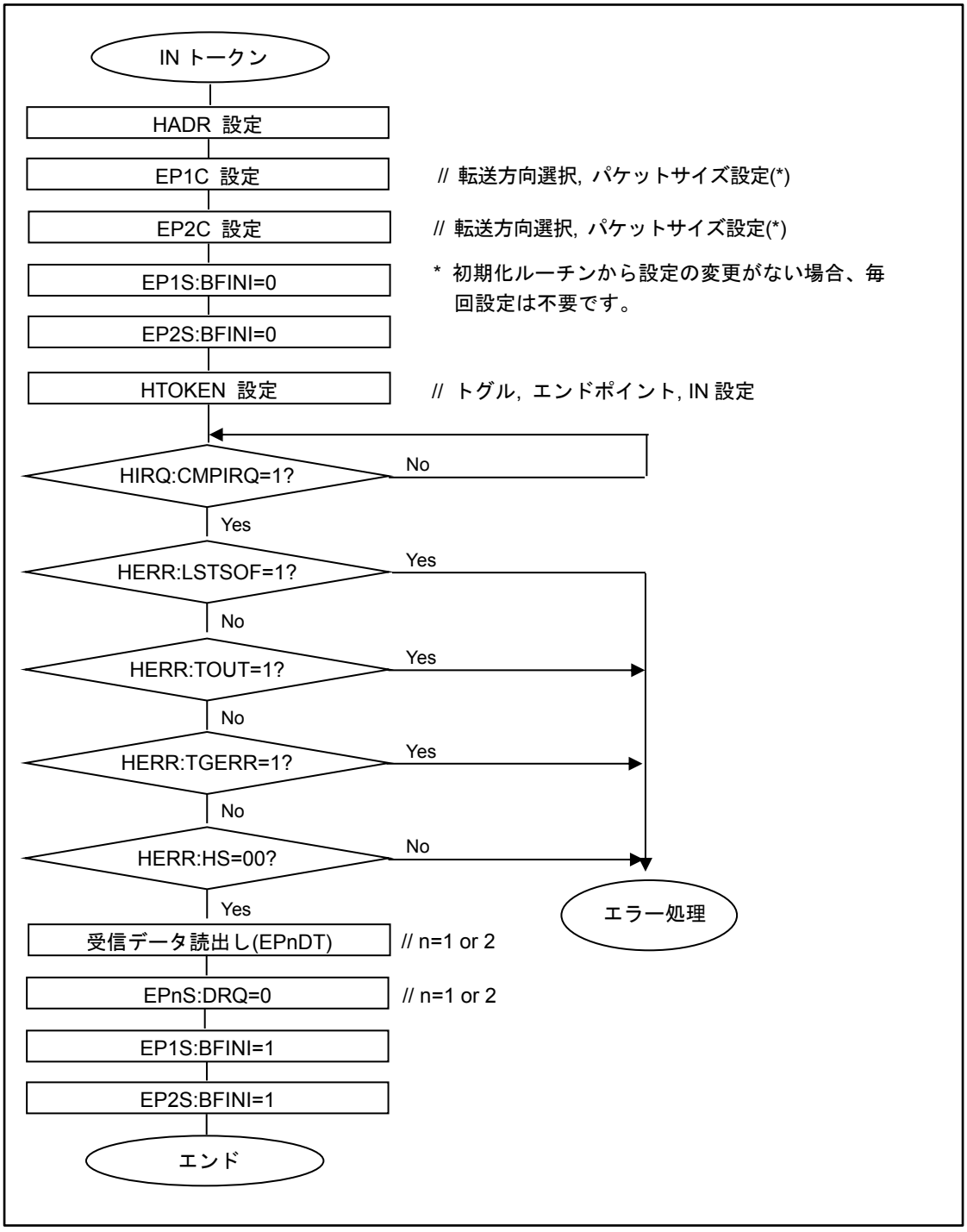
USB ホストの各トークンのフローチャートを以下に示します。

初期化，デバイス検出

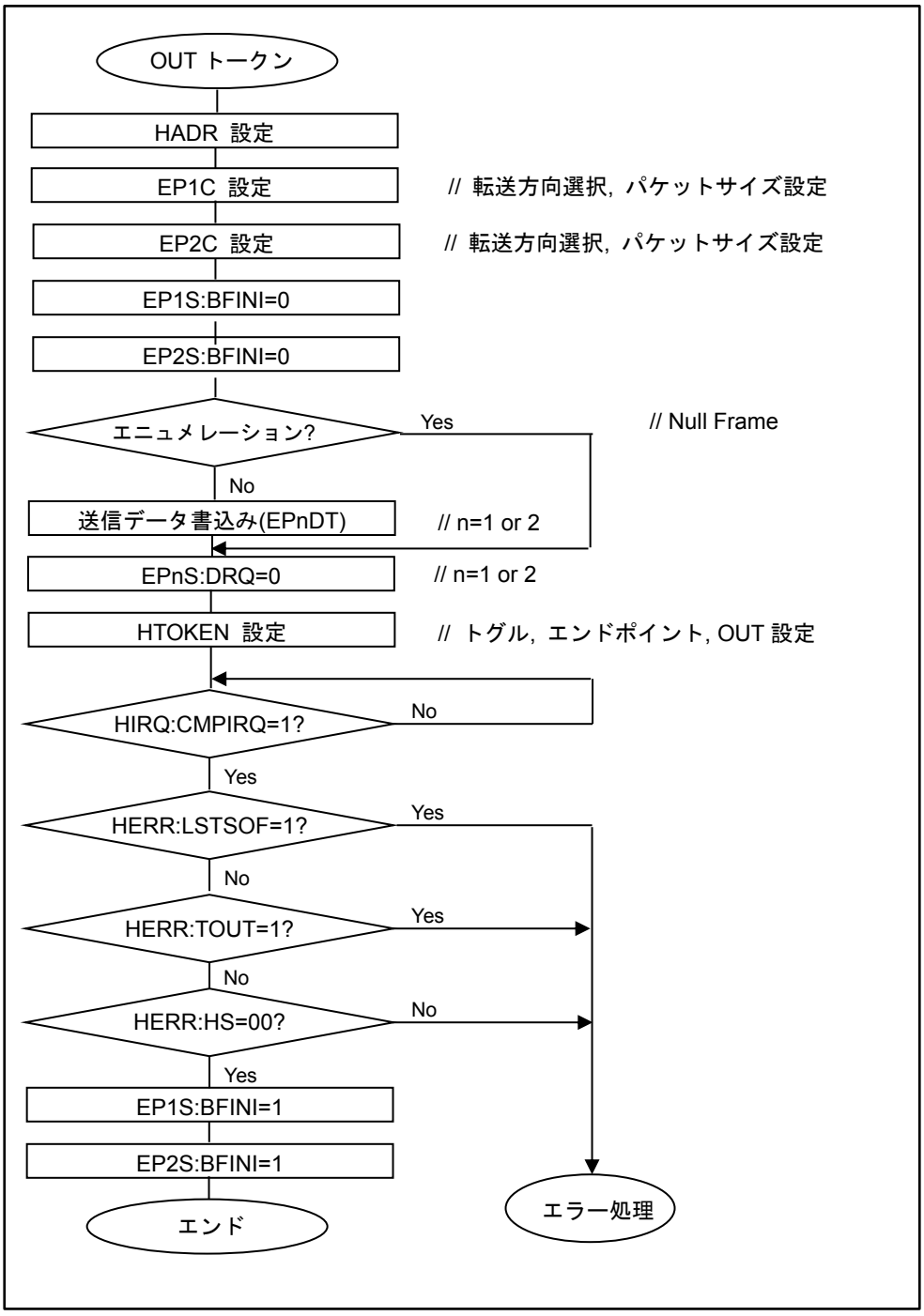


IN, OUT, SETUP トークン

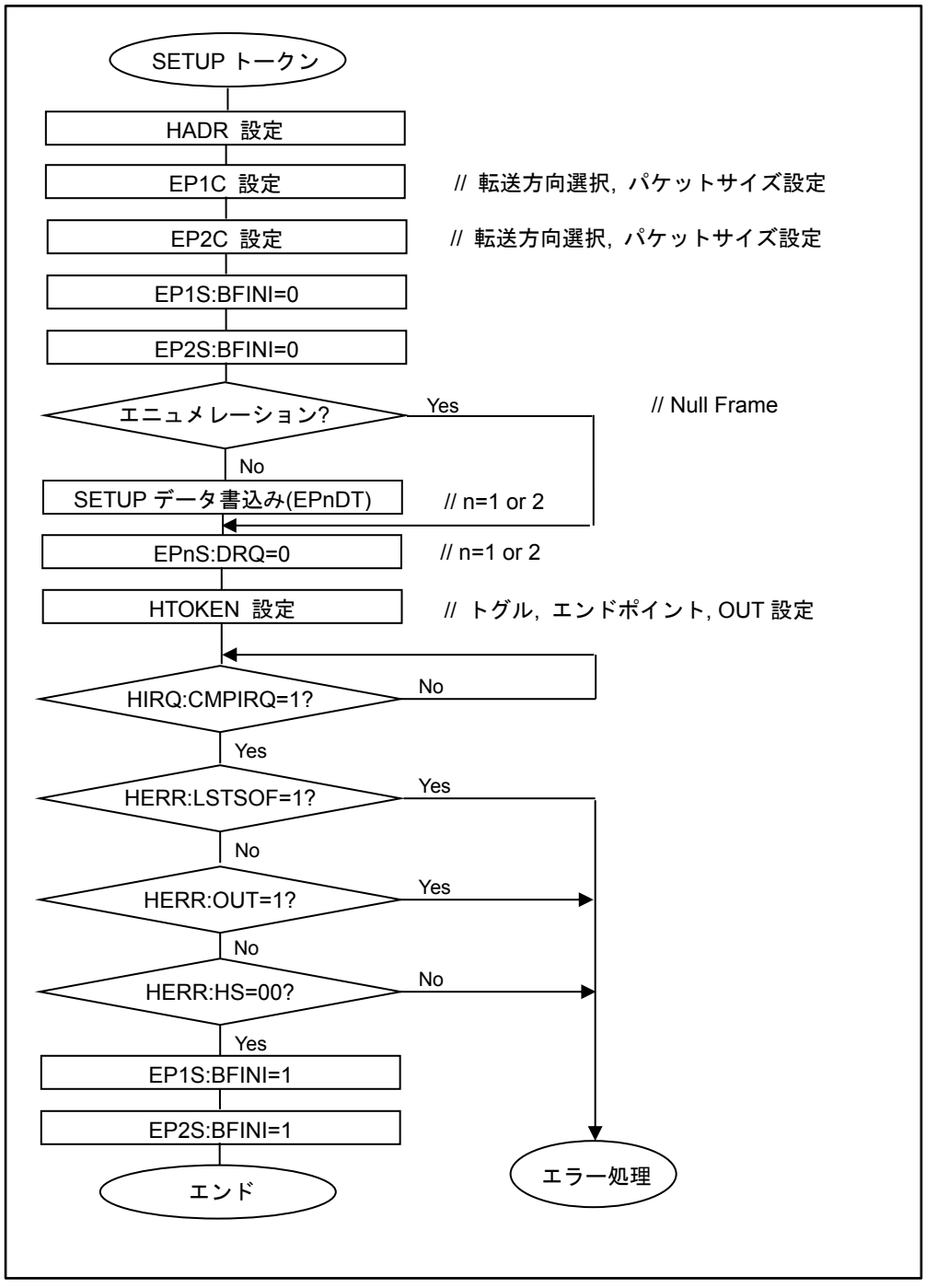
■ IN トークン



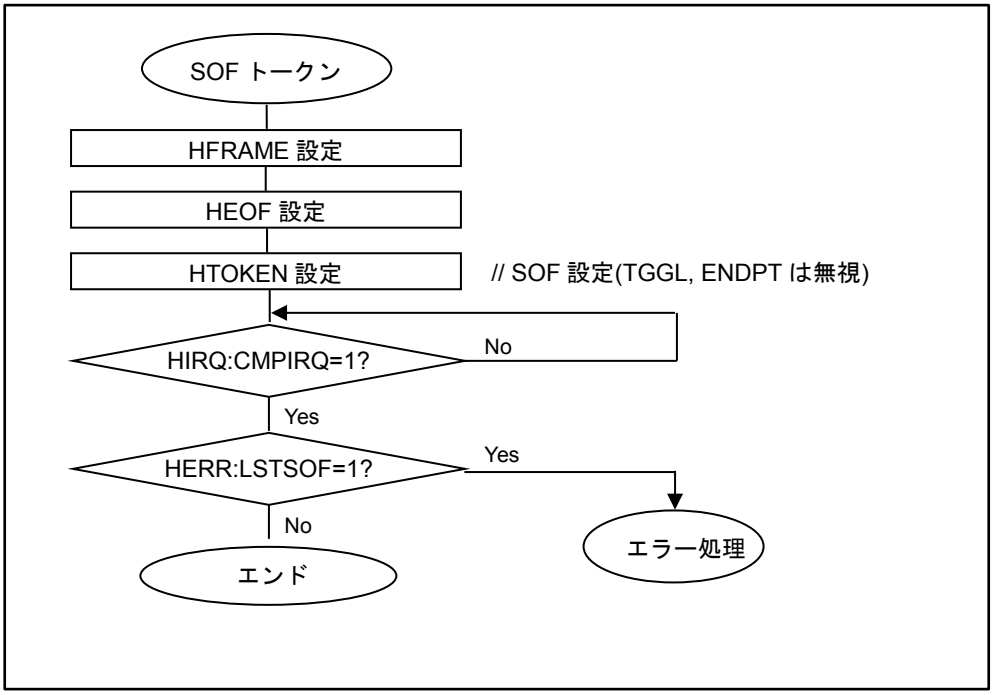
■ OUT トークン


OUT トークン
HADR 設定
EP1C 設定
// 転送方向選択，パケットサイズ設定
EP2C 設定
// 転送方向選択，パケットサイズ設定
EP1S:BFINI=0
EP2S:BFINI=0
エニュメレーション?
Yes
// Null Frame
No
送信データ書込み(EPnDT)
// n=1 or 2
EPnS:DRQ=0
// n=1 or 2
HTOKEN 設定
// トグル，エンドポイント, OUT 設定
HIRQ:CMPIRQ=1?
No
Yes
HERR:LSTSOF=1?
Yes
No
HERR:TOUT=1?
Yes
No
HERR:HS=00?
No
Yes
EP1S:BFINI=1
EP2S:BFINI=1
エンド
エラー処理

■ SETUP トークン


SETUP トークン
HADR 設定
EP1C 設定
// 転送方向選択，パケットサイズ設定
EP2C 設定
// 転送方向選択，パケットサイズ設定
EP1S:BFINI=0
EP2S:BFINI=0
エニュメレーション?
Yes
// Null Frame
No
SETUP データ書込み(EPnDT)
// n=1 or 2
EPnS:DRQ=0
// n=1 or 2
HTOKEN 設定
// トグル，エンドポイント, OUT 設定
HIRQ:CMPIRQ=1?
No
Yes
HERR:LSTSOF=1?
Yes
No
HERR:OUT=1?
Yes
No
HERR:HS=00?
No
Yes
EP1S:BFINI=1
EP2S:BFINI=1
エンド
エラー処理

SOF トークン


SOF トークン
HFRAME 設定
HEOF 設定
HTOKEN 設定
// SOF 設定(TGGL, ENDPT は無視)
HIRQ:CMPIRQ=1?
No
Yes
HERR:LSTSOF=1?
Yes
No
エラー処理
エンド

5. USB ホストのレジスタ

USB ホストで使用するレジスタの構成と機能について説明します。

USB ホストのレジスター覧

レジスタ略称	レジスタ名	参照先
UDCC	UDC 制御レジスタ	*
EP1C	EP1 制御レジスタ	*
EP2C	EP2 制御レジスタ	*
EP1S	EP1 ステータスレジスタ	*
EP2S	EP2 ステータスレジスタ	*
EP1DTH	EP0 データレジスタ上位	*
EP1DTL	EP0 データレジスタ下位	*
EP2DTH	EP0 データレジスタ上位	*
EP2DTL	EP0 データレジスタ下位	*
HCNT0	ホストコントロールレジスタ 0	5.1
HCNT1	ホストコントロールレジスタ 1	5.1
HIRQ	ホスト割込みレジスタ	5.2
HERR	ホストエラーステータスレジスタ	5.3
HSTATE	ホスト状態ステータスレジスタ	5.4
HFCOMP	SOF 割込み FRAME 比較レジスタ	5.5
HRTIMER	リトライタイマ設定レジスタ	5.6
HADR	ホストアドレスレジスタ	5.7
HEOF	EOF 設定レジスタ	5.8
HFRAME	FRAME 設定レジスタ	5.9
HTOKEN	ホストトークンエンドポイントレジスタ	5.10

*: 『USB ファンクション』の章を参照してください。

レジスタビット更新タイミングの UDCC:RST 依存性一覧

	レジスタ	ビット
UDCC:RST=1 のときに更新しなければいけないレジスタビット	HCNT0	HOST
	HSTATE	CLKSEL
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
UDCC:RST=1 のときに初期化されるレジスタビット (UDCC:RST=0 のときに更新してください。)	HCNT0	URST
	HIRQ	TCAN, RWKIRQ, URIRQ, CMPIRQ, CNNIRQ, DIRQ, SOFIRQ
	HERR (全ビット)	LSTSOF, RERR, TOUT, CRC, TGERR, STUFF, HS
	HSTATE	SOFBUSY, SUSP
	HFRAME	FRAME0, FRAME1
	HTOKEN (全ビット)	TGGL, TKNEN, ENDPT
	EP1S	BFINI, DRQ, SPK
	EP2S	BFINI, DRQ, SPK
UDCC:RST に影響されないレジスタビット	HCNT0	RWKIRE, URIRE, CMPIRE, CNNIRE, DIRE, SOFIRE
	HCNT1	SOFSTEP, CANCEL, RETRY
	HIRQ	CNNIRQ, DIRQ
	HFCOMP	HFRAMECOMP
	HSTATE	TMODE, CSTAT
	HRTIMER0, 1, 2	RTIMER0, 1, 2
	HADR	Address
	HEOF	EOF0, 1

5.1 ホストコントロールレジスタ 0, 1(HCNT)

ホストコントロールレジスタ 0, 1(HCNT)は、USB の動作モードおよび割込みの設定を指定します。

ホストコントロールレジスタ 1(HCNT1)

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	SOFSTEP	CANCEL	RETRY
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1
リセット可否*	×	×	×	×	×	×	×	×

*: UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

ホストコントロールレジスタ 0(HCNT0)

bit	7	6	5	4	3	2	1	0
Field	RWKIRE	URIRE	CMPIRE	CNNIRE	DIRE	SOFIRE	URST	HOST
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
リセット可否*	×	×	×	×	×	×	○	×

*: UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15:11] 予約 : 予約ビット

必ず 0 を設定してください。

[bit10] SOFSTEP (SOF STEP) SOF 割込み発生選択ビット

SOF 割込み発生選択ビットです。

本ビットに 1 を設定した場合、SOF を実行するごとに SOF による割込みフラグ(HIRQ:SOFIRQ)が"1"に設定されます。

本ビットに 0 を設定した場合､SOF 割込み FRAME 比較レジスタ(HFCOMP)の設定値と SOF の FRAME Number の下位 8 ビットと比較し、一致した場合、SOF による割込みフラグ(HIRQ:SOFIRQ)が 1 に設定されます。

bit	説明
0	HFCOMP の設定により割込み発生
1	割込み発生

<注意事項>

- *ホストトークンエンドポイントレジスタ(HTOKEN)により SOF トークン(TKNEN=001)を実行した場合、本ビットの設定に関係なく、SOF による割込みフラグ(HIRQ:SOFIRQ)は 1 になりません。*
- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit9] CANCEL (token CANCEL enable) トークン中止許可ビット

トークン中止許可ビットです。

本ビットに 1 を設定した場合、EOF 領域(EOF 設定レジスタで領域設定)でホストトークンエンドポイントレジスタ(HTOKEN)に実行するトークンが書き込まれると、そのトークンの実行を中止します。本ビットに"0"を設定した場合、実行するトークンが書き込まれても実行を中止しません。トークンの実行を中止したことは、ホスト割込みレジスタ(HIRQ)の TCAN ビットを読み出すことによってわかります。

Bit	説明
0	トークン継続
1	トークン中止

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit8] RETRY (RETRY enable) リトライ許可ビット

リトライ許可ビットです。

本ビットに 1 を設定した場合、NAK および各種エラー*が発生すると、そのトークンのリトライを実行します。リトライはリトライタイマ設定レジスタ(HRTIMER)で設定された時間だけ実行します。

*: HERR:RERR=1, HERR:TOUT=1, HERR:CRC=1, HERR:TGERR=1, HERR:STUFF=1

bit	説明
0	リトライしない
1	リトライする

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit7] RWKIRE (Remove WaKe up Interrupt Request Enable) リジューム割込み許可ビット

リジューム割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の RWKIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の RWIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	再起動後割込み禁止
1	再起動後割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。*

[bit6] URIRE (Usb bus Rest Interrupt Request Enable) バスリセット割込み許可ビット

バスリセット割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の URIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の URIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	USB バスリセット後割込み禁止
1	USB バスリセット後割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit5] CMPIRE (CoMPletion Interrupt Request Enable) トークン完了割込み許可ビット

トークン完了割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	完了時割込み禁止
1	完了時割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit4] CNNIRE (CoNNection Interrupt Request Enable) Device 接続検出割込み許可ビット

Device 接続検出割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の CNNIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定するとホスト割込みレジスタ(HIRQ)の CNNIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	デバイス接続時割込み禁止
1	デバイス接続時割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit3] DIRE (Disconnection Interrupt Request Enable) Device 切断検出割込み許可ビット

Device 切断検出割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の DIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の DIRQ ビットが 1 になっても割込みが発生しません。

bit	説明
0	デバイス切断時割込み禁止
1	デバイス切断時割込み許可

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit2] SOFIRE (Start Of Frame Interrupt Request Enable) SOF 割込み許可ビット

SOF 割込み許可ビットです。

本ビットに 1 を設定した場合、ホスト割込みレジスタ(HIRQ)の SOFIRQ ビットが 1 になると割込みが発生します。本ビットに 0 を設定した場合、ホスト割込みレジスタ(HIRQ)の SOFIRQ ビットが 1 になっても割込みは発生しません。

bit	説明
0	SOF 送信時に割込み禁止
1	SOF 送信時に割込み許可

＜注意事項＞

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

[bit1] URST (Usb bus ReSeT) バスリセットビット

バスリセットビットです。

本ビットに 1 を設定するとバスリセットを実行します。バスリセット実行中、本ビットは 1 を示し、バスリセットが終了すると本ビットは 0 となります。本ビットに 0 を設定した場合には、何も行いません。

bit	説明
0	USB バス状態保持
1	バスリセット

＜注意事項＞

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 の状態で、本ビットに 1 を設定しても何も実行しません。*
- *ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが 1 またはトークン実行中に本ビットに 1 を設定することは禁止です。*
- *本ビットが 1 の間、ホストコントロールレジスタ(HCNT0, 1)への書込みは禁止です。*

[bit0] HOST (HOST mode) ホストモードビット

ホストモードビットです。

本ビットに 1 を設定するとホストとして動作します。本ビットに 0 を設定した場合、ファンクションとして動作します。

bit	説明
0	ファンクションモード
1	ホストモード

＜注意事項＞

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *本ビットの変更は UDC 制御レジスタ(UDCC)の RST ビットが 1 のときに行ってください。*
- *本ビットによって動作モードを変更した場合、すぐにその動作モードに切り替わりません。本ビットを読み出し、動作モードが切り替わったことを確認してください。*
- *ホストモードからファンクションモードに変更する場合、以下の条件を満たしていることを確認し、UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定してから変更してください。*
- *ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 0 である。*
- *ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 000 である。*
- *ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが 0 である。*
- *ファンクションモードからホストモードに変更する場合、UDC 制御レジスタ(UDCC)の HCONX ビットに 1 を設定してホストまたは HUB を切断状態にして変更してください。*

5.2 ホスト割込みレジスタ(HIRQ)

ホスト割込みレジスタ(HIRQ)は、USB ホストの割込み要求フラグを示します。TCAN ビットを除いてホストコントロールレジスタ(HCNT0, 1)の割込み許可ビットの設定により、割込みを発生させられます。

ホスト割込みレジスタ(HIRQ)はバイトでアクセスしてください。

bit	7	6	5	4	3	2	1	0
Field	TCAN	予約	RWKIRQ	URIRQ	CMPIRQ	CNNIRQ	DIRQ	SOFIRQ
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
リセット可否*	○	○	○	○	○	×	×	○

*: UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit7] TCAN (Token CANcel flag) トークン中止フラグ

トークン中止フラグです。

本ビットが 1 になるとホストコントロールレジスタ 1(HCNT1)の CANCEL ビットにしたがってトークンの実行が中止されたことを示します。本ビットが 0 のときは、トークンの実行が中止されなかったことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	トークン中止なし
1	トークン中止あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *本ビットによる割込みは発生しません。したがって割込みで処理したい場合、SOF による割込み処理の中でトークンが中止されたか確認してください。*

[bit6] 予約 : 予約ビット

必ず 0 を設定してください。

[bit5] RWKIRQ (Remove WaKe up Interrupt ReQuest) リモートウェイクアップ終了フラグ

リモートウェイクアップ終了フラグです。

本ビットが 1 になるとリモートウェイクアップが終了したことを示します。本ビットが"0"の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の RWKIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	再起動による割込み要求なし
1	再起動による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit4] URIRQ (Usb bus Reset Interrupt ReQuest) バスリセット終了フラグ

バスリセット終了フラグです。

本ビットが 1 になると USB バスへのリセットが終了したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の URIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	USB バスリセットによる割込み要求なし
1	USB バスリセットによる割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit3] CMPIRQ (CoMPletion Interrupt ReQuest) トークン完了フラグ

トークン完了フラグです。

本ビットが 1 になるとトークンが完了したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは"0"になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	トークン完了による割込み要求なし
1	トークン完了による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *ホスト割込みレジスタ(HIRQ)の TCAN ビットが 1 になっても本ビットは 1 になりません。*
- *N トークンまたは Isochronous IN トークン完了により本ビットが 1 になった場合、以下の処理を行ってください。*

  1).ホストエラーステータスレジスタ(HERR)の HS ビットを読み出します。その後、本ビットに 0 を設定してください。

  2).ホストエラーステータスレジスタ(HERR)の HS ビットが 00 の時、EPn ステータスレジスタ(EPnS)(n=1 or 2)の DRQIE ビットに 1 を設定し、DRQ ビットが 1 になるのを待ちます。HS ビットが 00 以外の時、IN トークンの処理を終了します。

  3).EPn ステータスレジスタ(EP2S)(n=1 or 2)の DRQ ビットが 1 になった場合、受信データを読み出します。

[bit2] CNNIRQ (CoNNection Interrupt ReQuest) Device 接続検出フラグ

Device 接続検出フラグです。

本ビットが 1 になると Device の接続を検出したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは"0"になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の CNNIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	デバイス接続検出による割込み要求なし
1	デバイス接続検出による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *ファンクションモードでも Device の接続を検出します。*

[bit1] DIRQ (Disconnection Interrupt ReQuest) Device 切断検出フラグ

Device 切断検出フラグです。

本ビットが 1 になると Device の切断を検出したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の DIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

リードモディファイライト時、本ビットは 1 が読み出されます。

bit	説明
0	デバイス切断検出による割込み要求なし
1	デバイス切断検出による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *ファンクションモードでも Device の切断を検出します。*

[bit0] SOFIRQ (Start Of Frame Interrupt ReQuest) SOF 開始フラグ

SOF 開始フラグです。

本ビットが 1 になると SOF トークンの実行を開始したことを示します。本ビットが 0 の場合、何も意味を持ちません。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の SOFIRE ビットが 1 の場合、本ビットが 1 になると割込みが発生します。

bit	説明
0	SOF トークン開始による割込み要求なし
1	SOF トークン開始による割込み要求あり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

5.3 ホストエラーステータスレジスタ(HERR)

ホストエラーステータスレジスタ(HERR)は、ホストモード時のデータ送信および受信中にエラーが発生したかどうかを示すレジスタです。

ホストエラーステータスレジスタ(HERR)はバイトでアクセスしてください。

bit	15	14	13	12	11	10	9	8
Field	LSTSOF	RERR	TOUT	CRC	TGERR	STUFF	HS	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	11	
リセット可否*	○	○	○	○	○	○	○	

*: UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15] LSTSOF (LoST SOF) ロスト SOF フラグ

ロスト SOF フラグです。

本ビットが 1 になると、ホストモードで SOF トークンを実行しようとしたとき、ほかのトークンを実行していて SOF トークンが実行できなかったことを示します。本ビットが 0 のときはロスト SOF エラーが検出されていないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	SOF 実行
1	SOF 実行エラー

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit14] RERR (Receive Error) 受信エラーフラグ

受信エラーフラグです。

本ビットが 1 になると、ホストモード時、設定された最大パケット数より多いデータが受信されたことを示します。受信エラーが検出された場合には、本レジスタの bit5(TOUT)も 1 に設定されます。本ビットが 0 のときはエラーが発生していないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	受信エラーなし
1	最大パケット受信エラー

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit13] TOUT (Time OUT) タイムアウトフラグ

タイムアウトフラグです。

本ビットが 1 になると、ホストモード時にトークンへ対して所定時間内に Device から応答がなかったことを示します。本ビットが 0 のとき、タイムアウトが検出されていないことを示します。本ビットが 0 のときはエラーが発生していないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	タイムアウトなし
1	タイムアウトあり

＜注意事項＞

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit12] CRC (CRC error) CRC エラーフラグ

CRC エラーフラグです。

本ビットが 1 になるとホストモード時、CRC エラーが検出されたことを示します。本ビットが 0 のとき、CRC エラーが検出されていないことを示します。CRC エラーが発生した場合には、本レジスタの bit5(TOUT)も 1 に設定されます。本ビットが 0 のときは CRC エラーが検出されていないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	CRC エラーなし
1	CRC エラーあり

＜注意事項＞

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit11] TGERR (ToGgle ERRor) トグルエラーフラグ

トグルエラーフラグです。

本ビットが 1 になると、ホストモード時、受信したトグルと不一致ししたことを示します。本ビットが 0 のとき、トグルエラーが検出されていないことを示します。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	トグルエラーなし
1	トグルエラーあり

＜注意事項＞

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit10] STUFF (STUFFing error) スタッフィングエラーフラグ

スタッフィングエラーフラグです。

本ビットが 1 になるとビットスタッフィングでエラーが検出されたことを示します。本ビットが 0 のとき、スタッフィングエラーが検出されていないことを示します。スタッフィングエラーが検出された場合には、本レジスタの bit5(TOUT)も 1 に設定されます。本ビットに 0 が書き込まれると本ビットは 0 になります。本ビットに 1 が書き込まれてもその書込みは無視されます。

Bit	説明
0	スタッフィングエラーなし
1	スタッフィングエラーあり

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

[bit9:8] HS (Hand Shake status) ハンドシェークステータスフラグ

ハンドシェークステータスフラグです。

本フラグによって送受信のハンドシェーク状態を示します。

Error でハンドシェークが発生しない場合およびホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットでの SOF トークンを終了した場合には NULL を示します。

本ビットは送受信終了時に更新します。以下の条件のとき、HS ビットに書いた場合、HS ビットは 11 になります。そのほかの条件では HS ビットへの書込みは無視されます。

- HS ビットが 11 以外で HS ビットの書込みデータが 11 の場合

bit9	bit8	ハンドシェーク
0	0	ACK
0	1	NAK
1	0	STALL
1	1	NULL

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*

5.4 ホスト状態ステータスレジスタ(HSTATE)

ホスト状態ステータスレジスタ(HSTATE)は、デバイスの接続, 転送モードなどを USB 回路の状態を示すレジスタです。
CLKSEL ビットは、ファンクションモードでも設定が有効なため、注意してください。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	ALIVE	CLKSEL	SOFBUSY	SUSP	TMODE	CSTAT
属性	-		R/W	R/W	R/W	R/W	R	R
初期値	X		0	1	0	0	1	0
リセット可否*	-		×	×	○	○	×	×

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit7:6] 予約 : 予約ビット

読出し時は不定です。書込み時は"0"または 1 どちらを書いても LSI の動作に影響しません。

[bit5] ALIVE (keep-ALIVE)

Low Speed 時 Keep-Alive 機能を設定します。ホスト状態ステータスレジスタ(HSTATE)の CLKSEL ビットが 0 のとき、1 に設定すると SOF の代わりに SE0 を出力します。ホスト状態レジスタの CLKSEL ビットが 0 のとき有効で、CLKSEL ビットが 1 の場合には ALIVE ビットの設定に関係なく SOF を出力します。

bit	説明
0	SOF 出力
1	SE0 出力(Kepp-Alive)

[bit4] CLKSEL (CLocK SELect) USB 動作クロック選択ビット

USB 動作クロック選択ビットです。

bit	説明
0	Low Speed 用 Clock
1	Full Speed 用 Clock

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *本ビットの変更は UDC 制御レジスタ(UDCC)の RST ビットが 1 のときに行ってください。*
- *本ビットの設定はファンクションモードでも有効です。*
  ファンクションモード時は、本ビットに 0 を設定することは禁止です。
- *オンチップバス(HCLK)クロックは 13 MHz 以上で使用してください。*

[bit3] SOFBUSY (SOF BUSY) SOF ビジーフラグ

SOF ビジーフラグです。

本ビットは、ホストトークンエンドポイントレジスタ(HTOKEN)で SOF トークンを実行すると本ビットが 1 になり、SOF Timer が動作中を示します。本ビットが 0 のとき、SOF Timer が停止中であることを示します。SOF Timer が動作中のとき、SOF Timer を停止させたい場合、本ビットに 0 を書くことによって停止します。本ビットに 1 が書き込まれてもその書込みは無視されます。

bit	説明
0	SOF タイマ停止
1	SOF タイマ動作中

＜注意事項＞

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *SOF Timer を停止させるために本ビットに 0 を書いてもすぐに SOF Timer は停止しないため本ビットを読み出すことによって停止したことを確認できます。*

[bit2] SUSP (SUSPend) サスペンド設定ビット

サスペンド設定ビットです。

本ビットに 1 を設定するとサスペンド状態になります。本ビットに 1 を設定した状態で本ビットに 0 を設定する、または USB バスが k-state 状態になったことを検出すると、サスペンド状態が解除されてホスト割込みレジスタ(HIRQ)の RWIRQ ビットが 1 になります。

Table 5-1 Suspend 設定

bit	動作
1 書込み	Suspend
1 状態で 0 書込み	Resume
その他	状態保持

＜注意事項＞

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *USB が動作中(USB バスへのリセット，データの送受信, SOF Timer 動作中)、本ビットに 1 を設定しないでください。*
- *サスペンド状態でも USB 用クロックを停止することは禁止です。*
- *本ビットの設定を変更した場合、すぐにその状態に変更されるわけではありません。本ビットを読み出すことによって変更されたことを確認できます。*

[bit1] TMODE (Transmission MODE) 転送モードフラグ

転送モードフラグです。

本ビットが 1 のとき、Full Speed Device が接続されたことを示します。本ビットが 0 のとき、Low Speed Device が接続されたことを示します。ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが 1 のとき、有効です。

bit	説明
0	Low Speed
1	Full Speed

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*
- *ベースクロック(HCLK)は 13 MHz 以上で使用してください。*

[bit0] CSTAT (Connect STATus) 接続状態フラグ

接続状態フラグです。

本ビットが 1 のとき、Device が接続されていることを示します。本ビットが 0 のとき、Device が切断されていることを示します。

bit	説明
0	デバイス切断
1	デバイス接続

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

5.5 SOF 割込み FRAME 比較レジスタ(HFCOMP)

SOF 割込み FRAME 比較レジスタ(HFCOMP)は、SOF トークン時の FRAME Number の下位 8 ビットと比較するデータを設定するレジスタです。ホストコントロールレジスタ 0(HCNT0)の SOFSTEP ビットが 0 の場合、本レジスタと FRAME Number の下位 8 ビットを比較します。比較結果が一致した場合には、SOF 送信開始時にホスト割込みレジスタ(HIRQ)の SOFIRQ ビットが 1 になります。ホストコントロールレジスタ 0(HCNT0)の SOFIRE ビットが"1"の場合、割込みが発生します。

bit	15	14	13	12	11	10	9	8
Field	FRAMECOMP							
属性	R/W							
初期値	00000000							
リセット可否*	×							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit15:8] FRAMECOMP : FRAME 比較データ

FRAME 比較データです。

SOF トークン時の Frame Number の下位 8 ビットと比較するデータを設定します。

ホストコントロールレジスタ 0(HCNT0)の SOFSTEP ビットが 0 の場合、SOF トークン時、SOF の Frame Number と本レジスタ値を比較し、一致すればホスト割込みレジスタ(HIRQ)の SOFIRQ ビットに 1 が設定されます。

ホストコントロールレジスタ 0(HCNT0)の SOFSTEP ビットが 0 の場合、本レジスタの設定は無効です。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

5.6 リトライタイマ設定レジスタ(HRTIMER)

リトライタイマ設定レジスタ(HRTIMER)は、トークンのリトライ時間を設定するレジスタです。

bit	15	14	13	12	11	10	9	8
Field	RTIMER1							
属性	R/W							
初期値	00000000							
リセット可否*	×							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

bit	7	6	5	4	3	2	1	0
Field	RTIMER0							
属性	R/W							
初期値	00000000							
リセット可否*	×							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

bit	7(23)	6(22)	5(21)	4(20)	3(19)	2(18)	1(17)	0(16)
Field	予約						RTIMER2	
属性	-						R/W	
初期値	X						00	
リセット可否*	-						×	

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit23:18] 予約 : 予約ビット

読出し時は不定です。書込み時は 0 または 1 どちらを書いても LSI の動作に影響しません。

[bit17:0] HRTIMER0, 1, 2 : リトライタイマ設定ビット

リトライタイマ設定ビットです。

本レジスタにリトライする時間を設定します。ホストコントロールレジスタ(HCNT1)の RETRY ビットが 1 のとき、トークンが開始されるとリトライタイマが起動されます。その後、1 ビットの転送クロック(Full Speed の場合、12MHz)によりタイマが-1 されます。リトライタイマが 0 になった場合、そのときのトークンを実行して終了します。

トークンのリトライが EOF 領域で発生した場合には SOF の実行が終了するまでリトライタイマは停止します。SOF の実行終了後、停止したタイマ値から開始します。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。また、UDC 制御レジスタ(UDCC)の RST ビットが 1 のときに書き込んだ場合、書込みは無視されます。*
- *本レジスタはホストモード時に書いてください。ファンクションモード時は、本レジスタの bit15～bit0 は 0 になります。本レジスタの bit15～bit0 に書き込んでも無視されます。*

5.7 ホストアドレスレジスタ(HADR)

ホストアドレスレジスタ(HADR)は、トークンを送信する際のアドレスフィールドに使用されるレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約	Address						
属性	-	R/W						
初期値	X	0000000						
リセット可否*	-	×						

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit15] 予約 : 予約ビット

読出し時は不定です。書込み時は 0 または 1 どちらを書いても LSI の動作に影響しません。

[bit14:8] Address : アドレスビット

アドレスビットです。
トークンのアドレスを設定します。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

5.8 EOF 設定レジスタ(HEOF)

EOF 設定レジスタ(HEOF)は、SOF トークン実行前のトークン禁止時間を設定するレジスタです。以下の 2 つの条件を満たす場合、SOF トークン実行後、要求トークンを実行します。

- SOF 用タイマと本レジスタのデータを比較し、本レジスタのデータより SOF タイマが小さい

- IN トークン, OUT トークン, SETUP トークンのいずれか実行要求があった

これは、ハードウェアで生成する SOF トークンと他のトークンが同時に実行させないための機能です。本レジスタの時間単位は 1 ビット転送時間です。

bit	15	14	13	12	11	10	9	8
Field	予約		EOF1					
属性	-		R/W					
初期値	X		000000					
リセット可否*	-		×					

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

bit	7	6	5	4	3	2	1	0
Field	EOF0							
属性	R/W							
初期値	00000000							
リセット可否*	×							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit15:14] 予約 : 予約ビット

読出し時は不定です。書込み時は 0 または 1 どちらを書いても LSI の動作に影響しません。

[bit13:0] EOF1, EOF0 (End Of Frame) EOF ビット

EOF ビットです。

SOF 実行前のトークン実行禁止時間を設定します。1 パケット長よりマージンを持って設定してください。単位は、1 ビット転送時間です。

設定例) MAXPKT=64 バイト, Full Speed の場合、
(Token_length + packet_length + header + CRC) ×7/6 + Turn_around_time
= (34bit + 546bit)×7/6 + 36bit = 712.7bit
となり、0x2C9 を設定します。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットに 1 を設定しても初期化されません。*

5.9 FRAME 設定レジスタ(HFRAME)

FRAME 設定レジスタ(HFRAME)は、SOF トークン時の FRAME Number を設定するレジスタです。ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに SOF 起動を設定すると SOF タイマが起動されます。その後 1 ms ごとに自動的に SOF が送信されます。SOF が終了するごとに FRAME 設定レジスタは自動的に+1 されます。

bit	15	14	13	12	11	10	9	8
Field	予約						FRAME1	
属性			-				R/W	
初期値			X				000	
リセット可否*			-				○	

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

bit	7	6	5	4	3	2	1	0
Field	FRAME0							
属性	R/W							
初期値	00000000							
リセット可否*	○							

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit15:11] 予約 : 予約ビット

読出し時は不定です。書込み時は 0 または 1 どちらを書いても LSI の動作に影響しません。

[bit10:0] FRAME1, FRAME0 : フレーム設定ビット

フレーム設定ビットです。
SOF の Frame Number を設定します。

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに SOF を設定する前に、本レジスタに Frame Number を設定してください。*
- *ホストステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 および SOF トークン実行中は、本レジスタへの書込みは禁止です。*

5.10 ホストトークンエンドポイントレジスタ(HTOKEN)

ホストトークンエンドポイントレジスタ(HTOKEN)は、トグル, エンドポイント, トークンを設定するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	TGGL	TKNEN			ENDPT			
属性	R/W	R/W			R/W			
初期値	0	000			0000			
リセット可否*	○	○			○			

*: UDCC:RST ビットでのリセット可否 ×: リセット対象外, ○: リセット対象

[bit7] TGGL (ToGGLe) トグルビット

トグルビットです。

Data のトグルを設定します。送信時は本ビットにしたがってトグルデータを送信します。受信時は受信したトグルデータと本ビットが示すトグルデータを比較し、エラー検出に使用します。

bit	説明
0	DATA0
1	DATA1

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが 000 のときに設定してください。*

[bit6:4] TKNEN (ToKeN ENable) トークン許可ビット

トークン許可ビットです。

本ビットの設定にしたがってトークンを送出します。動作終了後 TKNEN ビットが 000 になり、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 になります。ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが"1"に設定されていると、割込みが発生します。

SOF トークン時、TGGL ビット, ENDPT ビットの設定は無視されます。

Table 5-2 トークン設定

bit6	bit5	bit4	動作
0	0	0	送出しない
0	0	1	SETUP を送出
0	1	0	IN を送出
0	1	1	OUT を送出
1	0	0	SOF を送出
1	0	1	Isochronous IN を送出
1	1	0	Isochronous OUT を送出
1	1	1	予約(設定禁止)

<注意事項>

- *本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期値になります。*
- *PRE パケットはサポートしていません。*
- *ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが 1 のときに TKNEN ビットに 100 を設定しないでください。*
- *本ビットへの書込みはホストモードにしてから書込みを行ってください。*
- *トークンによる割込みフラグ(CMPIRQ)が 1 になった後、再度トークンを発行する場合には USB 転送クロック(Full Speed 時 : 12 MHz, Low Speed 時 : 1.5 MHz)で 3 サイクル以上待って本ビットに書き込んでください。*
- *切断状態(HSTATE の CSTAT=0)では、本ビットに書き込んでもトークンは実行されません。*
- *本ビットへ書込み後、本ビットを読み出して、書込み値と読出し値が一致するまで本ビットに書き込んでください。このとき、割込みによって他の処理が走らないようにしてください。*
- *IN トークンまたは Isochronous IN トークン完了によりホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが 1 になった場合、以下の処理を行ってください。*
  1. *ホストエラーステータスレジスタ(HERR)の HS ビットを読み出します。その後、CMPIRQ ビットに 0 を設定してください。*
  2. *ホストエラーステータスレジスタ(HERR)の HS ビットが 00 の時、EPn ステータスレジスタ(EPnS)(n=1 or 2)の DRQIE ビットに 1 を設定し、DRQ ビットが 1 になるまで待ちます。HS ビットが 00 以外の時、IN トークンの処理を終了します。*
  3. *EPn ステータスレジスタ(EPnS)(n=1 or 2)の DRQ ビットが 1 になった場合、受信データを読み出します。*

[bit3:0] ENDPT (ENDPoinT) エンドポイントビット

エンドポイントビットです。
Device への送受信するエンドポイントを設定します。

<注意事項>

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが 1 のとき、本ビットは初期化されます。

CHAPTER 4: Ethernet

Ethernet に関しては、別冊の「ペリフェラルマニュアル Ethernet 編」を参照してください。

CHAPTER 5-1: CAN プリスケーラ

CAN プリスケーラについて説明します。

1. 概要・構成
2. CAN プリスケーラのレジスタ

1. 概要・構成

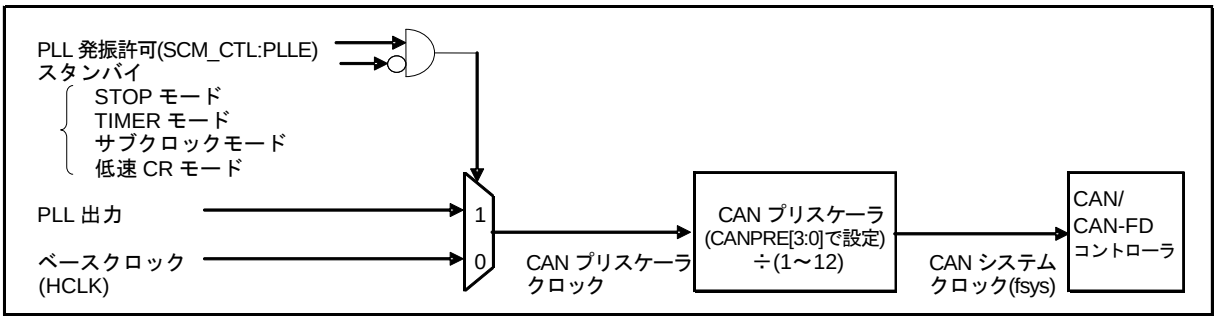
CAN システムクロック(fsys)を生成し、CAN/CAN-FD に供給します。

CAN プリスケーラクロックを 1～12 分周して、CAN システムクロック(fsys)として CAN/CAN-FD に供給します。

Figure 1-1 に CAN プリスケーラのブロックダイヤグラムを示します。

CAN のブロックダイヤグラム

Figure 1-1 CAN システムクロック(fsys)生成図



動作説明

CAN プリスケーラは以下の 2 種類から CAN プリスケーラクロックとして選択して、それを分周後 CAN/CAN-FD に供給します。

- PLL 使用の場合: PLL 出力
- それ以外(Figure 1-1 のスタンバイを含む)の場合: ベースクロック(HCLK)

周波数

CAN プリスケーラで設定可能な周波数は製品によって異なります。

- TYPE1-M4, TYPE2-M4, TYPE6-M4 製品
  CAN プリスケーラが出力する CAN システムクロックは 16 MHz 以下となるように設定してください。
- TYPE3-M4, TYPE4-M4, TYPE5-M4 製品
  CAN プリスケーラが出力する CAN システムクロックは 40 MHz 以下となるように設定してください。

2. CAN プリスケーラのレジスタ

CAN プリスケーラのレジスタについて説明します。

レジスタ略称	レジスタ名	参照先
CANPRE	CAN プリスケーラレジスタ	2.1

2.1 CAN プリスケーラレジスタ (CANPRE)

CAN プリスケーラレジスタは、CAN システムクロック(fsys)生成プリスケーラを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	予約			CANPRE			
属性	-	-			R/W			
初期値	0	000			1011			

レジスタ機能

[bit7] 予約 : 予約ビット

必ず"0"を書き込んでください。

[bit6:4] 予約 : 予約ビット

常に"0"が読み出されます。書込みは"0"を書き込んでください。

[bit3:0] CANPRE : CAN プリスケーラ設定ビット

CAN プリスケーラの分周設定を行います。分周したクロックを CAN システムクロックとして CAN マクロ/CAN-FD マクロへ供給します。

bit3:0	説明
0000	CAN プリスケーラクロックを分周しません。
0001	CAN プリスケーラクロックを 1/2 分周します。
001x	CAN プリスケーラクロックを 1/4 分周します。
01xx	CAN プリスケーラクロックを 1/8 分周します。
1000	CAN プリスケーラクロックを 2/3 分周します。 クロックの Duty は 67%になります。
1001	CAN プリスケーラクロックを 1/3 分周します。
1010	CAN プリスケーラクロックを 1/6 分周します。
1011	CAN プリスケーラクロックを 1/12 分周します。
110x	CAN プリスケーラクロックを 1/5 分周します。
111x	CAN プリスケーラクロックを 1/10 分周します。

<注意事項>

- *CAN プリスケーラ設定ビットの変更は CAN 制御レジスタ(CTRLR)の初期化ビット(Init)を"1"に設定し、すべてのバス動作を停止させた後に行ってください。*
- *CAN プリスケーラクロックに PLL 出力を使用する場合、PLL 発振安定後に CAN 制御レジスタ(CTRLR)の初期化ビット(Init)を"0"に設定してください。*
- *TYPE1-M4, TYPE2-M4, TYPE6-M4 製品*
  CAN プリスケーラが出力する CAN システムクロックは 16MHz 以下となるように設定してください。
- *TYPE3-M4, TYPE4-M4, TYPE5-M4 製品*
  CAN プリスケーラが出力する CAN システムクロックは 40MHz 以下となるように設定してください。

CHAPTER 5-2: CAN コントローラ

CAN について説明します。

1. 概要
2. 構成
3. メッセージオブジェクト
4. CAN コントローラのレジスタ
5. 補足

1. 概要

CAN コントローラは、シリアル通信用の標準プロトコルである CAN プロトコル ver2.0A/B に準拠しています。CAN は自動車や FA などの工業分野に広く使用されています。

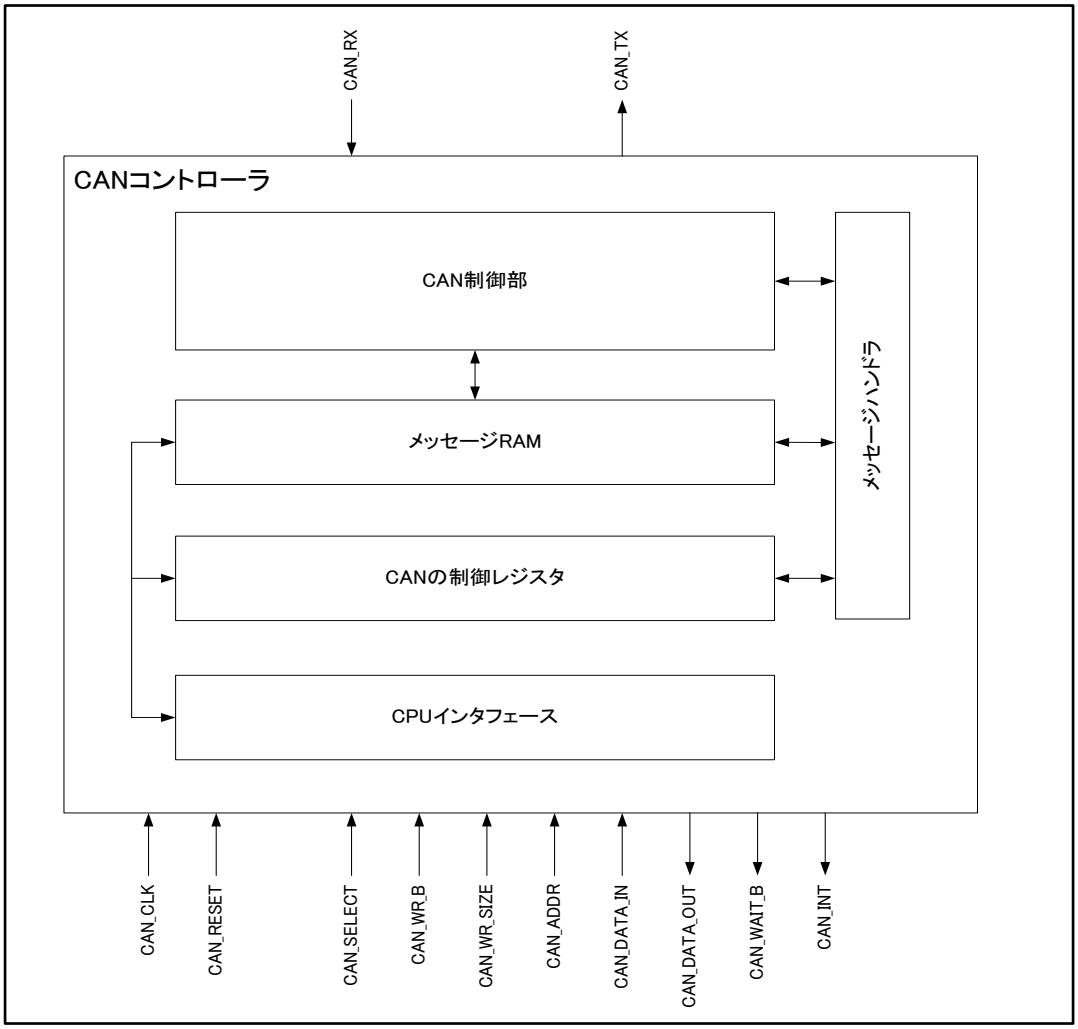
CAN コントローラには以下の特長があります。

- CAN プロトコル ver2.0A/B をサポート
- 1MBit/s までのビットレートをサポート
- メッセージオブジェクトごとの識別マスク
- プログラマブル FIFO モードをサポート
- マスク可能な割込み
- 32 メッセージバッファをサポート
- 自己テスト動作用プログラマブルループバックモードをサポート
- インタフェースレジスタを使用してメッセージバッファへの読出し・書込み

2. 構成

Figure 2-1 に、CAN コントローラのブロックダイヤグラムを示します。

Figure 2-1 CAN コントローラブロックダイヤグラム



■ CAN 制御部
CAN プロトコルと送受信メッセージ転送のためのシリアル/パラレル変換用のシリアルレジスタを制御します。

■ メッセージ RAM
メッセージオブジェクトを格納します。

■ レジスタ群
CAN で使用されるすべてのレジスタです。

■ メッセージハンドラ
メッセージ RAM と CAN 制御部を制御します。

■ CPU インタフェース
内部バスのインタフェースを制御します。

3. CAN コントローラの動作説明

CAN コントローラの動作と機能について説明します。

以下の機能について説明します。

- メッセージオブジェクト
- メッセージ送信動作
- メッセージ受信動作
- FIFO バッファ機能
- 割込み機能
- ビットタイミング
- テストモード
- ソフトウェア初期化

3.1 メッセージオブジェクト

メッセージ RAM のメッセージオブジェクトとインタフェースについて説明します。

メッセージオブジェクト

メッセージ RAM のメッセージオブジェクト設定(MsgVal, NewDat, IntPnd, TxRqst ビットを除く)は、ハードウェアリセットによって初期化されません。そのためメッセージオブジェクトを CPU で初期化するか、MsgVal ビットを無効(MsgVal="0")に設定してください。また、CAN ビットタイミングレジスタの設定は CAN 制御レジスタの Init ビットが"1"のとき行ってください。

メッセージオブジェクトの設定は、メッセージインタフェースレジスタ(IFx マスクレジスタ, IFx アービトレーションレジスタ, IFx メッセージ制御レジスタ, IFx データレジスタ)に設定した後、IFx コマンド要求レジスタへのメッセージ番号を書き込んでください。この書込みによって、そのインタフェースレジスタのデータが指定されたメッセージオブジェクトへ転送されます。

CAN 制御レジスタの Init ビットが"0"にクリアされると CAN コントローラは動作を開始します。受容フィルタを通過した受信メッセージは、メッセージ RAM へ格納されます。送信要求が保留されているメッセージは、メッセージ RAM から CAN コントローラのシフトレジスタへ転送された後、CAN バスへの送信が行われます。

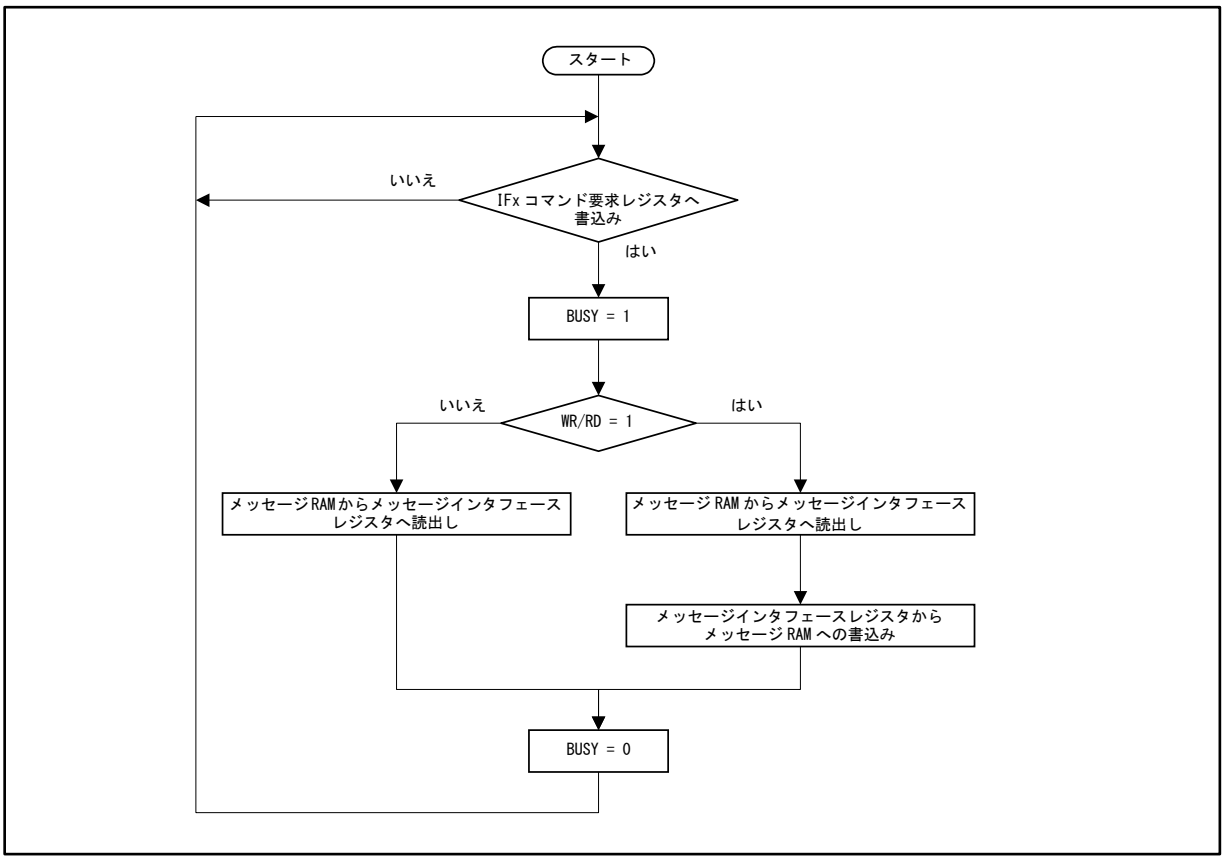
メッセージインタフェースレジスタ経由で、CPU は受信メッセージの読出しと送信メッセージの更新を行います。また CPU への割込みは、CAN 制御レジスタおよび、IFx メッセージ制御レジスタ(メッセージオブジェクト)の設定に従って実行されます。

メッセージ RAM とのデータ送受信

メッセージインタフェースレジスタとメッセージ RAM とのデータ転送を開始すると、IFx コマンド要求レジスタの BUSY ビットは"1"に設定されます。転送完了後、BUSY ビットは"0"にクリアされます。(Figure 3-1 参照)

IFx コマンドマスクレジスタは、1 つのメッセージオブジェクトの全データ転送か、データの部分転送を行うかを選択します。メッセージ RAM の構造上、メッセージオブジェクトの単一ビット/バイトの書込みは不可能です。このため、常に 1 つのメッセージオブジェクトの全データがメッセージ RAM へ書き込まれます。従って、メッセージインタフェースレジスタからメッセージ RAM へのデータ転送は、リードモディファイライトサイクルを実行しています。

Figure 3-1 メッセージインタフェースレジスタとメッセージ RAM のデータ転送



3.2 メッセージ送信動作

送信メッセージオブジェクトの設定方法および送信動作について説明します。

メッセージ送信

メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送がない場合、CAN メッセージ有効レジスタの MsgVal ビットと CAN 送信要求レジスタの TxRqst ビットを評価します。送信要求を保留している中で、最高優先度の有効であるメッセージオブジェクトが、送信用のシフトレジスタへ転送されます。そのときメッセージオブジェクトの NewDat ビットは"0"にリセットされます。

正常に送信が完了したとき、メッセージオブジェクトに新たなデータがない(NewDat="0")場合は、TxRqst ビットは"0"にリセットされます。TxIE が"1"に設定されている場合は、送信成功後に IntPnd ビットが"1"に設定されます。CAN コントローラが CAN バス上で調停に負けた場合、あるいは転送中にエラーが発生した場合は、CAN バスがアイドルになり次第、直ちにメッセージの再送信が行われます。

送信優先度

メッセージオブジェクトの送信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 32(搭載している最大メッセージオブジェクト番号)が最低優先度です。従って、2 つ以上の送信要求が保留されている場合、対応するメッセージオブジェクトの小さい番号順に転送が行われます。

＜注意事項＞

- *以下のいずれかの条件の場合、後述のいずれかのイベントが発生するまでメッセージが送信されないことがあります。*

  条件：　① 優先順位が最下位のメッセージバッファを送信に使用している場合
  ② TXRqst に"1"を設定したが、送信中止のため、TxRqst に"0"を設定した場合
  ③ ②のタイミングの際に、再度 TxRqst に"1"を設定した場合

  イベント：　・CAN バス上に有効なメッセージが流れる
  ・ほかのメッセージバッファに対して送信要求が発行される
  ・Init ビットによって CAN が初期化される

  システム上、送信を中止する状況が発生した場合は、以下の手順を行ってください。

  1. *以下のどちらかを実行する*
     送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しない
     送信中止後、上記のいずれかのイベントを発生させる
  2. *再度 TxRqst に"1"を設定する*

- *TxRqst ビットが"1"のときに ID28～ID0, DLC3～DLC0, Xtd, Data7-0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されない可能性があります。このため、TxRqst ビットが"0"のときにそれらを変更してください。*

送信メッセージオブジェクトの設定

Table 3-1 に送信オブジェクトの初期化方法を示します。

Table 3-1 送信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	New Dat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	1	0	0	0	appl.	0	appl.	0

IFx アービトレーションレジスタ(ID28～ID0 と Xtd ビット)は、アプリケーションで与えられ、送信メッセージの ID およびメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID28～ID18 が使用され、ID17～ID0 は無効です。拡張フレーム(29 ビット ID)を設定した場合は、ID28～ID0 が使用されます。

TxIE ビットに"1"をセットすると、メッセージオブジェクトの送信成功後に IntPnd ビットが"1"に設定されます。

RmtEn ビットに"1"をセットすると、一致するリモートフレームを受信後、TxRqst ビットに"1"が設定され、データフレームが自動的に送信されます。

データレジスタ(DLC3-0, Data0-7)の設定は、アプリケーションで与えられます。

UMask="1"のとき、IFx マスクレジスタ(Msk28～Msk0, UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つリモートフレームを受信し、その後、送信を許可(TxRqst ビットに"1"をセット)するために使用されます。詳細は「3.3 メッセージ受信動作」のリモートフレームを参照してください。

＜注意事項＞

- *IFx マスクレジスタの Dir ビットをマスク許可に設定することは禁止です。*

送信メッセージオブジェクトの更新

CPU は、送信メッセージオブジェクトのデータをメッセージインタフェースレジスタ経由で、更新できます。

送信メッセージオブジェクトのデータは、対応する IFx データレジスタの 4 バイト単位(IFx データレジスタ A, IFx データレジスタ B 単位)で書き込まれます。そのため 1 バイトだけ送信メッセージオブジェクトを変更することはできません。

8 バイトのデータを更新するときは、IFx コマンドマスクレジスタへ 0x0087、IFx コマンド要求レジスタへメッセージ番号を書き込んでください。これにより、送信メッセージオブジェクトのデータ更新(8 バイトデータ)と TxRqst ビットへの"1"書込みが同時に行われます。

NewDat ビットと TxRqst ビットが共に"1"に設定された場合、送信を開始すると NewDat ビットは"0"にリセットされます。

＜注意事項＞

- *データを更新する場合は、IFx データレジスタ A もしくは IFx データレジスタ B の 4 バイト単位で行ってください。*
- *TxRqst ビットが"1"のときに ID28～ID0, DLC3～DLC0, Xtd, Data7-0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されないことがあるため TxRqst ビットが"0"のときにそれらを変更してください。*

3.3 メッセージ受信動作

受信メッセージオブジェクトの設定方法および受信動作について説明します。

受信メッセージの受容フィルタ

メッセージのアービトレーション/コントロールフィールド(ID + IDE + RTR + DLC)が CAN コントローラ受信用シフトレジスタへ完全にシフトされると、有効メッセージオブジェクトとの一致比較のためにメッセージ RAM のスキャンが開始されます。

このとき、メッセージ RAM のメッセージオブジェクトから調停フィールドとマスクデータ(MsgVal, UMask, NewDat, EoB を含む)がロードされ、メッセージオブジェクトとシフトレジスタの調停フィールドがマスクデータを含んで比較されます。

この動作は、"メッセージオブジェクトとシフトレジスタの調停フィールドが一致検出されるまで"、または"メッセージ RAM の最終ワードに到達するまで"、繰り返し実行されます。一致が検出されると、メッセージ RAM のスキャンは停止され、受信フレームのタイプ(データフレームまたはリモートフレーム)により、CAN コントローラは処理を行います。

受信優先度

メッセージオブジェクトの受信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 32(搭載している最大メッセージオブジェクト番号)が最低優先度です。したがって、受容フィルタで 2 つ以上一致した場合は、メッセージ番号の小さい番号が受信メッセージオブジェクトとなります。

データフレーム受信

CAN コントローラは、受容フィルタで一致したメッセージオブジェクトのメッセージ RAM へ、シフトレジスタから受信メッセージを転送します。この格納するデータは、データバイトだけではなく、すべてのアービトレーションフィールドおよびデータ長コードも格納します。これは、IFx マスクレジスタがマスク設定されている場合でも実行されます(ID とデータバイトを保持するために格納されます)。

NewDat ビットは、新たなデータが受信されると"1"に設定されます。CPU がメッセージオブジェクトを読み出したときには、NewDat ビットを"0"にリセットしてください。メッセージ受信時に、既に NewDat ビットが"1"に設定されている場合は、その前のデータが失われたことを示すため、MsgLst が"1"に設定されます。

RxIE ビットが"1"に設定されている場合、メッセージバッファを受信すると CAN 割込みペンディングレジスタの IntPnd ビットに"1"を設定します。そのとき、そのメッセージオブジェクトの TxRqst ビットは"0"にリセットされます。これは、リモートフレーム送信処理中に、要求データフレームを受信した場合、送信処理を防ぐために行われます。

リモートフレーム

リモートフレーム受信時の動作は、以下の 3 つの処理があります。一致するメッセージオブジェクトの設定より、リモートフレーム受信時の処理が選択されます。

1. Dir="1"(送信方向), RmtEn="1", UMask="1"または"0"

   一致したリモートフレームの受信を行い、このメッセージオブジェクトの TxRqst ビットのみ"1"に設定し、リモートフレームに対するデータフレームの自動返信(送信)を行います(TxRqst ビット以外のメッセージオブジェクトは変更されません)。

2. Dir="1"(送信方向), RmtEn="0", UMask="0"

   受信したリモートフレームがメッセージオブジェクトと一致したとしても、受信しないでリモートフレームを無効にします(このメッセージオブジェクトの TxRqst ビットは変更されません)。

3. Dir="1"(送信方向), RmtEn="0", UMask="1"

   受信したリモートフレームがメッセージオブジェクトと一致した場合、このメッセージオブジェクトの TxRqst ビットは"0"にリセットされ、リモートフレームは受信データフレームのように処理されます。受信したアービトレーションフィールドとコントロールフィールド(ID + IDE + RTR + DLC)は、メッセージ RAM のメッセージオブジェクトへ格納され、このメッセージオブジェクトの NewDat ビットが"1"に設定されます。メッセージオブジェクトのデータフィールドは変更されません。

受信メッセージオブジェクトの設定

Table 3-2 に受信メッセージオブジェクトの初期化方法を示します。

Table 3-2 受信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	New Dat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	0	0	0	appl.	0	0	0	0

IFx アービトレーションレジスタ(ID28～ID0, Xtd ビット)は、アプリケーションによって与えられます。受容フィルタに用いられる受信メッセージ ID とメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID28～ID18 が使用され、ID17～ID0 は無効です。また、標準フレームが受信されると、ID17～ID0 は"0"にリセットされます。拡張フレーム(29 ビット ID)を設定した場合は、ID28～ID0 を使用します。

RxIE ビットが"1"に設定された場合、受信データフレームがメッセージオブジェクトへ格納されると IntPnd ビットが"1"に設定されます。

データ長コード(DLC3～DLC0)は、アプリケーションによって与えられます。CAN コントローラが、受信データフレームをメッセージオブジェクトへ格納する時、受信データ長コードと 8 バイトのデータを格納します。データ長コードが 8 未満の場合は、メッセージオブジェクトの残りのデータは不定データが書き込まれます。

UMask="1"のとき、IFx マスクレジスタ(Msk28～Msk0, UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つデータフレームの受信を許可するために使用します。詳細は「3.3 メッセージ受信動作」のデータフレーム受信を参照してください。

＜注意事項＞

- ***IFx マスクレジスタの Dir ビットのマスク設定は禁止です。***

受信メッセージの処理

CPU は、メッセージインタフェースレジスタを介して、受信メッセージをいつでも読み出せます。

受信メッセージ処理の例を示します。IFx コマンドマスクレジスタに"0x007F"、メッセージオブジェクトのメッセージ番号を IFx コマンド要求レジスタに書き込んでください。この手順によって、指定されたメッセージ番号の受信メッセージをメッセージ RAM からメッセージインタフェースレジスタに転送します。このとき、IFx コマンドマスクレジスタの設定により、メッセージオブジェクトの NewDat ビットと IntPnd ビットを"0"にクリアすることが可能です。

受信メッセージの処理は、受容フィルタにより一致した場合、メッセージを受信します。メッセージオブジェクトで受容フィルタのマスクを使用している場合は、マスク設定されたデータが受容フィルタから除外され、メッセージを受信するか判断します。

NewDat ビットは、メッセージオブジェクトが最後に読み出されてから、新しいメッセージが受信されたかを示します。

MsgLst ビットは、受信したデータがメッセージオブジェクトから読み出されない状態で次の受信データを受信したために前のデータを失ってしまったことを示します。MsgLst ビットは自動的にリセットされません。

リモートフレーム送信処理中に、受容フィルタにより一致するデータフレームが受信された場合には、TxRqst ビットは自動的に"0"にリセットされます。

3.4 FIFO バッファ機能

受信メッセージ処理におけるメッセージオブジェクトの FIFO バッファの構成および動作について説明します。

FIFO バッファの構成

FIFO バッファの受信メッセージオブジェクトの構成は、EoB ビットを除いて、受信メッセージオブジェクトの構成と同じです(「3.3 メッセージ受信動作」の受信メッセージオブジェクトの設定を参照してください)。

FIFO バッファは、2 つ以上の受信メッセージオブジェクトを連結して使用します。この FIFO バッファへ受信メッセージを格納するためには、受信メッセージオブジェクトの ID とマスクを使用する場合はそれらの設定を一致させなければなりません。

FIFO バッファの最初の受信メッセージオブジェクトは、優先順位の高いメッセージ番号の小さい番号です。FIFO バッファの最後の受信メッセージオブジェクトは、EoB ビットに"1"を設定し、FIFO バッファブロックの終わりを示してください。(FIFO バッファ構成を使用するメッセージオブジェクトの最終メッセージオブジェクト以外は、EoB ビットに"0"を設定してください)。

<注意事項>

- *FIFO バッファで使用するメッセージオブジェクトの ID とマスク設定は、必ず同じ設定にしてください。*
- *FIFO バッファを使用しない場合は、必ず EoB ビットに"1"を設定してください。*

FIFO バッファによるメッセージ受信

受信メッセージが、FIFO バッファの ID と一致した場合は、最小メッセージ番号の FIFO バッファの受信メッセージオブジェクトへ格納されます。

FIFO バッファの受信メッセージオブジェクトへメッセージが格納されると、この受信メッセージオブジェクトの NewDat ビットが"1"に設定されます。EoB ビットが"0"の受信メッセージオブジェクトへ NewDat ビットをセットすると、最後の受信メッセージオブジェクト(EoB ビット="1")に到達するまで、受信メッセージオブジェクトが保護されます。この間、CAN コントローラによる FIFO バッファ書込みは行われません。

以下の 2 つの条件を満たす場合、次に受信されたメッセージが最終メッセージオブジェクトへ書き込まれるため、メッセージは上書きされます。

- 最終 FIFO バッファまで有効なデータが格納された
- 受信メッセージオブジェクトの NewDat ビットに"0"書込み(書込み保護の解除)が行われない

最終 FIFO バッファまで有効なデータが格納された状態で受信メッセージオブジェクトの NewDat ビットに"0"書込み(書込み保護の解除)が行われないと次に受信されたメッセージが最終メッセージオブジェクトへ書き込まれ、メッセージは上書きされてしまいます。

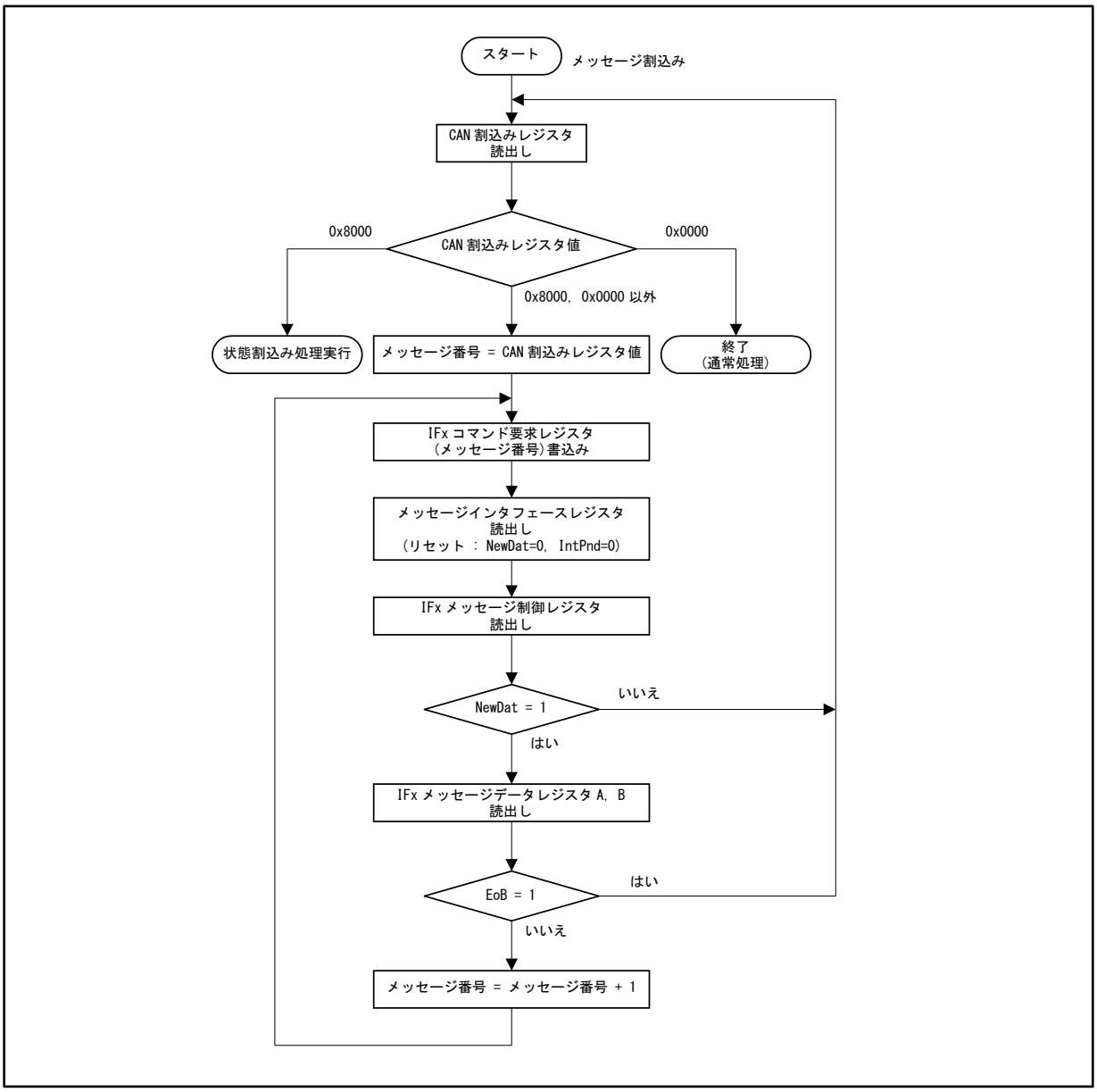
FIFO バッファからの読出し

CPU が受信メッセージオブジェクトの内容を読み出すには、IFx コマンド要求レジスタへ受信メッセージ番号を書き込むことによって、メッセージインタフェースレジスタに転送され読み出せます。このとき、IFx コマンドマスクレジスタの WR/RD を"0"(読出し)および、TxRqst/NewDat=1, IntPnd=1 に設定し、NewDat ビットと IntPnd ビットを"0"にリセットしてください。

FIFO バッファの機能を保証するために、FIFO バッファの受信メッセージオブジェクトは、必ず最小のメッセージ番号から読み出してください。

Figure 3-2 に FIFO バッファで連結されるメッセージオブジェクトの CPU の処理方法を示します。

Figure 3-2 FIFO バッファの CPU 処理



3.5 割込み機能

ステータス割込み(IntId=0x8000)およびメッセージ割込み(IntId=メッセージ番号)による割込み処理について説明します。

複数の割込みが保留中である場合、CAN 割込みレジスタは、保留中の最高優先度の割込みコードを示します。割込みコードの設定された時間順は無視され、常に優先順位の高い割込みコードが表示されます。CPU がクリアするまで割込みコードは保持されます。

ステータス割込み(IntId ビットの 0x8000)は、最高優先度です。

メッセージ割込みの優先度は、メッセージ番号の小さいメッセージが高く、大きいメッセージが低くなります。

メッセージ割込みは、メッセージオブジェクトの IntPnd ビットのクリアによってクリアされます。ステータス割込みは、CAN ステータスレジスタの読出しでクリアされます。

CAN 割込みペンディングレジスタの IntPnd ビットは、割込みの有無を示します。保留中の割込みがない時は、IntPnd ビットは"0"を示します。

CAN 制御レジスタの IE ビットおよび、IFx メッセージ制御レジスタの TxIE ビット, RxIE ビットに"1"をセットしている状態で IntPnd ビットが"1"になると、CPU への割込み信号がアクティブになります。割込み信号は、CAN 割込みペンディングレジスタが"0"にクリアされる(割込み要因リセット)か、CAN 制御レジスタの IE ビットが"0"にリセットされるまでアクティブ状態を保持します。

CAN 割込みレジスタの 0x8000 は、CAN コントローラによって CAN ステータスレジスタが更新されたことを示します。この割込みが最高優先度です。CAN ステータスレジスタの更新による割込みは、CAN 制御レジスタの EIE ビットと SIE ビットにより、CAN 割込みレジスタへの設定許可または禁止を制御できます。また、CPU への割込み信号の制御は、CAN 制御レジスタの IE ビットで行えます。

CAN ステータスレジスタの RxOk ビット、TxOk ビット、LEC ビットは、CPU からの書込みにより更新(リセット)できます。しかし、その書込みにより割込みのセットまたはリセットを行うことはできません。

CAN 割込みレジスタの 0x8000, 0x0000 以外は、メッセージ割込みが保留中であることを示し、優先度の高い保留中のメッセージ割込みを示します。

CAN 割込みレジスタは、IE がリセットされた場合でも更新されます。

CPU へのメッセージ割込みの原因は、CAN 割込みレジスタまたは CAN 割込みペンディングレジスタで確認できます(「4.5 メッセージハンドラレジスタ」を参照してください)。メッセージ割込みをクリアする場合、同時にメッセージデータを読み出すことは可能です。CAN 割込みレジスタで示されているメッセージ割込みをクリアすると次に優先度の高い割込みが CAN 割込みレジスタに設定されます。これにより、次の割込み処理を待つことになります。割込みがない場合には、CAN 割込みレジスタは 0x0000 を示します。

<注意事項>

- *ステータス割込み(IntId=0x8000)は、CAN ステータスレジスタの読出しアクセスにより割込みクリアされます。*
- *CAN ステータスレジスタの書込みアクセスによる、ステータス割込み(IntId=0x8000)は発生しません。*

3.6 ビットタイミング

ビットタイミングについての概要と CAN コントローラにおけるビットタイミングについて説明します。

CAN ネットワークの各 CAN ノードは、それぞれクロック発振器(通常は水晶発振器)を持っています。ビットタイムのタイムパラメータは、CAN ノードごとに個別に構成できます。CAN ノードの発振周期(fosc)が異なっていても、共通のビットレートを作り出せます。

これらの発振器の周波数は、温度や電圧の変化、コンポーネントの悪化により少し異なります。その変動が発振器の許容範囲(df)内である限りは、CAN ノードはビットストリームへ再同期化することで異なるビットレートを補償できます。

CAN 仕様に応じて、ビットタイムは 4 つの区分に分けられ(Figure 3-3 参照)、同期化部(Sync_Seg)、伝送時間部(Prop_Seg)、フェーズバッファ部 1(Phase_Seg1)、フェーズバッファ部 2(Phase_Seg2)で構成されます。それぞれの区分は、プログラマブルな時間量(Table 3-3 参照)から成ります。ビットタイムの基本単位時間(tq)は、CAN コントローラのシステムクロック fsys とボーレートプリスケーラ(BRP)で定義されます。

tq = BRP / fsys

CAN のシステムクロック fsys は、Clock 入力の周波数(Figure 2-1 参照)です。同期化部の Sync_Seg は、CAN バスのエッジを期待するビットタイム内のタイミングです。伝送時間部の Prop_Seg は、CAN ネットワーク内の物理的遅延時間を補償します。フェーズバッファ部の Phase_Seg1, Phase_Seg2 は、サンプリングポイントを指定してください。再同期化ジャンプ幅(SJW)は、エッジフェーズエラーを補償するために再同期化時のサンプリングポイントの移動幅を定義してください。

Figure 3-3 ビットタイミング

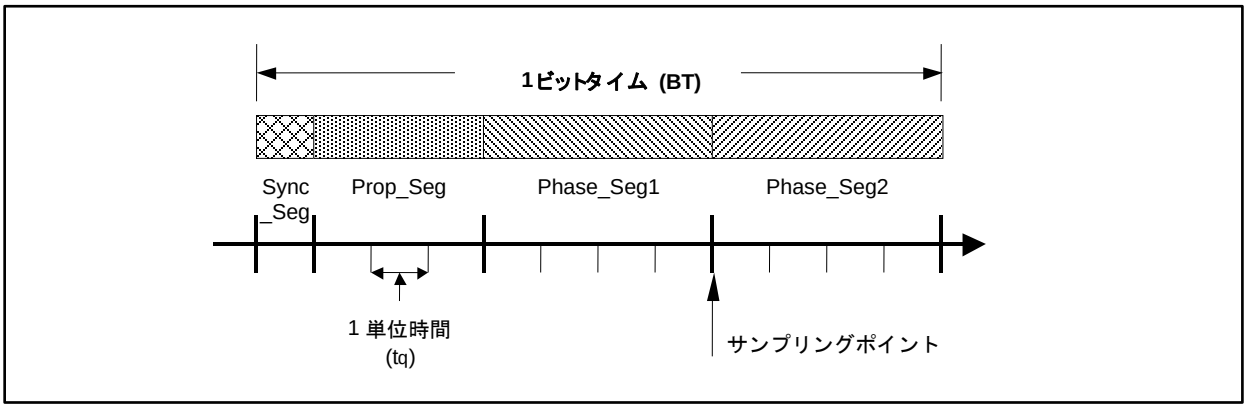


Table 3-3 CAN ビットタイムのパラメータ

パラメータ	レンジ	機能
BRP	[1-32]	時間量の長さ tq の定義
Sync_Seg	1 tq	固定長　システムクロックへの同期化
Prop_Seg	[1-8] tq	物理遅延時間の補償
Phase_Seg1	[1-8] tq	サンプリングポイント前のエッジフェーズエラー保証 同期化により一時的に長くされる可能性があります
Phase_Seg2	[1-8] tq	サンプリングポイント後のエッジフェーズエラー保証 同期化により一時的に短くされる可能性があります
SJW	[1-4] tq	再同期化ジャンプ幅 どちらかのフェーズバッファ部より長くなることはありません

次に CAN コントローラにおけるビットタイミングを示します。

Figure 3-4 CAN コントローラにおけるビットタイミング

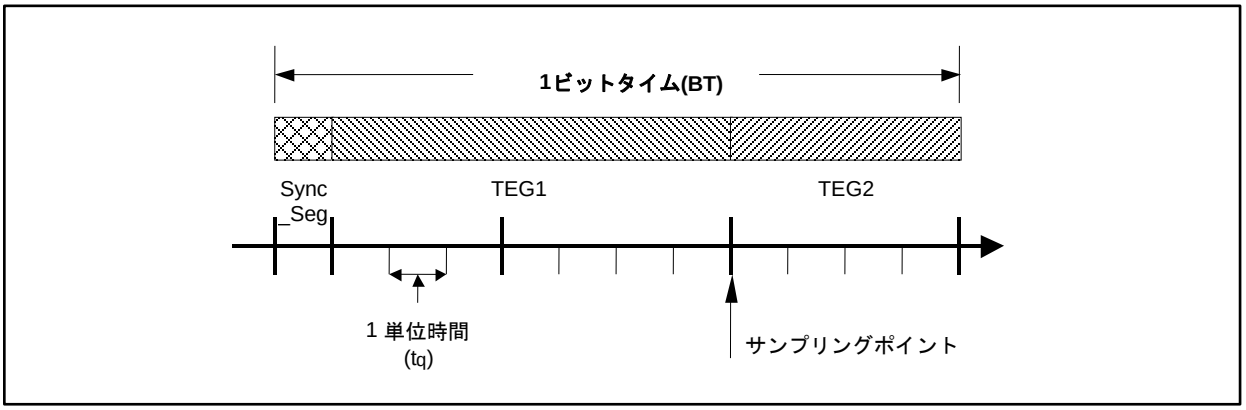


Table 3-4 CAN コントローラのパラメータ

パラメータ	レンジ	機能
BRPE, BRP	[0-1023]	時間量の長さ tq の定義 ビットタイミングレジスタおよびプレスケーラ拡張レジスタにより最大 1024 までプリスケーラを拡張できます
Sync_Seg	1 tq	システムクロックへの同期化 固定長
TSeg1	[1-15] tq	サンプリングポイント前のタイムセグメントです Prop_Seg と Phase_Seg1 に相当します ビットタイミングレジスタにより制御できます
TSeg2	[0-7] tq	サンプリングポイント後のタイムセグメントです Phase_Seg2 に相当します ビットタイミングレジスタにより制御できます
SJW	[0-3] tq	再同期化ジャンプ幅です ビットタイミングレジスタにより制御できます

各パラメータの関係を以下に示します。

tq = ([BRPE, BRP]+1) / fsys

BT = SYNC_SEG + TEG1 + TEG2

= (1 + (TSeg1 + 1) + (TSeg2 + 1)) ×tq

= (3 + TSeg1 + TSeg2) × tq

3.7 テストモード

テストモードの設定方法および動作について説明します。

テストモード設定

CAN 制御レジスタの Test ビットに"1"をセットすることでテストモードになります。テストモードに設定すると、CAN テストレジスタのビット Tx1, Tx0, LBack, Silent, Basic ビットが有効となります。

CAN 制御レジスタの Test ビットを"0"にリセットすることにより、すべてのテストレジスタ機能を無効にします。

サイレントモード

CAN テストレジスタの Silent ビットを"1"に設定することにより、CAN コントローラをサイレントモードに設定できます。

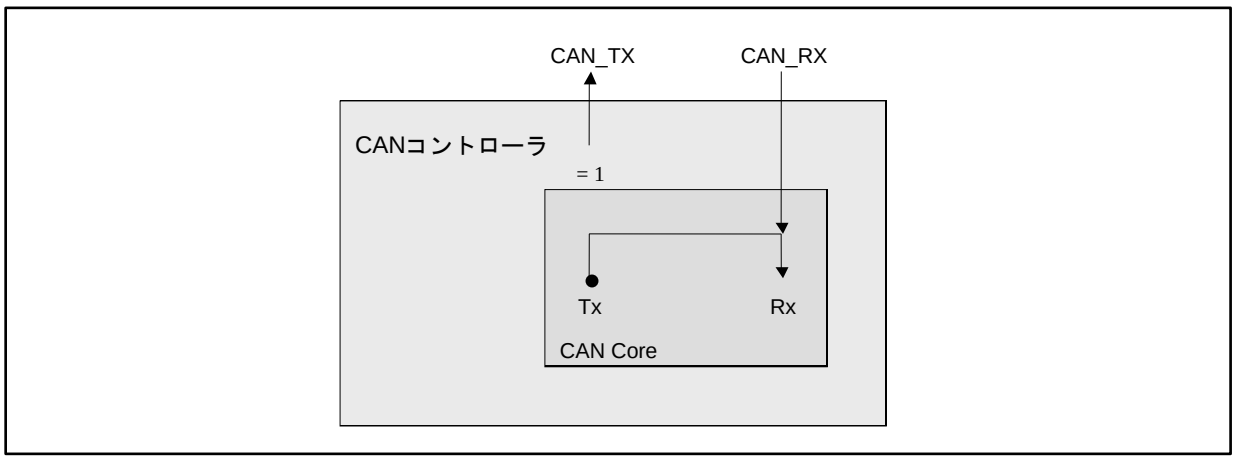
サイレントモードでは、データフレームとリモートフレームを受信可能であるが、CAN バス上にはレセッシブのみ出力し、メッセージおよび ACK の送信を行いません。

CAN コントローラがドミナントビット(ACK ビット, オーバロードフラグ, アクティブエラーフラグ)の送信を要求された場合、CAN コントローラ内部の折り返し回路で RX 側に送信されます。この動作では、CAN バス上においてレセッシブ状態であっても、受信側では CAN コントローラ内部で折り返し送信されたドミナントビットを受信します。

サイレントモードでは、ドミナントビット(ACK ビット, エラーフラグ)送信による影響がない状態で、CAN バス上のトラフィック解析ができます。

Figure 3-5 にサイレントモードでの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

Figure 3-5 サイレントモードでの CAN コントローラ



ループバックモード

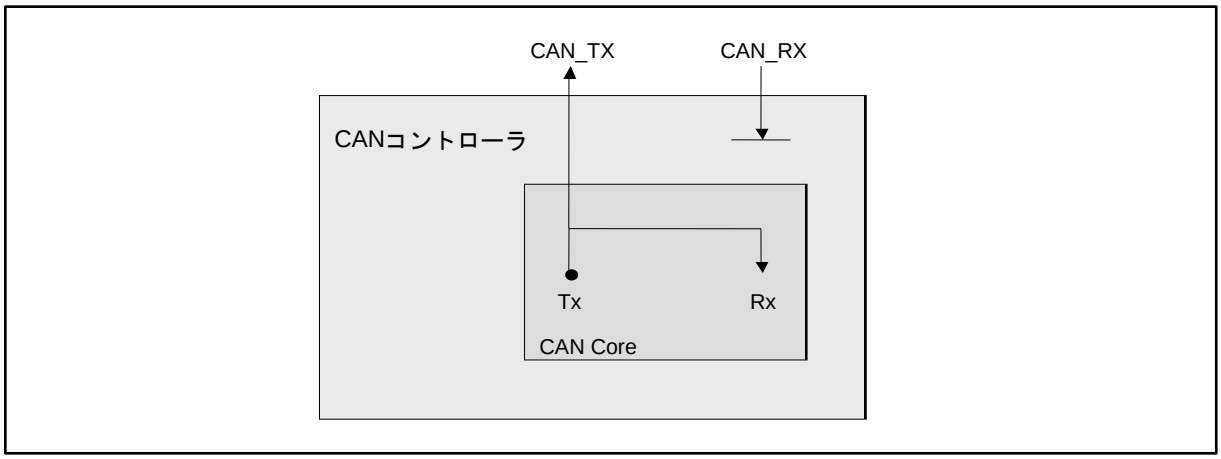
CANテストレジスタのLBackビットを"1"に設定することにより、CANコントローラをループバックモードに設定できます。

ループバックモードは、自己診断機能に使用できます。

ループバックモードでは、CAN コントローラ内部で TX 側と RX 側が接続され、CAN コントローラが送信したメッセージを、RX 側で受信したメッセージとして扱い、受容フィルタを通過したメッセージは、受信バッファに格納します。

Figure 3-6 にループバックモードでの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

Figure 3-6 ループバックモードの CAN コントローラ



<注意事項>

- *外部信号から独立するため、データ/リモートフレームのアクノリッジスロットでのドミナントビットはサンプリングされません。そのため通常、CAN コントローラはアクノリッジエラーを発生しますが、本テストモードではアクノリッジエラーは発生しません。*

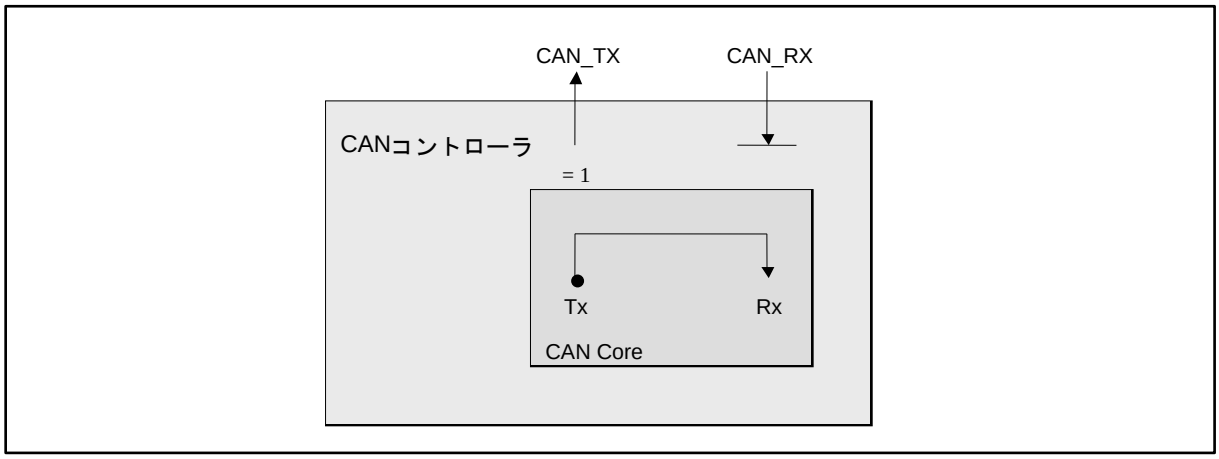
サイレントモードとループバックモードの結合

CAN テストレジスタの LBack ビットと Silent ビットを同時に"1"に設定することにより、ループバックモードとサイレントモードを結合させ動作することが可能です。

このモードは、「ホットセルフテスト」用に使用できます。「ホットセルフテスト」とは、CAN コントローラがループバックモードでテストしたときに、CAN_TX 端子にはレセッシブの固定出力、CAN_RX 端子からの入力は無効となるため、CAN システムの動作に影響がないことを意味しています。

Figure 3-7 にサイレントモードとループバックモードの結合したときの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

Figure 3-7 サイレントモードとループバックモードの結合された CAN コントローラ



ベーシックモード

CAN テストレジスタの Basic ビットを"1"に設定することにより、CAN コントローラをベーシックモードに設定できます。

ベーシックモードでは、CAN コントローラは、メッセージ RAM を使用せずに動作します。

IF1 メッセージインタフェースレジスタは、送信制御用として使用されます。

メッセージ送信を行う場合、まず、IF1 メッセージインタフェースレジスタに送信する内容を設定します。次に、IF1 コマンド要求レジスタの BUSY ビットに"1"をセットすることで送信要求します。BUSY ビットが"1"に設定されている間、IF1 メッセージインタフェースレジスタをロックしている、または送信が保留されていることを示します。

BUSY ビットに"1"がセットされると CAN コントローラは以下の動作を行います。

CAN バスがバスアイドルになるとすぐに、IF1 メッセージインタフェースレジスタの内容を、送信用シフトレジスタへロードし、送信を開始します。正常に送信完了すると、BUSY ビットが"0"にリセットされ、ロックされていた IF1 メッセージインタフェースレジスタを開放します。

送信が保留されているときに、IF1 コマンド要求レジスタの BUSY ビットを"0"にリセットすることでいつでも中断できます。また、送信中に BUSY ビットを"0"にリセットすると、調停負けやエラーなどの場合に行われる再送信を停止します。

IF2 メッセージインタフェースレジスタは、受信制御用として使用されます。

メッセージの受信は、受容フィルタを使用せずにすべて受信します。IF2 コマンド要求レジスタの BUSY ビットを"1"に設定することにより、受信したメッセージの内容を読み出すことが可能となります。

BUSY ビットに"1"がセットされると CAN コントローラは以下の動作を行います。

- 受信したメッセージ(受信用のシフトレジスタの内容)を受容フィルタなしで、IF2 メッセージインタフェースレジスタへ格納します。

新しいメッセージが IF2 メッセージインタフェースレジスタに格納された場合、CAN コントローラが NewDat ビットを"1"に設定します。また、NewDat ビットが"1"のときに、さらに新しいメッセージを受信した場合は、CAN コントローラが MsgLst を"1"に設定します。

<注意事項>

- *ベーシックモードでは、制御/状態ビットに関係するすべてのメッセージオブジェクトと IFx コマンドマスクレジスタの制御モード設定は無効です。*
- *コマンド要求レジスタのメッセージ番号は無効です。*
- *IF2 メッセージ制御レジスタの NewDat ビットと MsgLst ビットは通常時と同様に動作し、DLC3～DLC0 は受信された DLC を示し、ほかの制御ビットは"0"として読み出されます。*

端子 CAN_TX のソフトウェア制御

CAN 送信端子である CAN_TX は、4 つの出力機能あります。

- シリアルデータ出力(通常出力)
- CAN コントローラのビットタイミングをモニタするための、CAN サンプリングポイント信号出力
- ドミナント固定出力
- レセッシブ固定出力

ドミナントおよびレセッシブの固定出力は、CAN 受信端子の CAN_RX モニタ機能と共に、CAN バスの物理層のチェックに使用できます。

CAN_TX 端子の出力モードは、CAN テストレジスタの Tx1 と Tx0 ビットにより制御可能です。

<注意事項>

- *CAN メッセージ送信またはループバックモード、サイレントモード、ベーシックモードを使用する際は、CAN_TX をシリアルデータ出力に設定してください。*

3.8 ソフトウェア初期化

ソフトウェアによる初期化について説明します。

ソフトウェアでの初期化要因を以下に示します。

- ハードウェアリセット
- CAN 制御レジスタの Init ビットの設定
- バスオフ状態への遷移

ハードウェアによるリセットは、メッセージ RAM (MsgVal, NewDat, IntPnd, TxRqst ビットを除く)以外すべて初期化されます。メッセージ RAM はハードウェアによるリセット後、CPU によって初期化するかメッセージ RAM の MsgVal を"0"にしてください。また、ビットタイミングレジスタを設定する場合には、CAN 制御レジスタの Init ビットを"0"にクリアする前に設定してください。

CAN 制御レジスタの Init ビットは、以下の条件で"1"に設定されます。

- CPU からの"1"書込み
- ハードウェアリセット
- バスオフ

Init ビットが"1"に設定されると、CAN バスの全メッセージ送受信は停止され、CAN バス出力の CAN_TX 端子はレセッシブ出力となります。(CAN_TX テストモードは除く)

Init ビットに"1"をセットすると、エラーカウンタは変化しませんし、レジスタも変更されません。

CAN 制御レジスタの Init ビットと CCE ビットが"1"に設定されると、ボーレート制御用のビットタイミングレジスタとプリスケーラ拡張レジスタへの設定が可能となります。

Init ビットを"0"にリセットすることによりソフトウェア初期化を終了します。

Init ビットが"0"にリセットされてから、連続した 11 ビットのレセッシブの発生(=バスアイドル)を待つことにより、CAN バス上のデータ転送と同期化した後、メッセージの転送が行われます。

通常動作中にメッセージオブジェクトのマスク, ID, XTD, EoB, RmtEn を変更する場合、MsgVal を無効に設定してから変更してください。

4. CAN コントローラのレジスタ

CAN には、以下のレジスタがあります。

- CAN 制御レジスタ(CTRLR)
- CAN ステータスレジスタ(STATR)
- CAN エラーカウンタ(ERRCNT)
- CAN ビットタイミングレジスタ(BTR)
- CAN 割込みレジスタ(INTR)
- CAN テストレジスタ(TESTR)
- CAN プリスケーラ拡張レジスタ(BRPER)
- IFx コマンド要求レジスタ(IFxCREQ)
- IFx コマンドマスクレジスタ(IFxCMSK)
- IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2)
- IFx アービトレーション 1, 2(IFxARB1, IFxARB2)
- IFx メッセージ制御レジスタ(IFxMCTR)
- IFx データレジスタ A1, A2, B1, B2(IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)
- CAN 送信要求レジスタ 1, 2(TREQR1, TREQR2)
- CAN データ更新レジスタ 1, 2(NEWDT1, NEWDT2)
- CAN 割込みペンディングレジスタ 1, 2(INTPND1, INTPND2)
- CAN メッセージ有効レジスタ 1, 2(MSGVAL1, MSGVAL2)

全体コントロールレジスター覧

Table 4-1 全体コントロールレジスター覧

レジスタ略称	レジスタ名	参照先
CTRLR	CAN 制御レジスタ	4.2.1
STATR	CAN ステータスレジスタ	4.2.2
ERRCNT	CAN エラーカウンタ	4.2.3
BTR	CAN ビットタイミングレジスタ	4.2.4
INTR	CAN 割込みレジスタ	4.2.5
TESTR	CAN テストレジスタ	4.2.6
BRPER	CAN プリスケーラ拡張レジスタ	4.2.7

メッセージインタフェースレジスター覧

Table 4-2 メッセージインタフェースレジスター覧

レジスタ略称	レジスタ名	参照先
IF1CREQ	IF1 コマンド要求レジスタ	4.3.1
IF1CMSK	IF1 コマンドマスクレジスタ	4.3.2
IF1MSK1	IF1 マスクレジスタ 1	4.3.3
IF1MSK2	IF1 マスクレジスタ 2	4.3.3
IF1ARB1	IF1 アービトレーションレジスタ 1	4.3.4
IF1ARB2	IF1 アービトレーションレジスタ 2	4.3.4
IF1MCTR	IF1 メッセージ制御レジスタ	4.3.5
IF1DTA1	IF1 データ A レジスタ 1(リトルエンディアン)	4.3.6
IF1DTA2	IF1 データ A レジスタ 2(リトルエンディアン)	4.3.6
IF1DTB1	IF1 データ B レジスタ 1(リトルエンディアン)	4.3.6
IF1DTB2	IF1 データ B レジスタ 2(リトルエンディアン)	4.3.6
IF1DTA2	IF1 データ A レジスタ 2(ビッグエンディアン)	4.3.6
IF1DTA1	IF1 データ A レジスタ 1(ビッグエンディアン)	4.3.6
IF1DTB2	IF1 データ B レジスタ 2(ビッグエンディアン)	4.3.6
IF1DTB1	IF1 データ B レジスタ 1(ビッグエンディアン)	4.3.6
IF2CREQ	IF2 コマンド要求レジスタ	4.3.1
IF2CMSK	IF2 コマンドマスクレジスタ	4.3.2
IF2MSK1	IF2 マスクレジスタ 1	4.3.3
IF2MSK2	IF2 マスクレジスタ 2	4.3.3
IF2ARB1	IF2 アービトレーションレジスタ 1	4.3.4
IF2ARB2	IF2 アービトレーションレジスタ 2	4.3.4
IF2MCTR	IF2 メッセージ制御レジスタ	4.3.5
IF2DTA1	IF2 データ A レジスタ 1(リトルエンディアン)	4.3.6
IF2DTA2	IF2 データ A レジスタ 2(リトルエンディアン)	4.3.6
IF2DTB1	IF2 データ B レジスタ 1(リトルエンディアン)	4.3.6
IF2DTB2	IF2 データ B レジスタ 2(リトルエンディアン)	4.3.6
IF2DTA2	IF2 データ A レジスタ 2(ビッグエンディアン)	4.3.6
IF2DTA1	IF2 データ A レジスタ 1(ビッグエンディアン)	4.3.6
IF2DTB2	IF2 データ B レジスタ 2(ビッグエンディアン)	4.3.6
IF2DTB1	IF2 データ B レジスタ 1(ビッグエンディアン)	4.3.6

メッセージハンドラレジスター覧

Table 4-3 メッセージハンドラレジスター覧

レジスタ略称	レジスタ名	参照先
TREQ1	CAN 送信要求レジスタ 1	4.5.1
TREQ2	CAN 送信要求レジスタ 2	4.5.1
NEWDT1	CAN データ更新レジスタ 1	4.5.2
NEWDT2	CAN データ更新レジスタ 2	4.5.2
INTPND1	CAN 割込みペンディングレジスタ 1	4.5.3
INTPND2	CAN 割込みペンディングレジスタ 2	4.5.3
MSGVAL1	CAN メッセージ有効レジスタ 1	4.5.4
MSGVAL2	CAN メッセージ有効レジスタ 2	4.5.4

4.1 CAN レジスタ機能

CAN レジスタは、256 バイトのアドレス空間が割り当てられています。メッセージ RAM への CPU のアクセスは、メッセージインタフェースレジスタを介して行います。

本節では CAN レジスタを掲載し、それぞれのレジスタの詳細機能を記載します。

全体コントロールレジスタ

4.2.1. CAN 制御レジスタ (CTRLR)
4.2.2. CAN ステータスレジスタ (STATR)
4.2.3. CAN エラーカウンタ (ERRCNT)
4.2.4. CAN ビットタイミングレジスタ (BTR)
4.2.5. CAN 割込みレジスタ (INTR)
4.2.6. CAN テストレジスタ (TESTR)
4.2.7. CAN プリスケーラ拡張レジスタ(BRPER)

メッセージインタフェースレジスタ

4.3.1. IFx コマンド要求レジスタ (IFxCREQ)
4.3.2. IFx コマンドマスクレジスタ (IFxCMSK)
4.3.3. IFx マスクレジスタ 1, 2 (IFxMSK1, IFxMSK2)
4.3.4. IFx アービトレーションレジスタ 1, 2 (IFxARB1, IFxARB2)
4.3.5. IFx メッセージ制御レジスタ(IFxMCTR)
4.3.6. IFx データレジスタ A1, A2, B1, B2 (IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)

メッセージハンドラレジスタ

4.5.1. CAN 送信要求レジスタ (TREQR1, TREQR2)
4.5.2. CAN データ更新レジスタ (NEWDT1, NEWDT2)
4.5.3. CAN 割込みペンディングレジスタ(INTPND1, INTPND2)
4.5.4. CAN メッセージ有効レジスタ (MSGVAL1, MSGVAL2)

4.2 全体コントロールレジスタ

全体コントロールレジスタは、CAN プロトコル制御および動作モードを制御し、ステータス情報を提供します。

全体コントロールレジスタ

4.2.1. CAN 制御レジスタ (CTRLR)
4.2.2. CAN ステータスレジスタ (STATR)
4.2.3. CAN エラーカウンタ (ERRCNT)
4.2.4. CAN ビットタイミングレジスタ (BTR)
4.2.5. CAN 割込みレジスタ (INTR)
4.2.6. CAN テストレジスタ (TESTR)
4.2.7. CAN プリスケーラ拡張レジスタ(BRPER)

4.2.1 CAN 制御レジスタ (CTRLR)

CAN 制御レジスタは、CAN コントローラの動作モードを制御します。

レジスタ構成

■ CAN 制御レジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

■ CAN 制御レジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Test	CCE	DAR	予約	EIE	SIE	IE	Init
属性	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1

レジスタ機能

[bit15:8] 予約 : 予約ビット

読出し時は"0"が読み出されます。書込み時は"0"を設定してください。

[bit7] Test : テストモード許可ビット

bit	機能
0	通常動作 [初期値]
1	テストモード

<注意事項>

- *Test ビットに"1"を設定する場合、Init ビットが"1"のときに設定してください。*

[bit6] CCE : ビットタイミングレジスタ書込み許可ビット

bit	機能
0	CAN ビットタイミングレジスタおよび CAN プリスケーラ拡張レジスタへの書込みを禁止します。 [初期値]
1	CAN ビットタイミングレジスタおよび CAN プリスケーラ拡張レジスタへの書込みを許可します。Init ビットが"1"のときに有効です。

[bit5] DAR： 自動再送禁止ビット

bit	機能
0	調停負けまたはエラー検出時のメッセージの自動再送を許可します。 [初期値]
1	自動再送を禁止します。

CAN 仕様(ISO11898、6.3.3 リカバリ処理 参照)より、CAN コントローラは調停負けあるいは転送中のエラー検出によりフレームの自動再送を行います。自動再送する場合は、DAR ビットに"0"を設定します。CAN を Time Triggered CAN(TTCAN, ISO11898-1 参照)環境で動作させるためには、DAR ビットに"1"を設定してください。

＜注意事項＞

- *DAR ビットに"1"を設定したモードでは、メッセージオブジェクト(メッセーオブジェクトについては「4.4 メッセージオブジェクト」を参照してください)の TxRqst ビットと NewDat ビットの動作が異なります。*
- *フレーム送信を開始したとき、メッセージオブジェクトの TxRqst が"0"にリセットされますが、NewDat ビットはセットされたままです。*
- *フレーム送信が正常終了すると NewDat は"0"にリセットされます。*
- *送信が調停負けもしくはエラー検出すると、NewDat はセットされたままです。*
  送信を再開するためには、CPU により TxRqst に"1"を設定してください。
- *フレーム送出中(TxRqst="1")に CAN 制御レジスタ(CTRLR)の DAR ビットを"0"から"1"に変更すると送出中のフレームがもう一度送出されるため DAR ビットを変更する場合、Init ビットが"1"のときに変更してください。*
- *DAR ビットに"1"を設定して、複数のメッセージバッファによる送信を行った場合、以下の動作になります。*
- *フレーム送信開始前または送信中に他のメッセージバッファの TxRqst に"1"が設定された場合(複数のメッセージバッファの TxRqst に"1"が設定された場合)、フレーム送信の開始時、設定されたすべての TxRxst が"0"にリセットされ、その中で優先順位の高いメッセージバッファのデータが送信されます。*

  フレーム送信が正常終了すると送信されたメッセージバッファの NewDat が"0"にリセットされ、そのときメッセージバッファの TxIE が"1"の場合、メッセージオブジェクトの IntPnd は"1"に設定されます。
  ほかのメッセージバッファはフレーム送信開始時、TxRqst が"0"にリセットされたためにフレーム送信は行われません。NewDat または IntPnd によって送信されたメッセージバッファを確認後、送信したいメッセージバッファに対し、再度 TxRqst と NewDat に"1"を設定してください。

[bit4] 予約 ： 予約ビット

読出し時は"0"が読み出されます。書込み時は"0"を設定してください。

[bit3] EIE： エラー割込みコード許可ビット

bit	機能
0	CAN ステータスレジスタの BOff または EWarn ビットの変化により、CAN 割込みレジスタへの割込みコードの設定を禁止します。 [初期値]
1	CAN ステータスレジスタの BOff または EWarn ビットの変化により、CAN 割込みレジスタへのステータス割込みコードの設定を許可します。

[bit2] SIE： ステータス割込みコード許可ビット

bit	機能
0	CAN ステータスレジスタの TxOk, RxOk または LEC ビットの変化により、CAN 割込みレジスタへの割込みコードの設定を禁止します。 [初期値]
1	CAN ステータスレジスタの TxOk, RxOk または LEC ビットの変化により、CAN 割込みレジスタへのステータス割込みコードの設定を許可します。CPU からの書込みによって発生した TxOk, RxOk, LEC ビットの変化は CAN 割込みレジスタには設定されません。

[bit1] IE： 割込み許可ビット

bit	機能
0	割込みの発生を禁止します。 [初期値]
1	割込みの発生を許可します。

[bit0] Init： 初期化ビット

bit	機能
0	CAN コントローラ動作可能
1	初期化 [初期値]

＜注意事項＞

- *バスオフリカバリシーケンス(CAN 仕様 Rev. 2.0 参照)は、Init ビットの設定/解除によって短縮はできません。デバイスがバスオフになると、CAN コントローラ自身が Init ビットを"1"に設定し、すべてのバス動作を停止します。バスオフ状態から Init ビットを"0"にクリアすると、バスアイドルが連続的に 129 回(11 ビットのレセッシブを 1 回とする)発生するまでバス動作を停止状態にします。バスオフリカバリシーケンス実行後、エラーカウンタをリセットします。*
- *バスオフリカバリシーケンス中に Init ビットに"1"を設定し、再度 Init ビットに"0"を設定した場合、バスオフリカバリシーケンスを最初から実施します(11 ビットのレセッシブを 1 回として 129 回再度実施)。*
- *CAN ビットタイミングレジスタへの書込みは、Init および CCE ビットに"1"を設定してください。*
- *送受信途中で Init ビットに"1"を設定した場合、即送受信を中止します。*
- *送信中、Init ビットに"1"を設定する場合、送信完了後に Init ビットに"1"を設定してください。もし、送信中、Init ビットに"1"を設定した場合、Init ビットに"0"を設定してから 2 ビット時間経過後に送信の設定(TxRqst="1")を行ってください。*
- *低消費電力モード(停止モード、クロックモード)へ遷移する前、および供給クロックを変更する前に Init ビットに"1"を書き込んで CAN コントローラを初期化状態しなければなりません。*
- *次のレジスタにより、CAN インタフェースに供給するクロックの分周比を変更する場合は、Init ビットに"1"を設定し、CAN コントローラを停止した状態で行ってください。*
  - *CAN ビットタイミングレジスタ(BTR)*
  - *CAN プリスケーラ拡張レジスタ(BRPER)*
  - *CAN プリスケーラ(CANPRE)*

4.2.2 CAN ステータスレジスタ (STATR)

CAN ステータスレジスタは、CAN ステータスおよび CAN バス状態を表示します。

レジスタ構成

■ CAN ステータスレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

■ CAN ステータスレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	BOff	EWarn	EPass	RxOk	TxOk	LEC		
属性	R	R	R	R/W	R/W	R/W		
初期値	0	0	0	0	0	000		

レジスタ機能

[bit15:8] 予約 : 予約ビット

読出し時は"0"が読み出されます。書込み時は"0"を設定してください。

[bit7] BOff : バスオフビット

bit	機能
0	CAN コントローラはバスオフ状態でないことを示します。 [初期値]
1	CAN コントローラはバスオフ状態であることを示します。

[bit6] EWarn : ワーニングビット

bit	機能
0	送信と受信カウンタが共に 96 未満であることを示します。 [初期値]
1	送信または受信カウンタが 96 以上であることを示します。

[bit5] EPass : エラーパッシブビット

bit	機能
0	送信と受信カウンタが共に 128 未満(エラーアクティブ状態)であることを示します。 [初期値]
1	受信カウンタの RP ビットが"1"または送信カウンタが 128 以上 255 以下(エラーパッシブ状態)であることを示します。

[bit4] RxOk : メッセージ正常受信ビット

bit	機能
0	CAN バス上で正常なメッセージ通信が行われていない またはバスアイドル状態であることを示します。 [初期値]
1	CAN バス上で正常なメッセージ通信が行われたことを示します。

[bit3] TxOk： メッセージ正常送信ビット

bit	機能
0	バスアイドル状態もしくは正常なメッセージ送信が行われていないことを示します。 [初期値]
1	正常なメッセージ送信が行われたことを示します。

＜注意事項＞

- *RxOk および TxOk ビットは、CPU によってのみリセットされます。*

[bit2:0] LEC： ラストエラーコードビット

bit2:0	状態	機能
0	正常	正常に送信または受信されたことを示します。 [初期値]
1	Stuff エラー	メッセージ内において 6 ビット以上連続してドミナントまたはレセッシブを検出したことを示します。
2	Form エラー	受信されたフレームの固定フォーマット部が間違って検出したことを示します。
3	Ack エラー	送信メッセージに対し、他のノードからアクノリッジされなかったことを示します。
4	Bit1 エラー	調停フィールドを除くメッセージの送信データにおいて、レセッシブを送信したにも関らずドミナントを検出したことを示します。
5	Bit0 エラー	メッセージの送信データにおいて、ドミナントを送信したにも関らずレセッシブを検出したことを示します。 バスリカバリ中には、11 ビットのレセッシブを検出するごとに設定されます。 このビットを読み出すことによりバスリカバリシーケンスを監視できます。
6	CRC エラー	受信したメッセージの CRC データと計算した CRC の結果が一致しなかったことを示します。
7	未検出	CPU によって LEC ビットに"7"の書込みを行ってから、LEC 値が"7"を読み出した場合、その期間は送受信しなかったことを示します。(バスアイドル状態)

LEC ビットは CAN バス上で発生した最後のエラーを示すコードを保持します。メッセージがエラーなしで転送(受信/送信)完了すると"0"にクリアされます。未検出コード"7"は、コード更新をチェックするために CPU によって設定されます。

＜注意事項＞

- *EIE ビットが"1"のときに BOff および EWarn ビットが変化した場合、もしくは SIE ビットが"1"のときに RxOk, TxOk および LEC ビットが変化した場合、ステータス割込みコード(0x8000)は、CAN 割込みレジスタに設定されます。*
- *RxOk, TxOk ビットは CPU の書込みによって更新されるため、CAN コントローラによってセットされた RxOk, TxOk ビットが消えてしまいます。もし RxOk, TxOk ビットを使用する場合には、RxOk または TxOk ビットが"1"に設定されてから(45×BT)時間以内にクリアしてください。BT は 1 ビットタイムを示します。*
- *SIE ビットが"1"のとき、LEC ビットの変化による割込みが発生した場合には CAN ステータスレジスタに書き込まないでください。*
- *EPass ビットの変化あるいは RxOk, TxOk および LEC ビットへの CPU 書込み動作では発生しません。*
- *BOff ビットが"1"になった場合、EPass ビット、EWarn ビットは"1"の状態になっています。また、EPass ビットが"1"になった場合、EWarn ビットは"1"の状態になっています。*
- *本レジスタを読み出すことにより、CAN 割込みレジスタのステータス割込み(0x8000)はクリアされます。*

4.2.3 CAN エラーカウンタ (ERRCNT)

CAN エラーカウンタは、受信エラーパッシブ表示および受信エラーカウンタ, 送信エラーカウンタを示します。

レジスタ構成

■ CAN エラーカウンタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	RP	REC[6:0]						
属性	R	R						
初期値	0	0000000						

■ CAN エラーカウンタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	TEC[7:0]							
属性	R							
初期値	0x00							

レジスタ機能

[bit15] RP： 受信エラーパッシブ表示

bit	機能
0	受信エラーカウンタはエラーパッシブ状態でないことを示します。 [初期値]
1	受信エラーカウンタは CAN 仕様で定義されているエラーパッシブ状態に到達したことを示します。

[bit14:8] REC[6:0]： 受信エラーカウンタ

受信エラーカウンタ値。受信エラーカウンタ値の範囲は 0～127 です。

受信エラーカウンタが 128 以上になる場合、RP ビットに"1"を設定し、受信エラーカウンタは更新されません。

例) RP=0, REC[6:0]=127, 受信エラーで+8 される場合、
その結果は、RP=1, REC[6:0]=127
RP=0, REC[6:0]=126, 受信エラーで+8 される場合、
その結果は、RP=1, REC[6:0]=126
RP=0, REC[6:0]=119, 受信エラーで+8 される場合、
その結果は、RP=0, REC[6:0]=127
RP=1, REC[6:0]=126, 正常受信された場合、
その結果は、RP=0, REC[6:0]=125

[bit7:0] TEC[7:0]： 送信エラーカウンタ

送信エラーカウンタ値。送信エラーカウンタ値の範囲は 0～255 です。

送信エラーカウンタが 256 以上になる場合、CAN 制御レジスタの Init ビットに"1"を設定し、送信エラーカウンタは更新されません。

例) Init=0, TEC[7:0]=255, 送信エラーで+8 される場合、
その結果は、Init=1, TEC[7:0]=255
Init=0, TEC[7:0]=254, 送信エラーで+8 される場合、
その結果は、Init=1, TEC[7:0]=254
Init=0, TEC[7:0]=247, 送信エラーで+8 される場合、
その結果は、Init=0, TEC[7:0]=255

4.2.4 CAN ビットタイミングレジスタ (BTR)

CAN ビットタイミングレジスタは、プリスケーラおよびビットタイミングを設定します。

レジスタ構成

■ CAN ビットタイミングレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	TSeg2			TSeg1			
属性	-	R/W			R/W			
初期値	0	010			0011			

■ CAN ビットタイミングレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	SJW		BRP					
属性	R/W		R/W					
初期値	00		000001					

レジスタ機能

[bit15] 予約 : 予約ビット

読出し時は、"0"が読み出されます。書込み時は"0"を設定してください。

[bit14:12] TSeg2 : タイムセグメント 2 設定ビット

有効設定値は 0～7 です。TSeg2+1 の値がタイムセグメント 2 になります。
タイムセグメント 2 は、CAN 仕様のフェーズバッファセグメント(PHASE_SEG2)に相当します。

[bit11:8] TSeg1 : タイムセグメント 1 設定ビット

有効設定値は 1～15 です。0 の設定は禁止です。TSeg1+1 の値がタイムセグメント 1 になります。
タイムセグメント 1 は、CAN 仕様のプロパゲーションセグメント(PROP_SEG) + フェーズバッファセグメント 1(PHASE_SEG1)に相当します。

[bit7:6] SJW : 再同期化ジャンプ幅設定ビット

有効設定値は 0～3 です。SJW+1 の値が再同期ジャンプ幅です。

[bit5:0] BRP : ボーレートプリスケーラ設定ビット

有効設定値は 0～63 です。BRP+1 の値がボーレートプリスケーラになります。
システムクロック(fsys)を分周して、CAN コントローラの基本単位時間(tq)を決定します。

<注意事項>

- *CAN 制御レジスタの CCE ビットと Init ビットが"1"に設定されているときに、CAN ビットタイミングレジスタおよび CAN プリスケーラ拡張レジスタを設定してください。*

4.2.5 CAN 割込みレジスタ (INTR)

CAN 割込みレジスタは、メッセージ割込みコードおよびステータス割込みコードを表示します。

レジスタ構成

■ CAN 割込みレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	IntId15-8							
属性	R							
初期値	0x00							

■ CAN 割込みレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	IntId7-0							
属性	R							
初期値	0x00							

レジスタ機能

bit15:0	機能
0x0000	割込みなし
0x0001～0x0020	割込み要因はメッセージオブジェクトの番号を示します。 (メッセージ割込みコード)
0x0021～0x7FFF	未使用
0x8000	CAN ステータスレジスタの変化による割込みを示します。 (ステータス割込みコード)
0x8001～0xFFFF	未使用

複数の割込みコードが保留中である場合、CAN 割込みレジスタは優先度の高い割込みコードを示します。割込みコードが CAN 割込みレジスタに設定されていても優先度の高い割込みコードが発生した場合には、CAN 割込みレジスタは優先度の高い割込みコードに更新されます。

優先度の高い割込みコードは、ステータス割込みコード(0x8000)、メッセージ割込み(0x0001, 0x0002, 0x0003, ……, 0x0020)の順になります。

IntId ビットが 0x0000 以外で、CAN 制御レジスタの IE ビットが"1"に設定されると、CPU への割込み信号がアクティブになります。IntId の値が 0x0000 になる(割込み要因がリセットされる)もしくは CAN 制御レジスタの IE ビットが"0"にリセットされると、割込み信号はインアクティブになります。

対象となるメッセージオブジェクト(メッセージオブジェクトについては「4.4 メッセージオブジェクト」を参照してください)の IntPnd ビットを"0"にクリアすることでメッセージ割込みコードはクリアされます。

ステータス割込みコードは CAN ステータスレジスタを読み出すことでクリアされます。

<注意事項>

- *CAN 割込みレジスタをリードする際はハーフワードまたはワードでアクセスしてください。*

4.2.6 CAN テストレジスタ (TESTR)

CAN テストレジスタは、テストモードの設定および RX 端子のモニタを行います。動作については、「3.7 テストモード」を参照してください。

レジスタ構成

■ CAN テストレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

■ CAN テストレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Rx	Tx1	Tx0	LBack	Silent	Basic	予約	予約
属性	R	R/W	R/W	R/W	R/W	R/W	-	-
初期値	r	0	0	0	0	0	0	0

bit7 の Rx の初期値 r は、CAN バス上のレベルが表示されます。

レジスタ機能

[bit15:8] 予約 : 予約ビット

読出し時は"0"が読み出されます。書込み時は"0"を設定してください。

[bit7] Rx : Rx 端子モニタビット

bit	機能
0	CAN バスはドミナントであることを示します。
1	CAN バスはレセッシブであることを示します。

[bit6:5] Tx1-0 : TX 端子コントロールビット

bit6	bit5	機能
0	0	通常動作 [初期値]
0	1	サンプリングポイントが Tx 端子に出力されます。
1	0	TX 端子にドミナントを出力します。
1	1	TX 端子にレセッシブを出力します。

[bit4] LBack : ループバックモード

bit	機能
0	ループバックモードを禁止します。 [初期値]
1	ループバックモードを許可します。

[bit3] Silent : サイレントモード

bit	機能
0	サイレントモードを禁止します。 [初期値]
1	サイレントモードを許可します。

[bit2] Basic : ベーシックモード

bit	機能
0	ベーシックモードを禁止します。 [初期値]
1	ベーシックモードを許可します。 IF1 レジスタは送信メッセージとして、IF2 レジスタは受信メッセージとして使用されます。

[bit1:0] 予約 : 予約ビット

読出し時、"0"が読み出されます。書込み時は"0"を設定してください。

＜注意事項＞

- *CAN 制御レジスタの Test ビットを"1"に設定した後、本レジスタへ書き込んでください。テストモードが有効となるのは、CAN 制御レジスタの Test ビットが"1"のときです。途中で CAN 制御レジスタの Test ビットを"0"にするとテストモードから通常モードになります。*
- *Tx ビットを"00"以外に設定した場合、メッセージは送信できません。*

4.2.7 CAN プリスケーラ拡張レジスタ(BRPER)

CAN プリスケーラ拡張レジスタは、CAN ビットタイミングで設定したプリスケーラと組み合せることにより、CAN コントローラで使用するプリスケーラを拡張します。

レジスタ構成

■ CAN プリスケーラ拡張レジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

■ CAN プリスケーラ拡張レジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	予約				BRPE			
属性	-				R/W			
初期値	0000				0000			

レジスタ機能

[bit15:4] 予約 : 予約ビット

読出し時は、"0"が読み出されます。書込み時は"0"を設定してください。

[bit3:0] BRPE : ボーレートプリスケーラ拡張ビット

CAN ビットタイミングレジスタの BRP と BRPE を組み合せることにより、1023 までボーレートプリスケーラを拡張できます。

{BRPE(MSB:4 ビット), BRP(LSB:6 ビット)} + 1 の値が CAN コントローラのプリスケーラ値になります。

4.3 メッセージインタフェースレジスタ

CPU からメッセージ RAM へのアクセスを制御するために 2 組のメッセージインタフェースレジスタを提供します。

メッセージ RAM への CPU アクセスを制御するために使用される 2 組のメッセージインタフェースレジスタがあります。この 2 組のレジスタは、転送された(する)データ(メッセージオブジェクト)をバッファすることで、メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避します。
メッセージオブジェクト(メッセージオブジェクトについては、「4.4 メッセージオブジェクト」を参照してください)は、メッセージインタフェースレジスタとメッセージ RAM 間を一度に転送します。

テストベーシックモードを除き、2 組のメッセージインタフェースレジスタの機能は同一で、独立して動作可能です。例えば、IF1 のメッセージインタフェースレジスタをメッセージ RAM への書込み動作中に、IF2 のメッセージインタフェースレジスタをメッセージ RAM からの読出しに使用することも可能です。Table 4-2 に 2 組のメッセージインタフェースレジスタを示します。

メッセージインタフェースレジスタは、コマンドレジスタ(コマンド要求、コマンドマスクレジスタ)と、このコマンドレジスタによって制御されるメッセージバッファレジスタ(マスク, アービトレーション, メッセージ制御, データレジスタ)から構成されます。コマンドマスクレジスタは、データ転送の方向とメッセージオブジェクトのどの部分が転送されるのかを示します。コマンド要求レジスタは、メッセージ番号の選択と、コマンドマスクレジスタに設定された動作を行います。

4.3.1 IFx コマンド要求レジスタ (IFxCREQ)

IFx コマンド要求レジスタは、メッセージ RAM のメッセージ番号の選択とメッセージ RAM とメッセージバッファレジスタ間の転送を行います。また、テストのベーシックモードでは、IF1 を送信制御用に IF2 を受信制御用として使用します。

レジスタ構成

■ IFx コマンド要求レジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	BUSY	予約						
属性	R/W	-						
初期値	0	0000000						

■ IFx コマンド要求レジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Message Number							
属性	R/W							
初期値	00000001							

レジスタ機能

IFx コマンド要求レジスタへメッセージ番号を書き込むとすぐにメッセージ RAM とメッセージバッファレジスタ(マスク, アービトレーション, メッセージ制御, データレジスタ)とのメッセージ転送が開始されます。この書込み動作で、BUSY ビットが"1"に設定され、BUSY ビットが"1"の間転送処理中であることを示します。その転送が終了すると、BUSY ビットが"0"にリセットされます。

BUSY ビットが"1"のときに、CPU からメッセージインタフェースレジスタへアクセスが発生すると、BUSY ビットが"0"になるまで(コマンド要求レジスタ書込み後、Clock で 3～6 サイクル期間)、CPU はウェイトします。

テストのベーシックモードでは、BUSY ビットの使用方法が異なります。IF1 コマンド要求レジスタは、送信メッセージとして使用され、BUSY ビットに"1"をセットすることによりメッセージ送信開始を指示します。メッセージ転送が正常終了すると、BUSY ビットは"0"にリセットされます。また、BUSY ビットを"0"にリセットすることにより、いつでもメッセージ転送を中断させることが可能です。

IF2 コマンド要求レジスタは、受信メッセージとして使用され、BUSY ビットを"1"に設定することにより、受信したメッセージを IF2 メッセージインタフェースレジスタに格納します。

[bit15] BUSY : ビジーフラグビット

■ テストベーシックモード以外

bit	機能
0	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理を行っていないことを示します。 [初期値]
1	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理中であることを示します。

■ テストベーシックモード

□ IF1 コマンド要求レジスタ

bit	機能
0	メッセージ送信を禁止します。
1	メッセージ送信を許可します。

□ IF2 コマンド要求レジスタ

bit	機能
0	メッセージ受信を禁止します。
1	メッセージ受信を許可します。

[bit14:8] 予約 : 予約ビット

読出し時は、"0"が読み出されます。書込み時は"0"を設定してください。

[bit7:0] Message Number : メッセージ番号(32 メッセージバッファ)

bit7:0	機能
0x00, 0x40, 0x60, 0x80, 0xA0, 0xC0, 0xE0	設定禁止です。 設定した場合、0x20 として解釈され、0x20 が読み出されます。
0x01～0x20	処理を行うメッセージ番号を設定します。
0x21～0x3F, 0x41～0x5F, 0x61～0x7F, 0x81～0x9F, 0xA1～0xBF, 0xC1～0xDF, 0xE1～0xFF	設定禁止です。設定した場合、0x01-0x1F として解釈され、解釈された値が読み出されます。

<注意事項>

- *BUSY ビットは、読出し/書込みが可能です。テストのベーシックモード時以外は、このビットに何を書いても動作に影響しません(ベーシックモードについては「3.7 テストモード」を参照してください)。*

4.3.2 IFx コマンドマスクレジスタ (IFxCMSK)

IFx コマンドマスクレジスタは、メッセージインタフェースレジスタとメッセージ RAM 間の転送方向を制御し、どのデータを更新するかを設定します。また、テストのベーシックモードでは本レジスタは無効です。

レジスタ構成

■ IFx コマンドマスクレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

■ IFx コマンドマスクレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	WR/RD	Mask	Arb	Control	CIP	TxRqst/ NewDat	Data A	Data B
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15:8] 予約 : 予約ビット

読出し時は、"0"が読み出されます。書込み時は"0"を設定してください。

[bit7] WR/RD : 書込み/読出し制御ビット

bit	機能
0	メッセージ RAM からデータを読み出すことを示します。メッセージ RAM からの読出しは IFx コマンド要求レジスタへの書込みによって実行されます。メッセージ RAM から読み出すデータは、Mask, Arb, Control, CIP, TxRqst/NewDat, Data A, Data B ビットの設定に依存します。[初期値]
1	メッセージ RAM へデータを書き込むことを示します。メッセージ RAM への書込みは IFx コマンド要求レジスタへの書込みによって実行されます。メッセージ RAM への書込みデータは、Mask, Arb, Control, CIP, TxRqst/NewDat, Data A, Data B ビットの設定に依存します。

<注意事項>

- *リセット後、メッセージ RAM のデータは不定です。メッセージ RAM のデータが不定状態でメッセージ RAM のデータを読み出すことは禁止です。*

IFx コマンドマスクレジスタの bit6:0 は、転送方向(WR/RD ビット)の設定により違った意味になります。

■ 転送方向が書込みの場合(WR/RD="1")

[bit6] Mask： マスクデータ更新ビット

bit	機能
0	メッセージオブジェクト*1 のマスクデータ(ID マスク ＋MDir＋MXtd)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のマスクデータ(ID マスク ＋MDir＋MXtd)を更新することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit5] Arb： アービトレーションデータ更新ビット

bit	機能
0	メッセージオブジェクト*1 のアービトレーションデータ(ID＋Dir＋Xtd＋MsgVal)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のアービトレーションデータ(ID＋Dir＋Xtd＋MsgVal)を更新することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit4] Control： 制御データ更新ビット

bit	機能
0	メッセージオブジェクト*1 の制御データ(IFx メッセージ制御レジスタ)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 の制御データ(IFx メッセージ制御レジスタ)を更新することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit3] CIP： 割込みクリアビット

本ビットに"0"または"1"を設定しても CAN コントローラへの動作に影響を与えません。

[bit2] TxRqst/NewDat： メッセージ送信要求ビット

bit	機能
0	メッセージオブジェクト*1 および CAN 送信要求レジスタの TxRqst ビットを変更しないことを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN 送信要求レジスタの TxRqst ビットに"1"を設定(送信要求)することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit1] Data A : データ 0-3 更新ビット

bit	機能
0	メッセージオブジェクト*1 のデータ 0-3 を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のデータ 0-3 を更新することを示します

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit0] Data B : データ 4-7 更新ビット

bit	機能
0	メッセージオブジェクト*1 のデータ 4-7 を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のデータ 4-7 を更新することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

<注意事項>

- *IFx コマンドマスクレジスタの TxRqst/NewDat ビットが"1"に設定されると、IFx メッセージ制御レジスタの TxRqst ビットの設定は無効です。*
- *テストのベーシックモードでは本レジスタは無効です。*

■ 転送方向が読出しの場合(WR/RD="0")

[bit6] Mask： マスクデータ更新ビット

bit	機能
0	メッセージオブジェクト*1 から IFx マスクレジスタ 1, 2 へデータ(ID マスク + MDir + MXtd) を転送しないことを示します。 [初期値]
1	メッセージオブジェクト*1 から IFx マスクレジスタ 1, 2 へデータ(ID マスク + MDir + MXtd) を転送することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit5] Arb： アービトレーションデータ更新ビット

bit	機能
0	メッセージオブジェクト*1 から IFx アービトレーション 1, 2 へデータ(ID+ Dir + Xtd + MsgVal) を転送しないことを示します。 [初期値]
1	メッセージオブジェクト*1 から IFx アービトレーション 1, 2 へデータ(ID+ Dir + Xtd + MsgVal) を転送することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit4] Control： 制御データ更新ビット

bit	機能
0	メッセージオブジェクト*1 から IFx メッセージ制御レジスタへデータを転送しないことを示します。 [初期値]
1	メッセージオブジェクト*1 から IFx メッセージ制御レジスタへデータを転送することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit3] CIP： 割込みクリアビット

bit	機能
0	メッセージオブジェクト*1 および CAN 割込みペンディングレジスタの IntPnd ビットを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN 割込みペンディングレジスタの IntPnd ビットを"0"にクリアすることを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit2] TxRqst/NewDat： データ更新ビット

bit	機能
0	メッセージオブジェクト*1 および CAN データ更新レジスタの NewDat ビットを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN データ更新レジスタの NewDat ビットを"0"にクリアすることを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit1] Data A : データ 0-3 更新ビット

bit	機能
0	メッセージオブジェクト*1 および CAN データレジスタ A1, A2 のデータを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN データレジスタ A1, A2 のデータを更新することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

[bit0] Data B : データ 4-7 更新ビット

bit	機能
0	メッセージオブジェクト*1 および CAN データレジスタ B1, B2 のデータを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN データレジスタ B1, B2 のデータを更新することを示します。

*1:「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

- *メッセージオブジェクトへの読出しアクセスにより、IntPnd および NewDat ビットは"0"にリセットすることが可能です。ただし、IFx メッセージ制御レジスタの IntPnd および NewDat ビットには、読出しアクセスによりリセットされる前の IntPnd, NewDat ビットが格納されます。*
- *テストのベーシックモードでは無効です。*

4.3.3 IFx マスクレジスタ 1, 2 (IFxMSK1, IFxMSK2)

IFx マスクレジスタ 1, 2 は、メッセージ RAM のメッセージオブジェクトマスクデータを書込み/読出しするために用いられます。また、テストのベーシックモードでは、設定されているマスクデータは無効です。

各ビットの機能については「4.4 メッセージオブジェクト」に記述されています。

レジスタ構成

■ IFx マスクレジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	MXtd	MDir	予約	Msk28-24				
属性	R/W	R/W	-	R/W				
初期値	1	1	1	11111				

■ IFx マスクレジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Msk23-16							
属性	R/W							
初期値	0xFF							

■ IFx マスクレジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	Msk15-8							
属性	R/W							
初期値	0xFF							

■ IFx マスクレジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Msk7-0							
属性	R/W							
初期値	0xFF							

本レジスタのビット説明については「4.4 メッセージオブジェクト」を参照してください。

本レジスタの予約ビット(IFx マスクレジスタ 2 の bit13)は"1"が読み出されます。

書込み時は"1"を書き込んでください。

4.3.4 IFx アービトレーションレジスタ 1, 2 (IFxARB1, IFxARB2)

IFx アービトレーションレジスタ 1, 2 は、メッセージ RAM のメッセージオブジェクトアービトレーションデータを書込み/読出しするために用いられます。また、テストのベーシックモードでは無効です。

各ビットの機能については、「4.4 メッセージオブジェクト」に記述されています。

レジスタ構成

■ IFx アービトレーションレジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	MsgVal	Xtd	Dir	ID28-24				
属性	R/W	R/W	R/W	R/W				
初期値	0	0	0	00000				

■ IFx アービトレーションレジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	ID23-16							
属性	R/W							
初期値	0x00							

■ IFx アービトレーションレジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	ID15-8							
属性	R/W							
初期値	0x00							

■ IFx アービトレーションレジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	ID7-0							
属性	R/W							
初期値	0x00							

本レジスタのビット説明については「4.4 メッセージオブジェクト」を参照してください。

<注意事項>

- *送信途中でメッセージオブジェクトの MsgVal ビットを"0"にクリアした場合、送信が完了した時点で CAN ステータスレジスタの TxOk ビットは"1"になります。ただし、メッセージオブジェクトおよび CAN 送信要求レジスタの TxRqst ビットは"0"にクリアされません。このため、メッセージインタフェースレジスタによって TxRqst ビットを"0"にクリアしてください。*

4.3.5 IFx メッセージ制御レジスタ(IFxMCTR)

IFx メッセージ制御レジスタは、メッセージ RAM のメッセージオブジェクト制御データを書込み/読出しするために用いられます。また、テストのベーシックモードでは、IF1 メッセージ制御レジスタは無効です。IF2 メッセージ制御レジスタの NewDat と MsgLst は通常の動作を行い、DLC ビットは受信したメッセージの DLC を表示します。その他の制御ビットは無効("0")として動作します。

各ビットの機能については「4.4 メッセージオブジェクト」に記述されています。

レジスタ構成

■ IFx メッセージ制御レジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	NewDat	MsgLst	IntPnd	UMask	TxIE	RxIE	RmtEn	TxRqst
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ IFx メッセージ制御レジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	EoB	予約			DLC3-0			
属性	R/W	-			R/W			
初期値	0	000			0000			

本レジスタのビット説明については「4.4 メッセージオブジェクト」を参照してください。

<注意事項>

TxRqst, NewDat および IntPnd ビットは、IFx コマンドマスクレジスタの WR/RD ビットの設定によって以下のような動作になります。

- *転送方向が書込みの場合(IFx コマンドマスクレジスタ : WR/RD="1")*
- *IFx コマンドマスクレジスタの TxRqst/NewDat が"0"に設定されている場合のみ、本レジスタの TxRqst ビットが有効です。*

- *転送方向が読出しの場合(IFx コマンドマスクレジスタ : WR/RD="0")*
- *IFx コマンドマスクレジスタの CIP ビットを"1"、IFx コマンド要求レジスタへの書込みによりメッセージオブジェクトおよび CAN 割込みペンディングレジスタの IntPnd ビットをリセットした場合、本レジスタにはリセットされる前の IntPnd ビットが格納されます。*
- *IFx コマンドマスクレジスタの TxRqst/NewDat ビットを"1"、IFx コマンド要求レジスタへの書込みによりメッセージオブジェクトおよび CAN データ更新レジスタの NewDat ビットをリセットした場合、本レジスタにはリセットする前の NewDat ビットが格納されます。*

4.3.6 IFx データレジスタ A1, A2, B1, B2 (IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)

IFx データレジスタ A1, A2, B1, B2 は、メッセージ RAM のメッセージオブジェクト送受信データを書込み/読出しするために用いられます。データフレームの送受信のみ使用され、リモートフレームの送受信には使用されません。

レジスタ構成

	addr+3	addr+2	addr+1	addr+0
IFx データ A レジスタ 1(リトルエンディアン)			Data(1)	Data(0)
IFx データ A レジスタ 2(リトルエンディアン)	Data(3)	Data(2)		
IFx データ B レジスタ 1(リトルエンディアン)			Data(5)	Data(4)
IFx データ B レジスタ 2(リトルエンディアン)	Data(7)	Data(6)		
IFx データ A レジスタ 2(ビッグエンディアン)			Data(2)	Data(3)
IFx データ A レジスタ 1(ビッグエンディアン)	Data(0)	Data(1)		
IFx データ B レジスタ 2(ビッグエンディアン)			Data(6)	Data(7)
IFx データ B レジスタ 1(ビッグエンディアン)	Data(4)	Data(5)		

■ IFx データレジスタ

bit	15	14	13	12	11	10	9	8
	7	6	5	4	3	2	1	0
Field	Data							
属性	R/W							
初期値	0x00							

レジスタ機能

■ 送信メッセージデータの設定

設定したデータは、MSB(bit7, bit15)より開始して Data(0), Data(1), …, Data(7)の順で送信されます。

■ 受信メッセージデータ

受信メッセージデータは、MSB(bit7, bit15)より開始して Data(0), Data(1), …, Data(7)の順で格納されます。

<注意事項>

- *受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定データが書き込まれます。*
- *メッセージオブジェクトへの転送は、Data A または Data B の 4 バイト単位で行われるため、4 バイトのうちある一部のデータだけを更新することはできません。*

4.4 メッセージオブジェクト

メッセージ RAM には、32 のメッセージオブジェクトがあります。メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避するために、CPU はメッセージオブジェクトへ直接、アクセスはできません。これらのアクセスは、IFx メッセージインタフェースレジスタ経由で行います。

本節では、メッセージオブジェクトの構成と機能を説明します。

メッセージオブジェクトの構成

メッセージオブジェクト

UMask	Msk28-0	MXtd	MDir	EoB	New Dat		MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
MsgVal	ID28-0	Xtd	Dir	DLC3-0	Data0	Data1	Data2	Data3	Data4	Data5	Data6	Data7

<注意事項>

- *メッセージオブジェクトは、CAN 制御レジスタの Init ビット、ハードウェアリセットでは初期化されません。ハードウェアリセットの場合、ハードウェアリセット解除後、CPU によってメッセージ RAM を初期化するかメッセージ RAM の MsgVal を"0"にしてください。*

メッセージオブジェクトの機能

ID28-0, Xtd, Dir ビットは、メッセージを送信する場合、ID とメッセージの種類に使用されます。メッセージを受信する場合、Msk28-0, MXtd, MDir ビットと共に受容フィルタで使用されます。

受容フィルタを通過したデータフレームまたはリモートフレームの ID, IDE, RTR, DLC および DATA は、メッセージオブジェクトの ID28-ID0, Xtd, Dir, DLC3-DLC0, Data7-Data0 に格納されます。Xtd は拡張フレームか標準フレームかを示し、Xtd が"1"の場合、29 ビット ID(拡張フレーム)を、Xtd が"0"の場合は、11 ビット ID(標準フレーム)を受信します。

受信したデータフレームまたはリモートフレームが 1 つ以上のメッセージオブジェクトと一致した場合は、一致した最小のメッセージ番号に格納されます。詳細は「3.3 メッセージ受信動作」の受信メッセージの受容フィルタを参照してください。

MsgVal : 有効メッセージビット

bit	機能
0	メッセージオブジェクトは無効です。 メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。 メッセージの送受信が可能です。

<注意事項>

- *CAN 制御レジスタの Init ビットを"0"にリセットする前に未使用のメッセージオブジェクトの MsgVal ビットを"0"にリセットしてください。*
- *ID28-0, Xtd, Dir, DLC3-0 を変更する前には、メッセージオブジェクトの MsgVal ビットを必ず"0"にリセットしてください。*
- *送信中に MsgVal ビットを"0"にすると送信が完了した時点で CAN ステータスレジスタの TxOk ビットは"1"になります。ただし、メッセージオブジェクトおよび CAN 送信要求レジスタの TxRqst ビットは"0"にクリアされません。このため、メッセージインタフェースレジスタによって TxRqst ビットを"0"にクリアしてください。*

UMask： 受容マスク許可ビット

bit	機能
0	Msk28-0, MXtd, MDir を使用しません。
1	Msk28-0, MXtd, MDir を使用します。

<注意事項>

- *CAN 制御レジスタの Init ビットが"1"のとき、または MsgVal ビットが"0"のときに UMask ビットを変更してください。*
- *Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask の設定により動作が異なります*
- *UMask が"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NewDat ビットは"1"に設定され、データは変更しません(データフレームのように取り扱います)。*
- *UMask が"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。*

ID28-ID0： メッセージ ID

	機能
ID28 - ID0	29 ビット ID(拡張フレーム)を指示します。
ID28 - ID18	11 ビット ID(標準フレーム)を指示します。

Msk28-Msk0 : ID マスク

bit	機能
0	メッセージオブジェクトの ID と対応するビットをマスクします。
1	メッセージオブジェクトの ID と対応するビットをマスクしません。

Xtd： 拡張 ID 許可ビット

bit	機能
0	メッセージオブジェクトは 11 ビット ID(標準フレーム)が使用されます。
1	メッセージオブジェクトは 29 ビット ID(拡張フレーム)が使用されます。

MXtd： 拡張 ID マスクビット

bit	機能
0	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行いません。受信したフレームの IDE ビットにしたがって標準フレームの ID として比較するか、拡張フレームの ID として比較するか決定します。
1	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行います。

<注意事項>

- *11 ビット ID(標準フレーム)がメッセージオブジェクトに設定されると、受信したデータフレームの ID は、ID28～ID18 へ書き込まれます。ID マスクは、Msk28～Msk18 が使用されます。*

Dir : メッセージ方向ビット

bit	機能
0	受信方向を示します。 TxRqst が"1"に設定されると、リモートフレームの送信を行い、TxRqst が"0"のときは、受容フィルタを通過したデータフレームを受信します。
1	送信方向を示します。 TxRqst が"1"に設定されると、データフレームを送信します。TxRqst が"0"で RmtEn が"1"に設定されている場合、受容フィルタを通過したリモートフレームの受信によって、CAN コントローラ自身が TxRqst を"1"に設定します。

MDir : メッセージ方向マスクビット

bit	機能
0	受容フィルタでメッセージ方向ビット(Dir)をマスクします。
1	受容フィルタでメッセージ方向ビット(Dir)をマスクしません。

<注意事項>

- *MDir ビットは常に"1"を設定してください。*

EoB : エンドオブバッファビット(詳細は「3.4 FIFO バッファ機能」を参照してください)

bit	機能
0	メッセージオブジェクトは FIFO バッファとして使用され、最終メッセージでないことを示します。
1	単一メッセージオブジェクトまたは FIFO バッファの最終メッセージオブジェクトを示します。

<注意事項>

- *EoB ビットは、2～32 メッセージの FIFO バッファを構成するために使用します。*
- *単一メッセージオブジェクト(FIFO を使用しない場合)は、必ず EoB ビットに"1"を設定してください。*

NewDat : データ更新ビット

bit	機能
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

MsgLst : メッセージロスト

bit	機能
0	メッセージロストは発生していません。
1	メッセージロストが発生しています。

<注意事項>

- *MsgLst ビットは Dir ビットが"0"のとき(受信方向)のみ有効です。*

RxIE： 受信割込みフラグイネーブルビット

bit	機能
0	フレーム受信成功後、IntPnd は変更されません。
1	フレーム受信成功後、IntPnd が"1"に設定されます。

TxIE： 送信割込みフラグイネーブルビット

bit	機能
0	フレーム送信成功後、IntPnd は変更されません。
1	フレーム送信成功後、IntPnd が"1"に設定されます。

IntPnd： 割込みペンディングビット

bit	機能
0	割込み要因がありません。
1	割込み要因があります。 他に優先度の高い割込みがない場合は、CAN 割込みレジスタの IntId ビットはこのメッセージオブジェクトを示します。

RmtEn： リモートイネーブル

bit	機能
0	リモートフレームの受信で、TxRqst は変更されません。
1	Dir ビットが"1"でリモートフレームを受信すると、TxRqst が"1"に設定されます。

＜注意事項＞

Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask の設定により動作が異なります

- *UMask が"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納します。NewDat ビットは"1"に設定され、データは変更しません(データフレームのように取り扱います)。*
- *UMask が"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。*

TxRqst： 送信要求ビット

bit	機能
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

DLC3-0： データ長コード

bit	機能
0-8	データフレーム長は 0～8 バイトです。
9-15	設定禁止です。 設定された場合は、8 バイト長です。

＜注意事項＞

- *データフレームを受信すると DLC ビットには、受信した DLC が格納されます。*

Data 0-7 : データ 0-7

	機能
Data 0	CAN データフレームの最初のデータバイト
Data 1	CAN データフレームの 2 番目のデータバイト
Data 2	CAN データフレームの 3 番目のデータバイト
Data 3	CAN データフレームの 4 番目のデータバイト
Data 4	CAN データフレームの 5 番目のデータバイト
Data 5	CAN データフレームの 6 番目のデータバイト
Data 6	CAN データフレームの 7 番目のデータバイト
Data 7	CAN データフレームの 8 番目のデータバイト

<注意事項>

- *CAN バスへのシリアル出力は、MSB(bit7 または bit15)より出力します。*
- *受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定が書き込まれます。*
- *メッセージオブジェクトへの転送は、Data A または Data B の 4 バイト単位で行われるため、4 バイトのうちある一部のデータだけの更新はできません。*

4.5 メッセージハンドラレジスタ

メッセージハンドラレジスタは、すべて読出し専用です。メッセージオブジェクトの TxRqst, NewDat, IntPnd, MsgVal ビットと IntId ビットは、ステータスを表示します。

メッセージハンドラレジスタ

4.5.1. CAN 送信要求レジスタ (TREQR1, TREQR2)
4.5.2. CAN データ更新レジスタ (NEWDT1, NEWDT2)
4.5.3. CAN 割込みペンディングレジスタ(INTPND1, INTPND2)
4.5.4. CAN メッセージ有効レジスタ (MSGVAL1, MSGVAL2)

4.5.1 CAN 送信要求レジスタ (TREQR1, TREQR2)

CAN 送信要求レジスタは、全メッセージオブジェクトの TxRqst ビットを表示します。TxRqst ビットを読み出すことにより、どのメッセージオブジェクトの送信要求がペンディング中であるかチェックできます。

レジスタ構成

■ CAN 送信要求レジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	TxRqst32-25							
属性	R							
初期値	0x00							

■ CAN 送信要求レジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	TxRqst24-17							
属性	R							
初期値	0x00							

■ CAN 送信要求レジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	TxRqst16-9							
属性	R							
初期値	0x00							

■ CAN 送信要求レジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	TxRqst8-1							
属性	R							
初期値	0x00							

レジスタ機能

TxRqst32-1： 送信要求ビット

bit	機能
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

TxRqst ビットのセット/リセット条件を以下に示します。

■ セット条件

- IFx コマンドマスクレジスタの WR/RD に"1", TxRqst に"1"を設定して、IFx コマンド要求レジスタへの書込みにより特定オブジェクトの TxRqst に設定できます。
- IFx コマンドマスクレジスタの WR/RD に"1", TxRqst に"0", Control に"1"、IFx メッセージ制御レジスタの TxRqst に"1"を設定して、IFx コマンド要求レジスタへの書込みにより特定オブジェクトの TxRqst に設定できます。
- Dir ビットが"1", RmtEn ビットが"1"に設定し、受容フィルタを通過したリモートフレームの受信によりセットされます。

■ リセット条件

- IFx コマンドマスクレジスタの WR/RD に"1", TxRqst に"0", Control に"1"、IFx メッセージ制御レジスタの TxRqst に"0" を設定して、IFx コマンド要求レジスタへの書込みにより特定オブジェクトの TxRqst をリセットできます。
- フレームの送信が正常終了すると、リセットされます。
- Dir が"1", RmtEn が"0"、UMask が"1"の場合、受容フィルタを通過したリモートフレームの受信によりリセットされます。

＜注意事項＞

- *以下のいずれかの条件の場合、後述のいずれかのイベントが発生するまでメッセージが送信されない可能性があります。*

  条件: *① 優先順位が最下位のメッセージバッファを送信に使用している場合*
  ② TXRqst に"1"を設定したが、送信中止のため、TxRqst に"0"を設定した場合
  ③ ②のタイミングの際に、再度 TxRqst に"1"を設定した場合

  イベント: *・CAN バス上に有効なメッセージが流れる*
  ・他のメッセージバッファに対して送信要求が発行される
  ・Init ビットによって CAN が初期化される

  システム上、送信を中止する状況が発生した場合は、以下の手順を行ってください。

  1. *以下のいずれかを実行する*
     送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しない
     送信中止後、上記のいずれかのイベントを発生させる
  2. *再度 TxRqst に"1"を設定する*

- *TxRqst ビットが"1"のときに ID28-0, DLC3-0, Xtd, Data7-0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されないことがあるため TxRqst ビットが"0"のときにそれらを変更してください。*

4.5.2 CAN データ更新レジスタ (NEWDT1, NEWDT2)

CAN データ更新レジスタは、全メッセージオブジェクトの NewDat ビットを表示します。NewDat ビットを読み出すことにより、どのメッセージオブジェクトのデータが更新されたかチェックできます。

レジスタ構成

■ CAN データ更新レジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	NewDat32-25							
属性	R							
初期値	0x00							

■ CAN データ更新レジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	NewDat24-17							
属性	R							
初期値	0x00							

■ CAN データ更新レジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	NewDat16-9							
属性	R							
初期値	0x00							

■ CAN データ更新レジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	NewDat8-1							
属性	R							
初期値	0x00							

レジスタ機能

NewDat32-1： データ更新ビット

bit	機能
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

NewDat ビットのセット/リセット条件を以下に示します。

■ セット条件

- IFx コマンドマスクレジスタの WR/RD に"1", Control に"1"、IFx メッセージ制御レジスタの NewDat に"1"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトに設定できます。
- 受容フィルタを通過したデータフレームの受信によりセットされます。
- Dir が"1", RmtEn が"0"、UMask が"1"の場合、受容フィルタを通過したリモートフレームの受信によりセットされます。

■ リセット条件

- IFx コマンドマスクレジスタの WR/RD に"0", NewDat に"1"を設定した場合、IFx コマンド要求レジスタの書込みにより特定オブジェクトの NewDat をリセットできます。
- IFx コマンドマスクレジスタの WR/RD に"1", Control に"1"、IFx メッセージ制御レジスタの NewDat に"0"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトの NewDat をリセットできます。
- 送信用シフトレジスタ(内部レジスタ)へデータを転送終了後、リセットされます。

4.5.3 CAN 割込みペンディングレジスタ(INTPND1, INTPND2)

CAN 割込みペンディングレジスタは、全メッセージオブジェクトの IntPnd ビットを表示します。IntPnd ビットを読み出すことにより、どのメッセージオブジェクトが割込みペンディング中であるかチェックできます。

レジスタ構成

■ CAN 割込みペンディングレジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	IntPnd32-25							
属性	R							
初期値	0x00							

■ CAN 割込みペンディングレジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	IntPnd24-17							
属性	R							
初期値	0x00							

■ CAN 割込みペンディングレジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	IntPnd16-9							
属性	R							
初期値	0x00							

■ CAN 割込みペンディングレジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	IntPnd8-1							
属性	R							
初期値	0x00							

レジスタ機能

IntPnd32-1： 割込みペンディングビット

bit	機能
0	割込み要因がありません。
1	割込み要因があります。

IntPnd ビットのセット/リセット条件を以下に示します。

■ セット条件

- TxIE が"1"に設定されている場合、フレームの正常送信完了によりセットされます。
- RxIE が"1"に設定されている場合、受容フィルタを通過したフレームの正常受信完了によりセットされます。
- IFx コマンドマスクレジスタの WR/RD に"1", Control に"1", IFx メッセージ制御レジスタの IntPnd に"1"を設定して、IFx コマンド要求レジスタの書込みにより、特定オブジェクトの IntPnd をセットできます。

■ リセット条件

- IFx コマンドマスクレジスタの WR/RD に"0", CIP に"1"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトの IntPnd をリセットできます。
- IFx コマンドマスクレジスタの WR/RD に"1", Control に"1"、IFx メッセージ制御レジスタの IntPnd に"0"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトの IntPnd をリセットできます。

4.5.4 CAN メッセージ有効レジスタ (MSGVAL1, MSGVAL2)

CAN メッセージ有効レジスタは、全メッセージオブジェクトの MsgVal ビットを表示します。MsgVal ビットを読み出すことにより、どのメッセージオブジェクトが有効であるかチェックできます。

レジスタ構成

■ CAN メッセージ有効レジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	MsgVal32-25							
属性	R							
初期値	0x00							

■ CAN メッセージ有効レジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	MsgVal24-17							
属性	R							
初期値	0x00							

■ CAN メッセージ有効レジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	MsgVal16-9							
属性	R							
初期値	0x00							

■ CAN メッセージ有効レジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	MsgVal8-1							
属性	R							
初期値	0x00							

レジスタ機能

MsgVal32-1 : メッセージ有効ビット

bit	機能
0	メッセージオブジェクトは無効です。 メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。 メッセージの送受信が可能です。

MsgVal ビットのセット/リセット条件を以下に示します。

■ セット条件

IFx コマンドマスクレジスタの WR/RD に"1", Arb に"1"、IFx アービトレーションレジスタ 2 の MsgVal に"1"を設定して、IFx コマンド要求レジスタへの書込みにより特定オブジェクトの MsgVal をセットできます。

■ リセット条件

IFx コマンドマスクレジスタの WR/RD に"1", Arb に"1"、IFx アービトレーションレジスタ 2 の MsgVal に"0"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトの MsgVal をリセットできます。

5. 補足

入出力信号表を Table 5-1, Table 5-2 に示します。

Table 5-1 入出力信号表(入力信号)

NO	信号名	I/O	極性	EDGE*1	機能
1	CAN_CLK	I	-	-	動作クロック
2	CAN_RESET	I	H	ASYNC	リセット。 本信号が"H"になると CAN マクロが初期化されます。
3	CAN_SELECT	I	H	CAN_CLK ↑	レジスタ選択信号。本信号が"H"になると CAN_ADDR で示されたレジスタが選択されます。
4	CAN_WR_B	I	L	CAN_CLK ↑	アクセス方向信号。本信号が"H"で CAN_SELECT="H"の場合、リード方向を示し、本信号が"L"で CAN_SELECT="H"の場合、ライト方向を示します。
5	CAN_WR_SIZE [1:0]	I	-	CAN_CLK ↑	アクセスサイズ。リード時、本信号は無視され、32 ビットでアクセスされます。ただし、CAN_WR_SIZE="11"は禁止です。 – "00" : 8 ビットアクセス – "01" : 16 ビットアクセス – "10" : 32 ビットアクセス – "11" : 設定禁止(32 ビットアクセス) CAN_SELECT="H"のとき、本信号は有効になります。
6	CAN_ADDR [7:0]	I	-	CAN_CLK ↑	アドレス信号。CAN_SELECT="H"のとき、CAN_WR_SIZE と本信号によってアクセスするレジスタが選択されます。
7	CAN_DATA_IN [31:0]	I	-	CAN_CLK ↑	レジスタへの書込みデータ入力。
8	CAN_RX	I	-	ASYNC	CAN 受信データ入力。

Table 5-2 入出力信号表(出力信号)

NO	信号名	I/O	極性	EDGE*1	初期値	機能
9	CAN_DATA_OUT [31:0]	O	-	CAN_CLK ↑	-	レジスタデータ出力。 レジスタの読出しがない場合"L"を出力します。
10	CAN_WAIT_B	O	L	CAN_CLK ↑	H	転送信号。 本信号はメッセージ RAM とインタフェースレジスタ間のデータ転送中であることを示します。本信号が"L"のとき、インタフェースレジスタ(IF1/IF2)へのアクセスは禁止です。
11	CAN_INT	O	H	CAN_CLK ↑	L	割込み信号。本信号が"H"のとき、割込みを要求します。
12	CAN_TX	O	-	CAN_CLK ↑	H	CAN 送信データ出力。

*1: 変化タイミングを示す。

CHAPTER 5-3: CAN FD コントローラ

CAN FD コントローラの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. メッセージ RAM

1. 概要

TYPE3-M4, TYPE4-M4 に搭載されている CAN FD コントローラは non-ISO CAN FD になります。

CAN FD コントローラは ISO11898-1 (CAN 仕様 2.0 part A, B)と CAN FD 仕様 V1.0(Bosch CAN FD Specification V1.0)に準拠した通信ができますが、ISO11898-2 (CAN FD 仕様) に準拠した通信はできません。

＜注意事項＞

- *non-ISO CAN FD と ISO CAN FD ではフレームフォーマットが異なっているため、CAN FD 通信はできません。*
- *non-ISO CAN FD の問題については、CiA (CAN in Automation) に公開されている White Paper を参照ください。*
  http://www.can-newsletter.org/engineering/standardization/141222_can-fd-and-crc-issued_white-paper_bosch
- *CAN FD 仕様 V1.0（Bosch CAN FD Specification V1.0）については、以下の URL を参照ください。*
  http://www.bosch-semiconductors.de/media/pdf_1/ipmodules_1/can_fd/CAN-with_flexible_Data-Rate_Spec_V10.pdf

メッセージ送受信機能は送信ハンドラと受信ハンドラにより実装されています。受信ハンドラは受容フィルタの管理、CAN Core からメッセージ RAM へ受信メッセージの転送を実施します。また受信メッセージのステータスも提供します。送信ハンドラはメッセージ RAM から CAN Core へ送信メッセージの転送、送信メッセージのステータスを提供します。

受容フィルタは最高で 192 フィルタエレメントまで設定できます。さらに各フィルタエレメントはレンジフィルタ、ビットマスク、デュアルフィルタとして設定できます。

CAN FD コントローラは 8/16/32 bit アクセスができます。CAN FD コントローラはバスクロック(canfd_bclk)と CAN クロック(canfd_cclk)の 2 クロックドメインです。

CAN FD コントローラの特長

- ISO11898-1(CAN 仕様 2.0 partA,B のみ)と CAN FD 仕様 V1.0(Bosch CAN FD Specification V1.0)に準拠
- CAN FD フォーマットで最大 64 バイトデータの送受信可能
- エラーログ機能搭載
- 受容フィルタ搭載
- 最大で受信 FIFO を 2 つ構成可能
- 高優先メッセージの受信通知機能
- 最大で 64 の特定 ID 受信バッファ構成可能
- 最大で 32 の特定 ID 送信バッファ構成可能
- 送信 FIFO 構成可能
- 送信 Queue 構成可能
- 送信イベント FIFO 構成可能
- CPU からメッセージ RAM へダイレクトアクセス可能
- ループバックテスト可能
- 割込みのマスクが可能
- 2 クロックドメイン (バスクロックと CAN クロック)
- パワーダウンモード搭載
- デバッグ機能搭載

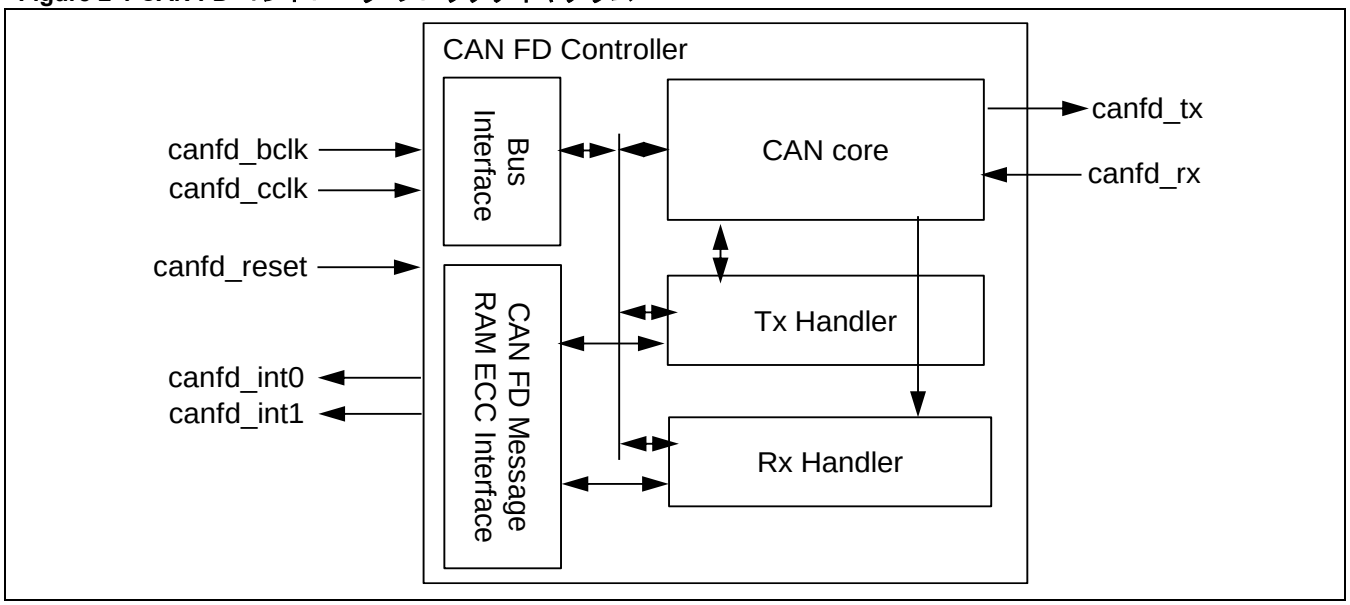
2. 構成

CAN FD コントローラの構成を示します。

2.1. ブロックダイヤグラム
2.2. クロック
2.3. 割込み信号

2.1 ブロックダイヤグラム

Figure 2-1 CAN FD コントローラ ブロックダイヤグラム



CAN Core

CAN プロトコルコントローラ。CAN, CAN FD プロトコルを制御します。

CAN FD Message RAM ECC Interface

CAN FD Message RAM ECC ブロックとのインタフェース。CAN FD Message RAM ECC ブロックは下記を含みます。

- メッセージ RAM (送受信メッセージ, 受容フィルタ, 送信イベント情報が格納される)
- ECC(Error Correction Code)機能ブロック

Bus Interface

CPU とのインタフェース。8/16/32 ビットアクセスができます。

Tx Handler

メッセージ RAM から CAN Core へ送信メッセージの転送を制御します。最大で 32 の送信バッファを設定できます。送信バッファは特定 ID 送信バッファまたは送信 FIFO/Queue で構成されます。特定 ID 送信バッファと送信 FIFO/Queue の混載もできます。送信イベント FIFO は対応するメッセージ ID と共に送信タイムスタンプを格納します。送信キャンセル機能もサポートしています。

Rx Handler

CAN Core からメッセージ RAM へ受信メッセージの転送を制御します。受信ハンドラは 2 つの受信 FIFO を制御します。その各受信 FIFO でサイズ設定ができます。さらに特定 ID 受信バッファを最大で 64 設定できます。特定 ID 受信バッファは 1 つの特定 ID メッセージを受信するために使用されます。受信タイムスタンプはメッセージ受信と同時に格納されます。11 ビット ID 用に最大で 128 個のフィルタエレメント設定と 29 ビット用に最大で 64 個のフィルタエレメントが設定できます。

2.2 クロック

CAN FD コントローラは 2 つのクロックがあり、バスクロック(canfd_bclk)周波数>CAN クロック(canfd_cclk)周波数を満たす必要があります。

<注意事項>

- *バスクロック(canfd_bclk)と CAN(CAN FD)通信のボーレート比によっては、メッセージ RAM エラー (詳細については 5.14 割込みレジスタ(IR)を参照。) が発生します。そのため、発生を防ぐためのバスクロック周波数の一例を以下の表に示します。バスクロック(canfd_bclk)には一例に示す周波数以上を入力してください。*

Table 2.2-1 Required frequencies [min] for CAN

	Bit rate		
	250 kbps	500 kbps	1 Mbps
Required frequency (Bus clock: canfd_bclk)	5.1 MHz	10.1 MHz	20.3 MHz

Table 2.2-2 Required frequencies [min] for CAN FD

	Bit rate					
	250 kbps (nominal) 1 Mbps (FD)	250 kbps (nominal) 2 Mbps (FD)	500 kbps (nominal) 2 Mbps (FD)	500 kbps (nominal) 4 Mbps (FD)	500 kbps (nominal) 5 Mbps (FD)	1 Mbps (nominal) 2 Mbps (FD)
Required frequency (Bus clock: canfd_bclk)	9.4 MHz	12.0 MHz	18.8 MHz	23.9 MHz	25.3 MHz	26.3 MHz

2.3 割込み信号

CAN FD コントローラは割込み信号を 2 つ搭載しています。割込み要因はその各信号(canfd_int0 または canfd_int1)へ任意の割り当てができます。初期設定ではすべての割込み要因は canfd_int0 へ割り当てられています。また、各割込み信号は割込み信号許可レジスタ(ILE)で許可/禁止の設定ができます。

3. 動作説明

本節は CAN FD コントローラの動作について説明します。

3.1. 動作モード
3.2. タイムスタンプカウンタ
3.3. タイムアウトカウンタ
3.4. 受信処理
3.5. 送信処理
3.6. FIFO Ack 処理
3.7. CAN ビットタイミング設定

3.1 動作モード

本節は CAN FD コントローラの動作モードについて説明します。

3.1.1. ソフトウェア初期化
3.1.2. 通常動作
3.1.3. CAN FD 動作
3.1.4. トランシーバの遅延補償機能
3.1.5. 送信禁止モード
3.1.6. バスモニタリングモード
3.1.7. 自動再送禁止
3.1.8. パワーダウン(スリープモード)
3.1.9. テストモード

3.1.1 ソフトウェア初期化

■ 初期化ビット(CCCR.INIT)のセット/リセット

初期化は初期化ビット(CCCR.INIT)を以下のいずれかの方法で 1 にすることで開始されます。

- ソフトウェアまたはハードウェアリセット
- メッセージ RAM で訂正できないビットエラーの検出
- バスオフへの遷移

CCCR.INIT が"1"の間は

- CAN バスへの送信、CAN バスからの受信を停止します
- CAN バスへの canfd_tx 送信信号はレセッシブになります
- プロトコルエラーカウンタは変わりません

各設定レジスタは CCCR.INIT が 1 に変化しても影響を受けません。

CCCR.INIT が"0"でソフトウェア初期化が終了します。続いて CAN FD コントローラは連続する 11 のレセッシブビットを検出(≡ Bus_Idle)し、CAN バスに同期した後、CAN バスの状況にあわせメッセージの送信ができるようになります。

＜注意事項＞

- *通常動作時に CCCR.INIT = 1 に設定する場合、クロック停止要求設定ビット(CCCR.CSR)を 1 に設定することにより、CCCR.INIT へ 1 をセットしてください。CCCR.INIT を 0 にクリアする場合は、CCCR.CSR を先に 0 にクリアした後、CCCR.INIT を 0 にクリアしてください。*
- *CCCR.INIT = 1 で送信または受信を停止する場合、送信待ち(送信要求ステータスレジスタ(TXBRP)≠0x00000000)があれば、送信要求キャンセルレジスタ(TXBCR)へ 0xFFFF_FFFF に設定して送信をキャンセルしてください。*

■ 設定変更許可ビット(CCCR.CCE)によるレジスタの書込み保護やリセット

設定レジスタは書込み保護されており、CCCR.INIT と CCCR.CCE の双方が 1 の場合、書き込めます。CCCR.CCE は CCCR.INIT = 1 の場合にのみ、1 や 0 に設定できます。CCCR.INIT を 0 に設定により CCCR.CCE も"0"にセットされます。

以下のレジスタは CCCR.CCE = 1 の設定でリセットされます。

- HPMS - 高優先メッセージステータスレジスタ
- RXF0S - 受信 FIFO 0 ステータスレジスタ
- RXF1S - 受信 FIFO 1 ステータスレジスタ
- TXFQS - 送信 FIFO/Queue ステータスレジスタ
- TXBRP - 送信要求ステータスレジスタ
- TXBTO - 送信完了レジスタ
- TXBCF - 送信要求キャンセル完了レジスタ
- TXEFS - 送信イベント FIFO ステータスレジスタ

また

- CCCR.CCE = 1 設定した場合、タイムアウトカウンタ(TOCV.TOC[15:0])へタイムアウトカウンタリロード値設定ビット(TOCC.TOP[15:0])で設定した値がロードされます
- CCCR.CCE = 1 の間は、送信ハンドラおよび受信ハンドラのステートマシンはアイドル状態に固定されます

以下のレジスタは CCCR.CCE = 0 で設定できます。

- TXBAR - 送信要求レジスタ
- TXBCR - 送信要求キャンセルレジスタ

テストモード許可設定ビット(CCCR.TEST) およびバスモニタリングモード設定ビット(CCCR.MON)は CCCR.INIT = 1 かつ CCCR.CCE = 1 の場合に CPU で設定できます。両ビットへ"0"設定する場合は制限事項ありません。

自動再送禁止設定ビット(CCCR.DAR)は CCCR.INIT = 1 かつ CCCR.CCE = 1 の場合に 1 や 0 が書き込めます。

<注意事項>

- *CCCR.INIT と CCCR.CCE へ 1 を設定する場合、下記の手順で設定してください。*
  ハードウェアリセット直後に CCCR.CCE を 1 へ設定する場合は下記の手順は必要ありません。
  1. *送信要求キャンセルレジスタ(TXBCR)へ 0xFFFF_FFFF を設定して、すべての送信待ち(送信要求ステータスレジスタ(TXBRP))をクリアしてください*
  2. *クロック停止要求設定ビット(CCCR.CSR)へ 1 設定して、パワーダウン準備状態を要求します*
  3. *クロック停止 Ack ビット(CCCR.CSA)と CCCR.INIT が 1 にセットされるのを待ちます*
  4. *CCCR.CSR を 0 にクリアします*
  5. *CCCR.INIT を 0 にクリアします*
  6. *CCCR.INIT が 0 にクリアされるのを待ちます*
  7. *再度、CCCR.CSR へ 1 設定して、パワーダウン準備状態を要求します*
  8. *CCCR.CSA と CCCR.INIT が 1 にセットされるのを待ちます*
  9. *CCCR.CCE へ 1 設定と CCCR.CSR を 0 にクリアします*

■ メッセージ RAM の初期化

設定前にメッセージ RAM の全ワードへのゼロ書込みによる初期化を推奨します。メッセージ RAM で初期化されていない領域での読出しビットエラー発生および、想定しない受容フィルタ設定が存在するのを防ぐためです。

3.1.2 通常動作

CAN FD コントローラが初期化され初期化ビット(CCCR.INIT)を 0 設定することで、CAN FD コントローラは CAN バスに同期化し、通信が可能になります。

受信メッセージは受容フィルタを通過し、メッセージ ID および DLC(Data Length Code)とともに特定 ID 受信バッファ、または受信 FIFO 0 や受信 FIFO 1 に格納されます。

メッセージの送信は、特定 ID 送信バッファ/送信 FIFO/送信 Queue の設定または更新で実施します。リモートフレームの受信に対する自動送信は実行しません。

3.1.3 CAN FD 動作

CAN FD に 2 つのフレームフォーマットがあります。

- ビットレート切り換えが無く、データ領域が 8 バイト超も可能な CAN FD フレーム
- フレームの中のコントロールフィールド、データフィールドと CRC フィールドが高速のビットレートで送信される CAN FD フレーム

<注意事項>

- *CCCR.CME[1:0] > 00 設定の場合、CAN FD フォーマットによる CAN FD 通信のみを実施してください。*
  CCCR.CME[1:0] > 00 設定で、CAN フォーマットのフレームを受信した場合、CAN FD フォーマットと誤認される場合があります。

■ CAN モード許可ビット(CCCR.CME[1:0])による CAN 動作モードの許可設定

CAN の動作モードは CAN モード許可ビット(CCCR.CME[1:0])で設定してください。CCCR.CME[1:0]で許可された設定に対し、送信モードは送信モード要求ビット(CCCR.CMR[1:0])で変更できます(次項参照)。

- CCCR.CME[1:0] = 00 の場合は、ISO11898-1 に準拠した CAN フレームの送受信ができます
- CCCR.CME[1:0] = 01 の場合は、64 データバイト長以下の CAN FD フレームは送受信とも可能であり、FD ビットレートを使用した CAN FD フレームは受信のみできます
- CCCR.CME[1:0] = 10/11 の場合は、64 データバイト長以下の CAN FD フレームや FD ビットレートを使用した CAN FD フレームが送受信ともにできます

CCCR.CME[1:0]は初期化ビット(CCCR.INIT)と設定変更許可ビット(CCCR.CCE)がともに 1 の場合に設定できます。

■ 送信モード要求ビット(CCCR.CMR[1:0])での CAN 動作モードの変更

初期化の終了後(CCCR.INIT が"0"設定)、CAN FD プロトコル上の動作モードを送信モード要求ビット(CCCR.CMR[1:0])に書き込んで変更できます。

CCCR.CMR[1:0]への書込みによるモード変更は送信待ちがない状態(送信要求ステータスレジスタ(TXBRP)=0x00000000)で実行してください。必要であれば、CAN 動作モードを変える前に送信待ちをキャンセルしてください。CAN FD コントローラがアイドルになると、CCCR.CMR[1:0]の設定にしたがい、FD ビットレート送信ステータスビット(CCCR.FDBS)と FD フォーマットステータスビット(CCCR.FDO)がセットされ、CCCR.CMR[1:0]は"00"にセットされます。要求した CAN 動作モードが許可されていない場合は、CCCR.CMR[1:0]は次のモード変更の要求で上書きされるまで値が保持されます。初期状態は ISO11898-1 に準拠した CAN 動作です。

システム起動後の CAN 動作モードの変更は以下の場合のみ推奨します。

- CAN FD のアービトレーションフェーズにくらべ、データフェーズの不良発生率が著しく高い場合。送信の CAN FD ビットレート切り換え機能を無効化してください。
- システム起動中はすべてのノードが、CAN FD フォーマットで通信できることが確認されるまでは ISO11898-1 で通信してください、CAN FD フォーマット通信できることを確認後に CAN FD 動作に切り換えてください。
- CAN FD に対応してない(CAN FD 非対応)ノードが存在する環境で CAN FD フォーマット通信を実施する場合、 CAN FD フォーマット通信が完了までは、CAN FD 非対応ノードをバスモニタリングモードに設定してください。CAN FD フォーマット通信完了後に、すべてのノードを ISO11898-1 準拠の CAN 通信に切り換えてください。
- CAN パーシャルネットワークで CAN フォーマットのウェイクアップメッセージを送信する場合。

■ 受信フレームの解釈

CCCR.CME[1:0] ≠ 00 の場合は、受信した CAN FD フレームは CAN FD プロトコル仕様に準拠して解釈されます。11 ビット ID の予約ビットと、29 ビット ID の最初の予約ビットを EDL ビットとして認識します。EDL ビットがレセッシブの場合は CAN FD フレーム、EDL ビットがドミナントの場合は標準 CAN フレームとして解釈します。CAN FD フレームでは、EDL ビットに続く r0 ビットと BRS ビットは、ビットレート切換えをするかどうかを示します。r0 ビットがドミナント、BRS ビットがレセッシブの場合、CAN FD のビットレート切り換えをすることを示します。CAN FD フレームと解釈されて、r0 ビットがレセッシブの場合はプロトコル例外イベント(Protocol Exception Event)として認識されます("3.4.5.プロトコル例外イベント (Protocol Exception Event)"参照)。

■ 送信フレームのフォーマット

送信フレームのフォーマットは FD ビットレート送信ステータスビット(CCCR.FDBS)と FD フォーマットステータスビット(CCCR.FDO)で示されます。

- CCCR.FDO が"1"の場合、EDL ビットがレセッシブの CAN FD フォーマットフレームが送信されます
- CCCR.FDO と CCCR.FDBS がともに"1"の場合、EDL ビットと BRS ビットがともにレセッシブで、ビットレート切換えを使用した CAN FD フォーマットフレームが送信されます

■ DLC フィールド

CAN FD フォーマットと CAN フォーマットでは DLC フィールドの解釈が異なります。DLC が 0 から 8 までの値をとる場合は共通ですが、9 から 15 の場合は、CAN フォーマットでは 8 バイト長のデータフィールドを表すのに対し、CAN FD フォーマットでは Table 3-1 にしたがいます。

Table 3-1 Coding of DLC in CAN FD

DLC	9	10	11	12	13	14	15
Number of Data Bytes	12	16	20	24	32	48	64

■ ビットレートの切り換え

CAN FD フレームでは BRS(Bit Rate Switch)ビットがレセッシブであれば、BRS ビットでフレームのビットタイミングが切り換わります。BRS ビットより前の CAN FD アービトレーションフェーズは、ビットタイミングレジスタ(BTP)に設定したアービトレーションビットタイムが適用されます。続く CAN FD のデータフェーズでは、FD ビットタイミングレジスタ(FBTP)に設定した高速ビットタイムが適用されます。CRC デリミタの送信または、エラー検出で、高速ビットタイムからアービトレーションビットタイムに戻ります。

CAN FD データフェーズで設定可能な最速のビットレートは CAN クロック(canfd_cclk)の周波数に依存します。

<例>

- ***最短のビットタイム設定 4tq で CAN クロックの周波数が 20 MHz の場合、データフェーズのビットレートは 5 Mbit/s になります。***

■ 送信ノードエラー状態(Error Status Indicator ESI)

ESI ビットの値は、64 データバイト長以下の CAN FD フレームおよび FD ビットレートを使用した CAN FD フレームの場合、送信開始時における送信ノードのエラー状態で決まります。送信ノードがエラーパッシブであれば ESI ビットはレセッシブ、そうでなければドミナントで送信されます。

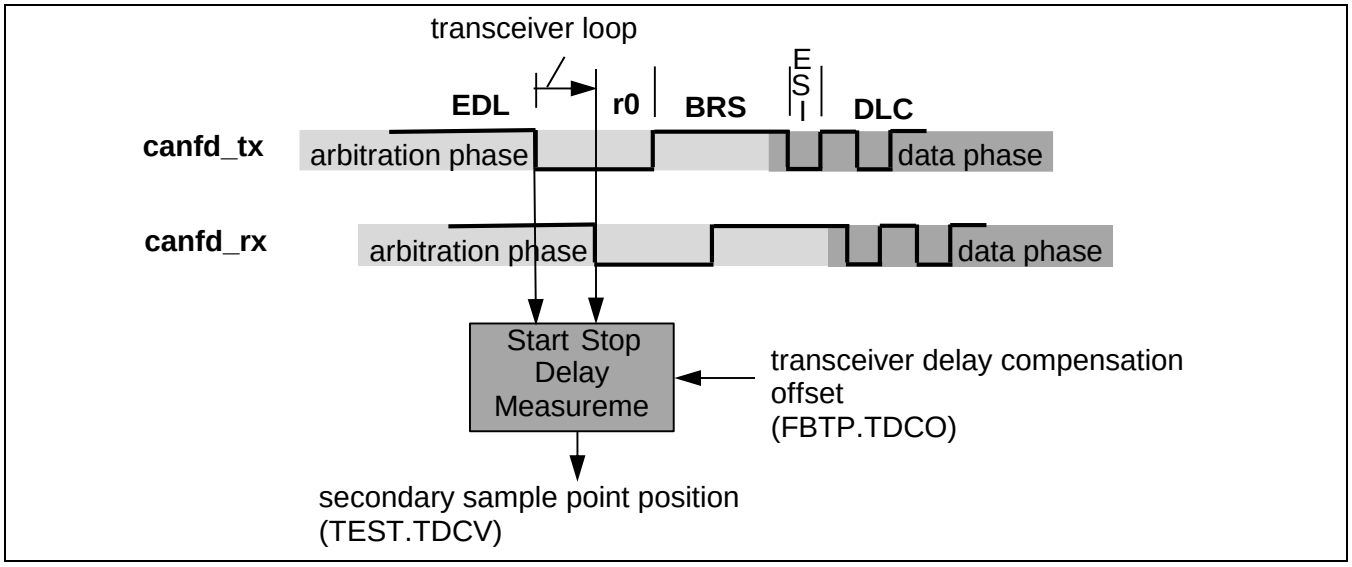
3.1.4 トランシーバの遅延補償機能

CAN FD のデータフェーズ通信中では、送信ノードは一つだけであり、残りは受信ノードになります。トランシーバの遅延補償機能は、CAN バス長に左右されません。canfd_tx 信号から送信している場合、CAN プロトコルコントローラは自身に接続している CAN トランシーバ経由で、送信データを canfd_rx 信号から受信します。受信したデータは CAN トランシーバ内の折返し分だけ遅延します。遅延時間がデータフェーズビットタイムのサンプリングポイント前の時間よりも長い場合は、bit エラーとして検出されます。トランシーバの折り返し時間より短いデータフェーズビットタイム(高速ビットタイム)の利用を可能にするために遅延補償機能があります。トランシーバの遅延補償機能がなければ、CAN FD フレームのデータフェーズのビットレートはトランシーバの折り返し時間の制約を受けてしまいます。

3.1.4.1 機能説明

CAN FD プロトコル制御部は、CAN FD トランシーバの折り返し分の遅延に影響されることなく、CAN FD のデータフェーズで早いビットレートの通信を可能にするため、遅延補償機能を搭載しています。トランシーバの折り返し遅延の評価方法を Figure 3-1 に示す。

Figure 3-1 Transceiver Delay Measurement



CAN FD コントローラは CAN FD フレームごとに、canfd_tx 信号のデータ送信から、canfd_rx 信号のデータ受信までの遅延を測定します。測定はフレーム内で 1 回だけ、EDL ビットから r0 ビットの立下りエッジで行われます。canfd_cclk 単位で測定されます。

測定したトランシーバの遅延に、トランシーバ遅延補償オフセット設定ビット(FBTP.TDCO[4:0])の値を足して、第 2 サンプリングポイント(secondary sample point)が決まります。トランシーバ遅延補償値(TEST.TDCV[5:0])は、測定したトランシーバの遅延と、トランシーバ遅延補償オフセットの和です。第 2 サンプリングポイントをビットタイム内に収まるよう(例えばデータフェーズのビットタイムの半分の位置)、トランシーバ遅延補償オフセットを決めます。設定した第 2 サンプリングポイントはその値を超えない直近の単位時間 tq に丸め込まれます。

遅延している送信データと、第 2 サンプリングポイントにおける受信データを比較してデータフェーズでの bit エラーを判断します。第 2 サンプリングポイントで bit エラーが検出された場合、送信側は次の(第 2 でない)サンプリングポイントでエラーの対応をします。アービトレーションフェーズでは遅延補償は常に無効です。

トランシーバの遅延補償機能を利用する場合、測定した canfd_tx 信号から canfd_rx 信号までの遅延と、トランシーバ遅延補償オフセット設定ビット(FBTP.TDCO[4:0])の和が、以下の 2 条件を満たす必要があります。

- データフェーズの 3 ビットタイムより短いこと
- 63 canfd_cclk 時間以下。和が最大値の 63 canfd_cclk 時間を超える場合は、トランシーバ遅延補償機能は 63 canfd_cclk 時間を利用します

実際の遅延補償値はトランシーバ遅延補償値(TEST.TDCV[5:0])で確認できます。

3.1.4.2 設定とステータスの確認方法

トランシーバの遅延補償機能は、CAN FD コントローラのトランシーバ遅延補償設定ビット(FBTP.TDC)で有効にします。トランシーバの遅延補償オフセットはトランシーバ遅延補償オフセット設定ビット(FBTP.TDCO[4:0])で設定します。CAN FD コントローラのプロトコル制御部が、実際に付与している遅延補償値(測定値＋オフセット)は、トランシーバ遅延補償値(TEST.TDCV[5:0])で確認できます。

3.1.5 送信禁止モード

送信禁止モードでは、データやリモートフレームの受信と正しいフレームの Ack はしますが、データ/リモート/オーバロード/アクティブエラーのフレームの送信はしません。エラーまたはオーバロード状態の場合は、ドミナントビットを送信せず、代わりにバスアイドルになるのを待ち CAN 通信に同期して加わります。送信禁止モードではエラーカウンタはインクリメントされません。

CPU は送信禁止モード設定ビット(CCCR.ASM)を 1 に設定して、CAN FD コントローラを送信禁止モードに設定します。設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)をともに 1 に設定した場合、CPU は CCCR.ASM に 1 を設定できます。CPU から CCCR.ASM へ 0 に設定する場合は、制限事項はありません。

送信ハンドラのメッセージ RAM からのデータ読出しが間に合わなかった場合、自動的に送信禁止モードに入ります。送信禁止モードから抜けるには、CPU は以下の手順を踏む必要があります。

1. 送信要求キャンセルレジスタ(TXBCR)へ 0xFFFF_FFFF を設定して、すべての送信待ち(送信要求ステータスレジスタ(TXBRP))をクリアしてください
2. クロック停止要求設定ビット(CCCR.CSR)へ 1 設定して、パワーダウン準備状態を要求します
3. クロック停止 Ack ビット(CCCR.CSA)と CCCR.INIT が"1"にセットされるのを待ちます
4. CCCR.CSR を 0 にクリアします
5. CCCR.INIT を 0 にクリアします
6. CCCR.INIT が 0 にクリアされるのを待ちます
7. 再度、CCCR.CSR へ 1 設定して、パワーダウン準備状態を要求します
8. クロック停止 Ack ビット(CCCR.CSA)と CCCR.INIT が 1 にセットされるのを待ちます
9. CCCR.CCE へ 1 設定、CCCR.CSR と CCCR.ASM を 0 にクリアします
10. CCCR.INIT を 0 にクリアして、CAN FD コントローラを再起動します
11. CCCR.INIT が 0 にクリアされるのを待ちます
12. 送信モード要求ビット(CCCR.CMR[1:0])を設定することで FD ビットレート送信ステータスビット(CCCR.FDBS)および FD フォーマットステータスビット(CCCR.FDO)を再セットします
13. 手順 1 でキャンセルした送信要求を再設定します

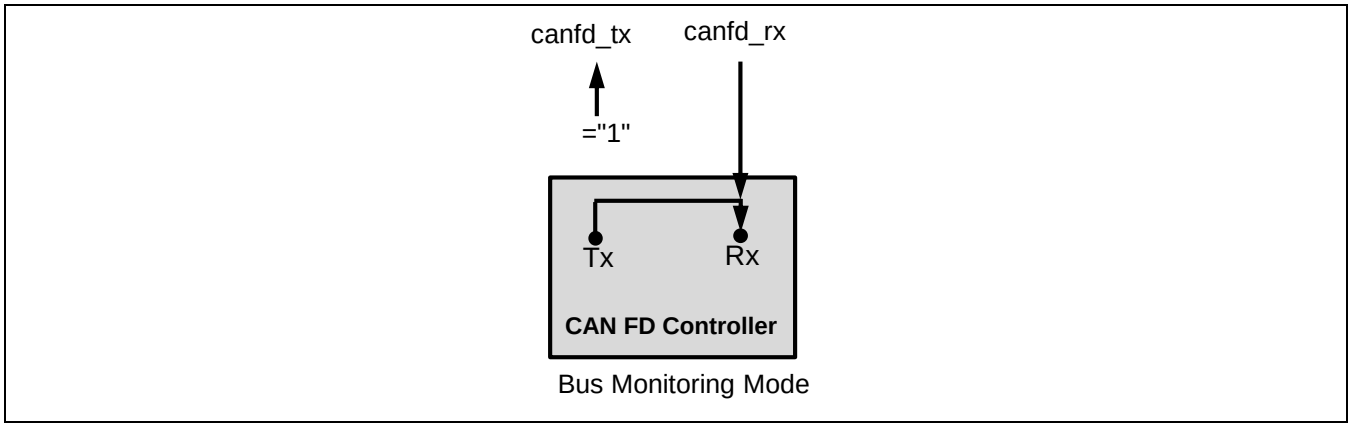
送信禁止モードは、様々なビットレートに自動的に対応するアプリケーションに使うことができます。アプリケーションは様々なビットレートを試してみて、有効なフレームを受信できたところで送信禁止モードから抜けます。

3.1.6 バスモニタリングモード(Bus Monitoring Mode)

バスモニタリングモード設定ビット(CCCR.MON)を"1"に設定した場合、CAN FD コントローラはバスモニタリングモードに設定できます。バスモニタリングモード(ISO11898-1 の 10.12 Bus monitoring 参照)では CAN FD コントローラは送信できないが、エラーがないデータフレームおよびエラーがないリモートフレームを受信できます。バスモニタリングモードでは CAN バスにレセッシブビットしか送信しません。CAN FD コントローラが ACK ビット、オーバロードフラグ、アクティブエラーフラグでドミナントビットを送信する必要がある場合は、CAN バスをレセッシブ状態にし、CAN FD コントローラがドミナントを観測できるようビット値を内部で折り返します。CCCR.MON = 1 に設定する際の設定変更許可ビット(CCCR.CCE)への 1 書込みで、送信要求ステータスレジスタ(TXBRP)は 0 にクリアされます。またバスモニタリングモードの間では、TXBRP は"0"に保持されます。

バスモニタリングモードは、ドミナントビットの送信をしないため、CAN バス上の通信の調査に利用できます。Figure 3-2 に CAN FD コントローラがバスモニタリングモード時の canfd_tx 信号と canfd_rx 信号の状態を示します。

Figure 3-2 Pin Control in Bus Monitoring Mode



3.1.7 自動再送禁止

CAN 仕様(ISO11898-1, 6.3.3 Recovery Management 参照)にしたがい、CAN FD コントローラはアービトレーションロストや送信中のエラーにより送信できなかったフレームを自動的に再送する機能を実装しており、初期状態では自動的に再送するように設定されています。自動的に再送する機能を自動再送禁止設定ビット(CCCR.DAR)で無効にできます。

DAR モード(自動再送禁止モード)では CAN バスに送信開始したメッセージはすべて自動的にキャンセルされます。DAR モードでは以下のいずれかの条件を満たすと、CAN FD コントローラは対応する送信要求ステータスビット(TXBRP.TRPn：n はバッファ番号)を内部で、0 にリセットします。

■ 送信が成功した場合(キャンセルにかかわらず送信が成功した場合も含む)。
送信が成功した場合は、以下状況で確認できます。

対応する送信完了ビット TXBTO.TOn が 1 にセットされている
対応する送信要求キャンセル完了ビット TXBCF.CFn が 0 にセットされている

キャンセルにかかわらず送信が成功した場合は、以下状況で確認できます。

対応する送信完了ビット TXBTO.TOn が 1 にセットされている
対応する送信要求キャンセル完了ビット TXBCF.CFn が 1 にセットされている

■ キャンセル実行時に送信開始していない場合
■ アービトレーションロストまたは送信中のエラーで送信できないフレームの送信を中止した場合以下状況で確認できます。

対応する送信完了ビット TXBTO.TOn が 0 にセットされている
対応する送信要求キャンセル完了ビット TXBCF.CFn が 1 にセットされている

<注意事項>

- *DAR モードで同一の送信バッファから連続して送信しないでください。もし DAR モードで同一送信バッファに対し送信要求する場合は、前の送信が成功し、少なくとも 4 アービトレーションビットタイム(nominal bit time)後に送信要求してください。*

3.1.8 パワーダウン(スリープモード)

クロック停止要求設定ビット(CCCR.CSR)で CAN FD コントローラをパワーダウン準備状態に設定します。

すべての送信待ち要求の完了後(送信要求ステータスレジスタ(TXBRP) = 0x00000000)、CAN FD コントローラはバスアイドル状態が検出されるまで待ちます。続いて新たな CAN メッセージの送信を防ぐため CAN FD コントローラは初期化ビット(CCCR,INIT)を 1 にセットします。CAN FD コントローラはクロック停止 Ack ビット(CCCR.CSA) を 1 にセットすることでパワーダウンに入る準備ができたことを示します。クロックが停止される前は、レジスタアクセスはまだできます。
CCCR.CSA = 1 の間は CCCR.INIT への書込みは無視されます。これで CAN FD コントローラのクロック入力信号 canfd_bclk および canfd_cclk を止められます。

パワーダウンから抜ける場合は、CAN FD コントローラにクロック信号を供給してからアプリケーションでクロック停止要求設定ビット(CCCR.CSR)を 0 に設定してください。CAN FD コントローラはクロック入力を認識して CCCR.CSA = 0 にセットします。アプリケーションは CCCR.CSA = 0 を確認後に CCCR.INIT
ビットを 0 に設定し、CAN 通信を再開できます。

3.1.9 テストモード

テストレジスタ TEST への書込みは、テストモード許可設定ビット(CCCR.TEST)を"1"に設定して行います。CCCR.TEST = 1 でテストモードやテスト機能の設定が可能になります。

canfd_tx 信号設定ビット(TEST.TX)で CAN の送信信号、canfd_tx 信号を以下の 4 つに設定できます。

- 初期状態では、シリアルデータを出力
- CAN FD コントローラのビットタイミングを観測するために、サンプリングポイントでドライブ
- ドミナントに固定して出力
- レセッシブに固定して出力

canfd_rx 信号の実際の値は、canfd_rx 信号モニタビット(TEST.RX)で読めます。CAN バスの物理層の確認に両機能を利用できます。

CAN クロックとバスクロックドメイン間の非同期乗換えのため、TEST.TX に書き込んだ設定が送信信号、canfd_tx 信号で観測されるまで数バスクロックかかる可能性があります。TEST.RX で入力信号、canfd_rx 信号の値を読み出す場合も同様です。

<注意事項>

- *canfd_tx 信号のソフトウェア制御は、CAN プロトコル機能と競合するため、テストモードは、セルフテストに利用してください。*

3.1.9.1 外部ループバックモード(External Loop Back Mode)

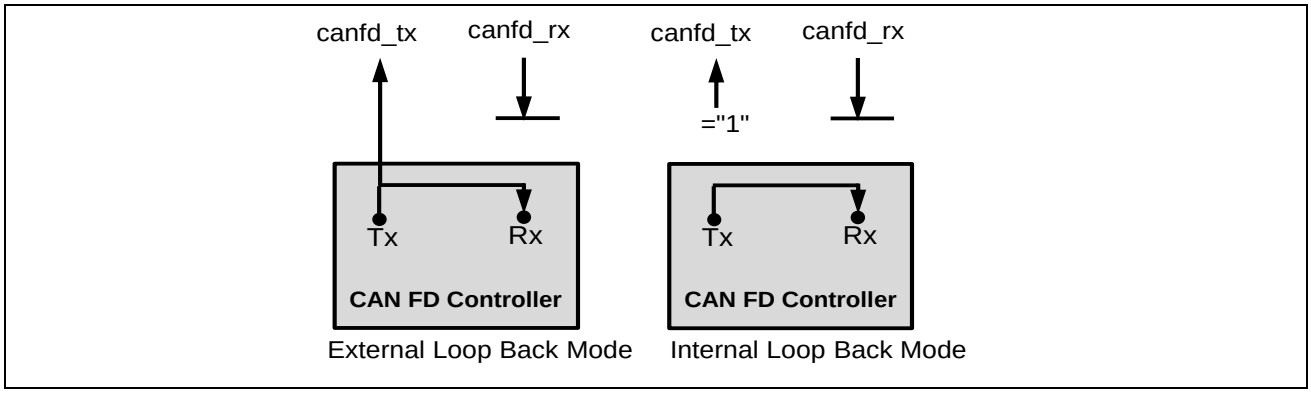
ループバックモード設定ビット(TEST.LBCK)を"1"に設定して、CAN FD コントローラを外部ループバックモードに設定できます。外部ループバックモードでは、CAN FD コントローラは自身の送信したメッセージを受信メッセージとして扱い、(受容フィルタを通れば)特定 ID 受信バッファまたは受信 FIFO に格納します。CAN FD コントローラが外部ループバックモードに設定されている場合の canfd_tx 信号と canfd_rx 信号の接続状態を Figure 3-3 に示します。

外部ループバックモードはハードウェアのセルフテストに使用できます。外部ループバックモードでは CAN FD コントローラは Ack エラーを無視し、内部で自身の送信した出力信号を受信入力信号にフィードバックします。CAN FD コントローラは canfd_rx 信号の実際の値は無視します。送信したメッセージは canfd_tx 信号で観測できます。

3.1.9.2 内部ループバックモード(Internal Loop Back Mode)

ループバックモード設定ビット(TEST.LBCK)とバスモニタリングモード設定ビット(CCCR.MON)をともに 1 に設定して内部ループバックモードに設定できます。内部ループバックモードは、canfd_tx 信号と canfd_rx 信号に接続されている CAN システムの動作に影響を与えることなく、CAN FD コントローラをテストできるホットセルフテストに利用できます。内部ループバックモードでは、canfd_rx 信号を CAN FD コントローラから切断し、canfd_tx 信号をレセッシブに保持します。CAN FD コントローラが内部ループバックモードに設定されている場合の canfd_tx 信号と canfd_rx 信号の接続状態を Figure 3-3 に示します。

Figure 3-3 Pin Control in Loop Back Modes



3.2 タイムスタンプカウンタ

CAN FD コントローラはタイムスタンプの生成のために 16 ビットのラップアラウンドカウンタを搭載しています。フレームの受信や、送信開始とともにカウンタ値をキャプチャし、受信バッファエレメントまたは送信イベント FIFO エレメントのタイムスタンプ領域に格納します(RXTS[15:0]または TXTS[15:0]領域)。

詳細は 5.8.タイムスタンプカウンタ設定レジスタ(TSCC)および 5.9.タイムスタンプカウンタ値レジスタ(TSCV)を参照してください。

3.3 タイムアウトカウンタ

CAN FD コントローラは 16 ビットのタイムアウトカウンタを搭載しています。タイムアウトカウンタは、受信 FIFO 0、受信 FIFO 1、または送信イベント FIFO の各 FIFO による起動設定では、設定した FIFO のエレメントが格納されエンプティになるまでの間、カウントダウンします。連続起動設定では、初期化ビット(CCCR.INIT)を 0 設定でカウントダウンを開始し、CCCR.INIT = 1 設定するまで停止しません。

タイムスタンプカウンタで利用しているタイムスタンプカウンタプリスケーラ値(TSCC.TCP[3:0])で制御されたタイミングでカウントダウンします。タイムアウトカウンタはタイムアウトカウンタ設定レジスタ(TOCC)で設定します。実際のカウンタ値はタイムアウトカウンタ(TOCV.TOC[15:0])から読み出せます。タイムアウトカウンタは初期化ビット(CCCR.INIT) = "0"で動作します。例えば CAN FD コントローラがバスオフ状態に入る、すなわち CCCR.INIT = 1 にセットされると動作を停止します。

動作モードは、タイムアウトカウンタ起動要因選択ビット(TOCC.TOS[1:0])で選択します。詳細は 5.11.タイムアウトカウンタ値レジスタ(TOCV) を参照してください。

＜注意事項＞

- *タイムスタンプカウンタソース選択ビット(TSCC.TSS[1:0])=01 設定した場合、カウンタのクロックは CAN Core のサンプリングポイントから生成されます。そのため、CAN FD のビットレート切り換え機能が利用されている場合、カウントするタイミングは、メッセージのアービトレーションビットレートと FD ビットレートの 2 種類が使用されます。*

3.4 受信処理

受信ハンドラは、フィルタ処理、受信メッセージの特定 ID 受信バッファや受信 FIFO への転送、受信 FIFO の書込み/読出しポインタの制御をします。

3.4.1. フィルタ処理

3.4.2. 受信 FIFO

3.4.3. 特定 ID 受信バッファ

3.4.4. デバッグ機能

3.4.5. プロトコル例外イベント (Protocol Exception Event)

3.4.1 フィルタ処理

CAN FD コントローラは 11 ビット ID 用と 29 ビット ID 用の受容フィルタを搭載しています。各フィルタエレメントは特定 ID 受信バッファやいずれかの受信 FIFO にひも付できます。受信メッセージはフィルタエレメントと一致するまでは、各受容フィルタのリストをエレメント番号 0 から順に処理されます。受信メッセージは最初に一致したフィルタエレメントでフィルタ処理を終了し、以降の番号のフィルタエレメントに影響を受けません。

■ 主要機能

- 各フィルタエレメントを以下のフィルタ方式に設定できます
  - ID の範囲を指定するレンジフィルタ
  - 1 つまたは 2 つの固有 ID を指定するフィルタ(デュアルフィルタ)
  - ビットマスク付フィルタ
  - 特定 ID 受信メッセージ用のフィルタ
- フィルタエレメントごとにメッセージの受容または破棄を設定できます
- 各フィルタエレメントを個別に許可/無効にできます
- フィルタエレメントは 0 から順に参照されます。最初に一致したフィルタエレメントへの到達でフィルタ処理が終了します

■ 関連する設定レジスタ

- グローバルフィルタ設定レジスタ GFC
- 11 ビット ID フィルタ設定レジスタ SIDFC
- 29 ビット ID フィルタ設定レジスタ XIDFC
- 29 ビット ID マスクレジスタ XIDAM

■ フィルタの機能

フィルタエレメントに一致したらフィルタ処理設定ビット(SFEC[2:0]/EFEC[2:0])の設定により以下のいずれかの処理が行われます

- 受信フレームを受信 FIFO 0 または受信 FIFO 1 に格納
- 受信フレームを特定 ID 受信バッファに格納
- 受信フレームを破棄
- 高優先メッセージ受信割込みフラグ IR.HPM を 1 にセット
- 高優先メッセージ受信割込みフラグ IR.HPM を 1 にセットし、受信メッセージを受信 FIFO 0 または受信 FIFO 1 に格納

■ 詳細

受信メッセージの ID を完全に受信した後にフィルタ処理を開始します。フィルタ処理が完了し、特定 ID 受信バッファまたは受信 FIFO へ格納する場合、受信ハンドラは受信メッセージを 32 ビット単位で該当する特定 ID 受信バッファまたは受信 FIFO に書き込みます。

CAN プロトコルコントローラで CRC エラーなどのエラーを検出した場合は、受信メッセージは破棄され、関連する特定 ID 受信バッファや受信 FIFO は以下のようになります。

- 特定 ID 受信バッファの場合

  対応する受信バッファは受信したメッセージで一部上書きされるが、対応する特定 ID 受信メッセージ受信フラグ NDAT1/2.NDn は"1"にセットされません。エラータイプはエラーコード(PSR.LEC[2:0])または FD エラーコード(PSR.FLEC[2:0])で確認できます。

- 受信 FIFO の場合

  対応する受信 FIFO エレメントは受信したメッセージで一部上書きされるが、対応する受信 FIFO の書込みポインタ RXFnS.FnPI[5:0]は更新されません。エラータイプはエラーコード(PSR.LEC[2:0])または FD エラーコード(PSR.FLEC[2:0])で確認できます。

対応する受信 FIFO がオーバライトモードに設定されている場合、3.4.2.2.受信 FIFO オーバライトモードの条件を満たす必要があります。

3.4.1.1 フィルタ方式

■ レンジフィルタ

レンジフィルタは、11 ビット ID 設定ビット SFID1[10:0]/SFID2[10:0]や 29 ビット ID 設定ビット EFID1[28:0]/EFID2[28:0]を含む範囲にあるメッセージ ID のフレームを受信した場合に一致します。

拡張フォーマットフレームに対しレンジフィルタを用いる場合は、29 ビット ID フィルタエレメントの 29 ビットフィルタタイプ設定ビット(EFT[1:0])で以下のいずれかの設定をします：

- EFT[1:0] = 00:

  29 ビット ID マスクレジスタ(XIDAM)を受信メッセージのメッセージ ID と AND(論理積)してからレンジフィルタを適用します。

- EFT[1:0] = 11:

  29 ビット ID マスクレジスタ(XIDAM)は利用しません。

■ デュアルフィルタ

デュアルフィルタでは 1 つまたは 2 つの固有のメッセージ ID をフィルタエレメントに設定します。1 つの固有のメッセージ ID をフィルタする場合は、SFID1[10:0] = SFID2[10:0]、または EFID1[28:0] = EFID2[28:0]に設定します。

■ ビットマスク付フィルタ

ビットマスク付フィルタは、受信したメッセージ ID をビットごとにマスクして、指定したメッセージ ID と比較します。ビットマスク付フィルタの場合は SFID1[10:0]/EFID1[28:0]はメッセージ ID のフィルタとして、SFID2[10:0]/EFID2[28:0]はマスクとして使用されます。

マスクで"0"を設定したビット位置は、受信メッセージ ID の該当ビットをマスクアウトします(そのビット位置の受信メッセージ ID の値を無視します)。一方、マスクで"1"を設定したビット位置は、受信メッセージ ID の該当ビットをフィルタ処理に利用します。

SFID2[10:0]/EFID2[28:0]のすべてのビットが"1"の場合は、SFID1[10:0]/EFID1[28:0]と受信したメッセージ ID が同一の場合に一致します。マスクのすべてのビットが"0"の場合は、すべての受信したメッセージの ID が一致します。

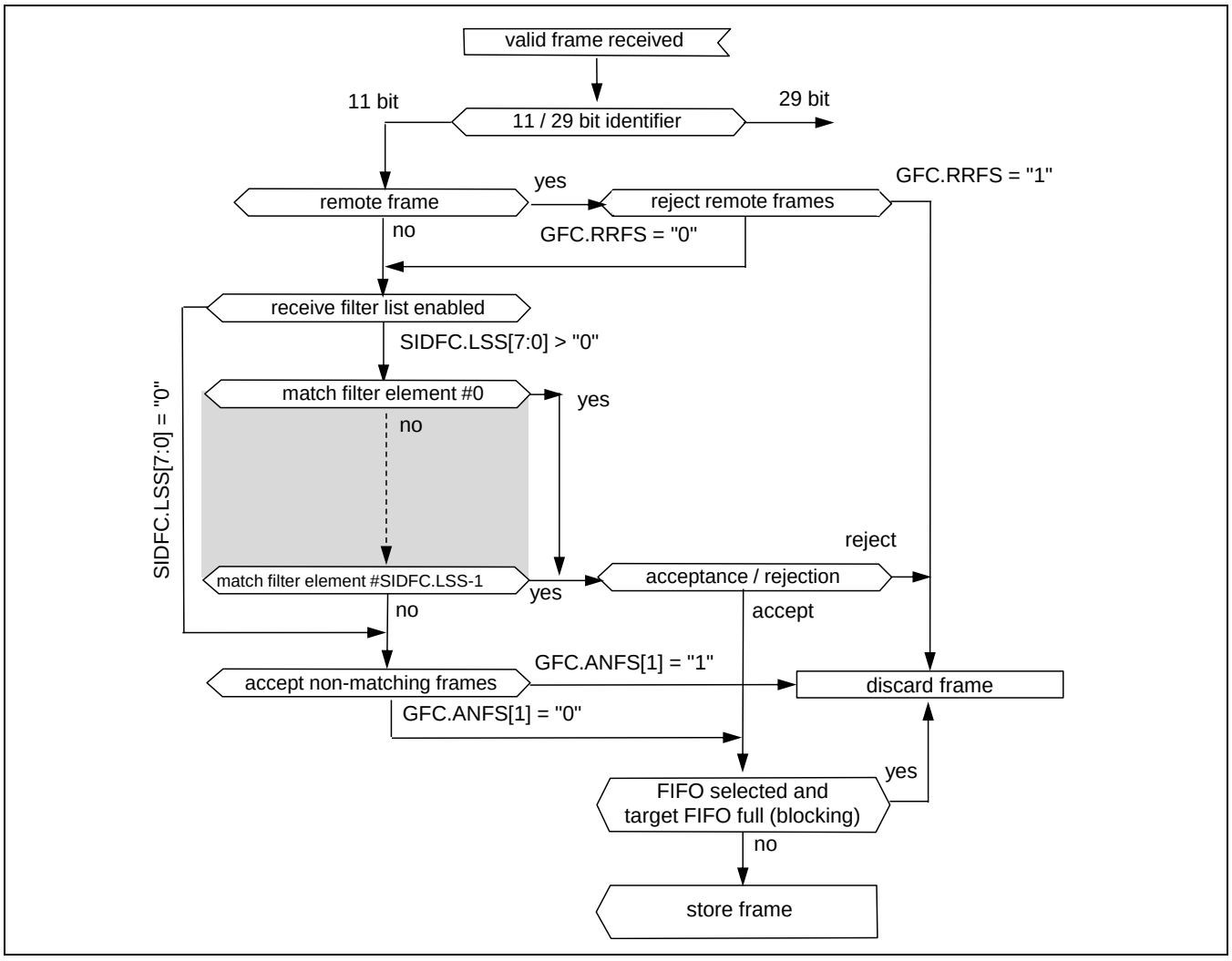
■ 特定 ID 受信メッセージ用フィルタ
特定 ID 受信メッセージ用フィルタは、受信したメッセージ ID を SFID1[10:0]/EFID1[28:0]と比較し一致した場合、特定 ID 受信バッファへ格納します。SFID2[10:0]/EFID2[28:0]では、受信したメッセージの格納先とメッセージの取り扱い(特定 ID 受信メッセージ/デバッグメッセージ)を設定できます。

3.4.1.2 標準フォーマットフレームのフィルタ処理

Figure 3-4 に標準フォーマットフレーム(11 ビット ID のフレーム)のフィルタ処理のフローを示します。

受信フレームのメッセージ ID、RTR ビット、IDE ビットを、グローバルフィルタ設定レジスタ GFC と 11 ビット ID フィルタ設定レジスタ SIDFC の設定にしたがい、受容フィルタに設定した 11 ビット ID のフィルタエレメントと比較します。

Figure 3-4 Standard Message ID Filter Path



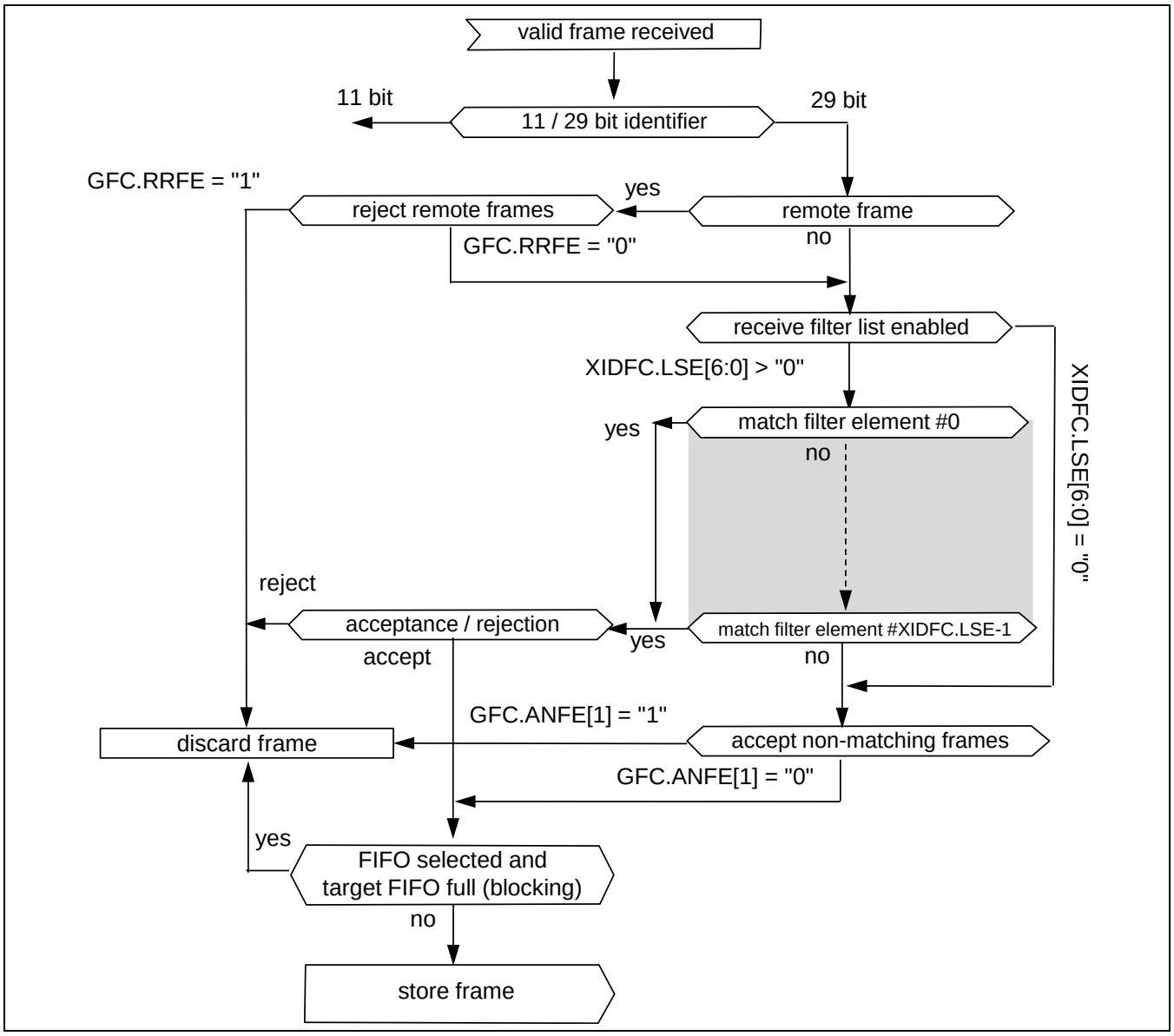
3.4.1.3 拡張フォーマットフレームのフィルタ処理

Figure 3-5 に拡張フォーマットフレーム(29 ビット ID のフレーム)のフィルタ処理のフローを示す。

受信フレームのメッセージ ID、RTR ビット、IDE ビットを、グローバルフィルタ設定レジスタ GFC と 29 ビット ID フィルタ設定レジスタ XIDFC の設定にしたがい、受容フィルタに設定した 29 ビット ID のフィルタエレメントと比較します。

受信 ID は 29 ビット ID マスクレジスタ(XIDAM)と AND してからフィルタエレメントと比較を行います。

Figure 3-5 Extended Message ID Filter Path



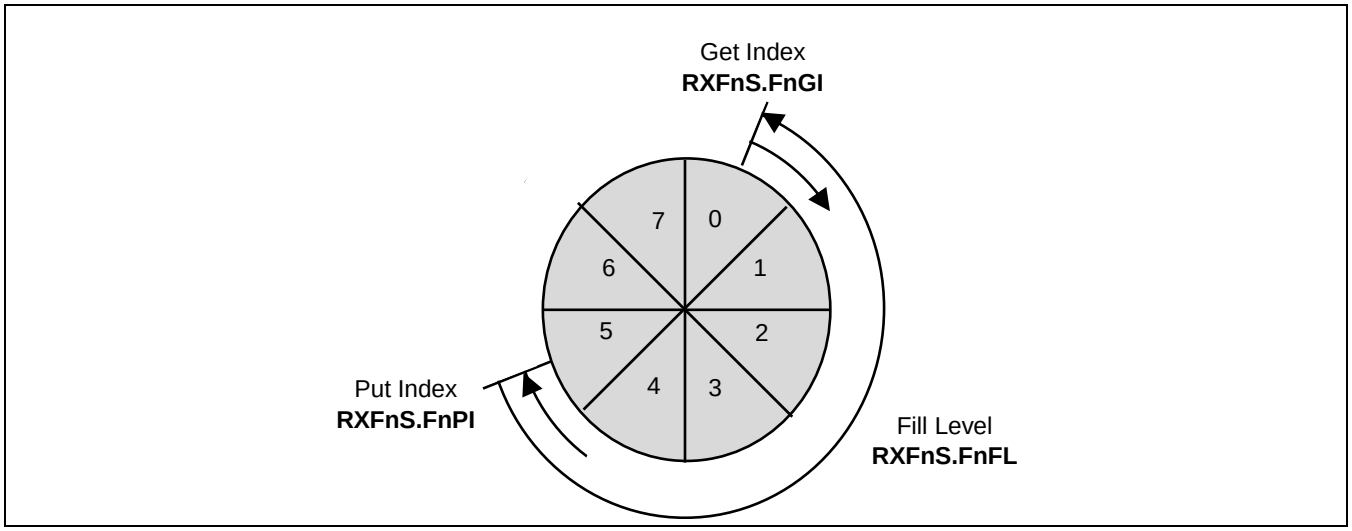
3.4.2 受信 FIFO(Rx FIFO)

受信 FIFO 0 と受信 FIFO 1 はそれぞれ最大 FIFO 段数を 64 フィルタエレメントに設定できます。2 つの受信 FIFO の設定は受信 FIFO 0/1 設定レジスタ RXF0C と RXF1C で行います。

受容フィルタを通過した受信メッセージは、一致したフィルタエレメントの設定にしたがい受信 FIFO に転送されます。

受信 FIFO しきい値を利用して受信 FIFO のオーバフローを防ぐことができます。受信 FIFO n のメッセージ数(RXFnS.FnFL[6:0] : n は 0 または 1)が受信 FIFO n しきい値設定ビット(RXFnC.FnWM[6:0])に等しくなると、受信 FIFO n しきい値割込みフラグ(IR.RFnW) が 1 にセットされます。受信 FIFO 書込みポインタ(Put Index)が受信 FIFO 読出しポインタ(Get Index)に追いつくと受信 FIFO n フル RXFnS.FnF はフルを示す 1 にセットされます。また受信 FIFO n フル割込みフラグ(IR.RFnF)が 1 にセットされます。

Figure 3-6 RX FIFO Status



■ 受信 FIFO の受信バッファの開始アドレスの求め方

受信バッファでは、Table 3-2 で示したようにエレメントサイズを設定します。受信 FIFO から読み出す場合の受信バッファの開始アドレスは下式で計算します。

{受信 FIFO n 読出しポインタ(RXFnS.FnGI[5:0])} × {エレメントサイズ}
+{対応する受信 FIFO 開始アドレス(RXFnC.FnSA[15:2])}

Table 3-2 Rx Buffer/FIFO Element Size

RXESC.RBDS[2:0] RXESC.FnDS[2:0]	Data Field [bytes]	Element Size [RAM words]
000	8	4
001	12	5
010	16	6
011	20	7
100	24	8
101	32	10
110	48	14
111	64	18

3.4.2.1 受信 FIFO ブロッキングモード

受信 FIFO 動作モード設定ビット RXFnC.FnOM = 0 (n は 0 または 1)で受信 FIFO ブロッキングモードに設定します。受信 FIFO は初期状態で受信 FIFO ブロッキングモードです。

受信 FIFO がフルになる(RXFnS.FnPI[5:0] = RXFnS.FnGI[5:0])と、受信 FIFO から最低 1 つのメッセージが読み出され受信 FIFO 読出しポインタがインクリメントされるまでは、受信 FIFO に新たなメッセージは書き込まれません。受信 FIFO n フル (RXFnS.FnF = 1)で受信 FIFO のフルが示されます。また受信 FIFO n フル割込みフラグ(IR.RFnF)が 1 にセットされます。

受信 FIFO がフルでメッセージを受信した場合、そのメッセージは破棄され、受信 FIFO n メッセージロスト RXFnS.RFnL = 1 でメッセージのロストが示されます。また受信 FIFO n メッセージロスト割込みフラグ(IR.RFnL)が 1 にセットされます。

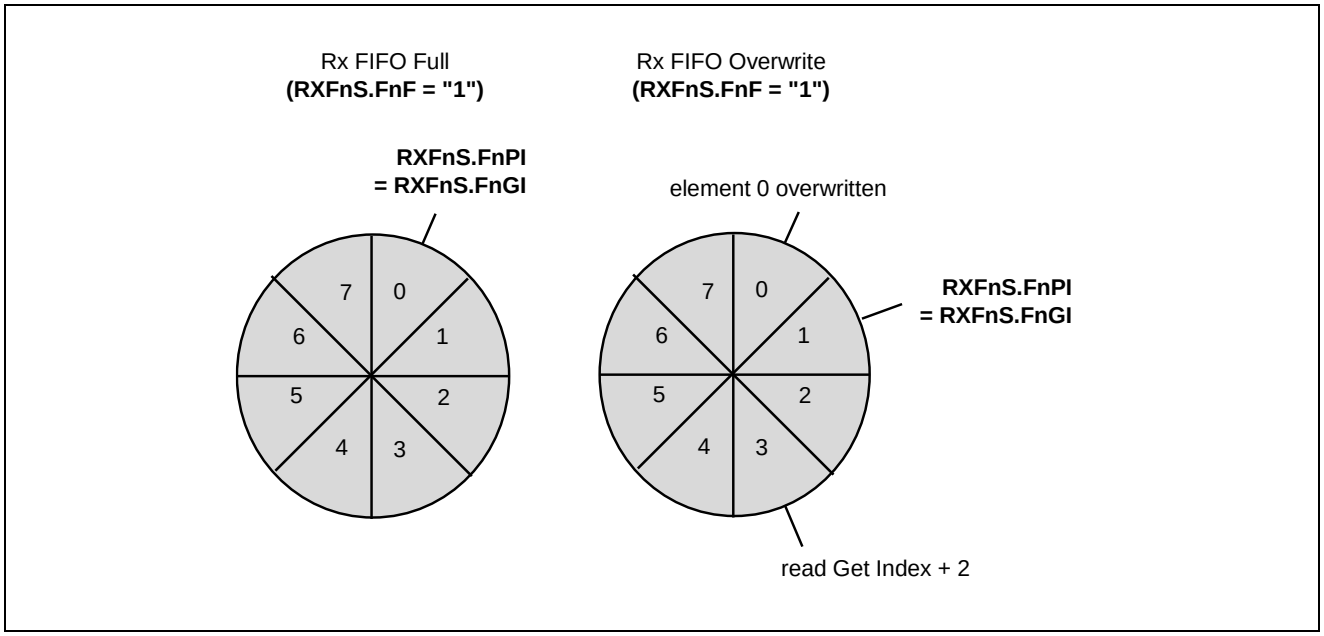
3.4.2.2 受信 FIFO オーバライトモード

受信 FIFO 動作モード設定ビット RXFnC.FnOM = 1 (n は 0 または 1)で受信 FIFO オーバライトモードに設定します。

受信 FIFO フル(RXFnS.FnPI[5:0] = RXFnS.FnGI[5:0])が受信 FIFO n フル RXFnS.FnF = 1 で示された場合、次に受信 FIFO に受容したメッセージは、最も古い受信 FIFO のメッセージを上書き(オーバライト)します。書込みと読出しポインタは共に 1 インクリメントされます。

オーバライトモードに設定されている受信 FIFO で、受信 FIFO フルが通知された場合、受信 FIFO エレメントは読出しポインタ+ 1 以降から読み出してください。CPU がメッセージ RAM の読出しポインタ位置 RXFnS.FnGI[5:0]から読み出すと同時に、受信メッセージが書込みポインタ位置 RXFnS.FnPI[5:0]に書き込まれ、該当する受信 FIFO のエレメントのデータに不整合が発生する可能性があるためです。読出しポインタにオフセットを付けることで問題を避けられます。オフセット量は CPU が受信 FIFO に対する読出し速度の早さに依存します。Figure 3-7 は受信 FIFO を読み出すときの読出しポインタに対するオフセットが 2 の場合を示しています。この例ではエレメント 1 と 2 に格納されているメッセージが失われます。

Figure 3-7 RX FIFO Overflow Handling



受信 FIFO の読み出しを終えたら、最後に読み出したエレメントの番号を受信 FIFO n Ack ポインタ(RXFnA.FnA[5:0])に書き、読出しポインタをその番号にインクリメントします。書込みポインタがこの受信 FIFO エレメントの位置までインクリメントされてなければ、受信 FIFO フルは解除されます(受信 FIFO n フル RXFnS.FnF = 0)。

3.4.3 特定 ID 受信バッファ(Dedicated Rx Buffer)

CAN FD コントローラは最大 64 の特定 ID 受信バッファを設定できます。特定 ID 受信バッファのセクションの開始アドレスは特定 ID 受信バッファ開始アドレス(RXBC.RBSA[15:2])で設定します。

各特定 ID 受信バッファに対する 11 または 29 ビット ID フィルタエレメントに SFEC[2:0]/EFEC[2:0] = 111 および SFID2[10:9]/EFID2[10:9] = 00 を設定します。

受信メッセージがフィルタエレメントで受容されると、メッセージはフィルタエレメントが指すメッセージ RAM 内の受信バッファに格納されます。メッセージは受信 FIFO エレメントと同じフォーマットで格納され、割込みレジスタの特定 ID 受信メッセージ受信割込みフラグ(IR.DRX)は 1 にセットされます。

Table 3-3 Example Filter Configuration for Rx Buffers

Filter Element	SFID1[10:0] EFID1[28:0]	SFID2[10:9] EFID2[10:9]	SFID2[5:0] EFID2[5:0]
0	ID message 1	00	00 0000
1	ID message 2	00	00 0001
2	ID message 3	00	00 0010

フィルタエレメントに一致している受信メッセージの最後のワードがメッセージ RAM に書き込まれると、レジスタ NDAT1, 2 内の該当する特定 ID 受信メッセージ受信フラグが 1 にセットされます。特定 ID 受信メッセージ受信フラグが 1 にセットされている間は、そのフィルタエレメントに一致するフレームでも対応する特定 ID 受信バッファに新たなメッセージは書き込まれません。CPU は該当するビット位置の特定 ID 受信メッセージ受信フラグに 1 を書き込んでリセットしなければなりません。

特定 ID 受信メッセージ受信フラグが 1 にセットされた特定 ID 受信バッファに対応するフィルタエレメントは、受信メッセージとの一致処理をしないため、受信メッセージに対するフィルタ処理は継続されます。後続のフィルタエレメントや受容フィルタの設定により、受信したメッセージはほかの特定 ID 受信バッファや受信 FIFO に格納、または破棄されます。

■ 特定 ID 受信バッファの開始アドレスの求め方

特定 ID 受信バッファは、Table 3-2 で示したようにエレメントサイズを設定します。特定 ID 受信バッファを読み出す場合の開始アドレスは下式で計算します。

{対応するフィルタエレメントの設定オフセット値(SFID2[5:0]またはEFID2[5:0])} × {エレメントサイズ}
+{特定 ID 受信バッファ開始アドレス(RXBC.RBSA[15:2])}

3.4.4 デバッグ機能

デバッグのため、連続する 3 つの受信バッファ(例えば 61,62,63)を特定の 3 つのデバッグメッセージ A, B, C の格納に利用できます。メッセージが格納されるフォーマットは特定 ID 受信バッファや受信 FIFO エレメントと同じです。
デバッグメッセージのフィルタ処理は 11/29 ビット ID フィルタエレメントの 11/29 ビットフィルタ処理設定ビット SFEC[2:0]/EFEC[2:0] = 111 で設定します。これらのフィルタエレメントに、一致したメッセージは、11/29 ビット ID フィルタエレメントの 11/29 ビット ID2 設定ビットの下位 6 ビット SFID2[5:0]/EFID2[5:0]に設定した受信バッファに格納されます。上位 2 ビット SFID2[10:9]/EFID2[10:9]で受信バッファに格納するデバッグメッセージを指定します。
デバッグメッセージが格納された場合は、対応する特定 ID 受信メッセージ受信フラグ NDAT1/2 や特定 ID 受信メッセージ受信割込みフラグ IR.DRX は、どちらも 1 にセットされません。
3 つのメッセージを正しい順で受信した場合、DMA 転送を要求します。DMA 転送の完了後、CAN FD コントローラは、新たな 3 つのデバッグメッセージを受信できるようになります。

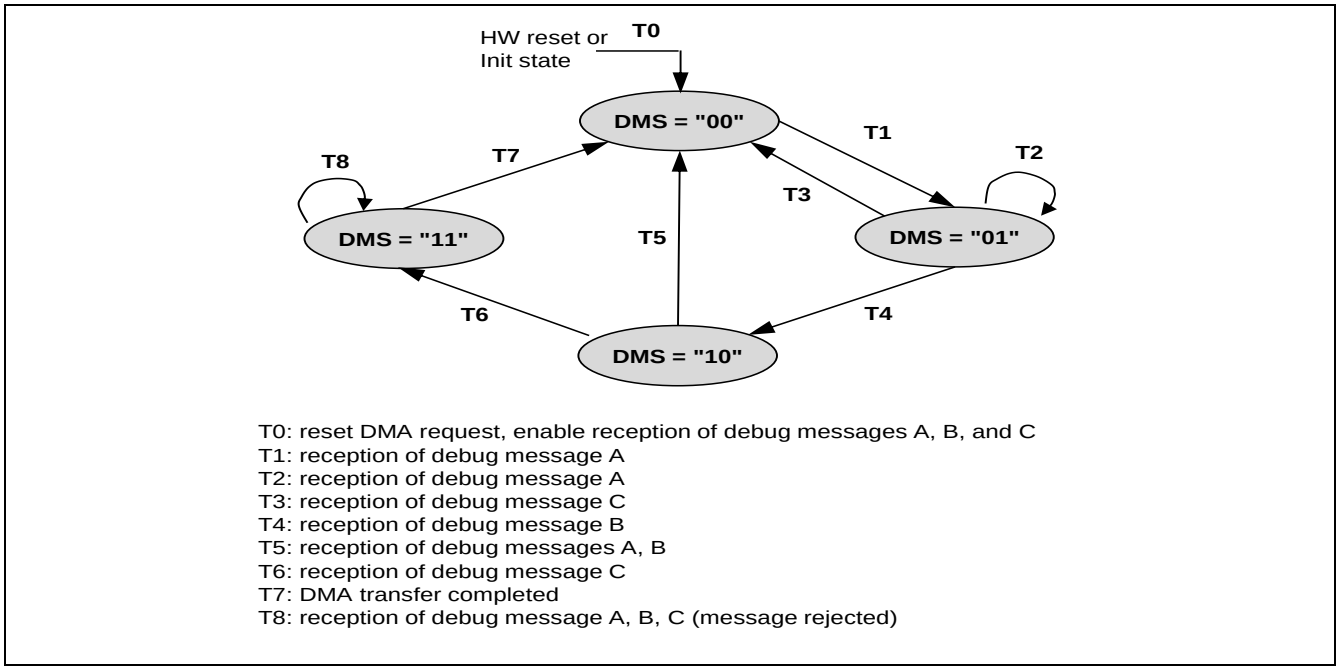
Table 3-4 Example Filter Configuration for Debug Messages

Filter Element	SFID1[10:0] EFID1[28:0]	SFID2[10:9] EFID2[10:9]	SFID2[5:0] EFID2[5:0]
0	ID debug message A	01	11 1101
1	ID debug message B	10	11 1110
2	ID debug message C	11	11 1111

3.4.4.1 デバッグメッセージ処理

デバッグメッセージ処理用のステートマシンは、3 つのデバッグメッセージを、連続する 3 つの受信バッファ順に格納するようにつくられています。メッセージに抜けがある場合は、処理は最初に戻ります。3 つのメッセージをすべて正しい順で受信した場合のみ、DMA 転送を要求します。
デバッグメッセージ処理用のステートマシンのステータスは、デバッグメッセージステータスビット(RXF1S.DMS[1:0])で確認できます。

Figure 3-8 Debug Message Handling State Machine



3.4.5 プロトコル例外イベント (Protocol Exception Event)

CAN FD 動作(CCCR.CME ≠ "00")に設定した CAN FD コントローラは、EDL ビットの直後の r0 ビットがレセッシブのメッセージの受信を Protocol Exception Event とみなします。Protocol Exception Event に対し

- エラーカウンタ(ECR.REC[6:0]と ECR.TEC[7:0])の値は変わりません
- ハードウェア同期を許可します
- CAN FD コントローラはレセッシブビットを送信します

さらに CAN FD コントローラは、内蔵されているビットカウンタで、CAN バス上のレセッシブビット数を数えはじめます。ビットカウンタが連続する 11 のレセッシブビットを検出した場合、CAN FD コントローラは Protocol Exception Event から復帰しアイドル状態になります。11 のレセッシブビット受信を待つ間に同期用のエッジを検出した場合、CAN FD コントローラは内蔵のビットカウンタをリセットし、受信したレセッシブビット数を再度数えはじめます。

CAN FD コントローラが Protocol Exception Event を検出した次の動作が

- メッセージ受信の場合、メッセージが正しく受信されるにもかかわらずメッセージ RAM エラー割込みフラグ(IR.MRAF)が"1"にセットされます
- メッセージ送信の場合、IR.MRAF は 1 にセットされず、正常でないフォーマットのフレームが送信され、エラーフレームとして検出されます

Protocol Exception Event を検出した直後のメッセージのみが影響を受けます。それ以降に受信または送信されたメッセージは問題を起こしません。

<注意事項>

- *下記の 2 条件をすべて満足した場合、CAN FD コントローラが CAN バス上に少なくとも 1bit のドミナントを検出しないと通常動作に復帰しない場合があります。*
  - *CAN FD 動作(CCCR.CME[1:0] > 00)設定*
  - *拡張フォーマットフレーム受信中に送信が中断され、Protocol Exception Event を検出*

3.5 送信処理

送信ハンドラは、特定 ID 送信バッファ、送信 FIFO、送信 Queue の送信要求の処理と、CAN Core への送信メッセージの書込み、書込み/読出しポインタ、そして送信イベント FIFO を制御します。メッセージ送信用に、最大 32 の送信バッファを設定できます。送信バッファエレメントについては 6.3.送信バッファエレメントを参照してください。

送信ハンドラは、送信要求ステータスレジスタ TXBRP が更新されたとき、または送信が開始されたときに、送信スキャンを開始し、最も高優先の送信要求を確認します。

3.5.1. 送信ポーズ機能

3.5.2. 特定 ID 送信バッファ

3.5.3. 送信 FIFO

3.5.4. 送信 Queue

3.5.5. 特定 ID 送信バッファと送信 FIFO の混載

3.5.6. 特定 ID 送信バッファと送信 Queue の混載

3.5.7. 送信要求キャンセル

3.5.8. 送信イベント処理

3.5.1 送信ポーズ機能

送信ポーズ機能は、容易に変更できないメッセージ ID 値をもつ CAN システムでの利用を想定しています。あるメッセージ ID 値が、アービトレーションで、他に定義されているメッセージ ID 値より高優先に設定されているが、アービトレーション上の優先度を逆にしたい場合にあたります。このような条件下において、ある ECU(Electronic Control Unit)が、メッセージ ID 値で高優先度をもつ CAN メッセージを、連続送信した場合、別の ECU が送信するメッセージがアービトレーション上の優先度が低いために、遅延してしまう事態が起こります。

例えば、ECU-1 が送信ポーズ機能を有効にした状態で、アプリケーションが 4 メッセージの送信を要求する場合、最初のメッセージの送信が成功した後、次の送信要求されたメッセージの送信を開始する前にバスアイドルの状態を、2 アービトレーションビットタイム待ちます。そのため、他の ECU での送信待ちのメッセージは、ECU-1 より早く送信開始されるため、ECU-1 が次に送信するメッセージとアービトレーションする必要がありません。2 アービトレーションビットタイム待った ECU-1 は、他の ECU のメッセージを受信し終え、CAN バスが解放され次第、次のメッセージの送信を開始できます。

送信ポーズ機能は送信ポーズ設定ビット(CCCR.TXP)で制御します。送信ポーズ設定ビットが 1 に設定されている場合、CAN FD コントローラはメッセージの送信に成功するごとに、次の送信開始まで 2 アービトレーションビットタイム待ちます。送信ポーズ機能により、ネットワーク上の他の CAN ノードのメッセージの優先度が相対的に低くても、メッセージを送信することが可能になります。初期状態では送信ポーズ機能はディセーブルです(CCCR.TXP = 0)。

本機能は一つのノードからの連続送信間隔を緩めることで、アプリケーションが誤って多数の送信要求をして送信し続ける状況(babbling idiot)を防ぎます。

3.5.2 特定 ID 送信バッファ(Dedicated Tx Buffer)

CPU で直接制御したい送信メッセージは、特定 ID 送信バッファを利用します。各特定 ID 送信バッファは特定の ID が割り当てられます。同じメッセージ ID が複数の特定 ID 送信バッファに与えられている場合は、最も小さいバッファ番号のメッセージから送信されます。

特定 ID 送信バッファのデータ部を更新した場合、送信要求ビット TXBAR.ARn (n : 送信要求する特定 ID 送信バッファの番号)で送信を要求します。送信要求されたメッセージは、CAN バス上のメッセージおよび送信 FIFO や送信 Queue 内のメッセージのメッセージ ID とのアービトレーション結果に応じ送信されます。

■ 特定 ID 送信バッファの開始アドレスの求め方

特定 ID 送信バッファでは、Table 3-5 で示したようにエレメントサイズを設定します。したがって、ある特定 ID 送信バッファのメッセージ RAM 内での開始アドレスを以下式により、求められます。

{送信バッファ番号(0 から 31)} × {エレメントサイズ} ＋ {送信バッファ開始アドレス(TXBC.TBSA[15:2])}

Table 3-5 Tx Buffer/FIFO/Queue Element Size

TXESC.TBDS[2:0]	Data Field [bytes]	Element Size [RAM words]
000	8	4
001	12	5
010	16	6
011	20	7
100	24	8
101	32	10
110	48	14
111	64	18

3.5.3 送信 FIFO(Tx FIFO)

送信 FIFO/Queue 動作モード設定ビット(TXBC.TFQM)を"0"に設定した場合、送信 FIFO として設定されます。送信 FIFO 内のメッセージは、送信 FIFO 読出しポインタ(TXFQS.TFGI[4:0])の示す位置から送信されます。メッセージが送信されるたびに、送信 FIFO が空になるまで送信 FIFO 読出しポインタがインクリメントされます。同一メッセージ ID を持つメッセージが送信 FIFO 内に複数ある場合でも、メッセージが送信 FIFO に書き込まれた順に送信されます。CAN FD コントローラは、送信 FIFO 読出しポインタ(TXFQS.TFGI[4:0])と送信 FIFO/Queue 書込みポインタ(TXFQS.TFQPI[4:0])の差、送信 FIFO の空のバッファ数を送信 FIFO 空バッファ数表示ビット(TXFQS.TFFL[5:0])に表示します。

■ メッセージの追加と送信要求方法

送信 FIFO に新しいメッセージを追加する場合、送信 FIFO/Queue 書込みポインタ(TXFQS.TFQPI[4:0])で示される送信バッファに、新しいメッセージを書き込みます。送信要求があると、書込みポインタは次の空き送信バッファエレメントに更新されます。書込みポインタが読出しポインタに追いついた場合、送信 FIFO/Queue フル(TXFQS.TFQF = 1)で通知します。次のメッセージが送信され、読出しポインタがインクリメントされるまでは新たなメッセージを送信 FIFO に書き込まないでください。

送信 FIFO にメッセージを 1 つだけ追加し送信要求する場合は、送信 FIFO/Queue 書込みポインタに対応した送信バッファの送信要求ビット(TXBAR.ARn (n：送信要求する特定 ID 送信バッファの番号))に 1 を書き込んでください。

送信 FIFO に複数(例えば m 個)のメッセージを追加する場合は、書込みポインタ位置を先頭とした m 個の送信バッファに書き込んでください。送信要求レジスタ(TXBAR)で同時に m 個の送信を要求すれば、書込みポインタは m 個インクリメントされます。送信 FIFO 空バッファ数表示ビット(TXFQS.TFFL[5:0])の数を超える送信バッファに対し、送信要求をしないでください。書込みポインタの示す送信バッファ番号より、手前の送信バッファ番号の送信バッファに対し送信要求をした場合は、TXFQS.TFFL[5:0]は誤った値を返すため、行わないでください。

■ 送信のキャンセル

送信要求のキャンセルは、特定 ID 送信バッファと送信 Queue を対象とした機能のため、送信 FIFO のメッセージに対し、送信要求のキャンセルをした場合の動作は保障できません。ただし、送信 FIFO 内のすべての送信バッファの送信要求を同時にキャンセルする場合は、キャンセル可能です。

もし、読出しポインタで示された送信バッファに対する送信要求をキャンセルした場合は、読出しポインタは次に送信待ちしている送信バッファにインクリメントされ、送信 FIFO 空バッファ数が再計算されます。これ以外の送信バッファに対し送信キャンセルを実行した場合は、読出しポインタおよび送信 FIFO 空バッファ数は変わりません。

■ 送信 FIFO 内の送信バッファの開始アドレスの求め方

送信 FIFO エレメントでは、Table 3-5 で示したようにエレメントサイズを設定します。したがって、次の(空の)送信 FIFO バッファの開始アドレスを以下式により求められます。

{送信 FIFO/Queue 書込みポインタ(TXFQS.TFQPI[4:0]) (0 から 31)} × {エレメントサイズ}
＋ {送信バッファ開始アドレス (TXBC.TBSA[15:2])}

3.5.4 送信 Queue(Tx Queue)

送信 FIFO/Queue 動作モード設定ビット(TXBC.TFQM)を 1 に設定した場合、送信 Queue として設定されます。送信 Queue 内のメッセージは、値が最も小さい(優先度が最も高い)メッセージ ID を持つメッセージから送信されます。同一メッセージ ID を持つメッセージが、送信 Queue 内に複数ある場合は、最も小さいバッファ番号に格納された送信バッファから順に送信されます。

■ メッセージの追加と送信要求方法

送信 Queue に新しいメッセージを追加する場合、送信 FIFO/Queue 書込みポインタ(TXFQS.TFQPI[4:0])で示される送信バッファに、新しいメッセージを書き込みます。送信要求があると、書込みポインタは次の空き送信バッファエレメントに更新されます。送信 Queue がフルの場合(TXFQS.TFQF = "1")は、送信要求のあるメッセージが少なくとも 1 つ送信されるか、送信待ちのメッセージがキャンセルされるまでは、新たなメッセージを送信 Queue に書き込まないでください。

アプリケーションは書込みポインタの代わりに送信要求ステータスレジスタ TXBRP を利用し、送信待ちしてない送信バッファに、メッセージを書き込むこともできます。

■ 送信 Queue 内の送信バッファの開始アドレスの求め方

送信 Queue バッファでは、Table 3-5 で示したようにエレメントサイズを設定します。したがって、次の(空いている)送信 Queue バッファの開始アドレスを以下式により求められます。

{送信 FIFO/Queue 書込みポインタ(TXFQS.TFQPI[4:0]) (0 から 31)} × {エレメントサイズ}
＋{送信バッファ開始アドレス(TXBC.TBSA[15:2])}

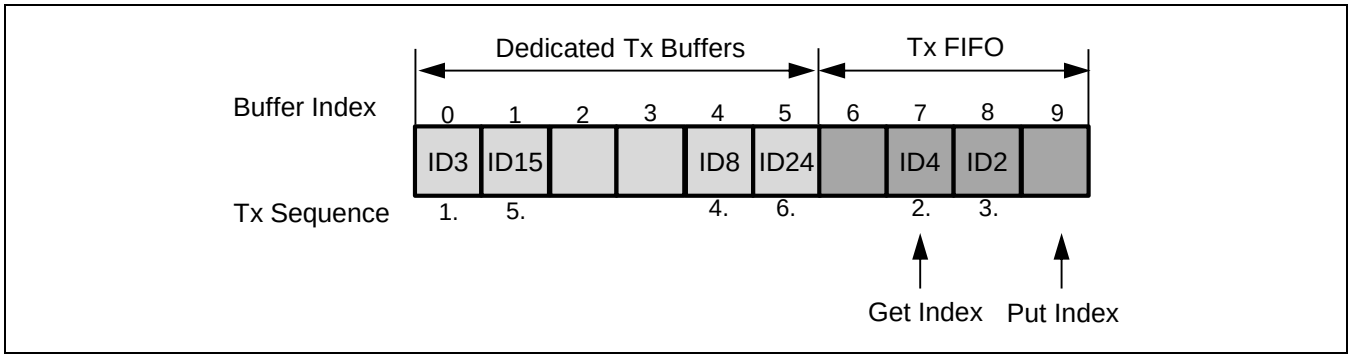
3.5.5 特定 ID 送信バッファと送信 FIFO の混載

メッセージ RAM 内の送信バッファ領域が特定 ID 送信バッファ領域と送信 FIFO に分かれている例を示します。

特定 ID 送信バッファの数は TXBC.NDTB[5:0]で設定します。

送信 FIFO に割り付けられる送信バッファ数は、送信 FIFO/Queue バッファ数設定ビット TXBC.TFQS[5:0]で設定します。TXBC.TFQS[5:0]がゼロの場合は、送信バッファは特定 ID 送信バッファ領域のみ確保されます。

Figure 3-9 Example of mixed Configuration Dedicated Tx Buffers/Tx FIFO



送信順の決定方法:

- すべての特定 ID 送信バッファと、送信 FIFO 内における送信待ちで最も古い送信バッファ(送信 FIFO 読出しポインタ TXFQS.TFGI[4:0]で示される)をスキャンします
- 最も小さいメッセージ ID 値を持つ送信バッファが最も高い優先度を与えられ、次に送信されます

＜注意事項＞

- *特定 ID 送信バッファと送信 FIFO の混載はサポートされません。特定 ID 送信バッファと送信バッファを混載して使用しないでください。*

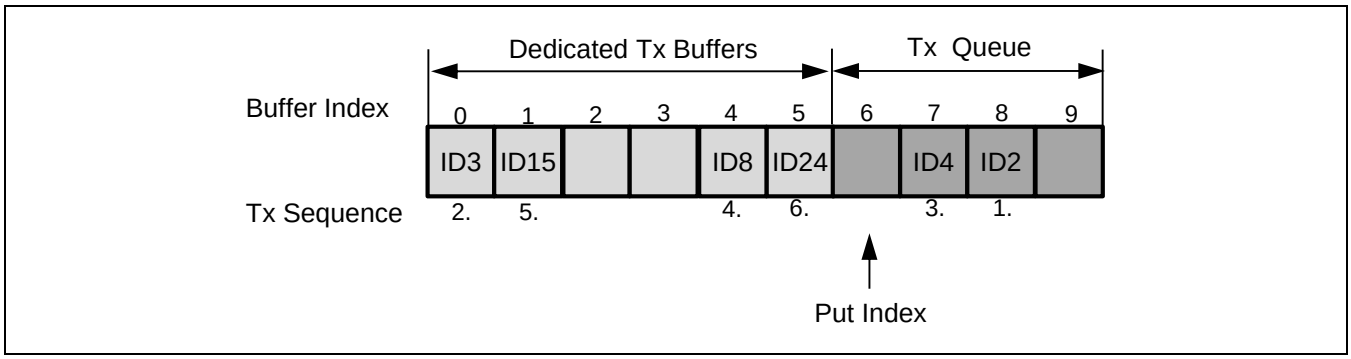
3.5.6 特定 ID 送信バッファと送信 Queue の混載

メッセージ RAM 内の送信バッファ領域が、特定 ID 送信バッファ領域と送信 Queue に分かれている例を示します。

特定 ID 送信バッファの数は TXBC.NDTB[5:0]で設定します。

送信 Queue に割り付けられる送信バッファ数は、送信 FIFO/Queue バッファ数設定ビット TXBC.TFQS[5:0]で設定します。TXBC.TFQS[5:0]がゼロの場合は、送信バッファは特定 ID 送信バッファ領域のみ確保されます。

Figure 3-10 Example of mixed Configuration Dedicated Tx Buffers/Tx Queue



送信順の決定方法:

- 送信要求のある送信バッファをすべてスキャンします
- 最も小さいメッセージ ID 値を持つ送信バッファが最も高い優先度を与えられ、次に送信されます

3.5.7 送信要求キャンセル

CAN FD コントローラでは送信要求をキャンセルできます。特定 ID 送信バッファまたは送信 Queue 内のメッセージの送信要求をキャンセルする場合、CPU は送信要求キャンセルレジスタ TXBCR の対応するビット位置に 1 を書き込みます。送信 FIFO のメッセージに対し、送信要求のキャンセルをした場合の動作は保障できません。

送信要求に対するキャンセルの成功は、送信要求キャンセル完了レジスタ TXBCF の該当するビットが 1 にセットされることで示されます。

送信要求をキャンセルした場合は、対応する送信要求ステータスビット(TXBRP.TRPn (n はキャンセルした送信バッファの番号))が 0 にセットされます。送信バッファへの送信要求のキャンセルが送信開始後の場合は、送信が続いている間は、対応する TXBRP.TRPn は 1 の状態を保持します。

- 送信が成功した場合は、対応する送信完了ビット(TXBTO.TOn)および送信要求キャンセル完了ビット(TXBCF.CFn)が 1 にセットされます
- アービトレーションロストや、フレーム送信中のエラー発生により送信が成功しなかった場合は、再送は行われず、対応する送信要求キャンセル完了ビット(TXBCF.CFn)のみが 1 にセットされます

送信要求のキャンセルをしたときに送信が開始されてない場合は TXBCF.CFn は 1 にセットされます。

送信要求キャンセルビット(TXBCR.CRn)は、対応する送信要求ステータスビット(TXBRP.TRPn)が 0 にセットされた直後に、0 にセットされます。

<注意事項>

- *送信開始直前に送信待ちのメッセージの送信要求をキャンセルした場合、キャンセルしたノードの送信待ちメッセージの送信開始が短時間遅れます。そのため、キャンセルにより送信が遅らされたノードからの 2 番目のメッセージより、優先度が低い(メッセージ ID 値が大きい)送信メッセージが、ほかのノードから送信される可能性があります。*

3.5.8 送信イベント処理

CAN FD コントローラは、送信のイベントの記録のために、送信イベント FIFO を搭載しています。CAN FD コントローラは、CAN バスにメッセージを送信した後、メッセージのメッセージ ID とタイムスタンプを送信イベント FIFO エレメントに記録します。送信した送信バッファのメッセージマーカ(対応する送信バッファエレメントの MM[7:0])は、送信イベント FIFO エレメントにコピーされるので、送信イベントと送信イベント FIFO エレメントの対応をメッセージマーカにより確認できます。

送信イベント FIFO は、送信イベント FIFO エレメント数設定ビット(TXEFC.EFS[5:0])により最大 FIFO 段数を 32 エレメントに設定できます。

送信イベント FIFO のフルが、送信イベント FIFO フル割込みフラグ(IR.TEFF) = 1 で通知された場合、送信イベント FIFO から最低 1 つのエレメントが読み出され、送信イベント FIFO 読出しポインタ(TXEFS.EFGI[4:0])がインクリメントされるまでは、送信イベント FIFO に新たなエレメントは書き込まれません。送信イベント FIFO がフルで送信イベントが発生した場合は、イベントは破棄され、送信イベント FIFO エレメントロスト割込みフラグ(IR.TEFL) が 1 にセットされます。

送信イベント FIFO のオーバフローを避けるために送信イベント FIFO にしきい値を設定できます。送信イベント FIFO のメッセージ数(TXEFS.EFFL[5:0])が、送信イベント FIFO しきい値設定ビット(TXEFC.EFWM[5:0])に一致したときのみ、送信イベント FIFO しきい値割込みフラグ(IR.TEFW) が 1 にセットされます。

■ 送信イベント FIFO 内の送信バッファの開始アドレスの求め方
送信イベント FIFO の開始アドレスは以下式により求められます。

2 × {送信イベント FIFO 読出しポインタ TXEFS.EFGI[4:0]} ＋ {送信イベント FIFO 開始アドレス TXEFC.EFSA[15:2]}

3.6 FIFO Ack 処理

受信 FIFO 0、受信 FIFO 1、送信イベント FIFO の読出しポインタ(それぞれ RXF0S.F0GI[5:0]、RXF1S.F1GI[5:0]、 および TXEFS.EFGI[4:0])は、対応する FIFO Ack ポインタ(RXF0A.F0AI[5:0]、RXF1A.F1AI[5:0]、および TXEFA.EFAI[4:0])に書き込むことで制御します。FIFO Ack ポインタに書き込むと、FIFO の読出しポインタは、書き込んだ値＋1 にセットされ、FIFO メッセージ数も更新されます。Ack 処理として、以下の 2 通りの処理方法があります：

- 読出しポインタが指すエレメント(1 エレメント)だけを、FIFO から読み出して、その読出しポインタの値を FIFO Ack ポインタに書き込む
  (本処理をくり返し実施することで、複数エレメントを読み出すことができます)
- 連続する複数エレメントを、FIFO から読み出して、FIFO の読出しポインタを更新する場合、読み出し終えた後に、最後に読み出したエレメントの番号を、FIFO Ack ポインタに一度だけ書き込む

CPU はメッセージ RAM に対し自由にアクセスできるため、読出しポインタの値を考慮せずに、各 FIFO エレメントを任意の順番に読み出すことができます。

そのため、受信 FIFO から高優先のメッセージを、直接読み出すことができます。読出しポインタを考慮せずに高優先メッセージを読み出した場合、受信 FIFO Ack ポインタに書き込むことを推奨しません。高優先メッセージが格納されているエレメント番号を受信 FIFO Ack ポインタへ書き込むと、高優先メッセージが格納されているエレメント番号+1 に、読出しポインタが更新され、受信 FIFO メッセージ数も変更され、受信 FIFO エレメントが失われます。

＜注意事項＞

- *CPU は FIFO Ack ポインタに正しい値を書く必要があります。CAN FD コントローラは正しくない値を検出せず、書かれたポインタ値で動作するため、エレメントが失われる可能性があります。*

3.7 CAN ビットタイミング設定

CAN ネットワーク内の各 CAN ノードはそれぞれのクロック源(発振器)で動作します。ビットタイムのパラメータをそれぞれの CAN ノードで個別に設定できます。それぞれの CAN ノードの発振器の周期が異なる場合でも、共通のビットレートを設定できます。

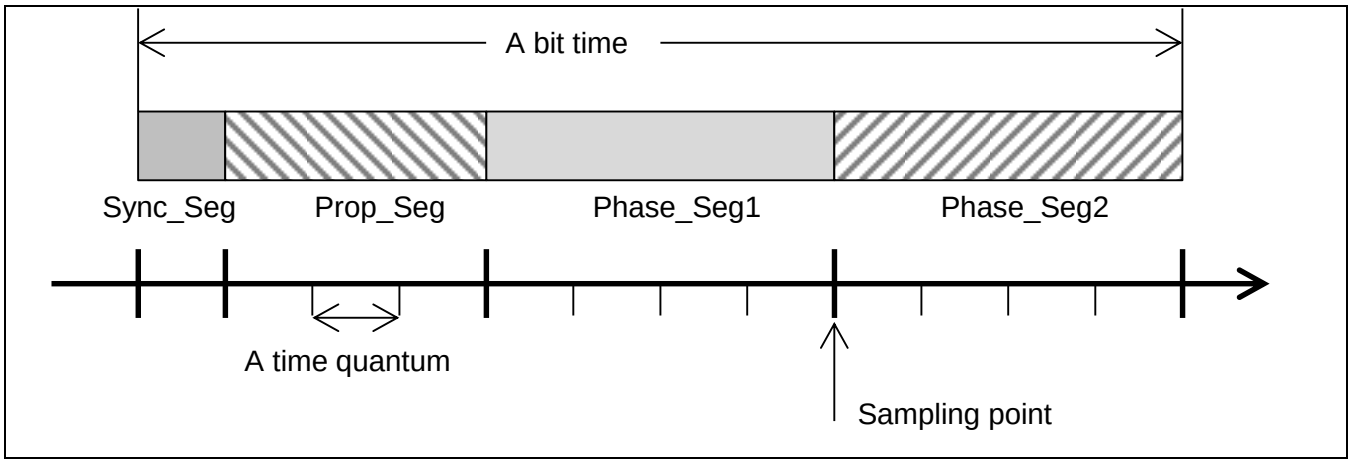
発振器の周波数は、温度や電圧の変化、部品の劣化のため互いに少しずつ異なります。それぞれの発振器の周波数の偏差が許容範囲内ならば、各 CAN ノードはビットストリームに再同期して異なるビットレートに対応します。

3.7.1 CAN ビットタイミング

CAN FD 仕様 V1.0 はアービトレーションビットタイム(nominal bit time)と高速ビットタイム(fast bit time)の 2 つのビットタイムを定義しています(CAN FD 仕様 V1.0 は、それぞれ nominal bit time と data bit time と称しています)。アービトレーションビットタイムはアービトレーションフェーズで使われます。高速ビットタイムはアービトレーションビットタイム以下の長さであり、データフェーズの高速化に用いることができます(詳細は 3.1.3.CAN FD 動作のビットレートの切換えの項参照)。

ビットタイムは、アービトレーションと高速ビットタイムで共通の構成です。CAN の仕様にしたがいビットタイムは、次の 4 つに分かれます(Figure 3-11 参照) : 同期化部(Sync_Seg)、伝送時間部(Prop_Seg)、フェーズバッファ部 1 (Phase_Seg1)とフェーズバッファ部 2(Phase_Seg2)。サンプリングポイント(バスレベルを読み取り、各ビットの値とするタイミング)は、Phase_Seg1 の末尾にあります。

Figure 3-11 Bit Time Construction



CAN クロック(canfd_cclk)とプリスケーラで定義したタイムクアンタム(time quantum)の倍数として各部分を個別に設定します。それぞれの値やプリスケーラの設定はアービトレーションビットタイムと高速ビットタイムで異なり、下の表(Table 3-6)に示すように、ビットタイミングレジスタ(BTP)や FD ビットタイミングレジスタ(FBTP)で設定します。

Table 3-6 Bit Time Parameters

Parameter	Description
Time quantum tq (nominal) and tqf (fast)	タイムクアンタム。基本単位時間(canfd_cclk 周期)を対応するプリスケーラで逓倍した値。タイムクアンタムは CAN FD コントローラで以下のように設定します。 nominal : tq = (BTP.BRP[9:0] +1) × canfd_cclk 周期 fast : tqf = (FBTP.FBRP[4:0] + 1) × canfd_cclk 周期
Sync_Seg	Sync_Seg は CAN 仕様にしたがい 1 time quantum に固定されており設定できません(CAN FD コントローラに組み込まれています) nominal : 1 tq fast : 1 tqf
Prop_Seg	Prop_Seg はビットタイムにおいてネットワークの物理的遅延時間の補償に使われる部分です。CAN FD コントローラでは、Prop_Seg と Phase_Seg1 の和を次に示すレジスタで、設定します nominal : Prop_Seg + Phase_Seg1 = BTP.TSEG1[5:0] + 1 fast : Prop_Seg + Phase_Seg1 = FBTP.FTSEG1[3:0] + 1
Phase_Seg1	Phase_Seg1 はサンプリングポイントより前のエッジのずれの修正に利用します。CAN 通信中に同期化ジャンプ幅により、延長されます。 Prop_Seg と Phase_Seg1 の和を CAN FD コントローラで以下のように設定できます。 nominal : Prop_Seg + Phase_Seg1 = BTP.TSEG1[5:0] + 1 fast : Prop_Seg + Phase_Seg1 = FBTP.FTSEG1[3:0] + 1
Phase_Seg2	Phase_Seg2 はサンプリングポイントより後のエッジのずれの修正に利用します。CAN 通信中に同期化ジャンプ幅により、短縮されます。 Phase_Seg2 は CAN FD コントローラで以下のように設定します。 nominal : BTP.TSEG2[3:0] + 1 fast : FBTP.FTSEG2[2:0] + 1
SJW	(再)同期化ジャンプ幅。Phase_Seg1 や Phase_Seg2 の長さの調整に用います。SJW は Phase_Seg1 や Phase_Seg2 のいずれよりも短いです。 SJW は CAN FD コントローラで以下のように設定します。 nominal : BTP.SJW[3:0] + 1 fast : FBTP.FSJW[1:0] + 1

上表内の各パラメータ間の関係から、アービトレーションおよび高速ビットタイムで以下の式が導かれます。

アービトレーションビットタイム

= [Sync_Seg + Prop_Seg + Phase_Seg1 + Phase_Seg2] × [tq]
= [1 + (BTP.TSEG1[5:0] + 1) + (BTP.TSEG2[3:0] + 1)] × [(BTP.BRP[9:0] + 1) × canfd_cclk 周期]

また高速ビットタイムについては

= [1 + (FBTP.FTSEG1[3:0] + 1) + (FBTP.FTSEG2[2:0] + 1)] × [(FBTP.FBRP[4:0] + 1) × canfd_cclk 周期]

＜注意事項＞

- *CAN FD コントローラの Information Processing Time (IPT)はゼロ、すなわちサンプリングポイントの直後の CAN クロックエッジで次のビットのデータが確定します。したがって Phase_Seg1 と IPT の大きい方の値と定義されている Phase_Seg2 を決めるのに IPT を考慮する必要はありません。*

3.7.2 CAN ビットレート

ビットレートはビットタイムの逆数のため、アービトレーションビットレートは

1 / [{1 + (BTP.TSEG1[5:0] + 1) + (BTP.TSEG2[3:0] + 1)} × {(BTP.BRP[9:0] +1) × canfd_cclk 周期}]

FD ビットレートは

1 / [{1 + (FBTP.FTSEG1[3:0] + 1) + (FBTP.FTSEG2[2:0] + 1)} × {(FBTP.FBRP[4:0] +1) × canfd_cclk 周期}]

上式から CAN FD コントローラのビットレートは CAN クロック(canfd_cclk)の周期と、各パラメータの設定範囲に依存します。次の表にいくつかの CAN クロック周波数での設定可能なビットレートを示します。空欄は表示されている入力 CAN クロック周波数で、記載しているビットレートが設定できないことを示します。

Table 3-7 Example Configurations for Nominal Bit Rates

CAN clock frequency	8MHz		10MHz		16MHz		20MHz		32MHz		40MHz	
configuration / nominal bit rate	# of tqs	BTP.BRP + 1	# of tqs	BTP.BRP + 1	# of tqs	BTP.BRP + 1	# of tqs	BTP.BRP + 1	# of tqs	BTP.BRP + 1	# of tqs	BTP.BRP + 1
125Kbps	64tq	1	80tq	1	64tq	2	80tq	2	64tq	4	80tq	4
	32tq	2	40tq	2	32tq	4	40tq	4	32tq	8	40tq	8
	16tq	4	20tq	4	16tq	8	20tq	8	16tq	16	20tq	16
	8tq	8	10tq	8	8tq	16	10tq	16	8tq	32	10tq	32
250Kbps	32tq	1	40tq	1	64tq	1	80tq	1	64tq	2	80tq	2
	16tq	2	20tq	2	32tq	2	40tq	2	32tq	4	40tq	4
	8tq	4	10tq	4	16tq	4	20tq	4	16tq	8	20tq	8
					8tq	8	10tq	8	8tq	16	10tq	16
500Kbps	16tq	1	20tq	1	32tq	1	40tq	1	64tq	1	80tq	1
	8tq	2	10tq	2	16tq	2	20tq	2	32tq	2	40tq	2
					8tq	4	10tq	4	16tq	4	20tq	4
									8tq	8	10tq	8
1Mbps	8tq	1	10tq	1	16tq	1	20tq	1	32tq	1	40tq	1
					8tq	2	10tq	2	16tq	2	20tq	2
									8tq	4	10tq	4

Table 3-8 Example Configurations for FD Bit Rates

CAN clock frequency	8MHz		10MHz		16MHz		20MHz		32MHz		40MHz	
configuration / FD bit rate	# of tqfs	FBTP.FBRP+1	# of tqfs	FBTP.FBRP+1	# of tqfs	FBTP.FBRP+1	# of tqfs	FBTP.FBRP+1	# of tqfs	FBTP.FBRP+1	# of tqfs	FBTP.FBRP+1
500Kbps	16tqf 8tqf	1 2	20tqf 10tqf	1 2	16tqf 8tqf	2 4	20tqf 10tqf	2 4	16tqf 8tqf	4 8	20tqf 10tqf	4 8
1Mbps	8tqf	1	10tqf	1	16tqf 8tqf	1 2	20tqf 10tqf	1 2	16tqf 8tqf	2 4	20tqf 10tqf	2 4
2Mbps					8tqf	1	10tqf	1	16tqf 8tqf	1 2	20tqf 10tqf	1 2
4Mbps									8tqf	1	10tqf	1
5Mbps											8tqf	1

＜注意事項＞

- *CAN バスで通信できるようにするため、通信環境に準拠した CAN ビットタイミングを設定してください。*

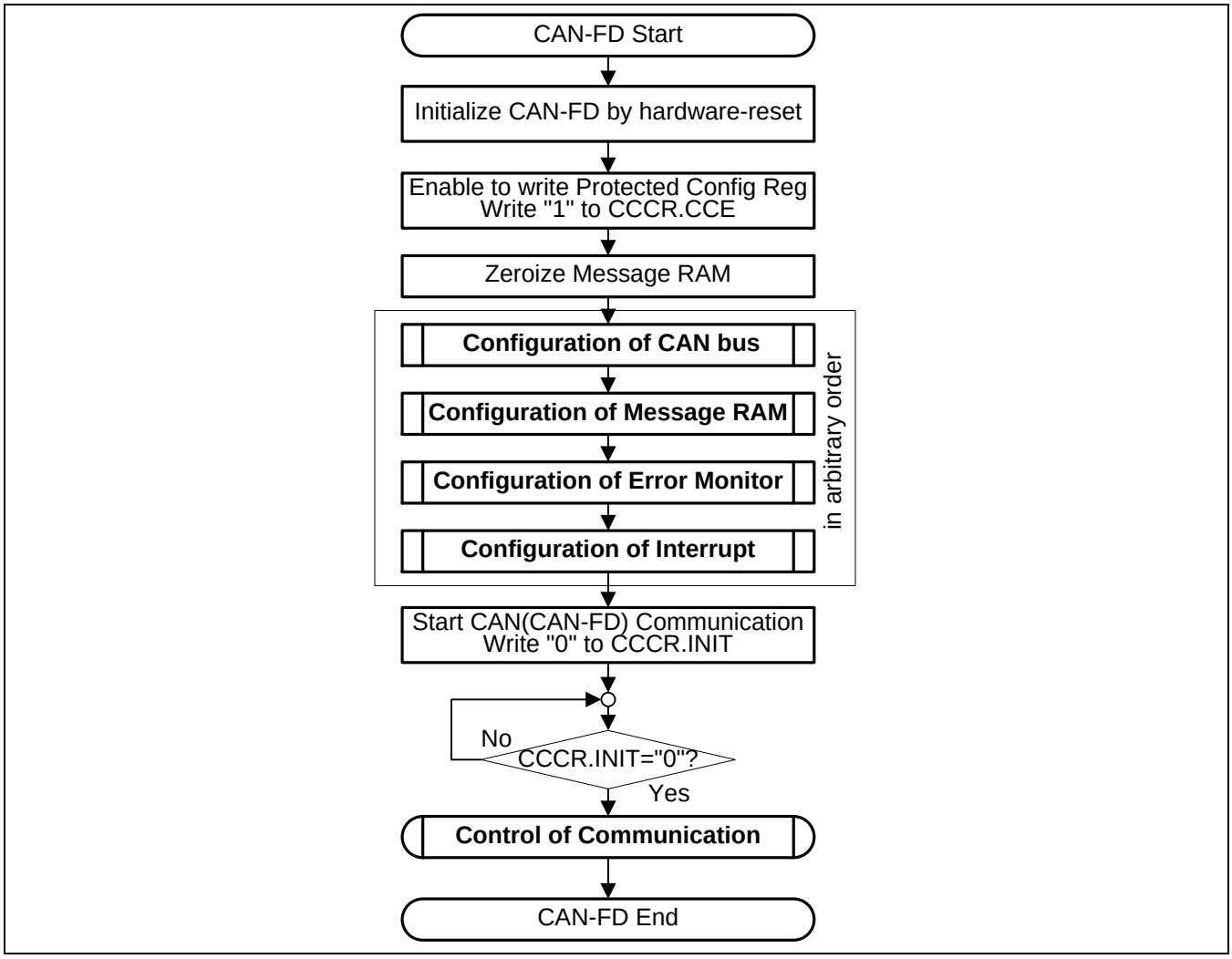
4. 設定手順例

CAN FD コントローラの設定手順例を説明します。

4.1. CAN ビットタイミング設定手順(Configuration of CAN bus)
4.2. メッセージ RAM 設定手順(Configuration of Message RAM)
4.2.1. 受容フィルタ設定手順(Configuration of ID Filter List)
4.2.2. 受信バッファ設定手順(Configuration of Rx Buffer and Rx FIFO)
4.2.3. 送信バッファ設定手順(Configuration of Tx Buffer and Tx FIFO/Queue)
4.2.4. フィルタエレメント設定手順(Configuration of ID Filter)
4.3. エラーモニタ設定手順(Configuration of Error Monitor)
4.4. 割込み設定手順(Configuration of Interrupt)
4.5. 送信設定手順(Control of Communication)
4.5.1. CAN 送信モード設定手順(CAN Transmit Mode Change)
4.5.2. フレーム送信設定手順(Configuration of Transmission Frame)
4.6. 割込み処理手順
4.6.1. バスオフ処理手順(Bus_Off status Handling Operation)
4.6.2. メッセージ RAM エラー処理手順
(Message RAM access failure Handling Operation)
4.6.3. Bit エラー処理手順(Bit Error Handling Operation)
4.6.4. 送信イベント FIFO 処理手順(Tx Event FIFO Handling Operation)
4.6.5. 特定 ID 受信メッセージ処理手順
(Dedicated Rx Buffer Handling Operation)
4.6.6. 高優先メッセージ受信処理手順(High priority Message Handling Operation)
4.6.7. 受信 FIFO 処理手順(Rx FIFO Handling Operation)

Figure 4-1 はメインフローを示します。以下の節からは各設定手順について記載します。

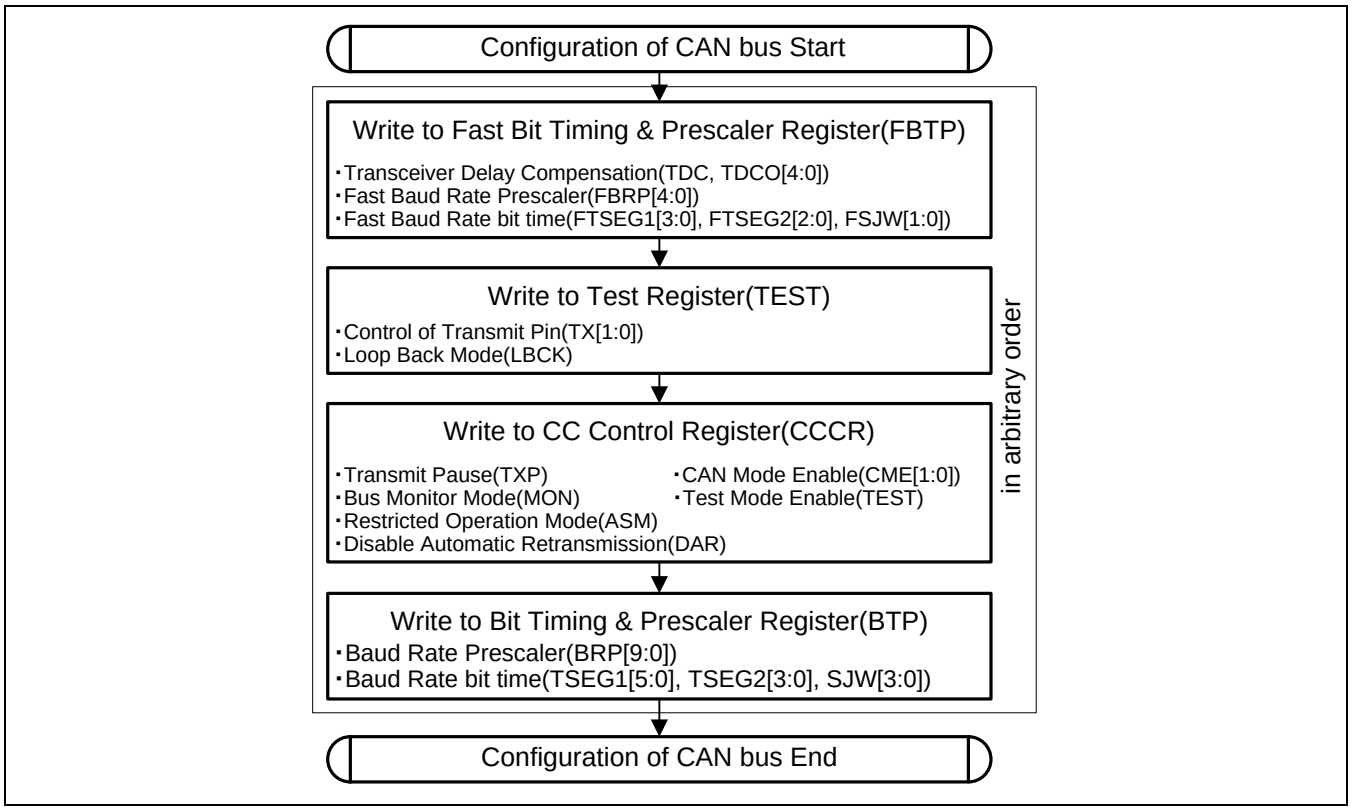
Figure 4-1 General Program Flow



4.1 CAN ビットタイミング設定手順(Configuration of CAN bus)

Figure 4-2 は CAN バスに関連した設定手順を示します。

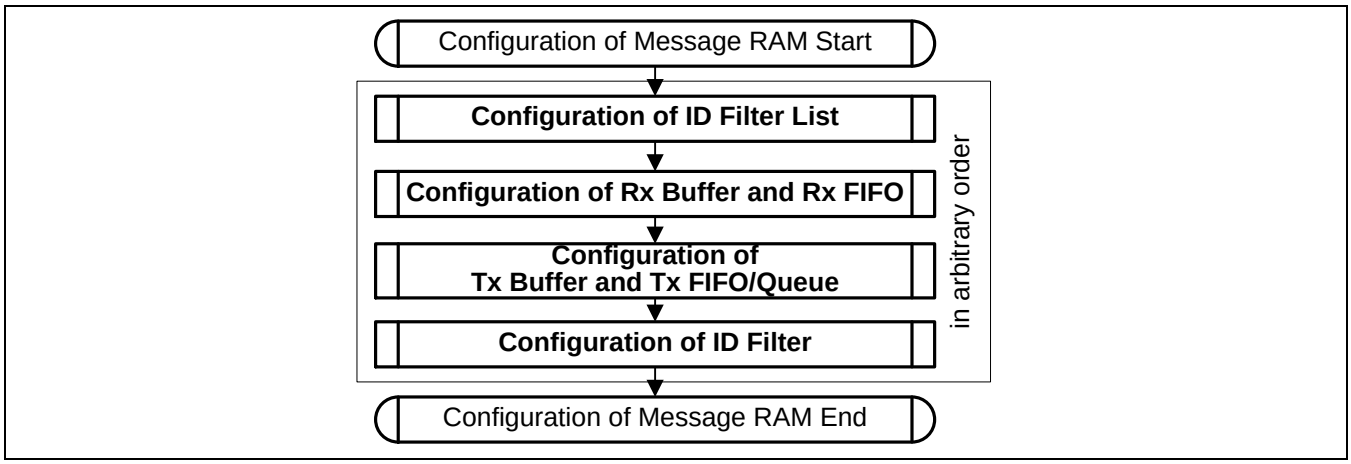
Figure 4-2 Flow Diagram "Configuration of CAN bus"



4.2 メッセージ RAM 設定手順(Configuration of Message RAM)

Figure 4-3 はメッセージ RAM に関連した設定手順を示します。

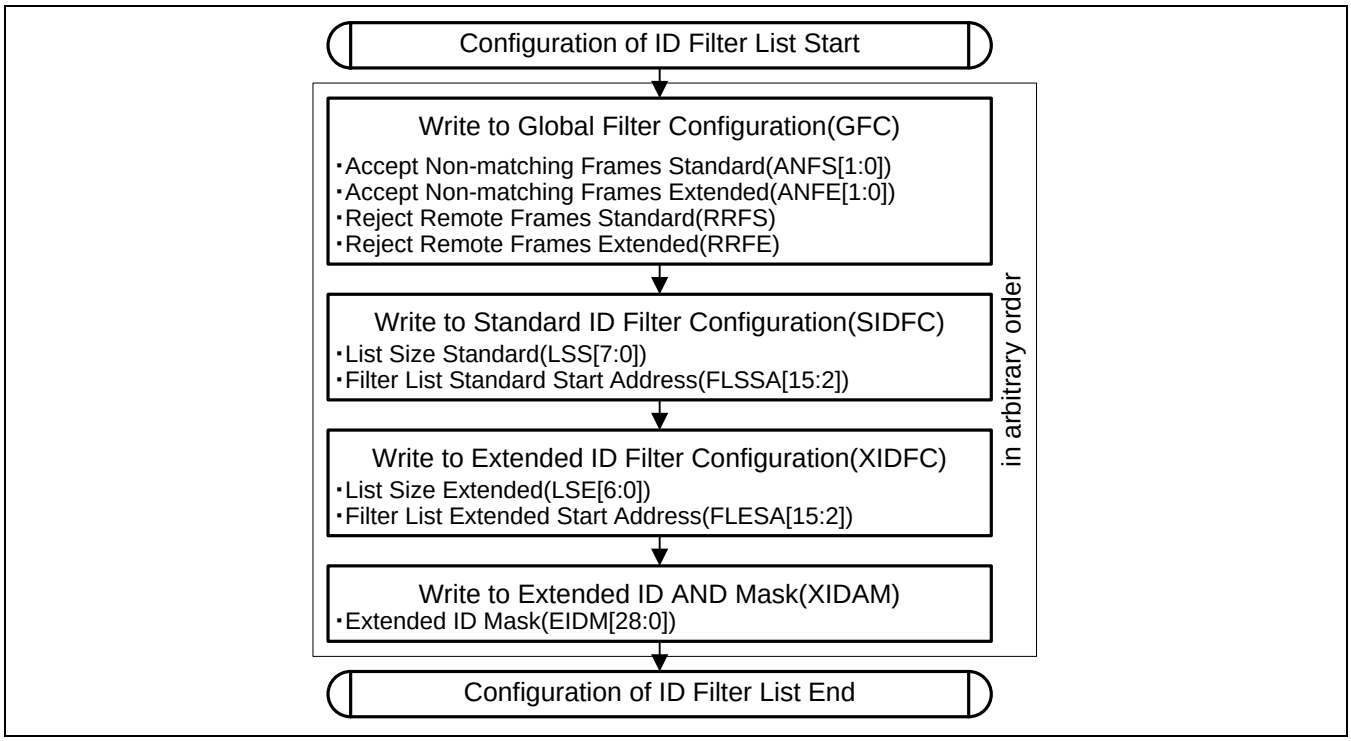
Figure 4-3 Flow diagram "Configuration of Message RAM"



4.2.1 受容フィルタ設定手順(Configuration of ID Filter List)

Figure 4-4 は受容フィルタの初期設定手順を示します。

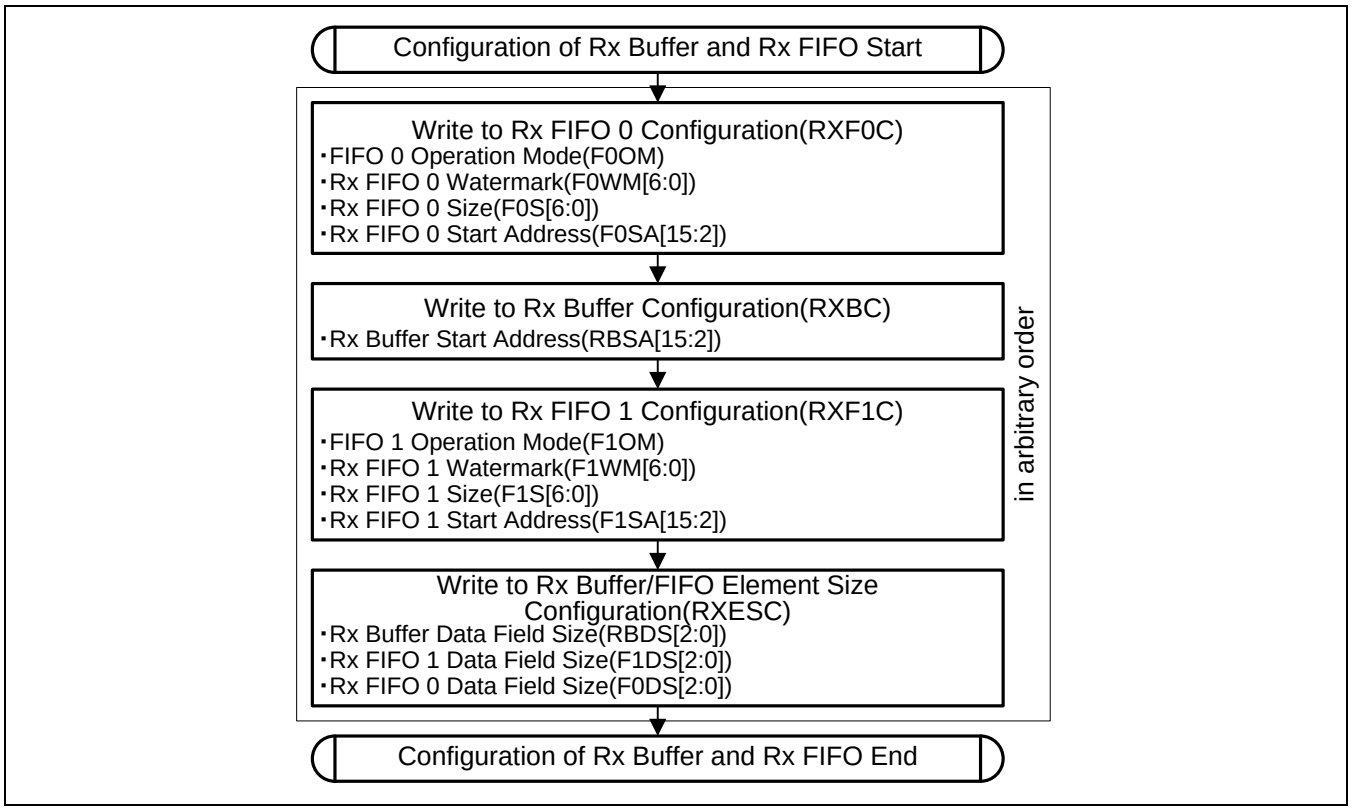
Figure 4-4 Flow Diagram "Configuration of ID Filter List"



4.2.2 受信バッファ設定手順(Configuration of Rx Buffer and Rx FIFO)

Figure 4-5 は受信バッファの初期設定手順を示します。

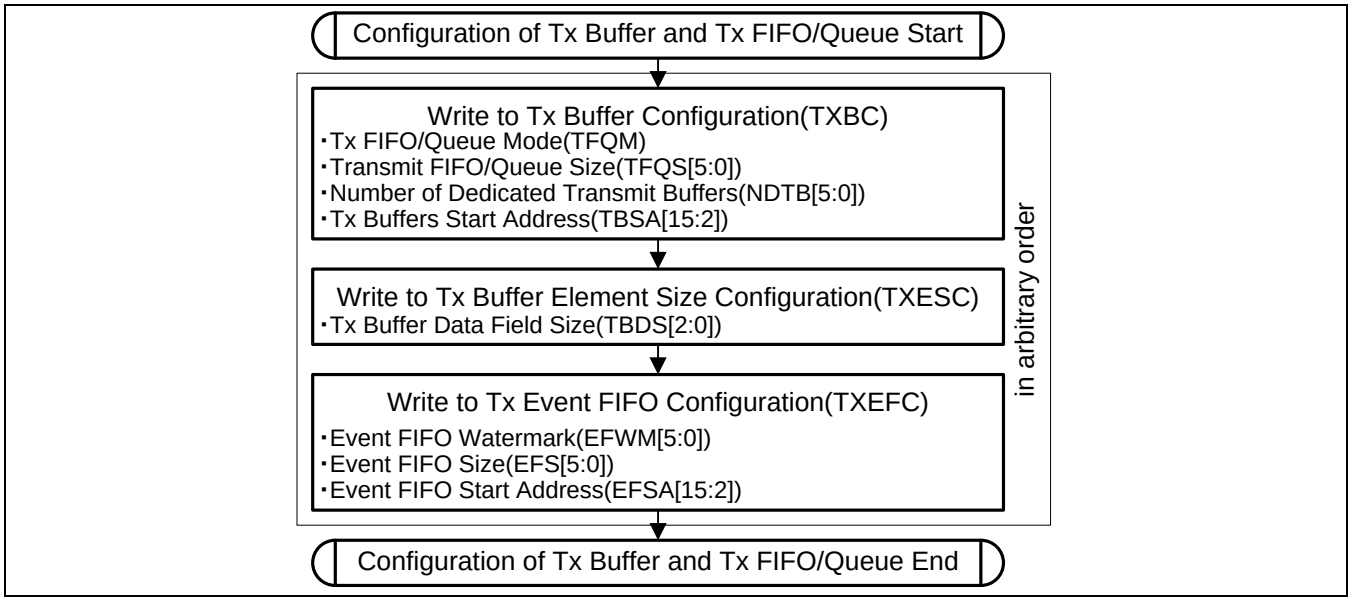
Figure 4-5 Flow Diagram "Configuration of Rx Buffer and Rx FIFO"



4.2.3 送信バッファ設定手順(Configuration of Tx Buffer and Tx FIFO/Queue)

Figure 4-6 は送信バッファと送信イベント FIFO の初期設定手順を示します。

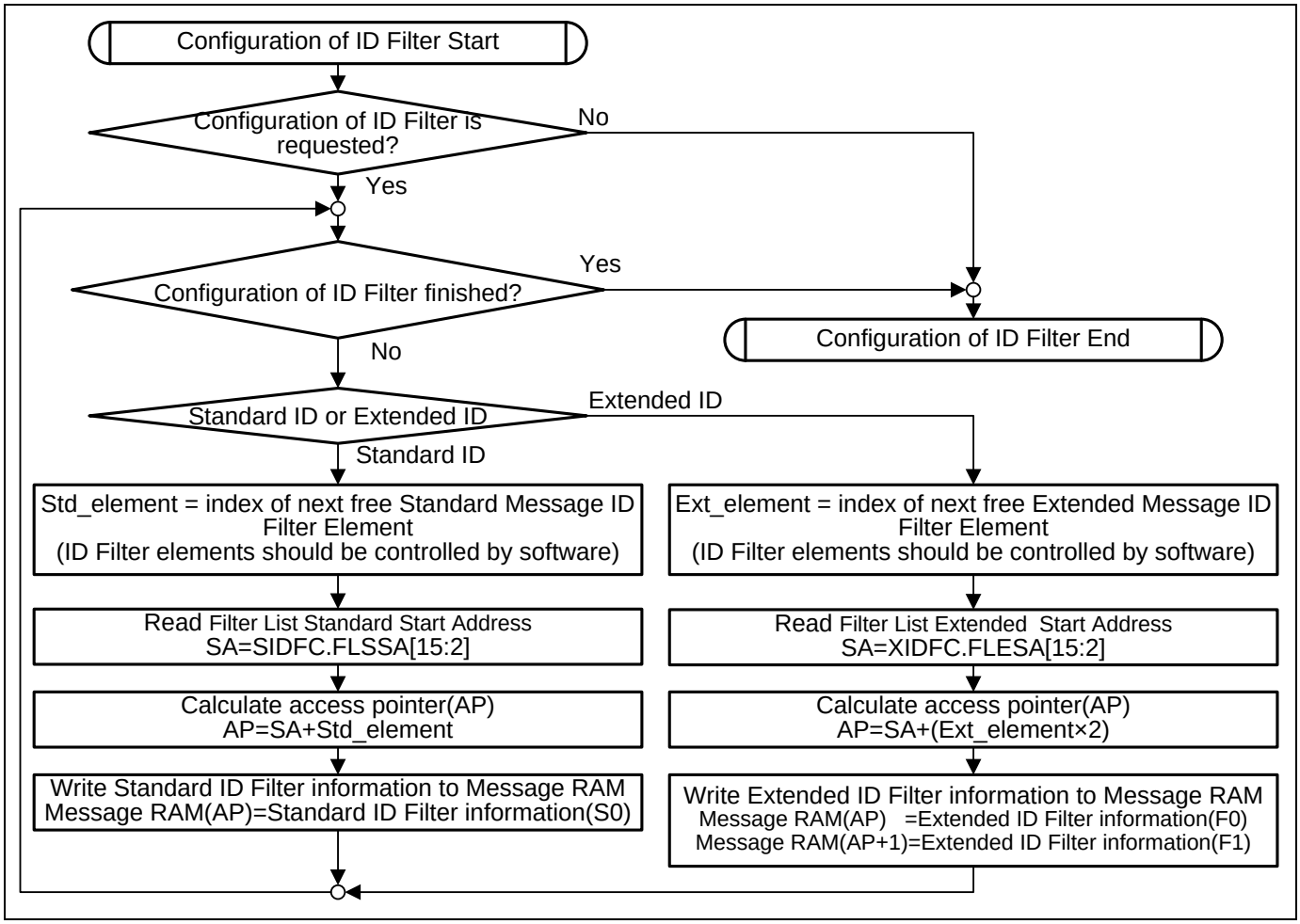
Figure 4-6 Flow Diagram "Configuration of Tx Buffer and Tx FIFO/Queue"



4.2.4 フィルタエレメント設定手順(Configuration of ID Filter)

Figure 4-7 はフィルタエレメントの設定手順を示します。

Figure 4-7 Flow Diagram "Configuration of ID Filter"



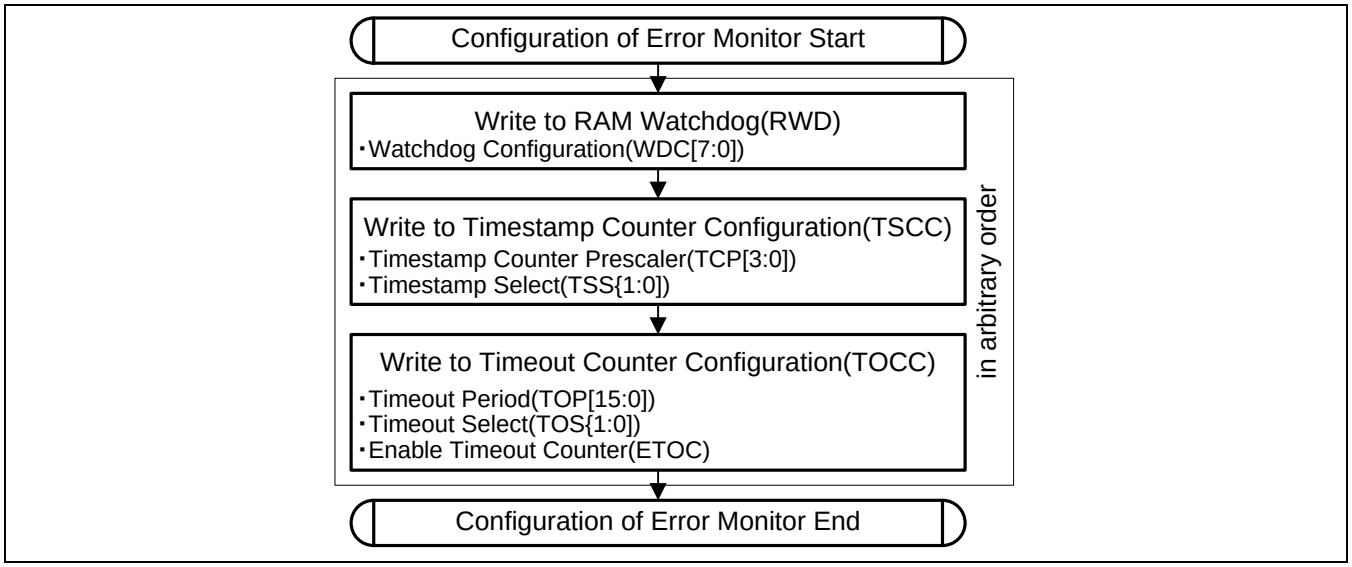
<注意事項>

- *アクセスポインタ(access pointer)は 32 ビットアクセス単位で計算してください。*

4.3 エラーモニタ設定手順(Configuration of Error Monitor)

Figure 4-8 はエラーモニタ(RAM ウォッチドッグ/タイムスタンプ/タイムアウト)の設定手順を示します。 z

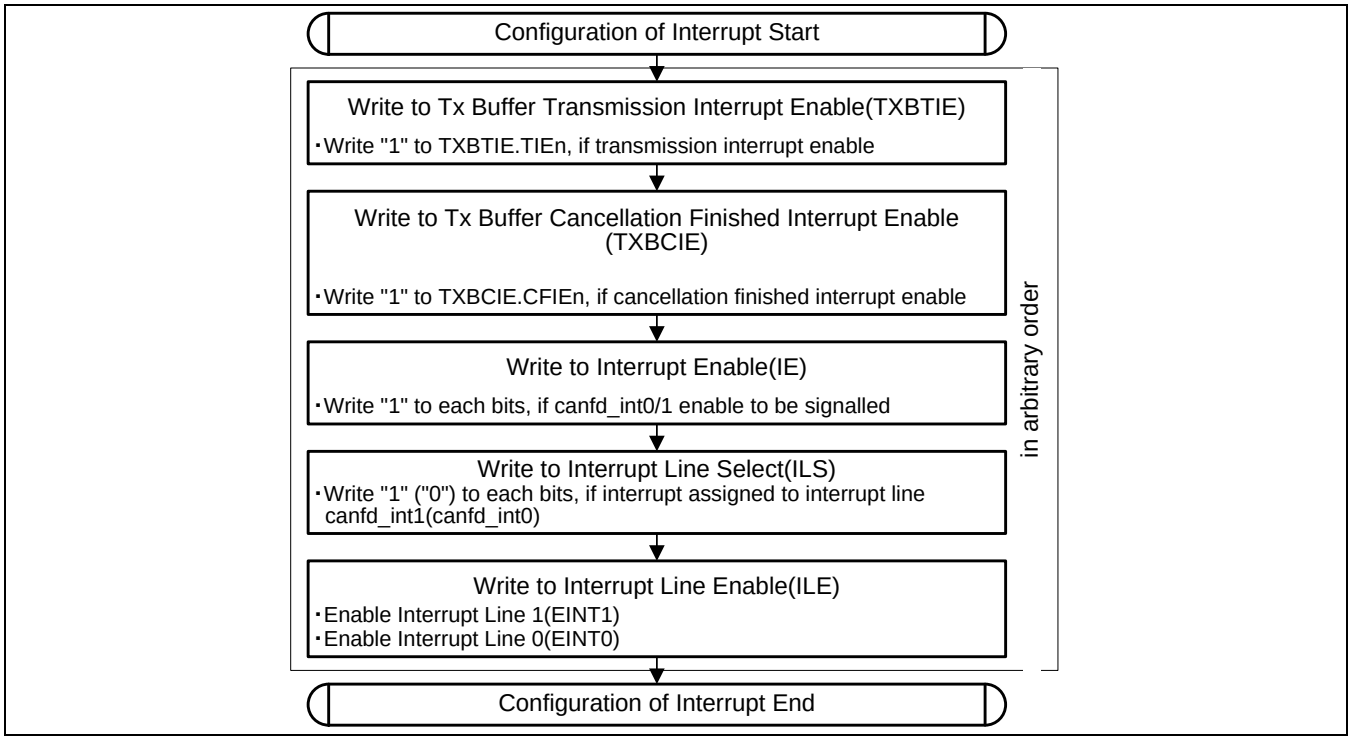
Figure 4-8 Flow Diagram "Configuration of Error Monitor"



4.4 割込み設定手順(Configuration of Interrupt)

Figure 4-9 は割込み設定手順を示します。

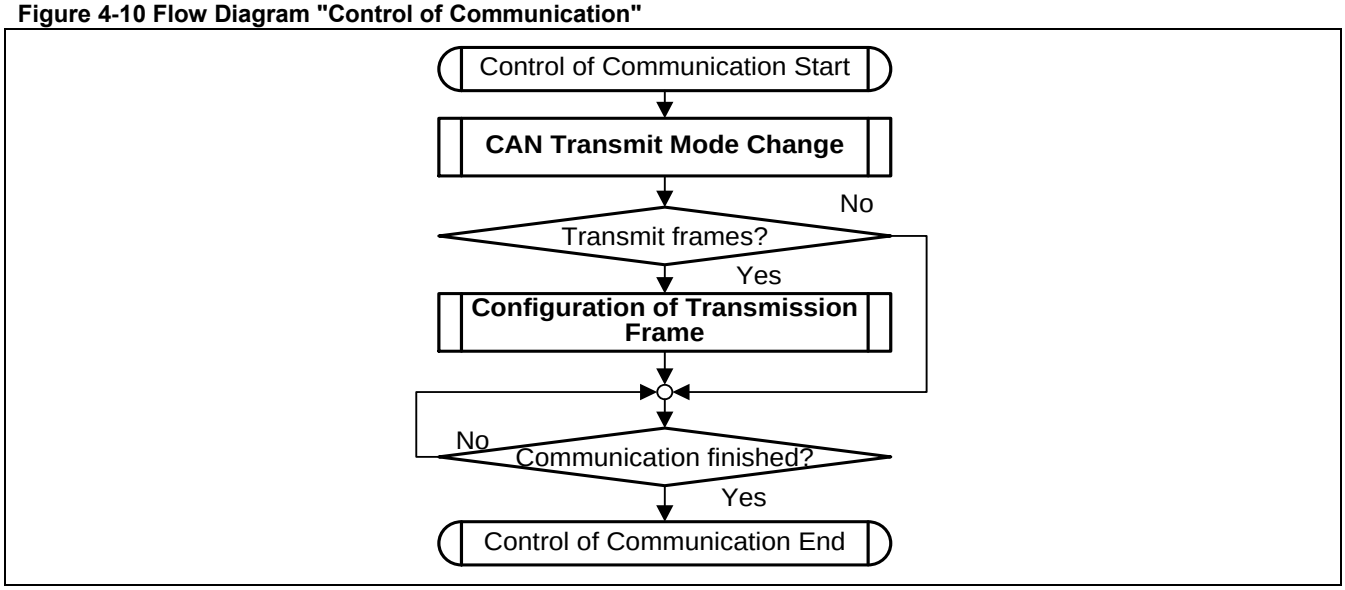
Figure 4-9 Flow Diagram "Configuration of Interrupt"



4.5 送信設定手順(Control of Communication)

Figure 4-10 は送信設定手順を示します。

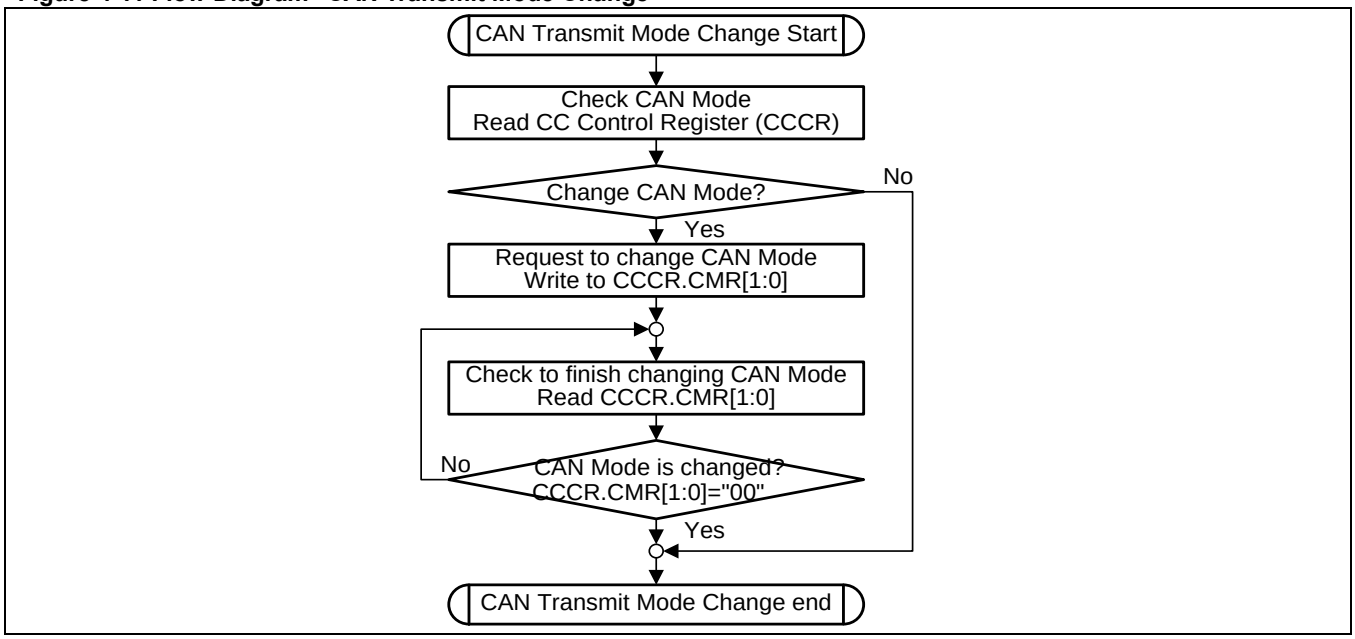
Figure 4-10 Flow Diagram "Control of Communication"



4.5.1 CAN 送信モード設定手順(CAN Transmit Mode Change)

Figure 4-11 は送信モード設定手順を示します。本手順を実施することにより、FD ビットレート送信ステータスビット(CCCR.FDBS)と FD フォーマットステータスビット(CCCR.FDO)を変更します。CCCR.FDBS と CCCR.FDO にセットされる値は、CAN モード許可ビット(CCCR.CME[1:0])設定に依存します。

Figure 4-11 Flow Diagram "CAN Transmit Mode Change"



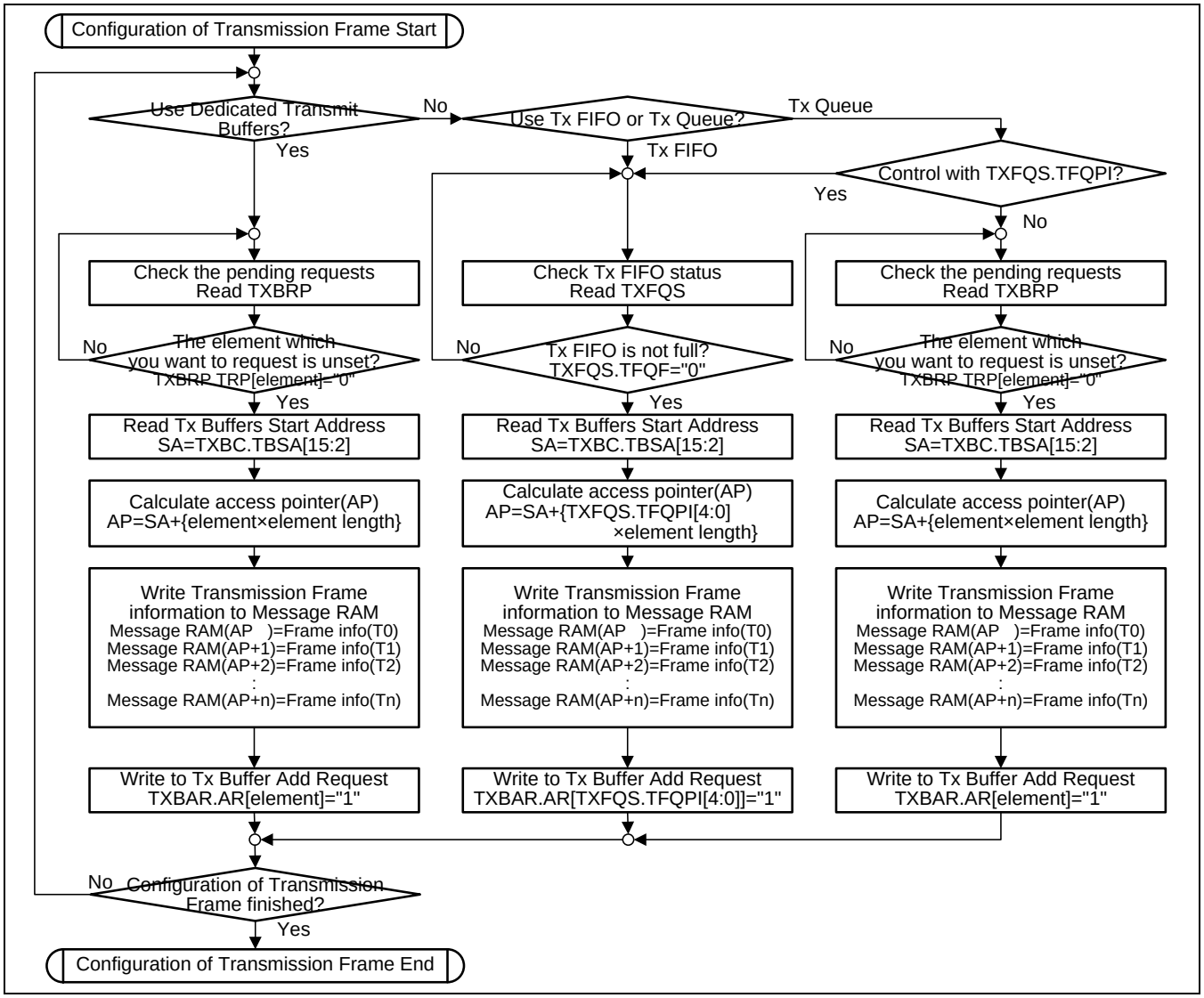
<注意事項>

- *送信モード要求ビット(CCCR.CMR[1:0])への書込みによる送信モード変更は送信要求が無い状態(TXBRP = 0x00000000)で実施してください。*

4.5.2 フレーム送信設定手順(Configuration of Transmission Frame)

Figure 4-12 は送信フレームの設定手順を示します。

Figure 4-12 Flow Diagram "Configuration of Transmission Frame"



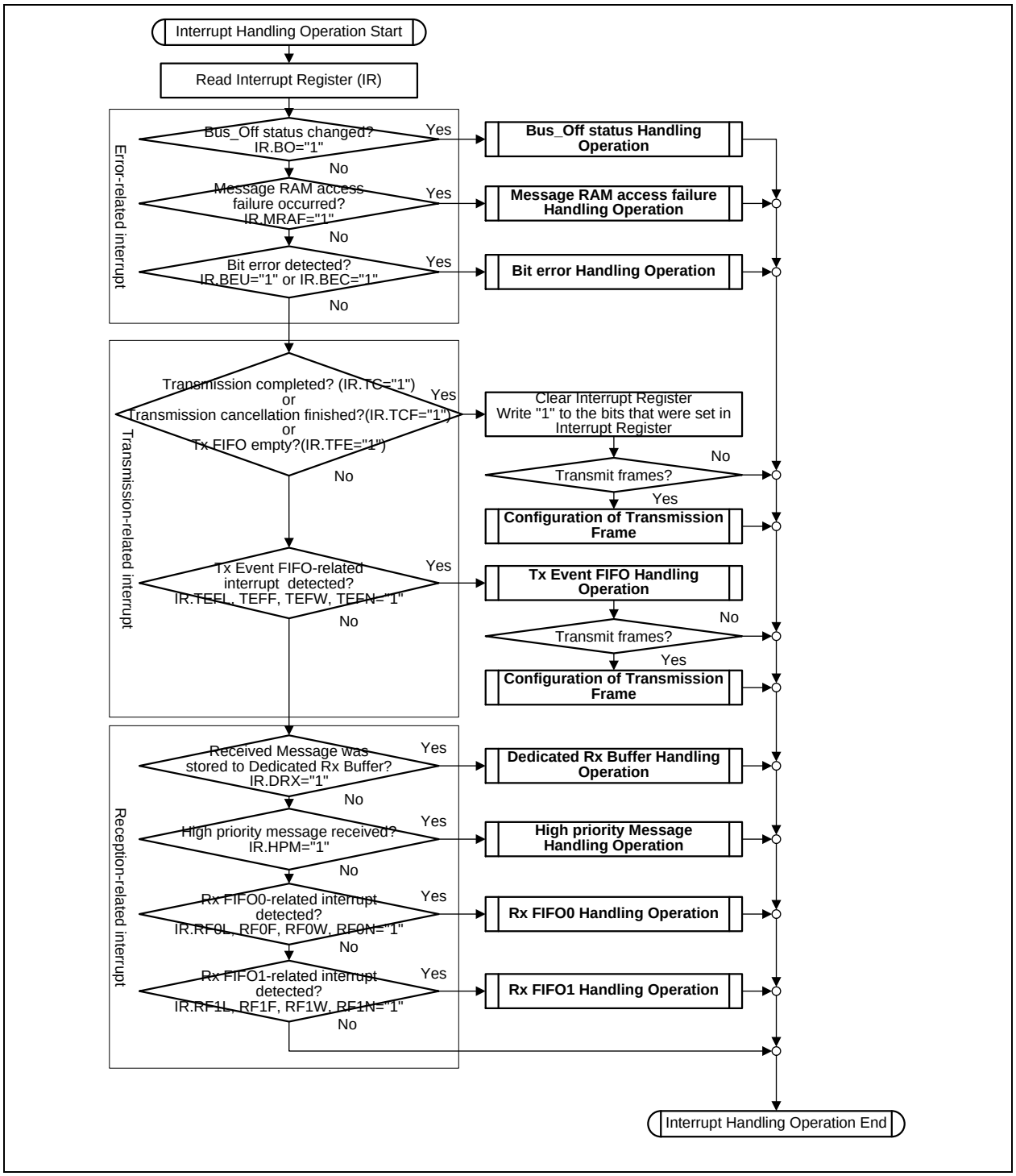
<注意事項>

- *各アクセスポインタ(access pointer)は 32 ビットアクセス単位で計算してください。*
- *特定 ID 送信メッセージは 1 つの特定 ID でのみ使用されることを想定しています。そのため、本図では T0 word を初期設定時のみに書き込む例を示しています。*

4.6 割込み処理手順

Figure 4-13 は割込み処理手順を示します。

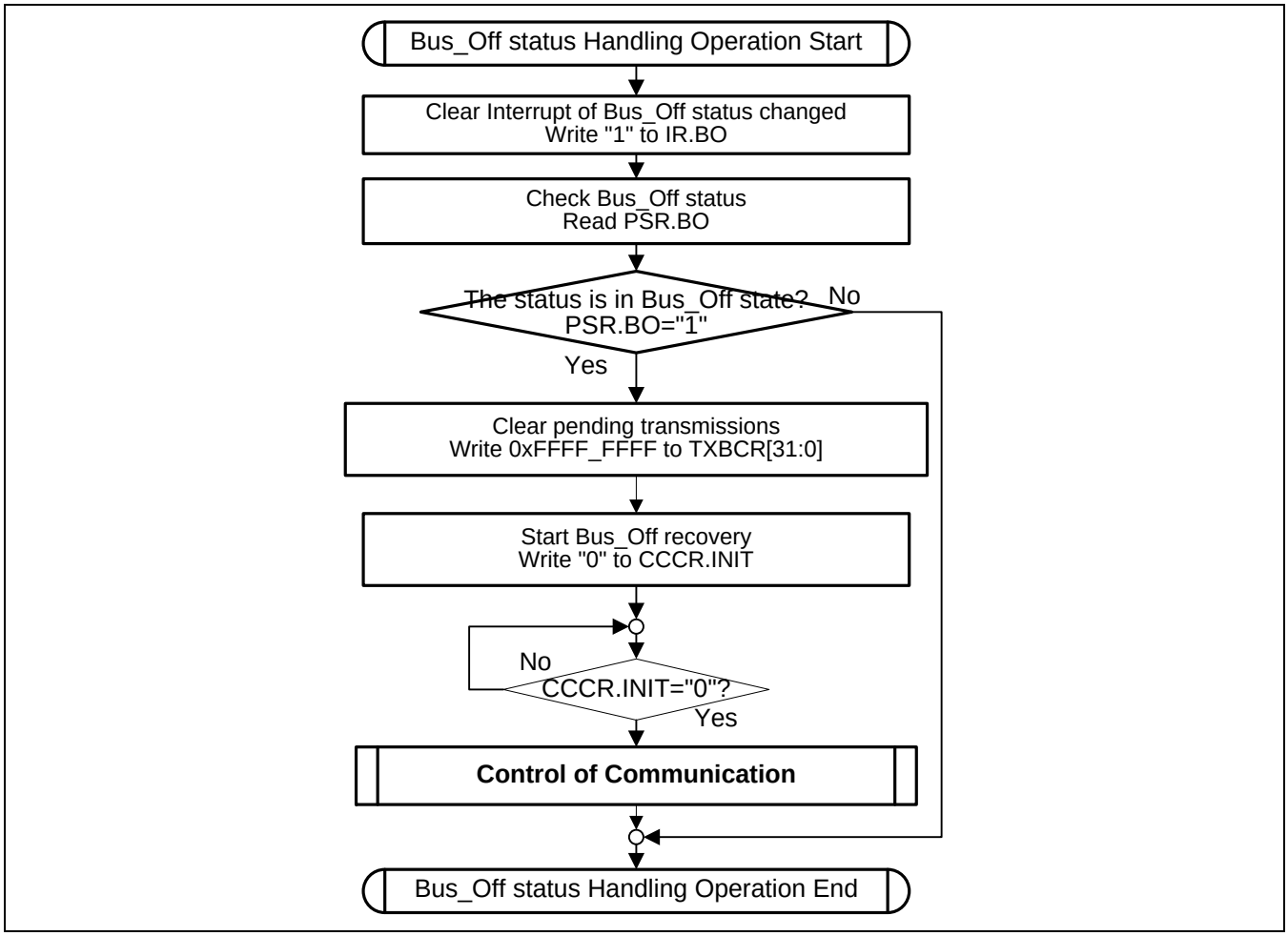
Figure 4-13 Flow Diagram "Interrupt Handling Operation"



4.6.1 バスオフ処理手順(Bus_Off status Handling Operation)

Figure 4-14 はバスオフ処理手順を示します。

Figure 4-14 Flow Diagram "Bus_Off status Handling Operation"



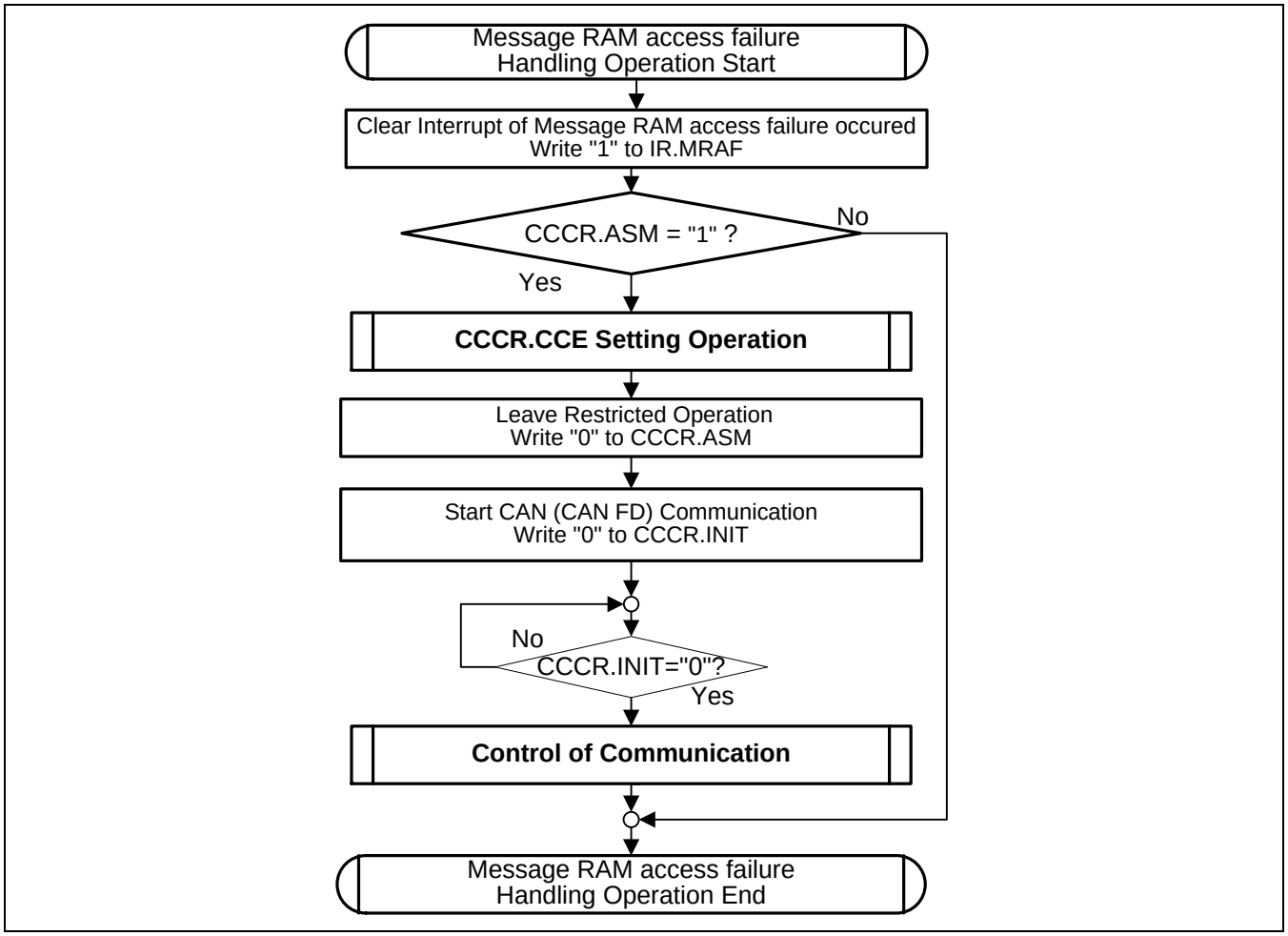
<注意事項>

- *バスオフからの復帰の手順処理において CPU により初期化ビット(CCCR.INIT)の 0 クリア実施により、CAN FD コントローラは Bus Idle(11 ビット連続レセッシブ)を 129 回検出して通常動作に復帰します。*

4.6.2 メッセージ RAM エラー処理手順 (Message RAM access failure Handling Operation)

Figure 4-15 はメッセージ RAM エラー処理手順を示します。

Figure 4-15 Flow Diagram "Message RAM access failure Handling Operation"



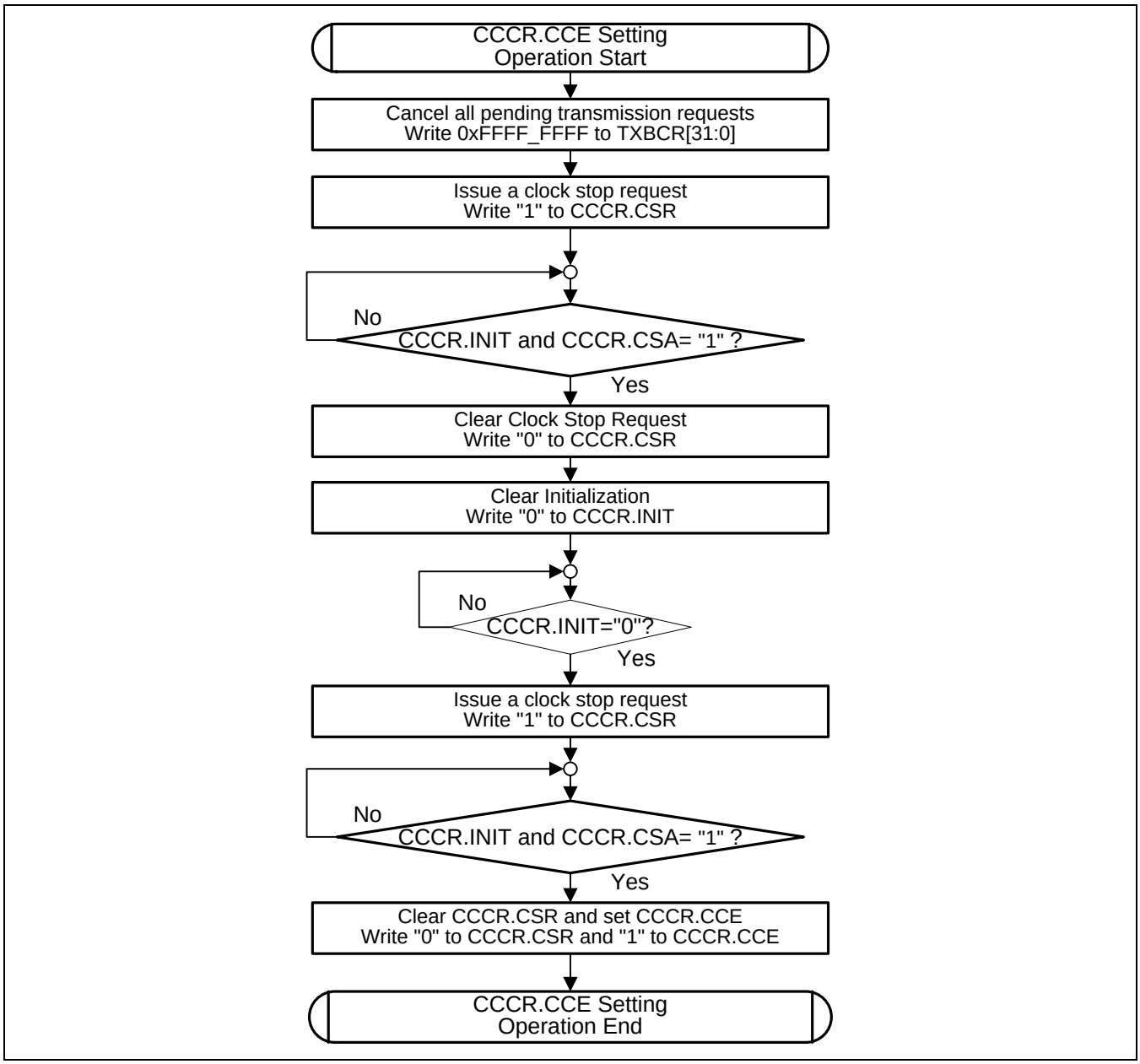
<注意事項>

- *Table 2.2-1 と Table 2.2-2 に従わない場合、受信ハンドラにより(送信禁止モード設定ビット(CCCR.ASM)が 1 セットされない)、メッセージ RAM エラー割込みフラグ(IR.MRAF)が 1 セットされた後に、メッセージ RAM へ、受信データが完全に格納されないことがあります。格納先(Rx FIFO0, Rx FIFO1, 特定 ID 受信バッファ)に応じて、受信 FIFO 0/1 ステータスレジスタ(RXF0S, RXF1S)、または特定 ID 受信メッセージレジスタ 1/2(NDAT1/2)も更新されます。*
  そのため、受信ハンドラ動作により、IR.MRAF ビットが"1"セットされた後、受信したフレームデータを破棄してください。

4.6.2.1 CCCR.CCE 設定手順(CCCR.CCE Setting Operation)

Figure 4-16 は CCCR.CCE 設定手順を示します。

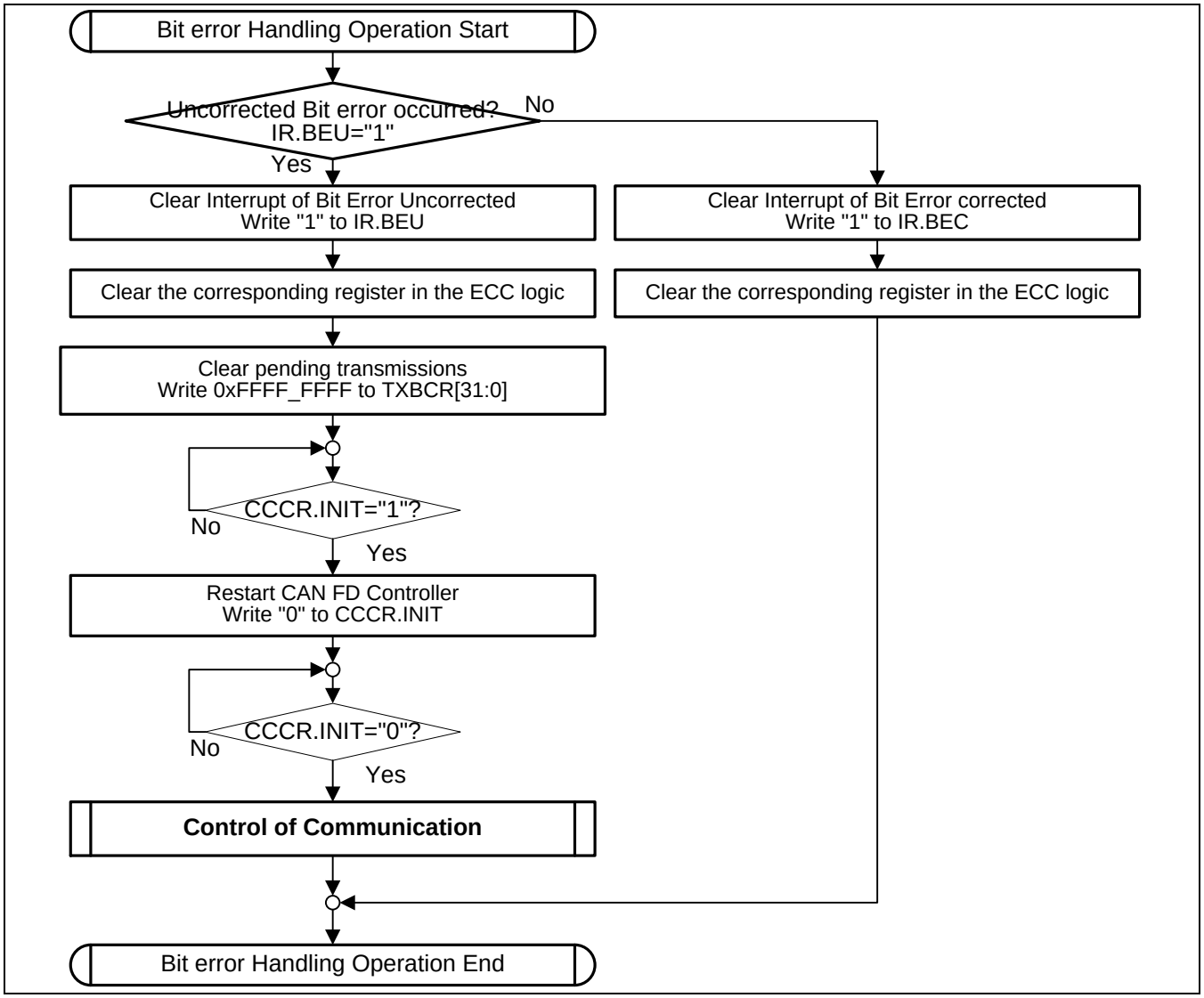
Figure 4-16 Flow Diagram "CCCR.CCE Setting Operation"



4.6.3 Bit エラー処理手順(Bit Error Handling Operation)

Figure 4-17 は Bit エラー(ECC によるエラー検出)処理手順を示します。

Figure 4-17 Flow Diagram "Bit error Handling Operation"



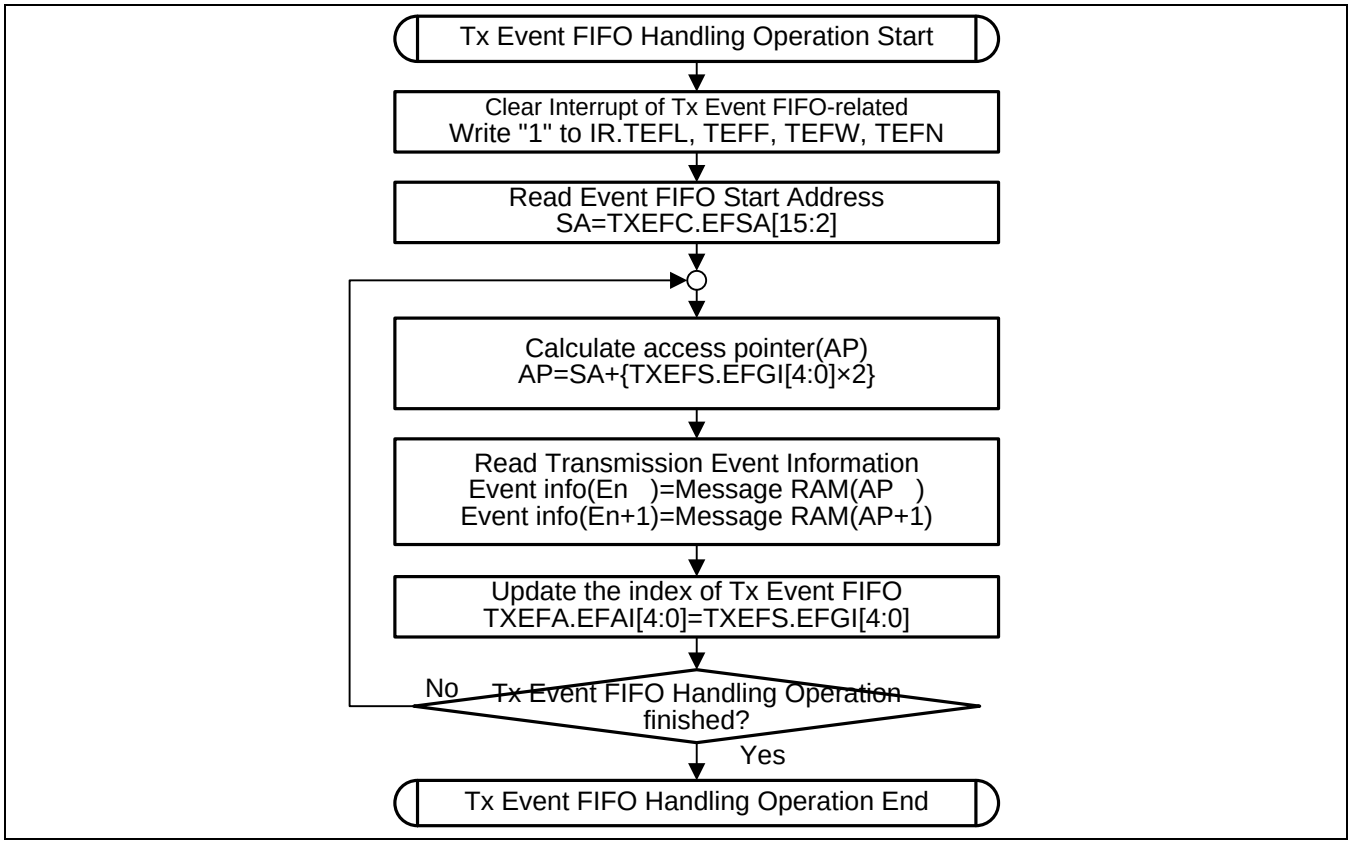
<注意事項>

- *ビットエラー発生割込み(IR.BEU)発生した際に、初期化ビット(CCCR.INIT)はバスクロックと CAN クロックの乗換え回路により、1 にセットされるまでに遅延が発生します。*
  そのため、CCCR.INIT が 1 にセットされたことを確認してから、CCCR.INIT を 0 クリアしてください。

4.6.4 送信イベント FIFO 処理手順(Tx Event FIFO Handling Operation)

Figure 4-18 は送信イベント FIFO 処理手順を示します。

Figure 4-18 Flow Diagram "Tx Event FIFO Handling Operation"



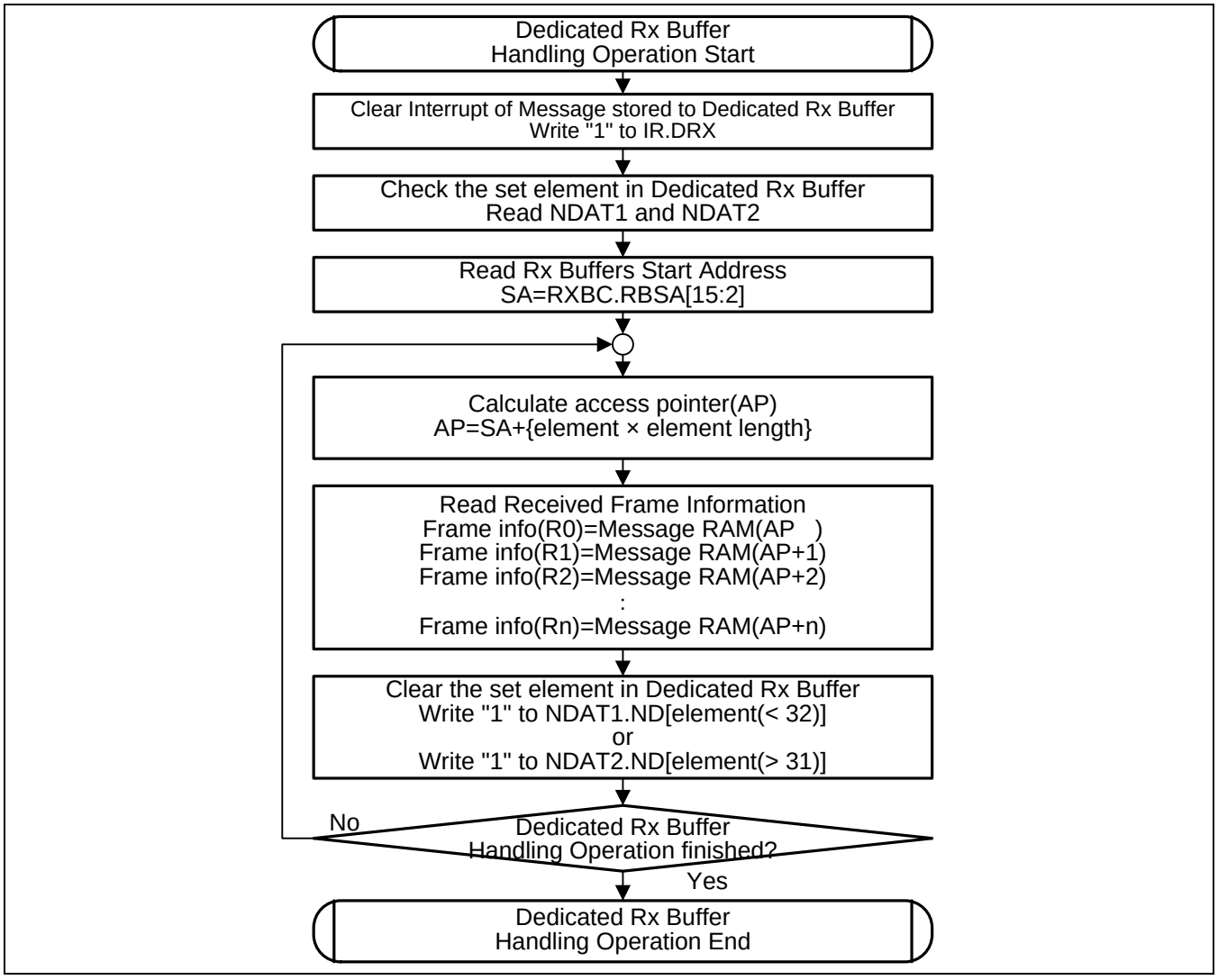
<注意事項>

- *アクセスポインタ(access pointer)は 32 ビットアクセス単位で計算してください。*

4.6.5 特定 ID 受信メッセージ処理手順 (Dedicated Rx Buffer Handling Operation)

Figure 4-19 は特定 ID 受信メッセージ処理手順を示します。

Figure 4-19 Flow Diagram "Dedicated Rx Buffer Handling Operation"



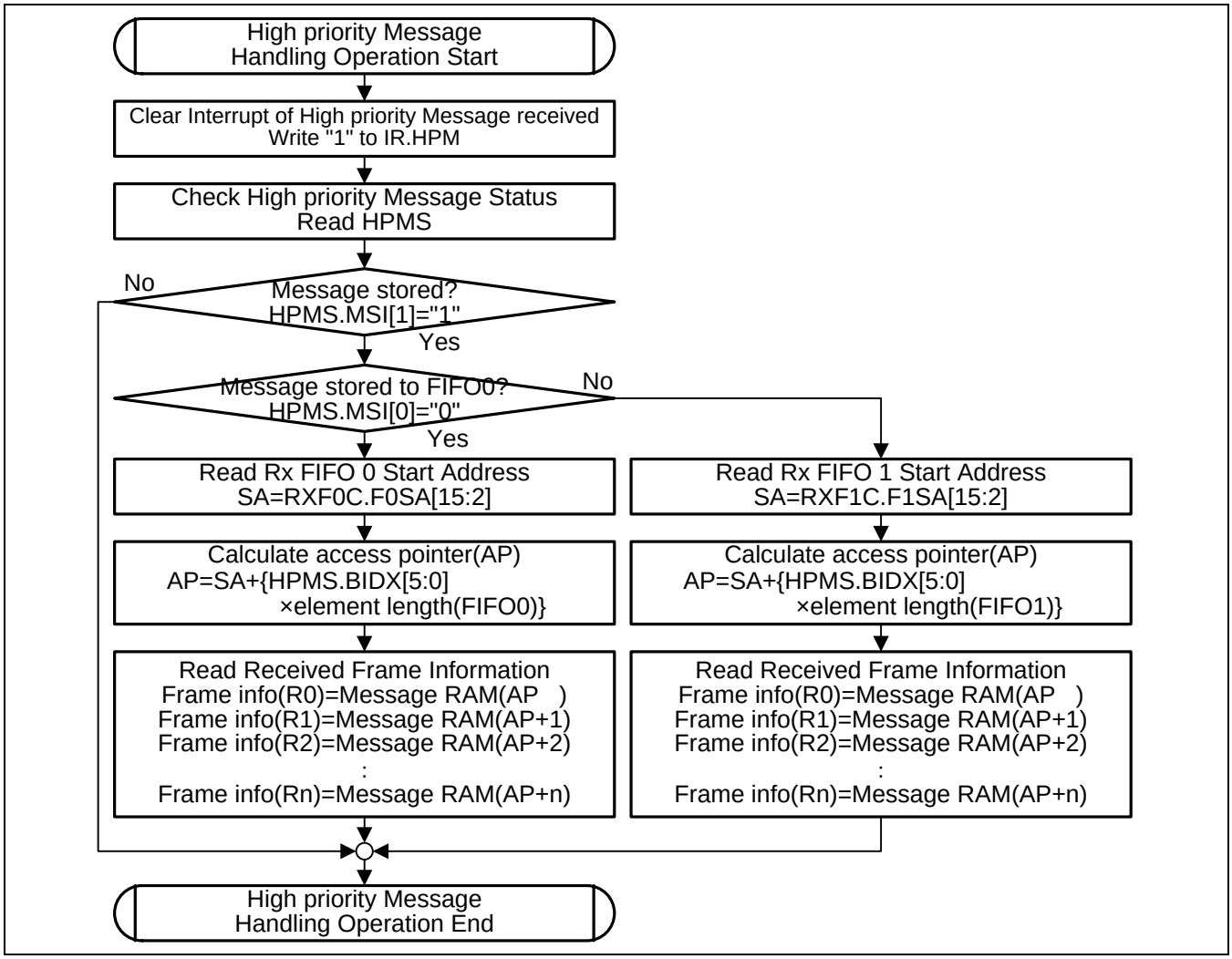
<注意事項>

- *アクセスポインタ(access pointer)は 32 ビットアクセス単位で計算してください。*

4.6.6 高優先メッセージ受信処理手順(High priority Message Handling Operation)

Figure 4-20 は高優先メッセージ受信処理手順を示します。

Figure 4-20 Flow Diagram "High priority Message Handling Operation"



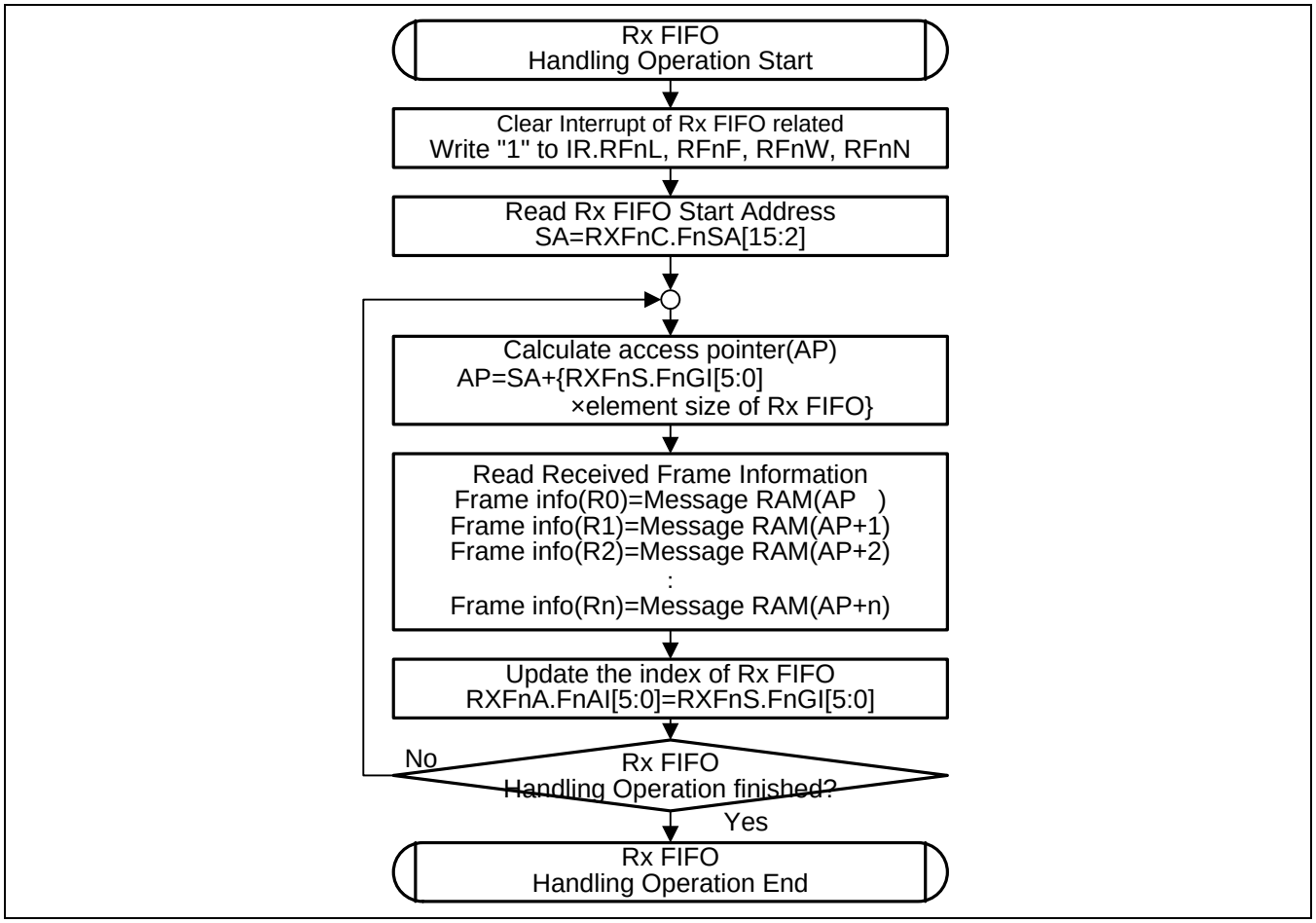
<注意事項>

- *アクセスポインタ(access pointer)は 32 ビットアクセス単位で計算してください。*

4.6.7 受信 FIFO 処理手順(Rx FIFO Handling Operation)

Figure 4-21 は受信 FIFO 処理手順を示します。

Figure 4-21 Flow Diagram "Rx FIFO Handling Operation"



<注意事項>

- *アクセスポインタ(access pointer)は 32 ビットアクセス単位で計算してください。*
- *フローにあるレジスタ/ビット名の n (e.g. "RXFnS.FnGI")は、0 または 1 を示します。*
- *Figure 4-20 の高優先メッセージとして受信データを取得した場合、そのメッセージは Figure 4-21 の受信処理をスキップすることができます。そのため受信処理を再開する場合は、その次のメッセージから再開できます。*

5. レジスタ

CAN FD コントローラで使用するレジスタの構成と機能について説明します。

■ ハードウェアリセット

ハードウェアリセット後には各レジスタは初期値にセットされます。さらにバスオフ状態であれば状態は解除され、canfd_tx 信号はレセッシブ出力されます。初期化ビット(CCCR.INIT)へ"1"設定することにより、ソフトウェア初期化が実行できます。CAN FD コントローラは初期化ビットを 0 にクリアしない限り、CAN バスへ影響を与えません。

■ レジスタマップ

レジスタは 256 バイトのアドレス空間に割り付けられています。

全レジスタは 32 ビット幅のレジスタとして構成されています。また全レジスタ(プロトコルステータスレジスタ(PSR)を除く) 8/16/32 ビットアクセスができます。

<注意事項>

- ***プロトコルステータスレジスタ(PSR)への 8 ビットアクセスは禁止です。***

いくつかのレジスタにはライト保護があります。ライト保護を解除するには設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)への 1 設定が必要です。

CAN FD コントローラは 2 クロックドメインのため、書込み実施からレジスタ値へ反映されるまでにクロック乗換え回路により遅延が発生するレジスタがあります。

CAN FD コントローラのレジスター一覧

レジスタ略称	レジスタ名	参照先
CREL	版数レジスタ(Core Release Register)	5.1
ENDN	エンディアン確認レジスタ(Endian Register)	5.2
FBTP	FD ビットタイミングレジスタ(Fast Bit Timing & Prescaler Register)	5.3
TEST	テストレジスタ(Test Register)	5.4
RWD	RAM ウォッチドッグレジスタ(RAM Watchdog)	5.5
CCCR	CAN Core 制御レジスタ(CC Control Register)	5.6
BTP	ビットタイミングレジスタ(Bit Timing & Prescaler Register)	5.7
TSCC	タイムスタンプカウンタ設定レジスタ (Timestamp Counter Configuration)	5.8
TSCV	タイムスタンプカウンタ値レジスタ(Timestamp Counter Value)	5.9
TOCC	タイムアウトカウンタ設定レジスタ(Timeout Counter Configuration)	5.10
TOCV	タイムアウトカウンタ値レジスタ(Timeout Counter Value)	5.11
ECR	エラーカウンタレジスタ(Error Counter Register)	5.12
PSR	プロトコルステータスレジスタ(Protocol Status Register)	5.13
IR	割込みレジスタ(Interrupt Register)	5.14
IE	割込み許可レジスタ(Interrupt Enable)	5.15
ILS	割込み信号選択レジスタ(Interrupt Line Select)	5.16
ILE	割込み信号選択許可レジスタ(Interrupt Line Enable)	5.17
GFC	グローバルフィルタ設定レジスタ(Global Filter Configuration)	5.18
SIDFC	11 ビット ID フィルタ設定レジスタ(Standard ID Filter Configuration)	5.19
XIDFC	29 ビット ID フィルタ設定レジスタ(Extended ID Filter Configuration)	5.20
XIDAM	29 ビット ID マスクレジスタ(Extended ID AND Mask)	5.21
HPMS	高優先メッセージステータスレジスタ(High Priority Message Status)	5.22
NDAT1	特定 ID 受信メッセージレジスタ 1(New Data1)	0
NDAT2	特定 ID 受信メッセージレジスタ 2(New Data2)	0
RXF0C	受信 FIFO 0 設定レジスタ(Rx FIFO 0 Configuration)	5.25
RXF0S	受信 FIFO 0 ステータスレジスタ(Rx FIFO 0 Status)	5.26
RXF0A	受信 FIFO 0 Ack レジスタ(Rx FIFO 0 Acknowledge)	5.27
RXBC	特定 ID 受信メッセージ設定レジスタ(Rx Buffer Configuration)	5.28
RXF1C	受信 FIFO 1 設定レジスタ(Rx FIFO 1 Configuration)	5.29
RXF1S	受信 FIFO 1 ステータスレジスタ(Rx FIFO 1 Status)	5.30
RXF1A	受信 FIFO 1 Ack レジスタ(Rx FIFO 1 Acknowledge)	5.31
RXESC	受信バッファデータサイズ設定レジスタ (Rx Buffer/FIFO Element Size Configuration)	5.32
TXBC	送信バッファ設定レジスタ(Tx Buffer Configuration)	5.33
TXFQS	送信 FIFO/Queue ステータスレジスタ(Tx FIFO/Queue Status)	5.34
TXESC	送信バッファデータサイズ設定レジスタ (Tx Buffer Element Size Configuration)	5.35
TXBRP	送信要求ステータスレジスタ(Tx Buffer Request Pending)	5.36
TXBAR	送信要求レジスタ(Tx Buffer Add Request)	5.37
TXBCR	送信要求キャンセルレジスタ(Tx Buffer Cancellation Request)	5.38
TXBTO	送信完了レジスタ(Tx Buffer Transmission Occurred)	5.39
TXBCF	送信要求キャンセル完了レジスタ(Tx Buffer Cancellation Finished)	5.40
TXBTIE	送信完了割込み許可レジスタ(Tx Buffer Transmission Interrupt Enable)	5.41
TXBCIE	送信要求キャンセル完了割込み許可レジスタ (Tx Buffer Cancellation Finished Interrupt Enable)	5.42
TXEFC	送信イベント FIFO 設定レジスタ(Tx Event FIFO Configuration)	5.43
TXEFS	送信イベント FIFO ステータスレジスタ(Tx Event FIFO Status)	5.44
TXEFA	送信イベント FIFO Ack レジスタ(Tx Event FIFO Acknowledge)	5.45

5.1 版数レジスタ(CREL)

版数レジスタは CAN FD コントローラの版数を示します。

bit	31	30	29	28	27	26	25	24
Field	REL[3:0]				STEP[3:0]			
Attribute	R				R			
Initial value	0x3				0x0			

bit	23	22	21	20	19	18	17	16
Field	SUBSTEP[3:0]				YEAR[3:0]			
Attribute	R				R			
Initial value	0x1				0x3			

bit	15	14	13	12	11	10	9	8
Field	MON[7:0]							
Attribute	R							
Initial value	0x05							

bit	7	6	5	4	3	2	1	0
Field	DAY[7:0]							
Attribute	R							
Initial value	0x06							

[bit31:28] REL[3:0]: Core Release

BCD コードで表示される 1 桁の数字です。

[bit27:24] STEP[3:0]: Step of Core Release

BCD コードで表示される 1 桁の数字です。

[bit23:20] SUBSTEP[3:0]: Sub-step of Core Release

BCD コードで表示される 1 桁の数字です。

[bit19:16] YEAR[3:0]: Time Stamp Year

BCD コードで表示される 1 桁の数字です。

[bit15:8] MON[7:0]: Time Stamp Month

BCD コードで表示される 2 桁の数字です。

[bit7:0] DAY[7:0]: Time Stamp Day

BCD コードで表示される 2 桁の数字です。

Table 5-1 Example for Coding of Revisions

Release	Step	SubStep	Year	Month	Day	Name
3	0	1	3	05	06	Revision 3.0.1, Date 2013/05/06

5.2 エンディアン確認レジスタ(ENDN)

エンディアン確認レジスタは CPU からのアクセスで CAN FD コントローラのバイトオーダを確認するために使用します。

bit	31	30	29	28	27	26	25	24
Field	ETV[31:24]							
Attribute	R							
Initial value	0x87							

bit	23	22	21	20	19	18	17	16
Field	ETV[23:16]							
Attribute	R							
Initial value	0x65							

bit	15	14	13	12	11	10	9	8
Field	ETV[15:8]							
Attribute	R							
Initial value	0x43							

bit	7	6	5	4	3	2	1	0
Field	ETV[7:0]							
Attribute	R							
Initial value	0x21							

[bit31:0] ETV[31:0]: エンディアンビット(Endianness Test Value)

本ビットは 0x87654321 が読み出されます。

5.3 FD ビットタイミングレジスタ(FBTP)

FD ビットタイミングレジスタは高速ビットタイムとトランシーバ遅延補償のオフセットを設定します。
本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。
トランシーバ遅延補償機能については 3.1.4.トランシーバの遅延補償機能を参照してください。
高速ビットタイミングについては 3.7.CAN ビットタイミング設定を参照してください。

<注意事項>

- *CAN クロック canfd_cclk 信号へ 8 MHz を入力した場合、初期値(0x00000A33)設定では FD ビットレートは 500 kbps に設定されます。*
- *FD ビットタイミングレジスタ(FBTP)設定による FD ビットレートはビットタイミングレジスタ(BTP)設定によるビットレート以上になるように設定してください。*

bit	31	30	29	28	27	26	25	24
Field	Reserved			TDCO[4:0]				
Attribute	-			R/W				
Initial value	000			00000				

bit	23	22	21	20	19	18	17	16
Field	TDC	Reserved		FBRP[4:0]				
Attribute	R/W	-		R/W				
Initial value	0	00		00000				

bit	15	14	13	12	11	10	9	8
Field	Reserved				FTSEG1[3:0]			
Attribute	-				R/W			
Initial value	0000				0xA			

bit	7	6	5	4	3	2	1	0
Field	Reserved	FTSEG2[2:0]			Reserved		FSJW[1:0]	
Attribute	-	R/W			-		R/W	
Initial value	0	011			00		11	

[bit31:29] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit28:24] TDCO[4:0]： トランシーバ遅延補償オフセット設定ビット (Transceiver Delay Compensation Offset)

TDCO[4:0]	説明
0x00-0x1F	ハードウェアで測定した canfd_tx 信号から canfd_rx 信号までのトランシーバ遅延に対して第 2 サンプリングポイント(secondary sample point)までのオフセット値設定。オフセットは canfd_cclk 周期で定義されます。

[bit23] TDC: トランシーバ遅延補償設定ビット(Transceiver Delay Compensation)

bit	説明
0	トランシーバ遅延補償無効。
1	トランシーバ遅延補償有効。

[bit22:21] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit20:16] FBRP[4:0]: FD ボーレートプリスケーラ設定ビット(Fast Baud Rate Prescaler)

FBRP[4:0]	説明
0x00-0x1F	高速ビットタイムの単位時間(tqf)を設定するためのボーレートプリスケーラです。 実際にハードウェアで使用される分周値は本ビットへの設定値+1 です。有効設定値は 0～31 です。

[bit15:12] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit11:8] FTSEG1[3:0]: FD タイムセグメント 1 設定ビット (Fast time segment before sample point)

FTSEG1[3:0]	説明
0x1-0xF	実際にハードウェアで使用される値は本ビットへの設定値+1 です。有効設定値は 1～15 です。 本ビットへの 0 設定は禁止です。

[bit7] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit6:4] FTSEG2[2:0]: FD タイムセグメント 2 設定ビット (Fast time segment after sample point)

FTSEG2[2:0]	説明
0x0-0x7	実際にハードウェアで使用される値は本ビットへの設定値+1 です。有効設定値は 0～7 です。

[bit3:2] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit1:0] FSJW[1:0]: FD(再)同期化ジャンプ幅設定ビット(Fast (Re) Synchronization Jump Width)

FSJW[1:0]	説明
0x0-0x3	実際にハードウェアで使用される値は本ビットへの設定値+1 です。有効設定値は 0～3 です。

5.4 テストレジスタ(TEST)

テストレジスタは canfd_rx 信号, canfd_tx 信号のモニタとトランシーバ遅延補償値を表示します。また、ループバックモードの設定も制御します。

テストモード許可設定ビット(CCCR.TEST)を"1"設定した場合、テストレジスタへの設定ができます。CCCR.TEST を 0 にクリアした場合、テストレジスタで制御される機能は初期値にセットされます。

ループバックモードと canfd_tx 信号制御機能はハードウェアテスト向けです。canfd_tx 信号設定ビット(TEST.TX)を"00"以外に設定した場合、CAN 通信を阻害する場合があります。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved		TDCV[5:0]					
Attribute	-		R					
Initial value	00		000000					

bit	7	6	5	4	3	2	1	0
Field	RX	TX[1:0]		LBCK	Reserved			
Attribute	R	R/W		R/W	-			
Initial value	U	00		0	0000			

U = 未定義。TEST.RX は canfd_rx 信号へ実際に入力されるレベルが読み出せます。

[bit31:14] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit13:8] TDCV[5:0]: トランシーバ遅延補償値(Transceiver Delay Compensation Value)

TDCV[5:0]	説明
0x00-0x3F	第 2 サンプリングポイント(secondary sample point)までの期間を表示します。測定した canfd_tx 信号から canfd_rx 信号までのトランシーバ遅延とオフセット値(FBTP.TDCO[4:0])の合計を表示します。canfd_cclk 周期を単位とし、有効範囲は 0～63 までです。

[bit7] RX: canfd_rx 信号モニタビット(Receive Pin)

canfd_rx 信号へ入力されている実際のレベルを表示します。

bit	説明
0	CAN バスがドミナントレベル(canfd_rx 信号へドミナント入力)。
1	CAN バスがレセッシブレベル(canfd_rx 信号へレセッシブ入力)。

[bit6:5] TX[1:0]: canfd_tx 信号設定ビット(Control of Transmit Pin)

TX[1:0]	説明
00	初期値。canfd_tx 信号は CAN Core により制御され、ビットタイムの終わりにレベルが更新されます。
01	canfd_tx 信号にサンプリングポイントが出力されます。
10	canfd_tx 信号にドミナントレベルが出力されます。
11	canfd_tx 信号にレセッシブレベルが出力されます。

[bit4] LBCK: ループバックモード設定ビット(Loop Back Mode)

bit	説明
0	初期値。ループバックモード無効。
1	ループバックモード有効。

[bit3:0] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

5.5 RAM ウォッチドッグレジスタ(RWD)

RAM ウォッチドッグは、メッセージ RAM のアクセスを監視します。
メッセージ RAM へのアクセスが開始されると RAM ウォッチドッグカウンタ設定ビット(RWD.WDC[7:0])で設定された値からダウンカウントを開始します。メッセージ RAM へのアクセスが完了されれば、RWD.WDC[7:0]で設定された値が RAM ウォッチドッグカウンタへリロードされます。
メッセージ RAM へのアクセスが完了せずに RAM ウォッチドッグカウンタが 0x00 までカウントした場合、カウンタは停止し、RAM ウォッチドッグカウンタ割込みフラグ(IR.WDI)へ"1"をセットします。
RAM ウォッチドッグカウンタはバスクロック(canfd_bclk)ごとにカウントします。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	WDV[7:0]							
Attribute	R							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	WDC[7:0]							
Attribute	R/W							
Initial value	0x00							

[bit31:16] Reserved: 予約ビット

・読出し時、"0"が読み出されます。
・書込み時、"0"を書いてください。

[bit15:8] WDV[7:0]: RAM ウォッチドッグカウンタ値 (Watchdog Value)

WDV[7:0]	説明
0x00-0xFF	RAM ウォッチドッグのカウンタ値を示します。

[bit7:0] WDC[7:0]: RAM ウォッチドッグカウンタ設定ビット (Watchdog Configuration)

RAM ウォッチドッグカウンタのリロード値を設定してください。リロード値で 0x00 を設定した場合、RAM ウォッチドッグカウンタは動作しません。
設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を"1"に設定した場合、WDC[7:0]への設定ができます。

5.6 CAN Core 制御レジスタ(CCCR)

CAN Core 制御レジスタで CAN FD コントローラの各モードを設定します。
各ビットの設定方法については 3.1.1.ソフトウェア初期化を参照してください。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved	TXP	FDBS	FDO	CMR[1:0]		CME[1:0]	
Attribute	-	R/W	R	R	R/W		R/W	
Initial value	0	0	0	0	00		00	

bit	7	6	5	4	3	2	1	0
Field	TEST	DAR	MON	CSR	CSA	ASM	CCE	INIT
Attribute	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	1

[bit31:15] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit14] TXP: 送信ポーズ設定ビット (Transmit Pause)

本ビットを"1"設定した場合、CAN FD コントローラはフレームの送信成功完了後に、次の送信を開始する前にアービトレーションビットタイムで 2 ビット時間の遅延を挿入します。
設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を"1"に設定した場合、本ビットに設定ができます。

bit	説明
0	送信ポーズ無効。
1	送信ポーズ有効。

[bit13] FDBS: FD ビットレート送信ステータスビット (CAN FD Bit Rate Switching)

CCCR.CMR[1:0]によりセットします。本ビットは初期化ビット(CCCR.INIT)へ"1"設定した場合、"0"にクリアされます。

bit	説明
0	FD ビットレートを使用せずに、フレーム送信することを示します。
1	FD ビットレートを使用して、フレーム送信することを示します。 ただし、リモートフレーム送信は除きます。

[bit12] FDO: FD フォーマットステータスビット (CAN FD Operation)

CCCR.CMR[1:0]によりセットします。本ビットは初期化ビット(CCCR.INIT)へ"1"設定した場合、"0"にクリアされます。

bit	説明
0	CAN フォーマット(ISO11898-1 準拠)でフレーム送信されることを示します。
1	CAN FD フォーマットでフレーム送信されることを示します。 ただし、リモートフレーム送信は除きます。

[bit11:10] CMR[1:0]: 送信モード要求ビット (CAN Mode Request)

本ビットへ書き込むことにより、CAN 動作モードの変更を要求することができます。各モードへの変更が完了後に、本ビットは 00 にクリアされます。さらに、FD ビットレート送信ステータスビット(CCCR.FDBS)と FD フォーマットステータスビット(CCCR.FDO)が要求された値へセットされます。

ただし、本ビットで要求した CAN 動作モードが CAN モード許可ビット(CCCR.CME[1:0])で許可されていない場合、本ビットはクリアされずに書き込んだ値を保持し続けます。

CCCR.CME[1:0] = 01/10/11 設定の場合、ISO 11898-1 準拠の CAN 動作は常に CCCR.CMR[1:0] = 11 で要求できます。

初期状態の送信モードは ISO 11898-1 準拠の CAN 動作(CCCR.FDBS = "0", CCCR.FDO = "0")です。

CMR[1:0]	説明
00	変更要求なし。
01	CAN FD 動作を要求します。
10	CAN FD 動作かつ FD ビットレート使用を要求します。
11	ISO 11898-1 準拠の CAN 動作を要求します。

[bit9:8] CME[1:0]: CAN モード許可ビット (CAN Mode Enable)

設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を 1 に設定した場合、本ビットに設定ができます。

CME[1:0]	説明
00	ISO 11898-1 準拠の CAN 動作のみを許可します。
01	CAN FD 動作を許可します。
10	CAN FD 動作かつ FD ビットレート使用を許可します。
11	"10"設定と同様です。

<注意事項>

- *CME[1:0] = 00 設定の場合、受信したフレームは ISO11898-1 に準拠して解析されます。そのため CAN FD フレームを受信した場合、エラーフレームが送信されます。*
- *CME[1:0] = 01 設定の場合、64 データバイト長以下の CAN FD フレーム送信と、64 データバイト長以下または FD ビットレートを使用、あるいはその両方を使用した CAN FD フレームの受信ができます。*
- *CME[1:0] = 10/11 設定の場合、64 データバイト長以下または FD ビットレートを使用、あるいはその両方を使用した CAN FD フレームの送受信ができます。*
- *下記の 2 条件をすべて満足した場合、CAN FD コントローラが CAN バス上に少なくとも 1bit のドミナントを検出しないと通常動作に復帰しない場合があります。*
  - *CAN FD 動作(CCCR.CME[1:0] > "00")設定*
  - *拡張フォーマットフレーム受信中に送信が中断され、Protocol Exception Event を検出*
- *CCCR.CME[1:0] > "00"設定の場合、CAN FD フォーマットによる CAN FD 通信のみを実施してください。*
  CCCR.CME[1:0] > 00 設定で、CAN フォーマットのフレームを受信した場合、CAN FD フォーマットと誤認される場合があります。

[bit7] TEST: テストモード許可設定ビット (Test Mode Enable)

設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を 1 に設定した場合、本ビットに設定ができます。0 にクリアする場合は特に制限事項はありません。

bit	説明
0	通常動作設定。テストレジスタ(TEST)は初期値を保持しています。
1	テストモード設定。テストレジスタ(TEST)への書込みができます。

[bit6] DAR: 自動再送禁止設定ビット (Disable Automatic Retransmission)

設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を 1 に設定した場合、本ビットに設定ができます。DAR モードの説明は「3.1.7 自動再送禁止」を参照してください。

bit	説明
0	自動再送許可設定。
1	自動再送禁止設定。

＜注意事項＞

- *CCCR.DAR を“1”に設定する場合には、フレーム送信設定手順で ID の先頭 2bit（アービトレーションフィールド）は“00”でなければなりません。*

[bit5] MON: CAN バスモニタリングモード設定ビット (Bus Monitoring Mode)

設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を 1 に設定した場合、本ビットに設定ができます。0 にクリアする場合は特に制限事項はありません。

bit	説明
0	バスモニタリングモード無効。
1	バスモニタリングモード有効。

[bit4] CSR: クロック停止要求設定ビット (Clock Stop Request)

クロック停止については 3.1.8. パワーダウン(スリープモード)を参照してください。

bit	説明
0	クロック停止要求しません。
1	クロック停止を要求します。 クロック停止を要求した場合、送信要求されている全フレームが送信完了し、CAN バスがアイドル状態になると、初期化ビット(CCCR.INIT)が"1"にセットされ、次にクロック停止 Ack ビット(CCCR.CSA)に"1"にセットされます。

[bit3] CSA: クロック停止 Ack ビット (Clock Stop Acknowledge)

クロック停止については 3.1.8. パワーダウン(スリープモード)を参照してください。

bit	説明
0	クロック停止要求が完了していないことを示します。
1	クロック停止要求が完了し、CAN FD コントローラを canfd_bclk と canfd_cclk の供給を停止してパワーダウン(スリープモード)へ移行できることを示します。

[bit2] ASM: 送信禁止モード設定ビット (Restricted Operation Mode)

設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を 1 に設定した場合、本ビットに 1 が設定できます。0 にクリアする場合は、CCCR.CCE と CCCR.INIT の 1 設定は必要ありませんが、クリアする手順があります。詳細については 4.6.2. メッセージ RAM エラー処理手順
(Message RAM access failure Handling Operation) を参照してください。

送信禁止モードについては 3.1.5.送信禁止モードを参照してください。

bit	説明
0	通常モード設定。
1	送信禁止モード設定。

[bit1] CCE: 設定変更許可ビット (Configuration Change Enable)

初期化ビット(CCCR.INIT)を 1 に設定した場合、本ビットに設定ができます。CCCR.INIT を 0 に設定した場合、本ビットは 0 にクリアされます。

Bit	説明
0	初期設定レジスタの書込み保護設定。
1	初期設定レジスタの書込み保護解除。(あわせて CCCR.INIT = 1 設定が必要)

<注意事項>

- *CCCR.INIT と CCCR.CCE へ 1 を設定する場合、設定手順があります。詳細については 3.1.1. ソフトウェア初期化を参照してください。*
  ハードウェアリセット直後に CCCR.CCE を 1 へ設定する場合には設定手順は必要ありません。

[bit0] INIT: 初期化ビット (Initialization)

bit	説明
0	通常動作設定。
1	初期化設定。

<注意事項>

- *バスクロックと CAN クロックの乗換え回路により、CCCR.INIT への書込み値が読出し値に反映されるまでに遅延が発生します(最大遅延: バスクロック×4 + CAN クロック×5)。*
  そのため、プログラムでは CCCR.INIT へ書込みアクセスをした場合、読出しアクセスをして書込みアクセスが反映されたことを確認してください。
- *CCCR.INIT を"0"にクリアする場合には、設定変更許可ビット(CCCR.CCE)へ 1 設定してから、CCCR.INIT を"0"にクリアしてください。*
- *通常動作時に CCCR.INIT = 1 に設定する場合、クロック停止要求設定ビット(CCCR.CSR)を"1"に設定することにより、CCCR.INIT へ 1 をセットしてください。CCCR.INIT を"0"にクリアする場合は、CCCR.CSR を先に 0 にクリアした後、CCCR.INIT を 0 にクリアしてください。*

5.7 ビットタイミングレジスタ(BTP)

本レジスタにより、CAN FD コントローラのアービトレーションビットタイムを設定します。アービトレーションビットタイム設定については 3.7.CAN ビットタイミング設定を参照してください 。

設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を 1 に設定した場合、本レジスタに設定ができます。

＜注意事項＞

- *CAN クロック canfd_cclk 信号へ 8 MHz を入力した場合、初期値(0x00000A33)設定ではビットレートは 500 kbps に設定されます。*
- *CAN FD 動作するノードがある環境でボーレートプリスケーラ設定ビットとタイムセグメント 2 設定ビットへ 0 設定 (BTP.BRP[9:0] = 0x000, BTP.TSEG2[3:0] = 0x0)は禁止です。禁止設定にした場合、CAN フレームの r1 ビットまたは CAN FD フレームの EDL ビットがプロトコルで規定されているレベルと反転したレベルが出力されます。*
  また CAN 動作ノードしか存在しない環境では、ボーレートプリスケーラ設定ビットとタイムセグメント 2 設定ビットへ 0 設定 (BTP.BRP[9:0] = 0x000, BTP.TSEG2[3:0] = 0x0) した場合、r1 ビットはプロトコルで規定されたレベルと反転したレベルが出力されますが使用できます。反転出力される条件の詳細を示します。

<詳細>

以下の設定の場合、r1 ビット(CAN フォーマット)または EDL ビット(CAN FD フォーマット)がプロトコルで規定されているレベルとは反転して出力されます。(各 Case 内で記載されている条件がすべて満たされた場合に、反転出力されます。)

Case1:

- *CAN FD コントローラを ISO 11898-1 準拠した CAN 動作設定。(FD ビットレート送信ステータスビット(CCCR.FDBS) と FD フォーマットステータスビット(CCCR.FDO)が"0"設定)*
- *拡張 ID フレーム送信(ID28=1 設定時のみ)。*
  (メッセージ RAM の送信バッファエレメントで XTD(T0 Bit30) = 1, ID[28](T0 Bit28) = 1)
- *BTP.BRP[9:0] = 0x000, BTP.TSEG2[3:0] = 0x0 設定。*

Case2:

- *CAN FD コントローラを CAN FD 動作設定。(CCCR.FDO = 1)*
- *標準 ID フレーム送信。*
  (メッセージ RAM の送信バッファエレメントで XTD(T0 Bit30) = 0)
- *BTP.BRP[9:0] = 0x000, BTP.TSEG2[3:0] = 0x0 設定。*

Case3:

- *CAN FD コントローラを CAN FD 動作設定。(CCCR.FDO = 1)*
- *拡張 ID フレーム送信(ID28=0 設定時のみ)。*
  (メッセージ RAM の送信バッファエレメントで XTD(T0 Bit30) = 1, ID[28](T0 Bit28) = 0)
- *BTP.BRP[9:0] = 0x000, BTP.TSEG2[3:0] = 0x0 設定。*

bit	31	30	29	28	27	26	25	24
Field	Reserved						BRP[9:8]	
Attribute	-						R/W	
Initial value	000000						00	

bit	23	22	21	20	19	18	17	16
Field	BRP[7:0]							
Attribute	R/W							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved		TSEG1[5:0]					
Attribute	-		R/W					
Initial value	00		001010					

bit	7	6	5	4	3	2	1	0
Field	TSEG2[3:0]				SJW[3:0]			
Attribute	R/W				R/W			
Initial value	0x3				0x3			

[bit31:26] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit25:16] BRP[9:0]: ボーレートプリスケーラ設定ビット (Baud Rate Prescaler)

BRP[9:0]	説明
0x000-0x3FF	ビットタイムの単位時間(tq)を設定するためのボーレートプリスケーラです。 実際にハードウェアで使用される値は本ビットへの設定値+1 です。有効設定値は 0～1023 です。

[bit15:14] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit13:8] TSEG1[5:0]: タイムセグメント 1 設定ビット (Time segment before sample point)

TSEG1[5:0]	説明
0x01-0x3F	実際にハードウェアで使用される値は本ビットへの設定値+1 です。有効設定値は 1～63 です。 本ビットへの 0 設定は禁止です。

[bit7:4] TSEG2[3:0]: タイムセグメント 2 設定ビット (Time segment after sample point)

TSEG2[3:0]	説明
0x0-0xF	実際にハードウェアで使用される値は本ビットへの設定値+1 です。有効設定値は 0～15 です。

[bit3:0] SJW[3:0]: (再)同期化ジャンプ幅設定ビット ((Re) Synchronization Jump Width)

SJW[3:0]	説明
0x0-0xF	実際にハードウェアで使用される値は本ビットへの設定値+1 です。有効設定値は 0～15 です。

5.8 タイムスタンプカウンタ設定レジスタ(TSCC)

本レジスタにより、タイムスタンプカウンタを設定します。タイムスタンプカウンタについては 3.2.タイムスタンプカウンタを参照してください。

設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を 1 に設定した場合、本レジスタに設定ができます。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved				TCP[3:0]			
Attribute	-				R/W			
Initial value	0x0				0x0			

bit	15	14	13	12	11	10	9	8
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	Reserved						TSS[1:0]	
Attribute	-						R/W	
Initial value	000000						00	

[bit31:20] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit19:16] TCP[3:0]: タイムスタンプカウンタプリスケーラ値 (Timestamp Counter Prescaler)

TCP[3:0]	説明
0x0-0xF	タイムスタンプとタイムアウトのカウンタの単位時間は、本ビットへの"設定値+1"×ビットタイムで定義されます。有効設定値は 0～15 です。

＜注意事項＞

- *CAN FD コントローラでは、タイムスタンプとタイムアウトのカウンタ機能のためにビットタイムごとに設定した TSCC.TCP[3:0]までカウントする内部カウンタを搭載しています。この内部カウンタは初期化ビット(CCCR.INIT)でも初期されず、ハードウェアリセットのみで初期化されます。*

[bit15:2] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit1:0] TSS[1:0]: タイムスタンプカウンタソース選択ビット (Timestamp Select)

TSS[1:0]	説明
00	タイムスタンプカウンタは動作しません。(タイムスタンプカウンタ(TSCV.TSC[15:0])は 0x0000 固定)
01	タイムスタンプカウンタはタイムスタンプカウンタプリスケーラ値(TSCC.TCP[3:0])設定にしたがいカウントします。
10	タイムスタンプカウンタは CAN FD コントローラに接続している外部のカウンタの値を用います。
11	"00"設定と同様です。

＜注意事項＞

- *TSS[1:0]=01 設定した場合、カウンタのクロックは CAN Core のサンプリングポイントから生成されます。そのため、CAN FD のビットレート切り換え機能が利用されている場合、カウントするタイミングは、メッセージのアービトレーションビットレートと FD ビットレートの 2 種類が使用されます。*

5.9 タイムスタンプカウンタ値レジスタ(TSCV)

本レジスタはタイムスタンプカウンタ値を表示します。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	TSC[15:8]							
Attribute	R/W							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	TSC[7:0]							
Attribute	R/W							
Initial value	0x00							

[bit31:16] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit15:0] TSC[15:0]: タイムスタンプカウンタ (Timestamp Counter)

送受信フレームの SOF(Start of Frame)を検出して、内部/外部タイムスタンプカウンタのカウント値をキャプチャします。

- タイムスタンプカウンタソース選択ビット(TSCC.TSS[1:0])が 01 設定の場合、タイムスタンプカウンタ(TSCV.TSC[15:0])は、タイムスタンプカウンタプリスケーラ値(TSCC.TCP[3:0])の設定に応じたビットタイム時間が経過するごとにインクリメントされます。カウンタがラップアラウンドした場合、タイムスタンプラップアラウンド割込みフラグ(IR.TSW)が 1 にセットされます。また、TSCV レジスタへ書込みアクセスを実施した場合、カウンタ値は 0x0000 にクリアされます。
- タイムスタンプカウンタソース選択ビット(TSCC.TSS[1:0])が 10 設定の場合、タイムスタンプカウンタ(TSCV.TSC[15:0])は、CAN FD コントローラに接続されている外部カウンタ(16 ビットカウンタ)のカウンタ値をキャプチャします。この場合、TSCV レジスタへ書込みアクセスを実施してもカウンタ値へ影響はありません。

<注意事項>

- *TSCV レジスタへの書込みアクセスによる、タイムスタンプカウンタのクリアは、ラップアラウンド動作に該当せず、IR.TSW は 1 にセットされません。ラップアラウンド動作はカウンタがオーバフローを起こしたことを指します。*

5.10 タイムアウトカウンタ設定レジスタ(TOCC)

本レジスタにより、タイムアウトカウンタを設定します。タイムアウトカウンタについては 3.3.タイムアウトカウンタを参照してください。

設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)を"1"に設定した場合、本レジスタに設定ができます。

bit	31	30	29	28	27	26	25	24
Field	TOP[15:8]							
Attribute	R/W							
Initial value	0xff							

bit	23	22	21	20	19	18	17	16
Field	TOP[7:0]							
Attribute	R/W							
Initial value	0xff							

bit	15	14	13	12	11	10	9	8
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	Reserved					TOS[1:0]		ETOC
Attribute	-					R/W		R/W
Initial value	00000					00		0

[bit31:16] TOP[15:0]: タイムアウトカウンタリロード値設定ビット (Timeout Period)

タイムアウトカウンタの初期値(リロード値)を設定してください。タイムアウトまでの時間が設定されます。

[bit15:3] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit2:1] TOS[1:0]: タイムアウトカウンタ起動要因選択ビット (Timeout Select)

連続起動モード設定(TOS[1:0] = 00)の場合、タイムアウトカウンタ値レジスタ(TOCV)へ書込みを実施後に、タイムアウトカウンタリロード値設定ビット(TOCC.TOP[15:0])で設定した値がロードされ、ダウンカウントは継続されます。

各 FIFO 設定(TOS[1:0] = 01/10/11)の場合、設定されている FIFO がエンプティになると、タイムアウトカウンタリロード値設定ビット(TOCC.TOP[15:0])で設定した値がロードされます。ダウンカウントは設定されている FIFO へエレメントが格納されると開始されます。

TOS[1:0]	説明
00	連続起動モード設定。
01	送信イベント FIFO による起動設定。
10	受信 FIFO 0 による起動設定。
11	受信 FIFO 1 による起動設定。

[bit0] ETOC: タイムアウトカウンタ設定ビット (Enable Timeout Counter)

bit	説明
0	タイムアウトカウンタは動作しません。
1	タイムアウトカウンタ設定。

5.11 タイムアウトカウンタ値レジスタ(TOCV)

本レジスタはタイムアウトカウンタ値を表示します。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	TOC[15:8]							
Attribute	R/W							
Initial value	0xff							

bit	7	6	5	4	3	2	1	0
Field	TOC[7:0]							
Attribute	R/W							
Initial value	0xff							

[bit31:16] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit15:0] TOC[15:0]: タイムアウトカウンタ (Timeout Counter)

タイムアウトカウンタは、タイムスタンプカウンタプリスケーラ値(TSCC.TCP[3:0])の設定に応じたビットタイム時間が経過するごとにディクリメントされます。
設定変更許可ビット(CCCR.CCE)を"1"設定した場合、TOCV.TOC[15:0]に、タイムアウトカウンタリロード値設定ビット(TOCC.TOP[15:0])に設定した値がロードされます。

■ タイムアウトカウンタ起動要因選択ビット(TOCC.TOS[1:0])を連続起動モード("00"設定)にした場合、初期化ビット(CCCR.INIT)を 0 にクリアした際に、ディクリメントを開始します。
TOCV レジスタに書込みを実施することにより、TOCC.TOP[15:0]で設定された値がロードされ、カウント動作は継続されます。
タイムアウトカウンタが 0x0000 までカウントした場合、タイムアウトカウンタ割込みフラグ(IR.TOO)が 1 に設定されます。割込みフラグが設定されても、カウンタは停止せずに、TOCC.TOP[15:0]で設定された値がロードされ、再度カウントを開始します。

■ タイムアウトカウンタ起動要因選択ビット(TOCC.TOS[1:0])を FIFO 要因起動(00 以外)にした場合、設定された FIFO がエンプティになると、TOCV.TOC[15:0]レジスタに TOCC.TOP[15:0]で設定された値がロードされます。FIFO にエレメントが格納されると、ディクリメントを開始します。
また、FIFO 設定の場合は TOCV レジスタへの書込みは影響ありません。
タイムアウトカウンタが 0x0000 までカウントした場合、タイムアウトカウンタ割込みフラグ(IR.TOO)が"1"にセットされます。割込みフラグが設定されるとタイムアウトカウンタは停止します。

5.12 エラーカウンタレジスタ(ECR)

本レジスタはエラーカウンタを表示します。

＜注意事項＞

- *送信禁止モード設定ビット(CCCR.ASM)が"1"に設定されている場合、CAN プロトコルコントローラは、CAN プロトコルエラーを検出しても、送信エラーカウンタ(ECR.TEC[7:0])と受信エラーカウンタ(ECR.REC[6:0])はインクリメントされません。しかし、エラーログビット(ECR.CEL[7:0])はインクリメントされます。*

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0xXX							

bit	23	22	21	20	19	18	17	16
Field	CEL[7:0]							
Attribute	R							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	RP	REC[6:0]						
Attribute	R	R						
Initial value	0	0000000						

bit	7	6	5	4	3	2	1	0
Field	TEC[7:0]							
Attribute	R							
Initial value	0x00							

[bit31:24] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit23:16] CEL[7:0]: エラーログビット (CAN Error Logging)

送信エラーカウンタまたは受信エラーカウンタが CAN プロトコルエラーを検出しインクリメントするごとに、本ビットはインクリメントされます。本ビットへ読出しアクセスを行うことで 0x00 にクリアできます。

本ビットは 0xFF までカウントした場合、停止します。さらに送信エラーカウンタ(ECR.TEC[7:0])または受信エラーカウンタ(ECR.REC[6:0])がインクリメントされると、エラーログオーバフロー割込みフラグ(IR.ELO)が"1"にセットされます。

[bit15] RP: 受信エラーパッシブ表示 (Receive Error Passive)

bit	説明
0	受信エラーカウンタは 128 未満(エラーパッシブステータスでない)を示します。
1	受信エラーカウンタは 128 以上(エラーパッシブステータスに到達した)を示します。

[bit14:8] REC[6:0]: 受信エラーカウンタ (Receive Error Counter)

REC[6:0]	説明
0-127	受信エラーカウンタ値。カウンタ値の範囲は 0～127 です。

[bit7:0] TEC[7:0]: 送信エラーカウンタ (Transmit Error Counter)

TEC[7:0]	説明
0-255	送信エラーカウンタ値。カウンタ値の範囲は 0～255 です。

5.13 プロトコルステータスレジスタ(PSR)

本レジスタは、CAN FD コントローラの CAN プロトコルステータスを表示します。

<注意事項>

- *本レジスタは 16 ビットアクセスまたは、32 ビットアクセスでアクセスしてください。本レジスタへの 8 ビットアクセスは禁止です。*

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0xXX							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0xXX							

bit	15	14	13	12	11	10	9	8
Field	Reserved		REDL	RBRS	RESI	FLEC[2:0]		
Attribute	-		R	R	R	R		
Initial value	XX		0	0	0	111		

bit	7	6	5	4	3	2	1	0
Field	BO	EW	EP	ACT[1:0]		LEC[2:0]		
Attribute	R	R	R	R		R		
Initial value	0	0	0	00		111		

[bit31:14] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit13] REDL: FD フォーマットフレーム受信ステータスビット (Received a CAN FD Message)

本ビットはフィルタ処理とは独立して、"1"にセットされます。本ビットを読出しアクセスすることで"0"にクリアします。

bit	説明
0	読出しアクセスによりクリアされた、 または新たな CAN FD フォーマットのメッセージを受信していないことを示します。
1	CAN FD フォーマットのメッセージ(EDL = 1)を受信したことを示します。

<注意事項>

- *REDL に 1 がセットされた場合、CPU により 0 にクリアされるまで 1 を保持しています。*

[bit12] RBRS: 受信メッセージ BRS モニタビット (BRS flag of last received CAN FD Message)

本ビットはフィルタ処理とは独立しており、PSR.REDL と同時に 1 にセットされます。本ビットを読出しアクセスすることで 0 にクリアします。

bit	説明
0	最後に受信した CAN FD メッセージの BRS = 0 を示します。
1	最後に受信した CAN FD メッセージの BRS = 1 を示します。

[bit11] RESI: 受信 CAN FD メッセージ ESI 有効 (ESI flag of last received CAN FD Message)

本ビットはフィルタ処理とは独立しており、PSR.REDL と同時に 1 にセットされます。本ビットを読出しアクセスすることで 0 にクリアします。

bit	説明
0	最後に受信した CAN FD メッセージの ESI = 0 を示します。
1	最後に受信した CAN FD メッセージの ESI = 1 を示します。

[bit10:8] FLEC[2:0]: FD エラーコード (Fast Last Error Code)

本ビットは BRS=1 にセットされた CAN FD メッセージのデータフェーズで最後に発生したエラーコードを表示します。コードで示されるエラーはエラーコード(PSR.LEC[2:0])と同様です。
本ビットは BRS="1"にセットされた CAN FD メッセージが、CAN バスにエラー発生せずに転送された(ノード自身が送受信に依らず)場合に、0 へクリアされます。
本ビットに読出しアクセスした場合、本ビットへ 7 がセットされます。

[bit7] BO: バスオフステータス (Bus_Off Status)

Bit	説明
0	CAN FD コントローラはバスオフステートではないことを示します。
1	CAN FD コントローラはバスオフステートであることを示します。

[bit6] EW: ワーニングビット (Warning Status)

bit	説明
0	送信・受信カウンタがともに、96 未満(ワーニングステータスでない)を示します。
1	少なくとも、送信・受信カウンタのどちらかが、96 到達(ワーニングステータス)を示します。

[bit5] EP: エラーパッシブ表示 (Error Passive)

bit	説明
0	CAN FD コントローラはエラーアクティブであることを示します。CAN バス通信に通常通り参加しており、エラー検出時にはエラーアクティブフラグを送信します。
1	CAN FD コントローラはエラーパッシブステータスであることを示します。

[bit4:3] ACT[1:0]: 動作モードビット (Activity)

本ビットは CAN バス通信の状態を表示します。本ビットは、初期化ビット(CCCR.INIT)へ 1 設定後に、00 にクリアされます。

ACT[1:0]	説明
00	同期モード：ノードが CAN 通信へ参加するために同期化をしていることを示します。
01	アイドル：ノードが受信・送信を実施していないことを示します。
10	受信モード：ノードが受信していることを示します。
11	送信モード：ノードが送信していることを示します。

[bit2:0] LEC[2:0]: エラーコード (Last Error Code)

本ビットは CAN バスで、最後に発生したエラーコードを表示します。
本ビットは CAN メッセージが、CAN バスにエラー発生せずに転送された(ノード自身が送受信に依らず)場合に、0 へクリアされます。

LEC[2:0]	説明
0	正常： CAN メッセージがエラー発生せずに転送され、また以降新たなエラーが発生してないことを示します。
1	Stuff エラー： CAN の受信メッセージ内において 6 ビット以上連続してドミナントまたはレセッシブを検出したことを示します。
2	Form エラー： 受信したフレームの固定フォーマット部でフォーマットの間違いを検出したことを示します。
3	Ack エラー： 送信した CAN メッセージに、別ノードからの Ack が検出できないことを示します。
4	Bit1 エラー： アービトレーションフィールドを除く、CAN メッセージの送信データにおいて、レセッシブを送信したにも関らず、ドミナントを検出したことを示します。
5	Bit0 エラー： Ack ビット, アクティブエラーフラグ, オーバロードフラグまたは、CAN メッセージの送信において、ドミナント送信したが、レセッシブを検出したことを示します。 バスリカバリ中には、11 ビットのレセッシブを検出するごとに設定されます。本ビットを読み出すことによりバスリカバリシーケンスを監視できます。 (バスリカバリ中の動作で、CAN バスがドミナント固定や連続的に阻害されていないことを確認できます。)
6	CRC エラー： 受信した CAN メッセージの CRC データと計算した CRC の結果が一致しないことを示します。
7	未検出： PSR レジスタへ読出しを行うと、本ビットが 7 にセットされます。本ビットで 7 が読み出された場合は、PSR レジスタへ読出し以降、CAN バスがアイドルであることを示します。

＜注意事項＞

- *BRS="1"にセットされた CAN FD フレームでデータフェーズまで送受信された場合、次の CAN イベント(エラー/正常完了)は、エラーコード(PSR.LEC[2:0])の代わりに、FD エラーコード(PSR.FLEC[2:0]) で表示されます。CAN FD フォーマットの CRC の固定 Stuff ビットでのエラーは Stuff エラーでなく、Form エラーとして表示されます。*
- *バスオフリカバリシーケンス(CAN 仕様 Rev2.0 または ISO11898-1 参照)は、初期化ビット(CCCR.INIT)へ"1"設定、または 0 クリアすることで短縮できません。CAN FD コントローラはバスオフになると、CAN FD コントローラ自身が CCCR.INIT へ 1 セットし、すべての CAN バス動作を停止させます。CPU により、CCCR.INIT が"0"にクリアされると、CAN FD コントローラは 129×11 ビット連続レセッシブを検出してから通常動作へ復帰します。バスオフリカバリシーケンス実行後に、送信/受信エラーカウンタ(ECR.TEC[7:0]/ECR.REC[6:0])はリセットされます。CCCR.INIT を"0"にクリアした後のバスオフリカバリ中には、11 ビット連続レセッシブごとに、PSR.LEC[2:0]へ 5(Bit0 エラー)が表示されます。この動作により、バスリカバリ中の動作で、CAN バスがドミナント固定や連続的に阻害されていないことを確認できます。受信エラーカウンタ(ECR.REC[6:0])により、11 ビット連続レセッシブの検出数を監視できます。*

5.14 割込みレジスタ(IR)

本レジスタは、各割込みフラグの状態を表示します。各割込みフラグは、セット条件を満たしていない状態から、セット条件を満たした場合に、"1"セットされます(edge-sensitive)。各割込みフラグは、CPU によりクリアされるまで 1 を保持しています。各割込みフラグは、1 を書き込むことで 0 にクリアできます。割込みフラグへ 0 を書き込んでも影響はありません。
ハードウェアリセットにより、本レジスタは"0"にリセットされます。
割込み許可レジスタ(IE)を設定することで、各割込みを生成するかどうかを制御します。
割込み信号選択レジスタ(ILS)を設定することで、各割込みを割込み信号(canfd_int0/1)へ割り付けます。

＜注意事項＞

- *送信イベント FIFO しきい値割込みフラグ(IR.TEFW)，受信 FIFO 1 しきい値割込みフラグ(IR.RF1W)，受信 FIFO 0 しきい値割込みフラグ(IR.RF0W)は、それぞれの FIFO で設定したしきい値に、格納数が一致したとき、1 にセットされます。また各フラグは、格納数がしきい値に一致した状態で、フラグを 0 にクリアして、さらに FIFO へエレメントが格納(格納数＞しきい値)されたとしても、再び 1 セットされることはありません。*

bit	31	30	29	28	27	26	25	24
Field	STE	FOE	ACKE	BE	CRCE	WDI	BO	EW
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	EP	ELO	BEU	BEC	DRX	TOO	MRAF	TSW
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	TEFL	TEFF	TEFW	TEFN	TFE	TCF	TC	HPM
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RF1L	RF1F	RF1W	RF1N	RF0L	RF0F	RF0W	RF0N
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

[bit31] STE: Stuff エラー割込みフラグ (Stuff Error)

bit	説明
0	Stuff エラーは検出されていないことを示します。
1	CAN の受信メッセージ内において 6 ビット以上連続してドミナントまたはレセッシブを検出したことを示します。

[bit30] FOE: Form エラー割込みフラグ (Format Error)

bit	説明
0	Form エラーは検出されていないことを示します。
1	受信したフレームの固定フォーマット部でフォーマットのエラーを検出したことを示します。

[bit29] ACKE: Ack エラー割込みフラグ (Acknowledge Error)

bit	説明
0	Ack エラーは検出されていないことを示します。
1	送信した CAN メッセージに、別ノードからの Ack が検出できないことを示します。

[bit28] BE: Bit エラー割込みフラグ (Bit Error)

bit	説明
0	Bit1/0 エラーは検出されていないことを示します。
1	CAN FD コントローラはレセッシブ/ドミナントレベルを送信しようとしたが、CAN バスでドミナント/レセッシブレベルが検出されたことを示します。(Bit1/0 エラー)

[bit27] CRCE: CRC エラー割込みフラグ (CRC Error)

bit	説明
0	CRC エラーは検出されていないことを示します。
1	受信した CRC メッセージの CRC データと計算した CRC の結果が一致しないことを示します。

[bit26] WDI: RAM ウォッチドッグカウンタ割込みフラグ (Watchdog Interrupt)

bit	説明
0	メッセージ RAM ウォッチドッグイベントが発生していないことを示します。
1	メッセージ RAM へのアクセスが終了せず、メッセージ RAM ウォッチドッグイベントが発生したことを示します。

[bit25] BO: バスオフステータス割込みフラグ (Bus_Off Status)

bit	説明
0	バスオフステータスが変化していないことを示します。
1	バスオフステータスが変化したことを示します。

[bit24] EW: ワーニングステータス割込みフラグ (Warning Status)

bit	説明
0	ワーニングステータスが変化していないことを示します。
1	ワーニングステータスが変化したことを示します。

[bit23] EP: エラーパッシブ割込みフラグ (Error Passive)

bit	説明
0	エラーパッシブステータスが変化していないことを示します。
1	エラーパッシブステータスが変化したことを示します。

[bit22] ELO: エラーログオーバフロー割込みフラグ (Error Logging Overflow)

bit	説明
0	エラーログビット(ECR.CEL[7:0])がオーバフローをしていないことを示します。
1	エラーログビット(ECR.CEL[7:0])がオーバフローをしたことを示します。

[bit21] BEU: ビットエラー発生割込みフラグ (Bit Error Uncorrected)

本ビットは、CAN FD コントローラからメッセージ RAM へのアクセスでビットエラーを検出し、メッセージ RAM に搭載している ECC 機能ブロックで訂正できないことを示します。
訂正できないビットエラーが発生した場合、初期化ビット(CCCR.INIT)へ 1 がセットされます。これは破損したデータが送信されることを防ぐためです。

bit	説明
0	メッセージ RAM の読出しで、訂正できないビットエラーが発生していないことを示します。
1	メッセージ RAM の読出しで、訂正できないビットエラーが発生したことを示します。

<注意事項>

- *IR.BEU を 0 にクリアする場合、メッセージ RAM に搭載している ECC 機能を持つブロックの該当部分もクリア処理してください。*

[bit20] BEC: ビットエラー訂正割込みフラグ (Bit Error Corrected)

本ビットは、CAN FD コントローラからメッセージ RAM へのアクセスでビットエラーを検出し、メッセージ RAM に搭載している ECC 機能ブロックで訂正されたことを示します。

bit	説明
0	メッセージ RAM の読出しで、訂正可能なビットエラーが発生していないことを示します。
1	メッセージ RAM の読出しで、訂正可能なビットエラーが発生したことを示します。

<注意事項>

- *IR.BEC を 0 にクリアする場合、メッセージ RAM に搭載している ECC 機能を持つブロックの該当部分もクリア処理してください。*

[bit19] DRX: 特定 ID 受信メッセージ受信割込みフラグ (Message stored to Dedicated Rx Buffer)

本ビットは特定 ID 受信バッファへ受信メッセージが格納されたときに 1 セットされます。デバッグメッセージの受信ではセットされません。

bit	説明
0	特定 ID 受信バッファに変更が無いことを示します。
1	少なくとも 1 つの特定 ID 受信バッファへ受信メッセージが格納されたことを示します。

[bit18] TOO: タイムアウトカウンタ割込みフラグ (Timeout Occurred)

bit	説明
0	タイムアウトは発生していないことを示します。
1	タイムアウトが発生したことを示します。

[bit17] MRAF: メッセージ RAM エラー割込みフラグ (Message RAM Access Failure)

受信ハンドラにより、本ビットへ"1"にセットされる条件を以下に示します。

- 受信ハンドラがフィルタ処理、またはメッセージ受信処理を、その次のフレームのアービトレーションフィールド受信までに完了しない場合、本ビットは"1"にセットされます。この場合、フィルタ処理、またはメッセージ受信処理は、中止され、その次のフレーム受信処理を実行します。
  また、Protocol Exception Event (プロトコル例外イベント)を検出した場合、フレーム受信処理を中断するため、フィルタ処理、メッセージ受信処理が完了せずに、その次のフレーム受信が開始されます。そのため、本ビットが"1"にセットされます。Protocol Exception Event については"3.4.5.プロトコル例外イベント (Protocol Exception Event)"を参照してください。
- メッセージ受信処理が完了し、メッセージ RAM へ受信メッセージを書き込む際に、受信ハンドラがメッセージ RAM へ書き込めない場合も、本ビットへ"1"がセットされます。

上記の 2 条件ともに、該当する各動作が発生した場合、受信 FIFO の書込みポインタは更新されません。
また、特定 ID 受信バッファでも、IR.DRX へ 1 にセットされません。また、途中まで格納された受信メッセージは、同じ受信バッファに格納される次の受信メッセージに上書きされます。
送信ハンドラ動作で、メッセージ送信時にメッセージ RAM から送信データを読み出すのが間に合わない場合にも、本ビットへ 1 がセットされます。この場合、送信動作は中断されます。送信ハンドラにより、本ビットが"1"にセットされた場合、CAN FD コントローラは送信禁止モードへ遷移します。送信禁止モードについては、3.1.5.送信禁止モードを参照してください。送信禁止モードから復帰させる場合、送信禁止モード設定ビット(CCCR.ASM)を 0 にクリアする必要があります。復帰手順については、4.6.2.メッセージ RAM エラー処理手順
(Message RAM access failure Handling Operation) を参照してください。

bit	説明
0	メッセージ RAM エラーが発生していないことを示します。
1	メッセージ RAM エラーが発生したことを示します。

- *上記の条件をすべて満足した場合、受信ハンドラ動作にかかわらず、本ビットは 1 にセットされます。*
  - *CAN フォーマットまたは、CAN FD フォーマット受信時*
  - *受信エラーパッシブ表示(ECR.RP)へ 1 がセットされている*
  - *受信エラーカウンタ(ECR.REC[6:0])へ 127 がセットされている*
- *Table 2.2-1 と Table 2.2-2 に従わない場合、受信ハンドラにより、本ビットが"1"セットされた後に、メッセージ RAM へ、受信データが完全に格納されないことがあります。格納先(Rx FIFO0, Rx FIFO1, 特定 ID 受信バッファ)に応じて、受信 FIFO 0/1 ステータスレジスタ(RXF0S, RXF1S)、または特定 ID 受信メッセージレジスタ 1/2(NDAT1/2) も更新されます。*
  そのため、受信ハンドラ動作により、本ビットが 1 セットされた後、受信したフレームデータを破棄してください。

[bit16] TSW: タイムスタンプラップアラウンド割込みフラグ (Timestamp Wraparound)

bit	説明
0	タイムスタンプカウンタはラップアラウンドしていないことを示します。
1	タイムスタンプカウンタはラップアラウンドしたことを示します。

[bit15] TEFL: 送信イベント FIFO エレメントロスト割込みフラグ (Tx Event FIFO Element Lost)

bit	説明
0	送信イベント FIFO エレメントがロストしていないことを示します。
1	送信イベント FIFO エレメントがロストしたことを示します。 または、送信イベント FIFO のサイズが 0 設定で、送信ハンドラがメッセージ RAM へ、送信イベント FIFO エレメントの書込みの実行を試みたことを示します。

[bit14] TEFF: 送信イベント FIFO フル割込みフラグ (Tx Event FIFO Full)

bit	説明
0	送信イベント FIFO のエレメント格納数が、フルでないことを示します。
1	送信イベント FIFO のエレメント格納数が、フルであることを示します。

[bit13] TEFW: 送信イベント FIFO しきい値割込みフラグ (Tx Event FIFO Watermark Reached)

bit	説明
0	送信イベント FIFO のエレメント格納数が、しきい値より少ないことを示します。
1	送信イベント FIFO のエレメント格納数が、しきい値と一致したことを示します。

[bit12] TEFN: 送信イベント FIFO 格納割込みフラグ (Tx Event FIFO New Entry)

bit	説明
0	送信イベント FIFO に変化がないことを示します。
1	送信ハンドラが送信イベント FIFO エレメントを書き込んだことを示します。

[bit11] TFE: 送信 FIFO エンプティ割込みフラグ (Tx FIFO Empty)

bit	説明
0	送信 FIFO がエンプティでないことを示します。
1	送信 FIFO がエンプティであることを示します。

<注意事項>

- *本ビットは、送信 Queue モード動作時には、1 にセットされません。*

[bit10] TCF: 送信要求キャンセル完了割込みフラグ (Transmission Cancellation Finished)

bit	説明
0	送信要求キャンセルが完了していないことを示します。
1	送信要求キャンセルが完了したことを示します。

[bit9] TC: 送信完了割込みフラグ (Transmission Completed)

bit	説明
0	送信が完了していないことを示します。
1	送信が完了したことを示します。

[bit8] HPM: 高優先メッセージ受信割込みフラグ (High Priority Message)

bit	説明
0	高優先メッセージを受信していないことを示します。
1	高優先メッセージを受信したことを示します。

[bit7] RF1L: 受信 FIFO 1 メッセージロスト割込みフラグ (Rx FIFO 1 Message Lost)

bit	説明
0	受信 FIFO 1 で、メッセージがロストしていないことを示します。
1	受信 FIFO 1 で、メッセージがロストしたことを示します。 または、受信 FIFO 1 のサイズが 0 設定で、受信ハンドラが、受信 FIFO 1 へメッセージ書込みの実行を試みたことを示します。

[bit6] RF1F: 受信 FIFO 1 フル割込みフラグ (Rx FIFO 1 Full)

bit	説明
0	受信 FIFO 1 のメッセージ格納数が、フルでないことを示します。
1	受信 FIFO 1 のメッセージ格納数が、フルであることを示します。

[bit5] RF1W: 受信 FIFO 1 しきい値割込みフラグ (Rx FIFO 1 Watermark Reached)

bit	説明
0	受信 FIFO 1 のメッセージ格納数が、しきい値より少ないことを示します。
1	受信 FIFO 1 のメッセージ格納数が、しきい値と一致したことを示します。

[bit4] RF1N: 受信 FIFO 1 受信割込みフラグ (Rx FIFO 1 New Message)

bit	説明
0	受信 FIFO 1 に変化がないことを示します。
1	受信ハンドラが受信 FIFO 1 にメッセージを書き込んだことを示します。

[bit3] RF0L: 受信 FIFO 0 メッセージロスト割込みフラグ (Rx FIFO 0 Message Lost)

bit	説明
0	受信 FIFO 0 で、メッセージがロストしていないことを示します。
1	受信 FIFO 0 で、メッセージがロストしたことを示します。 または、受信 FIFO 0 のサイズが 0 設定で、受信ハンドラが、受信 FIFO 0 へメッセージ書込みの実行を試みたことを示します。

[bit2] RF0F: 受信 FIFO 0 フル割込みフラグ (Rx FIFO 0 Full)

bit	説明
0	受信 FIFO 0 のメッセージ格納数が、フルでないことを示します。
1	受信 FIFO 0 のメッセージ格納数が、フルであることを示します。

[bit1] RF0W: 受信 FIFO 0 しきい値割込みフラグ (Rx FIFO 0 Watermark Reached)

bit	説明
0	受信 FIFO 0 のメッセージ格納数が、しきい値より少ないことを示します。
1	受信 FIFO 0 のメッセージ格納数が、しきい値と一致したことを示します。

[bit0] RF0N: 受信 FIFO 0 受信割込みフラグ (Rx FIFO 0 New Message)

bit	説明
0	受信 FIFO 0 に変化がないことを示します。
1	受信ハンドラが受信 FIFO 0 にメッセージを書き込んだことを示します。

5.15 割込み許可レジスタ(IE)

本レジスタは割込みレジスタ(IR)で 1 セットされたビットがある場合に、割込み信号を H にセットする(割込み許可)かどうかを設定します。

bit	説明
0	割込みを禁止します。
1	割込みを許可します。

bit	31	30	29	28	27	26	25	24
Field	STEE	FOEE	ACKEE	BEE	CRCEE	WDIE	BOE	EWE
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	EPE	ELOE	BEUE	BECE	DRXE	TOOE	MRAFE	TSWE
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	TEFLE	TEFFE	TEFWE	TEFNE	TFEE	TCFE	TCE	HPME
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RF1LE	RF1FE	RF1WE	RF1NE	RF0LE	RF0FE	RF0WE	RF0NE
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

[bit31] STEE: Stuff エラー割込み許可ビット (Stuff Error Interrupt Enable)

[bit30] FOEE: Form エラー割込み許可ビット (Format Error Interrupt Enable)

[bit29] ACKEE: Ack エラー割込み許可ビット (Acknowledge Error Interrupt Enable)

[bit28] BEE: Bit エラー割込み許可ビット (Bit Error Interrupt Enable)

[bit27] CRCEE: CRC エラー割込み許可ビット (CRC Error Interrupt Enable)

[bit26] WDIE: RAM ウォッチドッグカウンタ割込み許可ビット (Watchdog Interrupt Enable)

[bit25] BOE: バスオフステータス割込み許可ビット (Bus_Off Status Interrupt Enable)

[bit24] EWE: ワーニングステータス割込み許可ビット (Warning Status Interrupt Enable)

[bit23] EPE: エラーパッシブ割込み許可ビット (Error Passive Interrupt Enable)

[bit22] ELOE: エラーログオーバフロー割込み許可ビット (Error Logging Overflow Interrupt Enable)

[bit21] BEUE: ビットエラー発生割込み許可ビット (Bit Error Uncorrected Interrupt Enable)

[bit20] BECE: ビットエラー訂正割込み許可ビット (Bit Error Corrected Interrupt Enable)

[bit19] DRXE: 特定 ID 受信メッセージ受信割込み許可ビット (Message stored to Dedicated Rx Buffer Interrupt Enable)

[bit18] TOOE: タイムアウトカウンタ割込み許可ビット (Timeout Occurred Interrupt Enable)

[bit17] MRAFE: メッセージ RAM エラー割込み許可ビット (Message RAM Access Failure Interrupt Enable)

[bit16] TSWE: タイムスタンプラップアラウンド割込み許可ビット (Timestamp Wraparound Interrupt Enable)

[bit15] TEFLE: 送信イベント FIFO エレメントロスト割込み許可ビット (Tx Event FIFO Event Lost Interrupt Enable)

[bit14] TEFFE: 送信イベント FIFO フル割込み許可ビット (Tx Event FIFO Full Interrupt Enable)

[bit13] TEFWE: 送信イベント FIFO しきい値割込み許可ビット (Tx Event FIFO Watermark Reached Interrupt Enable)

[bit12] TEFNE: 送信イベント FIFO 格納割込み許可ビット (Tx Event FIFO New Entry Interrupt Enable)

[bit11] TFEE: 送信 FIFO エンプティ割込み許可ビット (Tx FIFO Empty Interrupt Enable)

[bit10] TCFE: 送信要求キャンセル完了割込み許可ビット (Transmission Cancellation Finished Interrupt Enable)

[bit9] TCE: 送信完了割込み許可ビット (Transmission Completed Interrupt Enable)

[bit8] HPME: 高優先メッセージ受信割込み許可ビット (High Priority Message Interrupt Enable)

[bit7] RF1LE: 受信 FIFO 1 メッセージロスト割込み許可ビット (Rx FIFO 1 Message Lost Interrupt Enable)

[bit6] RF1FE: 受信 FIFO 1 フル割込み許可ビット (Rx FIFO 1 Full Interrupt Enable)

[bit5] RF1WE: 受信 FIFO 1 しきい値割込み許可ビット (Rx FIFO 1 Watermark Reached Interrupt Enable)

[bit4] RF1NE: 受信 FIFO 1 受信割込み許可ビット (Rx FIFO 1 New Message Interrupt Enable)

[bit3] RF0LE: 受信 FIFO 0 メッセージロスト割込み許可ビット (Rx FIFO 0 Message Lost Interrupt Enable)

[bit2] RF0FE: 受信 FIFO 0 フル割込み許可ビット (Rx FIFO 0 Full Interrupt Enable)

[bit1] RF0WE: 受信 FIFO 0 しきい値割込み許可ビット (Rx FIFO 0 Watermark Reached Interrupt Enable)

[bit0] RF0NE: 受信 FIFO 0 受信割込み許可ビット (Rx FIFO 0 New Message Interrupt Enable)

5.16 割込み信号選択レジスタ(ILS)

本レジスタは割込みレジスタ(IR)に 1 セットされたビットがある場合に、どちらの割込み信号(canfd_int0/1)を H にセットするかを設定します。

bit	説明
0	割込みを canfd_int0 信号に割り付けます。
1	割込みを canfd_int1 信号に割り付けます。

bit	31	30	29	28	27	26	25	24
Field	STEL	FOEL	ACKEL	BEL	CRCEL	WDIL	BOL	EWL
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	EPL	ELOL	BEUL	BECL	DRXL	TOOL	MRAFL	TSWL
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	TEFLL	TEFFL	TEFWL	TEFNL	TFEL	TCFL	TCL	HPML
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RF1LL	RF1FL	RF1WL	RF1NL	RF0LL	RF0FL	RF0WL	RF0NL
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

[bit31] STEL: Stuff エラー割込み信号設定ビット (Stuff Error Interrupt Line)

[bit30] FOEL: Form エラー割込み信号設定ビット (Format Error Interrupt Line)

[bit29] ACKEL: Ack エラー割込み信号設定ビット (Acknowledge Error Interrupt Line)

[bit28] BEL: Bit エラー割込み信号設定ビット (Bit Error Interrupt Line)

[bit27] CRCEL: CRC エラー割込み信号設定ビット (CRC Error Interrupt Line)

[bit26] WDIL: RAM ウォッチドッグカウンタ割込み信号設定ビット (Watchdog Interrupt Line)

[bit25] BOL: バスオフステータス割込み信号設定ビット (Bus_Off Status Interrupt Line)

[bit24] EWL: ワーニングステータス割込み信号設定ビット (Warning Status Interrupt Line)

[bit23] EPL: エラーパッシブ割込み信号設定ビット (Error Passive Interrupt Line)

[bit22] ELOL: エラーログオーバフロー割込み信号設定ビット(Error Logging Overflow Interrupt Line)

[bit21] BEUL: ビットエラー発生割込み信号設定ビット (Bit Error Uncorrected Interrupt Line)

[bit20] BECL: ビットエラー訂正割込み信号設定ビット (Bit Error Corrected Interrupt Line)

[bit19] DRXL: 特定 ID 受信メッセージ受信割込み信号設定ビット (Message stored to Dedicated Rx Buffer Interrupt Line)

[bit18] TOOL: タイムアウトカウンタ割込み信号設定ビット (Timeout Occurred Interrupt Line)

[bit17] MRAFL: メッセージ RAM エラー割込み信号設定ビット (Message RAM Access Failure Interrupt Line)

[bit16] TSWL: タイムスタンプラップアラウンド割込み信号設定ビット (Timestamp Wraparound Interrupt Line)

[bit15] TEFLL: 送信イベント FIFO エレメントロスト割込み信号設定ビット (Tx Event FIFO Event Lost Interrupt Line)

[bit14] TEFFL: 送信イベント FIFO フル割込み信号設定ビット (Tx Event FIFO Full Interrupt Line)

[bit13] TEFWL: 送信イベント FIFO しきい値割込み信号設定ビット (Tx Event FIFO Watermark Reached Interrupt Line)

[bit12] TEFNL: 送信イベント FIFO 格納割込み信号設定ビット (Tx Event FIFO New Entry Interrupt Line)

[bit11] TFEL: 送信 FIFO エンプティ割込み信号設定ビット (Tx FIFO Empty Interrupt Line)

[bit10] TCFL: 送信要求キャンセル完了割込み信号設定ビット (Transmission Cancellation Finished Interrupt Line)

[bit9] TCL: 送信完了割込み信号設定ビット (Transmission Completed Interrupt Line)

[bit8] HPML: 高優先メッセージ受信割込み信号設定ビット (High Priority Message Interrupt Line)

[bit7] RF1LL: 受信 FIFO 1 メッセージロスト割込み信号設定ビット (Rx FIFO 1 Message Lost Interrupt Line)

[bit6] RF1FL: 受信 FIFO 1 フル割込み信号設定ビット (Rx FIFO 1 Full Interrupt Line)

[bit5] RF1WL: 受信 FIFO 1 しきい値割込み信号設定ビット(Rx FIFO 1 Watermark Reached Interrupt Line)

[bit4] RF1NL: 受信 FIFO 1 受信割込み信号設定ビット (Rx FIFO 1 New Message Interrupt Line)

[bit3] RF0LL: 受信 FIFO 0 メッセージロスト割込み信号設定ビット (Rx FIFO 0 Message Lost Interrupt Line)

[bit2] RF0FL: 受信 FIFO 0 フル割込み信号設定ビット (Rx FIFO 0 Full Interrupt Line)

[bit1] RF0WL: 受信 FIFO 0 しきい値割込み信号設定ビット (Rx FIFO 0 Watermark Reached Interrupt Line)

[bit0] RF0NL: 受信 FIFO 0 受信割込み信号設定ビット (Rx FIFO 0 New Message Interrupt Line)

5.17 割込み信号許可レジスタ(ILE)

本レジスタは各割込み信号(canfd_int0/1)の許可・禁止を設定します。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	Reserved						EINT1	EINT0
Attribute	-						R/W	R/W
Initial value	000000						0	0

[bit31:2] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit1] EINT1: canfd_int1 許可ビット (Enable Interrupt Line 1)

bit	説明
0	割込み信号 canfd_int1 の動作を禁止します。
1	割込み信号 canfd_int1 の動作を許可します。

[bit0] EINT0: canfd_int0 許可ビット (Enable Interrupt Line 0)

bit	説明
0	割込み信号 canfd_int0 の動作を禁止します。
1	割込み信号 canfd_int0 の動作を許可します。

5.18 グローバルフィルタ設定レジスタ(GFC)

本レジスタは、メッセージ受信した際の全体的なフィルタ処理を設定します。本レジスタ設定による詳細な動作は、Figure 3-4, Figure 3-5 を参照してください。

本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	Reserved		ANFS[1:0]		ANFE[1:0]		RRFS	RRFE
Attribute	-		R/W		R/W		R/W	R/W
Initial value	00		00		00		0	0

[bit31:6] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit5:4] ANFS[1:0]: 11 ビット ID フレームグローバルフィルタ設定ビット (Accept Non-matching Frames Standard)

本ビットで、受信したメッセージ ID (11 ビット ID)が、設定しているどの 11 ビット ID フィルタエレメントにも一致しない場合、受信メッセージをどのように扱うかを設定します。

ANFS[1:0]	説明
00	メッセージを受信 FIFO 0 へ格納します。
01	メッセージを受信 FIFO 1 へ格納します。
10	メッセージを破棄します。
11	メッセージを破棄します。

[bit3:2] ANFE[1:0]: 29 ビット ID フレームグローバルフィルタ設定ビット (Accept Non-matching Frames Extended)

本ビットで、受信したメッセージ ID (29 ビット ID)が、設定しているどの 29 ビット ID フィルタエレメントにも一致しない場合、受信メッセージをどのように扱うかを設定します。

ANFE[1:0]	説明
00	メッセージを受信 FIFO 0 へ格納します。
01	メッセージを受信 FIFO 1 へ格納します。
10	メッセージを破棄します。
11	メッセージを破棄します。

[bit1] RRFS: 11 ビット ID リモートフレーム受信禁止ビット (Reject Remote Frames Standard)

bit	説明
0	11 ビット ID のリモートフレームのフィルタ処理を許可します。
1	すべての 11 ビット ID のリモートフレームを破棄します。

[bit0] RRFE: 29 ビット ID リモートフレーム受信禁止ビット (Reject Remote Frames Extended)

bit	説明
0	29 ビット ID のリモートフレームのフィルタ処理を許可します。
1	すべての 29 ビット ID のリモートフレームを破棄します。

5.19 11 ビット ID フィルタ設定レジスタ(SIDFC)

本レジスタで、11 ビット ID メッセージの受容フィルタを設定します。本レジスタ設定による 11 ビット ID フィルタエレメントのフィルタ処理は、Figure 3-4 を参照してください。

本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ"1"設定されているときに設定できます。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	LSS[7:0]							
Attribute	R/W							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	FLSSA[15:8]							
Attribute	R/W							
Initial value	00000000							

bit	7	6	5	4	3	2	1	0
Field	FLSSA[7:2]						Reserved	
Attribute	R/W						-	
Initial value	000000						00	

[bit31:24] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit23:16] LSS[7:0]: 11 ビットフィルタエレメント数設定ビット (List Size Standard)

LSS[7:0]	説明
0	11 ビット ID フィルタ動作禁止。
1-128	11 ビット ID フィルタエレメント数を設定。
>128	128 を設定した場合と同様。

[bit15:2] FLSSA[15:2]: 11 ビットフィルタリスト開始アドレス (Filter List Standard Start Address)

メッセージ RAM の 11 ビットフィルタリストの開始アドレスを設定してください。(32 ビットワードのアドレス。詳細については Figure 6-1 参照。)

[bit1:0] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

5.20 29 ビット ID フィルタ設定レジスタ(XIDFC)

本レジスタで、29 ビット ID メッセージの受容フィルタを設定します。本レジスタ設定による 29 ビット ID フィルタエレメントのフィルタ処理は、Figure 3-5 を参照してください。
本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved	LSE[6:0]						
Attribute	-	R/W						
Initial value	0	0000000						

bit	15	14	13	12	11	10	9	8
Field	FLESA[15:8]							
Attribute	R/W							
Initial value	00000000							

bit	7	6	5	4	3	2	1	0
Field	FLESA[7:2]						Reserved	
Attribute	R/W						-	
Initial value	000000						00	

[bit31:23] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit22:16] LSE[6:0]: 29 ビットフィルタエレメント数設定ビット (List Size Extended)

LSE[6:0]	説明
0	29 ビット ID フィルタ動作禁止。
1-64	29 ビット ID フィルタエレメント数を設定。
>64	64 を設定した場合と同様。

[bit15:2] FLESA[15:2]: 29 ビットフィルタリスト開始アドレス (Filter List Extended Start Address)

メッセージ RAM の 29 ビットフィルタリストの開始アドレスを設定してください。(32 ビットワードのアドレス。詳細については Figure 6-1 参照。)

[bit1:0] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

5.21 29 ビット ID マスクレジスタ(XIDAM)

本レジスタにより、フィルタ処理で使用される 29 ビット ID で有効なビットを設定します。

本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

bit	31	30	29	28	27	26	25	24
Field	Reserved			EIDM[28:24]				
Attribute		-				R/W		
Initial value		000				11111		

bit	23	22	21	20	19	18	17	16
Field	EIDM[23:16]							
Attribute				R/W				
Initial value				0xff				

bit	15	14	13	12	11	10	9	8
Field	EIDM[15:8]							
Attribute				R/W				
Initial value				0xff				

bit	7	6	5	4	3	2	1	0
Field	EIDM[7:0]							
Attribute				R/W				
Initial value				0xff				

[bit31:29] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit28:0] EIDM[28:0]: 29 ビット ID マスクビット (Extended ID Mask)

フィルタ処理のため、本ビットへ設定した値と受信した 29 ビット ID のメッセージを AND します。

すべてのビットへ 1 がセットされている場合(初期値)、受信した ID はマスクされずフィルタ処理されます。

5.22 高優先メッセージステータスレジスタ(HPMS)

本レジスタは、受容フィルタで設定された優先イベントが発生するごとに更新されます。更新により、高優先メッセージの受信ステータスがモニタでき、また高優先メッセージに早く対応できます。

<注意事項>

- *次の条件を全て満たすとき、SIDFC.LSS[7:0]とXIDFC.LSE[6:0]に“1”以上を設定してください。*
  - *高優先イベントを使用する*
  - *標準フォーマットフレームと拡張フォーマットフレームの両方を使用する*

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0xXX							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0xXX							

bit	15	14	13	12	11	10	9	8
Field	FLST	FIDX[6:0]						
Attribute	R	R						
Initial value	0	0000000						

bit	7	6	5	4	3	2	1	0
Field	MSI[1:0]		BIDX[5:0]					
Attribute	R		R					
Initial value	00		000000					

[bit31:16] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit15] FLST: フィルタリスト (Filter List)

本ビットは、一致したフィルタエレメントを含むフィルタリストを示します。

bit	説明
0	11 ビット ID フィルタリストを示します。
1	29 ビット ID フィルタリストを示します。

[bit14:8] FIDX[6:0]: フィルタ番号 (Filter Index)

FIDX[6:0]	説明
0-127	フィルタエレメントで一致したフィルタエレメント番号を示します。 有効範囲は 0～11 ビット/29 ビットフィルタエレメント数 - 1 です。 (有効範囲：0～SIDFC.LSS[7:0] - 1 / XIDFC.LSE[6:0] - 1)

[bit7:6] MSI[1:0]: メッセージ格納先表示ビット (Message Storage Indicator)

MSI[1:0]	説明
00	どちらの受信 FIFO にも格納されていないことを示します。
01	受信メッセージがロストしたことを示します。
10	受信メッセージが受信 FIFO 0 に格納されたことを示します。
11	受信メッセージが受信 FIFO 1 に格納されたことを示します。

[bit5:0] BIDX[5:0]: 受信バッファ番号 (Buffer Index)

本ビットは受信メッセージが格納された受信 FIFO エレメントの番号を示します。本ビットは MSI[1]=1 のときに有効です。

5.23 特定 ID 受信メッセージレジスタ 1(NDAT1)

本レジスタは特定 ID 受信バッファにメッセージを受信した際に、"1"がセットされます。

bit	31	30	29	28	27	26	25	24
Field	ND31	ND30	ND29	ND28	ND27	ND26	ND25	ND24
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	ND23	ND22	ND21	ND20	ND19	ND18	ND17	ND16
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	ND15	ND14	ND13	ND12	ND11	ND10	ND9	ND8
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	ND7	ND6	ND5	ND4	ND3	ND2	ND1	ND0
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

[bit31:0] ND[31:0]: 特定 ID 受信メッセージ受信フラグ (New Data)

本ビットは特定 ID 受信バッファ 0～31 の受信フラグです。

それぞれの特定 ID 受信バッファにメッセージを受信した際に、1 がセットされ、CPU により"0"クリアされるまで 1 を保持しています。

それぞれのビットは、1 を書き込むことで、0 にクリアできます。0 を書き込んでも影響ありません。
ハードウェアリセットにより、本レジスタは 0 にリセットされます。

bit	説明
0	特定 ID 受信バッファに更新がないことを示します。
1	特定 ID 受信バッファにメッセージを受信したこと示します。

5.24 特定 ID 受信メッセージレジスタ 2(NDAT2)

本レジスタは特定 ID 受信バッファにメッセージを受信した際に、1 がセットされます。

bit	31	30	29	28	27	26	25	24
Field	ND63	ND62	ND61	ND60	ND59	ND58	ND57	ND56
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	ND55	ND54	ND53	ND52	ND51	ND50	ND49	ND48
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	ND47	ND46	ND45	ND44	ND43	ND42	ND41	ND40
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	ND39	ND38	ND37	ND36	ND35	ND34	ND33	ND32
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

[bit31:0] ND[63:32]: 特定 ID 受信メッセージ受信フラグ (New Data)

本ビットは特定 ID 受信バッファ 32～63 の受信フラグです。

それぞれの特定 ID 受信バッファにメッセージを受信した際に、1 がセットされ、CPU により"0"クリアされるまで 1 を保持しています。

それぞれのは、1 を書き込むことで、0 にクリアできます。0 を書き込んでも影響ありません。ハードウェアリセットにより、本レジスタは 0 にリセットされます。

bit	説明
0	特定 ID 受信バッファに更新がないことを示します。
1	特定 ID 受信バッファを受信したこと示します。

5.25 受信 FIFO 0 設定レジスタ(RXF0C)

本レジスタにより、受信 FIFO 0 を設定できます。

本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

bit	31	30	29	28	27	26	25	24
Field	F0OM	F0WM[6:0]						
Attribute	R/W	R/W						
Initial value	0	0000000						

bit	23	22	21	20	19	18	17	16
Field	Reserved	F0S[6:0]						
Attribute	-	R/W						
Initial value	0	0000000						

bit	15	14	13	12	11	10	9	8
Field	F0SA[15:8]							
Attribute	R/W							
Initial value	00000000							

bit	7	6	5	4	3	2	1	0
Field	F0SA[7:2]						Reserved	
Attribute	R/W						-	
Initial value	000000						00	

[bit31] F0OM: 受信 FIFO0 動作モード設定ビット (FIFO 0 Operation Mode)

本ビットにより、受信 FIFO 0 をブロッキング/オーバライトモードで動作させるかを設定できます。各モードについては 3.4.2. 受信 FIFO を参照してください。

bit	説明
0	受信 FIFO 0 をブロッキングモードで動作させます。
1	受信 FIFO 0 をオーバライトモードで動作させます。

[bit30:24] F0WM[6:0]: 受信 FIFO 0 しきい値設定ビット (Rx FIFO 0 Watermark)

F0WM[6:0]	説明
0	しきい値割込み動作禁止。
1-64	受信 FIFO 0 しきい値割込みフラグ(IR.RF0W)が"1"にセットされるしきい値を設定。
>64	しきい値割込み動作禁止。

[bit23] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit22:16] F0S[6:0]: 受信 FIFO 0 受信バッファ数設定ビット (Rx FIFO 0 Size)

受信 FIFO 0 受信バッファエレメントは 0 から F0S[6:0] - 1 まで順番に番号付けされます。

F0S[6:0]	説明
0	受信 FIFO 0 は使用禁止。
1-64	受信 FIFO 0 受信バッファ数を設定。
>64	64 を設定した場合と同様です。

[bit15:2] F0SA[15:2]: 受信 FIFO 0 開始アドレス (Rx FIFO 0 Start Address)

メッセージ RAM の受信 FIFO 0 の開始アドレスを設定してください。(32 ビットワードのアドレス。詳細については Figure 6-1 参照。)

[bit1:0] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

5.26 受信 FIFO 0 ステータスレジスタ(RXF0S)

本レジスタは受信 FIFO 0 のステータスを表示します。

bit	31	30	29	28	27	26	25	24
Field	Reserved						RF0L	F0F
Attribute	-						R	R
Initial value	XXXXXX						0	0

bit	23	22	21	20	19	18	17	16
Field	Reserved		F0PI[5:0]					
Attribute	-		R					
Initial value	XX		000000					

bit	15	14	13	12	11	10	9	8
Field	Reserved		F0GI[5:0]					
Attribute	-		R					
Initial value	X		000000					

bit	7	6	5	4	3	2	1	0
Field	Reserved	F0FL[6:0]						
Attribute	-	R						
Initial value	X	0000000						

[bit31:26] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit25] RF0L: 受信 FIFO 0 メッセージロスト (Rx FIFO 0 Message Lost)

本ビットは、受信 FIFO 0 メッセージロスト割込みフラグ(IR.RF0L)を表示します。

IR.RF0L が 0 にクリアされた場合、本ビットも 0 にクリアされます。

bit	説明
0	受信 FIFO 0 で、メッセージがロストしていないことを示します。
1	受信 FIFO 0 で、メッセージがロストしたことを示します。 または、受信 FIFO 0 のサイズが 0 設定で、受信ハンドラが、受信 FIFO 0 へメッセージ書込みの実行を試みたことを示します。

<注意事項>

- *本ビットは、受信 FIFO0 動作モード設定ビット(RXF0C.F0OM)へ"1"設定(オーバライトモード)で、受信メッセージにオーバライトした場合には、1 にセットされません。*

[bit24] F0F: 受信 FIFO 0 フル (Rx FIFO 0 Full)

bit	説明
0	受信 FIFO 0 はフルではないことを示します。
1	受信 FIFO 0 はフルを検出したことを示します。

[bit23:22] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit21:16] F0PI[5:0]: 受信 FIFO 0 書込みポインタ (Rx FIFO 0 Put Index)

F0PI[5:0]	説明
0-63	受信 FIFO 0 の書込みポインタを示します。有効範囲は 0～63 です。

[bit15:14] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit13:8] F0GI[5:0]: 受信 FIFO 0 読出しポインタ (Rx FIFO 0 Get Index)

F0GI[5:0]	説明
0-63	受信 FIFO 0 の読出しポインタを示します。有効範囲は 0～63 です。

[bit7] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit6:0] F0FL[6:0]: 受信 FIFO 0 メッセージ数 (Rx FIFO 0 Fill Level)

F0FL[6:0]	説明
0-64	受信 FIFO 0 に格納されている受信メッセージ数を示します。有効範囲は 0～64 です。

5.27 受信 FIFO 0 Ack レジスタ(RXF0A)

本レジスタは、CPU から CAN FD コントローラへ受信 FIFO 0 の Ack を返すのに使用されます。本節での Ack は、CPU が CAN FD コントローラへ受信メッセージを読み出したことを通知します。Ack を返すことにより、受信 FIFO で受信メッセージが格納されていた領域がリリースされます。詳細は 3.6. FIFO Ack 処理を参照してください。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	Reserved		F0AI[5:0]					
Attribute	-		R/W					
Initial value	00		000000					

[bit31:6] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit5:0] F0AI[5:0]: 受信 FIFO 0 Ack ポインタ (Rx FIFO 0 Acknowledge Index)

受信 FIFO 0 から受信メッセージを 1 つ以上読み出した後、本ビットへ受信 FIFO 0 から最後に読み出したバッファ番号を書き込んでください。本ビットへの書込みにより、受信 FIFO 0 読出しポインタ(RXF0S.F0GI[5:0])が F0AI[5:0] + 1 にセットされます。さらに、受信 FIFO 0 メッセージ数(RXF0S.F0FL[6:0])も更新されます。

5.28 特定 ID 受信メッセージ設定レジスタ(RXBC)

本レジスタでメッセージ RAM の特定 ID 受信バッファ領域の開始アドレスを設定します。

本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	RBSA[15:8]							
Attribute	R/W							
Initial value	00000000							

bit	7	6	5	4	3	2	1	0
Field	RBSA[7:2]						Reserved	
Attribute	R/W						-	
Initial value	000000						00	

[bit31:16] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit15:2] RBSA[15:2]: 特定 ID 受信バッファ開始アドレス (Rx Buffer Start Address)

メッセージ RAM の特定 ID 受信バッファの開始アドレスを設定してください。(32 ビットワードのアドレスです。詳細については Figure 6-1 参照。)

本ビットで設定したアドレスはデバッグメッセージ A, B, C を参照する場合にも使用されます。

[bit1:0] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

5.29 受信 FIFO 1 設定レジスタ(RXF1C)

本レジスタにより、受信 FIFO 1 を設定します。

本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

bit	31	30	29	28	27	26	25	24
Field	F1OM	F1WM[6:0]						
Attribute	R/W	R/W						
Initial value	0	0000000						

bit	23	22	21	20	19	18	17	16
Field	Reserved	F1S[6:0]						
Attribute	-	R/W						
Initial value	0	0000000						

bit	15	14	13	12	11	10	9	8
Field	F1SA[15:8]							
Attribute	R/W							
Initial value	00000000							

bit	7	6	5	4	3	2	1	0
Field	F1SA[7:2]						Reserved	
Attribute	R/W						-	
Initial value	000000						00	

[bit31] F1OM: 受信 FIFO 1 動作モード設定ビット (FIFO 1 Operation Mode)

本ビットにより、受信 FIFO 1 をブロッキング/オーバライトモードで動作させるかを設定できます。各モードについては 3.4.2. 受信 FIFO を参照してください。

bit	説明
0	受信 FIFO 1 をブロッキングモードで動作させます。
1	受信 FIFO 1 をオーバライトモードで動作させます。

[bit30:24] F1WM[6:0]: 受信 FIFO 1 しきい値設定ビット (Rx FIFO 1 Watermark)

F1WM[6:0]	説明
0	しきい値割込み動作禁止。
1-64	受信 FIFO 1 しきい値割込みフラグ(IR.RF1W)が"1"にセットされるしきい値を設定。
>64	しきい値割込み動作禁止。

[bit23] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit22:16] F1S[6:0]: 受信 FIFO 1 受信バッファ数設定ビット (Rx FIFO 1 Size)

受信 FIFO 1 受信バッファエレメントは 0 から F1S[6:0] - 1 まで順番に番号付けされます。

F1S[6:0]	説明
0	受信 FIFO 1 は使用禁止。
1-64	受信 FIFO 1 受信バッファ数を設定。
>64	64 を設定した場合と同様です。

[bit15:2] F1SA[15:2]: 受信 FIFO 1 開始アドレス (Rx FIFO 1 Start Address)

メッセージ RAM の受信 FIFO 1 の開始アドレスを設定してください。(32 ビットワードのアドレス。詳細については Figure 6-1 参照。)

[bit1:0] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

5.30 受信 FIFO 1 ステータスレジスタ(RXF1S)

本レジスタは受信 FIFO 1 のステータスを表示します。

bit	31	30	29	28	27	26	25	24
Field	DMS[1:0]		Reserved				RF1L	F1F
Attribute	R		-				R	R
Initial value	00		XXXX				0	0

bit	23	22	21	20	19	18	17	16
Field	Reserved		F1PI[5:0]					
Attribute	-		R					
Initial value	XX		000000					

bit	15	14	13	12	11	10	9	8
Field	Reserved		F1GI[5:0]					
Attribute	-		R					
Initial value	X		000000					

bit	7	6	5	4	3	2	1	0
Field	Reserved	F1FL[6:0]						
Attribute	-	R						
Initial value	X	0000000						

[bit31:30] DMS[1:0]: デバッグメッセージステータスビット (Debug Message Status)

DMS[1:0]	説明
00	アイドルステート、デバッグメッセージの受信待ち状態、DMA 要求はクリアされていることを示します。
01	デバッグメッセージ A を受信したことを示します。
10	デバッグメッセージ A, B を受信したことを示します。
11	デバッグメッセージ A, B, C を受信、DMA 要求がセットされていることを示します。

[bit29:26] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit25] RF1L: 受信 FIFO 1 メッセージロスト (Rx FIFO 1 Message Lost)

本ビットは、受信 FIFO 1 メッセージロスト割込みフラグ(IR.RF1L)を表示します。
IR.RF1L が 0 にクリアされた場合、本ビットも 0 にクリアされます。

bit	説明
0	受信 FIFO 1 で、メッセージがロストしていないことを示します。
1	受信 FIFO 1 で、メッセージがロストしたことを示します。 または、受信 FIFO 1 のサイズが 0 設定で、受信ハンドラが、受信 FIFO 1 へメッセージ書込みの実行をみたことを示します。

<注意事項>

- *本ビットは、受信 FIFO 1 動作モード設定ビット(RXF1C.F1OM)へ"1"設定(オーバライトモード)で、受信メッセージにオーバライトした場合には、1 にセットされません。*

[bit24] F1F: 受信 FIFO 1 フル (Rx FIFO 1 Full)

bit	説明
0	受信 FIFO 1 はフルではないことを示します。
1	受信 FIFO 1 はフルを検出したことを示します。

[bit23:22] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit21:16] F1PI[5:0]: 受信 FIFO 1 書込みポインタ (Rx FIFO 1 Put Index)

F1PI[5:0]	説明
0-63	受信 FIFO 1 の書込みポインタを示します。有効範囲は 0～63 です。

[bit15:14] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit13:8] F1GI[5:0]: 受信 FIFO 1 読出しポインタ (Rx FIFO 1 Get Index)

F1GI[5:0]	説明
0-63	受信 FIFO 1 の読出しポインタを示します。有効範囲は 0～63 です。

[bit7] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit6:0] F1FL[6:0]: 受信 FIFO 1 メッセージ数 (Rx FIFO 1 Fill Level)

F1FL[6:0]	説明
0-64	受信 FIFO 1 に格納されている受信メッセージ数を示します。有効範囲は 0～64 です。

5.31 受信 FIFO 1 Ack レジスタ(RXF1A)

本レジスタは、CPU から CAN FD コントローラへ受信 FIFO 1 の Ack を返すのに使用されます。本節での Ack は、CPU が CAN FD コントローラへ受信メッセージを読み出したことを通知します。Ack を返すことにより、受信 FIFO で受信メッセージが格納されていた領域がリリースされます。詳細は 3.6. FIFO Ack 処理を参照してください。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	Reserved		F1AI[5:0]					
Attribute	-		R/W					
Initial value	00		000000					

[bit31:6] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit5:0] F1AI[5:0]: 受信 FIFO 1 Ack ポインタ (Rx FIFO 1 Acknowledge Index)

受信 FIFO 1 から受信メッセージを 1 つ以上読み出した後、本ビットへ受信 FIFO 1 から最後に読み出したバッファ番号を書き込んでください。本ビットへの書込みにより、受信 FIFO 1 読出しポインタ(RXF1S.F1GI[5:0])が F1AI[5:0] + 1 にセットされます。さらに、受信 FIFO 1 メッセージ数(RXF1S.F1FL[6:0])も更新されます。

5.32 受信バッファデータサイズ設定レジスタ(RXESC)

本レジスタで、受信バッファのデータサイズを設定します。CAN FD 動作時のみ、8 バイトより大きいデータサイズが有効です。
本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

＜注意事項＞

- *本レジスタにより、設定されているデータサイズを超えるデータを受信した場合、設定されているサイズ分だけが受信バッファ(特定 ID 受信バッファまたは受信 FIFO)へ格納されます。残りの設定サイズを超えたデータは破棄されます。*

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved					RBDS[2:0]		
Attribute	-					R/W		
Initial value	00000					000		

bit	7	6	5	4	3	2	1	0
Field	Reserved	F1DS[2:0]			Reserved	F0DS[2:0]		
Attribute	-	R/W			-	R/W		
Initial value	0	000			0	000		

[bit31:11] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit10:8] RBDS[2:0]: 特定 ID 受信バッファデータサイズ設定ビット (Rx Buffer Data Field Size)

RBDS[2:0]	説明
000	データサイズが 8 バイト設定。
001	データサイズが 12 バイト設定。
010	データサイズが 16 バイト設定。
011	データサイズが 20 バイト設定。
100	データサイズが 24 バイト設定。
101	データサイズが 32 バイト設定。
110	データサイズが 48 バイト設定。
111	データサイズが 64 バイト設定。

[bit7] Reserved: 予約ビット
・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit6:4] F1DS[2:0]: 受信 FIFO 1 データサイズ設定ビット (Rx FIFO 1 Data Field Size)

F1DS[2:0]	説明
000	データサイズが 8 バイト設定。
001	データサイズが 12 バイト設定。
010	データサイズが 16 バイト設定。
011	データサイズが 20 バイト設定。
100	データサイズが 24 バイト設定。
101	データサイズが 32 バイト設定。
110	データサイズが 48 バイト設定。
111	データサイズが 64 バイト設定。

[bit3] Reserved: 予約ビット
・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit2:0] F0DS[2:0]: 受信 FIFO 0 データサイズ設定ビット (Rx FIFO 0 Data Field Size)

F0DS[2:0]	説明
000	データサイズが 8 バイト設定。
001	データサイズが 12 バイト設定。
010	データサイズが 16 バイト設定。
011	データサイズが 20 バイト設定。
100	データサイズが 24 バイト設定。
101	データサイズが 32 バイト設定。
110	データサイズが 48 バイト設定。
111	データサイズが 64 バイト設定。

5.33 送信バッファ設定レジスタ(TXBC)

メッセージ RAM の送信バッファ設定レジスタです。
本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

<注意事項>

- *送信 FIFO/Queue のバッファ数(TXBC.TFQS[5:0])と特定 ID 送信メッセージのバッファ数(TXBC.NDTB[5:0])の合計が 32 以下で設定してください。*
- *メッセージ RAM の送信バッファ領域は特定 ID 送信メッセージから割り当てられます。*
- *送信 FIFO と特定 ID 送信バッファを組み合わせて使用しないでください。TXBC.TFQM に“0”を設定する場合、TXBC.NDTB に“0”を設定してください。*

bit	31	30	29	28	27	26	25	24
Field	Reserved	TFQM	TFQS[5:0]					
Attribute	-	R/W	R/W					
Initial value	0	0	000000					

bit	23	22	21	20	19	18	17	16
Field	Reserved		NDTB[5:0]					
Attribute	-		R/W					
Initial value	00		000000					

bit	15	14	13	12	11	10	9	8
Field	TBSA[15:8]							
Attribute	R/W							
Initial value	00000000							

bit	7	6	5	4	3	2	1	0
Field	TBSA[7:2]						Reserved	
Attribute	R/W						-	
Initial value	000000						00	

[bit31] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit30] TFQM: 送信 FIFO/Queue 動作モード設定ビット (Tx FIFO/Queue Mode)

bit	説明
0	送信 FIFO 動作モード設定。
1	送信 Queue 動作モード設定。

[bit29:24] TFQS[5:0]: 送信 FIFO/Queue 送信バッファ数設定ビット (Transmit FIFO/Queue Size)

TFQS[5:0]	説明
0	送信 FIFO/Queue 動作禁止。

1-32	送信 FIFO/Queue として使用する送信バッファ数。
>32	32 を設定した場合と同様。

[bit23:22] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit21:16] NDTB[5:0]: 特定 ID メッセージ送信バッファ数設定ビット (Number of Dedicated Transmit Buffers)

NDTB[5:0]	説明
0	特定 ID 送信メッセージ動作禁止。
1-32	特定 ID 送信メッセージとして使用する送信バッファ数。
>32	32 を設定した場合と同様。

[bit15:2] TBSA[15:2]: 送信バッファ開始アドレス (Tx Buffers Start Address)

メッセージ RAM の送信バッファ領域の開始アドレスを設定してください。(32 ビットワードのアドレス。詳細については Figure 6-1 参照。)

[bit1:0] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

5.34 送信 FIFO/Queue ステータスレジスタ(TXFQS)

本レジスタは、送信要求ステータスレジスタ(TXBRP)にリストされている送信要求に関連したステータスを表示します。そのため、送信要求/キャンセルを実行した場合、送信スキャンが実行され(TXBRP 更新が未完了)、本レジスタへの反映が遅れる場合があります。

<注意事項>

- *特定 ID 送信バッファと送信 FIFO/Queue の混載設定の場合、書込みポインタ(TFQPI[4:0])と読出しポインタ(TFGI[4:0])は、特定 ID 送信バッファ数が足されて表示されます。*
  例 :
  特定 ID 送信バッファ: 12、送信 FIFO: 20 の混載設定の場合は、TFQPI[4:0]は 12 から表示され、4 番目の送信 FIFO バッファは 15 が表示されます。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0xXX							

bit	23	22	21	20	19	18	17	16
Field	Reserved		TFQF	TFQPI[4:0]				
Attribute	-		R	R				
Initial value	XX		0	00000				

bit	15	14	13	12	11	10	9	8
Field	Reserved			TFGI[4:0]				
Attribute	-			R				
Initial value	XXX			00000				

bit	7	6	5	4	3	2	1	0
Field	Reserved		TFFL[5:0]					
Attribute	-		R					
Initial value	XX		000000					

[bit31:22] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit21] TFQF: 送信 FIFO/Queue フル (Tx FIFO/Queue Full)

bit	説明
0	送信 FIFO/Queue がフルでないことを示します。
1	送信 FIFO/Queue がフルを検出したことを示します。

[bit20:16] TFQPI[4:0]: 送信 FIFO/Queue 書込みポインタ (Tx FIFO/Queue Put Index)

TFQPI[4:0]	説明
0-31	送信 FIFO/Queue の書込みポインタを示します。有効範囲は 0～31 です。

[bit15:13] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit12:8] TFGI[4:0]: 送信 FIFO 読出しポインタ (Tx FIFO Get Index)

TFGI[4:0]	説明
0-31	送信 FIFO の読出しポインタを示します。有効範囲は 0～31 です。 送信 Queue 動作モード時(送信 FIFO/Queue 動作モード設定ビット(TXBC.TFQM) = 1)の場合、0 が読み出されます。

[bit7:6] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit5:0] TFFL[5:0]: 送信 FIFO 空バッファ数表示ビット (Tx FIFO Free Level)

TFFL[5:0]	説明
0-32	送信 FIFO 読出しポインタ(TFGI[4:0])からの連続した送信 FIFO 空バッファ数を表示します。有効範囲は 0～32 です。 送信 Queue 動作モード時(送信 FIFO/Queue 動作モード設定ビット(TXBC.TFQM) = 1)の場合、0 が読み出されます。

5.35 送信バッファデータサイズ設定レジスタ(TXESC)

本レジスタで、送信バッファのデータサイズを設定します。CAN FD 動作時のみ、8 バイトより大きいデータサイズが有効です。
本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

＜注意事項＞

- *本レジスタにより、設定されているデータサイズを超えるデータ長を DLC で設定した場合、設定サイズを超えた送信データは、0xCC (padding bytes)が使用されます。*

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	Reserved					TBDS[2:0]		
Attribute	-					R/W		
Initial value	00000					000		

[bit31:3] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit2:0] TBDS[2:0]: 送信バッファデータサイズ設定ビット (Tx Buffer Data Field Size)

TBDS[2:0]	説明
000	データサイズが 8 バイト設定。
001	データサイズが 12 バイト設定。
010	データサイズが 16 バイト設定。
011	データサイズが 20 バイト設定。
100	データサイズが 24 バイト設定。
101	データサイズが 32 バイト設定。
110	データサイズが 48 バイト設定。
111	データサイズが 64 バイト設定。

5.36 送信要求ステータスレジスタ(TXBRP)

本レジスタは、それぞれの送信バッファの送信要求ステータスを表示します。

bit	31	30	29	28	27	26	25	24
Field	TRP31	TRP30	TRP29	TRP28	TRP27	TRP26	TRP25	TRP24
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	TRP23	TRP22	TRP21	TRP20	TRP19	TRP18	TRP17	TRP16
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	TRP15	TRP14	TRP13	TRP12	TRP11	TRP10	TRP9	TRP8
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TRP7	TRP6	TRP5	TRP4	TRP3	TRP2	TRP1	TRP0
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

[bit31:0] TRP[31:0]: 送信要求ステータスビット (Transmission Request Pending)

本ビットは、各送信バッファの送信要求ステータスを表示します。送信要求レジスタ(TXBAR)により、本ビットが 1 にセットされます。送信完了または、送信要求キャンセルレジスタ(TXBCR)により送信キャンセルをした場合に、本ビットが 0 にクリアされます。

本ビットは、送信 FIFO/Queue 送信バッファ数設定ビット(TXBC.TFQS[5:0])と特定 ID メッセージ送信バッファ数設定ビット(TXBC.NDTB[5:0])により、設定されている数だけ"1"にセットされます。本ビットへ 1 にセットされた後に、送信スキャン("3.5.送信処理"参照)が開始されます。送信スキャンで、各送信要求中での、最優先のメッセージ(メッセージ ID 値が最小のメッセージ)を探します。

bit	説明
0	送信要求状態でないことを示します。
1	送信要求状態であることを示します。

<注意事項>

- *送信スキャン実行中に"1"にセットされた TXBRP.TRPn 要求(n は送信要求をした送信バッファ番号を表す)は、そのスキャンの対象になりません。送信スキャン中に送信要求した送信バッファへの送信要求キャンセルは即時に実施され、対応する TXBRP.TRPn は 0 にクリアされます。*
  (n : 0～31 を示します。)

5.37 送信要求レジスタ(TXBAR)

本レジスタで、それぞれの送信バッファへ送信要求します。

bit	31	30	29	28	27	26	25	24
Field	AR31	AR30	AR29	AR28	AR27	AR26	AR25	AR24
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	AR23	AR22	AR21	AR20	AR19	AR18	AR17	AR16
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	AR15	AR14	AR13	AR12	AR11	AR10	AR9	AR8
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

[bit31:0] AR[31:0]: 送信要求ビット (Add Request)

本ビットで、各送信バッファへ送信要求します。本ビットへ 1 を書き込むことで、各バッファ番号の送信バッファへ送信要求できます。本ビットへ 0 を書き込んでも影響ありません。一度の書込みアクセスで複数の送信バッファへ同時に送信要求をすることができます。

本ビットは、送信 FIFO/Queue 送信バッファ数設定ビット(TXBC.TFQS[5:0])と特定 ID メッセージ送信バッファ数設定ビット(TXBC.NDTB[5:0])により、設定されている送信バッファだけ 1 に設定できます。

送信スキャンが実行中でなければ、本レジスタのすべてのビットは即時に 0 にクリアされます。それ以外であれば、送信スキャンが完了するまでそれぞれ 1 を保持しています。

bit	説明
0	送信要求しません。
1	送信要求します。

<注意事項>

- *送信要求ステータスレジスタ(TXBRP)で 1 がセットされている送信バッファへ、本ビットを使用して送信要求を設定しても、その送信要求は無視されます。*

5.38 送信要求キャンセルレジスタ(TXBCR)

本レジスタで、それぞれの送信バッファの送信要求をキャンセルします。

bit	31	30	29	28	27	26	25	24
Field	CR31	CR30	CR29	CR28	CR27	CR26	CR25	CR24
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	CR23	CR22	CR21	CR20	CR19	CR18	CR17	CR16
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

[bit31:0] CR[31:0]: 送信要求キャンセルビット (Cancellation Request)

本ビットで、各送信バッファの送信要求をキャンセルできます。本ビットへ 1 を書き込むことで、各バッファ番号の送信バッファへ送信要求をキャンセルできます。本ビットへ 0 を書き込んでも影響ありません。一度の書込みアクセスで複数の送信バッファへ同時に送信要求キャンセルすることができます。

本ビットは、送信 FIFO/Queue 送信バッファ数設定ビット(TXBC.TFQS[5:0])と特定 ID メッセージ送信バッファ数設定ビット(TXBC.NDTB[5:0])により、設定されている送信バッファだけ 1 に設定できます。本ビットは、対応する送信要求ステータスレジスタ(TXBRP)の送信要求ステータスビットが 0 にクリアされるまで、1 が保持されます。

bit	説明
0	送信要求キャンセル待ち状態でないことを示します。
1	送信要求キャンセルを指示し待ち状態であることを示します。

5.39 送信完了レジスタ(TXBTO)

本レジスタは、それぞれの送信バッファが送信完了したかどうかを表示します。

bit	31	30	29	28	27	26	25	24
Field	TO31	TO30	TO29	TO28	TO27	TO26	TO25	TO24
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	TO23	TO22	TO21	TO20	TO19	TO18	TO17	TO16
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	TO15	TO14	TO13	TO12	TO11	TO10	TO9	TO8
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TO7	TO6	TO5	TO4	TO3	TO2	TO1	TO0
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

[bit31:0] TO[31:0]: 送信完了ビット (Transmission Occurred)

本ビットは、各送信バッファの送信完了ステータスを表示します。

本ビットは、送信要求ステータスレジスタ(TXBRP)で表示されている送信要求が正常に送信完了した場合に、1 がセットされます。

本ビットは、送信要求レジスタ(TXBAR)の対応する送信バッファ番号への 1 の書込みで 0 にクリアされます。

bit	説明
0	送信完了していないことを示します
1	送信完了したことを示します。

5.40 送信要求キャンセル完了レジスタ(TXBCF)

本レジスタは、それぞれの送信バッファが送信要求キャンセルされたかどうかを表示します。

bit	31	30	29	28	27	26	25	24
Field	CF31	CF30	CF29	CF28	CF27	CF26	CF25	CF24
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	CF23	CF22	CF21	CF20	CF19	CF18	CF17	CF16
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	CF15	CF14	CF13	CF12	CF11	CF10	CF9	CF8
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CF7	CF6	CF5	CF4	CF3	CF2	CF1	CF0
Attribute	R	R	R	R	R	R	R	R
Initial value	0	0	0	0	0	0	0	0

[bit31:0] CF[31:0]: 送信要求キャンセル完了ビット (Cancellation Finished)

本ビットは、各送信バッファの送信要求キャンセル完了ステータスを表示します。

本ビットは、送信要求ステータスレジスタ(TXBRP)で表示されている送信要求が、送信要求キャンセルレジスタ(TXBCR)により、キャンセルが完了した(TXBRP が 0 にクリアされた)場合に、1 がセットされます。

TXBRP で 1 がセットされていないにもかかわらず送信要求キャンセルを実行した場合、即時に本ビットは 1 がセットされます。また、自動再送禁止モード(CCCR.DAR=1)では、本ビットは、送信が正常に完了しない場合にも 1 がセットされます。

本ビットは、送信要求レジスタ(TXBAR)の対応する送信バッファ番号への 1 の書込みで 0 にクリアされます。

bit	説明
0	送信要求キャンセル完了していないことを示します。
1	送信要求キャンセル完了したことを示します。

5.41 送信完了割込み許可レジスタ(TXBTIE)

送信完了割込みフラグ(IR.TC)に送信バッファのバッファ番号を割り付けることができます。本レジスタで 1 設定した、バッファ番号の送信バッファが、送信完了した場合に、IR.TC に 1 がセットされます。

bit	31	30	29	28	27	26	25	24
Field	TIE31	TIE30	TIE29	TIE28	TIE27	TIE26	TIE25	TIE24
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	TIE23	TIE22	TIE21	TIE20	TIE19	TIE18	TIE17	TIE16
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	TIE15	TIE14	TIE13	TIE12	TIE11	TIE10	TIE9	TIE8
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TIE7	TIE6	TIE5	TIE4	TIE3	TIE2	TIE1	TIE0
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

[bit31:0] TIE[31:0]: 送信割込み許可ビット (Transmission Interrupt Enable)

本ビットで、それぞれの送信バッファの送信割込みを許可できます。

bit	説明
0	送信割込み禁止設定。
1	送信割込み許可設定。

5.42 送信要求キャンセル完了割込み許可レジスタ(TXBCIE)

送信要求キャンセル完了割込みフラグ(IR.TCF)に送信バッファのバッファ番号を割り付けます。本レジスタで 1 設定した、バッファ番号の送信バッファが、送信キャンセル完了した場合に、IR.TCF に 1 がセットされます。

bit	31	30	29	28	27	26	25	24
Field	CFIE31	CFIE30	CFIE29	CFIE28	CFIE27	CFIE26	CFIE25	CFIE24
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	CFIE23	CFIE22	CFIE21	CFIE20	CFIE19	CFIE18	CFIE17	CFIE16
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	CFIE15	CFIE14	CFIE13	CFIE12	CFIE11	CFIE10	CFIE9	CFIE8
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CFIE7	CFIE6	CFIE5	CFIE4	CFIE3	CFIE2	CFIE1	CFIE0
Attribute	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial value	0	0	0	0	0	0	0	0

[bit31:0] CFIE[31:0]: キャンセル完了割込み許可ビット (Cancellation Finished Interrupt Enable)

本ビットで、それぞれの送信バッファのキャンセル完了割込みを許可できます。

bit	説明
0	キャンセル完了割込み禁止設定。
1	キャンセル完了割込み許可設定。

5.43 送信イベント FIFO 設定レジスタ(TXEFC)

本レジスタにより、送信イベント FIFO を設定します。
本レジスタは設定変更許可ビット(CCCR.CCE)と初期化ビット(CCCR.INIT)へ 1 設定されているときに設定できます。

bit	31	30	29	28	27	26	25	24
Field	Reserved		EFWM[5:0]					
Attribute	-		R/W					
Initial value	00		000000					

bit	23	22	21	20	19	18	17	16
Field	Reserved		EFS[5:0]					
Attribute	-		R/W					
Initial value	00		000000					

bit	15	14	13	12	11	10	9	8
Field	EFSA[15:8]							
Attribute	R/W							
Initial value	00000000							

bit	7	6	5	4	3	2	1	0
Field	EFSA[7:2]						Reserved	
Attribute	R/W						-	
Initial value	000000						00	

[bit31:30] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit29:24] EFWM[5:0]: 送信イベント FIFO しきい値設定ビット (Event FIFO Watermark)

EFWM[5:0]	説明
0	しきい値割込み動作禁止。
1-32	送信イベント FIFO しきい値割込みフラグ(IR.TEFW)がセットされるしきい値を設定。
>32	しきい値割込み動作禁止。

[bit23:22] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit21:16] EFS[5:0]: 送信イベント FIFO エレメント数設定ビット (Event FIFO Size)

送信イベント FIFO エレメントは 0 から EFS[5:0] - 1 まで順番に番号付けされます。

EFS[5:0]	説明
0	送信イベント FIFO は使用禁止。
1-32	送信イベント FIFO エレメント数を設定。
>32	32 を設定した場合と同様です。

[bit15:2] EFSA[15:2]: 送信イベント FIFO 開始アドレス (Event FIFO Start Address)

メッセージ RAM の送信イベント FIFO の開始アドレスを設定してください。(32 ビットワードのアドレス。詳細については Figure 6-1 参照。)

[bit1:0] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

5.44 送信イベント FIFO ステータスレジスタ(TXEFS)

本レジスタは送信イベント FIFO のステータスを表示します。

bit	31	30	29	28	27	26	25	24
Field	Reserved						TEFL	EFF
Attribute	-						R	R
Initial value	XXXXXX						0	0

bit	23	22	21	20	19	18	17	16
Field	Reserved			EFPI[4:0]				
Attribute	-			R				
Initial value	XXX			00000				

bit	15	14	13	12	11	10	9	8
Field	Reserved			EFGI[4:0]				
Attribute	-			R				
Initial value	XXX			00000				

bit	7	6	5	4	3	2	1	0
Field	Reserved		EFFL[5:0]					
Attribute	-		R					
Initial value	XX		000000					

[bit31:26] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit25] TEFL: 送信イベント FIFO エレメントロスト (Tx Event FIFO Element Lost)

本ビットは、送信イベント FIFO エレメントロスト割込みフラグ(IR.TEFL)を表示します。
IR.TEFL が 0 にクリアされた場合、本ビットも 0 にクリアされます。

bit	説明
0	送信イベント FIFO で、エレメントがロストしていないことを示します。
1	送信イベント FIFO で、エレメントがロストしたことを示します。 または、送信イベント FIFO のサイズが 0 設定で、送信ハンドラが、送信イベント FIFO へエレメント書込みの実行を試みたことを示します。

[bit24] EFF: 送信イベント FIFO フル (Event FIFO Full)

bit	説明
0	送信イベント FIFO はフルでないことを示します。
1	送信イベント FIFO はフルを検出したことを示します。

[bit23:21] Reserved: 予約ビット
・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit20:16] EFPI[4:0]: 送信イベント FIFO 書込みポインタ (Event FIFO Put Index)

EFPI[4:0]	説明
0-31	送信イベント FIFO の書込みポインタを示します。有効範囲は 0～31 です。

[bit15:13] Reserved: 予約ビット
・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit12:8] EFGI[4:0]: 送信イベント FIFO 読出しポインタ (Event FIFO Get Index)

EFGI[4:0]	説明
0-31	送信イベント FIFO の読出しポインタを示します。有効範囲は 0～31 です。

[bit7:6] Reserved: 予約ビット
・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

[bit5:0] EFFL[5:0]: 送信イベント FIFO メッセージ数 (Event FIFO Fill Level)

EFFL[5:0]	説明
0-32	送信イベント FIFO に格納されている送信イベント FIFO エレメント数を示します。有効範囲は 0～32 です。

5.45 送信イベント FIFO Ack レジスタ(TXEFA)

本レジスタは、CPU から CAN FD コントローラへ送信イベント FIFO の Ack を返すのに使用されます。本節での Ack は、CPU が CAN FD コントローラへ送信イベント FIFO を読み出したことを通知することを指します。Ack を返すことにより、送信イベント FIFO でエレメントが格納されていた領域がリリースされます。詳細は 3.6. FIFO Ack 処理を参照してください。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	15	14	13	12	11	10	9	8
Field	Reserved							
Attribute	-							
Initial value	0x00							

bit	7	6	5	4	3	2	1	0
Field	Reserved			EFAI[4:0]				
Attribute	-			R/W				
Initial value	000			00000				

[bit31:5] Reserved: 予約ビット

・読出し時、0 が読み出されます。
・書込み時、0 を書いてください。

[bit4:0] EFAI[4:0]: 送信 FIFO Ack ポインタ (Event FIFO Acknowledge Index)

送信イベント FIFO から送信イベント FIFO エレメントを 1 つ以上読み出した後、本ビットへ送信イベント FIFO から最後に読み出したバッファ番号を書き込んでください。本ビットへの書込みにより、送信イベント FIFO 読出しポインタ (TXEFS.EFGI[4:0])が EFAI[4:0] + 1 にセットされます。さらに、送信イベント FIFO メッセージ数(TXEFS. EFFL[5:0])も更新されます。

6. メッセージ RAM

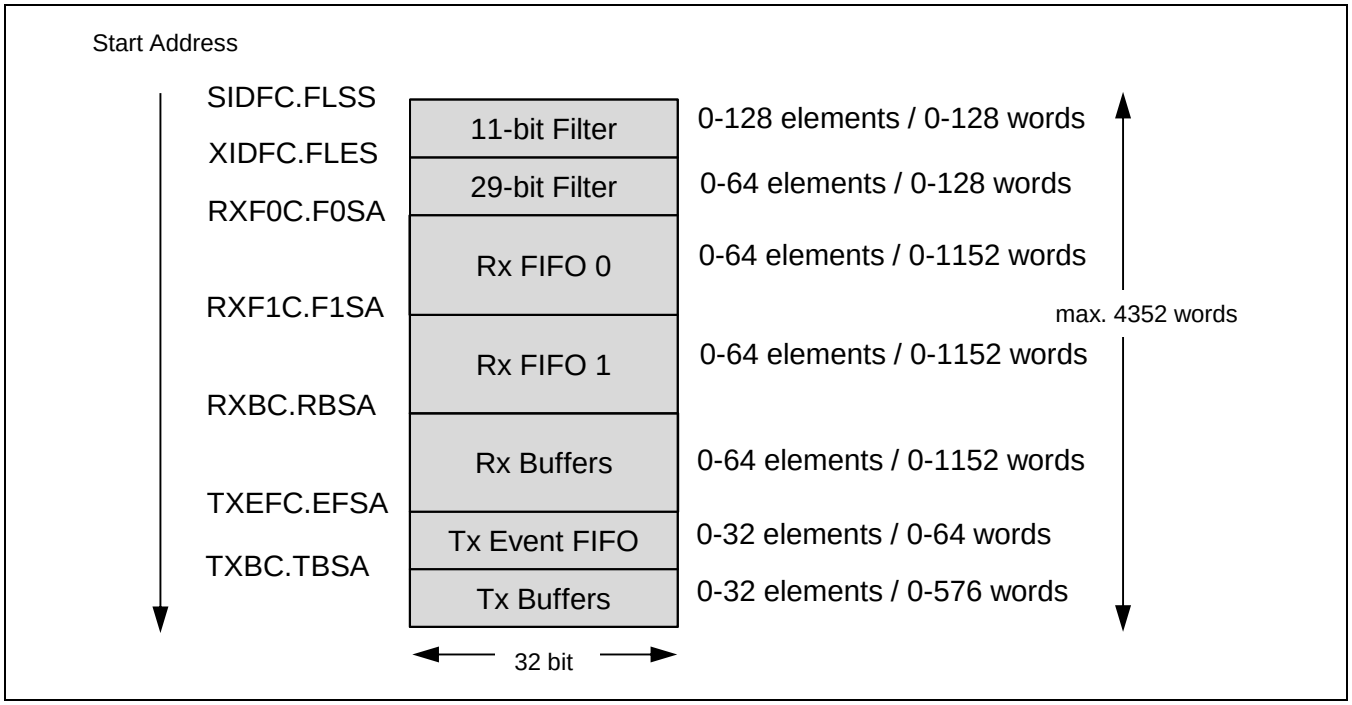
メッセージ RAM には送受信メッセージと受容フィルタの設定が格納されます。

6.1. メッセージ RAM 設定
6.2. 受信バッファエレメント
6.3. 送信バッファエレメント
6.4. 送信イベント FIFO エレメント
6.5. 11 ビット ID フィルタエレメント
6.6. 29 ビット ID フィルタエレメント

6.1 メッセージ RAM 設定

メッセージ RAM は 32 ビット幅です。CAN FD コントローラはメッセージ RAM に 4352 ワードまで割り当てることができます。実際に使用できるワード数はメッセージ RAM のサイズに依存します。使用できるワード数、アドレスは『A.レジスタマップの CAN FD』を参照してください。
Figure 6-1 に、各セクションの配置例を示します。すべてのセクションを配置する必要はなく、また配置順についての制約はありません。

Figure 6-1 Message RAM Configuration



CAN FD コントローラは、バイト単位ではなく、32 ビットワード単位でメッセージ RAM へアドレスが割り付けらています。そのため、各セクションの開始アドレスを 32 ビットワードアドレスで設定してください。32 ビットワードアドレスのため、開始アドレスのうち[15:2]のみが使用され、[1:0]ビットの設定は無視されます。

<注意事項>

- *CAN FD コントローラはメッセージ RAM の誤設定をチェックしません。特に各セクションの開始アドレス設定と、各セクションでのエレメント数を考慮した設定をしてください。正しくない設定をした場合、各エレメントで上書き、データ消失が発生します。*
- *CPU によるメッセージ RAM へのアクセスは、2～4 バスクロックサイクル(canfd_bclk)かかります。*

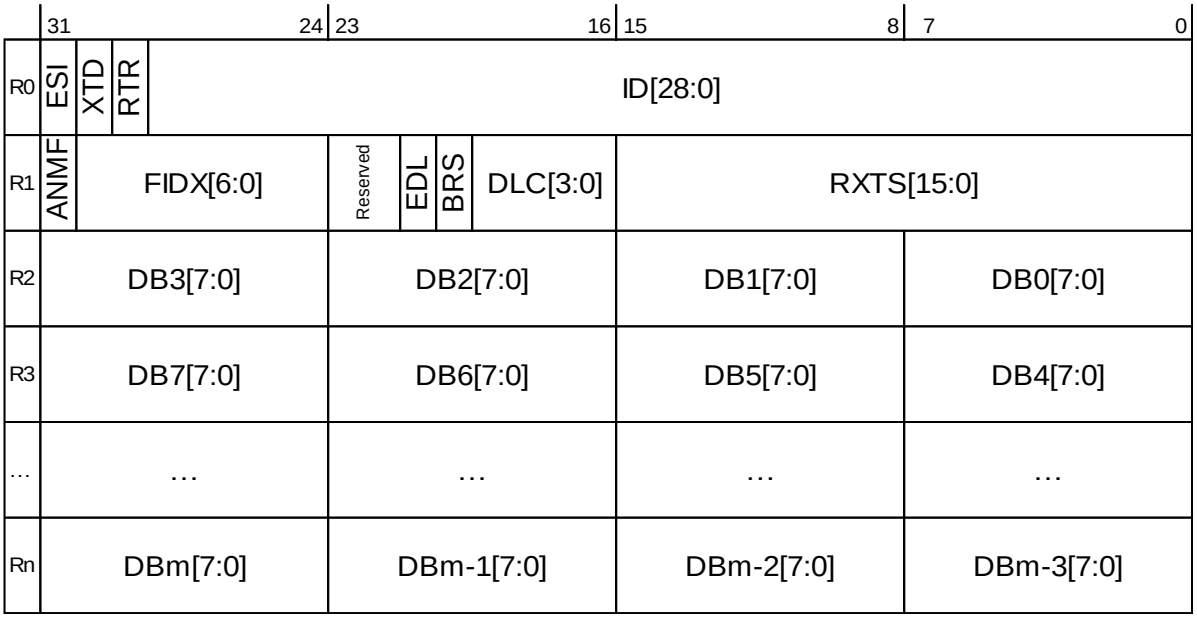
メッセージ RAM に格納されるエレメント一覧

エレメント名	参照先
受信バッファエレメント (Rx Buffer and FIFO Element)	6.2
送信バッファエレメント (Tx Buffer Element)	6.3
送信イベント FIFO エレメント (Tx Event FIFO Element)	6.4
11 ビット ID フィルタエレメント (Standard Message ID Filter Element)	6.5
29 ビット ID フィルタエレメント (Extended Message ID Filter Element)	6.6

6.2 受信バッファエレメント

受信バッファエレメントは、32 ビットワードで構成され、受信メッセージのデータとステータスが格納されます。

メッセージ RAM には、64 の特定 ID 受信バッファと 2 つの受信 FIFO が構成できます。2 つの受信 FIFO は、それぞれ最大 64 個の受信メッセージを格納できます。各受信バッファエレメントのサイズは受信バッファデータサイズ設定レジスタ (RXESC)により最大 64 バイトまで設定できます。



R0 [bit31] ESI: ESI ビット

bit	説明
0	送信ノードがエラーアクティブであることを示します。
1	送信ノードがエラーパッシブであることを示します。

R0 [bit30] XTD: XTD ビット

受信したメッセージが 11 ビット ID か 29 ビット ID かを、本ビットで示します。

bit	説明
0	11 ビット ID を示します。
1	29 ビット ID を示します。

R0 [bit29] RTR: RTR ビット

受信したメッセージがデータフレームかリモートフレームかを、本ビットで示します。

bit	説明
0	受信したフレームがデータフレームであることを示します。
1	受信したフレームがリモートフレームであることを示します。

<注意事項>

- *CAN FD フォーマットでは、リモートフレームは定義されていません。CAN FD フレーム(EDL="1")を受信した場合、RTR ビットに当たる場所は予約ビット(r1)が読み出せます。*

R0 [bit28:0] ID[28:0]: ID

本ビットは、ID を示します。11 ビット ID か 29 ビット ID を示すかは XTD ビットを確認してください。
11 ビット ID が本ビットに格納される場合、ID[28:18]に格納されます。

R1 [bit31] ANMF: グローバルフィルタマッチビット

本ビットは、11 ビット ID フレームグローバルフィルタ設定ビット(GFC.ANFS[1:0])や 29 ビット ID フレームグローバルフィルタ設定ビット(GFC.ANFE[1:0])の設定によるメッセージ格納で 1 セットされます。

bit	説明
0	受信したメッセージは、FIDX[6:0]に示すフィルタエレメント番号に一致したことを示します。
1	受信したメッセージは、受容フィルタに一致がないことを示します。

R1 [bit30:24] FIDX[6:0]: フィルタ番号

FIDX[6:0]	説明
0-127	受容フィルタで一致したフィルタエレメントの番号を示します。(グローバルフィルタマッチビット(ANMF)が 1 セットされている場合は無効です。) 有効範囲は 0～11 ビットフィルタエレメント数/29 ビットフィルタエレメント数 -1 です。 (有効範囲をレジスタで表示した場合、0～SIDFC.LSS[7:0] - 1 / XIDFC.LSE[6:0] - 1 です。)

R1 [bit23:22] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

R1 [bit21] EDL: EDL ビット

bit	説明
0	CAN フォーマットを示します。
1	CAN FD フォーマットを示します。

R1 [bit20] BRS: BRS ビット

bit	説明
0	ビットレート切り換え無しで受信したことを示します。
1	ビットレート切り換えを使用して受信したことを示します。

R1 [bit19:16] DLC[3:0]: DLC

DLC[3:0]	説明
0-8	CAN + CAN FD: 受信メッセージのデータバイト数(0～8)を示します。
9-15	CAN: 受信メッセージのデータバイト数が 8 バイトであることを示します CAN FD: 受信メッセージのデータバイト数が 12/16/20/24/32/48/64 バイトであることを示します。DLC コードは Table 3-1 参照。

R1 [bit15:0] RXTS[15:0]: 受信タイムスタンプ

メッセージ受信開始時に、タイムスタンプカウンタ値をキャプチャします。タイムスタンプカウンタ値はタイムスタンプカウンタプリスケーラ値(TSCC.TCP[3:0])の設定にしたがいカウントされます。

R2 [bit31:24]	DB3[7:0] :	Data Byte3
R2 [bit23:16]	DB2[7:0] :	Data Byte2
R2 [bit15:8]	DB1[7:0] :	Data Byte1
R2 [bit7:0]	DB0[7:0] :	Data Byte0
R3 [bit31:24]	DB7[7:0] :	Data Byte7
R3 [bit23:16]	DB6[7:0] :	Data Byte6
R3 [bit15:8]	DB5[7:0] :	Data Byte5
R3 [bit7:0]	DB4[7:0] :	Data Byte4
:	:	:
Rn [bit31:24]	DBm[7:0] :	Data Byte m
Rn [bit23:16]	DBm-1[7:0] :	Data Byte m-1
Rn [bit15:8]	DBm-2[7:0] :	Data Byte m-2
Rn [bit7:0]	DBm-3[7:0] :	Data Byte m-3

＜注意事項＞

- *Rn (n = 3～17)は受信バッファデータサイズ設定レジスタ(RXESC)設定により変更されます。*
- *m = (n - 1) × 4 - 1*
- *有効なデータバイト数はDLC[3:0]で表示されます。*

6.3 送信バッファエレメント

送信バッファエレメントは、32 ビットワードで構成され、CAN FD コントローラが送信するメッセージの送信データと送信フレーム情報を格納します。
送信バッファのセクションにおける特定 ID 送信バッファと送信 FIFO/Queue はともに送信バッファエレメントのフォーマットです。特定 ID 送信バッファと送信 FIFO または送信 Queue を混載している場合、送信バッファのセクションの先頭は特定 ID 送信メッセージが配置され、その後に送信 FIFO または送信 Queue が配置されます。送信ハンドラは送信バッファ設定レジスタの TXBC.TFQS[5:0]と TXBC.NDTB[5:0]の設定により、特定 ID 送信バッファと送信 FIFO/Queue を識別します。
各送信バッファエレメントのサイズは送信バッファデータサイズ設定レジスタ(TXESC)により最大 64 バイトまで設定できます。

	31 24	23 16	15 8	7 0
T0	Reserved / XTD / RTR	ID[28:0]		
T1	MM[7:0]	EFC / Reserved / DLC[3:0]	Reserved	
T2	DB3[7:0]	DB2[7:0]	DB1[7:0]	DB0[7:0]
T3	DB7[7:0]	DB6[7:0]	DB5[7:0]	DB4[7:0]
…	…	…	…	…
Tn	DBm[7:0]	DBm-1[7:0]	DBm-2[7:0]	DBm-3[7:0]

T0 [bit31] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

T0 [bit30] XTD: XTD ビット

bit	説明
0	11 ビット ID 設定。
1	29 ビット ID 設定。

T0 [bit29] RTR: RTR ビット

bit	説明
0	データフレーム設定。
1	リモートフレーム設定。

<注意事項>

- *CAN モード許可ビット(CCCR.CME[1:0]) で CAN FD モードが許可されている状態に依らず、RTR ビットへ 1 設定した場合、CAN FD コントローラは ISO11898-1 にしたがいリモートフレームを送信します。*

T0 [bit28:0] ID[28:0]: ID ビット

送信 ID を設定してください。11 ビット ID を設定する場合は ID[28:18]へ設定してください。
11 ビット ID か 29 ビット ID を示すかは、XTD ビット設定により、選択されます。

T1 [bit31:24] MM[7:0]: メッセージマーカ

送信メッセージを識別するため、本ビットへ設定した値が送信完了時に送信イベント FIFO エレメントへコピーされます。

T1 [bit23] EFC: 送信イベント FIFO 制御ビット

bit	説明
0	送信イベント FIFO エレメントを格納しない。
1	送信イベント FIFO エレメントを格納。

T1 [bit22:20] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

T1 [bit19:16] DLC[3:0]: DLC

DLC[3:0]	説明
0-8	CAN + CAN FD: 送信メッセージのデータバイト数設定。
9-15	CAN: 送信メッセージのデータバイト数が 8 バイト設定。 CAN FD: 送信メッセージのデータバイト数 12/16/20/24/32/48/64 バイト設定。 DLC コードは Table 3-1 参照。

T1 [bit15:0] Reserved: 予約ビット

・読出し時、不定値が読み出されます。

・書込み時、0 を書いてください。

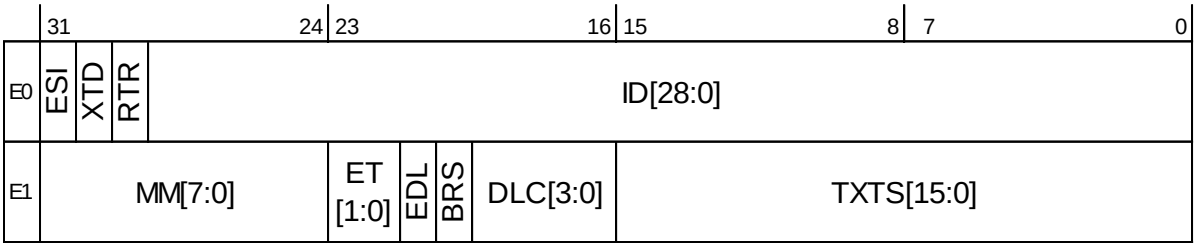
T2[bit31:24]	DB3[7:0] :	Data Byte3
T2 [bit23:16]	DB2[7:0] :	Data Byte2
T2 [bit15:8]	DB1[7:0] :	Data Byte1
T2 [bit7:0]	DB0[7:0] :	Data Byte0
T3 [bit31:24]	DB7[7:0] :	Data Byte7
T3 [bit23:16]	DB6[7:0] :	Data Byte6
T3 [bit15:8]	DB5[7:0] :	Data Byte5
T3 [bit7:0]	DB4[7:0] :	Data Byte4
:	:	:
Tn [bit31:24]	DBm[7:0] :	Data Byte m
Tn [bit23:16]	DBm-1[7:0] :	Data Byte m-1
Tn [bit15:8]	DBm-2[7:0] :	Data Byte m-2
Tn [bit7:0]	DBm-3[7:0] :	Data Byte m-3

＜注意事項＞

- *Tn (n = 3～17)は送信バッファデータサイズ設定レジスタ(TXESC)設定により変更されます。*
- *m = (n - 1) × 4 - 1*

6.4 送信イベント FIFO エレメント

送信イベント FIFO エレメントは、送信したメッセージについての情報が格納されます。送信イベント FIFO を読み出すことにより、送信されたメッセージについての情報を送信順に得られます。送信イベント FIFO のステータスは、送信イベント FIFO ステータスレジスタ(TXEFS)から取得できます。



E0 [bit31] ESI: ESI ビット

bit	説明
0	送信ノードがエラーアクティブであることを示します。
1	送信ノードがエラーパッシブであることを示します。

E0 [bit30] XTD: XTD ビット

bit	説明
0	11 ビット ID を示します。
1	29 ビット ID を示します。

E0 [bit29] RTR: RTR ビット

bit	説明
0	データフレームを送信したことを示します。
1	リモートフレームを送信したことを示します。

■ E0 [bit28:0] ID[28:0]: ID

本ビットは、送信した ID を示します。11 ビット ID か 29 ビット ID を示すかは XTD ビットを確認してください。
11 ビット ID が本ビットに格納される場合、ID[28:18]に格納されます。

E1 [bit31:24] MM[7:0]: メッセージマーカ

本ビットへ、送信バッファエレメントのメッセージマーカ(MM[7:0])がコピーされます。

E1 [bit23:22] ET[1:0]: 送信イベントタイプ

ET[1:0]	説明
00	予約値。
01	有効な送信 FIFO イベントであることを示します。
10	キャンセルにかかわらず送信が成功したことを示します。
11	予約値。

E1 [bit21] EDL: EDL ビット

bit	説明
0	CAN フォーマットを示します。
1	CAN FD フォーマットを示します。

E1 [bit20] BRS: BRS ビット

bit	説明
0	ビットレート切り換え無しで送信したことを示します。
1	ビットレート切り換えを使用して送信したことを示します。

E1 [bit19:16] DLC[3:0]: DLC

DLC[3:0]	説明
0-8	CAN + CAN FD:送信したメッセージのデータバイト数(0～8)を示します。
9-15	CAN: 送信したメッセージのデータバイト数が 8 バイトであることを示します CAN FD: 送信したメッセージのデータバイト数が 12/16/20/24/32/48/64 バイトであることを示します。DLC コードは Table 3-1 参照。

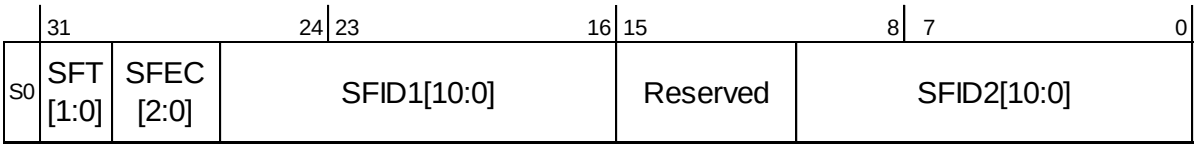
E1 [bit15:0] TXTS[15:0]: 送信タイムスタンプ

メッセージ送信開始した際のタイムスタンプカウンタ値をキャプチャします。タイムスタンプカウンタ値はタイムスタンプカウンタプリスケーラ値(TSCC.TCP[3:0])の設定にしたがいカウントされます。

6.5 11 ビット ID フィルタエレメント

11 ビット ID フィルタエレメントは 1 つの 32 ビットワードで構成されます。レンジフィルタ、デュアルフィルタ、ビットマスク付フィルタと特定 ID 受信メッセージ用のフィルタの 4 種類が設定できます。
11 ビット ID フィルタエレメントは最大で 128 設定ができます。11 ビット ID フィルタエレメントへアクセスするアドレスは以下のように計算できます。

11 ビットフィルタリスト開始アドレス(SIDFC.FLSSA[15:2])＋フィルタエレメント番号(index：0～127)



S0 [bit31:30] SFT[1:0]: 11 ビットフィルタタイプ設定ビット

SFT[1:0]	説明
00	レンジフィルタ設定。 11 ビット ID1 設定ビット(SFID1[10:0])から 11 ビット ID2 設定ビット(SFID2[10:0])までの ID を受信します。(SFID2[10:0] ≧ 受信メッセージ ID ≧ SFID1[10:0])。
01	デュアルフィルタ設定。 SFID1[10:0]と SFID2[10:0]の ID を受信します。
10	ビットマスク付フィルタ(クラシックフィルタ)設定。 SFID1[10:0] = フィルタ, SFID2[10:0] =マスクとして使用されます。 受信 ID のビットのうち、SFID2[10:0]で 1 設定した箇所が、SFID1[10:0]と比較されます。
11	予約設定。

＜注意事項＞

- *SFT[1:0] = 11 は予約設定のため設定禁止です。もし、SFT[1:0] = 11 設定した場合、フィルタエレメントは無効に設定されますが、フィルタエレメントを無効にする場合は SFEC[2:0] = 000 設定してください。*

S0 [bit29:27] SFEC[2:0]: 11 ビットフィルタ処理設定ビット

設定が有効なすべてのフィルタエレメントは、11 ビット ID メッセージの受容フィルタとして使用されます。フィルタ処理では、フィルタエレメントを順に読み出し、一致した場合に処理を停止し、一致するものがなければ、フィルタエレメントすべてを読み出すと処理を停止します。

SFEC[2:0]=100/101/110 設定の場合、フィルタエレメントと一致で高優先メッセージ受信割込みフラグ(IR.HPM)が"1"にセットされます。さらに、割込み許可設定していると、割込みが発生します。この場合、高優先メッセージステータスレジスタ(HPMS)は、一致したフィルタエレメントの情報を基に更新されます。

SFEC[2:0]	説明
000	フィルタエレメント無効設定。
001	フィルタエレメント一致時に、受信 FIFO 0 に受信メッセージを格納設定。
010	フィルタエレメント一致時に、受信 FIFO 1 に受信メッセージを格納設定。
011	フィルタエレメント一致時に、受信メッセージを破棄設定。
100	フィルタエレメント一致時に、高優先受信のステータスのみをセットさせる設定。
101	フィルタエレメント一致時に、高優先受信のステータスをセットし、受信 FIFO 0 に受信メッセージを格納設定。
110	フィルタエレメント一致時に、高優先受信のステータスをセットし、受信 FIFO 1 に受信メッセージを格納設定。
111	フィルタエレメント一致時に、特定 ID 受信バッファに受信メッセージを格納設定。 または、デバッグメッセージとして格納設定。本設定時は、SFT[1:0]設定は無効になります。

S0 [bit26:16] SFID1[10:0]: 11 ビット ID1 設定ビット

本ビットは、11 ビットフィルタ処理設定ビット(SFEC[2:0])の設定により、異なる意味を持ちます。
以下に各設定での SFID1[10:0]の動作を示します。

- SFEC[2:0] = 001～110
  SFT[1:0]の設定にしたがい SFID1[10:0]を設定します。
- SFEC[2:0] = 111
  特定 ID 受信バッファまたは、デバッグメッセージとして格納する ID を SFID1[10:0]に設定します。

S0 [bit15:11] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

S0 [bit10:0] SFID2[10:0]: 11 ビット ID2 設定ビット

本ビットは、11 ビットフィルタ処理設定ビット(SFEC[2:0])の設定により、異なる意味を持ちます。
以下に各設定での SFID2[10:0]の動作を示します。

- SFEC[2:0] = 001～110
  SFT[1:0]の設定にしたがい SFID2[10:0]を設定します。
- SFEC[2:0] = 111
  SFID2[10:0]は特定 ID 受信バッファまたは、デバッグメッセージの識別および特定 ID 受信バッファの格納先を設定します。

SFID2[10:9]では、受信したメッセージを特定 ID 受信バッファへ格納するか、デバッグメッセージ A, B, C として扱うかを設定できます。

SFID2[10:9]	説明
00	特定 ID 受信バッファへ格納設定。
01	デバッグメッセージ A 設定。
10	デバッグメッセージ B 設定。
11	デバッグメッセージ C 設定。

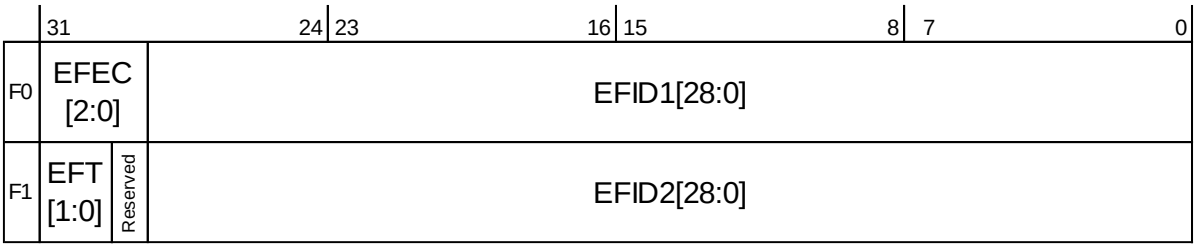
SFID2[8:6]は予約ビットとして扱われます。書込み時、0 を書いてください。読出し時、不定値が読み出されます。

SFID2[5:0]は、特定 ID 受信バッファ開始アドレス(RXBC.RBSA[15:2])からのオフセット(格納するメッセージのバッファ番号)を設定してください。

6.6 29 ビット ID フィルタエレメント

29 ビット ID フィルタエレメントは、2 つの 32 ビットワードで構成されます。レンジフィルタ、デュアルフィルタ、ビットマスク付フィルタと特定 ID 受信メッセージ用のフィルタの 4 種類が設定できます。
29 ビット ID フィルタエレメントは最大で 64 設定できます。29 ビット ID フィルタエレメントへアクセスするアドレスは以下のように計算できます。

29 ビットフィルタリスト開始アドレス(XIDFC.FLESA[15:2]) +2 × フィルタエレメント番号(index : 0 ～ 63)



F0 [bit31:29] EFEC[2:0]: 29 ビットフィルタ処理設定ビット

設定が有効なすべてのフィルタエレメントは、29 ビット ID メッセージの受容フィルタとして使用されます。フィルタ処理では、フィルタエレメントを順に読み出し、一致した場合に処理を停止し、一致するものがなければ、フィルタエレメントすべてを読み出すと処理を停止します。
EFEC[2:0]=100/101/110 設定の場合、フィルタエレメントと一致で高優先メッセージ受信割込みフラグ(IR.HPM)が 1 にセットされます。さらに、割込み許可設定していると、割込みが発生します。この場合、高優先メッセージステータスレジスタ(HPMS)は、一致したフィルタエレメントの情報を基に更新されます。

EFEC[2:0]	説明
000	フィルタエレメント無効設定。
001	フィルタエレメント一致時に、受信 FIFO 0 に受信メッセージを格納設定。
010	フィルタエレメント一致時に、受信 FIFO 1 に受信メッセージを格納設定。
011	フィルタエレメント一致時に、受信メッセージを破棄設定。
100	フィルタエレメント一致時に、高優先受信のステータスのみをセットさせる設定。
101	フィルタエレメント一致時に、高優先受信のステータスをセットし、受信 FIFO 0 に受信メッセージを格納設定。
110	フィルタエレメント一致時に、高優先受信のステータスをセットし、受信 FIFO 1 に受信メッセージを格納設定。
111	フィルタエレメント一致時に、特定 ID 受信バッファに受信メッセージを格納設定。 または、デバッグメッセージとして格納設定。本設定時は、EFT[1:0]設定は無効になります。

F0 [bit28:0] EFID1[28:0]: 29 ビット ID1 設定ビット

本ビットは、29 ビットフィルタ処理設定ビット(EFEC[2:0])の設定により、異なる意味を持ちます。
以下に各設定での EFID1[28:0]の動作を示します。

- EFEC[2:0] = 001～110
  EFT[1:0]の設定にしたがい EFID1[28:0]を設定します。
- EFEC[2:0] = 111
  特定 ID 受信バッファまたは、デバッグメッセージとして格納する ID を EFID1[28:0]に設定します。
  この場合、受信した ID と XIDAM マスク処理("3.4.1.3.拡張フォーマットフレームのフィルタ処理"参照)した値が、EFID1[28:0]と完全に等しい場合、一致したとみなされます。

F1 [bit31:30] EFT[1:0]: 29 ビットフィルタタイプ設定ビット

EFT[1:0]	説明
00	レンジフィルタ設定。 29 ビット ID1 設定ビット(EFID1[28:0])から 29 ビット ID2 設定ビット(EFID2[28:0])までの ID を受信します。(EFID2[28:0] ≧ 受信メッセージ ID と XIDAM の AND ≧ EFID1[28:0])。
01	デュアルフィルタ設定。 受信メッセージ ID と XIDAM の AND が EFID1[28:0]または、EFID2[28:0]に一致した場合、受信します。
10	ビットマスク付フィルタ(クラシックフィルタ)設定。 EFID1[28:0] = フィルタ, EFID2[28:0] = マスクとして使用されます。 受信メッセージ ID と XIDAM の AND のビットのうち、EFID2[28:0]で"1"設定した箇所が、EFID1[28:0]と比較されます。
11	レンジフィルタ設定。 EFID1[28:0]から EFID2[28:0]までの ID を受信します。 (EFID2[28:0] ≧ 受信メッセージ ID ≧ EFID1[28:0])。 本設定では、XIDAM マスク処理は使用されません。

F1 [bit29] Reserved: 予約ビット

・読出し時、不定値が読み出されます。
・書込み時、0 を書いてください。

F1 [bit28:0] EFID2[28:0]: 29 ビット ID2 設定ビット

本ビットは、29 ビットフィルタ処理設定ビット(EFEC[2:0])の設定により、異なる意味を持ちます。

以下に各設定での EFID2[28:0]の動作を示します。

- EFEC[2:0] = 001～110
  EFT[1:0]の設定にしたがい EFID2[28:0]を設定します。
- EFEC[2:0] = 111
  EFID2[28:0]は特定 ID 受信バッファまたは、デバッグメッセージの識別および特定 ID 受信バッファの格納先を設定します。
  EFID2[28:11]は予約ビットとして扱われます。書込み時、"0"を書いてください。読出し時、不定値が読み出されます。
  EFID2[10:9]では、受信したメッセージを特定 ID 受信バッファへ格納するか、デバッグメッセージ A, B, C として扱うかを設定できます。

EFID2[10:9]	説明
00	特定 ID 受信バッファへ格納設定。
01	デバッグメッセージ A 設定。
10	デバッグメッセージ B 設定。
11	デバッグメッセージ C 設定。

EFID2[8:6]は予約ビットとして扱われます。書込み時、"0"を書いてください。読出し時、不定値が読み出されます。
EFID2[5:0]は、特定 ID 受信バッファ開始アドレス(RXBC.RBSA[15:2])からのオフセット(格納するメッセージのバッファ番号)を設定してください。

CHAPTER 5-4: CAN FD メッセージ RAM ECC 機能

CAN FD メッセージ RAM ECC について説明します。

1. 概要
2. 構成
3. 割込み
4. 動作説明
5. 設定手順例
6. レジスタ
7. 使用上の注意事項

本章は CAN FD メッセージ RAM ECC 機能部分のみ記載されています。

CAN FD 機能については、別章の CAN FD コントローラを参照してください。

1. 概要

CAN FD メッセージ RAM は CAN のメッセージオブジェクトを保存します。CAN FD メッセージ RAM の ECC 機能により、メッセージ RAM のデータエラーの検出や訂正ができます。

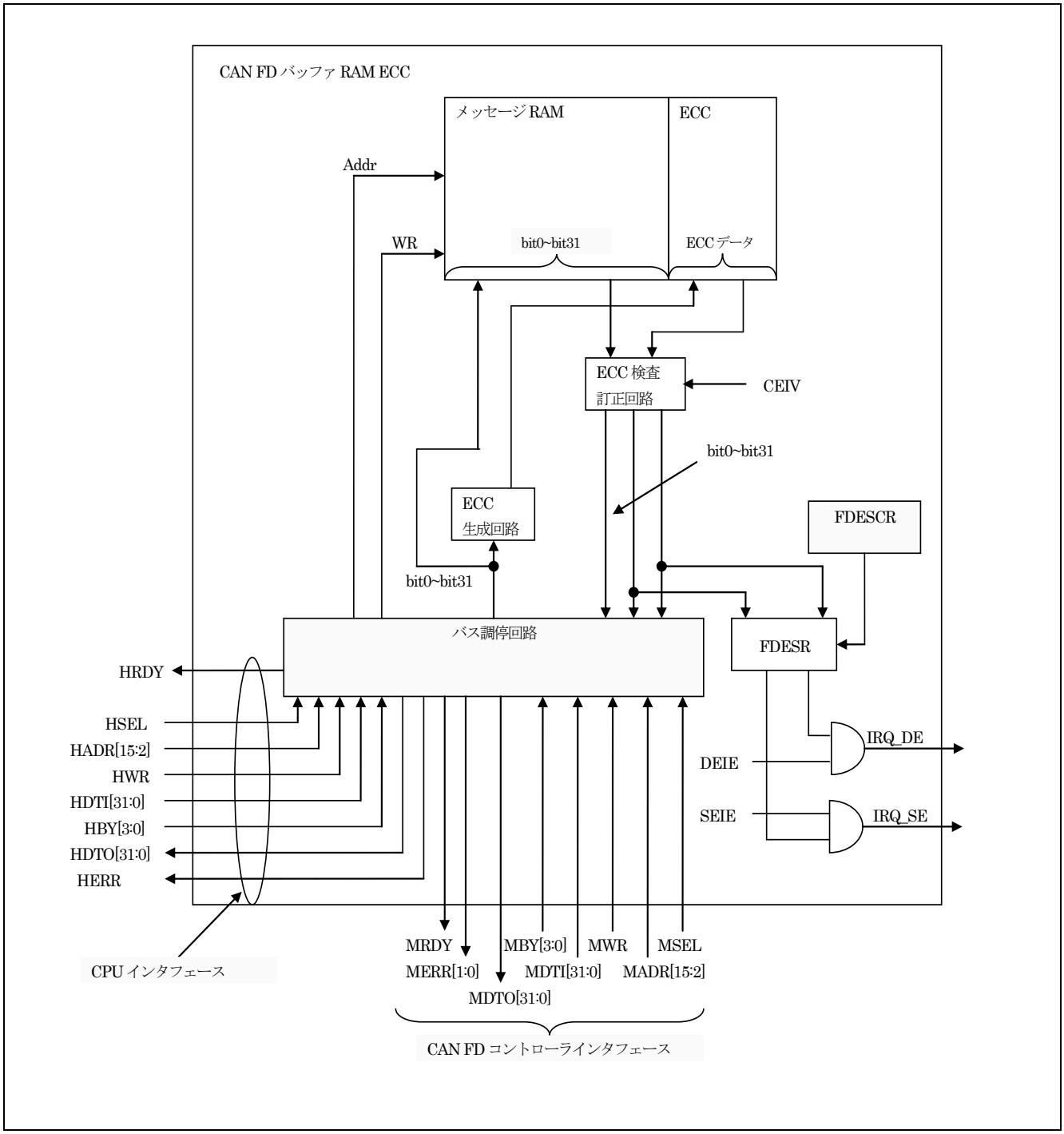
CAN FD メッセージ RAM ECC 機能には以下の特長があります。

- メッセージ RAM 32 ビットに対し、2 ビットエラー検出、1 ビット訂正
- エラー検出により CAN FD コントローラの停止

2. 構成

Figure 2-1 に、CAN FD メッセージ RAM ECC 機能のブロックダイヤグラムを示します。

Figure 2-1 CAN FD メッセージ RAM ECC 機能ブロックダイヤグラム



■ メッセージ RAM

32bit の RAM で構成され、メッセージの送受信情報を保存します。

- ECC
  7bit で構成し、メッセージ RAM の bit31~0 の ECC データを保存します。
- ECC 生成回路
  メッセージ RAM に書き込むデータから、ECC データを生成します。
- ECC 検査訂正回路
  メッセージ RAM のデータと ECC データを組み合わせて検査し、シングルビットエラー検出とそのときのデータ訂正およびダブルビットエラー検出を行います。
- バス調停回路
  CPU と CAN FD コントローラのアクセスを調停してメッセージ RAM へ読出しまたは書込みを行います。
- FDESCR
  CAN FD ECC エラーステータスクリアレジスタ。
- FDESR
  CAN FD ECC エラーステータスレジスタ。

3. 割込み

CAN FD メッセージ RAM ECC 機能の割込みについて説明します。

CAN FD メッセージ RAM ECC 機能の割込み

メッセージ RAM の ECC がサポートしている割込みは以下のとおりです。

Table 3-1 CAN FD メッセージ RAM ECC 機能の割込み制御ビットと割込み要因

割込みの種類	割込要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
ダブルビットエラー割込み	DEI	FDESR	2 ビットのデータエラー	FDECR.DEIE	ダブルビットエラークリアビット(FDESCR.DEIC)への"1"書込み
シングルビットエラー割込み	SEI	FDESR	1 ビットのデータエラー	FDECR.SEIE	シングルビットエラークリアビット(FDESCR.SEIC)への"1"書込み

4. 動作説明

CAN FD メッセージ RAM ECC の動作と機能について説明します。

以下の機能について説明します。

- メッセージ RAM ECC 生成
- メッセージ RAM ECC 検査

4.1. メッセージ RAM ECC 生成

メッセージ RAM の ECC 生成について説明します。

ECC 生成

CAN FD メッセージ RAM は 32 ビットで構成されていて、そのほかに ECC データ用に 7 ビットが追加されます。CAN FD メッセージ RAM に書込み時、書込みデータからシンドロームにしたがって ECC データを生成し、書込みデータといっしょに ECC データを書き込みます。

4.2. メッセージ RAM ECC 検査

メッセージ RAM の ECC 検査について説明します。

ECC 検査

メッセージ RAM からデータを読出し時、ECC データも同時に読み出し、メッセージ RAM のデータが正しいかシンドロームにしたがって計算し、検査を行います。検査した結果、メッセージ RAM のデータが RAM 不良などにより間違ったデータと判断された場合、以下のように動作します。

- 1 ビットのみデータが間違った場合(シングルビットエラー) :
  シングルビットエラー発生ビット(FDESR.SEI)をセットし、CAN FD ECC シングルビットエラーアドレスレジスタ(FDSEAR)に RAM のアドレスをセットします。その間違った 1 ビットのデータは訂正され、正常なデータになり読み出されます。
- 2 ビットのデータが間違った場合(ダブルビットエラー) :
  ダブルビットエラー発生ビット(FDESR.DEI)をセットし、CAN FD ECC ダブルビットエラーアドレスレジスタ(FDDEAR)に RAM のアドレスをセットします。その間違ったデータは訂正されず、間違ったデータのまま読み出されます。

各エラービット(FDESR.SEI, FDESR.DEI)に対応した割込み許可ビットが"1"に設定されていれば、エラービットに"1"をセットされると同時に割込みが発生します。

エラー検出による CAN FD コントローラの停止

CAN FD コントローラがメッセージ RAM を読み出し、そのときダブルビットエラーを検出した場合、CAN FD コントローラの CC Control Register の INIT ビットをセットして CAN FD コントローラが停止します。

エラー検出による CPU へのエラー応答

エラー応答が許可(FDECR.CEREN="1")のとき、CPU がメッセージ RAM を読み出し、そのときダブルビットエラーを検出した場合、CPU へエラー応答を返します。

5. 設定手順例

CAN FD メッセージ RAM ECC 機能の設定手順例について説明します。

CAN FD メッセージ RAM ECC 機能設定手順

CAN FD メッセージ RAM ECC 機能の設定手順例について説明します。CAN FD コントローラの設定については、CAN FD コントローラの章を参照してください。

1. CAN FD コントローラの CC Control Register(CCCR)の INIT ビットと CCE ビットに"1"を設定する
   各レジスタの制御ビットが書込み可能になります。
2. CAN FD コントローラの各レジスタを設定する
   CAN FD コントローラの使用条件にしたがって設定します。
3. メッセージ RAM を初期化する
   RAM が不定状態のため、RAM を初期化することによって間違って ECC エラーが検出されるのを防ぎます。
4. CAN FD ECC エラーステータスクリアレジスタ(FDESCR)の SEIC ビットと DEIC ビットに"1"を書く。
   CAN FD ECC エラーステータスレジスタ(FDESR)の SEI ビット、DEI ビットを"0"にクリアします。
5. CAN FD ECC エラー制御レジスタの各ビットを設定する。
   CAN FD ECC 機能の使用条件にしたがって設定します。

上記設定手順より、CAN FD メッセージ RAM ECC 機能が使用できます。CAN FD コントローラは CC Control Register(CCCR)の INIT ビットが"1"の状態なので動作停止状態です。CAN FD コントローラを動作可能にする場合、上記手順のあと、CC Control Register(CCCR)の INIT ビットに"0"を設定してください。

6. レジスタ

CAN FD メッセージ RAM ECC 機能のレジスタについて説明します。

メッセージ RAM ECC 機能のレジスター覧

Table 6-1 CAN FD メッセージ RAM ECC 機能レジスター覧

レジスタ略称	レジスタ名	参照先
FDECR	CAN FD ECC エラー制御レジスタ	6.1
FDESR	CAN FD ECC エラーステータスレジスタ	6.2
FDESCR	CAN FD ECC エラーステータスクリアレジスタ	6.3
FDDEAR	CAN FD ECC ダブルビットエラーアドレスレジスタ	6.4
FDSEAR	CAN FD ECC シングルビットエラーアドレスレジスタ	6.5

6.1. CAN FD ECC エラー制御レジスタ(FDECR)

CAN FD ECC エラー制御レジスタ(FDECR)は ECC 検査時にシングルビットエラー訂正またはダブルビットエラー検出が発生した場合、割込みを許可するかどうかの設定を行います。また、ECC エラー検出停止、CPU への応答の設定も行います。

CAN FD ECC エラー制御レジスタ(FDECR)

bit	7	6	5	4	3	2	1	0
Field	Reserved				CEIV	CEREN	DEIE	SEIE
属性	-				R/W	R/W	R/W	R/W
初期値	0000				0	0	0	0

[bit7:4] Reserved: 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を書いてください。

[bit3] CEIV: ECC 検査無効ビット

bit	機能
0	ECC 検査を有効にします。 [初期値]
1	ECC 検査を無効にします。

- 本ビットは CAN FD コントローラの CC Control Register(CCCR)の CCE ビットが"1"のときに変更できます。
- CEIV="0"のとき、ECC 検査が有効になります。
- CEIV="1"のとき、ECC 検査が無効になります。

[bit2] CEREN: ECC エラー応答許可ビット

bit	機能
0	ダブルビットエラー検出によるエラー応答を禁止します。[初期値]
1	ダブルビットエラー検出によるエラー応答を許可します。

- 本ビットは CAN FD コントローラの CC Control Register(CCCR)の CCE ビットが"1"のときに変更できます。
- CEREN="0"のとき、CPU からメッセージ RAM を読み出し、そのときダブルビットエラーが検出されてもそのアクセスに対し、エラーで応答しません。
- CEREN="1"のとき、CPU からメッセージ RAM を読み出し、そのときダブルビットエラーが検出された場合そのアクセスに対し、エラーで応答します。

<注意事項>

- *CEREN ビットはシングルビットエラーに対し、対象外です。*

[bit1] DEIE: ダブルビットエラー要因割込み許可ビット

bit	機能
0	ダブルビットエラー(FDESR.DEI)による割込みを禁止します。 [初期値]
1	ダブルビットエラー(FDESR.DEI)による割込みを許可します。

- DEIE="0"のとき、ダブルビットエラーが検出(FDESR.DEI="1")されても信号 IRQ_DE は"L"のままです。
- DEIE="1"のとき、ダブルビットエラーが検出(FDESR.DEI="1")された場合、信号 IRQ_DE は"H"になり、割込みを要求します。

[bit0] SEIE: シングルビットエラー要因割込み許可ビット

bit	機能
0	シングルビットエラー(FDESR.SEI)による割込みを禁止します。 [初期値]
1	シングルビットエラー(FDESR.SEI)による割込みを許可します。

- SEIE="0"のとき、シングルビットエラーが検出(FDESR.SEI="1")されても信号 IRQ_SE は"L"のままです。
- SEIE="1"のとき、シングルビットエラーが検出(FDESR.SEI="1")された場合、信号 IRQ_SE は"H"になり、割込みを要求します。

6.2. CAN FD ECC エラーステータスレジスタ(FDESR)

CAN FD ECC エラーステータスレジスタ(FDESR)は、ECC 検査時シングルビットエラー訂正およびダブルビットエラー検出が実施されたかどうかを表示します。本レジスタのビットが"1"になった場合、CAN FD ECC エラーステータスクリアレジスタ(FDESCR)でクリアしない限り、本レジスタのビットは"1"を保持します。

CAN FD ECC エラーステータスレジスタ (FDESR)

bit	7	6	5	4	3	2	1	0
Field	Reserved						DEI	SEI
属性	-						R	R
初期値	000000						0	0

[bit7:2] Reserved: 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を書いてください。

[bit1] DEI: ダブルビットエラー発生ビット

bit	機能
0	ダブルビットエラーを検出していないことを示します。 [初期値]
1	ダブルビットエラーを検出したことを示します。

- DEI ビットに書いても無視されます。
- DEI ビットが"1"のとき、このビットを"0"にクリアするには、CAN FD ECC エラーステータスクリアレジスタ(FDESCR)の DEIC ビットに"1"を書いてください。

<注意事項>

- *DEI ビットが"1"のとき、メッセージ RAM を読み出し、CAN FD ECC ダブルビットエラーアドレスレジスタ(FDDEAR)に保持しているアドレス値以外でダブルビットエラーが検出されても CAN FD ECC ダブルビットエラーアドレスレジスタ(FDDEAR)は更新されず、前の値を保持します。*
- *DEI ビットが"1"でもシングルビットエラーは検出できます。*
- *CAN FD コントローラまたは CPU がメッセージ RAM からメッセージ RAM のデータを読み出したときにダブルビットエラーが検出された場合、"1"がセットされます。*

[bit0] SEI: シングルビットエラー発生ビット

bit	機能
0	シングルビットエラーを検出していないことを示します。 [初期値]
1	シングルビットエラーを検出したことを示します。

- SEI ビットに書いても無視されます。
- SEI ビットが"1"のとき、このビットを"0"にクリアするには、CAN FD ECC エラーステータスクリアレジスタ(FDESCR)の SEIC ビットに"1"を書いてください。

<注意事項>

- *SEI ビットが"1"のとき、メッセージ RAM を読み出し、CAN FD ECC シングルビットエラーアドレスレジスタ(FDSEAR)に保持しているアドレス値以外でシングルビットエラーが検出されても CAN FD ECC シングルビットエラーアドレスレジスタ(FDSEAR)は更新されず、前の値を保持します。*
- *SEI ビットが"1"でもダブルビットエラーは検出できます。*
- *CAN FD コントローラまたは CPU がメッセージ RAM からデータを読み出したときにシングルビットエラーが検出された場合、"1"がセットされます。*

6.3. CAN FD ECC エラーステータスクリアレジスタ (FDESCR)

CAN FD ECC エラーステータスクリアレジスタ(FDESCR)は、CAN FD ECC エラーステータスレジスタのビットをクリアします。

CAN FD ECC エラーステータスクリアレジスタ (FDESCR)

bit	7	6	5	4	3	2	1	0
Field	Reserved						DEIC	SEIC
属性	-						W	W
初期値	000000						0	0

[bit7:2] Reserved: 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を書いてください。

[bit1] DEIC: ダブルビットエラークリアビット

bit	機能
	書込み時
0	影響なし
1	ダブルビットエラー発生ビット(FDESR.DEI)を"0"にします。

■ 読出し時、常に"0"が読み出されます。

[bit0] SEIC: シングルビットエラークリアビット

bit	機能
	書込み時
0	影響なし
1	シングルビットエラー発生ビット(FDESR.SEI)を"0"にします。

■ 読出し時、常に"0"が読み出されます。

6.4. CAN FD ECC ダブルビットエラーアドレスレジスタ (FDDEAR)

CAN FD ECC ダブルビットエラーアドレスレジスタ(FDDEAR)は、ECC 検査時ダブルビットエラー検出が実施されたとき、その発生したメッセージ RAM のアドレスを保持します。本レジスタは CAN FD ECC ステータスレジスタ(FDESR)の DEI ビットが"1"のとき、有効です。CAN FD ECC ステータスレジスタ(FDESR)の DEI ビットが"1"の間、その値は保持されます。

CAN FD ECC ダブルビットエラーアドレスレジスタ (FDDEAR)

bit	15	14	13	12	11	10	9	8
Field	DRA15	DRA14	DRA13	DRA12	DRA11	DRA10	DRA9	DRA8
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	DRA7	DRA6	DRA5	DRA4	DRA3	DRA2	DRA1*	DRA0*
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

*: DRA1 と DRA0 は"0"固定です。

[bit15:0] DRA15~DRA0: ダブルエラーメッセージ RAM アドレスビット

DRA15~DRA0	機能
0x0000	ダブルビットエラーがメッセージ RAM のアドレス 0 で発生したことを表示します。
0x0004	ダブルビットエラーがメッセージ RAM のアドレス 4 で発生したことを表示します。
0x0008	ダブルビットエラーがメッセージ RAM のアドレス 8 で発生したことを表示します。
...	.....

- DRA15~DRA0 に書いても無効です。
- CAN FD ECC ステータスレジスタ(FDESR)の DEI ビットが"1"のとき、DRA15~DRA0 は有効です。
- CAN FD ECC ステータスレジスタ(FDESR)の DEI ビットが"0"から"1"に変化したとき、メッセージ RAM のアドレスが CAN FD ECC ダブルビットエラーアドレスレジスタ(FDDEAR)に書き込まれ、CAN FD ECC ステータスレジスタ(FDESR)の DEI ビットが"1"の間、その値は保持されます。そのため、複数回ダブルビットエラーが検出されても CAN FD ECC ステータスレジスタ(FDESR)の DEI ビットが"0"にクリアされるまで本レジスタは、最初にエラーが検出されたアドレス値を保持しています。

6.5. CAN FD ECC シングルビットエラーアドレスレジスタ (FDSEAR)

CAN FD ECC シングルビットエラーアドレスレジスタ(FDSEAR)は、ECC 検査時シングルビットエラー検出が実施されたとき、その発生したメッセージ RAM のアドレスを保持します。本レジスタは CAN FD ECC ステータスレジスタ(FDESR)の SEI ビットが"1"のとき、有効です。CAN FD ECC ステータスレジスタ(FDESR)の SEI ビットが"1"の間、その値は保持されます。

CAN FD ECC シングルビットエラーアドレスレジスタ (FDSEAR)

bit	15	14	13	12	11	10	9	8
Field	SRA15	SRA14	SRA13	SRA12	SRA11	SRA10	SRA9	SRA8
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	SRA7	SRA6	SRA5	SRA4	SRA3	SRA2	SRA1*	SRA0*
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

*: SRA1 と SRA0 は"0"固定です。

[bit15:0] SRA15~SRA0： シングルエラーメッセージ RAM アドレスビット

SRA15~SRA0	機能
0x0000	シングルビットエラーがメッセージ RAM のアドレス 0 で発生したことを表示します。
0x0004	シングルビットエラーがメッセージ RAM のアドレス 4 で発生したことを表示します。
0x0008	シングルビットエラーがメッセージ RAM のアドレス 8 で発生したことを表示します。
...	.....

- SRA15~SRA0 に書いても無効です。
- CAN FD ECC ステータスレジスタ(FDESR)の SEI ビットが"1"のとき、SRA15~SRA0 は有効です。
- CAN FD ECC ステータスレジスタ(FDESR)の SEI ビットが"0"から"1"に変化したとき、メッセージ RAM のアドレスが CAN FD ECC シングルビットエラーアドレスレジスタ(FDSEAR)に書き込まれ、CAN FD ECC ステータスレジスタ(FDESR)の SEI ビットが"1"の間、その値は保持されます。そのため、複数回シングルビットエラーが検出されても CAN FD ECC ステータスレジスタ(FDESR)の SEI ビットが"0"にクリアされるまで本レジスタは、最初にエラーが検出されたアドレス値を保持しています。

7. 使用上の注意事項

CAN FD メッセージ RAM ECC を使用する上で、注意すべき事項について説明します。

メッセージ RAM へのアクセスについて

- メッセージ RAM へアクセスする場合、32 ビットでアクセスしてください。ほかのビットでアクセスした場合、32 ビットのデータでメッセージ RAM のデータを検査するため、ECC エラーが発生したり、間違ったデータがメッセージ RAM に書き込まれたりする可能性があります。

ECC 検査について

- 電源投入後、メッセージ RAM のデータは不定なので使用するメッセージ RAM の領域にデータを書き込まずにメッセージ RAM を読み出すとダブルビットエラーまたはシングルビットエラーが発生することがあります。電源投入後、使用するメッセージ RAM の領域に書いてからメッセージ RAM を読み出してください。
- 以下のビットは CAN FD コントローラの CC Control Register の Configuration Change Enable ビット(CCCR.CCE ビット)が"1"のとき、変更可能です。
  - CAN FD ECC エラー制御レジスタ(FDECR)の ECC エラー応答許可ビット(CEREN)
  - CAN FD ECC エラー制御レジスタ(FDECR)の ECC 検査無効ビット(CEIV)
- CAN FD コントローラからメッセージ RAM へ読出しアクセスを行ったときに ECC エラーを検出した場合、CAN FD コントローラの ECC に関するエラーフラグ(IR.BEU と IR.BEC)とメッセージ RAM の ECC に関するエラーフラグ(FDESR.DEI と FDESR.SEI)がセットされます。

CPU からメッセージ RAM へ読出しアクセスを行ったときに ECC エラーを検出した場合、メッセージ RAM の ECC に関するエラーフラグ(FDESR.DEI と FDESR.SEI)がセットされます。

CHAPTER 5-5: CAN FD 用外部タイムスタンプカウンタ

CAN FD 用外部タイムスタンプカウンタの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

1. 概要

CAN FD 用タイムスタンプカウンタはタイムスタンプ機能の外付け 16 ビットカウンタです。

CAN FD 用タイムスタンプカウンタの機能

タイムスタンプカウンタ

- 16bit カウンタを用い、カウントアップによるカウントを行います。
- カウント許可により、現状値に対してカウントアップを開始します。
- カウント禁止により、カウントアップを停止しカウンタ値を保持します。
- カウント許可/禁止は、カウンタモード設定レジスタ(TSMDR:CNTEN)により設定できます。
- カウントアップは、任意のコンペア値(コンペアクリア設定レジスタ(TSCPCLR))までカウントアップを実行します。
- カウンタ値がコンペア値(コンペアクリア設定レジスタ(TSCPCLR))以上になる場合、カウンタを次サイクルで 0 をロードし、引き続きカウント動作を繰返します。
- カウンタの上限値は、コンペアクリア設定レジスタ(TSCPCLR)により設定できます。
- カウンタ値はカウンタデータ表示レジスタ(TSCDTR)に表示されます。

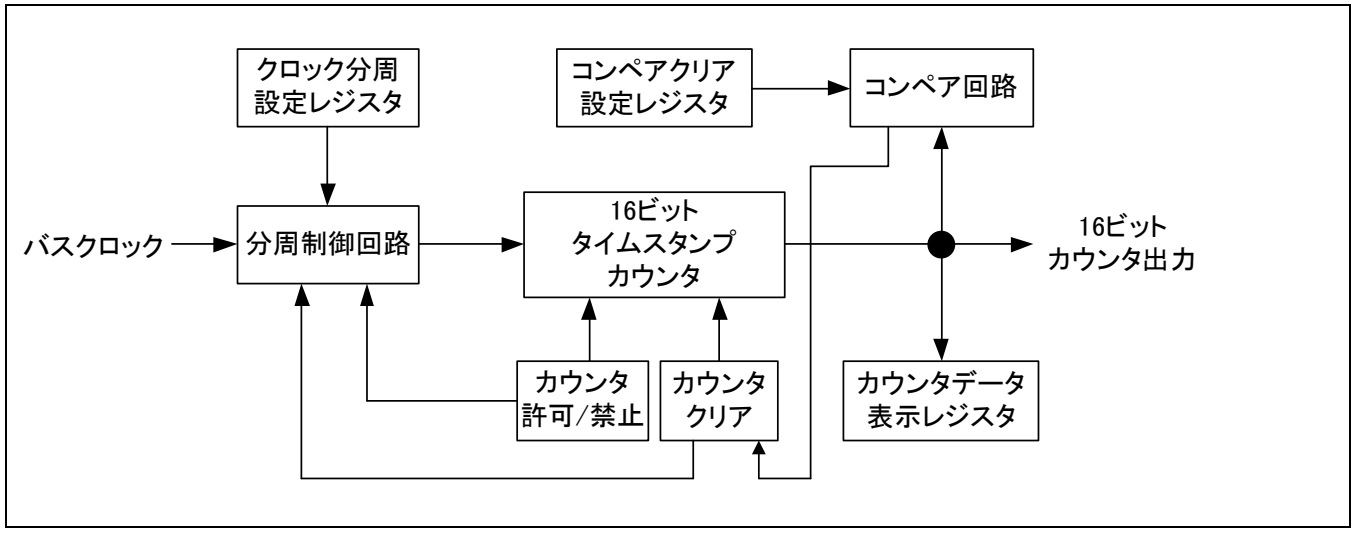
タイムスタンプカウンタのカウントアップ周期

- カウントアップ周期は、バスクロックの 1～65536 分周の範囲で設定できます。
- カウントアップ周期の分周比は 1 分周刻みで設定できます。
- カウントアップ周期は、クロック分周設定レジスタ(TSDIVR)により設定できます。

2. 構成

CAN FD 用タイムスタンプカウンタのブロックダイヤグラムを示します。

Figure 2-1 CAN FD 用タイムスタンプカウンタのブロックダイヤグラム



3. 動作説明

3.1.1. CAN FD 用タイムスタンプカウンタ動作

CAN FD タイムスタンプカウンタの動作を示します。

3.1.2. タイムスタンプカウンタのカウントアップ周期

タイムスタンプカウンタのカウントアップ周期は 1～65536 分周の 1 分周刻みで設定できます。カウントアップ周期はクロック分周設定レジスタ(TSDIVR)で設定します。

3.1.3. タイムスタンプカウンタ

カウント許可(TSCNTR:CNTEN=1)を設定した後、現在のカウンタ値に対してカウントアップを開始します。カウント禁止(TSCNTR:CNTEN=0)を設定した後、カウントアップを停止しカウンタ値を保持します。

カウントアップはコンペアクリア設定レジスタ(TSCPCLR)に設定した値までカウントアップを実行します。カウンタ値がコンペアクリア設定レジスタ(TSCPCLR)に設定した値以上になる場合、次のバスクロックサイクルでカウンタに 0 をロードし、引き続きカウント動作を繰返します。

カウンタ値はカウンタデータ表示レジスタ(TSCDTR)をリードすることで確認できます。

Figure 3-1 カウント許可動作 (TSDIVR:CDIV15~0=0x0003 の場合)

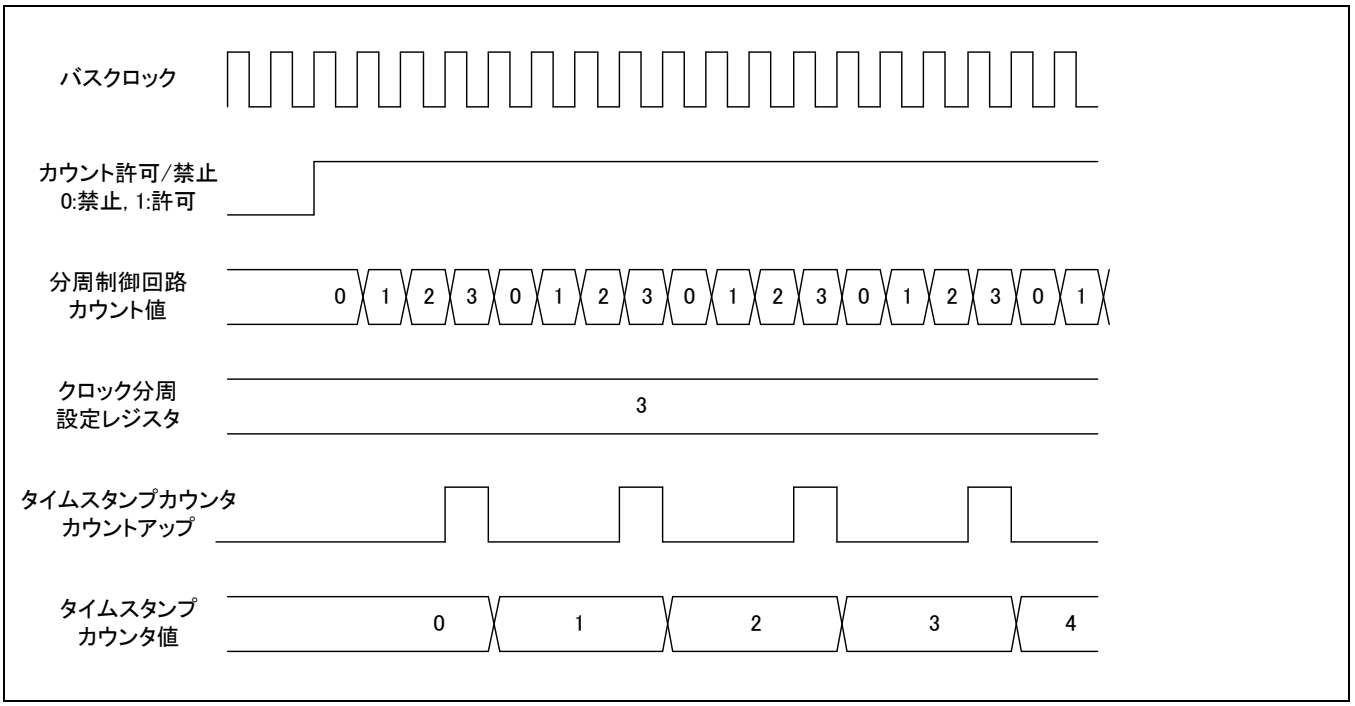


Figure 3-2 カウント禁止動作(TSDIVR:CDIV15~0=0x0003 の場合)

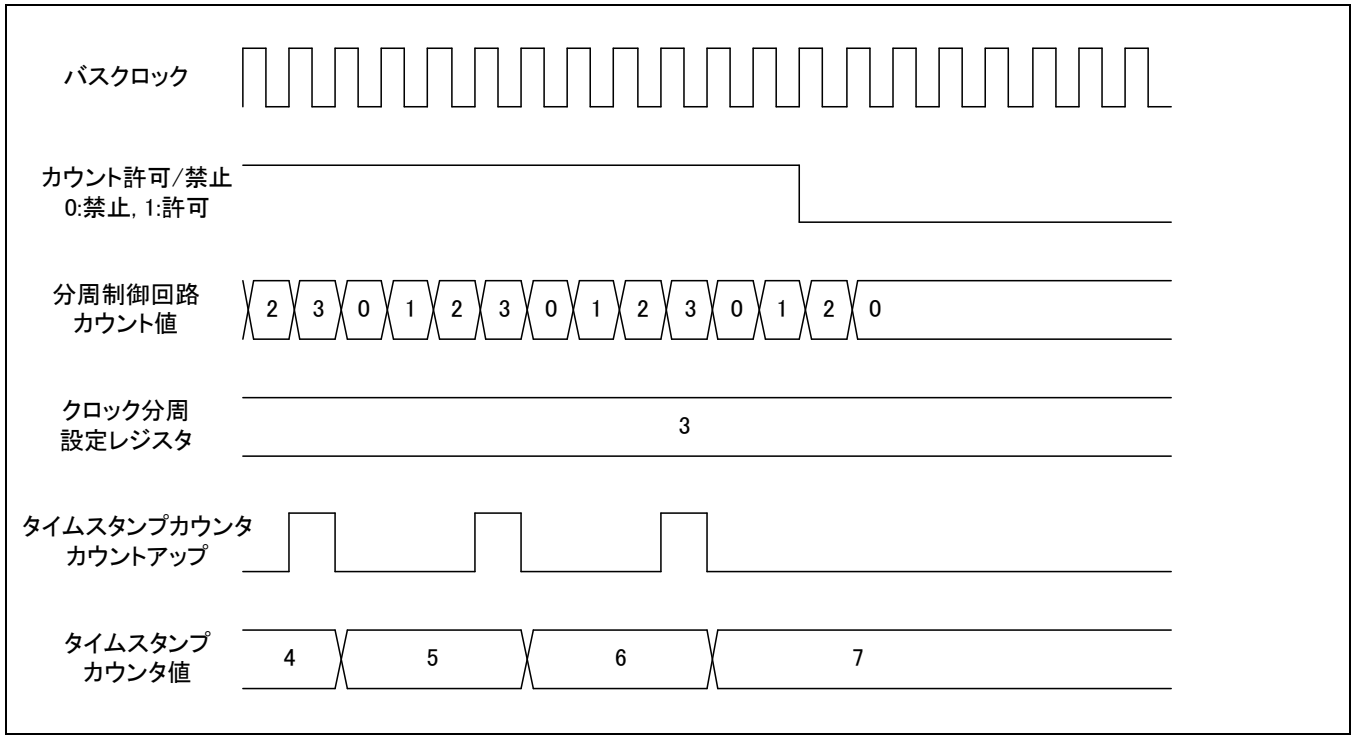
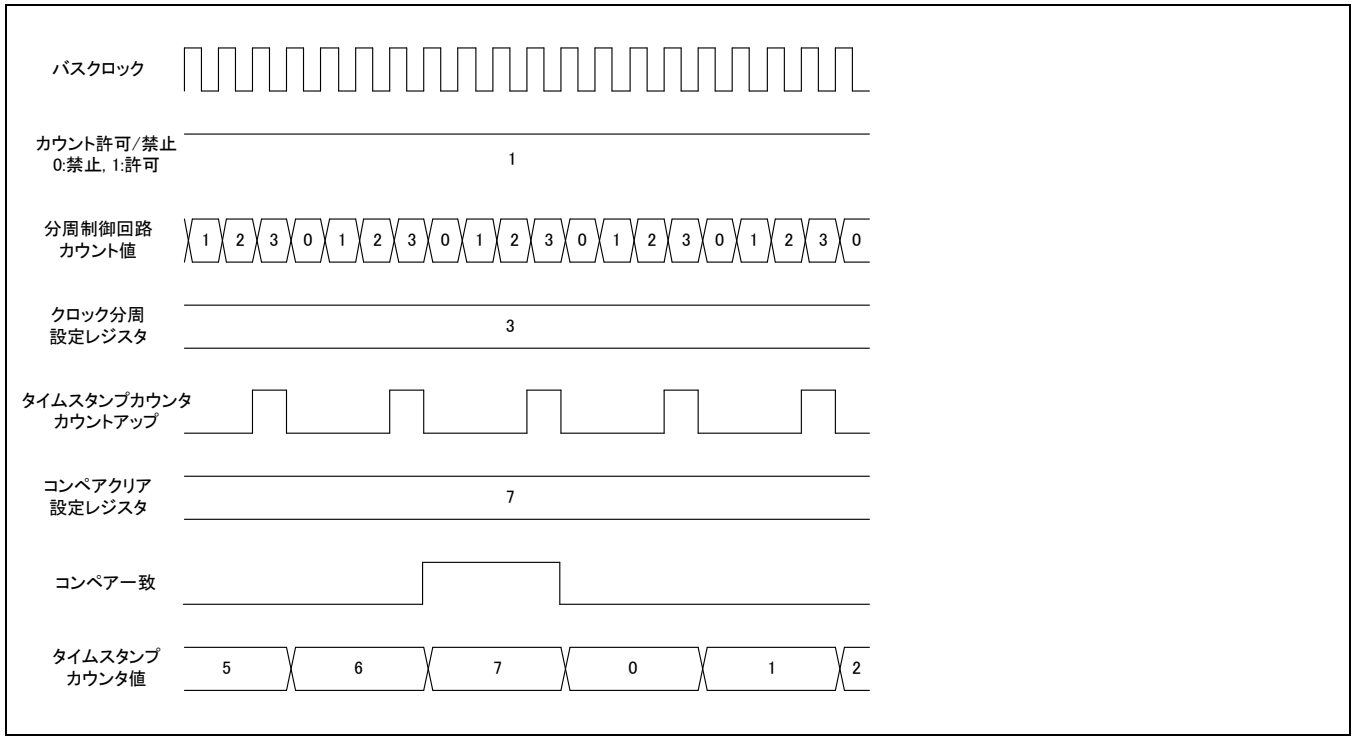


Figure 3-3 コンペアクリア動作(TSDIVR:CDIV15~0=0x0003, TSCPCLR:CMP15~0=0x0007 の場合)



3.1.4. クリア要求

カウンタ制御レジスタのカウンタクリア要求(TSCNTR:CCLR)により、マクロ内のカウンタ(タイムスタンプカウンタ, 分周制御回路のカウンタ)をクリアします (カウンタモード設定レジスタ, クロック分周設定レジスタ, コンペアクリア設定レジスタはクリアされません)。

カウント許可時、クリア要求を行った場合、タイムスタンプカウンタ, 分周制御回路のカウンタはカウンタ値が初期化されカウント動作を継続します。

カウント禁止時、クリア要求を行った場合、タイムスタンプカウンタ, 分周制御回路のカウンタはカウンタ値が初期化されます。

Figure 3-4 クリア要求：カウント許可時(TSDIVR:CDIV15-CDIV0=0x0003, TSCPCLR:CMP15-CMP0=0x0007)

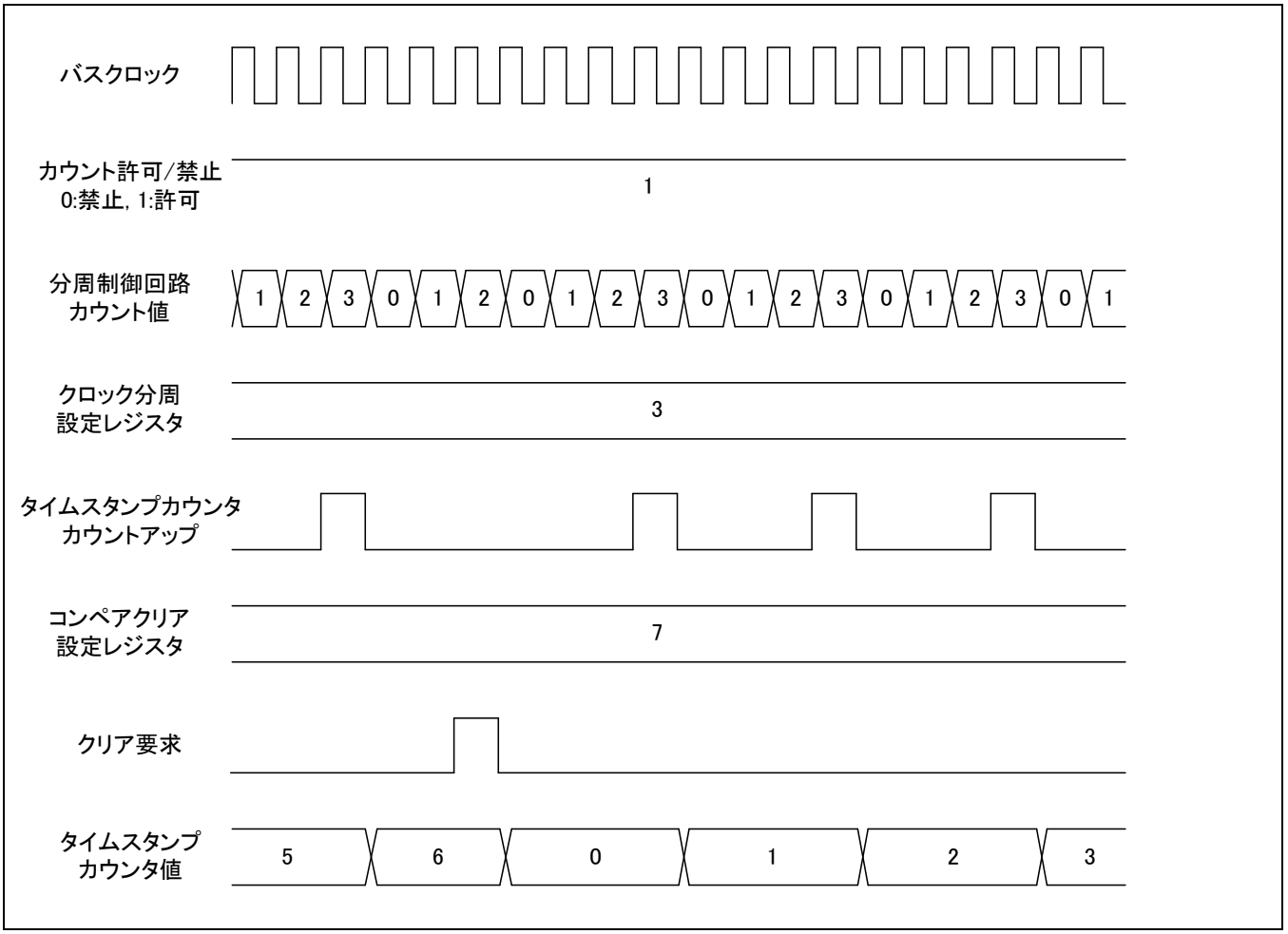
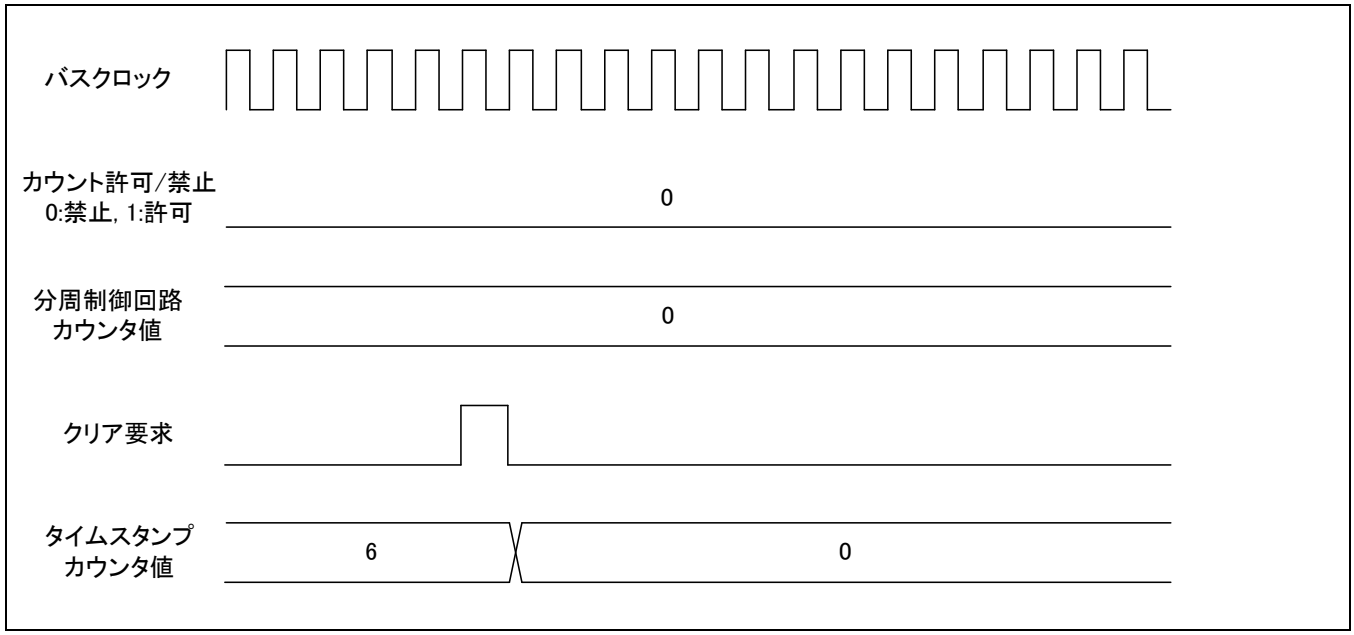


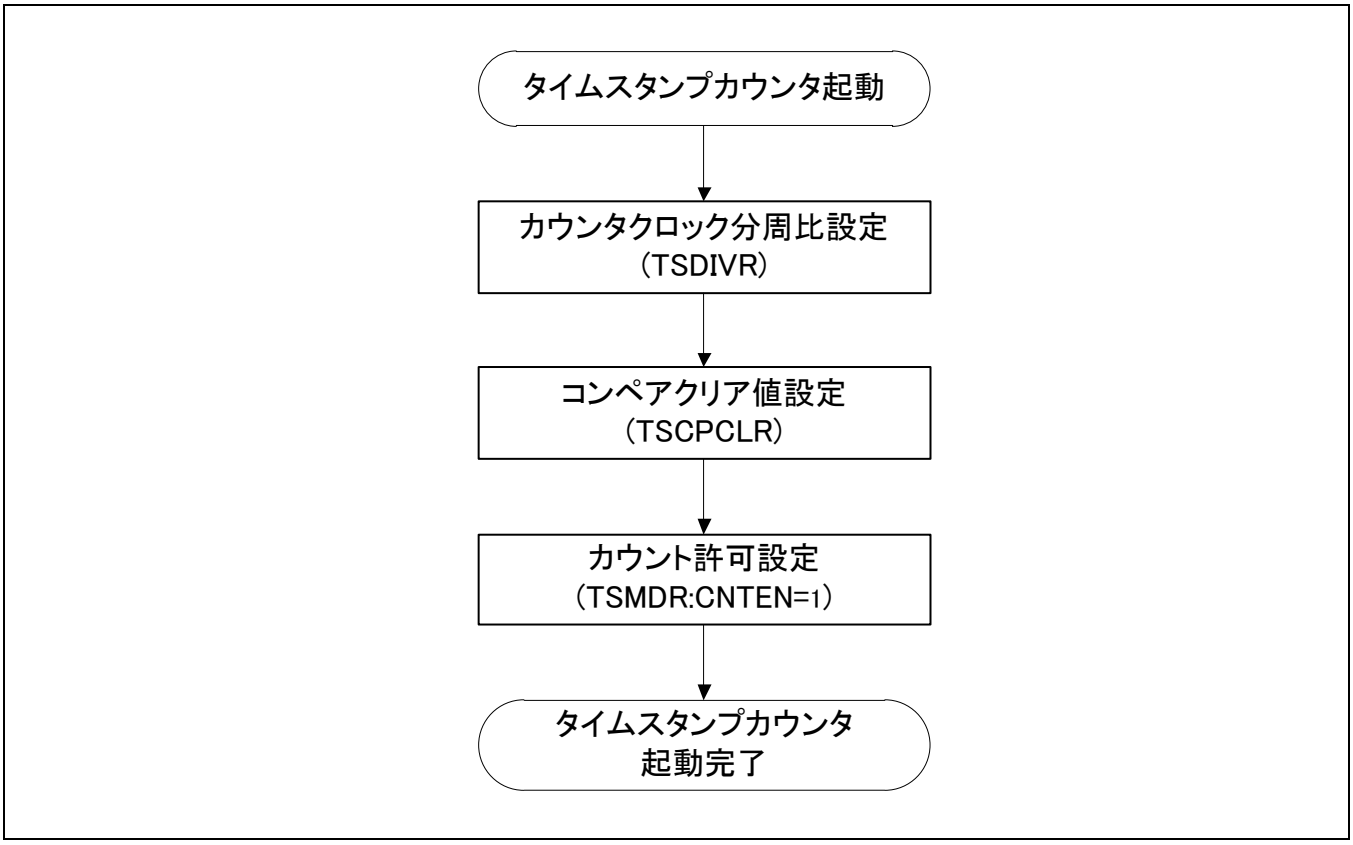
Figure 3-5 クリア要求：カウント禁止時



4. 設定手順例

CAN FD タイムスタンプカウンタの設定手順を Figure 4-1 に示します。

Figure 4-1 CAN FD タイムスタンプカウンタの設定手順



5. レジスタ

CAN FD 用タイムスタンプカウンタで使用するレジスタの構成と機能について説明します。

■ CAN FD 用タイムスタンプカウンタのレジスター一覧

Table 5-1 CAN FD 用タイムスタンプカウンタのレジスター一覧

レジスタ略称	レジスタ名	参照先
TSCNTR	カウンタ制御レジスタ	5.1
TSMDR	カウンタモード設定レジスタ	5.2
TSDIVR	クロック分周設定レジスタ	5.3
TSCDTR	カウンタデータ表示レジスタ	5.4
TSCPCLR	コンペアクリア設定レジスタ	5.5

5.1. カウンタ制御レジスタ(TSCNTR)

カウンタ制御レジスタ(TSCNTR)は、マクロ内のカウンタをクリアするレジスタです。

bit	15	14	13	12	11	10	9	8
Field	Reserved							
属性	-							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	Reserved							CCLR
属性	-							W
初期値	0000000							0

[bit15:1] Reserved : 予約ビット

読出し時は,常に"0"が読み出されます。
書込み時は,必ず"0"を書いてください。

[bit0] CCLR : カウンタクリアビット

読出し時、常に"0"が読み出されます。

bit	説明
	書込み時
0	影響ありません
1	カウンタクリア マクロ内のカウンタ(タイムスタンプカウンタ, 分周制御回路のカウンタ)をクリアします。

<注意事項>

- *カウンタモード設定レジスタ，クロック分周設定レジスタ，コンペアクリア設定レジスタはクリアされません。*

5.2. カウンタモード設定レジスタ(TSMDR)

カウンタモード設定レジスタ(TSMDR)は, カウンタ動作の許可/禁止を設定します。

bit	15	14	13	12	11	10	9	8
Field	Reserved							
属性	-							
初期値	00000000							

bit	7	6	5	4	3	2	1	0
Field	Reserved							CNTEN
属性	-							R/W
初期値	0000000							0

[bit15:1] Reserved : 予約ビット

読出し時は,常に"0"が読み出されます。
書込み時は,必ず"0"を書いてください。

[bit0] CNTEN : カウンタ許可ビット

bit	説明
0	カウント禁止 カウントアップを停止しカウンタ値を保持します。
1	カウント許可 現状のカウンタ値からカウントアップを開始します。

5.3. クロック分周設定レジスタ(TSDIVR)

クロック分周設定レジスタ(TSDIVR)は,カウンタに供給されるクロックの分周比を設定するレジスタです。

bit	31	30	29	28	27	26	25	24
Field	Reserved							
属性	-							
初期値	00000000							

bit	23	22	21	20	19	18	17	16
Field	Reserved							
属性	-							
初期値	00000000							

bit	15	14	13	12	11	10	9	8
Field	CDIV15	CDIV14	CDIV13	CDIV12	CDIV11	CDIV10	CDIV9	CDIV8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CDIV7	CDIV6	CDIV5	CDIV4	CDIV3	CDIV2	CDIV1	CDIV0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:16] Reserved： 予約ビット

読出し時は,常に"0"が読み出されます。
書込み時は,必ず"0"を書いてください。

[bit15:0] CDIV15～0： カウンタクロック分周比設定ビット

カウンタクロック分周比を設定します。
分周比は、本ビットに設定した値＋1 です。

＜注意事項＞

- *カウント許可時(TSMDR:CNTEN=1)、本ビットに設定することを禁止します。*
- *本レジスタは 16 ビットアクセスでアクセスしてください。*

5.4. カウンタデータ表示レジスタ(TSCDTR)

カウンタデータ表示レジスタ(TSCDTR)は,タイムスタンプカウンタの値を表示するレジスタです。

bit	15	14	13	12	11	10	9	8
Field	CNT15	CNT14	CNT13	CNT12	CNT11	CNT10	CNT9	CNT8
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CNT7	CNT6	CNT5	CNT4	CNT3	CNT2	CNT1	CNT0
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit15:0] CNT15～0： カウンタデータ表示ビット

タイムスタンプカウンタのカウンタ値を示します。

本ビットはカウンタクリア(TSCNTR:CCLR=1)によって"0"にクリアされます。

＜注意事項＞

- *本レジスタは 16 ビットアクセスでアクセスしてください。*

5.5. コンペアクリア設定レジスタ(TSCPCLR)

コンペアクリア設定レジスタ(TSCPCLR)は、カウンタをクリアするコンペア値を設定するレジスタです。

bit	15	14	13	12	11	10	9	8
Field	CMP15	CMP14	CMP13	CMP12	CMP11	CMP10	CMP9	CMP8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CMP7	CMP6	CMP5	CMP4	CMP3	CMP2	CMP1	CMP0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:0] CMP15～0： コンペアクリア設定ビット

タイムスタンプカウンタをクリアするコンペア値を設定します。
本ビットに"0x0000"を設定した場合、タイムスタンプカウンタは"0"固定です。

＜注意事項＞

- *カウント許可時(TSMDR:CNTEN=1)、本ビットに設定することを禁止します。*
- *本レジスタは 16 ビットアクセスでアクセスしてください。*

CHAPTER 6-1: HDMI-CEC/リモコン受信

HDMI-CEC/リモコン受信について説明します。

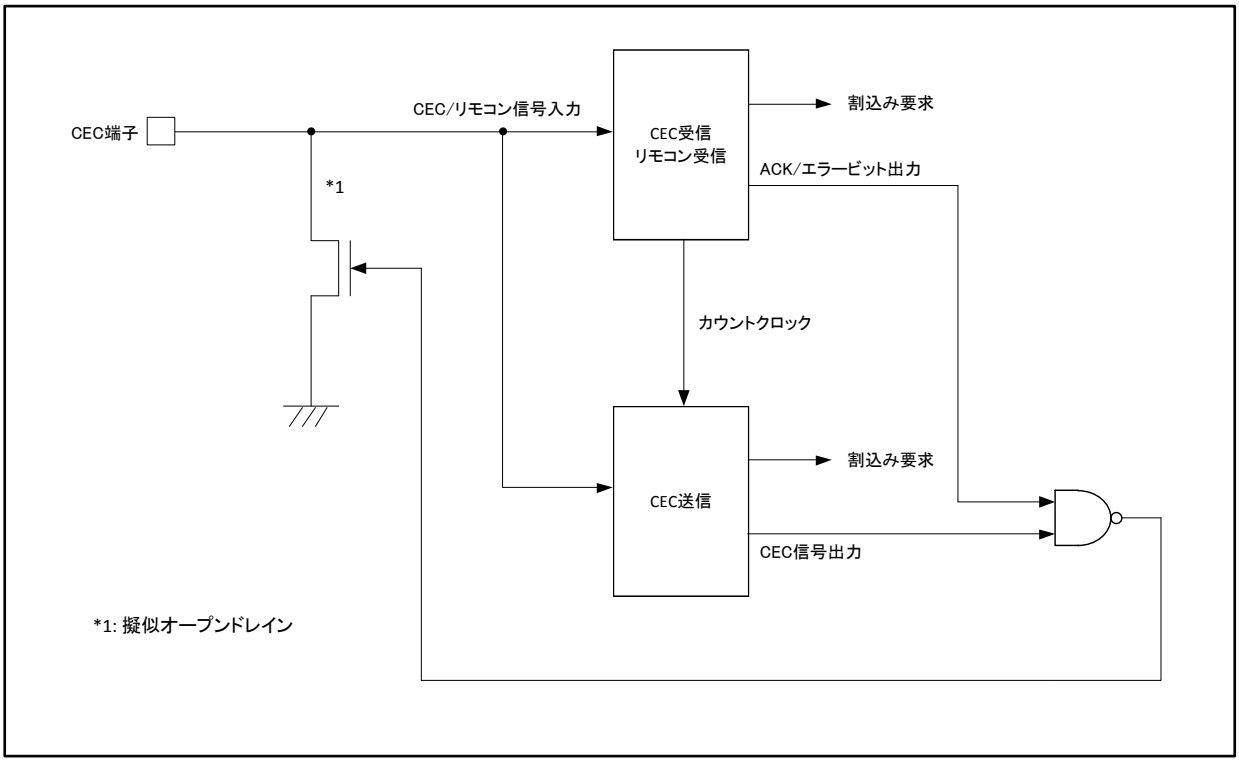
1. 構成
2. HDMI-CEC 使用上の注意点

1. 構成

HDMI-CEC/リモコン受信の構成を示します。

構成

Figure 1-1 HDMI-CEC/リモコン受信の構成



■ CEC 受信/リモコン受信
『CEC 受信/リモコン受信』の章を参照してください。

■ CEC 送信
『CEC 送信』の章を参照してください。

2. HDMI-CEC 使用上の注意点

■ ポーリングの送信を行う時は、受信の RCADR1 または RCADR2 レジスタに"0x0F"を設定し NACK 応答するようにしてください。

■ ポーリングのため NACK 応答するよう設定している時に、他機器からの送信に対し ACK 応答をする場合は以下の手順で行ってください。

1. 送信の SFREE レジスタに"0"を設定してください。

2. CEC 端子を GPIO で監視し、High が任意のシグナルフリー分続くまで待ってください。

3. 送信の TXDATA レジスタに送信データを書込み、RCADR1 または RCADR2 レジスタに"0x0F"を設定してください。

4. TXDATA 書込みからカウントクロック(32.768kHz)の 3～4 クロック後に送信を開始します。この間に他機器から送信が行われた場合の対応は以下の通りです。

4-A. TXDATA 書込みから 2～3 クロック後に他機器から送信が行われた時は、バスエラーが発生します。また、TXDATA 書込みから 3～4 クロック以降に他機器から送信が行われた時は、アービトレーションロスト発生時にバスエラーが発生します。以下の対応を行ってください。

4-A-1. ACK 応答できるように RCADR1 または RCADR2 レジスタを元の設定値に戻す。

4-A-2. 2.から再度処理を行う。

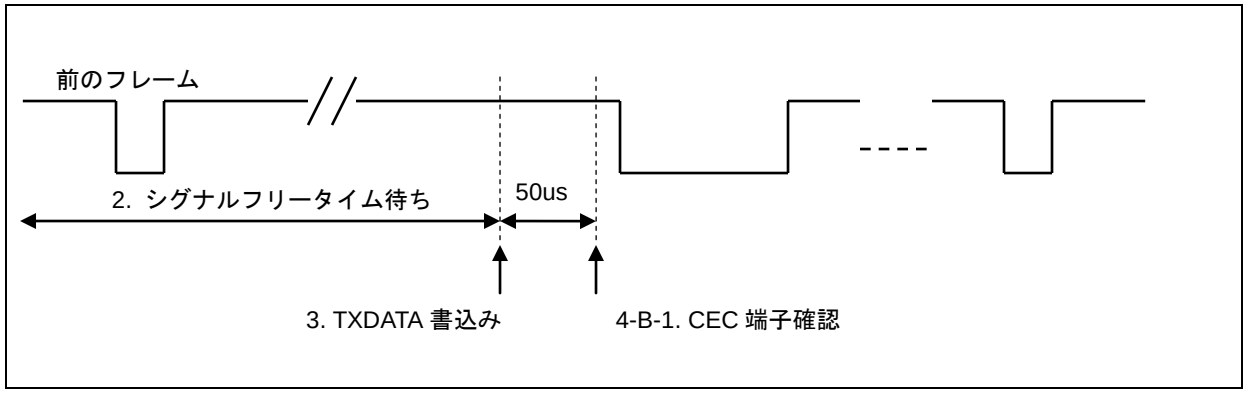
4-B. TXDATA 書込みから 0～1 クロック後に他機器から送信が行われた時は、バスエラーが発生しません。他機器から送信があったか確認するために、以下の対応を行ってください。

4-B-1. TXDATA の書込から 50μs(カウントクロック 1 クロック分+α)後に、GPIO で CEC 端子を確認する。

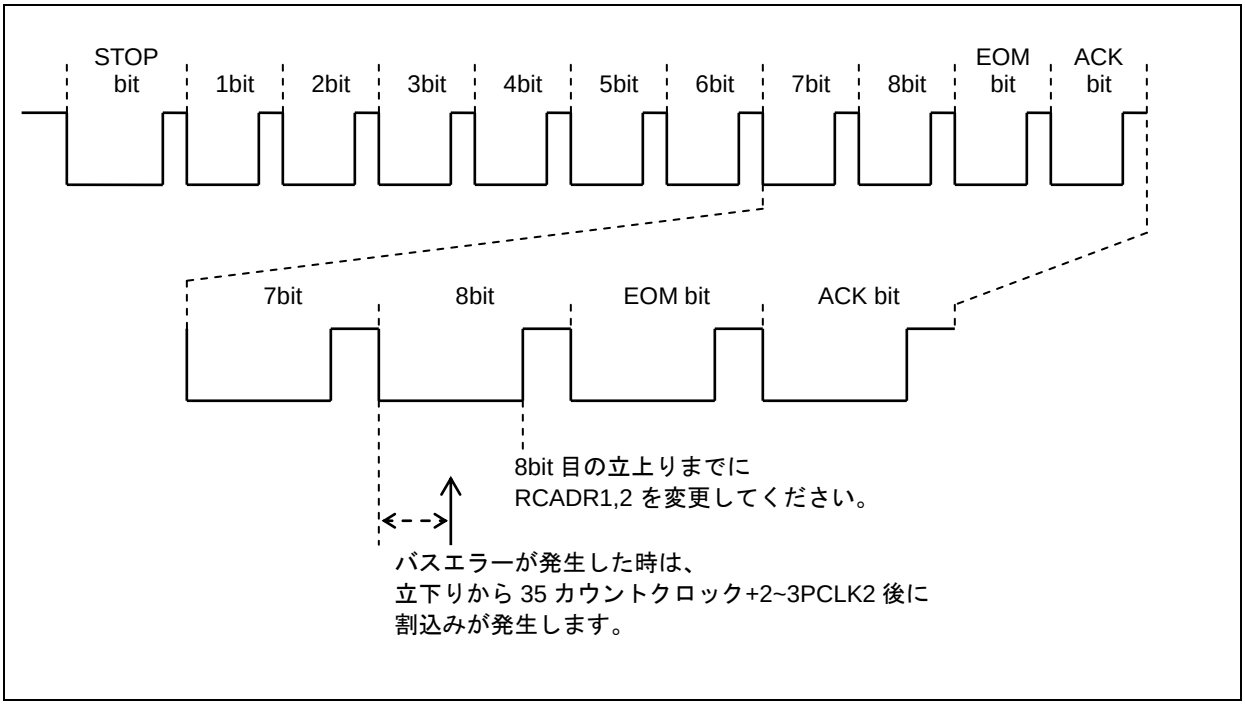
4-B-2. CEC 端子が Low になっていたら先に他機器から送信が行われているため、TXEN=0 にし送信を取りやめ、すぐに TXEN=1 にする。

4-B-3. ACK 応答できるように RCADR1 または RCADR2 レジスタを元の設定値に戻す。

4-B-4. 2.から再度処理を行う。



■ バスエラー発生時に通信の途中で RCADR1 または RCADR2 レジスタを変更する場合は、8bit 目の立上りまでに変更してください。



CHAPTER 6-2: CEC 受信/リモコン受信

CEC 受信/リモコン受信について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定例
5. レジスタ

1. 概要

HDMI-CEC 信号、赤外線リモコン信号の受信を行います。以下に特長を示します。

特長

■ スタートビット、データビットの検出タイミングを調整可能
■ ノイズフィルタ搭載
■ 以下の規格に対応した動作モードを選択可能
- SIRCS
- NEC/家電協
- HDMI-CEC

各動作モードの特長

■ SIRCS モード
- スタートビット検出と割込み出力
- 最小パルス幅違反検出
- デバイスアドレス比較
- カウンタオーバフロー検出と割込み出力

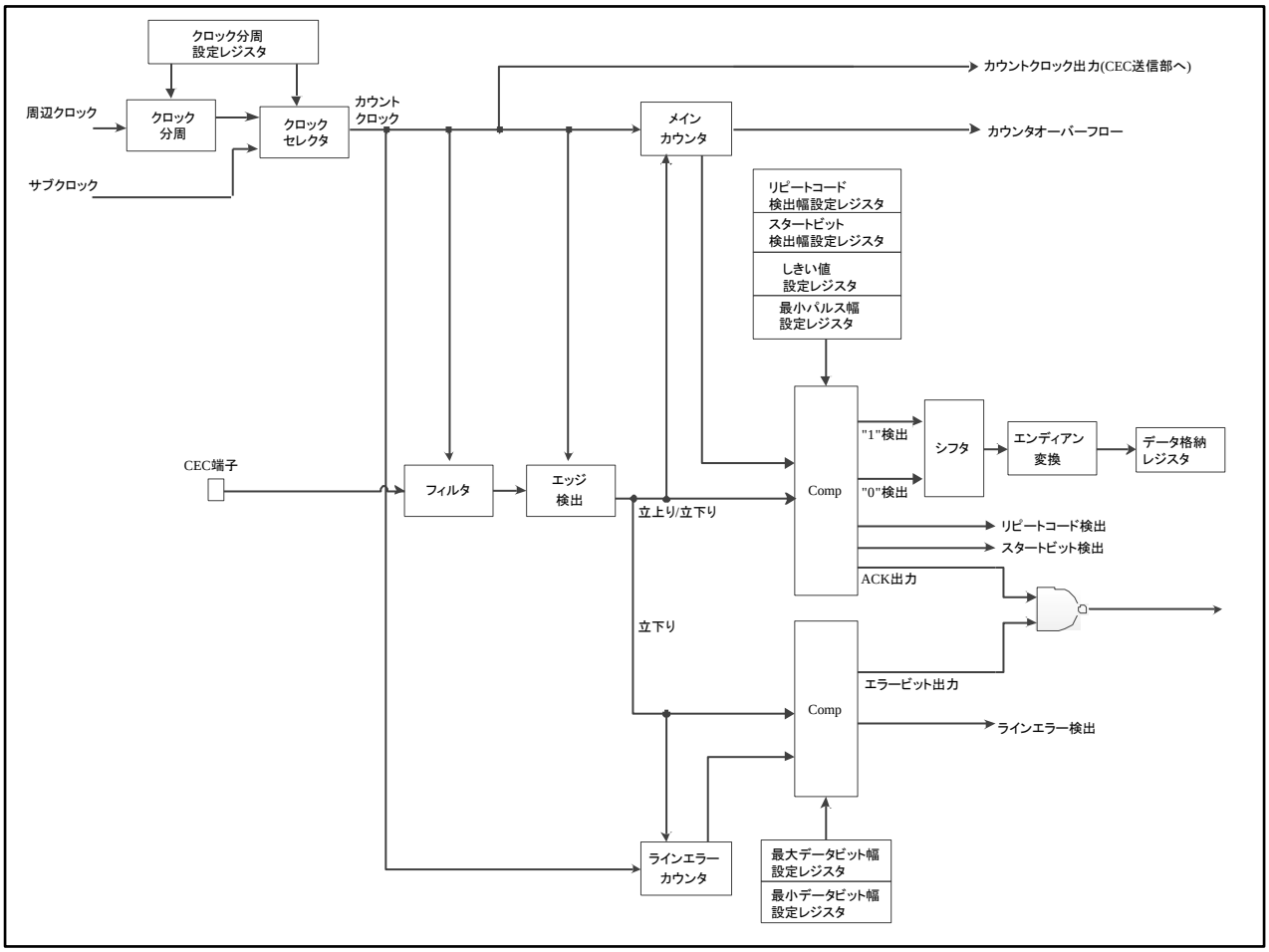
■ NEC/家電協モード
- スタートビット検出と割込み出力
- リピートコード検出と割込み出力
- 最小パルス幅違反検出
- カウンタオーバフロー検出と割込み出力

■ HDMI-CEC モード
- スタートビット検出と割込み出力
- 最小パルス幅違反検出
- カウンタオーバフロー検出と割込み出力
- デバイスアドレス比較
- 最小データビット幅違反検出と割込み出力 (HDMI-CEC ラインエラーハンドリング規格に対応)
- エラーパルス自動出力 (HDMI-CEC ラインエラーハンドリング規格に対応)
- 最大データビット幅違反検出と割込み出力
- EOM 検出
- ACK 検出と割込み出力
- ACK 自動応答

2. 構成

ブロックダイヤグラムを示します。

Figure 2-1 CEC 受信/リモコン受信のブロックダイヤグラム



3. 動作説明

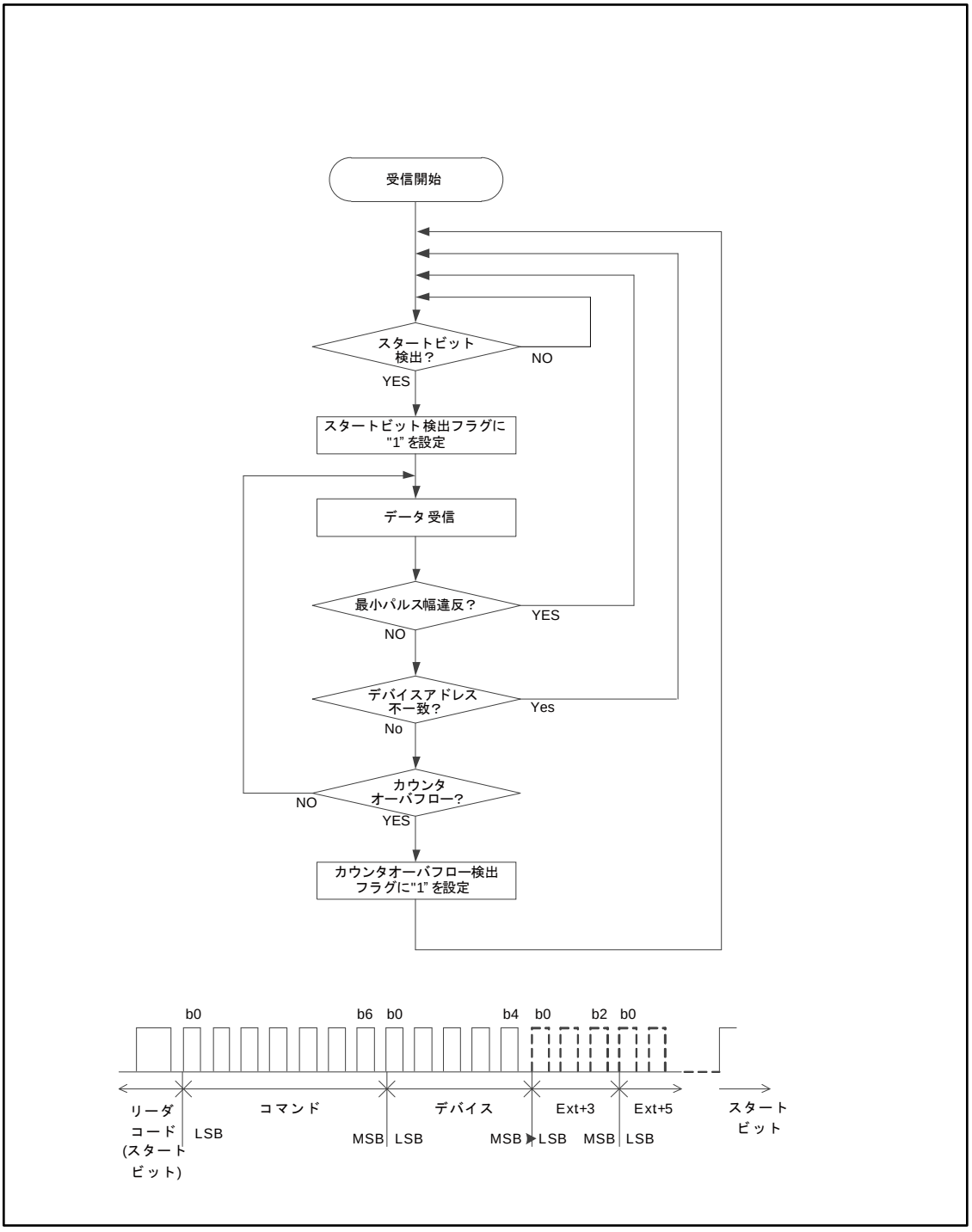
CEC 受信/リモコン受信の動作について説明します。

3.1. SIRCS モード
3.2. NEC/家電協モードの動作説明
3.3. HDMI-CEC モード

3.1 SIRCS モード

3.1.1 SIRCS モードの動作フローチャートと波形

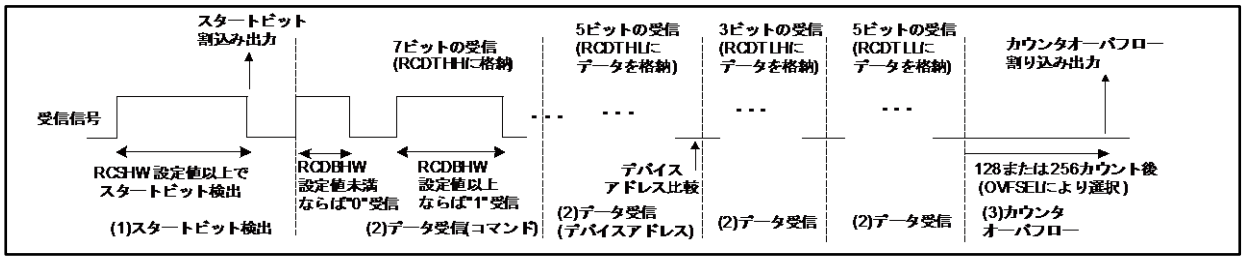
Figure 3-1 動作フローチャートと波形



3.1.2 SIRCS モードの基本動作

SIRCS モードは、カウントクロックによって受信信号の High 幅をカウントして、データを受信します。

Figure 3-2 SIRCS モードの動作



■ 基本動作

基本動作は以下となります。

1. RCSHW の設定値以上の High 幅が入力されると、スタートビットが検出されて、データ受信状態になります。
2. Figure 3-2 は THSEL=0(RCCR レジスタ)のときの動作であり、RCDBHW の設定値未満の信号は"0"を受信、RCDBHW の設定値以上の信号は"1"を受信します。
   データ受信は 7 ビットのコマンドを受信した後にデバイスアドレスを受信します。5 ビットのデバイスアドレスは、RCADR1, RCADR2 のいずれかの値と同じであれば、アドレス一致となります。アドレス不一致の場合は、スタートビット検出待ちの状態に戻ります。
3. データ受信後にオーバフローすると、スタートビット検出待ちの状態に戻ります。

3.1.3 スタートビット検出と割込み出力

Figure 3-3 SIRCS モードのスタートビット検出

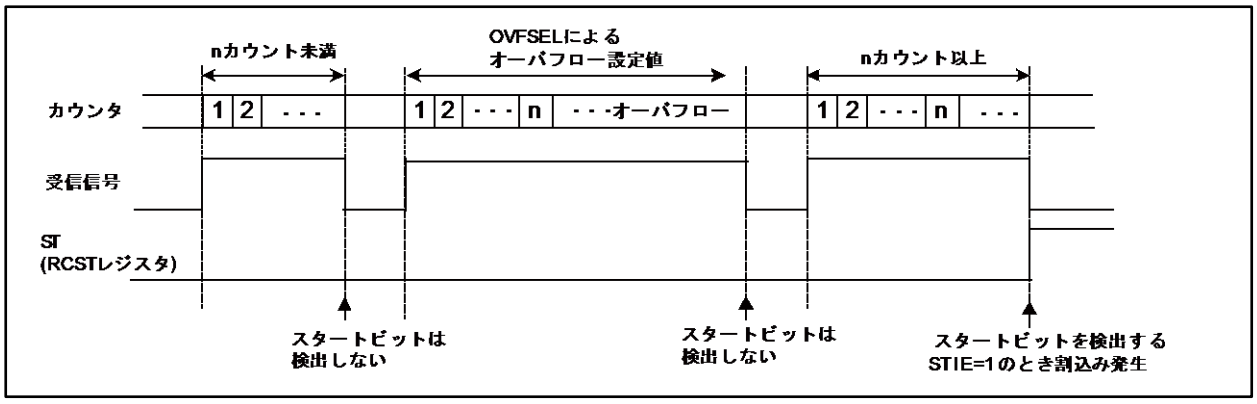


Figure 3-3 は、RCSHW=n に設定したときのスタートビット検出を説明しています。
スタートビット検出待ちの状態で n 以上の High 幅を入力すると、スタートビットを検出して ST=1 (RCST レジスタ)となります。また、あらかじめ STIE=1(RCST レジスタ)に設定しておくと、スタートビットを検出したときに割込みを出力します。
また、OVFSEL(RCST レジスタ)の設定によって決まるカウント数以上の High 幅を入力すると、オーバフローして、スタートビットは検出しません。

3.1.4 最小パルス幅違反

Figure 3-4 最小パルス幅違反

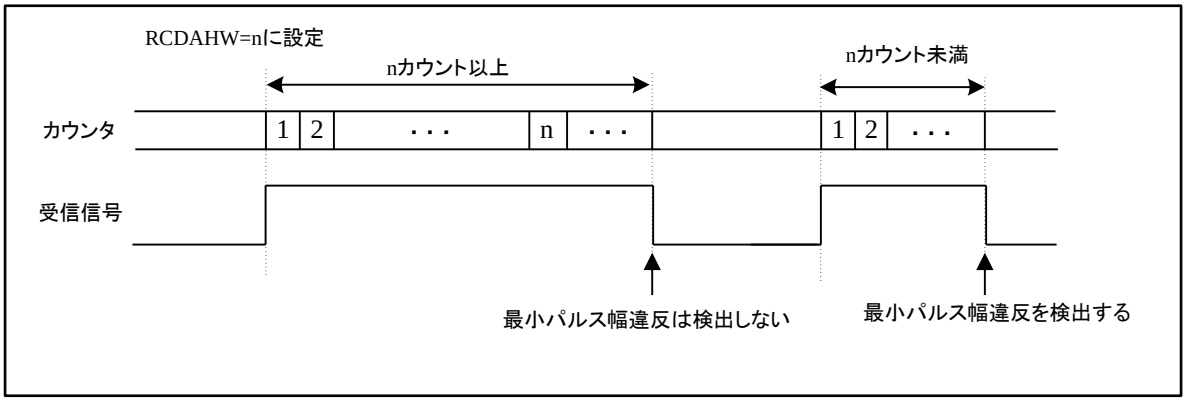


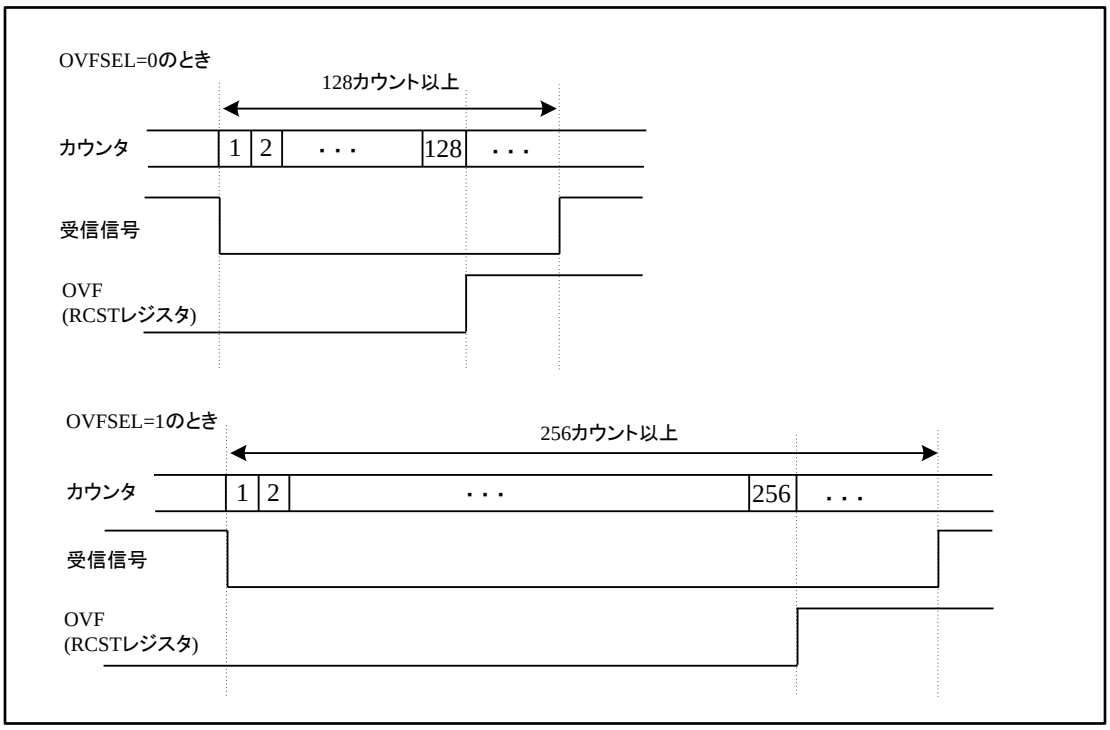
Figure 3-4 は、RCDAHW=n に設定したときの最小パルス幅違反を説明しています。
受信動作中に n 未満の信号を入力すると、最小パルス幅違反を検出して、スタートビット検出待ちの状態に戻ります。

3.1.5 デバイスアドレス比較

SIRCS モードでは、5 ビットのデバイスアドレスを受信します。デバイスアドレス比較は ADRCE=1 (RCCR レジスタ)のときに行います。
デバイスアドレスは、RCADR1,RCADR2 のいずれかの値と同じであれば、アドレス一致となります。アドレス不一致の場合は、スタートビット検出待ちの状態に戻ります。

3.1.6 カウンタオーバフロー検出と割込み出力

Figure 3-5 カウンタオーバフロー

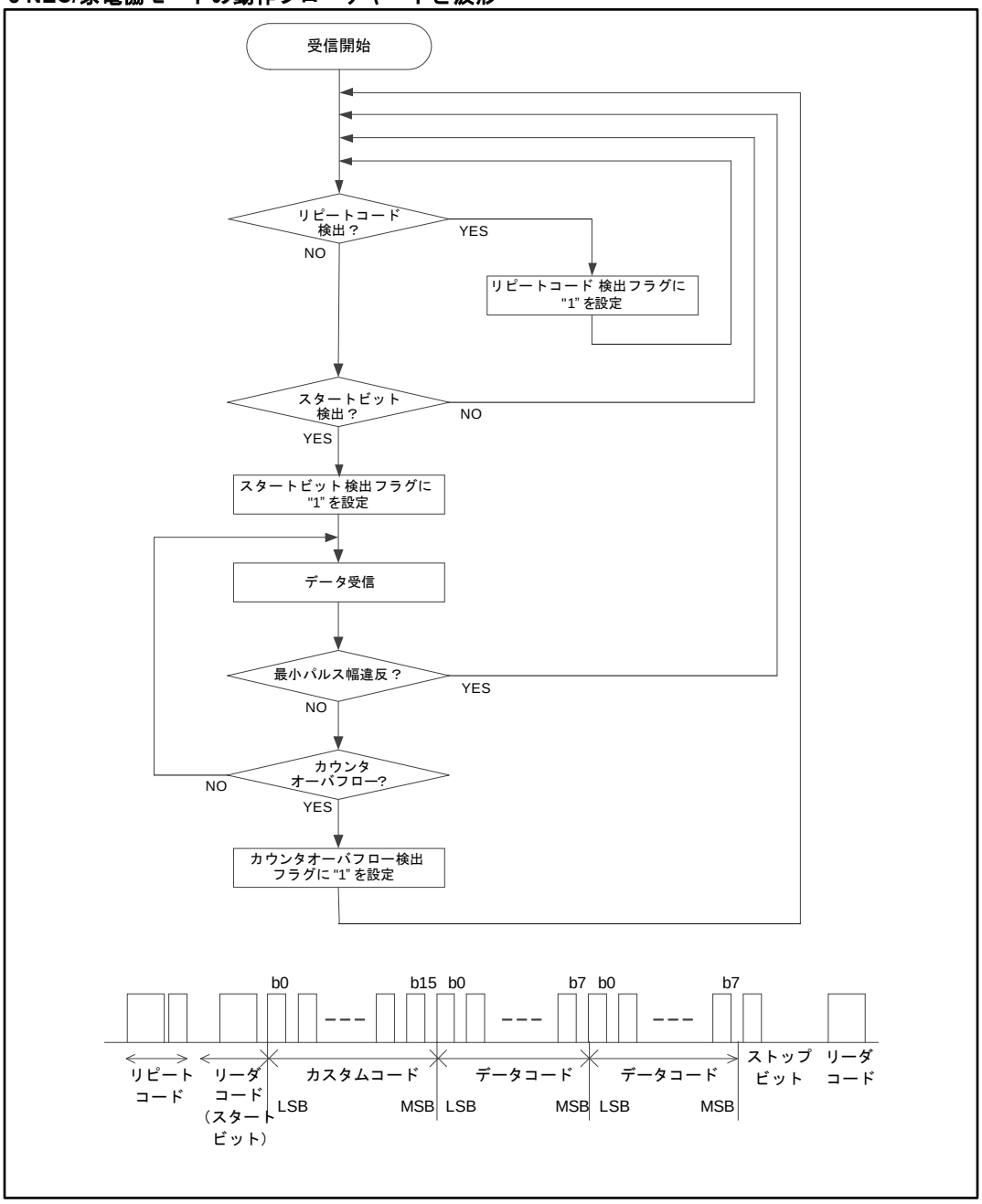


OVFSEL=0(RCST レジスタ)のとき、128 カウント以上連続した High または Low 入力が続くとオーバフローして、スタートビット検出待ちの状態に戻ります。また、OVFSEL=1 のときは 256 カウントでオーバフローします。
あらかじめ OVFIE=1(RCST レジスタ)に設定しておくと、オーバフローした後に割込みを出力します。

3.2 NEC/家電協モードの動作説明

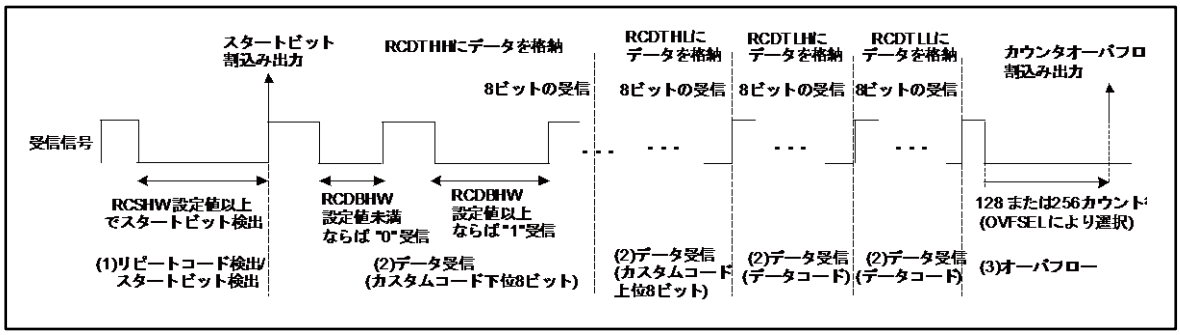
3.2.1 NEC/家電協モードの動作フローチャートと波形

Figure 3-6 NEC/家電協モードの動作フローチャートと波形



NEC/家電協モードは、カウントクロックによって受信信号の Low 幅をカウントして、データを受信します。

Figure 3-7 NEC/家電協モードの動作



■ 基本動作

基本動作は以下となります。

1. RCRHW 設定値以上かつ RCSHW 設定値未満の Low 幅が入力されると、リピートコードを検出します。
   また RCSHW の設定値以上の Low 幅が入力されると、スタートビットが検出されて、データ受信状態になります。
2. Figure 3-7 は、THSEL=0(RCCR レジスタ)のときの動作であり、RCDBHW の設定値未満の信号は"0" を 受信、RCDBHW の設定値以上の信号は"1"を受信します。
   データ受信はカスタムコード 2byte とデータコードを 2byte 受信します。
3. データ受信後にオーバフローすると、スタートビット/リピートビット検出待ちの状態に戻ります。

3.2.2 スタートビット検出

Figure 3-8 スタートビット検出

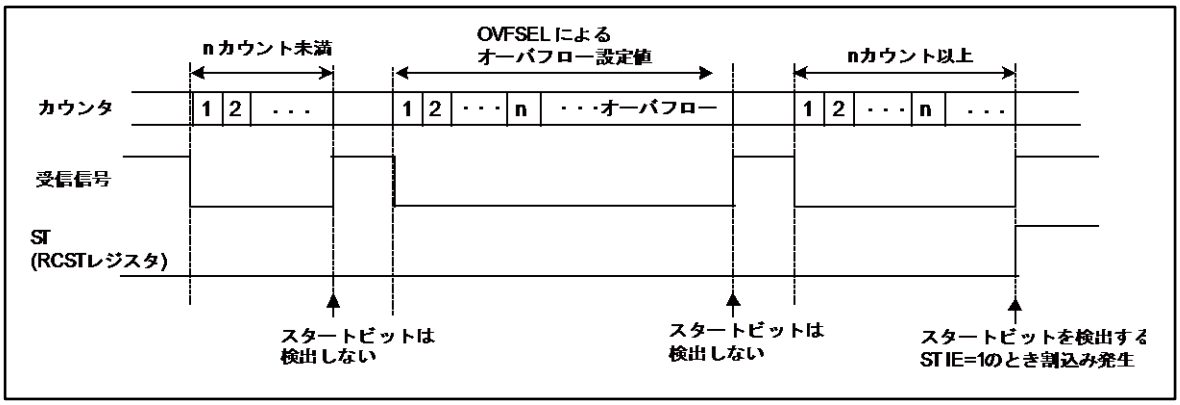


Figure 3-8 は、RCSHW=n に設定したときのスタートビット検出を説明しています。

スタートビット検出待ちの状態で n 以上の Low 幅を入力すると、スタートビットを検出して ST=1 (RCST レジスタ)となります。また、あらかじめ STIE=1(RCST レジスタ)に設定しておくと、スタートビットを検出したときに割込みを出力します。

また、OVFSEL(RCST レジスタ)の設定によって決まるカウント数以上の Low 幅を入力すると、オーバフローして、スタートビットは検出しません。

3.2.3 リピートコード検出

Figure 3-9 リピートコード検出

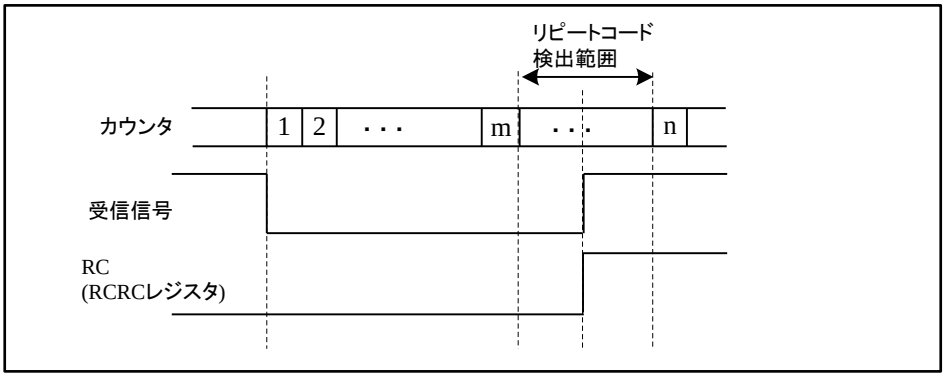


Figure 3-9 は、RCRHW=m, RCSHW=n に設定したときのスタートビット検出を説明しています。
受信開始時に、m より大きく n 未満の幅の Low 信号を入力すると、リピートコードを検出して、RC=1(RCRC レジスタ)となります。
リピートコードは NEC/家電協モード時のみ検出します。

3.2.4 最小パルス幅違反

Figure 3-10 最小パルス幅違反

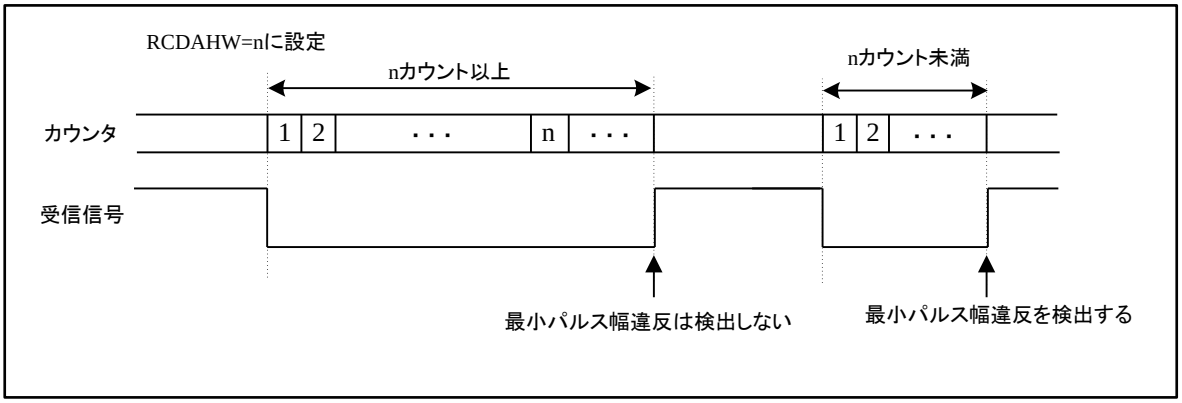
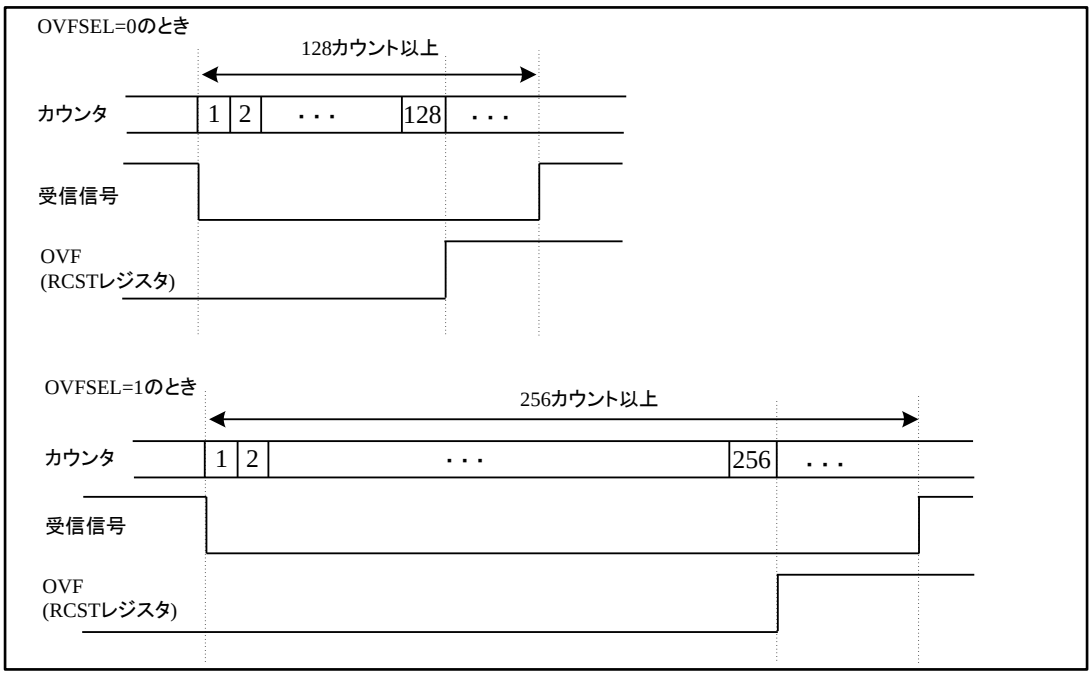


Figure 3-10 は、RCDAHW=n に設定したときの最小パルス幅違反を説明しています。
受信動作中に n 未満の Low 幅を入力すると、最小パルス幅違反を検出して、スタートビット検出待ちの状態に戻ります。

3.2.5 カウンタオーバフロー検出と割込み出力

Figure 3-11 カウンタオーバフロー

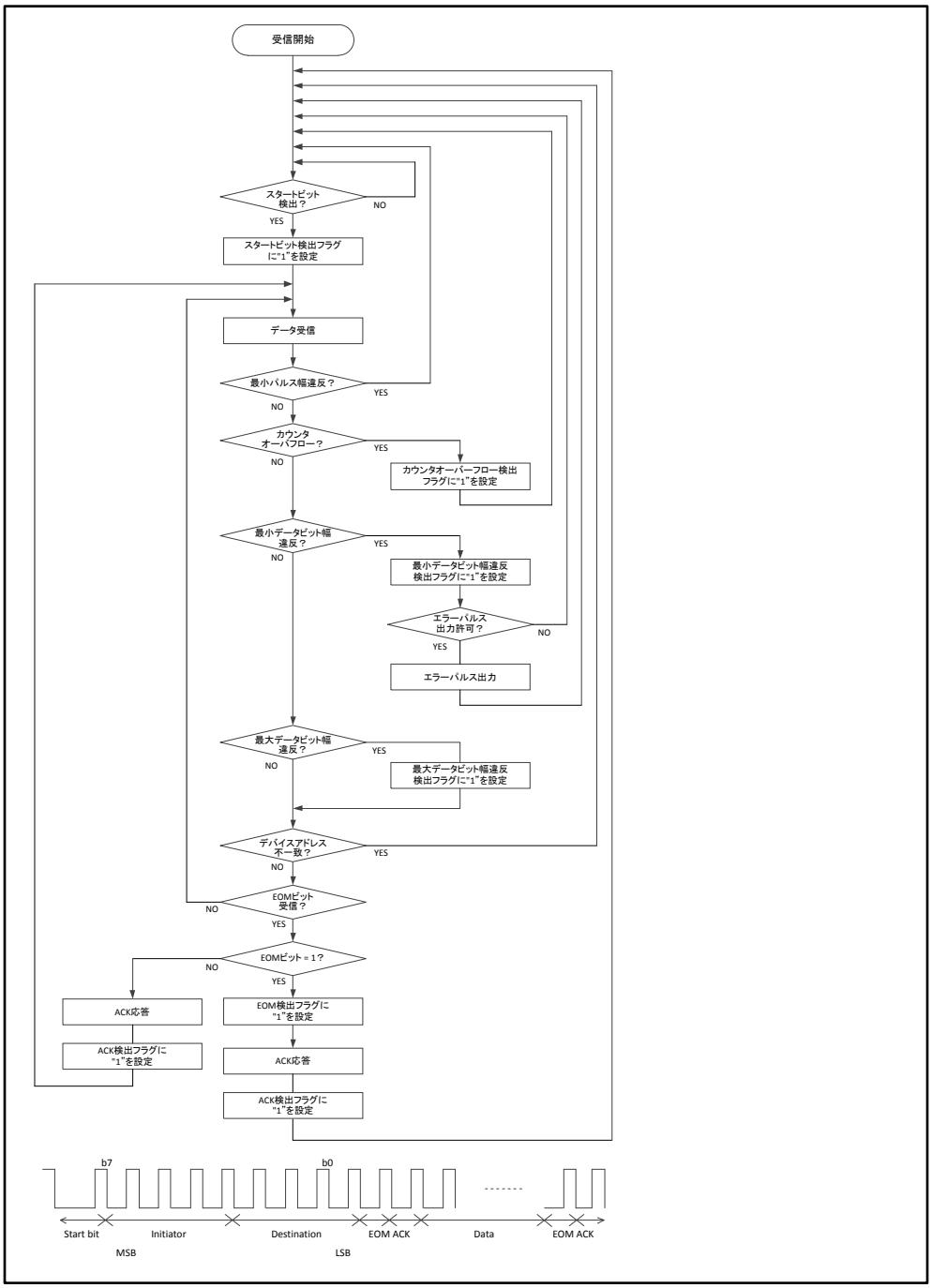


OVFSEL=0(RCST レジスタ)のとき、128 カウント以上連続した High または Low 入力が続くとオーバフローして、スタートビット検出待ちの状態に戻ります。また、OVFSEL=1 のときは 256 カウントでオーバフローします。
あらかじめ OVFIE=1(RCST レジスタ)に設定しておくと、オーバフローした後に割込みを出力します。

3.3 HDMI-CEC モード

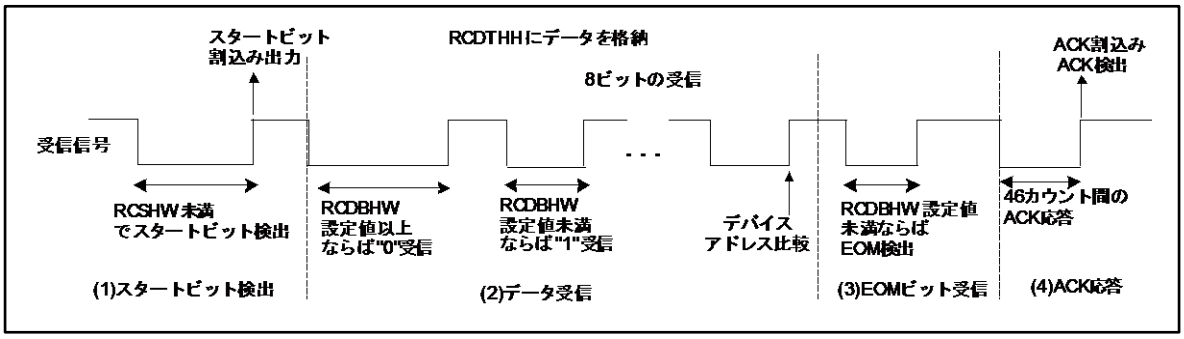
3.3.1 HDMI-CEC モードの動作フローチャートと波形

Figure 3-12 HDMI-CEC モードの動作フローチャートと波形



HDMI-CEC モードは、カウントクロックによって受信信号の Low 幅をカウントして、データを受信します。

Figure 3-13 HDMI-CEC モードの動作



■ 基本動作

基本動作は以下となります。

1. RCSHW の設定値未満の Low 幅が入力されると、スタートビットが検出されて、データ受信状態になります。
2. 図は、THSEL=1(RCCR レジスタ)のときの動作であり、RCDBHW の設定値以上の信号は"0"を受信、RCDBHW の設定値未満の信号は"1"を受信します。8 ビットの受信データは RCDTHH に格納され、下位 4 ビットはデバイスアドレス比較されます。4 ビットのデスティネーションは、RCADR1, RCADR2 のいずれかの値と同じであれば、アドレス一致となります。アドレス不一致の場合は、スタートビット検出待ちの状態に戻ります。
3. データ受信後に EOM が検出されると EOM=1(RCST レジスタ)となり、データ受信を終了します。EOM が検出されない場合には、EOM=0(RCST レジスタ)のままで、データ受信状態に戻り、再び RCDTHH に受信データを格納します。
4. EOM ビットを受信してから Low を入力すると、ACK を出力して、スタートビット検出待ちの状態 に戻ります。

3.3.2 スタートビット検出と割込み出力

Figure 3-14 HDMI-CEC モードのスタートビット検出

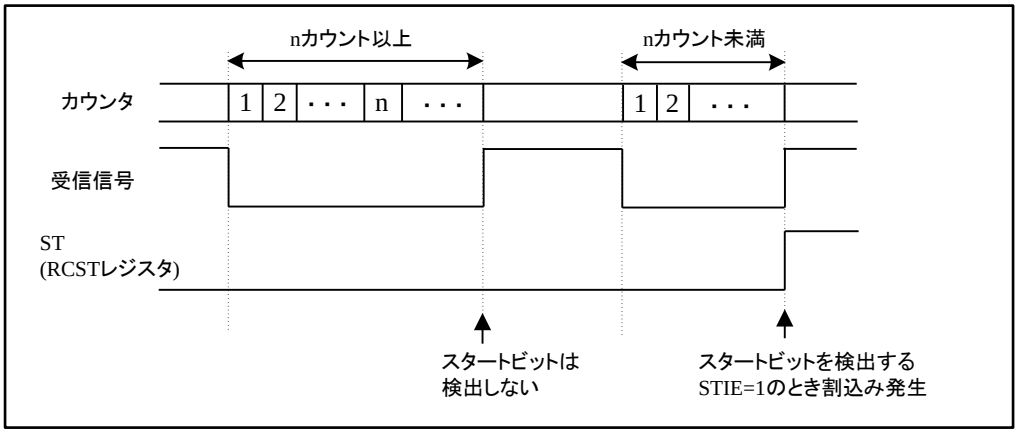


Figure 3-14 は、RCSHW=n に設定したときのスタートビット検出を説明しています(THSEL=1 に設定したときの動作です)。スタートビット検出待ちの状態で n 未満の Low 幅を入力すると、スタートビットを検出して ST=1(RCST レジスタ)となります。また、あらかじめ STIE=1(RCST レジスタ)に設定しておくと、スタートビットを検出したときに割込みを出力します。

3.3.3 最小パルス幅違反

Figure 3-15 最小パルス幅違反

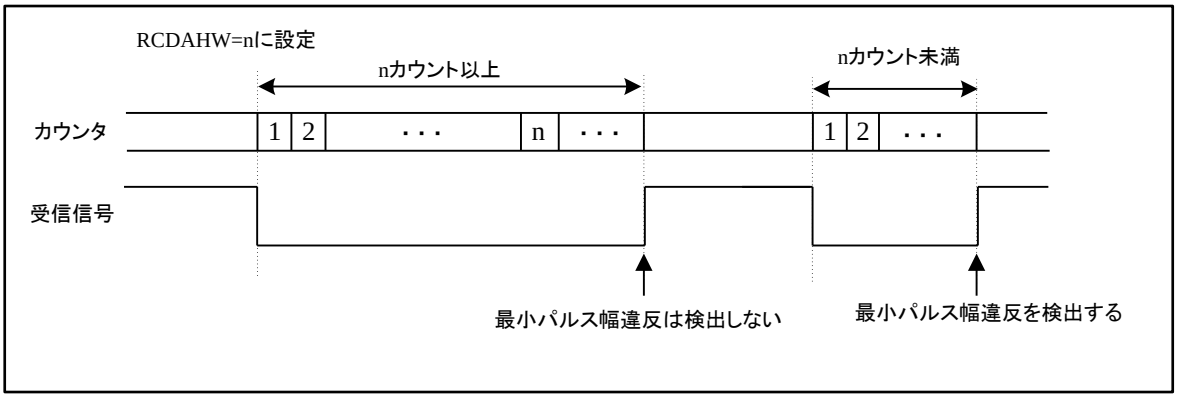
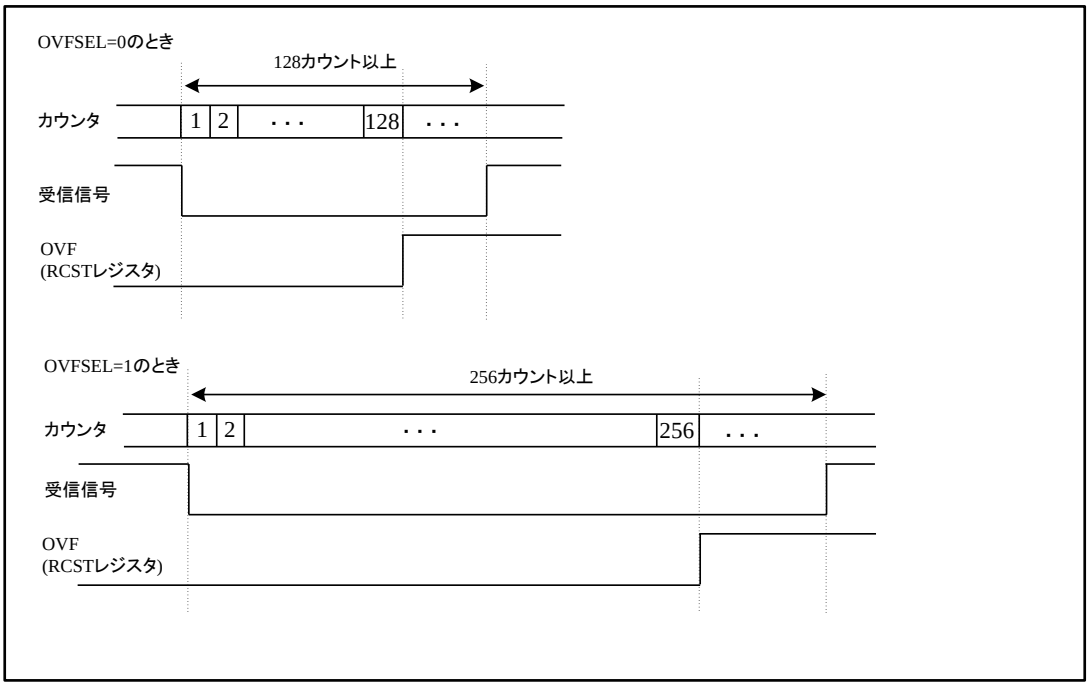


Figure 3-15 は、RCDAHW=n に設定したときの最小パルス幅違反を説明しています。
受信動作中に n 未満の信号を入力すると、最小パルス幅違反を検出して、スタートビット検出待ちの状態に戻ります。

3.3.4 カウンタオーバフロー検出と割込み出力

Figure 3-16 カウンタオーバフロー



OVFSEL=0(RCST レジスタ)のとき、128 カウント以上連続した High または Low 入力が続くとオーバフローして、スタートビット検出待ちの状態に戻ります。また、OVFSEL=1 のときは 256 カウントでオーバフローします。
あらかじめ OVFIE=1(RCST レジスタ)に設定しておくと、オーバフローした後に割込みを出力します。

3.3.5 デバイスアドレス比較

HDMI-CEC モードでは、4 ビットのデスティネーションを受信します。デバイスアドレス比較は ADRCE=1(RCCR レジスタ)のときに行います。
デスティネーションは、RCADR1, RCADR2 のいずれかの値と同じであれば、アドレス一致となります。
またブロードキャストアドレスの場合はアドレス一致となります。

アドレス不一致の場合は、スタートビット検出待ちの状態に戻ります。

3.3.6 データビット幅違反とエラーパルス自動出力

Figure 3-17 最小データビット幅違反

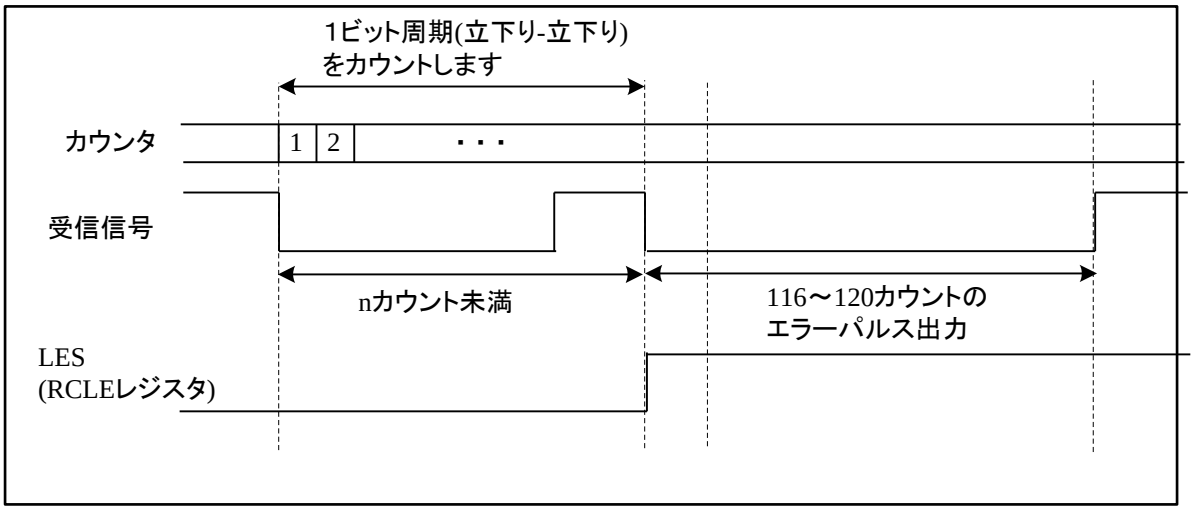


Figure 3-17 は、RCLESW=n に設定したときの最小データビット幅違反を説明しています。
LESE=1(RCLE レジスタ)のとき、1 ビット周期(立下り～立下り)が最小データビット幅設定レジスタ(RCLESW)の設定値より短い場合、最小データビット幅違反を検出して、LES=1(RCLE レジスタ)となります。
あらかじめ LESIE=1(RCLE レジスタ)に設定しておくと、最小データビット幅違反を検出したときに割込みを出力します。
また、EPE=1(RCLE レジスタ)に設定しておくと、違反を検出した後に Figure 3-17 のようにエラーパルスを出力します。

Figure 3-18 最大データビット幅違反

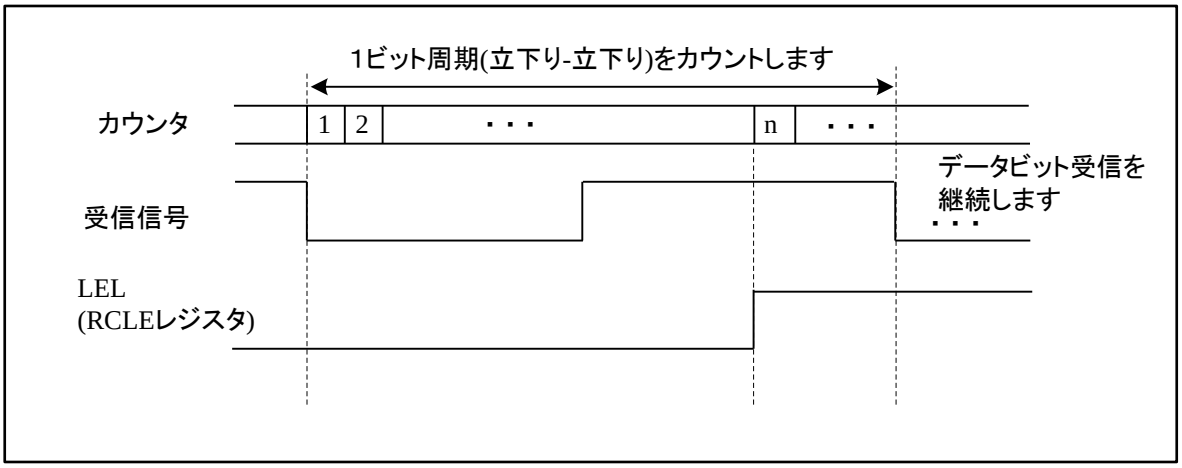


Figure 3-18 は、RCLELW=n に設定したときの最小データビット幅違反を説明しています。

LELE=1(RCLE レジスタ)のとき、1 ビット周期(立下り～立下り)が最大データビット幅設定レジスタ(RCLELW)の設定値以上の場合、最大データビット幅違反を検出して、LEL=1(RCLE レジスタ)となります。あらかじめ LELIE=1(RCLE レジスタ)に設定しておくと、最大データビット幅違反を検出したときに割込みを出力します。

3.3.7 EOM 検出

Figure 3-19 EOM 検出

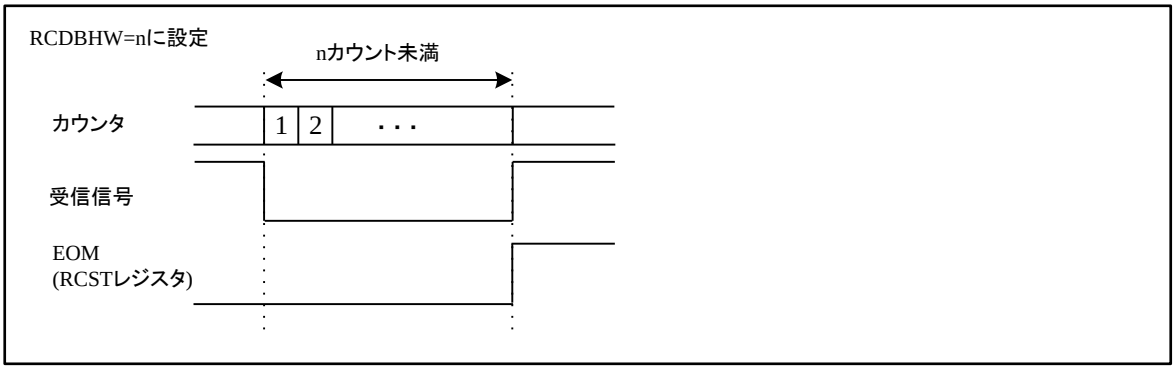
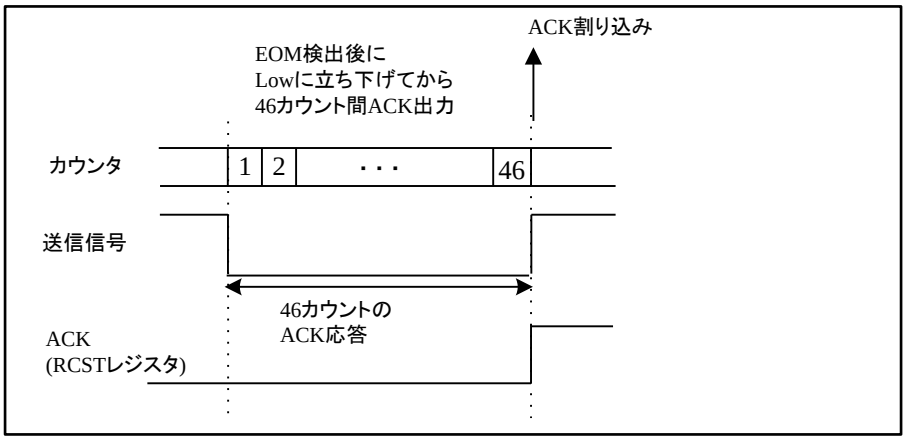


Figure 3-19 は、THSEL=1(RCCR レジスタ)のときの動作です。EOM ビット受信状態で、RCDBHW 設定値未満の Low 信号が入力されると、EOM を検出して、EOM=1(RCST レジスタ)となります。

3.3.8 ACK 検出と割込み出力

Figure 3-20 ACK 検出と割込み出力



EOM 検出後に Low 信号が入力されると、ACK 応答として 46 カウント間の Low を出力します。Low 出力後に High 信号が入力されると、ACK を検出して ACK=1(RCST レジスタ)となります。あらかじめ ACKIE=1(RCST レジスタ)に設定しておくと、ACK が検出されたときに割込みを出力します。
RCCR レジスタのアドレス許可ビット(ADRCE)が 1 の場合には、アドレス一致を検出したときのみ ACK を出力します。ブロードキャストアドレスの場合は一致とみなしますが、ACK 応答は行いません。

Table 3-1 ACK 出力と ACK 割込み

受信したデスティネーションアドレス	ADRCE	RCADR1, RCADR2		ACK 出力	ACK 割込み
0x0~0xE	0	-		ACK	発生する
	1	0x00~0x0E	一致時	ACK	発生する
			不一致時	NACK	発生しない
		0x0F		NACK	発生しない
0xF	-	-		NACK	発生する

3.3.9 ノイズフィルタ

CEC 信号の入力がカウントクロックの 2 クロック未満の幅で変化した場合、フィルタによりノイズと判断され、その信号は除去されます。

4. 設定例

設定例を説明します。(カウントクロックが 32.768kHz の場合)

Table 4-1 リモコン(SIRCS)時の設定例

レジスタ	設定値	設定時間
受信制御レジスタ	MOD=00, THSEL=0, ADRCE=1	
受信割込み制御レジスタ	ACKIE=0, OVFIE=1	
	OVFSEL=0	3.9 ms
スタートビット検出幅設定レジスタ	76	2.3 ms
最小パルス幅設定レジスタ	17	0.52 ms
しきい値設定レジスタ	37	1.1 ms

Table 4-2 リモコン(NEC)時の設定例

レジスタ	設定値	設定時間
受信制御レジスタ	MOD=10, THSEL=0	
受信割込み制御レジスタ	ACKIE=0, OVFIE=1	
	OVFSEL=1	7.8 ms
スタートビット検出幅設定レジスタ	144	4.4 ms
最小パルス幅設定レジスタ	15	0.46 ms
しきい値設定レジスタ	52	1.6 ms
リピートコード割込み制御レジスタ	RCIE=1	
リピートコード検出幅設定レジスタ	65	2.0 ms

Table 4-3 HDMI-CEC 時の設定例

レジスタ	設定値	設定時間
受信制御レジスタ	MOD=11, THSEL=1, ADRCE=1	
受信割込み制御レジスタ	ACKIE=1, OVFIE=1	
	OVFSEL=1	7.8 ms
スタートビット検出幅設定レジスタ	114	3.5 ms
最小パルス幅設定レジスタ	13	0.4 ms
しきい値設定レジスタ	42	1.3 ms
最大/最小データビット幅違反制御レジスタ	LELIE=1, LESIE=1, LELE=1, LESE=1, EPE=1	
最大データビット幅設定レジスタ	91	2.8ms
最小データビット幅設定レジスタ	65	2.0ms

5. レジスタ

レジスター一覧を示します。

Table 5-1 レジスター一覧

レジスタ略称	レジスタ名	参照先
RCCR	受信制御レジスタ	5.1
RCST	受信割込み制御レジスタ	5.2
RCADR1	デバイスアドレス設定レジスタ 1	5.3
RCADR2	デバイスアドレス設定レジスタ 2	5.3
RCSHW	スタートビット検出幅設定レジスタ	5.4
RCDAHW	最小パルス幅設定レジスタ	5.5
RCDBHW	しきい値設定レジスタ	5.6
RCDTHH	データ格納レジスタ HH	5.7
RCDTHL	データ格納レジスタ HL	5.7
RCDTLH	データ格納レジスタ LH	5.7
RCDTLL	データ格納レジスタ LL	5.7
RCCKD	クロック分周レジスタ	5.8
RCRC	リピートコード割込み制御レジスタ	5.9
RCRHW	リピートコード検出幅設定レジスタ	5.10
RCLEIC	データビット幅違反割込み制御レジスタ	5.11
RCLESW	最小データビット幅設定レジスタ	5.12
RCLELW	最大データビット幅設定レジスタ	5.13

5.1 受信制御レジスタ(RCCR)

受信制御レジスタ(RCCR)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	THSEL	予約	予約	予約	ADRCE	MOD1	MOD0	EN
属性	R/W				R/W	R/W	R/W	R/W
初期値	0				0	0	0	0

[bit7] THSEL： しきい値選択ビット

RCDAHW, RCDBHW によって"0", "1"を判定する基準を設定します。

状態	THSEL	
	0	1
W ＞RCDAHW	"0"データ	"1"データ
W ＜RCDBHW		
W ＞RCDAHW	"1"データ	"0"データ
W ≧RCDBHW		

[bit6:4] 予約 ： 予約ビット

読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit3] ADRCE： アドレス比較許可ビット

初期値は"0"(比較禁止)で、 "1"にすると受信アドレスとデバイスアドレスの比較が許可されます。
比較許可の場合、アドレスが一致したときのみ ACK/OVF 割込みが発生します。
CEC モードの場合、アドレス一致を検出すると ACK 応答を返します。ブロードキャストアドレスの場合は一致とみなしますが、ACK 応答は行いません。
SIRCS モード・HDMI-CEC モード以外のときは"0"に設定してください。

[bit2:1] MOD1, MOD0： 動作モード設定ビット

bit2	bit1	機能
0	0	SIRCS モード [初期値]
0	1	設定禁止
1	0	NEC/家電協モード
1	1	HDMI-CEC モード

SIRCS モード以外(MOD1=1 のとき)は、入力信号を内部で反転して処理しています。
"H"幅比較は"L"幅に対して適用されます。

[bit0] EN： 動作許可ビット

本ビットを"1"にすると、受信動作が開始されます。
初期値は"0"(停止)です。

＜注意事項＞

- *本ビットが"1"のとき(動作中)は、下記の設定レジスタ・ビットは変更しないでください。*

  RCCR レジスタの THSEL ビット, ADRCE ビット, MOD ビット
  RCST レジスタの OVFSEL ビット
  RCSHW, RCDAHW, RCDBHW, RCADR1, RCADR2, RCCKD レジスタ
  RCRC, RCRHW, RCLE, RCLELW, RCLESW レジスタ

5.2 受信割込み制御レジスタ(RCST)

受信割込み制御レジスタ(RCST)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	STIE	ACKIE	OVFIE	OVFSEL	ST	ACK	EOM	OVF
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] STIE： スタートビット割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit6] ACKIE : ACK 割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

HDMI-CEC モードのみ有効です。

[bit5] OVFIE： カウンタオーバフロー割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

本割込みは、スタートビットが検出された後にオーバフローが発生した場合のみ発生します。
スタートビット未検出の状態では割込みは発生しません。

[bit4] OVFSEL： カウンタオーバフロー検出条件設定ビット

bit	説明
0	カウンタが 128 クロックカウントするとオーバフローが発生します。
1	カウンタが 256 クロックカウントするとオーバフローが発生します。

[bit3] ST : スタートビット検出ビット

bit	説明
0	スタートビット未検出
1	スタートビット検出

"0"書込みでクリアされます。
STIE ビットが"1"のとき、スタートビットを検出すると割込みが発生します。

[bit2] ACK : ACK 検出ビット

bit	説明
0	ACK 未検出
1	ACK 検出

"0"書込みでクリアされます。
ACKIE ビットが"1"のとき、ACK を検出すると割込みが発生します。
アドレス比較許可の場合は、アドレス一致した場合のみ割込みが発生します。
HDMI-CEC モードのみ有効です。

[bit1] EOM : EOM 検出ビット

bit	説明
0	EOM 未検出
1	EOM 検出

"0"書込みでクリアされます。
HDMI-CEC モードのみ有効です。

[bit0] OVF : カウンタオーバフロー検出ビット

bit	説明
0	カウンタオーバフロー未検出
1	カウンタオーバフロー検出

アドレス比較許可の場合は、アドレス一致した場合のみ割込みが発生します。
"0"書込みでクリアされます。
SIRCS モード時は、2 バイト目を受信するまでは OVF ビットはセットされません。

5.3 デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2)

デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	予約			RCADR1, 2				
属性				R/W				
初期値				00000				

[bit7:5] 予約 : 予約ビット

読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit4:0] RCADR1, 2 : デバイスアドレス設定ビット

本レジスタに設定したアドレスが,受信したデバイスアドレスや HDMI-CEC のデスティネーションと比較されます。
HDMI-CEC モード時に、本レジスタに 0x0F (ブロードキャストアドレス)を設定するとブロードキャストを含むアドレス受信で ACK 応答を行いません。

5.4 スタートビット検出幅設定レジスタ(RCSHW)

スタートビット検出幅設定レジスタ(RCSHW)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	RCSHW							
属性	R/W							
初期値	0x00							

[bit7:0] RCSHW

スタートビットの期間を設定するレジスタです。
設定値を超える幅の信号が受信されると、スタートビットと認識します。
受信した信号の幅が設定値未満の場合、スタートビット未検出となり、再度スタートビットの検出待ち状態となります。
OVFSEL=0 のときは RCSHW ≦ 127(オーバフロー検出を超えない値)としてください。

5.5 最小パルス幅設定レジスタ (RCDAHW)

最小パルス幅設定レジスタ (RCDAHW)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	RCDAHW							
属性	R/W							
初期値	0x00							

[bit7:0] RCDAHW

最小パルス幅期間を設定するレジスタです。
本レジスタに設定する値は、2 ≦ RCDAHW ＜ RCDBHW となるようにしてください。
また、 CEC モード時は、RCDAHW＜46 となるようにしてください(ACK 応答パルス幅未満)。
RCDAHW 設定値未満の信号を受信すると、最小パルス幅違反として検出します。

5.6 しきい値設定レジスタ (RCDBHW)

しきい値設定レジスタ (RCDBHW)のビット構成に示します。

bit	7	6	5	4	3	2	1	0
Field	RCDBHW							
属性	R/W							
初期値	0x00							

[bit7:0] RCDBHW

データ受信幅のしきい値を設定するレジスタです。
RCCDAHW より小さい値は設定禁止です。
必ず RCCDAHW ＜ RCCDBHW ＜ RCSHW となるように設定してください。

5.7 データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)

データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)のビット構成を示します。

bit	31	30	29	28	27	26	25	24
Field	RCDTHH							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	RCDTHL							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	RCDTLH							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RCDTLL							
属性	R							
初期値	0x00							

受信したデータを格納するレジスタです。
HDMI-CEC モードの場合は RCDTHH レジスタに受信データが格納されます。
リモコンモードの場合は、8 ビット受信するごとに RCDTHH レジスタから順に格納されます。
カウンタオーバフロー割込み発生時は、それまで受信されたビットが MSB 詰めで格納されます。
RCCR レジスタの EN ビットが"0"のときは、本レジスタからは不定が読み出されます。
4 バイト分を超える信号が入力された場合、超過分は無視され、レジスタには反映されません。

5.8　クロック分周設定レジスタ (RCCKD)

クロック分周設定レジスタ (RCCKD)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約			CKSEL	CKDIV			
属性				R/W	R/W			
初期値				0	0000			

bit	7	6	5	4	3	2	1	0
Field	CKDIV							
属性	R/W							
初期値	0x00							

[bit15:13] 予約 : 予約ビット

読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit12] CKSEL : カウントクロック選択ビット

bit	説明
0	周辺クロック(PCLK)を分周したクロックが選択されます。
1	サブクロックが選択されます。

[bit11:0] CKDIV : カウントクロック分周設定ビット

分周比は CKDIV＋1 となります。
1 分周 (非分周)～4096 分周まで設定できます(CKSEL=1 の時は分周されません)。

5.9 リピートコード割込み制御レジスタ(RCRC)

リピートコード割込みを制御します。

bit	7	6	5	4	3	2	1	0
Field	予約			RCIE	予約			RC
属性				R/W				R/W
初期値				0				0

[bit7:5] 予約: 予約ビット

読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit4] RCIE: リピートコード割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit3:1] 予約: 予約ビット

読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit0] RC: リピートコード検出フラグビット

bit	説明
0 読出し時	リピートコード未検出
1 読出し時	リピートコード検出
0 書込み時	本フラグをクリアします
1 書込み時	影響しません

<注意事項>

- *リピートコードは NEC/家電協モード時のみ検出します。*

5.10 リピートコード検出幅設定レジスタ(RCRHW)

リピートコードを判定する検出期間を設定します。

bit	7						0
Field	RCRHW						
属性	R/W						
初期値	0x00						

[bit7:0] RCRHW: リピートコード検出幅設定ビット

リピートコードの検出期間を設定するビットです。
スタートビット・リピートコード待ち状態時に、RCRHW レジスタ設定値より大きく RCSHW レジスタ設定値未満の幅の信号を受信すると、リピートコードとして検出します。
本レジスタに設定する値は、RCRHW＜RCSHW となるように設定してください。

＜注意事項＞

- *リピートコードは NEC/家電協モード時のみ検出します。*

5.11 データビット幅違反制御レジスタ(RCLE)

最大/最小データビット幅違反を制御します。

bit	7	6	5	4	3	2	1	0
Field	LELIE	LESIE	LELE	LESE	EPE	予約	LEL	LES
属性	R/W	R/W	R/W	R/W	R/W		R/W	R/W
初期値	0	0	0	0	0		0	0

[bit7] LELIE: 最大データビット幅違反割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit6] LESIE: 最小データビット幅違反割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit5] LELE: 最大データビット幅違反検出許可ビット

bit	説明
0	最大データビット幅違反検出禁止
1	最大データビット幅違反検出許可

[bit4] LESE: 最小データビット幅違反検出許可ビット

bit	説明
0	最小データビット幅違反検出禁止
1	最小データビット幅違反検出許可

[bit3] EPE: エラーパルス出力許可ビット

bit	説明
0	出力禁止
1	出力許可

EPE="1"設定時、最小データビット幅違反を検出すると、116～120 サイクルの"L"パルスを出力します。

[bit2] 予約 : 予約ビット

読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit1] LEL: 最大データビット幅違反検出フラグビット

bit	説明
0 読出し時	最大データビット幅違反は検出していません。
1 読出し時	最大データビット幅違反を検出しました。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit0] LES: 最小データビット幅違反検出フラグビット

bit	説明
0 読出し時	最小データビット幅違反は検出していません。
1 読出し時	最小データビット幅違反を検出しました。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

<注意事項>

- *最大/最小データビット幅違反は HDMI-CEC モード時のみ検出します。*

5.12 最大データビット幅設定レジスタ(RCLELW)

最大データビット幅を設定します。

bit	7	0
Field	RCLELW	
属性	R/W	
初期値	0x00	

[bit7:0] RCLELW: 最大データビット幅設定ビット

最大データビット幅を設定するビットです。
RCLELW 値以上の幅のデータビットを受信すると、最大データビット幅違反として検出します。

＜注意事項＞

- *最大データビット幅違反は HDMI-CEC モード時のみ検出します。*

5.13 最小データビット幅設定レジスタ(RCLESW)

最小データビット幅を設定します。

bit	7						0
Field	RCLESW						
属性	R/W						
初期値	0x00						

[bit7:0] RCLESW: 最小データビット幅設定ビット

最小データビット幅を設定するビットです。
RCLESW 値未満の幅のデータビットを受信すると、最小データビット幅違反として検出します。

＜注意事項＞

- *最小データビット幅違反は HDMI-CEC モード時のみ検出します。*

CHAPTER 6-3: CEC 送信

CEC(Consumer Electronics Control)送信機能と動作について示します。

1. CEC 送信の概要
2. CEC 送信回路のブロックダイヤグラム
3. CEC 送信割込み
4. CEC 送信のレジスター一覧
5. CEC 送信の動作説明
6. CEC 送信のレジスタセット

1. CEC 送信の概要

HDMI(High Definition Multimedia Interface)で規格化される CEC 信号の送信を行います。送信仕様の概要を以下に示します。

ヘッダ自動送信
シグナルフリーを判定してヘッダブロックの自動送信。

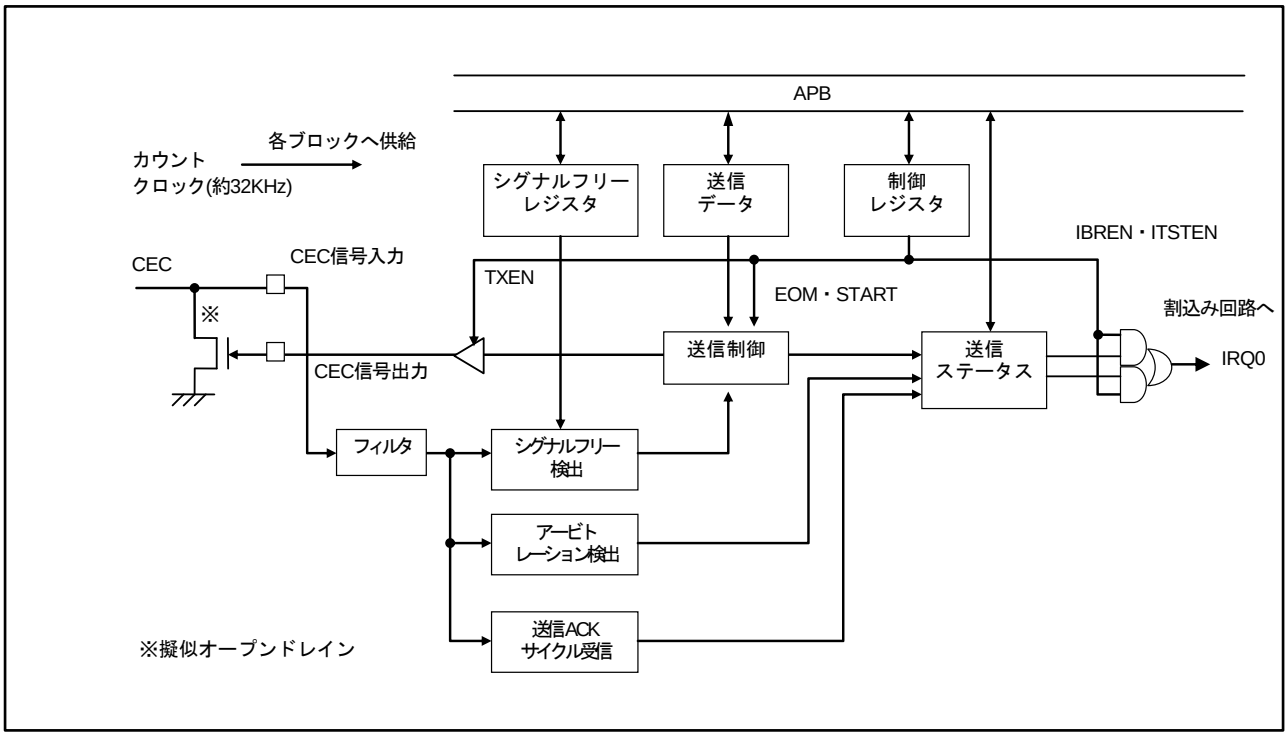
バスエラー検出
アービトレーションロストを検出してステータス割込みを発生。

データ送信
- 1 バイトデータの設定により START, EOM, ACK を自動生成して CEC 送信出力。
- 1 ブロック(1 バイトのデータと EOM, ACK)を送信した時に送信ステータス割込みを発生。

2. CEC 送信回路のブロックダイヤグラム

Figure 2-1 に、CEC 送信回路のブロックダイヤグラムを示します。

Figure 2-1 CEC 送信回路のブロックダイヤグラム



3. CEC 送信割込み

CEC 送信機能での割込み要求フラグ, 割込み許可ビットと割込み要因をまとめた一覧を示します。

割込み制御ビットと割込み要因

割込み制御ビットと割込み要因を Table 3-1 に示します。

Table 3-1 各モードでの割込み制御ビットと割込み要因

送信ステータス (TXSTS)	送信制御 (TXCTRL)	割込み要因	割込み要因出力信号
割込み要求フラグビット	割込み要求許可ビット		
ITST : bit4	ITSTEN : bit4	送信ステータス検出	IRQ0
IBR : bit5	IBREN : bit5	バスエラー検出	

4. CEC 送信のレジスター覧

CEC 送信のレジスター覧を示します。

CEC 送信のレジスター覧

4.1 Table 4-1 CEC 送信のレジスター覧

レジスタ略称	レジスタ名	参照先
TXCTRL	送信制御レジスタ	6.1
TXDATA	送信データレジスタ	6.2
TXSTS	送信ステータスレジスタ	6.3
SFREE	シグナルフリー時間設定レジスタ	6.4

5. CEC 送信の動作説明

CEC 送信の動作について説明します。

5.1 CEC 送信動作

送信時の基本動作を説明します。

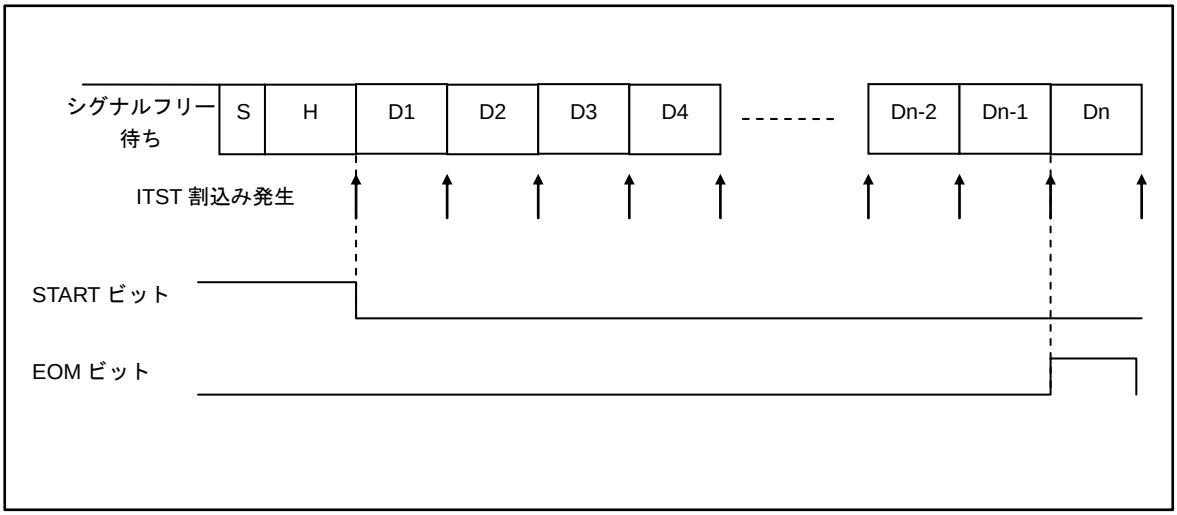
基本動作

基本動作は以下となります。

- 先ず CEC のカウントクロックの設定を受信側で設定します。
- 次に送信の各種設定を行い、送信データを TXDATA レジスタに書き込むと、シグナルフリー状態を検出するまで待ちます。シグナルフリー状態を検出するとスタートビットを自動送信します。
- スタートビット送信後に TXDATA レジスタに設定された 1 バイトデータと EOM 設定ビットに設定されたデータと、ACK ビットを自動送信します。
- ACK ビットの自動送信の直後に、TXSTS レジスタの ITST ビットの割込みが発生するため、ACK サイクル値を確認して正常なら次の送信に向けて各種設定と送信データの書込みを行います。
- EOM が"1"に設定された状態で送信が終了するまで同様に送信を行います。

CEC 送信時の基本動作タイミングを Figure 5-1 に示します。

Figure 5-1 CEC 送信の基本動作タイミングチャート



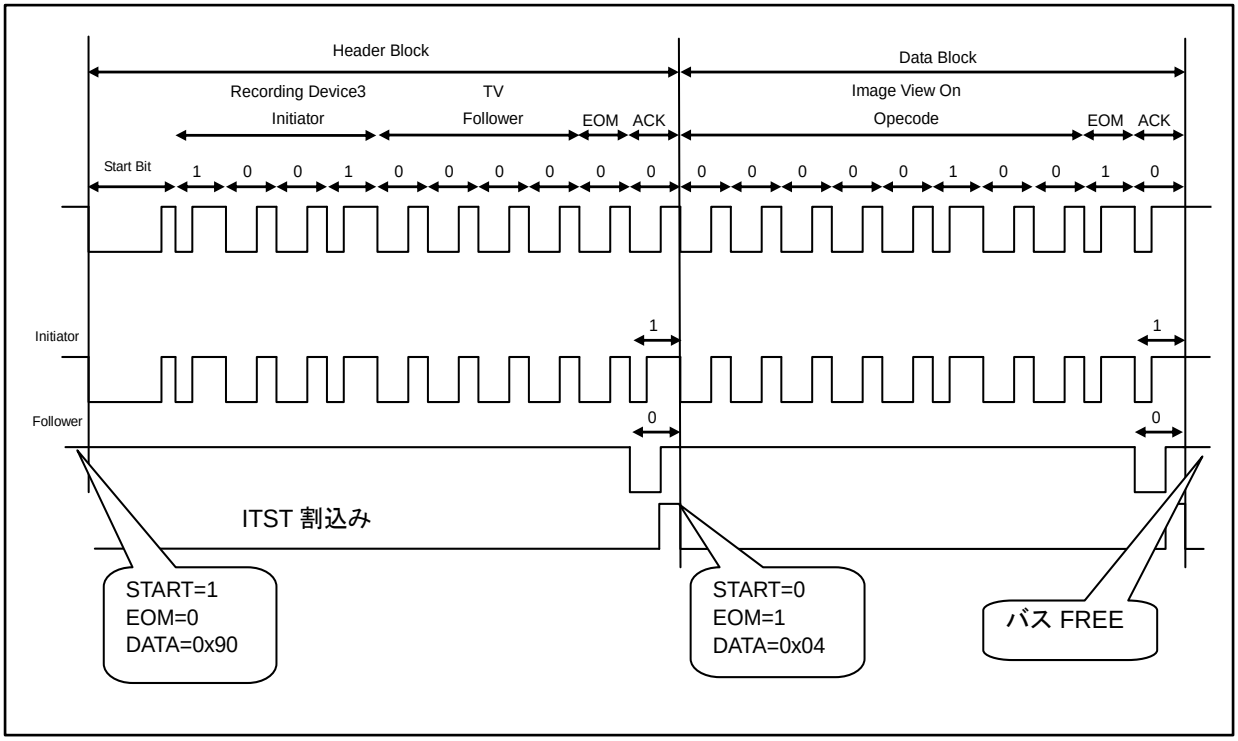
5.2 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

割込み要因とタイミングチャート

Figure 5-2 にヘッダブロックと単一のデータブロック送信の場合で、ITST 割込み要因とタイミングチャートを示します。

Figure 5-2 CEC 送信の割込み要因とタイミングチャート



5.3 アービトレーションロスト検出

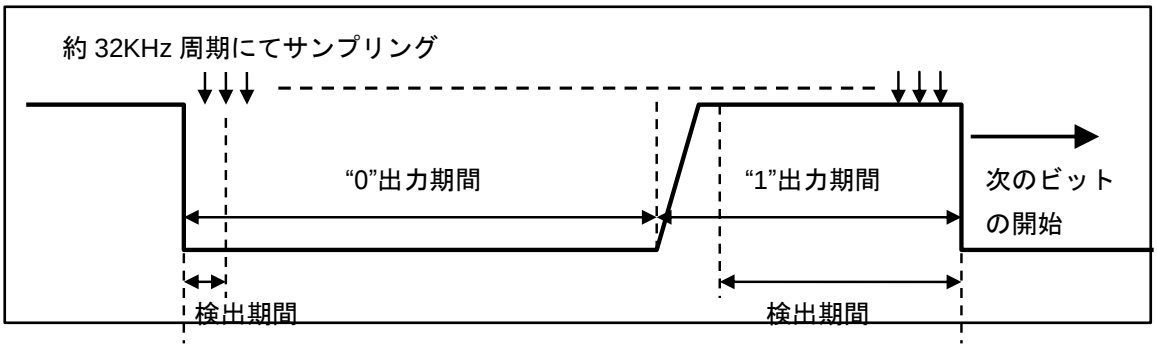
アービトレーションロスト検出について示します。

アービトレーションロストの検出方法

Figure 5-3 にアービトレーションロストの検出方法を示します。

ビットごとに下記検出期間にて、バス上のデータを約 32kHz 周期にてサンプリングし、送信出力と比較し、違いが検出された場合、アービトレーションロストを検出します。アービトレーションロストを検出すると、TXSTS レジスタの IBR が"1"になります。

Figure 5-3 アービトレーションロスト検出期間

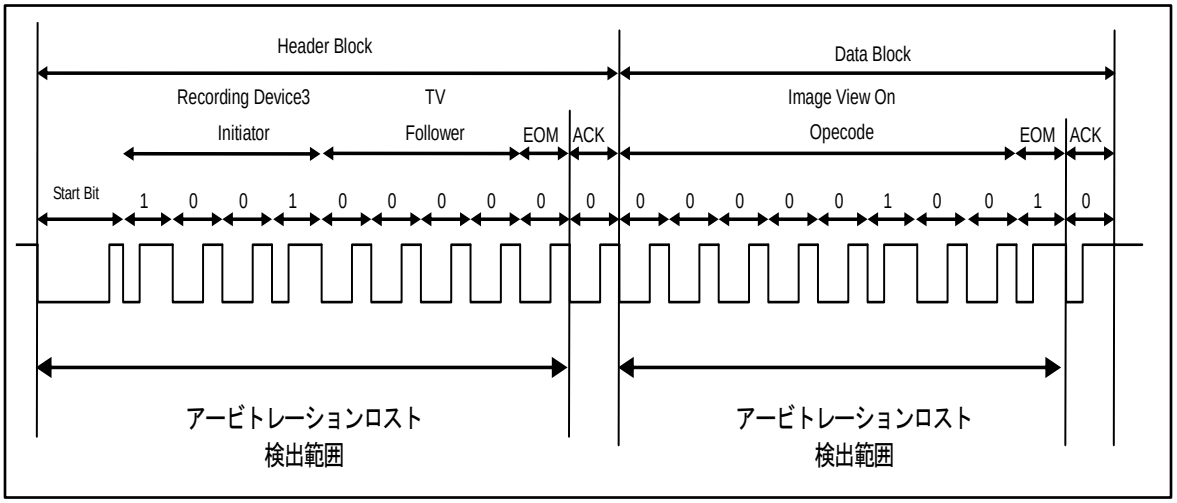


アービトレーションロストの検出範囲

Figure 5-4 にアービトレーションロストの検出範囲を示します。

各ブロック転送の中で ACK サイクルを除く EOM までが検出範囲となります。

Figure 5-4 アービトレーションロスト検出範囲



5.4 シグナルフリー検出

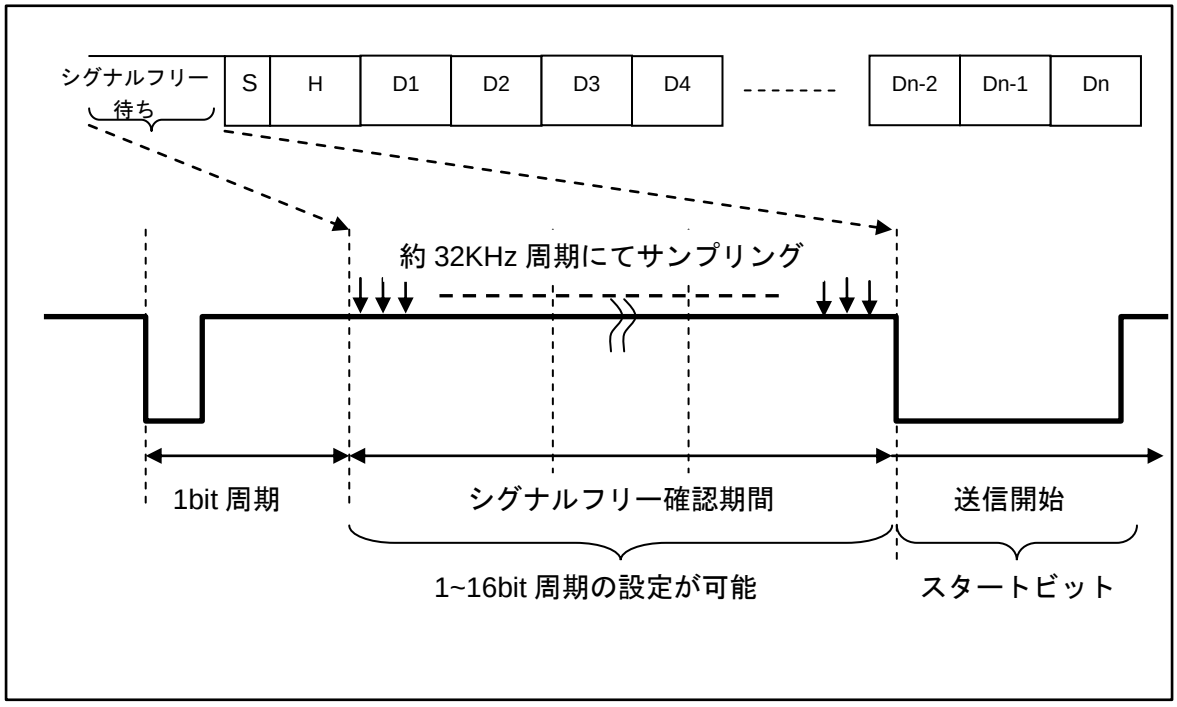
シグナルフリー検出について示します。

シグナルフリーの検出方法

Figure 5-5 にシグナルフリー検出を示します。

SFREE レジスタに設定した周期分の期間で、前フレーム終了時から CEC のバス上に変化がない場合にはシグナルフリー検出状態とします。

Figure 5-5 シグナルフリー検出



5.5 フィルタ機能

送信側の CEC 信号の入力をフィルタする機能について説明します。

CEC 信号のフィルタについて

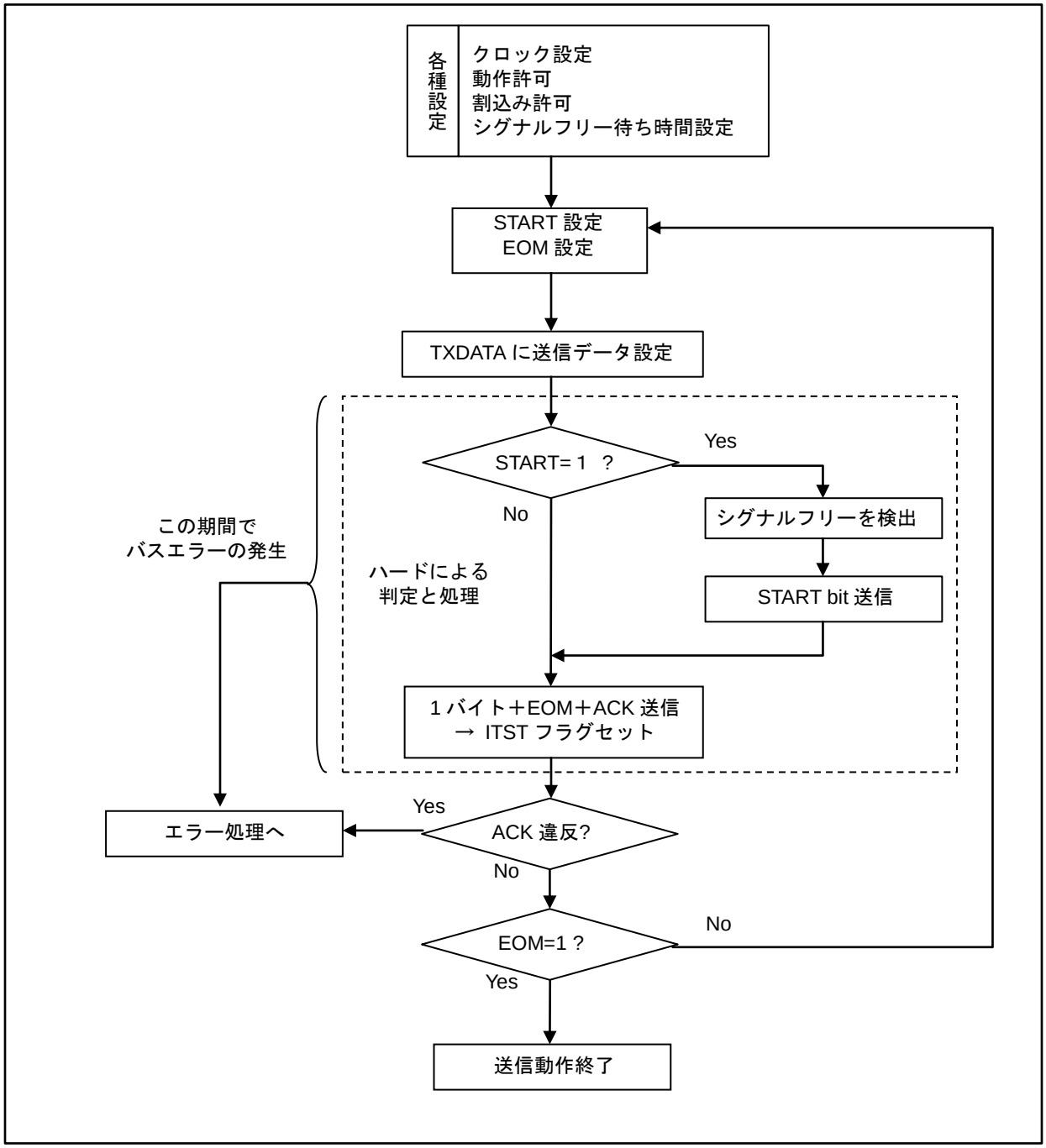
CEC 信号の入力がカウントクロックの 2 クロック未満の幅で変化した場合、フィルタによりノイズと判断され、その信号は除去されます。

カウントクロックの 2 クロック以上の幅で変化した入力は、CEC 信号と判断され、その信号はフィルタを通過します。

5.6 CEC 送信動作について

CEC 送信動作についてフローを示します。

CEC 送信動作フロー例



6. CEC 送信のレジスタセット

CEC 送信のすべてのレジスタについて説明します。

6.1. 送信制御レジスタ(TXCTRL)
6.2. 送信データレジスタ(TXDATA)
6.3. 送信ステータスレジスタ(TXSTS)
6.4. シグナルフリー時間設定レジスタ(SFREE)

6.1 送信制御レジスタ(TXCTRL)

送信制御レジスタ(TXCTRL)は、CEC 送信を制御します。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	IBREN	ITSTEN	EOM	START	予約	TXEN
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit5] IBREN : バスエラー検出割込み許可ビット

■ TXSTS レジスタ bit5 IBR の割込み要求を制御します。
■ IBREN ビットが許可されていて TXSTS レジスタ bit5 IBR ビットが設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit4] ITSTEN : 送信ステータス割込み許可ビット

■ TXSTS レジスタ bit4 ITST の割込み要求を制御します。
■ ITSTEN ビットが許可されていて TXSTS レジスタ bit4 ITST ビットが設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] EOM : EOM 設定ビット

■ EOM 送信ビットを制御します。
■ START ビットとの組合せによる設定でブロック送信を選択します。

bit	説明
0	EOM0 出力
1	EOM1 出力

[bit2] START : START 設定ビット

■ START ビットを送信データに付加するヘッダブロック送信を設定します。
■ EOM ビットとの組合せによる設定でブロック送信を選択します。

bit	説明
0	START ビット送信無効
1	START ビット送信有効

EOM, START の設定により CEC 送信は以下のブロック送信となります。

	START=1	START=0
EOM=0	ヘッダブロック送信 (フレーム最初)	データブロック (後続ブロックあり)
EOM=1	ヘッダブロック送信 (Polling Message)	最終データブロック (フレーム最後)

[bit1] 予約 : 予約ビット

読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit0] TXEN : 送信動作許可ビット

■ CEC 送信動作を制御します。
■ TXEN ビットを禁止に変更するとステータスレジスタの各ビットの自動クリアが発生します。

bit	説明
0	CEC 送信動作を禁止
1	CEC 送信動作を許可

<注意事項>

- *TXEN ビットに"0"を設定すると、直ちに出力を停止します。その際 CEC 信号に不正な波形が出力される場合があります。*

6.2 送信データレジスタ(TXDATA)

送信データレジスタ(TXDATA)は送信データを設定するためのレジスタです。

bit	7						0
Field	TXDATA[7:0]						
属性	R/W						
初期値	0x00						

TXDATA レジスタに値を設定すると、条件の違いにより以下のどちらかの CEC 送信を開始します。

以下の条件の成立により自動でヘッダブロック送信を開始します。

- TXEN=1 である。
- START=1 である。
- SFREE レジスタで設定した期間で CEC バス上の IDLE を検出した。

＜注意事項＞

- *TXDATA レジスタに値を設定する時に、SFREE レジスタで設定した期間の IDLE を検出していた場合は TXDATA レジスタを設定すると同時にヘッダブロック送信を開始します。*

以下の条件でデータブロック送信を直ちに開始します。

- TXEN=1 である。
- START=0 である。

6.3 送信ステータスレジスタ(TXSTS)

送信ステータスレジスタ(TXSTS)は送信時のステータスを表示するためのレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		IBR	ITST	予約			ACKSV
属性	R/W		R/W	R/W	R/W			R
初期値	00		0	0	000			0

[bit7:6] 予約 : 予約ビット

読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit5] IBR : バスエラー検出割込み要求ビット

■ アービトレーションロストを検出すると IBR ビットが"1"に設定されます。
■ IBR ビットは"0"書込みによりクリアされます。
■ IBR ビットに"1"書込みしてもビット値には影響しません。
■ リードモディファイライト操作におけるリード値は、ビット値にかかわらず"1"になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

<注意事項>

- *IBR ビットが"1"に自動設定される時に、同時に"0"書込みによるクリアが行われた場合はクリアを無視して、"1"セットになります。*
- *"0"書込みは IBR ビットが"1"の時にしてください。"1"に自動設定されるのを意図せずにクリアしてしまうことがあります。*
- *ラインエラー信号を検出した時もバスエラー検出として IBR ビットが"1"に設定されます。*

[bit4] ITST : 送信ステータス割込み要求ビット

■ 各ブロック転送での 10bit 目のデータであるステータスビットの通信が終了した時に ITST ビットが"1"に設定されます。
■ ITST ビットは"0"書込みによりクリアされます。
■ ITST ビットに"1"書込みしてもビット値には影響しません。
■ リードモディファイライト操作におけるリード値は、ビット値にかかわらず"1"になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit3:1] 予約 : 予約ビット
読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit0] ACKSV : ACK サイクル値ビット
- 各ブロック転送での 10bit 目のデータである ACK サイクルの受信データ値を表示します。
- ITST が"0"から"1"になった時に更新します。
- ACKSV ビットに書込みしてもビット値には影響しません。

bit	説明
0	ACK サイクルで 0 を受信
1	ACK サイクルで 1 を受信

6.4 シグナルフリー時間設定レジスタ(SFREE)

シグナルフリー時間設定レジスタ(SFREE)は送信開始前に確認するシグナルフリー時間の設定をするためのレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約				SFREE[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

[bit7:4] 予約 : 予約ビット

読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit3:0] SFREE[3:0] : シグナルフリー時間設定ビット

- 送信開始前に CEC バス上のフリー状態を確認する時間の設定をします。
- CEC バス上に設定されたビット周期分の通信がないことを確認して送信動作に移ります。

bit3:0	説明
0000	(設定値＋1)周期
0001	Ex1) 0000: 1bit 周期　Ex2) 0111:8bit 周期
…	Ex3) 1000: 9bit 周期　Ex3) 1111:16bit 周期
1110	
1111	

CHAPTER 7-1: I²S クロック生成

I²S クロック生成について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. レジスター覧
6. 使用上の注意点

1. 概要

I²S クロック生成の概要を説明します。

I²S クロックは、I²S マクロが通信するために使用するクロックです。

外部水晶のメインクロック(以下 CLKMO)から I²S 用 PLL(以下 I²S-PLL) を用いて I²S クロックを生成可能です。さらに、I²S-PLL 出力クロックを外部出力 I2SMCLK(以下 I2SMCLKO)として出力可能です。

また、外部入力 I2SMCLK(以下 I2SMCLKI)を入力し、I²S クロックとして I²S マクロへ供給可能です。

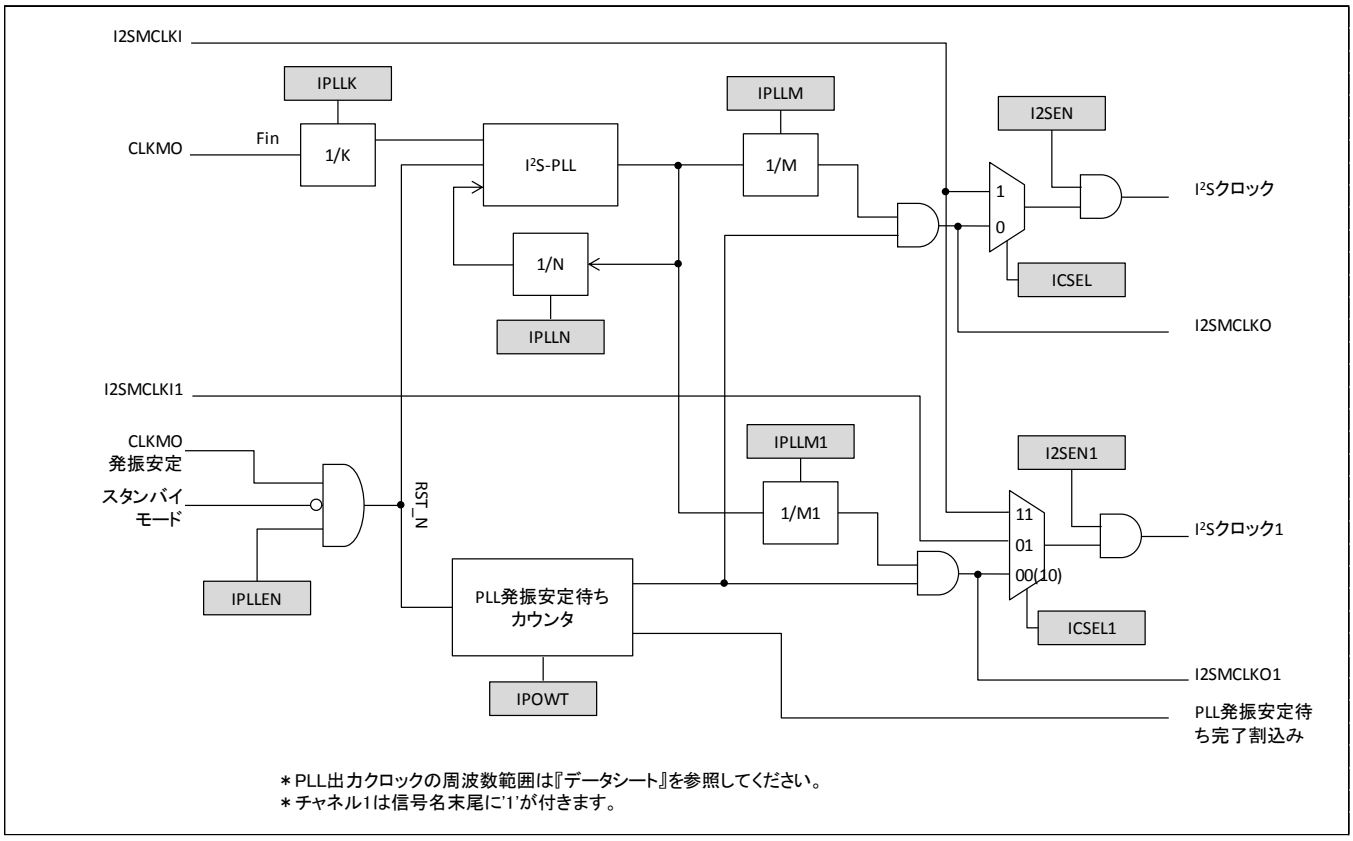
I²S クロック生成部は以下の機能があります。

- I²S クロックの出力許可/停止の設定
- I²S クロックの選択
- I²S-PLL 発振許可/停止の設定
- I²S-PLL 入力クロックの選択
- I²S-PLL 入力クロック分周設定
- I²S-PLL 出力クロック逓倍設定
- I²S-PLL 安定待ち時間設定
- スタンバイモード時の I²S クロックの停止
- I²S クロックの 2 つめのチャネル(チャネル 1)の設定

2. 構成・ブロックダイヤグラム

I²S クロック生成部の構成, ブロックダイヤグラムを説明します。

Figure 2-1 I²S クロック生成部のブロックダイヤグラム



I²S-PLL 制御レジスタ(IPLLEN)

制御レジスタにより、I²S-PLL 発振イネーブルを設定できます。

I²S-PLL

■ 分周設定レジスタ(IPLLK, IPLLN, IPLLM, IPLLM1)

I²S クロックを生成するには、K 分周, N 分周, M 分周の設定を行う必要があります。

I²S クロック 1 を生成するには、K 分周, N 分周, M1 分周の設定を行う必要があります。

I²S-PLL の入力クロック周波数, 出力クロック周波数, PLL マクロ逓倍率(N 分周設定値)の仕様範囲については『データシート』の PLL 使用条件"PLL 入力クロック周波数", "PLL マクロ発振クロック周波数", "PLL 逓倍率"を参照してください。

■ 発振安定待ち時間設定(IPOWT)

I²S-PLL の発振安定待ち時間を設定可能です。

出力クロック

- I²S クロック選択ビット(ICSEL)
  I2SMCLKI または I²S-PLL 出力クロックから選択可能です。
- I²S クロック出力許可ビット(I2SEN)
  I²S クロックおよび I2SMCLKO の出力許可を設定できます。
- I²S クロック 1 選択ビット(ICSEL1)
  I2SMCLKI1, I²S-PLL 出力クロックまたは I2SMCLKI から選択可能です。
- I²S クロック 1 出力許可ビット(I2SEN1)
  I²S クロック 1 および I2SMCLKO1 の出力許可を設定できます。

スタンバイモード設定

- Figure 2-1 に記載されているスタンバイモード信号は以下のモードでアクティブになります。
  以下のスタンバイモード時に I²S クロックが停止されます。
  - ストップモード
  - RTC モード
  - タイマモード

3. 動作説明

I²S クロック生成部の動作説明をします。

I²S クロック選択

I²S クロックとして、以下の 2 種類から選択できます。

- I2SMCLKI
  I2SMCLKI を直接 I²S クロックとして使用できます。この場合、I2SMCLKI は I²S 動作に必要な周波数にしてください。また、I2SMCLKI の入力設定後に I²S クロック出力許可を行ってください。
- I²S-PLL 出力クロック
  I²S-PLL 出力クロックを I²S クロックとして使用できます。

I²S クロック 1 選択

I²S クロック 1 として、以下の 3 種類から選択できます。

- I2SMCLKI1
  I2SMCLKI1 を直接 I²S クロック 1 として使用できます。この場合、I2SMCLKI1 は I²S 動作に必要な周波数にしてください。また、I2SMCLKI1 の入力設定後に I²S クロック 1 出力許可を行ってください。
- I²S-PLL 出力クロック
  I²S-PLL 出力クロックを I²S クロック 1 として使用できます。
- I2SMCLKI
  I2SMCLKI を直接 I²S クロック 1 として使用できます。この場合、I2SMCLKI は I²S 動作に必要な周波数にしてください。また、I2SMCLKI の入力設定後に I²S クロック 1 出力許可を行ってください。

Table 3-1 に、分周比設定例を示します。

Table 3-1 分周比設定例

Fin[MHz]	K	N	M(1)	PLL クロック 周波数[MHz]	I²S クロック(1) 周波数[MHz]
19.2	2	32	25	307.2	12.288
19.2	3	32	25	204.8	8.192
19.2	2	32	75	307.2	4.096
19.2	2	40	34	384	11.294

スタンバイモード遷移

- スタンバイモード遷移時
  スタンバイモード(ストップモード, RTC モードまたはタイマモード)に移行する前に ICCR:I2SEN および ICCR_1:I2SEN1 を"0"に設定して I²S クロックおよび I²S クロック 1 の供給を停止させてください。

1. ICCR(_1):I2SEN(1)=0 に設定
2. ICCR(_1)レジスタを読み出して I2SEN(1)=0 であることを確認
3. スタンバイモードに移行

また復帰時は I2SEN(1)=1 に設定してください。I²S クロック(1)が発振安定すると供給を開始します。I²S クロック(1)が発振安定したかどうかは以下を確認してください。

a) I²S-PLL を使用している場合
IP_STR:IPRDY=1 になっていることを確認するか I²S-PLL 発振安定待ち完了割込みを使用してください。

b)I2SMCLKI(1)を使用している場合
I2SMCLKI(1)入力設定後、I²S クロック(1)を供給します。

I²S-PLL 発振安定待ち設定

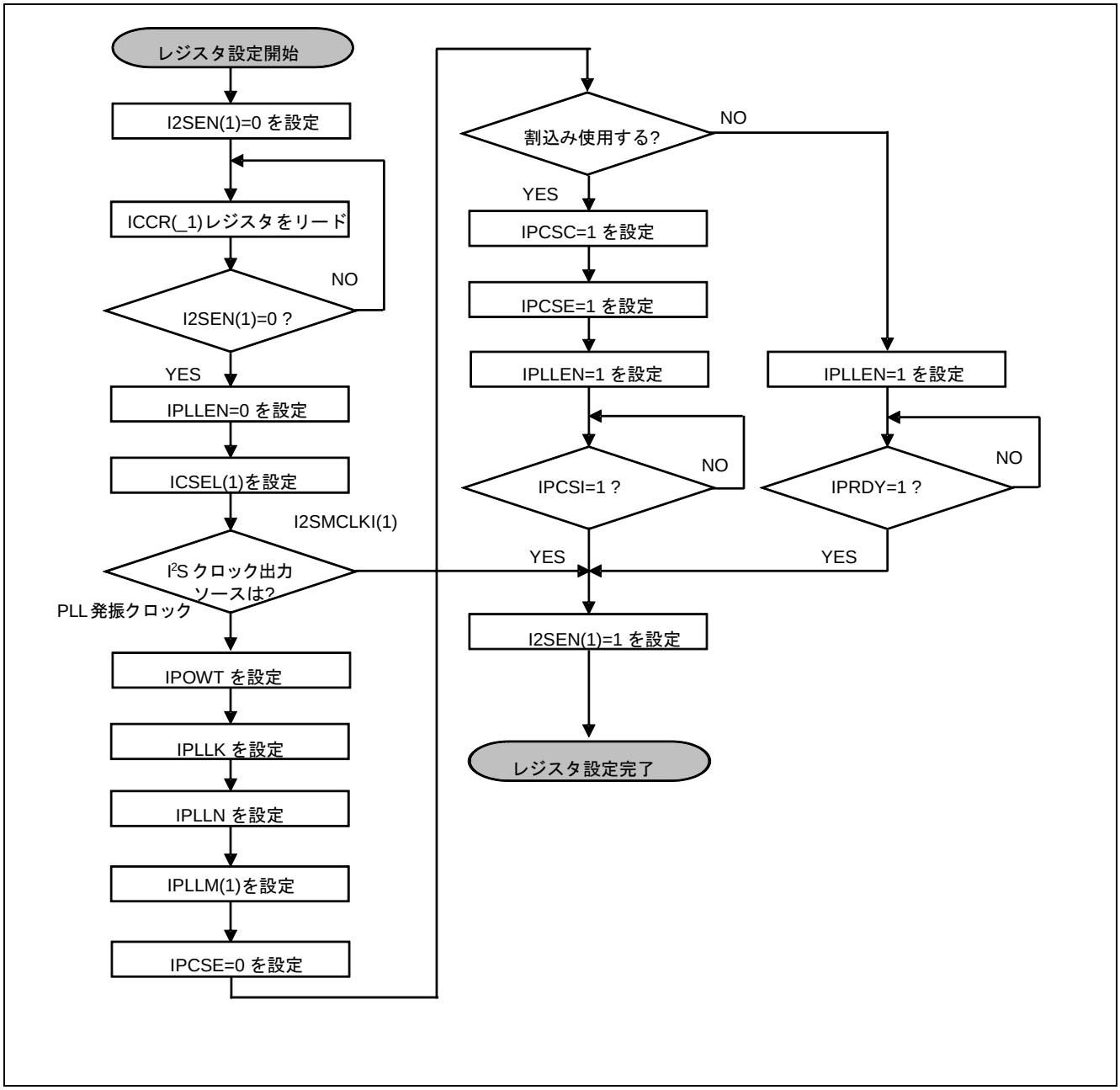
■ I²S-PLL 発振安定待ち時間の設定
CLKMO 発振の安定後、I²S-PLL 発振安定待ち時間のカウントを開始します。
I²S-PLL 発振許可を行う前に、I²S-PLL 発振安定待ち時間設定および発振安定待ち完了割込みを設定してください。発振安定待ち中に発振安定待ち時間を変更してはいけません。

4. 設定手順例

I²S クロック生成部の設定手順例を説明します。

I²S クロックおよび I²S クロック 1 の設定手順例を Figure 4-1 に示します。

Figure 4-1 I²S クロック生成手順



5. レジスター覧

I²S クロック生成部のレジスター覧を説明します。

I²S クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
ICCR	I2S クロック制御レジスタ	5.1
IPCR1	I2S-PLL 制御レジスタ 1	5.2
IPCR2	I2S-PLL 制御レジスタ 2	5.3
IPCR3	I2S-PLL 制御レジスタ 3	5.4
IPCR4	I2S-PLL 制御レジスタ 4	5.5
IPCR5	I2S-PLL 制御レジスタ 5	5.6
IP_STR	I2S-PLL 状態レジスタ	5.7
IPINT_ENR	I2S-PLL 割込み要因イネーブルレジスタ	5.8
IPINT_STR	I2S-PLL 割込み要因状態レジスタ	5.9
IPINT_CLR	I2S-PLL 割込み要因クリアレジスタ	5.10
ICCR_1	I2S クロック制御レジスタ	5.11
IPCR5_1	I2S-PLL 制御レジスタ 5	5.12

5.1 I²S クロック制御レジスタ (ICCR)

ICCR レジスタは、I²S クロックの選択および I²S クロックの出力許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						ICSEL	I2SEN
属性	-						R/W	R/W
初期値	-						0	0

レジスタ機能

[bit7:2] 予約 : 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] ICSEL : I²S クロック選択ビット

bit	説明
0	I²S-PLL マクロ発振の M 分周クロック[初期値]
1	I2SMCLKI

[bit0] I2SEN : I²S クロック出力許可ビット

bit	説明
0	I²S クロックおよび I2SMCLKO 出力を許可しない[初期値]
1	I²S クロックおよび I2SMCLKO 出力を許可する

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.2 I²S-PLL 制御レジスタ 1 (IPCR1)

IPCR1 レジスタは、I²S-PLL を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							IPLLEN
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約 : 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit0] IPLLEN : I²S-PLL 発振許可ビット

bit	説明
0	I²S-PLL を停止する[初期値]
1	I²S-PLL 発振を許可する

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.3 I²S-PLL 制御レジスタ 2 (IPCR2)

IPCR2 レジスタは、I²S-PLL の発振安定待ち時間を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					IPOWT		
属性	-					R/W		
初期値	-					000		

レジスタ機能

[bit7:3] 予約 : 予約ビット

これらのビットからは、"0b00000 "が読み出されます。
書込みの場合には、"0b00000"を設定してください。

[bit2:0] IPOWT : I²S-PLL 発振安定待ち時間設定ビット

bit2	bit1	bit0	説明
0	0	0	2^9/Fin : 約 26 µs * [初期値]
0	0	1	2^{10}/Fin : 約 53 µs *
0	1	0	2^{11}/Fin : 約 106 µs *
0	1	1	2^{12}/Fin : 約 213 µs *
1	0	0	2^{13}/Fin : 約 426 µs *
1	0	1	2^{14}/Fin : 約 853 µs *
1	1	0	2^{15}/Fin : 約 1.70 ms *
1	1	1	2^{16}/Fin : 約 3.41 ms *

*: Fin=19.2 MHz の場合

<注意事項>

- *Fin は CLKMO：19.2 MHz です。*
- *本レジスタはソフトウェアリセット時に初期化されません。*
- *PLL マクロの発振安定待ち時間は『データシート』の使用条件"PLL 発振安定待ち時間"を参照してください。*

5.4 I²S-PLL 制御レジスタ 3 (IPCR3)

IPCR3 レジスタは、I²S-PLL マクロの分周比(K)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				IPLLK			
属性	-				R/W			
初期値	-				00001			

レジスタ機能

[bit7:5] 予約 : 予約ビット

これらのビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit4:0] IPLLK : I²S-PLL クロックの分周比(K)設定ビット

bit4:0	説明
00000	(IPLLK+1) 分周されます。 (例) IPLLK="00001" ⇒ 2 分周 [初期値]
00001	
.	
.	
11111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.5 I²S-PLL 制御レジスタ 4 (IPCR4)

IPCR4 レジスタは、I²S-PLL の分周比(N)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	IPLLN						
属性	-	R/W						
初期値	-	0011111						

レジスタ機能

[bit7] 予約 : 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:0] IPLLN : I²S-PLL クロックの分周比(N)設定ビット

bit6:0	説明
0000000	設定禁止
・	
0001011	
0001100	(IPLLN+1) 分周されます。 (例) IPLLN="0011111" ⇒ 32 分周 [初期値]
・	
・	
1100011	
1100100	設定禁止
・	
1111111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.6 I²S-PLL 制御レジスタ 5 (IPCR5)

IPCR5 レジスタは、I²S-PLL の分周比(M)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	IPLLM						
属性	-	R/W						
初期値	-	0011000						

レジスタ機能

[bit7] 予約 : 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:0] IPLLM : I²S-PLL クロックの分周比(M)設定ビット

bit6:0	説明
0000000	設定禁止
0000001	(IPLLM+1) 分周されます。 (例) IPLLM="0011000" ⇒ 25 分周 [初期値]
.	
1111111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.7 I²S-PLL 状態レジスタ (IP_STR)

IP_STR レジスタは、I²S-PLL のマクロ状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							IPRDY
属性	-							R
初期値	-							0

レジスタ機能

[bit7:1] 予約 : 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] IPRDY : I²S-PLL 発振安定ビット

bit	説明
0	発振安定待ちまたは発振停止状態[初期値]
1	発振安定状態

＜注意事項＞

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.8 I²S-PLL 割込み要因イネーブルレジスタ (IPINT_ENR)

IPINT_ENR レジスタは、I²S-PLL 発振安定待ち完了割込みの許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							IPCSE
属性	-							R/W
初期値	-							0

レジスタ機能

[bit7:1] 予約 : 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] IPCSE : I²S-PLL 発振安定待ち完了割込みイネーブルビット

bit	説明
0	割込みの発生を許可しない[初期値]
1	割込みの発生を許可する

5.9 I²S-PLL 割込み要因状態レジスタ(IPINT_STR)

IPINT_STR レジスタは、I²S-PLL 発振安定待ち割込みの状態を示します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							IPCSI
属性	-							R
初期値	-							0

レジスタ機能

[bit7:1] 予約 : 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] IPCSI : I²S-PLL 割込み要因状態ビット

bit	説明
0	割込みの発生なし[初期値]
1	割込みの発生あり

5.10 I²S-PLL 割込み要因クリアレジスタ(IPINT_CLR)

IPINT_CLR レジスタは、I²S-PLL 割込み要因のクリアを設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							IPCSC
属性	-							W
初期値	-							0

レジスタ機能

[bit7:1] 予約 : 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] IPCSC : I²S-PLL 発振安定　割込み発生要因クリアビット

bit	説明
0	無効[初期値]
1	I²S-PLL 発振安定待ち割込みをクリアします。

<注意事項>

- *本レジスタの IPCSC ビットに"1"を書き込むと IPINT_STR レジスタはクリアされます。*

5.11 I²S クロック制御レジスタ (ICCR_1)

ICCR_1 レジスタは、I²S クロック 1 の選択および I²S クロック 1 の出力許可を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					ICSEL1		I2SEN1
属性	-					R/W		R/W
初期値	-					00		0

レジスタ機能

[bit7:3] 予約 : 予約ビット

これらのビットからは、"0b00000"が読み出されます。
書込みの場合には、"0b00000"を設定してください。

[bit2:1] ICSEL1 : I²S クロック 1 選択ビット

bit2	bit1	説明
0	0	I²S-PLL マクロ発振の M1 分周クロック[初期値]
0	1	I2SMCLKI1
1	0	"00"と同じ
1	1	I2SMCLKI

[bit0] I2SEN1 : I²S クロック 1 出力許可ビット

bit0	説明
0	I²S クロック 1 および I2SMCLKO1 出力を許可しない[初期値]
1	I²S クロック 1 および I2SMCLKO1 出力を許可する

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

5.12 I²S-PLL 制御レジスタ 5 (IPCR5_1)

IPCR5_1 レジスタは、I²S-PLL の分周比(M1)を設定します。

レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	IPLLM1						
属性	-	R/W						
初期値	-	0011000						

レジスタ機能

[bit7] 予約 : 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:0] IPLLM1 : I²S-PLL クロックの分周比(M1)設定ビット

bit6:0	説明
0000000	設定禁止
0000001	(IPLLM1+1) 分周されます。 (例) IPLLM1="0011000" ⇒ 25 分周 [初期値]
.	
1111111	

<注意事項>

- *本レジスタはソフトウェアリセット時に初期化されません。*

6. 使用上の注意点

クロック生成部の使用上の注意点を説明します。チャネル 1 も同様です。

■ I²S クロック出力設定と I²S クロック選択
I²S クロック出力無効(I2SEN=0)と、I²S クロック選択(ICSEL)を同時に行わないでください。
必ず、I²S クロック出力無効→I²S クロック選択の順に行ってください。

■ I²S-PLL 発振の分周比設定
PLL 発振が安定してから PLL の分周比を変更する場合は、いったん PLL 発振を停止し、分周比の変更後、再度 PLL 発振許可を行ってください。

■ I2SMCLKI 選択
ICSEL ビットに"1"を書き込むと I²S クロックには I2SMCLKI が選択されます。
I2SMCLKI を選択するときは、I2SMCLKI の入力設定後に行ってください。

■ PLL 発振安定待ち時間の設定
PLL 発振安定待ち時間設定レジスタにて発振安定待ち時間を設定してから、PLL を有効にしてください。
また、発振安定待ち中に、発振安定待ち時間を変更しないでください。

■ I²S-PLL 出力クロック選択
ICSEL ビットに"0"を書き込むと I²S クロックには I²S-PLL 発振クロックが選択されます。

Table 6-1 に I²S クロックと ICSEL/IPLLEN ビットの関係を示します。

Table 6-1 I²S クロックとレジスタの設定一覧

		ICSEL	IPLLEN
I2SMCLKI 使用時		1	0
PLL マクロ発振クロック使用時	メインクロック発振入力	0	1

Table 6-1 に I²S クロック 1 と ICSEL1/IPLLEN ビットの関係を示します。

Table 6-2 I²S クロック 1 とレジスタの設定一覧

		ICSEL1	IPLLEN
I2SMCLKI 使用時		11	0
I2SMCLKI1 使用時		01	0
PLL マクロ発振クロック使用時	メインクロック発振入力	00 or 10	1

■ スタンバイモードと I²S-PLL 発振安定待ちカウンタ
I²S-PLL 発振安定待ち時間中にストップ/RTC/タイマモードに遷移すると、I²S-PLL は停止し、安定待ちカウンタはクリアされます。

CHAPTER 7-2: I²S(Inter-IC Sound bus) インタフェース

シリアルオーディオインタフェースである I²S インタフェース機能について説明します。

1. I2S インタフェースの概要
2. I2S インタフェースの特長
3. I²S インタフェースのブロックダイヤグラム
4. I²S インタフェースの動作説明
5. I²S インタフェースのレジスタ一覧
6. I²S インタフェースのレジスタ詳細
7. I²S インタフェースのアプリケーションノート

1. I²S インタフェースの概要

フレームフォーマットを指定することにより、I²S およびほかのシリアル PCM(Pulse Code Modulation)データ転送のインタフェースとしても動作ができます。

2. I²S インタフェースの特長

I²S インタフェースは以下の特長を持ちます。

- マスタ/スレーブ動作は選択可能
- 送信のみ, 受信のみ, 送受信同時動作は設定可能
- フレームは 1 サブフレームまたは 2 サブフレーム構成に設定可能
- 各サブフレームは 32 チャネルまで設定可能
- 各サブフレーム内のチャネル数は独立に設定可能
- 各サブフレームのチャネル長(チャネルのビット数)は独立に設定可能
- 各サブフレームのチャネル内のワード長は独立に設定可能
- 各サブフレームの各チャネルは有効・無効設定可能(*1)
- ワード長は 7 ビットから 32 ビットまで設定可能
- フレーム同期信号の周波数はプログラム可能
- 1 フレームは 3071 ビットまで設定可能
- フレーム同期信号の幅はプログラム可能(1 ビットまたは 1 チャネル長)
- フレーム同期信号の位相はプログラム可能(0 ビットまたは 1 ビット Delay)
- フレーム同期信号の極性は設定可能
- シリアルビットクロックの極性はプログラム可能
- 受信データのサンプリングポイントはプログラム可能
- マスタモード時のシリアルビットクロックの分周元クロックは選択可能(内部・外部クロック)
- マスタモード時のクロック分周比は設定可能
- I2SCK の周波数=HCLK(または I2SMCLK)の周波数/ 2 × CKRT[5:0] (*2)
  分周比は 0～126 まで 2 の倍数で設定可能(分周比が 0 の時は分周元クロックがバイパスする)

DMA, 割込み, ポーリングによるメモリへのデータ転送が可能

＜注意事項＞

- *I²S の DMA 転送は DSTC のハードウェア転送のみ対応しています。*

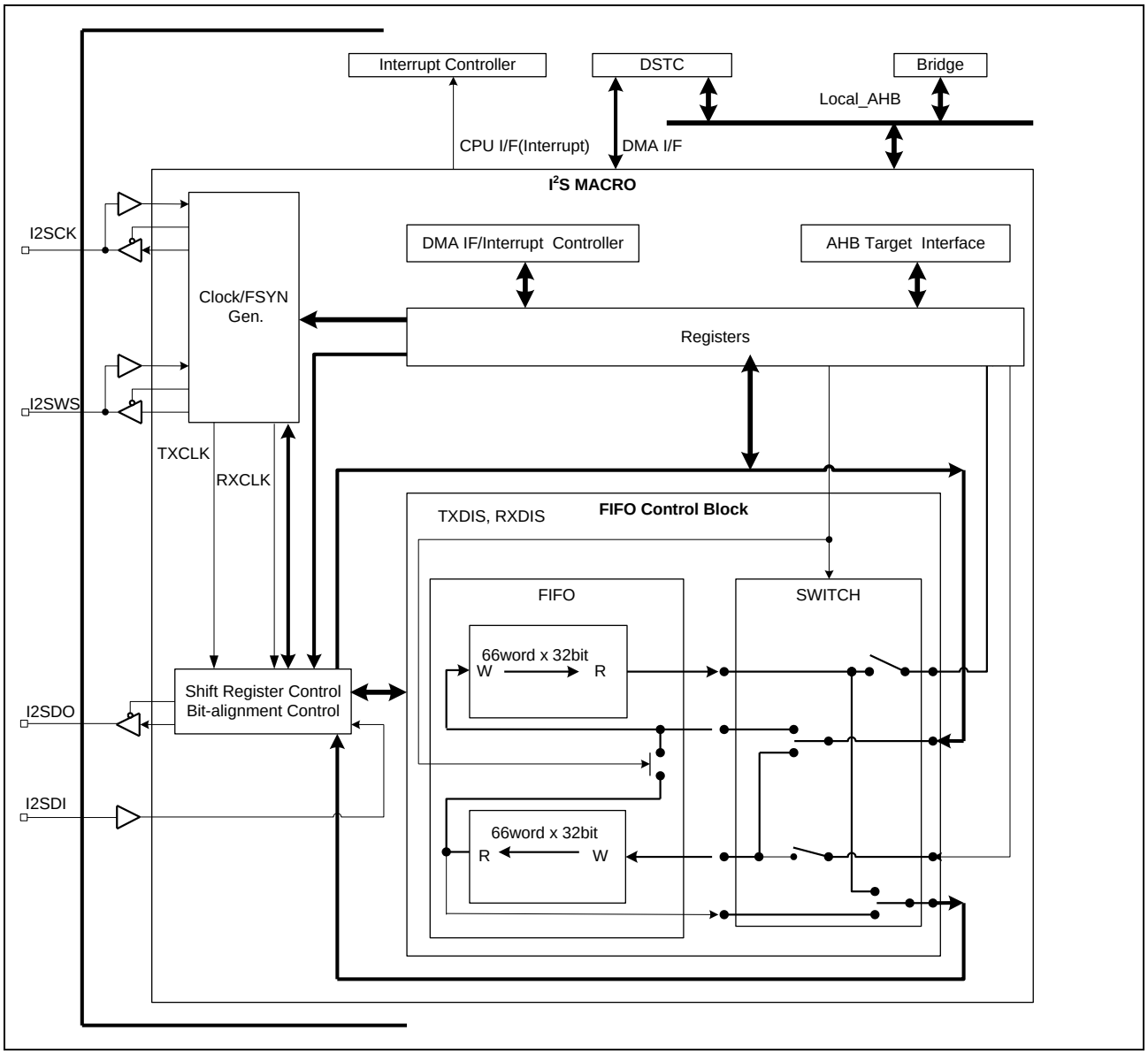
*1: 無効設定されたチャネルに対してはデータ送受信を行いません。

*2: HCLK は I²S インタフェースが接続した AHB バスクロックです。

3. I²S インタフェースのブロックダイヤグラム

Figure 3-1 にブロックダイヤグラムを示します。

Figure 3-1 I2S インタフェースのブロックダイヤグラム



4. I²S インタフェースの動作説明

概要

I²S マクロは全二重、マルチチャネル指定が可能な同期シリアルインタフェースです。
レジスタ設定により様々なフレームフォーマットに対応します。
(詳細は「4.1 クロック・フレーム同期信号」フレーム構成を参照してください。)

マスタまたはスレーブとして動作します。マスタ動作ではクロック(I2SCK 端子)とフレーム同期信号(I2SWS 端子)を外部スレーブに出力します。スレーブ動作する時はクロック(I2SCK 端子)とフレーム同期信号(I2SWS 端子)を外部マスタから入力します。

マスタ動作の時、I2SCK クロックは外部クロック(I2SMCLK 端子)または内部クロックを(レジスタにより選択可能)分周して出力されます。フレーム同期信号は自走、またはバーストモード(送信データがある時のみ生成する)で生成されます。詳細は「4.1 クロック・フレーム同期信号」を参照してください。

内部には送受信 FIFO が搭載されています。送信のみのモード(132word × 32bit 構成の送信 FIFO)、受信のみのモード(132word × 32bit 構成の受信 FIFO), 送受信同時モード(66word × 32bit 構成の送信 FIFO, 66word × 32bit 構成の受信 FIFO)かにより FIFO 深さは変わります。詳細は「4.3 フレーム構成」を参照してください。

DMA, 割込み, ポーリングにより、送受信 FIFO とメモリ間の内部転送ができます。

4.1 クロック・フレーム同期信号

クロック

1. 送信クロック TXCLK と受信クロック RXCLK をシフトレジスタ制御部に出力します。TXCLK は送信シリアルシフトレジスタ制御部のクロック、RXCLK は受信シリアルシフトレジスタ制御部のクロックです。
2. スレーブモードの時(CNTREG : MSMD = 0)は、I2SCK 入力から TXCLK と RXCLK を生成します。I2SCK 入力は CNTREG:CPOL ビットにより極性を選択可能です。
3. マスタモードの時(CNTREG : MSMD = 0)は、内部クロック(HCLK-AHB bus clock)または外部クロック(I2SMCLK 入力)を分周して TXCLK と RXCLK を生成します。クロック分周は内部 CPU により OPRREG:START ビットが"1"に設定された時に動作します。START ビットが"0"に設定された時 I2SCK 出力を停止します。CNTREG:ECKM ビットを設定することにより分周元クロック(1 : 外部, 0 : 内部)を選択します。出力する I2SCK の極性は CNTREG:CPOL ビットにより反転可能です。クロック分周比の設定については「6.3 制御レジスタ (CNTREG)」の CKRT[5:0]の説明を参照してください。

フレーム同期信号

フレーム同期信号生成周期は自走モード(CNTREG : FRUN = 1), フレーム構成と OVERHEAD(OVHD)ビットにより決まります。フレーム構成はサブフレーム数, サブフレーム内のチャネル数, 各チャネルのチャネル長により決まります。(「4.2 転送開始, 停止, 異常動作」を参照してください。)
OVERHEAD ビットはフレーム最後のチャネルの後ろにダミーとして挿入されたビットで、フレームレートを調整する時に設定します。

自走モード(FRUN=1)、マスタモードの時：
フレーム構成、OVHD により決まったフレームレートでフレーム同期信号を出力します。

自走モード(FRUN=1)、スレーブモードの時：
フレーム構成、OVHD により決まったフレームレートでフレーム同期信号が入力されます。設定されたフレームレートで入力されてない時は STATUS:FERR ビットを"1"に設定します。

バーストモード(FRUN=0)、マスタモードの時：
送信 FIFO に送信フレームデータがある時のみ、フレーム同期信号を出力します。

バーストモード(FRUN=0)、スレーブモードの時：
外部からフレーム同期信号が入力されるたびにフレーム送受信を行います。フレーム同期信号がレジスタ設定により決まった 1 フレームが終わってない時に次のフレーム同期信号が入力された場合は STATUS:FERR ビットを"1"に設定します。

フレーム同期信号関連設定(位相, 極性, パルス長, 出力モードなど)については「6.3 制御レジスタ (CNTREG)」を参照してください。

4.2 転送開始，停止，異常動作

送信のみ可能モード

■ 送受信設定(TXDIS=0, RXDIS=1)

動作	マスタモード(MSMD=1)	スレーブモード(MSMD=0)
開始	**自走モード(FRUN=1)：** START ビットが"1"、かつ TXENB ビットが"1"の状態になった後、送信 FIFO が空でない時からフレーム同期信号を出力し始めます。その後は、レジスタ設定により決まるフレームレートでフレーム同期信号を出力します。フレーム同期信号を出力するタイミングで送信 FIFO が空の場合は空フレームを出力します。空フレームのシリアルデータはレジスタ設定により"0"か、"1"に指定可能です。	**自走モード(FRUN=1)：** レジスタ設定により決まるフレームレートでフレーム同期信号を入力します。START ビットが"1"、かつ TXENB ビットが"1"の状態で、フレーム同期信号が入力された時に送信 FIFO が空の場合は空フレームを出力します。空フレームのシリアルデータはレジスタ設定により"0"か、"1"に指定可能です。
	バーストモード(FRUN=0)： START ビットが"1"の状態、かつ TXENB ビットが"1"の状態で、送信 FIFO が空でなければフレーム同期信号を出力します。1 フレーム出力の終り、またはアイドル時は常に送信 FIFO の状態を確認し、送信 FIFO が空でない場合はフレーム同期信号を出力します。	**バーストモード(FRUN=0)：** START ビットが"1"、かつ TXENB ビットが"1"の状態で、フレーム同期信号が入力されるたびに 1 フレームを出力します。フレーム同期信号が入力された時送信 FIFO が空の場合は空フレームを出力します。
停止	停止の時は内部メモリから I²S インタフェースの送信 FIFO にデータ転送がない状態で、送信 FIFO が空状態になります。	
	START ビットを“1”に保持する時： TXENB が"1"の場合： 自走モードではフレーム同期信号を出力し続けます。送信 FIFO が空状態になった後からは空フレームを出力します。 バーストモードでは送信 FIFO が空状態になった後からフレーム同期信号を出力しません。シリアルデータバスには空フレームビットを出力します。	**START ビットを“1”に保持する時：** TXENB が"1"の場合： シリアルバスには空フレームデータを出力します。
	TXENB が"0"の場合： TXENB に"0"をライトした時、送信 FIFO は空状態になるため、TXENB に"0"をライトする時送信 FIFO にあったデータは送信しないことになります。 自走モードではフレーム同期信号は出力し続けますが、シリアルバスは High-Impedance 状態になります。 バーストモードではフレーム同期信号を出力しません。シリアルデータバスは High-Impedance 状態になります。	TXENB が"0"の場合： TXENB に"0"をライトします。送信 FIFO は空状態になるため、TXENB に"0"をライトする時送信 FIFO にあったデータは送信しないことになります。 送信 FIFO へのデータライト、送信フレームの検出は停止します。 シリアルデータバスは High-Impedance 状態になります。

動作	マスタモード(MSMD=1)	スレーブモード(MSMD=0)
停止	**START ビットを“0”にする時：** START ビットに"0"を書き込みます。 送信 FIFO は空状態になります。 TXENB の設定に関係なくシリアル制御部へのクロック供給は停止し、外部へもクロックを出力しません。 フレーム同期信号出力も停止します。 シリアルデータバスは High-Impedance 状態になります。	**START ビットを“0”にする時：** START ビットに"0"を書き込みます。 送信 FIFO は空状態になります。 TXENB の設定に関係なく送信 FIFO への書込み、送信フレーム同期信号の検出は停止します。
異常	送信 FIFO が空の状態で送信 FIFO への読出しが発生した場合は空フレームビットを出力します。 STATUS レジスタの TXUDR0, TXUDR1 ビットの設定条件については「6.10 状態レジスタ (STATUS)」の TXUDR0, TXUDR1 ビット説明を参照してください。 送信 FIFO がフルの状態で送信 FIFO への書込みが発生した場合は TXOVR を"1"に設定します。	送信 FIFO が空の状態で送信 FIFO への読出しが発生した場合は空フレームビットを出力します。 STATUS レジスタの TXUDR0, TXUDR1 ビットの設定条件については「6.10 状態レジスタ (STATUS)」の TXUDR0, TXUDR1 ビット説明を参照してください。 ただし、START=1, TXENB=1 になった後、最初に出力される空フレームに対しては TXUDR を"1"に設定しません。 送信 FIFO がフルの状態で送信 FIFO への書込みが発生した場合は TXOVR を"1"に設定します。 自走モードで、フレーム同期信号が決まっているフレームレートで入力されない時は STATUS レジスタの FERR ビットを"1"に設定します。 バーストモードで、1 フレームの送信が終わってない時に次のフレーム同期信号が入力された場合は STATUS レジスタの FERR ビットを"1"に設定します。

＜注意事項＞

- *TXDIS,RXDIS は CNTREG レジスタの送受信機能イネーブル・ディセーブル設定用ビットです。*
- *START, TXENB, RXENB は OPRREG レジスタの動作制御ビットです。*
- *空フレームビットは CNTREG レジスタの MSKB ビットにより決まります。*

受信のみ可能モード

■ 送受信設定(TXDIS=1, RXDIS=0)

動作	マスタモード(MSMD=1)	スレーブモード(MSMD=0)
開始	**自走モード(FRUN=1)：** START ビットが"1"、かつ RXENB="1"の状態になった後、受信 FIFO がフルでない時からフレーム同期信号を出力し始めます。その後からはレジスタ設定により決まるフレームレートでフレーム同期信号を出力し続けます。	**自走モード(FRUN=1)：** START ビットが"1"、かつ RXENB="1"の状態で、レジスタ設定により決まるフレームレートでフレーム同期信号が入力します。フレーム同期信号が入力されるたびにフレームの受信を行います。
	バーストモード(FRUN=0)： START ビットが"1"、かつ RXENB="1"の状態になった後、受信 FIFO がフルでなければフレーム同期信号を出力し、フレームの受信を行います。受信 FIFO がフルの時はフレーム同期信号の出力をしません。	**バーストモード(FRUN=0)：** START ビットが"1"、かつ RXENB="1"の状態で、フレーム同期信号が入力されるたびにフレームの受信を行います。フレーム同期信号は自走モード時のフレームレート以下の速度で入力することになります。
停止	停止の時は I²S インタフェースの受信 FIFO から内部メモリへのデータ転送を必要としない状態で、受信 FIFO が空き状態でもシリアルバスからフレームを取り込まないことになります。	
	START ビットを“1”に保持する時： RXENB に"0"を書き込みます。 受信 FIFO は空状態にします。 自走モードではフレーム同期信号は出力し続けますがフレームの受信は行いません。 バーストモードではフレームの受信を行わず、フレーム同期信号も出力しません。	**START ビットを“1”に保持する時：** RXENB への"0"ライトで受信 FIFO は空状態になります。 入力するフレーム同期信号を無視し、フレームの受信を行いません。
	START ビットを“0”にする時： START ビットに"0"を書き込みます。 受信 FIFO は空状態になります。 RXENB の設定に関係なくシリアル制御部へのクロック供給は停止し、外部への I2SCK も停止します。	**START ビットを“0”にする時：** START ビットに"0"を書き込みます。 受信 FIFO は空状態になります。 RXENB の設定に関係なく、入力するフレーム同期信号を無視し、フレームの受信を行いません。
異常	受信 FIFO がフルの時に受信 FIFO への書込みが発生した場合、STATUS レジスタの RXOVR を"1"に設定します。 受信 FIFO が空状態の時に受信 FIFO へのリードアクセスが発生した場合、STATUS レジスタの RXUDR を"1"に設定します。	受信 FIFO がフルの時に受信 FIFO への書込みが発生した場合、STATUS レジスタの RXOVR を"1"に設定します。 受信 FIFO が空状態の時に受信 FIFO へのリードアクセスが発生した場合、STATUS レジスタの RXUDR を"1"に設定します。 自走モード： フレーム同期信号がレジスタ設定により決まるフレームレートで入力されない時は STATUS レジスタの FERR ビットを"1"に設定します。 バーストモード： 1 フレームの受信中に次のフレーム同期信号が入力された場合は STATUS レジスタの FERR ビットを"1"に設定します。

＜注意事項＞

- *TXDIS, RXDIS は CNTREG レジスタの送受信機能イネーブル・ディセーブル設定用ビットです。*
  START, TXENB, RXENB は OPRREG レジスタの動作制御ビットです。

送受信同時転送可能モード

■ 送受信設定(TXDIS=0, RXDIS=0)

動作	マスタモード(MSMD=1)	スレーブモード(MSMD=0)
開始	**自走モード(FRUN=1)：** START=1, TXENB=1, RXENB=0 の状態では送信のみのモードと同じ動作をします。 START=1, TXENB=0, RXENB=1 の状態では受信のみのモードと同じ動作をします。 START=1, TXENB=1, RXENB=1 の状態では 送信 FIFO が空でなく、かつ受信 FIFO がフルでない時からフレーム同期信号を出力し始めます。その後はレジスタ設定により決まるフレームレートでフレーム同期信号を出力します。フレーム同期信号を出力するタイミングで送信 FIFO が空状態の場合は空フレームを出力します。空フレームのシリアルデータはレジスタ設定により"0"か、"1"に指定可能です。フレーム同期信号があるたびにフレーム受信を行います。	**自走モード(FRUN=1)：** START=1, TXENB=1, RXENB=0 の状態では送信のみのモードと同じ動作をします。 START=1, TXENB=0, RXENB=1 の状態では受信のみのモードと同じ動作をします。 START=1, TXENB=1, RXENB=1 の状態で、レジスタ設定により決まったフレームレートでフレーム同期信号が入力されます。フレーム同期信号が入力されたタイミングで送信 FIFO が空の場合は空フレームを出力します。空フレームのシリアルデータはレジスタ設定により"0"か、"1"に指定可能です。フレーム同期信号が入力するたびにフレーム受信を行います。
	バーストモード(FRUN=0)： START=1, TXENB=1, RXENB=0 の状態では送信のみのモードと同じ動作をします。 START=1, TXENB=0, RXENB=1 の状態では受信のみのモードと同じ動作をします。 START=1, TXENB=1, RXENB=1 の状態では、送信 FIFO が空でなく、かつ受信 FIFO がフルでなければフレーム同期信号を出力します。その後からは 1 フレームの出力が終わった時、またはアイドル時は常に送、受信 FIFO の状態を確認し、送信 FIFO が空でなく、かつ受信 FIFO がフルでない場合はフレーム同期信号を出力し、フレーム送受信を行います。	**バーストモード(FRUN=0)：** START ビットが"1"の状態で、フレーム同期信号が入力されるたびに 1 フレームの送受信を行います。フレーム同期信号が入力されたタイミングで送信 FIFO が空の場合は空フレームを出力します。

＜注意事項＞

- *TXDIS, RXDIS は CNTREG レジスタの送受信機能イネーブル・ディセーブル設定用ビットです。*
  START, TXENB, RXENB は OPRREG レジスタの動作制御ビットです。
- *空フレームビットは CNTREG レジスタの MSKB ビットにより決まります。*

■ 送受信設定(TXDIS=0, RXDIS=0)

動作	マスタモード(MSMD=1)	スレーブモード(MSMD=0)
停止	以下の停止状態があります。 送信停止 内部メモリから I²S インタフェースの送信 FIFO にデータ転送をしない状態で、送信 FIFO が空状態になります。 受信停止 I²S インタフェースの受信 FIFO から内部メモリにデータ転送をする必要がない状態です。	
	START ビットを“1”に保持する時： 自走モードではフレーム同期信号を出力しつづけます。バーストモードでは送信 FIFO が空状態になった後フレーム同期信号を出力しません。 送信停止： TXENB=1 に保持する場合は送信 FIFO が空状態になった後、空きフレームビットを出力しつづけます。 TXENB=0 に設定する場合、送信 FIFO は空状態になり、送信シリアルデータバスは High-Impedance 状態になります。TXENB に"0"を書き込む時に送信 FIFO にあったデータは送信しません。TXENB=0 の時は送信 FIFO への書込みを停止します。 受信停止： RXENB に"0"を書き込みます。 受信 FIFO は空状態になり、フレーム受信動作を停止します。	**START ビットを“1”に保持する時：** 送信停止： TXENB=1 に保持する場合は送信 FIFO が空状態になった後、空きフレームビットを出力しつづけます。 TXENB=0 に設定する場合、送信 FIFO は空状態になり、送信シリアルデータバスは High-Impedance 状態になります。TXENB に"0"を書き込む時に送信 FIFO にあったデータは送信しません。TXENB=0 の時は送信 FIFO への書込みを停止します。 受信停止： RXENB に"0"を書き込みます。 受信 FIFO は空状態になり、フレーム受信動作を停止します。
	START ビットを“0”にする時： START ビットに"0"を書き込みます。 送、受信 FIFO は空状態になります。 TXENB、RXENB の状態に関わらず、内部シリアル制御部へのクロック供給は停止し、外部への I2SCK 出力も停止します。 フレーム同期信号の出力も停止します。	**START ビットを“0”にする時：** START ビットに"0"を書き込みます。 送、受信 FIFO は空状態になります。 TXENB、RXENB の状態に関わらず送受信動作を停止します。

動作	マスタモード(MSMD=1)	スレーブモード(MSMD=0)
異常	送信 FIFO が空の状態で送信 FIFO への読出しが発生した場合は空フレームビットを出力します。 STATUS レジスタの TXUDR0, TXUDR1 ビットの設定条件については「6.10 状態レジスタ (STATUS)」の TXUDR0, TXUDR1 ビット説明を参照してください。 送信 FIFO がフルの状態で送信 FIFO への書込みが発生した場合は TXOVR を"1"に設定します。 受信 FIFO が空状態の時に受信 FIFO へのリードアクセスが発生した場合、STATUS レジスタの RXUDR ビットを"1"に設定します。 受信 FIFO がフルの時に受信 FIFO への書込みが発生した場合、STATUS レジスタの RXOVR ビットを"1"に設定します。	送信 FIFO が空の状態で送信 FIFO への読出しが発生した場合は空フレームビットを出力します。 STATUS レジスタの TXUDR0, TXUDR1 ビットの設定条件については「6.10 状態レジスタ (STATUS)」の TXUDR0, TXUDR1 ビット説明を参照してください。 送信 FIFO がフルの状態で送信 FIFO への書込みが発生した場合は TXOVR を"1"に設定します。 受信 FIFO が空状態の時に受信 FIFO へのリードアクセスが発生した場合、STATUS レジスタの RXUDR ビットを"1"に設定します。 受信 FIFO がフルの時に受信 FIFO への書込みが発生した場合、STATUS レジスタの RXOVR ビットを"1"に設定します。 自走モードで、フレーム同期信号が決まっているフレームレートで入力されない時は STATUS レジスタの FERR ビットを"1"に設定します。 バーストモードで、1 フレームの送信が終わってない時に次のフレーム同期信号が入力された場合は STATUS レジスタの FERR ビットを"1"に設定します。

＜注意事項＞

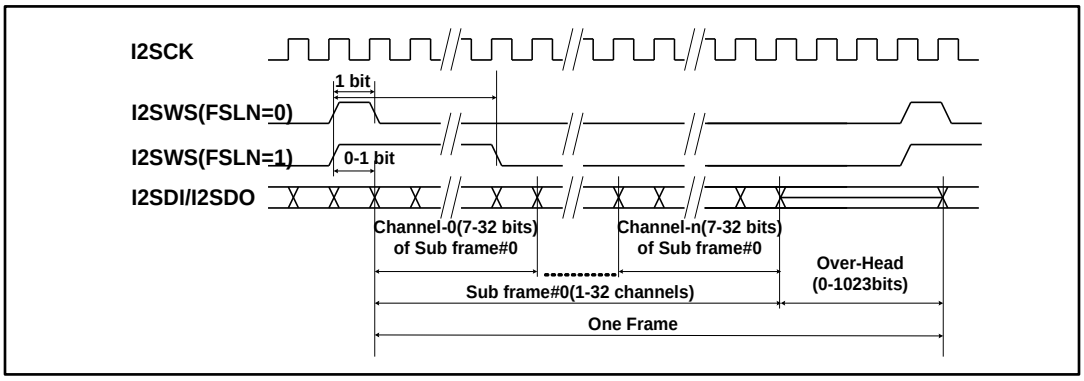
- *TXDIS, RXDIS は CNTREG レジスタの送受信機能イネーブル・ディセーブル設定用ビットです。*
  START, TXENB, RXENB は OPRREG レジスタの動作制御ビットです。
- *空フレームビットは CNTREG レジスタの MSKB ビットにより決まります。*

4.3 フレーム構成

マルチチャネル構成のフレームフォーマットをサポートします。フレームは 1 サブフレームまたは 2 サブフレーム構成に設定でき、各サブフレームのチャネル数およびワード長は独立に設定できます。I²S への設定例は「7 I²S インタフェースのアプリケーションノート」を参照してください。

サブフレーム構成

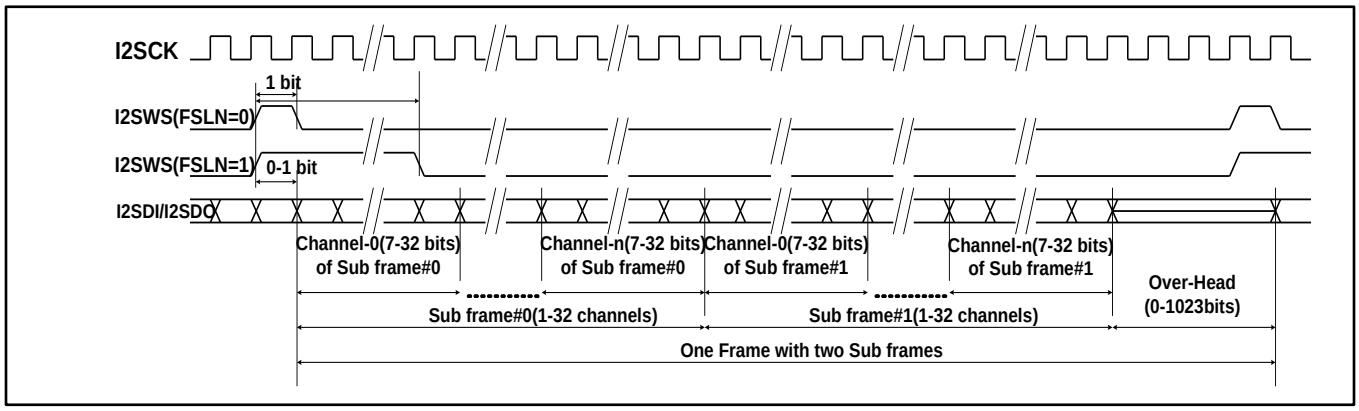
Figure 4-1 サブフレーム構成のフレーム



1. CNTREG レジスタの SBFN ビットが"0"の時は 1 サブフレーム構成になります。
2. 1 サブフレーム構成の時のチャネル数は MCR0REG レジスタの S0CHN ビットにより決まります。
   最大 32 チャネルまで設定できます。
3. 各チャネルビット長(ワード長)は MCR0REG レジスタの S0WDL ビットにより決まります。
4. サブフレームのチャネルは 0 番から始まります。各チャネルは MCR1REG レジスタの対応ビットで有効、無効に設定できます。無効に設定されたチャネルに対してはデータの送受信を行いません。
5 CNTREG レジスタの OVHD を設定することで、サブフレームの後ろにダミービットを挿入することが可能です。
   挿入可能ビット数は 0～1023 ビットです。
6. I2SWS の極性は CNTREG レジスタの FSPL ビットにより設定します。
7. I2SWS のパルス幅は CNTREG レジスタの FSLN ビットを設定することで、1 ビットまたは 1 チャネル長に設定できます。
8. I2SWS が有効になるエッジからフレームの最初ビットまでのタイミングは 0 または 1 ビットに設定できます。
9. 1 サブフレーム構成の時は MCR0REG レジスタの S1CHN, S1WDL ビットと MC2REG レジスタの設定を無視します。

2 サブフレーム構成

Figure 4-2 サブフレーム構成のフレーム

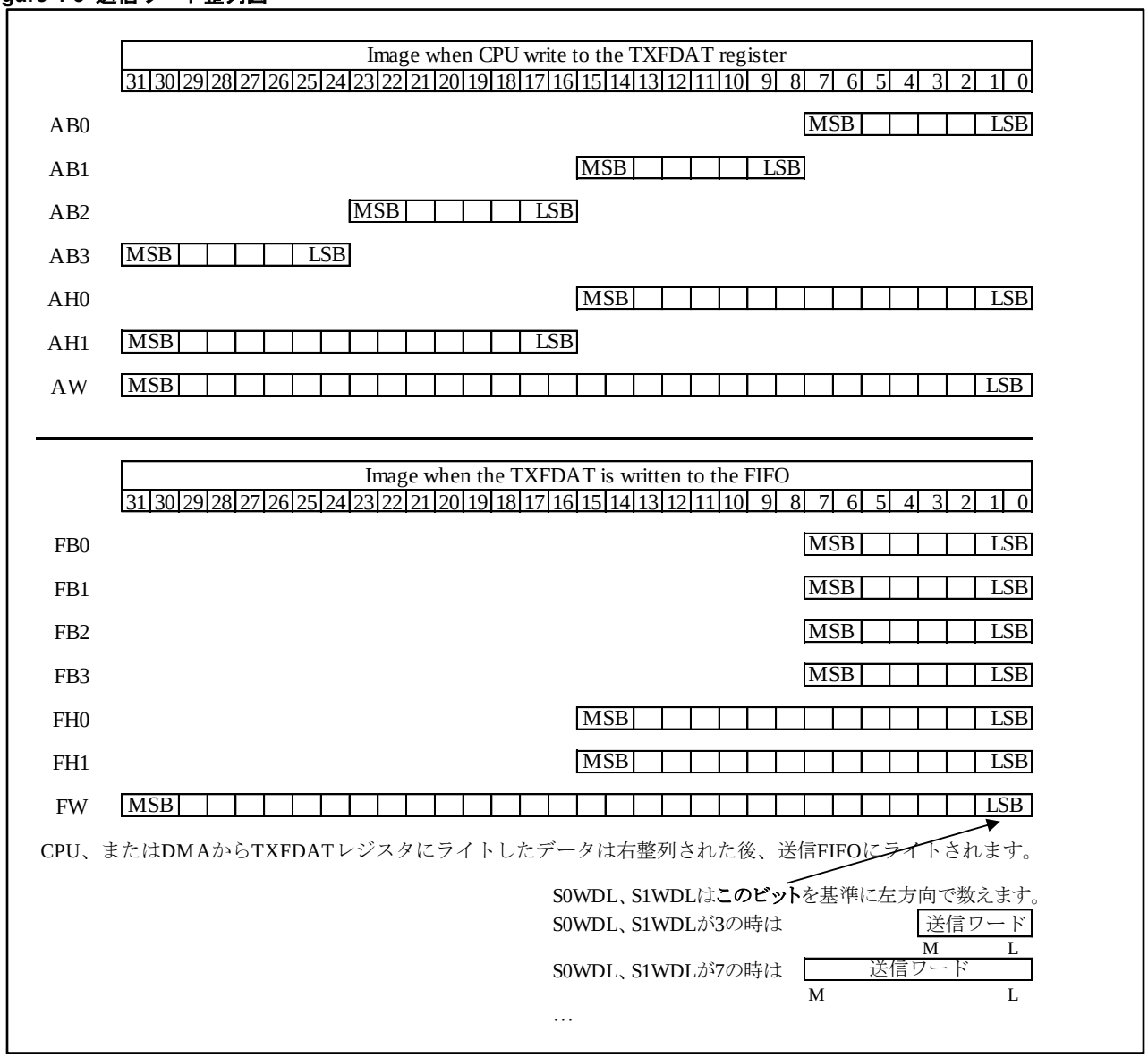


1. CNTREG レジスタの SBFN ビットが"1"の時は 2 サブフレーム構成になります。
   始めのサブフレームが 0 番で、その次のサブフレームが 1 番になります。
2. サブフレーム 0 のチャネル数は MCR0REG レジスタの S0CHN ビットに設定し、サブフレーム 1 のチャネル数は MCR0REG レジスタの S1CHN ビットに設定します。2 つのサブフレームのチャネル数設定は独立で、同じにする必要はありません。チャネル数はサブフレームごとに最大 32 チャネルまで設定できます。
3. サブフレーム 0 のチャネルビット長(ワード長)は MCR0REG レジスタの S0WDL ビットにより決まり、サブフレーム 1 のチャネルビット長(ワード長)は MC0REG レジスタの S1WDL ビットにより決まります。サブフレームのチャネルビット長は独立しているため、2 つのサブフレームのチャネル(ワード)長を同じにする必要はありません。
4. サブフレーム内のチャネルは 0 番から始まります。
   サブフレーム 0 の各チャネルは MCR1REG レジスタの対応するビットで、サブフレーム 1 の各チャネルは MCR2REG レジスタの対応するビットで有効、無効に設定できます。
   無効に設定されたチャネルに対してはデータの送受信を行いません。
5 CNTREG レジスタの OVHD ビットを設定することで、サブフレーム 1 の後ろにダミービットを挿入することが可能です。挿入可能ビット数は 0～1023 ビットです。
6. I2SWS の極性は CNTREG レジスタの FSPL ビットに設定します。
7. I2SWS のパルス幅は CNTREG レジスタの FSLN ビットを設定することで、1 ビットまたは 1 チャネル長に設定することが可能です。1 チャネル長設定の時のチャネル長はサブフレーム 0 のチャネル長により決まります。
8. I2SWS が有効になるエッジからフレームの最初ビットまでのタイミングは 0 または 1 ビットに設定できます。

ビット整列説明

■ 送信ワード整列動作

Figure 4-3 送信ワード整列図



シリアルバスで送信する時、CNTREG レジスタの MLSB が"0"の時は MSB から、"1"の時は LSB から送信します。チャネル長(S0CHL, S1CHL に設定)がワード長(S0WDL, S1WDL に設定)より大きい時、チャネル内残りのビットは CNTREG : MSKB になります。チャネル長がワード長より小さい設定は禁止します。

＜注意事項＞

- *Figure 4-3 で AB0, AB1, AB2, AB3, AH0, AH1, AW は AHB バス上 TXFDAT にライトアクセスする時のバイト 0, バイト 1, バイト 2, バイト 3, ハーフワード 0, ハーフワード 1 , ワードを意味します。FB0, FB1, FB2, FB3, FH0, FH1, FW はそれぞれ AB0, AB1, AB2, AB3, AH0, AH1, AW が Right-Justify された後に送信 FIFO にライトされることを意味します。*

■ 受信ワード整列動作

Figure 4-4　受信ワード整列図

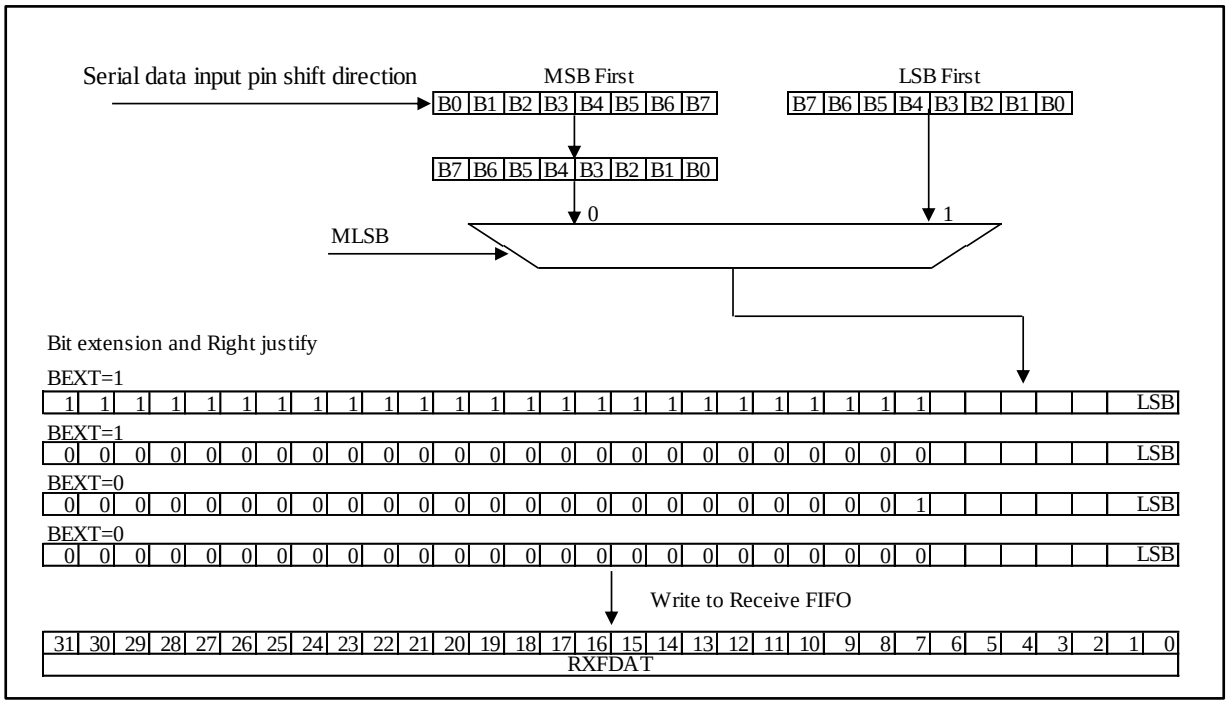


Figure 4-4 はワード長が 8 の時の例です。

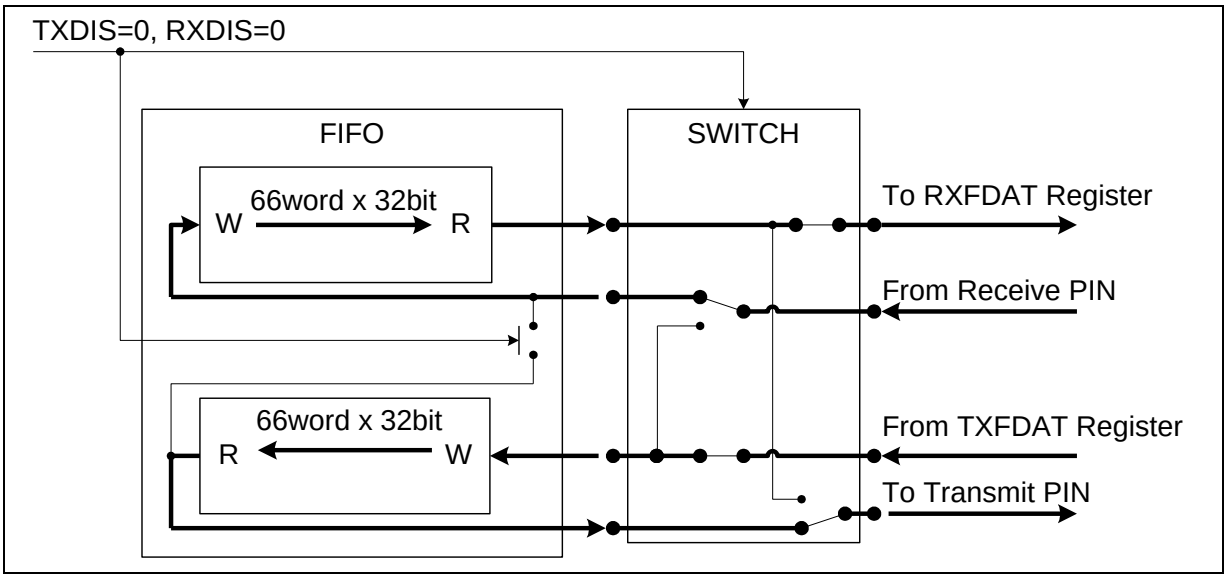
シリアルバスから受信したワードは常に、右整列した後受信 FIFO に書き込まれます。

そのため、1 回のアクセスでワード長が 8 以下の時はバイト 0 を、9 以上 16 以下の時はハーフワード 0 を、17 以上 32 以下の時は全ワードを読み取れるように AHB バスから RXFDAT にリードアクセスしてください。

4.4 FIFO 構成と説明

送・受信可能(TXDIS=0, RXDIS=0)

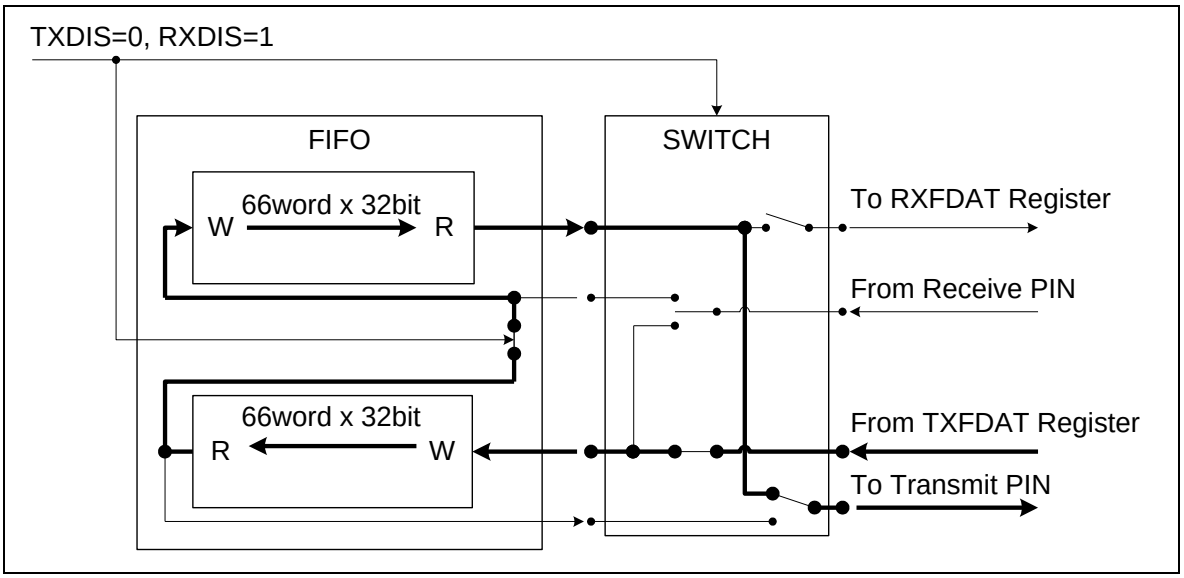
Figure 4-5 送・受信可能モードデータフロー



CNTREG レジスタの TXDIS ビットを"0"、RXDIS ビットを"0"に設定することにより送・受信可能モードになります。このモードでは 66word ×32bit の送信 FIFO、66word ×32bit の受信 FIFO で動作します。

送信のみ可能(TXDIS=0, RXDIS=1)

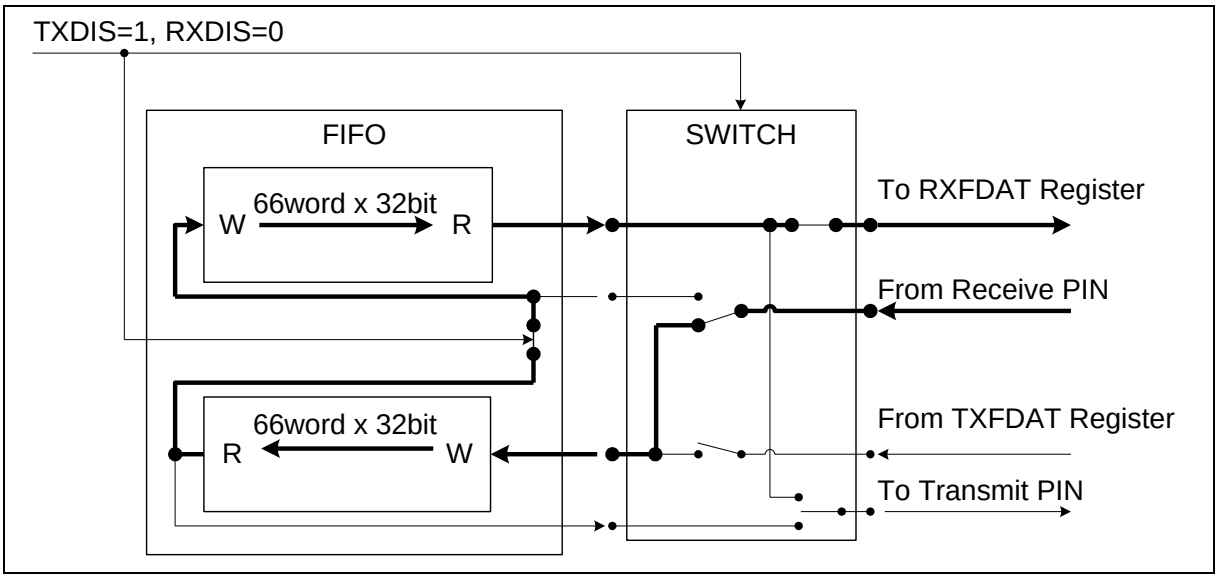
Figure 4-6 送信のみ可能モードデータフロー



CNTREG レジスタの TXDIS ビットを"0", RXDIS ビットを"1"に設定することにより、送信のみ可能なモードになります。本モードでは 132word ×32bit の送信 FIFO で動作し、受信は行いません。

受信のみ可能(TXDIS=1, RXDIS=0)

Figure 4-7 受信のみ可能モードデータフロー



CNTREG レジスタの TXDIS ビットを"1", RXDIS ビットを"0"に設定することにより、受信のみ可能なモードになります。本モードでは 132word ×32bit の受信 FIFO で動作し、送信は行いません。

5. I²S インタフェースのレジスター覧

Table 5-1 にレジスター覧を示します。

Table 5-1 レジスター覧

レジスタ略称	レジスタ名	参照先
RXFDAT	受信 FIFO データレジスタ	6.1
TXFDAT	送信 FIFO データレジスタ	6.2
CNTREG	制御レジスタ	6.3
MCR0REG	チャネル制御レジスタ 0	6.4
MCR1REG	チャネル制御レジスタ 1	6.5
MCR2REG	チャネル制御レジスタ 2	6.6
OPRREG	動作制御レジスタ	6.7
SRST	ソフトリセットレジスタ	6.8
INTCNT	割込み制御レジスタ	6.9
STATUS	状態レジスタ	6.10
DMAACT	DMA 起動レジスタ	6.11
TSTREG	テストレジスタ	6.12

6. I²S インタフェースのレジスタ詳細

I²S インタフェースのレジスタについて説明します。I²S マクロの全レジスタはバイト(8 ビット)・ハーフワード(16 ビット) ・ワード(32 ビット)アクセスに対応します。バイト配置はリトルエンディアンです。

6.1 受信 FIFO レジスタ (RXFDAT)

66 ワード(送受信可能モード)または 132 ワード(受信のみ可能モード)まで保持可能な受信 FIFO レジスタです。

bit	31	30	29	28	27	26	25	24
Field	RXDATA							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	RXDATA							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	RXDATA							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RXDATA							
属性	R							
初期値	0x00							

[bit31:0] RXDATA

シリアルバスから受信したワードは受信 FIFO に書き込まれます。

■ フレームが 1 サブフレーム構成の時

MCR0REG:S0WDL に設定したワード長が 32 ビット(CNTREG:RHLL="1"の時は 16 ビット)より小さい場合は上位ビットを拡張した後受信 FIFO に書き込みます。

■ フレームが 2 サブフレーム構成の時

MCR0REG:S0WDL に設定したワード長が 32 ビット(CNTREG:RHLL="1"の時は 16 ビット)より小さい場合はサブフレーム 0 の受信データを、MCR0REG:S1WDL に設定したワード長が 32 ビットより小さい場合はサブフレーム 1 の受信データを上位ビット拡張した後受信 FIFO に書き込みます。

■ CNTREG:BEXT="1"の時

符号拡張(受信ワードの MSB で拡張)、"0"の時は"0"で拡張します。リードアクセスすると受信 FIFO の 1 番前のデータ(First In)が読み取れます。リードアクセスすると自動的に次の受信 FIFO データに更新されます。リードアクセスはシフトレジスタの動作状態に関わらずアクセスできます。STATUS:RXNUM="0"の時は無効なデータが読み取れます。

RXDATA への書込みは無視します。

6.2 送信 FIFO レジスタ (TXFDAT)

66 ワード(送受信可能モード)または 132 ワード(送信のみ可能モード)まで保持可能な送信 FIFO レジスタです。

bit	31	30	29	28	27	26	25	24
Field	TXDATA							
属性	W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	TXDATA							
属性	W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	TXDATA							
属性	W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	TXDATA							
属性	W							
初期値	0x00							

[bit31:0] TXDATA

送信 FIFO がフルでない限り、送信しようとするワードを書き込むことが可能です。
書込みアクセスはシフトレジスタの動作状態に関わらずアクセスすることが可能です。
送信 FIFO がフルの時に書き込んだワードは送信 FIFO に書き込まれません。
書込みデータはワード・ハーフワード・バイトアクセスですが、実際送信されるビット数はレジスタの MCR0REG レジスタの S0WDL, S1WDL(フレームが 2 サブフレームの時)により決まります。TXDATA から読み出したデータは無効なデータ(最後に書き込んだデータが右整列された後のデータ)です。

6.3 制御レジスタ (CNTREG)

コントロールレジスタです。

bit	31	30	29	28	27	26	25	24
Field	CKRT						OVHD	
属性	R/W						R/W	
初期値	000000						00	

bit	23	22	21	20	19	18	17	16
Field	OVHD							
属性	R/W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約	MSKB	MSMD	SBFN	RHLL	ECKM	BEXT	FRUN
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	MLSB	TXDIS	RXDIS	SMPL	CPOL	FSPH	FSLN	FSPL
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	1	0	0	0	0	0

[bit31:26] CKRT

マスタ動作の時、出力するクロックの分周比を設定します。

ECKM=0 の時は内部クロック(HCLK) を分周します。
ECKM=1 の時は外部クロック(I2SMCLK 外部端子)を分周します。

分周比は偶数のみサポートし、出力するクロックの DUTY は 50%になります。
CKRT[5:0] × 2 が 1 I2SCK サイクルに含まれる I2SMCLK または HCLK サイクル数になります。
下記は設定例です。

■ 外部クロックモード、I2SMCLK が 12.288MHz の時：

bit31:26	分周比	I2SCK
0x00	By pass	12.288 MHz (I2SMCLK がそのまま出力される)
0x01	1/2	6.144 MHz
0x02	1/4	3.072 MHz
0x03	1/6	2.458 MHz
0x04	1/8	1.536 MHz
0x05	1/10	1.228 MHz

■ 内部クロックモード、HCLK が 96MHz の時：

bit31:26	分周比	I2SCK
…	…	…
0x04	1/8	12 MHz
0x05	1/10	9.6 MHz
0x06	1/12	8 MHz
0x07	1/14	6.85 MHz
0x08	1/16	6 MHz
0x09	1/18	5.33 MHz
…	…	…

[bit25:16] OVHD

フレームの有効データに続いて OVERHEAD ビットを挿入することでフレームレートを調整することが可能です。送信フレームの OVERHEAD 区間は High-Impedance 状態になります。
OVERHEAD ビットは 0～1023 ビットまで挿入可能で、フレームの最後に挿入されます。
OVHD に設定した値がそのまま挿入ビット数になります。
OVHD とフレーム同期信号周期(second)間には以下の式が成立します。

- フレームが 1 サブフレーム構成の時：
  OVHD = フレーム同期信号周期/I2SCK 周期 – (S0CHL + 1) × (S0CHN + 1)
- フレームが 2 サブフレーム構成の時：
  OVHD = フレーム同期信号周期/I2SCK 周期 – (S0CHL + 1) × (S0CHN + 1) – (S1CHL + 1) × (S1CHN + 1)

[bit15] 予約 : 予約ビット

書込みは無視します。
読出し値は"0"が読み出されます。

[bit14] MSKB

無効送信フレームのシリアル出力データを設定します。

- マスタ動作(MSMD=1)、自走モード(FRUN=1)かつ TXENB=1 の場合
  フレーム同期信号の出力するタイミングで送信 FIFO が空状態の時は、その送信フレームの全有効チャネルに MSKB を出力します。
- スレーブ動作(MSMD=0)かつ TXENB=1 の場合
  フレーム同期信号を受信したタイミングで送信 FIFO が空状態の時はその送信フレームの全有効チャネルに MSKB を出力します。

送信ワード長がチャネル長より小さい時、送信チャネル内余りのビット(チャネル長 - ワード長)には MSKB がドライブされます。

[bit13] MSMD

マスタ・スレーブモードを設定します。

bit	説明
1	マスタモード
0	スレーブモード

[bit12] SBFN
フレームのサブフレーム構成(サブフレーム数)を指定します。

bit	説明
0	フレームは 1 サブフレーム構成(サブフレーム 0 のみ)になります。
1	フレームは 2 サブフレーム構成(サブフレーム 0 とサブフレーム 1)になります。 フレームはサブフレーム 0 番から始まります。

[bit11] RHLL
FIFO のワード構成を 1 ワードまたは 2 ワードに設定します。
I2S, MSB-Justified などのプロトコルで使うことを想定します。(「RHLL ビット設定による FIFO ワード構成」を参照してください。)

bit	説明
0	32 ビットの FIFO ワードを 1 ワードとして扱います。
1	32 ビットの FIFO ワードを下位 16 ビット、上位 16 ビットに分けてシリアルバスでの 2 ワードとして扱います。

送信時
　下位→上位→下位→上位の順にシリアルバスで転送を行います。

受信時
シリアルバスからの連続する 2 つのワードを下位、上位として扱い、32 ビットの 1 ワードに束ねて受信 FIFO に書き込みます。

[bit10] ECKM
マスタモードで、分周元のクロックを選択します。

bit	説明
0	内部クロック(内部 AHB バスクロック:HCLK)を分周して出力します。
1	I^2S クロック生成クロック(I2SMCLK 端子出力)、外部クロック(I2SMCLK 端子入力)を分周して出力します。

[bit9] BEXT
受信ワード長が FIFO のワード長(RHLL が"0"の時は 32 ビット、RHLL が"1"の時は 16 ビット)より小さい時、上位ビット(FIFO のワード長 ― 受信ワード長)の拡張モードを設定します。
(「ビット整列説明」,「RHLL ビット設定による FIFO ワード構成」を参照してください。)

bit	説明
0	0 で拡張します。
1	符号ビットで拡張(ワードの MSB が"1"の時は"1"、"0"の時は"0"で拡張します)

[bit8] FRUN
フレーム同期信号の出力モードを設定します。

bit	説明
1	自走モード、OPRREG レジスタの START=1 の時、設定したフレームレートでフレーム同期信号が自走します。START ビットが"0"の時はフレーム同期信号を出力しません。
0	バーストモード、OPRREG レジスタの START ビットが"1"の時、TXENB, RXENB および送受信 FIFO の状態によりフレーム同期信号を出力します。

[bit7] MLSB
ワードビットのシフト順番を設定します。

bit	説明
1	シフトはワードの LSB から始まります。
0	シフトはワードの MSB から始まります。

[bit6] TXDIS
送信機能をイネーブル・ディセーブルします。

bit	説明
0	送信機能をイネーブルします。
1	送信機能をディセーブルします。

[bit5] RXDIS
受信機能をイネーブル・ディセーブルします。

bit	説明
0	送信機能をイネーブルします。
1	送信機能をディセーブルします。

[bit4] SMPL
データをサンプリングするポイントを指定します。

bit	説明
0	受信データの中央でサンプリングします。
1	受信データの終りでサンプリングします。

[bit3] CPOL
シリアルデータをドライブ・サンプリングする I2SCK 極性を指定します。

bit	説明
0	I2SCK の立上りでデータをドライブし、立下りでサンプリングします。
1	I2SCK の立下りでデータをドライブし、立上りでサンプリングします。

[bit2] FSPH
I2SWS のフレームデータに対しての位相を指定します。

bit	説明
0	I2SWS はフレームデータの最初ビットより 1 クロック前に有効になります。
1	I2SWS はフレームデータと最初ビットと同じタイミングで有効になります。

[bit1] FSLN
I2SWS のパルス幅を指定します。

bit	説明
0	パルス幅は 1 I2SCK サイクル(1 ビット)になります。
1	パルス幅は 1 チャネル長(1 チャネル)になります。 フレーム長が 1 チャネル長の時は"1"に設定することを禁止します。

[bit0] FSPL
I2SWS 端子の極性を設定します。

bit	説明
0	I2SWS が"1"でフレーム同期信号が有効になります。アイドルの時は"0"です。
1	I2SWS が"0"でフレーム同期信号が有効になります。アイドルの時は"1"です。

＜注意事項＞

- *OPRREG:START ビットが"1"の時は CNTREG レジスタの書換えは禁止です。*

6.4 チャネル制御レジスタ 0 (MCR0REG)

サブフレーム設定レジスタです。

bit	31	30	29	28	27	26	25	24
Field	予約	S1CHN					S1CHL	
属性	R	R/W					R/W	
初期値	0	00000					00	

bit	23	22	21	20	19	18	17	16
Field	S1CHL			S1WDL				
属性	R/W			R/W				
初期値	000			00000				

bit	15	14	13	12	11	10	9	8
Field	予約	S0CHN					S0CHL	
属性	R	R/W					R/W	
初期値	0	00000					00	

bit	7	6	5	4	3	2	1	0
Field	S0CHL			S0WDL				
属性	R/W			R/W				
初期値	000			00000				

[bit31] 予約 : 予約ビット

書込みは無視します。
読出し値は"0"が読み出されます。

[bit30:26] S1CHN

サブフレーム 1 のチャネル数を設定します。
フレームが 2 サブフレーム構成(CNTREG:SBFN="1")の時のみ有効です。
フレームが 1 サブフレーム構成(CNTREG:SBFN="0")の時は無効です。
チャネル数は 32 チャネルまで指定できます。
S1CHN は(チャネル数-1)に設定してください。

例 1：S1CHN="00011"に設定した場合、サブフレーム 1 は 4 チャネル構成になります。
例 2：S1CHN="11111"に設定した場合、サブフレーム 1 は 32 チャネル構成なります。

S1CHN はフレームが 2 サブフレーム構成(CNTREG:SBFN="1")の時のみ有効で、1 サブフレーム構成(CNTREG:SBFN="0")の時は無効です。

[bit25:21] S1SHL

サブフレーム 1 を構成するチャネルのチャネル長(チャネルのビット長)を設定します。
チャネル長は 7～32 ビットに設定可能です。チャネル長を 1～6 ビットに設定することは禁止します。
S1CHL は(チャネル長-1)に設定してください。

例 1：S1CHL="00110"に設定した場合はチャネル長が 7 ビットになります。
例 2：S1CHL="11111"に設定した場合はチャネル長が 32 ビットになります。

チャネル長は CNTREG レジスタの RHLL の値に関わらず、32 以下に設定できます。
S1CHL はフレームが 2 サブフレーム構成(CNTREG:SBFN="1")の時のみ有効で、1 サブフレーム構成(CNTREG:SBFN="0")の時は無効です。

[bit20:16] S1WDL
サブフレーム 1 を構成するチャネルのワード長(チャネル内ワードのビット数)を設定します。
ワード長は 7～32 ビットに設定可能です。ワード長を 1～6 ビットに設定することは禁止します。
S1WDL は(ワード長-1)に設定してください。

例 1：S1WDL="00110"に設定した場合はワード長が 7 ビットになります。
例 2：S1WDL="11111"に設定した場合はワード長が 32 ビットになります。

- CNTREG:RHLL="1"のとき
  ワード長を 16 以下、かつ S1CHL に設定されたチャネル長以下に設定してください。
- CNTREG:RHLL="0"のとき
  ワード長を 32 以下、かつ S1CHL に設定されたチャネル長以下に設定してください。

S1WDL はフレームが 2 サブフレーム構成(CNTREG:SBFN="1")の時のみ有効で、1 サブフレーム構成(CNTREG:SBFN="0")の時は無効です。

[bit15] 予約 : 予約ビット
書込みは無視します。
読出し値は"0"が読み出されます。

[bit14:10] S0CHN
サブフレーム 0 のチャネル数を設定します。
チャネル数は 32 チャネルまで指定可能です。
S0CHN は(チャネル数-1)に設定してください。

例 1：S0CHN="00011"に設定した場合、サブフレーム 0 は 4 チャネル構成になります。
例 2：S0CHN="11111"に設定した場合、サブフレーム 0 は 32 チャネル構成なります。

[bit9:5] S0CHL
サブフレーム 0 を構成するチャネルのチャネル長(チャネルのビット長)を設定します。
チャネル長は 4～32 ビットに設定可能です。チャネル長を 1～6 ビットに設定することは禁止します。
S0CHL は(チャネル長-1)に設定してください。

例 1：S0CHL="00110"に設定した場合はチャネル長が 7 ビットになります。
例 2：S0CHL="11111"に設定した場合はチャネル長が 32 ビットになります。

チャネル長は CNTREG レジスタの RHLL の値に関わらず、32 以下に設定できます。

[bit4:0] S0WDL
サブフレーム 0 を構成するチャネルのワード長(チャネル内ワードのビット数)を設定します。
ワード長は 4～32 ビットに設定可能です。ワード長を 1～6 ビットに設定することは禁止します。
S0WDL は(ワード長-1)に設定してください。

例 1：S0WDL="00110"に設定した場合はワード長が 7 ビットになります。
例 2：S0WDL="11111"に設定した場合はワード長が 32 ビットになります。

- CNTREG:RHLL="1"のとき
  ワード長を 16 以下、かつ S0CHL に設定されたチャネル長以下に設定してください。
- CNTREG:RHLL="0"のとき
  ワード長を 32 以下、かつ S0CHL に設定されたチャネル長以下に設定してください。

6.5 チャネル制御レジスタ 1 (MCR1REG)

サブフレーム 0 の各チャネルに対してイネーブル・ディセーブル制御をします。

bit	31	30	29	28	27	26	25	24
Field	S0CH31	S0CH30	S0CH29	S0CH28	S0CH27	S0CH26	S0CH25	S0CH24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	S0CH23	S0CH22	S0CH21	S0CH20	S0CH19	S0CH18	S0CH17	S0CH16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	S0CH15	S0CH14	S0CH13	S0CH12	S0CH11	S0CH10	S0CH09	S0CH08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	S0CH07	S0CH06	S0CH05	S0CH04	S0CH03	S0CH02	S0CH01	S0CH00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:0] S0CH00～S0CH31

各ビットの名前(S0CHxx)はサブフレーム 0 のチャネル xx 番を意味します。

例:
S0CH00 ビットはサブフレーム 0 のチャネル 0 番を制御します。
S0CH31 ビットはサブフレーム 0 のチャネル 31 番を制御します。

bit	説明
0	対応するチャネルをディセーブルします。 ディセーブルされたチャネルに対しては送受信を行いません。
1	対応するチャネルをイネーブルします。 イネーブルされたチャネルに対して送受信を行います。

6.6 チャネル制御レジスタ 2 (MCR2REG)

サブフレーム 1 の各チャネルに対してイネーブル・ディセーブル制御をします。

bit	31	30	29	28	27	26	25	24
Field	S1CH31	S1CH30	S1CH29	S1CH28	S1CH27	S1CH26	S1CH25	S1CH24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	S1CH23	S1CH22	S1CH21	S1CH20	S1CH19	S1CH18	S1CH17	S1CH16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	S1CH15	S1CH14	S1CH13	S1CH12	S1CH11	S1CH10	S1CH09	S1CH08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	S1CH07	S1CH06	S1CH05	S1CH04	S1CH03	S1CH02	S1CH01	S1CH00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:0] S1CH00～S1CH31

各ビットの名前(S1CHxx)はサブフレーム 1 のチャネル xx 番を意味します。
フレームが 1 サブフレーム構成(CNTREG:SBFN = 0)の時は無効です。

例：
S1CH00 ビットはサブフレーム 1 のチャネル 0 番を制御します。
S1CH31 ビットはサブフレーム 1 のチャネル 31 番を制御します。

bit	説明
0	対応するチャネルをディセーブルします。 ディセーブルされたチャネルに対しては送受信を行いません。
1	対応するチャネルをイネーブルします。 イネーブルされたチャネルに対して送受信を行います。

6.7　動作制御レジスタ (OPRREG)

オペレーション設定レジスタです。

bit	31	30	29	28	27	26	25	24
Field	予約							RXENB
属性				R				R/W
初期値				0000000				0

bit	23	22	21	20	19	18	17	16
Field	予約							TXENB
属性				R				R/W
初期値				0000000				0

bit	15	14	13	12	11	10	9	8
Field	予約							
属性				R				
初期値				0x00				

bit	7	6	5	4	3	2	1	0
Field	予約							START
属性				R				R/W
初期値				0000000				0

[bit31:25] 予約 : 予約ビット

書込みは無視します。　読出し値は"0"が読み出されます。

[bit24] RXENB

受信動作の許可/禁止を設定します。

bit	説明
0	受信動作を禁止します。 このビットへの"0"書込み動作で受信 FIFO は空状態になります。 RXENB が"0"の時はシリアル受信バスから受信したデータを受信 FIFO に書き込みません。 受信 DMA 転送中である場合、DSTC に対する DMA 転送要求を停止します。
1	受信動作を許可します。

[bit23:17] 予約 : 予約ビット

書込みは無視します。　読出し値は"0"が読み出されます。

[bit16] TXENB
送信動作の許可/禁止を設定します。

bit	説明
0	送信動作を禁止します。 本ビットへの"0"書込み動作で受信 FIFO は空状態になります。 本ビットが"0"の時は CPU または DSTC から TXFDAT レジスタに書き込んだデータを送信 FIFO に書き込みません。送信 DMA 転送中である場合、DSTC に対する送信 DMA 転送要求を停止します。
1	送信動作を許可します。

[bit15:1] 予約: 予約ビット
書込みは無視します。　読出し値は"0"が読み出されます。

[bit0] START
I^2S インタフェースをイネーブル・ディセーブルします。

bit	説明
0	I^2S インタフェースは停止状態になります。 本ビットへの"0"書込み動作で内部送受信 FIFO は空状態になります。
1	I^2S インタフェースは動作可能状態になります。

START が"1"の時は、CNTREG, MCR0REG, MCR1REG, MCR2REG レジスタの書換えは禁止です。

6.8　ソフトリセットレジスタ (SRST)

ソフトリセットレジスタです。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							SRST
属性	R							R/W
初期値	0000000							0

[bit31:1] 予約 : 予約ビット

書込みは無視します。
読出し値は"0"が読み出されます。

[bit0] SRST

"1"を書き込むことでソフトリセットをします。

ソフトリセットで STATUS レジスタと、内部各ステートマシンは初期状態になり、送受信 FIFO は空き状態になります。
STATUS, INTCNT, DMAACT レジスタ以外のレジスタには影響がありません。

本ビットに"1"を書き込み後、リードアクセスして読み取った値が"0"の場合はソフトリセットが完了したことを意味し、"1"の場合はソフトリセット中であることを意味します。

6.9 割込み制御レジスタ (INTCNT)

割込み制御レジスタです。

bit	31	30	29	28	27	26	25	24
Field	予約	TXUD1M	TBERM	FERRM	TXUD0M	TXOVM	TXFDM	TXFIM
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	1	1	1	1	1	1

bit	23	22	21	20	19	18	17	16
Field	予約		RBERM	RXUDM	RXOVM	EOPM	RXFDM	RXFIM
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		1	1	1	1	1	1

bit	15	14	13	12	11	10	9	8
Field	予約				TFTH			
属性	R				R/W			
初期値	0000				0000			

bit	7	6	5	4	3	2	1	0
Field	予約		RPTMR		RFTH			
属性	R		R/W		R/W			
初期値	00		00		0000			

[bit31] 予約 : 予約ビット

書込みは無視します。
読出し値は"0"が読み出されます。

[bit30] TXUD1M

送信 FIFO アンダフロー割込みをマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	STATUS レジスタの TXUDR1 による CPU への割込みをマスクしません。
1	STATUS レジスタの TXUDR1 による CPU への割込みをマスクします。

[bit29] TBERM

本品種では、本ビットは、常に"1"固定で使用してください

[bit28] FERRM
フレームエラー割込みマスクをマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	STATUS レジスタの FERR による CPU への割込みをマスクしません。
1	STATUS レジスタの FERR による CPU への割込みをマスクします。

[bit27] TXUD0M
送信 FIFO アンダフロー割込みをマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	STATUS レジスタの TXUDR0 による CPU への割込みをマスクしません。
1	STATUS レジスタの TXUDR0 による CPU への割込みをマスクします。

[bit26] TXOVM
送信 FIFO オーバフロー割込みをマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	STATUS レジスタの TXOVM による CPU への割込みをマスクしません。
1	STATUS レジスタの TXOVM による CPU への割込みをマスクします。

[bit25] TXFDM
送信 DMA 要求をマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	送信 FIFO の空き空間がしきい値以上の時、送信 DMA 転送要求をします。
1	送信 FIFO の空き空間がしきい値以上でも、送信 DMA 転送要求をしません。

[bit24] TXFIM
送信 FIFO 割込みをマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	STATUS レジスタの TXFI による CPU への割込みをマスクしません。
1	STATUS レジスタの TXFI による CPU への割込みをマスクします。

[bit23:22] 予約: 予約ビット
書込みは無視します。
読出し値は"0"が読み出されます。

[bit21] RBERM
本品種では、ビットは常に"1"固定で使用してください。

[bit20] RBUDM
受信 FIFO アンダフロー割込みをマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	STATUS レジスタの RXUDR による CPU への割込みをマスクしません。
1	STATUS レジスタの RXUDR による CPU への割込みをマスクします。

[bit19] RXOVM
受信 FIFO オーバフロー割込みをマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	STATUS レジスタの RXOVR による CPU への割込みをマスクしません。
1	STATUS レジスタの RXOVR による CPU への割込みをマスクします。

[bit18] EOPM
STATUS レジスタの EOPI による割込みをマスクするビットです。
レジスタ，ソフトリセットで初期値になります。

bit	説明
0	STATUS レジスタの EOPI による CPU への割込みをマスクしません。
1	STATUS レジスタの EOPI による CPU への割込みをマスクします。

[bit17] RXFDM
受信 DMA 要求をマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	受信 FIFO に書き込まれた受信データがしきい値以上の時、DMA 要求をします。
1	受信 FIFO に書き込まれた受信データがしきい値以上でも、DMA 要求をしません。

[bit16] RXFIM
受信 FIFO 割込みをマスクするビットです。
ソフトリセットで初期値になります。

bit	説明
0	STATUS レジスタの RXFI による CPU への割込みをマスクしません。
1	STATUS レジスタの RXFI による CPU への割込みをマスクします。

[bit15:12] 予約 : 予約ビット
書込みは無視します。
読出し値は"0"が読み出されます。

[bit11:8] TFTH

送信 FIFO のしきい値を設定するビットです。
送信 FIFO の空き空間がしきい値以上の時

- TXFIM が"0"の場合、CPU へ割込みをします。
- TXFDM が"0"の場合、DSTC に送信 DMA 要求をします。

TFTH は以下の式により設定します。
TFTH = 送信 FIFO しきい値-1

例 1: TFTH=0000：送信 FIFO の空き空間が 1 ワード以上で、割込み、送信 DMA 要求発生
例 2: TFTH=0001：送信 FIFO の空き空間が 2 ワード以上で、割込み、送信 DMA 要求発生
例 3: TFTH=1111：送信 FIFO の空き空間が 16 ワード以上で、割込み、送信 DMA 要求発生

[bit7:6] 予約 : 予約ビット

書込みは無視します。　読出し値は"0"が読み出されます。

[bit5:4] RPTMR

パケット受信完了タイマ設定ビットです。
内部受信完了タイマのタイムアウト値を設定します。
内部の受信完了タイマは受信 FIFO が空き状態ではなく、かつ受信 FIFO のデータ数がしきい値より小さい時は常にカウントアップします。受信 FIFO が空き状態または、しきい値以上の時になった時はクリアされます。タイマがタイムアウトした時は STATUS レジスタの EOPI ビットが"1"にセットされます。
ソフトリセットで初期値になります。

bit5:4	説明
00	0 (タイマは動作しません)
01	54000 HCLK サイクル
10	108000 HCLK サイクル
11	216000 HCLK サイクル

[bit3:0] RFTH

受信 FIFO のしきい値を設定するビットです。
受信 FIFO に書き込まれた受信ワード数がしきい値以上の時

- RXFIM が"0"の場合、CPU へ割込みをします。
- RXFDM が"0"の場合、DSTC に受信 DMA 要求をします。

RFTH は以下の式により設定します。
RFTH = 受信 FIFO しきい値-1

例 1:RFTH=0000：受信 FIFO のデータ量が 1 ワード以上で、割込み、受信 DMA 要求発生
例 2: RFTH=0001：受信 FIFO のデータ量が 2 ワード以上で、割込み、受信 DMA 要求発生
例 3: RFTH=1111：受信 FIFO のデータ量が 16 ワード以上で、割込み、受信 DMA 要求発生

6.10 状態レジスタ (STATUS)

状態レジスタです。

bit	31	30	29	28	27	26	25	24
Field	TBERR	RBERR	FERR	TXUDR1	TXUDR0	TXOVR	RXUDR	RXOVR
属性	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約				EOPI	BSY	TXFI	RXFI
属性	R				R/W	R	R	R
初期値	0000				0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	TXNUM							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RXNUM							
属性	R							
初期値	0x00							

[bit31] TBERR

本品種では、本ビットは常に"0"が読み出されます。

[bit30] RBERR

本品種では、本ビットは常に"0"が読み出されます。

[bit29] FERR

フレームエラーが発生したことを示します。

- スレーブモード(CNTREG:MSMD=0)かつ自走モード(CNTREG:FRUN=0)のとき
  設定されたフレームレートでフレーム同期信号を受信できなかった時に"1"に設定します。
- スレーブモード(CNTREG:MSMD=0)かつ自走モードでない(CNTREG:FRUN=1)のとき
  フレーム送受信最中に次のフレーム同期信号を受信した時に"1"に設定します。

本ビットが"1"かつ INTCNT:FERRM ビットが"0"のときは CPU に割込みをします。
CPU からの"1"書込み、またはソフトリセットで"0"にクリアします。
CPU からの"0"書込みは動作に影響しません。

[bit28] TXUDR1

フレーム先頭で送信 FIFO がアンダフローした時、"1"にセットされます。
CPU からの"1"書込み、またはソフトリセットで"0"にクリアします。
CPU からの"0"書込みは動作に影響しません。

[bit27] TXUDR0
フレーム送信中(フレームの2番目のビットワードからフレーム最後のワード)に送信FIFOがアンダフローした時、"1"にセットされます。
CPUからの"1"書込み、またはソフトリセットで初期値になります。
CPUからの"0"書込みは動作に影響しません。

[bit26] TXOVR
送信FIFOがオーバフローした時、"1"にセットされます。
送信FIFOがフルの状態で送信データの書込みがあったことを示します。
本ビットが"1"のときは1ワード以上の送信データが廃棄されたことを意味します。
本ビットが"1"かつINTCNT:TXOVMビットが"0"のときはCPUに割込みをします。
CPUからの"1"書込み、またはソフトリセットで初期値になります。
CPUからの"0"書込みは動作に影響しません。

[bit25] RXUDR
受信FIFOがアンダフローした時、"1"にセットされます。
受信FIFOが空状態の時、受信FIFOへのリードアクセスがあったことを意味します。
CPUからの"1"書込み、またはソフトリセットで初期値になります。
CPUからの"0"書込みは動作に影響しません。

[bit24] RXOVR
受信FIFOがオーバフローした時、"1"にセットされます。
受信FIFOがフルの状態で受信動作があったことを示します。
本ビットが"1"のときは1ワード以上の受信ワード廃棄されたことを意味します。
本ビットが"1"かつINTCNT:RXOVMビットが"0"のときはCPUに割込みをします。
CPUからの"1"書込み、またはソフトリセットで初期値になります。
CPUからの"0"書込みは動作に影響しません。

[bit23:20] 予約 : 予約ビット
書込みは無視します。　読出し値は"0"が読み出されます。

[bit19] EOPI
受信タイマによる割込みフラグです。受信タイマは以下の条件が同時に成立する時、イネーブル状態になります。
1. CNTREG:RXDISビットが"0"に設定されていること。
2. OPRREG:STARTビットが"1"、RXENB=1に設定されていること。

リセット後、1回目のワード受信動作でカウントアップ動作を開始します。
タイマがINTCNT:RPTMRビットに設定した時間になった時、受信FIFOが空でなければ本ビットは"1"にセットされます。
本ビットが"1"かつINTCNT:EOPMビットが"0"のとき、CPUに割込みをします。
受信FIFOのデータがしきい値以上または空き状態になると自動的にクリアされます。
受信FIFOのデータ数がしきい値以下、そして空き状態でなければクリアが解除され、再びカウントアップ動作を開始します。
CPUから"1"を書き込んだ場合も"0"にクリアされます。ソフトリセットで初期値になります。
CPUからの"0"書込みは動作に影響しません。

[bit18] BSY
シリアル送信制御部の状態(ビジー/アイドル)を示します。このビットはソフトリセットの影響を受けません。

bit	説明
1	シリアル送信制御部はビジー状態である。
0	シリアル送信制御部はアイドル状態である。

[bit17] TXFI
送信 FIFO の空きスロットが INTCNT:TFTH ビットで設定したしきい値以上のとき、"1"にセットされます。
本ビットが"1"かつ INTCNT:TXFIM ビットが"0"のとき、CPU に割込みをします。
本ビットが"1"かつ INTCNT:TXFDM ビットが"0"のとき、送信 DMA 要求をします。

CPU・DSTC からの TXFDAT レジスタの書込みにより送信 FIFO の空きスロット数がしきい値より小さくなったとき、自動的に"0"にクリアされます。
OPRRE:START ビットが"0"、または OPRREG:TXENB ビットが"0"のとき、本ビットは"0"になります。START ビットが"1"、かつ TXENB ビットが"1"のときにソフトリセットをした場合、ソフトリセット期間中は"0"になりますが、ソフトリセットが終わった後は"1"になります。

[bit16] RXFI
受信 FIFO のデータ数が INTCNT:RFTH ビットで設定したしきい値以上のとき、"1"にセットされます。
本ビットが"1"かつ INTCNT:RXFIM ビットが"0"のとき、CPU に割込みをします。
本ビットが"1"かつ INTCNT:RXFDM ビットが"0"のとき、受信 DMA 要求をします。

CPU・DSTC からの RXFDAT レジスタ読出しにより受信 FIFO 内のデータ数がしきい値より小さくなったとき、自動的に"0"にクリアされます。
OPRREG:START ビットが"0"、または OPRREG:RXENB ビットが"0"の時は"0"になります。ソフトリセットで"0"になります。

[bit15:8] TXNUM
送信 FIFO にあるデータの数を示します。
TXFDAT レジスタへのライトアクセスによりインクリメントし、またシリアルワード送信によりデクリメントします。
送受信同時モードでは最大値 66、送信のみのモードでは最大値 132 まで表示可能です。
ソフトリセットで初期値になります。

[bit7:0] RXNUM
受信 FIFO にあるデータの数を示します。
シリアルバスからのワード受信によりインクリメントし、また RXFDAT レジスタへのリードアクセスによりデクリメントします。

送受信同時モードでは最大値 66、受信のみのモードでは最大値 132 まで表示可能です。
ソフトリセットで初期値になります。

6.11 DMA 起動レジスタ (DMAACT)

DMA アクセスレジスタです。

bit	31	30	29	28	27	26	25	24
Field	予約							TL1E0
属性				R				R/W
初期値				0000000				0

bit	23	22	21	20	19	18	17	16
Field	予約							TDMACT
属性				R				R/W
初期値				0000000				0

bit	15	14	13	12	11	10	9	8
Field	予約							RL1E0
属性				R				R/W
初期値				0000000				0

bit	7	6	5	4	3	2	1	0
Field	予約							RDMACT
属性				R				R/W
初期値				0000000				0

[bit31:25] 予約 : 予約ビット

書込みは無視します。
読出し値は"0"が読み出されます。

[bit24] TL1E0

DSTC が送信 DMA 転送を行う場合、本ビットは"1"に設定してください。
CPU が送信データ転送を行う場合、本ビットは"0"に設定してください。

[bit23:17] 予約 : 予約ビット

書込みは無視します。
読出し値は"0"が読み出されます。

[bit16] TDMACT

本品種では、本ビットは、常に"0"固定で使用してください。

[bit15:9] 予約 : 予約ビット

書込みは無視します。　読出し値は"0"が読み出されます。

[bit8] RL1E0

DSTC が受信 DMA 転送を行う場合、本ビットは"1"に設定してください。
CPU が受信データ転送を行う場合、本ビットは"0"に設定してください。

[bit7:1] 予約 : 予約ビット

書込みは無視します。　読出し値は"0"が読み出されます。

[bit0] RDMACT

本品種では、本ビットは、常に"0"固定で使用してください。

6.12 テストレジスタ(TSTREG)

Loop back モードを設定します。

Field	予約
属性	R
初期値	0x00

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							LBMD
属性	R							R/W
初期値	0000000							0

[bit31:1] 予約 : 予約ビット

書込みは無視します。
読出し値は"0"が読み出されます。

[bit0] LBMD

0: 正常モード
1: Loop back モード

シリアル送信端子は内部でシリアル受信端子に接続します。外部からのシリアル受信データは無視します。
Loop back モードで動作させる場合は以下の設定をしてください。

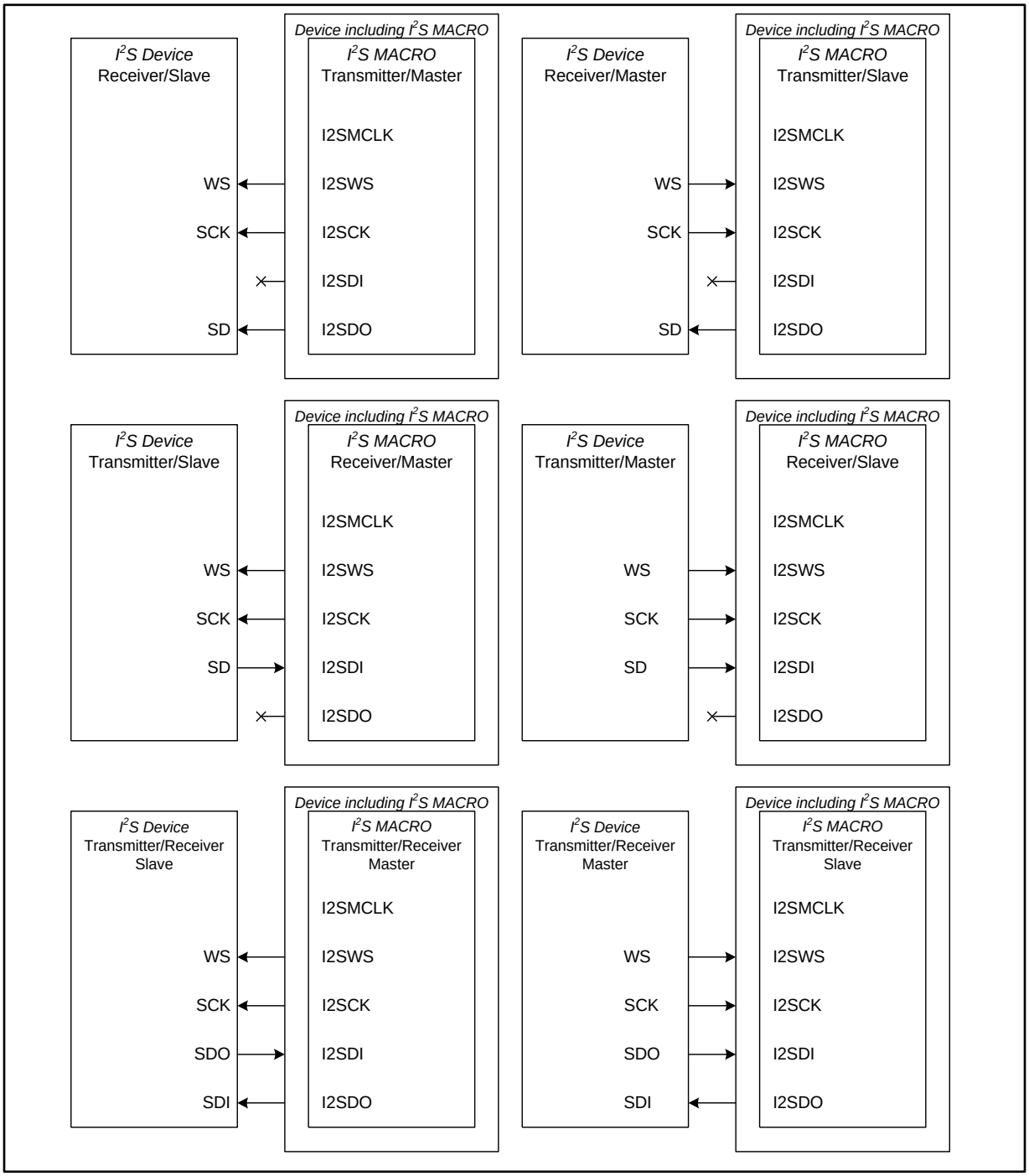
CNTREG:MSMD=1, CNTREG:TXDIS=0, CNTREG:RXDIS=0
OPRREG:TXENB=0, OPRREG:RXENB=0

7. I²S インタフェースのアプリケーションノート

7.1 I²S and MSB Justified

接続図

Figure 7-1 I²S 接続例



I²S, MSB-Justified プロトコル

I²S(Inter-Integrated Circuit Sound の略)は Philips Semiconductors 社が提唱したデジタル・ステレオ・オーディオ用プロトコルです。SCK と WS は I²S Bus 上のマスタが出力します。マスタ専用のコントローラとして使用することができ、送・受信用 I²S デバイスがマスタになることも可能です。シリアルデータは PCM データの MSB 側から入出力します。ワードセレクト信号(WS)は送信中 PCM データがどのチャネルかを示します。WS が"0"の時は左(Left)、"1"の時は右(Right)チャネルを示します。チャネルデータの MSB は常に WS の遷移点から 1 クロック遅れます。チャネルのビット長に付いては特に規定していません。I²S スレーブはシリアルデータの MSB から自分のシステムで規定したワード長分だけ数えて 1 ワードとします。規定したワード長より多い部分は無視し、少ない部分は"0"で埋めます。データサンプリングは常に SCK の立上りで行います。シリアルデータの出力は I²S 受信部のサンプリングタイミングを満たす必要があります。SCK の立下りで出力するか、立上りで出力するかについては特に規定していません。

<注意事項>

- *I²S はレジスタライト・リードなどの Audio Codec Device 制御用プロトコルではありません。そのため、通常 I²S をサポートする Codec Device はデバイス制御用に別のインタフェースを提供します。*

MSB-Justified プロトコルは I²S と似たようなプロトコルです。WS の遷移点とシリアルデータの MSB が同時に発生します。WS は"1"で左チャネル、"0"で右チャネルを示します。

I²S, MSB-Justified Bus 信号	
SCK	Continuous serial clock
WS	Word Select
SD	Serial data

Figure 7-2 I²S Data Format

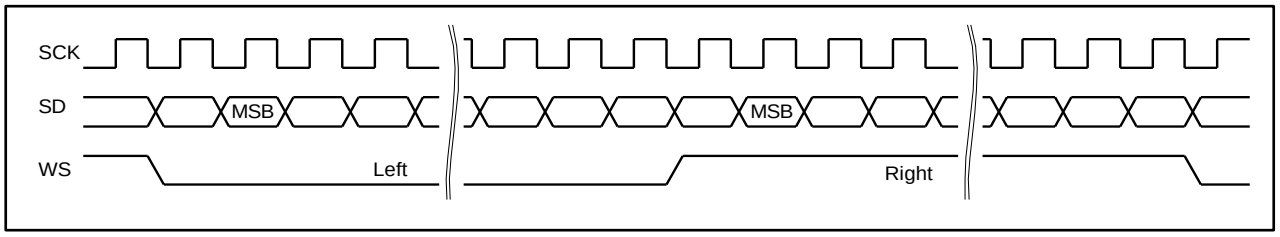
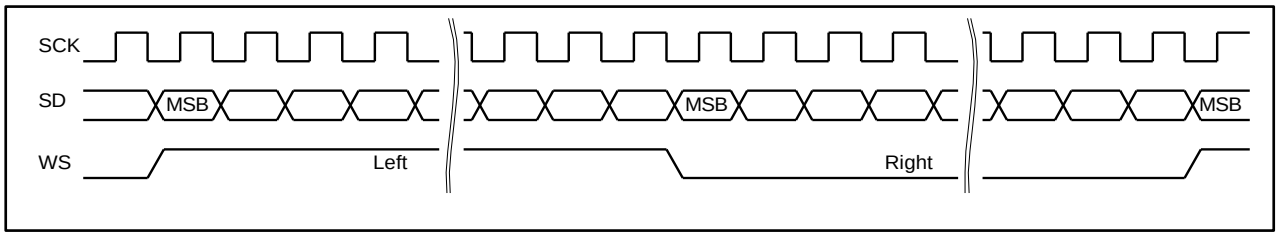


Figure 7-3 MSB-Justified Data Format



レジスタ設定例

I²S インタフェースを I²S、または MSB-Justified プロトコルで動作させるためには以下のように設定してください。

■ 初期化処理

1. CNTREG レジスタの設定
   a. TXDIS,RXDIS を設定します。
      送受信を同時にする場合は、TXDIS=0、RXDIS=0 を設定します。
      FIFO 構成はそれぞれ 66 ワードの送・受信 FIFO 構成になり、全二重通信が可能になります。
      送信のみする場合は、TXDIS=0、RXDIS=1 を設定します。
      FIFO 構成は 132 ワードの送信 FIFO になります。
      受信のみする場合は、TXDIS=1、RXDIS=1 を設定します。
      内部 FIFO 構成は 132 ワードの受信 FIFO になります。
   b. MSMD を設定します。
      マスタ動作時、MSMD=1 を設定します。
      スレーブ動作時、MSMD=0 を設定します。
   c. ECKM, CKRT を設定します。
      マスタ動作時、ECKM と CKRT に分周比を設定します。
      スレーブ動作時、ECKM, CKRT の設定は不要です。
   d. SBFN を設定します。
      I²S フレームを 1 サブフレーム構成､サブフレーム 0 のチャネル数を 2 チャネルとする場合､SBFN=0 を設定します。
      I²S フレームを 2 サブフレーム構成、それぞれのチャネル数を 1 チャネルとする場合、SBFN=1 を設定します。
   e. FSPL を設定します。
      I²S プロトコルの場合、FSPL=1 を設定します。
      MSB-Justified プロトコルの場合、FSPL=0 を設定します。
      リセット後の最初フレームは左チャネルから始まります。
   f. FSLN を設定します。
      FSLN=1 を設定します。フレーム同期信号の幅はサブフレーム 0 の 1 ワード長になります。
   g. FSPH を設定します。
      I²S プロトコルの場合、FSPH=0 を設定します。
      MSB-Justified プロトコルの場合、FSPL=1 を設定します。
   h. CPOL を設定します。
      SCK の立下りでデータをドライブする場合、CPOL=1 を設定します。
      SCK の立上りでデータをドライブする場合、CPOL=0 を設定します。
   i. RHLL を設定します。
      ソフトウェアがメモリに左右チャネルの音声データをどのように配置するかで決定します。詳細は「RHLL ビット設定による FIFO ワード構成」を参照してください。
2. MCR0REG レジスタの設定
   a. チャネル数を設定します。
      SBFN=0 の場合、S0CHN=00001 を設定します。S1CHN は設定不要です。
      SBFN=1 の場合、S0CHN=00000、S1CHN=00000 を設定します。
   b. チャネル長を設定します。チャネル長はフレームレートを決定します。
      SBFN=0 の場合、S0CHL にチャネル長を設定します。S1CHL は設定不要です。
      SBFN=1 の場合、S0CHL と S1CHL にチャネル長 (同じ値) を設定します。
   c. ワード長を設定します。送受信する PCM データのビット幅を決定します。
      SBFN=0 の場合、S0WDL にワード長を設定します。S1WDL は設定不要です。
      SBFN=1 の場合、S0WDL と S1WDL にワード長 (同じ値) を設定します。
3. MCR1REG レジスタの設定

a. サブフレーム 0 の有効チャネルを設定します。
SBFN=0 の場合、S0CH00-S0CH01=1、S0CH02-S0CH31=0 を設定します。
SBFN=1 の場合、S0CH00=1、S0CH01-S0CH31=0 を設定します。

4. MCR2REG レジスタの設定
   a. サブフレーム 1 の有効チャネルを設定します。
   SBFN=0 の場合、S1CH00-S1CH31 は設定不要です。
   SBFN=1 の場合、S1CH00=1、S1CH01-S1CH31=0 を設定します。
5. INTCNT レジスタの設定
   a. RFTH に受信 FIFO 閾値、TFTH に送信 FIFO 閾値を設定します。
   CPU が送受信データ転送を行う場合、RFTH、TFTH は適切な値を設定します。
   DSTC が送受信データ転送を行う場合、RFTH、TFTH は DSTC の DES1.IIN-1 に設定します。
   b. RXFIM,RXFDM を設定します。
   CPU が受信データ転送を行い、RXFI 割込みが必要な場合、RXFIM=0、RXFDM=1 を設定します。
   DSTC が受信データ転送を行う場合、RXFIM=1、RXFDM=0 を設定します。
   c. TXFIM,TXFDM を設定します。
   CPU が送信データ転送を行い、TXFI 割込みが必要な場合、TXFIM=0、TXFDM=1 を設定します。
   DSTC が送信データ転送を行う場合、TXFIM=1、TXFDM=0 を設定します。
   d. そのほかの割込みマスク設定
   CPU に対し割込み発生必要なマスクビットに"0"を設定します。
6. DMAACT レジスタの設定
   a. RL1E0、RDMACT を設定します。
   CPU が受信データ転送を行う場合、RL1E0=0、RDMACT=0 を設定します。
   DSTC が受信データ転送を行う場合、RL1E0=1、RDMACT=0 を設定します。
   b. TL1E0、TDMACT を設定します。
   CPU が送信データ転送を行う場合、TL1E0=0、TDMACT=0 を設定します。
   DSTC が送信データ転送を行う場合、TL1E0=1、TDMACT=0 を設定します。
7. DSTC が送受信データ転送を行う場合、以下の DSTC のディスクリプタ、レジスタ設定を行います。
   DSTC の設詳細に関しては、『FM4 シリーズ ペリフェラルマニュアル』の『DSTC』章を参照してください。以下の n は、DSTC の I2S 受信転送要求のチャネル番号、I2S 送信転送要求のチャネル番号をそれぞれ示します。『FM4 シリーズ ペリフェラルマニュアル』の『割込み』章を参照してください。
   a. DSTC が受信データ転送を行う場合、以下を設定します。
   DES0.DV=01、DES0.DMSET=1、DES0.MODE=0、DES0.SAC=101 を設定します。
   DES0.CHRS[5:4]=01 の設定を行い、DSTC から HW 転送終了割込みを発生させます。
   DES1.IIN = INTCNT.RFTH+1 を設定します。
   DES2:SA は RXFDAT レジスタのアドレスに設定します。
   HWDESP[n]に HWDESP 値を設定します。
   DREQENB[n]=1 を設定します。
   b. DSTC が送信データ転送を行う場合、以下を設定します。
   DES0.DV=01、DES0.DMSET=1、DES0.MODE=0、DES0.DAC=101、DES0.ORL[0]=1（注意事項参照）を設定します。
   DES0.CHRS[5:4]=01 の設定を行い、DSTC から HW 転送終了割込みを発生させます。
   DES1.IIN = INTCNT.TFTH+1 を設定します。
   DES3:DA は TXFDAT レジスタのアドレスに設定します。
   DES4 は、DES1 と同じ値を設定します。（注意事項参照）
   HWDESP[n]に HWDESP 値を設定します。
   DREQENB[n]=1 を設定します。

■ データ送受信の開始指示

OPRREG レジスタの START ビット、TXENB ビット、RXENB ビットに"1"を書き込み、データの送受信開始を指示します。

■ 送受信データの転送動作

1. CPU が受信データ転送を行う場合
   受信 FIFO のデータ量が、INTCNT.RFTH の設定値以上の場合、INTCNT.RXFI がセットされます。
   CPU が RXFDAT から受信データを読み出します。
   受信 FIFO のデータ量が、INTCNT.RFTH の設定値未満になると、INTCNT.RXFI がクリアされます。
2. CPU が送信データ転送を行う場合
   送信 FIFO の空き容量が、INTCNT.TFTH の設定値以上の場合、INTCNT.TXFI がセットされます。
   CPU が TXFDAT へ送信データを書き込みます。
   送信 FIFO の空き容量が、INTCNT.TFTH の設定値未満になると、INTCNT.TXFI がクリアされます。
3. DSTC が受信データ転送を行う場合
   受信 FIFO のデータ量が、INTCNT.RFTH の設定値以上の場合、受信 DMA 転送要求が、DSTC に通知されます。DSTC が RXFDAT から受信データを読み出し、データ転送を行います。DSTC は、DES1.IIN×DES1.ORM 回のデータ転送を行うと、DQMSK[n]=1 をセットし、DES0.DV=00 の書き込みを行い、受信転送動作を停止します。同時に HW 転送終了割込み（HWINT[n]）を発生します。転送を再開する場合、CPU から、HWINTCLR[n]=1 の書き込み、DES の再構築、DQMSKCLR[n]=1 の書き込みを行います。
4. DSTC が送信データ転送を行う場合
   送信 FIFO の空き容量が、INTCNT.TFTH の設定値以上の場合、送信 DMA 転送要求が、DSTC に通知されます。DSTC が TXFDAT に送信データを書き込み、データ転送を行います。DSTC は、DES1.IIN×DES1.ORM 回のデータ転送を行うと、DQMSK[n]=1 をセットし、DES0.DV=00 の書き込みを行い、送信転送動作を停止します。同時に HW 転送終了割込み（HWINT[n]）を発生します。転送を再開する場合、CPU から、HWINTCLR[n]=1 の書き込み、DES の再構築、DQMSKCLR[n]=1 の書き込みを行います。

■ データ送受信の停止指示

OPRREG レジスタの START ビット、TXENB ビット、RXENB ビットに"0"を書き込み、データの送受信停止を指示します。

DSTC を用いた送受信データの DMA 転送を行っている場合は、DSTC が、DES0.IIN×DES0.ORM 回の転送を終了し、DES（ディスクリプタ）のクローズを行っている状態で、TXENB ビット、RXENB ビットへの 0 書き込みを行い、データの送受信停止を指示します。

＜注意事項＞

- *I^2S インタフェースがマスタモードで、データ転送を行わない時は、OPRREG レジスタの START ビットを"0"に設定します(消費電力を小さくします)。*
- *DSTC を用いて I2S の送信 DMA 転送（受信 DMA 転送は除く）を行う場合、送信 DMA 要求から直接起動される DES（ディスクリプタ）に対しては、必ず、DES0.ORL[0]=1 の設定を行ってください。同時に、DES4（拡張ディスクリプタ）領域を確保し、DES1 と同じ値を DES4 に設定してください。この設定は、DSTC の転送内容、転送回数に影響を与えません。DSTC に DES アクセスを行わせることで、I2S 送信転送要求信号のハンドシェイク時間を確保するためのものです。*

RHLL ビット設定による FIFO ワード構成

CNTREG レジスタの RHLL ビットの設定により、内部 FIFO のワード構成が変わります。

RHLL="1" (Figure 7-4)

FIFO のワード 1 個が I2S フレーム 1 個になります。FIFO の下位 16 ビットは左チャネル用、上位 16 ビットチャネルは右チャネル用になります。PCM データ幅は 16 ビットまで可能です。

MCR0REG レジスタに設定したワード長が 16 ビットより大きい時：

送信: 16 ビットのチャネルデータに続いて設定されたワード長になるまで拡張ビットを送信します。(CNTREG レジスタの BEXT ビットに設定したモードにより、"0"・符号ビット拡張をする)

受信: シリアルバスから受信したワードは MSB から数えて 16 ビットをチャネルデータとし、残りの(受信ワード長-16 ビット)のデータは無視します。

MCR0REG レジスタに設定したワード長が 16 ビットより小さい時：

送信: 16 ビットのチャネルデータの LSB(bit0)から数えて設定したワード長までを送信します。

受信: ワード長を LSB 側にアラインし、上位(16 ビット-ワード長)ビットを拡張します。(CNTREG レジスタの BEXT ビットに設定したモードにより、"0"・符号ビット拡張をする)

RHLL="0" (Figure 7-5)

FIFO のワード一個が I^2S フレームの 1 チャネルになります。

最大 PCM データ幅は 32 ビットまで可能です。

MCR0REG レジスタに設定したワード長が 32 ビットより小さい時：

送信: 32 ビットの FIFO ワードの LSB(bit0)から数えて設定したワード長までを送信します。

受信: ワード長を LSB 側にアラインし、上位(32 ビット-ワード長)ビットを拡張します。(CNTREG レジスタの BEXT ビットに設定したモードにより、"0"・符号ビット拡張をする)

Figure 7-4 Data Structure when the RHLL is ”1”

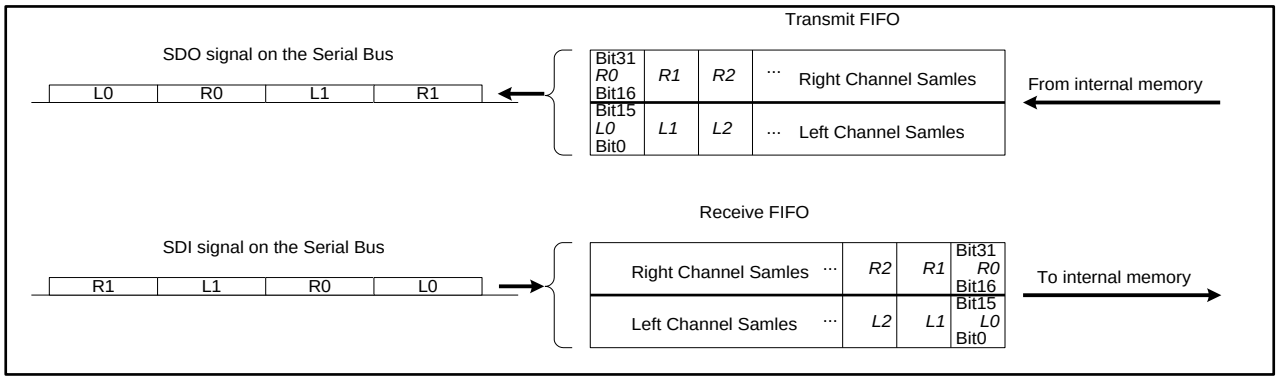
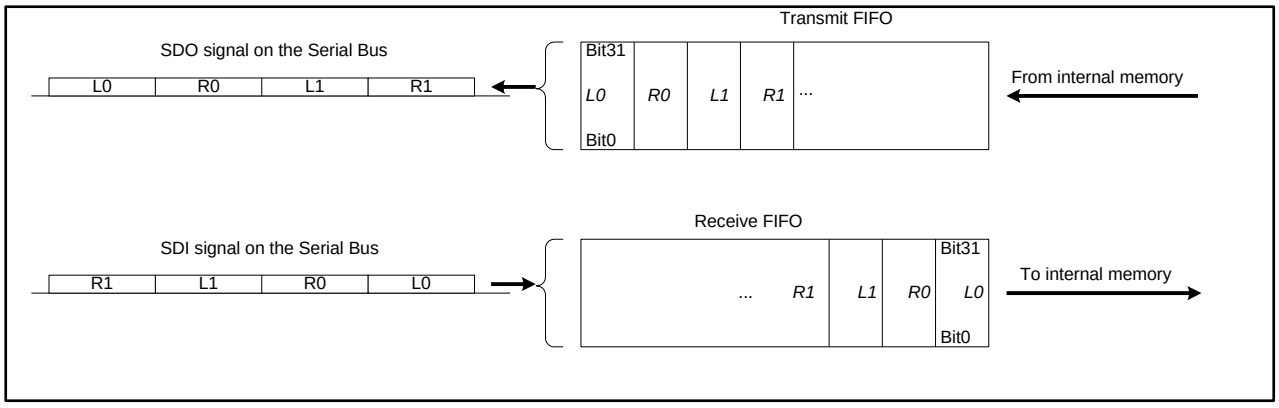


Figure 7-5 Data Structure when the RHLL is ”0”



異常処理

■ フレームエラー

フレーム同期信号のタイミングが正しいタイミングで発生してなかったことを意味します。
STATUS レジスタの FERR ビットに"1"をセットします。

■ 受信 FIFO オーバフロー

受信 FIFO がフルの時、シリアル端子からの受信動作があったことを意味します。受信するワードは廃棄します。受信データの転送処理が間に合わなかった場合などに発生します。
STATUS レジスタの RXOVR ビットに"1"をセットします。

■ 受信 FIFO アンダフロー

受信FIFOが空の時、CPUまたはDSTCから受信FIFOへのリードアクセスがあったことを意味します。受信FIFO閾値（RFTH）の設定が誤っている場合などに発生します。
STATUS レジスタの RXUDR ビットに"1"をセットします。

■ 送信 FIFO オーバフロー

送信 FIFO がフルの時、CPU または DSTC から送信 FIFO へのライトアクセスがあったことを意味します。送信 FIFO 閾値（TFTH）の設定が誤っている場合などに発生します。
STATUS レジスタの TXOVR ビットに"1"をセットします。

■ 送信 FIFO アンダフロー

送信 FIFO が空の時、シリアル端子への送信動作があったことを意味します。空きフレームビットを出力します。送信データの転送処理が間に合わなかった場合などに発生します。
STATUS レジスタの TXUDR0 ビットまたは TXUDR1 ビットに"1"をセットします。 (TXUDR0, TXUDR1 の設定条件については「6.10 状態レジスタ (STATUS)」の TXUDR0, TXUDR1 ビット説明を参照してください。)

CHAPTER 8-1: High-Speed Quad Serial Peripheral Interface の構成

HS_SPI (High-Speed Quad Serial Peripheral Interface)の構成について説明します。

1. HS_SPI の構成

本章における対象製品

■ 本章では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本章内の"HS_SPI_TYP0"または”HS_SPI_TYPE1”の表記は、以下の一覧の FM4 ファミリ製品に置き換えてお読みください。

タイプ名	対象商品
HS_SPI_TYPE0	TYPE3-M4
HS_SPI_TYPE1	TYPE4-M4

■ TYPE4—M4 製品において、以下の製品はデバイス外部に HS_SPI デバイスを接続できません。
- S6E2D35GJAMV20
- S6E2D55GJAMV20
- S6E2DF5GJAMV20
- S6E2DH5GJAMV20

1. HS_SPI の構成

1.1 HS_SPI_TYPE0 製品

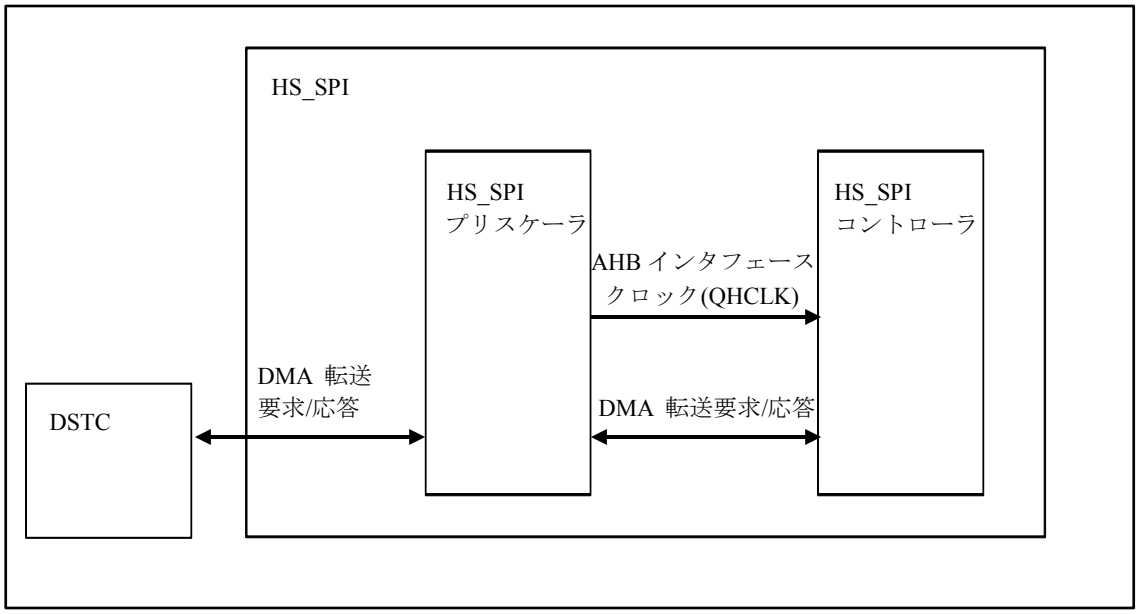
HS_SPI は HS_SPI コントローラ用プリスケーラと HS_SPI コントローラから構成されます。

HS_SPI プリスケーラは HS_SPI コントローラの AHB インタフェースクロックを供給し、HS_SPI コントローラの DMA BRIDGE 機能を制御します。

HS_SPI コントローラは多彩な SPI デバイス(Serial Peripheral Interface devices)に対応した通信機能を有します。

HS_SPI の構成図を Figure 1-1 に示します。

Figure 1-1 HS_SPI の構成図 (HS_SPI_TYPE0)



<注意事項>

- *HS_SPI コントローラのコマンドシーケンサモードでは、シリアルメモリが割当てられたシステム領域からデータアクセスすることができますが、命令フェッチする場合、MPU(メモリ保護ユニット)によって命令フェッチを許可する設定が必要です。HS_SPI が割当たっている領域はデフォルトで命令フェッチが許可されていません。これは HS_SPI コントローラのシステム領域が外部デバイス領域(0xA0000000～0xDFFFFFFF)に割り当たっているためです。*

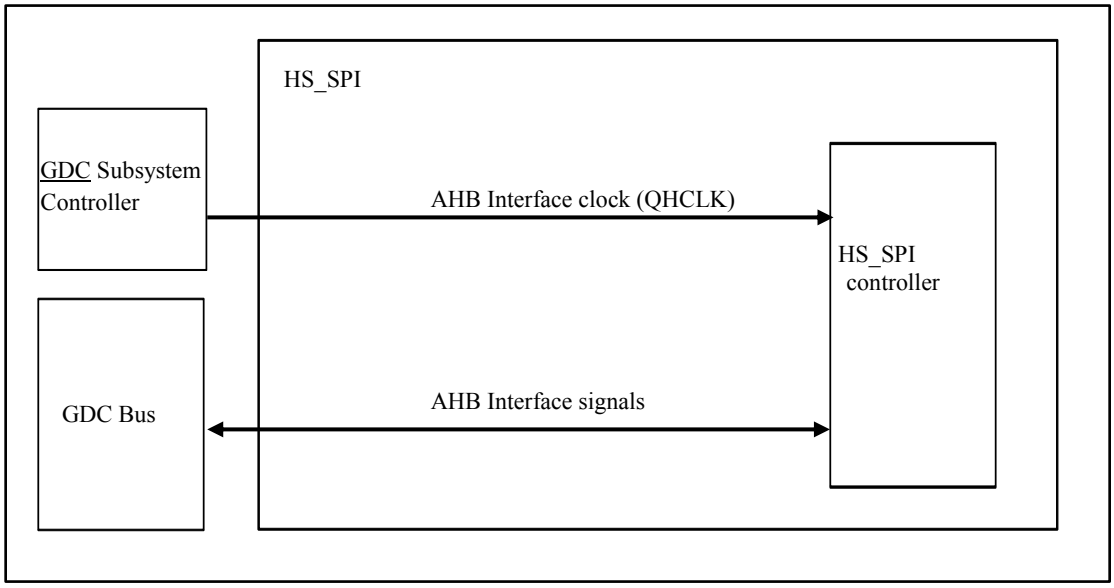
1.2 HS_SPI_TYPE1 製品

HS_SPI は HS_SPI コントローラから構成されます。

HS_SPI コントローラは多彩な SPI デバイス(Serial Peripheral Interface devices)に対応した通信機能を有します。

HS_SPI の構成図を Figure 1-2 に示します。

Figure 1-2 HS_SPI の構成図 (HS_SPI_TYPE1)



<注意事項>

- *HS_SPI_TYPE1 製品に搭載している HS_SPI コントローラは、外部 SPI デバイスからの命令フェッチ機能をサポートしていません。*

CHAPTER 8-2: High-Speed Quad Serial Peripheral Interface プリスケーラ

HS-SPI (High-Speed Quad Serial Peripheral Interface)プリスケーラについて説明します。

1. 概要
2. 動作説明
3. HS-SPI プリスケーラのレジスタセット

1. 概要

HS_SPI プリスケーラ はクロック分周器、SYNC DOWN BRIDGE、DMA BRIDGE によって構成されます。

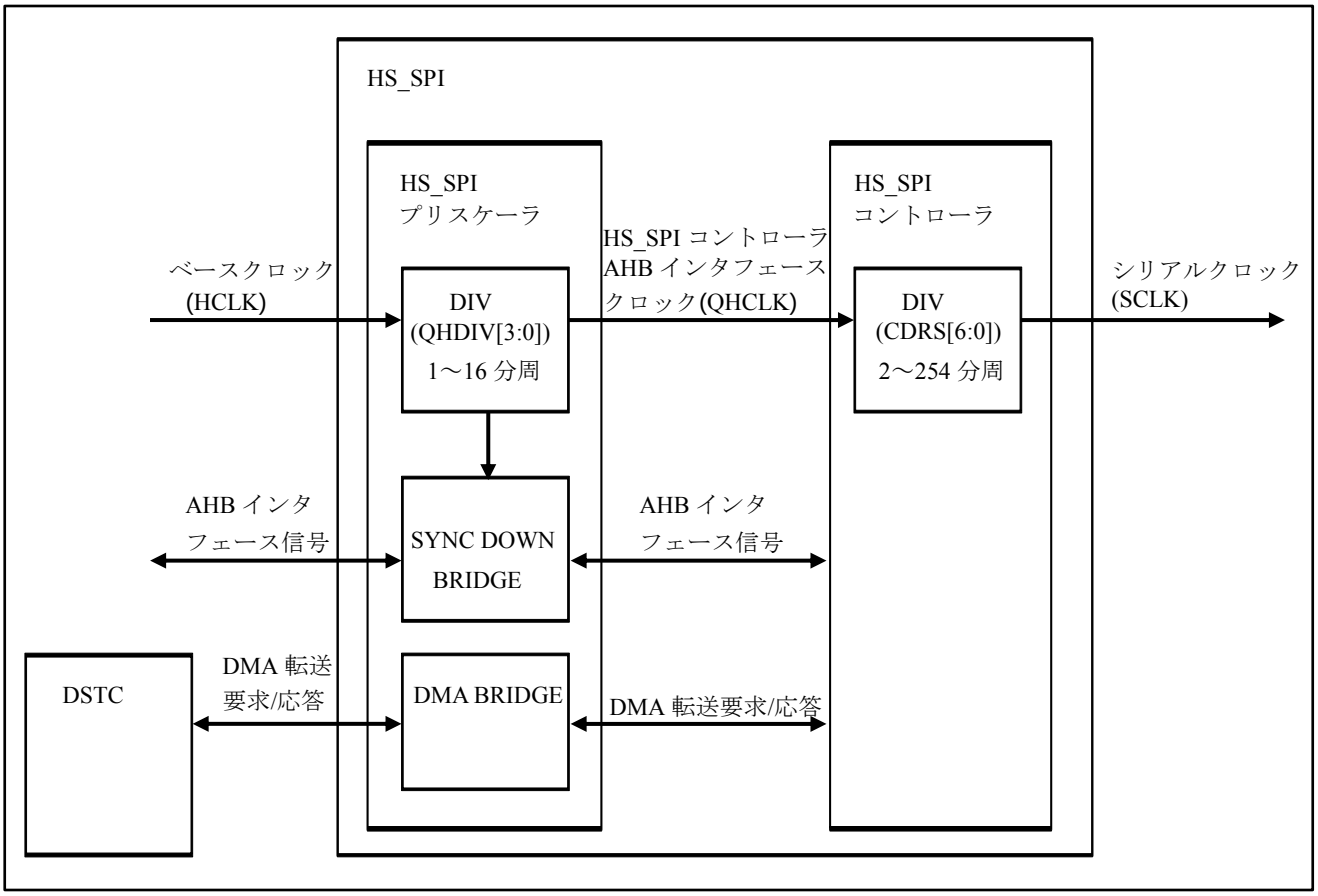
クロック分周器はベースクロック(HCLK)を 1～16 分周して、HS_SPI コントローラの AHB インタフェースクロック(QHCLK)を供給します。

Sync Down Bridge はクロック分周器設定が 2 分周以上の設定のとき、AHB インタフェース信号を Sync Down します。

DMA BRIDGE は HS_SPI コントローラの DMA インタフェースに接続され、DMA コントローラ間の DMA 転送を制御します。

HS-SPI プリスケーラのブロックダイヤグラムを Figure 1-1 に示します。

Figure 1-1 HS_SPI プリスケーラのブロックダイヤグラム



<注意事項>

- *HS_SPI_TYPE1 製品では、HS_SPI プリスケーラは実装されていません。クロック生成についてはペリフェラルマニュアル GDC 編を参照してください。*

2. 動作説明

HS_SPI プリスケーラの動作説明をします。

2.1 クロック設定

SPI のシリアルクロック(SCLK)はベースクロック(HCLK)の周波数、HS_SPI プリスケーラ分周設定(QHDIV[3:0])、HS_SPI コントローラ分周設定(CDRS[6:0])の組合せによって、その動作周波数が決定します。

■ ベースクロック(HCLK)
ベースクロック(HCLK)は HS_SPI に供給されるクロックです。

■ HS_SPI コントローラ AHB インタフェースクロック(QHCLK)
HS_SPI コントローラ AHB インタフェースクロック(QHCLK)は HS_SPI コントローラのシステムクロックで、HS_SPI プリスケーラはベースクロック(HCLK)を 1～16 分周して供給します。

デフォルトは 16 分周です。

■ シリアルクロック(SCLK)
シリアルクロック(SCLK)は SPI のシリアルクロックです。

HS_SPI コントローラは HS_SPI コントローラの AHB インタフェースクロックを 2～254 分周して供給します。

＜注意事項＞

- *HS_SPI コントローラ分周設定(CDRS[6:0])のデフォルトは予約(分周なし)です。HS_SPI コントローラは分周なし設定を禁止しているため、ユーザは HS_SPI コントローラを動作許可する前にこの分周設定を変更する必要があります。詳細は『HS_SPI コントローラ』の章を参照してください。*

各クロックの仕様範囲についてはご使用になる製品の『データシート』の使用条件を参照してください。

Table 2-1 に分周設定例を示します。

Table 2-1 クロックの分周設定例

ベースクロック (HCLK)	QHDIV[3:0]	HS_SPI コントローラ AHB インタフェースクロック(QHCLK)	CDRS[6:0]	シリアルクロック (SCLK)
200MHz	1	100MHz	1	50MHz
160MHz	1	80MHz	1	40MHz
132MHz	0	132MHz	1	66MHz
80MHz	0	80MHz	1	40MHz
66MHz	0	66MHz	1	33MHz

2.2 DMA BRIDGE 制御

DMA BRIDGE は HS_SPI コントローラの DMA インタフェースに接続され、DMA コントローラ間の DMA 転送を制御します。

DMA BRIDGE 制御レジスタ(DBCNT)は HS_SPI コントローラをダイレクトモード：DMA 転送で使用するときに設定する必要があります。

＜注意事項＞

DMA 転送を使用する場合は以下の点に注意してください。(受信側のみ記載しますが、送信側も同様です)

- *DMA 転送前、HSSPIn_DMDMAEN:RXDMAEN を“1”に設定する前に DBCNT:RXDBEN を“1”に設定してください。*
- *DMA 転送後、HSSPIn_DMDMAEN:RXDMAEN を“0”に設定した後に DBCNT:RXDBEN を“0”に設定してください。*
- *ダイレクトモード DMA 転送の設定手順例についての詳細は『HS_SPI コントローラ』の章を参照してください。*
- *DMA BRIDGE のバッファ状態に不整合が発生するため、DBCNT:RXDBEN を“1”に設定した状態で CPU から RX-FIFO へアクセスすることは禁止です。CPU から RX-FIFO へアクセスする場合、DMA 転送を停止し、HSSPIn_DMDMAEN:RXDMAEN を“0”に設定し、DBCNT:RXDBEN を“0”に設定してからアクセスしてください。*

3. HS-SPI プリスケーラのレジスタセット

HS-SPI プリスケーラのレジスタについて説明します。

3.1 レジスタ

レジスター一覧を下記に示します。

HS-SPI プリスケーラのレジスター一覧

レジスタ略称	レジスタ名	参照先
QDCLKR	分周クロックレジスタ	3.2
DBCNT	DMA BRIDGE 制御レジスタ	3.3

3.2 分周クロックレジスタ (QDCLKR)

本レジスタは HS-SPI システムクロックの分周比を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	QHDIV[3]	QHDIV[2]	QHDIV[1]	QHDIV[0]
属性	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	1	1

[bit7:4] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit3:0] QHDIV[3:0] : HS_SPI クロック分周比設定ビット

bit	説明
0000	1 分周
0001	2 分周
0010	3 分周
…	…
1111	16 分周[初期値]

本ビットは HS_SPI コントローラの分周比(1 分周～16 分周)を設定します。

(QHDIV+1)分周に設定されます。

本ビットを変更した場合、本ビットの読出し値は書込み値がクロック分周器に反映されてから更新されます。HS_SPI コントローラ領域へのアクセスは必ず読出し値が書込み値になってから行ってください。

<注意事項>

- *設定可能な HS_SPI コントローラ AHB インタフェースクロックの周波数についてはご使用になる製品の『データシート』を参照してください。*
- *QHDIV への書込みから QHDIV の読出し値が書込み値になるまでの間に、HS_SPI コントローラ領域へアクセスすることは禁止です。アクセスした場合、そのアクセスは保証されません。*

3.3 DMA BRIDGE 制御レジスタ (DBCNT)

DMA BRIDGE は HS_SPI コントローラの DMA インタフェースに接続され、DMA コントローラ間の DMA 転送を制御します。

本レジスタは DMA BRIDGE の有効、無効を制御します。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	予約	予約	TXDBEN	RXDBEN
属性	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:2] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit1] TXDBEN :送信用 DMA BRIDGE 制御ビット

bit	説明
0	送信用 DMA BRIDGE を無効にします。 [初期値]
1	送信用 DMA BRIDGE を有効にします。

<注意事項>

- *本レジスタの設定は DMA BRIDGE 動作を停止させるだけのものであり、DMA 転送要求や DMA 転送応答を抑止するものではありません。*
- *DMA 転送中に TXDBEN を変更した場合、その DMA 転送は保証されません。*
- *TXDBEN は HSSPIn_DMDMAEN:TXDMAEN が"0"のときに変更してください。*
  HSSPIn_DMDMAEN の詳細については『HS-SPI ダイレクトモード DMA イネーブルレジスタ (HSSPIn_DMDMAEN)』を参照してください。

[bit0] RXDBEN :受信用 DMA BRIDGE 制御ビット

bit	説明
0	受信用 DMA BRIDGE を無効にします。 [初期値]
1	受信用 DMA BRIDGE を有効にします。

<注意事項>

- *本レジスタの設定は DMA BRIDGE 動作を停止させるだけのものであり、DMA 転送要求や DMA 転送応答を抑止するものではありません。*
- *DMA 転送中に RXDBEN を変更した場合、その DMA 転送は保証されません。*
- *RXDBEN は HSSPIn_DMDMAEN:RXDMAEN が"0"のときに変更してください。*
  HSSPIn_DMDMAEN の詳細については『HS-SPI ダイレクトモード DMA イネーブルレジスタ (HSSPIn_DMDMAEN)』を参照してください。

CHAPTER 8-3: High-Speed Quad Serial Peripheral Interface コントローラ

HS_SPI (High-Speed Quad Serial Peripheral Interface)コントローラの機能と動作について説明します。

1. HS_SPI コントローラの概要
2. HS_SPI コントローラの動作説明
3. HS_SPI コントローラのレジスタ
4. HS_SPI コントローラ使用上の注意
5. HS_SPI コントローラの設定手順例

1. HS_SPI コントローラの概要

HS_SPI コントローラは多彩な SPI デバイス(Serial Peripheral Interface devices)に対応します。本章では、HS_SPI コントローラについて、その概要を説明します。

1.1 HS_SPI コントローラの特長

■ 2 つの動作モード(ダイレクトモードとコマンドシーケンサモード)サポート
ただし、コマンドシーケンサモードは、すべての SPI デバイスに使用できるとは限りません。そのため、使用される SPI デバイスのデータシートを入手し、対応可能かどうか確認してください。ダイレクトモード、コマンドシーケンサモードの詳細は「2.4 ダイレクトモード」、「2.5 コマンドシーケンサモード」を参照してください。

■ シングルビット、デュアルビット、クアッドビットに対応
詳細は「2.3 シリアルインタフェース」の「2.3.2 シリアルインタフェースビット幅」を参照してください。

■ 最大 4 個までのスレーブデバイスに対応

＜注意事項＞
－ スレーブデバイスの最大数はご使用になる製品によって異なりますので、『データシート』を参照してください。

■ スレーブごとに、シリアルインタフェースのフォーマットが設定可能
ただし、ダイレクトモードのみです。詳細は「3.3HS-SPI ペリフェラル通信設定レジスタ (HSSPIn_PCC0～3)」を参照してください。

■ 4 つのクロッキングモードをサポート (HS_SPI_TYPE0 製品)
詳細は「2.3 シリアルインタフェース」の「2.3.1 クロッキングモード」を参照してください。

■ 2 つのクロッキングモードをサポート (HS_SPI_TYPE1 製品)
詳細は「2.3 シリアルインタフェース」の「2.3.1 クロッキングモード」を参照してください。

■ シリアルフラッシュの Hold 機能をシリアルクロック停止で実現
HOLD 端子によりシリアルバスの Hold 機能をサポートしているシリアルフラッシュはありますが、HS_SPI コントローラはシリアルクロックを停止することで実現しています。

■ DMA 転送サポート
詳細は「2.1DMA インタフェース」を参照してください。 HS_SPI_TYPE1 製品では DMA 転送はサポートしていません。

2. HS_SPI コントローラの動作説明

本章は HS_SPI コントローラの動作について説明します。

以下について説明します。

2.1. DMA インタフェース
2.2. 割込み
2.3. シリアルインタフェース
2.4. ダイレクトモード
2.5. コマンドシーケンサモード

2.1 DMA インタフェース

HS_SPI コントローラはハードウェア起動による DMA 転送機能を持っています。ダイレクトモード時、TXFIFO、RXFIFO とのデータの書込み、読出しに使用されます。HS_SPI_TYPE1 製品は DMA インタフェース機能を実装していません。

2.1.1 TX-FIFO に対する DMA 転送

以下のすべての条件が成り立つと、TX-FIFO に対する DMA 転送を要求します。

- 送信 DMA が有効である(HSSPIn_DMDMAEN.TXDMAEN="1")。
- TX-FIFO の有効データ数がしきい値以下である(HSSPIn_TXF.TFLETS="1")。
- 送信ブロックカウンタ*1 が 0 である。
  (送信ブロックカウンタは TX-FIFO への DMA 転送要求が発生したときに
  (16 - HSSPIn_FIFOCFG.TXFTH)がロードされ、データが TX-FIFO に書き込まれるごとに-1 される。
  HSSPIn_DMDMAEN.TXDMAEN ビットが"0"の時、送信ブロックカウンタは 0 である。)
- DMA 書込みブロックサイズ違反検出ビットが"0"である(HSSPIn_FAULTF. DWCBSFS="0")。
- HS_SPI コントローラが動作許可状態である(HSSPIn_MCTRL.MES="1")。
- HS_SPI コントローラがダイレクトモードである(HSSPIn_MCTRL.CSEN="0")。
- HSSPIn_DMTRP.TRP[3:2]ビットを TX-and-RX(0x0) または TX-Only(0x2)に設定。

<注意事項>

- *ブロックとは 1 つのアクセス(データ転送)のことを指します。*
- *送信ブロックカウンタは、データ転送数をカウントします。*

TX-FIFO への DMA 転送要求は以下のいずれかの条件で無効になります。

- 送信 DMA が無効である(HSSPIn_DMDMAEN.TXDMAEN="0")
- HS_SPI コントローラが動作禁止状態である(HSSPIn_MCTRL.MES="0")。
- HS_SPI コントローラがコマンドシーケンサモードである(HSSPIn_MCTRL.CSEN="1")。
- 送信 DMA 転送応答が返ってきた。

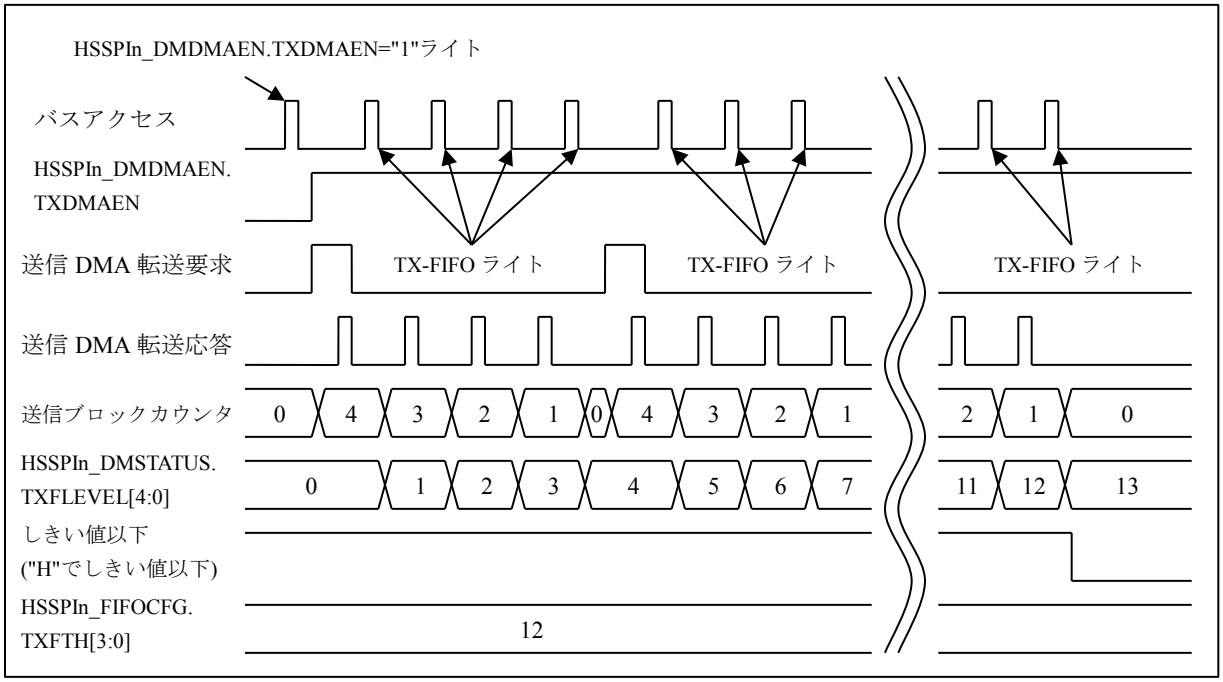
HS_SPI コントローラは送信 DMA 転送において、ブロックサイズ設定(16 - HSSPIn_FIFOCFG.TXFTH)と DSTC のデータ転送回数設定(DES1.IIN[15:0])が異なると DMA 書込みブロックサイズ違反検出ビット(HSSPIn_FAULTF. DWCBSFS)を"1"にし、違反割込み要求を出します。

以下のすべての条件が成り立つと、DMA 書込みブロックサイズ違反検出ビット(HSSPIn_FAULTF. DWCBSFS)は"1"になります。

- 送信ブロックカウンタが 0 のとき、TX-FIFO へ書き込まれた。
- 送信 DMA が有効である(HSSPIn_DMDMAEN.TXDMAEN="1")。
- HS_SPI コントローラが動作許可状態である(HSSPIn_MCTRL.MES="1")。
- HS_SPI コントローラがダイレクトモードである(HSSPIn_MCTRL.CSEN="0")。

以下に TX-FIFO に対する DMA 転送の動作例を示します。

Figure 2-1 TX-FIFO に対する DMA 転送動作例(HSSPIn_FIFOCFG.TXFTH=12)



以下に上記 DMA 転送動作例について説明します。

- 送信 DMA 転送を有効にする(HSSPIn_DMDMAEN.TXDMAEN="1")と送信ブロックカウンタは 0、しきい値以下="H"のため、送信 DMA 転送要求を"H"にし、送信ブロックカウンタに(16 - HSSPIn_FIFOCFG.TXFTH)をロードします。
- DSTC は DMA 転送が要求されたために、送信 DMA 転送応答を返します。送信 DMA 転送応答が"H"になり、送信 DMA 転送要求は"L"になります。
- DMA 転送が開始され、TX-FIFO に送信データが書き込まれると送信ブロックカウンタは-1 されます。
- ブロック長 4 のため、4 回 TX-FIFO に送信データが書き込まれると送信ブロックカウンタは 0 となります。そのとき、しきい値以下="H"なので、再度送信 DMA 転送要求を"H"にし、送信ブロックカウンタに(16 - HSSPIn_FIFOCFG.TXFTH)をロードします。
- これを繰り返し、送信ブロックカウンタが 0 になったとき、しきい値以下が"L"の場合、しきい値以下が"H"になるまで送信 DMA 転送要求は"L"の状態を保持します。

2.1.2 RX-FIFO に対する DMA 転送

以下のすべての条件が成り立つと、RX-FIFO に対する DMA 転送を要求します。

- 受信 DMA が有効である(HSSPIn_DMDMAEN.RXDMAEN="1")。
- RX-FIFO の有効データ数がしきい値を超える。
- 受信ブロックカウンタ*1 が 0 である。
  (受信ブロックカウンタは RX-FIFO への DMA 転送要求が発生したときに(HSSPIn_FIFOCFG.RXFTH+1)がロードされ、データが RX-FIFO から読み出されるごとに-1 される。HSSPIn_DMDMAEN.RXDMAEN ビットが"0"の時、受信ブロックカウンタは 0 である。)
- DMA 読出しブロックサイズ違反検出ビットが"0"である(HSSPIn_FAULTF. DRCBSFS="0")。
- HS_SPI コントローラが動作許可状態である(HSSPIn_MCTRL.MES="1")。
- HS_SPI コントローラがダイレクトモードである(HSSPIn_MCTRL.CSEN="0")。
- HSSPIn_DMTRP.TRP[3:2]ビットを TX-and-RX(0x0) または RX-Only(0x1)に設定。

<注意事項>

- ***ブロックとは 1 つのアクセス(データ転送)のことを指します。***
- ***受信ブロックカウンタは、データ転送数をカウントします。***

RX-FIFO への DMA 転送要求は以下のいずれかの条件で無効になります。

- 受信 DMA が無効である(HSSPIn_DMDMAEN.RXDMAEN="0")
- HS_SPI コントローラが動作禁止状態である(HSSPIn_MCTRL.MES="0")。
- HS_SPI コントローラがコマンドシーケンサモードである(HSSPIn_MCTRL.CSEN="1")。
- 受信 DMA 転送応答が返ってきた。

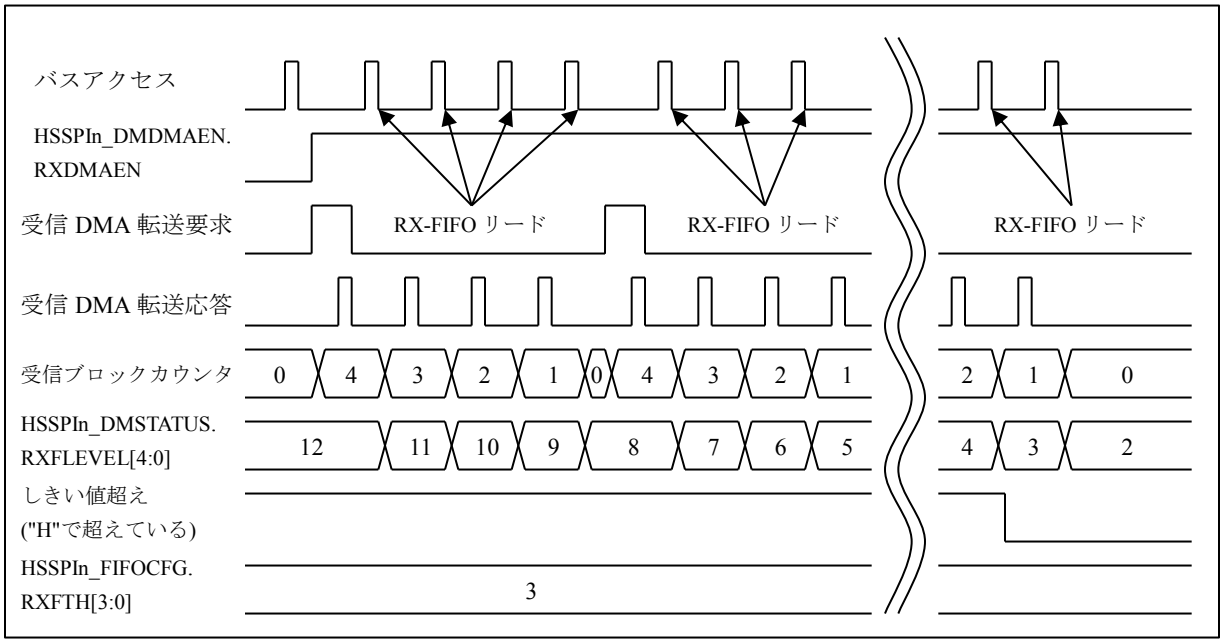
HS_SPI コントローラは受信 DMA 転送において、ブロックサイズ設定(HSSPIn_FIFOCFG.RXFTH+1)と DSTC のデータ転送回数設定(DES1.IIN[15:0])が異なると DMA 読出しブロックサイズ違反検出ビット(HSSPIn_FAULTF. DRCBSFS)を"1"にし、違反割込み要求を出します。

以下のすべての条件が成り立つと、DMA 読出しブロックサイズ違反検出ビット(HSSPIn_FAULTF. DRCBSFS)は"1"になります。

- 受信ブロックカウンタが 0 のとき、RX-FIFO のデータが読み出された。
- 受信 DMA が有効である(HSSPIn_DMDMAEN.RXDMAEN="1")。
- HS_SPI コントローラが動作許可状態である(HSSPIn_MCTRL.MES="1")。
- HS_SPI コントローラがダイレクトモードである(HSSPIn_MCTRL.CSEN="0")。

以下に RX-FIFO に対する DMA 転送の動作例を示します。

Figure 2-2 RX-FIFO に対する DMA 転送動作例(HSSPIn_FIFOCFG.RXFTH=3)



以下に上記 DMA 転送動作例について説明します。

- 受信 DMA 転送を有効にし(HSSPIn_DMDMAEN.RXDMAEN="1")、受信ブロックカウンタは 0、しきい値超え="H"のため、受信 DMA 転送要求を"H"にし、受信ブロックカウンタに(HSSPIn_FIFOCFG.RXFTH+1)をロードします。
- DSTC は DMA 転送が要求されたために、受信 DMA 転送応答を返します。受信 DMA 転送応答が"H"になり、受信 DMA 転送要求は"L"になります。
- DMA 転送が開始され、RX-FIFO から受信データが読み出されると受信ブロックカウンタは-1 されます。
- ブロック長 4 のため、4 回 RX-FIFO から受信データが読み出されると受信ブロックカウンタは 0 となります。そのとき、しきい値超え="H"なので、再度受信 DMA 転送要求を"H"にし、受信ブロックカウンタに(HSSPIn_FIFOCFG.RXFTH+1)をロードします。
- これを繰り返し、受信ブロックカウンタが 0 になったとき、しきい値超えが"L"の場合、しきい値超えが"H"になるまで受信 DMA 転送要求は"L"の状態を保持します。

2.2 割込み

HS_SPI コントローラは送信割込み要求、受信割込み要求、違反割込み要求をサポートしています。

2.2.1 送信割込み要求

以下の送信割込み要因のいずれかが"1"でそれに対応した送信割込み許可ビットが"1"の場合、送信割込み要求が発生します。

Table 2-1 送信割込み要因および送信割込み許可

送信割込み要因		送信割込み許可		機能
レジスタ名	ビット名	レジスタ名	ビット名	
HSSPIn_TXF	TSSRS="1"	HSSPIn_TXE	TSSRE="1"	スレーブ選択解除による割込みです。スレーブ選択が解除されると HSSPIn_TXF.TSSRS ビットが"1"にセットされます。 HSSPIn_TXC.TSSRC ビットに"1"を書くと HSSPIn_TXF.TSSRS ビットは"0"になります。
	TFMTS="1"		TFMTE="1"	TX-FIFO しきい値超過による割込みです。TX-FIFO の有効データがしきい値を超えると HSSPIn_TXF.TFMTS ビットが"1"にセットされます。 HSSPIn_TXC.TFMTC ビットに"1"を書くと HSSPIn_TXF.TFMTS ビットは"0"になります。
	TFLETS="1"		TFLETE="1"	TX-FIFO しきい値以下による割込みです。TX-FIFO の有効データがしきい値以下になると HSSPIn_TXF.TFLETS ビットが"1"にセットされます。 HSSPIn_TXC.TFLETC ビットに"1"を書くと HSSPIn_TXF.TFLETS ビットは"0"になります。
	TFUS="1"		TFUE="1"	TX-FIFO アンダーランによる割込みです。TX-FIFO が Empty の状態で TX-FIFO が読み出されると HSSPIn_TXF.TFUS ビットが"1"にセットされます。 HSSPIn_TXC.TFUC ビットに"1"を書くと割込み要因は"0"になります。
	TFOS="1"		TFOE="1"	TX-FIFO オーバランによる割込みです。TX-FIFO が Full の状態で TX-FIFO に書き込むと HSSPIn_TXF.TFOS ビットが"1"にセットされます。 HSSPIn_TXC.TFOC ビットに"1"を書くと HSSPIn_TXF.TFOS ビットは"0"になります。
	TFES="1"		TFEE="1"	TX-FIFO および送信シフタが Empty による割込みです。 TX-FIFO が Empty 状態で送信シフタも Empty になると HSSPIn_TXF.TFES ビットが"1"にセットされます。 HSSPIn_TXC.TFEC ビットに"1"を書くと HSSPIn_TXF.TFES ビットは"0"になります。
	TFFS="1"		TFFE="1"	TX_FIFO が Full による割込みです。TX_FIFO が Full になると HSSPIn_TXF.TFFS ビットが"1"にセットされます。 HSSPIn_TXC.TFFC ビットに"1"を書くと HSSPn_TXF.TFFS ビットは"0"になります。

2.2.2 受信割込み要求

以下の受信割込み要因のいずれかが"1"でそれに対応した受信割込み許可ビットが"1"の場合、受信割込み要求が発生します。

Table 2-2 受信割込み要因および受信割込み許可

受信割込み要因		受信割込み許可		機能
レジスタ名	ビット名	レジスタ名	ビット名	
HSSPIn_RXF	RSSRS="1"	HSSPIn_RXE	RSSRE="1"	スレーブ選択解除による割込みです。スレーブ選択が解除されると HSSPIn_RXF.RSSRS ビットが"1"にセットされます。 HSSPIn_RXC.RSSRC ビットに"1"を書くと HSSPIn_RXF.RSSRS ビットは"0"になります。
	RFMTS="1"		RFMTE="1"	RX-FIFO しきい値超過による割込みです。RX-FIFO の有効データがしきい値を超えると HSSPIn_RXF.RFMTS ビットが"1"にセットされます。 HSSPIn_RXC.RFMTC ビットに"1"を書くと HSSPIn_RXF.RFMTS ビットは"0"になります。
	RFLETS="1"		RFLETE="1"	RX-FIFO しきい値以下による割込みです。RX-FIFO の有効データがしきい値以下になると HSSPIn_RXF.RFLETS ビットが"1"にセットされます。 HSSPIn_RXC.RFLETC ビットに"1"を書くと HSSPIn_RXF.RFLETS ビットは"0"になります。
	RFUS="1"		RFUE="1"	RX-FIFO アンダーランによる割込みです。RX-FIFO が Empty の状態で RX-FIFO が読み出されると HSSPIn_RXF.RFUS ビットが"1"にセットされます。 HSSPIn_RXC.RFUC ビットに"1"を書くと割込み要因は"0"になります。
	RFOS="1"		RFOE="1"	RX-FIFO オーバランによる割込みです。RX-FIFO が Full の状態で RX-FIFO に書き込むと HSSPIn_RXF.RFOS ビットが"1"にセットされます。 HSSPIn_RXC.RFOC ビットに"1"を書くと HSSPIn_RXF.RFOS ビットは"0"になります。
	RFES="1"		RFEE="1"	RX-FIFO が Empty による割込みです。RX-FIFO が Empty になると HSSPIn_RXF.RFES ビットが"1"にセットされます。 HSSPIn_RXC.RFEC ビットに"1"を書くと HSSPIn_RXF.RFES ビットは"0"になります。
	RFFS="1"		RFFE="1"	RX_FIFO が Full による割込みです。RX_FIFO が Full になると HSSPIn_RXF.RFFS ビットが"1"にセットされます。 HSSPIn_RXC.RFFC ビットに"1"を書くと HSSPn_RXF.RFFS ビットは"0"になります。

2.2.3 違反検出割込み要求

以下の違反割込み要因によって違反割込み要求が発生します。HS_SPI コントローラは本割込みを禁止にすることはできません。

Table 2-3 違反検出割込み要因

違反割込み要因		機能
レジスタ名	ビット名	
HSSPIn_FAULTF	DRCBSFS="1"	DMA 読出しブロック長違反による割込みです。DMA 転送の受信ブロック長が DSTC のブロック長と不一致のとき、HSSPIn_FAULTF.DRCBSFS ビットが"1"にセットされます。HSSPIn_FAULTC.DRCBSFC ビットに"1"を書くと、HSSPIn_FAULTF.DRCBSFS ビットは"0"になります。
	DWCBSFS="1"	DMA 書込みブロック長違反による割込みです。DMA 転送の送信ブロック長が DSTC のブロック長と不一致のとき、HSSPIn_FAULTF.DWCBSFS ビットが"1"にセットされます。HSSPIn_FAULTC.DWCBSFC ビットに"1"を書くと、HSSPIn_FAULTF.DWCBSFS ビットは"0"になります。
	WAFS="1"	書込みアクセス違反による割込みです。コマンドシーケンサモード時、HSSPIn_CSCFG.SRAM ビットが"0"(書込み禁止)に設定し、HS_SPI コントローラからシリアルデバイスに書込みアクセスを行おうとした場合、HSSPIn_FAULTF.WAFS ビットが"1"にセットされます。HSSPIn_FAULTC.WAFC ビットに"1"を書くと、HSSPIn_FAULTF.WAFS ビットは"0"になります。
	UMAFS="1"	メモリアクセス違反による割込みです。割り当てられていないメモリ領域にアクセスしようとした場合、HSSPIn_FAULTF.UMAFS ビットが"1"にセットされます。HSSPIn_FAULTC.UMAFC ビットに"1"を書くと、HSSPIn_FAULTF.UMAFS ビットは"0"になります。

2.3 シリアルインタフェース

HS_SPI_TYPE0 製品は、HS_SPI コントローラはクロッキングモードとしてモード 0、モード 1、モード 2、モード 3 の 4 モードをサポートしています。HS_SPI_TYPE1 製品はクロッキングモードとしてモード 0、モード 4 をサポートしています。

HS_SPI コントローラはマスタのみサポートしています。

2.3.1 クロッキングモード

HSSPIn_PCC0～3.ACES、CPOL、CPHA の各制御ビットの設定により、4 つのクロッキングモードを設定することができます。4 つのクロッキングモードの定義を Table 2-4 に示します。

Table 2-4 クロッキングモード

モード	HSSPIn_PCC0~3 レジスタ			説　明
	ACES ビット	CPOL ビット	CPHA ビット	
モード 0	0	0	0	出力データはシリアルクロックの先頭の立上りエッジより半サイクル前に変化し、その後はこのシリアルクロックの立下りエッジで変化します。 入力データは同シリアルクロックの立上りエッジで取り込まれます。
モード 1		0	1	出力データはシリアルクロックの立上りエッジで変化します。 入力データは同シリアルクロックの立下りエッジで取り込まれます。
モード 2		1	0	出力データはシリアルクロックの先頭の立下りエッジより半サイクル前に変化し、その後はこのシリアルクロックの立上りエッジで変化します。 入力データは同シリアルクロックの立下りエッジで取り込まれます。
モード 3		1	1	出力データはシリアルクロックの立下りエッジで変化します。 入力データは同シリアルクロックの立上りエッジで取り込まれます。
モード 4	1	0	0	出力データはシリアルクロックの先頭の立上りエッジより半サイクル前に変化し、その後はこのシリアルクロックの立下りエッジで変化します。 入力データは同シリアルクロックの立下りエッジで取り込まれます。
上記設定以外				非対応

ACES、CPOL、CPHA の各制御ビットの設定とシリアルデータ/シリアルクロックの関係を Figure 2-3 に示します。

<注意事項>

- *コマンドシーケンサモードの場合、HSSPIn_PCC0～3 レジスタは同一設定で使用してください。*

Figure 2-3 シリアルインタフェースクロックの動作波形 (モード 0, 1, 2, 3)

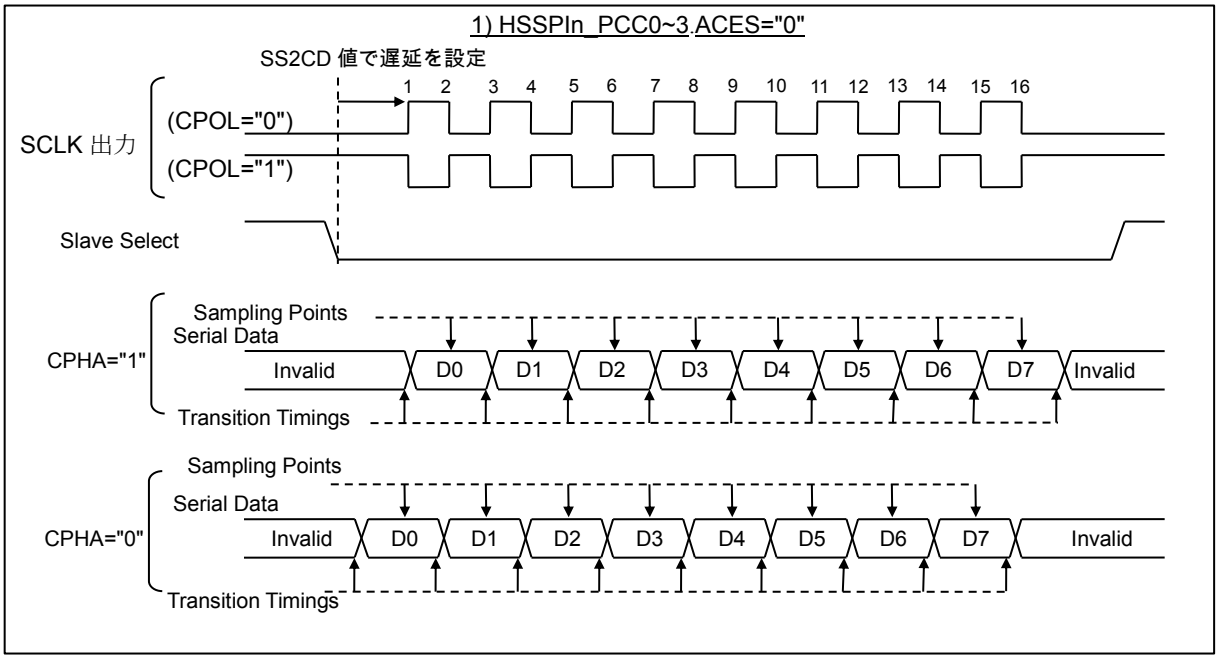
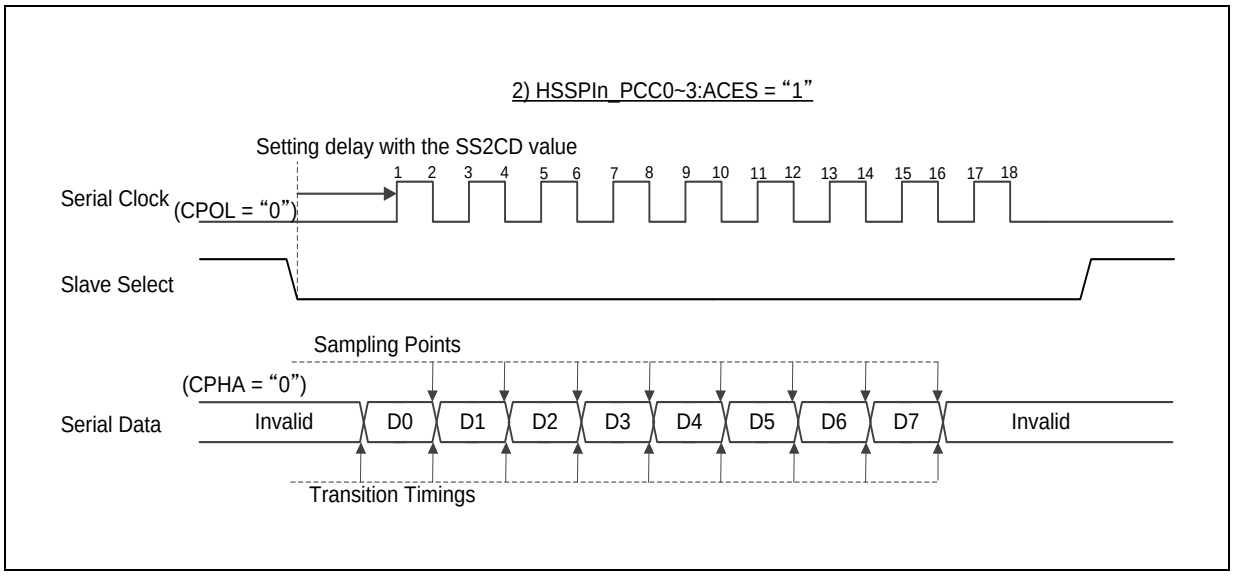


Figure 2-4 シリアルインタフェースクロックの動作波形 (モード 4)



ACES=’1’の時は、外部 SPI デバイスがデータを正しく取得できるように、1 サイクル延長します。

2.3.2 シリアルインタフェースビット幅

HS_SPI コントローラは、以下のシリアルインタフェースビット幅に対応します。

- シングルビット
- デュアルビット
- クアッドビット

動作波形例は Figure 2-5 を参照してください。

1. シングルビット

   シングルビットは全二重回線の通信プロトコルです。HS_SPI コントローラがシングルビットを使用するように設定されていると、シリアルデータは 1 ビット幅で SDATA[1]より受信し、同時に SDATA[0]より送信します。

2. デュアルビット

   デュアルモードでは半 2 重回線となり、2 ビット幅のデータ線(SDATA[1:0])を使用します。データの送受信動作は排他的に行われます。

3. クアッドビット

   クアッドモードでは半 2 重回線となり、4 ビット幅のデータ線(SDATA[3:0])を使用します。データの送受信動作は排他的に行われます。

2.3.3 シフト方向

HS_SPI コントローラの HSSPIn_PCC0～3.SDIR ビットは、データ転送で用いるシフトレジスタのシフト方向を決定します。

HSSPIn_PCC0~3.SDIR ビットが"0"の場合(MSB First)、最上位ビットが先頭となり、上位ビットから下位ビットの順に転送され、最下位ビットが最後となります。最上位ビットから最下位ビットまでを左から右に並べて表すと、このシフト方向は左方向となります。

HSSPIn_PCC0~3.SDIR ビットが"1"の場合(LSB First)、同様のビットの並びに対してシフト方向が右方向となります。

Figure 2-5 および Figure 2-6 にシングルビット/デュアルビット/クアッドビットにおけるシフトレジスタと送信 FIFO(TX-FIFO)と受信 FIFO(RX-FIFO)の動作例を示します。

Figure 2-5 シフト方向(CPOL="0", CPHA="0", SDIR="0", FWIDTH="00"設定時)

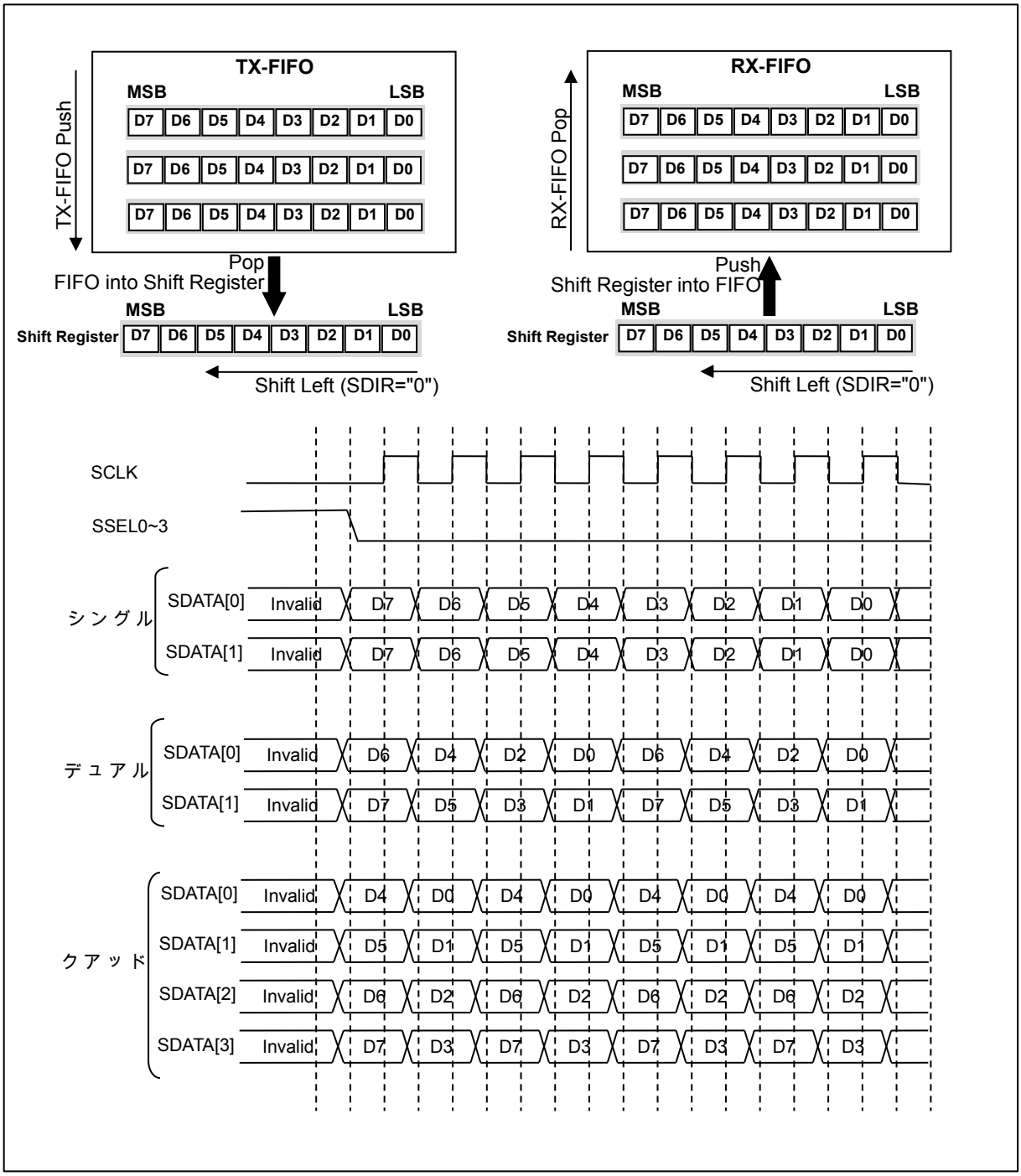
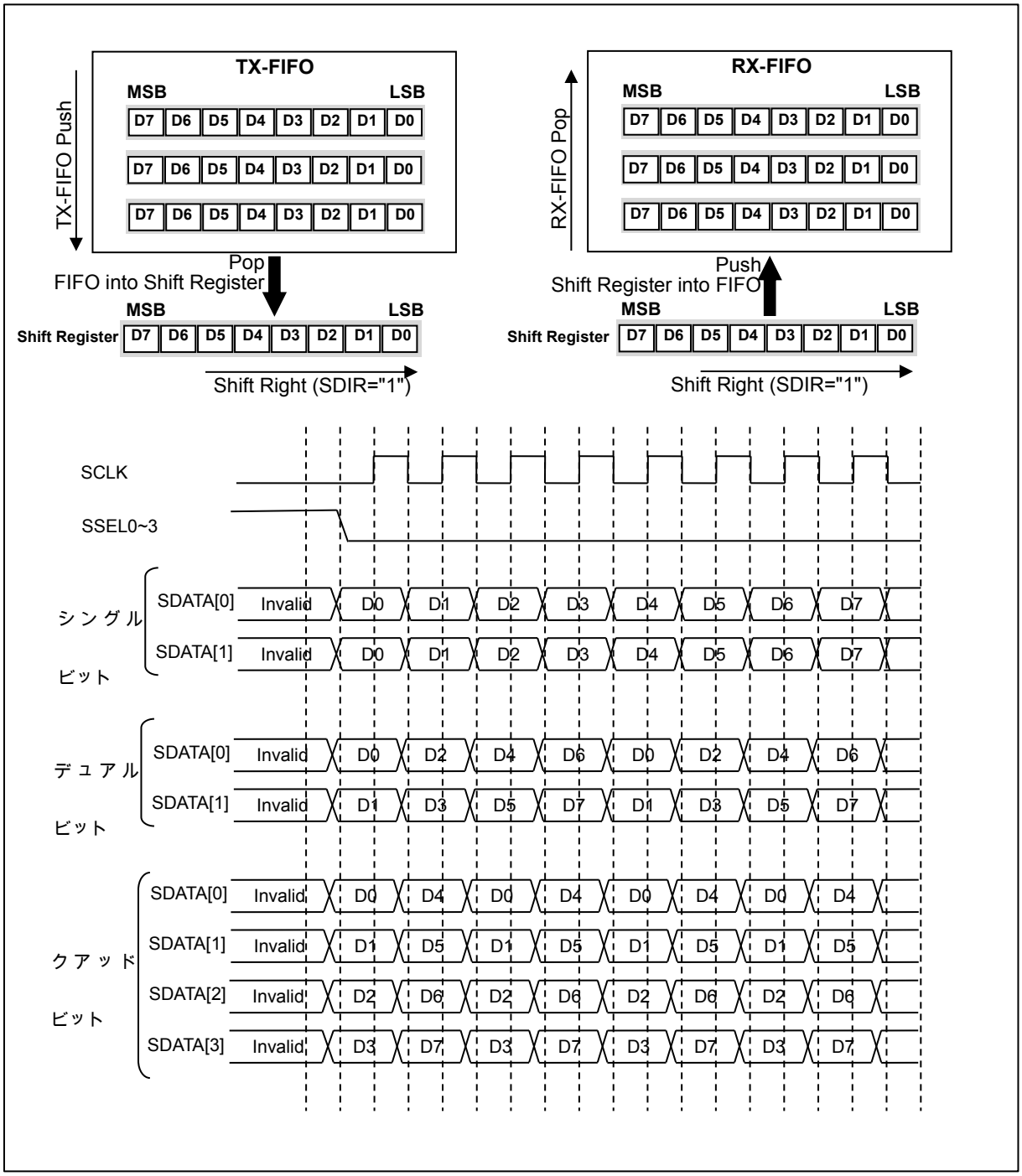


Figure 2-6 シフト方向(CPOL="0", CPHA="0", SDIR="1", FWIDTH="00"設定時)



2.3.4 シリアルインタフェースのエンディアン

シリアルインタフェースは HSSPIn_PCC0~3.SENDIAN によって送受信データのエンディアンを設定します。
HSSPIn_PCC0~3.SENDIAN が"0"の場合、上位バイトからシリアル転送されます(Figure 2-7 を参照)。
HSSPIn_PCC0~3.SENDIAN が"1"の場合、下位バイトからシリアル転送されます(Figure 2-8 を参照)。

Figure 2-7 シリアルインタフェースのエンディアン(SENDIAN="0")

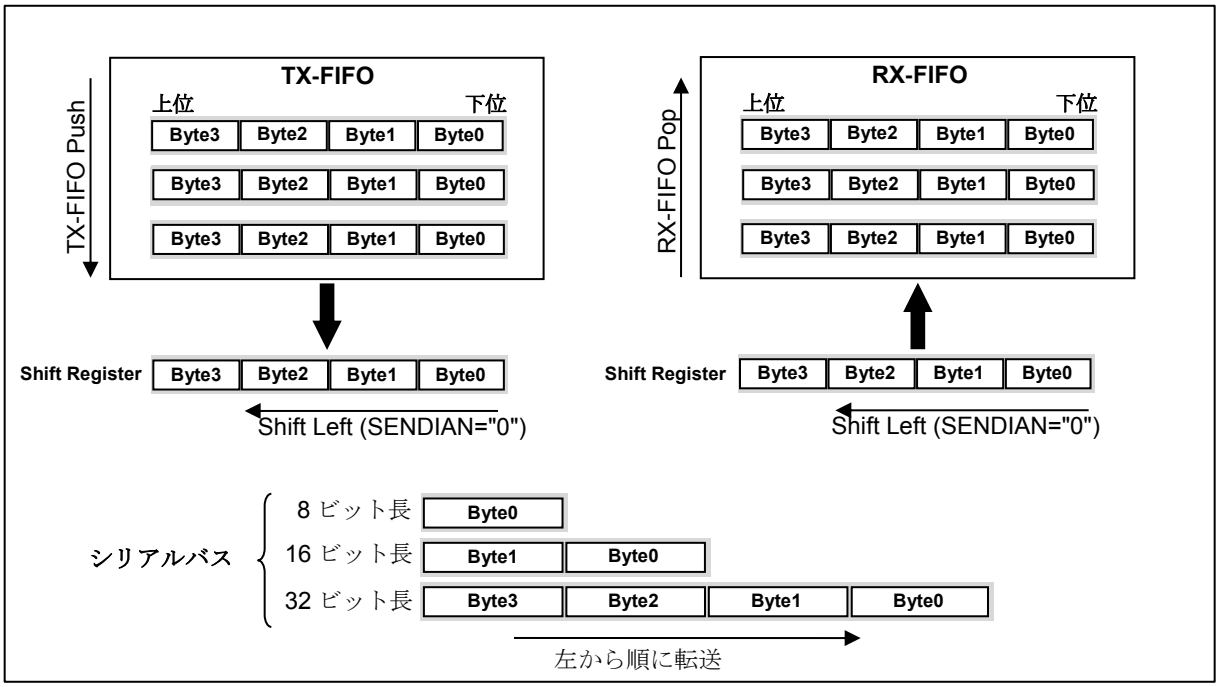
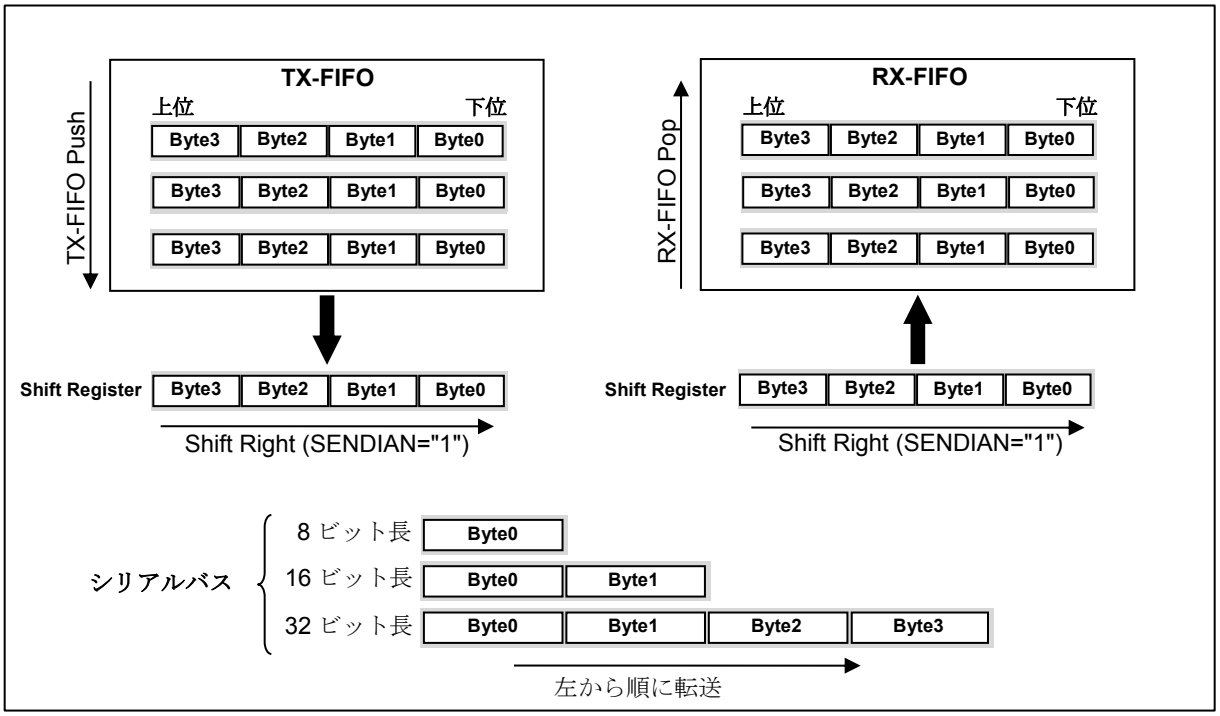


Figure 2-8 シリアルインタフェースのエンディアン(SENDIAN="1")



2.3.5 ディセレクト時間

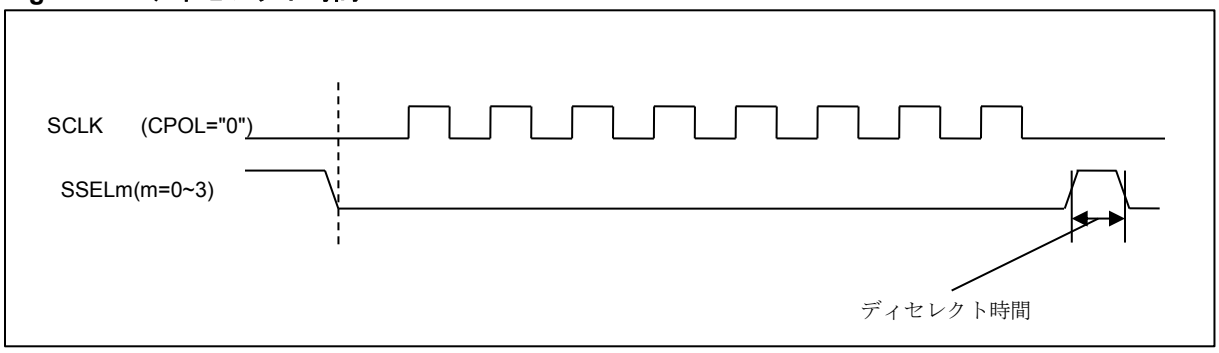
ディセレクト時間はスレーブ選択がディアサートされ、再びアサートされるまでの時間を指します(Figure 2-9 参照)。

ディセレクト時間は、HSSPIn_PCC0~3.RDDSEL[1:0]ビットまたは HSSPIn_PCC0~3.WRDSEL[3:0]ビットの設定値にしたがって時間が確保されます。HSSPIn_PCC0~3.WRDSEL[3:0]ビットは以下の条件で使用され、そのほかは HSSPIn_PCC0~3.RDDSEL[1:0]ビットが使用されます。

- HSSPIn_PCC0~3.WRDSEL[3:0]ビットの使用条件
  - レジスタ RDCSDC0~7 の DEC ビットまたは RDCSDATA[7:0]が書き換えられた場合
  - レジスタ WRCSDC0~7 の DEC ビットまたは WRCSDATA[7:0]が書き換えられた場合
  - レジスタ RDCSDC0~7 を使用した後、レジスタ WRCSDC0~7 を使用する場合
    (リードアクセス後、ライトアクセスする場合)
  - レジスタ WRCSDC0~7 を使用した後、レジスタ RDCSDC0~7 を使用する場合
    (ライトアクセス後、リードアクセスする場合)
  - レジスタ WRCSDC0~7 を使用する場合(ライトアクセス)
  - アイドルタイマによってディセレクトが発生した場合

ディセレクト時間の制御は、コマンドシーケンサモード時のみ有効です。

Figure 2-9 ディセレクト時間

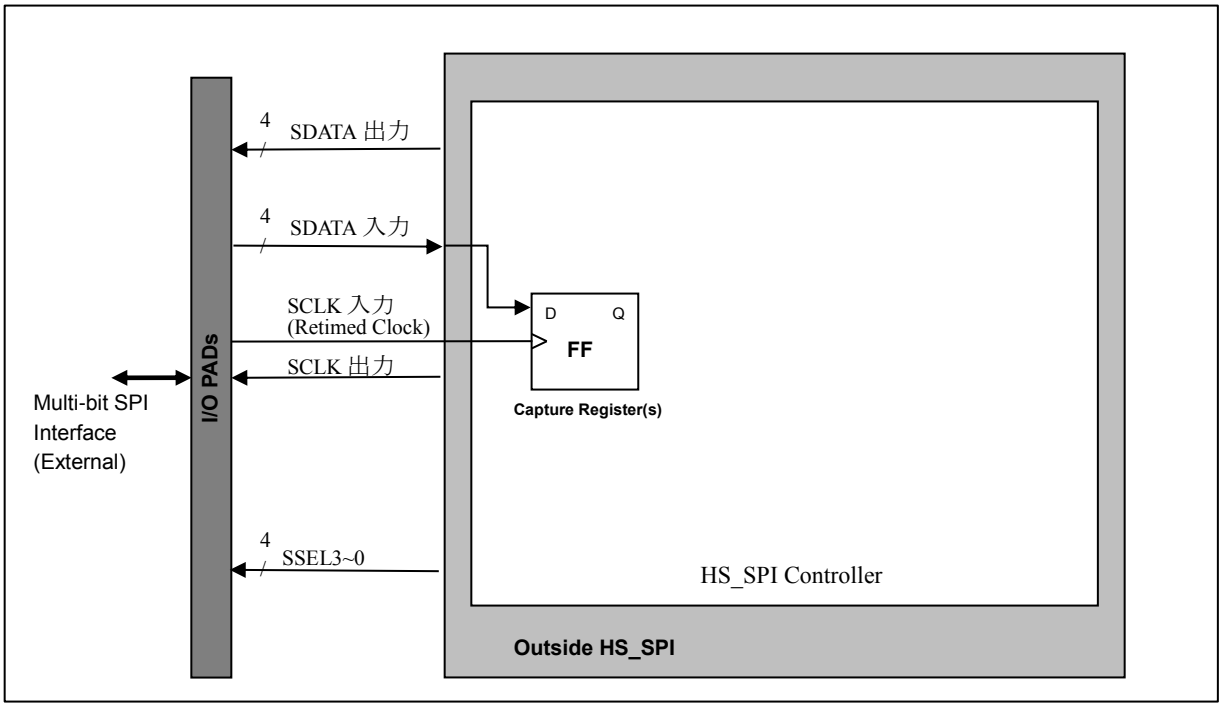


2.3.6 タイミング補正されたクロック

シリアル FLASH メモリを高速なクロック周波数で動作させる場合には、HS_SPI コントローラにとってセットアップ時間など AC 特性が非常に厳しくなります。そのため、クロックのタイミングを補正するという手段をサポートしています。このタイミング補正は、HSSPIn_PCC0～3.RTM ビットに"1"を設定することで有効となります。

Figure 2-10 に、HS_SPI コントローラにおけるクロックタイミング補正の方法を示します。

Figure 2-10 HS_SPI 内でタイミング補正されたクロック



クロックタイミング補正モード(HSSPIn_PCC0～3.RTM ビット="1")では､外部シリアルデータを取り込む Flip-flop は HS_SPI コントローラに戻ってくるクロック(SCLK 入力)でデータを取り込みます。

このようなクロックを「タイミング補正されたクロック」と呼びます。このような対策をとることによってサイクル内に取り込みにくい入力データを適切なタイミングで取り込むことができます。

＜注意事項＞

- *HS_SPI_TYPE1 製品は本機能をサポートしません。HSSPIn_PCC0 to 3.RTM を"1"に設定することを禁止します。*

2.4 ダイレクトモード

HS_SPI コントローラはダイレクトモードとコマンドシーケンサモードをサポートしています。

ダイレクトモードは、FIFO を経由してシリアルインタフェースにアクセスするモードです。HSSPIn_MCTRL.CSEN ビットに"0"を設定することによってダイレクトモードになります。

2.4.1 FIFO

HS_SPI コントローラは、送信 FIFO(TX-FIFO)と受信 FIFO(RX-FIFO)を持っており、各 FIFO は 16 段の深さで、1 段につき 32 ビットのデータ幅で構成されています。各 FIFO は FIFO ビット幅(HSSPIn_FIFOCFG.FWIDTH)にしたがって読み書きを行ってください。もし、FIFO ビット幅(HSSPIn_FIFOCFG.FWIDTH)の設定と異なるアクセスを行うとエラーで応答します。

FIFO ビット幅が 24 ビット(HSSPIn_FIFOCFG.FWIDTH=2)の場合、32 ビットでアクセスしてください。

FIFO ビット幅(HSSPIn_FIFOCFG.FWIDTH)はシリアルデータのデータ長としても使用されます。たとえば、FIFO ビット幅(HSSPIn_FIFOCFG.FWIDTH)が 16 ビットに指定されると、シリアルデータを送受信するデータは 16 ビット長になります。ただし、バイトカウンタモード(HSSPIn_DMCFG.SSDC="1")時、送受信のバイト数を HSSPIn_DMBCC.BCC ビットに設定し、転送バイト数分、送受信しますが、転送バイト数がデータ長の倍数でない場合、最初のデータから設定されたデータ長で送受信を行い、最後のデータは残ったビット長で送受信を行います。

2.4.2 AHB インタフェースクロック(QHCLK)とシリアルクロック

AHB インタフェース(QHCLK)とシリアルクロックとの周波数の関係によって HSSPIn_PCC0~3.SAFESYNC ビットを以下の条件にしたがって設定してください。

Table 2-5 AHB スレーブインタフェース

ビット長*1	ビット幅	SAFESYNC ビットを"1"と設定すべき条件
8 ビット	シングルビット	条件なし*2(SAFESYNC ビットは"0"、"1"どちらでもよい)
	デュアルビット	シリアル動作クロック源として QHCLK を選択した場合、 Fsclk = Fqhclk / 2
	クアッドビット	SCLK は QHCLK の 5 分周以下
16 ビット	シングルビット	条件なし*2(SAFESYNC ビットは"0"、"1"どちらでもよい)
	デュアルビット	
	クアッドビット	シリアル動作クロック源として QHCLK を選択した場合、 Fsclk = Fqhclk / 2
24 ビット	シングルビット	条件なし*2(SAFESYNC ビットは"0"、"1"どちらでもよい)
	デュアルビット	
	クアッドビット	
32 ビット	シングルビット	条件なし*2(SAFESYNC ビットは"0"、"1"どちらでもよい)
	デュアルビット	
	クアッドビット	

(Fsclk: シリアルクロック周波数、Fqhclk: AHB インタフェースクロック周波数)

*1: バイトカウンタモード時、FIFO ビット幅(HSSPIn_FIFOCFG.FWIDTH)の設定と HSSPIn_DMBCC.BCC ビットの設定によってビット長が決まります(下記「2.4.3 転送制御モード」の「2) バイトカウンタモード」を参照)。

*2: SAFESYNC ビットに"1"を設定した場合、データ間隔を空けるため転送速度が低下します。そのため、転送速度を上げたい場合、SAFESYNC ビットに"0"を設定することを推奨します。

2.4.3 転送制御モード

HS_SPI コントローラはダイレクトモード時、シリアルデータの送受信の停止を制御する方法として 2 つの制御モードをサポートしています。その 2 つの制御モードは以下のとおりです。

1) ソフトウェア制御モード(HSSPIn_DMCFG.SSDC="0")
2) バイトカウンタモード(HSSPIn_DMCFG.SSDC="1")

各制御モードについて説明します。

1. ソフトウェア制御モード(HSSPIn_DMCFG.SSDC="0")

   ソフトウェア制御モードは HS_SPI コントローラが動作許可(HSSPIn_MCTRL.MEN="1", HSSPIn_MCTRL.MES="1")のとき、HSSPIn_DMSTART.START ビットに"1"を設定すると送受信を開始します。ただし、TX-and-RX モードまたは TX-Only モードのとき、送信データが書き込まれるまで送受信を開始しません。
   HSSPIn_DMSTOP.STOP ビットに"1"を設定すると送受信が停止し、スレーブ選択をネゲートして割込みフラグ HSSPIn_TXF.TSSRS ビットまたは HSSPIn_RXF.RSSRS ビットを"1"にします (Table 2-6 参照)。ただし、受信 FIFO が Full のときに HSSPIn_DMSTOP.STOP ビットに"1"を設定した場合、受信データの読出しを行わないとスレーブ選択はアサート状態で割込みフラグ HSSPIn_TXF.TSSRS ビットまたは HSSPIn_RXF.RSSRS ビットが"1"になりません。

2. バイトカウンタモード(HSSPIn_DMCFG.SSDC="1")

   バイトカウンタモードは HS_SPI コントローラが動作許可(HSSPIn_MCTRL.MEN="1", HSSPIn_MCTRL.MES="1")のとき、HSSPIn_DMSTART.START ビットに"1"を設定すると送受信を開始します。ただし、TX-and-RX モードまたは TX-Only モードのとき、送信データが書き込まれるまで送受信を開始しません。
   HSSPIn_DMBCC.BCC ビットに設定したバイト数分送受信を行った場合、自動的に送受信を停止し、スレーブ選択信号をネゲートして割込みフラグ HSSPIn_TXF.TSSRS ビットまたは HSSPIn_RXF.RSSRS ビットを"1"にします(Table 2-6 参照)。ただし、受信 FIFO が Full のときに HSSPIn_DMBCC.BCC ビットに設定したバイト数分、送受信を行った場合、受信データの読出しを行わないとスレーブ選択信号はアサート状態で割込みフラグ HSSPIn_TXF.TSSRS ビットまたは HSSPIn_RXF.RSSRS ビットが"1"になりません。
   送受信の残量は HSSPIn_DMBCS.BCS ビットに表示しています。

   FIFO ビット幅(HSSPIn_FIFOCFG.FWIDTH)はシリアルデータのデータ長としても使用されています。バイトカウンタモード時、HSSPIn_DMBCC.BCC ビットの設定が、シリアルデータのデータ長の倍数でない場合、最後のデータは残りのデータ長で送受信を行います。
   例えば、HSSPIn_DMBCC.BCC=9 と設定し、シリアルデータのデータ長が 32 ビットの場合、8 バイトは 32 ビット長で送受信を行います。残りの 1 バイトは 8 ビット長で送受信を行います。そのため、HSSPIn_PCC0~3.SAFESYNC ビットはデータ長 8 ビットの設定条件になります。

2.4.4 動作モード

HS_SPI コントローラはダイレクトモード時、3 つの動作モードをサポートしています。その 3 動作モードは以下のとおりです。

1) TX-and-RX モード(HSSPIn_DMTRP.TRP[3:2]="00")
2) RX-Only モード(HSSPIn_DMTRP.TRP[3:2]="01")
3) TX-Only モード(HSSPIn_DMTRP.TRP[3:2]="10")

以下に各動作について説明します。

1. TX-and-RX モード(HSSPIn_DMTRP.TRP[3:2]="00")

   TX-and-RX モードはシリアルデータの送受信を同時に行います。
   シングルビットのみ使用可能です。

2. RX-Only モード(HSSPIn_DMTRP.TRP[3:2]="01")

   RX-Only モードはシリアルデータの受信のみ行います。
   シングルビット、デュアルビット、クアッドビットのすべてで使用可能です。

3. TX-Only モード(HSSPIn_DMTRP[3:2]="10")

   TX-Only モードはシリアルデータの送信のみ行います。
   シングルビット、デュアルビット、クアッドビットのすべてで使用可能です。

ダイレクトモードの各動作モードで、送受信の開始、停止、ホールド(スレーブ選択信号はアサートした状態でシリアルクロックが停止している状態)の条件は以下のとおりです。送受信が停止すると HSSPIn_TXF.TSSRS ビットまたは HSSPIn_RXF.RSSRS ビットが"1"になります。

Table 2-6 ダイレクトモードの各動作モードの送受信開始、停止、ホールド条件

動作モード	転送制御モード	送受信開始条件	送受信停止	送受信ホールド
TX-and-RX	ソフトウェア制御	HSSPIn_DMSTART.START ビットに"1"を設定し、送信データの書込み	HSSPIn_DMSTOP.STOP ビットに"1"書込み、送信データがすべて送信*1	送信 FIFO(TX-FIFO)が Empty または受信 FIFO (RX-FIFO)が Full
	バイトカウンタ		HSSPIn_DMBCC.BCC ビットの設定分送受信実施*1	
TX-Only	ソフトウェア制御		HSSPIn_DMSTOP.STOP ビットに"1"書込み、送信データがすべて送信	送信 FIFO(TX-FIFO)が Empty
	バイトカウンタ		HSSPIn_DMBCC.BCC ビットの設定分送信実施	
RX-Only	ソフトウェア制御	HSSPIn_DMSTART ビットへの"1"書込み	HSSPIn_DMSTOP.STOP ビットに"1"書込み、受信データが受信 FIFO に転送*1	受信 FIFO(RX-FIFO)が Full
	バイトカウンタ		HSSPIn_DMBCC.BCC ビットの設定分受信実施*1	

*1: 受信 FIFO が Full で受信シフタにデータがある場合、受信 FIFO から受信データを読み出さないと停止しません。

2.4.5 データ出力のトライステート制御

HS_SPI コントローラは HSSPIn_FIFOCFG.TXCTRL ビットに"1"を設定し、送信データを送信 FIFO (TX-FIFO)に書き込むと書き込まれたデータの最下位ビットと書き込んだときの HSSPIn_FIFOCFG.TXCTRL ビットと組み合わせてデータ出力のトライステート制御を行います。その組み合わせとトライステート制御を Table 2-7 に示します。送信データの書込み途中で HSSPIn_FIFOCFG.TXCTRL ビットを変更してもそれまでの書込みデータと HSSPIn_FIFOCFG.TXCTRL ビットの組み合わせは保持しています。そのため、HSSPIn_FIFOCFG.TXCTRL ビットは変更可能です。

Table 2-7 データ出力時のトライステート制御

TXCTRL	TX-FIFO データのビット[0]	説　明
0	-	シリアルデータ出力は、データ出力期間中は Hi-Z 状態になりません(駆動状態となります)。
1	0	シリアルデータ出力は、1 バイトのデータ分、Hi-Z 状態になります。TX-FIFO 内に該当するデータは送信されません。
1	1	データ送信は次のように行われます。 1) TX-FIFO 内に該当するデータのビット[7:4]が送信されます。このデータのビット送信順序は、HSSPIn_PCC0～3.SDIR ビット設定に従います。 2) 続いて、SDATA 出力は 4 ビットのデータ分 Hi-Z 状態となります。

<注意事項>

- *HSSPIn_FIFOCFG.TXCTRL ビットに"1"を設定した場合、FIFO のビット幅に関係なく、書き込まれたデータは 8 ビットとして取り扱います。*

2.5 コマンドシーケンサモード

HS_SPI コントローラはダイレクトモードとコマンドシーケンサモードをサポートしています。

コマンドシーケンサモードは、シリアルメモリが割り当てられたシステム領域にアクセスすると、HS_SPI コントローラによってそのアクセスは自動的にシリアルメモリへの読み書き動作に変換されます。HSSPIn_MCTRL.CSEN ビットに"1"を設定することによってコマンドシーケンサモードになります。

4 つのスレーブ選択によってスレーブデバイスを制御できますが、HSSPIn_PCC0~3 レジスタにはすべて同じ値を設定してください(同じ特性のスレーブデバイスを使用することになります)。

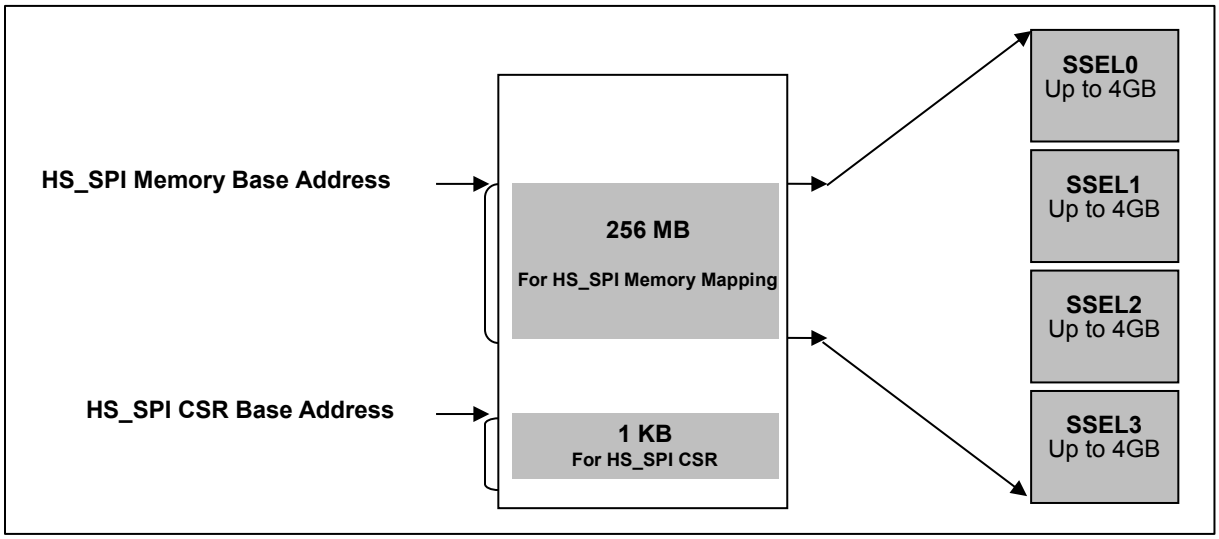
2.5.1 メモリ上への割当て

コマンドシーケンサモードは、最大 4 個までのシリアルメモリをシステム空間に割り当てることができます。これらのシリアルメモリには HS_SPI コントローラより出力する 4 本のスレーブ選択信号が接続されます。最大 4 個まで接続されるこれらのメモリは、同一特性(HSSPIn_PCC0~3 レジスタをすべて同じ設定にしなければならないため)のものでなければなりません。

コマンドシーケンサモードでは、これらのメモリがシステム空間内で 256 M バイトのメモリ領域に割り当てられます。アドレス拡張の仕組みを用いることにより、1 つのスレーブ選択につき理論上最大 4G バイトまでのメモリ空間を持つことができます。拡張アドレスは、アドレス拡張レジスタ(HSSPIn_CSAEXT[18:0])の上位側と、AHB アドレス値の下位側を組み合わせてスレーブのアドレスの 32 ビットとして生成します。

システム内の 256 M バイトアドレス区間は仮想的に 16 G バイトのメモリ空間に割り当てられます。この概念を Figure 2-11 に示します。

Figure 2-11 スレーブ選択ごとのメモリデバイスの割当て

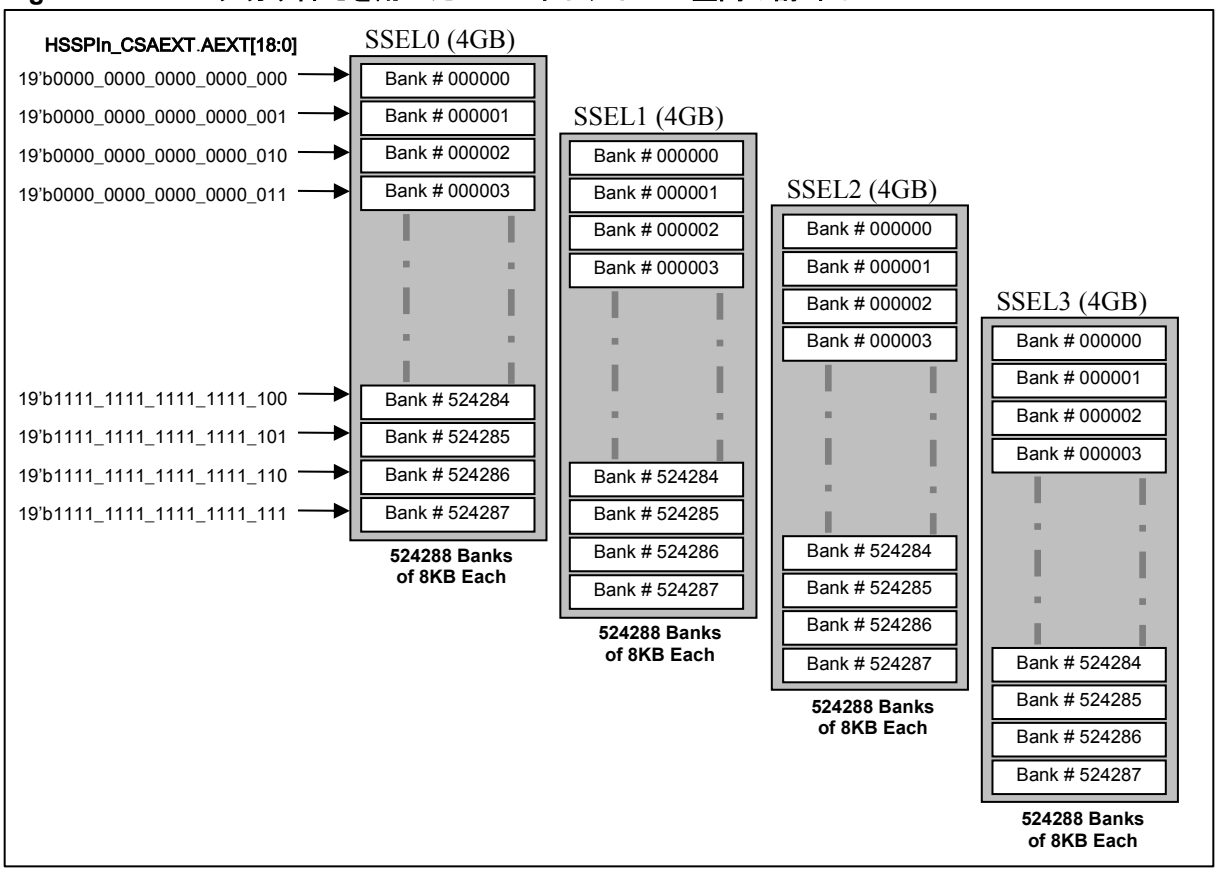


2.5.2 32 ビットメモリアドレス

システム空間内の 256M バイト区間は、1 本のスレーブ選択線ごとに最大 4 G バイトまで割当て可能であり、この時にアドレス拡張の仕組みが用いられます。それぞれのシリアルメモリは、メモリバンクを構成してシステム空間上に見えるようになります。各バンクの大きさは、HSSPIn_CSCFG.MSEL によって設定されます。各メモリバンクは HSSPIn_CSAEXT レジスタによってその範囲を切り替えられ、その切り替えによってシリアルメモリ内の他の領域にもアクセスできます。このようにして、最大 4 G バイトの個別メモリ空間をアクセスできます。

Figure 2-12 にこの概念を示します。この図では、4 G バイトのメモリ空間が 524,288 個のバンクに分割されており、その時の HSSPIn_CSCFG.MSEL は"0000"に設定されています。

Figure 2-12 バンク切り替えを用いた 4G バイトアドレス空間の割当て



HS_SPI コントローラへアクセスする AHB アドレスの下位ビットは、選択されたメモリバンク内でアドレスオフセット値として使用されます。メモリバンクはアドレス拡張レジスタ HSSPIn_CSAEXT.AEXT ビットによって選択されます。

各バンクの大きさを指定する HSSPIn_CSCFG.MSEL とアドレス拡張レジスタ、AHB アドレスを組み合わせて、シリアルインタフェース上に 32 ビットのアドレス空間を作成します。この組み合わせを Table 2-8 に示します。

Table 2-8 システム空間内アドレスへの割当て

HSSPIn_CSCFG.MSEL[3:0]	各スレーブ選択のメモリバンクサイズ	スレーブ選択に使用される AHB アドレス	メモリバンクの選択に用いる HSSPIn_CSAEXT レジスタのビット範囲	メモリバンク内のアドレス指定に用いる AHB アドレスのビット範囲
0000	8K バイト	AHB アドレス[14:13]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:0]	AHB アドレス[12:0]
0001	16K バイト	AHB アドレス[15:14]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:1]	AHB アドレス[13:0]
0010	32K バイト	AHB アドレス[16:15]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:2]	AHB アドレス[14:0]
0011	64K バイト	AHB アドレス[17:16]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:3]	AHB アドレス[15:0]
0100	128K バイト	AHB アドレス[18:17]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:4]	AHB アドレス[16:0]
0101	256K バイト	AHB アドレス[19:18]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:5]	AHB アドレス[17:0]
0110	512K バイト	AHB アドレス[20:19]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:6]	AHB アドレス[18:0]
0111	1M バイト	AHB アドレス[21:20]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:7]	AHB アドレス[19:0]
1000	2M バイト	AHB アドレス[22:21]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:8]	AHB アドレス[20:0]
1001	4M バイト	AHB アドレス[23:22]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:9]	AHB アドレス[21:0]
1010	8M バイト	AHB アドレス[24:23]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:10]	AHB アドレス[22:0]
1011	16M バイト	AHB アドレス[25:24]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:11]	AHB アドレス[23:0]
1100	32M バイト	AHB アドレス[26:25]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:12]	AHB アドレス[24:0]
1101	64M バイト	AHB アドレス[27:26]により SSEL0~SSEL3 を選択 0:SSEL0, 1:SSEL1, 2:SSEL2, 3:SSEL3	AEXT[18:13]	AHB アドレス[25:0]
1110	128M バイト	AHB アドレス[27]により SSEL0、SSEL1 を選択 0:SSEL0, 1:SSEL1	AEXT[18:14]	AHB アドレス[26:0]
1111	256M バイト	SSEL0	AEXT[18:15]	AHB アドレス[27:0]

Table 2-8 の右端 2 列は、HSSPIn_CSAEXT.AEXT と AHB アドレスの組み合わせでシリアルメモリにアクセスするアドレスに使用されることを示しています。シリアルメモリに出力するアドレスは、上位アドレスとして HSSPIn_CSAEXT レジスタ、下位アドレスとして AHB アドレスの組み合わせになります。たとえば、HSSPIn_CSCFG.MSEL[3:0]="0000"のとき、上位アドレス AEXT[18:0]、下位アドレス AHB アドレス[12:0]の 32 ビットアドレスはコマンドシーケンスでのアドレス指定を行うことによってシリアルメモリのアドレスとして使用されます。

シリアルインタフェースのスレーブ選択は Table 2-8 に示すように AHB アドレスの 1~2 ビットまたは無条件で選択されます。たとえば、HSSPIn_CSCFG.MSEL[3:0]="0000"のとき、AHB アドレス[12:0]がシリアルインタフェースに出力され、AHB アドレス[14:13]=0 の場合スレーブ選択 0、AHB アドレス[14:13]=1 の場合スレーブ選択 1、AHB アドレス[14:13]=2 の場合スレーブ選択 2、AHB アドレス[14:13]=3 の場合スレーブ選択 3 が選択されます。

2.5.3 AHB インタフェースクロック(QHCLK)とシリアルクロック

AHB インタフェース(QHCLK)とシリアルクロックとの周波数の関係によって HSSPIn_PCC0~3.SAFESYNC ビットを以下の条件にしたがって設定してください。

Table 2-9 コマンドシーケンサモード時の SAFESYNC ビット設定条件

ビット長	ビット幅	SAFESYNC ビットを"1"と設定すべき条件	
		AHB インタフェースクロック(QHCLK)とシリアル動作クロック源が非同期の場合 (HSSPIn_MCTRL.SYNCON="0")	AHB インタフェースクロック(QHCLK)とシリアル動作クロック源が同期の場合 (HSSPIn_MCTRL.SYNCON="1")
8 ビット	シングルビット	条件なし*1 (SAFESYNC ビットは"0"、"1"どちらでもよい)	SAFESYNC ビットは"0"のまま
	デュアルビット	SCLK は QHCLK の 5 分周以下	
	クアッドビット	SCLK は QHCLK の 5 分周以下 または HSSPIn_PCC0~3.CDRS=0x0	
16 ビット	シングルビット	条件なし*1 (SAFESYNC ビットは"0"、"1"どちらでもよい)	
	デュアルビット		
	クアッドビット	SCLK は QHCLK の 5 分周以下	
32 ビット	シングルビット	条件なし*1 (SAFESYNC ビットは"0"、"1"どちらでもよい)	
	デュアルビット		
	クアッドビット		

(Fsclk: シリアルクロック周波数、Fqhclk: AHB インタフェースクロック周波数)

*1 : SAFESYNC ビットに"1"を設定した場合、データ間隔を空けるため転送速度が低下します。そのため、転送速度を上げたい場合、SAFESYNC ビットに"0"を設定することを推奨します。

2.5.4 コマンドシーケンス

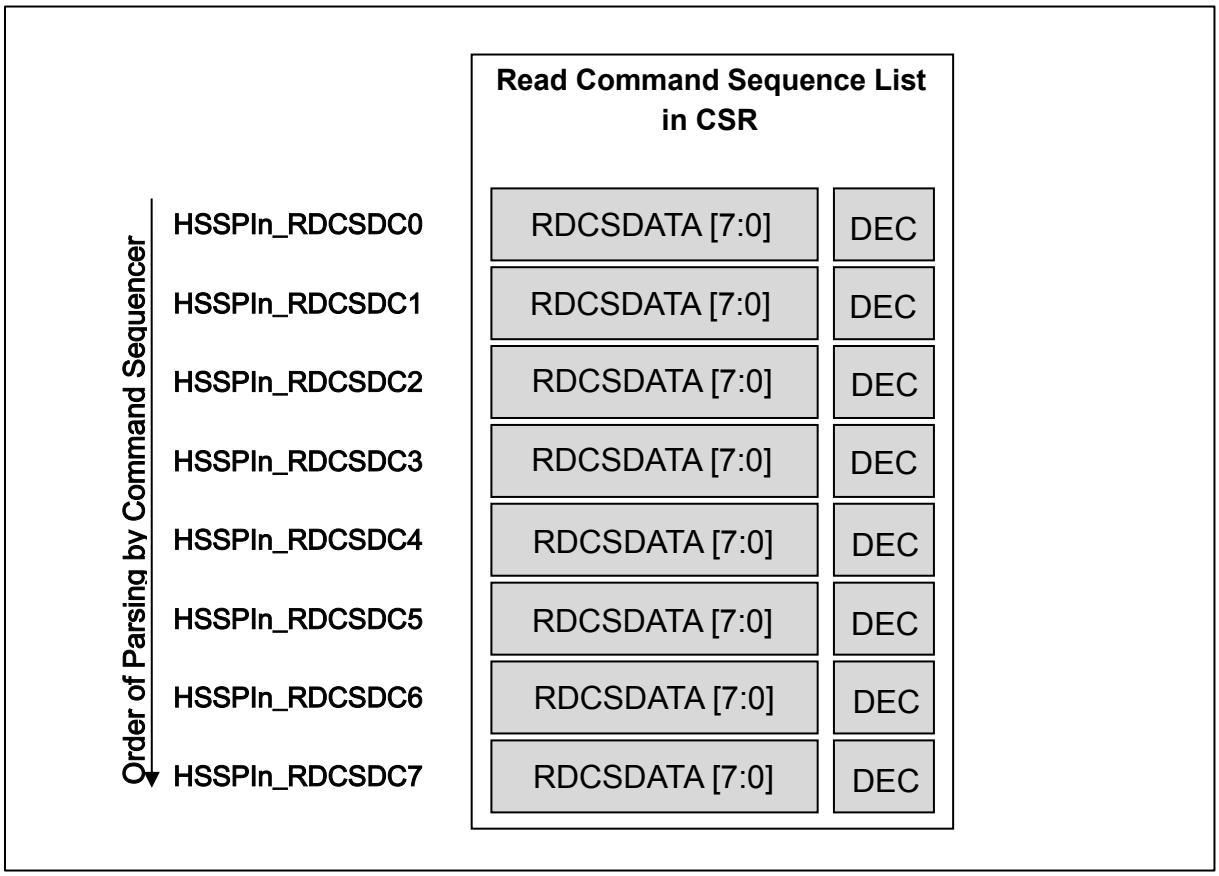
シリアルメモリは各社コマンド体系など異なるため、汎用的に使用できるように HS_SPI コントローラはコマンドシーケンスを設定するレジスタを準備しています。そのレジスタとしてリードコマンド用は HSSPIn_RDCSDC0~7、ライトコマンド用は HSSPIn_WRCSDC0~7 の 2 組を持っています。

シリアルメモリのコマンドフェーズの流れ(インストラクションフェーズ、アドレスフェーズ、およびデータフェーズ)は、HS_SPI コントローラのコマンドシーケンサモードにおいて生成されます。各フェーズを HSSPIn_RDCSDC0～HSSPIn_RDCSDC7、HSSPIn_WRCSDC0～HSSPIn_WRCSDC7 に設定した状態で、システム空間にリードアクセスすると、HSSPIn_RDCSDC0 から順に設定内容を実行し、シリアルメモリにリードアクセスを行います。また、HSSPIn_CSCFG.SRAM ビットに"1"を設定していればライトアクセスも可能で、この状態でシステム空間にライトアクセスすると、HSSPIn_WRCSDC0 から順に設定内容を実行し、シリアルメモリにライトアクセスを行います。

2.5.4.1 リードコマンドシーケンス

コマンドフェーズの順序を 8 つのレジスタ(HSSPIn_RDCSDC0～HSSPIn_RDCSDC7)に設定し、システム空間をリードアクセスすると HSSPIn_RDCSDC0 レジスタから順にエントリにしたがってリードコマンドシーケンスが実行されます。それを Figure 2-13 に示します。

Figure 2-13 リードコマンドのシーケンスリスト



各レジスタの DEC ビットは、データタイプをデコードするかどうかを示します。DEC ビットとデータタイプのビットフィールド(RDCSDATA[2:0])の関係を Table 2-10 に示します。DEC ビットが"0"のとき、RDCSDATA[7:0]はそのままデータとして送信されます。

Table 2-10 SPI インタフェース

DEC	RDCSDATA[2:0]	説　　明
0	-	RDCSDATA[7:0]をそのまま送信します。
1	000	シリアルメモリにアクセスするためのアドレス[7:0]を送信します。
1	001	シリアルメモリにアクセスするためのアドレス[15:8]を送信します。
1	010	シリアルメモリにアクセスするためのアドレス[23:16]を送信します。
1	011	シリアルメモリにアクセスするためのアドレス[31:24]を送信します。
1	100	1 バイトのデータ分、SDATA を Hi-Z 状態にします。
1	101	1 バイトのデータのうち、4 ビット分を送信し、残り 4 ビット分、SDATA を Hi-Z 状態にします。動作は以下のとおりです。 1) RDCSDATA[7:4]をそのまま送信します。このデータのビット送信順序は、HSSPIn_PCC0～3.SDIR の設定に従います。 2) 続いて 4 ビットのデータ分、 SDATA を Hi-Z 状態にします。
1	111	リストの終端を表します。

コマンドシーケンサモードは、次のいずれかの条件が成立すると、シリアルメモリからのデータ読出しを行います。

■ リストの終端(RDCSDATA[2:0]=7, DEC="1")を検出する。
■ HSSPIn_RDCSDC7 レジスタを読み終える。

データ読出しでは、シリアルメモリからシリアルデータとして読み出され、HS_SPI コントローラはそのデータを受信してシリアルメモリのデータとして AHB 上に出力します。

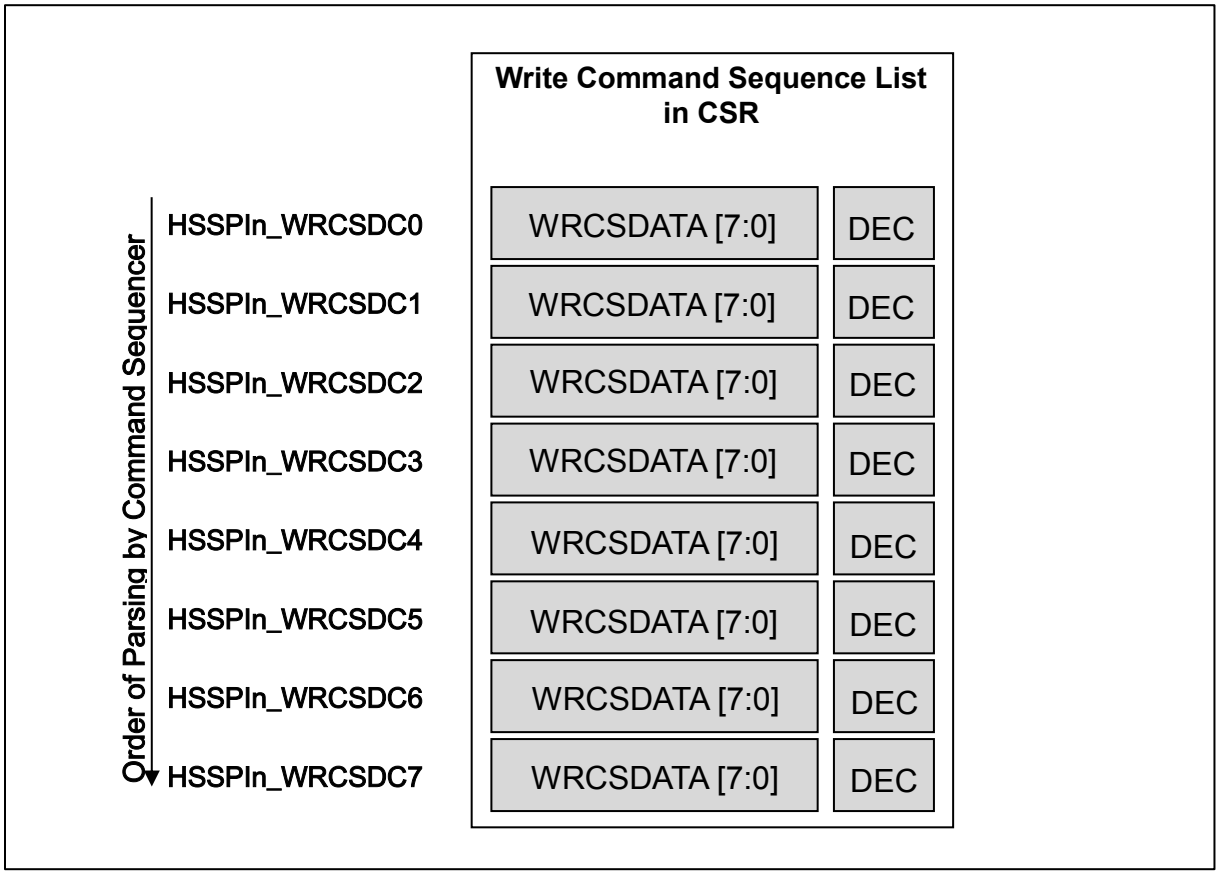
＜注意事項＞

- *HSSPIn_RDCSDC7 レジスタを読み終えてデータの読出しに移行したとき、HSSPIn_RDCSDC7 レジスタの TRP[1:0] ビットおよび CONT ビットが使用されます。*
- *HSSPIn_RDCSDC0 レジスタに「リストの終端」を設定することは禁止します。*

2.5.4.2 ライトコマンドシーケンス

コマンドフェーズの順序を 8 つのレジスタ(HSSPIn_WRCSDC0～HSSPIn_WRCSDC7) に設定し、システム空間をライトアクセスすると HSSPIn_WRCSDC0 レジスタから順にエントリにしたがってライトコマンドシーケンスが実行されます。ただし、メモリ書込み動作は、HSSPIn_CSCFG.SRAM ビットが"1"に設定されている場合のみ実行されます。それを Figure 2-14 に示します。

Figure 2-14 ライトコマンドのシーケンスリスト



各レジスタの DEC ビットは、データタイプをデコードするかどうかを示します。DEC ビットとデータタイプのビットフィールド(WRCSDATA[2:0])の関係を Table 2-11 に示します。DEC ビットが"0"であるとき、WRCSDATA[7:0]はそのままデータとして送信されます。

Table 2-11 ライトコマンドシーケンスの一覧

DEC	WRCSDATA[2:0]	説　明
0	-	WRCSDATA[7:0]をそのまま送信します。
1	000	シリアルメモリにアクセスするためのアドレス[7:0]を送信します。
1	001	シリアルメモリにアクセスするためのアドレス[15:8]を送信します。
1	010	シリアルメモリにアクセスするためのアドレス[23:16]を送信します。
1	011	シリアルメモリにアクセスするためのアドレス[31:24]を送信します。
1	100	1 バイトのデータ分、SDATA を Hi-Z 状態にします。
1	101	1 バイトのデータのうち、4 ビット分を送信し、残り 4 ビット分、SDATA を Hi-Z 状態にします。動作は以下のとおりです。 1) WRCSDATA[7:4]をそのまま送信します。このデータのビット送信順序は、HSSPIn_PCC0～3.SDIR の設定に従います。 2) 続いて 4 ビットのデータ分、 SDATA を Hi-Z 状態にします。
1	111	リストの終端を表します。

コマンドシーケンサモードは、次のいずれかの条件が成立すると、シリアルメモリへのデータ書込みを行います。

■ リストの終端(WRCSDATA[2:0]=7, DEC="1")を検出する。
■ HSSPIn_WRCSDC7 レジスタを読み終える。
データ書込みでは、書き込まれたデータはシリアルデータとしてシリアルバス上に出力されます。

＜注意事項＞

- *HSSPIn_WRCSDC7 レジスタを読み終えてデータ書込みに移行したとき、HSSPIn_WRCSDC7 レジスタの TRP[1:0] ビットおよび CONT ビットが使用されます。*

2.5.4.3　コンティニュアス命令

HSSPIn_RDCSDC0 レジスタの CONT ビットに"1"がセットされていると最初の読出し動作は HSSPIn_RDCSDC0 に設定されている情報をすべて処理しますが、2 回目から CONT ビットに"1"がセットされている HSSPIn_RDCSDC0-7 レジスタの処理は省略されます。

コンティニュアス命令からコンティニュアス命令以外の命令に戻す場合、以下の処理を行ってください。

＜リードの場合＞

1. HSSPIn_RDCSDC0-7 レジスタ内のトグルコードを書き換えて解除し、リードを実行する。
2. 次に HSSPIn_RDCSDC0 レジスタの全 CONT ビットに”0”を設定する。
3. 次にリードを実行する。

このような処理を行うことによってコンティニュアス命令から復帰することが可能です。

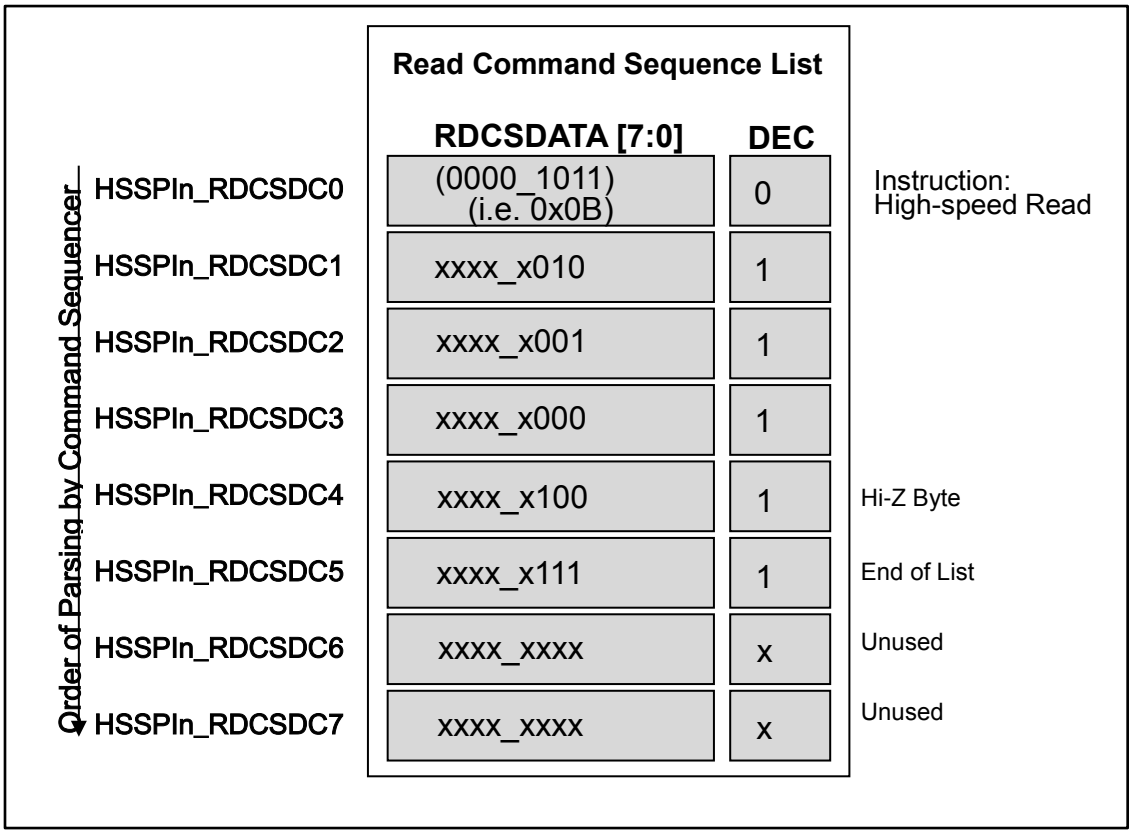
＜注意事項＞

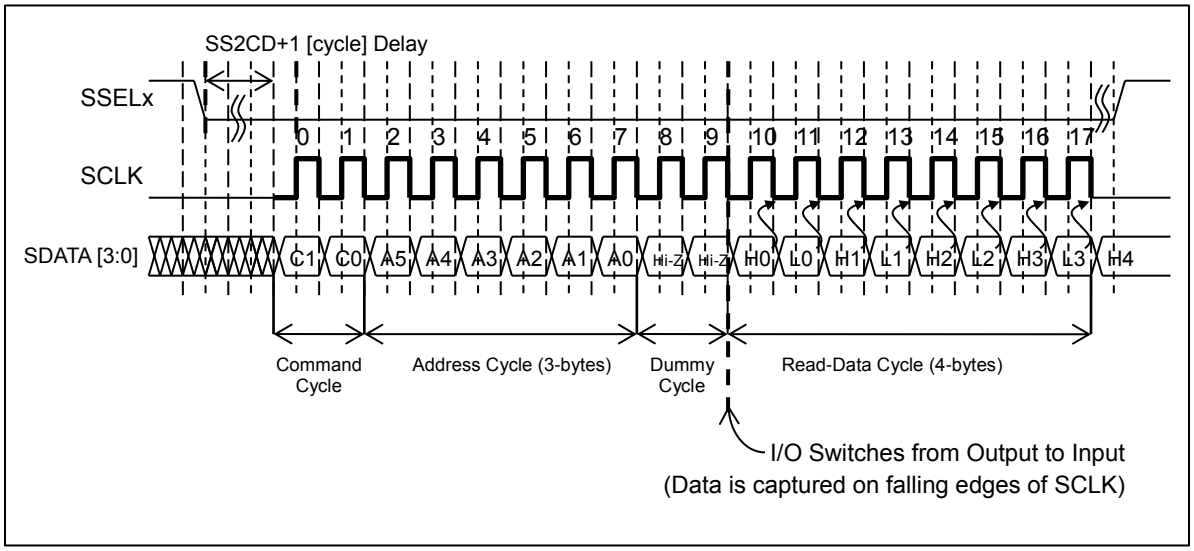
- *HSSPIn_RDCSDC0-7 レジスタの CONT ビットのうち、HSSPIn_RDCSDC1-7 レジスタの CONT ビットには"1"を設定することを禁止します。*
- *HSSPIn_WRCSDC0-7 レジスタの CONT ビットには、"0"を設定してください。*

2.5.4.4 コマンドシーケンサモード動作例

コマンドシーケンサモードがリードコマンドシーケンスの動作例とそのタイミング(クロッキングモードはモード 0)を Figure 2-15 に示します。タイミングはリードコマンドシーケンスが HSSPIn_RDCSDC0～5 のレジスタに設定されている場合、コマンドシーケンサは HSSPIn_RDCSDC0 から始まるコマンドを実行します。

Figure 2-15 リードコマンドシーケンスの動作例(モード 0)





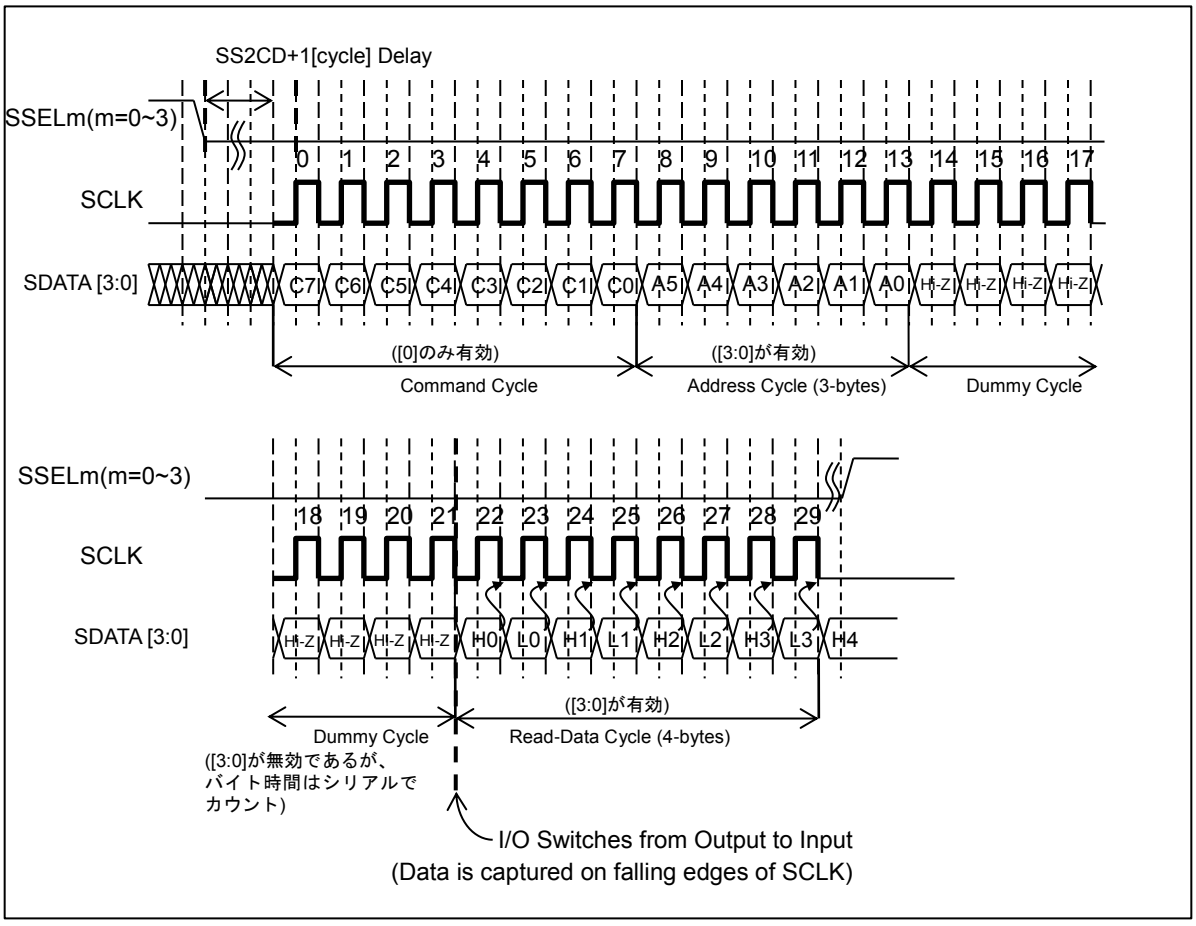
また、リスト内の制御ビット TRP によって、送信するバイトごとにシリアルインタフェースのビット幅をシングル/デュアル/クアッドに制御することができます。

上記のレジスタ設定例に、TRP[1:0]ビット値の設定を加えます。

- ・HSSPIn_RDCSDC0.TRP=3 (シングル) : Instruction High-speed Read
- ・HSSPIn_RDCSDC1.TRP=2 (クアッド) : Memory Address[23:16]
- ・HSSPIn_RDCSDC2.TRP=2 (クアッド) : Memory Address[15:8]
- ・HSSPIn_RDCSDC3.TRP=2 (クアッド) : Memory Address[7:0]
- ・HSSPIn_RDCSDC4.TRP=3 (シングル) : Hi-Z Byte (1byte データ分の Hi-Z)
- ・HSSPIn_RDCSDC5.TRP=0 (MBM[1:0]に従います) : End of List (ビット幅制御は無効)
- ・HSSPIn_RDCSDC6.TRP=0 (MBM[1:0]に従います) : 未使用 (ビット幅制御は無効)
- ・HSSPIn_RDCSDC7.TRP=0 (MBM[1:0]に従います) : 未使用 (ビット幅制御は無効)

この場合の動作は、下記のとおりになります。

Figure 2-16 リストによるシリアルビット幅指定



2.5.4.5 AHB アイドル状態の時間切れ

コマンドシーケンサモードでシリアルメモリへアクセスした後、HS_SPI コントローラはスレーブ選択をアサートし続けます。HSSPIn_CSITIME.ITIME ビットに設定された期間内に以下の AHB トランザクションを検出すると、HS_SPI コントローラはシリアルメモリに対してデータの読出しのみ行い、新規にコマンドやアドレスを発行しません。これによって、アクセスに要する時間を短縮することができます。

- 前の AHB アドレス空間に連続したアドレス
- 書込み/読出しのコマンド種別が前のものと同一

以下のいずれかの AHB トランザクションを検出すると、アイドルタイマが設定時間に達する前であっても、HS_SPI コントローラはスレーブ選択をネゲートし(同時に現在の転送を終了し)、そこから新規のトランザクションを発行します。

- アイドル期間における次の AHB アクセスが、非連続なメモリ空間に対するものである。
- 書込み/読出しのコマンド種別が前のものと異なる。
- ダイレクトモードに変更された(HSSPIn_MCTRL.CSEN ビットに"0"をライト)。

アイドル期間に、連続したメモリ空間への AHB アクセスが発生しないと、アイドルタイマが設定時間に達して、HS_SPI コントローラはスレーブ選択をネゲートしてデータ転送を終了します。

HSSPIn_CSITIME.ITIME ビットに設定する時間の単位は、AHB インタフェースクロック(QHCLK)のサイクル数です。

3. HS_SPI コントローラのレジスタ

HS_SPI コントローラは、その動作を設定するために各種レジスタを備えています。
HS_SPI コントローラのレジスタについて、本項で説明します。

3.1 レジスタ

レジスター覧を下記に示します。

Table 3-1 HS_SPI コントローラのレジスター覧

レジスタ略称	レジスタ名	参照先
HSSPIn_MCTRL	HS-SPI 制御レジスタ	3.2
HSSPIn_PCC0	HS-SPI ペリフェラル通信設定レジスタ 0	3.3
HSSPIn_PCC1	HS-SPI ペリフェラル通信設定レジスタ 1	
HSSPIn_PCC2	HS-SPI ペリフェラル通信設定レジスタ 2	
HSSPIn_PCC3	HS-SPI ペリフェラル通信設定レジスタ 3	
HSSPIn_TXF	HS-SPI 送信割込み要因レジスタ	3.4
HSSPIn_TXE	HS-SPI 送信割込みイネーブルレジスタ	3.5
HSSPIn_TXC	HS-SPI 送信割込みクリアレジスタ	3.6
HSSPIn_RXF	HS-SPI 受信割込み要因レジスタ	3.7
HSSPIn_RXE	HS-SPI 受信割込みイネーブルレジスタ	3.8
HSSPIn_RXC	HS-SPI 受信割込みクリアレジスタ	3.9
HSSPIn_FAULTF	HS-SPI 違反割込み要因レジスタ	3.10
HSSPIn_FAULTC	HS-SPI 違反割込みクリアレジスタ	3.11
HSSPIn_DMCFG	HS-SPI ダイレクトモード設定レジスタ	3.12
HSSPIn_DMDMAEN	HS-SPI ダイレクトモード DMA イネーブルレジスタ	3.13
HSSPIn_DMSTART	HS-SPI ダイレクトモード転送開始制御レジスタ	3.14
HSSPIn_DMSTOP	HS-SPI ダイレクトモード転送停止制御レジスタ	3.15
HSSPIn_DMPSEL	HS-SPI ダイレクトモードスレーブ選択レジスタ	3.16
HSSPIn_DMTRP	HS-SPI ダイレクトモード転送プロトコル設定レジスタ	3.17
HSSPIn_DMBCC	HS-SPI ダイレクトモード転送バイト数設定レジスタ	3.18
HSSPIn_DMBCS	HS-SPI ダイレクトモード転送カウント残数レジスタ	3.19
HSSPIn_DMSTATUS	HS-SPI ダイレクトモードステータスレジスタ	3.20
HSSPIn_TXFIFO0	HS-SPI TX-FIFO レジスタ 0	3.21
HSSPIn_TXFIFO1	HS-SPI TX-FIFO レジスタ 1	
HSSPIn_TXFIFO2	HS-SPI TX-FIFO レジスタ 2	
HSSPIn_TXFIFO3	HS-SPI TX-FIFO レジスタ 3	
HSSPIn_TXFIFO4	HS-SPI TX-FIFO レジスタ 4	
HSSPIn_TXFIFO5	HS-SPI TX-FIFO レジスタ 5	
HSSPIn_TXFIFO6	HS-SPI TX-FIFO レジスタ 6	
HSSPIn_TXFIFO7	HS-SPI TX-FIFO レジスタ 7	
HSSPIn_TXFIFO8	HS-SPI TX-FIFO レジスタ 8	
HSSPIn_TXFIFO9	HS-SPI TX-FIFO レジスタ 9	
HSSPIn_TXFIFO10	HS-SPI TX-FIFO レジスタ 10	
HSSPIn_TXFIFO11	HS-SPI TX-FIFO レジスタ 11	
HSSPIn_TXFIFO12	HS-SPI TX-FIFO レジスタ 12	
HSSPIn_TXFIFO13	HS-SPI TX-FIFO レジスタ 13	

レジスタ略称	レジスタ名	参照先
HSSPIn_TXFIFO14	HS-SPI TX-FIFO レジスタ 14	3.21
HSSPIn_TXFIFO15	HS-SPI TX-FIFO レジスタ 15	
HSSPIn_RXFIFO0	HS-SPI RX-FIFO レジスタ 0	3.22
HSSPIn_RXFIFO1	HS-SPI RX-FIFO レジスタ 1	
HSSPIn_RXFIFO2	HS-SPI RX-FIFO レジスタ 2	
HSSPIn_RXFIFO3	HS-SPI RX-FIFO レジスタ 3	
HSSPIn_RXFIFO4	HS-SPI RX-FIFO レジスタ 4	
HSSPIn_RXFIFO5	HS-SPI RX-FIFO レジスタ 5	
HSSPIn_RXFIFO6	HS-SPI RX-FIFO レジスタ 6	
HSSPIn_RXFIFO7	HS-SPI RX-FIFO レジスタ 7	
HSSPIn_RXFIFO8	HS-SPI RX-FIFO レジスタ 8	
HSSPIn_RXFIFO9	HS-SPI RX-FIFO レジスタ 9	
HSSPIn_RXFIFO10	HS-SPI RX-FIFO レジスタ 10	
HSSPIn_RXFIFO11	HS-SPI RX-FIFO レジスタ 11	
HSSPIn_RXFIFO12	HS-SPI RX-FIFO レジスタ 12	
HSSPIn_RXFIFO13	HS-SPI RX-FIFO レジスタ 13	
HSSPIn_RXFIFO14	HS-SPI RX-FIFO レジスタ 14	
HSSPIn_RXFIFO15	HS-SPI RX-FIFO レジスタ 15	
HSSPIn_FIFOCFG	HS-SPI FIFO 設定レジスタ	3.23
HSSPIn_CSCFG	HS-SPI コマンドシーケンサ設定レジスタ	3.24
HSSPIn_CSITIME	HS-SPI コマンドシーケンサアイドルタイマ設定レジスタ	3.25
HSSPIn_CSAEXT	HS-SPI コマンドシーケンサアドレス拡張レジスタ	3.26
HSSPIn_RDCSDC0	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 0	3.27
HSSPIn_RDCSDC1	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 1	
HSSPIn_RDCSDC2	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 2	
HSSPIn_RDCSDC3	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 3	
HSSPIn_RDCSDC4	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 4	
HSSPIn_RDCSDC5	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 5	
HSSPIn_RDCSDC6	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 6	
HSSPIn_RDCSDC7	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 7	
HSSPIn_WDCSDC0	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 0	3.28
HSSPIn_WDCSDC1	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 1	
HSSPIn_WDCSDC2	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 2	
HSSPIn_WDCSDC3	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 3	
HSSPIn_WDCSDC4	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 4	
HSSPIn_WDCSDC5	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 5	
HSSPIn_WDCSDC6	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 6	
HSSPIn_WDCSDC7	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 7	
HSSPIn_MID	HS-SPI モジュール識別レジスタ	3.29

3.1.1 全体コントロールレジスター覧

レジスタ略称	レジスタ名	参照先
HSSPIn_MCTRL	HS-SPI 制御レジスタ	3.2

3.1.2 シリアルインタフェースコントロールレジスター覧

レジスタ略称	レジスタ名	参照先
HSSPIn_PCC0	HS-SPI ペリフェラル通信設定レジスタ 0	3.3
HSSPIn_PCC1	HS-SPI ペリフェラル通信設定レジスタ 1	
HSSPIn_PCC2	HS-SPI ペリフェラル通信設定レジスタ 2	
HSSPIn_PCC3	HS-SPI ペリフェラル通信設定レジスタ 3	

3.1.3 フォールトレジスター覧

レジスタ略称	レジスタ名	参照先
HSSPIn_FAULTF	HS-SPI 違反割込み要因レジスタ	3.10
HSSPIn_FAULTC	HS-SPI 違反割込みクリアレジスタ	3.11

3.1.4 DMA コントロールレジスター覧

レジスタ略称	レジスタ名	参照先
HSSPIn_DMDMAEN	HS-SPI ダイレクトモード DMA イネーブルレジスタ	3.13

3.1.5 FIFO コントロールレジスター覧(TX/RX 共通)

レジスタ略称	レジスタ名	参照先
HSSPIn_FIFOCFG	HS-SPI FIFO 設定レジスタ	3.23

3.1.6 TX-FIFO コントロールレジスター覧

レジスタ略称	レジスタ名	参照先
HSSPIn_TXF	HS-SPI 送信割込み要因レジスタ	3.4
HSSPIn_TXE	HS-SPI 送信割込みイネーブルレジスタ	3.5
HSSPIn_TXC	HS-SPI 送信割込みクリアレジスタ	3.6
HSSPIn_TXFIFO0	HS-SPI TX-FIFO レジスタ 0	3.21
HSSPIn_TXFIFO1	HS-SPI TX-FIFO レジスタ 1	
HSSPIn_TXFIFO2	HS-SPI TX-FIFO レジスタ 2	
HSSPIn_TXFIFO3	HS-SPI TX-FIFO レジスタ 3	
HSSPIn_TXFIFO4	HS-SPI TX-FIFO レジスタ 4	
HSSPIn_TXFIFO5	HS-SPI TX-FIFO レジスタ 5	
HSSPIn_TXFIFO6	HS-SPI TX-FIFO レジスタ 6	
HSSPIn_TXFIFO7	HS-SPI TX-FIFO レジスタ 7	
HSSPIn_TXFIFO8	HS-SPI TX-FIFO レジスタ 8	
HSSPIn_TXFIFO9	HS-SPI TX-FIFO レジスタ 9	
HSSPIn_TXFIFO10	HS-SPI TX-FIFO レジスタ 10	
HSSPIn_TXFIFO11	HS-SPI TX-FIFO レジスタ 11	
HSSPIn_TXFIFO12	HS-SPI TX-FIFO レジスタ 12	
HSSPIn_TXFIFO13	HS-SPI TX-FIFO レジスタ 13	
HSSPIn_TXFIFO14	HS-SPI TX-FIFO レジスタ 14	
HSSPIn_TXFIFO15	HS-SPI TX-FIFO レジスタ 15	

3.1.7 RX-FIFO コントロールレジスター覧

レジスタ略称	レジスタ名	参照先
HSSPIn_RXF	HS-SPI 受信割込み要因レジスタ	3.7
HSSPIn_RXE	HS-SPI 受信割込みイネーブルレジスタ	3.8
HSSPIn_RXC	HS-SPI 受信割込みクリアレジスタ	3.9
HSSPIn_RXFIFO0	HS-SPI RX-FIFO レジスタ 0	3.22
HSSPIn_RXFIFO1	HS-SPI RX-FIFO レジスタ 1	
HSSPIn_RXFIFO2	HS-SPI RX-FIFO レジスタ 2	
HSSPIn_RXFIFO3	HS-SPI RX-FIFO レジスタ 3	
HSSPIn_RXFIFO4	HS-SPI RX-FIFO レジスタ 4	
HSSPIn_RXFIFO5	HS-SPI RX-FIFO レジスタ 5	
HSSPIn_RXFIFO6	HS-SPI RX-FIFO レジスタ 6	
HSSPIn_RXFIFO7	HS-SPI RX-FIFO レジスタ 7	
HSSPIn_RXFIFO8	HS-SPI RX-FIFO レジスタ 8	
HSSPIn_RXFIFO9	HS-SPI RX-FIFO レジスタ 9	
HSSPIn_RXFIFO10	HS-SPI RX-FIFO レジスタ 10	
HSSPIn_RXFIFO11	HS-SPI RX-FIFO レジスタ 11	
HSSPIn_RXFIFO12	HS-SPI RX-FIFO レジスタ 12	
HSSPIn_RXFIFO13	HS-SPI RX-FIFO レジスタ 13	
HSSPIn_RXFIFO14	HS-SPI RX-FIFO レジスタ 14	
HSSPIn_RXFIFO15	HS-SPI RX-FIFO レジスタ 15	

3.1.8 ダイレクトモードコントロールレジスター覧

レジスタ略称	レジスタ名	参照先
HSSPIn_DMCFG	HS-SPI ダイレクトモード設定レジスタ	3.12
HSSPIn_DMSTART	HS-SPI ダイレクトモード転送開始制御レジスタ	3.14
HSSPIn_DMSTOP	HS-SPI ダイレクトモード転送停止制御レジスタ	3.15
HSSPIn_DMPSEL	HS-SPI ダイレクトモードスレーブ選択レジスタ	3.16
HSSPIn_DMTRP	HS-SPI ダイレクトモード転送プロトコル設定レジスタ	3.17
HSSPIn_DMBCC	HS-SPI ダイレクトモード転送バイト数設定レジスタ	3.18
HSSPIn_DMBCS	HS-SPI ダイレクトモード転送カウント残数レジスタ	3.19
HSSPIn_DMSTATUS	HS-SPI ダイレクトモードステータスレジスタ	3.20

3.1.9 コマンドシーケンサ制御レジスター覧(書込み/読出し共通)

レジスタ略称	レジスタ名	参照先
HSSPIn_CSCFG	HS-SPI コマンドシーケンサ設定レジスタ	3.24
HSSPIn_CSITIME	HS-SPI コマンドシーケンサアイドルタイマ設定レジスタ	3.25
HSSPIn_CSAEXT	HS-SPI コマンドシーケンサアドレス拡張レジスタ	3.26

3.1.10 コマンドシーケンス設定レジスター覧(書込みコマンド)

レジスタ略称	レジスタ名	参照先
HSSPIn_WDCSDC0	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 0	3.28
HSSPIn_WDCSDC1	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 1	
HSSPIn_WDCSDC2	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 2	
HSSPIn_WDCSDC3	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 3	
HSSPIn_WDCSDC4	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 4	
HSSPIn_WDCSDC5	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 5	
HSSPIn_WDCSDC6	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 6	
HSSPIn_WDCSDC7	HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ 7	

3.1.11 コマンドシーケンス設定レジスター覧(読出しコマンド)

レジスタ略称	レジスタ名	参照先
HSSPIn_RDCSDC0	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 0	3.27
HSSPIn_RDCSDC1	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 1	
HSSPIn_RDCSDC2	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 2	
HSSPIn_RDCSDC3	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 3	
HSSPIn_RDCSDC4	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 4	
HSSPIn_RDCSDC5	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 5	
HSSPIn_RDCSDC6	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 6	
HSSPIn_RDCSDC7	HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ 7	

3.1.12 モジュール識別レジスター覧

レジスタ略称	レジスタ名	参照先
HSSPIn_MID	HS-SPI モジュール識別レジスタ	3.29

3.2 HS-SPI 制御レジスタ (HSSPIn_MCTRL)

本レジスタは、HS_SPI コントローラを制御します。

本レジスタを用いて本コントローラの動作を有効または禁止に切り替えることができます。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	予約	SYNCON	MES	予約	予約	CSEN	MEN
属性	R	R	R/W	R	R	R0	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:6] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit5] SYNCON :“Synchronizer ON” 同期化回路動作ビット

bit	説明
0	非同期モード。QHCLK とシリアル動作クロック源が非同期の場合設定します。 [初期値]
1	同期モード。QHCLK とシリアル動作クロック源が同期の場合設定します。

<注意事項>

- *本ビットはコマンドシーケンサモード時のみ有効です。ダイレクトモード時は"0"が読み出されます。*
- *本ビットを変更する場合、MES ビットが"0"のときに変更してください。*

[bit4] MES : “Module Enable Status” モジュールイネーブル状態ビット

bit	説明
0	モジュール動作が完全に停止している状態を表します。 [初期値]
1	モジュール動作が有効です。

[bit3:2] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit1] CSEN : “Command Sequencer Enable” コマンドシーケンサモードイネーブルビット

bit	説明
0	ダイレクトモード有効。 [初期値]
1	コマンドシーケンサモード有効。

<注意事項>

- *コマンドシーケンサモードで HS_SPI コントローラが動作中(MEN="1", MES="1")にダイレクトモードに切り替えて使用したい場合、以下の手順にしたがってください。*
  1) ダイレクトモード(CSEN="0")に変更。
  2) スレーブ選択がディセレクトされたことを検出(HSSPIn_TXF.TSSRS="1"または HSSPIn_RXF.RSSRS="1")するまで待つ。
  3) HS_SPI コントローラの動作を禁止する(MEN="0"を設定)。
  4) HS_SPI コントローラが禁止状態(MES="0")になるまで待つ。
  5) ダイレクトモードの各レジスタを設定する。
  6) HS_SPI コントローラの動作を許可する(MEN="1"を設定)。
  7) HS_SPI コントローラが動作状態(MES="1")になるまで待つ。
  上記手順を実施し、MES="1"になることによってダイレクトモードが使用できます。
- *ダイレクトモードで HS_SPI コントローラが動作中(MEN="1", MES="1")にコマンドシーケンサモードに切り替えて使用する場合、以下の手順にしたがってください。*
  1) HS_SPI コントローラの動作を禁止する(MEN="0"を設定)。
  2) スレーブ選択がディセレクトされたことを検出(HSSPIn_TXF.TSSRS="1"または HSSPIn_RXF.RSSRS="1")するまで待つ。
  3) HS_SPI コントローラの動作が禁止状態(MES="0")になるまで待つ。
  4) コマンドシーケンサモードに変更(CSEN="1"を設定)。
  5) コマンドシーケンサモードの各レジスタを設定。
  6) HS_SPI コントローラの動作を許可する(MEN="1"を設定)。
  7) HS_SPI コントローラが動作状態(MES="1")になるまで待つ。
  上記手順を実施し、MES="1"になることによってコマンドシーケンサモードが使用できます。

[bit0] MEN : “Module Enable” モジュールイネーブルビット

bit	説明
0	HS_SPI コントローラはディセーブル状態になります。 [初期値]
1	本コントローラはイネーブル状態となります。 HS_SPI コントローラの各レジスタを設定した後、本ビットに"1"を設定してください。

3.3 HS-SPI ペリフェラル通信設定レジスタ (HSSPIn_PCC0～3)

本レジスタ群は、スレーブ選択 0～3 のシリアル通信に関する各種設定を行うためのものです。ソフトウェアはこれらのレジスタを使って、スレーブ選択(0～3)に対応するシリアルデバイスの仕様に合うように設定を行います。コマンドシーケンサモードの場合、本レジスタ群は同一設定で使用してください。
これらのレジスタは 0～3 で同様のビットフィールド構成を持つため、本章では HSSPIn_PCC0 レジスタについて詳説します。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	RDDSEL [1]	RDDSEL [0]	WRDSEL [3]	WRDSEL [2]	WRDSEL [1]	WRDSEL [0]	SAFE SYNC
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	1	1	1	1	1	1

bit	15	14	13	12	11	10	9	8
Field	CDRS [6]	CDRS [5]	CDRS [4]	CDRS [3]	CDRS [2]	CDRS [1]	CDRS [0]	SENDIAN
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	SDIR	SS2CD [1]	SS2CD [0]	SSPOL	RTM	ACES	CPOL	CPHA
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:23] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit22:21] RDDSEL[1:0] : “Read Deselect Time” 読出しディセレクト時間設定ビット

bit	説明
0x0-0x3	ディセレクト時間として使用されます。 0:1 シリアルクロック時間 1:2 シリアルクロック時間 2:3 シリアルクロック時間 3:4 シリアルクロック時間 [初期値]

本ビットはリード時のスレーブ選択のディセレクト時間に使用します。
本ビットはコマンドシーケンサモード時のみ有効です。

<注意事項>

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*

[bit20:17] WRDSEL[3:0] : “Write/different command Deselect Time” 書込みまたは異なるコマンドディセレクト時間設定ビット

bit	説明
0x0-0xF	ディセレクト時間として使用されます。 0:1 シリアルクロック時間 1:2 シリアルクロック時間 2:3 シリアルクロック時間 3:4 シリアルクロック時間 4:5 シリアルクロック時間 5:6 シリアルクロック時間 6:7 シリアルクロック時間 7:8 シリアルクロック時間 8:9 シリアルクロック時間 9:10 シリアルクロック時間 10:11 シリアルクロック時間 11:12 シリアルクロック時間 12:13 シリアルクロック時間 13:14 シリアルクロック時間 14:15 シリアルクロック時間 15:16 シリアルクロック時間 [初期値]

本ビットはライトまたは異なるコマンドを実行するときのスレーブ選択のディセレクト時間に使用します。
本ビットはコマンドシーケンサモード時のみ有効です。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*

[bit16] SAFESYNC : “Safe Synchronization” 同期安全化ビット

bit	説明
0	HS_SPI コントローラは通常通りに動作します。シリアル転送をしている期間は、安全に再同期するようにあらかじめ設定された遅延を付加しません。
1	シリアル通信を安全に再同期するようにあらかじめ設定された遅延を付加します。[初期値]

本ビットの設定は、「2.4 ダイレクトモード」、「2.5 コマンドシーケンサモード」を参照してください。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*

[bit15:9] CDRS[6:0] : “Clock Division Ratio Select ” クロック分周比設定ビット

bit	説明
0x00	予約[初期値]
0x01~0x7F	10 進数で表すと、以下の意味を持ちます。 1: 2 分周します。 2: 4 分周します。 3: 6 分周します。 ... 127: 254 分周します。 クロック周波数は CDRS の設定値の 2 倍で分周されます。分周前のクロック周波数を Fi、分周後のクロック周波数を Fo と表すと、この関係は次の式で表されます。 Fo = Fi / (2 x CDRS)

CDRS は、0x00 に設定し、シリアル通信をすることは禁止です。0x01 以上に設定をしてください。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*

[bit8] SENDIAN : “SPI Endian” エンディアン設定ビット

bit	説明
0	ビッグエンディアンとなります。[初期値] シリアルインタフェース上のバイトデータは、ワードデータの上位側から下位側に向かって順に並びます。
1	リトルエンディアンとなります。 シリアルインタフェース上のバイトデータは、ワードデータの下位側から上位側に向かって順に並びます。

本ビットは、1 ワードデータ内におけるバイトデータの並びを設定します。詳細は「2.3 シリアルインタフェース」の「2.3.4 シリアルインタフェースのエンディアン」を参照してください。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*

[bit7] SDIR : “Shift Direction ”シフト方向設定ビット

bit	説明
0	バイトデータ内のビット順序が、最上位ビットから最下位ビットに向かう順番となります。[初期値]
1	バイトデータ内のビット順序が、最下位ビットから最上位ビットに向かう順番となります。

本ビットは、フィールド内におけるビット転送の順序(即ちシフト方向)を決定します。動作については「2.3 シリアルインタフェース」の「2.3.3 シフト方向」を参照してください。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*

[bit6:5] SS2CD[1:0] :“Slave-Select to Clock Delay ” スレーブ選択からクロック開始までの遅延時間設定ビット

スレーブの選択の変化点から SCLK の変化点を SCLK のサイクル単位で遅延します。

HSSPIn_PCC0～3.CPHA が"0"のとき、スレーブ選択をアサートする始点から最初の SCLK が変化するまでの遅延が、SCLK で「SS2CD＋1.5」サイクルとなります。

HSSPIn_PCC0～3.CPHA が"1"のとき、スレーブ選択をアサートする始点から最初の SCLK が変化するまでの遅延が、SCLK で「SS2CD＋1.0」サイクルとなります。

SS2CD の作用を Figure 2-3 に示します。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*

[bit4] SSPOL : “Slave Select Polarity” スレーブ選択極性設定ビット

bit	説明
0	負論理("L"でアクティブ)となります。[初期値]
1	正論理("H"でアクティブ)となります。

本ビットは、スレーブ選択の極性を設定します。

SSPOL="0"のときの動作を Figure 2-3 に示します。SSPOL="1"のとき、図中の”Slave Select”が逆の極性となります。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*

[bit3] RTM : “Use retimed clock for Capturing the data”タイミング補償設定ビット

bit	説明
0	タイミング補償されたクロックを使わずに、受信シリアルデータを取り込みます。[初期値]
1	タイミング補償されたクロックを使って、受信シリアルデータを取り込みます。

本ビットは、タイミング補正されたシリアルクロックを使用するかどうかを設定し、受信シリアルデータのセットアップ・ホールド時間がマージン不足である場合、"1"に設定します。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*
- *HS_SPI_TYPE1 製品では、本ビットを”1”にすることを禁止します。*

[bit2] ACES : “Active Clock Edges are Same”シリアルデータ送受信タイミング設定ビット

bit	説明
0	データの送信と受信で、異なるクロックエッジ(一方が立上り、他方が立下り)を使用します。[初期値]
1	予約

本ビットは同期するクロックの変化点(立上り/立下り)をデータの送受信で共通にするかどうかを設定します。ACES ビットの作用を Figure 2-3 に示します。

＜注意事項＞

- *HS_SPI_TYPE0 製品では、本ビットに"1"を設定することを禁止します。*
- *HS_SPI_TYPE1 製品では、ダイレクトモードのTX-and-RX モードの時、本ビットを”1”に設定することを禁止します。*

[bit1] CPOL : “Clock Polarity” シリアルクロック極性設定ビット

bit	説明
0	"L"レベルを指定します。[初期値]
1	"H"レベルを指定します。

本ビットは、シリアル転送を行わない期間における SCLK のレベルを指定します。

CPOL の作用を Figure 2-3 に示します。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*
- *HS_SPI_TYPE1 製品では、本ビットを”1”にすることを禁止します。*

[bit0] CPHA : “Clock Phase”クロック位相設定ビット

bit	説明
0	奇数番目のエッジで取り込まれます。[初期値]
1	偶数番目のエッジで取り込まれます。

本ビットは、受信データを取り込む際のシリアルクロックエッジを選択します。使用するクロックのエッジは立上り/立下りのどちらにも設定できるため、両方のエッジを数えて先頭から奇数番目(1 番目を始点とします)、偶数番目と表すと上記の表現になります。

CPHA の作用を Figure 2-3 に示します。

＜注意事項＞

- *本ビットを変更する場合、HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", MES="0")のときに変更してください。*
- *HS_SPI_TYPE1 製品では、本ビットを”1”にすることを禁止します。*

3.4 HS-SPI 送信割込み要因レジスタ (HSSPIn_TXF)

本レジスタは、送信割込みフラグの状態を示します。これらのフラグビットはダイレクトモードのみ動作します。

各割込みフラグに対し、割込み許可ビットがあり、割込み許可ビットを有効にすることにより、割込みを発生させることができます。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	TSSRS	TFMTS	TFLETS	TFUS	TFOS	TFES	TFFS
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit31:7] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit6] TSSRS : “Slave Select Released Interrupt”スレーブ選択解除検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、スレーブ選択がマスタによって解放されたことを表す割込み要因フラグです。

HSSPIn_TXE.TSSRE ビットが"1"で本ビットが"1"のとき、送信割込みが発生します。HSSPIn_TXC.TSSRC ビットに"1"を書くと本ビットは"0"になります。

[bit5] TFMTS : “TX-FIFO Fill Level is More than Threshold Interrupt” TX-FIFO 閾値超え検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、TX-FIFO レベル(有効データ数)がそのしきい値を超えたことを示す割込み要因フラグです。本ビットが"1"にセットされる条件は以下のとおりです。

■ HSSPIn_DMSTATUS.TXFLEVEL ＞ HSSPIn_FIFOCFG.TXFTH

上記条件が成立している間、本ビットは"1"にセットされたままです。

HSSPIn_TXE.TFMTE ビットが"1"で本ビットが"1"のとき、送信割込みが発生します。

本ビットは以下のすべての条件が成り立つと、"0"にクリアされます。

■ HSSPIn_DMSTATUS.TXFLEVEL ≦ HSSPIn_FIFOCFG.TXFTH
■ HSSPIn_TXC.TFMTC ビットへの"1"書込み

[bit4] TFLETS : “TX-FIFO Fill Level is Less than or Equal to Threshold Interrupt” TX-FIFO 閾値以下検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、TX-FIFO レベル(有効データ数)がそのしきい値以下になったことを示す割込み要因フラグです。本ビットが"1"にセットされる条件は以下のとおりです。

■ HSSPIn_DMSTATUS.TXFLEVEL ≦ HSSPIn_FIFOCFG.TXFTH

上記条件が成立している間、本ビットは"1"にセットされたままです。

HSSPIn_TXE.TFLETE ビットが"1"で本ビットが"1"のとき、送信割込みが発生します。

本ビットは以下のすべての条件が成り立つと、"0"にクリアされます。

■ HSSPIn_DMSTATUS.TXFLEVEL > HSSPIn_FIFOCFG.TXFTH
■ HSSPIn_TXC.TFLETS ビットへの"1"書込み

[bit3] TFUS : “TX-FIFO Underrun Interrupt”TX-FIFO アンダーラン検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、TX-FIFO がアンダーランを起こしたことを示す割込み要因フラグです。

TX-FIFO が Empty のとき、TX-FIFO から送信シフトレジスタへデータを転送しようとすると本ビットが"1"になります。

HSSPIn_TXE.TFUE が"1"で本ビットが"1"のとき、送信割込みが発生します。

HSSPIn_TXC.TFUC ビットに"1"を書くと本ビットは"0"になります。

[bit2] TFOS :“TX-FIFO Overrun Interrupt” TX-FIFO オーバラン検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、TX-FIFO がオーバランを起こしたことを示す割込み要因フラグです。

HS_SPI コントローラで TX-FIFO が Full であるときに、送信データを TX-FIFO に書き込むと本ビットは"1"になります。

HSSPIn_TXE.TFOE ビットが"1"で本ビットが"1"のとき、送信割込みが発生します。

HSSPIn_TXC.TFOC ビットに"1"を書くと本ビットは"0"になります。

<注意事項>

- *本フラグが"1"に設定された場合、データは正常に送信されません。また、他のフラグも正常に動作しません。HSSPIn_FIFOCFG.TXFLSH ビットに"1"を書いて TX-FIFO をクリアしてください。*

[bit1] TFES :“TX-FIFO and Shift Register are Empty Interrupt” TX-FIFO およびシフトレジスタの Empty 検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、TX-FIFO および送信シフトレジスタが Empty になったことを示す割込み要因フラグです。TX-FIFO と送信シフトレジスタが Empty の間、本ビットは"1"にセットされたままです。

HSSPIn_TXE.TFEE ビットが"1"で本ビットが"1"のとき、送信割込みが発生します。

本ビットは以下のすべての条件が成り立つと、"0"にクリアされます。

- TX-FIFO または送信シフトレジスタに有効なデータがある。
- HSSPIn_TXC.TFEC ビットへの"1"書込み。

[bit0] TFFS : “TX-FIFO Full Interrupt” TX-FIFO Full 検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、TX-FIFO が Full になったことを示す割込み要因フラグです。TX-FIFO が Full になると"1"になります。TX-FIFO が Full の間、本ビットは"1"にセットされたままです。

HSSPIn_TXE.TFFE ビットが"1"で本ビットが"1"のとき、送信割込みが発生します。

本ビットは以下のすべての条件が成り立つと、"0"にクリアされます。

- TX-FIFO が Full でない状態。
- HSSPIn_TXC.TFFC ビットへの"1"書込み。

3.5 HS-SPI 送信割込みイネーブルレジスタ (HSSPIn_TXE)

本レジスタは、HSSPIn_TXF レジスタの各ビットにより送信割込みを発生させるかどうかを設定します。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	TSSRE	TFMTE	TFLETE	TFUE	TFOE	TFEE	TFFE
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:7] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit6] TSSRE :“Slave Select Released Interrupt Enable” スレーブ選択解除検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_TXF.TSSRS ビットによる送信割込みを許可するビットです。

[bit5] TFMTE :“TX-FIFO Fill Level is More than Threshold Interrupt Enable” TX-FIFO 閾値超え検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_TXF.TFMTS ビットによる送信割込みを許可するビットです。

[bit4] TFLETE :“TX-FIFO Fill Level is Less than or Equal to Threshold Interrupt Enable” TX-FIFO 閾値以下検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_TXF.TFLETS ビットによる送信割込みを許可するビットです。

[bit3] TFUE :“TX-FIFO Underrun Interrupt Enable” TX-FIFO アンダーラン検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_TXF.TFUS ビットによる送信割込みを許可するビットです。

[bit2] TFOE :“TX-FIFO Overrun Interrupt Enable” TX-FIFO オーバラン検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_TXF.TFOS ビットによる送信割込みを許可するビットです。

[bit1] TFEE :“TX-FIFO and Shift Register are Empty Interrupt Enable” TX-FIFO およびシフトレジスタ Empty 検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_TXF.TFES ビットによる送信割込みを許可するビットです。

[bit0] TFFE :“TX-FIFO Full Interrupt Enable” TX-FIFO Full 検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_TXF.TFFS ビットによる送信割込みを許可するビットです。

3.6 HS-SPI 送信割込みクリアレジスタ (HSSPIn_TXC)

本レジスタは、HSSPIn_TXF レジスタの状態を"0"にクリアします。
本レジスタのビットに"1"を書くことによって、HSSPIn_TXF レジスタ内の関連する割込み要因フラグをクリアすることができます。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	TSSRC	TFMTC	TFLETC	TFUC	TFOC	TFEC	TFFC
属性	R	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

[bit31:7] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit6] TSSRC :“Slave Select Released Interrupt Clear” スレーブ選択解除検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_TXF.TSSRS をクリアするビットです。

[bit5] TFMTC :“TX-FIFO Fill Level is More than Threshold Interrupt Clear” TX-FIFO 閾値超え検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_TXF.TFMTS をクリアするビットです。

[bit4] TFLETC：“TX-FIFO Fill Level is Less than or Equal to Threshold Interrupt” TX-FIFO 閾値以下検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_TXF.TFLETS をクリアするビットです。

[bit3] TFUC：“TX-FIFO Underrun Interrupt Clear” TX-FIFO アンダーラン検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_TXF.TFUS をクリアするビットです。

[bit2] TFOC：“TX-FIFO Overrun Interrupt Clear”TX-FIFO オーバラン検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_TXF.TFOS をクリアするビットです。

[bit1] TFEC： “TX-FIFO and Shift Register are Empty Interrupt Clear” TX-FIFO およびシフトレジスタの Empty 検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_TXF.TFES をクリアするビットです。

[bit0] TFFC：“TX-FIFO Full Interrupt Clear” TX-FIFO Full 検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_TXF.TFFS をクリアするビットです。

3.7 HS-SPI 受信割込み要因レジスタ (HSSPIn_RXF)

本レジスタは、受信割込みフラグの状態を示します。これらのフラグビットはダイレクトモードのみ動作します。

各割込みフラグに対し、割込み許可ビットがあり、割込み許可ビットを有効にすることにより、割込みを発生させることができます。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	RSSRS	RFMTS	RFLETS	RFUS	RFOS	RFES	RFFS
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit31:7] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit6] RSSRS :“Slave Select Released Interrupt”スレーブ選択解除検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、スレーブ選択がマスタによって解放されたことを表す割込み要因フラグです。

HSSPIn_RXE.RSSRE ビットが"1"で本ビットが"1"のとき、受信割込みが発生します。

HSSPIn_RXC.RSSRC ビットに"1"を書くと本ビットは"0"になります。

[bit5] RFMTS :“RX-FIFO Fill Level is More than Threshold Interrupt” RX-FIFO 閾値超え検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、RX-FIFO レベル(有効データ数)がそのしきい値を超えたことを示す割込み要因フラグです。本ビットが"1"にセットされる条件は以下のとおりです。

■ HSSPIn_DMSTATUS.RXFLEVEL ＞ HSSPIn_FIFOCFG.RXFTH

上記条件が成立している間、本ビットは"1"にセットされたままです。

HSSPIn_RXE.RFMTE ビットが"1"で本ビットが"1"のとき、受信割込みが発生します。

本ビットは以下のすべての条件が成り立つと、"0"にクリアされます。

■ HSSPIn_DMSTATUS.RXFLEVEL ≦ HSSPIn_FIFOCFG.RXFTH
■ HSSPIn_RXC.RFMTC ビットへの"1"書込み。

[bit4] RFLETS :“RX-FIFO Fill Level is Less than or Equal to Threshold Interrupt” RX-FIFO 閾値以下検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、RX-FIFO レベル(有効データ数)がそのしきい値以下になったことを示す割込み要因フラグです。本ビットが"1"にセットされる条件は以下のとおりです。

■ HSSPIn_DMSTATUS.RXFLEVEL ≦ HSSPIn_FIFOCFG.RXFTH

上記条件が成立している間、本ビットは"1"にセットされたままです。

HSSPIn_RXE.RFLETE ビットが"1"で本ビットが"1"のとき、受信割込みが発生します。

本ビットは以下のすべての条件が成り立つと、"0"にクリアされます。

■ HSSPIn_DMSTATUS.RXFLEVEL > HSSPIn_FIFOCFG.RXFTH
■ HSSPIn_RXC.RFLETS ビットへの"1"書込み。

[bit3] RFUS :“RX-FIFO Underrun Interrupt” RX-FIFO アンダーラン検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、RX-FIFO がアンダーランを起こしたことを示す割込み要因フラグです。

RX-FIFO が Empty のとき、RX-FIFO からデータを読み出すと本ビットが"1"になります。

HSSPIn_RXE.RFUE が"1"で本ビットが"1"のとき、受信割込みが発生します。

HSSPIn_RXC.RFUC ビットに"1"を書くと本ビットは"0"になります。

＜注意事項＞

- *本フラグが"1"に設定された場合、HSSPIn_FIFOCFG.RXFLSH ビットに"1"を書いて RX-FIFO をクリアしてください。*

[bit2] RFOS : “RX-FIFO Overrun Interrupt” RX-FIFO オーバラン検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、RX-FIFO がオーバランを起こしたことを示す割込み要因フラグです。

HS_SPI コントローラで RX-FIFO が Full であるときに、受信データを RX-FIFO に書き込もうとすると本ビットは"1"になります。オーバランが起きた場合、既に RX-FIFO に書き込まれたデータが上書きされず保護され、オーバランが発生したデータは捨てられます。

HS_SPI コントローラには、RX-FIFO と受信シフトレジスタをあわせて 17word まで受信できます。そこから 1bit でも受信すると、オーバランと見なされて RFOS が"1"にセットされます。HSSPIn_RXE.RFOE ビットが"1"で本ビットが"1"のとき、受信割込みが発生します。

HSSPIn_RXC.RFOC ビットに"1"を書くと本ビットは"0"になります。

[bit1] RFES :“RX-FIFO is Empty Interrupt” RX-FIFO の Empty 検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、RX-FIFO が Empty になったことを示す割込み要因フラグです。RX-FIFO が Empty の間、本ビットは"1"にセットされたままです。

HSSPIn_RXE.RFEE ビットが"1"で本ビットが"1"のとき、受信割込みが発生します。

本ビットは以下のすべての条件が成り立つと、"0"にクリアされます。

- RX-FIFO に有効なデータがある。
- HSSPIn_RXC.RFEC ビットへの"1"書込み。

[bit0] RFFS :“RX-FIFO Full Interrupt” RX-FIFO Full 検出ビット

bit	説明
0	割込み要因を検出していません。[初期値]
1	割込み要因を検出しました。

本ビットは、RX-FIFO が Full になったことを示す割込み要因フラグです。RX-FIFO が Full になると"1"になります。RX-FIFO が Full の間、本ビットは"1"にセットされたままです。

HSSPIn_RXE.RFFE ビットが"1"で本ビットが"1"のとき、受信割込みが発生します。

本ビットは以下のすべての条件が成り立つと、"0"にクリアされます。

- RX-FIFO が Full でない状態。
- HSSPIn_RXC.RFFC ビットへの"1"書込み。

3.8 HS-SPI 受信割込みイネーブルレジスタ (HSSPIn_RXE)

本レジスタは、HSSPIn_RXF レジスタの各ビットにより受信割込みを発生させるかどうかを設定します。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	RSSRE	RFMTE	RFLETE	RFUE	RFOE	RFEE	RFFE
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:7] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit6] RSSRE :“Slave Select Released Interrupt Enable”スレーブ選択解除検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_RXF.RSSRS ビットによる受信割込みを許可するビットです。

[bit5] RFMTE :“RX-FIFO Fill Level is More than Threshold Interrupt Enable” RX-FIFO 閾値超え検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_RXF.RFMTS ビットによる受信割込みを許可するビットです。

[bit4] RFLETE :“RX-FIFO Fill Level is Less than or Equal to Threshold Interrupt Enable” RX-FIFO 閾値以下検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_RXF.RFLETS ビットによる受信割込みを許可するビットです。

[bit3] RFUE :“RX-FIFO Underrun Interrupt Enable” RX-FIFO アンダーラン検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_RXF.RFUS ビットによる受信割込みを許可するビットです。

[bit2] RFOE :“RX-FIFO Overrun Interrupt Enable” RX-FIFO オーバラン検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_RXF.RFOS ビットによる受信割込みを許可するビットです。

[bit1] RFEE :“RX-FIFO and Shift Register are Empty Interrupt Enable” RX-FIFO およびシフトレジスタの Empty 状態検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_RXF.RFES ビットによる受信割込みを許可するビットです。

[bit0] RFFE :“RX-FIFO Full Interrupt Enable” RX-FIFO Full 検出割込み許可ビット

bit	説明
0	割込みを禁止します。[初期値]
1	割込みを許可します。

本ビットは、HSSPIn_RXF.RFFS ビットによる受信割込みを許可するビットです。

3.9 HS-SPI 受信割込みクリアレジスタ (HSSPIn_RXC)

本レジスタは、HSSPIn_RXF レジスタの状態を"0"にクリアします。

本レジスタのビットに"1"を書くことによって、HSSPIn_RXF レジスタ内の関連する割込み要因フラグをクリアすることができます。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	RSSRC	RFMTC	RFLETC	RFUC	RFOC	RFEC	RFFC
属性	R	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

[bit31:7] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit6] RSSRC :“Slave Select Released Interrupt Clear” スレーブ選択解除検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_RXF.RSSRS をクリアするビットです。

[bit5] RFMTC :“RX-FIFO Fill Level is More than Threshold Interrupt Clear” RX-FIFO 閾値超え検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_RXF.RFMTS をクリアするビットです。

[bit4] RFLETC：“RX-FIFO Fill Level is Less than or Equal to Threshold Interrupt” RX-FIFO 閾値以下検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_RXF.RFLETS をクリアするビットです。

[bit3] RFUC：“RX-FIFO Underrun Interrupt Clear” RX-FIFO アンダーラン検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_RXF.RFUS をクリアするビットです。

[bit2] RFOC：“RX-FIFO Overrun Interrupt Clear” RX-FIFO オーバラン検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_RXF.RFOS をクリアするビットです。

[bit1] RFEC：“RX-FIFO and Shift Register are Empty Interrupt Clear” RX-FIFO およびシフトレジスタの Empty 状態検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_RXF.RFES をクリアするビットです。

[bit0] RFFC：“RX-FIFO Full Interrupt Clear” RX-FIFO Full 検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_RXF.RFFS をクリアするビットです。

3.10 HS-SPI 違反割込み要因レジスタ (HSSPIn_FAULTF)

本レジスタは、違反割込みフラグの状態を示します。HS_SPI コントローラでは違反割込みは、マスク不可となります。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	DRCBSFS	DWCBSFS	PVFS	WAFS	UMAFS
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit31:5] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit4] DRCBSFS :“DMA Read Channel Block Size Fault”DMA 読出しブロックサイズ違反検出ビット

bit	説明
0	DMA ブロックサイズ違反がありません。[初期値]
1	DMA ブロックサイズ違反があります。

本ビットは、ダイレクトモード時、DMA 読出しチャネルにおいてブロックサイズ違反が発生したことを示す割込み要因フラグです。

HS_SPI コントローラの受信ブロックカウンタがゼロのとき、RX-FIFO への有効な読出しアクセスが実行されると、本ビットは"1"になります。

本ビットは、HSSPIn_DMDMAEN.RXDMAEN が"1"のときに違反の検出を許可します。

HSSPIn_FAULTC.DRCBSFC ビットに"1"を書くと本ビットは"0"になります。

本ビットによる割込み要因はマスク不可です。

[bit3] DWCBSFS :“DMA WriteChannel Block Size Fault”DMA 書込みブロックサイズ違反検出ビット

bit	説明
0	DMA ブロックサイズ違反がありません。[初期値]
1	DMA ブロックサイズ違反があります。

本ビットは、ダイレクトモード時、DMA 書込みチャネルにおいてブロックサイズ違反が発生したことを示す割込み要因フラグです。

HS_SPI コントローラの送信ブロックカウンタがゼロのとき、TX-FIFO への有効な書込みアクセスが実行されると、本ビットは"1"になります。

本ビットは、HSSPIn_DMDMAEN.TXDMAEN が"1"のときに違反の検出を許可します。

HSSPIn_FAULTC.DWCBSFC ビットに"1"を書くと本ビットは"0"になります。

本ビットによる割込み要因はマスク不可です。

[bit2] PVFS :“Protection Violation Fault” 保護違反検出ビット

bit	説明
0	保護違反がありません。[初期値]
1	保護違反があります。

本ビットは、保護違反が発生したことを示す割込み要因フラグであり、下記のいずれかの条件を満たすとセットされます。

■ レジスタの存在しないレジスタ領域への読出しアクセス。
(レジスタ領域のうち AHB アドレス下位 10 ビットが 0x100～0x3FF への読出し)

■ レジスタへの不正なアクセス。
HSSPIn_TXFIFO0~15、HSSPIn_RXFIFO0~15 レジスタに対するアクセスが FIFO 幅(HSSPIn_FIFOCFG.FWIDTH)に一致しない場合。ただし、FWIDTH="10"(24 ビット設定)のときはワードアクセスが有効となります。

■ 書込み不可であるレジスタ領域への書込みアクセス。
(レジスタ領域のうち AHB アドレス[9:0]=0x100～0x3FF への書込み、またはバイト単位で予約になっているところへの書込み。たとえば、HSSPIn_FIFOCFG レジスタの上位 16 ビットにハーフワードやバイトで書いた場合)

本ビットは、HSSPIn_DMDMAEN.TXDMAEN が"1"のときに違反の検出を許可します。
HSSPIn_FAULTC.PVFC ビットに"1"を書くと本ビットは"0"になります。
本ビットによる割込み要因はマスク不可です。

[bit1] WAFS :“Write Access Fault” 書込みアクセス違反検出ビット

bit	説明
0	書込みアクセス違反がありません。[初期値]
1	書込みアクセス違反があります。

本ビットは、書込みアクセス違反が発生したことを示す割込み要因フラグです。
コマンドシーケンサモード時、HSSPIn_CSCFG.SRAM を"0"に設定し、システムメモリ上の外部シリアルメモリを割り当てた領域に書込みアクセスを行うと、本ビットが"1"になります。
HSSPIn_FAULTC.WAFC ビットに"1"を書くと本ビットは"0"になります。
本ビットによる割込み要因はマスク不可です。

[bit0] UMAFS :“Unmapped Memory Access Fault” メモリアクセス違反検出ビット

bit	説明
0	UMA 違反がありません。[初期値]
1	UMA 違反があります。

本ビットは、割り当てられていないメモリ領域へのアクセス違反を示す割込み要因フラグです。

本ビットは、以下のいずれかの条件で"1"になります。

- ダイレクトモード(HSSPIn_MCTRL.CSEN="0")で、AHB マスタが HS_SPI Base Address から始まる 256M バイトのメモリ空間にアクセスした場合。
- コマンドシーケンサモード(HSSPIn_MCTRL.CSEN="1")で、イネーブルになっていない外部シリアルメモリ領域に AHB マスタがアクセスした場合。イネーブルになっていない状態は、HSSPIn_CSCFG.SSEL0EN~SSEL3EN のビット群で表されます。
- コマンドシーケンサモード(HSSPIn_MCTRL.CSEN="1")で、AHB マスタが外部シリアルメモリを割り当てていない領域にアクセスした場合。この割当ては、HSSPIn_CFGFG.MSEL で表されます。
- HS_SPI コントローラがディセーブル状態(HSSPIn_MCTRL.MEN="0")のとき、AHB マスタがシステムメモリ空間の外部シリアルメモリを割り当てた領域にアクセスした場合。

HSSPIn_FAULTC.UMAFC ビットに"1"を書くと本ビットは"0"になります。

本ビットによる割込み要因はマスク不可です。

3.11 HS-SPI 違反割込みクリアレジスタ(HSSPIn_FAULTC)

本レジスタは、HSSPIn_FAULTF レジスタの状態を"0"にクリアします。

本レジスタのビットに"1"を書くことによって、HSSPIn_FAULTF レジスタ内の関連する割込み要因フラグをクリアすることができます。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	DRCBSFC	DWCBSFC	PVFC	WAFC	UMAFC
属性	R	R	R	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

[bit31:5] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit4] DRCBSFC :“DMA Read Channel Block Size Fault Interrupt Clear”DMA 読出しブロックサイズ違反検出ビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_FATLTF.DRCBSFS をクリアするビットです。

[bit3] DWCBSFC：“DMA Write Channel Block Size Fault Interrupt Clear”DMA 書込みブロックサイズ違反検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_FATLTF.PVFS をクリアする制御ビットです。

[bit2] PVFC：“Protection Violation Fault Interrupt Clear” 保護違反検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_FATLTF.PVFS ビットをクリアするビットです。

[bit1] WAFC：“Write Access Fault Interrupt Clear” 書込みアクセス違反検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_FATLTF.WAFS ビットをクリアするビットです。

[bit0] UMAFC：“Unmapped Memory Access Fault Interrupt Clear”メモリアクセス違反検出クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで割込みフラグをクリアします。

本ビットは、HSSPIn_FATLTF.UMAFS をクリアするビットです。

3.12 HS-SPI ダイレクトモード設定レジスタ (HSSPIn_DMCFG)

本レジスタは、HS_SPI コントローラの下記の動作について設定を行います。

- 送受信の停止をソフトウェア制御、またはバイトカウンタモードにするか。
- 転送の開始を iMSTART 端子で行うかどうか。

本レジスタは HS_SPI コントローラがダイレクトモード時のみ有効です。

Bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	予約	予約	SSDC	予約
属性	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	1

[bit7:2] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit1] SSDC :“Slave Select Deassertion Control”スレーブ選択ディアサーション設定ビット

bit	説明
0	ソフトウェア制御です。 HSSPIn_DMSTOP.STOP ビットに"1"を設定することより、送受信を停止します。 [初期値]
1	バイトカウンタモードです。 HSSPIn_DMBCS.BCS ビットが 0 になると、送受信を停止します。

本ビットの設定の条件を満足すると送受信を停止し、スレーブ選択をネゲートします。

[bit0] 予約 :予約ビット

予約ビットは、"1"が読み出され、書込みの場合"1"を設定してください。

3.13 HS-SPI ダイレクトモード DMA イネーブルレジスタ (HSSPIn_DMDMAEN)

本レジスタは、DMA サービス要求を有効、無効に設定します。

また、本レジスタはダイレクトモード時のみ有効です。

Bit	15	6	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	TXDMAEN	RXDMAEN
属性	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:2] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit1] TXDMAEN :“TXDMA Enable”送信 DMA イネーブルビット

bit	説明
0	送信 DMA は無効です。[初期値]
1	送信 DMA は有効です。

[bit0] RXDMAEN :“RXDMA Enable”受信 DMA イネーブルビット

bit	説明
0	受信 DMA は無効です。[初期値]
1	受信 DMA は有効です。

<注意事項>

- *本レジスタは HS-SPI コントローラからの DMA 転送要求の有効・無効を設定するものです。DMA 転送要求を使用する場合、DSTC の DREQENB レジスタを必ず"1"に設定して使用してください。"0"に設定した場合、転送要求は DSTC に受け付けられず、転送処理が正しく行われません。詳細は『ペリフェラルマニュアル』の『DSTC』の章を参照してください。*
- *DSTC の DES0.ACK[1:0]は ACK=01 に設定してください。ACK=00 に設定した場合、DMA 転送が正しく行われません。詳細は『ペリフェラルマニュアル』の『DSTC』の章を参照してください。*
- *本レジスタを “1” に設定する前に、DMA BRIDGE 制御レジスタ(DBCNT)を"1"にしてください。また、DMA 転送終了後、本レジスタを “0” に設定した後に、DMA BRIDGE 制御レジスタ(DBCNT)を"0"にしてください。詳細は『HS_SPI プリスケーラ』の章を参照してください。*

3.14 HS-SPI ダイレクトモード転送開始制御レジスタ (HSSPIn_DMSTART)

本レジスタは、シリアル転送の開始を設定します。

本レジスタはダイレクトモード時のみ有効です。

Bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	予約	予約	予約	START
属性	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:1] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit0] START :転送開始ビット

bit	説明
0	"0"書込みは無効です。転送開始が終了したことを示します。[初期値]
1	"1"書込みでダイレクトモードの転送開始を設定します。

本ビットに"1"を書いた後、シリアル転送が開始すると、本ビットは自動的に"0"に戻ります。このシリアル転送中に本ビットをセットすることは可能ですが、以下の動作になります。

- 送信動作：
  前のシリアル転送が終了し(TSSRS ビットがセットされる)、TX-FIFO に送信データが書き込まれるとシリアル送信動作を開始します。転送開始後に本ビットは上記と同様に自動的にクリアされます。
- 受信動作：
  前のシリアル転送が終了すると(RSSRS ビットがセットされる)、次のシリアル受信動作を開始します。転送開始後に本ビットは上記と同様に自動的にクリアされます。

TX-and-RX モードの場合、送信動作が優先されます。

3.15 HS-SPI ダイレクトモード転送停止制御レジスタ(HSSPIn_DMSTOP)

本レジスタは、HS_SPI コントローラがダイレクトモードでソフトウェア制御モード(HSSPIn_DMCFG.SSDC="0")のとき、送受信の停止を行います。

本レジスタの STOP ビットがセットされると、現在のシリアル転送を停止するまで STOP ビットをクリアすることは禁止です。

Bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	STOP
属性	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:9] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit8] STOP :転送停止ビット

bit	説明
0	転送停止を設定していません。[初期値]
1	転送停止を設定します。

本ビットは、ソフトウェア制御(HSSPIn_DMCFG.SSDC="0")に設定されている場合のみ有効です。それ以外の条件では、本ビットへの書込みは無視されます。

本ビットに"1"を書き込むと、スレーブ選択は下記の条件によって異なる動作をします。

- TX-Only モード:
  本ビットは"1"にセットされ、TX-FIFO 内のデータをすべて送信すると、送信動作を終了します。
- RX-Only モード:
  本ビットは"1"にセットされ、受信シフトレジスタに受信中の受信動作を完了すると、受信動作を停止(SCLK 出力動作を停止し、SSELm(m=0~3)をネゲート)します。たとえば FIFO のビット幅が 32 ビット(HSSPIn_FIFOCFG.FWIDTH[1:0]="11")のとき、受信シフトレジスタ内に 32 ビットのデータが揃った時点で、これを RX-FIFO に転送して停止します。
  RX-FIFO が Full でホールド状態(スレーブ選択がアサートした状態でシリアルクロックが停止している)の場合、RX-FIFO のデータを読み出すと停止します。
- TX-and-RX モード:
  本ビットは" 1"にセットされ、TX-FIFO 内のデータをすべて送信するか、または RX-FIFO が Full になると、送受信動作を停止します。RX-FIFO が Full でシリアルインタフェースがホールド状態のとき、RX-FIFO の受信データを読み出すと送受信を停止します。

<注意事項>

- *本ビットに"1"を書いた場合、HSSPIn_RXF.RSSRS="1"になるまで、本ビットに"0"を書くことは禁止です。*
- *本ビットは自動で"0"にはなりません。*

3.16 HS-SPI ダイレクトモードスレーブ選択レジスタ (HSSPIn_DMPSEL)

本レジスタは、HS_SPI コントローラが 4 つのスレーブ選択信号の 1 つを選択してシリアル転送ができるようにします。

本レジスタはダイレクトモード時のみ有効です。

Bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	PSEL[1]	PSEL[0]
属性	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit23:18] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit17:16] PSEL :“Peripheral Select” スレーブ選択ビット

bit	説明
00	スレーブ 0(SSEL0)を選択。 [初期値]
01	スレーブ 1(SSEL1)を選択。
10	スレーブ 2(SSEL2)を選択。
11	スレーブ 3(SSEL3)を選択。

本ビットは、4 つのスレーブ選択 SSEL0~SSEL3 から 1 つを選択して有効にします。

＜注意事項＞

- *選択可能なスレーブデバイスはご使用になる製品によって異なりますので、『データシート』を参照してください。*

3.17 HS-SPI ダイレクトモード転送プロトコル設定レジスタ (HSSPIn_DMTRP)

本レジスタは、シリアル転送に用いるプロトコルを設定します。

本レジスタはダイレクトモード時のみ有効です。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	TRP[3]	TRP[2]	TRP[1]	TRP[0]
属性	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:28] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit27:26] TRP :“Transfer Protocol” 転送プロトコル設定ビット(転送方向)

bit	説明
00	TX-and-RX モードです。この場合、TRP[1:0]は"00"に設定してください。 [初期値]
01	RX-Only モードです。
10	TX-Only モードです。
11	予約("00"と同じ動作になります)。

[bit25:24] TRP :“Transfer Protocol” 転送プロトコル設定ビット(転送ビット幅)

bit	説明
00	シングルビットです。 [初期値]
01	デュアルビット(2 ビット幅)です。 この場合、TRP[3:2]は"01"または"10"に設定してください。
10	クアッドビットモード(4 ビット幅)。 この場合、TRP[3:2]は"01"または"10"に設定してください。
11	予約("00"と同じ動作になります)。

<注意事項>

- *TX-and-RX モードで送信動作のみ行いたい場合でも、RX-FIFO に受信データがたまることになるので RX-FIFO から受信データを読み出す必要があります。*

3.18 HS-SPI ダイレクトモード転送バイト数設定レジスタ (HSSPIn_DMBCC)

本レジスタは、シリアル転送におけるデータ転送量をバイト単位で設定します。バイトカウンタモード (HSSPIn_DMCFG.SSDC="1")のとき、本レジスタは使用されます。

本レジスタはダイレクトモード時のみ有効です。

Bit	15	14	13	12	11	10	9	8
Field	BCC[15]	BCC[14]	BCC[13]	BCC[12]	BCC[11]	BCC[10]	BCC[9]	BCC[8]
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	BCC[7]	BCC[6]	BCC[5]	BCC[4]	BCC[3]	BCC[2]	BCC[1]	BCC[0]
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:0] BCC :“Byte Count Control” 転送バイト数設定値

本ビットは、シリアル転送のデータ量をバイト単位で設定します。本ビットは送受信を開始する前 (HSSPIn_DMSTART.START="0")にデータ量をバイト単位で設定してください。

本ビットはシリアル転送の開始時に HSSPIn_DMBCS.BCS ビットに取り込まれ、TX-FIFO または RX-FIFO とシフトレジスタに転送するごとに「FWIDTH[1:0]+1」ずつ減算していきます。HSSPIn_DMBCS.BCS ビットがゼロになると、HS_SPI コントローラはシリアル転送を終了してスレーブ選択をネゲートし、送受信を停止します。

BCC ビットが HSSPIn_FIFOCFG.FWIDTH ビットで設定したビット数の倍数でない場合、HSSPIn_FIFOCFG.FWIDTH ビットで指定されたバイトで送受信し、最終データは残りのバイトで送受信を行います。FIFO へのアクセスは残りのバイトに関係なく、HSSPIn_FIFOCFG.FWIDTH ビットで指定されたバイト幅でアクセスしてください。たとえば、BCC=9、HSSPIn_FIFOCFG.FWIDTH=3 の場合、8 バイトまでは、32 ビット長で FIFO にアクセスして送受信を行います。残りの 1 バイトは 32 ビット長で FIFO にアクセスしますが、下記の 8 ビットが有効データとして取り扱われます。

- HSSPIn_PCCx.SENDIAN=0 設定時、FIFO ワードデータのビット[31:24]
- HSSPIn_PCCx.SENDIAN=1 設定時、FIFO ワードデータのビット[7:0]

＜注意事項＞

- ***バイトカウンタモードを使用する場合、BCC ビットには 1 以上の値を設定してください。***

3.19 HS-SPI ダイレクトモード転送カウント残数レジスタ (HSSPIn_DMBCS)

本レジスタは読出し専用であり、現在の送受信の残数を知ることができます。本レジスタは

- ダイレクトモード
- フロー制御がバイトカウンタモード(HSSPIn_DMCFG.SSDC="1")

の条件をすべて満たすときに有効です。

Bit	31	30	29	28	27	26	25	24
Field	BCS[15]	BCS[14]	BCS[13]	BCS[12]	BCS[11]	BCS[10]	BCS[9]	BCS[8]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	BCS[7]	BCS[6]	BCS[5]	BCS[4]	BCS[3]	BCS[2]	BCS[1]	BCS[0]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit31:16] BCS :“Byte Count Status” 転送残りバイト数

本ビットは読出し専用であり、現在の送受信のデータ残数をバイト単位で示します。本ビットは、以下の条件がすべて成り立つときのみ有効です。

- HS_SPI コントローラがダイレクトモードである。
- HSSPIn_DMCFG.SSDC が"1"に設定されている(バイトカウンタモード)。

HSSPIn_DMBCC.BCC ビットが設定されてシリアル転送が開始されると、HSSPIn_DMBCC.BCC ビットが BCS の初期値として渡され、以降 TX-FIFO、RX-FIFO からシフトレジスタ間でデータが転送されるごとに、BCS は「FWIDTH[1:0]+1」ずつ減算していきます。本レジスタが 0 になると送受信を停止します。

3.20 HS-SPI ダイレクトモードステータスレジスタ (HSSPIn_DMSTATUS)

本レジスタはステータスビットを含むものであり、送信/受信が動作中であるかどうか、および現在の送受信 FIFO の有効データ数を知ることができます。

本レジスタはダイレクトモード時のみ有効です。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	TXFLEVEL[4]	TXFLEVEL[3]	TXFLEVEL[2]	TXFLEVEL[1]	TXFLEVEL[0]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	RXFLEVEL[4]	RXFLEVEL[3]	RXFLEVEL[2]	RXFLEVEL[1]	RXFLEVEL[0]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	予約	予約	TXACTIVE	RXACTIVE
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit31:21] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit20:16] TXFLEVEL[4:0] :“Current fill level of TX-FIFO” TX-FIFO 内のデータ残数表示ビット

本ビットは、TX-FIFO の有効なデータ数を示します。FIFO の 1 段は「FWIDTH+1」で示されるデータ数を表します。

[bit15:13] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit12:8] RXFLEVEL[4:0] :“Current fill level of RX-FIFO” RX-FIFO 内のデータ残数表示ビット

本ビットは、RX-FIFO の有効なデータ数を示します。FIFO の 1 段は「FWIDTH+1」で示されるデータ数を表します。

[bit1] TXACTIVE :送信状態ビット

bit	説明
0	シリアル送信中ではありません。 [初期値]
1	シリアル送信中です。

本ビットは、シリアルデータ送信動作が進行中であることを示します。HSSPIn_DMSTART.START ビットに"1"をセットしてシリアルインタフェース上に送信を開始するときにセットされ、送信データの最終ビットが送信し終えるとクリアされます。

[bit0] RXACTIVE :受信状態ビット

bit	説明
0	シリアル受信中ではありません。[初期値]
1	シリアル受信中でです。

本ビットは、シリアルデータ受信動作が進行中であることを示します。HSSPIn_DMSTART.START ビットに"1"をセットしてシリアルインタフェース上で受信を開始するときにセットされ、データの最終ビットを受信し終えるとクリアされます。

3.21 HS-SPI TX-FIFO レジスタ (HSSPIn_TXFIFO0～15)

本レジスタ群は TX-FIFO に送信データを書き込むために使用されます。TX-FIFO データ書込みレジスタは、レジスタマップ上に 16 個連続して存在します。この 16 個のレジスタ群はすべて同機能を持ちます。AHB プロトコルは同一アドレスに対するバーストアクセスに対応していないため、このような構成となっています。本章では、これら 16 個のレジスタの 1 つ HSSPIn_TXFIFO0 を代表して説明します。
これらのレジスタは FIFO 幅(HSSPIn_FIFOCFG.FWIDTH)と同じバス幅でアクセスしてください。バス幅が合わないアクセスをすると、保護違反を引き起こします。

Bit	31	30	29	28	27	26	25	24
Field	TXDATA [31]	TXDATA [30]	TXDATA [29]	TXDATA [28]	TXDATA [27]	TXDATA [26]	TXDATA [25]	TXDATA [24]
属性	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	TXDATA [23]	TXDATA [22]	TXDATA [21]	TXDATA [20]	TXDATA [19]	TXDATA [18]	TXDATA [17]	TXDATA [16]
属性	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	TXDATA [15]	TXDATA [14]	TXDATA [13]	TXDATA [12]	TXDATA [11]	TXDATA [10]	TXDATA [9]	TXDATA [8]
属性	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TXDATA [7]	TXDATA [6]	TXDATA [5]	TXDATA [4]	TXDATA [3]	TXDATA [2]	TXDATA [1]	TXDATA [0]
属性	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

[bit31:0] TXDATA[31:0] :“TX-FIFO Register 0” TX-FIFO0 書込みデータ

本ビットフィールドは、TX-FIFO に送信データを書き込むためのものです。この書込み動作は、本レジスタの順番 HSSPIn_TXFIFO0～HSSPIn_TXFIFO15 には依存しません。
TXDATA[31:0]へ書き込む前に HSSPIn_FIFOCFG.TXCTRL ビットに出力 Hi-Z にするデータかどうかを指定してから TXDATA[31:0]に書き込んでください。詳細は「2.4 ダイレクトモード」の「2.4.5 データ出力のトライステート制御」を参照してください。
TXDATA[31:0]への書込みアクセスは、FIFO 幅(FWIDTH[1:0])の指定にしたがって書込みを行ってください。これを無視して書き込んだ場合、その書込み動作は無効となり、エラーで応答するとともに違反割込み(PVFS 起因)が発生します。

FWIDTH[1:0]	TXDATA[31:0]へのアクセス
00	8bit アクセス
01	16bit アクセス
10	32bit アクセス
11	32bit アクセス

3.22 HS-SPI RX-FIFO レジスタ (HSSPIn_RXFIFO0～15)

本レジスタ群は RX-FIFO より受信データを読み出すために使用されます。RX-FIFO データ読出しレジスタは、レジスタマップ上に 16 個連続して存在します。この 16 個のレジスタ群はすべて同機能を持ちます。AHB プロトコルは同一アドレスに対するバーストアクセスに対応していないため、このような構成となっています。本章では、これら 16 個のレジスタの 1 つ HSSPIn_RXFIFO0 を代表して説明します。

これらのレジスタは FIFO 幅(HSSPIn_FIFOCFG.FWIDTH)と同じバス幅でアクセスしてください。バス幅が合わないアクセスをすると、保護違反を引き起こします。

Bit	31	30	29	28	27	26	25	24
Field	RXDATA [31]	RXDATA [30]	RXDATA [29]	RXDATA [28]	RXDATA [27]	RXDATA [26]	RXDATA [25]	RXDATA [24]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	RXDATA [23]	RXDATA [22]	RXDATA [21]	RXDATA [20]	RXDATA [19]	RXDATA [18]	RXDATA [17]	RXDATA [16]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	RXDATA [15]	RXDATA [14]	RXDATA [13]	RXDATA [12]	RXDATA [11]	RXDATA [10]	RXDATA [9]	RXDATA [8]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RXDATA [7]	RXDATA [6]	RXDATA [5]	RXDATA [4]	RXDATA [3]	RXDATA [2]	RXDATA [1]	RXDATA [0]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

[bit31:0] RXDATA[31:0] :“RX-FIFO Register 0” RX-FIFO0 読出しデータ

本ビットフィールドは、RX-FIFO より受信データを読み出すためのものです。この読出し動作は、本レジスタの順番 HSSPIn_RXFIFO0～HSSPIn_RXFIFO15 には依存しません。

RXDATA[31:0]からの読出しアクセスは、FIFO 幅(FWIDTH[1:0])の指定にしたがって読出しを行ってください。これを無視して読み出した場合、その読出し動作は無効となり、エラーで応答するとともに違反割込み(PVFS 起因)が発生します。

FWIDTH[1:0]	RXDATA[31:0]へのアクセス (AHB 上のデータ幅)
00	8bit アクセス
01	16bit アクセス
10	32bit アクセス
11	32bit アクセス

3.23 HS-SPI FIFO 設定レジスタ (HSSPIn_FIFOCFG)

本レジスタは、TX-FIFO および RX-FIFO の動作を設定します。FIFO しきい値および FIFO のデータビット幅を設定することができます。また、TXFLSH および RXFLSH ビットによって送受信の FIFO を空にすることもできます。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	TXFLSH	RXFLSH	TXCTRL	FWIDTH [1]	FWIDTH [0]
属性	R	R	R	W	W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TXFTH [3]	TXFTH [2]	TXFTH [1]	TXFTH [0]	RXFTH [3]	RXFTH [2]	RXFTH [1]	RXFTH [0]
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	1	1	0	1	1	1

[bit31:13] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit12] TXFLSH :“TX-FIFO Flush” TX-FIFO クリアビット

bit	説明
0	"0"書込みは無効です。読出し値は常に"0"となります。[初期値]
1	"1"書込みで TX-FIFO をクリアし、Empty 状態になります。

本ビットは、TX-FIFO の内部状態を初期化します。データをクリアするものではありません。

[bit11] RXFLSH :“RX-FIFO Flush” RX-FIFO クリアビット

bit	説明
0	TX-FIFO への書込みデータ(HSSPIn_TXFIFO0～15)は、送信データとして送信されます。 [初期値]
1	TX-FIFO への書込みデータ(HSSPIn_TXFIFO0～15)の有効ビット範囲の最下位ビットにしたがって、以下のように送信を制御します。 0: シリアルデータ出力は 1 バイトのデータ分、Hi-Z となります。TX-FIFO 内に該当するデータは送信されません。 1: TX-FIFO 内に該当するデータの下位 8 ビットを使用します。この 8 ビットの内、上位 4 ビットが送信され、続く 4 ビット時間、SDATA 出力は Hi-Z になります。

本ビットに"1"または"0"を設定してから HSSPIn_TXFIFO0～15 レジスタにデータを書いてください。その書かれたデータが本ビットによって制御されて送信されます。HS_SPI コントローラ内でそのデータと本ビットの関係は保持されているので途中で本ビットを変更しても問題ありません。

＜注意事項＞

- *TXCTRL ビットに"1"を設定した場合、FIFO のビット幅に関係なく、書き込まれたデータは 8 ビットとして取り扱います。FWIDTH 値で設定した有効なビット範囲の LSB が上記の「TX-FIFO データのビット[0]」に相当します。*

[bit10] TXCTRL :“TX-FIFO Control” TX-FIFO 送信データ制御ビット

bit	説明
0	TX-FIFO への書込みデータ(HSSPIn_TXFIFO0～15)は、そのままデータとして送信されます。 [初期値]
1	TX-FIFO への書込みデータ(HSSPIn_TXFIFO0～15)は、有効ビット範囲の最下位ビットに応じて、以下の送信制御となります。 0: シリアルデータ出力は 1 バイトのデータ分、Hi-Z となります。 TX-FIFO 内に該当するデータは送信されません。 1: TX-FIFO 内に該当するデータの下位 8 ビットを使用します。この 8 ビットの内、上位 4 ビットが送信され、続く 4 ビット時間、SDATA 出力は Hi-Z になります。

本ビットに"1"または"0"を設定してから HSSPIn_TXFIFO0～15 レジスタにデータを書いてください。その書かれたデータが本ビットによって制御されて送信されます。HS_SPI コントローラ内でそのデータと本ビットの関係は保持されているので途中で本ビットを変更しても問題ありません。

＜注意事項＞

- *TXCTRL ビットに” 1”を設定した場合、FIFO のビット幅に関係なく、書き込まれたデータは 8 ビットとして取り扱います。FWIDTH 値で設定した有効なビット範囲の LSB が上記の「TX-FIFO データのビット[0]」に相当します。*

[bit9:8] FWIDTH[1:0] :“FIFO Width” FIFO ビット幅設定値

bit	説明
00	TX-FIFO, RX-FIFO および送受信データ長はすべて 8 ビット幅です。[初期値]
01	TX-FIFO, RX-FIFO および送受信データ長はすべて 16 ビット幅です。
10	TX-FIFO, RX-FIFO および送受信データ長はすべて 24 ビット幅です。
11	TX-FIFO, RX-FIFO および送受信データ長はすべて 32 ビット幅です。

本ビットは、FIFO のビット幅を示します。

[bit7:4] TXFTH[3:0] :“TX-FIFO Threshold Level” TX-FIFO 閾値
本ビットは、TX-FIFO のしきい値を示します。

[bit3:0] RXFTH[3:0] :“RX-FIFO Threshold Level” RX-FIFO 閾値
本ビットは、RX-FIFO のしきい値を示します。

3.24 HS-SPI コマンドシーケンサ設定レジスタ(HSSPIn_CSCFG)

本レジスタは、コマンドシーケンサモードで使用する転送プロトコル種別、メモリ書込みの可/不可、メモリデバイスの容量などを設定します。コマンドシーケンサモードを有効にする前に、本レジスタを設定してください。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	MSEL [3]	MSEL [2]	MSEL [1]	MSEL [0]
属性	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	SSEL3EN	SSEL2EN	SSEL1EN	SSEL0EN
属性	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	予約	MBM [1]	MBM [0]	SRAM
属性	R	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:20] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit19:16] MSEL[3:0] :“Memory Device Selection bits”メモリデバイス選択ビット

使用するメモリデバイスの各メモリバンク領域にしたがって本ビットを設定します。詳細は「2.5 コマンドシーケンサモード」の「2.5.232 ビットメモリアドレス」を参照してください。

[bit15:12] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit11] SSEL3EN :“Slave Select 3 Enable”スレーブ選択 3 イネーブルビット

bit	説明
0	スレーブ選択 3 が割り当てられている領域へのアクセスを禁止します。 [初期値]
1	スレーブ選択 3 が割り当てられている領域へのアクセスを有効にします。

本ビットは、スレーブ選択 3 を有効にするビットです。

[bit10] SSEL2EN :“Slave Select 2 Enable”スレーブ選択 2 イネーブルビット

bit	説明
0	スレーブ選択 2 が割り当てられている領域へのアクセスを禁止します。 [初期値]
1	スレーブ選択 2 が割り当てられている領域へのアクセスを有効にします。

本ビットは、スレーブ選択 2 が有効となることを示す制御ビットです。

[bit9] SSEL1EN :“Slave Select 1 Enable”スレーブ選択 1 イネーブルビット

bit	説明
0	スレーブ選択 1 が割り当てられている領域へのアクセスを禁止します。 [初期値]
1	スレーブ選択 1 が割り当てられている領域へのアクセスを有効にします。

本ビットは、スレーブ選択 1 が有効となることを示す制御ビットです。

[bit8] SSEL0EN :“Slave Select 0 Enable”スレーブ選択 0 イネーブルビット

bit	説明
0	スレーブ選択 0 が割り当てられている領域へのアクセスを禁止します。 [初期値]
1	スレーブ選択 0 が割り当てられている領域へのアクセスを有効にします。

本ビットは、スレーブ選択 0 が有効となることを示す制御ビットです。

[bit7:3] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit2:1] MBM[1:0] :“Multi Bit Mode”SPI データ幅設定ビット

bit	説明
00	シリアルインタフェースはシングルビットになります。SDATA[0]より受信し、SDATA[1]から送信します。 [初期値]
01	シリアルインタフェースはデュアルビットになります。SDATA[1:0]で送受信を行います。
10	シリアルインタフェースはクアッドビットになります。SDATA[3:0]で送受信を行います。
11	予約のため設定禁止です。

本ビットは、シリアルインタフェースのビット幅を設定するビットです。HSSPIn_RDCSDC0～7.TRP ビット、HSSPIn_WRCSDC0～7.TRP ビットの設定に依存します。本ビットはコマンドシーケンサモードのとき、有効です。

[bit0] SRAM :“Serial SRAM /Serial FlashMemory Type Select”「リード/ライト可能」/「リードオンリ」選択ビット

bit	説明
0	書込みアクセスは不可となります。 [初期値]
1	書込みアクセスは可能となります。

コマンドシーケンサモードによってメモリに書込みを行う場合には、本ビットに"1"を設定してください。

3.25 HS-SPI コマンドシーケンサアイドルタイマ設定レジスタ(HSSPIn_CSITIME)

本レジスタは AHB インタフェースのアイドル時間を計測するタイマを設定します。このタイマが本レジスタ値のサイクル数に達すると、シリアルインタフェースのトランザクションを終了します。コマンドシーケンサモードを有効にする前に、本レジスタを設定してください。本レジスタはコマンドシーケンサモード時、有効です。

Bit	31	30	29	28	27	26	25	24
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	ITIME [15]	ITIME [14]	ITIME [13]	ITIME [12]	ITIME [11]	ITIME [10]	ITIME [9]	ITIME [8]
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

bit	7	6	5	4	3	2	1	0
Field	ITIME [7]	ITIME [6]	ITIME [5]	ITIME [4]	ITIME [3]	ITIME [2]	ITIME [1]	ITIME [0]
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

[bit31:16] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit15:0] ITIME[15:0] :“ Idle Timer”アイドルタイマ設定値

本ビットは AHB インタフェースのアイドル時間を設定します。コマンドシーケンサモード時、有効です。

3.26 HS-SPI コマンドシーケンサアドレス拡張レジスタ(HSSPIn_CSAEXT)

本レジスタは、コマンドシーケンサモードでメモリ上に割り付けられる空間を拡張します。

これによって、仮想的に最大 16G バイトまでのシリアルメモリにアクセスすることができます。アドレス拡張機能を使用しない場合、本レジスタの全ビットを 0 に設定してください。本レジスタはコマンドシーケンサモード時、有効です。

Bit	31	30	29	28	27	26	25	24
Field	AEXT [18]	AEXT [17]	AEXT [16]	AEXT [15]	AEXT [14]	AEXT [13]	AEXT [12]	AEXT [11]
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	AEXT [10]	AEXT [9]	AEXT [8]	AEXT [7]	AEXT [6]	AEXT [5]	AEXT [4]	AEXT [3]
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	AEXT [2]	AEXT [1]	AEXT [0]	予約	予約	予約	予約	予約
属性	R/W	R/W	R/W	R0	R0	R0	R0	R0
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R0	R0	R0	R0	R0	R0	R0	R0
初期値	0	0	0	0	0	0	0	0

[bit31:13] AEXT[18:0] :“ Address Extension Bits”アドレス拡張ビット

本ビットはコマンドシーケンサモード時、メモリ上のアドレスを拡張します。ここに設定した値がコマンドシーケンサによってメモリアドレスのビット範囲[31:13]として使用されます。このときに MSEL の設定に従い、メモリアドレスの[31:13]～[31:28]として使用されます。

スレーブ選択ごとに生成されるアドレスは、本ビット値と AHB アドレス値を組み合わせたものとなります。

詳細は「2.5 コマンドシーケンサモード」の「2.5.232 ビットメモリアドレス」を参照してください。

アドレス拡張を用いない場合、本ビットに 0x00000000 を設定してください。

[bit12:0] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

3.27 HS-SPI リードコマンドシーケンスデータ/コントロールレジスタ (HSSPIn_RDCSDC0~7)

本レジスタ群は、8 組のデータ/制御レジスタから成り、メモリ読出し動作においてコマンドシーケンサより生成されるシリアル転送のフェーズを設定します。これらのレジスタ群はコマンドシーケンサモード時、
有効です。

この 8 個のレジスタ群は同様の構造を持つため、本章では HSSPIn_RDCSDC0 レジスタを代表して説明します。

Bit	15	14	13	12	11	10	9	8
Field	RDCS DATA[7]	RDCS DATA[6]	RDCS DATA[5]	RDCS DATA[4]	RDCS DATA[3]	RDCS DATA[2]	RDCS DATA[1]	RDCS DATA[0]
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	CONT	TRP[1]	TRP[0]	DEC
属性	R0	R0	R0	R0	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:8] RDCSDATA[7:0] :“Command Sequencer Data /Control Byte for Memory-Readtransactions” リードコマンドシーケンサデータ/コントロール設定値

本ビットは、コマンドシーケンスでのデータ、制御コードを書き込むためのレジスタ群です。DEC は、RDCSDATA[7:0]をそのまま送信するか、デコードして送信するかを制御するビットです。詳細は「2.5 コマンドシーケンサモード」の「2.5.4.1 リードコマンドシーケンス」を参照してください。

＜注意事項＞

- *HSSPIn_RDCSDC0 レジスタに「リストの終端(DEC="1" & RDCSDATA[2:0]="111")」を設定することは禁止します。*

[bit7:4] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit3] CONT：“Continuous”Continuous 命令指定ビット

bit	説明
0	リスト省略をしません。 [初期値]
1	リスト省略をします。

本ビットは 2 回目以降のコマンド送信を省略するための制御ビットです。2 回目以降のコマンドを省略できるかどうかは、本ビットを使用する際には、使用するシリアルメモリのデータシートのコマンド体系を確認してください。詳細は「2.5 コマンドシーケンサモード」の「2.5.4.3 コンティニュアス命令」を参照してください。

＜注意事項＞

- *リストの省略から抜ける処理について「2.5 コマンドシーケンサモード」の「2.5.4.3 コンティニュアス命令」を参照してください。*
- *HSSPIn_RDCSDC0-7 レジスタの CONT ビットのうち、HSSPIn_RDCSDC1-7 レジスタの CONT ビットに”1”を設定することを禁止します。*

[bit2:1] TRP：“Transfer Protocol”シリアルインタフェース幅制御ビット

bit	説明
00	シリアルインタフェースのビット幅は、HSSPIn_CSCFG.MBM[1:0]の設定に従います。[初期値]
01	デュアルビット
10	クアッドビット
11	シングルビット

本ビットはシリアルインタフェースのビット幅を設定するビットです。

[bit0] DEC：“Decode”デコード制御ビット

bit	説明
0	RDCSDATA[7:0]をそのまま 1 バイトデータとして送信します。 [初期値]
1	RDCSDATA[2:0]を制御コードとしてデコードします。

本ビットは RDCSDATA[7:0]がデータであるか制御コードであるかを区別するための制御ビットです。詳細は「2.5 コマンドシーケンサモード」の「2.5.4.1 リードコマンドシーケンス」を参照してください。

3.28 HS-SPI ライトコマンドシーケンスデータ/コントロールレジスタ (HSSPIn_WRCSDC0~7)

本レジスタ群は、8 組のデータ/制御レジスタ群から成り、メモリ書込み動作においてコマンドシーケンサより生成されるシリアル転送のフェーズを設定します。これらのレジスタ群はコマンドシーケンサモード時、有効です。

この 8 個のレジスタ群は同様の構造を持つため、本章では HSSPIn_WRCSDC0 レジスタを代表して説明します。

Bit	15	14	13	12	11	10	9	8
Field	WRCS DATA[7]	WRCS DATA[6]	WRCS DATA[5]	WRCS DATA[4]	WRCS DATA[3]	WRCS DATA[2]	WRCS DATA[1]	WRCS DATA[0]
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	CONT	TRP[1]	TRP[0]	DEC
属性	R0	R0	R0	R0	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:8] WRCSDATA[7:0] :“Command Sequencer Data /Control Byte for Memory-Write transactions”ライトコマンドシーケンサデータ/コントロール設定値

本ビットは、コマンドシーケンスに与えるデータ、制御コードを書き込むためのレジスタ群です。DEC は、WRCSDATA[7:0]をそのまま送信するか、デコードして送信するかを制御するビットです。詳細は「2.5 コマンドシーケンサモード」の「2.5.4.2 ライトコマンドシーケンス」を参照してください。

[bit7:4] 予約 :予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit3] CONT :“Continuous”Continuous 命令指定ビット

bit	説明
0	リスト省略をしません。 [初期値]
1	リスト省略をします。

<注意事項>

- *WRCSDC0~7 レジスタの CONT ビットに"0"を設定してください。*

[bit2:1] TRP :“Transfer Protocol”シリアルインタフェース幅制御ビット

bit	説明
00	シリアルインタフェースのビット幅は、HSSPIn_CSCFG.MBM[1:0]の設定に従います。[初期値]
01	デュアルビット
10	クアッドビット
11	シングルビット

本ビットはシリアルインタフェースのビット幅を設定するビットです。

＜注意事項＞

- *WRCSDC0~7 までにリストの終端が見つからなかった場合、WRCSDC7 の TRP ビットの設定値が使用されます。*

[bit0] DEC :“Decode”デコード制御ビット

bit	説明
0	WRCSDATA[7:0]をそのまま 1 バイトのデータとして送信。 [初期値]
1	WRCSDATA[2:0]を制御コードとしてデコードします。

本ビットは WRCSDATA[7:0]がデータであるか制御コードであるかを区別するビットです。詳細は「2.5 コマンドシーケンサモード」の「2.5.4.2 ライトコマンドシーケンス」を参照してください。

3.29 HS-SPI モジュール識別レジスタ (HSSPIn_MID)

本レジスタはコントローラ固有の識別番号を示します。この識別番号は、HS_SPI コントローラの版数を意味します。

Bit	31	30	29	28	27	26	25	24
Field	MID [31]	MID [30]	MID [29]	MID [28]	MID [27]	MID [26]	MID [25]	MID [24]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	MID [23]	MID [22]	MID [21]	MID [20]	MID [19]	MID [18]	MID [17]	MID [16]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	MID [15]	MID [14]	MID [13]	MID [12]	MID [11]	MID [10]	MID [9]	MID [8]
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	1	1	0

bit	7	6	5	4	3	2	1	0
Field	MID [7]	MID [6]	MID [5]	MID [4]	MID [3]	MID [2]	MID [1]	MID [0]
属性	R	R	R	R	R	R	R	R
初期値	0	0	1	1	0	0	0	0

[bit31:0] MID[31:0] :“Module ID”モジュール識別情報ビット

本ビットフィールドは、読出し専用で、HS_SPI コントローラの固有なモジュール識別番号を示します。

この固有な識別番号は、HS_SPI コントローラの版数を示すのに用いられます。

4. HS_SPI コントローラ使用上の注意

本章は HS_SPI コントローラを使用する上で注意すべき事項を記載しています。

4.1 一般的な使用上の注意

以下に一般的な使用上の注意を記載します。各動作についての注意事項は動作説明やレジスタ説明に記載しています。

■ レジスタの変更タイミングについて

HS_SPI コントローラが動作禁止(HSSPIn_MCTRL.MEN="0", HSSPIn_MCTRL.MES="0")のとき、以下のレジスタまたはビットを変更してください。それ以外の条件では変更禁止です。

- HSSPIn_MCTRL レジスタ(MEN="1"を設定時、同時に他のビットの変更可能)
- HSSPIn_PCC0~3 レジスタ(全ビット対象)
- HSSPIn_DMCFG.SSDC ビット

ダイレクトモード時、HSSPIn_DMSTART.START ビットに"1"を設定する前までに以下のレジスタまたはビットを変更してください。

- HSSPIn_DMCFG.MSTARTEN ビット
- HSSPIn_DMPSEL レジスタ(全ビット対象)

他のレジスタは FIFO 以外、シリアルインタフェースが実行中(シリアルクロックが動作中)の変更は禁止です。

■ ダイレクトモードでの動作モード変更またはビット幅変更について

ダイレクトモード時、送受信動作中動作モード(TX-Only, RX-Only, TX-and-RX)やシリアルインタフェースのビット幅(シングルビット、デュアルビット、クワッドビット)を変更する場合、シリアルインタフェースがホールド状態(スレーブ選択がアサート状態でシリアルクロックが停止状態)のときに変更してください。

■ ダイレクトモードからコマンドシーケンサモードへの変更について

ダイレクトモードからコマンドシーケンサモードへ変更する場合、シリアルインタフェースがホールド状態(スレーブ選択がアサート状態でシリアルクロックが停止状態)のとき、以下の手順を行ってください。

1. HSSPIn_MCTRL.MEN ビットに"0"を設定する。
2. HSSPIn_TXF.TSSRS ビットまたは HSSPIn_RXF.RSSRS ビットが"1"になるのを待つ。
3. HSSPIn_MCTRL.MES ビットが"0"になるまで待つ。

HSSPIn_MCTRL.MES ビットが"0"になることによってコマンドシーケンサモードの各種設定が可能になります。

■ コマンドシーケンサモードからダイレクトモードへの変更について

コマンドシーケンサモードからダイレクトモードへ変更する場合、以下の手順を行ってください。

1. HSSPIn_MCTRL.CSEN ビットに"0"を設定する。
2. HSSPIn_TXF.TSSRS ビットまたは HSSPIn_RXF.RSSRS ビットが"1"になるのを待つ。
3. HSSPIn_MCTRL.MEN ビットに"0"を設定する。
4. HSSPIn_MCTRL.MES ビットが"0"になるまで待つ。

HSSPIn_MCTRL.MES ビットが"0"になることによってダイレクトモードの各種設定が可能になります。

■ HS_SPI コントローラの FIFO について

1. ダイレクトモード時、HS_SPI コントローラの FIFO がオーバランまたはアンダーランが発生しないように処理を行ってください。オーバランやアンダーランが発生した場合、FIFO レベルは意味を持たないので、そのときは FIFO をクリアしてください。
2. シリアル転送を開始する前に HSSPIn_FIFOCFG.RXFLSH および TXFLSH を用いて FIFO をクリアしてください。

5. HS_SPI コントローラの設定手順例

本章はシリアルメモリに対する HS_SPI コントローラの設定手順例を記載します。

また、ダイレクトモード：DMA 転送時の DSTC の設定例を記載します。

5.1 ダイレクトモード, コマンドシーケンサモード

ダイレクトモード、コマンドシーケンサモードにおけるシリアルメモリのデータ読出し、書込み手順例を示します。

5.1.1 初期設定

1. HS_SPI コントローラ初期設定
   1) シリアルインタフェースのフォーマット、分周値を設定する。
      HSSPIn_PCC0~3 レジスタの全ビットを設定する。
   2) HS_SPI コントローラ動作許可、クロック選択を設定する。
      HSSPIn_MCTRL.SYNCON, CSEN, MEN="1"を設定する。SYNCON はダイレクトモードでは"0"を設定する。
      CSEN に"0"(ダイレクト)、"1"(コマンドシーケンサ)を設定する。
   3) 動作許可になるのを待つ。
      HSSPIn_MCTRL.MES ビットが"1"になるのを待つ。HSSPIn_MCTRL.MES ビットが"1"になれば、初期設定完了。

5.1.2 シリアルメモリのデータ読出し(ダイレクトモード：割込みによるデータ転送)

2. TX-FIFO, RX-FIFO の初期化、FIFO ビット幅、送信しきい値、受信しきい値の設定
    1) HSSPIn_FIFOCFG.TXFLSH="1", RXFLSH="1", FWIDTH="00", TXFTH="しきい値", RXFTH="しきい値"を設定する。
3. 転送制御の設定(バイトカウンタモード)
    1) HSSPIn_DMCFG.SSDC ビットに"1"を設定する。
    2) HSSPIn_DMBCC レジスタに転送バイト数を設定する。
4. 使用するスレーブ選択の許可設定
    1) HSSPIn_DMPSEL.PSEL ビットにスレーブ選択を設定する。
5. 動作モード(TX-Only)、ビット幅の設定
    1) HSSPIn_DMTRP.TRP[3:2]="10", TRP[1:0]="ビット幅"を設定する。
6. シリアル動作開始
    1) HSSPIn_DMSTART="1"を設定する。
7. シリアルメモリのコマンド、アドレスのシリアルビット幅が同一の場合 7-1、異なる場合 7-2

7-1. シリアルメモリへのコマンド、アドレスライト
    1) TX-FIFOm(m=0~15)にコマンド、アドレスを書く。
    2) HSSPIn_TXC レジスタの全ビットに"1"を設定する(予約ビットは除く)。
    3) HSSPIn_TXE.TFEE="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。次に 8 に飛ぶ。

7-2. シリアルメモリへのコマンド、アドレスライト
    1) TX-FIFOm(m=0~15)にコマンドライト。
    2) HSSPIn_TXC レジスタの全ビットに"1"を設定する(予約ビットは除く)。
    3) HSSPIn_TXE.TFEE="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。
    4) HSSPIn_DMTRP.TRP[3:2]="10", TRP[1:0]="ビット幅"(アドレス)を設定する。
    5) TX-FIFOm(m=0~15)にアドレスを書く。
    6) HSSPIn_TXE.TFEC="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。

8. Hi-Z を挿入する場合 8-1、挿入しない場合 9

8-1. シリアルバスへの Hi-Z 出力
    1) HSSPIn_FIFOCFG.TXCTRL="1"を設定する。
    2) Hi-Z 出力するため TXFIFOm(m=0~15)にデータを書く。
    3) HSSPIn_TXE. TFEE="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。
9. 割込み禁止
    1) HSSPIn_TXE レジスタの全ビットに"0"を設定する。
10. FIFO の初期化、FIFO のしきい値、ビット幅設定
    1) HSSPIn_FIFOCFG.TXFLSH="1", RXFLSH="1", TXCTRL="0", FWIDTH="ビット幅", TXFTH="しきい値", RXFTH="しきい値"を設定する。
11. 受信割込みフラグのクリア
    1) HSSPIn_RXC レジスタの全ビットに"1"を書く。
12. 動作モード(RX-Only)、シリアルビット幅の設定
    1) HSSPIn_DMTRP.TRP[3:2]="01"(RX-Only), TRP[1:0]="ビット幅"を設定する。
13. 受信割込み許可の設定
    1) HSSPIn_RXE.RSSRE="1", RFMTE="1"を設定する。HSSPIn_RXF.RSSRS, RFMTS ビットによる割込みを待つ。
14. HSSPIn_RXF.RSSRS="0"の場合 14-1、"1"の場合 14-2

14-1. HSSPIn_RXF.RFMTS="1"の処理
    1) RXFIFO からしきい値設定分(RXFTH+1)を読み出す。
    2) HSSPIn_RXC.RFMTC="1"を設定する。13 に飛ぶ。

14-2. HSSPIn_RXF.RSSRS="1"の処理
    1) HSSPIn_DMSTATUS.RXFLEVEL を確認する。
    2) RXFIFO から HSSPIn_DMSTATUS.RXFLEVEL 分の受信データを読み出す。
    3) HSSPIn_RXC.RSSRC="1", RFMTC="1"を設定する。
15. シリアルメモリからの読出し終了
    1) HSSPIn_RXE レジスタの全ビットに"0"を設定する。

5.1.3 シリアルメモリのデータ読出し(ダイレクトモード：DMA 転送)

2. TX-FIFO, RX-FIFO の初期化、FIFO ビット幅、送信しきい値、受信しきい値の設定
    1) HSSPIn_FIFOCFG.TXFLSH="1", RXFLSH="1", FWIDTH="00", TXFTH="しきい値", RXFTH="しきい値"を設定する。
3. 転送制御の設定(バイトカウンタモード)
    1) HSSPIn_DMCFG.SSDC ビットに"1"を設定する。
    2) HSSPIn_DMBCC レジスタに転送バイト数を設定する。
4. 使用するスレーブ選択の許可設定
    2) HSSPIn_DMPSEL.PSEL ビットにスレーブ選択を設定する。
5. 動作モード(TX-Only)、ビット幅の設定
    1) HSSPIn_DMTRP.TRP[3:2]="10", TRP[1:0]="ビット幅"を設定する。
6. シリアル動作開始
    1) HSSPIn_DMSTART="1"を設定する。
7. シリアルメモリのコマンド、アドレスのシリアルビット幅が同一の場合 7-1、異なる場合 7-2

7-1. シリアルメモリへのコマンド、アドレスライト
    1) TX-FIFOm(m=0~15)にコマンド、アドレスを書く。
    2) HSSPIn_TXC レジスタの全ビットに"1"を設定する(予約ビットは除く)。
    3) HSSPIn_TXE.TFEE="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。次に 8 に飛ぶ。

7-2. シリアルメモリへのコマンド、アドレスライト
    1) TX-FIFOm(m=0~15)にコマンドライト。
    2) HSSPIn_TXC レジスタの全ビットに"1"を設定する(予約ビットは除く)。
    3) HSSPIn_TXE.TFEE="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。
    4) HSSPIn_DMTRP.TRP[3:2]="10", TRP[1:0]="ビット幅"(アドレス)を設定する。
    5) TX-FIFOm(m=0~15)にアドレスを書く。
    6) HSSPIn_TXE.TFEC="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。

8. Hi-Z を挿入する場合 8-1、挿入しない場合 9

8-1. シリアルバスへの Hi-Z 出力
    1) HSSPIn_FIFOCFG.TXCTRL="1"を設定する。
    2) Hi-Z 出力するため TXFIFOm(m=0~15)にデータを書く。
9. 割込み禁止
    1) HSSPIn_TXE レジスタの全ビットに"0"を設定する。
10. FIFO の初期化、FIFO のしきい値、ビット幅設定
    1) HSSPIn_FIFOCFG.TXFLSH="1", RXFLSH="1", TXCTRL="0", FWIDTH="ビット幅", TXFTH="しきい値", RXFTH="しきい値"を設定する。
11. 受信割込みフラグのクリア
    1) HSSPIn_RXC レジスタの全ビットに"1"を書く。
12. 受信 DMA の設定
    1)DSTC の設定　(詳細は 5.2.1 受信 DMA 転送時の設定を参照してください。)
    2) DMA BRIDGE 制御レジスタの DBCNT.RXDBEN="1"に設定する。
    3) HSSPIn_DMDMAEN.RXDMAEN="1"を設定する。
13. 動作モード(RX-Only)、シリアルビット幅の設定
    1) HSSPIn_DMTRP.TRP[3:2]="01"(RX-Only), TRP[1:0]="ビット幅"を設定する。
14. 受信割込み許可の設定
    1) HSSPIn_RXE.RSSRE="1"を設定する。HSSPIn_RXF.RSSRS, RSSRS ビットによる割込みを待つ。
15. HSSPIn_RXF.RSSRS="1"の処理
    1) HSSPIn_RXC.RSSRC="1"を設定する。
    2) HSSPIn_DMDMAEN.RXDMAEN="0"を設定する。
    3) DMA BRIDGE 制御レジスタの DBCNT.RXDBEN="0"に設定する。
    4) DSTC の処理を行う。(DSTC の DQMSKCLR[n]への'1'書込みによりマスククリア)
16. シリアルメモリからの読出し終了
    1) HSSPIn_RXE レジスタの全ビットに"0"を設定する。

5.1.4 シリアルメモリへのデータ書込み(ダイレクトモード：割込みによるデータ転送)

2. TX-FIFO, RX-FIFO の初期化、FIFO ビット幅、送信しきい値、受信しきい値の設定
    1) HSSPIn_FIFOCFG.TXFLSH="1", RXFLSH="1", FWIDTH="00", TXFTH="しきい値", RXFTH="しきい値"を設定する。
3. 転送制御の設定(バイトカウンタモード)
    1) HSSPIn_DMCFG.SSDC ビットに"1"を設定する。
    2) HSSPIn_DMBCC レジスタに転送バイト数を設定する。
4. 使用するスレーブ選択の許可設定
    2) HSSPIn_DMPSEL.PSEL ビットにスレーブ選択を設定する。
5. 動作モード(TX-Only)、ビット幅の設定
    1) HSSPIn_DMTRP.TRP[3:2]="10", TRP[1:0]="ビット幅"を設定する。
6. シリアル動作開始
    1) HSSPIn_DMSTART="1"を設定する。
7. シリアルメモリのコマンド、アドレスのシリアルビット幅が同一の場合 7-1、異なる場合 7-2

7-1. シリアルメモリへのコマンド、アドレスライト
    1) TX-FIFOm(m=0~15)にコマンド、アドレスを書く。
    2) HSSPIn_TXC レジスタの全ビットに"1"を設定する(予約ビットは除く)。
    3) HSSPIn_TXE.TFEE="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。次に 8 に飛ぶ。

7-2. シリアルメモリへのコマンド、アドレスライト
    1) TX-FIFOm(m=0~15)にコマンドライト。
    2) HSSPIn_TXC レジスタの全ビットに"1"を設定する(予約ビットは除く)。
    3) HSSPIn_TXE.TFEE="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。
    4) HSSPIn_DMTRP.TRP[3:2]="10", TRP[1:0]="ビット幅"(アドレス)を設定する。
    5) TX-FIFOm(m=0~15)にアドレスを書く。
    6) HSSPIn_TXE.TFEC="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。

8. 動作モード(TX-Only)、シリアルビット幅の設定
    1) HSSPIn_DMTRP.TRP[3:2]="10"(TX-Only), TRP[1:0]="ビット幅"を設定する。
9. シリアルメモリへの書込み
    1) TX-FIFO へデータを書き込む
10. 送信割込み許可の設定
    1) HSSPIn_TXE.TSSRE="1", TFEE="1"を設定する。HSSPIn_TXF.TSSRS, TFES ビットによる割込みを待つ。
11. HSSPIn_TXF.TSSRS="0"の場合 11-1、"1"の場合 12

11-1. HSSPIn_TXF.TFES="1"の処理
    1) HSSPIn_DMBCS.BCS≠0 であることを確認する。HSSPIn_DMBCS.BCS=0 の場合、HSSPIn_TXE.TFEE="0"を設定し、HSSPIn_TXF.TSSRS="1"になるまで待ち、12 に飛ぶ。
    2) TX-FIFO にデータを書き込む。10 に飛ぶ。

12. HSSPIn_TXF.TSSRS="1"の処理
    1) HSSPIn_TXC.TSSRC="1"を設定する。
13. シリアルメモリへの書込み終了
    1) HSSPIn_TXE レジスタの全ビットに"0"を設定する。

5.1.5 シリアルメモリへのデータ書込み(ダイレクトモード：DMA 転送)

2. TX-FIFO, RX-FIFO の初期化、FIFO ビット幅、送信しきい値、受信しきい値の設定
    1) HSSPIn_FIFOCFG.TXFLSH="1", RXFLSH="1", FWIDTH="00", TXFTH="しきい値", RXFTH="しきい値"を設定する。
3. 転送制御の設定(バイトカウンタモード)
    1) HSSPIn_DMCFG.SSDC ビットに"1"を設定する。
    2) HSSPIn_DMBCC レジスタに転送バイト数を設定する。
4. 使用するスレーブ選択の許可設定
    2) HSSPIn_DMPSEL.PSEL ビットにスレーブ選択を設定する。
5. 動作モード(TX-Only)、ビット幅の設定
    1) HSSPIn_DMTRP.TRP[3:2]="10", TRP[1:0]="ビット幅"を設定する。
6. シリアル動作開始
    1) HSSPIn_DMSTART="1"を設定する。
7. シリアルメモリのコマンド、アドレスのシリアルビット幅が同一の場合 7-1、異なる場合 7-2

7-1. シリアルメモリへのコマンド、アドレスライト
    1) TX-FIFOm(m=0~15)にコマンド、アドレスを書く。
    2) HSSPIn_TXC レジスタの全ビットに"1"を設定する(予約ビットは除く)。
    3) HSSPIn_TXE.TFEE="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。次に 8 に飛ぶ。

7-2. シリアルメモリへのコマンド、アドレスライト
    1) TX-FIFOm(m=0~15)にコマンドライト。
    2) HSSPIn_TXC レジスタの全ビットに"1"を設定する(予約ビットは除く)。
    3) HSSPIn_TXE.TFEE="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。
    4) HSSPIn_DMTRP.TRP[3:2]="10", TRP[1:0]="ビット幅"(アドレス)を設定する。
    5) TX-FIFOm(m=0~15)にアドレスを書く。
    6) HSSPIn_TXE.TFEC="1"を設定する。HSSPIn_TXF.TFES ビットによる割込みを待つ。

8. FIFO の初期化、FIFO のしきい値、ビット幅設定
    1) HSSPIn_FIFOCFG.TXFLSH="1", RXFLSH="1", TXCTRL="0", FWIDTH="ビット幅", TXFTH="しきい値", RXFTH="しきい値"を設定する。
9. 動作モード(TX-Only)、シリアルビット幅の設定
    1) HSSPIn_DMTRP.TRP[3:2]="10"(TX-Only), TRP[1:0]="ビット幅"を設定する。
10. 送信 DMA の設定
    1)DSTC を設定する。 (詳細は 5.2.2 送信 DMA 転送時の設定を参照してください。)
    2) DMA BRIDGE 制御レジスタの DBCNT.TXDBEN="1"に設定する。
    3) HSSPIn_DMDMAEN.TXDMAEN="1"を設定する。
11. 送信割込み許可の設定
    1) HSSPIn_TXE.TSSRE="1"を設定する。HSSPIn_TXF.TSSRS ビットによる割込みを待つ。
12. HSSPIn_TXF.TSSRS="1"の処理
    1) HSSPIn_TXC.TSSRC="1"を設定する。
    2) HSSPIn_DMDMAEN.TXDMAEN="0"を設定する。
    3) DMA BRIDGE 制御レジスタの DBCNT.TXDBEN="0"に設定する。
    4) DSTC の処理を行う。 (DSTC の DQMSKCLR[n]への'1'書込みによりマスククリア)
13. シリアルメモリへの書込み終了
    1) HSSPIn_TXE レジスタの全ビットに"0"を設定する。

5.1.6 シリアルメモリのデータ読出し(コマンドシーケンサモード)

2. 使用するスレーブ選択、メモリ容量の設定
    1) HSSPIn_CSCFG.MSEL, SSEL0EN~3EN, SPICHG="0", MBM, SRAM="0"を設定する。
3. 拡張アドレスの設定
    1) HSSPIn_CSAEXT.AEXT ビットに拡張アドレスを設定する。
4. ITIMER の設定
    1) HSSPIn_CSITIME.ITIME ビットにタイマ値を設定する。
5. コマンドシーケンスの設定
    1) HSSPIn_RDCSDC0~7 レジスタにシリアルメモリのリードシーケンスを設定する。
    2) HSSPIn_WRCSDC0~7 レジスタにシリアルメモリのライトシーケンスを設定する。
6. システム空間へのアクセス(シリアルメモリへのリードアクセス)
    1) リードアクセス時、設定にしたがってシリアルメモリにアクセス。

5.1.7 シリアルメモリへのデータ書込み(コマンドシーケンサモード)

2. 使用するスレーブ選択、メモリ容量の設定
    1) HSSPIn_CSCFG.MSEL, SSEL0EN~3EN, SPICHG="0", MBM, SRAM="1"を設定する。
3. 拡張アドレスの設定
    1) HSSPIn_CSAEXT.AEXT ビットに拡張アドレスを設定する。
4. ITIMER の設定
    1) HSSPIn_CSITIME.ITIME ビットにタイマ値を設定する。
5. コマンドシーケンスの設定
    1) HSSPIn_RDCSDC0~7 レジスタにシリアルメモリのリードシーケンスを設定する。
    2) HSSPIn_WRCSDC0~7 レジスタにシリアルメモリのライトシーケンスを設定する。
6. システム空間へのアクセス(シリアルメモリへのライトアクセス)
    1) ライトアクセス時、設定にしたがってシリアルメモリにアクセス。

5.2 DSTC による DMA 転送時の設定

ダイレクトモード：DMA 転送を行う時の HS_SPI コントローラと DSTC の設定例と注意事項を記載します。

5.2.1 受信 DMA 転送時の設定

受信 DMA 転送を使用する場合、以下に示す項目は HS_SPI コントローラと DSTC の設定を揃えてください。

項目	HS_SPI コントローラの設定	DSTC の設定	備考
RX-FIFO からの読出しサイズ	HSSPIn_FIFOCFG.FWIDTH[1:0]	DES0.TW[1:0]	設定が揃っていない場合、保護違反検出ビット(HSSPIn_FAULTC.PVFC)による違反割込みが発生します。 FWIDTH[1:0]は 24 ビット幅(10)、32 ビット幅(11)の設定があるため、必ずしも FWIDTH[1:0]=TM[1:0] となるわけではありません。
RX-FIFO からの読出し回数	ブロックサイズ設定 (HSSPIn_FIFOCFG.RXFTH+1)	DES1.IIN[15:0]	設定が揃っていない場合、DMA 読出しブロックサイズ違反検出ビット(HSSPIn_FAULTF. DRCBSFS)による違反割込みが発生します。
転送バイト数	HSSPIn_DMBCC.BCC[15:0]	IIN[15:0]× ORM[15:0]× アクセスサイズ (＋コマンド数)	転送するデータ数が合わなくなるため、 HSSPIn_DMBCC[15:0]は以下の値に設定してください。 IIN × ORM × アクセスサイズ(byte) また、コマンドライトが必要な場合はコマンドライトに必要なコマンド数を加算した値を HSSPIn_DMBCC[15:0]に設定してください。

以下に受信 DMA 転送を行う場合の DSTC の設定例を記載します。
以下の設定により、DSTC は 512 byte 分のデータを RX-FIFO から読み出し、そのデータを連続したアドレス領域へ書き込みます。

ディスクリプタ	ビット	値	備考
DES0	DV[1:0]	01	-
	ST[1:0]	00	-
	MODE	0	MODE は"0"に設定します。
	ORL[2:0]	000	-
	TW[1:0]	10	必ず HSSPIn_FIFOCFG.FWIDTH[1:0]は"11"に設定します。
	SAC[2:0]	001	InnerReload 機能により、DSTC は 16 回の読出し後、再度 HSSPIn_RXFIFO0 のアドレスを指定し直します。
	DAC[2:0]	000	書込み先は連続したアドレス領域とします。
	CHRS[5:0]	000000	転送の完了通知は HS_SPI コントローラからの割込み(HSSPIn_RXF.RSSRS)で受け取るため、DSTC からの HWINT 割込みを使用する必要がありません。
	DMSET	1	必ず DMSET は"1"に設定します。 転送完了後、DQMSKCLR[n]への"1"書込みによりマスククリアを行ってください。
	CHLK	0	-
	ACK[1:0]	01	必ず ACK[1:0]は"01"に設定します。
DES1	IIN[15:0]	0x0010	必ず HSSPIn_FIFOCFG.RXFTH[3:0]は"1111"に設定します。
	ORM[15:0]	0x0008	IIN=16 回 × ORM=8 回 × 4byte(1word) = 512byte
DES2	SA[31:0]	0xD000_0090	必ず HSSPIn_RXFIFO0 のアドレスを指定します。
DES3	DA[31:0]	任意のアドレス	受信したデータを格納する任意のアドレスを指定します。

5.2.2 送信 DMA 転送時の設定

送信 DMA 転送を使用する場合、以下に示す項目は HS_SPI コントローラと DSTC の設定を揃えてください。

項目	HS_SPI コントローラの設定	DSTC の設定	違反時の動作
TX-FIFO への書込みサイズ	HSSPIn_FIFOCFG.FWIDTH[1:0]	DES0.TW[1:0]	設定が揃っていない場合、保護違反検出ビット(HSSPIn_FAULTC.PVFC)による違反割込みが発生します。FWIDTH[1:0]は 24 ビット幅(10)、32 ビット幅(11)の設定があるため、必ずしも FWIDTH[1:0]=TM[1:0] となるわけではありません。
TX-FIFO への書込み回数	ブロックサイズ設定(16-HSSPIn_FIFOCFG.TXFTH)	DES1.IIN[15:0]	設定が揃っていない場合、DMA 書込みブロックサイズ違反検出ビット(HSSPIn_FAULTF. DWCBSFS)による違反割込みが発生します。
転送バイト数	HSSPIn_DMBCC.BCC[15:0]	IIN[15:0]×ORM[15:0]×アクセスサイズ(＋コマンド数)	転送するデータ数が合わなくなるため、HSSPIn_DMBCC[15:0]は以下の値に設定してください。 IIN × ORM × アクセスサイズ(byte) また、コマンドライトが必要な場合はコマンドライトに必要なコマンド数を加算した値を HSSPIn_DMBCC[15:0]に設定してください。

以下に送信 DMA 転送を行う場合の DSTC の設定例を記載します。

以下の設定により、DSTC は連続したアドレス領域にある 512 byte 分のデータを読み出し、そのデータを TX-FIFO へ書き込みます。

ディスクリプタ	ビット	値	備考
DES0	DV[1:0]	01	-
	ST[1:0]	00	-
	MODE	0	MODE は"0"に設定します。
	ORL[2:0]	000	-
	TW[1:0]	10	必ず HSSPIn_FIFOCFG.FWIDTH[1:0]は"11"に設定します。
	SAC[2:0]	000	読出し元は連続したアドレス領域とします。
	DAC[2:0]	001	InnerReload 機能により、DSTC は 16 回の書込み後、再度 HSSPIn_TXFIFO0 のアドレスを指定し直します。
	CHRS[5:0]	000000	転送の完了通知は HS_SPI コントローラからの割込み(HSSPIn_TXF.TSSRS)で受け取るため、DSTC からの HWINT 割込みを使用する必要がありません。
	DMSET	1	必ず DMSET は"1"に設定します。 転送完了後、DQMSKCLR[n]への"1"書込みによりマスククリアを行ってください。
	CHLK	0	-
	ACK[1:0]	01	必ず ACK[1:0]は"01"に設定します。
DES1	IIN[15:0]	0x0010	必ず HSSPIn_FIFOCFG.TXFTH[3:0]は"0000"に設定します。
	ORM[15:0]	0x0008	IIN=16 回 × ORM=8 回 × 1word(4byte) = 512byte
DES2	SA[31:0]	0xD000_0050	必ず HSSPIn_TXFIFO0 のアドレスを指定します。
DES3	DA[31:0]	任意のアドレス	受信したデータを格納する任意のアドレスを指定します。

CHAPTER 9: HyperBus インタフェース

HyperBus インタフェースの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ

1. 概要

HyperBus インタフェースは、HyperBus メモリデバイスへ接続するための機能です。

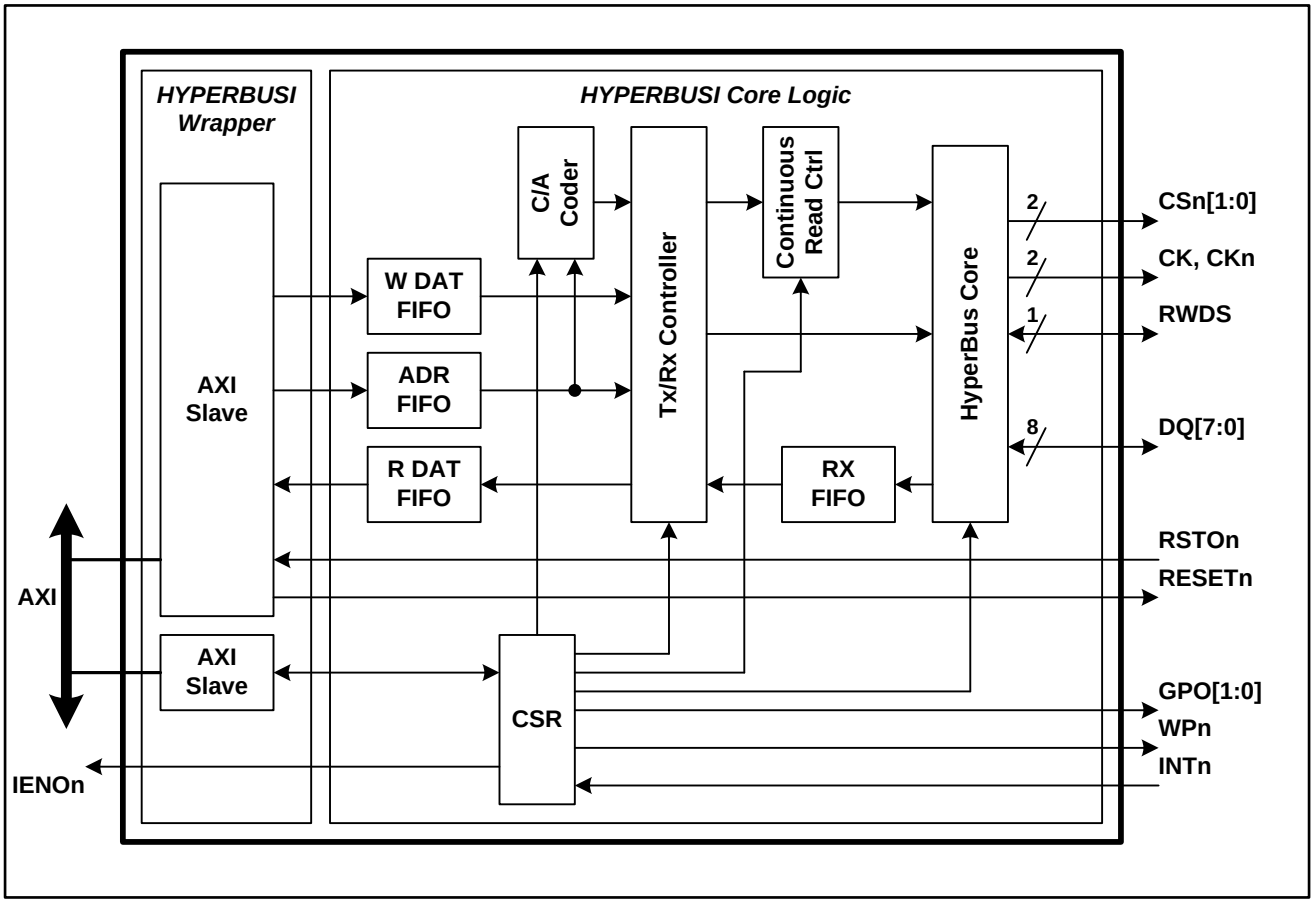
HyperBus インタフェースの特長

- 最大 166MHz の動作周波数をサポート
- 8 ビットバスと少数のタイミング信号のみで最大 333MB/s のデータスループットを実現
- ダブルデータレートインタフェースをサポート
- 最大 4GByte のアドレス空間をサポート
- CS0, CS1 による 2 つのスレーブデバイスをサポート
- 動的ラップバースト要求により XiP 動作をサポート

2. 構成

HyperBus インタフェースの構成を示します。

Figure 2-1 HyperBus インタフェースのブロックダイヤグラム



3. 動作説明

HyperBus インタフェースの動作について説明します。

3.1 HyperBus コア

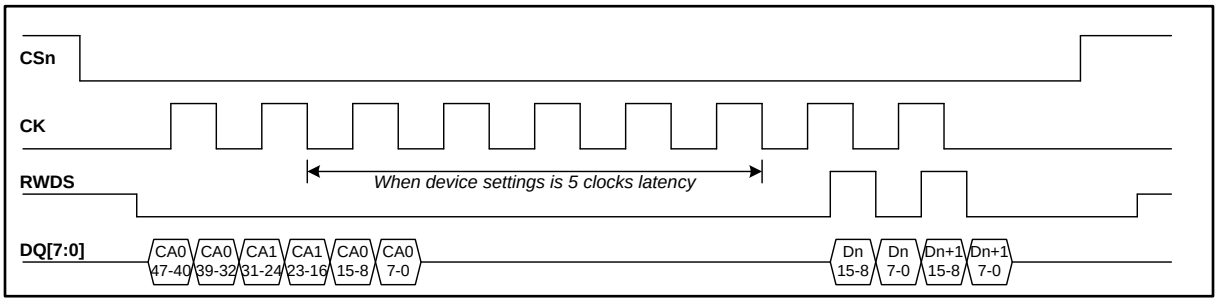
HyperBus インタフェースの物理インタフェースについて説明します。

3.1.1 読出し動作

HyperBus インタフェースの読出し動作について説明します。

HyperBus インタフェースは、CS0 または CS1, CK, および DQ をアサートします。その後 3 ワードのコマンド/アドレスを出力し、RWDS のタイミングで 1 つ以上のデータを読み出します。
RX FIFO と R DAT FIFO の両方がフルになった場合、HyperBus コアはアクセスを終了します。その後 RX FIFO のみが空になった場合、HyperBus コアはアクセスを再開します。このとき、R DAT FIFO は、AXI バスに読出しデータを継続的に転送します。
HyperBus インタフェースは、バーストタイプやバースト長などの AXI バスからのトランザクション要求をそのまま HyperBus の C/A サイクルに加えます。

Figure 3-1 HyperBus インタフェースの読み出し波形



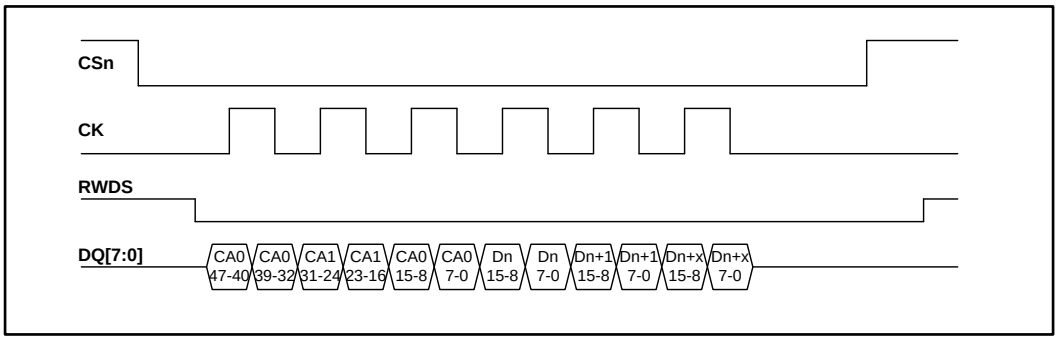
3.1.2 書込み動作

HyperFlash に対する HyperBus インタフェースの書込み動作について説明します。
HyperBus インタフェースは、CS0 または CS1, CK, および DQ をアサートします。その後 3 ワードのコマンド/アドレスを出力し、1 つ以上のデータを書き込みます。この書込み動作は、設定レジスタ MCRn の DEVTYPE が HyperFlash に選択されている場合に有効です。
HyperBus インタフェースは、バーストタイプやバースト長などの AXI バスからのトランザクション要求をそのまま HyperBus の C/A サイクルに加えます。

<注意事項>

- *HyperFlash は 2 バイトごとの書込み動作のみをサポートしているため、1 バイトのみが書き込まれた場合は、不足の 1 バイトが無効データ(0xFF)として書き込まれます。*
- *HyperFlash を使用する場合、CK 周波数が 50MHz 以下の場合にのみ HyperFlash のバースト書込みがサポートされます。このため、HyperFlash の CK 周波数が 50 MHz 以上の場合は、AXI トランザクションの書込みデータサイズは 2 バイトのみです。*

Figure 3-2 HyperBus インタフェースの読み出し波形

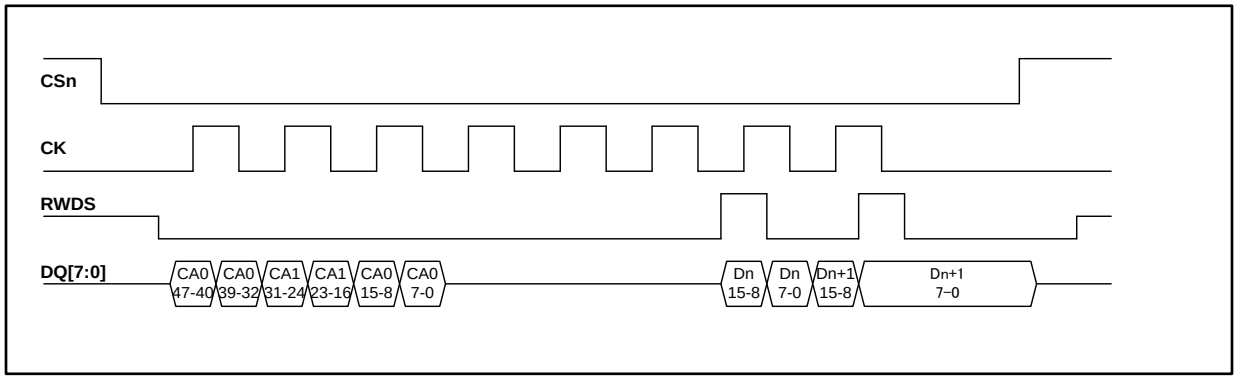


3.1.3 バイトマスクを使用した書込み動作

HyperRAM に対する、バイトマスクを使用した HyperBus インタフェースの書込み動作について説明します。HyperBus インタフェースは CS0 または CS1, CK, および DQ をアサートします。その後 3 ワードのコマンド/アドレスを出力し、レイテンシサイクル後に 1 つ以上のデータを書き込みます。この書込み動作は、設定レジスタ MCRn の DEVTYPE が、HyperRAM に選択されている場合に有効です。HyperBus インタフェースは、書込み動作中にバイトマスクとして RWDS 信号を出力します。無効な書込みデータは、RWDS の High によってマスクされます。

HyperBus インタフェースは、バーストタイプやバースト長などの AXI バスからのトランザクション要求をそのまま HyperBus の C/A サイクルに加えます。したがって、RWDS は AXI バスのアクセスアドレス, データサイズ, およびストローブ信号によって決定されます。

Figure 3-3 バイトマスクを使用した書込み波形



<注意事項>

- *Figure 3-3 バイトマスクを使用した書込み波形では、Dn 15-8 および Dn+1 7-0 が無効データです。*

3.2 Tx/Rx コントローラ

HyperBus インタフェースの Tx/Rx コントローラについて説明します。

Tx/Rx コントローラは、ステートマシンによる Tx/Rx 動作制御、および AXI バスと HyperBus 間のデータのフロー制御を行います。また, AXI バスの複数の未処理アドレスによって次のアクセスアドレスが決定されると、後続アクセスのアドレスが現在のアクセスに対する連続アドレスの場合、HyperBus インタフェースはトランザクションを Continuous Read Ctrl (連続読出し制御) に渡します。

3.2.1 非対称キャッシュシステムのサポート

非対称キャッシュシステムのサポートについて説明します。Tx/Rx コントローラは, HyperFlash および HyperRAM のラップサイズ設定により、非対称キャッシュシステムからのラップバースト要求サイズが異なるシステムをサポートします。この機能はオプションです。詳細な情報については、「4.6 HyperBus インタフェースメモリ構成レジスタ 0 (MCR0), 4.7 HyperBus インタフェースメモリ構成レジスタ 1 (MCR1)」を参照してください。

非対称キャッシュシステムのサポートにおける Tx/Rx コントローラの動作を次に示します。

- Tx/Rx コントローラはラップ読出しトランザクションを承認し、必要なラップサイズと 設定レジスタ MCR0 または MCR1 の WRAPSIZE を比較します。
- ラップサイズが同じである場合、Tx/Rx コントローラは HyperBus に対してラップバースト読出しを要求します。
- ラップサイズが異なる場合、Tx/Rx コントローラは HyperBus に対して 2 つの連続バースト読出しを要求して、ラップバースト読出しをエミュレートします。

3.2.2 Continuous Read Ctrl

HyperBus インタフェースの Continuous Read Ctrl (連続読出し制御) について説明します。後続アクセスのアドレスが現在のアクセスに対して連続するアドレスである場合、C/A サイクルと初期レイテンシサイクルを排除してパフォーマンスを向上するため、Continuous Read Ctrl は後続アクセスを現在のアクセスに統合します。

Continuous Read Ctrl は、次の場合に読出しトランザクションを統合します。

- HyperFlash へのアクセス
- バーストタイプが INCR で、AXI バスに連続アドレスを持つ連続する読出しトランザクションが統合されます。
- ラップ境界の最終アドレスに続くアドレスを持つ、WRAP の読出しトランザクションと INCR の後続読出しトランザクションが統合されます。この機能はオプションです。詳細な情報については、「4.6 HyperBus インタフェースメモリ構成レジスタ 0 (MCR0), 4.7 HyperBus インタフェースメモリ構成レジスタ 1 (MCR1)」を参照してください。

3.3 C/A コーダ

HYPERBUSI モジュールは、6 バイトのコマンド/アドレス情報を出力してトランザクションを定義します。C/A コーダは、AXI バスからの要求とレジスタ設定によってコマンド/アドレス情報を作成します。

Table3.3-1 HyperBus インタフェースの C/A フォーマット

C/A ビット	名称	割当て
47	R/W#	0: 書込み, 1: 読出し
46	ターゲット	MCR0 および MCR1 の CRT
45	バーストタイプ	0: WRAP, 1: INCR
44	予約	0
43 ～ 16	ページアドレス	アドレス [31:4]
15	予約	0
14 ～ 13	予約	3
12 ～ 3	予約	0
2 ～ 0	カラムアドレス	アドレス [3:1]

3.4 FIFO

トランザクション要求処理の FIFO について説明します。

3.4.1 ADR FIFO

ADR FIFO は、ビット幅 46×深さ 8 で構成されます。この FIFO は、アドレス, 長さ, バーストタイプ, および R/W フラグを含む AXI バストランザクションの制御データを保存します。

3.4.2 W DAT FIFO

W DAT FIFO は、ビット幅 40×深さ 128 で構成されます。この FIFO は、AXI バスから書き込まれる書込みデータ, 有効な情報, およびストローブ情報を保存するためと、AXI バスを待たずにバースト書込みトランザクションを受信するために使用されます。

3.4.3 R DAT FIFO と RX FIFO

RX FIFO は、ビット幅 20×深さ 256 で構成されます。この FIFO は HyperBus から読み出すデータの保存に使用されます。保存データは HyperBus の CK のタイミングに基づいて、R DAT FIFO に出力されます。

R DAT FIFO はビット幅 40×深さ 128 で構成されます。この FIFO は RX FIFO から読み出すデータおよびエラー検出情報の保存に使用されます。保存データは、AXI バスの ACLK のタイミングに基づいて出力されます。このエラー情報は、AXI バスの RRESP 信号によってマスタデバイスに転送されます。

AXI と HyperBus 間のタイミングの差異に対応するため、データ受信用の FIFO は RX FIFO および R DAT FIFO に分けられています。

3.5 CSR

CSR は構成レジスタを保持しています。構成レジスタは、HyperBus インタフェースの制御に使用されます。

CSR に関する詳細情報については、「4 レジスタ」を参照してください。

4. レジスタ

HyperBus インタフェースで使用するレジスタの構成と機能について説明します。

HyperBus インタフェース状態レジスタのレジスター一覧

レジスタ略称	レジスタ名	参照先
CSR	HyperBus インタフェース状態レジスタ	4.1
IEN	割り込み有効レジスタ	4.2
ISR	割り込み状態レジスタ	4.3
-	予約	-
MBR0	メモリベースアドレスレジスタ 0	4.4
MBR1	メモリベースアドレスレジスタ 1	4.5
MCR0	メモリ構成レジスタ 0	4.6
MCR1	メモリ構成レジスタ 1	4.7
MTR0	メモリタイミングレジスタ 0	4.8
MTR1	メモリタイミングレジスタ 1	4.9
GPOR	汎用信号出力レジスタ	4.10
WPR	ライトプロテクトレジスタ	4.11
TEST	テストレジスタ	4.12

4.1 HyperBus インタフェース状態レジスタ(CSR)

HyperBus インタフェース状態レジスタ(CSR)は、HyperBus インタフェースの状態を表示します。

bit	31	30	29	28	27	26	25	24
Field	RFU					WRSTOR ERR	WTSTO ERR	WDEC ERR
属性	R/W					R	R	R
初期値	0b00000					0	0	0

bit	23	22	21	20	19	18	17	16
Field	RFU							WACT
属性	R/W							R
初期値	0b0000000							0

bit	15	14	13	12	11	10	9	8
Field	RFU				RDSTALL	RRSTO ERR	RTRS ERR	RDEC ERR
属性	R/W				R	R	R	R
初期値	0x0				0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RFU							RACT
属性	R/W							R
初期値	0b0000000							0

[bit31:27] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit26] WRSTOERR : HyperBus メモリリセット状態中のライトトランザクション表示

本ビットは HyperBus メモリがリセット状態中にライトトランザクションの有無を表示します。

bit	説明
0	リセット中のライトトランザクション無。AXI SLVERR は発行されません。
1	リセット中にライトトランザクション有。AXI SLVERR が発行されます。

[bit25] WTRSERR : AXI ライトトランザクション状態表示

本ビットは HYPERBUSI モジュールへの AXI ライトプロトコルについて正常・異常を表示します。

bit	説明
0	正常 AXI プロトコル。AXI SLVERR は発行されません。
1	異常 AXI プロトコル。AXISLVERR が発行されます。

[bit24] WDECERR : AXI ライトトランザクション・アドレスデコードエラー表示

本ビットは HYPERBUSI モジュールへのライトアドレスについて正常・異常を表示します。

bit	説明
0	アドレス未定義部へのライトアクセス無。AXIDECERR は発行されません。
1	アドレス未定義部へのライトアクセス有。AXIDECERR が発行されます。

[bit23:17] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit16] WACT : ライトトランザクションアクティブ表示

本ビットはライトトランザクションの有無を表示します。

bit	説明
0	ライトトランザクション無
1	ライトトランザクション有

[bit15:12] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit11] RDSSTALL : リードトランザクション中の RWDS ストール表示

This bit indicates whether read data error occurs in the latest read transaction.

本ビットはリードトランザクション中の RWDS ストール有無を表示します。

bit	説明
0	ストール発生無。AXI SLVERR は発行されません。
1	ストール発生有。AXI SLVERR が発行されます。

[bit10] RRSTOERR : HyperBus メモリリセット状態中のリードトランザクション表示

本ビットは HyperBus メモリがリセット状態中にリードトランザクションの有無を表示します。

bit	説明
0	リセット中にリードトランザクション無。AXI SLVERR は発行されません。
1	リセット中にリードトランザクション有。AXI SLVERR が発行されます。

[bit9] RTRSERR : AXI リードトランザクション状態表示

本ビットは HYPERBUSI モジュールへの AXI リードプロトコルについて正常・異常を表示します。

bit	説明
0	正常 AXI プロトコル。AXI SLVERR は発行されません。
1	異常 AXI プロトコル。AXISLVERR が発行されます。

[bit8] RDECERR : AXI リードトランザクション・アドレスデコードエラー表示

本ビットは HYPERBUSI モジュールへのリードアドレスについて正常・異常を表示します。

bit	説明
0	アドレス未定義部へのリードアクセス無。AXIDECERR は発行されません。
1	アドレス未定義部へのリードアクセス有。AXIDECERR が発行されます。

[bit7:1] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit0] RACT :リードトランザクションアクティブ表示

本ビットはリードトランザクションの有無を表示します。

bit	説明
0	リードトランザクション無
1	リードトランザクション有

4.2 割込み極性・イネーブル設定レジスタ(IEN)

. 本レジスタは、IENOn の極性と割込み有効・無効を設定します。

bit	31	30	29	28	27	26	25	24
Field	INTP	RFU						
属性	R/W	R/W						
初期値	0	0b0000000						

bit	23	22	21	20	19	18	17	16
Field	RFU							
属性	R/W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	RFU							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RFU							RPCINITE
属性	R/W							R/W
初期値	0b0000000							0

[bit31] INTP : Interrupt Polarity

本ビットは IENOn 信号の極性を選択します。

bit	説明
0	IENOn 信号を負極性にします。
1	IENOn 信号を正極性にします。

[bit30:1] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit0] RPCINTE : HyperBus Memory Interrupt Enable

本ビットは HyperBus メモリの INTn 信号による割込みを有効・無効化します。

bit	説明
0	無効
1	有効

4.3 割込み状態レジスタ (ISR)

本レジスタは割込み状態を表示します。

bit	31	30	29	28	27	26	25	24
Field	RFU							
属性	R/W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	RFU							
属性	R/W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	RFU							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RFU							RPCINITS
属性	R/W							R
初期値	0b0000000							0

[bit31:1] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit0] RPCINTS : HyperBus Memory Interrupt Status

本ビットは、HyperBus メモリの INTn 信号による割込みを表示します。

HyperBus メモリの INTn 信号がアサート中、本ビットはアサートされます。本ビットをクリアするために、HyperBus メモリの割込みをクリアする必要があります。

bit	説明
0	No interrupt
1	Interrupt

4.4 メモリベースアドレスレジスタ 0 (MBR0)

CS0 に対するアドレス可能領域のベースアドレスを設定します。16MB 境界で設定する必要があるため、A[23:0]は 0 に固定されます。

bit	31	30	29	28	27	26	25	24
Field	MBR[31:24]							
属性	R/W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	MBR[23:16]							
属性	R/W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	MBR[15:8]							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	MBR[7:0]							
属性	R/W							
初期値	0x00							

[bit31:0] MBR[31:0]

CS0 領域メモリのベースアドレスを設定します。

4.5 メモリベースアドレスレジスタ 1 (MBR1)

CS1 のベースアドレスを設定します。16MB 境界で設定する必要があるため、A[23:0]は 0 に固定されます。

bit	31	30	29	28	27	26	25	24
Field	MBR[31:24]							
属性	R/W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	MBR[23:16]							
属性	R/W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	MBR[15:8]							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	MBR[7:0]							
属性	R/W							
初期値	0x00							

[bit31:0] MBR[31:0]

CS1 領域メモリのベースアドレスを設定します。

4.6 HyperBus インタフェースメモリ構成レジスタ 0 (MCR0)

CS0 メモリ空間のメモリ構成を設定します。

bit	31	30	29	28	27	26	25	24
Field	RFU							
属性	R/W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	RFU						CRMO	ACS
属性	R/W						R/W	R/W
初期値	0b000000						0	0

bit	15	14	13	12	11	10	9	8
Field	RFU							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RFU		CRT	DEVTYPE	RFU		WRAPSIZE[1:0]	
属性	R/W		R/W	R/W	R/W		R/W	
初期値	0b00		0	0	0b00		0b11	

[bit31:18] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit17] CRMO :連続統合オプションの設定

このビットは、ラップトランザクションと後続の連続トランザクションを統合可能な場合に設定します。この機能を有効にする前に、HyperFlash メモリが対応しているかどうかを確認してください。

bit	説明
0	WRAP と INCR トランザクションを統合しない
1	WRAP と INCR トランザクションを統合する

[bit16] ACS : 非対称キャッシュシステムのサポート

このビットは、システムのマルチコアで異なるラップサイズ(キャッシュサイズ)が必要な場合に設定します。
HyperFlash/HyperRAM メモリ自体が非対称キャッシュシステムをサポートしている場合、この機能を無効にする必要があります。

bit	説明
0	非対称キャッシュシステムをサポートしない
1	非対称キャッシュシステムをサポートする

[bit15:6] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit5] CRT : 構成レジスターゲット

このビットは、メモリ空間へのアクセスかレジスタ空間へのアクセスかを示します。このビットは、HyperRAM デバイスへのコマンド/アドレスサイクルの CA[46]ビットにマッピングされています。

bit	説明
0	メモリ空間
1	構成レジスタ空間

[bit4] DEVTYPE : デバイスタイプ

このビットは、接続メモリのデバイスタイプを設定します。

bit	説明
0	HyperFlash メモリ
1	HyperRAM メモリ

[bit3:2] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit1:0] :WRAPSIZE[1:0] : ラップバーストサイズ

このビットは、HyperFlash デバイスに設定されたラップバースト長を設定します。ACS ビット([bit16])が 0 の場合、このビットは無視されます。ACS ビットが 1 の場合、このビットは HyperFlash/HyperRAM デバイスの構成レジスタのラップサイズと同じ値に設定する必要があります。

bit [1:0]	説明
00	予約
01	64 バイト
10	16 バイト
11	32 バイト

4.7 HyperBus インタフェースメモリ構成レジスタ 1 (MCR1)

CS1 メモリ空間のメモリ構成を設定します。

bit	31	30	29	28	27	26	25	24
Field	RFU							
属性	R/W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	RFU						CRMO	ACS
属性	R/W						R/W	R/W
初期値	0b000000						0	0

bit	15	14	13	12	11	10	9	8
Field	RFU							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RFU		CRT	DEVTYPE	RFU		WRAPSIZE[1:0]	
属性	R/W		R/W	R/W	R/W		R/W	
初期値	0b00		0	0	0b00		0b11	

[bit31:18] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit17] CRMO :連続統合オプションの設定

このビットは、ラップトランザクションと後続の連続トランザクションを統合可能な場合に設定します。この機能を有効にする前に、HyperFlash メモリが対応しているかどうかを確認してください。

bit	説明
0	WRAP と INCR トランザクションを統合しない
1	WRAP と INCR トランザクションを統合する

[bit16] ACS : 非対称キャッシュシステムのサポート

このビットは、システムのマルチコアで異なるラップサイズ(キャッシュサイズ)が必要な場合に設定します。
HyperFlash/HyperRAM メモリ自体が非対称キャッシュシステムをサポートしている場合、この機能を無効にする必要があります。

bit	説明
0	非対称キャッシュシステムをサポートしない
1	非対称キャッシュシステムをサポートする

[bit15:6] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit5] CRT : 構成レジスターゲット

このビットは、メモリ空間へのアクセスかレジスタ空間へのアクセスかを示します。このビットは、HyperRAM デバイスへのコマンド/アドレスサイクルの CA[46]ビットにマッピングされています。

bit	説明
0	メモリ空間
1	構成レジスタ空間

[bit4] DEVTYPE : デバイスタイプ

このビットは、接続メモリのデバイスタイプを設定します。

bit	説明
0	HyperFlash メモリ
1	HyperRAM メモリ

[bit3:2] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit1:0] :WRAPSIZE[1:0] : ラップバーストサイズ

このビットは、HyperFlash デバイスに設定されたラップバースト長を設定します。ACS ビット([bit16])が 0 の場合、このビットは無視されます。ACS ビットが 1 の場合、このビットは HyperFlash/HyperRAM デバイスの構成レジスタのラップサイズと同じ値に設定する必要があります。

bit [1:0]	説明
00	予約
01	64 バイト
10	16 バイト
11	32 バイト

4.8 HyperBus インタフェースメモリタイミングレジスタ 0 (MTR0)

CS0 メモリ空間のメモリタイミングを設定します。

bit	31	30	29	28	27	26	25	24
Field	RCSHI[3:0]				WCSHI[3:0]			
属性	R/W				R/W			
初期値	0x0				0x0			

bit	23	22	21	20	19	18	17	16
Field	RCSS[3:0]				WCSS[3:0]			
属性	R/W				R/W			
初期値	0x0				0x0			

bit	15	14	13	12	11	10	9	8
Field	RCSH[3:0]				WCSH[3:0]			
属性	R/W				R/W			
初期値	0x0				0x0			

bit	7	6	5	4	3	2	1	0
Field	RFU				LTCY[3:0]			
属性	R/W				R/W			
初期値	0x0				0x0			

[bit31:28] RCSHI[3:0]： 動作間の読出しチップセレクトハイ

このビットにより、読出しアクセス前にチップセレクトハイ期間に CK サイクルが挿入されます。

bit [3:0]	説明
0000	1.5 CK
0001	2.5 CK
0010	3.5 CK
:	:
:	:
1111	16.5 CK

[bit27:24] WCSHI[3:0]： 動作間の書込みチップセレクトハイ

このビットにより、書込みアクセス前にチップセレクトハイ期間に CK サイクルが挿入されます。

bit [3:0]	説明
0000	1.5 CK
0001	2.5 CK
0010	3.5 CK
:	:
:	:
1111	16.5 CK

[bit23:20] RCSS[3:0]： 次の CK 立上りエッジに対する読出しチップセレクト設定

このビットにより、読出しアクセスにおいてチップセレクトの立下りエッジと最初の CK の立上りエッジ間に、CK サイクルが挿入されます。

bit [3:0]	説明
0000	1 CK
0001	2 CK
0010	3 CK
: :	: :
1111	16 CK

[bit19:16] WCSS[3:0]： 次の CK 立上りエッジに対する書込みチップセレクト設定

このビットにより、書込みアクセスにおいてチップセレクトの立下りエッジと最初の CK の立上りエッジ間に、CK サイクルが挿入されます。

bit [3:0]	説明
0000	1 CK
0001	2 CK
0010	3 CK
: :	: :
1111	16 CK

[bit15:12] RCSH[3:0] : CK 立下りエッジ後の読出しチップセレクトホールド

このビットにより、読出しアクセスにおいて最後の CK の立下りエッジとチップセレクトの立上りエッジ間に、CK サイクルが挿入されます。

bit [3:0]	説明
0000	1 CK
0001	2 CK
0010	3 CK
: :	: :
1111	16 CK

[bit11:8] WCSH[3:0] : CK 立下りエッジ後の書込みチップセレクトホールド

このビットにより、書込みアクセスにおいて最後の CK の立下りエッジとチップセレクトの立上りエッジ間に、CK サイクルが挿入されます。

bit [3:0]	説明
0000	1 CK
0001	2 CK
0010	3 CK
: :	: :
1111	16 CK

[bit7:4] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit3:0] RTCY[3:0] : HyperRAM のレイテンシサイクル

HyperRAM を使用する場合、このビットを HyperRAM の構成レジスタの読出しレイテンシと同じ値に設定する必要があります。MCR0, MCR1 レジスタの DEVTYPE に HyperFlash が選択されている場合、このビットは無視されます。

bit [3:0]	説明
0000	5 CK レイテンシ
0001	6 CK レイテンシ
0010	予約
: :	: :
1110	予約
1111	4 CK レイテンシ

4.9 HyperBus インタフェースメモリタイミングレジスタ 1 (MTR1)

CS1 メモリ空間のメモリタイミングを設定します。

bit	31	30	29	28	27	26	25	24
Field	RCSHI[3:0]				WCSHI[3:0]			
属性	R/W				R/W			
初期値	0x0				0x0			

bit	23	22	21	20	19	18	17	16
Field	RCSS[3:0]				WCSS[3:0]			
属性	R/W				R/W			
初期値	0x0				0x0			

bit	15	14	13	12	11	10	9	8
Field	RCSH[3:0]				WCSH[3:0]			
属性	R/W				R/W			
初期値	0x0				0x0			

bit	7	6	5	4	3	2	1	0
Field	RFU				LTCY[3:0]			
属性	R/W				R/W			
初期値	0x0				0x0			

[bit31:28] RCSHI[3:0]： 動作間の読出しチップセレクトハイ

このビットにより、読出しアクセス前にチップセレクトハイ期間に CK サイクルが挿入されます。

bit [3:0]	説明
0000	1.5 CK
0001	2.5 CK
0010	3.5 CK
:	:
:	:
1111	16.5 CK

[bit27:24] WCSHI[3:0]： 動作間の書込みチップセレクトハイ

このビットにより、書込みアクセス前にチップセレクトハイ期間に CK サイクルが挿入されます。

bit [3:0]	説明
0000	1.5 CK
0001	2.5 CK
0010	3.5 CK
:	:
:	:
1111	16.5 CK

[bit23:20] RCSS[3:0]： 次の CK 立上りエッジに対する読出しチップセレクト設定

このビットにより、読出しアクセスにおいてチップセレクトの立下りエッジと最初の CK の立上りエッジ間に、CK サイクルが挿入されます。

bit [3:0]	説明
0000	1 CK
0001	2 CK
0010	3 CK
: :	: :
1111	16 CK

[bit19:16] WCSS[3:0]： 次の CK 立上りエッジに対する書込みチップセレクト設定

このビットにより、書込みアクセスにおいてチップセレクトの立下りエッジと最初の CK の立上りエッジ間に、CK サイクルが挿入されます。

bit [3:0]	説明
0000	1 CK
0001	2 CK
0010	3 CK
: :	: :
1111	16 CK

[bit15:12] RCSH[3:0] :CK 立下りエッジ後の読出しチップセレクトホールド

このビットにより、読出しアクセスにおいて最後の CK の立下りエッジとチップセレクトの立上りエッジ間に、CK サイクルが挿入されます。

bit [3:0]	説明
0000	1 CK
0001	2 CK
0010	3 CK
: :	: :
1111	16 CK

[bit11:8] WCSH[3:0] :CK 立下りエッジ後の書込みチップセレクトホールド

このビットにより、書込みアクセスにおいて最後の CK の立下りエッジとチップセレクトの立上りエッジ間に、CK サイクルが挿入されます。

bit [3:0]	説明
0000	1 CK
0001	2 CK
0010	3 CK
: :	: :
1111	16 CK

[bit7:4] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit3:0] RTCY[3:0] : HyperRAM のレイテンシサイクル

HyperRAM を使用する場合、このビットを HyperRAM の構成レジスタの読出しレイテンシと同じ値に設定する必要があります。MCR0, MCR1 レジスタの DEVTYPE に HyperFlash が選択されている場合、このビットは無視されます。

bit [3:0]	説明
0000	5 CK レイテンシ
0001	6 CK レイテンシ
0010	予約
: :	: :
1110	予約
1111	4 CK レイテンシ

4.10 汎用信号出力レジスタ (GPOR)

本レジスタは、GPIO 出力信号の極性をコントロールするために使用されます。

bit	31	30	29	28	27	26	25	24
Field	RFU							
属性	R/W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	RFU							
属性	R/W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	RFU							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RFU						GPO[1:0]	
属性	R/W						R/W	R/W
初期値	0b000000						0	0

[bit31:2] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit1] GPO[1] : General Purpose Output Interface

本ビットは、汎用出力信号の極性を設定します。

bit	説明
0	GPO[1]を LOW に設定します。
1	GPO[1]を HIGH に設定します。

[bit0] GPO[0] : General Purpose Output Interface

本ビットは, 汎用出力信号の極性を設定します。

bit	説明
0	GPO[0]を LOW に設定します。
1	GPO[1]を HIGH に設定します。

4.11 Write Protection Register (WPR)

本レジスタは、WPn 出力信号の極性をコントロールするために使用されます。

bit	31	30	29	28	27	26	25	24
Field	RFU							
属性	R/W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	RFU							
属性	R/W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	RFU							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RFU							WP
属性	R/w							R/W
初期値	0b0000000							0

[bit31:1] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit0] WP : Write Protection

本ビットは、WPn 出力信号の極性を設定します。

bit	説明
0	WPn 信号を HIGH に設定します。
1	WPn 信号を LOW に設定します。

4.12 テストレジスタ (TEST)

本レジスタは本デバイス内部のテストのため実装されています。本レジスタには 0x00000000 を書き込みます。

bit	31	30	29	28	27	26	25	24
Field	RFU							
属性	R/W							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	RFU							
属性	R/W							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	RFU							
属性	R/W							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	RFU							RVD
属性	R/W							R/W
初期値	0b0000000							0

[bit31:1] RFU : Reserved for Future Use

このレジスタに書込みする場合、これらのビットには 0 書込みを推奨します。このレジスタを読み出す場合 0 が読み出されます。これらは将来的なソフトウェア互換性を維持するためです。

[bit0] RVD : Reserved bit

本ビットは予約ビットです。0 を書き込みます。

CHAPTER 10: スマートカードインタフェース

この章では、スマートカードインタフェースの機能について説明します。

1. スマートカードインタフェースの概要
2. スマートカードインタフェースの構成
3. スマートカードインタフェースの動作
4. スマートカードインタフェースの割込み
5. スマートカードインタフェースの設定手順とプログラムフロー
6. スマートカードインタフェースのレジスタ

1. スマートカードインタフェースの概要

スマートカードインタフェースは、ISO 7816 スマートカードとの通信用です。非同期カードのみサポートされます。インタフェースは、タイマサポート付きパラレル-シリアル/シリアル-パラレル変換器、16 バイト送信/受信 FIFO、および制御論理を内蔵しています。スマートカードとのデータ転送は、CPU で制御されます。スマートカードインタフェースは、インタフェースタイミングを処理し、データフレーミング、タイミング、およびエラー処理について限定サポートを提供します。スマートカード端子は、GPIO 端子と共用されます。物理的スマートカード端子は、GPIO モジュールを使用して構成されます。スマートカードの物理的端子の構成に関する GPIO ドキュメントセクションを参照してください。

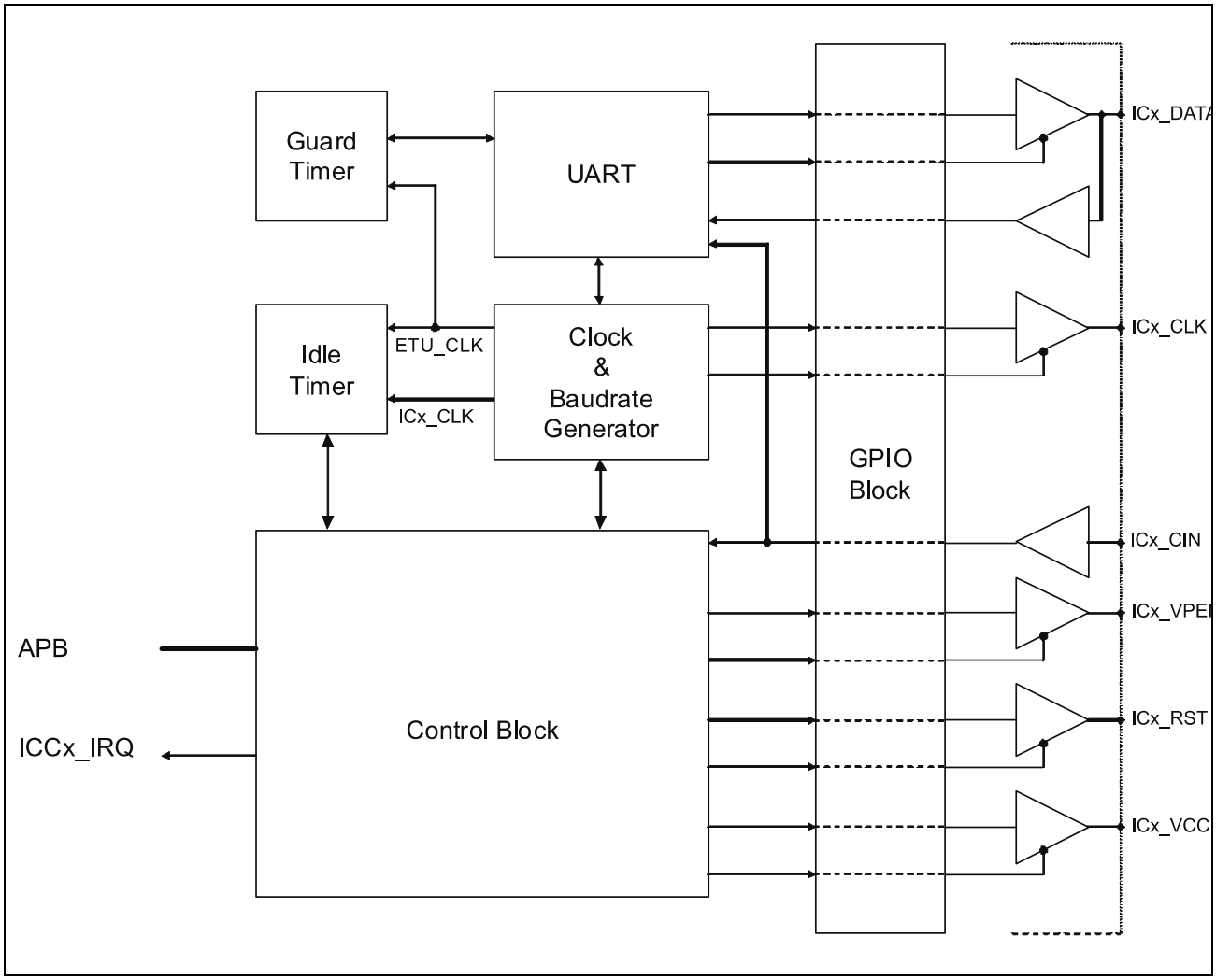
スマートカードインタフェースの特徴

- ISO 7816-3 をサポート
- カードクロック周波数は 20MHz まで調整可能
- プログラム可能なボーレート
- 使用可能なプロトコル：
  - 送信機: 8E2, 8O2, 8N2
  - 受信機: 8E1, 8O1, 8N2, 8N1, 9N1
  - 反転モード
- 再送オプション：
  - 送信機：受信機が再送を要求すると、データが再度送信され、割込みが先送りされます。
  - 受信機：パリティビットが誤っている場合、受信機は再送を要求できます。
- 出力データの反転はプログラム可能
- カード挿入/取外し検出（割込み発生に使用）
- プログラム可能なガードタイム
- FIFO サイズ：
  - 受信機用: 16 バイト
  - 送信機用: 16 バイト
- プログラム可能なアイドルタイマ（満了時に割込み発生可能）
- 割込み制御

2. スマートカードインタフェースの構成

UART 部（UART = Universal Asynchronous Receiver Transmitter（汎用非同期送受信機））は、シリアル非同期データのプロトコルを制御します。ボーレートクロックは、ボーレートジェネレータによって供給されます。さらに、2 つのタイマが使用できます。1 つは、2 つの連続する送信バイト間に間隙を与えるガードタイマで、もう 1 つは、ETU クロック（ETU = Elementary Time Unit（基本時間単位））またはカードクロック（ICx_CLK）によってクロック制御できるアイドルタイマです。アイドルタイマは、汎用タイマとして使用できます。これは、スタートビットによって起動、またはレジスタアクセスによって直接起動できます。制御部は制御バスとインタフェースし、CPU に割込み（ICCx_IRQ）がかかります。

Figure 2-1 スマートカードインタフェースブロックダイヤグラム



＜注意事項＞

- *x はチャネル番号です。以後、同様です。*

3. スマートカードインタフェースの動作

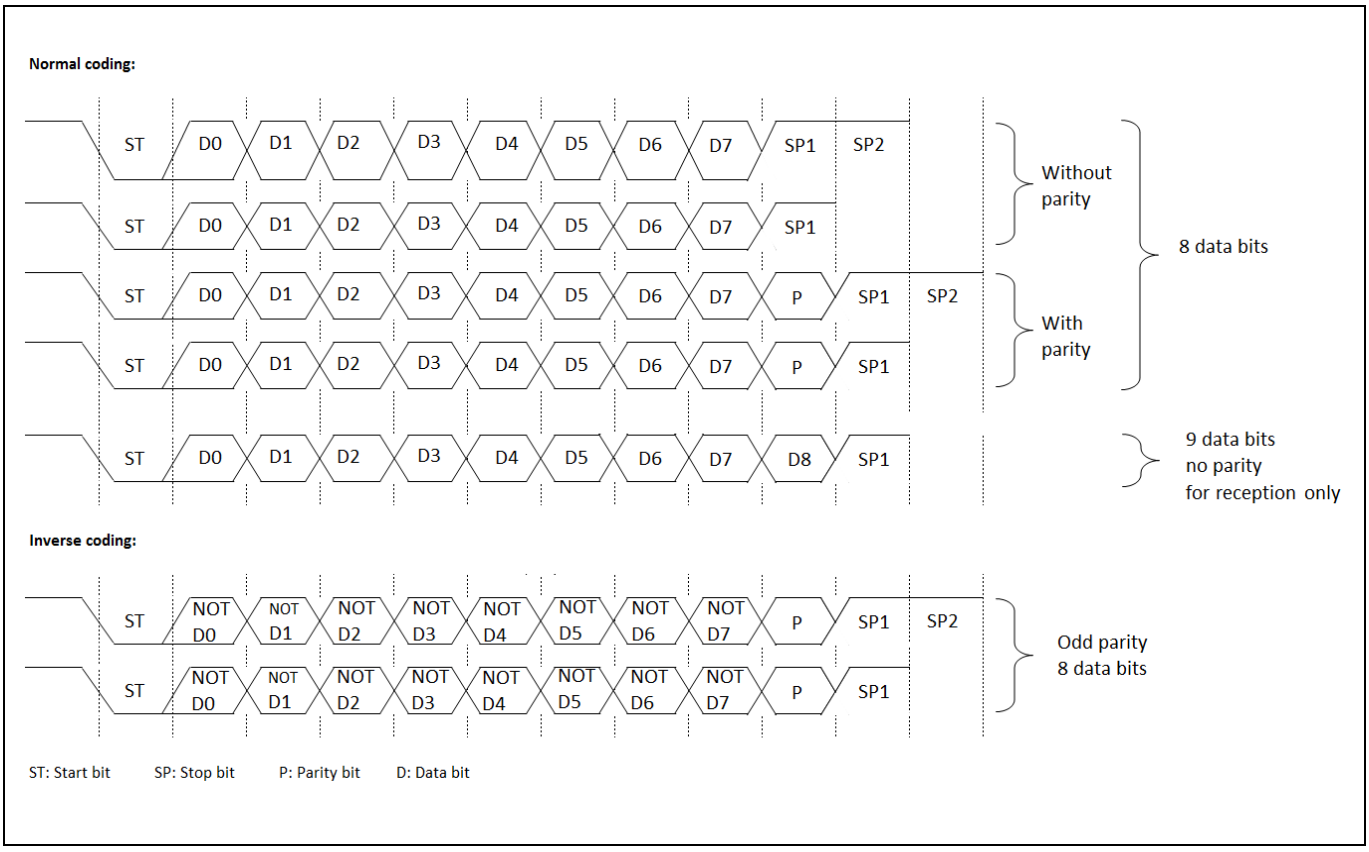
スマートカードインタフェースは、スマートカードと半二重シリアル非同期通信で動作します。

3.1 送信/受信データフォーマット

- 送信/受信データは常にスタートビットで始まり、その後、指定データビット長の送信/受信データが続き、少なくとも 1 ビット長のストップビットで終わります。
- グローバル制御 1 レジスタ(GLOBALCONTROL1)の Frm1 ビットで、データ送信のコーディングスタイル（通常コーディングまたは反転コーディング）を決定します。Frm1 ビットは、スタートビットまたはパリティビットに影響しません。パリティを使用する場合、パリティビットは常に最後のデータビットと最初のストップビットの間に置かれます。
- 通常コーディングスタイルでは、LSB が最初に送信され、ローレベルが論理ゼロです。
- 反転コーディングスタイルでは、MSB が最初に送信され、ハイレベルが論理ゼロです。反転コーディングでは、奇数パリティを構成するべきです。

Figure 3-1 に通常コーディングと反転コーディングの送信/受信データフォーマットを示します。

Figure 3-1 送信/受信データフォーマット例（通常/反転コーディング）



＜注意事項＞

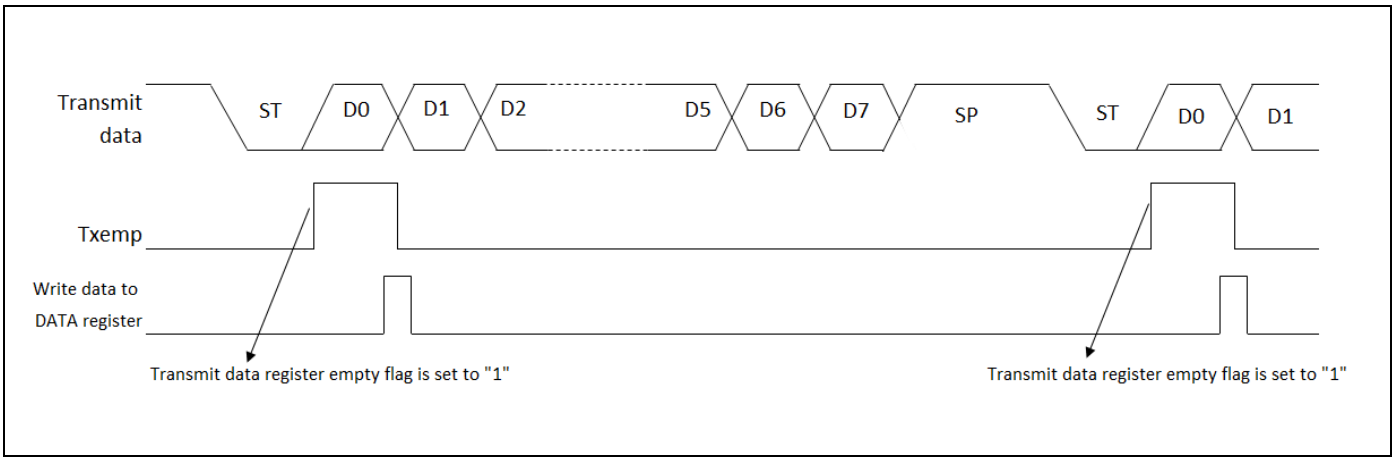
- *上図は、データ長を 8 または 9 ビットに設定した場合のフォーマットを示しています。*
- *グローバル制御 1 レジスタ(GLOBALCONTROL1)の Frm1 ビットを「1」（MSB ファースト、反転コーディング）に設定すると、ビット D0～D7 は論理が反転します。これは、スタートビット、ストップビット、およびパリティビットに影響しません。*

3.2 データ送信

- ステータスレジスタ(STATUS)の送信データレジスタエンプティフラグビット(Txemp)が「1」のとき、送信データを送信データレジスタ(DATA)に書き込むことができます。(書込み FIFO を許可した場合、送信データは FIFO から来て、データレジスタへの書込みは無効です。)
- 送信データを送信データレジスタ(DATA)に書き込むと、送信データレジスタエンプティフラグビット(STATUS.Txemp)が「0」に設定されます。
- グローバル制御 2 レジスタ(GLOBALCONTROL2)の IccDisable ビットを「0」に設定することでスマートカードインタフェースを有効にした後に、再送要求が発生しない(STATUS.TxResend=0)または再送機能が禁止(GLOBALCONTROL1.Resnd=0)の場合、Txemp ステータスフラグが「0」に設定されると、送信データは送信シフトレジスタにロードされ、スタートビットから順次送信が開始します。
- 送信開始時、送信データレジスタエンプティフラグビット(STATUS.Txemp)は再度「1」に設定されます。

Figure 3-2 は、STATUS.Txemp フラグビットがセットおよびクリアされるタイミングを示しています。

Figure 3-2 送信データレジスタエンプティフラグビット(STATUS.Txemp)のタイミング



- 送信機がデータのスタートビットの送信を開始すると、ステータスレジスタの Txact ビットが「1」に設定され(STATUS.Txact=1)、送信機がアクティブであることを示します。ガードタイマが禁止の場合(GLOBALCONTROL1.Guaen=0)、送信機がストップビットを送信し終えると、Txact ビットは「0」に設定されます。ガードタイマが有効な場合(GLOBALCONTROL1.Guaen=1)、設定したガードタイム(GUARDTIMER.Gtreg)が満了すると、Txact ビットは「0」に設定されます。

Figure 3-3 は、ガードタイマが禁止の場合の STATUS.Txact フラグビットのタイミングを示しています。

Figure 3-3 送信機アクティブフラグビット(STATUS.Txact)のタイミング（ガードタイマ禁止）

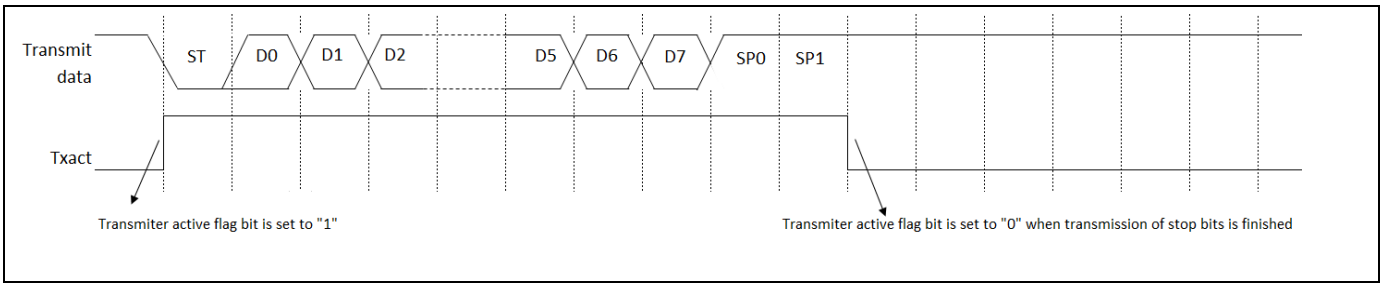
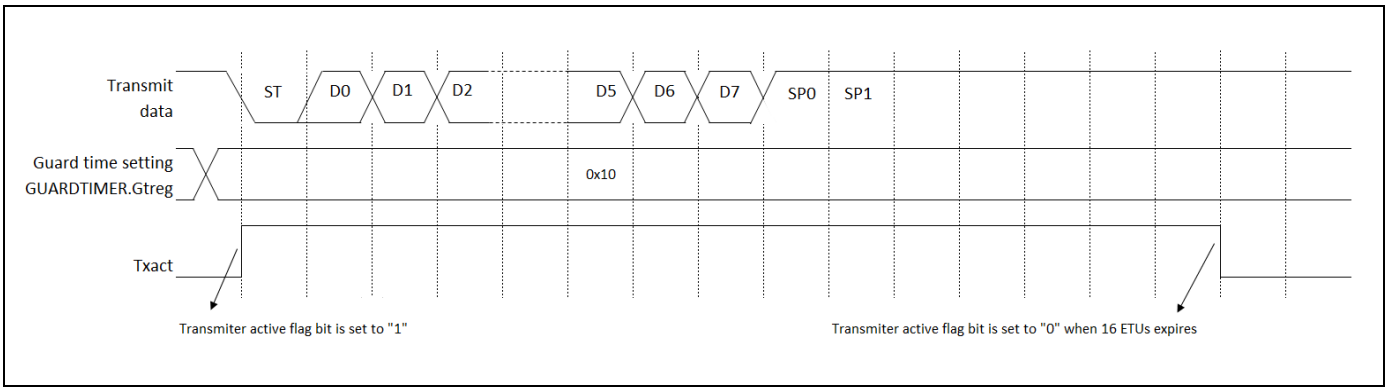


Figure 3-4 は、ガードタイマが有効な場合の STATUS.Txact フラグビットのタイミングを示しています。

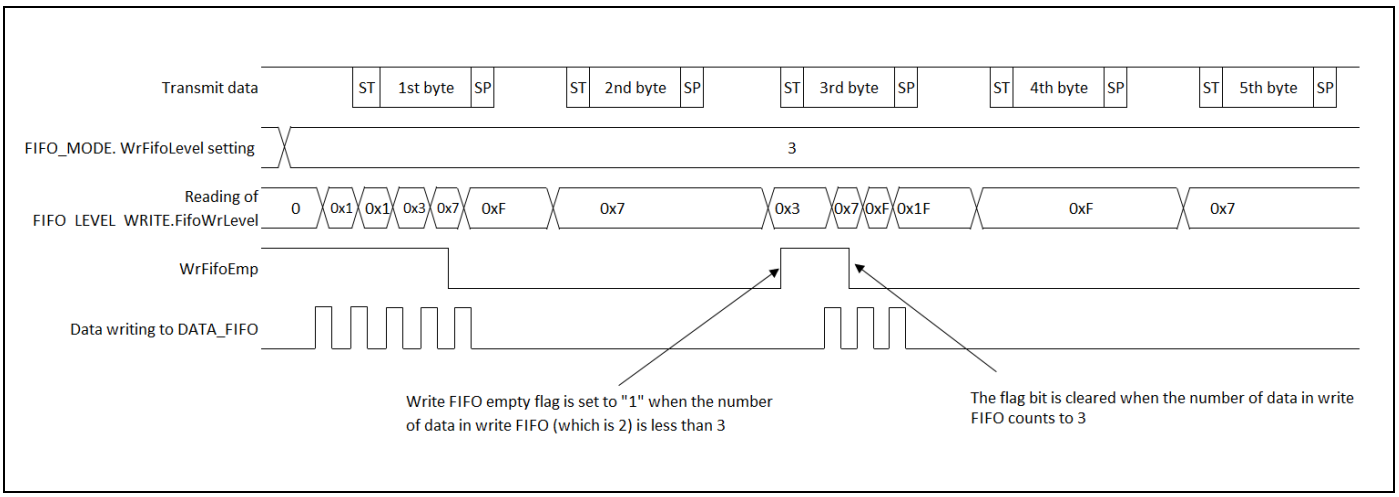
Figure 3-4 送信機アクティブフラグビット(STATUS.Txact)のタイミング（ガードタイマ有効）



■ 書込み FIFO を許可すると(FIFO_MODE.FifoEn=1)、FIFO へのデータ書込みが送信されます。書込み FIFO 内のデータ数が書込み FIFO レベル(FIFO_MODE.WrFifoLevel)未満の場合、書込み FIFO エンプティフラグビット(STATUS.WrFifoEmp)が「1」に設定されます。書込み FIFO 内のデータ数が書込み FIFO レベル以上の場合、WrFifoEmp フラグビットは「0」にクリアされます。

Figure 3-5 は、STATUS.WrFifoEmp フラグビットのタイミングを示しています。

Figure 3-5 書込み FIFO エンプティフラグビット(STATUS.WrFifoEmp)のタイミング

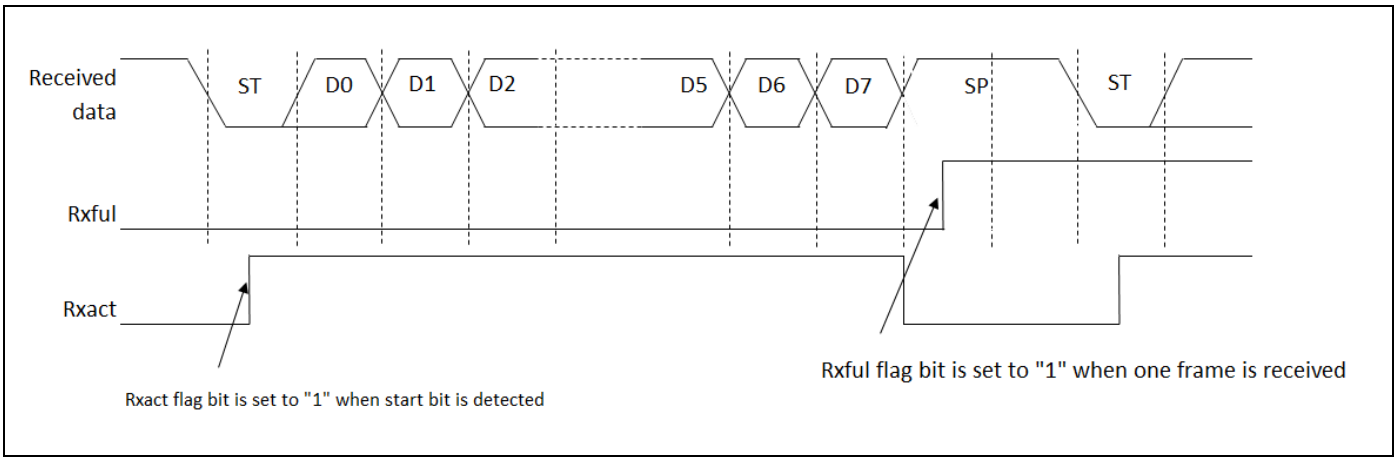


3.3 データ受信

- グローバル制御 2 レジスタ(GLOBALCONTROL2)の IccDisable ビットを「0」に設定することでスマートカードインタフェースを有効にした後に、ICx_DATA ラインでスタートビットが検出されると、インタフェースは受信を実行します。
- スタートビットが検出されると、グローバル制御 1 レジスタ(GLOBALCONTROL1.Parity, Frm0, Mode8n1, Rx8n1)で設定したデータフォーマットに従って、1 フレームのデータ受信が行われます。ICx_DATA ラインで立下りエッジが検出され、ローレベルがサンプリング点(立下りエッジ後の ETU の半分)まで続くと、スタートビットが検出されます(Status.Rxact=1)。
- 1 フレームの受信が完了すると、受信データは受信機のロードレジスタに格納され、受信レジスタフルフラグビット(STATUS.Rxful)が「1」に設定されます。データフレームは、データレジスタから読み出せます。パリティエラーが発生し、再送機能が有効な場合は、受信データは受信機のロードレジスタにロードされず、受信レジスタフルフラグビットの設定が先送りされることに注意してください。
- 受信データを読み出すには、1 フレームのデータ受信後、受信データレジスタ(DATA)の読出しを実行します。
- 受信データを読み出すと、受信レジスタフルフラグビット(STATUS.Rxful)が「0」にクリアされます。

Figure 3-6 は、受信データレジスタフル(STATUS.Rxful)および受信機アクティブ(Status.Rxact)フラグビットのタイミングを示しています。

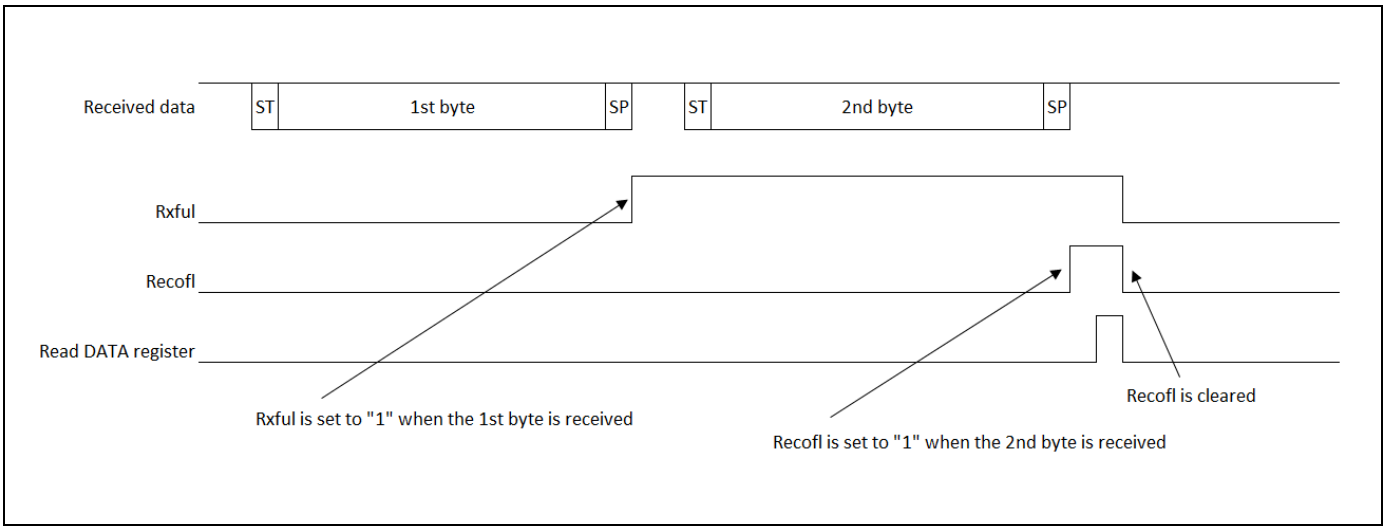
Figure 3-6 STATUS.Rxful および STATUS.Rxact フラグビットのタイミング



- 受信データが CPU によって読み出されず、受信機が次のデータフレームを受信し終えた場合、受信レジスタオーバフローフラグビット(STATUS.Recofl)が「1」に設定されます。
- 受信レジスタオーバフローフラグビット(STATUS.Recofl)は、データレジスタを読み出すことで「0」にクリアされます。

Figure 3-7 は、受信データレジスタオーバフロー(STATUS.Recofl)フラグビットのタイミングを示しています。

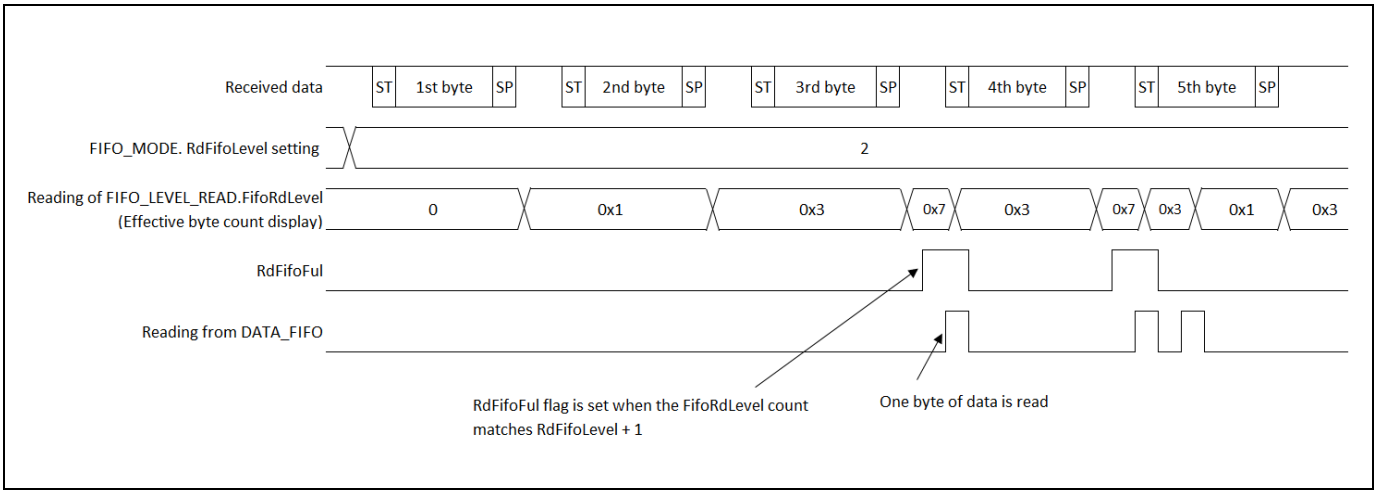
Figure 3-7 受信データレジスタオーバフロー(STATUS.Recofl)フラグビットのタイミング



- 読出し FIFO を許可した場合、受信フレーム数が読出し FIFO レベル+1(FIFO_MODE.RdFifoLevel+1)に設定した値に達すると、読出し FIFO フルフラグビット(STATUS.RdFifoFul)が「1」に設定されます。
- 読出し FIFO を許可した場合、パリティエラーが発生し(STATUS.Rxresend=1)、再送機能が有効ならば(GLOBALCONTROL1.Rxrsnd=1)、受信データフレームは、読出し FIFO に保存されません。
- 読出し FIFO 内の有効データ数が FIFO_MODE.RdFifoLevel+1 未満の場合、読出し FIFO フルフラグは「0」に設定されます。

Figure 3-8 は、読出し FIFO フル(STATUS.RdFifoFul)フラグビットのタイミングを示しています。

Figure 3-8 読出し FIFO フル(STATUS.RdFifoFul)フラグビットのタイミング



3.4 ボーレート構成

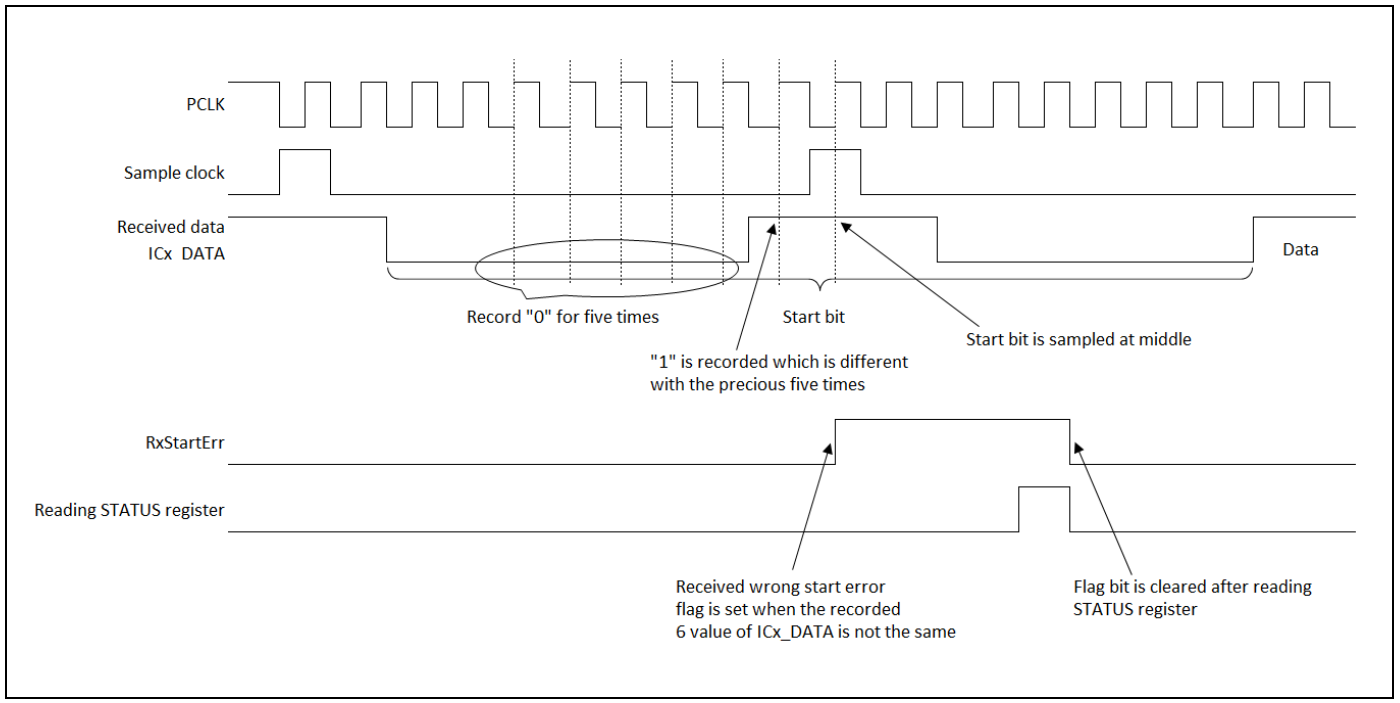
- カードクロック出力 ICx_CLK の周波数は、CARDCLOCK レジスタの ClkDivider ビットで構成した PCLK とカードクロック分周に依存します。
  すなわち、CardClock[Hz]=PCLK[Hz]/CARDCLOCK.ClkDivider です。
- データ送信のボーレートは、カードクロック周波数とボーレートレジスタの Brreg ビット(BAUDRATE.Brreg)の値に依存します。
- ISO7816-3 標準に従い、1ETU=(F/D)*(1/CardClock[Hz])。F/D は、ボーレートレジスタの Brreg ビット(BAUDRATE.Brreg)で構成します。
  例えば、F/D=31 とするには、値 0x1F を BAUDRATE.Brreg にプログラムしなければなりません。
  F/D=31.5 とするには、BAUDRATE レジスタの「LittleStep」ビットを「1」に設定します。

3.5 スタートビット検出

- 受信データのスタートビットは、ICx_DATA 端子の立下りエッジの検出に基づいて認識されます。
- スタートビットの立下りエッジが検出されると、受信機は、ICx_DATA レベルを 6 回記録してから、スタートビットの中間でサンプリングします。記録された 6 つの値が同じでないか、またはスタートビットのサンプル値が「0」でない場合、誤スタートビット受信エラーが発生し、ステータスレジスタの RxStartErr ビットがセットされます(STATUS.RxStartErr=1)。
- 一度ステータスレジスタを読み出せば、RxStartErr ビットは「0」にクリアされます。

Figure 3-9 は、誤スタートビット受信エラーフラグ(STATUS.RxStartErr)のタイミングを示しています。

Figure 3-9 誤スタートビット受信エラー(STATUS.RxStartErr)フラグビットのタイミング

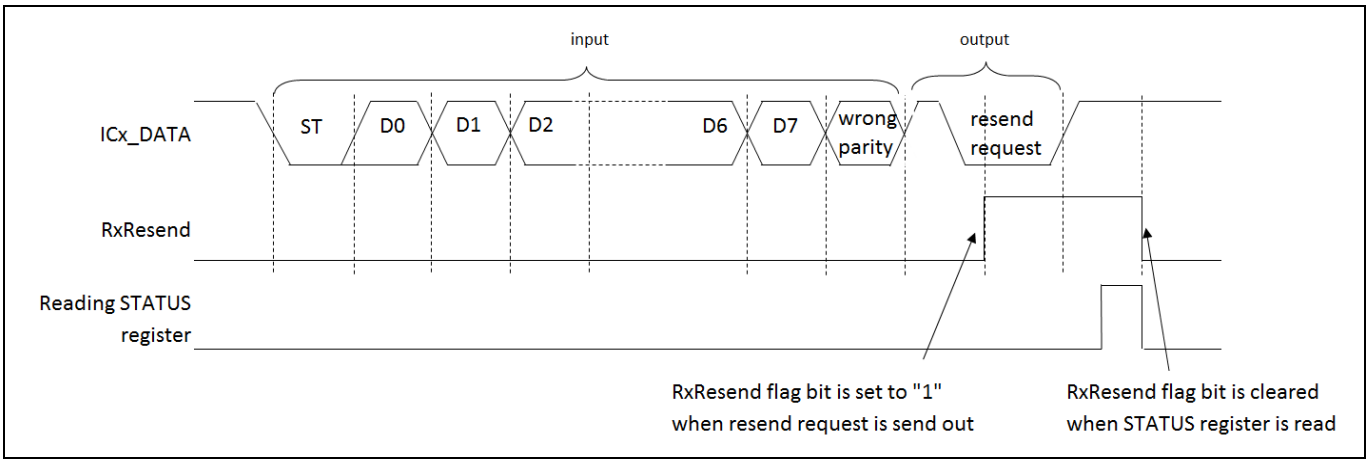


3.6 エラー検出

- 受信機が誤ったパリティビットを検出し、再送機能が有効な場合(GLOBALCONTROL1.Resnd=1)、パリティビットからETU の半分後に 1.5ETU の間、ICx_DATA をローレベルにすることで、再送要求が送出されます。
- 再送要求が送出されると、ステータスレジスタの受信機再送フラグビット(STATUS.RxResend)が 1 に設定されます。
- 再送機能が有効な場合、パリティに誤りがある受信フレームはデータレジスタに保存されず、受信データレジスタのフルフラグビット(STATUS.Rxful)はセットされません。
- 受信機再送フラグビットは、ステータスレジスタを読出すことでクリアされます。

Figure 3-10 は、受信機再送フラグビット(STATUS.RxResend)のタイミングを示しています。

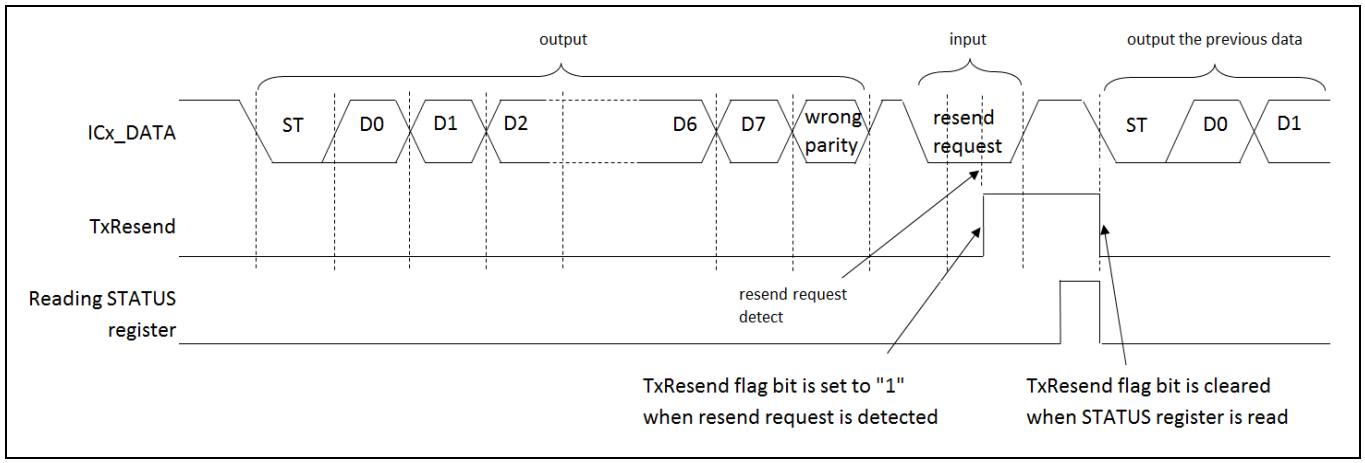
Figure 3-10 受信機再送(STATUS.RxResend)フラグビットのタイミング



- 送信機が再送要求（パリティビットから ETU の半分後、ICx_DATA でローレベル）を検出し、再送機能が有効な場合(GLOBALCONTROL1.Resnd=1)、送信機は現在のデータフレームを再度送信し、ステータスレジスタ(STATUS.TxResend)の送信機再送フラグビットが 1 に設定されます。
- 送信機再送フラグビットは、ステータスレジスタを読み出すことでクリアされます。

Figure 3-11 は、送信機再送フラグビット(STATUS.TxResend)のタイミングを示しています。

Figure 3-11 送信機再送(STATUS.TxResend)フラグビットのタイミング



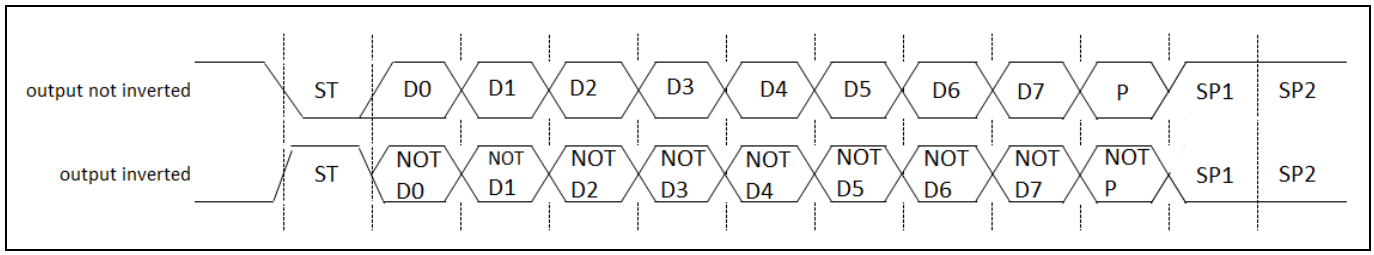
3.7 出力反転

グローバル制御 2 レジスタの InvDataOut ビットを 1 に設定することで、ICx_DATA ラインの出力データの論理を反転できます。

- 出力データを反転するには、GLOBALCONTROL2.InvDataOut を「1」に設定します。
- スタートビット、ストップビット、およびパリティビットはすべて反転されます。
- 出力データのみ反転できます。この設定は、入力データに影響しません。

Figure 3-12 は、出力データを反転した場合のデータフレームを示しています。

Figure 3-12 出力データを反転した場合のデータフレーム



3.8 ポート制御

ICx_VPEN、ICx_VCC、および ICx_RST 出力のレベルは、ソフトウェアで制御されます。ICx_DATA と ICx_CLK のレベルは、ハードウェアまたはソフトウェアで制御できます。

- ICx_VPEN、ICx_VCC、および ICx_RST 端子の出力レベルは、それぞれ PORTCONTROL レジスタのビット VpenBuf、VccBuf、および RstBuf に設定した値に依存します。ローレベルが必要な場合は、レジスタビットを「0」に設定し、逆の場合は、「1」に設定します。
- GLOBALCONTROL1 レジスタのビット Ckmod を 1 に設定した場合(GLOBALCONTROL1.Ckmod=1)、ICx_CLK のレベルは、PORTCONTROL レジスタの Clkpt ビット(PORTCONTROL.Clkpt)に設定した値に依存します。
- GLOBALCONTROL1 レジスタのビット Ckmod を 0 に設定した場合(GLOBALCONTROL1.Ckmod=0)、ICx_CLK のレベルは、UART 部で自動的に（ハードウェア）制御されます。
- GLOBALCONTROL1 レジスタのビット Iomod を 1 に設定した場合(GLOBALCONTROL1.Iomod=1)、ICx_DATA のレベルは、PORTCONTROL レジスタの Io1 ビット(PORTCONTROL.Io1)に設定した値に依存します。
- ICx_DATA 出力レベルをソフトウェアで制御する場合(GLOBALCONTROL1.Iomod=1)、PORTCONTROL レジスタの Trimod ビットを「1」(PORTCONTROLTrimod=1)に設定して、ソフトウェアによるデータ出力許可信号の制御を可能にするべきです。
- PORTCONTROL.Trimod を「1」に設定した場合、PORTCONTROL レジスタの Io1en ビットを 0/1 に設定して、ICx_DATA 端子のデータ出力を許可/禁止します。
- GLOBALCONTROL1 レジスタのビット Iomod を 0 に設定した場合(GLOBALCONTROL1.Iomod=0)、ICx_DATA のレベルは、UART 部で自動的に（ハードウェア）制御されます。

4. スマートカードインタフェースの割込み

スマートカードインタフェースは、送信、受信、カードイベント検出、またはアイドルタイマ満了割込みを発生します。これらの割込み要求は、以下の場合に発生することがあります。

- 受信データがデータレジスタ(DATA)に設定された、または受信機がアクティブである。
- 送信データがデータレジスタ(DATA)から送信シフトレジスタに転送され、データ送信が開始された。
- ICx_CIN 端子でイベントが検出された。
- アイドルタイマが満了した。

Table 4-1 は、スマートカードインタフェース割込み制御ビットと割込み要因の関係を示しています。

Table 4-1 スマートカードインタフェース割込み制御ビットと割込み要因

割込みタイプ	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグをクリアする動作
受信	RxfullIrq	IRQ_STATUS	1 バイトの受信	GLOBALCONTROL1.Maskrxful	受信データレジスタ(DATA)を読み出す
	RxstbiIrp	IRQ_STATUS	受信スタートビットの検出、受信機がアクティブ	GLOBALCONTROL1.Masksti	IRQ ステータスレジスタ(IRQ_STATUS)を読み出す
	RdFifoIrq	IRQ_STATUS	受信データ量が RdFifoLevel に設定した値と一致	FIFO_MODE.RdFifoIrqEn	読出し FIFO 内のデータ数が RdFifoLevel 以下になるまで、読出しデータ FIFO レジスタ(DATA_FIFO)を読み出す
	RdFifoOvrIrq	IRQ_STATUS	読出し FIFO オーバフロー	FIFO_MODE.RdFifoOvrIrqEn	FIFO_CLEAR_MSB_READ.ClrRdFifo を 1 に設定することで読出し FIFO をフラッシュする
送信	TxempIrp	IRQ_STATUS	送信データレジスタが空	GLOBALCONTROL1.Masktxemp	送信データレジスタ(DATA)に書き込む
	WrFifoIrq	IRQ_STATUS	送信データ量が WrFifoLevel に設定した値と一致	FIFO_MODE.WrFifoIrqEn	書込み FIFO 内のデータ数が WrFifoLevel 以上になるまで書込みデータ FIFO レジスタ(DATA_FIFO)に書き込む
カードイベント	CardEventIrq	IRQ_STATUS	ブロックがカード検出入力(ICx_CIN)で変化を検出	GLOBALCONTROL1.Maskcaevent	IRQ ステータスレジスタ(IRQ_STATUS)を読み出す
アイドルタイマ	IdtexpIrq	IRQ_STATUS	アイドルタイマ満了	GLOBALCONTROL1.Maskitexp	このビットは、アイドルタイマを再起動または無効にすることでのみクリア可能

4.1 受信割込み発生とフラグセットのタイミング

データ受信は受信完了(IRQ_STATUS:RxfulIrq=1)によって割込むことができ、受信機起動は検出できます(IRQ_STATUS:RxstbiIrp=1)。

受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されると、受信データは受信データレジスタ(DATA)に格納され、受信データレジスタフルフラグがセットされます(IRQ_STATUS.RxfulIrq=1)。受信割込みを許可した場合(GLOBALCONTROL1.Maskrxful=1)、受信割込みが発生します。データをデータレジスタから読み出すと、受信割込みがクリアされます。
スタートビットが検出され、受信スタートビット割込みが可能な場合(GLOBALCONTROL1.Masksti=1)、受信スタートビットフラグがセットされ(IRQ_STATUS.RxstbiIrq=1)、受信スタートビット割込みが発生します。この割込みは、IRQ_STATUSレジスタを読み出すことでクリアされます。

<注意事項>

- *パリティエラーが発生し、再送機能が有効な場合(GLOBALCONTROL1.Resnd=1)、データはデータレジスタに格納されず、割込みは先送りされます。*

Figure 4-1 RxfulIrq（受信データレジスタフル）フラグビットセットのタイミング

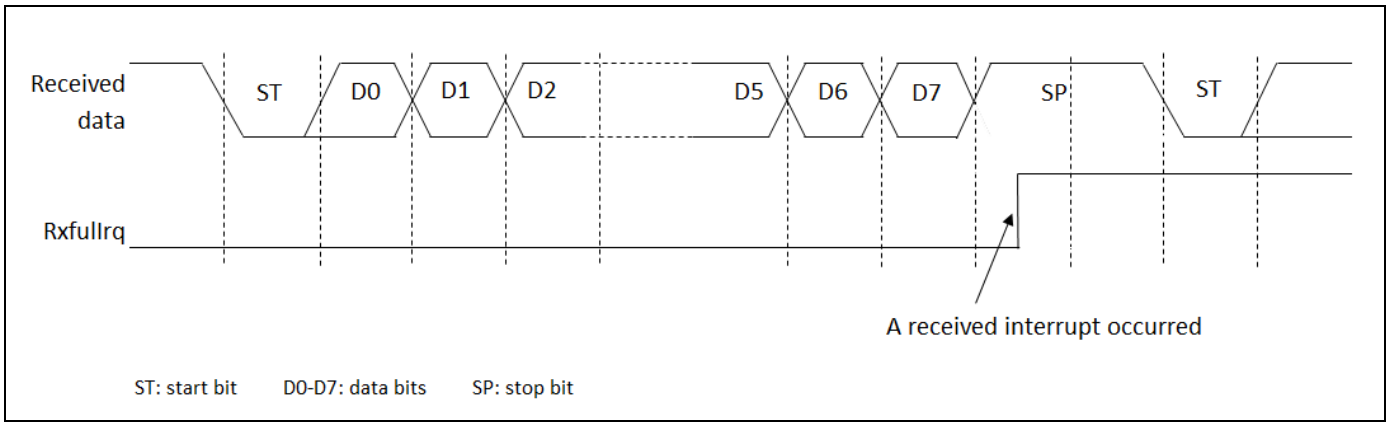
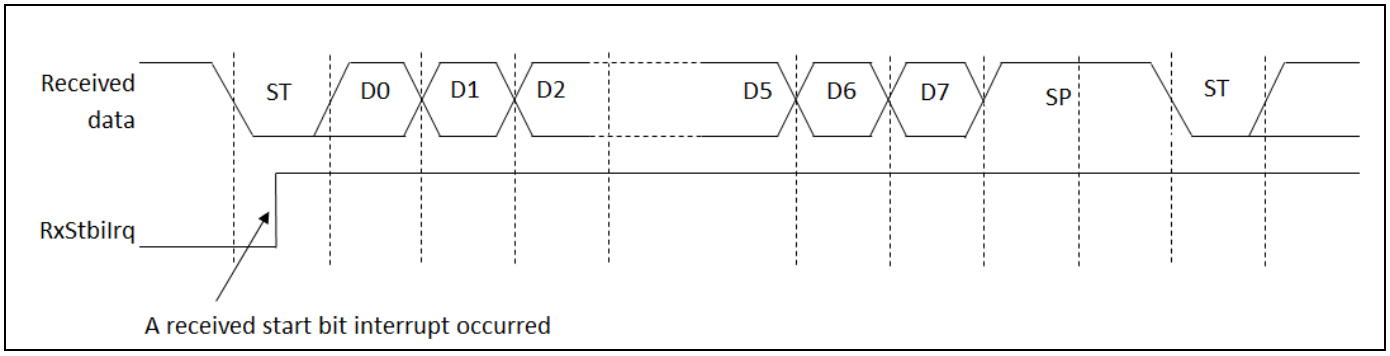


Figure 4-2 RxStbiIrq（受信スタートビット）フラグビットセットのタイミング



4.2 読出し FIFO 使用時の割込み発生とフラグセットのタイミング

読出し FIFO 使用時、読出し FIFO 内のデータ数が RdFifoLevel（FIFO_MODE レジスタに事前設定）に達すると、割込みが発生します。

読出し FIFO 使用時の割込み発生とフラグセットのタイミング

読出し FIFO を使用した場合、FIFO_MODE.RdFifoLevel レジスタビットに設定した値により、割込みが発生します。

- 読出し FIFO 内の受信データ数が RdFifoLevel+1 に達し、読出し FIFO フル割込みが可能な場合(FIFO_MODE.RdFifoIrqEn=1)、IRQ ステータスレジスタの読出し FIFO フル割込みフラグ(IRQ_STATUS.RdFifoIrq)が「1」に設定され、読出し FIFO フル割込みが発生します。
- 読出し FIFO 内のデータ数が RdFifoLevel+1 未満になるまで、データを読出しデータ FIFO レジスタ(DATA_FIFO)から読み出すと、読出し FIFO フルフラグ(IRQ_STATUS.RdFifoIrq)はクリアされます。
- 有効受信データ量が FIFO 容量と同じである場合、読出し FIFO オーバフロー割込みを許可したときに(FIFO_MODE.RdFifoOvrIrqEn=1)、次のデータを受信すると、IRQ ステータスレジスタの読出し FIFO オーバフローフラグ(IRQ_STATUS.RdFifoOvrIrq=1)が「1」に設定され、読出し FIFO オーバフロー割込みが発生します。

読出し FIFO クリアレジスタ(FIFO_CLEAR_MSB_ READ.ClrRdFifo)に「1」を書き込むことで読出し FIFO をフラッシュすると、読出し FIFO オーバフロー割込みはクリアされます。

Figure 4-3 RdFifoIrq（読出し FIFO フル割込み）フラグビットセットのタイミング

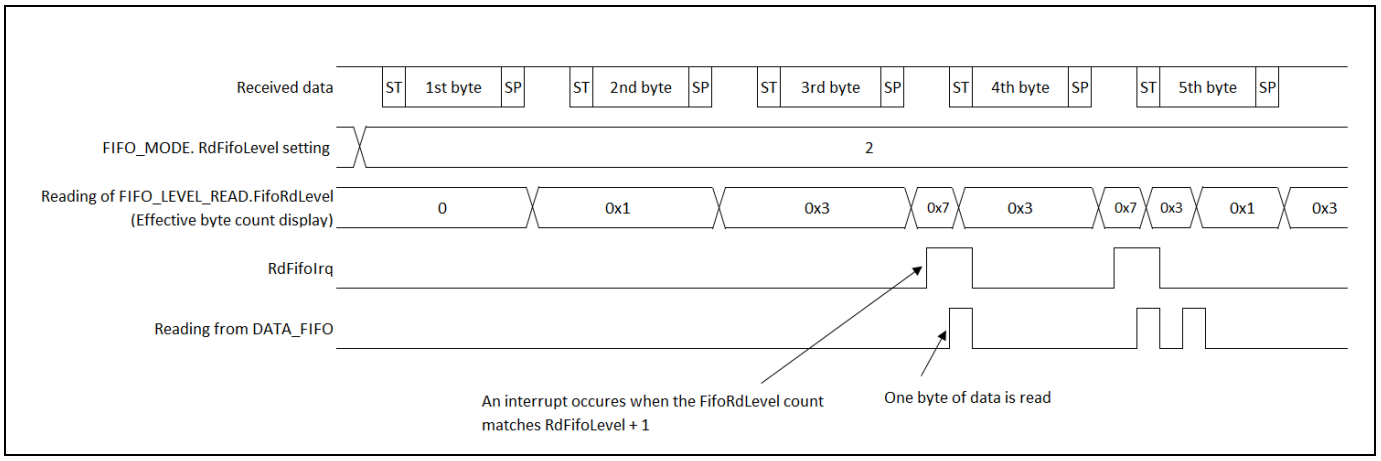
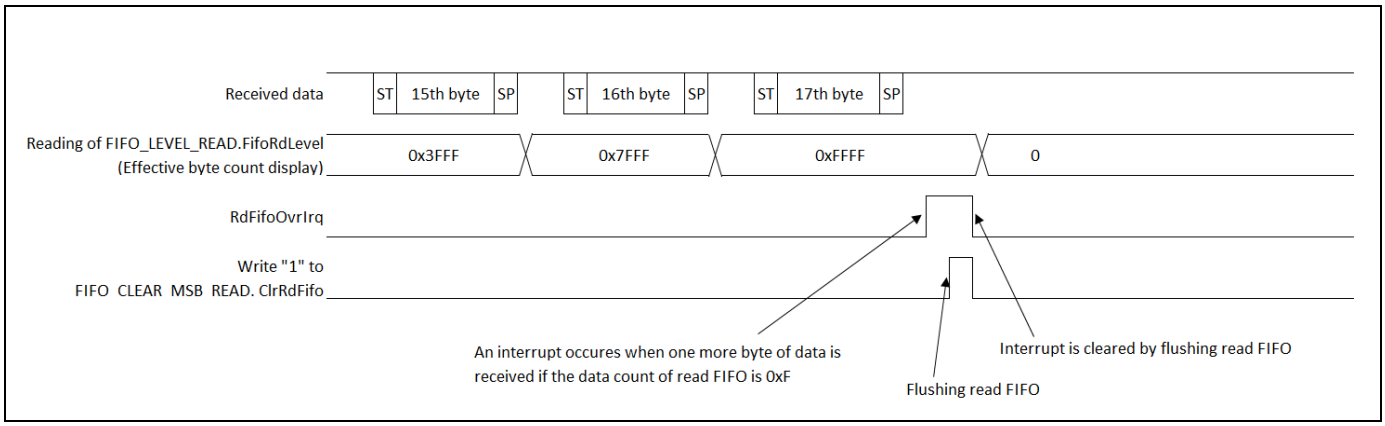


Figure 4-4 RdFifoOvrIrq（読出し FIFO オーバフロー）フラグビットセットのタイミング



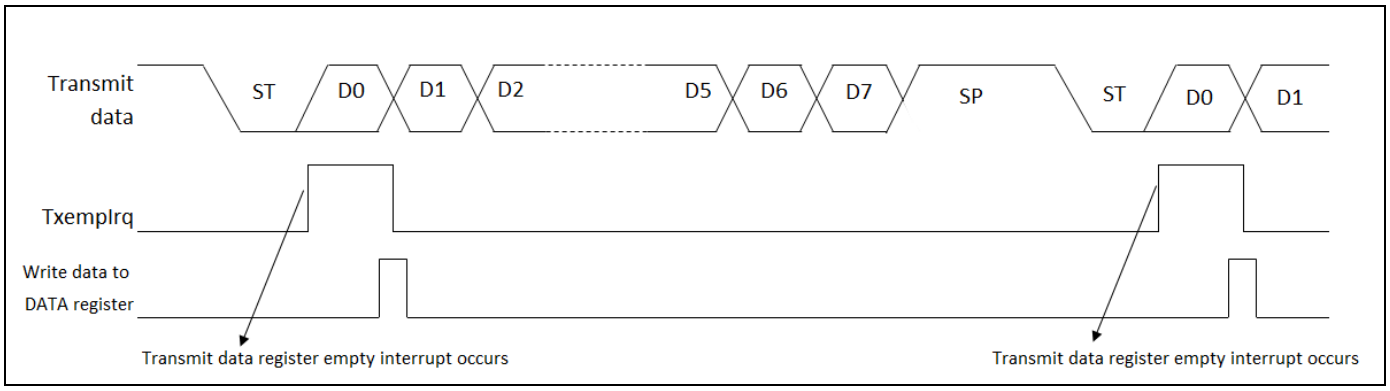
4.3 送信割込み発生とフラグセットのタイミング

送信データを送信データレジスタ(DATA)から送信シフトレジスタに転送すると、送信割込みが発生します(IRQ_STATUS.TxempIrq=1)。送信を実行していない(STATUS.Txact=0)ときに送信が開始します。

送信データレジスタエンプティフラグ(IRQ_STATUS.TxempIrq)セットのタイミング

データを送信データレジスタ(DATA)から送信シフトレジスタに転送した後(STATUS.Txemp=1)、次のデータをデータレジスタに書き込むことができます。この間に送信割込みを許可すると(GLOBALCONTROL1.Masktxemp=1)、送信データレジスタエンプティフラグがセットされ(IRQ_STATUS.TxempIrq=1)、送信割込みが発生します。データを送信データレジスタ(DATA)に書き込むと、IRQ_STATUS.TxempIrq ビットは「0」にクリアされます。

Figure 4-5 送信データレジスタエンプティフラグ(IRQ_STATUS.TxempIrq)セットのタイミング



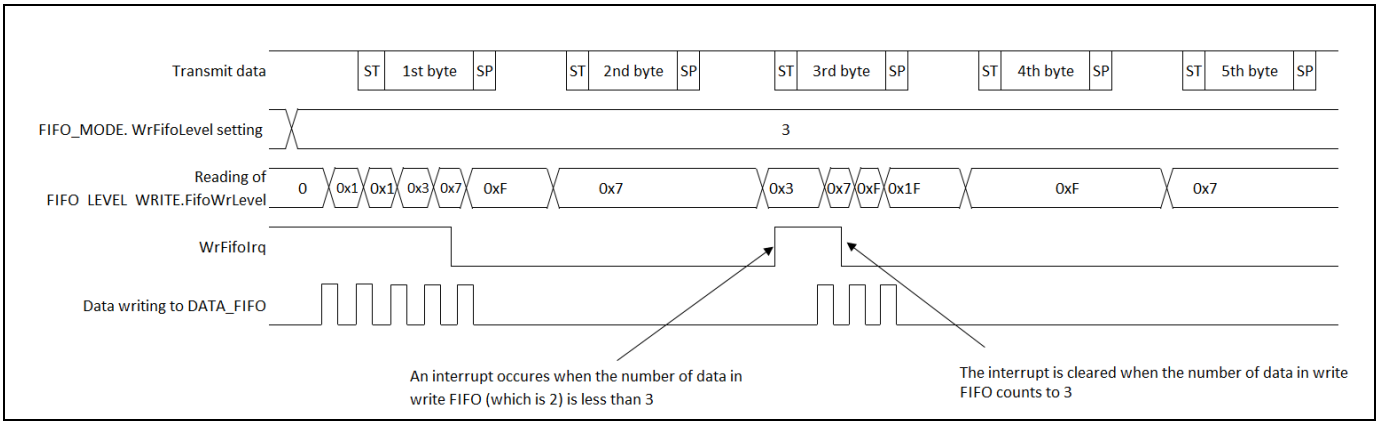
4.4 書込み FIFO 使用時の割込み発生とフラグセットのタイミング

書込み FIFO 使用時、書込み FIFO 内の有効データ数(FIFO_LEVEL_WRITE.FifoWrLevel)が FIFO_MODE.WrFifoLevel に設定した値未満の場合、割込みが発生します。

書込み FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 書込み FIFO エンプティ割込みを許可したとき(FIFO_MODE.WrFifoIrqEn=1)、書込み FIFO 内の有効データ数が FIFO_MODE.WrFifoLevel 未満の場合、割込みが発生し、書込み FIFO エンプティ割込みフラグが「1」に設定されます(IRQ_STATUS.WrFifoIrq=1)。
- 書込み FIFO 内の有効データ数が FIFO_MODE.WrFifoLevel 以上の場合、書込み FIFO エンプティ割込みはクリアされます(IRQ_STATUS.WrFifoIrq=0)。

Figure 4-6 書込み FIFO 使用時の送信割込み発生のタイミング



4.5 カードイベント割込み発生とフラグセットのタイミング

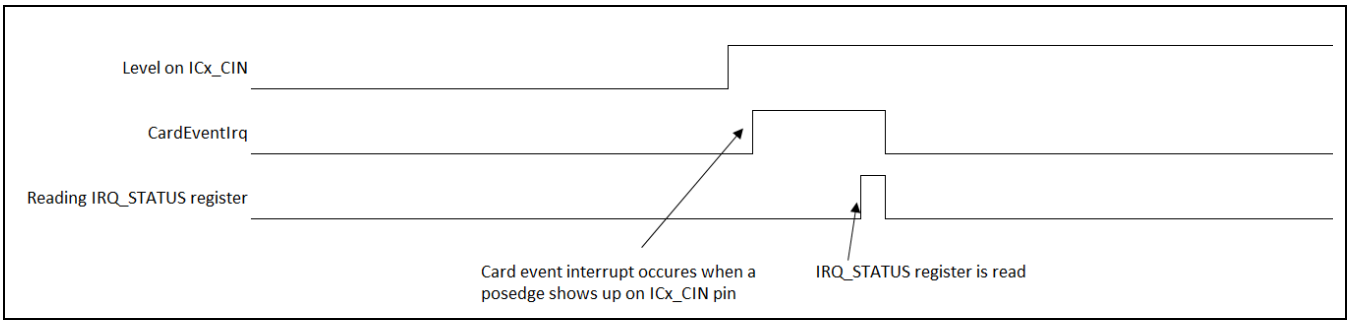
ICx_CIN 端子でイベント（カード差込みまたは取外し）が有り、カードイベント割込みを許可した場合(GLOBALCONTROL1.Maskcaevent=1)、カードイベント割込みが発生します。

カードイベント割込み発生とフラグセットのタイミング

- カードイベント割込みを許可した場合(GLOBALCONTROL1.Maskcaevent=1)、ICx_CIN 入力のレベルが変化すると、割込みが発生し、カードイベント割込みフラグが「1」に設定されます(IRQ_STATUS.CardEventIrq=1)。
- カードイベント割込みは、IRQ ステータスレジスタ(IRQ_STATUS)を読み出すことでクリアされます。

Figure 4-7 は、カードイベント割込みのタイミングを示しています。

Figure 4-7 カードイベント割込みフラグ(IRQ_STATUS.CardEventIrq)セットのタイミング



4.6 アイドルタイマ満了割込み発生とフラグセットのタイミング

アイドルタイマが満了し(0 までカウント)、アイドルタイマ満了割込みを許可した場合(GLOBALCONTROL1.Maskitexp=1)、アイドルタイマ満了割込みが発生します。

アイドルタイマ満了割込み発生とフラグセットのタイミング

- アイドルタイマ満了割込みを許可した場合(GLOBALCONTROL1.Maskitexp=1)、アイドルタイマが 0 になると、割込みが発生し、アイドルタイマ満了割込みフラグが「1」に設定されます(IRQ_STATUS.IdtexpIrq=1)。
- アイドルタイマは、グローバル制御 1 レジスタビットの Idtsc ビット(GLOBALCONTROL1.Idtsc)を「0」または「1」に設定することでそれぞれカードクロック(ICx_CLK)または ETU クロック（ボーレートクロック）によってクロック制御できる汎用 16 ビット減算カウンタです。
- アイドルタイマは、スタートビット送信時に（再送要求後にも）送信機によって、またはグローバル制御 1 レジスタビットの Stidt ビット(GLOBALCONTROL1.Stidt)に「1」を書き込むことによって起動できます。
- アイドルタイマを起動するごとに、アイドルタイマレジスタの Idtreg ビットで構成した開始値(IDLETIMER.Idtreg-1)が減算カウンタにリロードされ、アイドルタイマが動作を開始します。
- アイドルタイマ満了割込みは、送信データレジスタ(DATA)にデータを書き込むか、または GLOBALCONTROL1.Stidt に「1」を書き込むことでアイドルタイマを再起動することによってクリアできます。

Figure 4-8 は、アイドルタイマをカードクロックでクロック制御し、ソフトウェアで起動する（GLOBALCONTROL1.Stidt に「1」を書き込む）場合のアイドルタイマ満了割込みフラグ(IRQ_STATUS.IdtexpIrq)のタイミングを示しています。

Figure 4-8 アイドルタイマをソフトウェアで起動し、カードクロックでクロック制御する場合のアイドルタイマ満了割込みフラグ(IRQ_STATUS.IdtexpIrq)セットのタイミング

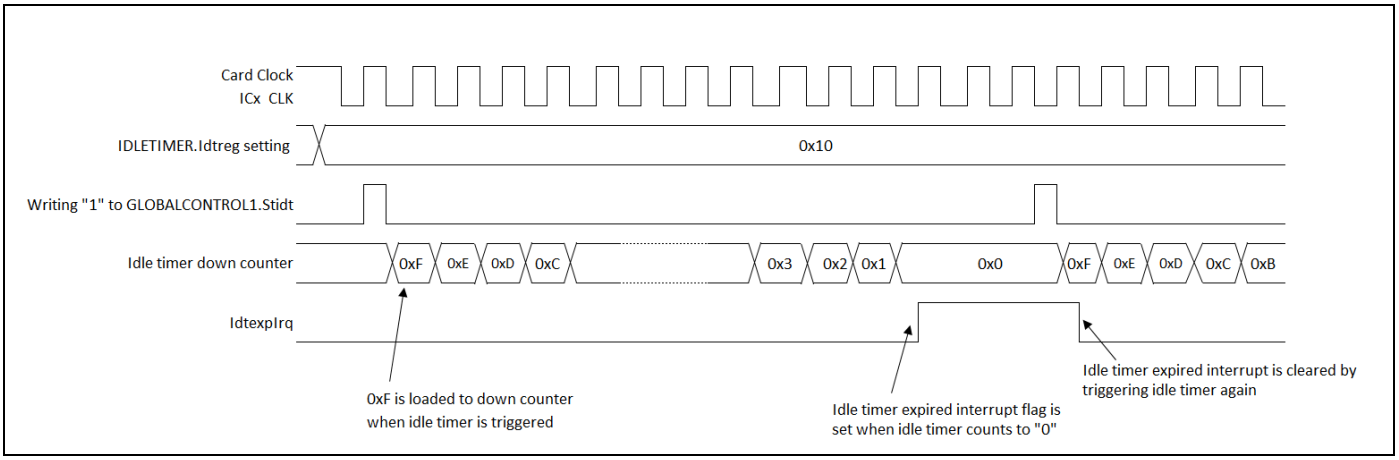
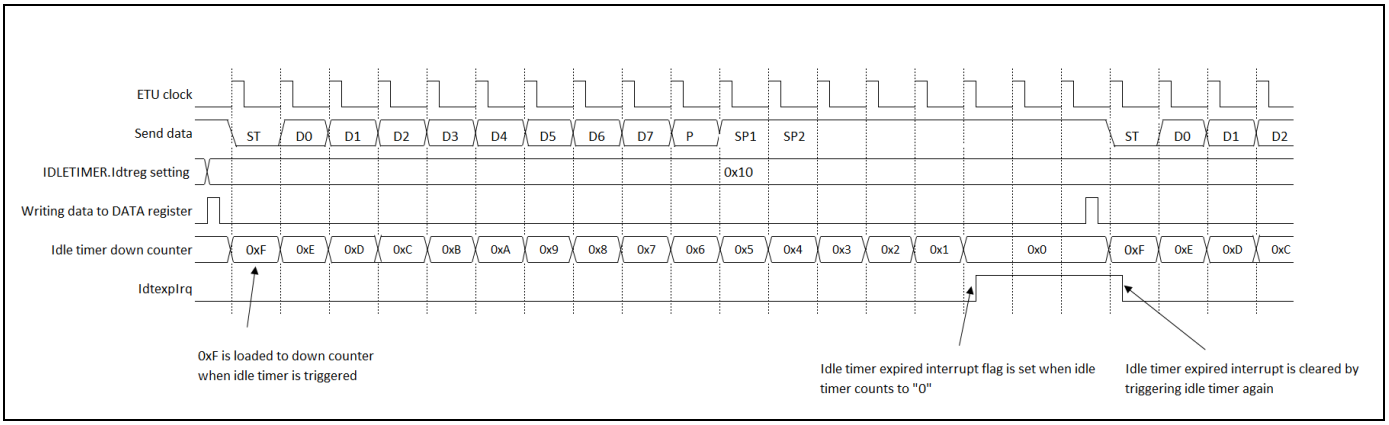


Figure 4-9 は、アイドルタイマを ETU クロックでクロック制御し、スタートビットの送信で起動する場合のアイドルタイマ満了割込みフラグ(IRQ_STATUS.IdtexpIrq)のタイミングを示しています。

Figure 4-9 アイドルタイマをスタートビットの送信で起動し、ETU クロックでクロック制御する場合のアイドルタイマ満了割込みフラグ(IRQ_STATUS.IdtexpIrq)セットのタイミング

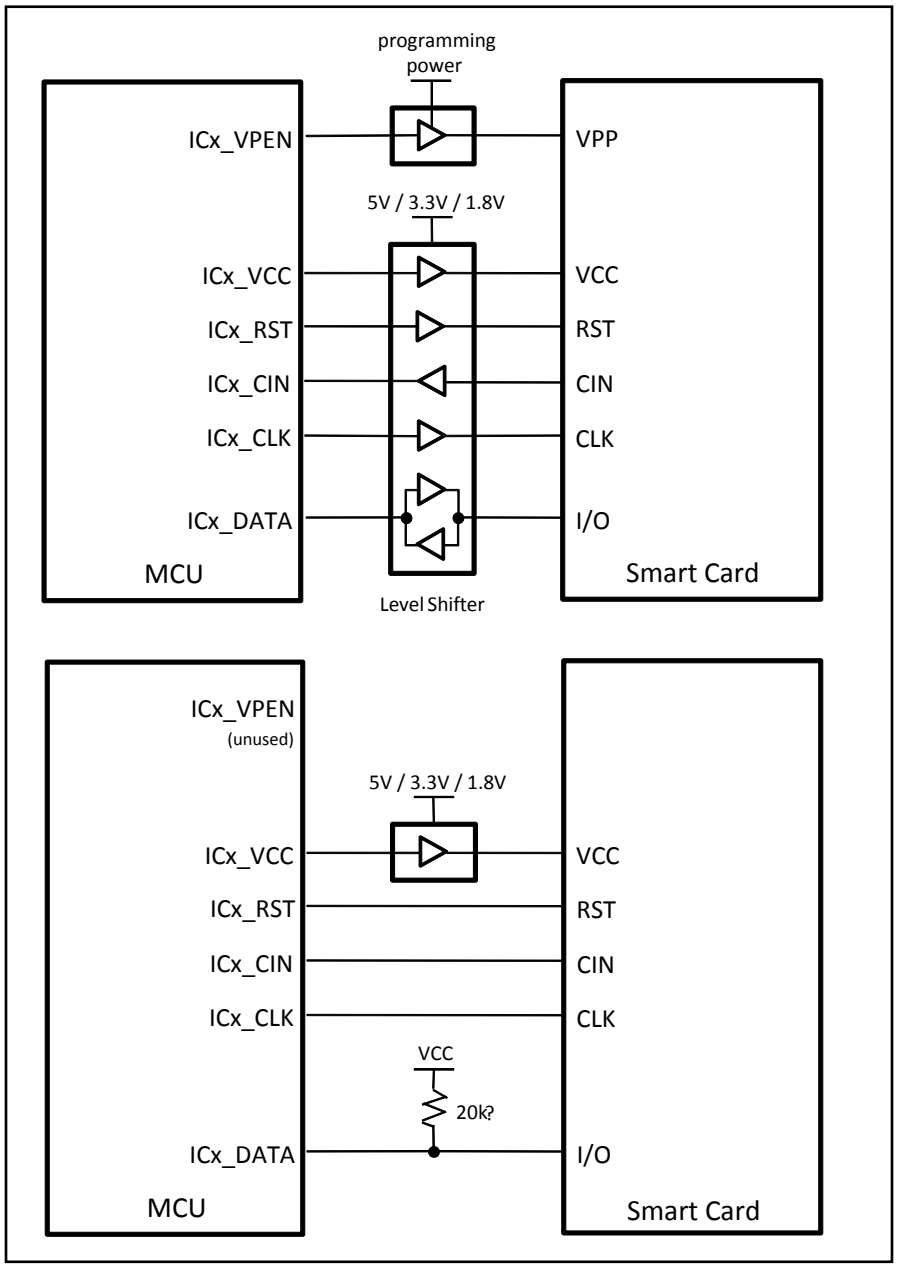


5. スマートカードインタフェースの設定手順とプログラムフロー

MCU とスマートカードの接続

Figure 5-1 に MCU とスマートカードの接続を示します。
MCU の I/O レベルとスマートカード(Class-A/Class-B/Class-C)に依存し、レベルシフタが必要です。
スマートカードが ISO 7816-3 2006 以後をサポートする場合、書込みのための外部電源は不要です。
MCU の ICx_VCC 端子はスマートカードの最大消費電流を供給できません。そのため、外部電源が必要です。

Figure 5-1 半二重通信の接続例

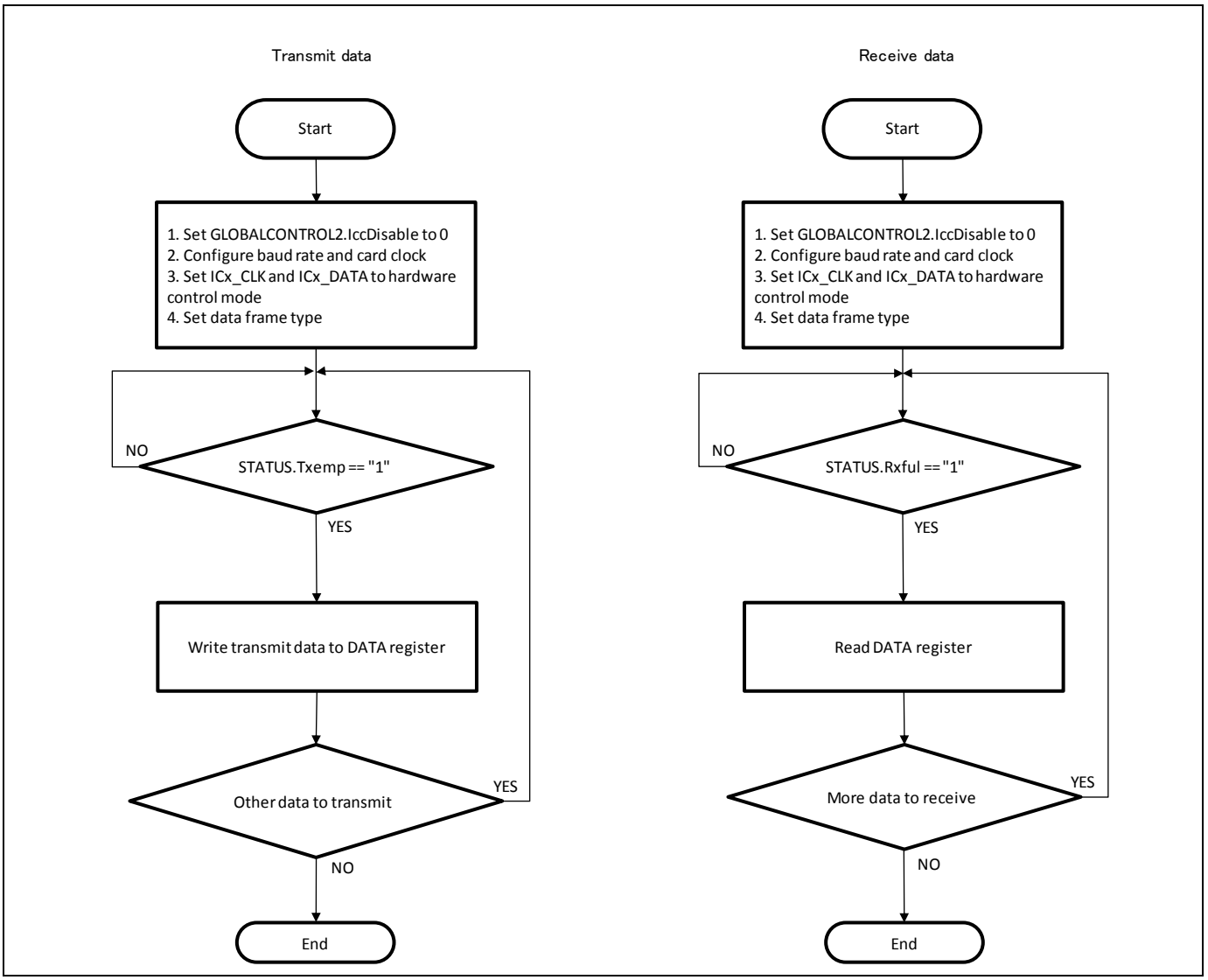


フローチャート

■ FIFO 不使用時

Figure 5-2 は、FIFO を使用せず、ICx_DATA/ICx_CLK をハードウェアで制御する場合のデータ伝送のフローチャートを示しています。

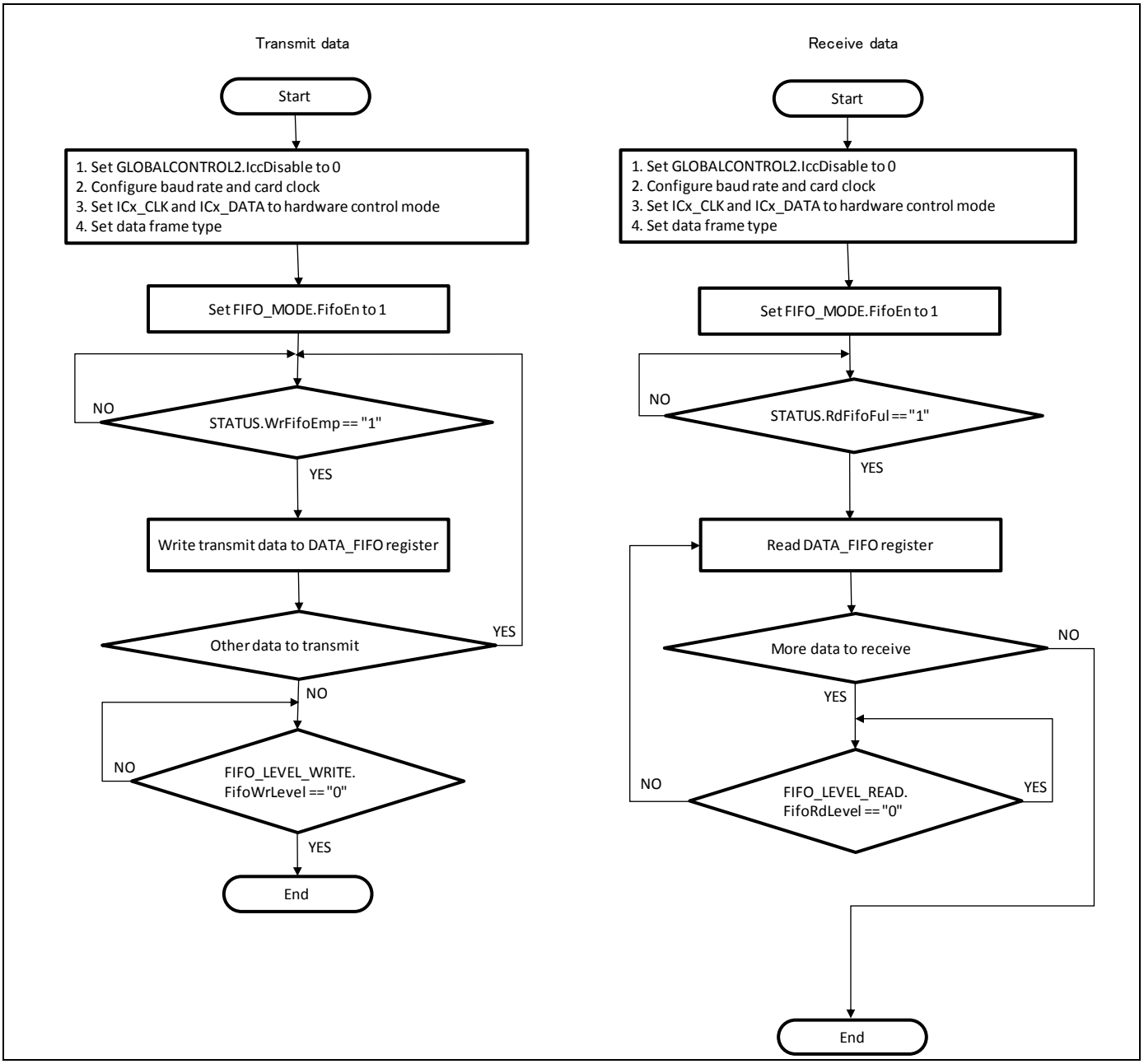
Figure 5-2 半二重通信フローチャート例（FIFO 不使用時）



■ FIFO 使用時

Figure 5-3 は、FIFO を使用し、ICx_DATA/ICx_CLK をハードウェアで制御する場合のデータ伝送のフローチャートを示しています。

Figure 5-3 半二重通信フローチャート例（FIFO 使用時）



6. スマートカードインタフェースのレジスタ

このセクションでは、スマートカードインタフェースのレジスタの一覧を示します。

Table 6-1 スマートカードインタフェースのレジスター覧

略語	レジスタ名	参照
GLOBALCONTROL1	グローバル制御レジスタ 1	6.1
STATUS	ステータスレジスタ	6.2
PORTCONROL	ポート制御レジスタ	6.3
DATA	データレジスタ	6.4
CARDCLOCK	カードクロック周波数レジスタ	6.5
BAUDRATE	ボーレートレジスタ	6.6
GUARDTIMER	ガードタイマレジスタ	6.7
IDLETIMER	アイドルタイマレジスタ	6.8
GLOBALCONTROL2	グローバル制御レジスタ 2	6.9
DATA_FIFO	FIFO アクセスレジスタ	6.10
FIFO_LEVEL_READ	読出し FIFO レベルレジスタ	6.11
FIFO_LEVEL_WRITE	書込み FIFO レベルレジスタ	6.12
FIFO_MODE	FIFO モードレジスタ	6.13
FIFO_CLEAR_MSB_WRITE	書込み FIFO クリアレジスタ	6.14
FIFO_CLEAR_MSB_READ	読出し FIFO クリアレジスタ	6.15
IRQ_STATUS	割込みステータスレジスタ	6.16

6.1 グローバル制御レジスタ 1(GLOBALCONTROL1)

このレジスタでは、スマートカードインタフェースを構成できます。
ここで、割込みを許可し、プロトコルを選択します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	-	Idtsc	Stidt	Guaen	Resnd	Ckmod	Iomod	Maskitexp
属性	-	R/W	W	R/W	R/W	R/W	R/W	R/W
初期値	-	0	0	0	1	0	0	0

ビット	7	6	5	4	3	2	1	0
フィールド	Maskcaevent	Masksti	Masktxemp	Maskrxful	Mode8n1	Frm1	Frm0	Parity
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

レジスタ機能

[bit15] - : 未使用ビット
このビット値は、読出し時、不定です。
このビットは、書込み時、無効です。

[bit14] Idtsc : アイドルタイマクロック選択ビット
このビットは、アイドルタイマの減算カウンタのクロックソースを選択します。

値	説明
0	アイドルタイマをカードクロック(ICx_CLK)でクロック制御します。
1	アイドルタイマをボークロック（ETU クロック）でクロック制御します。

[bit13] Stidt : アイドルタイマ起動ビット
このビットは、アイドルタイマの起動に使用します。このビットを 1 に設定してアイドルタイマを起動します。
このビットへの 0 の書込みは無効です。常に 0 として読み出されます。

値	説明
0	無効。
1	アイドルタイマを起動します。

[bit12] Guaen : ガードタイマ有効ビット
このビットは、ガードタイマを有効または無効にします。

値	説明
0	ガードタイマを無効にします。
1	ガードタイマを有効にします。

[bit11] Resnd：送信機/受信機再送機能有効ビット

送信機および受信機再送機能を有効または無効にします。
データ送信では、再送機能が有効で再送要求が検出されると（パリティエラー発生）、送信機は現在のデータを再送します。
データ受信では、再送機能が有効でパリティエラーが発生すると、受信機は再送要求を送出し、次のフレームの受信を待機します。

値	説明
0	再送機能を無効にします。
1	再送機能を有効にします。

＜注意事項＞

- *送信再送が発生すると、データレジスタ内のデータの代わりに、再送が要求されたデータフレームが送信されます。再送要求が検出されない限り、データレジスタ内のデータが送出されます。*
- *受信再送が発生すると、現在のデータフレーム（パリティエラーを伴う）はデータレジスタにロードされず、FIFO 不使用時、STATUS.Rxful は 1 に設定されません。FIFO 使用時、パリティエラーを伴うデータフレームは読出し FIFO に送られません。*

[bit10] Ckmod：クロック発生モード選択ビット

クロック発生方法をソフトウェアまたはハードウェアに決定します。
ソフトウェアを選択した場合、ICx_CLK の出力レベルは、PORTCONTROL レジスタの Clkpt ビット(PORTCONTROL.Clkpt)に設定した値に依存します。
ハードウェアを選択した場合、ICx_CLK は、UART 部で内部発生します。

値	説明
0	ICx_CLK をハードウェアで発生させます。
1	ICx_CLK をソフトウェアで発生させます。

[bit9] Iomod：データ発生モード選択ビット

データ発生方法をソフトウェアまたはハードウェアに決定します。
ソフトウェアを選択した場合、ICx_DATA の出力レベルは、PORTCONTROL レジスタの Io1 ビット(PORTCONTROL.Io1)に設定した値に依存します。
ハードウェアを選択した場合、ICx_DATA は、UART 部で内部発生します。

値	説明
0	ICx_DATA をハードウェアで発生させます。
1	ICx_DATA をソフトウェアで発生させます。

＜注意事項＞

- *Iomod を 1 に設定した場合、PORTCONTROL レジスタの Io1en ビットで ICx_DATA の出力許可も設定する必要があります。*

[bit8] Maskitexp：アイドルタイマ満了割込み許可ビット

アイドルタイマ満了割込みを許可または禁止します。

値	説明
0	アイドルタイマ満了割込みを禁止します。
1	アイドルタイマ満了割込みを許可します。

[bit7] Maskcaevent：カードイベント検出割込み許可ビット

ICx_CIN 入力で検出されたイベントによって発生する割込みを許可または禁止します。

値	説明
0	カードイベント割込みを禁止します。
1	カードイベント割込みを許可します。

[bit6] Masksti：スタートビット検出割込み許可ビット

受信モード時に ICx_DATA で検出されたスタートビットによって発生する割込みを許可または禁止します。

値	説明
0	スタートビット検出割込みを禁止します。
1	スタートビット検出割込みを許可します。

[bit5] Masktxemp：送信データレジスタエンプティ割込み許可ビット

送信データレジスタが空になると発生する割込みを許可または禁止します。

値	説明
0	送信データレジスタエンプティ割込みを禁止します。
1	送信データレジスタエンプティ割込みを許可します。

[bit4] Maskrxful：受信データレジスタフル割込み許可ビット

受信データレジスタが一杯になると発生する割込みを許可または禁止します。

値	説明
0	受信データレジスタフル割込みを禁止します。
1	受信データレジスタフル割込みを許可します。

[bit3] Mode8n1：送信機 8N2 プロトコル選択ビット

このビットは、送信機について 8N2 プロトコルを選択します。このビットは、受信機に影響しません。
送信機についてプロトコル 8E2/8O2 を選択する場合は、このビットを 0 に設定します。

値	説明
0	送信機 8N2 プロトコルを選択しません。
1	送信機 8N2 プロトコルを選択します。

[bit2] Frm1：データフレームコーディングスタイル選択ビット

データフレームコーディングスタイルとして通常コーディングまたは反転コーディングを選択します。
このビットは、スタートおよびストップビットに影響しません。
このビットを 1 に設定した場合は、奇数パリティを設定するべきです(GLOBALCONTROL1.Parity=1)。

値	説明
0	通常コーディング（LSB が最初に送信され、ローレベルが論理ゼロです）
1	反転コーディング（MSB が最初に送信されて反転され、ハイレベルが論理ゼロです）

[bit1] Frm0：受信データビット長設定ビット

データビット長を 8 または 9 に設定します。
受信機のみ有効です。送信機の場合、データビット長は常に 8 です。
8E1 または 8O1 プロトコルを選択した場合は、このビットを 0 に設定します。9N1 プロトコルを選択した場合は、このビットを 1 に設定します。

値	説明
0	8 ビットデータ長
1	9 ビットデータ長

[bit0] Parity：奇数/偶数パリティ選択ビット

データ送受信用の奇数/偶数パリティ選択ビット。
データ送信時、このビットの設定に従って出力パリティビットが発生します。
データ受信時、このビットの設定に従って入力データのパリティビットがチェックされます。

値	説明
0	偶数パリティ
1	奇数パリティ

6.2 ステータスレジスタ(STATUS)

ステータスレジスタ(STATUS)は、現在の送信/受信状態の確認、受信エラーフラグの確認、および受信エラーフラグのクリアに使用します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約		RxResend	TxResend	RxStartErr	WrFifoEmp	RdFifoFul	RdFifoOvr
属性	-		R(*1)	R(*1)	R(*1)	R	R	R
初期値	-		0	0	0	0	0	0

ビット	7	6	5	4	3	2	1	0
フィールド	Idtrun	Recofl	CardEvent	CardDetect	Txact	Rxact	Rxful	Txemp
属性	R	R	R(*1)	R	R	R	R	R
初期値	0	0	0	0	0	0	0	1

*1：このビットは、読出しでクリアされます。

レジスタ機能

[bit15:14] 予約：予約ビット

これらのビットは常に 0 として読み出されます。書込みは無効です。

[bit13] RxResend：受信機再送フラグビット

GLOBALCONTROL1.Resnd=1 でデータ受信中にパリティエラーが発生した場合、スマートカードインタフェースは再送要求を送信し、このビットは 1 に設定されます。

ステータスレジスタを読み出すと、このビットは 1 にクリアされます。

値	説明
0	受信機再送は発生していません。
1	受信機再送が発生しています。

[bit12] TxResend：送信機再送フラグビット

GLOBALCONTROL1.Resnd=1 でデータ送信中に再送要求が検出された場合、送信機は前のデータフレームを再送し、このフラグビットは 1 に設定されます。

ステータスレジスタを読み出すと、このビットは 1 にクリアされます。

値	説明
0	送信機再送は発生していません。
1	送信機再送が発生しています。

[bit11] RxStartErr：受信スタートビットエラーフラグビット

このビットは、誤ったスタートビットを受信したかどうかを示します。

誤ったスタートビットを受信すると、受信機は、データラインの次のスタートビットを待ちます。

値	説明
0	スタートビットは誤っていません。
1	誤ったスタートビットを受信しました。

[bit10] WrFifoEmp：書込み FIFO エンプティフラグビット

このフラグは、書込み FIFO の状態を示します。
書込み FIFO 内の有効データ数が FIFO_MODE.WrFifoLevel に設定した値未満の場合、このビットは 1 に設定されます。
書込み FIFO 内の有効データ数が FIFO_MODE.WrFifoLevel に設定した値以上の場合、このビットは 0 にクリアされます。

値	説明
0	書込み FIFO は空ではありません。
1	書込み FIFO は空です。

[bit9] RdFifoFul：読出し FIFO フルフラグビット

このフラグは、読出し FIFO の状態を示します。
読出し FIFO 内の受信データ数が FIFO_MODE.RdFifoLevel に設定した値を越える場合、このビットは 1 に設定されます。
読出し FIFO 内の受信データ数が FIFO_MODE.RdFifoLevel に設定した値以下の場合、このビットは 0 にクリアされます。

値	説明
0	読出し FIFO は一杯ではありません。
1	読出し FIFO は一杯です。

[bit8] RdFifoOvr：読出し FIFO オーバフローフラグ

このビットは、読出し FIFO がオーバフローかどうかを示します。
読出し FIFO 内に受信したデータが 16 バイト有り、もう 1 つのデータフレームを受信すると、読出し FIFO はオーバフローとなり、このビットは「1」に設定されます。
このビットは、FIFO_CLEAR_MSB_READ レジスタの ClrRdFifo ビットに 1 を書き込むことで 0 にクリアできます。

値	説明
0	読出し FIFO はオーバフローしていません。
1	読出し FIFO はオーバフローしています。

[bit7] Idtrun：アイドルタイマ実行フラグ

このビットは、アイドルタイマが実行中かどうかを示します。
アイドルタイマを起動すると、アイドルタイマの減算カウンタが動作を開始し、このビットが 1 に設定されます。
アイドルタイマが満了すると、このビットは 0 に設定され、減算カウンタは動作を停止します。

値	説明
0	アイドルタイマは停止しています。
1	アイドルタイマは実行中です。

[bit6] Recofl：受信データレジスタオーバフローフラグ

このビットは、受信データレジスタがオーバフローかどうかを示します。
受信データフレームが CPU によって読み出されず、別のデータフレームが受信された場合、このビットが 1 に設定されます。
このビットは、データレジスタを読み出すことで 0 にクリアできます。

値	説明
0	受信データレジスタはオーバフローしていません。
1	受信データレジスタはオーバフローしています。

[bit5] CardEvent：カードイベントフラグ

このビットは、カード検出入力(ICx_CIN)の変化が検出されたことを示します。
ICx_CIN 入力のレベルに変化があると、このビットが 1 に設定されます。
ステータスレジスタを読み出すと、このビットは 0 にクリアされます。

値	説明
0	カードイベントなし。
1	カードイベント検出。

[bit4] CardDetect：ICx_CIN 入力端子レベル

このビットは、ICx_CIN 入力端子のレベルを示します。

値	説明
0	ICx_CIN 端子のレベルはローです。
1	ICx_CIN 端子のレベルはハイです。

[bit3] Txact：送信機ステータスフラグ

このビットは、送信機の動作状態を示します。
シリアルデータ送信が進行中の場合、送信機はアクティブで、このビットは 1 に設定されます。
送信するデータが無い場合、送信機はアイドル状態で、このビットは 0 に設定されます。

値	説明
0	送信機はアイドル状態です。
1	送信機はアクティブです。

[bit2] Rxact：受信機ステータスフラグ

このビットは、受信機の動作状態を示します。
シリアルデータ受信が進行中の場合、受信機はアクティブで、このビットは 1 に設定されます。
受信するデータが無い場合、受信機はアイドル状態で、このビットは 0 に設定されます。

値	説明
0	受信機はアイドル状態です。
1	受信機はアクティブです。

[bit1] Rxful：受信データレジスタステータスフラグ

このビットは、受信データレジスタのステータスを示します。
データフレームを受信すると、このビットは 1 に設定されます。
データレジスタを読み出すと、このビットは 0 に設定されます。

値	説明
0	受信データレジスタは空です。
1	受信データレジスタは一杯です。

[bit0] Txemp：送信データレジスタステータスフラグ

このビットは、送信データレジスタのステータスを示します。
データフレームをデータレジスタに書き込むと、このビットは 1 に設定されます。
データレジスタにデータが無い場合、このビットは 0 に設定されます。

値	説明
0	送信データレジスタは一杯です。
1	送信データレジスタは空です。

6.3 ポート制御レジスタ(PORTCONTROL)

ポート制御レジスタは、スマートカードインタフェースポートのステータスの制御に使用します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	VpenOutEn	VccOutEn	RstOutEn	ClkOutEn	予約		Vpen	Vccen
属性	R/W	R/W	R/W	R/W	-		R/W	R/W
初期値	0	0	0	0	-		0	0

ビット	7	6	5	4	3	2	1	0
フィールド	Rst	Clkpt	予約	Io1en	予約	Io1	予約	Trimod
属性	R/W	R/W	-	R/W	-	R/W	-	R/W
初期値	0	0	-	0	-	0	-	0

レジスタ機能

[bit15] VpenOutEn：ICx_VPEN 出力許可ビット

このビットは、ICx_VPEN の出力レベルを許可します。
データ通信前、このビットに 1 を書き込んで ICx_VPEN の出力を許可します。
このビットを 0 に設定した場合、ICx_VPEN のレベルは保証されません。

値	説明
0	ICx_VPEN 出力レベルは保証されません。
1	ICx_VPEN 出力を許可します。

[bit14] VccOutEn：ICx_VCC 出力許可ビット

このビットは、ICx_VCC の出力レベルを許可します。
データ通信前、このビットに 1 を書き込んで ICx_VCC の出力を許可します。
このビットを 0 に設定した場合、ICx_VCC のレベルは保証されません。

値	説明
0	ICx_VCC 出力レベルは保証されません。
1	ICx_VCC 出力を許可します。

[bit13] RstOutEn：ICx_RST 出力許可ビット

このビットは、ICx_RST の出力レベルを許可します。
データ通信前、このビットに 1 を書き込んで ICx_RST の出力を許可します。
このビットを 0 に設定した場合、ICx_RST のレベルは保証されません。

値	説明
0	ICx_RST 出力レベルは保証されません。
1	ICx_RST 出力を許可します。

[bit12] ClkOutEn：ICx_CLK 出力許可ビット
このビットは、ICx_CLK の出力レベルを許可します。
データ通信前、このビットに 1 を書き込んで ICx_CLK の出力を許可します。
このビットを 0 に設定した場合、ICx_CLK のレベルは保証されません。

値	説明
0	ICx_CLK 出力レベルは保証されません。
1	ICx_CLK 出力を許可します。

[bit11:10] 予約：予約ビット
常に 0 として読み出されます。書込みは無効です。

[bit9] Vpen：ICx_VPEN 出力値
このビットに書き込んで ICx_VPEN 出力の出力レベルを設定します。

値	説明
0	ローレベル
1	ハイレベル

[bit8] Vccen：ICx_VCC 出力値
このビットに書き込んで ICx_VCC 出力の出力レベルを設定します。

値	説明
0	ローレベル
1	ハイレベル

[bit7] Rst：ICx_RST 出力値
このビットに書き込んで ICx_RST 出力の出力レベルを設定します。

値	説明
0	ローレベル
1	ハイレベル

[bit6] Clkpt：ICx_CLK 出力値
GLOBALCONTROL1.Ckmod=1 の場合、このビットに書き込んで ICx_CLK の出力レベルを設定します。

値	説明
0	ローレベル
1	ハイレベル

[bit5] 予約：予約ビット
常に 0 として読み出されます。書込みは無効です。

[bit4] Io1en：ICx_DATA 出力許可制御ビット
PORTCONTROL.Trimod=1 の場合、このビットに書き込んで ICx_DATA 出力を許可/禁止します。

値	説明
0	ICx_DATA 出力許可
1	ICx_DATA 出力禁止

[bit3] 予約：予約ビット
常に 0 として読み出されます。書込みは無効です。

[bit2] Io1：ICx_DATA レベル
GLOBALCONTROL1.Iomod=1 の場合、このビットに書き込んで ICx_DATA 端子の出力レベルを設定します。
このビットは、読出し時、ICx_DATA のレベルを示します。

値	説明
0	ローレベル
1	ハイレベル

[bit1] 予約：予約ビット
常に 0 として読み出されます。書込みは無効です。

[bit0] Trimod：ICx_DATA 出力許可発生モード選択ビット
このビットは、データ送信の ICx_DATA 出力許可の発生モードを選択します。

値	説明
0	ICx_DATA 出力許可を UART 部で内部制御します。
1	ICx_DATA 出力許可を PORTCONTROL.Io1en で制御します。

6.4 データレジスタ(DATA)

データレジスタ(DATA)は、シリアルデータ伝送用 9 ビットデータバッファレジスタです。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							Data[8]
属性				-				R/W
初期値				-				0

ビット	7	6	5	4	3	2	1	0
フィールド	Data[7:0]							
属性	R/W							
初期値	0x00							

レジスタ機能

[bit15:9] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit8:0] Data：送信/受信データ

送信モードでは、データレジスタに書き込み、Data[7:0]を送信します。パリティは自動的に計算されます。
このレジスタへの書込みアクセスによって直ちに送信が開始します。
8 ビットフレームの受信モードでは、Data[7:0]は、受信データバイトを格納します。Data[8]は、もしあれば受信したパリティビットを格納します。
9N1 の受信モードでは、Data[8:0]は、受信データフレームを格納します。

送信モード	データ長	データ[8]	データ[7:0]
データ受信	9 ビット	データビット	データビット
	8 ビット（パリティなし）	無効	データビット
	8 ビット（パリティあり）	パリティビット	データビット
データ送信	8 ビット	無効	データビット

6.5 カードクロック周波数レジスタ(CARDCLOCK)

カードクロック周波数レジスタは、PCLK に基づいてカードクロック周波数分周を構成します。
PCLK を分周して、カードクロック出力(ICx_CLK)を発生させます。

レジスタ構成

ビット	15	0
フィールド	ClkDivider[15:0]	
属性	R/W	
初期値	0x0028	

レジスタ機能

[bit15:0] ClkDivider：カードクロック周波数分周

カードクロック周波数分周比として、このフィールドに偶数値を設定します。
このフィールドに奇数値を設定した場合、実効分周比は、奇数値+1 となります。

6.6 ボーレートレジスタ(BAUDRATE)

ボーレートレジスタでは、ボーレートを調整できます。ボーレート計算の基準値は、カードクロック周波数です。例えば、F/D=31 の関係を得るには、0x1F を BAUDRATE.Brreg にプログラムしなければなりません。

レジスタ構成

ビット	15	14	0
フィールド	LittleStep	Brreg[14:0]	
属性	R/W	R/W	
初期値	0	0x0174	

レジスタ機能

[bit15] LittleStep：ボーレート用小ステップビット

このビットを有効（「1」）にすることで、ボークロック発生は、+0.5 カードクロックステップが加算されます。そのように、ボーレートをより正確に調整できます。

値	説明
0	小ステップ機能を無効にします。
1	小ステップ機能を有効にします。

[bit14:0] Brreg：ボーレートレジスタビット

これらのビットは、ボーレートジェネレータの減算カウンタのリロード値を設定します。

6.7 ガードタイマレジスタ(GUARDTIMER)

ガードタイマは、GLOBALCONTROL1.Guaen を 1 に設定することで起動されます。UART 送信機は、GUARDTIMER.Gtreg ETU の間待機してから次のキャラクタを送信します。ガードタイマは、任意の送信または受信スタートビットによって起動します。受信機は、ガードタイマに影響されません。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	Gtreg[7:0]							
属性	R/W							
初期値	0x00							

レジスタ機能

[bit15:8] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit7:0] Gtreg：ETU 単位ガードタイム

これらのビットは、スタートビットからカウントした 1 回の送信の長さを ETU 単位で設定します。

6.8 アイドルタイマレジスタ(IDLETIMER)

アイドルタイマは、カードクロック(IC1_CLK)またはボーレートジェネレータからの ETU クロックによってクロック制御できる独立した減算カウンタです（レジスタビット GLOBALCONTROL1.Idtsc 参照）。開始値は、送信機がスタートビットを送信するごとに、または GLOBALCONTROL1.Stidt を 1 に設定することでリロードされます。アイドルタイマを起動すると、(Idtreg-1)が減算カウンタにプログラムされます。

レジスタ構成

ビット	15	0
フィールド	Idtreg[15:0]	
属性	R/W	
初期値	0x0000	

レジスタ機能

[bit15:0] Idtreg：アイドルタイマ用リロード値

これらのビットは、アイドルタイマの減算カウンタのリロード値を設定します。Idtreg-1 がアイドルタイマにプログラムされます。

6.9 グローバル制御レジスタ 2(GLOBALCONTROL2)

グローバル制御レジスタ 2(GLOBALCONTROL2)は、スマートカードインタフェースの許可/禁止およびデータフレームのプロトコルの構成に使用します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	予約				IccDisable	予約	InvDataOut	Rx8n1
属性	-				R/W	-	R/W	R/W
初期値	-				1	-	0	0

レジスタ機能

[bit15:4] 予約：予約ビット

読出し値はすべて 0 です。書込みは無効です。

[bit3] IccDisable：スマートカードインタフェース無効/有効ビット

このビットは、スマートカードインタフェース制御部を無効または有効にします。
スマートカードインタフェースが有効な場合にのみ、データ送信または受信が開始できます。
データ送信中、このビットを 1 に設定しないでください。

値	説明
0	スマートカードインタフェースを有効にします。
1	スマートカードインタフェースを無効にします。

[bit2] 予約：予約ビット

読出し値は 0 です。書込みは無効です。

[bit1] InvDataOut：出力反転許可ビット

このビットは、データ送信中、ICx_DATA のレベルの反転を禁止または許可します。
出力データのみを反転できます。スタートビットとストップビットも反転されます。
このビットは、出力データをハードウェアで発生させる場合(GLOBALCONTROL1.Iomod=0)にのみ有効です。

値	説明
0	ICx_DATA の反転を禁止します。
1	ICx_DATA の反転を許可します。

[bit0] Rx8n1：受信機 8N1/8N2 プロトコル選択ビット

このビットは、データ受信について 8N1/8N2 プロトコルを選択します。

値	説明
0	受信機について 8N1/8N2 プロトコルを選択しません。
1	受信機について 8N1/8N2 プロトコルを選択します。

6.10 FIFO アクセスレジスタ(DATA_FIFO)

スマートカードインタフェースは、データ送信用および受信用の 2 つの 16 バイト FIFO を内蔵しています。FIFO は、特定レベルに達すると割込みを発生するよう構成できます。FIFO は、必要に応じてフラッシュすることもできます。
FIFO アクセスレジスタ(DATA_FIFO)は、FIFO の読出し/書込みに使用します。読出し FIFO に格納された受信データは、このレジスタを読み出すことで読み出せます。このレジスタに書き込んだデータは送出されます。このレジスタへの書込みによって直ちにデータ送信が行われます。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							Data[8]
属性	-							R/W
初期値	-							0

ビット	7	6	5	4	3	2	1	0
フィールド	Data[7:0]							
属性	R/W							
初期値	0x00							

レジスタ機能

[bit15:9] 予約：予約ビット
常に 0 として読み出されます。書込みは無効です。

[bit8:0] Data：送信/受信データ

送信モード	データ長	データ[8]	データ[7:0]
データ受信	9 ビット	データビット	データビット
	8 ビット（パリティなし）	無効	データビット
	8 ビット（パリティあり）	パリティビット	データビット
データ送信	8 ビット	無効	データビット

6.11 読出し FIFO レベルレジスタ(FIFO_LEVEL_READ)

読出し FIFO レベルレジスタ(FIFO_LEVEL_READ)は、読出し FIFO 内のデータフレーム数を示します。

レジスタ構成

ビット	15	0
フィールド	FifoRdLevel[15:0]	
属性	R	
初期値	0x0000	

レジスタ機能

[bit15:0] FifoRdLevel：読出し FIFO レベル

各ビットは、1 つの FIFO スロットを表します。ビットが「1」の場合、その FIFO スロットは使用中であり、0 の場合は不使用です。

6.12 書込み FIFO レベルレジスタ(FIFO_LEVEL_WRITE)

書込み FIFO レベルレジスタ(FIFO_LEVEL_WRITE)は、書込み FIFO 内のデータフレーム数を示します。

レジスタ構成

ビット	15	0
フィールド	FifoWrLevel[15:0]	
属性	R	
初期値	0x0000	

レジスタ機能

[bit15:0] FifoWrLevel：書込み FIFO レベル

各ビットは、1 つの FIFO スロットを表します。ビットが「1」の場合、その FIFO スロットは使用中であり、0 の場合は不使用です。

6.13 FIFO モードレジスタ(FIFO_MODE)

FIFO モードレジスタ(FIFO_MODE)は、割込み発生またはステータス設定の FIFO レベルを設定します。また、FIFO と FIFO 関連の割込みを許可/禁止します。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	RdFifoLevel[3:0]				WrFifoLevel[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

ビット	7	6	5	4	3	2	1	0
フィールド	予約				RdFifoIrqEn	WrFifoIrqEn	RdFifoOvrIrqEn	FifoEn
属性	-				R/W	R/W	R/W	R/W
初期値	-				0	0	0	0

レジスタ機能

[bit15:12] RdFifoLevel：読出し FIFO レベル

これらのビットは、読出し FIFO フル割込みまたはステータスフラグ発生の読出し FIFO レベルを設定します。
少なくとも RdFifoLevel+1 のデータフレームが読出し FIFO に格納されたとき、割込みを発生させることができます。

[bit11:8] WrFifoLevel：書込み FIFO レベル

これらのビットは、書込み FIFO エンプティ割込みまたはステータスフラグ発生の書込み FIFO レベルを設定します。
書込み FIFO 内のデータフレームが WrFifoLevel 未満の場合、割込みを発生させることができます。

[bit7:4] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit3] RdFifoIrqEn：読出し FIFO フル割込み許可ビット

このビットは、読出し FIFO フル割込みの発生を許可/禁止します。

値	説明
0	読出し FIFO フル割込みを禁止します。
1	読出し FIFO フル割込みを許可します。

[bit2] WrFifoIrqEn：書込み FIFO エンプティ割込み許可ビット

このビットは、書込み FIFO エンプティ割込みの発生を許可/禁止します。

値	説明
0	書込み FIFO エンプティ割込みを禁止します。
1	書込み FIFO エンプティ割込みを許可します。

[bit1] RdFifoOvrIrqEn：読出し FIFO オーバフロー割込み許可ビット

このビットは、読出し FIFO オーバフロー割込みの発生を許可/禁止します。

値	説明
0	読出し FIFO オーバフロー割込みを禁止します。
1	読出し FIFO オーバフロー割込みを許可します。

[bit0] FifoEn：FIFO 許可ビット

このビットは、読出し/書込み FIFO を許可/禁止します。

値	説明
0	読出し/書込み FIFO を禁止します。
1	読出し/書込み FIFO を許可します。

6.14 書込み FIFO クリアレジスタ(FIFO_CLEAR_MSB_WRITE)

このレジスタに書き込むことで、書込み FIFO 内のデータをクリアできます。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	予約							ClrWrFifo
属性	-							R/W
初期値	-							0

レジスタ機能

[bit15:1] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit0] ClrWrFifo：書込み FIFO クリアビット

このビットに 1 を書き込むことで、書込み FIFO 内のデータがフラッシュされ、書込み FIFO が全部空になります。

値	説明
0	書込み FIFO をフラッシュしません。
1	書込み FIFO をフラッシュします。

6.15 読出し FIFO クリアレジスタ(FIFO_CLEAR_MSB_READ)

このレジスタに書き込むことで、読出し FIFO 内のデータをクリアできます。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	予約							ClrRdFifo
属性	-							R/W
初期値	-							0

レジスタ機能

[bit15:1] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit0] ClrRdFifo：読出し FIFO クリアビット

このビットに 1 を書き込むことで、読出し FIFO 内のデータがフラッシュされ、読出し FIFO が全部空になります。

値	説明
0	読出し FIFO をフラッシュしません。
1	読出し FIFO をフラッシュします。

6.16 割込みステータスレジスタ(IRQ_STATUS)

このレジスタでは、スマートカードインタフェース部の割込みステータスを読み出すことができます。ソフトウェアでこのレジスタを使用して、どのイベントで割込みが発生したかを確認できます。

レジスタ構成

ビット	15	14	13	12	11	10	9	8
フィールド	予約							
属性	-							
初期値	-							

ビット	7	6	5	4	3	2	1	0
フィールド	RxfullIrq	TxempIrq	RxstbiIrq	CardEventIrq	IdtexpIrq	RdFifoIrq	WrFifoIrq	RdFifoOvrIrq
属性	R	R	R(*1)	R(*1)	R	R	R	R
初期値	0	0	0	0	0	0	0	0

*1: このビットは、読出しでクリアされます。

レジスタ機能

[bit15:8] 予約：予約ビット

常に 0 として読み出されます。書込みは無効です。

[bit7] RxfullIrq：受信データレジスタフル割込みフラグビット

このビットは、受信データレジスタが一杯のため発生した割込みのステータスを示します。
1 つのデータフレームが GLOBALCONTROL1.Maskrxful=1 でデータレジスタによって受信されると、このビットは 1 に設定されます。
このビットは、データレジスタを読み出すことで 0 にクリアされます。

値	説明
0	受信データレジスタフル割込みなし。
1	受信データレジスタフル割込み発生。

[bit6] TxempIrq：送信データレジスタエンプティ割込みフラグビット

このビットは、送信データレジスタが空のため発生した割込みのステータスを示します。
GLOBALCONTROL1.Masktxemp=1 で送信モードのデータレジスタにデータが無い場合、このビットは 1 に設定されます。
このビットは、データレジスタに書き込むことで 0 にクリアされます。

値	説明
0	送信データレジスタエンプティ割込みなし。
1	送信データレジスタエンプティ割込み発生。

[bit5] RxstbiIrq：受信スタートビット割込みフラグビット

このビットは、受信機が ICx_DATA 端子でスタートビットを検出したことで発生した割込みのステータスを示します。
スタートビットが GLOBALCONTROL1.Masksti=1 で受信機により検出されると、このビットは 1 に設定されます。
このビットは、IRQ_STATUS レジスタを読み出すことで 0 にクリアされます。

値	説明
0	受信スタートビット割込みなし。
1	受信スタートビット割込み発生。

[bit4] CardEventIrq：カードイベント割込みフラグビット

このビットは、ICx_CIN 入力のレベル変化の検出によって発生した割込みのステータスを示します。
ICx_CIN 入力のレベル変化が GLOBALCONTROL1.Maskcaevent=1 で検出されると、このビットは 1 に設定されます。
このビットは、IRQ_STATUS レジスタを読み出すことで 0 にクリアされます。

値	説明
0	カードイベント割込み発生なし。
1	カードイベント割込み発生。

[bit3] IdtexpIrq：アイドルタイマ満了割込みフラグビット

このビットは、アイドルタイマ満了で発生した割込みのステータスを示します。
アイドルタイマが GLOBALCONTROL1.Maskitexp=1 で満了すると、このビットは 1 に設定されます。
このビットは、アイドルタイマを再起動することで 0 にクリアされます。

値	説明
0	アイドルタイマ満了割込みなし。
1	アイドルタイマ満了割込み発生。

[bit2] RdFifoIrq：読出し FIFO フル割込みフラグビット

このビットは、読出し FIFO が一杯のため発生した割込みのステータスを示します。
FIFO_MODE.RdFifoIrqEn=1 で読出し FIFO 内のデータフレーム数が FIFO_MODE.RdFifoLevel に設定した値を越える場合、このビットは 1 に設定されます。
読出し FIFO 内のデータフレーム数が FIFO_MODE.RdFifoLevel に設定した値以下の場合、このビットは 0 にクリアされます。

値	説明
0	読出し FIFO フル割込みなし。
1	読出し FIFO フル割込み発生。

[bit1] WrFifoIrq：書込み FIFO エンプティ割込みフラグビット

このビットは、書込み FIFO が空のため発生した割込みのステータスを示します。
FIFO_MODE.WrFifoIrqEn=1 で書込み FIFO 内のデータフレーム数が FIFO_MODE.WrFifoLevel に設定した値未満の場合、このビットは 1 に設定されます。
書込み FIFO 内のデータフレーム数が FIFO_MODE.WrFifoLevel に設定した値以上の場合、このビットは 0 にクリアされます。

値	説明
0	書込み FIFO エンプティ割込みなし。
1	書込み FIFO エンプティ割込み発生。

[bit0] RdFifoOvrIrq：読出し FIFO オーバフロー割込みフラグビット

このビットは、読出し FIFO オーバフローで発生した割込みのステータスを示します。
読出し FIFO 内のデータフレーム数が 16 に達し、別のデータフレームが FIFO_MODE.RdFifoOvr=1 で受信されると、このビットは「1」に設定されます。
このビットは、FIFO_CLEAR_MSB_READ.ClrRdFifo に 1 を書き込んで読出し FIFO をフラッシュすることで 0 にクリアされます。

値	説明
0	読出し FIFO オーバフロー割込みなし。
1	読出し FIFO オーバフロー割込み発生。

Appendixes

レジスタマップ、制限事項について説明します。

A. レジスタマップ

B. 注意事項一覧

C. 主な変更内容

A.レジスタマップ

レジスタマップについて説明します。

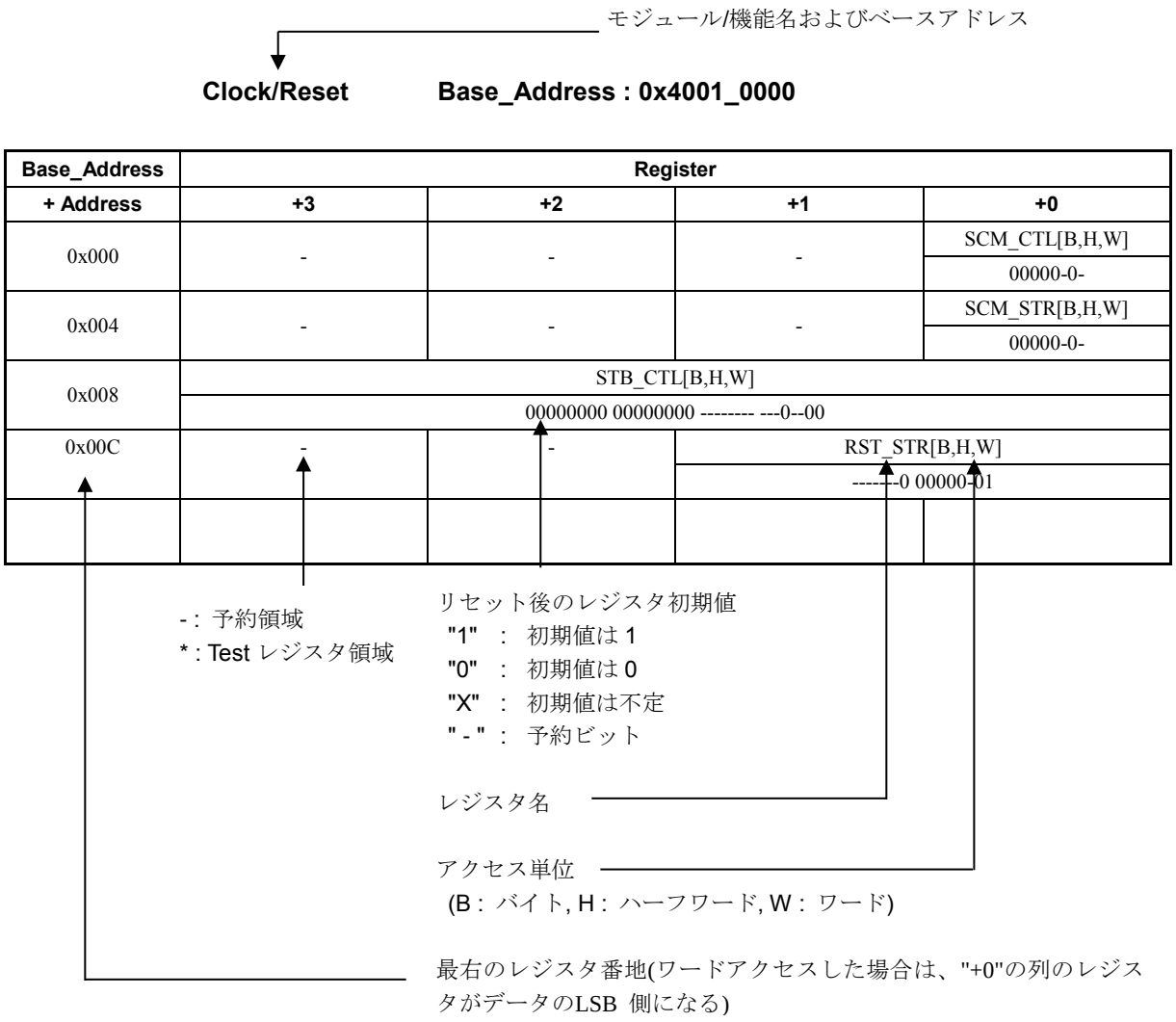
A.1 レジスタマップ
A.1.1 FLASH_IF
A.1.2 Unique ID
A.1.3 ECC Capture Address
A.1.4 Clock/R0eset
A.1.5 HW WDT
A.1.6 SW WDT
A.1.7 Dual_Timer
A.1.8 MFT
A.1.9 PPG
A.1.10 Base Timer
A.1.11 IO Selector for Base Timer
A.1.12 QPRC
A.1.13 QPRC NF
A.1.14 A/DC
A.1.15 CR Trim
A.1.16 EXTI
A.1.17 INT-Req. READ
A.1.18 D/AC
A.1.19 HDMI-CEC
A.1.20 GPIO
A.1.21 LVD
A.1.22 DS_Mode
A.1.23 USB Clock
A.1.24 CAN_Prescaler
A.1.25 MFS
A.1.26 CRC
A.1.27 Watch Counter
A.1.28 RTC
A.1.29 Low-speed CR Prescaler
A.1.30 Peripheral Clock Gating
A.1.31 Smart Card Interface
A.1.32 MFSI2S
A.1.33 I2S_Prescaler
A.1.34 GDC_Prescaler
A.1.35 EXT-Bus I/F
A.1.36 USB
A.1.37 DMAC
A.1.38 DSTC

A.1.39 CAN
A.1.40 Ethernet-MAC
A.1.41 Ethernet-Control
A.1.42 I2S
A.1.43 SD-Card
A.1.44 CAN FD
A.1.45 Programmable-CRC
A.1.46 WorkFlash_IF
A.1.47 High-Speed Quad SPI Controller
A.1.48 HyperBus Interface
A.1.49 GDC Sub System Controller
A.1.50 GDC Sub System SDRAM Controller
A.1.51 GDC Core

A.1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  ワードアクセス: アドレスは 4 の倍数(最下位 2 ビットは 0x00)
  ハーフワードアクセス: アドレスは 2 の倍数(最下位ビットは 0x0)
  バイトアクセス: -
- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

A.1.1 FLASH_IF

A.1.1.1 TYPE1-M4, TYPE2-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

A.1.1.2 TYPE3-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C	-	-	-	-
0x030	DFCTRLR[W]			
0x034 - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x10C	-	-	-	-
0x110	FGPDM1[B,H,W]			
0x114	FGPDM2[B,H,W]			
0x118	FGPDM3[B,H,W]			
0x11C	FGPDM4[B,H,W]			
0x120 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	DFASZR[B,H,W]			
0x404	DFRWTR[B,H,W]			
0x408	DFSTR[B,H,W]			
0x40C - 0x4FC	-	-	-	-

<注意事項>

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。*

A.1.1.3 TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x10C	-	-	-	-
0x110	FGPDM1[B,H,W]			
0x114	FGPDM2[B,H,W]			
0x118	FGPDM3[B,H,W]			
0x11C	FGPDM4[B,H,W]			
0x120 - 0x1FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

A.1.2 Unique ID

Unique ID Base_Address : 0x4000_0200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	UIDR0[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W] -------- -------- ---XXXXX XXXXXXXX			
0x008 - 0xDFC	-	-	-	-

A.1.3 ECC Capture Address

ECC Capture Address Base_Address : 0x4000_0300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FERRAD[W] -------- -XXXXXXX XXXXXXXX XXXXXXXX			
0x004 - 0xFFC	-	-	-	-

A.1.4 Clock/R0eset

A.1.4.1 TYPE1-M4, TYPE2-M4 製品

Clock/Reset **Base_Address : 0x4001_0000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 0000--01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] ------00
0x024 – 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C – 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] 00000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] --000000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0–000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C – 0xFFC	-	-	-	-

A.1.4.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

Clock/Reset **Base_Address : 0x4001_0000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 0000--01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] ------00
0x024 – 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C – 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] 00000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] --000000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0–000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C - 0x070	-	-	-	-
0x074	PLLCG_CTL[W] -------- 11111111 00000000 00----00			
0x078 – 0xFFC	-	-	-	-

A.1.5 HW WDT

HW WDT **Base_Address : 0x4001_1000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WDG_LDR[W] 00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W] ------11
0x00C	-	-	-	WDG_ICL[W] XXXXXXXX
0x010	-	-	-	WDG_RIS[W] -------0
0x014	*			
0x018 – 0xBFC	-	-	-	-
0xC00	WDG_LCK[W] 00000000 00000000 00000000 00000001			
0xC04 – 0xFFC	-	-	-	-

A.1.6 SW WDT

SW WDT **Base_Address : 0x4001_2000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WdogLoad[W] 11111111 11111111 11111111 11111111			
0x004	WdogValue[W] 11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W] ---00000
0x00C	WdogIntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W] -------0
0x014	*			
0x018	-	-	-	WdogSPMC[W] -------0
0x01C – 0xBFC	-	-	-	-
0xC00	WdogLock[W] 00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00 - 0xF04	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

A.1.7 Dual_Timer

Dual_Timer **Base_Address : 0x4001_5000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	Timer1Load[W] 00000000 00000000 00000000 00000000			
0x004	Timer1Value[W] 11111111 11111111 11111111 11111111			
0x008	Timer1Control[W] -------- -------- -------- 00100000			
0x00C	Timer1IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W] -------- -------- -------- -------0			
0x014	Timer1MIS[W] -------- -------- -------- -------0			
0x018	Timer1BGLoad[W] 00000000 00000000 00000000 00000000			
0x020	Timer2Load[W] 00000000 00000000 00000000 00000000			
0x024	Timer2Value[W] 11111111 11111111 11111111 11111111			
0x028	Timer2Control[W] -------- -------- -------- 00100000			
0x02C	Timer2IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W] -------- -------- -------- -------0			
0x034	Timer2MIS[W] -------- -------- -------- -------0			
0x038	Timer2BGLoad[W] 00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

A.1.8 MFT

A.1.8.1 TYPE1-M4, TYPE2-M4 製品

MFT unit0 **Base_Address : 0x4002_0000**

MFT unit1 **Base_Address : 0x4002_1000**

MFT unit2 **Base_Address : 0x4002_2000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	-	OCSD10[B,H,W] 00000000	OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	-	OCSD32[B,H,W] 00000000	OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	-	OCSD54[B,H,W] 00000000	OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W] 11111111 11111111		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x144	TCDT0[H,W] 00000000 00000000		-	-
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-		-	WFIR[H,W] 00000000 00000000
0x1B4	-		-	NZCL[H,W] 00000000 00000000
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	-	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	-	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	-	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000
0x1E0	-	-	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	-	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	-	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC-0xFFC	-	-	-	-

A.1.8.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

MFT unit0 **Base_Address : 0x4002_0000**

MFT unit1 **Base_Address : 0x4002_1000**

MFT unit2 **Base_Address : 0x4002_2000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	OCSD10[B,H,W] --000000 00000000		OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	OCSD32[B,H,W] --000000 00000000		OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	OCSD54[B,H,W] --000000 00000000		OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-	-	WFIR[H,W] 00000000 00000000	
0x1B4	-	-	NZCL[H,W] 00000000 00000000	
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	ACMC0[B,H,W] 00--0000	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	ACMC1[B,H,W] 00--0000	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	ACMC2[B,H,W] 00--0000	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000
0x1E0	-	ACMC3[B,H,W] 00--0000	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	ACMC4[B,H,W] 00--0000	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	ACMC5[B,H,W] 00--0000	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC	-	-	-	TCSD[B,H,W] ------00
0x1F0-0xFFC	-	-	-	-

A.1.9 PPG

PPG Base_Address : 0x4002_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	TTCR0 [B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0 [B,H,W] 00000000	-
0x00C	-	-	-	COMP2 [B,H,W] 00000000
0x010	-	-	COMP4 [B,H,W] 00000000	-
0x014	-	-	-	COMP6 [B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1 [B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1 [B,H,W] 00000000	-
0x02C	-	-	-	COMP3 [B,H,W] 00000000
0x030	-	-	COMP5 [B,H,W] 00000000	-
0x034	-	-	-	COMP7 [B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2 [B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8 [B,H,W] 00000000	-
0x04C	-	-	-	COMP10 [B,H,W] 00000000
0x050	-	-	COMP12 [B,H,W] 00000000	-
0x054	-	-	-	COMP14 [B,H,W] 00000000
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG0 [B,H,W] 00000000 00000000	
0x104	-	-	REVC0 [B,H,W] 00000000 00000000	
0x108 - 0x13C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x140	-	-	TRG1 [B,H,W] -------- 00000000	
0x144	-	-	REVC1 [B,H,W] -------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0 [B,H,W] 00000000	PPGC1 [B,H,W] 00000000
0x204	-	-	PPGC2 [B,H,W] 00000000	PPGC3 [B,H,W] 00000000
0x208	-	-	PRLH0 [B,H,W] XXXXXXXX	PRLL0 [B,H,W] XXXXXXXX
0x20C	-	-	PRLH1 [B,H,W] XXXXXXXX	PRLL1 [B,H,W] XXXXXXXX
0x210	-	-	PRLH2 [B,H,W] XXXXXXXX	PRLL2 [B,H,W] XXXXXXXX
0x214	-	-	PRLH3 [B,H,W] XXXXXXXX	PRLL3 [B,H,W] XXXXXXXX
0x218	-	-	-	GATEC0 [B,H,W] --00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4 [B,H,W] 00000000	PPGC5 [B,H,W] 00000000
0x244	-	-	PPGC6 [B,H,W] 00000000	PPGC7 [B,H,W] 00000000
0x248	-	-	PRLH4 [B,H,W] XXXXXXXX	PRLL4 [B.H.W] XXXXXXXX
0x24C	-	-	PRLH5 [B,H,W] XXXXXXXX	PRLL5 [B,H,W] XXXXXXXX
0x250	-	-	PRLH6 [B,H,W] XXXXXXXX	PRLL6 [B,H,W] XXXXXXXX
0x254	-	-	PRLH7 [B,H,W] XXXXXXXX	PRLL7 [B,H,W] XXXXXXXX
0x258	-	-	-	GATEC4 [B,H,W] ------00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8 [B,H,W] 00000000	PPGC9 [B,H,W] 00000000
0x284	-	-	PPGC10 [B,H,W] 00000000	PPGC11 [B,H,W] 00000000
0x288	-	-	PRLH8 [B,H,W] XXXXXXXX	PRLL8 [B,H,W] XXXXXXXX
0x28C	-	-	PRLH9 [B,H,W] XXXXXXXX	PRLL9 [B,H,W] XXXXXXXX
0x290	-	-	PRLH10 [B,H,W] XXXXXXXX	PRLL10 [B,H,W] XXXXXXXX
0x294	-	-	PRLH11 [B,H,W] XXXXXXXX	PRLL11 [B,H,W] XXXXXXXX
0x298	-	-	-	GATEC8 [B,H,W] --00--00
0x29C - 0x2BC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	-	-	PPGC12 [B,H,W] 00000000	PPGC13 [B,H,W] 00000000
0x2C4	-	-	PPGC14 [B,H,W] 00000000	PPGC15 [B,H,W] 00000000
0x2C8	-	-	PRLH12 [B,H,W] XXXXXXXX	PRLL12 [B,H,W] XXXXXXXX
0x2CC	-	-	PRLH13 [B,H,W] XXXXXXXX	PRLL13 [B,H,W] XXXXXXXX
0x2D0	-	-	PRLH14 [B,H,W] XXXXXXXX	PRLL14 [B,H,W] XXXXXXXX
0x2D4	-	-	PRLH15 [B,H,W] XXXXXXXX	PRLL15 [B,H,W] XXXXXXXX
0x2D8	-	-	-	GATEC12 [B,H,W] ------00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16 [B,H,W] 00000000	PPGC17 [B,H,W] 00000000
0x304	-	-	PPGC18 [B,H,W] 00000000	PPGC19 [B,H,W] 00000000
0x308	-	-	PRLH16 [B,H,W] XXXXXXXX	PRLL16 [B,H,W] XXXXXXXX
0x30C	-	-	PRLH17 [B,H,W] XXXXXXXX	PRLL17 [B,H,W] XXXXXXXX
0x310	-	-	PRLH18 [B,H,W] XXXXXXXX	PRLL18 [B,H,W] XXXXXXXX
0x314	-	-	PRLH19 [B,H,W] XXXXXXXX	PRLL19 [B,H,W] XXXXXXXX
0x318	-	-	-	GATEC16 [B,H,W] --00---00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20 [B,H,W] 00000000	PPGC21 [B,H,W] 00000000
0x344	-	-	PPGC22 [B,H,W] 00000000	PPGC23 [B,H,W] 00000000
0x348	-	-	PRLH20 [B,H,W] XXXXXXXX	PRLL20 [B.H.W] XXXXXXXX
0x34C	-	-	PRLH21 [B,H,W] XXXXXXXX	PRLL21 [B,H,W] XXXXXXXX
0x350	-	-	PRLH22 [B,H,W] XXXXXXXX	PRLL22 [B,H,W] XXXXXXXX
0x354	-	-	PRLH23 [B,H,W] XXXXXXXX	PRLL23 [B,H,W] XXXXXXXX
0x358	-	-	-	GATEC20 [B,H,W] ------00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	-
0x384 - 0xFFC	-	-	-	-

A.1.10 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000

Base Timer ch.1 Base Address : 0x4002_5040

Base Timer ch.2 Base Address : 0x4002_5080

Base Timer ch.3 Base Address : 0x4002_50C0

Base Timer ch.4 Base Address : 0x4002_5200

Base Timer ch.5 Base Address : 0x4002_5240

Base Timer ch.6 Base Address : 0x4002_5280

Base Timer ch.7 Base Address : 0x4002_52C0

Base Timer ch.8 Base Address : 0x4002_5400

Base Timer ch.9 Base Address : 0x4002_5440

Base Timer ch.10 Base Address : 0x4002_5480

Base Timer ch.11 Base Address : 0x4002_54C0

Base Timer ch.12 Base Address : 0x4002_5600

Base Timer ch.13 Base Address : 0x4002_5640

Base Timer ch.14 Base Address : 0x4002_5680

Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL [H,W] XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF [H,W] XXXXXXXX XXXXXXXX	
0x008	-	-	TMR [H,W] 00000000 00000000	
0x00C	-	-	TMCR [B,H,W] -0000000 00000000	
0x010	-	-	TMCR2 [B,H,W] 0------0	STC [B,H,W] 0000-000
0x014 - 0x03C	-	-	-	-

A.1.11 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer) Base Address : 0x4002_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL0123 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7 (Base Timer) Base Address : 0x4002_5300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL4567 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11 (Base Timer) Base Address : 0x4002_5500

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL89AB [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15 (Base Timer) Base Address : 0x4002_5700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSELCDEF [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup (Base Timer) Base Address : 0x4002_5F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] XXXXXXXX XXXXXXXX	

A.1.12 QPRC

A.1.12.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

QPRC ch.3 Base Address : 0x4002_60C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -------- -----000	
0x0020 - 0x003B	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

A.1.12.2 TYPE3-M4, TYPE4-M4, TYPE5-M4 製品

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

QPRC ch.3 Base Address : 0x4002_60C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -------- ----0000	
0x0020 - 0x003B	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

A.1.13 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100

QPRC ch.1 NF Base Address : 0x4002_6110

QPRC ch.2 NF Base Address : 0x4002_6120

QPRC ch.3 NF Base Address : 0x4002_6130

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	-	NFCTLA[B,H,W] --00-000
0x0004	-	-	-	NFCTLB[B,H,W] --00-000
0x0008	-	-	-	NFCTLZ[B,H,W] --00-000
0x000C	-	-	-	-

A.1.14 A/DC

12bit A/DC unit0 Base_Address : 0x4002_7000

12bit A/DC unit1 Base_Address : 0x4002_7100

12bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---1--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W] ----0000
0x03C	-	-	ADCEN[B,H,W] 11111111 ------00	
0x040	CALSR[B,H,W] -------- -------- -------0 00000000			
0x044	-	-	-	WCMRCIF [B,H,W] 00000000
0x048	-	-	-	WCMRCOT [B,H,W] 00000000
0x04C	-	-	WCMPSR[B,H,W] 00000000	WCMPCR[B,H,W] 00100000
0x050	WCMPDH[B,H,W] 00000000 00000000		WCMPDL[B,H,W] 00000000 00000000	
0x040 - 0x0FC	-	-	-	-

A.1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W] -----001
0x004	-	-	MCR_FTRM[B,H,W] ------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W] ---10000
0x00C	MCR_RLR[W] 00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

A.1.16 EXTI

A.1.16.1 TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE4-M4 製品

EXTI Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -------0
0x018	-	-	-	NMICL[B,H,W] -------1
0x01C	-	-	-	-
0x020 - 0x0FC	-	-	-	-

A.1.16.2 TYPE5-M4, TYPE6-M4 製品

EXTI Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -------0
0x018	-	-	-	NMICL[B,H,W] -------1
0x01C	ELVR2[B,H,W] 00000000 00000000 00000000 00000000			
0x020 - 0x0FC	-	-	-	-

A.1.17 INT-Req. READ
A.1.17.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

INT-Req. READ Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	-
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] -------- 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] -------- 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] -------- 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] -------- 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] -------- 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] -------- 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] -------- 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] -------- 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- -------0			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- ----0000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- -------0			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------- ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------- ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x380	IRQ095MON[B,H,W] -------- -------- -------- ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------- --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------- --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------- ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------- ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------- ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------- ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------- ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------- -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------- ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------- -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------- ------00			
0x3B0	IRQ107MON[B,H,W] -------- -------- -------- -------0			
0x3B4	IRQ108MON[B,H,W] -------- -------- -------- ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------- -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------- ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	-	-	-	-
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- ---00000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- --000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3D0 – 0x3D8	-	-	-	-
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------- -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------- ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------- -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------- ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

A.1.17.2 TYPE3-M4, TYPE5-M4 製品

INT-Req. READ　Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	ODDPKS1[B] --00000
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] -------- 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] -------- 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] -------- 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] -------- 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] -------- 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] -------- 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] -------- 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] -------- 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- -------0			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- ---00000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- ---00000			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------- ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------- ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x380	IRQ095MON[B,H,W] -------- -------- -------- ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------- --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------- --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------- ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------- ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------- ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------- ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------- ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------- -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------- ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------- -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------- ------00			
0x3B0	IRQ107MON[B,H,W] -------- -------- -------- -------0			
0x3B4	IRQ108MON[B,H,W] -------- -------- -------- ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------- -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------- ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	IRQ112MON[B,H,W] -------- -------- -------- --000000			
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- --000000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- -0000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3D0	IRQ115MON[B,H,W] -------- -------- -------- -----000			
0x3D4	IRQ116MON[B,H,W] -------- -------- -------- --------			
0x3D8	IRQ117MON[B,H,W] -------- -------- -------- ------00			
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------- -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------- ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------- -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------- ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

A.1.17.3 TYPE4-M4 製品

INT-Req. READ　Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	ODDPKS1[B] --00000
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- ------00			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- --000000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- ---00000			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------0 ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------0 ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------0 ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x380	IRQ095MON[B,H,W] -------- -------- -------0 ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------0 --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------0 --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------0 ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------0 ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------0 ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------0 ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------0 ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------0 -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------0 ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------0 -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------0 ------00			
0x3B0	IRQ107MON[B,H,W] -------- -------- -------0 -------0			
0x3B4	IRQ108MON[B,H,W] -------- -------- -------0 ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------0 -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------0 ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	IRQ112MON[B,H,W] -------- -------- ------00 00000000			
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- --000000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- -0000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3D0	IRQ115MON[B,H,W] -------- -------- -------- -----000			
0x3D4	IRQ116MON[B,H,W] -------- -------- -------- --------			
0x3D8	IRQ117MON[B,H,W] -------- -------- -------- -----000			
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------0 -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------0 ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------0 -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------0 ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

A.1.18 D/AC

12bit D/AC unit0 Base_Address : 0x4003_3000

12bit D/AC unit1 Base_Address : 0x4003_3008

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	DACR[B,H,W] --00--00
0x004	-	-	DADR[H,W] ----XXXX XXXXXXXX	
0x010 – 0xFFC	-	-	-	-

A.1.19 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000

HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	TXCTRL[B,H,W] --0000-0
0x004	-	-	-	TXDATA[B,H,W] 00000000
0x008	-	-	-	TXSTS[B,H,W] --00---0
0x00C	-	-	-	SFREE[B,H,W] ----0000
0x010 – 0x03C	-	-	-	-
0x040	-	-	RCCR[B,H,W] 0---0000	RCST[B,H,W] 00000000
0x044	-	-	RCSHW[B,H,W] 00000000	RCDAHW[B,H,W] 00000000
0x048	-	-	RCDBHW[B,H,W] 00000000	-
0x04C	-	-	RCADR1[B,H,W] ---00000	RCADR2[B,H,W] ---00000
0x050	-	-	RCDTHH[B,H,W] 00000000	RCDTHL[B,H,W] 00000000
0x054	-	-	RCDTLH[B,H,W] 00000000	RCDTLL[B,H,W] 00000000
0x058	-	-	RCCKD[B,H,W] ---00000 00000000	
0x05C	-	-	RCRC[B,H,W] ---0---0	RCRHW[B,H,W] 00000000
0x060	-	-	RCLE[B,H,W] 00000-00	-
0x064	-	-	RCLELW[B,H,W] 00000000	RCLESW[B,H,W] 00000000
0x068 – 0x0FC	-	-	-	-

A.1.20 GPIO

A.1.20.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- --00 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 ----			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			
0x654 – 0x6FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

A.1.20.2 TYPE3-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- ---- ---- ---- ---- 0000 0000 0000			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x668	EPFR26[B,H,W] ---- ---- ---- --00 0000 0000 0000 0000			
0x66C – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740	PDSR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x744	PDSR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x748	PDSR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x74C	PDSR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x750	PDSR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x754	PDSR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x758	PDSR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x75C	PDSR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x760	PDSR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x764	PDSR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x768	PDSRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x76C	PDSRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x770	PDSRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x774	PDSRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x778	PDSRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x77C	PDSRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x780 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

A.1.20.3 TYPE4-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- 0000 0000 0000 ---- 0000 0000 0000			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x668	EPFR26[B,H,W] ---- ---- ---- --00 0000 0000 0000 0000			
0x66C	EPFR27[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x670	EPFR28[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x674	EPFR29[B,H,W] 0000 0000 0000 00-- 0000 0000 0000 0000			
0x67C	EPFR30[B,H,W] ---- --00 0000 0000 ---- 0000 0000 0000			
0x680 – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

A.1.20.4 TYPE5-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x668	EPFR26[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x66C – 0x680	-	-	-	-
0x684	EPFR33[B,H,W] ---- 0000 0000 0000 ---- 0000 0000 0000			
0x688	-	-	-	-
0x68C	EPFR35[B,H,W] ---- 0000 0000 0000 ---- ---- ---- ----			
0x690 – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
Base_Address	**Register**			

+ Address	+3	+2	+1	+0
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740	PDSR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x744	PDSR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x748	PDSR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x74C	PDSR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x750	PDSR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x754	PDSR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x758	PDSR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x75C	PDSR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x760	PDSR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x764	PDSR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x768	PDSRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x76C	PDSRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x770	PDSRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x774	PDSRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x778	PDSRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x77C	PDSRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x780 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

A.1.21 LVD

LVD Base_Address : 0x4003_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LVD_CTL[B,H,W] 000111--
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 [B,H,W] 0-------
0x014 - 0x0FC	-	-	-	-

A.1.22 DS_Mode

DS_Mode **Base_Address : 0x4003_5100**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	*
0x004	-	-	-	RCK_CTL[B,H,W] ------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W] -------0
0x704	-	-	-	WRFSR[B,H,W] ------00
0x708	-	-	WIFSR[B,H,W] ------00 00000000	
0x70C	-	-	WIER[B,H,W] ------00 00000-00	
0x710	-	-	-	WILVR[B,H,W] ---00000
0x714	-	-	-	DSRAMR[B,H,W] ------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W] 00000000	BUR03[B,H,W] 00000000	BUR02[B,H,W] 00000000	BUR01[B,H,W] 00000000
0x804	BUR08[B,H,W] 00000000	BUR07[B,H,W] 00000000	BUR06[B,H,W] 00000000	BUR05[B,H,W] 00000000
0x808	BUR012[B,H,W] 00000000	BUR11[B,H,W] 00000000	BUR10[B,H,W] 00000000	BUR09[B,H,W] 00000000
0x80C	BUR16[B,H,W] 00000000	BUR15[B,H,W] 00000000	BUR14[B,H,W] 00000000	BUR13[B,H,W] 00000000
0x810 - 0xEFC	-	-	-	-

A.1.23 USB Clock

USB Clock Base_Address : 0x4003_6000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] -0000000
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] -0111011
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028	-	-	-	UPCR6[B,H,W] ----0010
0x02C	-	-	-	UPCR7[B,H,W] -------0
0x030	-	-	-	USBEN0[B,H,W] -------0
0x034	-	-	-	USBEN1[B,H,W] -------0
0x038 - 0x0FC	-	-	-	-

A.1.24 CAN_Prescaler

CAN_Prescaler Base_Address : 0x4003_7000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CANPRE[B,H,W] ----1011
0x004 - 0xFFC	-	-	-	-

A.1.25 MFS

MFS ch.0 Base_Address : 0x4003_8000

MFS ch.1 Base_Address : 0x4003_8100

MFS ch.2 Base_Address : 0x4003_8200

MFS ch.3 Base_Address : 0x4003_8300

MFS ch.4 Base_Address : 0x4003_8400

MFS ch.5 Base_Address : 0x4003_8500

MFS ch.6 Base_Address : 0x4003_8600

MFS ch.7 Base_Address : 0x4003_8700

MFS ch.8 Base_Address : 0x4003_8800

MFS ch.9 Base_Address : 0x4003_8900

MFS ch.10 Base_Address : 0x4003_8A00

MFS ch.11 Base_Address : 0x4003_8B00

MFS ch.12 Base_Address : 0x4003_8C00

MFS ch.13 Base_Address : 0x4003_8D00

MFS ch.14 Base_Address : 0x4003_8E00

MFS ch.15 Base_Address : 0x4003_8F00

<table>
<tr><th rowspan="2">Base_Address
+ Address</th><th colspan="4">Register</th></tr>
<tr><th>+3</th><th>+2</th><th>+1</th><th>+0</th></tr>
<tr><td>0x000</td><td>-</td><td>-</td><td>SCR /
IBCR[B,H,W]
0--00000</td><td>SMR[B,H,W]
000-00-0</td></tr>
<tr><td>0x004</td><td>-</td><td>-</td><td>SSR[B,H,W]
0-000011</td><td>ESCR /
IBSR[B,H,W]
00000000</td></tr>
<tr><td rowspan="2">0x008</td><td>-</td><td>-</td><td colspan="2">RDR/TDR[H,W]
00000000 00000000</td></tr>
<tr><td colspan="4">(*1) RDR/TDR[H,W]
00000000 00000000 00000000 00000000</td></tr>
</table>

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] --------	ISBA[B,H,W] --------
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000
0x01C	-	-	SCSTR1/ EIBCR[B,H,W]	SCSTR0/ NFCR[B,H,W]
0x020	-	-	SCSTR3[B,H,W] 00000000	SCSTR2[B,H,W] 00000000
0x024	-	-	SACSR1[B,H,W] 00000000	SACSR0[B,H,W] 00000000
0x028	-	-	STMR1[B,H,W] 00000000	STMR0[B,H,W] 00000000
0x02C	-	-	STMCR1[B,H,W] 00000000	STMCR0[B,H,W] 00000000
0x030	-	-	SCSCR1[B,H,W] 00000000	SCSCR0[B,H,W] 00100000
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W] 00000000	TBYTE0[B,H,W] 00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x0144 - 0x1FC	-	-	-	-

<注意事項>

- *(*1) : RDR/TDR レジスタの上位 16bit は I2S モードで Word アクセスを使用するときのみ有効です。*

A.1.26 CRC

CRC Base_Address : 0x4003_9000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W] -0000000
0x004	CRCINIT[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W] 11111111 11111111 11111111 11111111			

A.1.27 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	WCCR[B,H,W] 00--0000	WCRL[B,H,W] --000000	WCRD[B,H,W] --000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W] -----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W] ------00
0x018 - 0xFFC	-	-	-	-

A.1.28 RTC
A.1.28.1 TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE6-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_CLKDIV[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 00001000
0x180	-	-	-	CCB[B,H,W] 00010000
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A0	-	-	-	VBPCR[B,H,W] ----0000
0x1A4	-	-	-	VBDDR[B,H,W] ----0000
0x1A8	-	-	-	VBDIR[B,H,W] ----XXXX
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x1B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W] 00000000	BREG02[B,H,W] 00000000	BREG01[B,H,W] 00000000	BREG00[B,H,W] 00000000
0x204	BREG07[B,H,W] 00000000	BREG06[B,H,W] 00000000	BREG05[B,H,W] 00000000	BREG04[B,H,W] 00000000
0x208	BREG0B[B,H,W] 00000000	BREG0A[B,H,W] 00000000	BREG09[B,H,W] 00000000	BREG08[B,H,W] 00000000
0x20C	BREG0F[B,H,W] 00000000	BREG0E[B,H,W] 00000000	BREG0D[B,H,W] 00000000	BREG0C[B,H,W] 00000000
0x210	BREG13[B,H,W] 00000000	BREG12[B,H,W] 00000000	BREG11[B,H,W] 00000000	BREG10[B,H,W] 00000000
0x214	BREG17[B,H,W] 00000000	BREG16[B,H,W] 00000000	BREG15[B,H,W] 00000000	BREG14[B,H,W] 00000000
0x218	BREG1B[B,H,W] 00000000	BREG1A[B,H,W] 00000000	BREG19[B,H,W] 00000000	BREG18[B,H,W] 00000000
0x21C	BREG1F[B,H,W] 00000000	BREG1E[B,H,W] 00000000	BREG1D[B,H,W] 00000000	BREG1C[B,H,W] 00000000
0x220	BREG23[B,H,W] 00000000	BREG22[B,H,W] 00000000	BREG21[B,H,W] 00000000	BREG20[B,H,W] 00000000
0x224	BREG27[B,H,W] 00000000	BREG26[B,H,W] 00000000	BREG25[B,H,W] 00000000	BREG24[B,H,W] 00000000
0x228	BREG2B[B,H,W] 00000000	BREG2A[B,H,W] 00000000	BREG29[B,H,W] 00000000	BREG28[B,H,W] 00000000
0x22C	BREG2F[B,H,W] 00000000	BREG2E[B,H,W] 00000000	BREG2D[B,H,W] 00000000	BREG2C[B,H,W] 00000000
0x230	BREG33[B,H,W] 00000000	BREG32[B,H,W] 00000000	BREG31[B,H,W] 00000000	BREG30[B,H,W] 00000000
0x234	BREG37[B,H,W] 00000000	BREG36[B,H,W] 00000000	BREG35[B,H,W] 00000000	BREG34[B,H,W] 00000000
0x238	BREG3B[B,H,W] 00000000	BREG3A[B,H,W] 00000000	BREG39[B,H,W] 00000000	BREG38[B,H,W] 00000000
0x23C	BREG3F[B,H,W] 00000000	BREG3E[B,H,W] 00000000	BREG3D[B,H,W] 00000000	BREG3C[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x240	BREG43[B,H,W] 00000000	BREG42[B,H,W] 00000000	BREG41[B,H,W] 00000000	BREG40[B,H,W] 00000000
0x244	BREG47[B,H,W] 00000000	BREG46[B,H,W] 00000000	BREG45[B,H,W] 00000000	BREG44[B,H,W] 00000000
0x248	BREG4B[B,H,W] 00000000	BREG4A[B,H,W] 00000000	BREG49[B,H,W] 00000000	BREG48[B,H,W] 00000000
0x24C	BREG4F[B,H,W] 00000000	BREG4E[B,H,W] 00000000	BREG4D[B,H,W] 00000000	BREG4C[B,H,W] 00000000
0x250	BREG53[B,H,W] 00000000	BREG52[B,H,W] 00000000	BREG51[B,H,W] 00000000	BREG50[B,H,W] 00000000
0x254	BREG57[B,H,W] 00000000	BREG56[B,H,W] 00000000	BREG55[B,H,W] 00000000	BREG54[B,H,W] 00000000
0x258	BREG5B[B,H,W] 00000000	BREG5A[B,H,W] 00000000	BREG59[B,H,W] 00000000	BREG58[B,H,W] 00000000
0x25C	BREG5F[B,H,W] 00000000	BREG5E[B,H,W] 00000000	BREG5D[B,H,W] 00000000	BREG5C[B,H,W] 00000000
0x260	BREG63[B,H,W] 00000000	BREG62[B,H,W] 00000000	BREG61[B,H,W] 00000000	BREG60[B,H,W] 00000000
0x264	BREG67[B,H,W] 00000000	BREG66[B,H,W] 00000000	BREG65[B,H,W] 00000000	BREG64[B,H,W] 00000000
0x268	BREG6B[B,H,W] 00000000	BREG6A[B,H,W] 00000000	BREG69[B,H,W] 00000000	BREG68[B,H,W] 00000000
0x26C	BREG6F[B,H,W] 00000000	BREG6E[B,H,W] 00000000	BREG6D[B,H,W] 00000000	BREG6C[B,H,W] 00000000
0x270	BREG73[B,H,W] 00000000	BREG72[B,H,W] 00000000	BREG71[B,H,W] 00000000	BREG70[B,H,W] 00000000
0x274	BREG77[B,H,W] 00000000	BREG76[B,H,W] 00000000	BREG75[B,H,W] 00000000	BREG74[B,H,W] 00000000
0x278	BREG7B[B,H,W] 00000000	BREG7A[B,H,W] 00000000	BREG79[B,H,W] 00000000	BREG78[B,H,W] 00000000
0x27C	BREG7F[B,H,W] 00000000	BREG7E[B,H,W] 00000000	BREG7D[B,H,W] 00000000	BREG7C[B,H,W] 00000000
0x280-0xFFC	-	-	-	-

A.1.28.2 TYPE4-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000
0x14C	-	-	-	WTTR0[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x150	-	-	-	WTTR1[B,H,W] 00000000
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_DIVCLK[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 11001110
0x180	-	-	-	CCB[B,H,W] 11001110
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A4	-	-	-	VBDDR[B,H,W] ----0000
0x1A8	-	-	-	VBDIR[B,H,W] ----XXXX
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x1B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W]	BREG02[B,H,W]	BREG01[B,H,W]	BREG00[B,H,W]
	00000000	00000000	00000000	00000000
0x204	BREG07[B,H,W]	BREG06[B,H,W]	BREG05[B,H,W]	BREG04[B,H,W]
	00000000	00000000	00000000	00000000
0x208	BREG0B[B,H,W]	BREG0A[B,H,W]	BREG09[B,H,W]	BREG08[B,H,W]
	00000000	00000000	00000000	00000000
0x20C	BREG0F[B,H,W]	BREG0E[B,H,W]	BREG0D[B,H,W]	BREG0C[B,H,W]
	00000000	00000000	00000000	00000000
0x210	BREG13[B,H,W]	BREG12[B,H,W]	BREG11[B,H,W]	BREG10[B,H,W]
	00000000	00000000	00000000	00000000
0x214	BREG17[B,H,W]	BREG16[B,H,W]	BREG15[B,H,W]	BREG14[B,H,W]
	00000000	00000000	00000000	00000000
0x218	BREG1B[B,H,W]	BREG1A[B,H,W]	BREG19[B,H,W]	BREG18[B,H,W]
	00000000	00000000	00000000	00000000
0x21C	BREG1F[B,H,W]	BREG1E[B,H,W]	BREG1D[B,H,W]	BREG1C[B,H,W]
	00000000	00000000	00000000	00000000
0x220	BREG23[B,H,W]	BREG22[B,H,W]	BREG21[B,H,W]	BREG20[B,H,W]
	00000000	00000000	00000000	00000000
0x224	BREG27[B,H,W]	BREG26[B,H,W]	BREG25[B,H,W]	BREG24[B,H,W]
	00000000	00000000	00000000	00000000
0x228	BREG2B[B,H,W]	BREG2A[B,H,W]	BREG29[B,H,W]	BREG28[B,H,W]
	00000000	00000000	00000000	00000000
0x22C	BREG2F[B,H,W]	BREG2E[B,H,W]	BREG2D[B,H,W]	BREG2C[B,H,W]
	00000000	00000000	00000000	00000000
0x230	BREG33[B,H,W]	BREG32[B,H,W]	BREG31[B,H,W]	BREG30[B,H,W]
	00000000	00000000	00000000	00000000
0x234	BREG37[B,H,W]	BREG36[B,H,W]	BREG35[B,H,W]	BREG34[B,H,W]
	00000000	00000000	00000000	00000000
0x238	BREG3B[B,H,W]	BREG3A[B,H,W]	BREG39[B,H,W]	BREG38[B,H,W]
	00000000	00000000	00000000	00000000
0x23C	BREG3F[B,H,W]	BREG3E[B,H,W]	BREG3D[B,H,W]	BREG3C[B,H,W]
	00000000	00000000	00000000	00000000
0x240	BREG43[B,H,W]	BREG42[B,H,W]	BREG41[B,H,W]	BREG40[B,H,W]
	00000000	00000000	00000000	00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x244	BREG47[B,H,W]	BREG46[B,H,W]	BREG45[B,H,W]	BREG44[B,H,W]
	00000000	00000000	00000000	00000000
0x248	BREG4B[B,H,W]	BREG4A[B,H,W]	BREG49[B,H,W]	BREG48[B,H,W]
	00000000	00000000	00000000	00000000
0x24C	BREG4F[B,H,W]	BREG4E[B,H,W]	BREG4D[B,H,W]	BREG4C[B,H,W]
	00000000	00000000	00000000	00000000
0x250	BREG53[B,H,W]	BREG52[B,H,W]	BREG51[B,H,W]	BREG50[B,H,W]
	00000000	00000000	00000000	00000000
0x254	BREG57[B,H,W]	BREG56[B,H,W]	BREG55[B,H,W]	BREG54[B,H,W]
	00000000	00000000	00000000	00000000
0x258	BREG5B[B,H,W]	BREG5A[B,H,W]	BREG59[B,H,W]	BREG58[B,H,W]
	00000000	00000000	00000000	00000000
0x25C	BREG5F[B,H,W]	BREG5E[B,H,W]	BREG5D[B,H,W]	BREG5C[B,H,W]
	00000000	00000000	00000000	00000000
0x260	BREG63[B,H,W]	BREG62[B,H,W]	BREG61[B,H,W]	BREG60[B,H,W]
	00000000	00000000	00000000	00000000
0x264	BREG67[B,H,W]	BREG66[B,H,W]	BREG65[B,H,W]	BREG64[B,H,W]
	00000000	00000000	00000000	00000000
0x268	BREG6B[B,H,W]	BREG6A[B,H,W]	BREG69[B,H,W]	BREG68[B,H,W]
	00000000	00000000	00000000	00000000
0x26C	BREG6F[B,H,W]	BREG6E[B,H,W]	BREG6D[B,H,W]	BREG6C[B,H,W]
	00000000	00000000	00000000	00000000
0x270	BREG73[B,H,W]	BREG72[B,H,W]	BREG71[B,H,W]	BREG70[B,H,W]
	00000000	00000000	00000000	00000000
0x274	BREG77[B,H,W]	BREG76[B,H,W]	BREG75[B,H,W]	BREG74[B,H,W]
	00000000	00000000	00000000	00000000
0x278	BREG7B[B,H,W]	BREG7A[B,H,W]	BREG79[B,H,W]	BREG78[B,H,W]
	00000000	00000000	00000000	00000000
0x27C	BREG7F[B,H,W]	BREG7E[B,H,W]	BREG7D[B,H,W]	BREG7C[B,H,W]
	00000000	00000000	00000000	00000000
0x280-0xFFC	-	-	-	-

A.1.28.3 TYPE5-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1 [B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR [B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR [B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS[B,H,W] -------0
0x024	-	WTCALEN[B,H,W] -------0	WTCAL[B,H,W] ------00 00000000	
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV[B,H,W] ----0000
0x02C	-	-	-	WTCALPRD[B,H,W], --010011
0x030	-	-	-	WTCOSEL[B,H,W], -------0
0x034-0x0FF	-	-	-	-

A.1.29 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W], --000000
0x004 – 0x0FC	-	-	-	-

A.1.30 Peripheral Clock Gating

A.1.30.1 TYPE1-M4, TYPE2-M4 製品

Peripheral Clock Gating Base_Address : 0x4003_C100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] -------- -------- -------0 --**--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] -------- -------- -------0 --00--00			
0x028 – 0x67C	-	-	-	-

A.1.30.2 TYPE3-M4, TYPE4-M4 製品

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] ---0--11 ---1--00 -------0 -***--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] ---0--00 ---0--00 -------0 -000--00			
0x028 – 0x67C	-	-	-	-

A.1.30.3 TYPE5-M4, TYPE6-M4 製品

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] ---0--11 ---1--00 1111---0 -***--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] ---0--00 ---0--00 0000---0 -000--00			
0x028 – 0x67C	-	-	-	-

A.1.31 Smart Card Interface

Smart Card Interface ch.0 Base_Address : 0x4003_C900

Smart Card Interface ch.1 Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000--00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

A.1.32 MFSI2S

MFSI2S ch.A Base_Address : 0x4003_CA00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	CNTLREG[B, H,W] -----0-0 -0000-01	
0x04	-	-	I2SCLK[B, H,W] 00------ 00000000	
0x08	-	-	I2SST[B,H,W] ------00	I2SRST[B,H,W] 00000000
0x0C- 0xFC	-	-	-	-

＜注意事項＞

- *TYP5-M4 製品では MFSI2S ch.A は MFS ch.1 が該当します。*

A.1.33 I2S_Prescaler

A.1.33.1 TYPE3-M4 製品

I2S_Prescaler Base_Address : 0x4003_D000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ICCR[B,H,W] -------- -------- -------- ------00			
0x004	IPCR1[B,H,W] -------- -------- -------- -------0			
0x008	IPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	IPCR3[B,H,W] -------- -------- -------- ---00001			
0x010	IPCR4[B,H,W] -------- -------- -------- -0011111			
0x014	IP_STR[B,H,W] -------- -------- -------- -------0			
0x018	IPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	IPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	IPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	IPCR5[B,H,W] -------- -------- -------- -0011000			
0x028 – 0xFFC	-	-	-	-

A.1.33.2 TYPE4-M4 製品

I2S_Prescaler　　Base_Address : 0x4003_D000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ICCR[B,H,W] -------- -------- -------- ------00			
0x004	IPCR1[B,H,W] -------- -------- -------- -------0			
0x008	IPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	IPCR3[B,H,W] -------- -------- -------- ---00001			
0x010	IPCR4[B,H,W] -------- -------- -------- -0011111			
0x014	IP_STR[B,H,W] -------- -------- -------- -------0			
0x018	IPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	IPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	IPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	IPCR5[B,H,W] -------- -------- -------- -0011000			
0x028 – 0x02C	-	-	-	-
0x030	ICCR_1[B,H,W] -------- -------- -------- -----000			
0x034	IPCR5_1[B,H,W] -------- -------- -------- -0000000			
0x038 – 0xFFC	-	-	-	-

A.1.34 GDC_Prescaler

GDC_Prescaler Base_Address : 0x4003_D100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	GCCR[B,H,W] -------- -------- -------- -------0			
0x004	GPCR1[B,H,W] -------- -------- -------- ------00			
0x008	GPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	GPCR3 [B,H,W] -------- -------- -------- ---00000			
0x010	GPCR4 [B,H,W] -------- -------- -------- -0000000			
0x014	GP_STR[B,H,W] -------- -------- -------- -------0			
0x018	GPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	GPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	GPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	-	-	-	-
0x028	GCSR[B,H,W] -------- -------- ---0---0 ---0--00			
0x02C	GRCR[B,H,W] -------- -------- -------- -------0			
0x030	GMCR[B,H,W] -------- -------- -------- -------0			
0x034- 0xFFC	-	-	-	-

<注意事項>

- *GDC 部のレジスタの詳細は『GDC 編』を参照してください。*

A.1.35 EXT-Bus I/F

A.1.35.1 TYPE1-M4 製品

EXT-Bus I/F　　Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	MODE0[W] -------- -------- --000-00 00000000			
0x0004	MODE1[W] -------- -------- --000-00 00000000			
0x0008	MODE2[W] -------- -------- --000-00 00000000			
0x000C	MODE3[W] -------- -------- --000-00 00000000			
0x0010	MODE4[W] -------- -------- --000-00 00000001			
0x0014	MODE5[W] -------- -------- --000-00 00000000			
0x0018	MODE6[W] -------- -------- --000-00 00000000			
0x001C	MODE7[W] -------- -------- --000-00 00000000			
0x0020	TIM0[W] 00000101 01011111 11110000 00001111			
0x0024	TIM1[W] 00000101 01011111 11110000 00001111			
0x0028	TIM2[W] 00000101 01011111 11110000 00001111			
0x002C	TIM3[W] 00000101 01011111 11110000 00001111			
0x0030	TIM4[W] 00000101 01011111 11110000 00001111			
0x0034	TIM5[W] 00000101 01011111 11110000 00001111			
0x0038	TIM6[W] 00000101 01011111 11110000 00001111			
0x003C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	AREA0[W] -------- -0001111 -------- 00000000			
0x0044	AREA1[W] -------- -0001111 -------- 00010000			
0x0048	AREA2[W] -------- -0001111 -------- 00100000			
0x004C	AREA3[W] -------- -0001111 -------- 00110000			
0x0050	AREA4[W] -------- -0001111 -------- 01000000			
0x0054	AREA5[W] -------- -0001111 -------- 01010000			
0x0058	AREA6[W] -------- -0001111 -------- 01100000			
0x005C	AREA7[W] -------- -0001111 -------- 01110000			
0x0060	ATIM0[W] -------- -------- ----0100 01011111			
0x0064	ATIM1[W] -------- -------- ----0100 01011111			
0x0068	ATIM2[W] -------- -------- ----0100 01011111			
0x006C	ATIM3[W] -------- -------- ----0100 01011111			
0x0070	ATIM4[W] -------- -------- ----0100 01011111			
0x0074	ATIM5[W] -------- -------- ----0100 01011111			
0x0078	ATIM6[W] -------- -------- ----0100 01011111			
0x007C	ATIM7[W] -------- -------- ----0100 01011111			
0x0080 - 0x00FC	-	-	-	-
0x0100	SDMODE[W] -------- -------0 00010011 --00-000			
0x0104	REFTIM[W] -------0 00000000 0000000000110011			
0x0108	PWRDWN[W] -------- -------- 00000000 00000000			
0x010C	SDTIM[W] ------00 01000010 00010001 0100--01			
0x0110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x0114 - 0x01FC	-	-	-	-

Base_Address + Address	Register			
	+3	+ 2	+1	+ 0
0x0200	MEMCERR[W] -------- -------- -------- ----0000			
0x0204 – 0x02FC	-	-	-	-
0x0300	DCLKR[W] -------- -------- -------- ---01111			
0x0304	EST -------- -------- -------- -------0			
0x0308	WEAD 00000000 00000000 000000000 00000000			
0x030C	ESCLR[W] -------- -------- -------- -------1			
0x0310	AMODE[W] -------- -------- -------- -------1			
0x031C - 0x0EFC	-	-	-	-
0x0F00 – 0x0F14	*	*	*	*
0x0F18 – 0x0FFC	-	-	-	-

A.1.35.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

EXT-Bus I/F　　Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	MODE0[W] -------- -------- --000-00 00000000			
0x0004	MODE1[W] -------- -------- --000-00 00000000			
0x0008	MODE2[W] -------- -------- --000-00 00000000			
0x000C	MODE3[W] -------- -------- --000-00 00000000			
0x0010	MODE4[W] -------- -------- --000-00 00000001			
0x0014	MODE5[W] -------- -------- --000-00 00000000			
0x0018	MODE6[W] -------- -------- --000-00 00000000			
0x001C	MODE7[W] -------- -------- --000-00 00000000			
0x0020	TIM0[W] 00000101 01011111 11110000 00001111			
0x0024	TIM1[W] 00000101 01011111 11110000 00001111			
0x0028	TIM2[W] 00000101 01011111 11110000 00001111			
0x002C	TIM3[W] 00000101 01011111 11110000 00001111			
0x0030	TIM4[W] 00000101 01011111 11110000 00001111			
0x0034	TIM5[W] 00000101 01011111 11110000 00001111			
0x0038	TIM6[W] 00000101 01011111 11110000 00001111			
0x003C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	AREA0[W] -------- -0001111 -------- 00000000			
0x0044	AREA1[W] -------- -0001111 -------- 00010000			
0x0048	AREA2[W] -------- -0001111 -------- 00100000			
0x004C	AREA3[W] -------- -0001111 -------- 00110000			
0x0050	AREA4[W] -------- -0001111 -------- 01000000			
0x0054	AREA5[W] -------- -0001111 -------- 01010000			
0x0058	AREA6[W] -------- -0001111 -------- 01100000			
0x005C	AREA7[W] -------- -0001111 -------- 01110000			
0x0060	ATIM0[W] -------- -------- ----0100 01011111			
0x0064	ATIM1[W] -------- -------- ----0100 01011111			
0x0068	ATIM2[W] -------- -------- ----0100 01011111			
0x006C	ATIM3[W] -------- -------- ----0100 01011111			
0x0070	ATIM4[W] -------- -------- ----0100 01011111			
0x0074	ATIM5[W] -------- -------- ----0100 01011111			
0x0078	ATIM6[W] -------- -------- ----0100 01011111			
0x007C	ATIM7[W] -------- -------- ----0100 01011111			
0x0080 - 0x00FC	-	-	-	-
0x0100	SDMODE[W] -------- -------0 00010011 --00-000			
0x0104	REFTIM[W] -------0 00000000 0000000000110011			
0x0108	PWRDWN[W] -------- -------- 00000000 00000000			
0x010C	SDTIM[W] 0-----00 01000010 00010001 0100--01			
0x0110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x0114 - 0x01FC	-	-	-	-

Base_Address + Address	Register			
	+3	+ 2	+1	+ 0
0x0200	MEMCERR[W] -------- -------- -------- ----0000			
0x0204 – 0x02FC	-	-	-	-
0x0300	DCLKR[W] -------- -------- -------- ---01111			
0x0304	EST -------- -------- -------- -------0			
0x0308	WEAD 00000000 00000000 000000000 00000000			
0x030C	ESCLR[W] -------- -------- -------- -------1			
0x0310	AMODE[W] -------- -------- -------- -------1			
0x031C - 0x0EFC	-	-	-	-
0x0F00 – 0x0F14	*	*	*	*
0x0F18 – 0x0FFC	-	-	-	-

A.1.36 USB

USB ch.0 Base_Address : 0x4004_0000

USB ch.1 Base_Address : 0x4005_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 100--00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 - 0x217C	-	-	-	-

A.1.37 DMAC

DMAC Base_Address : 0x4006_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	DMACR[B,H,W] 00-00000 -------- -------- --------			
0x0010	DMACA0[B,H,W] 00000000 0---0000 00000000 00000000			
0x0014	DMACB0[B,H,W] --000000 00000000 00000000 -------0			
0x0018	DMACSA0[B,H,W] 00000000 00000000 00000000 00000000			
0x001C	DMACDA0[B,H,W] 00000000 00000000 00000000 00000000			
0x0020	DMACA1[B,H,W] 00000000 0---0000 00000000 00000000			
0x0024	DMACB1[B,H,W] --000000 00000000 00000000 -------0			
0x0028	DMACSA1[B,H,W] 00000000 00000000 00000000 00000000			
0x002C	DMACDA1[B,H,W] 00000000 00000000 00000000 00000000			
0x0030	DMACA2[B,H,W] 00000000 0---0000 00000000 00000000			
0x0034	DMACB2[B,H,W] --000000 00000000 00000000 -------0			
0x0038	DMACSA2[B,H,W] 00000000 00000000 00000000 00000000			
0x003C	DMACDA2[B,H,W] 00000000 00000000 00000000 00000000			
0x0040	DMACA3[B,H,W] 00000000 0---0000 00000000 00000000			
0x0044	DMACB3[B,H,W] --000000 00000000 00000000 -------0			
0x0048	DMACSA3[B,H,W] 00000000 00000000 00000000 00000000			
0x004C	DMACDA3[B,H,W] 00000000 00000000 00000000 00000000			
0x0050	DMACA4[B,H,W] 00000000 0---0000 00000000 00000000			
0x0054	DMACB4[B,H,W] --000000 00000000 00000000 -------0			
0x0058	DMACSA4[B,H,W] 00000000 00000000 00000000 00000000			
0x005C	DMACDA4[B,H,W] 00000000 00000000 00000000 00000000			
0x0060	DMACA5[B,H,W] 00000000 0---0000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0064	DMACB5[B,H,W] --000000 00000000 00000000 -------0			
0x0068	DMACSA5[B,H,W] 00000000 00000000 00000000 00000000			
0x006C	DMACDA5[B,H,W] 00000000 00000000 00000000 00000000			
0x0070	DMACA6[B,H,W] 00000000 0---0000 00000000 00000000			
0x0074	DMACB6[B,H,W] --000000 00000000 00000000 -------0			
0x0078	DMACSA6[B,H,W] 00000000 00000000 00000000 00000000			
0x007C	DMACDA6[B,H,W] 00000000 00000000 00000000 00000000			
0x0080	DMACA7[B,H,W] 00000000 0---0000 00000000 00000000			
0x0084	DMACB7[B,H,W] --000000 00000000 00000000 -------0			
0x0088	DMACSA7[B,H,W] 00000000 00000000 00000000 00000000			
0x008C	DMACDA7[B,H,W] 00000000 00000000 00000000 00000000			
0x0090 - 0x00FC	-	-	-	-

A.1.38 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x0004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x0008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x000C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x0010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0018	DREQENB[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x001C	DREQENB[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0020	DREQENB[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0024	DREQENB[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0028	DREQENB[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x002C	DREQENB[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x0030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0038	HWINT[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x003C	HWINT[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0040	HWINT[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0044	HWINT[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0048	HWINT[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x004C	HWINT[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x0050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0058	HWINTCLR[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x005C	HWINTCLR[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x060	HWINTCLR[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x064	HWINTCLR[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x068	HWINTCLR[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HWINTCLR[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078	DQMSK[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x07C	DQMSK[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x080	DQMSK[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x084	DQMSK[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x088	DQMSK[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x08C	DQMSK[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098	DQMSKCLR[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x09C	DQMSKCLR[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	DQMSKCLR[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	DQMSKCLR[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	DQMSKCLR[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x0AC	DQMSKCLR[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x00B0 - 0x0FFC	-	-	-	-

A.1.39 CAN

CAN ch.0 Base_Address : 0x4006_2000

CAN ch.1 Base_Address : 0x4006_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	STATR[B,H,W] -------- 00000000		CTRLR[B,H,W] -------- 000-0001	
0x0004	BTR[B,H,W] -0100011 00000001		ERRCNT[B,H,W] 00000000 00000000	
0x0008	TESTR[B,H,W] -------- X00000--		INTR[B,H,W] 00000000 00000000	
0x000C	-	-	BRPER[B,H,W] -------- ----0000	
0x0010	IF1CMSK[B,H,W] -------- 00000000		IF1CREQ[B,H,W] 0------- 00000001	
0x0014	IF1MSK2[B,H,W] 11-11111 11111111		IF1MSK1[B,H,W] 11111111 11111111	
0x0018	IF1ARB2[B,H,W] 00000000 00000000		IF1ARB1[B,H,W] 00000000 00000000	
0x001C	-	-	IF1MCTR[B,H,W] 00000000 0---0000	
0x0020	IF1DTA2[B,H,W] 00000000 00000000		IF1DTA1[B,H,W] 00000000 00000000	
0x0024	IF1DTB2[B,H,W] 00000000 00000000		IF1DTB1[B,H,W] 00000000 00000000	
0x0028 - 0x002F	-	-	-	-
0x0030	IF1DTA1[B,H,W] 00000000 00000000		IF1DTA2[B,H,W] 00000000 00000000	
0x0034	IF1DTB1[B,H,W] 00000000 00000000		IF1DTB2[B,H,W] 00000000 00000000	
0x0038 - 0x003C	-	-	-	-
0x0040	IF2CMSK[B,H,W] -------- 00000000		IF2CREQ[B,H,W] 0------- 00000001	
0x0044	IF2MSK2[B,H,W] 11-11111 11111111		IF2MSK1[B,H,W] 11111111 11111111	
0x0048	IF2ARB2[B,H,W] 00000000 00000000		IF2ARB1[B,H,W] 00000000 00000000	
0x004C	-	-	IF2MCTR[B,H,W] 00000000 0---0000	
0x0050	IF2DTA2[B,H,W] 00000000 00000000		IF2DTA1[B,H,W] 00000000 00000000	
0x0054	IF2DTB2[B,H,W] 00000000 00000000		IF2DTB1[B,H,W] 00000000 00000000	
0x0058 - 0x005C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0060	IF2DTA1[B,H,W] 00000000 00000000		IF2DTA2[B,H,W] 00000000 00000000	
0x0064	IF2DTB1[B,H,W] 00000000 00000000		IF2DTB2[B,H,W] 00000000 00000000	
0x0068 - 0x007C	-	-	-	-
0x0080	TREQR2[B,H,W] 00000000 00000000		TREQR1[B,H,W] 00000000 00000000	
0x0084 - 0x008F	-	-	-	-
0x0090	NEWDT2[B,H,W] 00000000 00000000		NEWDT1[B,H,W] 00000000 00000000	
0x0094 - 0x009F	-	-	-	-
0x00A0	INTPND2[B,H,W] 00000000 00000000		INTPND1[B,H,W] 00000000 00000000	
0x00A4 - 0x00AF	-	-	-	-
0x00B0	MSGVAL2[B,H,W] 00000000 00000000		MSGVAL1[B,H,W] 00000000 00000000	
0x00B4 - 0x0FFC	-	-	-	-

A.1.40 Ethernet-MAC

Ethernet-MAC Base_Address : 0x4006_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000 – 0x1FFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

<注意事項>

- *Ethernet-MAC 部のレジスタの詳細は『Ethernet 編 CHAPTER2:Ethernet-MAC 4. レジスタ』を参照してください。*

A.1.41 Ethernet-Control

Ethernet-Control Base_Address : 0x4006_6000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0xFFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

<注意事項>

- *Ethernet-Control 部のレジスタの詳細は『Ethernet 編 CHAPTER1:Ethernet 4. Ethernet システム制御レジスタ』を参照してください。*

A.1.42 I2S

I2S ch.0 Base_Address : 0x4006_C000

I2S ch.1 Base_Address : 0x4006_C800

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	RXFDAT[B,H,W] 00000000 00000000 00000000 00000000			
0x004	TXFDAT[B,H,W] 00000000 00000000 00000000 00000000			
0x008	CNTREG[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	MCR0REG[B,H,W] -0000000 00000000 -0000000 00000000			
0x010	MCR1REG[B,H,W] 00000000 00000000 00000000 00000000			
0x014	MCR2REG[B,H,W] 00000000 00000000 00000000 00000000			
0x018	OPRREG[B,H,W] -------0 -------0 -------- -------0			
0x01C	SRST[B,H,W] -------- -------- -------- -------0			
0x020	INTCNT[B,H,W] -1111111 --111111 ----0000 --000000			
0x024	STATUS[B,H,W] 00000000 ----0000 00000000 00000000			
0x028	DMAACT[B,H,W] -------0 -------0 -------0 -------0			
0x02C	TSTREG[B,H,W] -------- -------- -------- -------0			
0x030 - 0xFFC	-	-	-	-

A.1.43 SD-Card

SD-Card Base_Address : 0x4006_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 – 0xFFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

<注意事項>

- *SD-Card 部のレジスタの詳細は『本編 CHAPTER:SD カードインタフェース 2.レジスター覧』を参照してください。*

A.1.44 CAN FD

CAN FD Base_Address : 0x4007_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CREL[B,H,W] 00110000 00010011 00000101 0000110			
0x004	ENDN[B,H,W] 10000111 01100101 01000011 00100001			
0x008	-	-	-	-
0x00C	FBTP[B,H,W] ---00000 0--00000 ----1010 -011--11			
0x010	TEST[B,H,W] -------- -------- --000000 X000----			
0x014	RWD[B,H,W] -------- -------- 00000000 00000000			
0x018	CCCR[B,H,W] -------- -------- -0000000 00000001			
0x01C	BTP[B,H,W] ------00 00000000 --001010 00110011			
0x020	TSCC[B,H,W] -------- ----0000 -------- ------00			
0x024	TSCV[B,H,W] -------- -------- 00000000 00000000			
0x028	TOCC[B,H,W] 11111111 11111111 -------- -----000			
0x02C	TOCV[B,H,W] -------- -------- 11111111 11111111			
0x030 - 0x03C	-	-	-	-
0x040	ECR[B,H,W] -------- 00000000 00000000 00000000			
0x044	PSR[B,H,W] -------- -------- --000111 00000111			
0x048 - 0x04C	-	-	-	-
0x050	IR[B,H,W] 00000000 00000000 00000000 00000000			
0x054	IE[B,H,W] 00000000 00000000 00000000 00000000			
0x058	ILS[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	ILE[B,H,W] -------- -------- -------- ------00			
0x060 - 0x07C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x080	GFC[B,H,W] -------- -------- -------- --000000			
0x084	SIDFC[B,H,W] -------- 00000000 00000000 000000--			
0x088	XIDFC[B,H,W] -------- -0000000 00000000 000000--			
0x08C	-	-	-	-
0x090	XIDAM[B,H,W] ---11111 11111111 11111111 11111111			
0x094	HPMS[B,H,W] -------- -------- 00000000 00000000			
0x098	NDAT1[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	NDAT2[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	RXF0C[B,H,W] 00000000 -0000000 00000000 000000--			
0x0A4	RXF0S[B,H,W] ------00 --000000 --000000 -0000000			
0x0A8	RXF0A[B,H,W] -------- -------- -------- --000000			
0x0AC	RXBC[B,H,W] -------- -------- 00000000 000000--			
0x0B0	RXF1C[B,H,W] 00000000 -0000000 00000000 000000--			
0x0B4	RXF1S[B,H,W] 00----00 --000000 --000000 -0000000			
0x0B8	RXF1A[B,H,W] -------- -------- -------- --000000			
0x0BC	RXESC[B,H,W] -------- -------- -----000 -000-000			
0x0C0	TXBC[B,H,W] -0000000 --000000 00000000 000000--			
0x0C4	TXFQS[B,H,W] -------- --000000 ---00000 –000000			
0x0C8	TXESC[B,H,W] -------- -------- -------- -----000			
0x0CC	TXBRP[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	TXBAR[B,H,W] 00000000 00000000 00000000 00000000			
0x0D4	TXBCR[B,H,W] 00000000 00000000 00000000 00000000			
0x0D8	TXBTO[B,H,W] 00000000 00000000 00000000 00000000			
0x0DC	TXBCF[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0E0	TXBTIE[B,H,W] 00000000 00000000 00000000 00000000			
0x0E4	TXBCIE[B,H,W] 00000000 00000000 00000000 00000000			
0x0E8 - 0x0EC	-	-	-	-
0x0F0	TXEFC[B,H,W] --000000 --000000 00000000 000000--			
0x0F4	TXEFS[B,H,W] ------00 ---00000 ---00000 --000000			
0x0F8	TXEFA[B,H,W] -------- -------- -------- ---00000			
0x0FC - 0x1FC	-	-	-	-
0x200	FDSEAR[B,H,W] 00000000 00000000		FDESR[B,H,W] ------00	FDECR[B,H,W] ----0000
0x204	FDDEAR[B,H,W] 00000000 00000000		FDESCR[B,H,W] ------00	-
0x208 – 0x20C				
0x210	TSMDR[B,H,W] -------- -------0		TSCNTR[B,H,W] -------- -------0	
0x214	TSDIVR[B,H,W] -------- -------- 00000000 00000000			
0x218	TSCPCLR[B,H,W] 00000000 00000000		TSCDTR[B,H,W] 00000000 00000000	
0x21C - 0xFFC	-	-	-	-

CAN FD Message RAM

Base_Address + Address	Message RAM			
	+3	+2	+1	+0
0x8000 - 0xBFFC	Rx Buffer and FIFO Element [W] Tx Buffer Element [W] Tx Event FIFO Element [W] Standard Message ID Filter Element [W] Extended Message ID Filter Element [W]			

<注意事項>

- *メッセージRAMの詳細は『通信マクロ編 CHAPTER 5-3: CAN FDコントローラ6.メッセージRAM』を参照してください。*

A.1.45 Programmable-CRC

Programmable-CRC Base_Address : 0x4008_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CRCn_PORY[B,H,W] 00000100 11000001 00011101 10110111			
0x004	CRCn_SEED[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCn_FXOR[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	CRCn_CFG[B,H,W] 00000000 11100000 00000000 00000000			
0x010	CRCn_WR[B,H,W] 00000000 00000000 00000000 00000000			
0x014	CRCn_RD[B,H,W] 00000000 00000000 00000000 00000000			
0x018 - 0xFFC	-	-	-	-

A.1.46 WorkFlash_IF

WorkFlash_IF Base_Address : 0x200E_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WFASZR[B,H,W]			
0x004	WFRWTR[B,H,W]			
0x008	WFSTR[B,H,W]			
0x00C - 0xFFF	-	-	-	-

<注意事項>

- *WorkFlash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

A.1.47 High-Speed Quad SPI Controller

A.1.47.1 TYPE3-M4 製品

High-Speed Quad SPI Controller Base_Address : 0xD000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	HSSPIn_MCTRL[B,H,W] -------- -------- -------- --000-00			
0x004	HSSPIn_PCC0[B,H,W] -------- -1111111 00000000 00000000			
0x008	HSSPIn_PCC1[B,H,W] -------- -1111111 00000000 00000000			
0x00C	HSSPIn_PCC2[B,H,W] -------- -1111111 00000000 00000000			
0x010	HSSPIn_PCC3[B,H,W] -------- -1111111 00000000 00000000			
0x014	HSSPIn_TXF[B,H,W] -------- -------- -------- -0000000			
0x018	HSSPIn_TXE[B,H,W] -------- -------- -------- -0000000			
0x01C	HSSPIn_TXC[B,H,W] -------- -------- -------- -0000000			
0x020	HSSPIn_RXF[B,H,W] -------- -------- -------- -0000000			
0x024	HSSPIn_RXE[B,H,W] -------- -------- -------- -0000000			
0x028	HSSPIn_RXC[B,H,W] -------- -------- -------- -0000000			
0x02C	HSSPIn_FAULTF[B,H,W] -------- -------- -------- ---00000			
0x030	HSSPIn_FAULTC[B,H,W] -------- -------- -------- ---00000			
0x034	-	-	HSSPIn_DMDMAEN [B,H,W] ------00	HSSPIn_DMCFG [B,H,W] -----001
0x038	HSSPIn_DMTRP [B,H,W] ----0000	HSSPIn_DMPSEL [B,H,W] ------00	HSSPIn_DMSTOP [B,H,W] -------0	HSSPIn_DMSTART [B,H,W] -------0
0x03C	HSSPIn_DMBCS[B,H,W] 00000000 00000000		HSSPIn_DMBCC[B,H,W] 00000000 00000000	
0x040	HSSPIn_DMSTATUS[B,H,W] -------- ---00000 ---00000 ------00			
0x044	-	-	-	-
0x048	-	-	-	-
0x04C	HSSPIn_FIFOCFG[B,H,W] --------_--------_---00000_01110111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	HSSPIn_TXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x054	HSSPIn_TXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x058	HSSPIn_TXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	HSSPIn_TXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x060	HSSPIn_TXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x064	HSSPIn_TXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x068	HSSPIn_TXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HSSPIn_TXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x070	HSSPIn_TXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x074	HSSPIn_TXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x078	HSSPIn_TXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	HSSPIn_TXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x080	HSSPIn_TXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x084	HSSPIn_TXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x088	HSSPIn_TXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	HSSPIn_TXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x090	HSSPIn_RXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x094	HSSPIn_RXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x098	HSSPIn_RXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	HSSPIn_RXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	HSSPIn_RXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	HSSPIn_RXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	HSSPIn_RXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0AC	HSSPIn_RXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x0B0	HSSPIn_RXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x0B4	HSSPIn_RXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x0B8	HSSPIn_RXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x0BC	HSSPIn_RXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x0C0	HSSPIn_RXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x0C4	HSSPIn_RXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x0C8	HSSPIn_RXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x0CC	HSSPIn_RXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	HSSPIn_CSCFG[B,H,W] -------- ----0000 ----0000 --000000			
0x0D4	HSSPIn_CSITIME[B,H,W] -------- -------- 11111111 11111111			
0x0D8	HSSPIn_CSAEXT[B,H,W] 00000000 00000000 000----- --------			
0x0DC	HSSPIn_RDCSDC1[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC0[B,H,W] 00000000 ----0000	
0x0E0	HSSPIn_RDCSDC3[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC2[B,H,W] 00000000 ----0000	
0x0E4	HSSPIn_RDCSDC5[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC4[B,H,W] 00000000 ----0000	
0x0E8	HSSPIn_RDCSDC7[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC6[B,H,W] 00000000 ----0000	
0x0EC	HSSPIn_WRCSDC1[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC0[B,H,W] 00000000 ----0000	
0x0F0	HSSPIn_WRCSDC3[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC2[B,H,W] 00000000 ----0000	
0x0F4	HSSPIn_WRCSDC5[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC4[B,H,W] 00000000 ----0000	
0x0F8	HSSPIn_WRCSDC7[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC6[B,H,W] 00000000 ----0000	
0x0FC	HSSPIn_MID[B,H,W] 00000000 00000000 00000110 00110000			
0x100 - 0x3FC	-	-	-	-
0x400	-	-	-	QDCLKR[B,H,W] ----1111
0x404	-	-	-	DBCNT[B,H,W] ------00
0x408 - 0xFFC	-	-	-	-

A.1.47.2 TYPE4-M4 製品

High-Speed Quad SPI Controller Base_Address : 0xD0A0_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	HSSPIn_MCTRL[B,H,W] -------- -------- -------- --000-00			
0x004	HSSPIn_PCC0[B,H,W] -------- -1111111 00000000 00000000			
0x008	HSSPIn_PCC1[B,H,W] -------- -1111111 00000000 00000000			
0x00C	HSSPIn_PCC2[B,H,W] -------- -1111111 00000000 00000000			
0x010	HSSPIn_PCC3[B,H,W] -------- -1111111 00000000 00000000			
0x014	HSSPIn_TXF[B,H,W] -------- -------- -------- -0000000			
0x018	HSSPIn_TXE[B,H,W] -------- -------- -------- -0000000			
0x01C	HSSPIn_TXC[B,H,W] -------- -------- -------- -0000000			
0x020	HSSPIn_RXF[B,H,W] -------- -------- -------- -0000000			
0x024	HSSPIn_RXE[B,H,W] -------- -------- -------- -0000000			
0x028	HSSPIn_RXC[B,H,W] -------- -------- -------- -0000000			
0x02C	HSSPIn_FAULTF[B,H,W] -------- -------- -------- ---00000			
0x030	HSSPIn_FAULTC[B,H,W] -------- -------- -------- ---00000			
0x034	-	-	HSSPIn_DMDMAEN [B,H,W] ------00	HSSPIn_DMCFG [B,H,W] -----001
0x038	HSSPIn_DMTRP [B,H,W] ----0000	HSSPIn_DMPSEL [B,H,W] ------00	HSSPIn_DMSTOP [B,H,W] -------0	HSSPIn_DMSTART [B,H,W] -------0
0x03C	HSSPIn_DMBCS[B,H,W] 00000000 00000000		HSSPIn_DMBCC[B,H,W] 00000000 00000000	
0x040	HSSPIn_DMSTATUS[B,H,W] -------- ---00000 ---00000 ------00			
0x044	-	-	-	-
0x048	-	-	-	-
0x04C	HSSPIn_FIFOCFG[B,H,W] --------_--------_---00000_01110111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	HSSPIn_TXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x054	HSSPIn_TXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x058	HSSPIn_TXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	HSSPIn_TXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x060	HSSPIn_TXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x064	HSSPIn_TXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x068	HSSPIn_TXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HSSPIn_TXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x070	HSSPIn_TXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x074	HSSPIn_TXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x078	HSSPIn_TXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	HSSPIn_TXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x080	HSSPIn_TXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x084	HSSPIn_TXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x088	HSSPIn_TXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	HSSPIn_TXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x090	HSSPIn_RXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x094	HSSPIn_RXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x098	HSSPIn_RXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	HSSPIn_RXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	HSSPIn_RXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	HSSPIn_RXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	HSSPIn_RXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0AC	HSSPIn_RXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x0B0	HSSPIn_RXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x0B4	HSSPIn_RXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x0B8	HSSPIn_RXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x0BC	HSSPIn_RXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x0C0	HSSPIn_RXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x0C4	HSSPIn_RXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x0C8	HSSPIn_RXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x0CC	HSSPIn_RXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	HSSPIn_CSCFG[B,H,W] -------- ----0000 ----0000 --000000			
0x0D4	HSSPIn_CSITIME[B,H,W] -------- -------- 11111111 11111111			
0x0D8	HSSPIn_CSAEXT[B,H,W] 00000000 00000000 000----- --------			
0x0DC	HSSPIn_RDCSDC1[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC0[B,H,W] 00000000 ----0000	
0x0E0	HSSPIn_RDCSDC3[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC2[B,H,W] 00000000 ----0000	
0x0E4	HSSPIn_RDCSDC5[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC4[B,H,W] 00000000 ----0000	
0x0E8	HSSPIn_RDCSDC7[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC6[B,H,W] 00000000 ----0000	
0x0EC	HSSPIn_WRCSDC1[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC0[B,H,W] 00000000 ----0000	
0x0F0	HSSPIn_WRCSDC3[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC2[B,H,W] 00000000 ----0000	
0x0F4	HSSPIn_WRCSDC5[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC4[B,H,W] 00000000 ----0000	
0x0F8	HSSPIn_WRCSDC7[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC6[B,H,W] 00000000 ----0000	
0x0FC	HSSPIn_MID[B,H,W] 00000000 00000000 00000110 00110000			
0x100 - 0x3FC	-	-	-	-
0x400	-	-	-	QDCLKR[B,H,W] ----1111
0x404	-	-	-	DBCNT[B,H,W] ------00
0x408 - 0xFFC	-	-	-	-

A.1.48 HyperBus Interface

HyperBus Interface Base_Address : 0xD0A0_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CSR[B,H,W] -----000 -------0 ----0000 -------0			
0x004	IEN[B,H,W] 0------- -------- -------- -------0			
0x008	ISR[B,H,W] -------- -------- -------- -------0			
0x024	-	-	-	-
0x010	MBR0[B,H,W] 00000000 00000000 00000000 00000000			
0x014	MBR1[B,H,W] 00000000 00000000 00000000 00000000			
0x018	MCR0[B,H,W] -------- ------00 -------- --00--11			
0x01C	MCR1[B,H,W] -------- ------00 -------- --00--11			
0x020	MTR0[B,H,W] 00000000 00000000 00000000 ----0000			
0x024	MTR1[B,H,W] 00000000 00000000 00000000 ----0000			
0x028	GPOR[B,H,W] -------- -------- -------- ------00			
0x02C	WPR[B,H,W] -------- -------- -------- -------0			
0x030	TEST[B,H,W] -------- -------- -------- -------0			
0x034- 0xFFC	-	-	-	-

A.1.49 GDC Sub System Controller

GDC Sub System Controller Base_Address : 0xD0A0_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	LockUnlock[W] 00000000 00000000 00000000 00000000			
0x004	LockStatus[W] -------- -------- -------0 ---0---0			
0x008	*[W]			
0x00C	CnfigClockControl[W] -------- -------- -------- -----001			
0x010	VRamInterruptEnable[W] -------- -------- -------- ------11			
0x014	*[W]			
0x018	VRamInterruptClear[W] -------- -------- -------- ------00			
0x01C	VRamInterruptStatus[W] -------- -------- -------- ------00			
0x020	ExtFlashDevSelect[W] -------- -------- -------- -------1			
0x024	VRamRemapDisable[W] -------- -------- -------- -------0			
0x028	PanicSwitch[W] -------- -------- -------- -------1			
0x02C	GDC_ClockDivider[W] -------- -----100 00000000 --------			
0x030	WkupTriggerMask[W] -----000 -----000 00000000 00000000			
0x034	ClockDomainStatus[W] -------- -------- -------- ----0000			
0x038	-			
0x03C	-			
0x040	dsp_LockUnlock[W] 00000000 00000000 00000000 00000000			
0x044	dsp_LockStatus[W] -------- -------- -------0 ---0---0			
0x048	dsp0_ClockDivider[W] -------- 01000001 11100000 --------			
0x04C	dsp0_DomainControl[W] -------- -------1 -------- -------0			
0x050	dsp0_ClockShift[W] -------- -------- -------- -------1			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x054	*[W]			
0x058	dsp0_PowerEnControl[W] -------- -------- -------- -------0			
0x05C	dsp0_ClockGateModeLock[W] 00000000 00000000 00000000 00000000			
0x060	dsp0_ClockGateControl[W] -------- -------- -------- -------0			
0x064	-			
0x068	-			
0x06C	-			
0x070	-			
0x074	-			
0x078	SDRAMC_ClcokDivider[W] -------- 00000100 00000000 --------			
0x07C	SDRAMC_DomainControl[W] -------- -------1 -------- -------0			
0x080	HSSPIC_ClockDivider[W] -------- 00000100 00000000 --------			
0x084	HSSPIC_DomainControl[W] -------- -------1 -------- -------0			
0x088	RPCC_ClcokDivider[W] -------- -------- -------- -----000			
0x08C	RPCC_DomainControl[W] -------- -------1 -------- -------0			
0x090	-			
0x094	-			
0x098	-			
0x09C	-			
0x100	vram_LockUnlock[W] 00000000 00000000 00000000 00000000			
0x104	vram_LockStatus[W] -------- -------- -------0 ---0---0			
0x108	vram_sram_select[W] -------- -------- ----0000 00000000			
0x10C	*[W]			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x110	*[W]			
0x114	*[W]			
0x118	*[W]			
0x11C	*[W]			
0x120	*[W]			
0x124	*[W]			
0x128	*[W]			
0x12C	-			
0x130	-			
0x134	-			
0x138	-			
0x13C	vram_sberraddr_s0[W] 00000000 00000000 0000000 00000000			
0x140	vram_sberraddr_s1[W] 00000000 00000000 0000000 00000000			
0x144	-			
0x148	vram_arbiter_priority[W] -------- -------- -------- 00000000			
0x14C-0xFFC	-			

A.1.50 GDC Sub System SDRAM Controller

GDC Sub System SDRAM Controller Base_Address : 0xD0A0_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000-0x0FF	-			
0x100	SDMODE[W] -------- -------0 00010011 --00-000			
0x104	REFTIM[W] -------0 00000000 0000000000110011			
0x108	PWRDWN[W] -------- -------- 00000000 00000000			
0x10C	SDTIM[W] 0-----00 01000010 00010001 0100--01			
0x110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x114-0xFFC	-			

A.1.51 GDC Core

GDC Bus Write Agent Base_Address : 0xD0A1_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0C	BurstBufferManagement[W] -------- -------- ---00100 --------			
0x18	BaseAddress[W] 00000000 00000000 00000000 00000000			

B.注意事項一覧

各機能仕様の注意事項について示します。

B.1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

B.1 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。

また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/ PCLK0/PCLK1/PCLK2/ TPIUCLK	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB	―	各規格で規定されている周波数精度を満たせないため、使用できません。
Ethernet-MAC		
CAN		
CAN-FD		
I^2S		
マルチファンクションシリアル インタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートからさらに誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	I2C	
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートからさらに誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
デバッグ インタフェース	シリアルワイヤ	高速 CR クロックの周波数変動により、SWV(シリアルワイヤビュー)が使用できない場合があります。
外部バス インタフェース	クロック出力	外バスクロック出力を使用する場合、接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
High-Speed Quad SPI	―	接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
SD カード インタフェース	―	接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
GDC 部	Panel 出力 High-Speed Quad SPI HyperBus Interface SDRAM-Interface	接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。

C.主な変更内容

Spansion Publication Number: MN709-00004

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
7-8	本マニュアルにおける対象製品	TYPE1-M4, TYPE2-M4, TYPE3-M4 を追加
26	CHAPTER1-2: UART(非同期シリアルインタフェース) 1.　UART の概要	*3 を追記
44	4.1 ボーレート設定	Table 4-2 に 100MHz を追加
133-139	CHAPTER1-3: CSIO(クロック同期シリアルインタフェース) 5. シリアルチップセレクトの動作	TYPE3-M4 製品に対応した追記
143	6.1 ボーレート設定	Table 6-2 に 100MHz を追加
200	CHAPTER1-4: LIN インタフェース (v2.1)(LIN 通信制御インタフェース (v2.1)) 3.1 ボーレート設定	Table 3-2 に 100MHz を追加
286	CHAPTER1-5: I2C インタフェース(I2C 通信制御インタフェース) 3. 専用ボーレートジェネレータ	Table 3-1 に 100MHz を追加
288	4. I2C の通信動作フローチャート例	Figure 4-2 を修正
392	CHAPTER3-1: USB ファンクション 3.3 コマンド応答時の各レジスタ動作	<注意事項>を追加
472~478, 488	CHAPTER3-2: USB ホスト	各レジスタについて説明を追加
489	CHAPTER4:Ethernet	新規追加
494	CHAPTER5-1: CAN プリスケーラ 2.1 CAN プリスケーラレジスタ (CANPRE)	<注意事項>に TYPE3-M4 製品の注意事項を追加
557~700	CHAPTER5-3: CAN-FD コントローラ	新規追加
701~718	CHAPTER5-4: CAN-FD メッセージ RAM ECC 機能	新規追加
719~732	CHAPTER5-5: CAN-FD 用外部タイムスタンプ	新規追加
733~734	CHAPTER6-1: HDMI-CEC/リモコン受信	新規追加
735~770	CHAPTER6-2: CEC 受信/リモコン受信	新規追加
771~788	CHAPTER6-3: CEC 送信	新規追加
789~806	CHAPTER7-1: I2S クロック生成	新規追加
807~854	CHAPTER7-2: I2S(Inter-IC Sound bus) インタフェース	新規追加
855~856	CHAPTER8-1: High-Speed Quad Serial Peripheral Interface の構成	新規追加
857~864	CHAPTER8-2: High-Speed Quad Serial Peripheral Interface プリスケーラ	新規追加
865~964	CHAPTER8-3:　High-Speed Quad Serial Peripheral Interface コントローラ	新規追加
-	-	社名変更および記述フォーマットの変換

ページ	場所	変更箇所
Revision 3.0		
5	関連マニュアル	「FM4 ファミリ ペリフェラルマニュアル GDC 編」を追加
9	本マニュアルにおける対象製品	「TYPE4-M4」を追加
133, 134, 138, 146, 148, 150, 153, 157, 158, 167, 168, 169, 170, 174, 178	CHAPTER 1-3: CSIO(クロック同期シリアルインタフェース)	「TYPE4-M4」を追加
492, 494	CHAPTER 5-1: CAN プリスケーラ	「TYPE4-M4」を追加
492	CHAPTER 5-1: CAN プリスケーラ 1. 概要・構成	「周波数」を追加
737	CHAPTER 6-1: HDMI-CEC/リモコン受信	「2. HDMI-CEC 使用上の注意点」を追加
755	CHAPTER 6-2: CEC 受信/リモコン受信 3.3.8 ACK 検出と割込み出力	「Table 3-1」を追加
782	CHAPTER 6-3: CEC 送信	「Figure 5-3」を変更
794~797	CHAPTER 7-1: I2S クロック生成	「I2S 1ch.」を追加
811,812 813	CHAPTER 7-1: I2S クロック生成	「5.11 I2S クロック制御レジスタ (ICCR_1)」, 「5.12 I2S-PLL 制御レジスタ 5 (IPCR5_1)」を追加 「Table 6-2」を追加
864	CHAPTER 8-1: High-Speed Quad Serial Peripheral Interface の構成	＜注意事項＞を追加
866	CHAPTER 8-2: High-Speed Quad Serial Peripheral Interface プリスケーラ	＜注意事項＞を追加
874	CHAPTER 8-3: High-Speed Quad Serial Peripheral Interface コントローラ	＜注意事項＞を追加
965	CHAPTER 8-3: High-Speed Quad Serial Peripheral Interface コントローラ 5.1.1 初期設定	CDSS→CSEN に修正
970	CHAPTER 8-3: High-Speed Quad Serial Peripheral Interface コントローラ 5.1.6 シリアルメモリのデータ読出し(コマンドシーケンサモード)	「iHSEL_MEM="H"」を削除
973~1002	CHAPTER9:HyperBus インタフェース	新規追加
Revision 4.0		
9	本マニュアルにおける対象製品 Table 4 対象製品型格一覧	TYPE4-M4 製品型格一覧を修正
333~368	CHAPTER 1-6: MFS-I^{2}S	MFS-I^{2}S を新規に追加(TYPE5-M4)
417	CHAPTER 3-1: USB デバイス(USB ファンクション)	章のタイトルを USB ファンクションから変更
530	CHAPTER 5-1: CAN プリスケーラ 2.1 CAN プリスケーラレジスタ (CANPRE)	「TYPE5-M4」「TYPE6-M4」を追加
594	CHAPTER 5-3: CAN FD コントローラ 1.概要	TYPE3-M4, TYPE4-M4 に搭載されている CAN FD コントローラは non-ISO CAN FD であることを追記
596	CHAPTER 5-3: CAN FD コントローラ 2.2 クロック	＜注意事項＞を追加
599	CHAPTER 5-3: CAN FD コントローラ 3.1.3 CAN FD 動作	＜注意事項＞を追加

ページ	場所	変更箇所
616	CHAPTER 5-3: CAN FD コントローラ 3.4.5 プロトコル例外イベント	＜注意事項＞を追加
639	CHAPTER 5-3: CAN FD コントローラ 4.6.2 メッセージ RAM エラー処理手順	＜注意事項＞を追加
656	CHAPTER 5-3: CAN FD コントローラ 5.6 CAN Core 制御レジスタ(CCCR)	CME[1:0]: CAN モード許可ビットに＜注意事項＞を追加
675~676	CHAPTER 5-3: CAN FD コントローラ 5.14 割込みレジスタ(IR)	MRAF: メッセージ RAM エラー割込みフラグに説明を追加
1039~1084	CHAPTER 10: スマートカードインタフェース	スマートカードインタフェースを新規に追加(TYPE5-M4)
1218	Appendixes A. レジスタマップ 1. レジスタマップ	1.50 GDC Sub System SDRAM Controller の Base Address を訂正

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

Document Revision History

Document Title:	32 ビット・マイクロコントローラ FM4 ファミリ PERIPHERAL MANUAL 通信マクロ編
Document Number:	002-04904

Revision	ECN No.	Origin of Change	Description of Change
**	-	YOHO	サイプレスとしてドキュメントコード 002-04904 に登録しました。 本版の内容およびフォーマットに変更はありません。 (これは英語版の 002-04862 Rev.**を翻訳した日本語版です。)
*A	5336369	YOHO	これは英語版の 002-04862 Rev. *A を翻訳した日本語版です。 社名変更と記述フォーマットの変換 CHAPTER 1-2: UART (非同期シリアルインタフェース) - “4.1 ボーレート設定”の Table 4-2 に 36MHz を追加 (Page 50) CHAPTER 1-3: CSIO (クロック同期シリアルインタフェース) - “6.1 ボーレート設定”の Table 6-2 に 36MHz を追加 (Page 147) CHAPTER 1-4: LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1)) - “3.1 ボーレート設定”の Table 3-2 に 36MHz を追加 (Page 205) CHAPTER 1-5: I2C インタフェース (I²C 通信制御インタフェース) - “3 専用ボーレートジェネレータ”の Table 3-1 に 36MHz を追加 (Page 302) CHAPTER 1-6: MFS-I²S (Inter-IC Sound bus) - “7 MFS-I2S インタフェース動作説明”を全面修正 (Page 374-375) CHAPTER 5-2: CAN コントローラ - “4 CAN コントローラのレジスタ”の属性の表記を統一 (Page 560-598) CHAPTER 7-2: I²S (Inter-IC Sound bus) インタフェース - “6.9 割込み制御レジスタ (INTCNT)”、”6.10 状態レジスタ (STATUS)”、”6.11 DMA 起動レジスタ (DMAACT)”の各 bit の説明を修正 (Page 895-903) - “7. I²S インタフェースのアプリケーションノート”の設定例を修正 (Page 907-911) CHAPTER 8-1: High-Speed Quad Serial Peripheral Interface の構成 - 本章における対象商品を追加 (Page 913) - HS_SPI_TYPE1 製品の構成を追加 (Page 915) CHAPTER 8-2: High-Speed Quad Serial Peripheral Interface プリスケーラ - “1. 概要” の HS_SPI_TYPE1 製品についての注意事項を変更 (Page 918) CHAPTER 8-3: High-Speed Quad Serial Peripheral Interface コントローラ - “1. HS-SPI コントローラの概要” に注意事項を削除 (Page 926) - “1.1 HS_SPI コントローラの特長” に HS_SPI_TYPE1 製品のクロッキングモードを追加 (Page 926)

Revision	ECN No.	Origin of Change	Description of Change
			- “1.1 HS_SPI コントローラの特長” に HS_SPI_TYPE1 製品の DMA 転送について追加 (Page 926) - “2.1 DMA インタフェース” に、HS_SPI_TYPE1 製品の DMA インタフェース機能について追加 (Page 928) - “2.3.1 クロッキングモード” に、HS_SPI_TYPE1 のクロッキングモードを追加。Table2-4 にモード 4 を追加 (Page 935) - “2.3.1 クロッキングモード” に、Figure 2-4 を追加 (Page 936) - “2.3.3 シフト方向” で Figure 2-6 のシフト方向を修正 (Page 939) - “2.3.6 タイミング補正されたクロック” に、HS_SPI_TYPE1 製品の注意事項を追加 (Page 942) - “3.3 HS-SPI ペリフェラル通信設定レジスタ” の説明に HS_SPI_TYPE1 製品の注意事項を追加。対象ビットは、RTM, ACES, CPOL, CPHA。(Page 969-970) - “3.18 HS-SPI ダイレクトモード転送バイト数設定レジスタ (HSSPIn_DMBCC)”の説明を追加 (Page 996) CHAPTER 10: スマートカードインタフェース - “5. スマートカードインタフェースの設定手順とプログラムフロー”の Figure 5-2, 5-3 を修正 (Page 1072-1073) A.1. レジスタマップ - “A.1.14 A/DC”の SCFD bit12 の初期値を”X”から”1”に変更 (Page 1130) - “A.1.14 A/DC”の PCFD bit12 の初期値を”X”から”1”に変更 (Page 1130) - “A.1.14 A/DC”の 0x044 を WCMRCIF に変更 (Page 1130) - “A.1.14 A/DC”の 0x048 を WCMRCOT に変更 (Page 1130) - "A.1.21 LDV"で LVD_STR2 の初期値を"0------"から"0-------"に変更 (Page 1188) - "A.1.27 Wacrh Counter"で CLK_SEL bit1 の初期値を"-"から"0"に変更 (Page 1193) - "A.1.28 RTC"の"1.28.3 TYPE5-M4"で WTCALEN は 0x026 に変更 (Page 1202) - "A.1.28 RTC"の"1.28.3 TYPE5-M4"で WTCAL は 0x024-0x025 に変更 (Page 1202) - "A.1.28 RTC"の"1.28.3 TYPE5-M4"で WTDIVEN の初期値を"-----00"から"------00"に変更 (Page 1202) - "A.1.28 RTC"の"1.28.3 TYPE5-M4"で 0x02C に WTCALPRD を追加 (Page 1202) - "A.1.28 RTC"の"1.28.3 TYPE5-M4"で 0x030 に WTCOSEL を追加 (Page 1202) - "A.1.51 GDC Core"を追加 (Page 1241)
*B	5731187	YSAT	これは英語版の 002-04862 Rev. *B を翻訳した日本語版です。 Cypress の新ロゴを適用
*C	6184939	HTER	これは英語版の 002-04862 Rev. *C を翻訳した日本語版です。 はじめに - 周辺機能の搭載有無についての注意事項を追加 - マイコンサポート情報を追加 本マニュアルにおける対象製品 - Table 3, 5, 6 の型格を 8 桁表記に修正 - Table 4 の型格を 9 桁表記に修正 CHAPTER 1-3: CSIO (クロック同期シリアルインタフェース) - “5 シリアルチップセレクトの動作”のレジスタ名を修正 - “7.11 シリアルチップセレクトフォーマットレジスタ(SCSFR2-0)”の製品タイプを追加 CHAPTER 1-4: LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1))

Revision	ECN No.	Origin of Change	Description of Change
			- “4. LIN インタフェース(v2.1)の動作”の Figure4-4, 4-5, 4-6, 4-7, 4-11, 4-12, 4-13, 4-14 を修正 CHAPTER 5-3: CAN FD コントローラ - “3.5.5 特定 ID 送信バッファと送信 FIFO の混載”に注意事項を追記 - “5.6 CAN Core 制御レジスタ(CCCR)”に注意事項を追記 - “5.22 高優先メッセージステータスレジスタ(HPMS)”に注意事項を追記 - “5.33 送信バッファ設定レジスタ(TXBC)”に注意事項を追記