サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

32 ビット・マイクロコントローラ FM4 ファミリ
Peripheral Manual アナログマクロ編

Doc. No. 002-04861 Rev.*C

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
www.cypress.com

Copyrights

© Cypress Semiconductor Corporation, 2013-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、（1）本ソフトウェアの著作権に基づき、（a）ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに（b）Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに（2）本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って，Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず，Cypress は，Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて，本書面に記載された製品には，エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり，公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapsSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、本書およびご使用する製品の『データシート』をご一読ください。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作, 使い方について解説しています。アナログマクロ, タイマ, 通信マクロに関する記述は、別冊のペリフェラルマニュアルを参照してください。

＜注意事項＞

- *本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。デバイス仕様の詳細については、それぞれのデータシートを参照してください。*
- *周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。*

サンプルプログラムおよび開発環境

FM4 ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本ファミリで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

- *サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。*
  また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアルには、以下に示す 2 つの章および Appendixes から構成されています。

CHAPTER 1-1: A/D コンバータ

CHAPTER 1-2: 12 ビット A/D コンバータ

CHAPTER 1-3: A/D タイマトリガ選択

CHAPTER 1-4: A/D コンバータ オフセットキャリブレーション機能

CHAPTER 2: 12 ビット D/A コンバータ

Appendixes

関連マニュアル

本ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

FM4 ファミリ ペリフェラルマニュアル (002-04857)
　以降、『ペリフェラルマニュアル』とよびます。
FM4 ファミリ ペリフェラルマニュアル タイマ編 (002-04859)
　以降、『タイマ編』とよびます。
FM4 ファミリ ペリフェラルマニュアル アナログマクロ編 (本書)
　以降、『アナログマクロ編』とよびます。
FM4 ファミリ ペリフェラルマニュアル 通信マクロ編 (002-04904)
　以降、『通信マクロ編』とよびます。
FM4 ファミリ ペリフェラルマニュアル Ethernet 編 (002-04964)
　以降、『Ethernet 編』とよびます。
FM4 ファミリ ペリフェラルマニュアル GDC 編 (002-04961)
　以降、『GDC 編』とよびます。

データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

32 ビット FM4 ファミリ データシート

＜注意事項＞

- ***データシートはシリーズごとに用意されています。***
  ご使用する製品のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M4F コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

Cortex-M4 テクニカルリファレンスマニュアル
Arm v7-M アーキテクチャ アプリケーションレベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

FM4 ファミリ フラッシュプログラミングマニュアル

＜注意事項＞

- ***フラッシュプログラミングマニュアルはシリーズごとに用意されています。***
  ご使用する製品のフラッシュプログラミングマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

目次から探す
本書の内容を記載順に示します。
レジスタから探す
本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『Appendixes』の『A. レジスタマップ』を参照してください。

章について

本書では、基本的に 1 つの周辺機能を 1 つの章で説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

本書のレジスタ説明中のビット構成図では以下のように表記しています。
bit: ビット番号
Field: ビットフィールド名
属性: 各ビットのリード、ライト属性
　R: リードオンリ
　W: ライトオンリ
　R/W: リード・ライト可能
　-: 未定義
初期値: リセット直後のレジスタ初期値
　0: 初期値 0
　1: 初期値 1
　X: 初期値不定

本書では、複数のビットを以下のように表記しています。
　例 : bit7 から bit0 の場合は bit7:0

本書では、アドレスなどの数値を以下のように表記しています。
16 進数: プレフィックス(接頭辞)として 0x を付けて表記しています(例 : 0xFFFF)。
2 進数: プレフィックス(接頭辞)として 0b を付けて表記しています(例 : 0b1111)。
10 進数: 数値だけで表記しています(例 : 1000)。

本マニュアルにおける対象製品

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE1-M4"などの表記は、以下の一覧の FM4 ファミリ製品に置き換えてお読みください。

Table 1 対象型格一覧(TYPE1-M4 製品)

タイプ名*	フラッシュメモリサイズ		
	1024 Kbytes	768 Kbytes	512 Kbytes
TYPE1-M4	MB9BF568M MB9BF568N MB9BF568R MB9BF568RF CY9BF568M CY9BF568N CY9BF568R CY9BF568RF	MB9BF567M MB9BF567N MB9BF567R CY9BF567M CY9BF567N CY9BF567R	MB9BF566M MB9BF566N MB9BF566R CY9BF566M CY9BF566N CY9BF566R
	MB9BF468M MB9BF468N MB9BF468R CY9BF468M CY9BF468N CY9BF468R	MB9BF467M MB9BF467N MB9BF467R CY9BF467M CY9BF467N CY9BF467R	MB9BF466M MB9BF466N MB9BF466R CY9BF466M CY9BF466N CY9BF466R
	MB9BF368M MB9BF368N MB9BF368R CY9BF368M CY9BF368N CY9BF368R	MB9BF367M MB9BF367N MB9BF367R CY9BF367M CY9BF367N CY9BF367R	MB9BF366M MB9BF366N MB9BF366R CY9BF366M CY9BF366N CY9BF366R
	MB9BF168M MB9BF168N MB9BF168R CY9BF168M CY9BF168N CY9BF168R	MB9BF167M MB9BF167N MB9BF167R CY9BF167M CY9BF167N CY9BF167R	MB9BF166M MB9BF166N MB9BF166R CY9BF166M CY9BF166N CY9BF166R

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 2 対象型格一覧(TYPE2-M4 製品)

タイプ名*	フラッシュメモリサイズ		
	512 Kbytes	384 Kbytes	256 Kbytes
TYPE2-M4	MB9BF566K MB9BF566L CY9BF566K CY9BF566L	MB9BF565K MB9BF565L CY9BF565K CY9BF565L	MB9BF564K MB9BF564L CY9BF564K CY9BF564L
	MB9BF466K MB9BF466L CY9BF466K CY9BF466L	MB9BF465K MB9BF465L CY9BF465K CY9BF465L	MB9BF464K MB9BF464L CY9BF464K CY9BF464L
	MB9BF366K MB9BF366L CY9BF366K CY9BF366L	MB9BF365K MB9BF365L CY9BF365K CY9BF365L	MB9BF364K MB9BF364L CY9BF364K CY9BF364L
	MB9BF166K MB9BF166L CY9BF166K CY9BF166L	MB9BF165K MB9BF165L CY9BF165K CY9BF165L	MB9BF164K MB9BF164L CY9BF164K CY9BF164L

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 3 対象型格一覧(TYPE3-M4 製品)

タイプ名*	フラッシュメモリサイズ			フラッシュなし
	2 Mbytes	1.5 Mbytes	1 Mbytes	SRAM サイズ 256 Kbytes
TYPE3-M4	S6E2CCAL S6E2CCAJ S6E2CCAJH	S6E2CC9L S6E2CC9J S6E2CC9H	S6E2CC8L S6E2CC8J 6E2CC8H	-
	S6E2C5AL S6E2C5AJ S6E2C5AH	S6E2C59L S6E2C59J S6E2C59H	S6E2C58L S6E2C58J S6E2C58H	-
	S6E2C4AL S6E2C4AJ S6E2C4AH	S6E2C49L S6E2C49J S6E2C49H	S6E2C48L S6E2C48J S6E2C48H	-
	S6E2C3AL S6E2C3AJ S6E2C3AH	S6E2C39L S6E2C39J S6E2C39H	S6E2C38L S6E2C38J S6E2C38H	-
	S6E2C2AL S6E2C2AJ S6E2C2AH	S6E2C29L S6E2C29J S6E2C29H	S6E2C28L S6E2C28J S6E2C28H	-
	S6E2C1AL S6E2C1AJ S6E2C1AH	S6E2C19L S6E2C19J S6E2C19H	S6E2C18L S6E2C18J S6E2C18H	S6E2C10L S6E2C10J S6E2C10H

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 4 対象型格一覧(TYPE4-M4 製品)

タイプ名*	フラッシュメモリサイズ 384Kbytes	
	VRAM 512 Kbytes	VRAM 512 Kbytes + VFLASH 2 Mbytes
TYPE4-M4	S6E2D35G0 S6E2D35J0	S6E2D35GJ
	S6E2D55G0 S6E2D55J0	S6E2D55GJ
	S6E2DF5G0 S6E2DF5J0	S6E2DF5GJ
	S6E2DH5G0 S6E2DH5J0	S6E2DH5GJ

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 5 対象型格一覧(TYPE5-M4 製品)

タイプ名*	フラッシュメモリサイズ	
	1 Mbytes	512 Kbytes
TYPE5-M4	S6E2GM8J S6E2GM8H	S6E2GM6J S6E2GM6H
	S6E2GK8J S6E2GK8H	S6E2GK6J S6E2GK6H
	S6E2GH8J S6E2GH8H	S6E2GH6J S6E2GH6H
	S6E2G28J S6E2G28H	S6E2G26J S6E2G26H
	S6E2G38J S6E2G38H	S6E2G36J S6E2G36H

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Table 6 対象型格一覧(TYPE6-M4 製品)

タイプ名*	フラッシュメモリサイズ	
	512 Kbytes	256 Kbytes
TYPE6-M4	S6E2HG6G S6E2HG6F S6E2HG6E	S6E2HG4G S6E2HG4F S6E2HG4E
	S6E2HE6G S6E2HE6F S6E2HE6E	S6E2HE4G S6E2HE4F S6E2HE4E
	S6E2H46G S6E2H46F S6E2H46E	S6E2H44G S6E2H44F S6E2H44E
	S6E2H16G S6E2H16F S6E2H16E	S6E2H14G S6E2H14F S6E2H14E

*: FM4 ファミリペリフェラルマニュアルにおいて製品を分類するために使用している表記です。

Contents

CHAPTER 1-1: A/D コンバータ 13
1.構成 14
2.機能と動作 16
3.使用上の注意 17

CHAPTER 1-2: 12 ビット A/D コンバータ 19
1. 概要 20
2. 構成 21
3. 動作説明 22
3.1. A/D コンバータの動作許可 23
3.2. A/D 変換動作 24
3.2.1. スキャン変換動作 25
3.2.2. 優先変換動作 27
3.2.3. 優先順位と状態遷移 28
3.3. FIFO の動作 30
3.3.1. スキャン変換の FIFO 動作 31
3.3.2. スキャン変換の割込み 32
3.3.3. 優先変換の FIFO 動作 34
3.3.4. 優先変換の割込み 35
3.3.5. FIFO データの有効・無効 36
3.3.6. FIFO データレジスタのビット配置選択 37
3.4. A/D 比較機能 38
3.5. レンジ比較機能 39
3.6. DMA 起動 43
4. 設定手順例 44
4.1. A/D 動作許可設定手順例 45
4.2. スキャン変換設定手順例 46
4.3. 優先変換設定手順例 47
4.4. レンジ比較機能設定例 48
4.5. 変換時間の設定 49
5. レジスタ 51
5.1. A/D コントロールレジスタ(ADCR) 52
5.2. A/D ステータスレジスタ(ADSR) 54
5.3. スキャン変換コントロールレジスタ(SCCR) 56
5.4. スキャン変換 FIFO 段数設定レジスタ(SFNS) 58
5.5. スキャン変換 FIFO データレジスタ(SCFD) 59
5.6. スキャン変換入力選択レジスタ(SCIS) 61
5.7. 優先変換コントロールレジスタ(PCCR) 62
5.8. 優先変換 FIFO 段数設定レジスタ(PFNS) 64
5.9. 優先変換 FIFO データレジスタ(PCFD) 65
5.10. 優先変換入力選択レジスタ(PCIS) 67
5.11. A/D 比較値設定レジスタ(CMPD) 68
5.12. A/D 比較コントロールレジスタ(CMPCR) 69
5.13. サンプリング時間選択レジスタ(ADSS) 70

5.14. サンプリング時間設定レジスタ(ADST) 71
5.15. クロック分周比設定レジスタ(ADCT) 73
5.16. A/D 動作許可設定レジスタ(ADCEN) 74
5.17. 上限しきい値設定レジスタ(WCMPDH) 76
5.18. レンジ比較コントロールレジスタ(WCMPCR) 77
5.19. 下限しきい値設定レジスタ(WCMPDL) 79
5.20. レンジ比較チャネル選択レジスタ(WCMPSR) 80
5.21. レンジ比較しきい値超過フラグレジスタ(WCMRCOT) 81
5.22. レンジ比較フラグレジスタ(WCMRCIF) 82

CHAPTER 1-3: A/D タイマトリガ選択 83
1. 概要 84
2. レジスタ 85
2.1. スキャン変換タイマトリガ選択レジスタ(SCTSL) 86
2.2. 優先変換タイマトリガ選択レジスタ(PRTSL) 87

CHAPTER 1-4: A/D コンバータ オフセットキャリブレーション機能 89
1. 概要 90
2. 構成・ブロックダイヤグラム 91
3. 動作説明 92
3.1. A/D コンバータ オフセットキャリブレーション機能の動作 92
3.1.1. オフセットキャリブレーション値設定 92
3.1.2. A/D コンバータオフセットキャリブレーション 93
3.1.3. A/D コンバータオフセットキャリブレーション設定例 96
3.1.4. オフセットキャリブレーション値算出 96
4. 設定手順例 97
5. レジスター覧 99
5.1. キャリブレーション設定レジスタ(CALSR) 100
6. 使用上の注意 101

CHAPTER 2: 12 ビット D/A コンバータ 103
1. 概要 104
2. 構成 105
3. 動作説明 106
4. 設定手順例 108
5. レジスタ 109
5.1. D/A コントロールレジスタ(DACR) 110
5.2. D/A データレジスタ(DADR) 111

Appendixes 113
A. レジスタマップ 114
1. レジスタマップ 116
1.1. FLASH_IF 117
1.1.1. TYPE1-M4, TYPE2-M4 製品 117
1.1.2. TYPE3-M4 製品 118
1.1.3. TYPE4-M4, TYPE5-M4, TYPE6-M4 製品 119
1.2. Unique ID 120
1.3. ECC Capture Address 120
1.4. Clock/Reset 121
1.4.1. TYPE1-M4, TYPE2-M4 製品 121
1.4.2. TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品 123

1.5. HW WDT 125
1.6. SW WDT 125
1.7. Dual_Timer 126
1.8. MFT 127
1.8.1. TYPE1-M4, TYPE2-M4 製品 127
1.8.2. TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品 130
1.9. PPG 133
1.10. Base Timer 137
1.11. IO Selector for Base Timer 138
1.12. QPRC 139
1.12.1. TYPE1-M4, TYPE2-M4, TYPE6-M4 製品 139
1.12.2. TYPE3-M4, TYPE4-M4, TYPE5-M4 製品 140
1.13. QPRC NF 140
1.14. A/DC 141
1.15. CR Trim 142
1.16. EXTI 143
1.16.1. TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE4-M4 製品 143
1.16.2. TYPE5-M4, TYPE6-M4 製品 143
1.17. INT-Req. READ 144
1.17.1. TYPE1-M4, TYPE2-M4, TYPE6-M4 製品 144
1.17.2. TYPE3-M4, TYPE5-M4 製品 151
1.17.3. TYPE4-M4 製品 158
1.18. D/AC 165
1.19. HDMI-CEC 165
1.20. GPIO 166
1.20.1. TYPE1-M4, TYPE2-M4, TYPE6-M4 製品 166
1.20.2. TYPE3-M4 製品 173
1.20.3. TYPE4-M4 製品 181
1.20.4. TYPE5-M4 製品 189
1.21. LVD 197
1.22. DS_Mode 197
1.23. USB Clock 198
1.24. CAN_Prescaler 199
1.25. MFS 199
1.26. CRC 201
1.27. Watch Counter 201
1.28. RTC 202
1.28.1. TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE6-M4 製品 202
1.28.2. TYPE4-M4 製品 206
1.28.3. TYPE5-M4 製品 210
1.29. Low-speed CR Prescaler 210
1.30. Peripheral Clock Gating 211
1.30.1. TYPE1-M4, TYPE2-M4 製品 211
1.30.2. TYPE3-M4, TYPE4-M4 製品 211
1.30.3. TYPE5-M4, TYPE6-M4 製品 212
1.31. Smart Card Interface 213
1.32. MFSI2S 214
1.33. I2S_Prescaler 215
1.33.1. TYPE3-M4 製品 215
1.33.2. TYPE4-M4 製品 216
1.34. GDC_Prescaler 217
1.35. EXT-Bus I/F 218

1.35.1. TYPE1-M4 製品 218
1.35.2. TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品 221
1.36. USB 224
1.37. DMAC 226
1.38. DSTC 228
1.39. CAN 230
1.40. Ethernet-MAC 232
1.41. Ethernet-Control 232
1.42. I2S 233
1.43. SD-Card 233
1.44. CAN FD 234
1.45. Programmable-CRC 237
1.46. WorkFlash_IF 237
1.47. High-Speed Quad SPI Controller 238
1.47.1. TYPE3-M4 製品 238
1.47.2. TYPE4-M4 製品 241
1.48. HyperBus Interface 244
1.49. GDC Sub System Controller 245
1.50. GDC Sub System SDRAM Controller 248
B. 注意事項一覧 249
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 250

主な変更内容 251
改訂履歴 252

CHAPTER 1-1: A/D コンバータ

A/D コンバータの機能と動作について説明します。

1. 構成
2. 機能と動作
3. 使用上の注意

1. 構成

A/D コンバータは、外部端子からのアナログ入力電圧をデジタル値に変換します。

A/D コンバータ構成

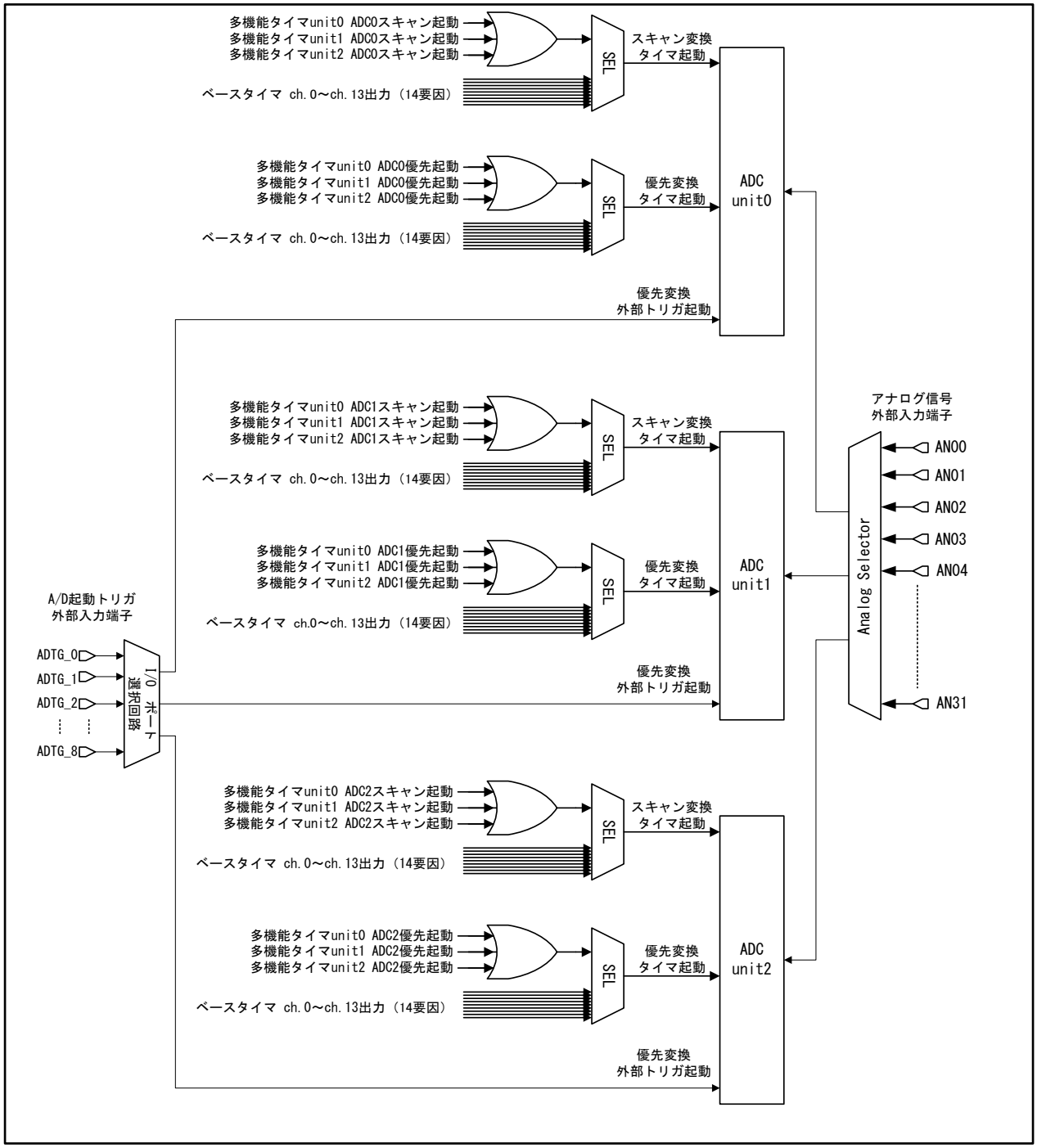
- 分解能 12 ビットの A/D コンバータを最大 3 ユニット搭載
- 最大 32 チャネルのアナログ入力から任意のチャネルを任意のユニットへ選択可能
- A/D 変換の起動要因として、以下が選択できます。

  優先変換起動要因

  - 外部端子からのトリガ入力
    タイマトリガ入力(ベースタイマあるいは多機能タイマ)
    ソフトウェア起動
  - スキャン変換起動要因
    タイマトリガ入力(ベースタイマあるいは多機能タイマ)
    ソフトウェア起動

Figure 1-1 に A/D コンバータと関連回路のブロックダイヤグラムを示します。

Figure 1-1 A/D コンバータと関連回路のブロックダイヤグラム



2. 機能と動作

A/D コンバータの機能と動作について下記関連する章の説明を参照してください。

12 ビット A/D コンバータ動作

12 ビット A/D コンバータの変換動作については、『12 ビット A/D コンバータ』の章を参照してください。

12 ビット A/D タイマトリガ選択動作

12 ビット A/D コンバータのタイマトリガ選択の動作については、『A/D タイマトリガ選択』の章を参照してください。

3. 使用上の注意

注意事項を示します。

12 ビット A/D コンバータの注意事項

- A/D コンバータを複数搭載している製品は、複数チャネル同時 A/D 変換ができます。ただし、複数のユニットで同じチャネルを選択しないでください。

- 製品によっては、アナログ入力の一部のチャネルが使用できないものがあります。使用できないチャネルの選択レジスタ(SCIS0, SCIS1, SCIS2, SCIS3), サンプリング時間選択レジスタ(ADSS0, ADSS1, ADSS2, ADSS3)は初期値から変更は禁止です。

- 本ファミリにおいて、優先変換時のアナログ入力チャネルは優先変換入力選択レジスタ(PCIS)の P1A[2:0]で選択してください。12 ビット A/D コンバータの優先変換コントロールレジスタ(PCCR)の ESCE ビットは、常に"0"を書き込んでください。

- 本ファミリの A/D 割込み要求発生を利用した DMA 転送は、スキャン変換割込み要求の発生を利用した DMA 転送にのみ対応しており、優先変換割込み要求による DMA 転送は対応していません。

- 製品仕様と搭載チャネル数について
  搭載されているアナログ入力数、AD 起動トリガに用いるベースタイマチャネル数などは製品ごとに異なります。
  ご使用する製品の『データシート』の品種構成で確認してください。

CHAPTER 1-2: 12 ビット A/D コンバータ

12 ビット A/D コンバータの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

1. 概要

12 ビット A/D コンバータは、RC 逐次比較変換方式によりアナログ入力電圧を 12 ビットのデジタル値に変換する機能です。

12 ビット A/D コンバータの特長

- 12 ビットの分解能
- サンプル&ホールド回路付き RC 型逐次比較変換方式を採用
- 入力チャネルごとにサンプリング時間を 2 種類から設定可能
- スキャン変換動作
  - アナログ入力を複数チャネルから任意に複数選択可能
  - 起動要因はソフトウェア/タイマ
  - リピートモードあり
- 優先変換動作

  スキャン変換中においても優先変換の起動要因が発生すると、スキャン変換を中断し優先的に変換を行うことが可能(優先度 1, 2 の 2 レベル用意、優先順位は優先度 1＞優先度 2)

  起動要因はソフトウェア/タイマ(優先度 2), 外部トリガ(優先度 1)
- FIFO 機能
  - スキャン変換用 FIFO 16 段、優先変換用 FIFO 4 段搭載
  - 設定した FIFO 段数にデータが書き込まれると、割込みを発生
- A/D 変換データの配置変更可能(MSB 側へシフト/LSB 側へシフトを選択可能)
- A/D 変換結果比較機能あり
- レンジ比較機能
  - 上下限しきい値を設定可能
  - 範囲内、もしくは、範囲外の検出のいずれかを設定可能
  - 連続検出機能によりノイズ除去が可能。連続検出機能は 1～7 回の回数を指定可能
  - 範囲外検出時は上限しきい値超過または下限しきい値未満の確認可能
- 割込み要因は以下の 5 要因

  スキャン変換用 FIFO 段数割込み

  優先変換用 FIFO 段数割込み

  FIFO オーバラン割込み(スキャン変換用・優先変換用共通)

  A/D 変換結果比較割込み

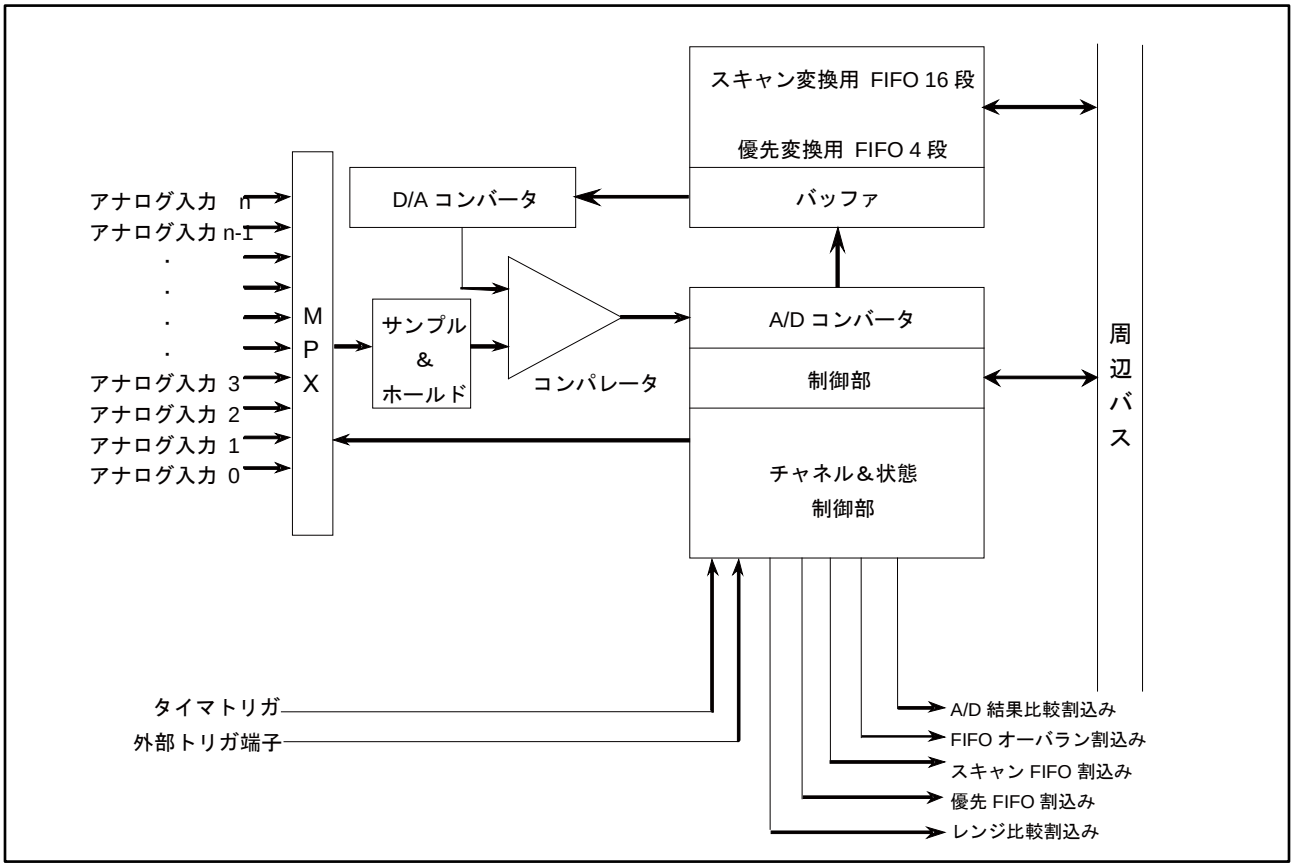
  レンジ比較割込み
- 割込み要求による DMA 転送が可能

2. 構成

12 ビット A/D コンバータの構成を示します。

12 ビット A/D コンバータのブロックダイヤグラム

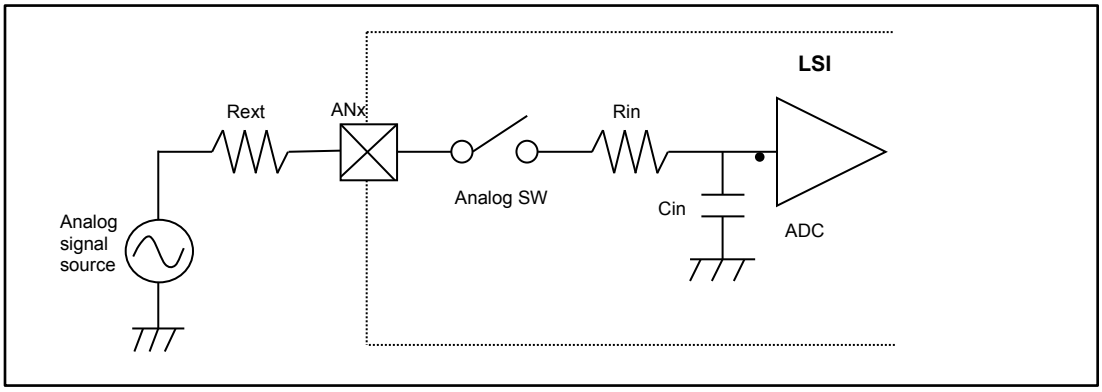
Figure 2-1 12 ビット A/D コンバータのブロックダイヤグラム



入力インピーダンス

A/D コンバータのサンプリング回路は Figure 2-2 の等価回路で表されます。外部インピーダンス Rext は、ご使用する製品の『データシート』の「電気的特性」を参照してサンプリング時間を超えない値にしてください。

Figure 2-2 入力インピーダンス等価回路図



3. 動作説明

12 ビット A/D コンバータの動作について説明します。

3.1 A/D コンバータの動作許可
3.2 A/D 変換動作
3.3 FIFO の動作
3.4 A/D 比較機能
3.5 レンジ比較機能
3.6 DMA 起動

3.1 A/D コンバータの動作許可

A/D コンバータの動作許可について説明します。

A/D コンバータは A/D 変換を行う前に動作許可状態にしてください。A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可ビット(ENBL)に"1"を書き込むことで、A/D コンバータは動作許可状態遷移期間後、動作停止状態から動作許可状態になります。また、A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可ビット(ENBL)に"0"を書き込むことで、A/D コンバータは即座に動作停止状態となります。

動作許可状態のときのみ A/D 変換ができます。動作停止状態中の A/D 変換要求は無視されます。A/D 変換中に動作停止状態となった場合、A/D 変換は直ちに停止します。

A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可状態ビット(READY)を読み出すことで動作許可状態か否かを確認できます。

3.2 A/D 変換動作

A/D コンバータはスキャン変換、優先変換の 2 種類の変換が可能です。

3.2.1 スキャン変換動作
3.2.2 優先変換動作
3.2.3 優先順位と状態遷移

3.2.1 スキャン変換動作

スキャン変換動作について説明します。

入力チャネルの選択はスキャン変換入力選択レジスタ(SCIS)にて行います。SCIS レジスタの対応するビットに"1"を設定することで、複数のアナログ入力チャネルの中から必要なチャネルを任意に設定できます。

A/D の起動はソフトウェアによる起動とタイマによる起動ができます。ソフトウェアによる起動はスキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"を書き込むことで変換が開始します。タイマによる起動は、スキャン変換コントロールレジスタ(SCCR)のスキャン変換のタイマ起動許可ビット(SHEN)に"1"を書き込み、タイマ起動を許可した状態で、タイマの立上りエッジを検出すると変換を開始します。変換が開始すると、A/D ステータスレジスタ(ADSR)のスキャン変換ステータスフラグ(SCS)が"1"に設定されます。変換終了後 SCS は"0"にリセットされます。

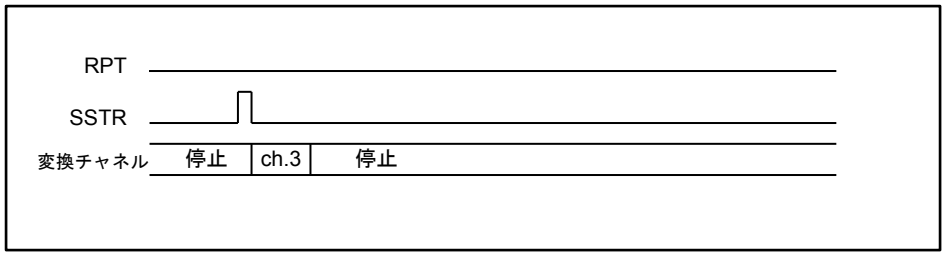
A/D の変換中に再度、スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"を書き込むか、タイマ起動許可中に再度タイマの立上りエッジを検出すると、変換中の動作を直ちに停止・初期化し、A/D 変換を再度行います(再起動)。

スキャン変換には以下の変換モードがあります。

1. 単一チャネルによる単発モード

   スキャン変換用のアナログ優先変換を 1 優先変換のみ指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"0"の場合が本モードとなります。選択した優先変換の変換が終了後停止します。

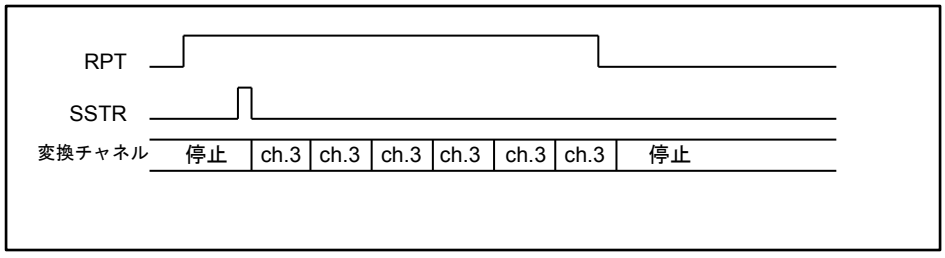
Figure 3-1 単一チャネル選択時の単発モード時の停止動作 (SCIS3=0x00, SCIS2=0x00, SCIS1=0x00, SCIS0=0x08)



2. 単一チャネルによる連続モード

   スキャン変換用のアナログ優先変換を 1 優先変換のみ指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"1"の場合が本モードとなります。選択した優先変換の変換が終了すると再度同じ優先変換の変換を開始します。A/D 変換を終了するには、RPT に"0"を書き込むことで、変換中の動作が終了後停止します。

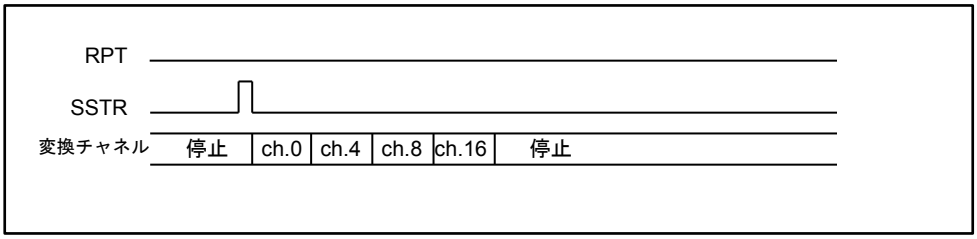
Figure 3-2 単一チャネル選択時の連続モード時の停止動作 (SCIS3=0x00, SCIS2=0x00, SCIS1=0x00, SCIS0=0x08)



3. 複数チャネルによる単発モード

スキャン変換用のアナログチャネルを複数指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"0"の場合が本モードとなります。変換を開始すると、自動的に各チャネルの有無を調べ、順次チャネル切換えと A/D の変換起動、変換終了後の変換結果の FIFO への書込みを行います。変換チャネルは ch.0→ch.1→ch.2・・・の順で選択され、SCIS レジスタで選択されていないチャネルは変換を行わずに次に選択されているチャネルに移ります。選択された最後のチャネルの A/D 変換が終わると、A/D 変換を停止します。

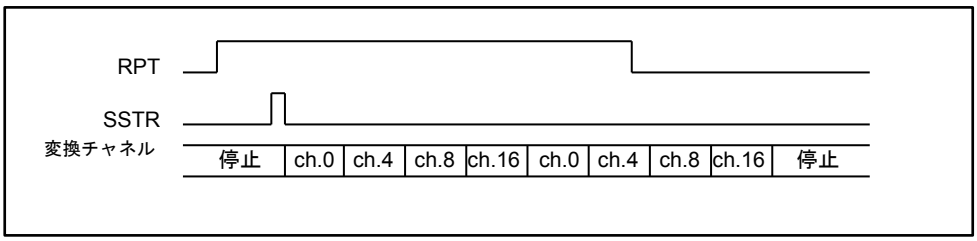
Figure 3-3 複数チャネル選択時の単発モード時の停止動作 (SCIS3=0x00, SCIS2=0x01, SCIS1=0x01, SCIS0=0x11)



4. 複数チャネルによる連続モード

スキャン変換用のアナログチャネルを複数指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"1"の場合が本モードとなります。変換を開始すると、自動的に各チャネルの有無を調べ、順次チャネル切換えと A/D の変換起動、変換終了後の変換結果の FIFO への書込みを行います。変換チャネルは ch.0→ch.1→ch.2・・・の順で選択され、SCIS レジスタで選択されていないチャネルは変換を行わずに次に選択されているチャネルに移ります。選択された最後のチャネルの A/D 変換が終わると、再度 ch.0 からの変換を開始します。A/D 変換を終了するには、RPT に"0"を書き込むことで、選択された最後のチャネルの A/D 変換が終了した後、停止します。

Figure 3-4 複数チャネル選択時の連続モード時の停止動作 (SCIS3=0x00, SCIS2=0x01, SCIS1=0x01, SCIS0=0x11)



3.2.2 優先変換動作

優先変換動作について説明します。

優先的に変換したい場合は本モードを使用します。スキャン変換中でも、優先変換が起動されると、スキャン変換を直ちに中断し、優先的に変換を行います。優先変換を終了すると中断されたチャネルからスキャン変換を再開します。また、優先変換中でもより高い優先度(優先度 1)の変換が起動されると、優先度の低い(優先度 2)変換を直ちに中断し、優先度 1 の変換を行います。優先度 1 の変換終了後、優先度 2 の変換を再開します。

優先変換は 2 レベルの優先度が与えられます。優先度は優先度 1(最優先)>優先度 2 となります。優先度 1 の起動要因は外部端子によるトリガ起動、優先度 2 の起動要因はソフトウェア/タイマ起動が割り当てられます。

入力チャネルの選択は優先変換入力選択レジスタ(PCIS)にて行います。

- 優先度 1 のチャネル選択方法は、優先変換コントロールレジスタ(PCCR)の外部トリガアナログ入力選択ビット(ESCE)によって異なります。

  ESCE=0 の場合 : 優先変換入力選択レジスタ(PCIS)の優先度 1 アナログ入力選択ビット(P1A[2:0])で行い、ch.0～ch.7 の 8 チャネルの中から、1 チャネルのみ選択できます。
  ESCE=1 の場合 : 優先変換入力選択レジスタ(PCIS)の優先度 1 アナログ入力選択ビット(P1A[2:0])の設定は無視され、外部端子(ECS[2:0])入力により ch.0～ch.7 の 8 チャネルの中から 1 チャネルのみ選択できます。
  例) ECS[2:0] = 000 → ch.0
  = 010 → ch.2
  = 111 → ch.7

- 優先度 2 のチャネル選択は、優先変換入力選択レジスタ(PCIS)の優先度 2 アナログ入力選択ビット(P2A[4:0])で行い、複数の入力チャネルの中から 1 チャネルのみ選択できます。

A/D の起動要因は優先度により異なります。

- 優先度 1(最優先)は外部トリガ入力の立下りエッジにより起動が可能です。

  外部トリガ起動を有効にするためには、優先変換コントロールレジスタ(PCCR)の PEEN ビットに"1"を書き込んでください。

- 優先度 2 はソフトウェアによる起動とタイマによる起動が可能です。

  ソフトウェアによる起動は優先変換コントロールレジスタ(PCCR)の PSTR ビットに"1"を書き込むことで変換が開始します。タイマによる起動は、優先変換コントロールレジスタ(PCCR)の PHEN ビットに"1"を書き込み、タイマ起動を許可した状態で、タイマの立上りエッジを検出して変換を開始します。変換が開始すると、A/D ステータスレジスタ(ADSR)の優先変換ステータスフラグビット(PCS)が"1"に設定されます。変換終了後 PCS ビットは"0"にリセットされます。

優先変換モードでは、再起動はできません。また同一優先度の起動要因は無視されます。
(ソフトウェア起動中のタイマによる起動要因は無視されます。)

優先度 2 の起動要因(ソフトウェア/タイマ)で変換中に優先度 1 の起動要因(外部トリガ)が発生した場合は A/D ステータスレジスタ(ADSR)の優先変換保留フラグビット(PCNS)を"1"に設定し優先度 2 の変換は直ちに中断します。優先度 1 の変換が終了すると、PCNS ビットは"0"にリセットされ、中断した優先度 2 の変換を再開します。優先度 1 の変換中に優先度 2 の起動要因が発生すると、優先度 2 の起動要因は保留し(要因を保持)、PCNS ビットを"1"に設定します。優先度 1 の変換を終了後、PCNS ビットは"0"にリセットされ優先度 2 の変換を開始します。

優先変換は単一チャネルによる単発モードのみ可能です。

3.2.3 優先順位と状態遷移

優先順位と状態遷移について説明します。

優先順位

Table 3-1 A/D コンバータの優先順位

優先順位	変換種類	起動要因
1	優先度 1 の優先変換	外部トリガ端子入力(立下りエッジ)
2	優先度 2 の優先変換	– ソフトウェア(優先変換コントロールレジスタ(PCCR)の優先変換スタートビット(PSTR)に"1"書込み) – タイマからのトリガ入力(立上りエッジ)
3	スキャン変換	– ソフトウェア(スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"書込み) – タイマからのトリガ入力(立上りエッジ)

■ スキャン変換中に優先変換による起動が発生した場合

スキャン変換による動作を中断し、優先変換による動作を行います。優先変換の動作が終了すると中断したチャネルから自動的にスキャン変換を再開します。

■ 優先度 2 の変換中に優先度 1 の起動が発生した場合

優先度 2 の変換を中止し、優先度 1 の起動による動作を行います。優先度 1 の動作が終了すると、自動的に優先度 2 の変換を再開します。

■ 優先度 1 の変換中に優先度 2 の起動が発生した場合

優先度 2 の起動要因が保持されます。優先度 1 の変換動作が終了すると、自動的に優先度 2 の変換を開始します。

■ 優先度 1 の変換中にスキャン変換の起動が発生した場合

スキャン変換の起動要因は保持されます。優先度 1 の変換動作が終了すると、自動的にスキャン変換による動作を開始します。

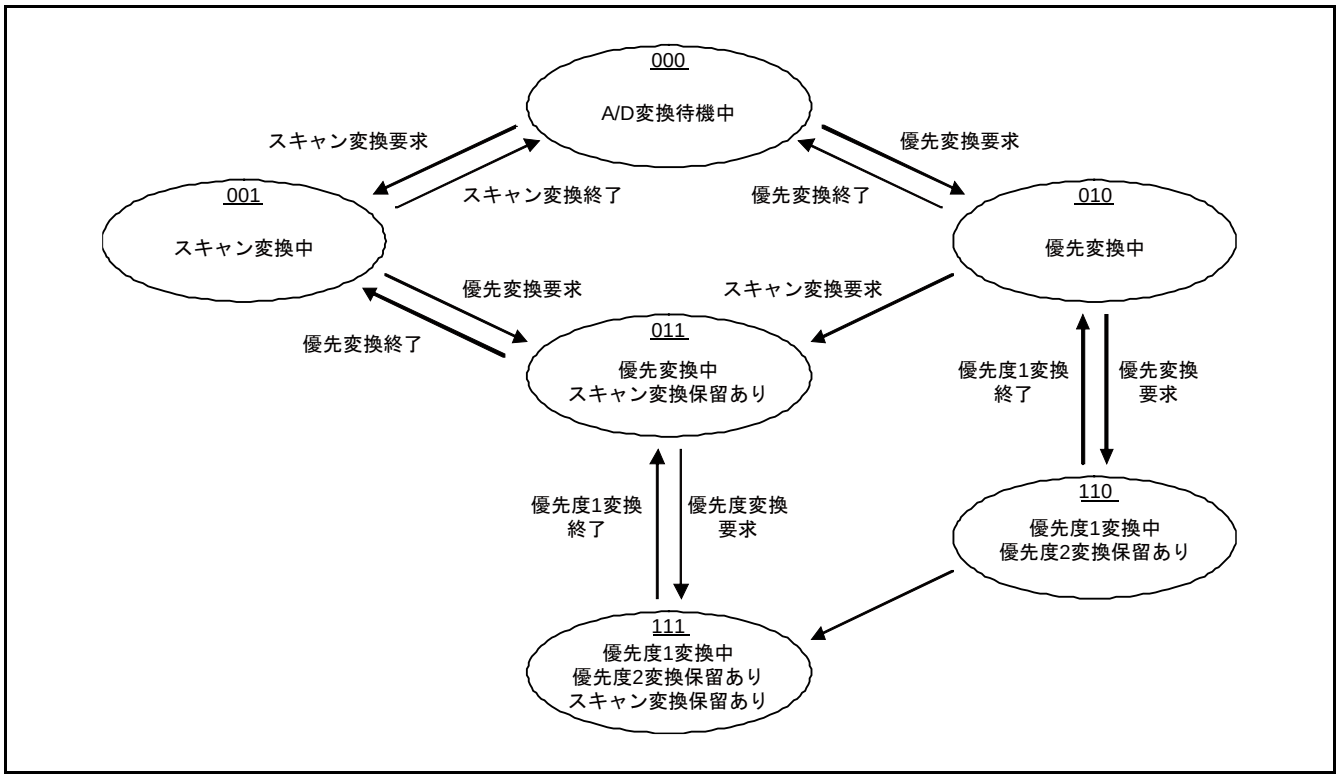
■ 優先度 2 の変換中にスキャン変換の起動が発生した場合

スキャン変換の起動要因は保持されます。優先度 2 の変換動作が終了すると、自動的にスキャン変換による動作を開始します。

■ 優先変換の動作中は同一優先順位の起動要因はマスクされます(再起動はしません)。

状態遷移

Figure 3-5 12 ビット A/D コンバータの状態遷移



ADSR レジスタの PCNS, PCS, SCS ビットにより動作状態を読み出せます。

Table 3-2 ADSR レジスタのビットと動作状態の対応

PCNS	PCS	SCS	状態の説明
0	0	0	A/D 変換待機中。
0	0	1	スキャン変換による A/D 変換中。
0	1	0	優先変換(優先度 1, 2)による A/D 変換中。
0	1	1	優先変換(優先度 1, 2)による A/D 変換中。スキャン変換の変換保留あり。
1	1	0	優先変換(優先度 1)による A/D 変換中。優先変換(優先度 2)の保留あり。
1	1	1	優先変換(優先度 1)による A/D 変換中。スキャン変換と優先変換(優先度 2)の保留あり。

3.3 FIFO の動作

A/D コンバータはスキャン変換用に 16 段、優先変換用に 4 段の FIFO を搭載しています。FIFO の設定した段数に変換データが書き込まれると CPU に対して割込みを発生します。

3.3.1 スキャン変換の FIFO 動作

3.3.2 スキャン変換の割込み

3.3.3 優先変換の FIFO 動作

3.3.4 優先変換の割込み

3.3.5 FIFO データの有効・無効

3.3.6 FIFO データレジスタのビット配置選択

3.3.1 スキャン変換の FIFO 動作

スキャン変換の FIFO 動作について説明します。

スキャン変換データの書込み用に 16 段の FIFO を搭載しています。リセット解除後は空(エンプティ)の状態でスキャン変換コントロールレジスタ(SCCR)のスキャン変換用 FIFO エンプティビット(SEMP)は"1"に設定されています。1 チャネル分の A/D 変換が終了すると、FIFO の 1 段目に変換結果, 起動要因, 変換チャネルが書き込まれます。これにより、スキャン変換用 FIFO エンプティビット(SEMP)が"0"にリセットされます。次のチャネルの変換結果, 起動要因, 変換チャネルは 2 段目の FIFO に順次書き込まれます。

16 段すべてにデータの書込みが行われると、スキャン変換コントロールレジスタ(SCCR)のスキャン変換用 FIFO フルビット(SFUL)を"1"に設定し FIFO が満杯(フル)の状態になります。FIFO フルの状態で変換が行われ FIFO にデータを書き込もうとした場合はスキャン変換コントロールレジスタ(SCCR)のスキャン変換オーバランフラグビット(SOVR)を"1"に設定しデータは捨てられます(上書きできません)。

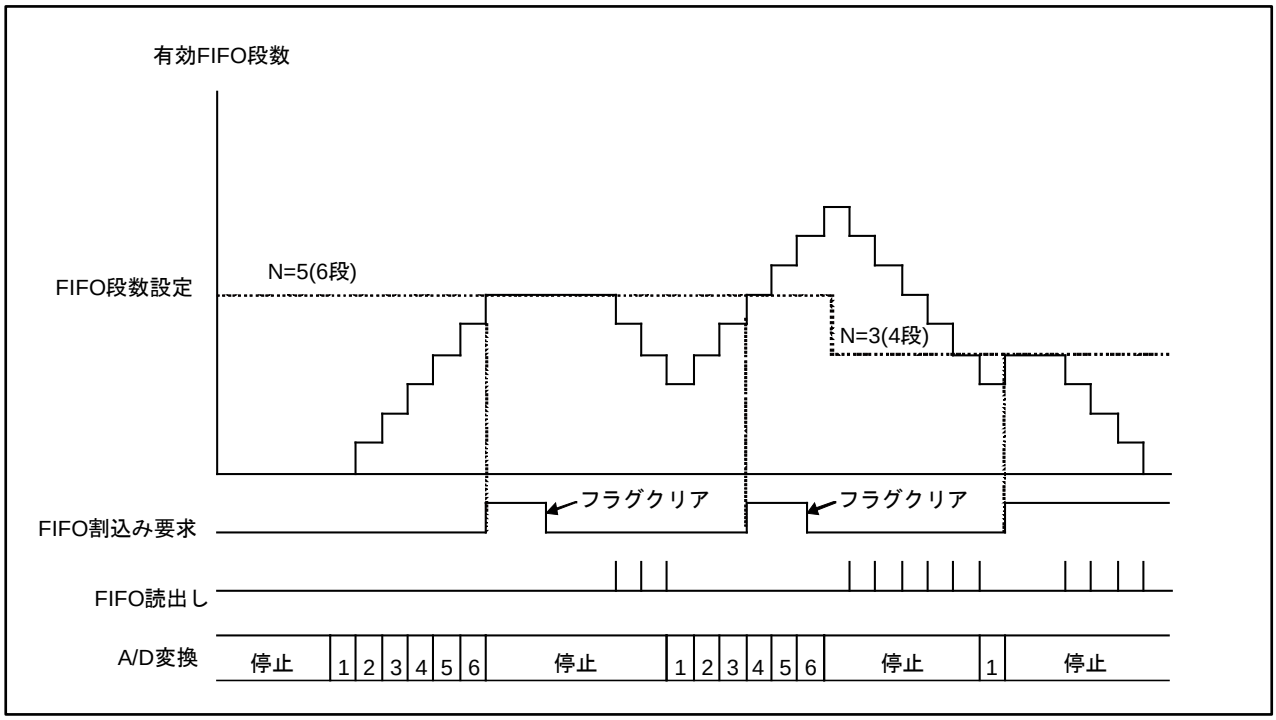
FIFO のデータをクリアしたい場合は、スキャン変換コントロールレジスタ(SCCR)の SFCLR ビットに"1"を書き込んでください。FIFO は空の状態となりスキャン変換用 FIFO エンプティビット(SEMP)は"1"に設定されます。

FIFO の読出しは、スキャン変換 FIFO データレジスタ(SCFD)を読み出すことで、順次 FIFO を読み出せます。本レジスタをバイト(8 ビット)アクセスする場合には、上位バイト(bit31:24)を読み出すことで FIFO はシフトします(それ以外(bit23:16, bit15:8, bit7:0)を読み出しても FIFO はシフトしません)。ハーフワード(16 ビット)アクセスする場合には、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします(それ以外(bit15:0)を読み出しても FIFO はシフトしません)。ワード(32 ビット)アクセスの場合には、FIFO はシフトします。

3.3.2 スキャン変換の割込み

スキャン変換の割込みについて説明します。

Figure 3-6 FIFO 割込み設定と FIFO の動作



スキャン変換 FIFO 段数設定レジスタ(SFNS)のスキャン変換 FIFO 段数設定ビット(SFS[3:0])へ設定した FIFO 段数(N+1)分の変換データが FIFO に書き込まれると、A/D コントロールレジスタ(ADCR)のスキャン変換割込み要求ビット(SCIF)が"1"に設定されます。スキャン変換割込み許可ビット(SCIE)に"1"が書き込まれていた場合、CPU に対して割込み要求を発生します。

スキャン変換の各モードによる FIFO 段数割込み方法を説明します。

単一チャネルによる単発モード

設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には SFS[3:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、SCIF ビットを"1"に設定します。

<注意事項>

- ***SFS[3:0]ビットを 0x1 以上(2 段以上)に設定した場合は、設定した段数分、変換データが FIFO に書き込まれるまで割込みは発生しないため、注意してください。***

単一チャネルによる連続モード

設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には SFS[3:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、SCIF ビットを"1"に設定します。
設定したチャネルをある回数変換終了したら割込みを発生したい場合は、SFS[3:0]を 0x1 以上(2 段以上)に設定してください。例えば 4 回リピート後割込みを発生させる場合は、SFS[3:0]=0x3 に設定してください。

複数チャネルによる単発モード

設定した複数のチャネルの終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数に合わせてください。選択したチャネル数が 8 チャネルの場合、FIFO の段数設定を SFS[3:0]=0x7 に設定することで、選択した最終のチャネルの変換終了後、SCIF ビットを"1"に設定されます。
選択したチャネル数よりも SFS[3:0]ビットの設定を小さくすることで、スキャン終了前の任意のタイミングで割込みを発生できます。

複数チャネルによる連続モード

設定した複数のチャネルの 1 回目のスキャン終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数に合わせてください。選択したチャネル数が 8 チャネルの場合、FIFO の段数設定を SFS[3:0]=0x7 に設定することで、選択した最終のチャネルの変換終了後、SCIF ビットを"1"に設定します。
2 回目のスキャン終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数の 2 倍に設定してください。例えば選択したチャネル数は 4 の場合、FIFO 段数を 8 段(SFS[3:0]=0x7)にすることで、2 回目のスキャン終了後、割込みを発生させられます。
そのほかにも、FIFO の段数を任意に設定できるため、様々なタイミングで割込みを発生することが可能です。

3.3.3 優先変換の FIFO 動作

優先変換の FIFO 動作について説明します。

優先変換データの書込み用に 4 段の FIFO を搭載しています。リセット解除後は空(エンプティ)の状態で優先変換コントロールレジスタ(PCCR)の優先変換用 FIFO エンプティビット(PEMP)は"1"に設定されています。1 回の A/D 変換が終了すると、FIFO の 1 段目に変換結果, 起動要因, 変換チャネルが書き込まれます。これにより、PEMP ビットが"0"にリセットされます。2 回目の変換結果と変換チャネルは 2 段目の FIFO に順次書き込まれます。

4 段すべてにデータの書込みが行われると、優先度変換用 FIFO フルビット(PFUL)を"1"に設定し FIFO が満杯(フル)の状態になります。FIFO フルの状態で変換が行われ FIFO にデータを書き込もうとした場合は優先度変換オーバラン(POVR)を"1"に設定しデータは捨てられます(上書きできません)。

FIFO のデータをクリアしたい場合は、優先変換コントロールレジスタ(PCCR)の優先後変換用 FIFO クリアビット(PFCLR)に"1"を書き込んでください。FIFO は空の状態となり PEMP ビットは"1"に設定されます。

FIFO の読出しは、優先 FIFO データレジスタ(PCFD)を読み出すことで、順次 FIFO を読み出せます。本レジスタをバイト(8 ビット)アクセスする場合には、上位バイト(bit31:24)を読み出すことで FIFO はシフトします(それ以外(bit23:16, bit15:8, bit7:0)を読み出しても FIFO はシフトしません)。ハーフワード(16 ビット)アクセスする場合には、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします(それ以外(bit15:0)を読み出しても FIFO はシフトしません)。ワード(32 ビット)アクセスの場合には、FIFO はシフトします。

3.3.4 優先変換の割込み

優先変換の割込みについて説明します。

優先変換 FIFO 段数設定レジスタ(PFNS)の PFS[1:0]に設定した FIFO 段数(N+1)分の変換データが FIFO に書き込まれると、A/D コントロールレジスタ(ADCR)の優先度変換割込み要求ビット(PCIF)が"1"に設定されます。優先度変換割込み許可ビット(PCIE)に"1"が書き込まれていた場合、CPU に対して割込み要求を発生します。

優先変換の FIFO 段数割込み方法を説明します。

設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には、PFS[1:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、PCIF ビットが"1"に設定されます。

<注意事項>

- *PFS[1:0]ビットを 0x1 以上(2 段以上)に設定した場合は、設定した段数分、変換データが FIFO に書き込まれるまで割込みは発生しないため、注意してください。*

3.3.5 FIFO データの有効・無効

FIFO データレジスタを読み出すときの制約について説明します。

スキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)には、データが有効か無効かを示す A/D 変換結果無効ビット(INVL)が搭載されています。FIFO データレジスタ(SCFD, PCFD)の読出し時にデータが有効である場合、INVL="0"がセットされ、データが無効である場合、INVL="1"がセットされます。

ワード(32 ビット)読出しの場合、INVL ビットによりデータの有効・無効が判定できます。

割込みやエンプティ(SEMP, PEMP)ビットを使用しないハーフワード(16 ビット)読出しの場合、必ず INVL ビット含む下位 16 ビットから読出しを行ってください。このとき、INVL="1"の場合、上位 16 ビットの読出しは禁止です。INVL="0"のときのみ、上位 16 ビットの読出しを行ってください。

割込みやエンプティ(SEMP, PEMP)ビットを使用しないバイト(8 ビット)読出しの場合、必ず INVL ビット含む bit15:8 から読出しを行ってください。このとき、INVL="1"の場合、bit31:24, bit23:16, bit7:0 の読出しは禁止です。INVL="0"のときのみ、それらの読出しを行ってください。

3.3.6 FIFO データレジスタのビット配置選択

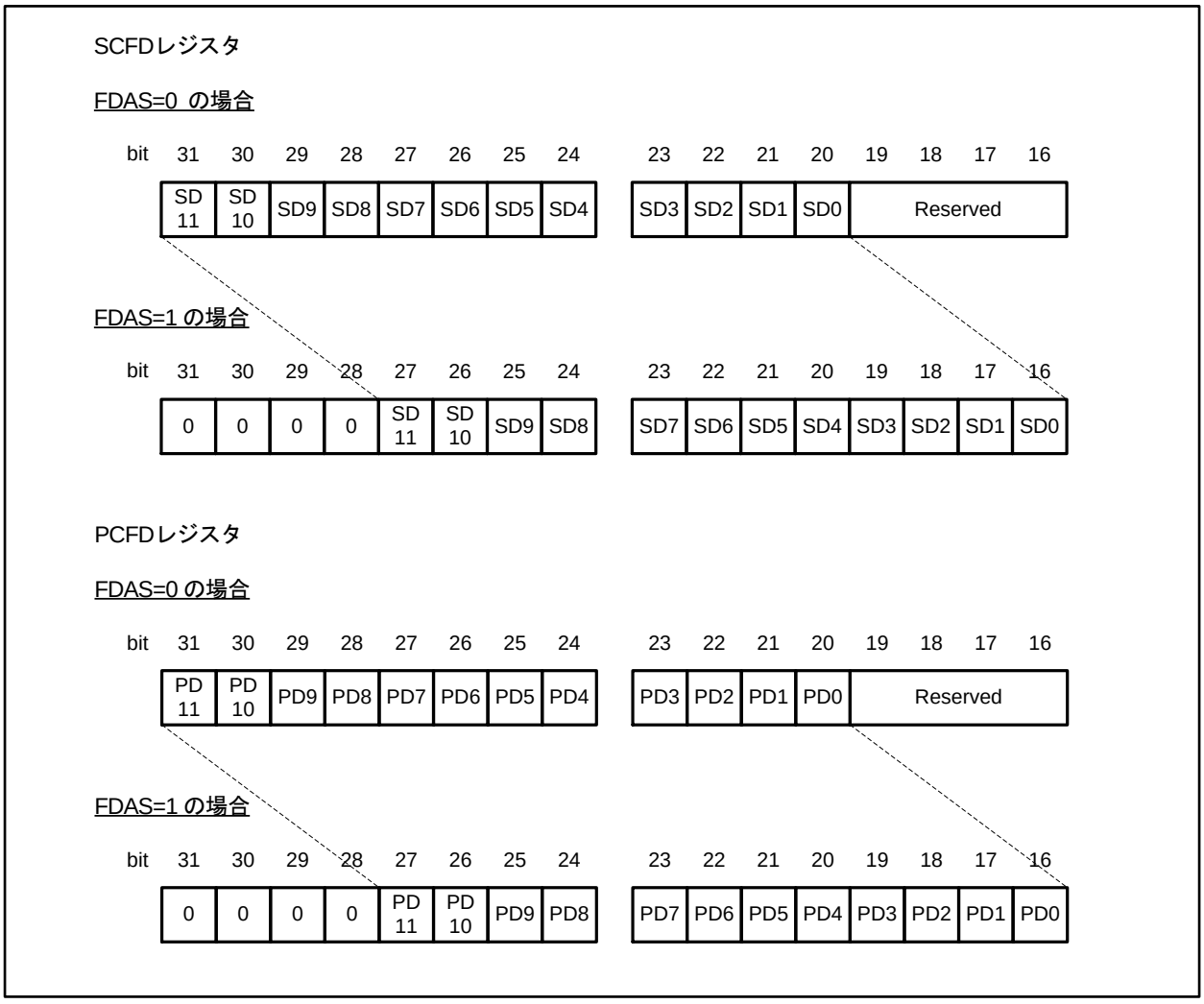
FIFO データレジスタのビット配置選択について説明します。

A/D コンバータは、A/D ステータスレジスタ(ADSR)の FIFO データ配置選択ビット(FDAS)によりスキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)の変換結果のビット配置を変更できます(Figure 3-7)。

FDAS="1"に設定することによって、FIFO データレジスタ読出し時に、12 ビット A/D 変換結果(SD11～SD0, PD11～PD0)は LSB 側(bit27:16)に配置されます。FIFO データレジスタの下位 16 ビットの配置は変わりません。

FIFO のシフトは、FDAS の設定値によらず、FIFO データレジスタの bit31:24(バイトアクセスの場合), bit31:16(ハーフワードアクセスの場合), bit31:0(ワードアクセスの場合)を読み出すことで行われます。

Figure 3-7 FIFO データレジスタのビット配置



3.4 A/D 比較機能

A/D 比較機能は、A/D コンバータの変換結果を比較し、割込みを発生させる機能です。

比較機能を動作させるには、A/D 比較コントロールレジスタ(CMPCR)の変換結果比較機能動作許可ビット(CMPEN)に"1"を書き込んでください。

A/D 比較値設定レジスタ(CMPD)に設定した値と、A/D 変換結果の上位 10 ビット(bit11:2)を比較します。この結果、A/D 比較コントロールレジスタ(CMPCR)で設定した条件が満たされた場合、ADCR レジスタの変換結果比較割込み要求ビット(CMPIF)が"1"に設定されます。変換結果比較割込み許可ビット(CMPIE)が"1"に設定されている場合は、CPU に対して割込みを発生します。

＜注意事項＞

- *LSB 側の 2 ビット(bit1, bit0)の比較は行いません。*

A/D 変換結果の比較はスキャン変換・優先変換によらず A/D 変換結果が FIFO に書き込まれる前に行うため、FIFO フルの状態でも比較できます。

A/D 比較コントロールレジスタ(CMPCR)の比較モード 1(CMD1)に"1"を設定した場合(CMPD 設定値以上の場合に割込み発生)は変換結果と、A/D 比較値設定レジスタ(CMPD)の値が等しい場合も CMPIF ビットは"1"に設定されます。

3.5 レンジ比較機能

レンジ比較機能は、A/D コンバータの変換結果が指定した範囲内または範囲外かを比較し、割込みを発生させる機能です。

レンジ比較機能を動作させるには、レンジ比較コントロールレジスタ(WCMPCR)のレンジ比較許可設定(RCOE)に"1"を書き込んでください。

A/D 変換結果の上位 10 ビット(bit11:2)が上限しきい値設定レジスタ(WCMPDH)と下限しきい値設定レジスタ(WCMPDL)に設定した値と、A/D 変換結果の上位 10 ビット(bit11:2)を比較します。

<注意事項>

- *LSB 側の 2 ビット(bit1, bit0)の比較は行いません。*

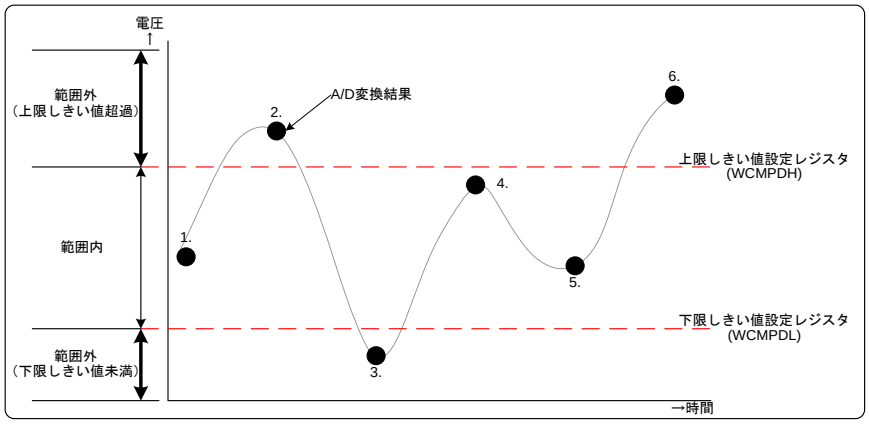
レンジ比較コントロールレジスタ(WCMPCR)の範囲内・範囲外確認選択(RCOIRS)が"1"の場合、A/D 変換結果が設定した範囲内であることを確認します。範囲内・範囲外確認選択(RCOIRS)が"0"の場合、A/D 変換結果が設定した範囲外であることを確認します。

Table 3-3 にレンジ比較の検出条件を、Figure 3-8 にレンジ比較の動作を示します。

Table 3-3 レンジ比較条件

レンジ比較結果	範囲外確認 (RCOIRS="0")	範囲内確認 (RCOIRS="1")	備考
範囲外（上限しきい値超過） A/D データビット＞上限しきい値設定レジスタ	検出	未検出	Figure 3-8：2,6
範囲内 A/D データビット≧下限しきい値設定レジスタ かつ A/D データビット≦上限しきい値設定レジスタ	未検出	検出	Figure 3-8：1,4,5
範囲外（下限しきい値未満） A/D データビット＜下限しきい値設定レジスタ	検出	未検出	Figure 3-8：3

Figure 3-8 レンジ比較動作



連続検出機能は、レンジ比較の連続検出を行い、ノイズなどを除去します。レンジ比較コントロールレジスタ(WCMPCR)の連続検出回数指定・状態設定(RCOCD)に設定された回数分連続して検出された場合に、レンジ比較フラグレジスタ(RCINT)が"1"に設定されます。レンジ比較割込み許可ビット(RCOIE)が"1"に設定されている場合は、CPU に対して割込みを発生します。

連続検出中に 1 度でもレンジ比較結果が未検出となった場合は、連続検出測定は 0 回にクリアされ、測定を再開します。

Table 3-4 に連続検出動作の条件を示します。

Table 3-4 連続検出動作条件

項目	内容
連続検出測定動作	レンジ比較実行許可設定(RCOE="1")時は常に動作
連続検出回数	− 連続検出回数指定(RCOCD)により、1～7 回を選択可能 − 連続検出回数状態表示(RCOCD)により、検出回数の状態を確認可能
クリア条件	− レンジ比較実行禁止設定(RCOE="0")時 − レンジ比較結果で未検出時
インクリメント条件	レンジ比較結果で検出時 ただし、連続検出回数指定(RCOCD)に到達した場合は、連続検出回数指定値で停止

＜注意事項＞

- *範囲外確認(WCMPCR.RCOIRS = "0")の場合、レンジ比較結果が上限しきい値超過状態から下限しきい値未満状態に変化しても、連続検出測定は 0 回にクリアされず、連続検出を継続します。レンジ比較結果の連続検出回数状態を初期化したい場合、A/D 変換未要求中にレンジ比較禁止に設定後、再度許可に設定してください。*

レンジ比較の範囲外確認(RCOIRS="0")の場合、上限しきい値超過または下限しきい値未満の確認をレンジ比較しきい値超過フラグビット(RCOOF)で行えます。

Table 3-5 にレンジ比較しきい値超過フラグの判定条件を示します。

Table 3-5 レンジ比較しきい値超過フラグ判定条件

レンジ比較結果	レンジ比較しきい値超過フラグビット(RCOOF)	
	範囲外確認 (RCOIRS="0")	範囲内確認 (RCOIRS="1")
範囲外（上限しきい値超過） A/D データビット＞上限しきい値設定レジスタ	"1"	前値を保持
範囲内 A/D データビット≧下限しきい値設定レジスタ かつ A/D データビット≦上限しきい値設定レジスタ	前値を保持	前値を保持
範囲外（下限しきい値未満） A/D データビット＜下限しきい値設定レジスタ	"0"	前値を保持

また、レンジ比較しきい値超過フラグビット(RCOOF)は、レンジ比較割込み要因フラグ(RCINT)が"1"にセットされている間は、レンジ比較しきい値超過フラグビット(RCOOF)にセットされている内容を保持します。

Figure 3-9 にレンジ比較機能の動作例を示します。

Figure 3-9 レンジ比較動作例

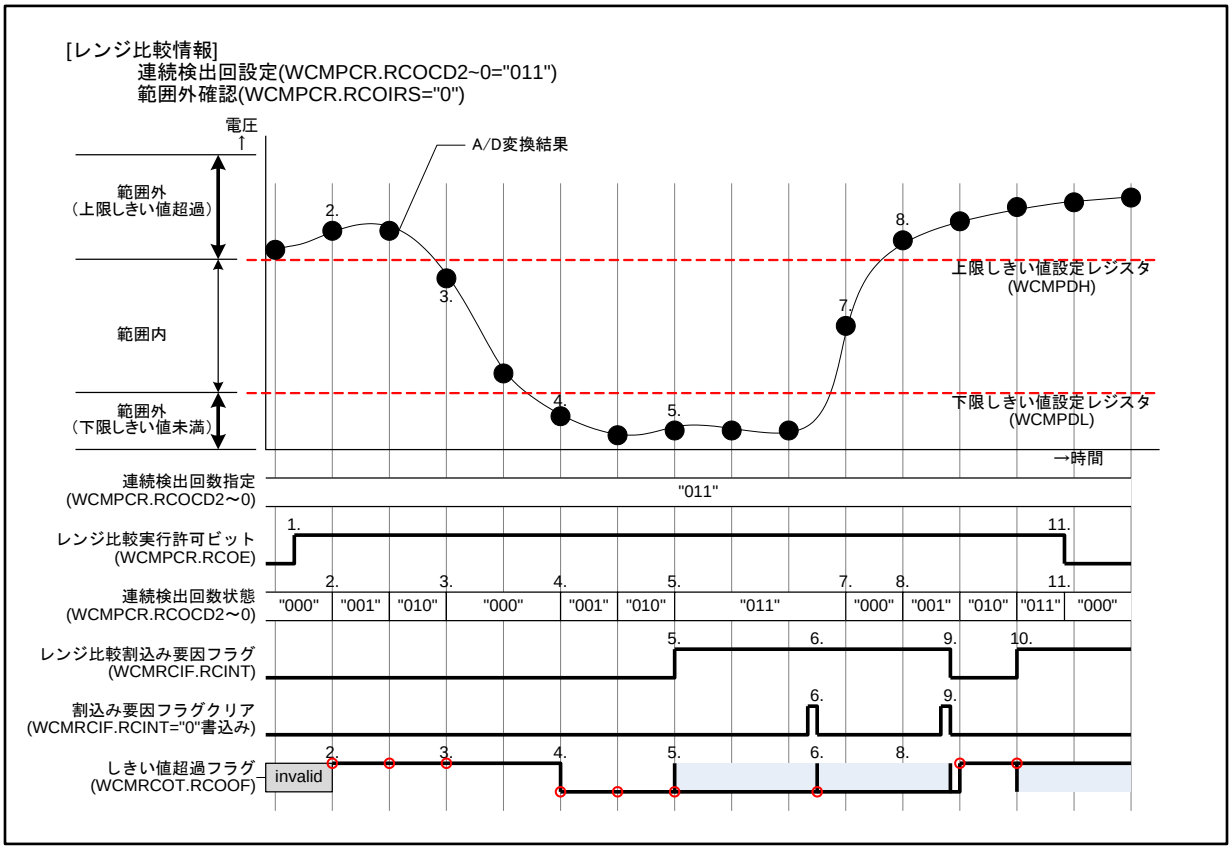


Figure 3-9 のレンジ比較動作の説明を以下にします。

1. レンジ比較実行禁止設定(RCOE="0")時、連続検出回数状態(RCOCD)を"000"に初期化します。
   レンジ比較実行許可設定(RCOE="1")によりレンジ比較動作開始します。
2. レンジ比較結果が上限しきい値超過により、連続回数検出状態(RCOCD)をインクリメント実施します。
   また、しきい値超過フラグは上限しきい値超過(RCOOF="1")を通知します。
3. 連続検出回数指定値(RCOCD ="011")前にレンジ比較結果が範囲内を検出したため、連続検出回数状態を初期化(RCOCD ="000")します。
   また、しきい値超過フラグ(RCOOF)は前値を保持します。
4. レンジ比較結果が下限しきい値未満により、連続回数検出状態(RCOCD)をインクリメント実施します。
   また、しきい値超過フラグは下限しきい値未満(RCOOF="0")を通知します。
5. レンジ比較結果が連続的に連続検出回数指定値(RCOCD ="011")に到達したことにより、レンジ比較割込み要因フラグ(RCINT)は"1"にセットされます。
   また、しきい値超過フラグ(RCOOF)は、レンジ比較割込み要因フラグセット(RCINT="1")された時のしきい値超過状態をセットし、レンジ比較割込み要因フラグクリア(RCINT="0")されるまで保持します。
6. レンジ比較割込み要因フラグクリア(RCINT="0")と連続検出状態が競合した場合、連続検出状態によるセット動作が優先されます。レンジ比較割込み要因フラグはセット(RCINT="1")状態、しきい値超過フラグ(RCOOF)は、しきい値超過状態を再セットします。
7. レンジ比較結果が範囲内のとき、レンジ比較割込み要因フラグセット(RCINT="1")状態でも、連続検出回数状態は初期化(RCOCD ="000")されます。
8. レンジ比較割込み要因フラグセット(RCINT="1")状態でも、レンジ比較結果が上限しきい値超過により、連続回数検出状態(RCOCD)をインクリメント実施します。
   ただし、レンジ比較割込み要因フラグセット(RCINT="1")状態のため、しきい値超過フラグ(RCOOF)は前値を保持します。
9. レンジ比較割込み要因フラグクリア(RCINT="0")により、レンジ比較割込み要因フラグはクリア(RCINT="0")されます。
   また、しきい値超過フラグ(RCOOF)の保持状態も解除されます。
10. レンジ比較結果が連続的に連続検出回数指定値(RCOCD ="011")に到達したことにより、レンジ比較割込み要因フラグ(RCINT)は"1"にセットされます。
    また、しきい値超過フラグ(RCOOF)は、レンジ比較割込み要因フラグがセット(RCINT="1")された時のしきい値超過状態をセットし、レンジ比較割込み要因フラグがクリア(RCINT="0")されるまで保持します。
11. レンジ比較実行禁止設定(RCOE="0")時、連続検出回数状態(RCOCD)を"000"に初期化します。
    また、レンジ比較割込み要因フラグ(RCINT)およびしきい値超過フラグ(RCOOF)は、レンジ比較実行禁止設定(RCOE="0")によりクリアされません。

なお、A/D 変換結果のレンジ比較はスキャン変換・優先変換によらず A/D 変換結果が FIFO に書き込まれる前に行うため、FIFO フルの状態でも比較できます。

3.6 DMA 起動

A/D コンバータの FIFO データを DMA 転送する処理について説明します。

A/D コンバータの FIFO に格納されているデータは、割込み信号を利用したハードウェア起動 DMA 転送ができます。以下に必要設定と動作内容を説明します。

本製品の場合、DMAC によるスキャン変換 FIFO データの DMA 転送、DSTC によるスキャン変換 FIFO データ、優先変換 FIFO データの DMA 転送に対応しています。

・A/D コンバータからの割込み信号は、初期状態では割込みコントローラに接続されています。割込みコントローラの DMA 転送要求の選択レジスタの設定、DSTC の DREQENB レジスタの設定により、スキャン変換割込み信号、優先変換割込み信号を DMAC/DSTC に接続します。A/D コンバータからの割込みを許可します。（ADCR:SCIE=1、ADCR:PCIE=1）

・A/D コンバータからの割込みを発生させる FIFO 段数を 0　(FIFO の 1 段目に変換結果が格納されたとき割込み要求発生)に設定します。

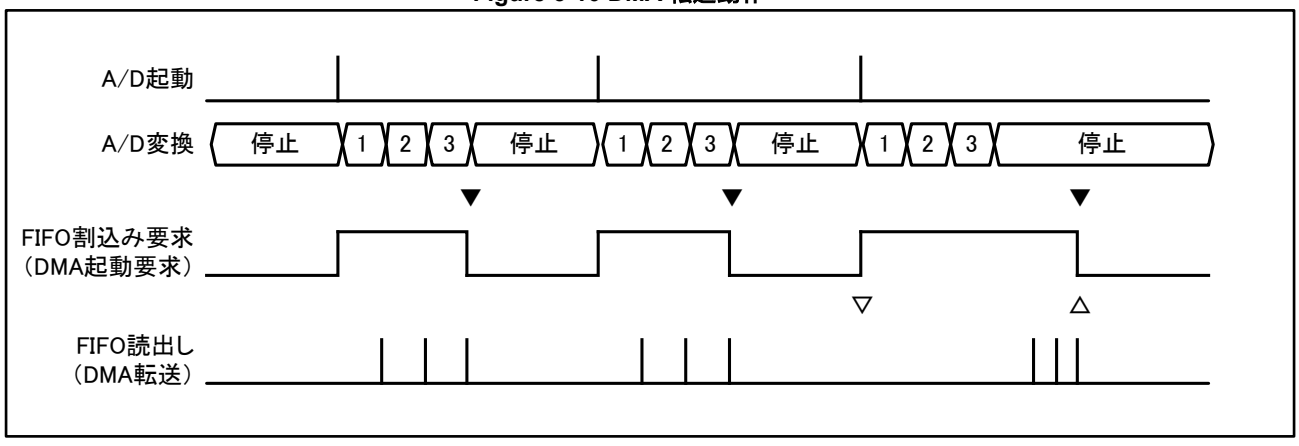
・DMAC/DSTC 側で、転送元アドレスを、スキャン変換 FIFO データレジスタ(SCFD) 、優先変換 FIFO データレジスタ（PCFD）に指定します。DMAC の場合、転送モードは、ハードウェア・Demand 転送を選択します。DSTC の場合、転送モードは、DES0.MODE=1 を選択します。転送回数は FIFO に格納されるデータ数を指定します。

Figure 3-10 に DMA 転送動作のタイミングチャートを示します。

A/D 変換の起動後、変換データは、FIFO に格納されます。A/D コンバータから割込み要求が発生します。DMAC/DSTC により、FIFO データレジスタの読出し、転送先への書込みが行われ、データ転送が行われます。発生した割込み信号は、DMAC/DSTC 側からクリア処理が行われます（図中の▼）。CPU から割込みフラグ（ADCR:SCIF、ADCR:PCIF）をクリアする必要はありません。DMAC/DSTC に指定した所定回数の転送終了後、DMAC/DSTC から転送終了通知を受け取ることができます。

DMAC/DSTC が A/D コンバータ以外の転送要求の処理を行っている場合、図の▽から△に示すように、DMA 転送の開始が遅れる場合がありますので、注意してください。

Figure 3-10 DMA 転送動作



4. 設定手順例

12 ビット A/D コンバータの設定手順例を説明します。

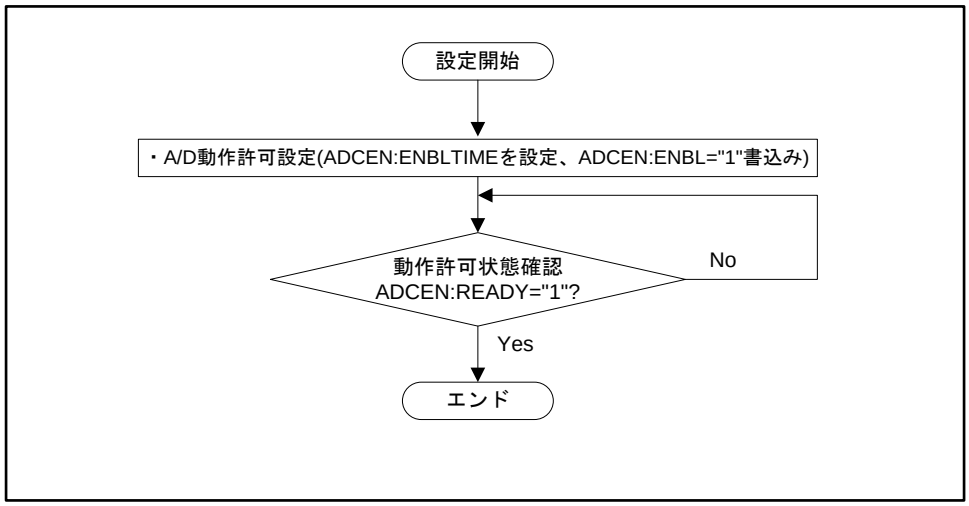
4.1 A/D 動作許可設定手順例
4.2 スキャン変換設定手順例
4.3 優先変換設定手順例
4.4 レンジ比較機能設定例
4.5 変換時間の設定

4.1 A/D 動作許可設定手順例

A/D 動作許可設定手順例を示します。

- 動作許可状態遷移期間を設定
- 動作許可状態をポーリング

Figure 4-1 A/D 動作許可設定手順例

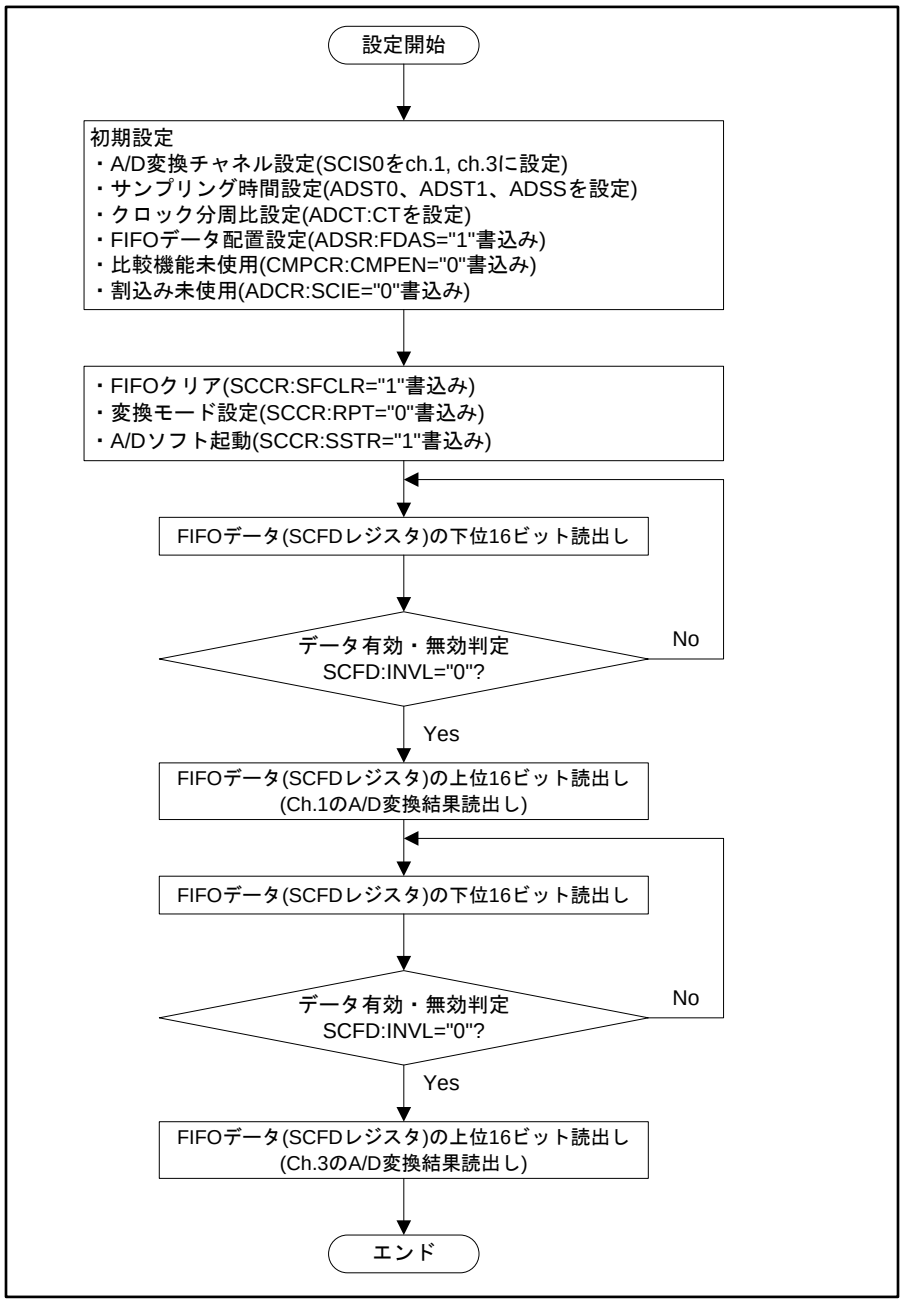


4.2 スキャン変換設定手順例

スキャン変換設定手順例を示します。

- ソフト起動によるスキャン変換
- A/D 変換チャネルを ch.1 と ch.3 に設定
- サンプリング時間を、ch.1 と ch.3、別々に設定
- クロック分周比を設定
- FIFO データの下位 16 ビットを読み出して、INVL ビットでデータ有効・無効を判定
- データが有効であると判定後、FIFO データの上位 16 ビットを読出し

Figure 4-2 スキャン変換設定手順例

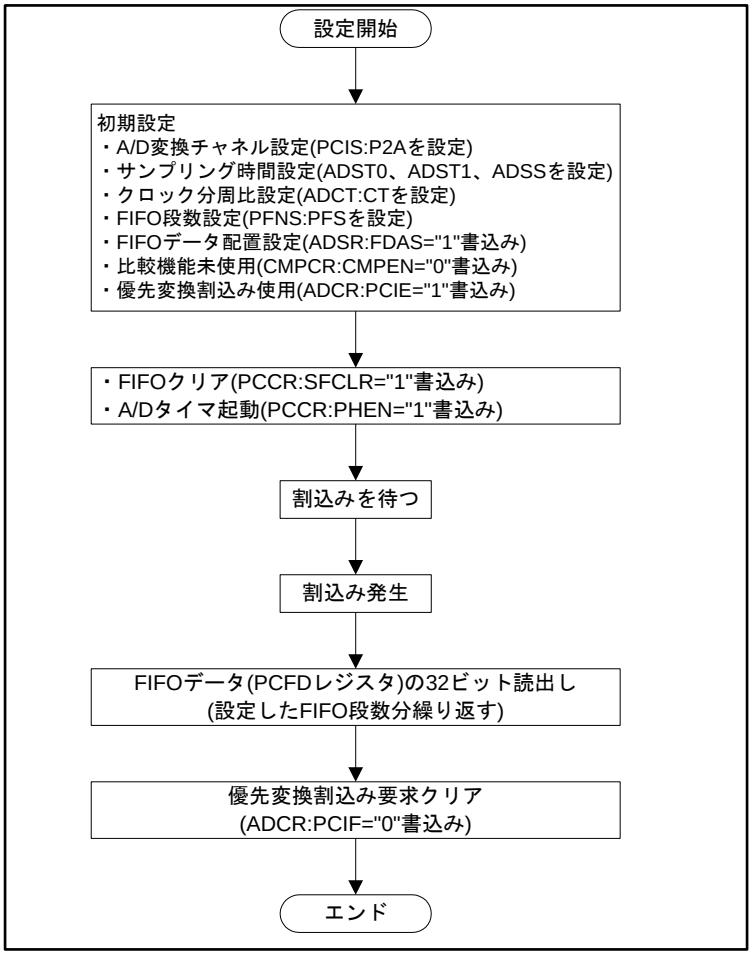


4.3 優先変換設定手順例

優先変換設定手順例を示します。

- タイマ起動による優先度 2 の優先変換
- 変換チャネルは ch.1 と ch.3
- サンプリング時間を、ch.1 と ch.3、別々に設定
- クロック分周比を設定
- 割込みを使用して FIFO データの 32 ビットを読出し
- 設定した FIFO 段数分読出しを行う

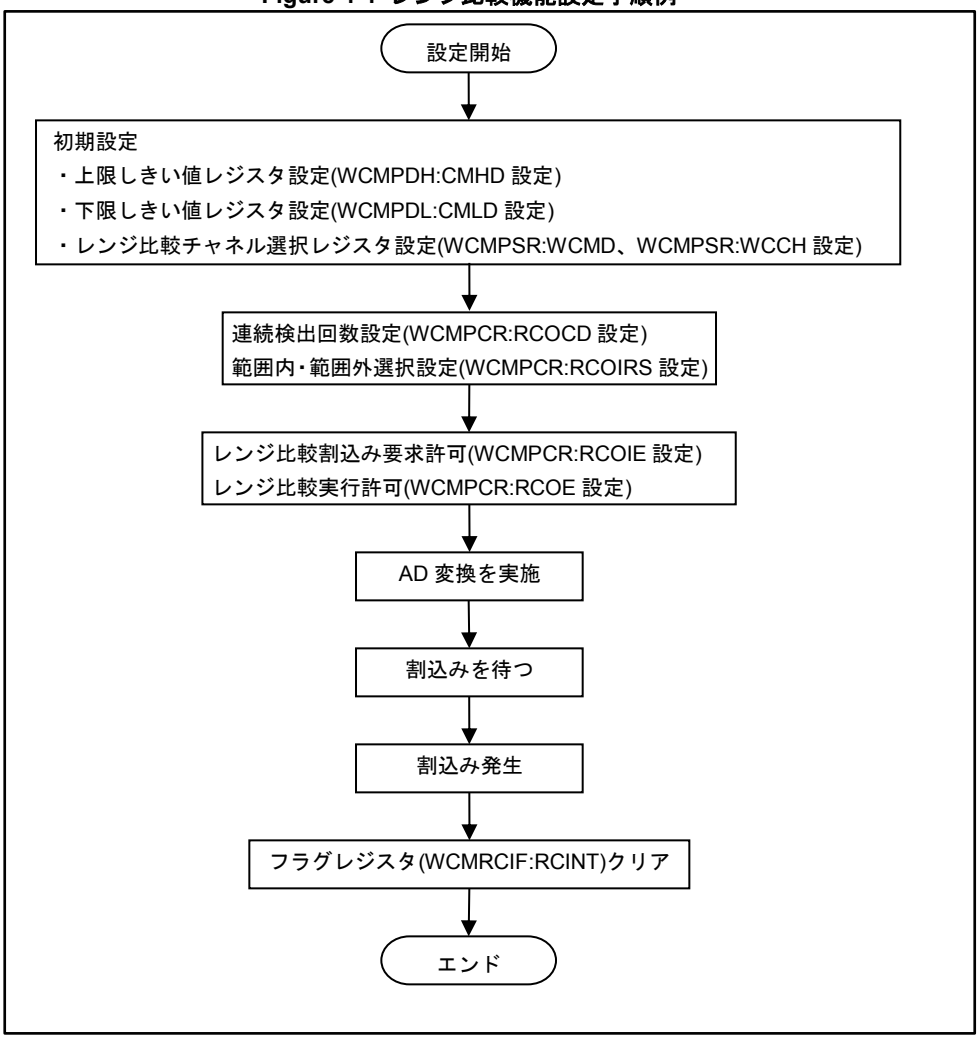
Figure 4-3 優先変換設定手順例



4.4 レンジ比較機能設定例

Figure 4-4 にレンジ比較機能設定手順例を示します。

Figure 4-4 レンジ比較機能設定手順例



4.5 変換時間の設定

A/D コンバータの変換時間は「サンプリング時間」+「コンペア時間」です。サンプリング時間はチャネルごとに 2 種類設定できます。本項では、変換時間の設定, 計算方法を説明します。

サンプリング時間の設定例

サンプリング時間は、サンプリング時間設定レジスタ 0, 1(ADST0 または ADST1)にて設定します。サンプリング時間選択レジスタ(ADSS3～ADSS0)により、チャネルごとにサンプリング時間設定レジスタ 0, 1 のどちらの値を使用するか選択可能です。これにより、外部インピーダンスの異なるチャネルに対して個別にサンプリング時間を設定できます。

サンプリング時間 = ベースクロック(HCLK)周期×クロック分周比×{(ST 設定値＋1)×STX 設定値＋3}

＜注意事項＞

- *サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」記載内容に従い、入力チャネルの外部インピーダンス, アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *STXx2, STXx1, STXx0=000(STx4～STx0 の設定値 ×1 倍)に設定した場合、STx4～STx0 は"2" 以上を設定してください("1"以下は設定禁止です)。*

コンペア時間の設定例

コンペア時間は、クロック分周比設定レジスタ(ADCT)で設定します。

コンペア時間 = コンペアクロック周期×14
コンペアクロック周期 = ベースクロック(HCLK)周期×クロック分周比

＜注意事項＞

- *コンペアクロック周期は、ご使用する製品の『データシート』の「電気的特性」の記載内容にしたがい、アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *サンプリング時間, コンペアクロック周期が A/D コンバータの電気的特性を満たさない場合、A/D 変換精度が悪くなることがあります。*

変換時間の計算例 (HCLK=20MHz(周期 50ns)のとき)

(1) サンプリング時間

- ST04～ST00 = 2, STX02, STX01, STX00 = 000(1 倍), CT0～CT7 = 0(コンペアクロック分周比 2)の場合

  サンプリング時間 = 50ns×2×{(2+1)×1+3} = 600ns

- ST14～ST10 = 19, STX12, STX11, STX10 = 001(4 倍), CT0～CT7 = 0(コンペアクロック分周比 2)の場合

  サンプリング時間 = 50ns×2×{(19+1)×4+3} = 8300ns

(2) コンペア時間

- CT0～CT7 = 0(クロック分周比 2)の場合

  コンペアクロック周期 = 50ns×2 = 100ns

  コンペア時間 = 100ns×14 = 1400ns

(3) 変換時間

(1)と(2)の和より、

- ADST0 レジスタで指定したチャネルの変換時間 = 2000ns
- ADST1 レジスタで指定したチャネルの変換時間 = 9700ns

レジスタ設定例

Table 4-1 サンプリング時間とコンペア時間のレジスタ設定例

HCLK	CT7~CT0	STXx2~STXx0	STx4~STx0	サンプリング時間	コンペア時間	変換時間	コンペアクロック周期
40 MHz	10000000	000	00010	0.15 µs	0.35 µs	0.50 µs	25 ns
40 MHz	00000000	000	00010	0.30 µs	0.70 µs	1.00 µs	50 ns
40 MHz	00000000	000	00011	0.35 µs	0.70 µs	1.05 µs	50 ns
40 MHz	00000000	001	00010	0.75 µs	0.70 µs	1.45 µs	50 ns
40 MHz	00000001	000	00010	0.45 µs	1.05 µs	1.50 µs	50 ns
72 MHz	00000000	000	00010	0.17 µs	0.39 µs	0.56 µs	27.8 ns
72 MHz	00000010	000	00010	0.33 µs	0.78 µs	1.11 µs	55.6 ns
80 MHz	00000000	000	00010	0.15 µs	0.35 µs	0.50 µs	25 ns
80 MHz	00000010	000	00010	0.30 µs	0.70 µs	1.00 µs	50 ns
160 MHz	00000010	000	00010	0.15 µs	0.35 µs	0.50 µs	25 ns
160 MHz	00000110	000	00010	0.30 µs	0.70 µs	1.00 µs	50 ns
180 MHz	00000011	000	00010	0.17 µs	0.39 µs	0.56 µs	27.8 ns
180 MHz	00000111	000	00010	0.30 µs	0.70 µs	1.00 µs	50 ns
200 MHz	00000011	000	00010	0.15 µs	0.35 µs	0.50 µs	25 ns
200 MHz	00001000	000	00010	0.30 µs	0.70 µs	1.00 µs	50 ns

5. レジスタ

12 ビット A/D コンバータで使用するレジスタの構成と機能について説明します。

12 ビット A/D コンバータのレジスター覧

レジスタ略称	レジスタ名	参照先
ADCR	A/D コントロールレジスタ	5.1
ADSR	A/D ステータスレジスタ	5.2
SCCR	スキャン変換コントロールレジスタ	5.3
SFNS	スキャン変換 FIFO 段数設定レジスタ	5.4
SCFD	スキャン変換 FIFO データレジスタ	5.5
SCIS	スキャン変換入力選択レジスタ	5.6
PCCR	優先変換コントロールレジスタ	5.7
PFNS	優先変換 FIFO 段数設定レジスタ	5.8
PCFD	優先変換 FIFO データレジスタ	5.9
PCIS	優先変換入力選択レジスタ	5.10
CMPD	A/D 比較値設定レジスタ	5.11
CMPCR	A/D 比較コントロールレジスタ	5.12
ADSS	サンプリング時間選択レジスタ	5.13
ADST	サンプリング時間設定レジスタ	5.14
ADCT	クロック分周比設定レジスタ	5.15
ADCEN	A/D 動作許可設定レジスタ	5.16
WCMPDH	上限しきい値設定レジスタ	5.17
WCMPCR	レンジ比較コントロールレジスタ	5.18
WCMPDL	下限しきい値設定レジスタ	5.19
WCMPSR	レンジ比較チャンネル選択レジスタ	5.20
WCMRCOT	レンジ比較しきい値超過フラグレジスタ	5.21
WCMRCIF	レンジ比較フラグレジスタ	5.22

5.1 A/D コントロールレジスタ(ADCR)

A/D コントロールレジスタ(ADCR)は、割込みフラグ表示, 割込み許可を制御します。

bit	15	14	13	12	11	10	9	8
Field	SCIF	PCIF	CMPIF	予約	SCIE	PCIE	CMPIE	OVRIE
属性	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初期値	0	0	0	X	0	0	0	0

[bit15] SCIF： スキャン変換割込み要求ビット

スキャン変換 FIFO 段数設定レジスタ(SFNS)で設定した段数まで変換値が書き込まれたときに、本ビットは"1"に設定されます。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"です。

bit	説明	
	読出し	書込み
0	変換結果未格納	ビットクリア
1	変換結果格納	動作に影響しません

[bit14] PCIF： 優先変換割込み要求ビット

優先変換FIFO段数設定レジスタ(PFNS)で設定した段数まで変換値が書き込まれたときに、本ビットは"1"に設定されます。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"です。

bit	説明	
	読出し	書込み
0	変換結果未格納	ビットクリア
1	変換結果格納	動作に影響しません

[bit13] CMPIF： 変換結果比較割込み要求ビット

A/D 変換結果比較機能動作時に、A/D 比較値設定レジスタ(CMPD)や A/D 比較コントロールレジスタ(CMPCR)で設定した条件を満たすと、本ビットは"1"に設定されます。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"です。

bit	説明	
	読出し	書込み
0	設定条件未達	ビットクリア
1	設定条件満足	動作に影響しません

[bit12] 予約 ： 予約ビット

読出し値は不定です。
書込みは、動作に影響しません。

[bit11] SCIE： スキャン変換割込み許可ビット

SCIF の割込み要求を制御します。本ビットが"1"かつ SCIF ビットが"1"にセットされると CPU に割込み要求を発生します。

bit	説明
0	割込み要求禁止
1	割込み要求許可

[bit10] PCIE： 優先変換割込み許可ビット

PCIF の割込み要求を制御します。本ビットが"1"かつ PCIF ビットが"1"にセットされると CPU に割込み要求を発生します。

bit	説明
0	割込み要求禁止
1	割込み要求許可

[bit9] CMPIE： 変換結果比較割込み許可ビット

CMPIF の割込み要求を制御します。本ビットが"1"かつ CMPIF ビットが"1"にセットされると CPU に割込み要求を発生します。

bit	説明
0	割込み要求禁止
1	割込み要求許可

[bit8] OVRIE : FIFO オーバラン割込み許可ビット

SCCR レジスタの SOVR ビットまたは PCCR レジスタの POVR ビットの割込み要求を制御します。本ビットが"1"かつ SOVR ビットまたは POVR ビットが"1"にセットされると、CPU に割込み要求を発生します。

bit	説明
0	割込み要求禁止
1	割込み要求許可

5.2 A/D ステータスレジスタ(ADSR)

A/D ステータスレジスタ(ADSR)は、スキャン変換, 優先変換のステータス表示を行います。

bit	7	6	5	4	3	2	1	0
Field	ADSTP	FDAS	予約			PCNS	PCS	SCS
属性	R/W	R/W	-			R	R	R
初期値	0	0	XXX			0	0	0

[bit7] ADSTP : A/D 変換強制停止ビット

本ビットに"1"を書き込むことで、A/D 変換中の動作が強制停止されます(スキャン変換, 優先変換ともに動作を停止します)。A/D 変換を強制停止した場合、ADSR レジスタの PCNS, PCS, SCS ビットのみ"0"に初期化されます。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		変換中の動作を強制停止

[bit6] FDAS : FIFO データ配置選択ビット

本ビットに"1"を書き込むことでスキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)の変換結果の値を LSB 側に 4 ビットシフトし、bit27～bit16 に配置します。FIFO データレジスタの下位 16 ビットの位置は変わりません。

bit	説明
0	変換結果を MSB 側に配置
1	変換結果を LSB 側に配置

[bit5:3] 予約 : 予約ビット

読出し値は不定です。
書込みは、動作に影響しません。

[bit2] PCNS : 優先変換保留フラグ

優先度 2(ソフトウェア/タイマ)の変換が保留中であることを示すフラグです。優先度 1(外部トリガ起動)の優先変換中に優先度 2(ソフトウェア/タイマ)の優先変換を起動した場合、または優先度 2 の優先変換中に優先度 1 の変換が起動された場合に設定されます。書込みは無視されます。

bit	説明
0	優先度 2 の優先変換保留なし
1	優先度 2 の優先変換保留中

[bit1] PCS： 優先変換ステータスフラグ

優先 A/D が変換中であることを示すフラグです。優先度 1 または優先度 2 の優先変換中に設定されます。書込みは無視されます。

bit	説明
0	優先変換による変換停止
1	優先変換による変換中

[bit0] SCS： スキャン変換ステータスフラグ

スキャン A/D が変換中であることを示すフラグです。書込みは無視されます。

bit	説明
0	スキャン変換による変換停止
1	スキャン変換による変換中

5.3 スキャン変換コントロールレジスタ(SCCR)

スキャン変換コントロールレジスタ(SCCR)は、スキャン変換モードを制御します。

bit	15	14	13	12	11	10	9	8
Field	SEMP	SFUL	SOVR	SFCLR	予約	RPT	SHEN	SSTR
属性	R	R	R/W	R/W	-	R/W	R/W	R/W
初期値	1	0	0	0	X	0	0	0

[bit15] SEMP： スキャン変換用 FIFO エンプティビット

FIFO がエンプティ(空)の状態になった場合、本ビットは"1"に設定されます。スキャン変換 FIFO データレジスタ(SCFD)に変換データが書き込まれると、本ビットは"0"になります。書込みは無視されます。

bit	説明
0	FIFO にデータが残っている状態
1	FIFO はエンプティ(空)の状態

[bit14] SFUL： スキャン変換用 FIFO フルビット

FIFO がフル(満杯)の状態になった場合、本ビットは"1"に設定されます。SFCLR に"1"を書き込むか、スキャン変換 FIFO データレジスタ(SCFD)を読み出すと、本ビットは"0"になります。書込みは無視されます。

bit	説明
0	FIFO のデータが入力できる状態
1	FIFO はフル(満杯)の状態

[bit13] SOVR： スキャン変換オーバランフラグ

FIFO フルの状態で FIFO に書込みをした場合、本ビットは"1"に設定されます(FIFO フルの状態では変換データは上書きされません)。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"になります。ADCR レジスタの OVRIE ビットが"1"かつ SOVR ビットが"1"のとき CPU に対して割込みを発生します。

bit	説明	
	読出し	書込み
0	オーバラン発生なし	ビットクリア
1	オーバラン発生あり	動作に影響しません

[bit12] SFCLR： スキャン変換用 FIFO クリアビット

本ビットに"1"を書き込むことでスキャン変換用 FIFO のクリアを行います。このとき FIFO はエンプティ(空)になるため、SEMP ビットは"1"に設定されます。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		FIFO のクリアを行う

[bit11] 予約 : 予約ビット
読出し値は不定です。
書込みは，動作に影響しません。

[bit10] RPT : スキャン変換リピートビット
本ビットに"1"を書き込むことにより、リピートモードとなります。スキャン変換入力選択レジスタ(SCIS)で選択したアナログ入力チャネルすべての変換が終わると、再度変換を開始します。

リピート変換を終了させるには本ビットを"0"にすることで、SCIS ビットで選択したアナログ入力チャネルの変換を終了後停止します。

本ビットへの"1"書込みは、スキャン変換の停止(ADSR:SCS = "0")中に行ってください(SSTR ビットへの"1"書込みと、本ビットへの"1"書込みは同時でもかまいません)。

bit	説明
0	シングル変換モード
1	リピート変換モード

<注意事項>

- *PRT ビットを"0"にしても、リピート転送はすぐには停止しません。*
  FIFO に停止までデータが書き込まれます。
  FIFO データおよびFIFO のステータスを示すビット（FIFO フルビットなど）は停止まで変化するため注意してください。

[bit9] SHEN : スキャン変換のタイマ起動許可ビット
スキャン変換をタイマからの立上りエッジで起動をかける場合に本ビットを"1"に設定します。"1"に設定した場合でも、ソフトウェアによる起動(SSTR=1)は有効です。

bit	説明
0	タイマ起動禁止
1	タイマ起動許可

[bit8] SSTR : スキャン変換スタートビット
本ビットに"1"を書き込むことで A/D 変換を開始します。変換中に再度"1"を書き込むと変換中の動作を直ちに停止し、再度変換を開始します。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		変換起動または変換再起動(変換中)

<注意事項>

- *タイマによる起動と、SSTR ビットへの"1"書込みが同時に発生した場合は、SSTR ビットへの"1"書込みが優先され、タイマの起動は無視されます。*

5.4 スキャン変換 FIFO 段数設定レジスタ(SFNS)

スキャン変換 FIFO 段数設定レジスタ(SFNS)は、スキャン変換時の割込み要求を発生するための設定を行います。設定した段数分の A/D 変換データが格納されると、割込み要求ビット(SCIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	予約				SFS[3:0]			
属性	-				R/W			
初期値	XXXX				0000			

[bit7:4] 予約 : 予約ビット

読出し値は不定です。

書込みは動作に影響しません。

[bit3:0] SFS[3:0] : スキャン変換 FIFO 段数設定ビット

本ビットに設定された段数(N+1 段目)分の A/D 変換データが書き込まれるとスキャン変換割込み要求フラグ(SCIF)を"1"に設定します。

bit3:0	説明
0000	FIFO の 1 段目に変換結果が格納されたとき割込み要求発生
0001	FIFO の 2 段目に変換結果が格納されたとき割込み要求発生
0010	FIFO の 3 段目に変換結果が格納されたとき割込み要求発生
・・・	・・・
1101	FIFO の 14 段目に変換結果が格納されたとき割込み要求発生
1110	FIFO の 15 段目に変換結果が格納されたとき割込み要求発生
1111	FIFO の 16 段目に変換結果が格納されたとき割込み要求発生

5.5 スキャン変換 FIFO データレジスタ(SCFD)

スキャン変換 FIFO データレジスタ(SCFD)は、アナログ変換結果を格納するレジスタで、16 段の FIFO で構成されます。レジスタを読み出すことで順次データを取り出せます。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	SD11	SD10	SD9	SD8	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0	予約			
属性	R	R	R	R	R	R	R	R	R	R	R	R	R			
初期値	X	X	X	X	X	X	X	X	X	X	X	X	XXXX			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約			INVL	予約		RS1	RS0	予約			SC4	SC3	SC2	SC1	SC0
属性	R			R	R		R	R	R			R	R	R	R	R
初期値	XXX			1	XX		X	X	XXX			X	X	X	X	X

[bit31:20] SD11:SD0： スキャン変換結果

スキャン変換時の 12 ビット A/D 変換結果が書き込まれます。

[bit19:13] 予約 ： 予約ビット

読出し値は不定です。

[bit12] INVL : A/D 変換結果無効ビット

本レジスタ値が無効である場合に設定されます。

bit	説明
0	本レジスタ値が有効
1	本レジスタ値が無効

[bit11:10] 予約 ： 予約ビット

読出し値は不定です。

[bit9:8] RS1, RS0： スキャン変換起動要因

本レジスタ値に対応する、スキャン変換の起動要因を表します。

bit9:8	説明
01	ソフトウェア起動
10	タイマ起動

[bit7:5] 予約 ： 予約ビット

読出し値は不定です。

[bit4:0] SC4～SC0： 変換入力チャネルビット

SD11～SD0 に書き込まれた変換結果に対応するアナログ入力チャネルが書き込まれます。製品仕様上存在しないチャネルの設定は書き込まれません。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

bit4:0	説明
00000	ch.0
00001	ch.1
00010	ch.2
･･･	・・・
11101	ch.29
11110	ch.30
11111	ch.31

＜注意事項＞

- *本レジスタは A/D ステータスレジスタ(ADSR)の FDAS ビットの設定によってビット構成が異なります。FDAS ビットが"1"の場合は「3.3.6 FIFO データレジスタのビット配置選択」を参照してください。*
- *本レジスタにバイトアクセスする場合、上位バイト(bit31:24)を読み出すことで FIFO データをシフトします。それ以外(bit23:16, bit15:8, bit7:0)を読み出しても、FIFO はシフトしません。*
  ハーフワードアクセスする場合、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします。それ以外(bit15:0)を読み出しても、FIFO はシフトしません。ワードアクセスの場合には、FIFO はシフトします。
- *ソフトウェアとタイマが同時起動した場合に、RS[1:0]ビットで"11"が読み出されることもあります。*

5.6 スキャン変換入力選択レジスタ(SCIS)

スキャン変換入力選択レジスタ(SCIS)は、スキャン変換時のアナログ入力チャネルを選択するレジスタです。複数のアナログ入力から任意に選択可能です。変換順序は選択されたチャネルの中で、番号の小さいチャネルから順番に変換されます。

SCIS3(上位バイト ：AN31～AN24), SCIS2(下位バイト ：AN23～AN16)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	AN31	AN30	AN29	AN28	AN27	AN26	AN25	AN24	AN23	AN22	AN21	AN20	AN19	AN18	AN17	AN16
属性	R/W															
初期値	0x00															

[bit15:0] AN31～AN16： アナログ入力選択ビット

当該ビットを"1"に設定することで、対応するチャネルがアナログ変換時に選択されます。

SCIS1(上位バイト ：AN15～AN8), SCIS0(下位バイト ：AN7～AN0)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	AN15	AN14	AN13	AN12	AN11	AN10	AN9	AN8	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
属性	R/W															
初期値	0x00															

[bit15:0] AN15～AN0： アナログ入力選択ビット

当該ビットを"1"に設定することで、対応するチャネルがアナログ変換時に選択されます。

＜注意事項＞

- *A/D 変換中のチャネルの変更は禁止です。必ず A/D 変換の停止した状態で SCIS3～SCIS0 に書き込んでください。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではチャネル変更が可能です。*
- *製品仕様上存在しないチャネルに該当するビットへの"1"設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。*

スキャン変換順序例

変換順序は選択されたチャネルの中で、番号の小さいチャネルから順番に変換されます。

例) AN1, AN3, AN5, AN23 ビットに"1"を設定した場合、アナログ変換は ch.1→ch.3→ch.5→ch.23 の順番で変換します。

5.7 優先変換コントロールレジスタ(PCCR)

優先変換コントロールレジスタ(PCCR)は、優先変換モードを制御します。
優先変換はスキャン変換を行っている間でも、優先的に変換できます。
また、優先変換の中でもさらに優先度を持つことができます(2 レベル)。

bit	15	14	13	12	11	10	9	8
Field	PEMP	PFUL	POVR	PFCLR	ESCE	PEEN	PHEN	PSTR
属性	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

[bit15] PEMP : 優先変換用 FIFO エンプティビット

FIFO がエンプティ(空)の状態になった場合に設定されます。優先変換 FIFO データレジスタ(PCFD)に変換データが書き込まれると、本ビットは"0"になります。書込みは無視されます。

bit	説明
0	FIFO にデータが残っている状態
1	FIFO はエンプティ(空)の状態

[bit14] PFUL : 優先変換用 FIFO フルビット

FIFO がフル(満杯)の状態になった場合に設定されます。PFCLR ビットに"1"を書き込むか、優先変換 FIFO データレジスタ(PCFD)を読み出すと、本ビットは"0"になります。書込みは無視されます。

bit	説明
0	FIFO のデータが入力できる状態
1	FIFO はフル(満杯)の状態

[bit13] POVR : 優先変換オーバランフラグ

FIFO フルの状態で FIFO に書込みをした場合に設定されます(FIFO フルの状態では変換データは上書きされません)。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"になります。ADCR レジスタの OVRIE ビットが"1"かつ本ビットが"1"のとき CPU に対して割込みを発生します。

bit	説明	
	読出し	書込み
0	オーバラン発生なし	ビットクリア
1	オーバラン発生あり	動作に影響しません

[bit12] PFCLR : 優先変換用 FIFO クリアビット

"1"を書き込むことで優先変換用 FIFO のクリアを行います。このとき FIFO はエンプティ(空)になるため、PEMP ビットは"1"に設定されます。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		FIFO のクリアを行う

[bit11] ESCE： 外部トリガアナログ入力選択ビット

外部トリガ起動のアナログ入力選択を優先変換入力選択レジスタ(PCIS)の P1A[2:0]ビットで行うか、外部入力端子(ECS[2:0])で行うかを選択します。

bit	説明
0	外部トリガ起動のアナログ入力選択を P1A[2:0]で行う
1	外部トリガ起動のアナログ入力選択を外部入力で行う

＜注意事項＞

- *A/D 変換中の ESCE ビットの書換えは禁止です。必ず A/D 変換の停止した状態で書き換えてください。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間では ESCE ビットの書換えが可能です。*
- *製品仕様上、外部端子(ECS[2:0])によるチャネル選択を使用できない場合は、ESCE ビットには必ず"0"を書き込んでください。*

[bit10] PEEN： 優先変換の外部起動許可ビット

優先変換を外部トリガ端子入力の立下りエッジで起動をかける場合に本ビットを"1"に設定します。外部トリガ起動による変換は優先度 1(最優先)です。

bit	説明
0	外部トリガ起動禁止
1	外部トリガ起動許可

[bit9] PHEN： 優先変換のタイマ起動許可ビット

優先変換をタイマからの立上りエッジで起動をかける場合に本ビットを"1"に設定します。"1"に設定した場合でも、ソフトウェアによる起動(PSTR=1)は有効です。タイマ起動による変換は優先度 2(<優先度 1)です。

bit	説明
0	タイマ起動禁止
1	タイマ起動許可

[bit8] PSTR： 優先変換スタートビット

"1"を書き込むことで A/D 変換を開始します。本ビットによる変換は優先度 2(<優先度 1)です。本ビットによる変換中の再起動はできません。

bit	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		優先変換起動

5.8 優先変換 FIFO 段数設定レジスタ(PFNS)

優先変換 FIFO 段数設定レジスタ(PFNS)は、優先変換時の割込み要求を発生するための設定を行います。
設定した段数分の A/D 変換データが格納されると、割込み要求ビット(PCIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	予約		TEST[1:0]		予約		PFS[1:0]	
属性	-		R		-		R/W	
初期値	XX		XX		XX		00	

[bit7:6] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit5:4] TEST[1:0] : テストビット

書込み	動作に影響しません
読出し	値は不定

[bit3:2] 予約: 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit1:0] PFS[1:0] : 優先変換 FIFO 段数設定ビット

PFS[1:0]に設定された段数(N+1 段目)分の A/D 変換データが書き込まれると優先変換割込み要求フラグ(PCIF)を"1"に設定します。

bit1:0	説明
00	FIFO の 1 段目に変換結果が格納されたとき割込み要求発生
01	FIFO の 2 段目に変換結果が格納されたとき割込み要求発生
10	FIFO の 3 段目に変換結果が格納されたとき割込み要求発生
11	FIFO の 4 段目に変換結果が格納されたとき割込み要求発生

5.9 優先変換 FIFO データレジスタ(PCFD)

優先変換 FIFO データレジスタ(PCFD)は、アナログ変換結果を格納するレジスタで、4 段の FIFO で構成されます。レジスタを読み出すことで順次データを取り出せます。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	予約			
属性						R							R			
初期値						0xXXX							XXXX			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約			INVL	予約	RS2	RS1	RS0	予約			PC4	PC3	PC2	PC1	PC0
属性	R			R	R		R		R				R			
初期値	XXX			1	X		XXX		XXX				XXXXX			

[bit31:20] PD11～PD0： 優先変換結果

優先変換時の 12 ビット A/D 変換結果が書き込まれます。

[bit19:13] 予約 ： 予約ビット

読出し値は不定です。

[bit12] INVL : A/D 変換結果無効ビット

本レジスタ値が無効である場合に設定されます。

bit	説明
0	本レジスタ値が有効
1	本レジスタ値が無効

[bit11] 予約: 予約ビット

読出し値は不定です。

[bit10:8] RS2～RS0： スキャン変換起動要因

本レジスタ値に対応する、優先変換の起動要因を表します。

bit10:8	説明
001	ソフトウェア起動(優先度 2)
010	タイマ起動(優先度 2)
100	外部トリガ(優先度 1)

[bit7:5] 予約: 予約ビット
読出し値は不定です。

[bit4:0] PC4～PC0： 変換入力チャネルビット
PD11～PD0 に書き込まれた変換結果に対応するアナログ入力チャネルが書き込まれます。製品仕様上存在しないチャネルの設定は書き込まれません。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

bit4:0	説明
00000	ch.0
00001	ch.1
00010	ch.2
･･･	・・・
11101	ch.29
11110	ch.30
11111	ch.31

＜注意事項＞

- *本レジスタは A/D ステータスレジスタ(ADSR)の FDAS ビットの設定によってビット構成が異なります。FDAS ビットが"1"の場合は「3.3.6 FIFO データレジスタのビット配置選択」を参照してください。*
- *本レジスタにバイトアクセスする場合、上位バイト(bit31:24)を読み出すことで FIFO データをシフトします。それ以外(bit23:16, bit15:8, bit7:0)を読み出しても、FIFO はシフトしません。*
  ハーフワードアクセスする場合、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします。それ以外(bit15:0)を読み出しても、FIFO はシフトしません。ワードアクセスの場合には、FIFO はシフトします。
- *ソフトとタイマが同時起動した場合に、RS[2:0]ビットで"011"が読み出されることもあります。*
- *外部トリガ起動の変換はアナログ入力が ch.0～ch.7 のみ変換可能です。*

5.10 優先変換入力選択レジスタ(PCIS)

優先変換入力選択レジスタ(PCIS)は、優先変換時のアナログ入力チャネルを選択するレジスタです。優先度 2 のソフトウェア/タイマ起動時は複数のアナログ入力チャネルから 1 チャネルのみ指定可能です。優先度 1 の外部トリガ起動時は ch.0～ch.7 の 8 チャネルのうちから 1 チャネル指定可能です。

bit	7	6	5	4	3	2	1	0
Field	P2A[4:0]					P1A[2:0]		
属性	R/W					R/W		
初期値	00000					000		

[bit7:3] P2A[4:0] : 優先度 2 アナログ入力選択

優先度 2(ソフトウェア/タイマ)起動時のアナログ入力チャネルを指定します。全チャネルから選択できます。製品仕様上存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

bit7:3	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

[bit2:0] P1A[2:0] : 優先度 1 アナログ入力選択

優先度 1(外部トリガ)起動時のアナログ入力チャネルを指定します。ch.0～ch.7 の 8 チャネルから選択できます。

bit2:0	説明
000	ch.0
001	ch.1
010	ch.2
・・・	・・・
101	ch.5
110	ch.6
111	ch.7

＜注意事項＞

- *A/D 変換中のチャネルの変更は禁止です。必ず A/D 変換の停止した状態で P1A, P2A に書き込んでください。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。*
  起動要因が無い期間ではチャネル変更が可能です。

5.11 A/D 比較値設定レジスタ(CMPD)

A/D 比較値設定レジスタ(CMPD)は、A/D 変換結果と比較するために、比較値を設定するレジスタです。本レジスタと A/D 比較コントロールレジスタ(CMPCR)で設定された条件を満たすと、A/D コントロールレジスタ(ADCR)の変換結果比較割込み要求ビット(CMPIF)がセットされます。

bit	31	30	29	28	27	26	25	24
Field	CMAD11	CMAD10	CMAD9	CMAD8	CMAD7	CMAD6	CMAD5	CMAD4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	CMAD3	CMAD2	予約					
属性	R/W	R/W	-					
初期値	0	0	XXXXXX					

[bit31:22] CMAD11～CMAD2 : A/D 変換比較値設定ビット

A/D 変換結果との比較値を設定するビットです。

A/D 変換結果の上位 10 ビット(bit11:2)と、本レジスタ(CMAD11～CMAD2)との比較を行います。A/D 変換結果の下位 2 ビット(bit1, bit0)の比較は行いません。

[bit21:16] 予約 : 予約ビット

読出し値は不定です。

5.12 A/D 比較コントロールレジスタ(CMPCR)

A/D 比較コントロールレジスタ(CMPCR)は、A/D 比較機能の制御を行います。A/D 比較値設定レジスタ(CMPD)と変換値の比較を行い本レジスタの比較条件を満たすと、A/D コントロールレジスタ(ADCR)の変換結果比較割込み要求ビット(CMPIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	CMPEN	CMD1	CMD0	CCH[4:0]				
属性	R/W	R/W	R/W	R/W				
初期値	0	0	0	00000				

[bit7] CMPEN： 変換結果比較機能動作許可ビット

A/D 比較機能の動作を許可するビットです。

bit	説明
0	比較機能動作停止
1	比較機能動作許可

[bit6] CMD1： 比較モード 1

変換割込み要求を発生させる条件を設定します。

bit	説明
0	A/D 変換結果の上位 10 ビット(bit11:2)が CMPD 設定値より小さい場合に割込み要求発生
1	A/D 変換結果の上位 10 ビット(bit11:2)が CMPD 設定値と同じか大きい場合に割込み要求発生

[bit5] CMD0： 比較モード 0

比較対象を選択します。"1"のときは CCH[4:0]ビットの設定は無効となります。

bit	説明
0	CCH[4:0]ビットで設定したチャネルの変換結果を比較
1	全チャネルの変換結果を比較

[bit4:0] CCH[4:0]： 比較対象アナログ入力チャネル

比較対象とするアナログチャネルを設定します。CMD0 ビットが"1"のときはこのビットの設定は無効となります。製品仕様上存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

bit4:0	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

5.13 サンプリング時間選択レジスタ(ADSS)

サンプリング時間選択レジスタ(ADSS3～ADSS0)は、ビットごとにサンプリング時間を設定可能にします。サンプリング時間設定レジスタ 0, 1(ADST0/ADST1)のどちらのサンプリング時間を使用するかは本レジスタにより設定します。

ADSS3(上位バイト ：TS31～TS24), ADSS2(下位バイト ：TS23～TS16)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TS31	TS30	TS29	TS28	TS27	TS26	TS25	TS24	TS23	TS22	TS21	TS20	TS19	TS18	TS17	TS16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] TS31～TS16： サンプリング時間選択ビット

該当するチャネルにサンプリング時間設定レジスタ(ADST)で指定したサンプリング時間を設定します。"0"に設定すると ADST0 に設定した時間に、"1"に設定すると ADST1 に設定した時間となります。TS31 は ch.31 に、･･･、TS16 は ch.16 に対応します。

ADSS1(上位バイト ：AN15～AN8), ADSS0(下位バイト ：AN7～AN0)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] TS15～TS0： サンプリング時間選択ビット

該当するチャネルにサンプリング時間設定レジスタ(ADST)で指定したサンプリング時間を設定します。"0"に設定すると ADST0 に設定した時間に、"1"に設定すると ADST1 に設定した時間となります。TS15 は ch.15 に、･･･、TS0 は ch.0 に対応します。

＜注意事項＞

- *A/D 変換中のサンプリング時間選択レジスタ(ADSS)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間選択レジスタ(ADSS)への書込みが可能です。*
- *製品仕様上存在しないチャネルに該当するビットへの"1"設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。*

5.14 サンプリング時間設定レジスタ(ADST)

サンプリング時間設定レジスタ 0/1(ADST0/ADST1)は、A/D 変換のサンプリング時間を設定します。
ADST0 と ADST1 の 2 種類用意し、サンプリング時間選択レジスタ(ADSS3～ADSS0)にてどちらのサンプリング時間を使用するか選択できます。

ADST0(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	STX02	STX01	STX00	ST04	ST03	ST02	ST01	ST00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

[bit15:13] STX02～STX00： サンプリング時間 N 倍設定ビット

ST04～ST00 ビットで設定したサンプリング時間の設定値を N 倍します。

bit15	bit14	bit13	説明
0	0	0	設定値×1 倍 (初期値)
0	0	1	設定値×4 倍
0	1	0	設定値×8 倍
0	1	1	設定値×16 倍
1	0	0	設定値×32 倍
1	0	1	設定値×64 倍
1	1	0	設定値×128 倍
1	1	1	設定値×256 倍

[bit12:8] ST04～ST00： サンプリング時間設定ビット

A/D 変換のサンプリング時間を設定します。

サンプリング時間 ＝ ベースクロック(HCLK)周期×クロック分周比×{(ST 設定値＋1)×STX 設定値＋3}

例) ST04～ST00 = 9, STX02, STX01, STX00 = 001(4 倍), CT7～CT0 = 0x00 (クロック分周比 2), HCLK = 20MHz(50ns)の場合
サンプリング時間 = 50ns×2×{(9 + 1)×4 + 3} = 4300ns

＜注意事項＞

- *A/D 変換中のサンプリング時間設定レジスタ(上位バイト)(ADST0)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間設定レジスタ(上位バイト)(ADST0)への書込みが可能です。*
- *サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、入力チャネルの外部インピーダンス，アナログ電源電圧(AVCC)，ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *STX02, STX01, STX00=000(ST04～ST00 の設定値×1 倍)に設定した場合、ST04～ST00 は"2"以上を設定してください("1"以下は設定禁止です)。*

ADST1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	STX12	STX11	STX10	ST14	ST13	ST12	ST11	ST10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

[bit7:5] STX12～STX10： サンプリング時間 N 倍設定ビット

ST14～ST10 ビットで設定したサンプリング時間の設定値を N 倍します。

bit7	bit6	bit5	説明
0	0	0	設定値×1 倍 (初期値)
0	0	1	設定値×4 倍
0	1	0	設定値×8 倍
0	1	1	設定値×16 倍
1	0	0	設定値×32 倍
1	0	1	設定値×64 倍
1	1	0	設定値×128 倍
1	1	1	設定値×256 倍

[bit4:0] ST14～ST10： サンプリング時間設定ビット

A/D 変換のサンプリング時間を設定します。

サンプリング時間 = ベースクロック(HCLK)周期×クロック分周比×{(ST 設定値＋1)×STX 設定値＋3}

例) ST14～ST10 = 9, STX12, STX11, STX10 = 001(4 倍), CT7～CT0 = 0x00 (クロック分周比 2), HCLK = 20MHz(50ns)の場合
サンプリング時間 = 50ns×2×{(9 + 1)×4 + 3} = 4300ns

<注意事項>

- *A/D 変換中のサンプリング時間設定レジスタ(下位バイト)(ADST1)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間設定レジスタ(下位バイト)(ADST1)への書込みが可能です。*
- *サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、入力チャネルの外部インピーダンス，アナログ電源電圧(AVCC)，ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *STX12, STX11, STX10=000(ST14～ST10 の設定値×1 倍)に設定した場合、ST14～ST10 は"2" 以上を設定してください("1"以下は設定禁止です)。*

5.15 クロック分周比設定レジスタ(ADCT)

クロック分周比設定レジスタ(ADCT)は、A/D 変換時間のうちクロック分周比を設定するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	CT7	CT6	CT5	CT4	CT3	CT2	CT1	CT0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

[bit7:0] CT7～CT0： クロック分周比設定ビット

A/D 変換のクロック生成のための HCLK の分周比を設定するビットです。

分周比の設定は、サンプリング時間設定レジスタ 0/1(ADST0/1)ともに共通です。

bit7:0	説明
0x80	分周比 1
0x00	分周比 2
0x01	分周比 3
0x02	分周比 4
・・・	・・・
0x07	分周比 9 (初期値)
・・・	・・・
0x3C	分周比 62
0x3D	分周比 63
0x3E	分周比 64
0x3F	分周比 65

コンペアクロック周期 = ベースクロック(HCLK)周期×クロック分周比
コンペア時間 = クロック周期比×14

例) CT 設定値 =0(クロック分周比 2), HCLK = 20MHz(50ns)の場合、
コンペアクロック周期 = 50ns×2 = 100ns
コンペア時間 = 100ns×14 = 1400ns

<注意事項>

- *本レジスタに対して"0x40"～"0x7F"の設定は禁止です。*
- *A/D 変換中のクロック分周比設定レジスタ(ADCT)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではクロック分周比設定レジスタ(ADCT)への書込みが可能です。*
  クロック生成部のベースクロックプリスケーラレジスタ(BSC_PSR)を"0x0"に設定している場合のみ、分周比 1 での A/D 変換ができます。
- *コンペアクロック周期は、ご使用する製品の『データシート』の「電気的特性」記載内容に従い、アナログ電源電圧(AVCC)，ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*

5.16 A/D 動作許可設定レジスタ(ADCEN)

A/D 動作許可設定レジスタ(ADCEN)は、12 ビット A/D コンバータを動作許可状態に設定するレジスタです。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ENBLTIME[15:8]								予約						READY	ENBL
属性	R/W								R						R	R/W
初期値	0xFF								000000						0	0

[bit15:8] ENBLTIME[15:8] : 動作許可状態遷移サイクル選択ビット

動作許可状態遷移期間サイクル数を選択するビットです。

動作許可状態遷移期間 = ベースクロック(HCLK)周期×(ENBLTIME 設定値×4＋1)

例) ENBLTIME[15:8] = 0xFF, HCLK = 20MHz(50ns)の場合、
動作許可状態遷移期間 = 50ns×(255×4＋1) = 51050ns

[bit7:2] 予約 : 予約ビット

読出し値は不定です。

[bit1] READY : A/D 動作許可状態ビット

A/D コンバータが動作許可状態か動作禁止状態を示すビットです。

動作許可状態のときのみ A/D 変換ができます。
動作停止状態中の A/D 変換要求は無視されます。
A/D 変換中に動作停止状態となった場合、A/D 変換は直ちに停止します。

bit	説明
0	動作停止状態
1	動作許可状態

[bit0] ENBL : A/D 動作許可ビット

A/D コンバータを動作許可にするビットです。

本ビットに"1"を書き込むことで、動作許可状態遷移期間後に A/D コンバータは動作許可状態となります。
また、本ビットに"0"を書き込むことで、A/D コンバータは動作停止状態となります。

bit	説明
0	動作停止
1	動作許可

＜注意事項＞

- *動作許可状態遷移期間は、ご使用する製品の『データシート』の「電気的特性」記載内容にしたがって、アナログ電源電圧(AVCC)，ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。*
- *ENBL ビットへの"1 "書込みから、READY ビットが"1 "になるまでの期間の ENBLTIME[15:8] ビットの書換えは禁止です。*
- *CPU をタイマモード，ストップモード, RTC モード，ディープスタンバイ STOP モード，ディープスタンバイ RTC モードに設定するときには、ENBL="0"を設定して A/D コンバータを動作停止状態にしてください。*

5.17 上限しきい値設定レジスタ(WCMPDH)

上限しきい値設定レジスタ(WCMPDH)は、レンジ比較で使用する上限しきい値を設定します。

bit	31	30	29	28	27	26	25	24
Field	CMHD11	CMHD10	CMHD9	CMHD8	CMHD7	CMHD6	CMHD5	CMHD4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	CMHD3	CMHD2	予約					
属性	R/W	R/W	R					
初期値	0	0	000000					

[bit31:22] CMHD11～CMHD2 : 上限しきい値ビット

レンジ比較で使用する上限しきい値を設定します。

bit31:22	説明
上限しきい値	

[bit21:16] 予約 : 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、必ず"0"を書き込んでください。

<注意事項>

- *レンジ比較機能有効時、A/D 変換結果の上位 10 ビット(bit11:2)と、本レジスタ(CMHD)との比較を行います。 A/D 変換結果の下位 2 ビット(bit1:0)の比較は行いません。*

5.18 レンジ比較コントロールレジスタ(WCMPCR)

レンジ比較コントロールレジスタ(WCMPCR)は、連続検出回数指示および状態確認，範囲内／範囲外確認選択，レンジ範囲外での上限値超過/下限値超過，レンジ比較割込み許可/禁止を行います。

bit	7	6	5	4	3	2	1	0
Field	RCOCD2	RCOCD1	RCOCD0	RCOIRS	RCOIE	RCOE	予約	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	1	0	0	0	00	

[bit7:5] : RCOCD2～RCOCD0： 連続検出回数指定・状態表示ビット

レンジ比較結果の連続検出回数指定および連続検出回数の状態表示するビットです。

bit7:5	説明	
	RMW アクセス時以外の読出し時	RMW アクセス時の読出し時 または　書込み時
000	連続検出状態：0 回	設定禁止
001	連続検出状態：1 回	連続検出 1 回指定
010	連続検出状態：2 回	連続検出 2 回指定
011	連続検出状態：3 回	連続検出 3 回指定
100	連続検出状態：4 回	連続検出 4 回指定
101	連続検出状態：5 回	連続検出 5 回指定
110	連続検出状態：6 回	連続検出 6 回指定
111	連続検出状態：7 回	連続検出 7 回指定

- レンジ比較結果が連続回数指定値に到達すると対応する起動チャネルのレンジ比較割込み要因フラグビット(RCINT)に"1"を設定します。また、連続検出状態は連続回数指定値にて停止します。
- リードモディファイライト(RMW)アクセス時以外のリード時は、連続検出状態が読み出されます。
- リードモディファイライト(RMW)アクセス時のリード時には、ライト時の値（連続回数指示値）が読み出されます。

＜注意事項＞

- *レンジ比較実行許可中(RCOE="1")に連続検出回数指定・状態表示ビット(RCOCD) の変更は禁止です。*
- *連続検出回数指定・状態表示ビット(RCOCD)は"000"に設定は禁止です。*

[bit4] RCOIRS： 範囲内・範囲外確認選択ビット

bit	説明
0	範囲外を確認
1	範囲内を確認

■ A/D 変換結果(スキャン変換 or 優先変換)が、上下限しきい値選択ビット(RCOTS)により選択した上限しきい値ビット(CMHD)と下限しきい値ビット(CMLD)に対して、範囲内または範囲外のレンジ比較条件を選択します。

■ 範囲外確認(RCOIRS="0")時のレンジ比較条件は以下です。

A/D 変換結果(スキャン変換 or 優先変換) ＞ 上限しきい値ビット(CMHD)
または
A/D 変換結果(スキャン変換 or 優先変換) ＜ 下限しきい値ビット(CMLD)

■ 範囲内確認時(RCOIRS="1")のレンジ比較条件は以下です。

A/D 変換結果(スキャン変換 or 優先変換) ≦ 上限しきい値ビット(CMHD)
かつ
A/D 変換結果(スキャン変換 or 優先変換) ≧ 下限しきい値ビット(CMLD)

■ 範囲外確認(RCOIRS="0")のレンジ比較検出時、しきい値超過フラグビット(RCOOF)により上限しきい値超過もしくは下限しきい値未満の確認ができます。

[bit3] RCOIE： レンジ比較割込み要求許可ビット

bit	説明
0	レンジ比較割込み禁止
1	レンジ比較割込み許可

対応する起動チャネルのレンジ比較割込み要因フラグビット(RCINT)が"1"にセット状態、かつレンジ比較割込み要求許可設定(RCOIE="1")されている場合、割込み要求が発生します。

[bit2] RCOE： レンジ比較実行許可ビット

A/D 比較機能とレンジ比較機能を選択します。

bit	説明
0	レンジ比較実行禁止
1	レンジ比較機能有効

本ビットが"0"のとき、レンジ比較実行は禁止されます。また、連続検出回数状態は、"000_B"に初期化されます。
本ビットが"1"のとき、レンジ比較機能動作が許可されます。

[bit1:0] 予約 ： 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、必ず"0"を書き込んでください。

5.19 下限しきい値設定レジスタ(WCMPDL)

下限しきい値設定レジスタ(WCMPDL)は、レンジ比較で使用する下限しきい値を設定します。

bit	15	14	13	12	11	10	9	8
Field	CMLD11	CMLD10	CMLD9	CMLD8	CMLD7	CMLD6	CMLD5	CMLD4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CMLD3	CMLD2	予約					
属性	R/W	R/W	R					
初期値	0	0	000000					

[bit15:6] CMLD11～CMLD2： 下限しきい値ビット

レンジ比較で使用する下限しきい値を設定します。

bit15:6	説明
下限しきい値	

[bit5:0] 予約 ： 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、必ず"0"を書き込んでください。

＜注意事項＞

- *レンジ比較機能有効時、A/D 変換結果の上位 10 ビット(bit11:2)と、本レジスタ(CMLD)との比較を行います。 A/D 変換結果の下位 2 ビット(bit1:0)の比較は行いません。*

5.20 レンジ比較チャネル選択レジスタ(WCMPSR)

レンジ比較チャネル選択レジスタ(WCMPSR)は、レンジ比較を行うチャネルの設定を行います。

Bit	15	14	13	12	11	10	9	8
Field	予約		WCMD	WCCH[4:0]				
属性	R		R/W	R/W				
初期値	00		0	00000				

[bit15:14] 予約 : 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、必ず"0"を書き込んでください。

[bit13] WCMD : 比較モード選択ビット

bit	説明
0	WCCH[4:0]ビットで設定したチャネルの変換結果を比較
1	全チャネルの変換結果を比較

レンジ比較の比較対象を選択します。"1"の時は WCCH[4:0]ビットの設定は無効になります。

[bit12:8] WCCH[4:0] : 比較対象アナログ入力チャネル

bit12:8	説明
00000	Ch.0
00001	Ch.1
00010	Ch.2
・・・	・・・
11101	Ch.29
11110	Ch.30
11111	Ch.31

比較対象とするアナログ入力チャネルを設定します。WCMD ビットが"1"のときはこのビットの設定は無効となります。品種仕様上存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する品種の『データシート』を参照してください。

5.21 レンジ比較しきい値超過フラグレジスタ(WCMRCOT)

レンジ比較しきい値超過フラグレジスタ(WCMRCOT)は、範囲外確認設定においてレンジ比較した結果、上限しきい値超過または下限しきい値未満を表示します。

Bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約							RCOOF
属性	R							R/W
初期値	0000000							0

[bit31:1] 予約 ： 予約ビット

読出し時は、常に""0""が読み出されます。
書込み時は、常に"0"を書き込んでください。

[bit0] RCOOF： しきい値超過フラグビット

bit	説明
0	下限しきい値未満　(A/D データ＜下限しきい値ビット)
1	上限しきい値超過　(A/D データ＞上限しきい値ビット)

■ 範囲外確認(RCOIRS="0")時

レンジ比較結果が上限しきい値設定レジスタより大きいとき本ビットは"1"に、下限しきい値設定レジスタより小さいとき本ビットは"0"になります。
レンジ比較結果が範囲内の場合、しきい値超過フラグビットは前値を保持します。

■ 対応する起動チャネルのレンジ比較割込み要因フラグビット(RCINT)が"1"にセット状態の場合、範囲外確認(RCOIRS="0")でレンジ比較結果は範囲外を検出しても、しきい値超過フラグビット(RCOOF)は更新されず前値を保持します。

■ 範囲内確認(RCOIRS="1")時、しきい値超過フラグビットは意味を持ちません。（前値を保持します。）

5.22 レンジ比較フラグレジスタ(WCMRCIF)

レンジ比較フラグレジスタ(WCMRCIF)は、レンジ比較結果の連続検出による割込み要因を表示します。

Bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	R							
初期値	0x00							

Bit	7	6	5	4	3	2	1	0
Field	予約							RCINT
属性	R							R/W
初期値	0000000							0

[bit31:1] 予約 : 予約ビット

読出し時は、常に"0"が読み出されます。
書込み時は、常に"0"を書き込んでください。

[bit0] RCINT : レンジ比較割込み要因フラグビット

bit	説明	
	読出し時	書込み時
0	レンジ比較割込み要因クリア状態	ビットクリア
1	レンジ比較結果の連続検出による割込み要因発生状態	変化なし、ほかへの影響なし

- 対応する起動チャネルのレンジ比較結果の連続検出で本ビットは"1"にセットされます。
- 対応する起動チャネルの RCINT ビットとレンジ比較割込み要求許可(RCOIE)が"1"のとき、レンジ比較割込み要求を発生します。
- 書込み時は、"0"で RCINT ビットがクリアされ、"1"では変化せずほかへの影響はありません。

<注意事項>

- *リードモディファイライト(RMW)アクセス時には、"1"が読み出されます。*
- *ソフトウェアクリア(RCINT="0"書込み）と、ハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。*

CHAPTER 1-3: A/D タイマトリガ選択

A/D コンバータのタイマトリガ選択の機能と動作について説明します。

1. 概要
2. レジスタ

1. 概要

A/D コンバータのタイマトリガ選択の動作について説明します。

A/D コンバータのタイマトリガ選択

A/D コンバータは、Table 1-1 に示す要因で起動できます。

Table 1-1 A/D コンバータの起動要因

変換種類	起動要因
優先度 1 の優先変換	外部トリガ端子入力(立下りエッジ)
優先度 2 の優先変換	- ソフトウェア(優先変換コントロールレジスタ(PCCR)の優先変換スタートビット(PSTR)に"1"書込み) - タイマからのトリガ入力(立上りエッジ)
スキャン変換	- ソフトウェア(スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"書込み) - タイマからのトリガ入力(立上りエッジ)

タイマからの A/D コンバータ起動の手段として、ベースタイマと多機能タイマから選択できます。

そのタイマからの起動要因の選択は、スキャン変換タイマトリガ選択レジスタ(SCTSL)、あるいは優先変換タイマトリガ選択レジスタ(PRTSL)によってそれぞれ選択してください。タイマ起動を許可した状態で、選択されたタイマの立上りエッジを検出すると A/D 変換を開始します。

同じ起動要因を複数の A/D コンバータで兼用できます。

12 ビット A/D コンバータの動作詳細は、『12 ビット A/D コンバータ』の動作説明を参照してください。

2. レジスタ

A/D タイマトリガ選択で使用するレジスタの構成と機能について説明します。

A/D コンバータのタイマトリガ選択レジスター覧

レジスタ略称	レジスタ名	参照先
SCTSL	スキャン変換タイマトリガ選択レジスタ	2.1
PRTSL	優先変換タイマトリガ選択レジスタ	2.2

2.1 スキャン変換タイマトリガ選択レジスタ(SCTSL)

スキャン変換タイマトリガ選択レジスタ(SCTSL)は、スキャン変換動作時のタイマトリガを選択します。

bit	15	14	13	12	11	10	9	8
Field	予約				SCTSL[3:0]			
属性	R				R/W			
初期値	XXXX				0000			

[bit15:12] 予約 : 予約ビット

書込みは動作に影響しません。読出し値は不定です。

[bit11:8] SCTSL[3:0] : スキャン変換タイマトリガ選択ビット

bit11:8	説明
0000	選択トリガなし(入力 0 固定)
0001	多機能タイマのスキャン変換起動
0010	ベースタイマ ch.0
0011	ベースタイマ ch.1
0100	ベースタイマ ch.2
0101	ベースタイマ ch.3
0110	ベースタイマ ch.4
0111	ベースタイマ ch.5
1000	ベースタイマ ch.6
1001	ベースタイマ ch.7
1010	ベースタイマ ch.8
1011	ベースタイマ ch.9
1100	ベースタイマ ch.10
1101	ベースタイマ ch.11
1110	ベースタイマ ch.12
1111	ベースタイマ ch.13

2.2 優先変換タイマトリガ選択レジスタ(PRTSL)

優先変換タイマトリガ選択レジスタ(PRTSL)は、優先変換動作時のタイマトリガを選択します。

bit	7	6	5	4	3	2	1	0
Field	予約				PRTSL[3:0]			
属性	R				R/W			
初期値	XXXX				0000			

[bit7:4] 予約 : 予約ビット

書込みは動作に影響しません。読出し値は不定です。

[bit3:0] PRTSL[3:0] : 優先変換タイマトリガ選択ビット

bit3:0	説明
0000	選択トリガなし(入力 0 固定)
0001	多機能タイマの優先変換起動
0010	ベースタイマ ch.0
0011	ベースタイマ ch.1
0100	ベースタイマ ch.2
0101	ベースタイマ ch.3
0110	ベースタイマ ch.4
0111	ベースタイマ ch.5
1000	ベースタイマ ch.6
1001	ベースタイマ ch.7
1010	ベースタイマ ch.8
1011	ベースタイマ ch.9
1100	ベースタイマ ch.10
1101	ベースタイマ ch.11
1110	ベースタイマ ch.12
1111	ベースタイマ ch.13

CHAPTER 1-4: A/D コンバータ オフセットキャリブレーション機能

A/D コンバータのオフセットキャリブレーション機能について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. レジスター一覧
6. 使用上の注意

1. 概要

本デバイスの A/D コンバータは、プロセスばらつきによりオフセット誤差を持っています。
A/D コンバータのオフセット補正を行うことで、ゼロトランジション電圧/フルスケールトランジション電圧を補正します。中間 code の誤差をなくすことで、総合誤差を最小にすることができます。

Figure 1-1 補正前の総合誤差

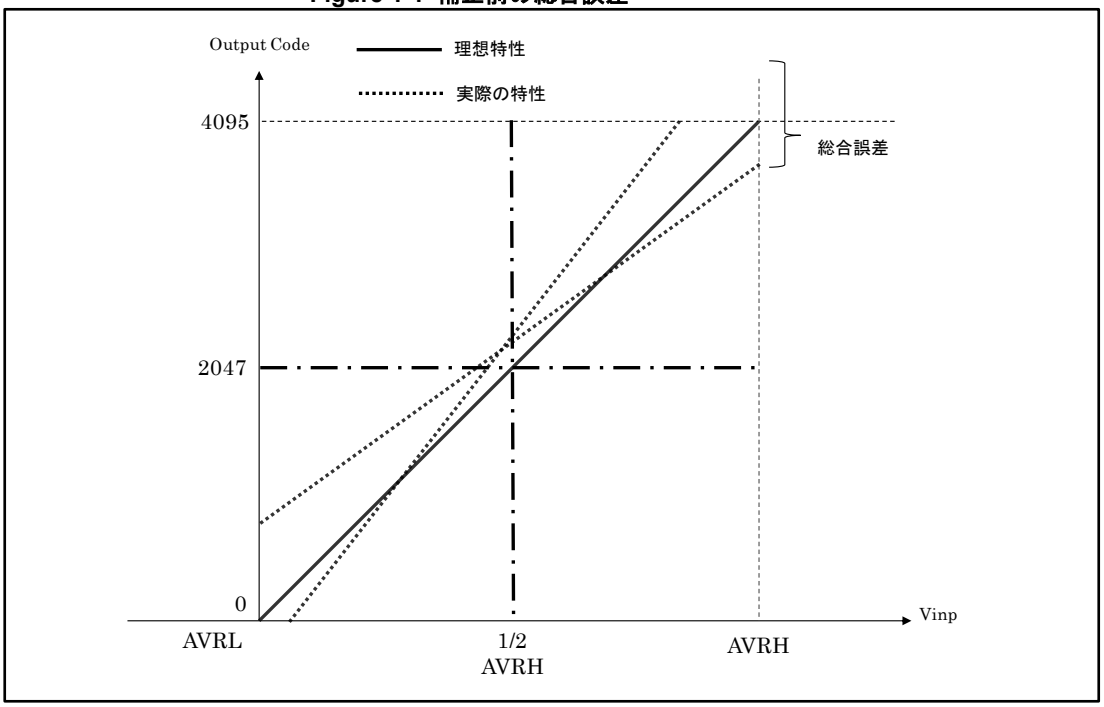
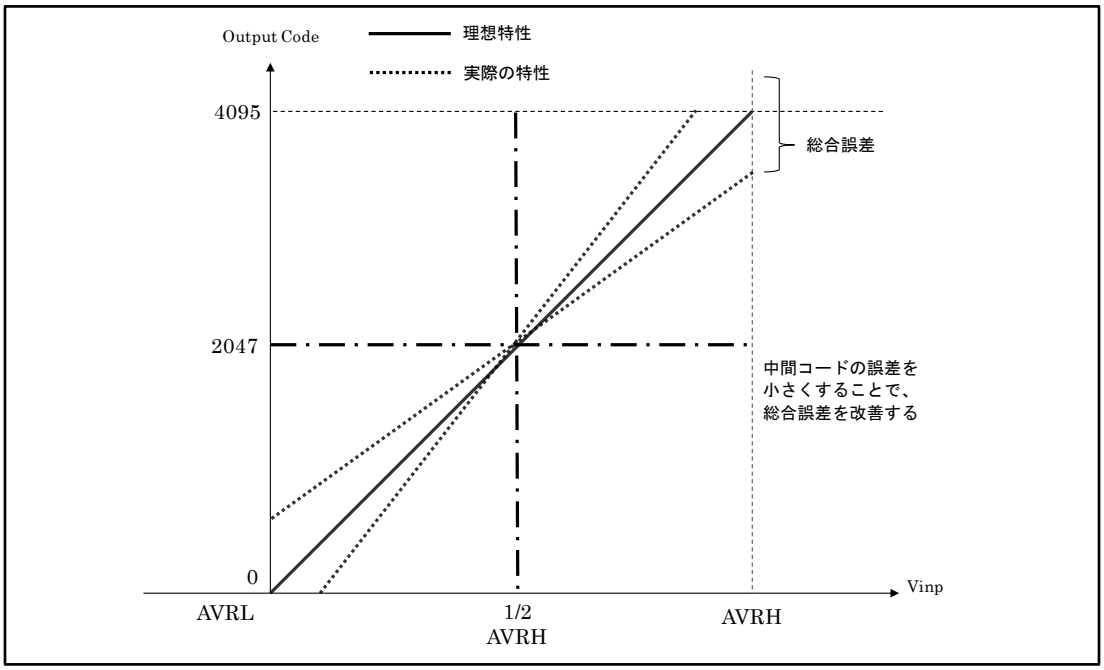


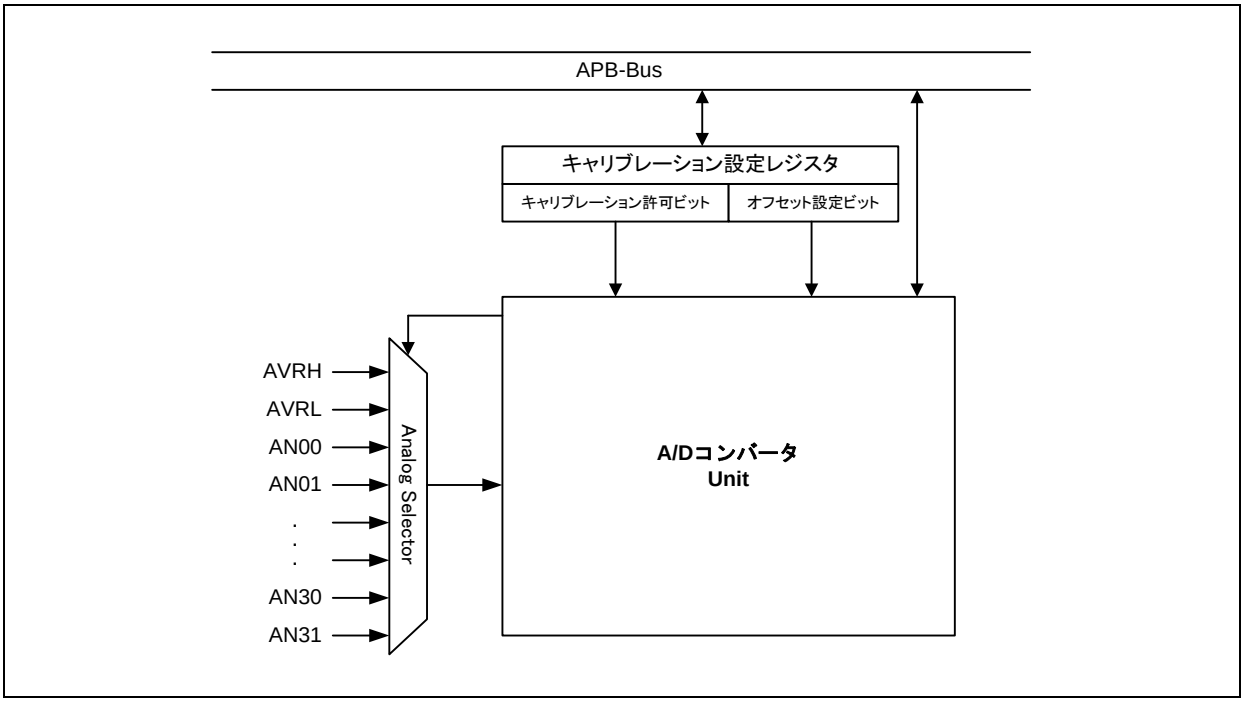
Figure 1-2 補正後の総合誤差



2. 構成・ブロックダイヤグラム

Figure 2-1 に A/D コンバータ オフセットキャリブレーション機能のブロックダイヤグラムを示します。

Figure 2-1 A/D コンバータ オフセットキャリブレーション機能 ブロックダイヤグラム



AVRH と AVRL は、キャリブレーション設定レジスタを設定することにより、A/D コンバータに接続され、A/D 変換することができます。

3. 動作説明

A/D コンバータのオフセットキャリブレーション機能の動作を説明します。

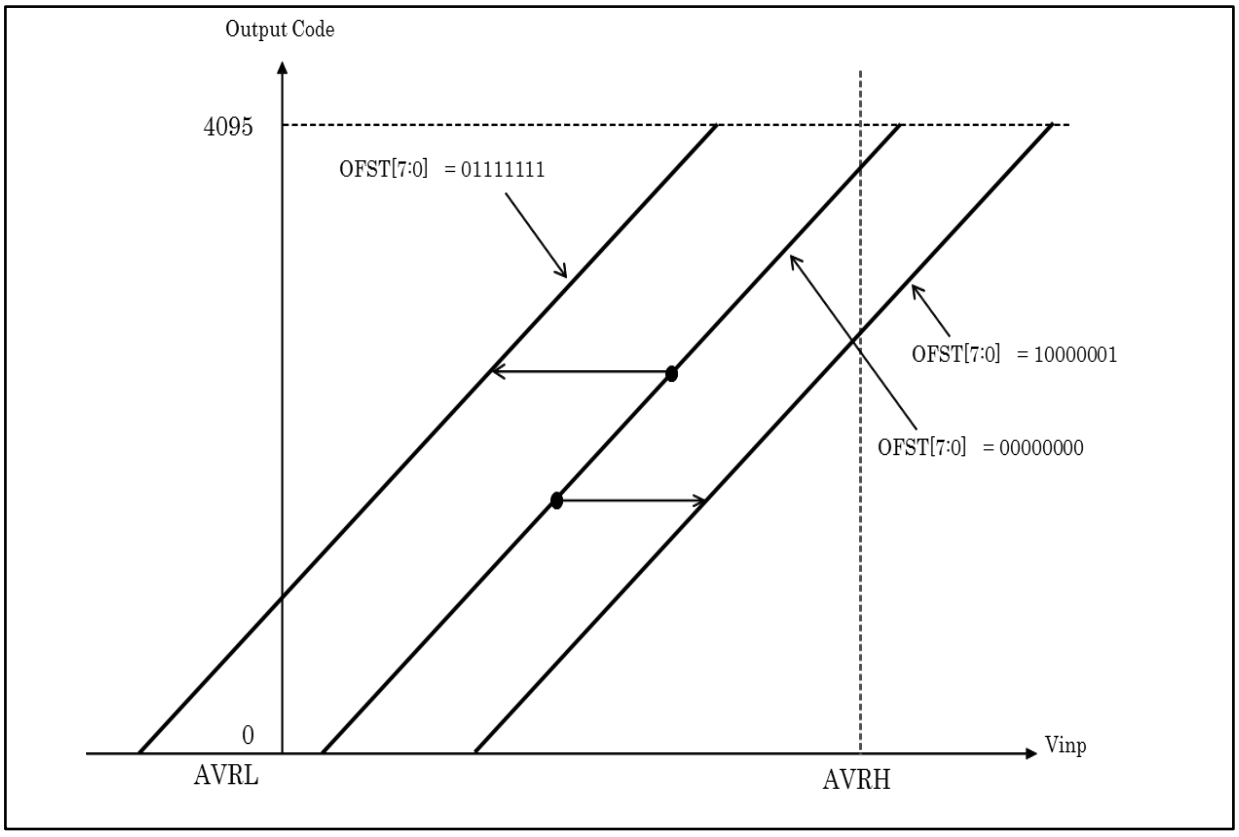
3.1 A/D コンバータ オフセットキャリブレーション機能の動作

3.1.1 オフセットキャリブレーション値設定

キャリブレーション設定レジスタ(CALSR)のオフセットキャリブレーション値設定ビット(OFST)にオフセットキャリブレーション値を書込むことにより、プロセスばらつきによる A/D コンバータのオフセット誤差を補正することができます。

Figure 3-1 にオフセットキャリブレーションを行った場合の、特性変化を示します。

Figure 3-1 オフセット特性



3.1.2 A/D コンバータオフセットキャリブレーション

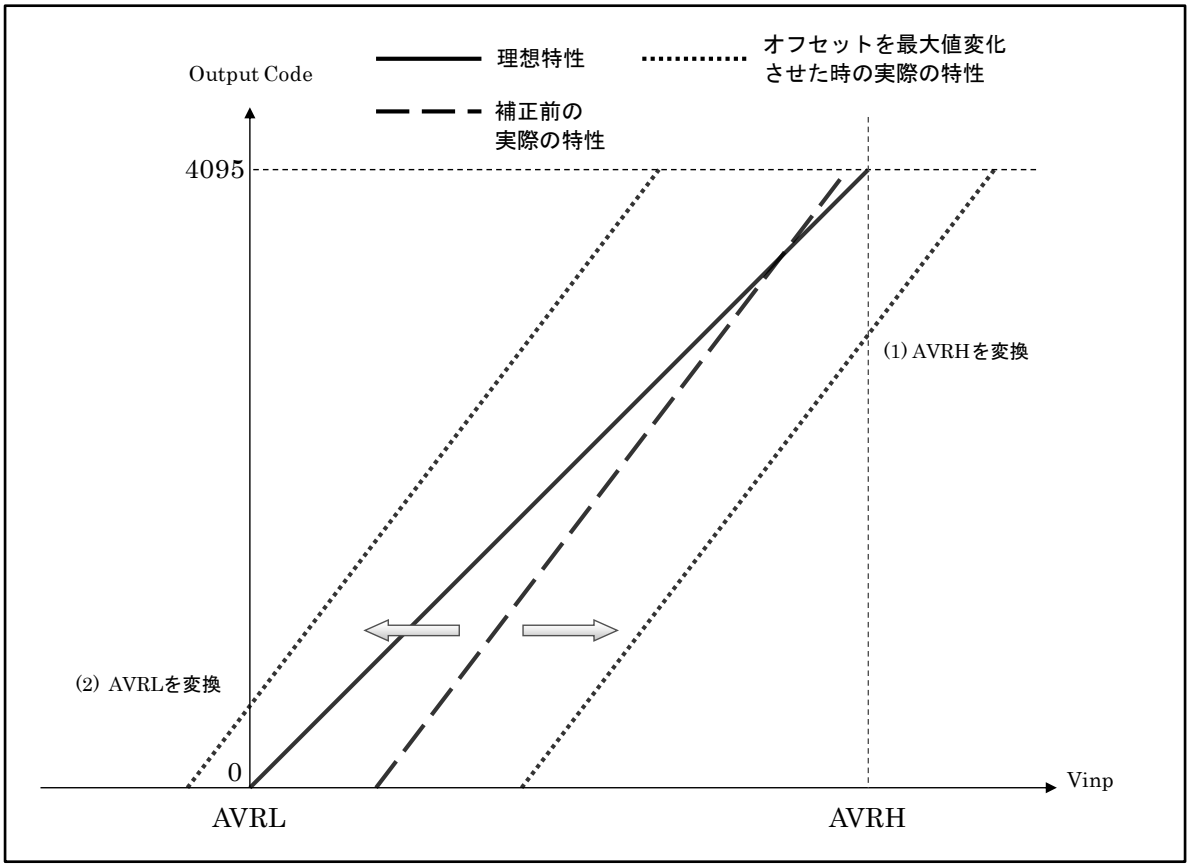
A/D コンバータのオフセットキャリブレーションを行うために、以下の 3 つの手順を行う必要があります。

- アナログ基準電圧値 AVRH の A/D 変換
- アナログ基準電圧値 AVRL の A/D 変換
- オフセットキャリブレーション値算出

3.1.3 章以降に詳細な設定手順を記載します。

A/D コンバータのオフセットキャリブレーションを行うために、アナログ基準電圧値を A/D 変換する必要があります。そのため、アナログ基準電圧値(AVRH/AVRL)を A/D 変換する機能を持っています。

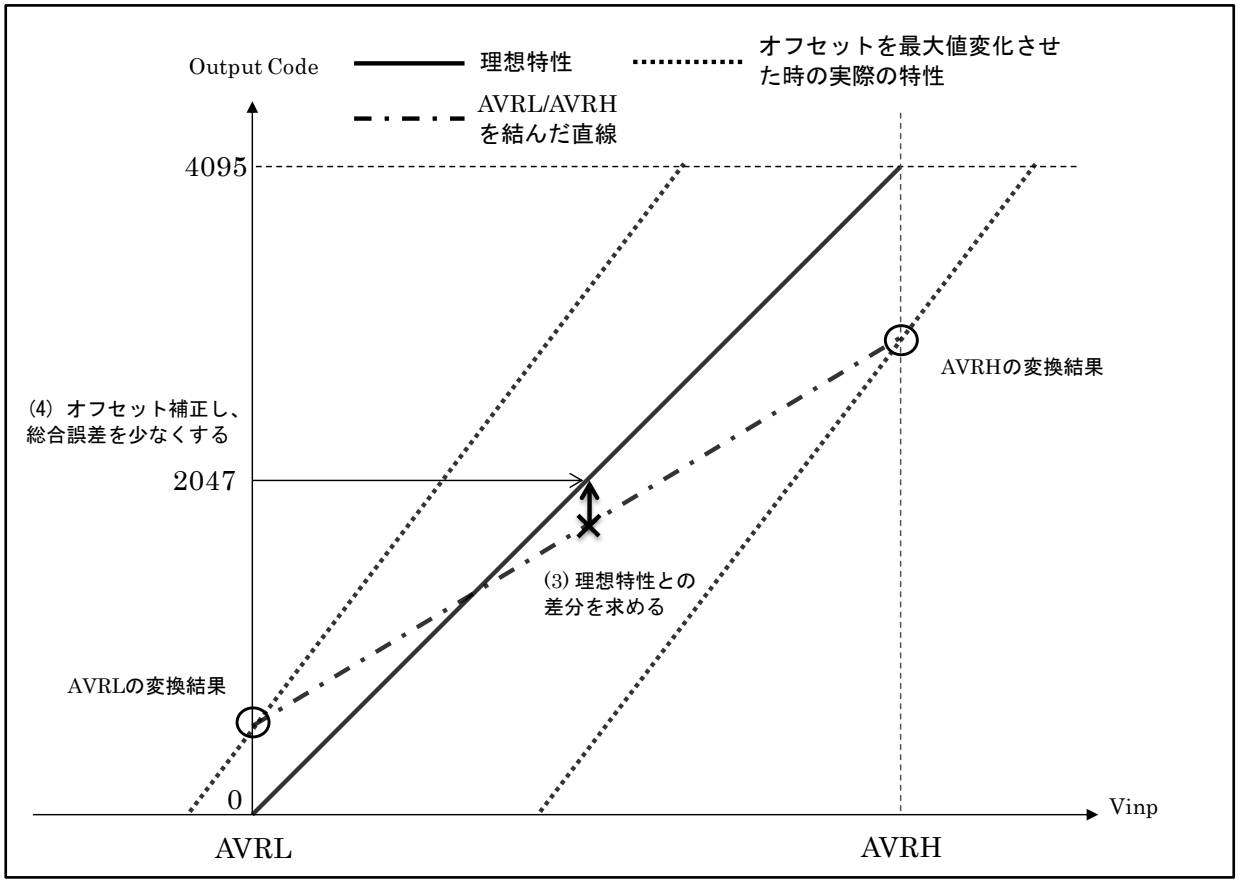
AVRH/AVRL の A/D 変換は、最大限オフセット補正を行い、AVRH/AVRL がどの code なのかを求めます。



(1) AVRH の変換方法は『3.1.3.1 AVRH の変換方法』を参照してください。

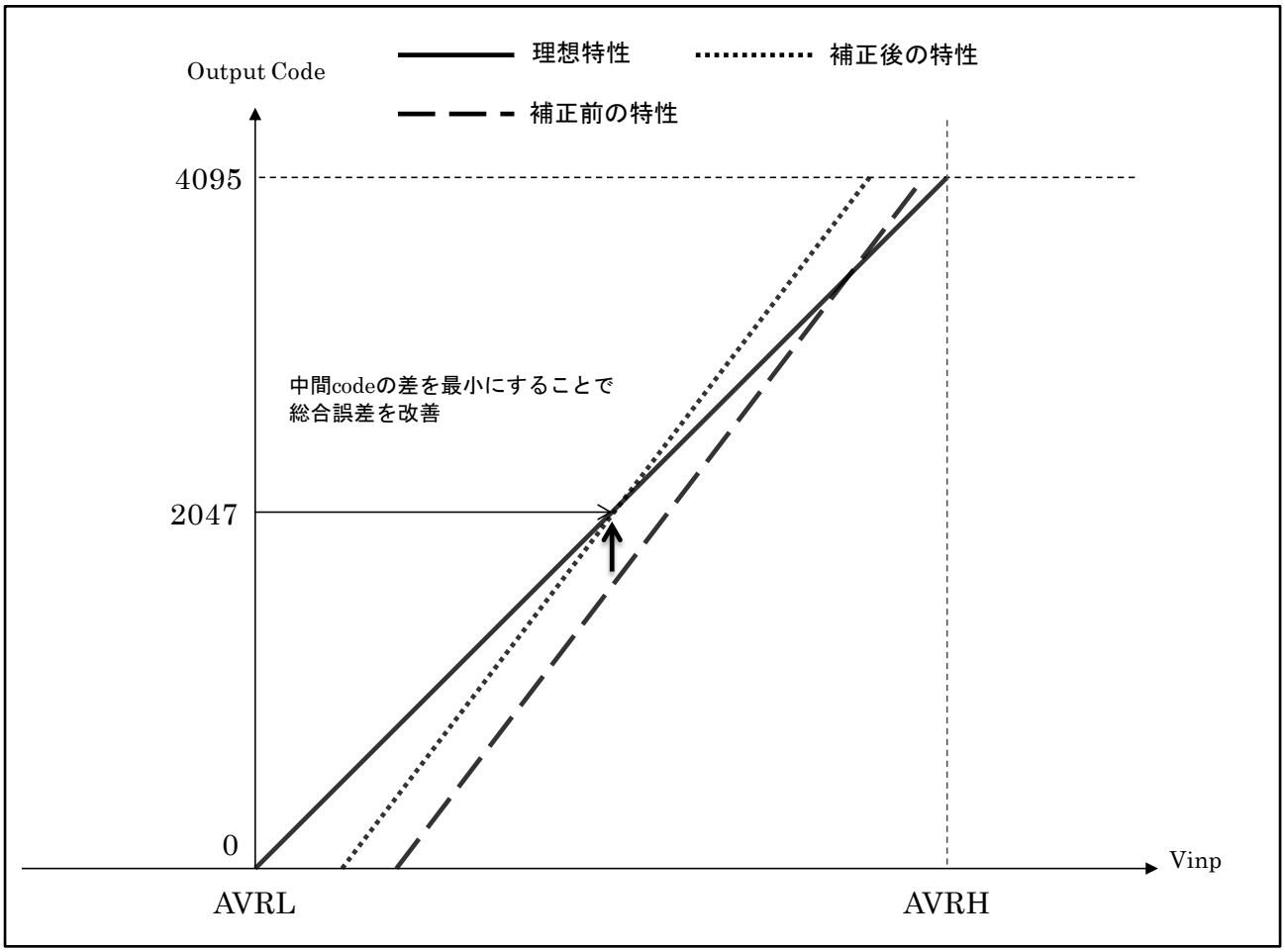
(2) AVRL の変換方法は『3.1.3.2 AVRL の変換方法』を参照してください。

次に、AVRH の変換結果と AVRL の変換結果を直線で結び、理想直線と中間 code の差を求めます。理想直線との差がキャリブレーション必要な code 量となります。



(3), (4) は『3.1.4 オフセットキャリブレーション値算出』を参照してください。

キャリブレーションが必要な中間 code の差を最小にすることで、総合誤差を改善することが可能になります。



3.1.3 A/D コンバータオフセットキャリブレーション設定例

3.1.3.1 AVRH の変換方法

1. スキャン変換入力選択レジスタ(SCIS)の AN0 に対応するビットのみを"1"に設定し、その他のビットはすべて"0"に設定します。
2. キャリブレーション設定レジスタ(CALSR)の CALEN ビットを"1"に、OFST ビットを"0x81"に設定します。
3. A/D コンバータのスキャン変換を行い、変換完了後スキャン変換 FIFO データレジスタ(SCFD)から変換結果を取得します。

3.1.3.2 AVRL の変換方法

1. スキャン変換入力選択レジスタ(SCIS)の AN1 に対応するビットのみを"1"に設定し、その他のビットはすべて"0"に設定します。
2. キャリブレーション設定レジスタ(CALSR)の CALEN ビットを"1"に、OFST ビットを"0x7F"に設定します。
3. A/D コンバータのスキャン変換を行い、変換完了後スキャン変換 FIFO データレジスタ(SCFD)から変換結果を取得します。

3.1.4 オフセットキャリブレーション値算出

キャリブレーション設定レジスタ(CALSR)のオフセットキャリブレーション値設定ビット(OFST)に書込むデータの算出方法は以下のとおりです。

AVRH/AVRL の電圧変換値から、以下の式を用いて実特性と理想特性との中間 code 差を計算します。

OFT_CAL = (4095 - (OFT_VRH + OFT_VRL)) * 2

OFT_VRH : AVRH の A/D 変換値
OFT_VRL : AVRL の A/D 変換値

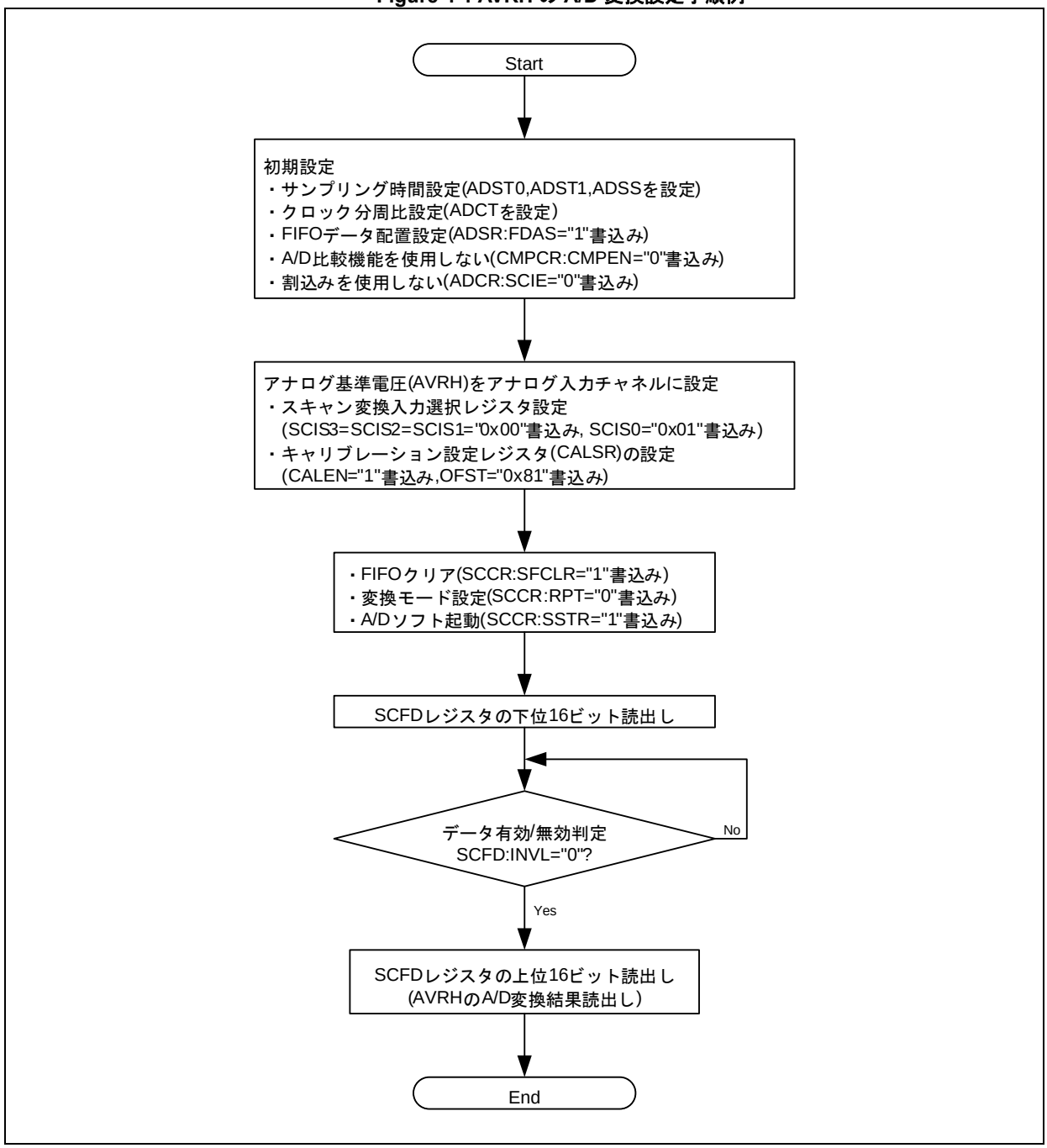
OFT_CAL の計算値を基に、オフセットキャリブレーション値(OFST)を算出し、オフセットキャリブレーション値設定ビット(OFST)に書き込みます。

OFST	OFT_CAL
0x7F	+127
:	:
0x01	+1
0x00	0
0xFF	-1
:	:
0x81	-127
0x80	設定禁止

4. 設定手順例

A/D コンバータのオフセットキャリブレーション機能の設定手順例を説明します。

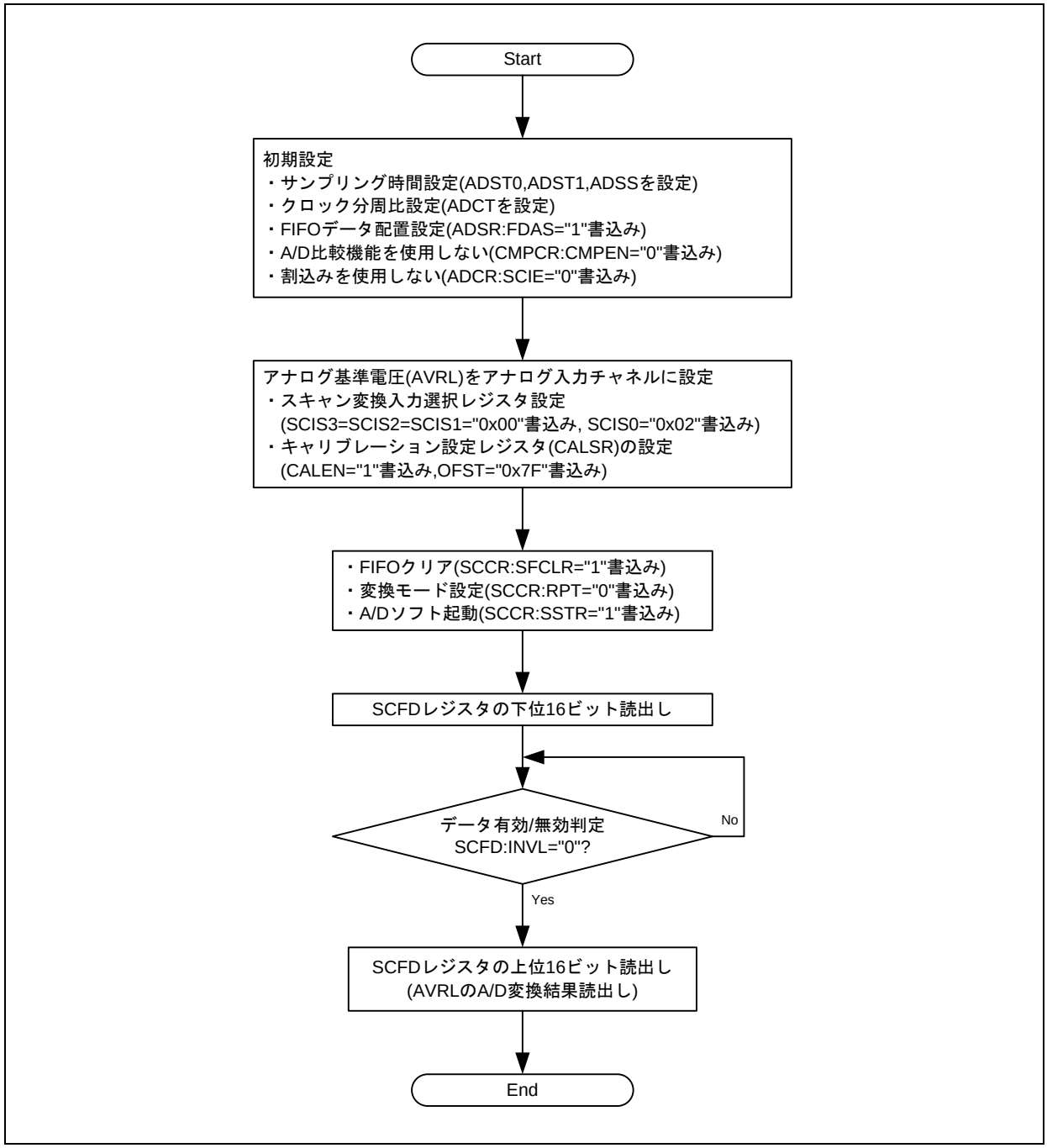
Figure 4-1 AVRH の A/D 変換設定手順例



<注意事項>

- *AVRH/AVRL の A/D 変換は、ご使用する製品の『データシート』の「電気的特性」記載内容の最速設定で変換可能です。*

Figure 4-2 AVRL の A/D 変換設定手順例



<注意事項>

- *AVRH/AVRL の A/D 変換は、ご使用する製品の『データシート』の「電気的特性」記載内容の最速設定で変換可能です。*

5. レジスター覧

A/D コンバータのオフセットキャリブレーション機能のレジスタについて説明します。

レジスタ略称	レジスタ名	参照先
CALSR	キャリブレーション設定レジスタ	5.1

5.1 キャリブレーション設定レジスタ(CALSR)

キャリブレーション設定レジスタ(CALSR)は、キャリブレーション(オフセットキャリブレーション)の許可設定とオフセットキャリブレーション値の設定を行います。

bit	31 … 9	8	7 … 0
Field	予約	CLBEN	OFST
属性	-	R/W	R/W
初期値	-	0	0x00

[bit31:9] 予約 : 予約ビット

読出し値は常に 0 が読み出されます。
書込みは、0 を書き込んでください。

[bit8] CLBEN : キャリブレーション許可ビット

本ビットは、A/D コンバータのキャリブレーション動作を許可します。

bit	説明
0	キャリブレーション動作停止　(初期値)
1	キャリブレーション動作許可

[bit7:0] OFST : オフセットキャリブレーション値設定ビット

本ビットは、A/D コンバータのオフセットキャリブレーション値を設定します。

bit	説明
書込み時	A/D コンバータのオフセットキャリブレーション値を設定します。
読出し時	設定された値が読み出されます。 初期値は、0x00 です。

OFST ビットを変更することにより設定できるキャリブレーション値は以下のとおりです。

OFT_CAL の算出方法は『3.1.4 オフセットキャリブレーション値算出』を参照してください。

OFST	OFT_CAL
0x7F	+127
:	:
0x01	+1
0x00	0
0xFF	-1
:	:
0x81	-127
0x80	設定禁止

<注意事項>

- *A/D 変換中は、本レジスタの書き換えは禁止です。*
- *キャリブレーション動作許可に設定した場合(CLBEN=1)、スキャン変換以外の変換動作は禁止です。*

6. 使用上の注意

A/D コンバータ オフセットキャリブレーション機能の使用上の注意を説明します。

- A/D 変換中のキャリブレーション設定レジスタ(CALSR)の書換えは禁止です。
- キャリブレーション動作許可(キャリブレーション設定レジスタ(CALSR)の CALEN=1)しているときは、スキャン変換以外の変換は禁止です。
- キャリブレーション動作を行う場合は、キャリブレーションを行うユニット以外の変換を停止させてください。
  複数ユニット同時のキャリブレーションは禁止です。
- AVRH、AVRL の A/D 変換中に、スキャン変換コントロールレジスタ(SCCR)の SSTR に 1 を設定して、スキャン変換の再起動をしないでください。
- AVRH、AVRL 以外のチャネルを A/D 変換する場合、必ずキャリブレーション設定レジスタ(CALSR)のオフセットキャリブレーション値設定ビット(CLBEN)を 0 に設定してください。
- 測定環境に起因して測定誤差が生じる場合は、AVRH/AVRL を複数回変換し、平均値を用いてオフセットキャリブレーションを行って下さい。

CHAPTER 2: 12 ビット D/A コンバータ

12 ビット D/A コンバータの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

1. 概要

12 ビット D/A コンバータは、12 ビットのデジタル値をアナログ出力に変換する機能です。

12 ビット D/A コンバータの特長

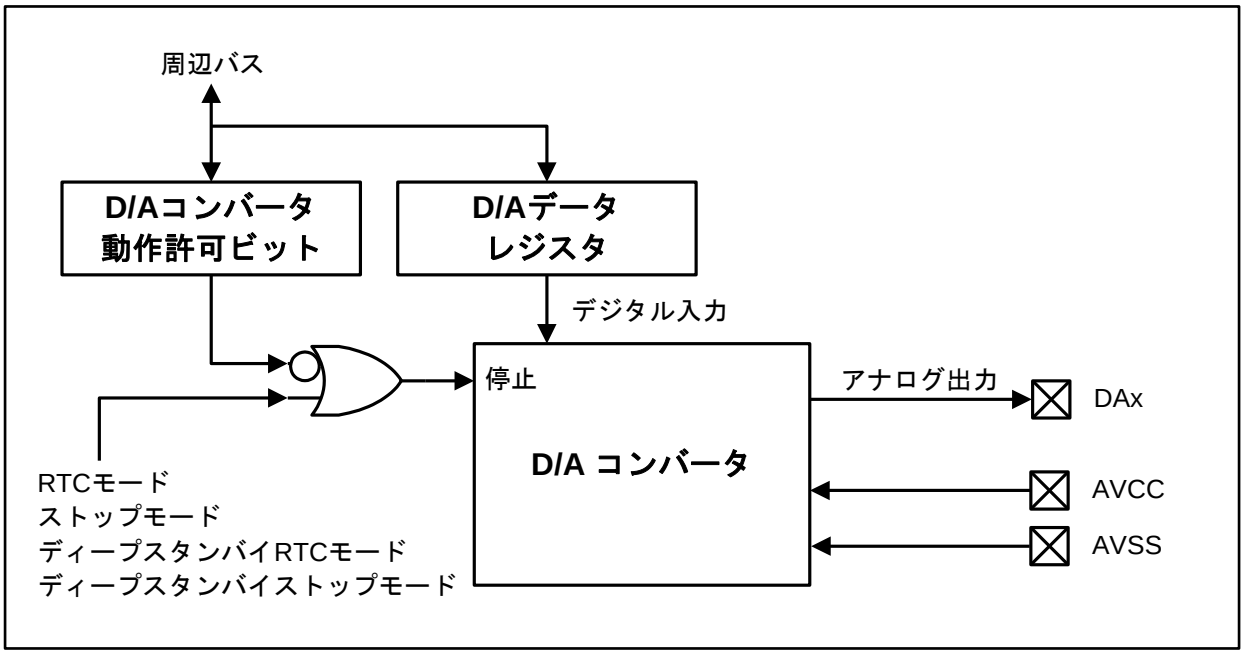
- 12 ビットの分解能を最大 2 ユニット搭載
  - 12 ビットモード/10 ビットモードを選択可能
- R-2R 方式
- 以下の低消費電力モード時に動作停止
  - RTC モード
  - ストップモード
  - ディープスタンバイ RTC モード
  - ディープスタンバイストップモード

2. 構成

12 ビット D/A コンバータの構成を示します。

12 ビット D/A コンバータのブロックダイヤグラム

Figure 2-1 12 ビット D/A コンバータのブロックダイヤグラム



3. 動作説明

12 ビット D/A コンバータの動作について説明します。

D/A コンバータは D/A 変換を行う前に動作許可状態にしてください。D/A コントロールレジスタ(DACR)の DAE ビットに"1"を書き込むことで、D/A コンバータは動作許可状態遷移期間後、動作停止状態から動作許可状態になります。また、D/A コントロールレジスタ(DACR)の DAE ビットに"0"を書き込むことで、D/A コンバータは即座に動作停止状態となります。

動作許可状態のときのみ D/A 変換ができます。動作停止状態中の D/A 変換は禁止です。
D/A コントロールレジスタ(DACR)の DRDY ビットを読み出すことで動作許可状態か否かを確認できます。

動作許可状態で D/A データレジスタ(DADR)に値を書き込むと、書き込まれたデジタル値をアナログ値に変換し、DAx 端子から出力します。その時、I/O ポートは入力方向、入力遮断、プルアップ切断状態になります。

一部の低消費電力モード時、DAE ビットに関わらず D/A コンバータの動作は停止します。
低消費電力モードからの復帰時に、D/A コントロールレジスタ(DACR)の DAE ビットが"1"の場合は、D/A コンバータは動作許可状態遷移期間後、動作停止状態から動作許可状態になります。

D/A コンバータの動作状態を Table 3-1 に示します。

Table 3-1 D/A コンバータの動作状態

動作モード	DRDY	D/A コンバータ動作
RTC モード ストップモード ディープスタンバイ RTC モード ディープスタンバイストップモード	-	停止
上記モード以外	0	停止
	1	許可

12 ビットモード時に D/A コンバータ動作許可時に出力できる電圧は 0.0V から 4095/4096×AVCC(AVCC : AVCC 端子の電圧)です。D/A データレジスタ(DADR)と出力電圧の理想値を Table 3-2 に示します。

Table 3-2 12 ビットモード時 DA[11:0]とアナログ出力値の関係

DA[11:0]	理想出力電圧
000000000000	0 / 4096 × AVCC
000000000001	1 / 4096 × AVCC
000000000010	2 / 4096 × AVCC
～	～
111111111101	4093 / 4096 × AVCC
111111111110	4094 / 4096 × AVCC
111111111111	4095 / 4096 × AVCC

10 ビットモード時に D/A コンバータ動作許可時に出力できる電圧は 0.0V から 1023/1024× AVCC(AVCC：AVCC 端子の電圧)です。10 ビットモードデータ配置選択ビット(DDAS)を"0"に設定した場合の D/A データレジスタ(DADR)の出力電圧の理想値を Table 3-3 に、10 ビットモードデータ配置選択ビット(DDAS)を"1"に設定した場合の D/A データレジスタ(DADR)の出力電圧の理想値を Table 3-4 に示します。

Table 3-3 DDAS= "0"の DA[11:0]とアナログ出力値の関係

DA[11:0]	理想出力電圧
000000000000	0 / 1024 × AVCC
000000000100	1 / 1024 × AVCC
000000001000	2 / 1024 × AVCC
～	～
111111110100	1021 / 1024 × AVCC
111111111000	1022 / 1024 × AVCC
111111111100	1023 / 1024 × AVCC

Table 3-4 DDAS= "1"の DA[11:0]とアナログ出力値の関係

DA[11:0]	理想出力電圧
000000000000	0 / 1024 × AVCC
000000000001	1 / 1024 × AVCC
000000000010	2 / 1024 × AVCC
～	～
001111111101	1021 / 1024 × AVCC
001111111110	1022 / 1024 × AVCC
001111111111	1023 / 1024 × AVCC

D/A コンバータ動作停止時、D/A コンバータの出力は Hi-Z です。

4. 設定手順例

12 ビット D/A コンバータの設定手順例を説明します。

D/A コンバータを動作させ、変換結果を DAx 端子に出力するための設定手順を以下に示します。

1. D/A コントロールレジスタ(DACR)の DAC10 および DDAS に動作モードを設定、DAE ビットに"1"を設定
2. D/A コントロールレジスタ(DACR)の DRDY ビットが"1"になるまで待つ
3. D/A データレジスタ(DADR)に D/A 変換したいデジタル値を設定

上記設定後、DAx 端子からアナログ値が出力されます。

<注意事項>

- *D/A コントロールレジスタ(DACR)の DAE に"1"を設定後、D/A データレジスタ(DADR)に書き込むまで、DAx 端子の出力は不定です。*

5. レジスタ

12 ビット D/A コンバータで使用するレジスタの構成と機能について説明します。

12 ビット D/A コンバータのレジスター覧

レジスタ略称	レジスタ名	参照先
DACR	D/A コントロールレジスタ	5.1
DADR	D/A データレジスタ	5.2

5.1 D/A コントロールレジスタ(DACR)

D/A コントロールレジスタ(DACR)は、D/A コンバータの動作を制御します。

bit	23	22	21	20	19	18	17	16
Field	予約		DDAS	DAC10	予約		DRDY	DAE
属性	-		R/W	R/W	-		R	R/W
初期値	XX		0	0	XX		0	0

[bit23:22] 予約 : 予約ビット

読出し値は不定です。
書込みは、動作に影響しません。

[bit21] DDAS : 10 ビットモード データ配置選択ビット

10 ビットモード時のデータレジスタの変換対象ビットを選択します。
12 ビットモード時では本レジスタの設定にかかわらず、データレジスタ DA[11:0]が選択されます。

bit	説明
0	データレジスタ DA[11:2]を選択
1	データレジスタ DA[9:0]を選択

[bit20] DAC10 : 10 ビットモード

10 ビットモード、12 ビットモードの切換えを行います。

bit	説明
0	12 ビットモード
1	10 ビットモード

[bit19:18] 予約 : 予約ビット

読出し値は不定です。
書込みは、動作に影響しません。

[bit17] DRDY : D/A コンバータ動作許可状態ビット

bit	説明
0	動作停止状態
1	動作許可状態

[bit16] DAE : D/A コンバータ動作許可ビット

bit	説明
0	D/A コンバータ動作停止
1	D/A コンバータ動作許可

5.2 D/A データレジスタ(DADR)

D/A データレジスタ(DADR)は、アナログ信号に変換するデジタル値を設定するレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約				DA[11:8]			
属性	-				R/W			
初期値	XXXX				XXXX			

bit	7	6	5	4	3	2	1	0
Field	DA[7:0]							
属性	R/W							
初期値	0xXX							

[bit15:12] 予約 : 予約ビット

読出し値は不定です。
書込みは動作に影響しません。

[bit11:0] DA[11:0] : D/A データビット

本ビットに書き込んだタイミングで、D/A 変換を行います。
10 ビットモード時に未使用のビットは"0"を書き込んでください。

本ビットの設定値と出力電圧の対応は Table 3-2 を参照してください。

Appendixes

レジスタマップ、制限事項について説明します。

A. レジスタマップ

B. 注意事項一覧

A.レジスタマップ

レジスタマップについて説明します。

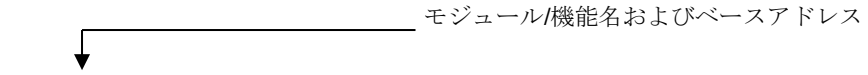
1. **レジスタマップ**
   - 1.1 FLASH_IF
   - 1.2 Unique ID
   - 1.3 ECC Capture Address
   - 1.4 Clock/Reset
   - 1.5 HW WDT
   - 1.6 SW WDT
   - 1.7 Dual_Timer
   - 1.8 MFT
   - 1.9 PPG
   - 1.10 Base Timer
   - 1.11 IO Selector for Base Timer
   - 1.12 QPRC
   - 1.13 QPRC NF
   - 1.14 A/DC
   - 1.15 CR Trim
   - 1.16 EXTI
   - 1.17 INT-Req. READ
   - 1.18 D/AC
   - 1.19 HDMI-CEC
   - 1.20 GPIO
   - 1.21 LVD
   - 1.22 DS_Mode
   - 1.23 USB Clock
   - 1.24 CAN_Prescaler
   - 1.25 MFS
   - 1.26 CRC
   - 1.27 Watch Counter
   - 1.28 RTC
   - 1.29 Low-speed CR Prescaler
   - 1.30 Peripheral Clock Gating
   - 1.31 Smart Card Interface
   - 1.32 MFSI2S
   - 1.33 I2S_Prescaler
   - 1.34 GDC_Prescaler
   - 1.35 EXT-Bus I/F
   - 1.36 USB
   - 1.37 DMAC
   - 1.38 DSTC

1.39 CAN
1.40 Ethernet-MAC
1.41 Ethernet-Control
1.42 I2S
1.43 SD-Card
1.44 CAN FD
1.45 Programmable-CRC
1.46 WorkFlash_IF
1.47 High-Speed Quad SPI Controller
1.48 HyperBus Interface
1.49 GDC Sub System Controller
1.50 GDC Sub System SDRAM Controller

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



Clock/Reset　　Base_Address : 0x4001_0000

Base_Address	Register			
+ Address	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[B,H,W] 00000-0-
0x004	-	-	-	SCM_STR[B,H,W] 00000-0-
0x008	STB_CTL[B,H,W] 00000000 00000000 -------- ---0--00			
0x00C	-	-	RST_STR[B,H,W] -------0 00000-01	

- : 予約領域
* : Test レジスタ領域

リセット後のレジスタ初期値
"1" ： 初期値は 1
"0" ： 初期値は 0
"X" ： 初期値は不定
" - " ： 予約ビット

レジスタ名

アクセス単位
(B : バイト, H : ハーフワード, W : ワード)

最右のレジスタ番地(ワードアクセスした場合は、"+0"の列のレジスタがデータのLSB 側になる)

<注意事項>

- *レジスタテーブルはリトルエンディアンで表されています。*
- *データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。*
  ワードアクセス:　　アドレスは 4 の倍数(最下位 2 ビットは 0x00)
  ハーフワードアクセス:　アドレスは 2 の倍数(最下位ビットは 0x0)
  バイトアクセス:　　-
- *Test レジスタ領域にはアクセスしないでください。*
- *レジスタテーブルに記載していない領域にはアクセスしないでください。*
- *レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。*

1.1 FLASH_IF

1.1.1 TYPE1-M4, TYPE2-M4 製品

FLASH_IF　　Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

1.1.2 TYPE3-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C	-	-	-	-
0x030	DFCTRLR[W]			
0x034 - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x10C	-	-	-	-
0x110	FGPDM1[B,H,W]			
0x114	FGPDM2[B,H,W]			
0x118	FGPDM3[B,H,W]			
0x11C	FGPDM4[B,H,W]			
0x120 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	DFASZR[B,H,W]			
0x404	DFRWTR[B,H,W]			
0x408	DFSTR[B,H,W]			
0x40C - 0x4FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

1.1.3 TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

FLASH_IF Base_Address : 0x4000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x10C	-	-	-	-
0x110	FGPDM1[B,H,W]			
0x114	FGPDM2[B,H,W]			
0x118	FGPDM3[B,H,W]			
0x11C	FGPDM4[B,H,W]			
0x120 - 0x1FC	-	-	-	-

＜注意事項＞

- *Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

1.2 Unique ID

Unique ID　　Base_Address : 0x4000_0200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	UIDR0[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W] -------- -------- ---XXXXX XXXXXXXX			
0x008 - 0xDFC	-	-	-	-

1.3 ECC Capture Address

ECC Capture Address　　Base_Address : 0x4000_0300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FERRAD[W] -------- -XXXXXXX XXXXXXXX XXXXXXXX			
0x004 - 0xFFC	-	-	-	-

1.4 Clock/Reset

1.4.1 TYPE1-M4, TYPE2-M4 製品

Clock/Reset　　Base_Address : 0x4001_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 0000--01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] ------00
0x024 – 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C – 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] 00000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] --000000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0–000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C – 0xFFC	-	-	-	-

1.4.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

Clock/Reset **Base_Address : 0x4001_0000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 0000--01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] ------00
0x024 – 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C – 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] 00000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] --000000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0–000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C - 0x070	-	-	-	-
0x074	PLLCG_CTL[W] -------- 11111111 00000000 00----00			
0x078 – 0xFFC	-	-	-	-

1.5 HW WDT

HW WDT　　Base_Address : 0x4001_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WDG_LDR[W] 00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	-	-	-	WDG_CTL[W] ------11
0x00C	-	-	-	WDG_ICL[W] XXXXXXXX
0x010	-	-	-	WDG_RIS[W] -------0
0x014	*			
0x018 – 0xBFC	-	-	-	-
0xC00	WDG_LCK[W] 00000000 00000000 00000000 00000001			
0xC04 – 0xFFC	-	-	-	-

1.6 SW WDT

SW WDT　　Base_Address : 0x4001_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WdogLoad[W] 11111111 11111111 11111111 11111111			
0x004	WdogValue[W] 11111111 11111111 11111111 11111111			
0x008	-	-	-	WdogControl[W] ---00000
0x00C	WdogIntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	-	-	-	WdogRIS[W] -------0
0x014	*			
0x018	-	-	-	WdogSPMC[W] -------0
0x01C – 0xBFC	-	-	-	-
0xC00	WdogLock[W] 00000000 00000000 00000000 00000000			
0xC04 - 0xDFC	-	-	-	-
0xF00 - 0xF04	*			
0xF08 - 0xFDF	-	-	-	-
0xFE0 - 0xFFC	*			

1.7 Dual_Timer

Dual_Timer　　Base_Address : 0x4001_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	Timer1Load[W] 00000000 00000000 00000000 00000000			
0x004	Timer1Value[W] 11111111 11111111 11111111 11111111			
0x008	Timer1Control[W] -------- -------- -------- 00100000			
0x00C	Timer1IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W] -------- -------- -------- -------0			
0x014	Timer1MIS[W] -------- -------- -------- -------0			
0x018	Timer1BGLoad[W] 00000000 00000000 00000000 00000000			
0x020	Timer2Load[W] 00000000 00000000 00000000 00000000			
0x024	Timer2Value[W] 11111111 11111111 11111111 11111111			
0x028	Timer2Control[W] -------- -------- -------- 00100000			
0x02C	Timer2IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W] -------- -------- -------- -------0			
0x034	Timer2MIS[W] -------- -------- -------- -------0			
0x038	Timer2BGLoad[W] 00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.8 MFT

1.8.1 TYPE1-M4, TYPE2-M4 製品

MFT unit0 **Base_Address : 0x4002_0000**
MFT unit1 **Base_Address : 0x4002_1000**
MFT unit2 **Base_Address : 0x4002_2000**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	-	OCSD10[B,H,W] 00000000	OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	-	OCSD32[B,H,W] 00000000	OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	-	OCSD54[B,H,W] 00000000	OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-		-	WFIR[H,W] 00000000 00000000
0x1B4	-		-	NZCL[H,W] 00000000 00000000
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	-	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	-	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	-	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000
0x1E0	-	-	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	-	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	-	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC-0xFFC	-	-	-	-

1.8.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

MFT unit0 Base_Address : 0x4002_0000
MFT unit1 Base_Address : 0x4002_1000
MFT unit2 Base_Address : 0x4002_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	OCCP0[H,W] 00000000 00000000		-	-
0x104	OCCP1[H,W] 00000000 00000000		-	-
0x108	OCCP2[H,W] 00000000 00000000		-	-
0x10C	OCCP3[H,W] 00000000 00000000		-	-
0x110	OCCP4[H,W] 00000000 00000000		-	-
0x114	OCCP5[H,W] 00000000 00000000		-	-
0x118	OCSD10[B,H,W] --000000 00000000		OCSB10[B,H,W] 00000000	OCSA10[B,H,W] 00000000
0x11C	OCSD32[B,H,W] --000000 00000000		OCSB32[B,H,W] 00000000	OCSA32[B,H,W] 00000000
0x120	OCSD54[B,H,W] --000000 00000000		OCSB54[B,H,W] 00000000	OCSA54[B,H,W] 00000000
0x124	-	-	OCSC[B,H,W] --000000	-
0x128	-	-	OCSE0[B,H,W] 00000000 00000000	
0x12C	OCSE1[B,H,W] 00000000 00000000 00000000 00000000			
0x130	-	-	OCSE2[B,H,W] 00000000 00000000	
0x134	OCSE3[B,H,W] 00000000 00000000 00000000 00000000			
0x138	-	-	OCSE4[B,H,W] 00000000 00000000	
0x13C	OCSE5[B,H,W] 00000000 00000000 00000000 00000000			
0x140	TCCP0[H,W] 11111111 11111111		-	-
0x144	TCDT0[H,W] 00000000 00000000		-	-
0x148	TCSC0[H,W] 00000000 00000000		TCSA0[B,H,W] 00000000 01000000	
0x14C	TCCP1[H,W] 11111111 11111111		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x150	TCDT1[H,W] 00000000 00000000		-	-
0x154	TCSC1[H,W] 00000000 00000000		TCSA1[B,H,W] 00000000 01000000	
0x158	TCCP2[H,W] 11111111 11111111		-	-
0x15C	TCDT2[H,W] 00000000 00000000		-	-
0x160	TCSC2[H,W] 00000000 00000000		TCSA2[B,H,W] 00000000 01000000	
0x164	TCAL[W] 00000000 00000000 11111111 11111111 *1			
	-	-	-	- *2
	*1 MFT unit0 *2 MFT unit1,unit2			
0x168	-	OCFS54[B,H,W] 00000000	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x16C	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x170	-	ACFS54[B,H,W] 00000000	ACFS32[B,H,W] 00000000	ACFS10[B,H,W] 00000000
0x174	ICCP0[H,W] 00000000 00000000		-	-
0x178	ICCP1[H,W] 00000000 00000000		-	-
0x17C	ICCP2[H,W] 00000000 00000000		-	-
0x180	ICCP3[H,W] 00000000 00000000		-	-
0x184	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x188			ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x18C	WFTF10[H,W] 00000000 00000000		-	-
0x190	WFTB10[H,W] 00000000 00000000		WFTA10[H,W] 00000000 00000000	
0x194	WFTF32[H,W] 00000000 00000000		-	-
0x198	WFTB32[H,W] 00000000 00000000		WFTA32[H,W] 00000000 00000000	
0x19C	WFTF54[H,W] 00000000 00000000		-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A0	WFTB54[H,W] 00000000 00000000		WFTA54[H,W] 00000000 00000000	
0x1A4	-	-	WFSA10[B,H,W] --000000 000000	
0x1A8	-	-	WFSA32[B,H,W] --000000 000000	
0x1AC	-	-	WFSA54[B,H,W] --000000 000000	
0x1B0	-	-	WFIR[H,W] 00000000 00000000	
0x1B4	-	-	NZCL[H,W] 00000000 00000000	
0x1B8	ACMP0[H,W] 00000000 00000000		-	-
0x1BC	ACMP1[H,W] 00000000 00000000		-	-
0x1C0	ACMP2[H,W] 00000000 00000000		-	-
0x1C4	ACMP3[H,W] 00000000 00000000		-	-
0x1C8	ACMP4[H,W] 00000000 00000000		-	-
0x1CC	ACMP5[H,W] 00000000 00000000		-	-
0x1D0	-	-	ACSA[B,H,W] 00000000 00000000	
0x1D4	-	ACMC0[B,H,W] 00--0000	ACSD0[B,H,W] 00000000	ACSC0[B,H,W] 00000000
0x1D8	-	ACMC1[B,H,W] 00--0000	ACSD1[B,H,W] 00000000	ACSC1[B,H,W] 00000000
0x1DC	-	ACMC2[B,H,W] 00--0000	ACSD2[B,H,W] 00000000	ACSC2[B,H,W] 00000000
0x1E0	-	ACMC3[B,H,W] 00--0000	ACSD3[B,H,W] 00000000	ACSC3[B,H,W] 00000000
0x1E4	-	ACMC4[B,H,W] 00--0000	ACSD4[B,H,W] 00000000	ACSC4[B,H,W] 00000000
0x1E8	-	ACMC5[B,H,W] 00--0000	ACSD5[B,H,W] 00000000	ACSC5[B,H,W] 00000000
0x1EC	-	-	-	TCSD[B,H,W] ------00
0x1F0-0xFFC	-	-	-	-

1.9 PPG

PPG Base_Address : 0x4002_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	TTCR0 [B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0 [B,H,W] 00000000	-
0x00C	-	-	-	COMP2 [B,H,W] 00000000
0x010	-	-	COMP4 [B,H,W] 00000000	-
0x014	-	-	-	COMP6 [B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1 [B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1 [B,H,W] 00000000	-
0x02C	-	-	-	COMP3 [B,H,W] 00000000
0x030	-	-	COMP5 [B,H,W] 00000000	-
0x034	-	-	-	COMP7 [B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2 [B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8 [B,H,W] 00000000	-
0x04C	-	-	-	COMP10 [B,H,W] 00000000
0x050	-	-	COMP12 [B,H,W] 00000000	-
0x054	-	-	-	COMP14 [B,H,W] 00000000
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG0 [B,H,W] 00000000 00000000	
0x104	-	-	REVC0 [B,H,W] 00000000 00000000	
0x108 - 0x13C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x140	-	-	TRG1 [B,H,W] -------- 00000000	
0x144	-	-	REVC1 [B,H,W] -------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0 [B,H,W] 00000000	PPGC1 [B,H,W] 00000000
0x204	-	-	PPGC2 [B,H,W] 00000000	PPGC3 [B,H,W] 00000000
0x208	-	-	PRLH0 [B,H,W] XXXXXXXX	PRLL0 [B,H,W] XXXXXXXX
0x20C	-	-	PRLH1 [B,H,W] XXXXXXXX	PRLL1 [B,H,W] XXXXXXXX
0x210	-	-	PRLH2 [B,H,W] XXXXXXXX	PRLL2 [B,H,W] XXXXXXXX
0x214	-	-	PRLH3 [B,H,W] XXXXXXXX	PRLL3 [B,H,W] XXXXXXXX
0x218	-	-	-	GATEC0 [B,H,W] --00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4 [B,H,W] 00000000	PPGC5 [B,H,W] 00000000
0x244	-	-	PPGC6 [B,H,W] 00000000	PPGC7 [B,H,W] 00000000
0x248	-	-	PRLH4 [B,H,W] XXXXXXXX	PRLL4 [B.H.W] XXXXXXXX
0x24C	-	-	PRLH5 [B,H,W] XXXXXXXX	PRLL5 [B,H,W] XXXXXXXX
0x250	-	-	PRLH6 [B,H,W] XXXXXXXX	PRLL6 [B,H,W] XXXXXXXX
0x254	-	-	PRLH7 [B,H,W] XXXXXXXX	PRLL7 [B,H,W] XXXXXXXX
0x258	-	-	-	GATEC4 [B,H,W] ------00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8 [B,H,W] 00000000	PPGC9 [B,H,W] 00000000
0x284	-	-	PPGC10 [B,H,W] 00000000	PPGC11 [B,H,W] 00000000
0x288	-	-	PRLH8 [B,H,W] XXXXXXXX	PRLL8 [B,H,W] XXXXXXXX
0x28C	-	-	PRLH9 [B,H,W] XXXXXXXX	PRLL9 [B,H,W] XXXXXXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x290	-	-	PRLH10 [B,H,W] XXXXXXXX	PRLL10 [B,H,W] XXXXXXXX
0x294	-	-	PRLH11 [B,H,W] XXXXXXXX	PRLL11 [B,H,W] XXXXXXXX
0x298	-	-	-	GATEC8 [B,H,W] --00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12 [B,H,W] 00000000	PPGC13 [B,H,W] 00000000
0x2C4	-	-	PPGC14 [B,H,W] 00000000	PPGC15 [B,H,W] 00000000
0x2C8	-	-	PRLH12 [B,H,W] XXXXXXXX	PRLL12 [B,H,W] XXXXXXXX
0x2CC	-	-	PRLH13 [B,H,W] XXXXXXXX	PRLL13 [B,H,W] XXXXXXXX
0x2D0	-	-	PRLH14 [B,H,W] XXXXXXXX	PRLL14 [B,H,W] XXXXXXXX
0x2D4	-	-	PRLH15 [B,H,W] XXXXXXXX	PRLL15 [B,H,W] XXXXXXXX
0x2D8	-	-	-	GATEC12 [B,H,W] ------00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16 [B,H,W] 00000000	PPGC17 [B,H,W] 00000000
0x304	-	-	PPGC18 [B,H,W] 00000000	PPGC19 [B,H,W] 00000000
0x308	-	-	PRLH16 [B,H,W] XXXXXXXX	PRLL16 [B,H,W] XXXXXXXX
0x30C	-	-	PRLH17 [B,H,W] XXXXXXXX	PRLL17 [B,H,W] XXXXXXXX
0x310	-	-	PRLH18 [B,H,W] XXXXXXXX	PRLL18 [B,H,W] XXXXXXXX
0x314	-	-	PRLH19 [B,H,W] XXXXXXXX	PRLL19 [B,H,W] XXXXXXXX
0x318	-	-	-	GATEC16 [B,H,W] --00---00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20 [B,H,W] 00000000	PPGC21 [B,H,W] 00000000
0x344	-	-	PPGC22 [B,H,W] 00000000	PPGC23 [B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x348	-	-	PRLH20 [B,H,W] XXXXXXXX	PRLL20 [B.H.W] XXXXXXXX
0x34C	-	-	PRLH21 [B,H,W] XXXXXXXX	PRLL21 [B,H,W] XXXXXXXX
0x350	-	-	PRLH22 [B,H,W] XXXXXXXX	PRLL22 [B,H,W] XXXXXXXX
0x354	-	-	PRLH23 [B,H,W] XXXXXXXX	PRLL23 [B,H,W] XXXXXXXX
0x358	-	-	-	GATEC20 [B,H,W] ------00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	-
0x384 - 0xFFC	-	-	-	-

1.10 Base Timer

Base Timer ch.0 Base Address : 0x4002_5000
Base Timer ch.1 Base Address : 0x4002_5040
Base Timer ch.2 Base Address : 0x4002_5080
Base Timer ch.3 Base Address : 0x4002_50C0
Base Timer ch.4 Base Address : 0x4002_5200
Base Timer ch.5 Base Address : 0x4002_5240
Base Timer ch.6 Base Address : 0x4002_5280
Base Timer ch.7 Base Address : 0x4002_52C0
Base Timer ch.8 Base Address : 0x4002_5400
Base Timer ch.9 Base Address : 0x4002_5440
Base Timer ch.10 Base Address : 0x4002_5480
Base Timer ch.11 Base Address : 0x4002_54C0
Base Timer ch.12 Base Address : 0x4002_5600
Base Timer ch.13 Base Address : 0x4002_5640
Base Timer ch.14 Base Address : 0x4002_5680
Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL [H,W] XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF [H,W] XXXXXXXX XXXXXXXX	
0x008	-	-	TMR [H,W] 00000000 00000000	
0x00C	-	-	TMCR [B,H,W] -0000000 00000000	
0x010	-	-	TMCR2 [B,H,W] 0------0	STC [B,H,W] 0000-000
0x014 - 0x03C	-	-	-	-

1.11 IO Selector for Base Timer

IO Selector for ch.0-ch.3 (Base Timer)　　Base Address : 0x4002_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL0123 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7(Base Timer)Base Address : 0x4002_5300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL4567 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11(Base Timer)　　Base Address : 0x4002_5500

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL89AB [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15(Base Timer)　　Base Address : 0x4002_5700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSELCDEF [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simultaneous Startup(Base Timer)　　Base Address : 0x4002_5F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] XXXXXXXX XXXXXXXX	

1.12 QPRC

1.12.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

QPRC ch.0 Base Address : 0x4002_6000

QPRC ch.1 Base Address : 0x4002_6040

QPRC ch.2 Base Address : 0x4002_6080

QPRC ch.3 Base Address : 0x4002_60C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -------- -----000	
0x0020 - 0x003B	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

1.12.2 TYPE3-M4, TYPE4-M4, TYPE5-M4 製品

QPRC ch.0 Base Address : 0x4002_6000
QPRC ch.1 Base Address : 0x4002_6040
QPRC ch.2 Base Address : 0x4002_6080
QPRC ch.3 Base Address : 0x4002_60C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -------- ----0000	
0x0020 - 0x003B	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

1.13 QPRC NF

QPRC ch.0 NF Base Address : 0x4002_6100
QPRC ch.1 NF Base Address : 0x4002_6110
QPRC ch.2 NF Base Address : 0x4002_6120
QPRC ch.3 NF Base Address : 0x4002_6130

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	-	NFCTLA[B,H,W] --00-000
0x0004	-	-	-	NFCTLB[B,H,W] --00-000
0x0008	-	-	-	NFCTLZ[B,H,W] --00-000
0x000C	-	-	-	-

1.14 A/DC

12bit A/DC unit0 Base_Address : 0x4002_7000
12bit A/DC unit1 Base_Address : 0x4002_7100
12bit A/DC unit2 Base_Address : 0x4002_7200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---1--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W] ----0000
0x03C	-	-	ADCEN[B,H,W] 11111111 ------00	
0x040	CALSR[B,H,W] -------- -------- -------0 00000000			
0x044	-	-	-	WCMRCIF[B,H,W] 00000000
0x048	-	-	-	WCMRCOT[B,H,W] 00000000
0x04C	-	-	WCMPSR[B,H,W] 00000000	WCMPCR[B,H,W] 00100000
0x050	WCMPDH[B,H,W] 00000000 00000000		WCMPDL[B,H,W] 00000000 00000000	
0x040 - 0x0FC	-	-	-	-

1.15 CR Trim

CR Trim Base_Address : 0x4002_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W] -----001
0x004	-	-	MCR_FTRM[B,H,W] ------01 11101111	
0x008	-	-	-	MCR_TTRM[B,H,W] ---10000
0x00C	MCR_RLR[W] 00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.16 EXTI

1.16.1 TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE4-M4 製品

EXTI Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -------0
0x018	-	-	-	NMICL[B,H,W] -------1
0x01C	-	-	-	-
0x020 - 0x0FC	-	-	-	-

1.16.2 TYPE5-M4, TYPE6-M4 製品

EXTI Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -------0
0x018	-	-	-	NMICL[B,H,W] -------1
0x01C	ELVR2[B,H,W] 00000000 00000000 00000000 00000000			
0x020 - 0x0FC	-	-	-	-

1.17 INT-Req. READ

1.17.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

INT-Req. READ Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	-
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] -------- 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] -------- 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] -------- 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] -------- 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] -------- 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] -------- 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] -------- 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] -------- 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- -------0			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- ----0000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- -------0			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------- ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------- ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------- ----0000			
0x380	IRQ095MON[B,H,W] -------- -------- -------- ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------- --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------- --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------- ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------- ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------- ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------- ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------- ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------- -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------- ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------- -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3B0	IRQ107MON[B,H,W] -------- -------- -------- -------0			
0x3B4	IRQ108MON[B,H,W] -------- -------- -------- ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------- -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------- ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	-	-	-	-
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- ---00000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- --000000			
0x3D0 – 0x3D8	-	-	-	-
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------- -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------- ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------- -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------- ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

1.17.2 TYPE3-M4, TYPE5-M4 製品

INT-Req. READ Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	ODDPKS1[B] --00000
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] -------- 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] -------- 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] -------- 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] -------- 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] -------- 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] -------- 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] -------- 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] -------- 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- -------0			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- ---00000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- ---00000			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------- ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------- ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------- ----0000			
0x380	IRQ095MON[B,H,W] -------- -------- -------- ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------- --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------- --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------- ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------- ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------- ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------- ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------- ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------- -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------- ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------- -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------- ------00			
0x3B0	IRQ107MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3B4	IRQ108MON[B,H,W] -------- -------- -------- ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------- -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------- ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	IRQ112MON[B,H,W] -------- -------- -------- --000000			
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- --000000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- -0000000			
0x3D0	IRQ115MON[B,H,W] -------- -------- -------- -----000			
0x3D4	IRQ116MON[B,H,W] -------- -------- -------- --------			
0x3D8	IRQ117MON[B,H,W] -------- -------- -------- ------00			
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------- -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------- ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------- -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------- ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

1.17.3 TYPE4-M4 製品

INT-Req. READ Base_Address : 0x4003_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004 – 0x00C	-			
0x010	-	-	-	ODDPKS[B] ---00000
0x014	-	-	-	ODDPKS1[B] --00000
0x018	-	*	-	*
0x01C – 0x10C	-	-	-	-
0x110	IRQ003SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x114	IRQ004SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x118	IRQ005SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x11C	IRQ006SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x120	IRQ007SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x124	IRQ008SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x128	IRQ009SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x12C	IRQ010SEL[B,H,W] 00000000 00000000 -------- 00000000			
0x130 – 0x1FC	-	-	-	-
0x200	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x204	IRQ000MON[B,H,W] -------- -------- -------- -------0			
0x208	IRQ001MON[B,H,W] -------- -------- -------- -------0			
0x20C	IRQ002MON[B,H,W] -------- -------- -------- -------0			
0x210	IRQ003MON[B,H,W] -------- -------- -------- 00000000			
0x214	IRQ004MON[B,H,W] -------- -------- -------- 00000000			
0x218	IRQ005MON[B,H,W] -------- -------- -------- 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x21C	IRQ006MON[B,H,W] -------- -------- -------- 00000000			
0x220	IRQ007MON[B,H,W] -------- -------- -------- 00000000			
0x224	IRQ008MON[B,H,W] -------- -------- -------- 00000000			
0x228	IRQ009MON[B,H,W] -------- -------- -------- 00000000			
0x22C	IRQ010MON[B,H,W] -------- -------- -------- 00000000			
0x230	IRQ011MON[B,H,W] -------- -------- -------- -------0			
0x234	IRQ012MON[B,H,W] -------- -------- -------- -------0			
0x238	IRQ013MON[B,H,W] -------- -------- -------- -------0			
0x23C	IRQ014MON[B,H,W] -------- -------- -------- -------0			
0x240	IRQ015MON[B,H,W] -------- -------- -------- -------0			
0x244	IRQ016MON[B,H,W] -------- -------- -------- -------0			
0x248	IRQ017MON[B,H,W] -------- -------- -------- -------0			
0x24C	IRQ018MON[B,H,W] -------- -------- -------- -------0			
0x250	IRQ019MON[B,H,W] -------- -------- -------- --000000			
0x254	IRQ020MON[B,H,W] -------- -------- -------- --000000			
0x258	IRQ021MON[B,H,W] -------- -------- -------- ----0000			
0x25C	IRQ022MON[B,H,W] -------- -------- -------- ----0000			
0x260	IRQ023MON[B,H,W] -------- -------- -------- ----0000			
0x264	IRQ024MON[B,H,W] -------- -------- -------- -----000			
0x268	IRQ025MON[B,H,W] -------- -------- -------- -----000			
0x26C	IRQ026MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x270	IRQ027MON[B,H,W] -------- -------- -------- --000000			
0x274	IRQ028MON[B,H,W] -------- -------- -------- -----000			
0x278	IRQ029MON[B,H,W] -------- -------- -------- -----000			
0x27C	IRQ030MON[B,H,W] -------- -------- -------- ----0000			
0x280	IRQ031MON[B,H,W] -------- -------- -------- --000000			
0x284	IRQ032MON[B,H,W] -------- -------- -------- -----000			
0x288	IRQ033MON[B,H,W] -------- -------- -------- -----000			
0x28C	IRQ034MON[B,H,W] -------- -------- -------- ---00000			
0x290	IRQ035MON[B,H,W] -------- -------- -------- --000000			
0x294	IRQ036MON[B,H,W] -------- -------- -------- -----000			
0x298	IRQ037MON[B,H,W] -------- -------- -------- -----000			
0x29C	IRQ038MON[B,H,W] -------- -------- -------- -----000			
0x2A0	IRQ039MON[B,H,W] -------- -------- -------- ------00			
0x2A4	IRQ040MON[B,H,W] -------- -------- -------- ------00			
0x2A8	IRQ041MON[B,H,W] -------- -------- -------- ------00			
0x2AC	IRQ042MON[B,H,W] -------- -------- -------- ------00			
0x2B0	IRQ043MON[B,H,W] -------- -------- -------- ------00			
0x2B4	IRQ044MON[B,H,W] -------- -------- -------- ------00			
0x2B8	IRQ045MON[B,H,W] -------- -------- -------- ------00			
0x2BC	IRQ046MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2C0	IRQ047MON[B,H,W] -------- -------- -------- ------00			
0x2C4	IRQ048MON[B,H,W] -------- -------- -------- -------0			
0x2C8	IRQ049MON[B,H,W] -------- -------- -------- ------00			
0x2CC	IRQ050MON[B,H,W] -------- -------- -------- -------0			
0x2D0	IRQ051MON[B,H,W] -------- -------- -------- -------0			
0x2D4	IRQ052MON[B,H,W] -------- -------- -------- -------0			
0x2D8	IRQ053MON[B,H,W] -------- -------- -------- -------0			
0x2DC	IRQ054MON[B,H,W] -------- -------- -------- -------0			
0x2E0	IRQ055MON[B,H,W] -------- -------- -------- -------0			
0x2E4	IRQ056MON[B,H,W] -------- -------- -------- -------0			
0x2E8	IRQ057MON[B,H,W] -------- -------- -------- -------0			
0x2EC	IRQ058MON[B,H,W] -------- -------- -------- -------0			
0x2F0	IRQ059MON[B,H,W] -------- -------- -------- --000000			
0x2F4	IRQ060MON[B,H,W] -------- -------- -------- -------0			
0x2F8	IRQ061MON[B,H,W] -------- -------- -------- ------00			
0x2FC	IRQ062MON[B,H,W] -------- -------- -------- -------0			
0x300	IRQ063MON[B,H,W] -------- -------- -------- ------00			
0x304	IRQ064MON[B,H,W] -------- -------- -------- -------0			
0x308	IRQ065MON[B,H,W] -------- -------- -------- ------00			
0x30C	IRQ066MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x310	IRQ067MON[B,H,W] -------- -------- -------- ------00			
0x314	IRQ068MON[B,H,W] -------- -------- -------- -------0			
0x318	IRQ069MON[B,H,W] -------- -------- -------- ------00			
0x31C	IRQ070MON[B,H,W] -------- -------- -------- -------0			
0x320	IRQ071MON[B,H,W] -------- -------- -------- ------00			
0x324	IRQ072MON[B,H,W] -------- -------- -------- -------0			
0x328	IRQ073MON[B,H,W] -------- -------- -------- ------00			
0x32C	IRQ074MON[B,H,W] -------- -------- -------- -------0			
0x330	IRQ075MON[B,H,W] -------- -------- -------- ------00			
0x334	IRQ076MON[B,H,W] -------- -------- -------- ---00000			
0x338	IRQ077MON[B,H,W] -------- -------- -------- ---00000			
0x33C	IRQ078MON[B,H,W] -------- -------- -------- ---00000			
0x340	IRQ079MON[B,H,W] -------- -------- -------- --000000			
0x344	IRQ080MON[B,H,W] -------- -------- -------- -------0			
0x348	IRQ081MON[B,H,W] -------- -------- -------- ---00000			
0x34C	IRQ082MON[B,H,W] -------- -------- -------- -----000			
0x350	IRQ083MON[B,H,W] -------- -------- -------- -------0			
0x354	IRQ084MON[B,H,W] -------- -------- -------- -------0			
0x358	IRQ085MON[B,H,W] -------- -------- -------- -------0			
0x35C	IRQ086MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x360	IRQ087MON[B,H,W] -------- -------- -------- -------0			
0x364	IRQ088MON[B,H,W] -------- -------- -------- -------0			
0x368	IRQ089MON[B,H,W] -------- -------- -------- -------0			
0x36C	IRQ090MON[B,H,W] -------- -------- -------- -------0			
0x370	IRQ091MON[B,H,W] -------- -------- -------- ------00			
0x374	IRQ092MON[B,H,W] -------- -------- -------0 ----0000			
0x378	IRQ093MON[B,H,W] -------- -------- -------0 ----0000			
0x37C	IRQ094MON[B,H,W] -------- -------- -------0 ----0000			
0x380	IRQ095MON[B,H,W] -------- -------- -------0 ----0000			
0x384	IRQ096MON[B,H,W] -------- -------- -------0 --000000			
0x388	IRQ097MON[B,H,W] -------- -------- -------0 --000000			
0x38C	IRQ098MON[B,H,W] -------- -------- -------0 ------00			
0x390	IRQ099MON[B,H,W] -------- -------- -------0 ------00			
0x394	IRQ100MON[B,H,W] -------- -------- -------0 ------00			
0x398	IRQ101MON[B,H,W] -------- -------- -------0 ------00			
0x39C	IRQ102MON[B,H,W] -------- -------- -------0 ------00			
0x3A0	IRQ103MON[B,H,W] -------- -------- -------0 -------0			
0x3A4	IRQ104MON[B,H,W] -------- -------- -------0 ------00			
0x3A8	IRQ105MON[B,H,W] -------- -------- -------0 -------0			
0x3AC	IRQ106MON[B,H,W] -------- -------- -------0 ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x3B0	IRQ107MON[B,H,W] -------- -------- -------0 -------0			
0x3B4	IRQ108MON[B,H,W] -------- -------- -------0 ------00			
0x3B8	IRQ109MON[B,H,W] -------- -------- -------0 -------0			
0x3BC	IRQ110MON[B,H,W] -------- -------- -------0 ------00			
0x3C0	IRQ111MON[B,H,W] -------- -------- -------- ---00000			
0x3C4	IRQ112MON[B,H,W] -------- -------- ------00 00000000			
0x3C8	IRQ113MON[B,H,W] -------- -------- -------- --000000			
0x3CC	IRQ114MON[B,H,W] -------- -------- -------- -0000000			
0x3D0	IRQ115MON[B,H,W] -------- -------- -------- -----000			
0x3D4	IRQ116MON[B,H,W] -------- -------- -------- --------			
0x3D8	IRQ117MON[B,H,W] -------- -------- -------- -----000			
0x3DC	IRQ118MON[B,H,W] -------- -------- -------- ------00			
0x3E0	IRQ119MON[B,H,W] -------- -------- -------- -------0			
0x3E4	IRQ120MON[B,H,W] -------- -------- -------0 -------0			
0x3E8	IRQ121MON[B,H,W] -------- -------- -------0 ------00			
0x3EC	IRQ122MON[B,H,W] -------- -------- -------0 -------0			
0x3F0	IRQ123MON[B,H,W] -------- -------- -------0 ------00			
0x3F4	IRQ124MON[B,H,W] -------- -------- -------- -------0			
0x3F8	IRQ125MON[B,H,W] -------- -------- -------- ------00			
0x3FC	IRQ126MON[B,H,W] -------- -------- -------- -------0			
0x400	IRQ127MON[B,H,W] -------- -------- -------- ------00			
0x404 – 0xFFC	-	-	-	-

1.18 D/AC

12bit D/AC unit0 Base_Address : 0x4003_3000
12bit D/AC unit1 Base_Address : 0x4003_3008

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	DACR[B,H,W] --00--00
0x004	-	-	DADR[H,W] ----XXXX XXXXXXXX	
0x010 – 0xFFC	-	-	-	-

1.19 HDMI-CEC

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000
HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	TXCTRL[B,H,W] --0000-0
0x004	-	-	-	TXDATA[B,H,W] 00000000
0x008	-	-	-	TXSTS[B,H,W] --00---0
0x00C	-	-	-	SFREE[B,H,W] ----0000
0x010 – 0x03C	-	-	-	-
0x040	-	-	RCCR[B,H,W] 0---0000	RCST[B,H,W] 00000000
0x044	-	-	RCSHW[B,H,W] 00000000	RCDAHW[B,H,W] 00000000
0x048	-	-	RCDBHW[B,H,W] 00000000	-
0x04C	-	-	RCADR1[B,H,W] ---00000	RCADR2[B,H,W] ---00000
0x050	-	-	RCDTHH[B,H,W] 00000000	RCDTHL[B,H,W] 00000000
0x054	-	-	RCDTLH[B,H,W] 00000000	RCDTLL[B,H,W] 00000000
0x058	-	-	RCCKD[B,H,W] ---00000 00000000	
0x05C	-	-	RCRC[B,H,W] ---0---0	RCRHW[B,H,W] 00000000
0x060	-	-	RCLE[B,H,W] 00000-00	-
0x064	-	-	RCLELW[B,H,W] 00000000	RCLESW[B,H,W] 00000000
0x068 – 0x0FC	-	-	-	-

1.20 GPIO

1.20.1 TYPE1-M4, TYPE2-M4, TYPE6-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- --00 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 ----			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			
0x654 – 0x6FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

1.20.2 TYPE3-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- ---- ---- ---- ---- 0000 0000 0000			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x668	EPFR26[B,H,W] ---- ---- ---- --00 0000 0000 0000 0000			
0x66C – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740	PDSR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
Base_Address + Address	Register			
	+3	+2	+1	+0
0x744	PDSR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x748	PDSR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x74C	PDSR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x750	PDSR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x754	PDSR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x758	PDSR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x75C	PDSR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x760	PDSR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x764	PDSR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x768	PDSRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x76C	PDSRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x770	PDSRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x774	PDSRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x778	PDSRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x77C	PDSRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x780 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

1.20.3 TYPE4-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- 0000 0000 0000 ---- 0000 0000 0000			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x668	EPFR26[B,H,W] ---- ---- ---- --00 0000 0000 0000 0000			
0x66C	EPFR27[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x670	EPFR28[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x674	EPFR29[B,H,W] 0000 0000 0000 00-- 0000 0000 0000 0000			
0x67C	EPFR30[B,H,W] ---- --00 0000 0000 ---- 0000 0000 0000			
0x680 – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

1.20.4 TYPE5-M4 製品

GPIO Base_Address : 0x4006_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	-			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- --00 01--			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- 0000 ---- --11 --0- --0- 0000 -000			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 -000 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] 0000 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] --00 0000 0000 00-- ---- ---- --00 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] --00 0000 0000 0000 0000 0000 0000 0000			
0x644	EPFR17[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x648	EPFR18[B,H,W] --00 0000 0000 0000 00-- --00 0000 0000			
0x64C	EPFR19[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x650	EPFR20[B,H,W] ---- ---0 0000 0000 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x654	EPFR21[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x658	EPFR22[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x65C	EPFR23[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x660	EPFR24[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x664	EPFR25[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x668	EPFR26[B,H,W] ---- ---- ---- ---- ---- ---- ---- ----			
0x66C – 0x680	-	-	-	-
0x684	EPFR33[B,H,W] ---- 0000 0000 0000 ---- 0000 0000 0000			
0x688	-	-	-	-
0x68C	EPFR35[B,H,W] ---- 0000 0000 0000 ---- ---- ---- ----			
0x690 – 0x6FC	-	-	-	-
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740	PDSR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x744	PDSR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x748	PDSR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x74C	PDSR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x750	PDSR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x754	PDSR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x758	PDSR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x75C	PDSR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x760	PDSR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x764	PDSR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x768	PDSRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x76C	PDSRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x770	PDSRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x774	PDSRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x778	PDSRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x77C	PDSRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x780 - 0xEFC	-	-	-	-
0xF00 – 0xF04	*			
0xF08 – 0xFDC	-	-	-	-
0xFE0	*			
0xFE4 - 0xFFC	-	-	-	-

1.21 LVD

LVD Base_Address : 0x4003_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LVD_CTL[B,H,W] 000111--
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 [B,H,W] 0-------
0x014 - 0x0FC	-	-	-	-

1.22 DS_Mode

DS_Mode Base_Address : 0x4003_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	*
0x004	-	-	-	RCK_CTL[B,H,W] ------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W] -------0
0x704	-	-	-	WRFSR[B,H,W] ------00
0x708	-	-	WIFSR[B,H,W] ------00 00000000	
0x70C	-	-	WIER[B,H,W] ------00 00000-00	
0x710	-	-	-	WILVR[B,H,W] ---00000
0x714	-	-	-	DSRAMR[B,H,W] ------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W] 00000000	BUR03[B,H,W] 00000000	BUR02[B,H,W] 00000000	BUR01[B,H,W] 00000000
0x804	BUR08[B,H,W] 00000000	BUR07[B,H,W] 00000000	BUR06[B,H,W] 00000000	BUR05[B,H,W] 00000000
0x808	BUR012[B,H,W] 00000000	BUR11[B,H,W] 00000000	BUR10[B,H,W] 00000000	BUR09[B,H,W] 00000000
0x80C	BUR16[B,H,W] 00000000	BUR15[B,H,W] 00000000	BUR14[B,H,W] 00000000	BUR13[B,H,W] 00000000
0x810 - 0xEFC	-	-	-	-

1.23 USB Clock

USB Clock　　Base_Address : 0x4003_6000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] -0000000
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] -0111011
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028	-	-	-	UPCR6[B,H,W] ----0010
0x02C	-	-	-	UPCR7[B,H,W] -------0
0x030	-	-	-	USBEN0[B,H,W] -------0
0x034	-	-	-	USBEN1[B,H,W] -------0
0x038 - 0x0FC	-	-	-	-

1.24 CAN_Prescaler

CAN_Prescaler Base_Address : 0x4003_7000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CANPRE[B,H,W] ----1011
0x004 - 0xFFC	-	-	-	-

1.25 MFS

MFS ch.0 Base_Address : 0x4003_8000
MFS ch.1 Base_Address : 0x4003_8100
MFS ch.2 Base_Address : 0x4003_8200
MFS ch.3 Base_Address : 0x4003_8300
MFS ch.4 Base_Address : 0x4003_8400
MFS ch.5 Base_Address : 0x4003_8500
MFS ch.6 Base_Address : 0x4003_8600
MFS ch.7 Base_Address : 0x4003_8700
MFS ch.8 Base_Address : 0x4003_8800
MFS ch.9 Base_Address : 0x4003_8900
MFS ch.10 Base_Address : 0x4003_8A00
MFS ch.11 Base_Address : 0x4003_8B00
MFS ch.12 Base_Address : 0x4003_8C00
MFS ch.13 Base_Address : 0x4003_8D00
MFS ch.14 Base_Address : 0x4003_8E00
MFS ch.15 Base_Address : 0x4003_8F00

Base_Address + Address	Register			
	+3	+3	+3	+3
0x000	-	-	SCR / IBCR[B,H,W] 0--00000	SMR[B,H,W] 000-00-0
0x004	-	-	SSR[B,H,W] 0-000011	ESCR / IBSR[B,H,W] 00000000
0x008	-	-	RDR/TDR[H,W] 00000000 00000000	
	(*1) RDR/TDR[H,W] 00000000 00000000 00000000 00000000			
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] --------	ISBA[B,H,W] --------
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+3	+3	+3
0x01C	-	-	SCSTR1/ EIBCR[B,H,W] 00000000	SCSTR0/ NFCR[B,H,W] 00000000
0x020	-	-	SCSTR3[B,H,W] 00000000	SCSTR2[B,H,W] 00000000
0x024	-	-	SACSR1[B,H,W] 00000000	SACSR0[B,H,W] 00000000
0x028	-	-	STMR1[B,H,W] 00000000	STMR0[B,H,W] 00000000
0x02C	-	-	STMCR1[B,H,W] 00000000	STMCR0[B,H,W] 00000000
0x030	-	-	SCSCR1[B,H,W] 00000000	SCSCR0[B,H,W] 00100000
0x034	-	-	SCSFR1[B,H,W] 10000000	SCSFR0[B,H,W] 10000000
0x038	-	-	-	SCSFR2[B,H,W] 10000000
0x03C	-	-	TBYTE1[B,H,W] 00000000	TBYTE0[B,H,W] 00000000
0x040	-	-	TBYTE3[B,H,W] 00000000	TBYTE2[B,H,W] 00000000
0x0144 - 0x1FC	-	-	-	-

<注意事項>

- *(*1) : RDR/TDR レジスタの上位 16bit は I2S モードで Word アクセスを使用するときのみ有効です。*

1.26 CRC

CRC Base_Address : 0x4003_9000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W] -0000000
0x004	CRCINIT[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W] 11111111 11111111 11111111 11111111			

1.27 Watch Counter

Watch Counter Base_Address : 0x4003_A000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	WCCR[B,H,W] 00--0000	WCRL[B,H,W] --000000	WCRD[B,H,W] --000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W] -----000 ------00	
0x014	-	-	-	CLK_EN[B,H,W] ------00
0x018 - 0xFFC	-	-	-	-

1.28 RTC

1.28.1 TYPE1-M4, TYPE2-M4, TYPE3-M4, TYPE6-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000
0x14C	-	-	-	WTTR0[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x150	-	-	-	WTTR1[B,H,W] 00000000
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_CLKDIV[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 00001000
0x180	-	-	-	CCB[B,H,W] 00010000
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000
0x1A4	-	-	-	VBDDR[B,H,W] ----0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1A8	-	-	-	VBDIR[B,H,W] ----XXXX
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x1B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W] 00000000	BREG02[B,H,W] 00000000	BREG01[B,H,W] 00000000	BREG00[B,H,W] 00000000
0x204	BREG07[B,H,W] 00000000	BREG06[B,H,W] 00000000	BREG05[B,H,W] 00000000	BREG04[B,H,W] 00000000
0x208	BREG0B[B,H,W] 00000000	BREG0A[B,H,W] 00000000	BREG09[B,H,W] 00000000	BREG08[B,H,W] 00000000
0x20C	BREG0F[B,H,W] 00000000	BREG0E[B,H,W] 00000000	BREG0D[B,H,W] 00000000	BREG0C[B,H,W] 00000000
0x210	BREG13[B,H,W] 00000000	BREG12[B,H,W] 00000000	BREG11[B,H,W] 00000000	BREG10[B,H,W] 00000000
0x214	BREG17[B,H,W] 00000000	BREG16[B,H,W] 00000000	BREG15[B,H,W] 00000000	BREG14[B,H,W] 00000000
0x218	BREG1B[B,H,W] 00000000	BREG1A[B,H,W] 00000000	BREG19[B,H,W] 00000000	BREG18[B,H,W] 00000000
0x21C	BREG1F[B,H,W] 00000000	BREG1E[B,H,W] 00000000	BREG1D[B,H,W] 00000000	BREG1C[B,H,W] 00000000
0x220	BREG23[B,H,W] 00000000	BREG22[B,H,W] 00000000	BREG21[B,H,W] 00000000	BREG20[B,H,W] 00000000
0x224	BREG27[B,H,W] 00000000	BREG26[B,H,W] 00000000	BREG25[B,H,W] 00000000	BREG24[B,H,W] 00000000
0x228	BREG2B[B,H,W] 00000000	BREG2A[B,H,W] 00000000	BREG29[B,H,W] 00000000	BREG28[B,H,W] 00000000
0x22C	BREG2F[B,H,W] 00000000	BREG2E[B,H,W] 00000000	BREG2D[B,H,W] 00000000	BREG2C[B,H,W] 00000000
0x230	BREG33[B,H,W] 00000000	BREG32[B,H,W] 00000000	BREG31[B,H,W] 00000000	BREG30[B,H,W] 00000000
0x234	BREG37[B,H,W] 00000000	BREG36[B,H,W] 00000000	BREG35[B,H,W] 00000000	BREG34[B,H,W] 00000000
0x238	BREG3B[B,H,W] 00000000	BREG3A[B,H,W] 00000000	BREG39[B,H,W] 00000000	BREG38[B,H,W] 00000000
0x23C	BREG3F[B,H,W] 00000000	BREG3E[B,H,W] 00000000	BREG3D[B,H,W] 00000000	BREG3C[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2400x244	BREG47[B,H,W] 00000000	BREG46[B,H,W] 00000000	BREG45[B,H,W] 00000000	BREG44[B,H,W] 00000000
0x248	BREG4B[B,H,W] 00000000	BREG4A[B,H,W] 00000000	BREG49[B,H,W] 00000000	BREG48[B,H,W] 00000000
0x24C	BREG4F[B,H,W] 00000000	BREG4E[B,H,W] 00000000	BREG4D[B,H,W] 00000000	BREG4C[B,H,W] 00000000
0x250	BREG53[B,H,W] 00000000	BREG52[B,H,W] 00000000	BREG51[B,H,W] 00000000	BREG50[B,H,W] 00000000
0x254	BREG57[B,H,W] 00000000	BREG56[B,H,W] 00000000	BREG55[B,H,W] 00000000	BREG54[B,H,W] 00000000
0x258	BREG5B[B,H,W] 00000000	BREG5A[B,H,W] 00000000	BREG59[B,H,W] 00000000	BREG58[B,H,W] 00000000
0x25C	BREG5F[B,H,W] 00000000	BREG5E[B,H,W] 00000000	BREG5D[B,H,W] 00000000	BREG5C[B,H,W] 00000000
0x260	BREG63[B,H,W] 00000000	BREG62[B,H,W] 00000000	BREG61[B,H,W] 00000000	BREG60[B,H,W] 00000000
0x264	BREG67[B,H,W] 00000000	BREG66[B,H,W] 00000000	BREG65[B,H,W] 00000000	BREG64[B,H,W] 00000000
0x268	BREG6B[B,H,W] 00000000	BREG6A[B,H,W] 00000000	BREG69[B,H,W] 00000000	BREG68[B,H,W] 00000000
0x26C	BREG6F[B,H,W] 00000000	BREG6E[B,H,W] 00000000	BREG6D[B,H,W] 00000000	BREG6C[B,H,W] 00000000
0x270	BREG73[B,H,W] 00000000	BREG72[B,H,W] 00000000	BREG71[B,H,W] 00000000	BREG70[B,H,W] 00000000
0x274	BREG77[B,H,W] 00000000	BREG76[B,H,W] 00000000	BREG75[B,H,W] 00000000	BREG74[B,H,W] 00000000
0x278	BREG7B[B,H,W] 00000000	BREG7A[B,H,W] 00000000	BREG79[B,H,W] 00000000	BREG78[B,H,W] 00000000
0x27C	BREG7F[B,H,W] 00000000	BREG7E[B,H,W] 00000000	BREG7D[B,H,W] 00000000	BREG7C[B,H,W] 00000000
0x280-0xFFC	-	-	-	-

1.28.2 TYPE4-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	-	-	-	WTCR10[B,H,W] 00000000
0x104	-	-	-	WTCR11[B,H,W] ---00000
0x108	-	-	-	WTCR12[B,H,W] 00000000
0x10C	-	-	-	WTCR13[B,H,W] 00000000
0x110	-	-	-	WTCR20[B,H,W] --000000
0x114	-	-	-	WTCR21[B,H,W] -----000
0x118	-	-	-	*
0x11C	-	-	-	WTSR[B,H,W] -0000000
0x120	-	-	-	WTMIR[B,H,W] -0000000
0x124	-	-	-	WTHR[B,H,W] --000000
0x128	-	-	-	WTDR[B,H,W] --000000
0x12C	-	-	-	WTDW[B,H,W] -----000
0x130	-	-	-	WTMOR[B,H,W] ---00000
0x134	-	-	-	WTYR[B,H,W] 00000000
0x138	-	-	-	ALMIR[B,H,W] -0000000
0x13C	-	-	-	ALHR[B,H,W] --000000
0x140	-	-	-	ALDR[B,H,W] --000000
0x144	-	-	-	ALMOR[B,H,W] ---00000
0x148	-	-	-	ALYR[B,H,W] 00000000
0x14C	-	-	-	WTTR0[B,H,W] 00000000
0x150	-	-	-	WTTR1[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x154	-	-	-	WTTR2[B,H,W] ------00
0x158	-	-	-	WTCAL0[B,H,W] 00000000
0x15C	-	-	-	WTCAL1[B,H,W] ------00
0x160	-	-	-	WTCALEN[B,H,W] -------0
0x164	-	-	-	WTDIV[B,H,W] ----0000
0x168	-	-	-	WTDIVEN[B,H,W] ------00
0x16C	-	-	-	WTCALPRD[B,H,W] --010011
0x170	-	-	-	WTCOSEL[B,H,W] -------0
0x174	-	-	-	VB_DIVCLK[B,H,W] 00000111
0x178	-	-	-	WTOSCCNT[B,H,W] ------01
0x17C	-	-	-	CCS[B,H,W] 11001110
0x180	-	-	-	CCB[B,H,W] 11001110
0x184	-	-	-	*
0x188	-	-	-	BOOST[B,H,W] ------11
0x18C	-	-	-	EWKUP[B,H,W] -------0
0x190	-	-	-	VDET[B,H,W] 00------
0x194	-	-	-	*
0x198	-	-	-	HIBRST[B,H,W] -------0
0x19C	-	-	-	VBPFR[B,H,W] --011100
0x1A0	-	-	-	VBPCR[B,H,W] ----0000
0x1A4	-	-	-	VBDDR[B,H,W] ----0000
0x1A8	-	-	-	VBDIR[B,H,W] ----XXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x1AC	-	-	-	VBDOR[B,H,W] ----1111
0x1B0	-	-	-	VBPZR[B,H,W] ------11
0x1B4-1FF	-	-	-	-
0x200	BREG03[B,H,W]	BREG02[B,H,W]	BREG01[B,H,W]	BREG00[B,H,W]
	00000000	00000000	00000000	00000000
0x204	BREG07[B,H,W]	BREG06[B,H,W]	BREG05[B,H,W]	BREG04[B,H,W]
	00000000	00000000	00000000	00000000
0x208	BREG0B[B,H,W]	BREG0A[B,H,W]	BREG09[B,H,W]	BREG08[B,H,W]
	00000000	00000000	00000000	00000000
0x20C	BREG0F[B,H,W]	BREG0E[B,H,W]	BREG0D[B,H,W]	BREG0C[B,H,W]
	00000000	00000000	00000000	00000000
0x210	BREG13[B,H,W]	BREG12[B,H,W]	BREG11[B,H,W]	BREG10[B,H,W]
	00000000	00000000	00000000	00000000
0x214	BREG17[B,H,W]	BREG16[B,H,W]	BREG15[B,H,W]	BREG14[B,H,W]
	00000000	00000000	00000000	00000000
0x218	BREG1B[B,H,W]	BREG1A[B,H,W]	BREG19[B,H,W]	BREG18[B,H,W]
	00000000	00000000	00000000	00000000
0x21C	BREG1F[B,H,W]	BREG1E[B,H,W]	BREG1D[B,H,W]	BREG1C[B,H,W]
	00000000	00000000	00000000	00000000
0x220	BREG23[B,H,W]	BREG22[B,H,W]	BREG21[B,H,W]	BREG20[B,H,W]
	00000000	00000000	00000000	00000000
0x224	BREG27[B,H,W]	BREG26[B,H,W]	BREG25[B,H,W]	BREG24[B,H,W]
	00000000	00000000	00000000	00000000
0x228	BREG2B[B,H,W]	BREG2A[B,H,W]	BREG29[B,H,W]	BREG28[B,H,W]
	00000000	00000000	00000000	00000000
0x22C	BREG2F[B,H,W]	BREG2E[B,H,W]	BREG2D[B,H,W]	BREG2C[B,H,W]
	00000000	00000000	00000000	00000000
0x230	BREG33[B,H,W]	BREG32[B,H,W]	BREG31[B,H,W]	BREG30[B,H,W]
	00000000	00000000	00000000	00000000
0x234	BREG37[B,H,W]	BREG36[B,H,W]	BREG35[B,H,W]	BREG34[B,H,W]
	00000000	00000000	00000000	00000000
0x238	BREG3B[B,H,W]	BREG3A[B,H,W]	BREG39[B,H,W]	BREG38[B,H,W]
	00000000	00000000	00000000	00000000
0x23C	BREG3F[B,H,W]	BREG3E[B,H,W]	BREG3D[B,H,W]	BREG3C[B,H,W]
	00000000	00000000	00000000	00000000
0x240	BREG43[B,H,W]	BREG42[B,H,W]	BREG41[B,H,W]	BREG40[B,H,W]
	00000000	00000000	00000000	00000000
0x244	BREG47[B,H,W]	BREG46[B,H,W]	BREG45[B,H,W]	BREG44[B,H,W]
	00000000	00000000	00000000	00000000
0x248	BREG4B[B,H,W]	BREG4A[B,H,W]	BREG49[B,H,W]	BREG48[B,H,W]
	00000000	00000000	00000000	00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x24C	BREG4F[B,H,W]	BREG4E[B,H,W]	BREG4D[B,H,W]	BREG4C[B,H,W]
	00000000	00000000	00000000	00000000
0x250	BREG53[B,H,W]	BREG52[B,H,W]	BREG51[B,H,W]	BREG50[B,H,W]
	00000000	00000000	00000000	00000000
0x254	BREG57[B,H,W]	BREG56[B,H,W]	BREG55[B,H,W]	BREG54[B,H,W]
	00000000	00000000	00000000	00000000
0x258	BREG5B[B,H,W]	BREG5A[B,H,W]	BREG59[B,H,W]	BREG58[B,H,W]
	00000000	00000000	00000000	00000000
0x25C	BREG5F[B,H,W]	BREG5E[B,H,W]	BREG5D[B,H,W]	BREG5C[B,H,W]
	00000000	00000000	00000000	00000000
0x260	BREG63[B,H,W]	BREG62[B,H,W]	BREG61[B,H,W]	BREG60[B,H,W]
	00000000	00000000	00000000	00000000
0x264	BREG67[B,H,W]	BREG66[B,H,W]	BREG65[B,H,W]	BREG64[B,H,W]
	00000000	00000000	00000000	00000000
0x268	BREG6B[B,H,W]	BREG6A[B,H,W]	BREG69[B,H,W]	BREG68[B,H,W]
	00000000	00000000	00000000	00000000
0x26C	BREG6F[B,H,W]	BREG6E[B,H,W]	BREG6D[B,H,W]	BREG6C[B,H,W]
	00000000	00000000	00000000	00000000
0x270	BREG73[B,H,W]	BREG72[B,H,W]	BREG71[B,H,W]	BREG70[B,H,W]
	00000000	00000000	00000000	00000000
0x274	BREG77[B,H,W]	BREG76[B,H,W]	BREG75[B,H,W]	BREG74[B,H,W]
	00000000	00000000	00000000	00000000
0x278	BREG7B[B,H,W]	BREG7A[B,H,W]	BREG79[B,H,W]	BREG78[B,H,W]
	00000000	00000000	00000000	00000000
0x27C	BREG7F[B,H,W]	BREG7E[B,H,W]	BREG7D[B,H,W]	BREG7C[B,H,W]
	00000000	00000000	00000000	00000000
0x280-0xFFC	-	-	-	-

1.28.3 TYPE5-M4 製品

RTC Base_Address : 0x4003_B000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1 [B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR [B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR [B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS[B,H,W] -------0
0x024	-	WTCALEN[B,H,W] -------0	WTCAL[B,H,W] ------00 00000000	
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV[B,H,W] ----0000
0x02C	-	-	-	WTCALPRD[B,H,W], --010011
0x030	-	-	-	WTCOSEL[B,H,W], -------0
0x034-0x0FF	-	-	-	-

1.29 Low-speed CR Prescaler

Low-speed CR Prescaler Base_Address : 0x4003_C000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W], --000000
0x004 – 0x0FC	-	-	-	-

1.30 Peripheral Clock Gating

1.30.1 TYPE1-M4, TYPE2-M4 製品

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] -------- -------- -------0 --**--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] -------- -------- -------0 --00--00			
0x028 – 0x67C	-	-	-	-

1.30.2 TYPE3-M4, TYPE4-M4 製品

Peripheral Clock Gating　　Base_Address : 0x4003_C100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] ---0--11 ---1--00 -------0 -***--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] ---0--00 ---0--00 -------0 -000--00			
0x028 – 0x67C	-	-	-	-

1.30.3 TYPE5-M4, TYPE6-M4 製品

Peripheral Clock Gating **Base_Address : 0x4003_C100**

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CKEN0[B,H,W] ---1-1-1 ----1111 11111111 11111111			
0x004	MRST0[B,H,W] -----0-0 ----0000 00000000 00000000			
0x008 – 0x00F	-	-	-	-
0x010	CKEN1[B,H,W] -------- ----1111 ----1111 ----1111			
0x014	MRST1[B,H,W] -------- ----0000 ----0000 ----0000			
0x018 – 0x01F	-	-	-	-
0x020	CKEN2[B,H,W] ---0--11 ---1--00 1111---0 -***--00 CAN 搭載製品 : *="1" CAN 無搭載製品 : *="0"			
0x024	MRST2[B,H,W] ---0--00 ---0--00 0000---0 -000--00			
0x028 – 0x67C	-	-	-	-

1.31 Smart Card Interface

Smart Card Interface ch.0 Base_Address : 0x4003_C900

Smart Card Interface ch.1 Base_Address : 0x4003_C980

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	GLOBALCONTROL1[H,W] -0001000 00000000	
0x04	-	-	STATUS[H,W] --000000 00000001	
0x08	-	-	PORTCONTROL[H,W] 0000--00 00-0-0-0	
0x0C	-	-	DATA[H,W] -------0 00000000	
0x10	-	-	CARDCLOCK [H,W] 00000000 00101000	
0x14	-	-	BAUDRATE[H,W] 0000001 01110100	
0x18	-	-	GUARDTIMER[H,W] -------- 00000000	
0x1C	-	-	IDLETIMER[H,W] 00000000 00000000	
0x20	-	-	GLOBALCONTROL2[H,W] -------- ----1-00	
0x24	-	-	DATA_FIFO[H,W] -------0 00000000	
0x28	-	-	FIFO_LEVEL_READ[H,W] 00000000 00000000	
0x2C	-	-	FIFO_LEVEL_WRITE[H,W] 00000000 00000000	
0x30	-	-	FIFO_MODE[H,W] 00000000 ----0000	
0x34	-	-	FIFO_CLEAR_MSB_WRITE[H,W] -------- -------0	
0x38	-	-	FIFO_CLEAR_MSB_ READ[H,W] -------- -------0	
0x3C	-	-	-	-
0x40	-	-	IRQ_STATUS[H,W] -------- 00000000	
0x44- 0x7C	-	-	-	-

1.32 MFSI2S

MFSI2S ch.A　　Base_Address : 0x4003_CA00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	CNTLREG[B, H,W] -----0-0 -0000-01	
0x04	-	-	I2SCLK[B, H,W] 00------ 00000000	
0x08	-	-	I2SST[B,H,W] ------00	I2SRST[B,H,W] 00000000
0x0C- 0xFC	-	-	-	-

＜注意事項＞

- *TYP5-M4 製品では MFSI2S ch.A は MFS ch.1 が該当します。*

1.33 I2S_Prescaler

1.33.1 TYPE3-M4 製品

I2S_Prescaler　　Base_Address : 0x4003_D000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ICCR[B,H,W] -------- -------- -------- ------00			
0x004	IPCR1[B,H,W] -------- -------- -------- -------0			
0x008	IPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	IPCR3[B,H,W] -------- -------- -------- ---00001			
0x010	IPCR4[B,H,W] -------- -------- -------- -0011111			
0x014	IP_STR[B,H,W] -------- -------- -------- -------0			
0x018	IPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	IPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	IPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	IPCR5[B,H,W] -------- -------- -------- -0011000			
0x028 – 0xFFC	-	-	-	-

1.33.2 TYPE4-M4 製品

I2S_Prescaler Base_Address : 0x4003_D000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ICCR[B,H,W] -------- -------- -------- ------00			
0x004	IPCR1[B,H,W] -------- -------- -------- -------0			
0x008	IPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	IPCR3[B,H,W] -------- -------- -------- ---00001			
0x010	IPCR4[B,H,W] -------- -------- -------- -0011111			
0x014	IP_STR[B,H,W] -------- -------- -------- -------0			
0x018	IPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	IPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	IPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	IPCR5[B,H,W] -------- -------- -------- -0011000			
0x028 – 0x02C	-	-	-	-
0x030	ICCR_1[B,H,W] -------- -------- -------- -----000			
0x034	IPCR5_1[B,H,W] -------- -------- -------- -0000000			
0x038 – 0xFFC	-	-	-	-

1.34 GDC_Prescaler

GDC_Prescaler　　Base_Address : 0x4003_D100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	GCCR[B,H,W] -------- -------- -------- -------0			
0x004	GPCR1[B,H,W] -------- -------- -------- ------00			
0x008	GPCR2[B,H,W] -------- -------- -------- -----000			
0x00C	GPCR3 [B,H,W] -------- -------- -------- ---00000			
0x010	GPCR4 [B,H,W] -------- -------- -------- -0000000			
0x014	GP_STR[B,H,W] -------- -------- -------- -------0			
0x018	GPINT_ENR[B,H,W] -------- -------- -------- -------0			
0x01C	GPINT_CLR[B,H,W] -------- -------- -------- -------0			
0x020	GPINT_STR[B,H,W] -------- -------- -------- -------0			
0x024	-	-	-	-
0x028	GCSR[B,H,W] -------- -------- ---0---0 ---0--00			
0x02C	GRCR[B,H,W] -------- -------- -------- -------0			
0x030	GMCR[B,H,W] -------- -------- -------- -------0			
0x034- 0xFFC	-	-	-	-

<注意事項>

GDC 部のレジスタの詳細は『GDC 編』を参照してください。

1.35 EXT-Bus I/F

1.35.1 TYPE1-M4 製品

EXT-Bus I/F　　Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	MODE0[W] -------- -------- --000-00 00000000			
0x0004	MODE1[W] -------- -------- --000-00 00000000			
0x0008	MODE2[W] -------- -------- --000-00 00000000			
0x000C	MODE3[W] -------- -------- --000-00 00000000			
0x0010	MODE4[W] -------- -------- --000-00 00000001			
0x0014	MODE5[W] -------- -------- --000-00 00000000			
0x0018	MODE6[W] -------- -------- --000-00 00000000			
0x001C	MODE7[W] -------- -------- --000-00 00000000			
0x0020	TIM0[W] 00000101 01011111 11110000 00001111			
0x0024	TIM1[W] 00000101 01011111 11110000 00001111			
0x0028	TIM2[W] 00000101 01011111 11110000 00001111			
0x002C	TIM3[W] 00000101 01011111 11110000 00001111			
0x0030	TIM4[W] 00000101 01011111 11110000 00001111			
0x0034	TIM5[W] 00000101 01011111 11110000 00001111			
0x0038	TIM6[W] 00000101 01011111 11110000 00001111			
0x003C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	AREA0[W] -------- -0001111 -------- 00000000			
0x0044	AREA1[W] -------- -0001111 -------- 00010000			
0x0048	AREA2[W] -------- -0001111 -------- 00100000			
0x004C	AREA3[W] -------- -0001111 -------- 00110000			
0x0050	AREA4[W] -------- -0001111 -------- 01000000			
0x0054	AREA5[W] -------- -0001111 -------- 01010000			
0x0058	AREA6[W] -------- -0001111 -------- 01100000			
0x005C	AREA7[W] -------- -0001111 -------- 01110000			
0x0060	ATIM0[W] -------- -------- ----0100 01011111			
0x0064	ATIM1[W] -------- -------- ----0100 01011111			
0x0068	ATIM2[W] -------- -------- ----0100 01011111			
0x006C	ATIM3[W] -------- -------- ----0100 01011111			
0x0070	ATIM4[W] -------- -------- ----0100 01011111			
0x0074	ATIM5[W] -------- -------- ----0100 01011111			
0x0078	ATIM6[W] -------- -------- ----0100 01011111			
0x007C	ATIM7[W] -------- -------- ----0100 01011111			
0x0080 - 0x00FC	-	-	-	-
0x0100	SDMODE[W] -------- -------0 00010011 --00-000			
0x0104	REFTIM[W] -------0 00000000 0000000000110011			
0x0108	PWRDWN[W] -------- -------- 00000000 00000000			
0x010C	SDTIM[W] ------00 01000010 00010001 0100--01			
0x0110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x0114 - 0x01FC	-	-	-	-

Base_Address + Address	Register			
	+3	+ 2	+1	+ 0
0x0200	MEMCERR[W] -------- -------- -------- ----0000			
0x0204 – 0x02FC	-	-	-	-
0x0300	DCLKR[W] -------- -------- -------- ---01111			
0x0304	EST -------- -------- -------- -------0			
0x0308	WEAD 00000000 00000000 000000000 00000000			
0x030C	ESCLR[W] -------- -------- -------- -------1			
0x0310	AMODE[W] -------- -------- -------- -------1			
0x031C - 0x0EFC	-	-	-	-
0x0F00 – 0x0F14	*	*	*	*
0x0F18 – 0x0FFC	-	-	-	-

1.35.2 TYPE3-M4, TYPE4-M4, TYPE5-M4, TYPE6-M4 製品

EXT-Bus I/F Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	MODE0[W] -------- -------- --000-00 00000000			
0x0004	MODE1[W] -------- -------- --000-00 00000000			
0x0008	MODE2[W] -------- -------- --000-00 00000000			
0x000C	MODE3[W] -------- -------- --000-00 00000000			
0x0010	MODE4[W] -------- -------- --000-00 00000001			
0x0014	MODE5[W] -------- -------- --000-00 00000000			
0x0018	MODE6[W] -------- -------- --000-00 00000000			
0x001C	MODE7[W] -------- -------- --000-00 00000000			
0x0020	TIM0[W] 00000101 01011111 11110000 00001111			
0x0024	TIM1[W] 00000101 01011111 11110000 00001111			
0x0028	TIM2[W] 00000101 01011111 11110000 00001111			
0x002C	TIM3[W] 00000101 01011111 11110000 00001111			
0x0030	TIM4[W] 00000101 01011111 11110000 00001111			
0x0034	TIM5[W] 00000101 01011111 11110000 00001111			
0x0038	TIM6[W] 00000101 01011111 11110000 00001111			
0x003C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	AREA0[W] -------- -0001111 -------- 00000000			
0x0044	AREA1[W] -------- -0001111 -------- 00010000			
0x0048	AREA2[W] -------- -0001111 -------- 00100000			
0x004C	AREA3[W] -------- -0001111 -------- 00110000			
0x0050	AREA4[W] -------- -0001111 -------- 01000000			
0x0054	AREA5[W] -------- -0001111 -------- 01010000			
0x0058	AREA6[W] -------- -0001111 -------- 01100000			
0x005C	AREA7[W] -------- -0001111 -------- 01110000			
0x0060	ATIM0[W] -------- -------- ----0100 01011111			
0x0064	ATIM1[W] -------- -------- ----0100 01011111			
0x0068	ATIM2[W] -------- -------- ----0100 01011111			
0x006C	ATIM3[W] -------- -------- ----0100 01011111			
0x0070	ATIM4[W] -------- -------- ----0100 01011111			
0x0074	ATIM5[W] -------- -------- ----0100 01011111			
0x0078	ATIM6[W] -------- -------- ----0100 01011111			
0x007C	ATIM7[W] -------- -------- ----0100 01011111			
0x0080 - 0x00FC	-	-	-	-
0x0100	SDMODE[W] -------- -------0 00010011 --00-000			
0x0104	REFTIM[W] -------0 00000000 0000000000110011			
0x0108	PWRDWN[W] -------- -------- 00000000 00000000			
0x010C	SDTIM[W] 0-----00 01000010 00010001 0100--01			
0x0110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x0114 - 0x01FC	-	-	-	-

Base_Address + Address	Register			
	+3	+ 2	+1	+ 0
0x0200	MEMCERR[W] -------- -------- -------- ----0000			
0x0204 – 0x02FC	-	-	-	-
0x0300	DCLKR[W] -------- -------- -------- ---01111			
0x0304	EST -------- -------- -------- -------0			
0x0308	WEAD 00000000 00000000 000000000 00000000			
0x030C	ESCLR[W] -------- -------- -------- -------1			
0x0310	AMODE[W] -------- -------- -------- -------1			
0x031C - 0x0EFC	-	-	-	-
0x0F00 – 0x0F14	*	*	*	*
0x0F18 – 0x0FFC	-	-	-	-

1.36 USB

USB ch.0 Base_Address : 0x4004_0000
USB ch.1 Base_Address : 0x4005_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 100--00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
Base_Address + Address	Register			
	+3	+2	+1	+0
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 - 0x217C	-	-	-	-

1.37 DMAC

DMAC Base_Address : 0x4006_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	DMACR[B,H,W] 00-00000 -------- -------- --------			
0x0010	DMACA0[B,H,W] 00000000 0---0000 00000000 00000000			
0x0014	DMACB0[B,H,W] --000000 00000000 00000000 -------0			
0x0018	DMACSA0[B,H,W] 00000000 00000000 00000000 00000000			
0x001C	DMACDA0[B,H,W] 00000000 00000000 00000000 00000000			
0x0020	DMACA1[B,H,W] 00000000 0---0000 00000000 00000000			
0x0024	DMACB1[B,H,W] --000000 00000000 00000000 -------0			
0x0028	DMACSA1[B,H,W] 00000000 00000000 00000000 00000000			
0x002C	DMACDA1[B,H,W] 00000000 00000000 00000000 00000000			
0x0030	DMACA2[B,H,W] 00000000 0---0000 00000000 00000000			
0x0034	DMACB2[B,H,W] --000000 00000000 00000000 -------0			
0x0038	DMACSA2[B,H,W] 00000000 00000000 00000000 00000000			
0x003C	DMACDA2[B,H,W] 00000000 00000000 00000000 00000000			
0x0040	DMACA3[B,H,W] 00000000 0---0000 00000000 00000000			
0x0044	DMACB3[B,H,W] --000000 00000000 00000000 -------0			
0x0048	DMACSA3[B,H,W] 00000000 00000000 00000000 00000000			
0x004C	DMACDA3[B,H,W] 00000000 00000000 00000000 00000000			
0x0050	DMACA4[B,H,W] 00000000 0---0000 00000000 00000000			
0x0054	DMACB4[B,H,W] --000000 00000000 00000000 -------0			
0x0058	DMACSA4[B,H,W] 00000000 00000000 00000000 00000000			
0x005C	DMACDA4[B,H,W] 00000000 00000000 00000000 00000000			
0x0060	DMACA5[B,H,W] 00000000 0---0000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0064	DMACB5[B,H,W] --000000 00000000 00000000 -------0			
0x0068	DMACSA5[B,H,W] 00000000 00000000 00000000 00000000			
0x006C	DMACDA5[B,H,W] 00000000 00000000 00000000 00000000			
0x0070	DMACA6[B,H,W] 00000000 0---0000 00000000 00000000			
0x0074	DMACB6[B,H,W] --000000 00000000 00000000 -------0			
0x0078	DMACSA6[B,H,W] 00000000 00000000 00000000 00000000			
0x007C	DMACDA6[B,H,W] 00000000 00000000 00000000 00000000			
0x0080	DMACA7[B,H,W] 00000000 0---0000 00000000 00000000			
0x0084	DMACB7[B,H,W] --000000 00000000 00000000 -------0			
0x0088	DMACSA7[B,H,W] 00000000 00000000 00000000 00000000			
0x008C	DMACDA7[B,H,W] 00000000 00000000 00000000 00000000			
0x0090 - 0x00FC	-	-	-	-

1.38 DSTC

DSTC Base_Address : 0x4006_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	DESTP[B,H,W] 00000000 00000000 00000000 00000000			
0x0004	HWDESP[B,H,W] 00XXXXXX XXXXXX00 00000000 00000000			
0x0008	SWTR[H] 00000000 00000000		CFG[B] 01000000	CMD[B] 00000001
0x000C	MONERS[B,H,W] 00XXXXXX XXXXXX00 XXXXXXXX XXX00000			
0x0010	DREQENB[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0014	DREQENB[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0018	DREQENB[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x001C	DREQENB[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0020	DREQENB[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0024	DREQENB[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0028	DREQENB[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x002C	DREQENB[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x0030	HWINT[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0034	HWINT[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x0038	HWINT[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x003C	HWINT[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0040	HWINT[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0044	HWINT[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0048	HWINT[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x004C	HWINT[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x0050	HWINTCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x0054	HWINTCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0058	HWINTCLR[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x005C	HWINTCLR[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x060	HWINTCLR[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x064	HWINTCLR[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x068	HWINTCLR[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HWINTCLR[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x070	DQMSK[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x074	DQMSK[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x078	DQMSK[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x07C	DQMSK[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x080	DQMSK[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x084	DQMSK[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x088	DQMSK[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x08C	DQMSK[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x090	DQMSKCLR[31:0] [B,H,W] 00000000 00000000 00000000 00000000			
0x094	DQMSKCLR[63:32] [B,H,W] 00000000 00000000 00000000 00000000			
0x098	DQMSKCLR[95:64] [B,H,W] 00000000 00000000 00000000 00000000			
0x09C	DQMSKCLR[127:96] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	DQMSKCLR[159:128] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	DQMSKCLR[191:160] [B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	DQMSKCLR[223:192] [B,H,W] 00000000 00000000 00000000 00000000			
0x0AC	DQMSKCLR[255:224] [B,H,W] 00000000 00000000 00000000 00000000			
0x00B0 - 0x0FFC	-	-	-	-

1.39 CAN

CAN ch.0 Base_Address : 0x4006_2000
CAN ch.1 Base_Address : 0x4006_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	STATR[B,H,W] -------- 00000000		CTRLR[B,H,W] -------- 000-0001	
0x0004	BTR[B,H,W] -0100011 00000001		ERRCNT[B,H,W] 00000000 00000000	
0x0008	TESTR[B,H,W] -------- X00000--		INTR[B,H,W] 00000000 00000000	
0x000C	-	-	BRPER[B,H,W] -------- ----0000	
0x0010	IF1CMSK[B,H,W] -------- 00000000		IF1CREQ[B,H,W] 0------- 00000001	
0x0014	IF1MSK2[B,H,W] 11-11111 11111111		IF1MSK1[B,H,W] 11111111 11111111	
0x0018	IF1ARB2[B,H,W] 00000000 00000000		IF1ARB1[B,H,W] 00000000 00000000	
0x001C	-	-	IF1MCTR[B,H,W] 00000000 0---0000	
0x0020	IF1DTA2[B,H,W] 00000000 00000000		IF1DTA1[B,H,W] 00000000 00000000	
0x0024	IF1DTB2[B,H,W] 00000000 00000000		IF1DTB1[B,H,W] 00000000 00000000	
0x0028 - 0x002F	-	-	-	-
0x0030	IF1DTA1[B,H,W] 00000000 00000000		IF1DTA2[B,H,W] 00000000 00000000	
0x0034	IF1DTB1[B,H,W] 00000000 00000000		IF1DTB2[B,H,W] 00000000 00000000	
0x0038 - 0x003C	-	-	-	-
0x0040	IF2CMSK[B,H,W] -------- 00000000		IF2CREQ[B,H,W] 0------- 00000001	
0x0044	IF2MSK2[B,H,W] 11-11111 11111111		IF2MSK1[B,H,W] 11111111 11111111	
0x0048	IF2ARB2[B,H,W] 00000000 00000000		IF2ARB1[B,H,W] 00000000 00000000	
0x004C	-	-	IF2MCTR[B,H,W] 00000000 0---0000	
0x0050	IF2DTA2[B,H,W] 00000000 00000000		IF2DTA1[B,H,W] 00000000 00000000	
0x0054	IF2DTB2[B,H,W] 00000000 00000000		IF2DTB1[B,H,W] 00000000 00000000	
0x0058 - 0x005C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0060	IF2DTA1[B,H,W] 00000000 00000000		IF2DTA2[B,H,W] 00000000 00000000	
0x0064	IF2DTB1[B,H,W] 00000000 00000000		IF2DTB2[B,H,W] 00000000 00000000	
0x0068 - 0x007C	-	-	-	-
0x0080	TREQR2[B,H,W] 00000000 00000000		TREQR1[B,H,W] 00000000 00000000	
0x0084 - 0x008F	-	-	-	-
0x0090	NEWDT2[B,H,W] 00000000 00000000		NEWDT1[B,H,W] 00000000 00000000	
0x0094 - 0x009F	-	-	-	-
0x00A0	INTPND2[B,H,W] 00000000 00000000		INTPND1[B,H,W] 00000000 00000000	
0x00A4 - 0x00AF	-	-	-	-
0x00B0	MSGVAL2[B,H,W] 00000000 00000000		MSGVAL1[B,H,W] 00000000 00000000	
0x00B4 - 0x0FFC	-	-	-	-

1.40 Ethernet-MAC

Ethernet-MAC　　Base_Address : 0x4006_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000 – 0x1FFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

＜注意事項＞

- *Ethernet-MAC 部のレジスタの詳細は『Ethernet 編 CHAPTER2:Ethernet-MAC 4. レジスタ』を参照してください。*

1.41 Ethernet-Control

Ethernet-Control　Base_Address : 0x4006_6000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0xFFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

＜注意事項＞

- *Ethernet-Control 部のレジスタの詳細は『Ethernet 編 CHAPTER1:Ethernet 4. Ethernet システム制御レジスタ』を参照してください。*

1.42 I2S

I2S ch.0 Base_Address : 0x4006_C000
I2S ch.1 Base_Address : 0x4006_C800

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	RXFDAT[B,H,W] 00000000 00000000 00000000 00000000			
0x004	TXFDAT[B,H,W] 00000000 00000000 00000000 00000000			
0x008	CNTREG[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	MCR0REG[B,H,W] -0000000 00000000 -0000000 00000000			
0x010	MCR1REG[B,H,W] 00000000 00000000 00000000 00000000			
0x014	MCR2REG[B,H,W] 00000000 00000000 00000000 00000000			
0x018	OPRREG[B,H,W] -------0 -------0 -------- -------0			
0x01C	SRST[B,H,W] -------- -------- -------- -------0			
0x020	INTCNT[B,H,W] -1111111 --111111 ----0000 --000000			
0x024	STATUS[B,H,W] 00000000 ----0000 00000000 00000000			
0x028	DMAACT[B,H,W] -------0 -------0 -------0 -------0			
0x02C	TSTREG[B,H,W] -------- -------- -------- -------0			
0x030 - 0xFFC	-	-	-	-

1.43 SD-Card

SD-Card Base_Address : 0x4006_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 – 0xFFC	XXXXXXXX	XXXXXXXX	XXXXXXXX	XXXXXXXX

<注意事項>

- *SD-Card 部のレジスタの詳細は『本編 CHAPTER:SD カードインタフェース 2.レジスター覧』を参照してください。*

1.44 CAN FD

CAN FD　　Base_Address : 0x4007_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CREL[B,H,W] 00110000 00010011 00000101 0000110			
0x004	ENDN[B,H,W] 10000111 01100101 01000011 00100001			
0x008	-	-	-	-
0x00C	FBTP[B,H,W] ---00000 0--00000 ----1010 -011--11			
0x010	TEST[B,H,W] -------- -------- --000000 X000----			
0x014	RWD[B,H,W] -------- -------- 00000000 00000000			
0x018	CCCR[B,H,W] -------- -------- -0000000 00000001			
0x01C	BTP[B,H,W] ------00 00000000 --001010 00110011			
0x020	TSCC[B,H,W] -------- ----0000 -------- ------00			
0x024	TSCV[B,H,W] -------- -------- 00000000 00000000			
0x028	TOCC[B,H,W] 11111111 11111111 -------- -----000			
0x02C	TOCV[B,H,W] -------- -------- 11111111 11111111			
0x030 - 0x03C	-	-	-	-
0x040	ECR[B,H,W] -------- 00000000 00000000 00000000			
0x044	PSR[B,H,W] -------- -------- --000111 00000111			
0x048 - 0x04C	-	-	-	-
0x050	IR[B,H,W] 00000000 00000000 00000000 00000000			
0x054	IE[B,H,W] 00000000 00000000 00000000 00000000			
0x058	ILS[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	ILE[B,H,W] -------- -------- -------- ------00			
0x060 - 0x07C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x080	GFC[B,H,W] -------- -------- -------- --000000			
0x084	SIDFC[B,H,W] -------- 00000000 00000000 000000--			
0x088	XIDFC[B,H,W] -------- -0000000 00000000 000000--			
0x08C	-	-	-	-
0x090	XIDAM[B,H,W] ---11111 11111111 11111111 11111111			
0x094	HPMS[B,H,W] -------- -------- 00000000 00000000			
0x098	NDAT1[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	NDAT2[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	RXF0C[B,H,W] 00000000 -0000000 00000000 000000--			
0x0A4	RXF0S[B,H,W] ------00 --000000 --000000 -0000000			
0x0A8	RXF0A[B,H,W] -------- -------- -------- --000000			
0x0AC	RXBC[B,H,W] -------- -------- 00000000 000000--			
0x0B0	RXF1C[B,H,W] 00000000 -0000000 00000000 000000--			
0x0B4	RXF1S[B,H,W] 00----00 --000000 --000000 -0000000			
0x0B8	RXF1A[B,H,W] -------- -------- -------- --000000			
0x0BC	RXESC[B,H,W] -------- -------- -----000 -000-000			
0x0C0	TXBC[B,H,W] -0000000 --000000 00000000 000000--			
0x0C4	TXFQS[B,H,W] -------- --000000 ---00000 –000000			
0x0C8	TXESC[B,H,W] -------- -------- -------- -----000			
0x0CC	TXBRP[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	TXBAR[B,H,W] 00000000 00000000 00000000 00000000			
0x0D4	TXBCR[B,H,W] 00000000 00000000 00000000 00000000			
0x0D8	TXBTO[B,H,W] 00000000 00000000 00000000 00000000			
0x0DC	TXBCF[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0E0	TXBTIE[B,H,W] 00000000 00000000 00000000 00000000			
0x0E4	TXBCIE[B,H,W] 00000000 00000000 00000000 00000000			
0x0E8 - 0x0EC	-	-	-	-
0x0F0	TXEFC[B,H,W] --000000 --000000 00000000 000000--			
0x0F4	TXEFS[B,H,W] ------00 ---00000 ---00000 --000000			
0x0F8	TXEFA[B,H,W] -------- -------- -------- ---00000			
0x0FC - 0x1FC	-	-	-	-
0x200	FDSEAR[B,H,W] 00000000 00000000		FDESR[B,H,W] ------00	FDECR[B,H,W] ----0000
0x204	FDDEAR[B,H,W] 00000000 00000000		FDESCR[B,H,W] ------00	-
0x208 – 0x20C				
0x210	TSMDR[B,H,W] -------- -------0		TSCNTR[B,H,W] -------- -------0	
0x214	TSDIVR[B,H,W] -------- -------- 00000000 00000000			
0x218	TSCPCLR[B,H,W] 00000000 00000000		TSCDTR[B,H,W] 00000000 00000000	
0x21C - 0xFFC	-	-	-	-

CAN FD Message RAM

Base_Address + Address	Message RAM			
	+3	+2	+1	+0
0x8000 - 0xBFFC	Rx Buffer and FIFO Element [W] Tx Buffer Element [W] Tx Event FIFO Element [W] Standard Message ID Filter Element [W] Extended Message ID Filter Element [W]			

<注意事項>

- *メッセージ RAM の詳細は『通信マクロ編 CHAPTER 5-3: CAN FD コントローラ 6.メッセージ RAM』を参照してください。*

1.45 Programmable-CRC

Programmable-CRC　　Base_Address : 0x4008_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CRCn_PORY[B,H,W] 00000100 11000001 00011101 10110111			
0x004	CRCn_SEED[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCn_FXOR[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	CRCn_CFG[B,H,W] 00000000 11100000 00000000 00000000			
0x010	CRCn_WR[B,H,W] 00000000 00000000 00000000 00000000			
0x014	CRCn_RD[B,H,W] 00000000 00000000 00000000 00000000			
0x018 - 0xFFC	-	-	-	-

1.46 WorkFlash_IF

WorkFlash_IF　　Base_Address : 0x200E_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WFASZR[B,H,W]			
0x004	WFRWTR[B,H,W]			
0x008	WFSTR[B,H,W]			
0x00C - 0xFFF	-	-	-	-

＜注意事項＞

- *WorkFlash_IF 部のレジスタの詳細はご使用する製品の『フラッシュ プログラミングマニュアル』を参照してください。*

1.47 High-Speed Quad SPI Controller

1.47.1 TYPE3-M4 製品

High-Speed Quad SPI Controller Base_Address : 0xD000_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	HSSPIn_MCTRL[B,H,W] -------- -------- -------- --000-00			
0x004	HSSPIn_PCC0[B,H,W] -------- -1111111 00000000 00000000			
0x008	HSSPIn_PCC1[B,H,W] -------- -1111111 00000000 00000000			
0x00C	HSSPIn_PCC2[B,H,W] -------- -1111111 00000000 00000000			
0x010	HSSPIn_PCC3[B,H,W] -------- -1111111 00000000 00000000			
0x014	HSSPIn_TXF[B,H,W] -------- -------- -------- -0000000			
0x018	HSSPIn_TXE[B,H,W] -------- -------- -------- -0000000			
0x01C	HSSPIn_TXC[B,H,W] -------- -------- -------- -0000000			
0x020	HSSPIn_RXF[B,H,W] -------- -------- -------- -0000000			
0x024	HSSPIn_RXE[B,H,W] -------- -------- -------- -0000000			
0x028	HSSPIn_RXC[B,H,W] -------- -------- -------- -0000000			
0x02C	HSSPIn_FAULTF[B,H,W] -------- -------- -------- ---00000			
0x030	HSSPIn_FAULTC[B,H,W] -------- -------- -------- ---00000			
0x034	-	-	HSSPIn_DMDMAEN [B,H,W] ------00	HSSPIn_DMCFG [B,H,W] -----001
0x038	HSSPIn_DMTRP [B,H,W] ----0000	HSSPIn_DMPSEL [B,H,W] ------00	HSSPIn_DMSTOP [B,H,W] -------0	HSSPIn_DMSTART [B,H,W] -------0
0x03C	HSSPIn_DMBCS[B,H,W] 00000000 00000000		HSSPIn_DMBCC[B,H,W] 00000000 00000000	
0x040	HSSPIn_DMSTATUS[B,H,W] -------- ---00000 ---00000 ------00			
0x044	-	-	-	-
0x048	-	-	-	-
0x04C	HSSPIn_FIFOCFG[B,H,W] --------_--------_---00000_01110111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	HSSPIn_TXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x054	HSSPIn_TXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x058	HSSPIn_TXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	HSSPIn_TXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x060	HSSPIn_TXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x064	HSSPIn_TXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x068	HSSPIn_TXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HSSPIn_TXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x070	HSSPIn_TXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x074	HSSPIn_TXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x078	HSSPIn_TXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	HSSPIn_TXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x080	HSSPIn_TXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x084	HSSPIn_TXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x088	HSSPIn_TXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	HSSPIn_TXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x090	HSSPIn_RXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x094	HSSPIn_RXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x098	HSSPIn_RXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	HSSPIn_RXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	HSSPIn_RXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	HSSPIn_RXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	HSSPIn_RXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0AC	HSSPIn_RXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x0B0	HSSPIn_RXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x0B4	HSSPIn_RXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x0B8	HSSPIn_RXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x0BC	HSSPIn_RXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x0C0	HSSPIn_RXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x0C4	HSSPIn_RXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x0C8	HSSPIn_RXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x0CC	HSSPIn_RXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	HSSPIn_CSCFG[B,H,W] -------- ----0000 ----0000 --000000			
0x0D4	HSSPIn_CSITIME[B,H,W] -------- -------- 11111111 11111111			
0x0D8	HSSPIn_CSAEXT[B,H,W] 00000000 00000000 000----- --------			
0x0DC	HSSPIn_RDCSDC1[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC0[B,H,W] 00000000 ----0000	
0x0E0	HSSPIn_RDCSDC3[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC2[B,H,W] 00000000 ----0000	
0x0E4	HSSPIn_RDCSDC5[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC4[B,H,W] 00000000 ----0000	
0x0E8	HSSPIn_RDCSDC7[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC6[B,H,W] 00000000 ----0000	
0x0EC	HSSPIn_WRCSDC1[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC0[B,H,W] 00000000 ----0000	
0x0F0	HSSPIn_WRCSDC3[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC2[B,H,W] 00000000 ----0000	
0x0F4	HSSPIn_WRCSDC5[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC4[B,H,W] 00000000 ----0000	
0x0F8	HSSPIn_WRCSDC7[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC6[B,H,W] 00000000 ----0000	
0x0FC	HSSPIn_MID[B,H,W] 00000000 00000000 00000110 00110000			
0x100 - 0x3FC	-	-	-	-
0x400	-	-	-	QDCLKR[B,H,W] ----1111
0x404	-	-	-	DBCNT[B,H,W] ------00
0x408 - 0xFFC	-	-	-	-

1.47.2 TYPE4-M4 製品

High-Speed Quad SPI Controller Base_Address : 0xD0A0_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	HSSPIn_MCTRL[B,H,W] -------- -------- -------- --000-00			
0x004	HSSPIn_PCC0[B,H,W] -------- -1111111 00000000 00000000			
0x008	HSSPIn_PCC1[B,H,W] -------- -1111111 00000000 00000000			
0x00C	HSSPIn_PCC2[B,H,W] -------- -1111111 00000000 00000000			
0x010	HSSPIn_PCC3[B,H,W] -------- -1111111 00000000 00000000			
0x014	HSSPIn_TXF[B,H,W] -------- -------- -------- -0000000			
0x018	HSSPIn_TXE[B,H,W] -------- -------- -------- -0000000			
0x01C	HSSPIn_TXC[B,H,W] -------- -------- -------- -0000000			
0x020	HSSPIn_RXF[B,H,W] -------- -------- -------- -0000000			
0x024	HSSPIn_RXE[B,H,W] -------- -------- -------- -0000000			
0x028	HSSPIn_RXC[B,H,W] -------- -------- -------- -0000000			
0x02C	HSSPIn_FAULTF[B,H,W] -------- -------- -------- ---00000			
0x030	HSSPIn_FAULTC[B,H,W] -------- -------- -------- ---00000			
0x034	-	-	HSSPIn_DMDMAEN [B,H,W] ------00	HSSPIn_DMCFG [B,H,W] -----001
0x038	HSSPIn_DMTRP [B,H,W] ----0000	HSSPIn_DMPSEL [B,H,W] ------00	HSSPIn_DMSTOP [B,H,W] -------0	HSSPIn_DMSTART [B,H,W] -------0
0x03C	HSSPIn_DMBCS[B,H,W] 00000000 00000000		HSSPIn_DMBCC[B,H,W] 00000000 00000000	
0x040	HSSPIn_DMSTATUS[B,H,W] -------- ---00000 ---00000 ------00			
0x044	-	-	-	-
0x048	-	-	-	-
0x04C	HSSPIn_FIFOCFG[B,H,W] --------_--------_---00000_01110111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x050	HSSPIn_TXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x054	HSSPIn_TXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x058	HSSPIn_TXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	HSSPIn_TXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x060	HSSPIn_TXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x064	HSSPIn_TXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x068	HSSPIn_TXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			
0x06C	HSSPIn_TXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x070	HSSPIn_TXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x074	HSSPIn_TXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x078	HSSPIn_TXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	HSSPIn_TXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x080	HSSPIn_TXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x084	HSSPIn_TXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x088	HSSPIn_TXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	HSSPIn_TXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x090	HSSPIn_RXFIFO0[B,H,W] 00000000 00000000 00000000 00000000			
0x094	HSSPIn_RXFIFO1[B,H,W] 00000000 00000000 00000000 00000000			
0x098	HSSPIn_RXFIFO2[B,H,W] 00000000 00000000 00000000 00000000			
0x09C	HSSPIn_RXFIFO3[B,H,W] 00000000 00000000 00000000 00000000			
0x0A0	HSSPIn_RXFIFO4[B,H,W] 00000000 00000000 00000000 00000000			
0x0A4	HSSPIn_RXFIFO5[B,H,W] 00000000 00000000 00000000 00000000			
0x0A8	HSSPIn_RXFIFO6[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0AC	HSSPIn_RXFIFO7[B,H,W] 00000000 00000000 00000000 00000000			
0x0B0	HSSPIn_RXFIFO8[B,H,W] 00000000 00000000 00000000 00000000			
0x0B4	HSSPIn_RXFIFO9[B,H,W] 00000000 00000000 00000000 00000000			
0x0B8	HSSPIn_RXFIFO10[B,H,W] 00000000 00000000 00000000 00000000			
0x0BC	HSSPIn_RXFIFO11[B,H,W] 00000000 00000000 00000000 00000000			
0x0C0	HSSPIn_RXFIFO12[B,H,W] 00000000 00000000 00000000 00000000			
0x0C4	HSSPIn_RXFIFO13[B,H,W] 00000000 00000000 00000000 00000000			
0x0C8	HSSPIn_RXFIFO14[B,H,W] 00000000 00000000 00000000 00000000			
0x0CC	HSSPIn_RXFIFO15[B,H,W] 00000000 00000000 00000000 00000000			
0x0D0	HSSPIn_CSCFG[B,H,W] -------- ----0000 ----0000 --000000			
0x0D4	HSSPIn_CSITIME[B,H,W] -------- -------- 11111111 11111111			
0x0D8	HSSPIn_CSAEXT[B,H,W] 00000000 00000000 000----- --------			
0x0DC	HSSPIn_RDCSDC1[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC0[B,H,W] 00000000 ----0000	
0x0E0	HSSPIn_RDCSDC3[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC2[B,H,W] 00000000 ----0000	
0x0E4	HSSPIn_RDCSDC5[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC4[B,H,W] 00000000 ----0000	
0x0E8	HSSPIn_RDCSDC7[B,H,W] 00000000 ----0000		HSSPIn_RDCSDC6[B,H,W] 00000000 ----0000	
0x0EC	HSSPIn_WRCSDC1[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC0[B,H,W] 00000000 ----0000	
0x0F0	HSSPIn_WRCSDC3[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC2[B,H,W] 00000000 ----0000	
0x0F4	HSSPIn_WRCSDC5[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC4[B,H,W] 00000000 ----0000	
0x0F8	HSSPIn_WRCSDC7[B,H,W] 00000000 ----0000		HSSPIn_WRCSDC6[B,H,W] 00000000 ----0000	
0x0FC	HSSPIn_MID[B,H,W] 00000000 00000000 00000110 00110000			
0x100 - 0x3FC	-	-	-	-
0x400	-	-	-	QDCLKR[B,H,W] ----1111
0x404	-	-	-	DBCNT[B,H,W] ------00
0x408 - 0xFFC	-	-	-	-

1.48 HyperBus Interface

HyperBus Interface　　Base_Address : 0xD0A0_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	CSR[B,H,W] -----000 -------0 ----0000 -------0			
0x004	IEN[B,H,W] 0------- -------- -------- -------0			
0x008	ISR[B,H,W] -------- -------- -------- -------0			
0x024	-	-	-	-
0x010	MBR0[B,H,W] 00000000 00000000 00000000 00000000			
0x014	MBR1[B,H,W] 00000000 00000000 00000000 00000000			
0x018	MCR0[B,H,W] -------- ------00 -------- --00--11			
0x01C	MCR1[B,H,W] -------- ------00 -------- --00--11			
0x020	MTR0[B,H,W] 00000000 00000000 00000000 ----0000			
0x024	MTR1[B,H,W] 00000000 00000000 00000000 ----0000			
0x028	GPOR[B,H,W] -------- -------- -------- ------00			
0x02C	WPR[B,H,W] -------- -------- -------- -------0			
0x030	TEST[B,H,W] -------- -------- -------- -------0			
0x034- 0xFFC	-	-	-	-

1.49 GDC Sub System Controller

GDC Sub System Controller　　Base_Address : 0xD0A0_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	LockUnlock[W] 00000000 00000000 00000000 00000000			
0x004	LockStatus[W] -------- -------- -------0 ---0---0			
0x008	*[W]			
0x00C	CnfigClockControl[W] -------- -------- -------- -----001			
0x010	VramInterruptEnable[W] -------- -------- -------- ------11			
0x014	*[W]			
0x018	VramInterruptClear[W] -------- -------- -------- ------00			
0x01C	VramInterruptStatus[W] -------- -------- -------- ------00			
0x020	ExtFlashDevSelect[W] -------- -------- -------- -------1			
0x024	VramRemapDisable[W] -------- -------- -------- -------0			
0x028	PanicSwitch[W] -------- -------- -------- -------1			
0x02C	GDC_ClockDivider[W] -------- -----100 00000000 --------			
0x030	WkupTriggerMask[W] -----000 -----000 00000000 00000000			
0x034	ClockDomainStatus[W] -------- -------- -------- ----0000			
0x038	-			
0x03C	-			
0x040	dsp_LockUnlock[W] 00000000 00000000 00000000 00000000			
0x044	dsp_LockStatus[W] -------- -------- -------0 ---0---0			
0x048	dsp0_ClockDivider[W] -------- 01000001 11100000 --------			
0x04C	dsp0_DomainControl[W] -------- -------1 -------- -------0			
0x050	dsp0_ClockShift[W] -------- -------- -------- -------1			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x054	*[W]			
0x058	dsp0_PowerEnControl[W] -------- -------- -------- -------0			
0x05C	dsp0_ClockGateModeLock[W] 00000000 00000000 00000000 00000000			
0x060	dsp0_ClockGateControl[W] -------- -------- -------- -------0			
0x064	-			
0x068	-			
0x06C	-			
0x070	-			
0x074	-			
0x078	SDRAMC_ClcokDivider[W] -------- 00000100 00000000 --------			
0x07C	SDRAMC_DomainControl[W] -------- -------1 -------- -------0			
0x080	HSSPIC_ClockDivider[W] -------- 00000100 00000000 --------			
0x084	HSSPIC_DomainControl[W] -------- -------1 -------- -------0			
0x088	RPCC_ClcokDivider[W] -------- -------- -------- -----000			
0x08C	RPCC_DomainControl[W] -------- -------1 -------- -------0			
0x090	-			
0x094	-			
0x098	-			
0x09C	-			
0x100	vram_LockUnlock[W] 00000000 00000000 00000000 00000000			
0x104	vram_LockStatus[W] -------- -------- -------0 ---0---0			
0x108	vram_sram_select[W] -------- -------- ----0000 00000000			
0x10C	*[W]			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x110	*[W]			
0x114	*[W]			
0x118	*[W]			
0x11C	*[W]			
0x120	*[W]			
0x124	*[W]			
0x128	*[W]			
0x12C	-			
0x130	-			
0x134	-			
0x138	-			
0x13C	vram_sberraddr_s0[W] 00000000 00000000 0000000 00000000			
0x140	vram_sberraddr_s1[W] 00000000 00000000 0000000 00000000			
0x144	-			
0x148	vram_arbiter_priority[W] -------- -------- -------- 00000000			
0x14C-0xFFC	-			

1.50 GDC Sub System SDRAM Controller

GDC Sub System SDRAM Controller　　Base_Address : 0xD0A0_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000-0x0FF	-			
0x100	SDMODE[W] -------- -------0 00010011 --00-000			
0x104	REFTIM[W] -------0 00000000 0000000000110011			
0x108	PWRDWN[W] -------- -------- 00000000 00000000			
0x10C	SDTIM[W] 0-----00 01000010 00010001 0100--01			
0x110	SDCMD[W] 0------- ---00000 00000000 00000000			
0x114-0xFFC	-			

B. 注意事項一覧

各機能仕様の注意事項について示します。

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。
高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。
また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/ PCLK0/PCLK1/PCLK2/ TPIUCLK	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB Ethernet-MAC CAN CAN-FD I²S	―	各規格で規定されている周波数精度を満たせないため、使用できません。
マルチファンクション シリアル インタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO I2C	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
デバッグ インタフェース	シリアルワイヤ	高速 CR クロックの周波数変動により、SWV(シリアルワイヤビュー)が使用できない場合があります。
外部バス インタフェース	クロック出力	外バスクロック出力を使用する場合、接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
High-Speed Quad SPI	―	接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
SD カード インタフェース	―	接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。
GDC 部	Panel 出力 High-Speed Quad SPI HyperBus Interface SDRAM-Interface	接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。

主な変更内容

Spansion Publication Number: MN709-00003

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
6~7	本マニュアルにおける対象製品	TYPE1-M4, TYPE2-M4, TYPE3-M4 を追加
18	CHAPTER 1-2: 12 ビット A/D コンバータ 1.概要	「割込み要求による DMA 転送が可能」を追加
41	CHAPTER 1-2: 12 ビット A/D コンバータ 3.6 DMA 起動	説明内容を修正
-	-	社名変更および記述フォーマットの変換
Revision 3.0		
4	関連マニュアル	「FM4 ファミリ ペリフェラルマニュアル GDC 編」を追加
8	本マニュアルにおける対象製品	「TYPE4-M4」を追加
86	CHAPTER 1-3: A/D タイマトリガ選択	「同じ起動要因を複数の A/D コンバータで兼用できます。」を追加
Revision 4.0		
6～10	本マニュアルにおける対象製品	TYPE5-M4,TYPE6-M4 の他、対象型格を追加
8	本マニュアルにおける対象製品	TYPE4-M4 の対象型格を変更
93～106	CHAPTER 1-4: A/D コンバータ オフセット補正キャリブレーション機能	新規追加
250	Appendixes A. レジスタマップ 1. レジスタマップ	1.50 GDC Sub System SDRAM Controller の Base Address を訂正

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

改訂履歴

文書名: 32 ビット・マイクロコントローラ FM4 ファミリ Peripheral Manual アナログマクロ編 文書番号: 002-04861			
版	**ECN 番号**	**変更者**	**変更内容**
**	-	YOHO	サイプレスとしてドキュメントコード 002-04861 に登録しました。 本版の内容およびフォーマットに変更はありません。 (これは英語版の 002-04860 Rev. ** を翻訳した日本語版です。)
*A	5277536	YOHO	これは英語版の 002-04860 Rev. *A を翻訳した日本語版です。 社名変更と記述フォーマットの変換 CHAPTER 1-2: 12 ビット A/D コンバータ - "3.5 レンジ比較機能"の"Figure 3-8"の"上限しきい値設定レジスタ 0(ADRCUT0)"を"上限しきい値設定レジスタ(WCMPDH)"に変更 (Page 42) - "3.5 レンジ比較機能"の"Figure 3-8"の"下限しきい値設定レジスタ 0(ADRCLT0)"を"下限しきい値設定レジスタ(WCMPDL)"に変更 (Page 42) - "4.5 変換時間の設定"にレジスタ設定例を追加 (Page 52) - "5.5 スキャン変換 FIFO データレジスタ(SCFD)"の INVL の初期値を"X"から"1"に変更 (Page 61) - "5.9 優先変換FIFOデータレジスタ(PCFD)"のINVLの初期値を"X"から"1"に変更 (Page 67) - "5.16 A/D 動作許可設定レジスタ(ADCEN)"の ENABLETIME[15:8]を ENBLETIME[15:8]に変更 (Page 76) - "5.19 下限しきい値設定レジスタ(WCMPDL)"の bit を"[31:16]"から"[15:0]"に変更 (Page 81) - "5.20 レジスタ比較チャネル選択レジスタ(WCMPSR)"の bit を"[7:0]"から"[15:8]"に変更 (Page 82) CHAPTER 1-4: A/D コンバータ オフセットキャリブレーション機能 - "3.1.1 オフセットキャリブレーション値設定"の"Figure 3-1" を修正 (Page 94) - "3.1.4 オフセットキャリブレーション値算出"の計算式を修正 (Page 98) - "5.1 キャリブレーション設定レジスタ(CALSR)"の OFST の表を修正 (Page 102) Appendixes - A.レジスタマップ - 1.レジスタマップ - "1.11 IO Selector for Base Timer"で"Software-based Simulation Startup(Base Timer)"を"Software-based Simultaneous Startup(Base Timer)"に変更 (Page 140) - "1.14 A/DC"で SCFD bit12 の初期値を"X"から"1"に変更 (Page 143) - "1.14 A/DC"で PCFD bit12 の初期値を"X"から"1"に変更 (Page 143) - "1.21 LDV"で LVD_STR2 の初期値を"0------"から"0-------"に変更 (Page 199) - "1.27 Wacrh Counter"で CLK_SEL bit1 の初期値を"-"から"0"に変更 (Page 203) - "1.28 RTC"の"1.28.3 TYPE5-M4"で WTDIVEN の初期値を"-----00"から"------00"に変更 (Page 212)
*B	5731123	YSAT	これは英語版 002-04860 Rev.*B の日本語版です。 Cypress の新ロゴを適用

版	ECN 番号	変更者	変更内容
*C	6175058	KTOM	これは英語版 002-04860 Rev.*C の日本語版です。 “はじめに”への追加と変更 – ＜注意事項＞に”周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。”を追加 (Page 3) – “マイコンサポート情報”を追加 (page 3) ”本書の使い方”への追加と変更 – Table 3, 5, 6 の対象型格一覧を 8 桁表記に変更(Page 7,8) – Table 4 の対象型格一覧を 9 桁表記に変更(Page 7)