サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

32 ビット・マイクロコントローラ FM3 ファミリ
Peripheral Manual タイマ編

Doc. No. 002-04837 Rev. *C

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
http://www.cypress.com

© Cypress Semiconductor Corporation, 2012-2017. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて, Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で, Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で, Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM，及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは，それぞれの権利者の財産として権利主張がなされている可能性がある。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress (サイプレス) 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、『ペリフェラルマニュアル』およびご使用する製品の『データシート』をご一読ください。
なお本書は、ペリフェラルマニュアルからタイマに関する内容を抜きだした別冊として定義しております。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作，使い方について解説しています。

＜注意事項＞

本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。
デバイス仕様の詳細については、それぞれのデータシートを参照してください。
周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。

商標

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
その他の社名および製品名は各社の商標もしくは登録商標です。

サンプルプログラムおよび開発環境

FM3 ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本ファミリで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアル タイマ編には、以下に示す 8 つの章および Appendixes から構成されています。

CHAPTER 1: ウォッチドッグタイマ
CHAPTER 2: デュアルタイマ
CHAPTER 3-1: 時計カウンタ構成
CHAPTER 3-2: 時計カウンタプリスケーラ (A)
CHAPTER 3-3: 時計カウンタプリスケーラ (B)
CHAPTER 3-4: 時計カウンタ
CHAPTER 4-1: リアルタイムクロック
CHAPTER 4-2: RTC カウント部
CHAPTER 4-3: RTC クロック制御部(A)
CHAPTER 4-4: RTC クロック制御部(B)
CHAPTER 5-1: ベースタイマ構成
CHAPTER 5-2: ベースタイマ入出力選択機能(A)
CHAPTER 5-3: ベースタイマ入出力選択機能(B)
CHAPTER 5-4: ベースタイマ
CHAPTER 6: 多機能タイマ
CHAPTER 7-1: PPG 構成
CHAPTER 7-2: PPG
CHAPTER 7-3: PPG IGBT モード

CHAPTER 8-1: クアッドカウンタ
CHAPTER 8-2: クアッドカウンタ位置回転カウント表示機能
Appendixes

関連マニュアル

本ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

FM3 ファミリ ペリフェラルマニュアル (002-04744)
　以降、『ペリフェラルマニュアル』とよびます。
FM3 ファミリ ペリフェラルマニュアル タイマ編 (本書)
　以降、『タイマ編』とよびます。
FM3 ファミリ ペリフェラルマニュアル アナログマクロ編 (002-04841)
　以降、『アナログマクロ編』とよびます。
FM3 ファミリ ペリフェラルマニュアル 通信マクロ編 (002-04845)
　以降、『通信マクロ編』とよびます。
FM3 ファミリ ペリフェラルマニュアル Ethernet 編 (002-04783)
　以降、『Ethernet 編』とよびます。

データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

32 ビット FM3 ファミリ データシート

<注意事項>
データシートはシリーズごとに用意されています。
ご使用する製品のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M3 コアの詳細はhttp://www.arm.com/ から入手できる以下を参照してください。

Cortex-M3 テクニカルリファレンスマニュアル
Arm v7-M アーキテクチャ アプリケーション レベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

FM3 ファミリ フラッシュプログラミングマニュアル

<注意事項>
フラッシュプログラミングマニュアルはシリーズごとに用意されています。
ご使用する製品のフラッシュプログラミングマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

目次から探す
: 本書の内容を記載順に示します。

レジスタから探す
: 本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『Appendixes』の『A.レジスタマップ』を参照してください。

章について

本書では、タイマについて説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

本書のレジスタ説明中のビット構成図では以下のように表記しています。

bit:	ビット番号
Field:	ビットフィールド名
属性:	各ビットのリード、ライト属性
R:	リードオンリ
W:	ライトオンリ
R/W:	リード・ライト可能
-:	未定義
初期値:	リセット直後のレジスタ初期値
0:	初期値"0"
1:	初期値"1"
X:	初期値不定

本書では、複数のビットを以下のように表記しています。
例: bit7 から bit0 の場合は bit7:0

本書では、アドレスなどの数値を以下のように表記しています。

16 進数:	プレフィックス(接頭辞)として"0x"を付けて表記しています(例 : 0xFFFF)。
2 進数:	プレフィックス(接頭辞)として"0b"を付けて表記しています(例 : 0b1111)。
10 進数:	数値だけで表記しています(例 : 1000)。

本マニュアルにおける対象製品

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE0"などの表記は、以下の一覧の製品に置き換えてお読みください。

Table 1 TYPE0 型格一覧

本書での表記	フラッシュメモリサイズ			
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte
TYPE0	MB9BF506N MB9BF506R MB9BF506NA MB9BF506RA MB9BF506NB MB9BF506RB	MB9BF505N MB9BF505R MB9BF505NA MB9BF505RA MB9BF505NB MB9BF505RB	MB9BF504N MB9BF504R MB9BF504NA MB9BF504RA MB9BF504NB MB9BF504RB	-
	MB9BF406N MB9BF406R MB9BF406NA MB9BF406RA	MB9BF405N MB9BF405R MB9BF405NA MB9BF405RA	MB9BF404N MB9BF404R MB9BF404NA MB9BF404RA	-
	MB9BF306N MB9BF306R MB9BF306NA MB9BF306RA MB9BF306NB MB9BF306RB	MB9BF305N MB9BF305R MB9BF305NA MB9BF305RA MB9BF305NB MB9BF305RB	MB9BF304N MB9BF304R MB9BF304NA MB9BF304RA MB9BF304NB MB9BF304RB	-
	MB9BF106N MB9BF106R MB9BF106NA MB9BF106RA	MB9BF105N MB9BF105R MB9BF105NA MB9BF105RA	MB9BF104N MB9BF104R MB9BF104NA MB9BF104RA	MB9BF102N MB9BF102R MB9BF102NA MB9BF102RA
	-	MB9AF105N MB9AF105R MB9AF105NA MB9AF105RA	MB9AF104N MB9AF104R MB9AF104NA MB9AF104RA	MB9AF102N MB9AF102R MB9AF102NA MB9AF102RA

Table 2 TYPE1 型格一覧

本書での表記	フラッシュメモリサイズ				
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte	64 Kbyte
TYPE1	MB9AF316M MB9AF316N MB9AF316MA MB9AF316NA	MB9AF315M MB9AF315N MB9AF315MA MB9AF315NA	MB9AF314L MB9AF314M MB9AF314N MB9AF314LA MB9AF314MA MB9AF314NA	MB9AF312L MB9AF312M MB9AF312N MB9AF312LA MB9AF312MA MB9AF312NA	MB9AF311L MB9AF311M MB9AF311N MB9AF311LA MB9AF311MA MB9AF311NA
	MB9AF116M MB9AF116N MB9AF116MA MB9AF116NA	MB9AF115M MB9AF115N MB9AF115MA MB9AF115NA	MB9AF114L MB9AF114M MB9AF114N MB9AF114LA MB9AF114MA MB9AF114NA	MB9AF112L MB9AF112M MB9AF112N MB9AF112LA MB9AF112MA MB9AF112NA	MB9AF111L MB9AF111M MB9AF111N MB9AF111LA MB9AF111MA MB9AF111NA

Table 3 TYPE2 型格一覧

本書での表記	フラッシュメモリサイズ		
	1 Mbyte	768 Kbyte	512 Kbyte
TYPE2	MB9BFD18S MB9BFD18T	MB9BFD17S MB9BFD17T	MB9BFD16S MB9BFD16T
	MB9BF618S MB9BF618T	MB9BF617S MB9BF617T	MB9BF616S MB9BF616T
	MB9BF518S MB9BF518T	MB9BF517S MB9BF517T	MB9BF516S MB9BF516T
	MB9BF418S MB9BF418T	MB9BF417S MB9BF417T	MB9BF416S MB9BF416T
	MB9BF318S MB9BF318T	MB9BF317S MB9BF317T	MB9BF316S MB9BF316T
	MB9BF218S MB9BF218T	MB9BF217S MB9BF217T	MB9BF216S MB9BF216T
	MB9BF118S MB9BF118T	MB9BF117S MB9BF117T	MB9BF116S MB9BF116T

Table 4 TYPE3 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE3	MB9AF132K MB9AF132L	MB9AF131K MB9AF131L
	MB9AF132KA MB9AF132LA	MB9AF131KA MB9AF131LA
	MB9AF132KB MB9AF132LB	MB9AF131KB MB9AF131LB

Table 5 TYPE4 型格一覧

本書での表記	フラッシュメモリサイズ			
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte
TYPE4	MB9BF516N MB9BF516R	MB9BF515N MB9BF515R	MB9BF514N MB9BF514R	MB9BF512N MB9BF512R
	MB9BF416N MB9BF416R	MB9BF415N MB9BF415R	MB9BF414N MB9BF414R	MB9BF412N MB9BF412R
	MB9BF316N MB9BF316R	MB9BF315N MB9BF315R	MB9BF314N MB9BF314R	MB9BF312N MB9BF312R
	MB9BF116N MB9BF116R	MB9BF115N MB9BF115R	MB9BF114N MB9BF114R	MB9BF112N MB9BF112R

Table 6 TYPE5 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE5	MB9AF312K	MB9AF311K
	MB9AF112K	MB9AF111K

Table 7 TYPE6 型格一覧

本書での表記	フラッシュメモリサイズ		
	256 Kbyte	**128 Kbyte**	**64 Kbyte**
TYPE6	MB9AFB44L MB9AFB44M MB9AFB44N MB9AFB44LA MB9AFB44MA MB9AFB44NA MB9AFB44LB MB9AFB44MB MB9AFB44NB	MB9AFB42L MB9AFB42M MB9AFB42N MB9AFB42LA MB9AFB42MA MB9AFB42NA MB9AFB42LB MB9AFB42MB MB9AFB42NB	MB9AFB41L MB9AFB41M MB9AFB41N MB9AFB41LA MB9AFB41MA MB9AFB41NA MB9AFB41LB MB9AFB41MB MB9AFB41NB
	MB9AFA44L MB9AFA44M MB9AFA44N MB9AFA44LA MB9AFA44MA MB9AFA44NA MB9AFA44LB MB9AFA44MB MB9AFA44NB	MB9AFA42L MB9AFA42M MB9AFA42N MB9AFA42LA MB9AFA42MA MB9AFA42NA MB9AFA42LB MB9AFA42MB MB9AFA42NB	MB9AFA41L MB9AFA41M MB9AFA41N MB9AFA41LA MB9AFA41MA MB9AFA41NA MB9AFA41LB MB9AFA41MB MB9AFA41NB
	MB9AF344L MB9AF344M MB9AF344N MB9AF344LA MB9AF344MA MB9AF344NA MB9AF344LB MB9AF344MB MB9AF344NB	MB9AF342L MB9AF342M MB9AF342N MB9AF342LA MB9AF342MA MB9AF342NA MB9AF342LB MB9AF342MB MB9AF342NB	MB9AF341L MB9AF341M MB9AF341N MB9AF341LA MB9AF341MA MB9AF341NA MB9AF341LB MB9AF341MB MB9AF341NB
	MB9AF144L MB9AF144M MB9AF144N MB9AF144LA MB9AF144MA MB9AF144NA MB9AF144LB MB9AF144MB MB9AF144NB	MB9AF142L MB9AF142M MB9AF142N MB9AF142LA MB9AF142MA MB9AF142NA MB9AF142LB MB9AF142MB MB9AF142NB	MB9AF141L MB9AF141M MB9AF141N MB9AF141LA MB9AF141MA MB9AF141NA MB9AF141LB MB9AF141MB MB9AF141NB

Table 8 TYPE7 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	**64 Kbyte**
TYPE7	MB9AFA32L MB9AFA32M MB9AFA32N	MB9AFA31L MB9AFA31M MB9AFA31N
	MB9AF132M MB9AF132N	MB9AF131M MB9AF131N
	MB9AFAA2L MB9AFAA2M MB9AFAA2N	MB9AFAA1L MB9AFAA1M MB9AFAA1N
	MB9AF1A2L MB9AF1A2M MB9AF1A2N	MB9AF1A1L MB9AF1A1M MB9AF1A1N

Table 9 TYPE8 型格一覧

本書での表記	フラッシュメモリサイズ		
	512 Kbyte	**384 Kbyte**	**256 Kbyte**
TYPE8	MB9AF156M MB9AF156N MB9AF156R MB9AF156MA MB9AF156NA MB9AF156RA	MB9AF155M MB9AF155N MB9AF155R MB9AF155MA MB9AF155NA MB9AF155RA	MB9AF154M MB9AF154N MB9AF154R MB9AF154MA MB9AF154NA MB9AF154RA

Table 10 TYPE9 型格一覧

本書での表記	フラッシュメモリサイズ		
	256 Kbyte	**128 Kbyte**	**64 Kbyte**
TYPE9	MB9BF524K MB9BF524L MB9BF524M	MB9BF522K MB9BF522L MB9BF522M	MB9BF521K MB9BF521L MB9BF521M
	MB9BF324K MB9BF324L MB9BF324M	MB9BF322K MB9BF322L MB9BF322M	MB9BF321K MB9BF321L MB9BF321M
	MB9BF124K MB9BF124L MB9BF124M	MB9BF122K MB9BF122L MB9BF122M	MB9BF121K MB9BF121L MB9BF121M

Table 11 TYPE10 型格一覧

本書での表記	フラッシュメモリサイズ
	64 Kbyte
TYPE10	MB9BF121J

Table 12 TYPE11 型格一覧

本書での表記	フラッシュメモリサイズ
	64 Kbyte
TYPE11	MB9AF421K MB9AF421L
	MB9AF121K MB9AF121L

Table 13 TYPE12 型格一覧

本書での表記	フラッシュメモリサイズ	
	1.5 Mbyte	**1 Mbyte**
TYPE12	MB9BF529S MB9BF529T MB9BF529SA MB9BF529TA	MB9BF528S MB9BF528T MB9BF528SA MB9BF528TA
	MB9BF429S MB9BF429T MB9BF429SA MB9BF429TA	MB9BF428S MB9BF428T MB9BF428SA MB9BF428TA
	MB9BF329S MB9BF329T MB9BF329SA MB9BF329TA	MB9BF328S MB9BF328T MB9BF328SA MB9BF328TA
	MB9BF129S MB9BF129T MB9BF129SA MB9BF129TA	MB9BF128S MB9BF128T MB9BF128SA MB9BF128TA

Contents

CHAPTER 1: ウォッチドッグタイマ 17
1. 概要 18
2. 構成・ブロックダイヤグラム 19
3. 動作説明 21
4. 設定手順例 26
5. 動作例 28
6. レジスター覧 30
6.1. ソフトウェアウォッチドッグタイマ　ロードレジスタ(WdogLoad) 31
6.2. ソフトウェアウォッチドッグタイマ　バリューレジスタ(WdogValue) 32
6.3. ソフトウェアウォッチドッグタイマ　制御レジスタ(WdogControl) 33
6.4. ソフトウェアウォッチドッグタイマ　クリアレジスタ(WdogIntClr) 34
6.5. ソフトウェアウォッチドッグタイマ　割込みステータスレジスタ(WdogRIS) 35
6.6. ソフトウェアウォッチドッグタイマ　ロックレジスタ(WdogLock) 36
6.7. ハードウェアウォッチドッグタイマ　ロードレジスタ(WDG_LDR) 37
6.8. ハードウェアウォッチドッグタイマ　バリューレジスタ(WDG_VLR) 38
6.9. ハードウェアウォッチドッグタイマ　制御レジスタ(WDG_CTL) 39
6.10. ハードウェアウォッチドッグタイマ　クリアレジスタ(WDG_ICL) 40
6.11. ハードウェアウォッチドッグタイマ　割込みステータスレジスタ(WDG_RIS) 41
6.12. ハードウェアウォッチドッグタイマ　ロックレジスタ(WDG_LCK) 42
7. 使用上の注意 43

CHAPTER 2: デュアルタイマ 45
1. 概要 46
2. 構成 47
3. 動作説明 48
3.1. タイマ動作モード 49
3.2. 初期状態 53
3.3. 割込み動作 54
4. 設定手順例 55
5. レジスタ 57
5.1. ロードレジスタ(TimerXLoad)　X=1 or 2 58
5.2. バリューレジスタ(TimerXValue)　X=1 or 2 59
5.3. 制御レジスタ(TimerXControl)　X=1 or 2 60
5.4. 割込みクリアレジスタ(TimerXIntClr)　X=1 or 2 62
5.5. 割込みステータスレジスタ(TimerXRIS)　X=1 or 2 63
5.6. マスク割込みステータスレジスタ(TimerXMIS)　X=1 or 2 64
5.7. バックグランドロードレジスタ(TimerXBGLoad)　X=1 or 2 65

CHAPTER 3-1: 時計カウンタ構成 67
1. 概要 68

CHAPTER 3-2: 時計カウンタプリスケーラ (A) 69
1. 時計カウンタプリスケーラの概要 70
2. 時計カウンタプリスケーラの構成 71
3. 時計カウンタプリスケーラの動作説明と設定手順例 72
4. 時計カウンタプリスケーラのレジスタ 74

4.1. クロック選択レジスタ(CLK_SEL) 75
4.2. 分周クロックイネーブルレジスタ(CLK_EN) 76
CHAPTER 3-3: 時計カウンタプリスケーラ (B) 77
1. 時計カウンタプリスケーラの概要 78
2. 時計カウンタプリスケーラの構成 79
3. 時計カウンタプリスケーラの動作説明と設定手順例 80
4. 時計カウンタプリスケーラのレジスタ 82
4.1. クロック選択レジスタ(CLK_SEL) 83
4.2. 分周クロックイネーブルレジスタ(CLK_EN) 84
CHAPTER 3-4: 時計カウンタ 85
1. 時計カウンタの概要 86
2. 時計カウンタの構成 87
3. 時計カウンタの割込み 88
4. 時計カウンタの動作説明と設定手順例 89
5. 時計カウンタのレジスタ 91
5.1. 時計カウンタリードレジスタ(WCRD) 92
5.2. 時計カウンタリロードレジスタ(WCRL) 93
5.3. 時計カウンタ制御レジスタ(WCCR) 94
CHAPTER 4-1: リアルタイムクロック 97
1. リアルタイムクロックの構成 98
2. リアルタイムクロックの略語表記 99
3. リアルタイムクロックのリセット 100
CHAPTER 4-2: RTC カウント部 101
1. RTC カウント部の概要 102
2. RTC カウント部のブロックダイヤグラム 103
3. RTC カウント部の動作説明と設定手順例 105
4. RTC カウント部のリセット動作 114
5. RTC カウント部のうるう年の対応 117
6. 時刻書換えエラー 119
7. RTC カウント部のレジスタ 121
7.1. 制御レジスタ 1(WTCR1) 122
7.2. 制御レジスタ 2(WTCR2) 129
7.3. カウンタ周期設定レジスタ(WTBR) 131
7.4. 日レジスタ(WTDR) 132
7.5. 時レジスタ(WTHR) 133
7.6. 分レジスタ(WTMIR) 134
7.7. 秒レジスタ(WTSR) 135
7.8. 年レジスタ(WTYR) 136
7.9. 月レジスタ(WTMOR) 137
7.10. 曜日レジスタ(WTDW) 138
7.11. アラーム日レジスタ(ALDR) 139
7.12. アラーム時レジスタ(ALHR) 140
7.13. アラーム分レジスタ(ALMIR) 141
7.14. アラーム年レジスタ(ALYR) 142
7.15. アラーム月レジスタ(ALMOR) 143
7.16. タイマ設定レジスタ(WTTR) 144
8. 使用上の注意 145
CHAPTER 4-3: RTC クロック制御部(A) 147
1. RTC クロック制御部の概要 148
2. RTC クロック制御部の構成 149
3. 周波数補正部の動作 150

4. RTC クロック制御部の設定手順 153
5. RTC クロック制御部のレジスタ 154
5.1. クロック選択レジスタ(WTCLKS) 155
5.2. 選択クロック状態レジスタ(WTCLKM) 156
5.3. 周波数補正値設定レジスタ(WTCAL) 157
5.4. 周波数補正許可レジスタ(WTCALEN) 158
5.5. 分周比設定レジスタ(WTDIV) 159
5.6. 分周器出力許可レジスタ(WTDIVEN) 160
CHAPTER 4-4: RTC クロック制御部(B) 161
1. RTC クロック制御部の概要 162
2. RTC クロック制御部の構成 163
3. RTC クロック制御部の動作説明 164
4. RTC クロック制御部の設定手順 169
5. RTC クロック制御部のレジスタ 170
5.1. クロック選択レジスタ(WTCLKS) 171
5.2. 選択クロック状態レジスタ(WTCLKM) 172
5.3. 周波数補正値設定レジスタ(WTCAL) 173
5.4. 周波数補正許可レジスタ(WTCALEN) 174
5.5. 分周比設定レジスタ(WTDIV) 175
5.6. 分周器出力許可レジスタ(WTDIVEN) 176
5.7. 周波数補正周期設定レジスタ(WTCALPRD) 177
5.8. RTCCO 出力選択レジスタ(WTCOSEL) 178
CHAPTER 5-1: ベースタイマ構成 179
1. 概要 180
CHAPTER 5-2: ベースタイマ入出力選択機能 (A) 181
1. 概要 182
2. 構成 183
3. 入出力モード 184
3.1. 端子 185
3.2. 入出力モード 187
4. レジスタ 202
4.1. 入出力選択レジスタ(BTSEL0123) 203
4.2. 入出力選択レジスタ(BTSEL4567) 205
4.3. 入出力選択レジスタ(BTSEL89AB) 207
4.4. 入出力選択レジスタ(BTSELCDEF) 209
4.5. 同時ソフト起動レジスタ(BTSSSR) 211
CHAPTER 5-3: ベースタイマ入出力選択機能 (B) 213
1. 概要 214
2. 構成 215
3. 入出力モード 216
3.1. 端子 217
3.2. 入出力モード 219
4. レジスタ 235
4.1. 入出力選択レジスタ(BTSEL0123) 236
4.2. 入出力選択レジスタ(BTSEL4567) 238
4.3. 入出力選択レジスタ(BTSEL89AB) 240
4.4. 入出力選択レジスタ(BTSELCDEF) 242
4.5. 同時ソフト起動レジスタ(BTSSSR) 244
CHAPTER 5-4: ベースタイマ 245
1. ベースタイマの概要 246
2. ベースタイマのブロックダイヤグラム 248
3. ベースタイマの動作 251

4. 32 ビットモード動作 252
5. ベースタイマ割込み 254
6. DMA コントローラ(DMAC)の起動 255
7. ベースタイマのレジスタ 256
8. ベースタイマの使用上の注意 257
9. ベースタイマの機能別説明 258
9.1. PWM タイマ機能 259
9.1.1. 16 ビット PWM タイマ動作 260
9.1.2. ワンショット動作 261
9.1.3. 割込み要因とタイミングチャート 262
9.1.4. 出力波形 263
9.1.5. PWM タイマ動作フロー 264
9.1.6. PWM タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC) 265
9.1.7. PWM 周期設定レジスタ(PCSR) 272
9.1.8. PWM デューティ設定レジスタ(PDUT) 273
9.1.9. タイマレジスタ(TMR) 274
9.2. PPG タイマ機能 275
9.2.1. 16 ビット PPG タイマ動作 276
9.2.2. 連続動作 277
9.2.3. ワンショット動作 278
9.2.4. 割込み要因とタイミングチャート 280
9.2.5. PPG タイマ動作フロー 281
9.2.6. PPG タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC) 282
9.2.7. L 幅設定リロードレジスタ(PRLL) 289
9.2.8. H 幅設定リロードレジスタ(PRLH) 290
9.2.9. タイマレジスタ(TMR) 291
9.3. リロードタイマ機能 292
9.3.1. 16 ビットリロードタイマの動作 293
9.3.2. リロードタイマ動作フロー 296
9.3.3. リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC) 297
9.3.4. 周期設定レジスタ(PCSR) 305
9.3.5. タイマレジスタ(TMR) 306
9.4. PWC タイマ機能 307
9.4.1. PWC タイマの動作 308
9.4.2. PWC タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC) 315
9.4.3. データバッファレジスタ(DTBF) 322
CHAPTER 6: 多機能タイマ 323
1. 多機能タイマの概要 324
2. 多機能タイマの構成 325
2.1. 多機能タイマのブロックダイヤグラム 326
2.2. 各機能ブロック説明 327
2.3. 多機能タイマユニットの入出力端子 333
3. 多機能タイマの動作 336
3.1. 多機能タイマの動作例-1 337
3.2. 多機能タイマの動作例-2 344
4. 多機能タイマのレジスタ 352
4.1. 機能説明時のチャネル番号の個別表記,共通表記について 353
4.2. 多機能タイマのレジスター覧 356

4.3. レジスタ機能詳細 358
4.3.1. FRT 制御レジスタ A (TCSA) 359
4.3.2. FRT 制御レジスタ B (TCSB) 367
4.3.3. FRT 周期設定レジスタ (TCCP) 369
4.3.4. FRT カウント値レジスタ (TCDT) 371
4.3.5. OCU 接続 FRT 選択レジスタ (OCFS) 372
4.3.6. OCU 制御レジスタ A (OCSA) 373
4.3.7. OCU 制御レジスタ B (OCSB) 377
4.3.8. OCU 制御レジスタ C (OCSC) 380
4.3.9. OCU コンペア値格納レジスタ (OCCP) 381
4.3.10. WFG 制御レジスタ A (WFSA) 383
4.3.11. WFG タイマ値レジスタ (WFTM) 388
4.3.12. NZCL 制御レジスタ (NZCL) 389
4.3.13. WFG 割込み制御レジスタ (WFIR) 393
4.3.14. ICU 接続 FRT 選択レジスタ (ICFS) 398
4.3.15. ICU 制御レジスタ A (ICSA) 399
4.3.16. ICU 制御レジスタ B (ICSB) 403
4.3.17. ICU キャプチャ値格納レジスタ (ICCP) 404
4.3.18. ADCMP 制御レジスタ A (ACSA) 405
4.3.19. ADCMP 制御レジスタ B (ACSB) 410
4.3.20. ADCMP コンペア値格納レジスタ (ACCP) 412
4.3.21. ADCMP コンペア値格納レジスタ, ダウンカウント方向時専用 (ACCPDN) 414
4.3.22. ADC 起動要因選択レジスタ (ATSA) 416
4.4. OCU 出力波形詳細 419
4.5. WFG 出力波形詳細 426
5. 多機能タイマ入出力信号詳細タイミング 435
5.1. 外部入力クロック使用時の FRT 動作詳細タイミング 436
5.2. OCU, WFG 動作詳細タイミング 437
5.3. ADCMP 動作詳細タイミング 438
5.4. ICU 動作詳細タイミング 439
5.5. DTTIX 入力詳細タイミング 440
6. 使用上の注意 441
6.1. 複数 MFT 搭載製品の接続について 442
6.1.1. OCU, ICU の接続 FRT の選択 443
6.1.2. WFG に接続する PPG タイマユニット 447
6.2. イベント検出レジスタと割込みの取り扱いについて 449
CHAPTER 7-1: PPG 構成 453
1. 構成 454
CHAPTER 7-2: PPG 457
1. 概要 458
2. PPG 構成・ブロックダイヤグラム 459
3. PPG 動作 461
3.1. PPG 回路の動作 462
3.2. タイミングジェネレータ回路の動作 480
4. PPG 設定手順例 484
5. PPG レジスター覧 487
5.1. PPG 起動トリガ制御レジスタ 0(TTCR0) 490
5.2. PPG 起動トリガ制御レジスタ 1(TTCR1) 492
5.3. PPG 起動トリガ制御レジスタ 2(TTCR2) 494
5.4. PPG コンペアレジスタ n (COMPn n=0～14) 496
5.5. PPG 起動レジスタ 0(TRG0) 497
5.6. PPG 起動レジスタ 1(TRG1) 498

5.7. 出力反転レジスタ 0(REVC0) 499
5.8. 出力反転レジスタ 1(REVC1) 500
5.9. PPG 動作モード制御レジスタ(PPGC) 501
5.10. PPG リロードレジスタ(PRLH, PRLL) 504
5.11. PPG GATE 機能制御レジスタ (GATEC0/GATEC4/GATEC8/GATEC12/GATEC16/GATEC20) 507
6. PPG 使用上の注意 508
CHAPTER 7-3: PPG IGBT モード 509
1. 概要 510
2. 構成 511
3. 動作説明 512
4. 設定手順例 517
5. レジスタ 518
5.1. IGBT モード制御レジスタ(IGBTC) 519
6. 注意事項 520
CHAPTER 8-1: クアッドカウンタ 521
1. 概要 522
2. 構成 523
3. 動作説明 524
4. レジスタ 537
4.1. クアッドカウンタ位置カウントレジスタ(QPCR) 538
4.2. クアッドカウンタ回転カウントレジスタ(QRCR) 540
4.3. クアッドカウンタ位置カウンタ比較レジスタ(QPCCR) 541
4.4. クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR) 542
4.5. クアッドカウンタ制御レジスタ(QCR) 543
4.6. クアッドカウンタ拡張制御レジスタ(QECR) 548
4.7. クアッドカウンタ割込み制御レジスタ下位バイト(QICRL) 550
4.8. クアッドカウンタ割込み制御レジスタ上位バイト(QICRH) 554
4.9. クアッドカウンタ最大位置レジスタ(QMPR) 558
CHAPTER 8-2: クアッドカウンタ位置回転カウント表示機能 559
1. 概要・構成 560
2. レジスタ 561
2.1. クアッドカウンタ位置回転カウントレジスタ(QPRCRR) 562
Appendixes 563
A. レジスタマップ 564
1. レジスタマップ 565
B. 注意事項一覧 617
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 618
C. 制限事項一覧 621
1. TYPE0 製品制限事項一覧 622
2. TYPE1 製品制限事項一覧 625
D. 製品 TYPE 一覧 627
1. 製品 TYPE 一覧 628
E. 主な変更内容 633
1. 主な変更内容 634
改訂履歴 636

CHAPTER 1: ウォッチドッグタイマ

ウォッチドッグタイマについて説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. 動作例
6. レジスタ一覧
7. 使用上の注意

1. 概要

ウォッチドッグタイマの概要を説明します。

ウォッチドッグタイマは、ユーザプログラムの暴走を検出するための機能です。
事前に設定したインターバル時間内にウォッチドッグタイマがクリアされない場合、ユーザプログラムが暴走したと判断し、CPU への割込み要求またはシステムリセット要求を出力します。
この割込み要求をウォッチドッグ割込み要求, リセット要求をウォッチドッグリセット要求とよびます。
ウォッチドッグタイマの動作時は、事前に設定したインターバル時間が経過する前に、タイマを定期的にクリアし続ける必要があります。ユーザプログラムの暴走などの異常動作が発生して、定期的なクリアが行われないと、ウォッチドッグタイマはダウンカウントを続け、アンダフローし、ウォッチドッグ割込み要求またはウォッチドッグリセット要求を出力します。
本ファミリには、以下に示す、2 種類のウォッチドッグタイマがあります。

● ソフトウェアウォッチドッグタイマ

- ユーザプログラムにより、ソフトウェアウォッチドッグタイマは起動します。
- カウントクロックは APB バスクロックの分周クロックを用います。
- CPU のプログラム動作中に周期をカウントし、スタンバイモードの APB クロック停止中(タイマモード, ストップモード, APB クロックのソースクロックの発振安定待ち時間中)はカウントを停止します。このとき、カウント値は保持しており、スタンバイモードからの復帰時は、カウントを継続します。
- すべてのリセットにより、ソフトウェアウォッチドッグタイマは停止します。

● ハードウェアウォッチドッグタイマ

- デバイスの電源投入およびソフトウェアリセットを除く、すべてのリセットの解除後、ソフトウェアの介在なしにハードウェアウォッチドッグタイマは起動します。
- ソフトウェアでレジスタにアクセスを行うことにより、ハードウェアウォッチドッグタイマを停止させられます。
- カウントクロックは低速 CR クロック(CLKLC)を用います。
- CLKLC の動作中に周期をカウントし、スタンバイモードの CLKLC の停止中(ストップモード時)はカウントを停止します。このときカウント値は保持しており、スタンバイモードからの復帰時は、カウントを継続します。

● 両ウォッチドッグタイマ共通

- それぞれロックレジスタを持ち、一定の手順どおりのアクセスを行い、ロックを解除しない限り、ウォッチドッグタイマのすべてのレジスタにアクセスできません。
- ウォッチドッグクリアレジスタにアクセスすることにより、ウォッチドッグタイマをリロードできます。
- ウォッチドッグカウンタの 1 回目のアンダフローが発生した場合、割込み要求が発生します。割込み要求がクリアされないまま、2 回目のアンダフローが発生した場合、リセット要求が発生します。この機能はレジスタで設定できます。

2. 構成・ブロックダイヤグラム

ウォッチドッグタイマのブロックダイヤグラムを説明します。

図 2-1 ソフトウェアウォッチドッグタイマのブロックダイヤグラム

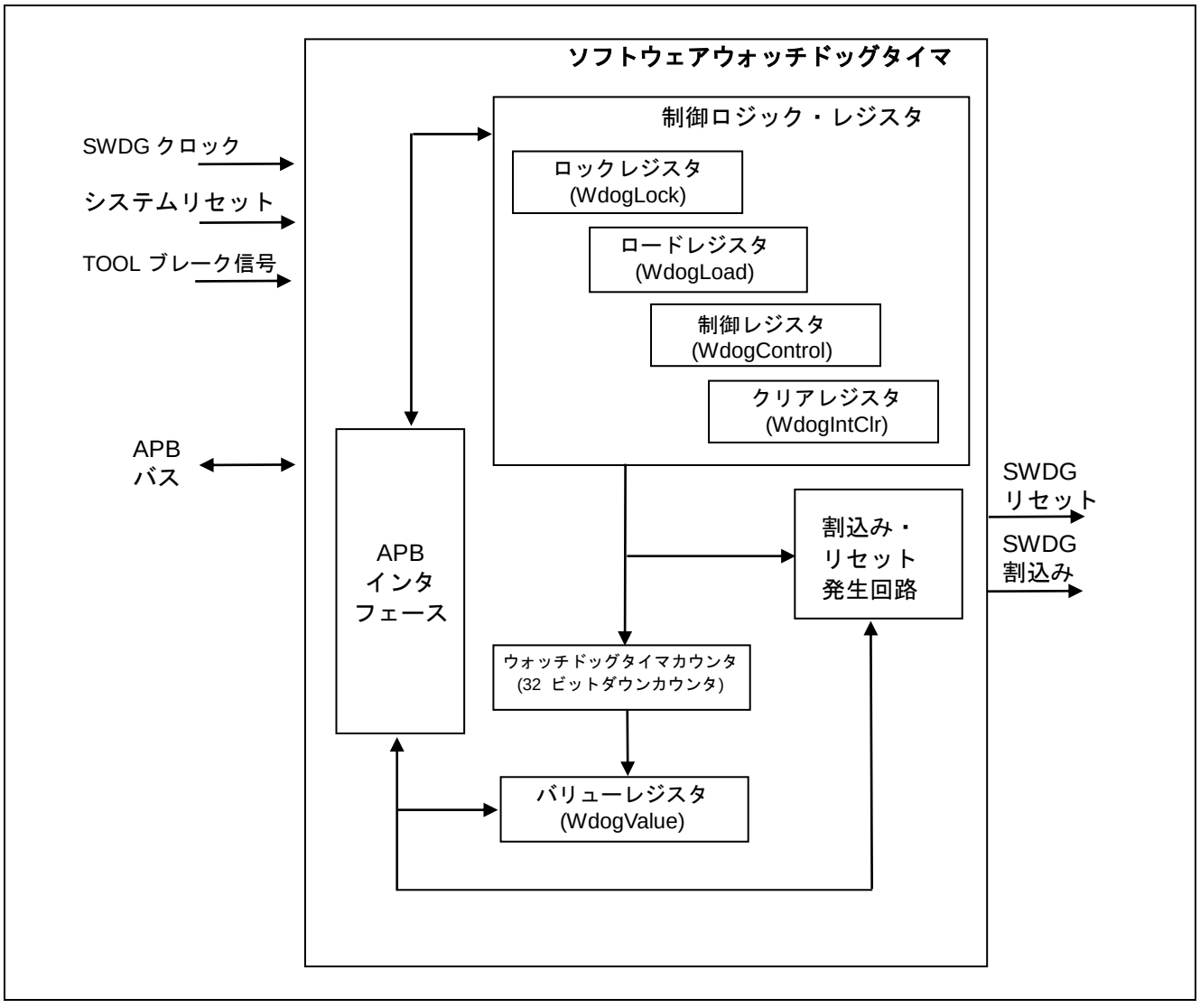
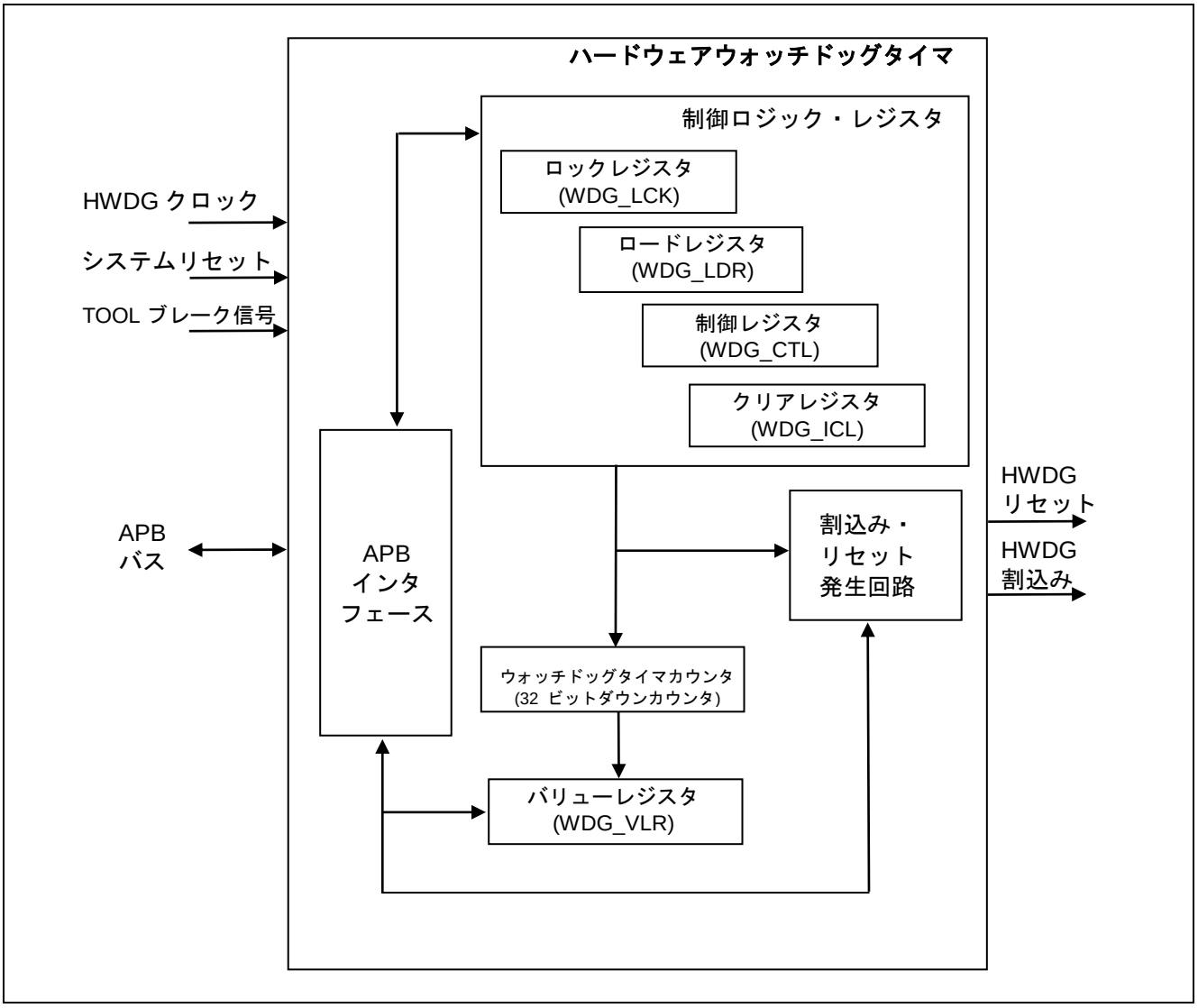


図 2-2 ハードウェアウォッチドッグタイマのブロックダイヤグラム



3. 動作説明

ウォッチドッグタイマの構成を示します。

ウォッチドッグタイマは以下のブロックで構成されています。

■ ソフトウェアウォッチドッグタイマ

● 制御レジスタ・ロジック

ソフトウェアウォッチドッグタイマの制御を行う回路です。
ロードレジスタ，ロックレジスタ，制御レジスタ，クリアレジスタから構成されます。

・ロードレジスタ(WdogLoad)
ソフトウェアウォッチドッグタイマのカウントインターバル周期を設定する、32 ビットのレジスタです。初期値は"0xFFFFFFFF"です。設定時間例を表 3-1 に示します。

表 3-1 ソフトウェアウォッチドッグタイマのインターバル時間設定例

カウント周波数	インターバル設定値	インターバル時間
40MHz	"0xFFFFFFFF" [初期値]	約 107s
20MHz	"0xFFFFFFFF" [初期値]	約 214s
40MHz	"0x0000FFFF"	約 1.6ms
20MHz	"0x0000FFFF"	約 3.2ms

・ロックレジスタ(WdogLock)
ソフトウェアウォッチドッグタイマのすべてのレジスタのアクセスを制御します。
本レジスタに"0x1ACCE551"を書き込むことにより、ソフトウェアウォッチドッグタイマの全レジスタにアクセスできます。

・制御レジスタ(WdogControl)
ソフトウェアウォッチドッグ割込みイネーブル，ソフトウェアウォッチドッグリセットイネーブルを設定します。

・クリアレジスタ(WdogIntClr)
ソフトウェアウォッチドッグタイマのクリアレジスタです。
クリアレジスタに任意の値の書込みを行うと、カウンタにロードレジスタの設定値をリロードします。
リロード完了後、カウントを継続します。

● ウォッチドッグタイマカウンタ(32 ビットダウンカウンタ)

32 ビットのダウンカウンタです。ダウンカウントによりカウンタ値がゼロになる前に、クリアレジスタ(WdogIntClr) へアクセスすることで、ロードレジスタ(WdogLoad)に設定された設定値にカウント値がリロードされます。
ダウンカウンタリロード条件を表 3-2 に示します。

表 3-2 ソフトウェアウォッチドッグタイマ　ダウンカウンタリロード条件

リロード条件
クリアレジスタ(WdogIntClr)へのアクセス
32 ビットダウンカウンタがゼロをカウントした場合
ロードレジスタ(WdogLoad)の書換え
制御レジスタ(WdogControl)への、 INTEN=0 書込みによるウォッチドッグ停止後、INTEN=1 書込みによる再起動時

● バリューレジスタ(WdogValue)

ウォッチドッグタイマの現在のカウンタ値を読み出すことが可能です。

● 割込み・リセット発生回路

ウォッチドッグタイマカウンタのアンダフローを検出したとき、レジスタ設定により、ウォッチドッグ割込み, ウォッチドッグリセットが発生します。

・割込みステータスレジスタ(WdogRIS)

ソフトウェアウォッチドッグ割込みのステータスを示します。

● ソフトウェアウォッチドッグタイマの起動

・制御レジスタ(WdogControl)にアクセスし、ウォッチドッグ割込みおよびウォッチドッグリセット許可を行います。

・ウォッチドッグ割込みとウォッチドッグリセットの設定の組合せを表 3-3 に示します。

・

表 3-3 ソフトウェアウォッチドッグ割込みとリセットの設定組合せ

割込み	リセット	動作
禁止	禁止	ウォッチドッグタイマは動作しません
許可	禁止	アンダフローで割込み発生
禁止	許可	ウォッチドッグタイマは動作しません
許可	許可	1 回目のアンダフローで割込み発生 2 回目のアンダフローでリセット発生　[初期設定]

制御レジスタ(WdogControl)の割込み許可が、ウォッチドッグタイマの起動トリガになります。

● ソフトウェアウォッチドッグタイマのリロードとレジスタのロック

・リセット後の初期状態ではレジスタはロックされていません。ロックを有効にしたい場合は、ソフトウェアにて WdogLock レジスタに"0x1ACCE551"以外の値を書き込んでください。

・クリアレジスタへのアクセス時は WdogLock レジスタに"0x1ACCE551"を書き込んで、ロックの解除をしてください。

・クリアレジスタ(WdogIntClr)に任意の書込みを行うことでロードレジスタ(WdogLoad)の設定値にリロードされます。

・

・クリアレジスタへのアクセス後、自動でロックされません。ソフトウェアで再度ロックしてください。

● ソフトウェアウォッチドッグタイマの停止

・制御レジスタ(WdogControl)にアクセスし、ウォッチドッグ割込み許可ビットに"0"を書き込むことで、ソフトウェアウォッチドッグタイマは停止します。

・リセット発行により、ソフトウェアウォッチドッグタイマは停止します。

■ ハードウェアウォッチドッグタイマ

● 制御レジスタ・ロジック

ハードウェアウォッチドッグタイマの制御を行う回路です。
ロードレジスタ，ロックレジスタ，制御レジスタ，クリアレジスタから構成されます。

・ロードレジスタ(WDG_LDR)

ハードウェアウォッチドッグタイマのカウントインターバル周期を設定する、32 ビットのレジスタです。初期値は"0x0000FFFF" (16 ビット分のダウンカウンタ=> 約 655ms @ 100kHz(TYP))です。また、カウントクロックである CLKLC の周波数はご使用する製品の『データシート』を参照してください。

・ロックレジスタ(WDG_LCK)

ハードウェアウォッチドッグタイマのレジスタのアクセス制御を行います。本レジスタに"0x1ACCE551"を書き込むことにより、制御レジスタ(WDG_CTL)以外の全レジスタにアクセスできます。

・制御レジスタ(WDG_CTL)

ウォッチドッグ割込みイネーブル，ウォッチドッグリセットイネーブルの設定を行います。本レジスタにアクセスするには、ロックレジスタに"0x1ACCE551"をライトした後、続いてロックレジスタに"0xE5331AAE"を書き込んでください。"0x1ACCE551"を書き込んだ後に正しい値が書き込まれない場合は、手順を最初から実行してください。

・クリアレジスタ(WDG_ICL)

ハードウェアウォッチドッグタイマのクリアレジスタです。
任意の 8 ビット値をライトした後、続けて任意の値の反転値を書き込むことにより、タイマカウンタをロードレジスタに設定された設定値にリロードしカウントを継続します。

● ウォッチドッグタイマカウンタ(32 ビットダウンカウンタ)

32 ビットのダウンカウンタです。ダウンカウントによりカウンタ値がゼロになる前に、クリアレジスタ(WDG_ICL)へアクセスすることで、ロードレジスタ(WDG_LDR)に設定された設定値にリロードされます。
ダウンカウンタリロード条件を表 3-4 に示します。

表 3-4 ハードウェアウォッチドッグタイマ　ダウンカウンタリロード条件

リロード条件
クリアレジスタ(WDG_ICL)へのアクセス
32 ビットダウンカウンタがゼロをカウントした場合
ロードレジスタ(WDG_LDR)の書換え
制御レジスタ(WDG_CTL)への、 INTEN=0 書込みによるウォッチドッグ停止後、INTEN=1 書込みによる再起動時

● バリューレジスタ(WDG_VLR)

ウォッチドッグタイマの現在のカウンタ値を読み出すことが可能です。ただし、ツールブレーク時ウォッチドッグタイマが停止中の場合のみ正しい値が読み出せます。ツールブレーク時以外では、非同期読出しのため、正確な値でないことがあります。その場合は、2 回読み出した後、値を比較するなどの対応をしてください。

● 割込み・リセット発生回路

ウォッチドッグタイマカウンタのアンダフローを検出したとき、レジスタ設定により、ウォッチドッグ割込み，ウォッチドッグリセットが発生します。

・割込みステータスレジスタ(WDG_RIS)

ハードウェアウォッチドッグ割込みのステータスを示します。

● ハードウェアウォッチドッグタイマの起動

・ロックレジスタ(WDG_LCK)に"0x1ACCE551"を書き込んだ後、反転値"0xE5331AAE"を書き込むことで、制御レジスタ(WDG_CTL)へのアクセスが可能となります。
・制御レジスタ(WDG_CTL)にアクセスし、ウォッチドッグ割込みおよびウォッチドッグリセット許可を行います。
・ウォッチドッグ割込みとウォッチドッグリセットの設定の組合せを表 3-5 に示します。
・

表 3-5 ハードウェアウォッチドッグ割込みとリセットの設定組合せ

割込み	リセット	動作
禁止	禁止	ウォッチドッグタイマは動作しません
許可	禁止	アンダフローで割込み発生
禁止	許可	ウォッチドッグタイマは動作しません
許可	許可	1 回目のアンダフローで割込み発生 2 回目のアンダフローでリセット発生　[初期設定]

制御レジスタ(WDG_CTL)の割込み許可が、ハードウェアウォッチドッグタイマの起動トリガになります。

● ハードウェアウォッチドッグタイマのリロードとレジスタのロック

クリアレジスタ(WDG_ICL)に書込みを行うことでロードレジスタから、32 ビットダウンカウンタに設定値をリロードします。リロード後レジスタには再度ロックがかかります。
以後、クリアレジスタへのアクセス時は毎回ロックの解除をしてください。

● ハードウェアウォッチドッグタイマの停止

・WDG_LCK (ロックレジスタ)に"0x1ACCE551"を書き込み、続いて反転値"0xE5331AAE"を書き込むことで、制御レジスタ(WDG_CTL)へのアクセスが可能となります。
・WDG_CTL(制御レジスタ)にアクセスし、ウォッチドッグ割込み許可ビットに"0"を書き込むことで、ハードウェアウォッチドッグタイマは停止します。

■ ソフトウェアウォッチドッグタイマとハードウェアウォッチドッグタイマの相違点について

ソフトウェアウォッチドッグタイマとハードウェアウォッチドッグタイマの相違点について表 3-6 に示します。

表 3-6 ソフトウェアウォッチドッグとハードウェアウォッチドッグの相違点

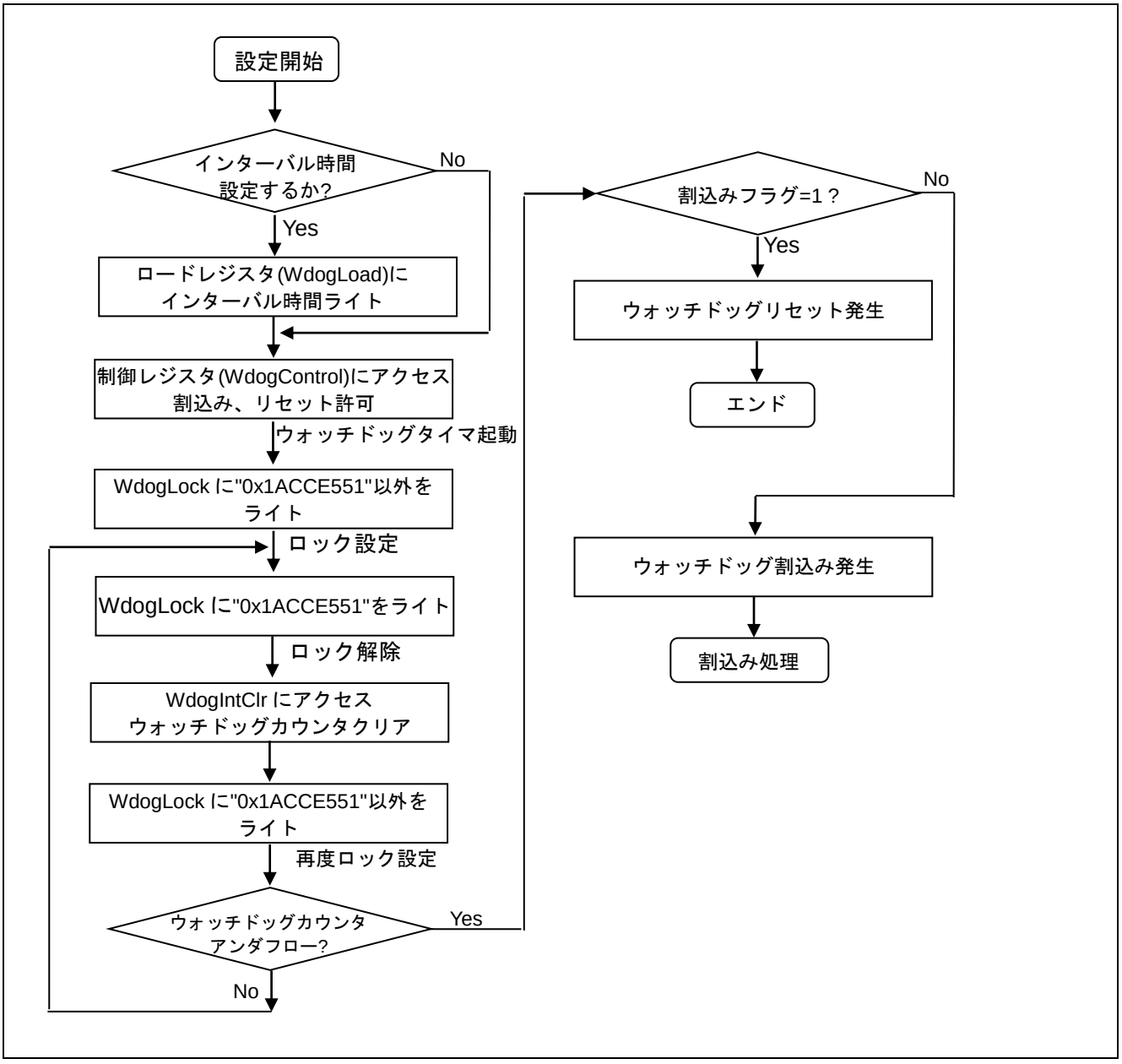
	ソフトウェアウォッチドッグ	ハードウェアウォッチドッグ
カウントクロック	APB の分周クロック	CLKLC
バリューレジスタの読出し値	同期読出し。 読出し可能。	非同期読出し。 ツールブレーク時のみ正しい値が読出し可能。 ツールブレーク時以外では正確でない値の可能性あり。
ウォッチドッグ割込み設定, リセット設定 初期値	ディセーブル (ウォッチドッグ動作なし)	イネーブル (ウォッチドッグ動作あり)
レジスタロック機能初期状態	ロックなし (ソフトウェアで起動後にロックをかける)	ロックあり (ハードウェアで起動時からロックがかかる)
ロック解除	ロックレジスタへの"0x1ACCE551"書込みで全レジスタロック解除	ロックレジスタへの"0x1ACCE551"書込みでWDG_CTL 以外の全レジスタロック解除
WdogControl/ WDG_CTL レジスタ個別のロック解除	なし	ロックレジスタへの"0xE5331AAE"書込みでWDG_CTL レジスタのロック解除
再ロック条件	ロックレジスタへ"0x1ACCE551"以外の値を書込みで全レジスタ再ロック。	WDG_CTL 以外のロック解除後 ・WDG_LCK への"0x1ACCE551" or "0xE5331AAE"以外の書込み ・WDG_LDR への書込み ・WDG_CTL への書込み ・WDG_ICL への 2 回目の書込み 上記いずれかにて、再度ロックがかかる。
		WDG_CTL 含めたロック解除後 ・WDG_LCK への"0x1ACCE551"以外の書込み ・WDG_LDR への書込み ・WDG_ICL への書込み ・WDG_CTL への書込み 上記いずれかにて、再度ロックがかかる。
ロードレジスタ初期値	0xFFFFFFFF	0x0000FFFF
クリアレジスタビット数	32 ビット	8 ビット
クリアレジスタアクセス	任意の値を書込みでクリア	任意の値の書込み後、 任意の値の反転値の書込みでクリア

4. 設定手順例

ウォッチドッグタイマの設定手順例を説明します。

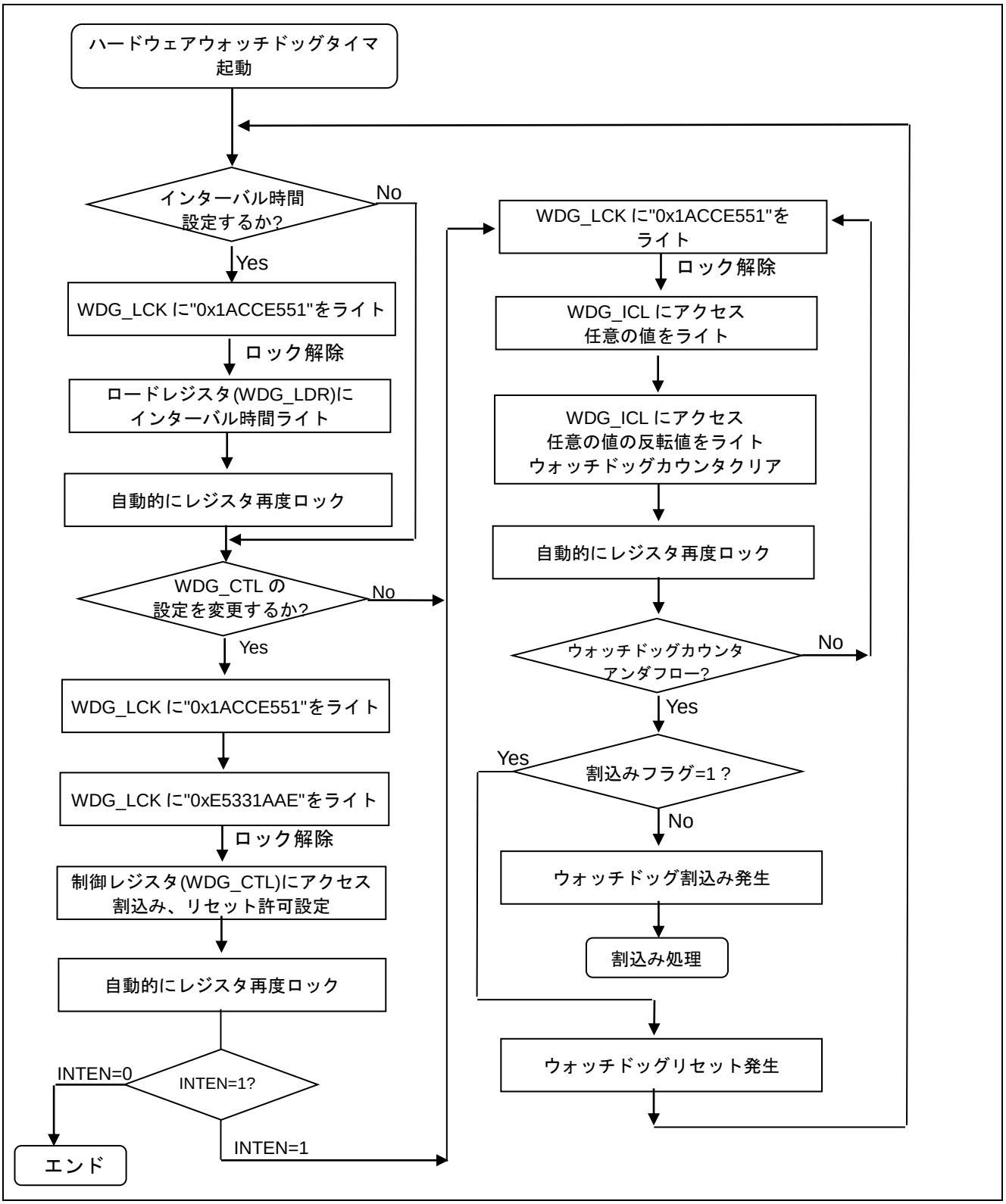
■ ソフトウェアウォッチドッグタイマ

図 4-1 ソフトウェアウォッチドッグタイマの設定手順例



■ ハードウェアウォッチドッグタイマ

図 4-2 ハードウェアウォッチドッグタイマの設定手順例

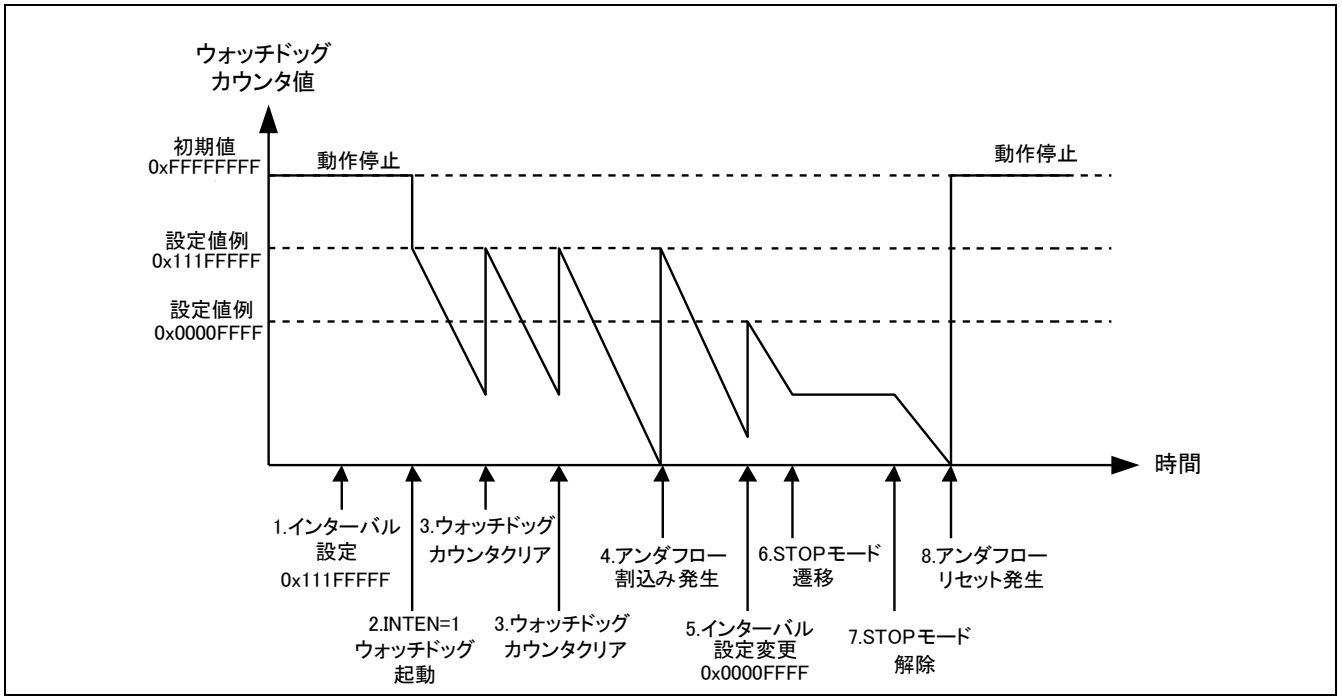


5. 動作例

ウォッチドッグタイマの動作例を示します。

■ ソフトウェアウォッチドッグタイマ

図 5-1 ソフトウェアウォッチドッグタイマの動作例

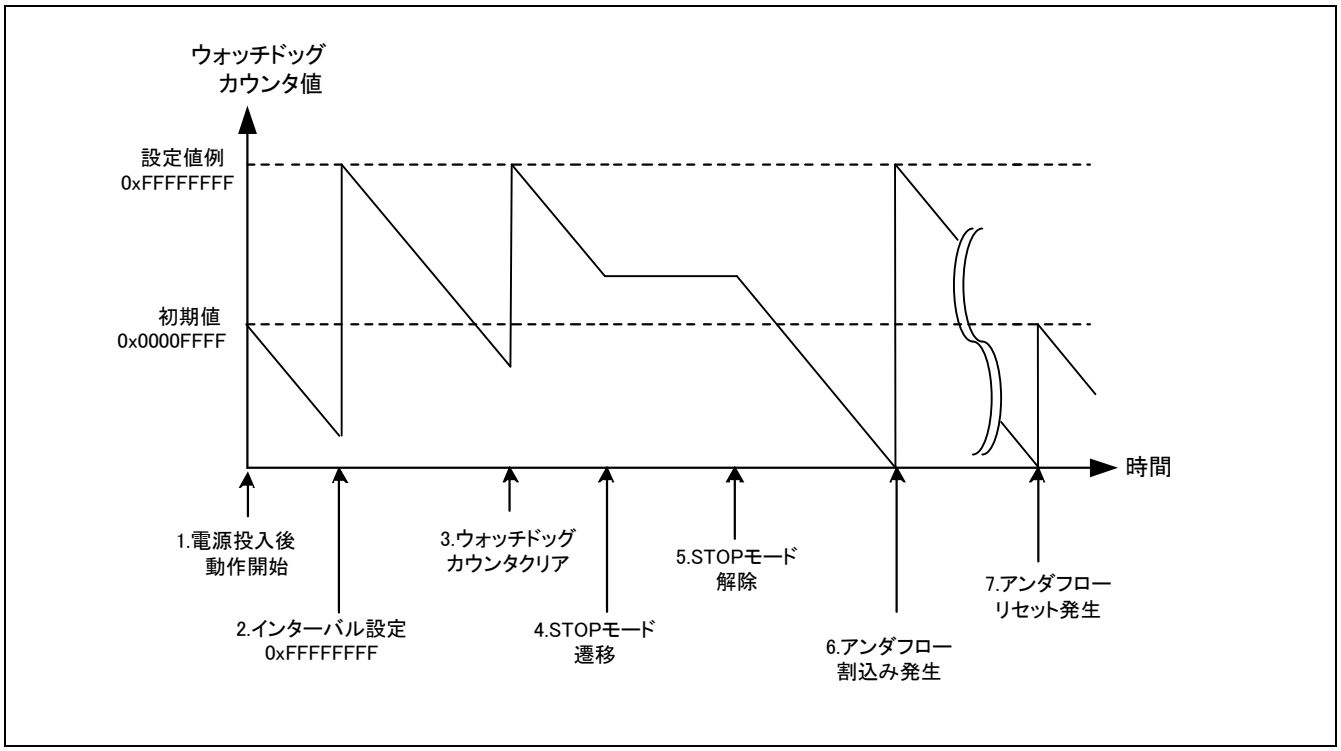


1. 起動前に SWC_PSR, DBWDT_CTL レジスタの設定を行います。
   WdogLoad レジスタに設定値を書き込み、インターバル設定を行います。
   起動前のため、インターバル時間は反映されません。カウント値は初期値になります。
2. WdogControl レジスタの INTEN ビットに"1"を書き込み、ウォッチドッグを起動します。
   このとき、インターバル時間が反映され 1.で設定した値からダウンカウントが開始されます。
3. WdogIntClr レジスタに、任意の値を書き込み、ウォッチドッグカウンタクリアを行います。
   このとき、設定値は 2.で設定した値になります。
4. カウンタクリアを行わないと、アンダフローにて、割込みが発生します。
   このとき、ダウンカウンタ設定値は 2.で設定した値になります。
5. WdogLoad レジスタにアクセスし、インターバル時間を変更します。
   このとき、ダウンカウント値は設定値にクリアされます。
6. STOP モードに遷移します。これにより、ソフトウェアウォッチドッグは停止します。
7. STOP モードを解除します。ダウンカウンタが再開します。カウント値はクリアされません。
   (注意事項) 発振安定待ちが完了し、ベースクロック動作開始してからダウンカウント再開します。
8. WdogIntClr レジスタにアクセスせず、割込みフラグがクリアされないまま 2 回目のアンダフローが発生したとき、ソフトウェアウォッチドッグリセットが発生します。
   リセット発生により、ソフトウェアウォッチドッグタイマは動作停止します。

＜注意事項＞
各レジスタにアクセスする場合は、ロックレジスタの解除をしてください。動作例では省略しています。

■ ハードウェアウォッチドッグタイマ

図 5-2 ハードウェアウォッチドッグタイマの動作例



1. 電源投入後、ハードウェアウォッチドッグタイマは動作開始します。
   カウント値は初期値("0x0000FFFF")です。
2. WDG_LDR レジスタにアクセスし、インターバル時間を変更します。
   このとき、ダウンカウント値は設定値にクリアされます。
3. WDG_ICL レジスタに任意の値を書き込んだ後、続けて任意の値の反転値を書き込むことにより、ウォッチドッグカウンタクリアを行います。
   このとき、設定値は 2.で設定した値になります。
4. STOP モードに遷移します。これによりハードウェアウォッチドッグタイマは停止します。
5. STOP モードを解除します。ダウンカウンタが再開します。カウント値はクリアされません。
   (注意事項) CLKLC が発振開始し、HWDG クロックが入力されダウンカウントを再開します。
6. カウンタクリアを行わないと、アンダフローにて、割込みが発生します。
   このとき、設定値は 2.で設定した値になります。
7. WDG_ICL レジスタにアクセスせず、割込みフラグがクリアされないまま 2 回目のアンダフローが発生したとき、ハードウェアウォッチドッグリセットが発生します。
   カウント値は初期値に戻り、ダウンカウントを再開します。

＜注意事項＞

各レジスタにアクセスする場合は、ロックレジスタの解除をしてください。動作例では省略しています。

6. レジスター覧

クロック生成のレジスター覧を説明します。

表 6-1 ウォッチドッグタイマ　レジスター覧

レジスタ名	説明	参照先
WdogLoad	ソフトウェアウォッチドッグタイマ　ロードレジスタ	6.1
WdogValue	ソフトウェアウォッチドッグタイマ　バリューレジスタ	6.2
WdogControl	ソフトウェアウォッチドッグタイマ　制御レジスタ	6.3
WdogIntClr	ソフトウェアウォッチドッグタイマ　クリアレジスタ	6.4
WdogRIS	ソフトウェアウォッチドッグタイマ　割込みステータスレジスタ	6.5
WdogLock	ソフトウェアウォッチドッグタイマ　ロックレジスタ	6.6
WDG_LDR	ハードウェアウォッチドッグタイマ　ロードレジスタ	6.7
WDG_VLR	ハードウェアウォッチドッグタイマ　バリューレジスタ	6.8
WDG_CTL	ハードウェアウォッチドッグタイマ　制御レジスタ	6.9
WDG_ICL	ハードウェアウォッチドッグタイマ　クリアレジスタ	6.10
WDG_RIS	ハードウェアウォッチドッグタイマ　割込みステータスレジスタ	6.11
WDG_LCK	ハードウェアウォッチドッグタイマ　ロックレジスタ	6.12

6.1. ソフトウェアウォッチドッグタイマ　ロードレジスタ (WdogLoad)

WdogLoad レジスタはソフトウェアウォッチドッグタイマの周期を設定します。

■ レジスタ構成

bit	31	0
Field	WdogLoad	
属性	R/W	
初期値	0xFFFFFFFF	

■ レジスタ機能

[bit31:0] WdogLoad : インターバル周期設定ビット

処理	説明
書込み時	ソフトウェアウォッチドッグの周期設定を行います。 初期値は"0xFFFFFFFF"です。 書込みの最小値は"0x00000001"になります。 "0x00000000"を書き込んだ場合、割込みが発生します。 (設定によってはすぐにリセット発生します。)
読出し時	設定値が読み出せます。初期値は"0xFFFFFFFF"が読み出されます。

＜注意事項＞

- ウォッチドッグタイマ動作中に WdogLoad を書き換えた場合、WdogLoad 値がタイマカウンタに反映され、カウントが継続されます。
- ウォッチドッグタイマ停止中に WdogLoad を書き換えた場合、WdogLoad 値はウォッチドッグタイマ起動時にタイマカウンタに反映されます。

6.2. ソフトウェアウォッチドッグタイマ　バリューレジスタ (WdogValue)

WdogValue レジスタはソフトウェアウォッチドッグタイマの現在のカウンタ値を読み出せます。

■ レジスタ構成

bit	31	0
Field	WdogValue	
属性	R	
初期値	0xFFFFFFFF	

■ レジスタ機能

[bit31:0] WdogValue : カウンタ値ビット

処理	説明
書込み時	動作に影響しません。
読出し時	現在のウォッチドッグカウンタのカウント値が読み出されます。 起動前に読み出すことにより、初期値"0xFFFFFFFF"が読み出されます。

＜注意事項＞

ツールブレーク時のウォッチドッグタイマの設定については、『ペリフェラルマニュアル』の『クロック』の「5.13. デバッグブレーク ウォッチドッグタイマ制御レジスタ(DBWDT_CTL)」を参照してください。

6.3. ソフトウェアウォッチドッグタイマ　制御レジスタ (WdogControl)

WdogControl レジスタはソフトウェアウォッチドッグタイマの有効/無効を設定します。

■ レジスタ構成

bit	7	2	1	0
Field	予約		RESEN	INTEN
属性	-		R/W	R/W
初期値	-		0	0

■ レジスタ機能

[bit7:2] 予約 : 予約ビット

本ビットからは、"0b000000"が読み出されます。

書込みの場合には、"0b000000"を設定してください。

[bit1] RESEN : ソフトウェアウォッチドッグ　リセットイネーブルビット

処理	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	ウォッチドッグリセット　ディセーブル
1 書込み時	ウォッチドッグリセット　イネーブル

[bit0] INTEN : ソフトウェアウォッチドッグ　割込み&カウンタイネーブルビット

処理	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	ウォッチドッグ割込み　ディセーブル ウォッチドッグカウンタ　ディセーブル
1 書込み時	ウォッチドッグ割込み　イネーブル ウォッチドッグカウンタ　イネーブル

＜注意事項＞

- INTEN ビットに"1"を書き込むことにより、ウォッチドッグカウンタは WdgLoad からインターバル周期値をロードし、ソフトウェアウォッチドッグタイマは起動します。
- INTEN ビットに"0"を書き込むことにより、ウォッチドッグカウンタは停止します。その後、再度"1"を書き込んだ時、ウォッチドッグカウンタは WdgLoad から周期値をリロードし、再起動します。
- INTEN ビットのみに、"1"を書き込むことにより、ウォッチドッグタイマ起動可能です。RESEN ビットのみに、"1"を書き込んでも、ウォッチドッグタイマは起動しません。ウォッチドッグタイマを起動するには、INTEN ビットを"1"に設定してください。詳細は「3. 動作説明」を参照してください。
- INTEN ビットに"0"を書き込むことにより、ソフトウェアウォッチドッグタイマ割込みステータスレジスタ (WdogRIS)にある、割込みフラグもクリアされます。

6.4. ソフトウェアウォッチドッグタイマ　クリアレジスタ (WdogIntClr)

WdogIntClr レジスタはソフトウェアウォッチドッグタイマのクリアを行います。

■ レジスタ構成

bit	31	0
Field	WdogIntClr	
属性	R/W	
初期値	0xXXXXXXXX	

■ レジスタ機能

[bit31:0] WdogIntClr : クリアビット

処理	説明
読出し時	不定値が読み出されます。
書込み時	任意の値を書き込むことにより、 ・ウォッチドッグタイマの割込みが発生していた場合 ウォッチドッグタイマの割込みをクリアします。 ・ウォッチドッグタイマカウンタに WdogLoad レジスタから設定値をリロードします。

6.5. ソフトウェアウォッチドッグタイマ　割込みステータスレジスタ(WdogRIS)

WdogRIS レジスタはソフトウェアウォッチドッグタイマ割込みステータスを示します。

■ レジスタ構成

bit	7	1	0
Field	予約		RIS
属性	-		R
初期値	-		0

■ レジスタ機能

[bit7:1] 予約 : 予約ビット

本ビットからは、"0b0000000"が読み出されます。

書込みの場合には、"0b0000000"を設定してください。

[bit0] RIS : ソフトウェアウォッチドッグ　割込みステータスビット

処理	説明
書込み時	動作に影響しません。
0 読出し時	ウォッチドッグ割込み発生なし
1 読出し時	ウォッチドッグ割込み発生

6.6. ソフトウェアウォッチドッグタイマ　ロックレジスタ (WdogLock)

WdogLock レジスタはソフトウェアウォッチドッグタイマの全レジスタのアクセスを制御します。

■ レジスタ構成

bit	31	0
Field	WdogLock	
属性	R/W	
初期値	0x00000000	

■ レジスタ機能

[bit31:0] WdogLock : ソフトウェアウォッチドッグロックレジスタ

処理	説明
書込み時	"0x1ACCE551" : ソフトウェアウォッチドッグタイマの全レジスタのロックが解除されます。 "0x1ACCE551"以外の値 : ソフトウェアウォッチドッグタイマの全レジスタへのロックが有効になります。
読出し時	"0x00000000" : ロックは解除されています。 "0x00000001" : ロックは解除されていません。

＜注意事項＞

- 初期値ではロック有効ではありません。ソフトウェアウォッチドッグ起動後にロック有効にし
- てください。
- ロック解除後、ソフトウェアウォッチドッグタイマクリアレジスタ(WdogIntClr)へのアクセス可能です。
- クリアレジスタ(WdogIntClr)へのアクセス後、自動的にロックは有効になりません。クリアシーケンスでは、毎回 ロック解除→クリア→ロック有効 を組み込むようにしてください。
- ロックを解除していないときにソフトウェアウォッチドッグの各レジスタにアクセスした場合、読出しは有効で各レジスタの値が読み出せます。書込みは無効になります。

6.7. ハードウェアウォッチドッグタイマ　ロードレジスタ (WDG_LDR)

WDG_LDR レジスタはハードウェアウォッチドッグタイマの周期を設定します。

■ レジスタ構成

bit	31	0
Field	WDG_LDR	
属性	R/W	
初期値	0x0000FFFF	

■ レジスタ機能

[bit31:0] WDG_LDR : インターバル周期設定ビット

処理	説明
書込み時	ハードウェアウォッチドッグの周期設定を行います。 初期値は"0x0000FFFF"です。 書込みの最小値は"0x00000001"になります。 "0x00000000"を書き込んだ場合、割込みが発生します。
読出し時	設定値が読み出せます。初期値は"0x0000FFFF"が読み出されます。

＜注意事項＞

- ウォッチドッグタイマ動作中に WDG_LDR を書き換えた場合、WDG_LDR 値がタイマカウンタに反映され、カウントが継続されます。
- ウォッチドッグタイマ停止中に WDG_LDR を書き換えた場合、WDG_LDR 値はウォッチドッグタイマ起動時にタイマカウンタに反映されます。
- ウォッチドッグタイマの割込みが発生していたときに、WDG_LDR を書き換えた場合、ウォッチドッグタイマの割込みをクリアします。
- 本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。

6.8. ハードウェアウォッチドッグタイマ　バリューレジスタ (WDG_VLR)

WDG_VLR レジスタはハードウェアウォッチドッグタイマの現在のカウンタ値を読み出せます。

■ レジスタ構成

bit	31	0
Field	WDG_VLR	
属性	R	
初期値	0xXXXXXXXX	

■ レジスタ機能

[bit31:0] WDG_VLR : カウンタ値ビット

処理	説明
読出し時	現在のウォッチドッグカウンタのカウント値が読み出せます。 ハードウェアウォッチドッグは電源投入後、自動的に起動するため、読出し時には既にダウンカウントは開始しています。電源投入後や、リセット後の初期値"0x0000FFFF"からデクリメントされた値が読み出されます。
書込み時	動作に影響しません。

＜注意事項＞

- 本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。
- 本レジスタはツールブレーク時にウォッチドッグタイマが停止するときのみ正確な値の読出しが可能です。ツールブレーク時のウォッチドッグタイマの設定については、『ペリフェラルマニュアル』の『クロック』の「5.13. デバッグブレーク ウォッチドッグタイマ制御レジスタ(DBWDT_CTL)」を参照してください。ツールブレーク時以外の動作時の読出し値は、バスクロックに対し、非同期読出しになるため、正確な値でないことがあります。その場合は、2 回読み出した後、値を比較するなどの対応をしてください。

6.9. ハードウェアウォッチドッグタイマ　制御レジスタ(WDG_CTL)

WDG_CTL レジスタはハードウェアウォッチドッグタイマの有効/無効を設定します。

■ レジスタ構成

bit	7	2	1	0
Field	予約		RESEN	INTEN
属性	-		R/W	R/W
初期値	-		1	1

■ レジスタ機能

[bit7:2] 予約: 予約ビット

本ビットからは、"0b000000"が読み出されます。

書込みの場合には、"0b000000"を設定してください。

[bit1] RESEN : ハードウェアウォッチドッグ　リセットイネーブルビット

処理	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	ウォッチドッグリセット　ディセーブル
1 書込み時	ウォッチドッグリセット　イネーブル

[bit0] INTEN : ハードウェアウォッチドッグ　割込み＆カウンタイネーブルビット

処理	説明
読出し時	レジスタの値が読み出されます。
0 書込み時	ウォッチドッグ割込み　ディセーブル ウォッチドッグカウンタ　ディセーブル
1 書込み時	ウォッチドッグ割込み　イネーブル ウォッチドッグカウンタ　イネーブル

＜注意事項＞

- INTEN ビットに"0"を書き込むことにより、ウォッチドッグカウンタは停止します。その後、再度"1"を書き込んだ時、ウォッチドッグカウンタはWDG_LDR レジスタから周期値をリロードし、カウンタ起動します。
- INTEN ビットのみに、"1"を書き込むことにより、ウォッチドッグタイマ起動可能です。RESEN ビットのみに、"1"を書き込んでも、ウォッチドッグタイマは起動しません。ウォッチドッグタイマ起動するには、INTEN
  ビットを"1"に設定してください。
- 本レジスタにアクセスするためには、ハードウェアウォッチドッグタイマ ロックレジスタ(WDG_LCK)に"0x1ACCE551"書込み後、反転値"0xE5331AAE"書き込み、ロック解除をしてください。
- 本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。
- INTEN ビットに"0"を書き込むことにより、ハードウェアウォッチドッグタイマ割込みステータスレジスタ(WDG_RIS)にある、割込みフラグもクリアされます。

＜注意事項＞

『Appendixes』の『C. 制限事項一覧』の『1. TYPE0 製品 制限事項一覧』に相違点を記載しています。ご確認お願いします。

6.10. ハードウェアウォッチドッグタイマ　クリアレジスタ (WDG_ICL)

WDG_ICL レジスタはハードウェアウォッチドッグタイマのクリアを行います。

■ レジスタ構成

bit	7						0
Field	WDG_ICL						
属性	R/W						
初期値	0xXX						

■ レジスタ機能

[bit7:0] WDG_ICL : クリアビット

処理	説明
読出し時	不定値が読み出されます。
書込み時	任意の 8 ビットの値を書き込んだ後、続けて任意の値の反転値を書き込むことにより、 ・ウォッチドッグタイマの割込みが発生していた場合、ウォッチドッグタイマの割込みをクリアします。 ・ウォッチドッグタイマカウンタに WDG_LDR レジスタから設定値をリロードします。

＜注意事項＞

本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。

6.11. ハードウェアウォッチドッグタイマ　割込みステータスレジスタ(WDG_RIS)

WDG_RIS レジスタはハードウェアウォッチドッグタイマ割込みのステータスを示します。

■ レジスタ構成

bit	7	1	0
Field	予約		RIS
属性	-		R
初期値	-		0

■ レジスタ機能

[bit7:1] 予約: 予約ビット

本ビットからは、"0b0000000"が読み出されます。

書込みの場合には、"0b0000000"を設定してください。

[bit0] RIS : ハードウェアウォッチドッグ　割込みステータスビット

処理	説明
書込み時	動作に影響しません。
0 読出し時	ハードウェアウォッチドッグ割込み発生なし
1 読出し時	ハードウェアウォッチドッグ割込み発生

＜注意事項＞

本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。

6.12. ハードウェアウォッチドッグタイマ　ロックレジスタ (WDG_LCK)

WDG_LCK レジスタはハードウェアウォッチドッグタイマの全レジスタのアクセスを制御します。

■ レジスタ構成

bit	31	0
Field	WDG_LCK	
属性	R/W	
初期値	0x00000001	

■ レジスタ機能

[bit31:0] WDG_LCK : ハードウェアウォッチドッグ　ロックレジスタ

処理	説明
書込み時	"0x1ACCE551"書込み時: 制御レジスタ以外の全レジスタのロックが解除されます。 その後、反転値"0xE5331AAE"書込み時: 全レジスタのロックが解除されます。 上記手順および"0x1ACCE551"以外の書込み時: 全レジスタのロックが有効になります。
読出し時	"0x00000000" : ロックは解除されています。 "0x00000001" : ロックは解除されていません。

＜注意事項＞

- 本レジスタはソフトウェアリセットおよびソフトウェアウォッチドッグリセットではクリアされません。
- ロックを解除していないときにハードウェアウォッチドッグの各レジスタにアクセスした場合、読出しは有効で各レジスタの値が読み出せます。書込みは動作に影響しません。

7. 使用上の注意

ウォッチドッグタイマの使用上の注意を説明します。

・ハードウェアウォッチドッグタイマ　クリアレジスタについて
ハードウェアウォッチドッグクリア時は、任意の 8 ビット値を書き込んだ後、続けて任意の値の反転値を書き込んでください。任意の値の反転値が正しい値が書き込まれない場合、クリアはされません。
また、クリアがされなくても、再度レジスタはロックされます。

・デバッグツールとの連携について
デバッグツールにより、ツールブレークをかけたとき、レジスタの設定によりウォッチドッグタイマのカウンタの継続/停止の設定ができます。ウォッチドッグタイマのデバッグ中の動作の詳細については、『ペリフェラルマニュアル』の『クロック』を参照してください。

・スタンバイモード時の動作について
意図しないプログラム動作でスタンバイモードに遷移し、ウォッチドッグタイマを停止させることのないように、スタンバイモードの設定時にキーレジスタに書込みをしてください。詳細は、『ペリフェラルマニュアル』の『低消費電力モード』を参照してください。

・ウォッチドッグリセットの発生はリセット要因レジスタで確認できます。詳細は、『ペリフェラルマニュアル』の『リセット』の『4.1. リセット要因レジスタ(RST_STR)』を参照してください。

・割込み要因は、『ペリフェラルマニュアル』の『割込み(A)』の『4.4. EXC02 一括読出しレジスタ(EXC02MON)』、『4.6. IRQ01 一括読出しレジスタ(IRQ01MON)』を参照してください。

・ソフトウェアウォッチドッグのカウントクロックは APB クロックの分周クロックを使用します。
カウントクロックの分周設定については、『ペリフェラルマニュアル』の『クロック』を参照してください。

・ハードウェアウォッチドッグと割込みハンドラについて
ハードウェアウォッチドッグにて、WDG_CTL のロック解除前(WDG_CTL 以外のロック解除後)、ほかの割込みが有効になり、割込みハンドラに処理が移行した場合、ロック解除の回数がハードウェア的に不明になります。
割込みハンドラの先頭で、WDG_LCK レジスタに書込みを行い、ロックをかけてください。

CHAPTER 2: デュアルタイマ

デュアルタイマの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

1. 概要

デュアルタイマは、2 つのプログラム可能な 32/16 ビットのダウンカウンタで構成されています。カウンタはゼロになると割込みを発生します。

■ デュアルタイマの概要

デュアルタイマは、2 つのプログラム可能なフリーランカウンタで構成されています。それぞれのタイマ部の動作は同一です。フリーランカウンタは、制御レジスタにより 32 ビットか 16 ビットかのどちらかのカウンタサイズに構成できます。また以下の 3 つのタイマモードのうちの 1 つに構成できます。

・フリーランモード
　カウンタがゼロになると、カウンタは最大値へ巡回して継続動作します。

・周期モード
　カウンタがゼロになると、カウンタはロードレジスタからリロードして継続動作します。

・ワンショットモード
　ロードレジスタ(TimerXLoad)に書き込むと、カウンタは新しい値をロードします。カウンタがゼロになると、カウンタは再度プログラムするまで停止します。

2つのフリーランカウンタは、共通のタイマクロック(TIMCLK)で動作します。タイマクロックはAPBバスクロック(PCLK)を使用します。また、それぞれのフリーランカウンタには 1, 16, 256 に分周できるプリスケーラがあります。よって、個々のプリスケーラを使用して、それぞれのフリーランカウンタのカウント速度を制御できます。

ロードレジスタ(TimerXLoad)に書き込むとタイマカウント値をロードします。そしてタイマカウンタが許可状態のとき、タイマクロックとプリスケーラ設定により決定した速度でタイマはデクリメントします。タイマカウンタ動作中にロードレジスタへ書き込むと、カウンタは直ぐに新しい値から再スタートします。

タイマカウントをロードする別の方法は、バックグランドロードレジスタ(TimerXBGLoad)に書き込むことです。この場合、書込み後すぐには現在のカウント値に影響せずに、カウンタはデクリメントを続けます。そしてカウンタがゼロになったとき、周期モード設定ならば新しいロード値をタイマカウンタにリロードします。

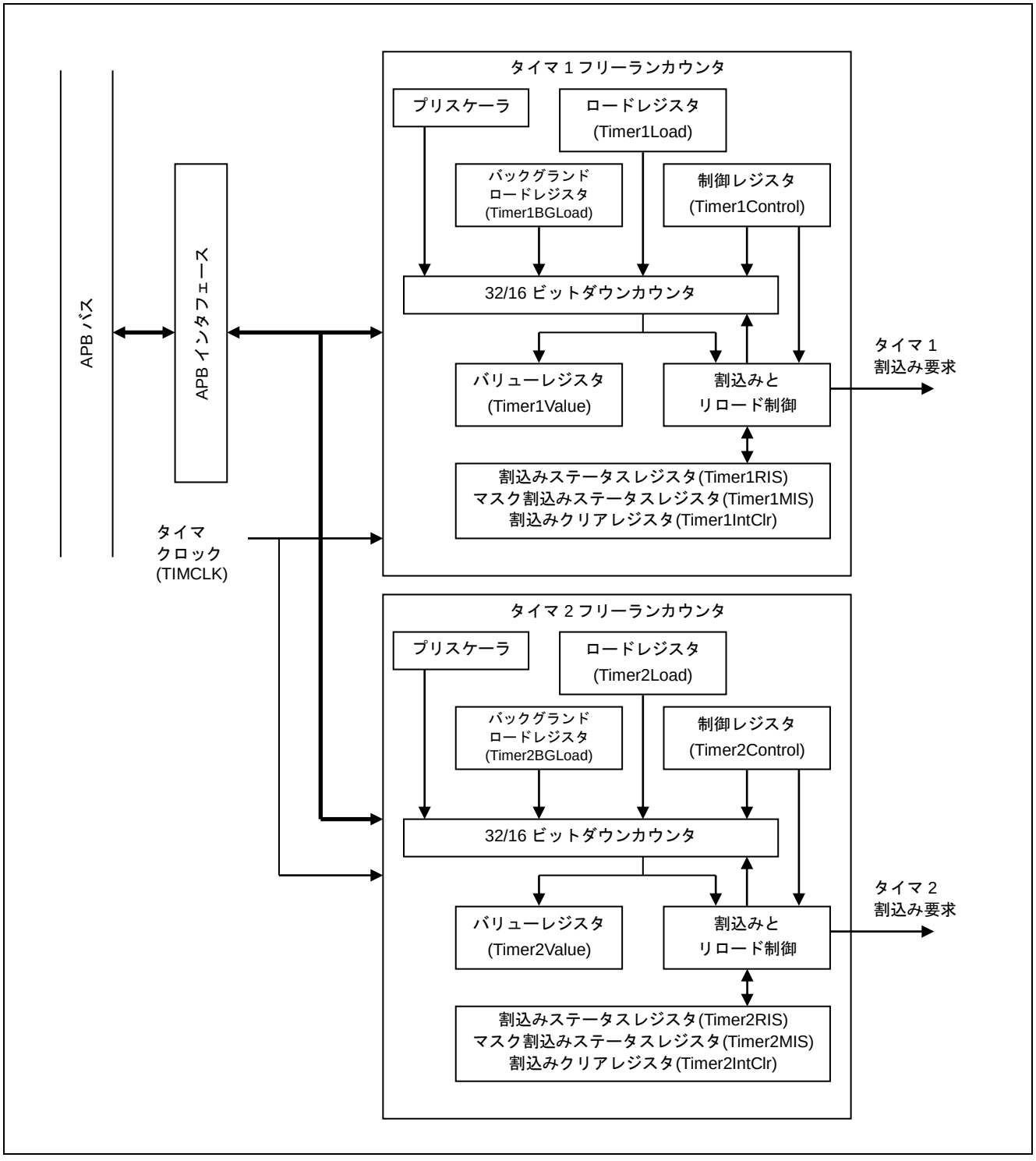
タイマカウントがゼロになると割込みが発生します。割込みは、割込みクリアレジスタ(TimerXIntClr)に書き込むことでクリアします。また、割込み出力信号はマスク割込みレジスタでマスクできます。

現在のカウント値は、いつでもバリューレジスタ(TimerXValue)から読み出せます。

2. 構成

デュアルタイマの構成を示します。

図 2-1 デュアルタイマのブロックダイヤグラム



3. 動作説明

デュアルタイマの動作について説明します。

3.1 タイマ動作モード

3.2 初期状態

3.3 割込み動作

3.1. タイマ動作モード

動作モードは、3 つのタイマモードから制御レジスタ(TimerXControl)のモードビット(TimerMode)とワンショットモードビット(OneShot)の設定で選択します。

表 3-1 モード選択表

TimerMode	OneShot	選択モード
0	0	フリーランモード
1	0	周期モード
-	1	ワンショットモード

カウンタ動作が 32 ビットか 16 ビットかは、制御レジスタのタイマサイズビット(TimerSize)で適切に設定します。

＜注意事項＞

本章でレジスタ名にある文字"X"は、フリーランカウンタ 1 か 2 のどちらのレジスタであるかを意味します。

■ フリーランモード

リセットによりタイマ値は 0xFFFFFFFF に初期化されます。そしてカウンタが許可状態のとき、タイマクロック(TIMCLK)の立上りエッジでカウントが 1 ずつデクリメントします。あるいは、ロードレジスタ(TimerXLoad)に書き込むと、新規のカウンタ初期値をロードできます。そしてカウンタがイネーブルならば、カウンタはこのロード値からデクリメントを開始します。

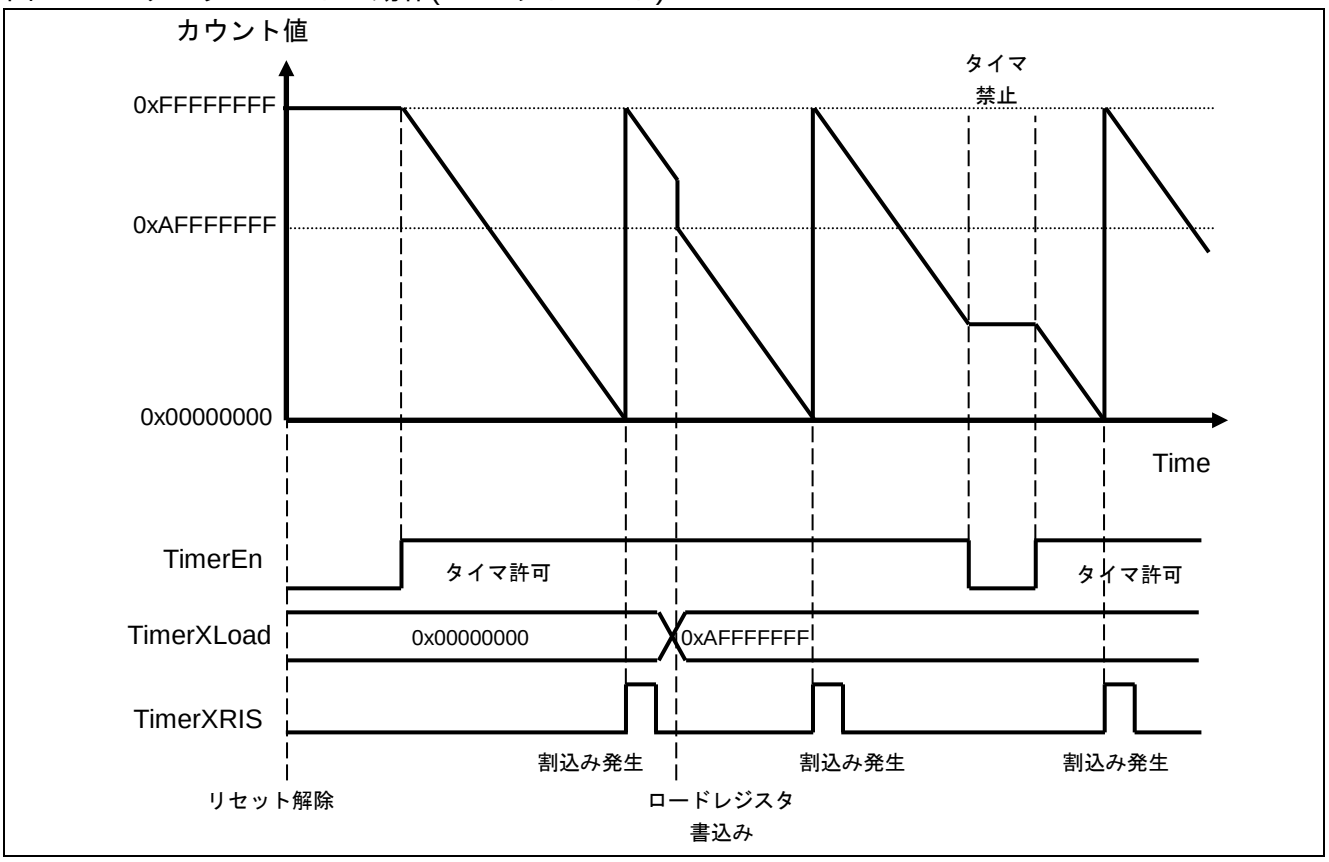
32 ビットモードでは、カウントがゼロ(0x00000000)となると割込みが発生します。そしてロードレジスタの値にかかわらず 0xFFFFFFFF へ巡回します。カウンタは再度デクリメントを開始して、カウンタが許可状態のときはこの一連のサイクルを繰り返します。

16 ビットモードでは、カウンタの下位 16 ビットだけがデクリメントします。カウントが 0x0000 となると割込みが発生します。そしてロードレジスタの値にかかわらず 0xFFFF へ巡回します。

制御レジスタ(TimerXControl)のイネーブルビット(TimerEn)をクリアしてカウンタがディセーブルになると、カウンタは停止して現在値を保持します。再度カウンタが許可状態になると、カウンタは現在値からデクリメントを続けます。

カウンタ値はいつでもバリューレジスタ(TimerXValue)から読み出せます。

図 3-1 フリーランモードの動作(32 ビットモード)



■ 周期モード

カウンタ初期値はロードレジスタ(TimerXLoad)に書き込むことでロードされます。そして、カウンタが許可状態になると、カウンタはこの値からデクリメントを開始します。

32 ビットモードでは、カウンタの 32 ビットがデクリメントしてカウントがゼロ(0x00000000)になったときに割込みが発生します。そしてカウンタはロードレジスタの値をリロードします。カウンタは再度デクリメントを開始して、カウンタが許可状態のときはこの一連のサイクルを繰り返します。

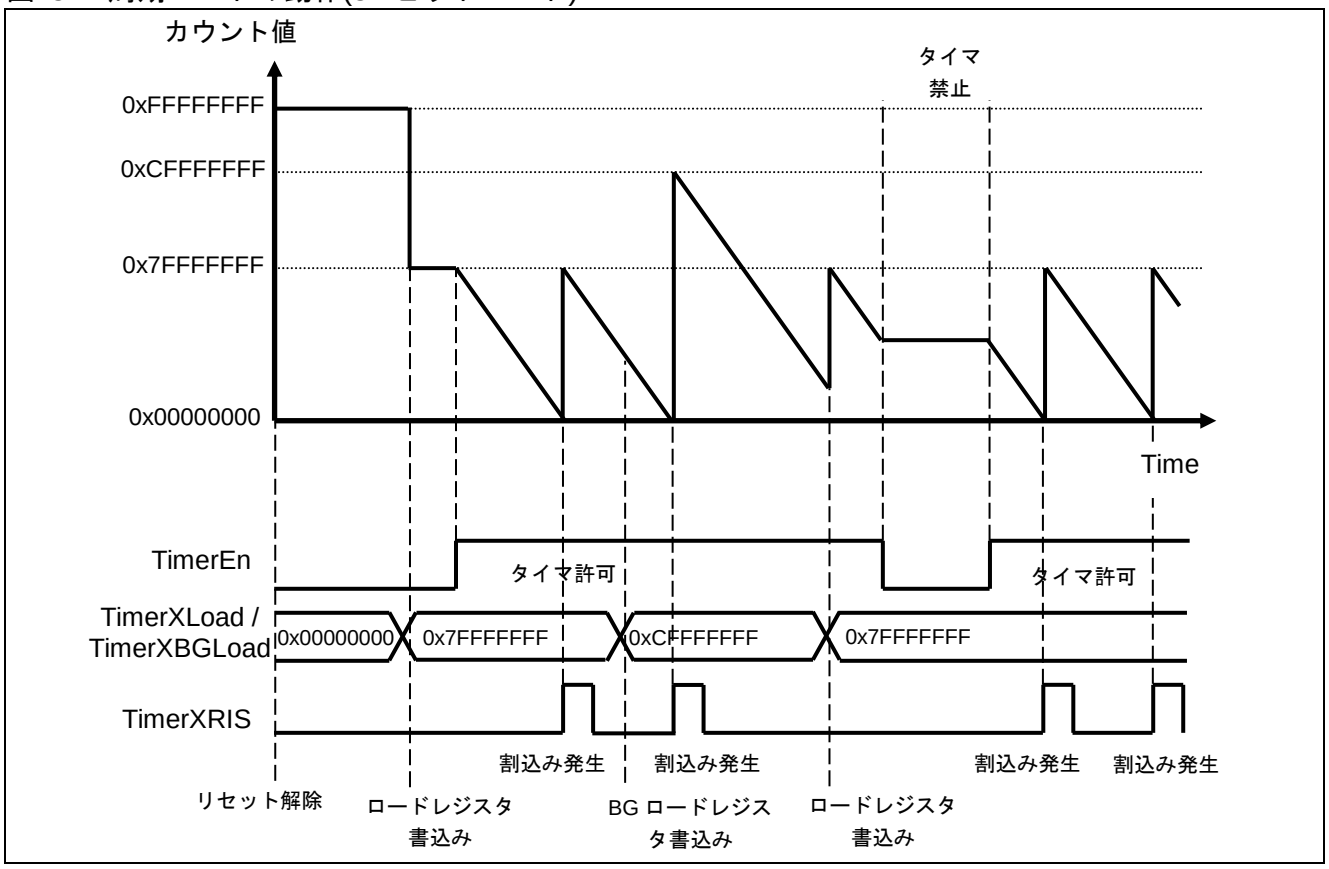
16 ビットモードでは、カウンタの下位 16 ビットだけデクリメントします。カウントが 0x0000 となると割込みが発生します。そしてカウンタはロードレジスタの値をリロードします。カウンタは再度デクリメントを開始して、カウンタが許可状態のときはこの一連のサイクルを繰り返します。

カウンタ動作中に新しい値をバックグランドロードレジスタ(TimerXBGLoad)に書き込むと、ロードレジスタにも同じロード値にアップデートしますが、カウンタはゼロへのデクリメントを続けます。カウンタはゼロとなると新しい値をリロードして、タイマが周期モード設定のときはこの新しいロード値をその後の各リロードに使用します。

カウンタ動作中、ロードレジスタに書き込んで新しい値をカウンタにロードする場合、その次のタイマクロックでカウンタ値が新しいロード値へ変わります。

制御レジスタ(TimerXControl)のイネーブルビット(TimerEn)をクリアしてカウンタがカウント禁止になると、カウンタは停止して現在値を保持します。再度カウンタが許可状態になると、カウンタは現在値からデクリメントを続けます。

図 3-2 周期モードの動作(32 ビットモード)



■ ワンショットモード

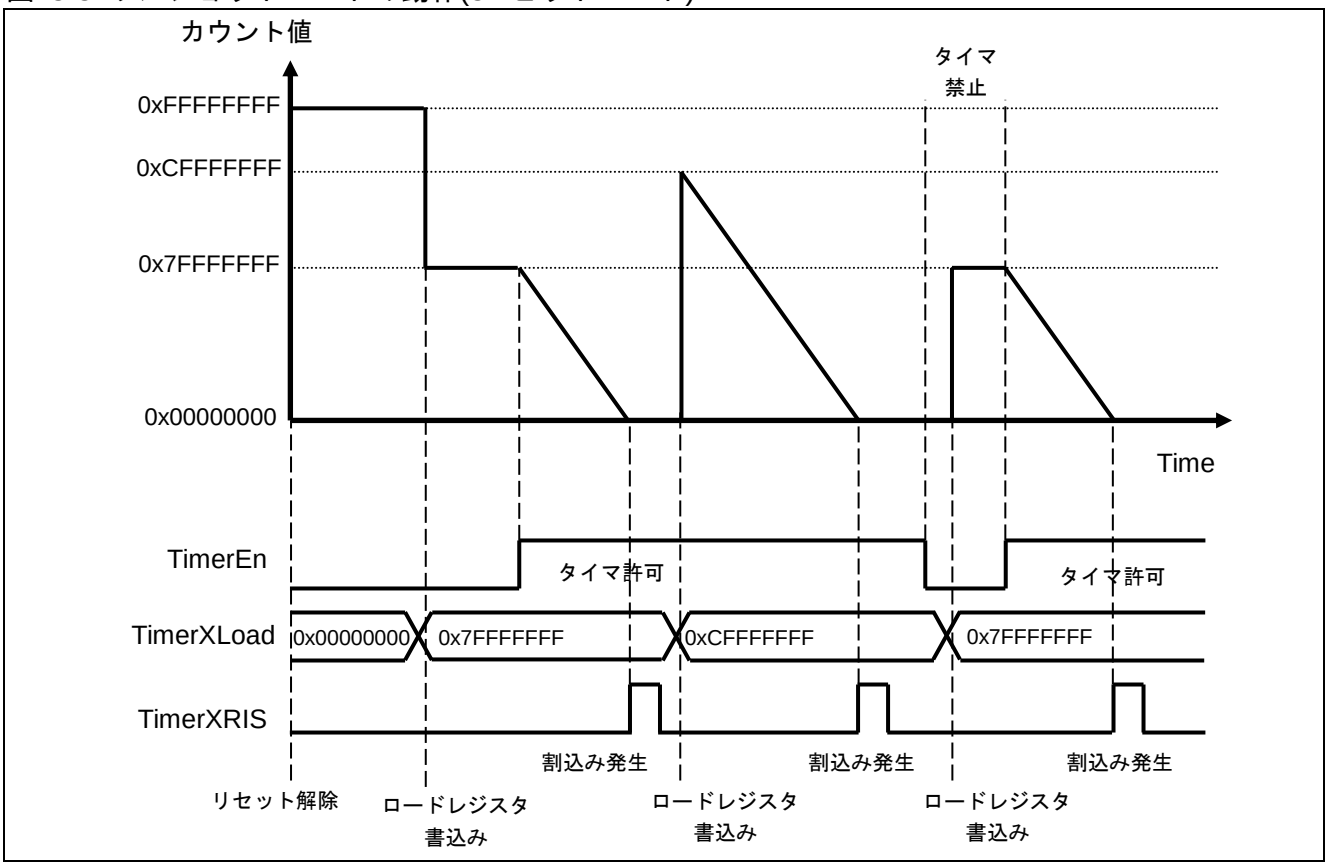
ワンショットモードでカウントダウンシーケンスを始めるために、新しいロード値をロードレジスタ(TimerXLoad)に書き込みます。カウンタが許可状態のとき、この値からデクリメントを開始します。

32 ビットモードでは、カウンタの 32 ビットがデクリメントしてカウントがゼロ(0x00000000)となったとき、割込みが発生します。そしてカウンタは停止します。

16 ビットモードでは、カウンタの下位 16 ビットだけデクリメントします。カウントが 0x0000 となると割込みが発生します。そしてカウンタは停止します。

ワンショットモードは、ロードレジスタに新しい値を書き込むことで再度起動できます。その次のタイマクロックでカウンタ値が新しいロード値へ変わります。

図 3-3 ワンショットモードの動作(32 ビットモード)



3.2. 初期状態

リセット後、タイマは以下の状態に初期化されます。

- タイマカウンタディセーブル
- フリーランモード選択
- 16 ビットカウンタモード選択
- プリスケーラ 1 分周設定
- 割込みクリア、かつ割込み許可状態
- ロードレジスタはゼロに設定
- カウンタ値は 0xFFFFFFFF に設定

3.3. 割込み動作

割込み動作について説明します。

割込み許可(IntEnable=1)で、カウンタが 0x00000000(32 ビットモード時)、または 0xXXXX0000(16 ビットモード時)の場合、割込みが発生します。16 ビットモード時にはカウンタ上位 16 ビットは無視されます。

割込みは、割込みクリアレジスタ(TimerXIntClr)に書き込むことでクリアします。

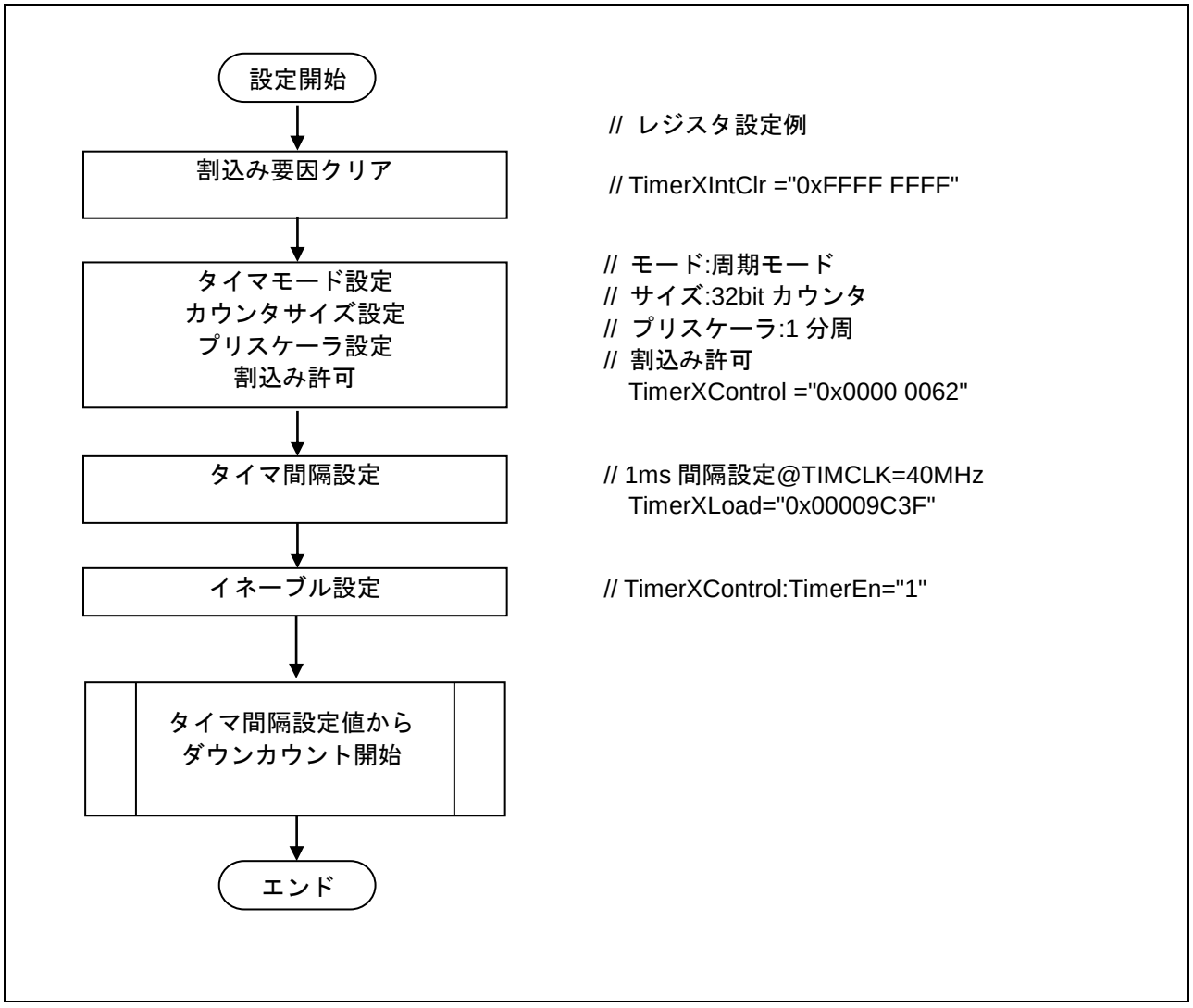
タイマで発生した割込み信号は、制御レジスタ(TimerXControl)の割込み許可ビット(IntEnable)を"0"に設定するとマスクできます。マスクする前の実際の割込み状態は割込みステータスレジスタ(TimerXRIS)から読み出せます。また、マスクされた割込み状態はマスク割込みステータスレジスタ(TimerXMIS)から読み出せます。

4. 設定手順例

デュアルタイマの設定手順例を説明します。

■ デュアルタイマ設定手順フロー

図 4-1 周期モード設定手順例



■ タイマ間隔設定

各モードにおけるタイマ間隔の計算式を表 4-1 で示します。

表 4-1 タイマ間隔計算式

モード	タイマ間隔
フリーラン 32 ビット	$(PRESCALE_{DIV} / TIMCLK_{FREQ}) \times 2^{32}$
フリーラン 16 ビット	$(PRESCALE_{DIV} / TIMCLK_{FREQ}) \times 2^{16}$
周期 & ワンショット	$(PRESCALE_{DIV} / TIMCLK_{FREQ}) \times$ (TimerXLoad + 1)

- $TIMCLK_{FREQ}$ はタイマクロック(TIMCLK)の周波数
- $PRESCALE_{DIV}$ は制御レジスタ(TimerXControl)の bit3:2 で設定した 1, 16 または 256 のプリスケーラ分周値
- TimerXLoad はロードレジスタ(TimerXLoad)の値

例えば、$TIMCLK_{FREQ}$=40MHz, $PRESCALE_{DIV}$=1 の場合、1ms タイマ間隔を設定するためのロードレジスタ(TimerXLoad)の値は次のように計算できます。

$$\text{TimerXLoad} = \text{タイマ間隔} \times TIMCLK_{FREQ} / PRESCALE_{DIV} - 1$$

$$= 1\text{ms} \times 40\text{MHz} / 1 - 1 = 4 \times 10^4 - 1 = 0\text{x}00009\text{C}3\text{F}$$

＜注意事項＞

ロードレジスタ(TimerXLoad)の最小有効値は"0x00000001"です。もしロードレジスタ(TimerXLoad)に"0x00000000"を設定すると、直ぐに割込みが発生します。

---

5. レジスタ

デュアルタイマで使用するレジスタの構成と機能について説明します。

■ デュアルタイマのレジスター覧

レジスタ略称	レジスタ名	参照先
Timer1Load	タイマ 1 ロードレジスタ	5.1
Timer1Value	タイマ 1 バリューレジスタ	5.2
Timer1Control	タイマ 1 制御レジスタ	5.3
Timer1IntClr	タイマ 1 割込みクリアレジスタ	5.4
Timer1RIS	タイマ 1 割込みステータスレジスタ	5.5
Timer1MIS	タイマ 1 マスク割込みステータスレジスタ	5.6
Timer1BGLoad	タイマ 1 バックグランドロードレジスタ	5.7
Timer2Load	タイマ 2 ロードレジスタ	5.1
Timer2Value	タイマ 2 バリューレジスタ	5.2
Timer2Control	タイマ 2 制御レジスタ	5.3
Timer2IntClr	タイマ 2 割込みクリアレジスタ	5.4
Timer2RIS	タイマ 2 割込みステータスレジスタ	5.5
Timer2MIS	タイマ 2 マスク割込みステータスレジスタ	5.6
Timer2BGLoad	タイマ 2 バックグランドロードレジスタ	5.7

5.1. ロードレジスタ(TimerXLoad) X=1 or 2

ロードレジスタ(TimerXLoad)は、32 ビットレジスタでカウンタのデクリメント開始値を設定するレジスタです。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	TimerXLoad[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TimerXLoad[15:0]															
属性	R/W															
初期値	0x0000															

[bit31:0] TimerXLoad : タイマ X ロードビット

本レジスタに直接書き込むと、次のタイマクロックですぐに現在のカウント値が新しい値に設定されます。また、周期モード設定時には、現在のカウントがゼロとなったときにこの値をリロードするために使います。

また、バックグランドロードレジスタ(TimerXBGLoad)値を書き込むと、本レジスタも上書きされますがそのときは現在のカウント値はすぐには影響を受けません。

ロードレジスタ(TimerXLoad)とバックグランドロードレジスタ(TimerXBGLoad)のどちらかに書き込んだ後は、いつ読み出しても最後に書き込まれたレジスタ値を返します。つまり、ロードレジスタ(TimerXLoad)とバックグランドロードレジスタ(TimerXBGLoad)からは同じ値が読み出され、その値は周期モードでカウンタがゼロになった後に常にリロードする値です。

＜注意事項＞

ロードレジスタ(TimerXLoad)の最小有効値は"0x00000001"です。ロードレジスタ(TimerXLoad)に"0x00000000"を設定すると、すぐに割込みが発生します。

5.2. バリューレジスタ(TimerXValue) X=1 or 2

バリューレジスタ(TimerXValue)は、32 ビットのリードオンリレジスタでデクリメントカウンタの現在値を示します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	TimerXValue[31:16]															
属性	R															
初期値	0xFFFF															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TimerXValue[15:0]															
属性	R															
初期値	0xFFFF															

[bit31:0] TimerXValue : タイマ X バリュービット

ロードレジスタ(TimerXLoad)への新しいロード値書込みのロード動作後、このバリューレジスタ(TimerXValue)にはすぐに新しいロード値が反映されます。

＜注意事項＞

16 ビットタイマモード時、バリューレジスタ(TimerXValue)32 ビットの上位 16 ビットは自動的に"0"には設定されません。例えば、タイマが 32 ビットモードから 16 ビットモードへの変更後、ロードレジスタ(TimerXLoad)への書込みが発生していない場合、バリューレジスタの上位 16 ビットはゼロではない値が残っています。

5.3. 制御レジスタ(TimerXControl) X=1 or 2

制御レジスタ(TimerXControl)は、タイマを制御します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
属性	-															
初期値	0xXXXX															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								TimerEn	TimerMode	IntEnable	予約	TimerPre		TimerSize	OneShot
属性	-								R/W							
初期値	0xXX								0	0	1	0	00		0	0

[bit31:8] 予約 : 予約ビット
読出し値は不定です。
書込みは動作に影響しません。

[bit7] TimerEn : イネーブルビット

値	説明
0	タイマ ディセーブル [初期値]
1	タイマ イネーブル

[bit6] TimerMode : モードビット

値	説明
0	フリーランモード [初期値]
1	周期モード

[bit5] IntEnable : 割込み許可ビット

値	説明
0	割込み禁止
1	割込み許可 [初期値]

[bit4] 予約 : 予約ビット
読出し値は不定です。
書込みは動作に影響しません。

[bit3:2] TimerPre : プリスケールビット

bit3	bit2	説明
0	0	クロック 1 分周 [初期値]
0	1	クロック 16 分周
1	0	クロック 256 分周
1	1	設定禁止

[bit1] TimerSize : カウンタサイズビット

16/32 ビットカウンタ動作を選択します。

値	説明
0	16 ビットカウンタ [初期値]
1	32 ビットカウンタ

[bit0] OneShot : ワンショットモードビット

ワンショットモードまたはカウンタ巡回モード(フリーランモード/周期モード)を選択します。フリーランモードまたは周期モードの設定はモードビット(TimerMode)で行います。

値	説明
0	巡回モード(フリーランモード/周期モード) [初期値]
1	ワンショットモード

＜注意事項＞

タイマ動作中に、カウンタモード, サイズ, プリスケール設定の変更は禁止です。設定を変更する場合は、タイマをディセーブルにしてから新しい設定値を各レジスタへ書き込んでください。そして設定変更完了後、再度イネーブルにしてください。この手順で設定しないと、デバイスが予期せぬ動作をします。

5.4. 割込みクリアレジスタ(TimerXIntClr) X=1 or 2

割込みクリアレジスタ(TimerXIntClr)は、割込みをクリアします。

bit	31															16
Field	TimerXIntClr[31:16]															
属性	W															
初期値	0xXXXX															

bit	15															0
Field	TimerXIntClr[15:0]															
属性	W															
初期値	0xXXXX															

[bit31:0] TimerXIntClr : 割込みクリアビット

本レジスタに任意の値を書き込むと、カウンタからの割込み出力をクリアします。

5.5. 割込みステータスレジスタ(TimerXRIS) X=1 or 2

割込みステータスレジスタ(TimerXRIS)は、マスクされていない割込みステータスを示します。

bit	31															16
Field	予約															
属性	-															
初期値	0xXXXX															

bit	15														1	0
Field	予約															TimerXRIS
属性	-															R
初期値	XXXXXXXXXXXXXXX															0

[bit31:1] 予約 : 予約ビット

読出し値は不定です。

書込みは動作に影響しません。

[bit0] TimerXRIS :割込みステータスレジスタビット

値	説明
0	カウンタから割込み発生なし [初期値]
1	カウンタから割込み発生

5.6. マスク割込みステータスレジスタ(TimerXMIS) X=1 or 2

マスク割込みステータスレジスタ(TimerXMIS)は、マスクされた割込みステータスを示します。

bit	31															16
Field	予約															
属性	-															
初期値	0xXXXX															

bit	15														1	0
Field	予約															TimerXMIS
属性	-															R
初期値	XXXXXXXXXXXXXXX															0

[bit31:1] 予約 : 予約ビット

読出し値は不定です。

書込みは動作に影響しません。

[bit0] TimerXMIS : マスク割込みステータスビット

本ビットは、割込みステータスと制御レジスタ(TimerXControl)のタイマ割込み許可ビット(IntEnable)との論理 AND の値です。そして本ビットと同じ値が割込み出力信号へ接続されます。

値	説明
0	カウンタから割込み発生なし [初期値]
1	カウンタから割込み発生

5.7. バックグランドロードレジスタ(TimerXBGLoad) X=1 or 2

バックグランドロードレジスタ(TimerXBGLoad)は、カウンタがデクリメントを開始する値を入れておく 32 ビットレジスタです。

bit	31															16
Field	TimerXBGLoad[31:16]															
属性	R/W															
初期値	0x0000															

bit	15															0
Field	TimerXBGLoad[15:0]															
属性	R/W															
初期値	0x0000															

[bit31:0] TimerXBGLoad : バックグランドロードビット

本レジスタは、周期モード設定で現在のカウント値がゼロとなったときにリロードするために使います。フリーランモードやワンショットモードでは使用しません。

本レジスタへの書込みはロードレジスタ(TimerXLoad)への書込みとは別のリロード動作をします。その違いは、ロードレジスタへの書込みはすぐに新しい値からカウントが開始されますが、本レジスタへの書込みはすぐにその新しい値からカウンタが再スタートしません。

ロードレジスタとバックグランドロードレジスタ(TimerXBGLoad)のどちらかに書き込んだ後は、いつ読み出しても最後に書き込まれたレジスタ値を返します。つまり、ロードレジスタ(TimerXLoad)とバックグランドロードレジスタ(TimerXBGLoad)からは同じ値が読み出され、その値は周期モードでカウンタがゼロになった後に常にリロードする値です。

CHAPTER 3-1: 時計カウンタ構成

時計カウンタの構成について説明します。

1. 構成

1. 構成

時計カウンタの構成については下記の関連する章の説明を参照してください。

■ 時計カウンタ参照章

表 1-1 時計カウンタプリスケーラ対応表

製品 TYPE	参照先
TYPE0～TYPE11	『時計カウンタプリスケーラ(A)』の章
TYPE12	『時計カウンタプリスケーラ(B)』の章

表 1-2 時計カウンタ対応表

製品 TYPE	参照先
TYPE0～TYPE12	『時計カウンタ』の章

CHAPTER 3-2: 時計カウンタプリスケーラ (A)

時計カウンタプリスケーラの機能と動作について示します。

1. 時計カウンタプリスケーラの概要
2. 時計カウンタプリスケーラの構成
3. 時計カウンタプリスケーラの動作説明と設定手順例
4. 時計カウンタプリスケーラのレジスタ

1. 時計カウンタプリスケーラの概要

時計カウンタプリスケーラは、時計カウンタで使用するカウンタクロックを生成するプリスケーラです。

■ 時計カウンタプリスケーラ

時計カウンタのカウントクロックを生成するプリスケーラです。

入力クロック(F_{CL})としてメインクロック，サブクロックを選択可能です。時計カウンタプリスケーラは、クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット(SEL_OUT)を設定することで、表 1-1 に示す分周クロック(WCCK0～WCCK3)を出力します。

表 1-1 時計カウンタプリスケーラで生成される分周クロック

SEL_OUT	WCCK3	WCCK2	WCCK1	WCCK0
0	$2^{15}/F_{CL}$	$2^{14}/F_{CL}$	$2^{13}/F_{CL}$	$2^{12}/F_{CL}$
1	$2^{25}/F_{CL}$	$2^{24}/F_{CL}$	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$

SEL_OUT：クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット
F_{CL} ：入力クロックの周波数

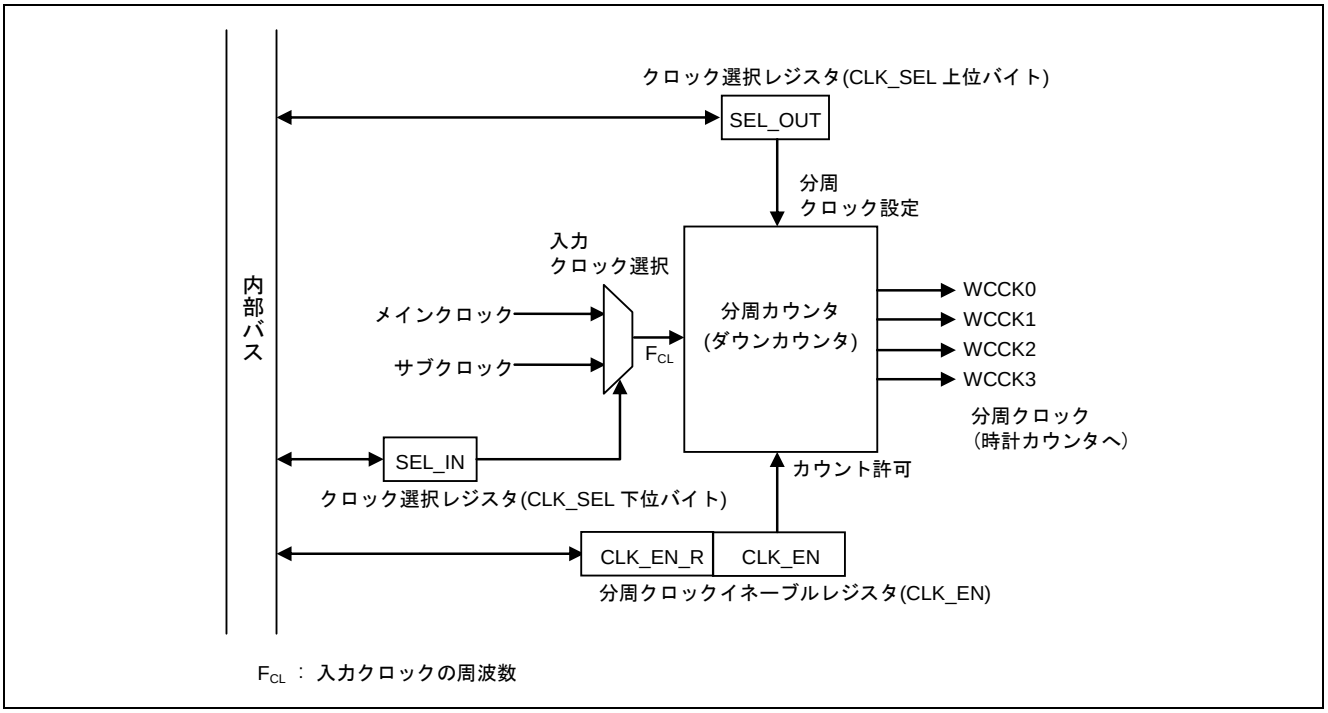
2. 時計カウンタプリスケーラの構成

時計カウンタプリスケーラのブロックダイヤグラムを示します。

■ 時計カウンタプリスケーラのブロックダイヤグラム

時計カウンタプリスケーラのブロックダイヤグラムを図 2-1 に示します。

図 2-1 時計カウンタプリスケーラのブロックダイヤグラム



● クロック選択レジスタ(CLK_SEL)

分周カウンタに入力する入力クロック(F_{CL})の選択および出力する分周クロック(WCCK0～WCCK3)の設定を行います。

● 分周クロックイネーブルレジスタ(CLK_EN)

分周カウンタのカウントダウンを許可します。
本レジスタに値が書き込まれてから分周カウンタが動作するまでには、クロック選択レジスタ(CLK_SEL)の入力クロック選択ビット(SEL_IN)で選択されたクロックの 2 サイクル分の遅延があります。

● 分周カウンタ

入力クロック(F_{CL})の分周クロック(WCCK0～WCCK3)を生成するダウンカウンタです。

3. 時計カウンタプリスケーラの動作説明と設定手順例

時計カウンタプリスケーラの動作について説明します。また、設定手順についても示します。

■ 時計カウンタプリスケーラの設定手順

以下に時計カウンタプリスケーラの設定手順を示します。

● 分周クロックの出力を開始する場合

1. クロック選択レジスタ(CLK_SEL)の入力クロック選択ビット(SEL_IN)で分周カウンタの入力クロック(F_{CL})の選択をしてください。また、クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット(SEL_OUT)で出力する分周クロックの設定を行ってください。この時点では、分周カウンタが動作していないため、出力する分周クロックは"L"固定となります。
2. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"1"に設定して、分周クロックの出力を許可してください。

● 分周クロックの出力を停止する場合

分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"0"に設定して、分周クロックの出力を禁止してください。

● 分周クロックの出力を停止した後再開する場合

1. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"1"に設定して、分周クロックの出力を許可してください。
2. 時計カウンタの時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)に"0"を書込み、時計カウンタ内の 6 ビットダウンカウンタの値を"0b000000"にクリアしてください。
3. 時計カウンタの時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)に"1"を書込み、時計カウンタの動作を再開してください。

● 分周クロックを動作中に切り換える場合

1. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"0"に設定して、分周クロックの出力を禁止してください。
2. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルリードビット(CLK_EN　_R)を読み出し、分周クロックの出力が停止(CLK_EN_R=0)したことを確認してください。
3. クロック選択レジスタ(CLK_SEL)の入力クロック選択ビット(SEL_IN)で分周カウンタの入力クロック(F_{CL})の選択をしてください。また、クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット(SEL_OUT)で出力する分周クロックの設定を行ってください。
4. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"1"に設定して、分周クロックの出力を許可してください。

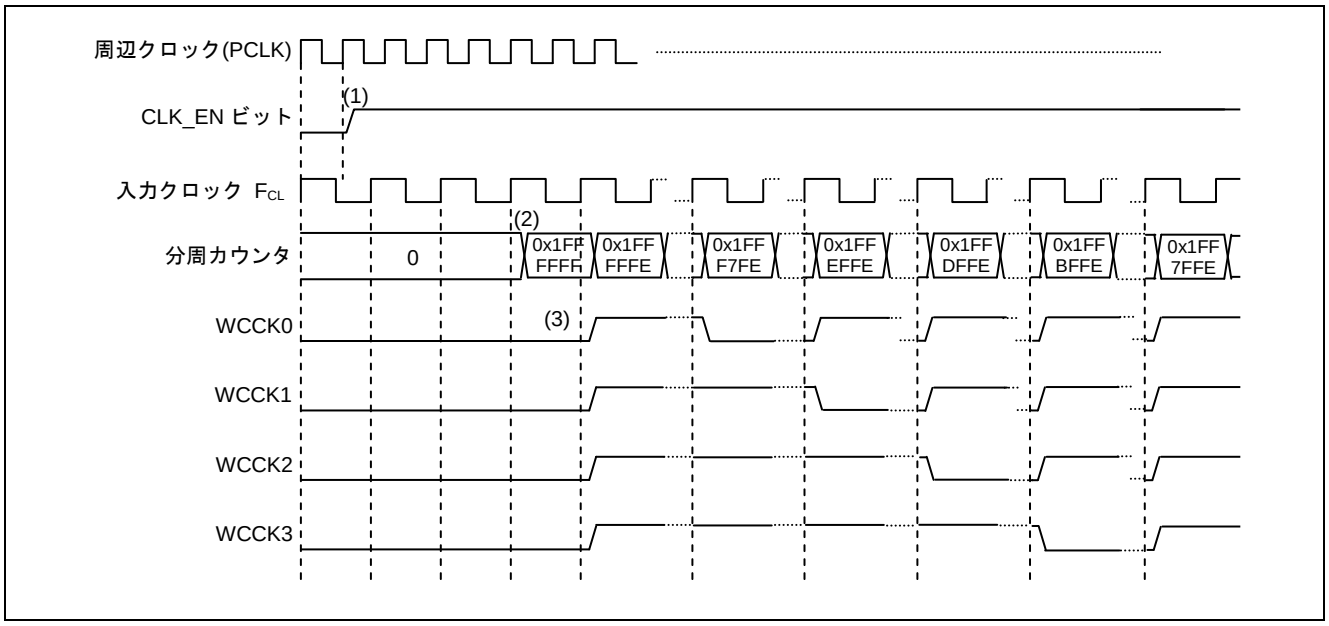
＜注意事項＞

- 時計カウンタプリスケーラの各レジスタの設定は周辺クロック(PCLK)を利用しています。分周カウンタの入力クロック(F_{CL})と周辺クロック(PCLK)は非同期です。このため、WCCK0～WCCK3 には各レジスタに値が設定されてから入力クロック(F_{CL})で 3 クロックの遅延が発生します。
- 「●分周クロックを動作中に切り換える場合」の 2.において分周カウンタの動作中に、分周クロックを切り換えるとグリッジが発生することがあります。そのため、分周カウンタの出力が停止したことを確認してください。
- 時計カウンタは時計カウンタプリスケーラの出力をカウントクロックとして使用するため、時計カウンタの動作中は、時計カウンタプリスケーラの設定を変更しないでください。

■ 時計カウンタプリスケーラの動作

例として SEL_OUT=0 に設定したときの時計カウンタプリスケーラの動作を図 3-1 に示します。

図 3-1 時計カウンタプリスケーラの動作説明図



(1) 周辺クロック(PCLK)の立上りで CLK_EN ビットをセットします。
(2) 入力クロック(F_{CL})に同期して分周カウンタが動作します。
(3) カウンタから SEL_OUT ビットの設定にしたがって、WCCK0～WCCK3 にクロックを出力します。

＜注意事項＞

時計カウンタプリスケーラの各レジスタの設定は周辺クロック(PCLK)を利用しています。分周カウンタの入力クロック(F_{CL})と周辺クロック(PCLK)は非同期のため、WCCK0～WCCK3 には各レジスタに値が設定されてから入力クロック(F_{CL})で 4 クロックの遅延が発生します。

■ 入力クロックの周波数(F_{CL})と分周クロックの周期の対応

入力クロックの周波数(F_{CL})と分周クロックの周期の設定例を表 3-1 に示します。

表 3-1 時計カウンタプリスケーラの設定例

SEL_IN	SEL_OUT	入力クロック周波数(F_{CL})	分周クロックの周期			
			WCCK3	WCCK2	WCCK1	WCCK0
0 (サブクロック)	0	32.768kHz	1s	500ms	250ms	125ms
1 (メインクロック)	1	33.554MHz	1s	500ms	250ms	125ms

4. 時計カウンタプリスケーラのレジスタ

時計カウンタプリスケーラのレジスター覧を示します。

■ 時計カウンタプリスケーラのレジスタ

表 4-1 時計カウンタプリスケーラのレジスター覧

レジスタ略称	レジスタ名	参照先
CLK_SEL	クロック選択レジスタ	4.1
CLK_EN	分周クロックイネーブルレジスタ	4.2

4.1. クロック選択レジスタ(CLK_SEL)

クロック選択レジスタ(CLK_SEL)は、入力クロック(F_{CL})の選択と、出力する分周クロック(WCCK0～3)の設定を行います。

bit	15	14	13	12	11	10	9	8
Field	予約					予約		SEL_OUT
属性	-					R/W		R/W
初期値	00000					00		0

bit	7	6	5	4	3	2	1	0
Field	予約							SEL_IN
属性	-							R/W
初期値	0000000							0

[bit15:11, bit7:1] 予約 : 予約ビット
読出しは常に"0"となります。
書込みは動作に影響しません。

[bit10: 9] 予約 : 予約ビット
本ビットには必ず"0"を書き込んでください。

[bit8] SEL_OUT : 出力クロック選択ビット
分周カウンタから出力する分周クロック(WCCK0～WCCK3)の選択をします。

値	説明			
	WCCK3	WCCK2	WCCK1	WCCK0
0	$2^{15}/F_{CL}$	$2^{14}/F_{CL}$	$2^{13}/F_{CL}$	$2^{12}/F_{CL}$
1	$2^{25}/F_{CL}$	$2^{24}/F_{CL}$	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$

[bit0] SEL_IN : 入力クロック選択ビット
使用する入力クロック(F_{CL})を選択します。

値	説明
0	サブクロックを使用して分周クロックを生成します。
1	メインクロックを使用して分周クロックを生成します。

4.2. 分周クロックイネーブルレジスタ(CLK_EN)

分周クロックイネーブルレジスタ(CLK_EN)は、分周カウンタのカウントダウンを許可するレジスタです。

bit	7	2	1	0
Field	予約		CLK_EN_R	CLK_EN
属性	-		R/W	R/W
初期値	000000		0	0

[bit7:2] 予約 : 予約ビット
読出しは常に"0"となります。
書込みは動作に影響しません。

[bit1] CLK_EN_R : 分周クロックイネーブルリードビット
分周の制御に使用されている、CLK_EN の値は読み出せます。本ビットへの書込みは動作および読込み値に影響しません。

値	説明
0	クロック分周用のカウンタがカウントを停止し、分周クロックの発振を行っていません。
1	クロック分周用のカウンタがカウントを実行し、分周クロックの発振を行っています。

[bit0] CLK_EN : 分周クロックイネーブルビット
CLK_EN ビットに値が書き込まれてから反映までに、CLK_SEL レジスタで選択されたクロックで 2 サイクルの遅延があります。

値	説明
0	分周カウンタがカウントを停止し、分周クロックの発振を禁止します。 分周カウンタの値を 0 にクリアします。
1	分周カウンタがカウントを開始し、分周クロックの発振を許可します。

CHAPTER 3-3: 時計カウンタプリスケーラ (B)

時計カウンタプリスケーラの機能と動作について示します。

1. 時計カウンタプリスケーラの概要
2. 時計カウンタプリスケーラの構成
3. 時計カウンタプリスケーラの動作説明と設定手順例
4. 時計カウンタプリスケーラのレジスタ

1. 時計カウンタプリスケーラの概要

時計カウンタプリスケーラは、時計カウンタで使用するカウンタクロックを生成するプリスケーラです。

■ 時計カウンタプリスケーラ

時計カウンタのカウントクロックを生成するプリスケーラです。

入力クロック(F_{CL})としてメインクロック，サブクロック，高速 CR, CLKLC を選択可能です。時計カウンタプリスケーラは、クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット(SEL_OUT[2:0])を設定することで、表 1-1 に示す分周クロック(WCCK0～WCCK3)を出力します。

表 1-1 時計カウンタプリスケーラで生成される分周クロック

SEL_OUT[2:0]	WCCK3	WCCK2	WCCK1	WCCK0
000	$2^{15}/F_{CL}$	$2^{14}/F_{CL}$	$2^{13}/F_{CL}$	$2^{12}/F_{CL}$
001	$2^{25}/F_{CL}$	$2^{24}/F_{CL}$	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$
010	$2^{4}/F_{CL}$	$2^{3}/F_{CL}$	$2^{2}/F_{CL}$	$2/F_{CL}$
011	$2^{8}/F_{CL}$	$2^{7}/F_{CL}$	$2^{6}/F_{CL}$	$2^{5}/F_{CL}$
100	$2^{12}/F_{CL}$	$2^{11}/F_{CL}$	$2^{10}/F_{CL}$	$2^{9}/F_{CL}$
101	$2^{19}/F_{CL}$	$2^{18}/F_{CL}$	$2^{17}/F_{CL}$	$2^{16}/F_{CL}$
110	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$	$2^{21}/F_{CL}$	$2^{20}/F_{CL}$

SEL_OUT[2:0] : クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット
F_{CL} : 入力クロックの周波数

＜注意事項＞

CLKLC は低速 CR を低速 CR プリスケーラで分周したクロックを示します。

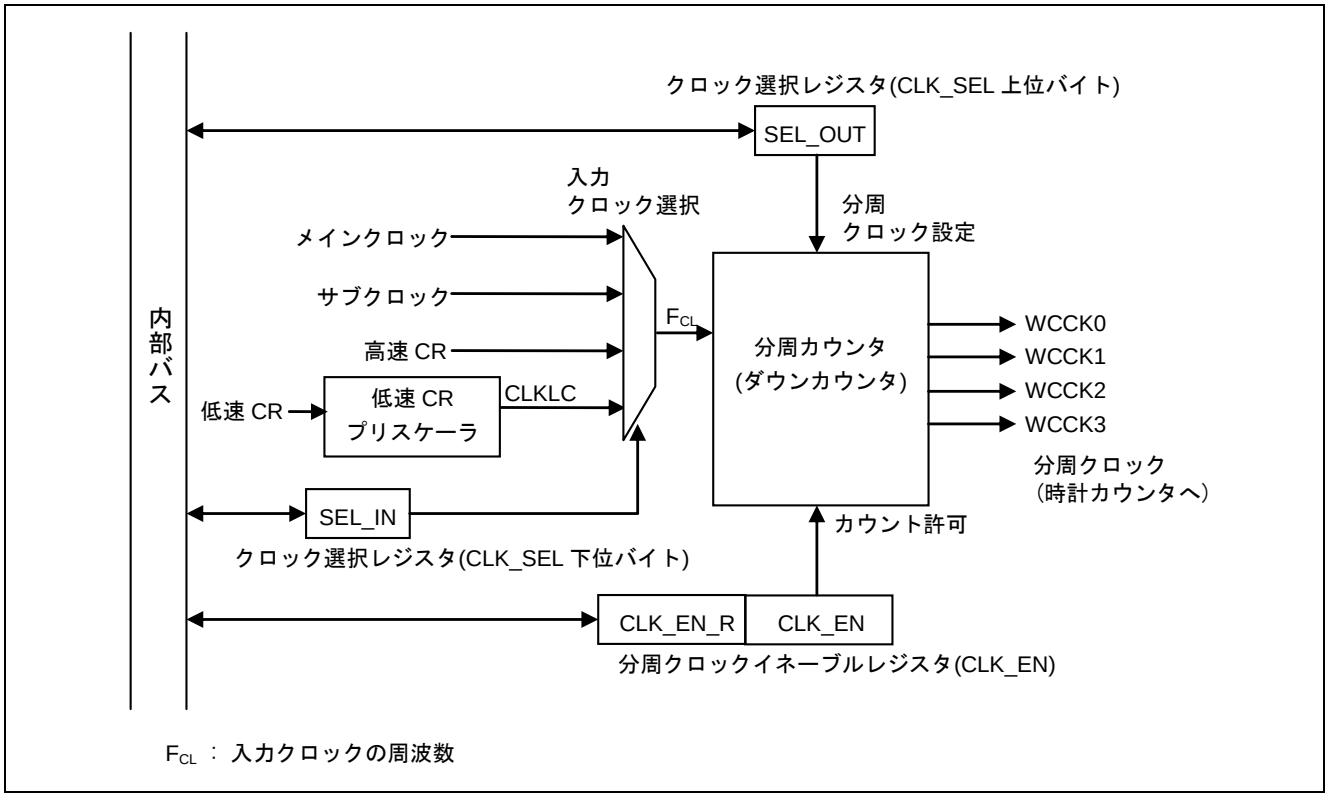
2. 時計カウンタプリスケーラの構成

時計カウンタプリスケーラのブロックダイヤグラムを示します。

■ 時計カウンタプリスケーラのブロックダイヤグラム

時計カウンタプリスケーラのブロックダイヤグラムを図 2-1 に示します。

図 2-1 時計カウンタプリスケーラのブロックダイヤグラム



● クロック選択レジスタ(CLK_SEL)

分周カウンタに入力する入力クロック(F_{CL})の選択および出力する分周クロック(WCCK0～WCCK3)の設定を行います。

● 分周クロックイネーブルレジスタ(CLK_EN)

分周カウンタのカウントダウンを許可します。
本レジスタに値が書き込まれてから分周カウンタが動作するまでには、クロック選択レジスタ(CLK_SEL)の入力クロック選択ビット(SEL_IN[1:0])で選択されたクロックの 2 サイクル分の遅延があります。

● 分周カウンタ

入力クロック(F_{CL})の分周クロック(WCCK0～WCCK3)を生成するダウンカウンタです。

3. 時計カウンタプリスケーラの動作説明と設定手順例

時計カウンタプリスケーラの動作について説明します。また、設定手順についても示します。

■ 時計カウンタプリスケーラの設定手順

以下に時計カウンタプリスケーラの設定手順を示します。

● 分周クロックの出力を開始する場合

1. クロック選択レジスタ(CLK_SEL)の入力クロック選択ビット(SEL_IN[1:0])で分周カウンタの入力クロック(F_{CL})の選択をしてください。また、クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット(SEL_OUT[2:0])で出力する分周クロックの設定を行ってください。この時点では、分周カウンタが動作していないため、出力する分周クロックは"L"固定となります。
2. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"1"に設定して、分周クロックの出力を許可してください。

● 分周クロックの出力を停止する場合

分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"0"に設定して、分周クロックの出力を禁止してください。

● 分周クロックの出力を停止した後再開する場合

1. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"1"に設定して、分周クロックの出力を許可してください。
2. 時計カウンタの時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)に"0"を書込み、時計カウンタ内の 6 ビットダウンカウンタの値を"0b000000"にクリアしてください。
3. 時計カウンタの時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)に"1"を書込み、時計カウンタの動作を再開してください。

● 分周クロックを動作中に切り換える場合

1. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"0"に設定して、分周クロックの出力を禁止してください。
2. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルリードビット(CLK_EN_R)を読み出し、分周クロックの出力が停止(CLK_EN_R=0)したことを確認してください。
3. クロック選択レジスタ(CLK_SEL)の入力クロック選択ビット(SEL_IN[1:0])で分周カウンタの入力クロック(F_{CL})の選択をしてください。また、クロック選択レジスタ(CLK_SEL)の出力クロック選択ビット(SEL_OUT[2:0])で出力する分周クロックの設定を行ってください。
4. 分周クロックイネーブルレジスタ(CLK_EN)の分周クロックイネーブルビット(CLK_EN)を"1"に設定して、分周クロックの出力を許可してください。

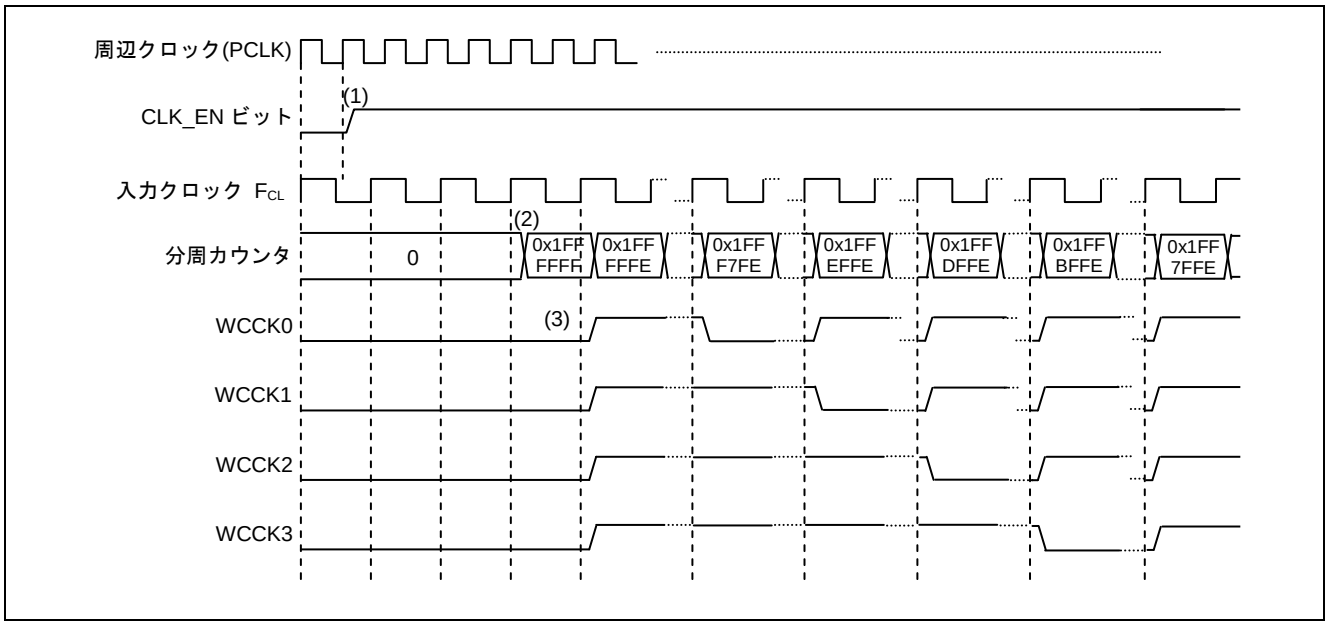
＜注意事項＞

- 時計カウンタプリスケーラの各レジスタの設定は周辺クロック(PCLK)を利用しています。分周カウンタの入力クロック(F_{CL})と周辺クロック(PCLK)は非同期です。このため、WCCK0～WCCK3 には各レジスタに値が設定されてから入力クロック(F_{CL})で 3 クロックの遅延が発生します。
- 「●分周クロックを動作中に切り換える場合」の 2.において分周カウンタの動作中に、分周クロックを切り換えるとグリッジが発生することがあります。そのため、分周カウンタの出力が停止したことを確認してください。
- 時計カウンタは時計カウンタプリスケーラの出力をカウントクロックとして使用するため、時計カウンタの動作中は、時計カウンタプリスケーラの設定を変更しないでください。

■ 時計カウンタプリスケーラの動作

SEL_OUT=0 に設定したときの時計カウンタプリスケーラの動作を図 3-1 に示します。

図 3-1 時計カウンタプリスケーラの動作説明



(1) 周辺クロック(PCLK)の立上りで CLK_EN ビットをセットします。
(2) 入力クロック(F_{CL})に同期して分周カウンタが動作します。
(3) カウンタから SEL_OUT ビットの設定にしたがって、WCCK0～WCCK3 にクロックを出力します。

＜注意事項＞

時計カウンタプリスケーラの各レジスタの設定は周辺クロック(PCLK)を利用しています。分周カウンタの入力クロック(F_{CL})と周辺クロック(PCLK)は非同期のため、WCCK0～WCCK3 には各レジスタに値が設定されてから入力クロック(F_{CL})で 4 クロックの遅延が発生します。

■ 入力クロックの周波数(F_{CL})と分周クロックの周期の対応

入力クロックの周波数(F_{CL})と分周クロックの周期の設定例を表 3-1 に示します。

表 3-1 時計カウンタプリスケーラの設定例

SEL_IN [1:0]	SEL_OUT [2:0]	入力クロック周波数(F_{CL})	分周クロックの周期			
			WCCK3	WCCK2	WCCK1	WCCK0
00 (サブクロック)	000	32.768 kHz	1 s	500 ms	250 ms	125 ms
01 (メインクロック)	001	33.554 MHz	1 s	500 ms	250 ms	125 ms
10 (高速 CR)	110	4 MHz	2.097 s	1.049 s	524 ms	262 ms
11 (CLKLC)	100	4 kHz	1.024 s	512 ms	256 ms	128 ms

4. 時計カウンタプリスケーラのレジスタ

時計カウンタプリスケーラのレジスター覧を示します。

■ 時計カウンタプリスケーラのレジスタ

表 4-1 時計カウンタプリスケーラのレジスター覧

レジスタ略称	レジスタ名	参照先
CLK_SEL	クロック選択レジスタ	4.1
CLK_EN	分周クロックイネーブルレジスタ	4.2

4.1. クロック選択レジスタ(CLK_SEL)

クロック選択レジスタ(CLK_SEL)は、入力クロック(F_{CL})の選択と、出力する分周クロック(WCCK0～WCCK3)の設定を行います。

bit	15					11	10	9	8
Field	予約						SEL_OUT[2:0]		
属性	-						R/W		
初期値	00000						000		

bit	7						2	1	0
Field	予約							SEL_IN[1:0]	
属性	-							R/W	
初期値	000000							00	

[bit15:11, bit7:2] 予約 : 予約ビット
読出しは常に"0"となります。
書込みは動作に影響しません。

[bit10:8] SEL_OUT[2:0] : 出力クロック選択ビット
分周カウンタから出力する分周クロック(WCCK0～WCCK3)の選択をします。

値	説明			
	WCCK3	WCCK2	WCCK1	WCCK0
000	$2^{15}/F_{CL}$	$2^{14}/F_{CL}$	$2^{13}/F_{CL}$	$2^{12}/F_{CL}$
001	$2^{25}/F_{CL}$	$2^{24}/F_{CL}$	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$
010	$2^{4}/F_{CL}$	$2^{3}/F_{CL}$	$2^{2}/F_{CL}$	$2/F_{CL}$
011	$2^{8}/F_{CL}$	$2^{7}/F_{CL}$	$2^{6}/F_{CL}$	$2^{5}/F_{CL}$
100	$2^{12}/F_{CL}$	$2^{11}/F_{CL}$	$2^{10}/F_{CL}$	$2^{9}/F_{CL}$
101	$2^{19}/F_{CL}$	$2^{18}/F_{CL}$	$2^{17}/F_{CL}$	$2^{16}/F_{CL}$
110	$2^{23}/F_{CL}$	$2^{22}/F_{CL}$	$2^{21}/F_{CL}$	$2^{20}/F_{CL}$

[bit1:0] SEL_IN[1:0] : 入力クロック選択ビット
使用する入力クロック(F_{CL})を選択します。

値	説明
00	サブクロックを使用して分周クロックを生成します。
01	メインクロックを使用して分周クロックを生成します。
10	高速 CR を使用して分周クロックを生成します。
11	CLKLC を使用して分周クロックを生成します。

4.2. 分周クロックイネーブルレジスタ(CLK_EN)

分周クロックイネーブルレジスタ(CLK_EN)は、分周カウンタのカウントダウンを許可するレジスタです。

bit	7	2	1	0
Field	予約		CLK_EN_R	CLK_EN
属性	-		R/W	R/W
初期値	000000		0	0

[bit7:2] 予約 : 予約ビット
読出しは常に"0"となります。
書込みは動作に影響しません。

[bit1] CLK_EN_R : 分周クロックイネーブルリードビット
分周の制御に使用されている、CLK_EN の値は読み出せます。本ビットへの書込みは動作および読出し値に影響しません。

値	説明
0	クロック分周用のカウンタがカウントを停止し、分周クロックの発振を行っていません。
1	クロック分周用のカウンタがカウントを実行し、分周クロックの発振を行っています。

[bit0] CLK_EN : 分周クロックイネーブルビット
CLK_EN ビットに値が書き込まれてから反映までに、CLK_SEL レジスタで選択されたクロックで 2 サイクルの遅延があります。

値	説明
0	分周カウンタがカウントを停止し、分周クロックの発振を禁止します。 分周カウンタの値を 0 にクリアします。
1	分周カウンタがカウントを開始し、分周クロックの発振を許可します。

CHAPTER 3-4: 時計カウンタ

時計カウンタの機能と動作について示します。

1. 時計カウンタの概要
2. 時計カウンタの構成
3. 時計カウンタの割込み
4. 時計カウンタの動作説明と設定手順例
5. 時計カウンタのレジスタ

1. 時計カウンタの概要

時計カウンタは、あらかじめ設定した値からカウントダウンを行い、6 ビットダウンカウンタがアンダフローすると割込み要求を発生させるタイマです。

■ 時計カウンタ

- 時計カウンタは、4 種類(WCCK0, WCCK1, WCCK2, WCCK3)のクロックから、時計カウンタ制御レジスタ(WCCR)のカウントクロック選択ビット(CS[1:0])で選択した 1 つを 6 ビットダウンカウンタのカウントクロックとして使用します。
- 6 ビットダウンカウンタでカウントする値を、0～63 の範囲内で設定できます。カウント周期が 1s のときに、カウントする値を"60"にすると、1 分ごとに割込み要求が発生します。また、カウント周期が 1s のときに、カウントする値を"0"に設定すると、64 秒ごとに割込み要求が発生します。
- 6 ビットダウンカウンタがアンダフローすると割込み要求を発生できます。

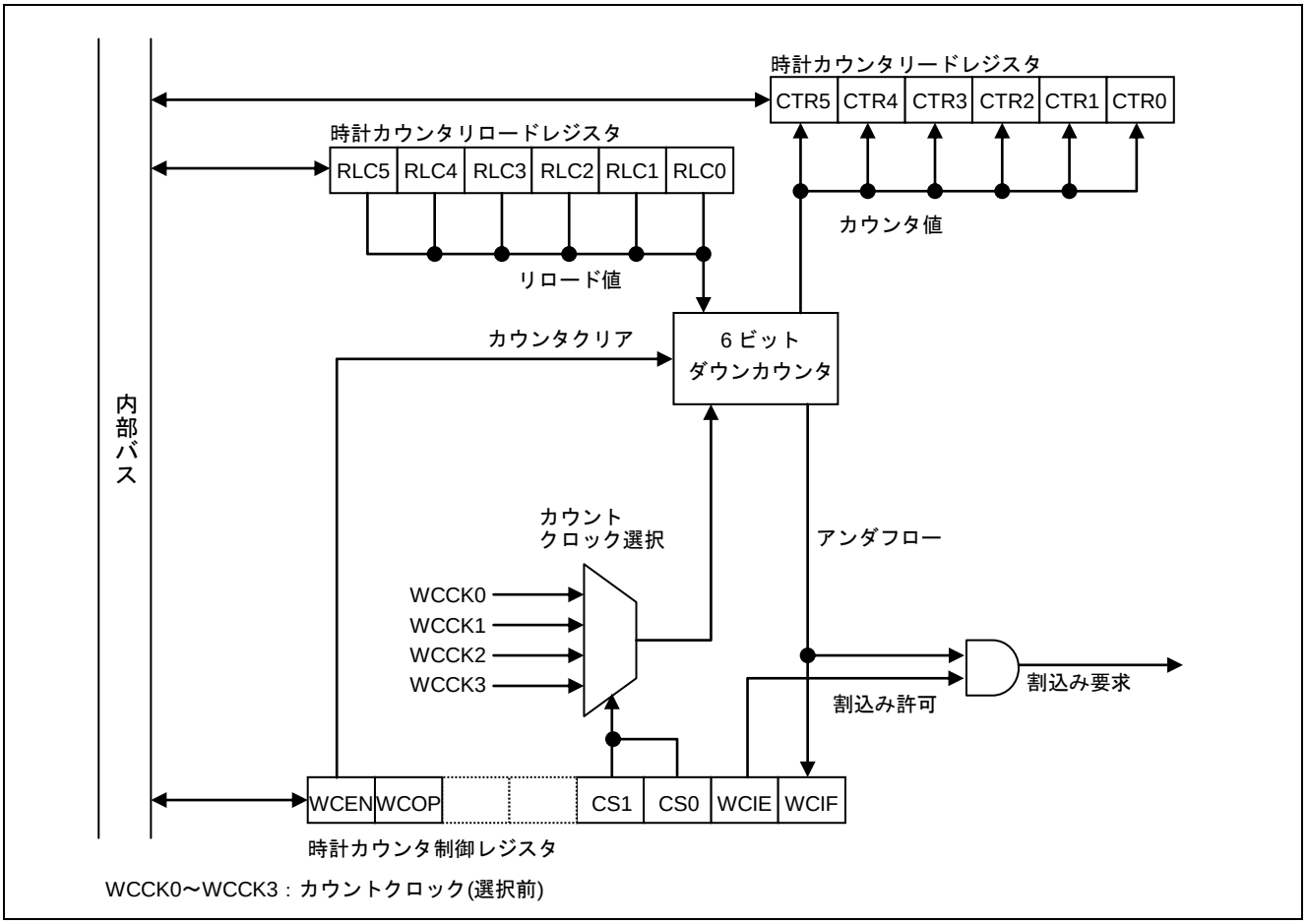
2. 時計カウンタの構成

時計カウンタのブロックダイヤグラムを示します。

■ 時計カウンタのブロックダイヤグラム

時計カウンタのブロックダイヤグラムを図 2-1 に示します。

図 2-1 時計カウンタのブロックダイヤグラム



● 6 ビットダウンカウンタ

時計カウンタの6ビットのダウンカウンタです。時計カウンタリロードレジスタ(WCRL)に設定された値をリロードしてカウントダウンします。

● 時計カウンタリロードレジスタ(WCRL)

時計カウンタがカウントを開始する値を設定するレジスタです。ここに設定した値から 6 ビットダウンカウンタがカウントダウンします。

● 時計カウンタリードレジスタ(WCRD)

6 ビットのダウンカウンタの値を読み出すレジスタです。このレジスタを読み出すとカウンタの値を確認できます。

● 時計カウンタ制御レジスタ(WCCR)

時計カウンタの動作を制御するレジスタです。

3. 時計カウンタの割込み

6 ビットダウンカウンタの値が"0b000001"になり 6 ビットダウンカウンタがアンダフローすると、アンダフロー割込み要求が発生します。

■ 時計カウンタの割込み

時計カウンタで使用できる割込みについて、表 3-1 に示します。

表 3-1 時計カウンタの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
アンダフロー割込み要求	WCCR の WCIF=1	WCCR の WCIE=1	WCCR の WCIF ビットに"0"を書き込む

WCCR : 時計カウンタ制御レジスタ

＜注意事項＞

割込み要求フラグが"1"のときに割込み要求許可すると、その時点で割込み要求が発生します。割込み要求の発生を許可する場合は、以下のどちらかの処理を行ってください。

- 割込み要求の発生を許可する前に割込み要求を許可する。
- 割込み許可と同時に割込み要求をクリアする。

4. 時計カウンタの動作説明と設定手順例

時計カウンタの動作について説明します。また、設定手順についても示します。

■ 時計カウンタの設定手順

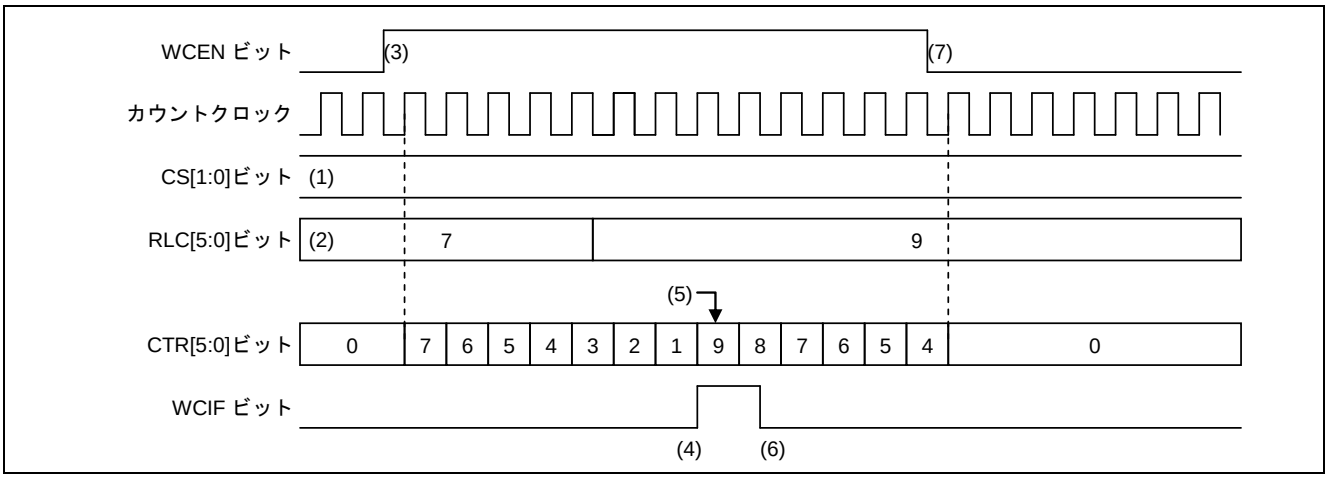
以下に時計カウンタの設定手順を示します。

(1) 時計カウンタ制御レジスタ(WCCR)のカウントクロック選択ビット(CS[1:0])で、カウントクロックを選択してください。
(2) 時計カウンタリロードレジスタ(WCRL)のカウンタリロード値設定ビット(RLC[5:0])に、カウントする値を設定してください。
(3) 時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)で、時計カウンタの動作を許可(WCEN=1)してください。
カウントダウンを開始します。カウントクロックの立上りエッジでカウントが行われます。
(4) 6 ビットダウンカウンタがアンダフローすると、時計カウンタ制御レジスタ(WCCR)の割込み要求フラグビット(WCIF)が"1"に変わります。
このとき、時計カウンタ制御レジスタ(WCCR)の割込み要求許可ビット(WCIE)で、アンダフロー割込み要求の発生が許可(WCIE=1)されていると、アンダフロー割込み要求が発生します。
また、時計カウンタリロードレジスタ(WCRL)のカウンタリロード値設定ビット(RLC[5:0])に設定した値が 6 ビットダウンカウンタにリロードされ、再度カウントダウンします。
(5) 時計カウンタの動作中に、時計カウンタリロードレジスタ(WCRL)のカウンタリロード値設定ビット(RLC[5:0])を書き換えると、次のリロードタイミングで書き換えた値が更新されます。
(6) 時計カウンタ制御レジスタ(WCCR)の割込み要求フラグビット(WCIF)に"0"を書き込むと、アンダフロー割込み要求がクリアされます。
(7) 時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作許可ビット(WCEN)に"0"を書き込むと、6 ビットダウンカウンタの値が"0b000000"にクリアされ、カウント動作が停止します。

■ 時計カウンタの動作

時計カウンタの動作を図 4-1 に示します。

図 4-1 時計カウンタの動作説明図



＜注意事項＞

- 時計カウンタの各レジスタの設定は周辺クロック(PCLK)を利用しています。カウントクロックと周辺クロック(PCLK)は非同期のため、時計カウンタ制御レジスタ(WCCR)の WCEN ビットに"1"を書き込んだタイミングによっては、カウント開始のタイミングで最大 1T(T : カウントクロックの周期)の誤差が発生することがあります。
- タイマモード遷移時においても、メインクロックまたはサブクロックが動作している場合は時計カウンタは動作し続けます。時計カウンタの割込みルーチンで、タイマモードを解除することもできます。
- 以下の場合は、時計カウンタ制御レジスタ(WCCR)の時計カウンタ動作状態フラグ(WCOP)で、時計カウンタが停止中(WCOP=0)を確認してから、時計カウンタを再起動してください。

  条件 ： 時計カウンタ制御レジスタ(WCCR)の WCEN ビットに"0"を書き込んで、時計カウンタを停止した後に、WCEN ビットで時計カウンタを再起動(WCEN=1)する場合。

5. 時計カウンタのレジスタ

時計カウンタのレジスター覧を示します。

■ 時計カウンタのレジスタ

表 5-1 時計カウンタのレジスター覧

レジスタ略称	レジスタ名	参照先
WCRD	時計カウンタリードレジスタ	5.1
WCRL	時計カウンタリロードレジスタ	5.2
WCCR	時計カウンタ制御レジスタ	5.3

5.1. 時計カウンタリードレジスタ(WCRD)

6 ビットダウンカウンタの値を読み出すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		CTR[5:0]					
属性	R		R					
初期値	00		000000					

[bit7:6] 予約 : 予約ビット
読出しは常に"0"となります。
書込みは動作に影響しません。

[bit5:0] CTR[5:0] : カウンタリードビット
読出し時はカウンタ値が読み出されます。
書込みは動作に影響しません。

＜注意事項＞

6 ビットダウンカウンタが動作中にカウンタの値を読み出す場合は、本レジスタを 2 度読み出して、同じ値が読み出されることを確認してください。

5.2. 時計カウンタリロードレジスタ(WCRL)

時計カウンタがカウントを開始する値を設定するレジスタです。本レジスタに設定した値から 6 ビットダウンカウンタがカウントダウンします。

6 ビットのダウンカウンタのリロード値を設定します。6 ビットダウンカウンタがアンダフローすると、本レジスタの値が 6 ビットダウンカウンタにリロードされ、再度カウントします。

bit	15	14	13	12	11	10	9	8
Field	予約		RLC[5:0]					
属性	-		R/W					
初期値	00		000000					

[bit15:14] 予約 : 予約ビット
読出しは常に"0"が読み出されます。
書込みは動作に影響しません。

[bit13:8] RLC[5:0] : カウンタリロード値設定ビット
6 ビットダウンカウンタのリロード値を設定します。

6 ビットカウンタは、リロード値から"1"までカウントダウンして"1"でアンダフローします。本ビットで"0"を設定すると、"63"～"0"まで 64 カウントします。
本ビットをカウント中に変更した場合は、アンダフロー後のリロード時に変更値が有効になります。

＜注意事項＞

- 6 ビットダウンカウンタが動作中に RLC[5:0]ビットを書き換えると、アンダフロー発生後に、変更後の値がリロードされます。
- アンダフロー割込み要求が発生すると同時に RLC[5:0]ビットを書き換えると、正しい値がリロードされません。必ず時計カウンタの停止中や割込み処理ルーチン内など、割込み要求が発生する前に RLC[5:0]ビットを書き換えてください。
- リロード値が正しく設定されたかどうか、このレジスタを読み出して確認してください。

5.3. 時計カウンタ制御レジスタ(WCCR)

時計カウンタのカウントクロックを選択したり、割込み要求の発生を許可/禁止したりするレジスタです。また、時計カウンタの動作も本レジスタで許可/禁止します。

bit	23	22	21	20	19	18	17	16
Field	WCEN	WCOP	予約		CS1	CS0	WCIE	WCIF
属性	R/W	R	R		R/W	R/W	R/W	R/W
初期値	0	0	00		0	0	0	0

[bit23] WCEN : 時計カウンタ動作許可ビット

本ビットは、時計カウンタの動作許可を行います。

- 時計カウンタの各レジスタの設定は周辺クロック(PCLK)を利用しています。カウントクロックと周辺クロック(PCLK)は非同期のため、時計カウンタ制御レジスタ(WCCR)の WCEN ビットに"1"を書き込んだタイミングによっては、カウント開始のタイミングで最大 1T(T : カウントクロックの周期)分の誤差が発生することがあります。
- 本ビットに"1"を書き込んで時計カウンタの動作を開始する場合は、WCOP ビットで時計カウンタが停止中(WCOP=0)であることを確認してから、時計カウンタの動作を開始してください。

値	説明
0	時計カウンタを禁止/停止します。6 ビットカウンタの値は"0b000000"にクリアされます。
1	時計カウンタの動作を許可/開始します。

[bit22] WCOP : 時計カウンタ動作状態フラグ

本ビットは、時計カウンタの動作状態を示します。

値	説明
0	時計カウンタは停止中です。
1	時計カウンタは動作中です。

[bit21:20] 予約 : 予約ビット

読出しは常に"0"が読み出されます。

書込みは動作に影響しません。

[bit19:18] CS1, CS0 : **カウントクロック選択ビット**

時計カウンタのクロック選択を行います。

本ビットの変更は、WCCR : WCEN=0(時計カウンタの動作禁止)かつ WCOP=0(時計カウンタ停止中)のときに行ってください。

bit19	bit18	説明
0	0	カウントクロックとして WCCK0 を選択します。
0	1	カウントクロックとして WCCK1 を選択します。
1	0	カウントクロックとして WCCK2 を選択します。
1	1	カウントクロックとして WCCK3 を選択します。

[bit17] WCIE : **割込み要求許可ビット**

6 ビットダウンカウンタがアンダフローしたとき(WCIF=1)にアンダフロー割込み要求を発生させるかどうかを設定します。

値	説明
0	アンダフロー割込み要求の発生を禁止します。
1	アンダフロー割込み要求の発生を許可します。

[bit16] WCIF : **割込み要求フラグビット**

本ビットはカウンタがアンダフローすると"1"になります。

・本ビットと WCIE ビットが共に"1"のとき、時計カウンタ割込みが発生します。
・リードモディファイライト系命令の読出し時には"1"が読み出せます。

値		説明
書込み	0	本ビットをクリアします。
	1	動作に影響しません。
読出し	0	アンダフローが発生していないことを示します。
	1	アンダフローが発生していることを示します。

CHAPTER 4-1: リアルタイムクロック

リアルタイムクロックは RTC クロック制御部と RTC カウント部で構成されます。

1. リアルタイムクロックの構成
2. リアルタイムクロックの略語表記
3. リアルタイムクロックのリセット

1. リアルタイムクロックの構成

リアルタイムクロックの構成を示します。

■ リアルタイムクロック参照章

表 1-1 リアルタイムクロック章対応表

製品 TYPE	参照先
TYPE3～TYPE5	『RTC カウント部』の章 『RTC クロック制御部(A)』の章
上記以外	『RTC カウント部』の章 『RTC クロック制御部(B)』の章

■ リアルタイムクロックの構成

図 1-1 RTC クロック制御部(A)と RTC カウント部の構成

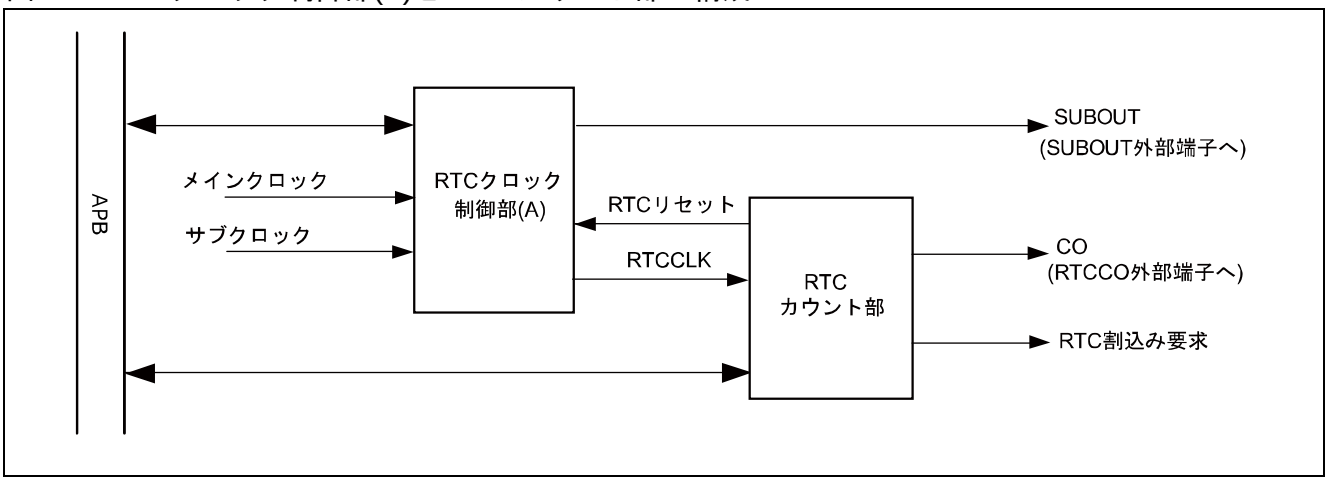
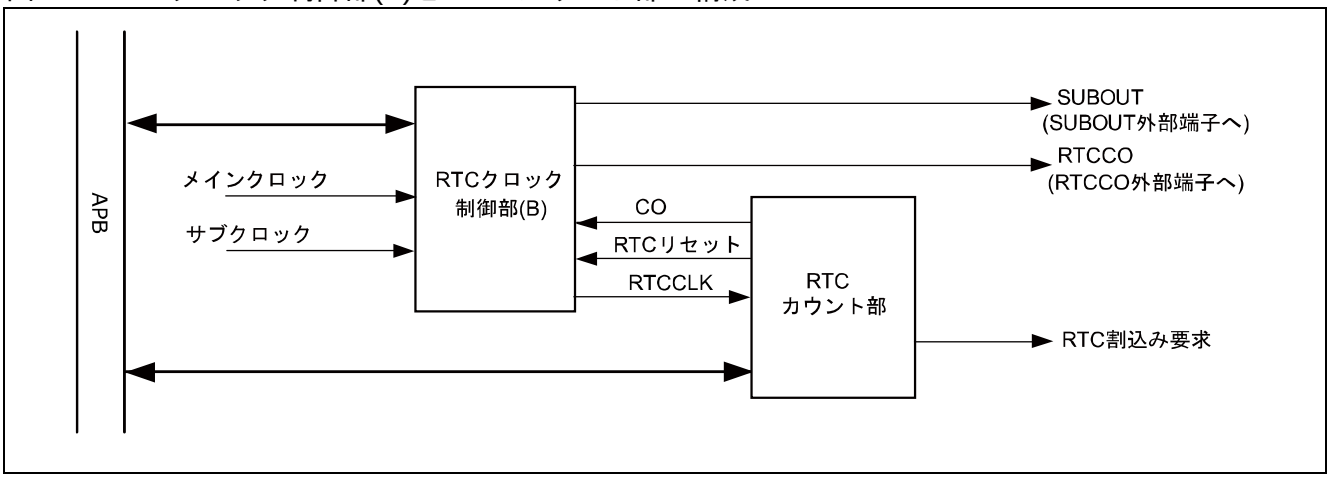


図 1-2 RTC クロック制御部(B)と RTC カウント部の構成



2. リアルタイムクロックの略語表記

リアルタイムクロックの略語表記について説明します。

■ 略語表記について

RTC： リアルタイムクロック

3. リアルタイムクロックのリセット

リアルタイムクロックのリセットについて説明します。

■ リアルタイムクロックのリセット

リアルタイムクロックは 4 つのリセットがあり、それぞれ初期化されるレジスタが異なります。

1. 低電圧検出リセット/電源投入リセット
   リアルタイムクロックのすべてのレジスタが初期化されます。
2. システムリセット
   INITX 端子入力、ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロック故障検出リセット, 異常周波数検出リセットで発生します。
   RTC クロック制御部のすべてのレジスタが初期化されます。
   RTC カウント部の初期化されるレジスタは、『RTC カウント部』の章の「4.RTC カウント部のリセット動作」を参照してください。
3. RTC リセット
   RTC カウント部の SRST(RTC リセットビット)に、"1"を書き込むことで発生します。
   RTC クロック制御部の初期化されるレジスタは、『RTC カウント部』の章の「7. RTC クロック制御部のレジスタ」の各レジスタの注意事項を参照してください。
   RTC カウント部の初期化されるレジスタは、『RTC カウント部』の章の「4.RTC カウント部のリセット動作」を参照してください。

CHAPTER 4-2: RTC カウント部

RTC カウント部の機能と動作について示します。

1. RTC カウント部の概要
2. RTC カウント部のブロックダイヤグラム
3. RTC カウント部の動作説明と設定手順例
4. RTC カウント部のリセット動作
5. RTC カウント部のうるう年の対応
6. 時刻書換えエラー
7. RTC カウント部のレジスタ
8. 使用上の注意

1. RTC カウント部の概要

RTC カウント部は、00 年～99 年までの日付と時刻(年/月/日/時/分/秒/曜日)のカウントを行います。アラーム設定，タイマ設定も可能でアラームは、年/月/日/時/分の設定が可能で年/月/日/時/分だけの個別設定も可能です。タイマは、1 日間までの設定が可能で何(時間,分,秒)後，何(時間,分,秒)おきといった設定も行えます。以下に RTC カウント部の概要を示します。

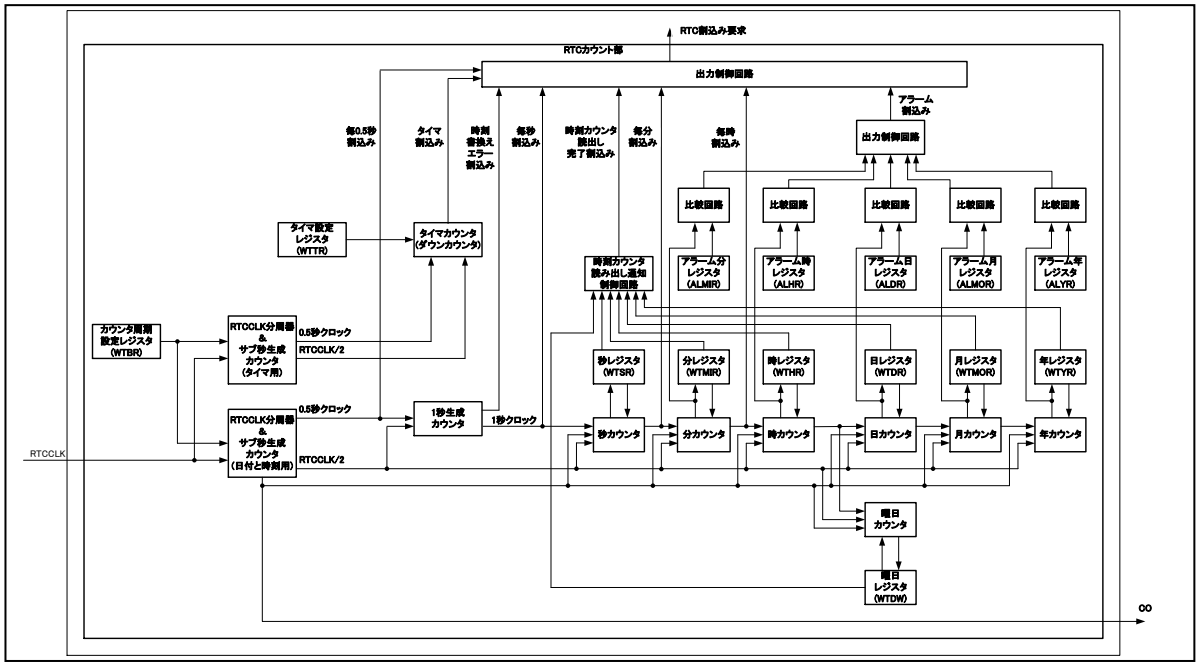
■ RTC カウント部の機能概要

- 日付と時刻(年/月/日/時/分/秒/曜日)の設定
- 日付と時刻(年/月/日/時/分/秒/曜日)のカウント
- うるう年の対応 (00 年はうるう年として動作)
- 日付と時刻(年/月/日/時/分)を指定したアラーム設定
- 年,月,日,時,分だけの個別設定も可能
- 何(時間，分，秒)後，何(時間，分，秒)おきといった 1 日間までのタイマ設定
- 時報での時刻設定用に RTC カウント部の時計カウントをリセットし時刻書換えが可能
- タイムゾーン変更用に RTC カウント部の時計カウントを継続させながら時刻書換えが可能(書換えが 1 秒以内の場合、時刻継続は保証)
- 以下の割込みが出力可能
  - アラーム(設定日時で割込みを発生)
  - 毎時
  - 毎分
  - 毎秒
  - 毎 0.5 秒
  - タイマ
  - 時刻書換えエラー
  - 時刻カウンタ読出し完了
  - 0.5 秒毎のパルス出力
-

2. RTC カウント部のブロックダイヤグラム

図 2-1 にブロックダイヤグラムを示します。

図 2-1 RTC カウント部のブロックダイヤグラム



■ カウンタ周期設定レジスタ(WTBR)

サブ秒生成カウンタ(日付と時刻用、タイマ用)へロードする値を格納するレジスタです。
0.5 秒カウントできる値を本レジスタに設定します。RTC の動作開始時およびサブ秒生成カウンタが 0 になると本レジスタの値がサブ秒生成カウンタにロードされます。

■ RTCCLK 分周器&サブ秒生成カウンタ(タイマ用)

RTCCLK 分周器は RTCCLK を 2 分周したクロックを生成します。サブ秒生成カウンタ(タイマ用)は、その生成したクロックで動作し、サブ秒(0.5 秒)カウントを行います。

■ RTCCLK 分周器&サブ秒生成カウンタ(日付と時刻用)

RTCCLK 分周器は RTCCLK を 2 分周したクロックを生成します。サブ秒生成カウンタ(日付と時刻用)は、その生成したクロックで動作し、サブ秒(0.5 秒)カウントを行います。

■ タイマ設定レジスタ(WTTR)

何(時間，分，秒)後，何(時間，分，秒)間隔といったタイマ設定値を格納するレジスタです。

■ タイマカウンタ(ダウンカウンタ)

タイマカウンタはタイマ設定レジスタに設定された値がロードされ、サブ秒生成カウンタ(タイマ用)が出力する 0.5 秒パルスでダウンカウントします。

■ 1 秒生成カウンタ

サブ秒生成カウンタ(日付と時刻用)が出力する 0.5 秒パルスをカウントし、1 秒パルスを生成します。

■ 秒カウンタ/分カウンタ/時カウンタ/日カウンタ/月カウンタ/年カウンタ/曜日カウンタ

秒カウンタ/分カウンタ/時カウンタ/日カウンタ/月カウンタ/年カウンタ/曜日カウンタは秒/分/時/日/月/年/曜日をカウントします。

■ 秒レジスタ(WTSR)/分レジスタ(WTMIR)/時レジスタ(WTHR)/日レジスタ(WTDR)/月レジスタ(WTMOR)/年レジスタ(WTYR)

RTC カウント部の秒/分/時/日/月/年情報を表すレジスタです。

■ 時刻カウンタ読出し通知制御回路

時刻カウンタ読出し時に読出しが完了したことを通知する回路です。

■ アラーム分レジスタ(ALMIR)/アラーム時レジスタ(ALHR)/アラーム日レジスタ(ALDR)/アラーム月レジスタ(ALMOR)/アラーム年レジスタ(ALYR)

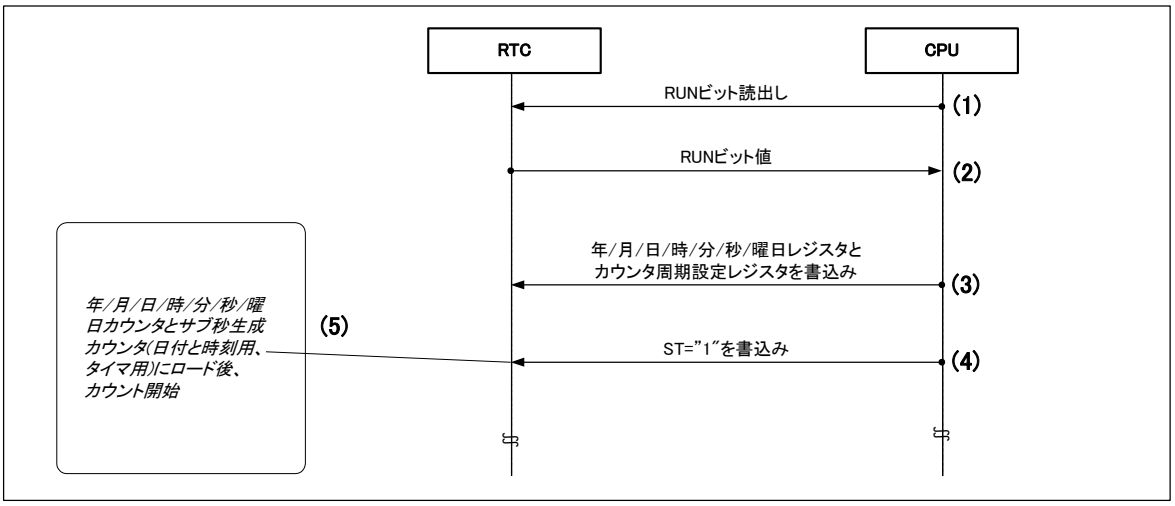
アラームの分/時/日/月/年の設定値を格納するレジスタです。アラーム動作時は本レジスタに格納された値と分/時/日/月/年カウンタとの値を比較回路により比較し、値が一致するとアラーム割込みが発生します。

3. RTC カウント部の動作説明と設定手順例

RTC カウント部の動作説明と設定手順例を以下に示します。

■ 時刻初期設定手順例

図 3-1 時刻初期設定動作フロー



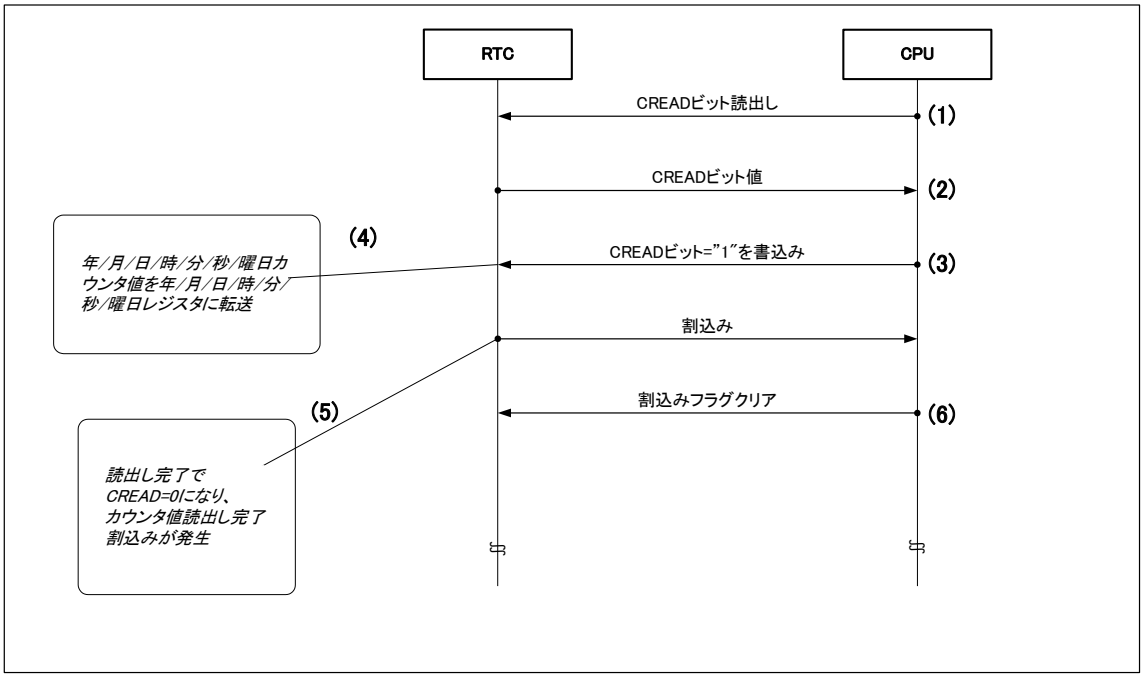
(1) RUN ビットを読み出します。
(2) RUN="0"の場合は、(3)～(5)に従って、時刻初期設定が可能です。
RUN="1"の場合は、「■時刻書換え設定手順例(時刻カウント継続)」,「■時刻書換え設定手順例(時刻カウントリセット)」を参照してください。
(3) 年/月/日/時/分/秒/曜日レジスタ(WTYR,WTMOR,WTDR,WTHR,WTMIR,WTSR,WTDW)に時刻を書き込みます。カウンタ周期設定レジスタ(WTBR)に 0.5 秒カウントできる値を書き込みます。
(4) ST="1"を書き込みます。
(5) ST="1"になると、以下の動作を行い、カウントを開始します。
- 年/月/日/時/分/秒/曜日レジスタの値が年/月/日/時/分/秒/曜日カウンタにロードされます。
- カウンタ周期設定レジスタ(WTBR)の値がサブ秒生成カウンタ(日付と時刻用, タイマ用)にロードされます。

＜注意事項＞

システムリセットや RTC リセット後に時刻を継続する場合、ST=1 を書込む前に READ=1 を書込んで READ=0 になるまで待ってください。これらのリセット前の時刻が年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへ転送されます。ST=1 後、年/月/日/時/分/秒/曜日レジスタの値が年/月/日/時/分/秒/曜日カウンタに転送され、時刻を継続することができます。

■ 時刻読出し設定手順例

図 3-2 時刻読出し動作フロー



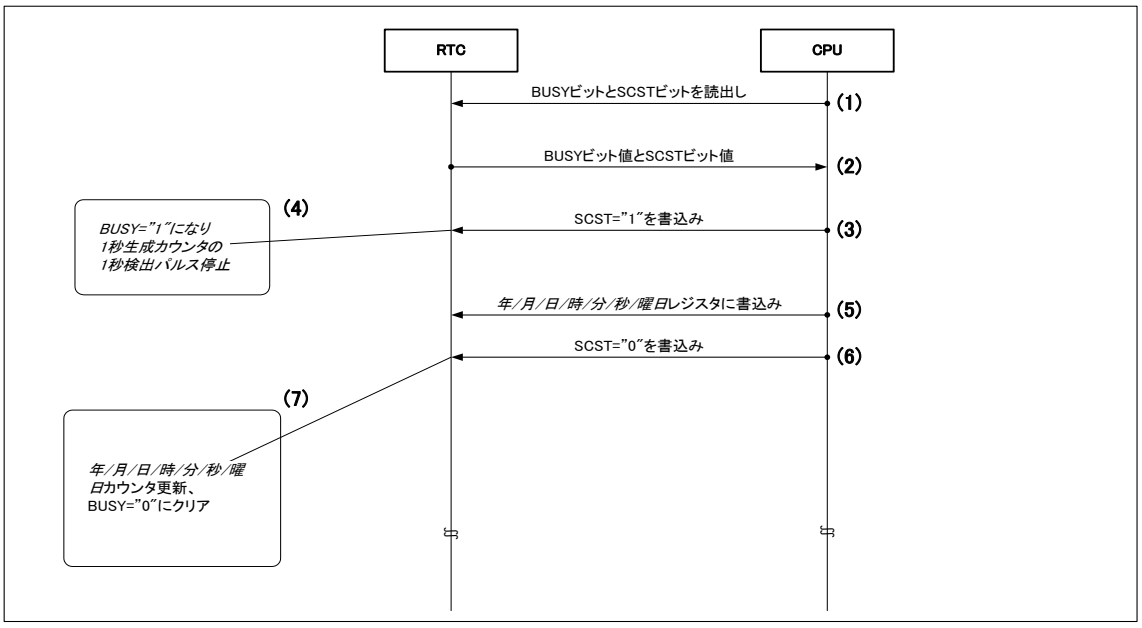
(1) CREAD ビットを読み出します。
(2) CREAD が"1"のとき、CREAD が"0"になるまで待ってください。
(3) CREAD="1"を書き込みます。
(4) CREAD="1"になると年/月/日/時/分/秒/曜日カウンタの値を年/月/日/時/分/秒/曜日レジスタ (WTYR, WTMOR, WTDR, WTHR, WTMIR, WTSR, WTDW)に転送します。
(5) 年/月/日/時/分/秒/曜日レジスタへの転送が完了すると CREAD="0"になり年/月/日/時/分/秒/曜日カウンタ値読出し完了割込みが発生します。
(6) 年/月/日/時/分/秒/曜日カウンタ値読出し完了割込みフラグビットをクリアします。

＜注意事項＞

- CREAD="1"の時に SCST と SRST に"1"を書き込まないでください。
- CREAD="1"の間に STOP モードに設定しないでください。
- CREAD="1"を書き込んだ後、年/月/日/時/分/秒/曜日カウンタ値読出し完了割込みが発生するまで、RTC カウント部を停止(ST="0"書込み)しないでください。

■ 時刻書換え設定手順例(時刻カウント継続)

図 3-3 時刻書換え設定動作フロー(時刻カウント継続)



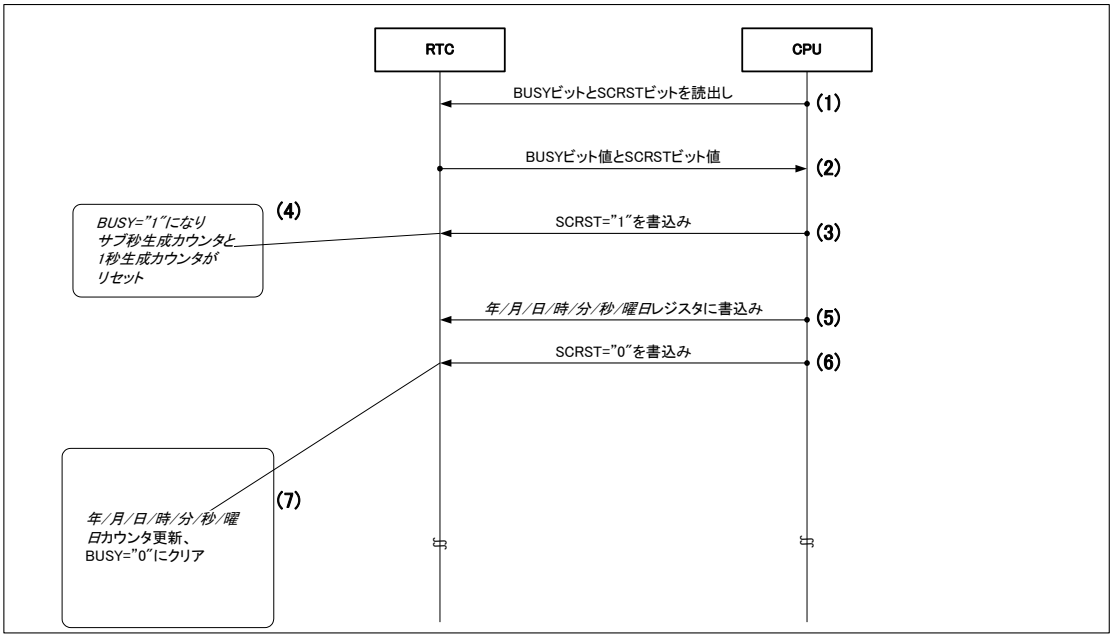
(1) BUSY ビットと SCST ビットを読み出します。
(2) BUSY が"1"で SCST が"0"のとき、BUSY が"0"になるまで待ってください。
それ以外は(3)以降の手順で処理してください。
(3) SCST="1"を書き込みます。
(4) SCST に"1"が書き込まれると BUSY="1"になります。
BUSY が"1"になると 1 秒生成カウンタの 1 秒パルスの検出が停止します。
(5) SCST="1"の間に変更したい年/月/日/時/分/秒/曜日の値を年/月/日/時/分/秒/曜日レジスタ (WTYR, WTMOR, WTDR, WTHR, WTMIR, WTSR, WTDW)に書き込みます。
(6) SCST="0"を書き込みます。
(7) 更新された年/月/日/時/分/秒/曜日レジスタの値だけが、年/月/日/時/分/秒/曜日カウンタに転送され、BUSY="0"にクリアされます。

＜注意事項＞

- BUSY="1"で SCST="0"の場合、SCST="1"の書込みは禁止です。
- RUN="0"の場合、SCST="1"の書込みは禁止です。
- (3)～(6)が 1 秒を超えると時刻継続が保証できません。その場合、時刻書換えエラー割込みが発生します。時刻書換えエラー割込みフラグが"1"になった場合、時刻ずれが生じていることがあるため、SCST="0"に設定し、時刻書換えエラーフラグをクリア後、再度、上記手順にしたがって、最初から時刻設定を行ってください。
- SCST="0"かつ BUSY="1"の時、年/月/日/時/分/秒/曜日レジスタから年/月/日/時/分/秒/曜日カウンタへ転送中のため、年/月/日/時/分/秒/曜日レジスタは書込み禁止です。
- SCST="1"設定後、年/月/日/時/分/秒/曜日カウンタ更新前に CREAD="1"を書き込むと、年/月/日/時/分/秒/曜日レジスタに書いた値が年/月/日/時/分/秒/曜日カウンタの値で上書きされます。
- BUSY="1"の間に STOP モードに設定されると、年/月/日/時/分/秒/曜日レジスタから年/月/日/時/分/秒/曜日カウンタへの転送が正しくできなくなるため、年/月/日/時/分/秒/曜日カウンタの値の保証はできません。
- BUSY="1"の間、ST="0"の書込みは禁止です。

■ 時刻書換え設定手順例(時刻カウントリセット)

図 3-4 時刻書換え動作フロー(時刻カウントリセット)



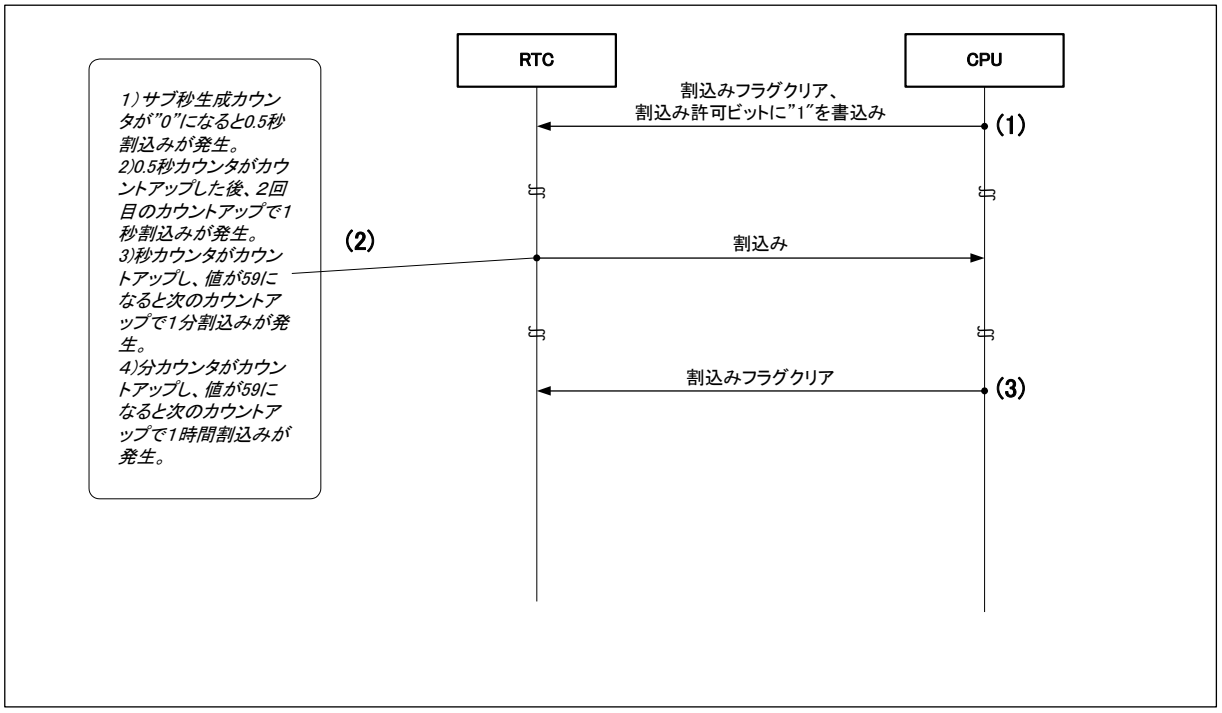
(1) BUSY ビットと SCRST ビットを読み出します。
(2) BUSY が"1"で SCRST が"0"のとき、BUSY が"0"になるまで待ってください。
それ以外は(3)以降の手順で処理してください。
(3) SCRST="1"を書き込みます。
(4) SCRST に"1"が書き込まれると、BUSY="1"になります。
サブ秒生成カウンタ/1 秒生成カウンタがリセットされます。
(5) SCRST="1"の間に変更したい年/月/日/時/分/秒/曜日の値を年/月/日/時/分/秒/曜日レジスタ(WTYR, WTMOR, WTDR, WTHR, WTMIR, WTSR, WTDW)に書き込みます。
(6) SCRST="0"を書き込みます。
(7) 更新された年/月/日/時/分/秒/曜日レジスタの値だけが年/月/日/時/分/秒/曜日カウンタに転送され、BUSY="0"にクリアされます。

＜注意事項＞

- BUSY="1"で SCRST="0"の場合、SCRST="1"の書込みは禁止です。
- RUN="0"の場合、SCRST="0"の書込みは禁止です。
- SCRST ="0"かつ BUSY="1"の時、年/月/日/時/分/秒/曜日レジスタから年/月/日/時/分/秒/曜日カウンタへ転送中のため、年/月/日/時/分/秒/曜日レジスタは書込み禁止です。
- SCRST="1"設定後、年/月/日/時/分/秒/曜日カウンタ更新前に CREAD を行うと年/月/日/時/分/秒/曜日レジスタに書いた値が年/月/日/時/分/秒/曜日カウンタの値で上書きされます。
- BUSY="1"の間に STOP モードに設定されると、年/月/日/時/分/秒/曜日レジスタから年/月/日/時/分/秒/曜日カウンタへの転送が正しくできなくなるため、年/月/日/時/分/秒/曜日カウンタの値の保証はできません。
- BUSY="1"の間、ST="0"の書込みは禁止です。

■ 毎 0.5 秒/1 秒/1 分/1 時間　割込み設定手順例

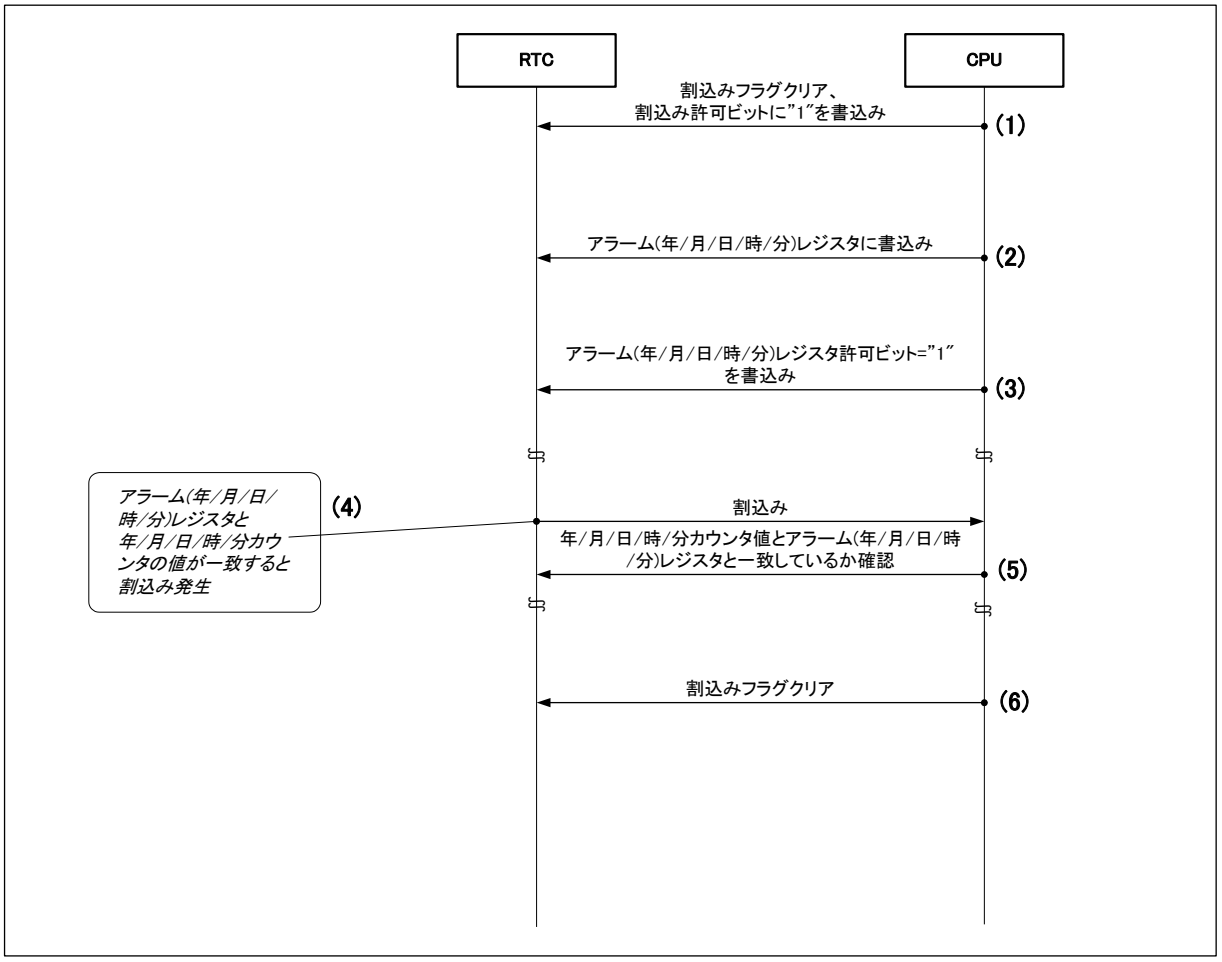
図 3-5　毎 0.5 秒/1 秒/1 分/1 時間　割込み設定動作フロー



(1) INTSSI/ INTSI/ INTMI/ INTHI="0"を書き込み、割込みのフラグビットをクリアします。
INSSIE/ INTSIE/ INTMIE/ INHIE の使用したい割込みの許可ビットに"1"を書き込み、割込みを許可します。
(2) 0.5 秒/1 秒/1 分/1 時間割込みのどれかが発生した場合、割込み要求が発生します。
(3) INSSIE/ INTSIE/ INTMIE /INHIE ="0"を書き込み、割込みフラグビットをクリアします。

■ アラーム割込み設定手順例

図 3-6 アラーム割込み設定動作フロー



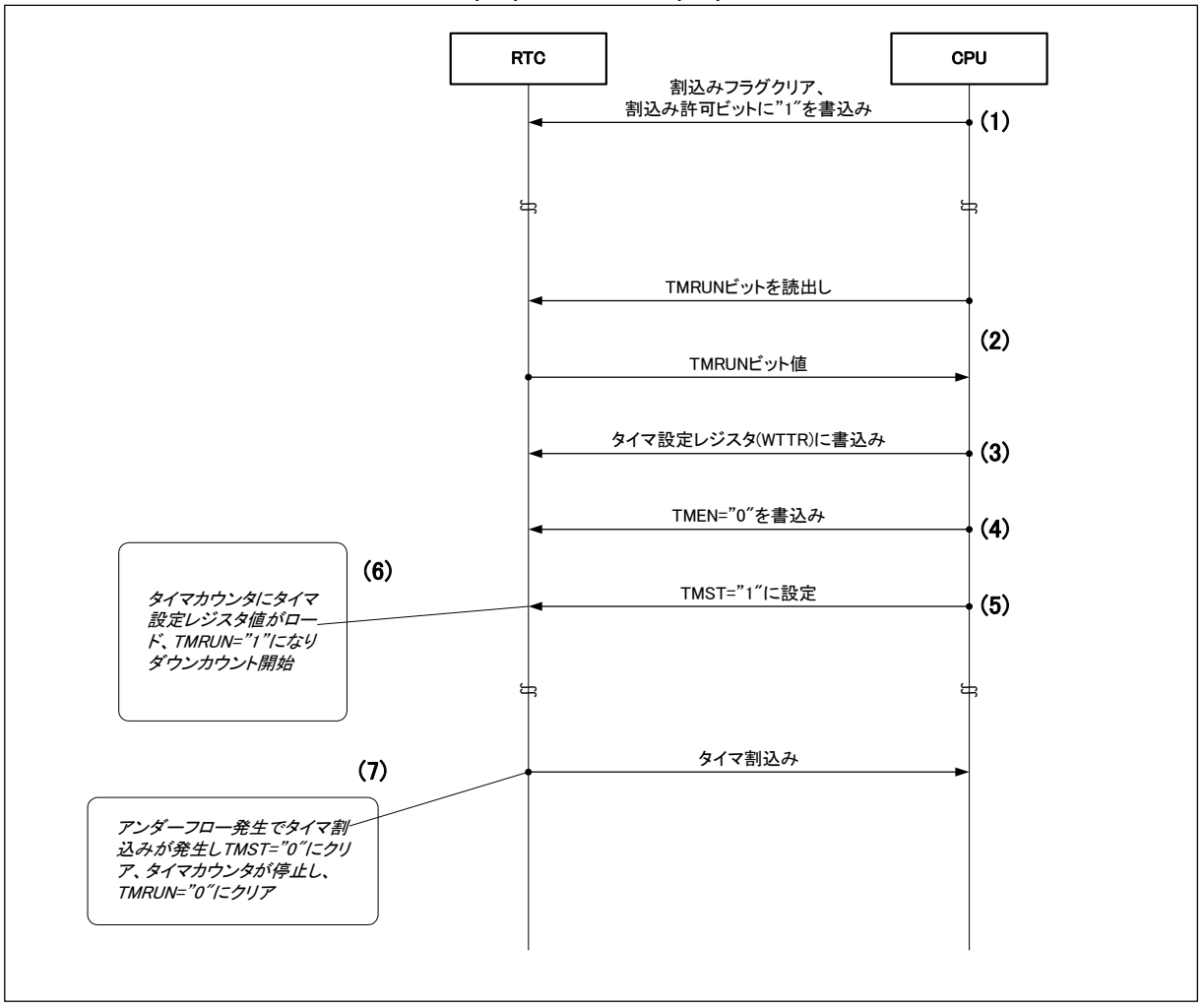
(1) INTALI="0"を書き込み、アラーム割込みフラグビットをクリアします。
INTALIE="1"を書き込み、アラーム割込みを許可します。
(2) アラーム(年/月/日/時/分)レジスタにアラーム割込みを発生させたい日時の値を書き込みます。
(3) アラーム(年/月/日/時/分)レジスタ許可ビットに"1"を書き込みます。
(4) アラーム(年/月/日/時/分)レジスタと年/月/日/時/分カウンタの値が一致すると、割込み要求が発生します。
(5) 時刻読出し設定手順例に従い、時刻を読み出し、年/月/日/時/分カウンタの値がアラーム(年/月/日/時/分)レジスタと一致しているか確認します。
(6) INTALI="0"を書込み、アラーム割込みフラグビットをクリアします。

＜注意事項＞

アラームレジスタ許可ビットのいずれかに"1"を書き込んだ場合、その直後に割込みが発生することがあるため、割込み後、時刻を読み出し、年/月/日/時/分カウンタの値がアラーム(年/月/日/時/分)レジスタと一致しているかを確認してください。

■ タイマ割込み設定手順例(何(時間，分，秒)後)

図 3-7 タイマ割込み設定動作フロー(何(時間，分，秒)後)



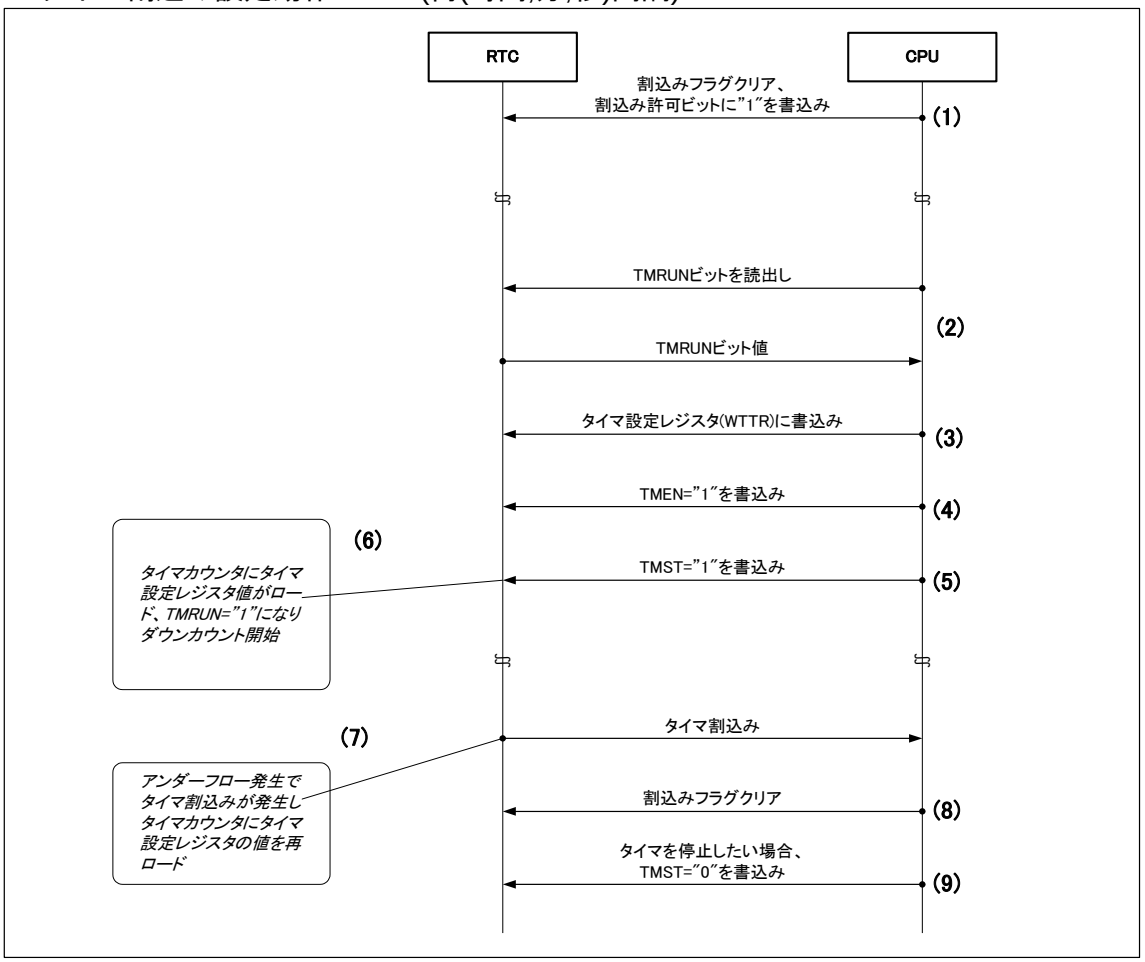
(1) INTTMI="0"を書き込み、タイマ割込みフラグビットをクリアします。
INTTMIE="1"を書き込み、タイマ割込みを許可します。
(2) タイマカウンタ動作ビット(TMRUN)を読出し、"0" (停止中)であることを確認します。
(3) タイマ設定レジスタ(WTTR)にタイマ設定値を書き込みます。
(4) タイマカウンタ制御ビット(TMEN)に"0"を書き込みます。
(5) タイマカウンタスタートビット(TMST)に"1"を書き込みます。
(6) タイマ設定レジスタの値がタイマカウンタに転送され、ダウンカウントを開始します。
(7) ダウンカウントしアンダフローが発生すると割込み要求が発生し、TMST="0"にクリアされ、タイマカウンタが停止後、TMRUN="0"にクリアされます。

＜注意事項＞

- タイマカウンタ動作中(TMRUN="1")の時に、TMST="0"書込み後、TMRUN="0"になる前に TMST="1"の書込みは禁止です。
- TMEN の設定を変更する場合は、タイマカウンタ停止中(TMRUN="0")に行なってください。

■ タイマ割込み設定手順例(何(時間,分,秒)間隔)

図 3-8 タイマ割込み設定動作フロー(何(時間,分,秒)間隔)



(1) INTTMI="0"を書き込み、タイマ割込みフラグビットをクリアします。
INTTMIE="1"を書き込み、タイマ割込みを許可します。
(2) タイマカウンタ動作ビット(TMRUN)を読出し、"0"(停止中)であることを確認します。
(3) タイマ設定レジスタ(WTTR)にタイマ設定値を書き込みます。
(4) タイマカウンタ制御ビット(TMEN)に"1"を書き込みます。
(5) タイマカウンタスタートビット(TMST)に"1"を書き込みます。
(6) タイマ設定レジスタの値がタイマカウンタに転送され、ダウンカウントを開始します。
(7) カウントが終了すると RTC カウント部割込み要求が発生し、タイマカウンタにタイマ設定レジスタの値を再ロードし、動作を継続します。
(8) INTTMI="0"を書き込み、タイマ割込みフラグビットをクリアします。
(9) タイマを停止したい場合は、TMST に"0"を書き込みます。

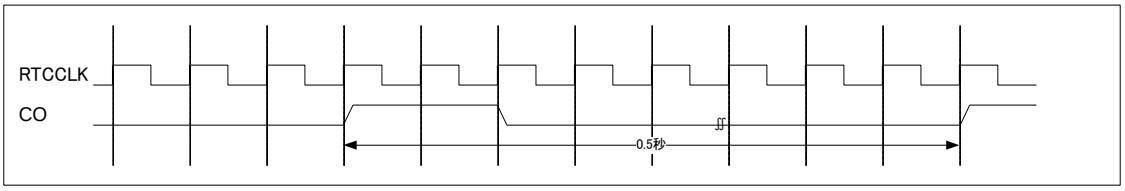
＜注意事項＞

- タイマカウンタ動作中(TMRUN="1")の時に、TMST="0"書込み後、TMRUN="0"になる前に TMST="1"の書込みは禁止です。
- TMEN の設定を変更する場合は、タイマカウンタ停止中(TMRUN="0")に行なってください。

■ CO 外部端子出力動作

RTC カウント部は、0.5 秒パルスを出力する CO 外部端子があります。
0.5 秒パルス(CO)が CO 外部端子から出力されます。
CO 外部端子出力の波形を図 3-9 に示します。

図 3-9 CO 外部端子出力波形



4. RTC カウント部のリセット動作

各リセット動作を示します。

■ 低電圧検出リセット/電源投入リセットの動作

表 4-1 の網掛け部分が、低電圧検出リセット/電源投入リセット対象ビットです。
また、表 4-1 にないサブ秒生成カウンタ, 1 秒生成カウンタ, タイマカウンタ, 年/月/日/時/分/秒/曜日カウンタも低電圧検出リセット/電源投入リセット対象です。

表 4-1 低電圧検出リセット/電源投入リセット対象ビット

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	Bit2	bit1	bit0
WTCR1	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
	-	-	-	YEN	MOEN	DEN	HEN	MIEN	-	BUSY	SCRST	SCST	SRST	RUN	OE	ST
WTCR2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	-	-	-	-	-	TMRUN	TMEN	TMST	-	-	-	-	-	-	-	CREAD
WTBR	-	-	-	-	-	-	-	-	BR23	BR22	BR21	BR20	BR19	BR18	BR17	BR16
	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
WTDR/WTHR/	-	-	TD1	TD0	D3	D2	D1	D0	-	-	TH1	TH0	H3	H2	H1	H0
WTMIR/WTSR	-	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0	-	TS2	TS1	TS0	S3	S2	S1	S0
WTYR/WTMOR/	-	-	-	-	-	-	-	-	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
WTDW	-	-	-	TMO0	MO3	MO2	MO1	MO0	-	-	-	-	-	DW2	DW1	DW0
ALDR/ALHR/	-	-	TAD1	TAD0	AD3	AD2	AD1	AD0	-	-	TAH1	TAH0	AH3	AH2	AH1	AH0
ALMIR	-	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0	-	-	-	-	-	-	-	-
ALYR/ALMOR	-	-	-	-	-	-	-	-	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
	-	-	-	TAMO0	AMO3	AMO2	AMO1	AMO0	-	-	-	-	-	-	-	-
WTTR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TM17	TM16
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0

■ システムリセットの動作

表 4-2 の網掛け部分が、システムリセット対象ビットです。また、表 4-2 にない 1 秒生成カウンタ，タイマカウンタもシステムリセット対象です。
サブ秒生成カウンタ(日付と時刻用，タイマ用)，年/月/日/時/分/秒/曜日カウンタは、リセット対象外です。

表 4-2 システムリセット対象ビット

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	Bit2	bit1	bit0
WTCR1	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
	-	-	-	YEN	MOEN	DEN	HEN	MIEN	-	BUSY	SCRST	SCST	SRST	RUN	OE	ST
WTCR2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	-	-	-	-	-	TMRUN	TMEN	TMST	-	-	-	-	-	-	-	CREAD
WTBR	-	-	-	-	-	-	-	-	BR23	BR22	BR21	BR20	BR19	BR18	BR17	BR16
	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
WTDR/WTHR/	-	-	TD1	TD0	D3	D2	D1	D0	-	-	TH1	TH0	H3	H2	H1	H0
WTMIR/WTSR	-	TM12	TM11	TM10	M13	M12	M11	M10	-	TS2	TS1	TS0	S3	S2	S1	S0
WTYR/WTMOR/	-	-	-	-	-	-	-	-	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
WTDW	-	-	-	TMO0	MO3	MO2	MO1	MO0	-	-	-	-	-	DW2	DW1	DW0
ALDR/ALHR/	-	-	TAD1	TAD0	AD3	AD2	AD1	AD0	-	-	TAH1	TAH0	AH3	AH2	AH1	AH0
ALMIR	-	TAM12	TAM11	TAM10	AM13	AM12	AM11	AM10	-	-	-	-	-	-	-	-
ALYR/ALMOR	-	-	-	-	-	-	-	-	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
	-	-	-	TAMO0	AMO3	AMO2	AMO1	AMO0	-	-	-	-	-	-	-	-
WTTR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TM17	TM16
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0

■ RTC リセットの動作

表 4-3 の網掛け部分が、RTC リセット対象ビットです。また、表 4-3 にない 1 秒生成カウンタ，タイマカウンタも RTC リセット対象です。
サブ秒生成カウンタ(日付と時刻用，タイマ用)，年/月/日/時/分/秒/曜日カウンタは、リセット対象外です。

表 4-3 RTC リセット対象ビット

	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	Bit2	bit1	bit0
WTCR1	INTCRIE	INTERIE	INTALIE	INTTIMIE	INTHIE	INTMIE	INTSIE	INTSSIE	INTCRI	INTERI	INTALI	INTTIMI	INTHI	INTMI	INTSI	INTSSI
	-	-	-	YEN	MOEN	DEN	HEN	MIEN	-	BUSY	SCRST	SCST	SRST	RUN	OE	ST
WTCR2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	-	-	-	-	-	TMRUN	TMEN	TMST	-	-	-	-	-	-	-	CREAD
WTBR	-	-	-	-	-	-	-	-	BR23	BR22	BR21	BR20	BR19	BR18	BR17	BR16
	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
WTDR/WTHR/	-	-	TD1	TD0	D3	D2	D1	D0	-	-	TH1	TH0	H3	H2	H1	H0
WTMIR/WTSR	-	TM12	TM11	TM10	MI3	MI2	MI1	MI0	-	TS2	TS1	TS0	S3	S2	S1	S0
WTYR/WTMOR/	-	-	-	-	-	-	-	-	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
WTDW	-	-	-	TMO0	MO3	MO2	MO1	MO0	-	-	-	-	-	DW2	DW1	DW0
ALDR/ALHR/	-	-	TAD1	TAD0	AD3	AD2	AD1	AD0	-	-	TAH1	TAH0	AH3	AH2	AH1	AH0
ALMIR	-	TAM12	TAM11	TAM10	AMI3	AMI2	AMI1	AMI0	-	-	-	-	-	-	-	-
ALYR/ALMOR	-	-	-	-	-	-	-	-	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
	-	-	-	TAMO0	AMO3	AMO2	AMO1	AMO0	-	-	-	-	-	-	-	-
WTTR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TM17	TM16
	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0

5. RTC カウント部のうるう年の対応

RTC カウント部のうるう年の対応について説明します。

■ うるう年の対応

各月の日付は以下のようになります。

表 5-1 うるう年一覧

年	うるう年	月											
		1	2	3	4	5	6	7	8	9	10	11	12
00	○	31	29	31	30	31	30	31	31	30	31	30	31
01～03	×	31	28	31	30	31	30	31	31	30	31	30	31
04	○	31	29	31	30	31	30	31	31	30	31	30	31
05～07	×	31	28	31	30	31	30	31	31	30	31	30	31
08	○	31	29	31	30	31	30	31	31	30	31	30	31
09～11	×	31	28	31	30	31	30	31	31	30	31	30	31
12	○	31	29	31	30	31	30	31	31	30	31	30	31
13～15	×	31	28	31	30	31	30	31	31	30	31	30	31
16	○	31	29	31	30	31	30	31	31	30	31	30	31
17～19	×	31	28	31	30	31	30	31	31	30	31	30	31
20	○	31	29	31	30	31	30	31	31	30	31	30	31
21～23	×	31	28	31	30	31	30	31	31	30	31	30	31
24	○	31	29	31	30	31	30	31	31	30	31	30	31
25～27	×	31	28	31	30	31	30	31	31	30	31	30	31
28	○	31	29	31	30	31	30	31	31	30	31	30	31
29～31	×	31	28	31	30	31	30	31	31	30	31	30	31
32	○	31	29	31	30	31	30	31	31	30	31	30	31
33～35	×	31	28	31	30	31	30	31	31	30	31	30	31
36	○	31	29	31	30	31	30	31	31	30	31	30	31
37～39	×	31	28	31	30	31	30	31	31	30	31	30	31
40	○	31	29	31	30	31	30	31	31	30	31	30	31
41～43	×	31	28	31	30	31	30	31	31	30	31	30	31
44	○	31	29	31	30	31	30	31	31	30	31	30	31
45～47	×	31	28	31	30	31	30	31	31	30	31	30	31
48	○	31	29	31	30	31	30	31	31	30	31	30	31
49～51	×	31	28	31	30	31	30	31	31	30	31	30	31
52	○	31	29	31	30	31	30	31	31	30	31	30	31
53～55	×	31	28	31	30	31	30	31	31	30	31	30	31
56	○	31	29	31	30	31	30	31	31	30	31	30	31
57～59	×	31	28	31	30	31	30	31	31	30	31	30	31
60	○	31	29	31	30	31	30	31	31	30	31	30	31
61～63	×	31	28	31	30	31	30	31	31	30	31	30	31
64	○	31	29	31	30	31	30	31	31	30	31	30	31
65～67	×	31	28	31	30	31	30	31	31	30	31	30	31
68	○	31	29	31	30	31	30	31	31	30	31	30	31
69～71	×	31	28	31	30	31	30	31	31	30	31	30	31
72	○	31	29	31	30	31	30	31	31	30	31	30	31
73～75	×	31	28	31	30	31	30	31	31	30	31	30	31
76	○	31	29	31	30	31	30	31	31	30	31	30	31
77～79	×	31	28	31	30	31	30	31	31	30	31	30	31
80	○	31	29	31	30	31	30	31	31	30	31	30	31
81～83	×	31	28	31	30	31	30	31	31	30	31	30	31
84	○	31	29	31	30	31	30	31	31	30	31	30	31
85～87	×	31	28	31	30	31	30	31	31	30	31	30	31
88	○	31	29	31	30	31	30	31	31	30	31	30	31
89～91	×	31	28	31	30	31	30	31	31	30	31	30	31
92	○	31	29	31	30	31	30	31	31	30	31	30	31

年	うるう年	月											
		1	2	3	4	5	6	7	8	9	10	11	12
93～95	×	31	28	31	30	31	30	31	31	30	31	30	31
96	○	31	29	31	30	31	30	31	31	30	31	30	31
97～99	×	31	28	31	30	31	30	31	31	30	31	30	31

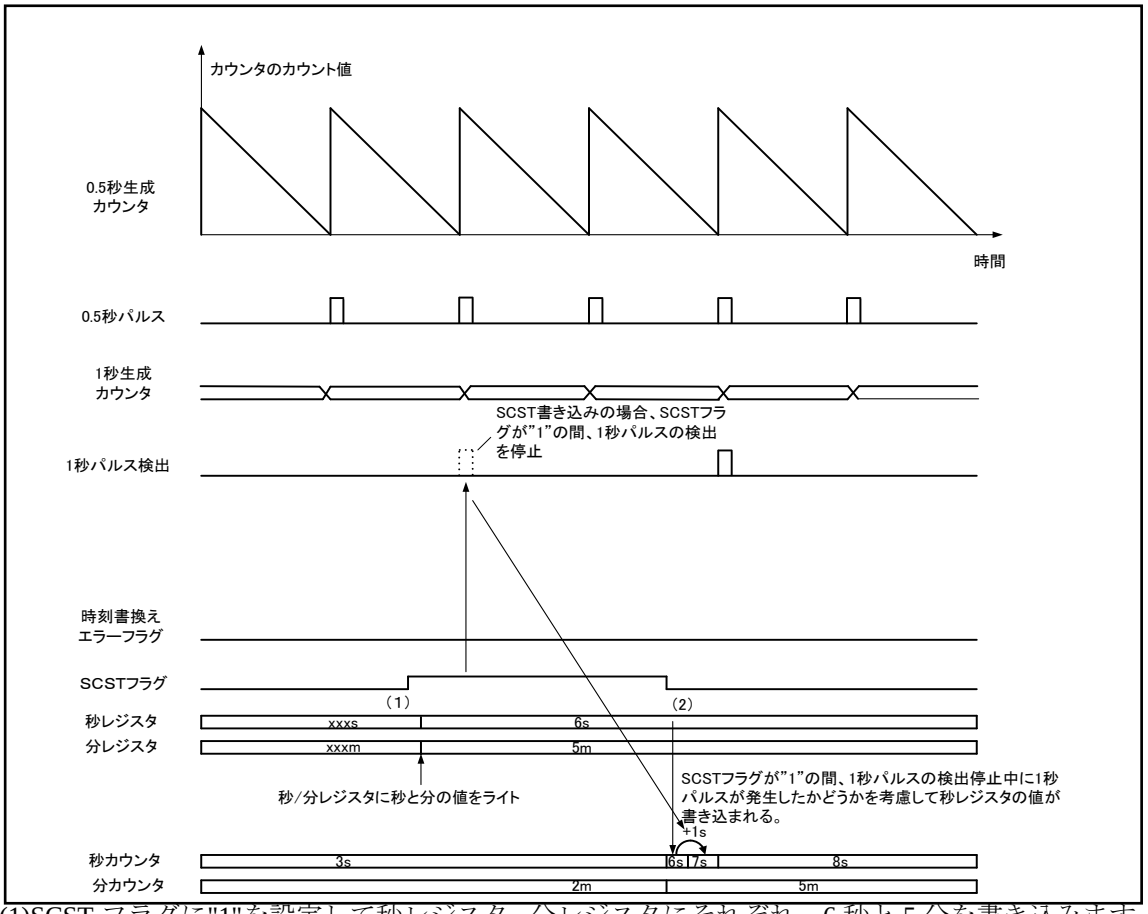
6. 時刻書換えエラー

時刻書換え(時刻カウント継続)のときの時刻書換えエラーについて説明します。

■ 時刻書換えエラー1

時刻書換え(時刻カウント継続)において SCST フラグが"1"の間に 0.5 秒生成カウンタの 0.5 秒パルスが 2 回検出された場合の例を以下に示します。

・秒カウンタ, 分カウンタのみを書き換えた場合



(1)SCST フラグに"1"を設定して秒レジスタ, 分レジスタにそれぞれ、6 秒と 5 分を書き込みます。

(2)SCST フラグが"1"の間に 0.5 秒パルスを 2 回検出し、SCST フラグに"0"を設定した場合、秒カウンタには 6 秒が書き込まれた後、1 が加算され、7 秒となります。

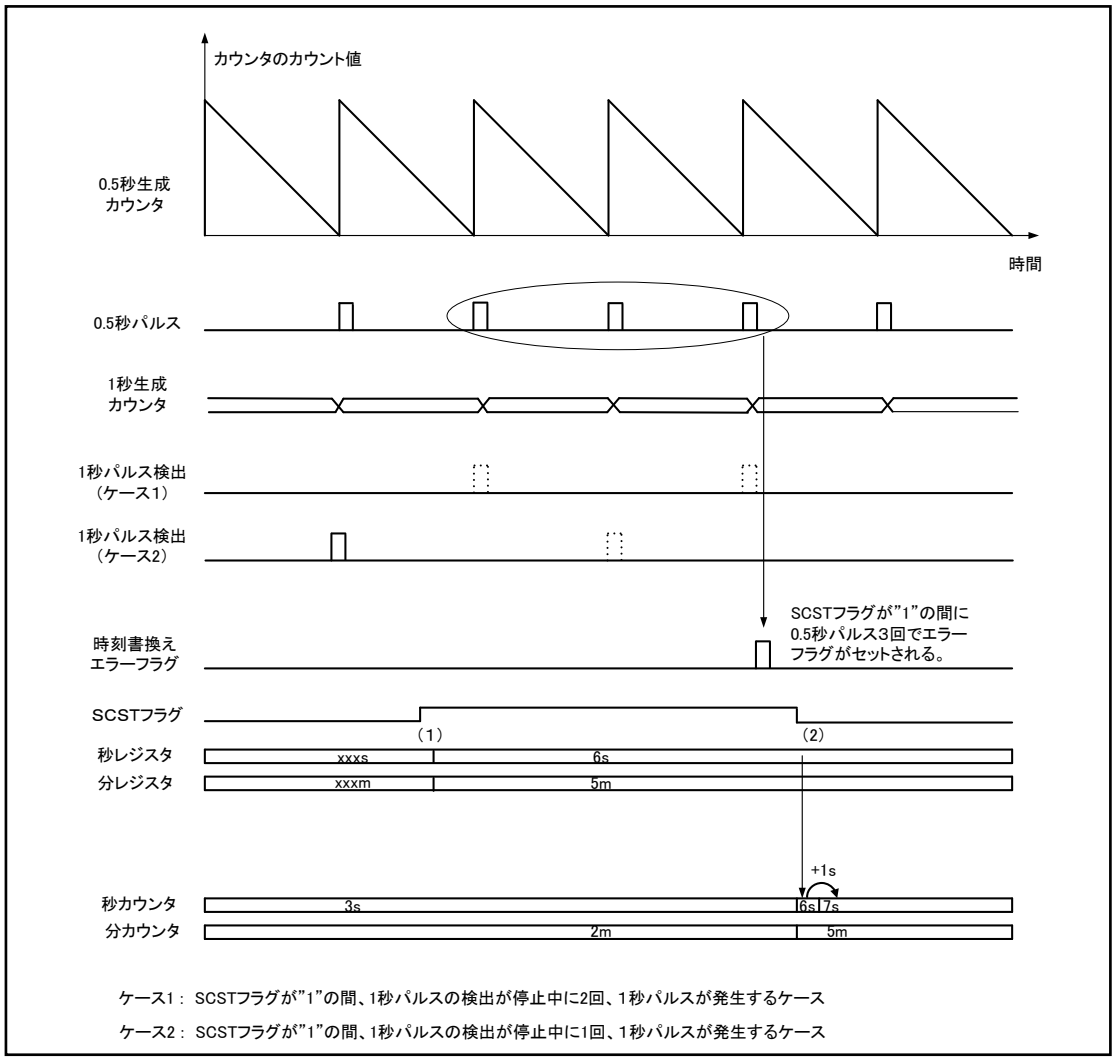
＜注意事項＞

- SCST フラグが"1"の間の 0.5 秒パルスの検出が 2 回以下の場合、時刻書換えエラーフラグは"1"になりません。
- SCST フラグが"1"の間、1 秒パルスの検出が停止しているため、秒カウンタはカウントしません。1 秒パルスの検出が停止中に 1 秒パルスが発生したことを記憶しておきます。その後、SCST フラグが"0"に設定されると、秒カウンタには秒レジスタの値が書き込まれ、その後、1 が加算されます。SCST フラグが"1"の間に 1 秒パルスが発生しなかった場合、秒レジスタの値が秒カウンタに書き込まれ、1 は加算されません。

■ 時刻書換えエラー2

時刻書換え(時刻カウント継続)において SCST フラグが"1"の間に 0.5 秒生成カウンタの 0.5 秒パルスが 3 回検出された場合の例を以下に示します。

・秒カウンタ, 分カウンタのみを書き換えた場合



(1)SCST フラグに"1"を設定して秒レジスタ、分レジスタにそれぞれ、6 秒と 5 分を書き込みます。(2)SCST フラグが"1"の間に 0.5 秒の桁上げを 3 回検出し、SCST フラグに"1"を設定した場合、時刻書換えエラーフラグが"1"になり、秒カウンタには 6 秒が書き込まれた後、1 が加算され、7 秒となります。

＜注意事項＞

時刻書換えエラーフラグが"1"になった場合、ケース 1 では SCST フラグが"1"、ケース 2 では SCST フラグが"1"の間、1 秒パルスの検出が停止中に 1 回、1 秒パルスが発生したため、1 秒のずれは発生しません。ただし、時刻書換えエラーが発生した場合はどちらのケースかわからないため、再度、時刻書換えをやり直してください。

7. RTC カウント部のレジスタ

RTC カウント部のレジスター覧を示します。

■ RTC カウント部のレジスター覧

表 7-1 RTC カウント部のレジスター覧

レジスタ略称	レジスタ名	参照先
WTCR1	制御レジスタ 1	7.1
WTCR2	制御レジスタ 2	7.2
WTBR	カウンタ周期設定レジスタ	7.3
WTDR	日レジスタ	7.4
WTHR	時レジスタ	7.5
WTMIR	分レジスタ	7.6
WTSR	秒レジスタ	7.7
WTYR	年レジスタ	7.8
WTMOR	月レジスタ	7.9
WTDW	曜日レジスタ	7.10
ALDR	アラーム日レジスタ	7.11
ALHR	アラーム時レジスタ	7.12
ALMIR	アラーム分レジスタ	7.13
ALYR	アラーム年レジスタ	7.14
ALMOR	アラーム月レジスタ	7.15
WTTR	タイマ設定レジスタ	7.16

7.1. 制御レジスタ 1 (WTCR1)

RTC カウント部の動作を制御するためのレジスタです。

bit	31	30	29	28	27	26	25	24
Field	INTCRIE	INTERIE	INTALIE	INTTMIE	INTHIE	INTMIE	INTSIE	INTSSIE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	INTCRI	INTERI	INTALI	INTTMI	INTHI	INTMI	INTSI	INTSSI
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	予約			YEN	MOEN	DEN	HEN	MIEN
属性		R		R/W	R/W	R/W	R/W	R/W
初期値		000		0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	BUSY	SCRST	SCST	SRST	RUN	予約	ST
属性	R	R	R/W	R/W	R/W	R	R	R/W
初期値	0	0	0	0	0	0	0	0

[bit31] INTCRIE : 年/月/日/時/分/秒/曜日カウンタ値読出し完了割込み許可ビット

年/月/日/時/分/秒/曜日カウンタ値読出し完了割込み許可ビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit30] INTERIE : 時刻書換えエラー割込み許可ビット

時刻書換えエラー割込み許可ビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit29] INTALIE : アラーム一致割込み許可ビット
アラーム一致割込み許可ビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit28] INTTMIE: タイマアンダフロー割込み許可ビット
タイマアンダフロー割込み許可ビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit27] INTHIE: 毎時割込み許可ビット
毎時割込み許可ビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit26] INTMIE: 毎分割込み許可ビット
毎分割込み許可ビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit25] INTSIE: 毎秒割込み許可ビット
毎秒割込み許可ビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit24] INTSSIE: 毎 0.5 秒割込み許可ビット
毎 0.5 秒割込み許可ビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit23] INTCRI: 年/月/日/時/分/秒/曜日カウンタ値読出し完了フラグビット

CREAD ビットによって、日付と時刻読出し時に年/月/日/時/分/秒/曜日カウンタの値が年/月/日/時/分/秒/曜日レジスタへ転送が完了したかどうかを表すビットです。

リードモディファイライトアクセスのリードアクセス時は、常に"1"が読み出されます。

処理	説明
0 読出し時	年/月/日/時/分/秒/曜日カウンタ値読出しは完了していません。
1 読出し時	年/月/日/時/分/秒/曜日カウンタ値読出しは完了した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit22] INTERI: 時刻書換えエラーフラグビット

時刻書換え中(SCST="1")に、秒カウンタが正常にカウントアップされていない状態を示します。

リードモディファイライトアクセスのリードアクセス時は、常に"1"が読み出されます。

処理	説明
0 読出し時	時刻書換えエラーは発生していません。
1 読出し時	時刻書換えエラーが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit21] INTALI: アラーム一致フラグビット

アラーム年/月/日/時/分レジスタに設定された値と年/月/日/時/分カウンタの値が一致したことを示します。

リードモディファイライトアクセスのリードアクセス時は、常に"1"が読み出されます。

処理	説明
0 読出し時	アラーム一致は発生していません。
1 読出し時	アラーム一致が発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit20] INTTMI: タイマアンダフロー検出フラグビット

タイマカウンタのアンダフロー時に本フラグが"1"になります。

リードモディファイライトアクセスのリードアクセス時は、常に"1"が読み出されます。

処理	説明
0 読出し時	タイマアンダフローは発生していません。
1 読出し時	タイマアンダフローが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit19] INTHI: 毎時フラグビット
時カウンタのカウントアップ時に本フラグが"1"になります。
リードモディファイライトアクセスのリードアクセス時は、常に"1"が読み出されます。

処理	説明
0 読出し時	時カウンタのカウントアップは発生していません。
1 読出し時	時カウンタのカウントアップが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit18] INTMI: 毎分フラグビット
分カウンタのカウントアップ時に本フラグが"1"になります。
リードモディファイライトアクセスのリードアクセス時は、常に"1"が読み出されます。

処理	説明
0 読出し時	分カウンタのカウントアップは発生していません。
1 読出し時	分カウンタのカウントアップが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit17] INTSI: 毎秒フラグビット
秒カウンタのカウントアップ時に本フラグが"1"になります。
リードモディファイライトアクセスのリードアクセス時は、常に"1"が読み出されます。

処理	説明
0 読出し時	秒カウンタのカウントアップは発生していません。
1 読出し時	秒カウンタのカウントアップが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit16] INTSSI: 毎 0.5 秒フラグビット
0.5 秒パルスが発生する時に本フラグが"1"になります。
リードモディファイライトアクセスのリードアクセス時は、常に"1"が読み出されます。

処理	説明
0 読出し時	0.5 秒パルスは発生していません。
1 読出し時	0.5 秒パルスが発生した。
0 書込み時	本フラグをクリアします。
1 書込み時	動作に影響しません。

[bit15:13] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit12] YEN: アラーム年レジスタ許可ビット
アラーム年レジスタと年カウンタの比較を許可します。本ビットが"1"に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

値	説明
0	アラーム年レジスタと年カウンタの比較を禁止します。
1	アラーム年レジスタと年カウンタの比較を許可します。

[bit11] MOEN: アラーム月レジスタ許可ビット
アラーム月レジスタと月カウンタの比較を許可します。本ビットが"1"に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

値	説明
0	アラーム月レジスタと月カウンタの比較を禁止します。
1	アラーム月レジスタと月カウンタの比較を許可します。

[bit10] DEN: アラーム日レジスタ許可ビット
アラーム日レジスタと日カウンタの比較を許可します。本ビットが"1"に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

値	説明
0	アラーム日レジスタと日カウンタの比較を禁止します。
1	アラーム日レジスタと日カウンタの比較を許可します。

[bit9] HEN: アラーム時レジスタ許可ビット
アラーム時レジスタと時カウンタの比較を許可します。本ビットが"1"に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

値	説明
0	アラーム時レジスタと時レジスタの比較を禁止します。
1	アラーム時レジスタと時レジスタの比較を許可します。

[bit8] MIEN: アラーム分レジスタ許可ビット
アラーム分レジスタと分カウンタの比較を許可します。本ビットが"1"に設定された場合はアラーム一致フラグ(INTALI)の検出対象になります。

値	説明
0	アラーム分レジスタを禁止します。
1	アラーム分レジスタを許可します。

[bit7] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit6] BUSY : ビジービット
時刻書換え動作中であることを示します。

値	説明
0	時刻書換え動作中でない時
1	以下の条件のいずれか ・ SCST="1" ・ SCRST="1" ・ 年/月/日/時/分/秒/曜日レジスタの値を年/月/日/時/分/秒/曜日カウンタに転送中

[bit5] SCRST: サブ秒生成/1 秒生成カウンタリセットビット
サブ秒生成/1 秒生成カウンタ(日付と時刻用)のリセットを制御するビットです。

値	説明
0	サブ秒生成/1 秒生成カウンタ(日付と時刻用)のリセットを解除します。
1	サブ秒生成/1 秒生成カウンタ(日付と時刻用)をリセットします。

RTC 動作中(RUN=１)で本ビットが"0"、SCST ビットが"0"の時、年/月/日/時/分/秒/曜日レジスタの値は更新できません。SCST ビットと SCRST ビットの両方に"1"を設定することは禁止です。RTC 停止中(RUN=0)、本ビットに"1"を設定することは禁止です。

[bit4] SCST: 1 秒パルス検出停止ビット
1 秒生成カウンタの 1 秒パルス検出を制御するビットです。

値	説明
0	1 秒パルス検出を許可します
1	1 秒パルス検出を停止します

RTC 動作中(RUN=１)で本ビットが"0"、SCRST ビットが"0"の時、年/月/日/時/分/秒/曜日レジスタの値は更新できません。SCST ビットと SCRST ビットの両方に"1"を設定することは禁止です。RTC 停止中(RUN=0)、本ビットに"1"を設定することは禁止です。

[bit3] SRST: RTC リセットビット
RTC リセットビットです。
RTC リセットにより初期化されるレジスタ・ビットは、「4 RTC カウント部のリセット動作」の表 4-3 を参照ください。
リードモディファイライトアクセスのリードアクセス時は、常に"0"が読み出されます。

値	説明
0	RTC リセットが完了した時
1	"1"が書き込まれた時でハードウェアは RTC リセットを発行します

[bit2] RUN: RTC カウント部動作ビット
RTC カウント部の動作状態を表すビットです。
ST="1"の RTC カウント部動作中に ST="0"を設定すると RTC カウント部の動作は停止し RUN="0"になります。

値	説明
0	RTC カウント部は停止中
1	RTC カウント部は動作中

[bit1] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit0] ST: スタートビット
RTC カウント部の動作開始を制御するビットです。

値	説明
0	RTC カウント部は停止します。
1	年/月/日/時/分/秒/曜日レジスタに設定した値を年/月/日/時/分/秒/曜日カウンタに転送し、RTC カウント部が動作を開始します。

7.2. 制御レジスタ 2(WTCR2)

制御レジスタ 2 は、RTC カウント部の動作を制御するためのレジスタです。

bit	31							24
Field	予約							
属性	R							
初期値	0x00							

bit	23							16
Field	予約							
属性	R							
初期値	0x00							

bit	15	14	13	12	11	10	9	8
Field	予約					TMRUN	TMEN	TMST
属性	R					R	R/W	R/W
初期値	00000					0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約							CREAD
属性	R							R/W
初期値	0000000							0

[bit31:11] **予約 : 予約ビット**
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit10] TMRUN: **タイマカウンタ動作ビット**
タイマカウンタの動作を表すビットです。
タイマカウンタ制御ビットが"0"の場合、カウントがアンダフローすると本ビットはハードウェアによりクリアされます。タイマカウンタ制御ビット(TMEN)が"1"の場合、タイマカウンタスタートビット(TMST)に"0"を書き込むまで本ビットは"1"です。
TMST="1"のタイマ動作中に TMST="0"を設定するとタイマ動作は停止し TMRUN="0"になります。

値	説明
0	タイマカウンタ停止中
1	タイマカウンタ動作中

[bit9] TMEN: タイマカウンタ制御ビット
タイマカウンタが何(時間，分，秒)後，何(時間，分，秒)間隔のどちらで動作するのかを制御するビットです。

値	説明
0	タイマカウンタが何(時間，分，秒)後で動作
1	タイマカウンタが何(時間，分，秒)間隔で動作

[bit8] TMST: タイマカウンタスタートビット
タイマカウンタの動作を開始するビットです。
タイマカウンタ制御ビット(TMEN)が"0"の場合は、カウントが終了するとハードウェアにより"0"にクリアされます。
タイマカウンタの動作状態は、タイマカウンタ動作ビット(TMRUN)を参照してください。タイマ設定レジスタの書換えをする場合は、本ビットを"0"で一度停止後、タイマ設定レジスタの書換えを行い、"1"に設定し直して動作を再開させてください。

値	説明
0	タイマカウンタを停止
1	タイマカウンタを動作開始

[bit7:1] 予約 : 予約ビット
読出しは常に"0"となります。
書込みの場合には、"0"を設定してください。

[bit0] CREAD: 年/月/日/時/分/秒/曜日カウンタ値読出し制御ビット
本ビットに"1"を設定すると年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへ転送を開始し、完了すると"0"クリアされます。
リードモディファイライトアクセスのリードアクセス時は、常に"0"が読み出されます。

処理	説明
0 読出し	年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへの転送が完了しています。
1 読出し	年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへ転送中です。
0 書込み	動作に影響しません。
1 書込み	年/月/日/時/分/秒/曜日カウンタから年/月/日/時/分/秒/曜日レジスタへのコピーを開始します。

7.3. カウンタ周期設定レジスタ(WTBR)

カウンタ周期設定レジスタは、サブ秒生成カウンタ(日付と時刻用，タイマ用)へリロードする値を格納するレジスタです。

bit	31							24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	BR23	BR22	BR21	BR20	BR19	BR18	BR17	BR16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:24] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit23:0] BR23～BR0 : カウンタ周期設定ビット
サブ秒生成カウンタ(日付と時刻用，タイマ用)へのリロードされる値を設定します。
サブ秒生成カウンタが 0.5 秒カウントする値をレジスタに設定してください。サブ秒生成カウンタが"0"になると WTBR の値がサブ秒生成カウンタにリロードされます。
WTBR に設定する値は下記の計算式で求めてください。
WTBR ＝ (0.5[s] ÷ (2 × RTCCLK 周期[s])) － 1

＜注意事項＞

- WTBR を設定する場合は、ST が"0" (RTC カウント部停止中)、TMST が"0" (タイマカウンタ停止中)の時に行ってください。
- カウンタ周期設定レジスタには"7"以上の値を設定してください。"6"以下の値を設定すると、年/月/日/時/分/秒/曜日カウンタ値読出しで正しい値が読めなくなります。

7.4. 日レジスタ(WTDR)

RTC カウント部の日情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約		TD1	TD0	D3	D2	D1	D0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit5:4] TD1, TD0 : 日レジスタ
RTC カウント部の日情報の 2 桁目を表します。

[bit3:0] D3～D0 : 日レジスタ
RTC カウント部の日情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.5. 時レジスタ(WTHR)

RTC カウント部の時情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約		TH1	TH0	H3	H2	H1	H0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit5:4] TH1, TH0 : 時レジスタ
RTC カウント部の時情報の 2 桁目を表します。
0～2：有効
3　：設定禁止

[bit3:0] H3～H0 : 時レジスタ
RTC カウント部の時情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.6. 分レジスタ(WTMIR)

RTC カウント部の分情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約	TMI2	TMI1	TMI0	MI3	MI2	MI1	MI0
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit6:4] TMI2～TMI0 : 分レジスタ
RTC カウント部の分情報の 2 桁目を表します。
0～5：有効
6, 7 ：設定禁止

[bit3:0] MI3～MI0 : 分レジスタ
RTC カウント部の分情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.7. 秒レジスタ(WTSR)

RTC カウント部の秒情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約	TS2	TS1	TS0	S3	S2	S1	S0
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit6:4] TS2～TS0 : 秒レジスタ
RTC カウント部の秒情報の 2 桁目を表します。
0～5：有効
6, 7 ：設定禁止

[bit3:0] S3～S0 : 秒レジスタ
RTC カウント部の秒情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.8. 年レジスタ(WTYR)

RTC カウント部の年情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	TY3	TY2	TY1	TY0	Y3	Y2	Y1	Y0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:4] TY3～TY0： 年レジスタ
RTC カウント部の年情報の 2 桁目を表します。
0～9：有効
A～F：設定禁止

[bit3:0] Y3～Y0： 年レジスタ
RTC カウント部の年情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.9. 月レジスタ(WTMOR)

RTC カウント部の月情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約			TMO0	MO3	MO2	MO1	MO0
属性		R		R/W	R/W	R/W	R/W	R/W
初期値		000		0	0	0	0	0

[bit7:5] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit4] TMO0 : 月レジスタ
RTC カウント部の月情報の 2 桁目を表します。

[bit3:0] MO3～MO0 : 月レジスタ
RTC カウント部の月情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.10. 曜日レジスタ(WTDW)

RTC カウント部の曜日情報を表すレジスタです。レジスタ値は、BCD で表示します。

bit	7	6	5	4	3	2	1	0
Field	予約					DW2	DW1	DW0
属性			R			R/W	R/W	R/W
初期値			00000			0	0	0

[bit7:3] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit2:0] DW2～DW0 : 曜日レジスタ
RTC カウント部の曜日情報を表します。
"0"の場合: 日曜
"1"の場合: 月曜
"2"の場合: 火曜
"3"の場合: 水曜
"4"の場合: 木曜
"5"の場合: 金曜
"6"の場合: 土曜
"7"の場合: 設定禁止

7.11. アラーム日レジスタ(ALDR)

アラーム設定した日情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		TAD1	TAD0	AD3	AD2	AD1	AD0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit5:4] TAD1, TAD0 : アラーム日レジスタ
アラーム設定した日情報の 2 桁目を表します。

[bit3:0] AD3～AD0 : アラーム日レジスタ
アラーム設定した日情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.12. アラーム時レジスタ(ALHR)

アラーム設定した日情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		TAH1	TAH0	AH3	AH2	AH1	AH0
属性	R		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit7:6] 予約 ： 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit5:4] TAH1, TAH0： アラーム時レジスタ
アラーム設定した時情報の 2 桁目を表します。
0～2：有効
3　　：設定禁止

[bit3:0] AH3～AH0： アラーム時レジスタ
アラーム設定した時情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.13. アラーム分レジスタ(ALMIR)

アラーム設定した分情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約	TAMI2	TAMI1	TAMI0	AMI3	AMI2	AMI1	AMI0
属性	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット
読出しは常に"0"となります。

[bit6:4] TAMI2～TAMI0 : アラーム分レジスタ
アラーム設定した分情報の 2 桁目を表します。
0～5：有効
6, 7 ：設定禁止

[bit3:0] AMI3～AMI0 : アラーム分レジスタ
アラーム設定した分情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.14. アラーム年レジスタ(ALYR)

アラーム設定した年情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	TAY3	TAY2	TAY1	TAY0	AY3	AY2	AY1	AY0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:4] TAY3～TAY0： アラーム年レジスタ
アラーム設定した年情報の 2 桁目を表します。
0～9：有効
A～F：設定禁止

[bit3:0] AY3～AY0： アラーム年レジスタ
アラーム設定した年情報の 1 桁目を表します。
0～9：有効
A～F：設定禁止

7.15. アラーム月レジスタ(ALMOR)

アラーム設定した月情報を表すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約			TAMO0	AMO3	AMO2	AMO1	AMO0
属性	R			R/W	R/W	R/W	R/W	R/W
初期値	000			0	0	0	0	0

[bit7:5] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit4] TAMO0 : アラーム月レジスタ
アラーム設定した月情報の 2 桁目を表します。

[bit3:0] AMO3～AMO0 : アラーム月レジスタ
アラーム設定した月情報の 1 桁目を表します
0～9：有効
A～F：設定禁止

7.16. タイマ設定レジスタ(WTTR)

何(時間,分,秒)後、何(時間,分,秒)間隔といったタイマ設定値を設定するレジスタです。
1 秒から 1 日間までの値が設定可能です。

bit	31	30	29	28	27	26	25	24
Field	予約							
属性	R							
初期値	0x00							

bit	23	22	21	20	19	18	17	16
Field	予約						TM17	TM16
属性	R						R/W	R/W
初期値	000000						0	0

bit	15	14	13	12	11	10	9	8
Field	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:18] 予約 : 予約ビット
読出しは常に"0"となります。
書込み時は、"0"を設定してください。

[bit17:0] TM17～ TM0 : タイマ設定レジスタ
タイマ設定情報ビットです。
何(時間, 分, 秒)後, 何(時間, 分, 秒)間隔といった 1 日間のタイマを設定します。
設定可能なタイマ設定値は 1 秒～1 日まで 0.5 秒間隔です。
タイマ設定レジスタに設定する値は下記の計算式で求めてください。
TM[17:0] = (設定時間[s] × 2) － 1

1～172799 : 有効
0, 172800～262143 : 設定禁止

8. 使用上の注意

RTC カウント部を使用する際は、次の点を注意してください。

- PCLK2(APB2 バスクロック) ≧ RTCCLK(RTC クロック) / 2 の周波数条件で使用してください。
- 各アラームレジスタの設定は、各アラーム割込み用データ制御ビット(WTCR1:YEN, WTCR1:MOEN, WTCR1:DEN, WTCR1:HEN, WTCR1:MIEN)が"0"のときに変更してください。
- アラーム割込み用データ制御ビット(WTCR1:YEN, WTCR1:MOEN, WTCR1:DEN, WTCR1:HEN, WTCR1:MIEN)のいずれかに"1"を設定した場合、その直後に割込みが発生することがあります。そのため、割込み後、日時を読み出し、確認してください。

CHAPTER 4-3: RTC クロック制御部(A)

RTC クロック制御部(A)の機能と動作について示します。

1. RTC クロック制御部の概要
2. RTC クロック制御部の構成
3. 周波数補正部の動作
4. RTC クロック制御部の設定手順
5. RTC クロック制御部のレジスタ

1. RTC クロック制御部の概要

RTC クロック制御部の機能概要を示します。

■ RTC クロック制御部

RTC クロック制御部には、以下の機能があります。

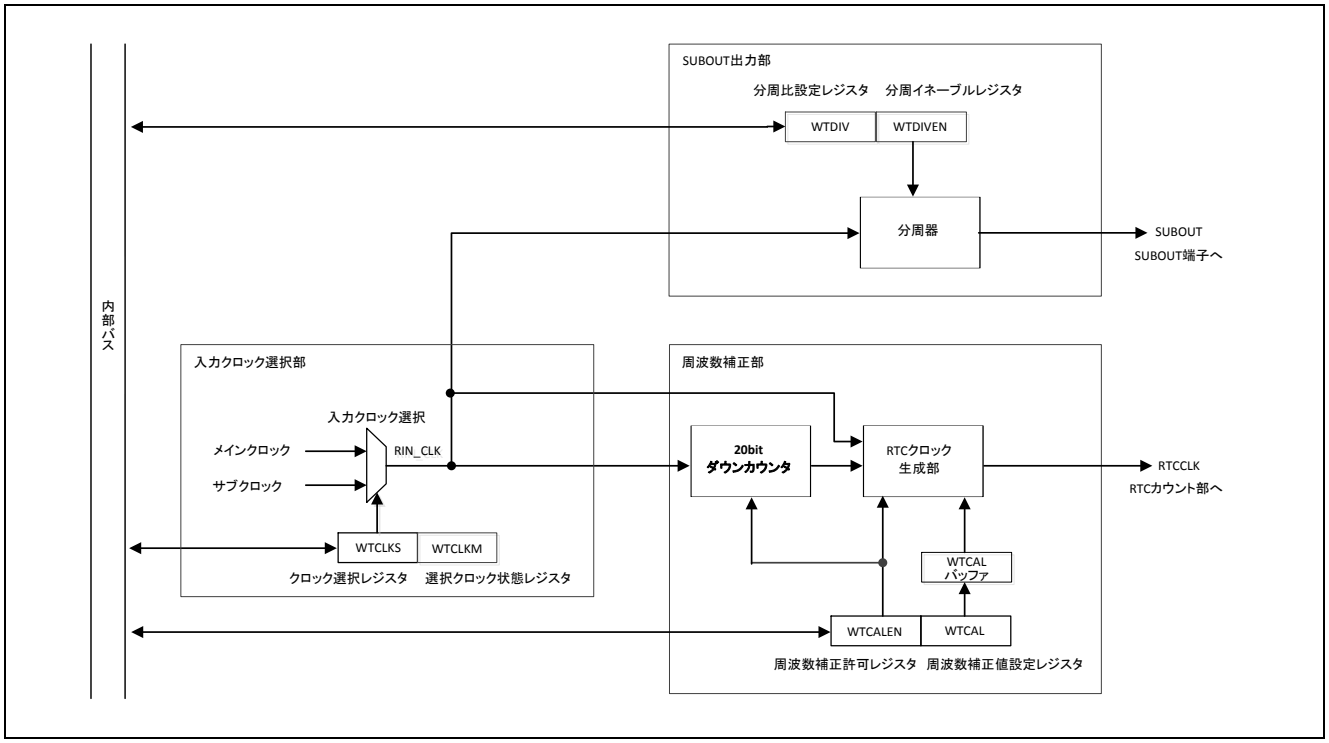
- RTC カウント部で使用する RTC クロック(RTCCLK)の生成機能
- 入力クロック(RIN_CLK)としてメインクロックまたはサブクロックを選択する機能
- SUBOUT 外部端子に出力する分周クロックの生成機能
- 温度依存による入力クロックの周波数変動を補正する機能(周波数補正機能)
  (上記周波数補正機能は温度センサを外部接続することを想定しています。)

2. RTC クロック制御部の構成

ブロックダイヤグラムを示します。

■ RTC クロック制御部のブロックダイヤグラム

図 2-1 RTC クロック制御部のブロックダイヤグラム



● 入力クロック選択部

クロック選択レジスタ(WTCALS)の設定により、メインクロック, サブクロックから入力クロック(RIN_CLK)を選択します。

● 周波数補正部

周波数補正部は、RIN_CLK をマスクし、周波数補正を行った RTCCLK を出力します。
RIN_CLK×2^{20} カウント周期で、WTCAL バッファの値の数だけ、RIN_CLK をマスクします。

● SUBOUT 出力部

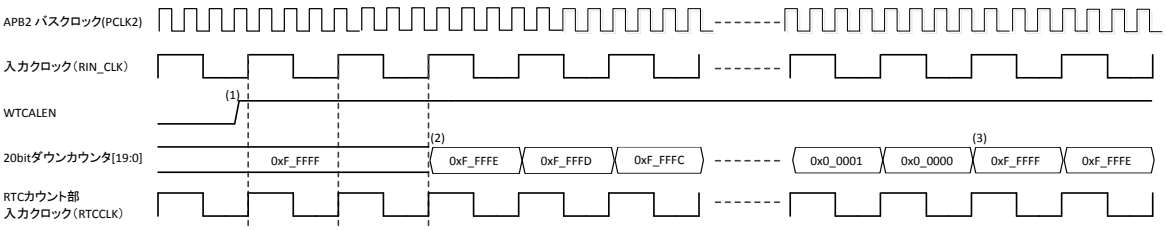
SUBOUT 外部端子に出力する分周クロックを生成します。
ディープスタンバイ RTC モード時は、SUBOUT 外部端子から出力できません。

3. 周波数補正部の動作

周波数補正部の動作について説明します。

■ 20 ビットダウンカウンタの動作

図 3-1 20 ビットダウンカウンタの動作

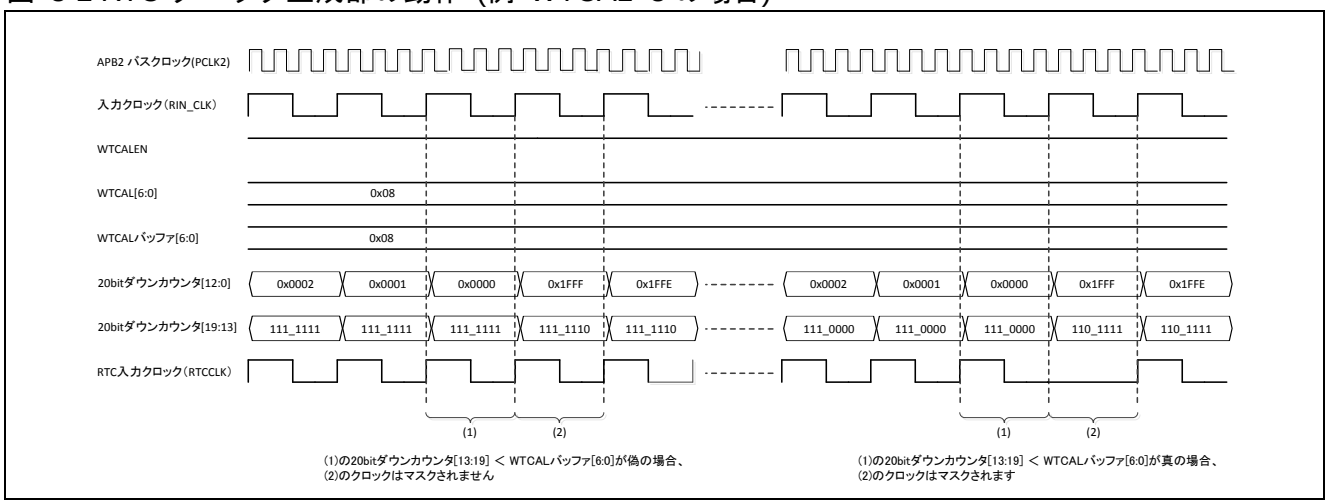


(1) APB2 バスクロック(PCLK2)の立上りで周波数補正許可ビット(WTCALEN)に"1"を書き込みます。
(2) WTCALEN の立上りエッジから、入力クロック(RIN_CLK)の 3 クロック後、20 ビットダウンカウンタが動作開始します。
(3) 20 ビットダウンカウンタがアンダフローした場合、"0xF_FFFF"からカウントダウンを継続します。
(4) WTCALEN ビットに"0"を書込み後、20 ビットダウンカウンタは停止し、"0xF_FFFF"に初期化されます。

■ RTC クロック生成部の動作

RTC クロック生成部は、入力クロック(RIN_CLK)×2^{20} カウント周期で、WTCAL バッファに設定された値の数だけクロックをマスクし、周波数補正を行います。
以下に RTC クロック生成部の動作を示します。

図 3-2 RTC クロック生成部の動作 (例 WTCAL=8 の場合)



(1) 20 ビットダウンカウンタの bit12:0= "13'h0000"のときに、20 ビットダウンカウンタの bit19:13 の値と WTCAL バッファ[6:0]の値で以下の式で比較を行います。

20 ビットダウンカウンタの bit19:13 ＜ WTCAL バッファ[6:0]

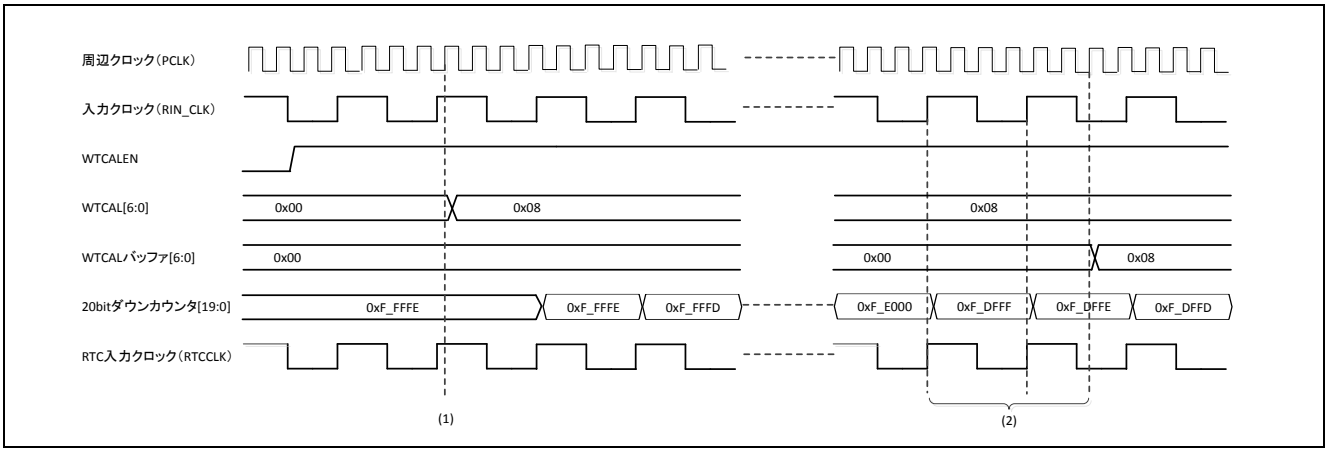
(2) 上記比較結果が真の場合、RTC クロック(RTCCLK)の次の 1 クロックがマスクされます。偽の場合、次の 1 クロックはマスクされません。

周波数補正許可ビット(WTCALEN)が"1"の期間、20 ビットダウンカウンタ, RTC クロック生成部は動作を継続します。20 ビットダウンカウンタの bit12:0= "13'h0000"になると、(1)と(2)を繰り返します。
WTCALEN ビットが"0"の場合、RTCCLK はマスクされず、RTCCLK=RIN_CLK です。

■ WTCAL バッファの動作

周波数補正値設定レジスタ(WTCAL)は、周波数補正機能でマスクするクロック数を設定できます。
周波数補正部が動作中に周波数補正値設定レジスタ(WTCAL)を書換え可能にするため、周波数補正部は WTCAL バッファを搭載しています。

図 3-3 WTCAL バッファの動作



(1) 周波数補正値設定レジスタ(WTCAL)にマスクするクロック数を書き込んでください。
(2) 20 ビットダウンカウンタ[19:0]=0xFE000 になり、入力クロック(RIN_CLK)の 1 クロックと APB2 バスクロック(PCLK2)の 3 クロック後に WTCAL の値が WTCAL バッファに転送されます。

■ 周波数補正範囲

周波数補正範囲の例を表 3-1 に示します。RTC カウント部の WTBR レジスタ, WTCAL レジスタの設定を組合せて補正します。

表 3-1 周波数補正範囲の例 (理想値)

WTCAL	WTBR=8190		WTBR=8191	
	補正率 [ppm]	サブクロック 周波数[Hz]	補正率 [ppm]	サブクロック 周波数[Hz]
0	122.1	32764.00	0.0	32768.00
1	121.1	32764.03	-1.0	32768.03
2	120.2	32764.06	-1.9	32768.06
:	:	:	:	:
63	62.0	32765.97	-60.1	32769.97
64	61.0	32766.00	-61.0	32770.00
65	60.1	32766.03	-62.0	32770.03
:	:	:	:	:
125	2.9	32767.91	-119.2	32771.91
126	1.9	32767.94	-120.2	32771.94
127	1.0	32767.97	-121.1	32771.97

4. RTC クロック制御部の設定手順

RTC クロック制御部の設定手順について説明します。

■ 周波数補正設定手順(サブクロックを選択する場合)

(1) 入力クロック選択ビット(WTCLKS)に"0"を書き込んでください。
(2) クロック選択状態ビット(WTCLKM)を読み出して、"10"になるまで待ってください。
(3) 周波数補正値設定レジスタ(WTCAL)に補正値を書き込んでください。
WTCAL の設定値は以下の式で算出しください。

$$WTCAL = \{(\text{補正前の周波数} - (WTBR+1)\times 4) / \text{理想の周波数}\} \times 2^{20}$$

(4) 周波数補正許可ビット(WTCALEN)に"1 "を書き込んでください。周波数補正が許可されます。

■ SUBOUT 出力部の設定手順

(1) 分周器出力許可ビット(WTDIVEN)に"0"を書き込んでください。
分周器が停止し、SUBOUT 外部出力が"L"レベルが出力されます。
(2) 分周器状態ビット(WTDIVRDY)を読み出し、"0" (停止中)になるまで待ってください。
(3) 分周比設定ビット(WTDIV)に分周比を書き込んでください。
分周比の設定値は「5.5.分周比設定レジスタ(WTDIV)」を参照してください。
(4) 分周器出力許可ビット(WTDIVEN)に"1"を書き込んでください。分周器が動作許可に設定されます。

5. RTC クロック制御部のレジスタ

レジスター一覧を示します。

■ RTC クロック制御部のレジスタ

表 5-1 RTC クロック制御部のレジスター一覧

レジスタ略称	レジスタ名	参照先
WTCLKS	クロック選択レジスタ	5.1
WTCLKM	選択クロック状態レジスタ	5.2
WTCAL	周波数補正値設定レジスタ	5.3
WTCALEN	周波数補正許可レジスタ	5.4
WTDIV	分周比設定レジスタ	5.5
WTDIVEN	分周器出力許可レジスタ	5.6

5.1. クロック選択レジスタ(WTCLKS)

入力クロック(RIN_CLK)の選択を行います。

bit	7		1	0
Field	予約			WTCLKS
属性	R			R/W
初期値	0000000			0

[bit7:1] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit0] WTCLKS : 入力クロック選択ビット
使用する入力クロック(RIN_CLK)を選択します。

値	説明
0	サブクロックを選択します。
1	メインクロックを選択します。

＜注意事項＞
本レジスタは、ソフトウェアリセットと RTC リセットと APB2 バスリセットでは初期化されません。

5.2. 選択クロック状態レジスタ(WTCLKM)

入力クロック(RIN_CLK)の選択状態を示します。

bit	7	2	1	0
Field	予約		WTCLKM	
属性	R		R	
初期値	000000		00	

[bit7:2] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit1:0] WTCLKM : クロック選択状態ビット
入力クロック(RIN_CLK)の選択状態を示します。

値	説明
0x	RIN_CLK は停止しています。
10	サブクロックが選択されています。
11	メインクロックが選択されています。

＜注意事項＞
本レジスタは、ソフトウェアリセットと RTC リセットと APB2 バスリセットでは初期化されません。

5.3. 周波数補正値設定レジスタ(WTCAL)

RTC カウント部へ出力する RTC クロック(RTCCLK)の周波数補正値を設定します。

bit	7	6	0
Field	予約	WTCAL	
属性	R	R/W	
初期値	0	0000000	

[bit7] 予約 : 予約ビット

読出しは常に"0"です。

書込み時は、"0"を設定してください。

[bit6:0] WTCAL: 周波数補正値設定ビット

2^{20} クロックサイクル(1,048,576 クロックサイクル)から、マスクするクロック数を設定します。

WTCAL を 8 に設定した場合、2^{20} クロックサイクルごとに入力クロック(RIN_CLK)から 8 クロックをマスクし、RTC カウント部へ RTCCLK を出力します。

WTCAL に設定する値は、「4. RTC クロック制御部の設定手順」の「■ 周波数補正設定手順(サブクロックを選択する場合)」を参照してください。

＜注意事項＞

本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

5.4. 周波数補正許可レジスタ(WTCALEN)

RTC カウント部へ入力する RTC クロック(RTCCLK)の周波数補正を許可するレジスタです。

bit	7		1	0
Field	予約			WTCALEN
属性	R			R/W
初期値	0000000			0

[bit7:1] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit0] WTCALEN: 周波数補正許可ビット
周波数補正を許可します。

値	説明
0	周波数補正を禁止します。
1	周波数補正を許可します。

＜注意事項＞
本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

5.5. 分周比設定レジスタ(WTDIV)

分周器の分周比を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約				WTDIV			
属性	R				R/W			
初期値	0000				0000			

[bit7:4] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit3:0] WTDIV: 分周比設定ビット
入力クロック(RIN_CLK)と分周器が出力する分周クロック(SUBOUT)の分周比を設定します。

値	説明
0000	分周なし
0001	2 分周
0010	4 分周
0011	8 分周
0100	16 分周
0101	32 分周
0110	64 分周
0111	128 分周
1000	256 分周
1001	512 分周
上記以外	設定禁止

＜注意事項＞

WTDIV ビットへの書込みは、分周器出力許可レジスタ(WTDIVEN)の分周器許可ビット(WTDIVEN)と分周器状態ビット(WTDIVRDY)が"0"のときに行ってください。

本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

5.6. 分周器出力許可レジスタ(WTDIVEN)

分周器の出力を許可するレジスタです。

bit	7	2	1	0
Field	予約		WTDIVRDY	WTDIVEN
属性	R		R	R/W
初期値	000000		0	0

[bit7:2] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit1] WTDIVRDY : 分周器状態ビット
分周器の動作状態を示します。

値	説明
0	分周器は停止中です。SUBOUT 外部端子出力は Low 固定です。
1	分周器は動作中です。

[bit0] WTDIVEN: 分周器許可ビット
分周器の動作を許可します。

値	説明
0	分周器の動作を停止します。
1	分周器の動作を許可します。

＜注意事項＞
本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

CHAPTER 4-4: RTC クロック制御部(B)

RTC クロック制御部(B)の機能と動作について示します。

1. RTC クロック制御部の概要
2. RTC クロック制御部の構成
3. RTC クロック制御部の動作説明
4. RTC クロック制御部の設定手順
5. RTC クロック制御部のレジスタ

1. RTC クロック制御部の概要

RTC クロック制御部の機能概要を示します。

■ RTC クロック制御部

RTC クロック制御部には、以下の機能があります。

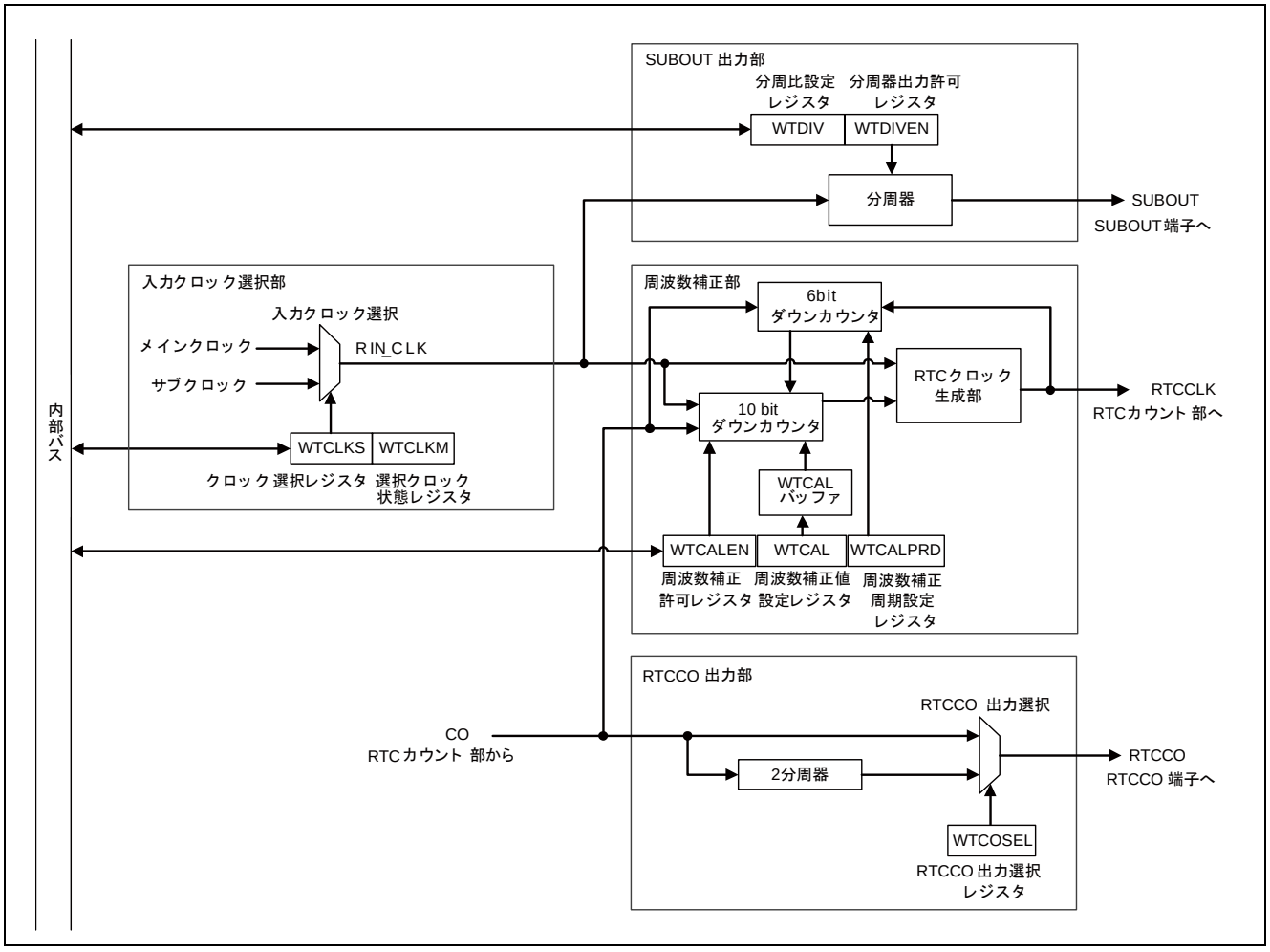
・RTC カウント部で使用する RTC クロック(RTCCLK)の生成機能
・入力クロック(RIN_CLK)としてメインクロックまたはサブクロックを選択する機能
・SUBOUT 外部端子に出力する分周クロックの生成機能
・RTCCO 外部端子に出力する 0.5 秒または 1 秒のパルス生成機能
・温度依存による入力クロックの周波数変動を補正する機能(周波数補正機能)
(上記周波数補正機能は温度センサを外部接続することを想定しています。)

2. RTC クロック制御部の構成

ブロックダイヤグラムを示します。

■ RTC クロック制御部のブロックダイヤグラム

図 2-1 RTC クロック制御部のブロックダイヤグラム



- **入力クロック選択部**
  クロック選択レジスタ(WTCALS)の設定により、メインクロック,サブクロックから入力クロック(RIN_CLK)を選択します。
- **周波数補正部**
  周波数補正部は、RIN_CLK をマスクし、周波数補正を行った RTCCLK を出力します。
  WTCALPRD に設定した周期で、WTCAL バッファの値の数だけ、RIN_CLK をマスクします。
- **SUBOUT 出力部**
  SUBOUT 外部端子に出力する分周クロックを生成します。
  ディープスタンバイ RTC モード時は、SUBOUT 外部端子から出力できません。
- **RTCCO 出力部**
  RTCCO 外部端子に出力する信号を生成します。
  RTC カウント部からの CO 信号または CO 信号を 2 分周した信号を選択できます。
  ディープスタンバイ RTC モード時は、RTCCO 外部端子から出力できません。

3. RTC クロック制御部の動作説明

RTC クロック制御部の動作について説明します。

■ 周波数補正部

RIN_CLK の周波数のずれを補正します。
一定の周期で RIN_CLK をマスクし、周波数補正を行った RTCCLK を出力します。
周期は補正周期設定レジスタ(WTCALPRD)に設定します。
補正値設定レジスタ(WTCAL)にマスクするクロック数を設定します。

図 3-1 周波数補正部の動作例 (WTBR=8190、WTCALPRD=19 の場合)

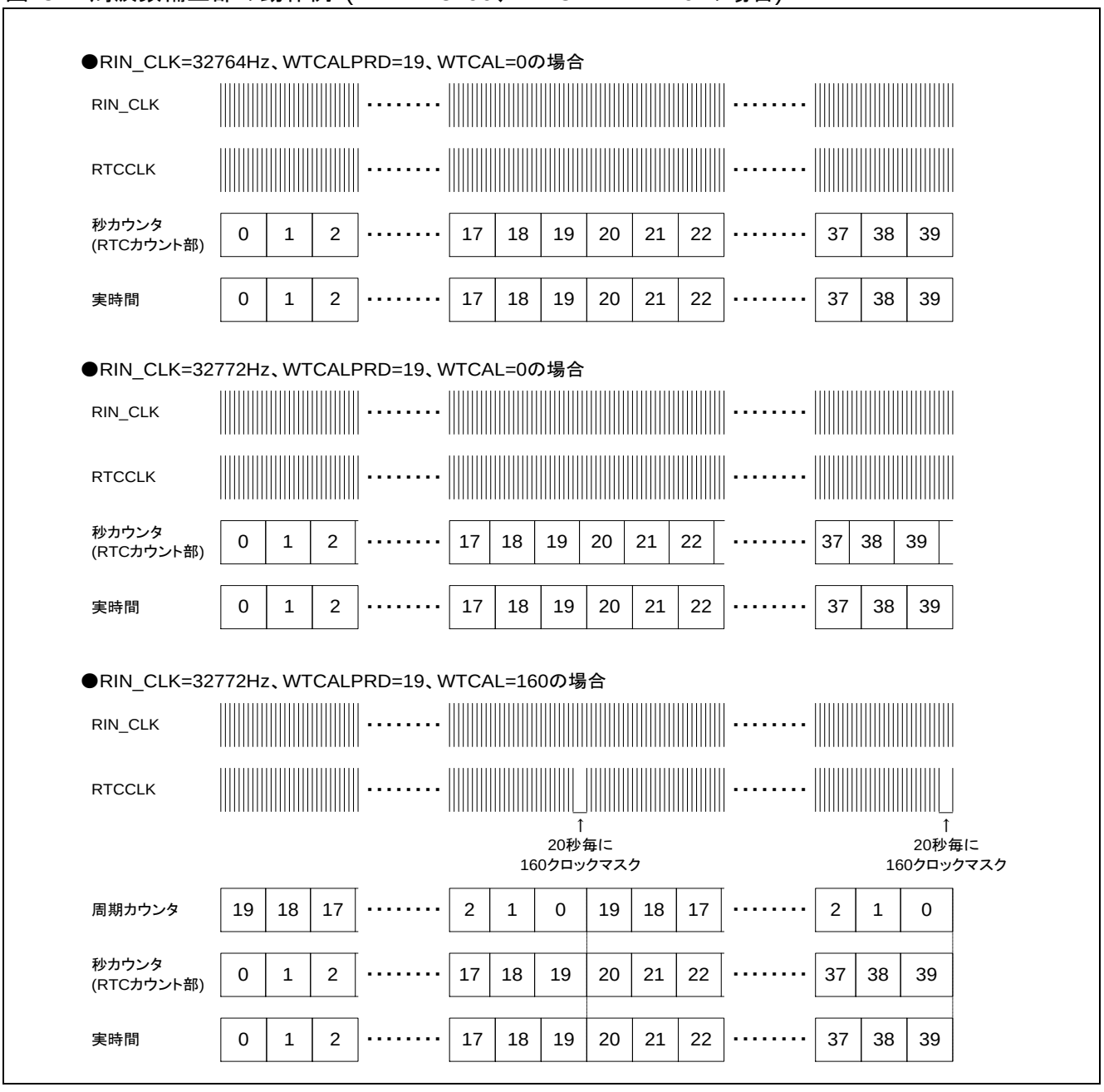
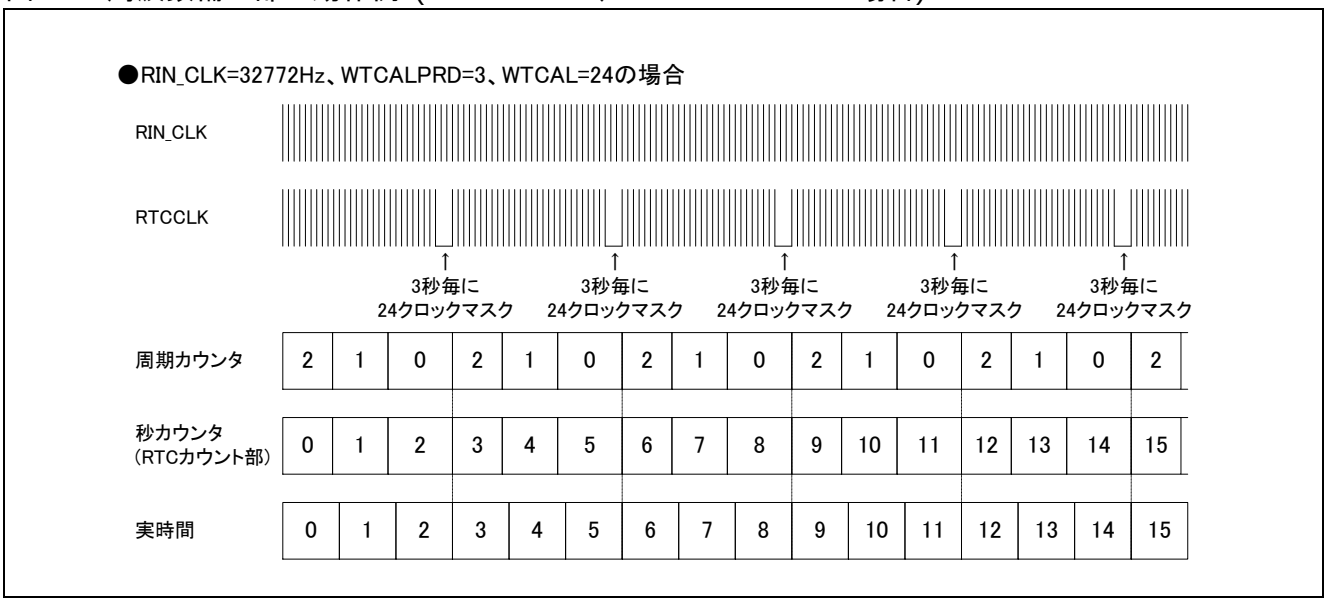


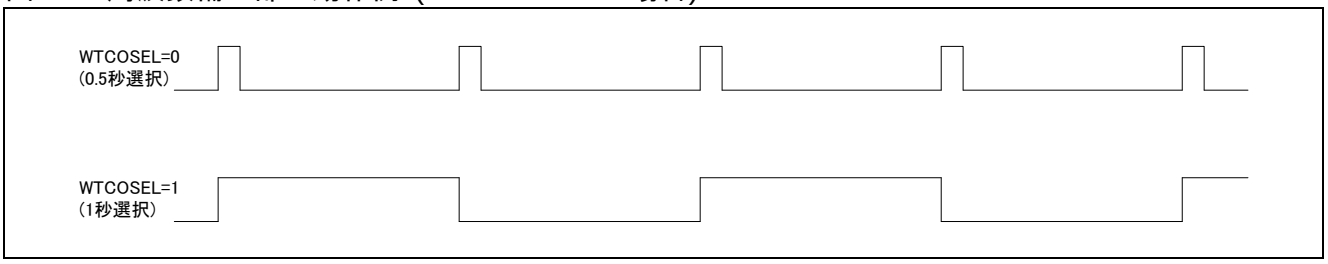
図 3-2 周波数補正部の動作例 (WTBR=8190、WTCALPRD=3 の場合)



■ RTCCO 外部端子出力クロック選択部

RTCCO クロック選択レジスタ(WTCOSEL)の設定により、RTC カウント部からの CO 信号(0.5 秒)または CO 信号の 2 分周(1 秒)を選択し、RTCCO 外部端子に出力します。

図 3-3 周波数補正部の動作例 (WTBR=8190 の場合)

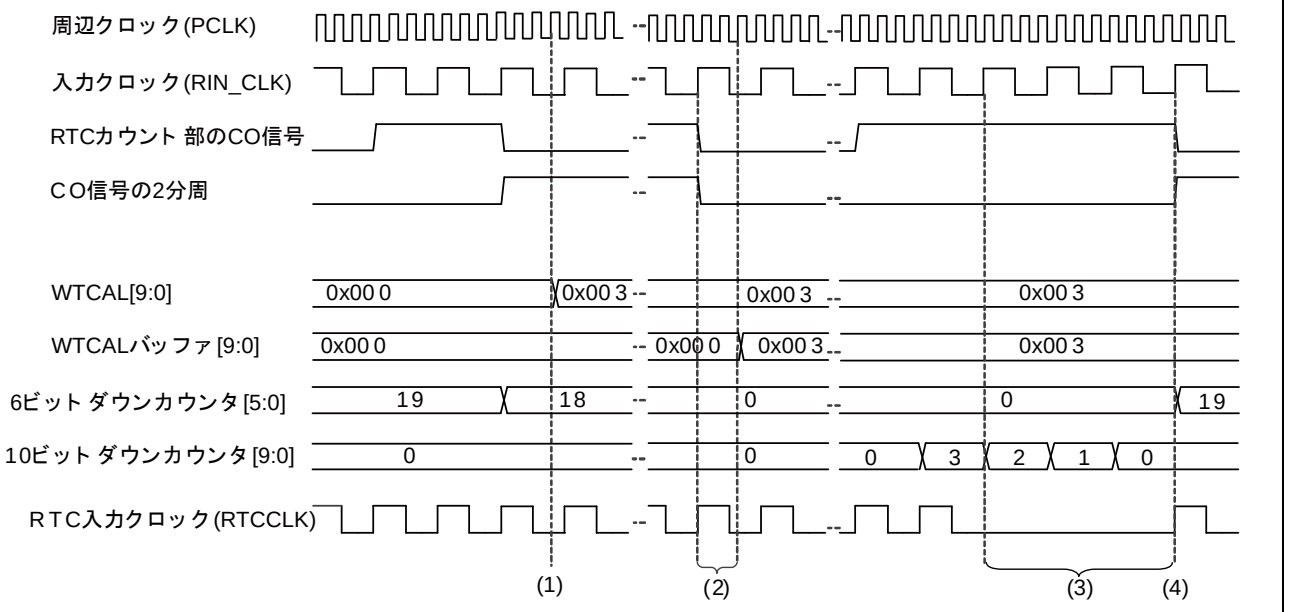


RTC カウント部からの CO 信号(0.5 秒)について、『RTC カウント部』の章を参照してください。

● WTCAL バッファの動作

周波数補正値設定レジスタ(WTCAL)は、周波数補正機能でマスクするクロック数を設定できます。
周波数補正部が動作中に周波数補正値設定レジスタ(WTCAL)を書換え可能にするため、周波数補正部はWTCAL バッファを搭載しています。

図 3-4 WTCAL バッファの動作



(1) 周波数補正値設定レジスタ(WTCAL)にマスクするクロック数を書き込んでください。
(2) 6 ビットダウンカウンタ=0 になり、APB2 バスクロック(PCLK2)の 3 クロック後に WTCAL の値が WTCAL バッファに転送されます。
(3) 6 ビットダウンカウンタのアンダフロー直前に、10 ビットダウンカウンタに WTCAL レジスタの値がロードされ、設定した値のクロックをマスクします。
(4) 6 ビットダウンカウンタは、アンダフロー時に WTCAL バッファの値をロードします。

＜注意事項＞

WTCAL レジスタで設定したクロックがマスクされている間は、RTC カウント部の CO 信号が High のままとなります。

● 周波数補正範囲

周波数補正範囲の例を表 3-1 と表 3-2 に示します。RTC カウント部の WTBR レジスタ, WTCAL レジスタと WTCALPRD レジスタの設定を組み合せて補正します。

表 3-1 WTCALPRD=19 時の周波数補正範囲の例 (理想値)

WTCAL	WTBR=8190		WTBR=8189	
	補正率 [ppm]	サブクロック周波数[Hz]	補正率 [ppm]	サブクロック周波数[Hz]
0	122.1	32764.00	244.1	32760.00
1	120.5	32764.05	242.6	32760.05
2	119.0	32764.10	241.1	32760.10
:	:	:	:	:
79	1.5	32767.95	123.6	32763.95
80	0.0	32768.00	122.1	32764.00
81	-1.5	32768.05	120.5	32764.05
:	:	:	:	:
159	-120.5	32771.95	1.5	32767.95
160	-122.1	32772.00	0.0	32768.00
161	-123.6	32772.05	-1.5	32768.05
:	:	:	:	:
318	-363.2	32779.90	-241.1	32775.90
319	-364.7	32779.95	-242.6	32775.95
320	-366.2	32780.00	-244.1	32776.00

表 3-2 WTCALPRD=59 時の周波数補正範囲の例 (理想値)

WTCAL	WTBR=8190		WTBR=8189	
	補正率 [ppm]	サブクロック 周波数[Hz]	補正率 [ppm]	サブクロック 周波数[Hz]
0	122.1	32764.00	244.1	32760.00
1	121.6	32764.02	243.6	32760.02
2	121.1	32764.03	243.1	32760.03
:	:	:	:	:
239	0.5	32767.98	122.6	32763.98
240	0.0	32768.00	122.1	32764.00
241	-0.5	32768.02	121.6	32764.02
:	:	:	:	:
479	-121.6	32771.98	0.5	32767.98
480	-122.1	32772.00	0.0	32768.00
481	-122.6	32772.02	-0.5	32768.02
:	:	:	:	:
958	-365.2	32779.97	-243.1	32775.97
959	-365.7	32779.98	-243.6	32775.98
960	-366.2	32780.00	-244.1	32776.00

4. RTC クロック制御部の設定手順

RTC クロック制御部の設定手順について説明します。

■ 周波数補正設定手順(サブクロックを選択する場合)

(1) 入力クロック選択ビット(WTCLKS)に"0"を書き込んでください。
(2) クロック選択状態ビット(WTCLKM)を読み出して、"10"になるまで待ってください。
(3) 周波数補正周期設定レジスタ(WTCALPRD)に補正周期、周波数補正値設定レジスタ(WTCAL)に補正値を書き込んでください。
WTCAL の設定値は以下の式で算出してください。

$$WTCAL = \{(補正前の周波数 - (WTBR+1)\times 4) / (WTCALPRD+1)\} \times 2^{20}$$

(4) 周波数補正許可ビット(WTCALEN)に"1 "を書き込んでください。周波数補正が許可されます。

■ SUBOUT 出力部の設定手順

(1) 分周器出力許可ビット(WTDIVEN)に"0"を書き込んでください。
分周器が停止し、SUBOUT 外部出力が"L"レベルが出力されます。
(2) 分周器状態ビット(WTDIVRDY)を読み出し、"0" (停止中)になるまで待ってください。
(3) 分周比設定ビット(WTDIV)に分周比を書き込んでください。
分周比の設定値は「5.5.分周比設定レジスタ(WTDIV)」を参照してください。
(4) 分周器出力許可ビット(WTDIVEN)に"1"を書き込んでください。分周器が動作許可に設定されます。

5. RTC クロック制御部のレジスタ

レジスター一覧を示します。

■ RTC クロック制御部のレジスタ

表 5-1 RTC クロック制御部のレジスター一覧

レジスタ略称	レジスタ名	参照先
WTCLKS	クロック選択レジスタ	5.1
WTCLKM	選択クロック状態レジスタ	5.2
WTCAL	周波数補正値設定レジスタ	5.3
WTCALEN	周波数補正許可レジスタ	5.4
WTDIV	分周比設定レジスタ	5.5
WTDIVEN	分周器出力許可レジスタ	5.6
WTCALPRD	周波数補正周期設定レジスタ	5.7
WTCOSEL	RTCCO 出力選択レジスタ	5.8

5.1. クロック選択レジスタ(WTCLKS)

入力クロック(RIN_CLK)の選択を行います。

bit	7		1	0
Field	予約			WTCLKS
属性	R			R/W
初期値	0000000			0

[bit7:1] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit0] WTCLKS : 入力クロック選択ビット
使用する入力クロック(RIN_CLK)を選択します。

値	説明
0	サブクロックを選択します。
1	メインクロックを選択します。

5.2. 選択クロック状態レジスタ(WTCLKM)

入力クロック(RIN_CLK)の選択状態を示します。

bit	7	2	1	0
Field	予約		WTCLKM	
属性	R		R	
初期値	000000		00	

[bit7:2] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit1:0] WTCLKM : クロック選択状態ビット
入力クロック(RIN_CLK)の選択状態を示します。

値	説明
0x	RIN_CLK は停止しています。
10	サブクロックが選択されています。
11	メインクロックが選択されています。

＜注意事項＞
本レジスタは、ソフトウェアリセットと RTC リセットと APB2 バスリセットでは初期化されません。

5.3. 周波数補正値設定レジスタ(WTCAL)

RTC カウント部へ出力する RTC クロック(RTCCLK)の周波数補正値を設定します。

bit	15						10	9	8
Field	予約							WTCAL	
属性	R							R/W	
初期値	000000							00	

bit	7							0
Field	WTCAL							
属性	R/W							
初期値	00000000							

[bit15:10] 予約 : 予約ビット

読出しは常に"0"です。

書込み時は、"0"を設定してください。

[bit9:0] WTCAL: 周波数補正値設定ビット

WTCALPRD レジスタに設定した周期ごとに、マスクするクロック数を設定します。

WTCALPRD を 19、WTCAL を 8 に設定した場合、20 秒ごとに入力クロック(RIN_CLK)から 8 クロックをマスクし、RTC カウント部へ RTCCLK を出力します。

WTCAL に設定する値は、「4. RTC クロック制御部の設定手順」の「■ 周波数補正設定手順(サブクロックを選択する場合)」を参照してください。

＜注意事項＞

本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

5.4. 周波数補正許可レジスタ(WTCALEN)

RTC カウント部へ入力する RTC クロック(RTCCLK)の周波数補正を許可するレジスタです。

bit	7	1	0
Field	予約		WTCALEN
属性	R		R/W
初期値	0000000		0

[bit7:1] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit0] WTCALEN: 周波数補正許可ビット
周波数補正を許可します。

値	説明
0	周波数補正を禁止します。
1	周波数補正を許可します。

＜注意事項＞
本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

5.5. 分周比設定レジスタ(WTDIV)

分周器の分周比を設定します。

bit	7	6	5	4	3	2	1	0
Field	予約				WTDIV			
属性	R				R/W			
初期値	0000				0000			

[bit7:4] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit3:0] WTDIV: 分周比設定ビット
入力クロック(RIN_CLK)と分周器が出力する分周クロック(SUBOUT)の分周比を設定します。

値	説明
0000	分周なし
0001	2 分周
0010	4 分周
0011	8 分周
0100	16 分周
0101	32 分周
0110	64 分周
0111	128 分周
1000	256 分周
1001	512 分周
1010	1024 分周
1011	2048 分周
1100	4096 分周
1101	8192 分周
1110	16384 分周
1111	32768 分周

＜注意事項＞
WTDIV ビットへの書込みは、分周器出力許可レジスタ(WTDIVEN)の分周器許可ビット(WTDIVEN)と分周器状態ビット(WTDIVRDY)が"0"のときに行ってください。
本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

5.6. 分周器出力許可レジスタ(WTDIVEN)

分周器の出力を許可するレジスタです。

bit	7	2	1	0
Field	予約		WTDIVRDY	WTDIVEN
属性	R		R	R/W
初期値	000000		0	0

[bit7:2] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit1] WTDIVRDY : 分周器状態ビット
分周器の動作状態を示します。

値	説明
0	分周器は停止中です。SUBOUT 外部端子出力は Low 固定です。
1	分周器は動作中です。

[bit0] WTDIVEN: 分周器許可ビット
分周器の動作を許可します。

値	説明
0	分周器の動作を停止します。
1	分周器の動作を許可します。

＜注意事項＞
本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

5.7. 周波数補正周期設定レジスタ(WTCALPRD)

周波数補正の周期を設定するレジスタです。

bit	7	6	5	0
Field	予約		WTCALPRD	
属性	R		R/W	
初期値	00		010011	

[bit7:6] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit5:0] WTCALPRD: 周波数補正値設定ビット
周波数補正のためのクロックをマスクする周期(秒)から 1 引いた値を設定します。
例えば、0 を設定すると 1 秒周期、19 を設定すると 20 秒周期となります。

＜注意事項＞
本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

5.8. RTCCO 出力選択レジスタ(WTCOSEL)

RTCCO 出力を選択するレジスタです。

bit	7	1	0
Field	予約		WTCOSEL
属性	R		R/W
初期値	0000000		0

[bit7:1] 予約 : 予約ビット
読出しは常に"0"です。
書込み時は、"0"を設定してください。

[bit0] WTCOSEL: RTCCO 出力選択ビット
RTCCO 出力を選択します。

値	説明
0	RTC カウント部の CO 信号を出力します。
1	CO 信号の 2 分周を出力します。

＜注意事項＞
本レジスタは、ソフトウェアリセットと APB2 バスリセットでは初期化されません。

CHAPTER 5-1: ベースタイマ構成

ベースタイマの構成について説明します。

1. 構成

1. 構成

ベースタイマの構成については下記の関連する章の説明を参照してください。

■ ベースタイマ参照章

表 1-1 ベースタイマ入出力選択機能対応表

製品 TYPE	参照先
TYPE0～TYPE1, TYPE3～TYPE12	『ベースタイマ入出力選択機能(A)』の章
TYPE2	『ベースタイマ入出力選択機能(B)』の章

表 1-2 ベースタイマ対応表

製品 TYPE	参照先
TYPE0～TYPE12	『ベースタイマ』の章

CHAPTER 5-2: ベースタイマ入出力選択機能(A)

ベースタイマの入出力選択機能(A)について説明します。

1. 概要
2. 構成
3. 入出力モード
4. レジスタ

1. 概要

ベースタイマ入出力選択機能は、入出力モードを設定することにより、ベースタイマへの信号(外部クロック/外部起動トリガ/波形)の入出力方法を選択する機能です。
また、ベースタイマはタイマ機能を切り換えることで、チャネルごとに次のいずれかのタイマとして使用します。
・16 ビット PWM タイマ
・16 ビット PPG タイマ
・16/32 ビットリロードタイマ
・16/32 ビット PWC タイマ

■ 概要

2 チャネルごとに入出力モードを次の 9 種類の中から選択できます。

複数チャネル同時ソフト起動機能があり、最大 16 チャネルまで同時にソフト起動を行えます。

・入出力モード 0 : 16 ビットタイマ標準モード
ベースタイマを 1 チャネルごとに個別に動作させるモードです。

・入出力モード 1 : タイマフルモード
ベースタイマの偶数チャネルの信号を個別に外部端子に割り当てて動作させるモードです。

・入出力モード 2 : 外部トリガ共有モード
2 チャネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。このモードを利用すると、2 チャネルのベースタイマを同時に起動できます。

・入出力モード 3 : 他チャネルトリガ共有モード
ほかのチャネルからの外部信号を外部起動トリガにして起動するモードです。このモードは ch.0 および ch.1 には設定できません。

・入出力モード 4 : タイマ起動/停止モード
偶数チャネルで、奇数チャネルの起動/停止を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。

・入出力モード 5 : 同時ソフト起動モード
ソフトウェアで複数のチャネルを同時に起動するモードです。

・入出力モード 6 : ソフト起動タイマ起動/停止モード
偶数チャネルで、奇数チャネルの起動/停止を制御するモードです。偶数チャネルはソフトウェアで起動します。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。

・入出力モード 7 : タイマ起動モード
偶数チャネルで、奇数チャネルの起動を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジで起動します。

・入出力モード 8 : 他チャネルトリガ共有タイマ起動/停止モード
ほかのチャネルからの外部信号を外部起動トリガにして、起動するモードです。このモードは ch.0 および ch.1 には設定できません。

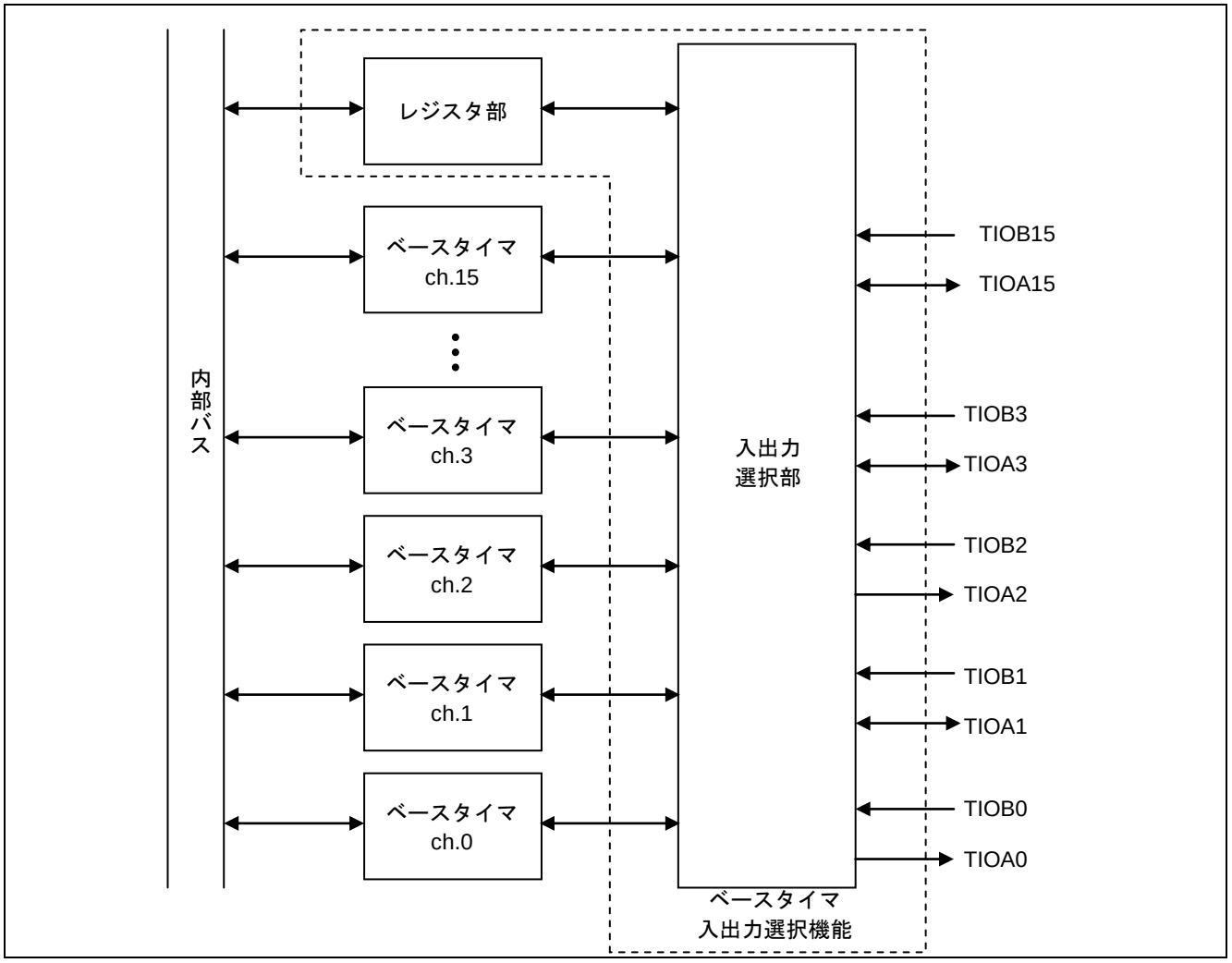
2. 構成

ベースタイマ入出力選択機能は図 2-1 に示すブロックで構成されています。

■ ブロックダイヤグラム

ベースタイマ入出力選択機能のブロックダイヤグラムを図 2-1 に示します。

図 2-1 ベースタイマ入出力選択機能のブロックダイヤグラム



・入出力選択部
ベースタイマの入出力モードをチャネルごとに選択する回路です。

・ベースタイマ(ch.0～ch.15)
ベースタイマの ch.0～ch.15 (最大 16 チャネル搭載)です。

・レジスタ部
ベースタイマ入出力選択機能のレジスタ部です。

3. 入出力モード

ベースタイマ入出力選択機能で入出力モードを設定する端子および各入出力モードについて説明します。

3.1 端子

3.2 入出力モード

3.1. 端子

ベースタイマ入出力選択機能で、入出力モードを設定する端子について説明します。

ベースタイマには、チャネルごとに 2 種類の外部端子と 5 種類の内部信号があります。また、ベースタイマ入出力選択機能には、2 種類の内部信号があります。外部端子と内部信号を接続することでベースタイマへ、接続先に対応した信号(外部クロック(ECK 信号)/外部起動トリガ(TGIN 信号)/波形(TIN 信号))を入出力します。外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。使用する端子と入出力する信号は入出力モードによって異なります。

■ 外部端子

・TIOA 端子
ベースタイマの波形(TOUT 信号)を出力する、あるいは、外部起動トリガ(TGIN 信号)を入力する端子です。

・TIOB 端子
外部起動トリガ(TGIN 信号)/外部クロック(ECK 信号)/他チャネルの波形(TIN 信号)を入力する端子です。

■ 内部信号

上記の外部端子と接続する、あるいは、ほかのチャネルからの出力信号を入力することでベースタイマへ信号を入出力します。

・TOUT 信号
ベースタイマの出力波形です(16/32 ビット PWC タイマでは使用しません)。

・ECK 信号
ベースタイマの外部クロックです(16/32 ビット PWC タイマでは使用しません)。
カウント用クロックに外部クロックを選択した場合に入力します。

・TGIN 信号
ベースタイマの外部起動トリガです(16/32 ビット PWC タイマでは使用しません)。
外部起動トリガの有効エッジを選択すると、この信号のエッジを検出してベースタイマが起動します。

・TIN 信号
ベースタイマへの入力波形です。測定する波形です(16/32 ビット PWC タイマでのみ使用します)。

・DTRG 信号
ベースタイマへのトリガ入力です。ベースタイマは、この信号の立下りエッジで動作を停止します。

・COUT 信号
ベースタイマ入出力選択機能のトリガ出力です。ベースタイマのほかのチャネルへの出力信号です。

・CIN 信号
ベースタイマ入出力選択機能へのトリガ入力です。ベースタイマのほかのチャネルから入力される信号です。

■ 外部端子と内部信号の接続

外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。

入出力モードと端子接続の対応を表 3-1 に示します。

表 3-1 入出力モードと端子接続の対応

<table>
<tr><th rowspan="2">入出力モード</th><th colspan="2">TIOAn
(偶数チャネル)</th><th colspan="2">TIOBn
(偶数チャネル)</th><th colspan="2">TIOAn+1
(奇数チャネル)</th><th colspan="2">TIOBn+1
(奇数チャネル)</th></tr>
<tr><th>接続先</th><th>入出力</th><th>接続先</th><th>入出力</th><th>接続先</th><th>入出力</th><th>接続先</th><th>入出力</th></tr>
<tr><td>0</td><td rowspan="9">ch.n の TOUT</td><td rowspan="9">出力</td><td>ch.n の ECK/TGIN/ TIN</td><td>入力</td><td>ch.n+1 の TOUT</td><td>出力</td><td>ch.n+1 の ECK/TGIN/ TIN</td><td>入力</td></tr>
<tr><td>1</td><td>ch.n の ECK</td><td>入力</td><td>ch.n の TGIN</td><td>入力</td><td>ch.n の TIN</td><td>入力</td></tr>
<tr><td>2</td><td>ch.n/ch.n+1 の ECK/TGIN/ TIN *1</td><td>入力</td><td rowspan="7">ch.n+1 の TOUT</td><td rowspan="7">出力</td><td colspan="2" rowspan="7">使用しない</td></tr>
<tr><td>3</td><td colspan="2">使用しない</td></tr>
<tr><td>4</td><td>ch.n の ECK/TGIN/ TIN</td><td>入力</td></tr>
<tr><td>5</td><td colspan="2" rowspan="2">使用しない</td></tr>
<tr><td>6</td></tr>
<tr><td>7</td><td>ch.n の ECK/TGIN/ TIN</td><td>入力</td></tr>
<tr><td>8</td><td colspan="2">使用しない</td></tr>
</table>

n: 偶数(n=0,2,4,6,8,10,12,14)
ただし、n は、製品に搭載される搭載チャネルにより異なります。
ch.n: 偶数チャネル
ch.n+1: 奇数チャネル
*1: 周辺クロック(PCLK)で同期化

3.2. 入出力モード

入出力選択レジスタ(BTSEL)で設定した入出力モードによって、外部端子の働きやベースタイマの起動/停止のタイミングなどが異なります。

■ 入出力モード 0(16 ビットタイマ標準モード)

ベースタイマの各チャネルを個別に利用するモードです。
このモードに設定した場合に使用する外部端子を表 3-2 に示します。

表 3-2 入出力モード 0 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	1 本
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-3 に示します。

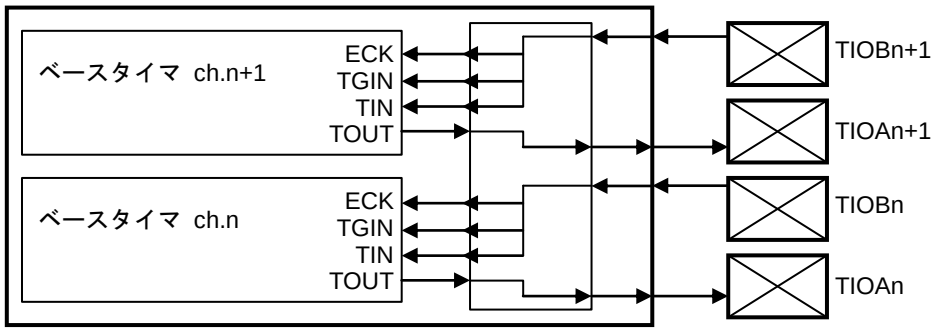
表 3-3 入出力モード 0 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOA	出力	TOUT	ベースタイマの波形を出力
TIOB	入力	ECK/TGIN/TIN*	入力した信号を次のいずれかとして使用 ・外部クロック(ECK 信号) ・外部起動トリガ(TGIN 信号) ・測定する波形(TIN 信号)

*: 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 0(16 ビットタイマ標準モード)のブロックダイヤグラムを図 3-1 に示します。

図 3-1 入出力モード 0(16 ビットタイマ標準モード)のブロックダイヤグラム



n : 偶数

入出力モード 0 の接続を表 3-4 に示します。

表 3-4 入出力モード 0 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	ECK/TGIN/TIN として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
TIOBn+1 端子からの入力信号	ECK/TGIN/TIN として ch.n+1 に入力

n : 偶数

■ 入出力モード 1(タイマフルモード)

偶数チャネルの信号をすべて外部端子に個別に割り当てて使用するモードです。
このモードに設定した場合に使用する外部端子を表 3-5 に示します。

表 3-5 入出力モード 1 に設定した場合に使用する外部端子

	偶数チャネル
入力端子	3 本
出力端子	1 本

使用する外部端子の接続先と入出力信号について表 3-6 に示します。

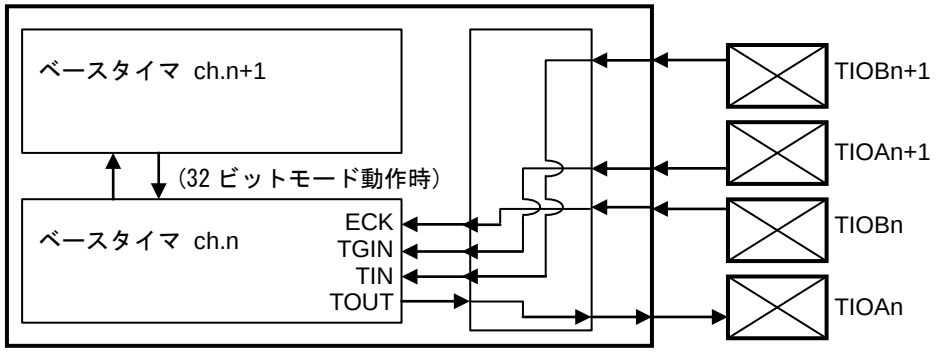
表 3-6 入出力モード 1 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK	偶数チャネルに外部クロック(ECK 信号)を入力
TIOAn+1	入力	偶数チャネルの TGIN	偶数チャネルに外部起動トリガ(TGIN 信号)を入力
TIOBn+1	入力	偶数チャネルの TIN	偶数チャネルに測定する波形(TIN 信号)を入力

n : 偶数

入出力モード 1(タイマフルモード)のブロックダイヤグラムを図 3-2 に示します。

図 3-2 入出力モード 1(タイマフルモード)のブロックダイヤグラム



n : 偶数

入出力モード 1 の接続を表 3-7 に示します。

表 3-7 入出力モード 1 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	ECK 信号として ch.n に入力
TIOAn+1 端子	TGIN 信号として ch.n に入力
TIOBn+1 端子	TIN 信号として ch.n に入力

n : 偶数

＜注意事項＞

このモードに設定した場合は、GPIO のポート機能レジスタ(PFR)で奇数チャネルに対応する TIOA 端子(TIOA1, TIOA3, ･･･)をポート入力モードに設定してください。

■ 入出力モード 2(外部トリガ共有モード)

ベースタイマの入力信号(ECK/TGIN/TIN)を 2 チャネルで共有するモードです。
このモードに設定した場合に使用する外部端子を表 3-8 に示します。

表 3-8 入出力モード 2 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本(2 チャネルで共有)	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-9 に示します。

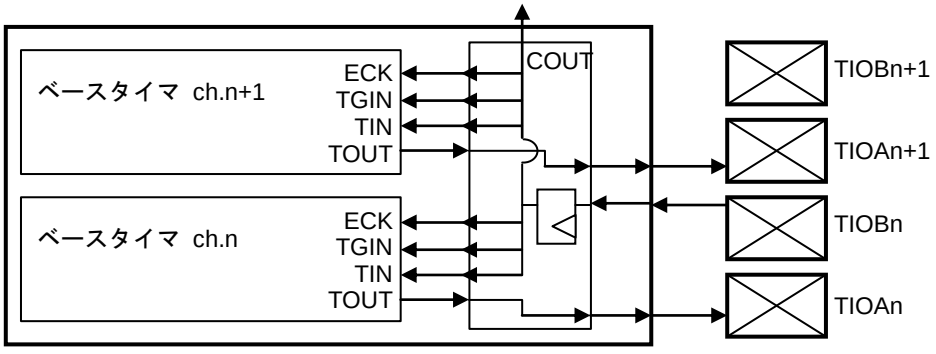
表 3-9 入出力モード 2 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数/奇数チャネルの ECK/TGIN/TIN*	偶数/奇数両方のチャネルに入力(周辺クロック(PCLK)で同期化)して、次のいずれかとして使用 ・外部クロック(ECK 信号) ・外部起動トリガ(TGIN 信号) ・測定する波形(TIN 信号)
TIOBn+1	-	-	使用しない

n : 偶数
* : 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 2(外部トリガ共有モード)のブロックダイヤグラムを図 3-3 に示します。

図 3-3 入出力モード 2(外部トリガ共有モード)のブロックダイヤグラム



n : 偶数

入出力モード 2 の接続を表 3-10 に示します。

表 3-10 入出力モード 2 の接続

接続元	接続先	備考
ch.n の TOUT 信号	TIOAn 端子から出力	
TIOBn 端子からの入力信号	・ECK/TGIN/TIN 信号として ch.n と ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力	周辺クロック(PCLK)で同期化
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力	

n : 偶数

＜注意事項＞

このモードに設定したチャネルの上位 2 チャネル(n+2, n+3)を入出力モード 3(他チャネルトリガ共有モード)に設定すると、4 チャネル同時に入力信号(ECK/TGIN/TIN)を入力できます。

(例 : ch.0 と ch.1 をこのモードに設定し、ch.2 と ch.3 を入出力モード 3 に設定すると ch.0～ch.3 の 4 チャネル同時に入力信号(ECK/TGIN/TIN)を入力できます。)

■ 入力モード 3(他チャネルトリガ共有モード)

2 チャネル下位側のチャネルの COUT 信号を CIN 信号として入力し、ECK/TGIN/TIN 信号として使用するモードです。

このモードに設定した場合に使用する外部端子を表 3-11 に示します。

表 3-11 入出力モード 3 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-12 に示します。

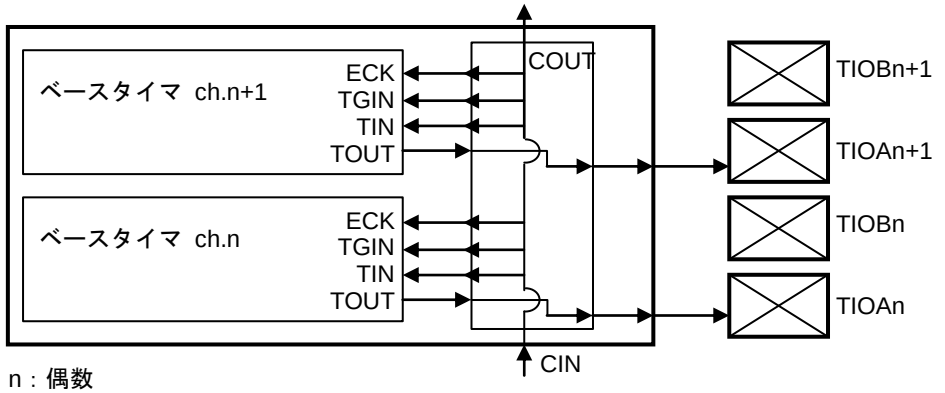
表 3-12 入出力モード 3 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n : 偶数

入出力モード 3(他チャネルトリガ共通モード)のブロックダイヤグラムを図 3-4 に示します。

図 3-4 入出力モード 3(他チャネルトリガ共有モード)のブロックダイヤグラム



入出力モード 3 の接続を表 3-13 に示します。

表 3-13 入出力モード 3 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
CIN 信号*	・ECK/TGIN/TIN 信号として ch.n と ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n : 偶数

* : ほかのチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK/TGIN/TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- 入出力モード 4 時の TIOAn-2 出力
- 入出力モード 6 時の TIOAn-2 出力
- 入出力モード 7 時の TIOAn-2 出力
- 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

＜注意事項＞

- ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。
- このモードに設定したチャネルは、2 チャネル下位側(n-2, n-1)の COUT 信号を CIN 信号として入力して使用します(例 ：ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)。そのため、ch.0 および ch.1 はこのモードに設定できません。

■ 入出力モード 4(タイマ起動/停止モード)

偶数チャネルで奇数チャネルの起動/停止を制御できるモードです。
奇数チャネルは、偶数チャネルの出力波形(TOUT 信号)の立上りエッジで起動し、立下りエッジで停止します。

このモードに設定した場合に使用する外部端子を表 3-14 に示します。

表 3-14 入出力モード 4 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-15 に示します。

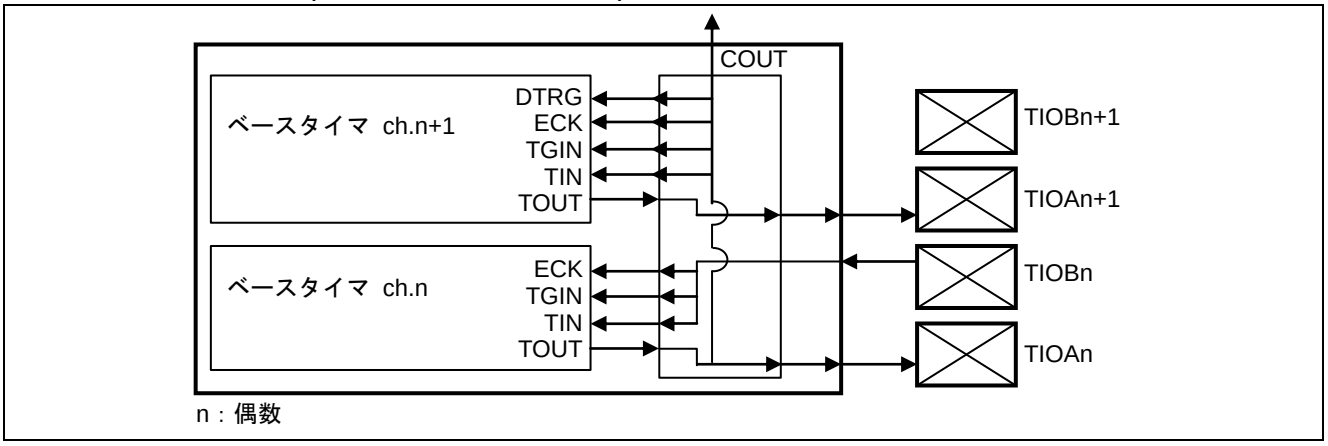
表 3-15 入出力モード 4 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK/ TGIN/TIN*	偶数チャネルに入力して、次のいずれかとして使用 ・外部クロック(ECK 信号) ・外部起動トリガ(TGIN 信号) ・測定する波形(TIN 信号)
TIOBn+1	-	-	使用しない

n : 偶数
* : 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 4(タイマ起動/停止モード)のブロックダイヤグラムを図 3-5 に示します。

図 3-5 入出力モード 4(タイマ起動/停止モード)のブロックダイヤグラム



入出力モード 4 の接続を表 3-16 に示します。

表 3-16 入出力モード 4 の接続

接続元	接続先
ch.n の TOUT 信号	・TIOAn 端子から出力 ・ECK/TGIN/TIN および DTRG 信号として ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力
TIOBn 端子からの入力信号	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n : 偶数

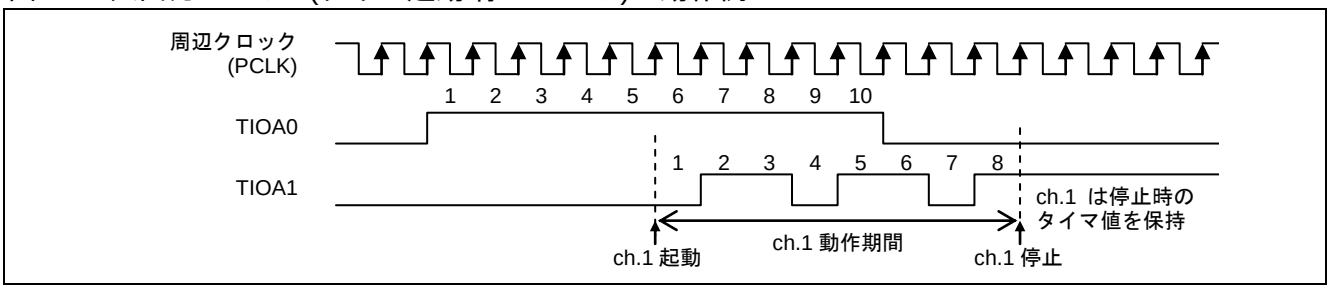
＜注意事項＞

- ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットで奇数チャネルのトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。
- 奇数チャネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。

入出力モード 4(タイマ起動/停止モード)設定時の動作を ch.0 と ch.1 を PWM タイマとして使用する場合の設定例を図 3-6 に示します。

ベースタイマ ch.0	設定値	ベースタイマ ch.1	設定値
周期設定レジスタ(PCSR)	0x0010	周期設定レジスタ(PCSR)	0x0002
デューティ設定レジスタ(PDUT)	0x0009	デューティ設定レジスタ(PDUT)	0x0001
タイマ制御レジスタ(TMCR)	0x0013	タイマ制御レジスタ(TMCR)	0x0112

図 3-6 入出力モード 4(タイマ起動/停止モード)の動作例



■ 入出力モード 5(同時ソフト起動モード)

同時ソフト起動レジスタ(BTSSSR)で複数のチャネルを同時に起動できるモードです。
同時ソフト起動レジスタ(BTSSSR)で"1"を書き込んだビットに対応するチャネルがすべて同時に起動します。

このモードに設定した場合に使用する外部端子を表 3-17 に示します。

表 3-17 入出力モード 5 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-18 に示します。

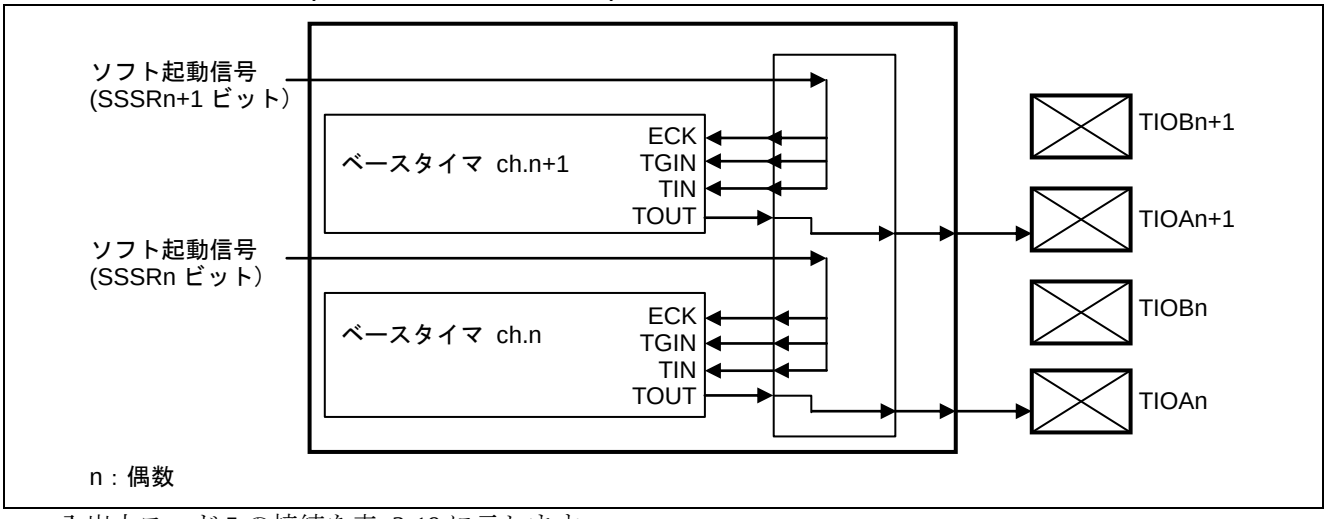
表 3-18 入出力モード 5 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n : 偶数

入出力モード 5(同時ソフト起動モード)のブロックダイヤグラムを図 3-7 に示します。

図 3-7 入出力モード 5(同時ソフト起動モード)のブロックダイヤグラム



入出力モード 5 の接続を表 3-19 に示します。

表 3-19 入出力モード 5 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの"1"書込み)	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
ソフト起動信号 (BTSSSR の SSSRn+1 ビットへの"1"書込み)	ECK/TGIN/TIN 信号として ch.n+1 に入力

n : 偶数
BTSSSR : 同時ソフト起動レジスタ

同時ソフト起動レジスタ(BTSSSR)で"1"を書き込むと、書き込んだビットに対応するチャネルに立上りエッジが入力(ECK/TGIN/TIN 信号)されます。

＜注意事項＞

ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。

■ 入出力モード 6(ソフト起動タイマ起動/停止モード)

偶数チャネルで奇数チャネルの起動/停止を制御できるモードです。

偶数チャネルは、同時ソフト起動レジスタ(BTSSSR)に"1"を書き込んで起動します。

奇数チャネルは、偶数チャネルの出力波形(TOUT 信号)で立上りエッジを検出すると起動し、立下りエッジを検出すると停止します。

このモードに設定した場合に使用する外部端子を表 3-20 に示します。

表 3-20 入出力モード 6 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-21 に示します。

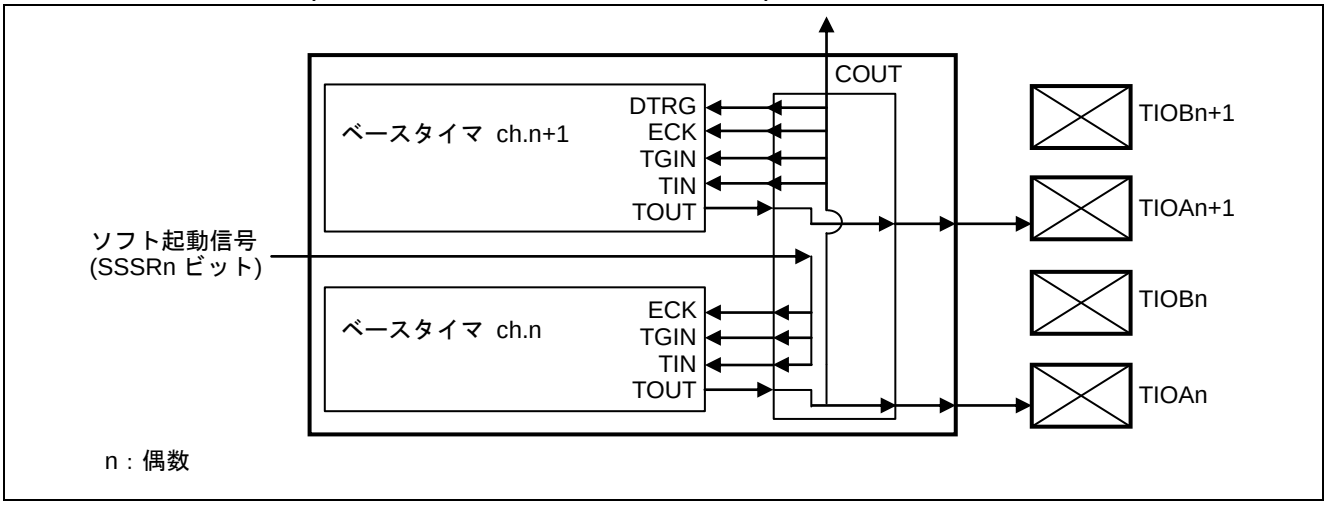
表 3-21 入出力モード 6 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n : 偶数

入出力モード 6(ソフト起動タイマ起動/停止モード)のブロックダイヤグラムを図 3-8 に示します。

図 3-8 入出力モード 6(ソフト起動タイマ起動/停止モード)のブロックダイヤグラム



入出力モード 6 の接続を表 3-22 に示します。

表 3-22 入出力モード 6 の接続

接続元	接続先
ch.n の TOUT 信号	・TIOAn 端子から出力 ・ECK/TGIN/TIN/DTRG 信号として ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの"1"書込み)	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n : 偶数
BTSSSR : 同時ソフト起動レジスタ

同時ソフト起動レジスタ(BTSSSR)で起動したい偶数チャネルに対応するビットに"1"を書き込むと、対応するチャネルに立上りエッジが入力(ECK/TGIN/TIN 信号)されます。

ch.n の起動/停止タイミングは入出力モード 4 と同じです。

＜注意事項＞

- ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。
- 奇数チャネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。

■ 入出力モード 7(タイマ起動モード)

偶数チャネルの出力波形(TOUT 信号)を奇数チャネルの入力信号(ECK/TGIN/TIN 信号)として使用するモードです。

このモードに設定した場合に使用する外部端子を表 3-23 に示します。

表 3-23 入出力モード 7 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-24 に示します。

表 3-24 入出力モード 7 に設定した場合の外部端子の接続先と入出力信号

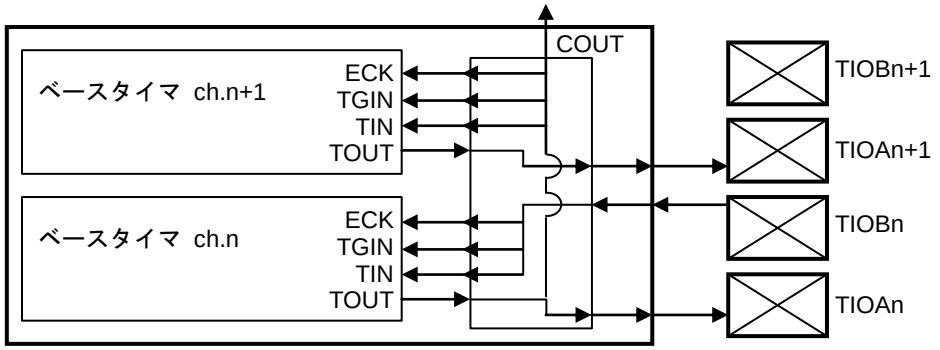
外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK/ TGIN/TIN*	偶数チャネルに入力し、次のいずれかとして使用 ・外部クロック(ECK 信号) ・外部起動トリガ(TGIN 信号) ・測定する波形(TIN 信号)
TIOBn+1	-	-	使用しない

n : 偶数

* : 入力波形の使用方法(ECK/TGIN/TIN 信号)は、タイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 7(タイマ起動モード)時のブロックダイヤグラムを図 3-9 に示します。

図 3-9 入出力モード 7(タイマ起動モード)のブロックダイヤグラム



n : 偶数

入出力モード 7 の接続を表 3-25 に示します。

表 3-25 入出力モード 7 の接続

接続元	接続先
ch.n の TOUT 信号	・TIOAn 端子から出力 ・ECK/TGIN/TIN 信号として ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力
TIOBn 端子からの入力信号	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n : 偶数

ch.n の起動タイミングは入出力モード 4 と同じです。

■ 入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)

2 チャネル下位側のチャネルの COUT 信号を CIN 信号として入力し、外部起動トリガ(TGIN 信号)として使用するモードです。

このモードに設定した場合に使用する外部端子を表 3-26 に示します。

表 3-26 入出力モード 8 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-27 に示します。

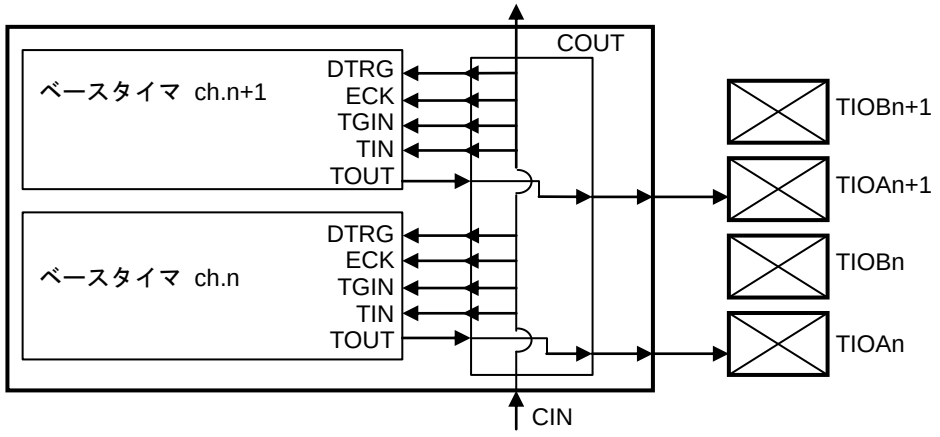
表 3-27 入出力モード 8 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n : 偶数

入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)時のブロックダイヤグラムを図 3-10 に示します。

図 3-10 入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)のブロックダイヤグラム



入出力モード 8 の接続を表 3-28 に示します。

表 3-28 入出力モード 8 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
CIN 信号*	・ECK/TGIN/TIN 信号および DTRG 信号として ch.n と ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力

n : 偶数

* : ほかのチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK, TGIN, TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- 入出力モード 4 時の TIOAn-2 出力
- 入出力モード 6 時の TIOAn-2 出力
- 入出力モード 7 時の TIOAn-2 出力
- 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

＜注意事項＞

- このモードに設定したチャネルは、2 チャネル下位側(n-2, n-1)の COUT 信号を CIN 信号として入力して使用します(例 : ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)。そのため、ch.0 および ch.1 はこのモードに設定できません。
- このモードに設定したチャネルは、ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。
  ただし、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットでタイマ機能を 16/32 ビット PWC タイマ機能(FMD[2:0]="100")に設定した場合を除きます。
- ベースタイマは DTRG 信号で立下りエッジが検出されると動作を停止します。

---

4. レジスタ

ベースタイマ入出力選択機能のレジスター覧を示します。

■ ベースタイマ入出力選択機能のレジスタ

表 4-1 ベースタイマ入出力選択機能のレジスター覧

レジスタ略称	レジスタ名	参照先
BTSEL0123	入出力選択レジスタ	4.1
BTSEL4567	入出力選択レジスタ	4.2
BTSEL89AB	入出力選択レジスタ	4.3
BTSELCDEF	入出力選択レジスタ	4.4
BTSSSR	同時ソフト起動レジスタ	4.5

4.1. 入出力選択レジスタ(BTSEL0123)

ベースタイマの ch.0～ch.3 の入出力モードを設定するレジスタです。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SEL23_3	SEL23_2	SEL23_1	SEL23_0	SEL01_3	SEL01_2	SEL01_1	SEL01_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:12] SEL23_3～SEL23_0 : ch.2/ch.3 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

[bit11:8] SEL01_3～SEL01_0 : ch.0/ch.1 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

＜注意事項＞

- ch.0 および ch.1 は、ベースタイマの最下位のチャネルになり、下位側のチャネルの信号を利用するモードは使用できません。そのため、以下のモードは設定禁止となります。
  - 入出力モード 3(他チャネルトリガ共有モード)
  - 入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)
- 本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]="000")に設定してから書き換えてください。

4.2. 入出力選択レジスタ(BTSEL4567)

ベースタイマの ch.4～ch.7 の入出力モードを設定するレジスタです。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SEL67_3	SEL67_2	SEL67_1	SEL67_0	SEL45_3	SEL45_2	SEL45_1	SEL45_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:12] SEL67_3～SEL67_0 : ch.6/ch.7 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

[bit11:8] SEL45_3～SEL45_0 : ch.4/ch.5 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

＜注意事項＞

本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]="000")に設定してから書き換えてください。

4.3. 入出力選択レジスタ(BTSEL89AB)

ベースタイマの ch.8～ch.11 の入出力モードを設定するレジスタです。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SELAB_3	SELAB_2	SELAB_1	SELAB_0	SEL89_3	SEL89_2	SEL89_1	SEL89_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:12] SELAB_3～SELAB_0 : ch.10/ch.11 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

[bit11:8] SEL89_3～SEL89_0 : ch.8/ch.9 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

＜注意事項＞

本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]="000")に設定してから書き換えてください。

4.4. 入出力選択レジスタ(BTSELCDEF)

ベースタイマの ch.12～ch.15 の入出力モードを設定するレジスタです。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SELEF_3	SELEF_2	SELEF_1	SELEF_0	SELCD_3	SELCD_2	SELCD_1	SELCD_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:12] SELEF_3～SELEF_0 : ch.14/ch.15 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

[bit11:8] SELCD_3～SELCD_0 : ch.12/ch.13 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

＜注意事項＞

本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]="000")に設定してから書き換えてください。

4.5. 同時ソフト起動レジスタ(BTSSSR)

ベースタイマをソフトウェアで同時に起動するレジスタです。

"1"を書き込んだビットに対応する複数のチャネルを最大 16 チャネルまで同時に起動できます。

■ レジスタ構成

bit	15	0
Field	SSSR15～SSSR0	
属性	W	
初期値	0xXXXX	

■ レジスタ機能

[bit15:0] SSSR15～SSSR0 : 同時ソフト起動ビット

値	同時ソフト起動ビット
0	"0"書込みは無効です。
1	ビットに対応するチャネルのベースタイマを起動します。

＜注意事項＞

- 以下のモード以外に設定しているときは、本レジスタへの書込みは禁止です。
  - 入出力モード 5(同時ソフト起動モード)
  - 入出力モード 6(ソフト起動タイマ起動/停止モード)(偶数チャネルのみ)
- このレジスタを利用して起動するチャネルは、ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットで、トリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。

CHAPTER 5-3: ベースタイマ入出力選択機能(B)

ベースタイマの入出力選択機能(B)について説明します。

1. 概要
2. 構成
3. 入出力モード
4. レジスタ

1. 概要

ベースタイマ入出力選択機能は、入出力モードを設定することにより、ベースタイマへの信号(外部クロック/外部起動トリガ/波形)の入出力方法を選択する機能です。
また、ベースタイマはタイマ機能を切り換えることで、チャネルごとに次のいずれかのタイマとして使用します。
・16 ビット PWM タイマ
・16 ビット PPG タイマ
・16/32 ビットリロードタイマ
・16/32 ビット PWC タイマ

■ 概要

2 チャネルごとに入出力モードを次の 9 種類の中から選択できます。
複数チャネル同時ソフト起動機能があり、最大 16 チャネルまで同時にソフト起動を行えます。

- 入出力モード 0 : 16 ビットタイマ標準モード
  ベースタイマを 1 チャネルごとに個別に動作させるモードです。
- 入出力モード 1 : タイマフルモード
  ベースタイマの偶数チャネルの信号を個別に外部端子に割り当てて動作させるモードです。TYPE2 製品は、本モードにおいて TIOA9 入力を ch.8 の TGIN 入力として使用することはできません。詳細は、「3.2 入出力モード」の「入出力モード 1(タイマフルモード)」を参照してください。
- 入出力モード 2 : 外部トリガ共有モード
  2 チャネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。このモードを利用すると、2 チャネルのベースタイマを同時に起動できます。
- 入出力モード 3 : 他チャネルトリガ共有モード
  ほかのチャネルからの外部信号を外部起動トリガにして起動するモードです。このモードは ch.0 および ch.1 には設定できません。
- 入出力モード 4 : タイマ起動/停止モード
  偶数チャネルで、奇数チャネルの起動/停止を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。
- 入出力モード 5 : 同時ソフト起動モード
  ソフトウェアで複数のチャネルを同時に起動するモードです。
- 入出力モード 6 : ソフト起動タイマ起動/停止モード
  偶数チャネルで、奇数チャネルの起動/停止を制御するモードです。偶数チャネルはソフトウェアで起動します。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。
- 入出力モード 7 : タイマ起動モード
  偶数チャネルで、奇数チャネルの起動を制御するモードです。奇数チャネルは、偶数チャネルからの出力信号の立上りエッジで起動します。
- 入出力モード 8 : 他チャネルトリガ共有タイマ起動/停止モード
  ほかのチャネルからの外部信号を外部起動トリガにして、起動するモードです。このモードは ch.0 および ch.1 には設定できません。

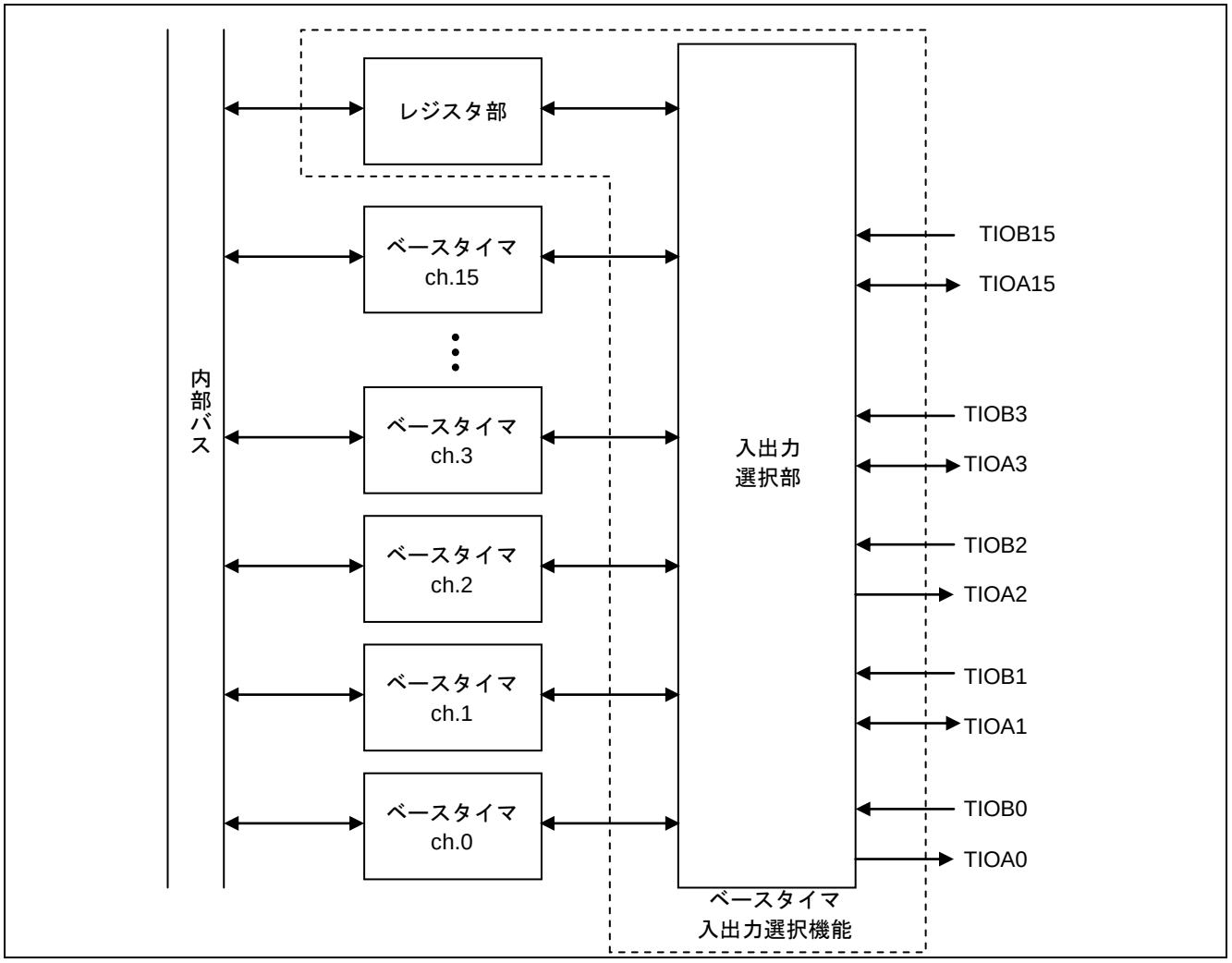
2. 構成

ベースタイマ入出力選択機能は以下のブロックで構成されています。

■ ブロックダイヤグラム

ベースタイマ入出力選択機能のブロックダイヤグラムを図 2-1 に示します。

図 2-1 ベースタイマ入出力選択機能のブロックダイヤグラム



・入出力選択部
ベースタイマの入出力モードをチャネルごとに選択する回路です。

・ベースタイマ(ch.0～ch.15)
ベースタイマの ch.0～ch.15 (最大 16 チャネル搭載)です。

・レジスタ部
ベースタイマ入出力選択機能のレジスタ部です。

3. 入出力モード

ベースタイマ入出力選択機能で入出力モードを設定する端子および各入出力モードについて説明します。

3.1 端子

3.2 入出力モード

3.1. 端子

ベースタイマ入出力選択機能で、入出力モードを設定する端子について説明します。

ベースタイマには、チャネルごとに 2 種類の外部端子と 5 種類の内部信号があります。また、ベースタイマ入出力選択機能には、2 種類の内部信号があります。外部端子と内部信号を接続することでベースタイマへ、接続先に対応した信号(外部クロック(ECK 信号)/外部起動トリガ(TGIN 信号)/波形(TIN 信号))を入出力します。外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。使用する端子と入出力する信号は入出力モードによって異なります。

■ 外部端子

・TIOA 端子
ベースタイマの波形(TOUT 信号)を出力する、あるいは、外部起動トリガ(TGIN 信号)を入力する端子です。

・TIOB 端子
外部起動トリガ(TGIN 信号)/外部クロック(ECK 信号)/他チャネルの波形(TIN 信号)を入力する端子です。

■ 内部信号

上記の外部端子と接続する、あるいは、ほかのチャネルからの出力信号を入力することでベースタイマへ信号を入出力します。

・TOUT 信号
ベースタイマの出力波形です(16/32 ビット PWC タイマでは使用しません)。

・ECK 信号
ベースタイマの外部クロックです(16/32 ビット PWC タイマでは使用しません)。
カウント用クロックに外部クロックを選択した場合に入力します。

・TGIN 信号
ベースタイマの外部起動トリガです(16/32 ビット PWC タイマでは使用しません)。
外部起動トリガの有効エッジを選択すると、この信号のエッジを検出してベースタイマが起動します。

・TIN 信号
ベースタイマへの入力波形です。測定する波形です(16/32 ビット PWC タイマでのみ使用します)。

・DTRG 信号
ベースタイマへのトリガ入力です。ベースタイマは、この信号の立下りエッジで動作を停止します。

・COUT 信号
ベースタイマ入出力選択機能のトリガ出力です。ベースタイマのほかのチャネルへの出力信号です。

・CIN 信号
ベースタイマ入出力選択機能へのトリガ入力です。ベースタイマのほかのチャネルから入力される信号です。

■ 外部端子と内部信号の接続

外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。

入出力モードと端子接続の対応を表 3-1 に示します。

表 3-1 入出力モードと端子接続の対応

<table>
<tr><th rowspan="2">入出力モード</th><th colspan="2">TIOAn
(偶数チャネル)</th><th colspan="2">TIOBn
(偶数チャネル)</th><th colspan="2">TIOAn+1
(奇数チャネル)</th><th colspan="2">TIOBn+1
(奇数チャネル)</th></tr>
<tr><th>接続先</th><th>入出力</th><th>接続先</th><th>入出力</th><th>接続先</th><th>入出力</th><th>接続先</th><th>入出力</th></tr>
<tr><td>0</td><td rowspan="9">ch.n の TOUT</td><td rowspan="9">出力</td><td>ch.n の ECK/TGIN/ TIN</td><td>入力</td><td>ch.n+1 の TOUT</td><td>出力</td><td>ch.n+1 の ECK/TGIN/ TIN</td><td>入力</td></tr>
<tr><td>1</td><td>ch.n の ECK</td><td>入力</td><td>ch.n の TGIN*2</td><td>入力</td><td>ch.n の TIN</td><td>入力</td></tr>
<tr><td>2</td><td>ch.n/ch.n+1 の ECK/TGIN/ TIN *1</td><td>入力</td><td rowspan="7">ch.n+1 の TOUT</td><td rowspan="7">出力</td><td colspan="2" rowspan="7">使用しない</td></tr>
<tr><td>3</td><td colspan="2">使用しない</td></tr>
<tr><td>4</td><td>ch.n の ECK/TGIN/ TIN</td><td>入力</td></tr>
<tr><td>5</td><td colspan="2" rowspan="2">使用しない</td></tr>
<tr><td>6</td></tr>
<tr><td>7</td><td>ch.n の ECK/TGIN/ TIN</td><td>入力</td></tr>
<tr><td>8</td><td colspan="2">使用しない</td></tr>
</table>

n: 偶数(n=0,2,4,6,8,10,12,14)
n は、製品に搭載されるチャネル数により、異なります。
ch.n: 偶数チャネル
ch.n+1: 奇数チャネル
*1: 周辺クロック(PCLK)で同期化
*2: 入出力モード 1 において、TIOA9 入力を ch.8 の TGIN 入力として使用することはできません。
詳細は、「3.2 入出力モード」の「入出力モード 1(タイマフルモード)」を参照してください。

3.2. 入出力モード

入出力選択レジスタ(BTSEL)で設定した入出力モードによって、外部端子の働きやベースタイマの起動/停止のタイミングなどが異なります。

■ 入出力モード 0(16 ビットタイマ標準モード)

ベースタイマの各チャネルを個別に利用するモードです。
このモードに設定した場合に使用する外部端子を表 3-2 に示します。

表 3-2 入出力モード 0 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	1 本
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-3 に示します。

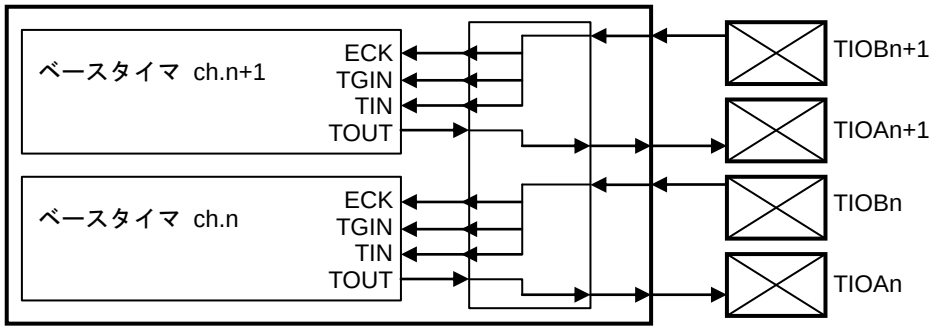
表 3-3 入出力モード 0 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOA	出力	TOUT	ベースタイマの波形を出力
TIOB	入力	ECK/TGIN/TIN*	入力した信号を次のいずれかとして使用 ・外部クロック(ECK 信号) ・外部起動トリガ(TGIN 信号) ・測定する波形(TIN 信号)

*: 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 0(16 ビットタイマ標準モード)のブロックダイヤグラムを図 3-1 に示します。

図 3-1 入出力モード 0(16 ビットタイマ標準モード)のブロックダイヤグラム



n : 偶数

入出力モード 0 の接続を表 3-4 に示します。

表 3-4 入出力モード 0 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	ECK/TGIN/TIN として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
TIOBn+1 端子からの入力信号	ECK/TGIN/TIN として ch.n+1 に入力

n : 偶数

■ 入出力モード 1(タイマフルモード)

偶数チャネルの信号をすべて外部端子に個別に割り当てて使用するモードです。

このモードに設定した場合に使用する外部端子を表 3-5 に示します。

表 3-5 入出力モード 1 に設定した場合に使用する外部端子

	偶数チャネル
入力端子	3 本
出力端子	1 本

使用する外部端子の接続先と入出力信号について表 3-6 に示します。

表 3-6 入出力モード 1 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK	偶数チャネルに外部クロック(ECK 信号)を入力
TIOAm+1	入力	偶数チャネルの TGIN	偶数チャネルに外部起動トリガ(TGIN 信号)を入力
TIOBn+1	入力	偶数チャネルの TIN	偶数チャネルに測定する波形(TIN 信号)を入力

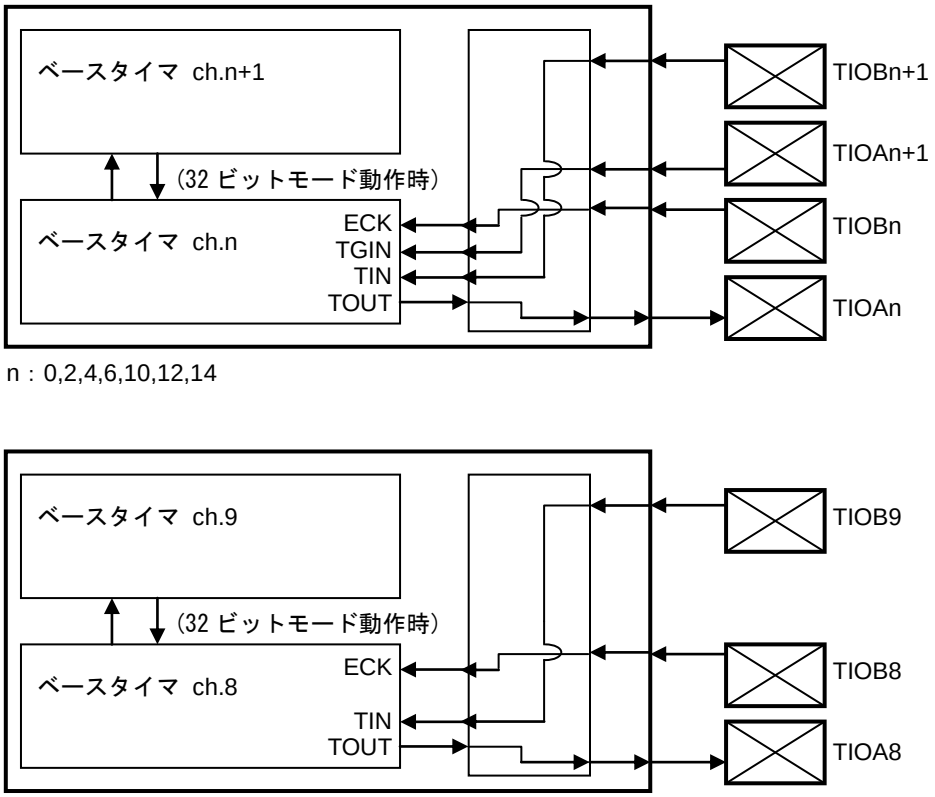
n : 0,2,4,6,8,10,12,14
m: 0,2,4,6,10,12,14

＜注意事項＞

ベースタイマの ch.8 と ch.9 を入出力モード 1 (タイマフルモード)で使用する場合は、外部起動トリガ入力 TGIN (TIOA9)を使用しない設定をてください。外部起動トリガ入力 TGIN (TIOA9)を使用しない設定は、ベースタイマのタイマ制御レジスタ (ch.9-TMCR)の EGS1, EGS0 ビットをトリガ入力無効 (EGS1, EGS0=0b00)に設定した状態を示します。

入出力モード 1(タイマフルモード)のブロックダイヤグラムを図 3-2 に示します。

図 3-2 入出力モード 1(タイマフルモード)のブロックダイヤグラム



入出力モード 1 の接続を表 3-7 に示します。

表 3-7 入出力モード 1 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	ECK 信号として ch.n に入力
TIOAm+1 端子	TGIN 信号として ch.m に入力
TIOBn+1 端子	TIN 信号として ch.n に入力

n : 0,2,4,6,8,10,12,14
m: 0,2,4,6,10,12,14

＜注意事項＞

このモードに設定した場合は、GPIO のポート機能レジスタ(PFR)で奇数チャネルに対応する TIOA 端子(TIOA1, TIOA3, ･･･)をポート入力モードに設定してください。
ベースタイマの ch.8 と ch.9 を入出力モード 1 (タイマフルモード)で使用する場合は、外部起動トリガ入力 TGIN (TIOA9)を使用しない設定をしてください。外部起動トリガ入力 TGIN (TIOA9)を使用しない設定は、ベースタイマのタイマ制御レジスタ (ch.9-TMCR)の EGS1, EGS0 ビットをトリガ入力無効 (EGS1, EGS0=0b00)に設定した状態を示します。

■ 入出力モード 2(外部トリガ共有モード)

ベースタイマの入力信号(ECK/TGIN/TIN)を 2 チャネルで共有するモードです。
このモードに設定した場合に使用する外部端子を表 3-8 に示します。

表 3-8 入出力モード 2 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本(2 チャネルで共有)	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-9 に示します。

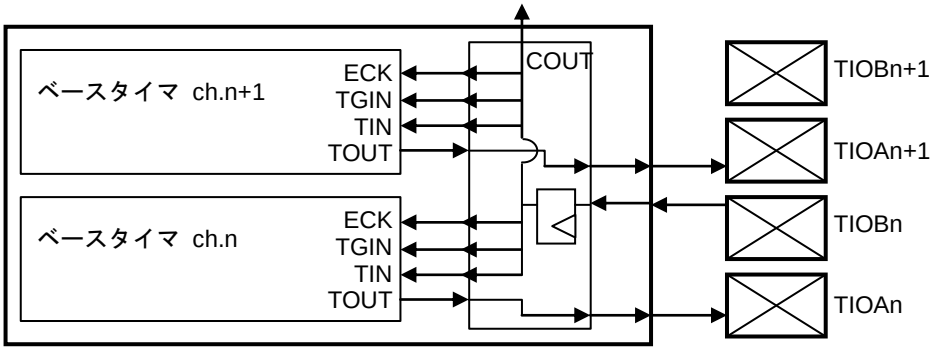
表 3-9 入出力モード 2 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数/奇数チャネルの ECK/TGIN/TIN*	偶数/奇数両方のチャネルに入力(周辺クロック(PCLK)で同期化)して、次のいずれかとして使用 ・外部クロック(ECK 信号) ・外部起動トリガ(TGIN 信号) ・測定する波形(TIN 信号)
TIOBn+1	-	-	使用しない

n : 偶数
* : 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 2(外部トリガ共有モード)のブロックダイヤグラムを図 3-3 に示します。

図 3-3 入出力モード 2(外部トリガ共有モード)のブロックダイヤグラム



n : 偶数

入出力モード 2 の接続を表 3-10 に示します。

表 3-10 入出力モード 2 の接続

接続元	接続先	備考
ch.n の TOUT 信号	TIOAn 端子から出力	
TIOBn 端子からの入力信号	・ECK/TGIN/TIN 信号として ch.n と ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力	周辺クロック(PCLK)で同期化
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力	

n : 偶数

＜注意事項＞

このモードに設定したチャネルの上位 2 チャネル(n+2, n+3)を入出力モード 3(他チャネルトリガ共有モード)に設定すると、4 チャネル同時に入力信号(ECK/TGIN/TIN)を入力できます。
(例 : ch.0 と ch.1 をこのモードに設定し、ch.2 と ch.3 を入出力モード 3 に設定すると ch.0～ch.3 の 4 チャネル同時に入力信号(ECK/TGIN/TIN)を入力できます。)

■ 入力モード 3(他チャネルトリガ共有モード)

2 チャネル下位側のチャネルの COUT 信号を CIN 信号として入力し、ECK/TGIN/TIN 信号として使用するモードです。
このモードに設定した場合に使用する外部端子を表 3-11 に示します。

表 3-11 入出力モード 3 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-12 に示します。

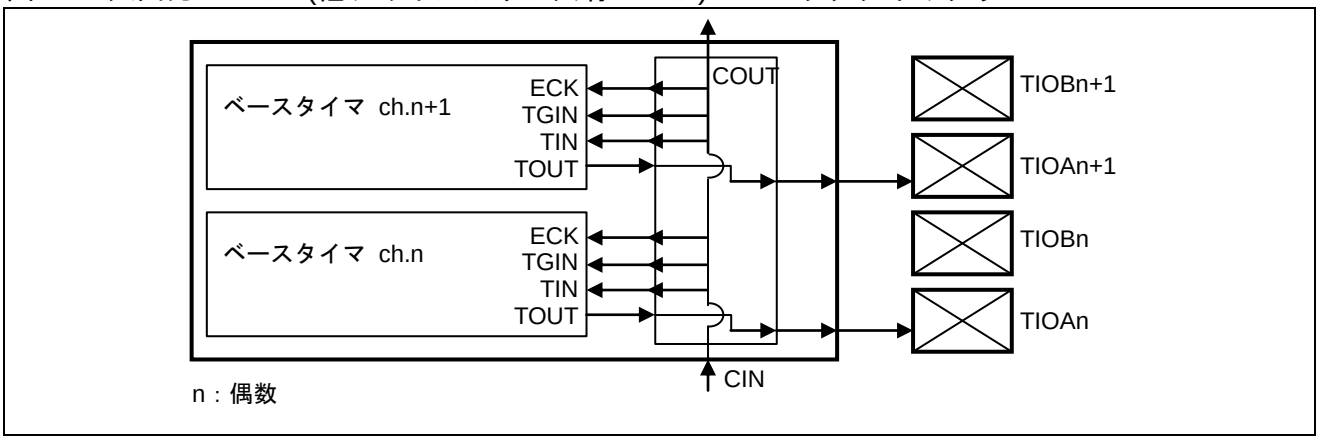
表 3-12 入出力モード 3 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n : 偶数

入出力モード 3(他チャネルトリガ共通モード)のブロックダイヤグラムを図 3-4 に示します。

図 3-4 入出力モード 3(他チャネルトリガ共有モード)のブロックダイヤグラム



入出力モード 3 の接続を表 3-13 に示します。

表 3-13 入出力モード 3 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
CIN 信号*	・ECK/TGIN/TIN 信号として ch.n と ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n : 偶数
* : ほかのチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK/TGIN/TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- 入出力モード 4 時の TIOAn-2 出力
- 入出力モード 6 時の TIOAn-2 出力
- 入出力モード 7 時の TIOAn-2 出力
- 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

＜注意事項＞

- ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。
- このモードに設定したチャネルは、2 チャネル下位側(n-2, n-1)の COUT 信号を CIN 信号として入力して使用します(例 : ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)。そのため、ch.0 および ch.1 はこのモードに設定できません。

■ 入出力モード 4(タイマ起動/停止モード)

偶数チャネルで奇数チャネルの起動/停止を制御できるモードです。
奇数チャネルは、偶数チャネルの出力波形(TOUT 信号)の立上りエッジで起動し、立下りエッジで停止します。

このモードに設定した場合に使用する外部端子を表 3-14 に示します。

表 3-14 入出力モード 4 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-15 に示します。

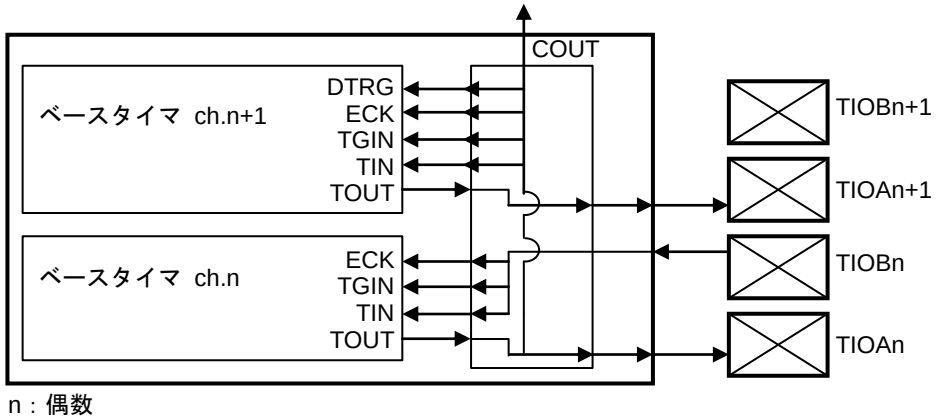
表 3-15 入出力モード 4 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK/ TGIN/TIN*	偶数チャネルに入力して、次のいずれかとして使用 ・外部クロック(ECK 信号) ・外部起動トリガ(TGIN 信号) ・測定する波形(TIN 信号)
TIOBn+1	-	-	使用しない

n : 偶数
* : 入力信号の使用方法(ECK/TGIN/TIN 信号)は、ベースタイマのタイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 4(タイマ起動/停止モード)のブロックダイヤグラムを図 3-5 に示します。

図 3-5 入出力モード 4(タイマ起動/停止モード)のブロックダイヤグラム



n : 偶数

入出力モード 4 の接続を表 3-16 に示します。

表 3-16 入出力モード 4 の接続

接続元	接続先
ch.n の TOUT 信号	・TIOAn 端子から出力 ・ECK/TGIN/TIN および DTRG 信号として ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力
TIOBn 端子からの入力信号	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n : 偶数

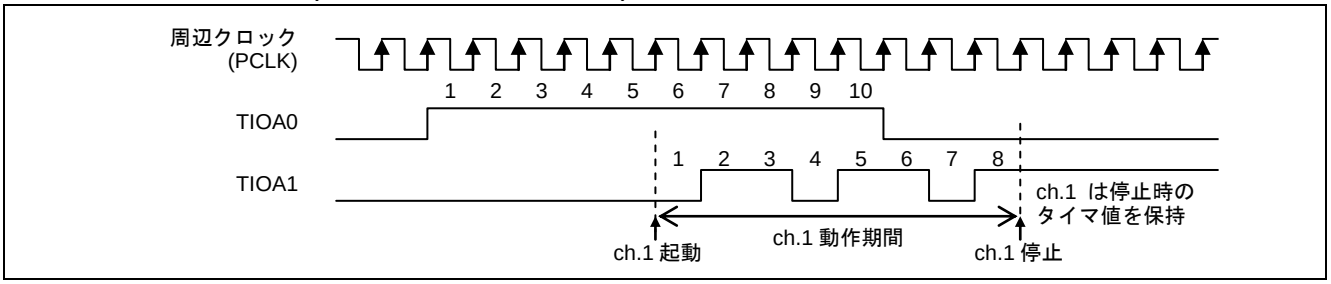
＜注意事項＞

- ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットで奇数チャネルのトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。
- 奇数チャネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。

入出力モード 4(タイマ起動/停止モード)設定時の動作を ch.0 と ch.1 を PWM タイマとして使用する場合の設定例を図 3-6 に示します。

ベースタイマ ch.0	設定値	ベースタイマ ch.1	設定値
周期設定レジスタ(PCSR)	0x0010	周期設定レジスタ(PCSR)	0x0002
デューティ設定レジスタ(PDUT)	0x0009	デューティ設定レジスタ(PDUT)	0x0001
タイマ制御レジスタ(TMCR)	0x0013	タイマ制御レジスタ(TMCR)	0x0112

図 3-6 入出力モード 4(タイマ起動/停止モード)の動作例



■ 入出力モード 5(同時ソフト起動モード)

同時ソフト起動レジスタ(BTSSSR)で複数のチャネルを同時に起動できるモードです。
同時ソフト起動レジスタ(BTSSSR)で"1"を書き込んだビットに対応するチャネルがすべて同時に起動します。

このモードに設定した場合に使用する外部端子を表 3-17 に示します。

表 3-17 入出力モード 5 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-18 に示します。

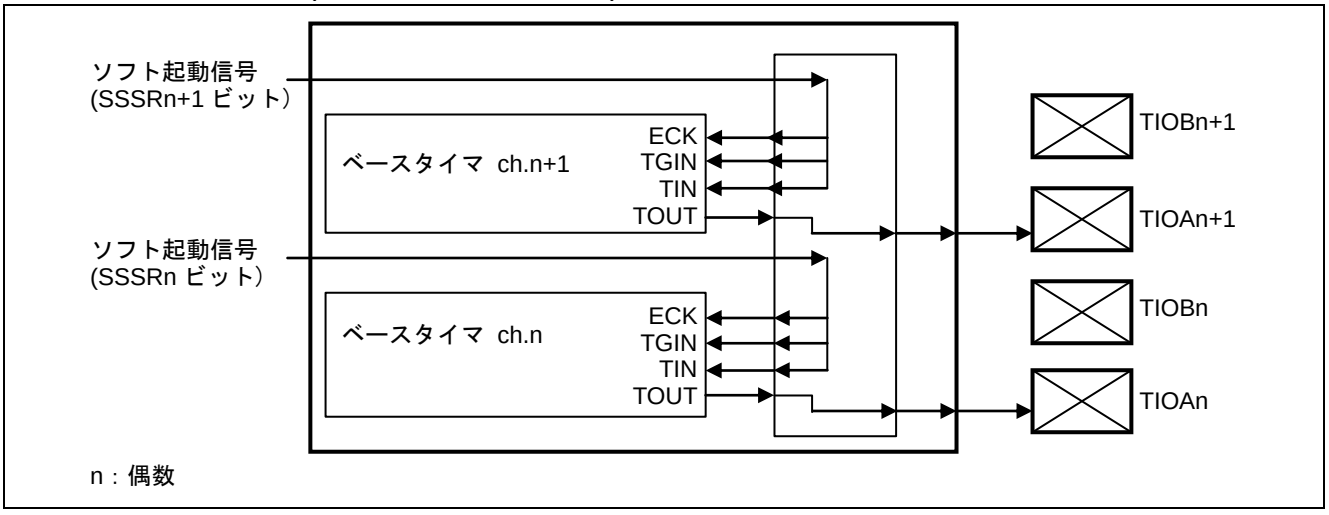
表 3-18 入出力モード 5 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n : 偶数

入出力モード 5(同時ソフト起動モード)のブロックダイヤグラムを図 3-7 に示します。

図 3-7 入出力モード 5(同時ソフト起動モード)のブロックダイヤグラム



入出力モード 5 の接続を表 3-19 に示します。

表 3-19 入出力モード 5 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの"1"書込み)	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
ソフト起動信号 (BTSSSR の SSSRn+1 ビットへの"1"書込み)	ECK/TGIN/TIN 信号として ch.n+1 に入力

n : 偶数
BTSSSR : 同時ソフト起動レジスタ

同時ソフト起動レジスタ(BTSSSR)で"1"を書き込むと、書き込んだビットに対応するチャネルに立上りエッジが入力(ECK/TGIN/TIN 信号)されます。

＜注意事項＞

ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。

■ 入出力モード 6(ソフト起動タイマ起動/停止モード)

偶数チャネルで奇数チャネルの起動/停止を制御できるモードです。
偶数チャネルは、同時ソフト起動レジスタ(BTSSSR)に"1"を書き込んで起動します。
奇数チャネルは、偶数チャネルの出力波形(TOUT 信号)で立上りエッジを検出すると起動し、立下りエッジを検出すると停止します。

このモードに設定した場合に使用する外部端子を表 3-20 に示します。

表 3-20 入出力モード 6 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-21 に示します。

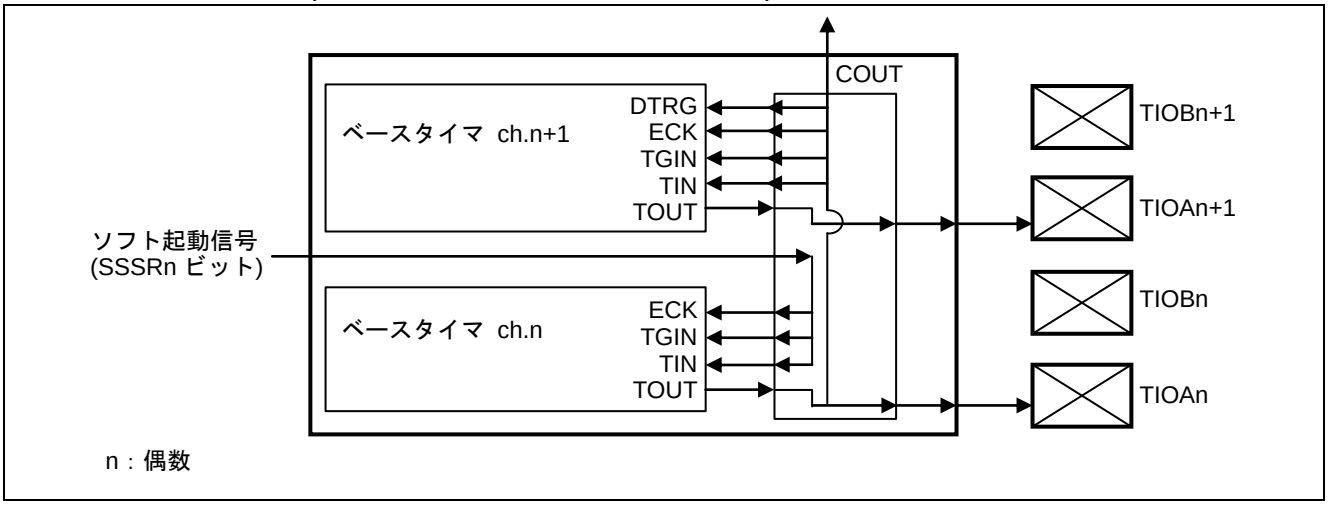
表 3-21 入出力モード 6 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n : 偶数

入出力モード 6(ソフト起動タイマ起動/停止モード)のブロックダイヤグラムを図 3-8 に示します。

図 3-8 入出力モード 6(ソフト起動タイマ起動/停止モード)のブロックダイヤグラム



入出力モード 6 の接続を表 3-22 に示します。

表 3-22 入出力モード 6 の接続

接続元	接続先
ch.n の TOUT 信号	・TIOAn 端子から出力 ・ECK/TGIN/TIN/DTRG 信号として ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの"1"書込み)	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n : 偶数
BTSSSR : 同時ソフト起動レジスタ

同時ソフト起動レジスタ(BTSSSR)で起動したい偶数チャネルに対応するビットに"1"を書き込むと、対応するチャネルに立上りエッジが入力(ECK/TGIN/TIN 信号)されます。

ch.n の起動/停止タイミングは入出力モード 4 と同じです。

＜注意事項＞

- ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。
- 奇数チャネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。

■ 入出力モード 7(タイマ起動モード)

偶数チャネルの出力波形(TOUT 信号)を奇数チャネルの入力信号(ECK/TGIN/TIN 信号)として使用するモードです。

このモードに設定した場合に使用する外部端子を表 3-23 に示します。

表 3-23 入出力モード 7 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-24 に示します。

表 3-24 入出力モード 7 に設定した場合の外部端子の接続先と入出力信号

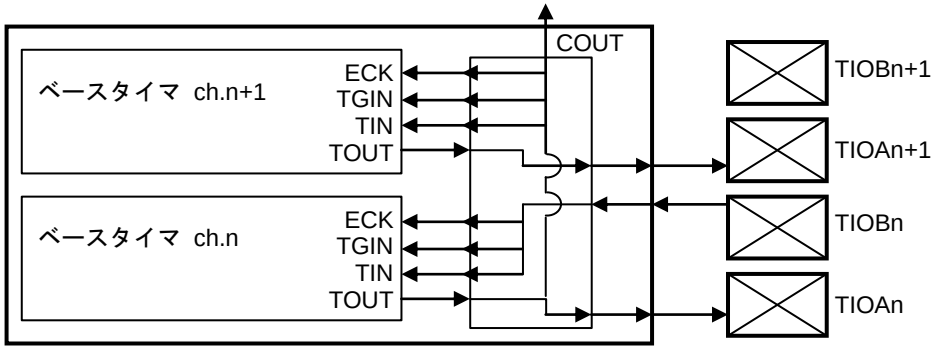
外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK/ TGIN/TIN*	偶数チャネルに入力し、次のいずれかとして使用 ・外部クロック(ECK 信号) ・外部起動トリガ(TGIN 信号) ・測定する波形(TIN 信号)
TIOBn+1	-	-	使用しない

n : 偶数

* : 入力波形の使用方法(ECK/TGIN/TIN 信号)は、タイマ制御レジスタ(TMCR)の設定によって異なります。

入出力モード 7(タイマ起動モード)時のブロックダイヤグラムを図 3-9 に示します。

図 3-9 入出力モード 7(タイマ起動モード)のブロックダイヤグラム



n : 偶数

入出力モード 7 の接続を表 3-25 に示します。

表 3-25 入出力モード 7 の接続

接続元	接続先
ch.n の TOUT 信号	・TIOAn 端子から出力 ・ECK/TGIN/TIN 信号として ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力
TIOBn 端子からの入力信号	ECK/TGIN/TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n : 偶数

ch.n の起動タイミングは入出力モード 4 と同じです。

■ 入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)

2 チャネル下位側のチャネルの COUT 信号を CIN 信号として入力し、外部起動トリガ(TGIN 信号)として使用するモードです。

このモードに設定した場合に使用する外部端子を表 3-26 に示します。

表 3-26 入出力モード 8 に設定した場合に使用する外部端子

	偶数チャネル	奇数チャネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 3-27 に示します。

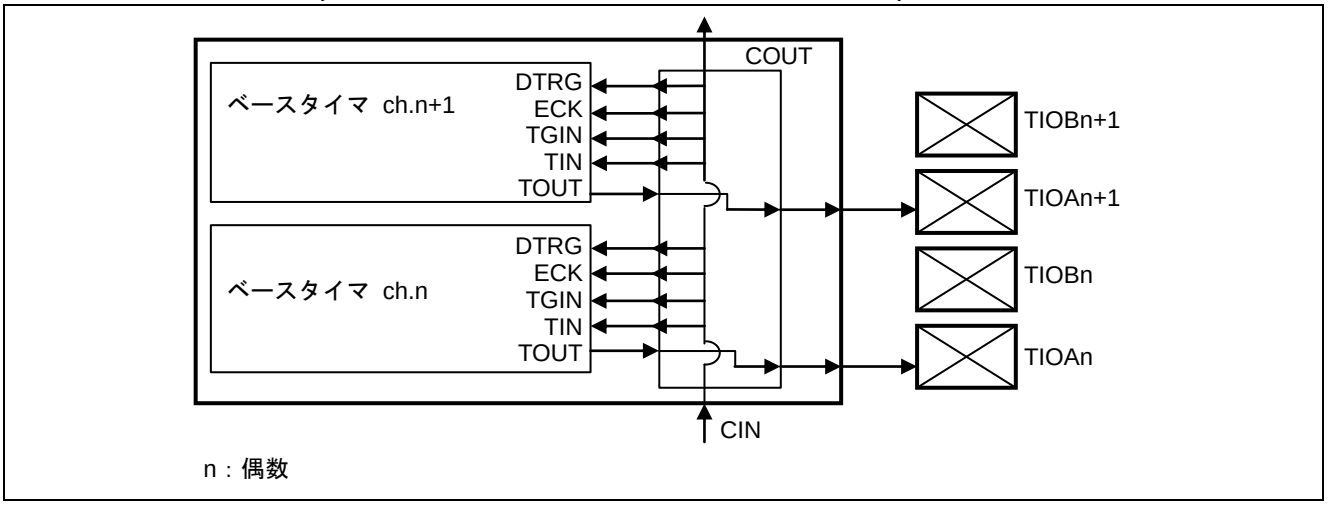
表 3-27 入出力モード 8 に設定した場合の外部端子の接続先と入出力信号

外部端子	入出力	接続先(内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOAn+1	出力	奇数チャネルの TOUT	奇数チャネルの波形を出力
TIOBn TIOBn+1	-	-	使用しない

n : 偶数

入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)時のブロックダイヤグラムを図 3-10 に示します。

図 3-10 入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)のブロックダイヤグラム



入出力モード 8 の接続を表 3-28 に示します。

表 3-28 入出力モード 8 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
CIN 信号*	・ECK/TGIN/TIN 信号および DTRG 信号として ch.n と ch.n+1 に入力 ・COUT 信号としてほかのチャネルに出力

n : 偶数

* : ほかのチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK, TGIN, TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- 入出力モード 4 時の TIOAn-2 出力
- 入出力モード 6 時の TIOAn-2 出力
- 入出力モード 7 時の TIOAn-2 出力
- 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

＜注意事項＞

- このモードに設定したチャネルは、2 チャネル下位側(n-2, n-1)の COUT 信号を CIN 信号として入力して使用します(例 ：ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)。そのため、ch.0 および ch.1 はこのモードに設定できません。
- このモードに設定したチャネルは、ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。
  ただし、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットでタイマ機能を 16/32 ビット PWC タイマ機能(FMD[2:0]="100")に設定した場合を除きます。
- ベースタイマは DTRG 信号で立下りエッジが検出されると動作を停止します。

---

4. レジスタ

ベースタイマ入出力選択機能のレジスター覧を示します。

■ ベースタイマ入出力選択機能のレジスタ

表 4-1 ベースタイマ入出力選択機能のレジスター覧

レジスタ略称	レジスタ名	参照先
BTSEL0123	入出力選択レジスタ	4.1
BTSEL4567	入出力選択レジスタ	4.2
BTSEL89AB	入出力選択レジスタ	4.3
BTSELCDEF	入出力選択レジスタ	4.4
BTSSSR	同時ソフト起動レジスタ	4.5

4.1. 入出力選択レジスタ(BTSEL0123)

ベースタイマの ch.0～ch.3 の入出力モードを設定するレジスタです。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SEL23_3	SEL23_2	SEL23_1	SEL23_0	SEL01_3	SEL01_2	SEL01_1	SEL01_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:12] SEL23_3～SEL23_0 : ch.2/ch.3 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

[bit11:8] SEL01_3～SEL01_0 : ch.0/ch.1 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

＜注意事項＞

- ch.0 および ch.1 は、ベースタイマの最下位のチャネルになり、下位側のチャネルの信号を利用するモードは使用できません。そのため、以下のモードは設定禁止となります。
  - 入出力モード 3(他チャネルトリガ共有モード)
  - 入出力モード 8(他チャネルトリガ共有タイマ起動/停止モード)
- 本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]="000")に設定してから書き換えてください。

4.2. 入出力選択レジスタ(BTSEL4567)

ベースタイマの ch.4～ch.7 の入出力モードを設定するレジスタです。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SEL67_3	SEL67_2	SEL67_1	SEL67_0	SEL45_3	SEL45_2	SEL45_1	SEL45_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:12] SEL67_3～SEL67_0 : ch.6/ch.7 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

[bit11:8] SEL45_3～SEL45_0 : ch.4/ch.5 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

＜注意事項＞

このレジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]="000")に設定してから書き換えてください。

4.3. 入出力選択レジスタ(BTSEL89AB)

ベースタイマの ch.8～ch.11 の入出力モードを設定するレジスタです。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SELAB_3	SELAB_2	SELAB_1	SELAB_0	SEL89_3	SEL89_2	SEL89_1	SEL89_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:12] SELAB_3～SELAB_0 : ch.10/ch.11 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

[bit11:8] SEL89_3～SEL89_0 : ch.8/ch.9 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

＜注意事項＞

本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]="000")に設定してから書き換えてください。

ベースタイマの ch.8 と ch.9 を入出力モード 1(タイマフルモード)で使用する場合は、外部起動トリガ入力 TGIN (TIOA9)を使用しない設定をしてください。外部起動トリガ入力 TGIN (TIOA9)を使用しない設定は、ベースタイマのタイマ制御レジスタ (ch.9-TMCR)の EGS1, EGS0 ビットをトリガ入力無効 (EGS1, EGS0=0b00)に設定した状態を示します。

4.4. 入出力選択レジスタ(BTSELCDEF)

ベースタイマの ch.12～ch.15 の入出力モードを設定するレジスタです。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	SELEF_3	SELEF_2	SELEF_1	SELEF_0	SELCD_3	SELCD_2	SELCD_1	SELCD_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:12] SELEF_3～SELEF_0 : ch.14/ch.15 用入出力選択ビット

bit15	bit14	bit13	bit12	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

[bit11:8] SELCD_3～SELCD_0 : ch.12/ch.13 用入出力選択ビット

bit11	bit10	bit9	bit8	入出力選択ビット
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動/停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動/停止モード)
上記以外				設定禁止

＜注意事項＞

本レジスタは、ベースタイマのタイマ制御レジスタ(TMCR)の FMD[2:0]ビットで、ベースタイマをリセットモード(FMD[2:0]="000")に設定してから書き換えてください。

4.5. 同時ソフト起動レジスタ(BTSSSR)

ベースタイマをソフトウェアで同時に起動するレジスタです。
"1"を書き込んだビットに対応する複数のチャネルを最大 16 チャネルまで同時に起動できます。

■ レジスタ構成

bit	15		0
Field	SSSR15～SSSR0		
属性	W		
初期値	0xXXXX		

■ レジスタ機能

[bit15:0] SSSR15～SSSR0： 同時ソフト起動ビット

値	同時ソフト起動ビット
0	"0"書込みは無効です。
1	ビットに対応するチャネルのベースタイマを起動します。

＜注意事項＞

- 以下のモード以外に設定しているときは、本レジスタへの書込みは禁止です。
  - 入出力モード 5(同時ソフト起動モード)
  - 入出力モード 6(ソフト起動タイマ起動/停止モード)(偶数チャネルのみ)
- このレジスタを利用して起動するチャネルは、ベースタイマのタイマ制御レジスタ(TMCR)の EGS1, EGS0 ビットで、トリガ入力エッジを立上りエッジ(EGS1, EGS0=01)に設定してください。

CHAPTER 5-4: ベースタイマ

ベースタイマの機能と動作について示します。

1. ベースタイマの概要
2. ベースタイマのブロックダイヤグラム
3. ベースタイマの動作
4. 32 ビットモード動作
5. ベースタイマ割込み
6. DMA コントローラ(DMAC)の起動
7. ベースタイマのレジスタ
8. ベースタイマの使用上の注意
9. ベースタイマの機能別説明

1. ベースタイマの概要

ベースタイマは、タイマ制御レジスタ(TMCR)の FMD[2:0]ビットの設定により、リセットモード, 16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。選択可能な各種タイマの概要を以下に示します。

■ モード設定と各種タイマ機能の関係

タイマ制御レジスタ(TMCR)の FMD[2:0]ビットによる設定	機能
000	リセットモード
001	16 ビット PWM タイマ
010	16 ビット PPG タイマ
011	16/32 ビットリロードタイマ
100	16/32 ビット PWC タイマ

■ リセットモード

リセットモードは、ベースタイマのマクロをリセットした状態(各レジスタは初期値)です。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、マクロのリセット後ならば本モードの設定なしにタイマ機能や T32 ビットを設定できます。

■ 16 ビット PWM タイマ

16 ビットダウンカウンタ, 周期設定用バッファ付き 16 ビットデータレジスタ, デューティ設定用バッファ付き 16 ビットコンペアレジスタ, 端子制御部で構成されます。

周期, デューティのデータはバッファ付きレジスタに格納するため、タイマ動作中に書換えが可能です。

16 ビットダウンカウンタのカウンタクロックは、内部クロック 8 種類(マシンクロックの 1/4/16/128/256/512/1024/2048 分周)と、外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

アンダフローでカウントを停止するワンショットモードと、再ロードしてカウントを繰り返す連続モードが選択できます。

16 ビット PWM タイマの起動はソフトウェアトリガと外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

■ 16 ビット PPG タイマ

16 ビットダウンカウンタ、H 幅設定用 16 ビットデータレジスタ, L 幅設定用 16 ビットデータレジスタ, 端子制御部で構成されます。

16 ビットダウンカウンタのカウントクロックは、内部クロック 8 種類(マシンクロックの 1/4/16/128/256/512/1024/2048 分周)と、外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

アンダフローでカウントを停止するワンショットモードと、再ロードしてカウントを繰り返す連続モードが選択できます。

16 ビット PPG タイマの起動はソフトウェアトリガと外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

■ 16/32 ビットリロードタイマ

16 ビットダウンカウンタ, 16 ビットのリロードレジスタ, 端子制御部で構成されます。

16 ビットダウンカウンタのカウントクロックは、内部クロック 8 種類(マシンクロックの 1/4/16/128/256/512/1024/2048 分周)と、外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

アンダフローでカウントを停止するワンショットモードと、再ロードしてカウントを繰り返す連続モードが選択できます。

16/32 ビットリロードタイマの起動はソフトウェアトリガと外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

■ 16/32 ビット PWC タイマ

16 ビットアップカウンタ, 測定入力端子, 制御レジスタで構成されます。

外部からのパルス入力で、任意イベント間の時間を測定します。

基準となるカウントクロックは、内部クロック 8 種類(1/4/16/128/256/512/1024/2048 分周)から選択できます。

各種測定モード　　H パルス幅(↑～↓) / L パルス幅(↓～↑)
立上り周期(↑～↑) / 立下り周期(↓～↓)
エッジ間測定(↑または↓～↓または↑)

測定終了時に割込み要求を発生できます。

1 回のみの測定か、連続測定かを選択できます。

2. ベースタイマのブロックダイヤグラム

図 2-1～図 2-4 に、モード別にベースタイマのブロックダイヤグラムを示します。

図 2-1 16 ビット PWM タイマのブロックダイヤグラム

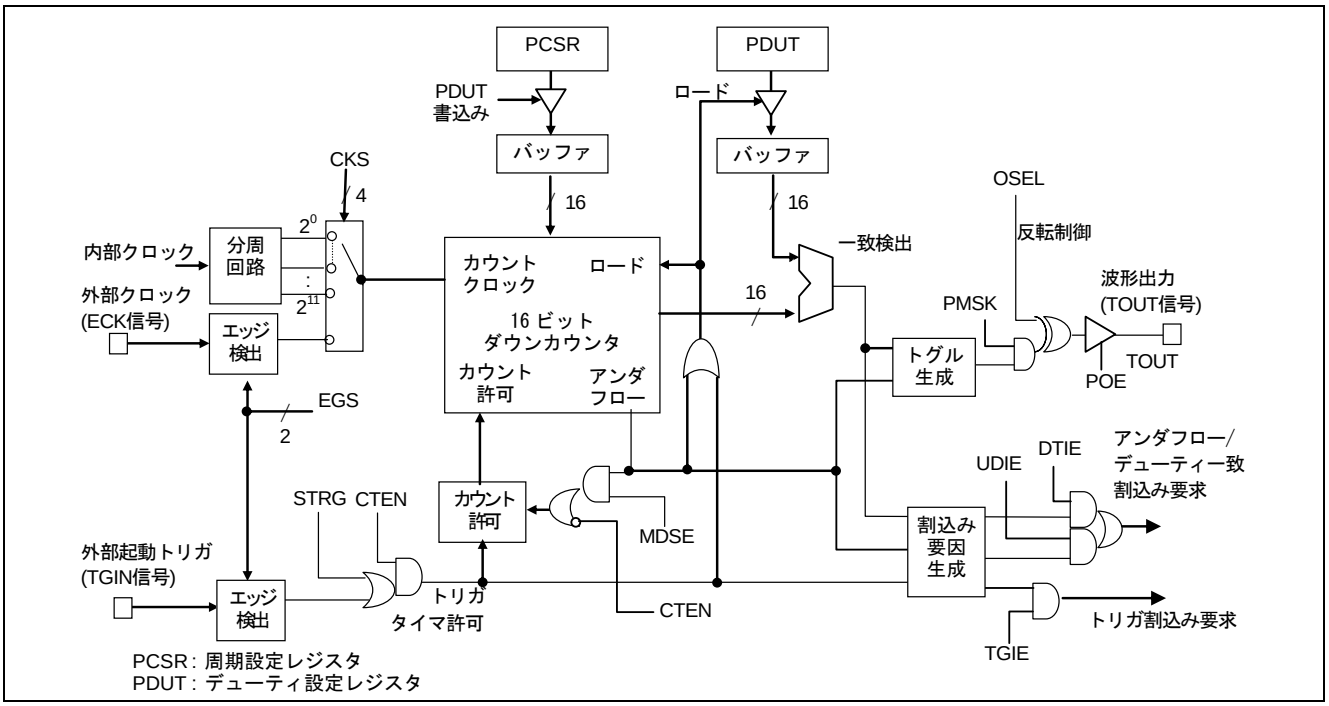


図 2-2 16 ビット PPG タイマのブロックダイヤグラム

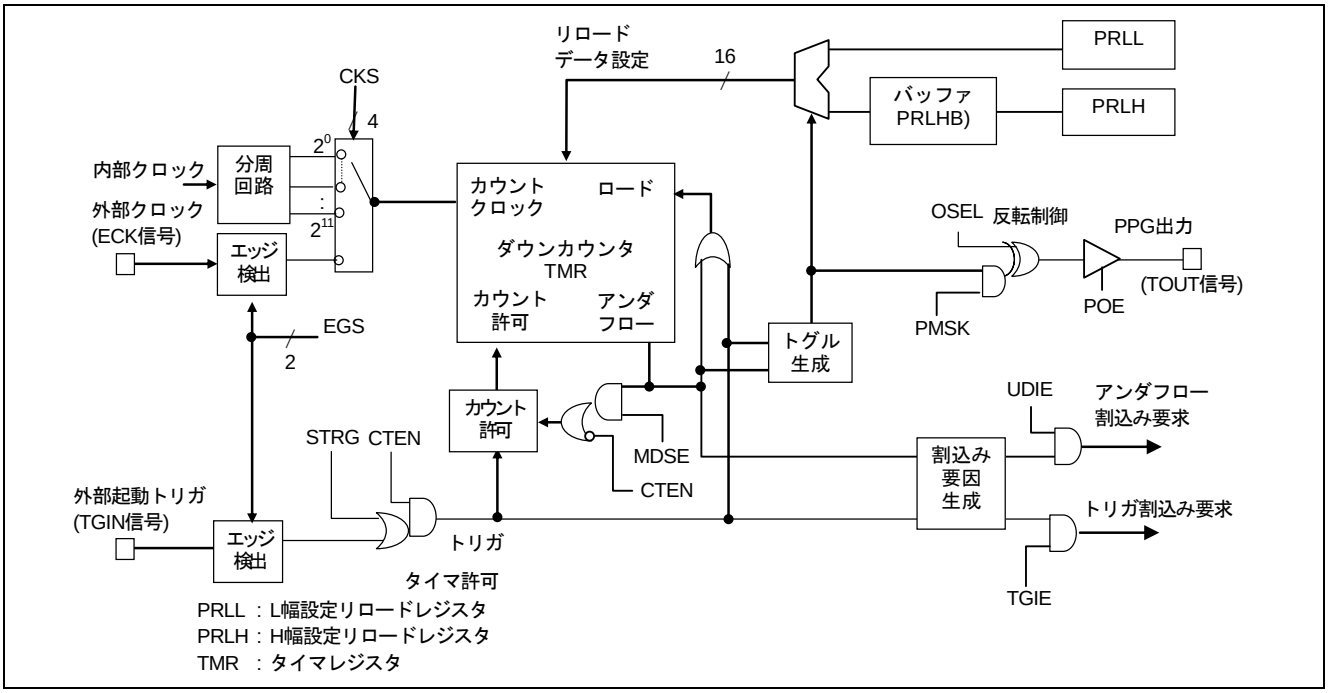
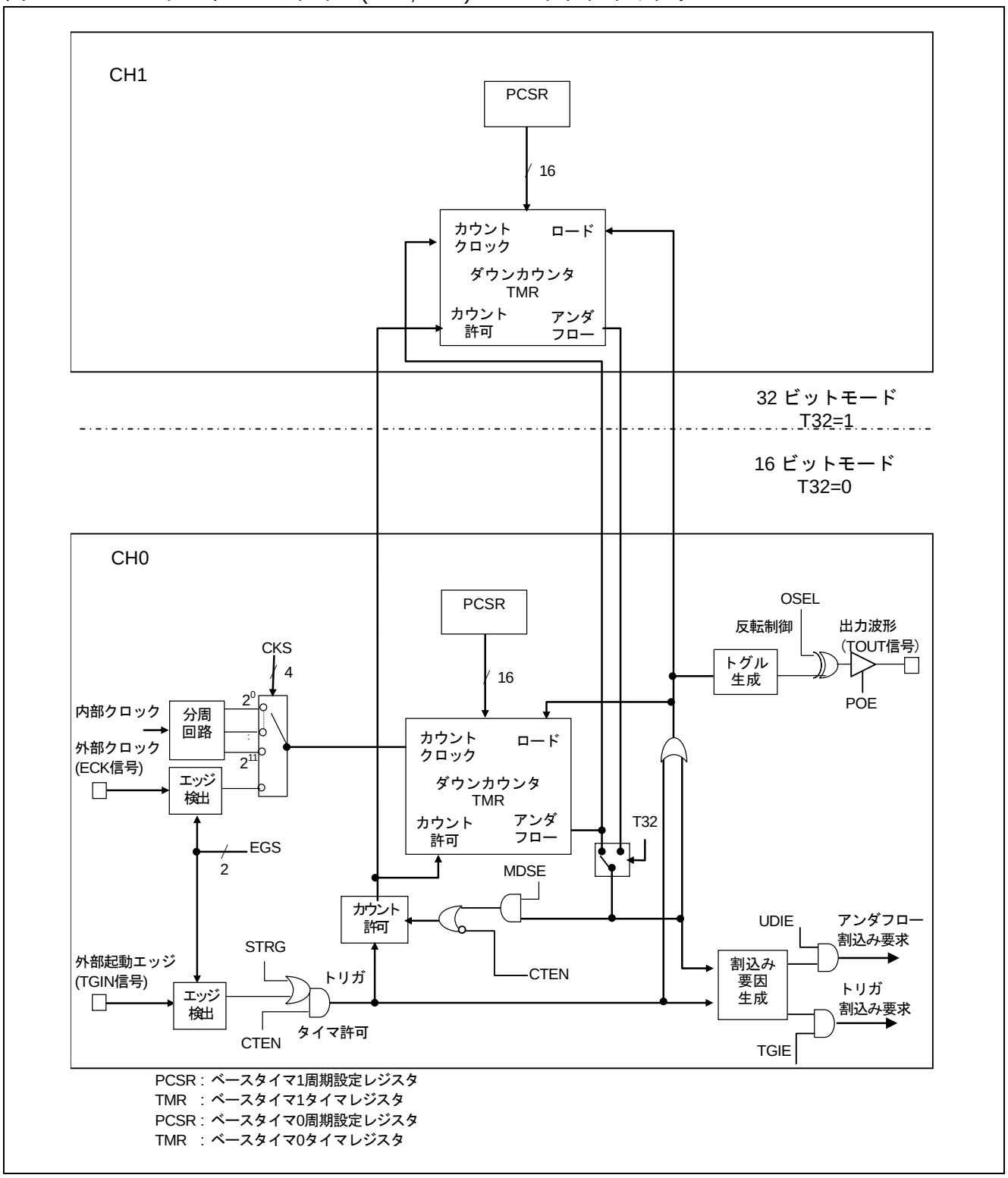
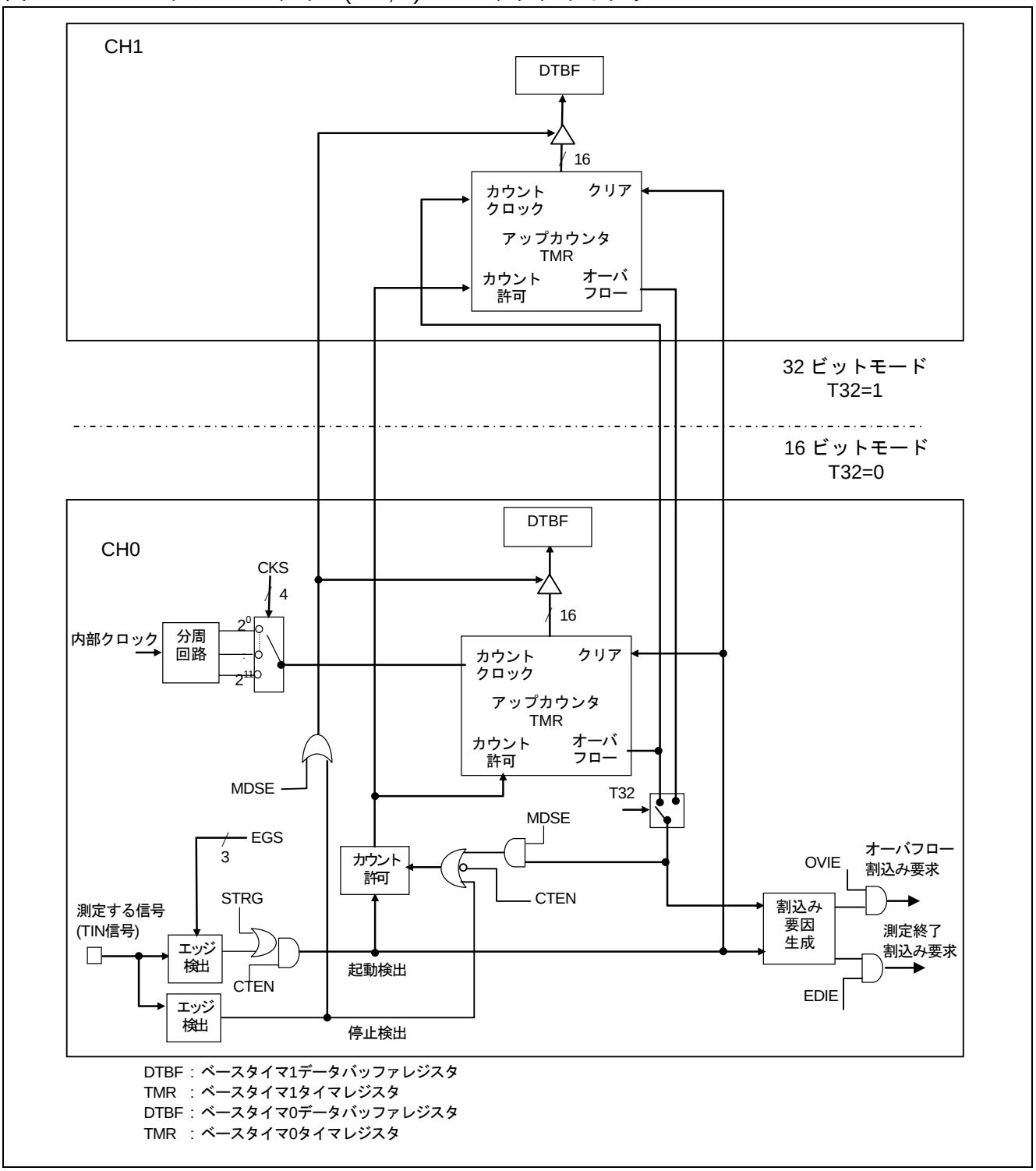


図 2-3 16/32 ビットリロードタイマ(ch.1, ch.0)のブロックダイヤグラム



PCSR : ベースタイマ1周期設定レジスタ
TMR : ベースタイマ1タイマレジスタ
PCSR : ベースタイマ0周期設定レジスタ
TMR : ベースタイマ0タイマレジスタ

図 2-4 16/32 ビット PWC タイマ(ch1, 0)のブロックダイヤグラム



3. ベースタイマの動作

ベースタイマの動作について説明します。

■ ベースタイマの動作

● リセットモード

リセットモードは、ベースタイマのマクロをリセットした状態(各レジスタは初期値)です。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、マクロのリセット後は、本モードの設定なしにタイマ機能や T32 ビットを設定できます。32 ビットモード設定時にこのモードを偶数チャネルに設定した場合、奇数チャネルも同時にリセットがかかるため、奇数チャネルに対してリセットモードを設定する必要はありません。

● 16 ビット PWM タイマ

16 ビット PWM タイマは、トリガ起動により周期設定した値からダウンカウントを開始します。その際、まず L レベルを出力します。16 ビットダウンカウンタがデューティ設定レジスタに設定されている値と一致した場合は、出力が H レベルに反転します。その後、カウンタがアンダフローになったとき、再度出力が L レベルに反転します。これにより、周期とデューティが任意の波形を生成できます。

● 16 ビット PPG タイマ

16 ビット PPG タイマは、トリガ起動により L 幅設定リロードレジスタに設定されている値からダウンカウントを開始します。その際、まず L レベルを出力します。アンダフローになったときに出力が H レベルに反転します。引き続き H 幅設定リロードレジスタに設定されている値からダウンカウントを開始し、アンダフローになったときに出力が L レベルに反転します。これにより、任意の L 幅, H 幅の波形を生成できます。

● 16 ビットリロードタイマ

16 ビットリロードタイマは、トリガ起動により周期設定した値からダウンカウントを開始します。16 ビットダウンカウンタがアンダフローになったときに割込みフラグが設定されます。出力レベルは MDSE ビットの設定によって、アンダフローごとに反転するトグル出力か, カウント開始で"H",アンダフローで"L"出力のパルス出力になります。

● 32 ビットリロードタイマ

基本動作は 16 ビットリロードタイマと同じですが、偶数チャネルと奇数チャネルの 2 チャネルを使用することで、32 ビットリロードタイマとして動作します。その際、偶数チャネルは下位 16 ビットタイマ動作となり、奇数チャネルは上位 16 ビットタイマ動作となります。割込み制御, 出力波形制御は偶数チャネルの設定にのみ従います。周期を設定する場合は、先に上位レジスタ(奇数チャネル)に書き込んだ後に下位レジスタ(偶数チャネル)に書き込んでください。
タイマ値を読み出す場合は、先に下位レジスタ(偶数チャネル)を読み出した後に上位レジスタ(奇数チャネル)を読み出してください。

● 16 ビット PWC タイマ

PWC タイマは、設定した測定開始エッジの入力によって 16 ビットアップカウンタを起動させ、測定終了エッジの検出によってカウンタを停止します。この間のカウント値がパルス幅としてデータバッファレジスタに格納されます。

● 32 ビット PWC タイマ

基本動作は 16 ビット PWC タイマと同じですが、偶数チャネルと奇数チャネルの 2 チャネルを使用することで、32 ビット PWC タイマとして動作します。その際、偶数チャネルは下位 16 ビットカウント動作となり、奇数チャネルは上位 16 ビットカウント動作となります。割込み制御は偶数チャネルの設定にのみ従います。測定値またはカウント値を読み出す場合は、先に下位レジスタ(偶数チャネル)を読み出した後に上位レジスタ(奇数チャネル)を読み出してください。

4. 32 ビットモード動作

リロードタイマ, PWC は 2 チャネル使用することで、32 ビットモード動作が可能です。以下に、32 ビットモード機能における基本機能/動作について示します。

■ 32 ビットモード機能

ベースタイマを 2 チャネル組み合わせて 32 ビットデータのリロードタイマまたは 32 ビットデータの PWC タイマ動作を実現する機能です。偶数チャネルの下位 16 ビットタイマ・カウンタ値を読み出す際に、奇数チャネルの上位 16 ビットタイマ・カウンタ値も取り込むため、動作中のタイマ・カウンタ値も読み出せます。

■ 32 ビットモード設定

まず、偶数チャネルの TMCR レジスタの FMD[2:0]ビットを"000"でリセットモードにして状態をリセットしてください。その後、16 ビットモード時と同様にリロードタイマ、または PWC タイマ選択と動作を設定してください。このとき、TMCR レジスタの T32 ビットにも"1"を書き込むことで 32 ビット動作モードに設定されます。奇数チャネルの T32 ビットは"0"のままにしてください。リセットモードの設定も必要ありません。さらに、リロードタイマの場合は、奇数チャネルの周期設定レジスタに 32 ビットのうち、上位 16 ビットのリロード値を設定してください。その後に偶数チャネルの周期設定レジスタに下位 16 ビットのリロード値を設定してください。

32 ビット動作モードへの移行は T32 ビット書込み後、直ちに反映されるため、両チャネルともカウント停止状態で設定を変更してください。

32 ビットモードから 16 ビットモードへの移行は、偶数チャネルの TMCR レジスタの FMD[2:0]ビットを"000"でリセットモードにしてください。これにより、偶数, 奇数の両チャネルの状態がリセットされ、それぞれのチャネルごとに 16 ビットモードでの設定ができます。

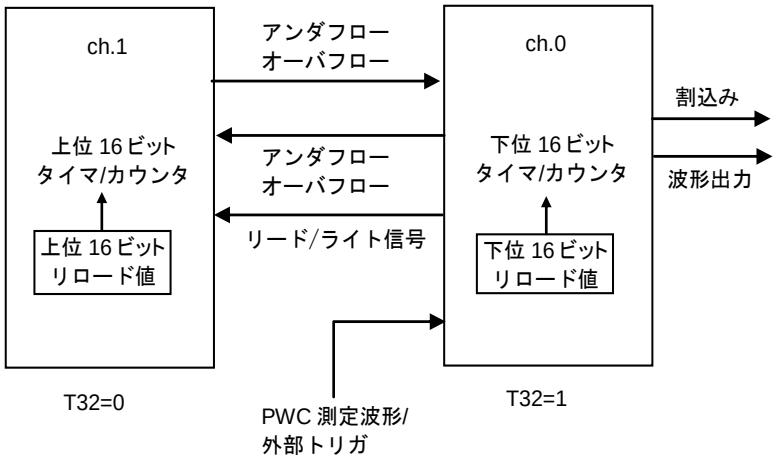
■ 32 ビットモード動作

32 ビットモード設定の後、リロードタイマまたは PWC タイマを、偶数チャネルの制御によって起動した場合、偶数チャネルのタイマ/カウンタは下位 16 ビット動作となります。また奇数チャネルのタイマ/カウンタは上位 16 ビット動作となります。

32 ビットモードでの動作は偶数チャネルの設定に従います。このため、奇数チャネルの設定は(リロードタイマ時の周期設定レジスタを除き)無視されます。タイマ起動, 波形出力, 割込み信号も偶数チャネルに対して有効です(奇数チャネルは"L"固定にマスクされます)。

図 4-1 に ch.0, ch.1 の場合の構成を示します。

図 4-1 32 ビットモード動作の構成(ch.0, ch.1 の場合)



5. ベースタイマ割込み

ベースタイマの各機能での割込み要求フラグ，割込み許可ビットと割込み要因を表 5-1 に示します。

■ 機能ごとの割込み制御ビットと割込み要因

機能ごとの割込み制御ビットと割込み要因を表 5-1 に示します。

表 5-1 各モードでの割込み制御ビットと割込み要因

	ステータス制御レジスタ(STC)			
	割込み要求フラグビット	割込み要求許可ビット	割込み要因	割込み要因出力信号
PWM タイマ機能 (16 ビット PWM タイマ)	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	DTIR : bit1	DTIE : bit5	デューティ一致検出	
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PPG タイマ機能 (16 ビット PPG タイマ)	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
リロードタイマ機能 (16/32 ビットリロードタイマ)	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PWC タイマ機能 (16/32 ビット PWC タイマ)	OVIR : bit0	OVIE : bit4	オーバフロー検出	IRQ0
	EDIR : bit2	EDIE : bit6	測定終了検出	IRQ1

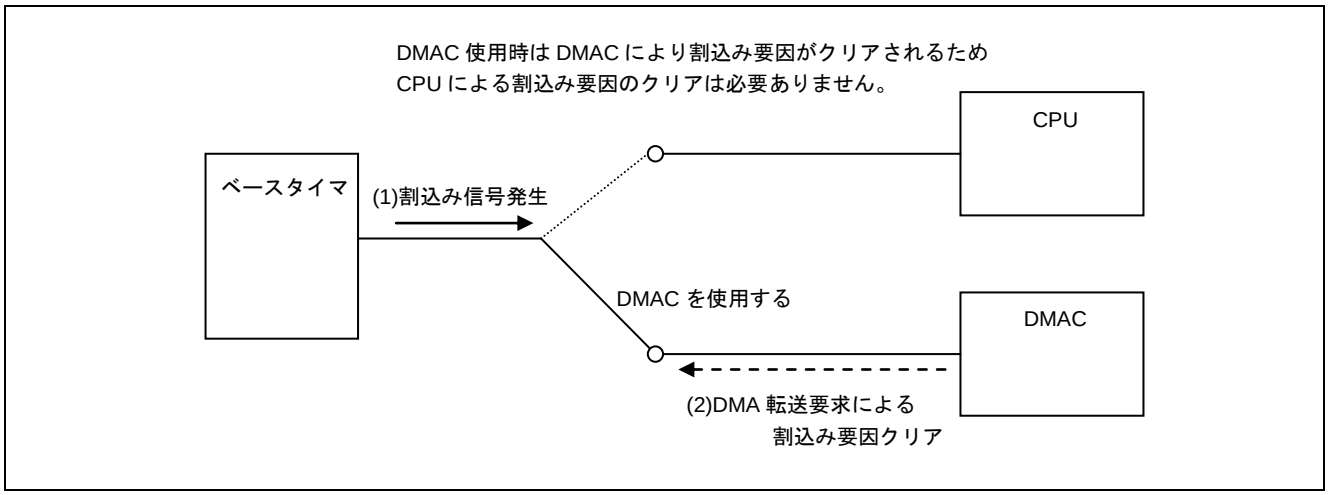
6. DMA コントローラ(DMAC)の起動

ベースタイマの割込み要求の発生を利用して DMAC を起動できます。

■ ベースタイマの割込み要因を利用した DMA 転送動作

ベースタイマの割込み要因の発生を利用して、DMAC を起動できます。図 6-1 にベースタイマによる DMAC 起動の概要を示します。

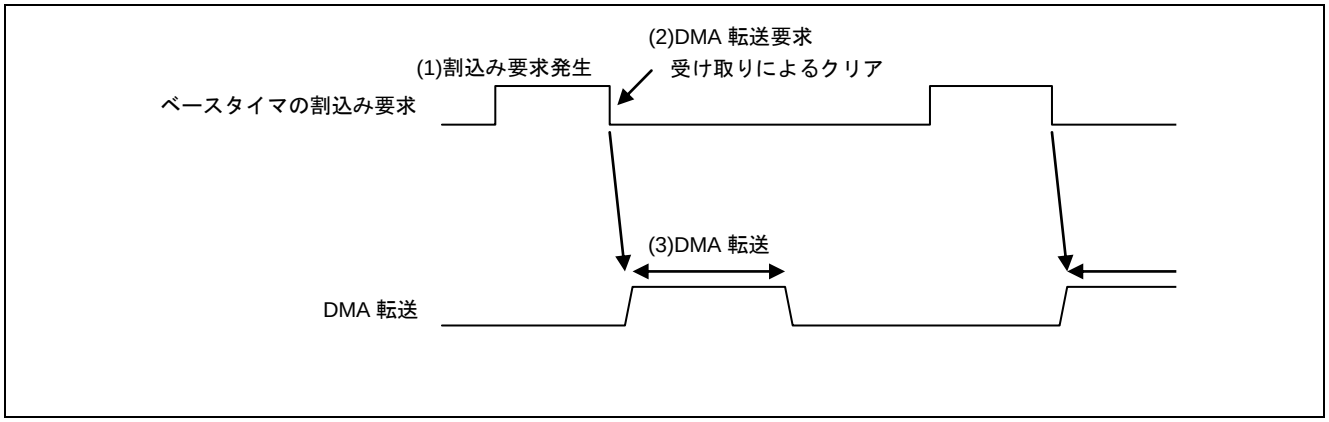
図 6-1 ベースタイマによる DMAC 起動の概要



ベースタイマで DMAC を起動する前に、DMAC の設定を行ってください。DMAC の設定の詳細については『ペリフェラルマニュアル』の『DMAC』および『割込み』の章を参照してください。

ベースタイマの割込み要求による DMA 転送動作例を図 6-2 に示します。

図 6-2 DMA 転送動作例



7. ベースタイマのレジスタ

ベースタイマの各モードのレジスター覧を示します。

■ 16 ビット PWM タイマ選択時のレジスター覧

表 7-1 16 ビット PWM タイマ選択時のレジスター覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.1.6
TMCR2	タイマ制御レジスタ 2	9.1.6
STC	ステータス制御レジスタ	9.1.6
PCSR	PWM 周期設定レジスタ	9.1.7
PDUT	PWM デューティ設定レジスタ	9.1.8
TMR	タイマレジスタ	9.1.9

■ 16 ビット PPG タイマ選択時のレジスター覧

表 7-2 16 ビット PPG タイマ選択時のレジスター覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.2.6
TMCR2	タイマ制御レジスタ 2	9.2.6
STC	ステータス制御レジスタ	9.2.6
PRLL	L 幅設定リロードレジスタ	9.2.7
PRLH	H 幅設定リロードレジスタ	9.2.8
TMR	タイマレジスタ	9.2.9

■ リロードタイマ選択時のレジスター覧

表 7-3 リロードタイマ選択時のレジスター覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.3.3
TMCR2	タイマ制御レジスタ 2	9.3.3
STC	ステータス制御レジスタ	9.3.3
PCSR	周期設定レジスタ	9.3.4
TMR	タイマレジスタ	9.3.5

■ PWC タイマ選択時のレジスター覧

表 7-4 PWC タイマ選択時のレジスター覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.4.2
TMCR2	タイマ制御レジスタ 2	9.4.2
STC	ステータス制御レジスタ	9.4.2
DTBF	データバッファレジスタ	9.4.3

8. ベースタイマの使用上の注意

ベースタイマの使用上の注意を以下に示します。

■ 各タイマの使用上で共通したプログラムによる設定上の注意

・TMCR2 レジスタ, TMCR レジスタの以下に示すビットを動作中に書き換えることを禁止します。書換えは必ず起動前か停止後に行ってください。

[TMCR2 bit8], [TMCR bit14:12]	CKS3～CKS0	: クロック選択ビット
[bit10:8]	EGS2, EGS1, EGS0	: 測定エッジ選択ビット
[bit7]	T32	: 32 ビットタイマ選択ビット (リロードタイマ・PWC 機能選択時)
[bit6:4]	FMD[2:0]	: タイマ機能選択ビット
[bit2]	MDSE	: 測定モード(単発/連続)選択ビット

・TMCR レジスタの FMD[2:0]ビットを"000"のリセットモードに設定した時はベースタイマの全レジスタは初期化されます。このため、すべてのレジスタに対して再設定をしてください。
・TMCR レジスタの FMD[2:0]ビットを"000"のリセットモードに設定するとき、TMCR レジスタの FMD[2:0]ビット以外のビットへの設定は無視されて初期化されます。

■ 16 ビット PWM/PPG/リロードタイマの使用上の注意

・割込み要求フラグセットタイミングとクリアタイミングが重複した場合には、フラグセットが優先され、クリア動作は無効です。
・ダウンカウンタは、ロードとカウントのタイミングが重複した場合には、ロード動作が優先されます。
・TMCR レジスタの FMD[2:0]ビットによるタイマ機能の設定後に周期設定、デューティ設定, H 幅設定, L 幅設定をしてください。
・ワンショットモードでカウント終了時に再起動を検出した場合は、カウント値をリロードして再起動を開始します。

■ PWC タイマの使用上の注意

・カウント起動許可ビット(CTEN)に"1"を書き込むと、カウンタがクリアされます。このため、起動許可前にカウンタ中にあったデータは無効になります。
・システムリセット・リセットモードから PWC モードの設定(FMD[2:0]=100)と測定開始設定(CTEN=1)を同時にした場合、その直前の測定信号の状態によって動作する場合があります。
・連続測定モードにおいて再起動を設定したときに、同時に測定開始エッジを検出した場合は、直ちにカウントを"0x0001"から開始します。
・カウント動作を開始した後に再起動を行う場合は、そのタイミングによっては以下に示すような動作が発生することがあります。
  ・パルス幅単発測定モード時、測定終了エッジと同時であった場合
  再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ(EDIR)は設定されます。

  ・パルス幅連続測定モード時、測定終了エッジと同時であった場合
  再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ(EDIR)は設定され、その時点での測定結果は DTBF に転送されます。

以上のように、動作中の再起動時には、フラグの動作に注意して割込み制御などを行ってください。

9. ベースタイマの機能別説明

ベースタイマの各機能について説明します。

■ ベースタイマの機能

1. PWM タイマ機能
2. PPG タイマ機能
3. リロードタイマ機能
4. PWC タイマ機能

9.1. PWM タイマ機能

ベースタイマは、タイマ制御レジスタの FMD[2:0]ビットの設定により、16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。PWM を設定した時のタイマ機能の説明を示します。

1. 16 ビット PWM タイマ動作
2. ワンショット動作
3. 割込み要因とタイミングチャート
4. 出力波形
5. PWM タイマ動作フロー
6. PWM タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)
7. PWM 周期設定レジスタ(PCSR)
8. PWM デューティ設定レジスタ(PDUT)
9. タイマレジスタ(TMR)

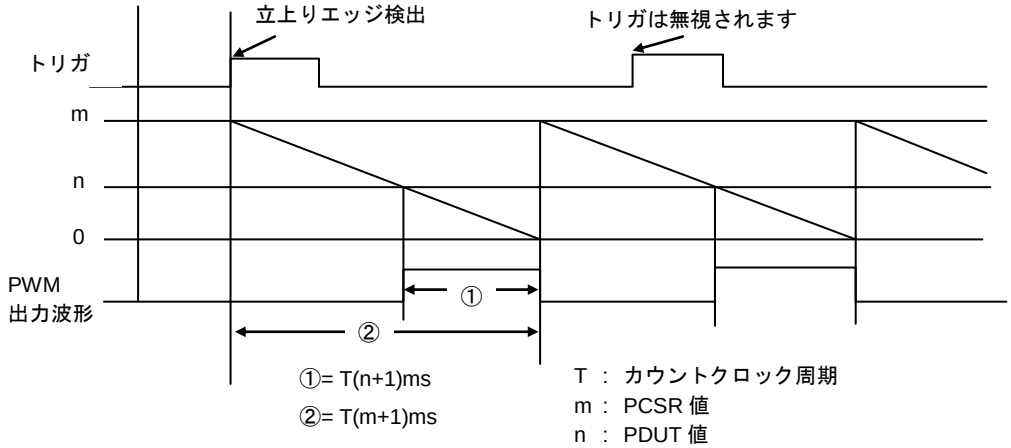
9.1.1. 16 ビット PWM タイマ動作

PWM 動作では、トリガの検出時より設定周期の波形を単発または連続して出力できます。出力パルスの周期は、PCSR 値を変えることにより制御できます。また、デューティ比は、PDUT 値を変えることにより制御できます。PCSR にデータを書き込んだ後は、必ず PDUT への書込みを行ってください。

■ 連続動作

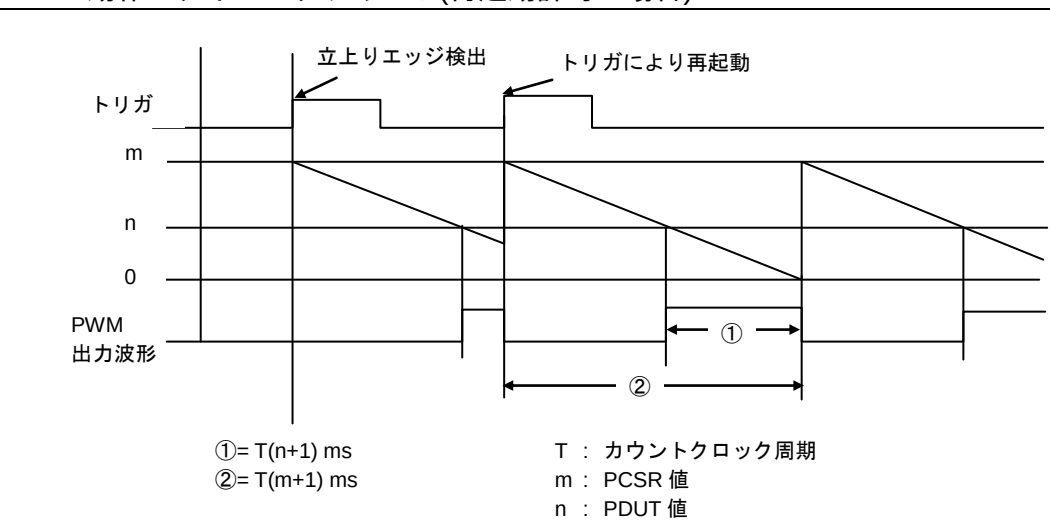
● 再起動禁止の場合(RTGEN=0)

図 9-1 PWM 動作のタイミングチャート(再起動禁止の場合)



● 再起動許可の場合(RTGEN=1)

図 9-2 PWM 動作のタイミングチャート(再起動許可の場合)



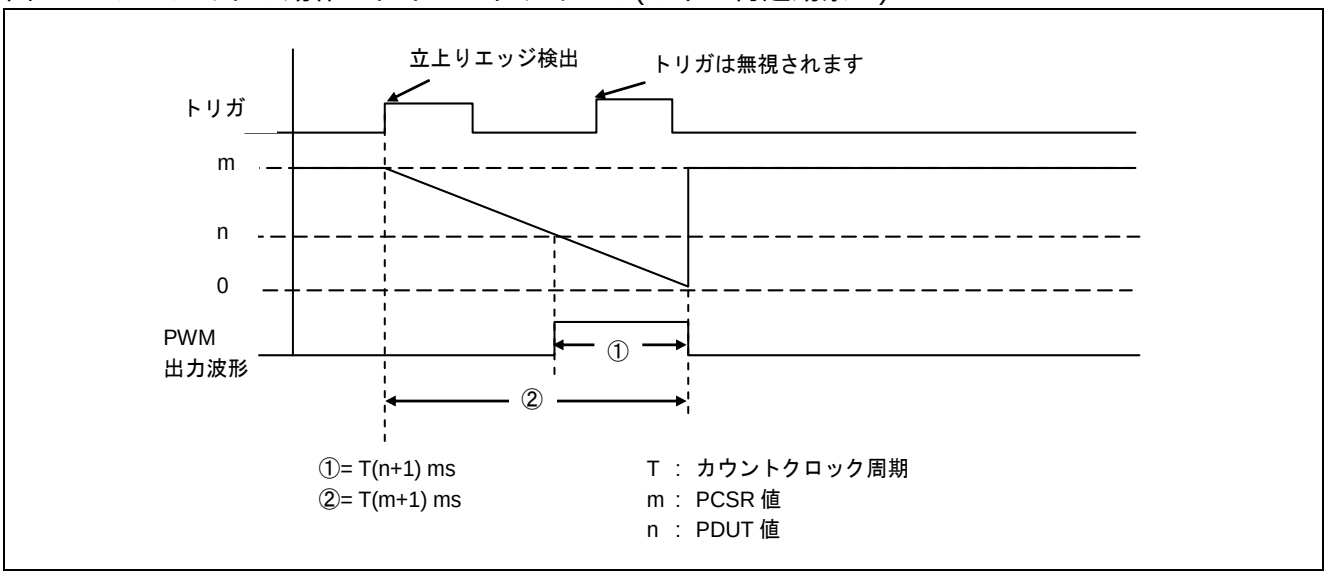
9.1.2. ワンショット動作

ワンショット動作では、トリガにより任意の幅の単一パルスを出力できます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ ワンショット動作

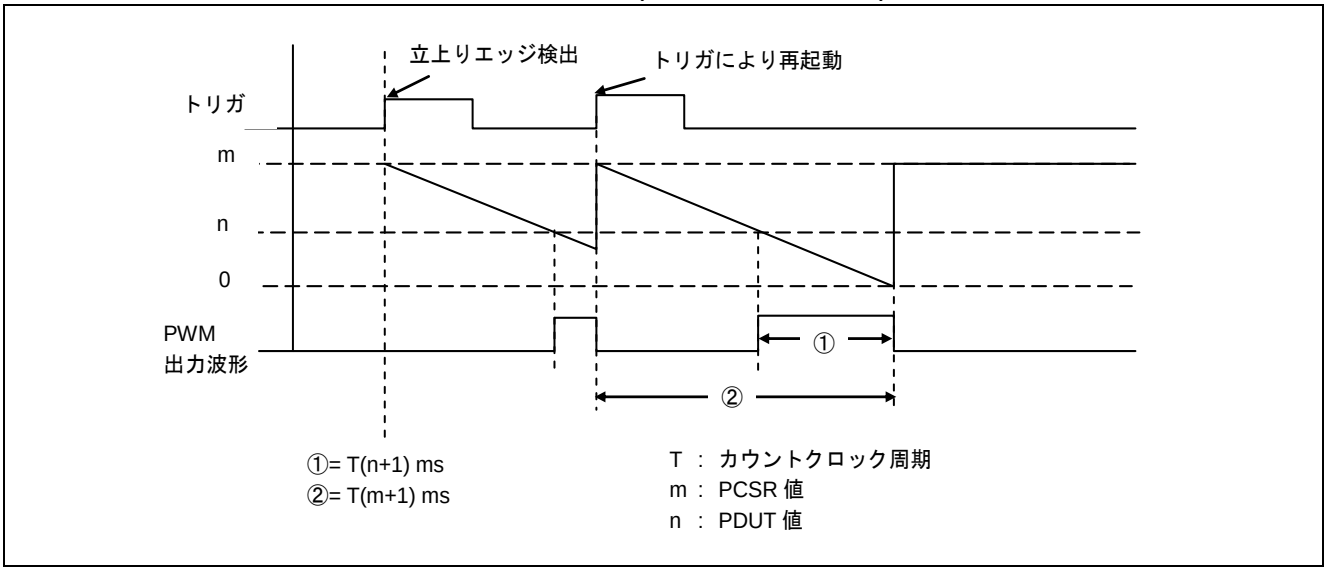
● 再起動禁止の場合(RTGEN=0)

図 9-3 ワンショット動作のタイミングチャート(トリガ再起動禁止)



● 再起動許可の場合(RTGEN=1)

図 9-4 ワンショット動作のタイミングチャート(トリガ再起動許可)



9.1.3. 割込み要因とタイミングチャート

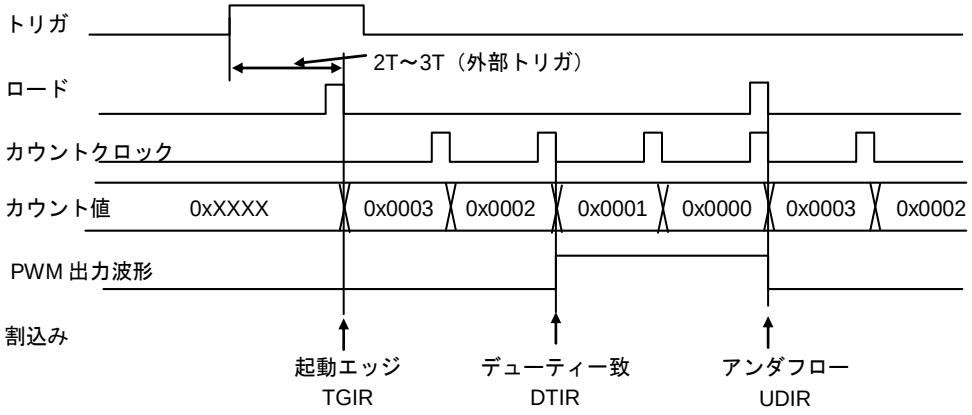
割込み要因とタイミングチャートについて示します。

■ 割込み要因とタイミングチャート(PWM 出力 ： 通常極性)

トリガが入力されて、カウンタ値がロードされるまでの時間として、ソフトウェアトリガ時は T、外部トリガ時は 2T～3T(T : マシンサイクル)が必要です。

図 9-5 に周期設定値=3, デューティ値=1 の場合の、割込み要因とタイミングチャートを示します。

図 9-5 PWM タイマの割込み要因とタイミングチャート



9.1.4. 出力波形

PWM 出力について示します。

■ PWM 出力オール"L"またはオール"H"の出力方法

図 9-6 に PWM 出力をオール"L"にする出力方法を、図 9-7 にオール"H"にする出力方法を示します。

図 9-6 PWM 出力をオール"L"レベルにする例

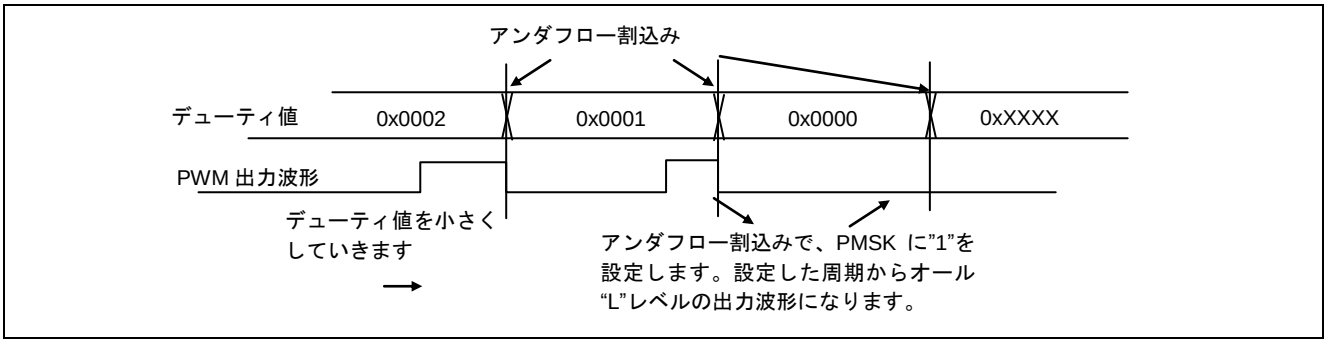
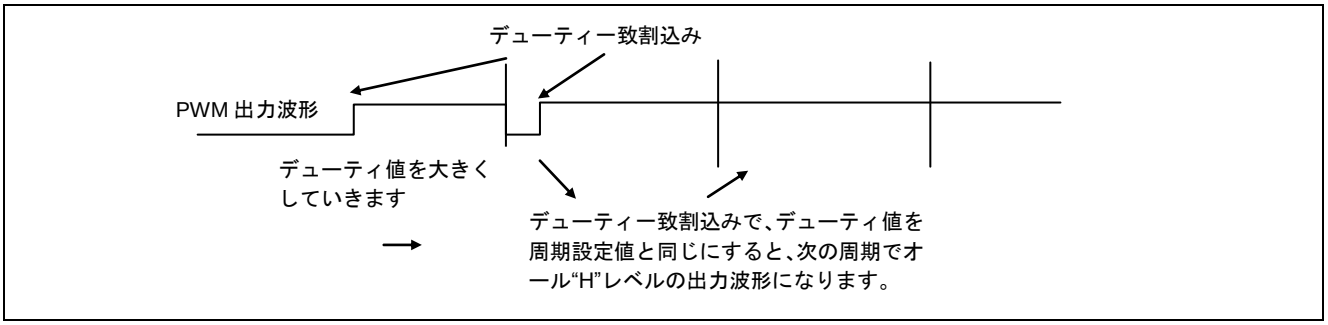


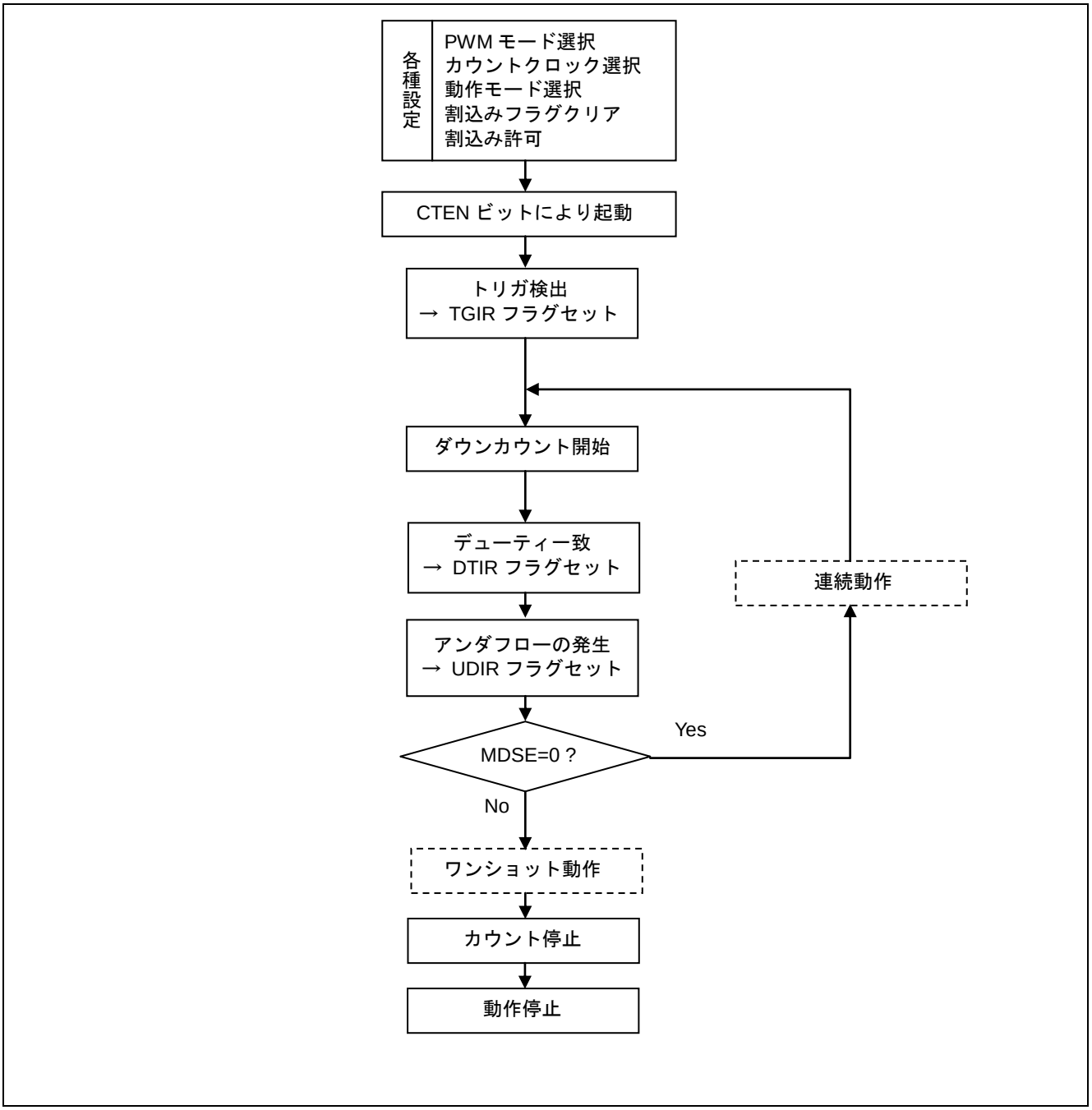
図 9-7 PWM 出力をオール"H"レベルにする例



9.1.5. PWM タイマ動作フロー

PWM タイマの動作フローを示します。

■ PWM タイマ動作フロー



9.1.6. PWM タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)

タイマ制御レジスタ(TMCR)は、PWM タイマを制御します。PWM タイマ動作中に書換え不可能なビットがありますので注意してください。

■ タイマ制御レジスタ(TMCR 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	CKS2	CKS1	CKS0	RTGEN	PMSK	EGS1	EGS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されます。したがって、CKS3～CKS0 ビットの変更はカウント停止状態(CTEN="0")で行ってください。ただし、カウント動作許可ビット(CTEN)への"1"書込みと同時に変更は可能です。

CKS3	CKS2	CKS1	CKS0	説明
0	0	0	0	ϕ
0	0	0	1	ϕ /4
0	0	1	0	ϕ /16
0	0	1	1	ϕ /128
0	1	0	0	ϕ /256
0	1	0	1	外部クロック(立上りエッジイベント)
0	1	1	0	外部クロック(立下りエッジイベント)
0	1	1	1	外部クロック(両エッジイベント)
1	0	0	0	ϕ /512
1	0	0	1	ϕ /1024
1	0	1	0	ϕ /2048
上記以外				設定禁止

[bit11] RTGEN : 再起動許可ビット

ソフトウェアトリガまたはトリガ入力による再起動を許可するビットです。

値	説明
0	再起動禁止
1	再起動許可

[bit10] PMSK : パルス出力マスクビット

・PWM 出力波形の出力波形レベルを制御します。
・本ビットが"0"のときは PWM 波形をそのまま出力します。
・本ビットが"1"のときは、周期やデューティ設定の値にかかわらず PWM 出力を L 出力にマスクします。

値	説明
0	通常出力
1	L 出力に固定

＜注意事項＞

タイマ制御レジスタ(TMCR 下位バイト)の出力極性指定ビット(OSEL)が反転出力に設定されている場合に、PMSK ビットを"1"にすると H 出力にマスクします。

[bit9:8] EGS1, EGS0 : トリガ入力エッジ選択ビット

・外部起動要因として、入力波形に対する有効エッジを選択し、トリガの条件を設定します。
・初期値または"00"の設定の場合、入力波形に対する有効エッジが選択されていない状態のため外部波形による起動はかかりません。
・EGS1, EGS0 ビットの変更はカウント停止状態(CTEN="0")で行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

bit9	bit8	説明
0	0	トリガ入力無効
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

＜注意事項＞

EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに"1"を書き込むとソフトウェアトリガは有効になります。

■ タイマ制御レジスタ(TMCR 下位バイト)

bit	7	6	5	4	3	2	1	0
Field	予約	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

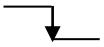
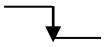
[bit6:4] FMD2～FMD0 : タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD[2:0]ビットに"001"を設定すると PWM 機能が選択されます。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	16 ビット PWM タイマ
0	1	0	16 ビット PPG タイマ
0	1	1	16/32 ビットリロードタイマ
1	0	0	16/32 ビット PWC タイマ
1	0	1	設定禁止
1	1	0	
1	1	1	

[bit3] OSEL : 出力極性指定ビット

PWM 出力の極性を設定します。

極性	リセット後	デューティー致	アンダフロー
通常	"L"出力		
反転	"H"出力		

値	説明
0	通常極性
1	反転極性

[bit2] MDSE : モード選択ビット

・連続してパルスを出力する動作か、単一パルスを出力するワンショット動作かを選択します。
・変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

値	説明
0	連続動作
1	ワンショット動作

[bit1] CTEN : カウント動作許可ビット

・ダウンカウンタの動作を許可するビットです。
・カウンタが動作許可状態(CTEN ビットが"1")のときに"0"を書き込むとカウンタは停止します。

値	説明
0	停止
1	動作許可

＜注意事項＞

CTEN=0 と書き込むことで、出力波形は L になります。

[bit0] STRG : ソフトウェアトリガビット

・CTEN ビットが"1"のときに STRG ビットに"1"を書き込むとソフトウェアトリガがかかります。
・本ビットの読出し値は常に"0"が読み出されます。

値	説明
0	無効
1	ソフトウェアによる起動開始

＜注意事項＞

・CTEN ビットと STRG ビットを同時に"1"を書き込んだ場合でも、ソフトウェアトリガがかかります。
・EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに"1"を書き込むとソフトウェアトリガは有効になります。

■ タイマ制御レジスタ 2(TMCR2)

bit	15	14	13	12	11	10	9	8
Field	予約							CKS3
属性				R/W				R/W
初期値				0000000				0

(注意事項)　本レジスタは STC レジスタの上位に配置されます。

[bit15:9] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit8] CKS3 : カウントクロック選択ビット

「9.1.6 PWM タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)」の「[bit14:12, TMCR2:bit8] CKS3～CKS0 :カウントクロック選択ビット」を参照してください。

■ ステータス制御レジスタ(STC)

bit	7	6	5	4	3	2	1	0
Field	予約	TGIE	DTIE	UDIE	予約	TGIR	DTIR	UDIR
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

(注意事項)　本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit6] TGIE : トリガ割込み要求許可ビット

・トリガ割込み要求ビット(bit2:TGIR)の割込み要求を制御します。

・TGIE ビットが許可されていて TGIR ビットが設定されると CPU に割込み要求を発生します。

値	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] DTIE : デューティー致割込み要求許可ビット

・デューティー致割込み要求ビット(bit1:DTIR)の割込み要求を制御します。

・DTIE ビットが許可されていて DTIR ビットが設定されると CPU に割込み要求を発生します。

値	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit4] UDIE : アンダフロー割込み要求許可ビット

・アンダフロー割込み要求ビット(bit0:UDIR)の割込み要求を制御します。

・UDIE ビットが許可されていて UDIR ビットが設定されると CPU に割込み要求を発生します。

値	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit2] TGIR : トリガ割込み要求ビット

・ソフトウェアトリガまたはトリガ入力の検出をした時に TGIR ビットが"1"に設定されます。
・TGIR ビットは"0"書込みによりクリアされます。
・TGIR ビットに"1"書込みしてもビット値には影響しません。
・リードモディファイライト系命令におけるリード値は、ビット値にかかわらず"1"になります。

値	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit1] DTIR : デューティー致割込み要求ビット

・カウント値がデューティ設定値と一致した時に DTIR ビットが"1"に設定されます。
・DTIR ビットは"0"書込みによりクリアされます。
・DTIR ビットに"1"書込みしてもビット値には影響しません。
・リードモディファイライト系命令におけるリード値は、ビット値にかかわらず"1"になります。

値	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit0] UDIR : アンダフロー割込み要求ビット

・カウント値が 0x0000→0xFFFF へのアンダフロー時に UDIR ビットが"1"に設定されます。
・UDIR ビットは"0"書込みによりクリアされます。
・UDIR ビットに"1"書込みしてもビット値には影響しません。
・リードモディファイライト系命令におけるリード値は、ビット値にかかわらず"1"になります。

値	説明
0	割込み要因のクリア
1	割込み要因の検出

9.1.7. PWM 周期設定レジスタ(PCSR)

PWM 周期設定レジスタ(PCSR)は、周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は、起動時とアンダフロー時に行われます。

bit	15	0
Field	PCSR[15:0]	
属性	R/W	
初期値	0xXXXX	

周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は起動時とアンダフロー時に行われます。

周期設定レジスタの初期設定時および書換え時は、周期設定レジスタの書込み後に必ずデューティ設定レジスタへの書込み動作を行ってください。

・PCSR レジスタは 8 ビットアクセス禁止です。
・PCSR レジスタは TMCR レジスタの FMD[2:0]ビットで PWM 機能の設定後に周期を設定してください。

9.1.8. PWM デューティ設定レジスタ(PDUT)

PWM デューティ設定レジスタ(PDUT)はデューティを設定するためのバッファ付きレジスタです。バッファの転送は、アンダフローで行われます。

bit	15	0
Field	PDUT[15:0]	
属性	R/W	
初期値	0xXXXX	

デューティを設定するためのバッファ付きレジスタです。バッファからの転送はアンダフローで行われます。

周期設定レジスタの値とデューティ設定レジスタの値を同じにすると、通常極性時にオール"H"を、反転極性時にオール"L"を出力します。

PCSR＜PDUT となるような値を設定しないでください。PWM 出力は不定となります。

- PDUT レジスタは 8 ビットアクセス禁止です。
- PDUT レジスタは TMCR レジスタの FMD[2:0]ビットで PWM 機能の設定後にデューティ設定をしてください。

9.1.9. タイマレジスタ(TMR)

タイマレジスタ(TMR)は、16 ビットダウンカウンタの値を読み出せます。

bit	15															0
Field	TMR[15:0]															
属性	R															
初期値	0x0000															

16 ビットダウンカウンタの値を読み出せます。

・TMR レジスタは 8 ビットアクセス禁止です。

9.2. PPG タイマ機能

ベースタイマは、タイマ制御レジスタの FMD[2:0]ビットの設定により、16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。PPG を設定した時のタイマ機能の説明を示します。

1. 16 ビット PPG タイマ動作
2. 連続動作
3. ワンショット動作
4. 割込み要因とタイミングチャート
5. PPG タイマ動作フロー
6. PPG タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)
7. L 幅設定リロードレジスタ(PRLL)
8. H 幅設定リロードレジスタ(PRLH)
9. タイマレジスタ(TMR)

9.2.1. 16 ビット PPG タイマ動作

PPG タイマ動作では、出力パルスの L 幅と H 幅をそれぞれのリロードレジスタに設定することで、任意の出力パルスを制御できます。

■ 動作概要

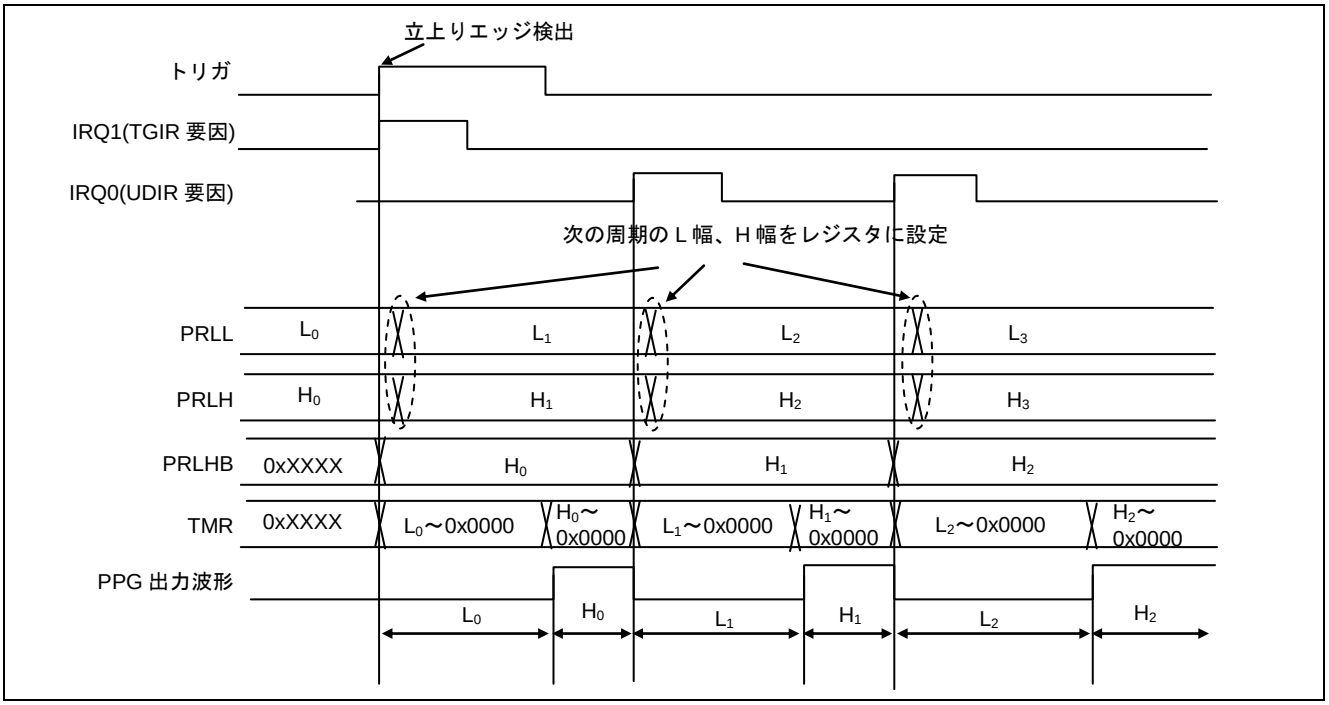
16 ビット長のリロードレジスタが L 幅設定用と H 幅設定用の 2 本、H 幅設定のバッファが 1 本あります (PRLL, PRLH, PRLHB)。

起動トリガにより、16 ビットダウンカウンタに最初は PRLL の設定値がロードされ、同時に PRLHB に PRLH の設定値が転送されます。PPG 出力はレベルを L にして、カウントクロックごとにダウンカウントしていきます。アンダフローの検出により PRLHB の値がカウンタにリロードされ、PPG 出力波形を反転してダウンカウントしていきます。再度アンダフローの検出で PPG 出力波形を反転し、PRLL の設定値をカウンタにリ
ロードし、PRLH の設定値を PRLHB に転送します。

この動作によって、出力波形は各リロードレジスタ値に対応した L 幅・H 幅をもつパルス出力となります。

■ リロードレジスタへの書込みタイミング

リロードレジスタ PRLL, PRLH へのデータの書込みは起動トリガ検出時と、アンダフロー割込み要因 (UDIR)が設定されてから、次の周期に移るまでの間に行います。その際に設定するデータは次の周期の設定となります。PRLL, PRLH に設定したデータは起動トリガ検出時と H 幅カウント終了時のアンダフロー時に TMR と PRLHB にそれぞれ自動で転送されます。PRLHB に転送されたデータは L 幅カウント終了時のアンダフロー時に TMR に自動でリロードされます。



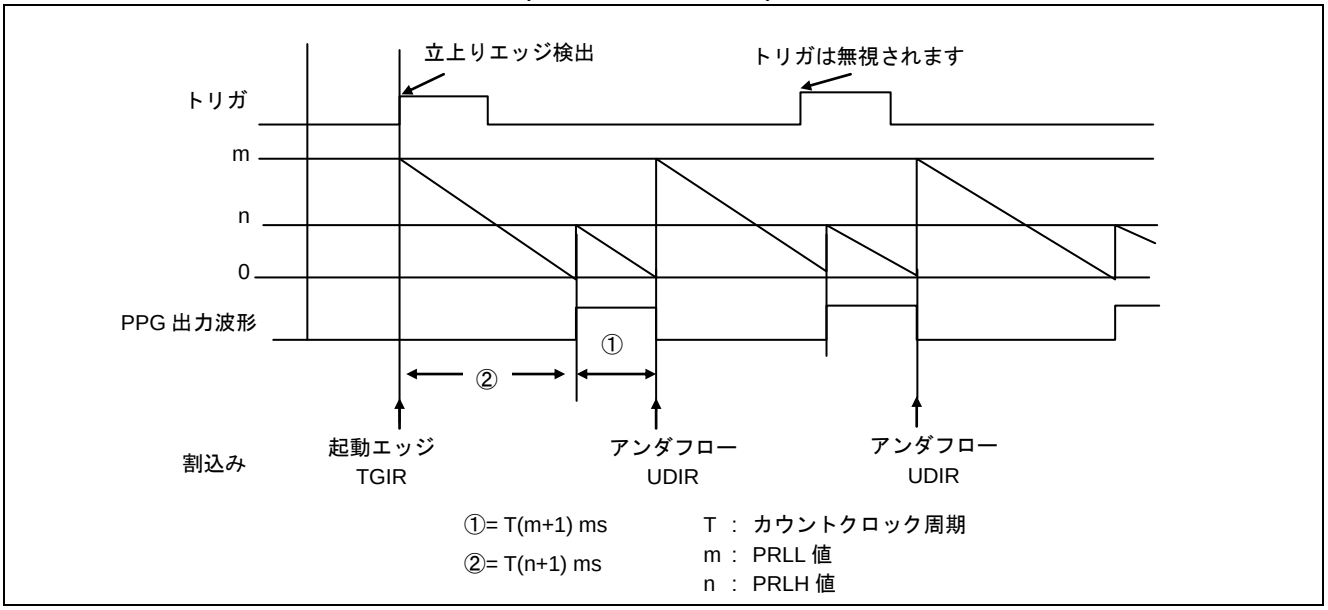
9.2.2. 連続動作

連続動作では、各割込み要因のセットタイミングで L 幅と H 幅を更新することにより、任意のパルスを連続で出力できます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ 連続動作

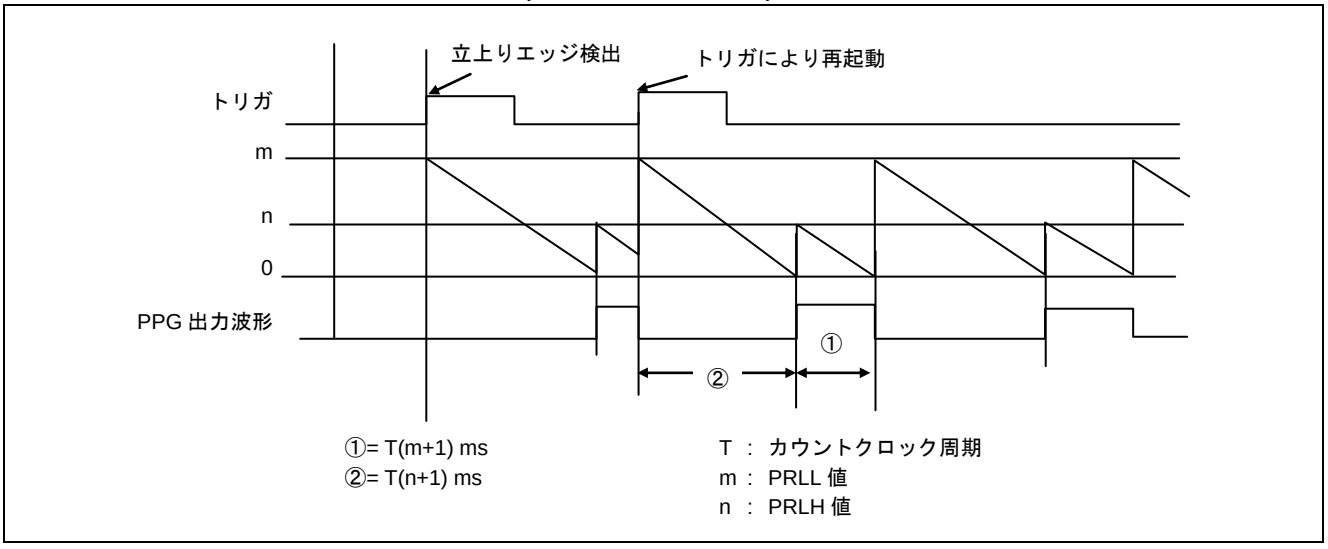
● 再起動禁止の場合(RTGEN=0)

図 9-8 PPG 動作のタイミングチャート(再起動禁止の場合)



● 再起動許可の場合(RTGEN=1)

図 9-9 PPG 動作のタイミングチャート(再起動許可の場合)



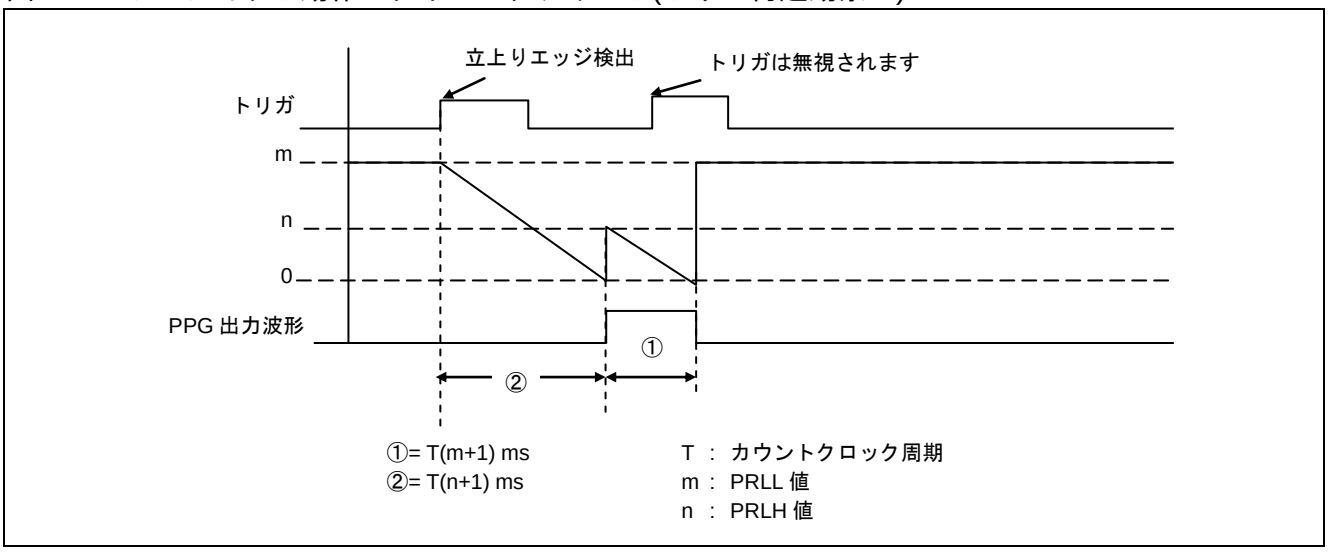
9.2.3. ワンショット動作

ワンショット動作では、トリガにより任意の幅の単一パルスを出力できます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ ワンショット動作

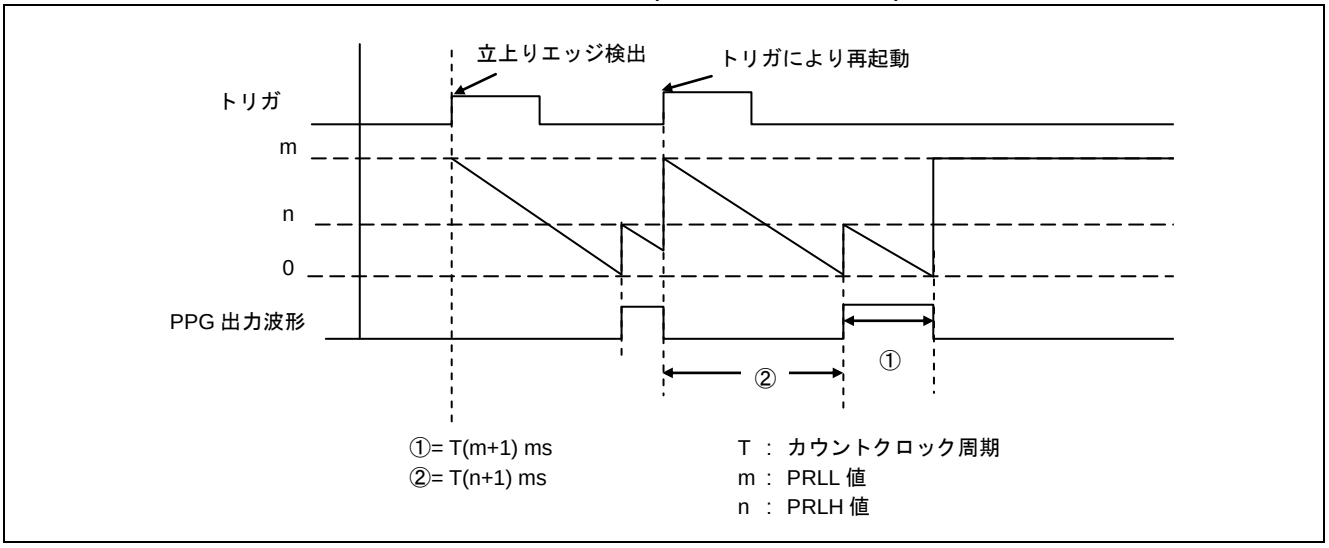
● 再起動禁止の場合(RTGEN=0)

図 9-10 ワンショット動作のタイミングチャート(トリガ再起動禁止)



● 再起動許可の場合(RTGEN=1)

図 9-11 ワンショット動作のタイミングチャート(トリガ再起動許可)



■ リロード値とパルス幅の関係

16 ビット長のリロードレジスタに書き込まれた値を+1 した値に、カウントクロックの周期をかけた値が出力されるパルス幅となります。したがって、リロードレジスタ値が"0x0000"のときはカウントクロック 1 周期のパルス幅になります。また、リロードレジスタ値が"0xFFFF"のときはカウントクロック 65536 周期のパルス幅になります。パルス幅の計算式は以下のようになります。

PL=T×(L+1)　　PL ： L パルスの幅
PH=T×(H+1)　　PH ： H パルスの幅

T：カウントクロック周期
L：PRLL 値
H：PRLH 値

9.2.4. 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

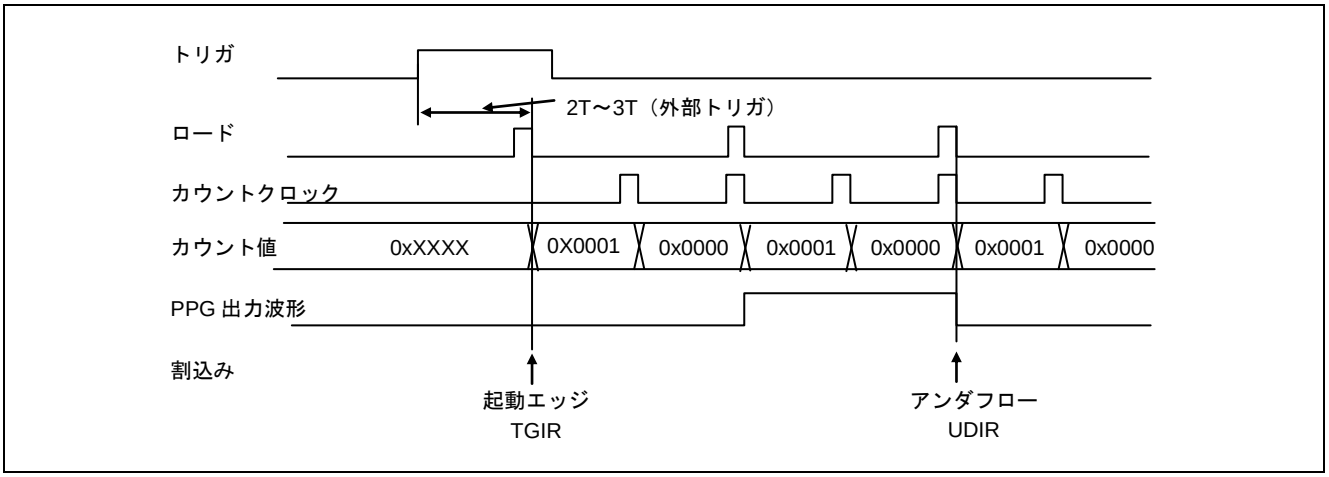
■ 割込み要因とタイミングチャート(PPG 出力 : 通常極性)

トリガがかかってからカウンタ値がロードされるまで、ソフトウェアトリガ時は T、外部トリガ時は 2T～3T(T:マシンサイクル)を必要とします。

割込み要因は PPG 起動トリガ検出時と、H レベル出力時のアンダフロー検出時に設定されます。

図 9-12 に、L 幅設定値=1, H 幅設定値=1 の場合の、割込み要因とタイミングチャートを示します。

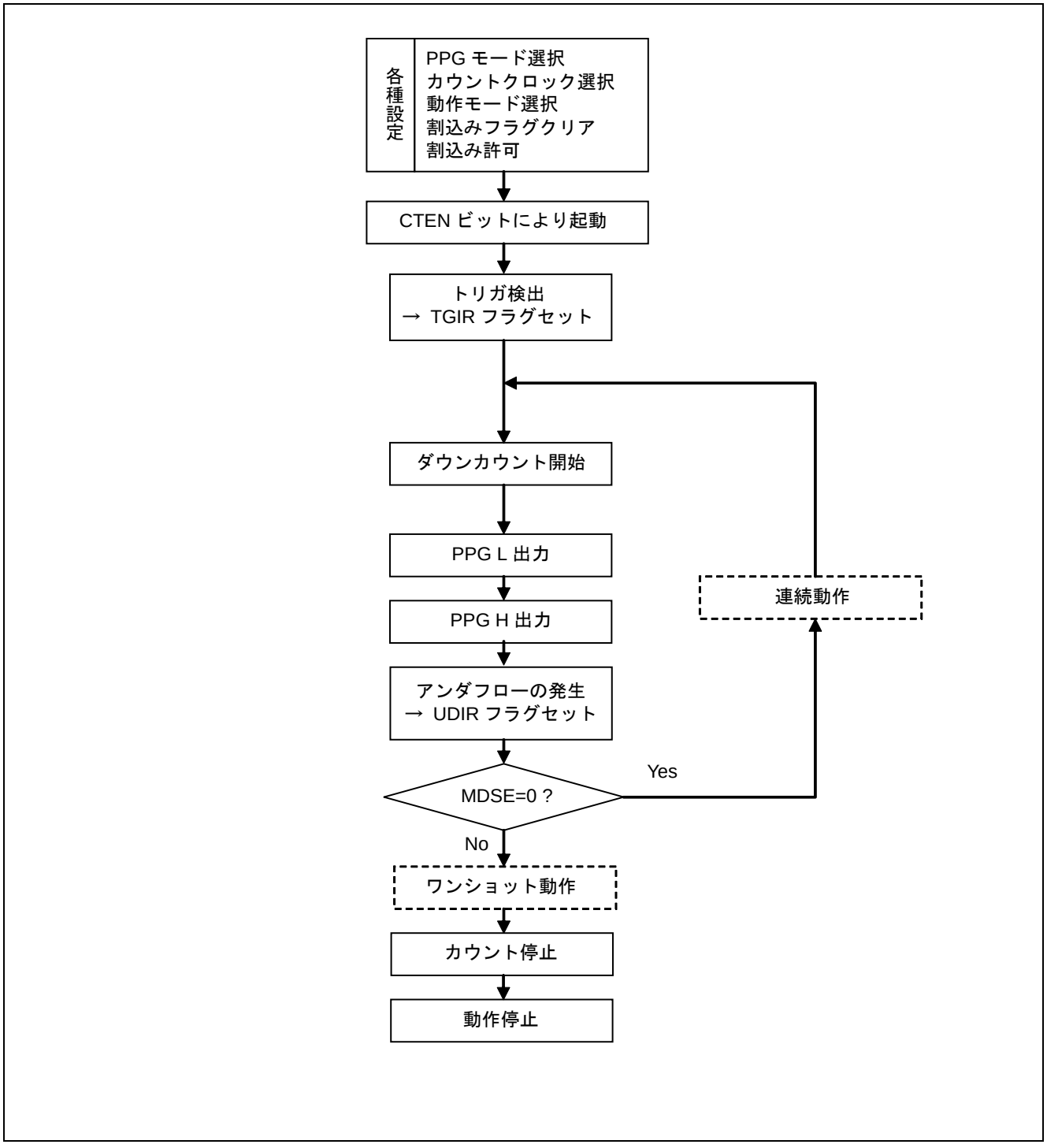
図 9-12 PPG タイマの割込み要因とタイミングチャート



9.2.5. PPG タイマ動作フロー

PPG タイマの動作フローを示します。

■ PPG タイマ動作フロー



9.2.6. PPG タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)

タイマ制御レジスタ(TMCR)は、PPG タイマを制御します。PPG タイマ動作中に書換え不可能なビットがあるため、注意してください。

■ タイマ制御レジスタ(TMCR 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	CKS2	CKS1	CKS0	RTGEN	PMSK	EGS1	EGS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されます。したがって、CKS3～CKS0 ビットの変更はカウント停止状態(CTEN="0")で行ってください。ただし、CTEN ビットへの"1"書込みと同時に変更は可能です。

CKS3	CKS2	CKS1	CKS0	説明
0	0	0	0	ϕ
0	0	0	1	ϕ /4
0	0	1	0	ϕ /16
0	0	1	1	ϕ /128
0	1	0	0	ϕ /256
0	1	0	1	外部クロック(立上りエッジイベント)
0	1	1	0	外部クロック(立下りエッジイベント)
0	1	1	1	外部クロック(両エッジイベント)
1	0	0	0	ϕ /512
1	0	0	1	ϕ /1024
1	0	1	0	ϕ /2048
上記以外				設定禁止

[bit11] RTGEN : 再起動許可ビット

ソフトウェアトリガまたはトリガ入力による再起動を許可するビットです。

値	説明
0	再起動禁止
1	再起動許可

[bit10] PMSK : パルス出力マスクビット

- PPG 出力波形の出力波形レベルを制御します。
- 本ビットが"0"のときは PPG 波形をそのまま出力します。
- 本ビットが"1"のときは、周期やデューティ設定の値にかかわらず PPG 出力を L 出力にマスクします。

値	説明
0	通常出力
1	L 出力に固定

＜注意事項＞

タイマ制御レジスタ(TMCR 下位バイト)の出力極性指定ビット(OSEL)が反転出力に設定されている場合に、PMSK ビットを"1"にすると H 出力にマスクします。

[bit9:8] EGS1, EGS0 : トリガ入力エッジ選択ビット

- 外部起動要因として、入力波形に対する有効エッジを選択し、トリガの条件を設定します。
- 初期値または"00"の設定の場合、入力波形に対する有効エッジが選択されていない状態のため外部波形による起動はかかりません。
- EGS1, EGS0 ビットの変更はカウント停止状態(CTEN="0")で行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

bit9	bit8	説明
0	0	トリガ入力無効
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

＜注意事項＞

EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに"1"を書き込むとソフトウェアトリガは有効になります。

■ タイマ制御レジスタ(TMCR 下位バイト)

bit	7	6	5	4	3	2	1	0
Field	予約	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

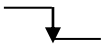
[bit6:4] FMD2～FMD0 : タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD[2:0]ビットに"0b010"を設定すると PPG 機能が選択されます。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	16 ビット PWM タイマ
0	1	0	16 ビット PPG タイマ
0	1	1	16/32 ビットリロードタイマ
1	0	0	16/32 ビット PWC タイマ
1	0	1	設定禁止
1	1	0	
1	1	1	

[bit3] OSEL : 出力極性指定ビット

PPG 出力の極性を設定します。

極性	リセット後	L 幅カウント終了	H 幅カウント終了
通常	"L"出力		
反転	"H"出力		

値	説明
0	通常極性
1	反転極性

[bit2] MDSE : モード選択ビット

・連続してパルスを出力する動作か、単一パルスを出力するワンショット動作かを選択します。
・変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

値	説明
0	連続動作
1	ワンショット動作

[bit1] CTEN : カウント動作許可ビット

・ダウンカウンタの動作を許可するビットです。
・カウンタが動作許可状態(CTEN ビットが"1")のときに"0"を書き込むとカウンタは停止します。

値	説明
0	停止
1	動作許可

＜注意事項＞

・CTEN=0 と書き込むことで、PPG 出力は L になります。

[bit0] STRG : ソフトウェアトリガビット

・CTEN ビットが"1"のときに STRG ビットに"1"を書き込むとソフトウェアトリガがかかります。
・STRG ビットの読出し値は常に"0"が読み出されます。

値	説明
0	無効
1	ソフトウェアによる起動開始

＜注意事項＞

・CTEN ビットと STRG ビットを同時に"1"を書き込んだ場合でも、ソフトウェアトリガがかかります。
・EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに"1"を書き込むとソフトウェアトリガは有効になります。

■ タイマ制御レジスタ 2(TMCR2 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							CKS3
属性				R/W				R/W
初期値				0000000				0

(注意事項)　本レジスタは STC レジスタの上位に配置されます。

[bit15:9] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit8] CKS3 : カウントクロック選択ビット

「9.2.6PPG タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)」の「[bit14:12, TMCR2:bit8] CKS3～CKS0 :カウントクロック選択ビット」を参照してください。

■ ステータス制御レジスタ(STC)

bit	7	6	5	4	3	2	1	0
Field	予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

(注意事項)　本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] 予約 : 予約ビット
読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit6] TGIE : トリガ割込み要求許可ビット
・トリガ割込み要求ビット(bit2:TGIR)の割込み要求を制御します。
・TGIE ビットが許可されていて TGIR ビットが設定されると CPU に割込み要求を発生します。

値	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] 予約 : 予約ビット
読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit4] UDIE : アンダフロー割込み要求許可ビット
・アンダフロー割込み要求ビット(bit0:UDIR)の割込み要求を制御します。
・UDIE ビットが許可されていて UDIR ビットが設定されると CPU に割込み要求を発生します。

値	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] 予約 : 予約ビット
読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit2] TGIR : トリガ割込み要求ビット

・ソフトウェアトリガまたはトリガ入力の検出をした時に TGIR ビットが"1"に設定されます。
・TGIR ビットは"0"書込みによりクリアされます。
・TGIR ビットに"1"書込みしてもビット値には影響しません。
・リードモディファイライト系命令におけるリード値は、ビット値にかかわらず"1"になります。

値	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit1] 予約 : 予約ビット

読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit0] UDIR : アンダフロー割込み要求ビット

・H 幅設定した値からのカウント中でカウント値が 0x0000→0xFFFF へアンダフロー変化したときに UDIR ビットが"1"に設定されます。
・UDIR ビットは"0"書込みによりクリアされます。
・UDIR ビットに"1"書込みしてもビット値には影響しません。
・リードモディファイライト系命令におけるリード値は、ビット値にかかわらず"1"になります。

値	説明
0	割込み要因のクリア
1	割込み要因の検出

9.2.7. L 幅設定リロードレジスタ(PRLL)

L 幅設定リロードレジスタ(PRLL)は、PPG 出力波形の L 幅を設定するためのレジスタです。タイマレジスタへの転送は、起動トリガ検出時か、H 幅カウント終了後のアンダフローで行われます。

bit	15	0
Field	PRLL[15:0]	
属性	R/W	
初期値	0xXXXX	

PPG 出力波形の L 幅を設定するためのレジスタです。タイマレジスタへの転送は起動トリガ検出時と H 幅カウント終了時のアンダフローで行われます。

・PRLL レジスタは 8 ビットアクセス禁止です。
・PRLL レジスタは TMCR レジスタの FMD[2:0]ビットで PPG 機能の設定後に L 幅設定してください。

9.2.8. H 幅設定リロードレジスタ(PRLH)

H 幅設定リロードレジスタ(PRLH)は、PPG 出力波形の H 幅を設定するためのバッファ付きレジスタです。PRLH からバッファレジスタへの転送は起動トリガ検出時と H 幅カウント終了後のアンダフローで行われます。バッファレジスタからタイマレジスタへの転送は、L 幅カウント終了時のアンダフローで行われます。

bit	15	0
Field	PRLH[15:0]	
属性	R/W	
初期値	0xXXXX	

PPG 出力波形の H 幅を設定するためのレジスタです。PRLH からバッファレジスタへの転送は起動トリガ検出時と H 幅カウント終了時のアンダフローで行われます。バッファレジスタからタイマレジスタへの転送は L 幅カウント終了時のアンダフローで行われます。

・PRLH レジスタは 8 ビットアクセス禁止です。
・PRLH レジスタは TMCR レジスタの FMD[2:0]ビットで PPG 機能の設定後に H 幅設定してください。

9.2.9. タイマレジスタ(TMR)

タイマレジスタ(TMR)は、16 ビットダウンカウンタの値を読み出せます。

bit	15	0
Field	TMR[15:0]	
属性	R	
初期値	0x0000	

16 ビットダウンカウンタの値を読み出せます。

・TMR レジスタは 8 ビットアクセス禁止です。

9.3. リロードタイマ機能

ベースタイマは、タイマ制御レジスタの FMD[2:0]ビットの設定により、16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。リロードタイマを設定した時のタイマ機能の説明を示します。

1. 16 ビットリロードタイマの動作
2. リロードタイマ動作フロー
3. リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)
4. 周期設定レジスタ(PCSR)
5. タイマレジスタ(TMR)

9.3.1. 16 ビットリロードタイマの動作

リロードタイマ動作では、カウントクロックに同期して周期設定レジスタに設定する値からカウントダウンを実行します。カウント値 0 になったときにカウントを終了するか、または周期設定を自動でロードしてカウントダウンを停止するまで継続動作します。

■ 内部クロック選択時のカウント動作

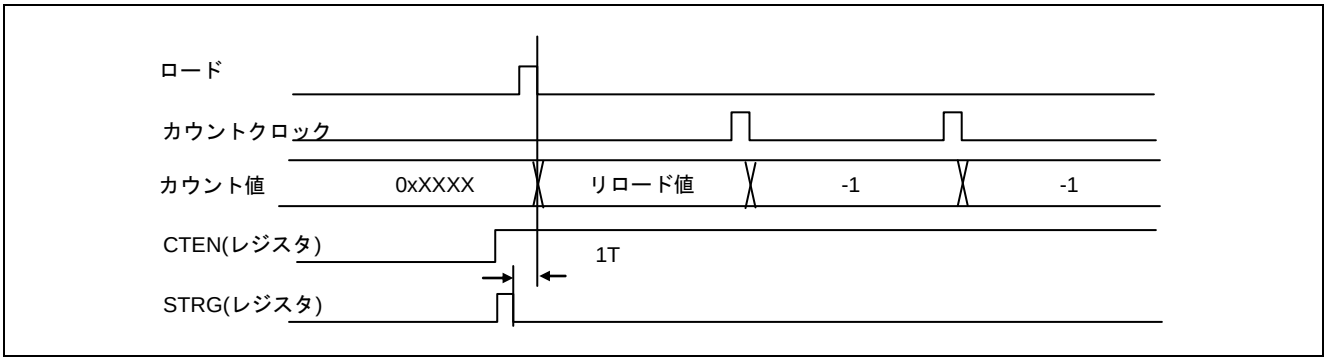
カウント許可と同時にカウント動作を開始したい場合は、タイマ制御レジスタの CTEN ビットと STRG ビットの両方に"1"を書き込んでください。STRG ビットによるトリガ入力は、タイマが起動状態のとき(CNTE=1)は動作モードにかかわらず常に有効です。

カウント動作を許可し、ソフトウェアトリガまたは外部トリガでタイマを起動すると、周期設定レジスタの値をカウンタにロードしてカウントダウンを開始します。

カウンタスタートのトリガが設定されてから周期設定レジスタのデータがカウンタへロードされるまでに、1T(T:マシンサイクル)の時間がかかります。

図 9-13 に、ソフトウェアトリガによるカウンタの起動および動作を示します。

図 9-13 内部クロック選択時のカウント動作



■ アンダフロー動作

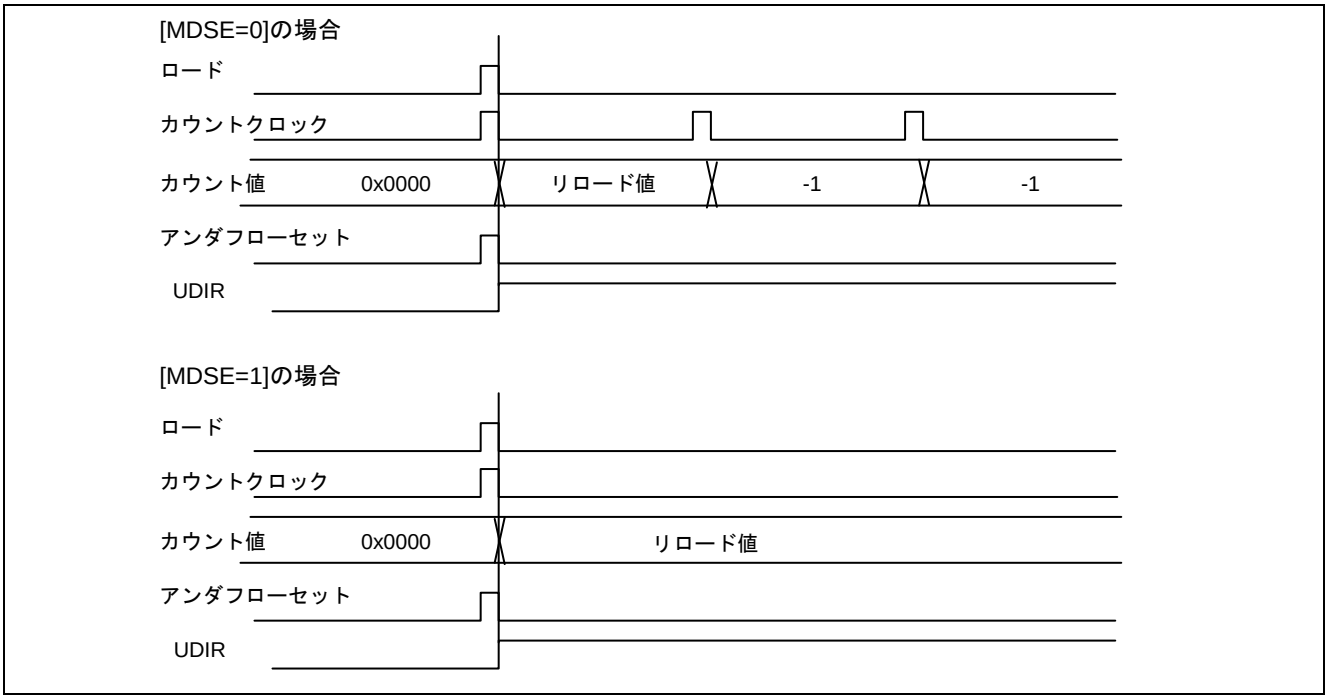
カウンタの値が 0x0000 から 0xFFFF になる場合にアンダフローが発生します。したがって、〔周期設定レジスタの設定値+1〕カウントでアンダフローが発生します。

アンダフロー発生時には、周期設定レジスタ(PCSR)の内容がカウンタへロードされます。タイマ制御レジスタ(TMCR)の MDSE ビットが"0"のときはカウント動作が継続されます。MDSE ビットが"1"のときは、ロードしたカウンタ値のまま停止します。

アンダフローによりステータス制御レジスタ(STC)の UDIR ビットが設定されます。その際、UDIE ビットが"1"の場合、割込み要求が発生します。

図 9-14 に、アンダフロー動作のタイミングチャートを示します。

図 9-14 アンダフロー動作のタイミングチャート

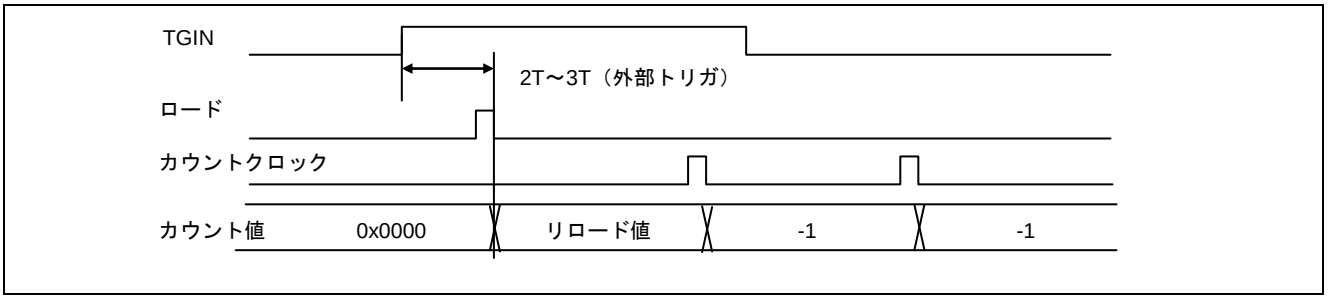


■ 入力端子機能の動作

TGIN 端子はトリガ入力として使用できます。TGIN 端子に有効エッジが入力されると周期設定レジスタの内容をカウンタにロードしてカウント動作を開始します。トリガがかかってから、カウンタ値がロードされるまで、2T～3T(T:マシンサイクル)を必要とします。

図 9-15 に、有効エッジ指定を立上りエッジにした場合のトリガ入力動作を示します。

図 9-15 トリガ入力の動作

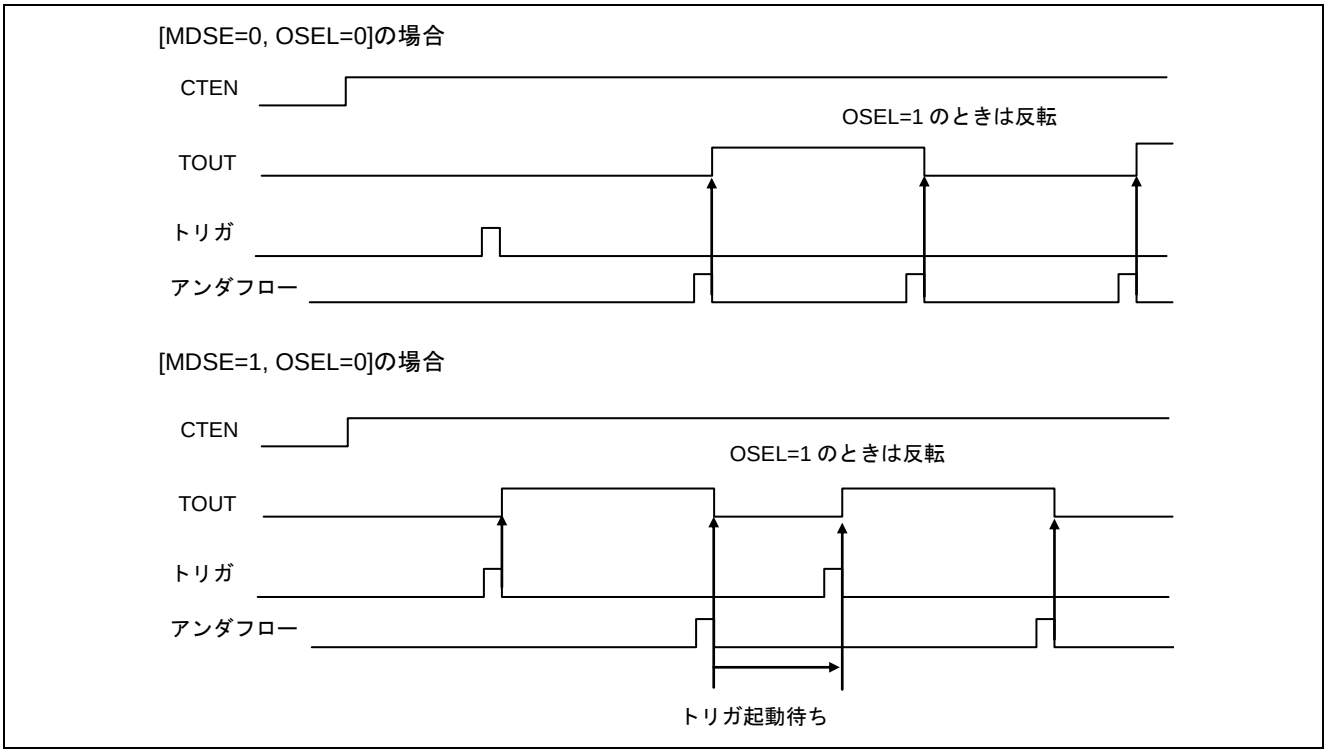


■ 出力端子機能の動作

TOUT 出力端子は、リロードモード時はアンダフローにより反転するトグル出力として、ワンショットモード時はカウント中を示すパルス出力として機能します。出力極性は、タイマ制御レジスタ(TMCR)の OSEL ビットにより設定できます。OSEL=0 の場合トグル出力は初期値が"0"で、ワンショットパルス出力は、カウント中"1"を出力します。OSEL=1 にすると出力波形は、反転します。

図 9-16 に、出力端子機能動作のタイミングチャートを示します。

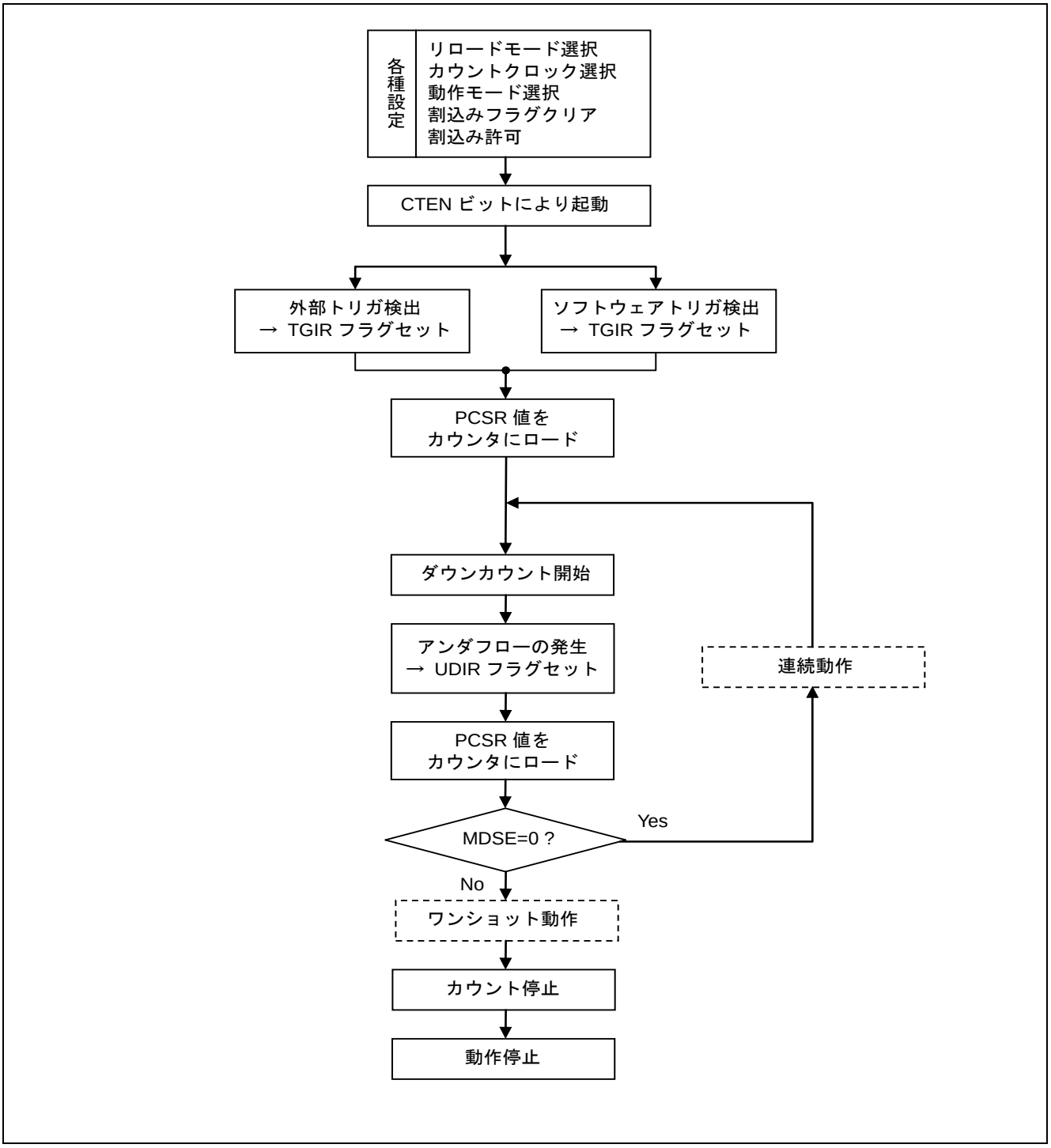
図 9-16 出力端子機能動作のタイミングチャート



9.3.2. リロードタイマ動作フロー

リロードタイマの動作フローを示します。

■ リロードタイマ動作フロー



9.3.3. リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)

タイマ制御レジスタ(TMCR)は、タイマの動作を制御します。

■ タイマ制御レジスタ(TMCR 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	CKS2	CKS1	CKS0	予約		EGS1	EGS0
属性	R/W	R/W	R/W	R/W	R/W		R/W	R/W
初期値	0	0	0	0	00		0	0

[bit15] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されます。したがって、CKS3～CKS0 ビットの変更はカウント停止状態(CTEN="0")で行ってください。ただし、CTEN ビットへの"1"書込みと同時に変更は可能です。

CKS3	CKS2	CKS1	CKS0	説明
0	0	0	0	ϕ
0	0	0	1	ϕ /4
0	0	1	0	ϕ /16
0	0	1	1	ϕ /128
0	1	0	0	ϕ /256
0	1	0	1	外部クロック(立上りエッジイベント)
0	1	1	0	外部クロック(立下りエッジイベント)
0	1	1	1	外部クロック(両エッジイベント)
1	0	0	0	ϕ /512
1	0	0	1	ϕ /1024
1	0	1	0	ϕ /2048
上記以外				設定禁止

[bit11:10] 予約 : 予約ビット
読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit9:8] EGS1, EGS0 : トリガ入力エッジ選択ビット
・外部起動要因として、入力波形に対する有効エッジを選択し、トリガの条件を設定します。
・初期値または"00"の設定の場合、入力波形に対する有効エッジが選択されていない状態のため外部波形による起動はかかりません。
・EGS1, EGS0 ビットの変更はカウント停止状態(CTEN="0")で行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

bit9	bit8	説明
0	0	トリガ入力無効
0	1	外部トリガ(立上りエッジ)
1	0	外部トリガ(立下りエッジ)
1	1	外部トリガ(両エッジ)

＜注意事項＞

EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに"1"を書き込むとソフトウェアトリガは有効になります。

■ タイマ制御レジスタ 2(TMCR 下位バイト)

bit	7	6	5	4	3	2	1	0
Field	T32	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] T32 : 32 ビットタイマ選択ビット

- 32 ビットタイマ機能を選択するビットです。
- FMD[2:0]ビットに"011"を設定して、リロードタイマ機能を選択している場合、T32 ビットを"1"に設定すると 32 ビットタイマモードになります。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です(32 ビットモード動作を参照してください)。

値	説明
0	16 ビットタイマモード
1	32 ビットタイマモード

[bit6:4] FMD2～FMD0 : タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD[2:0]ビットに"011"を設定するとリロードタイマ機能が選択されます。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
上記以外			設定禁止

[bit3] OSEL : 出力極性指定ビット

・タイマ出力のレベルを通常のまま出力するか反転させるかを選択します。
・モード選択ビット(bit2:MDSE)との組合せにより次のように出力波形を生成します。

MDSE	OSEL	出力波形
0	0	カウント開始時"L"のトグル出力
0	1	カウント開始時"H"のトグル出力
1	0	カウント中"H"の矩形波
1	1	カウント中"L"の矩形波

値	説明
0	通常極性
1	反転極性

[bit2] MDSE : モード選択ビット

・MDSE ビットを"0"に設定するとリロードモードとなります。カウント値が 0x0000→0xFFFF へのアンダフローと同時にリロードレジスタ値をカウンタにロードしてカウント動作を続けます。
・MDSE ビットを"1"に設定するとワンショットモードとなります。カウント値が 0x0000→0xFFFF へのアンダフローにより動作を停止します。
・変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

値	説明
0	リロードモード
1	ワンショットモード

[bit1] CTEN : タイマ許可ビット

・ダウンカウンタの動作を許可するビットです。
・カウンタが動作許可状態(CTEN ビットが"1")のときに"0"を書き込むとカウンタは停止します。

値	説明
0	停止
1	動作許可

＜注意事項＞

・CTEN=0 と書き込むことで、TOUT=L になります。

[bit0] STRG : ソフトウェアトリガビット

・CTEN ビットが"1"のときに STRG ビットに"1"を書き込むとソフトウェアトリガがかかります。
・STRG ビットの読出し値は常に"0"が読み出されます。

値	説明
0	無効
1	ソフトウェアによる起動開始

＜注意事項＞

・CTEN ビットと STRG ビットを同時に"1"を書き込んだ場合でも、ソフトウェアトリガがかかります。
・EGS1, EGS0 ビットの設定にかかわらず、STRG ビットに"1"を書き込むとソフトウェアトリガは有効になります。

■ タイマ制御レジスタ 2(TMCR2 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							CKS3
属性				R/W				R/W
初期値				0000000				0

(注意事項)　本レジスタは STC レジスタの上位に配置されます。

[bit15:9] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit8] CKS3 : カウントクロック選択ビット

「9.3.3 リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)」の「[bit14:12, TMCR2:bit8] CKS3～CKS0 :カウントクロック選択ビット」を参照してください。

■ ステータス制御レジスタ(STC)

bit	7	6	5	4	3	2	1	0
Field	予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

(注意事項)　本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] 予約 : 予約ビット
読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit6] TGIE : トリガ割込み要求許可ビット
・トリガ割込み要求ビット(bit2:TGIR)の割込み要求を制御します。
・TGIE ビットが許可されていて TGIR ビットが設定されると、CPU に割込み要求を発生します。

値	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] 予約 : 予約ビット
読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit4] UDIE : アンダフロー割込み要求許可ビット
・アンダフロー割込み要求ビット(bit0:UDIR)の割込み要求を制御します。
・UDIE ビットが許可されていて UDIR ビットが設定されると、CPU に割込み要求を発生します。

値	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] 予約 : 予約ビット
読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit2] TGIR : トリガ割込み要求ビット

・ソフトウェアトリガまたはトリガ入力の検出をした時に TGIR ビットが"1"に設定されます。
・TGIR ビットは"0"書込みによりクリアされます。
・TGIR ビットに"1"書込みしてもビット値には影響しません。
・リードモディファイライト系命令におけるリード値は、ビット値にかかわらず"1"になります。

値	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit1] 予約 : 予約ビット

読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit0] UDIR : アンダフロー割込み要求ビット

・H 幅設定した値からのカウント中でカウント値が 0x0000→0xFFFF へアンダフロー変化したときに UDIR ビットが"1"に設定されます。
・UDIR ビットは"0"書込みによりクリアされます。
・UDIR ビットに"1"書込みしてもビット値には影響しません。
・リードモディファイライト系命令におけるリード値は、ビット値にかかわらず"1"になります。

値	説明
0	割込み要因のクリア
1	割込み要因の検出

9.3.4. 周期設定レジスタ(PCSR)

周期設定レジスタ(PCSR)は、カウントの初期値を保持するレジスタです。32 ビットモード時には、偶数チャネルの場合、下位 16 ビットのカウント初期値となります。奇数チャネルの場合は上位 16 ビットのカウント初期値となります。リセット時の初期値は不定です。このレジスタへのアクセスは、8 ビットアクセス禁止です。

bit	15	0
Field	PCSR[15:0]	
属性	R/W	
初期値	0xXXXX	

周期を設定するためのレジスタです。タイマレジスタへの転送はアンダフローで行われます。

- PCSR レジスタは 8 ビットアクセス禁止です。
- PCSR レジスタは TMCR レジスタの FMD[2:0]ビットでリロードタイマ機能の設定後に周期を設定してください。
- 32 ビットモードで PCSR レジスタにデータを書き込む場合、上位 16 ビットデータ(奇数チャネルのデータ)から先にアクセスした後で、下位 16 ビットデータ(偶数チャネルのデータ)にアクセスしてください。

9.3.5. タイマレジスタ(TMR)

タイマレジスタ(TMR)は、タイマのカウント値を読み出すことができるレジスタです。32 ビットモード時には、偶数チャネルの場合は下位 16 ビットのカウント値となります。奇数チャネルの場合には上位 16 ビットのカウント値となります。初期値は不定です。
本レジスタの読出しは、8 ビットアクセス禁止です。

bit	15														0
Field	TMR[15:0]														
属性	R														
初期値	0xXXXX														

16 ビットダウンカウンタの値を読み出せます。

- TMR レジスタは 8 ビットアクセス禁止です。
- 32 ビットモードで TMR レジスタを読み出す場合、下位 16 ビットデータ(偶数チャネルのデータ)から先に読み出した後で、上位 16 ビットデータ(奇数チャネルのデータ)を読み出してください。

9.4. PWC タイマ機能

ベースタイマは、タイマ制御レジスタの FMD[2:0]ビットの設定により、16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。PWC を設定した時のタイマ機能の説明を示します。

1. PWC タイマの動作
2. PWC タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)
3. データバッファレジスタ(DTBF)

9.4.1. PWC タイマの動作

PWC タイマにはパルス幅測定機能があります。5 種類のカウントクロックを選択でき、入力パルスの任意イベント間の時間・周期をカウンタで測定できます。以下に、パルス幅測定機能における基本機能/動作について示します。

■ パルス幅測定機能

起動後、カウンタを"0x0000"にクリアし、設定した測定開始エッジが入力されるまでは、カウント動作は行われません。測定開始エッジを検出すると"0x0001"からカウントアップを開始し、測定終了エッジを検出するとカウントを停止します。この間のカウント値がパルス幅としてレジスタに保存されます。

測定終了時およびオーバフロー発生時に割込み要求を発生できます。

測定終了後は、測定モードに応じて以下のように動作します。

・単発測定モード時　　動作を停止します。
・連続測定モード時　　カウンタ値をバッファレジスタに転送後、再度測定開始エッジが入力されるまでカウントを停止します。

図 9-17 パルス幅測定動作(単発測定モード/"H"幅測定)

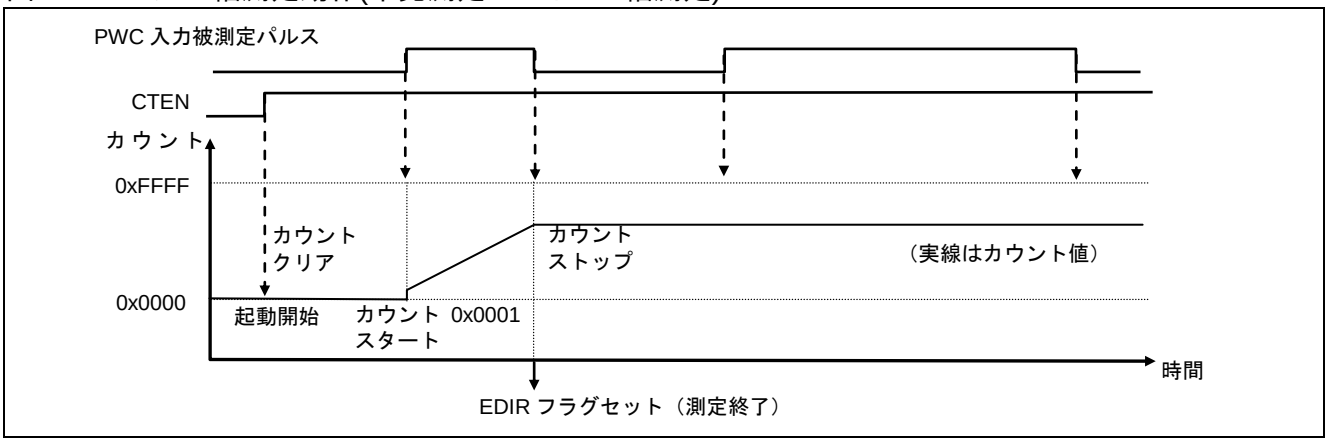
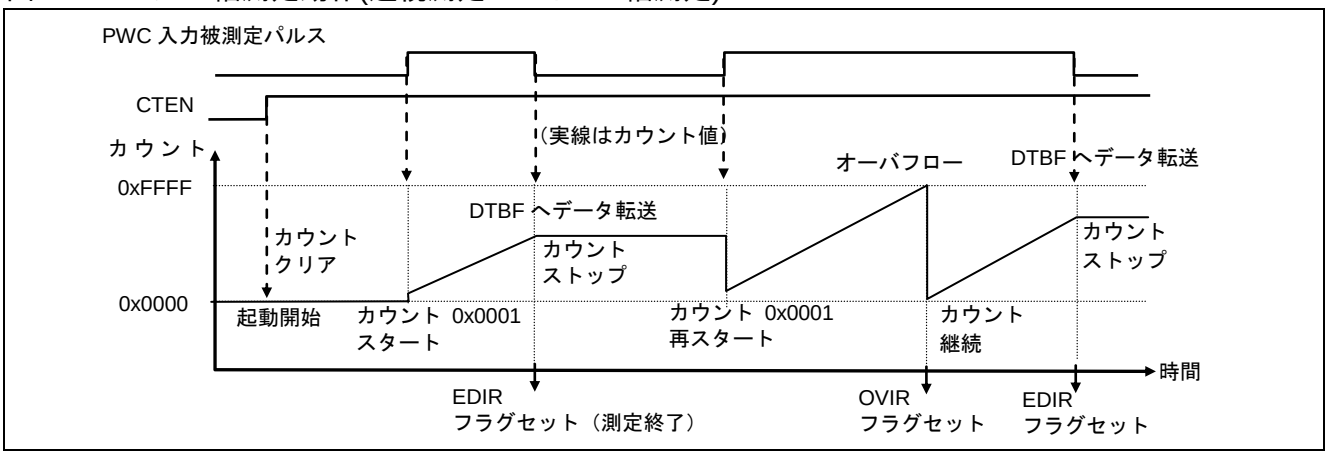


図 9-18 パルス幅測定動作(連続測定モード/"H"幅測定)



■ カウントクロックの選択

カウンタのカウントクロックは、TMCR2 レジスタ bit8 : CKS3, TMCR レジスタ bit14:12 : CKS2, CKS1, CKS0 の設定によって、8 種類から選択できます。
選択できるカウントクロックは以下のとおりです。

TMCR2, TMCR レジスタ CKS3, CKS2, CKS1, CKS0 ビット	選択される内部カウントクロック
0000	マシンクロック [初期値]
0001	マシンクロックの 4 分周
0010	マシンクロックの 16 分周
0011	マシンクロックの 128 分周
0100	マシンクロックの 256 分周
0101	設定禁止
0110	
0111	
1000	マシンクロックの 512 分周
1001	マシンクロックの 1024 分周
1010	マシンクロックの 2048 分周
上記以外	設定禁止

リセット後の初期値では、マシンクロックが選択されています。
カウントクロックの選択は、必ずカウンタ起動前に行ってください。

■ 動作モードの選択

各動作モード/測定モードの選択は、TMCR を設定してください。

動作モードの設定 … TMCR bit10:8 : EGS2, EGS1, EGS0 (測定エッジの選択)
測定モードの設定 … TMCR bit2 : MDSE (単発測定/連続測定の選択)

動作モードの選択の一覧を以下に示します。

動作モード		MDSE	EGS2	EGS1	EGS0
↑～↓ H パルス幅測定	連続測定 : バッファ有効	0	0	0	0
	単発測定 : バッファ無効	1	0	0	0
↑～↑ 立上り間周期測定	連続測定 : バッファ有効	0	0	0	1
	単発測定 : バッファ無効	1	0	0	1
↓～↓ 立下り間周期測定	連続測定 : バッファ有効	0	0	1	0
	単発測定 : バッファ無効	1	0	1	0
↑ or ↓～↑ or ↓ 全エッジ間測定	連続測定 : バッファ有効	0	0	1	1
	単発測定 : バッファ無効	1	0	1	1
↓～↑ L パルス幅測定	連続測定 : バッファ有効	0	1	0	0
	単発測定 : バッファ無効	1	1	0	0
設定禁止		0	1	0	1
		1	1	0	1
		0	1	1	0
		1	1	1	0
		0	1	1	1
		1	1	1	1

リセット後の初期値では、H パルス幅測定 - 単発測定モードが選択されています。
動作モードの選択は、必ずカウンタ起動前に行ってください。

■ パルス幅測定の起動と停止

各動作の起動/再起動/強制停止は、TMCR の bit1 : CTEN ビットを設定してください。

パルス幅測定の起動/再起動はCTEN ビットに、"1"を書き込むことにより機能し、強制停止はCTEN ビットに"0"を書き込むことにより機能します。

CTEN	機能
1	パルス幅測定の起動/再起動
0	パルス幅測定の強制停止

■ 起動後の動作

パルス幅測定モードの起動後の動作は、測定開始エッジが入力されるまでカウントは行われません。測定開始エッジ検出後、16 ビットアップカウンタは"0x0001"からカウントを開始します。

■ 再起動

起動後、動作中に再度起動をかける(CTEN ビットが"1"の状態で再度"1"を書き込む)ことを再起動とよびます。再起動すると、以下のような動作が行われます。

・測定開始エッジ待ち状態の場合 :
動作に影響はありません。

・測定中の場合 :
カウントを"0x0000"にクリアし、再度測定開始エッジ待ち状態となります。この際、測定終了エッジ検出と再起動が同時になると、測定終了フラグ(EDIR)が設定され、連続測定モード時は測定結果が DTBF に転送されます。

■ 停止について

単発測定モードでは、カウンタのオーバフローまたは測定終了により、自動的にカウント動作を停止しますので、特に意識する必要はありません。連続測定モードや自動停止する前に停止させたい場合は、強制停止させる必要があります。

■ カウンタのクリアと初期値

16 ビットアップカウンタは、以下の場合に"0x0000"にクリアされます。

・リセット時
・TMCR の bit1 : CTEN ビットに、"1"を書き込んだ時(再起動時も含む)

16 ビットアップカウンタは、以下の場合に"0x0001"に初期化されます。

・測定開始エッジ検出時

■ パルス幅測定動作詳細

● 単発測定と連続測定

パルス幅測定には、1 回のみの測定を行うモードと、連続して測定を行うモードがあります。各モードは TMCR の MDSE ビットによって選択します(「■動作モードの選択」を参照してください)。両モードにおける相違点は以下のとおりです。

単発測定モード：

1 回目の測定終了エッジが入力されるとカウンタのカウントは停止し、STC 中の測定終了フラグ(EDIR)が設定され、以降の測定は行われません。
ただし、同時に再起動された場合は測定開始待ち状態となります。

連続測定モード：

測定終了エッジが入力されるとカウンタのカウントは停止し、STC 中の測定終了フラグ(EDIR)が設定され、再度測定開始エッジが入力されるまでカウントを停止します。再度、測定開始エッジが入力されるとカウンタを"0x0001"に初期化して測定を開始します。測定終了時、カウンタの測定結果は DTBF に転送されます。

測定モードの選択/変更は、必ずカウンタ停止中に行ってください。

● 測定結果データ

単発測定モードと連続測定モードでは、測定結果とカウンタ値の扱いおよび DTBF の機能に違いがあります。両モードにおける測定結果の相違点は以下のとおりです。

単発測定モード：

DTBF を動作中に読み出すと測定中のカウント値が得られます。
DTBF を測定終了後に読み出すと測定結果データが得られます。

連続測定モード：

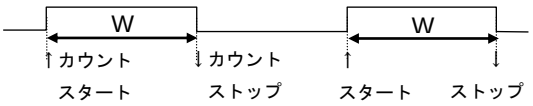
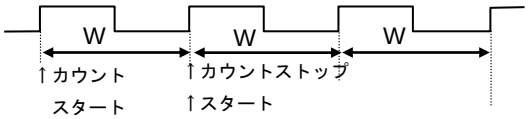
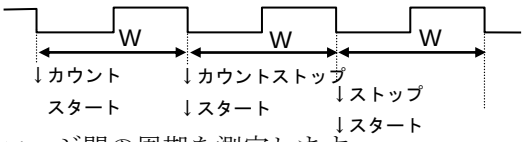
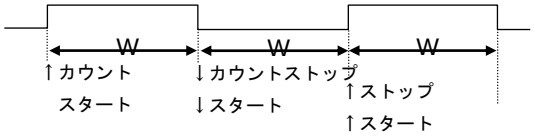
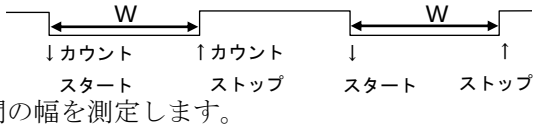
測定終了時、カウンタ内の測定結果は DTBF に転送されます。

DTBF を読み出すと直前の測定結果が得られ、測定動作中も前回の測定結果を保持しています。測定中のカウント値は読み出せません。

連続測定モードにて、測定結果を読み出さないうちに次の測定が終了してしまった場合、前回の測定結果は新しい測定結果に消されてしまいます。この際、STC 中のエラーフラグ(ERR)が設定されます。エラーフラグ(ERR)は、DTBF を読み出すと自動的にクリアされます。

● 測定モードとカウント動作

入力されたパルスのどこを測定するかによって、測定モードは 5 種類から選択できます。
以下に、測定モードの詳細について説明します。

測定モード	EGS2, 1, 0	測定内容(W： 測定するパルス幅)
H パルス幅測定	000	 "H"期間の幅を測定します。 カウント(測定)開始 ： 立上りエッジ検出時 カウント(測定)終了 ： 立下りエッジ検出時
立上り エッジ間周期 測定	001	 立上りエッジ間の周期を測定します。 カウント(測定)開始 ： 立上りエッジ検出時 カウント(測定)終了 ： 立上りエッジ検出時
立下り エッジ間周期 測定	010	 立下りエッジ間の周期を測定します。 カウント(測定)開始 ： 立下りエッジ検出時 カウント(測定)終了 ： 立下りエッジ検出時
全エッジ間 パルス幅測定	011	 連続して入力されるエッジ間の幅を測定します。 カウント(測定)開始 ： エッジ検出時 カウント(測定)終了 ： エッジ検出時
L パルス幅測定	100	 "L"期間の幅を測定します。 カウント(測定)開始 ： 立下りエッジ検出時 カウント(測定)終了 ： 立上りエッジ検出時

すべての測定モードにおいて、測定起動でカウンタは"0x0000"にクリアされた後、測定開始エッジが入力されるまではカウンタはカウント動作を行いません。測定開始エッジ入力されると、測定終了エッジが入力されるまでの間、カウントクロックごとにアップカウントを続けます。
連続測定モードの場合で、全エッジ間パルス幅測定や周期測定などを行った場合、終了エッジが次の測定開始エッジとなります。

● パルス幅/周期算出方法

測定終了後、DTBF に得られた測定結果データから、被測定パルス幅/周期算出方法は以下のように求められます。

$T_W = n \times t$	T_W ： 被測定パルス幅/周期 n ： DTBF 内の測定結果データ t ： カウントクロックの周期

● 割込み要求発生

2 つの割込み要求を発生できます。

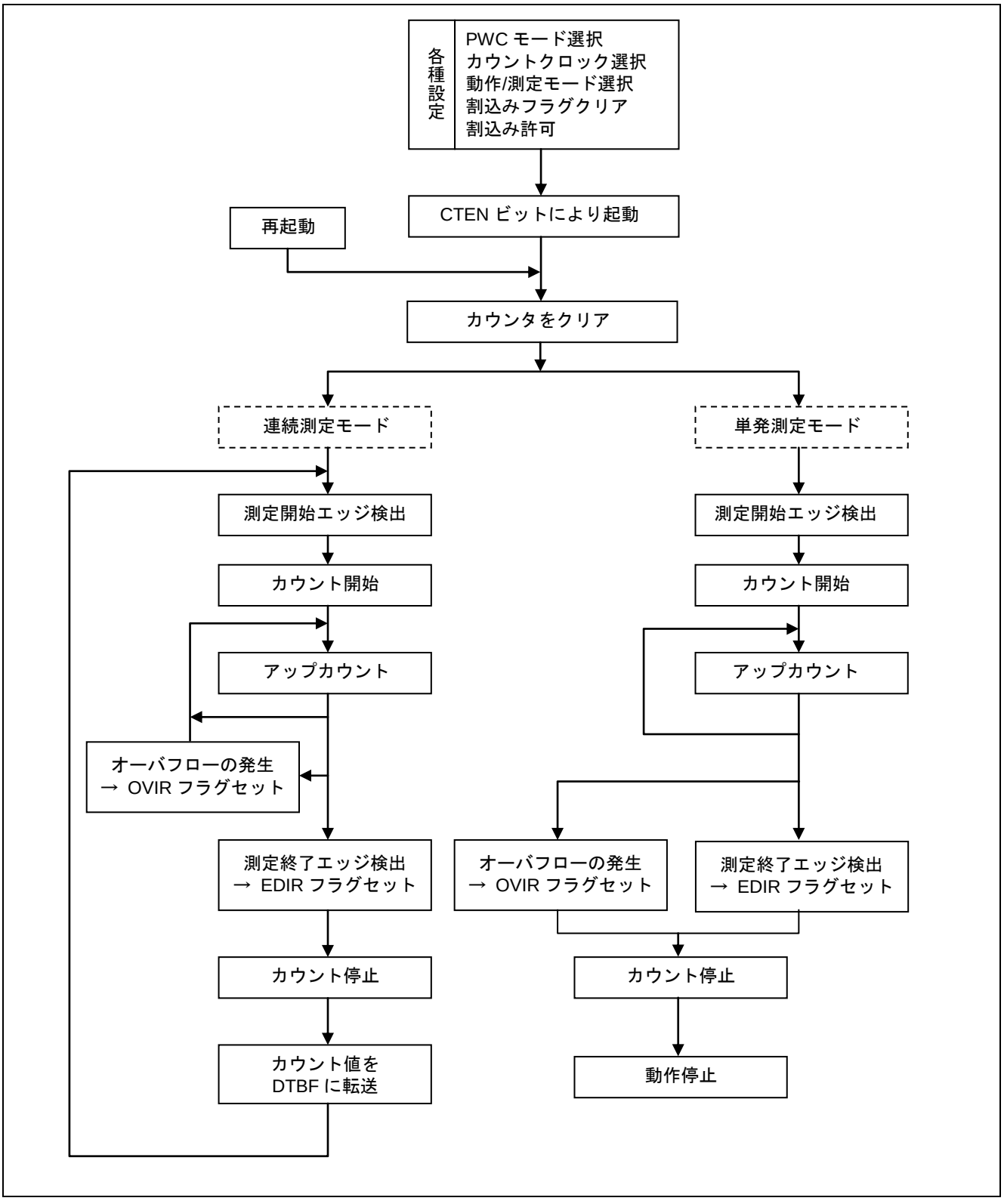
・カウンタのオーバフローによる割込み要求
測定中、カウントアップによりオーバフローが発生するとオーバフローフラグ(OVIR)が設定され、オーバフロー割込み要求が許可されていると割込み要求が発生します。

・測定終了による割込み要求
測定終了エッジを検出すると、STC 中の測定終了フラグ(EDIR)が設定され、測定終了割込み要求が許可されていると割込み要求が発生します。

測定終了フラグ(EDIR)は、測定結果 DTBF を読み出すと自動的にクリアされます。

● パルス幅測定動作フロー

図 9-19 パルス幅測定動作フロー



9.4.2. PWC タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)

タイマ制御レジスタ(TMCR)は、タイマの動作制御をします。

■ タイマ制御レジスタ(TMCR 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	CKS2	CKS1	CKS0	予約	EGS2	EGS1	EGS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit14:12, TMCR2:bit8] CKS3～CKS0 : カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されます。したがって、CKS3～CKS0 ビットの変更はカウント停止状態(CTEN="0")で行ってください。ただし、CTEN ビットへの"1"書込みと同時に変更は可能です。

CKS3	CKS2	CKS1	CKS0	説明
0	0	0	0	ϕ
0	0	0	1	ϕ /4
0	0	1	0	ϕ /16
0	0	1	1	ϕ /128
0	1	0	0	ϕ /256
0	1	0	1	設定禁止
0	1	1	0	
0	1	1	1	
1	0	0	0	ϕ /512
1	0	0	1	ϕ /1024
1	0	1	0	ϕ /2048
上記以外				設定禁止

[bit11] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit10:8] EGS2～EGS0 : 測定エッジ選択ビット

・測定エッジの条件を設定します。

・EGS2, EGS1, EGS0 ビットの変更はカウント停止状態(CTEN="0")で行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

bit10	bit9	bit8	説明
0	0	0	"H"パルス幅測定(↑～↓)
0	0	1	立上りエッジ間周期測定(↑～↑)
0	1	0	立下りエッジ間周期測定(↓～↓)
0	1	1	全エッジ間パルス幅測定(↑ or ↓～↓ or ↑)
1	0	0	"L"パルス幅測定(↓～↑)
1	0	1	設定禁止
1	1	0	
1	1	1	

■ タイマ制御レジスタ(TMCR 下位バイト)

bit	7	6	5	4	3	2	1	0
Field	T32	FMD2	FMD1	FMD0	予約	MDSE	CTEN	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] T32 : 32 ビットタイマ選択ビット

- 32 ビットタイマ機能を選択するビットです。
- FMD[2:0]ビットに"100"を設定して、PWC 機能を選択している場合、T32 ビットを"1"に設定すると 32 ビット PWC モードになります。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です(32 ビットモード動作を参照してください。)。

値	説明
0	16 ビットタイマモード
1	32 ビットタイマモード

[bit6:4] FMD2～FMD0 : タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD[2:0]ビットに"100"を設定すると PWC タイマ機能が選択されます。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
1	0	1	設定禁止
1	1	0	
1	1	1	

[bit3] 予約 : 予約ビット

読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit2] MDSE : モード選択ビット

・変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更は可能です。

値	説明
0	連続測定モード(バッファレジスタ有効)
1	単発測定モード(1 回測定後に停止)

[bit1] CTEN : タイマ許可ビット

・アップカウンタの起動または再起動を許可するビットです。
・カウンタが動作許可状態(CTEN ビットが"1")のときに"1"を書き込むと再起動となり、カウンタはクリアされ、測定開始エッジ待ち状態となります。
・カウンタが動作許可状態(CTEN ビットが"1")のときに"0"を書き込むとカウンタは停止します。

値	説明
0	停止
1	動作許可

＜注意事項＞

CTEN=0 と書き込むことで、出力波形は L になります。

[bit0] 予約 : 予約ビット

読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

■ タイマ制御レジスタ 2(TMCR2 上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約							CKS3
属性				R/W				R/W
初期値				0000000				0

(注意事項)　本レジスタは STC レジスタの上位に配置されます。

[bit15:9] 予約 : 予約ビット

読出し値は"0"が読み出されます。

本ビットへの書込みは"0"を書き込んでください。

[bit8] CKS3 : カウントクロック選択ビット

「9.4.2PWC タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC)」の「[bit14:12, TMCR2:bit8] CKS3～CKS0 :カウントクロック選択ビット」を参照してください。

■ ステータス制御レジスタ(STC)

bit	7	6	5	4	3	2	1	0
Field	ERR	EDIE	予約	OVIE	予約	EDIR	予約	OVIR
属性	R	R/W	R/W	R/W	R/W	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

(注意事項)　本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] ERR : **エラーフラグビット**

・連続測定モード時において、DTBF レジスタの測定結果を読み出さないうちに、次の測定が終了してしまったことを示すフラグです。この場合、DTBF レジスタの値は新しい測定結果に更新されて 1 つ前の測定結果は消失します。
・測定は ERR ビット値に関係なく続行されます。
・ERR ビットは読出しのみ可能で、書込みしてもビット値には影響しません。
・ERR ビットは測定結果(DTBF)を読出しすることによりクリアされます。

値	説明
0	正常状態
1	リードしていない測定結果に次の測定結果が上書きされた

[bit6] EDIE : **測定終了割込み要求許可ビット**

・測定終了割込み要求ビット(bit2:EDIR)の割込み要求を制御します。
・EDIE ビットが許可されていて EDIR ビットが設定されると CPU に割込み要求を発生します。

値	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] **予約** : **予約ビット**

読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit4] OVIE : **オーバフロー割込み要求許可ビット**

・オーバフロー割込み要求ビット(bit0:OVIR)の割込み要求を制御します。
・OVIE ビットが許可されていて OVIR ビットが設定されると CPU に割込み要求を発生します。

値	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] 予約 : 予約ビット
読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit2] EDIR : 測定終了割込み要求ビット
・測定終了したことを示し、終了時にフラグが"1"に設定されます。
・EDIR ビットは測定結果(DTBF)を読出しすることによりクリアされます。
・EDIR ビットは読出しのみ可能で、書込みしてもビット値には影響しません。

値	説明
0	測定結果(DTBF)をリード
1	割込み要因の検出

[bit1] 予約 : 予約ビット
読出し値は"0"が読み出されます。
本ビットへの書込みは"0"を書き込んでください。

[bit0] OVIR : オーバフロー割込み要求ビット
・カウント値が 0xFFFF→0x0000 へのオーバフロー時にフラグが"1"に設定されます。
・OVIR ビットは"0"書込みによりクリアされます。
・OVIR ビットに"1"を書き込んでもビット値には影響しません。
・リードモディファイライト系命令におけるリード値は、ビット値にかかわらず"1"になります。

値	説明
0	割込み要因のクリア
1	割込み要因の検出

9.4.3. データバッファレジスタ(DTBF)

データバッファレジスタ(DTBF)は、PWC タイマの測定値またはカウント値を読み出すことができるレジスタです。32 ビットモード時には、偶数チャネルの場合は下位 16 ビットの値となり、奇数チャネルの場合は上位 16 ビットの値となります。
本レジスタの読出しは、8 ビットアクセス禁止です。

bit	15	0
Field	DTBF[15:0]	
属性	R	
初期値	0x0000	

- DTBF レジスタは連続測定モード、ワンショット測定モードのいずれにおいても、読出しのみ可能なレジスタです。書き込んでもレジスタ値は変化しません。
- 連続測定モード時(TMCR bit3 MDSE=1)は、前回の測定結果を保持するバッファレジスタとなります。
- ワンショット測定モード時(TMCR bit3 MDSE=0)は、DTBF レジスタでアップカウンタを直接アクセスします。カウント中も読出し可能で、カウント値が読み出せます。測定終了後は測定結果をそのまま保存します。
- DTBF レジスタは 8 ビットアクセス禁止です。

CHAPTER 6: 多機能タイマ

多機能タイマユニットについて説明します。

1. 多機能タイマの概要
2. 多機能タイマの構成
3. 多機能タイマの動作
4. 多機能タイマのレジスタ
5. 多機能タイマ入出力信号詳細タイミング
6. 使用上の注意

1. 多機能タイマの概要

多機能タイマは、三相モータ制御を実現する機能ブロックです。PPG, A/D コンバータ(以降、ADC と記載します。)と連携することで、多彩なモータ制御を実現できます。以下に多機能タイマの概要を示します。

■ 機能

多機能タイマには、以下の機能があります。

- 任意の周期・パルス長の PWM 信号を出力できます(PWM 信号出力機能)。
- PWM 信号出力に同期して、PPG の起動ができます。PPG の出力信号を PWM 信号に重畳して出力できます(DC チョッパ波形出力機能)。
- PWM 信号出力から、パワートランジスタの応答時間(デッドタイム)を確保したノンオーバラップ信号を生成できます(デッドタイマ機能)。
- 入力信号の変化タイミングや、パルス幅を PWM 信号出力に同期して取り込めます(インプット・キャプチャ機能)。
- ADC の起動を PWM 信号出力に同期して任意のタイミングで行えます(ADC 起動機能)。
- モータ緊急停止割込み信号(DTTIX 入力信号)のノイズキャンセル処理を行います。有効な信号入力が検出された場合、モータ停止時の端子状態を任意に設定可能です(DTIF 割込み機能)。

■ ブロック構成

多機能タイマ(1 ユニット)は、以下の機能ブロックにより構成されます。

- フリーラン・タイマ・ユニット　　：3 チャネル
- アウトプット・コンペア・ユニット：6 チャネル(2 チャネル×3 ユニット)
- 波形ジェネレータ・ユニット　　：3 チャネル
- ノイズキャンセラ・ユニット　　：1 チャネル
- インプット・キャプチャ・ユニット：4 チャネル(2 チャネル×2 ユニット)
- ADC 起動コンペア・ユニット　　：3 チャネル
- ADC 起動要因セレクタ・ユニット　：3 チャネル

多機能タイマは、1ユニットを使用することで、1個の三相モータ制御が行える構成です。本ファミリには本多機能タイマを複数ユニット搭載している製品があり、複数の三相モータ制御に対応できます。

■ 略語表記について

本章では、以下略称表記を用いて説明します。

MFT	多機能タイマ・ユニット
PPG	プログラマブル・パルスジェネレータ・ユニット
FRT	フリーラン・タイマ・ユニット
FRTS	フリーラン・タイマ選択回路
OCU	アウトプット・コンペア・ユニット
WFG	波形ジェネレータ・ユニット
NZCL	ノイズキャンセラ・ユニット
ICU	インプット・キャプチャ・ユニット
ADCMP	ADC 起動コンペア・ユニット
ATSA	ADC 起動要因セレクタ・ユニット

2. 多機能タイマの構成

多機能タイマの構成と、各機能ブロック・入出力端子の機能を説明します。

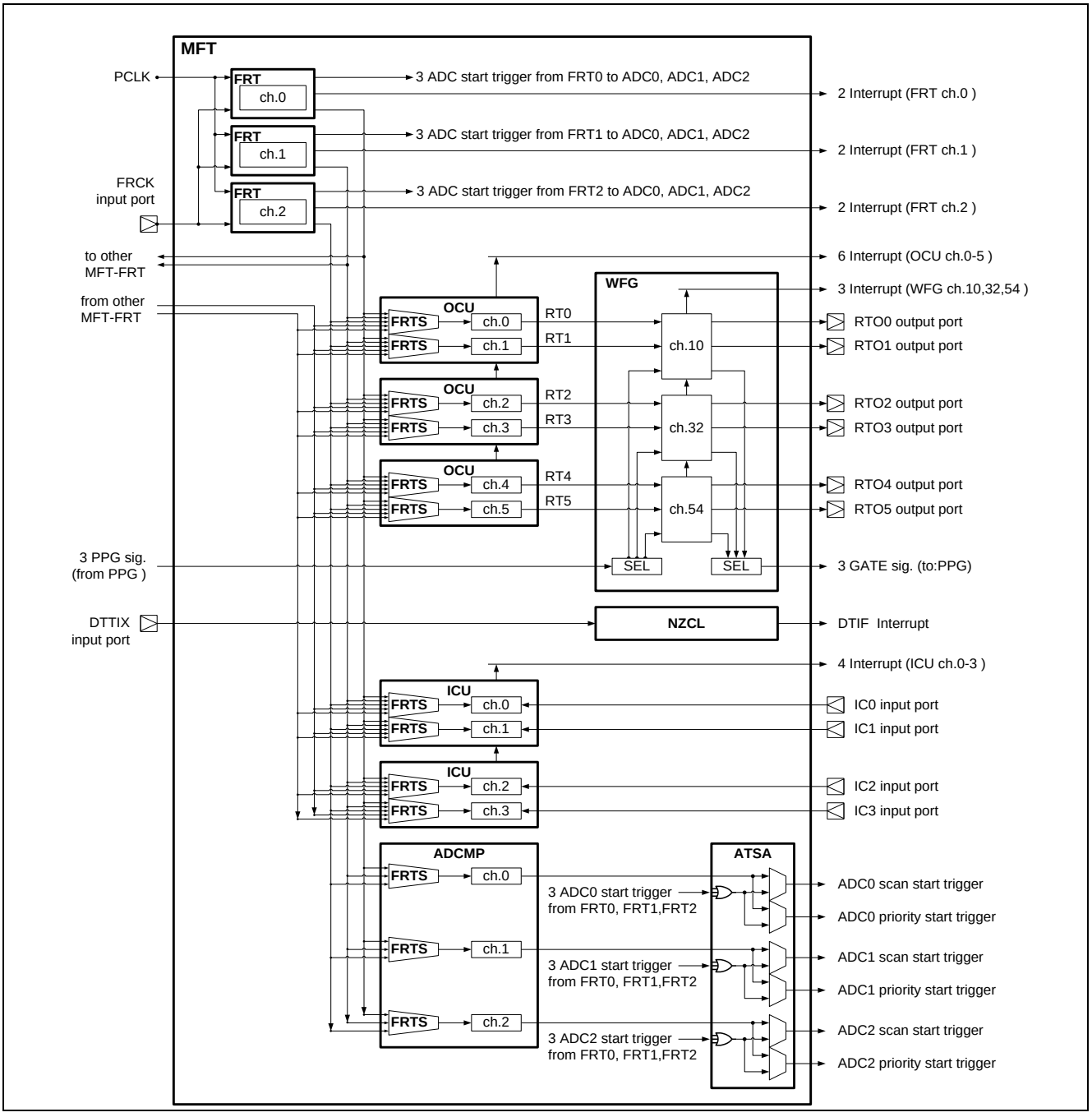
2.1 多機能タイマのブロックダイヤグラム
2.2 各機能ブロック説明
2.3 多機能タイマユニットの入出力端子

2.1. 多機能タイマのブロックダイヤグラム

■ ブロックダイヤグラム

図 2-1 に多機能タイマの全体ブロックダイヤグラムを示します。

図 2-1 多機能タイマのブロックダイヤグラム

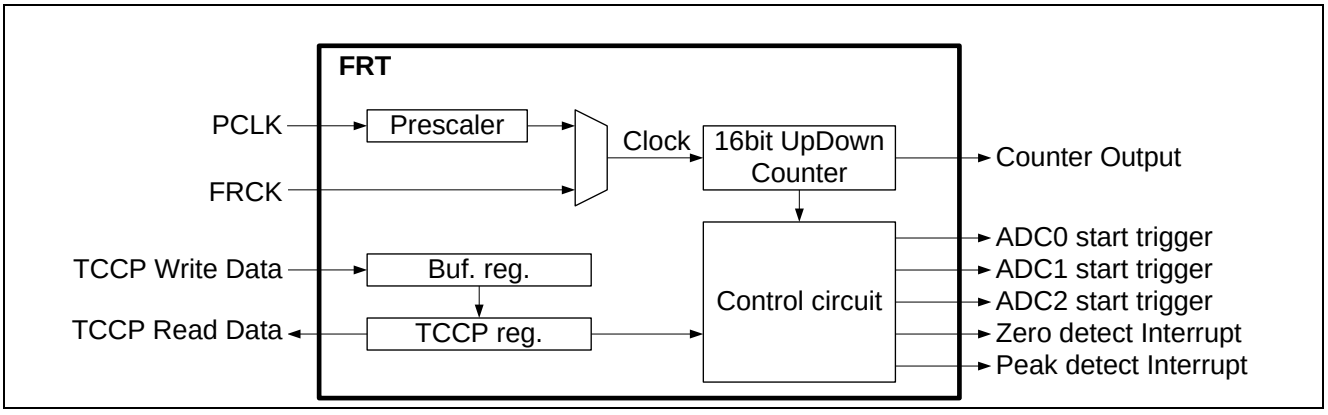


2.2. 各機能ブロック説明

■ FRT: 3 チャネル

- FRT は、MFT 内の各機能ブロックの動作基準となるカウンタ値を出力するタイマ機能ブロックです。
- FRT は、クロック・プリスケーラ, 16 ビットアップダウンカウンタ, 周期設定レジスタ(TCCP レジスタ), 制御回路から構成されます。図 2-2 に FRT の構成を示します。
  - クロック・プリスケーラは、LSI 内部の周辺クロック信号(PCLK)信号の分周を行って、16 ビット・アップダウンカウンタの動作クロックを生成します。
  - TCCP レジスタは、16 ビットアップダウンカウンタのカウント周期を設定します。カウント動作中に周期を変更できるようにバッファレジスタがあります。
  - 16 ビットアップダウンカウンタは、TCCP レジスタで指定されたカウント周期のアップカウント動作またはアップダウンカウント動作を行い、カウンタ値を出力します。
- CPU から制御回路に指示することで、以下の処理を行えます。
  - クロック・プリスケーラの分周比を選択できます。
  - PCLK(内部クロック)と FRCK(外部クロック)の使用選択ができます。
  - 16 ビット・アップダウンカウンタのカウントモードを選択し、カウント動作の開始・停止を指定できます。
  - TCCP レジスタのバッファレジスタ機能の有無を選択できます。
  - カウント値が"0x0000"値、ピーク値(=TCCP 値)になる場合を検出して CPU に対して割込みを発生させられます(FRT1 チャネルにつき、2 本の割込み信号出力)。
  - カウント値が"0x0000"値になる場合を検出して各 ADC に対して AD 変換起動信号を発生させられます(FRT1 チャネルにつき、3 個の AD 変換起動出力)。
- MFT の 1 ユニットは、FRT を 3 個搭載した 3 チャネル構成です。それぞれの FRT が独立した動作を行えます。
- MFT の中で、FRT カウンタ値出力は、OCU, ICU, ADCMP に接続されます。これらのユニットは、接続する FRT を選択する回路(FRTS)を持っており、選択した FRT のカウンタ値出力を基準として連動動作を行えます。1 つの FRT ですべてのユニットを連動動作させること、2 グループ, 3 グループの連動動作グループを構築できます。

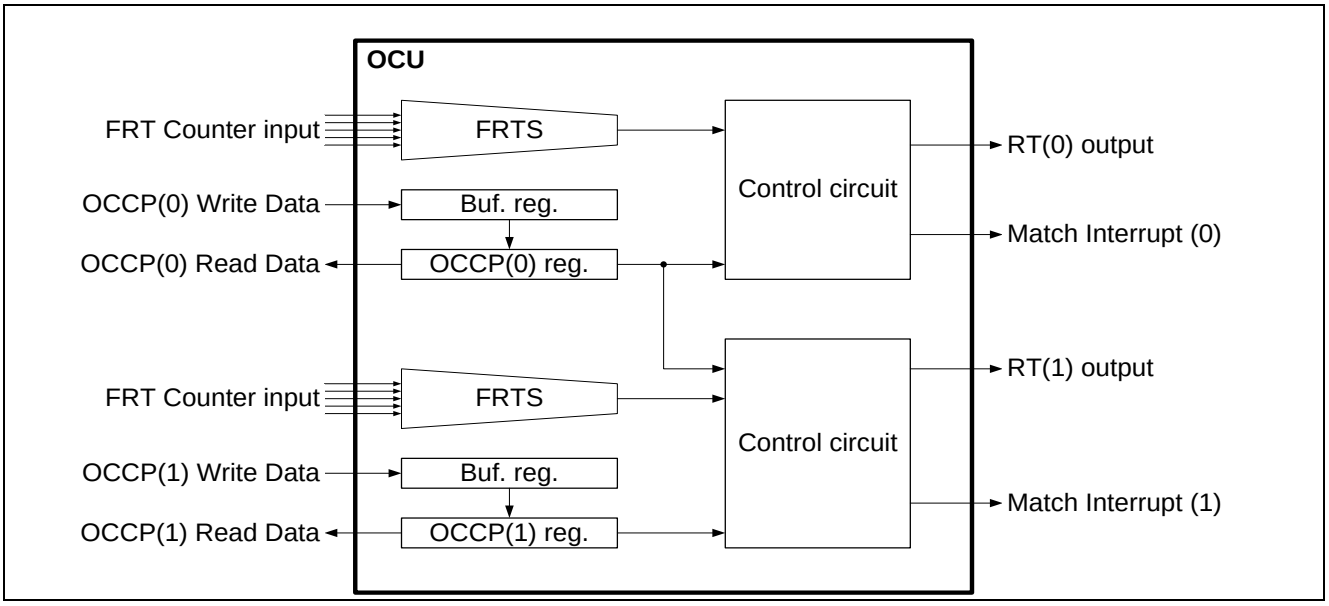
図 2-2 FRT の構成



■ OCU: 6 チャネル(2 チャネル×3 ユニット)

- OCU は、FRT のカウンタ値を基準として PWM 信号を生成出力する機能ブロックです。OCU から出力される PWM 信号の信号名は、それぞれ RT0～RT5 です。これらの信号は、WFG を経由して LSI 外部出力端子へ出力されます。
- OCU は、FRTS, コンペア値格納レジスタ(OCCP レジスタ), 制御回路から構成されます。それぞれの回路を 2 組持った 2 チャネル構成が基本単位です。図 2-3 に OCU の構成を示します。
  - FRTS は、OCU で接続使用する FRT カウンタ値を選択する回路です。
  - OCCP レジスタは、PWM 信号の変化タイミングの指定を FRT カウンタ値のコンペア値として指定するレジスタです。OCCP レジスタへの書込みを FRT のカウント動作とは非同期に行えるようにバッファレジスタを持っています。
- CPU から制御回路に指示することで、以下の処理を行えます。
  - OCU に接続する FRT を選択できます。
  - OCU の動作許可・禁止を指定できます。
  - OCU の動作禁止時に、RT0～RT5 信号の出力レベルの直接指定ができます。
  - OCU の動作を許可することで、FRT カウンタ値とコンペア値格納レジスタの値が比較され、一致検出時に、RT0～RT5 信号の出力レベルが変化します。あらかじめ、OCCP レジスタ値を設定しておくことで、任意の周期, パルス長の信号を出力できます。
  - RT0～RT05 信号の変化条件は、以下のモードが存在し選択ができます。
    - アップカウント・1 変化モード
    - アップカウント・2 変化モード
    - アップダウンカウント・Active High モード
    - アップダウンカウント・Active Low モード
  - OCCP レジスタと FRT カウンタ値の一致検出時に CPU に割込みを発生させられます。
  - OOCP レジスタのバッファレジスタの使用の有無、バッファレジスタからの転送タイミングの選択ができます。
- 1 個の MFT の中には、この OCU を 3 個搭載しており、合計 : 6 個のコンペアレジスタ, 6 本の出力信号端子, 6 本の割込み出力があります(2 チャネル×3 ユニット構成)。

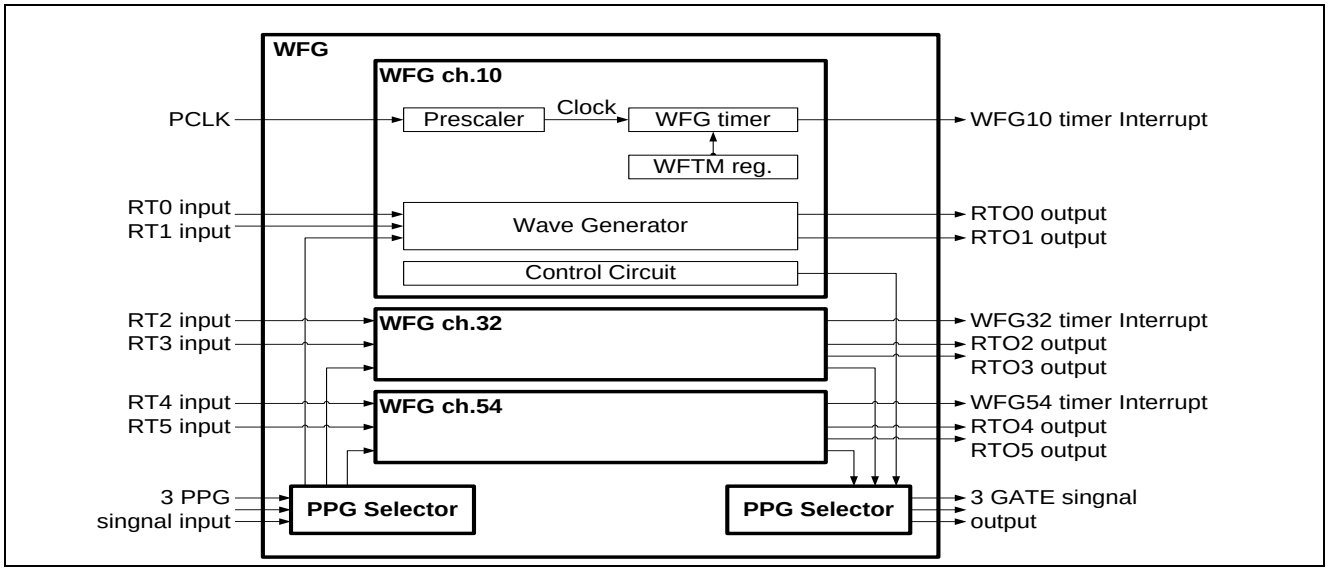
図 2-3 OCU の構成



■ WFG: 3 チャネル

- WFG は、OCU の後段に位置し、RT0～RT5 信号と、PPG 信号から、モータ制御用の信号波形の生成を行う機能ブロックです(PPG は多機能タイマの外部にあります)。
- WFG からの LSI 外部端子への信号出力名は、それぞれ、RTO0～RTO5 です。RT0, RT1 から RTO0, RTO1 を出力するブロック、RT2, RT3 から RTO2, RTO3 を出力するブロック、RT4, RT5 から RTO4, RTO5 を出力するブロックに分割されています。それぞれ、WFG ch.10, WFG ch.32, WFG ch.54 という名称です。
- WFG は、クロック・プリスケーラ, 16 ビットタイマ(WFG タイマ), WFG タイマ初期値レジスタ(WFTM レジスタ), 波形生成部, PPG タイマユニット選択回路, 制御回路から構成されます。図 2-4 に WFG の構成を示します。
  - クロック・プリスケーラは、LSI 内部の周辺クロック信号(PCLK)信号の分周を行って、WFG タイマの動作クロックを生成します。
  - WFG タイマは、WFTM レジスタで設定した時間をカウントして、信号波形生成を行うタイマ回路です。波形生成にタイマを使用しない動作モードの場合は、単独のリロードタイマとして使用でき、CPU に対し定期的な割込みを発生させられます。WFG タイマ 1 個につき 1 個の WFG タイマ割込み出力があります。
  - WFTM レジスタにより、WFG タイマのカウント時間を任意に設定できます。
  - 波形生成部は、OCU からの RT0～RT5 信号, PPG からの信号, および WFG タイマのカウント状態から、波形生成処理を行って、LSI 外部出力信号を生成するブロックです。
  - PPG タイマユニット選択回路は、WFG で使用する PPG タイマユニットの選択を行う回路です。PPG 起動の指示信号(GATE 信号)の出力先と、PPG 出力信号を選択します。
- CPU から制御回路に指示することで、以下の処理を行えます。
  - クロック・プリスケーラの分周比を選択できます。
  - 波形生成は、以下のモードから選択できます。
    - スルーモード
    - RT-PPG モード
    - タイマ-PPG モード
    - RT デッドタイマモード
    - PPG デッドタイマモード
  - PPG に起動指示を行う GATE 信号を出力できます。
  - RT デッドタイマモード, PPG タイマモードの場合に出力極性を反転できます。

図 2-4 WFG の構成

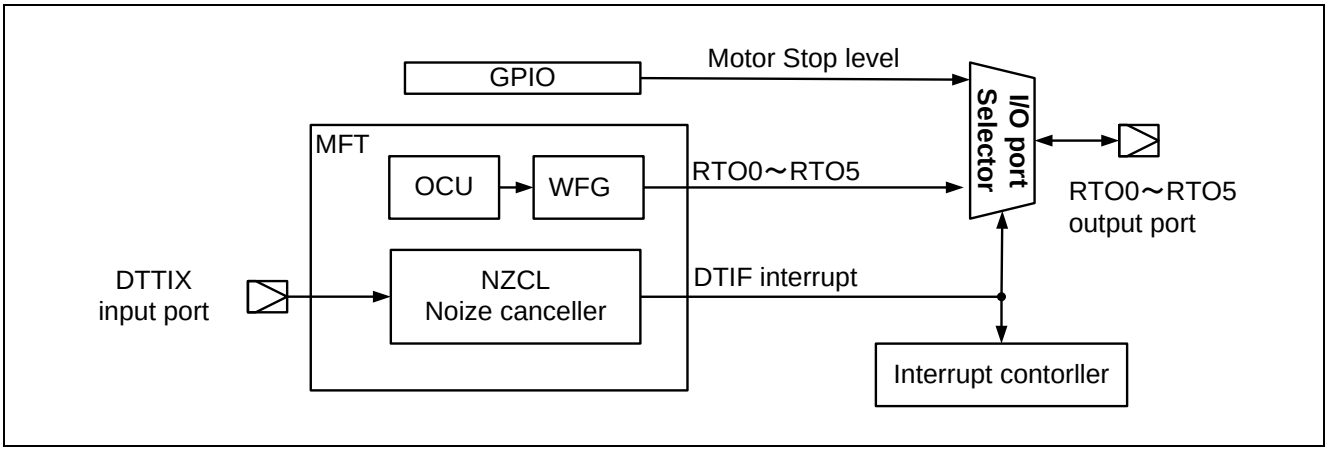


■ NZCL

・NZCL は、モータ緊急停止用の外部割込み入力信号(DTTIX 信号)のノイズキャンセル動作を行い、CPU に DTIF 割込みを発生させる機能ブロックです。
・NZCL は、ノイズキャンセル回路と制御回路から構成されます。
・DTIF 割込みが発生している間、I/O ポート部の選択機能により、WFG の外部出力信号(RTO0～RTO5)を兼用されている GPIO ポートの状態に切り換えられます。あらかじめ、GPIO ポートの入出力状態をモータの非動作レベルに設定しておくことで、モータの緊急停止を行えます。

図 2-5 に、NZCL と I/O ポート選択部の構成を示します。

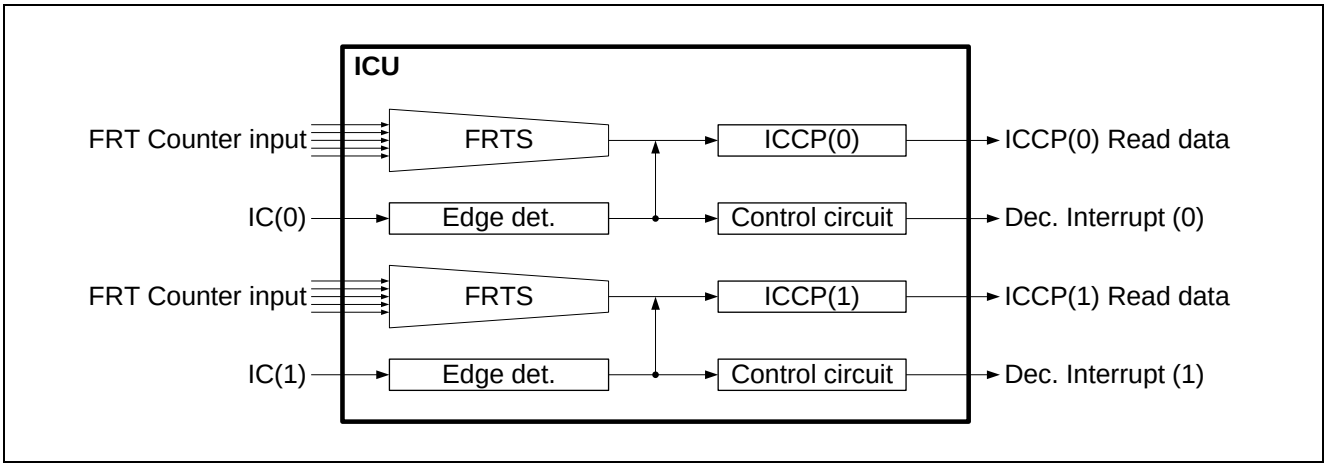
図 2-5 NZCL と I/O ポート選択部の構成



■ ICU: 4 チャネル(2 チャネル×2 ユニット)

- ICU は、外部入力端子信号に有効エッジが検出されると、FRT カウント値をキャプチャし、CPU に割込みを発生させる機能ブロックです。
- ICU は、FRTS, エッジ検出回路, 16 ビットキャプチャレジスタ, 制御レジスタから構成されます。それぞれの回路を 2 組持った 2 チャネル構成が基本単位です。図 2-6 に ICU の構成を示します。
  - FRTS は、ICU で接続使用する FRT カウンタ値を選択する回路です。
  - エッジ検出回路は、入力信号の有効エッジを検出する回路です。
  - ICCP レジスタは、入力信号の変化タイミングを FRT カウント値としてキャプチャします。
- CPU から制御回路に指示することで、以下の処理を行えます。
  - ICU に接続する FRT を選択できます。
  - 入力信号の有効エッジを立上りエッジ, 立下りエッジ, 両エッジから選択できます。
  - ICU の動作許可・禁止を指定できます。
  - 有効エッジが検出され、キャプチャ動作が行われた時点で、CPU に割込みを発生させられます。
- 1 個の MFT の中には、この ICU を 2 個搭載しており、合計 : 4 本の外部入力端子, 4 個のキャプチャレジスタがあります(2 チャネル×2 ユニット構成)。ICU への LSI 外部入力信号名は、それぞれ、IC0～IC3 です。
- ICU の入力信号は、I/O ポート部の選択機能により、LSI 外部端子以外に LSI 内部の信号と切り換えて使用できるものがあります(詳細は「2.3 多機能タイマユニットの入出力端子」を参照してください)。

図 2-6 ICU の構成



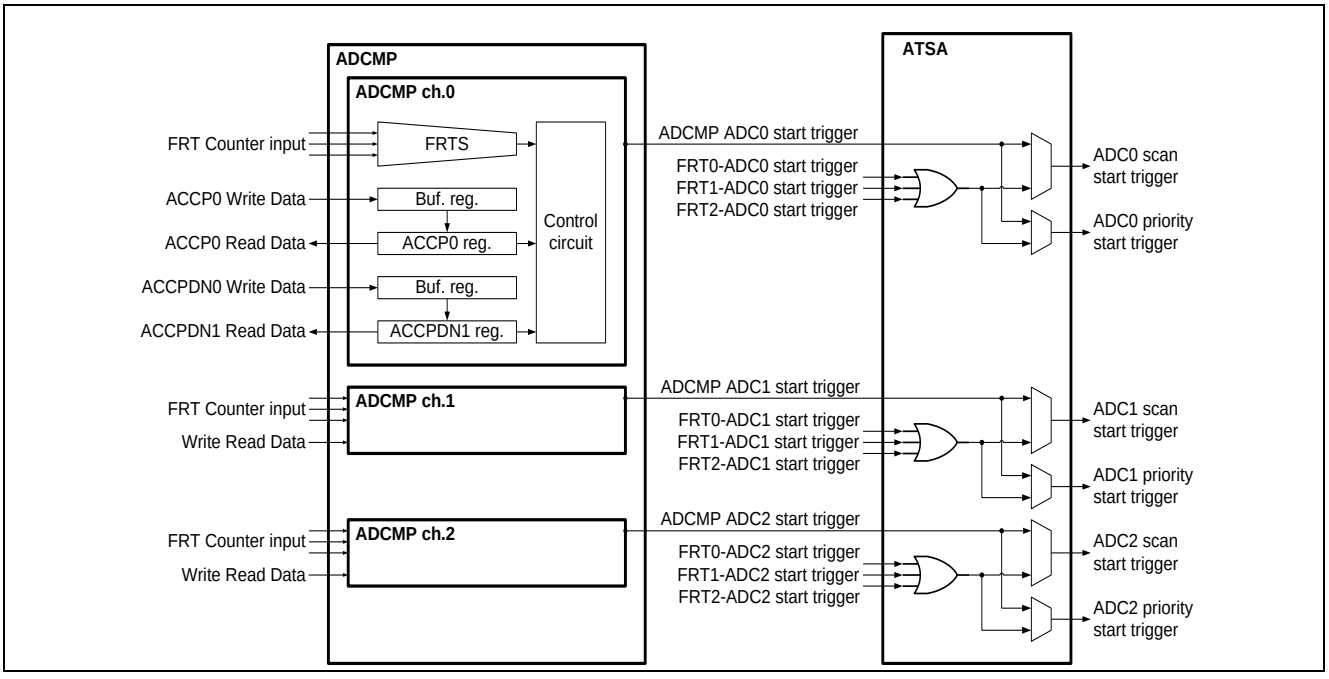
■ ADCMP: 3 チャネル

- ADCMP は、FRT 周期の任意のタイミングで AD 変換起動信号を生成する機能ブロックです。
- ADCMP は、3 ユニット搭載されている ADC に対して、それぞれ対応した 3 チャネル構成です。
- ADCMP は、FRTS, 2 個の 16 ビット・コンペアレジスタ(ACCP レジスタ, ACCPDN レジスタ), 制御レジスタから構成されます。図 2-7 に ADCMP と ATSA の構成を示します。
  - FRTS は、ADCMP で接続使用する FRT カウンタ値を選択する回路です。
  - ACCP レジスタ, ACCPDN レジスタは、AD 変換起動タイミングを FRT カウンタ値のコンペア値として指定するレジスタです。ACCP レジスタ, ACCPDN レジスタへの書込みを FRT のカウント動作とは非同期に行えるように、それぞれバッファレジスタを持っています。
- CPU から制御回路に指示することで、以下の処理を行えます。
  - ADCMP に接続する FRT を選択できます。
  - ADCMP の動作許可・禁止を指定できます。
  - AD 変換起動のタイミングを、FRT のカウント方向を指定して設定できます。
  - ACCP レジスタ、ACCPDN のバッファレジスタの使用の有無, バッファレジスタからの転送タイミングを選択できます。

■ ATSA: 3 チャネル

- ATSA は、制御レジスタ値により、ADC の起動信号を選択出力する機能ブロックです。
- ATSA は、FRT からの AD 起動信号の論理 OR 回路と ADCMP からの AD 起動信号を選択する回路から構成されます。
- 以下を処理します。
  - FRT からの各 ADC への起動信号は、対応する ADC ユニットごとに論理 OR します。
  - 上記 ADC 起動信号と、ADCMP からの ADC 起動信号をレジスタの設定により選択します。
  - ADC の起動要因は、スキャン起動要因と、優先起動要因があり、それぞれに選択出力できる構成です。
- ATSA は、3 ユニット搭載されている ADC のそれぞれの起動要因に対応した構成です。合計 6 本の ADC 起動信号を出力します。

図 2-7 ADCMP と ATSA の構成



2.3. 多機能タイマユニットの入出力端子

■ LSI 外部入出力端子との対応

図 2-1 に示した入出力信号の内、MFT ユニットの入出力端子と外部入出力端子の対応の一覧を表 2-1 に示します。本ファミリは、複数の MFT ユニットを搭載している製品があります。このため、図 2-1 に示した入出力端子名に、MFT のユニット番号(0, 1, 2)を追加した端子名が、外部端子名です。本章では、図 2-1 の端子名にて説明しているため、注意してください。

表 2-1 MFT ユニットの入出力端子と外部入出力端子の対応表

MFT ユニット端子名 (図 2-1 の端子名)	機能	外部端子名		
		MFT-unit0	MFT-unit1	MFT-unit2
FRCK	FRT 外部入力クロック	FRCK0	FRCK1	FRCK2
DTTIX	モータ緊急停止割込み入力	DTTI0X	DTTI1X	DTTI2X
RTO0	WFG → PWM 出力 ch.0	RTO00	RTO10	RTO20
RTO1	WFG → PWM 出力 ch.1	RTO01	RTO11	RTO21
RTO2	WFG → PWM 出力 ch.2	RTO02	RTO12	RTO22
RTO3	WFG → PWM 出力 ch.3	RTO03	RTO13	RTO23
RTO4	WFG → PWM 出力 ch.4	RTO04	RTO14	RTO24
RTO5	WFG → PWM 出力 ch.5	RTO05	RTO15	RTO25
IC0	ICU 入力 ch.0	IC00	IC10	IC20
IC1	ICU 入力 ch.1	IC01	IC11	IC21
IC2	ICU 入力 ch.2	IC02	IC12	IC22
IC3	ICU 入力 ch.3	IC03	IC13	IC23

ICU の入力端子は、I/O ポート部のセレクタ機能により、外部端子入力のほかに、以下の LSI 内部信号との切換えができます。

・マルチファンクションシリアルブロックの LYN 機能使用時の SYNC 信号
・内部 CR 発振器・発振周波数トリミング入力信号

詳細については、『ペリフェラルマニュアル』の『I/O ポート』の章を参照してください。

■ 割込み信号出力

図 2-1 に示した入出力信号の内、MFT ユニットから発生する割込み信号の一覧を表 2-2 に、示します。複数の MFT ユニットを搭載している製品の場合、各割込み信号は、搭載している MFT のユニット数分の割込み出力が存在しています。

表 2-2 MFT ユニットから発生する割込み信号の一覧

生成ブロック	割込み種別
FRT ch.0	Zero 値検出割込み
FRT ch.1	Zero 値検出割込み
FRT ch.2	Zero 値検出割込み
FRT ch.0	ピーク値検出割込み
FRT ch.1	ピーク値検出割込み
FRT ch.2	ピーク値検出割込み
OCU ch.0	一致検出割込み
OCU ch.1	一致検出割込み
OCU ch.2	一致検出割込み
OCU ch.3	一致検出割込み
OCU ch.4	一致検出割込み
OCU ch.5	一致検出割込み
ICU ch.0	入力信号エッジ検出割込み
ICU ch.1	入力信号エッジ検出割込み
ICU ch.2	入力信号エッジ検出割込み
ICU ch.3	入力信号エッジ検出割込み
NZCL	DTIF 割込み(モータ緊急停止割込み)
WFG ch.10	WFG タイマ 10 割込み
WFG ch.32	WFG タイマ 32 割込み
WFG ch.54	WFG タイマ 54 割込み

■ その他の入出力信号

図 2-1 に示した入出力信号の内、その他の信号について、以下に説明します。

● PCLK

MFT ユニットで使用する LSI 内部周辺クロック信号です。接続する APB バスのクロック信号が使用されます。FRT(LSI 内部周辺クロックを選択した場合)および、WFG タイマは、PCLK から分周したカウントクロックにて動作します。

● 外部 MFT の FRT 入力, FRT 出力

MFT ユニットが複数搭載されている製品の場合、FRT カウンタ出力を、ほかの MFT でも使用できます。この接続構成により 1 つの FRT で、複数の MFT ユニットに分割搭載されている OCU, ICU を連動させられます。
(MFT を 2unit 搭載している製品の場合、12 チャネルの PWM 同時出力ができます。3 ユニットを搭載している製品の場合、18 チャネルの PWM 同時出力ができます。)
詳細は「6.1 複数 MFT 搭載製品の接続について」を参照してください。

● GATE 信号・PPG 信号

GATE 信号は、MFT から出力され、PPG に入力される PPG の起動信号です。PPG 信号は、PPG から出力され、MFT に入力されます。これらの信号は、搭載されている MFT ユニットごとに接続する PPG ユニットは異なるため、接続詳細は「6.1 複数 MFT 搭載製品の接続について」を参照してください。

● AD 変換起動信号

AD 変換起動信号は、3ユニット搭載されている ADC のそれぞれのスキャン起動信号, 優先起動信号の合計 6 本の ADC 起動信号が出力されます。

複数の MFT ユニットを搭載している製品の場合、ADC ユニットごとに起動信号が論理 OR されて、各 ADC ユニットで使用されます。詳細は『アナログマクロ編』の『A/D コンバータ』の章を参照してください。

3. 多機能タイマの動作

多機能タイマの動作を動作例と設定手順を基に説明します。

3.1 多機能タイマの動作例-1
3.2 多機能タイマの動作例-2

3.1. 多機能タイマの動作例-1

多機能タイマ動作例-1 では、各機能ブロックを以下のモードで動作させた場合の例を説明します。
FRT ： アップカウントモード, 割込みなし
OCU ： アップカウントモード(1 変化), 割込みあり
WFG ： RT-PPG モード, GATE 信号生成, PPG 信号重畳
ICU ： 立上りエッジ検出モード, 割込みあり

■ タイムチャート

図 3-1 各ブロックの主なレジスタ, 入出力信号のタイムチャート

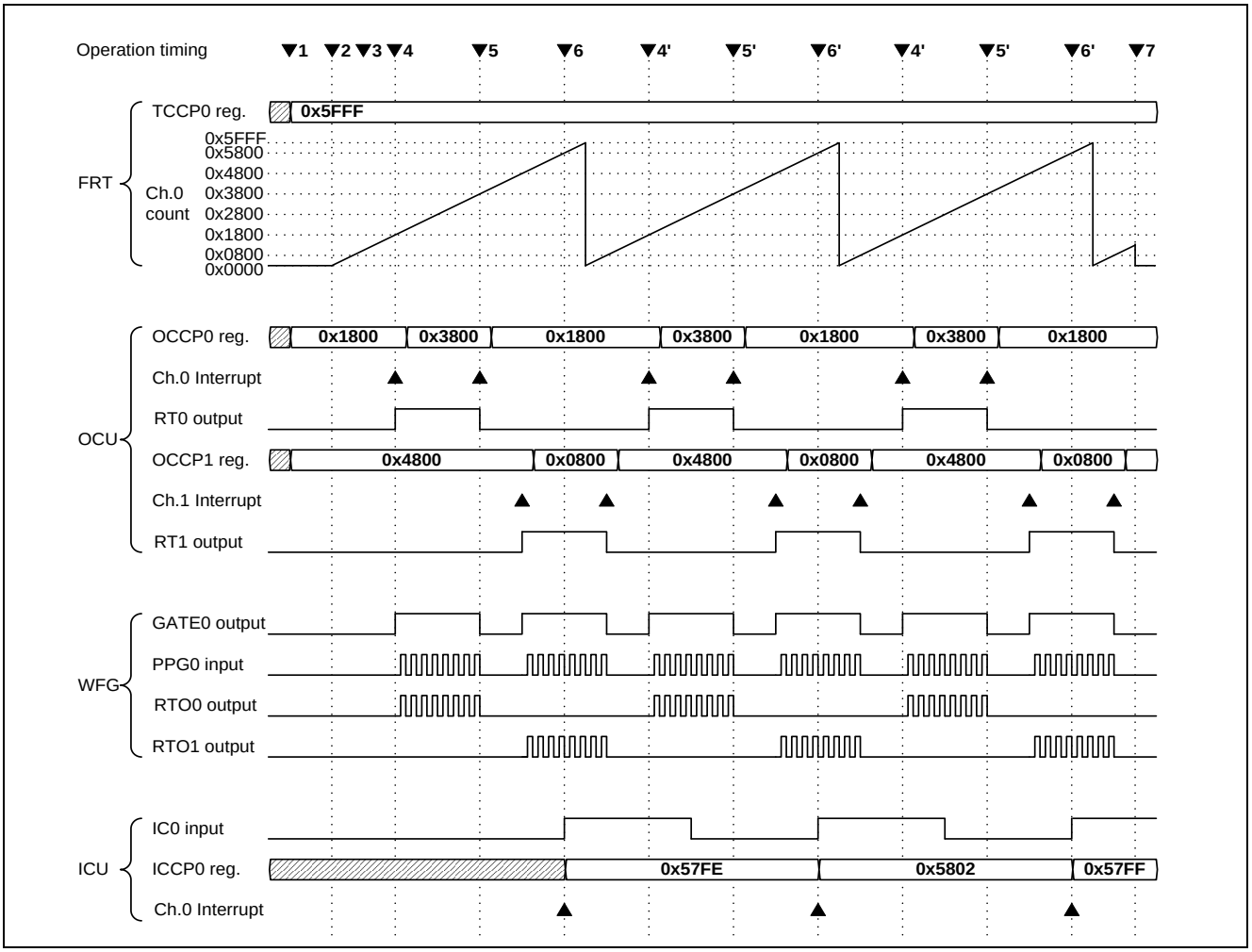


図 3-1 に各ブロックの主なレジスタ, 入出力信号のタイムチャートを示します。図は、上段から、CPU 動作, FRT 動作, OCU 動作, WFG 動作, ICU 動作を示します。
以下に、動作タイミング 1～7 での、各機能ブロックの動作と CPU からの制御内容を説明します。また、各タイミングでの CPU のレジスタの設定値の具体例を示します。レジスタの設定内容の詳細については、「4 多機能タイマのレジスタ」を参照してください。この他に LSI の I/O ポート部, 割込み制御部, PPG の設定が別途必要なため、注意してください。

■ FRT, OCU の動作

図 3-1 の動作タイミング 1

- FRT-ch.0 にアップカウントモード動作を設定します(TCSA0 レジスタ・ライト)。
- FRT-ch.0 に動作周期を設定します(TCCP0 レジスタ・ライト)。本例では、"0x5FFF"を設定しています。プリスケーラ設定=1/128、PCLK=40MHz の条件で、FRT のカウント周期は、78.6432ms になります。
- OCU-ch.0, ch.1 に FRT-ch.0 を接続設定します(OCFS10 レジスタ・ライト)。
- OCU-ch.0, ch.1 にアップカウントモード(1 変化)動作を設定します。また、出力信号(RT0, RT1)の初期出力レベルを指定します(OCSA10 レジスタ, OCSB10 レジスタ, OCSC レジスタの各ライト)。
- OCU-ch.0 の出力信号(RT0)の変化タイミングを設定します(OCCP0 レジスタ・ライト)。本例では "0x1800"を設定しています。書き込まれた値は、バッファレジスタに書き込まれた後、OCCP0 レジスタに転送されます。
- OCU-ch.1 の出力信号(RT1)の変化タイミングを設定します(OCCP1 レジスタ・ライト)。本例では "0x4800"を設定しています。書き込まれた値は、バッファレジスタに書き込まれた後、OCCP1 レジスタに転送されます。

図 3-1 の動作タイミング 2

- FRT-ch.0 にカウント動作開始を指示します(TCSA0 レジスタ・ライト)。
- FRT-ch.0 は、アップカウントモードの場合、図 3-1 のように"0x0000"からカウント開始し、TCCP 値(=0x5FFF)までアップカウント動作を行います。その後"0x0000"に戻り、カウント動作を継続します。

図 3-1 の動作タイミング 3

- OCU-ch.0, ch.1 に動作許可を指示します(OCSA10 レジスタ・ライト)。

図 3-1 の動作タイミング 4

- OCU-ch.0 は、FRT カウンタ値が"0x1800"になり、OCCP0 の設定値と一致したことを検出して、出力信号(RT0)を Low レベルから High レベルに変化させます。また、CPU に割込みを発生します。
- CPU は、OCU-ch.0 の一致検出フラグに"1"がセットされていることから、OCU-ch.0 から割込みが発生していることを判別します(OCSA10 レジスタ・リード)。
- OCU-ch.0 の出力信号(RT0)の変化タイミングを"0x3800"に更新します(OCCP0 レジスタ・ライト)。
- CPU は、一致検出フラグをクリアして、割込みから復帰します(OCSA10 レジスタ・ライト)。

図 3-1 の動作タイミング 5

- OCU-ch.0 は、FRT カウンタ値と OCCP0 の値が一致したことを検出して、出力信号(RT0)を High レベルから Low レベルに変化させます。また、CPU に割込みを発生します
- CPU は、OCU-ch.0 からの割込みを判別します(OCSA10 レジスタ・リード)。
- OCU-ch.0 の OCCP0 レジスタを"0x1800"に更新します(OCCP0 レジスタ・ライト)。
- CPU は、一致検出フラグをクリアし、割込みから復帰します(OCSA10 レジスタ・ライト)。

以降は、4 と 5 の動作を繰り返すことで、図 3-1 のように、RT0 出力信号に FRT 周期の PWM 波形を得られます。RT1 出力信号についても、同様に割込み発生の都度 OCCP1 レジスタ値を更新していくことで、PWM 出力波形を得られます。

■ WFG の動作

図 3-1 の動作タイミング 1

- WFG-ch.10 に RT-PPG モード動作を設定します(WFSA10 レジスタ・ライト)。

図 3-1 の動作タイミング 4

- WFG は、OCU-ch.0 からの RT0 信号が High レベルになると、GATE 信号(GATE0)をアサートし、PPG-ch.0 に起動指示を行います。
- PPG-ch.0 は、GATE 信号がアサートされると、PPG 信号(PPG0)の出力を開始します。
- WFG は、RT0 信号が High レベルの期間、RTO0 に PPG 信号を重畳して出力を行います。

図 3-1 の動作タイミング 5

- WFG は、RT0 信号が Low レベルになると、GATE 信号をディアサートし、停止指示をします。
- PPG-ch.0 は、PPG 信号を Low レベルとし、出力を停止します。
- WFG は、RTO0 信号を Low レベルとし、出力を停止します。

WFG は、OCU-ch.1 からの RT1 信号に対しても同様の動作を行い、RTO1 に PPG 信号を重畳して出力を行います。WFG の機能を利用することで、RTO0, RTO1 出力に図 3-1 のような DC チョッパ制御波形を出力できます。

■ ICU の動作

図 3-1 の動作タイミング 1

- ICU-ch.0, ch.1 に FRT-ch.0 を接続設定します(ICFS10 レジスタ・ライト)。
- ICU-ch.0 に、入力信号の立上りエッジ検出動作を設定します(ICSA10 レジスタ・ライト)。

図 3-1 の動作タイミング 6

- ICU-ch.0 は、入力信号(IC0)に立上りエッジが検出されると、FRT のカウント値を ICCP0 レジスタに格納します。また、CPU に対し割込みを発生します。
- CPU は、ICU-ch.0 の有効エッジ検出フラグに"1"がセットされていることから、ICU-ch.0 から割込みが発生していることを判別します(ICSA10 レジスタ・リード)。
- CPU は、信号の立上りエッジの位置を取り込みます(ICCP0 レジスタ・リード)。
- CPU は、有効エッジ検出フラグをクリアし、割込みから復帰します(ICSA10 レジスタ・ライト)。

■ 処理終了

図 3-1 の動作タイミング 7

7 のタイミングの処理は、PWM 信号の出力を終了する手続きを示しています。

- OCU-ch.0, ch.1 を動作禁止状態にします(OCSA10 レジスタ・ライト)。
- OCU-ch.0, ch.1 の出力信号(RT0,RT1)レベルを設定します(OCSB10 レジスタ・ライト)。
- ICU-ch.0 を動作禁止状態にします(ICSA10 レジスタ・ライト)。
- WFG は、OCU の出力が停止すれば、動作を行いません。
- FRT-ch.0 にカウント動作停止指示を行います(TCSA0 レジスタ・ライト)。
- FRT のカウント値に"0x0000"を設定します(TCDT0 レジスタ・ライト)。

■ 他のチャネルの処理

上記例では、OCU-を 2 チャネル, WFG を 1 チャネル, ICU を 1 チャネルの動作説明を行いましたが、OCU-6ch, WFG-3ch, ICU-3ch を同じ FRT に接続し、連動制御を行うことで、三相モータ制御を実現できます。

■ レジスタの設定値詳細

多機能タイマ動作例-1 のレジスタの設定値詳細を以下に示します。

表 3-1 の記号の意味を以下に示します。

操作	HW	ハーフワード・ライト・アクセス
	BW	バイト・ライト・アクセス
	HR	ハーフワード・リード・アクセス
	BR	バイト・リード・アクセス
値	NM	レジスタ既設定値と同じ値を書き込むか、レジスタの読出しを行って書き戻すことを示します(No Modify)。
	1(RMW)	レジスタクリアを意図しない場合は、"1"を書き込むことを示します。RMW アクセス(「6.2 イベント検出レジスタと割込みの取り扱いについて」を参照してください)による更新の場合、読み出した値を書き戻せることを示します。
	他	他チャネルの設定ビットであり、本説明例に関係しないことを示します。
	DC	読み出された値が無関係であることを示します(Don't Care)。

表 3-1 動作例-1 のレジスタ設定 1

設定タイミング	対象ブロック名	レジスタ名	操作	Bit Field	値	設定内容
1	FRT	TCSA0	HW	CLK[3:0]	0111	クロック分周プリスケーラ設定 : 1/128
				SCLR	0	ソフトクリア : 何もしない
				MODE	0	カウントモード設定 : アップカウントモード
				STOP	1	FRT カウント動作 : カウント停止
				BFE	1	TCCP バッファ機能 : 有効
				ICRE	0	ピーク値検出割込み : 禁止
				ICLR	0	ピーク値検出 : クリア
				Reserved	000	-
				IRQZE	0	Zero 値検出割込み : 禁止
				IRQZF	0	Zero 値検出 : クリア
				ECKE	0	使用クロック選択 : 内部クロック
		TCCP0	HW	TCCP	0x5FFF	FRT 周期を設定
	OCU	OCFS10	BW	FSO0[3:0]	0000	ch.0 の接続 FRT : FRT ch.0
				FSO1[3:0]	0000	ch.1 の接続 FRT : FRT ch.0
		OCSA10	BW	CST0	0	ch.0 動作状態 : 動作禁止
				CST1	0	ch.1 動作状態 : 動作禁止
				BDIS0	1	ch.0 OCCP バッファ機能 : 無効
				BDIS1	1	ch.1 OCCP バッファ機能 : 無効
				IOE0	1	ch.0 割込み : 許可
				IOE1	1	ch.1 割込み : 許可
				IOP0	0	ch.0 一致検出 : クリア
				IOP1	0	ch.1 一致検出 : クリア
		OCSB10	BW	OTD0	0	RT0 出力レベル初期設定 : Low
				OTD1	0	RT1 出力レベル初期設定 : Low
				Reserved	00	-
				CMOD	0	ch.0, ch.1 動作モード : アップカウント(1 変化)
				BTS0	0	ch.0 バッファ転送 : 設定無効
				BTS1	0	ch.1 バッファ転送 : 設定無効
				Reserved	0	-
		OCSC	BW	MOD0	0	ch.0 動作モード : アップカウント(1 変化)
				MOD1	0	ch.1 動作モード : アップカウント(1 変化)
				MOD2	他	ch.2 動作モード :
				MOD3	他	ch.3 動作モード :
				MOD4	他	ch.4 動作モード :
				MOD5	他	ch.5 動作モード :
				Reserved	00	-
		OCCP0	HW	OCCP	0x1800	ch.0 の変化タイミングを指定
		OCCP1	HW	OCCP	0x4800	ch.1 の変化タイミングを指定

表 3-2 動作例-1 のレジスタ設定 2

設定タイミング	対象ブロック名	レジスタ名	操作	Bit Field	値	設定内容
1	WFG	WFSA10	HW	DCK[2:0]	000	クロック分周プリスケーラ設定 : 1/1(設定無効)
				TMD[2:0]	001	動作モード : RT-PPG モードを選択
				GTEN[1:0]	11	Gate 信号生成 : RT0, RT1 信号論理 OR
				PSEL[1:0]	00	接続 PPG : PPG0
				PGEN[1:0]	11	PPG 反映 : RTO0, RTO1 信号に PPG 信号を論理 AND
				DMOD[1:0]	00	出力極性 : 設定無効
				Reserved	00	-
	ICU	ICFS10	BW	FSI0[3:0]	0000	ch.0 の接続 FRT : FRT ch.0
				FSI1[3:0]	他	ch.1 の接続 FRT :
		ICSA10	BW	EG0[1:0]	01	ch.0 動作状態 : 動作許可, 立上りエッジ
				EG1[1:0]	他	ch.1 動作状態 :
				ICE0	1	ch.0 割込み : 許可
				ICE1	他	ch.1 割込み :
				ICP0	0	ch.0 エッジ検出 : クリア
				ICP1	他	ch.1 エッジ検出 :
2	FRT	TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 :
				SCLR	NM	ソフトクリア :
				MODE	NM	カウントモード設定 :
				STOP	0	FRT カウント動作 : カウント開始
				BFE	NM	TCCP バッファ機能 :
				ICRE	NM	ピーク値検出割込み :
				ICLR	1(RMW)	ピーク値検出 : 何もしない
				Reserved	NM	-
				IRQZE	NM	Zero 値検出割込み :
				IRQZF	1(RMW)	Zero 値検出 : 何もしない
				ECKE	NM	使用クロック選択 :
3	OCU	OCSA10	BW	CST0	1	ch.0 動作状態 : 動作許可
				CST1	1	ch.1 動作状態 : 動作許可
				BDIS0	NM	ch.0 OCCP バッファ機能 :
				BDIS1	NM	ch.1 OCCP バッファ機能 :
				IOE0	NM	ch.0 割込み :
				IOE1	NM	ch.1 割込み :
				IOP0	1	ch.0 一致検出 : 何もしない
				IOP1	1	ch.1 一致検出 : 何もしない

表 3-3 動作例-1 のレジスタ設定 3

設定タイミング	対象ブロック名	レジスタ名	操作	Bit Field	値	設定内容
4	OCU	OCSA10	BR	CST0	DC	ch.0 動作状態 :
				CST1	DC	ch.1 動作状態 :
				BDIS0	DC	ch.0 OCCP バッファ機能 :
				BDIS1	DC	ch.1 OCCP バッファ機能 :
				IOE0	DC	ch.0 割込み :
				IOE1	DC	ch.1 割込み :
				IOP0	1	ch.0 一致検出 : 一致検出あり
				IOP1	0	ch.1 一致検出 : 一致検出なし
		OCCP0	HW	OCCP0	0x3800	ch.0 の変化タイミングを指定
		OCSA10	BW	CST0	NM	ch.0 動作状態 :
				CST1	NM	ch.1 動作状態 :
				BDIS0	NM	ch.0 OCCP バッファ機能 :
				BDIS1	NM	ch.1 OCCP バッファ機能 :
				IOE0	NM	ch.0 割込み :
				IOE1	NM	ch.1 割込み :
				IOP0	0	ch.0 一致検出 : フラグクリア
				IOP1	1(RMW)	ch.1 一致検出 : 何もしない
5	OCU	OCSA10	BR	CST0	DC	ch.0 動作状態 :
				CST1	DC	ch.1 動作状態 :
				BDIS0	DC	ch.0 OCCP バッファ機能 :
				BDIS1	DC	ch.1 OCCP バッファ機能 :
				IOE0	DC	ch.0 割込み :
				IOE1	DC	ch.1 割込み :
				IOP0	1	ch.0 一致検出 : 一致検出あり
				IOP1	0	ch.1 一致検出 : 一致検出なし
		OCCP0	HW	OCCP0	0x1800	ch.0 の変化タイミングを指定
		OCSA10	BW	CST0	NM	ch.0 動作状態 :
				CST1	NM	ch.1 動作状態 :
				BDIS0	NM	ch.0 OCCP バッファ機能 :
				BDIS1	NM	ch.1 OCCP バッファ機能 :
				IOE0	NM	ch.0 割込み :
				IOE1	NM	ch.1 割込み :
				IOP0	0	ch.0 一致検出 : フラグクリア
				IOP1	1(RMW)	ch.1 一致検出 : 何もしない

表 3-4 動作例-1 のレジスタ設定 4

設定タイミング	対象ブロック名	レジスタ名	操作	Bit Field	値	設定内容
6	ICU	ICSA10	BR	EG0[1:0]	DC	ch.0 動作状態 :
				EG1[1:0]	DC	ch.1 動作状態 :
				ICE0	DC	ch.0 割込み :
				ICE1	DC	ch.1 割込み :
				ICP0	1	ch.0 エッジ検出 : エッジ検出あり
				ICP1	0	ch.1 エッジ検出 : エッジ検出なし
		ICCP0	HW	ICCP0	0x57FE	ch.0 のキャプチャ値を取り込み
		ICSA10	BW	EG0[1:0]	NM	ch.0 動作状態 :
				EG1[1:0]	NM	ch.1 動作状態 :
				ICE0	NM	ch.0 割込み :
				ICE1	NM	ch.1 割込み :
				ICP0	0	ch.0 エッジ検出 : クリア
				ICP1	1(RMW)	ch.1 エッジ検出 : 何もしない
7	OCU	OCSA10	BW	CST0	0	ch.0 動作状態:禁止
				CST1	0	ch.1 動作状態:禁止
				BDIS0	NM	ch.0 OCCP バッファ機能 :
				BDIS1	NM	ch.1 OCCP バッファ機能 :
				IOE0	NM	ch.0 割込み :
				IOE1	NM	ch.1 割込み :
				IOP0	1	ch.0 一致検出 : 何もしない
				IOP1	1	ch.1 一致検出 : 何もしない
		OCSB10	BW	OTD0	0	RT0 出力レベル : Low
				OTD1	0	RT1 出力レベル : Low
				Reserved	NM	-
				CMOD	NM	ch.0, ch.1 動作モード :
				BTS0	NM	ch.0 バッファ転送 :
				BTS1	NM	ch.1 バッファ転送 :
				Reserved	NM	-
	ICU	ICSA10	BW	EG0[1:0]	00	ch.0 動作状態 : 動作禁止
				EG1[1:0]	00	ch.1 動作状態 : 動作禁止
				ICE0	NM	ch.0 割込み :
				ICE1	NM	ch.1 割込み :
				ICP0	1	ch.0 エッジ検出 : 何もしない
				ICP1	1	ch.1 エッジ検出 : 何もしない
	FRT	TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 :
				SCLR	1	ソフトクリア : FRT の初期化
				MODE	NM	カウントモード設定 :
				STOP	1	FRT カウント動作 : カウント停止
				BFE	NM	TCCP バッファ機能 :
				ICRE	NM	ピーク値検出割込み :
				ICLR	1	ピーク値検出 : 何もしない
				Reserved	NM	-
				IRQZE	NM	Zero 値検出割込み :
				IRQZF	1	Zero 値検出 : 何もしない
				ECKE	NM	使用クロック選択 :
		TCDT0	HW	TCDT	0x0000	FRT カウント値の初期化

3.2. 多機能タイマの動作例-2

多機能タイマ動作例-2 では、各機能ブロックを以下のモードで動作させた場合の例を説明します。

FRT : アップダウンカウントモード, 割込みあり
OCU : アップダウンカウントモード(Active High), 割込みなし
WFG : RT-デッドタイマモード(Active High)
ADCMP/ATSA : アップカウント時の一致条件で ADC unit0 に対し、スキャン変換起動指示

■ タイムチャート

図 3-2 各ブロックの主なレジスタ, 入出力信号のタイムチャート

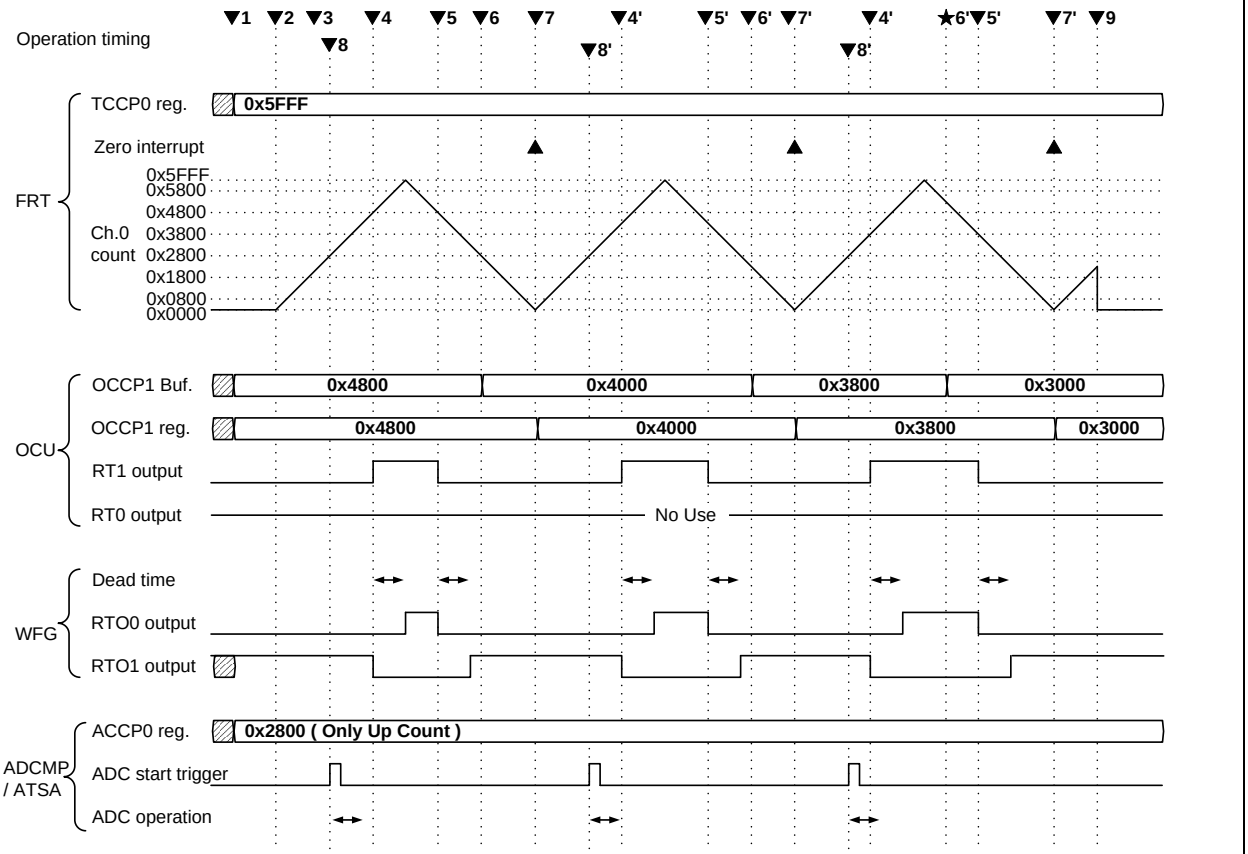


図 3-2 に各ブロックの主なレジスタ, 入出力信号のタイムチャートを示します。図 3-2 は、上段から、CPU 動作, FRT 動作, OCU 動作, WFG 動作, ADCMP 動作を示します。

以下に、動作タイミング 1～9 での、各機能ブロックの動作と CPU からの制御内容を説明します。また、各タイミングでの CPU のレジスタの設定値の具体例を示します。レジスタの設定内容の詳細については「4 多機能タイマのレジスタ」を参照してください。このほかに LSI の I/O ポート部, 割込み制御部, ADC 部の設定が別途必要のため、注意してください。

■ FRT, OCU の動作

図 3-2 の動作タイミング 1

- FRT-ch.0 に、アップダウンカウントモード動作を設定します(TCSA0 レジスタ・ライト)。
- FRT-ch.0 の動作周期を設定します(TCCP0 レジスタ・ライト)。本例では、"0x5FFF"を設定しており、FRT のプリスケーラ設定=1/4、PCLK=40MHz の条件で、FRT のカウント周期は、4.915ms になります。
- OCU-ch.1 に FRT-ch.0 を接続設定します(OCFS10 レジスタ・ライト)。
- OCU-ch.1 に、アップダウンカウントモード(Active High)動作を設定します。また、出力信号(RT1)の初期出力レベルを指定します(OCSA10 レジスタ, OCSB10 レジスタ, OCSC レジスタの各ライト)。
- OCU-ch.1 の出力信号(RT1)の変化タイミングを設定します(OCCP1 レジスタ・ライト)。本例では"0x4800"を設定しています。書き込まれた値は、バッファレジスタに書き込まれた後、OCCP1 レジスタに転送されます。

図 3-2 の動作タイミング 2

- FRT-ch.0 にカウント動作開始を指示します(TCSA0 レジスタ・ライト)。
- FRT-ch.0 は、アップダウンカウントモードの場合、図のように、"0x0000"からカウント開始し、TCCP 値(=0x5FFF)まで、アップカウント動作を行います。その後、カウント方向が切り替わり、"0x0000"まで、ダウンカウント動作を行います。その後、このカウント動作を継続します。

図 3-2 の動作タイミング 3

- OCU-ch.0, ch.1 に動作許可を指示します(OCSA10 レジスタ・ライト)。

図 3-2 の動作タイミング 4

- OCU-ch.1 は、FRT カウンタ値がアップカウント中に"0x4800"になり、OCCP1 の設定値と一致したことを検出して、出力信号(RT1)を Low レベルから High レベルに変化させます。

図 3-2 の動作タイミング 5

- OCU-ch.1 は、FRT カウンタ値がダウンカウント中に"0x4800"になり、OCCP1 の設定値と一致したことを検出して、出力信号(RT1)を High レベルにから Low レベルに変化させます。

図 3-2 の動作タイミング 6

- CPU は、次の FRT 周期での OCU-ch.1 の出力信号(RT1)の変化タイミングを設定します(OCCP1 レジスタ・ライト)。OCCP のバッファ機能有効、Zero 値検出転送モードが選択されているため、書き込まれた値はいったんバッファレジスタに格納されます。次に FRT カウンタ値が Zero 値になった時点(7. のタイミング)に値が OCCP1 レジスタに転送され、OCU 出力に反映されます。このため、図 3-2 の★のタイミングのように、5 のタイミングの前に書込みが行われても、出力信号(RT1)の変化タイミングには影響がありません。

図 3-2 の動作タイミング 7

- FRT-ch.0 は、カウント値が"0x0000"になった時点で、CPU に対し、Zero 値検出割込みを発生します(Zero 値検出割込みは、3 のタイミングでは発生しません)。
- CPU は、FRT-ch.0 の Zero 値検出フラグに"1"がセットされていることから、FRT-ch.0 から割込みが発生していることを判別します(TCSA0 レジスタ・リード)。
- CPU は、Zero 値検出フラグをクリアし、割込みから復帰します(TCSA0 レジスタ・ライト)。

以降は、4～7 の動作を繰り返すことで、図のように、RT1 出力に FRT カウント値のピーク値を対称とした PWM 波形を得られます。

■ WFG の動作

図 3-2 の動作タイミング 1

- WFG-ch.10 に RT-デッドタイマモード(Active High)の初期設定を行います(WFSA10 レジスタ・ライト)。
- WFG-ch.10 にデッドタイムを設定します(WFTM レジスタ・ライト)。本例では、"0x0010"を設定しており、WFG のプリスケーラ設定=1/2、PCLK=40MHz の条件で、挿入されるデッドタイムは 0.8µs です。
- WFG のこのモードでは、OCU-ch.1 の出力信号(RT1)に対し、WFG の出力信号(RTO0、RTO1)は、それぞれ、RT1 と同じレベル, 逆のレベルの信号が出力されます。

図 3-2 の動作タイミング 4,5

- RT1 信号が Low レベルから High レベル(または High レベルから Low レベル)に変化すると、図のように RTO0 信号, RTO1 信号は、指定したデッドタイム(出力先のトランジスタ応答時間)が挿入されて、出力レベルが変化します。
- WFG の機能を利用することで、RTO0, RTO1 出力に図のようなデッドタイムを持つノンオーバラップ信号を出力できます。

■ ADCMP/ATSA の動作

図 3-2 の動作タイミング 1

- ADCMP-ch.0 に、FRT のアップカウント時の一致条件で ADC-unit0 に AD 変換起動指示するよう設定します(ACSA レジスタ、ACSB レジスタ・ライト)。
- ATSA に対し、ADCMP からの ADC-unit0 の変換起動信号をスキャン変換起動信号として選択するよう初期設定を行います(ATSA レジスタ・ライト)。
- AD 変換の起動タイミングを設定します(ACCP0 レジスタ・ライト)。本例では"0x2800"を設定しています。

図 3-2 の動作タイミング 3

- ADCMP-ch.0 に対し、動作許可を指示します(ACSA レジスタ・ライト)。

図 3-2 の動作タイミング 8

- ADCMP-ch.0 および ATSA は、FRT カウンタ値がアップカウント動作中で、"0x2800"になったことを検出して、ADC-unit0 のスキャン変換起動信号を出力します。

■ 処理終了

図 3-2 の動作タイミング 9

9 のタイミングの処理は、PWM 信号の出力を終了する手続きを示しています。

- OCU-ch.1 を動作禁止状態にします(OCSA10 レジスタ・ライト)。
- OCU-ch.1 の出力信号(RT0, RT1)レベルを設定します(OCSB10 レジスタ・ライト)。
- ADCMP-ch.0 を動作禁止状態にします(ACSA レジスタ・ライト)。
- WFG は、OCU の出力が停止すれば、動作を行いません。
- FRT-ch.0 にカウント動作停止指示を行います(TCSA0 レジスタ・ライト)。
- FRT のカウント値に"0x0000"を設定します(TCDT0 レジスタ・ライト)。

上記例では、OCU-を 1 チャネル, WFG を 1 チャネル, ADCMP を 1 チャネルの動作説明を行いましたが、OCU-3ch, WFG-3ch, ADCMP-3ch を同じ FRT に接続し、連動制御を行うことで、三相モータ制御を実現できます。

■ レジスタの設定値詳細

動作例-2 のレジスタの設定手順を以下に示します。

表 3-5 の記号の意味は、動作例-1 と同じです。

表 3-5 動作例-2 のレジスタの設定 1

設定タイミング	対象ブロック名	レジスタ名	操作	Bit Field	値	設定内容
1	FRT	TCSA0	HW	CLK[3:0]	0010	クロック分周プリスケーラ設定 : 1/4
				SCLR	0	ソフトクリア : 何もしない
				MODE	1	カウントモード設定 : アップダウンカウントモード
				STOP	1	FRT カウント動作 : カウント停止
				BFE	1	TCCP バッファ機能 : 有効
				ICRE	0	ピーク値検出割込み : 禁止
				ICLR	0	ピーク値検出 : クリア
				Reserved	000	-
				IRQZE	1	Zero 値検出割込み : 許可
				IRQZF	0	Zero 値検出 : クリア
				ECKE	0	使用クロック選択 : 内部クロック
		TCCP0	HW	TCCP	0x5FFF	FRT 周期を設定します。
	OCU	OCFS10	BW	FSO0[3:0]	他	ch.0 の接続 FRT :
				FSO1[3:0]	0000	ch.1 の接続 FRT : FRT ch.0
		OCSA10	BW	CST0	他	ch.0 動作状態 :
				CST1	0	ch.1 動作状態 : 動作禁止
				BDIS0	他	ch.0 OCCP バッファ機能 :
				BDIS1	0	ch.1 OCCP バッファ機能 : 有効
				IOE0	他	ch.0 割込み :
				IOE1	0	ch.1 割込み : 禁止
				IOP0	他	ch.0 一致検出 :
				IOP1	0	ch.1 一致検出 : クリア
		OCSB10	BW	OTD0	他	RT0 出力レベル :
				OTD1	0	RT1 出力レベル : Low
				Reserved	00	-
				CMOD	0	ch.0, ch.1 動作モード : アップダウン(Active High)
				BTS0	他	ch.0 バッファ転送 :
				BTS1	0	ch.1 バッファ転送 : Zero 値検出転送
				Reserved	0	-
		OCSC	BW	MOD0	他	ch.0 動作モード :
				MOD1	1	ch.1 動作モード : アップダウン(Active High)
				MOD2	他	ch.2 動作モード :
				MOD3	他	ch.3 動作モード :
				MOD4	他	ch.4 動作モード :
				MOD5	他	ch.5 動作モード :
				Reserved	00	-
		OCCP1	HW	OCCP	0x4800	ch.1 の変化タイミングを指定

表 3-6 動作例-2 のレジスタの設定 2

設定タイミング	対象ブロック名	レジスタ名	操作	Bit Field	値	設定内容
1	WFG	WFSA10	HW	DCK[2:0]	001	クロック分周プリスケーラ設定 : 1/2
				TMD[2:0]	100	動作モード : RT-デッドタイマモードを選択
				GTEN[1:0]	00	Gate 信号生成 : 設定無効
				PSEL[1:0]	00	接続 PPG : 設定無効
				PGEN[1:0]	00	PPG 反映 : 設定無効
				DMOD[1:0]	00	出力極性 : Active High
				Reserved	00	-
		WFTM10	HW	WFTM	0x0010	デッドタイム値を設定
	ADCMP	ACSA	HW	CE0[1:0]	00	ch.0 の動作状態 : 動作禁止
				CE1[1:0]	他	ch.1 の動作状態 :
				CE2[1:0]	他	ch.2 の動作状態 :
				Reserved	00	-
				SEL0[1:0]	01	ch.0 起動タイミングの選択 : アップカウント時のみ
				SEL1[1:0]	他	ch.1 起動タイミングの選択 :
				SEL2[1:0]	他	ch.2 起動タイミングの選択 :
				Reserved	00	-
		ACSB	BW	BDIS0	1	ch.0 バッファ機能 : 無効
				BDIS1	他	ch.1 バッファ機能 :
				BDIS2	他	ch.2 バッファ機能 :
				Reserved	0	-
				BTS0	0	ch.0 バッファ転送 : 設定無効
				BTS1	他	ch.1 バッファ転送 :
				BTS2	他	ch.2 バッファ転送 :
				Reserved	0	
		ACCP0	HW	ACCP	0x2800	ADC0 に対する起動タイミングを指定
	ATSA	ATSA	HW	AD0S[1:0]	00	ADC0 スキャン変換起動 : ADCMPch.0
				AD1S[1:0]	他	ADC1 スキャン変換機能 :
				AD2S[1:0]	他	ADC2 スキャン変換機能 :
				Reserved	00	-
				AD0P[1:0]	00	ADC0 優先変換起動 : ADCMPch.0
				AD1P[1:0]	他	ADC1 優先変換起動 :
				AD2P[1:0]	他	ADC2 優先変換起動 :
				Reserved	00	-

表 3-7 動作例-2 のレジスタの設定 3

設定 タイミング	対象 ブロック名	レジスタ名	操作	Bit Field	値	設定内容
2	FRT	TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 ：
				SCLR	NM	ソフトクリア ：
				MODE	NM	カウントモード設定 ：
				STOP	0	FRT カウント動作 ： カウント開始
				BFE	NM	TCCP バッファ機能 ：
				ICRE	NM	ピーク値検出割込み ：
				ICLR	1(RMW)	ピーク値検出 ： 何もしない
				Reserved	NM	-
				IRQZE	NM	Zero 値検出割込み ：
				IRQZF	1(RMW)	Zero 値検出 ： 何もしない
				ECKE	NM	使用クロック選択 ：
3	OCU	OCSA10	BW	CST0	NM	ch.0 動作状態 ：
				CST1	1	ch.1 動作状態:動作許可
				BDIS0	NM	ch.0 OCCP バッファ機能 ：
				BDIS1	NM	ch.1 OCCP バッファ機能 ：
				IOE0	NM	ch.0 割込み ：
				IOE1	NM	ch.1 割込み ：
				IOP0	1	ch.0 一致検出 ： 何もしない
				IOP1	1	ch.1 一致検出 ： 何もしない
	ADCMP	ACSA	HW	CE0[1:0]	01	ch.0 の動作状態 ： 動作許可 接続 FRT : FRT ch.0
				CE1[1:0]	NM	ch.1 の動作状態 ：
				CE2[1:0]	NM	ch.2 の動作状態 ：
				Reserved	NM	-
				SEL0[1:0]	NM	ch.0 起動タイミングの選択 ：
				SEL1[1:0]	NM	ch.1 起動タイミングの選択 ：
				SEL2[1:0]	NM	ch.2 起動タイミングの選択 ：
				Reserved	NM	-
6	OCU	OCCP1	HW	OCCP1	0x4000	ch.1 の変化タイミングを指定

表 3-8 動作例-2 のレジスタの設定 4

設定タイミング	対象ブロック名	レジスタ名	操作	Bit Field	値	設定内容
7	FRT	TCSA0	HR	CLK[3:0]	DC	クロック分周プリスケーラ設定 ：
				SCLR	DC	ソフトクリア ：
				MODE	DC	カウントモード設定 ：
				STOP	DC	FRT カウント動作 ：
				BFE	DC	TCCP バッファ機能 ：
				ICRE	DC	ピーク値検出割込み ：
				ICLR	DC	ピーク値検出 ：
				Reserved	DC	-
				IRQZE	DC	Zero 値検出割込み ：
				IRQZF	1	Zero 値検出 ：Zero 値検出
				ECKE	DC	使用クロック選択 ：
		TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 ：
				SCLR	NM	ソフトクリア ：
				MODE	NM	カウントモード設定 ：
				STOP	NM	FRT カウント動作 ：
				BFE	NM	TCCP バッファ機能 ：
				ICRE	NM	ピーク値検出割込み ：
				ICLR	1(RMW)	ピーク値検出 ： 何もしない
				Reserved	NM	-
				IRQZE	NM	Zero 値検出割込み ：
				IRQZF	0	Zero 値検出 ： フラグクリア
				ECKE	NM	使用クロック選択 ：

表 3-9 動作例-2 のレジスタの設定 5

設定 タイミング	対象 ブロック名	レジスタ名	操作	Bit Field	値	設定内容
9	OCU	OCSA10	BW	CST0	NM	ch.0 動作状態:
				CST1	0	ch.1 動作状態:禁止
				BDIS0	NM	ch.0 OCCP バッファ機能 ：
				BDIS1	NM	ch.1 OCCP バッファ機能 ：
				IOE0	NM	ch.0 割込み ：
				IOE1	NM	ch.1 割込み ：
				IOP0	1	ch.0 一致検出 ： 何もしない
				IOP1	1	ch.1 一致検出 ： 何もしない
		OCSB10	BW	OTD0	NM	RT0 出力レベル ：
				OTD1	0	RT1 出力レベル ：Low
				Reserved	NM	-
				CMOD	NM	ch.0, ch.1 動作モード ：
				BTS0	NM	ch.0 バッファ転送 ：
				BTS1	NM	ch.1 バッファ転送 ：
				Reserved	NM	-
	ADCMP	ACSA	HW	CE0[1:0]	00	ch.0 の動作状態 ： 動作禁止
				CE1[1:0]	NM	ch.1 の動作状態 ：
				CE2[1:0]	NM	ch.2 の動作状態 ：
				Reserved	NM	-
				SEL0[1:0]	NM	ch.0 起動タイミングの選択 ：
				SEL1[1:0]	NM	ch.1 起動タイミングの選択 ：
				SEL2[1:0]	NM	ch.2 起動タイミングの選択 ：
				Reserved	NM	-
	FRT	TCSA0	HW	CLK[3:0]	NM	クロック分周プリスケーラ設定 ：
				SCLR	1	ソフトクリア ：FRT の初期化
				MODE	NM	カウントモード設定 ：
				STOP	1	FRT カウント動作 ： カウント停止
				BFE	NM	TCCP バッファ機能 ：
				ICRE	NM	ピーク値検出割込み ：
				ICLR	1	ピーク値検出 ： 何もしない
				Reserved	NM	-
				IRQZE	NM	Zero 値検出割込み ：
				IRQZF	1	Zero 値検出 ： 何もしない
				ECKE	NM	使用クロック選択 ：
		TCDT0	HW	TCDT	0x0000	FRT カウント値の初期化

4. 多機能タイマのレジスタ

多機能タイマのレジスタについて説明します。

4.1 機能説明時のチャネル番号の個別表記,共通表記について
4.2 多機能タイマのレジスタ一覧
4.3 レジスタ機能詳細
4.4 OCU 出力波形詳細
4.5 WFG 出力波形詳細

4.1. 機能説明時のチャネル番号の個別表記,共通表記について

本章の機能説明におけるチャネル番号の個別表記、共通表記について説明します。

多機能タイマユニットは、同機能ブロックを複数個搭載し、複数チャネル回路を構成しているため、各チャネルで共通となる事項があります。

チャネルの区別をする必要がなく、各チャネルにて共通の機能の説明を行う場合には、チャネル番号を省略した表記，および( )付きの表記(共通表記)を用いています。これにより説明の重複を避けて、説明の簡素化を行っています。

各チャネルの動作説明，入出力信号，制御レジスタを区別して説明する必要がある場合には、チャネル番号を明記した表記(個別表記)を用いて説明を行っています。

以下にその表記ルールと表記例について説明します。

- チャネル番号が、直接表記されている場合は、個別表記であることを示しています。
  この表記の場合、該当チャネルの動作説明，入出力信号，制御レジスタの説明を行っていることを示しています。
- 制御レジスタは、2 個のチャネルを同時に制御するものが存在しています。この場合、該当チャネル番号を 2 つ併記して、区別する個別表記を行っています。
- チャネル番号が、省略されて表記されている場合は、共通表記であることを示しています。
  この表記の場合、すべてのチャネルにて共通となる動作説明，入出力信号説明，制御レジスタ説明であり、重複説明を省いていることを示しています。
- チャネル番号が、( )付き数字で表記されている場合、一部のチャネルで共通表記であることを示しています。
  搭載されているチャネルの中で、偶数チャネルと奇数チャネルを区別する必要がある場合に、(0), (1)の表記を用いています。
  この場合、(0)は、偶数チャネルに共通の機能、(1)は、奇数チャネルに共通の機能の説明を行っていることを示しています。

例1) MFT ユニット 0 の ICU-ch.3 は、内部 CR 発振器のキャリブレーション入力を選択できます。

例 1 は、個別表記の例で、MFT ユニット 0 の ICU-ch.3 のみが内部 CR 発振器のキャリブレーション入力を選択できることを示しています。この表記の場合、MFT ユニット 0 の ICU の ch.0～ch.2 および他の MFT ユニットの ICU ch.0～ch.3 は、内部 CR 発振器のキャリブレーション入力は選択できないことを示しています。

例2) ICFS10 レジスタは、ICU-ch.1 と ICU-ch.0 に接続する FRT を選択するレジスタです。

例3) ICFS32 レジスタは、ICU-ch.3 と ICU-ch.2 に接続する FRT を選択するレジスタです。

例 2～3 は、制御レジスタ(ICFS)に、2 個のチャネル番号(10 と 32)を併記して個別表記を行っている例です。

例4) ICFS レジスタは、ICU に接続する FRT を選択するレジスタです。

例 4 は、制御レジスタ(ICFS)のチャネル番号を省略して共通表記を行っている例です。記載内容が説明している意味は、例 2～3 と同じで、共通表記により、重複説明を省略しています。

例5)　ICFS10.FSI0[3:0]は、ICU-ch.0 に接続する FRT を選択するレジスタです。

例6)　ICFS10.FSI1[3:0]は、ICU-ch.1 に接続する FRT を選択するレジスタです。

例7)　ICFS32.FSI0[3:0]は、ICU-ch.2 に接続する FRT を選択するレジスタです。

例8)　ICFS32.FSI1[3:0]は、ICU-ch.3 に接続する FRT を選択するレジスタです。

例 5～8 は、制御レジスタ(ICFS)に、2 個のチャネル番号を併記して、制御レジスタ内の制御ビットとチャネルの対応を明確に個別表記した例です。

例9)　ICFS.FSI0[3:0]は、ICU-ch.(0)に接続する FRT を選択するレジスタです。

例10)　ICFS.FSI1[3:0]は、ICU-ch.(1)に接続する FRT を選択するレジスタです。

例 9～10 は、制御レジスタのチャネル番号の省略と、(　)付きの共通表記を行っている例です。記載内容が説明している意味は、例 5～8 と同じで、共通表記により、説明の重複を省略しています。

上記のように、各機能ブロックの説明中で、共通表記が用いられている場合、該当するチャネルの個別表記に読み替えていただく必要があるため注意してください。

表 4-1～表 4-3 に、個別表記と共通表記の対応表を示します。レジスタ名に関する個別表記と共通表記の対応については、レジスタ一覧表を参照してください。

表 4-1 OCU の個別表記と共通表記

チャネル番号		5	4	3	2	1	0
OCU の動作説明時の表記	個別表記	ch.5	ch.4	ch.3	ch.2	ch.1	ch.0
	共通表記	ch.(1)	ch.(0)	ch.(1)	ch.(0)	ch.(1)	ch.(0)
OCU から出力される信号名の表記	個別表記	RT5	RT4	RT3	RT2	RT1	RT0
	共通表記	RT(1)	RT(0)	RT(1)	RT(0)	RT(1)	RT(0)

表 4-2 WFG の個別表記と共通表記

チャネル番号		54		32		10	
WFG の動作説明時の表記	個別表記	ch.54		ch.32		ch.10	
	共通表記	表記なし					
OCU から入力される信号名	個別表記	RT5	RT4	RT3	RT2	RT1	RT0
	共通表記	RT(1)	RT(0)	RT(1)	RT(0)	RT(1)	RT(0)
WFG から出力される信号名	個別表記	RTO5	RTO4	RTO3	RTO2	RTO1	RTO0
	共通表記	RTO(1)	RTO(0)	RTO(1)	RTO(0)	RTO(1)	RTO(0)
PPG から入力選択された後の PPG 入力信号名	個別表記	CH10_PPG		CH32_PPG		CH54_PPG	
	共通表記	CH_PPG					
PPG へ出力選択される前の GATE 信号名	信号名	CH10_GATE		CH32_GATE		CH54_GATE	
	共通表記	CH_GATE					

表 4-3 ICU の個別表記と共通表記

チャネル番号		3	2	1	0
ICU の動作説明時の表記	個別表記	ch.3	ch.2	ch.1	ch.0
	共通表記	ch.(1)	ch.(0)	ch.(1)	ch.(0)
ICU の入力信号名の表記	個別表記	IC3	IC2	IC1	IC0
	共通表記	IC(1)	IC(0)	IC(1)	IC(0)

4.2. 多機能タイマのレジスター一覧

多機能タイマユニットに存在するレジスタの一覧を示します。

多機能タイマユニットに存在するレジスタの一覧を表 4-4 に示します。

多機能タイマユニットの制御レジスタは搭載チャネルごとに同じ構成のものが存在します。本節では、機能が同じレジスタは、共通表記を用いて動作説明をしています。レジスター一覧表に、各レジスタの個別表記名と共通表記名を記載してあるため、該当するチャネルの個別表記に読み替えていただくようお願いいたします。

レジスター一覧表に記載のレジスタは、多機能タイマ 1 ユニットに存在するレジスタを示します。複数の多機能タイマユニットが搭載されている製品の場合、多機能タイマユニット数分、同様のレジスタが搭載されています。

表 4-4 多機能タイマユニットのレジスター一覧表

ブロック名	レジスタ名(個別表記)	レジスタ機能	bit 幅	アクセス	参照先	レジスタ名(共通表記)	
FRT	TCSA0	FRT ch.0 制御レジスタ A	16	B, H	4.3.1	TCSA	
	TCSA1	FRT ch.1 制御レジスタ A					
	TCSA2	FRT ch.2 制御レジスタ A					
	TCSB0	FRT ch.0 制御レジスタ B	16	B, H	4.3.2	TCSB	
	TCSB1	FRT ch.1 制御レジスタ B					
	TCSB2	FRT ch.2 制御レジスタ B					
	TCCP0	FRT ch.0 周期設定レジスタ	16	H	4.3.3	TCCP	
	TCCP1	FRT ch.1 周期設定レジスタ					
	TCCP2	FRT ch.2 周期設定レジスタタ					
	TCDT0	FRT ch.0 カウント値レジスタ	16	H	4.3.4	TCDT	
	TCDT1	FRT ch.1 カウント値レジスタ					
	TCDT2	FRT ch.2 カウント値レジスタ					
OCU	OCFS10	OCU ch.1, ch.0 接続 FRT 選択レジスタ	8	B, H	4.3.5	OCFS	
	OCFS32	OCU ch.3, ch.2 接続 FRT 選択レジスタ					
	OCFS54	OCU ch.5, ch.4 接続 FRT 選択レジスタ		B			
	OCSA10	OCU ch.1, ch.0 制御レジスタ A	8	B, H	4.3.6	OCSA	
	OCSA32	OCU ch.3, ch.2 制御レジスタ A					
	OCSA54	OCU ch.5, ch.4 制御レジスタ A					
	OCSB10	OCU ch.1, ch.0 制御レジスタ B	8	B, H	4.3.7	OCSB	
	OCSB32	OCU ch.3, ch.2 制御レジスタ B					
	OCSB54	OCU ch.5, ch.4 制御レジスタ B					
	OCSC	OCU ch.5～ch.0 制御レジスタ C	8	B	4.3.8	OCSC	
	OCCP0	OCU ch.0 コンペア値格納レジスタ	16	H	4.3.9	OCCP	OCCP(0)
	OCCP1	OCU ch.1 コンペア値格納レジスタ					OCCP(1)
	OCCP2	OCU ch.2 コンペア値格納レジスタ					OCCP(0)
	OCCP3	OCU ch.3 コンペア値格納レジスタ					OCCP(1)
	OCCP4	OCU ch.4 コンペア値格納レジスタ					OCCP(0)
	OCCP5	OCU ch.5 コンペア値格納レジスタ					OCCP(1)

ブロック名	レジスタ名(個別表記)	レジスタ機能	bit幅	アクセス	参照先	レジスタ名(共通表記)
WFG	WFSA10	WFG ch.10 制御レジスタ A	16	H	4.3.10	WFSA
	WFSA32	WFG ch.32 制御レジスタ A				
	WFSA54	WFG ch.54 制御レジスタ A				
	WFTM10	WFG ch.10 タイマ値レジスタ	16	H	4.3.11	WFTM
	WFTM32	WFG ch.32 タイマ値レジスタ				
	WFTM54	WFG ch.54 タイマ値レジスタ				
NZCL	NZCL	NZCL 制御レジスタ	16	H	4.3.12	NZCL
	WFIR	WFG 割込み制御レジスタ	16	H	4.3.13	WFIR
ICU	ICFS10	ICU ch.1, ch.0 接続 FRT 選択レジスタ	8	B, H	4.3.14	ICFS
	ICFS32	ICU ch.3, ch.2 接続 FRT 選択レジスタ				
	ICSA10	ICU ch.1, ch.0 制御レジスタ A	8	B, H	4.3.15	ICSA
	ICSA32	ICU ch.3, ch.2 制御レジスタ A				
	ICSB10	ICU ch.1, ch.0 制御レジスタ B	8	B, H	4.3.16	ICSB
	ICSB32	ICU ch.3, ch.2 制御レジスタ B				
	ICCP0	ICU ch.0 キャプチャ値格納レジスタ	16	H	4.3.17	ICCP
	ICCP1	ICU ch.1 キャプチャ値格納レジスタ				
	ICCP2	ICU ch.2 キャプチャ値格納レジスタ				
	ICCP3	ICU ch.3 キャプチャ値格納レジスタ				
ADCMP	ACSA	ADCMP ch.2～ch.0 制御レジスタ A	16	B, H	4.3.18	ACSA
	ACSB	ADCMP ch.2～ch.0 制御レジスタ B	8	B	4.3.19	ACSB
	ACCP0	ADCMP ch.0 コンペア値格納レジスタ	16	H	4.3.20	ACCP
	ACCP1	ADCMP ch.1 コンペア値格納レジスタ				
	ACCP2	ADCMP ch.2 コンペア値格納レジスタ				
	ACCPDN0	ADCMP ch.0 コンペア値格納レジスタ (ダウンカウント方向時専用)	16	H	4.3.21	ACCPDN
	ACCPDN1	ADCMP ch.1 コンペア値格納レジスタ (ダウンカウント方向時専用)				
	ACCPDN2	ADCMP ch.2 コンペア値格納レジスタ (ダウンカウント方向時専用)				
ATSA	ATSA	ADC 起動要因選択レジスタ	16	H	4.3.22	ATSA

4.3. レジスタ機能詳細

多機能タイマユニットに存在するレジスタの詳細を説明します。

4.3.1 FRT 制御レジスタ A (TCSA)
4.3.2 FRT 制御レジスタ B (TCSB)
4.3.3 FRT 周期設定レジスタ (TCCP)
4.3.4 FRT カウント値レジスタ (TCDT)
4.3.5 OCU 接続 FRT 選択レジスタ (OCFS)
4.3.6 OCU 制御レジスタ A (OCSA)
4.3.7 OCU 制御レジスタ B (OCSB)
4.3.8 OCU 制御レジスタ C (OCSC)
4.3.9 OCU コンペア値格納レジスタ (OCCP)
4.3.10 WFG 制御レジスタ A (WFSA)
4.3.11 WFG タイマ値レジスタ (WFTM)
4.3.12 NZCL 制御レジスタ (NZCL)
4.3.13 WFG 割込み制御レジスタ (WFIR)
4.3.14 ICU 接続 FRT 選択レジスタ (ICFS)
4.3.15 ICU 制御レジスタ A (ICSA)
4.3.16 ICU 制御レジスタ B (ICSB)
4.3.17 ICU キャプチャ値格納レジスタ (ICCP)
4.3.18 ADCMP 制御レジスタ A (ACSA)
4.3.19 ADCMP 制御レジスタ B (ACSB)
4.3.20 ADCMP コンペア値格納レジスタ (ACCP)
4.3.21 ADCMP コンペア値格納レジスタ, ダウンカウント方向時専用 (ACCPDN)
4.3.22 ADC 起動要因選択レジスタ (ATSA)

4.3.1. FRT 制御レジスタ A (TCSA)

TCSA は、FRT の制御を行う 16 ビットレジスタです。
搭載チャネルごとに TCSA0, TCSA1, TCSA2 の 3 つのレジスタがあります。
TCSA0 は、FRT ch.0 を制御します。
TCSA1 は、FRT ch.1 を制御します。
TCSA2 は、FRT ch.2 を制御します。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	ECKE	IRQZF	IRQZE	予約			ICLR	ICRE
属性	R/W	R/W	R/W	-			R/W	R/W
初期値	0	0	0	000			0	0

bit	7	6	5	4	3	2	1	0
Field	BFE	STOP	MODE	SCLR	CLK[3:0]			
属性	R/W	R/W	R/W	W	R/W			
初期値	0	1	0	0	0000			

■ レジスタ機能

[bit3:0] CLK[3:0]

処理	値	機能
書込み	0000	FRT のカウントクロック周期を PCLK と同じにします。
	0001	FRT のカウントクロック周期を PCLK の 2 倍にします。
	0010	FRT のカウントクロック周期を PCLK の 4 倍にします。
	0011	FRT のカウントクロック周期を PCLK の 8 倍にします。
	0100	FRT のカウントクロック周期を PCLK の 16 倍にします。
	0101	FRT のカウントクロック周期を PCLK の 32 倍にします。
	0110	FRT のカウントクロック周期を PCLK の 64 倍にします。
	0111	FRT のカウントクロック周期を PCLK の 128 倍にします。
	1000	FRT のカウントクロック周期を PCLK の 256 倍にします。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

CLK[3:0]は、FRT のカウンタ(16 ビットアップダウンカウンタ)のカウントクロック周期を設定するビットです。
本ビットの設定変更は、FRT 停止中に行ってください。
FRT カウントクロックは、PCLK をプリスケーラにより分周したものを使用するか、外部クロック入力を使用するかを選択できます。本ビットの設定は、プリスケーラの設定のため、外部クロック入力が選択されているときは無意味な値です。

PCLK の周期と、本ビットで設定されたクロック分周比により、FRT のカウントクロック周期が決定されます。
下表に CLK[3:0]設定値と FRT カウントクロック周期の例を示します。

CLK[3:0]	周期比	FRT カウントクロック周期		
		PCLK=25ns (40MHz)	PCLK=33.3ns (33MHz)	PCLK=50ns (20MHz)
0000	1	25ns	30ns	50ns
0001	2	50ns	61ns	100ns
0010	4	100ns	121ns	200ns
0011	8	200ns	242ns	400ns
0100	16	400ns	485ns	800ns
0101	32	800ns	970ns	1.6µs
0110	64	1.6µs	1.9µs	3.2µs
0111	128	3.2µs	3.9µs	6.4µs
1000	256	6.4µs	7.8µs	12.8µs

[bit4] SCLR

処理	値	機能
書込み	0	FRT の動作状態初期化要求をキャンセルします。
	1	FRT の動作状態初期化要求を発行します。
読出し	-	常に"0"が読み出されます。

SCLR は、FRT の動作状態初期化の要求を行うビットです。
本ビットは、以下の 2 とおりの使用方法があります。

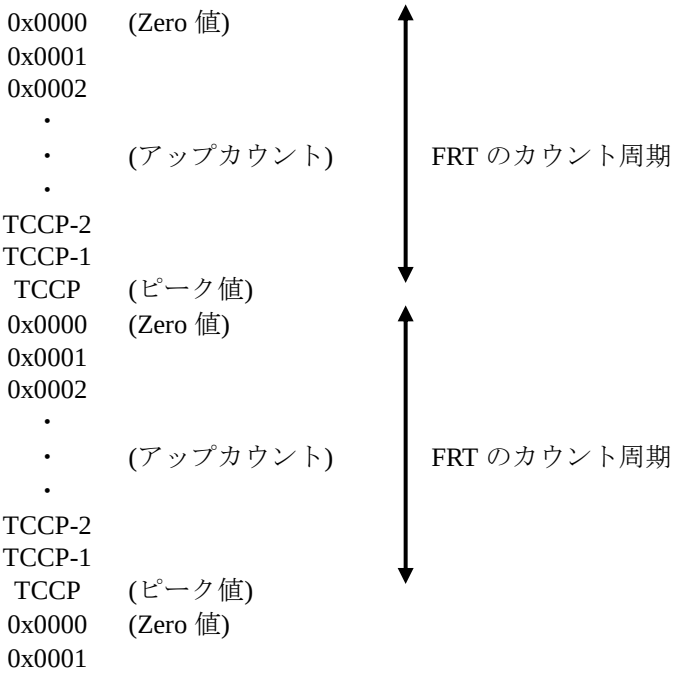
1. FRT カウンタを停止する場合
   FRT カウンタを停止する場合に、"1"を書き込み、FRT の動作状態の初期化要求を発行します。
2. FRT カウンタをクロック同期クリアする場合
   FRT をアップカウントモードで動作させている場合に、"1"を書き込み、FRT のカウント値を"0x0000"に同期クリアする要求を発行します。

本ビットの使用方法については、「[bit6] STOP」を参照してください。

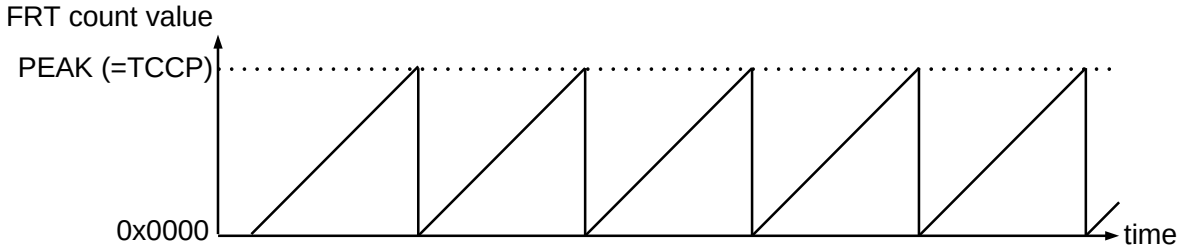
[bit5] MODE

処理	値	機能
書込み	0	FRT のカウントモードをアップカウントモードに設定します。
	1	FRT のカウントモードをアップダウンカウントモードに設定します。
読出し	-	設定値を読み出します。

MODE は、FRT のカウントモードを選択するビットです。
本ビットの設定変更は、FRT 停止中に行ってください。
アップカウントモードの場合、FRT は、以下のような動作をします。
FRT のカウンタ値は、"0x0000"からアップカウントを開始します。TCCP レジスタ設定値までアップカウント後、カウンタ値は"0x0000"になります。その後、アップカウントするカウント動作を繰り返します。
FRT のカウント周期は、(TCCP+1)×カウントクロック周期です。
FRT のカウンタ値の変化を以下に示します。



MODE=0 Up count mode

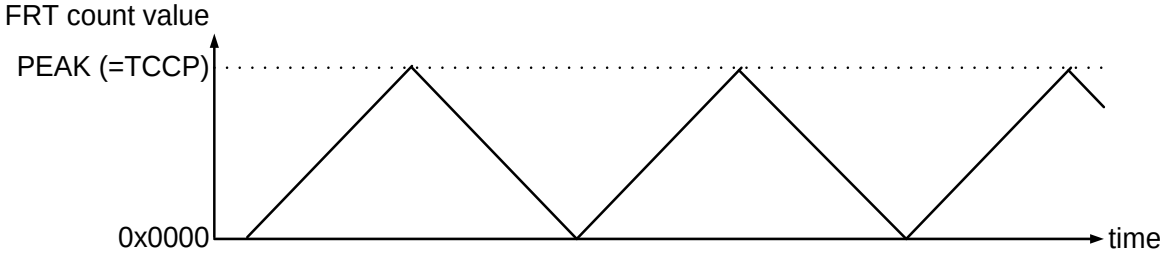


アップダウンカウントモードの場合、FRT は、以下のような動作をします。

FRT のカウンタ値は、"0x0000"からアップカウントを開始します。TCCP レジスタ設定値までアップカウント後、ダウンカウントを開始します。"0x0000"に戻ってから、再びアップカウントを開始するカウント動作を繰り返します。FRT のカウント周期は、(TCCP)×2×カウントクロック周期です。
FRT のカウンタ値の変化を以下に示します。

0x0000	(Zero 値)	
0x0001		
0x0002		
・		
・	(アップカウント)	
・		
TCCP-2		
TCCP-1		
TCCP	(ピーク値)	FRT のカウント周期
TCCP-1		
TCCP-2		
・		
・	(ダウンカウント)	
・		
0x0002		
0x0001		
0x0000	(Zero 値)	
0x0001		
0x0002		
・		
・	(アップカウント)	FRT のカウント周期
・		
TCCP-2		
TCCP-1		
TCCP	(ピーク値)	
TCCP-1		
TCCP-2		
・		
・	(ダウンカウント)	
・		
0x0002		
0x0001		
0x0000	(Zero 値)	
0x0001		

MODE=1 Up-down count mode



[bit6] STOP

処理	値	機能
書込み	0	FRT を動作状態にします。
	1	FRT を停止状態にします。
読出し	-	設定値を読み出します。

STOP は、FRT の動作開始・動作停止を制御するビットです。
本ビットは、SCLR と組み合わせて以下のように使用します。

1. FRT カウンタの動作を開始するとき
   FRT カウント停止中に、STOP=0, SCLR=0 を書き込むと、FRT カウント動作が開始します。
2. アップカウントモードで、FRT カウンタのカウント値を"0x0000"に同期クリアするとき
   FRT カウントが、アップカウントモードでカウント動作中に、STOP=0, SCLR=1 を書き込むと、次の FRT カウントクロックで、FRT のカウント値が"0x0000"にクリアされます。カウンタがクリアされるまでの間に、SCLR=0 を書き込むと、カウンタクリア要求がキャンセルされ、カウンタ値クリアが行われません。カウンタ値がクリアされたことが確認できるまでは、SCLR=0 を書き込まないでください。また、この操作は、アップダウンカウントモードでは行うことはできません。
3. FRT カウンタの動作を停止するとき
   FRT カウント動作中に、STOP=1, SCLR=1 を書き込むと、FRT がカウント動作を停止します。FRT の停止後、FRT のカウントクロック状態によっては FRT カウンタ値が"0x0000"に初期化されていないことがあります。その次に必ず TCDT に"0x0000"を書き込み、FRT のカウンタ値を"0x0000"にクリアしてください。

FRT カウント動作中に、同じアドレス領域のほかのレジスタを書き換える場合には、STOP=0, SCLR=0 を書き込んでください。

FRT カウント停止中に、同じアドレス領域のほかのレジスタを書き換える場合には、STOP=1, SCLR=0 を書き込んでください。

図 4-1 FRT のカウント開始，クリア，停止(アップカウントモード)

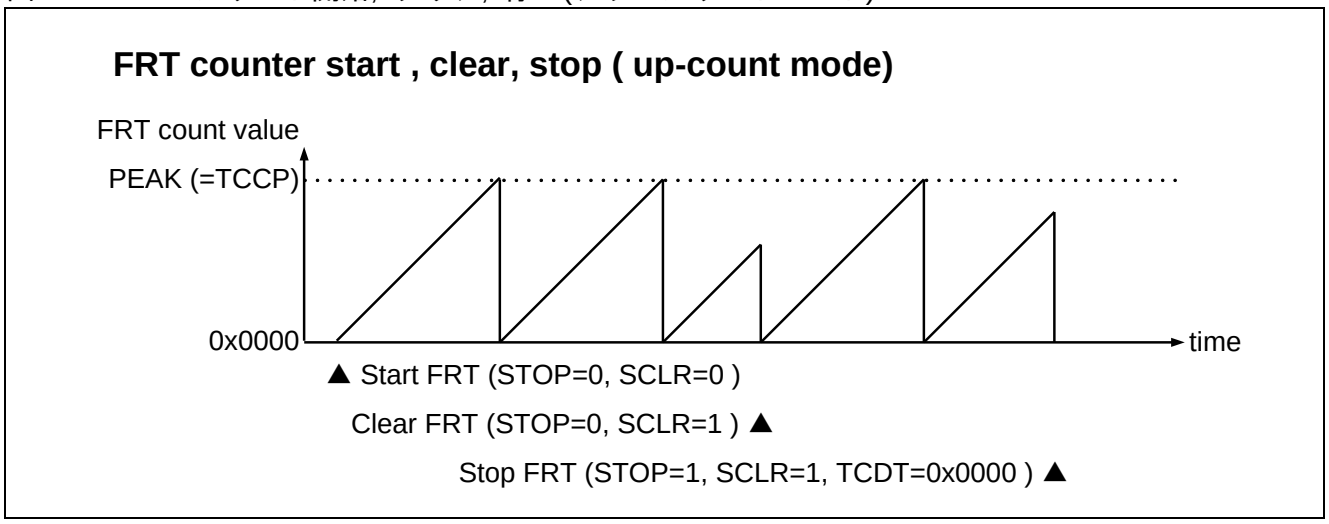
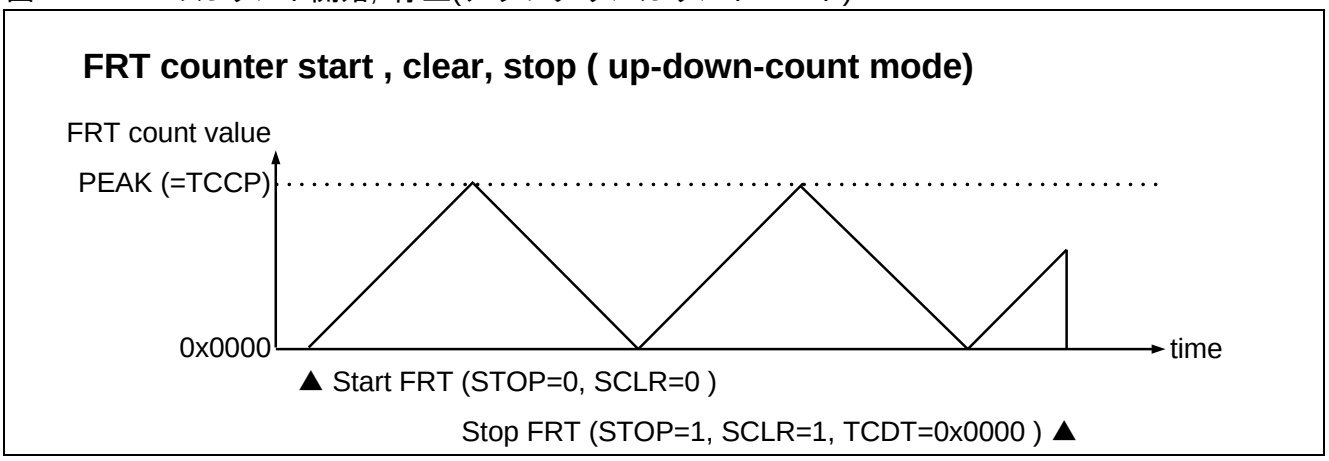


図 4-2 FRT のカウント開始，停止(アップダウンカウントモード)



[bit7] BFE

処理	値	機能
書込み	0	TCCP のバッファ機能を無効にします。
	1	TCCP のバッファ機能を有効にします。
読出し	-	設定値を読み出します。

BFE は、TCCP レジスタのバッファ機能の有効・無効を選択するビットです。
「4.3.3 FRT 周期設定レジスタ (TCCP)」を参照してください。

[bit8] ICRE

処理	値	機能
書込み	0	ICLR に"1"がセットされた場合、割込みを発生しません。
	1	ICLR に"1"がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

ICRE は、ICLR がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するビットです。
「6.2 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

[bit9] ICLR

処理	値	機能
書込み	0	"0"にクリアします。
	1	動作に影響しません。
読出し	0	FRT のカウント値と TCCP 値の一致が検出されていない状態を示します。
	1	FRT のカウント値と TCCP 値の一致が検出済である状態を示します。
RMW アクセス時の読出し		常に"1"が読み出されます。

ICLR は、FRT 動作中に、FRT のカウント値と TCCP 値の一致検出(以降ピーク値検出と略記)により、"1" がセットされるビットです。
本ビットを読み出すことにより、FRT のカウント値が TCCP 値に到達したか否かを判断できます。
本ビットは、"0"を書き込むことにより、クリアできます。
本ビットは、"1"を書き込んでも動作に影響しません。同じアドレス領域のほかのレジスタを書き換える際には、本ビットは必ず"1"を書き込んでください。
RMW アクセス時、本ビットは常に"1"が読み出されます。
「6.2 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

[bit12:10] 予約
書込み時は"0"を書き込んでください。読出し値は"0"が読み出されます。

[bit13] IRQZE

処理	値	機能
書込み	0	IRQZF に"1"がセットされた場合、割込みを発生しません。
	1	IRQZF に"1"がセットされた場合、割込みを発生します。
読出し	-	レジスタの設定値を読み出します。

IRQZE は、IRQZF がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するビットです。
「6.2 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

[bit14] IRQZF

処理	値	機能
書込み	0	"0"にクリアします。
	1	動作に影響しません。
読出し	0	FRT のカウント値と"0x0000"値の一致が検出されていない状態を示します。
	1	FRT のカウント値と"0x0000"値の一致が検出済である状態を示します。
RMW アクセス時の読出し		常に"1"が読み出されます。

IRQZF は、FRT 動作中に、FRT のカウント値と"0x0000"値の一致検出(以下 Zero 値検出と略記)により、"1" がセットされるビットです。
本ビットを読み出すことにより、FRT のカウント値が"0x0000"値に到達したか否かを判断できます。
FRT が"0x0000"からカウント開始した場合の開始時点での"0x0000"値、SCLR によるカウンタ値クリアによる"0x0000"値では、本ビットは"1"にセットされません。
本ビットは、"0"を書き込むことにより、"0"にクリアできます。
本ビットは、"1"を書き込んでも何も行われません。同じアドレス領域のほかのレジスタを書き換える際には、本ビットは必ず"1"を書き込んでください。
RMW アクセス時、本ビットは常に"1"が読み出されます。
「6.2 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

[bit15] ECKE

処理	値	機能
書込み	0	FRT のカウントクロックとして内部クロック(PCLK)を使用します。
	1	FRT のカウントクロックとして外部入力クロック(FRCK)を使用します。
読出し	-	レジスタの設定値を読み出します。

ECKE は、FRT のカウントクロックとして使用するクロック信号を選択するビットです。

本ビットの設定変更は、FRT 停止中に行ってください。

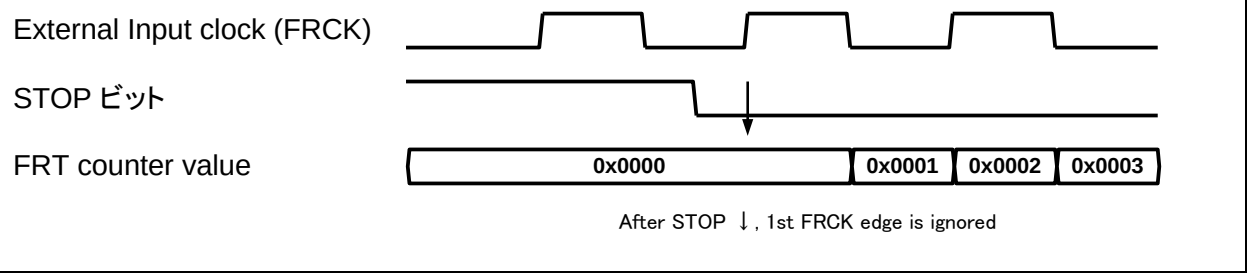
内部クロックを選択する場合、CLK[3:0]によってクロック分周比を設定する必要があります。

外部入力クロックを選択する場合、あらかじめ I/O ポート部にて使用する FRCK 端子を決定しておく必要があります。

外部入力クロックで動作させる場合、外部入力クロック信号の立上りエッジ，立下りエッジの両方で、カウント動作が行われます。

外部入力クロックで動作させる場合、FRT 動作開始(STOP に"0"書込み時)後、最初の外部入力クロックのエッジは、立上りエッジ，立下りエッジのいずれであっても無視され、その次のエッジからカウント動作が開始されます。

図 4-3 外部入力クロックの選択



4.3.2. FRT 制御レジスタ B (TCSB)

TCSB は、FRT の制御を行う 16 ビットレジスタです。
搭載チャネルごとに TCSB0, TCSB1, TCSB2 の 3 つのレジスタがあります。
TCSB0 は、FRT ch.0 を制御します。
TCSB1 は、FRT ch.1 を制御します。
TCSB2 は、FRT ch.2 を制御します。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約					AD2E	AD1E	AD0E
属性	-					R/W	R/W	R/W
初期値	00000					0	0	0

■ レジスタ機能

[bit0] AD0E

処理	値	機能
書込み	0	FRT の Zero 値検出時、ADC unit0 へ AD 変換起動信号を出力しません。
	1	FRT の Zero 値検出時、ADC unit0 へ AD 変換起動信号を出力します。
読出し	-	設定値を読み出します。

[bit1] AD1E

処理	値	機能
書込み	0	FRT の Zero 値検出時、ADC unit1 へ AD 変換起動信号を出力しません。
	1	FRT の Zero 値検出時、ADC unit1 へ AD 変換起動信号を出力します。
読出し	-	設定値を読み出します。

[bit2] AD2E

処理	値	機能
書込み	0	FRT の Zero 値検出時、ADC unit2 へ AD 変換起動信号を出力しません。
	1	FRT の Zero 値検出時、ADC unit2 へ AD 変換起動信号を出力します。
読出し	-	設定値を読み出します。

AD0E, AD1E, AD2E は、FRT の Zero 値検出時の AD 変換起動信号出力を選択するビットです。

本ビットは、FRT の Zero 値検出で ADC の変換起動を行う場合に使用します。3 チャネル存在する FRT の各 AD 変換起動信号は、出力先の ADC ユニットごとに論理 OR されます。図 2-1 を参照してください。

FRT ch.0, FRT ch.1, FRT ch.2 からの ADC unit0 への変換起動信号は、論理 OR されています。

FRT ch.0, FRT ch.1, FRT ch.2 からの ADC unit1 への変換起動信号は、論理 OR されています。

FRT ch.0, FRT ch.1, FRT ch.2 からの ADC unit2 への変換起動信号は、論理 OR されています。

上記構成のため、複数の FRT から、同じ ADC に対し、AD 変換起動を行う際には注意してください。Zero 値検出以外の FRT カウント値で AD 変換起動を行う場合、ADCMP を使用して AD 変換起動信号を出力できます。

図 2-1 の ATSA ブロックにて、FRT の Zero 値検出による ADC 変換起動信号と、ADCMP による ADC 変換起動信号をそれぞれ、ADC のスキャン変換起動に使用するか、優先変換起動に使用するかを選択できます。

[bit15:3] 予約 : 予約ビット

書込み時は"0"を書き込んでください。読出し値は"0"が読み出されます。

4.3.3. FRT 周期設定レジスタ (TCCP)

TCCP は、FRT のカウント周期を設定する 16 ビットレジスタです。
搭載チャネルごとに TCCP0, TCCP1, TCCP2 の 3 つのレジスタがあります。
TCCP0 は、FRT ch.0 の周期設定を行います。
TCCP1 は、FRT ch.1 の周期設定を行います。
TCCP2 は、FRT ch.2 の周期設定を行います。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TCCP[15:0]															
属性	R/W															
初期値	0xFFFF															

■ レジスタ機能

[bit15:0] TCCP[15:0]

処理	機能
書込み	FRT の周期設定を行います。書込み値を TCCP バッファレジスタに格納します。
読出し	TCCP レジスタ値を読み出します(TCCP バッファレジスタ値ではありません)。

TCCP レジスタは、FRT のカウント周期を設定する 16 ビットレジスタです。

TCCP 値と FRT のカウントモードにより、FRT のカウント周期は以下のようになります。

アップカウントモードの場合 :
FRT のカウント周期 = (TCCP+1)×FRT のカウントクロック周期

アップダウンカウントモードの場合 :
FRT のカウント周期 = TCCP×2×FRT のカウントクロック周期

このアドレス領域にデータ書込みを行うと、データはいったんバッファレジスタに格納されます。その後、以下の条件で、バッファレジスタから TCCP レジスタにデータが転送されます。

バッファ機能無効の場合 :
バッファレジスタ書込み直後にデータ転送されます。

バッファ機能有効の場合 :
FRT 停止時、または FRT のカウント値が"0x0000"のときにデータ転送されます。

バッファ機能の有効・無効は、TCSA:BFE ビットの値により決定されます。

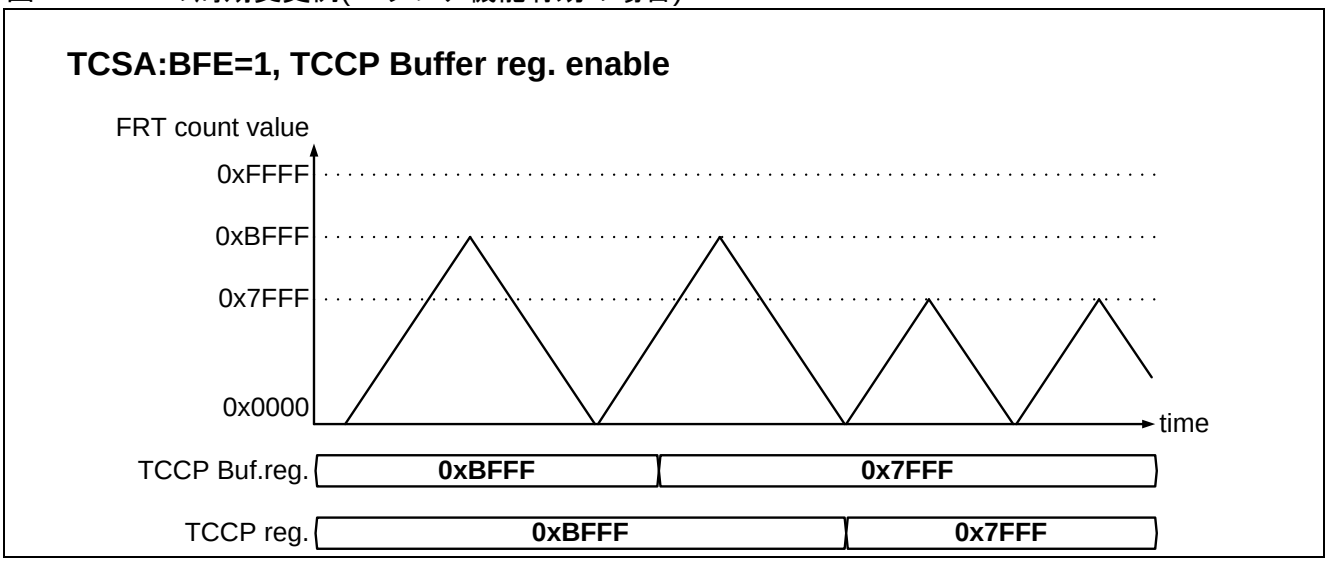
FRT カウント動作中に、このレジスタを書き換えることにより、FRT のカウント周期を変更できます。このアドレス領域からデータの読出しを行うと、バッファレジスタの値ではなく、TCCP レジスタの値が読み出されます。このため、バッファ機能有効時は、このアドレス領域に対する RMW アクセスによるビット書換えができないため、注意してください。

このレジスタに"0x0000"を書き込むことは禁止です。

バッファ機能有効のときに、FRT の周期変更を行った例を図 4-4 に示します。

TCCP のバッファ機能有効の場合、バッファレジスタに値を書き込んだ後、次の Zero 値検出時に、TCCP レジスタに値が転送されます。FRT のカウント周期が変更されるのは、書込みを行った次の FRT 周期になります。

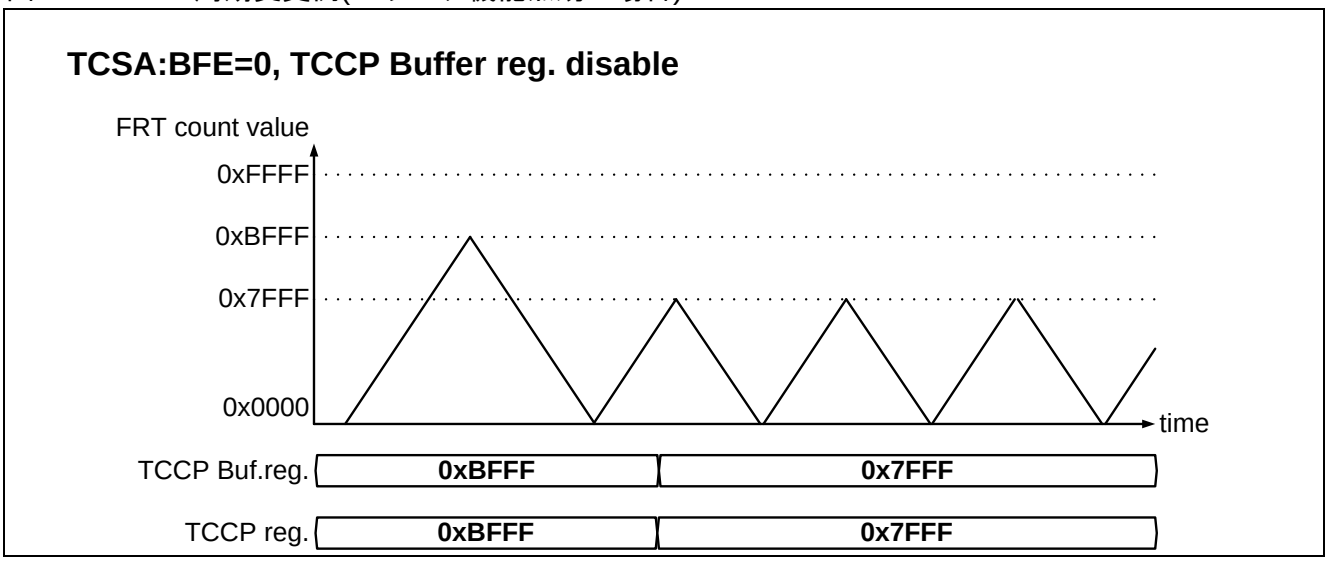
図 4-4 FRT の周期変更例(バッファ機能有効の場合)



バッファ機能無効のときに、FRT の周期変更を行った例を図 4-5 に示します。

TCCP のバッファ機能無効の場合、バッファレジスタの値が直ちに TCCP レジスタに反映されるため、書込みを行ったサイクルから FRT 周期を変更できます。この場合、その時点での FRT カウント値より小さい TCCP 値を書き込むと、FRT のカウント値は"0xFFFF"までカウントアップする動作を行うため、注意してください。

図 4-5 FRT の周期変更例(バッファ機能無効の場合)



4.3.4. FRT カウント値レジスタ (TCDT)

TCDT は、FRT のカウント値の読出し、書込みを行う 16 ビットレジスタです。
搭載チャネルごとに TCDT0, TCDT1, TCDT2 の 3 つのレジスタがあります。
TCDT0 は、FRT ch.0 のタイマカウント値です。
TCDT1 は、FRT ch.1 のタイマカウント値です。
TCDT2 は、FRT ch.2 のタイマカウント値です。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TCDT[15:0]															
属性	R/W															
初期値	0x0000															

■ レジスタ機能

[bit15:0] TCDT[15:0]

処理	値	機能
書込み	0x0000	FRT のカウント値を"0x0000"に設定します(FRT 停止中のみ可能)。
	上記以外	設定禁止
読出し	-	現在の FRT のカウント値を読み出します。

TCDT レジスタは、FRT のカウント値の読出し，書込みを行う 16 ビットレジスタです。

TCDT の読出しを行うと、その時点での FRT のカウント値が読み出されます。

FRT 動作中のデータ書込み、および"0x0000"以外の書込みは行わないでください。

FRT をいったん動作させ、その後停止した場合、再起動に備えて、必ず TCDT に"0x0000"を書き込み、FRT のカウント値の初期化を行ってください。

4.3.5. OCU 接続 FRT 選択レジスタ (OCFS)

OCFS は、OCU に接続する FRT を選択設定する 8 ビットレジスタです。
搭載チャネルごとに OCFS10, OCFS32, OCFS54 の 3 つのレジスタがあります。
OCFS10 は、OCU ch.1 と OCU ch.0 を制御します。
OCFS32 は、OCU ch.3 と OCU ch.2 を制御します。
OCFS54 は、OCU ch.5 と OCU ch.4 を制御します。
OCFS10, OCFS54 は、偶数アドレスに存在し、OCFS32 は奇数アドレスに存在します。このため、それぞれのビット位置は[7:0]と[15:8]です。

■ レジスタ構成

bit	15/7	14/6	13/5	12/4	11/3	10/2	9/1	8/0
Field	FSO1[3:0]				FSO0[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

■ レジスタ機能

[bit3:0/11:8] FSO0[3:0]

処理	値	機能
書込み	0000	OCU ch.(0)に FRT ch.0 を接続します。
	0001	OCU ch.(0)に FRT ch.1 を接続します。
	0010	OCU ch.(0)に FRT ch.2 を接続します。
	0011 0100	MFT ユニット複数搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT ユニット 1 個搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

[bit7:4/15:12] FSO1[3:0]

処理	値	機能
書込み	0000	OCU ch.(1)に FRT ch.0 を接続します。
	0001	OCU ch.(1)に FRT ch.1 を接続します。
	0010	OCU ch.(1)に FRT ch.2 を接続します。
	0011 0100	MFT ユニット複数搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT ユニット 1 個搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

FSO0[3:0]は、OCU の ch.(0)に接続して使用する FRT を選択するビットです。
FSO1[3:0]は、OCU の ch.(1)に接続して使用する FRT を選択するビットです。
本ビットの設定変更は、接続する OCU の動作禁止中に行ってください。
MFT ユニットが複数存在する製品の場合、別 MFT ユニットに存在する FRT の接続を選択できます。その際の設定については、「6.1 複数 MFT 搭載製品の接続について」を参照してください。

4.3.6. OCU 制御レジスタ A (OCSA)

OCSA は、OCU の動作制御を行う 8 ビットレジスタです。
搭載チャネルごとに OCSA10, OCSA32, OCSA54 の 3 つのレジスタがあります。
OCSA10 は、OCU ch.1 と OCU ch.0 を制御します。
OCSA32 は、OCU ch.3 と OCU ch.2 を制御します。
OCSA54 は、OCU ch.5 と OCU ch.4 を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	IOP1	IOP0	IOE1	IOE0	BDIS1	BDIS0	CST1	CST0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	0	0

■ レジスタ機能

[bit0] CST0

処理	値	機能
書込み	0	OCU ch.(0)を動作禁止状態にします。 OCSB:OTD0 への書込み値を RT(0)出力端子に反映します。
	1	OCU ch.(0)を動作許可状態にします。 OCSB:OTD0 への書込み値を無視します。
読出し	-	設定値を読み出します。

[bit1] CST1

処理	値	機能
書込み	0	OCU ch.(1)を動作禁止状態にします。 OCSB:OTD1 への書込み値を RT(1)出力端子に反映します。
	1	OCU ch.(1)を動作許可状態にします。 OCSB:OTD1 への書込み値を無視します。
読出し	-	設定値を読み出します。

CST0 は、OCU ch.(0)の動作状態の選択を行うビットです。
CST1 は、OCU ch.(1)の動作状態の選択を行うビットです。
OCU の各チャネルは、動作許可状態の場合、動作モード設定に従い、OCCP レジスタに指定した値と FRT のカウント値が一致したタイミングで、以下の動作を行います。
・RT0～RT5 出力端子の出力レベルを変化させて、PWM 信号を出力します。
・IOP0 ビット,IOP1 ビットに"1"をセットし、CPU に状態の変化を通知します。

値が一致しない場合、動作禁止状態の場合、出力端子の出力レベルは最後の状態を保持したままになります。
OCU の動作モードの詳細は、「4.4 OCU 出力波形詳細」を参照してください。
OCU が動作許可状態の場合、OCSB:OTD0, OCSB:OTD1 ビットへの書込みは無視され、出力端子のレベルに反映されません。

＜注意事項＞

OCU による PWM 信号出力を開始する場合は、必ず以下の手順に従い、制御を行なってください。

1. 初期設定
   FRT 動作モード設定(TCSA:STOP 以外の FRT 制御レジスタ)
   OCU 動作モード設定，出力レベル初期化(CST0, CST1 以外の OCU 制御レジスタ)
   OCCP コンペア値設定(OCCP 値書込み)
2. FRT のカウント開始(TCSA:STOP=0 書込み)
3. OCU の動作許可(CST0=1, CST1=1 書込み)

OCU による PWM 信号出力を終了する場合は、必ず以下の手順に従い、制御を行ってください。

1. OCU の動作禁止(CST0=0, CST1=0 書込み)
2. OCU 出力端子の出力レベル再設定(OCSB:OTD0, OCSB:OTD1 書込み)
3. FRT のカウント停止(TCSA:STOP=1, TCSA:SCLR=1, TCDT=0x0000 書込み)

[bit2] BDIS0

処理	値	機能
書込み	0	OCCP(0)レジスタのバッファ機能を有効にします。
	1	OCCP(0)レジスタのバッファ機能を無効にします。
読出し	-	設定値を読み出します。

[bit3] BDIS1

処理	値	機能
書込み	0	OCCP(1)レジスタのバッファ機能を有効にします。
	1	OCCP(1)レジスタのバッファ機能を無効にします。
読出し	-	設定値を読み出します。

BDIS0 は、OCCP(0)のバッファレジスタ機能の有効無効を選択するビットです。
BDIS1 は、OCCP(1)のバッファレジスタ機能の有効無効を選択するビットです。
本ビットの設定変更は、OCU の動作禁止中に行ってください。
「4.3.9 OCU コンペア値格納レジスタ (OCCP)」を参照してください。

＜注意事項＞

FRT をアップダウンカウントモードで使用する場合、必ず OCCP のバッファ機能有効、Zero 値検出時の転送モードとして使用してください。

[bit4] IOE0

処理	値	機能
書込み	0	IOP0 に"1"がセットされた場合、割込みを発生しません。
	1	IOP0 に"1"がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

[bit5] IOE1

処理	値	機能
書込み	0	IOP1 に"1"がセットされた場合、割込みを発生しません。
	1	IOP1 に"1"がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

IOE0 は、IOP0 に"1"がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するレジスタです。
IOE1 は、IOP1 に"1"がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するレジスタです。
「6.2 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

[bit6] IOP0

処理	値	機能
書込み	0	"0"にクリアします。
	1	動作に影響しません。
読出し	0	OCU ch.(0)にて、FRT のカウント値と OCCP(0)値の一致が検出されていない状態を示します。
	1	OCU ch.(0)にて、FRT のカウント値と OCCP(0)値の一致が検出済みである状態を示します。
RMW アクセス時の読出し		常に"1"が読み出されます。

[bit7] IOP1

処理	値	機能
書込み	0	"0"にクリアします。
	1	動作に影響しません。
読出し	0	OCU ch.(1)にて、FRT のカウント値と OCCP(1)値の一致が検出されていない状態を示します。
	1	OCU ch.(1)にて、FRT のカウント値と OCCP(1)値の一致が検出済みである状態を示します。
RMW アクセス時の読出し		常に"1"が読み出されます。

IOP0 は、OCU ch.(0)が動作許可状態時、FRT のカウント値と OCCP(0)値の一致検出により、"1"がセットされるビットです。

IOP1 は、OCU ch.(1)が動作許可状態時、FRT のカウント値と OCCP(1)値の一致検出により、"1"がセットされるビットです。

本ビットを読み出すことにより、FRT のカウント値が OCCP 値に到達したか否かを判断することが可能です。

本ビットは、"0"を書き込むことにより、クリアできます。

本ビットは、"1"を書き込んでも動作に影響しません。同じアドレス領域のほかのレジスタを書き換える際には、本ビットは必ず"1"を書き込んでください。

RMW アクセス時には本ビットは常に"1"が読み出されます。

「6.2 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

＜注意事項＞

FRT がアップダウンカウントモードの場合で、FRT カウント値がピーク値で OCCP 値と一致した場合、これらのレジスタはセットされません。

4.3.7. OCU 制御レジスタ B (OCSB)

OCSB は、OCU の動作制御を行う 8 ビットレジスタです。
搭載チャネルごとに OCSB10, OCSB32, OCSB54 の 3 つのレジスタがあります。
OCSB10 は、OCU ch.1 と OCU ch.0 を制御します。
OCSB32 は、OCU ch.3 と OCU ch.2 を制御します。
OCSB54 は、OCU ch.5 と OCU ch.4 を制御します。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約	BTS1	BTS0	CMOD	予約	予約	OTD1	OTD0
属性	-	R/W	R/W	R/W	-	-	R/W	R/W
初期値	-	1	1	0	-	-	0	0

■ レジスタ機能

[bit8] OTD0

処理	値	機能
書込み	0	OCSA:CST0=0 の場合、RT(0)端子の出力レベルを Low レベルにします。 OCSA:CST0=1 の場合、何も行われません。
	1	OCSA:CST0=0 の場合、RT(0)端子の出力レベルを High レベルにします。 OCSA:CST0=1 の場合、何も行われません。
読出し	0	RT(0)出力端子が、Low レベル出力状態であることを示します。
	1	RT(0)出力端子が、High レベル出力状態であることを示します。

[bit9] OTD1

処理	値	機能
書込み	0	OCSA:CST1=0 の場合、RT(1)端子の出力レベルを Low レベルにします。 OCSA:CST1=1 の場合、何も行われません。
	1	OCSA:CST1=0 の場合、RT(1)端子の出力レベルを High レベルにします。 OCSA:CST1=1 の場合、何も行われません。
読出し	0	RT(1)出力端子が、Low レベル出力状態であることを示します。
	1	RT(1)出力端子が、High レベル出力状態であることを示します。

OTD0 は、OCU ch.(0)の RT(0)出力端子の状態読出し、出力レベル設定を行うビットです。

OTD1 は、OCU ch.(1)の RT(1)出力端子の状態読出し、出力レベル設定を行うビットです。

OCU が動作禁止状態の場合、本ビットに書込みを行うことで、OCU 出力端子(RT0～RT5)の出力レベルを設定できます。OCU が動作許可状態の場合、本ビットへの書込みは無視されます。OCU の動作状態にかかわらず、本ビットの読出し値は OCU の出力端子の出力レベルを示します。

＜注意事項＞

- OCU の出力端子(RT0～RT5)は、WFG で処理された後、LSI の外部出力端子(RTO0～RTO5)となります。このため、WFG の動作モードによっては、OCU の出力端子レベルは、LSI 外部出力端子レベルと一致しないため注意してください。LSI 外部出力端子の状態は、I/O ポート部の PDIR レジスタにより読み出せます。
- CST0=1(OCU 動作許可中)かつ OTD0=1(High レベル出力状態)のときに、OCU の動作停止を行って、出力レベルを Low にしたい場合、以下のようにします。
  - OCU の動作許可中は、OTD0 に書き込めないため、最初に CST0 に"0"を書き込み、OCU の動作を停止します。
  - 次に、OTD0 に"0"を書き込み、出力レベルを Low にします。

  この順番を逆にした場合、OTD0 への値書込みが無視されてしまうため、注意してください。OCSA レジスタ, OCSB レジスタにハーフワードアクセスにより、CST0=0, OTD0=0 値を同時に書き込んだ場合も、OCU が動作許可中であることから、同様に OTD0 への書込みは無視されてしまうため、注意してください。OTD1 への書込みも同様に注意が必要です。

[bit11:10] 予約 : 予約ビット

書込み時は"0"を書き込んでください。読出し値は"0"が読み出されます。

[bit12] CMOD

処理	値	機能
書込み	0	このレジスタに"0"を書き込みます。
	1	このレジスタに"1"を書き込みます。
読出し	-	設定値を読み出します。

CMOD は、OCSC:MOD0～MOD5 と組み合わせて、OCU の動作モードを選択するビットです。

本ビットの設定変更は、OCU の動作禁止中に行ってください。

本ビットの設定による動作モードの詳細は、「4.4 OCU 出力波形詳細」を参照してください。

OCSB10:CMOD の設定は、ch.1 と ch.0 で共通設定となります。

OCSB32:CMOD の設定は、ch.3 と ch.2 で共通設定となります。

OCSB54:CMOD の設定は、ch.5 と ch.4 で共通設定となります。

[bit13] BTS0

処理	値	機能
書込み	0	OCCP(0)レジスタのバッファ転送を FRT の Zero 値検出時に行います。
	1	OCCP(0)レジスタのバッファ転送を FRT のピーク値検出時に行います。
読出し	-	設定値を読み出します。

[bit14] BTS1

処理	値	機能
書込み	0	OCCP(1)レジスタのバッファ転送を FRT の Zero 値検出時に行います。
	1	OCCP(1)レジスタのバッファ転送を FRT のピーク値検出時に行います。
読出し	-	設定値を読み出します。

BTS0 は、OCCP(0)レジスタのバッファ機能有効時に、バッファレジスタから OCCP(0)レジスタへの転送タイミングを指定するビットです。

BTS1 は、OCCP(1)レジスタのバッファ機能有効時に、バッファレジスタから OCCP(1)レジスタへの転送タイミングを指定するビットです。

本ビットの設定変更は、OCU の動作禁止中に行ってください。

本ビットの設定は、バッファ機能が無効な場合(OCSA:BDIS1=1, OCSA:BDIS0=1)は、無意味な値です。

「4.3.9 OCU コンペア値格納レジスタ (OCCP)」を参照してください。

＜注意事項＞

FRT をアップダウンカウントモードで使用する場合、必ず OCCP のバッファ機能有効、Zero 値検出時の転送モードとして使用してください。

[bit15] **予約 : 予約ビット**

書込み値は無効です。読出し値は不定値が読み出されます。

4.3.8. OCU 制御レジスタ C (OCSC)

OCSC は、OCU の動作制御を行う 8 ビットレジスタです。
本レジスタは、OCU の ch.0～ch.5 のすべてを制御します。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約	予約	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	0	0	0	0	0	0

■ レジスタ機能

[bit13:8] MOD5～MOD0

処理	値	機能
書込み	0	"0"を書き込みます。
	1	"1"を書き込みます。
読出し	-	設定値を読み出します。

MOD0 と MOD1 は、OCSB10:CMOD との組み合わせにより、OCU ch.0, ch.1 の動作モードを決定します。

MOD2 と MOD3 は、OCSB32:CMOD との組み合わせにより、OCU ch.2, ch.3 の動作モードを決定します。

MOD4 と MOD5 は、OCSB54:CMOD との組み合わせにより、OCU ch.4, ch.5 の動作モードを決定します。

本ビットの設定変更は、OCU の動作禁止中に行ってください。

本ビットの設定による動作モードの詳細は、「4.4 OCU 出力波形詳細」を参照してください。

[bit15:14]予約 ： 予約ビット

書込み値は無効です。読出し値は不定値が読み出されます。

4.3.9. OCU コンペア値格納レジスタ (OCCP)

OCCP は、OCU の出力信号の変化タイミングを FRT カウント値のコンペア値として指定する 16 ビットレジスタです。
搭載チャネルごとに OCCP0～OCCP5 の 6 つのレジスタがあります。
OCCP0 は、OCU ch.0 のコンペア値 (2 変化モード時、ch.1 のコンペア値) を格納します。
OCCP1 は、OCU ch.1 のコンペア値を格納します。
OCCP2 は、OCU ch.2 のコンペア値 (2 変化モード時、ch.3 のコンペア値) を格納します。
OCCP3 は、OCU ch.3 のコンペア値を格納します。
OCCP4 は、OCU ch.4 のコンペア値 (2 変化モード時、ch.5 のコンペア値) を格納します。
OCCP5 は、OCU ch.5 のコンペア値を格納します。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	OCCP[15:0]															
属性	R/W															
初期値	0x0000															

■ レジスタ機能

[bit15:0] OCCP[15:0]

処理	機能
書込み	OCU 出力信号の変化タイミングを指定します。書込み値をバッファレジスタに格納します。
読出し	OCCP レジスタ値を読み出します(OCCP バッファレジスタ値ではありません)。

OCCP レジスタは、OCU の出力信号の変化タイミングを FRT カウント値のコンペア値として指定する 16 ビットレジスタです。
このアドレス領域にデータ書込みを行うと、データはいったんバッファレジスタに格納されます。その後、以下の条件で、バッファレジスタから OCCP レジスタにデータが転送されます。

バッファ機能無効の場合 ：
バッファレジスタ書込み直後にデータ転送されます。

バッファ機能有効, Zero 値検出転送の場合 ：
FRT がカウント停止しているとき、または FRT カウント値が"0x0000"のときにデータ転送されます。

バッファ機能有効, ピーク値検出転送の場合 ：
FRT がカウント停止しているとき、または FRT カウント値が TCCP 値に一致したときにデータ転送されます。

バッファ機能の有効・無効、データ転送のタイミングは、対応する OCSA:BDIS1, BDSI0、OCSB:BTS1, BTS0 の各レジスタの値により決定されます。
OCU の動作許可中、このレジスタを書き換えることにより、OCU 出力信号のパルス幅を変更できます。
バッファ機能無効の場合、書き込んだ値を直ちに OCCP レジスタに反映できます。バッファ機能有効の場合、複数のチャネルの OCCP レジスタ設定を同期化することができます。

このアドレス領域からデータの読出しを行うと、バッファレジスタの値ではなく、OCCP レジスタの値が読み出されます。このため、バッファ機能有効時は、このアドレス領域に対する RMW アクセスによるビット書換えができないため、注意してください。
FRT がアップダウンカウントモードの場合、このレジスタに"0x0000"または"0xFFFF"を書き込むと固定値を出力できます。詳細は、「4.4 OCU 出力波形詳細」を参照してください。

4.3.10. WFG 制御レジスタ A (WFSA)

WFSA は、WFG の動作制御を行う 16 ビットレジスタです。
搭載チャネルごとに WFSA10, WFSA32, WFSA54 の 3 つのレジスタがあります。
WFSA10 は、WFG ch.10 (OCU ch.1 と OCU ch.0 の出力処理部)を制御します。
WFSA32 は、WFG ch.32 (OCU ch.3 と OCU ch.2 の出力処理部)を制御します。
WFSA54 は、WFG ch.54 (OCU ch.5 と OCU ch.4 の出力処理部)を制御します。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約	予約	DMOD[1:0]		PGEN[1:0]		PSEL[1:0]	
属性	-	-	R/W		R/W		R/W	
初期値	-	-	00		00		00	

bit	7	6	5	4	3	2	1	0
Field	GTEN[1:0]		TMD[2:0]			DCK[2:0]		
属性	R/W		R/W			R/W		
初期値	00		000			000		

■ レジスタ機能

[bit2:0] DCK[2:0]

処理	値	機能
書込み	000	WFG タイマのカウントクロック周期を PCLK と同じにします。
	001	WFG タイマのカウントクロック周期を PCLK の 2 倍にします。
	010	WFG タイマのカウントクロック周期を PCLK の 4 倍にします。
	011	WFG タイマのカウントクロック周期を PCLK の 8 倍にします。
	100	WFG タイマのカウントクロック周期を PCLK の 16 倍にします。
	101	WFG タイマのカウントクロック周期を PCLK の 32 倍にします。
	110	WFG タイマのカウントクロック周期を PCLK の 64 倍にします。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

DCK[2:0]は、WFG タイマのカウントクロック周期を設定するビットです。
本ビットの設定変更は、WFG タイマ停止中に行ってください。
WFG タイマのカウントクロックは、PCLK をプリスケーラにより分周して生成され、本ビットはプリスケーラの分周比を設定します。
PCLK の周期と、このレジスタで設定されたクロック分周比により、WFG タイマのカウントクロック周期が決定されます。

下表に DCK[2:0]設定値と、WFG タイマカウントクロック周期の例を示します。

DCK[2:0]	周期比	WFG タイマカウントクロック周期		
		PCLK=25ns (40MHz)	PCLK=33.3ns (33MHz)	PCLK=50ns (20MHz)
000	1	25ns	30ns	50ns
001	2	50ns	61ns	100ns
010	4	100ns	121ns	200ns
011	8	200ns	242ns	400ns
100	16	400ns	485ns	800ns
101	32	800ns	970ns	1.6µs
110	64	1.6µs	1.9µs	3.2µs

[bit5:3] TMD[2:0]

処理	値	機能
書込み	000	WFG の動作モードをスルーモードにします。
	001	WFG の動作モードを RT PPG モードにします。
	010	WFG の動作モードをタイマ PPG モードにします。
	100	WFG の動作モードを RT デッドタイマモードにします。
	111	WFG の動作モードを PPG デッドタイマモードにします。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

TMD[2:0]は、WFG の動作モードを選択するビットです。
本ビットの設定による動作モードの詳細は、「4.5 WFG 出力波形詳細」を参照してください。
WFG の動作モードがスルーモード(TMD[2:0]=000)または RT-PPG モード(TMD[2:0]=001)の場合、WFG タイマを独立したリロードタイマとして使用できます。
本ビットの設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。本ビットに設定されている値を別の値に書き換えると、WFG タイマのカウント状態がリセットされます。

[bit7:6] GTEN[1:0]

処理	値	機能
書込み	00	CH_GATE 信号を生成しません。
	上記以外	CH_GATE 信号を生成します。 詳細は、「4.5 WFG 出力波形詳細」を参照してください。
読出し	-	設定値を読み出します。

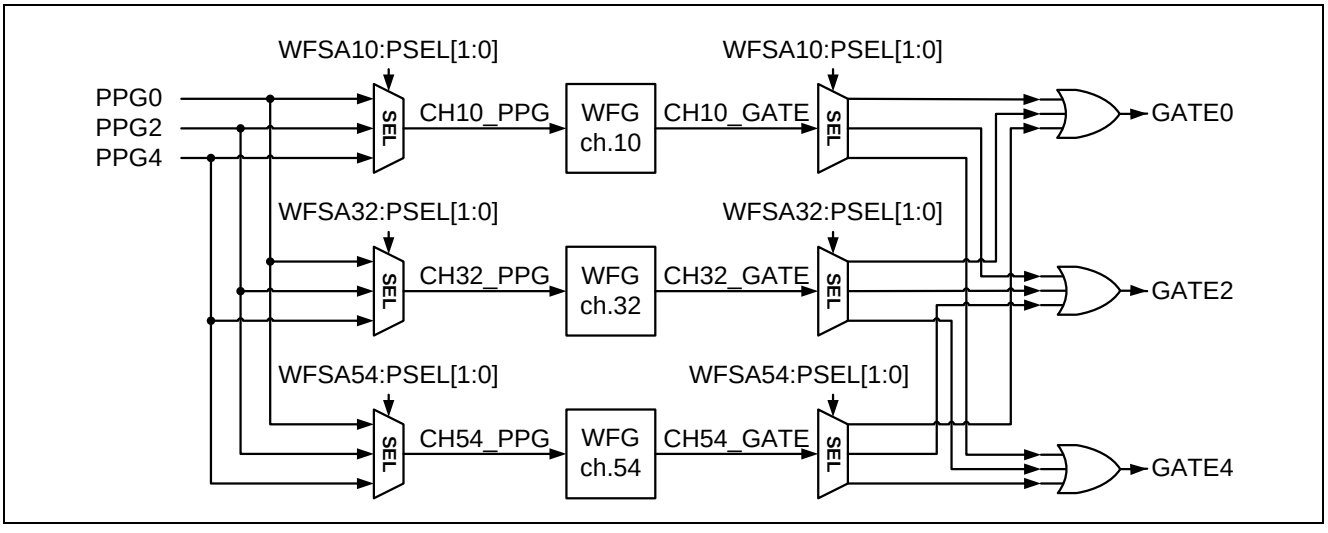
GTEN[1:0]は、TMD[2:0]との組み合わせにより、WFG の各チャネルの CH_GATE 信号の出力条件を選択するビットです。
本ビットは、TMD[2:0]が 000, 100 の場合には意味を持ちません。設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。
CH_GATE 信号は、WFG の各チャネルにて、RT 入力信号と WFG タイマの動作を元に生成されます(詳細は、「4.5 WFG 出力波形詳細」を参照してください)。
PPG タイマユニットの起動トリガ信号(GATE 信号)は、CH_GATE 信号から生成します(詳細は、「[bit9:8] PSEL[1:0]」を参照してください)。
WFG に接続する PPG タイマユニットは、GATE 信号により、PPG 信号の出力を開始でき、WFG の各チャネルは、PPG タイマユニットからの PPG 信号を RTO 信号出力に重畳することができます(詳細は、「[bit9:8] PSEL[1:0]」と、「4.5 WFG 出力波形詳細」を参照してください)。

[bit9:8] PSEL[1:0]

処理	値	機能
書込み	00	GATE 信号の出力先を PPG タイマユニット ch.0 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.0 に設定します。
	01	GATE 信号の出力先を PPG タイマユニット ch.2 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.2 に設定します。
	10	GATE 信号の出力先を PPG タイマユニット ch.4 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.4 に設定します。
	11	設定禁止
読出し	-	設定値を読み出します。

PSEL[1:0]は、WFG の各チャネルで使用する PPG タイマユニットを選択するビットです。
本ビットは、GATE 信号の出力先と PPG 信号の入力元となる PPG タイマユニットを一括選択します。設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。図 4-6 に、MFT unit0 における PPG 選択回路の構成図を示します。

図 4-6 MFT unit0 における PPG 選択回路構成図



以下に PPG 選択回路の構成と動作について説明します。

WFG の各チャネルは、PPG タイマユニットを起動するためのトリガ信号(CH_GATE 信号)を出力できます。

CH10_GATE 信号, CH32_GATE 信号, CH54_GATE 信号は、それぞれ、WFG ch.10, WFG ch.32, WFG ch.54 にて生成された WFG のチャネルごとの GATE 信号を示します。

各 CH_GATE 信号は、接続する PPG タイマユニットごとに PSEL[1:0]にて出力選択後、PPG タイマユニットごとに論理 OR されて、各 PPG ユニットへ出力されます。

GATE0 信号, GATE2 信号, GATE4 信号は、それぞれ PPG タイマユニット ch.0, ch.2, ch.4 へ出力される GATE 信号を示します。

各 PPG タイマユニットは、GATE 信号により起動し、PPG 信号を出力できます。

PPG0 信号, PPG2 信号, PPG4 信号は、それぞれ PPG タイマユニット ch.0, ch.2, ch.4 から出力され、WFG に入力される PPG 信号を示します。

CH10_PPG 信号, CH32_PPG 信号, CH54_PPG 信号は、それぞれ、PSEL[1:0]にて入力選択した WFG ch.10, WFG ch.32, WFG ch.54 で使用する PPG 信号を示します。

・設定例 1)
WFSA10:PSEL[1:0]=00, WFSA32:PSEL[1:0]=00, WFSA54:PSEL[1:0]=00 と設定した場合、WFG の各チャネルで PPG タイマユニット ch.0 を共通に使用することを選択したことになります。

GATE0 は、CH10_GATE, CH32_GATE, CH54_GATE の論理 OR 信号になります。GATE2, GATE4 は、両方とも Low 固定出力になります。WFG の各チャネルから、PPG タイマユニット ch.0 に起動指示を行います。

CH10_PPG, CH32_PPG, CH54_PPG のすべてが、PPG0 信号となります。WFG の各チャネルは、PPG タイマユニット ch.0 の出力信号を波形生成に使用します。

・設定例 2)
WFSA10:PSEL[1:0]=00, WFSA32:PSEL[1:0]=01, WFSA54:PSEL[1:0]=10 と設定した場合、WFG の各チャネルでそれぞれ PPG タイマユニット ch.0, ch.2, ch.4 の使用を選択したことになります。

GATE0=CH10_GATE, GATE2=CH32_GATE, GATE4=CH54_GATE がそれぞれ出力されます。WFG の各チャネルは、それぞれ、PPG タイマユニット ch.0, ch.2, ch.4 に起動指示を行います。

CH10_PPG = PPG0, CH32_PPG=PPG2, CH54_PPG=PPG4 となります。WFG の各チャネルは、それぞれの PPG タイマユニットの出力信号を波形生成に使用します。

＜注意事項＞
- PSEL[1:0]は、MFT unit0, MFT unit1 で設定が異なり、接続する PPG タイマユニットのチャネル番号が異なります。上記説明は、MFT unit0 における PSEL[1:0]の説明です。MFT unit1 に関しては、「6.1 複数 MFT 搭載製品の接続について」を参照してください。
- GATE 信号を用いる場合、あらかじめ PPG タイマユニットの設定を行っておく必要があります。詳細は『PPG』の章を参照してください。
- PPG タイマユニットは、GATE 信号を用いなくても、CPU から指示により、出力を開始できます。

[bit11:10] PGEN[1:0]

処理	値	機能
書込み	00	CH_PPG 信号を WFG 出力(RTO 出力)に反映しません。
	上記以外	CH_PPG 信号を WFG 出力に反映させる条件を指定します。 反映条件詳細は、「4.5 WFG 出力波形詳細」を参照してください。
読出し	-	設定値を読み出します。

PGEN[1:0]は、TMD[2:0]との組あわせにより、WFG の各チャネルに入力された CH_PPG 信号を、どのように WFG の出力に反映させるかを選択するビットです。
WFG の動作モードがスルーモードの場合には、WFSA:PGEN[1:0]の設定により、CH_PPG 信号をそのまま RTO 端子に出力することが可能です。このレジスタの設定は、WFSA:TMD[2:0]が 100, 111 の場合には意味を持ちません。設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。

[bit13:12] DMOD[1:0]

処理	値	機能
書込み	00	ノンオーバラップ信号出力時の出力極性を、RTO(0)信号、RTO(1)信号の両方を通常極性(Active High)とします。
	01	ノンオーバラップ信号出力時の出力極性を、RTO(0)信号、RTO(1)信号の両方を反転極性(Active Low)とします。
	10	ノンオーバラップ信号出力時の出力極性を、RTO(0)信号を通常極性(Active High)、RTO(1)信号を反転極性(Active Low)とします。
	11	ノンオーバラップ信号出力時の出力極性を、RTO(1)信号を通常極性(Active High)、RTO(0)信号を反転極性(Active Low)とします。
読出し	-	設定値を読み出します。

DMOD は、ノンオーバラップ信号を出力する際に、信号極性をどちらにするかを選択するビットです。TMD[2:0]=100 または 111 の場合には、WFG の RTO(0)出力、RTO(1)出力は、ノンオーバラップ信号が出力されます。本ビットの設定により、出力の極性を選択できます。本ビットの設定は、WFSA:TMD[2:0]が "100", "111"以外の場合には意味を持ちません。設定変更は、接続する OCU, PPG タイマユニットの停止中に行ってください。

DMOD=00,01 は、IGBT や N-Ch ドライバ×2 など同一極性ドライバを使う場合に使用します。DMOD=10,11 は、MOSFET(N-Ch＋P-Ch)など極性の異なるドライバを使う場合に使用します。接続されるドライバの仕様を確認して設定してください。

＜注意事項＞

「4.5 WFG 出力波形詳細」の図 4-25 に示すに示すような外部回路を接続し、RT デッドタイマモード（WFSA.TMD=100）、DMOD=10 等の誤った設定を行った場合、電源-GND 間の短絡が発生するので注意してください。

[bit15:14] 予約: 予約ビット

書込みは無効です。読出し値は不定値が読み出されます。

4.3.11. WFG タイマ値レジスタ (WFTM)

WFTM は、WFG タイマの初期値を設定する 16 ビットレジスタです。
搭載チャネルごとに WFTM10, WFTM32, WFTM54 の 3 つのレジスタがあります。
WFTM10 は、WFG ch.10 (OCU ch.1, ch.0 の出力処理部)の WFG タイマ初期値を設定します。
WFTM32 は、WFG ch.32 (OCU ch.3, ch.2 の出力処理部)の WFG タイマ初期値を設定します。
WFTM54 は、WFG ch.54 (OCU ch.5, ch.4 の出力処理部)の WFG タイマ初期値を設定します。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	WFTM[15:0]															
属性	R/W															
初期値	0x0000															

■ レジスタ機能

[bit15:0] WFTM[15:0]

処理	機能
書込み	WFG タイマの初期値を設定します。"0x0000"を設定した場合には、65536 を設定したことになります。
読出し	レジスタの設定値を読み出します。

WFTM[15:0]は、WFG のタイマの初期値を設定する 16 ビットレジスタです。
WFTM の設定値により、WFG タイマの動作時間を、以下のように設定できます。

WFG タイマの動作時間 = WFTM 値×WFG タイマの動作クロック周期

WFG の動作モードが、タイマ PPG モード, RT デッドタイマモード, PPG デッドタイマモード (WFSA:TMD[2:0]=010, 100, 111)の場合、WFG タイマは起動が指示されると WFTM レジスタより、初期値をロードしてダウンカウントを開始し、カウント終了した時点で停止します。

・タイマ PPG モードの場合 :
WFG タイマ動作 flag のセットされている時間を WFG タイマにてカウントします。

・RT デッドタイマモード, PPG デッドタイマモードの場合 :
ノンオーバラップ信号のデッドタイムを WFG タイマにてカウントします。

WFG の動作モードが、スルーモード, RT PPG モード(WFSA:TMD[2:0]=000, 001)の場合は、出力波形生成に WFG タイマを使用しません。このため、このモードの場合は、WFTM で設定した時間間隔で、CPU に割込みを発生させるリロードタイマとして使用できます。リロードタイマとして使用する場合の使用方法については、「4.3.13 WFG 割込み制御レジスタ (WFIR)」を参照してください。

本レジスタは、WFG タイマの動作・停止にかかわらず書き換えられます。
本レジスタを書き換えた場合、その値が有効となるのは、その次のタイマ起動からです。

4.3.12. NZCL 制御レジスタ (NZCL)

NZCL は、DTIF 割込み(DTTIX 端子からの信号入力によるモータ緊急停止用割込み)の制御を行う 16 ビットレジスタです。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	0x00							

bit	7	6	5	4	3	2	1	0
Field	予約			SDTI	NWS[2:0]			DTIE
属性	-			W	R/W			R/W
初期値	000			0	000			0

■ レジスタ機能

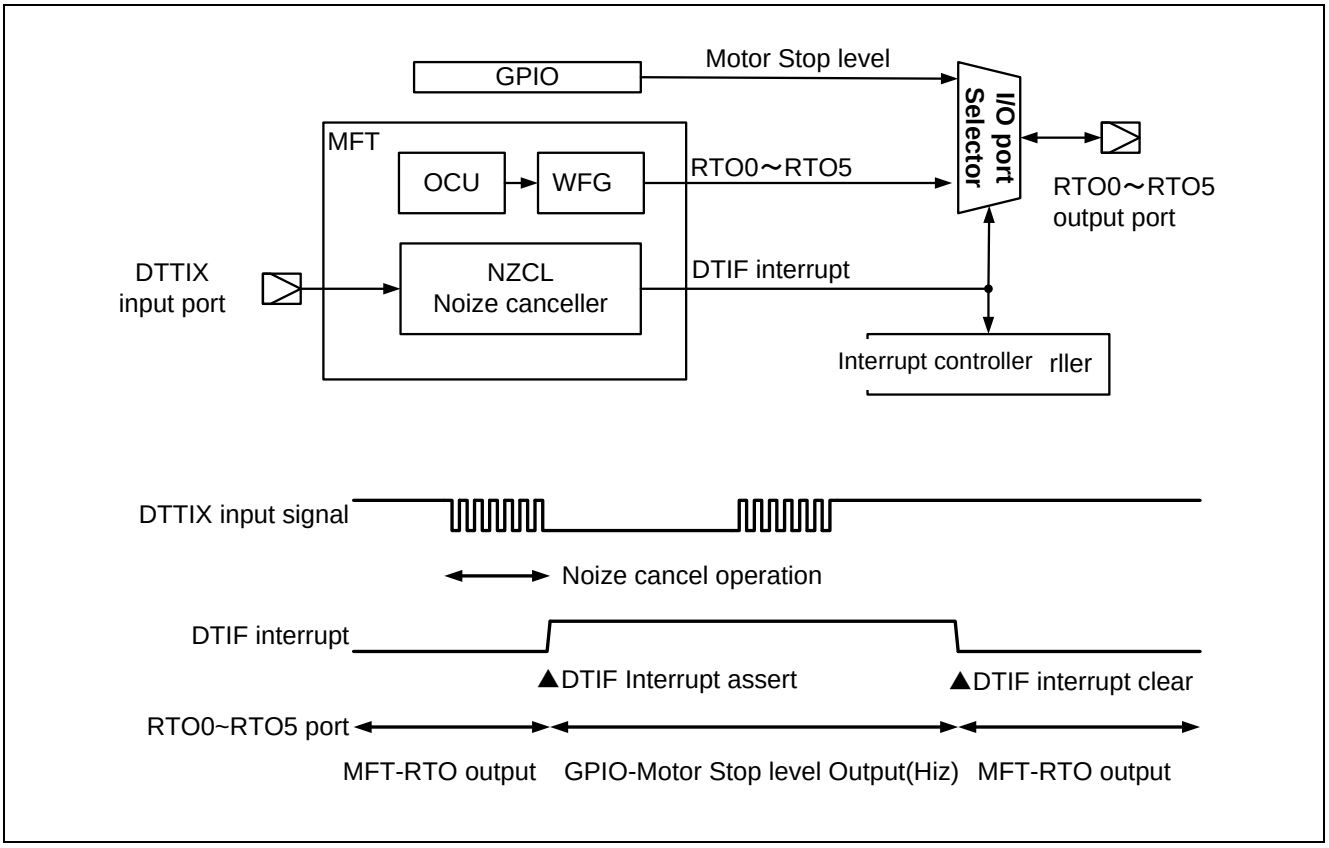
[bit0] DTIE

処理	値	機能
書込み	0	DTTIX 端子からの信号入力を無視します。
	1	DTTIX 端子からの信号入力により、DTIF 割込みを発生させます。
読出し	-	設定値を読み出します。

DTIE は、DTTIX 端子からの信号入力により、DTIF 割込みを発生させるかどうかを選択するレジスタです。

図 4-7 に DTTIX 端子, DTIF 割込み関連のブロックダイヤグラムとタイムチャートを示します。

図 4-7 DTTIX 端子, DTIF 割込み関連のブロックダイヤグラムとタイムチャート



DTTIX 端子は、モータ緊急停止用の外部割込み信号を入力するための専用端子です。Low レベルが入力された場合、モータの緊急停止要求として認識します。
この端子の入力信号は、ノイズキャンセラ回路に入力されます。ノイズキャンセラにて設定された値以上の Low レベルパルスが入力されると、WFIR:DTIF レジスタがセットされ、DTIF 割込み信号がアサートされ CPU に対する割込みが発生します。
DTIF 割込み信号は、割込み制御部と I/O ポート選択部に接続されます。
I/O ポート選択部では、DTIF 割込みが発生している間、RTO0～RTO5 出力端子の状態を、兼用している GPIO ポートの設定状態に切り換えられます。
RTO0～RTO5 端子と兼用している GPIO 端子設定を、あらかじめモータの非動作レベルに設定しておくことで、RTO0～RTO5 端子にモータの緊急停止のための出力を行えます。
発生した割込み信号は、WFIR:DTIF ビットをクリアする(WFIR:DTIC ビットに"1"書込み)ことで、ディアサートされます。

GPIO 端子機能設定の一覧を表 4-5 に示します。
表 4-5 の PFR, DDR, PDOR は、使用選択している RTO0～RTO5 端子と兼用している GPIO ポートの該当レジスタを示します。

表 4-5 DTTIX 端子割込みによるモータ非動作レベルの設定一覧

	GPIO レジスタの設定					DTIF 信号レベル	RTO 端子の状態
	PFR	EPFR1 [11:0]	EPFR1 [12]	DDR	PDOR		
DTIF 割込みにより端子出力状態切換えを行う場合	1	101010101010 または 010101010101	1	1	1	0	RTO0～RTO5 を出力
						1	High レベルを出力
				1	0	0	RTO0～RTO5 を出力
						1	Low レベルを出力
				0	設定無効	0	RTO0～RTO5 を出力
						1	Hi-Z 状態
DTIF 割込みにより端子出力状態切換えを行わない場合			0	設定無効	設定無効	0	RTO0～RTO5 を出力
						1	

- PFR, EPFR1[11:0]は、外部端子を MFT の RTO 出力として使用するための基本設定です。
- EPFR1[12]は、割込みにより、端子機能切換えを行うか、行わないかを選択するビットです。
- EPFR1 レジスタは、MFT unit0 で使用する端子を制御します。MFT unit1 の場合、EPFR2 レジスタを使用します。
- DDR, PDOR レジスタの設定により、端子機能切換えを行った場合の、モータ非動作レベルを設定します。

DTIF 割込みによる出力状態の切換えを行わない場合(EPFR1[12]=0)、出力端子の状態は切り換わりませんが、DTIF 割込みは発生するため、CPU は割込み通知を受けることができます。

[bit3:1] NWS[2:0]

処理	値	機能
書込み	000	DTTIX 端子から Low レベル入力直後に、DTIF 割込み発生。 (ノイズキャンセル動作なし)
	001	ノイズキャンセル幅を PCLK 周期 4 サイクル幅に設定。
	010	ノイズキャンセル幅を PCLK 周期 8 サイクル幅に設定。
	011	ノイズキャンセル幅を PCLK 周期 16 サイクル幅に設定。
	100	ノイズキャンセル幅を PCLK 周期 32 サイクル幅に設定。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

NWS[2:0]は、DTTIX 端子入力信号ノイズキャンセラのノイズキャンセル幅を設定するビットです。

[bit4] SDTI

処理	値	機能
書込み	0	動作に影響しません。
	1	DTIE の設定によらず、強制的に DTIF 割込みを発生します。
読出し	-	常に"0"が読み出されます。

SDTI は、ソフトウェアからのレジスタ書込みで DTIF 割込みを発生させるビットです。

本ビットに"1"を書き込むことにより、DTIE の設定, DTTIX 端子の状態によらず、WFIR:DTIF ビットが設定され、割込みが発生します。本ビットへの書込みにより、I/O ポート制御部における RTO 端子の出力切換え機能を利用できます。発生した割込み信号は、WFIR:DTIF ビットをクリアする(WFIR:DTIC ビットに"1"書込み)ことで、ディアサートされます。

[bit15:5] 予約 : 予約ビット

書込み時は"0"を書き込んでください。読出し値は"0"が読み出されます。

4.3.13. WFG 割込み制御レジスタ (WFIR)

WFIR は、DTIF 割込みと WFG タイマからの割込みを制御するレジスタです。
本レジスタは、割込み制御専用レジスタであ読出しのレジスタ・ビットも、0 の書込みは状態に変化を与えないように構成されています。
このため、レジスタ書込み時に事前の読出しは不要です。また、どのレジスタ・ビットも読み出した値の書き戻しは状態に変化を与えないよう構成されています。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	TMIS54	TMIE54	TMIC54	TMIF54	TMIS32	TMIE32	TMIC32	TMIF32
属性	W	R/W	W	R	W	R/W	W	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	TMIS10	TMIE10	TMIC10	TMIF10	予約		DTIC	DTIF
属性	W	R/W	W	R	-		W	R
初期値	0	0	0	0	00		0	0

■ レジスタ機能

[bit0] DTIF

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	DTIF 割込みが発生していないことを示します。
	1	DTIF 割込みが発生していることを示します。

[bit1] DTIC

処理	値	機能
書込み	0	動作に影響しません。
	1	DTIF をクリアし、DTIF 割込み信号をディアサートします。
読出し	-	常に"0"が読み出されます。

DTIF は、DTIF 割込みの状態確認を行うビットです。
DTIC は、DTIF のクリアと、DTIF 割込み信号のディアサートを行うレジスタです。
DTTIX 端子からのモータ緊急停止信号入力または NZCL:SDTI ビットへの"1"書込みにより、DTIF ビットがセットされます。DTIF がセットされると、DTIF 割込み信号がアサートされ、CPU に対する割込みが発生します。
DTIC に"1"を書き込むことにより、DTIF はクリアされ、DTIF 割込み信号はディアサートされます。
DTIF 割込みによる割込み処理を行った場合、割込みから復帰する際には、DTIF を必ずクリアしてください。

[bit3:2] 予約 : 予約ビット
書込み時は"0"を書き込んでください。読出し値は"0"が読み出されます。

[bit4] TMIF10

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	WFG10 タイマ割込みが発生していないことを示します。
	1	WFG10 タイマ割込みが発生していることを示します。

[bit5] TMIC10

処理	値	機能
書込み	0	動作に影響しません。
	1	TMIF10 をクリアし、WFG10 タイマ割込み信号をディアサートします。
読出し	-	常に"0"が読み出されます。

[bit6] TMIE10

処理	値	機能
書込み	0	動作に影響しません。
	1	WFG10 タイマを起動します(既に起動されている場合は何も行いません)。
読出し	0	WFG10 タイマが停止中であることを示します。
	1	WFG10 タイマが動作中であることを示します。

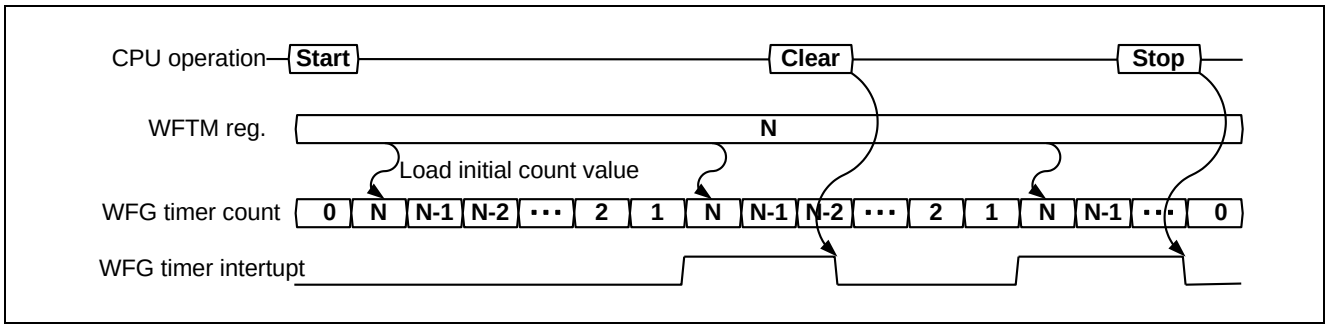
[bit7] TMIS10

処理	値	機能
書込み	0	動作に影響しません。
	1	WFG10 タイマを停止します(割込み発生時は、同時に割込みのクリアも行い、割込み信号をディアサートします)。
読出し	-	常に"0"が読み出されます。

TMIF10 は、WFG10 タイマ割込みの状態確認を行うビットです。
TMIC10 は、WFG10 タイマ割込みのクリア, 割込み信号のディアサートを行うビットです。
TMIE10 は、WFG10 タイマを起動するビットです。
TMIS10 は、WFG10 タイマの停止, 割込みクリア, 割込み信号のディアサートを行うビットです。
WFG の ch.10 の WFG タイマを波形生成に使用しない場合(WFSA10:TMD[2:0]=000, 001)に、WFG10 タイマを CPU に対して定期的に割込みを発生させる独立したリロードタイマとして使用できます。

図 4-8 に、WFG タイマをリロードタイマとして使用する場合の動作図を示します。

図 4-8 WFG タイマをリロードタイマとして使用する場合の動作図



WFG タイマをリロードタイマとして使用する場合の使用手順を以下に示します。

- 最初に、WFTM レジスタにタイマ初期値を、WFSA:DCK にクロック分周比を設定しておきます。
- タイマから発生する割込み間隔時間 = (WFTM 値 << WFSA:DCK)×PCLK 周期です。
- TMIEn に"1"をライトすることで、タイマが起動します。
- WFG タイマは、WFTM レジスタから初期値をロードし、ダウンカウントを行い、カウント値が"1"になった時点で割込みを発生させます。
- 同時に、WFTM レジスタから再度初期値をロードし、ダウンカウント動作を継続します。
- TMIEn から"1"が読み出せた場合、WFG タイマがリロードタイマとして起動していることを示します。
- TMIFn から"1"が読み出せた場合、割込みが発生していることを示します。
- TMICn に"1"をライトすることで、TMIEn をクリアし、割込み信号をディアサートできます。
- TMISn に"1"をライトすることで、WFG タイマのカウント動作を停止でき、以降は割込みを発生しなくなります。
- TMISn に"1"をライトした時点で割込みが発生している場合、タイマの停止, TMIEn のクリア, 割込み信号のディアサートを同時に行います。
- WFTM レジスタの値は、タイマの動作中に書きかえることが可能です。変更値が反映されるのは次のリロード時点からです。
- WFG タイマ割込みによる割込み処理を行った場合、割込みから復帰する際には、TMIEn を必ずクリアしてください。
- TMISn, TMICn, TMIEn に重複して"1"をライトした場合には、次の優先順位の処理が行われます。
  (優先順位高) タイマの停止 > タイマ割込みのクリア > タイマの起動 (優先順位低)

[bit8] TMIF32

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	WFG32 タイマ割込みが発生していないことを示します。
	1	WFG32 タイマ割込みが発生していることを示します。

[bit9] TMIC32

処理	値	機能
書込み	0	動作に影響しません。
	1	TMIF32 をクリアし、WFG32 タイマ割込み信号をディアサートします。
読出し	-	常に"0"が読み出されます。

[bit10] TMIE32

処理	値	機能
書込み	0	動作に影響しません。
	1	WFG32 タイマを起動します(既に起動されている場合は何も行いません)。
読出し	0	WFG32 タイマが停止中であることを示します。
	1	WFG32 タイマが動作中であることを示します。

[bit11] TMIS32

処理	値	機能
書込み	0	動作に影響しません。
	1	WFG32 タイマを停止します(割込み発生時は、同時に割込みのクリアも行い、割込み信号をディアサートします)。
読出し	-	常に"0"が読み出されます。

TMIF32 は、WFG32 タイマ割込みの状態確認を行うビットです。
TMIC32 は、WFG32 タイマ割込みのクリア, 割込み信号のディアサートを行うビットです。
TMIE32 は、WFG32 タイマを起動するビットです。
TMIS32 は、WFG32 タイマの停止, 割込みクリア, 割込み信号のディアサートを行うビットです。
WFG の ch.32 の WFG タイマを波形生成に使用しない場合(WFSA32:TMD[2:0]=000, 001)に、WFG32 タイマを CPU に対して定期的に割込みを発生させる独立したリロードタイマとして使用できます。
本ビットの使用方法は、WFIR:TMIF10, TMIC10, TMIE10, TMIS10 ビットと同じです。

[bit12] TMIF54

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	WFG54 タイマ割込みが発生していないことを示します。
	1	WFG54 タイマ割込みが発生していることを示します。

[bit13] TMIC54

処理	値	機能
書込み	0	動作に影響しません。
	1	TMIF54 をクリアし、WFG54 タイマ割込み信号をディアサートします。
読出し	-	常に"0"が読み出されます。

[bit14] TMIE54

処理	値	機能
書込み	0	動作に影響しません。
	1	WFG54 タイマを起動します(既に起動されている場合は何も行いません)。
読出し	0	WFG54 タイマが停止中であることを示します。
	1	WFG54 タイマが動作中であることを示します。

[bit15] TMIS54

処理	値	機能
書込み	0	動作に影響しません。
	1	WFG54 タイマを停止します(割込み発生時は、同時に割込みのクリアも行い、割込み信号をディアサートします)。
読出し	-	常に"0"が読み出されます。

TMIF54 は、WFG54 タイマ割込みの状態確認を行うビットです。
TMIC54 は、WFG54 タイマ割込みのクリア, 割込み信号のディアサートを行うビットです。
TMIE54 は、WFG54 タイマを起動するビットです。
TMIS54 は、WFG54 タイマの停止, 割込みクリア, 割込み信号のディアサートを行うビットです。
WFG の ch.54 の WFG タイマを波形生成に使用しない場合(WFSA54:TMD[2:0]=000, 001)に、WFG54 タイマを CPU に対して定期的に割込みを発生させる独立したリロードタイマとして使用できます。
本ビットの使用方法は、WFIR:TMIF10, TMIC10, TMIE10, TMIS10 ビットと同じです。

4.3.14. ICU 接続 FRT 選択レジスタ (ICFS)

ICFS は、ICU に接続する FRT を選択設定する 8 ビットレジスタです。
搭載チャネルごとに ICFS10, ICFS32 の 2 つのレジスタがあります。
ICFS10 は、ICU ch.1 と ICU ch.0 を制御します。
ICFS32 は、ICU ch.3 と ICU ch.2 を制御します。
ICFS10 は、偶数アドレスに存在し、ICFS32 は奇数アドレスに存在するため、それぞれビット位置が[7:0]と[15:8]です。

■ レジスタ構成

bit	15/7	14/6	13/5	12/4	11/3	10/2	9/1	8/0
Field	FSI1[3:0]				FSI0[3:0]			
属性	R/W				R/W			
初期値	0000				0000			

■ レジスタ機能

[bit3:0/11:8] FSI0[3:0]

処理	値	機能
書込み	0000	ICU ch.(0)に FRT ch.0 を接続します。
	0001	ICU ch.(0)に FRT ch.1 を接続します。
	0010	ICU ch.(0)に FRT ch.2 を接続します。
	0011 0100	MFT ユニット複数搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT ユニット 1 個搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

[bit7:4/15:12] FSI1[3:0]

処理	値	機能
書込み	0000	ICU ch.(1)に FRT ch.0 を接続します。
	0001	ICU ch.(1)に FRT ch.1 を接続します。
	0010	ICU ch.(1)に FRT ch.2 を接続します。
	0011 0100	MFT ユニット複数搭載製品の場合 ： 外部 MFT の FRT を接続します。 MFT ユニット 1 個搭載製品の場合 ： 設定禁止
	上記以外	設定禁止
読出し	-	設定値を読み出します。

ICFS:FSI0[3:0]は、ICU ch.(0)に接続して使用する FRT を選択するビットです。
ICFS:FSI1[3:0]は、ICU ch.(1)に接続して使用する FRT を選択するビットです。
MFT ユニットが複数存在する製品の場合、別 MFT ユニットに存在する FRT の接続を選択できます。その際の設定については、「6.1 複数 MFT 搭載製品の接続について」を参照してください。
本ビットの設定変更は、接続する ICU の動作禁止中に行ってください。

4.3.15. ICU 制御レジスタ A (ICSA)

ICSA は、ICU の動作制御を行う 8 ビットレジスタです。
搭載チャネルごとに ICSA10, ICSA32 の 2 つのレジスタがあります。
ICSA10 は、ICU ch.1 と ICU ch.0 を制御します。
ICSA32 は、ICU ch.3 と ICU ch.2 を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	ICP1	ICP0	ICE1	ICE0	EG1[1:0]		EG0[1:0]	
属性	R/W	R/W	R/W	R/W	R/W		R/W	
初期値	0	0	0	0	00		00	

■ レジスタ機能

[bit1:0] EG0[1:0]

処理	値	機能
書込み	00	ICU ch.(0)を動作禁止状態にします。 IC(0)信号入力を無視します。
	01	ICU ch.(0)を動作許可状態にします。 IC(0)信号入力の立上りエッジのみを、有効エッジとします。
	10	ICU ch.(0)を動作許可状態にします。 IC(0)信号入力の立下りエッジのみを、有効エッジとします。
	11	ICU ch.(0)を動作許可状態にします。 IC(0)信号入力の立上り，立下り両エッジを、有効エッジとします。
読出し	-	設定値を読み出します。

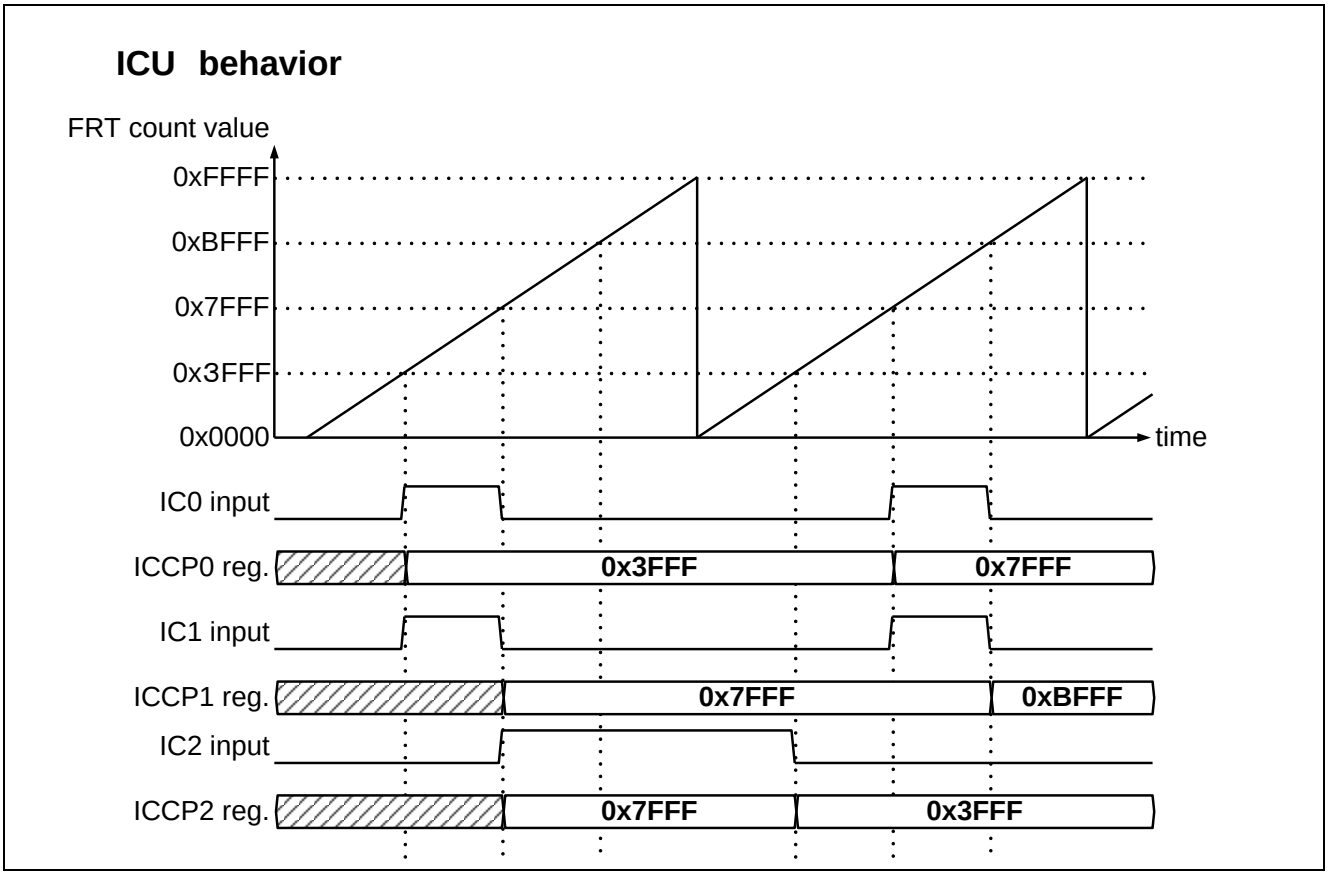
[bit3:2] EG1[1:0]

処理	値	機能
書込み	00	ICU ch.(1)を動作禁止状態にします。 IC(1)信号入力を無視します。
	01	ICU ch.(1)を動作許可状態にします。 IC(1)信号入力の立上りエッジのみを、有効エッジとします。
	10	ICU ch.(1)を動作許可状態にします。 IC(1)信号入力の立下りエッジのみを、有効エッジとします。
	11	ICU ch.(1)を動作許可状態にします。 IC(1)信号入力の立上り，立下り両エッジを、有効エッジとします。
読出し	-	設定値を読み出します。

EG0[1:0]は、ICU ch.(0)の動作許可・禁止状態の選択、有効エッジの選択を行うビットです。
EG1[1:0]は、ICU ch.(1)の動作許可・禁止状態の選択、有効エッジの選択を行うビットです。

ICU は動作許可状態の場合、入力信号に有効エッジが検出されると、FRT カウント出力を ICCP レジスタに取り込むキャプチャ動作を行います。同時に、有効エッジが検出されたことを CPU に通知します。入力信号の有効エッジは、立上りエッジのみ，立下りエッジのみ，立上り，立下り両エッジから選択できます。
動作禁止状態の場合、何も行わず、入力信号を無視します。
図 4-9 に ICU の動作例を示します。
ICU ch.0 は、IC0 信号入力の立上りエッジの検出による動作を示しています。
ICU ch.1 は、IC1 信号入力の立下りエッジの検出による動作を示しています。
ICU ch.2 は、IC2 信号入力の立上り，立下り両エッジの検出による動作を示しています。

図 4-9 ICU の動作例



[bit4] ICE0

処理	値	機能
書込み	0	ICSA:ICP0 に"1"がセットされた場合、割込みを発生しません。
	1	ICSA:ICP0 に"1"がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

[bit5] ICE1

処理	値	機能
書込み	0	ICSA:ICP1 に"1"がセットされた場合、割込みを発生しません。
	1	ICSA:ICP1 に"1"がセットされた場合、割込みを発生します。
読出し	-	設定値を読み出します。

ICSA:ICE0 は、ICSA:ICP0 に"1"がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するビットです。
ICSA:ICE1 は、ICSA:ICP1 に"1"がセットされた場合に、割込みとして CPU に通知する(割込み許可)か、通知しない(割込み禁止)かを選択するビットです。
「6.2 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

[bit6] ICP0

処理	値	機能
書込み	0	"0"にクリアします。
	1	動作に影響しません。
読出し	0	ICU ch.(0)にて、有効エッジが検出されず、キャプチャ動作が行われていない状態を示します。
	1	ICU ch.(0)にて、有効エッジが検出され、キャプチャ動作が行われた状態を示します。
RMWアクセス時の読出し		常に"1"が読み出されます。

[bit7] ICP1

処理	値	機能
書込み	0	"0"にクリアします。
	1	動作に影響しません。
読出し	0	ICU ch.(1)にて、有効エッジが検出されず、キャプチャ動作が行われていない状態を示します。
	1	ICU ch.(1)にて、有効エッジが検出され、キャプチャ動作が行われた状態を示します。
RMWアクセス時の読出し		常に"1"が読み出されます。

ICSA:ICP0 は、ICU ch.(0)の動作許可状態時、有効エッジが検出・キャプチャ動作により、"1"がセットされるビットです。
ICSA:ICP1 は、ICU ch.(1)の動作許可状態時、有効エッジが検出・キャプチャ動作により、"1"がセットされるビットです。
本ビットを読み出すことにより、有効エッジ検出・キャプチャ動作が行われたか否かを判断できます。

本ビットは、"0"を書き込むことにより、クリアできます。
本ビットは、"1"を書き込んでも何も行われません。同じアドレス領域のほかのレジスタを書き換える際には、本ビットは必ず"1"を書き込んでください。
RMW アクセス時には本ビットは常に"1"が読み出されます。
「6.2 イベント検出レジスタと割込みの取り扱いについて」を参照してください。

4.3.16. ICU 制御レジスタ B (ICSB)

ICSB は、ICU の動作状態を読み出す 8 ビットレジスタです。
搭載チャネルごとに ICSB10, ICSB32 の 2 つのレジスタがあります。
ICSB10 は、ICU ch.1 と ICU ch.0 の動作状態を読み出します。
ICSB32 は、ICU ch.3 と ICU ch.2 の動作状態を読み出します。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	IEI1	IE10
属性	-	-	-	-	-	-	R	R
初期値	-	-	-	-	-	-	0	0

■ レジスタ機能

[bit8] IEI0

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	ICU ch.(0)の直前のキャプチャ動作が立下りエッジで行われたことを示します。
	1	ICU ch.(0)の直前のキャプチャ動作が立上りエッジで行われたことを示します。

[bit9] IEI1

処理	値	機能
書込み	-	書込みは無効です。
読出し	0	ICU ch.(1)の直前のキャプチャ動作が立下りエッジで行われたことを示します。
	1	ICU ch.(1)の直前のキャプチャ動作が立上りエッジで行われたことを示します。

ICSB:IEI0 は、ICU ch.(0)の直前の有効エッジを示すビットです。

ICSB:IEI1 は、ICU ch.(1)の直前の有効エッジを示すビットです。

本ビットを読み出すことにより、直前のキャプチャ動作のエッジを判断できます。

本ビットは初期値が"0"のため、キャプチャ動作が 1 回も行われていない場合、"0"が読み出せます。また、入力信号の有効エッジが検出されるたびに更新されます。従って、キャプチャ動作後、次の有効エッジの前に本ビットを読み出す必要があります。

[bit15:10] 予約 : 予約ビット
書込み値は無効です。読出し値は不定値が読み出されます。

4.3.17. ICU キャプチャ値格納レジスタ (ICCP)

ICCP は、ICU にキャプチャされた値を読み出す 16 ビットレジスタです。
搭載チャネルごとに ICCP0, ICCP1, ICCP2, ICCP3 の 4 つのレジスタがあります。
ICCP0 は、ICU ch.0 のキャプチャ値を格納します。
ICCP1 は、ICU ch.1 のキャプチャ値を格納します。
ICCP2 は、ICU ch.2 のキャプチャ値を格納します。
ICCP3 は、ICU ch.3 のキャプチャ値を格納します。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ICCP[15:0]															
属性	R															
初期値	0xXXXX															

■ レジスタ機能

[bit15:0] ICCP[15:0]

処理	機能
書込み	書込みは無効です。
読出し	ICU にキャプチャされているデータが読み出されます。

ICCP レジスタは、ICU の各チャネルでキャプチャされた値を読み出す 16 ビットレジスタです。

本ビットは初期値が不定のため、キャプチャ動作が 1 回も行われていない場合、無意味な値が読み出されます。

本ビットは入力信号の有効エッジが検出されるたびに更新されます。従って、キャプチャ動作後、次の有効エッジの前に本ビットを読み出す必要があります。

4.3.18. ADCMP 制御レジスタ A (ACSA)

ACSA は、ADCMP の動作制御を行う 16 ビットレジスタです。
本レジスタは、ADCMP の ch.0, ch.1, ch.2 のすべてを制御します。

■ レジスタ構成

bit	15	14	13 12	11 10	9 8
Field	予約	予約	SEL2[1:0]	SEL1[1:0]	SEL0[1:0]
属性	-	-	R/W	R/W	R/W
初期値	0	0	00	00	00

bit	7	6	5 4	3 2	1 0
Field	予約	予約	CE2[1:0]	CE1[1:0]	CE0[1:0]
属性	-	-	R/W	R/W	R/W
初期値	0	0	00	00	00

■ レジスタ機能

[bit1:0] CE0[1:0]

処理	値	機能
書込み	00	ADCMP ch.0 を動作禁止状態にします。
	01	ADCMP ch.0 を動作許可状態にします。 ADCMP ch.0 に FRT ch.0 を接続します。
	10	ADCMP ch.0 を動作許可状態にします。 ADCMP ch.0 に FRT ch.1 を接続します。
	11	ADCMP ch.0 を動作許可状態にします。 ADCMP ch.0 に FRT ch.2 を接続します。
読出し	-	設定値を読み出します。

[bit3:2] CE1[1:0]

処理	値	機能
書込み	00	ADCMP ch.1 を動作禁止状態にします。
	01	ADCMP ch.1 を動作許可状態にします。 ADCMP ch.1 に FRT ch.0 を接続します。
	10	ADCMP ch.1 を動作許可状態にします。 ADCMP ch.1 に FRT ch.1 を接続します。
	11	ADCMP ch.1 を動作許可状態にします。 ADCMP ch.1 に FRT ch.2 を接続します。
読出し	-	設定値を読み出します。

[bit5:4] CE2[1:0]

処理	値	機能
書込み	00	ADCMP ch.2 を動作禁止状態にします。
	01	ADCMP ch.2 を動作許可状態にします。 ADCMP ch.2 に FRT ch.0 を接続します。
	10	ADCMP ch.2 を動作許可状態にします。 ADCMP ch.2 に FRT ch.1 を接続します。
	11	ADCMP ch.2 を動作許可状態にします。 ADCMP ch.2 に FRT ch.2 を接続します。
読出し	-	設定値を読み出します。

ACSA:CE0[1:0], ACSA:CE1[1:0], ACSA:CE2[1:0]は、それぞれ、ADCMP ch.0, ADCMP ch.1, ADCMP ch.2 の動作許可・禁止状態の選択と接続する FRT の選択を行うビットです。
ADCMP は動作許可状態の場合、ACCP レジスタ, ADCMPDN レジスタに指定したコンペア値と接続している FRT のカウント値が一致したタイミングで、ADC に対し AD 変換の起動指示信号を出力します。
ADCMP を動作許可状態にする場合、必ず前もって、ACCP レジスタ, ACCPDN レジスタの値を設定しておく必要があります。
ADCMP ch.0 は、ADC unit0 に対して AD 変換の起動を指示します。
ADCMP ch.1 は、ADC unit1 に対して AD 変換の起動を指示します。
ADCMP ch.2 は、ADC unit2 に対して AD 変換の起動を指示します。
ADCMP から出力された AD 変換起動信号は、ATSA にて出力選択された後、各 ADC ユニットへ接続されます。
ADCMP は動作禁止状態の場合、何も行いません。また、ADCMP は、自身の存在する MFT 内の FRT のみを接続選択できます。
ACCP, ACCPDN のバッファ機能を使用する場合、接続する FRT は FRT ch.0 を使用してください。

[bit7:6] 予約 : 予約ビット
書込み時は"0"を書き込んでください。読出し値は"0"が読み出されます。

[bit9:8] SEL0[1:0]

処理	値	機能
書込み	00	FRT がアップカウント，ピーク,ダウンカウント状態で、ACCP0 の設定値と一致時に、AD 起動指示を行います。ACCPDN0 の設定値は無視します。
	01	FRT がアップカウント状態で、ACCP0 の設定値と一致時に、AD 起動指示を行います。ACCPDN0 の設定値は無視します。
	10	FRT がピーク，ダウンカウント状態で、ACCP0 の設定値と一致時に、AD 起動指示を行います。ACCPDN0 の設定値は無視します。
	11	FRT がアップカウント状態で、ACCP0 の設定値と一致時に、AD 起動指示を行います。または、FRT がピーク，ダウンカウント状態で、ACCPDN0 の設定値と一致時に、AD 起動指示を行います。
読出し	-	設定値を読み出します。

[bit11:10] SEL1[1:0]

処理	値	機能
書込み	00	FRT がアップカウント，ピーク，ダウンカウント状態で、ACCP1 の設定値と一致時に、AD 起動指示を行います。ACCPDN1 の設定値は無視します。
	01	FRT がアップカウント状態で、ACCP1 の設定値と一致時に、AD 起動指示を行います。ACCPDN1 の設定値は無視します。
	10	FRT がピーク，ダウンカウント状態で､ACCP1 の設定値と一致時に、AD 起動指示を行います。ACCPDN1 の設定値は無視します。
	11	FRT がアップカウント状態で、ACCP1 の設定値と一致時に、AD 起動指示を行います。または、FRT がピーク，ダウンカウント状態で、ACCPDN1 の設定値と一致時に、AD 起動指示を行います。
読出し	-	設定値を読み出します。

[bit13:12] SEL2[1:0]

処理	値	機能
書込み	00	FRT がアップカウント，ピーク，ダウンカウント状態で、ACCP2 の設定値と一致時に、AD 起動指示を行います。ACCPDN2 の設定値は無視します。
	01	FRT がアップカウント状態で、ACCP2 の設定値と一致時に、AD 起動指示を行います。ACCPDN2 の設定値は無視します。
	10	FRT がピーク，ダウンカウント状態で､ACCP2 の設定値と一致時に、AD 起動指示を行います。ACCPDN2 の設定値は無視します。
	11	FRT がアップカウント状態で、ACCP2 の設定値と一致時に、AD 起動指示を行います。または、FRT がピーク，ダウンカウント状態で、ACCPDN2 の設定値と一致時に、AD 起動指示を行います。
読出し	-	設定値を読み出します。

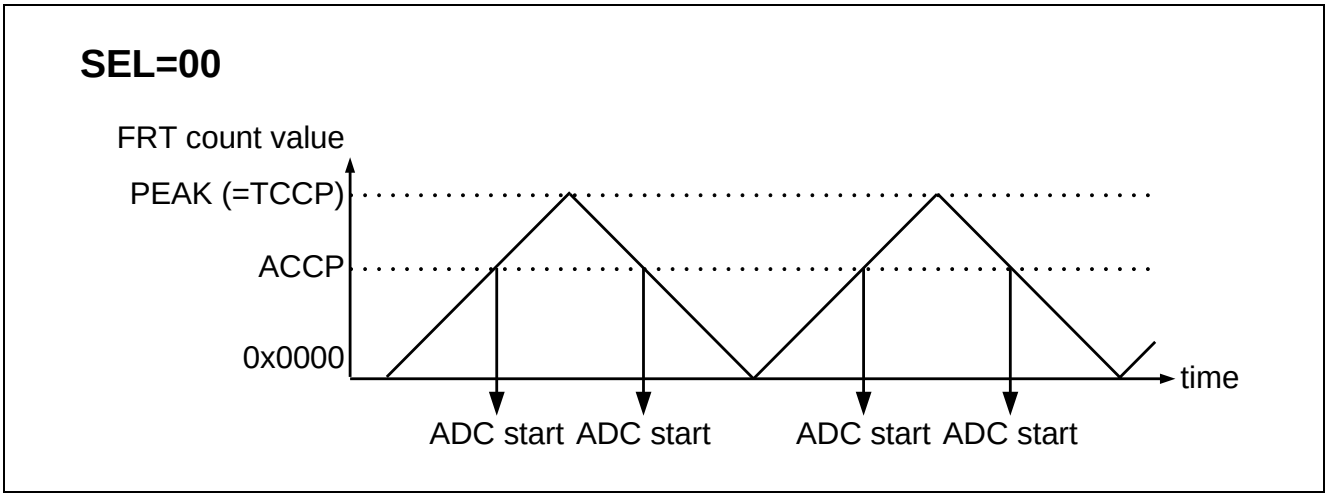
ACSA:SEL0[1:0], ACSA:SEL1[1:0], ACSA:SEL2[1:0]は、ADCMP のそれぞれチャネルで、AD 変換起動指示を FRT のいずれのカウント状態で行うかを選択するビットです。

このレジスタの設定変更は、接続する ADCMP が動作禁止状態のときに行ってください。

FRT をアップカウントモードで使用する場合は、本レジスタは"00"で使用してください。

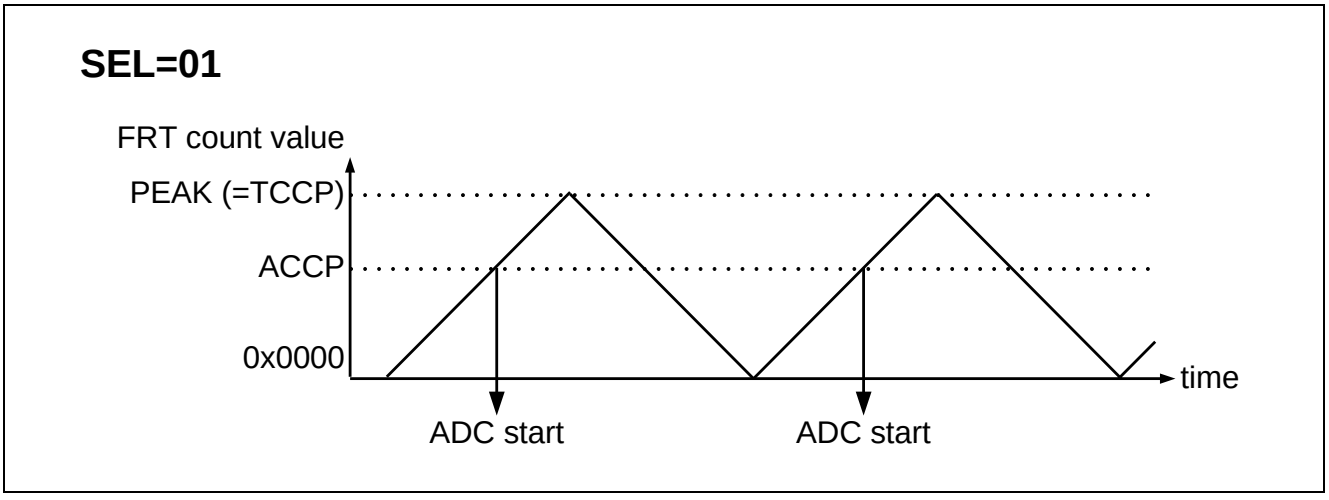
SEL=00 の場合の動作例を図 4-10 に示します。

図 4-10 SEL=00 の場合の動作例



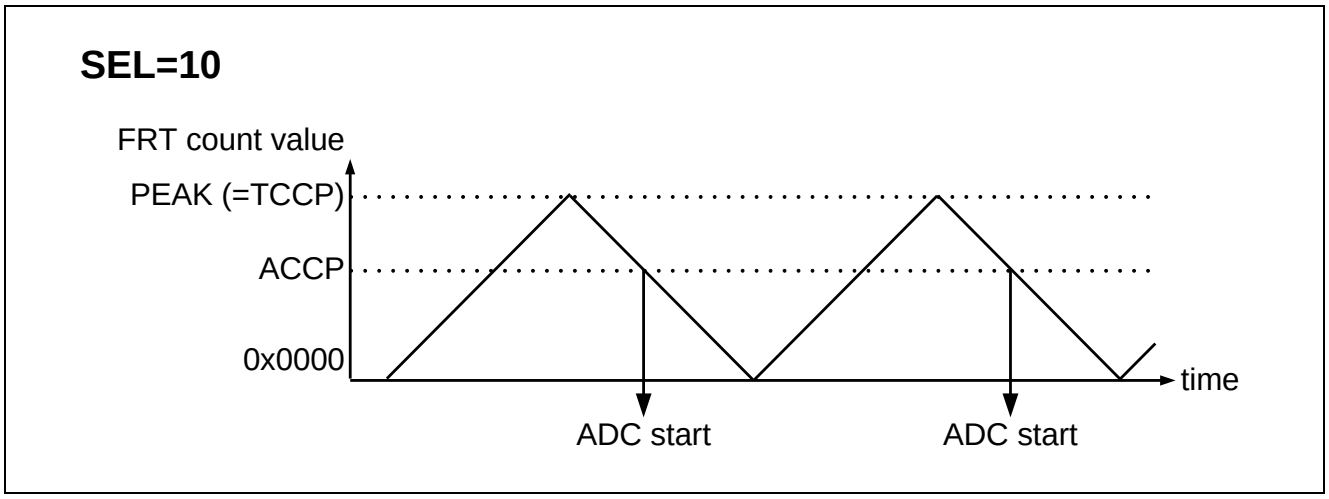
SEL=01 の場合の動作例を図 4-11 に示します。

図 4-11 SEL=01 の場合の動作例



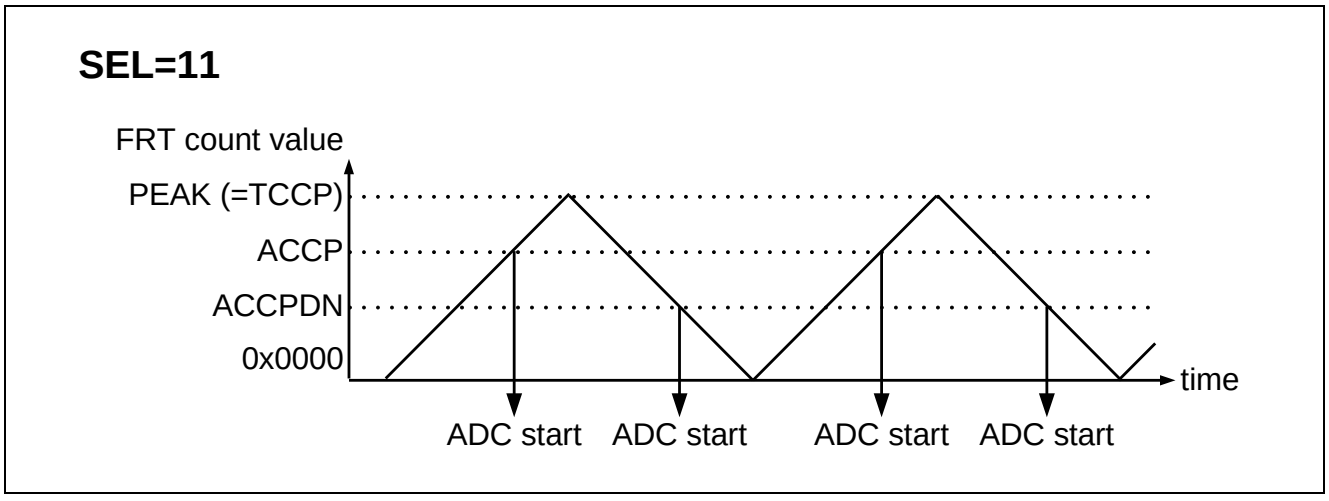
SEL=10 の場合の動作例を図 4-12 に示します。

図 4-12 SEL=10 の場合の動作例



SEL=11 の場合の動作例を図 4-13 に示します。

図 4-13 SEL=11 の場合の動作例



[bit15:14] 予約: 予約ビット

書込み時は"0"を書き込んでください。読出し値は"0"が読み出されます。

4.3.19. ADCMP 制御レジスタ B (ACSB)

ACSB は、ADCMP の動作制御を行う 8 ビットレジスタです。
本レジスタは、ADCMP の ch.0, ch.1, ch.2 のすべてを制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	BTS2	BTS1	BTS0	予約	BDIS2	BDIS1	BDIS0
属性	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

■ レジスタ機能

[bit0] BDIS0

処理	値	機能
書込み	0	ACCP0 レジスタ, ACCPDN0 レジスタのバッファ機能を有効にします。
	1	ACCP0 レジスタ, ACCPDN0 レジスタのバッファ機能を無効にします。
読出し	-	設定値を読み出します。

[bit1] BDIS1

処理	値	機能
書込み	0	ACCP1 レジスタ, ACCPDN1 レジスタのバッファ機能を有効にします。
	1	ACCP1 レジスタ, ACCPDN1 レジスタのバッファ機能を無効にします。
読出し	-	設定値を読み出します。

[bit2] BDIS2

処理	値	機能
書込み	0	ACCP2 レジスタ, ACCPDN2 レジスタのバッファ機能を有効にします。
	1	ACCP2 レジスタ, ACCPDN2 レジスタのバッファ機能を無効にします。
読出し	-	設定値を読み出します。

ACSB:BDIS0 は、ACCP0 レジスタ, ACCPDN0 レジスタのバッファ機能の有効無効を選択するビットです。
ACSB:BDIS1 は、ACCP1 レジスタ, ACCPDN1 レジスタのバッファ機能の有効無効を選択するビットです。
ACSB:BDIS2 は、ACCP2 レジスタ, ACCPDN2 レジスタのバッファ機能の有効無効を選択するビットです。
本ビットの設定変更は、接続する ADCMP が動作禁止状態のときに行ってください。
ACCP, ACCPDN のバッファ機能を使用する場合、接続する FRT は FRT ch.0 を使用してください。
「4.3.20 ADCMP コンペア値格納レジスタ (ACCP)」, 「4.3.21 ADCMP コンペア値格納レジスタ, ダウンカウント方向時専用 (ACCPDN)」を参照してください。

[bit3] 予約 : 予約ビット
書込み時は"0"を書き込んでください。読出し値は"0"が読み出されます。

[bit4] BTS0

処理	値	機能
書込み	0	ACCP0 レジスタ, ACCPDN0 レジスタのバッファ転送を FRT の Zero 値検出時に行います。
	1	ACCP0 レジスタ, ACCPDN0 レジスタのバッファ転送を FRT のピーク値検出時に行います。
読出し	-	設定値を読み出します。

[bit5] BTS1

処理	値	機能
書込み	0	ACCP1 レジスタ, ACCPDN1 レジスタのバッファ転送を FRT の Zero 値検出時に行います。
	1	ACCP1 レジスタ, ACCPDN1 レジスタのバッファ転送を FRT のピーク値検出時に行います。
読出し	-	設定値を読み出します。

[bit6] BTS2

処理	値	機能
書込み	0	ACCP2 レジスタ, ACCPDN2 レジスタのバッファ転送を FRT の Zero 値検出時に行います。
	1	ACCP2 レジスタ, ACCPDN2 レジスタのバッファ転送を FRT のピーク値検出時に行います。
読出し	-	設定値を読み出します。

ACSB:BTS0 は、バッファ機能有効時に、バッファレジスタから ACCP0 レジスタ, ACCPDN0 レジスタへのデータ転送タイミングを指定するビットです。
ACSB:BTS1 は、バッファ機能有効時に、バッファレジスタから ACCP1 レジスタ, ACCPDN1 レジスタへのデータ転送タイミングを指定するビットです。
ACSB:BTS2 は、バッファ機能有効時に、バッファレジスタから ACCP2 レジスタ, ACCPDN2 レジスタへのデータ転送タイミングを指定するビットです。
本ビットの設定変更は、接続する ADCMP が動作禁止状態のときに行ってください。
「4.3.20 ADCMP コンペア値格納レジスタ (ACCP)」, 「4.3.21 ADCMP コンペア値格納レジスタ, ダウンカウント方向時専用 (ACCPDN)」を参照してください。

[bit7] 予約 : 予約ビット
書込み時は"0"を書き込んでください。読出し値は"0"が読み出されます。

4.3.20. ADCMP コンペア値格納レジスタ (ACCP)

ACCP は、ADCMP にて、AD 変換起動のタイミングを、FRT カウント値のコンペア値として指定する 16 ビットレジスタです。
搭載チャネルごとに ACCP0, ACCP1, ACCP2 の 3 つのレジスタがあります。
ACCP0 は、ADCMP ch.0 のコンペア値を格納します。
ACCP1 は、ADCMP ch.1 のコンペア値を格納します。
ACCP2 は、ADCMP ch.2 のコンペア値を格納します。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ACCP[15:0]															
属性	R/W															
初期値	0x0000															

■ レジスタ機能

[bit15:0] ACCP[15:0]

処理	機能
書込み	AD 変換起動のタイミングを指定します。値は、ACCP バッファレジスタに書き込まれます。
読出し	ACCP レジスタ値を読み出します(ACCP バッファレジスタ値ではありません)。

ACCP レジスタは、AD 変換起動のタイミングを指定するレジスタです。
それぞれ、ACSA:SEL0[1:0], ACSA:SEL1[1:0], ACSA:SEL2[1:0]の設定と組み合わせて、AD 変換起動のタイミングを指定します。
このアドレス領域にデータ書込みを行うと、データはいったんバッファレジスタに格納されます。その後、以下の条件で、バッファレジスタから ACCP レジスタにデータが転送されます。

バッファ機能無効の場合 ：
バッファレジスタ書込み直後にデータ転送されます。

バッファ機能有効, Zero 値検出転送の場合 ：
FRT がカウント停止しているとき、または FRT カウント値が"0x0000"のときに、データ転送されます。

バッファ機能有効, ピーク値検出転送の場合 ：
FRT がカウント停止しているとき、または FRT カウント値が TCCP 値に一致したときに、データ転送されます。

バッファ機能の有効・無効、データ転送のタイミングは、対応する ACSB:BDIS0, BDIS1, BDIS2, BTS0, BDIS1, BDIS2 の値により決定されます。
FRT のカウント動作中に、このレジスタを書き換えることにより、AD 変換起動のタイミングを変更できます。バッファ機能無効の場合、書き込んだ値を直ちに ACCP レジスタに反映できます。バッファ機能有効の場合、複数のチャネルの ACCP レジスタ設定を同期化することができます。
このアドレス領域からデータの読出しを行うと、バッファレジスタの値ではなく、ACCP レジスタの値が読み出されます。このため、バッファ機能有効時は、このアドレス領域に対する RMW アクセスによるビット書換えができないため、注意してください。

＜注意事項＞

- このレジスタに"0x0000"を書き込んで、AD 変換起動を行うことはできません。
- このレジスタは初期値が"0x0000"のため、必ずほかの値に書き換えてから使用してください。
- Zero 検出時に AD 変換起動を行う場合には TCSB:AD0E, TCSB:AD1E, TCSB:AD2E レジスタによる起動を使用してください。
- ACCP レジスタのバッファ機能を使用する場合、接続する FRT は FRT ch.0 を使用してください。
- ACSA:SEL0[1:0], SEL1[1:0], SEL[1:0]に"01", "10", "11"を指定している場合、ACCP に FRT のピーク値(=TCCP)を設定しても、無視されるため、注意してください。

4.3.21. ADCMP コンペア値格納レジスタ，ダウンカウント方向時専用 (ACCPDN)

ACCPDN は、ADCMP にて、AD 変換起動のタイミングを、FRT カウント値のコンペア値として指定する 16 ビットレジスタです。
搭載チャネルごとに ACCPDN0, ACCPDN1, ACCPDN2 の 3 つのレジスタがあります。
ACCPDN0 は、ADCMP ch.0 のコンペア値を格納します。
ACCPDN1 は、ADCMP ch.1 のコンペア値を格納します。
ACCPDN2 は、ADCMP ch.2 のコンペア値を格納します。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ACCPDN[15:0]															
属性	R/W															
初期値	0x0000															

■ レジスタ機能

[bit15:0] ACCPDN[15:0]

処理	機能
書込み	AD 変換起動のタイミングを指定します。値は、ACCPDN バッファレジスタに書き込まれます。
読出し	ACCPDN レジスタ値を読み出します(ACCPDN バッファレジスタ値ではありません)。

ACCPDN レジスタは、AD 変換起動のタイミングを指定するレジスタです。
それぞれ、ACSA:SEL0[1:0], ACSA:SEL1[1:0], ACSA:SEL2[1:0]の設定値が 11 の場合にのみ、AD 変換起動のタイミングを指定します。
このアドレス領域にデータ書込みを行うと、データはいったんバッファレジスタに格納されます。その後、以下の条件で、バッファレジスタから ACCP レジスタにデータが転送されます。

バッファ機能無効の場合 ：
バッファレジスタ書込み直後にデータ転送されます。

バッファ機能有効, Zero 値検出転送の場合 ：
FRT がカウント停止しているとき、または FRT カウント値が"0x0000"のときにデータ転送されます。

バッファ機能有効, ピーク値検出転送の場合 ：
FRT がカウント停止しているとき、または FRT カウント値が TCCP 値に一致したときにデータ転送されます。

バッファ機能の有効・無効、データ転送のタイミングは、対応する ACSB:BDIS0, BDIS1, BDIS2, BTS0, BDIS1, BDIS2 の値により決定されます。

FRT のカウント動作中に、このレジスタを書き換えることにより、AD 変換起動のタイミングを変更できます。バッファ機能無効の場合、書き込んだ値を直ちに ACCPDN レジスタに反映できます。バッファ機能有効の場合、複数のチャネルの ACCPDN レジスタ設定を同期化することができます。

このアドレス領域からデータの読出しを行うと、バッファレジスタの値ではなく、ACCPDN レジスタの値が読み出されます。このため、バッファ機能有効時は、このアドレス領域に対する RMW アクセスによるビット書換えができないため、注意してください。

＜注意事項＞

- このレジスタに"0x0000"を書き込んで、AD 変換起動を行うことはできません。
- ACCPDN レジスタのバッファ機能を使用する場合、接続する FRT は FRT ch.0 を使用してください。

4.3.22. ADC 起動要因選択レジスタ (ATSA)

ATSA は、MFT から出力する ADC の起動信号の選択を行う 16 ビットレジスタです。
このレジスタにより、ADC unit0, unit1, unit2 に対する起動要因を選択します。
本レジスタは、バイトアクセスすることができないため、注意してください。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約		AD2P		AD1P		AD0P	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約		AD2S		AD1S		AD0S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

■ レジスタ機能

[bit1:0] AD0S[1:0]

処理	値	機能
書込み	00	ADC unit0 スキャン変換起動信号に、ADCMP ch.0 の起動信号を選択します。
	01	ADC unit0 スキャン変換起動信号に、FRT ch.0～ch.2 の起動信号の論理 OR 信号を選択します。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

[bit3:2] AD1S[1:0]

処理	値	機能
書込み	00	ADC unit1 スキャン変換起動信号に、ADCMP ch.1 の起動信号を選択します。
	01	ADC unit1 スキャン変換起動信号に、FRT ch.0～ch.2 の起動信号の論理 OR 信号を選択します。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

[bit5:4] AD2S[1:0]

処理	値	機能
書込み	00	ADC unit2 スキャン変換起動信号に、ADCMP ch.2 の起動信号を選択します。
	01	ADC unit2 スキャン変換起動信号に、FRT ch.0～ch.2 の起動信号の論理 OR 信号を選択します。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

AD0S[1:0]は、ADC unit0 のスキャン変換起動に使用する起動信号を選択するビットです。
AD1S[1:0]は、ADC unit1 のスキャン変換起動に使用する起動信号を選択するビットです。
AD2S[1:0]は、ADC unit2 のスキャン変換起動に使用する起動信号を選択するビットです。
MFT から出力する ADC のスキャン変換起動信号は、ADCMP による起動を利用するか、FRT ch.0～ch.2 による起動を利用するかをそれぞれ選択できます。本ビットの設定により、上記を選択します。本ビットの設定変更は、接続する ADCMP が動作禁止状態のときに行ってください。
MFT が複数存在する製品の場合、MFT からの ADC スキャン変換起動信号は、MFT ユニットごとに論理 OR された後、ADC に接続されます。詳細は、『アナログマクロ編』の『A/D コンバータ』の章を参照してください。

[bit7:6] 予約 : 予約ビット
書込みは無効です。読出し値は不定が読み出されます。

[bit9:8] AD0P[1:0]

処理	値	機能
書込み	00	ADC unit0 優先変換起動信号に、ADCMP ch.0 の起動信号を選択します。
	01	ADC unit0 優先変換起動信号に、FRT ch.0～ch.2 の起動信号の論理 OR 信号を選択します。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

[bit11:10] AD1P[1:0]

処理	値	機能
書込み	00	ADC unit1 優先変換起動信号に、ADCMP ch.1 の起動信号を選択します。
	01	ADC unit1 優先変換起動信号に、FRT ch.0～ch.2 の起動信号の論理 OR 信号を選択します。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

[bit13:12] AD2P[1:0]

処理	値	機能
書込み	00	ADC unit2 優先変換起動信号に、ADCMP ch.2 の起動信号を選択します。
	01	ADC unit2 優先変換起動信号に、FRT ch.0～ch.2 の起動信号の論理 OR 信号を選択します。
	上記以外	設定禁止
読出し	-	設定値を読み出します。

ATSA:AD0P[1:0]は、ADC unit0 の優先変換起動に使用する起動信号を選択するビットです。
ATSA:AD1P[1:0]は、ADC unit1 の優先変換起動に使用する起動信号を選択するビットです。
ATSA:AD2P[1:0]は、ADC unit2 の優先変換起動に使用する起動信号を選択するビットです。
MFT から出力する ADC の優先変換起動信号は、ADCMP による起動を利用するか、FRT ch.0～ch.2 による起動を利用するかをそれぞれ選択できます。本ビットの設定により、上記を選択します。本ビットの設定変更は、接続する ADCMP が動作禁止状態のときに行ってください。
MFT が複数存在する製品の場合、MFT からの ADC 優先変換起動信号は、各 MFT ユニットごとに論理 OR された後、ADC に接続されます。詳細は、『アナログマクロ編』の『A/D コンバータ』の章を参照してください。

[bit15:14] 予約 : 予約ビット
書込みは無効です。読出し値は不定が読み出されます。

4.4. OCU 出力波形詳細

OCU の各モードにおける RT 出力信号の出力波形の詳細を以下に説明します。

■ OCU 動作モード一覧表

OCU は、以下レジスタ設定により動作モードが選択されます。表 4-6 に、レジスタ設定値と OCU ch.(0), OCU ch(1)の各動作モードの一覧表を示します。

表 4-6 レジスタ設定値と OCU ch.(0), OCU ch.(1)の動作モード

レジスタ設定				選択される動作モード	
TCSA: MODE Ch.(1) (*1)	TCSA: MODE Ch.(0) (*2)	OCSB: CMOD (*3)	OCSC: MOD (*4)	CH(1) 動作モード	CH(0) 動作モード
0	0	0	00	アップカウントモード (1 変化)	アップカウントモード (1 変化)
0	0	1	00	アップカウントモード (2 変化)	アップカウントモード (1 変化)
0	1	0	01	アップカウントモード (1 変化)	アップダウンカウントモード (ActiveHigh)
1	0	0	10	アップダウンカウントモード (ActiveHigh)	アップカウントモード (1 変化)
1	0	1	10	アップダウンカウントモード (ActiveLow)	アップカウントモード (1 変化)
1	1	0	11	アップダウンカウントモード (ActiveHigh)	アップダウンカウントモード (ActiveHigh)
1	1	1	11	アップダウンカウントモード (ActiveLow)	アップダウンカウントモード (ActiveLow)

*1 TCSA:MODE ch.(1)は、OCFS レジスタにより選択された OCU ch.(1)に接続する FRT の TCSA:MODE の値を示します。
*2 TCSA:MODE ch.(0)は、OCFS レジスタにより選択された OCU ch.(0)に接続する FRT の TCSA:MODE の値を示します。
*3 OCSB:CMOD は、ch.1-ch.0 の場合、OCSB10:CMOD の値を示します。ch.3-ch.2 の場合、OCSB32:CMOD の値を示します。ch.5-ch.4 の場合、OCSB54:CMOD の値を示します。
*4 OCSC:MOD は、ch.1-ch.0 の場合、OCSC:MOD[1:0]の値を示します。ch.3-ch.2 の場合、OCSC:MOD[3:2]の値を示します。ch.5-ch.4 の場合、OCSC:MOD[5:4]の値を示します。
*5 OCSB:CMOD, OCSC:MOD[5:0]を上記外の組合せでは使用できません。
*6 OCU ch.(0)は、アップカウントモード (2 変化) を使用できません。

■ OCU 各動作モードにおける RT(0)信号, RT(1)信号の変化一覧表

OCU の各チャネルは、動作許可状態の場合、FRT カウンタ値と OCCP レジスタ値が一致した場合に出力信号レベルが変化します。また、出力信号レベルの変化内容は、OCU の動作モード, OCCP の値, FRT のカウント状態により決定されます。表 4-7 に、OCU ch.(0)の動作モード, レジスタ設定値, RT(0)信号の出力の一覧を示します。表 4-8 に、OCU ch.(1)の動作モード, レジスタ設定値, RT(1)信号の出力の一覧を示します。

表 4-7 OCU ch.(0)の動作および RT(0)信号の出力内容

動作モード名称	OCCP(0)の値				
	0x0000	0xFFFF	0x0000, 0xFFFF 以外		
			Up	Peak	Down
アップカウントモード (1 変化)	M:Rev U:No	M:Rev U:No	M:Rev U:No	M:Rev U:No	-
アップダウンカウントモード (Active High)	All-Act	All-Ina	M:Act U:No	M:No U:No (*7)	M:Ina U:No
アップダウンカウントモード (Active Low)	All-Act	All-Ina	M:Act U:No		M:Ina U:No

表 4-8 OCU ch.(1)の動作および RT(1)信号の出力内容

動作モード名称	OCCP(1)の値					OCCP(0)の値
	0x0000	0xFFFF	0x0000, 0xFFFF 以外			
			Up	Peak	Down	
アップカウントモード (1 変化)	M:Rev U:No	M:Rev U:No	M:Rev U:No	M:Rev U:No	-	-
アップカウントモード (2 変化)	M:Rev U:No	M:Rev U:No	M:Rev U:No	M:Rev U:No		M:Rev U:No
アップダウンカウントモード (Active High)	All-Act	All-Ina	M:Act U:No	M:No U:No *	M:Ina U:No	-
アップダウンカウントモード (Active Low)	All-Act	All-Ina	M:Act U:No		M:Ina U:No	-

* 表 4-7, 表 4-8 の記号の意味 :

Up: FRT がアップカウント中の動作を示します。
Peak: FRT のカウント値がピーク値(=TCCP 値)の動作を示します。
Down: FRT がダウンカウント中の動作を示します。

M: FRT カウント値と OCCP 値が一致した場合の動作を示します。
U: FRT カウント値と OCCP 値が一致しない場合の動作を示します。

Rev: 出力信号レベルが反転レベルに変化することを示します。
Act: 出力信号レベルが Active レベルに変化することを示します。それ以前の出力レベルが既に Active であれば変化しません。
Ina: 出力信号レベルが Inactive レベルに変化することを示します。それ以前の出力レベルが既に Inactive であれば変化しません。
No: 出力信号レベルに変化がないことを示します。

All-Act: OCCP 値がその値である間、出力信号レベルが Active レベルとなることを示します。
All-Ina: OCCP 値がその値である間、出力信号レベルが Inactive レベルとなることを示します。

*: アップダウンカウントモードの場合、FRT カウント値がピーク値で OCCP 値と一致した場合、RT(0)出力信号, RT(1)出力信号は変化せず、OCSA.IOP0, IOP1 フラグはセットされません。

■ アップカウントモード(1 変化)

アップカウントモード(1 変化)を選択した場合の動作は、以下のようになります。

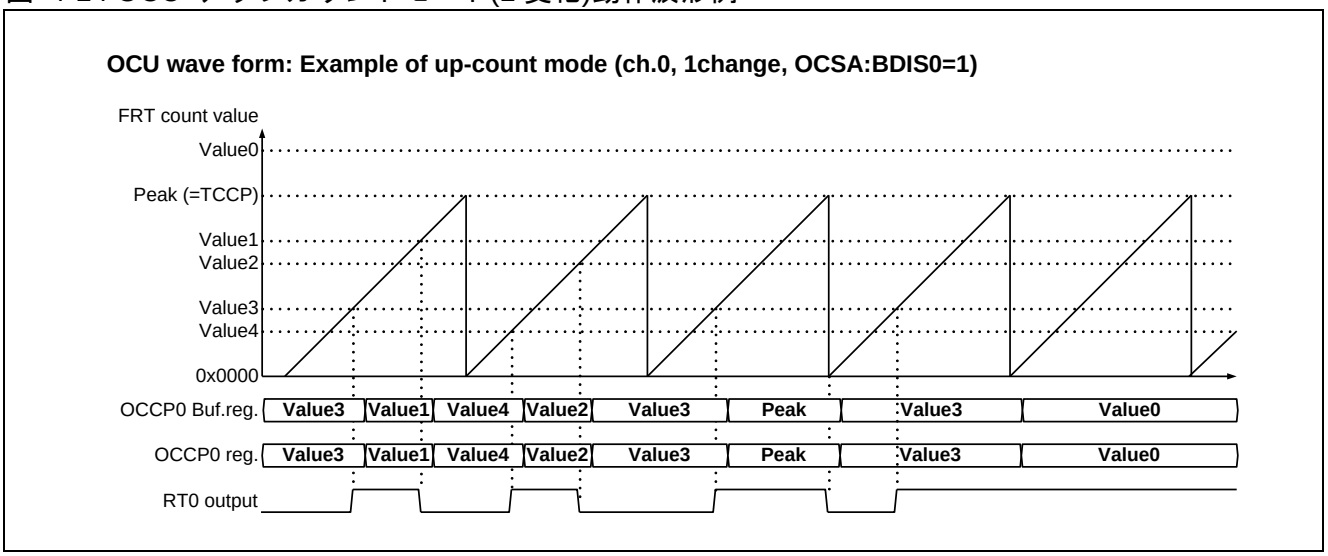
RT(0)信号出力は、FRT カウント状態によらず、OCCP(0)と FRT カウント値が一致した時点で出力レベルが反転します。

RT(1)信号出力は、FRT カウント状態によらず、OCCP(1)と FRT カウント値が一致した時点で出力レベルが反転します。

このモードの場合、OCU ch.(0)と ch.(1)は、独立した動作を行うことができます。

図 4-14 に、OCU ch.0 のアップカウントモード(1 変化)時の動作波形例を示します。図 4-14 は、OCCP0 レジスタのバッファ機能が無効な状態で記載されています。

図 4-14 OCU アップカウントモード(1 変化)動作波形例



＜注意事項＞

アップカウントモード(1 変化)の場合

・OCCP に FRT カウンタの Peak 値より大きい値(図 4-14 の Value0 など)が設定されると、出力が変化しないため、注意してください。

■ アップカウントモード(2 変化)

アップカウントモード(2 変化)を選択した場合の動作は、以下のようになります。
RT(1)信号出力は、FRT カウント状態によらず、OCCP(0)または OCCP(1)と FRT カウント値が一致した時点で出力レベルが反転します。
このモードが使用できるのは、OCU の ch.(1)のみで、ch.(0)は使用できません。また、OCU ch.(0)と ch.(1)は連動動作のため、独立動作はできません。OCU ch(1)に 2 変化モードを選択した場合、OCU ch.(0)は、1 変化モードの動作となり、OCCP(0)値にて変化する動作を行います。

図 4-15 OCU アップカウントモード(2 変化)動作波形例 1

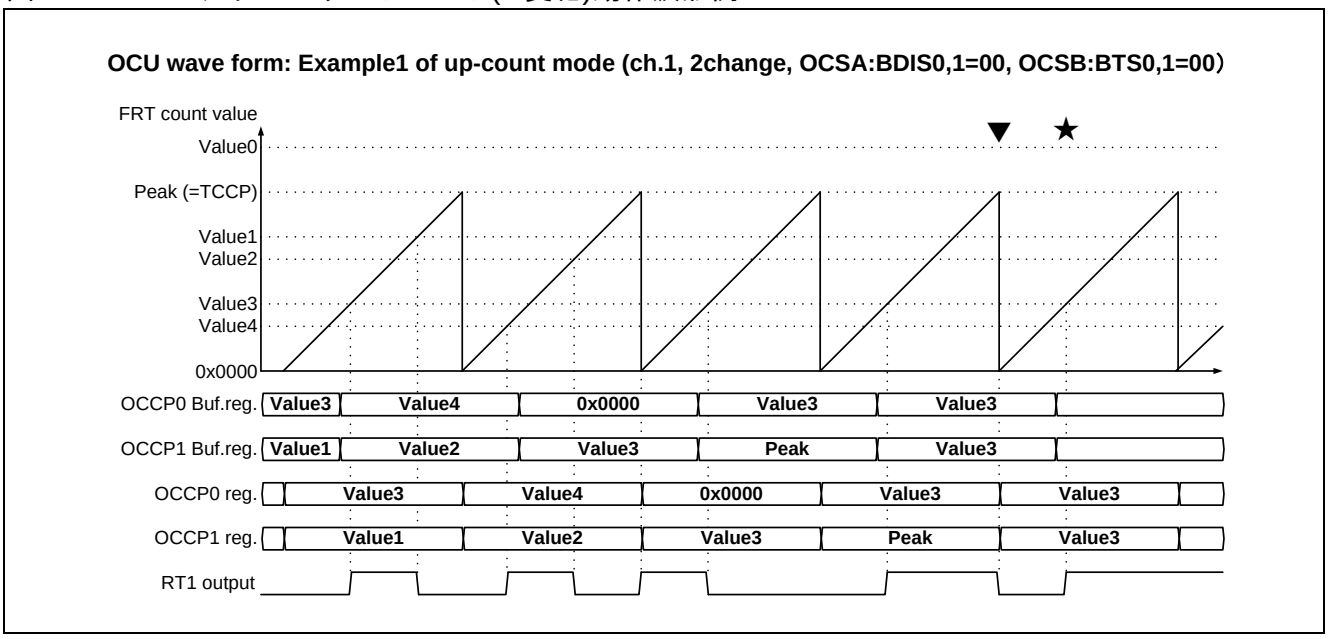


図 4-16 OCU アップカウントモード(2 変化)動作波形例 2

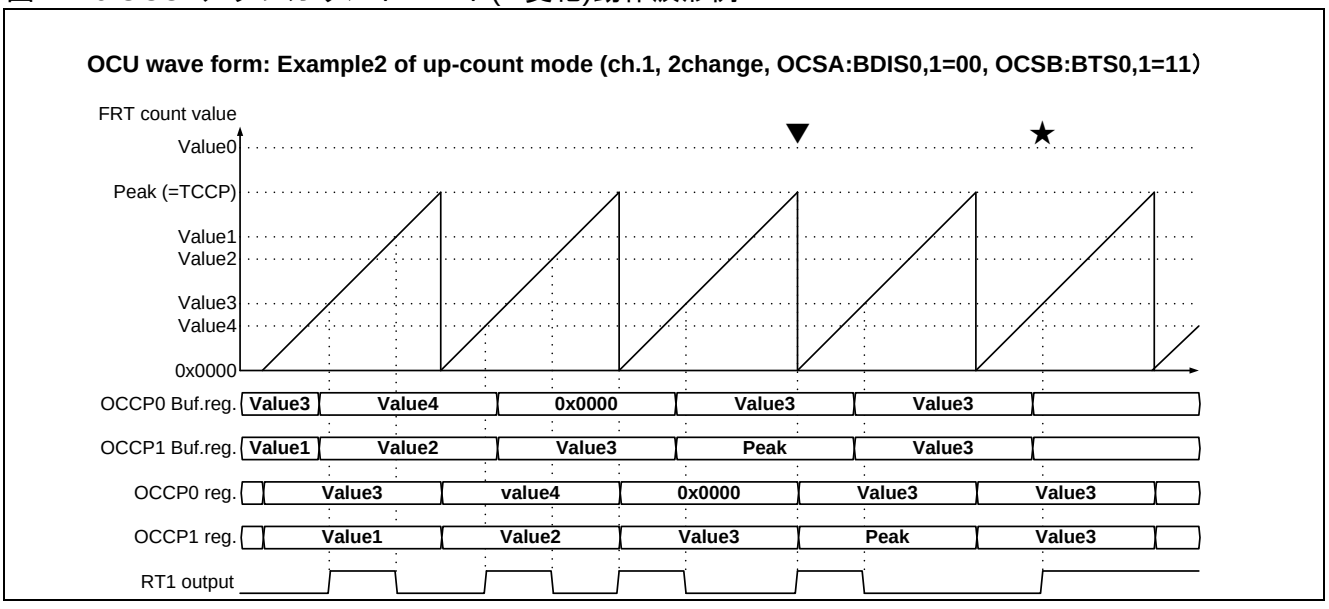


図 4-15 に、OCU ch.1 のアップカウントモード(2 変化)時の動作波形例 1 を示します。図 4-15 は、OCCP1 レジスタのバッファ機能有効, Zero 値転送で記載されています。

図 4-16 に、OCU ch.1 のアップカウントモード(2 変化)時の動作波形例 2 を示します。図 4-16 は、OCCP1 レジスタのバッファ機能有効, ピーク値転送で記載されています。

図 4-15 と図 4-16 は、OCCP のデータ転送タイミングが異なるため、OCCP1 に Peak 値を設定した場合の動作が異なります。

図 4-15 の場合、FRT カウンタ値が"0x0000"のときに、OCCP1 バッファレジスタから OCCP1 レジスタへ転送が行われます。OCCP1=Peak 値の条件で出力レベルが反転するのは、▼のタイミングになります。

図 4-16 の場合、FRT カウンタ値が Peak 値のときに、OCCP1 バッファレジスタから OCCP1 レジスタへ転送が行われます。転送後、すぐにレジスタ値の比較が行われるため、OCCP1=Peak 値の条件で出力レベルが反転するのは、▼のタイミングになります。

＜注意事項＞

アップカウントモード(2 変化)の場合の注意事項を以下に示します。

- OCCP に FRT カウンタの Peak 値より大きい値(図 4-15 の Value0 など)が設定されると、出力が変化しません。
- OCCP(0), OCCP(1)に同じ値を設定している場合、図 4-15, 図 4-16 のように、★のタイミングで、出力レベルが反転します。
- OCSA:CST0 と OCSA:CST1 の両方の動作許可フラグをセットする必要があります。
- OCCP(0)と FRT カウント値が一致した場合は、OCSA:IOP0 がセットされます。
- OCCP(1)と FRT カウント値が一致した場合は、OCSA:IOP1 がセットされます。
- OCU の ch.(0)と ch.(1)の接続する FRT, バッファ機能有無, 転送タイミングは、同じ設定を行う必要があります。

■ アップダウンカウントモード(Active-High)

アップダウンカウントモード(Active-High)を選択した場合の動作は、以下のようになります。

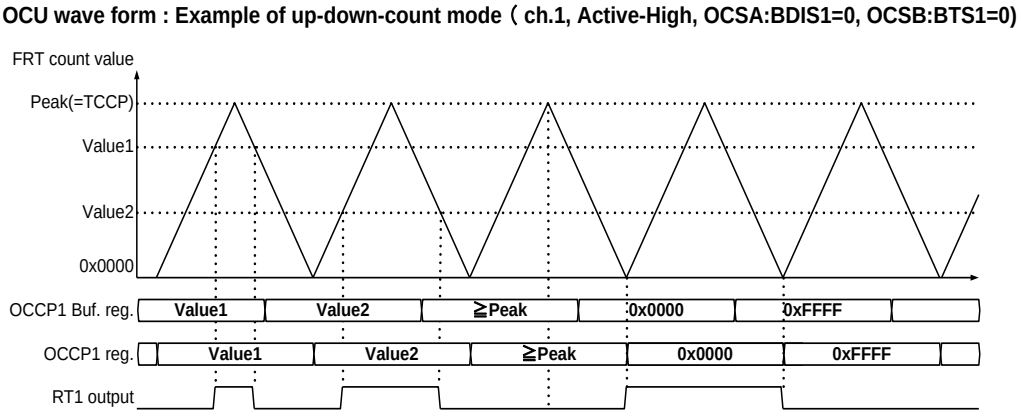
RT(0)信号出力は、FRT がアップカウント時、OCCP(0)と FRT カウント値が一致した時点で出力レベルがアクティブレベル(High)に変化します。FRT がダウンカウント時、OCCP(0)と FRT カウント値が一致した時点で出力レベルがインアクティブレベル(Low)に変化します。OCCP(0)に"0x0000"が設定されると、アクティブ(High)が出力され、"0x0000"でなくなった時点で、インアクティブレベル(Low)に戻ります。OCCP(0)に"0xFFFF"が設定されている間は、インアクティブレベル(Low)が出力されます。

RT(1)信号出力は、OCCP(1)の値により、RT(0)と同様の動作となります。

このモードの場合、OCU ch.(0)と ch.(1)は、独立した動作を行うことができます。

図 4-17 に、OCU ch.1 のアップダウンカウントモード(Active-High)時の動作波形例を示します。図 4-17 は、OCCP レジスタのバッファ機能有効, Zero 値転送で記載されています。

図 4-17 OCU アップダウンカウントモード(Active-High)動作波形例



＜注意事項＞

アップダウンカウントモード(Active-High)の場合の注意事項を以下に示します。

- このモードの場合、OCCP のバッファ機能は有効とし、Zero 値転送モードで使用してください。
- OCU の動作許可を行った時点で、OCCP レジスタに"0x0000"が設定されていると、FRT のカウント値にかかわらず、出力レベルは直ちに Active レベルに変化します。
- OCCP に FRT カウンタのピーク値以上が設定された場合、FRT カウンタ値がピーク値となっても、出力レベルは変化しません。また、IOP0 レジスタ, IOP1 レジスタはセットされません。

■ アップダウンカウントモード(Active-Low)

アップダウンカウントモード(Active-Low)を選択した場合の動作は、以下のようになります。

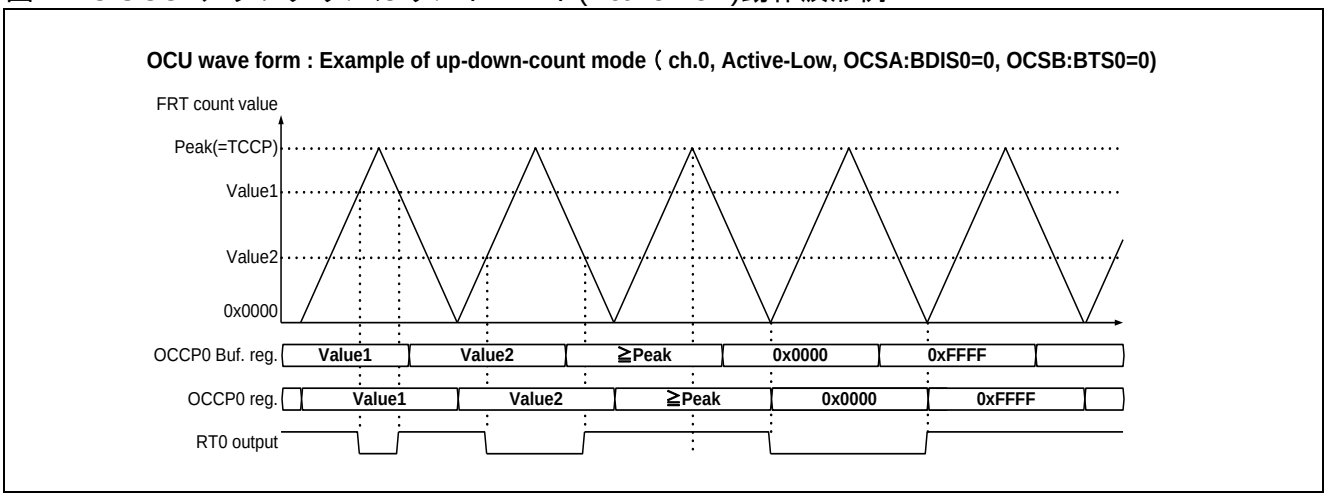
RT(0)信号出力は、FRT がアップカウント時、OCCP(0)と FRT カウント値が一致した時点で出力レベルがアクティブレベル(Low)に変化します。FRT がダウンカウント時、OCCP(0)と FRT カウント値が一致した時点で出力レベルがインアクティブレベル(High)に変化します。OCCP(0)に"0x0000"が設定されると、アクティブ(Low)が出力され、"0x0000"でなくなった時点で、インアクティブレベル(High)に戻ります。OCCP(0)に"0xFFFF"が設定されている間は、インアクティブレベル(High)が出力されます。

RT(1)信号出力は、OCCP(1)の値により、RT(0)と同様の動作を行います。

このモードの場合、OCU ch.(0)と ch.(1)は、独立した動作を行うことができます。

図 4-18 に、OCU ch.0 のアップダウンカウントモード(Active-Low)時の動作波形例を示します。図 4-18 は、OCCP レジスタのバッファ機能有効, Zero 値転送で記載されています。

図 4-18 OCU アップダウンカウントモード(Active-Low)動作波形例



＜注意事項＞

アップダウンカウントモード(Active-Low)の場合の注意事項を以下に示します。

- このモードの場合、OCCP のバッファ機能は有効とし、Zero 値転送モードで使用してください。
- OCU の動作許可を行った時点で、OCCP レジスタに"0x0000"が設定されていると、FRT のカウント値にかかわらず、出力レベルは直ちに Active レベルに変化します。
- OCCP に FRT カウンタのピーク値以上が設定された場合、FRT カウンタ値がピーク値となっても、出力レベルは変化しません。また、IOP0 レジスタ, IOP1 レジスタはセットされません。

4.5. WFG 出力波形詳細

WFG の各モードにおける出力波形の詳細を以下に説明します。

■ WFG 動作モード一覧表

表 4-9 に、WFG の動作モード，レジスタ設定値, CH_GATE 信号の出力一覧を示します。

表 4-10 に、WFG の動作モード，レジスタ設定値, RTO(1)信号, RTO(0)信号の出力一覧を示します。

表 4-9 CH_GATE 信号出力内容一覧表

動作モード	WFSA: TMD[2:0]	WFSA: GTEN[1:0]	CH_GATE 信号出力
スルーモード	000	設定無効	常に Low レベル出力。
RT-PPG モード	001	00	常に Low レベル出力。
		01	RT(0)信号をそのまま出力。
		10	RT(1)信号をそのまま出力。
		11	RT(1)信号と RT(0)信号のいずれかが High レベルの期間、High レベルを出力。 RT(1)信号と RT(0)信号の両方が Low レベルの期間、Low レベルを出力。
タイマ PPG モード	010	00	常に Low レベル出力。
		01	WFG タイマ動作 flag0 を出力。
		10	WFG タイマ動作 flag1 を出力。
		11	WFG タイマ動作 flag のいずれかが 1 の期間、High レベルを出力。 WFG タイマ動作 flag の両方が 0 の期間、Low レベルを出力。
RT デッドタイマモード	100	設定無効	常に Low レベル出力。
PPG デッドタイマモード	111	00	常に Low レベル出力。
		01	RT(0)信号をそのまま出力。
		10	RT(1)信号をそのまま出力。
		11	RT(1)信号と RT(0)信号のいずれかが High レベルの期間、High レベルを出力。 RT(1)信号と RT(0)信号の両方が Low レベルの期間、Low レベルを出力。

* 表中の CH_GATE 信号は、それぞれ WFG-PPG 接続図に示した WFSA:PSEL[1:0]で選択される前の CH10_GATE, CH32_GATE, CH54_GATE を示しています。

表 4-10 RTO 端子の出力内容一覧表

動作モード	WFSA: TMD [2:0]	WFSA: PGEN [1:0]	WFSA: DMOD	RTO(1)信号の出力	RTO(0)信号の出力
スルーモード	000	00	設定無効	RT(1)信号をスルー出力	RT(0)信号をスルー出力
		01		RT(1)信号をスルー出力	CH_PPG 信号をスルー出力
		10		CH_PPG 信号をスルー出力	RT(0)信号をスルー出力
		11		CH_PPG 信号をスルー出力	CH_PPG 信号をスルー出力
RT-PPG モード	001	00	設定無効	RT(1)信号をスルー出力	RT(0)信号をスルー出力
		01		RT(1)信号をスルー出力	(*A) RT(0)信号が Low レベルの期間、Low レベルを出力 RT(0)信号が High レベルの期間、CH_PPG 信号を出力
		10		(*B) RT(1)信号が Low レベルの期間、Low レベルを出力 RT(1)信号が High レベルの期間、CH_PPG 信号を出力	RT(0)信号をスルー出力。
		11		*B と同じ	*A と同じ
タイマ PPG モード	010	00	設定無効	(*D) WFG タイマ動作 flag1 が 0 の期間、Low レベルを出力。 WFG タイマ動作 flag1 が 1 の期間、High レベルを出力	(*C) WFG タイマ動作 flag0 が"0"の期間、Low レベルを出力 WFG タイマ動作 flag0 が"1"の期間、Highh レベルを出力
		01		*D と同じ	(*E) WFG タイマ動作 flag0 が"0"の期間、Low レベルを出力 WFG タイマ動作 flag0 が"1"の期間、CH_PPG 信号を出力
		10		(*F) WFG タイマ動作 flag1 が 0 の期間、Low レベルを出力。 WFG タイマ動作 flag1 が 1 の期間、CH_PPG 信号を出力	*C と同じ
		11		*F と同じ	*E と同じ
RT デッドタイマモード	100	設定無効	設定有効	RT(1)信号の立上りエッジと立下りエッジで WFG タイマを起動し、ノンオーバラップ信号を生成。生成されたノンオーバラップ信号は、WFSA.DMOD[1:0]指定で極性を変更できます。(欄外参照)	
PPG デッドタイマモード	111	設定無効	設定有効	CH_PPG 信号の立上りエッジと立下りエッジで WFG タイマを起動し、ノンオーバラップ信号を生成。生成されたノンオーバラップ信号は、WFSA.DMOD[1:0]指定で極性を変更できます。(欄外参照)	

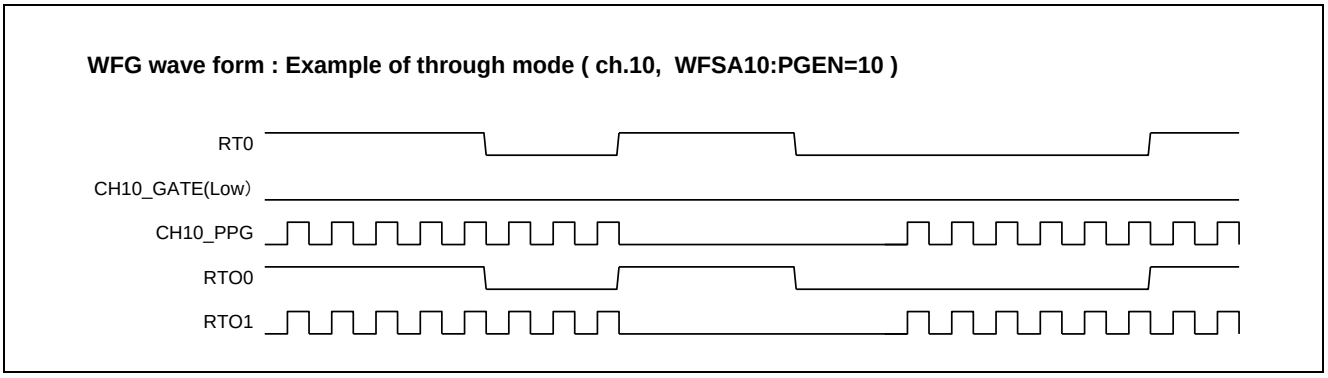
* 表中の CH_PPG 信号は、それぞれ WFG PPG 接続図に示した WFSA:PSEL[1:0]で選択された CH10_PPG, CH32_PPG, CH54_PPG を示しています。
* RT デッドタイマモード、PPG デッドタイマモードの場合にのみ、WFSA.DMOD[1:0]指定で、RTO(0)信号、RTO(1)

信号の出力極性を以下のように変更できます。
WFSA:DMOD[1:0]=00：RTO(0), RTO(1)信号を、それぞれ、その極性のままで出力します。
WFSA:DMOD[1:0]=01：RTO(0), RTO(1)信号を、それぞれ、反転して出力します。
WFSA:DMOD[1:0]=10：RTO(0)信号を反転、RTO(1)信号をその極性のままで出力します。
WFSA:DMOD[1:0]=11：RTO(1)信号を反転、RTO(0)信号をその極性のままで出力します。

■ スルーモード

スルーモードの動作は、以下のようになります(表 4-9, 表 4-10 を参照してください)。
CH_GATE 信号は、常に Low レベル固定出力です。
RTO(1)信号, RTO(0)信号は、PGEN[1:0]の設定により、RT(1)信号, RT(0)信号, CH_PPG 信号をそのままスルー出力します。
図 4-19 に、WFG ch.10 のスルーモード時の動作波形例を示します。この例では、RT0 信号を RTO0 出力に、CH10_PPG を RTO1 にそれぞれスルー出力しています(PPG タイマユニットは、GATE 信号を使用しなくても出力を開始できます)。

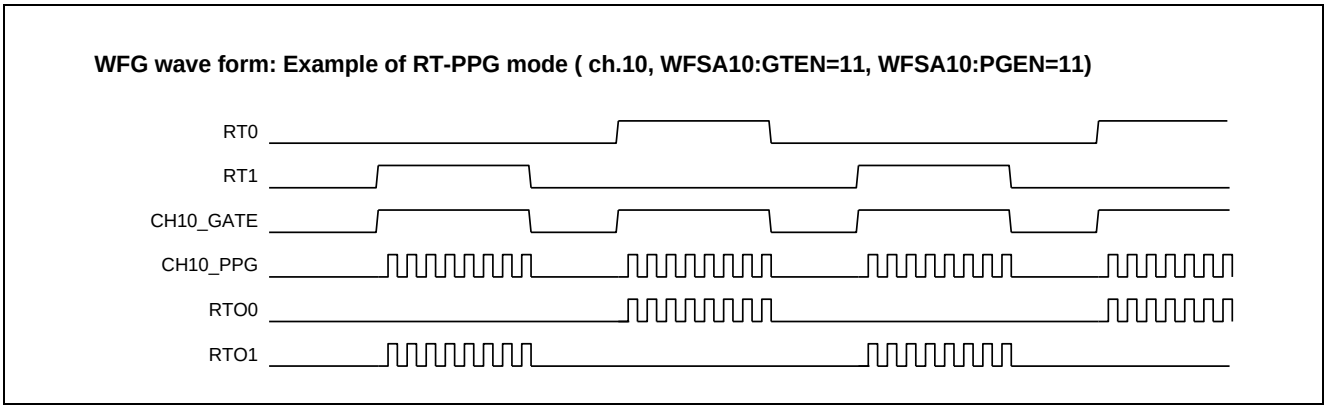
図 4-19 WFG スルーモード動作波形例



■ RT-PPG モード

RT-PPG モードの動作は、以下のようになります(表 4-9, 表 4-10 を参照してください)。
CH_GATE 信号は、GTEN[1:0]の設定により、RT(1)信号, RT(0)信号, それぞれの信号の論理 OR 信号のいずれかを出力します。
RTO(1)信号, RTO(0)信号は、PGEN[1:0]の設定により、RT(1)信号, RT(0)信号, CH_PPG 信号とそれぞれの信号の論理 AND 信号のいずれかを出力します。
図 4-20 に、WFG ch.10 の RT-PPG モード時の動作波形例を示します。この例では、RT1 と RT0 の両方から CH0_GATE 信号の生成を行い、PPG ch.0 の起動を行っています。CH0_PPG 信号の出力をそれぞれ、RTO0, RTO1 に重畳して出力しています。

図 4-20 WFG RT-PPG モード動作波形例



■ タイマ PPG モード

タイマ PPG モードの動作は、以下のようになります(表 4-9, 表 4-10 を参照してください)。

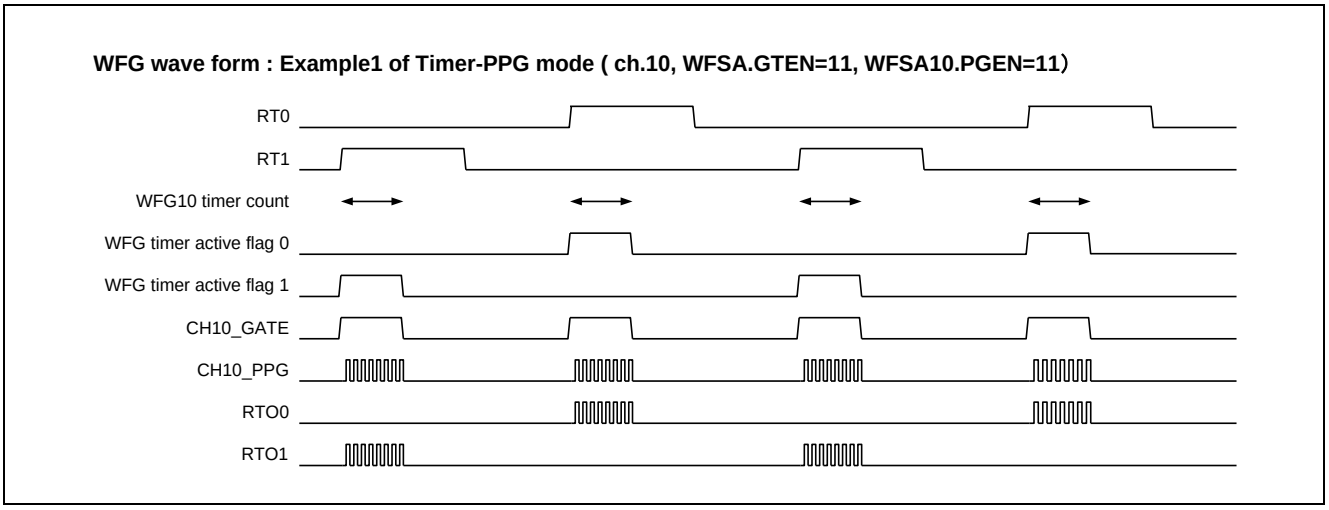
WFG の各チャネル内には、WFG タイマ動作 flag0, WFG タイマ動作 flag1 の 2 個のフラグが存在しています。このモードの場合、これらのフラグを利用した波形を出力します。

CH_GATE 信号は、GTEN[1:0]の設定により、WFG タイマ動作 flag1, WFG タイマ動作 flag0, それぞれの信号の論理 OR 信号のいずれかを出力します。

RTO(1)信号, RTO(0)信号は、PGEN[1:0]の設定により、これら 2 つの動作フラグ, CH_PPG 信号, それぞれの信号の論理 AND 信号のいずれかを出力します。

図 4-21 に、WFG ch.10 のタイマ PPG モード時の動作波形例 1 を示します。

図 4-21 WFG タイマ PPG モード動作波形例 1



各 WFG タイマ動作 flag は、以下のように動作します。

WFG タイマ動作 flag0 は、RT(0)信号の立上りエッジが検出されると、"1"にセットされます。

WFG タイマ動作 flag1 は、RT(1)信号の立上りエッジが検出されると、"1"にセットされます。

WFG タイマは、WFG タイマ動作 flag のいずれかがセットされると WFTM レジスタから初期値をロードし、ダウンカウントを開始します。カウント終了時、両方の WFG タイマ動作 flag を"0"にリセットします。したがって、RT(0)信号, RT(1)信号のパルス幅に関係なく、それぞれの立上りエッジから WFG タイマの周期設定時間分、WFG タイマ動作 flag がセットされることになります。この期間、RTO に CH_PPG 出力を重畳することができるようになります。

WFSA レジスタに書込みを行って、このモードを選択した時点では、各 WFG タイマ動作 flag はリセットされています。モード選択時点では、RT(0)信号, RT(1)信号, CH_PPG 信号の出力レベル状態によらず、RTO(0)信号, RTO(1)信号の出力は Low レベルになります。

図 4-22 に、WFG-ch.10 のタイマ PPG モード時の動作波形例 2 を示します。

図 4-22 WFG タイマ PPG モード動作波形例 2

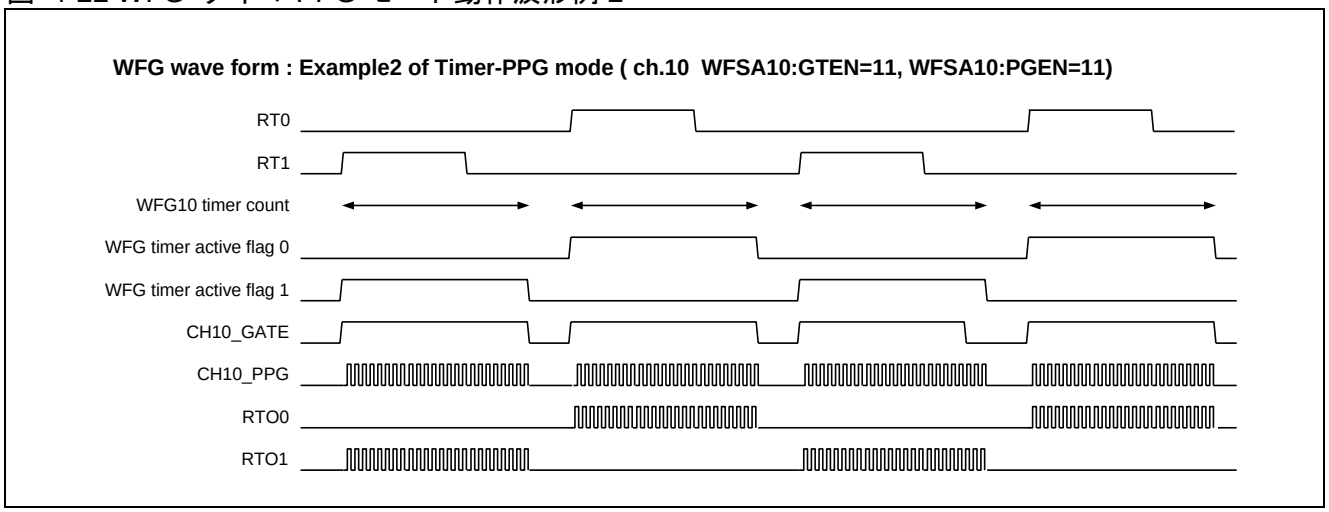


図 4-22 は、WFG タイマの時間設定値(WFTM)を RT0, RT1 のパルス長より長く設定している例です。RT0 信号, RT1 信号は、図 4-21 と同じ信号を入力していますが、タイマ設定時間により、図 4-21 とは違う出力が得られることを示しています。

図 4-23 に、WFG ch.10 のタイマ PPG モード時の動作波形例 3 を示します。

図 4-23 WFG タイマ PPG モード動作波形例 3

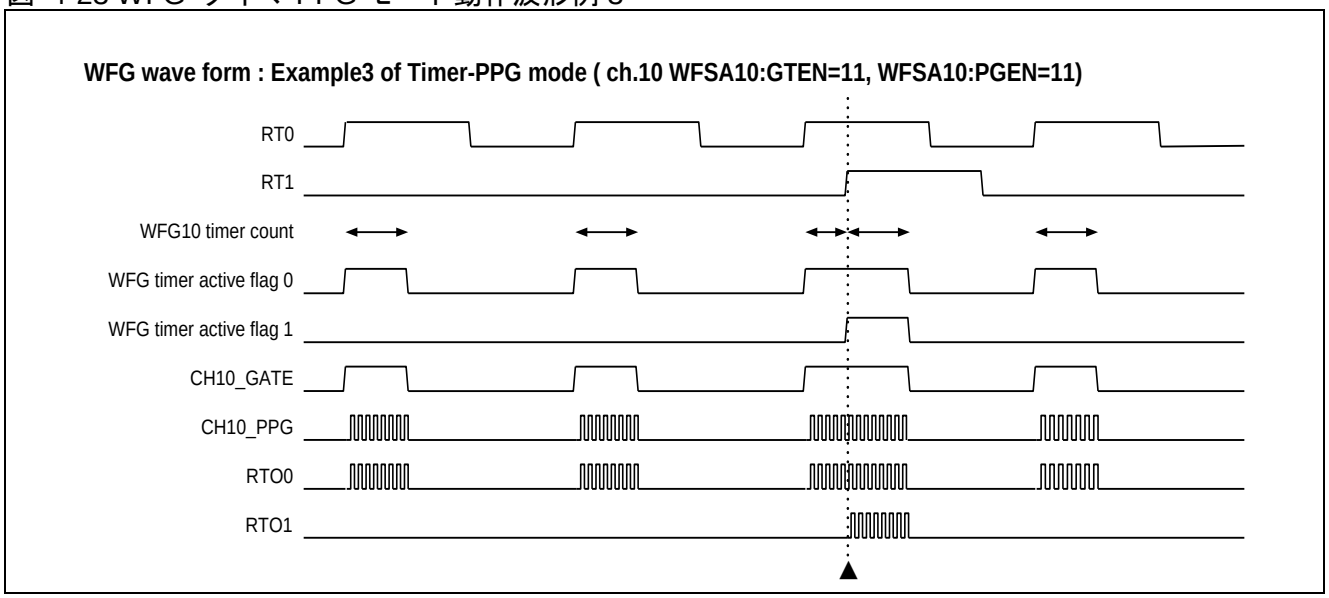


図 4-23 の例は例外的なケースを示しています。図 4-23 の▲の時点では以下の動作が行われています。RT0 信号の立上りエッジで、WFG タイマ動作 flag0 がセットされ、WFG10 タイマが動作しています。この最中に、RT1 信号に立上りエッジが検出され、WFG タイマ動作 flag1 がセットされています。

この場合、WFG10 タイマは初期値を再ロードし、タイマカウントを再度スタートする動作を行います。

各 WFG タイマ動作 flag がリセットされるのは、WFG10 タイマのカウントが終了した時点です。このため、図 4-23 のように WFG タイマ動作 flag0 がセットされている時間は、タイマ設定値より長い時間になります。RTO0, RTO1 には、図 4-23 のような波形出力が得られることになります。

■ RT デッドタイマモード

RT デッドタイマモードの動作は、以下のようになります(表 4-9, 表 4-10 を参照してください)。

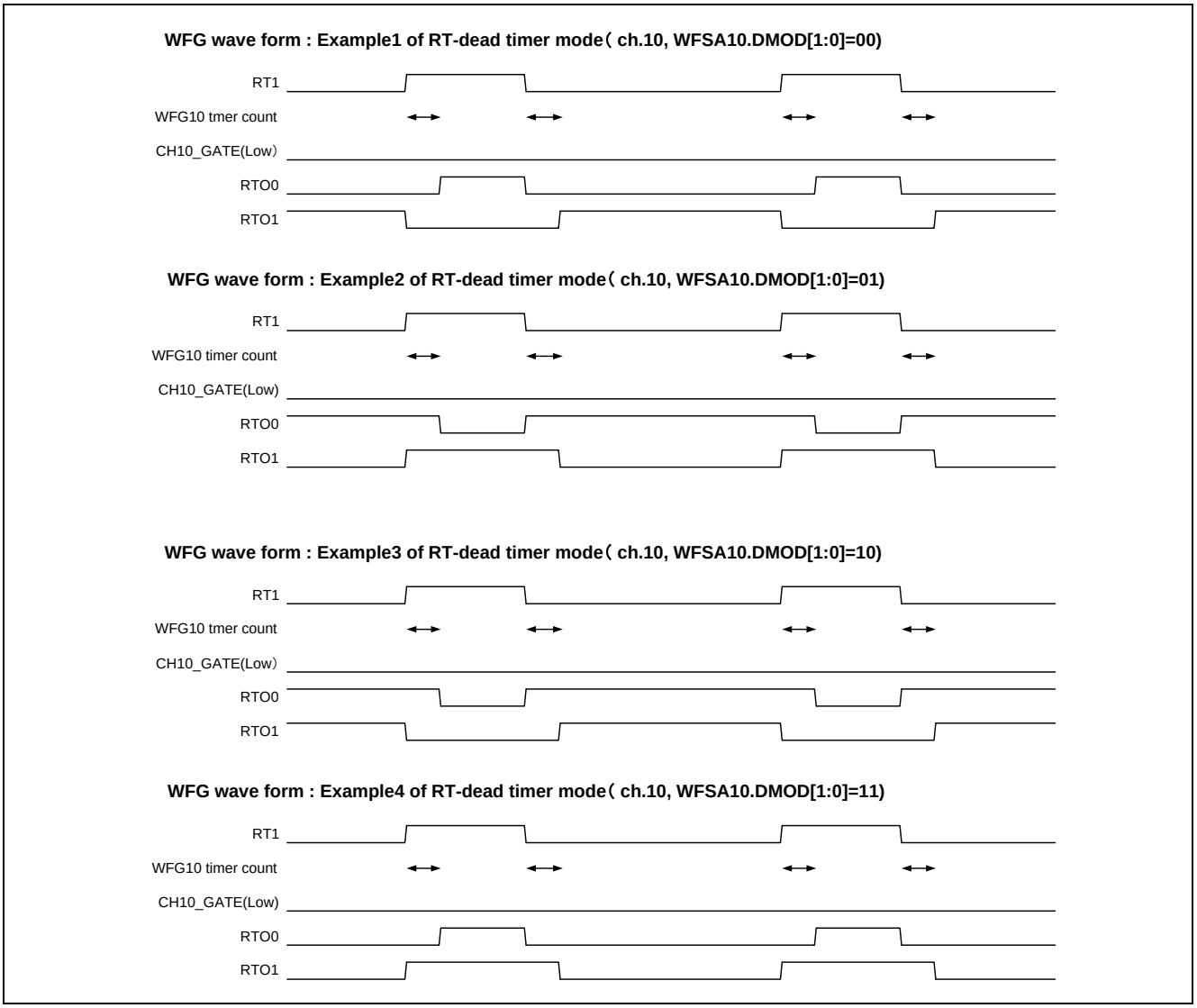
CH_GATE 信号は、常に Low レベル固定出力です。

RTO(1)信号, RTO(0)信号は、RT(1)信号を基準信号として、WFG タイマにより設定されたデッドタイムを持つノンオーバラップ信号出力になります。

このモードの場合、RT(0)信号と CH_PPG 信号は使用しません。このモードは、OCU の RT(1)出力の出力極性が Active High であることを前提としています。RTO(0), RTO(1)の出力極性は WFSA:DMOD で選択できます。

図 4-24 に、WFG ch.10 の RT デッドタイマモードの動作波形例 1 を示します。

図 4-24 WFG RT デッドタイマモード動作波形例 1



WFSA.DMOD=00 の設定で、RTO(0)信号、RTO(1)信号に、通常極性(Active High)を選択している場合、以下のような動作になります。

RT(1)信号の立上りエッジが検出されると、RTO(1)信号出力が Low レベルとなり、WFG タイマが起動します。その後、WFG タイマ設定値分の遅延時間後、RTO(0)信号が High レベルになります。
RT(1)信号の立下りエッジが検出されると、RTO(0)信号出力が Low レベルとなり、WFG タイマが起動します。その後、WFG タイマ設定値分の遅延時間後、RTO(1)信号が High レベルになります。
WFSA レジスタに書込みを行って、このモードを選択した時点では、RTO(0)信号は、RT(1)信号と同じ出力レベル、RTO(1)信号は、RT(1)信号と反対の出力レベルになります。
WFSA:DMOD=01,10,11 の設定により、図 4-24 のように RTO(0)信号、RTO(1)の出力極性を選択できます。DMOD=00,01 は、IGBT や N-Ch ドライバ×2 など同一極性ドライバを使う場合に使用します。DMOD=10,11 は、MOSFET(N-Ch＋P-Ch)など極性の異なるドライバを使う場合に使用します。接続されるドライバの仕様を確認して設定してください。

＜注意事項＞

図 4-25 に示すような外部回路を接続し、RT デッドタイマモード（WFSA.TMD=100）、DMOD=10 等の誤った設定を行った場合、電源-GND 間の短絡が発生するので注意してください。

図 4-25 外部接続例

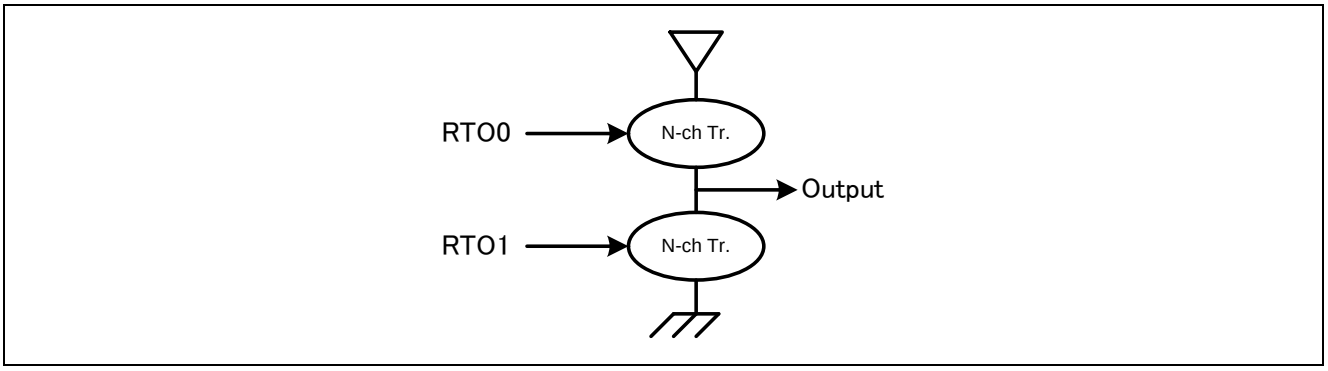


図 4-26 に、WFG ch.10 の RT デッドタイマモードの動作波形例 2 を示します。

図 4-26 WFG RT デッドタイマモード動作波形例 2

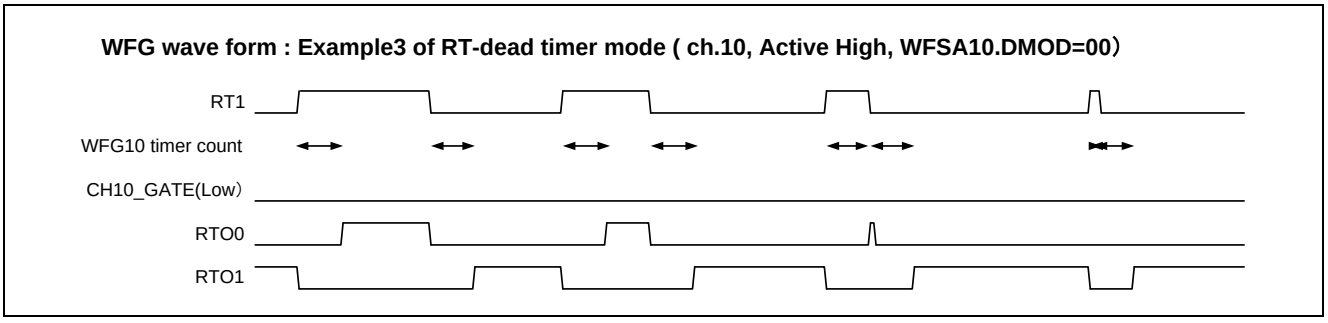


図 4-26 は、DMOD=00 通常極性(Active High)の場合を示しています。図 4-26 の最後の RT1 信号は、WFTM レジスタにて設定されているデッドタイムより短い時間のパルスが入力されています。この場合、WFG10 タイマは、RT1 信号の立上りエッジでカウントを開始し、次の立下りエッジで初期値をロードしてカウントを再開する動作を行います。従って、RTO0 にはパルスが出力されなくなります。RTO1 は、RT1 の立下り後、タイマ設定時間が経過してから、High レベルになります。
DMOD=01,10,11 の場合も上記と同様に、RTO(0)にパルスが出力されなくなります。

■ PPG デッドタイマモード

PPG デッドタイマモードの動作は、以下のようになります(表 4-9, 表 4-10 を参照してください)。
CH_GATE 信号は、GTEN[1:0]の設定により、RT(1)信号, RT(0)信号, 論理 OR 信号のいずれかを出力します。
RTO(1)信号, RTO(0)信号は、CH_PPG 信号を基準信号として、WFG タイマにより設定されたデッドタイムを持つノンオーバラップ信号出力になります。
このモードの場合、RT(0)信号, RT(1)信号は、CH_GATE 信号の出力のみに使用されます。
図 4-27 に、WFG ch.10 の PPG デッドタイマモードの動作波形例 1 を示します。

図 4-27 WFG PPG デッドタイマモードの動作波形例 1

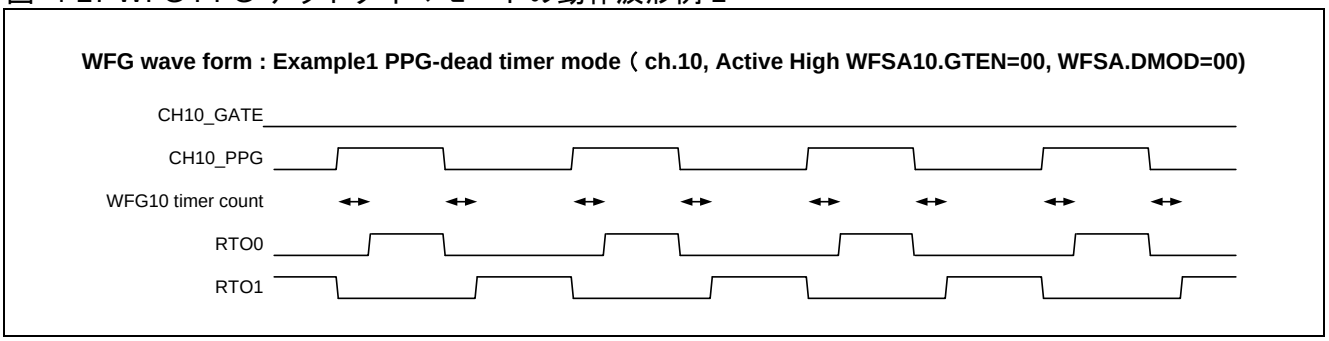


図 4-27 は、WFSA:DMOD=00 で、通常極性(Active High)を選択した場合の例です。図 4-27 のように、CH_PPG 信号の立上りエッジ, 立下りエッジにより、WFG タイマが起動し、WFTM レジスタ設定値分遅延時間が RTO(0)信号, RTO(1)信号に適用されたノンオーバラップ信号が出力されます。
WFSA レジスタに書込みを行って、このモードを選択した時点では、RTO(0)信号は、CH_PPG 信号と同じ出力レベル、RTO(1)信号は、CH_PPG 信号と反対の出力レベルが出力されます。
図 4-28 に、WFG ch.10 の PPG デッドタイマモードの動作波形例 2 を示します。

図 4-28 WFG PPG デッドタイマモードの動作波形例 2

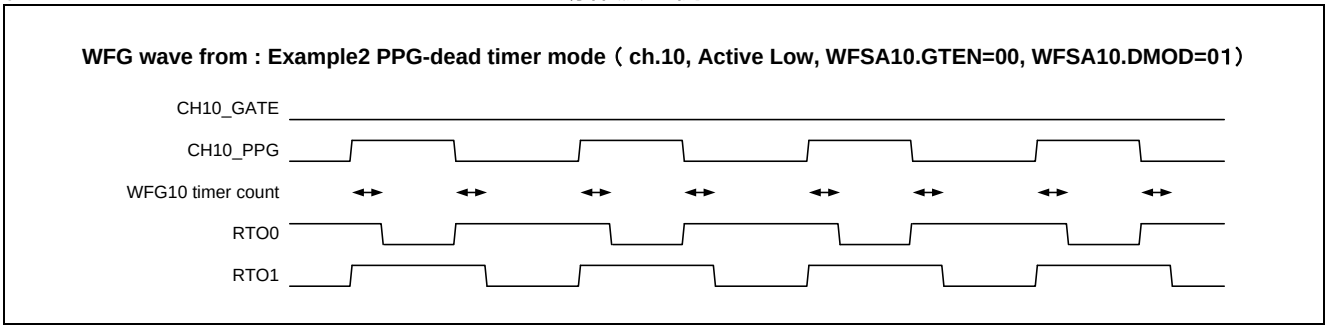


図 4-28 は、WFSA:DMOD=01 で、反転極性(Activator)を選択した場合の例です。図 4-28 のように、RTO(0)信号, RTO(1)信号の出力レベルがそれぞれ反転したノンオーバラップ信号が出力されます。
WFSA レジスタに書込みを行って、このモードを選択した時点では、RTO(0)信号は、CH_PPG 信号と反対の出力レベル、RTO(1)信号は、CH_PPG 信号と同じ出力レベルが出力されます。
CH_PPG 信号のパルス幅が WFG タイマより短い場合、図 4-26 と同様に RTO(0)にパルスが出力されなくなります。

5. 多機能タイマ入出力信号詳細タイミング

多機能タイマの入出力信号の詳細タイミングチャートを記載します。

5.1 外部入力クロック使用時の FRT 動作詳細タイミング

5.2 OCU,WFG 動作詳細タイミング

5.3 ADCMP 動作詳細タイミング

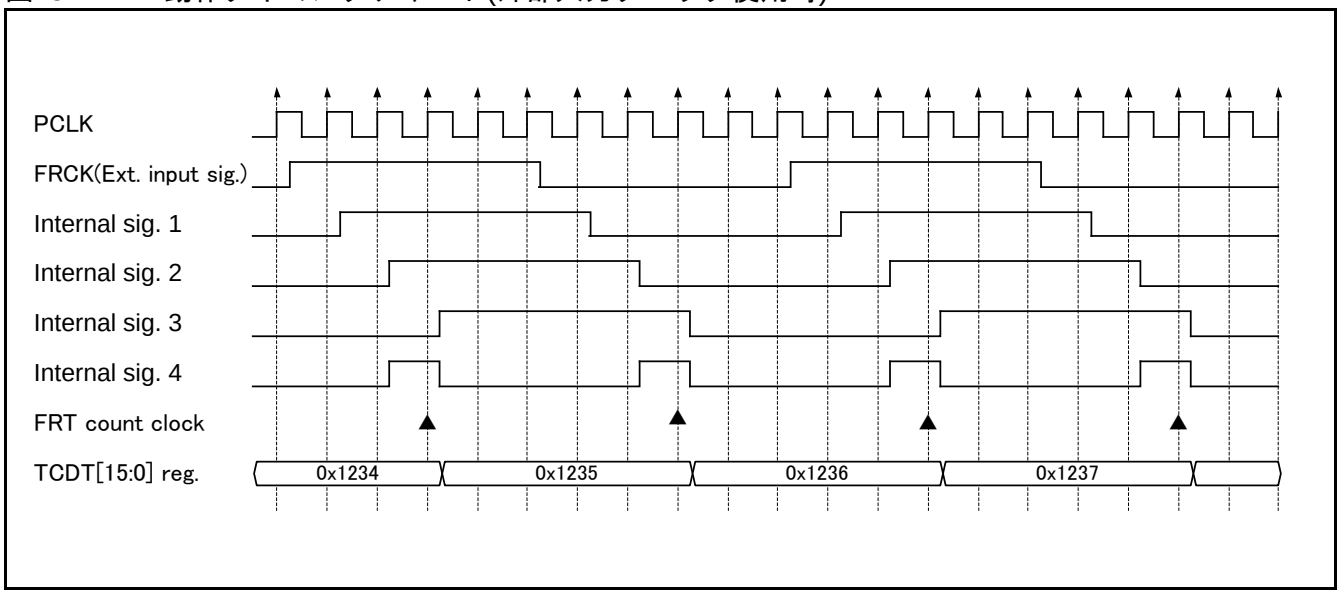
5.4 ICU 動作詳細タイミング

5.5 DTTIX 入力詳細タイミング

5.1. 外部入力クロック使用時の FRT 動作詳細タイミング

図 5-1 に、外部入力クロック（FRCK）を使用した場合の FRT カウント動作のタイミングチャートを示します。

図 5-1 FRT 動作タイミングチャート(外部入力クロック使用時)



5.2. OCU,WFG 動作詳細タイミング

図 5-2 ,図 5-3 に、OCU、WFG の動作タイミングチャートを示します。OCU にて、一致検出した場合の、IOP レジスタ、RTx 出力信号、および WFG の RTOx 出力信号変化を示しています。
図 5-2 は、WFG にてスルーモード（WFSA.TMD=000）を選択した場合の例です。FRT は PCLK の分周クロックでカウント動作します。図は 4 分周（TCSA.CLK[3:0]=0010）の例です。
WFG の RTOx 信号は、OCU の RTx 信号から、PCLK で 1 サイクル後に変化します。RTOx 信号は、マイコンの外部出力端子です。外部出力端子の負荷容量に応じ遅延が生じます。

図 5-2 OCU-WFG 動作タイミングチャート（WFG スルーモード）

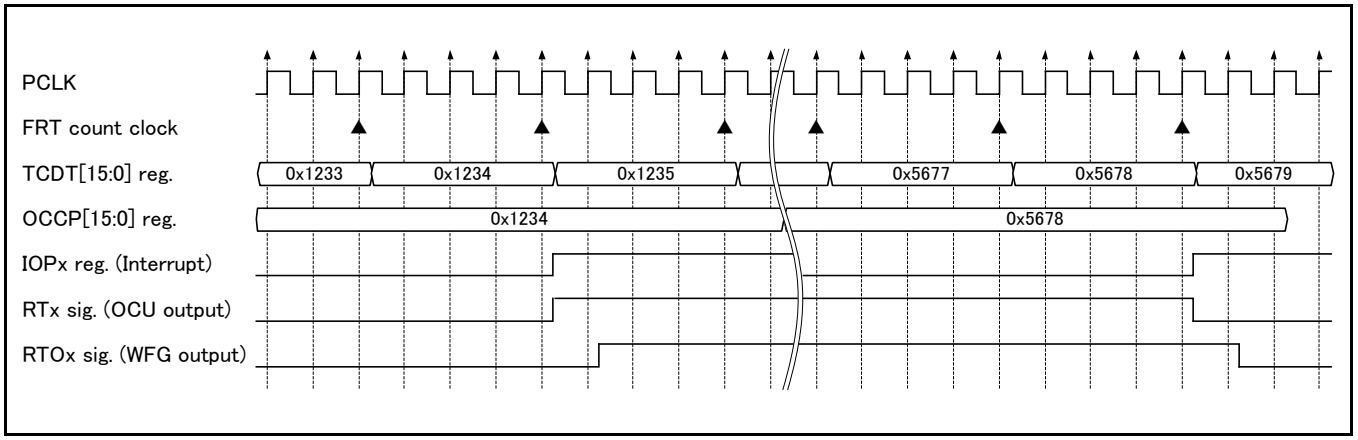
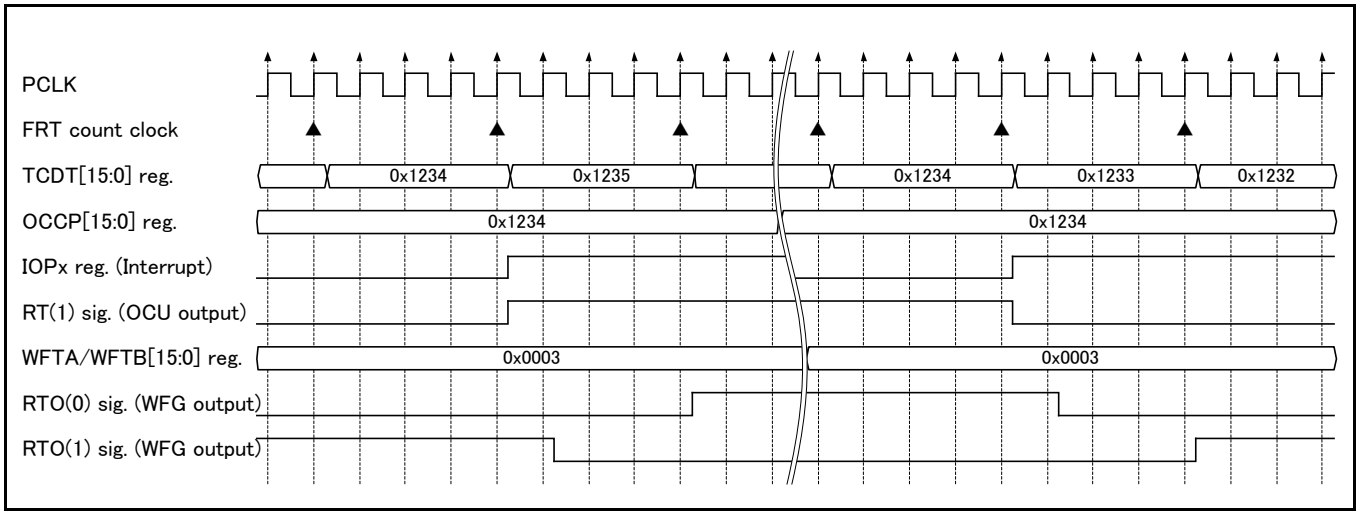


図 5-3 は、WFG にて RT デッドタイマモード（WFSA.TMD=100）を選択した場合の例です。
WFTA/WFTB=0x0003、WFSA.DCK=000 の指定で、3*PCLK 時間分のデッドタイムが挿入されている例を示します。
WFG の RTO(0)、RTO(1)信号は、それぞれ、デッドタイムが挿入されない場合、OCU の RT(1)信号から、PCLK で 1 サイクル後に変化します。デッドタイムが挿入される場合は、PCLK で 1 サイクル後、指定したデッドタイム時間後に出力が変化します。

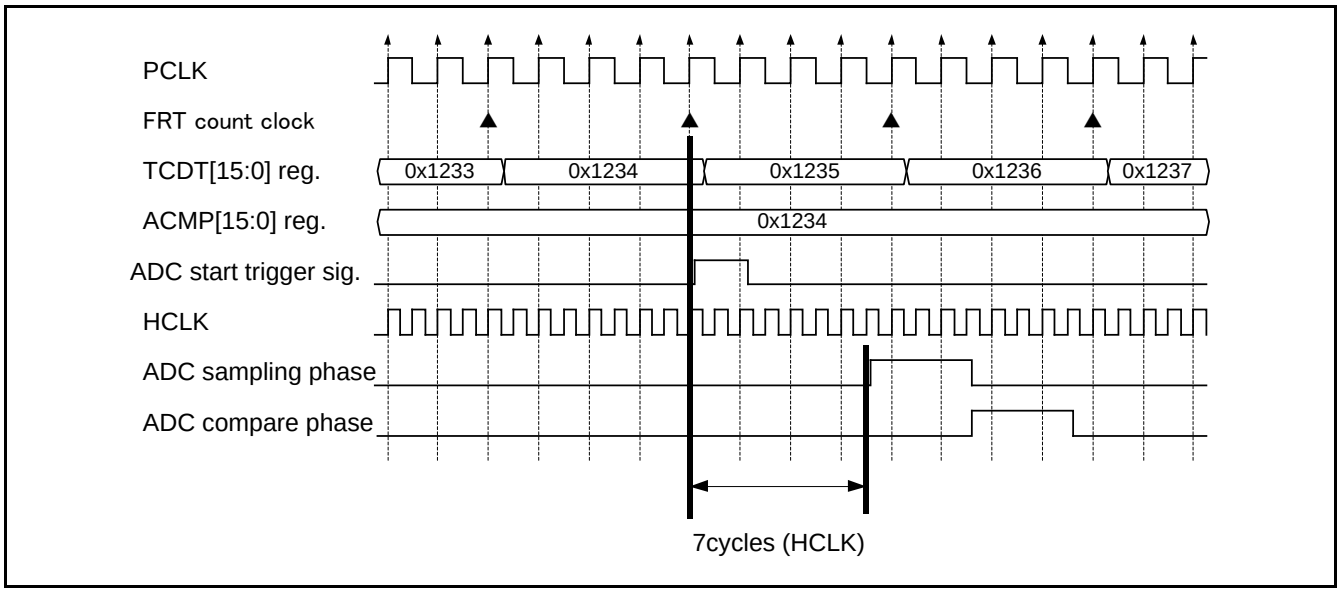
図 5-3 OCU-WFG 動作タイミングチャート（WFG RT デッドタイマモード）



5.3. ADCMP 動作詳細タイミング

図 5-4 に、ADCMP の動作タイミングチャートを示します。ADCMP にて、FRT カウンター致検出から、ADC 起動開始までの動作タイミングを示しています。FRT カウントクロックの一致検出から ADC の変換開始まで、HCLK で 7 サイクル分の時間を要します。ADC のサンプリング時間指定、コンペア時間指定は、ADC 側で設定を行います。

図 5-4 ADCMP 動作タイミングチャート



5.4. ICU 動作詳細タイミング

図 5-5 , 図 5-6 に、ICU の動作のタイミングチャートを示します。外部入力端子 (IC x) の信号変化から、ICCP レジスタに FRT カウント値がキャプチャされる動作と、ICP レジスタ（割り込みフラグ）がセットされる動作を記載しています。キャプチャタイミングは、FRT のカウントクロックの影響を受けず、入力信号の変化タイミングのみで決定します。

図 5-5 ICU 動作タイミングチャート（入力信号立上り）

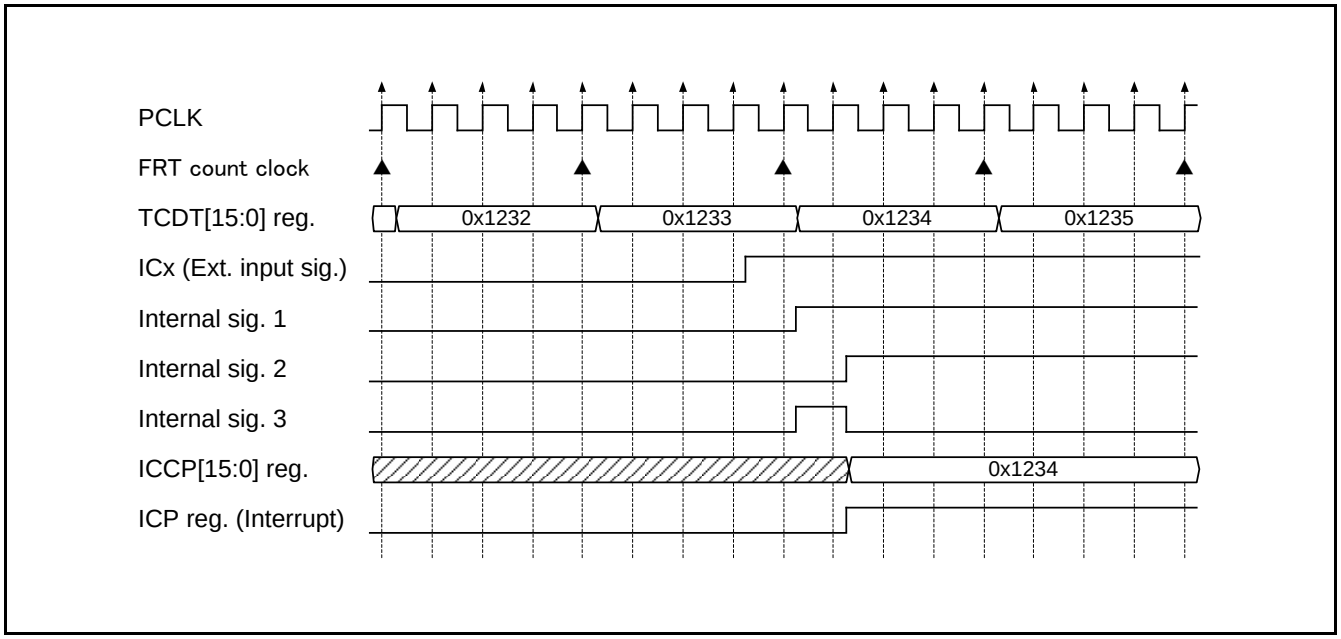
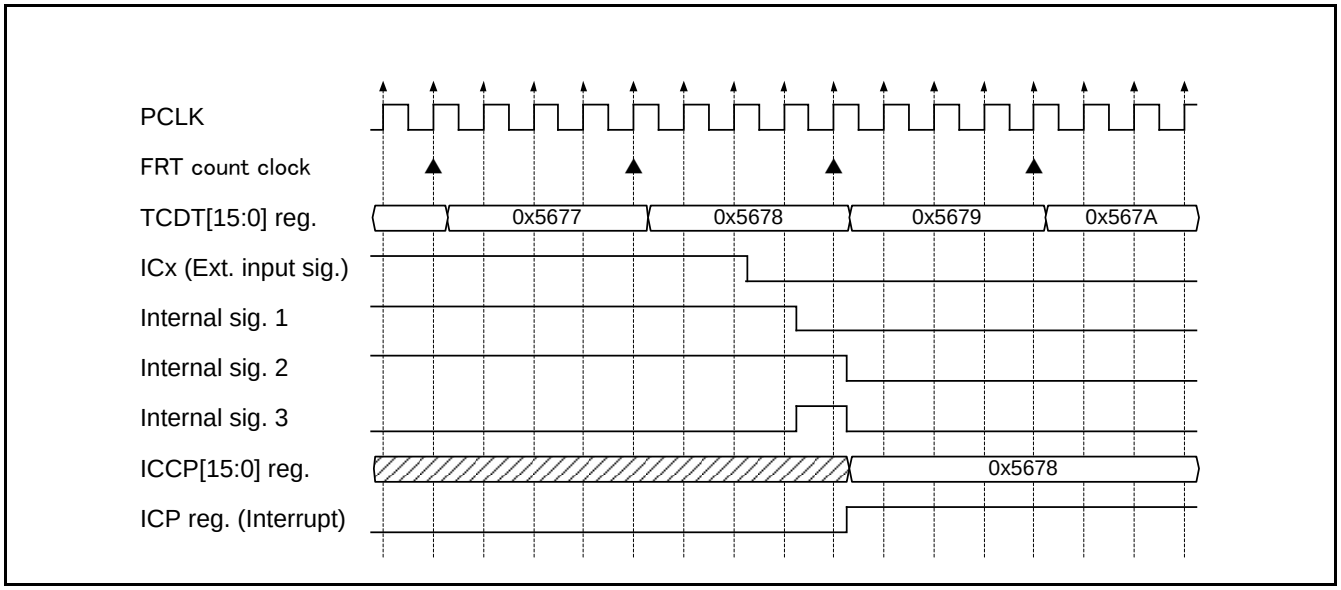


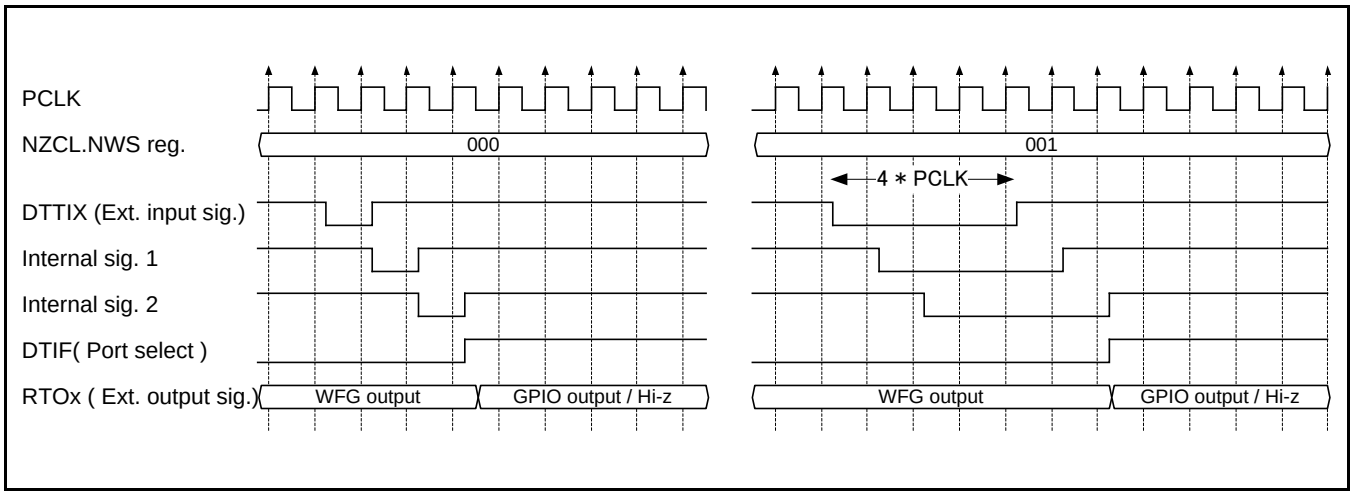
図 5-6 ICU 動作タイミングチャート（入力信号立下り）



5.5. DTTIX 入力詳細タイミング

図 5-7 に、DTTIX 信号からデジタルノイズフィルタ経由で、DTIF 割込みにより、I/O ポート出力が切り替わるまでのタイミングチャートを示します。

図 5-7 DTTIX-DTIF タイミングチャート



6. 使用上の注意

多機能タイマの使用上の注意について説明します。

6.1 複数 MFT 搭載製品の接続について
6.2 イベント検出レジスタと割込みの取り扱いについて

6.1. 複数 MFT 搭載製品の接続について

複数 MFT 搭載製品の接続について説明します。

多機能タイマユニットを複数搭載している製品の場合、多機能タイマの入出力信号の接続がそれぞれのユニットにより異なります。
本節では、多機能タイマユニットごとに接続の異なる項目について説明します。

6.1.1. OCU, ICU の接続 FRT の選択

OCU, ICU は、ほかの多機能タイマユニットの FRT を選択できる構成になっています。多機能タイマユニット間の FRT の接続、および選択方法の説明をします。

■ MFT2 個搭載製品

図 6-1 に多機能タイマユニット 2 個搭載品の多機能タイマユニット間の FRT 接続図を示します。

図 6-1 多機能タイマユニット間の FRT 接続図(多機能タイマユニット 2 個搭載品)

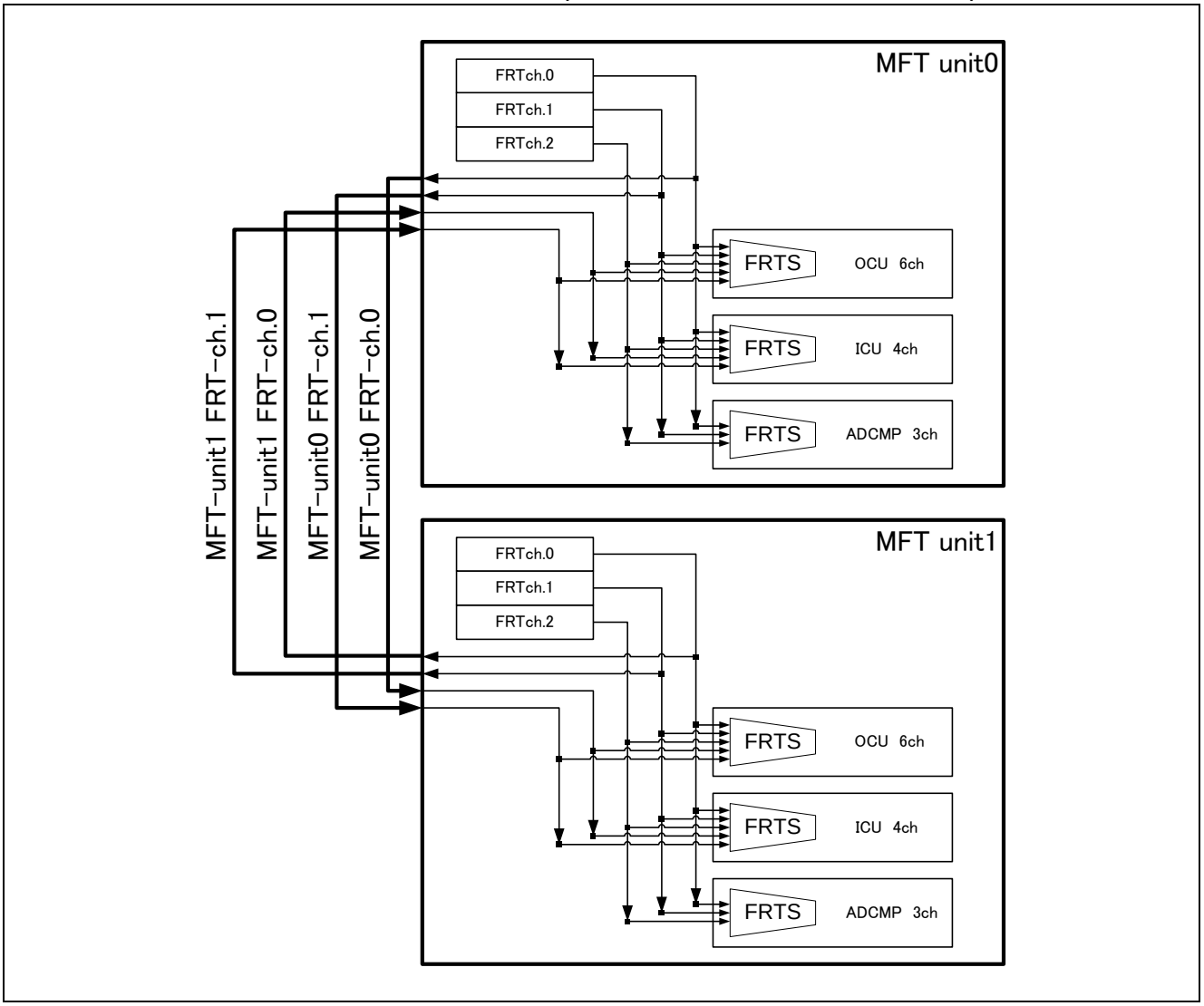


表 6-1 に MFT unit0 の OCFS, ICFS レジスタの設定値と接続先を示します。
表 6-2 に MFT unit1 の OCFS, ICFS レジスタの設定値と接続先を示します。

表 6-1 MFT unit0 の OCFS, ICFS レジスタ設定値(多機能タイマユニット 2 個搭載品)

レジスタ名称		設定値	機能
OCFS	FSO0[3:0]	0011	OCU ch.(0)に MFT unti1 の FRT ch.0 を接続します。
		0100	OCU ch.(0)に MFT unti1 の FRT ch.1 を接続します。
	FSO1[3:0]	0011	OCU ch.(1)に MFT unti1 の FRT ch.0 を接続します。
		0100	OCU ch.(1)に MFT unti1 の FRT ch.1 を接続します。
ICFS	FSI0[3:0]	0011	ICU ch.(0)に MFT unti1 の FRT ch.0 を接続します。
		0100	ICU ch.(0)に MFT unti1 の FRT ch.1 を接続します。
	FSI1[3:0]	0011	ICU ch.(1)に MFT unti1 の FRT ch.0 を接続します。
		0100	ICU ch.(1)に MFT unti1 の FRT ch.1 を接続します。

表 6-2 MFT unit1 の OCFS, ICFS レジスタの設定値(多機能タイマユニット 2 個搭載品)

レジスタ名称		設定値	機能
OCFS	FSO0[3:0]	0011	OCU ch.(0)に MFT unti0 の FRT ch.0 を接続します。
		0100	OCU ch.(0)に MFT unti0 の FRT ch.1 を接続します。
	FSO1[3:0]	0011	OCU ch.(1)に MFT unti0 の FRT ch.0 を接続します。
		0100	OCU ch.(1)に MFT unti0 の FRT ch.1 を接続します。
ICFS	FSI0[3:0]	0011	ICU ch.(0)に MFT unti0 の FRT ch.0 を接続します。
		0100	ICU ch.(0)に MFT unti0 の FRT ch.1 を接続します。
	FSI1[3:0]	0011	ICU ch.(1)に MFT unti0 の FRT ch.0 を接続します。
		0100	ICU ch.(1)に MFT unti0 の FRT ch.1 を接続します。

■ MFT3 個搭載製品

図 6-2 に多機能タイマユニット 3 個搭載品の多機能タイマユニット間の FRT 接続図を示します。

図 6-2 多機能タイマユニット間の FRT 接続図(多機能タイマユニット 3 個搭載品)

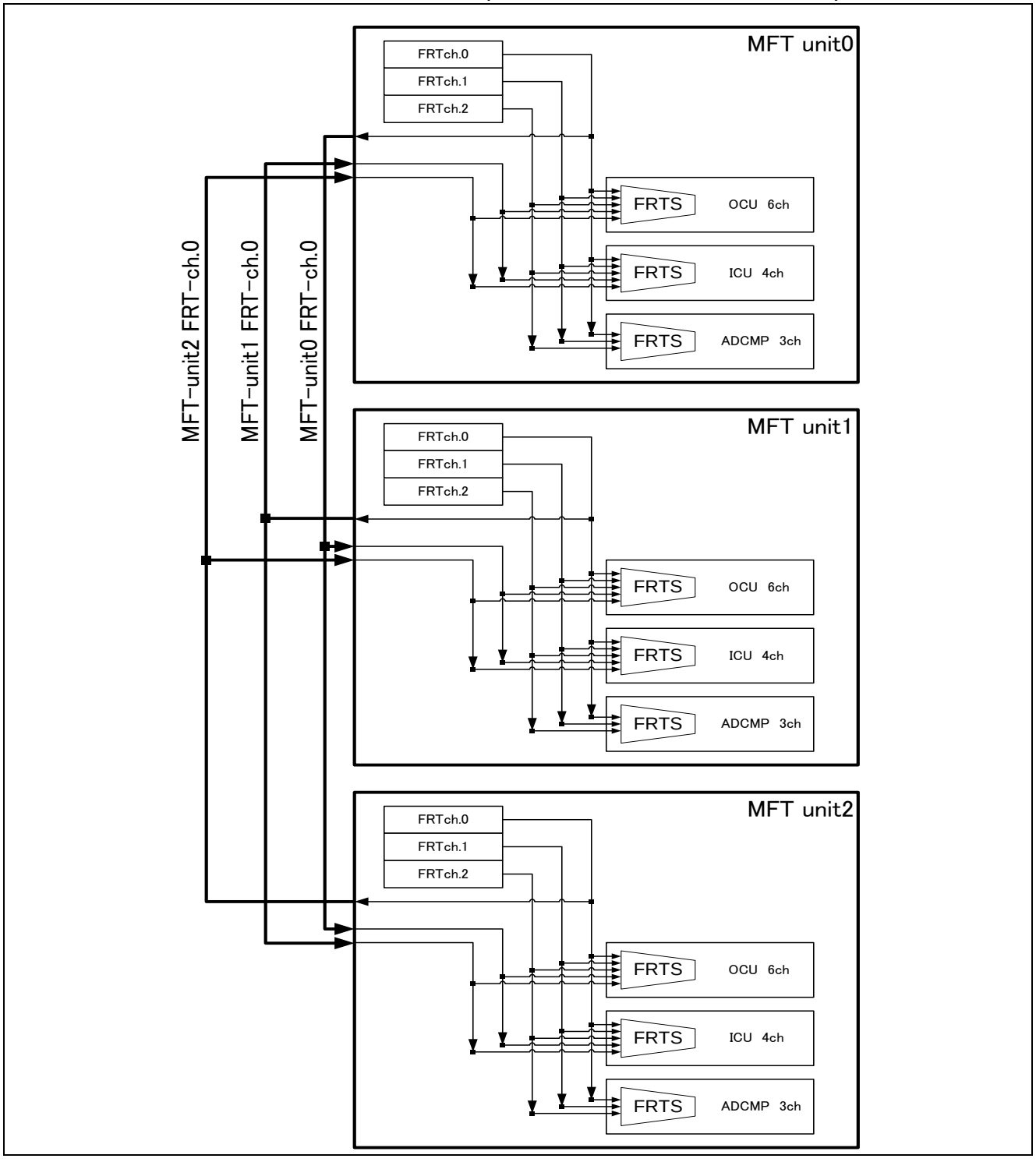


表 6-3 に MFT unit0 の OCFS, ICFS レジスタの設定値と接続先を示します。

表 6-4 に MFT unit1 の OCFS, ICFS レジスタの設定値と接続先を示します。

表 6-4 に MFT unit2 の OCFS, ICFS レジスタの設定値と接続先を示します。

表 6-3 MFT unit0 の OCFS, ICFS レジスタ設定値(多機能タイマユニット 3 個搭載品)

レジスタ名称		設定値	機能
OCFS	FSO0[3:0]	0011	OCU ch.(0)に MFT unti1 の FRT ch.0 を接続します。
		0100	OCU ch.(0)に MFT unti2 の FRT ch.0 を接続します。
	FSO1[3:0]	0011	OCU ch.(1)に MFT unti1 の FRT ch.0 を接続します。
		0100	OCU ch.(1)に MFT unti2 の FRT ch.0 を接続します。
ICFS	FSI0[3:0]	0011	ICU ch.(0)に MFT unti1 の FRT ch.0 を接続します。
		0100	ICU ch.(0)に MFT unti2 の FRT ch.0 を接続します。
	FSI1[3:0]	0011	ICU ch.(1)に MFT unti1 の FRT ch.0 を接続します。
		0100	ICU ch.(1)に MFT unti2 の FRT ch.0 を接続します。

表 6-4 MFT unit1 の OCFS, ICFS レジスタの設定値(多機能タイマユニット 3 個搭載品)

レジスタ名称		設定値	機能
OCFS	FSO0[3:0]	0011	OCU ch.(0)に MFT unti0 の FRT ch.0 を接続します。
		0100	OCU ch.(0)に MFT unti2 の FRT ch.0 を接続します。
	FSO1[3:0]	0011	OCU ch.(1)に MFT unti0 の FRT ch.0 を接続します。
		0100	OCU ch.(1)に MFT unti2 の FRT ch.0 を接続します。
ICFS	FSI0[3:0]	0011	ICU ch.(0)に MFT unti0 の FRT ch.0 を接続します。
		0100	ICU ch.(0)に MFT unti2 の FRT ch.0 を接続します。
	FSI1[3:0]	0011	ICU ch.(1)に MFT unti0 の FRT ch.0 を接続します。
		0100	ICU ch.(1)に MFT unti2 の FRT ch.0 を接続します。

表 6-5 MFT unit2 の OCFS, ICFS レジスタの設定値(多機能タイマユニット 3 個搭載品)

レジスタ名称		設定値	機能
OCFS	FSO0[3:0]	0011	OCU ch.(0)に MFT unti0 の FRT ch.0 を接続します。
		0100	OCU ch.(0)に MFT unti1 の FRT ch.0 を接続します。
	FSO1[3:0]	0011	OCU ch.(1)に MFT unti0 の FRT ch.0 を接続します。
		0100	OCU ch.(1)に MFT unti1 の FRT ch.0 を接続します。
ICFS	FSI0[3:0]	0011	ICU ch.(0)に MFT unti0 の FRT ch.0 を接続します。
		0100	ICU ch.(0)に MFT unti1 の FRT ch.0 を接続します。
	FSI1[3:0]	0011	ICU ch.(1)に MFT unti0 の FRT ch.0 を接続します。
		0100	ICU ch.(1)に MFT unti1 の FRT ch.0 を接続します。

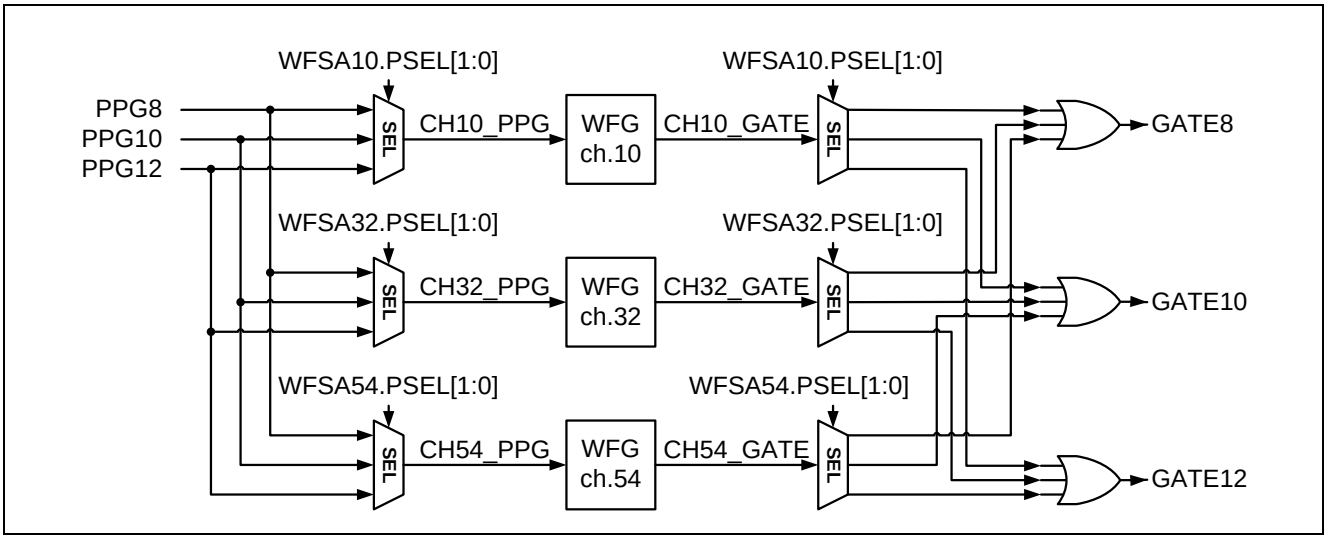
6.1.2. WFG に接続する PPG タイマユニット

WFG に接続する PPG タイマユニットは、多機能タイマユニットごとに異なります。PPG タイマユニットの接続、および選択方法を説明します。

■ MFT unit1

図 6-3 のように、MFT unit1 の WFG には、PPG タイマユニット ch.8, ch.10, ch.12 が接続されています。

図 6-3 MFT unit1 における WFG-PPG 接続図



MFT unit1 内の WFG の場合、PSEL[1:0]ビットの設定値により、以下の選択が行われます。

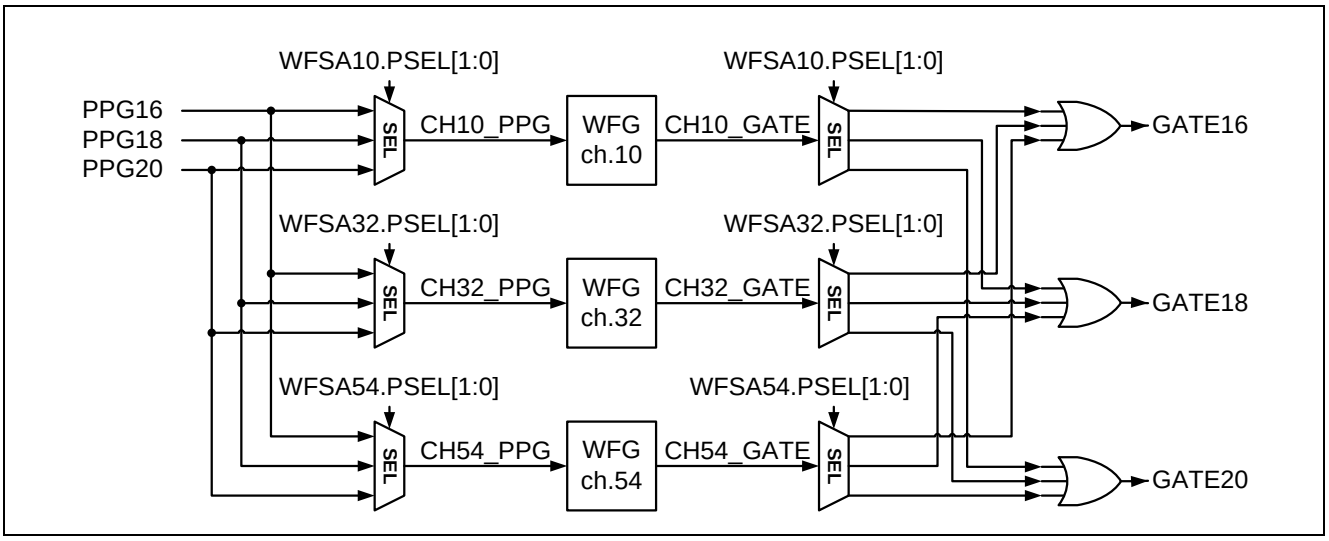
[bit9:8] PSEL[1:0]

処理	値	機能
書込み	00	GATE 信号の出力先を PPG タイマユニット ch.8 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.8 に設定します。
	01	GATE 信号の出力先を PPG タイマユニット ch.10 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.10 に設定します。
	10	GATE 信号の出力先を PPG タイマユニット ch.12 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.12 に設定します。
	11	設定禁止
読出し	-	レジスタの設定値を読み出します。

■ MFT unit2

図 6-4 のように、MFT unit2 の WFG には、PPG タイマユニット ch.16, ch.18, ch.20 が接続されています。

図 6-4 MFT unit2 における WFG-PPG 接続図



MFT unit2 内の WFG の場合、PSEL[1:0]ビットの設定値により、以下の選択が行われます。

[bit9:8] PSEL[1:0]

処理	値	機能
書込み	00	GATE 信号の出力先を PPG タイマユニット ch.16 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.16 に設定します。
	01	GATE 信号の出力先を PPG タイマユニット ch.18 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.18 に設定します。
	10	GATE 信号の出力先を PPG タイマユニット ch.20 に設定します。 PPG 信号の入力元を PPG タイマユニット ch.20 に設定します。
	11	設定禁止
読出し	-	レジスタの設定値を読み出します。

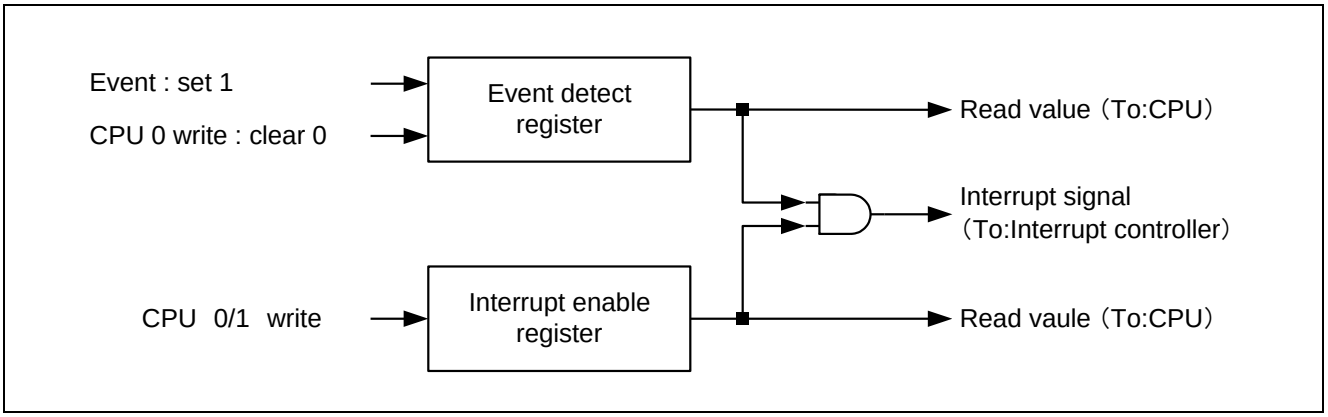
6.2. イベント検出レジスタと割込みの取り扱いについて

多機能タイマユニット内のイベント検出レジスタ，割込み関連の回路の動作，制御に関する注意事項について説明します。

■ 回路の構成

図 6-5 に割込み信号の生成回路の構成を示します。

図 6-5 割込み信号の生成回路の構成



・イベント検出レジスタ
各機能ブロックには、特定のイベント(例えば ICU で入力信号の立上りエッジが検出されたことなど)が発生したことを CPU に通知するためのイベント検出レジスタがあります。このレジスタは、該当イベントが発生していない状態では値が"0"です。イベントが発生した時点で"1"が設定されます。

・割込み許可レジスタ
上記のイベント発生を割込みとして、CPU に通知するか、しないかを選択するための割込み許可レジスタがあります。図 6-5 に示すように、イベント検出レジスタの値と割込み許可レジスタの値の論理 AND が割込み信号として、割込みコントローラ(NVIC)へ接続されます。

・各レジスタの書込み，読出しについて
イベント検出レジスタは、割込み許可レジスタの値に関係なく常に CPU から読み出せます。
"0"書込みによるクリアはできますが、"1"書込みによるセットはできません。割込み許可レジスタは、CPU から任意値の設定が可能、読出し可能なレジスタです。

■ 回路の動作

・割込み許可レジスタを 0(割込み禁止)とした場合の動作
イベント発生時、イベント検出レジスタに"1"がセットされても、割込みが発生しません。この場合、CPU から定期的にイベント検出レジスタの読出しを行うことで、イベント発生を認識できます。

・割込み許可レジスタを 1(割込み許可)とした場合の動作
イベント発生時、イベント検出レジスタに"1"が設定された時点で、割込み信号がアサートされ、割込みが発生します。CPU は割込みによりイベント発生を認識できます。

■ イベント検出レジスタのクリア

イベント検出レジスタは、通常、自動ではクリアされません。イベント検出レジスタに"1"がセットされた後、その次のイベント発生を認識するためには、CPU からイベント検出レジスタをクリアしてください。CPU からクリアを行わない場合、CPU は以降のイベント発生を認識できなくなります。

■ 割込み処理からの復帰

割込み信号を利用して、割込み処理を行った場合、割込み処理から復帰する際には、イベント検出レジスタをクリアして、割込み信号をディアサートしてから、割込み復帰する必要があります。
割込み信号をディアサートせずに、割込み復帰した場合、処理は再度割込み処理に移行するため、割込み処理から抜けられなくなります。

■ イベント検出レジスタへの書込み値について

イベント検出レジスタの値は、ライト・リード時で以下の意味があります。

- "0"をライト：レジスタのクリアを行う。
- "1"をライト：何も行わない
- "0"をリード：イベント発生なし
- "1"をリード：イベント発生あり

イベント検出レジスタは上記の構成のため、CPU からイベント検出レジスタの値の読出しを行い、その値をそのまま書き戻すことは、通常はできません。これは、以下の理由によります。

ある時点で、イベント検出レジスタから"0"が読み出せた場合、その時点では、イベントが発生していない状態を示しています。次に、イベント検出レジスタに値をそのまま書き戻すこと("0"を書き込む)は、イベント検出レジスタに対し、クリアを指示することです。CPU から読出しを行い、書き戻すまでの間にイベント発生があった場合、レジスタがクリアされてしまい、そのイベントを認識できなくなるためです。

上記理由により、イベント検出レジスタに対し書込みを行う場合は、レジスタクリアを意図しているとき以外は、常に"1"を書き込む(何も行わない)必要があります。以下に例を示します。

ICSA10 レジスタは、8 ビット幅のレジスタで以下のような構成です。

bit	7	6	5	4	3	2	1	0
Field	ICP1	ICP0	ICE1	ICE0	EG1[1:0]		EG0[1:0]	

ICP1 レジスタ, ICP0 レジスタは、それぞれ ICU-ch.1, ICU-ch.0 でエッジ検出のイベントを通知するイベント検出レジスタです。

このレジスタから、ある時点で、"01111111"という値が読み出せたとします。この場合、ch.0 では、有効エッジが検出されたこと(ICP0=1)を示し、ch.1 では、有効エッジが検出されていないこと(ICP1=0)を示します。

ここで、ICP0 レジスタをクリアするために、bit6=0 を書き戻します。その際、ICP0 レジスタの値のみを"0"にした値、"00111111"を書き戻すことは、上記に説明した理由によりできません。レジスタを読み出した後、書き戻すまでの期間に、ch.1 でイベント検出があった場合、その検出情報がクリアされてしまうからです。

このため、ICP0 レジスタをクリアするためには、bit6=0, bit7=1 とした、"10111111"を書き戻してください。

■ RMW(Read Modify Write)アクセス時の読出し値マスク機能

上記手順は煩雑であるため、RMW アクセス時には、イベント検出レジスタの読出し値を、書戻し値のために"1"にマスクする機能が用意されています。

本ファミリでは、RMW アクセスはビッドバンディングエイリアス領域への書込みアクセスを行った際に発生します。

ビッドバンディングエイリアス領域への書込みアクセスは、対象bitの存在するアドレス領域のすべてのレジスタ・ビットの読出しを行い、対象ビットのみの書換えを行い、すべてのレジスタ・ビットを書き戻すRMW アクセスとして実行されます。

先ほどの ICSA10 レジスタの例の場合、ある時点で"01111111"という値が、読み出せたとします。
ここで、ICP0 レジスタをクリアするため、bit6=0 を書き込みたい場合、通常のアドレス領域に対するライトアクセスでは、先ほど説明したとおり、bit7=1, bit6=0 を書き込まなければなりません。しかし、ビッドバンディングエイリアス領域への書込みアクセスにより、bit6 へ"0"の書込みを行うと、ハードウェアは以下の動作を行います。

- ICSA10 レジスタの値を読み出します。
- この際、RMW アクセスであるため、ICP1, ICP0 レジスタの値は、読出し値が"1"にマスクされた値を返します。すなわち読み出される値は、"11111111"です。
- bit6(ICP0)の値のみ"0"に置き換えた値、"10111111"を ICSA10 レジスタに書き込みます。

上記動作となるため、bit7 のクリアは行われません。この例では、bit6 の書換えについて説明しましたが、bit7, bit5:0 の書換えを行う場合であっても、同様に bit7, bit6 の読出し値は"1"にマスクされるため、書戻し値を考慮する必要がなくなります。従って、ビッドバンディングエイリアス領域への書込みアクセスは、イベント検出レジスタの書戻し値を考慮しなくても、レジスタ書換えができるように構成されています。

* ビッドバンディングエイリアス領域への読出しアクセスは、RMW アクセスではないため、レジスタの値はマスクされずに読み出されます。

■ イベント検出レジスタ，割込み許可レジスター覧

多機能タイマユニット内に存在するイベント検出レジスタ，割込み許可レジスタと割込み信号の一覧を表 6-6 に示します。

表 6-6 イベント検出レジスタ，割込み許可レジスタの一覧

ブロック名	対象イベント	イベント検出レジスタ	割込み許可レジスタ	割込み信号名称
FRT ch.0	FRT0 == 0x0000 検出	TCSA0:IRQZF	TCSA0:IRQZE	Zero 値検出割込み
FRT ch.1	FRT1 == 0x0000 検出	TCSA1:IRQZF	TCSA1:IRQZE	Zero 値検出割込み
FRT ch.2	FRT2 == 0x0000 検出	TCSA2:IRQZF	TCSA2:IRQZE	Zero 値検出割込み
FRT ch.0	FRT0 == TCCP0 検出	TCSA0:ICLR	TCSA0:ICRE	ピーク値検出割込み
FRT ch.1	FRT1 == TCCP1 検出	TCSA1:ICLR	TCSA1:ICRE	ピーク値検出割込み
FRT ch.2	FRT2 == TCCP2 検出	TCSA2:ICLR	TCSA2:ICRE	ピーク値検出割込み
OCU ch.0	FRT == OCCP0 検出	OCSA10:IOP0	OCSA10:IOE0	一致検出割込み
OCU ch.1	FRT == OCCP1 検出	OCSA10:IOP1	OCSA10:IOE1	一致検出割込み
OCU ch.2	FRT == OCCP2 検出	OCSA32:IOP0	OCSA32:IOE0	一致検出割込み
OCU ch.3	FRT == OCCP3 検出	OCSA32:IOP1	OCSA32:IOE1	一致検出割込み
OCU ch.4	FRT == OCCP4 検出	OCSA54:IOP0	OCSA54:IOE0	一致検出割込み
OCU ch.5	FRT == OCCP5 検出	OCSA54:IOP1	OCSA54:IOE1	一致検出割込み
ICU ch.0	有効エッジ検出	ICSA10:ICP0	ICSA10:ICE0	入力信号エッジ検出割込み
ICU ch.1	有効エッジ検出	ICSA10:ICP1	ICSA10:ICE1	入力信号エッジ検出割込み
ICU ch.2	有効エッジ検出	ICSA32:ICP0	ICSA32:ICE0	入力信号エッジ検出割込み
ICU ch.3	有効エッジ検出	ICSA32:ICP1	ICSA32:ICE1	入力信号エッジ検出割込み

表 6-7 に示す割込みは、割込み専用(ポーリングを前提としない)であるため、割込み許可レジスタは存在しません。対象イベント発生時、割込みフラグに"1"がセットされると、割込みが発生します。

表 6-7 割込みフラグレジスタ，割込み許可レジスター覧

ブロック名	対象イベント	割込みフラグレジスタ	割込み許可レジスタ	割込み信号名称
NZCL	モータ緊急停止信号の入力	WFIR:DTIF	なし	DTIF 割込み
WFG ch.10	WFG10 タイマカウント終了	WFIR:TMIF10	なし	WFG10 タイマ割込み
WFG ch.32	WFG32 タイマカウント終了	WFIR:TMIF32	なし	WFG32 タイマ割込み
WFG ch.54	WFG54 タイマカウント終了	WFIR:TMIF54	なし	WFG54 タイマ割込み

CHAPTER 7-1: PPG 構成

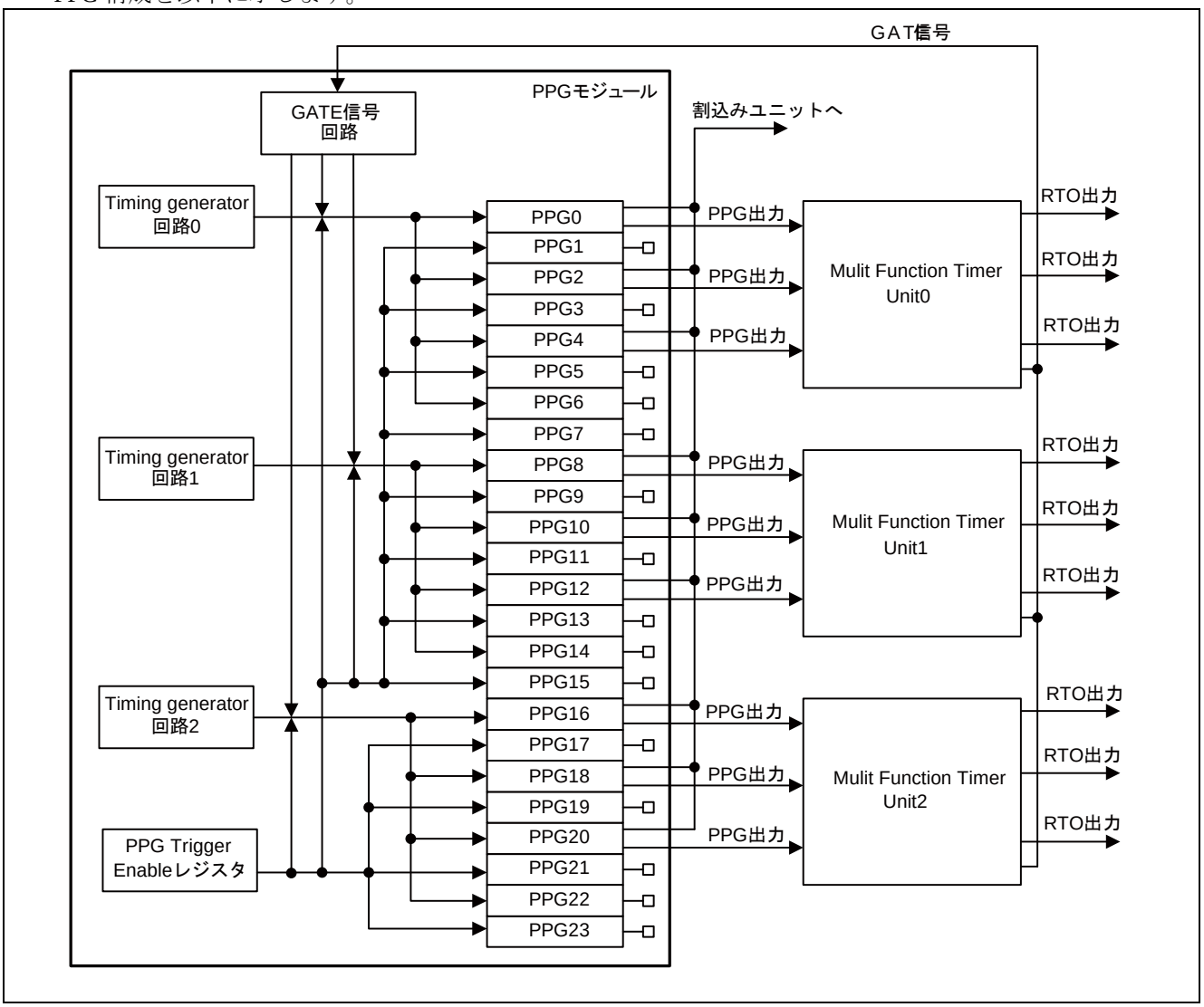
PPG 機能について説明します。

1. 構成

1. 構成

PPG 構成を説明します。

PPG 構成を以下に示します。



(注意事項)　MFT および Timing generator および PPG の搭載数は製品によって異なります。
詳細はご使用する製品の『データシート』を参照してください。

● PPG の接続

- PPG 出力は、多機能タイマを経由し、多機能タイマの出力 RTO 端子から出力されます。
- PPG 出力および PPG 割込みは、PPG0/PPG2/PPG4/PPG8/PPG10/PPG12/PPG16/PPG18/PPG20 のみが接続されています。そのため、それ以外の PPG チャネルの出力は得られません。
- PPG 出力がないチャネルの PPG 起動要因も設定可能ですが、出力が接続されていない PPG チャネルの出力は得られません。
- PPG 動作モードの選択(8 ビットモード, 8+8 ビットモード, 16 ビットモード, 16+16 ビットモード)が可能ですが、出力が接続されていない PPG チャネルの出力は得られません。

● タイミングジェネレータ 0, 1, 2 の相違点

・タイミングジェネレータ 0
  ・コンペアレジスタ: COMP0/COMP2/COMP4/COMP6
  ・トリガ対象 PPG チャネル: ch.0/ch.2/ch.4/ch.6

・タイミングジェネレータ 1
  ・コンペアレジスタ: COMP1/COMP3/COMP5/COMP7
  ・トリガ対象 PPG チャネル: ch.8/ch.10/ch.12/ch.14

・タイミングジェネレータ 2
  ・コンペアレジスタ: COMP8/COMP10/COMP12/COMP14
  ・トリガ対象 PPG チャネル: ch.16/ch.18/ch.20/ch.22

● PPG GATE 機能制御レジスタの EDGE ビットの設定

PPG GATE 機能制御レジスタ(GATEC)の EDGE ビットは"0"のみ設定可能です。

* : GATE 信号の立上り起動のみになります。

● 動作モードと出力可能 PPG チャネルの組合せ

PPG チャネル	8 ビットモード	8+8 ビットモード	16 ビットモード	16+16 ビットモード
PPG ch.0	PPG0 出力	PPG0 出力	PPG0 出力	PPG0 出力
PPG ch.1	使用不可	PPG0 プリスケーラ		
PPG ch.2	PPG2 出力	PPG2 出力	PPG2 出力	PPG0 プリスケーラ
PPG ch.3	使用不可	PPG2 プリスケーラ		
PPG ch.4	PPG4 出力	PPG4 出力	PPG4 出力	PPG4 出力
PPG ch.5	使用不可	PPG4 プリスケーラ		
PPG ch.6	使用不可	使用不可	使用不可	PPG4 プリスケーラ
PPG ch.7	使用不可	使用不可		
PPG ch.8	PPG8 出力	PPG8 出力	PPG8 出力	PPG8 出力
PPG ch.9	使用不可	PPG8 プリスケーラ		
PPG ch.10	PPG10 出力	PPG10 出力	PPG10 出力	PPG8 プリスケーラ
PPG ch.11	使用不可	PPG10 プリスケーラ		
PPG ch.12	PPG12 出力	PPG12 出力	PPG12 出力	PPG12 出力
PPG ch.13	使用不可	PPG12 プリスケーラ		
PPG ch.14	使用不可	使用不可	使用不可	PPG12 プリスケーラ
PPG ch.15	使用不可	使用不可		
PPG ch.16	PPG16 出力	PPG16 出力	PPG16 出力	PPG16 出力
PPG ch.17	使用不可	PPG16 プリスケーラ		
PPG ch.18	PPG18 出力	PPG18 出力	PPG18 出力	PPG16 プリスケーラ
PPG ch.19	使用不可	PPG18 プリスケーラ		
PPG ch.20	PPG20 出力	PPG20 出力	PPG20 出力	PPG20 出力
PPG ch.21	使用不可	PPG20 プリスケーラ		
PPG ch.22	使用不可	使用不可	使用不可	PPG20 プリスケーラ
PPG ch.23	使用不可	使用不可		

CHAPTER 7-2: PPG

PPG 機能について説明します。

1. 概要
2. PPG 構成・ブロックダイヤグラム
3. PPG 動作
4. PPG 設定手順例
5. PPG レジスター覧
6. PPG 使用上の注意

1. 概要

PPG 機能の概要を説明します。

PPG はタイマ動作に応じたパルス出力制御により任意の周期・デューティ比のパルス出力が可能なモジュールです。

■ PPG モジュールの機能

- 8 ビット PPG 動作モードをサポート
- 16 ビット PPG 動作モードをサポート
- 8+8 ビット PPG 動作モードをサポート
- 16+16 ビット PPG 動作モードをサポート
- PPG 停止時の初期レベル出力も含め、レベルを反転できます。
- PPG カウントクロックを選択することにより、周期の選択が可能です。
- レジスタ設定により、任意デューティ比のパルス波を出力します。
  外付け回路により、D/A コンバータとしても使用可能です。
- 割込み許可を設定している場合、PPG 出力変化タイミング（リロード値のカウントが終了してアンダフローが発生したとき）に割込みを発生できます。

■ PPG の起動方法

以下の 3 種類から PPG 起動方法を選択できます。

- PPG 起動レジスタ書込みによる起動
- タイミングジェネレータ回路による起動
- 多機能タイマからの GATE 信号による起動

※上記の起動方法以外に、IGBT モードによる起動方法を選択できます。詳細は、PPG IGBT モードの章を参照してください。

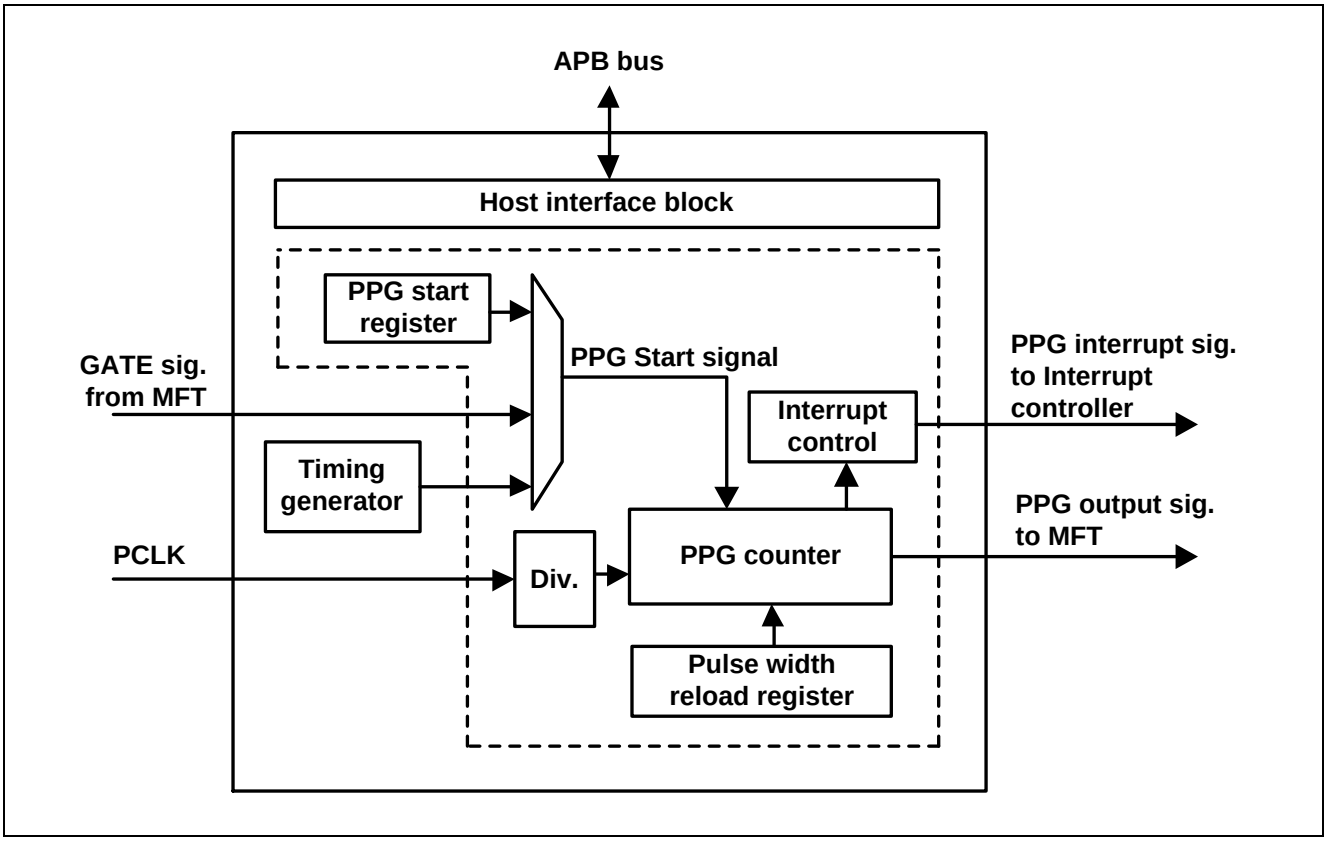
2. PPG 構成・ブロックダイヤグラム

PPG のブロックダイヤグラムを説明します。

■ PPG 回路　ブロックダイヤグラム

図 2-1 に PPG のブロックダイヤグラムを示します。

図 2-1 PPG のブロックダイヤグラム



PPG は、以下のブロックから構成されます。

- ホストインターフェース部
  CPU からの指示に基づき、PPG の各ブロックの機能制御を行います。
- PPG 起動レジスタ
  CPU からのレジスタ書込みにより、PPG 起動信号を直接生成するレジスタです。
- タイミングジェネレータ
  複数の PPG を、指定したタイミングで個々に起動するための回路です。内部のコンペアレジスタの設定タイミングで、複数の PPG に対し別々に PPG 起動信号を生成します。内部構成ブロック図を図 3-14、図 3-15、図 3-16 に示します。
- PPG 起動信号セレクタ
  制御レジスタ指定により、PPG 起動信号を選択します。PPG 起動レジスタからの PPG 起動、タイミングジェネレータからの PPG 起動、多機能タイマ（MFT）からの GATE 信号による PPG 起動を選択します。

- PCLK ディバイダ
  PPG は周辺クロック信号（PCLK）を基準クロックとして動作します。PPG カウンタで使用するカウントクロックを、PCLK 分周器により生成します。PPG からの出力信号のパルス幅は、PCLK 周期をベースに規定されます。
- PPG カウンタ、パルス幅リロードレジスタ
  CPU から、PPG 出力信号の Low パルス幅、High パルス幅をリロードレジスタに指定します。PPG カウンタは、指定されたパルス幅のカウント動作を行い、PPG 出力信号を変化させます。
- 割込み制御回路
  PPG 出力信号変化時に、PPG 割込み信号を生成し出力します。

図 2-1 において、破線で囲まれた部分は、搭載されている PPG チャネル数分が存在します。また、選択された PPG 動作モードにより、PPG チャネルの接続形態が変化し、使用できるチャネル数が変化します。図 3-1, 図 3-3, 図 3-4, 図 3-5 に、各動作モードにおけるチャネルの接続構成図を示します。

PPG タイマの動作によって得られる PPG 出力信号のうち、一部のチャネル出力を多機能タイマ経由で外部端子に出力できます。また、一部の PPG 割込み出力が割込みコントローラに接続されており、割込み処理を行うことができます。

多機能タイマ経由で外部端子に出力される PPG 出力端子と、割込みコントローラに接続されている PPG 割込みについては、『PPG 構成』の章を参照してください。

3. PPG 動作

PPG の動作を説明します。

3.1 PPG 回路の動作
3.2 タイミングジェネレータ回路の動作

3.1. PPG 回路の動作

PPG は任意の周期・デューティ比のパルス出力が可能なモジュールです。
タイマ動作に応じたパルス出力を制御します。

■PPG の動作

PPG タイマ回路の動作を説明します。図 3-1 に 8 ビット PPG 動作モード時の構成を示します。図 3-2 に、入出力信号の波形を示します。

図 3-1 8 ビット PPG モード時の構成

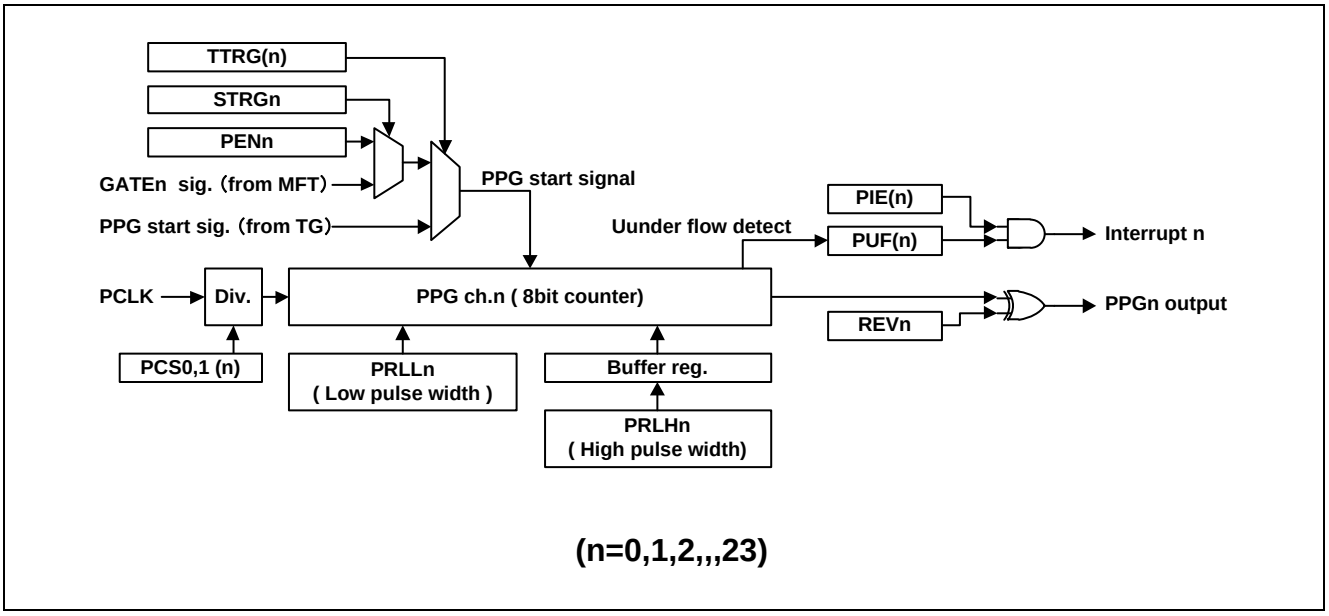
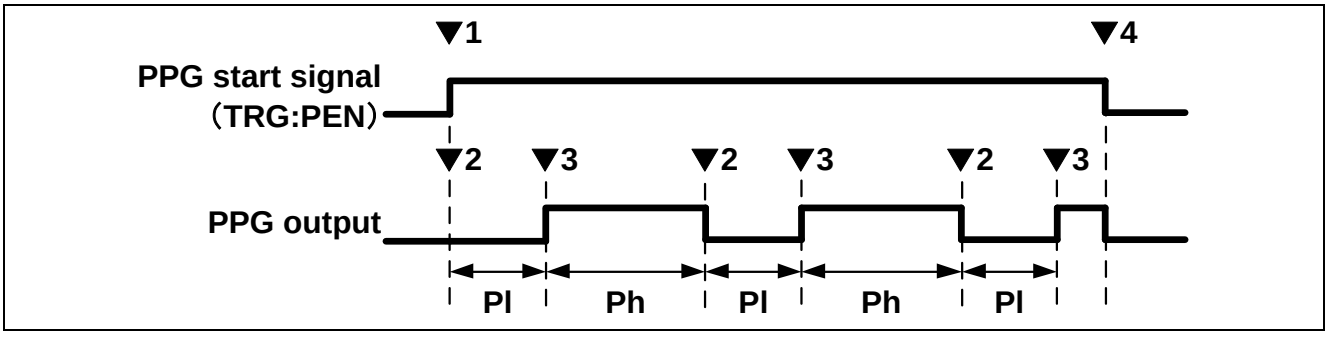


図 3-2 PPG 入出力信号波形



以下文中の▼1～4 は、図 3-2 のタイミングを示します。PPG 起動レジスタ（TRG:PEN）書込みによる起動方法を指定し、正極性（REVC:REV=0）の指定の場合の動作を説明します。

PPG 出力の初期レベルは Low です。PPG は、起動信号のアサートにより動作を開始します。▼1 のタイミングで、CPU から PPG 起動レジスタ（TRG:PEN）への"1"の書込みを行い、PPG 起動信号をアサートしています。PPG 起動信号がアサートされている期間、PPG タイマ回路は、以下の▼2、▼3 の動作を繰り返し継続します。

▼2 のタイミングで、PPG 出力を Low レベルにします。また、Low 幅設定リロードレジスタ（PRLL）より、Low 幅値を PPG カウンタにロードし、ダウンカウントを開始します。Low 幅指定の時間経過を待ちます。

▼3 のタイミングで、PPG 出力を High レベルにします。また、High 幅設定リロードレジスタ（PRLH）より、High 幅値を PPG カウンタにロードし、ダウンカウントを開始します。High 幅指定の時間経過を待ちます。

この動作により、指定した Low 幅,High 幅の出力波形を生成します。図 3-2 において、出力パルスの Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期） = PPGC:PCS1,PCS0 レジスタで選択したカウントクロック周期
Pl（PPG 出力 Low 幅） = T × (PRLL レジスタ値 + 1)
Ph（PPG 出力 High 幅） = T × (PRLH レジスタ値 + 1)

▼4 のタイミングで、CPU から PPG 起動レジスタ（TRG:PEN）への"0"書込みを行い、起動信号をネゲートしています。 PPG タイマ回路は、カウント動作を停止します。カウント途中であっても出力を Low レベルにします。

■ PPG 動作モード

PPG はチャネルごとに 8 ビット長のカウンタを持ちます。複数の PPG チャネルを連結させて、より長いカウント長の出力パルスを生成できます。以下の PPG の動作モードが使用できます。

・8 ビット PPG 動作モード
図 3-1 に、この動作モードのチャネル接続図を示します。各チャネルを独立した 8 ビット長カウンタの PPG として動作させるモードです。出力パルス幅を 8 ビット長値で指定できます。

・16 ビット PPG 動作モード
図 3-3 に、この動作モードのチャネル接続図を示します。2 つのチャネルを連結し、16 ビット長カウンタの PPG として動作させるモードです。出力パルス幅を 16 ビット長値で指定できます。

・8+8 ビット PPG 動作モード
図 3-4 に、この動作モードのチャネル接続図を示します。2 つのチャネルを使用します。片方の PPG をプリスケーラとして動作させます。（以降、プリスケーラ側と表記します。）プリスケーラ側の出力を動作クロックとして、もう片方の PPG を動作させます。（以降、PPG 出力側と表記します。）プリスケーラ側と PPG 出力側で、出力パルス幅を 8 ビット長値で、それぞれ別々に指定して動作させるモードです。PPG 出力側のカウンタは、プリスケーラ側出力信号の立上り/立下り両エッジでカウント動作をします。

・16+16 ビット PPG 動作モード
図 3-5 に、この動作モードのチャネル接続図を示します。4 つのチャネルを使用します。それぞれ 2 つのチャネルを連結し、16 ビット長カウンタとして動作させます。片方をプリスケーラ側として動作させます。プリスケーラ側の出力を動作クロックとして、もう片方を PPG 出力側として動作させます。プリスケーラ側と PPG 出力側で、出力パルス幅を 16 ビット長値で、それぞれ別々に指定して動作させるモードです。PPG 出力側のカウンタは、プリスケーラ側出力信号の立上り/立下り両エッジでカウント動作をします。

図 3-3 16 ビット PPG モード時の構成

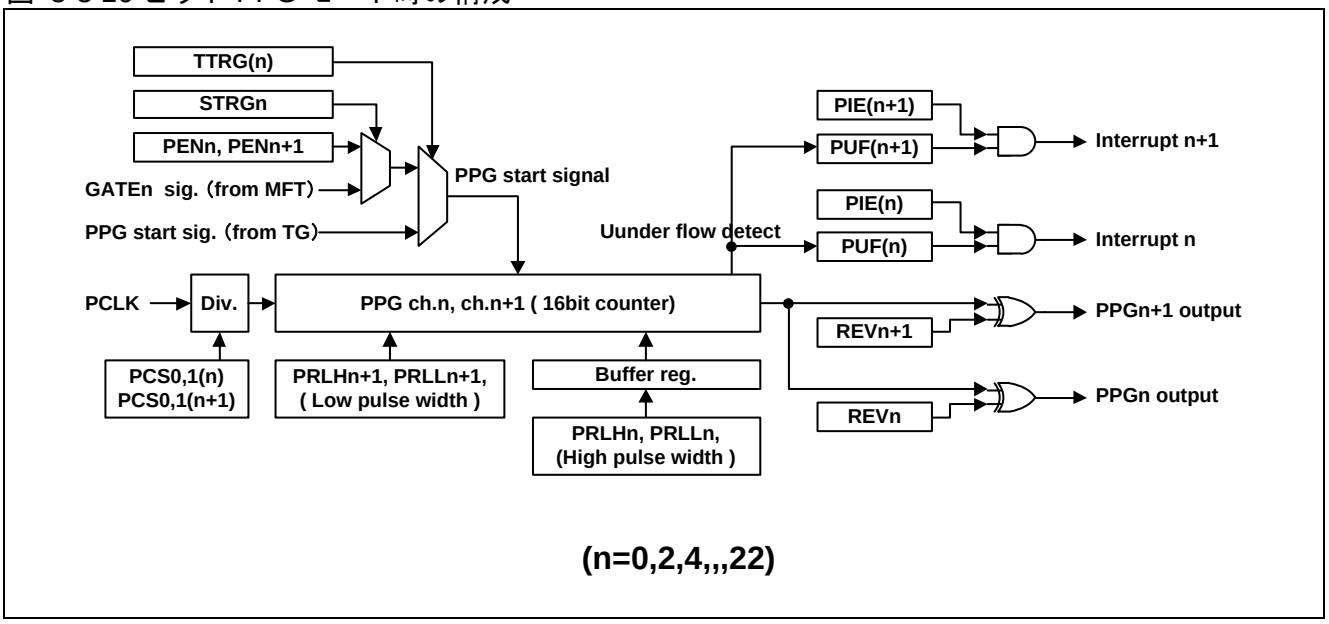


図 3-4 8+8 ビット PPG モード時の構成

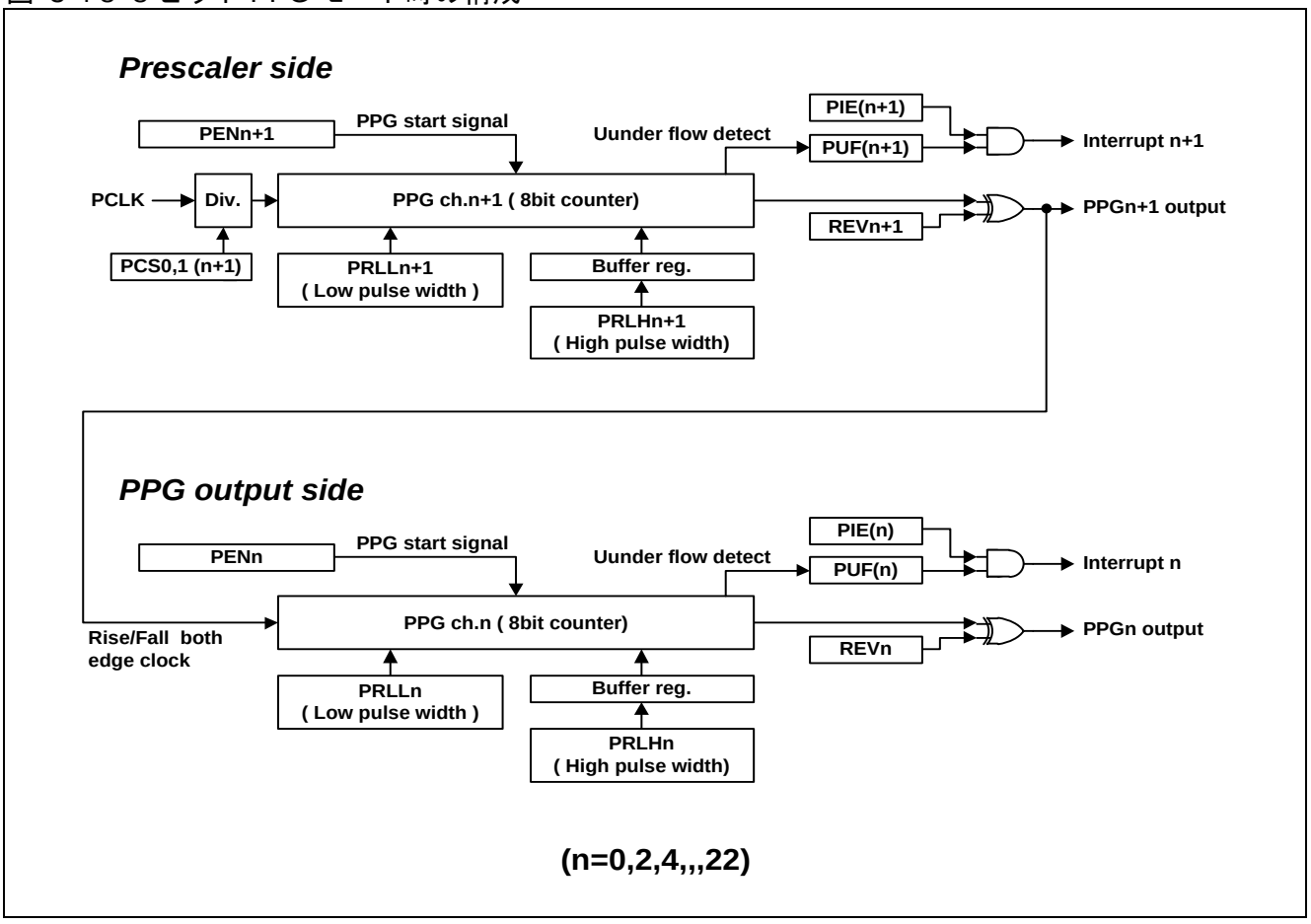
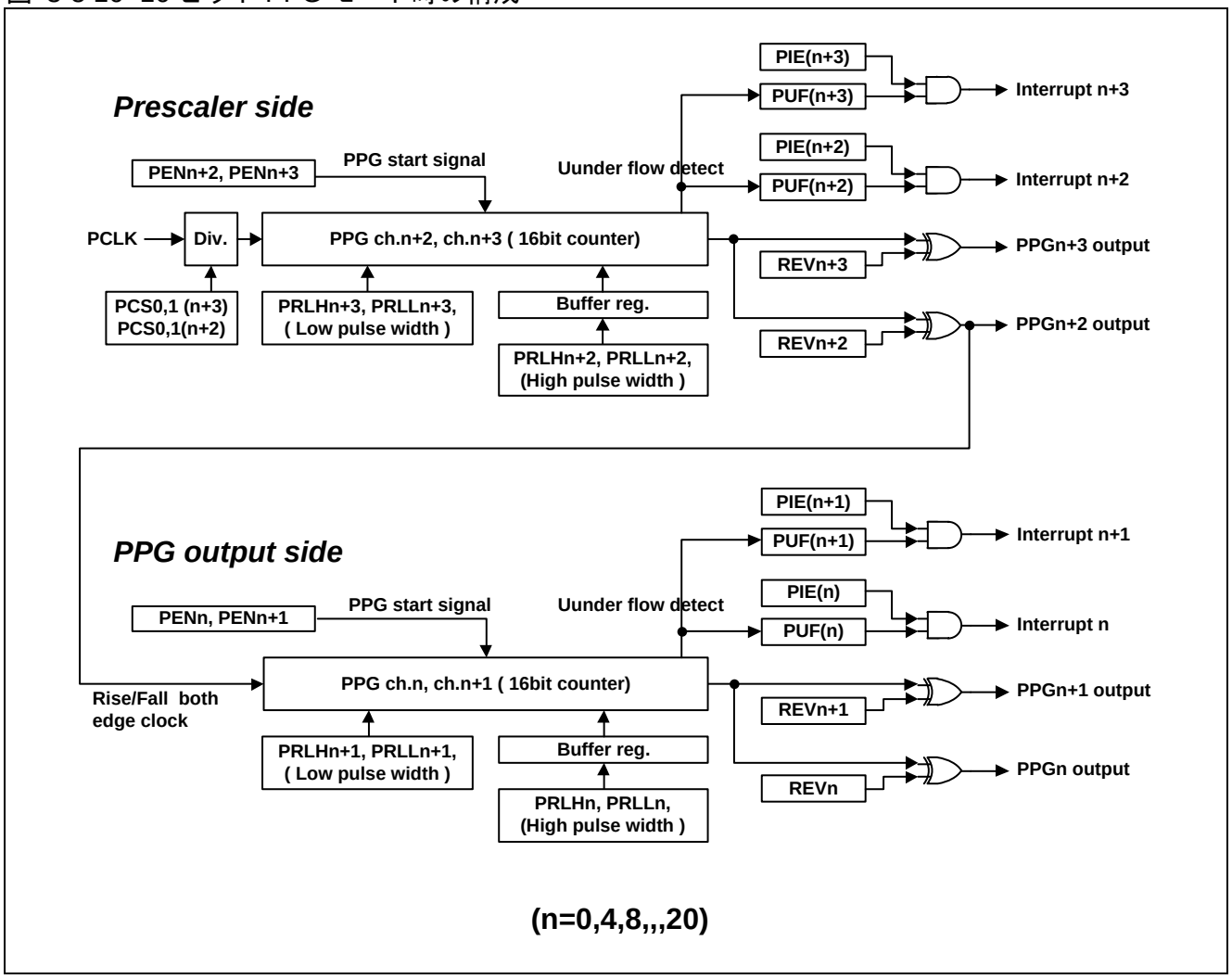


図 3-5 16+16 ビット PPG モード時の構成



■ PPG 動作モードの選択

PPGC:MD[1:0]のレジスタ設定により、各 PPG チャネルの動作モードを選択します。このレジスタ設定により各チャネルにおける動作モード（チャネルの連結、プリスケーラ側使用、PPG 出力側使用）が、一意に決定します。

PPGCn:MD[1:0]レジスタは、n が偶数のレジスタにのみ存在します。PPGCn:MD[1:0]レジスタの指定により、チャネル n（偶数）と、チャネル n+1（奇数）の両方のチャネルの動作モードが決定されます。16+16 ビット PPG モードの場合は、PPGCn:MD[1:0]レジスタと PPGCn+2:MD[1:0]レジスタの両方を"11"にします。

表 3-1 に、PPGCn:MD[1:0]レジスタ値と、PPGCn+2:MD[1:0]レジスタ値により、選択される PPG 動作モードの一覧を示します。
表 3-1 のレジスタ番号、チャネル番号を示す添え字の n は、n=0,4,8,12,16,20 を示します。ch.0~ch.3,ch.4～ch7, ch.8~ch.11, ch.12~ch.15, ch16~ch.19, ch20~ch.23 で同じ組合せの指定が可能です。

動作モードの選択は、PPG の起動前に行います。PPG 動作中に、動作モード変更を行うことはできません。

表 3-1 PPG 動作モードの選択

レジスタ設定				選択される動作モード			
PPGCn		PPGCn+2		Ch.n+0	Ch.n+1	Ch.n+2	Ch.n+3
MD1	MD0	MD1	MD0				
0	0	0	0	8 PPG : ☆◎	8 PPG : ★◎	8 PPG : ☆◎	8 PPG : ★◎
0	0	0	1	8 PPG : ☆◎	8 PPG : ★◎	8+8 out : ★● ⬅	8+8 pre: ★◎
0	0	1	0	8 PPG : ☆◎	8 PPG : ★◎	16 PPG : ☆○	
0	0	1	1	設定禁止			
0	1	0	0	8+8 out: ★● ⬅	8+8 pre: ★◎	8 PPG : ☆◎	8 PPG : ★◎
0	1	0	1	8+8 out: ★● ⬅	8+8 pre: ★◎	8+8 out : ★● ⬅	8+8 pre: ★◎
0	1	1	0	8+8 out: ★● ⬅	8+8 pre: ★◎	16 PPG : ☆○	
0	1	1	1	設定禁止			
1	0	0	0	16 PPG : ☆○		8 PPG : ☆◎	8 PPG : ★◎
1	0	0	1	16 PPG : ☆○		8+8 out : ★● ⬅	8+8 pre: ★◎
1	0	1	0	16 PPG : ☆○		16 PPG : ☆○	
1	0	1	1	設定禁止			
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1	16+16 out: ★●	⬅	16+16 pre: ★○	

表 3-1 の記載内容の意味を以下に説明します。

8 PPG : 8 ビット PPG 動作モードが選択されることを示します。

16 PPG : 16 ビット PPG 動作モードが選択されることを示します。
2 つのチャネルが連結され 16 ビット長カウンタ動作を行います。

8+8 pre : 8+8 ビット PPG 動作モードが選択されることを示します。
プリスケーラ側の動作を行うことを示します。
表中の矢印はプリスケーラのクロック出力先を示します。

8+8 out : 8+8 ビット PPG 動作モードが選択されることを示します。
PPG 出力側の動作を行うことを示します。

16+16 pre : 16+16 ビット PPG 動作モードが選択されることを示します。
2 つのチャネルが連結され 16 ビット長カウンタ動作を行います。
プリスケーラ側の動作を行うことを示します。
表中の矢印はプリスケーラのクロック出力先を示します。

16 + 16 out : 16+16 ビット PPG 動作モードが選択されることを示します。
2 つのチャネルが連結され 16 ビット長カウンタ動作を行います。
PPG 出力側の動作を行うことを示します。

☆印、★印 : 選択可能な起動方法を示します。PPG 起動方法の選択の節で説明します。

◎印、○印、●印 : 選択可能なカウントクロックを示します。カウントクロックの選択の節で説明します。

■ PPG 起動方法の選択

PPG は、以下の 3 種類の方式で起動することができます。

・PPG 起動レジスタ(TRG:PEN)へ CPU から直接書込みを行い、PPG を起動
・多機能タイマからの GATE 信号により PPG を起動
・タイミングジェネレータの PPG 起動信号により PPG を起動

※上記の起動方法以外に、IGBT モードによる起動方法を選択できます。詳細は、PPG IGBT モードの章を参照してください。

表 3-1 において、☆印の動作モードの場合、上記 3 種類から PPG 起動方法を選択できます。★印の場合は、PPG 起動レジスタ(TRG:PEN)への直接書込み起動のみが使用できます。PPG 起動方法は、GATEC:STRG、PPGC:TTRG レジスタ設定により選択します。設定により、対応する起動信号が PPG に接続されます。表 3-2 に、レジスタ設定、PPG 動作モード、選択される PPG 起動信号を示します。GATEC:STRGn、PPGCn:TTRG レジスタは、n が偶数のもののみ存在します。このレジスタの指定により、チャネル n（偶数）と、チャネル n+1（奇数）の両方のチャネルの起動方法が決定されます。

表 3-2 PPG 起動の選択

レジスタ設定		PPG 動作モード	PPG 起動信号	補足番号
GATEC:STRGn	PPGCn TTRG			
0	0	8 ビット	PPG 起動レジスタ(TRG:PEN)	
		16 ビット		1
		8+8 ビット		1
		16+16 ビット		1, 2
1	0	8 ビット	多機能タイマからの GATE 信号	3
		16 ビット		4
		8+8 ビット	設定禁止	7
		16+16 ビット		7
X	1	8 ビット	タイミングジェネレータからの起動信号	5
		16 ビット		6
		8+8 ビット	設定禁止	7
		16+16 ビット		7

補足事項

1. PPG 起動レジスタ(TRG:PEN)書込みによる起動、複数 PPG チャネルを使用する動作モード（8+8 ビット、16 ビット、16+16 ビット）は、使用するすべてのチャネルの TRG:PEN レジスタに同時に"1"を書込み、PPG 起動を行います。また、TRG:PEN レジスタに同時に"0"を書込み、PPG 停止を行います。同時に行わない場合、カウント周期がずれることがあります。
2. 16+16 ビット PPG 動作モード時、GATEC:STRGn、PPGCn:TTRG レジスタは、n チャネルと n+2 チャネルの両方のレジスタを、それぞれ"0"に設定してください。
3. この場合、偶数チャネルにのみ多機能タイマからの GATE 信号を接続します。奇数チャネルは TRG:PEN を接続します。
4. この場合、偶数チャネル、奇数チャネル両方に多機能タイマからの GATE 信号を接続します。
5. この場合、偶数チャネルにのみタイミングジェネレータからの起動信号を接続します。奇数チャネルは TRG:PEN を接続します。
6. この場合、偶数チャネル、奇数チャネル両方にタイミングジェネレータからの起動信号を接続します。
7. 8+8 ビットモード、16+16 ビットモードの場合、PPG 起動レジスタ(TRG:PEN)書込みによる起動以外は選択できません。

■ カウントクロックの選択

各 PPG チャネルのカウントクロックは、PCLK 分周器により、4 種類の分周比選択が可能です。表 3-3 にレジスタ設定と、選択されるカウントクロックを示します。

表 3-3 カウントクロック選択表

PPGC:PCS1	PPGC:PCS0	カウントクロック動作
0	0	カウントクロックは PCLK ごとに 1 カウント
0	1	カウントクロックは PCLK 4 サイクルごとに 1 カウント
1	0	カウントクロックは PCLK 16 サイクルごとに 1 カウント
1	1	カウントクロックは PCLK 64 サイクルごとに 1 カウント

表 3-1 において、◎印、○印の動作モードの場合、PPGC:PCS1,PCS0 レジスタを用いて、カウントクロックを選択できます。○印の場合、偶数チャネル側と奇数チャネル側のカウントクロック選択設定（PCS1,PCS0）は、必ず同じ設定にしてください。●印の場合、カウントクロックは、プリスケーラ側の出力の両エッジが用いられます。そのチャネルの PCS1,PCS0 レジスタ設定は無視されます。

■ リロードレジスタとパルス幅指定

PPG 出力信号のパルス幅は、リロードレジスタ（PRLH、PRLL）に指定を行います。PPG 動作中にパルス幅の変更が可能です。High 幅と Low 幅の指定をそれぞれ行います。出力されるパルス幅は、リロードレジスタに書き込まれた値に"+1"した値に、カウントクロックの周期を掛けた値です。PPG チャネルを連結して 16
ビット長とする場合、パルス幅を指定する 8 ビットリロードレジスタも連結し、16 ビット長値を指定します。詳細は、「5.10 PPG リロードレジスタ n (PRLHn, PRLLn n=0～23)」を参照してください。表 3-4 に設定例と出力パルス幅の関係を示します。

表 3-4 リロードレジスタ設定値例

PPG ビット幅	リロードレジスタ値	出力パルス幅
8 ビット	0x00	1×カウントクロック周期
	0x01	2×カウントクロック周期
	0xFF	256×カウントクロック周期
16 ビット	0x0000	1×カウントクロック周期
	0x0001	2×カウントクロック周期
	0x00FF	256×カウントクロック周期
	0x0100	257×カウントクロック周期
	0xFFFF	65536×カウントクロック周期

■ High 幅設定リロードレジスタのバッファ機能

High 幅設定のリロードレジスタには、バッファ機能があります。図 3-6 にバッファレジスタの動作を説明します。

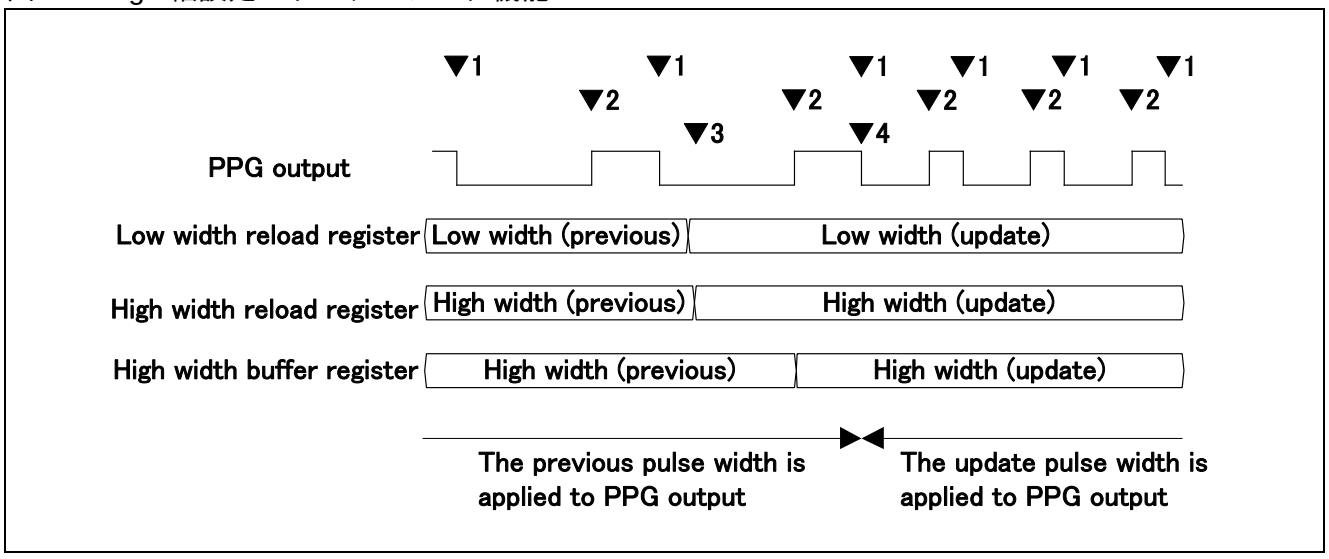
PPG 出力信号が High から Low に変化するタイミング（図中▼1）で、PPG カウンタは、Low 幅の設定値をリロードレジスタから取り込みます。PPG 出力信号が Low から High に変化するタイミング（図中▼2）で、PPG カウンタは、High 幅の設定値をバッファレジスタから取り込みます。

▼3 のタイミングで、CPU から Low 幅設定値、High 幅設定値の変更を行った場合、更新前の High 幅設定値は、バッファレジスタに格納されます。そして、次の▼2 のタイミングでは、PPG カウンタは、更新前の High 幅設定値をバッファレジスタから取り込み、出力パルス幅に適用します。

このため、▼4 のタイミングまで、PPG 出力は、更新前の Low 幅、High 幅設定値が適用されます。▼4 のタイミングから、PPG 出力は、更新後の Low 幅、High 幅設定値が適用されます。

出力パルス幅設定の更新時に、Low 幅と High 幅設定の組み合わせを維持することができます。

図 3-6 High 幅設定バッファレジスタ機能



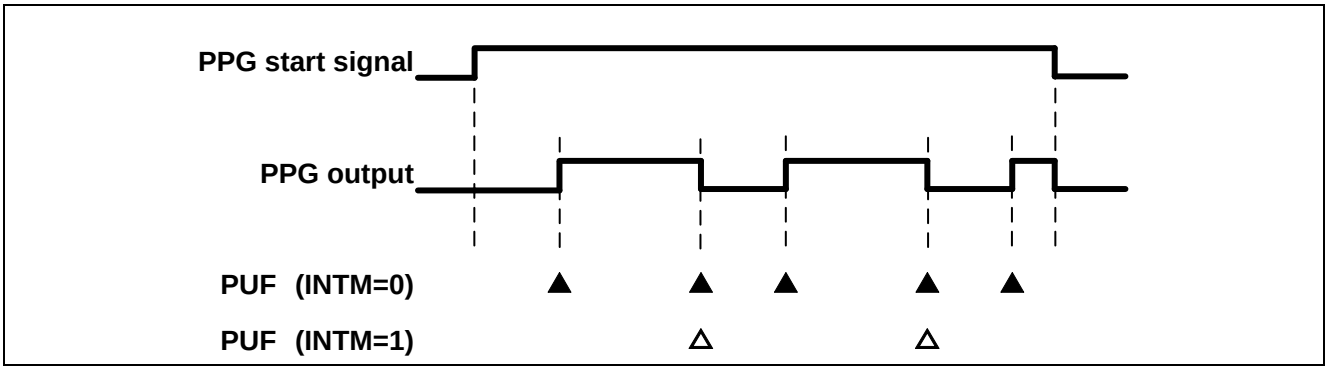
■ 割込みについて

PPG が出力信号を変化させたとき（リロード値のカウントが終了してアンダフローが発生したとき）、PPG 動作モード制御レジスタ（PPGC）の PUF に"1"がセットされます。PPGCn:INTM により、以下の選択が行われます。

・PPGC:INTM=0 の場合、Low パルス終了時、High パルス終了時、それぞれセットされます。
・PPGC:INTM=1 の場合、High パルス終了時にセットされます。

図 3-7 に、INTM の値による PUF セットタイミング選択を示します。▲が INTM=0 時、△が INTM=1 時の PUF セットタイミングを示します。

図 3-7 INTM による PUF セットタイミング選択



PPG チャネルを連結して 16 ビット長で動作させている場合、偶数チャネルと奇数チャネルの両方の PUF が、同時にセットされます。

PPG からセットされた PUF は、CPU から PUF への"0"書込みにより、クリアすることができます。

PPG 動作モード制御レジスタで割込み許可を設定している場合（PIE=1）、PUF を利用して割込み信号をアサートすることができます。

■ REVn レジスタによる極性反転

REVC:REV レジスタの設定により、PPG 出力信号の極性反転が可能です。図 3-8 に、REV=1、8 ビット PPG 動作モードの場合の出力波形を示します。

図 3-8 REVn=1 の場合の出力波形

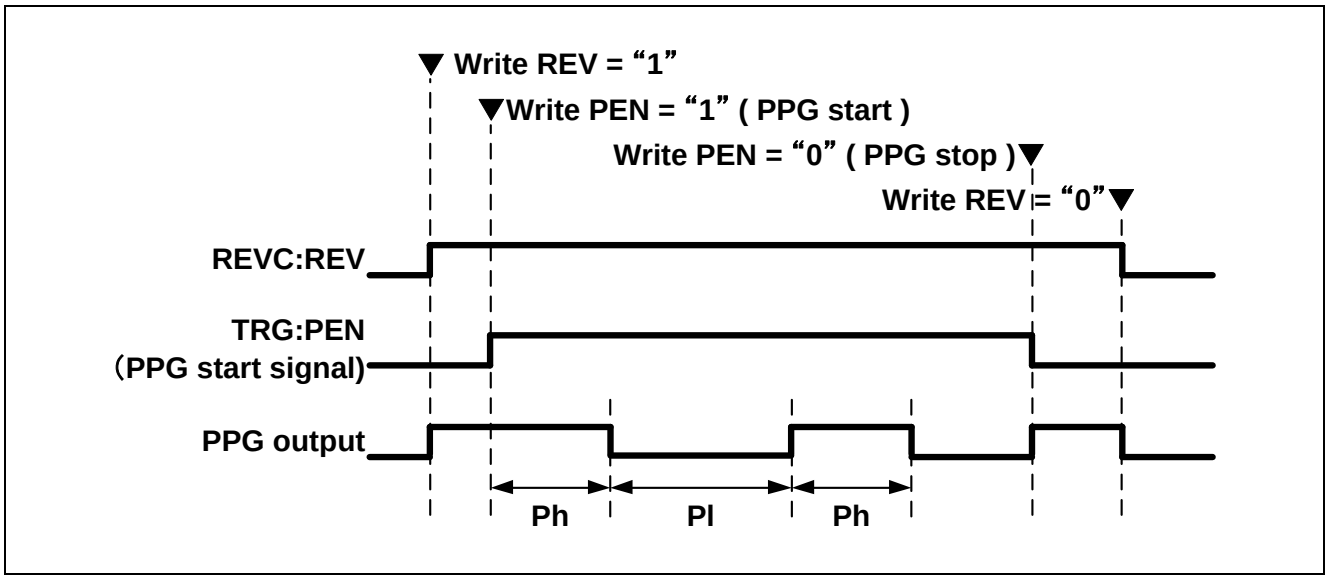


図 3-1, 図 3-3, 図 3-4, 図 3-5 の接続図に記載のように、REV レジスタ値により、直接 PPG 出力を反転する構成です。このため、REV=1 の場合、以下のようになります。

- PPG 出力の動作開始前の出力レベル、動作停止後の出力レベルが、High レベルに反転します。
- 出力パルスの Low-High が反転し、リロードレジスタの Low 幅設定、High 幅設定の関係が反転します。
- PPGC:INTM=1 時、Low パルス終了時に PUF がセットされます。
- 8+8 ビット PPG 動作モード、16+16 ビット PPG 動作モードにおいて、プリスケーラ側から PPG 出力側に供給される動作クロックが反転します。

図 3-8 において、出力パルスの Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期） = PPGC:PCS1,PCS0 レジスタで選択したカウントクロック周期
Pl（PPG 出力 Low 幅） = T × (PRLH レジスタ値 + 1)
Ph（PPG 出力 High 幅） = T × (PRLL レジスタ値 + 1)

■ 8 ビット PPG 動作モード例

PPG-ch.0 を使用した 8 ビット PPG 動作モードの動作例を記載します。表 3-5 に、本動作例のレジスタ初期設定を記載します。図 3-9 に、本動作例の出力波形を記載します。

表 3-5 8 ビット PPG 動作モードレジスタ設定例

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=00 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	TRG0:PEN00 による起動 8 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
GATEC0	STRG0=0 STRG2=X	TRG0:PEN00 による起動 他チャネルの設定なので本説明の対象外	
REVC0	REV00=0 REV01~15=X	PPG0 を正極性で出力 他チャネルの設定なので本説明の対象外	

図 3-9 8 ビット PPG 動作モード出力波形例

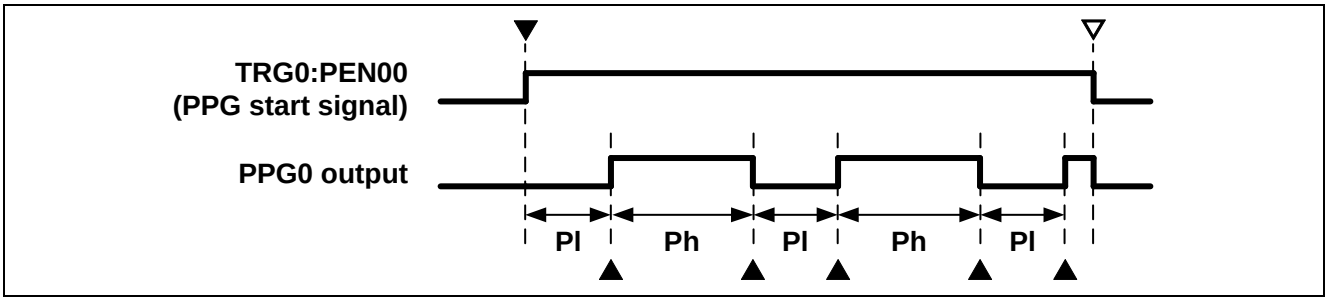


図 3-9 の記号の意味は以下のとおりです。

▼	PPG 動作開始　（補足 2 参照）
▽	PPG 動作停止　（補足 3 参照）
▲	PPGC0:PUF セットタイミング（補足 4 参照）
Pl	PPG0 出力 Low 幅
Ph	PPG0 出力 High 幅

PPG0 出力の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期）　=　PCLK 周期×4　（補足 1 参照）
Pl（PPG0 出力 Low 幅）　=　T × (PRLL0 レジスタ値 + 1)
Ph（PPG0 出力 High 幅）　=　T × (PRLH0 レジスタ値 + 1)

補足事項

1. PPG0 のカウントクロック選択レジスタ（PPGC0:PCS1,PCS0）で選択されたクロック周期により、T（カウントクロック周期）が決定します。
2. TRG0:PEN00 に"1"を書込むことで、PPG 起動信号がアサートされ、PPG が動作開始します。
3. TRG0:PEN00 に"0"を書込むことで、PPG 起動信号がネゲートされ、PPG が動作停止します。
4. PPGC0:INTM=0 の指定に基づき、PPGC0:PUF が▲のタイミングでセットされます。

■ 8+8 ビット PPG 動作モード例

PPG-ch.0,1 を利用した 8+8 ビット PPG 動作モードの動作例を記載します。表 3-6 に、本動作例のレジスタ設定を記載します。図 3-10 に、本動作例の出力波形を記載します。

表 3-6 8+8 ビット PPG 動作モードレジスタ設定例

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=01 PCS1,PCS0=00 INTM=0 PUF=0 PIE=0	TRG0:PEN00/PEN01 による起動 8+8 ビット PPG 動作モード 設定は無視されます。 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 2 参照
PPGC1	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
GATEC0	STRG0=0 STRG2=X	TRG0:PEN00/PEN01 による起動 他チャネルの設定なので本説明の対象外	
REVC0	REV00=0 REV01=0 REV02~15=X	PPG0（PPG 出力側）を正極性で出力 PPG1（プリスケーラ側）を正極性で出力 他チャネルの設定なので本説明の対象外	補足 9 参照 補足 9 参照

図 3-10 8+8 ビット PPG 動作モード出力波形例

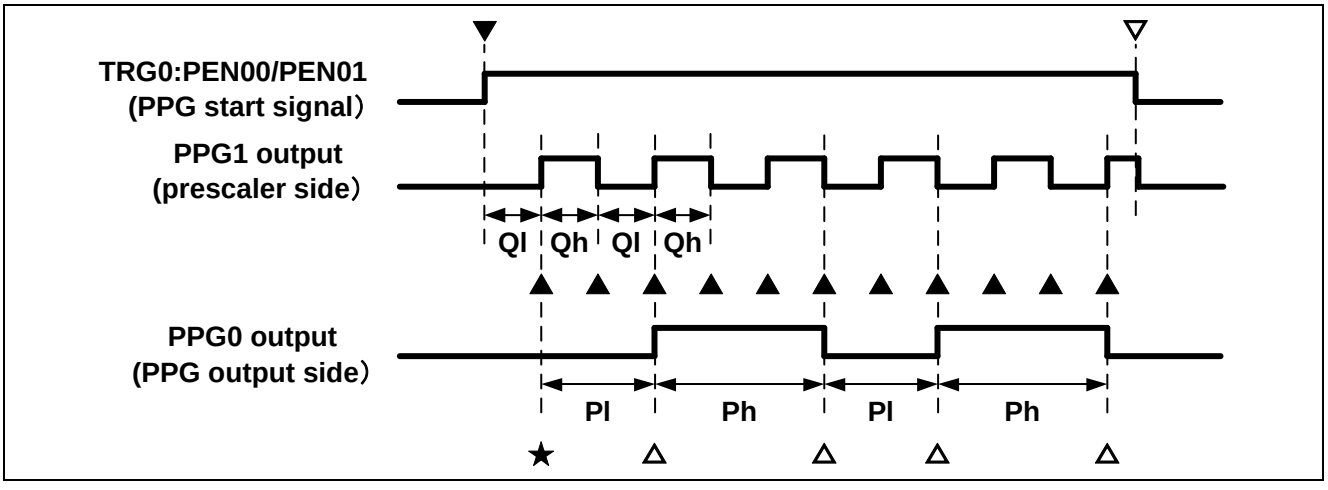


図 3-10 の記号の意味は以下のとおりです。

▼	PPG 動作開始（補足 3 参照）
▽	PPG 動作停止（補足 4 参照）
▲	PPGC1:PUF セットタイミング（プリスケーラ側、補足 5 参照）
△	PPGC0:PUF セットタイミング（PPG 出力側、補足 6 参照）
★	PPG 出力側のカウント動作開始タイミング（補足 7 参照）
Ql	PPG1 出力（プリスケーラ側）Low パルス幅
Qh	PPG1 出力（プリスケーラ側）High パルス幅
Pl	PPG0 出力（PPG 出力側）Low パルス幅
Ph	PPG0 出力（PPG 出力側）High パルス幅

PPG1 出力（プリスケーラ側）の Low 幅（Ql）、High 幅（Qh）、および PPG0 出力（PPG 出力側）の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（プリスケーラ側クロック周期）	=	PCLK 周期×4 （補足 1 参照）
Ql（PPG1 出力パルス Low 幅）	=	T × (PRLL1 レジスタ値 + 1)
Qh（PPG1 出力パルス High 幅）	=	T × (PRLH1 レジスタ値 + 1)
Qa（PPG 出力側クロック周期）	=	(Ql + Qh)/2 (Ql と Qh の平均値：補足 8 参照)
Pl（PPG0 出力パルス Low 幅）	=	Qa × (PRLL0 レジスタ値 + 1)
Ph（PPG0 出力パルス High 幅）	=	Qa × (PRLH0 レジスタ値 + 1)

補足事項

1. PPG1（プリケーラ側）のカウントクロック選択レジスタ（PPGC1:PCS1,PCS0）で選択されたクロック周期により、T（プリスケーラ側のクロック周期）が決定します。
2. PPG0（PPG 出力側）のカウントクロック選択レジスタ（PPGC0:PCS1,PCS0）の値は無視されます。
3. TRG0:PEN00,PEN01 に同時に"11"を書込むことで、PPG 起動信号がアサートされ、PPG が動作開始します。同時に"11"の書込みを行わない場合、カウント周期がずれることがあります。
4. TRG0:PEN00,PEN01 に同時に"00"を書込むことで、PPG 起動信号がネゲートされ、PPG が動作停止します。同時に"00"の書込みを行わない場合、カウント周期がずれることがあります。
5. PPGC1:INTM=0 の指定に基づき、PPGC1:PUF が▲のタイミングでセットされます。（プリスケーラ側）
6. PPGC0:INTM=0 の指定に基づき、PPGC0:PUF が△のタイミングでセットされます。（PPG 出力側）
7. PPG0（PPG 出力側）は、▼の起動指示後、Ql が経過した★の位置からカウント開始します。PPG 出力側は、★のタイミングで、出力パルス幅をリロードレジスタより取り込みます。▼の起動指示後、★のタイミングまでの間に PPG 出力側の出力パルス幅設定を書き換えた場合、それ以前の出力パルス幅の設定は反映されません。
8. PPG0（PPG 出力側）のカウント動作は、PPG1（プリスケーラ側）出力の立上がり/立下り両エッジで行われます。このため、上記計算式では Qa を Ql と Qh の平均値としています。プリスケーラ側の Low パルス幅、High パルス幅は同じ値にすることを推奨します。プリスケーラ側の Low パルス幅、High パルス幅が異なる場合で、PPG 出力側のパルスカウント数が奇数の場合、PPG 出力側の出力パルス幅が上記計算式に一致しないので、注意してください。
9. REVC0:REV00,REV01 レジスタの指定により、PPG0（PPG 出力側）の出力信号と PPG1（プリスケーラ側）の出力信号を反転することができます。

■ 16 ビット PPG 動作モード例

PPG-ch.0,1 を利用した 16 ビット PPG 動作モードの動作例を記載します。表 3-7 に、本動作例のレジスタ設定を記載します。図 3-11 に、本動作例の出力波形を記載します。

表 3-7 16 ビット PPG 動作モードレジスタ設定例

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=10 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	TRG0:PEN00/PEN01 による起動 16 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
PPGC1	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
GATEC0	STRG0=0 STRG2=X	TRG0:PEN00/PEN01 による起動 他チャネルの設定なので本説明の対象外	
REVC0	REV00=0 REV01=0 REV02~15=X	PPG0 を正極性で出力 PPG1 を正極性で出力 他チャネルの設定なので本説明の対象外	補足 5 参照

図 3-11 16 ビット PPG 動作モード出力波形例

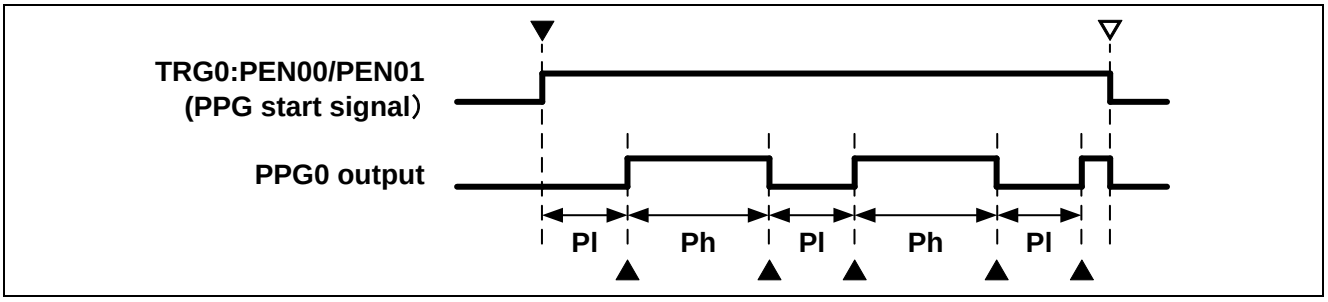


図 3-11 の記号の意味は以下のとおりです。

▼　PPG 動作開始（補足 2 参照）
▽　PPG 動作停止（補足 3 参照）
▲　PPGC0:PUF、PPGC1:PUF セットタイミング（補足 4 参照）
Pl　PPG0 出力 Low パルス幅
Ph　PPG0 出力 High パルス幅

PPG0 出力の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期）　=　PCLK 周期×4（補足 1 参照）
Pl (PPG0 出力パルス Low 幅）　=　T × (PRLH1 レジスタ値×256 + PRLL1 レジスタ値 + 1)
Ph (PPG0 出力パルス High 幅）　=　T × (PRLH0 レジスタ値×256 + PRLL0 レジスタ値 + 1)

補足事項

1. PPG0 と PPG1 のカウントクロック選択レジスタ（PPGC0:PCS1,PCS0）と（PPGC1:PCS1,PCS0）の値は必ず同じ値にします。この値により、T（カウントクロック周期）が決定します。
2. TRG0:PEN00,PEN01 に同時に"11"を書込むことで、PPG 起動信号がアサートされ、PPG が動作開始します。同時に"11"の書込みを行わない場合、カウント周期がずれることがあります。
3. TRG0:PEN00,PEN01 に同時に”00”を書込むことで、PPG 起動信号がネゲートされ、PPG が動作停止します。同時に"00"の書込みを行わない場合、カウント周期がずれることがあります。
4. PPGC0:INTM=0 の指定に基づき、PPGC0:PUF が▲のタイミングでセットされます。PPGC1: INTM=0 の指定に基づき、PPGC1:PUF が▲のタイミングでセットされます。この場合、両方のフラグが同時にセットされます。
5. 図の記載は省略していますが、REVC0:REV00=0、REVC0:REV01=0、の指定の場合、PPG1 出力には PPG0 出力と同じ出力波形が得られます。

■ 16+16 ビット PPG 動作モード例

PPG-ch.0,1,2,3 を使用した 16+16 ビット PPG 動作モードの動作例を記載します。表 3-8 に、本動作例のレジスタ設定を記載します。図 3-12 に、本動作例の出力波形を記載します。

表 3-8 16+16 ビット PPG 動作モードレジスタ設定例

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=11 PCS1,PCS0=00 INTM=0 PUF=0 PIE=0	TRG0:PEN00/PEN01/PEN02/PEN03 による起動 16+16 ビット PPG 動作モード 設定は無視されます。 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 2 参照
PPGC1	PCS1,PCS0=00 INTM=0 PUF=0 PIE=0	設定は無視されます。 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 2 参照
PPGC2	TTRG=0 MD1,MD0=11 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	TRG0:PEN00/PEN01/PEN02/PEN03 による起動 16+16 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
PPGC3	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	補足 1 参照
GATEC0	STRG0=0 STRG2=0	TRG0:PEN00/PEN01/PEN02/PEN03 による起動 TRG0:PEN00/PEN01/PEN02/PEN03 による起動	
REVC0	REV00=0,REV01=0 REV02=0 ,REV03=0 REV04~15=X	PPG0,PPG1（PPG 出力側）を正極性で出力 PPG2,PPG3（プリスケーラ側）を正極性で出力 他チャネルの設定なので本説明の対象外	補足 9 参照 補足 9 参照

図 3-12 16+16 ビット PPG 動作モード出力波形例

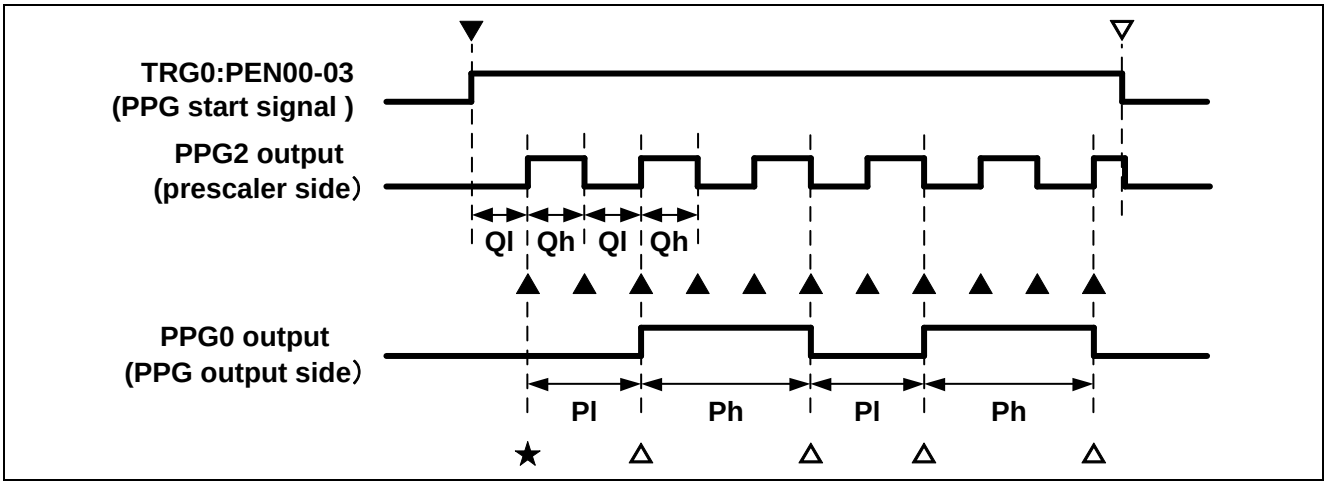


図 3-12 の記号の意味は以下のとおりです。

▼	PPG 動作開始（補足 3 参照）
▽	PPG 動作停止（補足 4 参照）
▲	PPGC2:PUF, PPGC3:PUF セットタイミング（プリスケーラ側、補足 5 参照）
△	PPGC0:PUF, PPGC1:PUF セットタイミング（PPG 出力側、補足 6 参照）
★	PPG 出力側のカウント動作開始タイミング（補足 7 参照）
Ql	PPG2 出力（プリスケーラ側）Low パルス幅
Qh	PPG2 出力（プリスケーラ側）High パルス幅
Pl	PPG0 出力（PPG 出力側）Low パルス幅
Ph	PPG0 出力（PPG 出力側）High パルス幅

PPG2 出力（プリスケーラ側）の Low 幅（Ql）、High 幅（Qh）、および PPG0 出力（PPG 出力側）の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（プリスケーラ側クロック周期）	=	PCLK 周期×4 （補足 1 参照）
Ql（PPG2 出力パルス Low 幅）	=	T×(PRLH3 レジスタ値×256 + PRLL3 レジスタ値 + 1)
Qh（PPG2 出力パルス High 幅）	=	T×(PRLH2 レジスタ値×256 + PRLL2 レジスタ値 + 1)
Qa（PPG 出力側クロック周期）	=	(Ql + Qh)/2 (Ql と Qh の平均値：補足 8 参照)
Pl（PPG0 出力パルス Low 幅）	=	Qa×(PRLH1 レジスタ値×256 + PRLL1 レジスタ値 + 1)
Ph（PPG0 出力パルス High 幅）	=	Qa×(PRLH0 レジスタ値×256 + PRLL0 レジスタ値 + 1)

補足事項

1. PPG2 と PPG3（16 ビットプリケーラ側）のカウントクロック選択レジスタ（PPGC2:PCS1,PCS0 と PPGC3:PCS1,PCS0）で選択されたカウントクロック周期により、T（プリスケーラ側のクロック周期）が決定します。PPGC2 と PPGC3 のそれぞれの PCS1,0 は、必ず同じ値に設定する必要があります。
2. PPG0 と PPG1（16 ビット PPG 出力側）のカウントクロック選択レジスタ（PPGC0:PCS1,PCS0 と PPGC1:PCS1,PCS0）の値は無視されます。
3. TRG0:PEN00~,PEN03 に同時に"1111"を書込むことで、PPG 起動信号がアサートされ、PPG が動作開始します。同時に"1111"の書込みを行わない場合、カウント周期がずれることがあります。
4. TRG0:PEN00~PEN03 に同時に"0000"を書込むことで、PPG 起動信号がネゲートされ、PPG が動作停止します。同時に"0000"の書込みを行わない場合、カウント周期がずれることがあります。
5. PPGC2:INTM=0 の指定に基づき、PPGC2:PUF が▲のタイミングでセットされます。PPGC3: INTM=0 の指定に基づき、PPGC3:PUF が▲のタイミングでセットされます。この場合、両方のフラグが同時にセットされます。
6. PPGC0:INTM=0 の指定に基づき、PPGC0:PUF が△のタイミングでセットされます。PPGC1: INTM=0 の指定に基づき、PPGC1:PUF が△のタイミングでセットされます。この場合、両方のフラグが同時にセットされます。
7. PPG0（PPG 出力側）は、▼の起動指示後、Ql が経過した★の位置からカウント開始します。PPG 出力側は、★のタイミングで、出力パルス幅をリロードレジスタより取り込みます。▼の起動指示後、★のタイミングまでの間に PPG 出力側の出力パルス幅設定を書き換えた場合、それ以前の出力パルス幅の設定は反映されません。
8. PPG0（PPG 出力側）のカウント動作は、PPG2（プリスケーラ側）出力の立上がり/立下り両エッジで行われます。このため、上記計算式では Qa を Ql と Qh の平均値としています。プリスケーラ側の Low パルス幅、High パルス幅は同じ値にすることを推奨します。プリスケーラ側の Low パルス幅、High パルス幅が異なる場合で、PPG 出力側のパルスカウント数が奇数の場合、PPG 出力側の出力パルス幅が上記計算式に一致しないので、注意してください。
9. 図の記載は省略していますが、REVC0:REV00~REV03=0000 の場合、PPG1 出力には PPG0 出力と同じ出力波形が、PPG3 出力には PPG2 出力と同じ出力波形がそれぞれ得られます。

■ 多機能タイマからの GATE 信号による PPG 動作例

多機能タイマからの GATE 信号による PPG 起動（PPG-ch.0,1 を使用した 16 ビット PPG 動作モードの場合）の動作例を記載します。表 3-9 に、本動作例のレジスタ設定を記載します。図 3-13 に、本動作例の出力波形を記載します。

表 3-9 多機能タイマからの起動時のレジスタ設定例（16 ビット PPG 動作モード）

レジスタ名	ビット書込み値	設定内容	備考
PPGC0	TTRG=0 MD1,MD0=10 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	多機能タイマからの GATE 信号による起動 16 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	
PPGC1	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	
GATEC0	STRG0=1 STRG2=X	多機能タイマからの GATE 信号による起動 他チャネルの設定なので本説明の対象外	
REVC0	REV00=0 REV01=0 REV02~15=X	PPG0 を正極性で出力 PPG1 を正極性で出力 他チャネルの設定なので本説明の対象外	

図 3-13 多機能タイマからの GATE 信号による PPG 動作例

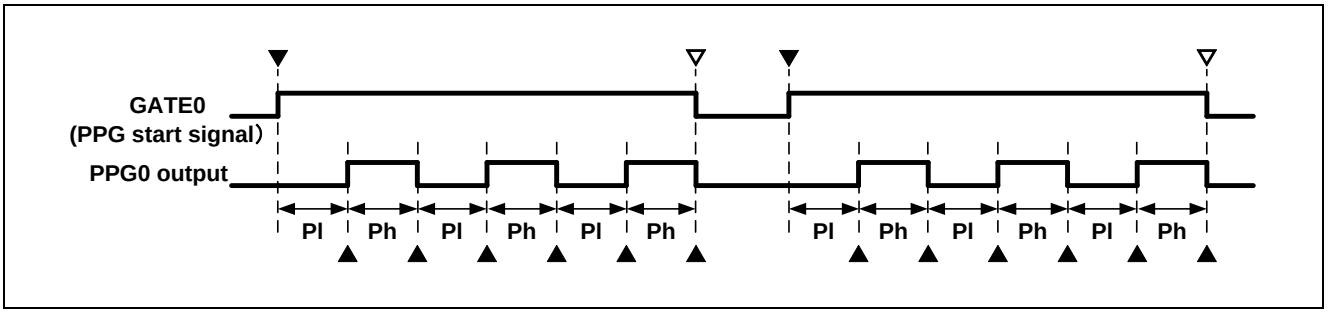


図 3-13 の記号の意味は以下のとおりです。

▼　PPG 動作開始（多機能タイマからの GATE0 信号アサート）
▽　PPG 動作停止（多機能タイマからの GATE0 信号ネゲート）
▲　PPGC0:PUF、PPGC1:PUF セットタイミング
Pl　PPG0 出力 Low パルス幅
Ph　PPG0 出力 High パルス幅

PPG0 出力の Low 幅（Pl）、High 幅（Ph）は、以下のように指定できます。

T（カウントクロック周期）　=　PCLK 周期×4（クロック選択による）
Pl (PPG0 出力パルス Low 幅）　=　T × (PRLH1 レジスタ値×256 + PRLL1 レジスタ値 + 1)
Ph (PPG0 出力パルス High 幅）　=　T × (PRLH0 レジスタ値×256 + PRLL0 レジスタ値 + 1)

3.2. タイミングジェネレータ回路の動作

タイミングジェネレータ回路は、複数の PPG を、指定したタイミングで個々に起動するための回路です。8 ビットアップカウンタとコンペアレジスタとの比較一致により、PPG タイマの起動信号を生成出力します。

■ タイミングジェネレータの構成

タイミングジェネレータは、プリスケーラ、8 ビットアップカウンタ、4 つのコンペアレジスタ、で構成されています。タイミングジェネレータ 1 ユニットにつき、4 つの PPG 起動信号を出力します。
図 3-14、図 3-15、図 3-16 に、それぞれ、タイミングジェネレータ 0,1,2 のブロック図を示します。

図 3-14 タイミングジェネレータ回路 0 ブロックダイヤグラム

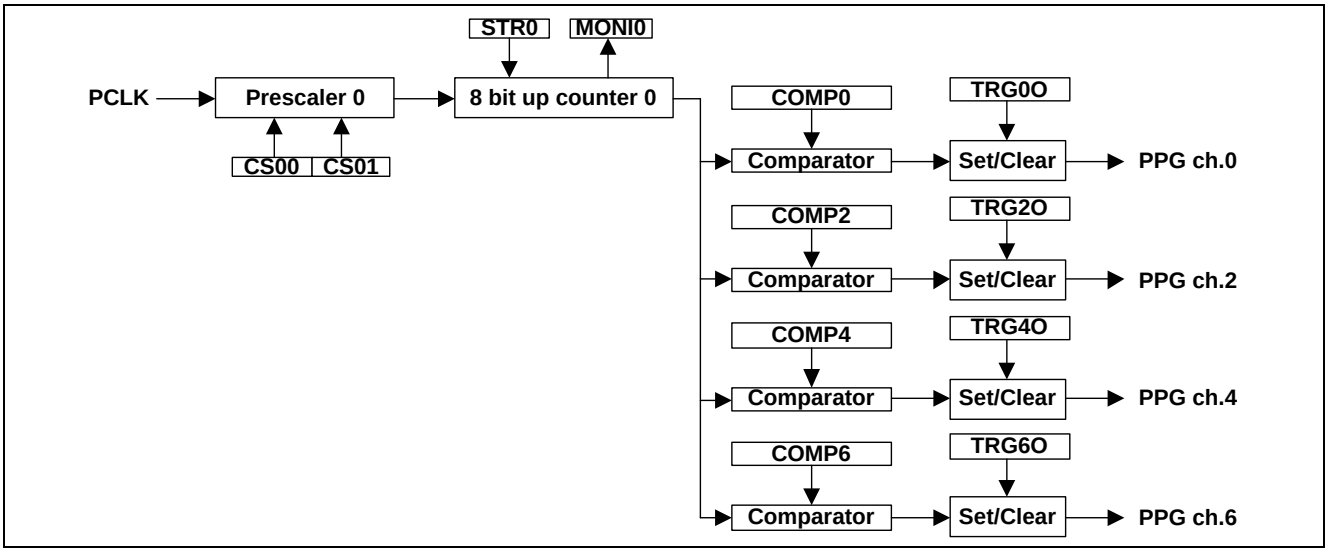


図 3-15 タイミングジェネレータ回路 1 ブロックダイヤグラム

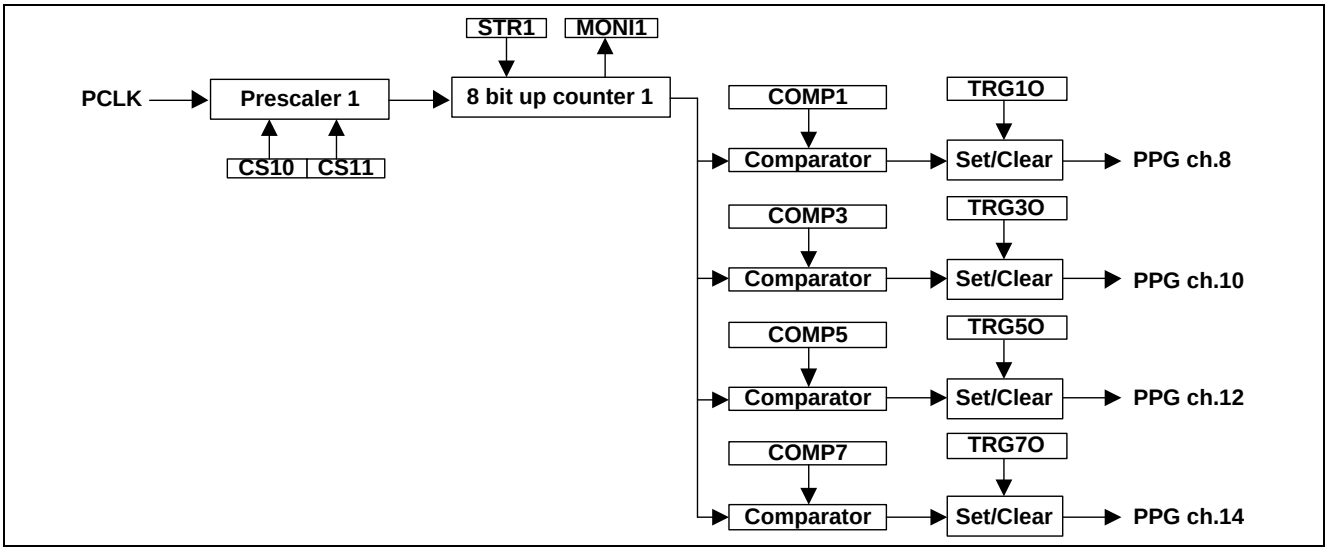
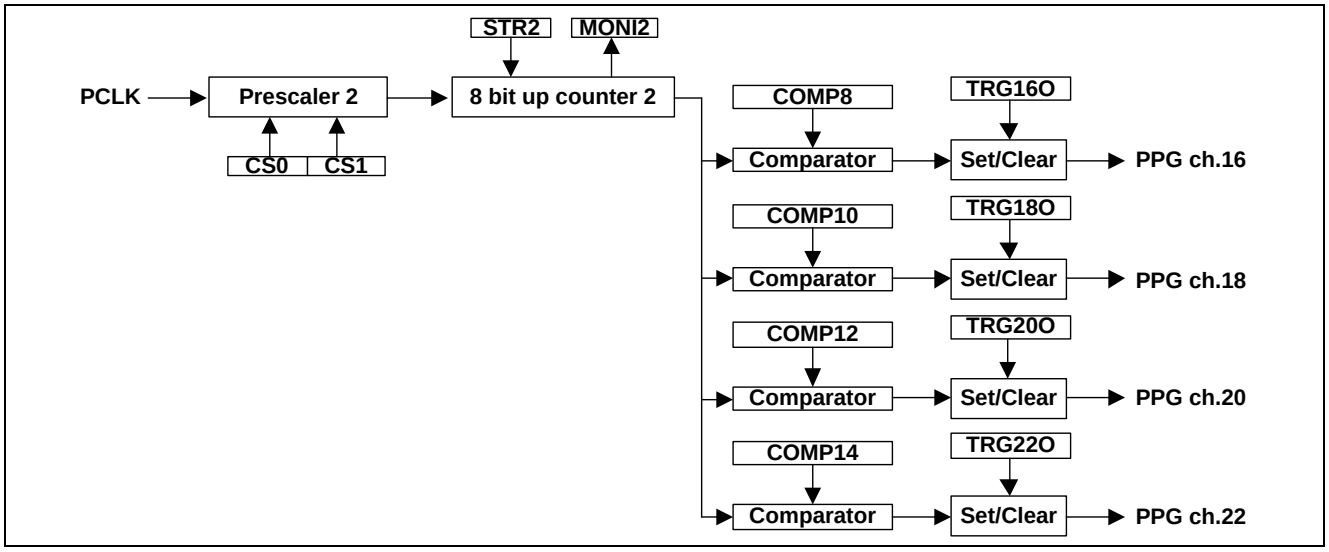


図 3-16 タイミングジェネレータ回路 2 ブロックダイヤグラム



以下にタイミングジェネレータ回路を構成するブロックの説明を行います。

- プリスケーラにより、8 ビットアップカウンタの動作クロックを 4 種類(PCLK/2, PCLK/8, PCLK/32, PCLK/64) から選択できます。
- 8 ビットアップカウンタは、TTCRx:STR="1"書込みにより、カウント動作を開始します。
- 8 ビットアップカウンタの動作状態を、TTCRx:MONI ビットから読み出せます。
- 4 つのコンペアレジスタ（COMPx）は、各 PPG チャネルに対応しており、それぞれの起動タイミングを設定します。
- 8 ビットアップカウンタのカウント値とコンペアレジスタ値が一致すると、各 PPG 起動信号をアサートします。
- TTCRx:TRGx0="0"書込みにより、PPG 起動信号をネゲートします。
- TTCRx:TRGx0="1"書込みの場合、PPG 起動信号をネゲートしません。
- 8 ビットアップカウンタは、0xFF までカウントアップするとカウント動作を停止します。

タイミングジェネレータから出力される PPG 起動信号は、PPG の偶数チャネルに接続されます。COMP レジスタ番号、TTCRx:TRGxO レジスタの番号と、PPG チャネル番号の対応関係が異なります。レジスタ設定時は番号に注意してください。表 3-10 に、タイミングジェネレータ番号、COMP レジスタ番号、TTCRx:TRGxO レジスタ番号、PPG チャネル番号の対応を記載します。

表 3-10 タイミングジェネレータのレジスタ番号と PPG チャネル対応

タイミング ジェネレータ	COMP レジスタ	TRGxO レジスタ	接続する PPG の チャネル番号
タイミング ジェネレータ 0	COMP0	TTCR0:TRG0O	PPG ch.0
	COMP2	TTCR0:TRG2O	PPG ch.2
	COMP4	TTCR0:TRG4O	PPG ch.4
	COMP6	TTCR0:TRG6O	PPG ch.6
タイミング ジェネレータ 1	COMP1	TTCR1:TRG1O	PPG ch.8
	COMP3	TTCR1:TRG3O	PPG ch.10
	COMP5	TTCR1:TRG5O	PPG ch.12
	COMP7	TTCR1:TRG7O	PPG ch.14
タイミング ジェネレータ 2	COMP8	TTCR2:TRG16O	PPG ch.16
	COMP10	TTCR2:TRG18O	PPG ch.18
	COMP12	TTCR2:TRG20O	PPG ch.20
	COMP14	TTCR2:TRG22O	PPG ch.22

■ タイミングジェネレータの動作例

タイミングジェネレータ 0 による PPG ch.2,4,6,8 起動の動作例を示します。表 3-11 に、初期レジスタ設定例を、図 3-17 に入出力信号の波形例を示します。

表 3-11 タイミングジェネレータから起動時レジスタ設定（16 ビット PPG 動作モード）

レジスタ名	ビット書込み値	設定内容	備考
PPGC0 PPGC2 PPGC4 PPGC6	TTRG=1 MD1,MD0=10 PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	タイミングジェネレータによる起動 16 ビット PPG 動作モード カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	
PPGC1 PPGC3 PPGC5 PPGC7	PCS1,PCS0=01 INTM=0 PUF=0 PIE=0	カウントクロックに PCLK/4 を選択 PUF 割込みフラグを Low,High 両方でセット PUF フラグを初期化 割込み発生を禁止	
TTCR0	STR0=0 MONI0=0 CS01,CS00=00 TRG0O=0 TRG2O=0 TRG4O=0 TRG6O=0	カウンタ動作開始しない（初期設定） 書込み値は無視されます。 8 ビットアップカウンタのクロックに PCLK/2 を選択 PPG ch.0 に対する起動信号初期化 PPG ch.2 に対する起動信号初期化 PPG ch.4 に対する起動信号初期化 PPG ch.6 に対する起動信号初期化	
REVC0	REV00-PPG07 REV08~15=X	PPG0~7 を正極性で出力 他チャネルの設定なので本説明の対象外	
COMP0	COMP0=0x40	PPG0/PPG1 の出力開始タイミングを指定	
COMP2	COMP2=0x80	PPG2/PPG3 の出力開始タイミングを指定	
COMP4	COMP4=0xC0	PPG4/PPG5 の出力開始タイミングを指定	
COMP6	COMP6=0xF0	PPG6/PPG7 の出力開始タイミングを指定	

図 3-17 の▼1～▼6 の各タイミングでの CPU からの制御内容と PPG の動作を以下に示します。

▼1 のタイミング：
表 3-11 に示すように、PPG とタイミングジェネレータの初期設定を行います。8 ビットアップカウンタの動作中は、初期設定が行えないため、TTCR0:MONI0 レジスタの読出しを行って、カウンタが動作停止していることを確認してから、初期設定を行います。PPGC0,2,4,6:TTRG=1 の指定により、タイミングジェネレータからの起動を選択します。TTCR0:CS01,CS00 レジスタにて、8 ビットアップカウンタで使用するクロックの選択を行います。COMP0,2,4,6 レジスタに、各 PPG の起動タイミングを指定します。PPG 起動信号をアサートしない場合、COMPx=0x00 の指定を行います。

▼2 のタイミング：
TTCR0:STR0="1"書込みを行います。8 ビットアップカウンタがカウント動作を開始します。TTCR0:MONI0 レジスタより、8 ビットアップカウンタのカウント動作状態が読み出せます。カウント動作中は"1"が読み出せます。カウント停止中は"0"が読み出せます。

▼3 のタイミング：
8 ビットアップカウンタのカウンタ値が COMP0 値、COMP2 値、COMP4、COMP6 値と一致したタイミン

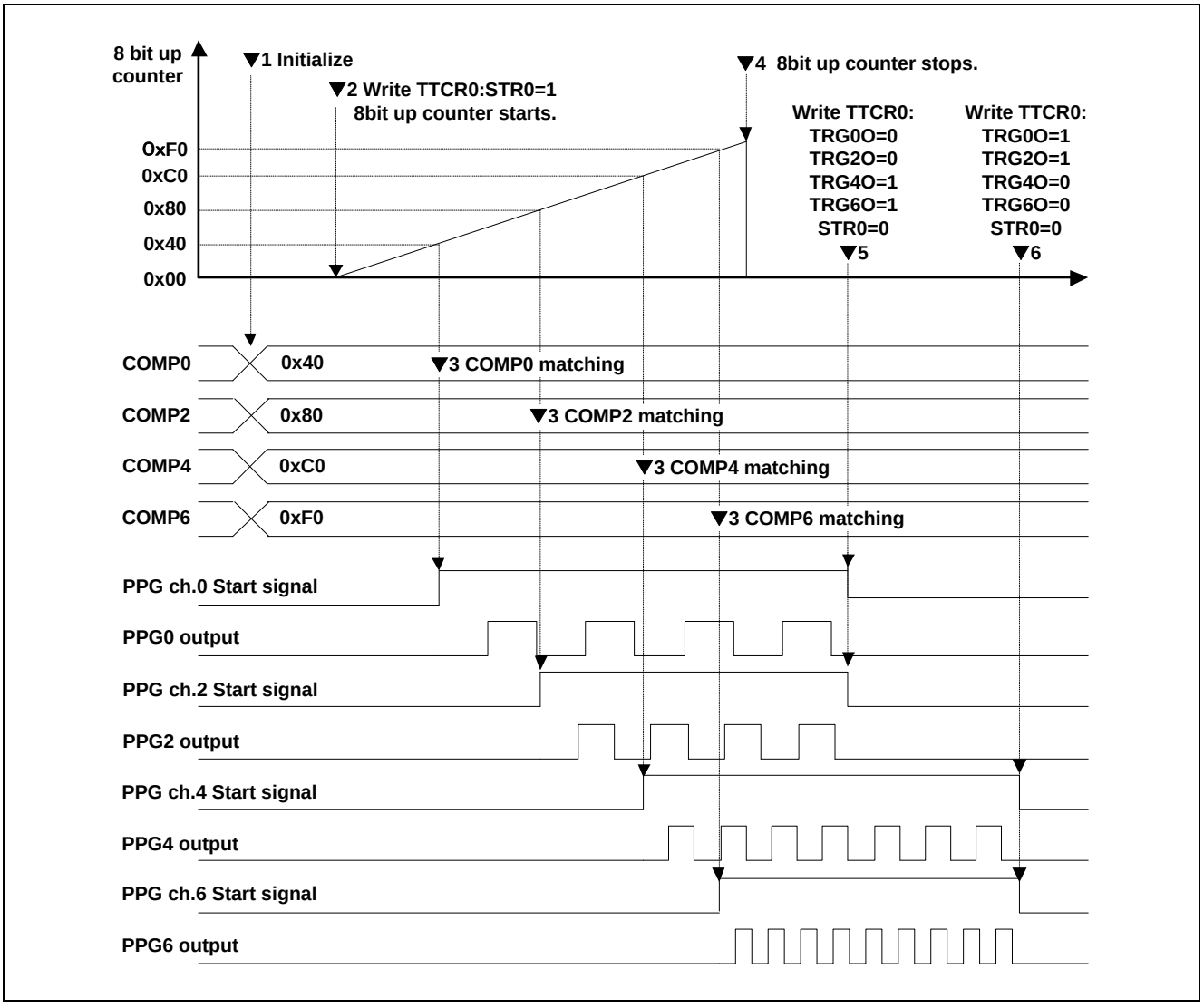
グで、各チャネルに対するタイミングジェネレータからの PPG 起動信号がアサートされます。各 PPG は、それぞれの起動信号がアサートされたタイミングで、出力を開始します。

▼4 のタイミング:
8 ビットアップカウンタは、0xFF までカウントアップすると停止します。

▼5 のタイミング：
TRG0O=TRG2O=0、TRG4O=TRG6O=1、STR0=0 の書込みを行います。PPG0 と PPG2 に対し動作停止、PPG4 と PPG6 に対し動作継続を指示しています。8 ビットアップカウンタを再起動しないために STR0=0 を書込みます。

▼6:のタイミング：
TRG0O=TRG2O=1、TRG4O=TRG6O=0、STR0=0 の書込みを行い、PPG4 と PPG6 に対し停止指示します。

図 3-17 タイミングジェネレータ 0 による PPG 起動の動作例



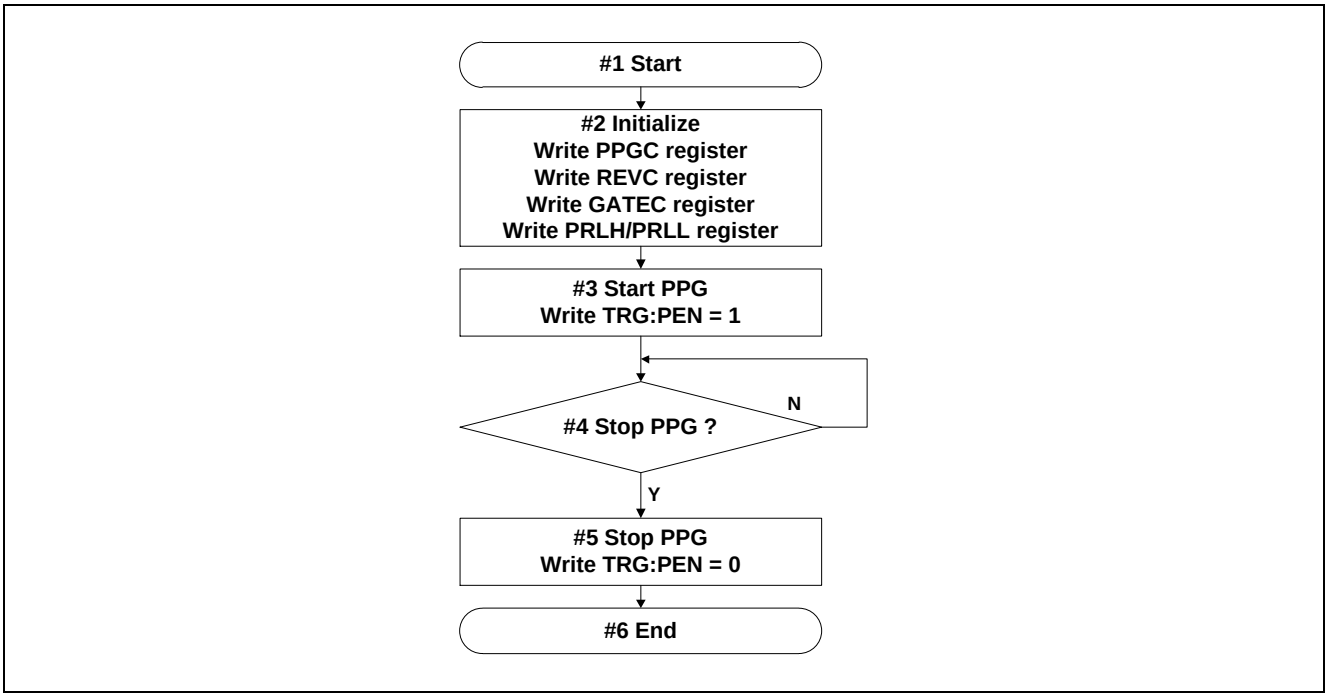
4. PPG 設定手順例

PPG の設定手順例を説明します。

■ PPG 起動レジスタ書込みによる PPG 起動例

図 4-1 に、PPG 起動レジスタ（TRG:PEN）への直接書込みによる PPG 起動を選択した場合の設定手順例を示します。図中の番号は、以下の説明文の番号に対応します。

図 4-1 PPG 起動レジスタへの直接書込みによる PPG 起動



#1　本例の設定手順を開始します。

#2　各レジスタの初期化を行います。PPGC:TTRG=0、GATEC:STRG=0 の設定を行い、PPG 起動レジスタ（TRG:PEN）への直接書込みによる PPG 起動を選択します。各レジスタの初期設定値は、表 3-5 表 3-6 表 3-7 表 3-8 を参考にしてください。

#3　PPG 起動レジスタ（TRG:PEN）へ"1"の書込みを行い、PPG 出力開始を指示します。

#4　PPG は出力開始後、起動停止指示があるまで出力を継続します。起動停止する場合#5 へ進みます。

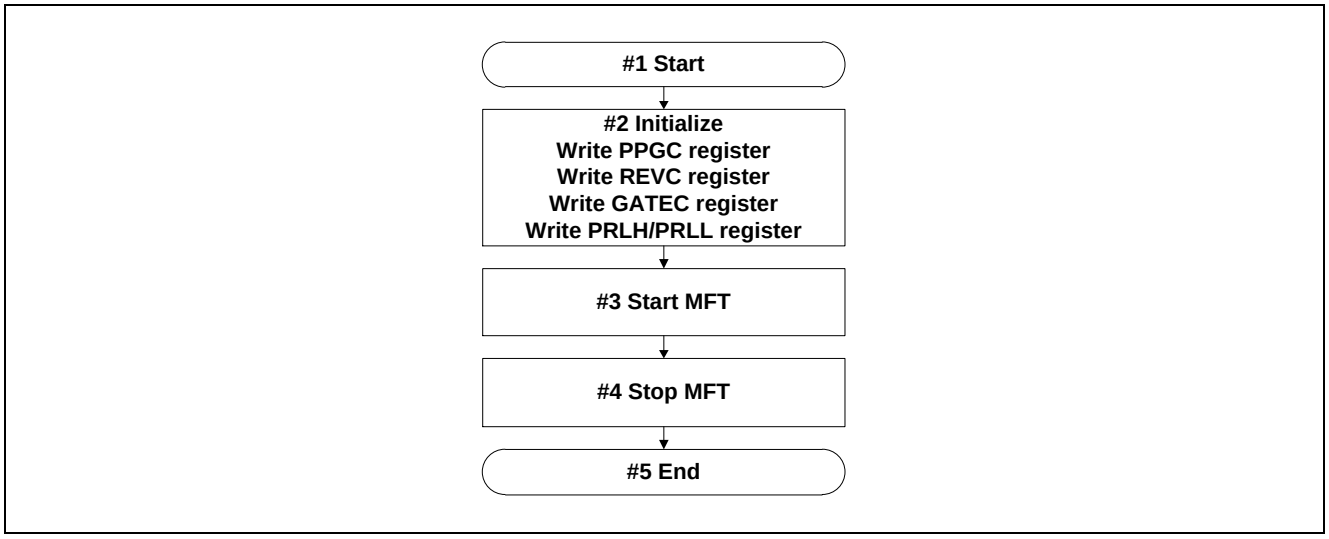
#5　PPG 起動レジスタ（TRG:PEN）へ"0"の書込みを行い、PPG 出力停止を指示します。

#6　本例の設定手順を終了します。

■ 多機能タイマからの GATE 信号による PPG 起動例

図 4-2 に、多機能タイマ（MFT）からの GATE 信号による PPG 起動を選択した場合の設定手順例を示します。図中の番号は、以下の説明文の番号に対応します。

図 4-2 多機能タイマからの GATE 信号による PPG 起動



#1 本例の設定手順を開始します。

#2 各レジスタの初期化を行います。PPGC:TTRG=0、GATEC:STRG=1 の設定を行い、多機能タイマからの GATE 信号による起動を選択します。各レジスタの初期設定値は、表 3-9 を参考にしてください。

#3 多機能タイマの動作を開始させます。多機能タイマから供給される GATE 信号のアサート/ネゲートに従い、PPG の出力開始、出力停止が制御されます。

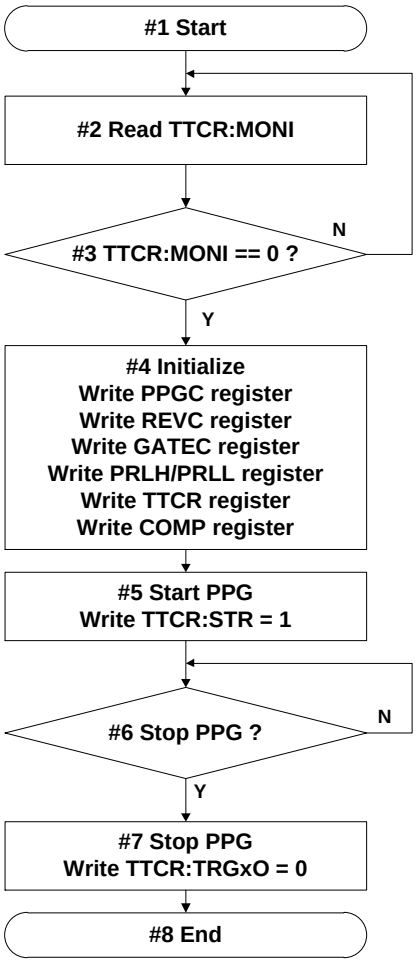
#4 多機能タイマの動作を停止させます。この際、GATE 信号がネゲート状態で終了するよう、多機能タイマ側で制御を行ってください。GATE 信号がネゲート状態である場合、PPG はそれ以降出力を停止します。

#5 本例の設定手順を終了します。

■ タイミングジェネレータによる PPG 起動例

図 4-3 に、タイミングジェネレータからの PPG 起動を選択した場合の設定手順例を示します。図中の番号は、以下の説明文の番号に対応します。

図 4-3 タイミングジェネレータからの PPG 起動



#1 本例の設定手順を開始します。

#2, #3 タイミングジェネレータによる PPG 起動を行う場合､8 ビットアップカウンタのカウント動作中は、初期化ができないため、TTCR:MONI の読出しを行い、カウント動作が停止していることを確認してから、#4 へ進みます。

#4 各レジスタの初期化を行います。PPGC:TTRG=1 の設定を行い、タイミングジェネレータによる起動を選択します。各レジスタの初期設定値は、表 3-10 を参考にしてください。

#5 TTCR:STR へ"1"の書込みを行い、8 ビットアップカウンタのカウント開始を指示します。COMP レジスタ設定値と 8 ビットアップカウンタの一致により、PPG 起動信号がアサートされ、PPG の出力が開始されます。

#6 PPG は出力開始後､､起動停止指示まで出力を継続します。起動停止する場合#7 へ進みます。

#7 TTCR:TRGxO レジスタへ"0"の書込みを行い、PPG 出力停止を指示します。対応する PPG 起動信号がネゲートされ、PPG の出力が停止します。

#8 本例の設定手順を終了します。

5. PPG レジスター覧

PPG のレジスター覧を説明します。

PPG のレジスター覧を表 5-1 に示します。

表 5-1 レジスター覧表

レジスタ略称	レジスタ名	参照先
TTCR0	タイミングジェネレータ PPG 起動トリガ制御レジスタ 0	5.1
TTCR1	タイミングジェネレータ PPG 起動トリガ制御レジスタ 1	5.2
TTCR2	タイミングジェネレータ PPG 起動トリガ制御レジスタ 2	5.3
COMP0	タイミングジェネレータ PPG コンペアレジスタ 0	5.4
COMP1	タイミングジェネレータ PPG コンペアレジスタ 1	
COMP2	タイミングジェネレータ PPG コンペアレジスタ 2	
COMP3	タイミングジェネレータ PPG コンペアレジスタ 3	
COMP4	タイミングジェネレータ PPG コンペアレジスタ 4	
COMP5	タイミングジェネレータ PPG コンペアレジスタ 5	
COMP6	タイミングジェネレータ PPG コンペアレジスタ 6	
COMP7	タイミングジェネレータ PPG コンペアレジスタ 7	
COMP8	タイミングジェネレータ PPG コンペアレジスタ 8	
COMP10	タイミングジェネレータ PPG コンペアレジスタ 10	
COMP12	タイミングジェネレータ PPG コンペアレジスタ 12	
COMP14	タイミングジェネレータ PPG コンペアレジスタ 14	
TRG0	PPG 起動レジスタ 0	5.5
TRG1	PPG 起動レジスタ 1	5.6
REVC0	出力反転レジスタ 0	5.7
REVC1	出力反転レジスタ 1	5.8
PPGC0	PPG 動作モード制御レジスタ 0	5.9
PPGC1	PPG 動作モード制御レジスタ 1	
PPGC2	PPG 動作モード制御レジスタ 2	
PPCG3	PPG 動作モード制御レジスタ 3	
PPGC4	PPG 動作モード制御レジスタ 4	
PPGC5	PPG 動作モード制御レジスタ 5	
PPGC6	PPG 動作モード制御レジスタ 6	
PPCG7	PPG 動作モード制御レジスタ 7	
PPGC8	PPG 動作モード制御レジスタ 8	
PPGC9	PPG 動作モード制御レジスタ 9	
PPGC10	PPG 動作モード制御レジスタ 10	
PPCG11	PPG 動作モード制御レジスタ 11	

レジスタ略称	レジスタ名	参照先
PPGC12	PPG 動作モード制御レジスタ 12	5.9
PPGC13	PPG 動作モード制御レジスタ 13	
PPGC14	PPG 動作モード制御レジスタ 14	
PPCG15	PPG 動作モード制御レジスタ 15	
PPCG16	PPG 動作モード制御レジスタ 16	
PPCG17	PPG 動作モード制御レジスタ 17	
PPCG18	PPG 動作モード制御レジスタ 18	
PPCG19	PPG 動作モード制御レジスタ 19	
PPCG20	PPG 動作モード制御レジスタ 20	
PPCG21	PPG 動作モード制御レジスタ 21	
PPCG22	PPG 動作モード制御レジスタ 22	
PPCG23	PPG 動作モード制御レジスタ 23	
PRLH0	PPG リロードレジスタ H 0	5.10
PRLL0	PPG リロードレジスタ L 0	
PRLH1	PPG リロードレジスタ H 1	
PRLL1	PPG リロードレジスタ L 1	
PRLH2	PPG リロードレジスタ H 2	
PRLL2	PPG リロードレジスタ L 2	
PRLH3	PPG リロードレジスタ H 3	
PRLL3	PPG リロードレジスタ L 3	
PRLH4	PPG リロードレジスタ H 4	
PRLL4	PPG リロードレジスタ L 4	
PRLH5	PPG リロードレジスタ H 5	
PRLL5	PPG リロードレジスタ L 5	
PRLH6	PPG リロードレジスタ H 6	
PRLL6	PPG リロードレジスタ L 6	
PRLH7	PPG リロードレジスタ H 7	
PRLL7	PPG リロードレジスタ L 7	
PRLH8	PPG リロードレジスタ H 8	
PRLL8	PPG リロードレジスタ L 8	
PRLH9	PPG リロードレジスタ H 9	
PRLL9	PPG リロードレジスタ L 9	
PRLH10	PPG リロードレジスタ H 10	
PRLL10	PPG リロードレジスタ L 10	
PRLH11	PPG リロードレジスタ H 11	
PRLL11	PPG リロードレジスタ L 11	
PRLH12	PPG リロードレジスタ H 12	

レジスタ略称	レジスタ名	参照先
PRLL12	PPG リロードレジスタ L 12	5.10
PRLH13	PPG リロードレジスタ H 13	
PRLL13	PPG リロードレジスタ L 13	
PRLH14	PPG リロードレジスタ H 14	
PRLL14	PPG リロードレジスタ L 14	
PRLH15	PPG リロードレジスタ H 15	
PRLL15	PPG リロードレジスタ L 15	
PRLH16	PPG リロードレジスタ H 16	
PRLL16	PPG リロードレジスタ L 16	
PRLH17	PPG リロードレジスタ H 17	
PRLL17	PPG リロードレジスタ L 17	
PRLH18	PPG リロードレジスタ H 18	
PRLL18	PPG リロードレジスタ L 18	
PRLH19	PPG リロードレジスタ H 19	
PRLL19	PPG リロードレジスタ L 19	
PRLH20	PPG リロードレジスタ H 20	
PRLL20	PPG リロードレジスタ L 20	
PRLH21	PPG リロードレジスタ H 21	
PRLL21	PPG リロードレジスタ L 21	
PRLH22	PPG リロードレジスタ H 22	
PRLL22	PPG リロードレジスタ L 22	
PRLH23	PPG リロードレジスタ H 23	
PRLL23	PPG リロードレジスタ L 23	
GATEC0	GATE 機能制御レジスタ 0	5.11
GATEC4	GATE 機能制御レジスタ 4	
GATEC8	GATE 機能制御レジスタ 8	
GATEC12	GATE 機能制御レジスタ 12	
GATEC16	GATE 機能制御レジスタ 16	
GATEC20	GATE 機能制御レジスタ 20	

5.1. タイミングジェネレータ PPG 起動トリガ制御レジスタ 0 (TTCR0)

TTCR0 レジスタはタイミングジェネレータ 0 を制御します。

■レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	TRG6O	TRG4O	TRG2O	TRG0O	CS01	CS00	MONI0	STR0
属性	W	W	W	W	R/W	R/W	R	W
初期値	-	-	-	-	0	0	0	-

■レジスタ機能

[bit15:12] TRG6O, TRG4O, TRG2O, TRG0O : PPG トリガ停止ビット

タイミングジェネレータ 0 により生成された PPG 起動信号をネゲートします。

処理	機能
読出し	常に"1"が読み出されます。
0 書込み	タイミングジェネレータからの PPG 起動信号をネゲートし、PPG 出力を停止します。
1 書込み	動作に影響しません。

[bit11:10] CS01, CS00 : 8 ビットアップカウンタクロック選択ビット

8 ビットアップカウンタの動作クロックを設定できます。

bit11	bit10	機能
0	0	PCLK/2 [初期値]
0	1	PCLK/8
1	0	PCLK/32
1	1	PCLK/64

[bit9] MONI0 : 8 ビットアップカウンタ動作状態モニタビット

8 ビットアップカウンタの動作状態を示します。

処理	機能
0 読出し	8 ビットアップカウンタ停止状態[初期値]
1 読出し	8 ビットアップカウンタ動作状態
書込み時	動作に影響しません。

[bit8] STR0 : 8 ビットアップカウンタ動作許可ビット

8 ビットアップカウンタの動作開始を指示します。

処理	機能
読出し	常に"0"が読み出されます。
0 書込み	動作に影響しません。
1 書込み	8 ビットアップカウンタ動作開始

＜注意事項＞

- TRGxO ビットの番号と、制御対象となる PPG チャネル番号が異なる場合があります。表 3-10 を参照してください。
- コンペアレジスタの比較一致による PPG 起動信号アサートと、TRGxO="0"書込みが同時に発生した場合、PPG 起動信号ネゲートが優先されます。
- コンペアレジスタの比較一致による PPG 起動信号アサートの前に、TRGxO="0"書込んでも、動作に影響ありません。
- 8 ビットアップカウンタは、カウント開始後、0xFF までカウントアップした後に停止します。一度カウント開始後、再度 0x00 からカウント開始する場合は、カウント動作が停止していることを、MONI0 ビットで確認した後に、カウント開始指示を行ってください。
- CS01, CS00 ビットは 8 ビットアップカウンタの動作中は書換え禁止です。

5.2. タイミングジェネレータ PPG 起動トリガ制御レジスタ 1 (TTCR1)

TTCR1 レジスタはタイミングジェネレータ 1 の起動を制御します。

■レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	TRG7O	TRG5O	TRG3O	TRG1O	CS11	CS10	MONI1	STR1
属性	W	W	W	W	R/W	R/W	R	W
初期値	-	-	-	-	0	0	0	-

■レジスタ機能

[bit15:12] TRG7O/TRG5O/TRG3O/TRG1O : PPG トリガ停止ビット

タイミングジェネレータにより生成された PPG 起動信号をネゲートします。

処理	機能
読出し	常に"1"が読み出されます。
0 書込み	タイミングジェネレータからの PPG 起動信号をネゲートし、PPG 出力を停止します。
1 書込み	動作に影響しません。

[bit11:10] CS11, CS10 : 8 ビットアップカウンタクロック選択ビット

8 ビットアップカウンタの動作クロックを設定できます。

bit11	bit10	機能
0	0	PCLK/2 [初期値]
0	1	PCLK/8
1	0	PCLK/32
1	1	PCLK/64

[bit9] MONI1 : 8 ビットアップカウンタ動作状態モニタビット

8 ビットアップカウンタの動作状態を示します。

処理	機能
0 読出し	8 ビットアップカウンタ停止状態[初期値]
1 読出し	8 ビットアップカウンタ動作状態
書込み時	動作に影響しません。

[bit8] STR1 : 8 ビットアップカウンタ動作許可ビット

8 ビットアップカウンタの動作開始を指示します。

処理	機能
読出し	常に"0"が読み出されます。
0 書込み	動作に影響しません。
1 書込み	8 ビットアップカウンタ動作開始

＜注意事項＞

・「タイミングジェネレータ PPG 起動トリガ制御レジスタ 0 (TTCR0)」の注意事項を参照ください。TTCR1 レジスタにも同様に適用されます。

5.3. タイミングジェネレータ PPG 起動トリガ制御レジスタ 2 (TTCR2)

TTCR2 レジスタはタイミングジェネレータ 2 の起動を制御します。

■レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	TRG22O	TRG20O	TRG18O	TRG16O	CS21	CS20	MONI2	STR2
属性	W	W	W	W	R/W	R/W	R	W
初期値	-	-	-	-	0	0	0	-

■レジスタ機能

[bit15:12] TRG22O/TRG20O/TRG18O/TRG16O : PPG トリガ停止ビット

タイミングジェネレータにより生成された PPG 起動信号をネゲートします。

処理	機能
読出し	常に"1"が読み出されます。
0 書込み	タイミングジェネレータからの PPG 起動信号をネゲートし、PPG 出力を停止します。
1 書込み	動作に影響しません。

[bit11:10] CS21, CS20 : 8 ビットアップカウンタクロック選択ビット

8 ビットアップカウンタの動作クロックを設定できます。

bit11	bit10	機能
0	0	PCLK/2 [初期値]
0	1	PCLK/8
1	0	PCLK/32
1	1	PCLK/64

[bit9] MONI2 : 8 ビットアップカウンタ動作状態モニタビット

8 ビットアップカウンタの動作状態を示します。

処理	機能
0 読出し	8 ビットアップカウンタ停止状態[初期値]
1 読出し	8 ビットアップカウンタ動作状態
書込み時	動作に影響しません。

[bit8] STR2 : 8 ビットアップカウンタ動作許可ビット

8 ビットアップカウンタの動作開始を指示します。

処理	機能
読出し	常に"0"が読み出されます。
0 書込み	動作に影響しません。
1 書込み	8 ビットアップカウンタ動作開始

＜注意事項＞

「タイミングジェネレータ PPG 起動トリガ制御レジスタ 0 (TTCR0)」の注意事項を参照ください。TTCR2 レジスタにも同様に適用されます。

5.4. タイミングジェネレータ PPG コンペアレジスタ n (COMPn n=0～14)

COMPn レジスタはタイミングジェネレータのコンペア値を設定します。

■レジスタ構成

bit	15/7	14/6	13/5	12/4	11/3	10/2	9/1	8/0
Field	COMPn							
属性	R/W							
初期値	0x00							

■レジスタ機能

[bit15:8/bit7:0] COMP14～COMP0 : コンペアレジスタ ch.14～ch.0

タイミングジェネレータによる起動時のコンペア値を設定できます。

処理	機能
読出し	コンペア値が読み出されます。 初期値は 0x00 です。
書込み	コンペア値が設定できます。

＜注意事項＞

- 本レジスタは 8 ビットのコンペアレジスタで、各 PPG 起動信号に対して 1 個ずつあります。本レジスタ番号と制御対象となる PPG チャネル番号が異なる場合があります。表 3-10 を参照してください。
- 本レジスタ値が 8 ビットアップカウンタ値と一致すると、対応する PPG に対し、起動信号がアサートされます。
- 本レジスタ値が 0x00 の場合は 8 ビットアップカウンタ値との一致比較は行われず、PPG 起動信号はアサートされません。
- 本レジスタは、8 ビットアップカウンタが動作中の書込みは禁止です。

5.5. PPG 起動レジスタ 0(TRG0)

TRG0 レジスタは PPG0~PPG15 を直接起動する PPG 起動レジスタです。

■レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	PEN15	PEN14	PEN13	PEN12	PEN11	PEN10	PEN09	PEN08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	PEN07	PEN06	PEN05	PEN04	PEN03	PEN02	PEN01	PEN00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■レジスタ機能

[bit15:0] PEN15～PEN00 : PPG 起動レジスタ

PPG の各チャネルを直接起動する PPG 起動レジスタです。"1"書込みにより、PPG 起動信号をアサートし、PPG を起動します。"0"書込みにより、PPG 起動信号をネゲートし、PPG を停止します。複数チャネルへの同時書込みにより、同時 PPG 起動、同時 PPG 停止が可能です。

値	機能
0	PPG 起動信号をネゲートし、PPG の動作を停止します。[初期値]
1	PPG 起動信号をアサートし、PPG の動作を開始します。

＜注意事項＞

- PEN のビット番号 n (n=0,1,2,,,15）は、各 PPG のチャネル番号に対応します。
- PPGC:TTRG レジスタ、および GATEC:STRG レジスタの指定により、PEN レジスタによる PPG 起動が選択されている場合、PEN レジスタから PPG を起動・停止することができます。
- PEN レジスタによる PPG 起動が選択されていない場合は、PEN レジスタの値は無視されます。表 3-2 を参照してください。
- PEN レジスタ書込みによる起動を行う場合で､複数の PPG チャネルを使用する動作モード(8+8 ビット、16 ビット、16+16 ビット）の場合は、使用するすべてのチャネルの PEN レジスタに同時に"1"を書込み、PPG の起動を行います。また、使用するすべて PEN レジスタに同時に"0"を書込み、PPG の停止を行います。書込みを同時に行わない場合、カウント周期がずれることがあります。

5.6. PPG 起動レジスタ 1(TRG1)

TRG1 レジスタは PPG16~PPG23 を直接起動する PPG 起動レジスタです。

■レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	PEN23	PEN22	PEN21	PEN20	PEN19	PEN18	PEN17	PEN16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■レジスタ機能

[bit7:0] PEN23～PEN16 : PPG 起動レジスタ

PPG の各チャネルを直接起動する PPG 起動レジスタです。"1"書込みにより、PPG 起動信号をアサートし、PPG を起動します。"0"書込みにより、PPG 起動信号をネゲートし、PPG を停止します。複数チャネルへの同時書込みにより、同時 PPG 起動、同時 PPG 停止が可能です。

値	機能
0	PPG 起動信号をネゲートし、PPG の動作を停止します。[初期値]
1	PPG 起動信号をアサートし、PPG の動作を開始します。

＜注意事項＞

PEN のビット番号 n（n=16,17,,,23）は、各 PPG のチャネル番号に対応します。
「PPG 起動レジスタ 0(TRG0)」の注意事項を参照してください。TRG1 レジスタにも同様に適用されます。

5.7. 出力反転レジスタ 0(REVC0)

REVC0 レジスタは PPG0~PPG15 出力信号の出力極性を設定します。

■レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	REV15	REV14	REV13	REV12	REV11	REV10	REV09	REV08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	REV07	REV06	REV05	REV04	REV03	REV02	REV01	REV00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■レジスタ機能

[bit15:0] REV15～REV00 : PPG 出力反転許可ビット

PPG の各チャネル出力信号の極性を設定できます。

値	機能
0	通常(停止時に L 出力)[初期値]
1	反転(停止時に H 出力)

＜注意事項＞

REV のビット番号 n（n=0,1,2,,,15）は、各 PPG のチャネル番号に対応します。
図 3-1, 図 3-3, 図 3-4, 図 3-5 の接続図に記載のように、REV レジスタ値により、直接 PPG 出力を反転する構成です。このため、REV=1 の場合、以下のようになります。

- PPG 出力の動作開始前の出力レベル、動作停止後の出力レベルが、High レベルに反転します。
- 出力パルスの Low-High が反転し、リロードレジスタの Low 幅設定、High 幅設定の関係が反転します。
- PPGC:INTM=1 時、Low パルス終了時に PUF がセットされます。
- 8+8 ビット PPG 動作モード、16+16 ビット PPG 動作モードにおいて、プリスケーラ側から PPG 出力側に供給される動作クロックが反転します。

5.8. 出力反転レジスタ 1(REVC1)

REVC1 レジスタは PPG16~PPG23 出力信号の出力極性を設定します。

■レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	REV23	REV22	REV21	REV20	REV19	REV18	REV17	REV16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■レジスタ機能

[bit7:0] REV23～REV16 : PPG 出力反転許可ビット

PPG の各チャネル出力信号の極性を設定できます。

値	機能
0	通常(停止時に L 出力)[初期値]
1	反転(停止時に H 出力)

＜注意事項＞

- REV のビット番号 n（n=16,17,,,23）は、各 PPG のチャネル番号に対応します。
- 「出力反転レジスタ 0(REVC0)」の注意事項を参照してください。REV1 レジスタにも同様に適用されます。

5.9. PPG 動作モード制御レジスタ n (PPGCn n=0～23)

PPGCn レジスタは、PPG の割込み,動作モード,クロック選択 などを設定します。

■PPGC のレジスタ構成　一覧

bit 15	8	7	0	初期値	属性	対応 PPG
PPGC0		PPGC1		0x0000	R/W	PPG0, PPG1
PPGC2		PPGC3		0x0000	R/W	PPG2, PPG3
PPGC4		PPGC5		0x0000	R/W	PPG4, PPG5
PPGC6		PPGC7		0x0000	R/W	PPG6, PPG7
PPGC8		PPGC9		0x0000	R/W	PPG8, PPG9
PPGC10		PPGC11		0x0000	R/W	PPG10, PPG11
PPGC12		PPGC13		0x0000	R/W	PPG12, PPG13
PPGC14		PPGC15		0x0000	R/W	PPG14, PPG15
PPGC16		PPGC17		0x0000	R/W	PPG16, PPG17
PPGC18		PPGC19		0x0000	R/W	PPG18, PPG19
PPGC20		PPGC21		0x0000	R/W	PPG20, PPG21
PPGC22		PPGC23		0x0000	R/W	PPG22, PPG23

＜注意事項＞

- PPGC のレジスタ番号 n (n=0,1,2,,,,23)は、制御対象となる PPG のチャネル番号に対応します。
- 本レジスタは、n が偶数の場合、上位側（bit[15:8]）に配置されています。
- 本レジスタは、n が奇数の場合、下位側（bit[7:0]）に配置されています。
- 上位側と下位側で、レジスタ構成が異なります。偶数チャネル側にのみ存在する制御ビットがあります。

■ PPGCn レジスタ構成（n が偶数の場合）

Bit	15	14	13	12	11	10	9	8
Field	PIE	PUF	INTM	PCS1	PCS0	MD1	MD0	TTRG

■ PPGCn レジスタ構成（n が奇数の場合）

bit	7	6	5	4	3	2	1	0
Field	PIE	PUF	INTM	PCS1	PCS0	予約		

■レジスタ機能

[bit15/bit7] PIE : PPG 割込み許可ビット

PPG 割込みを許可/禁止を選択します。割込み許可を設定している場合、PUF を利用して割込み信号をアサートすることができます。図 3-1, 図 3-3, 図 3-4, 図 3-5 の接続図に示すように、割込み出力信号は、PUF 値と PIE 値の論理 AND 信号です。

処理	機能
0 書込み時	割込み禁止[初期値]
1 書込み時	割込み許可
読出し時	設定値が読み出せます。

[bit14/bit6] PUF : PPG カウンタアンダフロービット

PPG 出力パルス変化のイベント発生を CPU に通知するためのビットです。PPG カウンタのアンダフローにより"1"がセットされます。CPU から"0"にクリアすることができます。

処理	機能
0　読出し時	PPG カウンタのアンダフローを検出していません[初期値]
1　読出し時	PPG カウンタのアンダフローを検出しました。
0　書込み時	PUF フラグをクリアします。
1　書込み時	動作に影響しません。

PPG のカウンタは、指定されたパルス幅値のダウンカウントを終了し、アンダフローが発生した時に、出力パルスを変化させます。この際のカウンタのアンダフローにより、PUF に"1"がセットされます。PUF は、出力パルス変化のイベント発生を CPU に通知するためのイベントレジスタです。PPGCn:INTM により、以下の選択が行われます。

- PPGCn:INTM=0 の場合、Low パルス幅カウント終了時のアンダフロー、High パルス幅カウント終了時のアンダフローで、それぞれセットされます。
- PPGCn:INTM=1 の場合、High パルス幅カウント終了時のアンダフローで、セットされます。

PPG チャネルを連結して 16 ビット長で動作させている場合、偶数チャネルと奇数チャネルの両方の PUF が、同時にセットされます。

PPG からセットされた PUF は、CPU から PUF への"0"書込みにより、クリアすることができます PUF は、1 度セットされると、PPG からはクリアされません。CPU が出力パルス変化のイベント発生を認識するためには、PUF のセットの都度、CPU から PUF をクリアする必要があります。

PUF は、"0"書込みにより、クリアされます。このため、PUF クリアせずに、PPGCn レジスタに書込みアクセスを行う場合は、PUF には"1"を書込んでください。リードモディファイライトアクセス時の読出し時は、PUF の値に関係なく、"1"が読み出せます。

[bit13/bit5] INTM : 割込みモード選択ビット

割込みモードを設定します。

処理	機能
0 書込み時	Low パルス幅カウント終了時のアンダフロー、および、High パルス幅カウントカウント終了時のアンダフローで、PUF ビットを"1"にします。[初期値]
1 書込み時	High パルス幅カウント終了時のアンダフローで PUF ビットを"1"にします。
読出し時	設定値が読み出せます。

[bit12:11/bit4:3] PCS1, PCS0 : PPG ダウンカウンタ動作クロック選択ビット

PPG のダウンカウンタの動作クロックを設定します。

「カウントクロックの選択」を参照してください。

bit12	bit11	機能
0	0	PCLK　[初期値]
0	1	PCLK/4
1	0	PCLK/16
1	1	PCLK/64

[bit10:9] MD1, MD0 : PPG 動作モード設定ビット

PPG の動作モードを設定します。

本ビットは偶数チャネル（n=0,2,4,,,,22）にのみ存在します。本ビットの設定で、偶数チャネル(n)と奇数チャネル(n+1)の両方の PPG チャネルの動作モードを指定します。

16+16 ビット PPG 動作モードを設定する場合、4 チャネルを使用します。PPGCm:MD1,MD0 = PPGCm+2:MD1,MD = 11（m=0,4,8,12,16,20）の設定を行います。

「PPG 動作モードの選択」を参照してください。

bit10	bit9	機能
0	0	偶数チャネル(n)、奇数チャネル(n+1)を両方とも、8 ビット PPG 動作モードに設定します。[初期値]
0	1	8+8 ビット PPG 動作モードに設定します。 偶数チャネル(n)を 8bit の PPG 出力側に設定します。 奇数チャネル(n+1)を 8bit のプリスケーラ側に設定します。
1	0	偶数(n)、奇数チャネル(n+1)を連結し、16 ビット PPG 動作モードに設定します。
1	1	16+16 ビット PPG 動作モードに設定します。 PPGm、PPGm+1 を連結し、16bit の PPG 出力側に設定します。 PPGm+2、PPGm+3 を連結し、16bit のプリスケーラ側に設定します。

[bit8] TTRG : PPG 起動信号選択ビット

PPG 起動信号を選択します。本ビットは偶数チャネルにのみ存在します。本ビットの設定と、GATECx:STRGn レジスタの設定の組み合わせで、偶数チャネルと奇数チャネルの両方の PPG 起動信号を選択します。選択している PPG 動作モードにより、選択可能な起動信号が異なります。

「PPG 起動方法の選択」を参照してください。

値	機能
0	PPG 起動レジスタ（TRG:PEN）からの起動、もしくは、多機能タイマからの GATE 信号による起動を選択します。[初期値]
1	タイミングジェネレータからの起動信号を選択します。

[bit2:0] 予約 : 予約ビット

本ビットからは、"000"が読み出されます。
書込みの場合には、"000"を設定してください。

5.10. PPG リロードレジスタ n (PRLHn, PRLLn n=0～23)

PRLHn, PRLLn レジスタは PPG の出力パルス幅を設定します。

■PRLHn /PRLLn のレジスタ構成　一覧

bit 15 … 8	7 … 0	初期値	属性
PRLH0	PRLL0	0xXXXX	R/W
PRLH1	PRLL1	0xXXXX	R/W
PRLH2	PRLL2	0xXXXX	R/W
PRLH3	PRLL3	0xXXXX	R/W
PRLH4	PRLL4	0xXXXX	R/W
PRLH5	PRLL5	0xXXXX	R/W
PRLH6	PRLL6	0xXXXX	R/W
PRLH7	PRLL7	0xXXXX	R/W
PRLH8	PRLL8	0xXXXX	R/W
PRLH9	PRLL9	0xXXXX	R/W
PRLH10	PRLL10	0xXXXX	R/W
PRLH11	PRLL11	0xXXXX	R/W
PRLH12	PRLL12	0xXXXX	R/W
PRLH13	PRLL13	0xXXXX	R/W
PRLH14	PRLL14	0xXXXX	R/W
PRLH15	PRLL15	0xXXXX	R/W
PRLH16	PRLL16	0xXXXX	R/W
PRLH17	PRLL17	0xXXXX	R/W
PRLH18	PRLL18	0xXXXX	R/W
PRLH19	PRLL19	0xXXXX	R/W
PRLH20	PRLL20	0xXXXX	R/W
PRLH21	PRLL21	0xXXXX	R/W
PRLH22	PRLL22	0xXXXX	R/W
PRLH23	PRLL23	0xXXXX	R/W

■レジスタ構成

bit	15 … 8	7 … 0
Field	PRLHn	PRLLn
属性	R/W	R/W
初期値	0xXX	0xXX

■レジスタ機能

[bit15:8] PRLH : PPG リロードレジスタ H 設定ビット

PPG のパルス幅を指定します。

処理	機能
書込み時	任意の値の書込みが可能です。
読出し時	レジスタ値が読み出されます。初期値は不定です。

[bit7:0] PRLL : PPG リロードレジスタ L 設定ビット

PPG のパルス幅を指定します。

処理	機能
書込み時	任意の値の書込みが可能です。
読出し時	レジスタ値が読み出されます。初期値は不定です。

本レジスタは、PPG 出力のパルス幅を指定します。PPG 動作中にパルス幅の変更が可能です。High 幅と Low 幅の指定をそれぞれ行います。出力されるパルス幅は、書き込まれた値に"+1"した値に、カウントクロックの周期を掛けた値です。PPG チャネルを連結して 16 ビット長とする場合、リロードレジスタも連結し、16 ビット長値をを指定します。High 幅設定を行う場合は、バッファレジスタ機能が有効になります。「リロードレジスタとパルス幅指定」「High 幅設定リロードレジスタのバッファ機能」を参照してください。

PPG 動作モードにより、設定内容が一意に決定します。チャネル番号 0-3 の設定を以下に示します。チャネル番号 4 以降は、同じ組み合わせです。

●8 ビット PPG 動作モード

PRLH0	PRLL0
PPG0　High 幅（8bit）	PPG0　Low 幅（8bit）
PRLH1	PRLL1
PPG1　High 幅（8bit）	PPG1　Low 幅（8bit）
PRLH2	PRLL2
PPG2　High 幅（8bit）	PPG2　Low 幅（8bit）
PRLH3	PRLL3
PPG3　High 幅（8bit）	PPG3　Low 幅（8bit）

●8+8 ビット PPG 動作モード

PRLH0	PRLL0
PPG0（PPG 出力側）High 幅(8bit)	PPG0（PPG 出力側）Low 幅(8bit)
PRLH1	PRLL1
PPG1（プリスケーラ側）High 幅(8bit)	PPG1 (プリスケーラ側）Low 幅(8bit)
PRLH2	PRLL2
PPG2（PPG 出力側）High 幅(8bit)	PPG2（PPG 出力側）Low 幅(8bit)
PRLH3	PRLL3
PPG3（プリスケーラ側）High 幅(8bit)	PPG3 (プリスケーラ側）Low 幅(8bit)

●16 ビット PPG 動作モード

PRLH0	PRLL0

PPG0/PPG1 High 幅 (16bit)

PRLH1	PRLL1

PPG0/PPG1 Low 幅設定(16bit)

PRLH2	PRLL2

PPG2/PPG3 High 幅 (16bit)

PRLH3	PRLL3

PPG2/PPG3 Low 幅設定(16bit)

●16+16 ビット動作モード

PRLH0	PRLL0

PPG0/PPG1 (PPG 出力側) High 幅 (16bit)

PRLH1	PRLL1

PPG0/PPG1 (PPG 出力側) Low 幅設定(16bit)

PRLH2	PRLL2

PPG2/PPG3（プリスケーラ側）High 幅 (16bit)

PRLH3	PRLL3

PPG2/PPG3（プリスケーラ側）Low 幅設定(16bit)

5.11. GATE 機能制御レジスタ n (GATECn n=0,4,8,12,16,20)

GATECn レジスタは多機能タイマからの GATE 信号による PPG 起動を設定します。

■GATECn のレジスタ構成　一覧

bit 15 … 8	7 … 0	初期値	属性	対応 PPG
Reserved	GATEC0	0x00	R/W	PPG2, PPG0
Reserved	GATEC4	0x00	R/W	PPG6, PPG4
Reserved	GATEC8	0x00	R/W	PPG10, PPG8
Reserved	GATEC12	0x00	R/W	PPG14, PPG12
Reserved	GATEC16	0x00	R/W	PPG18, PPG16
Reserved	GATEC20	0x00	R/W	PPG22, PPG20

■GATECn レジスタ構成(n=0, 4, 8, 12, 16, 20)

bit	7	6	5	4	3	2	1	0
Field	予約		STRGn+2	EDGEn+2	予約		STRGn	EDGEn
属性	-		R/W	R/W	-		R/W	R/W
初期値	-		0	0	-		0	0

■レジスタ機能

[bit7:6, bit3:2] 予約 : 予約ビット

本ビットからは、"00"が読み出されます。書込みの場合には、"00"を設定してください。

[bit5] STRGn+2 : セレクトトリガビット n+2　(n=0, 4, 8, 12, 16, 20)

PPG 起動信号を選択します。本ビットと PPGCn+2:TTRG:レジスタの組み合わせで、PPGn+3 と PPGn+2 の両方の起動信号を選択します。「PPG 起動方法の選択」を参照してください。

値	機能
0	PPG 起動レジスタ（TRGx:PEN）からの起動を選択します。[初期値]
1	多機能タイマからの GATE 信号による起動を選択します。

[bit4] EDGEn+2 : スタート有効レベル選択ビット n+2 (n=0, 4, 8, 12, 16, 20)

本レジスタは、”0”書込みで使用します。"0"が読み出せます。

[bit1] STRGn : セレクトトリガビット n (n=0, 4, 8, 12, 16, 20)

PPG 起動信号を選択します。本ビットと PPGCn:TTRG:レジスタの組み合わせで、PPGn+1 と PPGn の両方の起動信号を選択します。「PPG 起動方法の選択」を参照してください。

値	機能
0	PPG 起動レジスタ（TRGx:PEN）からの起動を選択します。[初期値]
1	多機能タイマからの GATE 信号による起動を選択します。

[bit0] EDGEn : スタート有効レベル選択ビット n (n=0, 4, 8, 12, 16, 20)

本レジスタは、”0”書込みで使用します。"0"が読み出せます。

6. PPG 使用上の注意

PPG の使用上の注意を説明します。

●PPG 出力動作について

PPG 動作時は、L レベル期間と H レベル期間のパルス出力波形を連続して出力します。
PPG はパルス出力を開始すると、動作停止を設定するまで停止しません。

停止させる場合は、リセットの入力、または停止設定を行ってください。
停止条件を以下に示します。

・ タイミングジェネレータ回路による起動
PPGC:TRGxO=0 の書込みにて、起動信号をネゲート

・ 多機能タイマからの GATE 信号による起動
多機能タイマからの GATE 信号のネゲート

・ PPG 起動レジスタ(TRG)書込みによる起動
TRG:PEN=0 の書込みにて起動信号をネゲート

●PPG 動作モード設定について

PPG 動作モードは、各 PPGC レジスタの MD[1:0]ビットの設定によって決まります。
必ず、PPG 起動前に PPG 動作モードの選択を行ってください。

●他モジュールの設定について

PPG 出力は多機能タイマを経由して I/O 出力されます。多機能タイマの設定については『多機能タイマ』の章を参照してください。I/O ポートへの波形の出力については『ペリフェラルマニュアル』の『I/O ポート』の章を参照してください。また、割込みについては『ペリフェラルマニュアル』の『割込み』の章を参照してください。

●PPG 出力信号と割込み信号について

PPG タイマの動作によって得られる PPG 出力信号のうち、一部のチャネル出力を多機能タイマ経由で外部端子に出力できます。また、一部の PPG 割込み出力が割込みコントローラに接続されており、割込み処理を行うことができます。

多機能タイマ経由で外部端子に出力される PPG 出力端子と、割込みコントローラに接続されている PPG 割込みについては、『PPG 構成』の章を参照してください。

CHAPTER 7-3: PPG IGBT モード

PPG の IGBT モードの機能と動作について説明します。
本機能は製品 TYPE7~TYPE9,TYPE11,TYPE12 に搭載されています。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意

1. 概要

IGBT モードの概要を説明します。

PPG の IGBT モードは IGBT 制御に適した波形出力を行うモードです。PPG の出力を組み合わせて、波形を生成します。

● IGBT モードの機能

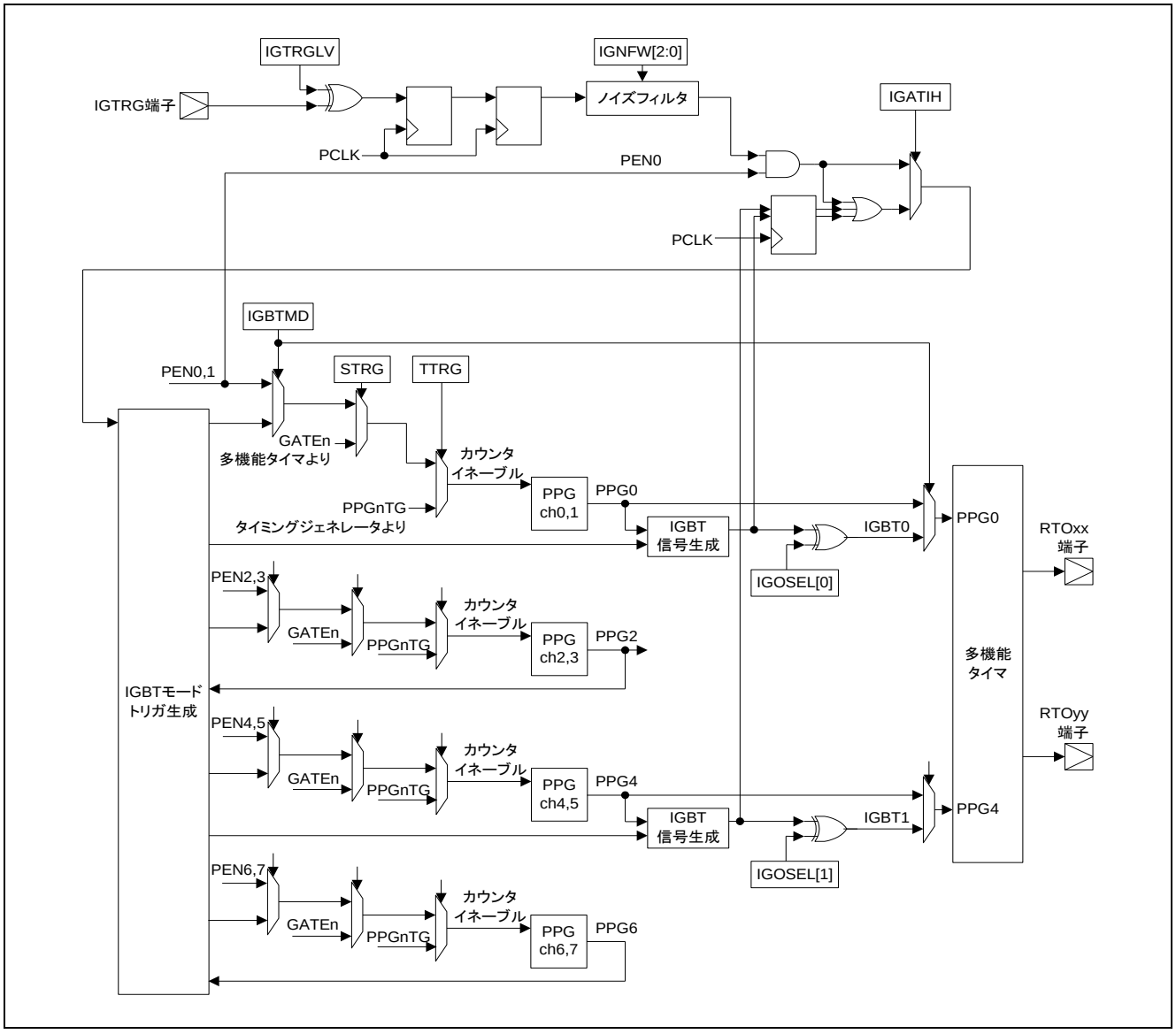
・IGBT 出力 2 チャネル
・IGBT 出力反転機能
・外部端子 IGTRG 入力によるトリガ機能
・IGTRG 入力反転機能
・アクティブ出力時にトリガ無効を選択可能
・トリガ入力からアクティブ出力までの遅延機能
・IGTRG 端子入力ノイズフィルタ機能

2. 構成

IGBT モードの構成を示します。

■ IGBT モードのブロックダイヤグラム

図 2-1 IGBT モードのブロックダイヤグラム



3. 動作説明

IGBT モードの動作について説明します。

■ IGBT モード波形出力

16 ビット PPG　2 チャネルの出力を組み合わせて、波形を生成します。

図 3-1 IGATIH=0 時の動作例

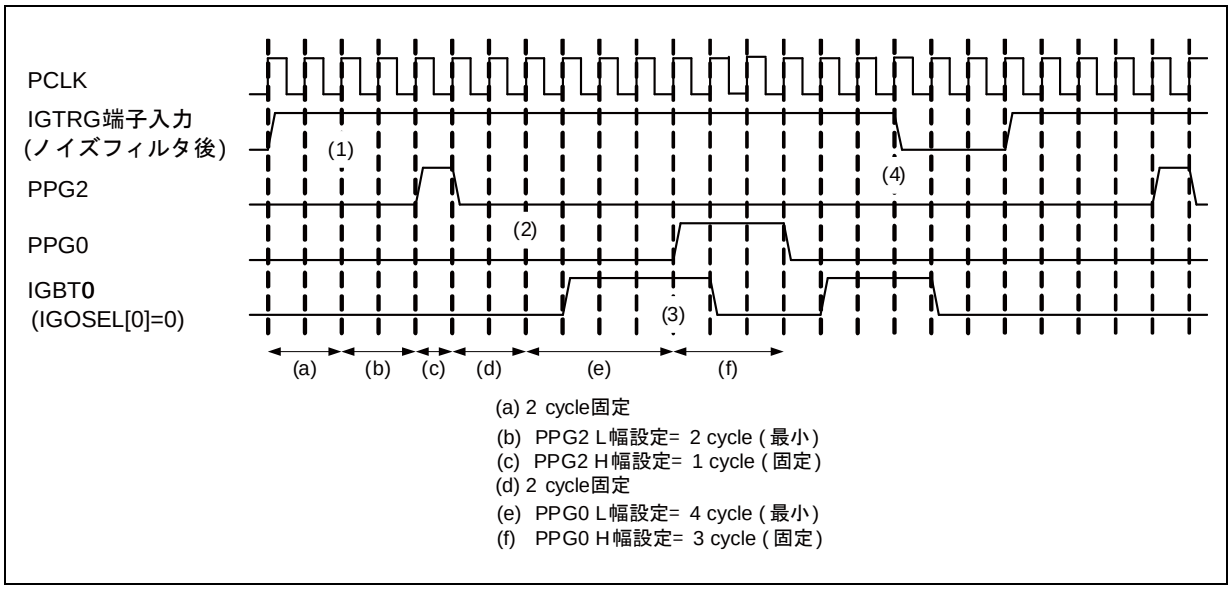


図 3-1 は IGATIH=0 時の IGBT0 動作例です。ノイズフィルタ後の IGTRG 端子入力は、High の時に動作許可です。

(1) ノイズフィルタ後の IGTRG が High になると、2 サイクル後に PPG2 が動作開始します。

(2) PPG2 の H パルス出力の 2 サイクル後に PPG0 が動作開始し、PPG2 は停止します。その時、IGBT0 出力がアクティブになります。

(3) PPG0 が H 出力の間、IGBT0 がインアクティブになります。

(4) ノイズフィルタ後の IGTRG が Low になると PPG0 は停止、IGBT0 がインアクティブになります。

IGBT0 信号は多機能タイマ内で 1 クロック遅延し、RTOxx 端子から出力されます。どの RTOxx 端子から出力するか、多機能タイマのレジスタで選択できます。

図 3-2 IGATIH=1 時の動作例

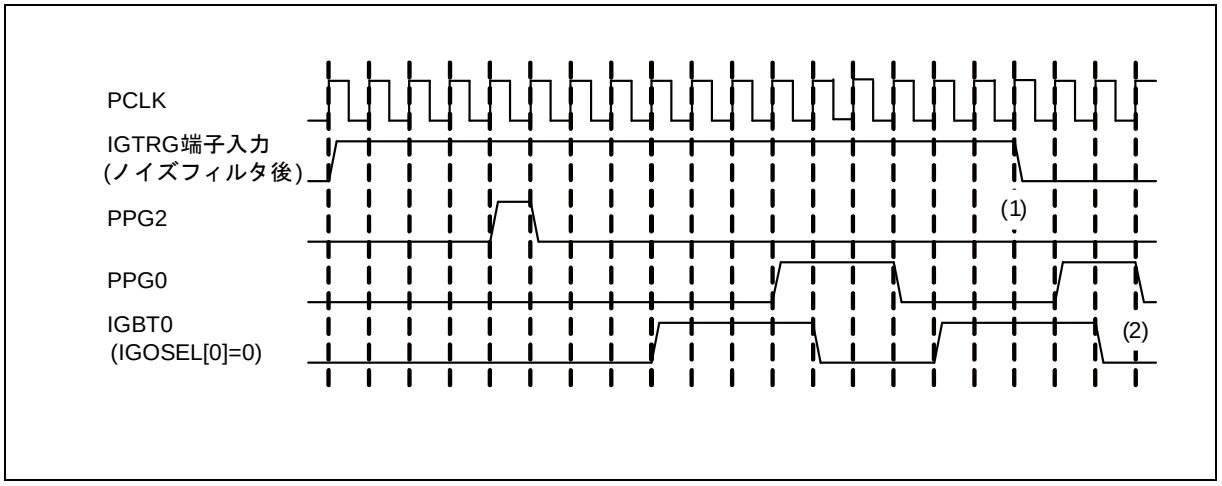
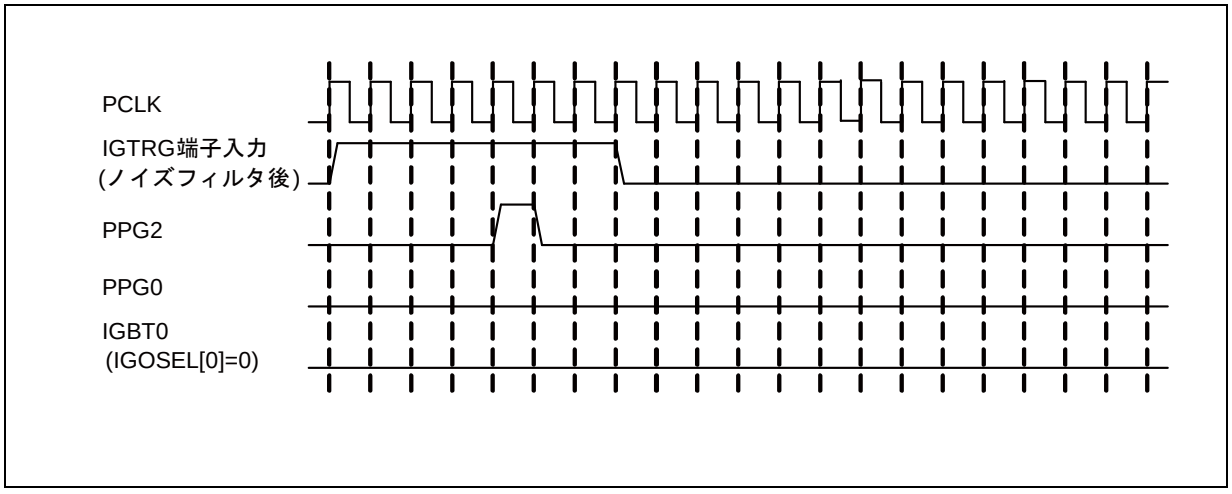


図 3-2 は IGATIH=1 時の IGBT0 動作例です。

(1) ノイズフィルタ後の IGTRG が Low になる前までは、IGATIH=0 時と同じです。IGBT0 がアクティブ中は、ノイズフィルタ後の IGTRG が Low になっても動作を継続します。

(2) IGBT0 がインアクティブの時にノイズフィルタ後の IGTRG が Low になると、動作を停止します。

図 3-3 PPG2 動作中にノイズフィルタ後の IGTRG 端子が Low になった場合



PPG2 動作中にノイズフィルタ後の IGTRG 端子が Low になった場合、図 3-3 の通り IGBT0 がアクティブになる前に動作を停止します。

図 3-4 2 チャネル動作例(IGATIH=1 時)

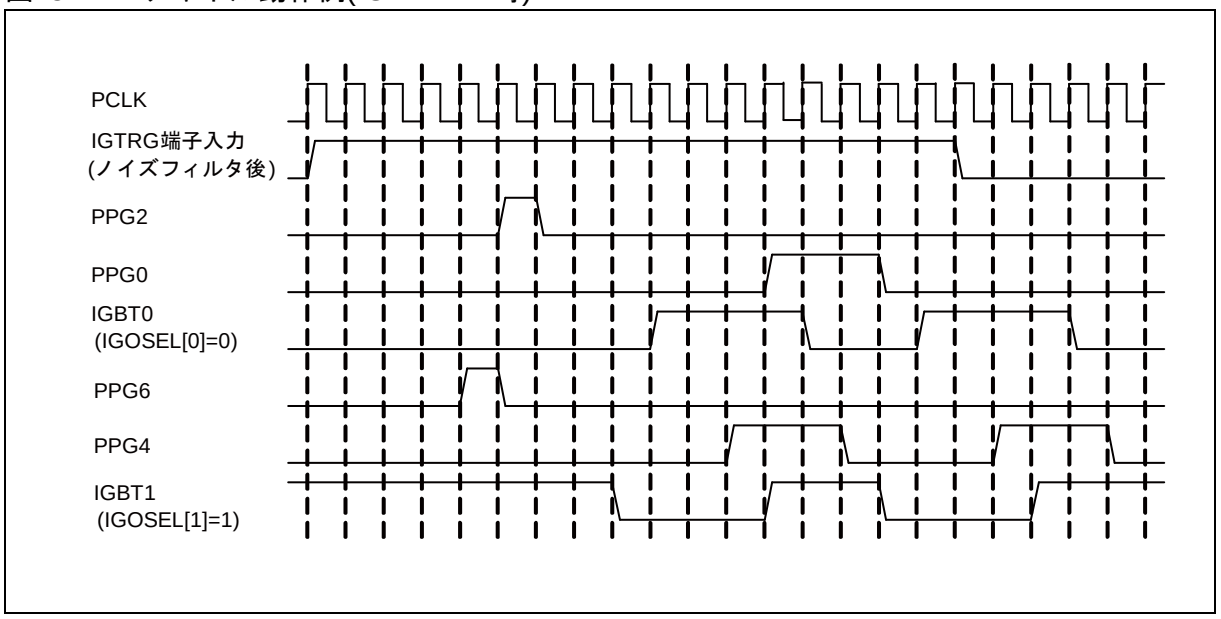


図 3-4 は IGATIH=1 時の 2 チャネル動作の例です。IGBT0, IGBT1 のどちらかがアクティブの時は、ノイズフィルタ後の IGTRG を無視して動作を継続します。

IGTRGLV ビットとトリガ入力レベルについて、表 3-1 に示します。

表 3-1

IGTRGLV	トリガ入力レベル
0	High の時に動作
1	Low の時に動作

IGOSEL ビットと出力のアクティブレベルについて、表 3-2 に示します。

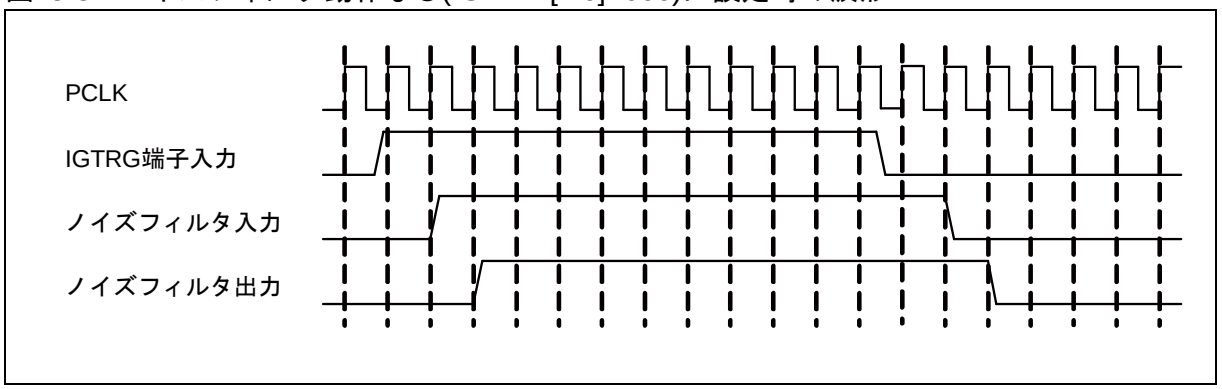
表 3-2

IGOSEL	出力アクティブレベル
0	High
1	Low

■ ノイズフィルタの動作

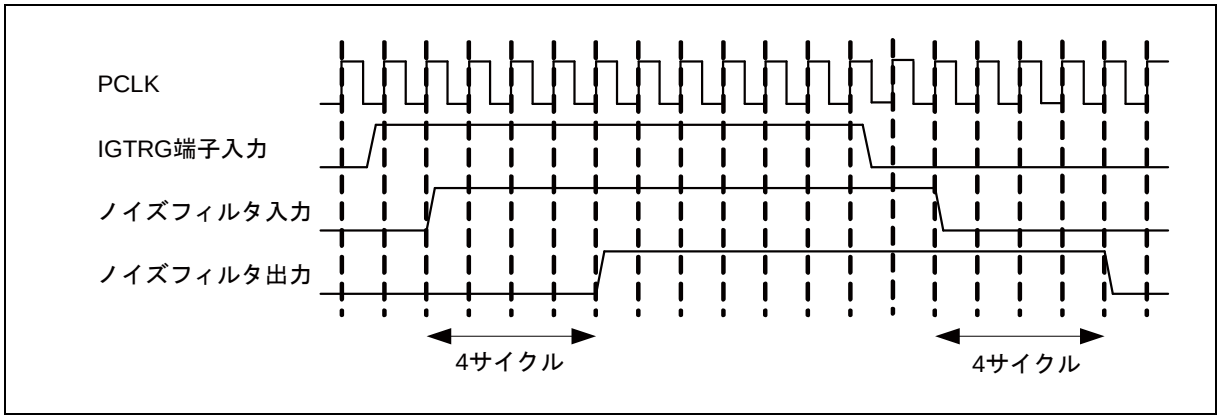
IGTRG 端子の入力信号は PCLK×2 クロックで同期化後、ノイズフィルタに入力されます。
ノイズフィルタ動作なし(IGNFW[2:0]=000)に設定時の波形を図 3-5 に示します。IGTRG 端子入力からノイズフィルタ出力まで、PCLK で 2~3 サイクル分遅延します。

図 3-5 ノイズフィルタ動作なし(IGNFW[2:0]=000)に設定時の波形



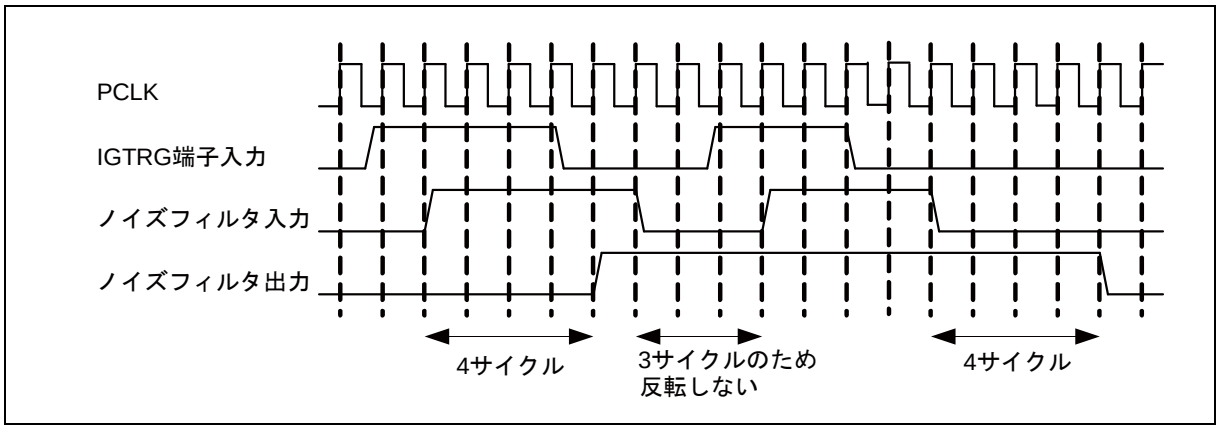
ノイズフィルタが有効時の例として、ノイズフィルタ幅を PCLK 周期 4 サイクル幅(IGNFW[2:0]=001)に設定時について説明します。IGTRG 端子入力からノイズフィルタ出力まで、PCLK で 5~6 サイクル分遅延します。
ノイズフィルタ入力に出力値と反対の値が連続して 4 サイクル以上入力されると、ノイズフィルタ出力は反転します。例を図 3-6 に示します。

図 3-6 ノイズフィルタ入力に出力値と反対の値が連続して 4 サイクル以上入力されたときの波形の例



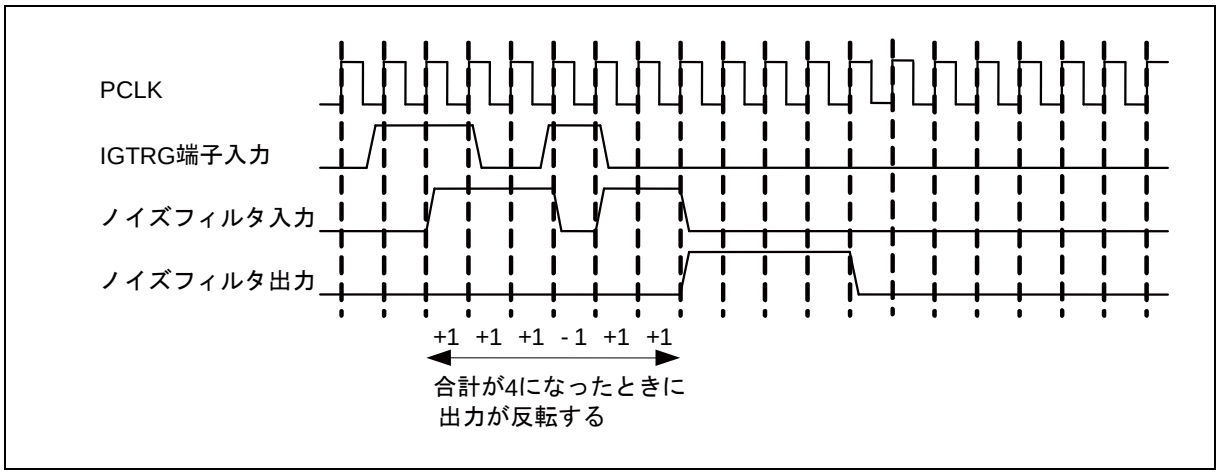
出力値と反対の値が 3 サイクル入力された場合の波形を図 3-7 に示します。

図 3-7 出力値と反対の値が 3 サイクル入力された場合の波形



出力値の反対の値の時に+1、同じ値の時に-1 の演算を行い、合計が 4 になった時に出力が反転します。波形の例を図 3-8 に示します。

図 3-8



IGNFW[2:0]の設定値と、IGTRG 端子からノイズフィルタ出力までの遅延の最大サイクル数について表 3-3 に示します。

表 3-3 IGTRG 端子入力からノイズフィルタ出力までの遅延

IGNFW[2:0]	遅延 PCLK サイクル数
000	2~3
001	5~6
010	9~10
011	17~18
100	33~34

4. 設定手順例

IGBT モードの設定手順例を説明します。

■ 設定手順例

1. PPGC レジスタの TTRG ビットを"0"、GATEC レジスタの STRG ビットを"0"、TRG レジスタの PEN ビットを"0"に設定する。
2. 多機能タイマ(WFG)の動作モードをスルーモードにする。
3. 多機能タイマ(WFG)の RTO 端子を PPG 出力に選択する。
4. IGBTC レジスタの各ビットを設定し、IGBTMD ビットに"1"を書込み、IGBT モードにする。
5. I/O ポートで RTO 端子出力を設定する。
6. PPG 周期設定する。
7. TRG レジスタの使用するチャネルの PEN ビットを"1"に設定する。

5. レジスタ

IGBT モードで使用するレジスタの構成と機能について説明します。

■ IGBT モードのレジスター覧

レジスタ略称	レジスタ名	参照先
IGBTC	IGBT モード制御レジスタ	5.1

5.1. IGBT モード制御レジスタ(IGBTC)

IGBT モード制御レジスタ(IGBTC)は、IGBT モードの動作を制御します。

bit	7	6	5	4	3	2	1	0
Field	IGATIH	IGNFW[2:0]			IGOSEL[1:0]		IGTRGLV	IGBTMD
属性	R/W	R/W			R/W		R/W	R/W
初期値	0	000			00		0	0

[bit7] IGATIH : 出力アクティブ時停止禁止モード選択ビット

値	説明
0	通常モード
1	出力アクティブ時停止禁止モード

[bit6:4] IGNFW[2:0] : ノイズフィルタ幅選択ビット

値	説明
000	ノイズフィルタ動作なし
001	ノイズフィルタ幅を PCLK 周期の 4 サイクル幅に設定。
010	ノイズフィルタ幅を PCLK 周期の 8 サイクル幅に設定。
011	ノイズフィルタ幅を PCLK 周期の 16 サイクル幅に設定。
100	ノイズフィルタ幅を PCLK 周期の 32 サイクル幅に設定。
上記以外	設定禁止

[bit3:2] IGOSEL[1:0] : 出力レベル選択ビット

IGBT0 は IGOSEL[0]、IGBT1 は IGOSEL[1]に対応します。

値	説明
0	通常出力
1	反転出力

[bit1] IGTRGLV : トリガ入力レベル選択ビット

値	説明
0	通常入力
1	反転入力

[bit0] IGBTMD : IGBT モード選択ビット

値	説明
0	通常モード
1	IGBT モード

6. 使用上の注意

IGBT モードの注意事項を示します。

■ IGBT モードの注意事項

- PPG は 16 ビットモードに設定してください。
- PPG2 と PPG6 の L 幅は 2 サイクル以上に設定してください。
- PPG2 と PPG6 の H 幅は 1 サイクルに設定してください。
- PPG 動作中に IGBTC レジスタの設定変更は禁止です。

CHAPTER 8-1: クアッドカウンタ

クアッドカウンタ(Quad Position & Revolution Counter)の機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ

1. 概要

クアッドカウンタはポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとして使用できます。クアッドカウンタは、16 ビット位置カウンタ, 16 ビット回転カウンタ, 2 つの 16 ビット比較レジスタ, 制御レジスタとその制御回路を搭載しています。

■ クアッドカウンタの特長

● 位置カウンタは次の 3 カウントモードからモード選択可能

- PC_Mode1 : アップダウンカウントモード
- PC_Mode2 : 位相差カウントモード(2 逓倍モード&4 逓倍モード対応)
- PC_Mode3 : 方向付きカウントモード

● 回転カウンタは次の 3 カウントモードからモード選択可能

- RC_Mode1 : 回転カウンタは ZIN のアクティブエッジでのみカウントアップ/カウントダウン可能
- RC_Mode2 : 回転カウンタは位置カウンタ出力値でのみカウントアップ/カウントダウン可能
- RC_Mode3 : 回転カウンタは位置カウンタ出力値と ZIN のアクティブエッジの両方でカウントアップ/カウントダウン可能

● 3 つの外部端子 AIN, BIN, ZIN からの入力イベントを検出するエッジを選択可能

- 立下りエッジ検出
- 立上りエッジ検出
- 立上りと立下りの両エッジ検出

● ZIN 端子入力用に 2 つの機能が選択可能

- カウンタクリア機能
- ゲート機能

● 以下の場合の割込み要求を発生可能

- 位置カウンタと位置比較レジスタの値が一致
- 位置カウンタと位置&回転比較レジスタの値が一致、あるいは回転カウンタと位置&回転比較レジスタの値が一致
- 位置カウンタのアンダフロー
- 位置カウンタのオーバフロー(位置カウンタと最大位置レジスタ値が一致)
- ZIN のアクティブエッジによる位置カウンタのリセット
- 位置カウンタのカウント反転
- 位置カウンタと位置比較レジスタが一致、かつ回転カウンタと位置&回転比較レジスタが一致
- 回転カウンタの範囲外検出

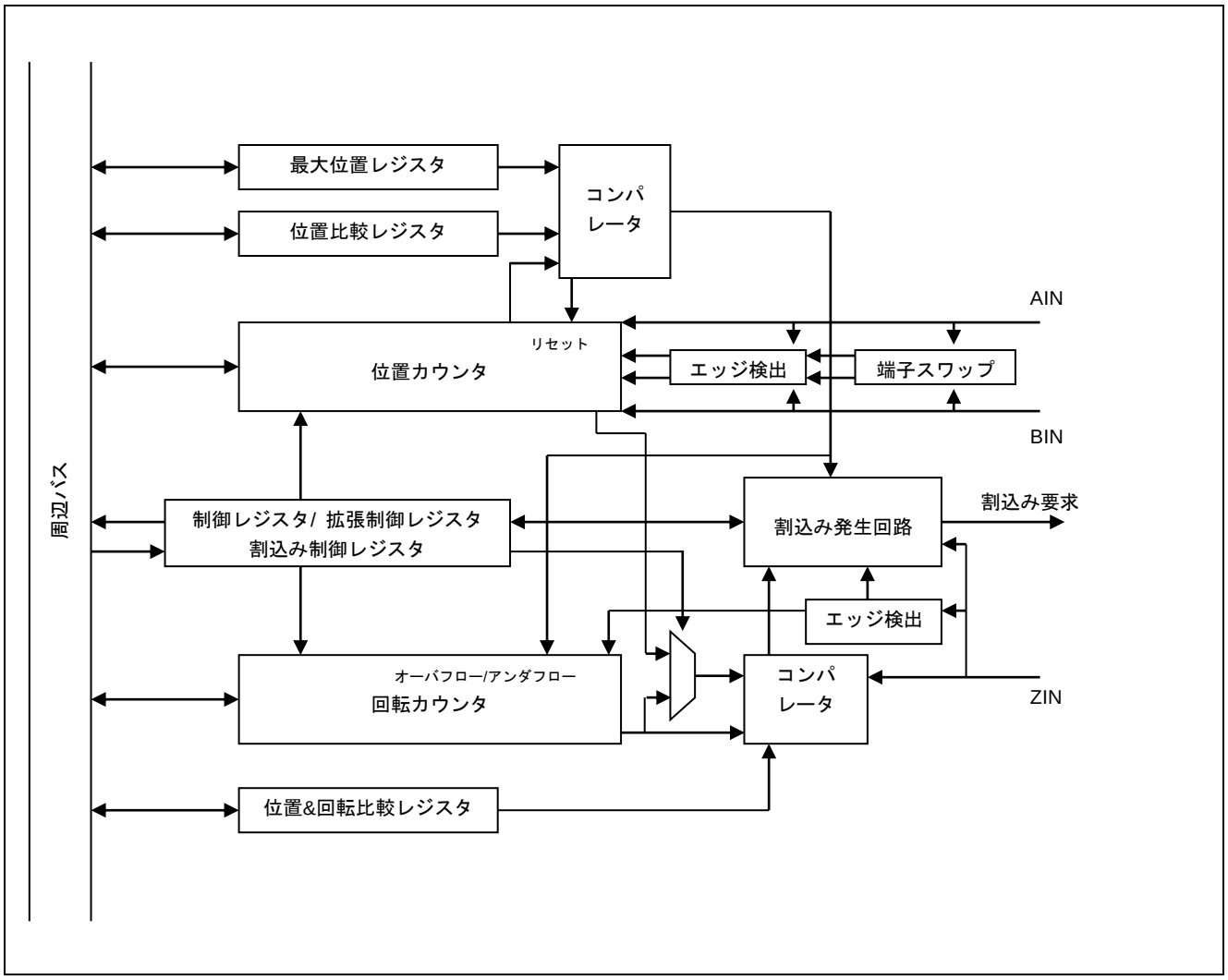
● カウンタ使用時に便利な以下の機能を搭載

- 外部端子 AIN, BIN のスワップ機能
- 位置カウンタのリセットマスク機能
- 位置カウンタの動作時やオーバフロー/アンダフロー発生時のカウント方向確認機能

2. 構成

クアッドカウンタの構成を示します。

図 2-1 クアッドカウンタのブロックダイヤグラム



3. 動作説明

クアッドカウンタの動作について説明します。

■ 位置カウンタの動作

外部端子(AIN, BIN)の入力信号による各種イベントをカウント用クロックとしてカウントアップ/カウントダウンします。表 3-1 に示すように、位置カウンタは、制御レジスタの位置カウンタモードビット(QCR:PCM[1:0])設定でカウントモードを選択できます。それぞれのカウントモードでカウントする条件が異なります。

位置カウンタは、以下の ZIN 条件でのみカウントアップ/カウントダウンします。

- ZIN の機能がカウントクリア機能(QCR:CGSC="0")の場合
- ZIN の機能がゲート機能(QCR:CGSC="1")で、ZIN の"L"レベル検出(QCR:CGE[1:0]="01")に設定し、ZIN が"L"レベルの場合
- ZIN の機能がゲート機能(QCR:CGSC="1")で、ZIN の"H"レベル検出(QCR:CGE[1:0]="10")に設定し、ZIN が"H"レベルの場合

ZIN の機能をゲート機能(QCR:CGSC="1")にし、ZIN の High または Low レベル以外(QCR:CGE[1:0]="00" or "11")に設定した場合、位置カウンタはカウントアップ/カウントダウンしません。

また、制御レジスタの SWAP ビットで信号 AIN と BIN の構成をスワッピング設定した場合、AIN, BIN 端子を入れ替えて位置カウンタをカウントアップ/カウントダウンします。

例えば、PC_Mode1(QCR:PCM[1:0]="01")のとき、AES[1:0]="10"(立上りエッジ), BES[1:0]="01"(立下りエッジ)に設定した場合は下記のとおりです。

- QCR:SWAP="0"のとき、AIN の立上りエッジを検出した場合、位置カウンタをカウントアップ、BIN の立下りエッジを検出した場合、位置カウンタをカウントダウンします。
- QCR.SWAP="1"のとき、AIN の立下りエッジで位置カウンタをカウントダウン、BIN の立上りエッジで位置カウンタをカウントアップします。

表 3-1 AIN と BIN の位置カウンタのカウント条件

位置カウントモード (PC_MODE)	AIN カウント条件	BIN カウント条件
カウントディセーブル PC_Mode0:QCR:PCM[1:0]="00"	位置カウンタ ディセーブル	位置カウンタ ディセーブル
アップダウンカウント PC_Mode1: QCR:PCM[1:0]="01"	AIN アクティブエッジ	BIN アクティブエッジ
位相差カウント PC_Mode2:QCR:PCM[1:0]="10"	AIN アクティブエッジ or High/Low レベル	High/Low レベル or BIN アクティブエッジ
カウント方向 PC_Mode3:QCR:PCM[1:0]="11"	High/Low レベル	BIN アクティブエッジ

＜注意事項＞

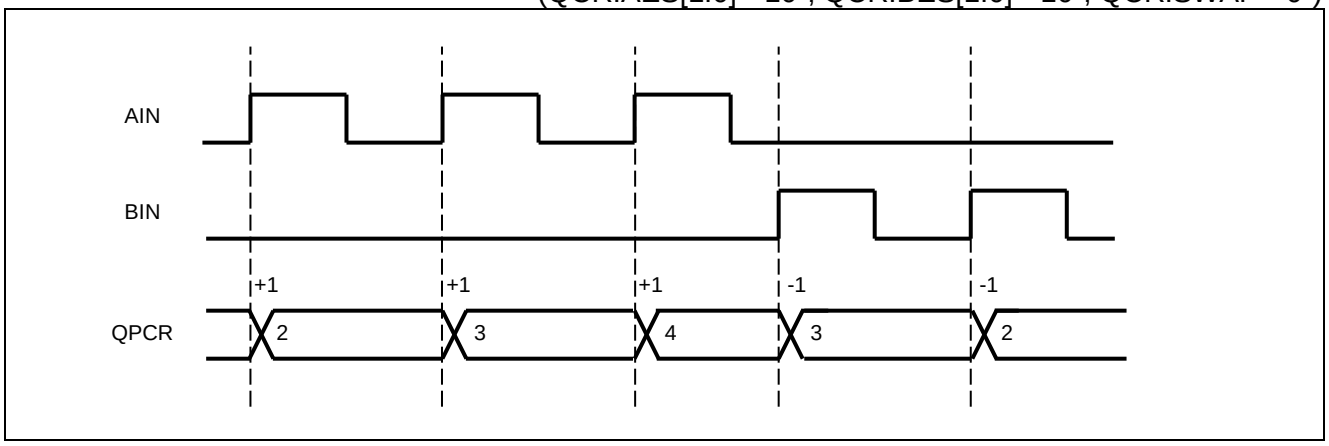
AIN のアクティブエッジと BIN のアクティブエッジとは、AIN 検出エッジ選択ビット(QCR:AES[1:0]="01" or "10" or "11")、あるいは BIN 検出エッジ選択ビット(QCR:BES[1:0]="01" or "10" or "11")でそれぞれ選択した立上り，立下り，両エッジのいずれかのエッジのことを意味します。

● PC_Mode1: アップダウンカウントモード

・外部端子(AIN, BIN)から入力される外部信号をカウント用クロックとして、位置カウンタをカウントアップ/カウントダウンします。
・このモードでは、AIN のアクティブエッジが検出されると位置カウンタをカウントアップします。BIN のアクティブエッジが検出されると位置カウンタをカウントダウンします。

図 3-1 アップダウンカウントモード動作

(QCR:AES[1:0]="10", QCR:BES[1:0]="10", QCR:SWAP="0")



● PC_Mode2: 位相差カウントモード(1 逓倍モード/2 逓倍モード/4 逓倍モード対応)

・"エンコーダ出力信号"の A 相と B 相の位相差をカウントする際に適しています。A 相, B 相の出力を AIN 端子, BIN 端子にそれぞれ接続することで、A 相の方が B 相より進んでいる場合はカウントアップ、遅れている場合はカウントダウンします。
・このモードでは、AIN 信号のアクティブエッジが検出されたときに BIN のレベルを確認して位置カウンタがカウントします。またその逆によっても位置カウンタがカウントします。
・制御レジスタ(QCR)の AES ビットと BES ビットの設定をすることで 4 逓倍モードや 2 逓倍モードでカウントできます。逓倍モードによるカウントは、カウント分解能が高くて細かな位置測定が可能です。

表 3-2 逓倍モードの AES ビットと BES ビットの設定

逓倍モード	AES[1:0]設定	BES[1:0]設定
1 逓倍モード	01	00
	10	00
	00	01
	00	10
2 逓倍モード	11	00
	00	11
4 逓倍モード	11	11

表 3-3 1 逓倍位相差カウントモードのカウント方法

(QCR:AES[1:0]="10", QCR:BES[1:0]="00", QCR:SWAP="0")

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	図 3-2 タイミング
AIN	立上り	BIN	Low	Up	(1)
	立上り		High	Down	(2)
	立下り		Low	Keep	(3)
	立下り		High	Keep	(4)

図 3-2 1 逓倍位相差カウントモード動作

(QCR:AES[1:0]="10", QCR:BES[1:0]="00", QCR:SWAP="0")

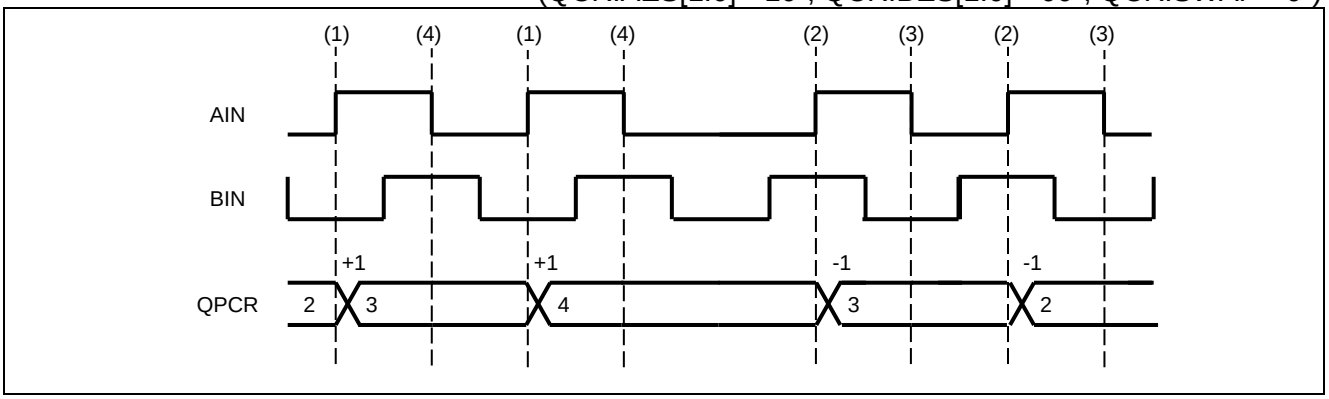


表 3-4　2 逓倍位相差カウントモードのカウント方法
(QCR:AES[1:0]="00", QCR:BES[1:0]="11", QCR:SWAP="0")

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	図 3-3 タイミング
BIN	立上り	AIN	High	Up	(1)
	立上り		Low	Down	(2)
	立下り		High	Down	(3)
	立下り		Low	Up	(4)

図 3-3　2 逓倍位相差カウントモード動作
(QCR:AES[1:0]="00", QCR:BES[1:0]="11", QCR:SWAP="0")

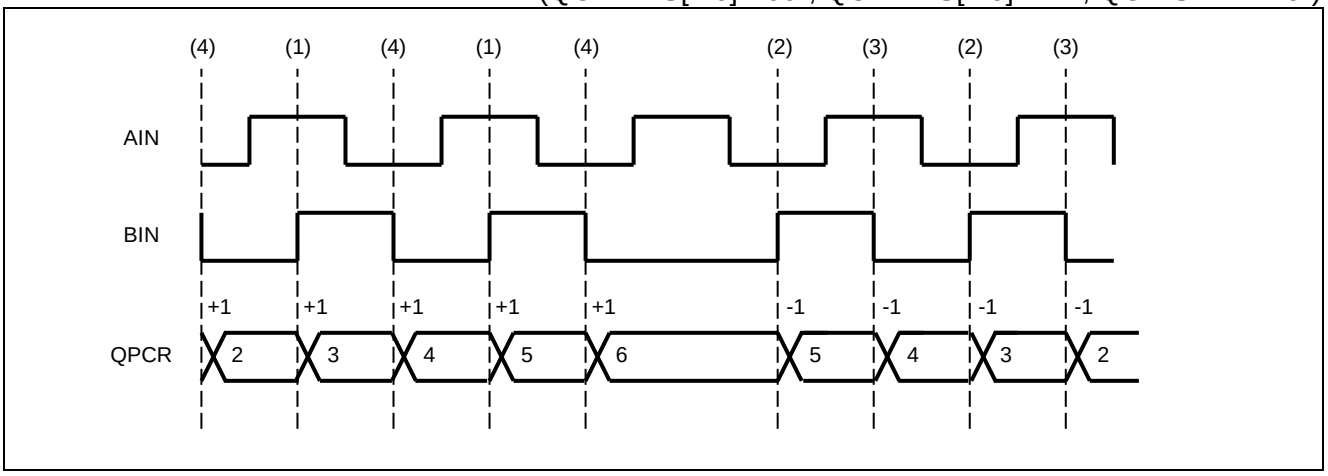
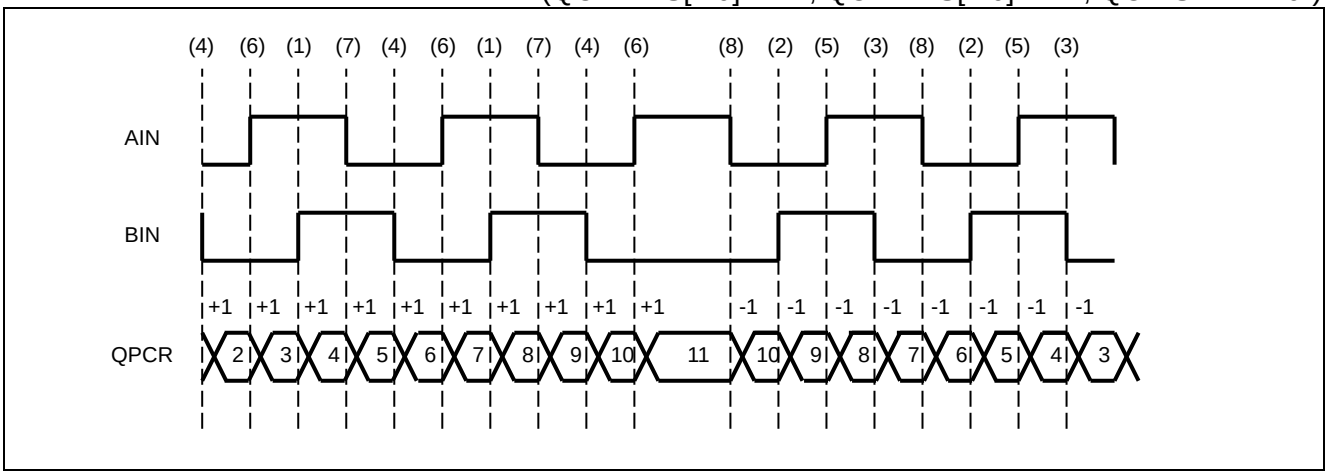


表 3-5　4 逓倍位相差カウントモードのカウント方法 (QCR:AES[1:0]="11", QCR:BES[1:0]="11")

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	図 3-4 タイミング
BIN	立上り	AIN	High	Up	(1)
	立上り		Low	Down	(2)
	立下り		High	Down	(3)
	立下り		Low	Up	(4)
AIN	立上り	BIN	High	Down	(5)
	立上り		Low	Up	(6)
	立下り		High	Up	(7)
	立下り		Low	Down	(8)

図 3-4　4 逓倍位相差カウントモード動作

(QCR:AES[1:0]="11", QCR:BES[1:0]="11", QCR:SWAP="0")



● PC_Mode3: 方向付きカウントモード

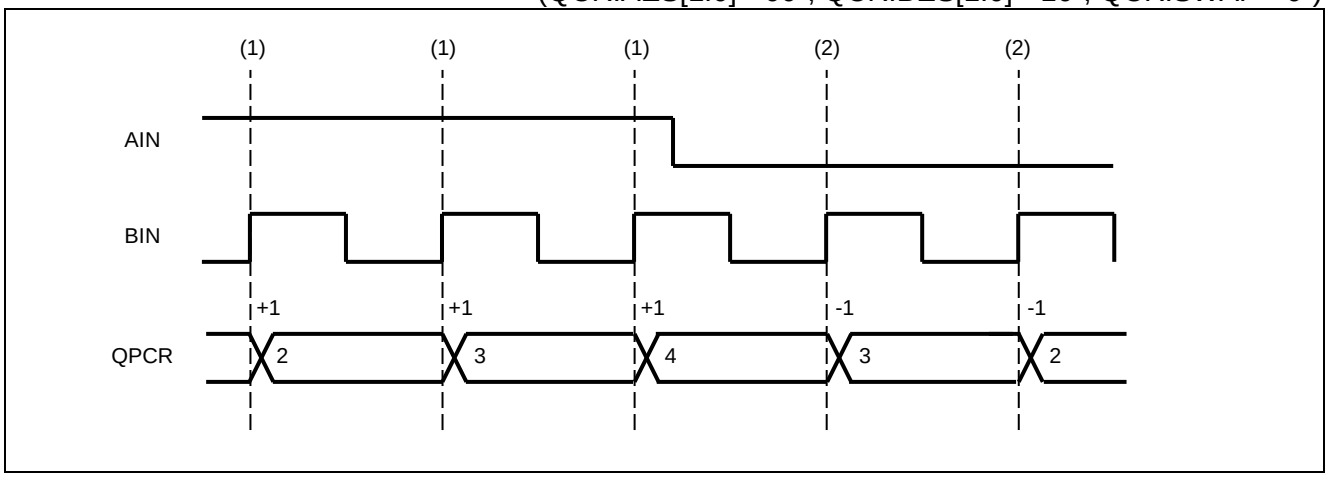
・外部端子(BIN)から入力される信号をカウント用クロックに、外部端子(AIN)からの入力レベルをカウント方向制御に用いてカウントアップ/カウントダウンします。
・このモードでは、BIN のアクティブエッジが検出されたときに AIN のレベルを確認して位置カウンタをカウントアップ/カウントダウンします。アクティブエッジは、立上りエッジ，立下りエッジ、あるいは両エッジに選択できます。

表 3-6 方向付きカウントモードのカウント方法

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向	図 3-5 タイミング
BIN	アクティブエッジ	AIN	High	Up	(1)
	アクティブエッジ		Low	Down	(2)

図 3-5 方向付きカウントモード動作

(QCR:AES[1:0]="00", QCR:BES[1:0]="10", QCR:SWAP="0")



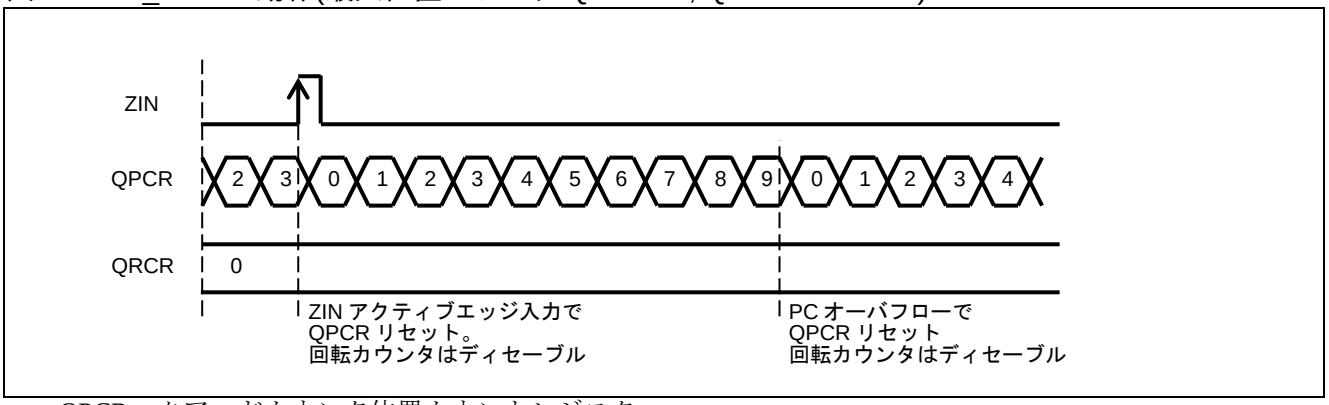
■ 回転カウンタの動作

回転カウンタは、カウンタクリア機能を設定した ZIN 端子の入力か、位置カウンタの出力(アンダフロー/オーバフロー)によりカウント動作します。ZIN のアクティブエッジは、立上りエッジ，立下りエッジ、あるいは両エッジを選択できます。
回転カウンタのカウント条件は、以下のとおり各モードにより異なります。

● RC_Mode0 (QCR:RCM[1:0]="00")

・回転カウンタはディセーブルです。
・ZIN をカウンタクリア機能(QCR:CGSC="0")として使用するときの ZIN のアクティブエッジや、位置カウンタオーバフローで位置カウンタをリセットします。

図 3-6 RC_Mode0 動作(最大位置レジスタ QMPR=9, QCR:CGSC="0")

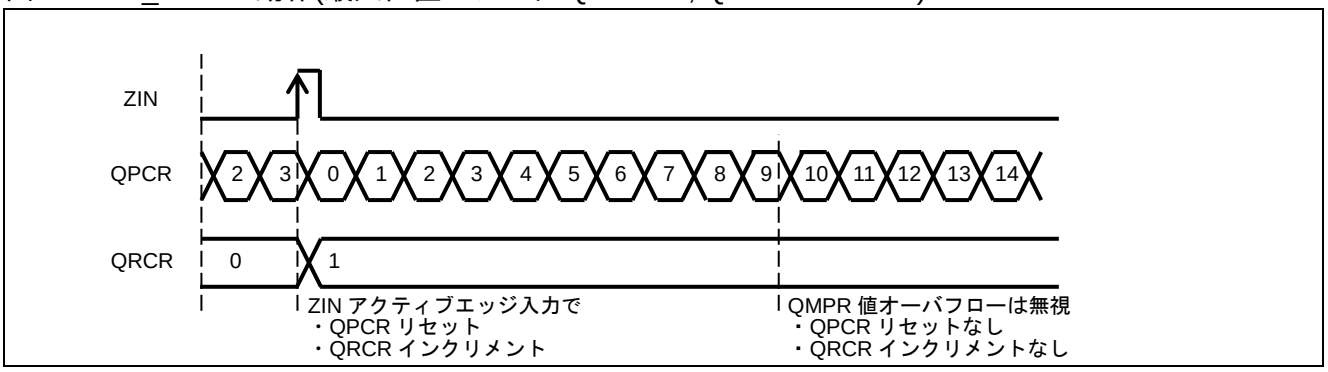


QPCR : クアッドカウンタ位置カウントレジスタ
QRCR : クアッドカウンタ回転カウントレジスタ

● RC_Mode1 (QCR:RCM[1:0]="01")

・回転カウンタは ZIN をカウンタクリア機能(QCR:CGSC="0")として使用するときの ZIN のアクティブエッジでのみ動作します(位置カウンタからの入力は無視されます)。
・位置カウンタがインクリメント方向(QICR:DIRPC="0")で ZIN のアクティブエッジを検出すれば、回転カウンタはカウントアップします。位置カウンタがデクリメント方向(QICR:DIRPC="1")で ZIN のアクティブエッジを検出すれば、回転カウンタはカウントダウンします。
・ZIN がカウンタクリア機能(QCR:CGSC="0")として使用するときの ZIN のアクティブエッジでのみ位置カウンタをリセットします。
・位置カウンタのオーバフローを検出しても位置カウンタはリセットされません。位置カウンタのオーバフローを検出した場合、位置カウンタはカウントアップし、オーバフローフラグ(QICR:OFDF)に"1"を設定します。

図 3-7 RC_Mode1 動作(最大位置レジスタ QMPR=9, QCR:CGSC="0")



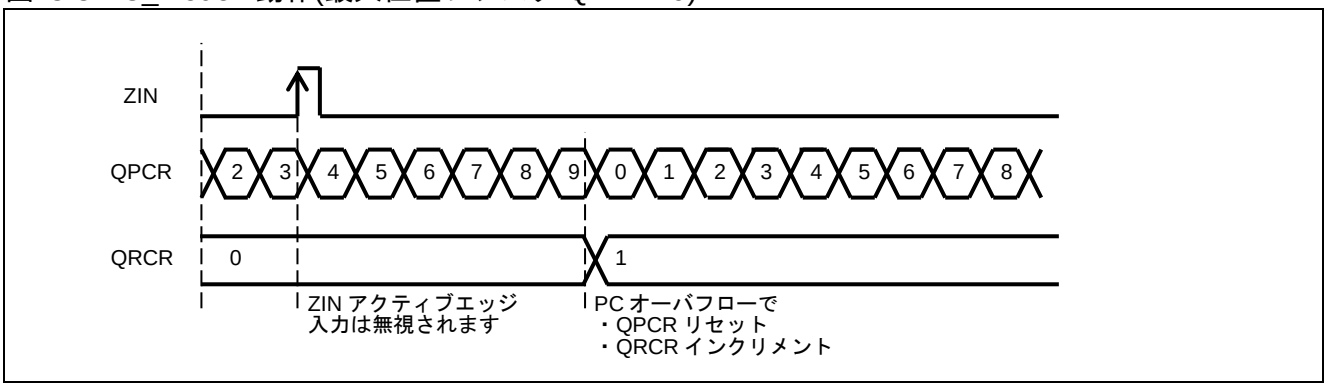
＜注意事項＞

- 位置カウンタがインクリメント方向(QICR:DIRPC="0")で ZIN の有効エッジと位置カウンタをカウントダウンする有効エッジが同時に検出された場合、回転カウンタはカウントダウンします。
- 位置カウンタがデクリメント方向(QICR:DIRPC="1")で ZIN の有効エッジと位置カウンタをカウントアップする有効エッジが同時に検出された場合、回転カウンタはカウントアップします。
- ZIN の有効エッジ, AIN の有効エッジ, BIN の有効エッジが同時に検出された場合、回転カウンタは、位置カウンタ最終方向ビット(QICR:DIRPC)にしたがってカウントアップまたはカウントダウンします。

● RC_Mode2 (QCR:RCM[1:0]="10")

- 回転カウンタは、位置カウンタの出力値でのみカウントアップ/カウントダウンします。
- 位置カウンタのオーバフローの検出でのみ位置カウンタをリセットします(ZIN のイベントは無視されます)。
- 3 つの位置カウンタモード(PC_Mode1, PC_Mode2, PC_Mode3)で、位置カウンタのオーバフローを検出した場合、回転カウンタをカウントアップします。位置カウンタのアンダフローを検出した場合、回転カウンタをカウントダウンします。

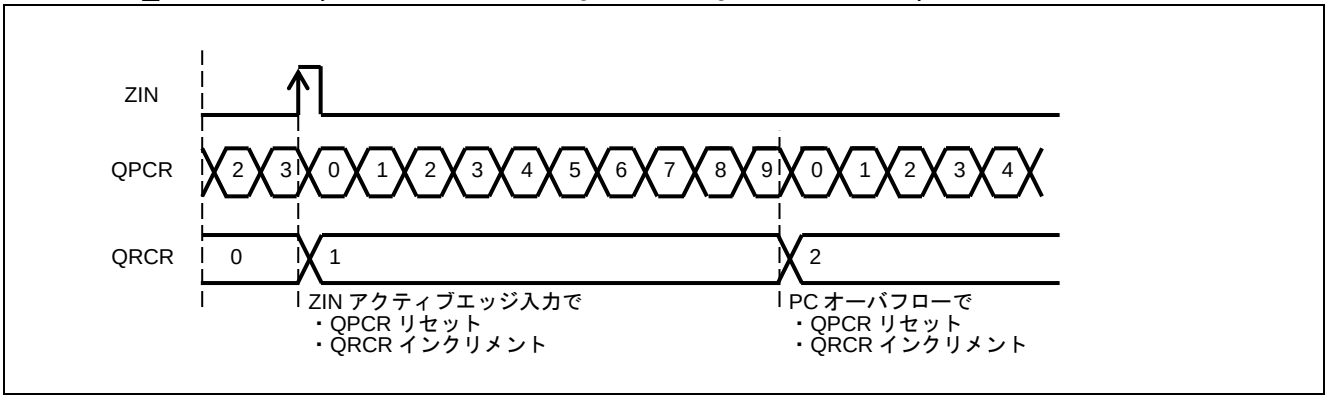
図 3-8 RC_Mode2 動作(最大位置レジスタ QMPR=9)



● RC_Mode3 (QCR:RCM[1:0]="11")

・このモードでは、回転カウンタは位置カウンタの出力値と、ZIN をカウンタクリア機能(QCR:CGSC="0")として使用するときの ZIN のアクティブエッジの両方で回転カウンタをカウントアップ/カウントダウンします。
・位置カウンタがインクリメント方向(QICR:DIRPC="0")で ZIN のアクティブエッジを検出するか、あるいは位置カウンタのオーバフローを検出したら、回転カウンタをカウントアップします。
・位置カウンタがデクリメント方向(QICR:DIRPC="1")で ZIN のアクティブエッジを検出するか、あるいは位置カウンタのアンダフローを検出したら、回転カウンタをカウントダウンします。
・ZIN がカウンタクリア機能(QCR:CGSC="0")として使用しているときの ZIN のアクティブエッジや、位置カウンタのオーバフローの検出で位置カウンタをリセットします。

図 3-9 RC_Mode3 動作(最大位置レジスタ QMPR=9, QCR:CGSC="0")



＜注意事項＞

・位置カウンタがインクリメント方向(QICR:DIRPC="0")で ZIN の有効エッジと位置カウンタをカウントダウンする有効エッジが同時に検出された場合、回転カウンタはカウントダウンします。
・位置カウンタがデクリメント方向(QICR:DIRPC="1")で ZIN の有効エッジと位置カウンタをカウントアップする有効エッジが同時に検出された場合、回転カウンタはカウントアップします。
・ZIN の有効エッジ, AIN の有効エッジ, BIN の有効エッジが同時に検出された場合、回転カウンタは、位置カウンタ最終方向ビット(QICR:DIRPC)にしたがってカウントアップまたはカウントダウンします。

■ 位置の絶対値

RC_Mode2, 3(位置カウンタ出力で回転カウンタが動作)の場合に、位置の絶対値を以下に示します。

位置カウントレジスタ(QPCR)+回転カウントレジスタ(QRCR)×(最大位置レジスタ(QMPR)+1)

例 ： 時間測定例

回転カウンタが"時(hour)"をカウント、位置カウンタが"分(min)"をカウント。
QMPR="59", QPCR="20", QRCR="5"のとき

Time = 20 + 5 × (59 + 1)
= 320 min ・・・ 位置カウンタ単位(分)での絶対値

■ クアッドカウンタの割込み

クアッドカウンタの割込み要求が発生する条件を表に示します。

表 3-7 クアッドカウンタの割込み要求発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
カウント反転割込み要求	QICR :CDCF="1"	QICR: CDCIE="1"	QICR:CDCF に"0"書込み
ゼロインデックス割込み要求	QICR: ZIIF="1"	QICR: OUZIE="1"	QICR.ZIIF に"0"書込み
オーバフロー割込み要求	QICR: OFDF="1"		QICR:OFDF に"0"書込み
アンダフロー割込み要求	QICR: UFDF="1"		QICR:UFDF に"0"書込み
PC&RC 一致割込み要求	QICR: QPRCMF="1"	QICR: QPRCMIE="1"	QICR.QPRCMF に"0"書込み
PC 一致割込み要求	QICR: QPCMF="1"	QICR: QPCMIE="1"	QICR:QPCMF に"0"書込み
PC 一致&RC 一致割込み要求	QICR: QPCNRCMF="1"	QICR: QPCNRCMIE="1"	QICR:QPCNRCMF に"0"書込み
範囲外割込み要求	QECR: ORNGF="1"	QICR: ORNGIE="1"	QECR:QRNGF に"0"書込み

QICR : クアッドカウンタ割込み制御レジスタ
QECR : クアッドカウンタ拡張制御レジスタ

■ カウンタ最大位置レジスタ(QMPR)の割込み動作例

クアッドカウンタ最大位置レジスタ(QMPR)は、位置カウンタのオーバフローの検出や位置カウンタのアンダフローを検出したときの位置カウンタへのリロードデータとして使用されます。

以下のように回転カウンタのモード設定により、位置カウンタとクアッドカウンタ最大位置レジスタ(QMPR)が一致した場合の動作が異なります。

- RC_Mode0(QCR:RCM[1:0]="00"), RC_Mode2(QCR:RCM[1:0]="10"), または RC_Mode3(QCR:RCM[1:0]="11")で位置カウンタをカウントアップの場合、オーバフローフラグ(QICR:OFDF)を"1"にし、位置カウンタをリセットします。
- RC_Mode1(QCR:RCM[1:0]="01")で位置カウンタをカウントアップの場合、オーバフローフラグ(QICR:OFDF)を"1"にしますが、位置カウンタはリセットされずにカウントアップします。

以下に RC_Mode2(QCR:RCM[1:0]="10")時のカウンタ最大位置レジスタ(QMPR)を使用した動作例を示します。

カウントアップ時:

位置カウンタで最大値から"0x0000"へオーバフローが発生することで、回転カウンタをカウントアップします。そのときオーバフローフラグ(QICRL:OFDF)が"1"に設定されます。

例 ： 最大位置レジスタ(QMPR)設定 ：18

位置カウンタ	15	16	17	18	0	1	2
回転カウンタ	1	1	1	1	2	2	2

カウントダウン時:

"0x0000"からのアンダフローを検出して、クアッドカウンタ最大位置カウンタレジスタ(QMPR)の値が位置カウンタにリロードされることで、回転カウンタをカウントダウンします。そのときアンダフローフラグ(QICRL:UFDF)が"1"に設定されます。

例 ： 最大位置レジスタ(QMPR)設定 ：5

位置カウンタ	4	3	2	1	0	5	4	3	2	1	0	5
回転カウンタ	1	1	1	1	1	0	0	0	0	0	0	0xFFFF

＜注意事項＞

位置カウンタのカウント方向は外部入力 AIN, BIN にのみ依存します。

■ 位置カウンタリセットマスク機能

位置カウンタリセットマスク機能は、RC_Mode0(QCR:RCM[1:0]="00")または RC_Mode3(QCR:RCM[1:0]="11")時のみ使用可能です。また、この機能は、位置カウンタモード(PC_Mode1, PC_Mode2, PC_Mode3)の設定とは関係なく動作します。

位置カウンタリセットマスク機能は、以下の順で動作します。

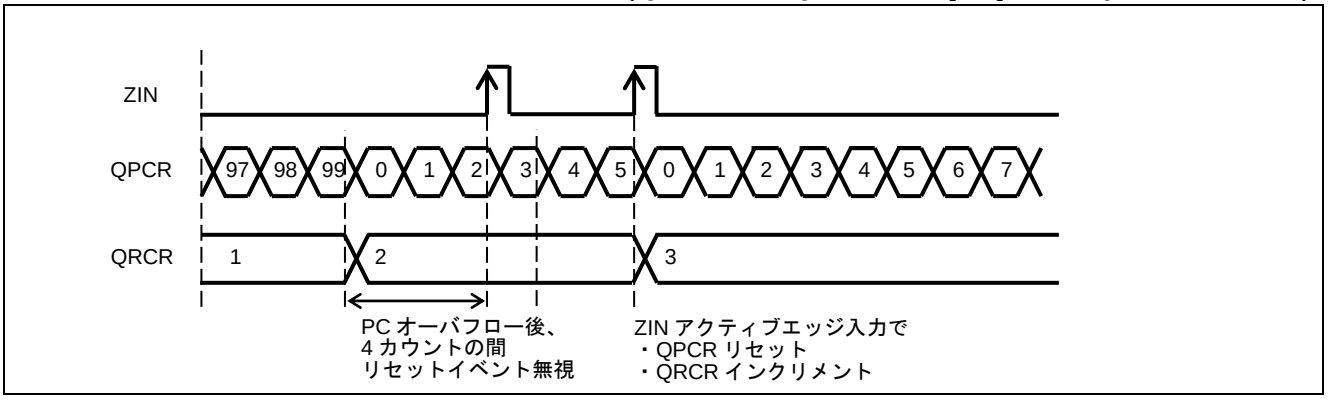
1. ZIN のアクティブイベント, 位置カウンタのオーバフロー検出, または位置カウンタのアンダフロー検出が発生した場合、マスクカウンタ*1 に位置カウンタリセットマスクビット(QCR:PCRM[1:0])の設定にしたがった値が設定されます。
2. 位置カウンタが同一方向でカウントアップ/カウントダウンが行われるとマスクカウンタ*1 をカウントダウンします。
   マスクカウンタ*1 が"0x0"になるまで位置カウンタをリセットしません。また回転カウンタをカウントアップ/カウントダウンしません。
   位置カウンタのカウント反転が検出されるとマスクカウンタ*1 は”0x0”になります。
3. マスクカウンタ*1 が”0x0”になると ZIN のアクティブエッジの検出または位置カウンタのオーバフロー検出で位置カウンタは”0x0000”になります。

*1 : 位置カウンタのリセットと回転カウンタのカウントアップ/カウントダウンをマスクする回数をカウントします。このカウンタが”0x0”になるまでマスクします。

以下に RC_Mode3(QCR:RCM[1:0]=”11”)時の位置カウンタリセットマスク機能を使用した動作例を示します。

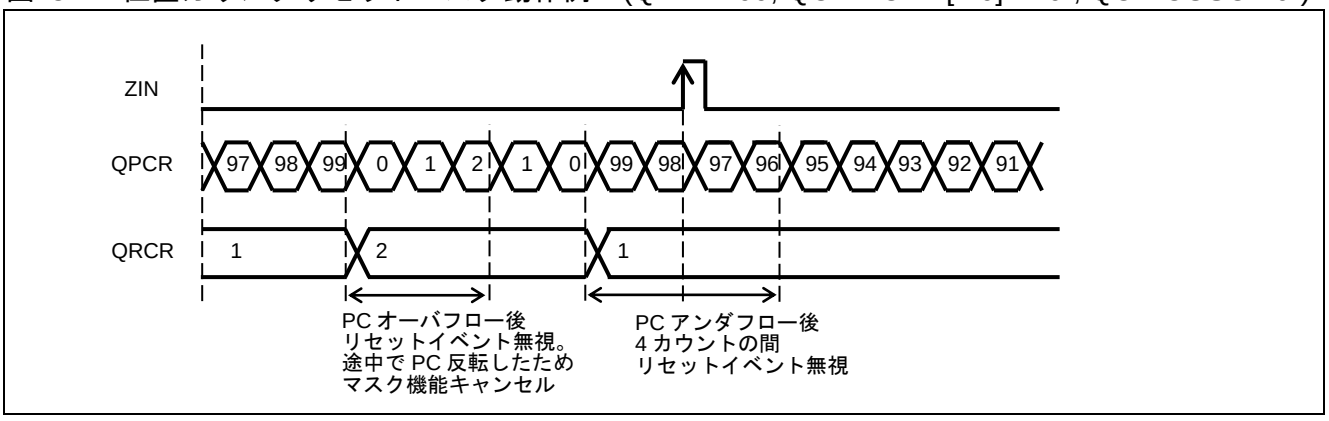
例 1:
位置カウンタのオーバフロー発生後に続く位置カウンタ 4 カウントの間(QPCR=0~3)、ZIN のアクティブエッジを無視します。

図 3-10 位置カウンタリセットマスク動作例 1 (QMPR=99, QCR:PCRM[1:0]=”10”, QCR:CGSC=”0”)



例 2:
位置カウンタの反転後に続くアンダフロー発生後、位置カウンタ 4 カウントの間(QPCR=99~96)、ZIN のアクティブエッジを無視します。

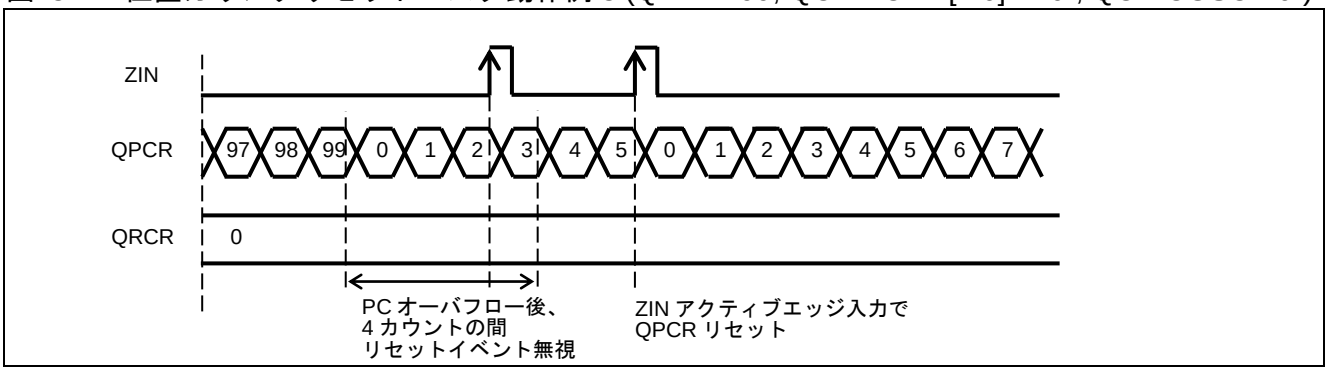
図 3-11 位置カウンタリセットマスク動作例 2 (QMPR=99, QCR:PCRM[1:0]=”10”, QCR:CGSC=”0”)



以下に RC_Mode0(QCR:RCM[1:0]=”00”)時の位置カウンタリセットマスク機能を使用した動作例を示します。

例 3:
回転カウンタがディセーブルのとき、位置カウンタのオーバフロー発生後に続く位置カウンタ 4 カウントの間(QPCR=0~3)、ZIN のアクティブエッジを無視します。

図 3-12 位置カウンタリセットマスク動作例 3 (QMPR=99, QCR:PCRM[1:0]=”10”, QCR:CGSC=”0”)



＜注意事項＞

- 位置カウンタリセットマスク機能が動作中に以下のいずれかの条件でマスク機能は解除され、位置カウンタのリセットが可能になります。
  - 位置カウンタモードビット(QCR:PCM[1:0])を変更した場合
  - 回転カウンタモードビット(QCR:RCM[1:0])を変更した場合
  - 位置カウンタの方向が変更された場合
- RC_Mode 0(QCR:RCM[1:0]="00")または RC_Mode3(QCR:RCM[1:0]="11")で位置カウンタリセットマスク機能が動作中に位置カウンタが反転せずに位置カウンタのオーバフローやアンダフローが発生しても回転カウンタはカウントアップやカウントダウンしませんが、オーバフローが発生した場合、位置カウンタは"0"になります。アンダフローが発生した場合、位置カウンタに QMPR がリロードされます。オーバフロー割込み要求フラグビット(QICR:OFDF)やアンダフロー割込み要求フラグビット(QICR:UFDF)は"1"に設定されます。

4. レジスタ

クアッドカウンタで使用するレジスタの構成と機能について説明します。

■ クアッドカウンタのレジスター一覧

レジスタ略称	レジスタ名	参照先
QPCR	クアッドカウンタ位置カウントレジスタ	4.1
QRCR	クアッドカウンタ回転カウントレジスタ	4.2
QPCCR	クアッドカウンタ位置カウンタ比較レジスタ	4.3
QPRCR	クアッドカウンタ位置&回転カウンタ比較レジスタ	4.4
QCR	クアッドカウンタ制御レジスタ	4.5
QECR	クアッドカウンタ拡張制御レジスタ	4.6
QICRL	クアッドカウンタ割込み制御レジスタ下位バイト	4.7
QICRH	クアッドカウンタ割込み制御レジスタ上位バイト	4.8
QMPR	クアッドカウンタ最大位置レジスタ	4.9

4.1. クアッドカウンタ位置カウントレジスタ(QPCR)

クアッドカウンタ位置カウントレジスタ(QPCR)は、位置カウンタを示しています。

bit	15															0
Field	QPCR[15:0]															
属性	R/W															
初期値	0x0000															

[bit15:0] QPCR[15:0] :

本レジスタの値を読み出すと現在の位置カウンタ値が読み出されます。位置カウンタがカウント停止中(QCR:PSTP="1")、本レジスタにカウント値を書き込めます。カウント動作中(QCR:PSTP=0)は、本レジスタへの書込みは無視されます。

本レジスタは以下のいずれかの条件で"0x0000"に設定されます。

- リセット
- 以下の条件での ZIN のアクティブエッジ検出
  - RC_Mode1(QCR:RCM[1:0]="01")で ZIN 機能がカウンタクリア機能(QCR:CGSC="0")
  - RC_Mode0(QCR:RCM[1:0]="00")または RC_Mode3(QCR:RCM[1:0]="11")で ZIN 機能がカウンタクリア機能(QCR:CGSC="0")で位置カウンタのリセットマスク機能が有効(QCR:PCRM[1:0]="01" or "10" or "11")な場合、位置カウンタのカウント反転が検出されず、マスク設定値分、位置カウンタがインクリメントまたはデクリメントを行われた後
  - RC_Mode0(QCR:RCM[1:0]="00")または RC_Mode3(QCR:RCM[1:0]="11")で ZIN 機能がカウンタクリア機能(QCR:CGSC="0")で位置カウンタのリセットマスク機能が無効(QCR:PCRM[1:0]="00")
- 以下の条件での位置カウンタのオーバフロー検出
  - RC_Mode2(QCR:RCM[1:0]="10")
  - RC_Mode0(QCR:RCM[1:0]="00")または RC_Mode3(QCR:RCM[1:0]="11")で ZIN 機能がカウンタクリア機能(QCR:CGSC="0")で位置カウンタのリセットマスク機能が有効(QCR:PCRM[1:0]="01" or "10" or "11")のとき、位置カウンタのカウント反転が検出されず、マスク設定値分、位置カウンタがインクリメントまたはデクリメントを行われた後
  - RC_Mode0(QCR:RCM[1:0]="00")または RC_Mode3(QCR:RCM[1:0]="11")で ZIN 機能がカウンタクリア機能(QCR:CGSC="0")で位置カウンタのリセットマスク機能が無効(QCR:PCRM[1:0]="00")
- 位置カウンタが停止中(QCR:PSTP="1")に、この QPCR に"0x0000"を書き込んだ場合

以下の条件でクアッドカウンタ最大位置レジスタ (QMPR)値がこのレジスタに設定されます。

- 位置カウンタのアンダフロー検出

＜注意事項＞

- クアッドカウンタ位置カウントレジスタ(QPCR)にバイトアクセス命令でアクセスは禁止です。
- RC_Mode0(QCR:RCM[1:0]="00"), RC_Mode1(QCR:RCM[1:0]="01")または RC_Mode3(QCR:RCM[1:0]="11")で位置カウンタ停止中(QCR:PSTP="1")にクアッドカウンタ位置カウントレジスタ(QPCR)にカウント値を書き込んだ後、カウント機能(QCR:CGSC="0")で ZIN のアクティブエッジが検出されるとクアッドカウンタ位置カウントレジスタ(QPCR)は"0x0000"に設定されてしまいます。
  クアッドカウンタ位置カウントレジスタ(QPCR)にカウント値を書き込む場合、ZIN のエッジ検出を無効(QCR:CGE[1:0]="00")にした後、クアッドカウンタ位置カウントレジスタ(QPCR)にカウント値を書き込んでください。

4.2. クアッドカウンタ回転カウントレジスタ(QRCR)

クアッドカウンタ回転カウントレジスタ(QRCR)は、回転カウンタを示します。

bit	15															0
Field	QRCR[15:0]															
属性	R/W															
初期値	0x0000															

[bit15:0] QRCR[15:0] :
本レジスタの値を読み出すと現在の回転カウンタ値が読み出されます。回転カウンタがカウント停止中(QCR:RCM[1:0]="00")、本レジスタにカウント値を書き込めます。カウント動作中(QCR:RCM[1:0]≠00)は、本レジスタへの書込みは無視されます。

本レジスタは以下のいずれかの条件で"0x0000"に設定されます。

・リセット
・回転カウンタが停止中(QCR:RCM[1:0]="00")、このレジスタに"0x0000"を書き込んだ場合

＜注意事項＞

・クアッドカウンタ回転カウントレジスタ(QRCR)にバイトアクセス命令でのアクセスは禁止です。
・PC_Mode0(QCR:PCM[1:0]="00")の場合、位置カウンタの方向を検出しませんので位置カウンタ最終方向ビット(QICR:DIRPC)は不定になります。そのため、PC_Mode0(QCR:PCM[1:0]="00")からほかのモードに移行させた場合、AIN/BIN の有効エッジが検出される前に ZIN の有効エッジが検出されると、以下の動作になります。
  ・位置カウンタは RC_Mode0(QCR:RCM[1:0]="00"), RC_Mode1(QCR:RCM[1:0]="01"), RC_Mode3(QCR:RCM[1:0]="11")の場合、リセットされる
  ・回転カウンタはカウントアップまたはカウントダウンされない

4.3. クアッドカウンタ位置カウンタ比較レジスタ(QPCCR)

クアッドカウンタ位置カウンタ比較レジスタ(QPCCR)は、位置カウンタのカウント値と比較します。

bit	15	0
Field	QPCCR[15:0]	
属性	R/W	
初期値	0x0000	

[bit15:0] QPCCR[15:0] :
本レジスタの値が位置カウンタと一致する場合、クアッドカウンタ位置カウンタ比較一致フラグ(QICR:QPCMF)が"1"に設定されます。この比較レジスタは位置カウンタとの比較だけに使用できます。

＜注意事項＞

クアッドカウンタ位置カウンタ比較レジスタ(QPCCR)にバイトアクセス命令でのアクセスは禁止です。

4.4. クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)は、位置カウンタまたは回転カウンタの選択されたカウント値と比較します。

bit	15	0
Field	QPRCR[15:0]	
属性	R/W	
初期値	0x0000	

[bit15:0] QPRCR[15:0] :

位置カウンタか回転カウンタかどちらのカウンタと比較するかは、クアッドカウンタ制御レジスタ(QCR)の RSEL ビットで選択します。レジスタ値が、位置カウンタか回転カウンタと一致する場合、クアッドカウンタ位置&回転カウンタ比較一致フラグ(QICR:QPRCMF)が"1"に設定されます。

＜注意事項＞

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)にバイトアクセス命令でのアクセスは禁止です。

4.5. クアッドカウンタ制御レジスタ(QCR)

クアッドカウンタ制御レジスタ(QCR)は、位置カウンタと 16 ビットの回転カウンタの動作モードを設定します。また、各カウンタをスタートしたりストップしたりします。

■ クアッドカウンタ制御レジスタ下位バイト(QCRL)

bit	7	6	5	4	3	2	1	0
Field	SWAP	RSEL	CGSC	PSTP	RCM1	RCM0	PCM1	PCM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] SWAP : スワップビット

本ビットは、位置カウンタへの AIN 入力と BIN 入力の接続を交換します。

本ビットが"0"のとき、AIN 端子は位置カウンタの AIN 入力に利用でき、BIN 端子は位置カウンタの BIN 入力に利用できます。本ビットが"1"のとき、AIN 端子は位置カウンタの BIN 入力に利用でき、BIN 端子は位置カウンタの AIN 入力に利用できます。

値	説明
0	スワップなし
1	AIN 入力と BIN 入力をスワップ

＜注意事項＞

スワップビット(SWAP)は、位置カウンタディセーブル(PCM[1:0]="00")のときに変更してください。

[bit6] RSEL : レジスタ機能選択ビット

本ビットは、クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)を位置カウンタと回転カウンタのどちらと比較するかを選択します。

値	説明
0	クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)を位置カウンタと比較
1	クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)を回転カウンタと比較

＜注意事項＞

本ビットの設定に関係なく、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、PC 一致&RC 一致割込み要求フラグビット(QICR: QPCNRCMF)は"1"に設定されます。

[bit5] CGSC : カウントクリア・ゲート選択ビット

本ビットは、外部端子 ZIN の機能を選択します。

カウンタクリア機能使用時(QGSC="0")、回転カウントモードが RC_Mode0(RCM[1:0]="00"), RC_Mode1(RCM[1:0]="01"), RC_Mode3(RCM[1:0]="11")のとき ZIN 端子は位置カウンタをクリアします。QCR レジスタの CGE1, CGE0 ビットは、ZIN 端子の有効なエッジを選択し、その選択されたエッジを検出することで位置カウンタをクリアします。

ゲート機能使用時(QGSC="1")、ZIN 端子は位置カウンタのカウント動作を制御します。QCR レジスタの CGE1, CGE0 ビットは、ZIN 端子の有効なレベルで位置カウンタをカウントします。

値	説明
0	カウンタクリア機能
1	ゲート機能

[bit4] PSTP : 位置カウンタストップビット

本ビットは、位置カウンタを停止します。

値	説明
0	カウント動作許可
1	カウント停止

[bit3:2] RCM1, RCM0 : 回転カウンタモードビット

本ビットは回転カウンタのカウントモードと、位置カウンタのリセットモードを選択します。位置カウンタへの影響については、「■回転カウンタの動作」を参照してください。

bit3	bit2	説明
0	0	回転カウンタディセーブル(RC_Mode0)
0	1	回転カウンタは ZIN のアクティブエッジでのみカウントアップ/カウントダウン(RC_Mode1)
1	0	回転カウンタは、(QMPR と一致する)位置カウンタのオーバフロー/アンダフローでのみ、それぞれカウントアップ/カウントダウン(RC_Mode2)
1	1	回転カウンタは位置カウンタのオーバフロー/アンダフローと、ZIN のアクティブエッジの両方でカウントアップ/カウントダウン(RC_Mode3)

[bit1:0] PCM1, PCM0 : 位置カウンタモードビット

本ビットは位置カウンタのカウントモードを選択します。

bit1	bit0	説明
0	0	位置カウンタディセーブル(PC_Mode0)。位置カウンタ停止
0	1	アップダウンカウントモード(PC_Mode1) AIN のアクティブエッジでインクリメント、 BIN のアクティブエッジでデクリメント
1	0	位相差カウントモード(PC_Mode2) AIN が BIN より進んでいるならカウントアップ、 BIN が AIN より進んでいるならカウントダウン
1	1	方向付きカウントモード(PC_Mode3) BIN のアクティブエッジと AIN のレベルでカウントアップ/カウントダウン

＜注意事項＞

PC_Mode0(PCM[1:0]="00")の場合、位置カウンタの方向を検出しませんので位置カウンタ最終方向ビット(QICR:DIRPC)は不定になります。そのため、PC_Mode0(PCM[1:0]="00")からほかのモードに移行させた場合、AIN/BIN の有効エッジが検出される前に ZIN の有効エッジが検出されると、以下の動作になります。

- 位置カウンタは RC_Mode0(RCM[1:0]="00"), RC_Mode1(RCM[1:0]="01"), RC_Mode3(RCM[1:0]="11")の場合、リセットされる
- 回転カウンタはカウントアップまたはカウントダウンされない

■ クアッドカウンタ制御レジスタ上位バイト(QCRH)

bit	15	14	13	12	11	10	9	8
Field	CGE1	CGE0	BES1	BES0	AES1	AES0	PCRM1	PCRM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:14] CGE1, CGE0 : 検出エッジ選択ビット

本ビットは、外部端子 ZIN をカウンタクリア機能で使用する場合(CGSC="0")の検出エッジを選択します。
また、ZIN をゲート機能で使用する場合(CGSC="1")の検出レベルを選択します。

bit15	bit14	ZIN がカウンタクリア機能 (CGSC="0")	ZIN がゲート機能 (CGSC="1")
0	0	エッジ検出無効	レベル検出無効
0	1	立下りエッジ検出	"L" レベル検出
1	0	立上りエッジ検出	"H" レベル検出
1	1	立上り/立下りエッジ検出	レベル検出無効

[bit13:12] BES1, BES0 : BIN 検出エッジ選択ビット

本ビットは、外部端子 BIN の検出エッジを選択します。

bit13	bit12	説明
0	0	エッジ検出は無効
0	1	立下りエッジを検出
1	0	立上りエッジを検出
1	1	立上りと立下りエッジを検出

[bit11:10] AES1, AES0 : AIN 検出エッジ選択ビット

本ビットは、外部端子 AIN の検出エッジを選択します。

bit11	bit10	説明
0	0	エッジ検出は無効
0	1	立下りエッジを検出
1	0	立上りエッジを検出
1	1	立上りと立下りエッジを検出

[bit9:8] PCRM1, PCRM0 : 位置カウンタリセットマスクビット

本ビットは、位置カウンタのオーバフロー, アンダフローまたは ZIN のアクティブエッジ検出後、どれくらいの間(マスク期間)、次に示すイベントを無視するかを設定します。

- 位置カウンタのリセット
- 回転カウンタのインクリメント/デクリメント

このマスク機能は、位置カウンタのカウント方向が変わるとこの機能は解除され、次の位置カウンタのオーバフロー, アンダフローまたは ZIN のアクティブエッジ検出で再度、マスク機能が動作します。

bit9	bit8	説明
0	0	リセットマスクなし
0	1	位置カウンタ 2 カウント分位置カウンタのリセットまたは回転カウンタのカウントアップ/カウントダウンのイベント無視
1	0	位置カウンタ 4 カウント分位置カウンタのリセットまたは回転カウンタのカウントアップ/カウントダウンのイベント無視
1	1	位置カウンタ 8 カウント分位置カウンタのリセットまたは回転カウンタのカウントアップ/カウントダウンのイベント無視

＜注意事項＞

- 位置カウンタリセットマスク機能は、RC_Mode0(RCM[1:0]="00")と RC_Mode3(RCM[1:0]="11")の場合のみ有効です。また、この機能は、位置カウンタモード(PC_Mode1, PC_Mode2, PC_Mode3)の設定とは関係なく動作します。
- 位置カウンタリセットマスク機能が動作中に以下のいずれかの条件でマスク機能は解除され、位置カウンタのリセットが可能になります。
  - 位置カウンタモードビット(PCM[1:0])を変更した場合
  - 回転カウンタモードビット(RCM[1:0])を変更した場合
  - 位置カウンタの方向が変更された場合

4.6. クアッドカウンタ拡張制御レジスタ(QECR)

クアッドカウンタ拡張制御レジスタ(QECR)は、回転カウンタのカウント範囲内を選択したり、回転カウンタがカウント範囲外になったことを示したり、その範囲外になったときに割込みの発生を制御します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約													ORNGIE	ORNGF	ORNGMD
属性	-													R/W	R/W	R/W
初期値	0000000000000													0	0	0

[bit15:3] 予約 : 予約ビット

本ビットには常に"0"を書き込んでください。読出し値は"0"が読み出されます。

[bit2] ORNGIE : 範囲外割込みイネーブルビット

本ビットは範囲外割込み要求フラグ(ORNGF)が"1"になったときに CPU へ割込みを通知するかどうかを制御します。本ビットが"1"で回転カウント値が範囲外になった(ORNGF="1")とき、割込みが発生します。

値	説明
0	割込み禁止
1	割込み許可

[bit1] ORNGF : 範囲外割込み要求フラグビット

本フラグは回転カウンタの範囲外を示します。

回転カウンタの範囲外モードとして正数値を選択する(ORNGMD="0")と、回転カウンタがカウントダウンして"0x0001"から"0x0000"に変化したときに、またはカウントアップして"0xFFFE"から"0xFFFF"に変化したときに本フラグは"1"に設定されます。

回転カウンタの範囲外モードとして 8K 値を選択する(ORNGMD="1")と、回転カウンタがカウントダウンして"0x8001"から"0x8000"に変化したときに、またはカウントアップして"0x7FFE"から"0x7FFF"に変化したときに本フラグは"1"に設定されます。

書込みでは、フラグは"0"にクリアできます。"1"を書き込んでも影響しません。

リードモディファイライト系命令で"1"を読み出します。

値	説明	
	読出し	書込み
0	範囲外未検出	ビットクリア
1	範囲外検出	動作に影響しません

[bit0] ORNGMD : 範囲外モード選択ビット

本ビットは、回転カウンタの範囲外モードを定義します。

値	説明
0	正数値を選択(範囲は"0x0000" ～ "0xFFFF")
1	8K 値を選択(範囲は"0x0000" ～ "0x7FFF")

4.7. クアッドカウンタ割込み制御レジスタ下位バイト(QICRL)

クアッドカウンタ割込み制御レジスタ下位バイト(QICRL)は、位置カウンタのオーバフロー/アンダフローの割込み，ゼロインデックス割込み，クアッドカウンタ位置カウンタ比較一致割込み，クアッドカウンタ位置&回転カウンタ比較一致割込みを制御します。

bit	7	6	5	4	3	2	1	0
Field	ZIIF	OFDF	UFDF	OUZIE	QPRCMF	QPRCMIE	QPCMF	QPCMIE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] ZIIF : **ゼロインデックス割込み要求フラグビット**

位置カウンタが"ZIN"入力でリセットされたときに、本フラグは"1"となります。

書込みでは、フラグは"0"にクリアできます。"1"を書き込んでも影響しません。

リードモディファイライト系命令で"1"を読み出します。

値	説明	
	読出し	書込み
0	ゼロインデックス未検出	ビットクリア
1	ゼロインデックス検出	動作に影響しません

＜注意事項＞

ゼロインデックス割込み要求フラグビット(ZIIF)は、ZIN をゲート機能(QCR:CGSC="1")として使用するか、または RC_Mode2(QCR:RCM[1:0]="10")の場合、位置カウンタがリセットされても"1"になりません。

[bit6] OFDF : **オーバフロー割込み要求フラグビット**

本フラグは位置カウンタのオーバフローの発生を示します。位置カウンタとクアッドカウンタ最大位置レジスタ(QMPR)の設定値が一致した状態で位置カウンタがカウントアップした時に、本ビットは"1"になります。

書込みでは、フラグは"0"にクリアできます。"1"を書き込んでも影響しません。

リードモディファイライト系命令で"1"を読み出します。

値	説明	
	読出し	書込み
0	オーバフロー未検出	ビットクリア
1	オーバフロー検出	動作に影響しません

[bit5] UFDF : アンダフロー割込み要求フラグビット

本フラグは位置カウンタのアンダフローの発生を示します。位置カウンタが"0x0000"の時にカウントダウンすると、本ビットは"1"になります。

書込みでは、フラグは"0"にクリアできます。"1"を書き込んでも影響しません。

リードモディファイライト系命令で"1"を読み出します。

値	説明	
	読出し	書込み
0	アンダフロー未検出	ビットクリア
1	アンダフロー検出	動作に影響しません

[bit4] OUZIE : オーバフロー/アンダフロー/ゼロインデックス割込みイネーブルビット

本ビットは、オーバフロー割込み要求フラグビット(OFDF), アンダフロー割込み要求フラグビット(UFDF)またはゼロインデックス割込み要求フラグビット(ZIIF)が"1"になったときに CPU へ割込みを通知するかどうかを制御します。本ビットが"1"でオーバフロー検出(OFDF="1"), アンダフロー検出(UFDF="1")またはゼロインデックス検出(ZIIF="1")で、割込みが発生します。

値	説明
0	割込み禁止
1	割込み許可

[bit3] QPRCMF : PC&RC 一致割込み要求フラグビット

本フラグは位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致したかどうか、または回転カウンタ(QRCR)とクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致したかどうかを示します。

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)と位置カウンタとの比較を選択した(QCR:RSEL="0")場合、位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、本フラグは"1"になります。

クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)と回転カウンタとの比較を選択した(QCR:RSEL="1")場合、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、本フラグは"1"になります。

書込みでは、フラグは"0"にクリアできます。"1"を書き込んでも影響しません。

リードモディファイライト系命令で"1"を読み出します。

値	説明	
	読出し	書込み
0	QPRCR と比較一致未検出	ビットクリア
1	QPRCR と比較一致検出	動作に影響しません

＜注意事項＞

- レジスタ機能選択ビット(QCR:RSEL)が"0"の場合、以下のいずれかの条件で直ちに PC&RC 一致割込み要求フラグビット(QPRCMF)は"1"になります。
  - 位置カウンタディセーブル(QCR:PCM[1:0]="00")にし、位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した状態で PC_Mode1(QCR:PCM[1:0]="01"), PC_Mode2(QCR:PCM[1:0]="10")または PC_Mode3(QCR:PCM[1:0]="11")に変更した場合
  - PC_Mode1(QCR:PCM[1:0]="01"), PC_Mode2(QCR:PCM[1:0]="10")または PC_Mode3(QCR:PCM[1:0]="11")でクアッドカウンタ位置カウントレジスタ(QPCR)またはクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)にデータを書き込んで位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合

- レジスタ機能選択ビット(QCR:RSEL)が"1"の場合、以下の条件で直ちに PC&RC 一致割込み要求フラグビット(QPRCMF)は"1"に設定されます。
  - RC_Mode1(QCR:RCM[1:0]="01"), RC_Mode2(QCR:RCM[1:0]="10"または RC_Mode3(QCR:RCM[1:0]="11")のとき、クアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)にデータを書き込んで回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合
  - RC_Mode0(QCR:RCM[1:0]="00")からほかのモードに変更して回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合

- レジスタ機能選択ビット(QCR:RSEL)を変更した場合、以下の条件で直ちに PC&RC 一致割込み要求フラグビット(QPRCMF)は"1"になります。
  - RC_Mode0(QCR.RCM[1:0]="00")以外でレジスタ機能選択ビット(QCR:RSEL)が"0"から"1"に変更されたとき、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合
  - PC_Mode0(QCR.PCM[1:0]="00")以外でレジスタ機能選択ビット(QCR:RSEL)が"1"から"0"に変更されたとき、位置カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合

[bit2] QPRCMIE : PC&RC 一致割込みイネーブルビット

本ビットは、PC&RC 一致割込み要求フラグ(QPRCMF)が"1"になったときに CPU へ割込みを通知するかどうかを制御します。本ビットが"1"で位置カウンタまたは回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致する(QPRCMF="1")と、割込みが発生します。

値	説明
0	割込み禁止
1	割込み許可

[bit1] QPCMF : PC 一致割込み要求フラグビット

本フラグは、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致したかどうかを示します。

位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した場合、本フラグは"1"になります。

書込みでは、フラグは"0"にクリアできます。"1"を書き込んでも影響しません。

リードモディファイライト系命令で"1"を読み出します。

値	説明	
	読出し	書込み
0	QPCCR と比較一致未検出	ビットクリア
1	QPCCR と比較一致検出	動作に影響しません

＜注意事項＞

以下のいずれかの条件で直ちに PC 一致割込み要求フラグビット(QPCMF)は"1"になります。

- 位置カウンタディセーブル(QCR:PCM[1:0]="00")にし、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した状態で PC_Mode1(QCR:PCM[1:0]="01"), PC_Mode2(QCR:PCM[1:0]="10")または PC_Mode3(QCR:PCM[1:0]="11")に変更した場合
- 位置カウンタストップビット(QCR:PSTP)が"1"で PC_Mode1(QCR:PCM[1:0]="01"), PC_Mode2(QCR:PCM[1:0]="10")または PC_Mode3(QCR:PCM[1:0]="11")のとき、クアッドカウンタ位置カウントレジスタ(QPCR)に書き込んで位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した場合
- PC_Mode1(QCR:PCM[1:0]="01"), PC_Mode2(QCR:PCM[1:0]="10")または PC_Mode3(QCR:PCM[1:0]="11")のとき、クアッドカウンタ比較レジスタ(QPCCR)に書き込んで位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した場合

[bit0] QPCMIE : PC 一致割込みイネーブルビット

本ビットは、PC 一致割込み要求フラグ(QPCMF)が"1"になったときに CPU へ割込みを通知するかどうかを制御します。

本ビットが"1"で位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致する(QPCMF="1")と、割込みが発生します。

値	説明
0	割込み禁止
1	割込み許可

4.8. クアッドカウンタ割込み制御レジスタ上位バイト(QICRH)

クアッドカウンタ割込み制御レジスタ上位バイト(QICRH)は、位置カウンタと QPCCR との一致かつ回転カウンタと QPRCR との一致、カウント反転の割込みを制御します。また、最後のアンダフロー/オーバフロー割込み時や、最後の位置カウンタ値変化時の位置カウンタの方向を示します。

bit	15	14	13	12	11	10	9	8
Field	予約		QPCNRCMF	QPCNRCMIE	DIROU	DIRPC	CDCF	CDCIE
属性	-		R/W	R/W	R	R	R/W	R/W
初期値	00		0	0	0	0	0	0

[bit15:14] 予約 : 予約ビット

本ビットには常に"0"を書き込んでください。読出し値は"0"が読み出されます。

[bit13] QPCNRCMF : PC 一致&RC 一致割込み要求フラグビット

本フラグは、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し、かつ回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致したかどうかを示します。

位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し(QPCMF="1")、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、本フラグは"1"になります。

書込みでは、フラグは"0"にクリアできます。"1"を書き込んでも影響しません。

リードモディファイライト系命令で"1"を読み出します。

値	説明	
	読出し	書込み
0	一致検出なし	ビットクリア
1	一致検出	動作に影響しません

＜注意事項＞

以下のいずれかの条件で直ちに PC 一致&RC 一致割込み要求フラグビット(QPCNRCMF)は"1"になります。

- 位置カウンタディセーブル(QCR:PCM[1:0]="00")で回転カウンタが RC_Mode0(QCR:RCM[1:0]="00")以外のとき、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した状態で PC_Mode1(QCR:PCM[1:0]="01"), PC_Mode2(QCR:PCM[1:0]="10")または PC_Mode3(QCR:PCM[1:0]="11")に変更した場合
- PC_Mode1(QCR:PCM[1:0]="01"), PC_Mode2(QCR:PCM[1:0]="10")または PC_Mode3(QCR:PCM[1:0]="11")で回転カウンタが RC_Mode0(QCR:RCM[1:0]="00")以外のとき、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した状態のときに、クアッドカウンタ位置カウントレジスタ(QPCR)またはクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)にデータを書き込んで、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した場合
- PC_Mode1(QCR:PCM[1:0]="01"), PC_Mode2(QCR:PCM[1:0]="10")または PC_Mode3(QCR:PCM[1:0]="11")でクアッドカウンタ位置カウントレジスタ(QPCR)またはクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した状態のときに、RC_Mode0(QCR:RCM[1:0]="00")以外でクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)にデータを書き込んで、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合
- PC_Mode1(QCR:PCM[1:0]="01"), PC_Mode2(QCR:PCM[1:0]="10")または PC_Mode3(QCR:PCM[1:0]="11")でクアッドカウンタ位置カウントレジスタ(QPCR)またはクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致した状態のときに、RC_Mode0(QCR:RCM[1:0]="00")からほかのモードに変更して、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合
- レジスタ機能選択ビット(QCR:RSEL)の設定に関係なく、位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し、回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致した場合、本ビットは"1"になります。

[bit12] QPCNRCMIE : PC 一致&RC 一致割込みイネーブルビット

本ビットは、PC 一致&RC 一致割込み要求フラグ(QPCNRCMF)が"1"に設定されたときに CPU へ割込みを通知するかどうかを制御します。

本ビットが"1"で位置カウンタとクアッドカウンタ位置カウンタ比較レジスタ(QPCCR)が一致し、かつ回転カウンタとクアッドカウンタ位置&回転カウンタ比較レジスタ(QPRCR)が一致する(QPCNRCMF="1")と、割込みが発生します。

値	説明
0	割込み禁止
1	割込み許可

[bit11] DIROU : 位置カウンタ最終フロー方向ビット

本ビットは、位置カウンタが最後にオーバフロー/アンダフローしたときの位置カウンタの方向を示します。

値	説明
0	位置カウンタはインクリメントを行った
1	位置カウンタはデクリメントを行った

[bit10] DIRPC : 位置カウンタ最終方向ビット

本ビットは、位置カウンタが最後に変化したときのカウント方向を示します。

値	説明
0	位置カウンタはインクリメントを行った
1	位置カウンタはデクリメントを行った

＜注意事項＞

PC_Mode0(QCR:PCM[1:0]="00")の場合、位置カウンタの方向を検出しませんので位置カウンタ最終方向ビット(QICR:DIRPC)は不定になります。そのため、PC_Mode0(QCR:PCM[1:0]="00")からほかのモードに移行させた場合、AIN/BIN の有効エッジが検出される前に ZIN の有効エッジが検出されると、以下の動作になります。

- 位置カウンタは RC_Mode0(QCR:RCM[1:0]="00"), RC_Mode1(QCR:RCM[1:0]="01"), RC_Mode3(QCR:RCM[1:0]="11")の場合、リセットされる
- 回転カウンタはカウントアップまたはカウントダウンされない

[bit9] CDCF : カウント反転割込み要求フラグビット

本ビットは位置カウンタがカウントの方向が反転したかどうかを示します。

位置カウンタがカウント方向を反転した場合、本ビットは"1"になります。カウント方向の反転とはカウンタをカウントアップし、次にカウンタをカウントダウンする、またはカウンタをカウントダウンし、次にカウンタをカウントアップすることを指します。

書込みでは、フラグは"0"にクリアできます。"1"を書き込んでも影響しません。

リードモディファイライト系命令で"1"を読み出します。

値	説明	
	読出し	書込み
0	位置カウンタのカウント反転なし	ビットクリア
1	位置カウンタのカウント反転が最低でも 1 回あり	動作に影響しません

＜注意事項＞

PC_Mode0(QCR:PCM[1:0]="00")の場合、位置カウンタの方向を検出しませんので位置カウンタ最終方向ビット(QICR:DIRPC)は不定になります。そのため、PC_Mode0(QCR:PCM[1:0]="00")からほかのモードに移行させた後、AIN/BIN の有効エッジが検出され、位置カウンタの方向が反転してもカウント反転割込み要求フラグビット(QICR:CDCF)は"1"に設定されません。

[bit8] CDCIE : カウント反転割込みイネーブルビット

本ビットはカウント反転割込み要求フラグ(CDCF)が"1"に設定されたときに CPU へ割込みを通知するかどうかを制御します。

本ビットが"1"で位置カウンタのカウント方向が反転する(CDCF="1")と、割込みが発生します。

値	説明
0	割込み禁止
1	割込み許可

4.9. クアッドカウンタ最大位置レジスタ(QMPR)

クアッドカウンタ最大位置レジスタ (QMPR)は、位置カウンタの最大値を設定します。

bit	15	0
Field	QMPR[15:0]	
属性	R/W	
初期値	0xFFFF	

[bit15:0] QMPR :
クアッドカウンタ最大位置レジスタ(QMPR)の設定値と位置カウンタが一致した状態で位置カウンタがカウントアップすると、位置カウンタのオーバフローを検出します(QICR:OFDF="1")。
位置カウンタのアンダフローを検出する(QICR:UFDF="1")とクアッドカウンタ最大位置レジスタ(QMPR)の設定値を位置カウンタにリロードします。

＜注意事項＞

クアッドカウンタ最大位置レジスタ(QMPR)にバイトアクセス命令でアクセスは禁止です。

CHAPTER 8-2: クアッドカウンタ位置回転カウント表示機能

クアッドカウンタ位置回転カウント表示機能について説明します (TYPE2 以降の製品に搭載)。

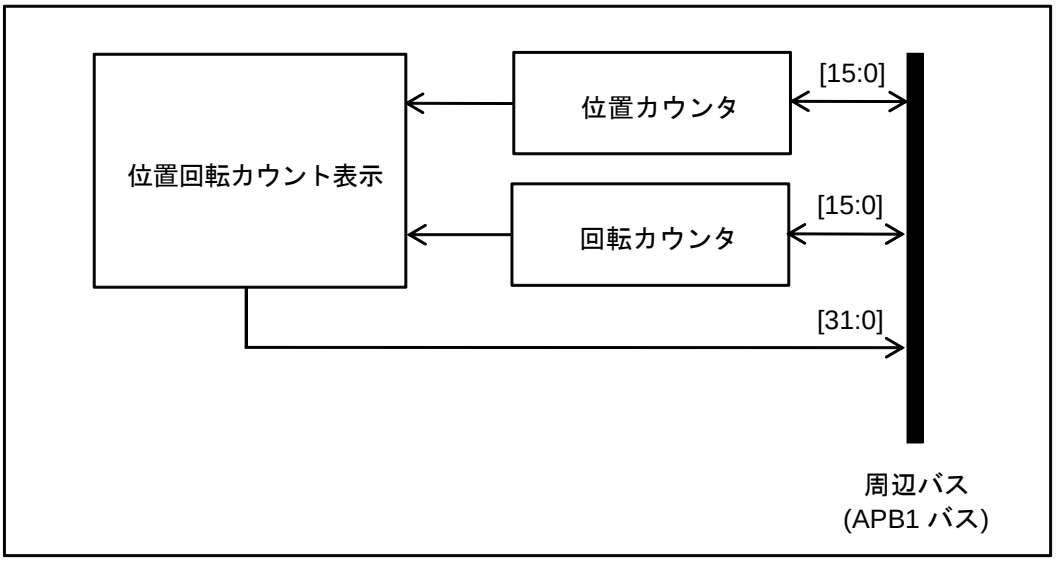
1. 概要・構成
2. レジスタ

1. 概要・構成

クアッドカウンタ位置回転カウント表示機能の概要を説明します。

TYPE2 以降の製品は、クアッドカウンタ位置カウントレジスタ(QPCR)の値とクアッドカウンタ回転カウントレジスタ(QRCR)の値を同時に読み出せる機能が搭載されています。

図 1-1 クアッドカウンタ位置回転カウントレジスタのブロックダイヤグラム



2. レジスタ

クアッドカウンタ位置回転カウント表示機能のレジスタについて説明します。

レジスタ略称	レジスタ名	参照先
QPRCRR	クアッドカウンタ位置回転カウントレジスタ	2.1

2.1. クアッドカウンタ位置回転カウントレジスタ(QPRCRR)

クアッドカウンタ位置カウントレジスタ(QPCR)およびクアッドカウンタ回転カウントレジスタ(QRCR)の値を表示します。

■ レジスタ構成

bit	31															16
Field	QRCRR[15:0]															
属性	R															
初期値	0x0000															

bit	15															0
Field	QPCRR[15:0]															
属性	R															
初期値	0x0000															

■ レジスタ機能

[bit31:16] QRCRR : クアッドカウンタ回転カウント表示ビット

クアッドカウンタ回転カウントレジスタ(QRCR)と同じ値を読み出せるミラーレジスタです。書込みは無効です。

[bit15:0] QPCRR : クアッドカウンタ位置カウント表示ビット

クアッドカウンタ位置カウントレジスタ(QPCR)と同じ値を読み出せるミラーレジスタです。書込みは無効です。

本レジスタを使用することでクアッドカウンタ位置カウントレジスタ(QPCR)の値とクアッドカウンタ回転カウントレジスタ(QRCR)の値を同時に読み出せます。

Appendixes

レジスタマップ、注意事項、制限事項、TYPE 分類、主な変更内容について説明します。

A. レジスタマップ
B. 注意事項一覧
C. 制限事項一覧
D. TYPE分類一覧
E. 主な変更内容

A. レジスタマップ



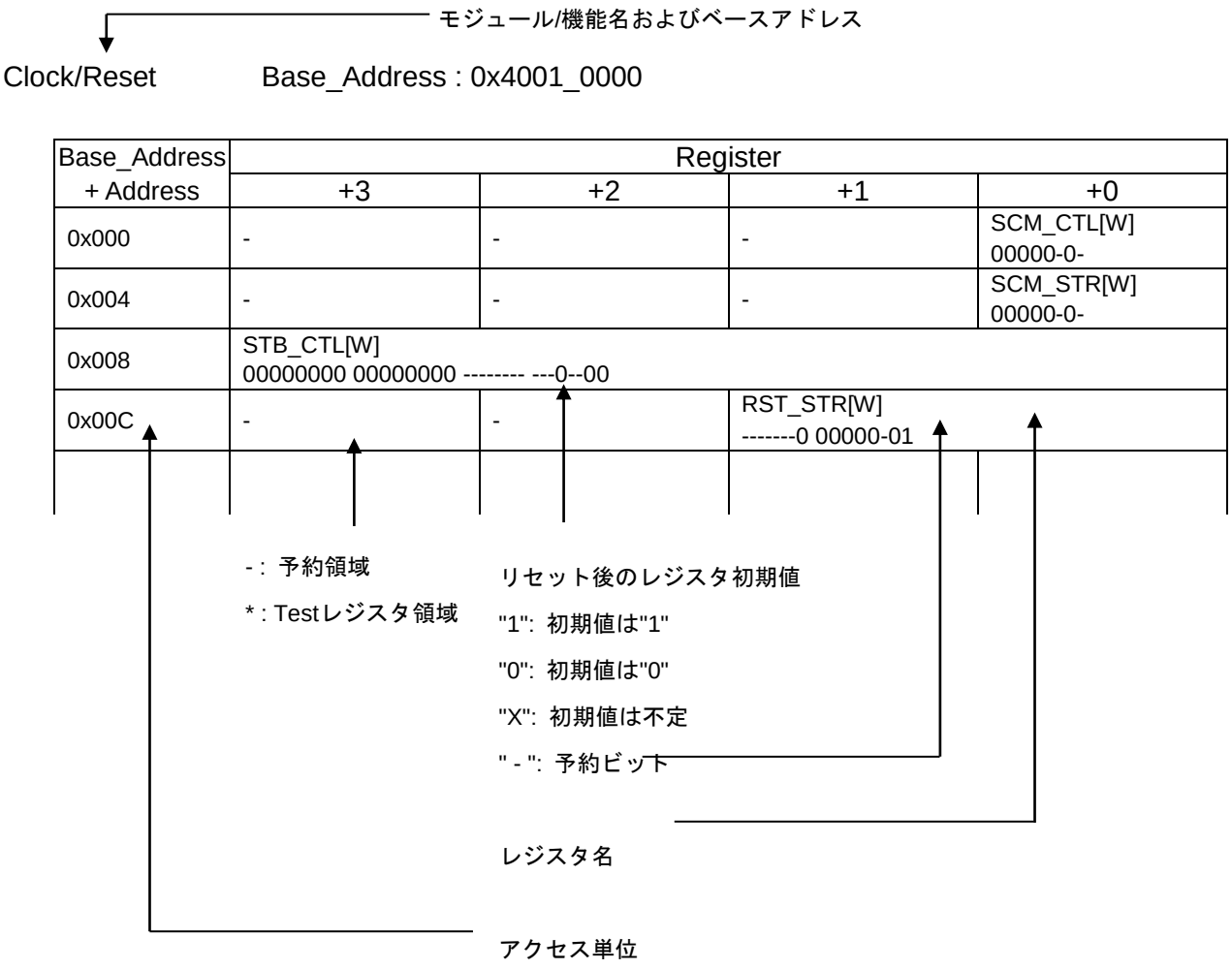
レジスタマップについて説明します。

1. レジスタマップ

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



＜注意事項＞

- レジスタテーブルはリトルエンディアンで表されています。
- データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。
  - ワードアクセス: アドレスは 4 の倍数(最下位 2 ビットは"0x00")
  - ハーフワードアクセス: アドレスは 2 の倍数(最下位ビットは"0x0")
  - バイトアクセス: -
- Test レジスタ領域にはアクセスしないでください。
- レジスタテーブルに記載していない領域にはアクセスしないでください。

- レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。
- レジスタマップ中に記載してある*1～*8 は下記を意味します。
  - *1 : TYPE0 の初期値です。
  - *2 : TYPE1～TYPE7 の初期値です。
  - *3 : TYPE0,3,7 の初期値です。
  - *4 : TYPE1,2,4,5 の初期値です。
  - *5 : TYPE6,8,9 の初期値です。
  - *6 : TYPE3,7 の初期値です。
  - *7 : TYPE6,8 の初期値です。
  - *8 : TYPE9～TYPE12 の初期値です。

1.1. FLASH_IF

Base_Address : 0x4000_0000

■ TYPE0/1/2/3/4/5/7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0xFFC	-	-	-	-

■ TYPE6/8/9/10/11 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

■ TYPE12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x084	-	-	-	-
0x088	FSTR1[B,H,W]			
0x08C - 0x0FC				
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

＜注意事項＞

Flash_IF部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

1.2. Unique ID

Base_Address : 0x4000_0200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	UIDR0[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W] -------- -------- ---XXXXX XXXXXXXX			
0x008 - 0xDFC	-	-	-	-

1.3. Clock/Reset

Base_Address : 0x4001_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 00000-01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] X-----00
0x024 - 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C - 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] -0000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] ---00000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x064	-	-	-	INT_STR[W] --0--000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C - 0xFFC	-	-	-	-

1.4. HW WDT

Base_Address : 0x4001_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WDG_LDR[W] 00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	WDG_CTL[W]			
	-	-	-	------11
0x00C	WDG_ICL[W]			
	-	-	-	XXXXXXXX
0x010	WDG_RIS[W]			
	-	-	-	-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W] 00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5. SW WDT

Base_Address : 0x4001_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WdogLoad[W] 11111111 11111111 11111111 11111111			
0x004	WdogValue[W] 11111111 11111111 11111111 11111111			
0x008	WdogControl[W]			
	-	-	-	------00
0x00C	WdogIntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	WdogRIS[W]			
	-	-	-	-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WdogLock[W] 00000000 00000000 00000000 00000000			
0xC04 - 0xFFC	-	-	-	-

1.6. Dual_Timer

Base_Address : 0x4001_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	Timer1Load[W] 00000000 00000000 00000000 00000000			
0x004	Timer1Value[W] 11111111 11111111 11111111 11111111			
0x008	Timer1Control[W] -------- -------- -------- 00100000			
0x00C	Timer1IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W] -------- -------- -------- -------0			
0x014	Timer1MIS[W] -------- -------- -------- -------0			
0x018	Timer1BGLoad[W] 00000000 00000000 00000000 00000000			
0x020	Timer2Load[W] 00000000 00000000 00000000 00000000			
0x024	Timer2Value[W] 11111111 11111111 11111111 11111111			
0x028	Timer2Control[W] -------- -------- -------- 00100000			
0x02C	Timer2IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W] -------- -------- -------- -------0			
0x034	Timer2MIS[W] -------- -------- -------- -------0			
0x038	Timer2BGLoad[W] 00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7. MFT

unit0 Base_Address : 0x4002_0000
unit1 Base_Address : 0x4002_1000
unit2 Base_Address : 0x4002_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	OCCP0[H,W] 00000000 00000000	
0x004	-	-	OCCP1[H,W] 00000000 00000000	
0x008	-	-	OCCP2[H,W] 00000000 00000000	
0x00C	-	-	OCCP3[H,W] 00000000 00000000	
0x010	-	-	OCCP4[H,W] 00000000 00000000	
0x014	-	-	OCCP5[H,W] 00000000 00000000	
0x018	-	-	OCSB10[B,H,W] -110--00	OCSA10[B,H,W] 00001100
0x01C	-	-	OCSB32[B,H,W] -110--00	OCSA32[B,H,W] 00001100
0x020	-	-	OCSB54[B,H,W] -110--00	OCSA54[B,H,W] 00001100
0x024	-	-	OCSC[B,H,W] --000000	-
0x028	-	-	TCCP0[H,W] 11111111 11111111	
0x02C	-	-	TCDT0[H,W] 00000000 00000000	
0x030	-	-	TCSA0[B,H,W] 000---00 01000000	
0x034	-	-	TCSB0[B,H,W] -------- -----000	
0x038	-	-	TCCP1[H,W] 11111111 11111111	
0x03C	-	-	TCDT1[H,W] 00000000 00000000	
0x040	-	-	TCSA1[B,H,W] 000---00 01000000	
0x044	-	-	TCSB1[B,H,W] -------- -----000	
0x048	-	-	TCCP2[H,W] 11111111 11111111	
0x04C	-	-	TCDT2[H,W] 00000000 00000000	
0x050	-	-	TCSA2[B,H,W] 000---00 01000000	
0x054	-	-	TCSB2[B,H,W] -------- -----000	
0x058	-	-	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x05C	-	-	-	OCFS54[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x060	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x064	-	-	-	-
0x068	-	-	ICCP0[H,W] XXXXXXXX XXXXXXXX	
0x06C	-	-	ICCP1[H,W] XXXXXXXX XXXXXXXX	
0x070	-	-	ICCP2[H,W] XXXXXXXX XXXXXXXX	
0x074	-	-	ICCP3[H,W] XXXXXXXX XXXXXXXX	
0x078	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x07C	-	-	ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x080	-	-	WFTM10[H,W] 00000000 00000000	
0x084	-	-	WFTM32[H,W] 00000000 00000000	
0x088	-	-	WFTM54[H,W] 00000000 00000000	
0x08C	-	-	WFSA10[H,W] ---00000 00000000	
0x090	-	-	WFSA32[H,W] ---00000 000000	
0x094	-	-	WFSA54[H,W] ---00000 00000000	
0x098	-	-	WFIR[H,W] 00000000 0000—00	
0x09C	-	-	NZCL[H,W] -------- ---00000	
0x0A0	-	-	ACCP0[H,W] 00000000 00000000	
0x0A4	-	-	ACCPDN0[H,W] 00000000 00000000	
0x0A8	-	-	ACCP1[H,W] 00000000 00000000	
0x0AC	-	-	ACCPDN1[H,W] 00000000 00000000	
0x0B0	-	-	ACCP2[H,W] 00000000 00000000	
0x0B4	-	-	ACCPDN2[H,W] 00000000 00000000	
0x0B8	-	-	-	ACSB[B,H,W] -000-111
0x0BC	-	-	ACSA[B,H,W] --000000 –000000	
0x0C0	-	-	ATSA[H,W] --000000 –000000	
0x0C4 - 0x0FC	-	-	-	-

1.8. PPG

Base_Address : 0x4002_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	TTCR0 [B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0 [B,H,W] 00000000	-
0x00C	-	-	-	COMP2 [B,H,W] 00000000
0x010	-	-	COMP4 [B,H,W] 00000000	-
0x014	-	-	-	COMP6 [B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1 [B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1 [B,H,W] 00000000	-
0x02C	-	-	-	COMP3 [B,H,W] 00000000
0x030	-	-	COMP5 [B,H,W] 00000000	-
0x034	-	-	-	COMP7 [B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2 [B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8 [B,H,W] 00000000	-
0x04C	-	-	-	COMP10 [B,H,W] 00000000
0x050	-	-	COMP12 [B,H,W] 00000000	-
0x054	-	-	-	COMP14 [B,H,W] 00000000
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG0 [B,H,W] 00000000 00000000	
0x104	-	-	REVC0 [B,H,W] 00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1 [B,H,W] -------- 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x144	-	-	REVC1 [B,H,W] -------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0 [B,H,W] 00000000	PPGC1 [B,H,W] 00000000
0x204	-	-	PPGC2 [B,H,W] 00000000	PPGC3 [B,H,W] 00000000
0x208	-	-	PRLH0 [B,H,W] XXXXXXXX	PRLL0 [B,H,W] XXXXXXXX
0x20C	-	-	PRLH1 [B,H,W] XXXXXXXX	PRLL1 [B,H,W] XXXXXXXX
0x210	-	-	PRLH2 [B,H,W] XXXXXXXX	PRLL2 [B,H,W] XXXXXXXX
0x214	-	-	PRLH3 [B,H,W] XXXXXXXX	PRLL3 [B,H,W] XXXXXXXX
0x218	-	-	-	GATEC0 [B,H,W] --00--00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4 [B,H,W] 00000000	PPGC5 [B,H,W] 00000000
0x244	-	-	PPGC6 [B,H,W] 00000000	PPGC7 [B,H,W] 00000000
0x248	-	-	PRLH4 [B,H,W] XXXXXXXX	PRLL4 [B.H.W] XXXXXXXX
0x24C	-	-	PRLH5 [B,H,W] XXXXXXXX	PRLL5 [B,H,W] XXXXXXXX
0x250	-	-	PRLH6 [B,H,W] XXXXXXXX	PRLL6 [B,H,W] XXXXXXXX
0x254	-	-	PRLH7 [B,H,W] XXXXXXXX	PRLL7 [B,H,W] XXXXXXXX
0x258	-	-	-	GATEC4 [B,H,W] --00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8 [B,H,W] 00000000	PPGC9 [B,H,W] 00000000
0x284	-	-	PPGC10 [B,H,W] 00000000	PPGC11 [B,H,W] 00000000
0x288	-	-	PRLH8 [B,H,W] XXXXXXXX	PRLL8 [B,H,W] XXXXXXXX
0x28C	-	-	PRLH9 [B,H,W] XXXXXXXX	PRLL9 [B,H,W] XXXXXXXX
0x290	-	-	PRLH10 [B,H,W] XXXXXXXX	PRLL10 [B,H,W] XXXXXXXX
0x294	-	-	PRLH11 [B,H,W] XXXXXXXX	PRLL11 [B,H,W] XXXXXXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x298	-	-	-	GATEC8 [B,H,W] --00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12 [B,H,W] 00000000	PPGC13 [B,H,W] 00000000
0x2C4	-	-	PPGC14 [B,H,W] 00000000	PPGC15 [B,H,W] 00000000
0x2C8	-	-	PRLH12 [B,H,W] XXXXXXXX	PRLL12 [B,H,W] XXXXXXXX
0x2CC	-	-	PRLH13 [B,H,W] XXXXXXXX	PRLL13 [B,H,W] XXXXXXXX
0x2D0	-	-	PRLH14 [B,H,W] XXXXXXXX	PRLL14 [B,H,W] XXXXXXXX
0x2D4	-	-	PRLH15 [B,H,W] XXXXXXXX	PRLL15 [B,H,W] XXXXXXXX
0x2D8	-	-	-	GATEC12 [B,H,W] --00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16 [B,H,W] 00000000	PPGC17 [B,H,W] 00000000
0x304	-	-	PPGC18 [B,H,W] 00000000	PPGC19 [B,H,W] 00000000
0x308	-	-	PRLH16 [B,H,W] XXXXXXXX	PRLL16 [B,H,W] XXXXXXXX
0x30C	-	-	PRLH17 [B,H,W] XXXXXXXX	PRLL17 [B,H,W] XXXXXXXX
0x310	-	-	PRLH18 [B,H,W] XXXXXXXX	PRLL18 [B,H,W] XXXXXXXX
0x314	-	-	PRLH19 [B,H,W] XXXXXXXX	PRLL19 [B,H,W] XXXXXXXX
0x318	-	-	-	GATEC16 [B,H,W] --00--00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20 [B,H,W] 00000000	PPGC21 [B,H,W] 00000000
0x344	-	-	PPGC22 [B,H,W] 00000000	PPGC23 [B,H,W] 00000000
0x348	-	-	PRLH20 [B,H,W] XXXXXXXX	PRLL20 [B.H.W] XXXXXXXX
0x34C	-	-	PRLH21 [B,H,W] XXXXXXXX	PRLL21 [B,H,W] XXXXXXXX
0x350	-	-	PRLH22 [B,H,W] XXXXXXXX	PRLL22 [B,H,W] XXXXXXXX
0x354	-	-	PRLH23 [B,H,W] XXXXXXXX	PRLL23 [B,H,W] XXXXXXXX
0x358	-	-	-	GATEC20 [B,H,W] --00--00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W] 00000000
0x384 - 0xFFC	-	-	-	-

1.9. Base Timer

ch.0 Base Address : 0x4002_5000
ch.1 Base Address : 0x4002_5040
ch.2 Base Address : 0x4002_5080
ch.3 Base Address : 0x4002_50C0
ch.4 Base Address : 0x4002_5200
ch.5 Base Address : 0x4002_5240
ch.6 Base Address : 0x4002_5280
ch.7 Base Address : 0x4002_52C0
ch.8 Base Address : 0x4002_5400
ch.9 Base Address : 0x4002_5440
ch.10 Base Address : 0x4002_5480
ch.11 Base Address : 0x4002_54C0
ch.12 Base Address : 0x4002_5600
ch.13 Base Address : 0x4002_5640
ch.14 Base Address : 0x4002_5680
ch.15 Base Address : 0x4002_56C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL [H,W] XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF [H,W] XXXXXXXX XXXXXXXX	
0x008	-	-	TMR [H,W] 00000000 00000000	
0x00C	-	-	TMCR [B,H,W] -0000000 00000000	
0x010	-	-	TMCR2 [B,H,W] -------0	STC [B,H,W] 0000-000
0x014 - 0x03C	-	-	-	-

1.10. IO Selector for ch.0-ch.3 (Base Timer)

Base Address : 0x4002_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL0123 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

1.11. IO Selector for ch.4-ch.7(Base Timer)

Base Address : 0x4002_5300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL4567 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

1.12. IO Selector for ch.8-ch.11(Base Timer)

Base Address : 0x4002_5500

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL89AB [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

1.13. IO Selector for ch.12-ch.15(Base Timer)

Base Address : 0x4002_5700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSELCDEF [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

1.14. Software-based Simulation Startup(Base Timer)

Base Address : 0x4002_5F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] XXXXXXXX XXXXXXXX	

1.15. QPRC

ch.0 Base Address : 0x4002_6000
ch.1 Base Address : 0x4002_6040
ch.2 Base Address : 0x4002_6080

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	QPCR [H,W] 00000000 00000000	
0x004	-	-	QRCR [H,W] 00000000 00000000	
0x008	-	-	QPCCR [H,W] 00000000 00000000	
0x00C	-	-	QPRCR [H,W] 00000000 00000000	
0x010	-	-	QMPR [H,W] 11111111 11111111	
0x014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x01C	-	-	QECR [B,H,W] -------- -----000	
0x020 - 0x038	-	-	-	-
0x03C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

1.16. 12bit A/DC

unit0 Base_Address : 0x4002_7000
unit1 Base_Address : 0x4002_7100
unit2 Base_Address : 0x4002_7200

■ TYPE0/1/2/4/5 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---1--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W] ----0000
0x03C	-	-	-	ADCEN[B,H,W] --00--00
0x040 - 0x0FC	-	-	-	-

■ TYPE3/6/7/8/9/10/11/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---1--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W]- ---- 000
0x03C	-	-	ADCEN[B,H,W] 11111111 ------00	
0x040 - 0x0FC	-	-	-	-

1.17. 10bit D/AC

Base_Address : 0x4002_8000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	DACR0[B,H,W] -------0	DADR0[B,H,W] ------XX XXXXXXXX	
0x004	-	DACR1[B,H,W] -------0	DADR1[B,H,W] ------XX XXXXXXXX	
0x008 - 0x0FC	-	-	-	-

1.18. CR Trim

Base_Address : 0x4002_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W] ------01
0x004	-	-	MCR_FTRM[B,H,W] ------01 10000000 *1 ------01 10001110 *6 -------- 01111111 *4 ------10 00000000 *5	
0x008	-	-	-	MCR_TTRM[B,H,W] --011111
0x00C	MCR_RLR[W] 00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.19. EXTI

Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W] -------- -------0	
0x018	-	-	NMICL[B,H,W] -------- -------1	
0x01C	-	-	-	-
0x020 - 0x0FC	-	-	-	-

1.20. INT-Req. READ

Base_Address : 0x4003_1000

■ TYPE0/1/2/4/5/6/8/9/10/11/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004	*			
0x008	ODDPKS[B] ---00000	-	-	*
0x00C	-	-	-	IRQCMODE[B,H,W] -------0
0x010	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W] -------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W] -------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W] -------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W] -------- -------- ----0000 00000000			
0x024	IRQ04MON[B,H,W] -------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W] -------- 00000000 00000000 00000000			
0x02C	IRQ06MON[B,H,W] -------- ----0000 00000000 00000000			
0x030	IRQ07MON[B,H,W] -------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W] -------- -------- -------- ----0000			
0x038	IRQ09MON[B,H,W] -------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W] -------- -------- -------- ----0000			
0x040	IRQ11MON[B,H,W] -------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W] -------- -------- -------- ----0000			
0x048	IRQ13MON[B,H,W] -------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W] -------- -------- -------- ----0000			
0x050	IRQ15MON[B,H,W] -------- -------- -------- ------00			
0x054	IRQ16MON[B,H,W] -------- -------- -------- ----0000			
0x058	IRQ17MON[B,H,W]			

Base_Address + Address	Register			
	+3	+2	+1	+0
	-------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W] -------- -------- -------- ----0000			
0x060	IRQ19MON[B,H,W] -------- -------- -------- ------00			
0x064	IRQ20MON[B,H,W] -------- -------- -------- ----0000			
0x068	IRQ21MON[B,H,W] -------- -------- -------- ------00			
0x06C	IRQ22MON[B,H,W] -------- -------- -------- ----0000			
0x070	IRQ23MON[B,H,W] -------- -------- -------0 00000000			
0x074	IRQ24MON[B,H,W] -------- -------- -------- 00000000			
0x078	IRQ25MON[B,H,W] -------- -------- -------- ----0000			
0x07C	IRQ26MON[B,H,W] -------- -------- -------- ----0000			
0x080	IRQ27MON[B,H,W] -------- -------- -------- ---00000			
0x084	IRQ28MON[B,H,W] -------- ------00 00000000 00000000			
0x088	IRQ29MON[B,H,W] -------- -------- ----0000 00000000			
0x08C	IRQ30MON[B,H,W] -------- ------00 00000000 00000000			
0x090	IRQ31MON[B,H,W] -------- -------- 00000000 00000000			
0x094	IRQ32MON[B,H,W] -------- -------- -------- 00000000			
0x098	IRQ33MON[B,H,W] -------- -------- -------- -----000			
0x09C	IRQ34MON[B,H,W] -------- -------- -------- ---00000			
0x0A0	IRQ35MON[B,H,W] -------- -------- -------- --000000			
0x0A4	IRQ36MON[B,H,W] -------- -------- -------- --000000			
0x0A8	IRQ37MON[B,H,W] -------- -------- -------- -0000000			
0x0AC	IRQ38MON[B,H,W] -------- -------- -------- -------0			
0x0B0	IRQ39MON[B,H,W] -------- -------- -------- -------0			
0x0B4	IRQ40MON[B,H,W] -------- -------- -------- -------0			
0x0B8	IRQ41MON[B,H,W] -------- -------- -------- -------0			
0x0BC	IRQ42MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0C0	IRQ43MON[B,H,W] -------- -------- -------- -------0			
0x0C4	IRQ44MON[B,H,W] -------- -------- -------- -------0			
0x0C8	IRQ45MON[B,H,W] -------- -------- -------- -------0			
0x0CC	IRQ46MON[B,H,W] -------- -------- 00000000 00000000			
0x0D0	IRQ47MON[B,H,W] -------- -------- ----0--- --------			
0x0D4 - 0x1FC	-	-	-	-
0x200	DRQSEL1[B,H,W] -------- -------- -------- ---00000			
0x204	DQESEL[B,H,W] 00000000 00000000 00000000 00000000			
0x208	*			
0x20C	ODDPKS1 [B] ---00000	-	-	*
0x210	RCINTSEL3[B,H,W] ---00000	RCINTSEL2[B,H,W] ---00000	RCINTSEL1[B,H,W] ---00000	RCINTSEL0[B,H,W] ---00000
0x214	RCINTSEL7[B,H,W] ---00000	RCINTSEL6[B,H,W] ---00000	RCINTSEL5[B,H,W] ---00000	RCINTSEL4[B,H,W] ---00000
0x218 - 0xFFC	-	-	-	-

■ TYPE3/7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	*			
0x004	*			
0x008	*			
0x00C	-	-	-	-
0x010	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W] -------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W] -------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W] -------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W] -------- -------- -------- ----0000			
0x024	IRQ04MON[B,H,W] -------- -------- -------- -0000000			
0x028	IRQ05MON[B,H,W] -------- -------- -------- 0-------			
0x02C	IRQ06MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x030	IRQ07MON[B,H,W] -------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W] -------- -------- -------- -------0			
0x038	IRQ09MON[B,H,W] -------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W] -------- -------- -------- -------0			
0x040	IRQ11MON[B,H,W] -------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W] -------- -------- -------- -------0			
0x048	IRQ13MON[B,H,W] -------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W] -------- -------- -------- -------0			
0x050	IRQ15MON[B,H,W] -------- -------- -------- ------00			
0x054	IRQ16MON[B,H,W] -------- -------- -------- -------0			
0x058	IRQ17MON[B,H,W] -------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W] -------- -------- -------- -------0			
0x060	IRQ19MON[B,H,W] -------- -------- -------- ------00			
0x064	IRQ20MON[B,H,W] -------- -------- -------- ------0			
0x068	IRQ21MON[B,H,W] -------- -------- -------- ------00			
0x06C	IRQ22MON[B,H,W] -------- -------- -------- -----000			
0x070	IRQ23MON[B,H,W] -------- -------- -------- --0--000			
0x074	IRQ24MON[B,H,W] -------- -------- -------- ----0000			
0x078	IRQ25MON[B,H,W] -------- -------- -------- --000000			
0x07C	IRQ26MON[B,H,W] -------- -------- -------- ----0000			
0x080	IRQ27MON[B,H,W] -------- -------- -------- --000000			
0x084	IRQ28MON[B,H,W] -------- -------- 00000000 00000000			
0x088	IRQ29MON[B,H,W] -------- -------- -------- ---0----			
0x08C	IRQ30MON[B,H,W] -------- -------- -------- --0-----			
0x090	IRQ31MON[B,H,W] -------- -------- -------- -0------			

1.21. LCDC

Base_Address : 0x4003_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	LCDCC3[B,H,W] 0011111-	LCDCC2[B,H,W] --010100	LCDCC1[B,H,W] -00000--
0x004	LCDC_PSR[B,H,W] -------- -0000000 00000000 00000000			
0x008	LCDC_COMEN[B,H,W]			
	-------- -------- -------- 00000000			
0x00C	LCDC_SEGEN1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	LCDC_SEGEN2[B,H,W]			
	-------- -------- -------- 00000000			
0x014	-	-	LCDC_BLINK[B,H,W] 00000000 00000000	
0x018	-	-	-	-
0x01C	LCDRAM03[B,H,W] 00000000	LCDRAM02[B,H,W] 00000000	LCDRAM01[B,H,W] 00000000	LCDRAM00[B,H,W] 00000000
0x020	LCDRAM07[B,H,W] 00000000	LCDRAM06[B,H,W] 00000000	LCDRAM05[B,H,W] 00000000	LCDRAM04[B,H,W] 00000000
0x024	LCDRAM11[B,H,W] 00000000	LCDRAM10[B,H,W] 00000000	LCDRAM09[B,H,W] 00000000	LCDRAM08[B,H,W] 00000000
0x028	LCDRAM15[B,H,W] 00000000	LCDRAM14[B,H,W] 00000000	LCDRAM13[B,H,W] 00000000	LCDRAM12[B,H,W] 00000000
0x02C	LCDRAM19[B,H,W] 00000000	LCDRAM18[B,H,W] 00000000	LCDRAM17[B,H,W] 00000000	LCDRAM16[B,H,W] 00000000
0x030	LCDRAM23[B,H,W] 00000000	LCDRAM22[B,H,W] 00000000	LCDRAM21[B,H,W] 00000000	LCDRAM20[B,H,W] 00000000
0x034	LCDRAM26[B,H,W] 00000000	LCDRAM25[B,H,W] 00000000	LCDRAM24[B,H,W] 00000000	LCDRAM24[B,H,W] 00000000
0x038	LCDRAM31[B,H,W] 00000000	LCDRAM30[B,H,W] 00000000	LCDRAM29[B,H,W] 00000000	LCDRAM28[B,H,W] 00000000
0x03C	LCDRAM35[B,H,W] 00000000	LCDRAM34[B,H,W] 00000000	LCDRAM33[B,H,W] 00000000	LCDRAM32[B,H,W] 00000000
0x040	LCDRAM39[B,H,W] 00000000	LCDRAM38[B,H,W] 00000000	LCDRAM37[B,H,W] 00000000	LCDRAM36[B,H,W] 00000000
0x044 - 0x0FC	-	-	-	-

1.22. GPIO

Base_Address : 0x4003_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	PCR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- ---0 ---1 *1 ---- ---- ---- ---- ---- ---- ---0 0101 *2			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- --00 ---- --11 ---- --0- ---- --00			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] ---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x64C - 0x6FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0x7FC	-	-	-	-
0x800	*			
0x804	*			
0x808 - 0xFFC	-	-	-	-

1.23. HDMI-CEC/Remote Control Receiver

ch.0 Base_Address : 0x4003_4000
ch.1 Base_Address : 0x4003_4100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	TXCTRL[B,H,W] --0000-0
0x004	-	-	-	TXDATA[B,H,W] 00000000
0x008	-	-	-	TXSTS[B,H,W] --00---0
0x00C	-	-	-	SFREE[B,H,W] ----0000
0x010 - 0x03F	-	-	-	-
0x040	-	-	RCCR[B,H,W] 0---0000	RCST[B,H,W] 00000000
0x044	-	-	RCSHW[B,H,W] 00000000	RCDAHW[B,H,W] 00000000
0x048	-	-	RCDBHW[B,H,W] 00000000	-
0x04C	-	-	RCADR1[B,H,W] ---00000	RCADR2[B,H,W] ---00000
0x050	-	-	RCDTHH[B,H,W] 00000000	RCDTHL[B,H,W] 00000000
0x054	-	-	RCDTLH[B,H,W] 00000000	RCDTLL[B,H,W] 00000000
0x058	-	-	RCCKD[H,W] ---00000 00000000	
0x05C	-	-	RCRC[B,H,W] ---0---0	RCRHW[B,H,W] 00000000
0x060	-	-	RCLE[B,H,W] 00000-00	-
0x064	-	-	RCLELW[B,H,W] 00000000	RCLESW[B,H,W] 00000000
0x068 - 0x0FC	-	-	-	-

1.24. LVD

Base_Address : 0x4003_5000

■ TYPE0/1/2/4/5 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LVD_CTL[B,H,W] 010000--
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 0-------
0x014 - 0x0FC	-	-	-	-

■ TYPE3/6/7/8/9/10/11/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	LVD_CTL[B,H,W] 1-0001-- 0-00000- *6 100000-- 000100-- *7 100000-- 000011-- *8	
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 01------
0x014 - 0x0FC	-	-	-	-

1.25. DS_Mode

Base_Address : 0x4003_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	REG_CTL[B,H,W] -------0
0x004	-	-	-	RCK_CTL[B,H,W] ------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W] -------0
0x704	-	-	-	WRFSR[B,H,W] ------00
0x708	-	-	WIFSR[B,H,W] ------00 00000000	
0x70C	-	-	WIER[B,H,W] ------00 00000-00	
0x710	-	-	-	WILVR[B,H,W] -----000
0x714	-	-	-	DSRAMR[B,H,W] ------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W] 00000000	BUR03[B,H,W] 00000000	BUR02[B,H,W] 00000000	BUR01[B,H,W] 00000000
0x804	BUR08[B,H,W] 00000000	BUR07[B,H,W] 00000000	BUR06[B,H,W] 00000000	BUR05[B,H,W] 00000000
0x808	BUR012[B,H,W] 00000000	BUR11[B,H,W] 00000000	BUR10[B,H,W] 00000000	BUR09[B,H,W] 00000000
0x80C	BUR16[B,H,W] 00000000	BUR15[B,H,W] 00000000	BUR14[B,H,W] 00000000	BUR13[B,H,W] 00000000
0x810 - 0xEFC	-	-	-	-

1.26. USB Clock

Base_Address : 0x4003_6000

■ TYPE0/1/4/5/6/9/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] ------00
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] ---10111 *1 -0111011 *2
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028 - 0x02C	-	-	-	-
0x030	-	-	-	USBEN[B,H,W] -------0
0x034 - 0x0FC	-	-	-	-

■ TYPE2 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] -0000000
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] -0111011
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028	-	-	-	UPCR6[B,H,W] ----0010
0x02C	-	-	-	UPCR7[B,H,W] -------0
0x030	-	-	-	USBEN[B,H,W] -------0
0x034	-	-	-	USBEN1[B,H,W] -------0
0x038 - 0x0FC	-	-	-	-

1.27. CAN_Prescaler

Base_Address : 0x4003_7000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CANPRE[B,H,W] ----1011
0x004 - 0xFFC	-	-	-	-

1.28. MFS

■ TYPE0/1/2/3/4/5/6/7/9/10/11 製品

ch.0 Base_Address : 0x4003_8000
ch.1 Base_Address : 0x4003_8100
ch.2 Base_Address : 0x4003_8200
ch.3 Base_Address : 0x4003_8300
ch.4 Base_Address : 0x4003_8400
ch.5 Base_Address : 0x4003_8500
ch.6 Base_Address : 0x4003_8600
ch.7 Base_Address : 0x4003_8700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	SCR / IBCR[B,H,W] 0--00000	SMR[B,H,W] 000-00-0
0x004	-	-	SSR[B,H,W] 0-000011	ESCR / IBSR[B,H,W] 00000000
0x008	-	-	RDR/TDR[H,W] -------0 00000000	
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] --------	ISBA[B,H,W] --------
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000
0x01C	-	-	EIBCR[B,H,W] --001100	-
0x020 - 0x0FC	-	-	-	-

MFS Noise Filter Cntrol Base_Address : 0x4003_8800

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	I2CDNF[B,H,W] 00000000	
0x004 - 0x0FC	-	-	-	-

■ TYPE8/12 製品

ch.0 Base_Address : 0x4003_8000
ch.1 Base_Address : 0x4003_8100
ch.2 Base_Address : 0x4003_8200
ch.3 Base_Address : 0x4003_8300
ch.4 Base_Address : 0x4003_8400
ch.5 Base_Address : 0x4003_8500
ch.6 Base_Address : 0x4003_8600
ch.7 Base_Address : 0x4003_8700
ch.8 Base_Address : 0x4003_8800
ch.9 Base_Address : 0x4003_8900
ch.10 Base_Address : 0x4003_8A00
ch.11 Base_Address : 0x4003_8B00
ch.12 Base_Address : 0x4003_8C00
ch.13 Base_Address : 0x4003_8D00
ch.14 Base_Address : 0x4003_8E00
ch.15 Base_Address : 0x4003_8F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	SCR / IBCR[B,H,W] 0--00000	SMR[B,H,W] 00-000-0
0x004	-	-	SSR[B,H,W] 0-000011	ESCR / IBSR[B,H,W] 00000000
0x008	-	-	RDR/TDR[H,W] -------0 00000000	
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] --------	ISBA[B,H,W] --------
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000
0x01C	-	-	EIBCR[B,H,W] --001100	-
0x020 - 0x0FC	-	-	-	-

1.29. CRC

Base_Address : 0x4003_9000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W] -0000000
0x004	CRCINIT[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W] 11111111 11111111 11111111 11111111			

1.30. Watch Counter

Base_Address : 0x4003_A000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	WCCR[B,H,W] 00--0000	WCRL[B,H,W] --000000	WCRD[B,H,W] --000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W] -----000 -------0	
0x014	-	-	-	CLK_EN[B,H,W] ------00
0x018 - 0xFFC	-	-	-	-

1.31. RTC

Base_Address : 0x4003_B000

■ TYPE3/4/5 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1[B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR[B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR[B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS [B,H,W] -------0
0x024	-	-	WTCALEN[B,H,W] -------0	WTCAL [B,H,W] -0000000
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV [B,H,W] ----0000
0x02C - 0xFFC	-	-	-	-

■ TYPE6/7/8/9/10/11/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1[B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR[B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR[B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS [B,H,W] -------0
0x024	-	WTCALEN[B,H,W] -------0	WTCAL [B,H,W] ------00 00000000	
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV [B,H,W] ----0000
0x02C	-	-	-	WTCALPRD [B,H,W] --010011
0x030	-	-	-	WTCOSEL [B,H,W] -------0
0x034 - 0xFFC	-	-	-	-

1.32. Low-speed CR Prescaler

Base_Address : 0x4003_C000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W] --000000
0x004 - 0x0FC	-	-	-	-

1.33. EXT-Bus I/F

Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	MODE0[W] -------- -------- --000-00 00000000			
0x004	MODE1[W] -------- -------- --000-00 00000000			
0x008	MODE2[W] -------- -------- --000-00 00000000			
0x00C	MODE3[W] -------- -------- --000-00 00000000			
0x010	MODE4[W] -------- -------- --000-00 00000001			
0x014	MODE5[W] -------- -------- --000-00 00000000			
0x018	MODE6[W] -------- -------- --000-00 00000000			
0x01C	MODE7[W] -------- -------- --000-00 00000000			
0x020	TIM0[W] 00000101 01011111 11110000 00001111			
0x024	TIM1[W] 00000101 01011111 11110000 00001111			
0x028	TIM2[W] 00000101 01011111 11110000 00001111			
0x02C	TIM3[W] 00000101 01011111 11110000 00001111			
0x030	TIM4[W] 00000101 01011111 11110000 00001111			
0x034	TIM5[W] 00000101 01011111 11110000 00001111			
0x038	TIM6[W] 00000101 01011111 11110000 00001111			
0x03C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x040	AREA0[W] -------- -0001111 -------- 00000000			
0x044	AREA1[W] -------- -0001111 -------- 00010000			
0x048	AREA2[W] -------- -0001111 -------- 00100000			
0x04C	AREA3[W] -------- -0001111 -------- 00110000			
0x050	AREA4[W] -------- -0001111 -------- 01000000			
0x054	AREA5[W] -------- -0001111 -------- 01010000			
0x058	AREA6[W] -------- -0001111 -------- 01100000			
0x05C	AREA7[W] -------- -0001111 -------- 01110000			
0x060	ATIM0[W] -------- -------- ----0100 01011111			
0x064	ATIM1[W] -------- -------- ----0100 01011111			
0x068	ATIM2[W] -------- -------- ----0100 01011111			
0x06C	ATIM3[W] -------- -------- ----0100 01011111			
0x070	ATIM4[W] -------- -------- ----0100 01011111			
0x074	ATIM5[W] -------- -------- ----0100 01011111			
0x078	ATIM6[W] -------- -------- ----0100 01011111			
0x07C	ATIM7[W] -------- -------- ----0100 01011111			
0x080 - 0x2FC	-	-	-	-
0x300	DCLKR[W] -------- -------- -------- ---00001			
0x304 - 0x3FC	-	-	-	-

1.34. USB

ch.0 Base_Address : 0x4004_2100
ch.1 Base_Address : 0x4005_2100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x004	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x008	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x00C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x010	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x014	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x018	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x01C	-	-	-	HTOKEN[B,H,W] 00000000
0x020	-	-	UDCC[B,H,W] -------- 10100-00	
0x024	-	-	EP0C[H,W] ------0- -1000000	
0x028	-	-	EP1C[H,W] 01100001 00000000	
0x02C	-	-	EP2C[H,W] 0110000- -1000000	
0x030	-	-	EP3C[H,W] 0110000- -1000000	
0x034	-	-	EP4C[H,W] 0110000- -1000000	
0x038	-	-	EP5C[H,W] 0110000- -1000000	
0x03C	-	-	TMSP[H,W] -----000 00000000	
0x040	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x044	-	-	EP0IS[H,W] 10---1-- --------	
0x048	-	-	EP0OS[H,W] 100--00- -XXXXXXX	
0x04C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x050	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x054	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x058	-	-	EP4S[H,W]	

Base_Address + Address	Register			
	+3	+2	+1	+0
			100-000- -XXXXXXX	
0x05C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x060	-	-	EP0DTH[B,H,W] XXXXXXXX	
0x064	-	-	EP1DTH[B,H,W] XXXXXXXX	
0x068	-	-	EP2DTH[B,H,W] XXXXXXXX	
0x06C	-	-	EP3DTH[B,H,W] XXXXXXXX	
0x070	-	-	EP4DTH[B,H,W] XXXXXXXX	
0x074	-	-	EP5DTH[B,H,W] XXXXXXXX	
0x078 - 0x07C	-	-	-	

1.35. DMAC

Base_Address : 0x4006_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DMACR[B,H,W] 00-00000 -------- -------- --------			
0x010	DMACA0[B,H,W] 00000000 0---0000 00000000 00000000			
0x014	DMACB0[B,H,W] --000000 00000000 00000000 -------0			
0x018	DMACSA0[B,H,W] 00000000 00000000 00000000 00000000			
0x01C	DMACDA0[B,H,W] 00000000 00000000 00000000 00000000			
0x020	DMACA1[B,H,W] 00000000 0---0000 00000000 00000000			
0x024	DMACB1[B,H,W] --000000 00000000 00000000 -------0			
0x028	DMACSA1[B,H,W] 00000000 00000000 00000000 00000000			
0x02C	DMACDA1[B,H,W] 00000000 00000000 00000000 00000000			
0x030	DMACA2[B,H,W] 00000000 0---0000 00000000 00000000			
0x034	DMACB2[B,H,W] --000000 00000000 00000000 -------0			
0x038	DMACSA2[B,H,W] 00000000 00000000 00000000 00000000			
0x03C	DMACDA2[B,H,W] 00000000 00000000 00000000 00000000			
0x040	DMACA3[B,H,W] 00000000 0---0000 00000000 00000000			
0x044	DMACB3[B,H,W] --000000 00000000 00000000 -------0			
0x048	DMACSA3[B,H,W] 00000000 00000000 00000000 00000000			
0x04C	DMACDA3[B,H,W] 00000000 00000000 00000000 00000000			
0x050	DMACA4[B,H,W] 00000000 0---0000 00000000 00000000			
0x054	DMACB4[B,H,W] --000000 00000000 00000000 -------0			
0x058	DMACSA4[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	DMACDA4[B,H,W] 00000000 00000000 00000000 00000000			
0x060	DMACA5[B,H,W] 00000000 0---0000 00000000 00000000			
0x064	DMACB5[B,H,W] --000000 00000000 00000000 -------0			
0x068	DMACSA5[B,H,W]			

Base_Address + Address	Register			
	+3	+2	+1	+0
	00000000 00000000 00000000 00000000			
0x06C	DMACDA5[B,H,W] 00000000 00000000 00000000 00000000			
0x070	DMACA6[B,H,W] 00000000 0---0000 00000000 00000000			
0x074	DMACB6[B,H,W] --000000 00000000 00000000 -------0			
0x078	DMACSA6[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	DMACDA6[B,H,W] 00000000 00000000 00000000 00000000			
0x080	DMACA7[B,H,W] 00000000 0---0000 00000000 00000000			
0x084	DMACB7[B,H,W] --000000 00000000 00000000 -------0			
0x088	DMACSA7[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	DMACDA7[B,H,W] 00000000 00000000 00000000 00000000			
0x090 - 0x0FC	-	-	-	-

1.36. CAN

ch.0 Base_Address : 0x4006_2000
ch.1 Base_Address : 0x4006_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	STATR[B,H,W] -------- 00000000		CTRLR[B,H,W] -------- 000-0001	
0x004	BTR[B,H,W] -0100011 00000001		ERRCNT[B,H,W] 00000000 00000000	
0x008	TESTR[B,H,W] -------- X00000--		INTR[B,H,W] 00000000 00000000	
0x00C	-	-	BRPER[B,H,W] -------- ----0000	
0x010	IF1CMSK[B,H,W] -------- 00000000		IF1CREQ[B,H,W] 0------- 00000001	
0x014	IF1MSK2[B,H,W] 11-11111 11111111		IF1MSK1[B,H,W] 11111111 11111111	
0x018	IF1ARB2[B,H,W] 00000000 00000000		IF1ARB1[B,H,W] 00000000 00000000	
0x01C	-	-	IF1MCTR[B,H,W] 00000000 0---0000	
0x020	IF1DTA2[B,H,W] 00000000 00000000		IF1DTA1[B,H,W] 00000000 00000000	
0x024	IF1DTB2[B,H,W] 00000000 00000000		IF1DTB1[B,H,W] 00000000 00000000	
0x028 - 0x02F	-	-	-	-
0x030	IF1DTA1[B,H,W] 00000000 00000000		IF1DTA2[B,H,W] 00000000 00000000	
0x034	IF1DTB1[B,H,W] 00000000 00000000		IF1DTB2[B,H,W] 00000000 00000000	
0x038 - 0x03C	-	-	-	-
0x040	IF2CMSK[B,H,W] -------- 00000000		IF2CREQ[B,H,W] 0------- 00000001	
0x044	IF2MSK2[B,H,W] 11-11111 11111111		IF2MSK1[B,H,W] 11111111 11111111	
0x048	IF2ARB2[B,H,W] 00000000 00000000		IF2ARB1[B,H,W] 00000000 00000000	
0x04C	-	-	IF2MCTR[B,H,W] 00000000 0---0000	
0x050	IF2DTA2[B,H,W] 00000000 00000000		IF2DTA1[B,H,W] 00000000 00000000	
0x054	IF2DTB2[B,H,W] 00000000 00000000		IF2DTB1[B,H,W] 00000000 00000000	
0x058 - 0x05C	-	-	-	-
0x060	IF2DTA1[B,H,W] 00000000 00000000		IF2DTA2[B,H,W] 00000000 00000000	
0x064	IF2DTB1[B,H,W] 00000000 00000000		IF2DTB2[B,H,W] 00000000 00000000	
0x068 - 0x07C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x080	TREQR2[B,H,W] 00000000 00000000		TREQR1[B,H,W] 00000000 00000000	
0x084 - 0x08F	-	-	-	-
0x090	NEWDT2[B,H,W] 00000000 00000000		NEWDT1[B,H,W] 00000000 00000000	
0x094 - 0x09F	-	-	-	-
0x0A0	INTPND2[B,H,W] 00000000 00000000		INTPND1[B,H,W] 00000000 00000000	
0x0A4 - 0x0AF	-	-	-	-
0x0B0	MSGVAL2[B,H,W] 00000000 00000000		MSGVAL1[B,H,W] 00000000 00000000	
0x0B4 - 0xFFC	-	-	-	-

1.37. Ethernet-MAC

ch.0 Base_Address : 0x4006_4000
ch.1 Base_Address : 0x4006_7000

＜注意事項＞

Ethernet-MAC部のレジスタ詳細は『Ethernet編』を参照してください。

1.38. Ethernet-Control

Base_Address : 0x4006_6000

＜注意事項＞

Ethernet-Control部のレジスタ詳細は『Ethernet編』を参照してください。

1.39. WorkFlash_IF

Base_Address : 0x200E_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WFASZR[B,H,W]			
0x004	WFRWTR[B,H,W]			
0x008	WFSTR[B,H,W]			
0x00C - 0xFFF	-	-	-	-

＜注意事項＞

WorkFlash_IF部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

B. 注意事項一覧

各機能仕様の注意事項について示します。

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。
また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

■ 機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/PCLK0 PCLK1/PCLK2/TPIUCLK	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB Ethernet-MAC CAN	―	各規格で規定されている周波数精度を満たせないため、使用できません。
マルチファンクションシリアルインタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO I2C	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。

項目	機能/モード	影響
デバッグ インタフェース	シリアルワイヤ	高速 CR クロックの周波数変動により、SWV(シリアルワイヤビュー)が使用できない場合があります。
フラッシュメモリ	シリアル書込み	TYPE0，TYPE1，TYPE2，TYPE4 製品ではシリアル書込みは行えません。 シリアル書込みを行うには、X0/X1 端子へのクロック供給が必要です。
外部バス インタフェース	クロック出力	外バスクロック出力を使用する場合、接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。

C. 制限事項一覧

各製品の相違点について示します。

1. TYPE0 製品 制限事項一覧
2. TYPE1 製品 制限事項一覧

1. TYPE0 製品 制限事項一覧

MB9A100A,MB9B500A/400A/300A/100A シリーズ，MB9A100,MB9B500/400/300/100 シリーズの相違点を表に示します。

表中の「項目」は本書の記載内容です。

項目	内容
タイマ編 1.6.7 ハードウェア ウォッチドッグタイマ ロードレジスタ (WDG_LDR)	『6.7. ハードウェアウォッチドッグタイマ ロードレジスタ』の＜注意事項＞に、以下の制限事項を追加。 ・ハードウェアウォッチドッグタイマのリロード期間中*(カウンタリロード後の低速 CR 4 サイクル期間)に、WDG_LDR へ再度書込みが行われた場合、その書込みは無視されます。 WDG_LDR への書込みが反映されたかどうかは、当該レジスタのソフトウェア読出しにて確認してください。 *: カウンタのリロード条件 1. ウォッチドッグタイマのクリア(WDG_ICL レジスタへの書込み) 2. WDG_LDR への書込み
タイマ編 1.6.9 ハードウェア ウォッチドッグタイマ 制御レジスタ (WDG_CTL)	『6.9. ハードウェアウォッチドッグタイマ 制御レジスタ』の＜注意事項＞に、以下の制限事項を追加。 WDG_CTL レジスタの INTEN(ウォッチドッグカウンタ イネーブル)ビットへの"0"書込み後、低速 CR(50kHz～150kHz)で 2 サイクル以内に再度"1"を書き込んだ場合に、WDG_LDR からのカウント値のリロードがされないまま動作を再開する可能性があります。 INTEN ビットを"0"にしてから再度"1"にする場合は必ず低速 CR の 2 クロック分を確保してから行ってください。または、INTEN に"1"を書込み後、すぐに WDG_ICL レジスタにてタイマをクリアして、リロードを実行してください。
タイマ編 3-2 時計カウンタ	『CHAPTER 3-2: 時計カウンタ』に、以下の制限事項を追加。 ※MB9A100,MB9B500/400/300/100 シリーズのみの制限事項です。 サブタイマモードもしくは低速 CR タイマモードにおいて、サブ水晶発振による時計カウンタを使用している場合、割込みによる復帰時に低速 CR ×35cycle(Typ 350µs)時計カウンタが引き伸ばされ、実時間に対してカウント値にずれが生じます。 サブスリープモードもしくは低速 CR スリープモードでは、カウンタのずれは発生しません。

項目	内容
アナログマクロ編 1-3.5.13 サンプリング時間選択レジスタ(ADSS)	『5.13. サンプリング時間選択レジスタ』に、以下の制限事項を追加。 本シリーズは、サンプリング時間設定レジスタ(ADST1)に設定されたサンプリング時間を使用することはできません。 サンプリング時間設定レジスタ(ADST0)に設定されたサンプリング時間のみを有効にしてください。 サンプリング時間選択レジスタ(ADSS0～ADSS3)の各ビット値は常に"0"を書き込んで使用してください。
通信マクロ編 1-2.7.9 1-3.5.9 1-4.6.9 1-5.5.12 FIFO バイトレジスタ(FBYTE)	1-2 章『7.9. FIFO バイトレジスタ(FBYTE)』、 1-3 章『5.9. FIFO バイトレジスタ(FBYTE)』、 1-4 章『6.9. FIFO バイトレジスタ(FBYTE)』、 1-5 章『5.12. FIFO バイトレジスタ(FBYTE)』に、以下の注意事項を追加 ・下記の条件をすべて満たす場合、受信 FIFO に FBYTE の設定数の有効なデータがあるにも関わらず、受信データフルフラグ(SSR:RDRF)が"1"に設定されません。なお、FBYTE の設定値が"2"以上の場合、本動作はおこりません。 ・FBYTE の設定値が"1" ・受信 FIFO の有効なデータ数が FBYTE の設定数と同じ"1"の場合 ・マルチファンクションシリアルインタフェースマクロがデータを受信し、受信 FIFO に受信データを書き込むとき、同時に受信 FIFO のデータの読出しを行った場合 ただし、その後、下記のどちらかの場合に受信データフルフラグ(SSR:RDRF)が"1"に設定されます。 ・次のデータを受信した場合 ・受信 FIFO アイドル許可(FCR:FRIIE=1)のとき、8 ビット時間以上の受信アイドル時間を検出した場合
通信マクロ編 3-1.2 ■USB デバイスのエンドポイント構成	『■USB デバイスのエンドポイント構成』に、以下の注意事項を追加。 USB デバイスは ISO(アイソクロナス転送)をサポートしていません。 設定組み合わせの Comb1 のみ有効です。
通信マクロ編 3-1.3 DMA 転送機能	『■データ数自動転送モード』に、以下の制限事項を追加。 本シリーズは、IN 方向のデータ数自動転送モードでショートパケット転送を使用した場合、DMA 転送が終了してもパケット送信が始まらないことがあります。 また、DMA 転送の転送元と転送先を共に USB に設定することは禁止です。 [回避策] CPU で転送を行ってください。

<table>
<tr><th>項目</th><th>内容</th></tr>
<tr><td>通信マクロ編 3-1.3.7
NULL 転送機能

通信マクロ編 3-1.5.3
EP1～5 制御レジスタ
(EP1C～EP5C)</td><td>NULL 転送モードの制限事項として、以下の説明文を追加。

本シリーズは、NULL 転送モードを使用した場合、DMA 転送終了後に NULL 転送が行われないことがあるため、EP1C～EP5C.NULL="0"で使用してください。

[回避策]
NULL 転送を行う場合は、DMAE=0 に設定し、バッファデータを書き込まないで DRQ ビットをクリアして NULL 転送を行ってください。
「22-1.5.9. EP1～5 ステータスレジスタ(EP1S～EP5S)」の[bit10] DRQ ビットの＜注意事項＞を参照してください。</td></tr>
<tr><td>通信マクロ編 3-1.5.3
EP1～5 制御レジスタ
(EP1C～EP5C)</td><td>[bit14:13]TYPE エンドポイント転送タイプは以下をサポートしています。

<table><tr><th>TYPE</th><th>動作モード</th></tr><tr><td>00</td><td>指定禁止</td></tr><tr><td>01</td><td>指定禁止</td></tr><tr><td>10</td><td>Bulk 転送</td></tr><tr><td>11</td><td>Interrupt 転送</td></tr></table></td></tr>
<tr><td>通信マクロ編 3-1.5.10
EP0～5 データレジスタ
(EP0DTH～EP5DTH/
EP0DTL～EP5DTL)</td><td>『5.10. EP0～5 データレジスタ』に、以下の制限事項を追加。

本シリーズは、AHB バス上で上記レジスタへの連続リードアクセスが発生した場合、リードデータが不定になります。

[回避策]
連続リードが起きないようにプログラミングしてください。C 言語にてプログラミングを行う場合、コンパイラのオプションなどによる最適化により、意図せず AHB 上で連続リードアクセスが発生する可能性があります。
回避例については「■添付資料 1」を参照してください。</td></tr>
</table>

2. TYPE1 製品 制限事項一覧

MB9A002,MB9A310,MB9A110 シリーズの相違点を表に示します。

表中の「項目」は本書の記載内容です。

項目	内容
通信マクロ編 1-2.7.9 1-3.5.9 1-4.6.9 1-5.5.12 FIFO バイトレジスタ(FBYTE)	1-2 章『7.9. FIFO バイトレジスタ(FBYTE)』、 1-3 章『5.9. FIFO バイトレジスタ(FBYTE)』、 1-4 章『6.9. FIFO バイトレジスタ(FBYTE)』、 1-5 章『5.12. FIFO バイトレジスタ(FBYTE)』に、以下の注意事項を追加 ・下記の条件をすべて満たす場合、受信 FIFO に FBYTE の設定数の有効なデータがあるにも関わらず、受信データフルフラグ(SSR:RDRF)が"1"に設定されません。なお、FBYTE の設定値が"2"以上の場合、本動作はおこりません。 ・FBYTE の設定値が"1" ・受信 FIFO の有効なデータ数が FBYTE の設定数と同じ"1"の場合 ・マルチファンクションシリアルインタフェースマクロがデータを受信し、受信 FIFO に受信データを書き込むとき、同時に受信 FIFO のデータの読出しを行った場合 ただし、その後、下記のいずれかの場合に受信データフルフラグ(SSR:RDRF)が"1"に設定されます。 ・次のデータを受信した場合 ・受信 FIFO アイドル許可(FCR:FRIIE=1)のとき、8 ビット時間以上の受信アイドル時間を検出した場合

■ 添付資料 1

例) 以下の C ソースコードをコンパイルすると、コンパイラオプションなどにより最適化されて連続リードアクセスが発生する場合があります。

```
void do_ep0o(void)
{
        int i;
        int length;
        unsigned int b0,b1,b2,b3;

        b0 = (unsigned int)IO_EP0DT;
        b1 = (unsigned int)IO_EP0DT;
        b2 = (unsigned int)IO_EP0DT;
        b3 = (unsigned int)IO_EP0DT;
        buffer[0] = (unsigned short)b0;
        buffer[1] = (unsigned short)b1;
        buffer[2] = (unsigned short)b2;
        buffer[3] = (unsigned short)b3;
}
```

以下は回避方法です(記述どおりに処理を実行させます)。

```
void do_ep0o(void)
{
        int i;
        int length;
        volatile int b0;

        b0 = (unsigned int)IO_EP0DT;
        buffer[0] = (unsigned short)b0;
        b0 = (unsigned int)IO_EP0DT;
        buffer[1] = (unsigned short)b0;
        b0 = (unsigned int)IO_EP0DT;
        buffer[2] = (unsigned short)b0;
        b0 = (unsigned int)IO_EP0DT;
        buffer[3] = (unsigned short)b0;
}
```

D. 製品 TYPE 一覧

製品 TYPE について示します。

1. 製品 TYPE 一覧

1. 製品 TYPE 一覧

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。本書内の"TYPE0"などの表記は、以下の一覧の製品に置き換えてお読みください。

表 1 TYPE0 型格一覧

本書での表記	フラッシュメモリサイズ			
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte
TYPE0	MB9BF506N MB9BF506R MB9BF506NA MB9BF506RA MB9BF506NB MB9BF506RB	MB9BF505N MB9BF505R MB9BF505NA MB9BF505RA MB9BF505NB MB9BF505RB	MB9BF504N MB9BF504R MB9BF504NA MB9BF504RA MB9BF504NB MB9BF504RB	-
	MB9BF406N MB9BF406R MB9BF406NA MB9BF406RA	MB9BF405N MB9BF405R MB9BF405NA MB9BF405RA	MB9BF404N MB9BF404R MB9BF404NA MB9BF404RA	-
	MB9BF306N MB9BF306R MB9BF306NA MB9BF306RA MB9BF306NB MB9BF306RB	MB9BF305N MB9BF305R MB9BF305NA MB9BF305RA MB9BF305NB MB9BF305RB	MB9BF304N MB9BF304R MB9BF304NA MB9BF304RA MB9BF304NB MB9BF304RB	-
	MB9BF106N MB9BF106R MB9BF106NA MB9BF106RA	MB9BF105N MB9BF105R MB9BF105NA MB9BF105RA	MB9BF104N MB9BF104R MB9BF104NA MB9BF104RA	MB9BF102N MB9BF102R MB9BF102NA MB9BF102RA
	-	MB9AF105N MB9AF105R MB9AF105NA MB9AF105RA	MB9AF104N MB9AF104R MB9AF104NA MB9AF104RA	MB9AF102N MB9AF102R MB9AF102NA MB9AF102RA

表 2 TYPE1 型格一覧

本書での表記	フラッシュメモリサイズ				
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte	64 Kbyte
TYPE1	MB9AF316M MB9AF316N MB9AF316MA MB9AF316NA	MB9AF315M MB9AF315N MB9AF315MA MB9AF315NA	MB9AF314L MB9AF314M MB9AF314N MB9AF314LA MB9AF314MA MB9AF314NA	MB9AF312L MB9AF312M MB9AF312N MB9AF312LA MB9AF312MA MB9AF312NA	MB9AF311L MB9AF311M MB9AF311N MB9AF311LA MB9AF311MA MB9AF311NA
	MB9AF116M MB9AF116N MB9AF116MA MB9AF116NA	MB9AF115M MB9AF115N MB9AF115MA MB9AF115NA	MB9AF114L MB9AF114M MB9AF114N MB9AF114LA MB9AF114MA MB9AF114NA	MB9AF112L MB9AF112M MB9AF112N MB9AF112LA MB9AF112MA MB9AF112NA	MB9AF111L MB9AF111M MB9AF111N MB9AF111LA MB9AF111MA MB9AF111NA

表 3 TYPE2 型格一覧

本書での表記	フラッシュメモリサイズ		
	1 Mbyte	768 Kbyte	512 Kbyte
TYPE2	MB9BFD18S MB9BFD18T	MB9BFD17S MB9BFD17T	MB9BFD16S MB9BFD16T
	MB9BF618S MB9BF618T	MB9BF617S MB9BF617T	MB9BF616S MB9BF616T
	MB9BF518S MB9BF518T	MB9BF517S MB9BF517T	MB9BF516S MB9BF516T
	MB9BF418S MB9BF418T	MB9BF417S MB9BF417T	MB9BF416S MB9BF416T
	MB9BF318S MB9BF318T	MB9BF317S MB9BF317T	MB9BF316S MB9BF316T
	MB9BF218S MB9BF218T	MB9BF217S MB9BF217T	MB9BF216S MB9BF216T
	MB9BF118S MB9BF118T	MB9BF117S MB9BF117T	MB9BF116S MB9BF116T

表 4 TYPE3 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE3	MB9AF132K MB9AF132L	MB9AF131K MB9AF131L
	MB9AF132KA MB9AF132LA	MB9AF131KA MB9AF131LA
	MB9AF132KB MB9AF132LB	MB9AF131KB MB9AF131LB

表 5 TYPE4 型格一覧

本書での表記	フラッシュメモリサイズ			
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte
TYPE4	MB9BF516N MB9BF516R	MB9BF515N MB9BF515R	MB9BF514N MB9BF514R	MB9BF512N MB9BF512R
	MB9BF416N MB9BF416R	MB9BF415N MB9BF415R	MB9BF414N MB9BF414R	MB9BF412N MB9BF412R
	MB9BF316N MB9BF316R	MB9BF315N MB9BF315R	MB9BF314N MB9BF314R	MB9BF312N MB9BF312R
	MB9BF116N MB9BF116R	MB9BF115N MB9BF115R	MB9BF114N MB9BF114R	MB9BF112N MB9BF112R

表 6 TYPE5 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE5	MB9AF312K	MB9AF311K
	MB9AF112K	MB9AF111K

表 7 TYPE6 型格一覧

本書での表記	フラッシュメモリサイズ		
	256 Kbyte	128 Kbyte	64 Kbyte
TYPE6	MB9AFB44L MB9AFB44M MB9AFB44N MB9AFB44LA MB9AFB44MA MB9AFB44NA MB9AFB44LB MB9AFB44MB MB9AFB44NB	MB9AFB42L MB9AFB42M MB9AFB42N MB9AFB42LA MB9AFB42MA MB9AFB42NA MB9AFB42LB MB9AFB42MB MB9AFB42NB	MB9AFB41L MB9AFB41M MB9AFB41N MB9AFB41LA MB9AFB41MA MB9AFB41NA MB9AFB41LB MB9AFB41MB MB9AFB41NB
	MB9AFA44L MB9AFA44M MB9AFA44N MB9AFA44LA MB9AFA44MA MB9AFA44NA MB9AFA44LB MB9AFA44MB MB9AFA44NB	MB9AFA42L MB9AFA42M MB9AFA42N MB9AFA42LA MB9AFA42MA MB9AFA42NA MB9AFA42LB MB9AFA42MB MB9AFA42NB	MB9AFA41L MB9AFA41M MB9AFA41N MB9AFA41LA MB9AFA41MA MB9AFA41NA MB9AFA41LB MB9AFA41MB MB9AFA41NB
	MB9AF344L MB9AF344M MB9AF344N MB9AF344LA MB9AF344MA MB9AF344NA MB9AF344LB MB9AF344MB MB9AF344NB	MB9AF342L MB9AF342M MB9AF342N MB9AF342LA MB9AF342MA MB9AF342NA MB9AF342LB MB9AF342MB MB9AF342NB	MB9AF341L MB9AF341M MB9AF341N MB9AF341LA MB9AF341MA MB9AF341NA MB9AF341LB MB9AF341MB MB9AF341NB
	MB9AF144L MB9AF144M MB9AF144N MB9AF144LA MB9AF144MA MB9AF144NA MB9AF144LB MB9AF144MB MB9AF144NB	MB9AF142L MB9AF142M MB9AF142N MB9AF142LA MB9AF142MA MB9AF142NA MB9AF142LB MB9AF142MB MB9AF142NB	MB9AF141L MB9AF141M MB9AF141N MB9AF141LA MB9AF141MA MB9AF141NA MB9AF141LB MB9AF141MB MB9AF141NB

表 8 TYPE7 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE7	MB9AFA32L MB9AFA32M MB9AFA32N	MB9AFA31L MB9AFA31M MB9AFA31N
	MB9AF132M MB9AF132N	MB9AF131M MB9AF131N
	MB9AFAA2L MB9AFAA2M MB9AFAA2N	MB9AFAA1L MB9AFAA1M MB9AFAA1N
	MB9AF1A2L MB9AF1A2M MB9AF1A2N	MB9AF1A1L MB9AF1A1M MB9AF1A1N

表 9 TYPE8 型格一覧

本書での表記	フラッシュメモリサイズ		
	512 Kbyte	384 Kbyte	256 Kbyte
TYPE8	MB9AF156M MB9AF156N MB9AF156R MB9AF156MA MB9AF156NA MB9AF156RA MB9AF156MB MB9AF156NB MB9AF156RB	MB9AF155M MB9AF155N MB9AF155R MB9AF155MA MB9AF155NA MB9AF155RA MB9AF155MB MB9AF155NB MB9AF155RB	MB9AF154M MB9AF154N MB9AF154R MB9AF154MA MB9AF154NA MB9AF154RA MB9AF154MB MB9AF154NB MB9AF154RB

表 10 TYPE9 型格一覧

本書での表記	フラッシュメモリサイズ		
	256 Kbyte	128 Kbyte	64 Kbyte
TYPE9	MB9BF524K MB9BF524L MB9BF524M	MB9BF522K MB9BF522L MB9BF522M	MB9BF521K MB9BF521L MB9BF521M
	MB9BF324K MB9BF324L MB9BF324M	MB9BF322K MB9BF322L MB9BF322M	MB9BF321K MB9BF321L MB9BF321M
	MB9BF124K MB9BF124L MB9BF124M	MB9BF122K MB9BF122L MB9BF122M	MB9BF121K MB9BF121L MB9BF121M

表 11 TYPE10 型格一覧

本書での表記	フラッシュメモリサイズ
	64 Kbyte
TYPE10	MB9BF121J

表 12 TYPE11 型格一覧

本書での表記	フラッシュメモリサイズ
	64 Kbyte
TYPE11	MB9AF421K MB9AF421L
	MB9AF121K MB9AF121L

表 13 TYPE12 型格一覧

本書での表記	フラッシュメモリサイズ	
	1.5 Mbyte	1 Mbyte
TYPE12	MB9BF529S MB9BF529T MB9BF529SA MB9BF529TA	MB9BF528S MB9BF528T MB9BF528SA MB9BF528TA
	MB9BF429S MB9BF429T MB9BF429SA MB9BF429TA	MB9BF428S MB9BF428T MB9BF428SA MB9BF428TA
	MB9BF329S MB9BF329T MB9BF329SA MB9BF329TA	MB9BF328S MB9BF328T MB9BF328SA MB9BF328TA
	MB9BF129S MB9BF129T MB9BF129SA MB9BF129TA	MB9BF128S MB9BF128T MB9BF128SA MB9BF128TA

E. 主な変更内容

主な変更内容について示します。

1. 主な変更内容

1. 主な変更内容

Spansion Publication Number: MN706-00022

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
-		TYPE8, TYPE9 製品の追加
v		表 2 に A 付き型格を追加
vii		表 7 に A 付き型格を追加 表 9 TYPE8 の型格一覧表を追加
viii		表 10 TYPE9 の型格一覧表を追加
156	CHAPTER 5-1: ベースタイマ構成 1. 構成	表 1-1 ベースタイマ入出力選択機能対応表 表 1-2 ベースタイマ対応表 を追加
157～188	CHAPTER 5-2: ベースタイマ入出力選択機能(A)	ベースタイマ入出力選択機能の章を ベースタイマ入出力選択機能(A) として該当製品 TYPE を TYPE0～TYPE1,TYPE3～TYPE9 に変更
189～220	CHAPTER 5-3: ベースタイマ入出力選択機能(B)	ベースタイマ入出力選択機能の章を ベースタイマ入出力選択機能(B) として該当製品 TYPE を TYPE2 に変更
477	CHAPTER 7-3: PPG IGBT モード 表紙	該当 TYPE 製品の記載を追加
478	CHAPTER 7-3: PPG IGBT モード 1. 概要	該当 TYPE 製品の記載を削除
533, 534	APPENDIXES A. レジスタマップ 1. レジスタマップ	＜注意事項＞に*5～*8 を追加
535		FLASH I/F のレジスタマップに TYPE8,TYPE9 製品を追加 Unique ID のレジスタマップを追加
547, 548		12bit A/DC のレジスタマップの対象製品 TYPE に TYPE6, TYPE8, TYPE9 を追加
564		LVD のレジスタマップの対象製品 TYPE の記載を変更
568, 569		MFS のレジスタマップを TYPE8 製品以外と TYPE8 製品に分割
572		RTC のレジスタマップの対象製品 TYPE に TYPE8, TYPE9 を追加
591	APPENDIXES D. 製品 TYPE 一覧 1. 製品 TYPE 一覧	表 2 に A 付き型格を追加
593		表 7 に A 付き型格を追加 表 9 TYPE8 型格一覧を追加
594		表 10 TYPE9 型格一覧を追加
Revision 3.0		
-		TYPE10~TYPE12 製品の追加
x		表 11 に TYPE10 の型格一覧表を追加 表 12 に TYPE11 の型格一覧表を追加 表 13 に TYPE12 の型格一覧表を追加

ページ	場所	変更箇所
41	CHAPTER 2: デュアルタイマ 4. 設定手順例	図 4-1 を訂正
42	CHAPTER 2: デュアルタイマ 4. 設定手順例 ■ タイマ間隔設定	表 4-1 を訂正 説明文を訂正
	-	Chapter の追加、変更 「Chapter 3-1：時計カウンタ構成」を追加 「Chapter 3-2：時計カウンタプリスケーラ(A)」の変更 「Chapter 3-3：時計カウンタプリスケーラ(B)」の追加 「Chapter 3-4：時計カウンタ」の変更
166	CHAPTER 5-1: ベースタイマ構成 1. 構成	表 1-1,表 1-2 に TYPE10~TYPE12 製品を追加
	CHAPTER 5-3: ベースタイマ入出力選択機能(B)	ベースタイマ入出力選択機能の章を ベースタイマ入出力選択機能(B) として該当製品 TYPE を TYPE2 に変更
295	CHAPTER 5-4: ベースタイマ 9. ベースタイマの機能別説明 9.4.1. PWC タイマの動作 ■ パルス幅測定機能	図 9-17, 図 9-18 を訂正
487	CHAPTER 7-3: PPG IGBT モード 表紙	サマリ文に TYPE11,TYPE12 製品を追加
545	APPENDIXES A. レジスタマップ 1. レジスタマップ	FLASH I/F のレジスタマップに TYPE10~TYPE12 製品を追加
559		12bit A/DC のレジスタマップの対象製品 TYPE に TYPE10~TYPE12 を追加
575		LVD のレジスタマップの対象製品 TYPE に TYPE10~TYPE12 を追加
579, 580		MFS のレジスタマップを TYPE8/TYPE12 製品以外と TYPE8/TYPE12 製品に変更
583		RTC のレジスタマップの対象製品 TYPE に TYPE10~TYPE12 を追加
605	APPENDIXES D. 製品 TYPE 一覧 1. 製品 TYPE 一覧	表 11 に TYPE10 の型格一覧表を追加 表 12 に TYPE11 の型格一覧表を追加 表 13 に TYPE12 の型格一覧表を追加
Revision 3.1		
(1)	はじめに	重複ページを削除

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名:	32 ビット・マイクロコントローラ FM3 ファミリ Peripheral Manual タイマ編
文書番号:	002-04837

版	ECN 番号	変更者	変更内容
**	-	AKIH	New Spec
*A	5035339	TOYO	これは英語版 002-04794 Rev.*A の日本語版です。 P.64　説明内の初期値を 0 に修正 P.97 – P.178　MCLK を RTCCLK に修正 P.117　00 年を追加 P.188　図 3-2 と表 3-7 を修正 P.221　図 3-2 と表 3-7 を修正 P.309　表を修正 P.528　1 逓倍モードを追加 P.535　位置カウンタの割込みを削除 P.537, P.538　位置カウンタのリセットマスク動作例を修正 P.540　「カウント動作中書込みは無視されます」を追記 P.542　「カウント動作中書込みは無視されます」を追記 P.551　ORNGMD の 8K 値の誤記を修正 P.552, P.553　OFDF、UFDF の説明を修正 P.560　QMPR の説明を修正 Appendixes A.　予約領域の注意事項を追加 Appendixes D.　MB9A130LB, MB9AB40NB, MB9AAA0N, MB9A1A0N, MB9A150RA, MB9A150RB, MB9B520TA シリーズを追加
*B	5747817	YSAT	これは英語版 002-04794 Rev.*B の日本語版です。 Cypress の新ロゴを適用
*C	5969905	YSKA	これは英語版 002-04794 Rev.*C の日本語版です。 P.3　周辺機能の搭載有無についての注意事項を追加 P.3　マイコンサポート情報を更新 P.9　Table 8 TYPE7 型格一覧にMB9AF1A2L と MB9AF1A1L を追加 P.582　1.16 12bit/A/DC の TYPE0/1/2/4/5 製品の PCCR レジスタの値を"1000-000"から"10000000"に修正