サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

32 ビット・マイクロコントローラ FM3 ファミリ
Peripheral Manual アナログマクロ編

Doc. No. 002-04841 Rev. *C

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
http://www.cypress.com

© Cypress Semiconductor Corporation, 2012-2017. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて, Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で, Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で, Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM，及び Traveo は，米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは，それぞれの権利者の財産として権利主張がなされている可能性がある。

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに

Cypress (サイプレス) 製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、『ペリフェラルマニュアル』およびご使用する製品の『データシート』をご一読ください。
なお本書は、ペリフェラルマニュアルからアナログマクロに関する内容を抜きだした別冊として定義しております。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作, 使い方について解説しています。

＜注意事項＞

- *本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。デバイス仕様の詳細については、それぞれのデータシートを参照してください。*
- *周辺機能の搭載有無については各々のデバイスにより異なります。搭載有無については各デバイスのデータシートを参照ください。*

商標

Arm and Cortex are registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
その他の社名および製品名は各社の商標もしくは登録商標です。

サンプルプログラムおよび開発環境

FM3 ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本ファミリで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

https://community.cypress.com/community/MCU

＜注意事項＞

サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の全体構成

ペリフェラルマニュアル アナログマクロ編には、以下に示す 3 つの章および Appendixes から構成されています。

CHAPTER 1-1: A/D コンバータ
CHAPTER 1-2: 12 ビット A/D コンバータ(A)
CHAPTER 1-3: 12 ビット A/D コンバータ(B)
CHAPTER 1-4: A/D タイマトリガ選択
CHAPTER 2: 10 ビット D/A コンバータ
CHAPTER 3: LCD コントローラ
Appendixes

関連マニュアル

本ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

ペリフェラルマニュアル

FM3 ファミリ ペリフェラルマニュアル (002-04744)
　以降、『ペリフェラルマニュアル』とよびます。
FM3 ファミリ ペリフェラルマニュアル タイマ編 (002-04837)
　以降、『タイマ編』とよびます。
FM3 ファミリ ペリフェラルマニュアル アナログマクロ編 (本書)
　以降、『アナログマクロ編』とよびます。
FM3 ファミリ ペリフェラルマニュアル 通信マクロ編 (002-04845)
　以降、『通信マクロ編』とよびます。
FM3 ファミリ ペリフェラルマニュアル Ethernet 編 (002-04783)
　以降、『Ethernet 編』とよびます。

データシート

デバイス仕様，電気的特性，外形寸法，オーダ型格などの詳細は以下を参照してください。

32 ビット FM3 ファミリ データシート

<注意事項>
データシートはシリーズごとに用意されています。
ご使用する製品のデータシートを参照してください。

CPU プログラミングマニュアル

Arm Cortex-M3 コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

Cortex-M3 テクニカルリファレンスマニュアル
Arm v7-M アーキテクチャ アプリケーション レベル リファレンス マニュアル

フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

FM3 ファミリ フラッシュプログラミングマニュアル

<注意事項>
フラッシュプログラミングマニュアルはシリーズごとに用意されています。
ご使用する製品のフラッシュプログラミングマニュアルを参照してください。

本書の使い方

機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

目次から探す
: 本書の内容を記載順に示します。

レジスタから探す
: 本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『Appendixes』の『A.レジスタマップ』を参照してください。

章について

本書では、アナログマクロについて説明しています。

用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

表記について

本書のレジスタ説明中のビット構成図では以下のように表記しています。

bit:	ビット番号
Field:	ビットフィールド名
属性:	各ビットのリード、ライト属性
R:	リードオンリ
W:	ライトオンリ
R/W:	リード・ライト可能
-:	未定義
初期値:	リセット直後のレジスタ初期値
0:	初期値"0"
1:	初期値"1"
X:	初期値不定

本書では、複数のビットを以下のように表記しています。

例: bit7 から bit0 の場合は bit7:0

本書では、アドレスなどの数値を以下のように表記しています。

16 進数:	プレフィックス(接頭辞)として"0x"を付けて表記しています(例 : 0xFFFF)。
2 進数:	プレフィックス(接頭辞)として"0b"を付けて表記しています(例 : 0b1111)。
10 進数:	数値だけで表記しています(例 : 1000)。

本マニュアルにおける対象製品

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE0"などの表記は、以下の一覧の製品に置き換えてお読みください。

Table 1 TYPE0 型格一覧

本書での表記	フラッシュメモリサイズ			
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte
TYPE0	MB9BF506N MB9BF506R MB9BF506NA MB9BF506RA MB9BF506NB MB9BF506RB	MB9BF505N MB9BF505R MB9BF505NA MB9BF505RA MB9BF505NB MB9BF505RB	MB9BF504N MB9BF504R MB9BF504NA MB9BF504RA MB9BF504NB MB9BF504RB	-
	MB9BF406N MB9BF406R MB9BF406NA MB9BF406RA	MB9BF405N MB9BF405R MB9BF405NA MB9BF405RA	MB9BF404N MB9BF404R MB9BF404NA MB9BF404RA	-
	MB9BF306N MB9BF306R MB9BF306NA MB9BF306RA MB9BF306NB MB9BF306RB	MB9BF305N MB9BF305R MB9BF305NA MB9BF305RA MB9BF305NB MB9BF305RB	MB9BF304N MB9BF304R MB9BF304NA MB9BF304RA MB9BF304NB MB9BF304RB	-
	MB9BF106N MB9BF106R MB9BF106NA MB9BF106RA	MB9BF105N MB9BF105R MB9BF105NA MB9BF105RA	MB9BF104N MB9BF104R MB9BF104NA MB9BF104RA	MB9BF102N MB9BF102R MB9BF102NA MB9BF102RA
	-	MB9AF105N MB9AF105R MB9AF105NA MB9AF105RA	MB9AF104N MB9AF104R MB9AF104NA MB9AF104RA	MB9AF102N MB9AF102R MB9AF102NA MB9AF102RA

Table 2 TYPE1 型格一覧

本書での表記	フラッシュメモリサイズ				
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte	64 Kbyte
TYPE1	MB9AF316M MB9AF316N MB9AF316MA MB9AF316NA	MB9AF315M MB9AF315N MB9AF315MA MB9AF315NA	MB9AF314L MB9AF314M MB9AF314N MB9AF314LA MB9AF314MA MB9AF314NA	MB9AF312L MB9AF312M MB9AF312N MB9AF312LA MB9AF312MA MB9AF312NA	MB9AF311L MB9AF311M MB9AF311N MB9AF311LA MB9AF311MA MB9AF311NA
	MB9AF116M MB9AF116N MB9AF116MA MB9AF116NA	MB9AF115M MB9AF115N MB9AF115MA MB9AF115NA	MB9AF114L MB9AF114M MB9AF114N MB9AF114LA MB9AF114MA MB9AF114NA	MB9AF112L MB9AF112M MB9AF112N MB9AF112LA MB9AF112MA MB9AF112NA	MB9AF111L MB9AF111M MB9AF111N MB9AF111LA MB9AF111MA MB9AF111NA

Table 3 TYPE2 型格一覧

本書での表記	フラッシュメモリサイズ		
	1 Mbyte	768 Kbyte	512 Kbyte
TYPE2	MB9BFD18S MB9BFD18T	MB9BFD17S MB9BFD17T	MB9BFD16S MB9BFD16T
	MB9BF618S MB9BF618T	MB9BF617S MB9BF617T	MB9BF616S MB9BF616T
	MB9BF518S MB9BF518T	MB9BF517S MB9BF517T	MB9BF516S MB9BF516T
	MB9BF418S MB9BF418T	MB9BF417S MB9BF417T	MB9BF416S MB9BF416T
	MB9BF318S MB9BF318T	MB9BF317S MB9BF317T	MB9BF316S MB9BF316T
	MB9BF218S MB9BF218T	MB9BF217S MB9BF217T	MB9BF216S MB9BF216T
	MB9BF118S MB9BF118T	MB9BF117S MB9BF117T	MB9BF116S MB9BF116T

Table 4 TYPE3 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE3	MB9AF132K MB9AF132L	MB9AF131K MB9AF131L
	MB9AF132KA MB9AF132LA	MB9AF131KA MB9AF131LA
	MB9AF132KB MB9AF132LB	MB9AF131KB MB9AF131LB

Table 5 TYPE4 型格一覧

本書での表記	フラッシュメモリサイズ			
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte
TYPE4	MB9BF516N MB9BF516R	MB9BF515N MB9BF515R	MB9BF514N MB9BF514R	MB9BF512N MB9BF512R
	MB9BF416N MB9BF416R	MB9BF415N MB9BF415R	MB9BF414N MB9BF414R	MB9BF412N MB9BF412R
	MB9BF316N MB9BF316R	MB9BF315N MB9BF315R	MB9BF314N MB9BF314R	MB9BF312N MB9BF312R
	MB9BF116N MB9BF116R	MB9BF115N MB9BF115R	MB9BF114N MB9BF114R	MB9BF112N MB9BF112R

Table 6 TYPE5 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE5	MB9AF312K	MB9AF311K
	MB9AF112K	MB9AF111K

Table 7 TYPE6 型格一覧

本書での表記	フラッシュメモリサイズ		
	256 Kbyte	**128 Kbyte**	**64 Kbyte**
TYPE6	MB9AFB44L MB9AFB44M MB9AFB44N MB9AFB44LA MB9AFB44MA MB9AFB44NA MB9AFB44LB MB9AFB44MB MB9AFB44NB	MB9AFB42L MB9AFB42M MB9AFB42N MB9AFB42LA MB9AFB42MA MB9AFB42NA MB9AFB42LB MB9AFB42MB MB9AFB42NB	MB9AFB41L MB9AFB41M MB9AFB41N MB9AFB41LA MB9AFB41MA MB9AFB41NA MB9AFB41LB MB9AFB41MB MB9AFB41NB
	MB9AFA44L MB9AFA44M MB9AFA44N MB9AFA44LA MB9AFA44MA MB9AFA44NA MB9AFA44LB MB9AFA44MB MB9AFA44NB	MB9AFA42L MB9AFA42M MB9AFA42N MB9AFA42LA MB9AFA42MA MB9AFA42NA MB9AFA42LB MB9AFA42MB MB9AFA42NB	MB9AFA41L MB9AFA41M MB9AFA41N MB9AFA41LA MB9AFA41MA MB9AFA41NA MB9AFA41LB MB9AFA41MB MB9AFA41NB
	MB9AF344L MB9AF344M MB9AF344N MB9AF344LA MB9AF344MA MB9AF344NA MB9AF344LB MB9AF344MB MB9AF344NB	MB9AF342L MB9AF342M MB9AF342N MB9AF342LA MB9AF342MA MB9AF342NA MB9AF342LB MB9AF342MB MB9AF342NB	MB9AF341L MB9AF341M MB9AF341N MB9AF341LA MB9AF341MA MB9AF341NA MB9AF341LB MB9AF341MB MB9AF341NB
	MB9AF144L MB9AF144M MB9AF144N MB9AF144LA MB9AF144MA MB9AF144NA MB9AF144LB MB9AF144MB MB9AF144NB	MB9AF142L MB9AF142M MB9AF142N MB9AF142LA MB9AF142MA MB9AF142NA MB9AF142LB MB9AF142MB MB9AF142NB	MB9AF141L MB9AF141M MB9AF141N MB9AF141LA MB9AF141MA MB9AF141NA MB9AF141LB MB9AF141MB MB9AF141NB

Table 8 TYPE7 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	**64 Kbyte**
TYPE7	MB9AFA32L MB9AFA32M MB9AFA32N	MB9AFA31L MB9AFA31M MB9AFA31N
	MB9AF132M MB9AF132N	MB9AF131M MB9AF131N
	MB9AFAA2L MB9AFAA2M MB9AFAA2N	MB9AFAA1L MB9AFAA1M MB9AFAA1N
	MB9AF1A2L MB9AF1A2M MB9AF1A2N	MB9AF1A1L MB9AF1A1M MB9AF1A1N

Table 9 TYPE8 型格一覧

本書での表記	フラッシュメモリサイズ		
	512 Kbyte	**384 Kbyte**	**256 Kbyte**
TYPE8	MB9AF156M MB9AF156N MB9AF156R MB9AF156MA MB9AF156NA MB9AF156RA MB9AF156MB MB9AF156NB MB9AF156RB	MB9AF155M MB9AF155N MB9AF155R MB9AF155MA MB9AF155NA MB9AF155RA MB9AF155MB MB9AF155NB MB9AF155RB	MB9AF154M MB9AF154N MB9AF154R MB9AF154MA MB9AF154NA MB9AF154RA MB9AF154MB MB9AF154NB MB9AF154RB

Table 10 TYPE9 型格一覧

本書での表記	フラッシュメモリサイズ		
	256 Kbyte	**128 Kbyte**	**64 Kbyte**
TYPE9	MB9BF524K MB9BF524L MB9BF524M	MB9BF522K MB9BF522L MB9BF522M	MB9BF521K MB9BF521L MB9BF521M
	MB9BF324K MB9BF324L MB9BF324M	MB9BF322K MB9BF322L MB9BF322M	MB9BF321K MB9BF321L MB9BF321M
	MB9BF124K MB9BF124L MB9BF124M	MB9BF122K MB9BF122L MB9BF122M	MB9BF121K MB9BF121L MB9BF121M

Table 11 TYPE10 型格一覧

本書での表記	フラッシュメモリサイズ
	64 Kbyte
TYPE10	MB9BF121J

Table 12 TYPE11 型格一覧

本書での表記	フラッシュメモリサイズ
	64 Kbyte
TYPE11	MB9AF421K MB9AF421L
	MB9AF121K MB9AF121L

Table 13 TYPE12 型格一覧

本書での表記	フラッシュメモリサイズ	
	1.5 Mbyte	**1 Mbyte**
TYPE12	MB9BF529S MB9BF529T MB9BF529SA MB9BF529TA	MB9BF528S MB9BF528T MB9BF528SA MB9BF528TA
	MB9BF429S MB9BF429T MB9BF429SA MB9BF429TA	MB9BF428S MB9BF428T MB9BF428SA MB9BF428TA
	MB9BF329S MB9BF329T MB9BF329SA MB9BF329TA	MB9BF328S MB9BF328T MB9BF328SA MB9BF328TA
	MB9BF129S MB9BF129T MB9BF129SA MB9BF129TA	MB9BF128S MB9BF128T MB9BF128SA MB9BF128TA

Contents

CHAPTER 1-1: A/D コンバータ 15
1. 構成 16
2. 機能と動作 18
3. 使用上の注意 19

CHAPTER 1-2: 12 ビット A/D コンバータ(A) 21
1. 概要 22
2. 構成 23
3. 動作説明 24
3.1. A/D コンバータの動作許可 25
3.2. A/D 変換動作 26
3.2.1. スキャン変換動作 27
3.2.2. 優先変換動作 29
3.2.3. 優先順位と状態遷移 30
3.3. FIFO の動作 32
3.3.1. スキャン変換の FIFO 動作 33
3.3.2. スキャン変換の割込み 34
3.3.3. 優先変換の FIFO 動作 36
3.3.4. 優先変換の割込み 37
3.3.5. FIFO データの有効・無効 38
3.3.6. FIFO データレジスタのビット配置選択 39
3.4. A/D 比較機能 40
3.5. DMA 起動 41
4. 設定手順例 42
4.1. A/D 動作許可設定手順例 43
4.2. スキャン変換設定手順例 44
4.3. 優先変換設定手順例 45
4.4. 変換時間の設定 46
5. レジスタ 48
5.1. A/D コントロールレジスタ(ADCR) 49
5.2. A/D ステータスレジスタ(ADSR) 51
5.3. スキャン変換コントロールレジスタ(SCCR) 53
5.4. スキャン変換 FIFO 段数設定レジスタ(SFNS) 55
5.5. スキャン変換 FIFO データレジスタ(SCFD) 56
5.6. スキャン変換入力選択レジスタ(SCIS) 58
5.7. 優先変換コントロールレジスタ(PCCR) 59
5.8. 優先変換 FIFO 段数設定レジスタ(PFNS) 61
5.9. 優先変換 FIFO データレジスタ(PCFD) 62
5.10. 優先変換入力選択レジスタ(PCIS) 64
5.11. A/D 比較値設定レジスタ(CMPD) 66
5.12. A/D 比較コントロールレジスタ(CMPCR) 67
5.13. サンプリング時間選択レジスタ(ADSS) 69
5.14. サンプリング時間設定レジスタ(ADST) 70
5.15. コンペア時間設定レジスタ(ADCT) 73
5.16. A/D 動作許可設定レジスタ(ADCEN) 75

CHAPTER 1-3: 12 ビット A/D コンバータ(B) 79
1. 概要 80
2. 構成 81
3. 動作説明 82
3.1. A/D コンバータの動作許可 83
3.2. A/D 変換動作 84
3.3. FIFO の動作 90
3.4. A/D 比較機能 98
3.5. DMA 起動 99
4. 設定手順例 100
4.1. A/D 動作許可設定手順例 101
4.2. スキャン変換設定手順例 102
4.3. 優先変換設定手順例 103
4.4. 変換時間の設定 104
5. レジスタ 106
5.1. A/D コントロールレジスタ(ADCR) 107
5.2. A/D ステータスレジスタ(ADSR) 109
5.3. スキャン変換コントロールレジスタ(SCCR) 111
5.4. スキャン変換 FIFO 段数設定レジスタ(SFNS) 113
5.5. スキャン変換 FIFO データレジスタ(SCFD) 114
5.6. スキャン変換入力選択レジスタ(SCIS) 116
5.7. 優先変換コントロールレジスタ(PCCR) 117
5.8. 優先変換 FIFO 段数設定レジスタ(PFNS) 119
5.9. 優先変換 FIFO データレジスタ(PCFD) 120
5.10. 優先変換入力選択レジスタ(PCIS) 122
5.11. A/D 比較値設定レジスタ(CMPD) 124
5.12. A/D 比較コントロールレジスタ(CMPCR) 125
5.13. サンプリング時間選択レジスタ(ADSS) 127
5.14. サンプリング時間設定レジスタ(ADST) 128
5.15. クロック分周比設定レジスタ(ADCT) 130
5.16. A/D 動作許可設定レジスタ(ADCEN) 131

CHAPTER 1-4: A/D タイマトリガ選択 133
1. 概要 134
2. レジスタ 135
2.1. スキャン変換タイマトリガ選択レジスタ(SCTSL) 136
2.2. 優先変換タイマトリガ選択レジスタ(PRTSL) 137

CHAPTER 2: 10 ビット D/A コンバータ 139
1. 概要 140
2. 構成 141
3. 動作説明 142
4. 設定手順例 143
5. レジスタ 144
5.1. D/A コントロールレジスタ(DACR) 145
5.2. D/A データレジスタ(DADR) 146
6. 注意事項 147

CHAPTER 3: LCD コントローラ 149
1. LCD コントローラ 概要 150
2. LCD コントローラ 構成 152
2.1. LCD 駆動電圧生成回路 154
2.2. LCD コントローラの外部分割抵抗 157
2.3. LCD コントローラの端子 159
3. LCD コントローラ 動作説明 160
3.1. LCD の駆動波形 162
3.1.1. 8 COM モードでの LCD コントローラ動作時の出力波形 (1/3 バイアス, 1/8 デューティ) 163
3.1.2. 8 COM モードでの LCD コントローラ動作時の出力波形 (1/4 バイアス, 1/8 デューティ) 165
3.1.3. 4 COM モードでの LCD コントローラ動作時の出力波形 (1/2 バイアス, 1/2 デューティ) 167
3.1.4. 4 COM モードでの LCD コントローラ動作時の出力波形 (1/3 バイアス, 1/3 デューティ) 169
3.1.5. 4 COM モードでの LCD コントローラ動作時の出力波形 (1/3 バイアス, 1/4 デューティ) 171
3.2. LCD コントローラの割込み 173
3.3. LCD コントローラの表示データメモリ 174
4. LCD コントローラ 設定手順例 176
5. LCD コントローラ レジスタ 178
5.1. LCDC 制御レジスタ 1 (LCDCC1) 179
5.2. LCDC 制御レジスタ 2 (LCDCC2) 181
5.3. LCDC 制御レジスタ 3 (LCDCC3) 183
5.4. LCDC クロックプリスケーラレジスタ 3(LCDC_PSR) 185
5.5. LCDC COM 出力許可レジスタ(LCDC_COMEN) 186
5.6. LCDC SEG 出力許可レジスタ 1 (LCDC_SEGEN1) 187
5.7. LCDC SEG 出力許可レジスタ 2 (LCDC_SEGEN2) 188
5.8. LCDC ブリンク設定レジスタ 7(LCDC_BLINK) 189
5.9. 表示データメモリレジスタ 00～39 (LCDRAM00～39) 193
6. LCD コントローラ 使用上の注意点 194

Appendixes 195
A. レジスタマップ 196
1. レジスタマップ 197
B. 注意事項一覧 249
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 250
C. 制限事項一覧 253
1. TYPE0 製品制限事項一覧 254
2. TYPE1 製品制限事項一覧 257
D. 製品 TYPE 一覧 259
1. 製品 TYPE 一覧 260
E. 主な変更内容 265
1. 主な変更内容 266
改訂履歴 268

CHAPTER 1-1: A/D コンバータ

A/D コンバータの機能と動作について説明します。

1. 構成
2. 機能と動作
3. 使用上の注意

1. 構成

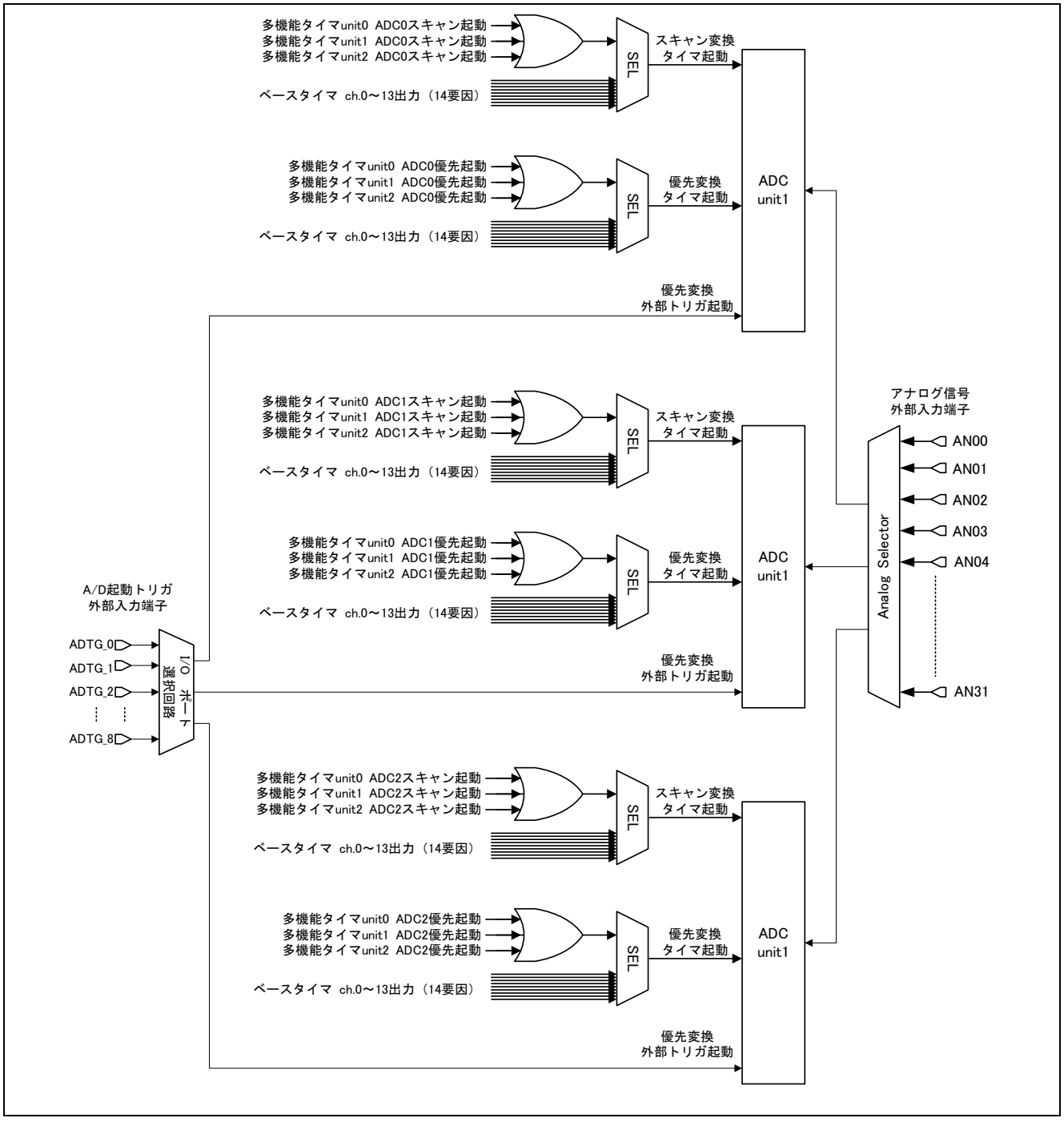
A/D コンバータは、外部端子からのアナログ入力電圧をデジタル値に変換します。

■ A/D コンバータ構成

- 分解能 12 ビットの A/D コンバータを最大 3 ユニット搭載
- 最大 32 チャネルのアナログ入力から任意のチャネルを任意のユニットへ選択可能
- A/D 変換の起動要因として、以下が選択できます。
  - 優先変換起動要因
    外部端子からのトリガ入力
    タイマトリガ入力(ベースタイマあるいは多機能タイマ)
    ソフトウェア起動
  - スキャン変換起動要因
    タイマトリガ入力(ベースタイマあるいは多機能タイマ)
    ソフトウェア起動

図 1-1 に A/D コンバータと関連回路のブロックダイヤグラムを示します。

図 1-1　A/D コンバータと関連回路のブロックダイヤグラム



2. 機能と動作

A/D コンバータの機能と動作について下記関連する章の説明を参照してください。

■ 12 ビット A/D コンバータ動作

12 ビット A/D コンバータの変換動作については、表 2-1 に示されている章を参照してください。

表 2-1 12 ビット A/D コンバータ 参照先対応表

製品 TYPE	参照先
TYPE0～TYPE2, TYPE4,TYPE5	『12 ビット A/D コンバータ(A)』
TYPE3,TYPE6～TYPE12	『12 ビット A/D コンバータ(B)』

■ 12 ビット A/D タイマトリガ選択動作

12 ビット A/D コンバータのタイマトリガ選択の動作については、『A/D タイマトリガ選択』の章を参照してください。

3. 使用上の注意

注意事項を示します。

■ 12 ビット A/D コンバータの注意事項

- A/D コンバータを複数搭載している製品は、複数チャネル同時 A/D 変換が可能です。ただし、複数のユニットで同じチャネルを選択しないでください。
- 製品によっては、アナログ入力の一部のチャネルが使用できないものがあります。使用できないチャネルの選択レジスタ(SCIS0, SCIS1, SCIS2, SCIS3), サンプリング時間選択レジスタ(ADSS0, ADSS1, ADSS2, ADSS3)は初期値から変更しないでください。
- 本ファミリにおいて、優先変換時のアナログ入力チャネルは優先変換入力選択レジスタ(PCIS)の P1A[2:0]で選択してください。12 ビット A/D コンバータの優先変換コントロールレジスタ(PCCR)の ESCE ビットは、常に"0"を書き込んでください。
- 本ファミリの A/D 割込み要求発生を利用した DMA 転送は、スキャン変換割込み要求の発生を利用した DMA 転送にのみ対応しており、優先変換割込み要求による DMA 転送は対応していません。

CHAPTER 1-2: 12 ビット A/D コンバータ(A)

12 ビット A/D コンバータの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

1. 概要

12 ビット A/D コンバータは、RC 逐次比較変換方式によりアナログ入力電圧を 12 ビットのデジタル値に変換する機能です。

■ 12 ビット A/D コンバータの特長

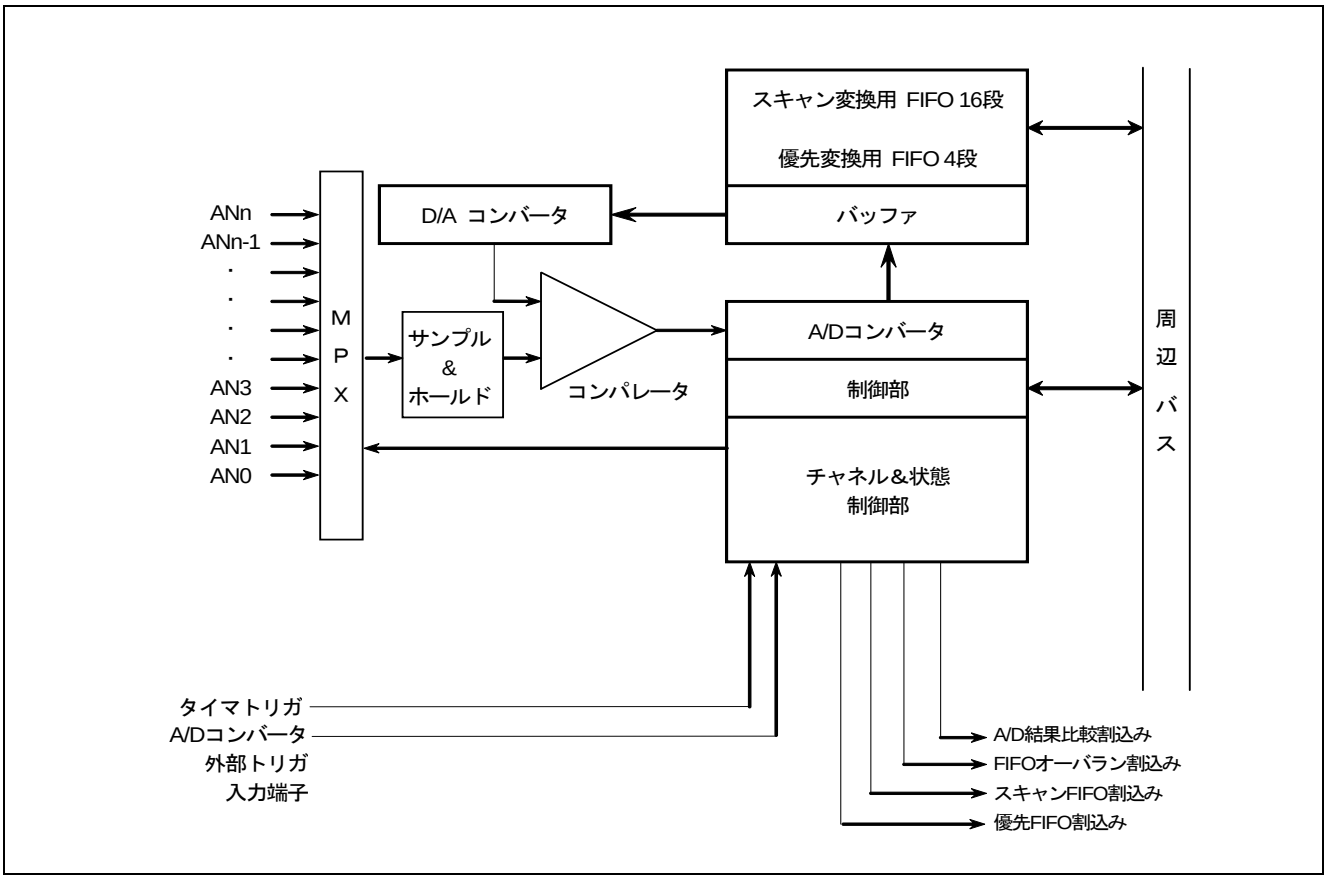
- 12 ビットの分解能
- サンプル&ホールド回路付き RC 型逐次比較変換方式を採用
- 最小変換時間 1.0 µs
- 入力チャネルごとにサンプリング時間を 2 種類から設定可能
- スキャン変換動作
  アナログ入力を複数チャネルから任意に複数選択可能
  起動要因はソフトウェア/タイマ
  リピートモードあり
- 優先変換動作
  スキャン変換中においても優先変換の起動要因が発生すると、スキャン変換を中断し優先的に変換を行うことが可能(優先度 1, 2 の 2 レベル用意、優先順位は優先度 1＞優先度 2)
  起動要因はソフトウェア/タイマ(優先度 2), 外部トリガ(優先度 1)
- FIFO 機能
  スキャン変換用 FIFO 16 段、優先変換用 FIFO 4 段搭載
  設定した FIFO 段数にデータが書き込まれると、割込みを発生
- A/D 変換データの配置変更可能(MSB 側へシフト/LSB 側へシフトを選択可能)
- A/D 変換結果比較機能あり
- 割込み要因
  1. スキャン変換用 FIFO 段数割込み
  2. 優先変換用 FIFO 段数割込み
  3. FIFO オーバラン割込み(スキャン変換用・優先変換用共通)
  4. A/D 変換結果比較割込み
- 割込み要求による DMA 転送が可能

2. 構成

12 ビット A/D コンバータの構成を示します。

■ 12 ビット A/D コンバータのブロックダイヤグラム

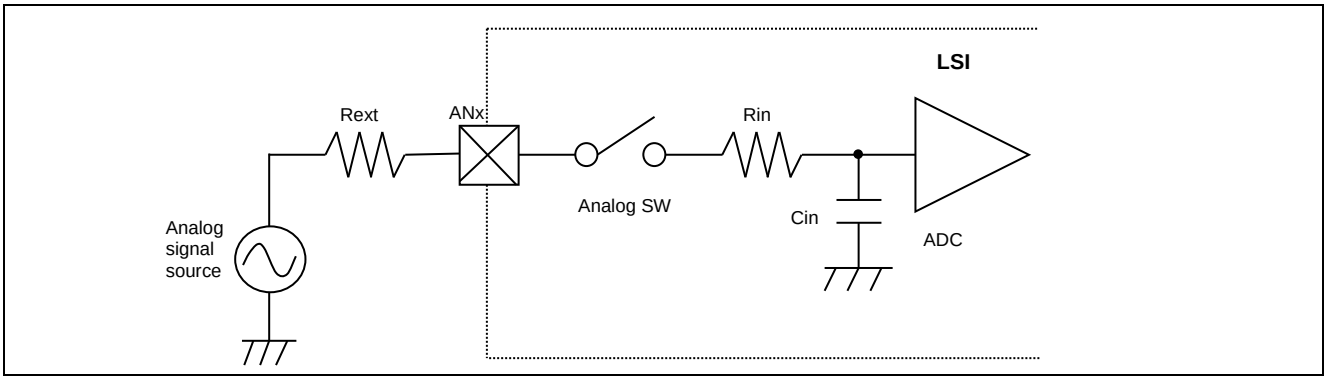
図 2-1 12 ビット A/D コンバータのブロックダイヤグラム



■ 入力インピーダンス

A/D コンバータのサンプリング回路は図 2-2 の等価回路で表されます。外部インピーダンス Rext は、ご使用する製品の『データシート』の「電気的特性」を参照してサンプリング時間を超えない値にしてください。

図 2-2 入力インピーダンス等価回路図



3. 動作説明

12 ビット A/D コンバータの動作について説明します。

3.1 A/D コンバータの動作許可

3.2 A/D 変換動作

3.3 FIFO の動作

3.4 A/D 比較機能

3.5 DMA 起動

3.1. A/D コンバータの動作許可

A/D コンバータの動作許可について説明します。

A/D コンバータは A/D 変換を行う前に動作許可状態にしてください。A/D 動作許可設定レジスタ(ADCEN)の ENBL ビットに"1"を書き込むことで、A/D コンバータは動作許可状態遷移期間後、動作停止状態から動作許可状態になります。また、ADCEN レジスタの ENBL ビットに"0"を書き込むことで、A/D コンバータは即座に動作停止状態となります。

動作許可状態のときのみ A/D 変換ができます。動作停止状態での A/D 変換要求は無視されます。A/D 変換中に動作停止状態となった場合、A/D 変換は直ちに停止します。

A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可状態ビット(READY)を読み出すことで動作状態の確認ができます。("1"： 動作許可状態, "0"： 動作停止状態)

3.2. A/D 変換動作

A/D コンバータはスキャン変換，優先変換の 2 種類の変換が可能です。

3.2.1 スキャン変換動作

3.2.2 優先変換動作

3.2.3 優先順位と状態遷移

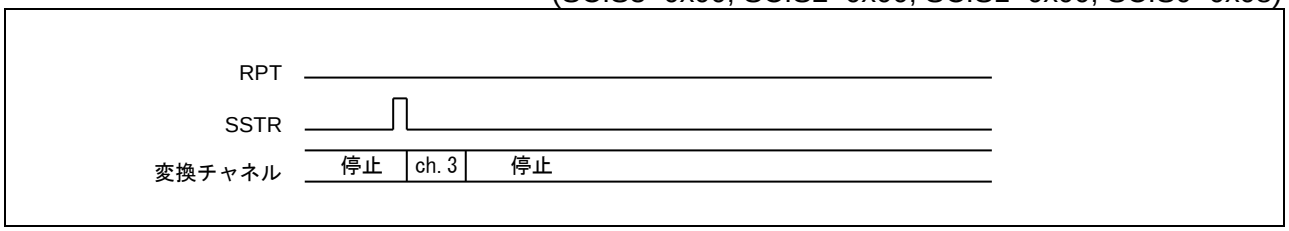
3.2.1. スキャン変換動作

スキャン変換動作について説明します。

入力チャネルの選択はスキャン変換入力選択レジスタ(SCIS)にて行います。SCIS レジスタの対応するビットに"1"を設定することで、複数のアナログ入力チャネルの中から必要なチャネルを任意に設定可能です。
A/D の起動はソフトウェアによる起動とタイマによる起動が可能です。ソフトウェアによる起動はスキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"を書き込むことで A/D 変換が開始します。タイマによる起動は、スキャン変換コントロールレジスタ(SCCR)のスキャン変換のタイマ起動許可ビット(SHEN)に"1"を書き込み、タイマ起動を許可した状態で、タイマの立上りエッジを検出すると A/D 変換を開始します。A/D 変換が開始すると、A/D ステータスレジスタ(ADSR)のスキャン変換ステータスフラグ(SCS)が"1"に設定されます。変換終了後 SCS は"0"にリセットされます。
A/D の変換中に再度、スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"を書き込むか、タイマ起動許可中に再度タイマの立上りエッジを検出すると、変換中の動作を直ちに停止・初期化し、A/D 変換を再度行います(再起動)。
スキャン変換には以下の変換モードがあります。

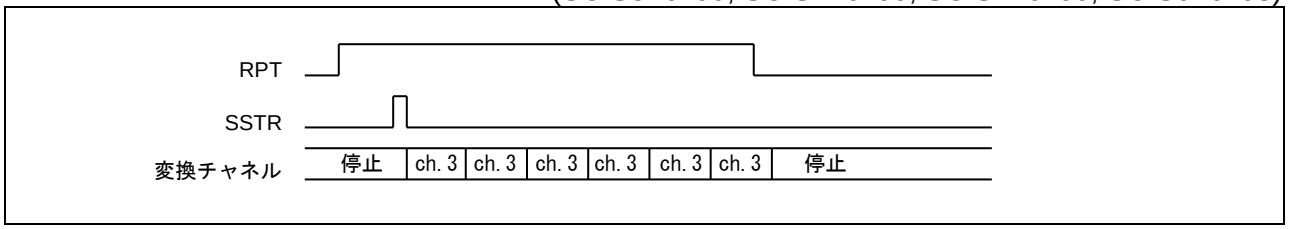
1. 単一チャネルによる単発モード
   スキャン変換用のアナログ優先変換を 1 優先変換のみ指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"0"の場合が本モードとなります。選択した優先変換の変換が終了後停止します。

図 3-1 単一チャネル選択時の単発モード時の停止動作
(SCIS3=0x00, SCIS2=0x00, SCIS1=0x00, SCIS0=0x08)



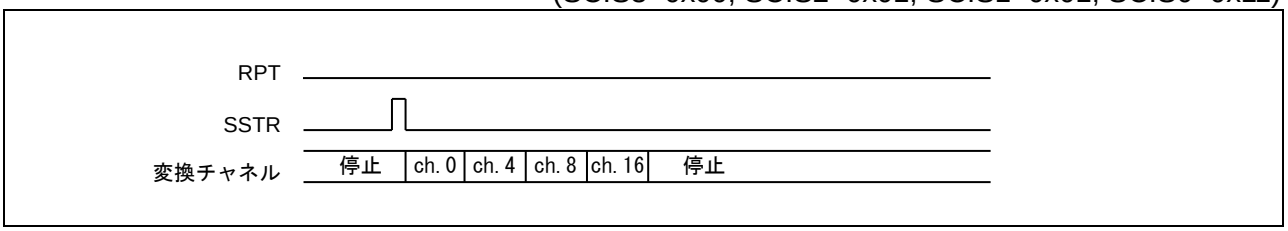
2. 単一チャネルによる連続モード
   スキャン変換用のアナログ優先変換を 1 優先変換のみ指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"1"の場合が本モードとなります。選択した優先変換の変換が終了すると再度同じ優先変換の変換を開始します。A/D 変換を終了するには、RPT に"0"を書き込むことで、変換中の動作が終了後停止します。

図 3-2 単一チャネル選択時の連続モード時の停止動作
(SCIS3=0x00, SCIS2=0x00, SCIS1=0x00, SCIS0=0x08)



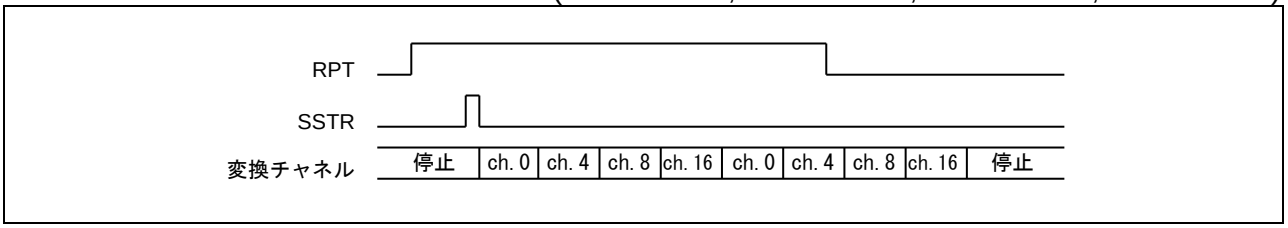
3. 複数チャネルによる単発モード
スキャン変換用のアナログチャネルを複数指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"0"の場合が本モードとなります。変換を開始すると、自動的に各チャネルの有無を調べ、順次チャネル切り換えと A/D の変換起動、変換終了後の変換結果の FIFO への書込みを行います。変換チャネルは ch.0→ch.1→ch.2・・・の順で選択され、SCIS レジスタで選択されていないチャネルは変換を行わずに次に選択されているチャネルに移ります。選択された最後のチャネルの A/D 変換が終わると、A/D 変換を停止します。

図 3-3 複数チャネル選択時の単発モード時の停止動作
(SCIS3=0x00, SCIS2=0x01, SCIS1=0x01, SCIS0=0x11)



4. 複数チャネルによる連続モード
スキャン変換用のアナログチャネルを複数指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"1"の場合が本モードとなります。変換を開始すると、自動的に各チャネルの有無を調べ、順次チャネル切り換えと A/D の変換起動、変換終了後の変換結果の FIFO への書込みを行います。変換チャネルは ch.0→ch.1→ch.2・・・の順で選択され、SCIS レジスタで選択されていないチャネルは変換を行わずに次に選択されているチャネルに移ります。選択された最後のチャネルの A/D 変換が終わると、再度 ch.0 からの変換を開始します。A/D 変換を終了するには、RPT に"0"を書き込むことで、選択された最後のチャネルの A/D 変換が終了した後、停止します。

図 3-4 複数チャネル選択時の連続モード時の停止動作
(SCIS3=0x00, SCIS2=0x01, SCIS1=0x01, SCIS0=0x11)



3.2.2. 優先変換動作

優先変換動作について説明します。

優先的に変換を行いたい場合は本モードを使用します。スキャン変換中でも、優先変換が起動されると、スキャン変換を直ちに中断し、優先的に変換を行います。優先変換を終了すると中断されたチャネルからスキャン変換を再開します。また、優先変換中でもより高い優先度(優先度 1)の変換が起動されると、優先度の低い(優先度 2)変換を直ちに中断し、優先度 1 の変換を行います。優先度 1 の変換終了後、優先度 2 の変換を再開します。
優先変換は 2 レベルの優先度が与えられます。優先度は優先度 1(最優先)>優先度 2 となります。優先度 1 の起動要因は外部端子によるトリガ起動、優先度 2 の起動要因はソフトウェア/タイマ起動が割り当てられます。
入力チャネルの選択は優先変換入力選択レジスタ(PCIS)にて行います。

- 優先度 1 のチャネル選択方法は、優先変換コントロールレジスタ(PCCR)の外部トリガアナログ入力選択ビット(ESCE)によって異なります。
  ESCE=0 の場合 : PCIS レジスタの P1A[2:0]ビットで行い、ch.0～ch.7 の 8 チャネルの中から、1 チャネルのみ選択できます。
  ESCE=1 の場合 : PCIS レジスタの P1A[2:0]ビットの設定は無視され、外部端子(ECS[2:0])入力により ch.0～ch.7 の 8 チャネルの中から 1 チャネルのみ選択できます。

  例) ECS[2:0] = 000 → ch.0
  = 010 → ch.2
  = 111 → ch.7
- 優先度 2 のチャネル選択は、PCIS レジスタの P2A[4:0]ビットで行い、複数の入力チャネルの中から 1 チャネルのみ選択できます。

A/D の起動要因は優先度により異なります。

- 優先度 1(最優先)は外部トリガ入力の立下りエッジにより起動が可能です。
  外部トリガ起動を有効にするためには、PCCR レジスタの PEEN ビットに"1"を書き込んでください。
- 優先度 2 はソフトによる起動とタイマによる起動が可能です。
  ソフトウェアによる起動は PCCR レジスタの PSTR ビットに"1"を書き込むことで変換が開始します。
  タイマによる起動は、PCCR レジスタの PHEN ビットに"1"を書き込み、タイマ起動を許可した状態で、タイマの立上りエッジを検出して変換を開始します。変換が開始すると、ADSR レジスタの PCS ビットが"1"に設定されます。変換終了後 PCS は"0"にリセットされます。

優先変換モードでは、再起動はできません。また同一優先度の起動要因は無視されます。
(ソフトウェア起動中のタイマによる起動要因は無視されます。)

優先度 2 の起動要因(ソフト/タイマ)で変換中に優先度 1 の起動要因(外部トリガ)が発生した場合は A/D ステータスレジスタ(ADSR)の PCNS ビットを"1"に設定し優先度 2 の変換は直ちに中断します。優先度 1 の変換が終了すると、PCNS は"0"にリセットされ、中断した優先度 2 の変換を再開します。優先度 1 の変換中に優先度 2 の起動要因が発生すると、優先度 2 の起動要因は保留し(要因を保持)、PCNS を"1"に設定します。優先度 1 の変換を終了後、PCNS は"0"にリセットされ優先度 2 の変換を開始します。

優先変換は単一チャネルによる単発モードのみ可能です。

3.2.3. 優先順位と状態遷移

優先順位と状態遷移について説明します。

■ 優先順位

表 3-1 A/D コンバータの優先順位

優先順位	変換種類	起動要因
1	優先度 1 の優先変換	・外部トリガ端子入力(立下りエッジ)
2	優先度 2 の優先変換	・ソフトウェア(PSTR ビット"1"書込み) ・タイマからのトリガ入力(立上りエッジ)
3	スキャン変換	・ソフトウェア(SSTR ビット"1"書込み) ・タイマからのトリガ入力(立上りエッジ)

・スキャン変換中に優先変換による起動が発生した場合
スキャン変換による動作を中断し、優先変換による動作を行います。優先変換の動作が終了すると中断したチャネルから自動的にスキャン変換を再開します。

・優先度 2 の変換中に優先度 1 の起動が発生した場合
優先度 2 の変換を中止し、優先度 1 の起動による動作を行います。優先度 1 の動作が終了すると、自動的に優先度 2 の変換を再開します。

・優先度 1 の変換中に優先度 2 の起動が発生した場合
優先度 2 の起動要因が保持されます。優先度 1 の変換動作が終了すると、自動的に優先度 2 の変換を開始します。

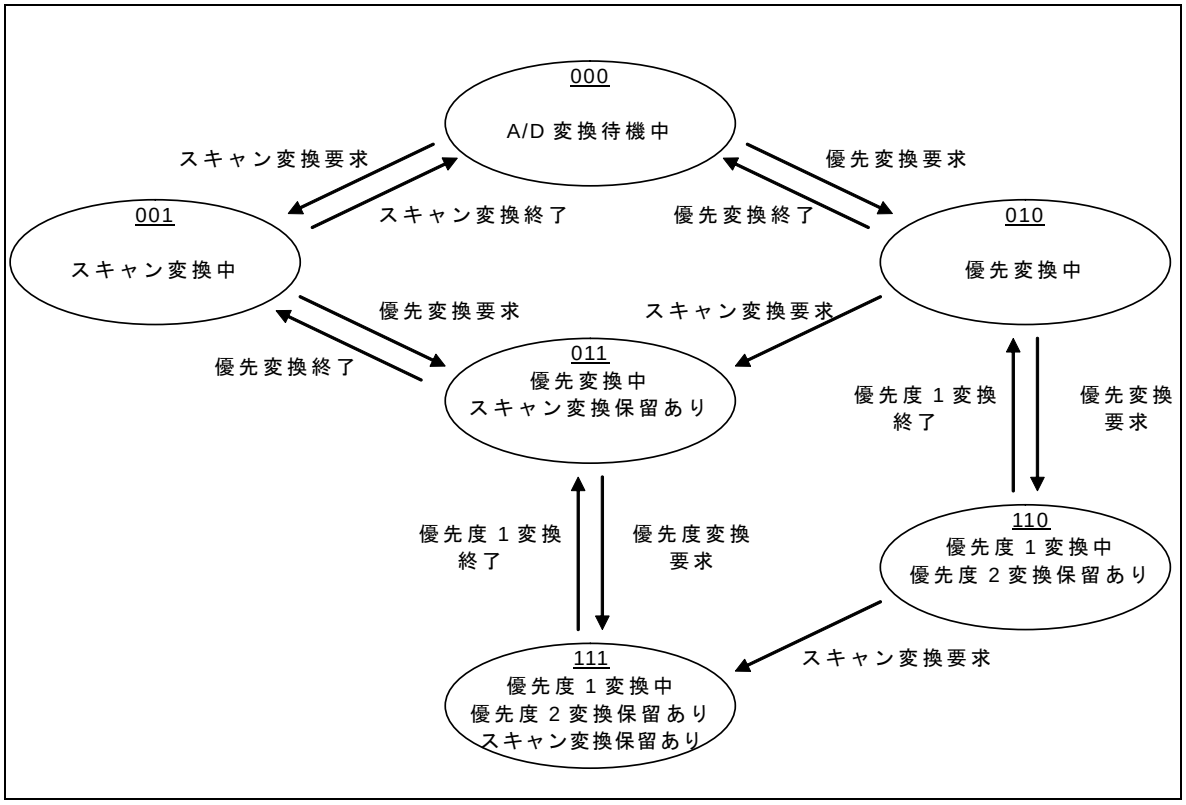
・優先度 1 の変換中にスキャン変換の起動が発生した場合
スキャン変換の起動要因は保持されます。優先度 1 の変換動作が終了すると、自動的にスキャン変換による動作を開始します。

・優先度 2 の変換中にスキャン変換の起動が発生した場合
スキャン変換の起動要因は保持されます。優先度 2 の変換動作が終了すると、自動的にスキャン変換による動作を開始します。

・優先変換の動作中は同一優先順位の起動要因はマスクされます(再起動はかかりません)。

■ 状態遷移

図 3-5 12 ビット A/D コンバータの状態遷移



ADSR レジスタの PCNS, PCS, SCS ビットにより動作状態を読み出せます。

表 3-2　ADSR レジスタのビットと動作状態の対応

PCNS	PCS	SCS	状態の説明
0	0	0	A/D 変換待機中。
0	0	1	スキャン変換による A/D 変換中。
0	1	0	優先変換(優先度 1, 2)による A/D 変換中。
0	1	1	優先変換(優先度 1, 2)による A/D 変換中。 スキャン変換の変換保留あり。
1	1	0	優先変換(優先度 1)による A/D 変換中。優先変換(優先度 2)の保留あり。
1	1	1	優先変換(優先度 1)による A/D 変換中。スキャン変換と優先変換(優先度 2)の保留あり。

3.3. FIFO の動作

A/D コンバータはスキャン変換用に 16 段、優先変換用に 4 段の FIFO を搭載しています。FIFO の設定した段数に変換データが書き込まれると CPU に対して割込みを発生します。

3.3.1 スキャン変換の FIFO 動作

3.3.2 スキャン変換の割込み

3.3.3 優先変換の FIFO 動作

3.3.4 優先変換の割込み

3.3.5 FIFO データの有効・無効

3.3.6 FIFO データレジスタのビット配置選択

3.3.1. スキャン変換の FIFO 動作

スキャン変換の FIFO 動作について説明します。

スキャン変換データの書込み用に FIFO を 16 段搭載しています。リセット解除後は空(エンプティ)の状態でスキャン変換コントロールレジスタ(SCCR)の SEMP ビットは"1"に設定されています。1 チャネル分の A/D 変換が終了すると、FIFO の 1 段目に変換結果, 起動要因, 変換チャネルが書き込まれます。これにより、SEMP が"0"にリセットされます。次のチャネルの変換結果, 起動要因, 変換チャネルは 2 段目の FIFO に順次書き込まれます。

16 段すべてに書込みが行われると、SFUL ビットを"1"に設定し FIFO がフル(満杯)の状態になります。FIFO フルの状態で変換が行われ FIFO にデータを書き込もうとした場合は SOVR ビットを"1"に設定しデータは捨てられます(上書きできません)。

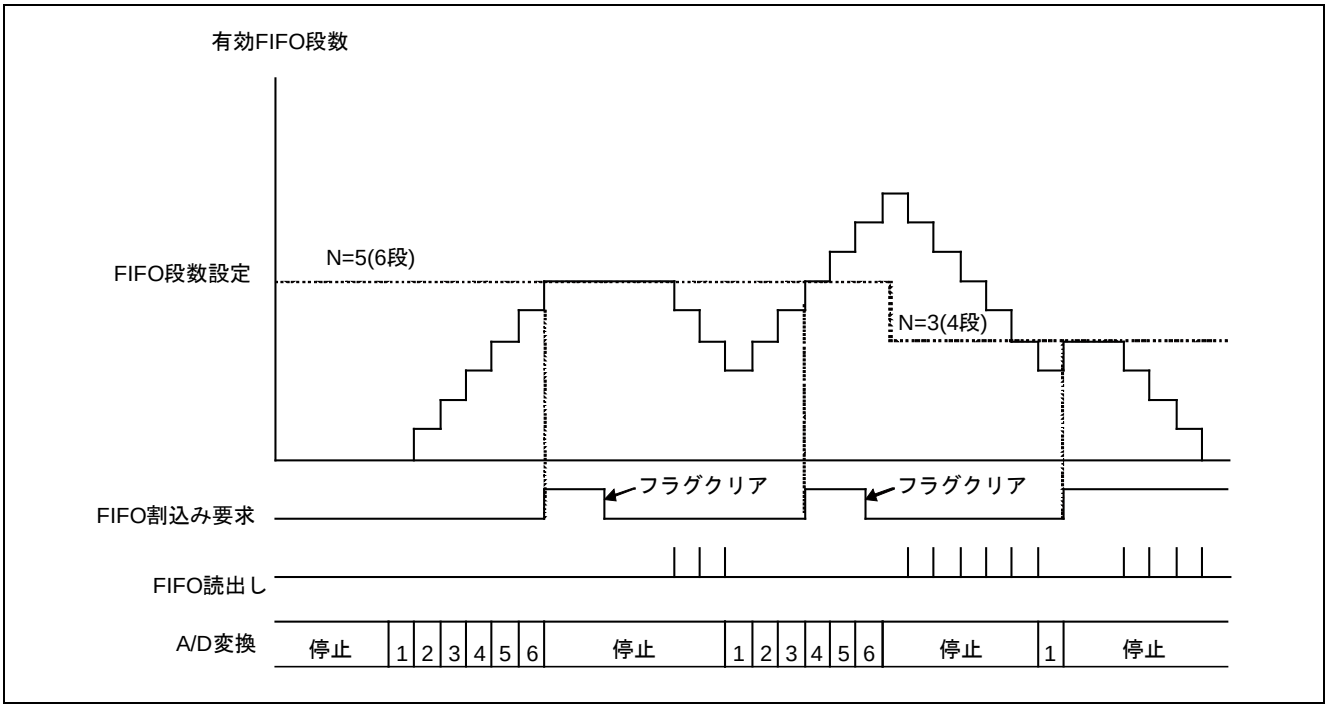
FIFO のデータをクリアしたい場合は、スキャン変換コントロールレジスタ(SCCR)の SFCLR ビットに"1"を書き込んでください。FIFO は空の状態となり SEMP ビットは"1"に設定されます。

FIFO の読出しは、スキャン変換 FIFO データレジスタ(SCFD)を読み出すことで、順次 FIFO を読み出せます。スキャン変換 FIFO データレジスタ(SCFD)をバイト(8 ビット)アクセスする場合には、上位バイト(bit31:24)を読み出すことで FIFO はシフトします(それ以外(bit23:16, bit15:8, bit7:0)を読み出しても FIFO はシフトしま
せん)。ハーフワード(16 ビット)アクセスする場合には、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします(それ以外(bit15:0)を読み出しても FIFO はシフトしません)。ワード(32 ビット)アクセスの場合には、FIFO はシフトします。

3.3.2. スキャン変換の割込み

スキャン変換の割込みについて説明します。

図 3-6 FIFO 割込み設定と FIFO の動作



スキャン変換 FIFO 段数設定レジスタ(SFNS)の SFS[3:0]へ設定した FIFO 段数(N+1)分の変換データが FIFO に書き込まれると、A/D コントロールレジスタ(ADCR)のスキャン変換割込み要求ビット(SCIF)が"1"に設定されます。スキャン変換割込み許可ビット(SCIE)に"1"が書き込まれた場合、CPU に対して割込み要求を発生します。
スキャン変換の各モードによる FIFO 段数割込み方法を説明します。

1. 単一チャネルによる単発モード
   設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には SFS[3:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、SCIF を"1"に設定します。

＜注意事項＞
SFS[3:0]を 0x1 以上(2 段以上)に設定した場合は、設定した段数分、変換データが FIFO に書き込まれるまで割込みは発生しないため、注意してください。

2. 単一チャネルによる連続モード
   設定したチャネルの 1 回の変換が終了後、割込みを発生させる場合には SFS[3:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、SCIF ビットを"1"に設定します。
   設定したチャネルをある回数の A/D 変換終了後に、割込みを発生したい場合は、SFS[3:0]を 0x1 以上(2 段以上)に設定してください。例えば 4 回リピート後に割込みを発生させる場合は、SFS[3:0]=0x3 に設定してください。

3. 複数チャネルによる単発モード
   設定した複数のチャネルの終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数に合わせてください。選択したチャネル数が 8 チャネルの場合、FIFO の段数設定を SFS[3:0]=0x7 に設定することで、選択した最終のチャネルの変換終了後、SCIF を"1"に設定されます。
   選択したチャネル数よりも SFS[3:0]の設定を小さくすることで、スキャン終了前の任意のタイミングで割込みを発生できます。

4. 複数チャネルによる連続モード
   設定した複数のチャネルの 1 回目のスキャン終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数に合わせてください。選択したチャネル数が 8 チャネルの場合、FIFO の段数設定を SFS[3:0]=0x7 に設定することで、選択した最終のチャネルの変換終了後、SCIF ビットを"1"に設定します。
   2 回目のスキャン終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数の 2 倍に設定してください。例えば選択したチャネル数は 4 の場合、FIFO 段数を 8 段(SFS[3:0]=0x7)にすることで、2 回目のスキャン終了後、割込みを発生させられます。

   そのほかにも、FIFO の段数を任意に設定できるため、様々なタイミングで割込みを発生することが可能です。

3.3.3. 優先変換の FIFO 動作

優先変換の FIFO 動作について説明します。

優先変換データの書込み用に FIFO を 4 段搭載しています。リセット解除後は空(エンプティ)の状態で優先変換コントロールレジスタ(PCCR)の PEMP ビットは"1"に設定されています。1 回の A/D 変換が終了すると、FIFO の 1 段目に変換結果, 起動要因, 変換チャネルが書き込まれます。これにより、スキャン変換コントロールレジスタ(SCCR)の SEMP ビットが"0"にリセットされます。2 回目の変換結果と変換チャネルは 2 段目の FIFO に順次書き込まれます。

4 段すべてに書込みが行われると、PFUL ビットを"1"に設定し FIFO がフル(満杯)の状態になります。FIFO フルの状態で変換が行われ FIFO にデータを書き込もうとした場合は POVR ビットを"1"に設定しデータは捨てられます(上書きできません)。

FIFO のデータをクリアしたい場合は、優先変換コントロールレジスタ(PCCR)の PFCLR ビットに"1"を書き込んでください。FIFO は空の状態となり PEMP ビットは"1"に設定されます。

FIFO の読出しは、優先変換 FIFO データレジスタ(PCFD)を読み出すことで、順次 FIFO を読み出せます。優先変換 FIFO データレジスタ(PCFD)をバイト(8 ビット)アクセスする場合には、上位バイト(bit31:24)を読み出すことで FIFO はシフトします(それ以外(bit23:16, bit15:8, bit7:0)を読み出しても FIFO はシフトしません)。ハーフワード(16 ビット)アクセスする場合には、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします(それ以外(bit15:0)を読み出しても FIFO はシフトしません)。ワード(32 ビット)アクセスの場合には、FIFO はシフトします。

3.3.4. 優先変換の割込み

優先変換の割込みについて説明します。

優先変換 FIFO 段数設定レジスタ(PFNS)の PFS[1:0]ビットに設定した FIFO 段数(N+1)分の変換データが FIFO に書き込まれると、A/D コントロールレジスタ(ADCR)の割込み要求ビット(PCIF)が"1"に設定されます。割込み許可ビット(PCIE)に"1"が書き込まれた場合、CPU に対して割込み要求を発生します。

優先変換の FIFO 段数割込み方法を説明します。

設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には、PFS[1:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、PCIF ビットが"1"に設定されます。

＜注意事項＞

PFS[1:0]ビットを 0x1 以上(2 段以上)に設定した場合は、設定した段数分、変換データが FIFO に書き込まれるまで割込みは発生しないため、注意してください。

3.3.5. FIFO データの有効・無効

FIFO データレジスタを読み出すときの制約について説明します。

スキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)の bit12 には、データが有効か無効かを示す A/D 変換結果無効ビット(INVL)が搭載されています。FIFO データレジスタの読出し時にデータが有効の場合、INVL="0"が設定され、データが無効の場合、INVL="1"が設定されます。

ワード(32 ビット)読出しの場合、INVL ビットによりデータの有効・無効が判定できます。

割込みやエンプティ(SCCR:SEMP, PCCR:PEMP)ビットを用いないハーフワード(16 ビット)読出しの場合、必ず INVL ビット含む下位 16 ビットから読出しを行ってください。このとき、INVL="1"の場合、上位 16 ビットの読出しは禁止です。INVL="0"のときのみ、上位 16 ビットの読出しを行ってください。

割込みやエンプティ(SCCR:SEMP, PCCR:PEMP)ビットを用いないバイト(8 ビット)読出しの場合、必ず INVL ビット含む bit15:8 から読出しを行ってください。このとき、INVL="1"の場合、bit31:24, bit23:16, bit7:0 の読出しは禁止です。INVL="0"のときのみ、それらの読出しを行ってください。

3.3.6. FIFO データレジスタのビット配置選択

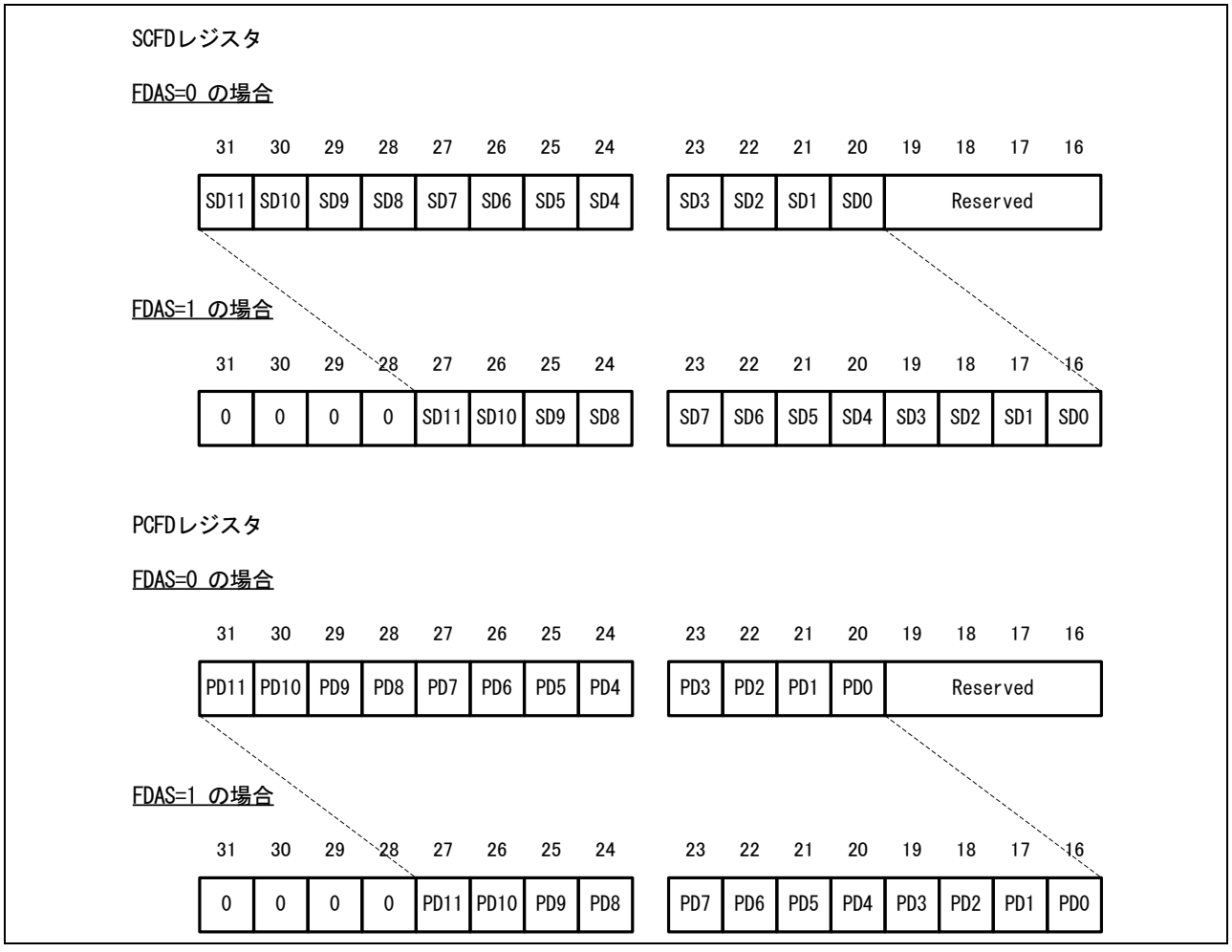
FIFO データレジスタのビット配置選択について説明します。

A/D コンバータは、A/D ステータスレジスタ(ADSR)の FDAS ビットによりスキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)の変換結果のビット配置を変更できます(図 3-7)。

FDAS="1"に設定することによって、FIFO データレジスタ(SCFD, PCFD)読出し時に、12 ビット A/D 変換結果(SD11～SD0, PD11～PD0)は LSB 側(bit27:16)に配置されます。FIFO データレジスタ(SCFD, PCFD)の下位 16 ビットの配置は変わりません。

FIFO のシフトは、FDAS の設定値によらず、FIFO データレジスタ(SCFD, PCFD)の bit31:24(バイトアクセスの場合), bit31:16(ハーフワードアクセスの場合), bit31:0(ワードアクセスの場合)を読み出すことで行われます。

図 3-7 FIFO データレジスタのビット配置



3.4. A/D 比較機能

A/D 比較機能は、A/D コンバータの変換結果を比較し、割込みを発生させる機能です。

比較機能を動作させるには、A/D 比較コントロールレジスタ(CMPCR)の変換結果比較機能動作許可ビット(CMPEN) に"1"を書き込んでください。

A/D 比較値設定レジスタ(CMPD)に設定した値と、A/D 変換結果の上位 10 ビット(bit11:2)を比較します。この結果、A/D 比較コントロールレジスタ(CMPCR)で設定した条件が満たされた場合、ADCR レジスタの変換結果比較割込み要求ビット(CMPIF)が"1"に設定されます。変換結果比較割込み許可ビット(CMPIE)が"1"に設定されている場合は、CPU に対して割込みを発生します。

＜注意事項＞

LSB 側の 2 ビット(bit1, bit0)の比較は行いません。

A/D 変換結果の比較はスキャン変換・優先変換によらず A/D 変換結果が FIFO に書き込まれる前に行うため、FIFO フルの状態でも比較できます。

CMD1 に"1"を設定した場合(CMPD 設定値以上の場合に割込み発生)は変換結果と、A/D 比較値設定レジスタの値が等しい場合も CMPIF は"1"に設定されます。

3.5. DMA 起動

A/D コンバータの FIFO データを DMA 転送する処理について説明します。

A/D コンバータの FIFO に格納されているデータは、割込み信号を利用したハードウェア起動 DMA 転送ができます。以下に必要設定と動作内容を説明します。

本製品の場合、DMAC によるスキャン変換 FIFO データの DMA 転送のみ対応しています。

・A/D コンバータからの割込み信号は、初期状態では割込みコントローラに接続されています。割込みコントローラの DMA 転送要求の選択レジスタの設定により、スキャン変換割込み信号を DMAC に接続します。A/D コンバータからの割込みを許可します。（ADCR:SCIE=1）

・A/D コンバータからの割込みを発生させる FIFO 段数を 0　(FIFO の 1 段目に変換結果が格納されたとき割込み要求発生)に設定します。

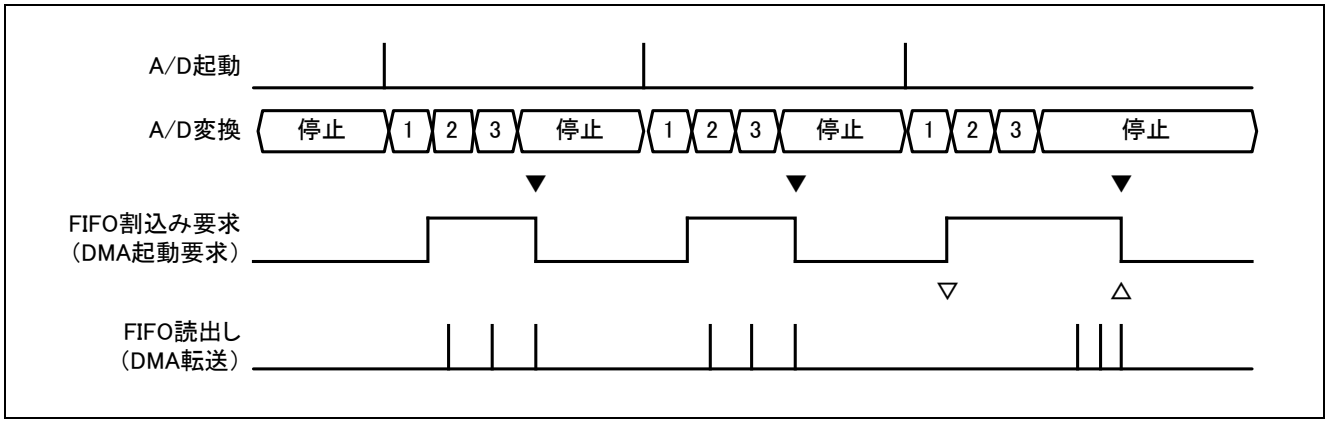
・DMAC の転送元アドレスを、スキャン変換 FIFO データレジスタ(SCFD) に指定します。転送モードは、ハードウェア・Demand 転送を選択します。転送回数は FIFO に格納されるデータ数を指定します。

図 3-8 に DMA 転送動作のタイミングチャートを示します。

A/D 変換の起動後、変換データは、FIFO に格納されます。A/D コンバータから割込み要求が発生します。DMAC により、FIFO データレジスタの読出し、転送先への書込みが行われ、データ転送が行われます。発生した割込み信号は、DMAC 側からクリア処理が行われます（図中の▼）。CPU から割込みフラグ（ADCR:SCIF）をクリアする必要はありません。DMAC に指定した所定回数の転送終了後、DMAC から転送終了通知を受け取ることができます。

DMAC が A/D コンバータ以外の転送要求の処理を行っている場合、図の▽から△に示すように、DMA 転送の開始が遅れる場合がありますので、注意してください。

図 3-8 DMA 転送動作



4. 設定手順例

12 ビット A/D コンバータの設定手順例を説明します。

4.1 A/D 動作許可設定手順例

4.2 スキャン変換設定手順例

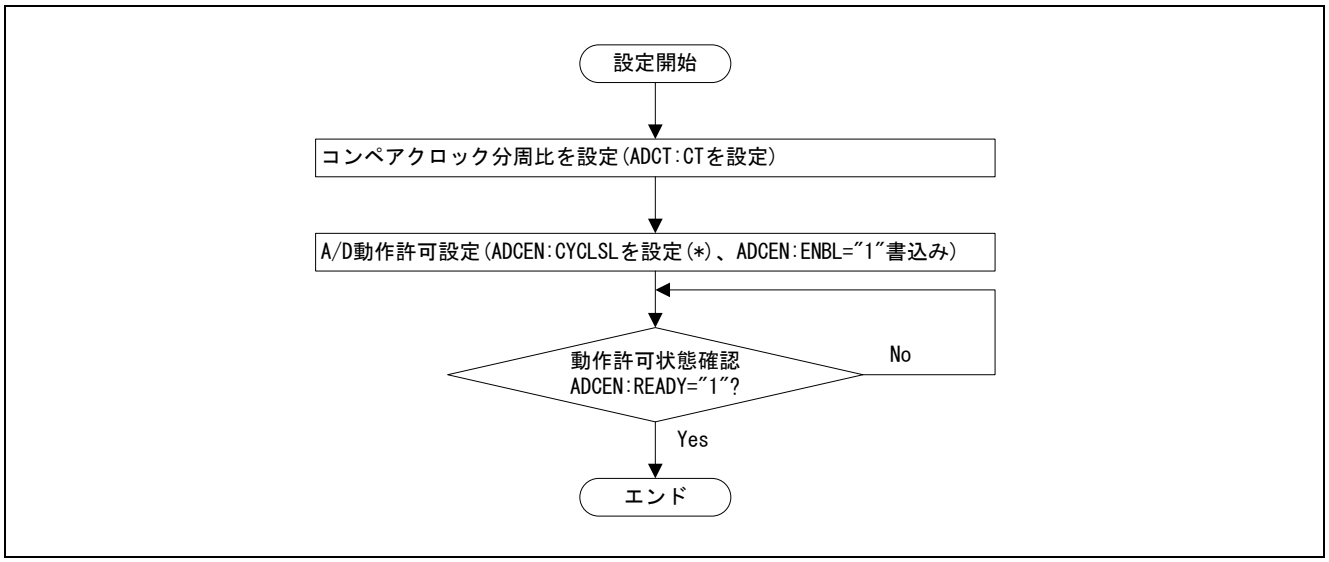
4.3 優先変換設定手順例

4.4 変換時間の設定

4.1. A/D 動作許可設定手順例

A/D 動作許可設定手順例を示します。
・動作許可状態遷移期間を設定
・動作許可状態をポーリング

図 4-1 A/D 動作許可設定手順例

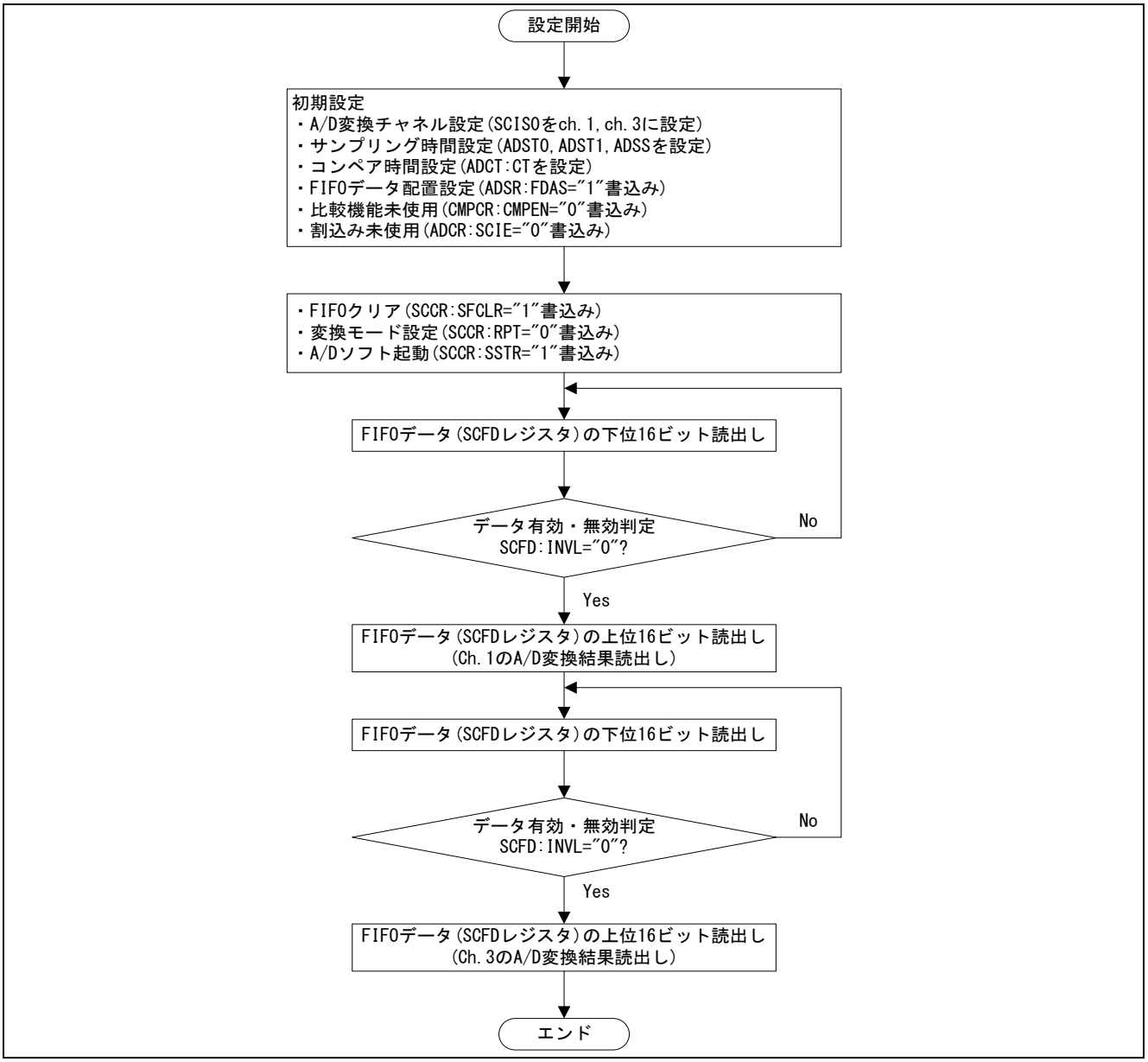


(*)TYPE0 製品には、ADCEN:CYCLSL[1:0]ビットはありません。

4.2. スキャン変換設定手順例

スキャン変換設定手順例を示します。
・ソフト起動によるスキャン変換
・A/D 変換チャネルを ch.1 と ch.3 に設定
・サンプリング時間を、ch.1 と ch.3、別々に設定
・コンペア時間を設定
・FIFO データの下位 16 ビットを読み出して、INVL ビットでデータ有効・無効を判定
・データが有効であると判定後、FIFO データの上位 16 ビットを読出し

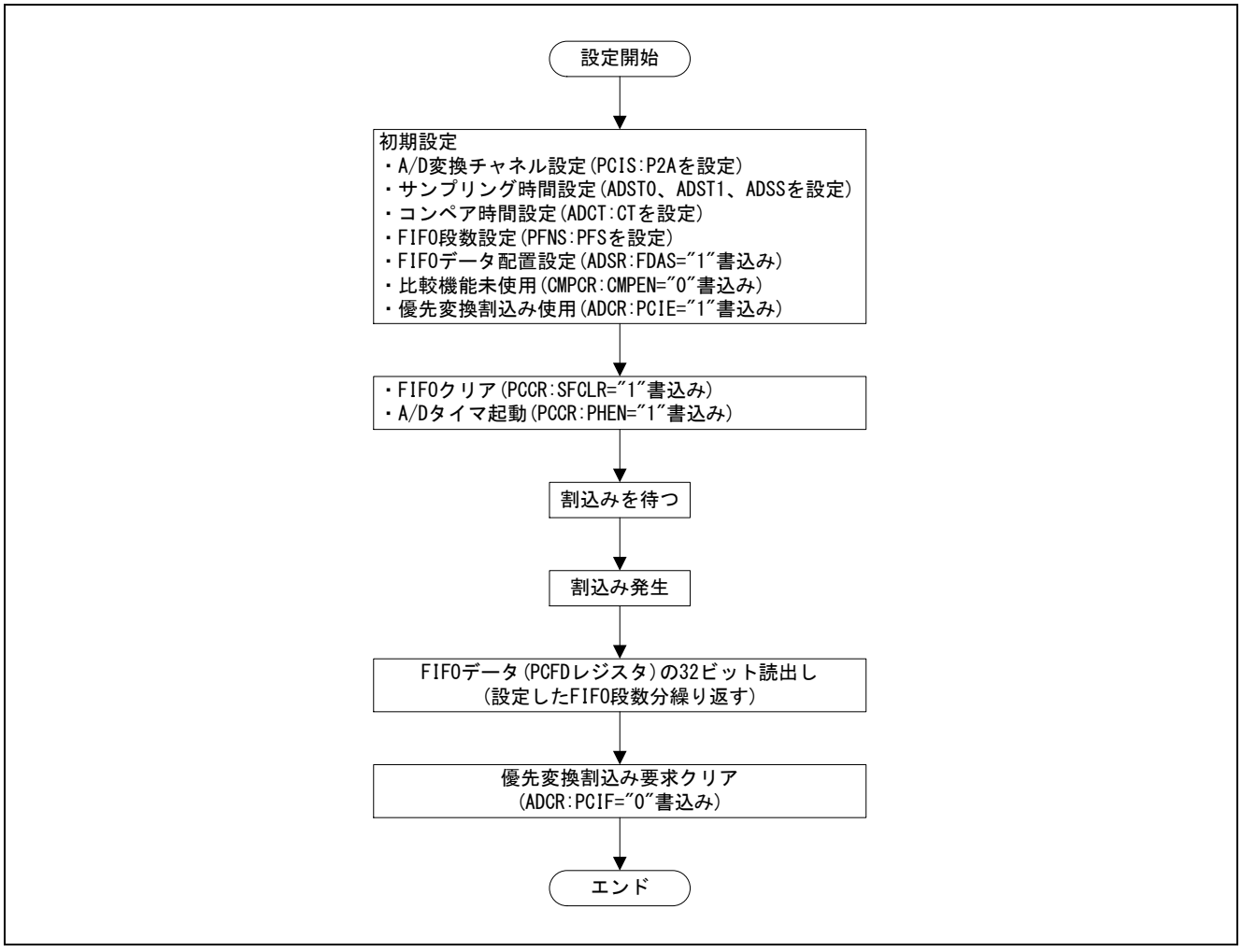
図 4-2 スキャン変換設定手順例



4.3. 優先変換設定手順例

優先変換設定手順例を示します。
・タイマ起動による優先度 2 の優先変換
・変換チャネルは ch.1 と ch.3
・サンプリング時間を、ch.1 と ch.3、別々に設定
・コンペア時間を設定
・割込みを使用して FIFO データの 32bit を読出し
・設定した FIFO 段数分読出しを行う

図 4-3 優先変換設定手順例



4.4. 変換時間の設定

A/D コンバータの変換時間は「サンプリング時間」+「コンペア時間」です。サンプリング時間はチャネルごとに 2 種類設定できます。本項では、変換時間の設定、計算方法を説明します。

■ サンプリング時間の設定例

サンプリング時間は、サンプリング時間設定レジスタ 0, 1(ADST0 または ADST1)にて設定します。サンプリング時間選択レジスタ(ADSS3～ADSS0)により、チャネルごとにサンプリング時間設定レジスタ 0, 1 のどちらの値を使用するか選択可能です。これにより、外部インピーダンスの異なるチャネルに対して個別にサンプリング時間を設定できます。

サンプリング時間 = ベースクロック(HCLK)周期×{(ST 設定値 + 1)×STX 設定倍数 + 1}

＜注意事項＞

サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」記載内容に従い、入力チャネルの外部インピーダンス, アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。

TYPE0 製品の場合:
STXx2, STXx1, STXx0=000(STx4～STx0 の設定値×1 倍)に設定した場合、STx4～STx0 は"3"以上を設定してください("2"以下は設定禁止です)。

TYPE0 製品以外の場合:
STXx2, STXx1, STXx0=000(STx4～STx0 の設定値×1 倍)に設定した場合、STx4～STx0 は"4"以上を設定してください("3"以下は設定禁止です)。
STXx2, STXx1, STXx0=001(STx4～STx0 の設定値×4 倍)に設定した場合、STx4～STx0 は"1"以上を設定してください("0"は設定禁止です)。

■ コンペア時間の設定例

コンペア時間は、コンペア時間設定レジスタ(ADCT)で設定します。

コンペア時間 = コンペアクロック周期×14
コンペアクロック周期 = ベースクロック(HCLK)周期×コンペアクロック分周比

＜注意事項＞

- コンペアクロック周期は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。
- サンプリング時間, コンペアクロック周期が A/D コンバータの電気的特性を満たさない場合、A/D 変換精度が悪くなることがあります。

■ 変換時間の計算例 (HCLK=40MHz(周期 25ns)のとき)

(1) サンプリング時間

・ ST04～ST00 = 17, STX02, STX01, STX00 = 000(1 倍)の場合
サンプリング時間 = 25 ns×{(17+1)×1+1} = 475 ns

・ ST14～ST10 = 19, STX12, STX11, STX10 = 001(4 倍)の場合
サンプリング時間 = 25 ns×{(19+1)×4+1} = 2025 ns

(2) コンペア時間

・ CT7～CT0 = 0(コンペアクロック分周比 2)の場合
コンペアクロック周期 = 25 ns×2 = 50 ns
コンペア時間 = 50 ns×14 = 700 ns

(3) 変換時間

(1)と(2)の和より、

・ ADST0 レジスタで指定したチャネルの変換時間 = 1175ns
・ ADST1 レジスタで指定したチャネルの変換時間 = 2725ns

■ レジスタ設定例

表 4-1 サンプリング時間とコンペア時間のレジスタ設定例

HCLK	CT2～CT0	STXx2～STXx0	STx4～STx0	サンプリング時間	コンペア時間	変換時間
40 MHz	000	000	01010	0.3 µs	0.7 µs	1 µs
40 MHz	000	000	10010	0.5 µs	0.7 µs	1.2 µs
40 MHz	000	000	10001	0.475 µs	0.7 µs	1.175 µs
40 MHz	000	001	10011	2.025 µs	0.7 µs	2.725 µs
54 MHz	111	000	10000	0.333 µs	2.333 µs	2.666 µs
72 MHz	010	000	01110	0.222 µs	0.778 µs	1 µs
120 MHz	100	001	01000	0.308 µs	0.7 µs	1.008 µs
120 MHz	100	001	01110	0.508 µs	0.7 µs	1.208 µs
144 MHz	110	001	01010	0.313 µs	0.778 µs	1.09 µs
144 MHz	110	001	10001	0.507 µs	0.778 µs	1.285 µs

5. レジスタ

12 ビット A/D コンバータで使用するレジスタの構成と機能について説明します。

■ 12 ビット A/D コンバータのレジスター覧

レジスタ略称	レジスタ名	参照先
ADCR	A/D コントロールレジスタ	5.1
ADSR	A/D ステータスレジスタ	5.2
SCCR	スキャン変換コントロールレジスタ	5.3
SFNS	スキャン変換 FIFO 段数設定レジスタ	5.4
SCFD	スキャン変換 FIFO データレジスタ	5.5
SCIS	スキャン変換入力選択レジスタ	5.6
PCCR	優先変換コントロールレジスタ	5.7
PFNS	優先変換 FIFO 段数設定レジスタ	5.8
PCFD	優先変換 FIFO データレジスタ	5.9
PCIS	優先変換入力選択レジスタ	5.10
CMPD	A/D 比較値設定レジスタ	5.11
CMPCR	A/D 比較コントロールレジスタ	5.12
ADSS	サンプリング時間選択レジスタ	5.13
ADST	サンプリング時間設定レジスタ	5.14
ADCT	コンペア時間設定レジスタ	5.15
ADCEN	A/D 動作許可設定レジスタ	5.16

5.1. A/D コントロールレジスタ(ADCR)

A/D コントロールレジスタ(ADCR)は、割込みフラグ表示，割込み許可を制御します。

bit	15	14	13	12	11	10	9	8
Field	SCIF	PCIF	CMPIF	予約	SCIE	PCIE	CMPIE	OVRIE
属性	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初期値	0	0	0	X	0	0	0	0

[bit15] SCIF : スキャン変換割込み要求ビット

スキャン変換 FIFO 段数設定レジスタ(SFNS)で設定した段数まで変換値が書き込まれたときに、本ビットは"1"に設定されます。リードモディファイライトアクセスにおける読出し値は、本ビットの値にかかわらず"1"です。

値	説明	
	読出し	書込み
0	変換結果未格納	ビットクリア
1	変換結果格納	動作に影響しません

[bit14] PCIF : 優先変換割込み要求ビット

優先変換 FIFO 段数設定レジスタ(PFNS)で設定した段数まで変換値が書き込まれたときに、本ビットは"1"に設定されます。リードモディファイライトアクセスにおける読出し値は、本ビットの値にかかわらず"1"です。

値	説明	
	読出し	書込み
0	変換結果未格納	ビットクリア
1	変換結果格納	動作に影響しません

[bit13] CMPIF : 変換結果比較割込み要求ビット

A/D 変換結果比較機能動作時に、A/D 比較値設定レジスタ(CMPD)や A/D 比較コントロールレジスタ(CMPCR)で設定した条件を満たすと、本ビットは"1"に設定されます。リードモディファイライトアクセスにおける読出し値は、本ビットの値にかかわらず"1"です。

値	説明	
	読出し	書込み
0	設定条件未達	ビットクリア
1	設定条件満足	動作に影響しません

[bit12] 予約: 予約ビット
書込みは動作に影響しません。
読出し値は不定です。

[bit11] SCIE : スキャン変換割込み許可ビット
SCIF の割込み要求を制御します。SCIE ビットが許可されていて SCIF ビットがセットされると CPU に割込み要求を発生します。

値	説明
0	割込み要求禁止
1	割込み要求許可

[bit10] PCIE : 優先変換割込み許可ビット
PCIF の割込み要求を制御します。PCIE ビットが許可されていて PCIF ビットがセットされると CPU に割込み要求を発生します。

値	説明
0	割込み要求禁止
1	割込み要求許可

[bit9] CMPIE : 変換結果比較割込み許可ビット
CMPIF の割込み要求を制御します。CMPIE ビットが許可されていて CMPIF ビットがセットされると CPU に割込み要求を発生します。

値	説明
0	割込み要求禁止
1	割込み要求許可

[bit8] OVRIE : FIFO オーバラン割込み許可ビット
SCCR レジスタの SOVR または PCCR レジスタの POVR ビットの割込み要求を制御します。OVRIE ビットが許可されていて SOVR ビットまたは POVR ビットがセットされると、CPU に割込み要求を発生します。

値	説明
0	割込み要求禁止
1	割込み要求許可

5.2. A/D ステータスレジスタ(ADSR)

A/D ステータスレジスタ(ADSR)は、スキャン変換，優先変換のステータス表示を行います。

bit	7	6	5	4	3	2	1	0
Field	ADSTP	FDAS	予約			PCNS	PCS	SCS
属性	R/W	R/W	-			R	R	R
初期値	0	0	XXX			0	0	0

[bit7] ADSTP : A/D 変換強制停止ビット

ADSTP ビットに"1"を書き込むことで、A/D 変換中の動作が強制停止されます(スキャン変換，優先変換ともに動作を停止します)。A/D 変換を強制停止した場合、ADSR レジスタの PCNS, PCS, SCS ビットはすべて"0"に初期化されますが、そのほかのレジスタの値はリセットされません。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		変換中の動作を強制停止

[bit6] FDAS : FIFO データ配置選択ビット

FDAS ビットに"1"を書き込むことでスキャン変換 FIFO データレジスタ(SCFD)，優先変換 FIFO データレジスタ(PCFD)の変換結果の値を LSB 側に 4 ビットシフトし、bit27:16 に配置します。FIFO データレジスタの下位 16 ビットの位置は変わりません。

値	説明
0	変換結果を MSB 側に配置
1	変換結果を LSB 側に配置

[bit5:3] 予約: 予約ビット

書込みは動作に影響しません。

読出し値は不定です。

[bit2] PCNS : 優先変換保留フラグ

優先度 2(ソフト/タイマ)の変換が保留中であることを示すフラグです。優先度 1(外部トリガ起動)の優先変換中に優先度 2(ソフト/タイマ)の優先変換を起動した場合、または優先度 2 の優先変換中に優先度 1 の変換が起動された場合に設定されます。書込みは無視されます。

値	説明
0	優先度 2 の優先変換保留なし
1	優先度 2 の優先変換保留中

[bit1] PCS : 優先変換ステータスフラグ

優先 A/D が変換中であることを示すフラグです。優先度 1 または優先度 2 の優先変換中に設定されます。書込みは無視されます。

値	説明
0	優先変換による変換停止
1	優先変換による変換中

[bit0] SCS : スキャン変換ステータスフラグ

スキャン A/D が変換中であることを示すフラグです。書込みは無視されます。

値	説明
0	スキャン変換による変換停止
1	スキャン変換による変換中

5.3. スキャン変換コントロールレジスタ(SCCR)

スキャン変換コントロールレジスタ(SCCR)は、スキャン変換モードを制御します。

bit	15	14	13	12	11	10	9	8
Field	SEMP	SFUL	SOVR	SFCLR	予約	RPT	SHEN	SSTR
属性	R	R	R/W	R/W	-	R/W	R/W	R/W
初期値	1	0	0	0	X	0	0	0

[bit15] SEMP : スキャン変換用 FIFO エンプティビット

FIFO がエンプティ(空)の状態になった場合に設定されます。スキャン変換 FIFO データレジスタ(SCFD)に変換データが書きこまれると、本ビットは"0"になります。書込みは無視されます。

値	説明
0	FIFO にデータが残っている状態
1	FIFO はエンプティ(空)の状態

[bit14] SFUL : スキャン変換用 FIFO フルビット

FIFO がフル(満杯)の状態になった場合に設定されます。SFCLR に"1"を書き込むか、スキャン変換 FIFO データレジスタ(SCFD)を読み出すと、本ビットは"0"になります。書込みは無視されます。

値	説明
0	FIFO のデータが入力できる状態
1	FIFO はフル(満杯)の状態

[bit13] SOVR : スキャン変換オーバランフラグ

FIFO フルの状態で FIFO に書込みを行おうとした場合に設定されます(FIFO フルの状態では変換データは上書きされません)。リードモディファイライトアクセスにおける読出し値は、ビット値にかかわらず"1"になります。ADCR レジスタの OVRIE ビットが"1"のとき、本ビットが"1"ならば CPU に対して割込みを発生します。

値	説明	
	読出し	書込み
0	オーバラン発生なし	ビットクリア
1	オーバラン発生あり	動作に影響しません

[bit12] SFCLR : スキャン変換用 FIFO クリアビット

本ビットに"1"を書き込むことでスキャン変換用 FIFO のクリアを行います。このとき FIFO はエンプティ(空)になるため、SEMP ビットは"1"に設定されます。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		FIFO のクリアを行う

[bit11] 予約: 予約ビット
書込みは動作に影響しません。
読出し値は不定です。

[bit10] RPT : スキャン変換リピートビット
"1"を書き込むことにより、リピートモードとなります。スキャン変換入力選択レジスタ(SCIS)で選択したアナログ入力チャネルすべての変換が終わると、再度変換を開始します。

リピート変換を終了させるには本ビットを"0"にすることで、SCIS ビットで選択したアナログ入力チャネルの変換を終了後停止します。

本ビットへの"1"書込みは、スキャン変換の停止(ADSR レジスタの SCS ビット = "0")中に行ってください(SSTR ビットへの"1"書込みと、RPT ビットへの"1"書込みは同時でもかまいません)。

値	説明
0	シングル変換モード
1	リピート変換モード

[bit9] SHEN : スキャン変換のタイマ起動許可ビット
スキャン変換をタイマからの立上りエッジで起動をかける場合に本ビットを"1"に設定します。"1"に設定した場合でも、ソフトによる起動(SSTR=1)は有効です。

値	説明
0	タイマ起動禁止
1	タイマ起動許可

[bit8] SSTR : スキャン変換スタートビット
"1"を書き込むことで A/D 変換を開始します。変換中に再度"1"を書き込むと変換中の動作を直ちに停止し、再度変換を開始します。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		変換起動または変換再起動(変換中)

＜注意事項＞

タイマによる起動と、SSTR ビットへの"1"書込みが同時に発生した場合は、SSTR ビットへの"1"書込みが優先され、タイマの起動は無視されます。

5.4. スキャン変換 FIFO 段数設定レジスタ(SFNS)

スキャン変換 FIFO 段数設定レジスタ(SFNS)は、スキャン変換時の割込み要求を発生するための設定を行います。設定した段数分の A/D 変換データが格納されると、割込み要求ビット(SCIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	予約				SFS[3:0]			
属性	-				R/W			
初期値	XXXX				0000			

[bit7:4] 予約: 予約ビット

書込みは動作に影響しません。

読出し値は不定です。

[bit3:0] SFS[3:0] : スキャン変換 FIFO 段数設定ビット

SFS[3:0]に設定された段数(N+1 段目)分の A/D 変換データが書き込まれると割込み要求フラグ(SCIF)を"1"に設定します。

値	説明
0000	FIFO の 1 段目に変換結果が格納されたとき割込み要求発生
0001	FIFO の 2 段目に変換結果が格納されたとき割込み要求発生
0010	FIFO の 3 段目に変換結果が格納されたとき割込み要求発生
・・・	・・・
1101	FIFO の 14 段目に変換結果が格納されたとき割込み要求発生
1110	FIFO の 15 段目に変換結果が格納されたとき割込み要求発生
1111	FIFO の 16 段目に変換結果が格納されたとき割込み要求発生

5.5. スキャン変換 FIFO データレジスタ(SCFD)

スキャン変換 FIFO データレジスタ(SCFD)は、アナログ変換結果を格納するレジスタで、16 段の FIFO で構成されます。レジスタを読み出すことで順次データを取り出せます。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	SD11	SD10	SD9	SD8	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0	予約			
属性	R	R	R	R	R	R	R	R	R	R	R	R	R			
初期値	X	X	X	X	X	X	X	X	X	X	X	X	XXXX			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約			INVL	予約		RS1	RS0	予約			SC4	SC3	SC2	SC1	SC0
属性	R			R	R		R	R	R			R	R	R	R	R
初期値	XXX			1	XX		X	X	XXX			X	X	X	X	X

[bit31:20] SD11～SD0 : スキャン変換結果
スキャン変換時の 12 ビット A/D 変換結果が書き込まれます。

[bit19:13] 予約: 予約ビット
読出し値は不定です。

[bit12] INVL : A/D 変換結果無効ビット
本レジスタ値が無効である場合に設定されます。

値	説明
0	本レジスタ値が有効
1	本レジスタ値が無効

[bit11:10] 予約: 予約ビット
読出し値は不定です。

[bit9:8] RS1, RS0 : スキャン変換起動要因
本レジスタ値に対応する、スキャン変換の起動要因を表します。

値	説明
01	ソフトウェア起動
10	タイマ起動

[bit7:5] 予約 : 予約ビット
読出し値は不定です。

[bit4:0] SC4～SC0 : **変換入力チャネルビット**

SD11～SD0 に書き込まれた変換結果に対応するアナログ入力チャネルが書き込まれます。製品により存在しないチャネルの設定は書き込まれません。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

値	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

＜注意事項＞

本レジスタは A/D ステータスレジスタ(ADSR)の FDAS ビットの設定によってビット構成が異なります。FDAS ビットが"1"の場合は「3.3.6 FIFO データレジスタのビット配置選択」を参照してください。

本レジスタにバイトアクセスする場合、上位バイト(bit31:24)を読み出すことで FIFO データをシフトします。それ以外(bit23:16, bit15:8, bit7:0)を読み出しても、FIFO はシフトしません。ハーフワードアクセスする場合、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします。それ以外(bit15:0)を読み出しても、FIFO はシフトしません。ワードアクセスの場合には、FIFO はシフトします。

ソフトウェアとタイマが同時起動した場合に、RS[1:0]ビットで"11"が読み出されることもあります。

5.6. スキャン変換入力選択レジスタ(SCIS)

スキャン変換入力選択レジスタ(SCIS)は、スキャン変換時のアナログ入力チャネルを選択するレジスタです。複数のアナログ入力から任意に選択可能です。変換順序は選択されたチャネルの中で、番号の小さいチャネルから順番に変換されます。

■ SCIS3(上位バイト ：AN31～AN24), SCIS2(下位バイト ：AN23～AN16)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	AN31	AN30	AN29	AN28	AN27	AN26	AN25	AN24	AN23	AN22	AN21	AN20	AN19	AN18	AN17	AN16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] AN31～AN16 : アナログ入力選択ビット

"1"に設定することで、該当するチャネルがアナログ変換時に選択されます。

■ SCIS1(上位バイト ：AN15～AN8), SCIS0(下位バイト ：AN7～AN0)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	AN15	AN14	AN13	AN12	AN11	AN10	AN9	AN8	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] AN15～AN0 : アナログ入力選択ビット

"1"に設定することで、該当するチャネルがアナログ変換時に選択されます。

＜注意事項＞

A/D 変換中のチャネルの変更は禁止です。必ず A/D 変換の停止した状態で SCIS3～SCIS0 に書き込んでください。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではチャネル変更が可能です。

製品により存在しないチャネルに該当するビットへの"1"設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

■ スキャン変換順序例

変換順序は選択されたチャネルの中で、番号の小さいチャネルから順番に変換されます。

例) AN1, AN3, AN5, AN23 のビットに"1"を設定した場合、アナログ変換は ch.1→ch.3→ch.5→ch.23 の順番で変換します。

5.7. 優先変換コントロールレジスタ(PCCR)

優先変換コントロールレジスタ(PCCR)は、優先変換モードを制御します。
優先変換はスキャン変換を行っている間でも、優先的に変換できます。
また、優先変換の中でもさらに優先度を持つことができます(2 レベル)。

bit	15	14	13	12	11	10	9	8
Field	PEMP	PFUL	POVR	PFCLR	ESCE	PEEN	PHEN	PSTR
属性	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

[bit15] PEMP : 優先変換用 FIFO エンプティビット

FIFO がエンプティ(空)の状態になった場合に設定されます。優先変換 FIFO データレジスタ(PCFD)に変換データが書き込まれると、本ビットは"0"になります。書込みは無視されます。

値	説明
0	FIFO にデータが残っている状態
1	FIFO はエンプティ(空)の状態

[bit14] PFUL : 優先変換用 FIFO フルビット

FIFO がフル(満杯)の状態になった場合に設定されます。PFCLR ビットに"1"を書き込むか、優先変換 FIFO データレジスタ(PCFD)を読み出すと、本ビットは"0"になります。書込みは無視されます。

値	説明
0	FIFO のデータが入力できる状態
1	FIFO はフル(満杯)の状態

[bit13] POVR : 優先変換オーバランフラグ

FIFO フルの状態で FIFO に書込みを行おうとした場合に設定されます(FIFO フルの状態では変換データは上書きされません)。リードモディファイライトアクセスにおける読出し値は、ビット値にかかわらず"1"になります。ADCR レジスタの OVRIE ビットが"1"のとき、POVR ビットが"1"ならば CPU に対して割込みを発生します。

値	説明	
	読出し	書込み
0	オーバラン発生なし	ビットクリア
1	オーバラン発生あり	動作に影響しません

[bit12] PFCLR : 優先変換用 FIFO クリアビット

"1"を書き込むことで優先変換用 FIFO のクリアを行います。このとき FIFO はエンプティ(空)になるため、PEMP ビットは"1"に設定されます。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		FIFO のクリアを行う

[bit11] ESCE : 外部トリガアナログ入力選択ビット

外部トリガ起動のアナログ入力選択を優先変換入力選択レジスタ(PCIS)の P1A[2:0]ビットで行うか、外部入力端子 ECS[2:0]ビットで行うかを選択します。

値	説明
0	外部トリガ起動のアナログ入力選択を P1A[2:0]で行う
1	外部トリガ起動のアナログ入力選択を外部入力で行う

＜注意事項＞

A/D 変換中の ESCE ビットの書換えは禁止です。必ず A/D 変換の停止した状態で書き換えてください。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間では ESCE ビットの書換えが可能です。

製品により、外部端子 ECS[2:0]によるチャネル選択を使用できない場合は、ESCE ビットには必ず"0"を書き込んでください。

[bit10] PEEN : 優先変換の外部起動許可ビット

優先変換を外部トリガ端子入力の立下りエッジで起動をかける場合に本ビットを"1"に設定します。外部トリガ起動による変換は優先度 1(最優先)です。

値	説明
0	外部トリガ起動禁止
1	外部トリガ起動許可

[bit9] PHEN : 優先変換のタイマ起動許可ビット

優先変換をタイマからの立上りエッジで起動をかける場合に本ビットを"1"に設定します。"1"に設定した場合でも、ソフトウェアによる起動(PSTR=1)は有効です。タイマ起動による変換は優先度 2 (<優先度 1)です。

値	説明
0	タイマ起動禁止
1	タイマ起動許可

[bit8] PSTR : 優先変換スタートビット

"1"を書き込むことで A/D 変換を開始します。本ビットによる変換は優先度 2(<優先度 1)です。本ビットによる変換中の再起動はできません。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		優先変換起動

5.8. 優先変換 FIFO 段数設定レジスタ(PFNS)

優先変換 FIFO 段数設定レジスタ(PFNS)は、優先変換時の割込み要求を発生するための設定を行います。設定した段数分の A/D 変換データが格納されると、割込み要求ビット(PCIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	予約		TEST[1:0]		予約		PFS[1:0]	
属性	-		R		-		R/W	
初期値	XX		XX		XX		00	

[bit7:6] 予約: 予約ビット
書込みは動作に影響しません。
読出し値は不定です。

[bit5:4] TEST[1:0] : テストビット

書込み	動作に影響しません
読出し	値は不定

[bit3:2] 予約: 予約ビット
書込みは動作に影響しません。
読出し値は不定です。

[bit1:0] PFS[1:0] : 優先変換 FIFO 段数設定ビット
PFS[1:0]に設定された段数(N+1 段目)分の A/D 変換データが書き込まれると割込み要求フラグ(PCIF)を"1"に設定します。

値	説明
00	FIFO の 1 段目に変換結果が格納されたとき割込み要求発生
01	FIFO の 2 段目に変換結果が格納されたとき割込み要求発生
10	FIFO の 3 段目に変換結果が格納されたとき割込み要求発生
11	FIFO の 4 段目に変換結果が格納されたとき割込み要求発生

5.9. 優先変換 FIFO データレジスタ(PCFD)

優先変換 FIFO データレジスタ(PCFD)は、アナログ変換結果を格納するレジスタで、4 段の FIFO で構成されます。レジスタを読み出すことで順次データを取り出せます。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	予約			
属性	R	R	R	R	R	R	R	R	R	R	R	R	R			
初期値	X	X	X	X	X	X	X	X	X	X	X	X	XXXX			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約			INVL	予約	RS2	RS1	RS0	予約			PC4	PC3	PC2	PC1	PC0
属性	R			R	R	R	R	R	R			R	R	R	R	R
初期値	XXX			1	X	X	X	X	XXX			X	X	X	X	X

[bit31:20] PD11～PD0 : 優先変換結果
優先変換時の 12 ビット A/D 変換結果が書き込まれます。

[bit19:13] 予約: 予約ビット
読出し値は不定です。

[bit12] INVL : A/D 変換結果無効ビット
本レジスタ値が無効である場合に設定されます。

値	説明
0	本レジスタ値が有効
1	本レジスタ値が無効

[bit11] 予約: 予約ビット
読出し値は不定です。

[bit10:8] RS2～RS0 : スキャン変換起動要因
本レジスタ値に対応する、優先変換の起動要因を表します。

値	説明
001	ソフトウェア起動(優先度 2)
010	タイマ起動(優先度 2)
100	外部トリガ(優先度 1)

[bit7:5] 予約: 予約ビット
読出し値は不定です。

[bit4:0] PC4～PC0 : 変換入力チャネルビット
PD11～PD0 に書き込まれた変換結果に対応するアナログ入力チャネルが書き込まれます。製品により存在しないチャネルの設定は書き込まれません。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

値	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

＜注意事項＞

本レジスタは A/D ステータスレジスタ(ADSR)の FDAS ビットの設定によってビット構成が異なります。
FDAS ビットが"1"の場合は「3.3.6 FIFO データレジスタのビット配置選択」を参照してください。
本レジスタにバイトアクセスする場合、上位バイト(bit31:24)を読み出すことで FIFO データをシフトします。それ以外(bit23:16, bit15:8, bit7:0)を読み出しても、FIFO はシフトしません。ハーフワードアクセスする場合、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします。それ以外(bit15:0)を読み出しても、FIFO はシフトしません。ワードアクセスの場合には、FIFO はシフトします。
ソフトウェアとタイマが同時起動した場合に、RS[2:0]ビットで"011"が読み出されることもあります。
外部トリガ起動の変換はアナログ入力が ch.0～ch.7 のみ変換可能です。

5.10. 優先変換入力選択レジスタ(PCIS)

優先変換入力選択レジスタ(PCIS)は、優先変換時のアナログ入力チャネルを選択するレジスタです。優先度 2 のソフトウェア/タイマ起動時は複数のアナログ入力チャネルから 1 チャネルのみ指定可能です。優先度 1 の外部トリガ起動時は ch.0～ch.7 の 8 チャネルのうちから 1 チャネル指定可能です。

bit	7	6	5	4	3	2	1	0
Field	P2A[4:0]					P1A[2:0]		
属性	R/W					R/W		
初期値	00000					000		

[bit7:3] P2A[4:0] : 優先度 2 アナログ入力選択

優先度 2(ソフトウェア/タイマ)起動時のアナログ入力チャネルを指定します。全チャネルから選択できます。製品により存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

値	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

[bit2:0] P1A[2:0] : 優先度 1 アナログ入力選択

優先度 1(外部トリガ)起動時のアナログ入力チャネルを指定します。ch.0～ch.7 の 8 チャネルから選択できます。

値	説明
000	ch.0
001	ch.1
010	ch.2
・・・	・・・
101	ch.5
110	ch.6
111	ch.7

＜注意事項＞

A/D 変換中のチャネルの変更は禁止です。必ず A/D 変換の停止した状態で P1A, P2A に書き込んでください。
A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。
起動要因が無い期間ではチャネル変更が可能です。

5.11. A/D 比較値設定レジスタ(CMPD)

A/D 比較値設定レジスタ(CMPD)は、A/D 変換結果と比較するために、比較値を設定するレジスタです。本レジスタと A/D 比較コントロールレジスタ(CMPCR)で設定された条件を満たすと、A/D コントロールレジスタ(ADCR)の変換結果比較割込み要求ビット(CMPIF)がセットされます。

bit	31	30	29	28	27	26	25	24
Field	CMAD11	CMAD10	CMAD9	CMAD8	CMAD7	CMAD6	CMAD5	CMAD4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	CMAD3	CMAD2	予約					
属性	R/W	R/W	-					
初期値	0	0	XXXXXX					

[bit31:22] CMAD11～CMAD2 : A/D 変換比較値設定ビット

A/D 変換結果との比較値を設定するビットです。

A/D 変換結果の上位 10 ビット(bit11:2)と、本ビット(CMAD11～CMAD2)との比較を行います。A/D 変換結果の下位 2 ビット(bit1:0)の比較は行いません。

[bit21:16] 予約: 予約ビット

読出し値は不定です。

5.12. A/D 比較コントロールレジスタ(CMPCR)

A/D 比較コントロールレジスタ(CMPCR)は、A/D 比較機能の制御を行います。A/D 比較値設定レジスタ(CMPD)と変換値の比較を行い本レジスタの比較条件を満たすと、A/D コントロールレジスタ(ADCR)の変換結果比較割込み要求ビット(CMPIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	CMPEN	CMD1	CMD0	CCH[4:0]				
属性	R/W	R/W	R/W	R/W				
初期値	0	0	0	00000				

[bit7] CMPEN : 変換結果比較機能動作許可ビット

A/D 比較機能の動作を許可するビットです。

値	説明
0	比較機能動作停止
1	比較機能動作許可

[bit6] CMD1 : 比較モード 1

変換割込み要求を発生させる条件を設定します。

値	説明
0	A/D 変換結果の上位 10 ビット(bit11:2)が CMPD 設定値より小さい場合に割込み要求発生
1	A/D 変換結果の上位 10 ビット(bit11:2)が CMPD 設定値と同じか大きい場合に割込み要求発生

[bit5] CMD0 : 比較モード 0

比較対象を選択します。"1"のときは CCH[4:0]の設定は無効となります。

値	説明
0	CCH[4:0]で設定したチャネルの変換結果を比較
1	全チャネルの変換結果を比較

[bit4:0] CCH[4:0] : **比較対象アナログ入力チャネル**

比較対象とするアナログチャネルを設定します。CMD0 ビットが"1"のときはこのビットの設定は無効となります。製品により存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

値	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

5.13. サンプリング時間選択レジスタ(ADSS)

サンプリング時間選択レジスタ(ADSS3～ADSS0)は、ビットごとにサンプリング時間を設定可能にします。サンプリング時間設定レジスタ 0, 1(ADST0/1)のどちらのサンプリング時間を使用するかは本レジスタにより設定します。

■ ADSS3(上位バイト ：TS31～TS24), ADSS2(下位バイト ：TS23～TS16)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TS31	TS30	TS29	TS28	TS27	TS26	TS25	TS24	TS23	TS22	TS21	TS20	TS19	TS18	TS17	TS16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] TS31～TS16 : サンプリング時間選択ビット

該当するチャネルにサンプリング時間設定レジスタ(ADST)で指定したサンプリング時間を設定します。
"0"に設定すると ADST0 に設定した時間に、"1"に設定すると ADST1 に設定した時間となります。TS31 は ch.31 に、･･･、TS16 は ch.16 に対応します。

■ ADSS1(上位バイト ：TS15～TS8), ADSS0(下位バイト ：TS7～TS0)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] TS15～TS0 : サンプリング時間選択ビット

該当するチャネルにサンプリング時間設定レジスタ(ADST)で指定したサンプリング時間を設定します。
"0"に設定すると ADST0 に設定した時間に、"1"に設定すると ADST1 に設定した時間となります。TS15 は ch.15 に、･･･、TS0 は ch.0 に対応します。

＜注意事項＞

A/D 変換中の ADSS レジスタへの書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間選択レジスタ(ADSS)への書込みが可能です。
製品により存在しないチャネルに該当するビットへの"1"設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

5.14. サンプリング時間設定レジスタ(ADST)

サンプリング時間設定レジスタ 0/1(ADST0/ADST1)は、A/D 変換のサンプリング時間を設定します。ADST0 と ADST1 の 2 種類用意し、サンプリング時間選択レジスタ(ADSS3～ADSS0)にてどちらのサンプリング時間を使用するか選択できます。

■ ADST0(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	STX02	STX01	STX00	ST04	ST03	ST02	ST01	ST00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

[bit15:13] STX02～STX00 : サンプリング時間 N 倍設定ビット

ST04～ST00 ビットで設定したサンプリング時間の設定値を N 倍します。

bit15	bit14	bit13	説明
0	0	0	設定値×1 倍 (初期値)
0	0	1	設定値×4 倍
0	1	0	設定値×8 倍
0	1	1	設定値×16 倍
1	0	0	設定値×32 倍
1	0	1	設定値×64 倍
1	1	0	設定値×128 倍
1	1	1	設定値×256 倍

[bit12:8] ST04～ST00 : サンプリング時間設定ビット

A/D 変換のサンプリング時間を設定します。

サンプリング時間 = HCLK 周期×{(ST 設定値 + 1)×STX 設定倍数 + 1}

例) ST04～ST00 = 9, STX02, STX01, STX00 = 001(4 倍), HCLK = 40MHz(25ns)の場合
サンプリング時間 = 25ns×{(9 + 1)×4 + 1} = 1025ns

＜注意事項＞

A/D 変換中の ADST0 レジスタへの書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間設定レジスタ(上位バイト)(ADST0)への書込みが可能です。

サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、入力チャネルの外部インピーダンス, アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。

・TYPE0 製品の場合:
STX02, STX01, STX00=000(ST04～ST00 の設定値×1 倍)に設定した場合、ST04～ST00 は"3"以上を設定してください("2"以下は設定禁止です)。
・TYPE0 製品以外の場合:
STX02, STX01, STX00=000(ST04～ST00 の設定値×1 倍)に設定した場合、ST04～ST00 は"4"以上を設定してください("3"以下は設定禁止です)。
STX02, STX01, STX00=001(ST04～ST00 の設定値×4 倍)に設定した場合、ST04～ST00 は"1"以上を設定してください("0"は設定禁止です)。

■ ADST1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	STX12	STX11	STX10	ST14	ST13	ST12	ST11	ST10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

[bit7:5] STX12～STX10 : **サンプリング時間 N 倍設定ビット**

ST14～ST10 ビットで設定したサンプリング時間の設定値を N 倍します。

bit7	bit6	bit5	説明
0	0	0	設定値×1 倍 (初期値)
0	0	1	設定値×4 倍
0	1	0	設定値×8 倍
0	1	1	設定値×16 倍
1	0	0	設定値×32 倍
1	0	1	設定値×64 倍
1	1	0	設定値×128 倍
1	1	1	設定値×256 倍

[bit4:0] ST14～ST10 : **サンプリング時間設定ビット**

A/D 変換のサンプリング時間を設定します。

サンプリング時間 = HCLK 周期×{(ST 設定値 + 1)×STX 設定倍数 + 1}

例) ST14～ST10 = 9, STX12, STX11, STX10 = 001(4 倍), HCLK = 40MHz(25ns)の場合
サンプリング時間 = 25ns×{(9 + 1)×4 + 1} = 1025ns

＜注意事項＞

A/D 変換中の ADST1 レジスタへの書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間設定レジスタ(下位バイト)(ADST1)への書込みが可能です。

サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、入力チャネルの外部インピーダンス, アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。

・TYPE0 製品の場合:
STX12, STX11, STX10=000(ST14～ST10 の設定値×1 倍)に設定した場合、ST14～ST10 は"3"以上を設定してください("2"以下は設定禁止です)。

・TYPE0 製品以外の場合:
STX12, STX11, STX10=000(ST14～ST10 の設定値×1 倍)に設定した場合、ST14～ST10 は"4"以上を設定してください("3"以下は設定禁止です)。
STX12, STX11, STX10=001(ST14～ST10 の設定値×4 倍)に設定した場合、ST14～ST10 は"1"以上を設定してください("0"は設定禁止です)。

5.15. コンペア時間設定レジスタ(ADCT)

コンペア時間設定レジスタ(ADCT)は、A/D 変換時間のうちコンペア時間を設定するレジスタです。
本レジスタは TYPE0 製品と TYPE0 以外とでレジスタ機能が異なります。

■ TYPE0 製品の場合

bit	7	6	5	4	3	2	1	0
Field	予約					CT2	CT1	CT0
属性	-					R/W	R/W	R/W
初期値	XXXXX					1	1	1

[bit7:3] 予約: 予約ビット
書込み時は常に"0"を書き込んでください。読出し時は常に"0"が読み出されます。

[bit2:0] CT2～CT0 : コンペアクロック分周比設定ビット
A/D 変換のコンペアクロック生成のための HCLK の分周比を設定するビットです。
分周比の設定は、サンプリング時間設定レジスタ 0/1(ADST0/ADST1)ともに共通です。

bit2	bit1	bit0	説明
0	0	0	分周比 2
0	0	1	分周比 3
0	1	0	分周比 4
0	1	1	分周比 5
1	0	0	分周比 6
1	0	1	分周比 7
1	1	0	分周比 8
1	1	1	分周比 9 (初期値)

分周比 = CT 設定値 + 2
コンペアクロック周期 = ベースクロック(HCLK)周期×分周比
コンペア時間 = コンペアクロック周期×14
例) CT 設定値 = 3, HCLK=40MHz(25ns)の場合、
分周比 = 3 + 2 = 5
コンペアクロック周期 = 25ns×5 = 125ns
コンペア時間 = 125ns×14 = 1750ns

＜注意事項＞
動作許可状態遷移期間中、および A/D 変換中の ADCT レジスタへの書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではクロック分周比設定レジスタ(ADCT)への書込みが可能です。
コンペアクロック周期は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。

■ TYPE0 製品以外の場合

bit	7	6	5	4	3	2	1	0
Field	CT7	CT6	CT5	CT4	CT3	CT2	CT1	CT0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

[bit7:0] CT7～CT0 : **コンペアクロック分周比設定ビット**

A/D 変換のコンペアクロック生成のための HCLK の分周比を設定するビットです。
分周比の設定は、サンプリング時間設定レジスタ 0/1(ADST0/ADST1)ともに共通です。

値	説明
0x80	分周比 1
0x00	分周比 2
0x01	分周比 3
0x02	分周比 4
・・・	・・・
0x3C	分周比 62
0x3D	分周比 63
0x3E	分周比 64
0x3F	分周比 65

コンペアクロック周期 = ベースクロック(HCLK)周期×分周比
コンペア時間 = コンペアクロック周期×14
例) CT 設定値 = 0(コンペアクロック分周比 2), HCLK = 40MHz(25ns)の場合、
コンペアクロック周期 = 25ns×2 = 50ns
コンペア時間 = 50ns×14 = 700ns

＜注意事項＞

bit7:0 に対して"0x40"～"0x7F"の設定は禁止です。
動作許可状態遷移期間中および A/D 変換中の ADCT レジスタへの書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではクロック分周比設定レジスタ(ADCT)への書込みが可能です。
クロック生成部のベースクロックプリスケーラレジスタ(BSC_PSR)を"0x0"に設定している場合のみ、分周比 1 での A/D 変換を行うことができます。
コンペアクロック周期は、ご使用する製品の『データシート』の「電気的特性」記載内容に従い、アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。

5.16. A/D 動作許可設定レジスタ(ADCEN)

A/D 動作許可設定レジスタ(ADCEN)は、12 ビット A/D コンバータを動作許可状態に設定するレジスタです。
本レジスタは TYPE0 製品と TYPE0 以外とでレジスタ機能が異なります。

■ TYPE0 製品の場合

bit	7	6	5	4	3	2	1	0
Field	予約						READY	ENBL
属性	-						R	R/W
初期値	XXXXXX						0	0

[bit7:2] 予約: 予約ビット
書込み時は常に"0"を書き込んでください。読出し時は常に"0"が読み出されます。

[bit1] READY : A/D 動作許可状態ビット
A/D コンバータが動作許可状態か否かを示すビットです。

動作許可状態のときのみ A/D 変換を行うことができます。
動作停止状態中の A/D 変換要求は無視されます。
A/D 変換中に動作停止状態となった場合、A/D 変換は直ちに停止します。

値	説明
0	動作停止状態
1	動作許可状態

[bit0] ENBL : A/D 動作許可ビット
A/D コンバータを動作許可にするビットです。

ENBL ビットに"1"を書き込むことで、動作許可状態遷移期間後に A/D コンバータは動作許可状態となります。また、本ビットに"0"を書き込むことで、A/D コンバータは動作停止状態となります。

値	説明
0	動作停止
1	動作許可

表 5-1 に、ADCT:CT[2:0]から選択される動作許可状態遷移サイクル数を示します。

表 5-1 動作許可状態遷移サイクル数対応表

ADCT:CT[2:0]	説明
000	72 サイクル
001	108 サイクル
010	144 サイクル
011	180 サイクル
100	216 サイクル
101	252 サイクル
110	288 サイクル
111	324 サイクル

動作許可状態遷移期間 = ベースクロック(HCLK)周期×動作許可状態遷移サイクル数

例) CT 設定値 = 3, HCLK = 40MHz(25ns)の場合、
動作許可状態遷移期間 = 25×180 = 4500ns

＜注意事項＞

動作許可状態遷移期間中および A/D 変換中の ADCT レジスタへの書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではクロック分周比設定レジスタ(ADCT)への書込みが可能です。

ADCT の設定後に、ADCEN の設定を行ってください。ADCT はご使用する製品の『データシート』の「電気的特性」の動作許可状態遷移期間を満たすように設定してください。

CPU をタイマモード, ストップモードに設定するときには、ENBL="0"を設定して A/D コンバータを動作停止状態にしてください。

■ TYPE0 製品以外の場合

bit	7	6	5	4	3	2	1	0
Field	予約		CYCLSL[1:0]		予約		READY	ENBL
属性	-		R/W		-		R	R/W
初期値	XX		00		XX		0	0

[bit7:6] 予約 : 予約ビット
読出し値は不定です。

[bit5:4] CYCLSL[1:0] : 基本サイクル選択ビット
動作許可状態遷移期間のベースクロック(HCLK)の基本サイクル数を選択するビットです。

値	説明
00	36 サイクル
01	20 サイクル
10	9 サイクル
11	44 サイクル

動作許可状態遷移期間 = ベースクロック(HCLK)周期×動作許可状態遷移サイクル数
動作許可状態遷移サイクル数 = 基本サイクル数×コンペアクロック分周比
例) ADCT:CT[7:0] = 0x00(コンペアクロック分周比 2), CYCLSL[1:0] = 0b11(44 サイクル), HCLK = 40MHz(25ns)の場合、
動作許可状態遷移サイクル数 = 44×2 = 88
動作許可状態遷移期間 = 25ns×88 = 2200ns

表 5-2 に、ADCT:CT[7:0], CYCLSL[1:0]から選択される動作許可状態遷移サイクル数を示します。

表 5-2 動作許可状態遷移サイクル数対応表

ADCT:CT[7:0]	CYCLSL[1:0]			
	00	01	10	11
0x80	36	20	9	44
0x00	72	40	18	88
0x01	108	60	27	132
0x02	144	80	36	176
・・・	・・・			
0x3C	2232	1240	558	2728
0x3D	2268	1260	567	2772
0x3E	2304	1280	576	2816
0x3F	2340	1300	585	2860

[bit3:2] 予約: 予約ビット
読出し値は不定です。

[bit1] READY : A/D 動作許可状態ビット
A/D コンバータが動作許可状態か否かを示すビットです。
動作許可状態のときのみ A/D 変換を行うことができます。
動作停止状態中の A/D 変換要求は無視されます。
A/D 変換中に動作停止状態となった場合、A/D 変換は直ちに停止します。

値	説明
0	動作停止状態
1	動作許可状態

[bit0] ENBL : A/D 動作許可ビット
A/D コンバータを動作許可にするビットです。
ENBL ビットに"1"を書き込むことで、動作許可状態遷移期間後に A/D コンバータは動作許可状態となります。また、本ビットに"0"を書き込むことで、A/D コンバータは動作停止状態となります。

値	説明
0	動作停止
1	動作許可

＜注意事項＞

ADCT.CT[7:0]の設定を行ってから、CYCLSL[1:0]ビットの設定, ENBL ビットへの"1"書込みを行ってください。
動作許可状態遷移期間中の CYCLSL[1:0]ビットの書換えは禁止です。
動作許可状態遷移期間中および A/D 変換中の ADCT レジスタへの書換えは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではクロック分周比設定レジスタ(ADCT)への書込みが可能です。
ADCT.CT[7:0], CYCLSL[1:0]ビットはご使用する製品の『データシート』の「電気的特性」の動作許可状態遷移期間を満たすように設定してください。
CPU をタイマモード, ストップモードに設定するときには、ENBL="0"を設定して A/D コンバータを動作停止状態にしてください。

CHAPTER 1-3: 12 ビット A/D コンバータ(B)

12 ビット A/D コンバータの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

1. 概要

12 ビット A/D コンバータは、RC 逐次比較変換方式によりアナログ入力電圧を 12 ビットのデジタル値に変換する機能です。

■ 12 ビット A/D コンバータの特長

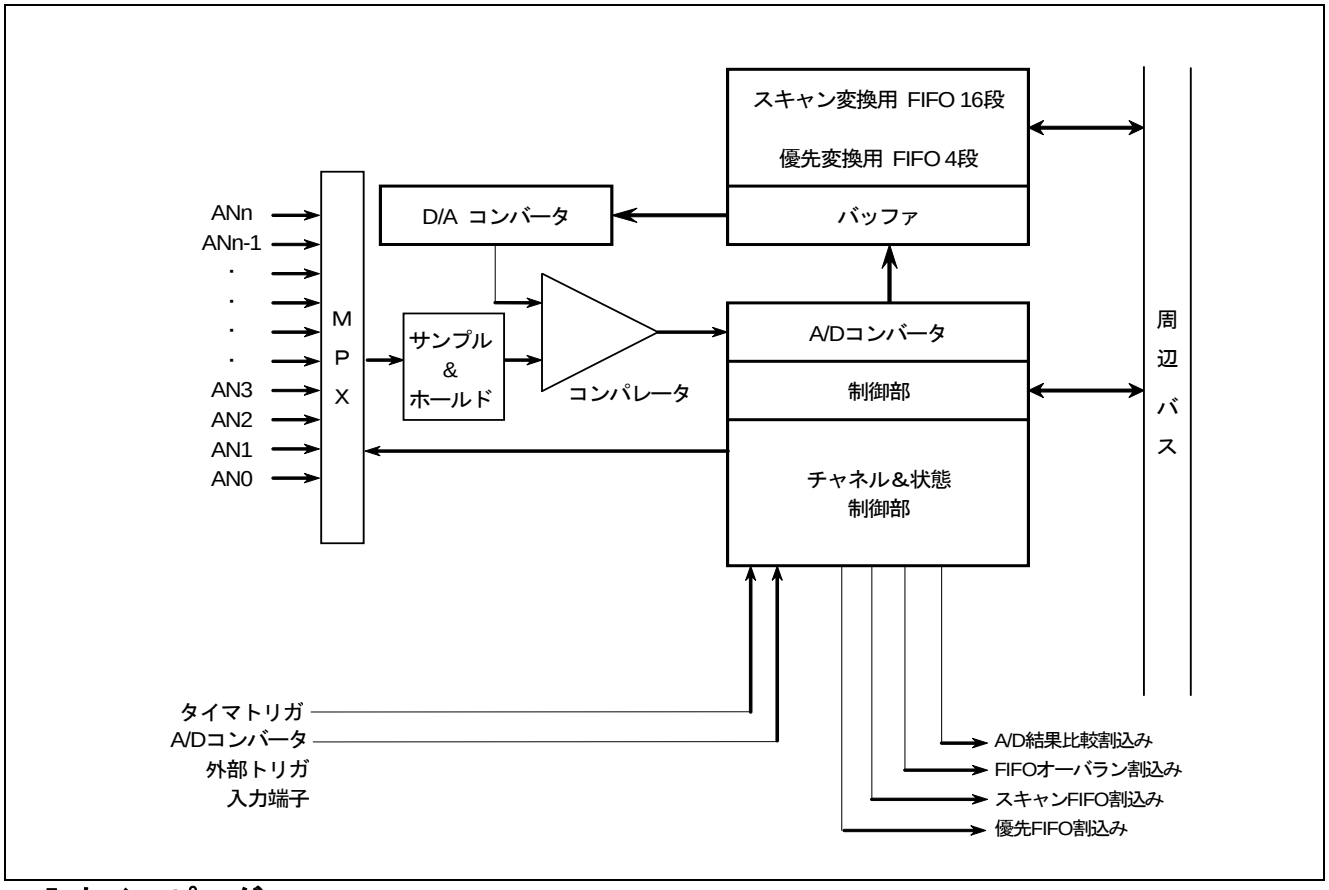
- 12 ビットの分解能
- サンプル&ホールド回路付き RC 型逐次比較変換方式を採用
- 最小変換時間 1.0 µs
- 入力チャネルごとにサンプリング時間を 2 種類から設定可能
- スキャン変換動作 :
  アナログ入力を複数チャネルから任意に複数選択可能
  起動要因はソフトウェア/タイマ
  リピートモードあり
- 優先変換動作 :
  スキャン変換中においても優先変換の起動要因が発生すると、スキャン変換を中断し優先的に変換を行うことが可能(優先度 1, 2 の 2 レベル用意、優先順位は優先度 1＞優先度 2)
  起動要因はソフトウェア/タイマ(優先度 2), 外部トリガ(優先度 1)
- FIFO 機能 :
  スキャン変換用 FIFO 16 段、優先変換用 FIFO 4 段搭載
  設定した FIFO 段数にデータが書き込まれると、割込みを発生
- A/D 変換データの配置変更可能(MSB 側へシフト/LSB 側へシフトを選択可能)
- A/D 変換結果比較機能あり
- 割込み要因は以下の 4 要因
  1. スキャン変換用 FIFO 段数割込み
  2. 優先変換用 FIFO 段数割込み
  3. FIFO オーバラン割込み(スキャン変換用・優先変換用共通)
  4. A/D 変換結果比較割込み
- 割込み要求による DMA 転送が可能

2. 構成

12 ビット A/D コンバータの構成を示します。

■ 12 ビット A/D コンバータのブロックダイヤグラム

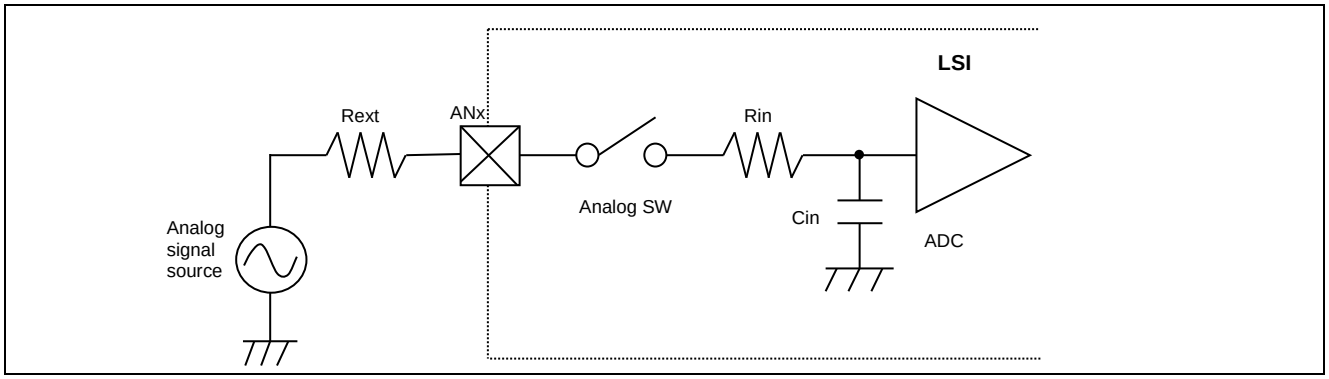
図 2-1 12 ビット A/D コンバータのブロックダイヤグラム



■ 入力インピーダンス

A/D コンバータのサンプリング回路は図 2-2 の等価回路で表されます。外部インピーダンス Rext は、ご使用する製品の『データシート』の「電気的特性」を参照してサンプリング時間を超えない値にしてください。

図 2-2 入力インピーダンス等価回路図



3. 動作説明

12 ビット A/D コンバータの動作について説明します。

3.1 A/D コンバータの動作許可
3.2 A/D 変換動作
3.3 FIFO の動作
3.4 A/D 比較機能
3.5 DMA 起動

3.1. A/D コンバータの動作許可

A/D コンバータの動作許可について説明します。

A/D コンバータは A/D 変換を行う前に動作許可状態にしてください。A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可ビット(ENBL)に"1"を書き込むことで、A/D コンバータは動作許可状態遷移期間後、動作停止状態から動作許可状態になります。また、A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可ビット(ENBL)に"0"を書き込むことで、A/D コンバータは即座に動作停止状態となります。

動作許可状態のときのみ A/D 変換ができます。動作停止状態での A/D 変換要求は無視されます。A/D 変換中に動作停止状態となった場合、A/D 変換は直ちに停止します。

A/D 動作許可設定レジスタ(ADCEN)の A/D 動作許可状態ビット(READY)を読み出すことで動作状態の確認ができます。("1"： 動作許可状態, "0"： 動作停止状態)

3.2. A/D 変換動作

A/D コンバータはスキャン変換、優先変換の 2 種類の変換が可能です。

3.2.1 スキャン変換動作

3.2.2 優先変換動作

3.2.3 優先順位と状態遷移

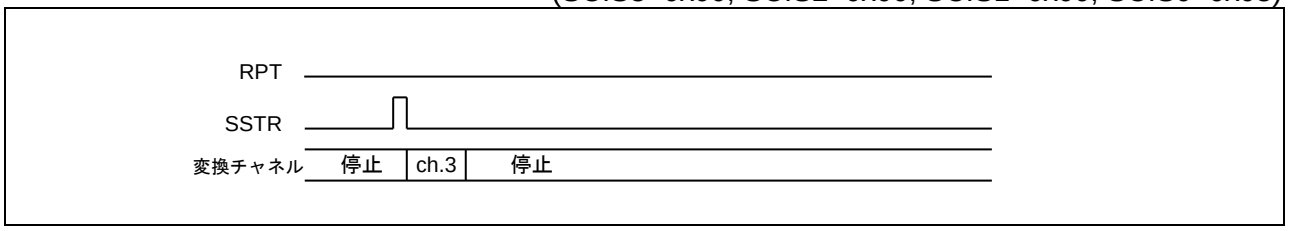
3.2.1. スキャン変換動作

スキャン変換動作について説明します。

入力チャネルの選択はスキャン変換入力選択レジスタ(SCIS)にて行います。SCIS レジスタの対応するビットに"1"を設定することで、複数のアナログ入力チャネルの中から必要なチャネルを任意に設定可能です。
A/D の起動はソフトウェアによる起動とタイマによる起動が可能です。ソフトウェアによる起動はスキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"を書き込むことで変換が開始します。タイマによる起動は、スキャン変換コントロールレジスタ(SCCR)のスキャン変換のタイマ起動許可ビット(SHEN)に"1"を書き込み、タイマ起動を許可した状態で、タイマの立上りエッジを検出すると A/D 変換を開始します。A/D 変換が開始すると、A/D ステータスレジスタ(ADSR)のスキャン変換ステータスフラグ(SCS)が"1"に設定されます。変換終了後 SCS は"0"にリセットされます。
A/D の変換中に再度、スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"を書き込むか、タイマ起動許可中に再度タイマの立上りエッジを検出すると、変換中の動作を直ちに停止・初期化し、A/D 変換を再度行います(再起動)。
スキャン変換には以下の変換モードがあります。

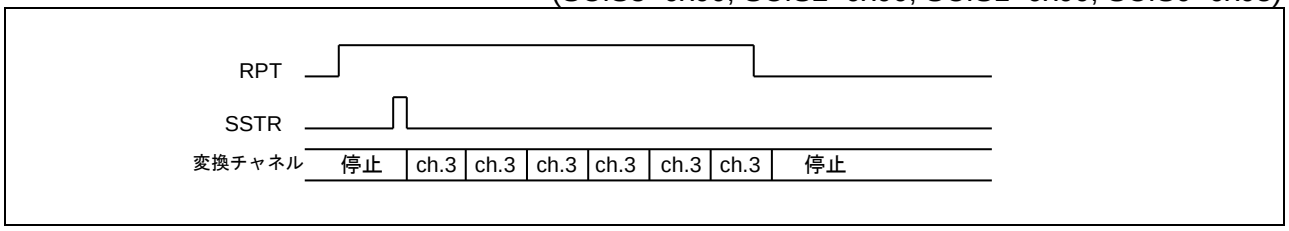
1. 単一チャネルによる単発モード
   スキャン変換用のアナログ優先変換を 1 優先変換のみ指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"0"の場合が本モードとなります。選択した優先変換の変換が終了後停止します。

図 3-1 単一チャネル選択時の単発モード時の停止動作
(SCIS3=0x00, SCIS2=0x00, SCIS1=0x00, SCIS0=0x08)



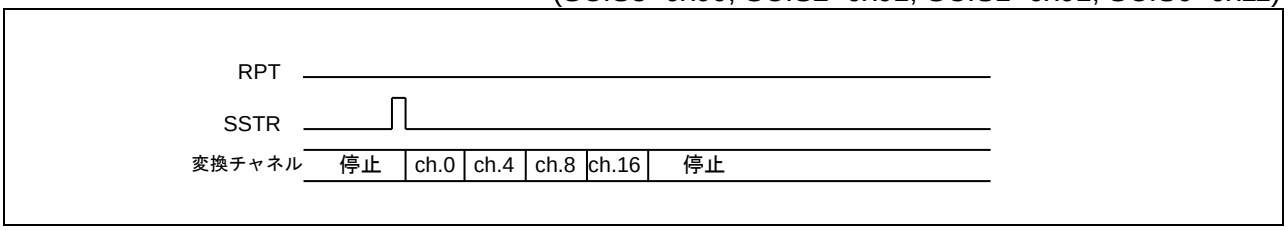
2. 単一チャネルによる連続モード
   スキャン変換用のアナログ優先変換を 1 優先変換のみ指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"1"の場合が本モードとなります。選択した優先変換の変換が終了すると再度同じ優先変換の変換を開始します。A/D 変換を終了するには、RPT に"0"を書き込むことで、変換中の動作が終了後停止します。

図 3-2 単一チャネル選択時の連続モード時の停止動作
(SCIS3=0x00, SCIS2=0x00, SCIS1=0x00, SCIS0=0x08)



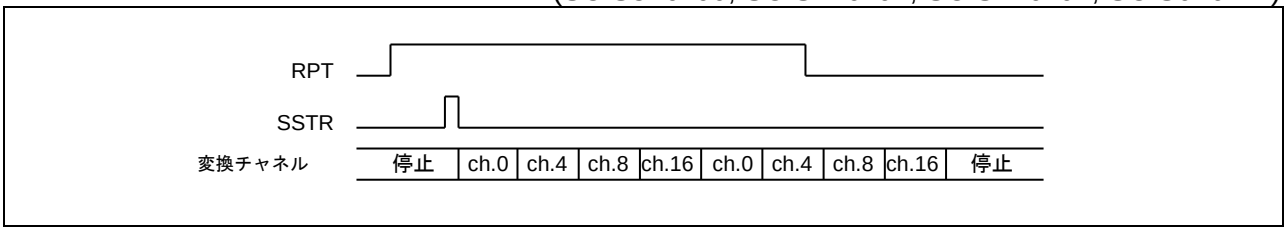
3. 複数チャネルによる単発モード
   スキャン変換用のアナログチャネルを複数指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"0"の場合が本モードとなります。変換を開始すると、自動的に各チャネルの有無を調べ、順次チャネル切換えと A/D の変換起動、変換終了後の変換結果の FIFO への書込みを行います。変換チャネルは ch.0→ch.1→ch.2・・・の順で選択され、SCIS レジスタで選択されていないチャネルは変換を行わずに次に選択されているチャネルに移ります。選択された最後のチャネルの A/D 変換が終わると、A/D 変換を停止します。

図 3-3 複数チャネル選択時の単発モード時の停止動作
(SCIS3=0x00, SCIS2=0x01, SCIS1=0x01, SCIS0=0x11)



4. 複数チャネルによる連続モード
   スキャン変換用のアナログチャネルを複数指定し、スキャン変換コントロールレジスタ(SCCR)のスキャン変換リピートビット(RPT)が"1"の場合が本モードとなります。変換を開始すると、自動的に各チャネルの有無を調べ、順次チャネル切換えと A/D の変換起動、変換終了後の変換結果の FIFO への書込みを行います。変換チャネルは ch.0→ch.1→ch.2・・・の順で選択され、SCIS レジスタで選択されていないチャネルは変換を行わずに次に選択されているチャネルに移ります。選択された最後のチャネルの A/D 変換が終わると、再度 ch.0 からの変換を開始します。A/D 変換を終了するには、RPT に"0"を書き込むことで、選択された最後のチャネルの A/D 変換が終了した後、停止します。

図 3-4 複数チャネル選択時の連続モード時の停止動作
(SCIS3=0x00, SCIS2=0x01, SCIS1=0x01, SCIS0=0x11)



3.2.2. 優先変換動作

優先変換動作について説明します。

優先的に変換をしたい場合は本モードを使用します。スキャン変換中でも、優先変換が起動されると、スキャン変換を直ちに中断し、優先的に変換を行います。優先変換を終了すると中断されたチャネルからスキャン変換を再開します。また、優先変換中でもより高い優先度(優先度 1)の変換が起動されると、優先度の低い(優先度 2)変換を直ちに中断し、優先度 1 の変換を行います。優先度 1 の変換終了後、優先度 2 の変換を再開します。
優先変換は 2 レベルの優先度が与えられます。優先度は優先度 1(最優先)>優先度 2 となります。優先度 1 の起動要因は外部端子によるトリガ起動、優先度 2 の起動要因はソフトウェア/タイマ起動が割り当てられます。
入力チャネルの選択は優先変換入力選択レジスタ(PCIS)にて行います。

- 優先度 1 のチャネル選択方法は、優先変換コントロールレジスタ(PCCR)の外部トリガアナログ入力選択ビット(ESCE)によって異なります。
  ESCE=0 の場合 ： 優先変換入力選択レジスタ(PCIS)の優先度 1 アナログ入力選択ビット(P1A[2:0])で行い、ch.0～ch.7 の 8 チャネルの中から、1 チャネルのみ選択できます。
  ESCE=1 の場合 ： 優先変換入力選択レジスタ(PCIS)の優先度 1 アナログ入力選択ビット(P1A[2:0])の設定は無視され、外部端子(ECS[2:0])入力により ch.0～ch.7 の 8 チャネルの中から 1 チャネルのみ選択できます。
  例) ECS[2:0] = 000 → ch.0
  = 010 → ch.2
  = 111 → ch.7
- 優先度 2 のチャネル選択は、優先変換入力選択レジスタ(PCIS)の優先度 2 アナログ入力選択ビット(P2A[4:0])で行い、複数の入力チャネルの中から 1 チャネルのみ選択できます。

A/D の起動要因は優先度により異なります。

- 優先度 1(最優先)は外部トリガ入力の立下りエッジにより起動が可能です。
  外部トリガ起動を有効にするためには、優先変換コントロールレジスタ(PCCR)の PEEN ビットに"1"を書き込んでください。
- 優先度 2 はソフトウェアによる起動とタイマによる起動が可能です。
  ソフトウェアによる起動は優先変換コントロールレジスタ(PCCR)の PSTR ビットに"1"を書き込むことで変換が開始します。タイマによる起動は、優先変換コントロールレジスタ(PCCR)の PHEN ビットに"1"を書き込み、タイマ起動を許可した状態で、タイマの立上りエッジを検出して変換を開始します。変換が開始すると、A/D ステータスレジスタ(ADSR)の優先変換ステータスフラグビット(PCS)が"1"に設定されます。変換終了後 PCS ビットは"0"にリセットされます。

優先変換モードでは、再起動はできません。また同一優先度の起動要因は無視されます。
(ソフトウェア起動中のタイマによる起動要因は無視されます。)

優先度 2 の起動要因(ソフトウェア/タイマ)で変換中に優先度 1 の起動要因(外部トリガ)が発生した場合は A/D ステータスレジスタ(ADSR)の優先変換保留フラグビット(PCNS)を"1"に設定し優先度 2 の変換は直ちに中断します。優先度 1 の変換が終了すると、PCNS ビットは"0"にリセットされ、中断した優先度 2 の変換を再開します。優先度 1 の変換中に優先度 2 の起動要因が発生すると、優先度 2 の起動要因は保留し(要因を保持)、PCNS ビットを"1"に設定します。優先度 1 の変換を終了後、PCNS は"0"にリセットされ優先度 2 の変換を開始します。

優先変換は単一チャネルによる単発モードのみ可能です。

3.2.3. 優先順位と状態遷移

優先順位と状態遷移について説明します。

■ 優先順位

表 3-1 A/D コンバータの優先順位

優先順位	変換種類	起動要因
1	優先度 1 の優先変換	外部トリガ端子入力(立下りエッジ)
2	優先度 2 の優先変換	・ソフトウェア(優先変換コントロールレジスタ(PCCR)の優先変換スタートビット(PSTR)に"1"書込み) ・タイマからのトリガ入力(立上りエッジ)
3	スキャン変換	・ソフトウェア(スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"書込み) ・タイマからのトリガ入力(立上りエッジ)

・スキャン変換中に優先変換による起動が発生した場合
スキャン変換による動作を中断し、優先変換による動作を行います。優先変換の動作が終了すると中断したチャネルから自動的にスキャン変換を再開します。

・優先度 2 の変換中に優先度 1 の起動が発生した場合
優先度 2 の変換を中止し、優先度 1 の起動による動作を行います。優先度 1 の動作が終了すると、自動的に優先度 2 の変換を再開します。

・優先度 1 の変換中に優先度 2 の起動が発生した場合
優先度 2 の起動要因が保持されます。優先度 1 の変換動作が終了すると、自動的に優先度 2 の変換を開始します。

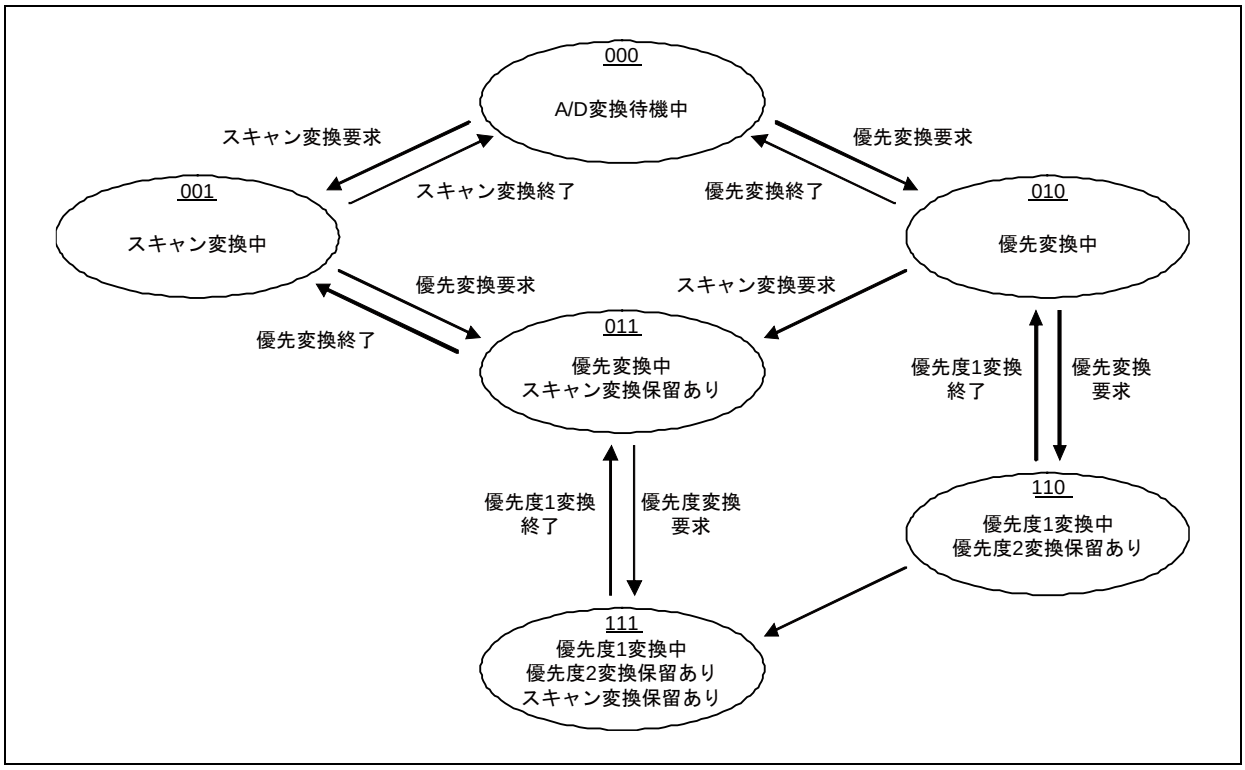
・優先度 1 の変換中にスキャン変換の起動が発生した場合
スキャン変換の起動要因は保持されます。優先度 1 の変換動作が終了すると、自動的にスキャン変換による動作を開始します。

・優先度 2 の変換中にスキャン変換の起動が発生した場合
スキャン変換の起動要因は保持されます。優先度 2 の変換動作が終了すると、自動的にスキャン変換による動作を開始します。

・優先変換の動作中は同一優先順位の起動要因はマスクされます(再起動はかかりません)。

■ 状態遷移

図 3-5 12 ビット A/D コンバータの状態遷移



ADSR レジスタの PCNS, PCS, SCS ビットにより動作状態を読み出せます。

表 3-2 ADSR レジスタのビットと動作状態の対応

PCNS	PCS	SCS	状態の説明
0	0	0	A/D 変換待機中。
0	0	1	スキャン変換による A/D 変換中。
0	1	0	優先変換(優先度 1, 2)による A/D 変換中。
0	1	1	優先変換(優先度 1, 2)による A/D 変換中。 スキャン変換の変換保留あり。
1	1	0	優先変換(優先度 1)による A/D 変換中。優先変換(優先度 2)の保留あり。
1	1	1	優先変換(優先度 1)による A/D 変換中。スキャン変換と優先変換(優先度 2)の保留あり。

3.3. FIFO の動作

A/D コンバータはスキャン変換用に 16 段、優先変換用に 4 段の FIFO を搭載しています。FIFO の設定した段数に変換データが書き込まれると CPU に対して割込みを発生します。

3.3.1 スキャン変換の FIFO 動作

3.3.2 スキャン変換の割込み

3.3.3 優先変換の FIFO 動作

3.3.4 優先変換の割込み

3.3.5 FIFO データの有効・無効

3.3.6 FIFO データレジスタのビット配置選択

3.3.1. スキャン変換の FIFO 動作

スキャン変換の FIFO 動作について説明します。

スキャン変換データの書込み用に FIFO を 16 段搭載しています。リセット解除後は空(エンプティ)の状態でスキャン変換コントロールレジスタ(SCCR)のスキャン変換用 FIFO エンプティビット(SEMP)は"1"に設定されています。1 チャネル分の A/D 変換が終了すると、FIFO の 1 段目に変換結果, 起動要因, 変換チャネルが書き込まれます。これにより、スキャン変換用 FIFO エンプティビット(SEMP)が"0"にリセットされます。次のチャネルの変換結果, 起動要因, 変換チャネルは 2 段目の FIFO に順次書き込まれます。

16 段すべてに書込みが行われると、スキャン変換コントロールレジスタ(SCCR)のスキャン変換用 FIFO フルビット(SFUL)を"1"に設定し FIFO がフル(満杯)の状態になります。FIFO フルの状態で変換が行われ FIFO にデータを書き込もうとした場合はスキャン変換コントロールレジスタ(SCCR)のスキャン変換オーバランフラグビット(SOVR)を"1"に設定しデータは捨てられます(上書きできません)。

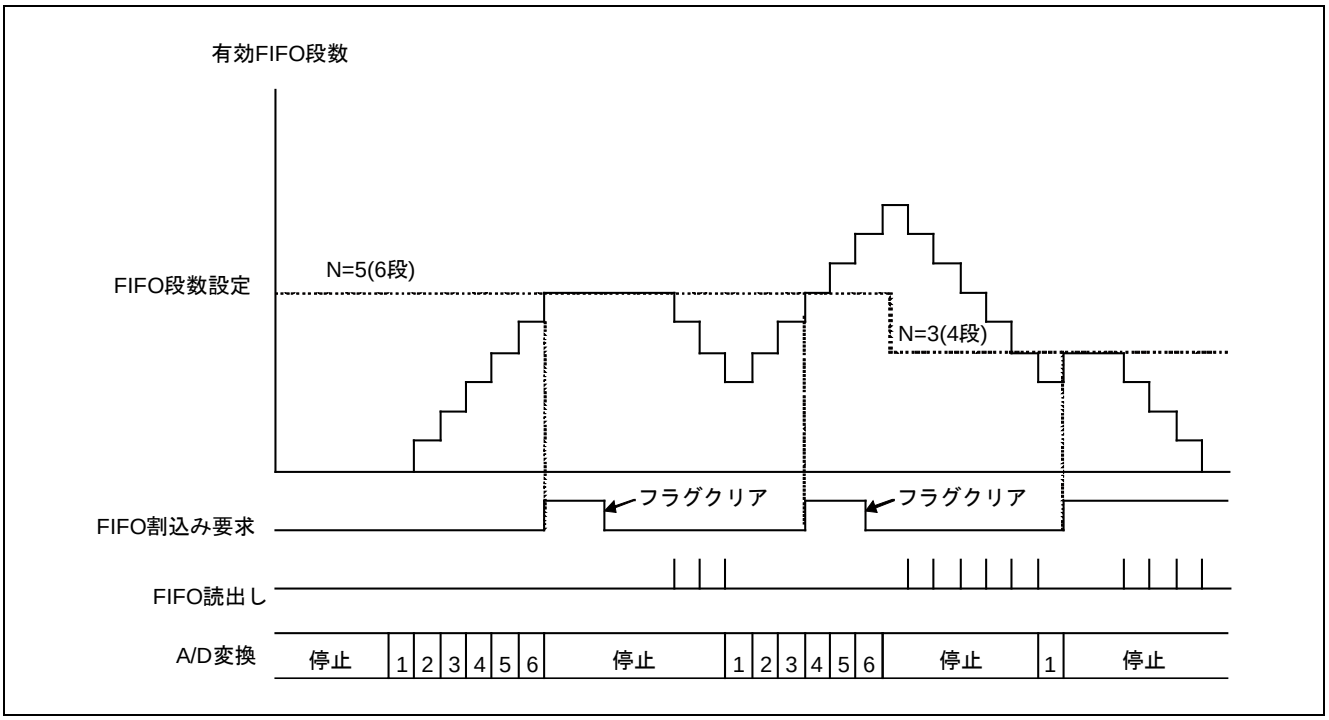
FIFO のデータをクリアしたい場合は、スキャン変換コントロールレジスタ(SCCR)の SFCLR ビットに"1"を書き込んでください。FIFO は空の状態となりスキャン変換用 FIFO エンプティビット(SEMP)は"1"に設定されます。

FIFO の読出しは、スキャン変換 FIFO データレジスタ(SCFD)を読み出すことで、順次 FIFO を読み出せます。スキャン変換 FIFO データレジスタ(SCFD)をバイト(8 ビット)アクセスする場合には、上位バイト(bit31:24)を読み出すことで FIFO はシフトします(それ以外(bit23:16, bit15:8, bit7:0)を読み出しても FIFO はシフトしません)。ハーフワード(16 ビット)アクセスする場合には、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします(それ以外(bit15:0)を読み出しても FIFO はシフトしません)。ワード(32 ビット)アクセスの場合には、FIFO はシフトします。

3.3.2. スキャン変換の割込み

スキャン変換の割込みについて説明します。

図 3-6 FIFO 割込み設定と FIFO の動作



スキャン変換 FIFO 段数設定レジスタ(SFNS)のスキャン変換 FIFO 段数設定ビット(SFS[3:0])へ設定した FIFO 段数(N+1)分の変換データが FIFO に書き込まれると、A/D コントロールレジスタ(ADCR)のスキャン変換割込み要求ビット(SCIF)が"1"に設定されます。スキャン変換割込み許可ビット(SCIE)に"1"が書き込まれていた場合、CPU に対して割込み要求を発生します。
スキャン変換の各モードによる FIFO 段数割込み方法を説明します。

1. 単一チャネルによる単発モード
   設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には SFS[3:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、SCIF ビットを"1"に設定します。

＜注意事項＞
SFS[3:0]ビットを 0x1 以上(2 段以上)に設定した場合は、設定した段数分、変換データが FIFO に書き込まれるまで割込みは発生しないため、注意してください。

2. 単一チャネルによる連続モード
   設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には SFS[3:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、SCIF ビットを"1"に設定します。
   設定したチャネルをある回数変換終了したら割込みを発生したい場合は、SFS[3:0]を 0x1 以上(2 段以上)に設定してください。例えば 4 回リピート後割込みを発生させる場合は、SFS[3:0]=0x3 に設定してください。

3. 複数チャネルによる単発モード
   設定した複数のチャネルの終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数に合わせてください。選択したチャネル数が 8 チャネルの場合、FIFO の段数設定を SFS[3:0]=0x7 に設定することで、選択した最終のチャネルの変換終了後、SCIF ビットを"1"に設定されます。
   選択したチャネル数よりも SFS[3:0]ビットの設定を小さくすることで、スキャン終了前の任意のタイミングで割込みを発生できます。
4. 複数チャネルによる連続モード
   設定した複数のチャネルの 1 回目のスキャン終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数に合わせてください。選択したチャネル数が 8 チャネルの場合、FIFO の段数設定を SFS[3:0]=0x7 に設定することで、選択した最終のチャネルの変換終了後、SCIF ビットを"1"に設定します。
   2 回目のスキャン終了後、割込みを発生させる場合には、FIFO 段数を設定したチャネル数の 2 倍に設定してください。例えば選択したチャネル数は 4 の場合、FIFO 段数を 8 段(SFS[3:0]=0x7)にすることで、2 回目のスキャン終了後、割込みを発生させられます。
   そのほかにも、FIFO の段数を任意に設定できるため、様々なタイミングで割込みを発生することが可能です。

3.3.3. 優先変換の FIFO 動作

優先変換の FIFO 動作について説明します。

優先変換データの書込み用に FIFO を 4 段搭載しています。リセット解除後は空(エンプティ)の状態で優先変換コントロールレジスタ(PCCR)の優先変換用 FIFO エンプティビット(PEMP)は"1"に設定されています。1 回の A/D 変換が終了すると、FIFO の 1 段目に変換結果, 起動要因, 変換チャネルが書き込まれます。これにより、PEMP ビットが"0"にリセットされます。2 回目の変換結果と変換チャネルは 2 段目の FIFO に順次書き込まれます。

4 段すべてに書込みが行われると、優先度変換用 FIFO フルビット(PFUL)を"1"に設定し FIFO がフル(満杯)の状態になります。FIFO フルの状態で変換が行われ FIFO にデータを書き込もうとした場合は優先度変換オーバラン(POVR)を"1"に設定しデータは捨てられます(上書きできません)。

FIFO のデータをクリアしたい場合は、優先変換コントロールレジスタ(PCCR)の優先後変換用 FIFO クリアビット(PFCLR)に"1"を書き込んでください。FIFO は空の状態となり PEMP ビットは"1"に設定されます。

FIFO の読出しは、優先 FIFO データレジスタ(PCFD)を読み出すことで、順次 FIFO を読み出せます。本レジスタをバイト(8 ビット)アクセスする場合には、上位バイト(bit31:24)を読み出すことで FIFO はシフトします(それ以外(bit23:16, bit15:8, bit7:0)を読み出しても FIFO はシフトしません)。ハーフワード(16 ビット)アクセスする場合には、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします(それ以外(bit15:0)を読み出しても FIFO はシフトしません)。ワード(32 ビット)アクセスの場合には、FIFO はシフトします。

3.3.4. 優先変換の割込み

優先変換の割込みについて説明します。

優先変換 FIFO 段数設定レジスタ(PFNS)の PFS[1:0]に設定した FIFO 段数(N+1)分の変換データが FIFO に書き込まれると、A/D コントロールレジスタ(ADCR)の優先度変換割込み要求ビット(PCIF)が"1"に設定されます。優先度変換割込み許可ビット(PCIE)に"1"が書き込まれていた場合、CPU に対して割込み要求を発生します。

優先変換の FIFO 段数割込み方法を説明します。

設定したチャネルの 1 回の変換が終了後割込みを発生させる場合には、PFS[1:0]=0x0 に設定してください。1 段目の FIFO に変換データが書き込まれると、PCIF ビットが"1"に設定されます。

＜注意事項＞

PFS[1:0]を 0x1 以上(2 段以上)に設定した場合は、設定した段数分、変換データが FIFO に書き込まれるまで割込みは発生しないため、注意してください。

3.3.5. FIFO データの有効・無効

FIFO データレジスタを読み出すときの制約について説明します。

スキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)の bit12 には、データが有効か無効かを示す A/D 変換結果無効ビット(INVL)が搭載されています。FIFO データレジスタ(SCFD, PCFD)の読出し時にデータが有効である場合、INVL="0"がセットされ、データが無効である場合、INVL="1"がセットされます。

ワード(32 ビット)読出しの場合、INVL ビットによりデータの有効・無効が判定できます。

割込みやエンプティ(SCCR:SEMP, PCCR:PEMP)ビットを用いないハーフワード(16 ビット)読出しの場合、必ず INVL ビット含む下位 16 ビットから読出しを行ってください。このとき、INVL="1"の場合、上位 16 ビットの読出しは禁止です。INVL="0"のときのみ、上位 16 ビットの読出しを行ってください。

割込みやエンプティ(SCCR:SEMP, PCCR:PEMP)ビットを用いないバイト(8 ビット)読出しの場合、必ず INVL ビット含む bit15:8 から読出しを行ってください。このとき、INVL="1"の場合、bit31:24, bit23:16, bit7:0 の読出しは禁止です。INVL="0"のときのみ、それらの読出しを行ってください。

3.3.6. FIFO データレジスタのビット配置選択

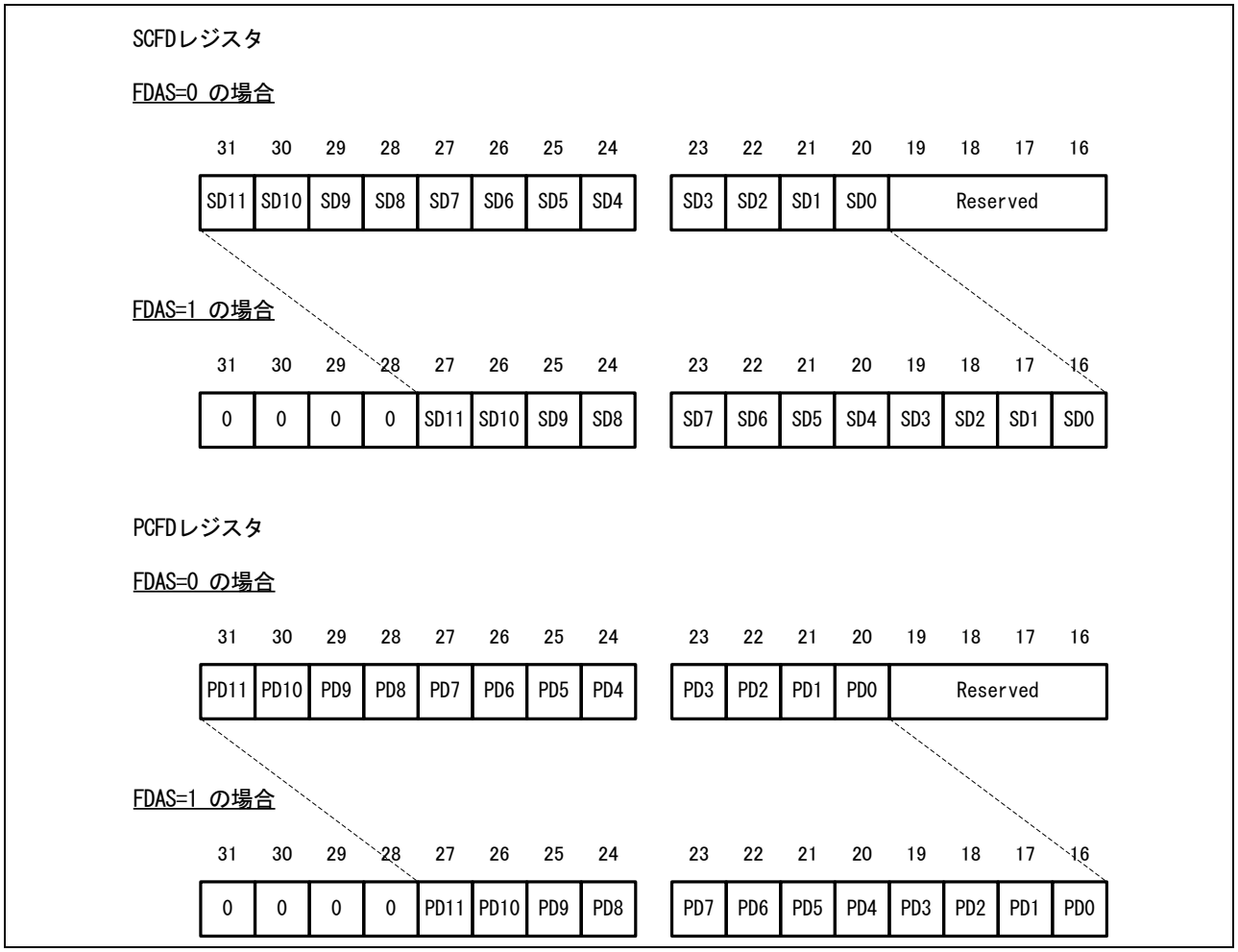
FIFO データレジスタのビット配置選択について説明します。

A/D コンバータは、A/D ステータスレジスタ(ADSR)の FIFO データ配置選択ビット(FDAS)によりスキャン変換 FIFO データレジスタ(SCFD), 優先変換 FIFO データレジスタ(PCFD)の変換結果のビット配置を変更できます(図 3-7)。

FDAS="1"に設定することによって、FIFO データレジスタ(SCFD, PCFD)読出し時に、12 ビット A/D 変換結果(SD11～SD0, PD11～PD0)は LSB 側(bit27:16)に配置されます。FIFO データレジスタ(SCFD, PCFD)の下位 16 ビットの配置は変わりません。

FIFO のシフトは、FDAS の設定値によらず、FIFO データレジスタ(SCFD, PCFD)の bit31:24(バイトアクセスの場合), bit31:16(ハーフワードアクセスの場合), bit31:0(ワードアクセスの場合)を読み出すことで行われます。

図 3-7 FIFO データレジスタのビット配置



3.4. A/D 比較機能

A/D 比較機能は、A/D コンバータの変換結果を比較し、割込みを発生させる機能です。

比較機能を動作させるには、A/D 比較コントロールレジスタ(CMPCR)の変換結果比較機能動作許可ビット(CMPEN)に"1"を書き込んでください。

A/D 比較値設定レジスタ(CMPD)に設定した値と、A/D 変換結果の上位 10 ビット(bit11:2)を比較します。この結果、A/D 比較コントロールレジスタ(CMPCR)で設定した条件が満たされた場合、ADCR レジスタの変換結果比較割込み要求ビット(CMPIF)が"1"に設定されます。変換結果比較割込み許可ビット(CMPIE)が"1"に設定されている場合は、CPU に対して割込みを発生します。

＜注意事項＞

LSB 側の 2 ビット(bit1, bit0)の比較は行いません。

A/D 変換結果の比較はスキャン変換・優先変換によらず A/D 変換結果が FIFO に書き込まれる前に行うため、FIFO フルの状態でも比較できます。

A/D 比較コントロールレジスタ(CMPCR)の比較モード 1(CMD1)に"1"を設定した場合(CMPD 設定値以上の場合に割込み発生)は変換結果と、A/D 比較値設定レジスタの値が等しい場合も CMPIF ビットは"1"に設定されます。

3.5. DMA 起動

A/D コンバータの FIFO データを DMA 転送する処理について説明します。

A/D コンバータの FIFO に格納されているデータは、割込み信号を利用したハードウェア起動 DMA 転送ができます。以下に必要設定と動作内容を説明します。

本製品の場合、DMAC によるスキャン変換 FIFO データの DMA 転送のみ対応しています。

・A/D コンバータからの割込み信号は、初期状態では割込みコントローラに接続されています。割込みコントローラの DMA 転送要求の選択レジスタの設定により、スキャン変換割込み信号を DMAC に接続します。A/D コンバータからの割込みを許可します。（ADCR:SCIE=1）

・A/D コンバータからの割込みを発生させる FIFO 段数を 0　(FIFO の 1 段目に変換結果が格納されたとき割込み要求発生)に設定します。

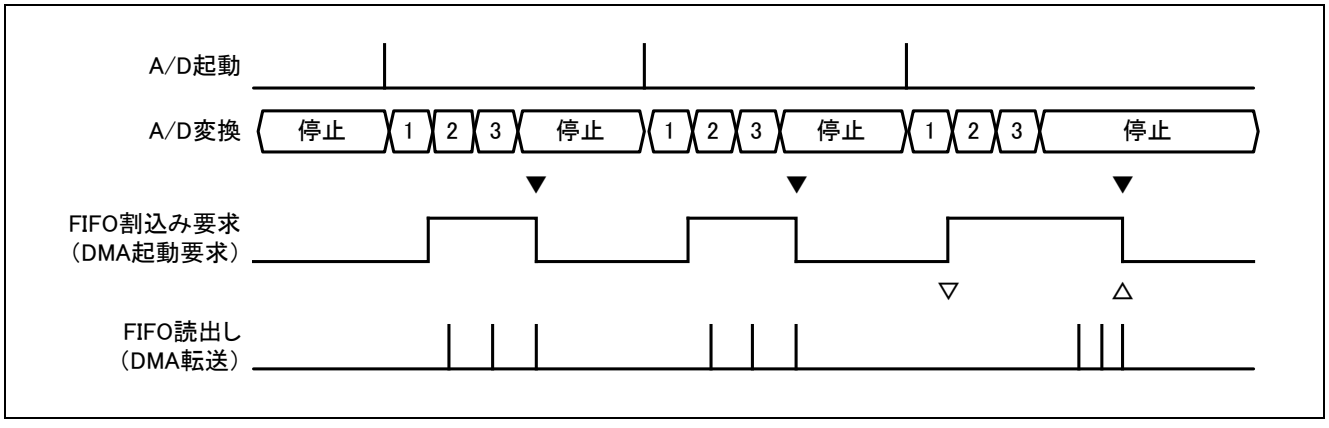
・DMAC の転送元アドレスを、スキャン変換 FIFO データレジスタ(SCFD) に指定します。転送モードは、ハードウェア・Demand 転送を選択します。転送回数は FIFO に格納されるデータ数を指定します。

図 3-8 に DMA 転送動作のタイミングチャートを示します。

A/D 変換の起動後、変換データは、FIFO に格納されます。A/D コンバータから割込み要求が発生します。DMAC により、FIFO データレジスタの読出し、転送先への書込みが行われ、データ転送が行われます。発生した割込み信号は、DMAC 側からクリア処理が行われます（図中の▼）。CPU から割込みフラグ（ADCR:SCIF）をクリアする必要はありません。DMAC に指定した所定回数の転送終了後、DMAC から転送終了通知を受け取ることができます。

DMAC が A/D コンバータ以外の転送要求の処理を行っている場合、図の▽から△に示すように、DMA 転送の開始が遅れる場合がありますので、注意してください。

図 3-8 DMA 転送動作



4. 設定手順例

12 ビット A/D コンバータの設定手順例を説明します。

4.1 A/D 動作許可設定手順例

4.2 スキャン変換設定手順例

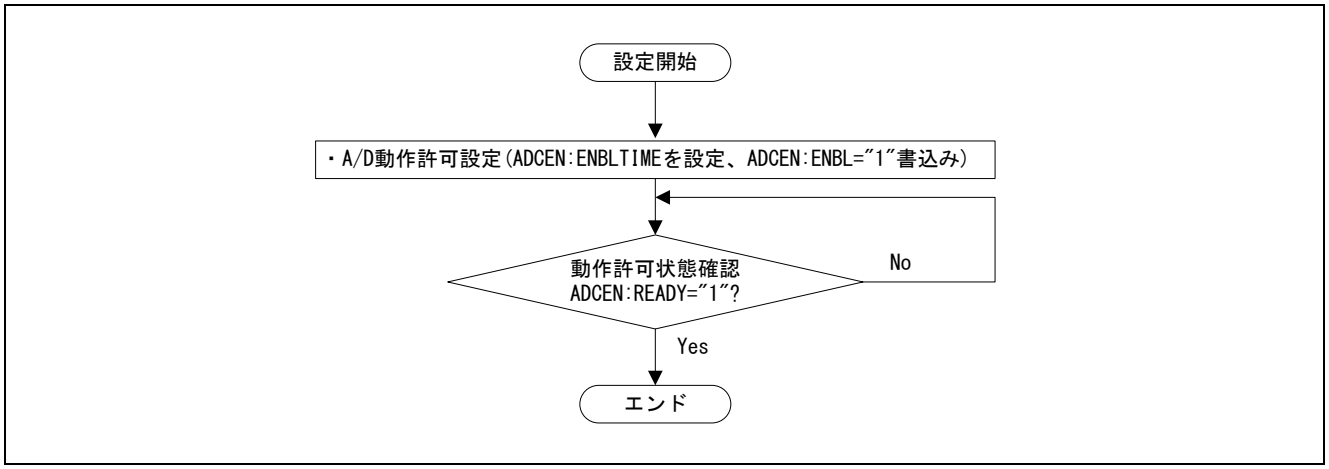
4.3 優先変換設定手順例

4.4 変換時間の設定

4.1. A/D 動作許可設定手順例

A/D 動作許可設定手順例を示します。
・動作許可状態遷移期間を設定
・動作許可状態をポーリング

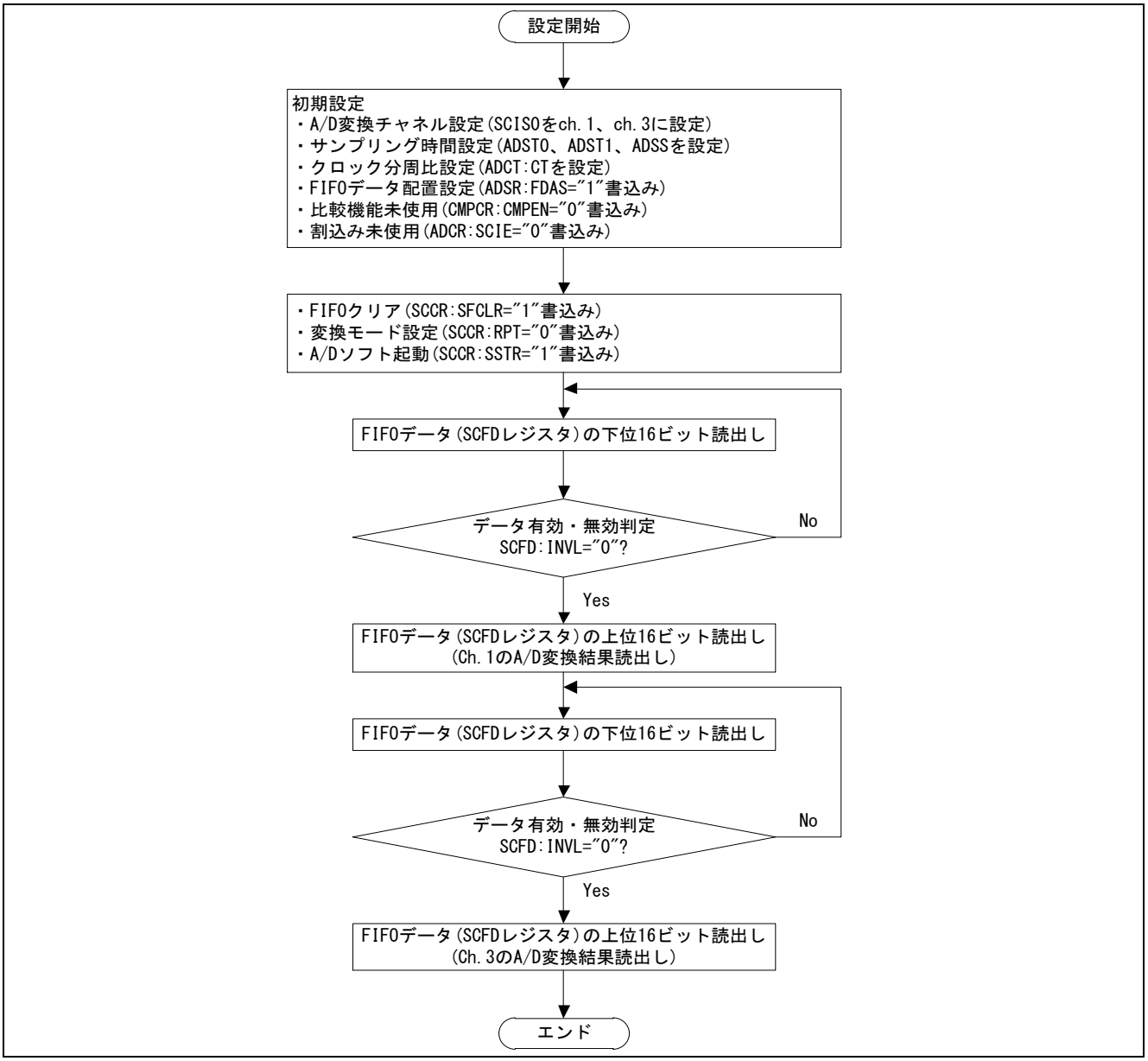
図 4-1 A/D 動作許可設定手順例



4.2. スキャン変換設定手順例

スキャン変換設定手順例を示します。
・ソフト起動によるスキャン変換
・A/D 変換チャネルを ch.1 と ch.3 に設定
・サンプリング時間を、ch.1 と ch.3、別々に設定
・クロック分周比を設定
・FIFO データの下位 16 ビットを読み出して、INVL ビットでデータ有効・無効を判定
・データが有効であると判定後、FIFO データの上位 16 ビットを読出し

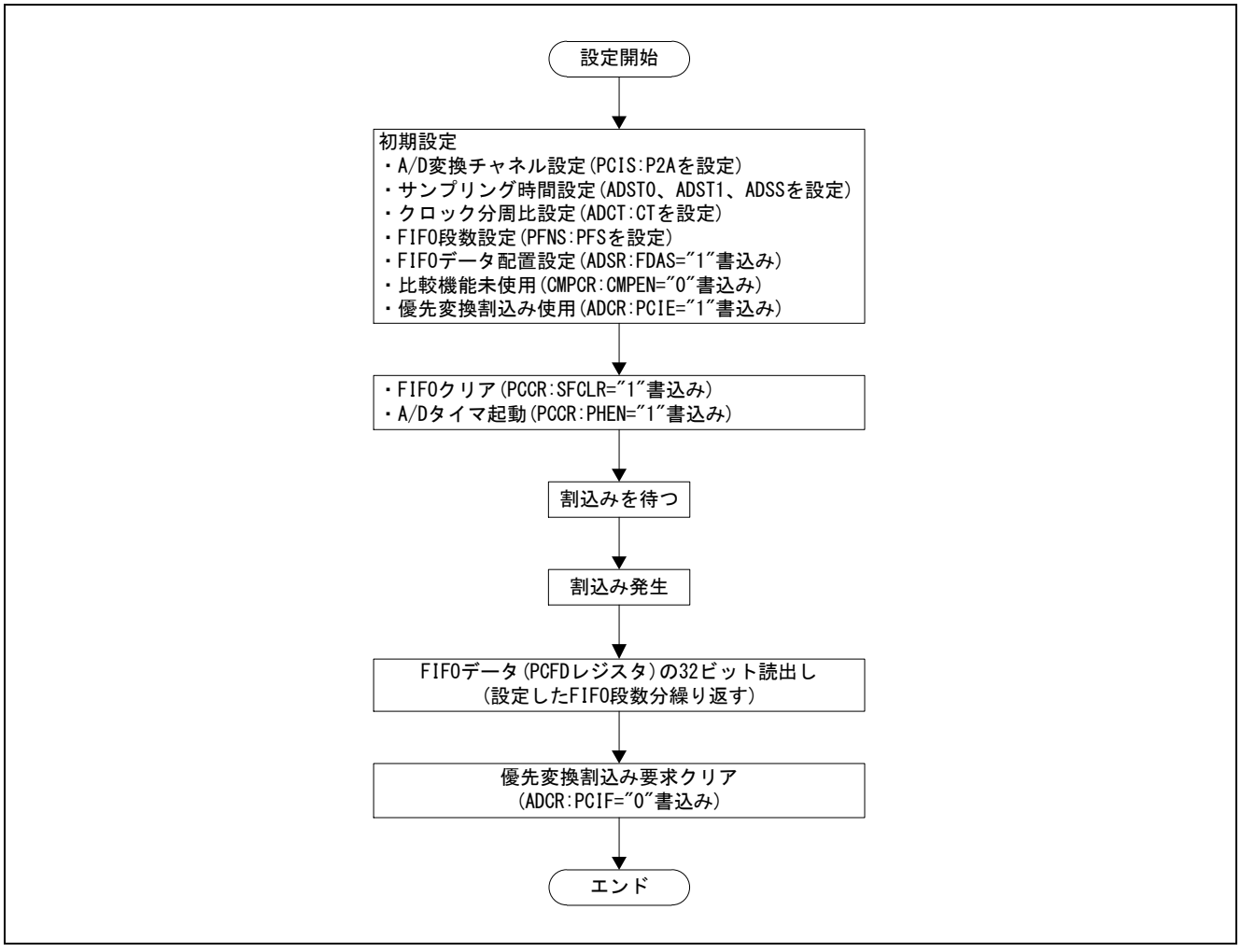
図 4-2 スキャン変換設定手順例



4.3. 優先変換設定手順例

優先変換設定手順例を示します。
・タイマ起動による優先度 2 の優先変換
・変換チャネルは ch.1 と ch.3
・サンプリング時間を、ch.1 と ch.3、別々に設定
・クロック分周比を設定
・割込みを使用して FIFO データの 32 ビットを読出し
・設定した FIFO 段数分読出しを行う

図 4-3 優先変換設定手順例



4.4. 変換時間の設定

A/D コンバータの変換時間は「サンプリング時間」+「コンペア時間」です。サンプリング時間はチャネルごとに 2 種類設定できます。本項では、変換時間の設定、計算方法を説明します。

■ サンプリング時間の設定例

サンプリング時間は、サンプリング時間設定レジスタ 0, 1(ADST0 または ADST1)にて設定します。サンプリング時間選択レジスタ(ADSS3～ADSS0)により、チャネルごとにサンプリング時間設定レジスタ 0, 1 のどちらの値を使用するか選択可能です。これにより、外部インピーダンスの違うチャネルに対して個別にサンプリング時間を設定できます。

サンプリング時間 = ベースクロック(HCLK)周期×クロック分周比×{(ST 設定値＋1)×STX 設定値＋3}

＜注意事項＞

サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」記載内容に従い、入力チャネルの外部インピーダンス, アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。

STXx2, STXx1, STXx0=000(STx4～STx0 の設定値×1 倍)に設定した場合、STx4～STx0 は"2"以上を設定してください("1"以下は設定禁止です)。

■ コンペア時間の設定例

コンペア時間は、クロック分周比設定レジスタ(ADCT)で設定します。

コンペア時間 = コンペアクロック周期×14
コンペアクロック周期 = ベースクロック(HCLK)周期×クロック分周比

＜注意事項＞

コンペアクロック周期は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。サンプリング時間, コンペアクロック周期が A/D コンバータの電気的特性を満たさない場合、A/D 変換精度が悪くなることがあります。

■ 変換時間の計算例 (HCLK=20MHz(周期 50ns)のとき)

(1) サンプリング時間

・ ST04～ST00 = 2, STX02, STX01, STX00 = 000(1 倍), CT7～CT0 = 0(コンペアクロック分周比 2)の場合
サンプリング時間 = 50ns×2×{(2+1)×1+3} = 600ns

・ ST14～ST10 = 19, STX12, STX11, STX10 = 001(4 倍), CT7～CT0 = 0(コンペアクロック分周比 2)の場合
サンプリング時間 = 50ns×2×{(19+1)×4+3} = 8300ns

(2) コンペア時間

・ CT7～CT0 = 0(クロック分周比 2)の場合
コンペアクロック周期 = 50ns×2 = 100ns
コンペア時間 = 100ns×14 = 1400ns

(3) 変換時間

(1)と(2)の和より、

・ ADST0 レジスタで指定したチャネルの変換時間 = 2000ns
・ ADST1 レジスタで指定したチャネルの変換時間 = 9700ns

■ レジスタ設定例

表 4-1 サンプリング時間とコンペア時間のレジスタ設定例

HCLK	CT7～CT0	STXx2～STXx0	STx4～STx0	サンプリング時間	コンペア時間	変換時間
20 MHz	0x80	000	00010	0.3 µs	0.7 µs	1 µs
20 MHz	0x80	001	01000	1.95 µs	0.7 µs	2.65 µs
20 MHz	0x02	000	00010	1.2 µs	2.8 µs	4 µs
25 MHz	0x80	000	00010	0.24 µs	0.56 µs	0.8 µs
25 MHz	0x80	001	01000	1.56 µs	0.56 µs	2.12 µs
40 MHz	0x00	000	00010	0.3 µs	0.7 µs	1 µs
40 MHz	0x00	001	01000	1.95 µs	0.7 µs	2.65 µs
40 MHz	0x02	000	00010	0.6 µs	1.4 µs	2 µs
40 MHz	0x02	001	01000	3.9 µs	1.4 µs	5.3 µs
40 MHz	0x06	000	00010	1.2 µs	2.8 µs	4 µs
40 MHz	0x12	000	00010	3 µs	7 µs	10 µs
50 MHz	0x00	000	00010	0.24 µs	0.56 µs	0.8 µs
50 MHz	0x00	001	01000	1.56 µs	0.56 µs	2.12 µs
60 MHz	0x01	000	00010	0.3 µs	0.7 µs	1 µs
60 MHz	0x01	001	01000	1.95 µs	0.7 µs	2.65 µs
72 MHz	0x02	000	00010	0.33 µs	0.78 µs	1.11 µs
72 MHz	0x02	001	01000	2.17 µs	0.78 µs	2.94 µs

5. レジスタ

12 ビット A/D コンバータで使用するレジスタの構成と機能について説明します。

■ 12 ビット A/D コンバータのレジスター覧

レジスタ略称	レジスタ名	参照先
ADCR	A/D コントロールレジスタ	5.1
ADSR	A/D ステータスレジスタ	5.2
SCCR	スキャン変換コントロールレジスタ	5.3
SFNS	スキャン変換 FIFO 段数設定レジスタ	5.4
SCFD	スキャン変換 FIFO データレジスタ	5.5
SCIS	スキャン変換入力選択レジスタ	5.6
PCCR	優先変換コントロールレジスタ	5.7
PFNS	優先変換 FIFO 段数設定レジスタ	5.8
PCFD	優先変換 FIFO データレジスタ	5.9
PCIS	優先変換入力選択レジスタ	5.10
CMPD	A/D 比較値設定レジスタ	5.11
CMPCR	A/D 比較コントロールレジスタ	5.12
ADSS	サンプリング時間選択レジスタ	5.13
ADST	サンプリング時間設定レジスタ	5.14
ADCT	クロック分周比設定レジスタ	5.15
ADCEN	A/D 動作許可設定レジスタ	5.16

5.1. A/D コントロールレジスタ(ADCR)

A/D コントロールレジスタ(ADCR)は、割込みフラグ表示，割込み許可を制御します。

bit	15	14	13	12	11	10	9	8
Field	SCIF	PCIF	CMPIF	予約	SCIE	PCIE	CMPIE	OVRIE
属性	R/W	R/W	R/W	-	R/W	R/W	R/W	R/W
初期値	0	0	0	X	0	0	0	0

[bit15] SCIF : スキャン変換割込み要求ビット

スキャン変換 FIFO 段数設定レジスタ(SFNS)で設定した段数まで変換値が書き込まれたときに、本ビットは"1"に設定されます。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"です。

値	説明	
	読出し	書込み
0	変換結果未格納	ビットクリア
1	変換結果格納	動作に影響しません

[bit14] PCIF : 優先変換割込み要求ビット

優先変換 FIFO 段数設定レジスタ(PFNS)で設定した段数まで変換値が書き込まれたときに、本ビットは"1"に設定されます。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"です。

値	説明	
	読出し	書込み
0	変換結果未格納	ビットクリア
1	変換結果格納	動作に影響しません

[bit13] CMPIF : 変換結果比較割込み要求ビット

A/D 変換結果比較機能動作時に、A/D 比較値設定レジスタ(CMPD)や A/D 比較コントロールレジスタ(CMPCR)で設定した条件を満たすと、本ビットは"1"に設定されます。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"です。

値	説明	
	読出し	書込み
0	設定条件未達	ビットクリア
1	設定条件満足	動作に影響しません

[bit12] 予約 : 予約ビット

読出し値は不定です。

書込みは、動作に影響しません。

[bit11] SCIE : スキャン変換割込み許可ビット

SCIF の割込み要求を制御します。SCIE ビットが許可されていて SCIF ビットがセットされると CPU に割込み要求を発生します。

値	説明
0	割込み要求禁止
1	割込み要求許可

[bit10] PCIE : 優先変換割込み許可ビット

PCIF の割込み要求を制御します。PCIE ビットが許可されていて PCIF ビットがセットされると CPU に割込み要求を発生します。

値	説明
0	割込み要求禁止
1	割込み要求許可

[bit9] CMPIE : 変換結果比較割込み許可ビット

CMPIF の割込み要求を制御します。CMPIE ビットが許可されていて CMPIF ビットがセットされると CPU に割込み要求を発生します。

値	説明
0	割込み要求禁止
1	割込み要求許可

[bit8] OVRIE : FIFO オーバラン割込み許可ビット

SCCR レジスタの SOVR ビットまたは PCCR レジスタの POVR ビットの割込み要求を制御します。OVRIE ビットが許可されていて SOVR ビットまたは POVR ビットがセットされると、CPU に割込み要求を発生します。

値	説明
0	割込み要求禁止
1	割込み要求許可

5.2. A/D ステータスレジスタ(ADSR)

A/D ステータスレジスタ(ADSR)は、スキャン変換，優先変換のステータス表示を行います。

bit	7	6	5	4	3	2	1	0
Field	ADSTP	FDAS	予約			PCNS	PCS	SCS
属性	R/W	R/W	-			R	R	R
初期値	0	0	XXX			0	0	0

[bit7] ADSTP : A/D 変換強制停止ビット

ADSTP ビットに"1"を書き込むことで、A/D 変換中の動作が強制停止されます(スキャン変換，優先変換ともに動作を停止します)。A/D 変換を強制停止した場合、ADSR レジスタの PCNS, PCS, SCS ビットはすべて"0"に初期化されますが、そのほかのレジスタの値はリセットされません。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		変換中の動作を強制停止

[bit6] FDAS : FIFO データ配置選択ビット

FDAS ビットに"1"を書き込むことでスキャン変換 FIFO データレジスタ(SCFD)，優先変換 FIFO データレジスタ(PCFD)の変換結果の値を LSB 側に 4 ビットシフトし、bit27～bit16 に配置します。FIFO データレジスタの下位 16 ビットの位置は変わりません。

値	説明
0	変換結果を MSB 側に配置
1	変換結果を LSB 側に配置

[bit5:3] 予約 : 予約ビット

読出し値は不定です。

書込みは，動作に影響しません。

[bit2] PCNS : 優先変換保留フラグ

優先度 2(ソフトウェア/タイマ)の変換が保留中であることを示すフラグです。優先度 1(外部トリガ起動)の優先変換中に優先度 2(ソフトウェア/タイマ)の優先変換を起動した場合、または優先度 2 の優先変換中に優先度 1 の変換が起動された場合に設定されます。書込みは無視されます。

値	説明
0	優先度 2 の優先変換保留なし
1	優先度 2 の優先変換保留中

[bit1] PCS : 優先変換ステータスフラグ

優先 A/D が変換中であることを示すフラグです。優先度 1 または優先度 2 の優先変換中に設定されます。書込みは無視されます。

値	説明
0	優先変換による変換停止
1	優先変換による変換中

[bit0] SCS : スキャン変換ステータスフラグ

スキャン A/D が変換中であることを示すフラグです。書込みは無視されます。

値	説明
0	スキャン変換による変換停止
1	スキャン変換による変換中

5.3. スキャン変換コントロールレジスタ(SCCR)

スキャン変換コントロールレジスタ(SCCR)は、スキャン変換モードを制御します。

bit	15	14	13	12	11	10	9	8
Field	SEMP	SFUL	SOVR	SFCLR	予約	RPT	SHEN	SSTR
属性	R	R	R/W	R/W	-	R/W	R/W	R/W
初期値	1	0	0	0	X	0	0	0

[bit15] SEMP : スキャン変換用 FIFO エンプティビット

FIFO がエンプティ(空)の状態になった場合、"1"に設定されます。スキャン変換 FIFO データレジスタ(SCFD)に変換データが書き込まれると、本ビットは"0"になります。書込みは無視されます。

値	説明
0	FIFO にデータが残っている状態
1	FIFO はエンプティ(空)の状態

[bit14] SFUL : スキャン変換用 FIFO フルビット

FIFO がフル(満杯)の状態になった場合、"1"に設定されます。SFCLR に"1"を書き込むか、スキャン変換 FIFO データレジスタ(SCFD)を読み出すと、本ビットは"0"になります。書込みは無視されます。

値	説明
0	FIFO のデータが入力できる状態
1	FIFO はフル(満杯)の状態

[bit13] SOVR : スキャン変換オーバランフラグ

FIFO フルの状態で FIFO に書込みを行おうとした場合、"1"に設定されます(FIFO フルの状態では変換データは上書きされません)。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"になります。ADCR レジスタの OVRIE ビットが"1"のとき、SOVR ビットが"1"ならば CPU に対して割込みを発生します。

値	説明	
	読出し	書込み
0	オーバラン発生なし	ビットクリア
1	オーバラン発生あり	動作に影響しません

[bit12] SFCLR : スキャン変換用 FIFO クリアビット

"1"を書き込むことでスキャン変換用 FIFO のクリアを行います。このとき FIFO はエンプティ(空)になるため、SEMP ビットは"1"に設定されます。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		FIFO のクリアを行う

[bit11] 予約 : 予約ビット
読出し値は不定です。
書込みは，動作に影響しません。

[bit10] RPT : スキャン変換リピートビット
"1"を書き込むことにより、リピートモードとなります。スキャン変換入力選択レジスタ(SCIS)で選択したアナログ入力チャネルすべての変換が終わると、再度変換を開始します。
リピート変換を終了させるには RPT ビットを"0"にすることで、SCIS ビットで選択したアナログ入力チャネルの変換を終了後停止します。
RPT ビットへの"1"書込みは、スキャン変換の停止(ADSR レジスタの SCS = "0")中に行ってください(SSTR ビットへの"1"書込みと、RPT ビットへの"1"書込みは同時でもかまいません)。

値	説明
0	シングル変換モード
1	リピート変換モード

[bit9] SHEN : スキャン変換のタイマ起動許可ビット
スキャン変換をタイマからの立上りエッジで起動をかける場合に本ビットを"1"に設定します。"1"に設定した場合でも、ソフトによる起動(SSTR=1)は有効です。

値	説明
0	タイマ起動禁止
1	タイマ起動許可

[bit8] SSTR : スキャン変換スタートビット
"1"を書き込むことで A/D 変換を開始します。変換中に再度"1"を書き込むと変換中の動作を直ちに停止し、再度変換を開始します。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		変換起動または変換再起動(変換中)

＜注意事項＞
タイマによる起動と、SSTR ビットへの"1"書込みが同時に発生した場合は、SSTR ビットへの"1"書込みが優先され、タイマの起動は無視されます。

5.4. スキャン変換 FIFO 段数設定レジスタ(SFNS)

スキャン変換 FIFO 段数設定レジスタ(SFNS)は、スキャン変換時の割込み要求を発生するための設定を行います。設定した段数分の A/D 変換データが格納されると、割込み要求ビット(SCIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	予約				SFS[3:0]			
属性	-				R/W			
初期値	XXXX				0000			

[bit7:4] 予約 : 予約ビット
読出し値は不定です。
書込みは，動作に影響しません。

[bit3:0] SFS[3:0] : スキャン変換 FIFO 段数設定ビット
SFS[3:0]に設定された段数(N+1 段目)分の A/D 変換データが書き込まれるとスキャン変換割込み要求フラグ(SCIF)を"1"に設定します。

値	説明
0000	FIFO の 1 段目に変換結果が格納されたとき割込み要求発生
0001	FIFO の 2 段目に変換結果が格納されたとき割込み要求発生
0010	FIFO の 3 段目に変換結果が格納されたとき割込み要求発生
・・・	・・・
1101	FIFO の 14 段目に変換結果が格納されたとき割込み要求発生
1110	FIFO の 15 段目に変換結果が格納されたとき割込み要求発生
1111	FIFO の 16 段目に変換結果が格納されたとき割込み要求発生

5.5. スキャン変換 FIFO データレジスタ(SCFD)

スキャン変換 FIFO データレジスタ(SCFD)は、アナログ変換結果を格納するレジスタで、16 段の FIFO で構成されます。レジスタを読み出すことで順次データを取り出せます。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	SD11	SD10	SD9	SD8	SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0	予約			
属性	R	R	R	R	R	R	R	R	R	R	R	R	R			
初期値	X	X	X	X	X	X	X	X	X	X	X	X	XXXX			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約			INVL	予約		RS1	RS0	予約			SC4	SC3	SC2	SC1	SC0
属性	R			R	R		R	R	R			R	R	R	R	R
初期値	XXX			1	XX		X	X	XXX			X	X	X	X	X

[bit31:20] SD11:SD0 : スキャン変換結果
スキャン変換時の 12 ビット A/D 変換結果が書き込まれます。

[bit19:13] 予約 : 予約ビット
読出し値は不定です。

[bit12] INVL : A/D 変換結果無効ビット
本レジスタ値が無効である場合に設定されます。

値	説明
0	本レジスタ値が有効
1	本レジスタ値が無効

[bit11:10] 予約 : 予約ビット
読出し値は不定です。

[bit9:8] RS1, RS0 : スキャン変換起動要因
本レジスタ値に対応する、スキャン変換の起動要因を表します。

値	説明
01	ソフトウェア起動
10	タイマ起動

[bit7:5] 予約 : 予約ビット
読出し値は不定です。

[bit4:0] SC4～SC0 : **変換入力チャネルビット**

SD11～SD0 に書き込まれた変換結果に対応するアナログ入力チャネルが書き込まれます。製品仕様上存在しないチャネルの設定は書き込まれません。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

値	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

＜注意事項＞

このレジスタは A/D ステータスレジスタ(ADSR)の FDAS ビットの設定によってビット構成が異なります。FDAS ビットが"1"の場合は「3.3.6 FIFO データレジスタのビット配置選択」を参照してください。

このレジスタにバイトアクセスする場合、上位バイト(bit31:24)を読み出すことで FIFO データをシフトします。それ以外(bit23:16, bit15:8, bit7:0)を読み出しても、FIFO はシフトしません。ハーフワードアクセスする場合、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします。それ以外(bit15:0)を読み出しても、FIFO はシフトしません。ワードアクセスの場合には、FIFO はシフトします。

ソフトウェアとタイマが同時起動した場合に、RS[1:0]ビットで"11"が読み出されることもあります。

5.6. スキャン変換入力選択レジスタ(SCIS)

スキャン変換入力選択レジスタ(SCIS)は、スキャン変換時のアナログ入力チャネルを選択するレジスタです。複数のアナログ入力から任意に選択可能です。変換順序は選択されたチャネルの中で、番号の小さいチャネルから順番に変換されます。

■ SCIS3(上位バイト ：AN31～AN24), SCIS2(下位バイト ：AN23～AN16)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	AN31	AN30	AN29	AN28	AN27	AN26	AN25	AN24	AN23	AN22	AN21	AN20	AN19	AN18	AN17	AN16
属性								R/W								
初期値								0x00								

[bit15:0] AN31～AN16 : アナログ入力選択ビット
"1"に設定することで、該当するチャネルがアナログ変換時に選択されます。

■ SCIS1(上位バイト ：AN15～AN8), SCIS0(下位バイト ：AN7～AN0)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	AN15	AN14	AN13	AN12	AN11	AN10	AN9	AN8	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
属性								R/W								
初期値								0x00								

[bit15:0] AN15～AN0 : アナログ入力選択ビット
"1"に設定することで、該当するチャネルがアナログ変換時に選択されます。

＜注意事項＞

A/D 変換中のチャネルの変更は禁止です。必ず A/D 変換の停止した状態で SCIS3～SCIS0 に書き込んでください。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではチャネル変更が可能です。
製品仕様上存在しないチャネルに該当するビットへの"1"設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

■ スキャン変換順序例

変換順序は選択されたチャネルの中で、番号の小さいチャネルから順番に変換されます。

例) AN1, AN3, AN5, AN23 ビットに"1"を設定した場合、アナログ変換は　ch.1→ch.3→ch.5→ch.23 の順番で変換します。

5.7. 優先変換コントロールレジスタ(PCCR)

優先変換コントロールレジスタ(PCCR)は、優先変換モードを制御します。
優先変換はスキャン変換を行っている間でも、優先的に変換できます。
また、優先変換の中でもさらに優先度を持つことができます(2 レベル)。

bit	15	14	13	12	11	10	9	8
Field	PEMP	PFUL	POVR	PFCLR	ESCE	PEEN	PHEN	PSTR
属性	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

[bit15] PEMP : 優先変換用 FIFO エンプティビット

FIFO がエンプティ(空)の状態になった場合に設定されます。優先変換 FIFO データレジスタ(PCFD)に変換データが書き込まれると、本ビットは"0"になります。書込みは無視されます。

値	説明
0	FIFO にデータが残っている状態
1	FIFO はエンプティ(空)の状態

[bit14] PFUL : 優先変換用 FIFO フルビット

FIFO がフル(満杯)の状態になった場合に設定されます。PFCLR ビットに"1"を書き込むか、優先変換 FIFO データレジスタ(PCFD)を読み出すと、本ビットは"0"になります。書込みは無視されます。

値	説明
0	FIFO のデータが入力できる状態
1	FIFO はフル(満杯)の状態

[bit13] POVR : 優先変換オーバランフラグ

FIFO フルの状態で FIFO に書込みを行おうとした場合に設定されます(FIFO フルの状態では変換データは上書きされません)。リードモディファイライト系命令における読出し値は、ビット値にかかわらず"1"になります。ADCR レジスタの OVRIE ビットが"1"のとき、POVR ビットが"1"ならば CPU に対して割込みを発生します。

値	説明	
	読出し	書込み
0	オーバラン発生なし	ビットクリア
1	オーバラン発生あり	動作に影響しません

[bit12] PFCLR : 優先変換用 FIFO クリアビット

"1"を書き込むことで優先変換用 FIFO のクリアを行います。このとき FIFO はエンプティ(空)になるため、PEMP ビットは"1"に設定されます。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		FIFO のクリアを行う

[bit11] ESCE : 外部トリガアナログ入力選択ビット

外部トリガ起動のアナログ入力選択を優先変換入力選択レジスタ(PCIS)の P1A[2:0]ビットで行うか、外部入力端子(ECS[2:0])で行うかを選択します。

値	説明
0	外部トリガ起動のアナログ入力選択を P1A[2:0]で行う
1	外部トリガ起動のアナログ入力選択を外部入力で行う

＜注意事項＞

A/D 変換中の ESCE ビットの書換えは禁止です。必ず A/D 変換の停止した状態で書き換えてください。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間では ESCE ビットの書換えが可能です。

製品仕様上、外部端子(ECS[2:0])によるチャネル選択を使用できない場合は、ESCE ビットには必ず"0"を書き込んでください。

[bit10] PEEN : 優先変換の外部起動許可ビット

優先変換を外部トリガ端子入力の立下りエッジで起動をかける場合に本ビットを"1"に設定します。外部トリガ起動による変換は優先度 1(最優先)です。

値	説明
0	外部トリガ起動禁止
1	外部トリガ起動許可

[bit9] PHEN : 優先変換のタイマ起動許可ビット

優先変換をタイマからの立上りエッジで起動をかける場合に本ビットを"1"に設定します。"1"に設定した場合でも、ソフトウェアによる起動(PSTR=1)は有効です。タイマ起動による変換は優先度 2(<優先度 1)です。

値	説明
0	タイマ起動禁止
1	タイマ起動許可

[bit8] PSTR : 優先変換スタートビット

"1"を書き込むことで A/D 変換を開始します。本ビットによる変換は優先度 2(<優先度 1)です。本ビットによる変換中の再起動はできません。

値	説明	
	読出し	書込み
0	常に"0"が読み出されます	動作に影響しません
1		優先変換起動

5.8. 優先変換 FIFO 段数設定レジスタ(PFNS)

優先変換 FIFO 段数設定レジスタ(PFNS)は、優先変換時の割込み要求を発生するための設定を行います。設定した段数分の A/D 変換データが格納されると、割込み要求ビット(PCIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	予約		TEST[1:0]		予約		PFS[1:0]	
属性	-		R		-		R/W	
初期値	XX		XX		XX		00	

[bit7:6] 予約 : 予約ビット
読出し値は不定です。
書込みは，動作に影響しません。

[bit5:4] TEST[1:0] : テストビット

書込み	動作に影響しません
読出し	値は不定

[bit3:2] 予約: 予約ビット
読出し値は不定です。
書込みは，動作に影響しません。

[bit1:0] PFS[1:0] : 優先変換 FIFO 段数設定ビット
PFS[1:0]に設定された段数(N+1 段目)分の A/D 変換データが書き込まれると優先変換割込み要求フラグ(PCIF)を"1"に設定します。

値	説明
00	FIFO の 1 段目に変換結果が格納されたとき割込み要求発生
01	FIFO の 2 段目に変換結果が格納されたとき割込み要求発生
10	FIFO の 3 段目に変換結果が格納されたとき割込み要求発生
11	FIFO の 4 段目に変換結果が格納されたとき割込み要求発生

5.9. 優先変換 FIFO データレジスタ(PCFD)

優先変換 FIFO データレジスタ(PCFD)は、アナログ変換結果を格納するレジスタで、4 段の FIFO で構成されます。レジスタを読み出すことで順次データを取り出せます。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	予約			
属性						R							R			
初期値						0xXXX							XXXX			

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約			INVL	予約	RS2	RS1	RS0	予約			PC4	PC3	PC2	PC1	PC0
属性		R		R	R		R			R				R		
初期値		XXX		1	X		XXX			XXX				XXXXX		

[bit31:20] PD11～PD0 : 優先変換結果

優先変換時の 12 ビット A/D 変換結果が書き込まれます。

[bit19:13] 予約 : 予約ビット

読出し値は不定です。

[bit12] INVL : A/D 変換結果無効ビット

本レジスタ値が無効である場合に設定されます。

値	説明
0	本レジスタ値が有効
1	本レジスタ値が無効

[bit11] 予約: 予約ビット

読出し値は不定です。

[bit10:8] RS2～RS0 : スキャン変換起動要因

本レジスタ値に対応する、優先変換の起動要因を表します。

値	説明
001	ソフトウェア起動(優先度 2)
010	タイマ起動(優先度 2)
100	外部トリガ(優先度 1)

[bit7:5] 予約: 予約ビット
読出し値は不定です。

[bit4:0] PC4～PC0 : 変換入力チャネルビット
PD11～PD0 に書き込まれた変換結果に対応するアナログ入力チャネルが書き込まれます。製品仕様上存在しないチャネルの設定は書き込まれません。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

値	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

＜注意事項＞

本レジスタは A/D ステータスレジスタ(ADSR)の FDAS ビットの設定によってビット構成が異なります。FDAS ビットが"1"の場合は「3.3.6 FIFO データレジスタのビット配置選択」を参照してください。

このレジスタにバイトアクセスする場合、上位バイト(bit31:24)を読み出すことで FIFO データをシフトします。それ以外(bit23:16, bit15:8, bit7:0)を読み出しても、FIFO はシフトしません。ハーフワードアクセスする場合、上位ハーフワード(bit31:16)を読み出すことで FIFO はシフトします。それ以外(bit15:0)を読み出しても、FIFO はシフトしません。ワードアクセスの場合には、FIFO はシフトします。

ソフトとタイマが同時起動した場合に、RS[2:0]ビットで"011"が読み出されることもあります。

外部トリガ起動の変換はアナログ入力が ch.0～ch.7 のみ変換可能です。

5.10. 優先変換入力選択レジスタ(PCIS)

優先変換入力選択レジスタ(PCIS)は、優先変換時のアナログ入力チャネルを選択するレジスタです。優先度 2 のソフトウェア/タイマ起動時は複数のアナログ入力チャネルから 1 チャネルのみ指定可能です。優先度 1 の外部トリガ起動時は ch.0～ch.7 の 8 チャネルのうちから 1 チャネル指定可能です。

bit	7	6	5	4	3	2	1	0
Field	P2A[4:0]					P1A[2:0]		
属性	R/W					R/W		
初期値	00000					000		

[bit7:3] P2A[4:0] : 優先度 2 アナログ入力選択

優先度 2(ソフトウェア/タイマ)起動時のアナログ入力チャネルを指定します。全チャネルから選択できます。製品仕様上存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

値	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

[bit2:0] P1A[2:0] : 優先度 1 アナログ入力選択

優先度 1(外部トリガ)起動時のアナログ入力チャネルを指定します。ch.0～ch.7 の 8 チャネルから選択できます。

値	説明
000	ch.0
001	ch.1
010	ch.2
・・・	・・・
101	ch.5
110	ch.6
111	ch.7

＜注意事項＞

A/D 変換中のチャネルの変更は禁止です。必ず A/D 変換の停止した状態で P1A, P2A に書き込んでください。
A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。
起動要因が無い期間ではチャネル変更が可能です。

5.11. A/D 比較値設定レジスタ(CMPD)

A/D 比較値設定レジスタ(CMPD)は、A/D 変換結果と比較するために、比較値を設定するレジスタです。本レジスタと A/D 比較コントロールレジスタ(CMPCR)で設定された条件を満たすと、A/D コントロールレジスタ(ADCR)の変換結果比較割込み要求ビット(CMPIF)がセットされます。

bit	31	30	29	28	27	26	25	24
Field	CMAD11	CMAD10	CMAD9	CMAD8	CMAD7	CMAD6	CMAD5	CMAD4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	CMAD3	CMAD2	予約					
属性	R/W	R/W	-					
初期値	0	0	XXXXXX					

[bit31:22] CMAD11～CMAD2 : A/D 変換比較値設定ビット

A/D 変換結果との比較値を設定するビットです。

A/D 変換結果の上位 10 ビット(bit11:2)と、本ビット(CMAD11～CMAD2)との比較を行います。A/D 変換結果の下位 2 ビット(bit1, bit0)の比較は行いません。

[bit21:16] 予約 : 予約ビット

読出し値は不定です。

5.12. A/D 比較コントロールレジスタ(CMPCR)

A/D 比較コントロールレジスタ(CMPCR)は、A/D 比較機能の制御を行います。A/D 比較値設定レジスタ(CMPD)と変換値の比較を行い本レジスタの比較条件を満たすと、A/D コントロールレジスタ(ADCR)の変換結果比較割込み要求ビット(CMPIF)がセットされます。

bit	7	6	5	4	3	2	1	0
Field	CMPEN	CMD1	CMD0	CCH[4:0]				
属性	R/W	R/W	R/W	R/W				
初期値	0	0	0	00000				

[bit7] CMPEN : 変換結果比較機能動作許可ビット

A/D 比較機能の動作を許可するビットです。

値	説明
0	比較機能動作停止
1	比較機能動作許可

[bit6] CMD1 : 比較モード 1

変換割込み要求を発生させる条件を設定します。

値	説明
0	A/D 変換結果の上位 10 ビット(bit11:2)が CMPD 設定値より小さい場合に割込み要求発生
1	A/D 変換結果の上位 10 ビット(bit11:2)が CMPD 設定値と同じか大きい場合に割込み要求発生

[bit5] CMD0 : 比較モード 0

比較対象を選択します。"1"のときは CCH[4:0]ビットの設定は無効となります。

値	説明
0	CCH[4:0]ビットで設定したチャネルの変換結果を比較
1	全チャネルの変換結果を比較

[bit4:0] CCH[4:0] : 比較対象アナログ入力チャネル

比較対象とするアナログチャネルを設定します。CMD0 ビットが"1"のときはこのビットの設定は無効となります。製品仕様上存在しないチャネルへの設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

値	説明
00000	ch.0
00001	ch.1
00010	ch.2
・・・	・・・
11101	ch.29
11110	ch.30
11111	ch.31

5.13. サンプリング時間選択レジスタ(ADSS)

サンプリング時間選択レジスタ(ADSS3～ADSS0)は、ビットごとにサンプリング時間を設定可能にします。サンプリング時間設定レジスタ 0, 1(ADST0/ADST1)のどちらのサンプリング時間を使用するかは本レジスタにより設定します。

■ ADSS3(上位バイト ：TS31～TS24), ADSS2(下位バイト ：TS23～TS16)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TS31	TS30	TS29	TS28	TS27	TS26	TS25	TS24	TS23	TS22	TS21	TS20	TS19	TS18	TS17	TS16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] TS31～TS16 : サンプリング時間選択ビット

該当するチャネルにサンプリング時間設定レジスタ(ADST)で指定したサンプリング時間を設定します。
"0"に設定すると ADST0 に設定した時間に、"1"に設定すると ADST1 に設定した時間となります。TS31 は ch.31 に、･･･、TS16 は ch.16 に対応します。

■ ADSS1(上位バイト ：TS15～TS8), ADSS0(下位バイト ：TS7～TS0)

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit15:0] TS15～TS0 : サンプリング時間選択ビット

該当するチャネルにサンプリング時間設定レジスタ(ADST)で指定したサンプリング時間を設定します。
"0"に設定すると ADST0 に設定した時間に、"1"に設定すると ADST1 に設定した時間となります。TS15 は ch.15 に、･･･、TS0 は ch.0 に対応します。

＜注意事項＞

A/D 変換中のサンプリング時間選択レジスタ(ADSS)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間選択レジスタ(ADSS)への書込みが可能です。
製品仕様上存在しないチャネルに該当するビットへの"1"設定は禁止です。アナログ入力チャネル数についてはご使用する製品の『データシート』を参照してください。

5.14. サンプリング時間設定レジスタ(ADST)

サンプリング時間設定レジスタ 0/1(ADST0/ADST1)は、A/D 変換のサンプリング時間を設定します。ADST0 と ADST1 の 2 種類用意し、サンプリング時間選択レジスタ(ADSS3～ADSS0)にてどちらのサンプリング時間を使用するか選択できます。

■ ADST0(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	STX02	STX01	STX00	ST04	ST03	ST02	ST01	ST00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

[bit15:13] STX02～STX00 : サンプリング時間 N 倍設定ビット

ST04～ST00 ビットで設定したサンプリング時間の設定値を N 倍します。

bit15	bit14	bit13	説明
0	0	0	設定値×1 倍 (初期値)
0	0	1	設定値×4 倍
0	1	0	設定値×8 倍
0	1	1	設定値×16 倍
1	0	0	設定値×32 倍
1	0	1	設定値×64 倍
1	1	0	設定値×128 倍
1	1	1	設定値×256 倍

[bit12:8] ST04～ST00 : サンプリング時間設定ビット

A/D 変換のサンプリング時間を設定します。

サンプリング時間 = ベースクロック(HCLK)周期×クロック分周比×{(ST 設定値＋1)×STX 設定値＋3}

例) ST04～ST00 = 9, STX02, STX01, STX00 = 001(4 倍), CT7～CT0 = 0(クロック分周比 2), HCLK = 20MHz(50ns)の場合

サンプリング時間 = 50ns×2×{(9 + 1)×4 + 3} = 4300ns

＜注意事項＞

A/D 変換中のサンプリング時間設定レジスタ(上位バイト)(ADST0)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間設定レジスタ(上位バイト)(ADST0)への書込みが可能です。

サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、入力チャネルの外部インピーダンス, アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。

STX02, STX01, STX00=000(ST04～ST00 の設定値×1 倍)に設定した場合、ST04～ST00 は"2"以上を設定してください("1"以下は設定禁止です)。

■ ADST1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	STX12	STX11	STX10	ST14	ST13	ST12	ST11	ST10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

[bit7:5] STX12～STX10 : サンプリング時間 N 倍設定ビット

ST14～ST10 ビットで設定したサンプリング時間の設定値を N 倍します。

bit7	bit6	bit5	説明
0	0	0	設定値×1 倍 (初期値)
0	0	1	設定値×4 倍
0	1	0	設定値×8 倍
0	1	1	設定値×16 倍
1	0	0	設定値×32 倍
1	0	1	設定値×64 倍
1	1	0	設定値×128 倍
1	1	1	設定値×256 倍

[bit4:0] ST14～ST10 : サンプリング時間設定ビット

A/D 変換のサンプリング時間を設定します。

サンプリング時間 = ベースクロック(HCLK)周期×クロック分周比×{(ST 設定値＋1)×STX 設定値＋3}

例) ST14～ST10 = 9, STX12, STX11, STX10 = 001(4 倍), CT7～CT0 = 0(クロック分周比 2), HCLK = 20MHz(50ns)の場合

サンプリング時間 = 50ns×2×{(9 + 1)×4 + 3} = 4300ns

＜注意事項＞

A/D 変換中のサンプリング時間設定レジスタ(下位バイト)(ADST1)への書込みは禁止です。A/D 変換中とは A/D が変換動作を実施する期間を指し,起動要因待ち状態は含みません。起動要因が無い期間ではサンプリング時間設定レジスタ(下位バイト)(ADST1)への書込みが可能です。

サンプリング時間は、ご使用する製品の『データシート』の「電気的特性」の記載内容に従い、入力チャネルの外部インピーダンス, アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。

STX12, STX11, STX10=000(ST14～ST10 の設定値×1 倍)に設定した場合、ST14～ST10 は"2"以上を設定してください("1"以下は設定禁止です)。

5.15. クロック分周比設定レジスタ(ADCT)

クロック分周比設定レジスタ(ADCT)は、A/D 変換時間のうちクロック分周比を設定するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	CT7	CT6	CT5	CT4	CT3	CT2	CT1	CT0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	1	1	1

[bit7:0] CT7～CT0 : クロック分周比設定ビット

A/D 変換のクロック生成のための HCLK の分周比を設定するビットです。
分周比の設定は、サンプリング設定レジスタ 0/1 ともに共通です。

値	説明
0x80	分周比 1
0x00	分周比 2
0x01	分周比 3
0x02	分周比 4
・・・	・・・
0x3C	分周比 62
0x3D	分周比 63
0x3E	分周比 64
0x3F	分周比 65

コンペアクロック周期 = ベースクロック(HCLK)周期×クロック分周比
コンペア時間 = クロック周期比×14

例) CT 設定値 = 0(クロック分周比 2), HCLK = 20MHz(50ns)の場合、
コンペアクロック周期 = 50ns×2 = 100ns
コンペア時間 = 100ns×14 = 1400ns

＜注意事項＞

bit7:0 に対して"0x40"～"0x7F"の設定は禁止です。
A/D 変換中のクロック分周比設定レジスタ(ADCT)への書込みは禁止です。
クロック生成部のベースクロックプリスケーラレジスタ(BSC_PSR)を"0x0"に設定している場合のみ、分周比 1 での A/D 変換を行うことができます。
コンペアクロック周期は、ご使用する製品の『データシート』の「電気的特性」記載内容に従い、アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。

5.16. A/D 動作許可設定レジスタ(ADCEN)

A/D 動作許可設定レジスタ(ADCEN)は、12 ビット A/D コンバータを動作許可状態に設定するレジスタです。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ENBLTIME[15:8]								予約						READY	ENBL
属性	R/W								R						R	R/W
初期値	0xFF								000000						0	0

[bit15:8] ENBLTIME[15:8] : 動作許可状態遷移サイクル選択ビット

動作許可状態遷移期間サイクル数を選択するビットです。

動作許可状態遷移期間 = ベースクロック(HCLK)周期×(ENBLTIME 設定値×4＋1)

例) ENBLTIME[15:8] = 0xFF, HCLK = 20MHz(50ns)の場合、
動作許可状態遷移期間 = 50ns×(255×4＋1) = 51050ns

[bit7:2] 予約 : 予約ビット

読出し値は不定です。

[bit1] READY : A/D 動作許可状態ビット

A/D コンバータが動作許可状態か否かを示すビットです。

動作許可状態のときのみ A/D 変換を行うことができます。
動作停止状態中の A/D 変換要求は無視されます。
A/D 変換中に動作停止状態となった場合、A/D 変換は直ちに停止します。

値	説明
0	動作停止状態
1	動作許可状態

[bit0] ENBL : A/D 動作許可ビット

A/D コンバータを動作許可にするビットです。

ENBL ビットに"1"を書き込むことで、動作許可状態遷移期間後に A/D コンバータは動作許可状態となります。また、このビットに"0"を書き込むことで、A/D コンバータは動作停止状態となります。

値	説明
0	動作停止
1	動作許可

＜注意事項＞

動作許可状態遷移期間は、ご使用する製品の『データシート』の「電気的特性」記載内容に従って、アナログ電源電圧(AVCC), ベースクロック(HCLK)周期に応じて、適切な時間を選択し、設定してください。
ENBL ビットへの"1 "書き込みから、READY ビット"1 "になるまでの期間の ENBLTIME[15:8]ビットの書換えは禁止です。
CPU をタイマモード, ストップモード, RTC モード, ディープスタンバイ STOP モード, ディープスタンバイ RTC モードに設定するときには、ENBL="0"を設定して A/D コンバータを動作停止状態にしてください。

CHAPTER 1-4: A/D タイマトリガ選択

A/D コンバータのタイマトリガ選択の機能と動作について説明します。

1. 概要
2. レジスタ

1. 概要

A/D コンバータのタイマトリガ選択の動作について説明します。

■ A/D コンバータのタイマトリガ選択

A/D コンバータは、表 1-1 に示す要因で起動できます。

表 1-1 A/D コンバータの起動要因

変換種類	起動要因
優先度 1 の優先変換	外部トリガ端子入力(立下りエッジ)
優先度 2 の優先変換	・ソフトウェア(優先変換コントロールレジスタ(PCCR)の優先変換スタートビット(PSTR)に"1"書込み) ・タイマからのトリガ入力(立上りエッジ)
スキャン変換	・ソフトウェア(スキャン変換コントロールレジスタ(SCCR)のスキャン変換スタートビット(SSTR)に"1"書込み) ・タイマからのトリガ入力(立上りエッジ)

タイマからの A/D コンバータ起動の手段として、ベースタイマと多機能タイマから選択できます。

そのタイマからの起動要因の選択は、スキャン変換タイマトリガ選択レジスタ(SCTSL)、または優先変換タイマトリガ選択レジスタ(PRTSL)によってそれぞれ選択してください。タイマ起動を許可した状態で、選択されたタイマの立上りエッジを検出すると A/D 変換を開始します。

同じ起動要因を複数の A/D コンバータで兼用できます。

12 ビット A/D コンバータの動作詳細は、『12 ビット A/D コンバータ(A)』の動作説明を参照してください。

TYPE3, TYPE6～TYPE12 の製品の 12 ビット A/D コンバータの動作詳細は、『12 ビット A/D コンバータ(B)』の動作説明を参照してください。

2. レジスタ

A/D タイマトリガ選択で使用するレジスタの構成と機能について説明します。

■ A/D コンバータのタイマトリガ選択レジスター一覧

レジスタ略称	レジスタ名	参照先
SCTSL	スキャン変換タイマトリガ選択レジスタ	2.1
PRTSL	優先変換タイマトリガ選択レジスタ	2.2

2.1. スキャン変換タイマトリガ選択レジスタ(SCTSL)

スキャン変換タイマトリガ選択レジスタ(SCTSL)は、スキャン変換動作時のタイマトリガを選択します。

bit	15	14	13	12	11	10	9	8
Field	予約				SCTSL[3:0]			
属性	R				R/W			
初期値	XXXX				0000			

[bit15:12] 予約 : 予約ビット

書込みは動作に影響しません。読出し値は不定です。

[bit11:8] SCTSL[3:0] : スキャン変換タイマトリガ選択ビット

値	説明
0000	選択トリガなし(入力 0 固定)
0001	多機能タイマのスキャン変換起動
0010	ベースタイマ ch.0
0011	ベースタイマ ch.1
0100	ベースタイマ ch.2
0101	ベースタイマ ch.3
0110	ベースタイマ ch.4
0111	ベースタイマ ch.5
1000	ベースタイマ ch.6
1001	ベースタイマ ch.7
1010	ベースタイマ ch.8
1011	ベースタイマ ch.9
1100	ベースタイマ ch.10
1101	ベースタイマ ch.11
1110	ベースタイマ ch.12
1111	ベースタイマ ch.13

ベースタイマの搭載されているチャネルは、ご使用する製品よって異なります。詳細はご使用する製品の『データシート』を参照してください。
搭載されていないチャネルの設定はしないでください。

2.2. 優先変換タイマトリガ選択レジスタ(PRTSL)

優先変換タイマトリガ選択レジスタ(PRTSL)は、優先変換動作時のタイマトリガを選択します。

bit	7	6	5	4	3	2	1	0
Field	予約				PRTSL[3:0]			
属性	R				R/W			
初期値	XXXX				0000			

[bit7:4] 予約 : 予約ビット
書込みは動作に影響しません。読出し値は不定です。

[bit3:0] PRTSL[3:0] : 優先変換タイマトリガ選択ビット

値	説明
0000	選択トリガなし(入力 0 固定)
0001	多機能タイマの優先変換起動
0010	ベースタイマ ch.0
0011	ベースタイマ ch.1
0100	ベースタイマ ch.2
0101	ベースタイマ ch.3
0110	ベースタイマ ch.4
0111	ベースタイマ ch.5
1000	ベースタイマ ch.6
1001	ベースタイマ ch.7
1010	ベースタイマ ch.8
1011	ベースタイマ ch.9
1100	ベースタイマ ch.10
1101	ベースタイマ ch.11
1110	ベースタイマ ch.12
1111	ベースタイマ ch.13

ベースタイマの搭載されているチャネルは、ご使用する製品よって異なります。詳細はご使用する製品の『データシート』を参照してください。
搭載されていないチャネルの設定はしないでください。

CHAPTER 2: 10 ビット D/A コンバータ

10 ビット D/A コンバータの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 注意事項

1. 概要

10 ビット D/A コンバータは、10 ビットのデジタル値をアナログ出力に変換する機能です。

■ 10 ビット D/A コンバータの特長

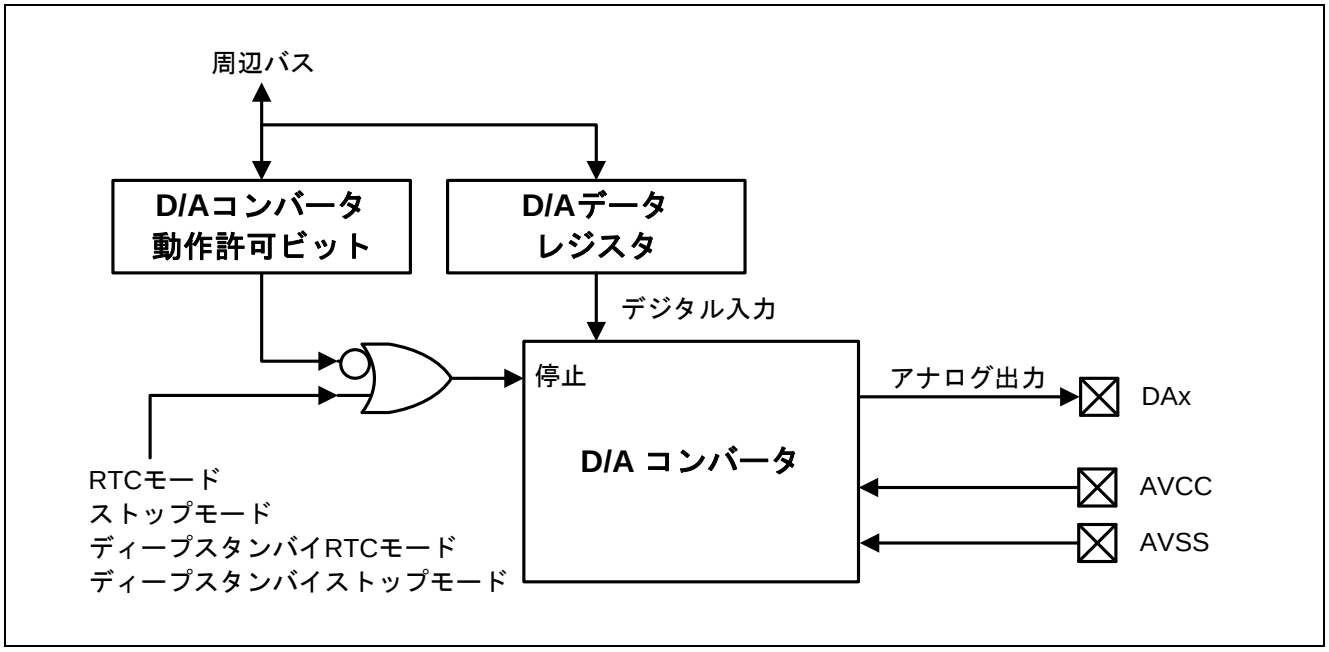
- 10 ビットの分解能
- R-2R 方式
- 以下の低消費電力モード時に動作停止
  - RTC モード
  - ストップモード
  - ディープスタンバイ RTC モード
  - ディープスタンバイストップモード

2. 構成

10 ビット D/A コンバータの構成を示します。

■ 10 ビット D/A コンバータのブロックダイヤグラム

図 2-1 10 ビット D/A コンバータのブロックダイヤグラム



3. 動作説明

10 ビット D/A コンバータの動作について説明します。

D/A コントロールレジスタ(DACR)の DAE ビットで D/A コンバータの動作を許可すると、D/A データレジスタ(DADR)に書き込まれたデジタル値をアナログ値に変換し、DAx 端子から出力します。
一部の低消費電力モード時、DAE ビットに関わらず D/A コンバータの動作は停止します。
DAE=1 時の D/A コンバータの動作と I/O ポートの状態を表 3-1 に示します。

表 3-1 DAE=1 時の D/A コンバータの動作と I/O ポートの状態

動作モード	D/A コンバータ動作	I/O ポート
RTC モード ストップモード ディープスタンバイ RTC モード ディープスタンバイストップモード	停止	・入力遮断 ・入出力方向は DDR 設定で決定 ・出力レベルは PDOR 設定で決定 ・プルアップは PCR 設定で決定
上記モード以外	許可	・入力遮断 ・入力方向 ・プルアップ切断

D/A コンバータ動作許可時に出力できる電圧は 0.0V から 1023/1024×AVCC(AVCC：AVCC 端子の電圧)です。
D/A データレジスタ(DADR)と出力電圧の理想値を表 3-2 に示します。

表 3-2 DA[9:0]とアナログ出力値の関係

DA[9:0]	理想出力電圧
0000000000	0 / 1024 × AVCC
0000000001	1 / 1024 × AVCC
0000000010	2 / 1024 × AVCC
～	～
1111111101	1021 / 1024 × AVCC
1111111110	1022 / 1024 × AVCC
1111111111	1023 / 1024 × AVCC

D/A コンバータ動作停止時、D/A コンバータの出力は Hi-Z です。

4. 設定手順例

10 ビット D/A コンバータの設定手順例を説明します。

D/A コンバータを動作させ、変換結果を DAx 端子に出力するための設定手順を以下に示します。

1. D/A データレジスタ(DADR)に D/A 変換したいデジタル値を設定
2. D/A コントロールレジスタ(DACR)の DAE ビットに"1"を設定

上記設定後、DAx 端子からアナログ値が出力されます。

5. レジスタ

10 ビット D/A コンバータで使用するレジスタの構成と機能について説明します。

■ 10 ビット D/A コンバータのレジスター覧

レジスタ略称	レジスタ名	参照先
DACR	D/A コントロールレジスタ	5.1
DADR	D/A データレジスタ	5.2

5.1. D/A コントロールレジスタ(DACR)

D/A コントロールレジスタ(DACR)は、D/A コンバータの動作を制御します。

bit	23	22	21	20	19	18	17	16
Field	予約							DAE
属性	-							R/W
初期値	XXXXXXX							0

[bit23:17] 予約 : 予約ビット
読出し値は不定です。
書込みは、動作に影響しません。

[bit16] DAE : D/A コンバータ動作許可ビット

値	説明
0	D/A コンバータ動作停止
1	D/A コンバータ動作許可

5.2. D/A データレジスタ(DADR)

D/A データレジスタ(DADR)は、アナログ信号に変換するデジタル値を設定するレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約						DA[9:8]	
属性	-						R/W	
初期値	XXXXXX						XX	

bit	7	6	5	4	3	2	1	0
Field	DA[7:0]							
属性	R/W							
初期値	0xXX							

[bit15:10] 予約 : 予約ビット
読出し値は不定です。
書込みは動作に影響しません。

[bit9:0] DA[9:0] : D/A データレジスタ
本レジスタの設定値と出力電圧の対応は表 3-2 を参照してください。

6. 注意事項

10 ビット D/A コンバータの注意事項を示します。

D/A コントロールレジスタ(DACR)の DAE ビットを"0"から"1"に設定した直後に、D/A コンバータは不定値を出力することがあります。出力不定期間は『データシート』の「電気的特性」を参照してください。

アナログ出力(DAx)と外部割込み入力(INTxx)が兼用されている端子は、DAE=1 の時に拡張機能端子設定レジスタ(EPFR06, EPFR15)の外部割込み入力選択ビット(EINTxxS)をその端子以外に設定してください。詳細は、『ペリフェラルマニュアル』の『I/O ポート』の「4.レジスター覧」を参照してください。

CHAPTER 3: LCD コントローラ

LCD コントローラの機能と動作について示します。

1. LCD コントローラ 概要
2. LCD コントローラ 構成
3. LCD コントローラ 動作説明
4. LCD コントローラ 設定手順例
5. LCD コントローラ レジスタ
6. LCD コントローラ 使用上の注意

1. LCD コントローラ 概要

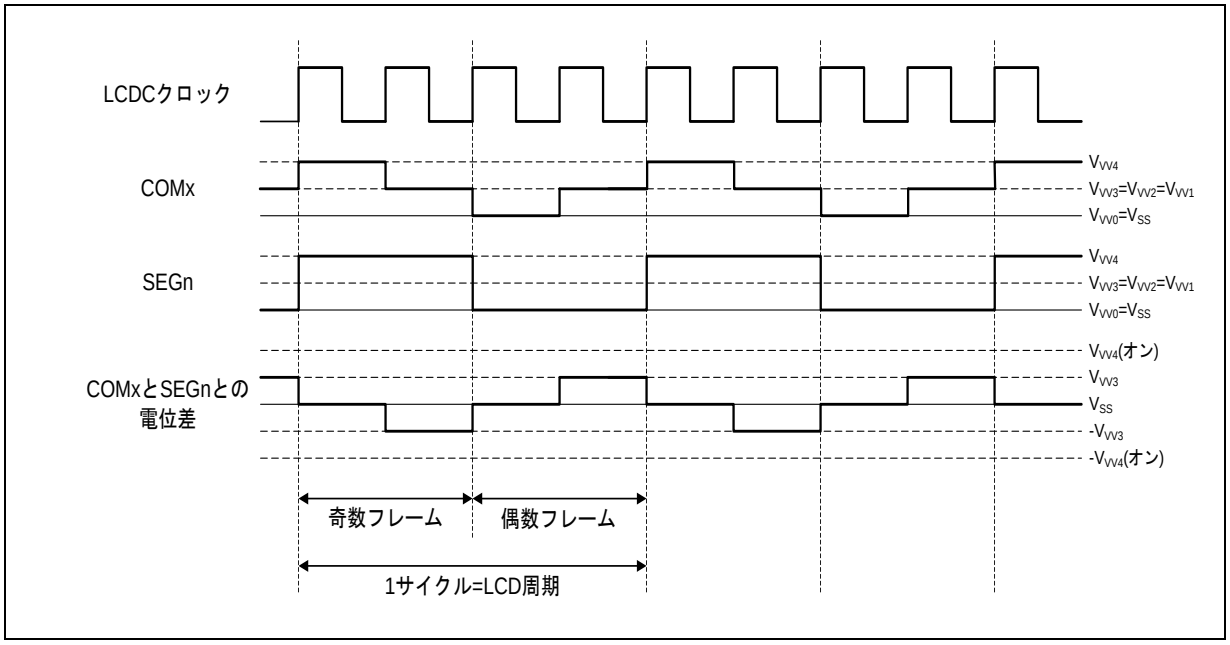
LCD コントローラは、セグメント出力とコモン出力によって、表示データメモリ (LCDRAM) の内容を LCD パネル (液晶表示器) に直接表示します。

■ LCD コントローラの機能

- 表示モードは、8COM モードまたは 4COM モードを選択可能
  - 8COM モード
    - 最大 8 本のコモン出力(COM0～COM7)と最大 40 本のセグメント出力(SEG00～SEG39)を使用可能
    - LCDRAM のサイズは、最大 40 バイト(40×8 ビット)
    - バイアスは、1/3 または 1/4 から選択可能
  - 4COM モード
    - 最大 4 本のコモン出力(COM0～COM3)と最大 44 本のセグメント出力(SEG00～SEG43)を使用可能
    - LCDRAM のサイズは、最大 22 バイト(44×4 ビット)
    - バイアスは、1/2, 1/3, 1/4 から選択可能
- LCD 駆動電源生成用に分割抵抗を内蔵しており、分割抵抗の抵抗値を 10kΩまたは 100kΩから選択可能(外部から LCD 駆動電源を供給することも可能)
- LCD コントローラの動作クロック(LCDC クロック)としてサブクロックと PCLK が使用可能
- ブリンク(点滅)機能が使用可能
- LCD パネルを直接駆動可能
- フレームごとに割込み要求が可能

■ LCD コントローラの用語について

本章で使用される用語について以下に示すように定義します。



・LCDC クロック

LCD コントローラを駆動させるクロックです。

・LCD 周期

LCD を駆動する交流波形の周期です。

LCD はその性質上、直流駆動を行うと液晶表示素子に化学変化が生じ、液晶表示素子が劣化してしまうため、LCD コントローラは交流波形生成回路を内蔵し、奇数フレームと奇数フレームを反転した偶数フレームの 2 フレームで交流波形を生成し LCD を駆動します。

・

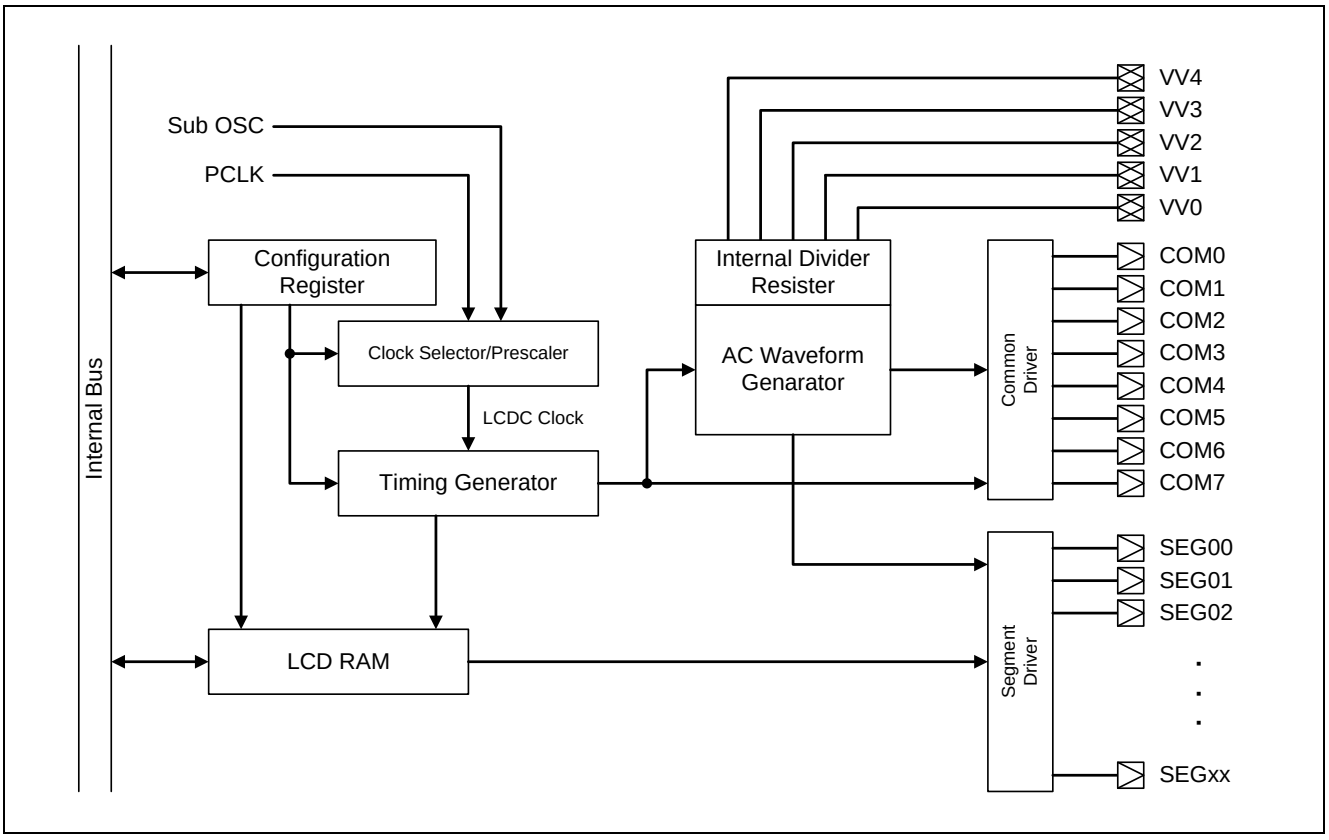
2. LCD コントローラ 構成

LCD コントローラの構成を示します。

■ LCD コントローラのブロックダイヤグラム

LCD コントローラのブロックダイヤグラムを図 2-1 に示します。

図 2-1 LCD コントローラのブロックダイヤグラム



- **Clock Selector/Prescaler**
  サブクロック、PCLK から使用するクロックを選択し、LCDC クロックを生成します。
- **Timing Generator**
  LCDC クロックと各レジスタの設定をもとに、コモン出力とセグメント出力の制御を行います。
- **AC Waveform Genarator**
  Timing Generator の信号から、LCD を駆動するための交流波形を生成します。
- **Common/Segment Driver**
  LCD のコモン/セグメント出力端子のドライバです。
- **Configuration Register**
  LCD コントローラの動作を制御するレジスタです。

- **LCD RAM**
  セグメント出力信号発生用の表示データメモリレジスタです。
  LCDRAM の内容は、コモン信号の選択タイミングに同期して自動的に読み出されてセグメント出力端子より出力されます。
  LCDRAM の内容は、LCDRAM への書換えと同時にセグメント出力端子より出力されます。

- **Internal Divider Resister**
  LCD 駆動電圧を発生させるための抵抗です。 LCD 駆動電源端子 (VV0～VV4) が分割抵抗接続端子として機能している場合は、分割抵抗を外付けすることもできます。

2.1. LCD 駆動電圧生成回路

LCD パネルを駆動するための電圧を LCD コントローラの内部分割抵抗または外部分割抵抗を使用して生成することができます。

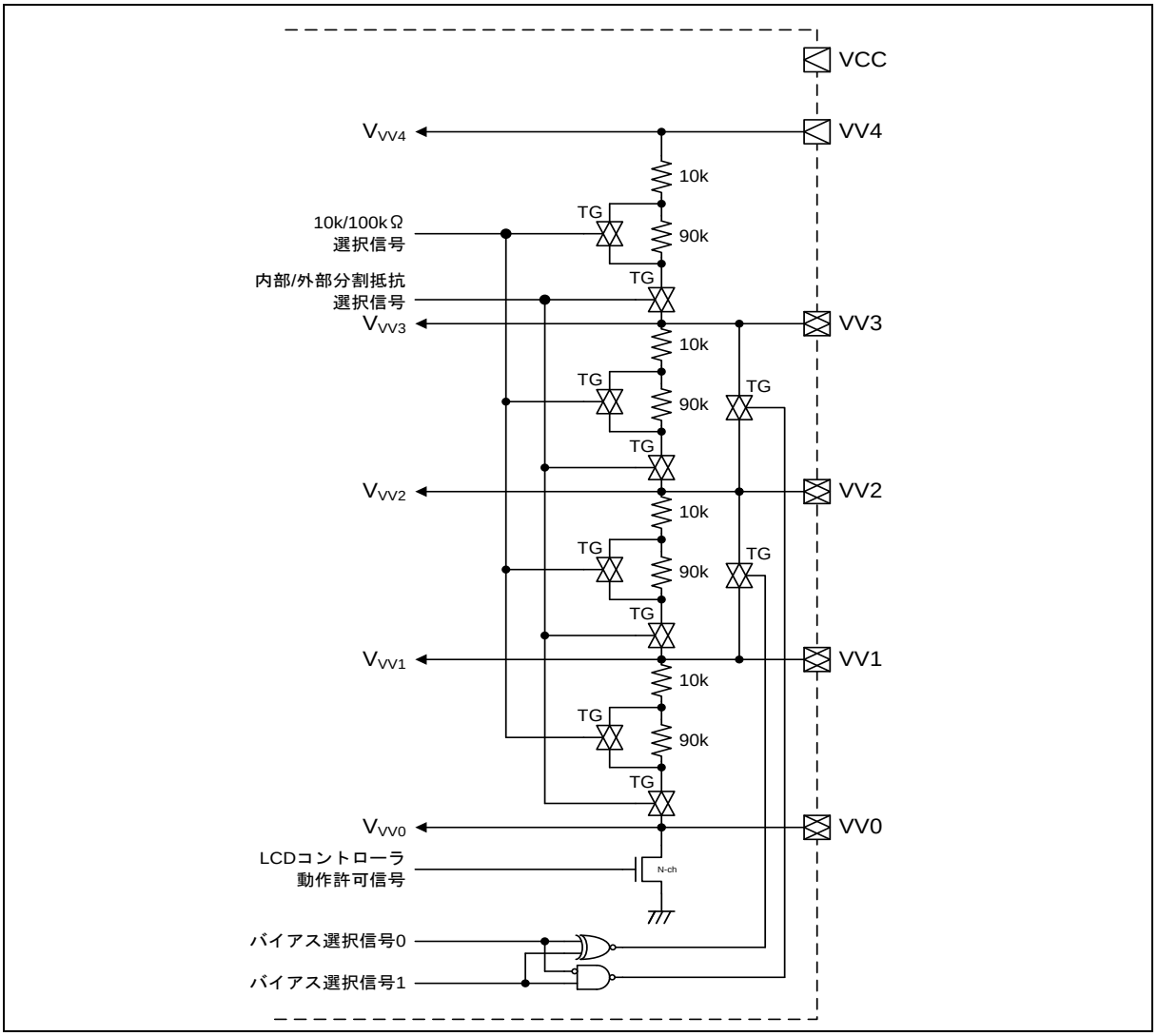
■ 内部分割抵抗

LCD コントローラには、内部分割抵抗が内蔵されています。また、LCD 駆動用電源端子 (VV0～VV4) に外部分割抵抗を接続することもできます。

内部分割抵抗と外部分割抵抗の選択は、LCDC 制御レジスタ 1(LCDCC1)の LCD 駆動電源制御ビット (VSEL)で行います。VSEL ビットを"1"にすることにより内部分割抵抗が通電状態になります。外部分割抵抗を使用せずに内部分割抵抗のみを使用するためには、LCDC 制御レジスタ 3 (LCDCC3)内の VE4 ビットを "1" に設定してください(LCD コントローラを使用する場合、VV4 端子を汎用入出力ポートとして使用できません)。

図 2-2 に内部分割抵抗使用時の等価回路を示します。

図 2-2 内部分割抵抗使用時の等価回路



■ 内部分割抵抗の使用および輝度調整

内部分割抵抗には 10 kΩ 抵抗と 100 kΩ抵抗があります。図 2-3, 図 2-4, 図 2-5 に内部分割抵抗使用時の状態を示します。内部分割抵抗を使用して輝度があがらない場合には、外部 (VCC～VV4 端子間) に可変抵抗(V_R) を接続して VV4 端子の電圧を調整してください。

図 2-3 1/4 バイアス生成時の内部分割抵抗の状態

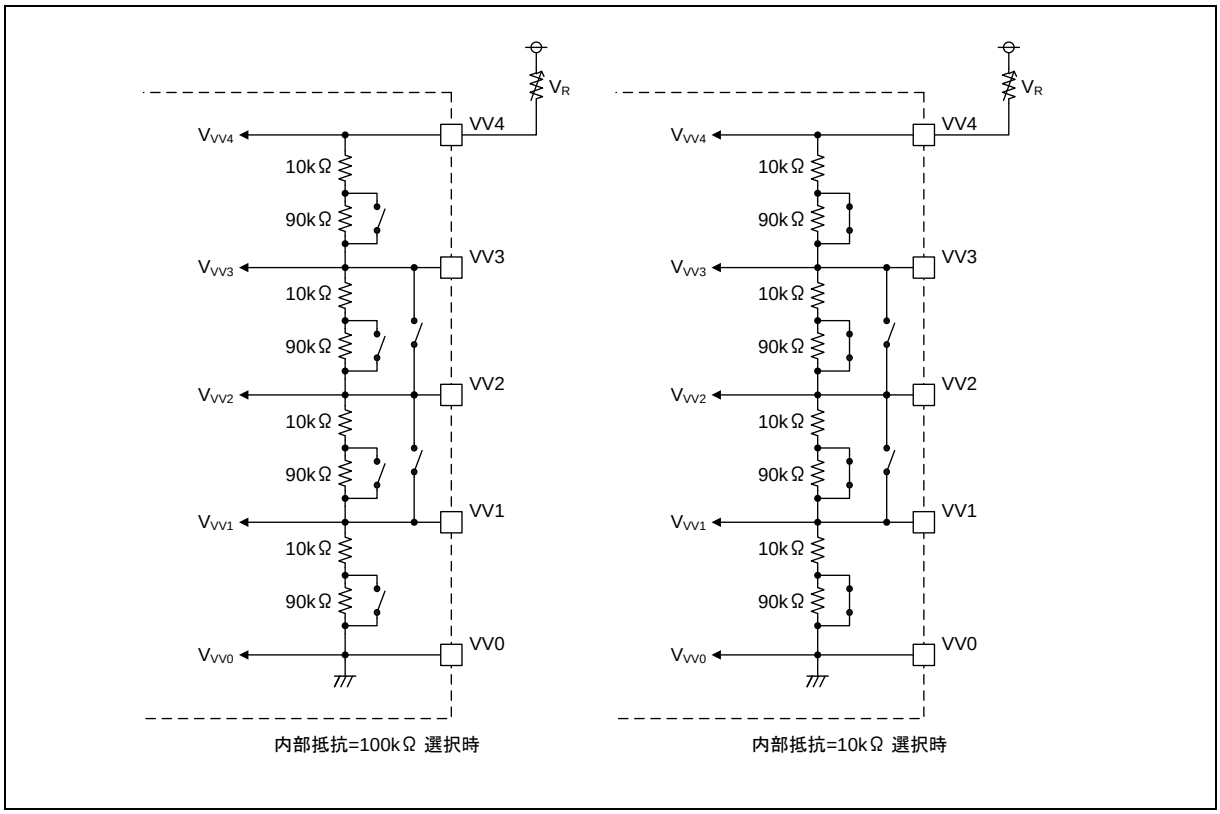


図 2-4 1/3 バイアス生成時の内部分割抵抗の状態

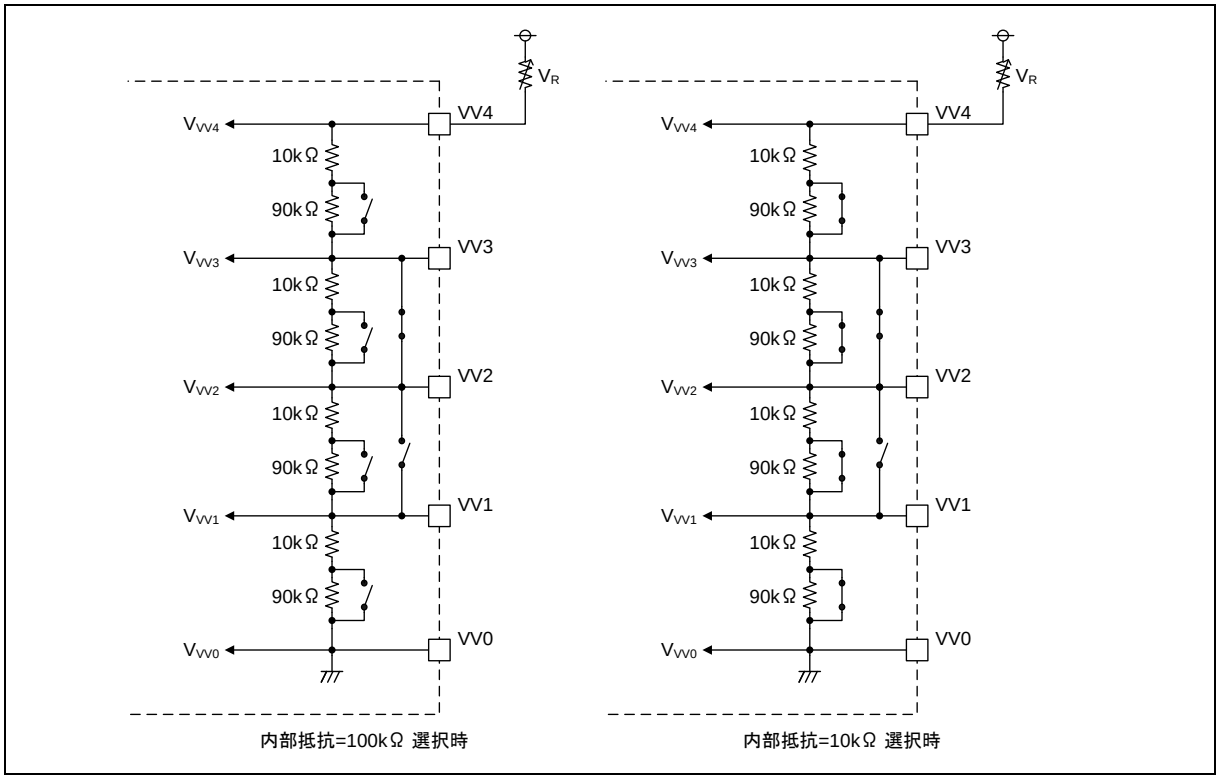
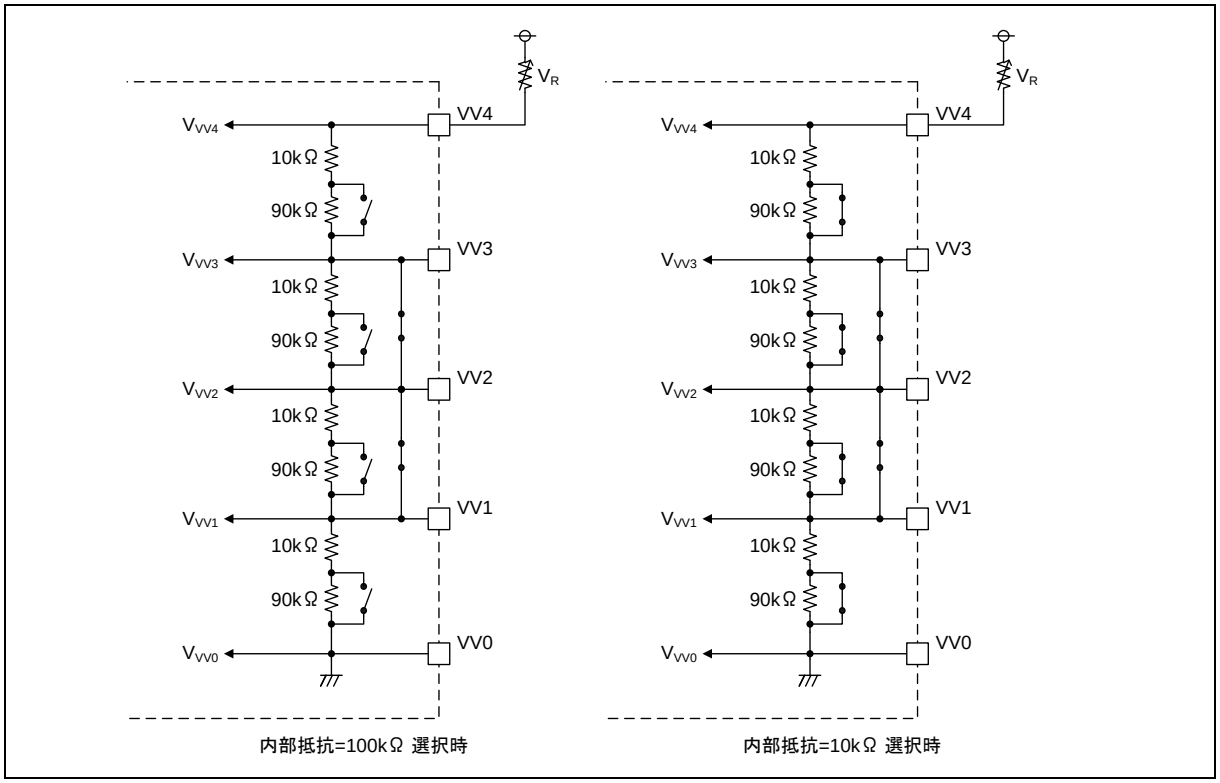


図 2-5 1/2 バイアス生成時の内部分割抵抗の状態



2.2. LCD コントローラの外部分割抵抗

本ファミリ は VV0～VV4 端子に外部分割抵抗を接続できます。
また、VCC と VV4 端子間に可変抵抗を接続することで、輝度を調整できます。

■ 外部分割抵抗

内部分割抵抗を使用せずに、LCD 駆動用電源端子 (VV0～VV4) に外部分割抵抗を接続して使用できます。
バイアス方式に対応した外部分割抵抗の接続を図 2-6 に、LCD 駆動電圧を表 2-1 に示します。

図 2-6 外部分割抵抗の接続例

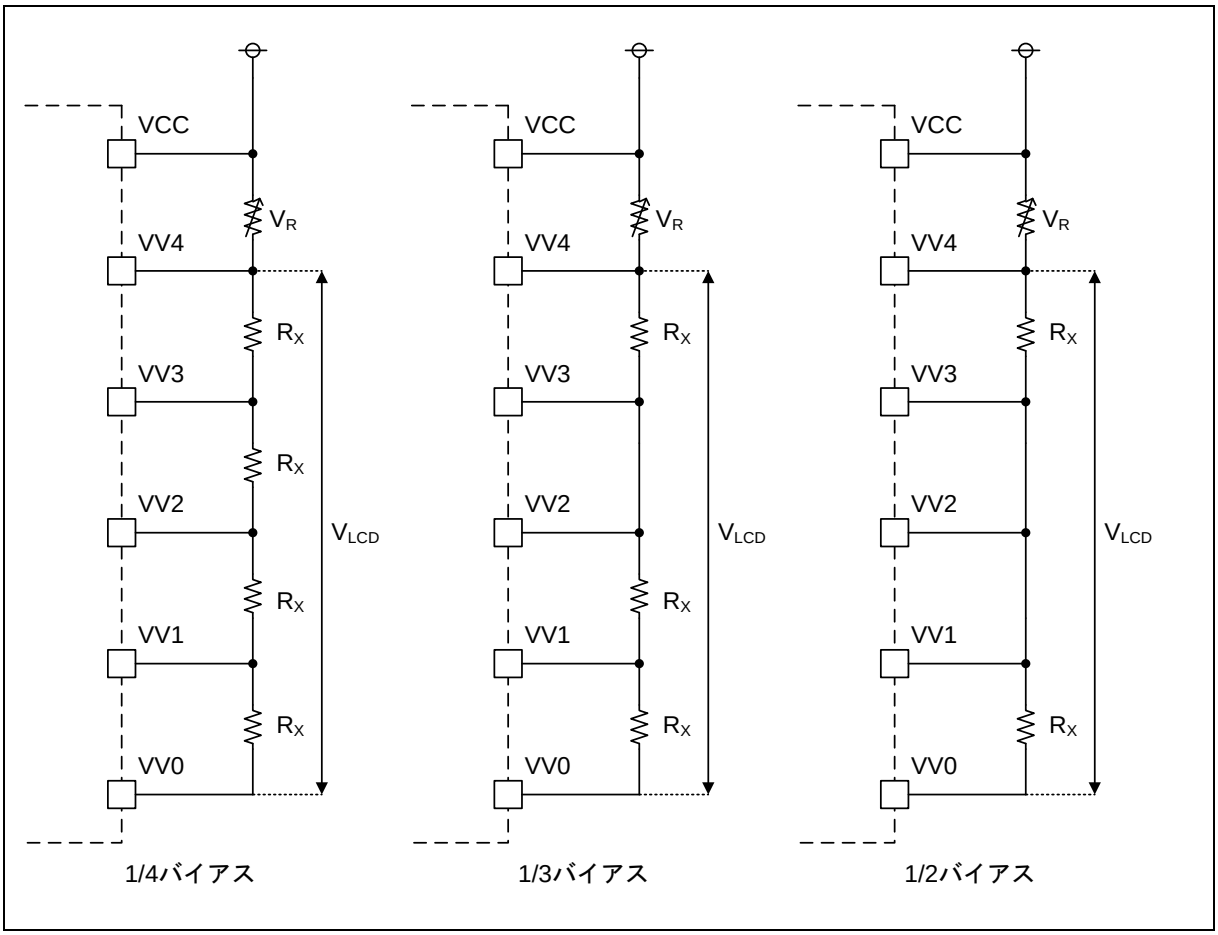


表 2-1 LCD 駆動電圧の設定

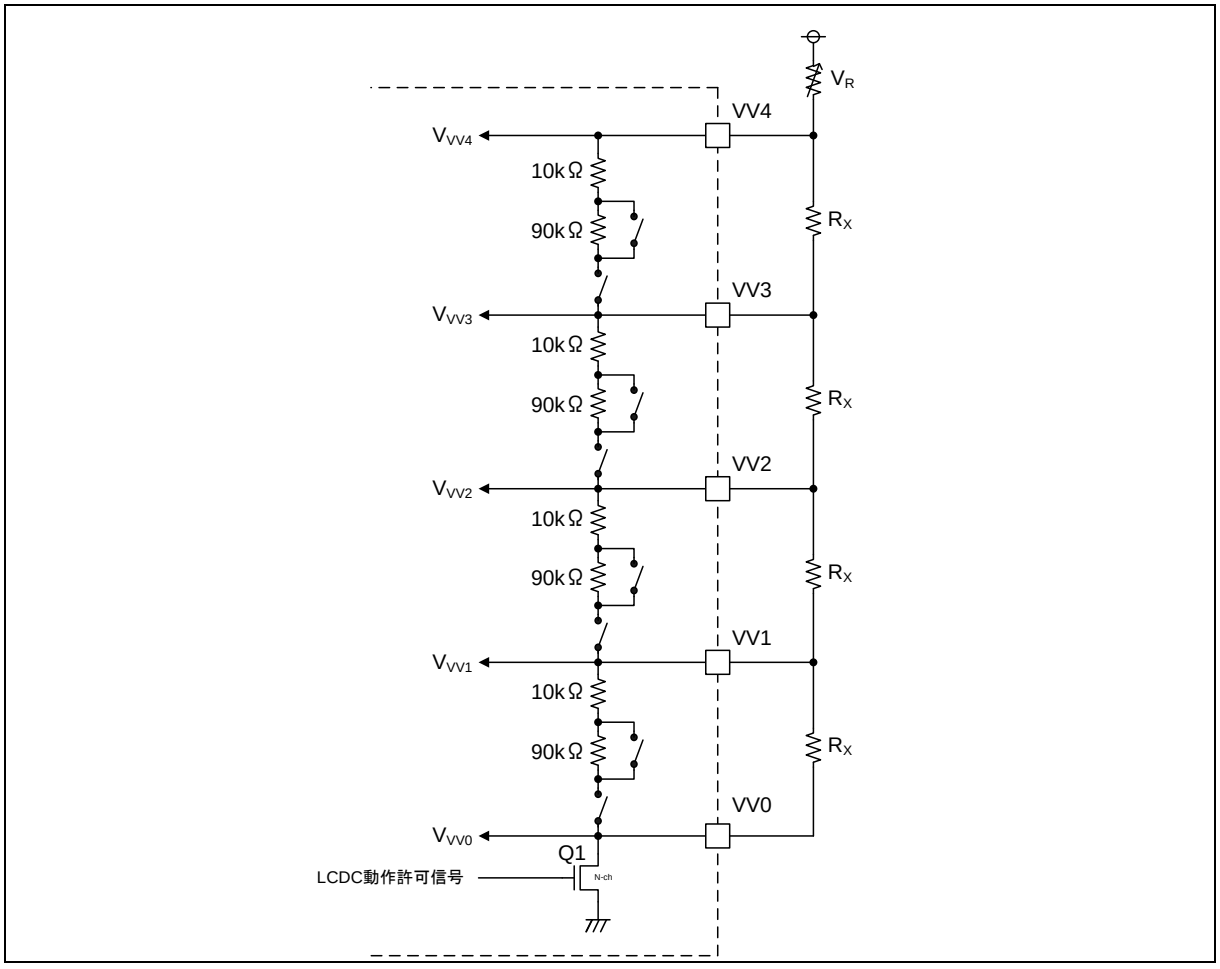
	V_{VV4}	V_{VV3}	V_{VV2}	V_{VV1}	V_{VV0}
1/2 バイアス	V_{LCD}	1/2 V_{LCD}	1/2 V_{LCD}	1/2 V_{LCD}	GND
1/3 バイアス	V_{LCD}	2/3 V_{LCD}	2/3 V_{LCD}	1/3 V_{LCD}	GND
1/4 バイアス	V_{LCD}	3/4 V_{LCD}	1/2 V_{LCD}	1/4 V_{LCD}	GND

V_{LCD}：LCD の動作電圧

■ 外部分割抵抗の使用

VV0 端子は内部でトランジスタを通して Vss (GND) へ接続されているため、外部分割抵抗を使用する場合、分割抵抗の Vss 側を VV0 端子に接続することにより、LCD コントローラ停止時に抵抗へ流れる電流を遮断します。図 2-7 に外部分割抵抗使用時の状態を示します。

図 2-7 外部分割抵抗を使用した状態



1) 内部分割抵抗の影響を受けずに外部に分割抵抗を接続するには、LCDC 制御レジスタ 1 の LCD 駆動電圧制御ビット(LCDCC1:VSEL)に"0"を書込み、内部分割抵抗全体を切り離す必要があります。ポートを LCD の駆動用電源端子として使用するためには、LCDC 制御レジスタ 3 の VV4～VV0 選択ビット (LCDCC3:VE4~VE0)に"1"を書き込んでください。
2) 内部分割抵抗が切り離された状態で、LCDCC1 レジスタの表示モード選択ビット (LCDCC1:MS[2:0]) に"000"以外を書き込むと LCDC 動作許可トランジスタ(Q1)が"ON"となって外部分割抵抗に電流が流れます。
3) 表示モード選択ビット (MS[2:0]) に"000"を書き込むと LCDC 動作許可トランジスタ(Q1)が"OFF"となって分割抵抗に電流が流れなくなります。

＜注意事項＞

外部抵抗 R_X の適切な抵抗値は使用する LCD パネルにより異なります。使用する LCD パネルに合わせて抵抗値を選択してください。

2.3. LCD コントローラの端子

LCD コントローラの端子について説明します。

■ LCD コントローラの端子

LCD コントローラ用の端子は、8 本のコモン出力端子 (COM0～COM7) , 最大 44 本のセグメント出力端子 (SEG00～SEG43) および 5 本の LCD 駆動用電源端子 (VV0～VV4) があり、汎用入出力ポートと兼用されています。

LCD コントローラ用端子として使用する場合は、LCDC 制御レジスタ 3(LCDCC3)、LCDC COM 出力許可レジスタ(LCDC_COMEN)、LCDC SEG 出力許可レジスタ 1/2 (LCDC_SEGEN1/2)の対応するビットを"1"に設定してください。

汎用入出力ポートとして使用する場合は、LCDC 制御レジスタ 3(LCDCC3)、LCDC COM 出力許可レジスタ(LCDC_COMEN)、LCDC SEG 出力許可レジスタ 1/2(LCDC_SEGEN1/2)の対応するビットを"0" に設定してから、LCDC 制御レジスタ 3(LCDCC3) の I/O ポート入力制御ビット (PICTL) を"1" に設定してください。

● COM0～COM7 端子

8 COM モードでは、COM0～COM7 端子をコモン出力端子として使用できます。

4 COM モードでは、COM0～COM3 端子をコモン出力端子として使用できます。また、COM4 ~ COM7 端子に SEG 端子を兼用している製品では、SEG 出力端子としても使用できます。

● SEG00～SEG43 端子

8 COM モードでは、SEG00～SEG39 端子をセグメント出力端子として使用できます。

4 COM モードでは、SEG00～SEG43 端子をセグメント出力端子として使用できます。

● VV0～VV4 端子

LCD 駆動用電源端子です。

内部分割抵抗を使用する場合は、VV0～VV3 端子で内部電圧を確認することができます。

また、外部から LCD 駆動電源を供給することもできます。

3. LCD コントローラ 動作説明

LCD コントローラの動作を説明します。

■ LCD コントローラのモード

表 3-1 に LCD コントローラの設定可能な表示モードとバイアスの組合せを示します。

表 3-1 表示モードとバイアスの組合せ

表示モード LCDCC1.MS[2:0]	1/2 バイアス	1/3 バイアス	1/4 バイアス
001 (4COM モード, 1/2 デューティ)	○	×	×
010 (4COM モード, 1/3 デューティ)	×	○	×
011 (4COM モード, 1/4 デューティ)	×	○	×
100 (8COM モード, 1/3 デューティ, LCDCC3.BLS8=0)	×	○	×
100 (8COM モード, 1/4 デューティ, LCDCC3.BLS8=1)	×	×	○

○：設定可能
×：設定禁止

■ LCD コントローラの動作状態

LCD コントローラの CPU 動作モードでの動作状態を表 3-2 に示します。

表 3-2 LCD コントローラの動作状態

CPU 動作モード		動作状態
ランモード		動作可能
スタンバイモード	スリープモード	動作可能
	タイマモード	動作可能*
	RTC モード	動作不可
	ストップモード	
ディープスタンバイモード	ディープスタンバイ RTC モード	動作不可
	ディープスタンバイ ストップモード	

*：LCDC 割込み要求は発生しません。

＜注意事項＞

- タイマモードでは PCLK が停止するため、タイマモードで LCD コントローラを動作させるときは、LCDC クロックのソースクロックにサブクロックを選択してからタイマモードに遷移させてください。
- RTC/ストップモードおよびディープスタンバイモードでは、LCD コントローラは動作しないため、RTC/ストップモードおよびディープスタンバイモードに遷移する前に LCD コントローラの表示動作を停止(LCDCC1:MS[2:0]=000)させてください。

3.1. LCD の駆動波形

LCD はその性質上、直流駆動を行うと液晶表示素子に化学変化が生じ、 液晶表示素子が劣化してしまいます。このため LCD コントローラは交流波形生成回路を内蔵し、2 フレームを交流化した波形で LCD を駆動します。出力波形には次の 5 種類があります。

8 COM モード:

- 1/3 バイアス, 1/8 デューティ出力波形
- 1/4 バイアス, 1/8 デューティ出力波形

4 COM モード:

- 1/2 バイアス, 1/2 デューティ出力波形
- 1/3 バイアス, 1/3 デューティ出力波形
- 1/3 バイアス, 1/4 デューティ出力波形

3.1.1. 8 COM モードでの LCD コントローラ動作時の出力波形　(1/3 バイアス, 1/8 デューティ)

8 COM モードでは、1/3 バイアスおよび 1/8 デューティのときには、COM0～COM7 が表示に使用されます。

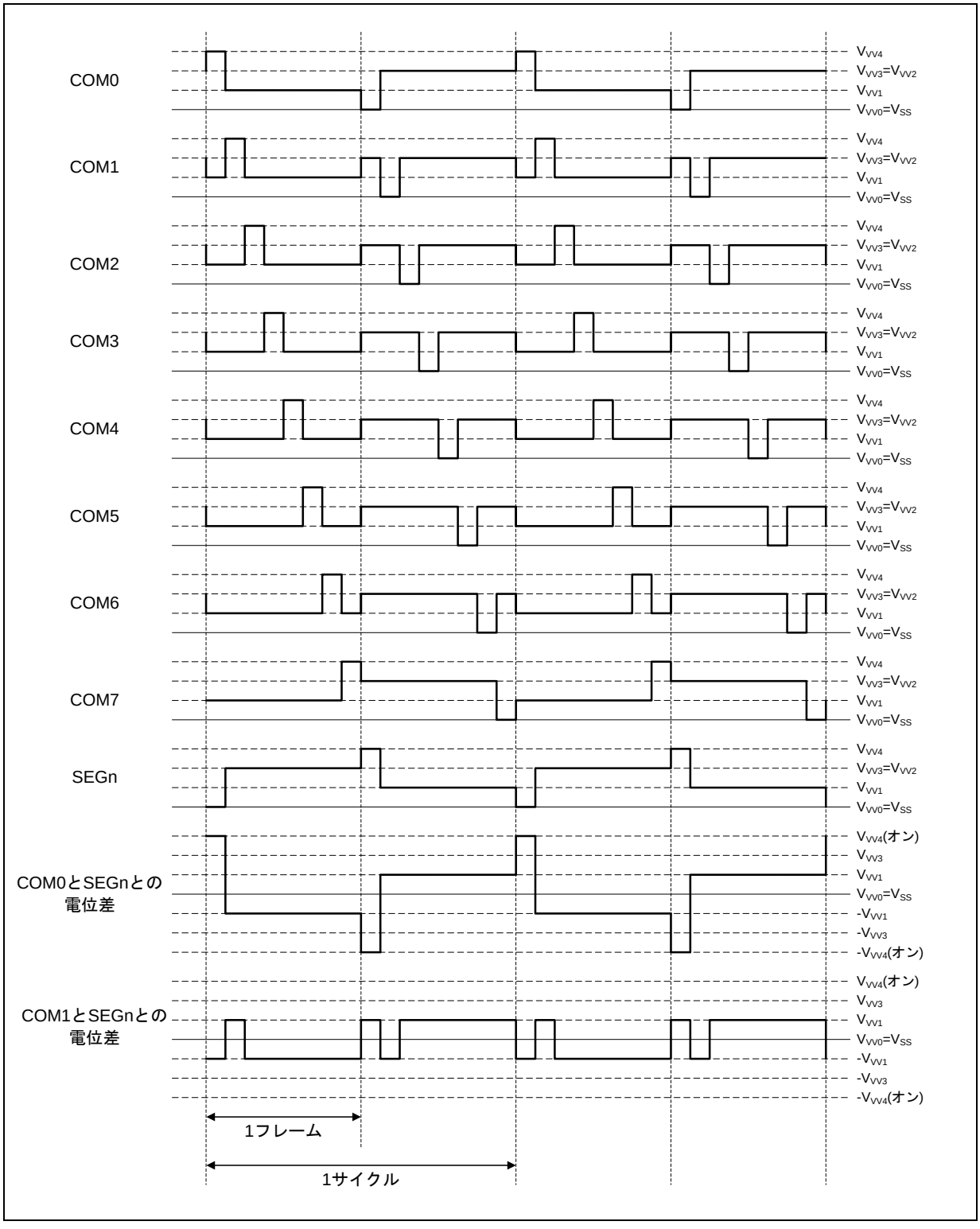
■ 8 COM モード, 1/3 バイアス, 1/8 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が表 3-3 のときの出力波形を図 3-1 に示します。

表 3-3 LCDRAM の内容例

セグメント	LCDRAM の内容							
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
SEGn	0	0	0	0	0	0	0	1

図 3-1 8 COM モード, 1/3 バイアス, 1/8 デューティ比出力波形例



3.1.2. 8 COM モードでの LCD コントローラ動作時の出力波形(1/4 バイアス, 1/8 デューティ)

8 COM モードでは、1/4 バイアスおよび 1/8 デューティのときには、COM0～COM7 が表示に使用されます。

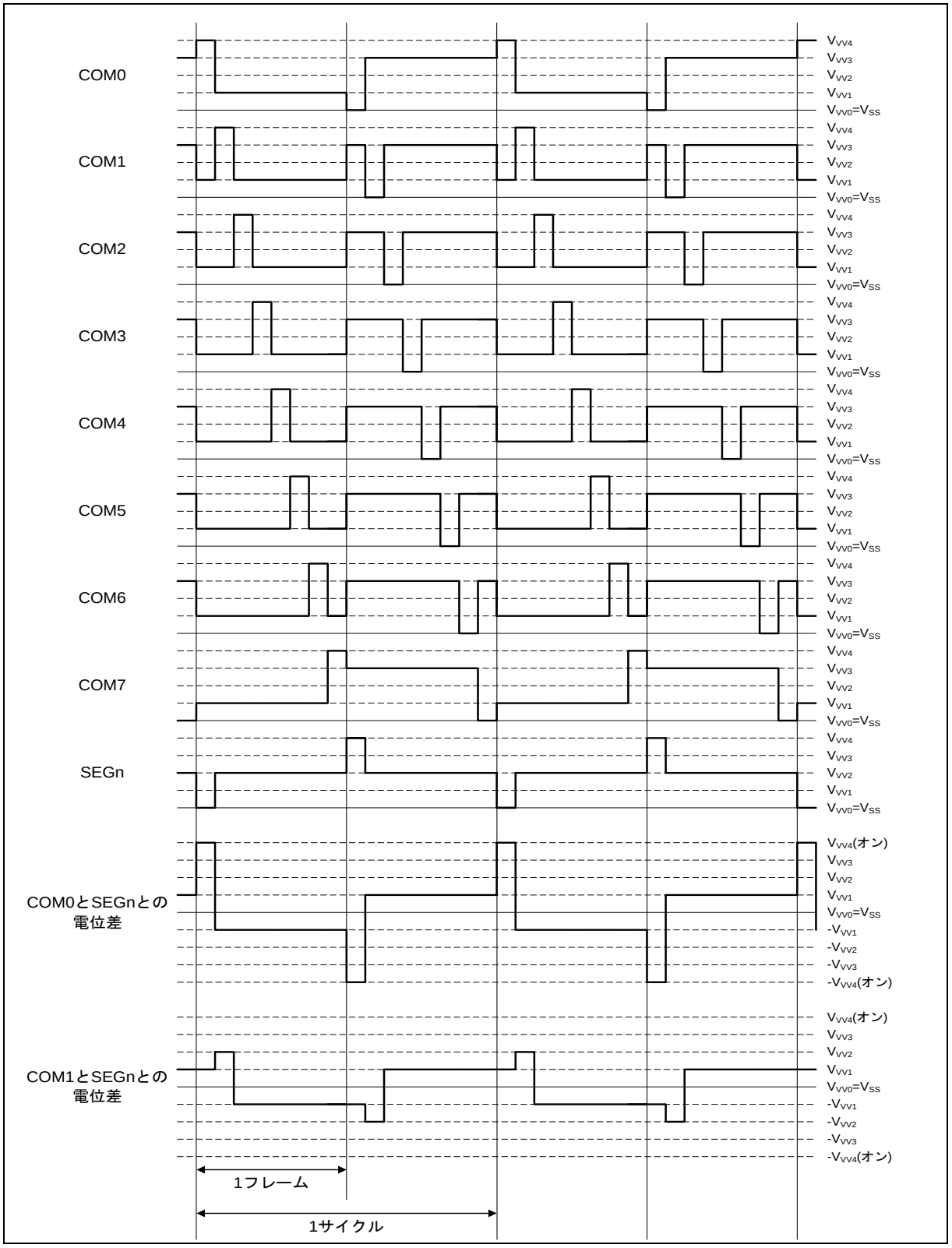
■ 8 COM モード, 1/4 バイアス, 1/8 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が表 3-4 のときの出力波形を図 3-2 に示します。

表 3-4 LCDRAM の内容例

セグメント	LCDRAM の内容							
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
SEGn	0	0	0	0	0	0	0	1

図 3-2 8 COM モード, 1/4 バイアス, 1/8 デューティ比出力波形例



3.1.3. 4 COM モードでの LCD コントローラ動作時の出力波形(1/2 バイアス, 1/2 デューティ)

表示駆動出力は、分割駆動タイプの 2 フレームを交流化した波形です。
4 COM モードでは、1/2 バイアスおよび 1/2 デューティのときには、COM0 および COM1 が表示に使用され、COM2 および COM3 は使用されません。

■ 4 COM モード, 1/2 バイアス, 1/2 デューティ出力波形例

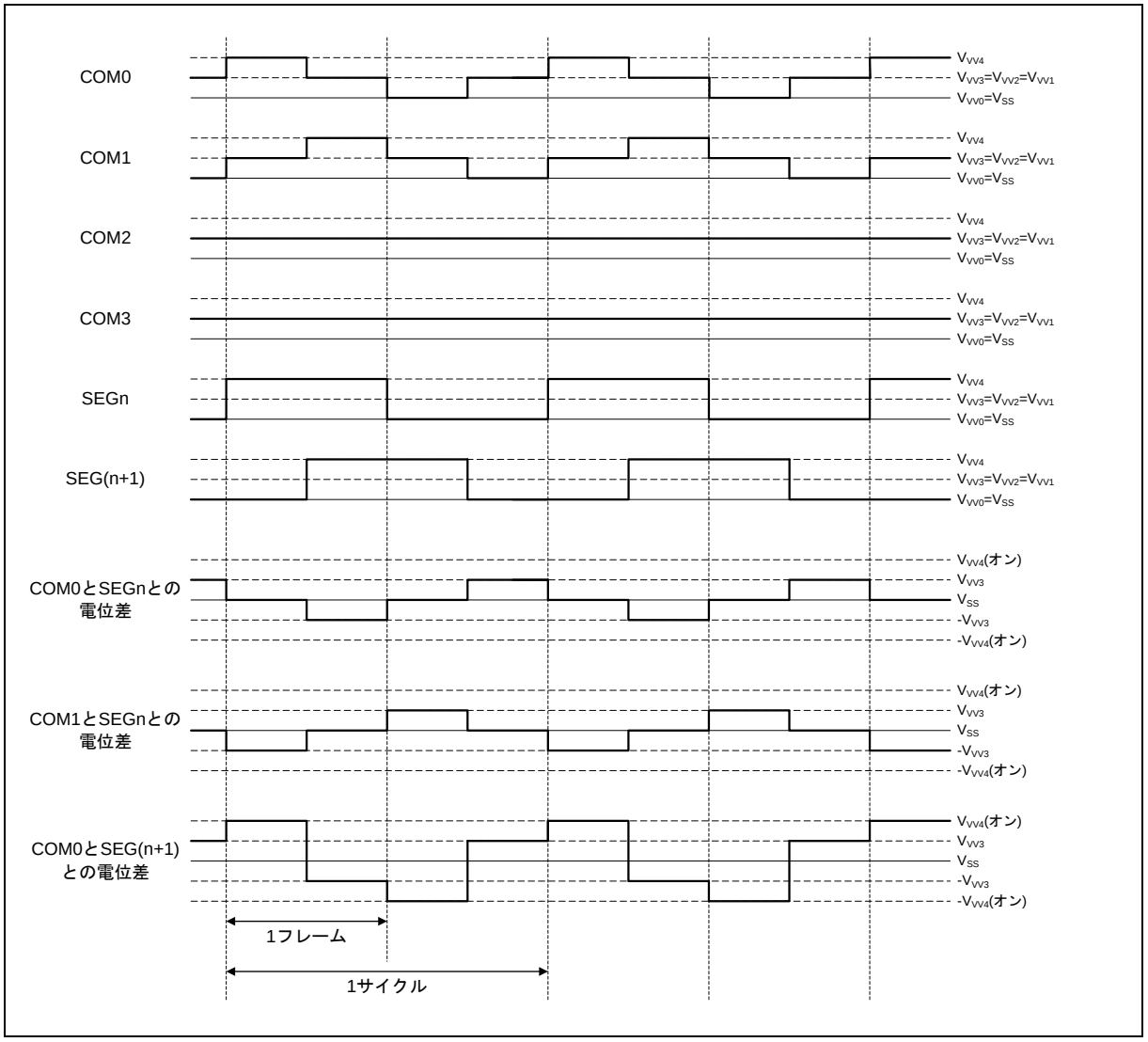
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が表 3-5 のときの出力波形を図 3-3 に示します。

表 3-5 LCDRAM の内容例

セグメント	LCDRAM の内容			
	COM3	COM2	COM1	COM0
SEGn	-	-	0	0
SEG(n+1)	-	-	0	1

-： 使用しない

図 3-3 4 COM モード, 1/2 バイアス, 1/2 デューティ比出力波形例



3.1.4. 4 COM モードでの LCD コントローラ動作時の出力波形(1/3 バイアス, 1/3 デューティ)

4 COM モードでは、1/3 バイアスおよび 1/3 デューティのときには、COM0, COM1, および COM2 が表示に使用され、COM3 は使用されません。

■ 4 COM モード, 1/3 バイアス, 1/3 デューティ出力波形例

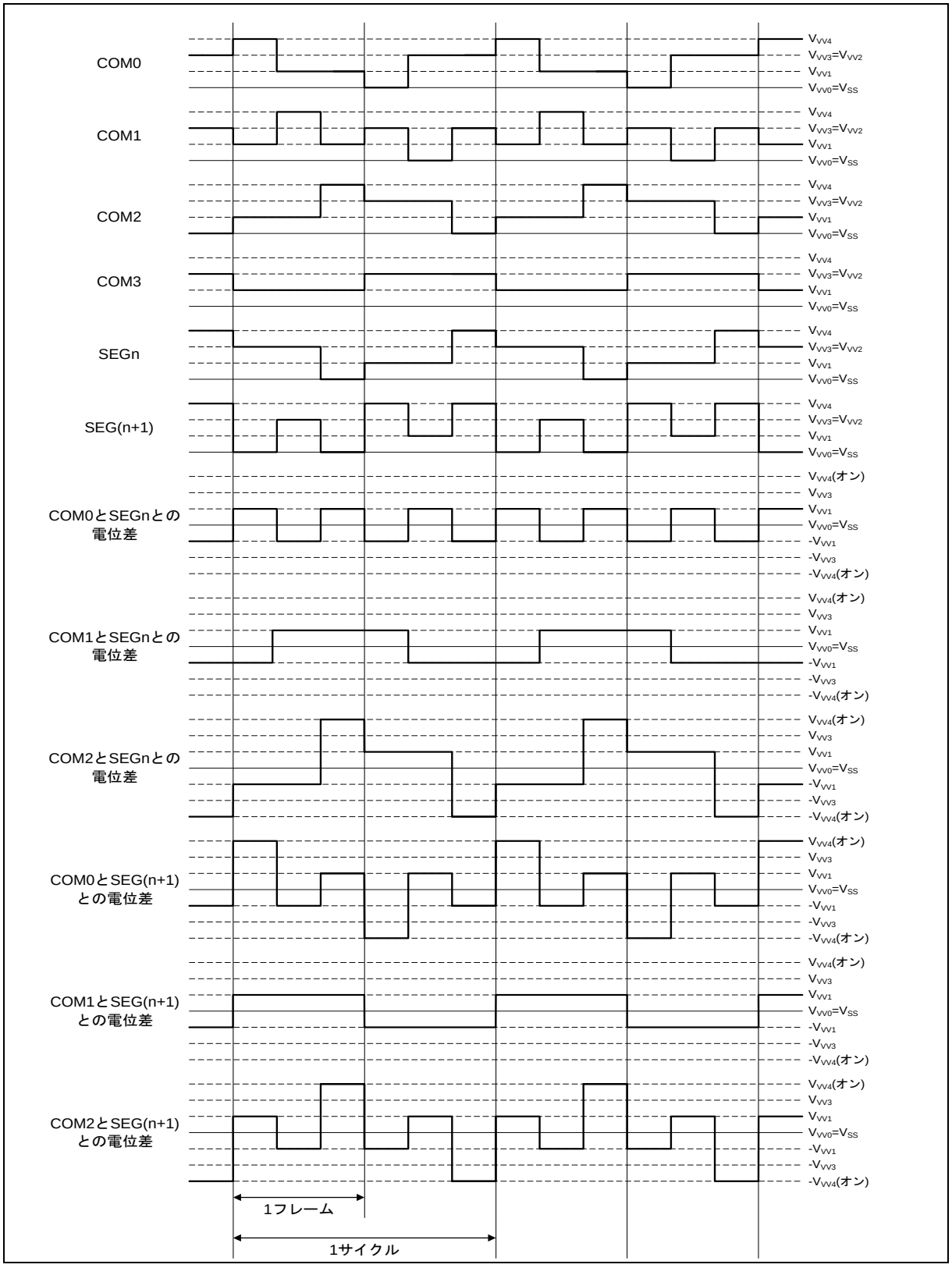
表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が表 3-6 のときの出力波形を図 3-4 に示します。

表 3-6 LCDRAM の内容例

セグメント	LCDRAM の内容			
	COM3	COM2	COM1	COM0
SEGn	-	1	0	0
SEG(n+1)	-	1	0	1

-： 使用しない

図 3-4 4 COM モード, 1/3 バイアス, 1/3 デューティ比出力波形例



3.1.5. 4 COM モードでの LCD コントローラ動作時の出力波形(1/3 バイアス, 1/4 デューティ)

4 COM モードでは、1/3 バイアスおよび 1/4 デューティのときには、COM0～COM3 が表示に使用されます。

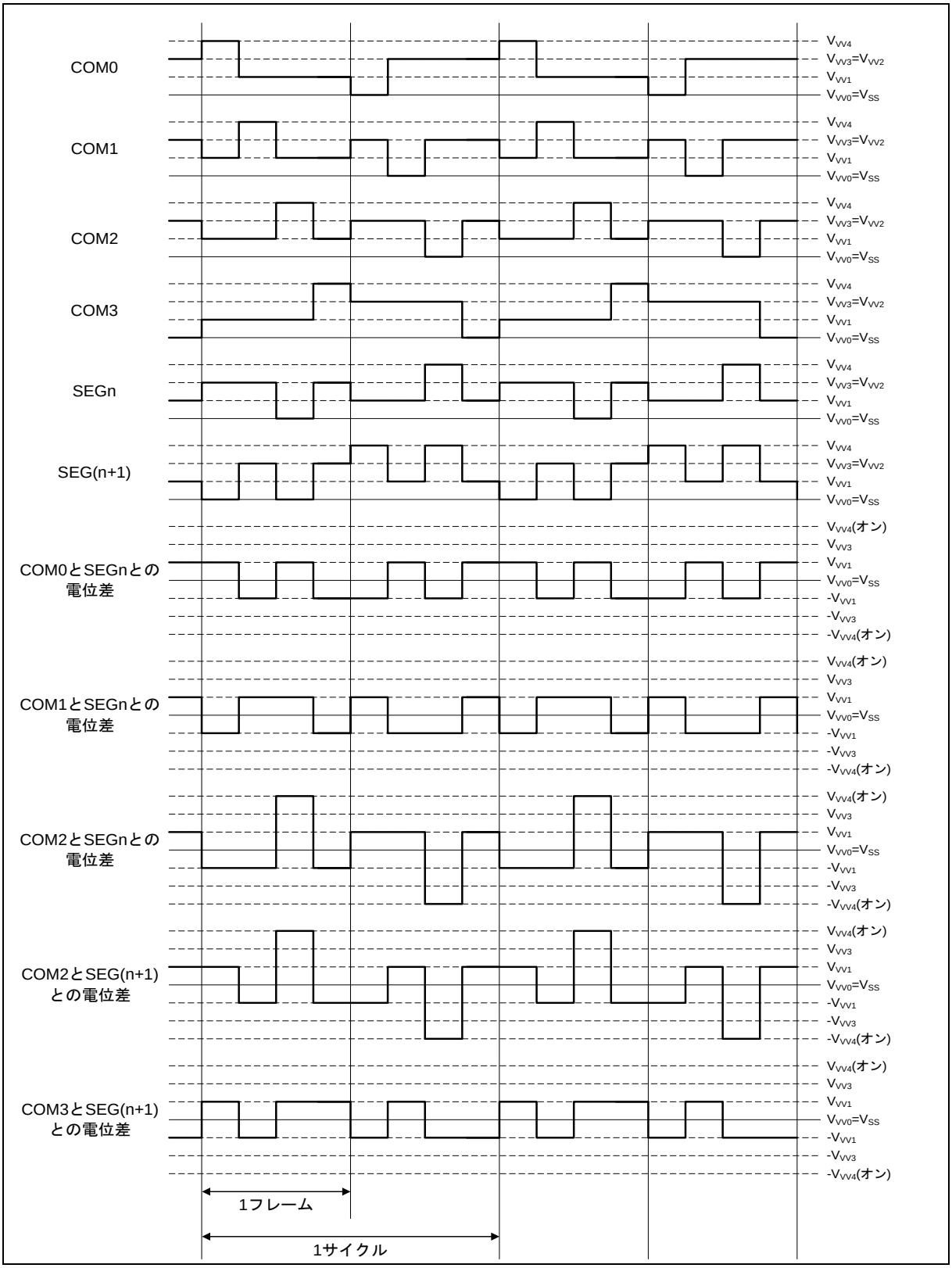
■ 4 COM モード, 1/3 バイアス, 1/4 デューティ出力波形例

表示はコモン出力とセグメント出力の電位差が最大となる液晶素子が"ON"となります。
LCDRAM の内容が表 3-7 のときの出力波形を図 3-5 に示します。

表 3-7 LCDRAM の内容例

セグメント	LCDRAM の内容			
	COM3	COM2	COM1	COM0
SEGn	0	1	0	0
SEG(n+1)	0	1	0	1

図 3-5 4 COM モード, 1/3 バイアス, 1/4 デューティ比出力波形例



3.2. LCD コントローラの割込み

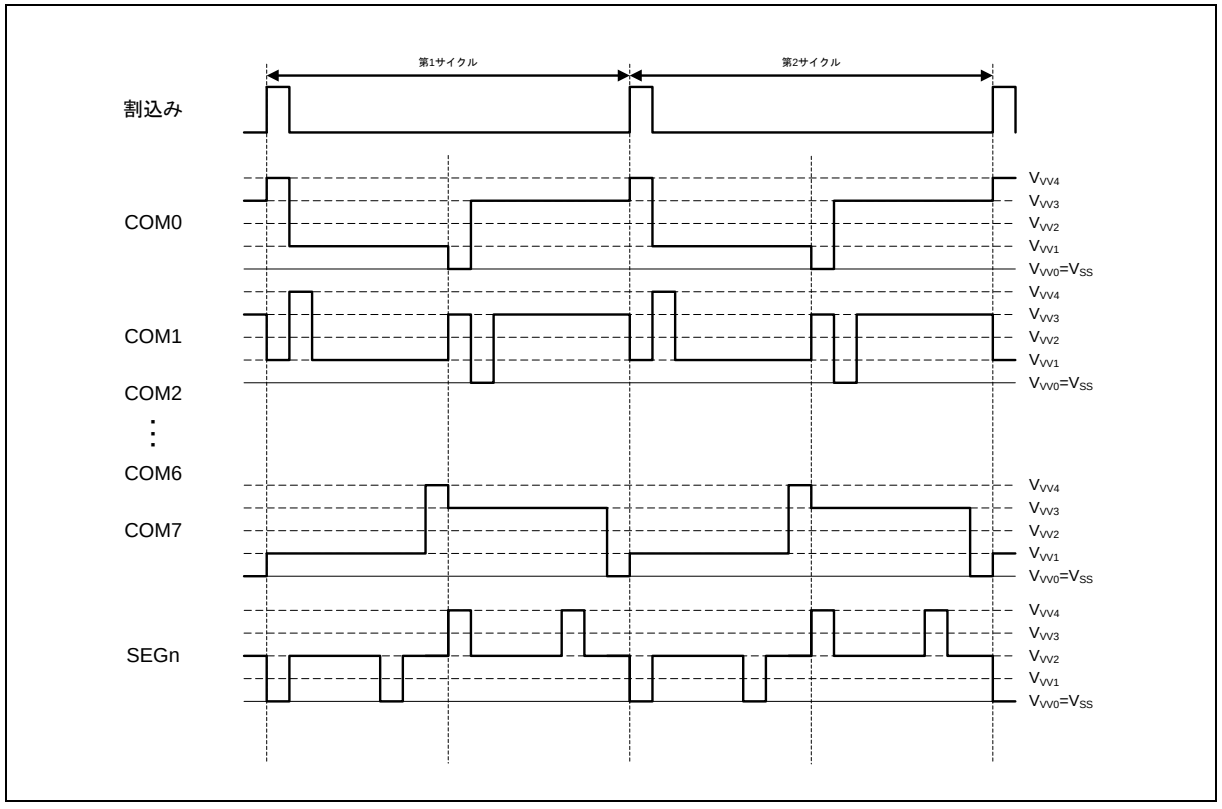
LCD コントローラは、LCD 周期と同期して、割込みを生成します。

■ LCD コントローラ動作時の割込み

1 サイクル処理が完了すると、LCD コントローラは、LCDC 割込み要求フラグビット (LCDCC2:LCDIF) を"1"に設定します。 LCDIF ビットが"1"に設定されたとき、すでに割込み要求が許可されている場合 (LCDCC2:LCDIEN = 1)、LCD コントローラは、割込みコントローラに割込み要求を発行します。 割込み要求をクリアするには、割込みルーチンで、LCDIF ビットに"0"を書き込んでください。

LCD コントローラは、1 サイクル処理が完了次第、LCDIEN ビットの値に関係なく、常に LCDIF ビットを"1"に設定します。 LCDC 割込み要求の発行後、LCDIF ビットおよび LCDIEN ビットの両方が"1" に設定されたままの場合、CPU は、割込み処理から復帰できません。 CPU が割込み処理から復帰できるように、LCDC 割込み要求の発行後は、常に LCDIF ビットを"0"にクリアしてください。

図 3-6 割込みタイミング



3.3. LCD コントローラの表示データメモリ

表示データメモリ(LCD RAM)のサイズは、8 COM モードと 4 COM モードとでは異なります。
8 COM モードでは、セグメント出力信号発生用の最大 40×8 ビット(40 バイト)の LCD RAM があります。
4 COM モードでは、セグメント出力信号発生用の最大 44×4 ビット(22 バイト)の LCD RAM があります。

■ 表示データメモリと出力端子

表示データメモリ(LCDRAM)の内容は、コモン信号の選択タイミングで自動的に読み出され同期して、セグメント出力端子より出力されます。
各ビットの内容が"1"であれば選択電圧に変換 (LCD は表示) され、"0"であれば非選択電圧に変換 (LCD は非表示) されて出力されます。
LCD 表示動作は CPU の動作とは非同期で行われるため、LCDRAM に対しては任意のタイミングで書込み/読込みができます。セグメント出力に指定されなかった端子は入出力ポートとして、また、対応する LCDRAM は通常の汎用レジスタとして使用できます。表 3-8 にデューティとコモン出力および LCDRAM の使用ビットの関係を示します。
図 3-7 と図 3-8 に、8 COM モードおよび 4 COM モードにおける、コモン出力およびセグメント出力端子への LCDRAM アドレスの割当てを示します。

図 3-7 LCDRAM およびコモン/セグメント出力端子(8 COM モード)

Base_Address(n) +Adress									
n	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG00
n+1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG01
n+2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG02
n+3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG03
n+4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG04
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
n+36	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG36
n+37	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG37
n+38	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG38
n+39	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SEG39
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	

1/8デューティ比で使用される領域とCOM端子

図 3-8 LCDRAM およびコモン/セグメント出力端子(4COM モード)

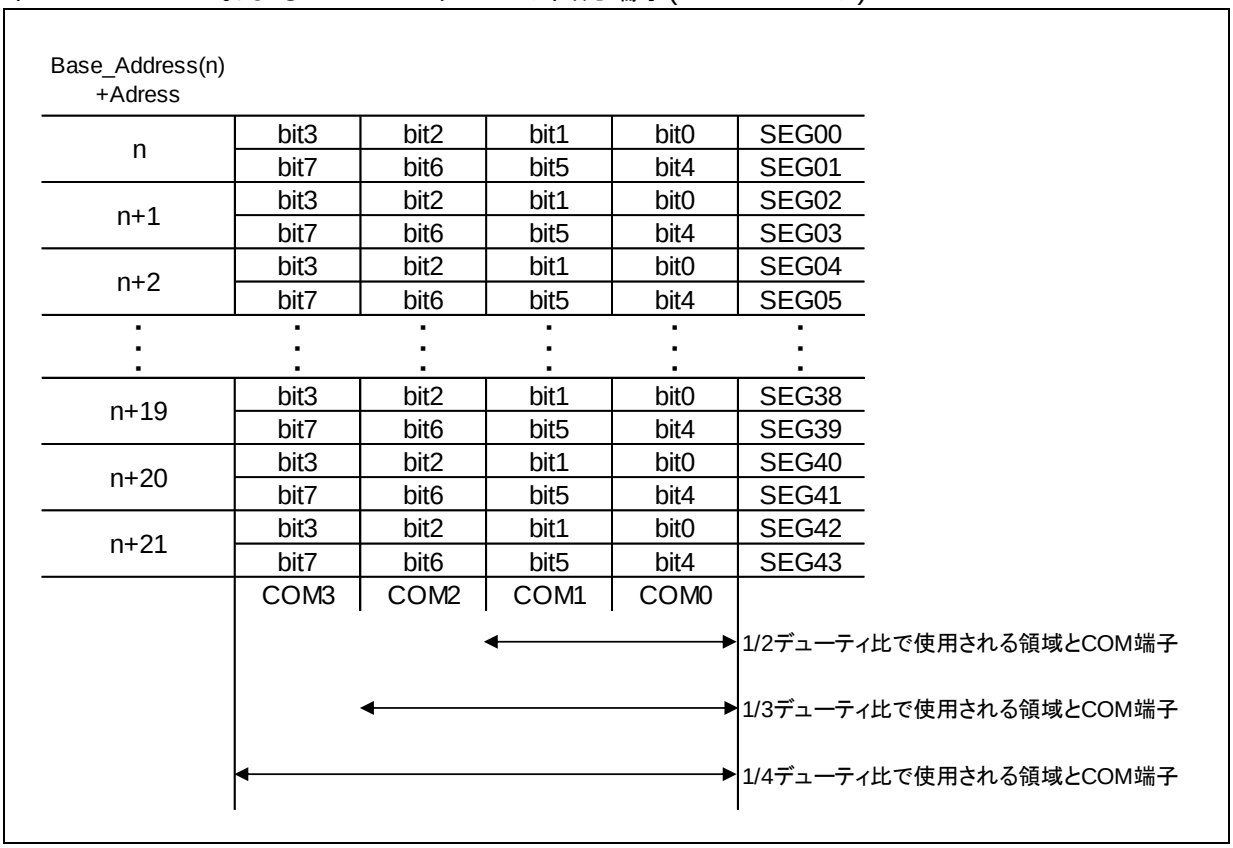


表 3-8 デューティ比とコモン出力および LCDRAM の使用ビットの関係

デューティ比	使用するコモン出力	使用する各表示用データのビット							
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1/2	COM0, COM1 (2 本)	−	−	○	○	−	−	○	○
1/3	COM0～COM2 (3 本)	−	○	○	○	−	○	○	○
1/4	COM0～COM3 (4 本)	○	○	○	○	○	○	○	○
1/8	COM0～COM7 (8 本)	○	○	○	○	○	○	○	○

○：使用するビット
－：使用しないビット

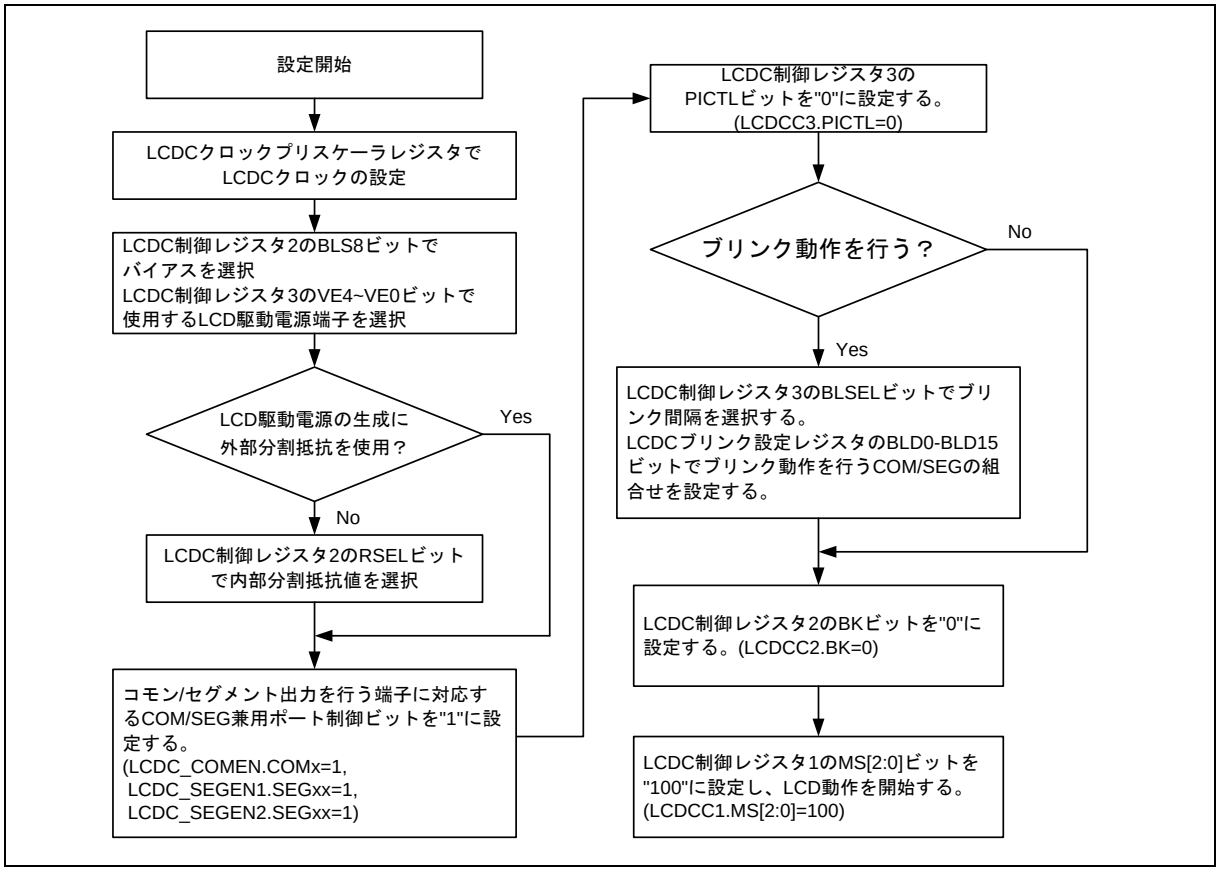
4. LCD コントローラ 設定手順例

LCD コントローラの設定手順例について説明します。

■ 8COM モードの設定手順

図 4-1 に 8COM モードの設定手順を示します。

図 4-1 8COM モードにおける LCD コントローラの設定手順例

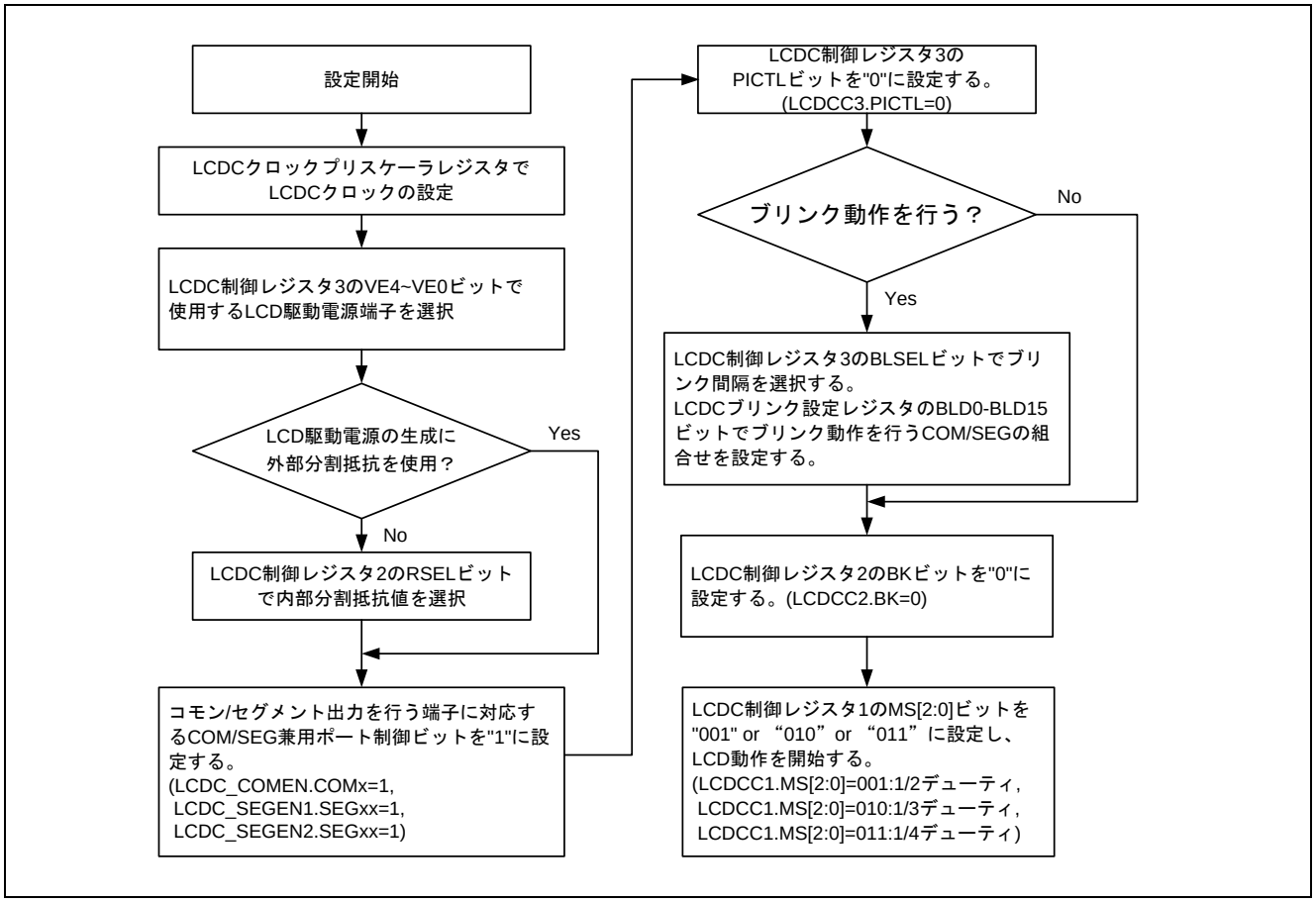


- 図 4-1 の設定が行われると LCDRAM および LCDC のレジスタの内容に従って、コモン/セグメント出力端子に LCD パネルの駆動波形を出力します。
- LCDC 制御レジスタ 3(LCDCC3)、LCDC COM 出力許可レジスタ(LCDC_COMEN)、LCDC SEG 出力許可レジスタ 1/2(LCDC_SEGEN1/2)により LCD の出力端子を選択します。また、コモン/セグメント出力端子として選択されなかった端子は、汎用入出力ポートとして使用できます。
- LCD 表示動作中であっても、LCDC クロックを切り換えられます。
  ただし、切換え時に LCD 表示がちらつくことがあるため、LCDC 制御レジスタ 2 の BK ビットを"1"に設定(LCDCC2:BK=1)し、ブランク表示を行ってから LCDC クロックを切り換えてください。
- 表示駆動出力は、バイアスおよびデューティの設定によって選択される、2 フレームを交流化した波形です。
- ブリンク(点滅)機能を使用する場合は、LCDC ブリンク設定レジスタ(LCDC_BLINK)により対応するビットを"1"に設定します。ブリンク間隔は LCDC 制御レジスタ 3 (LCDCC3)の BLSEL ビットで 2 種類から選択できます。

■ 4COM モードの設定手順

図 4-2 に 4COM モードの設定手順例を示します。

図 4-2　4COM モードにおける LCD コントローラの設定手順例



- 図 4-2 の設定が行われると LCDRAM および LCDC のレジスタの内容に従って、コモン/セグメント出力端子に LCD パネルの駆動波形を出力します。
- LCDC 制御レジスタ 3(LCDCC3)、LCDC COM 出力許可レジスタ(LCDC_COMEN)、LCDC SEG 出力許可レジスタ 1/2(LCDC_SEGEN1/2)により LCD の出力端子を選択します。また、コモン/セグメント出力端子として選択されなかった端子は、汎用入出力ポートとして使用できます。
- LCD 表示動作中であっても、LCDC クロックを切り換えられます。
  ただし、切換え時に LCD 表示がちらつくことがあるため、LCDC 制御レジスタ 2 の BK ビットを"1"に設定(LCDCC2:BK=1)し、ブランク表示を行ってから LCDC クロックを切り換えてください。
- 表示駆動出力は、バイアスおよびデューティの設定によって選択される、2 フレームを交流化した波形です。
- ブリンク(点滅)機能を使用する場合は、LCDC ブリンク設定レジスタ(LCDC_BLINK)により対応するビットを"1"に設定します。ブリンク間隔は LCDC 制御レジスタ 3 (LCDCC3)の BLSEL ビットで 2 種類から選択できます。

5. LCD コントローラ レジスタ

LCD コントローラのレジスター覧を示します。

■ LCD コントローラのレジスタ

表 5-1 LCD コントローラのレジスター覧

レジスタ略称	レジスタ名	参照先
LCDCC1	LCDC 制御レジスタ 1	5.1
LCDCC2	LCDC 制御レジスタ 2	5.2
LCDCC3	LCDC 制御レジスタ 3	5.3
LCDC_PSR	LCDC クロックプリスケーラレジスタ	5.4
LCDC_COMEN	LCDC COM 出力許可レジスタ	5.5
LCDC_SEGEN1	LCDC SEG 出力許可レジスタ 1	5.6
LCDC_SEGEN2	LCDC SEG 出力許可レジスタ 2	5.7
LCDC_BLINK	LCDC ブリンク設定レジスタ	5.8
LCDRAM00 ～ LCDRAM39	表示データメモリレジスタ 00～39	5.9

5.1. LCDC 制御レジスタ 1(LCDCC1)

LCD コントローラの設定を行うレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約	LCDEN	VSEL	MS[2:0]			予約	
属性	-	R/W	R/W	R/W			-	
初期値	0	0	0	000			00	

[bit7] 予約 : 予約ビット

読出しは常に"0"となります。
書込みは意味を持ちません。

[bit6] LCDEN : タイマモード時動作許可ビット

値	説明
0	タイマモードで LCD コントローラは停止します。
1	タイマモードで LCD コントローラは動作します。

＜注意事項＞

タイマモードでは PCLK が停止するため、タイマモードで LCD コントローラを動作させるときは、LCDC クロックのソースクロックにサブクロックを選択(LCDC_PSR:CLKSEL=0)してからタイマモードに遷移させてください。

[bit5] VSEL : LCD 駆動電源制御ビット

値	説明
0	LCD 駆動電源の生成に外部分割抵抗を使用します。
1	LCD 駆動電源の生成に内部分割抵抗を使用します。

[bit4:2] MS[2:0] : LCD コントローラ表示モード選択ビット

値	説明
000	LCD コントローラの表示動作を停止します。
001	4COM モード、1/2 デューティ
010	4COM モード、1/3 デューティ
011	4COM モード、1/4 デューティ
1xx	8COM モード、1/8 デューティ

[bit1:0] 予約 : 予約ビット

読出しは常に"0"となります。

書込みは意味を持ちません。

5.2. LCDC 制御レジスタ 2(LCDCC2)

LCD コントローラの設定を行うレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約		RSEL	BLS8	INV	BK	LCDIEN	LCDIF
属性	-		R/W	R/W	R/W	R/W	R/W	R/W
初期値	00		0	1	0	1	0	0

[bit15:14] 予約 : 予約ビット

読出しは常に"0"となります。

書込みは意味を持ちません。

[bit13] RSEL :分圧抵抗値選択ビット

内部分割抵抗を選択(LCDCC1:VSEL="1")したときの分圧抵抗を選択します。

値	説明
0	100kΩの抵抗を選択します。
1	10kΩの抵抗を選択します。

[bit12] BLS8 :8COM モード時バイアス選択ビット

値	説明
0	8COM モードのとき、1/3 バイアスを選択します。
1	8COM モードのとき、1/4 バイアスを選択します。

＜注意事項＞

4COM モードのときは、LCD コントローラの動作に影響を与えません。

[bit11] INV :反転表示制御ビット

値	説明
0	反転表示を行いません。
1	反転表示を行います。

[bit10] BK :ブランク表示制御ビット

値	説明
0	LCDRAM(LCDRAM00~43)に格納されたデータを表示します。
1	LCDRAM(LCDRAM00~43)に格納されたデータに関わらずブランク表示を行います。

[bit9] LCDIEN :割込み許可ビット

値	説明
0	割込み要求の発生を禁止します。
1	割込み要求の発生を許可します。

[bit8] LCDIF :割込み要求検出ビット

値	説明
0	割込み要求は検出されていません。
1	割込み要求が検出されました。

5.3. LCDC 制御レジスタ 3(LCDCC3)

LCD コントローラの設定を行うレジスタです。

bit	23	22	21	20	19	18	17	16
Field	PICTL	BLSEL	VE4	VE3	VE2	VE1	VE0	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
初期値	0	0	1	1	1	1	1	0

[bit23] PICTL : I/O ポート入力制御ビット

COM および SEG と兼用になっている I/O ポートを制御します。

値	説明
0	I/O ポートの入力を遮断します。 COM/SEG 出力端子として使用するときの貫通電流を抑えます。
1	I/O ポートの入力を遮断しません。

＜注意事項＞

リセットで PICTL ビットが初期化されるため、I/O ポートを入力端子として使用するときは PICTL ビットに"1"を設定してください。ただし、LCDC_COMEN, LCDC_SEG1, LCDC_SEG2 レジスタで COM/SEG 出力端子として設定した I/O ポートの入力は遮断されます。

[bit22] BLSEL : ブリンク間隔選択ビット

値	説明
0	サブクロックの $1/2^{14}$ を選択します。 サブクロックが 32.768[kHz]のとき、0.5[s] 間隔になります。
1	サブクロックの $1/2^{15}$ を選択します。 サブクロックが 32.768[kHz]のとき、1.0[s] 間隔になります。

[bit21] VE4 : VV4 選択ビット

値	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV4)として機能します。

＜注意事項＞

LCD コントローラを選択(LCDCC1:VSEL="1")したときは、VV4 端子を GPIO として使用できないため、VE4 ビットには必ず"1"を書き込んでください。

[bit20] VE3 : VV3 選択ビット

値	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV3)として機能します。

[bit19] VE2 : VV2 選択ビット

値	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV2)として機能します。

[bit18] VE1 : VV1 選択ビット

値	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV1)として機能します。

[bit17] VE0 : VV0 選択ビット

値	説明
0	GPIO として機能します。
1	LCD 駆動電源端子(VV0)として機能します。

[bit16] 予約 : 予約ビット

読出しは常に"0"となります。

書込みは意味を持ちません。

＜注意事項＞

内部分割抵抗を選択(LCDCC1:VSEL="1")したときは、VV3~VV0 端子を GPIO として使用できます。

5.4. LCDC クロックプリスケーラレジスタ(LCDC_PSR)

LCDC クロックの設定を行うレジスタです。

bit	31	23	22	21	0
Field	予約		CLKSEL	CLKDIV	
属性	-		R/W	R/W	
初期値	0_0000_0000		0	00_0000_0000_0000_0000_0000	

[bit31:23] 予約 : 予約ビット
読出しは常に"0"となります。
書込みは意味を持ちません。

[bit22] CLKSEL: ソースクロック選択ビット

値	説明
0	LCDC クロックのソースクロックにサブクロックを選択します。
1	LCDC クロックのソースクロックに PCLK を選択します。

[bit21:0] CLKDIV : LCDC クロック分周比設定ビット

値	説明
00_0000_0000_0000_0000_0000	LCDC クロックの分周比を設定します。 (CLKDIV の設定値+1)分周になります。 例:CLKDIV(=00_0000_0000_0000_0000_0000) + 1 ⇒1 分周
00_0000_0000_0000_0000_0001	
.	
.	
11_1111_1111_1111_1111_1110	
11_1111_1111_1111_1111_1111	

5.5. LCDC COM 出力許可レジスタ (LCDC_COMEN)

COM 出力端子(COM0～COM7)の出力制御を行います。

bit	bit31							bit8
Field	予約							
属性	-							
初期値	0x000000							

bit	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Field	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:8] 予約 : 予約ビット

読出しは常に"0"となります。
書込みは意味を持ちません。

[bit7:4] COM7～COM4 : COM/SEG 兼用ポート制御ビット

本ビットでは COM4～COM7 の I/O ポートの状態制御とコモン出力のアナログスイッチ制御を行います。
また、COM4～COM7 にセグメント出力端子を兼用している製品では、4COM モードにおける SEGxx の I/O ポートの状態制御とセグメント出力のアナログスイッチ制御も行えます。
SEGxx 端子を兼用していない製品では、4COM モード時に本ビットへの書込みは動作に影響しません。

値	説明
0	対象の I/O ポートを GPIO として使用します。 COMx/SEGxx 出力のアナログスイッチはオフします。
1	対象の I/O ポートを COMx/SEGx 出力端子として使用します。 COMx/SEGxx 出力のアナログスイッチはオンします。

[bit3:0] COM3～COM0 : COM 兼用ポート制御ビット

本ビットでは I/O ポートの状態制御と COM 出力のアナログスイッチ制御を行います。

値	説明
0	対象の I/O ポートを GPIO として使用します。 COMx 出力のアナログスイッチはオフします。
1	対象の I/O ポートを COMx 出力端子として使用します。 COMx 出力のアナログスイッチはオンします。

5.6. LCDC SEG 出力許可レジスタ 1 (LCDC_SEGEN1)

セグメント出力端子(SEG00～SEG31)の出力制御を行います。

bit	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24
Field	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
Field	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
Field	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG09	SEG08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Field	SEG07	SEG06	SEG05	SEG04	SEG03	SEG02	SEG01	SEG00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:0] SEG31～SEG00 : SEG 兼用ポート制御ビット

本ビットでは I/O ポートの状態制御と SEG 出力のアナログスイッチ制御を行います。

値	説明
0	対象の I/O ポートを GPIO として使用します。 SEGxx 出力のアナログスイッチはオフします。
1	対象の I/O ポートを SEGxx 出力端子として使用します。 SEGxx 出力のアナログスイッチはオンします。

5.7. LCDC SEG 出力許可レジスタ 2 (LCDC_SEGEN2)

セグメント出力端子(SEG00～SEG31)の出力制御を行います。

bit	bit31							bit8
Field	予約							
属性	-							
初期値	0x000000							

bit	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Field	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit31:8] 予約 : 予約ビット

読出しは常に"0"となります。
書込みは意味を持ちません。

[bit7:0] SEG39～SEG32 : SEG 兼用ポート制御ビット

本ビットでは I/O ポートの状態制御と SEG 出力のアナログスイッチ制御を行います。

値	説明
0	対象の I/O ポートを GPIO として使用します。 SEGxx 出力のアナログスイッチはオフします。
1	対象の I/O ポートを SEGxx 出力端子として使用します。 SEGxx 出力のアナログスイッチはオンします。

5.8. LCDC ブリンク設定レジスタ (LCDC_BLINK)

ブリンク動作の制御を行います。
8 COM モード：SEG00, SEG01 と COM0～COM7 の組合せで決まる各ドットで行います。
4 COM モード：SEG00～SEG03 と COM0～COM3 の組合せで決まる各ドットで行います。

bit	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
Field	BLD15	BLD14	BLD13	BLD12	BLD11	BLD10	BLD09	BLD08
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

bit	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Field	BLD07	BLD06	BLD05	BLD04	BLD03	BLD02	BLD01	BLD00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15] BLD15 : ブリンク動作制御 15 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG03-COM3 でブリンク動作を行います。
	8COM モード	SEG01-COM7 でブリンク動作を行います。

[bit14] BLD14 : ブリンク動作制御 14 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG03-COM2 でブリンク動作を行います。
	8COM モード	SEG01-COM6 でブリンク動作を行います。

[bit13] BLD13 : ブリンク動作制御 13 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG03-COM1 でブリンク動作を行います。
	8COM モード	SEG01-COM5 でブリンク動作を行います。

[bit12] BLD12 : ブリンク動作制御 12 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG03-COM0 でブリンク動作を行います。
	8COM モード	SEG01-COM4 でブリンク動作を行います。

[bit11] BLD11 : ブリンク動作制御 11 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG02-COM3 でブリンク動作を行います。
	8COM モード	SEG01-COM3 でブリンク動作を行います。

[bit10] BLD10 : ブリンク動作制御 10 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG02-COM2 でブリンク動作を行います。
	8COM モード	SEG01-COM2 でブリンク動作を行います。

[bit9] BLD09 : ブリンク動作制御 9 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG02-COM1 でブリンク動作を行います。
	8COM モード	SEG01-COM1 でブリンク動作を行います。

[bit8] BLD08 : ブリンク動作制御 8 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG02-COM0 でブリンク動作を行います。
	8COM モード	SEG01-COM0 でブリンク動作を行います。

[bit7] BLD07 : ブリンク動作制御 7 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG01-COM3 でブリンク動作を行います。
	8COM モード	SEG00-COM7 でブリンク動作を行います。

[bit6] BLD06 : ブリンク動作制御 6 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG01-COM2 でブリンク動作を行います。
	8COM モード	SEG00-COM6 でブリンク動作を行います。

[bit5] BLD05 : ブリンク動作制御 5 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG01-COM1 でブリンク動作を行います。
	8COM モード	SEG00-COM5 でブリンク動作を行います。

[bit4] BLD04 : ブリンク動作制御 4 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG01-COM0 でブリンク動作を行います。
	8COM モード	SEG00-COM4 でブリンク動作を行います。

[bit3] BLD03 : ブリンク動作制御 3 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG00-COM3 でブリンク動作を行います。
	8COM モード	SEG00-COM3 でブリンク動作を行います。

[bit2] BLD02 : ブリンク動作制御 2 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG00-COM2 でブリンク動作を行います。
	8COM モード	SEG00-COM2 でブリンク動作を行います。

[bit1] BLD01 : ブリンク動作制御 1 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG00-COM1 でブリンク動作を行います。
	8COM モード	SEG00-COM1 でブリンク動作を行います。

[bit0] BLD00 : ブリンク動作制御 0 ビット

値	モード	説明
0	-	ブリンク動作を行いません。
1	4COM モード	SEG00-COM0 でブリンク動作を行います。
	8COM モード	SEG00-COM0 でブリンク動作を行います。

5.9. 表示データメモリレジスタ 00~39 (LCDRAM00~39)

表示データメモリレジスタには、LCD パネルに表示させるデータを設定します。

bit	31 24	23 16	15 8	7 0
Field	LCDRAM03	LCDRAM02	LCDRAM01	LCDRAM00
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM07	LCDRAM06	LCDRAM05	LCDRAM04
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM11	LCDRAM10	LCDRAM09	LCDRAM08
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM15	LCDRAM14	LCDRAM13	LCDRAM12
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM19	LCDRAM18	LCDRAM17	LCDRAM16
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM23	LCDRAM22	LCDRAM21	LCDRAM20
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM27	LCDRAM26	LCDRAM25	LCDRAM24
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM31	LCDRAM30	LCDRAM29	LCDRAM28
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM35	LCDRAM34	LCDRAM33	LCDRAM32
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

bit	31 24	23 16	15 8	7 0
Field	LCDRAM39	LCDRAM38	LCDRAM37	LCDRAM36
属性	R/W	R/W	R/W	R/W
初期値	0x00	0x00	0x00	0x00

6. LCD コントローラ 使用上の注意

LCD コントローラの使用上の注意点を示します。

- COM/SEG 出力端子を GPIO として使用する場合、LCDC COM 出力許可レジスタ (LCDC_COMEN), LCDC SEG 出力許可レジスタ 1/2(LCDC_SEG1/2)の対応する COM/SEG 兼用ポート制御ビットを"0"に、LCDC 制御レジスタ 3 (LCDCC3)のポート入力制御ビット(PICTL)を"1"に設定してください。

- LCD 表示動作中に LCDC クロックが停止すると、交流波形生成回路が停止するため液晶素子に直流電圧が印加されるため、あらかじめ LCD 表示動作を停止してください。
  サブクロック、または PCLK が停止する条件については、『ペリフェラルマニュアル』の『クロック』および『低消費電力モード』の章を参照してください。

- LCDRAM のデータを LCD に出力する動作は CPU が LCDRAM にアクセスする動作とは独立したタイミングで行われます。 LCDRAM の書換え間隔が設定した LCD 周期より短い場合は、フレームの表示パターンが異なるため、ちらつきが発生することがあります。

Appendixes

レジスタマップ、注意事項、制限事項、TYPE 分類、主な変更内容について説明します。

A. レジスタマップ
B. 注意事項一覧
C. 制限事項一覧
D. TYPE分類一覧
E. 主な変更内容

A. レジスタマップ

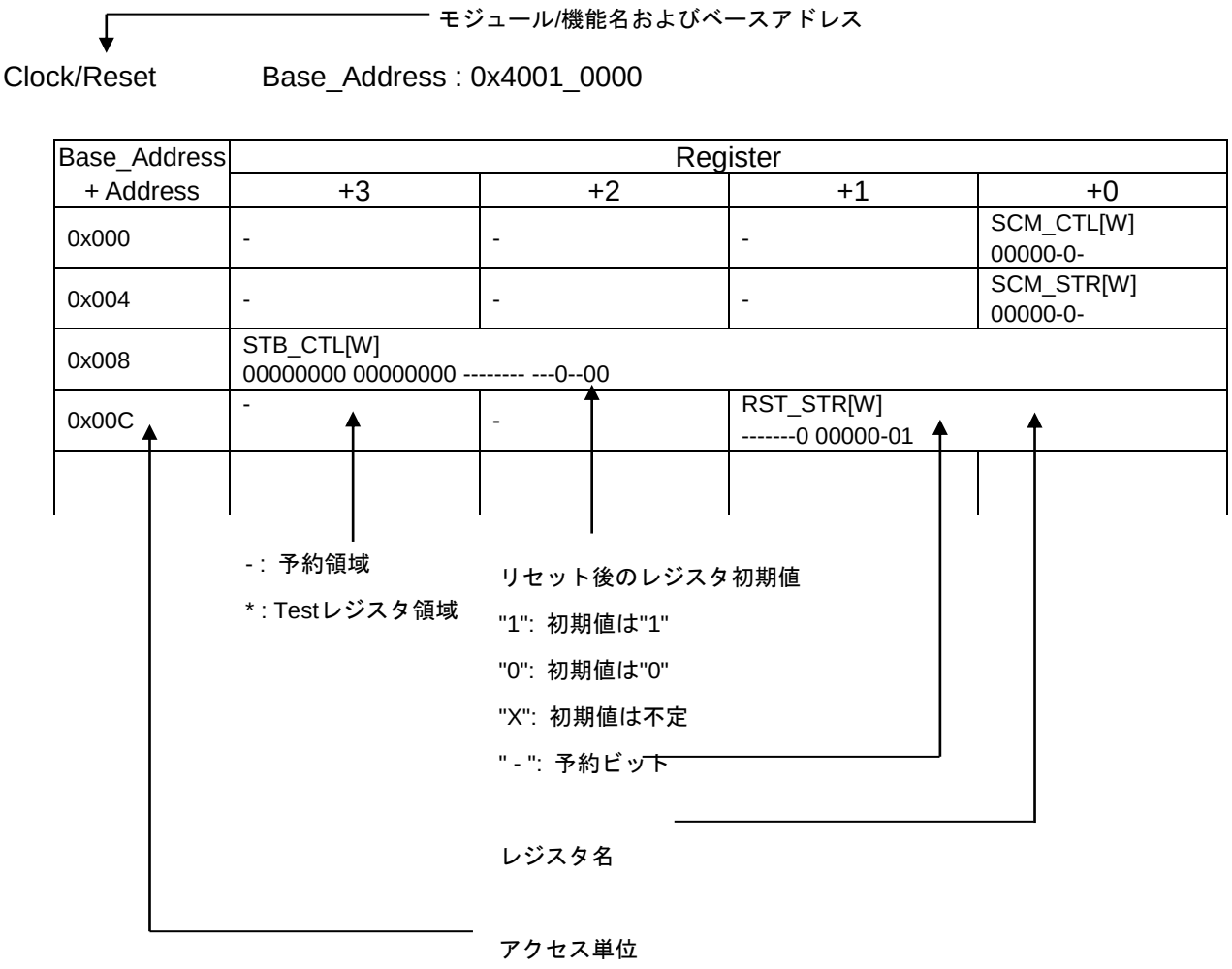
レジスタマップについて説明します。

1. レジスタマップ

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



＜注意事項＞

- レジスタテーブルはリトルエンディアンで表されています。
- データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。
  - ワードアクセス: アドレスは 4 の倍数(最下位 2 ビットは"0x00")
  - ハーフワードアクセス: アドレスは 2 の倍数(最下位ビットは"0x0")
  - バイトアクセス: -
- Test レジスタ領域にはアクセスしないでください。
- レジスタテーブルに記載していない領域にはアクセスしないでください。

- レジスタサイズより大きい単位でアクセスする時に同時にアクセスされる予約領域については、読出し値不定、書込み無効です。
- レジスタマップ中に記載してある*1～*8 は下記を意味します。
  - *1 : TYPE0 の初期値です。
  - *2 : TYPE1～TYPE7 の初期値です。
  - *3 : TYPE0,3,7 の初期値です。
  - *4 : TYPE1,2,4,5 の初期値です。
  - *5 : TYPE6,8,9 の初期値です。
  - *6 : TYPE3,7 の初期値です。
  - *7 : TYPE6,8 の初期値です。
  - *8 : TYPE9～TYPE12 の初期値です。

1.1. FLASH_IF

Base_Address : 0x4000_0000

■ TYPE0/1/2/3/4/5/7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0xFFC	-	-	-	-

■ TYPE6/8/9/10/11 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

■ TYPE12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x084	-	-	-	-
0x088	FSTR1[B,H,W]			
0x08C - 0x0FC				
0x100	CRTRMM[B,H,W]			
0x104 - 0x1FC	-	-	-	-

＜注意事項＞

Flash_IF部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

1.2. Unique ID

Base_Address : 0x4000_0200

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	UIDR0[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXX----			
0x004	UIDR1[W] -------- -------- ---XXXXX XXXXXXXX			
0x008 - 0xDFC	-	-	-	-

1.3. Clock/Reset

Base_Address : 0x4001_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 00000-01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] X-----00
0x024 - 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C - 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] -0000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] ---00000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x064	-	-	-	INT_STR[W] --0--000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C - 0xFFC	-	-	-	-

1.4. HW WDT

Base_Address : 0x4001_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WDG_LDR[W] 00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	WDG_CTL[W]			
	-	-	-	------11
0x00C	WDG_ICL[W]			
	-	-	-	XXXXXXXX
0x010	WDG_RIS[W]			
	-	-	-	-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W] 00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

1.5. SW WDT

Base_Address : 0x4001_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WdogLoad[W] 11111111 11111111 11111111 11111111			
0x004	WdogValue[W] 11111111 11111111 11111111 11111111			
0x008	WdogControl[W]			
	-	-	-	------00
0x00C	WdogIntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	WdogRIS[W]			
	-	-	-	-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WdogLock[W] 00000000 00000000 00000000 00000000			
0xC04 - 0xFFC	-	-	-	-

1.6. Dual_Timer

Base_Address : 0x4001_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	Timer1Load[W] 00000000 00000000 00000000 00000000			
0x004	Timer1Value[W] 11111111 11111111 11111111 11111111			
0x008	Timer1Control[W] -------- -------- -------- 00100000			
0x00C	Timer1IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W] -------- -------- -------- -------0			
0x014	Timer1MIS[W] -------- -------- -------- -------0			
0x018	Timer1BGLoad[W] 00000000 00000000 00000000 00000000			
0x020	Timer2Load[W] 00000000 00000000 00000000 00000000			
0x024	Timer2Value[W] 11111111 11111111 11111111 11111111			
0x028	Timer2Control[W] -------- -------- -------- 00100000			
0x02C	Timer2IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W] -------- -------- -------- -------0			
0x034	Timer2MIS[W] -------- -------- -------- -------0			
0x038	Timer2BGLoad[W] 00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

1.7. MFT

unit0 Base_Address : 0x4002_0000
unit1 Base_Address : 0x4002_1000
unit2 Base_Address : 0x4002_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	OCCP0[H,W] 00000000 00000000	
0x004	-	-	OCCP1[H,W] 00000000 00000000	
0x008	-	-	OCCP2[H,W] 00000000 00000000	
0x00C	-	-	OCCP3[H,W] 00000000 00000000	
0x010	-	-	OCCP4[H,W] 00000000 00000000	
0x014	-	-	OCCP5[H,W] 00000000 00000000	
0x018	-	-	OCSB10[B,H,W] -110--00	OCSA10[B,H,W] 00001100
0x01C	-	-	OCSB32[B,H,W] -110--00	OCSA32[B,H,W] 00001100
0x020	-	-	OCSB54[B,H,W] -110--00	OCSA54[B,H,W] 00001100
0x024	-	-	OCSC[B,H,W] --000000	-
0x028	-	-	TCCP0[H,W] 11111111 11111111	
0x02C	-	-	TCDT0[H,W] 00000000 00000000	
0x030	-	-	TCSA0[B,H,W] 000---00 01000000	
0x034	-	-	TCSB0[B,H,W] -------- -----000	
0x038	-	-	TCCP1[H,W] 11111111 11111111	
0x03C	-	-	TCDT1[H,W] 00000000 00000000	
0x040	-	-	TCSA1[B,H,W] 000---00 01000000	
0x044	-	-	TCSB1[B,H,W] -------- -----000	
0x048	-	-	TCCP2[H,W] 11111111 11111111	
0x04C	-	-	TCDT2[H,W] 00000000 00000000	
0x050	-	-	TCSA2[B,H,W] 000---00 01000000	
0x054	-	-	TCSB2[B,H,W] -------- -----000	
0x058	-	-	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x05C	-	-	-	OCFS54[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x060	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000
0x064	-	-	-	-
0x068	-	-	ICCP0[H,W] XXXXXXXX XXXXXXXX	
0x06C	-	-	ICCP1[H,W] XXXXXXXX XXXXXXXX	
0x070	-	-	ICCP2[H,W] XXXXXXXX XXXXXXXX	
0x074	-	-	ICCP3[H,W] XXXXXXXX XXXXXXXX	
0x078	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x07C	-	-	ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x080	-	-	WFTM10[H,W] 00000000 00000000	
0x084	-	-	WFTM32[H,W] 00000000 00000000	
0x088	-	-	WFTM54[H,W] 00000000 00000000	
0x08C	-	-	WFSA10[H,W] ---00000 00000000	
0x090	-	-	WFSA32[H,W] ---00000 000000	
0x094	-	-	WFSA54[H,W] ---00000 00000000	
0x098	-	-	WFIR[H,W] 00000000 0000—00	
0x09C	-	-	NZCL[H,W] -------- ---00000	
0x0A0	-	-	ACCP0[H,W] 00000000 00000000	
0x0A4	-	-	ACCPDN0[H,W] 00000000 00000000	
0x0A8	-	-	ACCP1[H,W] 00000000 00000000	
0x0AC	-	-	ACCPDN1[H,W] 00000000 00000000	
0x0B0	-	-	ACCP2[H,W] 00000000 00000000	
0x0B4	-	-	ACCPDN2[H,W] 00000000 00000000	
0x0B8	-	-	-	ACSB[B,H,W] -000-111
0x0BC	-	-	ACSA[B,H,W] --000000 –000000	
0x0C0	-	-	ATSA[H,W] --000000 –000000	
0x0C4 - 0x0FC	-	-	-	-

1.8. PPG

Base_Address : 0x4002_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	TTCR0 [B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0 [B,H,W] 00000000	-
0x00C	-	-	-	COMP2 [B,H,W] 00000000
0x010	-	-	COMP4 [B,H,W] 00000000	-
0x014	-	-	-	COMP6 [B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1 [B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1 [B,H,W] 00000000	-
0x02C	-	-	-	COMP3 [B,H,W] 00000000
0x030	-	-	COMP5 [B,H,W] 00000000	-
0x034	-	-	-	COMP7 [B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2 [B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8 [B,H,W] 00000000	-
0x04C	-	-	-	COMP10 [B,H,W] 00000000
0x050	-	-	COMP12 [B,H,W] 00000000	-
0x054	-	-	-	COMP14 [B,H,W] 00000000
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG0 [B,H,W] 00000000 00000000	
0x104	-	-	REVC0 [B,H,W] 00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1 [B,H,W] -------- 00000000	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x144	-	-	REVC1 [B,H,W] -------- 00000000	
0x148 - 0x1FC	-	-	-	-
0x200	-	-	PPGC0 [B,H,W] 00000000	PPGC1 [B,H,W] 00000000
0x204	-	-	PPGC2 [B,H,W] 00000000	PPGC3 [B,H,W] 00000000
0x208	-	-	PRLH0 [B,H,W] XXXXXXXX	PRLL0 [B,H,W] XXXXXXXX
0x20C	-	-	PRLH1 [B,H,W] XXXXXXXX	PRLL1 [B,H,W] XXXXXXXX
0x210	-	-	PRLH2 [B,H,W] XXXXXXXX	PRLL2 [B,H,W] XXXXXXXX
0x214	-	-	PRLH3 [B,H,W] XXXXXXXX	PRLL3 [B,H,W] XXXXXXXX
0x218	-	-	-	GATEC0 [B,H,W] --00--00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4 [B,H,W] 00000000	PPGC5 [B,H,W] 00000000
0x244	-	-	PPGC6 [B,H,W] 00000000	PPGC7 [B,H,W] 00000000
0x248	-	-	PRLH4 [B,H,W] XXXXXXXX	PRLL4 [B.H.W] XXXXXXXX
0x24C	-	-	PRLH5 [B,H,W] XXXXXXXX	PRLL5 [B,H,W] XXXXXXXX
0x250	-	-	PRLH6 [B,H,W] XXXXXXXX	PRLL6 [B,H,W] XXXXXXXX
0x254	-	-	PRLH7 [B,H,W] XXXXXXXX	PRLL7 [B,H,W] XXXXXXXX
0x258	-	-	-	GATEC4 [B,H,W] --00--00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8 [B,H,W] 00000000	PPGC9 [B,H,W] 00000000
0x284	-	-	PPGC10 [B,H,W] 00000000	PPGC11 [B,H,W] 00000000
0x288	-	-	PRLH8 [B,H,W] XXXXXXXX	PRLL8 [B,H,W] XXXXXXXX
0x28C	-	-	PRLH9 [B,H,W] XXXXXXXX	PRLL9 [B,H,W] XXXXXXXX
0x290	-	-	PRLH10 [B,H,W] XXXXXXXX	PRLL10 [B,H,W] XXXXXXXX
0x294	-	-	PRLH11 [B,H,W] XXXXXXXX	PRLL11 [B,H,W] XXXXXXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x298	-	-	-	GATEC8 [B,H,W] --00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12 [B,H,W] 00000000	PPGC13 [B,H,W] 00000000
0x2C4	-	-	PPGC14 [B,H,W] 00000000	PPGC15 [B,H,W] 00000000
0x2C8	-	-	PRLH12 [B,H,W] XXXXXXXX	PRLL12 [B,H,W] XXXXXXXX
0x2CC	-	-	PRLH13 [B,H,W] XXXXXXXX	PRLL13 [B,H,W] XXXXXXXX
0x2D0	-	-	PRLH14 [B,H,W] XXXXXXXX	PRLL14 [B,H,W] XXXXXXXX
0x2D4	-	-	PRLH15 [B,H,W] XXXXXXXX	PRLL15 [B,H,W] XXXXXXXX
0x2D8	-	-	-	GATEC12 [B,H,W] --00--00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16 [B,H,W] 00000000	PPGC17 [B,H,W] 00000000
0x304	-	-	PPGC18 [B,H,W] 00000000	PPGC19 [B,H,W] 00000000
0x308	-	-	PRLH16 [B,H,W] XXXXXXXX	PRLL16 [B,H,W] XXXXXXXX
0x30C	-	-	PRLH17 [B,H,W] XXXXXXXX	PRLL17 [B,H,W] XXXXXXXX
0x310	-	-	PRLH18 [B,H,W] XXXXXXXX	PRLL18 [B,H,W] XXXXXXXX
0x314	-	-	PRLH19 [B,H,W] XXXXXXXX	PRLL19 [B,H,W] XXXXXXXX
0x318	-	-	-	GATEC16 [B,H,W] --00--00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20 [B,H,W] 00000000	PPGC21 [B,H,W] 00000000
0x344	-	-	PPGC22 [B,H,W] 00000000	PPGC23 [B,H,W] 00000000
0x348	-	-	PRLH20 [B,H,W] XXXXXXXX	PRLL20 [B.H.W] XXXXXXXX
0x34C	-	-	PRLH21 [B,H,W] XXXXXXXX	PRLL21 [B,H,W] XXXXXXXX
0x350	-	-	PRLH22 [B,H,W] XXXXXXXX	PRLL22 [B,H,W] XXXXXXXX
0x354	-	-	PRLH23 [B,H,W] XXXXXXXX	PRLL23 [B,H,W] XXXXXXXX
0x358	-	-	-	GATEC20 [B,H,W] --00--00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W] 00000000
0x384 - 0xFFC	-	-	-	-

1.9. Base Timer

ch.0 Base Address : 0x4002_5000
ch.1 Base Address : 0x4002_5040
ch.2 Base Address : 0x4002_5080
ch.3 Base Address : 0x4002_50C0
ch.4 Base Address : 0x4002_5200
ch.5 Base Address : 0x4002_5240
ch.6 Base Address : 0x4002_5280
ch.7 Base Address : 0x4002_52C0
ch.8 Base Address : 0x4002_5400
ch.9 Base Address : 0x4002_5440
ch.10 Base Address : 0x4002_5480
ch.11 Base Address : 0x4002_54C0
ch.12 Base Address : 0x4002_5600
ch.13 Base Address : 0x4002_5640
ch.14 Base Address : 0x4002_5680
ch.15 Base Address : 0x4002_56C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL [H,W] XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF [H,W] XXXXXXXX XXXXXXXX	
0x008	-	-	TMR [H,W] 00000000 00000000	
0x00C	-	-	TMCR [B,H,W] -0000000 00000000	
0x010	-	-	TMCR2 [B,H,W] -------0	STC [B,H,W] 0000-000
0x014 - 0x03C	-	-	-	-

1.10. IO Selector for ch.0-ch.3 (Base Timer)

Base Address : 0x4002_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL0123 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

1.11. IO Selector for ch.4-ch.7(Base Timer)

Base Address : 0x4002_5300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL4567 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

1.12. IO Selector for ch.8-ch.11(Base Timer)

Base Address : 0x4002_5500

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL89AB [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

1.13. IO Selector for ch.12-ch.15(Base Timer)

Base Address : 0x4002_5700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSELCDEF [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

1.14. Software-based Simulation Startup(Base Timer)

Base Address : 0x4002_5F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] XXXXXXXX XXXXXXXX	

1.15. QPRC

ch.0 Base Address : 0x4002_6000
ch.1 Base Address : 0x4002_6040
ch.2 Base Address : 0x4002_6080

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	QPCR [H,W] 00000000 00000000	
0x004	-	-	QRCR [H,W] 00000000 00000000	
0x008	-	-	QPCCR [H,W] 00000000 00000000	
0x00C	-	-	QPRCR [H,W] 00000000 00000000	
0x010	-	-	QMPR [H,W] 11111111 11111111	
0x014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x01C	-	-	QECR [B,H,W] -------- -----000	
0x020 - 0x038	-	-	-	-
0x03C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

1.16. 12bit A/DC

unit0 Base_Address : 0x4002_7000
unit1 Base_Address : 0x4002_7100
unit2 Base_Address : 0x4002_7200

■ TYPE0/1/2/4/5 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---1--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W] ----0000
0x03C	-	-	-	ADCEN[B,H,W] --00--00
0x040 - 0x0FC	-	-	-	-

■ TYPE3/6/7/8/9/10/11/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---1--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W]- ----0000
0x03C	-	-	ADCEN[B,H,W] 11111111 ------00	
0x040 - 0x0FC	-	-	-	-

1.17. 10bit D/AC

Base_Address : 0x4002_8000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	DACR0[B,H,W] -------0	DADR0[B,H,W] ------XX XXXXXXXX	
0x004	-	DACR1[B,H,W] -------0	DADR1[B,H,W] ------XX XXXXXXXX	
0x008 - 0x0FC	-	-	-	-

1.18. CR Trim

Base_Address : 0x4002_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W] ------01
0x004	-	-	MCR_FTRM[B,H,W] ------01 10000000 *1 ------01 10001110 *6 -------- 01111111 *4 ------10 00000000 *5	
0x008	-	-	-	MCR_TTRM[B,H,W] --011111
0x00C	MCR_RLR[W] 00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

1.19. EXTI

Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[B,H,W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[B,H,W] 00000000 00000000 00000000 00000000			
0x014	-	-	NMIRR[B,H,W] -------- -------0	
0x018	-	-	NMICL[B,H,W] -------- -------1	
0x01C	-	-	-	-
0x020 - 0x0FC	-	-	-	-

1.20. INT-Req. READ

Base_Address : 0x4003_1000

■ TYPE0/1/2/4/5/6/8/9/10/11/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004	*			
0x008	ODDPKS[B] ---00000	-	-	*
0x00C	-	-	-	IRQCMODE[B,H,W] -------0
0x010	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W] -------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W] -------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W] -------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W] -------- -------- ----0000 00000000			
0x024	IRQ04MON[B,H,W] -------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W] -------- 00000000 00000000 00000000			
0x02C	IRQ06MON[B,H,W] -------- ----0000 00000000 00000000			
0x030	IRQ07MON[B,H,W] -------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W] -------- -------- -------- ----0000			
0x038	IRQ09MON[B,H,W] -------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W] -------- -------- -------- ----0000			
0x040	IRQ11MON[B,H,W] -------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W] -------- -------- -------- ----0000			
0x048	IRQ13MON[B,H,W] -------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W] -------- -------- -------- ----0000			
0x050	IRQ15MON[B,H,W] -------- -------- -------- ------00			
0x054	IRQ16MON[B,H,W] -------- -------- -------- ----0000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x058	IRQ17MON[B,H,W] -------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W] -------- -------- -------- ----0000			
0x060	IRQ19MON[B,H,W] -------- -------- -------- ------00			
0x064	IRQ20MON[B,H,W] -------- -------- -------- ----0000			
0x068	IRQ21MON[B,H,W] -------- -------- -------- ------00			
0x06C	IRQ22MON[B,H,W] -------- -------- -------- ----0000			
0x070	IRQ23MON[B,H,W] -------- -------- -------0 00000000			
0x074	IRQ24MON[B,H,W] -------- -------- -------- 00000000			
0x078	IRQ25MON[B,H,W] -------- -------- -------- ----0000			
0x07C	IRQ26MON[B,H,W] -------- -------- -------- ----0000			
0x080	IRQ27MON[B,H,W] -------- -------- -------- ---00000			
0x084	IRQ28MON[B,H,W] -------- ------00 00000000 00000000			
0x088	IRQ29MON[B,H,W] -------- -------- ----0000 00000000			
0x08C	IRQ30MON[B,H,W] -------- ------00 00000000 00000000			
0x090	IRQ31MON[B,H,W] -------- -------- 00000000 00000000			
0x094	IRQ32MON[B,H,W] -------- -------- -------- 00000000			
0x098	IRQ33MON[B,H,W] -------- -------- -------- -----000			
0x09C	IRQ34MON[B,H,W] -------- -------- -------- ---00000			
0x0A0	IRQ35MON[B,H,W] -------- -------- -------- --000000			
0x0A4	IRQ36MON[B,H,W] -------- -------- -------- --000000			
0x0A8	IRQ37MON[B,H,W] -------- -------- -------- -0000000			
0x0AC	IRQ38MON[B,H,W] -------- -------- -------- -------0			
0x0B0	IRQ39MON[B,H,W] -------- -------- -------- -------0			
0x0B4	IRQ40MON[B,H,W] -------- -------- -------- -------0			
0x0B8	IRQ41MON[B,H,W] -------- -------- -------- -------0			
0x0BC	IRQ42MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0C0	IRQ43MON[B,H,W] -------- -------- -------- -------0			
0x0C4	IRQ44MON[B,H,W] -------- -------- -------- -------0			
0x0C8	IRQ45MON[B,H,W] -------- -------- -------- -------0			
0x0CC	IRQ46MON[B,H,W] -------- -------- 00000000 00000000			
0x0D0	IRQ47MON[B,H,W] -------- -------- ----0--- --------			
0x0D4 - 0x1FC	-	-	-	-
0x200	DRQSEL1[B,H,W] -------- -------- -------- ---00000			
0x204	DQESEL[B,H,W] 00000000 00000000 00000000 00000000			
0x208	*			
0x20C	ODDPKS1 [B] ---00000	-	-	*
0x210	RCINTSEL3[B,H,W] ---00000	RCINTSEL2[B,H,W] ---00000	RCINTSEL1[B,H,W] ---00000	RCINTSEL0[B,H,W] ---00000
0x214	RCINTSEL7[B,H,W] ---00000	RCINTSEL6[B,H,W] ---00000	RCINTSEL5[B,H,W] ---00000	RCINTSEL4[B,H,W] ---00000
0x218 - 0xFFC	-	-	-	-

■ TYPE3/7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	*			
0x004	*			
0x008	*			
0x00C	-	-	-	-
0x010	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W] -------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W] -------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W] -------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W] -------- -------- -------- ----0000			
0x024	IRQ04MON[B,H,W] -------- -------- -------- -0000000			
0x028	IRQ05MON[B,H,W] -------- -------- -------- 0-------			
0x02C	IRQ06MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x030	IRQ07MON[B,H,W] -------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W] -------- -------- -------- -------0			
0x038	IRQ09MON[B,H,W] -------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W] -------- -------- -------- -------0			
0x040	IRQ11MON[B,H,W] -------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W] -------- -------- -------- -------0			
0x048	IRQ13MON[B,H,W] -------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W] -------- -------- -------- -------0			
0x050	IRQ15MON[B,H,W] -------- -------- -------- ------00			
0x054	IRQ16MON[B,H,W] -------- -------- -------- -------0			
0x058	IRQ17MON[B,H,W] -------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W] -------- -------- -------- -------0			
0x060	IRQ19MON[B,H,W] -------- -------- -------- ------00			
0x064	IRQ20MON[B,H,W] -------- -------- -------- ------0			
0x068	IRQ21MON[B,H,W] -------- -------- -------- ------00			
0x06C	IRQ22MON[B,H,W] -------- -------- -------- -----000			
0x070	IRQ23MON[B,H,W] -------- -------- -------- --0--000			
0x074	IRQ24MON[B,H,W] -------- -------- -------- ----0000			
0x078	IRQ25MON[B,H,W] -------- -------- -------- --000000			
0x07C	IRQ26MON[B,H,W] -------- -------- -------- ----0000			
0x080	IRQ27MON[B,H,W] -------- -------- -------- --000000			
0x084	IRQ28MON[B,H,W] -------- -------- 00000000 00000000			
0x088	IRQ29MON[B,H,W] -------- -------- -------- ---0----			
0x08C	IRQ30MON[B,H,W] -------- -------- -------- --0-----			
0x090	IRQ31MON[B,H,W] -------- -------- -------- -0------			

1.21. LCDC

Base_Address : 0x4003_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	LCDCC3[B,H,W] 0011111-	LCDCC2[B,H,W] --010100	LCDCC1[B,H,W] -00000--
0x004	LCDC_PSR[B,H,W] -------- -0000000 00000000 00000000			
0x008	LCDC_COMEN[B,H,W]			
	-------- -------- -------- 00000000			
0x00C	LCDC_SEGEN1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x010	LCDC_SEGEN2[B,H,W]			
	-------- -------- -------- 00000000			
0x014	-	-	LCDC_BLINK[B,H,W] 00000000 00000000	
0x018	-	-	-	-
0x01C	LCDRAM03[B,H,W] 00000000	LCDRAM02[B,H,W] 00000000	LCDRAM01[B,H,W] 00000000	LCDRAM00[B,H,W] 00000000
0x020	LCDRAM07[B,H,W] 00000000	LCDRAM06[B,H,W] 00000000	LCDRAM05[B,H,W] 00000000	LCDRAM04[B,H,W] 00000000
0x024	LCDRAM11[B,H,W] 00000000	LCDRAM10[B,H,W] 00000000	LCDRAM09[B,H,W] 00000000	LCDRAM08[B,H,W] 00000000
0x028	LCDRAM15[B,H,W] 00000000	LCDRAM14[B,H,W] 00000000	LCDRAM13[B,H,W] 00000000	LCDRAM12[B,H,W] 00000000
0x02C	LCDRAM19[B,H,W] 00000000	LCDRAM18[B,H,W] 00000000	LCDRAM17[B,H,W] 00000000	LCDRAM16[B,H,W] 00000000
0x030	LCDRAM23[B,H,W] 00000000	LCDRAM22[B,H,W] 00000000	LCDRAM21[B,H,W] 00000000	LCDRAM20[B,H,W] 00000000
0x034	LCDRAM26[B,H,W] 00000000	LCDRAM25[B,H,W] 00000000	LCDRAM24[B,H,W] 00000000	LCDRAM24[B,H,W] 00000000
0x038	LCDRAM31[B,H,W] 00000000	LCDRAM30[B,H,W] 00000000	LCDRAM29[B,H,W] 00000000	LCDRAM28[B,H,W] 00000000
0x03C	LCDRAM35[B,H,W] 00000000	LCDRAM34[B,H,W] 00000000	LCDRAM33[B,H,W] 00000000	LCDRAM32[B,H,W] 00000000
0x040	LCDRAM39[B,H,W] 00000000	LCDRAM38[B,H,W] 00000000	LCDRAM37[B,H,W] 00000000	LCDRAM36[B,H,W] 00000000
0x044 - 0x0FC	-	-	-	-

1.22. GPIO

Base_Address : 0x4003_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	PCR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- ---0 ---1 *1 ---- ---- ---- ---- ---- ---- ---0 0101 *2			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- --00 ---- --11 ---- --0- ---- --00			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] ---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640	EPFR16[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x644	EPFR17[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x648	EPFR18[B,H,W] ---- ---- ---- ---- ---- ---- ---- 0000			
0x64C - 0x6FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0x7FC	-	-	-	-
0x800	*			
0x804	*			
0x808 - 0xFFC	-	-	-	-

1.23. HDMI-CEC/Remote Control Receiver

ch.0 Base_Address : 0x4003_4000
ch.1 Base_Address : 0x4003_4100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	TXCTRL[B,H,W] --0000-0
0x004	-	-	-	TXDATA[B,H,W] 00000000
0x008	-	-	-	TXSTS[B,H,W] --00---0
0x00C	-	-	-	SFREE[B,H,W] ----0000
0x010 - 0x03F	-	-	-	-
0x040	-	-	RCCR[B,H,W] 0---0000	RCST[B,H,W] 00000000
0x044	-	-	RCSHW[B,H,W] 00000000	RCDAHW[B,H,W] 00000000
0x048	-	-	RCDBHW[B,H,W] 00000000	-
0x04C	-	-	RCADR1[B,H,W] ---00000	RCADR2[B,H,W] ---00000
0x050	-	-	RCDTHH[B,H,W] 00000000	RCDTHL[B,H,W] 00000000
0x054	-	-	RCDTLH[B,H,W] 00000000	RCDTLL[B,H,W] 00000000
0x058	-	-	RCCKD[H,W] ---00000 00000000	
0x05C	-	-	RCRC[B,H,W] ---0---0	RCRHW[B,H,W] 00000000
0x060	-	-	RCLE[B,H,W] 00000-00	-
0x064	-	-	RCLELW[B,H,W] 00000000	RCLESW[B,H,W] 00000000
0x068 - 0x0FC	-	-	-	-

1.24. LVD

Base_Address : 0x4003_5000

■ TYPE0/1/2/4/5 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LVD_CTL[B,H,W] 010000--
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 0-------
0x014 - 0x0FC	-	-	-	-

■ TYPE3/6/7/8/9/10/11/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	LVD_CTL[B,H,W] 1-0001-- 0-00000- *6 100000-- 000100-- *7 100000-- 000011-- *8	
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 01------
0x014 - 0x0FC	-	-	-	-

1.25. DS_Mode

Base_Address : 0x4003_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	REG_CTL[B,H,W] -------0
0x004	-	-	-	RCK_CTL[B,H,W] ------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W] -------0
0x704	-	-	-	WRFSR[B,H,W] ------00
0x708	-	-	WIFSR[B,H,W] ------00 00000000	
0x70C	-	-	WIER[B,H,W] ------00 00000-00	
0x710	-	-	-	WILVR[B,H,W] -----000
0x714	-	-	-	DSRAMR[B,H,W] ------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W] 00000000	BUR03[B,H,W] 00000000	BUR02[B,H,W] 00000000	BUR01[B,H,W] 00000000
0x804	BUR08[B,H,W] 00000000	BUR07[B,H,W] 00000000	BUR06[B,H,W] 00000000	BUR05[B,H,W] 00000000
0x808	BUR012[B,H,W] 00000000	BUR11[B,H,W] 00000000	BUR10[B,H,W] 00000000	BUR09[B,H,W] 00000000
0x80C	BUR16[B,H,W] 00000000	BUR15[B,H,W] 00000000	BUR14[B,H,W] 00000000	BUR13[B,H,W] 00000000
0x810 - 0xEFC	-	-	-	-

1.26. USB Clock

Base_Address : 0x4003_6000

■ TYPE0/1/4/5/6/9/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] ------00
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] ---10111 *1 -0111011 *2
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028 - 0x02C	-	-	-	-
0x030	-	-	-	USBEN[B,H,W] -------0
0x034 - 0x0FC	-	-	-	-

■ TYPE2 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] -0000000
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] -0111011
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028	-	-	-	UPCR6[B,H,W] ----0010
0x02C	-	-	-	UPCR7[B,H,W] -------0
0x030	-	-	-	USBEN[B,H,W] -------0
0x034	-	-	-	USBEN1[B,H,W] -------0
0x038 - 0x0FC	-	-	-	-

1.27. CAN_Prescaler

Base_Address : 0x4003_7000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CANPRE[B,H,W] ----1011
0x004 - 0xFFC	-	-	-	-

1.28. MFS

■ TYPE0/1/2/3/4/5/6/7/9/10/11 製品

ch.0 Base_Address : 0x4003_8000
ch.1 Base_Address : 0x4003_8100
ch.2 Base_Address : 0x4003_8200
ch.3 Base_Address : 0x4003_8300
ch.4 Base_Address : 0x4003_8400
ch.5 Base_Address : 0x4003_8500
ch.6 Base_Address : 0x4003_8600
ch.7 Base_Address : 0x4003_8700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	SCR / IBCR[B,H,W] 0--00000	SMR[B,H,W] 000-00-0
0x004	-	-	SSR[B,H,W] 0-000011	ESCR / IBSR[B,H,W] 00000000
0x008	-	-	RDR/TDR[H,W] -------0 00000000	
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] --------	ISBA[B,H,W] --------
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000
0x01C	-	-	EIBCR[B,H,W] --001100	-
0x020 - 0x0FC	-	-	-	-

MFS Noise Filter Cntrol Base_Address : 0x4003_8800

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	I2CDNF[B,H,W] 00000000	
0x004 - 0x0FC	-	-	-	-

■ TYPE8/12 製品

ch.0 Base_Address : 0x4003_8000
ch.1 Base_Address : 0x4003_8100
ch.2 Base_Address : 0x4003_8200
ch.3 Base_Address : 0x4003_8300
ch.4 Base_Address : 0x4003_8400
ch.5 Base_Address : 0x4003_8500
ch.6 Base_Address : 0x4003_8600
ch.7 Base_Address : 0x4003_8700
ch.8 Base_Address : 0x4003_8800
ch.9 Base_Address : 0x4003_8900
ch.10 Base_Address : 0x4003_8A00
ch.11 Base_Address : 0x4003_8B00
ch.12 Base_Address : 0x4003_8C00
ch.13 Base_Address : 0x4003_8D00
ch.14 Base_Address : 0x4003_8E00
ch.15 Base_Address : 0x4003_8F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	SCR / IBCR[B,H,W] 0--00000	SMR[B,H,W] 00-000-0
0x004	-	-	SSR[B,H,W] 0-000011	ESCR / IBSR[B,H,W] 00000000
0x008	-	-	RDR/TDR[H,W] -------0 00000000	
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] --------	ISBA[B,H,W] --------
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000
0x01C	-	-	EIBCR[B,H,W] --001100	-
0x020 - 0x0FC	-	-	-	-

1.29. CRC

Base_Address : 0x4003_9000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W] -0000000
0x004	CRCINIT[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W] 11111111 11111111 11111111 11111111			

1.30. Watch Counter

Base_Address : 0x4003_A000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	WCCR[B,H,W] 00--0000	WCRL[B,H,W] --000000	WCRD[B,H,W] --000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W] -----000 -------0	
0x014	-	-	-	CLK_EN[B,H,W] ------00
0x018 - 0xFFC	-	-	-	-

1.31. RTC

Base_Address : 0x4003_B000

■ TYPE3/4/5 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1[B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR[B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR[B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS [B,H,W] -------0
0x024	-	-	WTCALEN[B,H,W] -------0	WTCAL [B,H,W] -0000000
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV [B,H,W] ----0000
0x02C - 0xFFC	-	-	-	-

■ TYPE6/7/8/9/10/11/12 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1[B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR[B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR[B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS [B,H,W] -------0
0x024	-	WTCALEN[B,H,W] -------0	WTCAL [B,H,W] ------00 00000000	
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV [B,H,W] ----0000
0x02C	-	-	-	WTCALPRD [B,H,W] --010011
0x030	-	-	-	WTCOSEL [B,H,W] -------0
0x034 - 0xFFC	-	-	-	-

1.32. Low-speed CR Prescaler

Base_Address : 0x4003_C000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LCR_PRSLD[B,H,W] --000000
0x004 - 0x0FC	-	-	-	-

1.33. EXT-Bus I/F

Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	MODE0[W] -------- -------- --000-00 00000000			
0x004	MODE1[W] -------- -------- --000-00 00000000			
0x008	MODE2[W] -------- -------- --000-00 00000000			
0x00C	MODE3[W] -------- -------- --000-00 00000000			
0x010	MODE4[W] -------- -------- --000-00 00000001			
0x014	MODE5[W] -------- -------- --000-00 00000000			
0x018	MODE6[W] -------- -------- --000-00 00000000			
0x01C	MODE7[W] -------- -------- --000-00 00000000			
0x020	TIM0[W] 00000101 01011111 11110000 00001111			
0x024	TIM1[W] 00000101 01011111 11110000 00001111			
0x028	TIM2[W] 00000101 01011111 11110000 00001111			
0x02C	TIM3[W] 00000101 01011111 11110000 00001111			
0x030	TIM4[W] 00000101 01011111 11110000 00001111			
0x034	TIM5[W] 00000101 01011111 11110000 00001111			
0x038	TIM6[W] 00000101 01011111 11110000 00001111			
0x03C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x040	AREA0[W] -------- -0001111 -------- 00000000			
0x044	AREA1[W] -------- -0001111 -------- 00010000			
0x048	AREA2[W] -------- -0001111 -------- 00100000			
0x04C	AREA3[W] -------- -0001111 -------- 00110000			
0x050	AREA4[W] -------- -0001111 -------- 01000000			
0x054	AREA5[W] -------- -0001111 -------- 01010000			
0x058	AREA6[W] -------- -0001111 -------- 01100000			
0x05C	AREA7[W] -------- -0001111 -------- 01110000			
0x060	ATIM0[W] -------- -------- ----0100 01011111			
0x064	ATIM1[W] -------- -------- ----0100 01011111			
0x068	ATIM2[W] -------- -------- ----0100 01011111			
0x06C	ATIM3[W] -------- -------- ----0100 01011111			
0x070	ATIM4[W] -------- -------- ----0100 01011111			
0x074	ATIM5[W] -------- -------- ----0100 01011111			
0x078	ATIM6[W] -------- -------- ----0100 01011111			
0x07C	ATIM7[W] -------- -------- ----0100 01011111			
0x080 - 0x2FC	-	-	-	-
0x300	DCLKR[W] -------- -------- -------- ---00001			
0x304 - 0x3FC	-	-	-	-

1.34. USB

ch.0 Base_Address : 0x4004_2100
ch.1 Base_Address : 0x4005_2100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x004	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x008	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x00C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x010	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x014	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x018	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x01C	-	-	-	HTOKEN[B,H,W] 00000000
0x020	-	-	UDCC[B,H,W] -------- 10100-00	
0x024	-	-	EP0C[H,W] ------0- -1000000	
0x028	-	-	EP1C[H,W] 01100001 00000000	
0x02C	-	-	EP2C[H,W] 0110000- -1000000	
0x030	-	-	EP3C[H,W] 0110000- -1000000	
0x034	-	-	EP4C[H,W] 0110000- -1000000	
0x038	-	-	EP5C[H,W] 0110000- -1000000	
0x03C	-	-	TMSP[H,W] -----000 00000000	
0x040	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x044	-	-	EP0IS[H,W] 10---1-- --------	
0x048	-	-	EP0OS[H,W] 100--00- -XXXXXXX	
0x04C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x050	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x054	-	-	EP3S[H,W] 100-000- -XXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x058	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x05C	-	-	EP5S[H,W] 100-000- -XXXXXXX	
0x060	-	-	EP0DTH[B,H,W] XXXXXXXX	
0x064	-	-	EP1DTH[B,H,W] XXXXXXXX	
0x068	-	-	EP2DTH[B,H,W] XXXXXXXX	
0x06C	-	-	EP3DTH[B,H,W] XXXXXXXX	
0x070	-	-	EP4DTH[B,H,W] XXXXXXXX	
0x074	-	-	EP5DTH[B,H,W] XXXXXXXX	
0x078 - 0x07C	-	-	-	

1.35. DMAC

Base_Address : 0x4006_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DMACR[B,H,W] 00-00000 -------- -------- --------			
0x010	DMACA0[B,H,W] 00000000 0---0000 00000000 00000000			
0x014	DMACB0[B,H,W] --000000 00000000 00000000 -------0			
0x018	DMACSA0[B,H,W] 00000000 00000000 00000000 00000000			
0x01C	DMACDA0[B,H,W] 00000000 00000000 00000000 00000000			
0x020	DMACA1[B,H,W] 00000000 0---0000 00000000 00000000			
0x024	DMACB1[B,H,W] --000000 00000000 00000000 -------0			
0x028	DMACSA1[B,H,W] 00000000 00000000 00000000 00000000			
0x02C	DMACDA1[B,H,W] 00000000 00000000 00000000 00000000			
0x030	DMACA2[B,H,W] 00000000 0---0000 00000000 00000000			
0x034	DMACB2[B,H,W] --000000 00000000 00000000 -------0			
0x038	DMACSA2[B,H,W] 00000000 00000000 00000000 00000000			
0x03C	DMACDA2[B,H,W] 00000000 00000000 00000000 00000000			
0x040	DMACA3[B,H,W] 00000000 0---0000 00000000 00000000			
0x044	DMACB3[B,H,W] --000000 00000000 00000000 -------0			
0x048	DMACSA3[B,H,W] 00000000 00000000 00000000 00000000			
0x04C	DMACDA3[B,H,W] 00000000 00000000 00000000 00000000			
0x050	DMACA4[B,H,W] 00000000 0---0000 00000000 00000000			
0x054	DMACB4[B,H,W] --000000 00000000 00000000 -------0			
0x058	DMACSA4[B,H,W] 00000000 00000000 00000000 00000000			
0x05C	DMACDA4[B,H,W] 00000000 00000000 00000000 00000000			
0x060	DMACA5[B,H,W] 00000000 0---0000 00000000 00000000			
0x064	DMACB5[B,H,W] --000000 00000000 00000000 -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x068	DMACSA5[B,H,W] 00000000 00000000 00000000 00000000			
0x06C	DMACDA5[B,H,W] 00000000 00000000 00000000 00000000			
0x070	DMACA6[B,H,W] 00000000 0---0000 00000000 00000000			
0x074	DMACB6[B,H,W] --000000 00000000 00000000 -------0			
0x078	DMACSA6[B,H,W] 00000000 00000000 00000000 00000000			
0x07C	DMACDA6[B,H,W] 00000000 00000000 00000000 00000000			
0x080	DMACA7[B,H,W] 00000000 0---0000 00000000 00000000			
0x084	DMACB7[B,H,W] --000000 00000000 00000000 -------0			
0x088	DMACSA7[B,H,W] 00000000 00000000 00000000 00000000			
0x08C	DMACDA7[B,H,W] 00000000 00000000 00000000 00000000			
0x090 - 0x0FC	-	-	-	-

1.36. CAN

ch.0 Base_Address : 0x4006_2000
ch.1 Base_Address : 0x4006_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	STATR[B,H,W] -------- 00000000		CTRLR[B,H,W] -------- 000-0001	
0x004	BTR[B,H,W] -0100011 00000001		ERRCNT[B,H,W] 00000000 00000000	
0x008	TESTR[B,H,W] -------- X00000--		INTR[B,H,W] 00000000 00000000	
0x00C	-	-	BRPER[B,H,W] -------- ----0000	
0x010	IF1CMSK[B,H,W] -------- 00000000		IF1CREQ[B,H,W] 0------- 00000001	
0x014	IF1MSK2[B,H,W] 11-11111 11111111		IF1MSK1[B,H,W] 11111111 11111111	
0x018	IF1ARB2[B,H,W] 00000000 00000000		IF1ARB1[B,H,W] 00000000 00000000	
0x01C	-	-	IF1MCTR[B,H,W] 00000000 0---0000	
0x020	IF1DTA2[B,H,W] 00000000 00000000		IF1DTA1[B,H,W] 00000000 00000000	
0x024	IF1DTB2[B,H,W] 00000000 00000000		IF1DTB1[B,H,W] 00000000 00000000	
0x028 - 0x02F	-	-	-	-
0x030	IF1DTA1[B,H,W] 00000000 00000000		IF1DTA2[B,H,W] 00000000 00000000	
0x034	IF1DTB1[B,H,W] 00000000 00000000		IF1DTB2[B,H,W] 00000000 00000000	
0x038 - 0x03C	-	-	-	-
0x040	IF2CMSK[B,H,W] -------- 00000000		IF2CREQ[B,H,W] 0------- 00000001	
0x044	IF2MSK2[B,H,W] 11-11111 11111111		IF2MSK1[B,H,W] 11111111 11111111	
0x048	IF2ARB2[B,H,W] 00000000 00000000		IF2ARB1[B,H,W] 00000000 00000000	
0x04C	-	-	IF2MCTR[B,H,W] 00000000 0---0000	
0x050	IF2DTA2[B,H,W] 00000000 00000000		IF2DTA1[B,H,W] 00000000 00000000	
0x054	IF2DTB2[B,H,W] 00000000 00000000		IF2DTB1[B,H,W] 00000000 00000000	
0x058 - 0x05C	-	-	-	-
0x060	IF2DTA1[B,H,W] 00000000 00000000		IF2DTA2[B,H,W] 00000000 00000000	
0x064	IF2DTB1[B,H,W] 00000000 00000000		IF2DTB2[B,H,W] 00000000 00000000	
0x068 - 0x07C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x080	TREQR2[B,H,W] 00000000 00000000		TREQR1[B,H,W] 00000000 00000000	
0x084 - 0x08F	-	-	-	-
0x090	NEWDT2[B,H,W] 00000000 00000000		NEWDT1[B,H,W] 00000000 00000000	
0x094 - 0x09F	-	-	-	-
0x0A0	INTPND2[B,H,W] 00000000 00000000		INTPND1[B,H,W] 00000000 00000000	
0x0A4 - 0x0AF	-	-	-	-
0x0B0	MSGVAL2[B,H,W] 00000000 00000000		MSGVAL1[B,H,W] 00000000 00000000	
0x0B4 - 0xFFC	-	-	-	-

1.37. Ethernet-MAC

ch.0 Base_Address : 0x4006_4000
ch.1 Base_Address : 0x4006_7000

＜注意事項＞

Ethernet-MAC部のレジスタ詳細は『Ethernet編』を参照してください。

1.38. Ethernet-Control

Base_Address : 0x4006_6000

＜注意事項＞

Ethernet-Control部のレジスタ詳細は『Ethernet編』を参照してください。

1.39. WorkFlash_IF

Base_Address : 0x200E_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WFASZR[B,H,W]			
0x004	WFRWTR[B,H,W]			
0x008	WFSTR[B,H,W]			
0x00C - 0xFFF	-	-	-	-

＜注意事項＞

WorkFlash_IF部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

B. 注意事項一覧

各機能仕様の注意事項について示します。

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。
また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

■ 機能マクロへの影響

項目	機能/モード	影響
内部バスクロック	HCLK/FCLK/PCLK0 PCLK1/PCLK2/TPIUCLK	高速 CR クロックの最大周波数において、ご使用する製品の『データシート』に記載されている内部動作クロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB Ethernet-MAC CAN	―	各規格で規定されている周波数精度を満たせないため、使用できません。
マルチファンクションシリアルインタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。
	CSIO I2C	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差が生じるため、ボーレート誤差範囲を超える場合は使用できません。

項目	機能/モード	影響
デバッグ インタフェース	シリアルワイヤ	高速 CR クロックの周波数変動により、SWV(シリアルワイヤビュー)が使用できない場合があります。
フラッシュメモリ	シリアル書込み	TYPE0，TYPE1，TYPE2，TYPE4 製品ではシリアル書込みは行えません。 シリアル書込みを行うには、X0/X1 端子へのクロック供給が必要です。
外部バス インタフェース	クロック出力	外バスクロック出力を使用する場合、接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。

C. 制限事項一覧

各製品の相違点について示します。

1. TYPE0 製品 制限事項一覧
2. TYPE1 製品 制限事項一覧

1. TYPE0 製品 制限事項一覧

MB9A100A,MB9B500A/400A/300A/100A シリーズ，MB9A100,MB9B500/400/300/100 シリーズの相違点を表に示します。

表中の「項目」は本書の記載内容です。

項目	内容
タイマ編 1.6.7 ハードウェア ウォッチドッグタイマ ロードレジスタ (WDG_LDR)	『6.7. ハードウェアウォッチドッグタイマ ロードレジスタ』の＜注意事項＞に、以下の制限事項を追加。 ・ハードウェアウォッチドッグタイマのリロード期間中*(カウンタリロード後の低速 CR 4 サイクル期間)に、WDG_LDR へ再度書込みが行われた場合、その書込みは無視されます。 WDG_LDR への書込みが反映されたかどうかは、当該レジスタのソフトウェア読出しにて確認してください。 *: カウンタのリロード条件 1. ウォッチドッグタイマのクリア(WDG_ICL レジスタへの書込み) 2. WDG_LDR への書込み
タイマ編 1.6.9 ハードウェア ウォッチドッグタイマ 制御レジスタ (WDG_CTL)	『6.9. ハードウェアウォッチドッグタイマ 制御レジスタ』の＜注意事項＞に、以下の制限事項を追加。 WDG_CTL レジスタの INTEN(ウォッチドッグカウンタ イネーブル)ビットへの"0"書込み後、低速 CR(50kHz～150kHz)で 2 サイクル以内に再度"1"を書き込んだ場合に、WDG_LDR からのカウント値のリロードがされないまま動作を再開する可能性があります。 INTEN ビットを"0"にしてから再度"1"にする場合は必ず低速 CR の 2 クロック分を確保してから行ってください。または、INTEN に"1"を書込み後、すぐに WDG_ICL レジスタにてタイマをクリアして、リロードを実行してください。
タイマ編 3-2 時計カウンタ	『CHAPTER 3-2: 時計カウンタ』に、以下の制限事項を追加。 ※MB9A100,MB9B500/400/300/100 シリーズのみの制限事項です。 サブタイマモードもしくは低速 CR タイマモードにおいて、サブ水晶発振による時計カウンタを使用している場合、割込みによる復帰時に低速 CR ×35cycle(Typ 350µs)時計カウンタが引き伸ばされ、実時間に対してカウント値にずれが生じます。 サブスリープモードもしくは低速 CR スリープモードでは、カウンタのずれは発生しません。

項目	内容
アナログマクロ編 1-3.5.13 サンプリング時間選択レジスタ(ADSS)	『5.13. サンプリング時間選択レジスタ』に、以下の制限事項を追加。 本シリーズは、サンプリング時間設定レジスタ(ADST1)に設定されたサンプリング時間を使用することはできません。 サンプリング時間設定レジスタ(ADST0)に設定されたサンプリング時間のみを有効にしてください。 サンプリング時間選択レジスタ(ADSS0～ADSS3)の各ビット値は常に"0"を書き込んで使用してください。
通信マクロ編 1-2.7.9 1-3.5.9 1-4.6.9 1-5.5.12 FIFO バイトレジスタ(FBYTE)	1-2 章『7.9. FIFO バイトレジスタ(FBYTE)』、 1-3 章『5.9. FIFO バイトレジスタ(FBYTE)』、 1-4 章『6.9. FIFO バイトレジスタ(FBYTE)』、 1-5 章『5.12. FIFO バイトレジスタ(FBYTE)』に、以下の注意事項を追加 ・下記の条件をすべて満たす場合、受信 FIFO に FBYTE の設定数の有効なデータがあるにも関わらず、受信データフルフラグ(SSR:RDRF)が"1"に設定されません。なお、FBYTE の設定値が"2"以上の場合、本動作はおこりません。 ・FBYTE の設定値が"1" ・受信 FIFO の有効なデータ数が FBYTE の設定数と同じ"1"の場合 ・マルチファンクションシリアルインタフェースマクロがデータを受信し、受信 FIFO に受信データを書き込むとき、同時に受信 FIFO のデータの読出しを行った場合 ただし、その後、下記のどちらかの場合に受信データフルフラグ(SSR:RDRF)が"1"に設定されます。 ・次のデータを受信した場合 ・受信 FIFO アイドル許可(FCR:FRIIE=1)のとき、8 ビット時間以上の受信アイドル時間を検出した場合
通信マクロ編 3-1.2 ■USB デバイスのエンドポイント構成	『■USB デバイスのエンドポイント構成』に、以下の注意事項を追加。 USB デバイスは ISO(アイソクロナス転送)をサポートしていません。 設定組み合わせの Comb1 のみ有効です。
通信マクロ編 3-1.3 DMA 転送機能	『■データ数自動転送モード』に、以下の制限事項を追加。 本シリーズは、IN 方向のデータ数自動転送モードでショートパケット転送を使用した場合、DMA 転送が終了してもパケット送信が始まらないことがあります。 また、DMA 転送の転送元と転送先を共に USB に設定することは禁止です。 [回避策] CPU で転送を行ってください。

<table>
<tr><th>項目</th><th>内容</th></tr>
<tr><td>通信マクロ編 3-1.3.7
NULL 転送機能

通信マクロ編 3-1.5.3
EP1～5 制御レジスタ
(EP1C～EP5C)</td><td>NULL 転送モードの制限事項として、以下の説明文を追加。

本シリーズは、NULL 転送モードを使用した場合、DMA 転送終了後に NULL 転送が行われないことがあるため、EP1C～EP5C.NULL="0"で使用してください。

[回避策]
NULL 転送を行う場合は、DMAE=0 に設定し、バッファデータを書き込まないで DRQ ビットをクリアして NULL 転送を行ってください。
「22-1.5.9. EP1～5 ステータスレジスタ(EP1S～EP5S)」の[bit10] DRQ ビットの＜注意事項＞を参照してください。</td></tr>
<tr><td>通信マクロ編 3-1.5.3
EP1～5 制御レジスタ
(EP1C～EP5C)</td><td>[bit14:13]TYPE エンドポイント転送タイプは以下をサポートしています。

<table><tr><th>TYPE</th><th>動作モード</th></tr><tr><td>00</td><td>指定禁止</td></tr><tr><td>01</td><td>指定禁止</td></tr><tr><td>10</td><td>Bulk 転送</td></tr><tr><td>11</td><td>Interrupt 転送</td></tr></table></td></tr>
<tr><td>通信マクロ編 3-1.5.10
EP0～5 データレジスタ
(EP0DTH～EP5DTH/
EP0DTL～EP5DTL)</td><td>『5.10. EP0～5 データレジスタ』に、以下の制限事項を追加。

本シリーズは、AHB バス上で上記レジスタへの連続リードアクセスが発生した場合、リードデータが不定になります。

[回避策]
連続リードが起きないようにプログラミングしてください。C 言語にてプログラミングを行う場合、コンパイラのオプションなどによる最適化により、意図せず AHB 上で連続リードアクセスが発生する可能性があります。回避例については「■添付資料 1」を参照してください。</td></tr>
</table>

2. TYPE1 製品 制限事項一覧

MB9A002,MB9A310,MB9A110 シリーズの相違点を表に示します。

表中の「項目」は本書の記載内容です。

項目	内容
通信マクロ編 1-2.7.9 1-3.5.9 1-4.6.9 1-5.5.12 FIFO バイトレジスタ(FBYTE)	1-2 章『7.9. FIFO バイトレジスタ(FBYTE)』、 1-3 章『5.9. FIFO バイトレジスタ(FBYTE)』、 1-4 章『6.9. FIFO バイトレジスタ(FBYTE)』、 1-5 章『5.12. FIFO バイトレジスタ(FBYTE)』に、以下の注意事項を追加 ・下記の条件をすべて満たす場合、受信 FIFO に FBYTE の設定数の有効なデータがあるにも関わらず、受信データフルフラグ(SSR:RDRF)が"1"に設定されません。なお、FBYTE の設定値が"2"以上の場合、本動作はおこりません。 ・FBYTE の設定値が"1" ・受信 FIFO の有効なデータ数が FBYTE の設定数と同じ"1"の場合 ・マルチファンクションシリアルインタフェースマクロがデータを受信し、受信 FIFO に受信データを書き込むとき、同時に受信 FIFO のデータの読出しを行った場合 ただし、その後、下記のいずれかの場合に受信データフルフラグ(SSR:RDRF)が"1"に設定されます。 ・次のデータを受信した場合 ・受信 FIFO アイドル許可(FCR:FRIIE=1)のとき、8 ビット時間以上の受信アイドル時間を検出した場合

■ 添付資料 1

例) 以下の C ソースコードをコンパイルすると、コンパイラオプションなどにより最適化されて連続リードアクセスが発生する場合があります。

```
void do_ep0o(void)
{
        int i;
        int length;
        unsigned int b0,b1,b2,b3;

        b0 = (unsigned int)IO_EP0DT;
        b1 = (unsigned int)IO_EP0DT;
        b2 = (unsigned int)IO_EP0DT;
        b3 = (unsigned int)IO_EP0DT;
        buffer[0] = (unsigned short)b0;
        buffer[1] = (unsigned short)b1;
        buffer[2] = (unsigned short)b2;
        buffer[3] = (unsigned short)b3;
}
```

以下は回避方法です(記述どおりに処理を実行させます)。

```
void do_ep0o(void)
{
        int i;
        int length;
        volatile int b0;

        b0 = (unsigned int)IO_EP0DT;
        buffer[0] = (unsigned short)b0;
        b0 = (unsigned int)IO_EP0DT;
        buffer[1] = (unsigned short)b0;
        b0 = (unsigned int)IO_EP0DT;
        buffer[2] = (unsigned short)b0;
        b0 = (unsigned int)IO_EP0DT;
        buffer[3] = (unsigned short)b0;
}
```

D. 製品 TYPE 一覧

製品 TYPE について示します。

1. 製品 TYPE 一覧

1. 製品 TYPE 一覧

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。本書内の"TYPE0"などの表記は、以下の一覧の製品に置き換えてお読みください。

表 1 TYPE0 型格一覧

本書での表記	フラッシュメモリサイズ			
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte
TYPE0	MB9BF506N MB9BF506R MB9BF506NA MB9BF506RA MB9BF506NB MB9BF506RB	MB9BF505N MB9BF505R MB9BF505NA MB9BF505RA MB9BF505NB MB9BF505RB	MB9BF504N MB9BF504R MB9BF504NA MB9BF504RA MB9BF504NB MB9BF504RB	-
	MB9BF406N MB9BF406R MB9BF406NA MB9BF406RA	MB9BF405N MB9BF405R MB9BF405NA MB9BF405RA	MB9BF404N MB9BF404R MB9BF404NA MB9BF404RA	-
	MB9BF306N MB9BF306R MB9BF306NA MB9BF306RA MB9BF306NB MB9BF306RB	MB9BF305N MB9BF305R MB9BF305NA MB9BF305RA MB9BF305NB MB9BF305RB	MB9BF304N MB9BF304R MB9BF304NA MB9BF304RA MB9BF304NB MB9BF304RB	-
	MB9BF106N MB9BF106R MB9BF106NA MB9BF106RA	MB9BF105N MB9BF105R MB9BF105NA MB9BF105RA	MB9BF104N MB9BF104R MB9BF104NA MB9BF104RA	MB9BF102N MB9BF102R MB9BF102NA MB9BF102RA
	-	MB9AF105N MB9AF105R MB9AF105NA MB9AF105RA	MB9AF104N MB9AF104R MB9AF104NA MB9AF104RA	MB9AF102N MB9AF102R MB9AF102NA MB9AF102RA

表 2 TYPE1 型格一覧

本書での表記	フラッシュメモリサイズ				
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte	64 Kbyte
TYPE1	MB9AF316M MB9AF316N MB9AF316MA MB9AF316NA	MB9AF315M MB9AF315N MB9AF315MA MB9AF315NA	MB9AF314L MB9AF314M MB9AF314N MB9AF314LA MB9AF314MA MB9AF314NA	MB9AF312L MB9AF312M MB9AF312N MB9AF312LA MB9AF312MA MB9AF312NA	MB9AF311L MB9AF311M MB9AF311N MB9AF311LA MB9AF311MA MB9AF311NA
	MB9AF116M MB9AF116N MB9AF116MA MB9AF116NA	MB9AF115M MB9AF115N MB9AF115MA MB9AF115NA	MB9AF114L MB9AF114M MB9AF114N MB9AF114LA MB9AF114MA MB9AF114NA	MB9AF112L MB9AF112M MB9AF112N MB9AF112LA MB9AF112MA MB9AF112NA	MB9AF111L MB9AF111M MB9AF111N MB9AF111LA MB9AF111MA MB9AF111NA

表 3 TYPE2 型格一覧

本書での表記	フラッシュメモリサイズ		
	1 Mbyte	768 Kbyte	512 Kbyte
TYPE2	MB9BFD18S MB9BFD18T	MB9BFD17S MB9BFD17T	MB9BFD16S MB9BFD16T
	MB9BF618S MB9BF618T	MB9BF617S MB9BF617T	MB9BF616S MB9BF616T
	MB9BF518S MB9BF518T	MB9BF517S MB9BF517T	MB9BF516S MB9BF516T
	MB9BF418S MB9BF418T	MB9BF417S MB9BF417T	MB9BF416S MB9BF416T
	MB9BF318S MB9BF318T	MB9BF317S MB9BF317T	MB9BF316S MB9BF316T
	MB9BF218S MB9BF218T	MB9BF217S MB9BF217T	MB9BF216S MB9BF216T
	MB9BF118S MB9BF118T	MB9BF117S MB9BF117T	MB9BF116S MB9BF116T

表 4 TYPE3 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE3	MB9AF132K MB9AF132L	MB9AF131K MB9AF131L
	MB9AF132KA MB9AF132LA	MB9AF131KA MB9AF131LA
	MB9AF132KB MB9AF132LB	MB9AF131KB MB9AF131LB

表 5 TYPE4 型格一覧

本書での表記	フラッシュメモリサイズ			
	512 Kbyte	384 Kbyte	256 Kbyte	128 Kbyte
TYPE4	MB9BF516N MB9BF516R	MB9BF515N MB9BF515R	MB9BF514N MB9BF514R	MB9BF512N MB9BF512R
	MB9BF416N MB9BF416R	MB9BF415N MB9BF415R	MB9BF414N MB9BF414R	MB9BF412N MB9BF412R
	MB9BF316N MB9BF316R	MB9BF315N MB9BF315R	MB9BF314N MB9BF314R	MB9BF312N MB9BF312R
	MB9BF116N MB9BF116R	MB9BF115N MB9BF115R	MB9BF114N MB9BF114R	MB9BF112N MB9BF112R

表 6 TYPE5 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE5	MB9AF312K	MB9AF311K
	MB9AF112K	MB9AF111K

表 7 TYPE6 型格一覧

本書での表記	フラッシュメモリサイズ		
	256 Kbyte	128 Kbyte	64 Kbyte
TYPE6	MB9AFB44L MB9AFB44M MB9AFB44N MB9AFB44LA MB9AFB44MA MB9AFB44NA MB9AFB44LB MB9AFB44MB MB9AFB44NB	MB9AFB42L MB9AFB42M MB9AFB42N MB9AFB42LA MB9AFB42MA MB9AFB42NA MB9AFB42LB MB9AFB42MB MB9AFB42NB	MB9AFB41L MB9AFB41M MB9AFB41N MB9AFB41LA MB9AFB41MA MB9AFB41NA MB9AFB41LB MB9AFB41MB MB9AFB41NB
	MB9AFA44L MB9AFA44M MB9AFA44N MB9AFA44LA MB9AFA44MA MB9AFA44NA MB9AFA44LB MB9AFA44MB MB9AFA44NB	MB9AFA42L MB9AFA42M MB9AFA42N MB9AFA42LA MB9AFA42MA MB9AFA42NA MB9AFA42LB MB9AFA42MB MB9AFA42NB	MB9AFA41L MB9AFA41M MB9AFA41N MB9AFA41LA MB9AFA41MA MB9AFA41NA MB9AFA41LB MB9AFA41MB MB9AFA41NB
	MB9AF344L MB9AF344M MB9AF344N MB9AF344LA MB9AF344MA MB9AF344NA MB9AF344LB MB9AF344MB MB9AF344NB	MB9AF342L MB9AF342M MB9AF342N MB9AF342LA MB9AF342MA MB9AF342NA MB9AF342LB MB9AF342MB MB9AF342NB	MB9AF341L MB9AF341M MB9AF341N MB9AF341LA MB9AF341MA MB9AF341NA MB9AF341LB MB9AF341MB MB9AF341NB
	MB9AF144L MB9AF144M MB9AF144N MB9AF144LA MB9AF144MA MB9AF144NA MB9AF144LB MB9AF144MB MB9AF144NB	MB9AF142L MB9AF142M MB9AF142N MB9AF142LA MB9AF142MA MB9AF142NA MB9AF142LB MB9AF142MB MB9AF142NB	MB9AF141L MB9AF141M MB9AF141N MB9AF141LA MB9AF141MA MB9AF141NA MB9AF141LB MB9AF141MB MB9AF141NB

表 8 TYPE7 型格一覧

本書での表記	フラッシュメモリサイズ	
	128 Kbyte	64 Kbyte
TYPE7	MB9AFA32L MB9AFA32M MB9AFA32N	MB9AFA31L MB9AFA31M MB9AFA31N
	MB9AF132M MB9AF132N	MB9AF131M MB9AF131N
	MB9AFAA2L MB9AFAA2M MB9AFAA2N	MB9AFAA1L MB9AFAA1M MB9AFAA1N
	MB9AF1A2L MB9AF1A2M MB9AF1A2N	MB9AF1A1L MB9AF1A1M MB9AF1A1N

表 9 TYPE8 型格一覧

本書での表記	フラッシュメモリサイズ		
	512 Kbyte	384 Kbyte	256 Kbyte
TYPE8	MB9AF156M MB9AF156N MB9AF156R MB9AF156MA MB9AF156NA MB9AF156RA MB9AF156MB MB9AF156NB MB9AF156RB	MB9AF155M MB9AF155N MB9AF155R MB9AF155MA MB9AF155NA MB9AF155RA MB9AF155MB MB9AF155NB MB9AF155RB	MB9AF154M MB9AF154N MB9AF154R MB9AF154MA MB9AF154NA MB9AF154RA MB9AF154MB MB9AF154NB MB9AF154RB

表 10 TYPE9 型格一覧

本書での表記	フラッシュメモリサイズ		
	256 Kbyte	128 Kbyte	64 Kbyte
TYPE9	MB9BF524K MB9BF524L MB9BF524M	MB9BF522K MB9BF522L MB9BF522M	MB9BF521K MB9BF521L MB9BF521M
	MB9BF324K MB9BF324L MB9BF324M	MB9BF322K MB9BF322L MB9BF322M	MB9BF321K MB9BF321L MB9BF321M
	MB9BF124K MB9BF124L MB9BF124M	MB9BF122K MB9BF122L MB9BF122M	MB9BF121K MB9BF121L MB9BF121M

表 11 TYPE10 型格一覧

本書での表記	フラッシュメモリサイズ
	64 Kbyte
TYPE10	MB9BF121J

表 12 TYPE11 型格一覧

本書での表記	フラッシュメモリサイズ
	64 Kbyte
TYPE11	MB9AF421K MB9AF421L
	MB9AF121K MB9AF121L

表 13 TYPE12 型格一覧

本書での表記	フラッシュメモリサイズ	
	1.5 Mbyte	1 Mbyte
TYPE12	MB9BF529S MB9BF529T MB9BF529SA MB9BF529TA	MB9BF528S MB9BF528T MB9BF528SA MB9BF528TA
	MB9BF429S MB9BF429T MB9BF429SA MB9BF429TA	MB9BF428S MB9BF428T MB9BF428SA MB9BF428TA
	MB9BF329S MB9BF329T MB9BF329SA MB9BF329TA	MB9BF328S MB9BF328T MB9BF328SA MB9BF328TA
	MB9BF129S MB9BF129T MB9BF129SA MB9BF129TA	MB9BF128S MB9BF128T MB9BF128SA MB9BF128TA

E. 主な変更内容

主な変更内容について示します。

1. 主な変更内容

1. 主な変更内容

Spansion Publication Number: MN706-00023

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
-	-	TYPE8, TYPE9 製品を追加
v	-	表 2 に A 付き型格を追加
vii	-	表 7 に A 付き型格を追加 表 9 TYPE8 の型格一覧表を追加
viii	-	表 10 TYPE9 の型格一覧表を追加
4	CHAPTER 1-1: A/D コンバータ 2. 機能と動作	表 2-1 の製品 TYPE 表に TYPE8, TYPE9 を追加
29	CHAPTER 1-2: 12 ビット A/D コンバータ(A) 4. 設定手順例 4.1 A/D 動作許可設定手順例	図(図 4-1)下の注釈文を訂正
120	CHAPTER 1-4: A/D タイマトリガ選択 1.概要	『12 ビット A/D コンバータ(B)』の動作説明に TYPE6～TYPE9 を追加
183, 184	APPENDIXES A. レジスタマップ 1. レジスタマップ	＜注意事項＞に*5～*8 を追加
185		FLASH I/F のレジスタマップに TYPE8,TYPE9 製品を追加 Unique ID のレジスタマップを追加
197, 198		12bit A/DC のレジスタマップの対象製品 TYPE に TYPE6, TYPE8, TYPE9 を追加
214		LVD のレジスタマップの対象製品 TYPE の記載を変更
218, 219		MFS のレジスタマップを TYPE8 製品以外と TYPE8 製品に分割
222		RTC のレジスタマップの対象製品 TYPE に TYPE8, TYPE9 を 追加
241	APPENDIXES D. 製品 TYPE 一覧 1. 製品 TYPR 一覧	表 2 に A 付き型格を追加
243		表 7 に A 付き型格を追加 表 9 TYPE8 型格一覧を追加
244		表 10 TYPE9 型格一覧を追加
Revision 3.0		
-		TYPE10, TYPE11, TYPE12 製品の追加
viii		表 11 に TYPE10 の型格一覧表を追加 表 12 に TYPE11 の型格一覧表を追加 表 13 に TYPE12 の型格一覧表を追加
4	CHAPTER 1-1: A/D コンバータ 2. 機能と動作	表 2-1 の製品 TYPE 表に TYPE10~TYPE12 を追加

ページ	場所	変更箇所
42	CHAPTER 1-2: 12 ビット A/D コンバータ(A) 5.レジスタ 5.5 スキャン変換 FIFO データレジスタ(SCFD)	INVL ビットの初期値を訂正 X → 1
48	5.レジスタ 5.9 優先変換 FIFO データレジスタ(PCFD)	INVL ビットの初期値を訂正 X → 1
100	CHAPTER 1-3: 12 ビット A/D コンバータ(B) 5.レジスタ 5.5 スキャン変換 FIFO データレジスタ(SCFD)	INVL ビットの初期値を訂正 X → 1
106	5.レジスタ 5.9 優先変換 FIFO データレジスタ(PCFD)	INVL ビットの初期値を訂正 X → 1
156	CHAPTER 3: LCD コントローラ 3. LCD コントローラ 動作説明 3.1.4. 4 COM モードでの LCD コントローラ動作時の出力波形(1/3 バイアス, 1/3 デューティ)	図 3-4 を訂正
158	3. LCD コントローラ 動作説明 3.1.5. 4 COM モードでの LCD コントローラ動作時の出力波形(1/3 バイアス, 1/4 デューティ)	図 3-5 を訂正
172	5. LCD コントローラ レジスタ 5.5.LCDC COM 出力許可レジスタ(LCDC_COMEN)	COM0 ビットの属性を訂正
185	APPENDIXES A. レジスタマップ 1. レジスタマップ	FLASH I/F のレジスタマップに TYPE10~TYPE12 製品を追加
199		12bit A/DC のレジスタマップの対象製品 TYPE に TYPE10~TYPE12 を追加
215		LVD のレジスタマップの対象製品 TYPE に TYPE10~TYPE12 を追加
219, 220		MFS のレジスタマップを TYPE8/TYPE12 製品以外と TYPE8/TYPE12 製品に変更
223		RTC のレジスタマップの対象製品 TYPE に TYPE10~TYPE12 を追加
245	APPENDIXES D. 製品 TYPE 一覧 1. 製品 TYPE 一覧	表 11 に TYPE10 の型格一覧表を追加 表 12 に TYPE11 の型格一覧表を追加 表 13 に TYPE12 の型格一覧表を追加

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

改訂履歴

文書名: 32 ビット・マイクロコントローラ FM3 ファミリ Peripheral Manual アナログマクロ編 文書番号: 002-04841			
版	**ECN 番号**	**変更者**	**変更内容**
**	-	AKIH	New Spec
*A	5035339	TOYO	これは英語版 002-04839 Rev.*A の日本語版です。 P.41　全て更新 P.47　レジスタ設定例を追加 P.58, P.60, P.65, P.69, P.71, P.72, P.73, P.74, P.76, P.78　A/D 変換中の定義を追加 P.99　全て更新 P.105　レジスタ設定例を追加 P.116, P.118, P.123, P.127, P.128, P.129　A/D 変換中の定義を追加 P.134　起動要因兼用について追記 Appendixes A　予約領域の注意事項を追加 Appendixes D　MB9A130LB, MB9AB40NB, MB9AAA0N, MB9A1A0N, MB9A150RA, MB9A150RB, MB9B520TA シリーズを追加
*B	5747818	YSAT	これは英語版 002-04839 Rev.*B の日本語版です。 Cypress の新ロゴを適用
*C	5973540	KTOM	これは英語版 002-04839 Rev.*C の日本語版です。 P.3　周辺機能の搭載有無についての注意事項を追加 P.3　マイコンサポート情報を更新 P.9　Table 8 TYPE7 型格一覧に MB9AF1A2L, MB9AF1A1L を追加 P.9　Table 9 TYPE8 型格一覧に MB9AF156MB, MB9AF156NB, MB9AF156RB, MB9AF155MB, MB9AF155NB, MB9AF155RB, MB9AF154MB, MB9AF154NB, MB9AF154RB を追加 P.213　1.16 12bit/A/DC の TYPE0/1/2/4/5 製品の PCCR レジスタの値を"1000-000"から"10000000"に修正