EZ-PD™ PMG1 MCU を使用した USB PD DRP (デュアルパワー) 回路図

本書について

適用範囲と目的

このアプリケーションノートでは、EZ-PD™ PMG1 MCU ファミリを使用した USB power delivery (PD) デュアルパワー (DRP) アプリケーションのリファレンス回路図を提供します。

対象者

このアプリケーションノートは、EZ-PD™ PMG1 マイクロコントローラを使用して DRP アプリケーションを設計するユーザーを対象とします。このアプリケーションノートには、PMG1-S1, PMG1-S2, PMG1-S3 を使用した DRP リファレンスデザインの回路図が含まれます。

目次

本書について 1
目次 2
1 EZ-PD™ PMG1 イントロダクション 3
2 USB PD の仕様 5
2.1 DRP ポートの Type-C および USB PD アーキテクチャ 5
2.2 Type-C 信号の定義 6
2.3 Type-C ポート 8
2.3.1 ダウンストリーム側ポートとアップストリーム側ポート 8
2.4 USB PD デュアルロールパワー 8
2.5 USB Type-C オルタネートモード 9
3 PMG1-S1 DRP ハードウェア設計 10
3.1 システム電源設計 10
3.2 パワープロバイダおよびコンシューマ回路 11
3.2.1 VBUS プロバイダパスと VBUS コンシューマパスの制御 11
3.2.2 VBUS 放電経路の制御 12
3.2.3 VBUS の低電圧および過電圧保護 (UVP/OVP) 13
3.2.4 VBUS の過電流/短絡/逆電流保護 (OCP/SCP/RCP) 13
3.2.5 VCONN OCP 14
3.3 Type-C オルタネートモードの実装 14
4 PMG1-S2 DRP ハードウェア設計 16
4.1 システム電源設計 16
4.2 電力プロバイダおよびコンシューマ回路 17
4.2.1 VBUS プロバイダパスと VBUS コンシューマパスの制御 17
4.2.2 VBUS 放電経路の制御 18
4.2.3 VBUS の UVP/OVP 19
4.2.4 VBUS の OCP 19
4.2.5 VCONN OCP 20
4.3 Type-C オルタネートモードの実装 20
5 PMG1-S3 DRP ハードウェア設計 22
5.1 USB PD 拡張電力範囲 (EPR) 22
5.1.1 PMG1-S3 EPR 設計の SPR への移行 22
5.1.1.1 EPR VBUS レギュレータの移行 23
5.1.1.2 VBUS プロバイダ/コンシューマパス FET の移行 24
5.2 PMG1-S3 シングルポートおよびデュアルポート DRP 実装 25
5.3 システム電源設計 26
5.4 電力プロバイダおよびコンシューマ回路 26
5.4.1 VBUS プロバイダパスおよび VBUS コンシューマ パスの制御 26
5.4.2 VBUS 放電パスの制御 27
5.4.3 VBUS の UVP/OVP 27
5.4.4 VBUS の OCP/SCP/RCP 28
5.4.5 VCONN の OCP 28
5.5 Type-C オルタネートモードの実装 29
添付ファイル 30
改訂履歴 31
免責事項 32

1 EZ-PD™ PMG1 イントロダクション

インフィニオンの EZ-PD™ PMG1 (第 1 世代 PD マイクロコントローラ) は、高電圧 USB-C PD MCU ファミリです。これらのチップには、Arm® Cortex® -M0/M0+ CPU と、アナログおよびデジタルペリフェラルを含む USB-C PD コントローラーを搭載します。EZ-PD™ PMG1 は、高電圧 USB-C PD ポートにて電力を受電または給電し、MCU を活用した追加の制御機能を提供する組込みシステムを対象とします。

PMG1 MCU ファミリは、USB PD および Type-C 規格に完全に準拠しています。Table 1 は、EZ-PD™ PMG1 ファミリそれぞれの MCU の機能を比較したものです。

Table 1 EZ-PD™ PMG1 ファミリ MCU の機能比較

サブシステムまたは範囲	項目	PMG1-S0 *	PMG1-S1	PMG1-S2	PMG1-S3
CPU およびメモリ サブシステム	コア	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大周波数 (MHz)	48	48	48	48
	フラッシュ (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
パワーデリバリー	PD ポート	1	1	1	48-QFN の場合は 1 ポート 97-BGA の場合は 2 ポート
	ロール	Sink	DRP	DRP	DRP
	MOSFET ゲートドライバ	1x PFET	2x PFET	2x PFET	フレキシブル 2x NFET
	故障保護	VBUS OVP および UVP	VBUS OVP, UVP, および OCP SCP および RCP (ソース コンフィギュレーションのみ)	VBUS OVP, UVP, および OCP	VBUS OVP, UVP, および OCP SCP および RCP (ソース コンフィギュレーションのみ)
USB	ビルボード クラスをサポートする内蔵フルスピード USB 2.0 デバイス	無	無	有	有
電圧範囲	電源電圧 (V)	VDDD (2.7～5.5) VBUS (4～21.5)	VSYS (2.75～5.5) VBUS (4～21.5)	VSYS (2.7～5.5) VBUS (4～21.5)	VSYS (2.8～5.5) VBUS (4～28)
	I/O (V)	1.71～5.5	1.71～5.5	1.71～5.5	1.71～5.5
	SCB (I^2C/UART/SPI として設定可能)	2	4	4	48-QFN の場合は 7 (うち 5 は SPI および UART として設定可能) 97-BGA の場合は 8

1 EZ-PD™ PMG1 イントロダクション

サブシステムまたは範囲	項目	PMG1-S0 *	PMG1-S1	PMG1-S2	PMG1-S3
	TCPWM ブロック (タイマー, カウンター, パルス幅変調器に設定可能)	4	2	4	48-QFN の場合は 7 97-BGA の場合は 8
	ハードウェア認証ブロック (暗号)	無	無	有 (AES-128/192/256, SHA1, SHA2-224, SHA2-256, PRNG, CRC)	有 (AES-128, SHA2-256, TRNG, ベクトル ユニット)
アナログ	ADC	2x 8 ビット SAR	1x 8 ビット SAR	2x 8 ビット SAR	2x 8 ビット SAR 1x 12 ビット SAR
	内蔵温度センサー	有	有	有	有
ダイレクトメモリ アクセス (DMA)	DMA	無	無	無	有
GPIO	I/O の最大数	12 (10+2 OVT)	17 (15+2 OVT)	20 (18+2 OVT)	48-QFN の場合は 26 (24+2 OVT) 97-BGA の場合は 50 (48+2 OVT)
充電規格	充電ソース	–	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC, AFC, および Quick Charge 3.0
	充電シンク	BC 1.2, Apple charging (AC)	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC
ESD 保護	ESD 保護	有 (最大±8kV の接触放電, 最大±15kV の空中放電, 人体モデル, 充電デバイスモデル)	有 (人体モデルとデバイス帯電モデル)	有 (最大±8kV の接触放電, 最大±15kV の空中放電, 人体モデル, 充電デバイスモデル)	有 (人体モデルとデバイス帯電モデル)
パッケージ	パッケージ オプション	24-QFN (4 x 4 mm, 0.5 mm ピッチ)	40-QFN (6 x 6 mm, 0.5 mm ピッチ) 42-CSP (2.63 x 3.18 mm, 0.4 mm ピッチ)	40-QFN (6 x 6 mm, 0.5 mm ピッチ)	48-QFN (6 x 6 mm, 0.5 mm ピッチ) 97-BGA (6 x 6 mm, 0.5 mm および 0.65 mm ピッチ)

* PMG1-S0 は USB PD シンク専用デバイスであるため、DRP アプリケーションには対応していません。

2 USB PD の仕様

ここでは、USB PD の基本を確認します。USB PD 仕様 は、PD 対応の USB Type-C ポートが USB PD 準拠の電力ソースとネゴシエートすることにより、VBUS から必要な電力を取得する方法を定義しています。

電力を提供する USB-C ポートは「ソース」と呼ばれ、電力を消費する USB-C ポートは「シンク」と呼ばれます。PD 接続それぞれにおいて、ソースポートとシンクポートは 1 つのみです。従来の USB 仕様では、ホストコンピューター (ノートブックや PC など) の USB ポートは常にソースであり、USB ペリフェラルデバイスは常にシンクでした。USB PD 仕様では、ソースとシンクのロールを入れ替えることができるため、USB ペリフェラルデバイス (外部セルフパワーのハードディスク, ドック, モニターなど) が USB ホストに電力を供給できます。これらの新しいパワーロールは、USB ホストと USB デバイス間の USB データ転送の役割とは無関係です。例としては、USB ホストであるノートブックや PC のバッテリーを充電できるモニターといったセルフパワーUSB ペリフェラルデバイスがあります。

2.1 DRP ポートの Type-C および USB PD アーキテクチャ

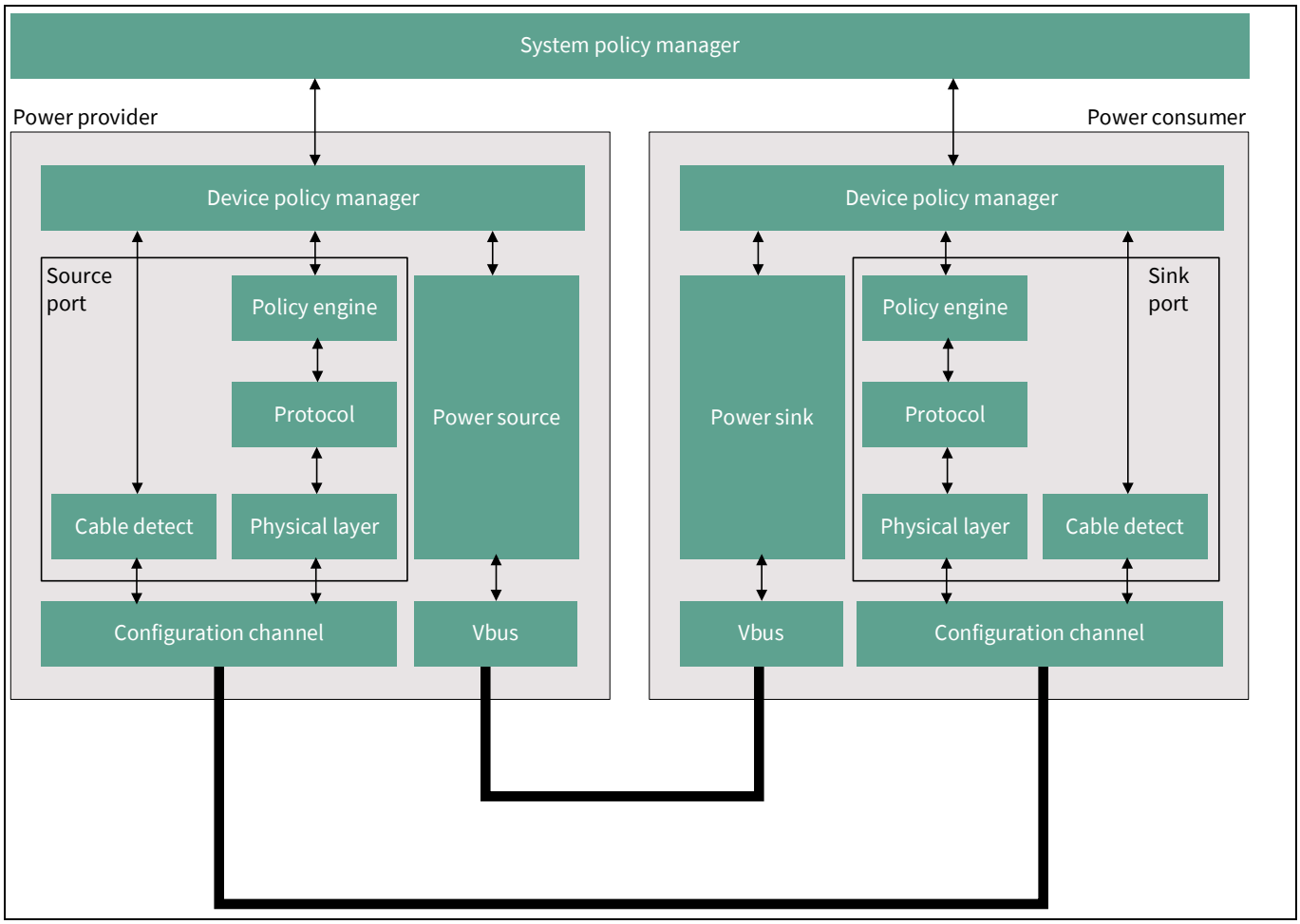

Figure 1 DRP アプリケーション向けの Type-C および PD アーキテクチャ

システムポリシーマネージャ: PD 仕様では、オペレーティングシステムスタックとして動作している USB ホストに実装されるシステムポリシーマネージャが定義されています。詳細については、USB PD 仕様を参照してください。

デバイスポリシーマネージャ: デバイスポリシーマネージャは、パワープロバイダまたはパワーコンシューマで動作するモジュールであり、ポリシーエンジンを介してデバイスの各ポートにローカルポリシーを適用します。

ソースポート: ソースポートは、VBUS 経由で電力を供給するパワープロバイダポートです。デフォルトでは、ホストまたはハブの USB ポートです。

シンクポート: シンクポートは、VBUS 経由で電力を消費する USB パワーコンシューマポートです。デフォルトでは、デバイスの USB ポートです。

ポリシーエンジン: ポリシーエンジンは、ポートポリシーを実装したデバイスポリシーマネージャの入力を担います。また、プロトコル層にメッセージを送信するように指示します。

プロトコル: プロトコル層は、ポートパートナー間の通信用のメッセージを生成します。

物理層: 物理層は、VBUS またはポートペア間の設定チャネル (CC) を介してメッセージを送受信します。

電力ソース: VBUS を介して電力の供給源となる PD ポートの機能。これは、CC ラインが Rp でアサートされた Type-C ポートを指します。

電力シンク: VBUS から電力をシンクする PD ポートの機能。これは、CC ラインが Rd でアサートされた Type-C ポートを指します。

ケーブル検出モジュール: ケーブル検出モジュールは、Type-C ポートに接続された EMCA (Electronically Marked Cable Assembly) ケーブルの存在を検出します。

デュアルロールデバイスは、プロバイダとコンシューマの両方の要素を 1 つのデバイスに組み合わせることで開発できます。

USB ホストと USB デバイスが相互接続されると、USB リンクペアが形成され、各リンクパートナーには CC コントローラーがあります。その後、メッセージは各 PD コントローラー内のデバイスポリシーマネージャ間で論理的に交換されます。これらのメッセージは CC を介して物理的に転送され、リンクペア間で PD コントラクトが行われ、電力が VBUS を介して供給されます。CC は、Type-C 信号定義の新しい信号ペアです (詳細については、Type-C 信号の定義のセクションを参照してください)。

2.2 Type-C 信号の定義

Figure 2 に、USB Type-C レセプタクル, プラグ, およびフリッププラグ信号を示します。USB Type-C レセプタクルは、USB 3.1 (TX と RX のペア) と USB 2.0 (Dp と Dn) のデータバス, USB 電力 (VBUS), グランド (GND), CC 信号 (CC1 と CC2), および 2 つのサイドバンドユーズ (SBU) 信号ピンを備えています。

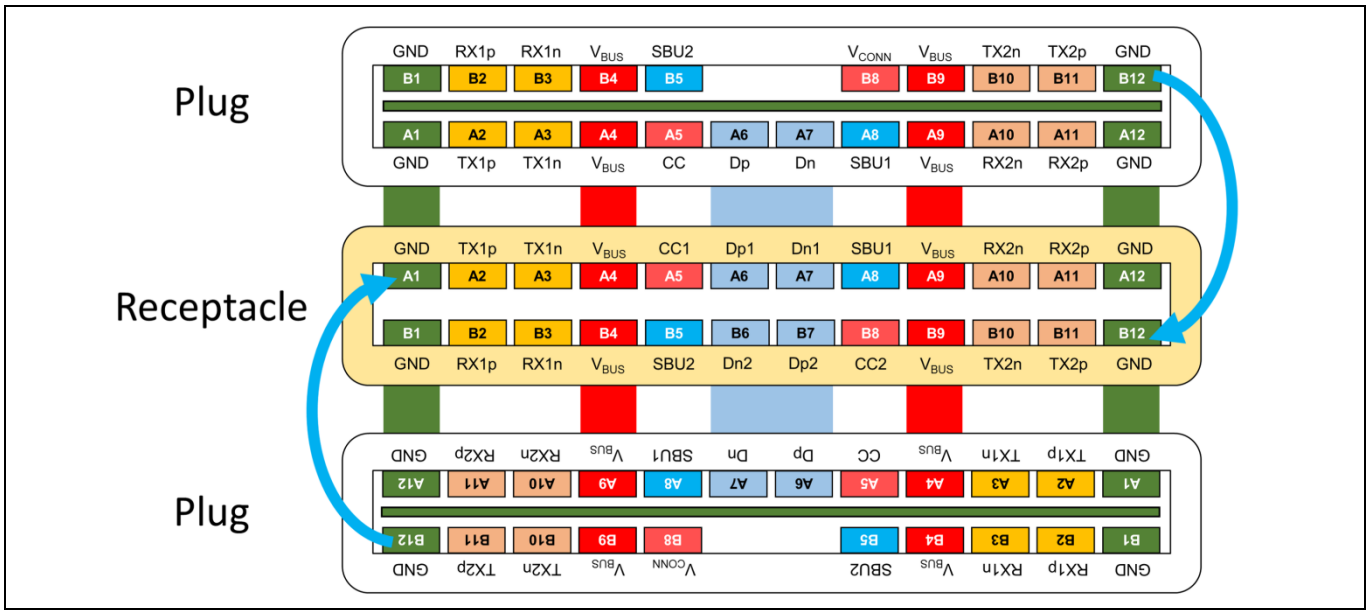

Figure 2 USB Type-C プラグ, レセプタクル, フリッププラグ信号 (ソース USB Type-C 仕様)

2 USB PD の仕様

Table 2 と Table 3 に示すように、USB Type-C プラグとレセプタクルの信号の説明は、CC 信号と VCONN 信号を除いて同じです。このレイアウトの USB 2.0 と USB 3.1 の 2 つの信号位置は、レセプタクルのプラグの向きに関係なく、USB 信号のマッピングを容易にします。

Table 2　USB Type-C レセプタクル信号

信号グループ	信号	説明
USB 3.1	TX1p, TX1n, RX1p, RX1n, TX2p, TX2n, RX2p, RX2n	SuperSpeed USB シリアルデータインターフェースは、差動送信ペアと差動受信ペアを定義します。USB Type-C レセプタクルでは、プラグフリップ機能を有効にするために、2 組の SuperSpeed USB 信号ピンが定義されています。
USB 2.0	Dp1, Dn1 Dp2, Dn2	USB 2.0 シリアルデータインターフェースは、差動ペアを定義します。USB Type-C レセプタクルでは、プラグフリップを可能にするために 2 組の USB 2.0 信号ピンが定義されています。
Configuration channel (コンフィギュレーション チャネル)	CC1, CC2	レセプタクル内の CC は、信号の向きとチャネル設定を検出します。
補助信号	SBU1, SBU2	サイドバンドユーズ。詳細については、USB Type-C Cable and Connector Specification Revision 2.1 を参照してください。
電力	VBUS	USB ケーブルバスパワー
	GND	USB ケーブルリターン電流パス

Table 3　USB Type-C プラグ信号

信号グループ	信号	説明
USB 3.1	TX1p, TX1n, RX1p, RX1n, TX2p, TX2n, RX2p, RX2n	SuperSpeed USB シリアルデータインターフェースは、差動送信ペアと差動受信ペアを定義します。USB Type-C プラグでは、プラグフリッピング機能を有効にするために 2 組の SuperSpeed USB 信号ピンが定義されています。
USB 2.0	Dp, Dn	USB Type-C プラグでは、USB 2.0 シリアルデータインターフェースが差動ペアを定義します。
Configuration channel (コンフィギュレーション チャネル)	CC	プラグの CC は、接続検出とインターフェース設定に使用されます。
補助信号	SBU1、SBU2	サイドバンドユーズ。詳細については、USB Type-C Cable and Connector Specification Revision 2.1 を参照してください。
電力	VBUS	USB ケーブルバスパワー
	VCONN	Type-C ケーブルプラグパワー
	GND	USB ケーブルリターン電流パス

Type-C プラグ付きのケーブルをレセプタクルに挿入すると、一方の CC ピンを使用して信号の向きを確立し、もう一方の CC ピンは USB Type-C ケーブル (プラグ) 内の電子デバイスの電力供給のために VCONN として再利用されます。

2.3 Type-C ポート

2.3.1 ダウンストリーム側ポートとアップストリーム側ポート

Type-C ダウンストリーム側ポート (DFP) はデフォルトで USB ホストとパワーソースで、Type-C アップストリーム側ポート (UFP) はデフォルトで USB デバイスとパワーシンクです。Figure 3 に示すように、DFP は CC ピン (CC1 と CC2) に Rp 終端を、UFP は CC ピンに Rd 終端を公開します。

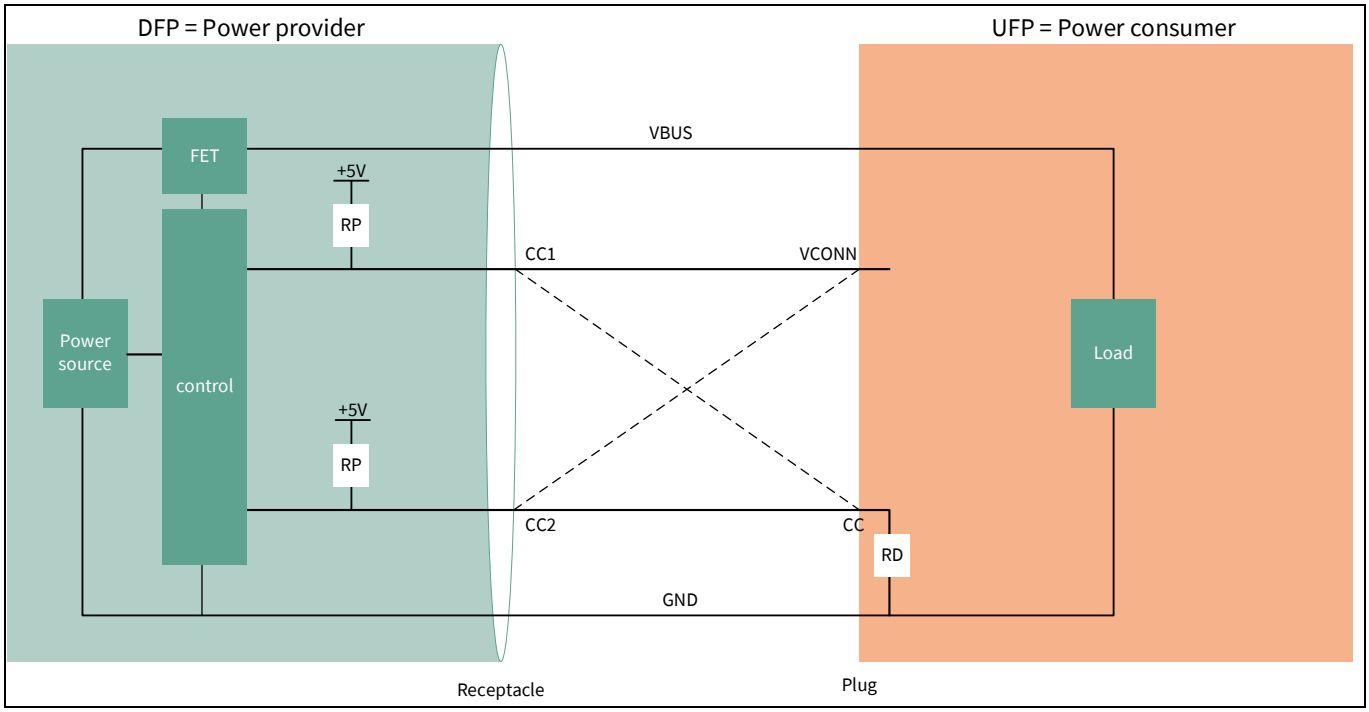

Figure 3 DFP と UFP の直接接続

2.4 USB PD デュアルロールパワー

DRP として設定された USB-C ポートは、パワープロバイダまたはパワーコンシューマとして動作することも、これら 2 つの状態を交互に切り替えることもできます。最初は、パワープロバイダとして動作している場合、ポートは DFP のデータロールを担い、シンクとして動作している場合、ポートは UFP のデータロールを担います。ただし、ポートのパワーロールは、USB PD メッセージ (パワーロールスワップ) を使用して動的に変更できます。例えば、ノートパソコンをドックに接続すると、最初はパワープロバイダと DFP になります。ドックまたはラップトップは、接続した後でパワーロールスワップを発行して、それぞれパワープロバイダまたはコンシューマになれます。

DRP デバイスには、CC ライン上の Rp 抵抗と Rd 抵抗の有無を検出する機能があります。一般的な DRP デバイスは、Table 4 にリストされているロールを実行できます。

Table 4 DRP デバイスのロール

No.	データポートのロール (USB ホストまたはデバイス)	パワーポートのロール (パワープロバイダまたはパワーコンシューマ)
1	DFP	ソース (パワープロバイダ; Rp 接続と Rd 切断)
2	DFP	シンク (パワーコンシューマ; Rp 切断と Rd 接続)
3	UFP	ソース (パワープロバイダ; Rp 接続と Rd 切断)
4	UFP	シンク (パワーコンシューマ; Rp 切断と Rd 接続)

2.5 USB Type-C オルタネートモード

USB Type-C は、USB-C 3.1 ケーブルの一部のピンを使用して、Thunderbolt, DisplayPort, HDMI などの代替データプロトコルに対するオルタネートモードをサポートしています。4 つの高速レーン, 2 つの SBU ピン, および 1 つの設定ピンは、オルタネートモード伝送に使用できます。モードは、CC を介したベンダー定義メッセージ (VDM) を使用して設定されます。

ドックなどの DRP アプリケーションでは、Type-C ポートで USB SuperSpeed とオルタネートモード (DisplayPort など) を切り替える必要があります。PMG1 MCU は、CC ラインを介して Type-C ポートを再設定するために必要なオルタネートモードプロトコルをサポートしています。USB SS モードと DisplayPort モードの切り替えを可能にするために、PMG1 MCU とともに高速マルチプレクサ/スイッチが使用されます。Figure 4 に、PMG1 MCU を使用した DisplayPort オルタネートモードの基本的な実装を示します。

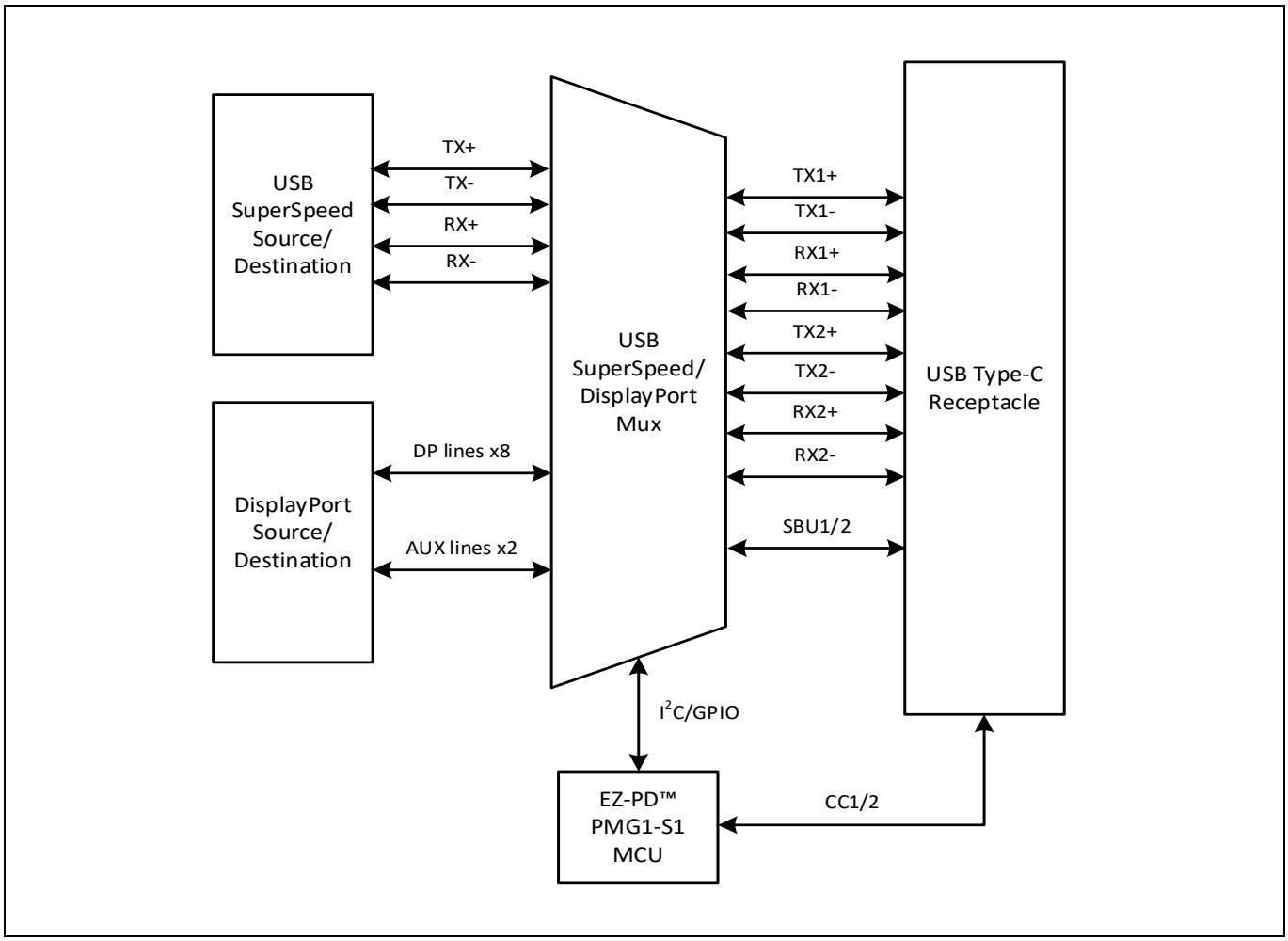

Figure 4 USB Type-C DisplayPort オルタネートモード

このアプリケーションノートで提供される DRP 回路設計には、設計ファイルに DisplayPort オルタネートモードマルチプレクサが含まれています。PMG1-S1 と PMG1-S3 の設計では Pericom の Type-C マルチプレクサ PI3DPX1205A 使用し、PMG1-S2 の設計では Parade Technologies の PS8740 Type-C マルチプレクサを使用しています。オルタネートモードの実装はアプリケーション固有であり、ユーザーは DisplayPort マルチプレクサ回路図をエンドアプリケーションに含めないようにできます。

3 PMG1-S1 DRP ハードウェア設計

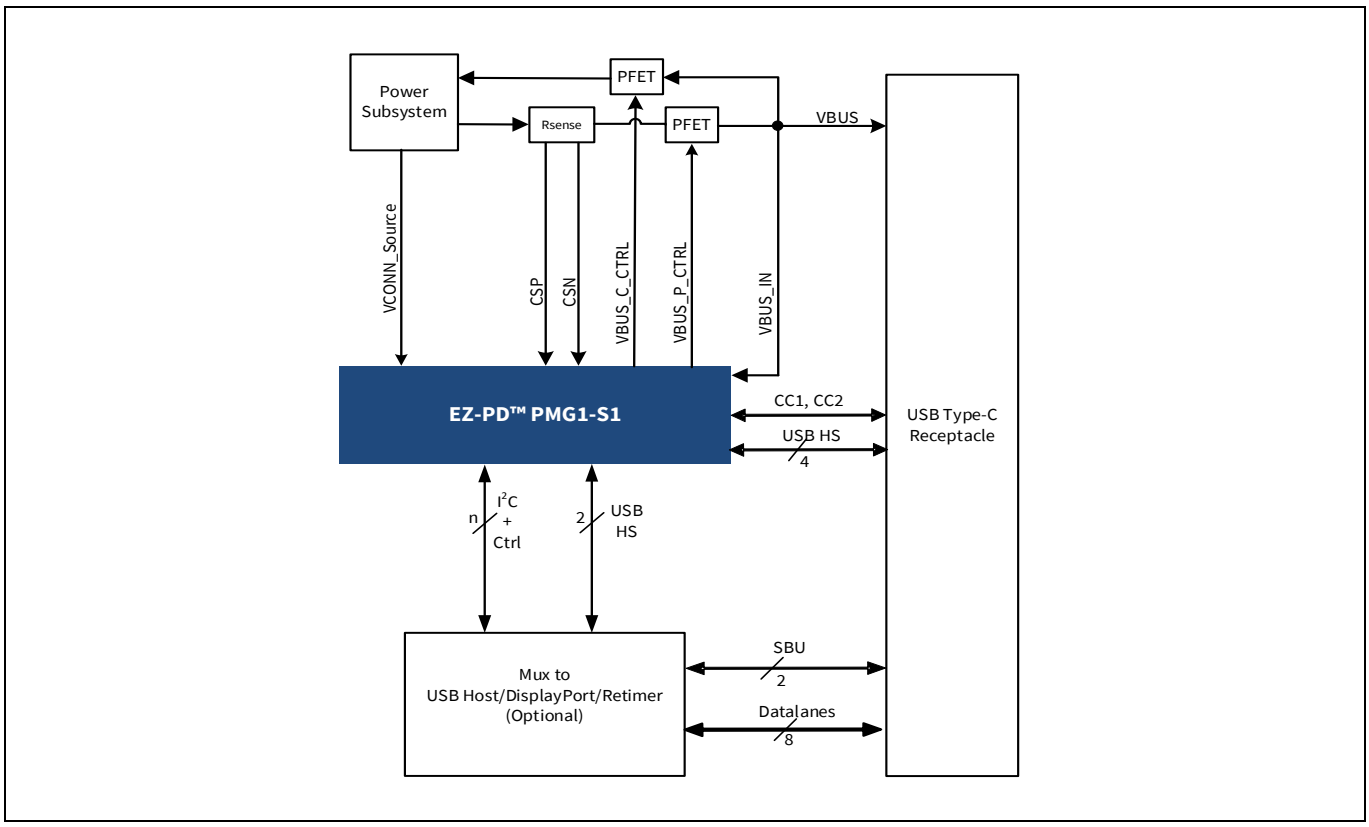

Figure 5 EZ-PD™ PMG1-S1 を使用したシングルポート Type-C DRP 設計

完全なリファレンス回路図と設計ファイルについては、**EZ-PD™ PMG1-Sx DRP reference schematic.zip** ファイル の **EZ-PD™ PMG1-S1 DRP リファレンス回路図** を参照してください。

3.1 システム電源設計

PMG1-S1 DRP 設計リファレンス回路設計は、オンセミコンダクターの NCP81239 昇降圧 DC-DC コンバータを可変出力 VBUS ソースとして使用します。レギュレータの電圧出力は、I^2C インターフェースを使用して制御できます。

また、この設計リファレンスは、5 V と 3.3 V の出力を生成する 2 つの降圧レギュレータで構成されており、VCONN と PMG1-S1 用のシステム電源を供給します。

PMG1-S1 MCU は、VBUS または VSYS の 2 つの外部電源電圧で動作します。Table 5 に示すように、VDDIO 電源はデバイス I/O に電力を供給します。VDDD は内部レギュレータから 3.3 V を生成し、VDDIO に短絡できます。VCCD はコアレギュレータからの出力電圧で、このピンはデカップリングコンデンサのみを接続するためのものです。VCCD 端子は電圧源として使用できません。PMG1-S1 は、VCONN_Source ピンに電源入力を備えており、内蔵の VCONN FET を介して EMCA ケーブルに電力を供給します。

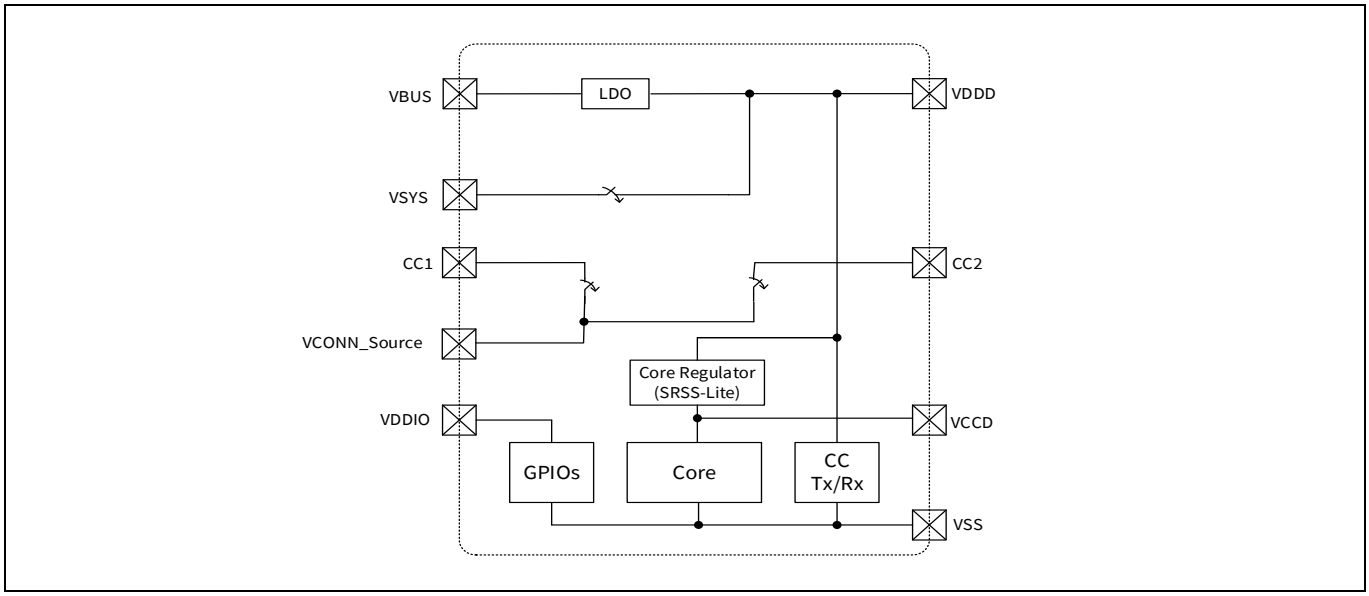

Figure 6　PMG1-S1 電源システム設計

Table 5　PMG1-S1 動作電圧

パラメーター	最小 (V)	最大 (V)
VBUS	4.0	21.5
VSYS	2.75	5.5
VDDD	VSYS-0.05	VSYS
VDDIO	VDDD	VDDD
VCON_Source	4.85	5.5

3.2　パワープロバイダおよびコンシューマ回路

ここでは、DRP 設計における VBUS 制御, 過電圧 (OV), 過電流 (OC), 逆電流 (RC), および短絡 (SC) 保護に推奨される外部ハードウェア回路について説明します。PMG1-S1 デバイスを使用するポータブルスピーカーなどの DRP 設計は、内蔵バッテリーで動作する場合はパワープロバイダになり、パワーアダプタやモニターなどの接続された電源から充電する場合はパワーコンシューマになります。

3.2.1　VBUS プロバイダパスと VBUS コンシューマパスの制御

PMG1-S1 デバイスは、PFET ゲートドライバを内蔵した 2 つの I/O、すなわち VBUS_P_CTRL と VBUS_C_CTRL で構成されており、Type-C ポートをパワーソースおよびコンシューマに接続する VBUS プロバイダ (電力のソース) とコンシューマ (電力のシンク) パスを制御します。

Figure 7 に、この VBUS パスを制御するための推奨実装を示します。

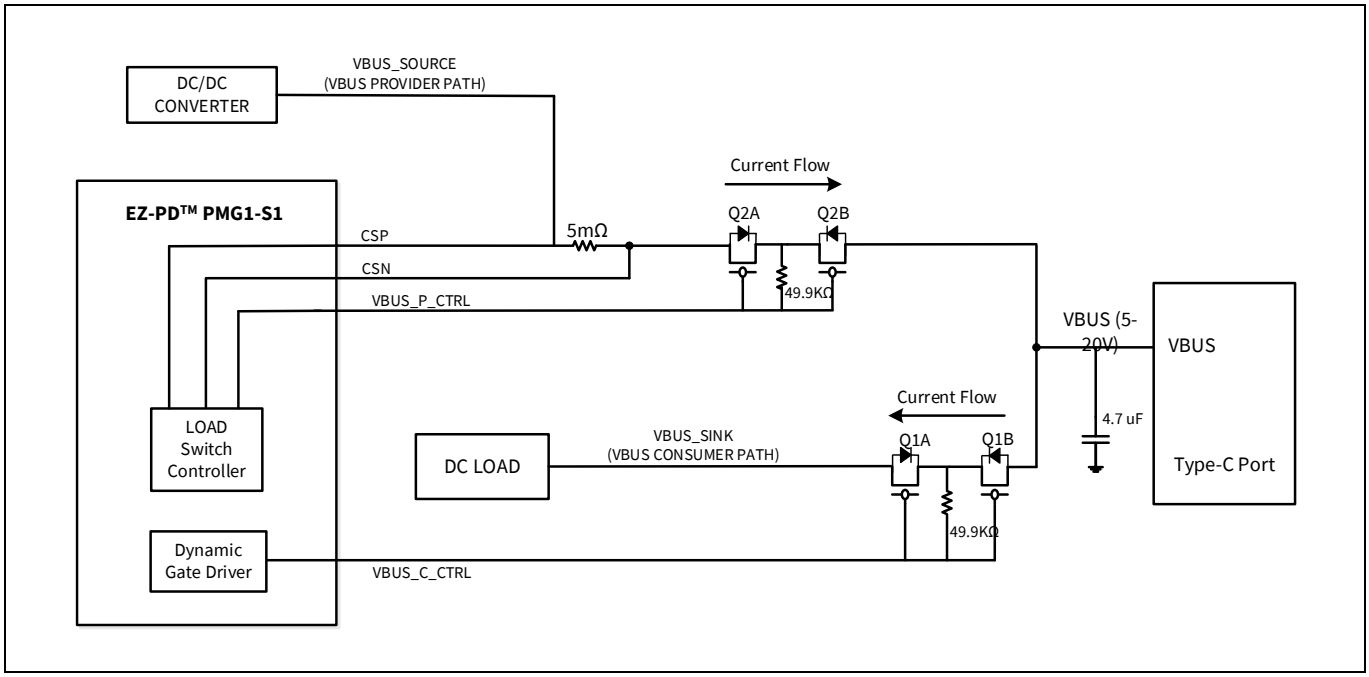

Figure 7　　PMG1-S1 VBUS プロバイダおよびコンシューマパス制御

3.2.2　　VBUS 放電経路の制御

接続されているダウンストリームデバイスに応じて、VBUS 電圧は、次のシナリオ例に示すように変化します。

- **シナリオ例 1**: 100 W (20 V, 5 A) の電力をシンクする UFP デバイスが Type-C ポートから切断され、すぐに 15 W (5 V, 3 A) の電力をシンクする別の UFP デバイスが同じ Type-C ポートに接続される。
- **シナリオ例 2**: 外部電源ドックにおいて、パワーロールスワップにより、パワーロールをプロバイダ (100 W の電力を供給) からコンシューマ (15 W の電力をシンク) に変更する。

どちらのシナリオでも、Figure 8 に示す VBUS コンデンサは、元の 20 V から完全に放電していない可能性があります。

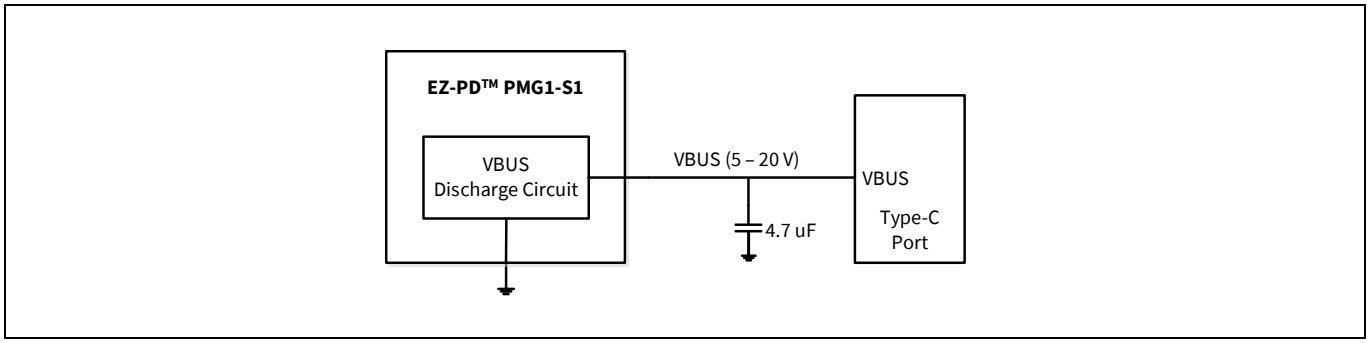

Figure 8　　VBUS 放電制御回路

VBUS のこの OV を防ぐために、PMG1-S1 デバイスは、Figure 8 に示すように、VBUS コンデンサの放電経路を提供する VBUS 放電回路を内蔵しています。これにより、例 1 や例 2 のような OV シナリオが回避されます。放電強度はファームウェアで制御できます。

3.2.3 VBUS の低電圧および過電圧保護 (UVP/OVP)

PMG1-S1 は、VBUS 電源用の低電圧/過電圧 (UVOV) 検出回路を実装しています。OV 検出と UV 検出の閾値は個別に設定できます。UV と OV の両方の検出器に対して、ファームウェアで制御できるプログラム可能なしきい値があります。UV および OV コンパレータへの入力は、VBUS 電源電圧とリファレンス電圧の分圧 (8%または 10%) です。リファレンス電圧は、200 mV～2190 mV の範囲で 10 mV 刻みで設定できます。

Figure 9 に、PMG1-S1 マイコンに内蔵された UVP/OVP 回路を示します。コンパレータへの入力は、REFGEN モジュールからのリファレンス電圧 (vref_out) と VBUS の 8%または 10%です。リファレンスジェネレータの vref_out[3] および vref_out[2] 電圧は、UVP および OVP レベルを調整するためにファームウェアを介してプログラムする必要があります。

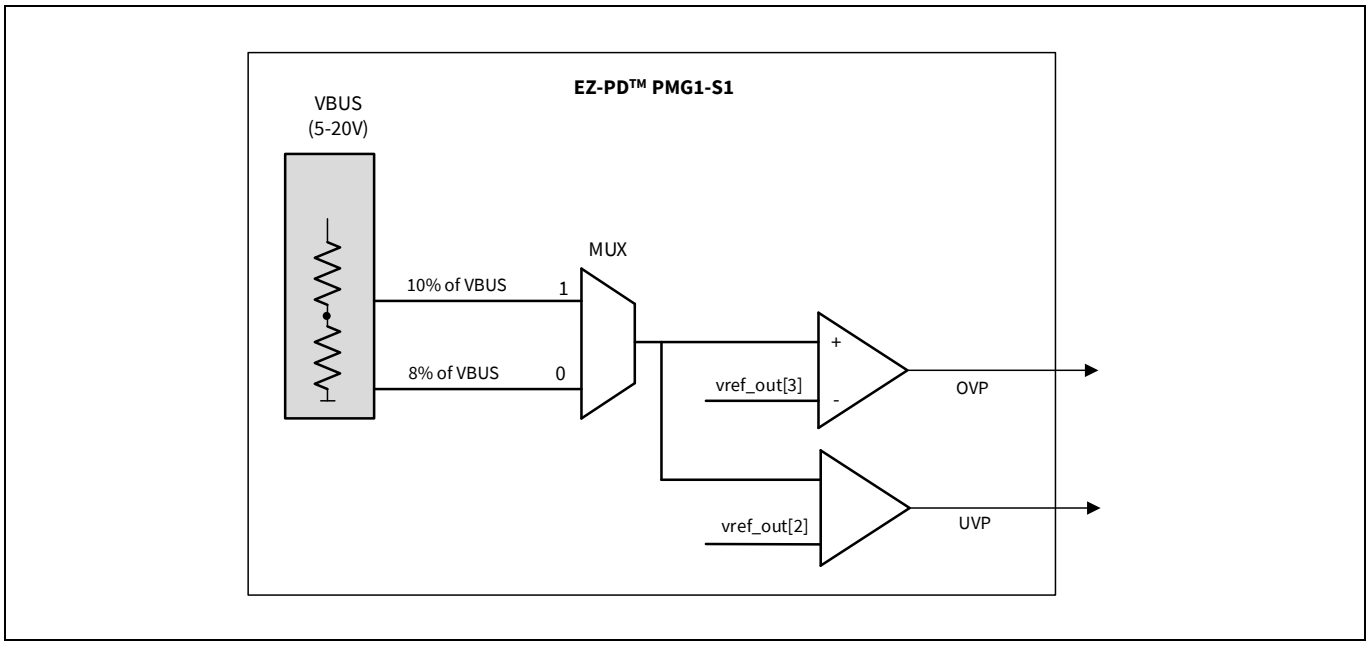

Figure 9 PMG1-S1 での UVP/OVP 実装

3.2.4 VBUS の過電流/短絡/逆電流保護 (OCP/SCP/RCP)

PMG1-S1 にはハイサイド電流センスアンプ (CSA) が内蔵されており、外付けの 5 mΩ 抵抗を介して VBUS プロバイダパスの電流を検出できます。CSA は、OC, SC, および RC を検出するためのコンパレータと組み合わされており、VBUS プロバイダパスの OC, SC, および RC フォールトを検出するために使用できます。

Figure 10 は、OC, SC, および RC フォールトを検出するために VBUS プロバイダパスに 5 mΩの電流センス抵抗を実装した例です。PMG1-S1 は、フォールト時に割込みを生成して、パワーFET を自動的にオフにします。

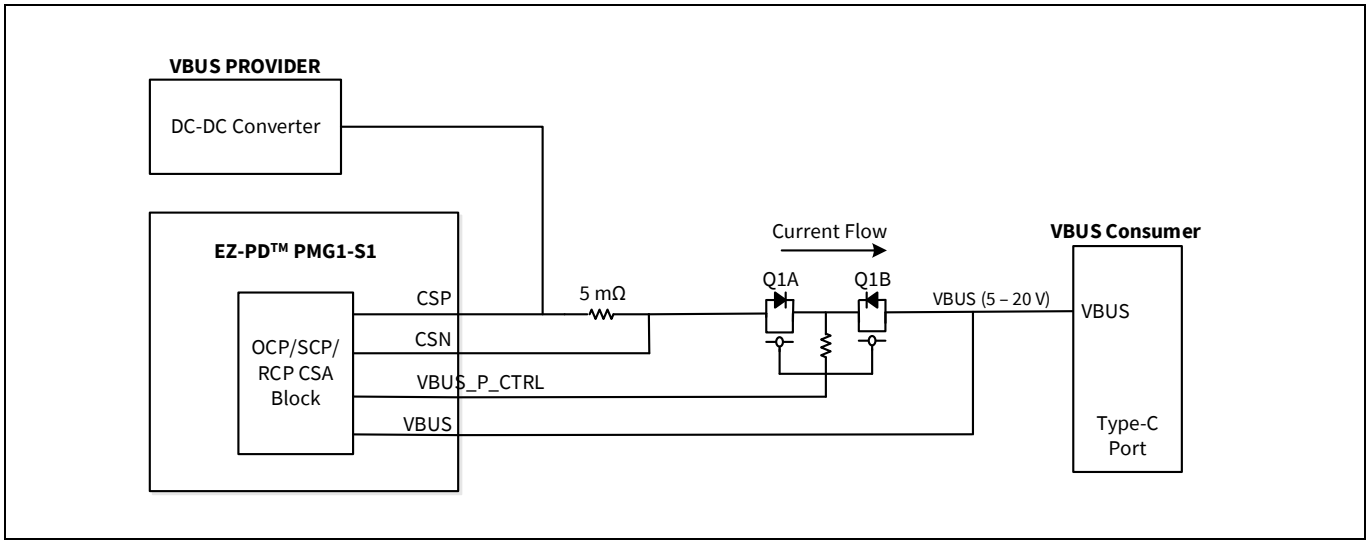

Figure 10　PMG1-S1 DRP 設計における OC, SC, RC 検出

3.2.5　VCONN OCP

PMG1-S1 は、内蔵の VCONN FET を介して EMCA ケーブルに電力を供給するための電源入力 VCONN_Source を備えています。CC1 ピンまたは CC2 ピンのいずれかに VCONN を供給する 2 つの VCONN FET があります。これらの FET は、CC1 および CC2 の VCONN で 1.5 W の電力を供給できます。Figure 11 に示すように、PMG1-S1 には VCONN OCP 回路が内蔵されているため、PMG1-S1 を使用するシステムに VCONN 用の OCP を実装するために外部回路は必要ありません。

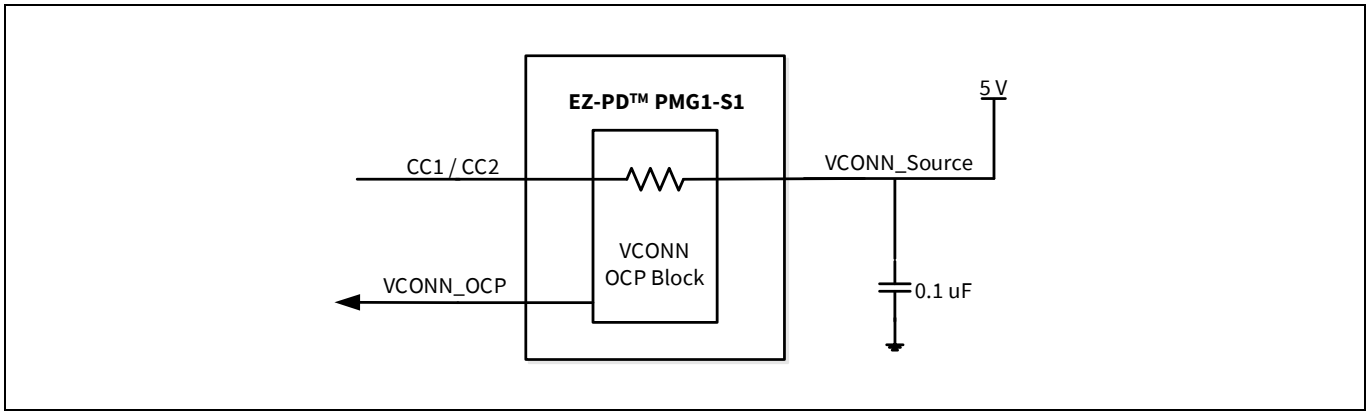

Figure 11　PMG1-S1 の VCONN OCP

3.3　Type-C オルタネートモードの実装

このアプリケーションノートで提供する PMG1-S1 DRP の回路設計は、DisplayPort オルタネートモードマルチプレクサを含む構成になっています。PMG1-S1 の設計は、Pericom の PI3DPX1205A を使用しています。オルタネートモードの実装はアプリケーション固有であり、ユーザーは DisplayPort マルチプレクサ回路図をエンドアプリケーションで含めないようにできます。

PMG1-S1 には USB 高速マルチプレクサが内蔵されており、システムの DP および DM ラインを CC (Type-C プラグ) の方向に基づいて Type-C の上部または下部ポートにルーティングします。この USB 2.0 マルチプレクサは、USB BC1.2 レガシー充電システム用のチャージャ検出機能も備えています。

Figure 12 に、PMG1-S1 設計回路図のオルタネートモード実装を示します。

3 PMG1-S1 DRP ハードウェア設計

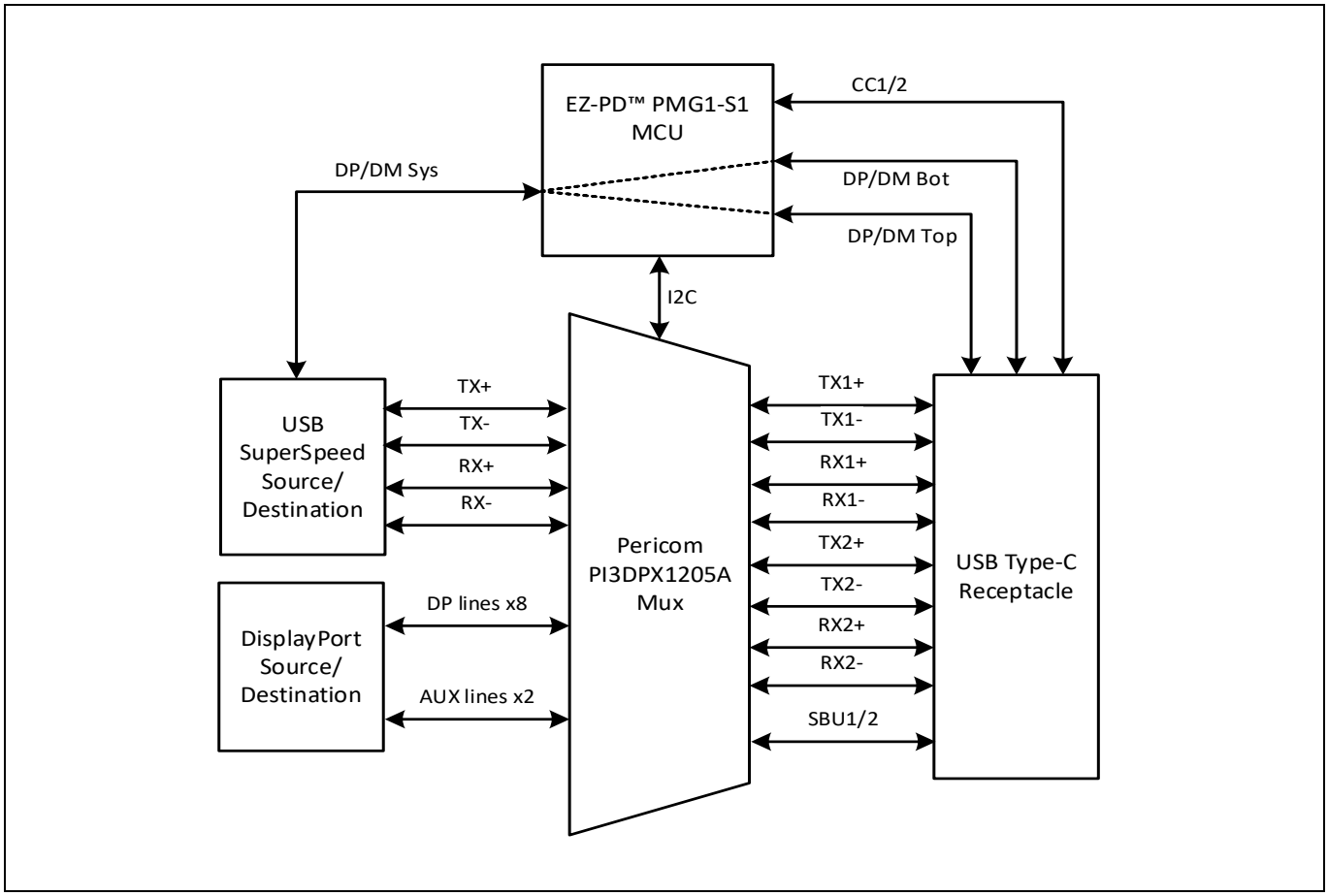

Figure 12　EZ-PD™ PMG1-S1 用の USB Type-C DisplayPort オルタネートモード

4 PMG1-S2 DRP ハードウェア設計

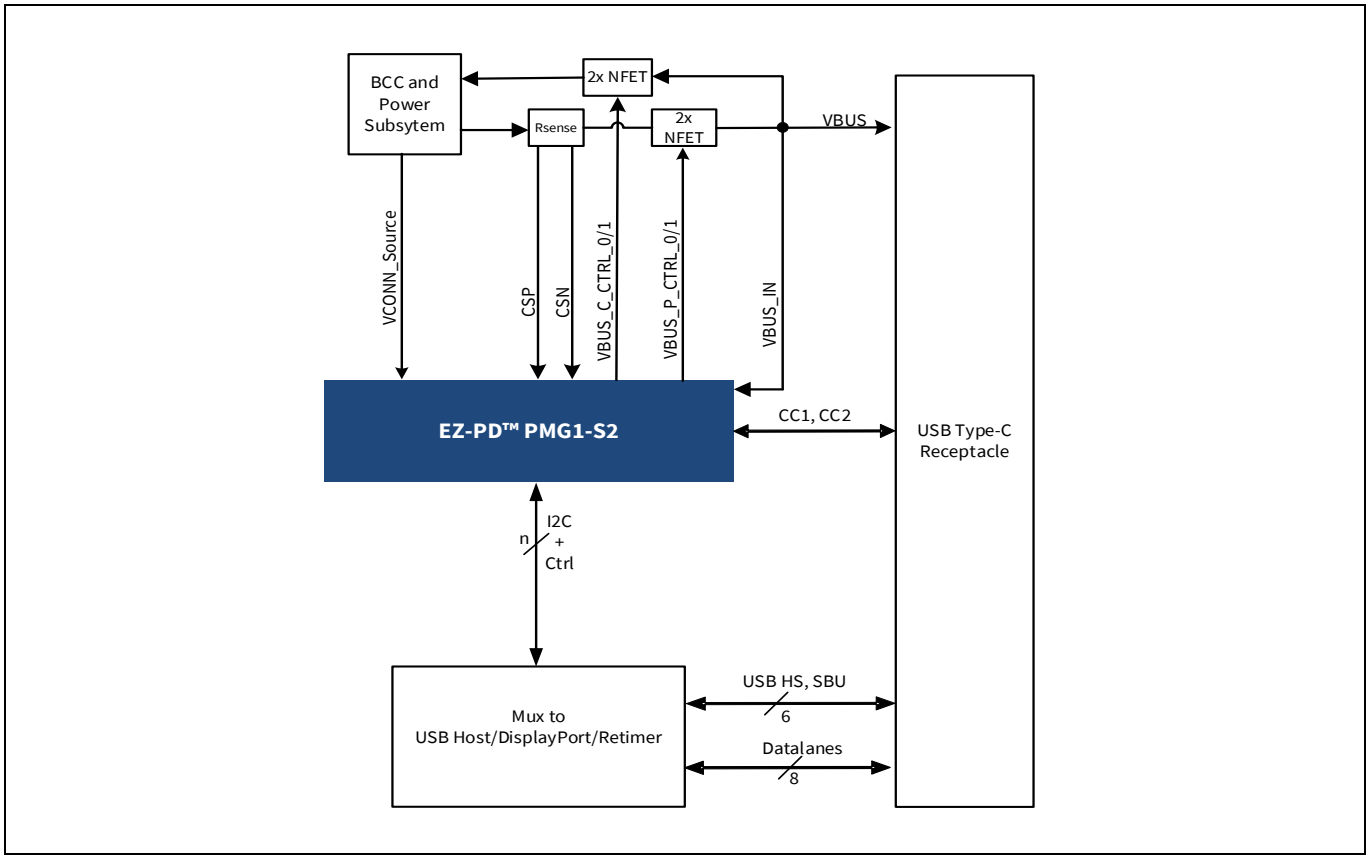

Figure 13 EZ-PD™ PMG1-S2 を使用したシングルポート Type-C 設計

完全なリファレンス回路図については、**EZ-PD™ PMG1-Sx DRP reference schematic.zip** ファイル の **EZ-PD™ PMG1-S2 DRP reference schematic** を参照してください。

4.1 システム電源設計

PMG1-S2 DRP 設計リファレンス回路図設計は、オンセミコンダクターの NCP1034 に基づいた降圧コンバータを可変出力 VBUS ソースとして使用します。レギュレータの電圧出力は、内部リファレンスへのアナログフィードバックを使用して制御できます。PMG1-S2 リファレンス回路図は、GPIO 制御を使用して 5 V, 9 V, 15 V, 20 V オプションの VBUS 出力用に設計されています。

また、このデザインリファレンスは、5 V と 3.3 V の出力を生成する 2 つの降圧レギュレータで構成されており、VCONN と PMG1-S2 用のシステム電源を供給しています。

PMG1-S2 MCU は、VBUS または VSYS の 2 つの外部電源電圧で動作します。VBUS 電源は、チップ内部で最低 3.3 V レベルまでの低ドロップアウトレギュレータ (LDO) でレギュレーションされます。チップの内部 VDDD レールは、VBUS レギュレータの出力と非安定化 VSYS をインテリジェントに切り替えます。VDDD は、一部のアナログブロック内で直接使用されるか、VCCD にさらにレギュレートされます。VCCD ピンは、デカップリングコンデンサにのみ接続するためのものです。VCCD 端子は電圧源として使用できません。GPIO には、別の電源ドメイン VDDIO が用意されています。VDDIO 電源は、Table 6 に示すようにデバイス I/O に電力を供給します。VDDIO ピンは VDDD に短絡することもできます。PMG1-S2 は、VCONN_Source ピンに電源入力があり、内蔵の VCONN FET を介して EMCA ケーブルに電力を供給します。

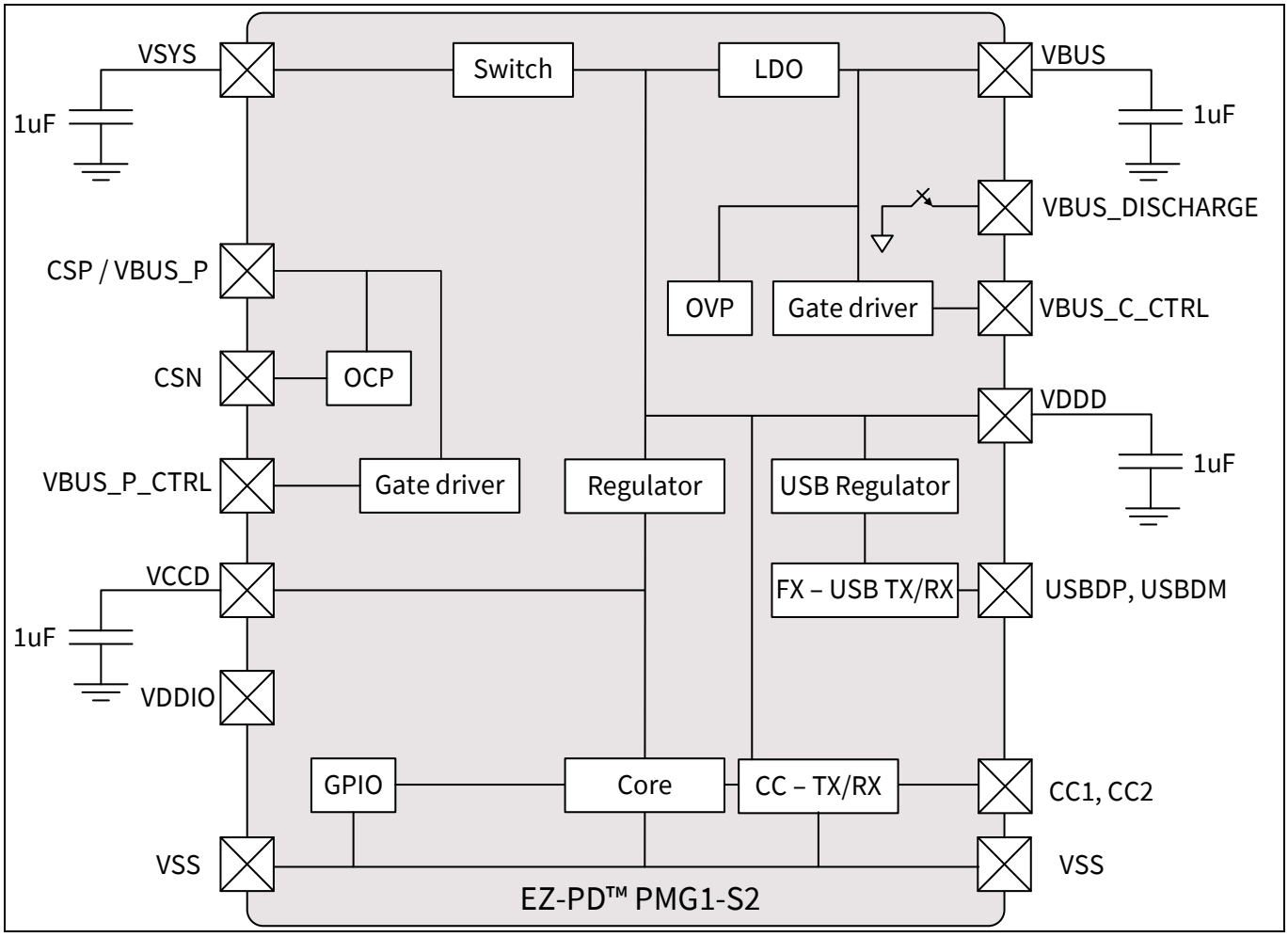

Figure 14 EZ-PD™ PMG1-S2 電源システム設計

Table 6 PMG1-S2 動作電圧

パラメーター	最小 (V)	最大 (V)
VBUS	4.0	21.5
VSYS	4.5	5.5
VDDD	2.7	5.5
VDDIO	1.71	VDDD
VCONN_Source	2.7	5.5

4.2 電力プロバイダおよびコンシューマ回路

ここでは、DRP デザインの VBUS 制御, OV, および OC に推奨される外部ハードウェア回路について説明します。PMG1-S2 デバイスを使用する DRP 設計は、内蔵バッテリーから動作する場合は電力プロバイダとなり、電力アダプタやモニターなどの接続された電源から充電する場合は電力コンシューマになります。

4.2.1 VBUS プロバイダパスと VBUS コンシューマパスの制御

PMG1-S2 は、(Type-C ポートから VBUS 電力ソースへの) VBUS プロバイダパスと (Type-C ポートから VBUS 電力コンシューマへの) VBUS コンシューマパスを制御するために、VBUS_P_CTRL1, VBUS_P_CTRL0,

VBUS_C_CTRL1, および VBUS_C_CTRL0 の 4 つのゲートドライバで構成されます。Figure 15 に、この VBUS 経路を制御するための FET の推奨実装を示します。

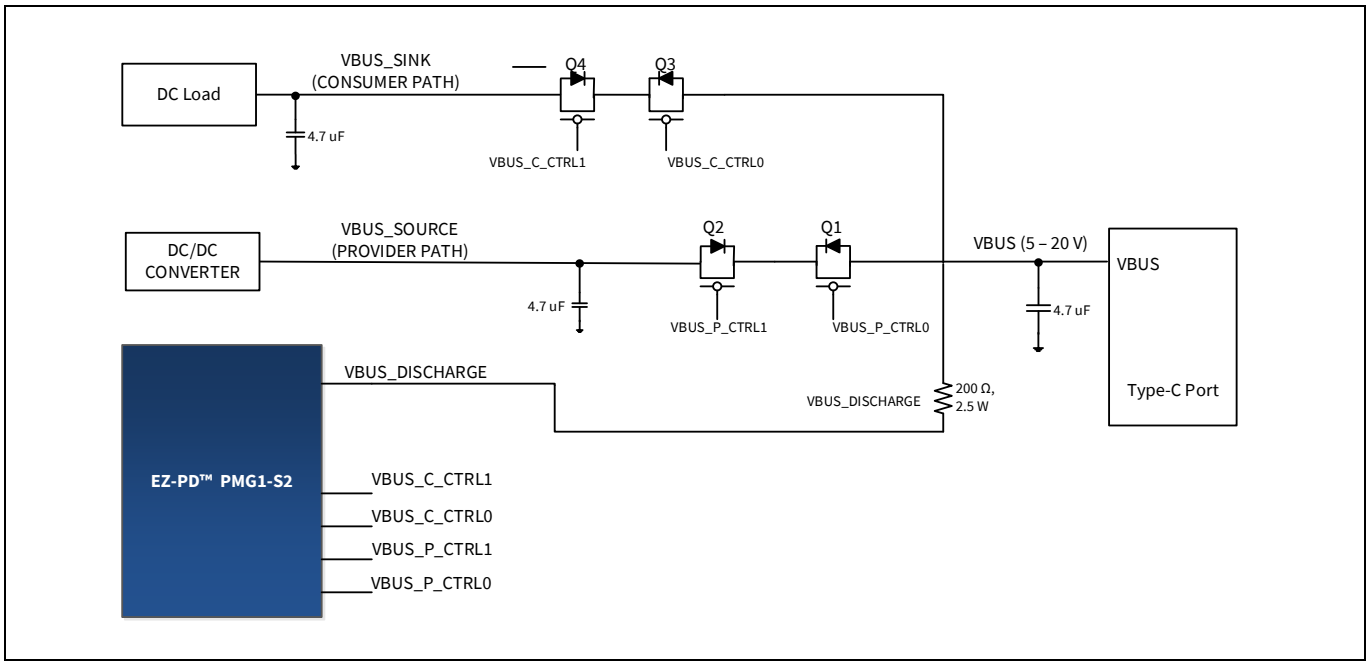

Figure 15 EZ-PD™ PMG1-S2 VBUS プロバイダおよびコンシューマパス制御

VBUS_P_CTRL1 と VBUS_P_CTRL0 はアクティブ High ピンです。FET Q1 と Q2 は、両方のピンが High のときにオンになります。これにより、VBUS プロバイダパスがオンになります。同様に、VBUS_C_CTRL1 と VBUS_C_CTRL0 が High になると、FET の Q3 と Q4 がオンになり、VBUS のコンシューマパスがオンになります。

FET Q1 と Q2 のソースとドレイン端子間のダイオードは、VBUS コンシューマパスがアクティブな場合、VBUS プロバイダパスを完全にオフにします。同様に、FET Q3 と Q4 のソースとドレイン端子間のダイオードは、VBUS プロバイダパスがアクティブな場合、VBUS コンシューマパスを完全にオフにします。

4.2.2 VBUS 放電経路の制御

接続されているダウンストリームデバイスに応じて、VBUS 電圧は、次の例のシナリオに示すように変化します。

- **シナリオ例 1**: 100 W (20V, 5A) の電力をシンクする UFP デバイスが Type-C ポートから切断され、すぐに 15 W (5V, 3A) の電力をシンクする別の UFP デバイスが同じ Type-C ポートに接続されます。
- **シナリオ例 2**: 外部電源ドックで、電力ロールのスワップにより、電力ロールをプロバイダ (100 W の電力を供給) からコンシューマ (15 W の電力をシンク) に変更します。

どちらのシナリオにおいても、Figure 15 に示す VBUS コンデンサは、それぞれ切断または電力ロールの変化があったときに、元の 20 V から完全に放電していない可能性があります。

PMG1-S2 は、VBUS 放電ピンをトリガすることにより、VBUS コンデンサへの放電経路を提供します。VBUS 放電はアクティブ High 信号であり、Figure 15 に示すように、PMG1-S2 に内蔵された VBUS 放電 FET をオンにし、外付け抵抗を介して VBUS コンデンサを放電します。VBUS 放電時の電力損失が高くなるように、定格電力 2.5 W 以上の直列抵抗 (200 Ω) を使用する必要があります。

4.2.3 VBUS の UVP/OVP

PMG1-S2 は、VBUS の UV および OV 状態を検出するための UVP/OVP 回路を内蔵しています。PMG1-S2 は、UV および OV 障害を検出してシステムを保護する UVP/OVP 回路を内蔵しているため、外部回路は必要ありません。

PMG1-S2 の UVP/OVP フォールト検出しきい値は、ネゴシエートされた VBUS 電圧に関してファームウェアで設定できます。VBUS 電圧が UVP/OVP トリップ電圧を超えると、PMG1-S2 は VBUS の UV と OV を検出し、外部電源から VBUS (Figure 15 の Q1 と Q2) をオフにします。また、PMG1-S2 は電力コンシューマ FET (Figure 15 の Q3 と Q4) をオフにし、Type-C ポートから切断します。

4.2.4 VBUS の OCP

PMG1-S2 は、VBUS の OC 状態を検出するための CSA とコンパレータを内蔵しています。PMG1-S2 は、CS 抵抗を使用して VBUS の OC 状態を検出し、電力プロバイダ FET の Q1 および Q2 をオフし、ゲートドライバをオフすることで、VBUS をオフにします。PMG1-S2 は、Type-C ポートからも切断されます。

CSN ピンは、PMG1-S2 への OC センサー入力ピンです。このピンは、Figure 16 に示すように、入力電流を検出するために、10 mΩの検出抵抗を介して PMG1-S2 の VBUS_P/CSP ピンに接続する必要があります。

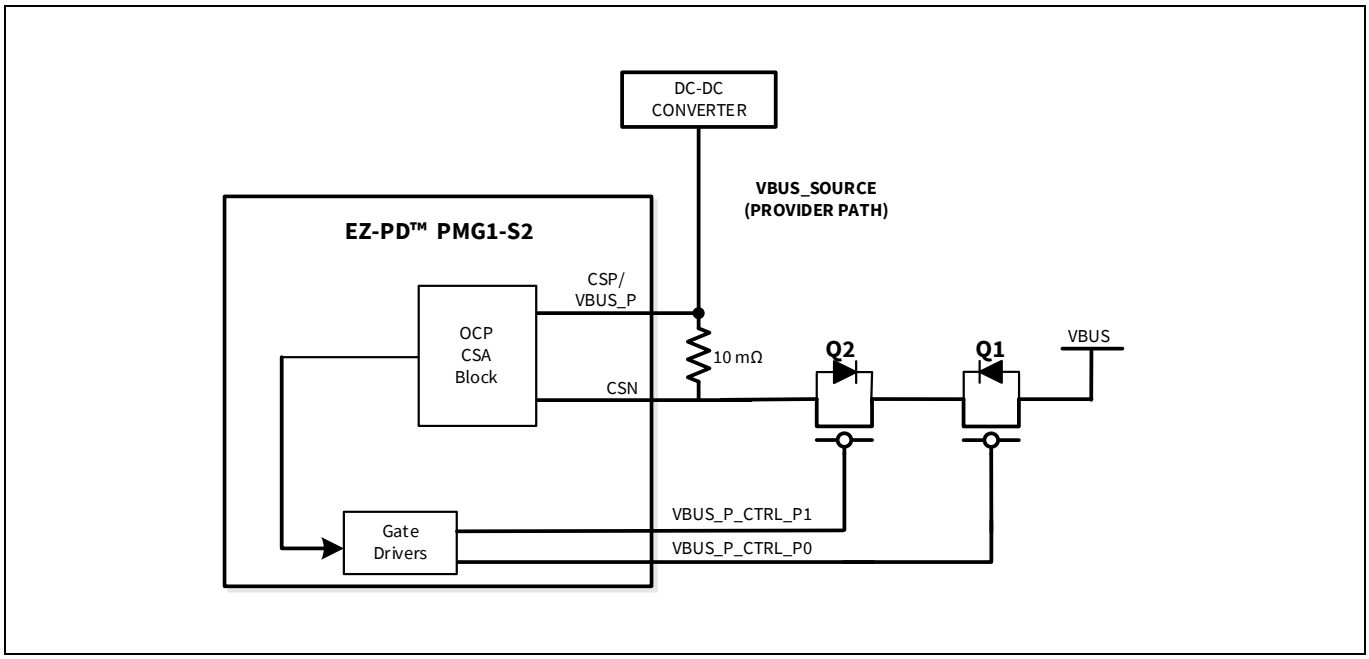

Figure 16 PMG1-S2 の OCP 回路

4.2.5 VCONN OCP

DRP システム設計では、VCONN は接続された EMCA に電力を供給します。PMG1-S2 は、VCONN_Source ピンから CC1/CC2 ピンに VCONN 電力を供給するための電力 FET を内蔵します。CC ラインの FET は、最大 0.5 A の電流を処理できます。VCONN 電流が 0.5 A を超えると、システムの損傷を防ぐために VCONN に OCP 回路が必要です。PMG1-S2 に基づいた設計では、VCONN の過電流状態を検出するための外部回路が必要です。このアプリケーションノートにおける設計では、Diodes Inc.の AP2822A 電源スイッチを使用して VCONN 電流保護を実装します。

Figure 17 に、PMG1-S2 を使用した DRP アプリケーション設計における VCONN OCP を実装する AP2822A を用いた回路を示します。

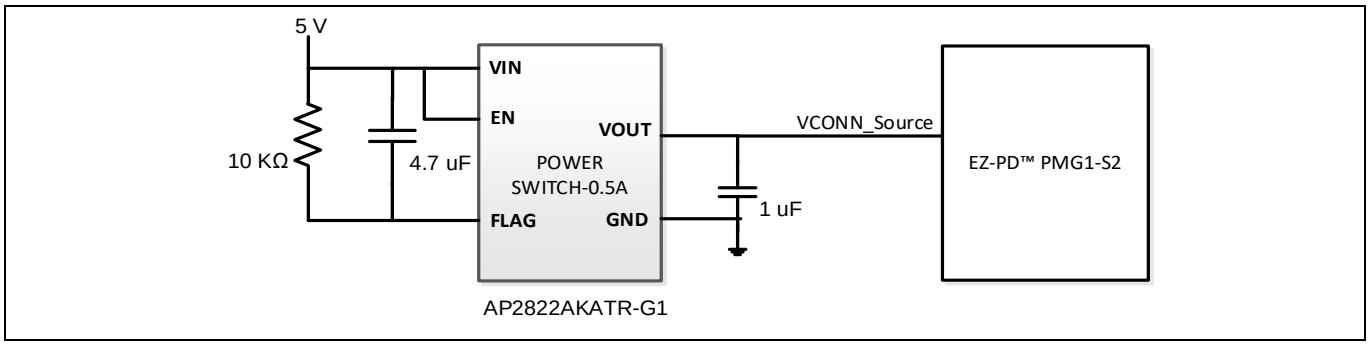

Figure 17 VCONN の OCP

Note: VCONN 電源スイッチ (AP2822AKATR-G1) の OC 検出制限は 0.5 A です。スイッチの出力 (VOUT) は PMG1-S2 の VCONN_Source に接続されています。VCONN 電源スイッチへの 5 V 電源 (VIN) は、システム内の 5 V レギュレータの出力電圧です。VCONN 電流が OC 検出制限の 0.5 A を超えると、電源スイッチによって VOUT (5 V) 電源がシャットダウンされ、システムへの損傷を防ぎます。

4.3 Type-C オルタネートモードの実装

このアプリケーションノートで提供されている PMG1-S2 DRP の回路図は、DisplayPort オルタネートモードマルチプレクサで構成されています。PMG1-S2 の設計では、Parade Technologies 社の PS8740 Type-C マルチプレクサを使用しています。オルタネートモードの実装はアプリケーション固有であり、ユーザーはエンドアプリケーションに DisplayPort マルチプレクサ回路図を含めないことを決定できます。

PMG1-S2 には、SBU1/SBU2 ピンと AUX_P/AUX_N ピンを切り替えるためのアナログクロスバーが内蔵されており、Type-C ポートの SBU ピンに AUX 信号を多重化するために使用できます。PMG1-S2 には DisplayPort ホットプラグ検出プロセッサも搭載されており、DisplayPort からの HPD を PMG1-S2 に直接接続できます。

4 PMG1-S2 DRP ハードウェア設計

Figure 18 に、PMG1-S2 設計回路図のオルタネートモード実装を示します。

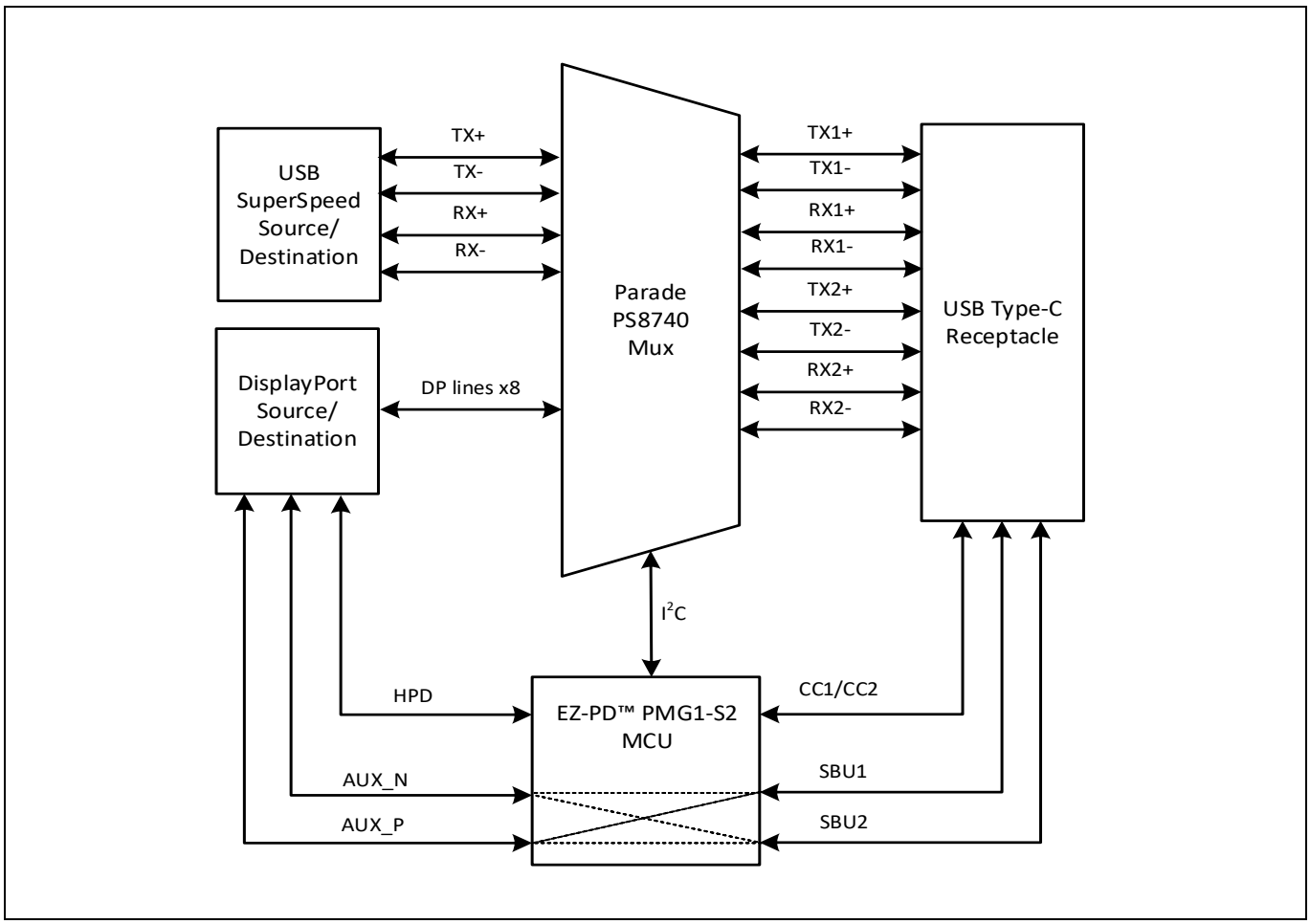

Figure 18　PMG1-S2 における USB Type-C DisplayPort オルタネートモード

5 PMG1-S3 DRP ハードウェア設計

PMG1-S3 MCU は、48-QFN と 97-BGA の 2 つのデバイス パッケージ オプションを提供しています。48-QFN はシングルポート USB PD デバイスであり、96-BGA はデュアルポート USB PD デバイスです。このアプリケーションノートでは、48-QFN デバイスを使用したシングルポート (ポート 0) DRP 設計について詳細に説明します。デュアルポート (Port-0 および Port-1) 設計のすべてのサブシステムは、Port-0 の複製になります。

シングルポート実装とデュアルポート実装の両方の回路図設計ファイルは、このアプリケーションノートに添付されています。詳細については、**EZ-PD™ PMG1-Sx DRP reference schematics.zip** ファイルにある **EZ-PD™ PMG1 S3 DRP シングルポートリファレンス回路図**および **EZ-PD™ PMG1 S3 DRP デュアルポートリファレンス回路図**を参照してください。

5.1 USB PD 拡張電力範囲 (EPR)

USB PD リビジョン 3.1 は、既存の USB PD 電力レベルに EPR モードが追加され、VBUS は最大 240 W (48 V, 5 A) の電力を提供する 28 V, 36 V, および 48 V といった高電圧となり、電圧を 15 V から 48 V の範囲の 100 mV ステップで指定できる可変電圧供給 (AVS) プロトコルを実現しています。既存の USB PD 電力モードは、事後的に標準電力範囲 (SPR) と名称変更されました。

PMG1-S3 MCU は、最大 28 V の VBUS レベルで EPR に対応しています。これにより、PMG1-S3 デバイスを EPR アプリケーションで使用でき、部品点数を減らせます。PMG1-S3 DRP 設計リファレンス回路図は EPR 互換で設計されているため、最大 28 V の VBUS (公称値) の動作を完全にサポートします。

SPR と EPR のハードウェア設計の違いは、VBUS 経路上で適切な電圧定格を持つコンポーネントを選択することです。USB PD リビジョン 3.1 において、EPR 動作では 55 V のコンポーネント (絶対) 電圧定格を推奨していますが、SPR 動作では 24 V の (絶対) 電圧定格が推奨されます。

5.1.1 PMG1-S3 EPR 設計の SPR への移行

DRP 設計で EPR が必要ない場合は、VBUS DC-DC 昇降圧コンバータと VBUS パス上のコンポーネントを、最大 24 V までの動作をサポートするコンポーネントに置き換えることができます。**EZ-PD ™ PMG1-Sx DRP reference schematics.zip** ファイルにある **EZ-PD™ PMG1 S3 DRP シングルポートリファレンス回路図**と BOM には、EPR コンポーネントが配置されます。SPR のみの設計を構築するには、PD レギュレータと VBUS プロバイダおよびコンシューマパスの FET を最大 24 V 設計に変更することで、システム全体のコストを削減できます。これらのコンポーネントは、PMG1-S1 または PMG1-S2 のリファレンス回路図から選択できます。

Figure 19 と Figure 20 に、PMG1-S3 回路図の VBUS レギュレータと VBUS プロバイダ/コンシューマ FET に置き換えることができる部品を示します。

5.1.1.1 EPR VBUS レギュレータの移行

EPR リファレンス回路図は、Monolithic Power Systems の MP4247 昇降圧コンバータを使用して、最大 28 V の VBUS を提供します。SPR 設計に切り替えるには、次の部品を交換します。

1. U2: MP4247
2. Q3 および Q4: BSC059N04LS6ATMA1
3. プロバイダおよびコンシューマ電圧とグランド間に対するすべてのコンデンサ

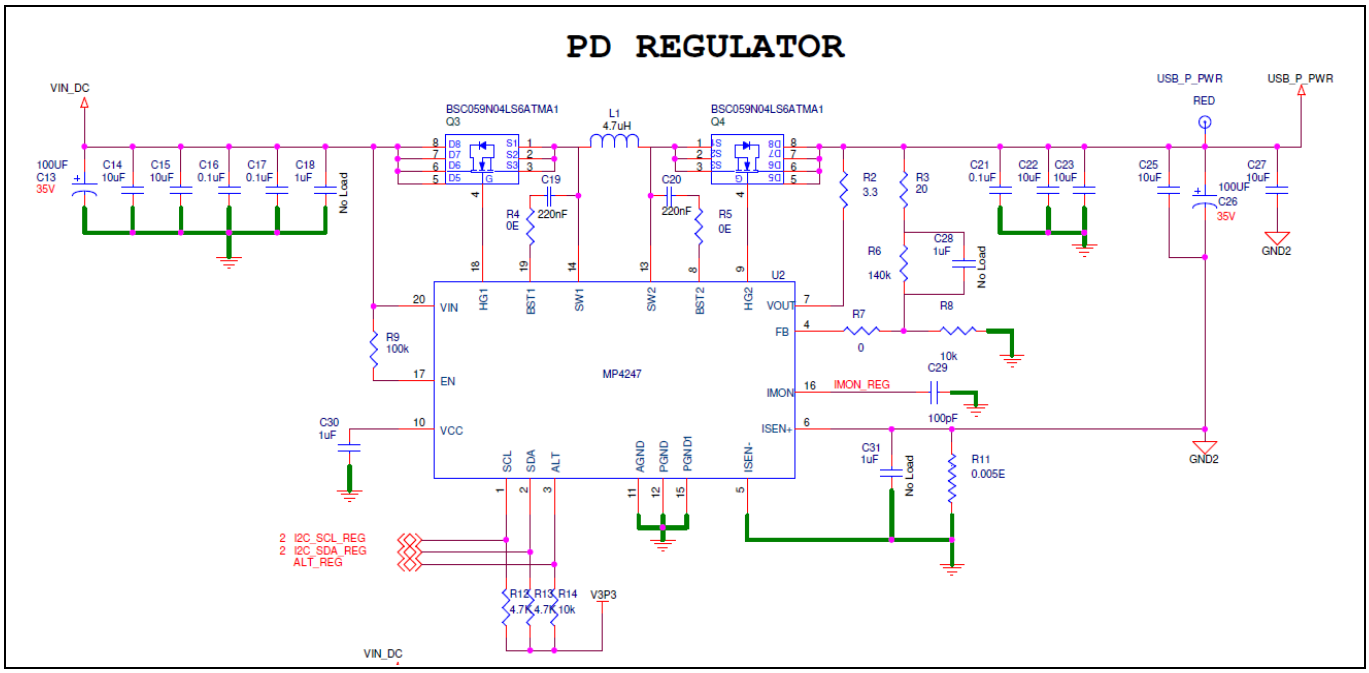

Figure 19 PMG1-S3 DRP 回路図における EPR 対応 VBUS レギュレータ

5.1.1.2 VBUS プロバイダ/コンシューマパス FET の移行

次の部品を交換してください。

1. Q1 および Q2: BSC059N04LS6ATMA1
2. Q5 および Q6: SPP80P06P

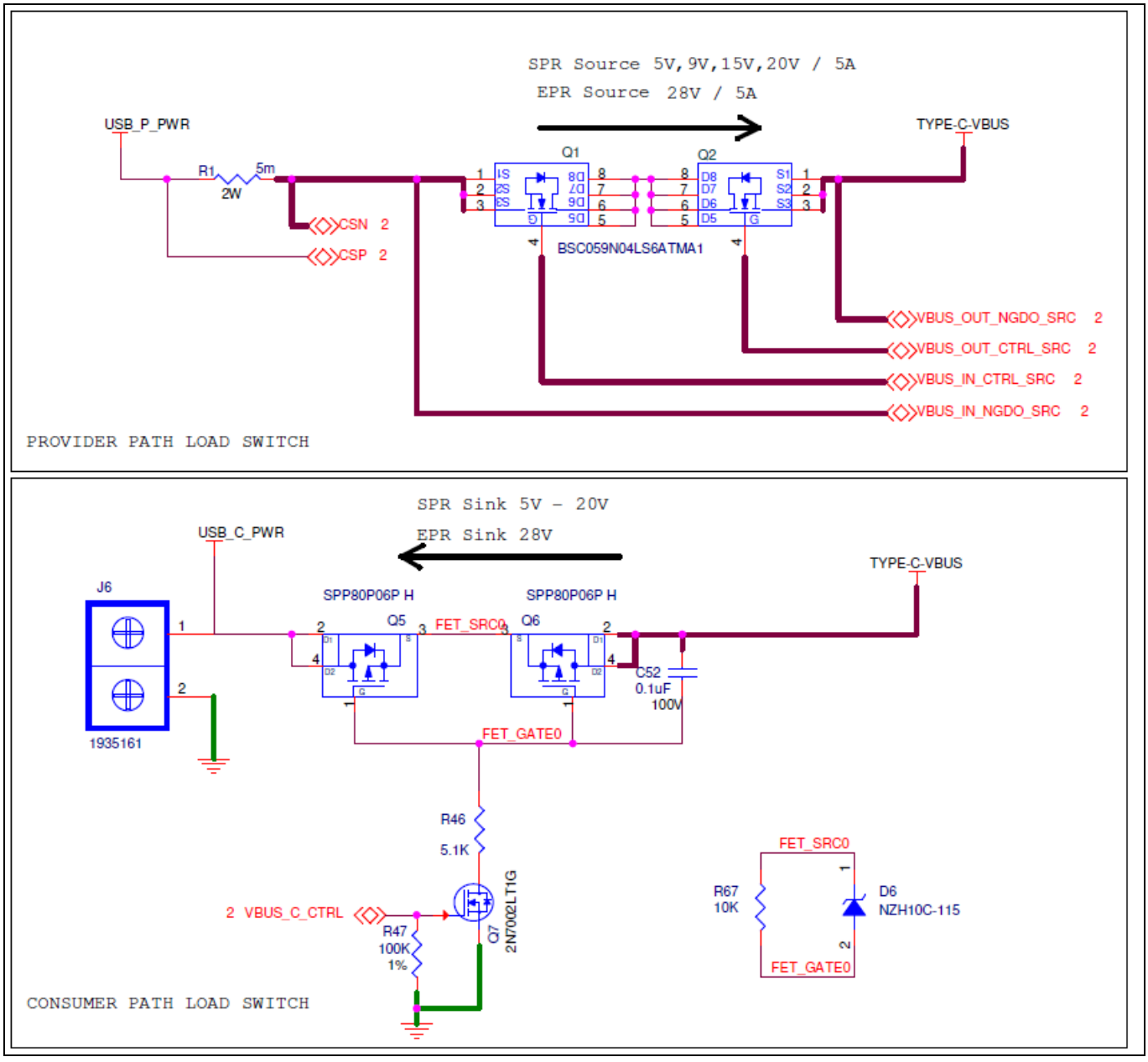

Figure 20 PMG1-S3 DRP 回路図における EPR 対応 VBUS FET の選択

5.2 PMG1-S3 シングルポートおよびデュアルポート DRP 実装

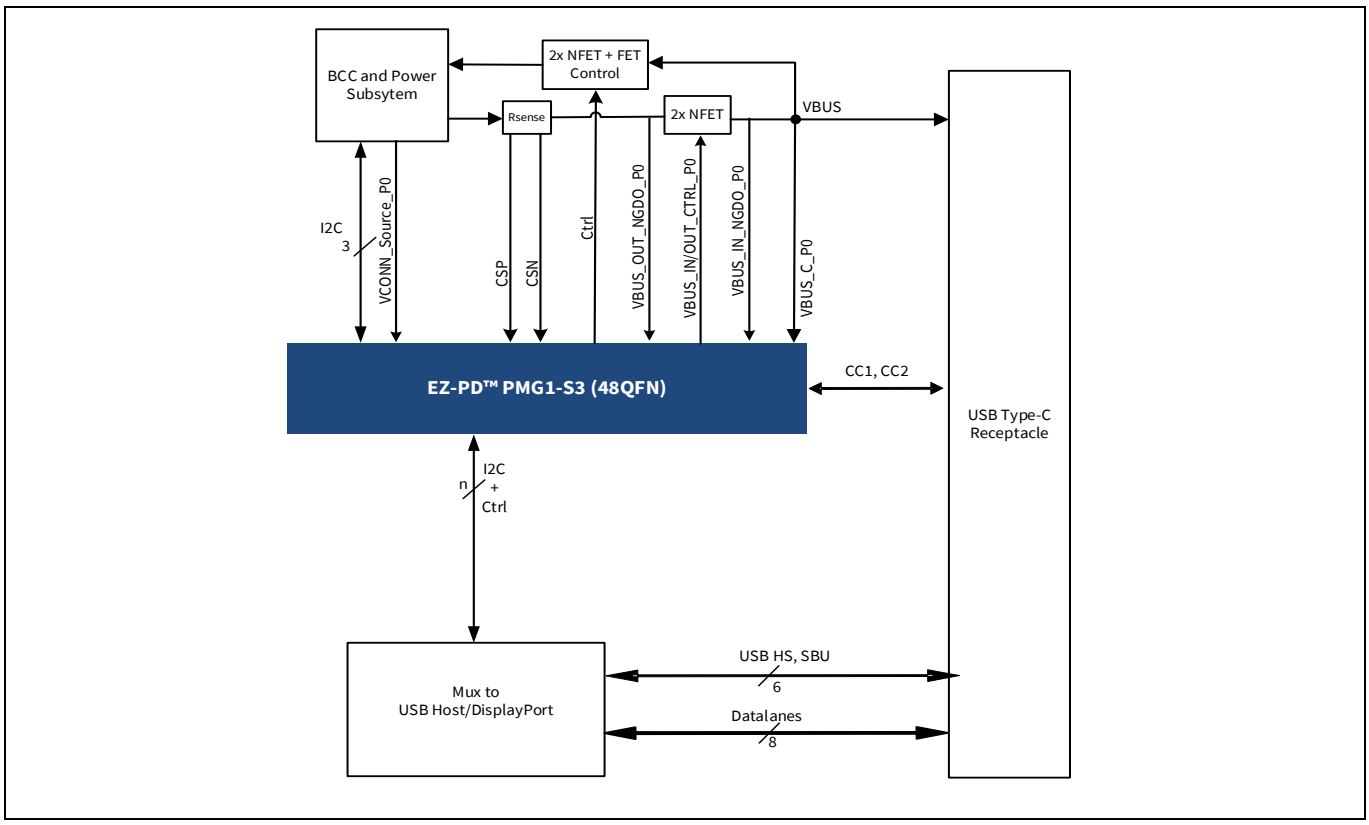

Figure 21 PMG1-S3 (48-QFN) を使用したシングルポート Type-C 設計

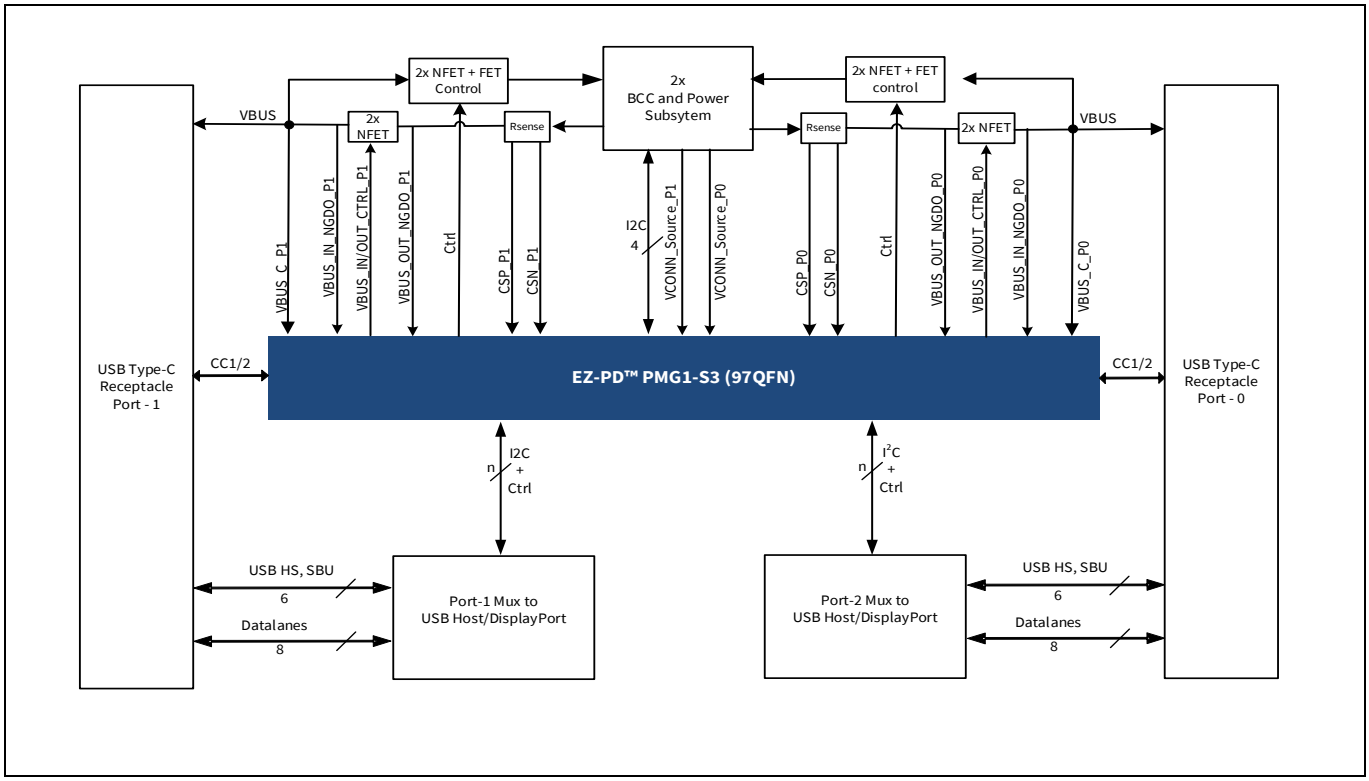

Figure 22 PMG1-S3 (97-BGA) を使用したデュアルポート Type-C 設計

5.3 システム電源設計

PMG1-S3 DRP 設計リファレンス回路図設計では、Monolithic Power Systems の MP4247 昇降圧 DC-DC コンバータを最大 28 V の可変出力 VBUS ソースとして使用します。レギュレータの電圧出力は、I^2C インターフェースを使用して制御できます。

また、このデザイン リファレンスは、5 V と 3.3 V の出力を生成する 2 つの降圧レギュレータで構成されており、VCONN と PMG1-S3 のシステム電源を供給します。

PMG1-S3 MCU は、VBUS または VSYS の 2 つの外部電源電圧で動作します。VDDIO 電源は、Table 7 にリストされているようにデバイス I/O に電力を供給します。VDDD は内部レギュレータから 3.3 V を生成し、VDDIO にショートできます。VCCD はコア レギュレータからの出力電圧で、このピンはデカップリング コンデンサのみに接続するためのものです。VCCD ピンは電源として使用できません。PMG1-S3 は、VCONN_Source_P0/P1 ピンに電源入力を備えており、内蔵 VCONN FET を介して EMCA ケーブルに電力を供給します。

Table 7 PMG1-S3 動作電圧

パラメーター	最小 (V)	最大 (V)
VBUS	4.0	30
VSYS	3	5.5
VDDD	2.9	5.5
VDDIO	1.71	VDDD
VCONN_Source	4.85	5.5

5.4 電力プロバイダおよびコンシューマ回路

ここでは、DRP 設計における VBUS 制御、OVP, OCP, RCP および SCP に対して推奨される外部ハードウェア回路について説明します。

PMG1-S3 デバイスを使用する DRP デザインは、内蔵バッテリーから動作する場合は電力プロバイダとなり、電力アダプタやモニターといった接続された電源から充電される場合は電力コンシューマになります。

5.4.1 VBUS プロバイダパスおよび VBUS コンシューマ パスの制御

PMG1-S3 は、ゲートドライバと各ポートの 4 つのピン、すなわち NFET 制御用の VBUS_IN_CTRL_P0/1, VBUS_OUT_CTRL_P0/1, およびプロバイダパスで NFET を駆動するためのチャージポンプ出力を備えた VBUS_IN_NGDO_P0/1, VBUS_OUT_NGDO_P0/1 で構成されています。

Figure 23 に、この VBUS 経路を制御するための推奨する FET 実装を示します。

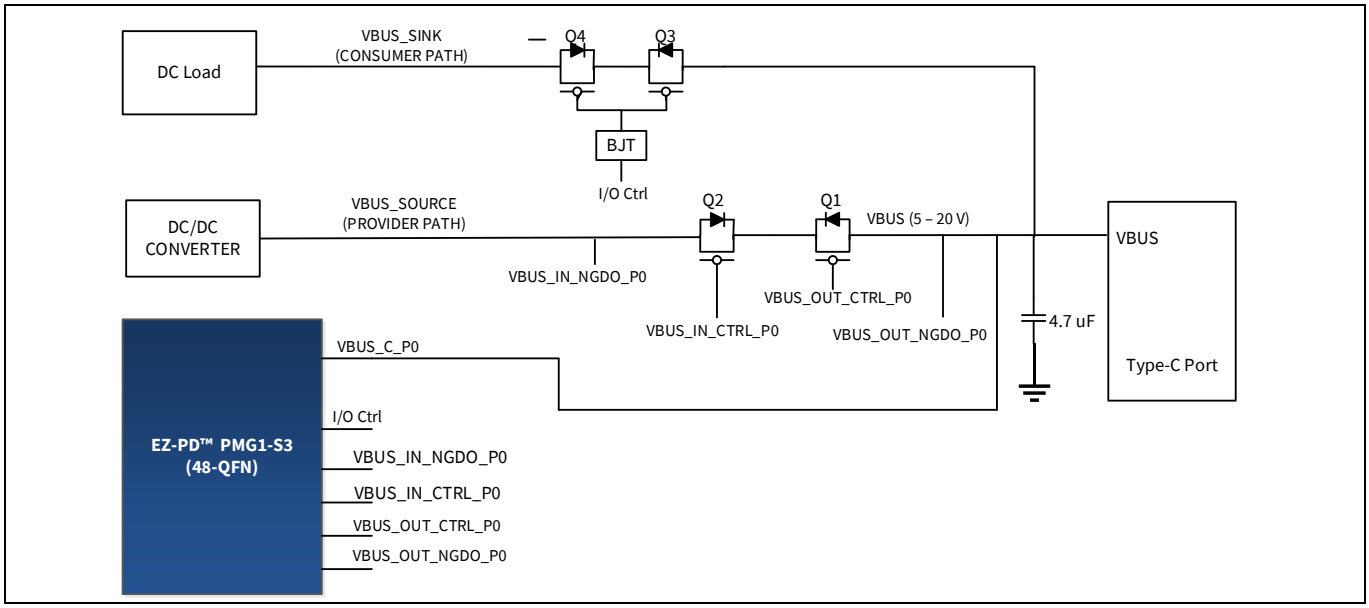

Figure 23　PMG1-S3 VBUS プロバイダおよびコンシューマパス制御

5.4.2　VBUS 放電パスの制御

接続されているダウンストリームデバイスに応じて、VBUS 電圧は、次の例のシナリオに示すように変化します。

- **シナリオ例 1**: 140 W (28 V, 5 A) の電力をシンクする UFP デバイスが Type-C ポートから切断され、同じ Type-C ポートに対して、すぐに 25 W (5 V, 5 A) の電力をシンクする別の UFP デバイスが接続する場合
- **シナリオ例 2**: 外部電源ドックにて、電力ロールがプロバイダ (140 W の電力を供給) からコンシューマ (45 W の電力をシンク) に変化する場合

どちらのシナリオでも、Figure 23 に示す VBUS コンデンサは、デバイスが切断されたり、電力ロールがより低い電圧に変更されたときに、元の 20 V から完全に放電していない可能性があります。

これらのシナリオを防ぐために、PMG1-S3 には VBUS 放電ブロックを内蔵しており、VBUS 電源からグランドに接続された 40 V ドレイン拡張 NFET があります。放電強度はファームウェアによって変更できます。

5.4.3　VBUS の UVP/OVP

PMG1-S3 は、VBUS の UV および OV 状態を検出するための UVP/OVP 回路を内蔵しています。なお、EZ-PD™ PMG1-S3 MCU 48-QFN パッケージ MCU では、Port-0 のみ、つまり UVP/OVP は 1 セットしか使用できません。UV および OV 検出のしきい値レベルは、200 mV～2.1 V の範囲で 10 mV ステップで個別にプログラムできます。

UV および OV の状態は、シリーズ抵抗で分圧された VBUS 上に配置されたコンパレータとリファレンス生成ブロックからのしきい値レベルを使用して検出します。抵抗分圧ネットワークは、ファームウェア制御を使用して、VBUS レベルの 100%, 20%, 10%, または 8%に選択するように設定できます。

5.4.4 VBUS の OCP/SCP/RCP

PMG1-S3 には、VBUS の電流障害状態を検出するための OCP/SCP/RCP 回路が内蔵されています。USB ドックとその Type-C ポートに接続された UFP デバイスが電力コントラクトを確立し、ドックが UFP に 5 A の VBUS 電流を供給し始めるシナリオを考えてみます。5 A の VBUS の電力コントラクトが確立すると、PMG1-S3 デバイスのファームウェアは、OCP トリップ電流をネゴシエートされた VBUS 電流に基づいてファームウェアによって設定します。VBUS 電流が OCP トリップ電流を超えると (例えば、UFP デバイスのハードウェア障害により)、PMG1-S3 は VBUS で OC 状態を検出し、電力プロバイダ FET の Q1 および Q2 をオフし、ゲートドライバをオフにすることで VBUS をオフにします。同様に、SC 状態が発生した場合、または VBUS パスで RC が検出された場合、保護がアクティブになります。

CSN ピンと CSP ピンは、PMG1-S3 への OC センサー入力ピンです。Figure 24 に示すように、これらのピンは VBUS プロバイダパスと直列に CS 抵抗に接続されます。

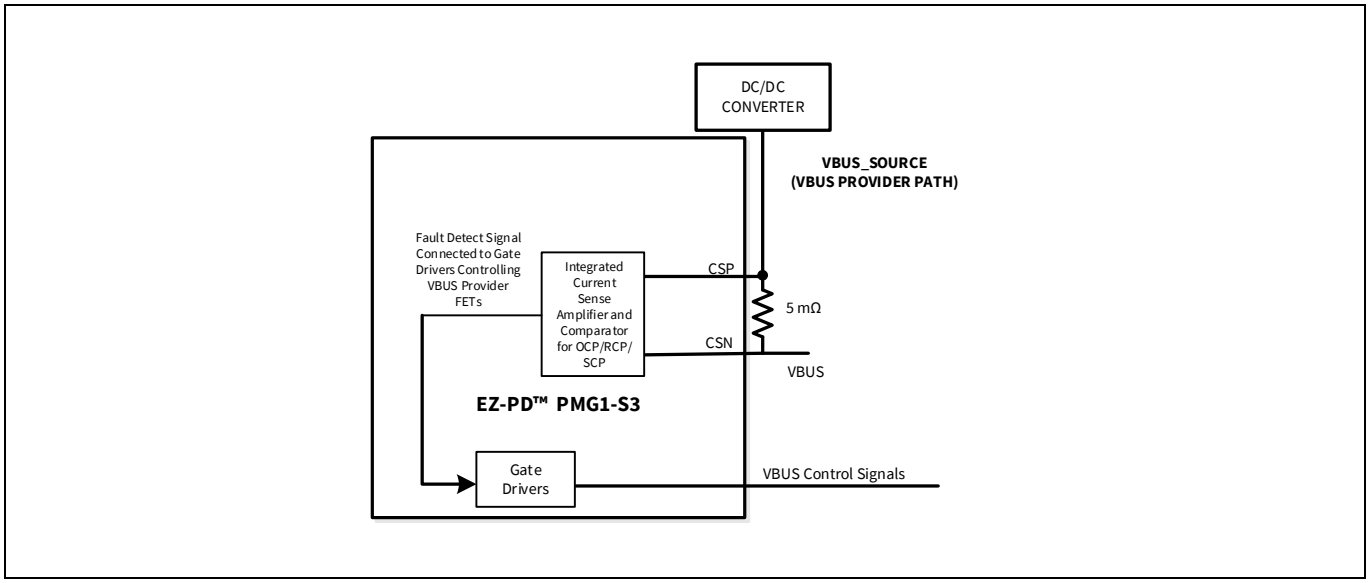

Figure 24 PMG1-S3 の OCP/RCP/SCP 回路

5.4.5 VCONN の OCP

DRP システム設計では、VCONN は接続された EMCA に電力を供給します。VCONN 電力が 1.5 W を超えた場合のシステムの損傷を防ぐために、VCONN に OCP 回路が必要です。Figure 25 に示すように、PMG1-S3 には VCONN OCP 回路が内蔵されているため、PMG1-S3 を使用した DRP 設計における VCONN OCP を実装するための外部回路は必要ありません。

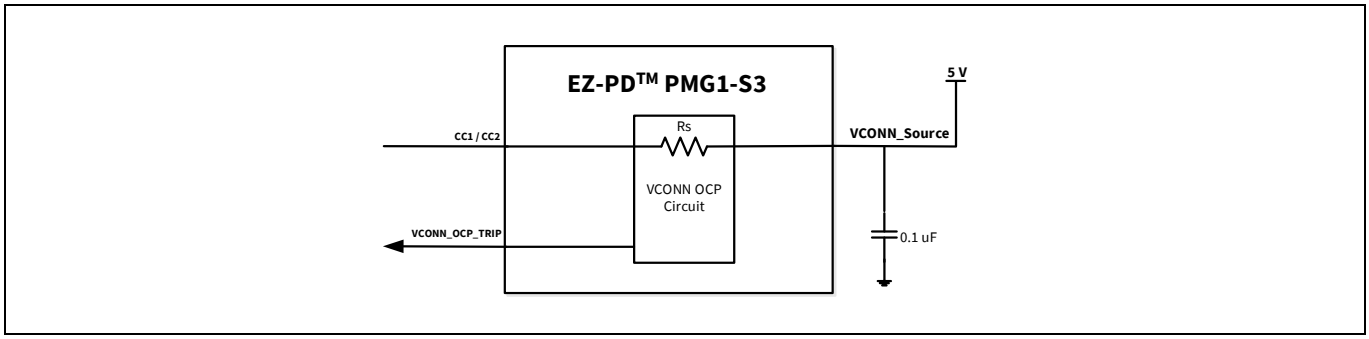

Figure 25 PMG1-S3 の VCONN OCP

5.5 Type-C オルタネートモードの実装

このアプリケーションノートで提供されている PMG1-S3 DRP の回路設計は、DisplayPort オルタネートモードマルチプレクサで構成されます。PMG1-S3 の設計では、Pericom 社の PI3DPX1205A を使用します。オルタネートモードの実装はアプリケーション固有であり、ユーザーはエンドアプリケーションに DisplayPort マルチプレクサ回路図を含めないことを決定できます。

Figure 26 に、PMG1-S3 シングルポート DRP 設計の回路図のオルタネートモード実装を示します。

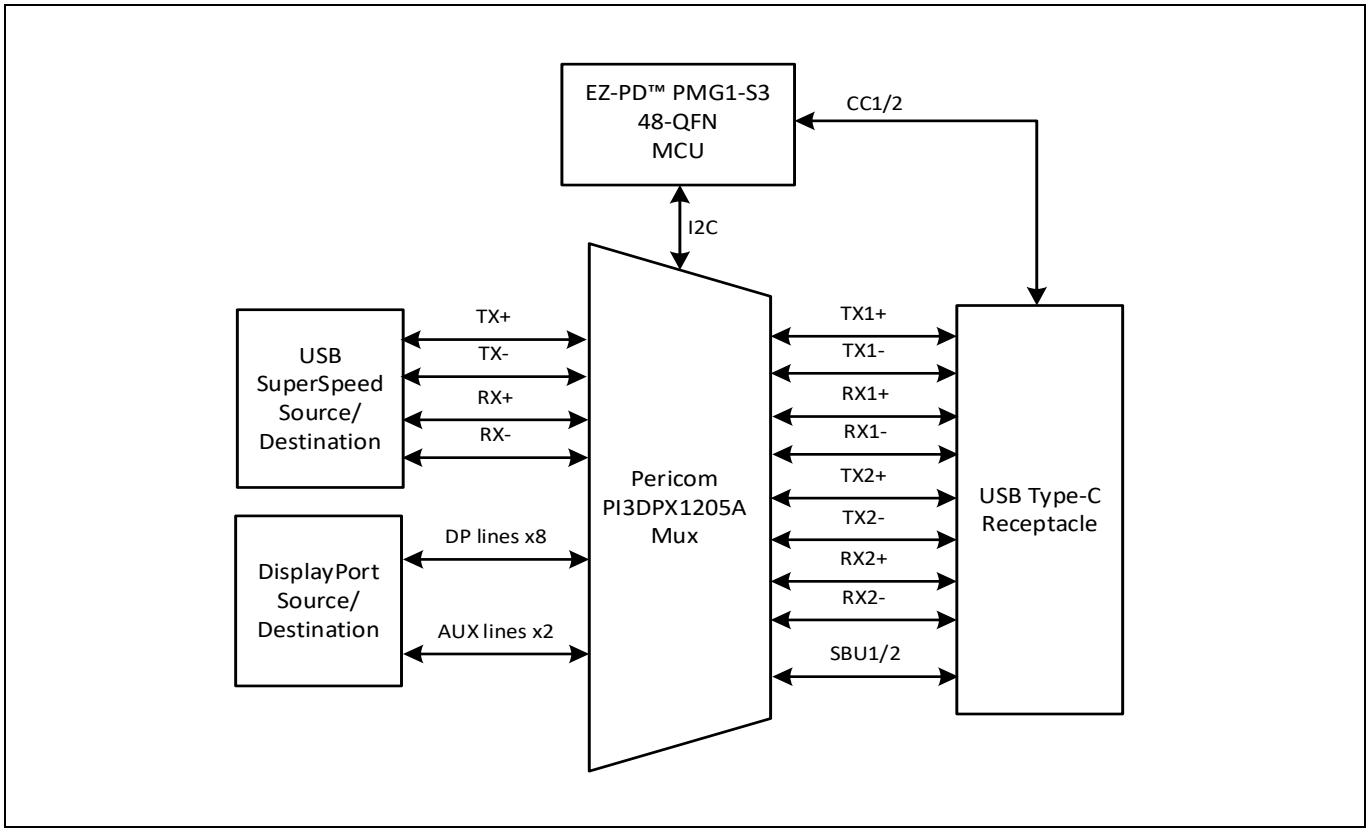

Figure 26 PMG1-S3 48-QFN における USB Type-C DisplayPort オルタネートモード

Note: PMG1-S3 97-BGA は、Type-C コネクタの SBU1 および SBU2 ピンを DisplayPort の AUX または Thunderbolt および UART デバッグピンの LSx に接続する一連のアナログスイッチが含まれています。AUX ピンには、それぞれの仕様の要求に応じて切り替え可能なプルアップ抵抗とプルダウン抵抗が装備されています。LSTX/RX デバッグポートはデジタルで多重化されており、これらの入力にアナログマルチプレクサは必要ありません。PMG1-S3 97-BGA の SBU マルチプレクサの詳細については、デバイスのデータシートを参照してください。

添付ファイル

- PMG1-S1 DRP 設計リファレンス回路図 (DSN および PDF)
- PMG1-S1 DRP 設計リファレンス部品表
- PMG1-S2 DRP 設計のリファレンス回路図 (DSN および PDF)
- PMG1-S2 DRP 設計リファレンス部品表
- PMG1-S3 シングルポート DRP 設計リファレンス回路図 (DSN および PDF)
- PMG1-S3 シングルポート DRP 設計リファレンス部品表
- PMG1-S3 デュアルポート DRP 設計リファレンス回路図 (DSN および PDF)
- PMG1-S3 デュアルポート DRP 設計リファレンス部品表

改訂履歴

版数	発行日	変更内容
**	2025-02-03	本版は英語版 002-35644 Rev. *A について、インフィニオン DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-02-03
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2025 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference
002-41120 Rev. **

重要事項
本手引書に記載された本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用の前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。
インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。