AN96475

CapSense®システムの電気的高速過渡現象耐性についての設計注意事項

著者: Shruti Hanumanthaiah、Srinivas NVNS

関連プロジェクト: なし

関連製品ファミリ: すべての PSoC

関連アプリケーション ノート: AN2155、AN78175、AN80994、AN64846、AN85951、AN89056

本アプリケーション ノート (AN96475) では、CapSense システムの電気的高速過渡現象 (EFT) への耐性を向上させるためのベストプラクティスを説明します。本アプリケーション ノートは CapSense システムの EFT テストで発生することがある故障を説明し、耐性を改善させる対策を推奨します。本アプリケーション ノートは主に CapSense システムの注意事項を示します。EFT のより深い理解およびそれがマイクロコントローラーへ及ぼす影響については AN80994 を参照ください。

目次

1 はじめに 2
2 PSoC リソース 3
2.1 PSoC Creator 3
3 EFT とは? 4
4 故障モード 5
4.1 CapSense センサーがタッチされた時のデバイスリセット 6
4.2 センサーの誤トリガーおよびタッチへの不応答 7
4.3 通信障害 9
5 性能基準 9
6 トラブルシューティング、設計上の注意事項および障害軽減技術 9
6.1 対象とする基板の設計上の注意事項 10
6.2 ファームウェア技術 16
7 まとめ 20
8 参考資料 20
ワールドワイドな販売と設計サポート 22
製品 22
PSoC®ソリューション 22
サイプレス開発者コミュニティ 22
テクニカル サポート 22

安全上のご注意



EFT テストは危険電圧を伴います。

電気的安全原則に十分に従わなければなりません。

有資格の安全技術者にご相談ください。

1 はじめに

本アプリケーション ノートでは、CapSense システムに対する電気的高速過渡現象 (EFT) の影響を説明し、その影響を軽減するためのハードウェアおよびファームウェア技術を推奨します。また、本書はそのような過渡現象に影響されない CapSense システムを構築するために設計者が使用できる一連のガイドラインも提供します。

EFT に関する国際規格は、準拠するテスト方法についてのガイドを製品設計者に提供しています。電子製品の電気的高速過渡現象への耐性の要件は、国際電気標準会議 (IEC) により IEC 61000-4-4 (EFT 用) で定義されています。

「EFT とは?」のセクションは EFT を簡単に説明し、アプリケーション ノート AN80994 – Design Considerations for Electrical Fast Transient (EFT) Immunity に言及します。AN80994 は組み込みシステム設計における電気的高速過渡現象 (EFT) への耐性を向上させるためのベスト プラクティスを説明します。

高速過渡現象は CapSense システムに不適切なタッチ認識およびシステム リセットなどの様々な影響を与えます。次の「故障モード」節ではこれらの影響を説明します。

CapSense ベースのシステムは家電製品などの過酷な環境および産業機器の環境で使用されます。そのため、設計技術者はシステム設計と平行して障害軽減の計画を開始することが非常に重要です。

「トラブルシューティング、設計上の注意事項および障害軽減技術」節では、デバッグのヒントを述べ、障害のあるシステムの EFT 耐性を向上させるいくつかの可能な方法を提供します。この節では、システム設計技術者が CapSense システムに特有の設計時の原則を考慮することで、EFT に関する問題を回避する方法も説明します。本アプリケーション ノートでは主に CapSense 基板の設計の注意事項を説明します。本書は CapSense システムの耐性を改善するために組み込まれるファームウェア技術も提供します。システム レベルおよび電源供給における、幾つかの重要な設計時に考慮すべき事項を含む、一般的な組み込みシステムの設計注意事項はアプリケーション ノート AN80994 – Design Considerations for Electrical Fast Transient (EFT) Immunity に含まれています。

本アプリケーション ノートは PSoC および PSoC Creator IDE の経験者を対象としています。PSoC を初めてご使用になる場合、以下の資料を参照ください:

- AN54181 -Getting Started with PSoC 3
- AN79953 - Getting Started with PSoC 4
- AN77759 - Getting Started with PSoC 5LP

PSoC Creator を初めてご使用になる場合は PSoC Creator のホームページを参照ください。

本アプリケーション ノートは読者が CapSense の概念に馴染まれていることも想定しています。これらの概念をご存知ない場合、AN64846 - Getting Started with CapSense を参照ください。

最後に、本アプリケーション ノートは読者が基本 PCB 設計技術に慣れていることを想定しています。これが初めての場合、以下の資料を参照ください:

- AN61290 - PSoC 3 and PSoC 5LP HardwareDesign Considerations
- AN88619 - PSoC 4 Hardware Design Considerations

2 PSoC リソース

サイプレスは www.cypress.com に豊富なデータを掲載しており、これによってユーザーが対象とするデザインに対して適切な PSoC デバイスを選択し、迅速かつ効率的にデバイスをデザインに統合する手助けをしています。リソースの包括的なリストについては、KBA86521, How to Design with PSoC 3, PSoC 4, and PSoC 5LP を参照ください。以下は PSoC 4 の簡略化リストです:

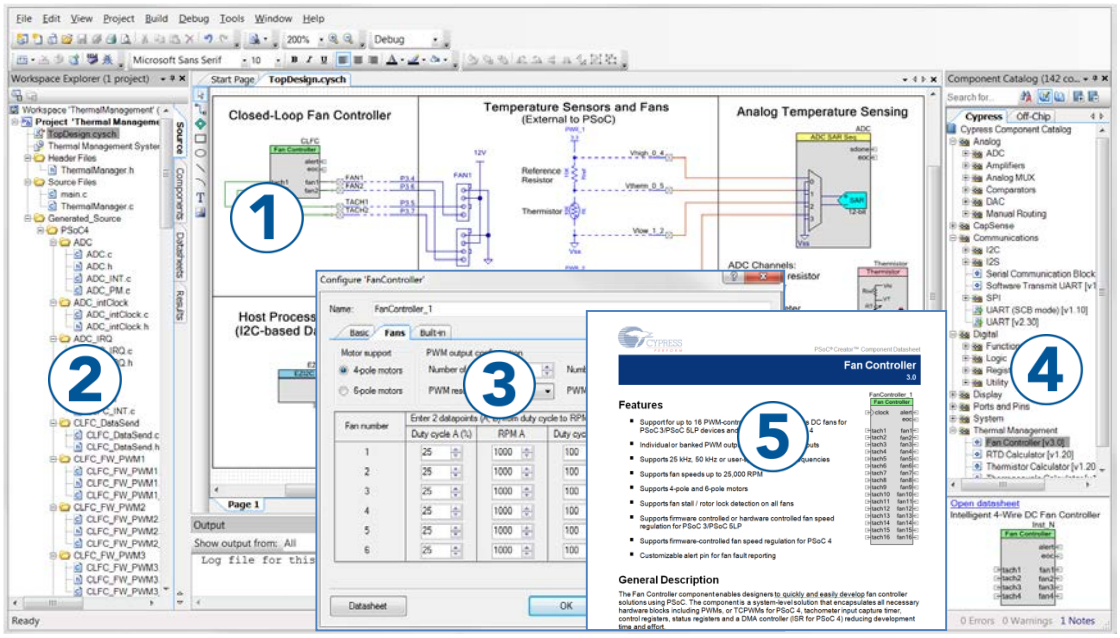
- **概要:** PSoC ポートフォリオ、PSoC ロードマップ
- **製品セレクター:** PSoC 1、PSoC 3、PSoC 4 または PSoC 5LP。また、PSoC Creator にはデバイス選択ツールも含まれています。
- データシートは PSoC 4 デバイス ファミリの電気的仕様を提供し、説明します。
- **CapSense デザイン ガイド:** PSoC 4 ファミリ デバイスを使用し、静電容量タッチセンス アプリケーションを設計する方法について説明します。
- **アプリケーション ノートおよびサンプル コード**は基本的レベルから高度なレベルまでの幅広いトピックを提供します。多くのアプリケーション ノートはサンプル コードを含んでいます。
- **テクニカル リファレンス マニュアル (TRM)**: 各 PSoC 4 デバイス ファミリのアーキテクチャとレジスタの詳細な説明を提供します。
- **開発キット:**
  - CY8CKIT-040 、CY8CKIT-041 、CY8CKIT-042 、CY8CKIT-042-BLE 、 CY8CKIT-044 および CY8CKIT-046 PSoC 4キットは使いやすい安価な開発プラットフォームです。これらキットにはArduino™準拠シールドおよびDigilent® Pmod™ドーター カードの専用コネクタを含みます。
  - CY8CKIT-049はPSoC 4デバイスをサンプリングする超低コスト プロトタイプ プラットフォームです。
  - CY8CKIT-001はすべてのPSoCファミリ デバイスの共通開発プラットフォームです。
- MiniProg3 デバイスはフラッシュのプログラムとデバッグ用のインターフェースを提供します。

2.1 PSoC Creator

PSoC Creator は Windows ベースの統合開発環境 (IDE) です。無料で利用できます。このキットにより、PSoC 3、PSoC 4 および PSoC 5LP ベースのシステムについて、ハードウェアとファームウェアの同時並行の設計が可能です。図 1 に示すように、PSoC Creator により以下のことが可能です:

1. コンポーネントをドラッグ アンド ドロップして、メインデザイン ワークスペースでハードウェア システム デザインを構築
2. アプリケーションのファームウェアと PSoC ハードウェアのコデザイン
3. コンフィギュレーション ツールを用いて、コンポーネントを構成
4. 100 以上のコンポーネントを含むライブラリを利用
5. コンポーネント データシートの閲覧

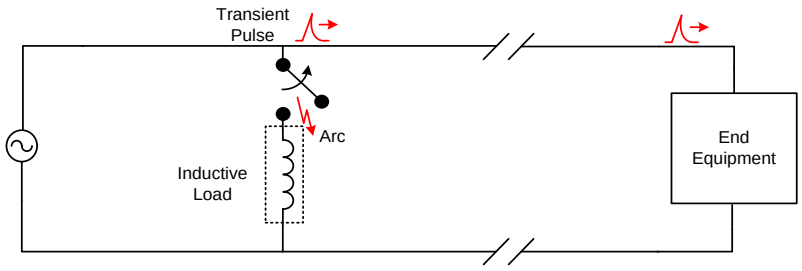
図 1. PSoC Creator の特徴



3 EFT とは?

リレーやスイッチ接点、大型モーターなどの誘導性負荷は、電源が切られると、電源供給システムにおいて一連の狭い高周波過渡パルスが発生します。これらは高速過渡現象と呼ばれます。高速過渡現象はナノ秒のオーダーの立ち上がり時間／滞留時間を持ち、キロボルトで振幅を持つことがあります。高速過渡現象は、電源プロバイダーが力率補正装置を切り替える時にも生じることがあります。電源ラインの過渡現象の一般的な原因は、AC 電源コードを差し込むか、機器の電源を切るかまたはサーキット ブレーカーを開閉するたびに発生する電気アークです。図 2 はどのように過渡現象が起こされ、電源ラインを介して最終機器に結合されるかを示します。

図 2. 過渡ノイズの発生および最終機器への結合



IEC 61000-4-4 仕様は、AC 電源ライン上の誘導性負荷の切り替えによる過渡現象をシミュレートするための試験電圧波形を定義しています。本仕様はまた、繰り返しの高速過渡現象に対する耐性の要件およびシステムに必要なテスト方法も定義しています。

IEC61000-4-4 規格で定義されている EFT 波形は、高速過渡現象にさらされる時の機器の性能をテストするためにメーカーによって使用されるよう意図されています。CapSense ベースのシステムを設計する設備メーカーは IEC 標準に基づいてデバイス、CapSense センサーおよびシステム全体の性能をテストします。テスト パルス波形、その特性、テスト レベルおよびテスト手順の詳細は AN80994 を参照ください。

テストは主として、機器の AC 電源ラインに EFT パルスを注入することです。また信号や制御ライン、接地接続に EFT 波形を注入し、それらのラインへの過渡ノイズの結合をシミュレートすることもできます。パルス波形は高い振幅 (0.5～4kV)、短い立ち上がり時間、高い繰り返し率および低いエネルギー含量を持ちます。 IEC 61000-4-4 はまた、パルス波形の振幅に基づく 4 つの標準テスト レベルおよび 1 つ特別レベルも定義しています。ピーク電圧はテスト レベルが増加するにつれて増加します。表 1 にパルスのピーク電圧をまとめます。

表 1. IEC 61000-4-4 のテスト レベル

レベル	電源端子		I/O 信号／データ端子	
	ピーク電圧 (kV)	繰り返し率 (kHz)	ピーク電圧 (kV)	繰り返し率 (kHz)
1	0.5	5 または 100	0.25	5 または 100
2	1	5 または 100	0.5	5 または 100
3	2	5 または 100	1.0	5 または 100
4	4	5 または 100	2.0	5 または 100
X*	特殊	特殊	特殊	特殊

注 1: 5kHz の繰り返し率は標準的なものですが、100kHz の方は実際のシナリオにより近いです。

注 2: テストする端子は、メーカーによって決定されなければなりません。

* 「X」は特殊なレベルです。このレベルは、機器の仕様で指定する必要があります。

特定の機器クラスに関する過渡現象への耐性性能の要件を指定する国際規格がありますが、CapSense システム メーカーがそれらのシステムの要件を定義することが多くあります。メーカーはシステムの堅牢さを保証するために、一般的に、特定の機器クラスの国際標準で指定されるレベルより高いレベルを目指します。

4 故障モード

過渡現象によって生じたノイズは、AC 電源コード、DC 電源および信号／制御ラインを介して最終機器に伝導的に結合されます。もし、適切なフィルタリングが機器に使用されない場合、ノイズは CapSense システムを構成するボードを含む他の PCB に伝播します。

AN80994 に示すように、過渡現象によって発生したノイズはコモン モードおよび差動モードの両方です。

過渡現象で発生したノイズはシステムの信号に干渉することが多くあります。広い分類では、以下のブロック、ピンおよび信号は過度現象によって発生したノイズにより最も影響を受けます。それらは電源とグランド信号、リセット回路、クロック／発振器信号、エッジ検出トリガ、高周波数デジタル信号、アナログ信号、通信ブロック (I2C、SPI、UART、CPU、フラッシュ／RAM 等) です。

過渡現象によって生じたノイズが 1 つ以上のブロックに影響する際、次の種類のシステム故障が発生する可能性があります:

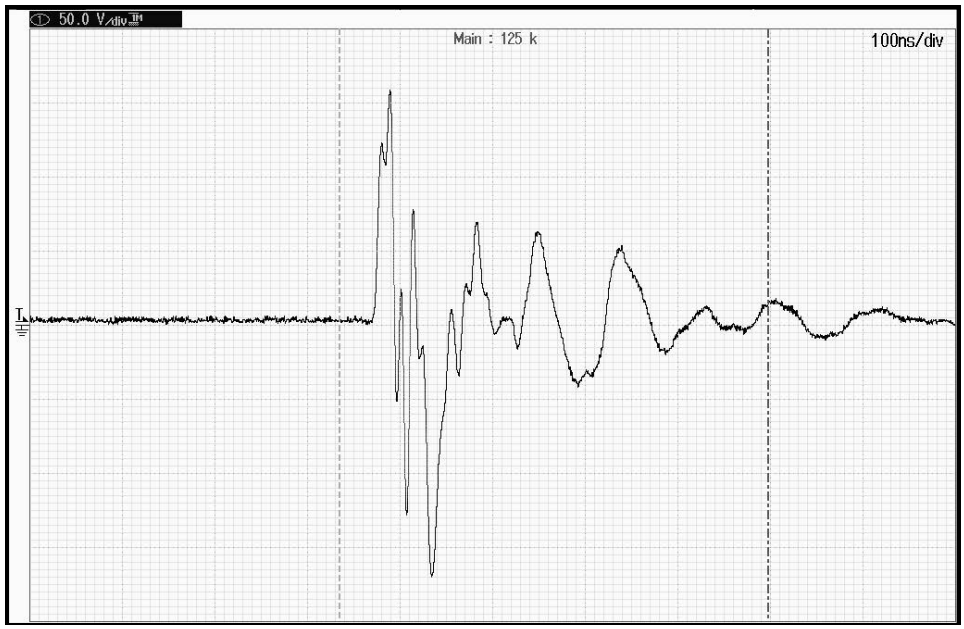
- デバイス リセット
- デバイス ラッチアップ。ラッチアップは解決のために、電源サイクルを必要とすることがあります。
- アナログ信号とデジタル信号の劣化
- 通信障害
- メモリ破損

特に CapSense システムでは以下のタイプの故障が発生する可能性があります:

- CapSense センサーがタッチされている時のデバイス リセット
- センサー スタックがオン状態のままになる場合を含む CapSense センサーの誤トリガー
- CapSense センサーのタッチへの不応答

図 3 に EFT テスト信号が AC-DC コンバーターに注入された時、負荷なしコンバーターの出力で測定された電源ライン上の波形を示します。ご覧のように、ピーク電圧は約 350V です。AC-DC コンバーターの出力上にコントローラー回路などの負荷がある場合、デバイスから見えるノイズの特性はコントローラーの電源入力でのフィルターおよびネットワークのデカップリングによって異なることがあります。

図 3. AC-DC コンバーター (負荷なし)の出力で測定された電源ライン上の過渡ノイズ波形

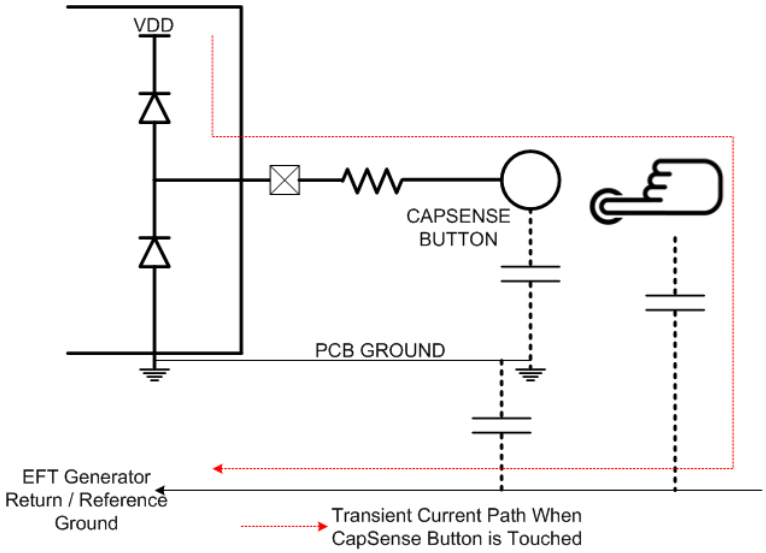


一般的な組み込みシステムで起こる故障の詳細は AN80994 を参照ください。以下のサブセクションは CapSense システムで発生することがある故障の詳細を提供します。

4.1 CapSense センサーがタッチされた時のデバイスリセット

ユーザーがセンサーに触り、かつ追加された指の静電容量がセンサー静電容量に比例する (十分に高い) 場合、タッチは、過度電流が EFT 発生器に戻る低インピーダンス リターン パスを生成します。過度現象によって発生したノイズがセンサーI/O 上の ESD クランプ回路をトリガーすることに起因して、デバイスから見える実効電源電圧は低下し、ブラウンアウト リセットをトリガーさせます。図 4 に EFT テスト中の電流パスを示します。

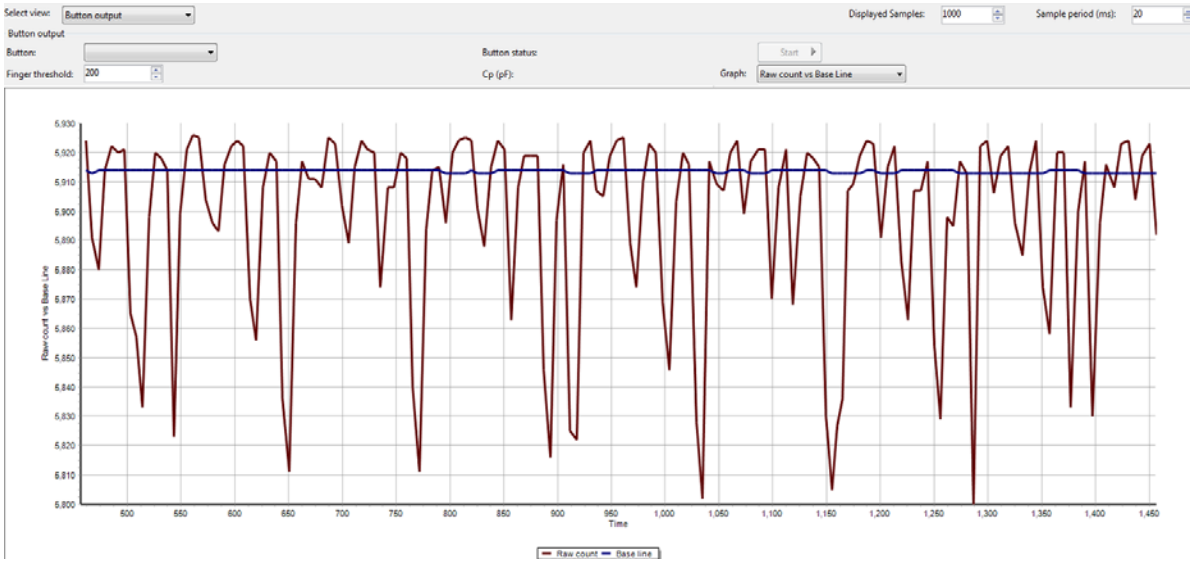
図 4. センサーが EFT テスト中にタッチされる時の過度電流パス



4.2 センサーの誤トリガーおよびタッチへの不応答

過度現象によって発生したノイズは正または負のスパイク等の raw カウントでのノイズあるいは raw カウントでのシフトを引き起こします。ノイズはセンサーを誤トリガーまたは有効なタッチに対する不応答を引き起こすことがあります。例えば、センサーは正のスパイクによって誤ってトリガーし、負のスパイクによって有効なタッチに不応答になります。図 5 はセンサーの raw カウントを示すグラフです。指のタッチによって生じる raw カウントの上昇が負のスパイクによって補償されるため、raw カウントでの負のスパイクはセンサーのタッチに対する不応答を引き起こします。そのため、差分カウントが指の閾値を超えません。

図 5. EFT テスト間の raw カウントの変動



過度現象によって発生したノイズによって、CapSense ブロックは完全に誤動作する可能性があります。例えば、図 8 に示すように、raw カウントはノイズ注入の間にゼロになることがあり、ノイズが除去されると正常の値に戻ります。図 7 に示すように、C_{MOD} 充放電サイクルは異常になり、図 6 に示すように、ノイズが除去されると、それらは正常に戻ります。

図 6. CMOD ピンの正常な波形 (代表的なイメージ)

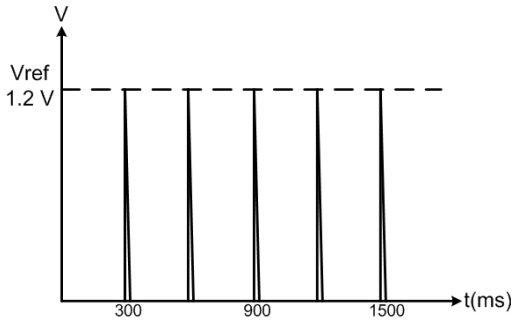


図 7. EFT テストの CMOD ピンの波形 (代表的なイメージ)

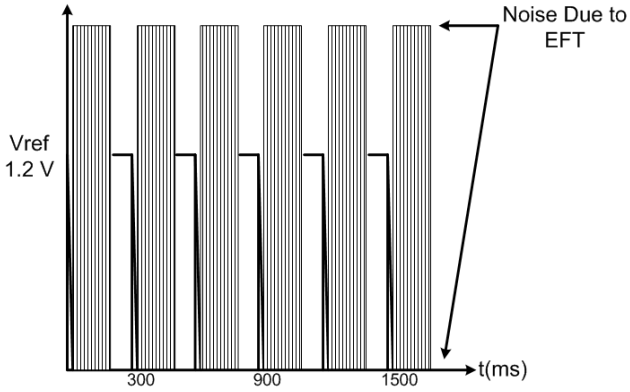
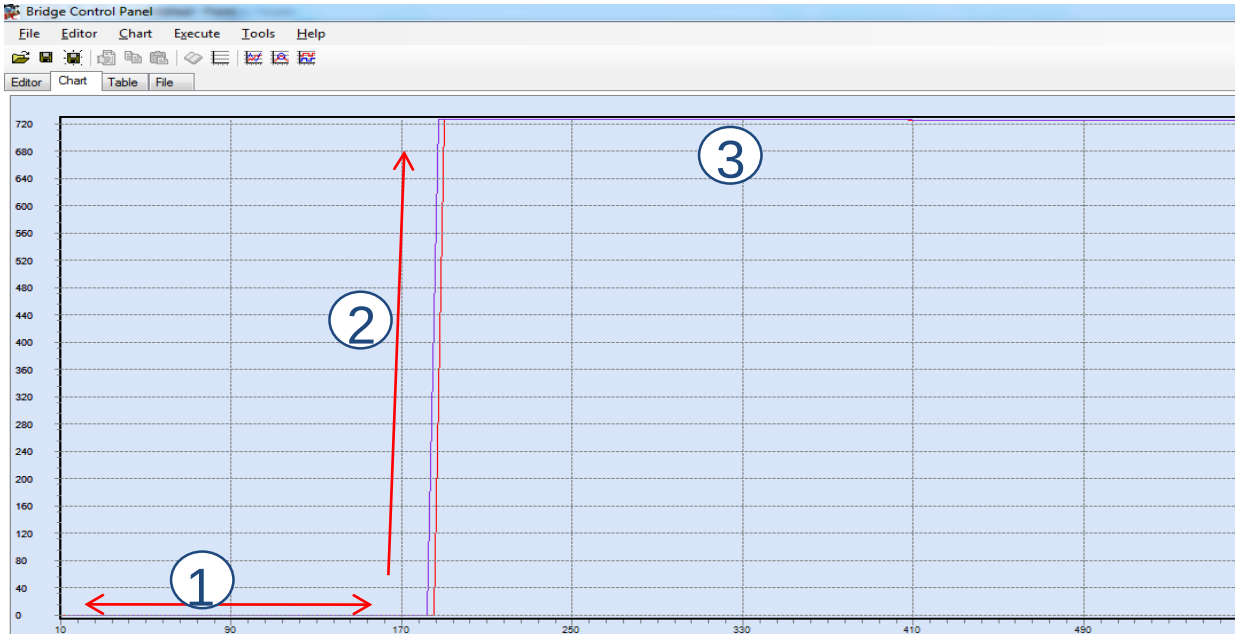


図 8. 過度現象によって発生したノイズに対する raw カウントおよびベースラインの状態



1. Raw カウント (青色の線) およびベースライン (ピンク色の線) は EFT テストの間にゼロになります。
2. Raw カウントおよびベースラインはテスト完了の後で正常に戻ります。
3. Raw カウントおよびベースラインは EFT テストが完了した後で元の値で安定した状態を保ちます。

4.3 通信障害

I2C および UART は CapSense システムでの一般的に使用される通信プロトコルです。通信不良は以下の原因によって起こります:

- コントローラー内の通信ブロックの誤動作
- クロック ラインのクロック ストレッチまたはグリッチ
- 信号完全性の喪失
- トランシーバの誤動作
- インターフェース誤動作

これらの原因によって通信不良となる場合、通信は完全に失われるか、またはホストは破損したデータを読み出します。もし、ホストが間違った CapSense センサーの状態などの破損したデータを読み出す場合、ホストは誤りデータで動作し、システムの誤動作につながる可能性があります。

5 性能基準

CapSense システムの仕様で IEC 61000-4-4 により定義された性能に関しては、CapSense システムの機能喪失または性能低下は表 2 に分類することができます。

表 2. 性能基準

基準	説明
性能基準 A	EFT テスト後の通常の性能はメーカーが指定した範囲内である
性能基準 B	テスト中、一時的な機能喪失または性能低下。テスト後、コントローラーはユーザー介入なしで通常の性能に回復
性能基準 C	テスト中、一時的な機能喪失または性能低下。テスト後、コントローラーはユーザー介入で通常の性能に回復
性能基準 D	EFT テスト中に、機能喪失または性能低下。コントローラーは障害のため回復しない

殆どの CapSense システムのメーカーはその機器を基準 A に従って設計します。

6 トラブルシューティング、設計上の注意事項および障害軽減技術

過渡ノイズに起因した問題の効果的なトラブルシューティングは重要ですが、多くの場合、システムのコンプライアンス テストおよび立ち上げの一部として見過ごされがちです。CapSense システムで、トラブルシューティングのシーケンスは:

1. リセットが発生していないかを検出し、リセットの原因を調査します。
2. センサーの誤トリガーまたは未応答がないかを確認します。
3. 完全な通信不良またはデータ破損などの通信障害を探します。

リセットの種類の詳細は AN80994 を参照ください。

過度ノイズの影響を軽減するための技術は以下のものを含みます:

1. 最小インピーダンスのリターン経路を用意し、それを介して過度エネルギーを発生源に反射させて戻します
2. 敏感な回路に伝播する前に過渡エネルギーを放散させます
3. 過渡ノイズへの耐性を持つファームウェア／ソフトウェアを設計します

障害軽減技術を適用できる領域は以下のように分けられます:

- システム レベルの注意事項
- 電源の設計上の注意事項

- 対象とする基板の設計上の注意事項
- ファームウェア技術

本アプリケーション ノートは対象とする基板設計上の注意事項および CapSense システム用のファームウェア技術について説明します。一般的な組み込みマイクロコントローラ ベースのシステムに対する上記に説明した軽減技術の詳細は AN80994 を参照ください。

6.1 対象とする基板の設計上の注意事項

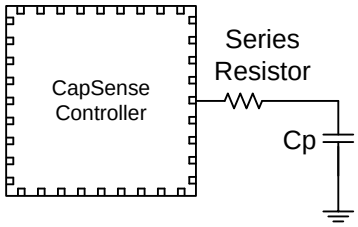
6.1.1 回路図

回路図レベルでは以下の一般的な注意事項を実行してください:

1. バイパス コンデンサ、バルク コンデンサ、デカップリング コンデンサ、TVS ダイオード、LC フィルターおよびコモンモード チョークを含む電源ライン フィルターを使用します。
2. プルアップ抵抗、直列抵抗、およびコンデンサなどのフィルター コンポーネントを I2C/SPI ライン上で使用することで通信ラインを保護します。UART 通信用に孤立したレベル変換器を使用します。
3. コンデンサまたは RC ネットワークを追加することで、リセット、割り込みおよび他の重要なコントロール入力を過渡現象から保護します。
4. 双方向 TVS ダイオードおよび RC フィルターを使用することで I/O ラインを保護します。標準値が 10kΩの直列抵抗を介して未使用の I/O を終端します。
5. 直列抵抗を CapSense センサーに配置します (図 9 を参照ください)。

   直列抵抗の値は、センサーがスイッチング クロック パルス毎に完全に充放電されるように選択される必要があります。CapSense センサー用の直列抵抗の推奨値は一般的に 560Ω です。デバイスが人間の指がセンサーに触れていることによってリセットされる場合、センサーの寄生容量とファームウェアに設定されたスイッチング クロックに応じて直列抵抗の値を 2kΩまたは 3kΩに増加することで、経路のインピーダンスを増やします。

図 9. CapSense センサー上の直列抵抗



直列抵抗を選択する方法

抵抗は電圧降下を与えるため、アプリケーションでは直列の小さな値の抵抗が実用的です。抵抗のエンド ツー エンド静電容量はそのインピーダンスを制限します。例えば、直流での 1MΩ 抵抗は 100MHz の時に同じではありません。炭素抵抗または金属酸化物抵抗は、低寄生容量およびインダクタンスを提供し短パルス過負荷に耐えられるため、過渡現象に対する耐性を向上させるために使用されます。

抵抗の一般的な種類は以下の通りです:

- 面実装技術 (SMT) および薄膜抵抗は高周波数応答には良いですが、過渡保護には良くありません。これらは、デバイスの EFT エネルギー耐性を制限する薄い金属層 (数十 nm の厚さ) から構成されています。また、EFT 電圧は SMT を横切ってアークする傾向があります。
- 金属皮膜抵抗は高出力密度または高精度回路に適していますが、過渡保護に適していません。
- 巻線抵抗器はその大きなインダクタンスの為に、高電力処理回路に適していますが、高周波に敏感な回路には不向きです。また、これらの抵抗は面実装の形で利用できず (モールディングなし) 、サイズと重量制限があるアプリケーションに適していません。

- ホイルベースの抵抗は最高の精度と安定性を提供し、薄膜または厚膜の抵抗より良く EFT に耐えられます。これらの最大のデメリットは最大値が約 150kΩの制限にあります。

システムを EFT テストに合格するようにすることは反復的なプロセスになり得ます。基板上にフィルター コンポーネントのフットプリントがあり、その基板に実装された最小のコンポーネント (バイパスおよびデカップリング コンデンサなど) で EFT テストを開始することが推奨されます。耐性を更に向上させるために、LC、コモン モード チョーク、TVS ダイオードやフェライト ビーズなどのフィルターを使用したり、それら 2 つ以上を組み合わせて使用することを試みてください。電源設計があまり良くなく、電源の出力にリップルがあることが予想される時はバルク コンデンサを使用してください。

6.1.2 PCB レイアウト

高い過渡耐性を持つ PCB を設計する前に、次の 2 つの基本的な原則を考慮しなければなりません。

1 つ目は、電流はできるだけ局所的かつコンパクトにその供給源に戻らなければなりません。つまり、できるだけ最小のサイズで最低のインピーダンスがあるパスを介して戻します。この原則は過渡ノイズと所望の信号電流の両方に適用されます。

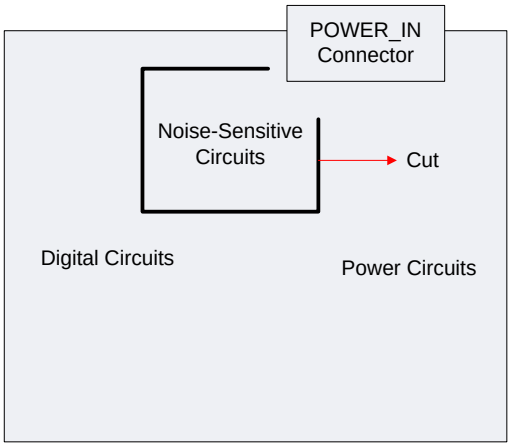
2 つ目は、システムは 1 つの基準面のみを持つべきです。多くの場合グランド面である基準面は、リターン電流の流れのために PCB での信号層に隣接して配置します。2 つの基準面を持つシステムでは、過渡ノイズで増幅される可能性がある信号品質の問題が発生します。また、2 つ以上の基準面により、エネルギーを放射するダイポール アンテナができます。基準面および基準面の接続が低インピーダンスを持てない場合、シングル基準面を実現できません。

最後に、前節に述べた点を繰り返しますが、PCB にフィルターを設計することを推奨します。初期テストでは、これらのフィルターをバイパスするようにします。

CapSense システムの場合:

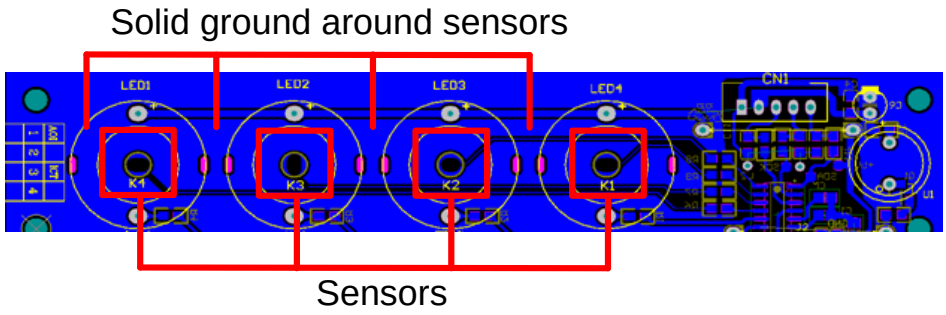
1. CapSense コンポーネントとそれらの信号はトランスなどノイズの多いサブシステムから隔離または物理的に分離します。一般的に、CapSense システムは外部ノイズに敏感です。
2. センサー電流および CMOD コンデンサの電流がそれらのソースにできるだけ短い経路で戻るように CapSense システムを隔離します。これにより、所望の電流は不必要に長い経路で流れず、途中で放射ノイズまたは伝導ノイズから影響を受けません。
3. 過度現象によって発生したノイズの影響を受けやすい CapSense センサー配線を通信ライン等を含む I/O ラインから離してください。
4. センサー配線を短くしてください。長い配線はノイズの影響を受けやすく、ノイズ キャリアになることもあります。
5. ノイズが多いデジタル信号がある場合、別々のグランド ピンをサポートするデバイス (PSoC など) で、アナログとデジタルのグランドを分離することが必要です。CapSense ブロックは一般的にアナログ グランドで動作します。
6. 基準面が 1 つだけあるようにアナログおよびデジタル グランドを適切に繋ぎ合わせます。図 10 に示すように、2 つのグランドを分離すること以外の方法は、グランド面でノイズの多い信号のグランド リファレンスから敏感な信号のグランド リファレンスを分離するところで切れ込みを入れます:

図 10. グランド面の切り込み例



7. インダクタンスを削減するために、異なる層のグランドのハッチパターンをできるだけ多くの等間隔で配置したビアで接続します。
8. 2 層基板の場合、グランドおよびセンサーの方式は CapSense レイアウト ガイドラインに従ってください。単層基板では、その基板が小さく、センサー配線が短い場合、センサーの周りも含めて、基板の全体にベタ グランドを施します。寄生静電容量は最大値を超えないことを保証してください。図 11 を参照ください。

図 11. 単層基板の設計



6.1.3 2 層 PCB のサンプル設計

以下の PCB 設計は EFT 耐性を改善するための CapSense 基板のサンプル設計です。図 12 および図 13 に PSoC 4200M を使って設計される 2 層 CapSense 基板の上層および下層を示します。基板は 9 個のボタンとそれらに対応する 9 個の LED があります。

図 12. 上層

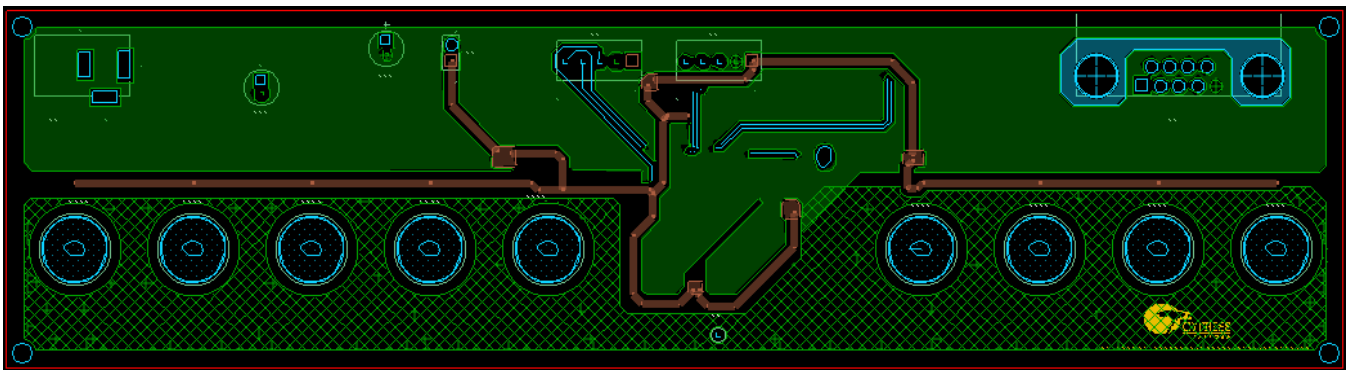
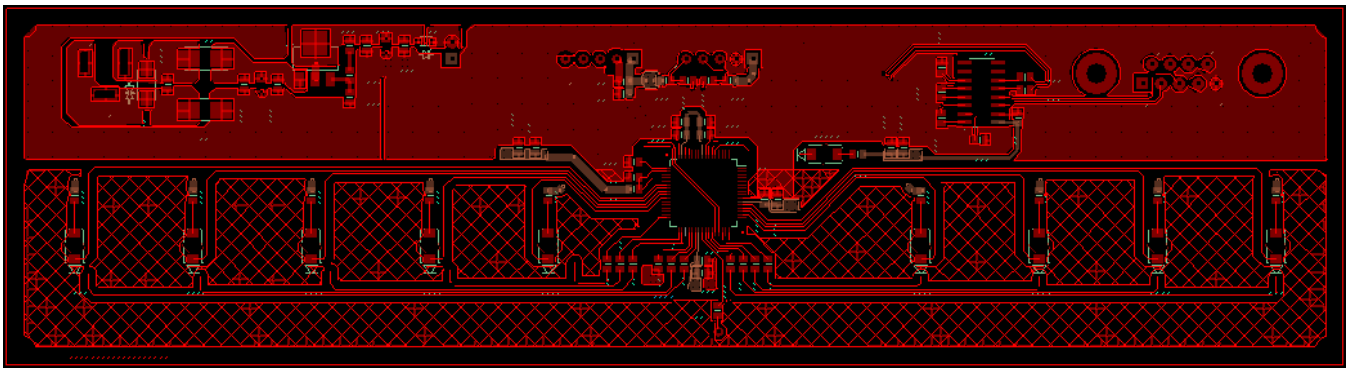


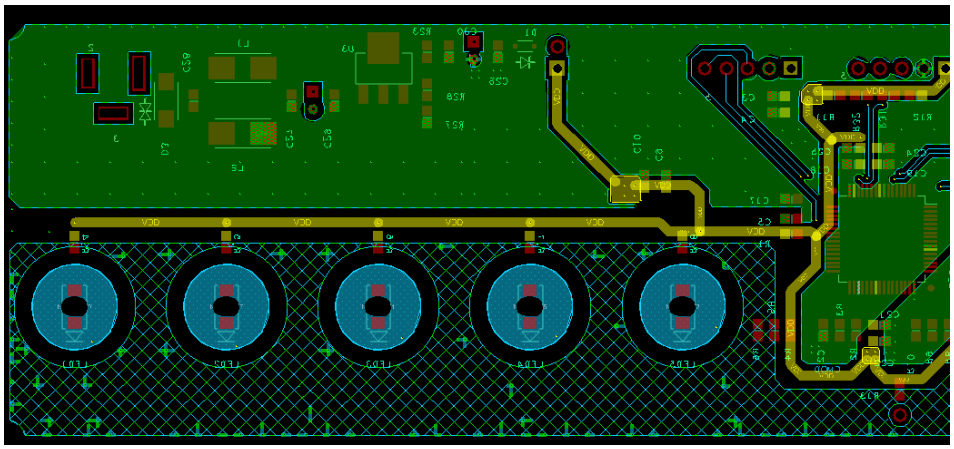
図 13. 下層



基板レイアウトの主な特長は以下の通りです:

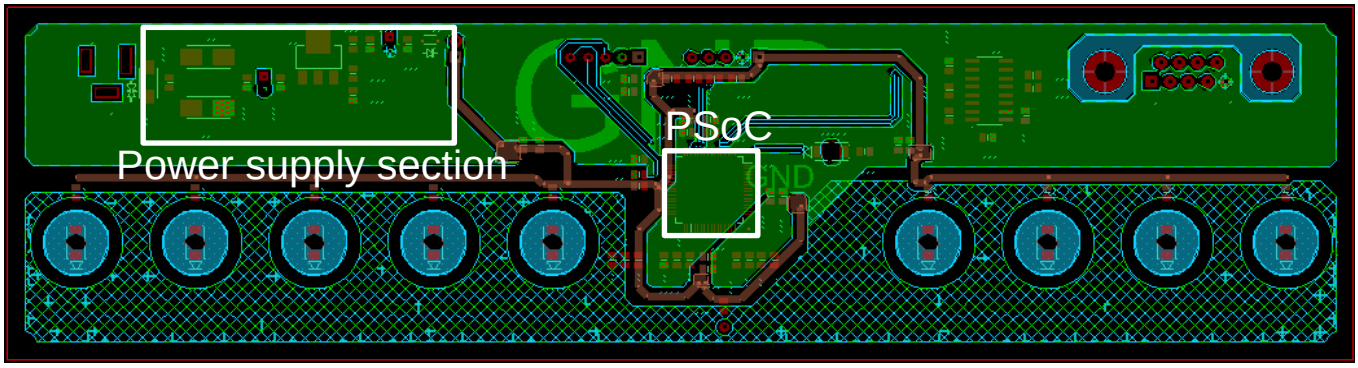
1. 電源供給から PSoC デバイスまでの厚い 50mil VDD 配線 (図 14 を参照) は、DC 電流のために抵抗ドロップを最小にし、またその一方で高周波数 AC 信号／ノイズの有限インピーダンスを保持します。

図 14. 厚い VDD 電源配線 (黄色で強調表示)



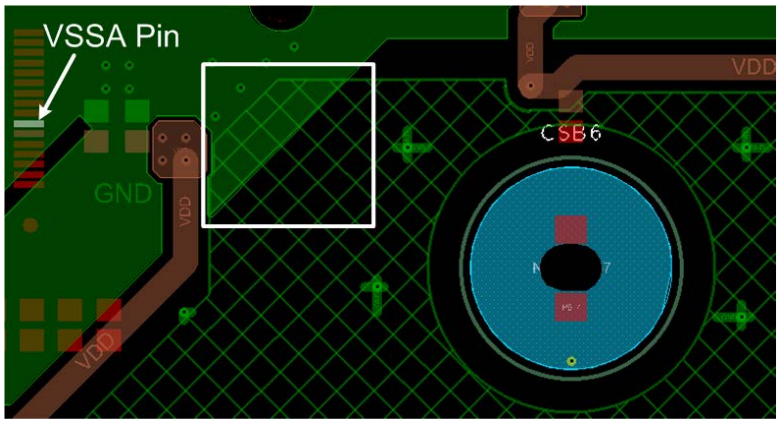
2. 電源供給から PSoC デバイスおよびその他の回路部分に施すベタ グランド (図 15) により、全ての回路で安定的な基準電圧を維持することができます。これもノイズがソースに戻るための低インピーダンス経路を提供します。

図 15. ベタ グランド面 - 上層



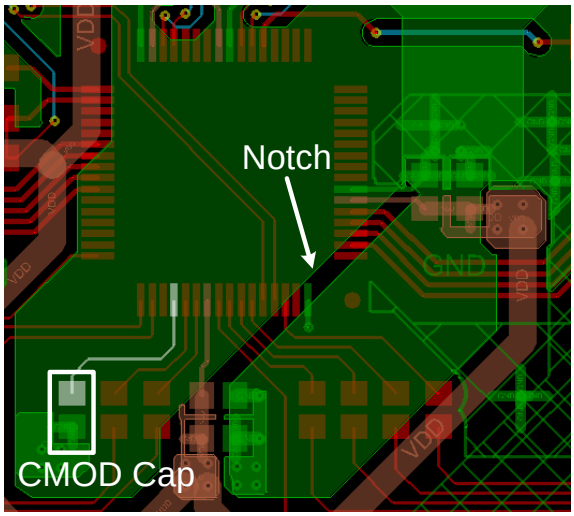
3. センサー周りのハッチング グランドはセンサー用のグランド リファレンスです。図 16 に示すように、これはベタ グランドから分離され、PSoC デバイスに近い VSSA ピンに接続します。

図 16. ハッチング グランド パターンおよびベタ グランド パターン



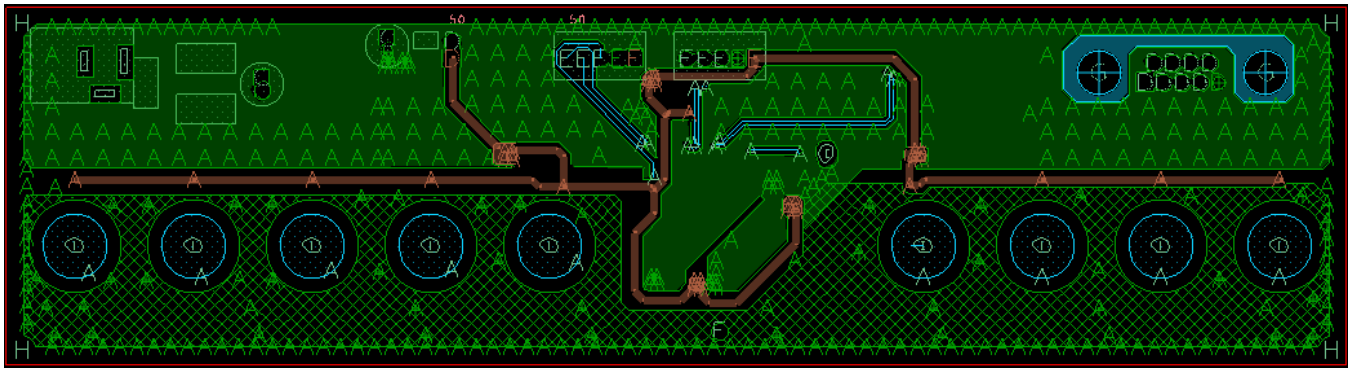
4. CMOD コンデンサを介する電流は、ソース (すなわち、PSoC デバイス) に最短の戻り経路を探します。グランド面の切り込みは CMOD 電流をそのソースに最短の経路で戻らせます (図 17 を参照ください)。

図 17. CMOD コンデンサの電流を最小のインピーダンス経路を介して切り換えるグランドの切り込み



5. 図 18 に示すように、上層および下層のハッチングされたまたはベタのグランド パターンは、インピーダンスを軽減するために、一様に配置された多数のビアで繋ぎ合わせられます。

図 18. インピーダンス軽減のためのグランド面の繋ぎ合わせ – レイアウトの「A」文字はビアを表現



6. 電源供給フィルターは電源のエントリに配置されます (図 19 および図 20 を参照ください)。

図 19. 電源供給および関連フィルターの回路図

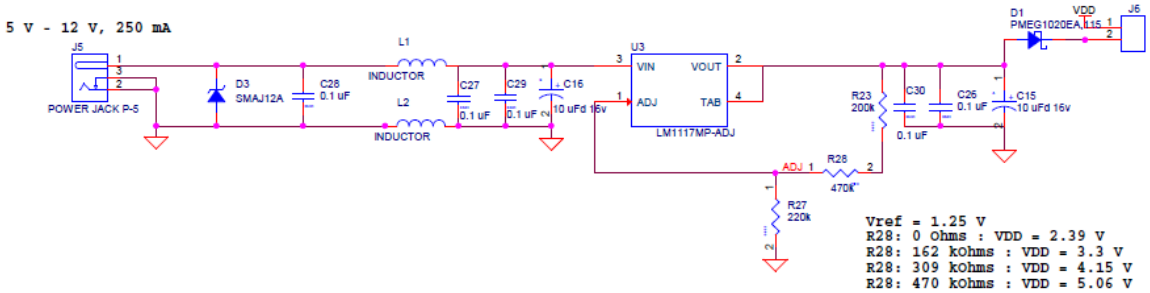
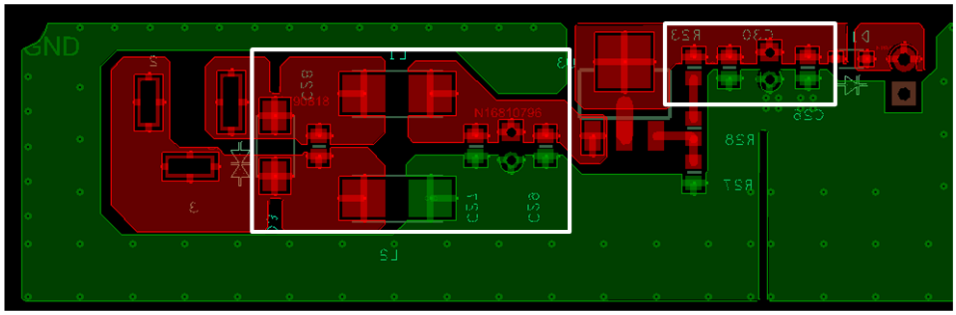
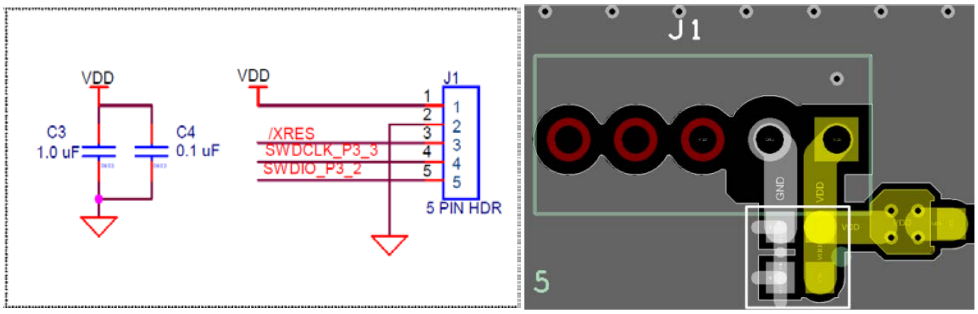


図 20. 最下層の電源供給および関連フィルターのレイアウト (白枠で強調表示)



7. バイパス コンデンサはプログラミング ヘッダーの供給ラインに配置されます。プログラミング ヘッダーは EFT テストの間に基板に電源を入力するために使用される場合に便利です (図 21 を参照)。

図 21. プログラミング ヘッダーの電源フィルター – 回路図およびレイアウト



6.2 ファームウェア技術

適切に設計されたファームウェアは過渡現象により生じるエラーを除去または最小にするために非常に役立ちます。ファームウェアは、過渡現象でプログラムが壊されても、それがロックせず正常に回復するように設計しなければなりません。

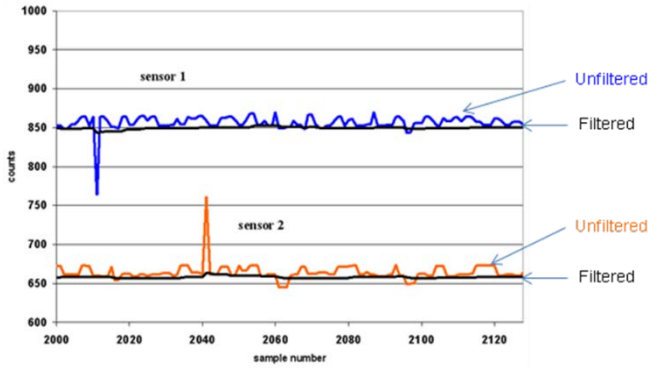
CapSense 固有のファームウェアの技術はノイズ パターンに基づいて定義されるイベント ベースのフィルターを含みます。本アプリケーション ノートは誤トリガおよびセンサーの不応答を避けるためのファームウェア技術を簡潔に説明します。

1. メジアン フィルター

正および負のスパイクは、過度現象によって発生したノイズにより raw カウントで見られる最も一般的なノイズの種類です。メジアン フィルターは防御の最前線です。図 22 に示すように、メジアン フィルターはスパイクノイズを除去します。メジアン フィルターでは、サイズ「N」のバッファーは、入力の最新 N 個のサンプルを格納します。次に、2 ステップのプロセスを使ってメジアンを計算します。最初に、バッファ値を低い順から高い順へ並べ替え、次に並べ替えられた一覧から中央値を選択します。バッファが更新される度に、バッファはスキャンされて、メジアンが求められます。スパイク ノイズの幅に対応するサイズ N のバッファ付きメジアン フィルターを実装します。以下の式に示すように、スパイクが続くサンプルの数に基づいて、バッファのサイズ「N」を選択します。指のタッチ応答時間幅がスパイクの幅より大きい場合、適切なバッファサイズがあるメジアン フィルターはいずれの有効な指のタッチ応答も除去しません。

$$N = \left(Number\ of\ samples\ of\ spikes * 2\right) + 1$$

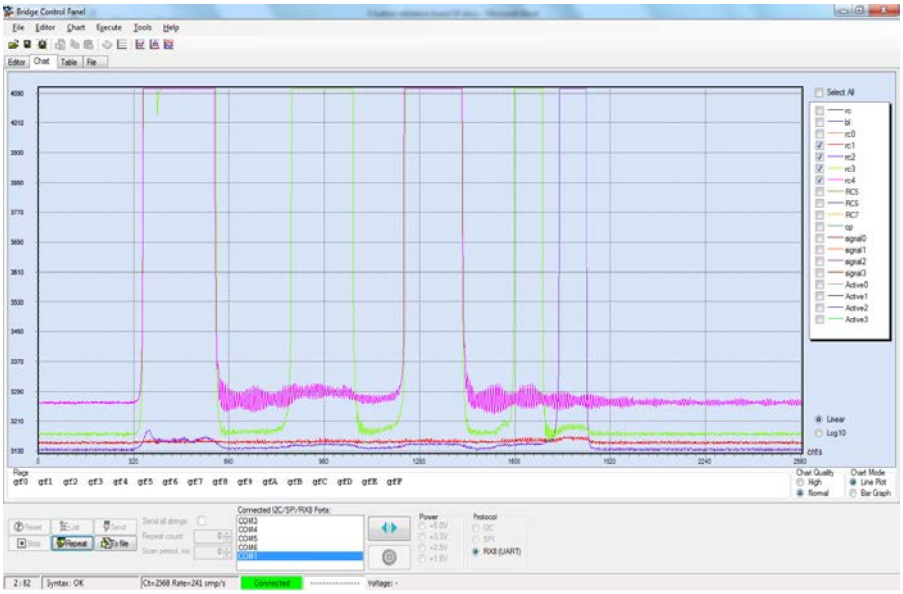
図 22. メジアン フィルター応答 – 非フィルターおよびフィルターされる raw カウントを示す



2. ネガティブ エッジ デバウンス

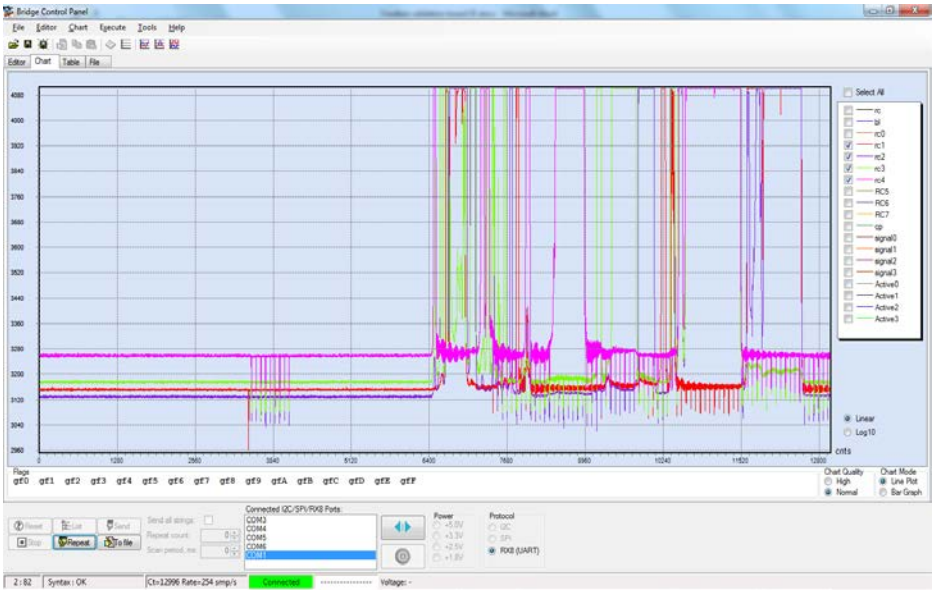
過度現象によって発生したノイズにより、センサーがタッチされている時、raw カウントで負のスパイクが発生します (図 24 を参照ください)。 センサーがまだタッチされている時にこれらのスパイクはセンサーを誤ってオフにする可能性があります。センサーの誤った非アクティブ化を避けるように、ネガティブ エッジ デバウンスをポジティブ エッジ デバウンスと同じように実装します。図 23 および図 24 に 4 つのセンサーの raw カウントのグラフを示します。図 23 にしめす raw カウントのグラフでは、センサーがタッチされている時に raw カウントが上がり、過度現象によって発生するノイズなしにセンサーがタッチされている場合、負のスパイクがありません。

図 23. 過度現象によって発生するノイズがない場合、センサーがタッチされている時に raw カウントでのスパイクがない



しかし、図 24 では、過度現象によって発生したノイズがあるため、raw カウントで大きな負のスパイクがあります。センサーがタッチされている時に、この負のスパイクが raw カウントを指閾値以下に引くことができるため、センサーはオフになる可能性があります。

図 24. 過度現象によって発生したノイズで、センサーがタッチされた時の raw カウントのスパイク



3. 低ベースライン リセット (LBR)

図 25 に示すように、raw カウントで負のスパイクがある場合、ベースラインは raw カウントの低い値にリセットされ得ます。このベースライン リセットは raw カウントが回復する時、センサーを誤ってトリガーすることがあります。ベースラインは、スパイクが LBR 値以上に持続した後にのみリセットします。CapSense コンポーネントの LBR 値はノイズの負のスパイクの幅に基づいて、誤トリガーまたはベースラインの「スタック」状態を発生させないように設定する必要があります (図 26 を参照ください)。負のスパイクは 255 サンプル以上継続する可能性があります。しかし、CapSense コンポーネントは LBR の値を 255 に制限します。

255 サンプル以上の広い負のスパイク ノイズに対しては、ファームウェア カウンターを使用することで LBR をアプリケーション ファームウェアに実装します。

図 25. LBR = 10 およびスパイクノイズ幅 = 20 でベースライン低下を生じさせる raw カウントの下落 (Y 軸)

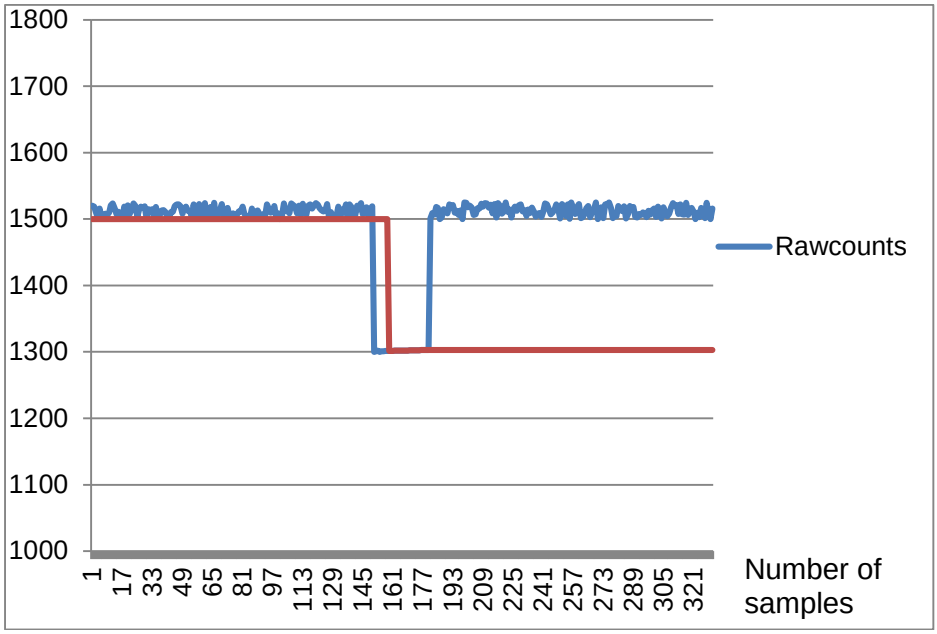
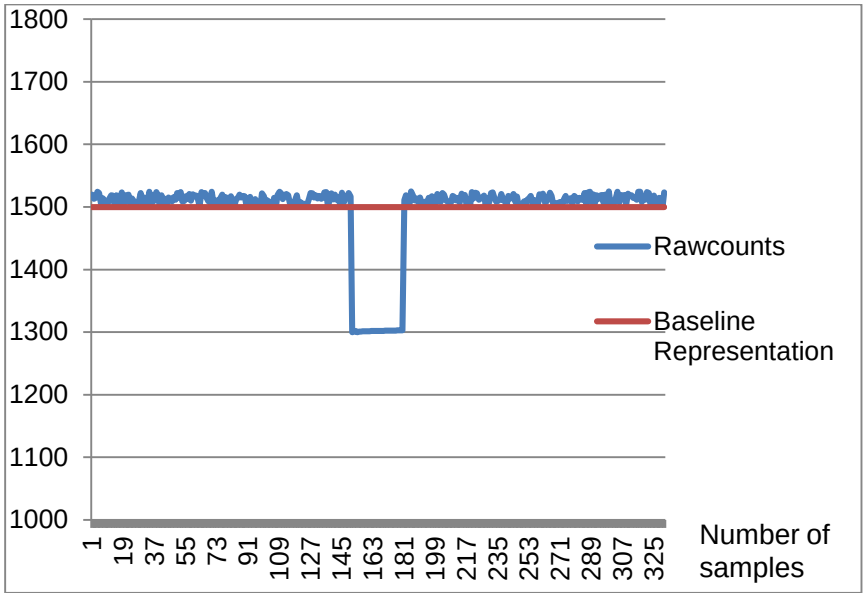


図 26. LBR = 30 およびスパイクノイズ幅 = 20 の場合、raw カウントの下落 (Y 軸) はベースラインを低下させない

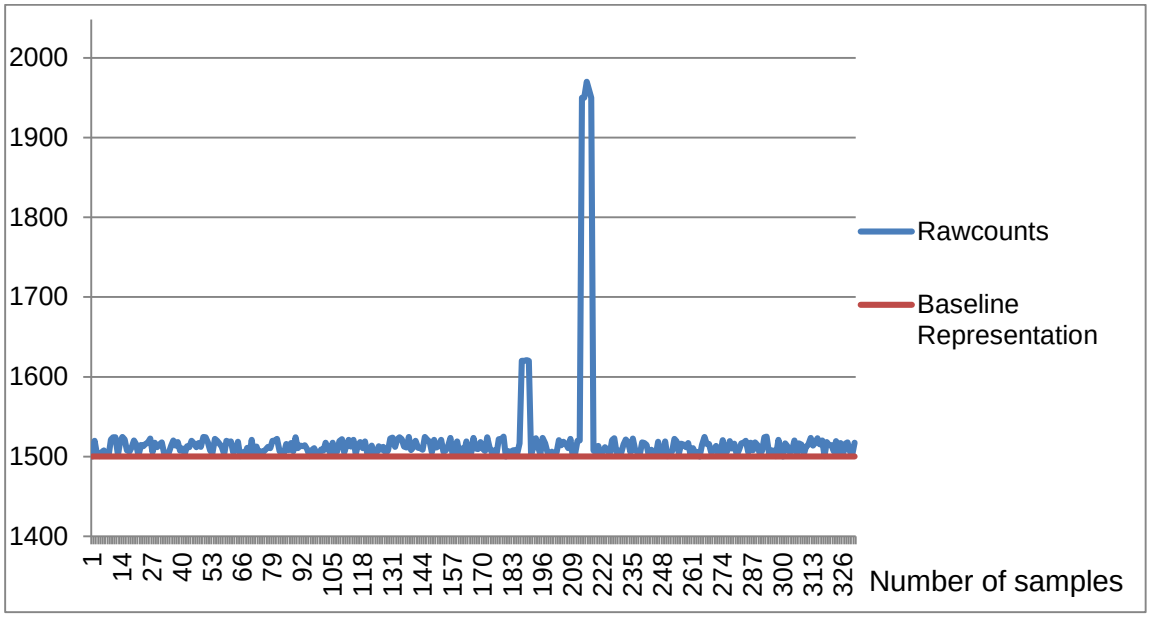


これらの図では、ノイズのスパイクの幅は 20 サンプル程度継続します。LBR = 10 の場合、ベースラインは raw カウント追従し、raw カウントが回復する時、ベースラインがスタックになり、それにより誤トリガーを引き起こします。LBR = 30 の場合、20 サンプルのスパイクがある時、ベースラインは raw カウントに従わないため、誤トリガーが避けられます。

4. 信号の上限カットオフ

過度現象によって発生したノイズによる raw カウントでの正のスパイク (図 27 を参照ください) は指閾値を超えて、センサーの誤トリガーを引き起こことがあります。正のスパイクによる誤トリガーを避けるために、信号の上限カットオフを実装してください。上限カットオフ以上の信号はノイズとして扱う必要があり、センサーをトリガーしてはいけません。

図 27. 正方向のノイズの場合の raw カウント



5. 時間ベースの自動リセット

あるセンサーがオン状態にスタックされる場合、自動リセット機能によりセンサーをそのスタック状態から回復できます。センサーはユーザーがセンサーに触っていると想定される時間以上オン状態である場合、ON にスタックしていると見なされます。ユーザーがセンサーに長い時間 (例えば 10 秒まで) 触ると想定されるアプリケーションがあります。その場合、センサーは 10 秒以上オン状態を続けていると、オン状態でスタックしたと見なされます。センサーが特定時間オンのままになる場合、自動リセットはベースラインを現在の raw カウント値にリセットし、センサーをオフにします。センサー スキャン サンプル数に基づいて、時間ベースの自動リセットを実装します。時間ベースの自動リセットは、アプリケーションによって異なる自動リセットに対して制御および適切な細分粒度をサポートします。

6. ダイナミック デバウンス調整 – 先進の技術

デバウンスは、センサーがオン状態として報告されるためにセンサーの差分カウントが指の閾値を超える必要があるサンプルの数を指定します。デバウンスの小さい値は不十分かも知れず、その場合は正のスパイクはセンサーを誤ってトリガーする可能性があります。大きい値は指タッチ応答を低速にさせます。デバウンス値は、正のスパイクが続くサンプルの数を追跡すること、および指の上限閾値を用いてスパイクを指タッチの信号から識別することで、ファームウェアにより自動的に調整されます。

7. 手動の閾値

自動の閾値の代わりに手動の閾値を使用します。これにより、アプリケーションでのノイズに応じて、指の閾値、ノイズ閾値、負のノイズ閾値、および低ベースライン リセットなどの様々な閾値パラメーターの値を柔軟にセットすることができます。

7 まとめ

本アプリケーション ノートは CapSense システムの EFT 耐性を強化するための設計ガイドラインおよび技術を提供します。さらに CapSense コントローラーの故障モードも説明します。

著者について

氏名: Shruti Hanumanthaiah

役職: アプリケーション エンジニア

経歴: Shruti は電子通信の経験を持つアプリケーション エンジニアです。彼女は PSoC を使用する CapSense アプリケーションに関して働いています。

氏名: Srinivas NVNS

役職: アプリケーション エンジニア

経歴: Srinivas は電力エレクトロニクス、制御システムおよび組み込みファームウェアの経験を持つ電気エンジニアです。彼は PSoC を使用する電力アプリケーションの仕事をしています。

8 参考資料

- IEC EN 61000-4-2: 静電気放電耐性テスト [1]
- IEC EN 61000-4-4: 電気的高速過度現象／バースト イミュニティ試験 [1]
- Mark I. Montrose 著「*EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple*」(Wiley-IEEE プレス、1998 年)。
- Mark I. Montrose および Edward M. Nakauchi 著「*Testing for EMC Compliance: Approaches and Techniques*」(Wiley-IEEE プレス、2004 年)。
- Henry W. Ott 著「*Electromagnetic Compatibility Engineering*」(John Wiley & Sons、2011 年 9 月 20 日)。
- Vishay 著「Engineering Note ILB, ILBB Ferrite Beads, Electro-Magnetic Interference and Electro-Magnetic Compatibility (EMI/EMC)」、www.vishay.com/docs/34097/ferritenote.pdf
- AN57821 - PSoC 3, PSoC 4, and PSoC 5LP Mixed Signal Circuit Board Layout Considerations
- AN80994 - Design Considerations for Electrical Fast Transient (EFT) Immunity
- AN54181 - Getting Started with PsoC 3
- AN79953 - Getting Started withPSoC 4
- AN77759 - Getting Started with PSoC 5LP
- AN64846 - Getting Started with CapSense
- AN61290 - PSoC 3 and PSoC 5LP Hardware Design Considerations
- AN88619 - PSoC 4 Hardware Design Considerations

[1] この規格は無料での利用はできません。しかし、www.iec.ch でそのコピーを購入できます。

改訂履歴

文書名: AN96475 - CapSense®システムの電気的高速過渡現象耐性についての設計注意事項

文書番号: 002-12475

版	ECN	変更者	発行日	変更内容
**	5255828	HZEN	05/10/2016	これは英語版 001-96475 Rev. **を翻訳した日本語版 002-12475 Rev. **です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センス	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス／RF	cypress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

テクニカル サポート

cypress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標であり、PSoC Creator は同社の商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

電話 : 408-943-2600
ファックス : 408-943-4730
ウェブサイト: www.cypress.com

© Cypress Semiconductor Corporation, 2016. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下、「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア (以下、「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで)エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のあるいかなる製品又は回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラムし、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分として用いるため、又はシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせることになるその他の使用 (以下、「本目的外使用」という。) のためには、設計、意図又は承認されていない。重要な構成部分とは、装置又はシステムのその構成部分の不具合が、その装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できる、機器又はシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ、あなたは Cypress をそれら一切から免除するものとし、本書により免除する。あなたは、Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から Cypress を免責補償する。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、PSoC、CapsSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。