EZ-PD™ CCG2 を使用した EMCA/ケーブル向けハードウェア設計ガイドライン

About this document

Scope and purpose

AN95599 は EZ-PD™ CCG2 を使用した EMCA/ケーブルのための、ハードウェア設計およびプリント基板レイアウト ガイドラインを説明します。このガイドラインによって、シグナル インテグリティと、USB Power Delivery および Type-C 仕様に完全に準拠した電気的特性を踏まえたベストパフォーマンスを発揮させられます。EZ-PD CCG2 によるリファレンスデザインやアプリケーションについては、こちらをクリックしてください。

関連プロジェクト

なし

関連製品ファミリ

CYPD210x

ソフトウェア バージョン

該当なし

関連アプリケーション ノート

AN95615

本アプリケーション ノートの最新版または関連プロジェクト ファイルについては **http://www.cypress.com/go/AN95599** をご覧ください。

Table of contents

About this document **1**
Table of contents **1**
1 はじめに **3**
2 USB Type-C の概要 **4**
2.1 USB Type-C の信号 4
2.2 基本用語 5
2.3 USB Type-C 接続方向検出 5
3 回路設計の要件 **7**
3.1 ケーブルに 1 個の CCG2 チップがある EMCA ソリューション 7
3.2 ケーブルに 2 個の CCG2 チップがある EMCA ソリューション (使用時は 1 個の CCG2 がアクティブ) 8
3.3 ケーブルに 2 個の CCG2 チップがあるアクティブ EMCA ソリューション (両方の CCG2 がアクティブ) 8

Table of contents

4 電源システム 10
4.1 VCONN の選択 11
4.2 認証チップの接続 11
5 プリント基板レイアウト ガイドライン 12
5.1 電源ドメイン 12
5.1.1 バルク コンデンサとデカップリング コンデンサの配置 12
5.1.2 電源層とグランド層の配置 12
5.2 USB データ ラインの配線 12
5.2.1 32mil 厚 6 層基板の例 14
5.2.2 インピーダンス整合 14
5.3 信号ビアの配線 16
6 まとめ 18
7 付録- 部材リストおよび回路図 19
7.1 CCG2 ベース EMCA パドル カード参考部材リスト 19
7.2 シングル/デュアル チップ CCG2 (CSP) EMCA – CYPD2103-20FNXIT 向けパドル カード参考回路図 19
7.3 シングル/デュアル チップ CCG2 (DFN) EMCA – CYPD2103-14LHXIT 向けパドル カード参考回路図 21
改訂履歴 23

1 はじめに

EZ-PD CCG2 はサイプレスの第 2 世代 USB Type-C EMCA (electronically marked cable assembly) コントローラーです。USB Power Delivery (PD) 2.0 仕様に準拠しています。CCG2 は、パッシブ ケーブル, アクティブ ケーブル, 電源供給されたアクセサリに適用できる完全な USB Type-C と USB PD ソリューションを提供します。業界標準かつ高性能の 32 ビット Arm® Cortex®-M0 CPU, 標準シリアル通信プロトコル (I^2C, SPI, UART など) をサポートするシリアル通信ブロック (SCB), および終端抵抗 [1] (R_D, R_P および R_A) を含む USB Type-C トランシーバーを内蔵しています。

Type-C EMCA 設計では CCG2 などのアクティブ コンポーネントは、パドル カード上に配置されます (**Figure 2**)。パドル カードはケーブルの両端それぞれに組み込まれ、USB Type-C プラグを含み、ケーブル ハーネスに接続されます。本アプリケーション ノートのハードウェア ガイドラインは、パドル カード設計に適用されます。**Table 1** に異なるアプリケーション向けの CCG2 製品を記します。これらのアプリケーションの詳細については、**AN95615** をご覧ください。USB Type-C および USB PD の詳細については、**www.usb.org** にアクセスしてください。

Table 1 EZ-PD CCG2 製品

品名	CYPD2103	CYPD2104	CYPD2105
アプリケーション	パッシブ ケーブル	アクセサリ [2]	アクティブ ケーブル [3]
パッケージ	20 ボール WLCSP 14 ピン DFN	20 ボール WLCSP	20 ボール WLCSP

1 終端抵抗の詳細については、**Type-C 仕様**を参照してください。

2 ケーブルまたはドングルの形態をしたアップストリーム対向ポート (UFP)

3 USB データ信号を調整するリドライバを含む EMCA

2 USB Type-C の概要

USB Type-C のケーブル, コネクタ仕様では、新しく薄型のレセプタクルとプラグ (2.4mm) を定義します。このプラグは利便性を考慮して設計され、上下どちらの向きにも差せます。USB Type-C ケーブルは 100W までの電力を供給できます。USB **Type-C 仕様**では、USB 3.0 の通信と HD 映像を転送するケーブルを共存させられます。

USB Type-C のレセプタクル, プラグ, ケーブルは、既存の USB 3.1 インターコネクト (標準, マイクロ USB ケーブルとコネクタ) の小型, 薄型かつ堅牢な代替物です。対象アプリケーションは、超薄型のノートブック PC からスマートフォンへと多岐にわたります。標準 A およびマイクロ AB レセプタクルは、これらのアプリケーションに対してあまりに大きく、非常に使いにくく、壊れやすい問題があります。

USB Type-C 仕様の主な利点は、次の通りです。

- プラグの高さが 2.4mm のスリムな工業デザイン
- プラグの上下とケーブルの向きはリバーシブル
- 同じコネクタで USB 信号と PCIe, DisplayPort 信号の転送が可能
- 低コストで最大 100W の電源供給を容易に実装

USB Type-C は、各アプリケーション向けに一本化されたソリューションを提供し、広帯域幅および電源要件に対応します (**Figure 1**)。

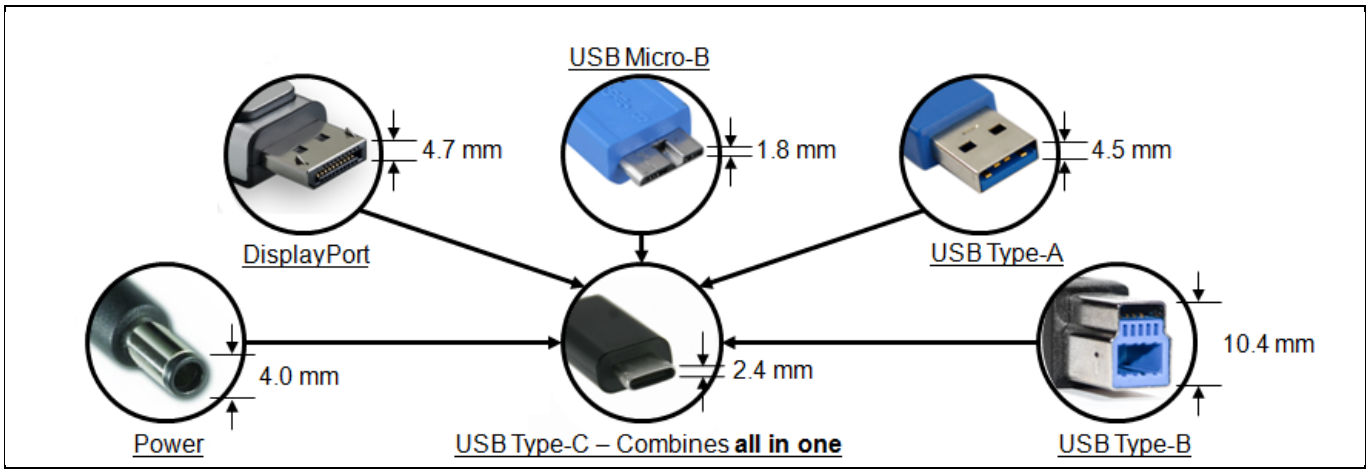


Figure 1 一本化された USB Type-C

2.1 USB Type-C の信号

フル機能の USB Type-C ケーブルは以下の信号を含みます。

- VCONN: Type-C ケーブル アセンブリ内の能動回路に 5V の電力を供給。VCONN は最初にダウンストリーム対向ポート (DFP) またはホストにより供給されるが、パワーロール スワップの後に、アップストリーム対向ポート (UFP) またはデバイスにより供給可能。
- VBUS: USB PD 仕様に定義されるホストおよびデバイス間のパワー ネゴシエーションに応じて、最大 20V, 5A の電力を供給できる。
- CC: USB-PD 通信専用のコンフィギュレーション チャネル。USB ホスト, ケーブルおよびデバイスの間で共有。
- Dn/Dp: ホストとデバイス間の USB 2.0 通信用の標準 USB 2.0 ライン。

- RX/TX ライン: フル機能の USB Type-C ケーブル アセンブリ内の RX および TX 差動ペアの 2 個。ケーブル アセンブリが接続される方向に応じて、随時 RX および TX ペアの 1 個を USB 3.0 通信に使用可能。詳しくは「USB Type-C 接続方向検出」を参照。
- SBU1/SBU2: オーディオなどの補助信号を送信するために代替モードで使用されるサイドバンド使用の信号ライン。この信号の詳細については、USB Type-C 仕様を参照。

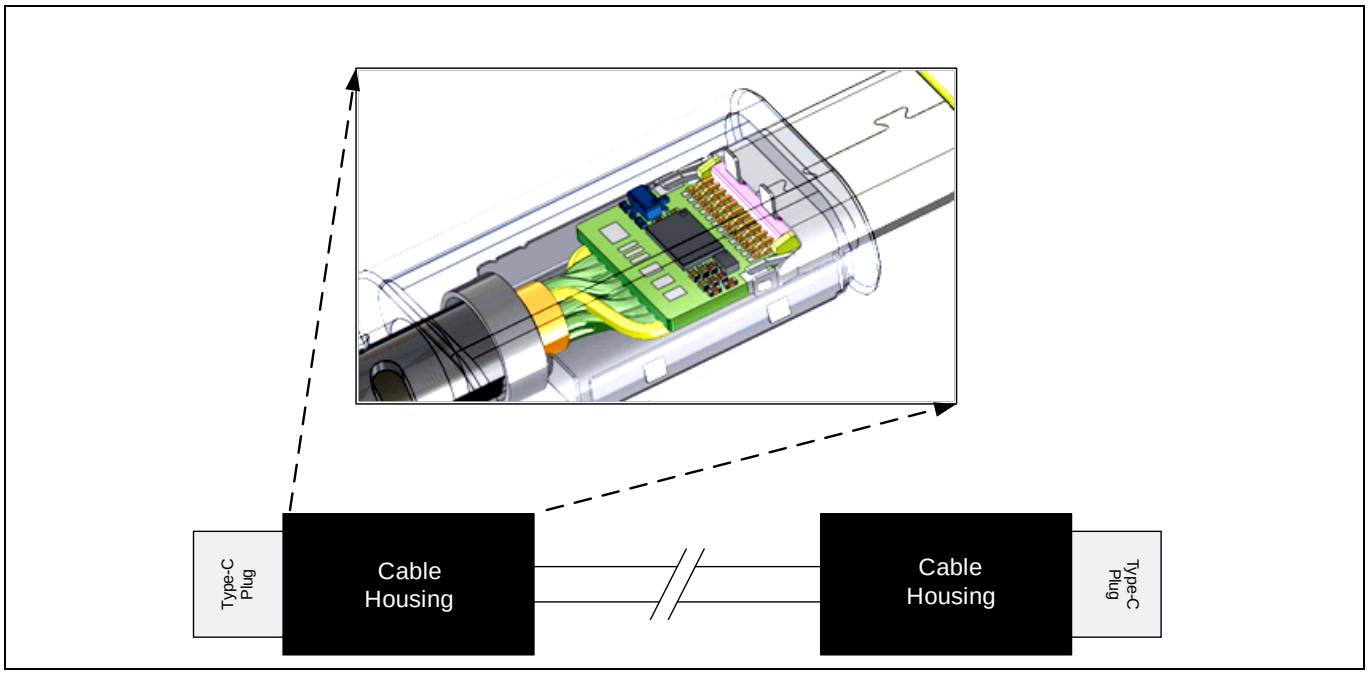


Figure 2 USB Type-C コネクタ ハウジング

2.2 基本用語

SOP*: SOP は Start of Packet (パケットの開始) の略です。PD は SOP*シーケンスで開始します。**USB PD specification** をご覧ください。

DFP: ダウンストリーム対向ポート (Downstream facing port) はデバイスの接続相手であるホストやハブにある USB Type-C ポートです。

UFP: アップストリーム対向ポート (Upstream facing port) はホストやハブにある DFP へ接続するデバイスとハブにある USB Type-C ポートです。

2.3 USB Type-C 接続方向検出

DFP は内部で終端抵抗 R_p を CC ピン (CC1 および CC2) に接続しています。一方 UFP は終端抵抗 R_d を CC ピンに接続しています (**Figure 3**)。ケーブルは終端抵抗 R_a を VCONN ピンに接続しています。終端抵抗 R_p と R_d を CC ピンに接続する目的は、DFP から UFP への接続と通信用に使用される CC ピンを識別するためです。ケーブルが接続された時 DFP は両方の CC ピンを監視して、その未終端電圧より小さい電圧を検出します。

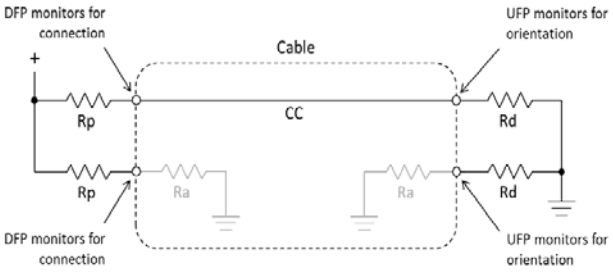


Figure 3　USB Type-C 接続方向の検出 [1]

Type-C レセプタクルの CC ピン (CC1 または CC2) で UFP 内の R_d 終端を検出することにより、DFP は、(2 つのペアから) どの SuperSpeed (SS) USB 信号が接続用に使用されかを決定し、機能の切り替えを制御して、適切な SuperSpeed USB 信号ペアをルーティングします。

同じように UFP は、DFP 内で終端される CC ピンを検出し、機能の切り替えを制御して、適切な SuperSpeed USB 信号ペアをルーティングします。接続が確立された後に、DFP は CC1 または CC2 を再度割り当て、プラグの VCONN ピンからケーブルに電力供給します。Type-C 接続および方向検出メカニズムの詳細については、**Type-C 仕様**を参照してください。

1出典: USB **Type-C 仕様**

3 回路設計の要件

本節では CCG2 を用いる EMCA の回路設計要件について説明します。以下 3 つのアプリケーション シナリオは参考用です。

3.1 ケーブルに 1 個の CCG2 チップがある EMCA ソリューション

この EMCA ソリューションは片方のプラグに 1 つの CCG2 チップを有します。このソリューションは、ケーブル (チップではなく) を介した VCONN の配線を必要とします。これは、どちらのプラグがホスト (DFP) に接続されるかにかかわらず、(ケーブルの一方の端に配置される) チップが VCONN1 と VCONN2 のいずれかにより電力供給されるためです。

ケーブルがエニュメレーションされた後に、ホストは VCONN 電源をオフにすることがあります。このアプリケーションの重要かつユニークな要件の 1 つは、2 つの別個の VCONN ピンからチップに電力供給することです (**Figure 4**)。このソリューションはプラグの間に専用の配線を必要とします。このアプリケーションでは、CCG2 デバイスの GPIO ピン (WLCSP パッケージのボール D3 または DFN パッケージのピン 13) を必ずフローティングにしてください。

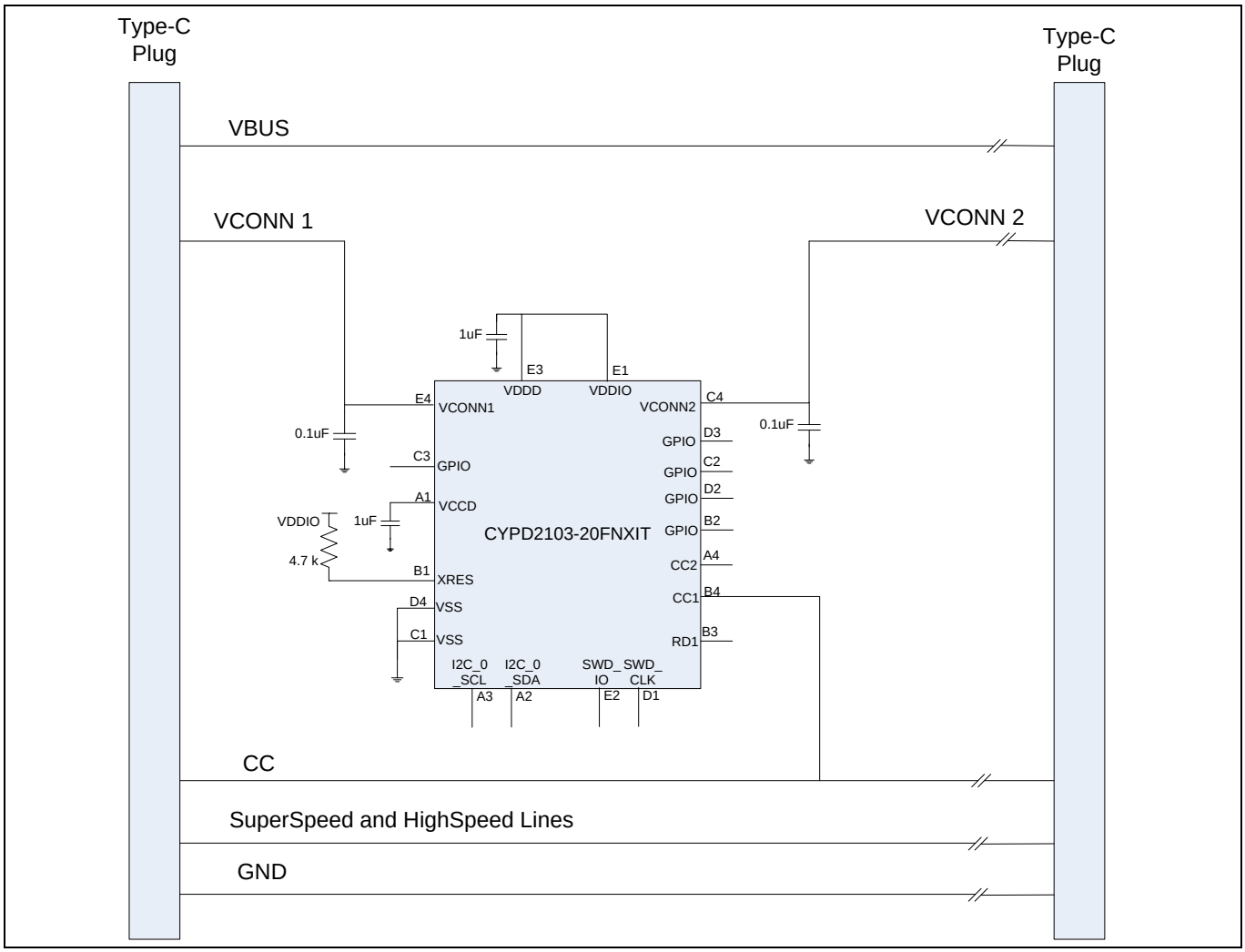


Figure 4 シングル CCG2 ベース EMCA ケーブル ソリューションの電源システム推奨事項

*Note: **Figure 4** は参考例であり WLCSP パッケージに基づいています。DFN 参考回路の詳細については、**付録**をご覧ください。*

3.2 ケーブルに 2 個の CCG2 チップがある EMCA ソリューション (使用時は 1 個の CCG2 がアクティブ)

この EMCA ソリューションは 2 個の CCG2 デバイス (プラグごとに 1 個) を備えていますが、使用時は 1 個のみがアクティブです。このソリューションでは VCONN 信号をケーブルに渡つて配線せず、各プラグ内の CCG2 デバイスで終了します。また VCONN を提供する DFP 側にある CCG2 デバイスだけが電力供給されます。ケーブルがエニュメレーションされた後に、ホストは VCONN 電源をオフにすることがあります。**Figure 5** に示すように、このケーブルでは VCONN 配線をケーブル全長に渡り配線することはなく、線材のコストを節約します。

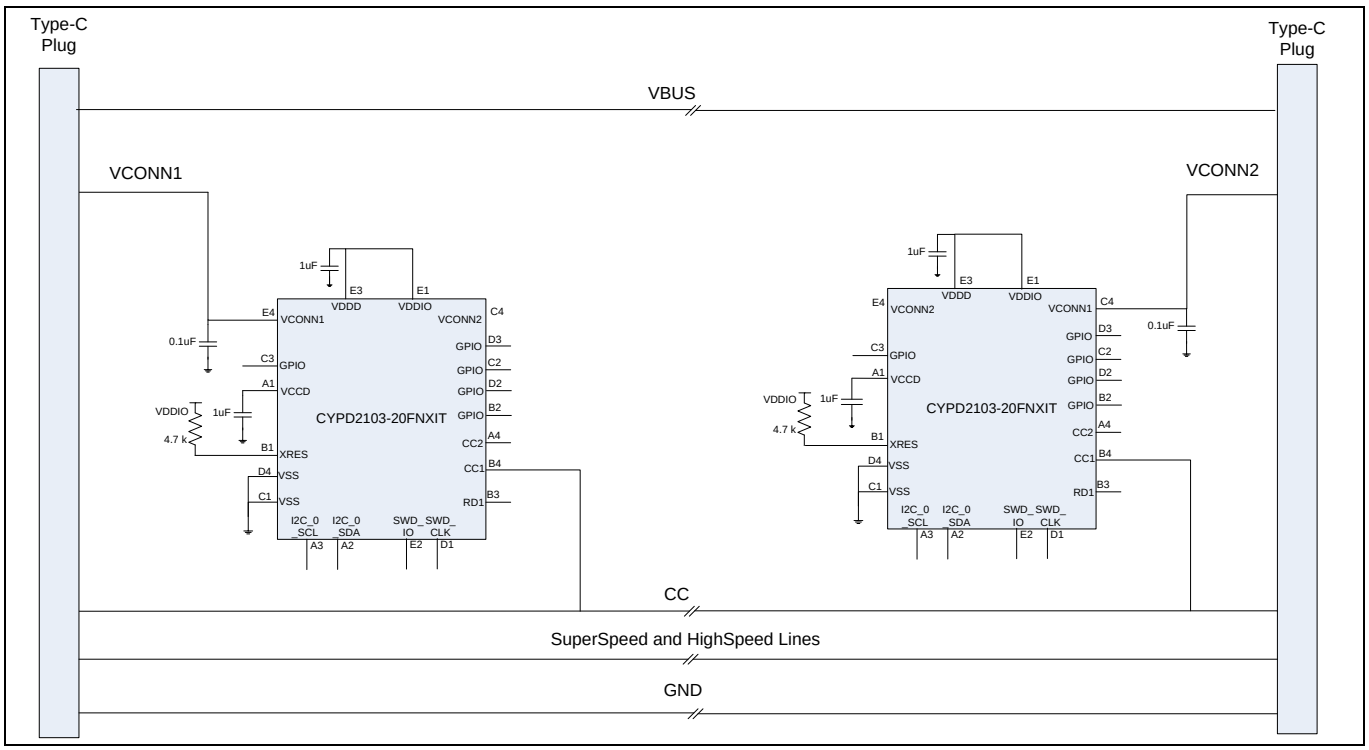


Figure 5 デュアル CCG2 ベース EMCA ケーブル ソリューションの電源システム推奨事項

*Note: **Figure 5** は参考例であり WLCSP パッケージに基づいています。DFN 参考回路の詳細については、**付録**をご覧ください。*

3.3 ケーブルに 2 個の CCG2 チップがあるアクティブ EMCA ソリューション (両方の CCG2 がアクティブ)

この EMCA ソリューションは 2 個の CCG2 デバイス (プラグごとに 1 個) を備えています。両方の CCG2 は同時にアクティブです。このソリューションの典型的な使用事例はアクティブ ケーブルです。アクティブ EMCA の重要な機能は、データパス上にリドライバを追加することにより、信号調整機能を提供することです。コンフィギュレーションまたは信号調整を必要とするアクティブ ケーブルは「マネージド アクティブ ケーブル」と呼ばれています。マネージド アクティブ ケーブルがケーブルのそれぞれの端に独立した管理または信号調整を要求する場合、USB PD の構造化ベンダ定義メッセージ (VDMs) は各プラグ個別になければなりません。VDM の詳細については、**USB PD specification** を参照してください。

このアクティブ ケーブル ソリューションは 2 個の CCG2 チップ (各プラグに 1 個) を持っています。VCONN はケーブルに渡って配線されますが、2 つのコネクタの間に直結されません。このソリューションでは、ケーブルがリバーシブルになるように配線されます (**Figure 6**)。このアプリケーションでは、両

回路設計の要件

方の CCG2 デバイスの GPIO ピン (WLCSP パッケージのボール D3 または DFN パッケージのピン 13)を必ずグランドにプルダウンしてください。

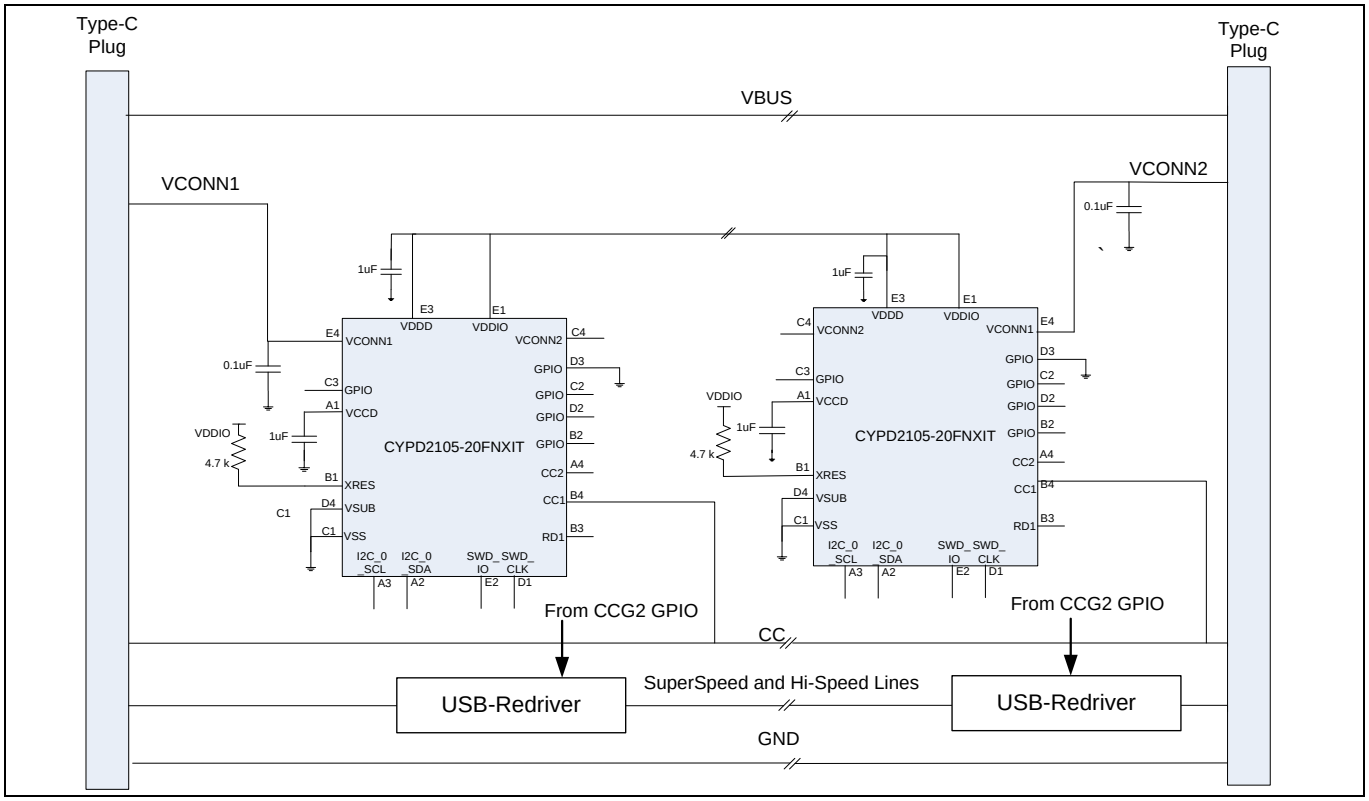


Figure 6　電源システム推奨事項 (両方のチップがアクティブ)

Note: ***Figure 6*** *は参考例であり WLCSP パッケージに基づいています。*

4 電源システム

CCG2 は、VCONN1 および VCONN2 の 2 つの電源系統の内の 1 つにより動作できます。**Figure 4** および **Figure 5** に、シングルおよびデュアル CCG2 ベース EMCA ケーブル向けに推奨される電源デカップリング回路を示します。

CCG2 は少なくとも 5 個の受動素子を必要とします。

- リセット プルアップ: CCG2 チップがリセット状態のままにならないように XRES ラインを VDDIO に常にプルアップする
- VCONN レール デカップリング コンデンサ: 0.1 µF コンデンサを VCONN ラインに配置して、CCG2 チップの ESD 性能を満たす (IEC61000-4-2 レベル 4C に従って、±8kV 接触放電および±15kV 気中放電)
- VDDD レール デカップリング コンデンサ: CCG2 レギュレータおよび全てのペリフェラルは内部で VDDD から電力供給される。チップの性能を確保するために、きれいな DC 電圧をこのピンに与えます。この系統のリップルを低減するために、1 µF のデカップリング コンデンサを使用する
- VCCD レール デカップリング コンデンサ: VCCD は 1.8V の内部レギュレータ出力。電源を安定化し系統のリップルを低減するために、1 µF のデカップリング コンデンサを必ず配置する
- VDDIO レール デカップリング コンデンサ: CCG2 内部の GPIO バッファはこの系統から電力供給される。この系統が別個の電源から電力供給される場合、1 µF デカップリング コンデンサを配置してリップルを低減する。この系統は Figure 4, Figure 5, Figure 6 に示すケーブル アプリケーションで VDDD に短絡することができる

Note: *さらに Type-C 仕様に従って、4 個のコンデンサが Type-C コネクタの VBUS ピンに必要です。10nF バイパス コンデンサ (電圧定格 30V 以上) はフル機能のケーブルの VBUS ピンのケーブル両端それぞれに必要です。バイパス コンデンサはできるだけ Type-C コネクタの VBUS ピンの近くに配置します。詳細については、**Type-C specification** を参照してください。*

Table 2 にこれら受動素子の推奨値を示します。

Table 2 受動素子の推奨値

受動素子	推奨値
XRES プルアップ	4.7kΩ
VCONN デカップリング コンデンサ	使用される系統ごとに 0.1µF
VDDD デカップリング コンデンサ	1µF
VCCD デカップリング コンデンサ	1µF
VDDIO デカップリング コンデンサ (個別の系統から電源供給される場合)	1µF
VBUS バイパス コンデンサ	VBUS ピンごとに 10nF

CCG2 アプリケーション別に最低限必要な部品を **Table 3** に示します。

Table 3 アプリケーション別 CCG2 部品表

アプリケーション	回路図	最低限必要な部品点数	内容
ケーブルに 1 個の CCG2 チップがある EMCA ソリューション	**Figure 4**	5	4 個のデカップリング コンデンサ, 1 個の XRES プルアップ抵抗

アプリケーション	回路図	最低限必要な部品点数	内容
ケーブルに 2 個の CCG2 がある EMCA ソリューション (使用時は 1 個の CCG2 がアクティブ)	Figure 5	8	チップごとに、3 個のデカップリング コンデンサと 1 個の XRES プルアップ抵抗
ケーブルに 2 個の CCG2 があるアクティブ EMCA ソリューション (両方の CCG2 がアクティブ)	Figure 6	8	チップごとに、3 個のデカップリング コンデンサと 1 個の XRES プルアップ抵抗

4.1 VCONN の選択

CCG2 には 2 個の VCONN (VCONN_1 および VCONN_2) 端子があります。両端子は内部でダイオード介してまとめられチップの VDDD パッドに電力供給します。VDD 系統はチップの残りの部分に電力供給します (Figure 7)。

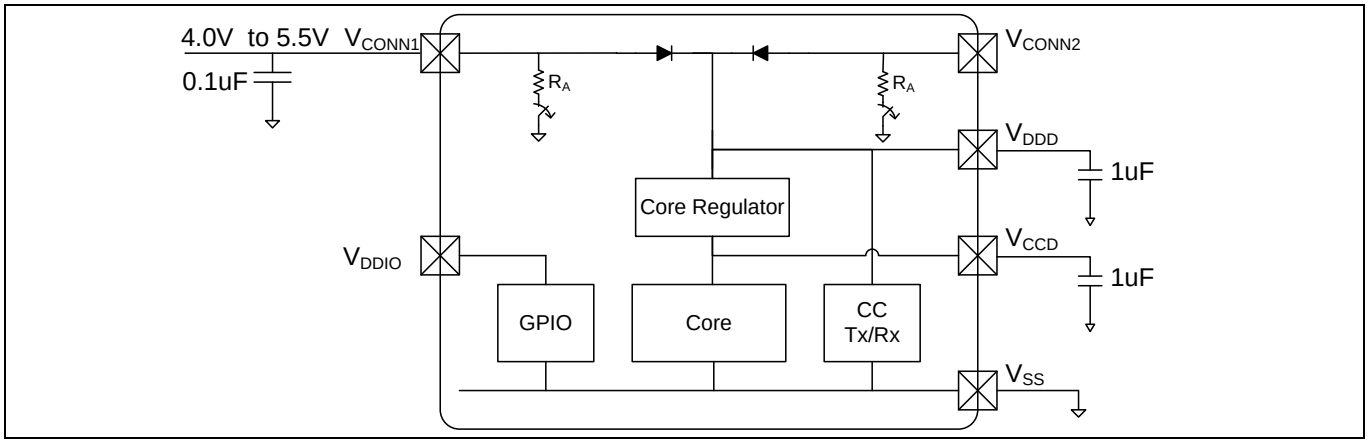


Figure 7 CCG2 の電源とコンデンサ配置

4.2 認証チップの接続

いじり止め認証を必要とするアプリケーションでは、CCG2 を外部の認証チップに接続します。このチップにより、特定のベンダーが提供するケーブルのみがベンダー ホストと動作すること、認証が失敗すればホストがネゴシエーションを直ちに終了させることができます。認証チップは Figure 8 に示すように接続します。U2 は I²C スレーブインターフェース付きの認証デバイスです。

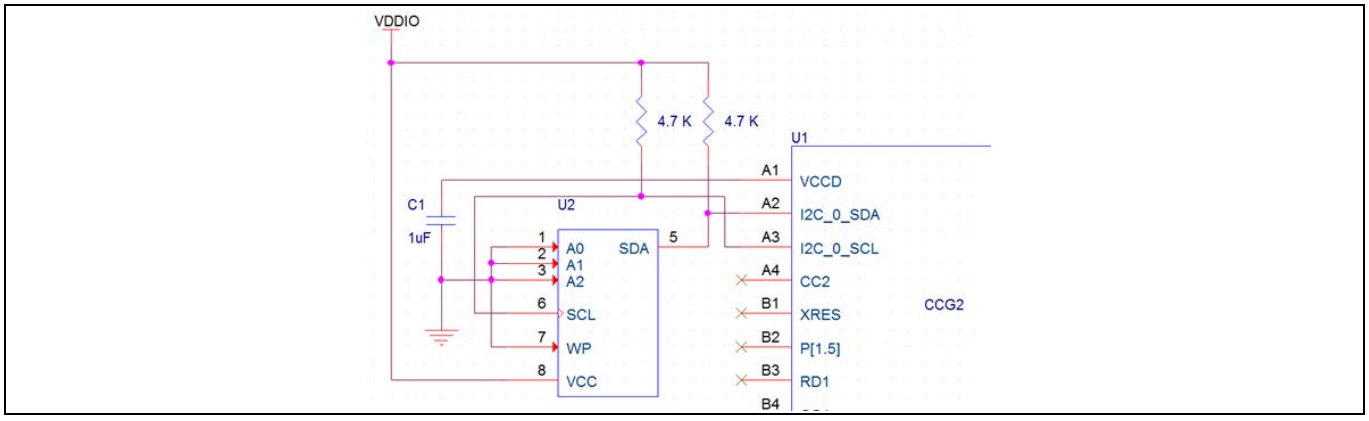


Figure 8 認証チップの接続

5 プリント基板レイアウト ガイドライン

本節では基板設計のガイドラインを説明します。電源と USB 信号の配線方法、基板に部品を配置する推奨事項を説明します。 部品定数の推奨値については、**電源システム**の節をご覧ください。

5.1 電源ドメイン

CCG2 デバイスは DFP から供給される VCONN 電源によって動作します。電源システム ネットワークを設計する際には、以下の事項に注意してください。

- バルク コンデンサとデカップリング コンデンサの配置
- 電源面とグランド面の配置

5.1.1 バルク コンデンサとデカップリング コンデンサの配置

高周波ノイズをバイパスするために、デカップリング コンデンサを VCONN, VDDD および VCCD ピンの近くに配置します (**Figure 9**)。電源ピンのローカル電源として動作するバルク コンデンサは、CCG2 の VDDD ピンの近くに配置します。

電源ラインの配線幅を電源パッドの幅と同じにします。電源ピンを電源層に接続するために、ビアを電源パッドの直近に配置します。これによりライン上の浮遊インダクタンスと IR ドロップが最小限になります。

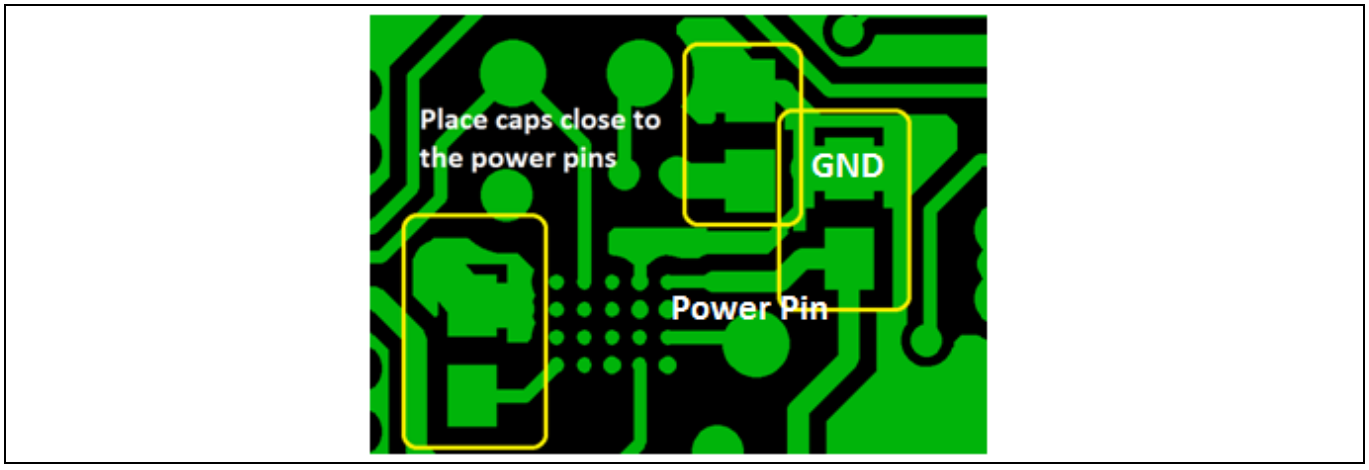


Figure 9 コンデンサの配置

5.1.2 電源層とグランド層の配置

静電容量を得るために、電源層をグランド層の近くに配置します。層間に発生する静電容量は高周波ノイズをフィルターする分布定数的デカップリング コンデンサとして動作して、不要輻射を減少させます。

5.2 USB データ ラインの配線

USB Type-C ケーブルは、ケーブルの設計に応じて 2 個のプリント基板 (パドル カードと呼ばれる) から構成されます。Type-C 仕様に従って、フル機能の Type-C ケーブルはすべて電子的に捺印する必要があるため、これらのパドル カードを使用します。

USB データラインは CCG2 に直接接続されませんが、パドル カード設計でそれらがどのように扱われるか十分に注意してください。良好な信号品質を確保し不要輻射を低減するために USB データ ラインは非常に重要です。パドル カードを設計するために以下のガイドラインに従ってください。

- パドル カードに高性能の基板材料を使用する
- USB SuperSpeed 配線はできる限り短くする
- 配線の差動インピーダンスを 90Ω とする
- 差動 SS ペアの配線長の差を 0.12mm (5mil) 以内にする
- ハイスピード (D+と D–) 信号の配線長の差を 1.25mm (50mil) 以内にする
- 差動ペアの間隔が 0.5mm 以上であることを確認する
- 必要に応じて、USB レセプタクルに近いハイスピード信号配線の長さを調整する
- USB レセプタクル近くの SS Rx 信号の配線長を調整する。必要に応じて、デバイス近くの SS Tx 信号の配線長を調整する
- 接地コプレーナ線路 (CPWG) を送信ライン方式として選択する (Figure 10)

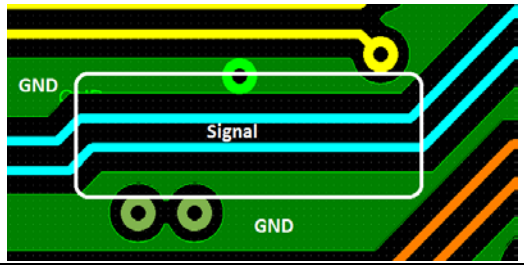


Figure 10　CPWG の例

- ビアの使用を最小限に抑える
- Figure 11 に示すように、VBUS ピンをグループ化する (全ての VBUS ピンがビアを使って同じ面に引き出される)

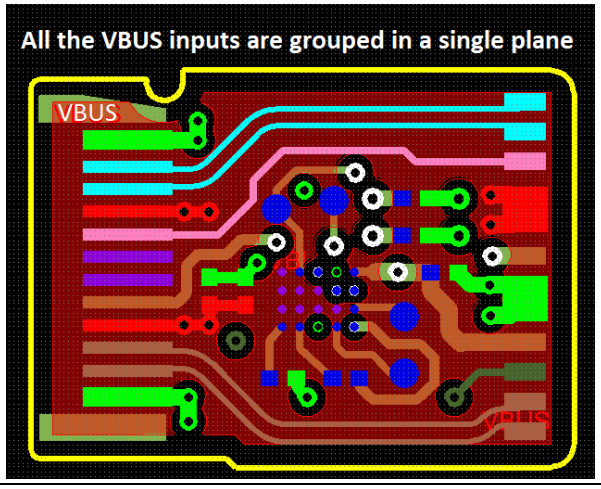


Figure 11　全ての VBUS ピンをグループ化

- 同じように GND ピンをグループ化する (全ての GND ピンがビアを使って同じ面に引き出される)
- 同軸ケーブルのシールドをハンダ付けするためにグランド パッドを追加する

5.2.1 32mil 厚 6 層基板の例

標準的な 32mil (0.8mm) 厚のプリント基板に推奨する層構成を **Figure 12** に示します。この層構成で平衡線路を配線する場合、配線幅 (W) を「x」mil、間隔 (S) を「y」mil、差動インピーダンスを 90Ω として計算します。

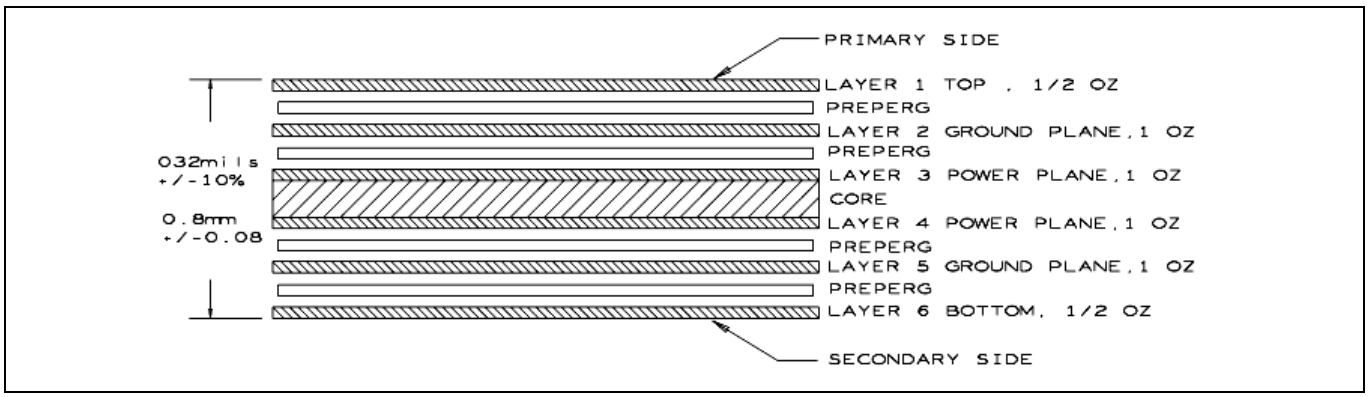


Figure 12 基板の層構成

5.2.2 インピーダンス整合

インピーダンスの不整合を防ぐために、**Figure 13** 示すように差動ペアは一定の配線幅と間隔を維持します。

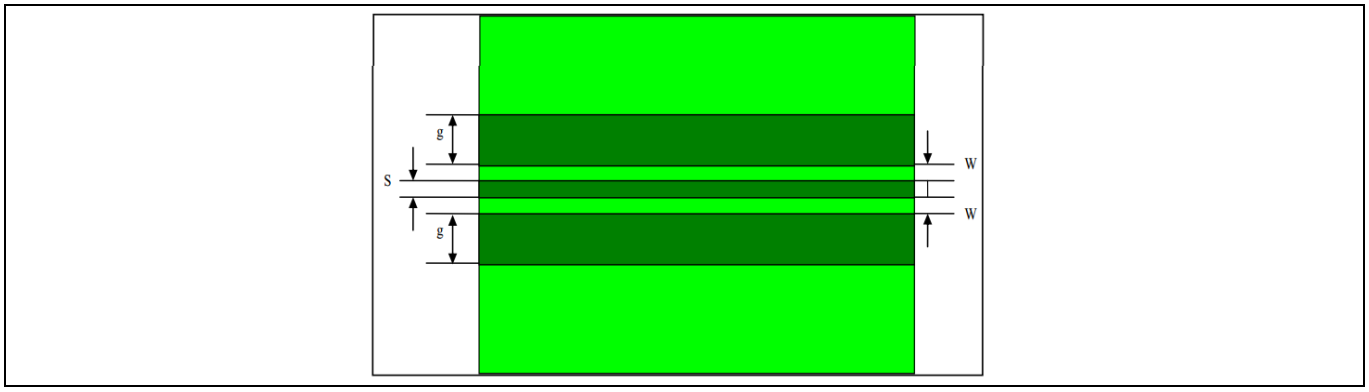


Figure 13 図 1. 差動ペアの配置

- 「g」は線路と同一面上にある他の配線との最小間隔 (8mil)
- 「W」は信号線の幅
- 「S」は差動ペア信号間の間隔

電流の帰還経路を確保するために、全ての SS 信号ラインをグランド層の隣の層に配線する必要があります。

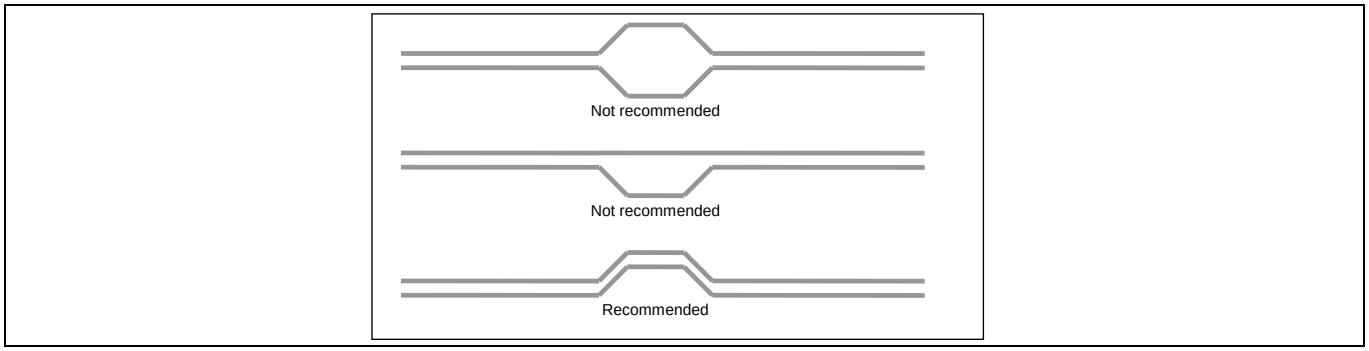


Figure 14　差動線路のインピーダンス整合の技術

SS 信号直下のグランド面が分割されるとインピーダンス不整合が発生し、ループ インダクタンスと不要輻射が増加します。**Figure 15** に、SS 信号直下に推奨されるベタ グランド面を示します。

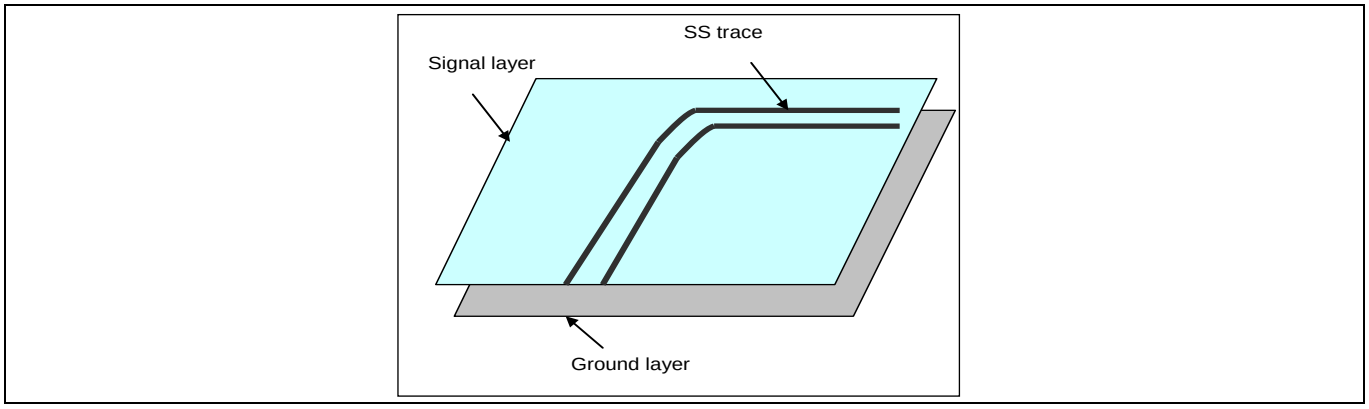


Figure 15　SS 信号直下のベタ グランド面

2 対の USB 配線が異なる層で互いに交差するときは、**Figure 16** に示すように、グランド層を 2 枚の USB 信号層の間に配置する必要があります。

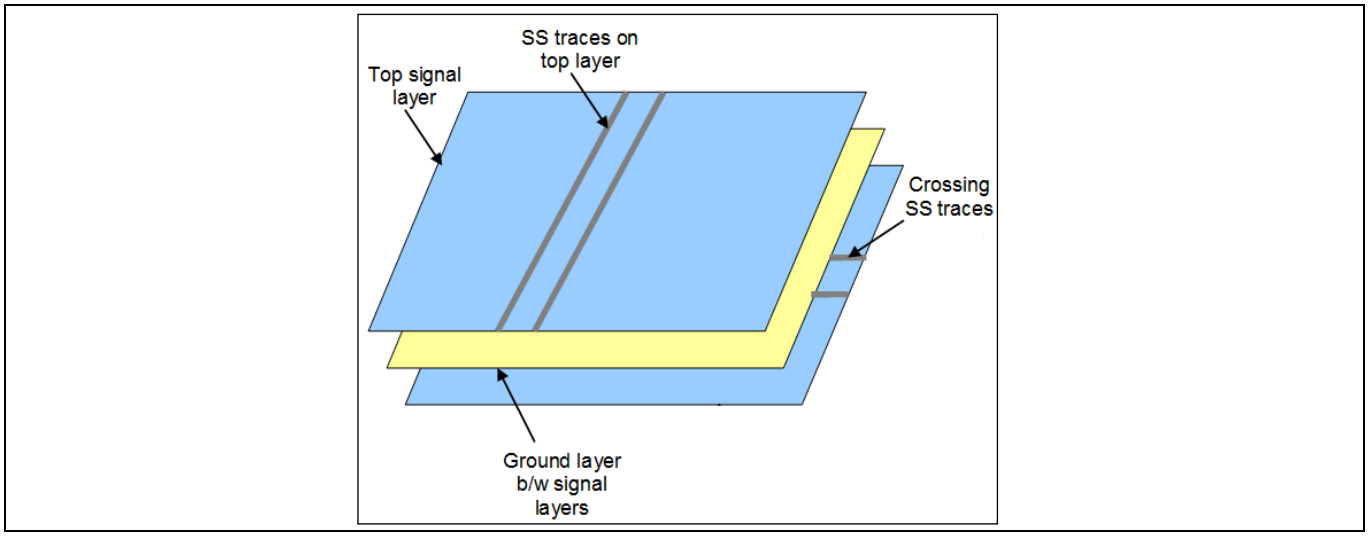


Figure 16　グランド層の挿入

5.3 信号ビアの配線

本節は SS 信号の配線に関する推奨事項について説明します。Type-C ケーブルのパドル カードなどのアプリケーションでは、寸法の制約によりこれらのガイドラインを全て守れないことがあります。

SS 信号は 1 つの層で配線されるべきです。ビアは信号線の不連続を発生させ、SS 信号品質に影響します。

SS 信号を他の層に配線する必要がある場合、一定のインピーダンスを確保するために連続的なグランドを維持します。このために **Figure 17** のようにグランド ビアを信号ビアの隣に配置します。信号ビアとグランド ビア間の距離は少なくとも 40mil にしてください。

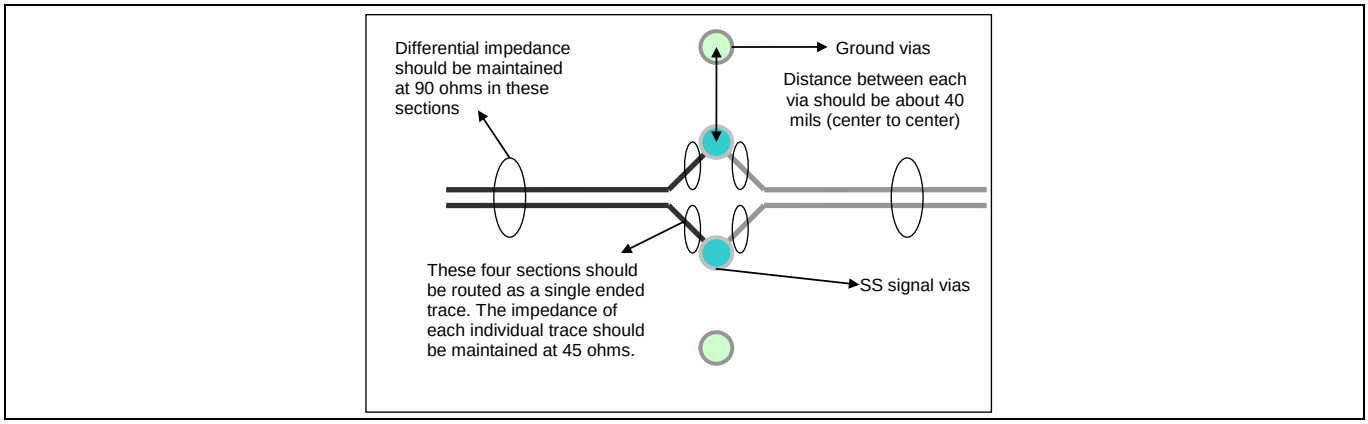


Figure 17 グランド ビア

SS 信号の差動ペアをひとまとめにして周囲の銅箔をくり抜きます。**Figure 18** に示す銅箔のくり抜きは、ビアを個々に配置する場合に比べてインピーダンス整合に適しています。

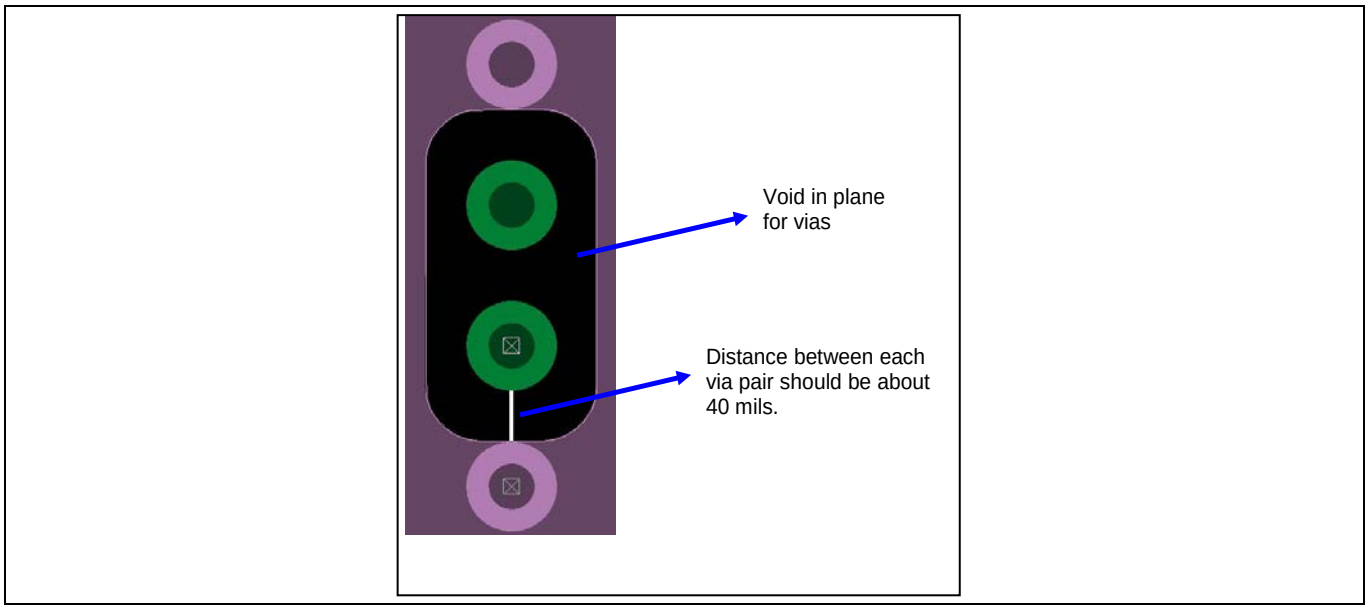


Figure 18 SS 配線周囲の銅箔くり抜き

USB 信号線はできるだけ曲げないようにします。特に直角に曲げないでください。曲げる必要がある場合 **Figure 19** のように、45 度または円弧 (曲線) で曲げてください。

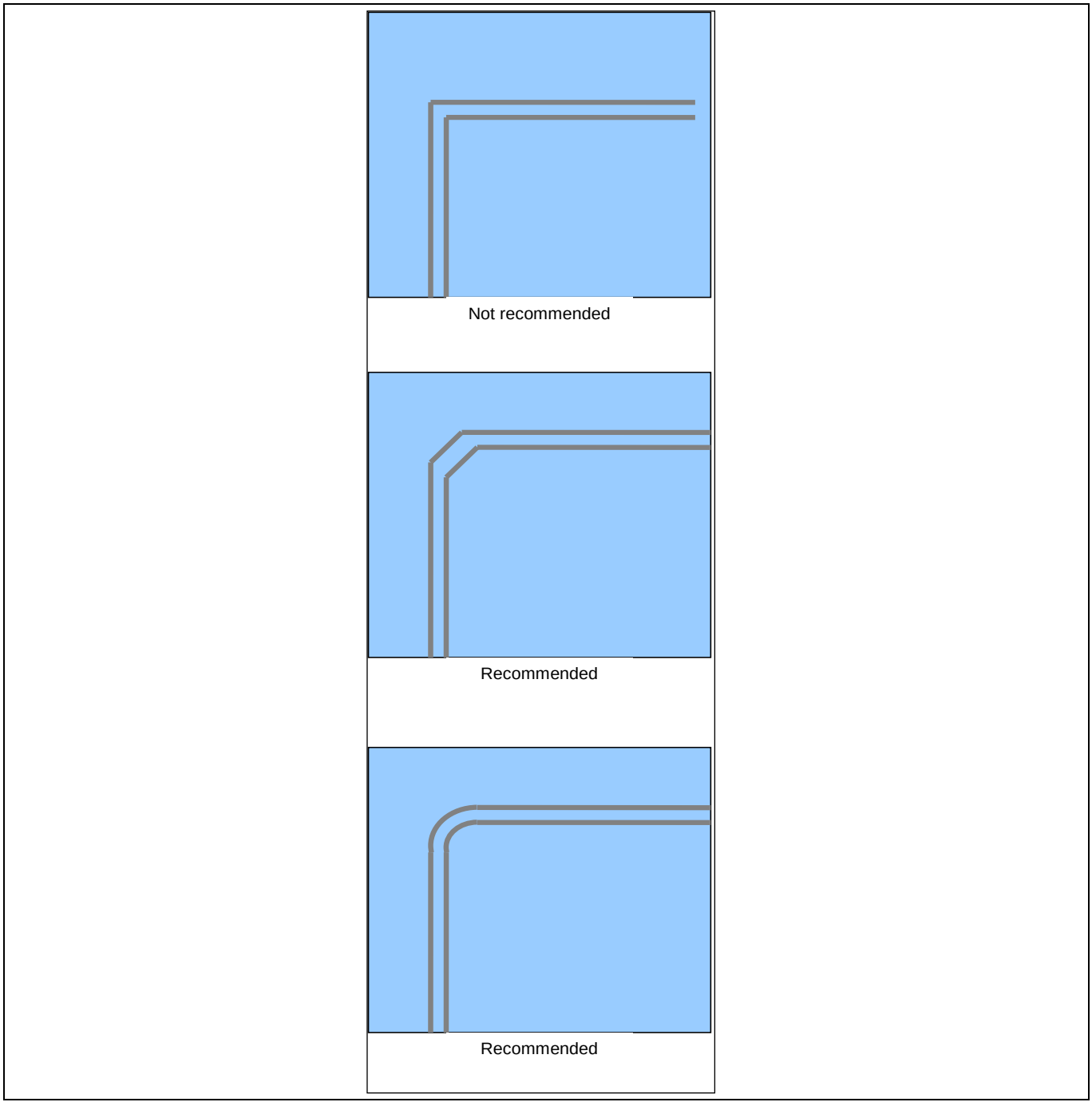


Figure 19　USB 信号線の曲り

6 まとめ

USB PD の動作には慎重なハードウェア設計が要求されます。本アプリケーション ノートのガイドラインに従うことで、お客様の CCG2 ベースのケーブル設計が初回の規格検査に合格する可能性があります。

7 付録- 部材リストおよび回路図

7.1 CCG2 ベース EMCA パドル カード参考部材リスト

Table 4 CCG2 ベースパドル カード参考部材リスト

番号	パドル カードごとの数量	参照名	内容
1	1	R1	抵抗 4.7kΩ
2	1 (2*)	C3*, C4	コンデンサ 0.1µF 16V
3	2	C1, C2	コンデンサ 1µF 16V
4	1	U1	CCG2 コントローラーIC
5	1	J1	USB Type-C プラグ コネクタ
6	4	C5, C6, C7, C8	コンデンサ 10nF 35V

* シングルチップ CCG2 EMCA ソリューションにのみ適用可能です。

7.2 シングル/デュアル チップ CCG2 (CSP) EMCA – CYPD2103-20FNXIT 向けパドル カード参考回路図

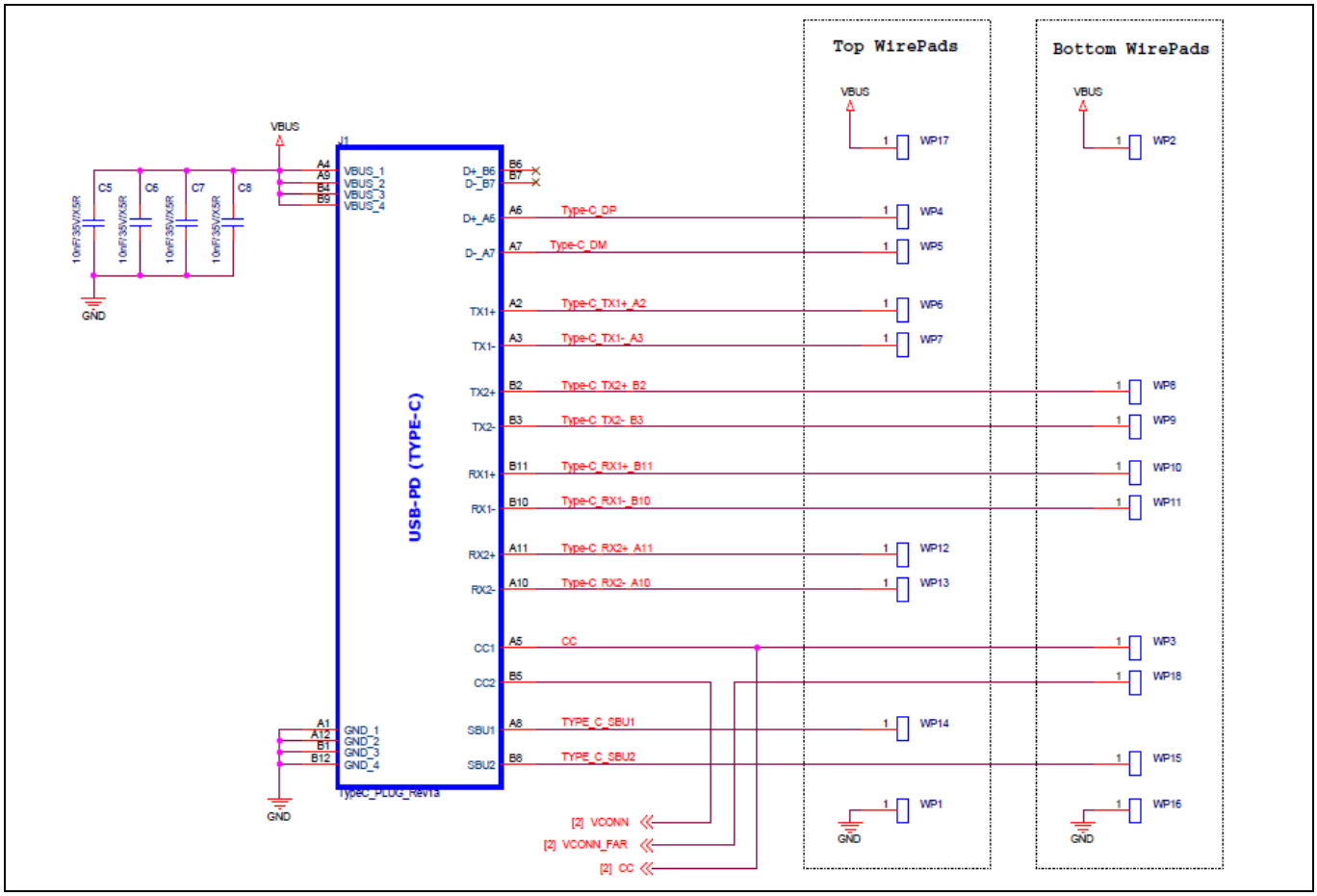


Figure 20 WLCSP ベースの参考回路図 (Type-C コネクタの部分)

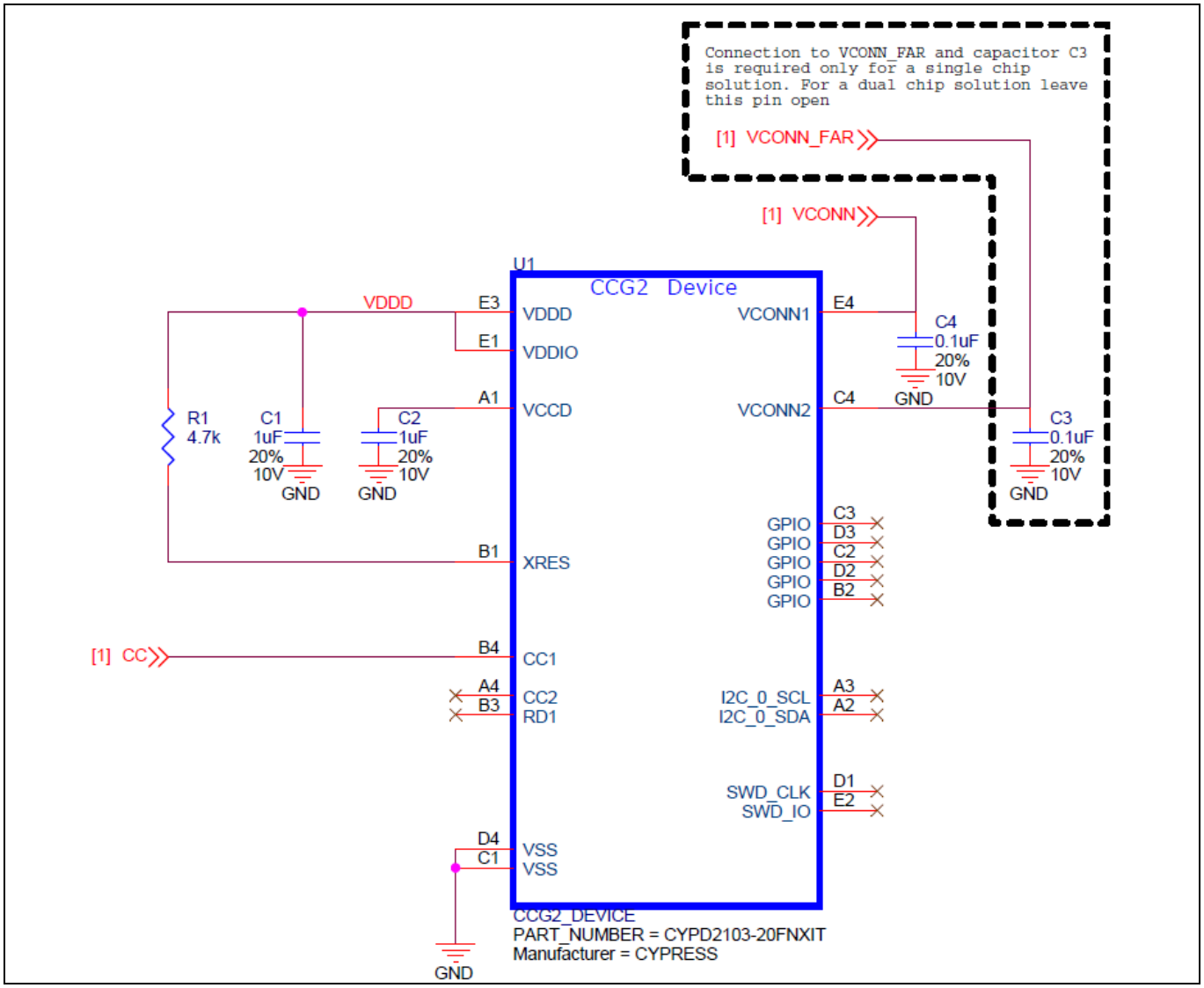


Figure 21 WLCSP ベースの参考回路図 (CCG2 コネクタの部分)

Note: *シングルチップ ソリューションのみに、VCONN_FAR およびコンデンサ C3 への接続が必要です。デュアルチップ ソリューションではこのピンを開放します。*

7.3 シングル/デュアル チップ CCG2 (DFN) EMCA – CYPD2103-14LHXIT 向けパドル カード参考回路図

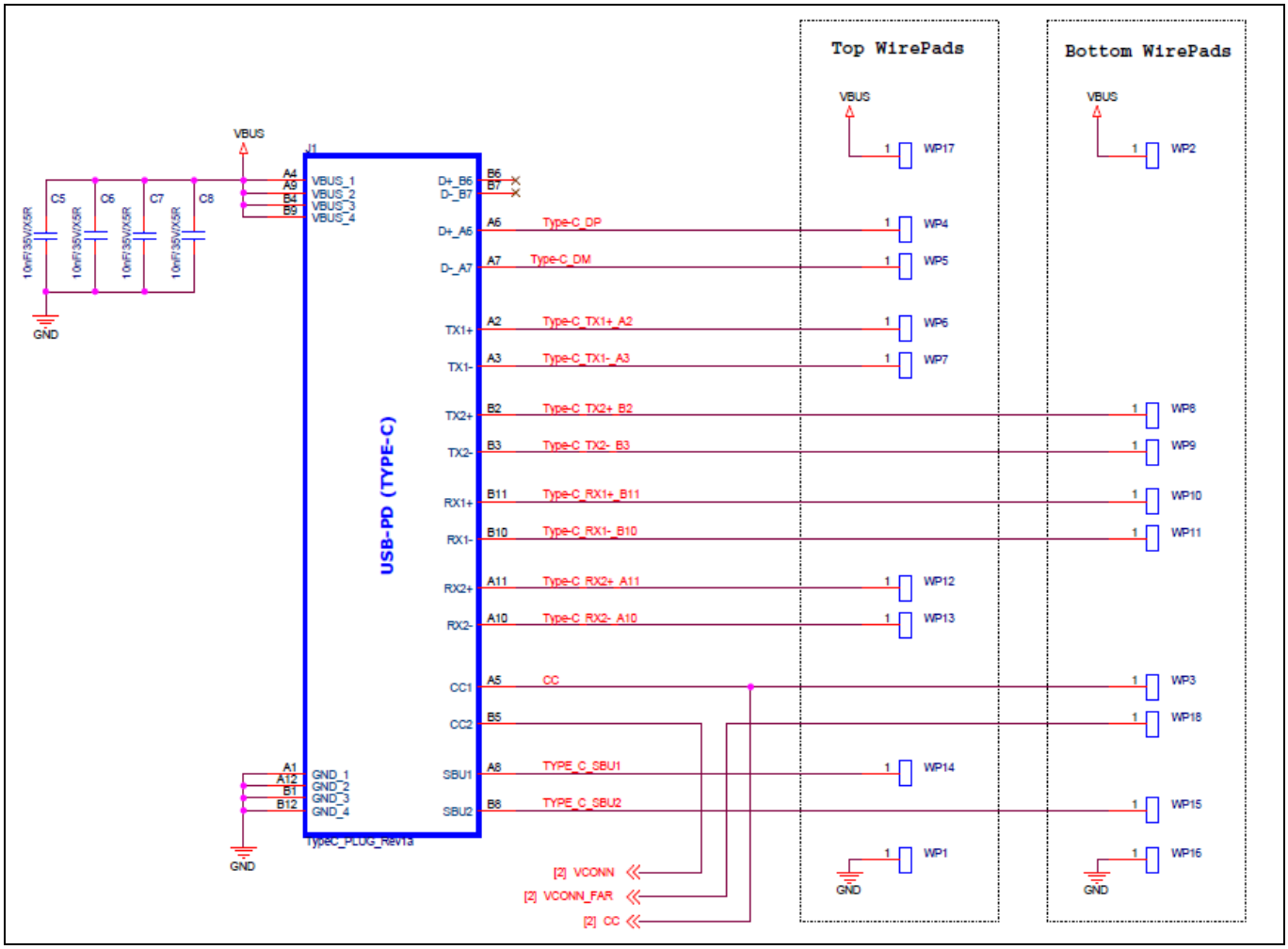


Figure 22 DFN ベース参考回路図 (Type-C コネクタの部分)

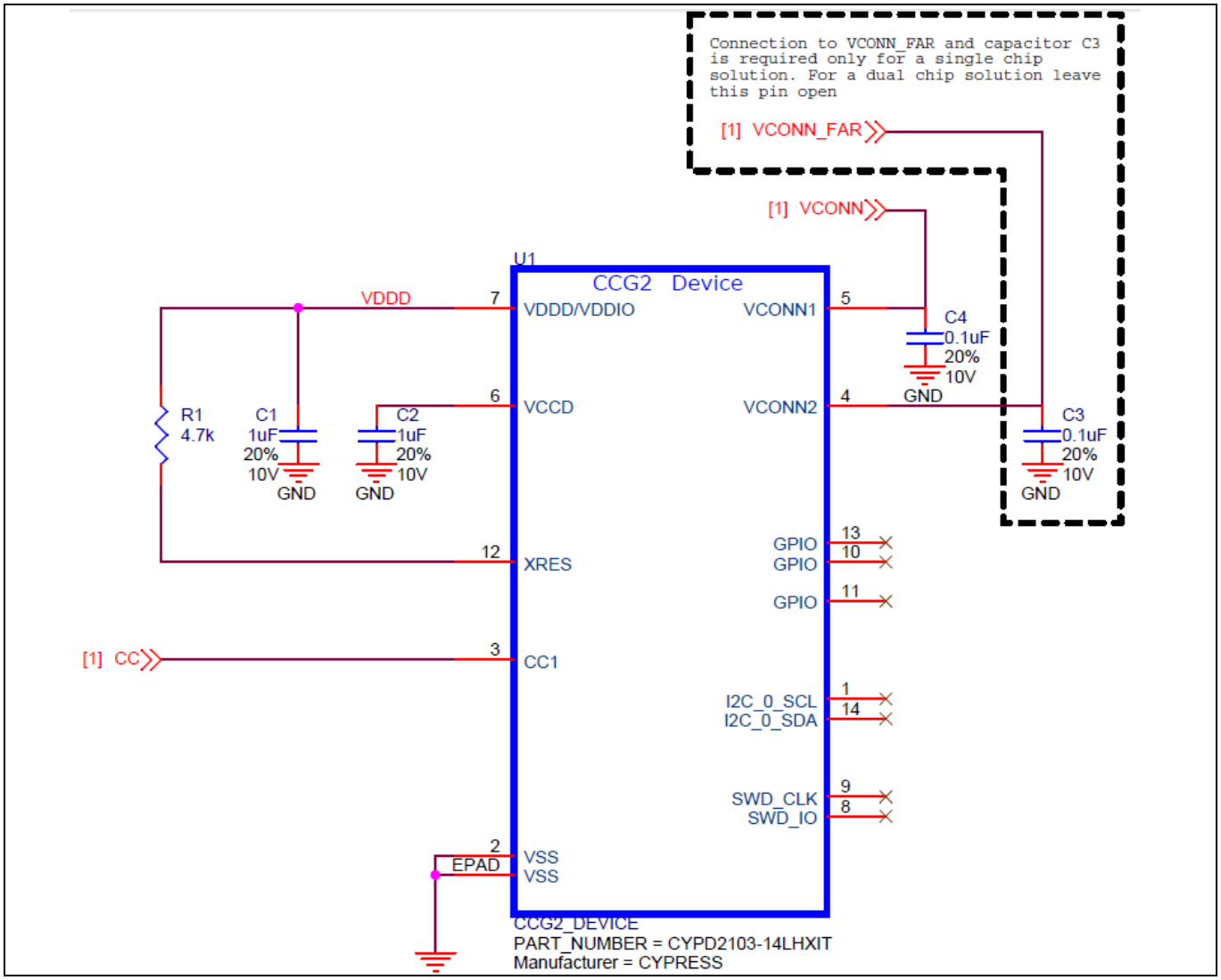


Figure 23 DFN ベース参考回路図 (CCG2 コネクタの部分)

Note: *シングルチップソリューションのみに、VCONN_FAR およびコンデンサ C3 への接続が必要です。デュアルチップソリューションではこのピンを開放します。*

改訂履歴

Document version	Date of release	Description of changes
**	2015-05-20	これは英語版 001-95599 Rev. **を翻訳した日本語版 001-97314 Rev. **です。
*A	2018-06-12	これは英語版 001-95599 Rev. *B を翻訳した日本語版 001-97314 Rev. *A です。
*B	2021-04-27	テンプレートの変更を実施。 これは英語版 001-95599 Rev. *C を翻訳した日本語版 Rev. *B です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2021-04-27
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2021 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?
Go to www.cypress.com/support

Document reference
001-97314 Rev. *B

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください（**www.infineon.com**）。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。