AN95089

# PSoC／PRoC BLE 水晶発振器の選択およびチューニング技術

**著者: Prakhar Agarwal、Rohit Gupta**

**関連製品ファミリ: CY8C6XXX-BL、CY8C4XXX-BL、CYBL1XX7X**

本アプリケーション ノート (AN95089) は、RF の良い性能を達成するために PSoC®／PRoC™ BLE デバイスの外部水晶発振器 (ECO) および時計用水晶発振器 (WCO) の選択とチューニングの詳しい知識を提供します。本書は、水晶振動子の基礎およびクロック精度の測定を紹介します。最適な性能のためサイプレスが推奨する水晶振動子およびチューニング技術も説明します。

## 目次

1 はじめに ..... 1
2 水晶発振器の基礎 ..... 2
2.1 水晶発振回路 ..... 2
2.2 負荷静電容量値 ($C_L$) ..... 2
2.3 水晶振動子の等価 RLC 回路 ..... 4
2.4 駆動レベル ..... 5
2.5 PPM 誤差 ..... 5
3 RF 性能に対する不正確な ECO 水晶周波数の影響 ..... 5
4 ECO の水晶チューニング技術 ..... 6
4.1 PSoC 4／PRoC BLE デバイス設計における水晶チューニング手順 ..... 7
4.2 PSoC 6 BLE デバイス設計における水晶チューニング手順 ..... 9
5 チューニングはすべての基板に必要なのか？ ..... 10
6 ECO の水晶分析 ..... 11
6.1 温度による周波数変動 ..... 11
6.2 負荷静電容量による周波数変動 ..... 11
7 サイプレスの外部水晶発振器 (ECO) に関する推奨事項 ..... 12
7.1 PSoC 4／PRoC BLE デバイスにおける ECO ..... 12
7.2 PSoC 6 BLE デバイスにおける ECO ..... 12
8 WCO の水晶分析 ..... 13
8.1 温度による周波数変動 ..... 13
8.2 起動時間および ESR ..... 13
8.3 負荷静電容量 ..... 14
8.4 CL およびクロック精度 ..... 15
8.5 基板の周波数のばらつき ..... 15
9 WCO 用の外部クロック ソースの使用 ..... 16
9.1 PSoC 4／PRoC BLE デバイスを用いた設計 ..... 16
9.2 PSoC 6 BLE デバイスを用いた設計 ..... 17
10 WCO の推奨事項 ..... 18
11 PCB レイアウトの注意事項 ..... 18
12 まとめ ..... 20
13 参考資料 ..... 20
Appendix A. 周波数誤差 (送信中心周波数許容誤差) ..... 22
改訂履歴 ..... 23

## 1 はじめに

本アプリケーション ノートは、PSoC／PRoC BLE デバイス用の ECO 水晶振動子と WCO 水晶振動子を選択し、最適な性能のためにチューニングするのを助けます。

Bluetooth Low Energy (BLE) はタイミングに敏感な技術であり、この技術では、不正確な ECO クロックが物理層の RF 性能を低下させ、同様に不正確な WCO クロックがペリフェラルの消費電力増加の原因となる場合があります。

外部水晶振動子を使用するオンチップ ECO 回路は、BLE サブシステム動作用のリファレンス クロックを合成するために使用されます。PSoC 4／PRoC BLE デバイスでは、この外部水晶振動子の周波数は 24MHz でなければなりません。Bluetooth Low Energy (BLE) 接続機能を備えた PSoC 6 MCU デバイス (以下、「*PSoC 6 BLE*」という) は 16MHz と 32MHz のどちらかの外部水晶振動子を選択するオプションを提供します。ECO クロックはリンク層の動作用にプロトコル タイミングを設定し、および物理層の RF 回路の搬送波周波数を発生させます。

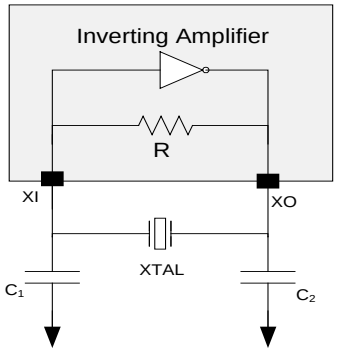
外部 WCO 水晶振動子は、BLE サブシステムが低消費電力モードにある時にリンク層のタイミング同期を維持する 32.768kHz クロックを得るために使用されます。

# 2 水晶発振器の基礎

## 2.1 水晶発振回路

典型的な水晶発振回路は図 1 に示します。発振回路は反転アンプ、フィードバック抵抗 (R)、2 個のコンデンサ ($C_1$ と $C_2$) および水晶振動子 (XTAL) から構成されます。

図 1. 基本的な水晶発振回路




通常動作中、水晶振動子およびコンデンサは、180 度の位相シフトと、出力から入力へおよそ水晶振動子の共振周波数での電圧ゲインを提供する π ネットワーク バンドパス フィルターを形成します。

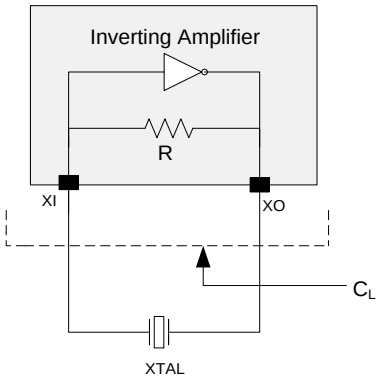
抵抗 R はフィードバック抵抗として動作し、動作のリニア領域内でインバータにバイアスを与え、高ゲイン反転アンプとして効果的に機能させます。

π ネットワークからの 180 度の位相シフトとインバータからの負のゲインの組み合わせは正のループゲイン (正のフィードバック) を発生させ、帰還抵抗で設定されたバイアス点を不安定にして発振させます。

## 2.2 負荷静電容量値 ($C_L$)

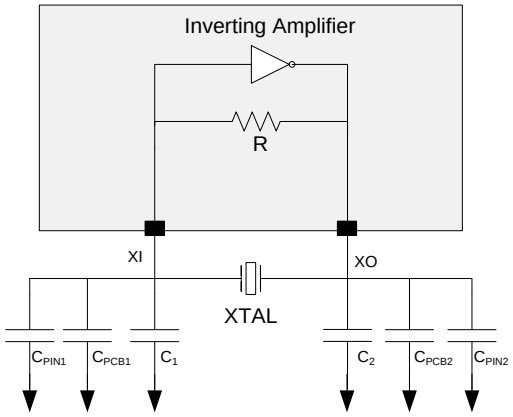
負荷静電容量は水晶振動子から見た、回路の残りの部分に存在する総静電容量です (図 2 を参照してください)。

図 2. 負荷静電容量




水晶発振回路の正常動作は総負荷静電容量の値 ($C_L$) によって決まります。この値は $C_1$ と $C_2$ コンデンサの 2 個だけではなく、寄生静電容量とピン容量も含みます。

図 3. 寄生静電容量とピン容量を含む総負荷静電容量




$C_{T1} = C_1 + C_{PCB1} + C_{PIN1}$

$C_{T2} = C_2 + C_{PCB2} + C_{PIN2}$

式 1

$$C_L = \frac{C_{T1} * C_{T2}}{C_{T1} + C_{T2}}$$

ここで、

$C_1$、$C_2$ = XI と XO でのノード容量

$C_{T1}$、$C_{T2}$ = 総ノード容量 (ピン容量と寄生静電容量を含む)

$C_{PCB1}$、$C_{PCB2}$ = 水晶振動子の PCB パッド間の寄生静電容量

$C_{PIN1}$、$C_{PIN2}$ = 発振器ピンの入力容量

$C_L$ = 水晶振動子から見た総負荷静電容量

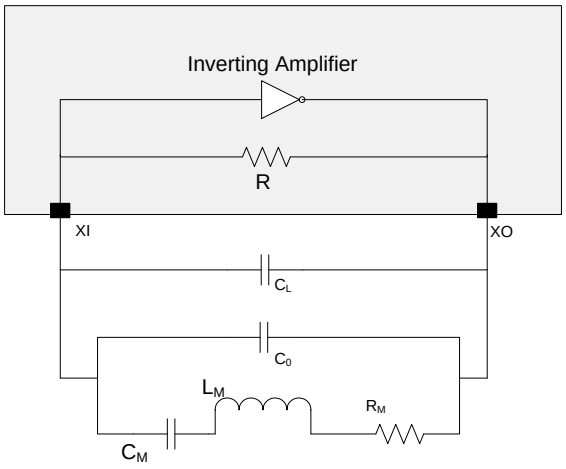
正確な水晶周波数を生成するために必要な負荷静電容量は水晶データシートで指定されています。図 1 の $C_1$ および $C_2$ のコンデンサは、式 1 の $C_L$ の値がデータシートの値に一致するよう選択する必要があります。PSoC 4／PRoC BLE デバイスの発振器は 8pF の負荷静電容量で動作するように設計されているため、8pF の負荷静電容量を持つ水晶振動子を選択する必要があります。PSoC 6 BLE デバイスでは、選択した水晶振動子の負荷静電容量は 8pF～12pF です。

受動的な水晶負荷回路が水晶振動子に必要な負荷静電容量 ($C_L$) を提供しない場合、水晶振動子は水晶データシートで指定された周波数で発振しません。低すぎる容量負荷は指定された値よりも高い水晶発振周波数になり、高すぎる容量負荷は低い発振周波数になります。この周波数オフセットは RF 搬送波周波数のオフセットおよびデバイスのシンボル タイミング精度に直接変換されます。

## 2.3 水晶振動子の等価 RLC 回路

図 4 に、水晶振動子の等価 RLC 回路を示します。

図 4. 水晶振動子の等価 RLC 回路




ここで、

$R_M$ = 水晶振動子の等価直列抵抗

$C_0$ = 並列容量

$C_L$ = 負荷静電容量

$C_M$ = 等価直列容量

$L_M$ = 等価直列インダクタンス

この回路は並列共振モードを表します。発振周波数は式 2 から得られます。

式 2

$$f_p = f_s * (1 + \frac{C_M}{2C_L})$$

ここで、$f_s = \frac{1}{2\pi\sqrt{L_M C_M}}$は発振器の直列共振周波数であり、$f_p$は発振の周波数です。

### 2.3.1 等価直列抵抗 (ESR)

この抵抗は水晶振動子等価回路の抵抗素子を表します。これは水晶振動子の固有共振周波数 (直列共振) での等価インピーダンスです。発振器アンプのゲインは ESR によって直接決まります: ESR 値が高いほど、発振器アンプが所望の周波数で発振するために必要なゲインは高くなります。

各チップの内部発振回路は、アンプのバイアス点が不安定になり、発振を引き起こすように、ESR の最大指定値で動作するよう設計されています。

水晶振動子の ESR は次の式で与えられます。

式 3

$$ESR = R_M * (1 + \frac{C_0}{C_L})^2$$

ESR 値は水晶のデータシートを参照してください。この値は水晶周波数によって決まり、通常は 20Ω～100Ω の範囲内です。

## 2.4 駆動レベル

これは水晶振動子の電力損失量 (µW 単位で) の尺度です。最大駆動レベルは、水晶振動子が指定された性能を維持しながら消費できる最大電力です。高い駆動レベルは不安定性や経時変化などの問題をもたらします。駆動レベルは、水晶振動子の早期経時変化および損傷を避けるように設計で考慮すべきです。設計の駆動レベル要件を満たす駆動レベル仕様を持つ水晶振動子を選択すべきです。

## 2.5 PPM 誤差

水晶クロックの精度は一般に 100 万分の 1 (ppm) で定義され、即ち、クロックの誤差は $10^6$ (100 万) のクロック周期で測定されます。

式 4

$$ppm = \frac{(measured\ freq - Expected\ freq)(in\ Hz)}{Expected\ freq\ (in\ MHz)}$$

例えば、24MHz の水晶発振器が 23.999928MHz のクロックを提供する場合、クロックの精度は -72/24 = -3ppm です。

ppm の変化には多くの理由があります。その中のいくつかを以下に説明します。

**初期許容誤差 (ppm):** 同一の条件 (温度、PCB レイアウト、電圧など) 下で異なるデバイスに対する水晶の公称周波数からのオフセットです。これはデータシート パラメーターです。

**温度ドリフト (ppm):** 温度に対する水晶の公称周波数からの偏差です。

**経時変化 (ppm/年):** 一年間で水晶振動子の発振の周波数の累積的変化です。経時変化による変化は年によって異なっています。この変化は初年度では+/-1ppm であり、15 年後では+/-20ppm になることがあります。

**可変幅**: 負荷静電容量の変化による水晶発振器周波数の変化です。通常は 20ppm/pF です。寄生負荷静電容量は 2.5～3.5pF の範囲で変化し、これにより BLE 仕様の+/-50ppm 制限の範囲外にシフトする場合があり得ます。そのため、水晶の負荷静電容量値を選択する際には、基板の寄生静電容量を考慮する必要があります。

**寄生静電容量:** PCB とピン入力からの浮遊容量であり、水晶振動子から見た全体的な寄生静電容量に加えます。この寄生静電容量で負荷静電容量値が異なります。

# 3 RF 性能に対する不正確な ECO 水晶周波数の影響

BLE 経由で送信されるデータのシンボル レートは、1 メガシンボル/秒(1µs のシンボル タイミング) または 2 メガシンボル/秒 (0.5µs のシンボル タイミング) です。ここでは、シンボルは搬送波を変調するベースバンド信号の1ビットのことです。最高の RF 性能のためには、シンボル タイミングの精度は±50ppm より良い必要があります。また、パケット送信時の RF 中心周波数のオフセットは±150kHz を超えてはなりません (「周波数誤差 (送信中心周波数許容誤差)」を参照してください)。

シンボル タイミングと中心周波数は PSoC／PRoC BLE デバイスに搭載された水晶発振器から生成されます。PSoC 4／PRoC BLE デバイスに搭載された水晶発振器は 24MHz の水晶を使用する必要がありますが、PSoC 6 BLE デバイスに搭載された水晶発振器は 16MHz と 32MHz 両方の水晶に対応しています。水晶発振器クロックのオフセットが RF 性能に直接影響するため、BLE 仕様を満たす水晶を使用するべきです。

トランスミッタの RF 中心周波数のオフセットが高いほど、隣接チャネルで送信リークが増えます。このリークは以下の望ましくない影響をもたらします。

- 隣接チャネルでのレシーバの高いノイズ
- 無線仕様を満たさない可能性
- バンド端のテストで障害の原因となる、隣接チャネルでのスプリアスのスピルオーバーの増加

トランスミッタによりもレシーバの周波数オフセットが高い場合、受信されたエネルギーの一部がベースバンド フィルターの帯域幅外に落ちる可能性があります。このため、フィルターで有効な信号エネルギーが失われ、感度も低下します (従って、範囲も減少します)。

GFSK レシーバの場合、周波数オフセットは復調された出力での DC シフトも起こし、デコードしたシンボルが誤る可能性があります。この結果、PER (パケット エラー率) が高くなり、感度が低下します。

さらに、レシーバの高い周波数オフセットはレシーバを隣接チャネルの近くに移動させます。従って、隣接チャネルの信号はレシーバに影響を与えて、選択度を低下させます。

RF 性能の最も重要なパラメーターは受信感度です。BLE において、受信感度は、レシーバが最大 30.8%のパケット エラー率 (PER) でパケットを受信できる最小の消費電力レベルです。内部レシーバの特性評価では、ECO クロックの偏差が ±20ppm を超えた場合、受信感度は 1dBm も低下することが示されています。

もう 1 つの重要な RF 性能パラメータは dB で表される搬送波対干渉比 (C/I) です。この比率は、PER が 30.8%以下になるように、搬送波信号と比べて干渉信号がどの程度強いか弱いかを示します。C/I 比は負であるほど良いです。理由は、搬送電力レベルが干渉電力レベルよりはるかに弱い (すなわち、干渉電力が強い) 場合でも、レシーバは最大 30.8%の PER でパケットを受信できることを意味するからです。ECO クロックが-20ppm の偏差があるの場合、C/I 比は 5～8dBm も低下する可能性があります。

選択した水晶振動子の精度が高い場合でも、ppm は「水晶発振器の基礎」で述べた理由で変化することがあります。このため、良い RF 性能を確保するために ppm をチューニングする能力が必要です。

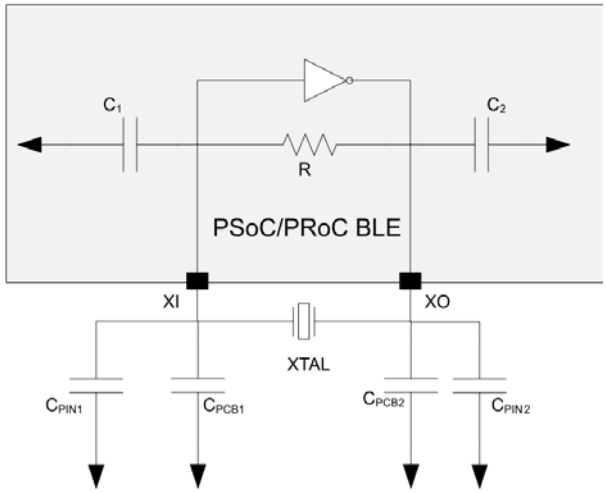
# 4 ECO の水晶チューニング技術

チューニングはシステムで発生する可能性がある水晶クロックの誤差を修正する方法です。チューニングは、水晶発振回路が検出した負荷静電容量の値を調整することで生成した周波数の精度を改善することを目的とします。

一般的に、チューニングは外部に取り付けられた負荷静電容量の値を直接調整すること、または負荷静電容量の値を補うことができる可変コンデンサを外付けることで行われます。しかし、外付けコンデンサはシステム コストを増加させます。

PSoC／PRoC BLE デバイスは、図 5 に示すように、(外部に取り付ける負荷静電容量の代わりに) 発振回路の一部として XI と XO ピン上で内部プログラマブルなトリム静電容量を備えます。これらの負荷静電容量はファームウェアで調整され、負荷静電容量オフセットを補正し、従って周波数を補正します。

図 5. PSoC／PRoC BLE デバイスの内部プログラマブルなトリム コンデンサ




チューニングの際に、ECO クロックはクロック精度を測定するために GPIO を介してチップの外に配線します。クロック精度は、ユニバーサル タイム インターバル カウンター (スタンフォード リサーチ システムズ社の SR620 モデル) のような高精度周波数測定装置で測定します。その後、式 4 を使ってクロックの誤差を判定します。

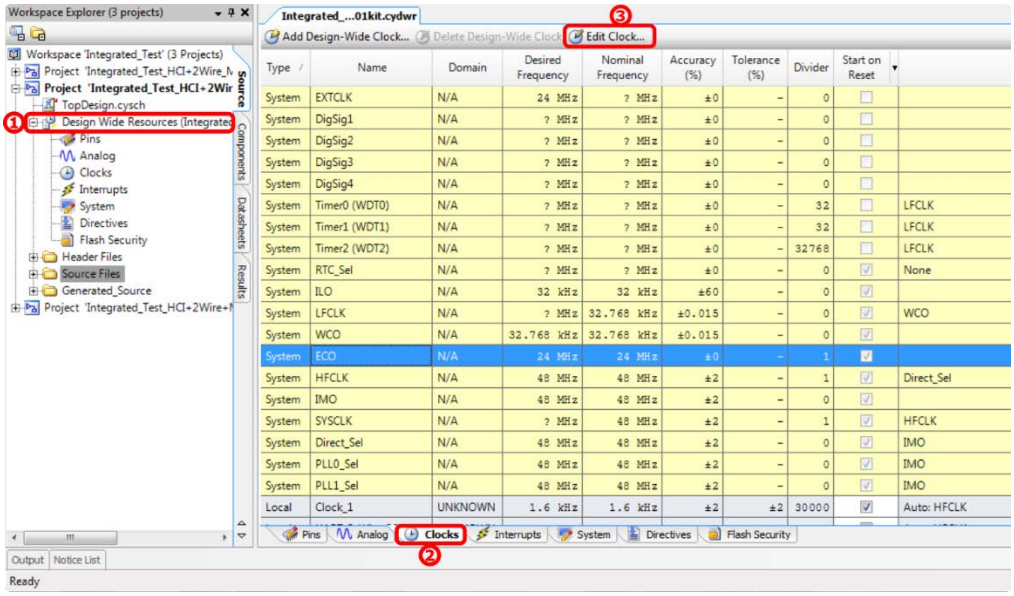
次に、$C_1$ と $C_2$ の内部プログラマブルな静電容量の値を変更することでクロックの誤差を修正するための 3 ステップの手順を行います。ただし、手順は PSoC 4／PRoC BLE デバイスか PSoC 6 BLE デバイスかによって異なります。ご開発の設計に該当する節に進んでください。

## 4.1 PSoC 4／PRoC BLE デバイス設計における水晶チューニング手順

### 4.1.1 BLE コンポーネント V3.2 以降

前述したように、最高の RF 性能を達成するために ECO クロック周波数は±20ppm の精度に調整する必要があります。以下の手順に従い、PSoC 4／PRoC BLE デバイスに搭載された内部トリム コンデンサを調整し、ECO をチューニングします。

図 6. ステップ 1: システム クロック設定ウィンドウを開く




**ステップ 1**: 図 6 に示すように、**Workspace Explorer** ウィンドウで、アクティブなプロジェクト内の **Design Wide Resources** タブをダブルクリックします。これにより、PSoC Creator™ウィンドウでアクティブなプロジェクトに対応する *<Project Name>.cydwr* ファイルが開きます。次に、Design Wide Resources で **Clocks** タブをクリックし、**Edit Clock...**ボタンをクリックして **Configure System Clocks** ポップアップ ウィンドウを開きます。

**ステップ 2**: **Configure System Clocks** ポップアップ ウィンドウで、**High Frequency Clocks** タブを選択して高周波クロックのクロック設定を開きます。ウィンドウ (図 7) で、**ECO** の下の **Configure** ボタンをクリックして **ECO Capacitance Trim** ダイアログ ボックスを開きます。入力と出力静電容量トリムの値を調整してクロックの誤差を低下させます。$C_1$ と $C_2$ を変更すると、$C_L$ も変化します。そのため、水晶を適切に調整するように両方の値を変更する必要があります。ppm 精度の変化と静電容量値の変化を関連付ける 1 対 1 のルックアップ テーブルはありませんが、一般的なプラクティスは次に説明します。

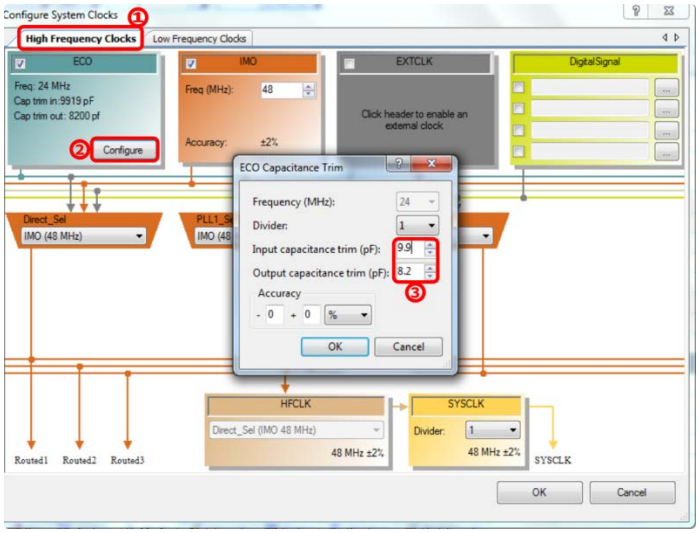
- ppm が負の場合 (すなわち、測定した周波数が水晶周波数より小さい)、式 2 に示す通り $C_L$ 値が小さいほど $f_p$ が大きくなるため、XI と XO の静電容量トリム値を減らします。
- ppm が正の場合 (すなわち、測定した周波数が水晶周波数より大きい)、式 2 に示す通り $C_L$ 値が大きいほど $f_p$ が小さくなるため、静電容量トリム値を増やします。

最適な位相ノイズのためには、XI ピンの総静電容量は XO ピンの総静電容量の 0.8 倍でなければなりません。

**ステップ 3**: クロックの誤差を測定し、所望のクロック精度を達成するまでステップ 2 を繰り返します。

**警告**: この手順を開始する前に、PSoC Creator の最新版をインストールしたことを確認してください。これは、ご開発の設計が BLE コンポーネント Ver3.2 以降を使用することを確保するために重要です。

図 7. ステップ 2: C1 と C2 を調整し、クロックの誤差を低下 (PSoC 4／PRoC BLE デバイスのみ)




### 4.1.2 BLE コンポーネント V3.1 以前

BLE コンポーネント V3.1 以前をベースとした PSoC 4／PRoC BLE 設計では、CYREG_BLE_BLERD_BB_XO_CAPTRIM の ECO トリム レジスタに書き込んで内部プログラマブルな静電容量 $C_1$と $C_2$の値を変更することでクロックの誤差を修正することができます。このレジスタの詳細は PSoC 4／PRoC BLE レジスタのテクニカル リファレンス マニュアル (TRM) に記述されています: PSoC 4 BLE レジスタ TRM および PRoC BLE レジスタ TRM。以下に、外部水晶のチューニング用の段階的な手順および関数コード (コード 1) を示します。

ステップ 1: ラジオ ブロックを有効にします。

ステップ 2: WCO を有効にします。

ステップ 3: ECO を有効にします。

ステップ 4: ECO クロックを GPIO (例: ポート 2 ピン 7) に引き出し、クロック精度を観察します。

ステップ 5: 0ppm を達成するように内部静電容量をトリムします。

コード 1. 水晶の負荷静電容量をトリムするコード

```
void trim_capacitance()
{

    /* Step1:Enable Radio */
    *(uint32*) CYREG_BLE_BLESS_RF_CONFIG = 0x01;

    /* Step2:Enable WCO */
    *(uint32*) CYREG_BLE_BLESS_WCO_CONFIG |= 0x80000000;

    /* Step3:Enable ECO */
    *(uint32*) CYREG_BLE_BLERD_DBUS = 0xC992;
    /* Step4:Configure pin 2[7] as ECO crystal Output */
    *(uint32*) CYREG_GPIO_PRT2_PC = 0xDB6DB6;
    *(uint32*) CYREG_HSIOM_PORT_SEL2 |= 0xA0000000;

    /* Step5:Trim Load Capacitance */
    *(uint32*) CYREG_BLE_BLERD_BB_XO_CAPTRIM = <Load Cap value >;
       }
```

### 負荷静電容量値の設定

CYREG_BLE_BLERD_BB_XO_CAPTRIM レジスタのビット 15 と 7 は、それぞれ XI と XO ノードでの静電容量の粗調整 (8.1pF の追加) のために使用されます。レジスタの最初の 7 ビットは、XI ノードの静電容量値の微調整 (0.1011pF/ステップ)、最後の 7 ビットは XO ノードの静電容量の微調整 (0.1011pF/ステップ) のために使用されます。表 1 に、レジスタの異なる設定に対応する XI ノード ($C_1$) と XO ノード ($C_2$) での静電容量値の一覧を示します。

表 1. CYREG_BLE_BLERD_BB_XO_CAPTRIM レジスタの設定に対応する $C_1$ と $C_2$ の値

| ビット 14～8 の 10 進値 | $C_1$ | ビット 6～0 の 10 進値 | $C_2$ |
|---|---|---|---|
| 0 | 3.6900pF | 0 | 3.6900pF |
| 1 | 3.7911pF | 1 | 3.7911pF |
| 2 | 3.8922pF | 2 | 3.8922pF |
| ..... | ..... | ..... | ..... |
| 127 | 16.428pF | 127 | 16.428pF |

アプリケーションで BLE コンポーネント V3.1 (またはそれ以前のバージョン) を使用する場合、BLE スタック初期化の一部として ECO トリム レジスタがデフォルト値で書き込まれていることに注意しなくてはなりません。従って、ECO トリム レジスタが更新された値を保持するために、アプリケーションの BLE スタック初期化の後にトリム値をレジスタに書き込む必要があります。このシーケンスはコード 2 のコード スニペットに示します。

コード 2. BLE コンポーネント V3.1 以前の場合 — BLE スタック初期化後の CAP TRIM VALUE のセット

```
int main()
{

/* Stack Initialization */
CyBle_Start(EventCallback);

/* Write trim value */
*(uint32*) CYREG_BLE_BLERD_BB_XO_CAPTRIM = <CAP TRIM VALUE >;

for(;;)
    {

    CyBle_ProcessEvents();

     }
}
```

## 4.2 PSoC 6 BLE デバイス設計における水晶チューニング手順

前述したように、最高の RF 性能を達成するために ECO クロック周波数は±20ppm の精度に調整する必要があります。以下の手順に従い、PSoC 6 BLE デバイスに搭載された内部トリム コンデンサを調整し、ECO をチューニングします。

**ステップ 1**: 図 6 に示すように、**Workspace Explorer** ウィンドウで、アクティブなプロジェクト内の **Design Wide Resources** タブをダブルクリックします。これにより、PSoC Creator ウィンドウでアクティブなプロジェクトに対応する*<Project Name>.cydwr* ファイルが開きます。次に、Design Wide Resources で **Clocks** タブをクリックし、**Edit Clock...**ボタンをクリックして **Configure System Clocks** ポップアップ ウィンドウを開きます。

**ステップ 2**: **Configure System Clocks** ポップアップ ウィンドウで、**Source Clocks** タブを選択してさまざまなソース クロックのクロック設定を開きます。**Source Clocks** ウィンドウ (図 8) で、**BLE ECO** ボックスの下の **Load cap** 値をセットしてクロックの誤差を低下させます。ppm 精度の変化と静電容量値の変化を関連付ける 1 対 1 のルックアップ テーブルはありませんが、一般的なプラクティスは次に説明します。

- ppm が負の場合 (すなわち、測定した周波数が水晶周波数より小さい)、式 2 に示す通り $C_L$ 値が小さいほど $f_p$ が大きくなるため、**Load cap** 値を減らします。
- ppm が正の場合 (すなわち、測定した周波数が水晶周波数より大きい)、式 2 に示す通り $C_L$ 値が大きいほど $f_p$ が小さくなるため、**Load cap** 値を増やします。

**ステップ 3**: クロックの誤差を測定し、所望のクロック精度を達成するまでステップ 2 を繰り返します。

図 8. ステップ 2: $C_L$ を調整し、クロックの誤差を低下 (PSoC 6 BLE デバイスのみ)

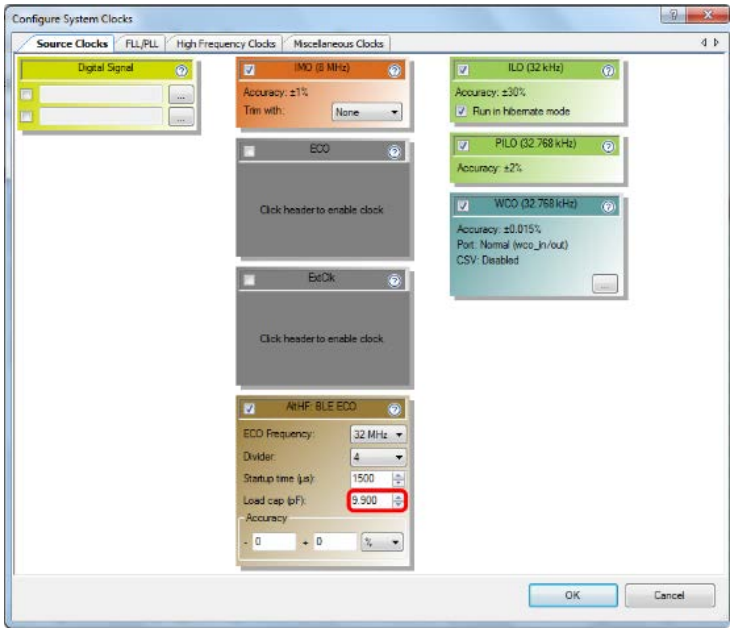



図 8 に示すように、PSoC 6 BLE デバイスでは、**BLE ECO** ボックス内で「Startup time」(起動時間) と「Accuracy」(精度) の 2 つのパラメーターを設定できます。

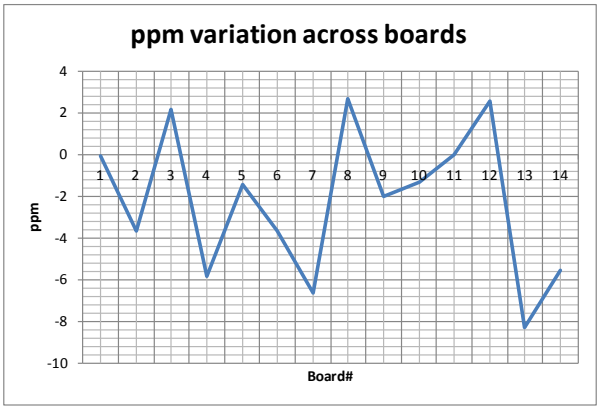
**起動時間**
起動時間とは、ファームウェアが BLE ECO をオンにセットしてから BLE ECO がリンク層に有効にされるまでの遅延時間 (µs 単位) です。この期間に BLE ECO クロックが不安定であると想定されるため、この期間が経過するまでコントローラーは内部リンク層 (LL) ロジックにクロックを有効にしません。したがってこのパラメーターは、BLE ECO がオンにされた後に安定するのに必要な時間よりも大きい値にセットしなければなりません。デフォルト値 (サイプレスが推奨する値) は、内部特性評価から得られたデータを使ってセットします。

**精度**
精度は、設計で使用する外部水晶振動子の周波数安定性を達成する精度にセットする必要があります。PSoC Creator はこのパラメーターを使用し、BLE ECO クロックから派生するクロックの達成可能な最大精度を設定します。

# 5 チューニングはすべての基板に必要なのか？

図 9 に、1 つの基板で $C_L$ 値を調整した後、同じ PCB レイアウトの 14 の基板で同じ負荷静電容量値によって測定した ppm のばらつきを示します。このデータから、各基板での水晶振動子の精度変動は±7～8ppm の範囲にあることは明らかです。この変動範囲は最適な RF 性能のために許容されます。そのため、すべての基板を調整する必要はありません。1 つの基板の一度の調整で、同じ PCB レイアウトの基板に同じ静電容量トリム値を使用することができます。デバイスの判定されたトリム値は「ECO の水晶チューニング技術」で説明されたように、アクティブなプロジェクトに対応する *cydwr* ファイル内の ECO クロック コンフィギュレーションに書き込む必要があります。

図 9. 同じ $C_L$ の基板での ppm のばらつき

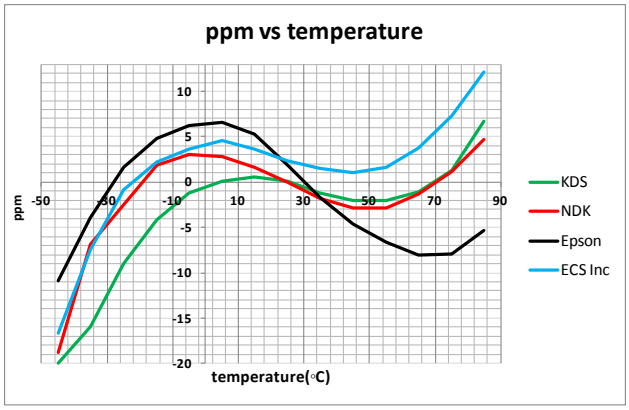



# 6 ECO の水晶分析

## 6.1 温度による周波数変動

図 10 に、異なる水晶振動子で測定した温度に伴う周波数変動を示します。

図 10. 温度による ppm 変動




このグラフは、デバイスの温度範囲で 4 つの水晶振動子の ppm 誤差は±50ppm の BLE 仕様を満たすことを示します。ただし、経時変化、可変幅、浮遊容量など他の要素も水晶振動子の ppm を変化させます。そのため、すべての要素のごさに対する累積影響は±50ppm の範囲内でなければなりません。

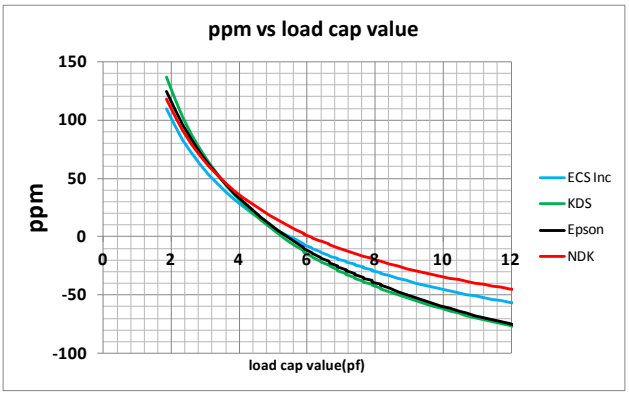
## 6.2 負荷静電容量による周波数変動

図 11 に、負荷静電容量で測定した水晶振動子の周波数変動を示します。

このグラフは、負荷静電容量値を変更することで、指数関数的に正のオフセット (正 ppm) から負のオフセット (負 ppm) に周波数を変化させることができることを示します。この負荷静電容量は PSoC／PRoC BLE デバイスに内蔵されます。

ただし、負荷静電容量値に伴う ppm の変動はデバイスの PCB レイアウトに大きく依存することに注意することは重要です。浮遊容量の多い PCB レイアウトでは、周波数が内部トリム静電容量の変化に反応しにくいので、チューニングが困難になることがあります。基板の寄生容量を減少させる一般的なガイドラインを、「PCB レイアウトの注意事項」節で説明します。

図 11. 負荷静電容量による ppm 変動




# 7 サイプレスの外部水晶発振器 (ECO) に関する推奨事項

## 7.1 PSoC 4／PRoC BLE デバイスにおける ECO

サイプレスは次の 5 つのパラメーターに基づた水晶振動子を推奨します。

1. **等価直列抵抗 (ESR):** PSoC 4／PRoC BLE デバイスで使用する 24MHz 水晶振動子の最大 ESR の要件は **60Ω** (24MHz で) です。このため、水晶振動子の ESR は 60Ω 以下でなければなりません。
2. **駆動レベル:** PSoC 4／PRoC BLE デバイスの駆動レベル仕様が最大 **100µW** であるため、最大 100µW の駆動レベルに対応できる水晶振動子を選択する必要があります。したがって、最大駆動レベル仕様が 100µW 以上の水晶振動子 (即ち、少なくとも 100µW を維持できる水晶振動子) は十分です。
3. **負荷静電容量:** PSoC 4／PRoC BLE デバイスの発振器は 8pF の負荷静電容量で動作するように設計されているため、8pF の負荷静電容量を持つ水晶振動子を選択する必要があります。
4. **可変幅:** 可変幅は狭い必要があります。そうでない場合、寄生静電容量は水晶周波数の大きな変動を引き起こします。
5. **デバイスの温度範囲における ppm の変動:** PSoC 4／PRoC BLE デバイスの温度範囲は−40～85ºC です。選択する水晶の ppm は、チップがサポートする温度範囲内で BLE 要件 (±50ppm 以内) を満たす必要があります。BLE 要件を満たすためには、サイプレスは周波数誤差が±20ppm の水晶振動子の使用を推奨します。

表 2 で、PSoC 4／PRoC BLE デバイスでの使用のために内部特性評価に使用する水晶振動子をまとめます。

表 2. PSoC 4／PRoC BLE デバイスで使用する異なる水晶振動子の駆動レベルと ESR 値

| 水晶振動子の製品番号 | 水晶振動子のベンダー | 駆動レベル (µW での Max 値) | ESR (Ω での Max 値) |
|---|---|---|---|
| ECS-240-8-36CKM | ECS, Inc. | 100 | 60 |
| TSX 3225 | Epson | 200 | 40 |
| NX2520SA | NDK | 200 | 60 |
| DSX321SH | KDS | 200 | 60 |

## 7.2 PSoC 6 BLE デバイスにおける ECO

サイプレスは次の 5 つのパラメーターに基づた水晶振動子を推奨します。

1. **等価直列抵抗 (ESR):** PSoC 6 BLE デバイスでは、16MHz 水晶振動子または 32MHz 水晶振動子を選択することができます。PSoC 6 BLE デバイスで使用する 16MHz 水晶振動子の最大 ESR の要件は 250Ω であり、32MHz 水晶振動子のは 100Ω です。
2. **駆動レベル:** PSoC 6 BLE デバイスの駆動レベル仕様は最大 **100µW** です。最大 100µW の駆動レベルに対応できる水晶振動子を選択する必要があります。したがって、最大駆動レベル仕様が 100µW 以上の水晶振動子 (即ち、少なくとも 100µW を維持できる水晶振動子) は十分です。

3. **負荷静電容量:** PSoC 6 BLE デバイスの水晶発振器のために選択する水晶振動子の負荷静電容量は 8pF～12pF です。
4. **可変幅:** 可変幅は狭い必要があります。そうでない場合、寄生静電容量は水晶周波数の大きな変動を引き起こします。
5. **デバイスの温度範囲における ppm の変動:** PSoC 6 BLE デバイスの温度範囲は−40～85ºC です。選択する水晶の ppm は、チップがサポートする温度範囲内で BLE 要件 (±50ppm 以内) を満たす必要があります。BLE 要件を満たすためには、サイプレスは周波数誤差が±20ppm の水晶振動子の使用を推奨します。

表 2 で、PSoC 6 BLE デバイスでの使用のために内部特性評価に使用する水晶振動子をまとめます。

表 3. PSoC 6 BLE デバイスで使用する異なる水晶振動子の駆動レベルと ESR 値

| 水晶振動子の製品番号 | 水晶振動子のベンダー | 水晶振動子周波数 | 駆動レベル (µW での Max 値) | ESR (Ω での Max 値) |
|---|---|---|---|---|
| NX2520SA-16MHZ-STD-CSW-5 | NDK | 16MHz | 200 | 80 |
| CX3225GB16000D0HPQCC | AVX Corp | 16MHz | 100 | 80 |
| ECS-160-10-36-JGN-TR | ECS Inc. | 16MHz | 100 | 80 |
| CX3225SB32000D0FPLCC | AVX Corp | 32MHz | 100 | 50 |
| FA-20H 32.0000MF20X-K3 | EPSON | 32MHz | 200 | 50 |
| NX3225SA-32MHZ-EXS00A-CS02368 | NDK | 32MHz | 100 | 50 |

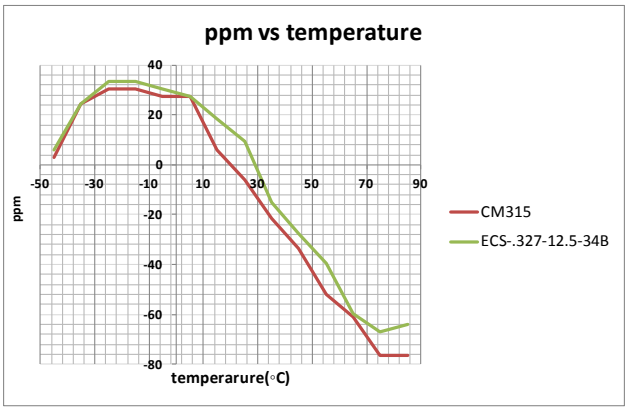
簡単に言うと、チップがサポートする温度範囲において BLE 要件を満たす ppm 仕様を持つ水晶振動子の使用が推奨されています。また水晶振動子は、PSoC 4／PRoC BLE および PSoC 6 BLE デバイスの ESR と駆動レベルの要件を満たす必要があります。水晶振動子を選択した後、最高の RF 性能を達成するために、水晶振動子の誤差が±10ppm 以内になるように前述した水晶チューニング方法を使用しなければなりません。

# 8 WCO の水晶分析

## 8.1 温度による周波数変動

低周波数の水晶振動子の BLE 仕様は±500ppm です。図 12 に、一般的な外部 WCO 水晶振動子の温度に伴う ppm での精度を示します。

図 12. 温度による ppm 変動




低消費電力動作には、その変動が小さいほど良いです。理由は、低周波数クロックのドリフトが大きいほど、ペリフェラル ロールのデバイスがマスター アンカー ポイントをリッスンするのに要する時間ウィンドウが大きくなり、余分な電力を消費するからです。

## 8.2 起動時間および ESR

起動時間は、ブロックが有効になってから WCO が安定した 32.768kHz クロックを提供するまでかかる時間を示します。

WCO は以下の 3 つの異なる動作電力モードがあります。

1. 電源切断モード (PDM)

2. 高電力モード (HPM)

3. 低電力モード (LPM)

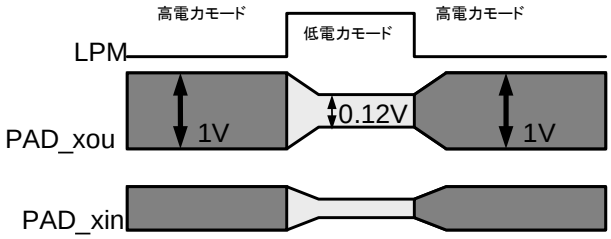
WCO は HPM で起動されます。安定後、電力を節約するために LPM に切り替わります。HPM での起動時間は 500ms です。

WCO が LPM に切り替わった後、チップがアクティブ モードである時、またはチップがアクティブ モードとディープスリープ モードを切り替える時に、ブロックではモードの切り替えは不要です。しかし、チップがハイバネートまたはストップ モードに切り替わると、チップがリセットになるため、WCO 起動シーケンス全体は再び開始されます。

水晶振動子の振幅は、HPM では約 1V pp に制限され、LPM では約 0.12V pp に制限されます。

説明した WCO 起動シーケンスは PSoC Creator の初期化コードの一部として対応し、ユーザーはアプリケーション コードで行う必要はありません。

図 13. WCO の各電力モードでの PAD 電圧

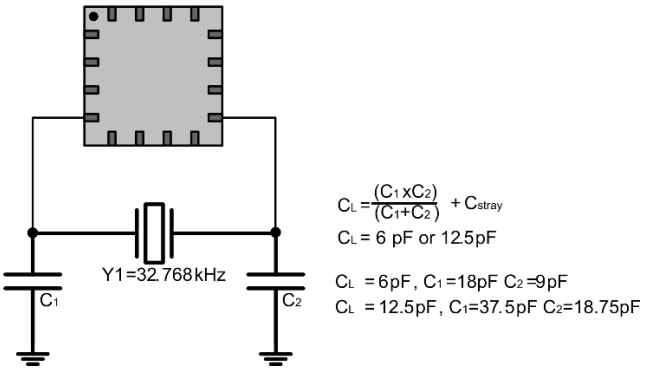



起動時間は外部水晶振動子の ESR に直接関係します。水晶振動子の ESR が大きいほど、起動時間は長くなります。理由は、外部負荷静電容量と直列に存在する抵抗の値が大きいほど、起動時の発振の増幅はより時間がかかります。水晶振動子の ESR はこの直列抵抗を表すため、より長い起動時間は明らかです。水晶振動子の ESR の特性評価は、WCO 設計がすべての水晶メーカーの ESR 範囲 (35～70kΩ) に対応できることを示します。

## 8.3 負荷静電容量

図 14 に、外部アプリケーションから見た PSoC／PRoC BLE デバイスです。並列や直列抵抗はチップ上に存在しているため、外付けの抵抗が不要であることに注意してください。必要な外付け部品は、32.768kHz 時計用水晶および $C_1$ と $C_2$ の 2 個の負荷コンデンサだけです。総実効負荷静電容量 $C_L$ は、選択した水晶振動子によって 6pF～12.5pF です。

図 14. 外部アプリケーションから見た PSoC／PRoC BLE デバイス




$C_1/C_2$ 比が高いほど、消費電流は高くなりますが、デューティ比は改善されます。

広範な特性評価に基づいて、外付けコンデンサの 2:1 比 ($C_1$=2×$C_2$) は性能および消費電力に関して最適です。2:1 比の使用のトレードオフは、最大 100nA の少し高くなる $I_{CC}$ (統合したチップの電流) です。2:1 比では、外付けコンデンサの推奨値は以下の通りです。

$C_1$ = 37.5pF、$C_2$ = 18.75pF ($C_L$ = 12.5pF 用)

$C_1$ = 18pF、$C_2$ = 9pF ($C_L$ = 6pF 用)

## 8.4 CL およびクロック精度

配線およびパッドによる寄生静電容量は基板レイアウトによって異なります。負荷静電容量の計算時に、あらゆるピンの寄生静電容量を考慮に入れる必要があります。

より良いクロック精度を達成するために、以下のように負荷静電容量を更にチューニングすることができます。

- 平均 ppm が負の場合 (すなわち、測定された周波数が 32.768kHz 以下)、推奨する 2:1 比率で 10%内に $C_1$ と $C_2$ の比率で保持し、$C_1$ および $C_2$ の容量値の両方を減らします (正確な静電容量値が得られない場合は 1.8～2.2 の比は許容されます)。ただし、負の ppm の変化が非常に小さい場合、C2 のみを変更することができます。
- 平均 ppm が正の場合 (すなわち、測定された周波数が 32.768kHz 以上)、推奨する 2:1 比率で 10%内に $C_1$ と $C_2$ の比率で保持し、$C_1$ および $C_2$ の容量値の両方を増やします (正確な静電容量値が得られない場合は 1.8～2.2 の比は許容されます)。ただし、正の ppm の変化が非常に小さい場合、$C_2$ のみを変更することができます。

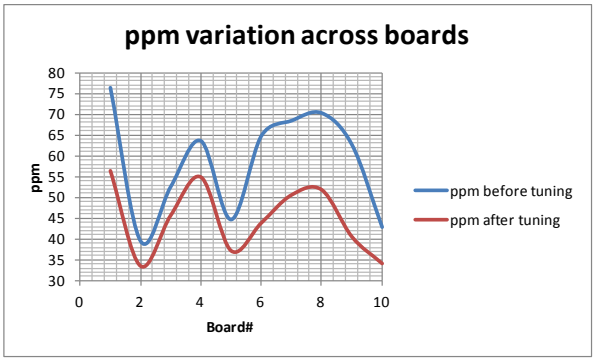
## 8.5 基板の周波数のばらつき

表 4 と図 15 に、同じ負荷静電容量 (2:1 の比) を持つ異なる基板で測定する WCO の周波数オフセット (ppm) を示します。この表はまた、推奨される 10%の範囲内で負荷静電容量をチューニングすることでどのように ppm を更に減らすかを示します。チューニングは 1 つのみの基板で行われます。同じ調整された静電容量値はすべての基板で使用されます。

表 4. 2:1 比の静電容量を持つ基板の ppm のばらつき

| 基板 | チューニング前の ppm | チューニング後の ppm |
|---|---|---|
| 1 | 76.29 | 56.45 |
| 2 | 39.36 | 33.56 |
| 3 | 52.49 | 45.77 |
| 4 | 63.47 | 54.93 |
| 5 | 44.55 | 37.23 |
| 6 | 64.69 | 43.94 |
| 7 | 68.35 | 50.65 |
| 8 | 70.19 | 51.87 |
| 9 | 62.56 | 40.58 |
| 10 | 42.72 | 34.17 |

図 15. 同じ負荷静電容量を持つ基板の ppm のばらつき




同じ負荷静電容量値を持つ基板の ppm の変動は約 20ppm です。これは BLE では許容されるため、すべての基板を調整する必要はありません。4～5 つの基板でチューニングを行い、最適な負荷静電容量値を調べた後、生産時にすべての基板に同じ値を使用するこのアプローチは、量産に適用することができます。

# 9 WCO 用の外部クロック ソースの使用

## 9.1 PSoC 4／PRoC BLE デバイスを用いた設計

主発振器を外部から外部水晶ピンを介して駆動することができます。ハードウェアに以下の設定をしてください。

1. XTAL32O ピンに外部クロック ソースを接続します。
2. XTAL32I パッドを開放にします。開放が望ましくない場合、XTAL32I パッドとグランドの間に 500kΩ以上のインピーダンスがあることを確保します。
3. 0V から最小 1.0V まで、または 0V から最大 1.6V までトグルする外部クロック ソースを提供します。
4. 外部クロックのデューティ比は 20%～80%であることを確保します。

ファームウェアで外部クロックを使用する場合、以下のようにしてください。

1. WCO を無効にし、*.cydwr* ファイルの **Configure System Clock** ウィンドウの **Low Frequency Clocks** タブで LFCLK 用に ILO を選択します。
2. WCO を有効にする前に、ファームウェアの BLE_BLESS_WCO_CONFIG レジスタの EXT_INPUT_EN ビット (ビット 2) を「1」にセットします。
3. CySysClkWcoStart(); 関数を呼び出して WCO を起動します。
4. CySysClkSetLfclkSource(CY_SYS_CLK_LFCLK_SRC_WCO); 関数を呼び出して LFCLK ソースに WCO を選択します。
5. CySysClkIloStop(); 関数を呼び出して ILO を停止します。

コード 3 に、WCO 用に外部クロック ソースを使用するサンプル コードを示します。

コード 3. WCO 用に外部クロック ソースを使用するサンプル コード

```
int main()
{
    /*Enable External Clock*/
    CY_SYS_CLK_WCO_CONFIG_REG |= CY_SYS_CLK_WCO_EXT_INPUT_EN;

    /*Start WCO */
    CySysClkWcoStart();

    /*Select WCO as the clock source*/
    CySysClkSetLfclkSource(CY_SYS_CLK_LFCLK_SRC_WCO);
```

```
    /*Stop ILO*/
    CySysClkIloStop();

    CyGlobalIntEnable;
    /* Stack Initialization */
    CyBle_Start(EventCallback);

    for(;;)
    {
        CyBle_ProcessEvents();
    }
}
```

## 9.2 PSoC 6 BLE デバイスを用いた設計

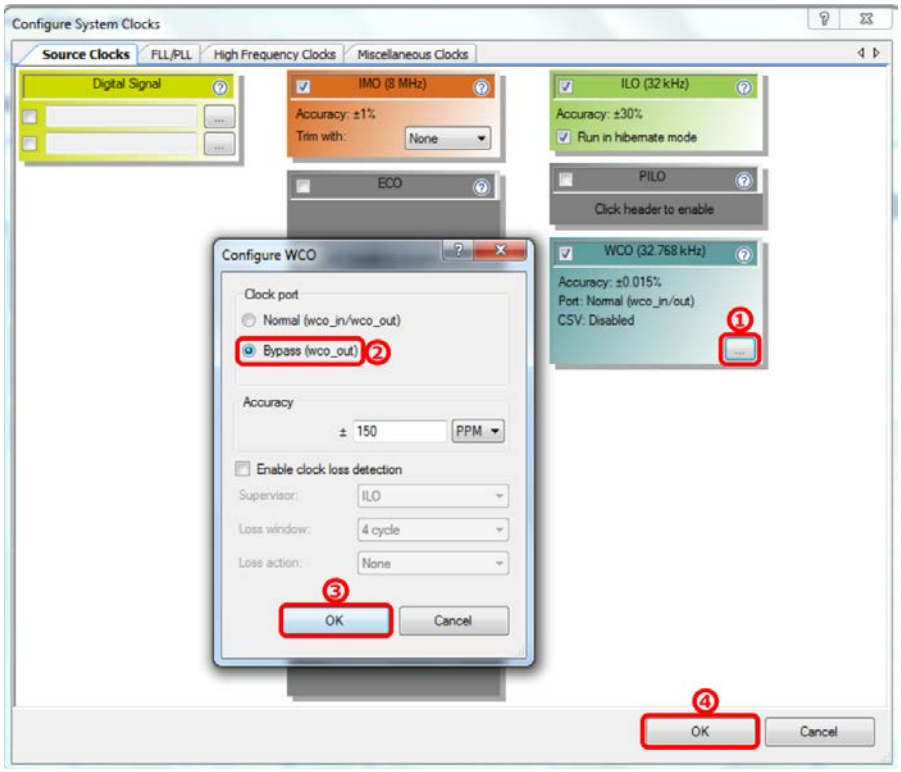
ハードウェアに以下の設定をしてください。

1. XOSC_O ピンに外部クロック ソースを接続します。
2. XOSC_I パッドをグランドに接続します。
3. 電源電圧レベルを 0V から $V_{DDD}$ までトグルする外部クロック ソースを提供します。
4. 外部クロックのデューティ比は 20%～80%であることを確保します。

次に、ファームウェアに以下の変更を行ってください。

1. 図 6 に示すように、アクティブなプロジェクトの cydwr ファイルから **Configure Clock System** ウィンドウを開きます。
2. **Configure Clock System** ウィンドウで (図 16)、WCO ボックス内の**…**ボタンを選択して **Configure WCO** ウィンドウを開きます。
3. **Configure WCO** ウィンドウで、**Bypass (wco_out)** ボタンを選択し、**OK** をクリックします。

図 16. WCO に外部クロック ソースを設定




## 10 WCO の推奨事項

WCO 水晶を選択する際に考慮すべき要因は以下と通りです。

1. **ESR:** 水晶発振回路の正常動作のために最大 70kΩ であることが必要です。より高い ESR はより長い起動時間を意味します。
2. **駆動レベル:** 水晶振動子の最大駆動レベルは 1µW 以上であることが必要です。
3. **デバイスの温度範囲における ppm の変動:** 消費電力には、ppm の変動は小さいほど良いです。負荷静電容量値の推奨 2:1 比を満たす、かつ室温で周波数の誤差が±50ppm 以内の水晶振動子を選択します。
4. **サイズ:** 水晶振動子のサイズは上記の 3 つの要件を満たしながら、できるだけ小さいものを選択します。水晶振動子の ESR は振動子のサイズに反比例します。

表 5. WCO 水晶振動子の ESR およびサイズ

| 型番 | メーカー | 駆動レベル | 最大 ESR | サイズ (mm)<br>長さ × 幅 × 高さ |
|---|---|---|---|---|
| ECS-.327-12.5-34B | ECS | 1µW | 70kΩ | 3.2 × 1.5 × 0.9 |
| CM315 | Citizen | 1µW | 70kΩ | 3.2 ×1.5 × 0.55 |
| ECS-.327-12.5-32-TR | ECS | 1µW | 50kΩ | 3.2 × 1.2 × 1 |

## 11 PCB レイアウトの注意事項

水晶周波数は寄生静電容量、基板ノイズ、および電磁干渉に敏感です。PCB レイアウトを設計する際に、以下の点に注意してください。

1 水晶振動子をチップの近くに配置します。理由は、配線が長く幅が広いほど寄生容量が大きくなり、その結果、負荷静電容量値が変化し、クロックが不正確になってしまうためです。

2 ピンに接続された配線間にグランド シールド配線を設けることによって、ピン間の浮遊容量を最小化します。

3 水晶振動子を PSoC／PRoC BLE チップと同じ PCB 面に配置します。目的は、水晶振動子の入力／出力配線に不要なビア無しで、共通グランド面を提供することです。

4 浮遊容量を避けるために、水晶振動子の近くに伝導体のフローティング パッドを配置しないでください。

5 電磁干渉を避けるために、水晶部品の周りを銅を注ぎます。

6 LED などの高速スイッチングかつ高電流の配線やピンを水晶回路から離します。

7 両方の水晶ピンに同じ寄生静電容量を持たせるために、PCB 配線を対称的に配線します。

図 17 は上記の点をより明確に示します。いくつかのレイアウトの注意事項はこの図に強調表示されます。図 18 はいくつかのよく起る誤りの例を示します。

図 17. 推奨振動子を用いた PCB レイアウト

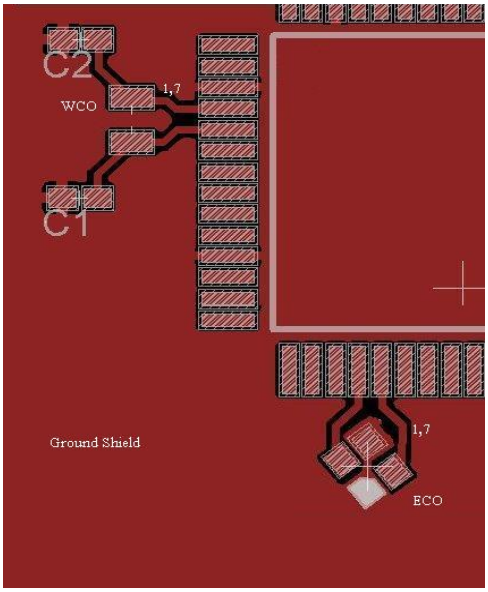
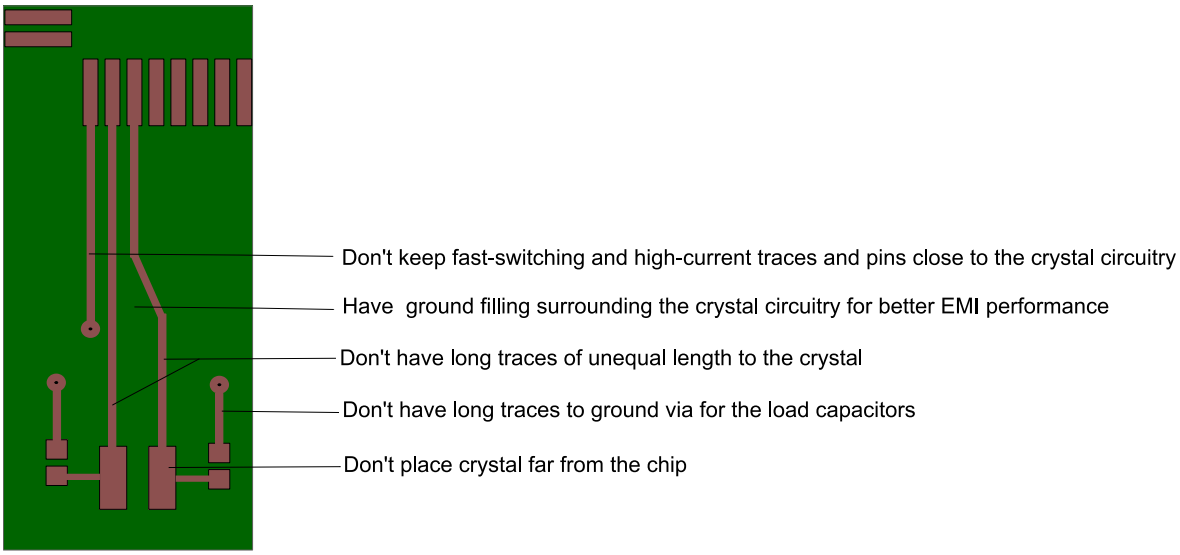



図 18. 推奨しないレイアウト プラクティス例



# 12 まとめ

- BLE プロトコルでは、ECO 水晶クロックの精度が±50ppm 以内であることが必要です。
- 不正確な ECO 水晶周波数は RF 性能を低下させます。
- 不正確な WCO 水晶周波数は消費電力を増加させます。
- ECO 水晶周波数の不正確は、本書で記述された手順に従って修正することができます。
- チューニングはすべての基板に必要なく、開発中に 1 回だけ行う必要があります。
- 最適な消費電力および性能には、WCO 水晶振動子用の 2 個の外付けコンデンサの 2:1 比は必要です。
- 温度、経時変化、および寄生静電容量は水晶クロック精度のばらつきを生じます。
- 寄生静電容量を最小化するために、水晶振動子をチップの近くに配置する必要があります。

# 13 参考資料

**発振器のコンセプト**

- http://www.abracon.com/Support/facn_abracon_jul2011.pdf
- http://www.electronics-tutorials.ws/oscillator/crystal.html
- http://kunz-pc.sce.carleton.ca/thesis/CrystalOscillators.pdf
- http://www.am1.us/Local_Papers/U11625%20VIG-TUTORIAL.pdf

**ECO 水晶のデータシート**

- ECS-240-8-36CKM from ECS Inc.
- TSX-3225 from EPSON
- NDK の NX2520SA
- KDS の DSX321SH
- NX2520SA-16MHZ-STD-CSW-5 from NDK
- CX3225GB16000D0HPQCC from AVX Corp.
- ECS-160-10-36-JGN-TR from ECS Inc.
- CX3225SB32000D0FPLCC from AVX Corp.
- FA-20H 32.000MF20X-K3 from EPSON
- NX3225SA-32MHZ-EXS00A-CS02368 from NDK

**WCO 水晶のデータシート**

- ECS の ECS-.327-12.5-34B
- Citizen の CM315
- ECS の ECS-.327-12.5-32-TR

# 著者について


| | |
|---|---|
| 氏名: | Prakhar Agarwal |
| 役職: | システム エンジニア |
| 経歴: | Prakhar Agarwal はバーラ インスティテュート オブ テクノロジー アンド サイエンス (BITS、ピラニ、インド) において、エレクトロニクスおよびインストルメンテーションの学士号 (優等学位) を取得しました。 |
| 氏名: | Rohit Gupta |
| 役職: | アプリケーション エンジニア |
| 経歴: | Rohit Gupta はインド工科大学マドラス校 (IITM) において、インストルメンテーションおよびコントロール エンジニアリングの理学修士号を取得しました。 |

# Appendix A. 周波数誤差 (送信中心周波数許容誤差)

BLE では、パケット送信中の RF 中心周波数のオフセットはパケット全体に±150kHz を超えないようにする必要があります。例えば、ラジオ ブロックが 2480MHz の中心周波数で送信する時、それは 2479.850MHz または 2480.150MHz であり得ます。これはパケット送信時の中心周波数の許容誤差です。

中心周波数は ECO から派生し、水晶周波数のどんな誤差も中心周波数に逓倍します。

クロック精度に影響するすべての要因を考慮した上、クロック精度の要件は以下の通りです。$\frac{150\ \text{kHz}}{2480\ \text{MHz}} = 60.5 \times 10^{-6} = 60.5\ \text{PPM}$

# 改訂履歴

文書名: AN95089 – PSoC／PRoC BLE 水晶発振器の選択およびチューニング技術

文書番号: 002-23477

| 版 | ECN | 変更者 | 発行日 | 変更内容 |
|---|---|---|---|---|
| ** | 6214762 | IYM | 07/05/2018 | これは英語版 001-95089 Rev. *D を翻訳した日本語版 Rev. **です。 |

## ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

### 製品

| | |
|---|---|
| Arm® Cortex®マイクロコントローラー | cypress.com/arm |
| 車載用 | cypress.com/automotive |
| クロック & バッファ | cypress.com/clocks |
| インターフェース | cypress.com/interface |
| IoT | cypress.com/iot |
| メモリ | cypress.com/memory |
| マイクロコントローラー | cypress.com/mcu |
| PSoC | cypress.com/psoc |
| 電源管理 IC | cypress.com/pmic |
| タッチ センシング | cypress.com/touch |
| USB コントローラー | cypress.com/usb |
| ワイヤレス接続 | cypress.com/wireless |

### PSoC®ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6

### サイプレス開発者コミュニティ

フォーラム | WICED IOT フォーラム | プロジェクト | ビデオ | ブログ | トレーニング | コンポーネント

### テクニカル サポート

cypress.com/support

本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2015-2018. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は, アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し, 本段落で特に記載されているものを除き, その特許権, 著作権, 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず, かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき, (a) ソースコード形式で提供されている本ソフトウェアについて, Cypress ハードウェア製品と共に用いるためにのみ, かつ組織内部でのみ, 本ソフトウェアの修正及び複製を行うこと, 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ, (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること, 並びに (2) 本ソフトウェア (Cypress により提供され, 修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ, 本ソフトウェアの作成, 利用, 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用, 複製, 修正, 変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で, Cypress は, 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても, 明示又は黙示をとわず, いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。**いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて, 本書面に記載された製品には, エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり, 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は, 別途通知することなく, 本書面を変更する権利を留保する。Cypress は, 本書面に記載のある, いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は, 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計, プログラム, かつテストすることは, 本書面のユーザーの責任において行われるものとする。Cypress 製品は, 兵器, 兵器システム, 原子力施設, 生命維持装置若しくは生命維持システム, 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム, 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用, 又は装置若しくはシステムの不具合が人身傷害, 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計, 意図又は承認されていない。重要な構成部分とは, それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ, 若しくは本目的外使用に関連するいかなる請求, 損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず, かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求, 費用, 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapsSense, EZ-USB, F-RAM, 及び Traveo は, 米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは, それぞれの権利者の財産として権利主張がなされている可能性がある。