AN91378

HX3 ハードウェア設計ガイドラインおよび回路図チェックリスト

作成者:Prajith C、Rama Sai Krishna V
関連プロジェクト:なし
関連製品ファミリ:CYUSB330x、CYUSB331x、CYUSB332x
ソフトウェアバージョン:該当無
関連アプリケーション ノート:なし

AN91378は、高性能USB 3.0ハブであるHX3用のハードウェア設計およびプリント基板レイアウト ガイドラインを提供します。これらガイドラインは、シグナル インティグリティとUSB 3.0仕様に完全に準拠した電気的特性に関して最高性能を保証する手助けをしています。HX3 USB 3.0ハブコントローラを搭載したスマートフォンやタブレットドックへのACA-Dock機能のサポートについては、KBA96321を参照してください。

目次

はじめに 1
回路図設計の要件 2
電源システム 2
水晶振動子の要件 5
外部クロック入力の要件 6
リセット回路 7
ポートのパワー マネージメント 7
ダウンストリーム VBUS およびシールド終端 8
サスペンド LED 9
VBUS_DS および VBUS_US 9
USB 高精度抵抗 10
コンフィギュレーション オプション 10
ピンストラップによるコンフィギュレーション 10
外部 I²C EEPROM によるコンフィギュレーション 11
2 個の HX3 を 1 個の EEPROM に接続 13
外部 I²C マスタによるコンフィギュレーション 13
PCB 設計上の注意事項 14
電源システム設計 14
USB データ ラインのルーティング 15
回路図とレイアウトのレビュー チェックリスト 22
まとめ 23
略語 23
付録 A:消費電力 25
付録 B:HX3 開発キット(DVK) および BOM 26
付録 C:プリント基板レイアウトのヒント 32
付録 D:USB 配線の差動インピーダンス 33
ワールドワイドな販売と設計サポート 35

はじめに

HX3は、USB 3.0仕様Rev. 1.0に準拠したUSB 3.0ハブ コントローラ ファミリです。HX3は全てのポートでスーパースピード (SS), ハイスピード (HS), フルスピード (FS), およびロースピード (LS) に対応しています。終端抵抗, プルアップおよびプルダウン抵抗を内蔵し、ピンストラップによるコンフィギュレーション オプションをサポートして、ハブ システムの全体的なBOMを削減します。

HX3のサイプレス独自の特長は以下の通りです。

Shared Link™:組み込みアプリケーションにおいてオンボードでの接続に使われるダウンストリーム (DS) ポート数を追加することができます。Shared Linkにより、USB 3.0ポートが内部接続用SSポートと標準USB 2.0ポートに分けられます。

例えば、DSポートのいずれかがUSB 3.0カメラなどの内部接続用SSデバイスに接続された場合、HX3を使うと、システム設計者はその特定のポートのUSB 2.0信号を再利用して標準USB 2.0デバイスに接続することができます。このように、Shared Linkに対応している1個のHX3を使用して最大8個のデバイス (4個のSS専用デバイスと4個の標準USB 2.0デバイス) を持つアプリケーションを実装することができます。

Ghost Charge™:アップストリーム (US) ポートに接続されたホストがない場合でも DS ポートに接続されたデバイスの充電を可能にします。

表 1 には、HX3 の製品オプションを示します。

本アプリケーション ノートは、HX3 に基づいたハブ システム用のハードウェア ガイドラインを提供します。

表 1. HX3 製品オプション

特長	CYUSB3302	CYUSB3304	CYUSB3312	CYUSB3314	CYUSB3326	CYUSB3328
DS ポート数	2 (USB 3.0)	4 (USB 3.0)	2 (USB 3.0)	4 (USB 3.0)	6 (2 個は USB 3.0, 2 個は SS 専用, 2 個は USB 2.0)	8 (4 個は SS 専用, 4 個は USB 2.0)
Shared Link ポート数	0	0	0	0	2	4
BC v1.2	あり	あり	あり	あり	あり	あり
ACA-Dock	なし	なし	なし	なし	なし	あり
外部電源スイッチ制御	Ganged	Ganged	Individual and Ganged	Individual and Ganged	Individual	Individual
ピンストラップのサポート	なし	なし	あり	あり	あり	あり
I2C	あり	あり	あり	あり	あり	あり
ベンダー コマンド	あり	あり	あり	あり	あり	あり
ポート インジケータ	なし	なし	あり	あり	なし	なし
パッケージ	68 ピン QFN	68 ピン QFN	68 ピン QFN	68 ピン QFN	68 ピン QFN	68 ピン QFN
温度範囲	Industrial と Commercial	Industrial と Commercial	Industrial と Commercial	Industrial と Commercial	Industrial と Commercial	Industrial と Commercial

注
HX3 USB 3.0 ハブコントローラを搭載したスマートフォンやタブレットドックへの ACA-Dock 機能のサポートについては、KBA96321 を参照してください。

回路図設計の要件

本節では、HX3 の様々なブロックの回路図設計の要件について説明します。

電源システム

HX3 は、2 つの電源 3.3 V と 1.2 V で動作します。図 1 と図 2 には、HX3 を使用した設計用に推奨されている電源デカップリング回路を示します。表 2 には、それら電源に対応する最大動作電流を示します。

表 2. HX3 パワードメイン

記号	項目	Min	Typ	Max	最大動作電流[1]
AVDD12	1.2 V アナログ電源	1.14 V	1.2 V	1.26 V	1.2 V 電源すべて合わせると 526 mA
DVDD12	1.2 V コア電源	1.14 V	1.2 V	1.26 V	
AVDD33	3.3 V アナログ電源	3 V	3.3 V	3.6 V	3.3 V 電源すべて合わせると 286 mA
VDDIO	3.3 V I/O 電源	3 V	3.3 V	3.6 V	

注

1. テスト条件:全ての SS と USB 2.0 ポートは、最大電圧および温度=85 ℃でデータ転送され、アクティブ状態です。

図 1. 68 ピン QFN パッケージの電源システムの推奨事項

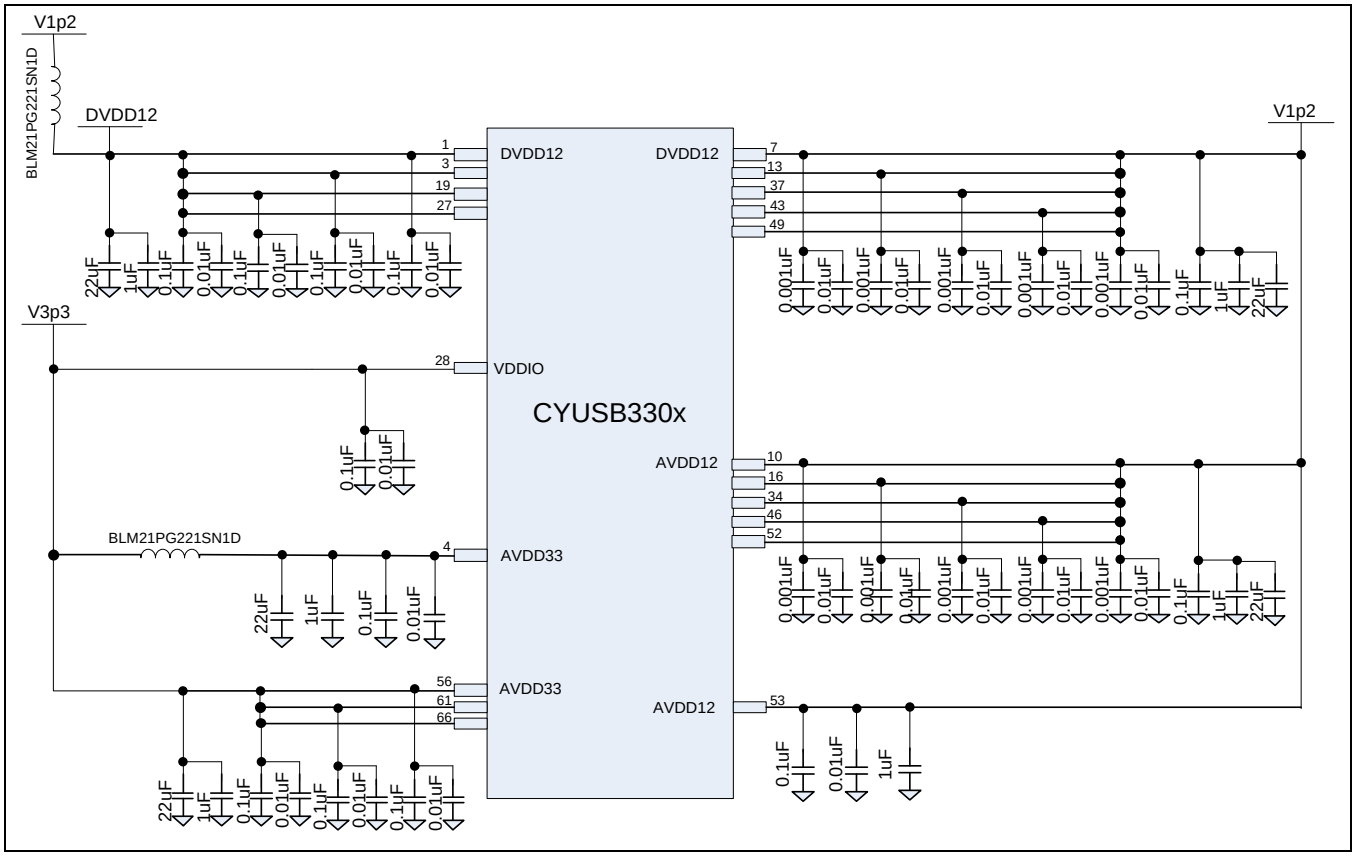


表 3 には、68 ピン QFN パッケージ用の電源ピン グループに接続する必要があるバルク コンデンサおよび電源ピン毎のデカップリング コンデンサを示します。

表 3. 68 ピン QFN パッケージのデカップリング コンデンサとバルク コンデンサの要件

パワードメイン (ピン番号)	項目	グループ用のバルク コンデンサ	ピン毎のデバックリング コンデンサ
AVDD12 (10, 16, 34, 46, 52)	SS Rx 用の 1.2 V	0.1 µF, 1 µF, 22 µF	0.001 µF, 0.01 µF
AVDD12 (53)	水晶発振器用の 1.2 V	1 µF	0.01 µF, 0.1 µF
DVDD12 (1, 3, 19, 27)	コア用の 1.2 V	1 µF, 22 µF	0.01 µF, 0.1 µF
DVDD12 (7, 13, 37, 43, 49)	SS Tx 用の 1.2 V	0.1 µF, 1 µF, 22 µF	0.001 µF, 0.01 µF
AVDD33 (56, 61, 66)	USB 2.0 PHY 用の 3.3 V	1 µF, 22 µF	0.01 µF, 0.1 µF
AVDD33 (4)	SS PHY 用の 3.3 V	1 µF, 22 µF	0.01 µF, 0.1 µF
VDDIO (28)	GPIO 用の 3.3 V		0.01 µF, 0.1 µF

注: 図 1 に示されるように、AVDD33 (3.3 V USB 3.0 PHY) をノイズのある電源 VDDIO (GPIO 用の 3.3 V) と AVDD33 (3.3 V USB 2.0 PHY) から分離するために、フェライト ビーズが必要です。1.2 V 電源では、図 1 に示されるように、ノイズのある電源 (コア用の 1.2 V) をノイズのない電源 (SS Rx, Tx, および水晶発振器用の 1.2 V) を必要とするドメインから分離するために、フェライト ビーズが必要です。これらフェライト ビーズを使用しないと、コンプライアンス テストに不合格する可能性があります。

図 2. 88 ピン QFN パッケージの電源システムの推奨事項

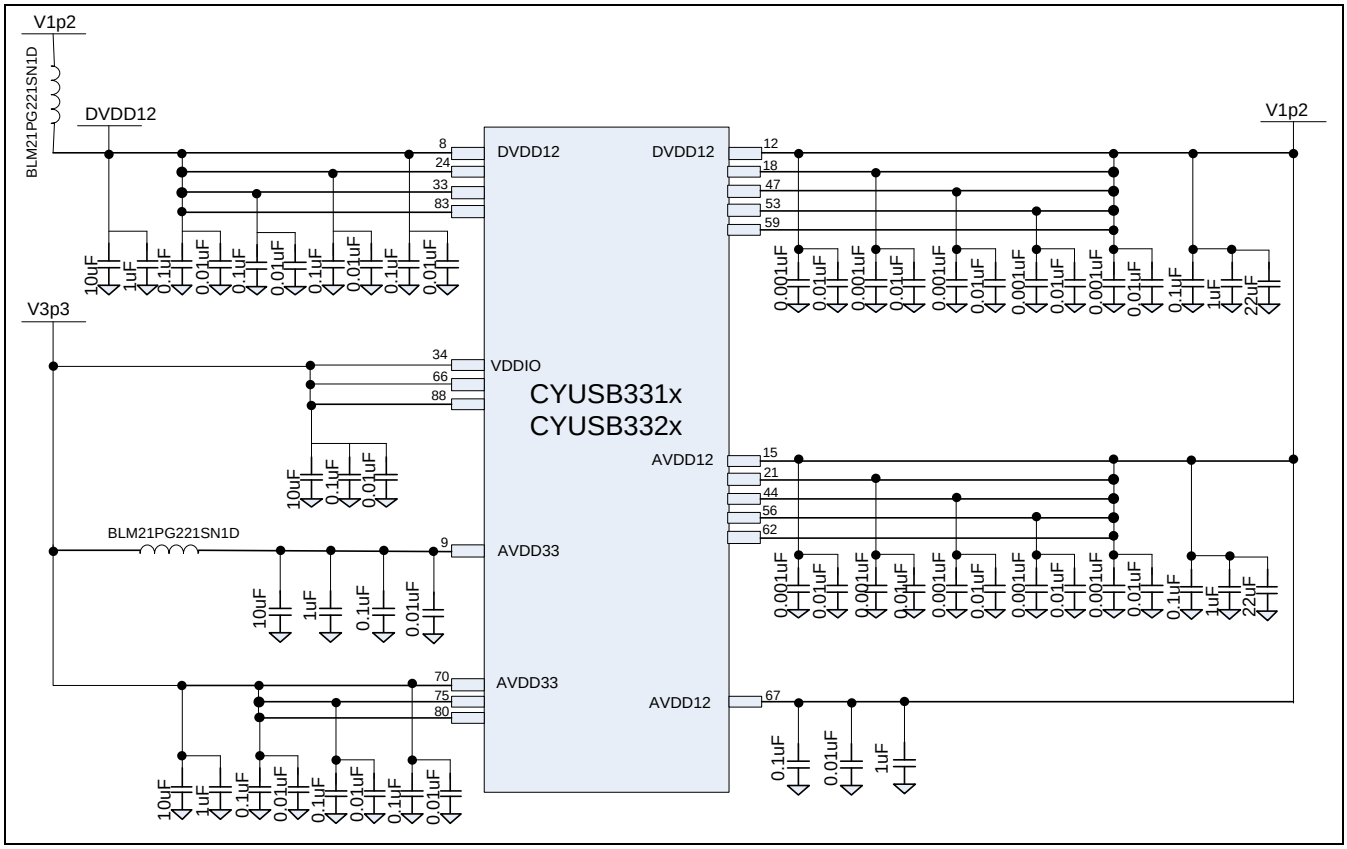


表 4 には、88 ピン QFN パッケージ用の電源ピン グループに接続する必要があるバルク コンデンサおよび電源ピン毎のデカップリング コンデンサを示します。

表 4. 88 ピン QFN パッケージのデカップリング コンデンサとバルク コンデンサの要件

パワードメイン (ピン番号)	項目	グループ用のバルク コンデンサ	ピン毎のデバックリング コンデンサ
AVDD12 (15, 21, 44, 56, 62)	SS Rx 用の 1.2 V	0.1 µF, 1 µF, 22 µF	0.001 µF, 0.01 µF
AVDD12 (67)	水晶発振器用の 1.2 V	1 µF	0.01 µF, 0.1 µF
DVDD12 (8, 24, 33, 83)	コア用の 1.2 V	1 µF, 10 µF	0.01 µF, 0.1 µF
DVDD12 (12, 18, 47, 53, 59)	SS Tx 用の 1.2 V	0.1 µF, 1 µF, 22 µF	0.001 µF, 0.01 µF
AVDD33 (70, 75, 80)	USB 2.0 PHY 用の 3.3 V	1 µF, 10 µF	0.01 µF, 0.1 µF
AVDD33 (9)	SS PHY 用の 3.3 V	1 µF, 10 µF	0.01 µF, 0.1 µF
VDDIO (34, 66, 88)	GPIO 用の 3.3 V	10 µF, 0.01 µF, 0.1 µF	

注: 図 2 に示されるように、AVDD33 (3.3 V USB 3.0 PHY) をノイズのある電源 VDDIO (GPIO 用の 3.3 V) と AVDD33 (3.3 V USB 2.0 PHY) から分離するために、フェライト ビーズが必要です。1.2 V 電源では、図 2 に示されるように、ノイズのある電源 (コア用の 1.2 V) をノイズのない電源 (SS Rx, Tx, および水晶発振器用の 1.2 V) を必要とするドメインから分離するために、フェライト ビーズが必要です。これらフェライト ビーズを使用しないと、コンプライアンス テストに不合格する可能性があります。

電源の要件

電源システムは、HX3 および DS デバイスの消費電力の要件を満たすように設計する必要があります。

表 2 には、HX3 の DS ポートが4つともアクティブな状態のときの最大消費電力を示します。 必要なポート数が 4 個より少ないアプリケーションでは、HX3 の総消費電力は小さくなります。 様々なコンフィギュレーションで予想される消費電力については、付録 A を参照してください。電源システムは、ポートのコンフィギュレーション (BC がサポートされるかどうか) に応じて、各 DS ポートにも必要な電源を供給します。ポート電流の要件については、表 5 を参照してください。

表 5. DS ポート電流の要件

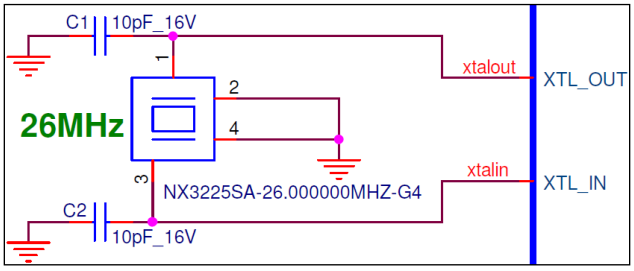
DS ポート構成	バッテリ充電	電流 (mA)
USB 3.0	なし	900
	BC v1.2	1500
	Apple	2100
USB 2.0	なし	500
	BC v1.2	1500
	Apple	2100

水晶振動子の要件

HX3 は、以下のパラメータを持つ外部水晶振動子を必要とします。

- 26 MHz±150 ppm
- 並列共振, 基本波モード
- 200 µW の最小駆動レベル

図 3. 水晶振動子周辺回路



水晶振動子の消費電力

水晶振動子の消費電力は以下のものに依存します。

- XTL_OUT ピンの電圧レベル (AVDD12 ピンでの最大電圧は 1.26 V)
- 動作周波数 (26 MHz)
- 水晶振動子の等価直列抵抗 (ESR)

式 1. 水晶振動子の消費電力

$$P = I^2R = \left(\frac{V_x}{|Z|}\right)^2 R$$
$$= 2[\pi f\ (C_0 + C_L)\ V_x]^2\ R$$

ここで:

f は水晶振動子の周波数

C_0 は、水晶振動子のデータシートに記載されている水晶のシャント容量

C_Lは、C_L の計算用に使う負荷容量 (次の節を参照)

R は、水晶振動子のデータシートに記載されている水晶の ESR

V_x は、AVDD12 ピンの最大電圧 1.26 V

HX3 開発キットで使用する水晶振動子のパラメータ (図 3 に示された NX3225SA-26.000000MHZ-G4) は以下の通りです。

f=26 MHz, C_0=1.22 pF, C_L=10 pF, R=50 Ω

式 1 によると、この水晶振動子の消費電力は 133 µW となります。これは、200 µW の水晶振動子の駆動レベルより小さいです。

電力消失より小さい駆動レベルの水晶振動子を使用する場合は、水晶振動子のエージング速度が速くなり、水晶振動子がバーンアウトになってしまうことがあります。

推奨されている他の水晶振動子は:

- NX3225SA-26.000MHZ-STD-CSR-1
- TSX-3225 26.0000MF09Z-AC3

注:いかなる直列抵抗も水晶振動子の XTL_OUT と XTL_IN ピンに接続しないでください。 直列抵抗を配置すると、水晶振動子の ESR に抵抗が加えられて、水晶振動子の電力消失と起動時間が増えます。

負荷容量値の計算

負荷容量C_Lは、HX3 へ精度の良いクロック ソースを供給することで重要な役割と果たします。コンデンサ C1 と C2 (図 3 に示される) は、水晶振動子の負荷容量値に基づいて慎重に選択する必要があります。

負荷容量は以下の式で計算されます。

式 2. 水晶振動子の負荷容量

$$C_L = \frac{C_1 * C_2}{C_1 + C_2} + C_s$$

Cs は、プリント基板上の XTAL_OUT と XTAL_IN 配線の浮遊容量です。通常は、Cs は 2 pF～5 pF です。

HX3 開発キットで使用される水晶振動子は、C_L=10 pF です。プリント基板のC_s=5 pF です。式 2 によると、C_1 =C_2=10 pF です。

外部クロック入力の要件

HX3は外部クロック入力でも動作します。 HX3は、外部クロック入力を使用するように設定する必要があります。これは、サイプレス Blaster Plusツールを使用して実現できます。Blaster Plusは、HX3を設定するためのGUIベースのツールです。 このツールで以下のことができます。

- サイプレスが提供したファームウェアを PC から HX3 の US ポートを介してダウンロードして、HX3 の I2C ポートに接続した EEPROM に格納します。
- EEPROM からコンフィギュレーション設定を読み出します。 これらの設定は Blaster Plus GUI に表示されます。 必要に応じて設定を変更します。
- 更新した設定を EEPROM に書き戻します。さらに、外部で使用するためにイメージ ファイルを作成することができます。

Blaster Plusツール、ユーザ ガイドおよびサイプレスが提供したファームウェアについては、www.cypress.com/hx3にアクセスしてください。表6には、外部クロック入力の要件を示します。

表 6. 外部クロック入力の要件

パラメータ	仕様			単位
	Min	Typ	Max	
振幅	1.14	1.2	1.26	V
最大周波数偏差	-	-	150	ppm
デューティ比	40	50	60	%
Rise tme／Fall time	-	-	3	ns
ジッタ (RMS)	-	-	18	ps

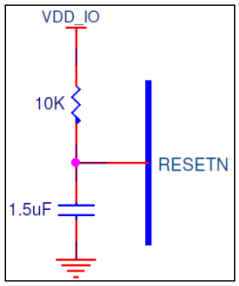
リセット回路

HX3 は、2 つの外部電源 3.3 V と 1.2 V で動作します。これら 2 つの電源間には電源シーケンスに必要条件はありません。 但し、RESETN ピンは、両方の電源が安定するまでロー レベルに維持する必要があります。

図 4 に示されるように、RESETN ピンは、外付け抵抗を介して VDD_IO に接続され、外付けコンデンサを介してグランド (GND) に接続されます (最小 5 ms の時定数) 。これにより、パワーオン リセット (POR) 用にノイズのないリセット信号が生成されます。

HX3は内部電圧低下の検出をサポートしません。この機能がシステムに必要とされる場合、電源がその有効な動作範囲以下になる時、外部リセットをRESETNピンに提供する必要があります。

図4. リセット回路



ポートのパワー マネージメント

USB 仕様によると、ハブの全ての DS ポート用に過電流保護が必要です。 HX3 は、過電流状態を検出して DS ポートへの電源をオフにするために外部電源スイッチを必要とします。

HX3 の 68 ピン QFN パッケージ品は、全ての DS ポートへの電源が 1 つのパワー イネーブル信号で制御されるギャング パワー スイッチに対応します。 HX3 の 88 ピン QFN パッケージ品は、インディビデュアルまたはギャング パワー スイッチに対応しています。 インディビデュアル パワー スイッチ モードでは、各 DS ポートの電力は個別のパワー イネーブル信号で制御されます。

ギャング パワー スイッチ モードでは、DS ポートが引き出した総電流が外部電源スイッチでプリセットされた電流制限を超えると、ハブは全ての DS ポートに対して電源をオフにします。 インディビデュアル パワー スイッチ モードでは、特定の DS ポートが引き出した電流がそのポートの電源スイッチでプリセットされた電流制限を超えると、ハブはそのポートに対して電源をオフにします。

電源スイッチのプリセット電流制限は、ポートのコンフィギュレーションに基づいてセットされます。 例えば、DS ポートが BC v1.2 をサポートするように設定された場合、電源スイッチのプリセット電流制限は 1.5 A にセットされます。

88 ピン QFN では、DSx_PWREN がインディビデュアル パワー スイッチ モードで外部電源スイッチを制御するために使用されます。ギャング パワー スイッチ モードでは、DS4_PWREN が外部電源スイッチへのパワー イネーブル信号です。 ACA-Dock をサポートする製品では (表 1)、US_PWREN が US ポートの電源スイッチを制御するために使用されます。

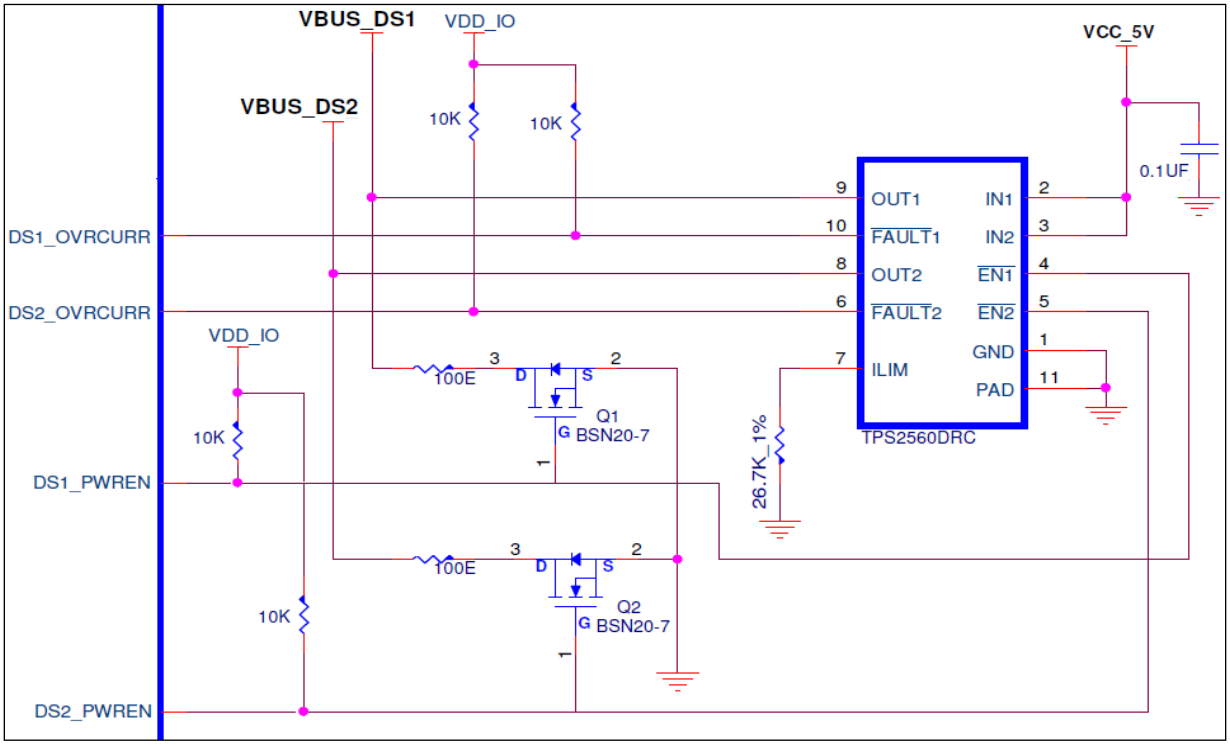
インディビデュアル パワー スイッチ モードでは、DSx_OVRCURR が外部電源スイッチから HX3 への過電流インジケータ入力です。ギャング パワー スイッチ モードでは、DS4_OVRCURR が外部電源スイッチから HX3 への過電流インジケータ入力です。 ACA-Dock をサポートする製品では (表 1)、US_OVRCURR が US ポートの電源スイッチからの過電流インジケータ入力です。

図 5 に、インディビデュアル パワー スイッチ モードでどのように電源スイッチを HX3 に接続するかを示します。

電源スイッチ回路図の注意事項:

- ほとんどのスイッチがオープンドレイン出力を提供するため、過電流入力 (DSx_OVRCURR) はプルアップ抵抗を必要とすることがあります。図 5 に示されるように、抵抗の推奨値は 10 kΩ です。
- 外部電源スイッチに応じて、パワー イネーブル (DSx_PWREN) で 10 kΩ プルアップまたはプルダウン抵抗が必要です。図 5 にある 10 kΩ プルアップは外部電源スイッチの入力 ($\overline{EN1}$と$\overline{EN2}$) として使用され、ロー アクティブです。
- 図 5 に示されるように、MOSFET Q1 と Q2 は、電源スイッチがオフになった時に DS ポートの VBUS に接続された 150 µF コンデンサを迅速に放電するために必要です。

図 5. HX3 への電源スイッチ接続

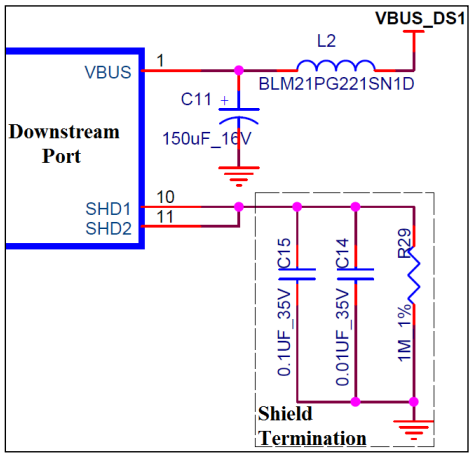


ダウンストリーム VBUS およびシールド終端

USB 仕様によると、最大負荷条件で電圧の安定状態を維持するために、各 DS ポートは VBUS ピンに少なくとも 120 µF の容量が必要です。

図 6 に示されるように、EMI を減少させるために、USB コネクタ シールド (SHD1 と SHD2) はパラレル RC 回路を介して GND に接続する必要があります。

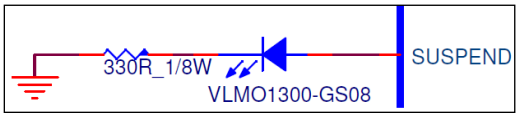
図 6. DS VBUS 接続およびシールド終端



サスペンド LED

USB 2.0 ハブも SS ハブ コントローラもサスペンド状態に入ると、このピンはアサートされます（ハイ レベル）。ハブ コントローラのいずれかがサスペンド状態を終了すると、このピンはデアサートされます（ロー レベル）。図 7 のように、サスペンド状態は LED で示されます。このピンはその電流供給能力 (最大 4 mA) を満たすために、330 Ω 抵抗を介して GND に直列に接続する必要があります。

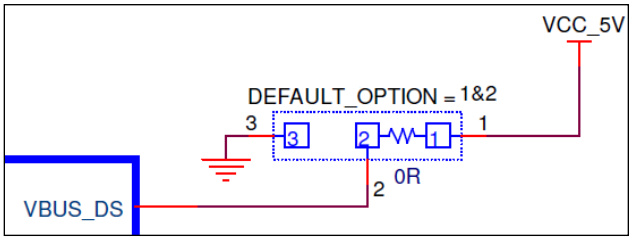
図 7. サスペンド LED



VBUS_DS および VBUS_US

VBUS_DSピンは、HX3にあるApple規格充電回路に電源を供給するために使用されます。 BC v1.2コンプライアンス テストのためには、このピンはGNDに接続する必要があります。 通常動作では、このピンはローカルの5 V電源に接続する必要があります。図8には、VBUS_DSピンの接続を示します。

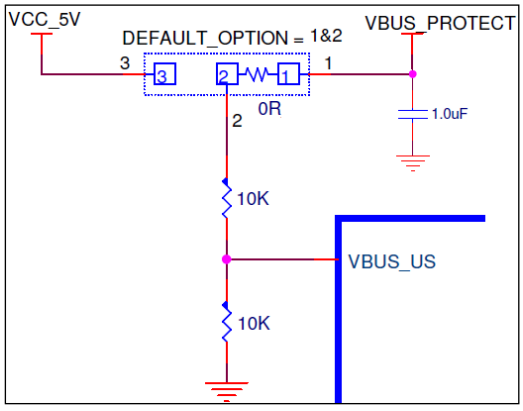
図 8. VBUS_DS ピンの接続



VBUS_US ピンは、US ポートから VBUS に接続する必要があります。この信号は、US ポートのホストまたはハブへの接続を検出するために使用されます。

ACA-dock をサポートする製品では (表 1)、VBUS_US をローカルの 5 V 電源に接続してください。電源切断のイベントの時に VBUS を迅速に放電するために、1 対の抵抗を VBUS_US ピンに接続することが推奨されています (図 9) 。

図 9. VBUS_US ピンに接続した抵抗



VCC_5V は、5 V ローカル電源です。VBUS_PROTECT は、US ポートからの VBUS です。

HX3 USB 3.0 ハブコントローラを搭載したスマートフォンやタブレットドックへの ACA-Dock 機能のサポートについては、KBA96321 を参照してください。

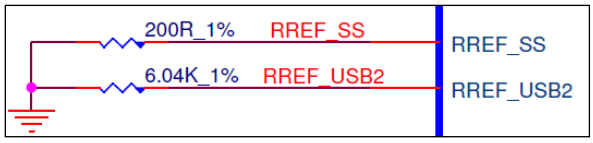
USB 高精度抵抗

RREF_SS:SS PHY 終端インピーダンスのキャリブレーションのために、このピンは高精度抵抗 (200 Ω ± 1 %) に接続されます (図 10) 。

RREF_USB2:USB 2.0 PHY 用の電流リファレンスを生成するために、このピンは高精度抵抗 (6.04 kΩ ± 1 %) に接続されます (図 10) 。

これらの抵抗は、HX3 の近くに配置し、最短経路で GND に接続する必要があります。

図 10. USB 高精度抵抗



コンフィギュレーション オプション

HX3 は、様々なハブ設計の要求を満たすように高度にコンフィギュレーション設定が可能です。 HX3 のデフォルのコンフィギュレーションは、以下のいずれかで変更することができます。

1. ピンストラップ (88 ピン QFN のみに適用可能) 。
2. EEPROM などの外部 I²C スレーブ。
3. 外部 I²C マスタ。

ピンストラップによるコンフィギュレーション

ピンストラップは、製品オプションを選択するために (表 1)、追加の EEPROM なしでもリコンフィギュレーションができるようにしたものです。ピンストラップによるコンフィギュレーションは、88 ピン QFN のピン#63 をハイ レベルにプルすることで可能にします。表 7 には、ピンストラップによりサポートされる構成オプション、および電源投入後リセット時の初期サンプリング後のピン機能を示します。図 11 と図 12 には、ピンストラップと LED 接続が必要な場合とピンストラップのみが必要な場合にどのようにピンを接続するかを示します。

HX3 は、電源投入時に、ピン ストラップ GPIO をサンプリングします。 フローティング ストラップは無効であるとされ、デフォルト構成が使用されます。 PIN_STRAP (88 ピン QFN のピン#63) がフローティングの場合、全てのストラップ入力は無効であるとされます。GPIO は、プルアップ (10 kΩ) またはプルダウン (10 kΩ) で接続された時、それぞれに対応して「1」または「0」に設定されたとみなされます。電源投入後リセット時に初期サンプリングした後、GPIO は通常機能で使用できます。

図 11. ピンストラップと LED の回路図

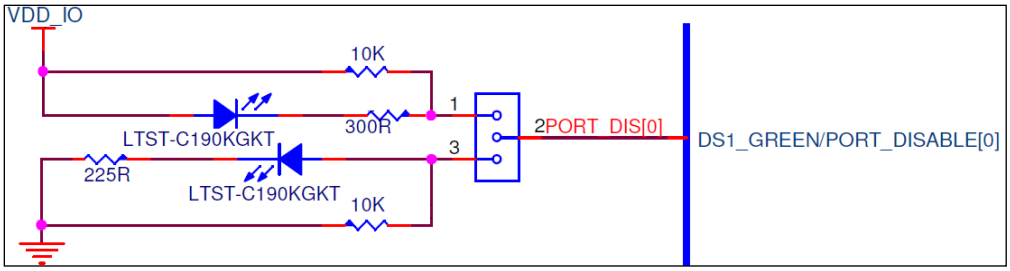


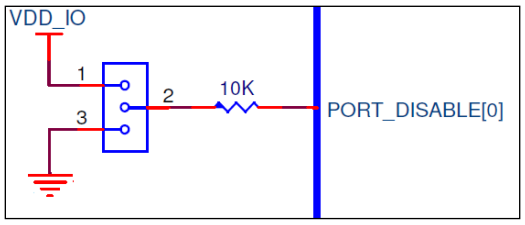
表 7. ピンストラップのピン

ピン数	ピンストラップ名	ピンストラップの目的	電源投入後リセット時に初期サンプリングされた後のピン機能
1	PIN_STRAP	ピンストラップによる設定を有効にする	DS3 ポート用の SS LED インジケータ
1	ACA_DOCK	ACA-Dock を有効にする	DS1 ポート用の USB 2.0 AMBER LED インジケータ
2	PORT_DISABLE[1:0]	無効にする DS ポート数を選択する	PORT_DISABLE[1] – DS1 ポート用の SS LED インジケータ
			PORT_DISABLE[0] – DS1 ポート用の USB 2.0 GREEN LED インジケータ
2	NON_REMOVABLE[1:0]	ノン リムーバル (hard-wired／embedded) デバイス数を選択する	NON_REMOVABLE[1] – DS2 ポート用の USB 2.0 GREEN LED インジケータ
			NON_REMOVABLE[0] – DS2 ポート用の USB 2.0 AMBER LED インジケータ
3	VID_SEL[2:0]	プログラム済みのカスタム VID	VID_SEL[2] – DS3 ポート用の USB 2.0 AMBER LED インジケータ
			VID_SEL[1] – DS3 ポート用の USB 2.0 GREEN LED インジケータ
			VID_SEL[0] – DS4 ポート用の USB 2.0 GREEN LED インジケータ
1	PWR_SW_POL	過電流およびパワー イネーブル信号の極性を選択する	-
4	DSx_CDP_EN[3:0]	DS ポート毎に CDP を有効／無効にする	-
1	PWR_EN_SEL	DS ポート用に個別か連結電源切り替えモードを選択する	DS2 ポート用の SS LED インジケータ
1	I2C_DEV_ID	I²C スレーブ アドレスを選択する	DS4 ポート用の USB 2.0 AMBER LED インジケータ

ピンストラップによる設定の詳細は、HX3 データシートを参照してください。

ピンストラップのピンがポート状態 LED インジケータとしてもマルチプレクスされた場合、その特定のピンは、コンフィギュレーションに応じて VDD_IO か GND に 10 kΩ 抵抗を介して接続しなければなりません (図 11) 。これにより、電源投入時に HX3 がピンストラップのピンで適切な論理レベル (HIGH か LOW) をサンプリングすることを保証できます。

図 12. ピンストラップの回路図

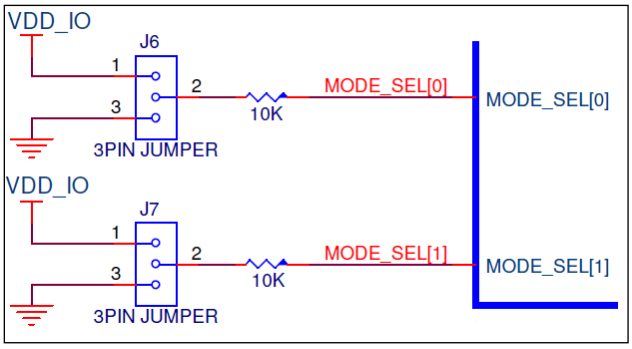


PORT_DISABLE[1:0], NON_REMOVABLE[1:0], DSx_CDP_EN[3:0], VID_SEL[2:0]はピン グループであり、グループ内のいずれかのピンがフローティングのままだと、その特定のグループは無効になります。 例えば、PORT_DISABLE[1]ピンがフローティングのままだと、PORT_DISABLE[1:0]グループは無効になり、デフォルト コンフィギュレーションが適用されます。

外部 I²C EEPROM によるコンフィギュレーション

HX3 は、MODE_SEL[1:0]ピンを適切にセットすることで、EEPROM などの外部 I²C スレーブから設定することができます。MODE_SEL[1]は、GND に接続された 10 kΩ 抵抗によりロー レベルにプルダウンし、MODE_SEL[0]は、VDD_IO に接続された 10 kΩ 抵抗によりハイ レベルにプルアップする必要があります (図 13) 。

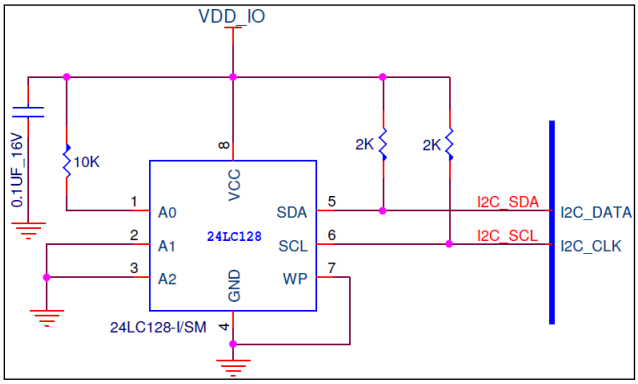
図 13. MODE_SEL を使ってコンフィギュレーションを選択する



HX3 ファームウェア イメージ ファイルは 10 KB 程度のサイズであり、推奨する EEPROM サイズは 16 KB～64 KB です。

推奨する EEPROM：24LC128 および AT24C16A。

図 14. EEPROM 接続



EEPROM を使って HX3 のコンフィギュレーションを設定するために：

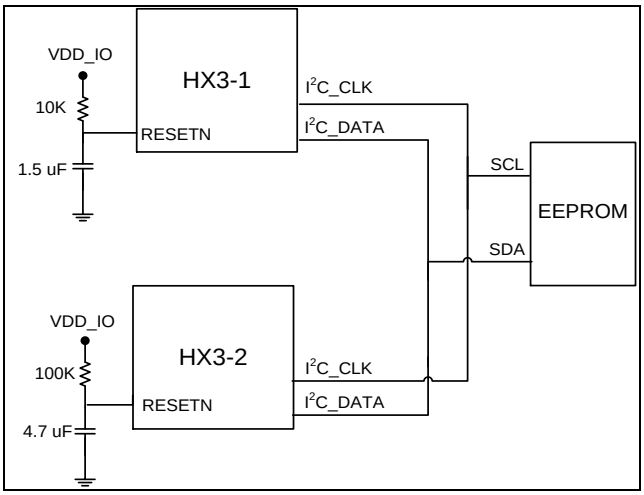
- EEPROM のアドレス ピン A1 と A2 をロー レベルに接続し、アドレス ピン A0 を、VDD_IO に接続された 10 kΩ 抵抗によりハイ レベルにプルアップする必要があります (図 14) 。
- I2C_DATA と I2C_CLK ラインを、VDD_IO に接続された 2 kΩ 抵抗によりハイ レベルにプルアップする必要があります。

2 個の HX3 を 1 個の EEPROM に接続

2 個の HX3 を必要としたシステムでは、1 個の EEPROM を使用して両方の HX3 をシーケンシャルに設定することができます。

EEPROM へのシーケンシャル アクセスを保証するために、1 個の HX3 の RESET デアサートは、もう一つの HX3 に対して遅延させる必要があります。

図 15. 2 個の HX3 を 1 個の EEPROM に接続



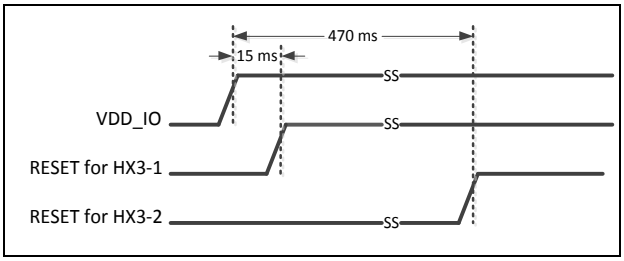
RESET デアサートは次のように実施できます。

HX3-1：R=10 kΩ と C=1.5 µF を使用して (図 15 のように) 15 ms の RESET パルスを生成します。

HX3-2：R=100 kΩ と C=4.7 µF を使用して (図 15 のように) 470 ms の RESET パルスを生成します。

RESET のタイミング図は図 16 に示されます。

図 16. RESET タイミング図



外部 I²C マスタによるコンフィギュレーション

HX3 は、MODE_SEL[1:0]ピンを適切にセットすることで、汎用品を使って外部 I²C マスタから設定することができます。MODE_SEL[1]は、VDD_IO に接続された 10 kΩ 抵抗によりハイ レベルにプルアップし、MODE_SEL[0]は、GND に接続された 10 kΩ 抵抗によりロー レベルにプルダウンしなければなりません。

PCB 設計上の注意事項

USB 3.0 の基板を設計する際には、部品の選択, 電源デカップリング コンデンサの配置, 信号ラインのインピーダンスおよびノイズに細心の注意を払ってください。本節では、電源と USB 信号ラインのルーティングのプリント基板設計ガイドラインについて説明します。

プリント基板レイアウト技術の一般情報は、「付録 C」を参照してください。

電源システム設計

信頼できるハブ動作のためには、HX3 チップへの電源はノイズがなく、安定である必要があります。レイアウトが不適切に行われると、信号品質が悪くなって (特に USB 信号)、エラー レートが高くなり、エラーコレクションのリトライ回数が多くなります。これらは、ハブのエニュメレーションの失敗を引き起こすことがあります。電源システム ネットワークを設計する際には、以下の事項に注意してください。

- バルク コンデンサとデカップリング コンデンサの配置
- パワー ドメインのルーティング
- 電源面とグランド面の配置

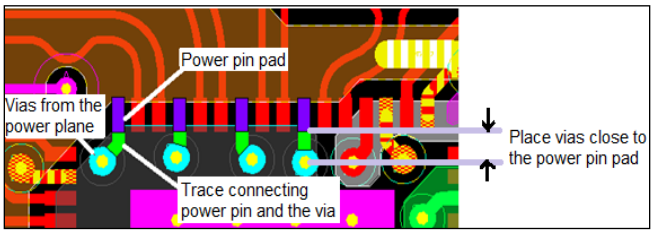
バルク コンデンサとデカップリング コンデンサの配置

高周波ノイズのフィルタ処理のために、デカップリング コンデンサを電源ピンの近くに配置してください。平面インダクタンスを減少させるために、それらは、プリント基板の反対側で HX3 の真下に配置することが推奨されています。

電源ピン用のローカル電源として動作するバルク コンデンサは、デカップリング コンデンサの近くに配置します。バルク コンデンサとデカップリング コンデンサ間の配線を最短にします。

電源配線幅を、電源パッドのサイズと同じにします。電源ピンを電源面に接続するために、ビアを電源パッドのすぐ近くに配置します。これにより、浮遊インダクタンスおよびライン上の IR ドロップが最小限になります (図 17) 。

図 17. 電源供給ネットワーク



パワー ドメインのルーティング

HX3 には、VDDIO, AVDD12, DVDD12, AVDD33 という 4 個のパワー ドメインがあります。これらのドメインには電源レイヤーの分割面を使用します。電源レイヤーに分割面のために十分な面積がない場合、VDDIO および AVDD33 用に電源配線を使ってください。次は電源配線のために推奨されるガイドラインです。

- 電源配線を HS データ ラインとクロック ラインから離します。
- インダクタンスを減少させるために、配線幅を≥25 mil にします。
- 電源配線を短くします。電源配線で大きなビア (少なくとも 30 mil のパッド、15 mil のホール) を使用します。

電源面とグランド面の配置

良い平面容量のために、電源面をグランド面の近くに配置します。面と面の間に存在する平面容量は、高周波ノイズのフィルタ処理用の分布デカップリング コンデンサとして動作して、電磁放射を減少させます。

USB データ ラインのルーティング

良い信号品質を得て、エミッションを減少させるために、USB 信号ラインを配線する際は注意してください。 プリント基板設計段階で USB 信号ラインを配線する際は、以下の重要な要素に注意してください。

制御された差動インピーダンス

USB 信号ラインの差動インピーダンスは 90 Ω ± 10 %である必要があります。そうでない場合は、信号のアイ パターン, ジッタ, およびクロスオーバー電圧の測定結果に影響を与えます。

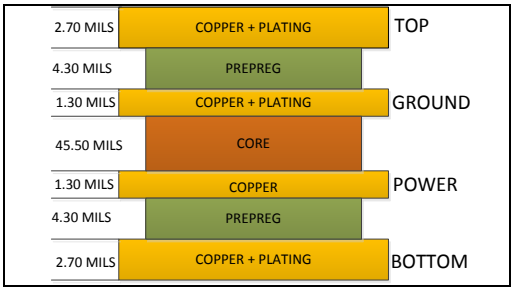
差動インピーダンスの基本的な理論については、付録 D を参照してください。

標準厚さ 62 mil の 4 層プリント基板の例

標準厚さ 62 mil (1.6 mm) のプリント基板の推奨されているスタックアップは図 18 に示されます。このスタックアップを 2 本の平行な配線と共に使用したら (配線幅 (W) が 5.75 mil, 間隔 (S) が 12 mil), 差動インピーダンス (Z_{diff}) は 90 Ω と計算されます。

図 18 には、HX3 開発キットのレイアウトにある各レイヤーを示します。

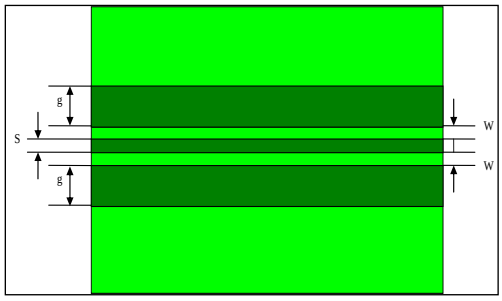
図 18. スタックアップの詳細



インピーダンス マッチング

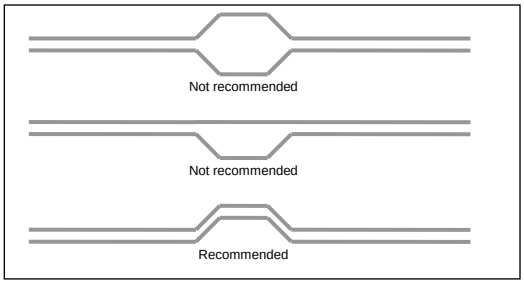
インピーダンス不整合を防ぐために、図 19 と図 20 に示すように差動ペアで一定の配線幅と間隔を維持します。

図 19. 差動ペアの配置



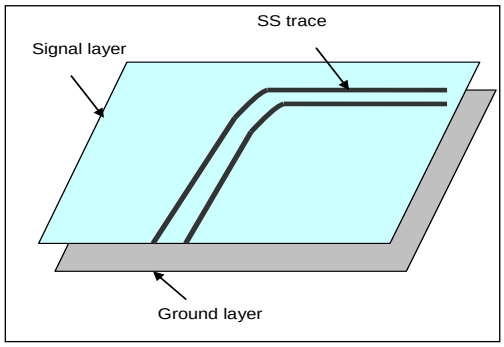
ここでは、g は配線と他の面の最小間隔 (8 mil) です。

図 20. 差動ペアのインピーダンス マッチングの技術



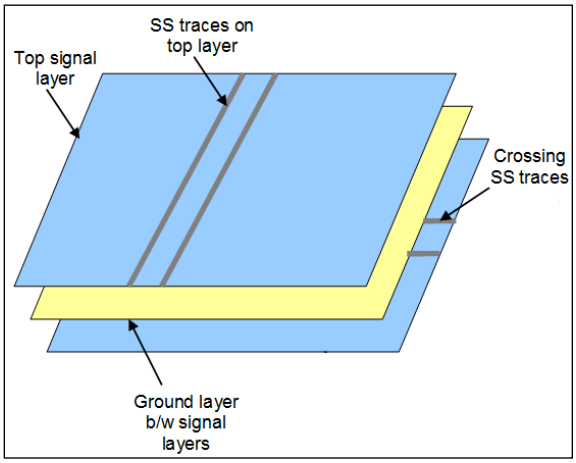
適切な電流リターン パスを提供するために、全ての SS 信号ラインを隣接するグランド面のレイヤー上に配線する必要があります。SS 信号下のグランド面を分割すると、インピーダンス不整合が発生し、ループ インダクタンスと電気的な放射が増加します。図 21 には、SS 信号下のベタ グランド面を示します。

図 21. SS 信号下のベタ グランド面



2 対の USB 配線が異なる層で互いに交差するときは、に示すように、グランド層を 2 枚の USB 信号層の間に配置する必要があります。

図 22. グランド層の挿入



配線の長さ

USB 信号の配線長は、できるだけ短くする必要があります。 長い配線にすると、挿入損失や放射を増加させ、far-end のレシーバに符号間干渉 (ISI) を発生させます。

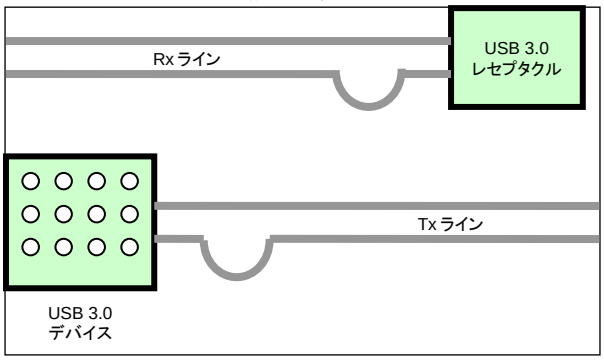
注: HX3 SS ラインは、最大 11 インチの配線長までキャラクタライズしています。SS のプリント基板配線の長さを 11 インチ以下にすることが推奨されます。

プリント基板レイアウト設計中に、USB 信号ラインのルーティングに優先順位を付けます。以下の推奨事項を保証してください。

- 差動 SS ペアの配線長を 0.12 mm (5 mil) 以内に一致させます。
- 高速 (D+と D–) 信号の配線長を 1.25 mm (50 mil) 以内に一致させます。
- 必要に応じて、USB レセプタクルに近い高速信号配線の長さを調整します。
- 必要に応じて、USB レセプタクルに近い SS Rx 信号配線の長さを調整し、デバイスに近い SS Tx 信号配線の長さを調整します。

図 23 には、SS 信号の長さマッチングの例を示します。

図 23. SS 信号の長さマッチング



ポート間の分離

ポート間の分離は、1 つのポートの SS Tx ラインから他のポートの Rx ラインに対する干渉縞の影響を最小限にするのに必要です。

2 対の差動ペア間の間隔をグランドで埋めます。グランドと差動ペア間の間隔を少なくとも 2*W* に維持します (*W*=配線幅) 。

ポート間で適切な分離を保証するために、SS と HS 配線に沿ってビアにより差し込まれた保護配線を施します。

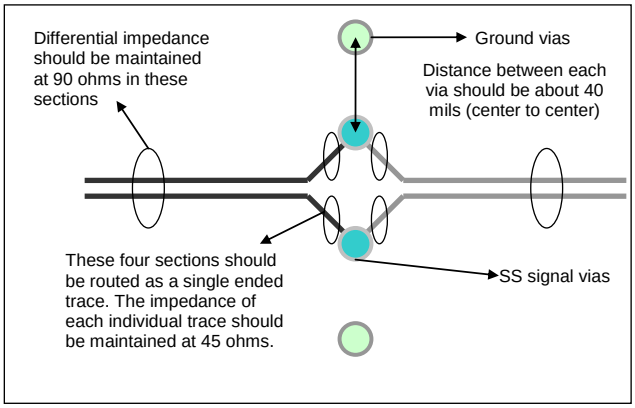
図 26 には、スティッチング ビアを持つ USB データ ライン ペアの両側でのグランド配線のルーティングを示します。

信号ビアのルーティング

SS 信号は 1 レイヤーで配線することが推奨されています。ビアは、信号ラインの中断を発生させ、SS 信号品質に影響します。

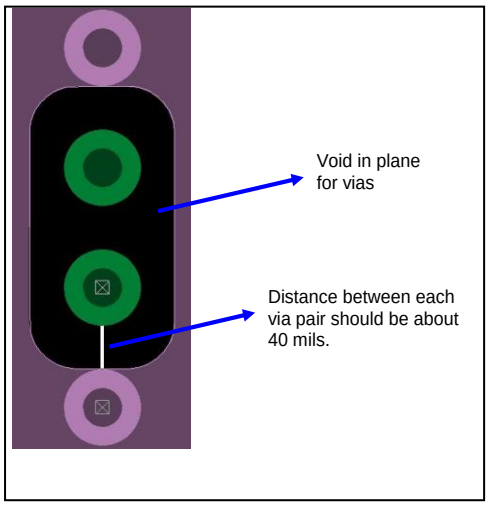
SS 信号を他のレイヤーに配線する必要がある場合、全体的に均一なインピーダンスを保証するために、連続的なグランドを維持します。 このためには、図 24 のようにグランド ビアを信号ビアの隣に配置します。 信号ビアとグランド ビア間の距離は、少なくとも 40 mil にしてください。

図 24. グランド ビア



SS 信号配線上のビア用のくぼみは、差動ペアに共通でなければなりません。図 25 に示された共通のくぼみは、別々のビアを施す場合に比べてインピーダンスのマッチングに適しています。

図 25. SS 配線用のビアのくぼみ配置



他の推奨事項

RC リセット回路で使用するコンデンサを HX3 のリセット ピンにできるだけ近く配置します。

水晶振動子を HX3 から 1 cm 以内に配置します。また、水晶振動子配線下にベタのグランド プレーンがあることを保証してください。

標準 B レセプタクル (スルーホール レセプタクル) を使用する時、図 27 と図 28 のように、USB 信号線は、レセプタクルが置かれているレイヤーと反対側のレイヤーでレセプタクル ピンに接続することが強く推奨されています。 例えば、標準 B レセプタクルが最上層に配置されている場合、信号線は、最下層でのレセプタクル ピンに接続する必要があります。これは、ピン スタブ (アンテナ) を防ぐためです。

図 26. ポート間の分離

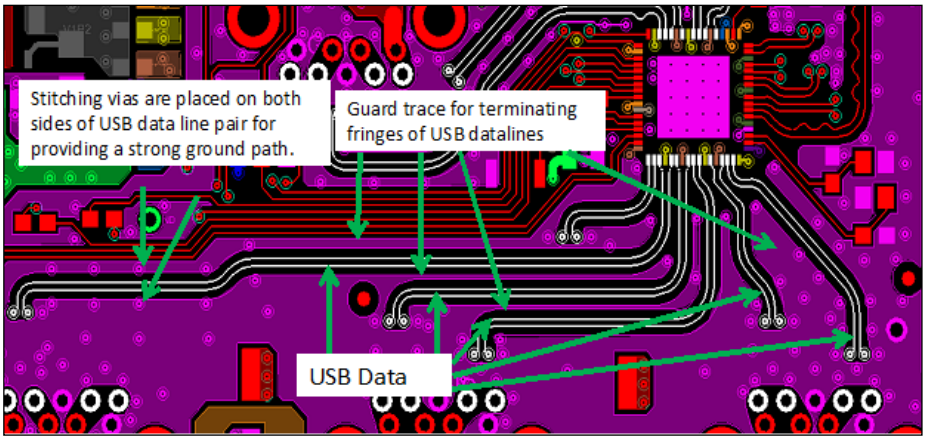


図 27. 標準 B レセプタクルの配置

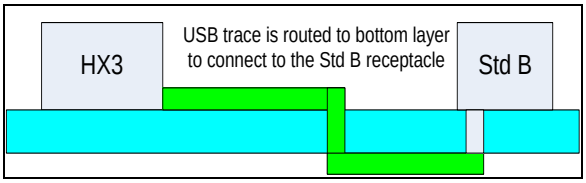


図 28. 標準 B レセプタクルのレイアウト

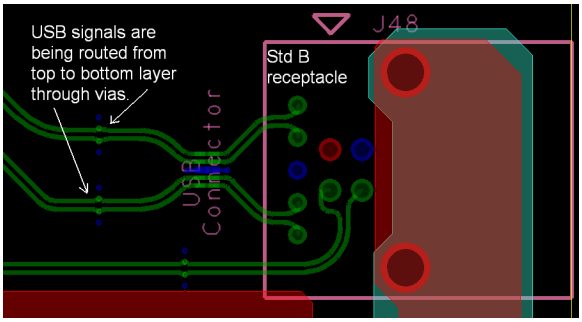
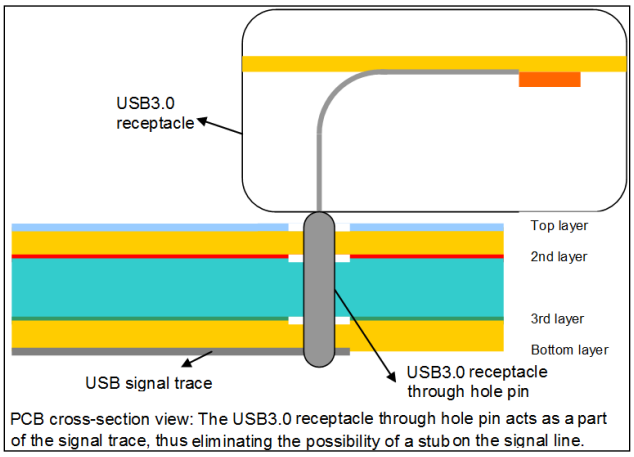


図 29 には、推奨されたレイアウトを示します。ビアを避けるために、デバイスを標準 B レセプタクルの反対側のレイヤーに配置することができます。この場合、USB 配線は同じレイヤーに完全にルーティングすることができます。

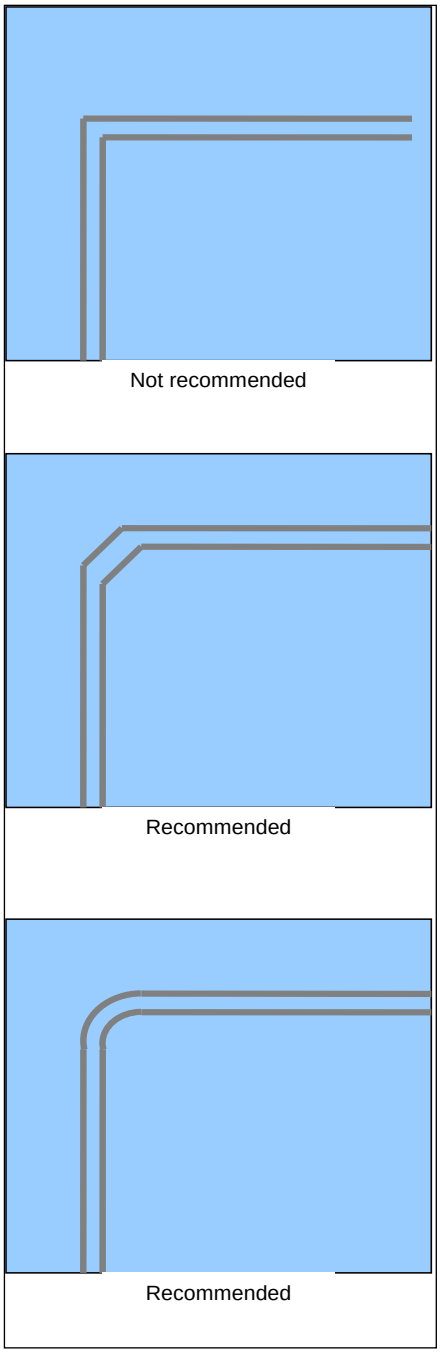
図 29. 信号線上のスタブを防ぐために USB 信号が標準タイプ B USB レセプタクルの反対側に接続されています



SS 差動ペアの極性は交換することができます。 USB 3.0 仕様の 6.4.2 節で定義されているように、極性検出はリンク トレーニング中に SS PHY によって自動的に行われます。極性反転メカニズムは、USB 配線が互いに交差しないようにするために利用することができます。

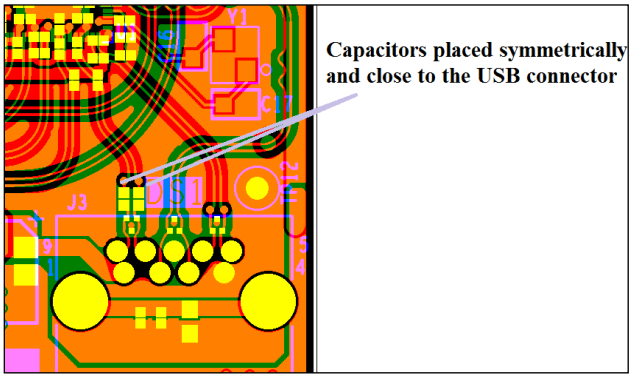
USB 信号線は、できるだけ屈曲させないようにします。 直角に曲げないでください。 屈曲する必要がある場合は、図 30 のように、45 度または円弧 (曲線) で曲げてください。

図 30. USB 信号の屈曲



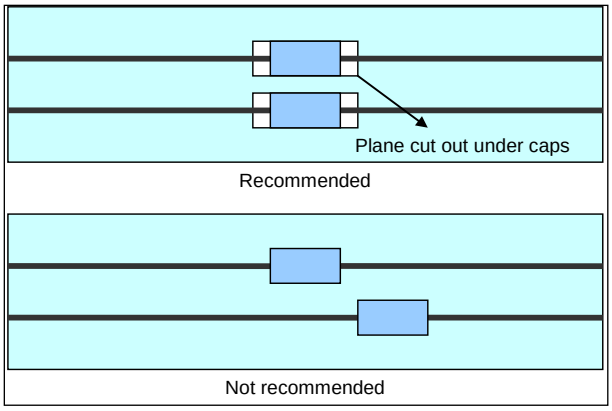
SS 配線には、(図 31 のように US ポートと DS ポート両方で) TX ライン上で追加の AC カップリング コンデンサ (0.1 µF) が必要です。DS ポートでは、これらコンデンサを対照的、且つコネクタの近くに配置します。US ポートでは、デバイスの近くに配置します。

図 31. SS TX ラインの AC カップリング コンデンサ



コンデンサ パッドで生じるライン上の追加の容量を防ぐために、AC カップリング コンデンサの真下の 2 枚のレイヤーには、これらコンデンサの形の切り抜きがある必要があります。図 32 には、デカップリング コンデンサの適切なレイアウトを示します。

図 32. SS TX の AC カップリング コンデンサのレイアウト



回路図とレイアウトのレビュー チェックリスト

<}0{>は、全ての重要なガイドラインのチェックリストです。 それぞれの項目に答えて、ハードウェア設計がこれらガイドラインをどこまで満たしたかを確認します。

表 8. 回路図とレイアウトのレビュー チェックリスト

番号	回路図のチェックリスト	回答 (はい／いいえ／該当なし)
1	デカップリング コンデンサおよびバルク コンデンサが図 1 と図 2 のように接続されていますか？	
2	水晶振動子が本アプリケーション ノートの仕様を満たしますか？	
3	全ての DS ポートに 150 µF バルク コンデンサが付けられていますか？	
4	パワーオン リセット RC 部品は最小リセット時間 (5 ms) を満たしますか？	
5	USB 高精度抵抗は 1 %誤差に入っていますか？	
6	I^2C ラインはプルアップ抵抗で 3.3 V ドメインにプルアップされていますか？	
7	ピンストラップ ピンに接続した LED は 10 kΩ パラレル抵抗を持っていますか？	
8	DS ポート電源スイッチが OUTPUT ピンに接続された MOSFET を持っているか、または迅速な放電のできる電源スイッチが選択されたことが保証されていますか？	
9	VBUS_US ピンが 10 kΩ 分圧器ネットワークに接続されていますか？	
10	US ポートが 1 µF バルク コンデンサを持っていますか？	
11	全てのポート シールドが適切に接続されていますか？	
12	フェライト ビーズが図 1 と図 2 に接続されていますか？	
13	ピンストラップ コンフィギュレーションが HX3 に使用されている時に、MODE_SEL[1]と MODE_SEL[0]がロー レベルにプルダウンされていませんか？ (88 ピン QFN のみ)	
14	LED に直列に接続された抵抗の値が HX3 の IO 電流ソース／シンク能力 (4 mA) に基づいて決められましたか？	
	レイアウトのチェックリスト	
1	水晶振動子がチップの近く (1 cm 以内に) 配置されていますか？	
2	デカップリング コンデンサおよびバルク コンデンサが HX3 電源ピンの近くに配置されていますか？	
3	ビアが HX3 電源ピンの近くに配置されていますか？	
4	電源配線が高速データ ラインとクロック ラインから離されていますか？	
5	RC リセット回路で使用されるコンデンサが HX3 のリセット ピンの近くに配置されていますか？	
6	150 µF コンデンサが DS ポート コネクタの近くに配置されていますか？	
7	USB SS と HS 信号線の長さが一致していますか？	
8	USB データ ラインの下がベタ グランド プレーンですか？	
9	SS 保護配線が、スティッチング ビアを持つ USB データ配線に沿って施されていますか？	
10	SS 配線が TX ライン上の AC デカップリング コンデンサ (0.1 µF) を持っていますか？	
11	USB 配線長ができるだけ短くなっていますか？	
12	全ての USB 配線にスタブがないことが保証されていますか？	
13	SS 配線にビアがないことが保証されていますか？	
14	USB 配線があまり屈曲しておらず、直角に曲がっていませんか？	

まとめ

USB スーパースピード動作は、HX3 のシグナル インティグリティを維持するために慎重なハードウェア設計を求めています。 本アプリケーション ノートのガイドラインに従うことにより、お客様の HX3 ベースの設計が初回で合格するチャンスがあります。

略語

表 9. 本書で使用する略語

略語	項目
ACA	Accessory Charger Adaptor (アクセサリ チャージャー アダプタ)
ASSP	Application Specific Standard Product (アプリケーション固有の汎用製品)
BC	Battery Charging (バッテリ充電)
CDP	Charging Downstream Port (チャージング ダウンストリーム ポート)
DCP	Dedicated Charging Port (デディケーティッド チャージング ポート)
DS	DownStream (ダウンストリーム)
EEPROM	Electrically Erasable Programmable Read-Only Memory (電気的消去書き込み可能な読み出し専用メモリ)
FS	Full-Speed (フルスピード)
GND	グランド
HS	Hi-Speed (ハイスピード)
LED	Light-Emitting Diode (発光ダイオード)
LS	Low-Speed (ロースピード)
PCB	Printed Circuit Board (プリント回路基板)
QFN	Quad Flat No-Lead (クアッド フラット リードなしパッケージ)
SDP	Standard Downstream Port (スタンダード ダウンストリーム ポート)
SS	SuperSpeed (スーパースピード)
SWD	Serial Wire Debug (シリアル ワイヤ デバッガ)
US	UpStream (アップストリーム)
USB	Universal Serial Bus (ユニバーサル シリアル バス)
VID	Vendor ID (ベンダーID)

作成者について

氏名:	Prajith C
役職:	アプリケーション エンジニア
連絡先:	prji@cypress.com

氏名:	Rama Sai Krishna V
役職:	アプリケーション エンジニア担当
連絡先:	rskv@cypress.com

付録 A:消費電力

表10は、異なる条件下のHX3消費電力の見積もりを示します。表11は、DSポートに接続された様々なデバイスの組み合わせの消費電力をまとめます。

例えば、3個のSSデバイスがDSポートに接続され (1個のDSポートにはデバイスが接続されない)、USポートがUSB 3.0ホストに接続された場合のHX3消費電力の計算方法は以下の通りです。

消費電力 = [a] + 2×[g] = 492.5 + 2×76 = 644.5 mW

[a] は、USポートがUSB 3.0ホストに接続され、SSデバイスがDSポートに接続された場合のアクティブな消費電力

[g] は、DSポートに接続された追加のSSデバイスの増分の消費電力

表 10. 様々な使用シナリオにおける消費電力の見積もり

デバイスの条件	接続された DS ポートの数と速度	消費電力 (TYP)			コメント
		供給電流 (mA)		電力 (mW)	
		1.2 V	3.3 V		
ホストと接続されていない	-	18.0	6.0	41.4	-
サスペンド時の消費電力:ホストと接続されている[2]	接続されたデバイスはない	42.0	12.0	90.0	-
アクティブ時の消費電力:USB 3.0 ホストと接続されている[3]	1 SS	204.1	75.0	492.5	[a]
	1 HS	51.2	45.2	210.7	[b]
	1 FS	51.2	34.0	173.7	[c]
	1 SS + 1 HS	218	103.4	602.9	[d]
アクティブ時の消費電力:USB 2.0 ホストと接続されている[3], [4]	1 HS	51.2	45.2	210.7	[e]
	1 FS	51.2	34.0	173.7	[f]
追加 DS ポートによるアクティブ時消費電力増分	1 SS	39.4	8.7	76.0	[g]
	1 HS	7.0	19.8	73.7	[h]
	1 FS	7.0	14.2	55.2	[i]
ディセーブルされた DS ポート毎に節約されるアクティブ時の消費電力[5]	-	10.6	9.6	44.4	[j]

表 11. 様々なコンフィギュレーションにおける消費電力

デバイスの条件	データ転送用に接続された DS デバイス数	消費電力 (TYP)			コメント
		供給電流 (mA)		電力 (mW)	
		1.2 V	3.3 V		
USB 3.0 4 ポート ハブ (USB 3.0 ホスト)	4 SS デバイス	322	101	720	[a] + 3×[g]
	3 SS + 1 HS デバイス	297	121	755	[d] + 2× [g]
	3 SS デバイス	283	92	644	[a] + 2× [g]
USB 3.0 4 ポート ハブ (USB 3.0 ホスト), 1 ポートはディセーブル	3 SS デバイス	272	83	600	[a] + 2× [g] –[j]
	2 SS + 1 HS デバイス	247	103	634	[d] + [g] – [j]
Shared Link, 8 DS ポート	4 SS + 4 HS デバイス	357	189	1052	[d] + 3× ([g] + [h])
USB 3.0 4 ポート ハブ (USB 2.0 ホスト)	4 HS デバイス	72	105	432	[e] + 3× [h]
	3 HS + 1 FS デバイス	72	99	413	[e] + 2× [h] + [i]

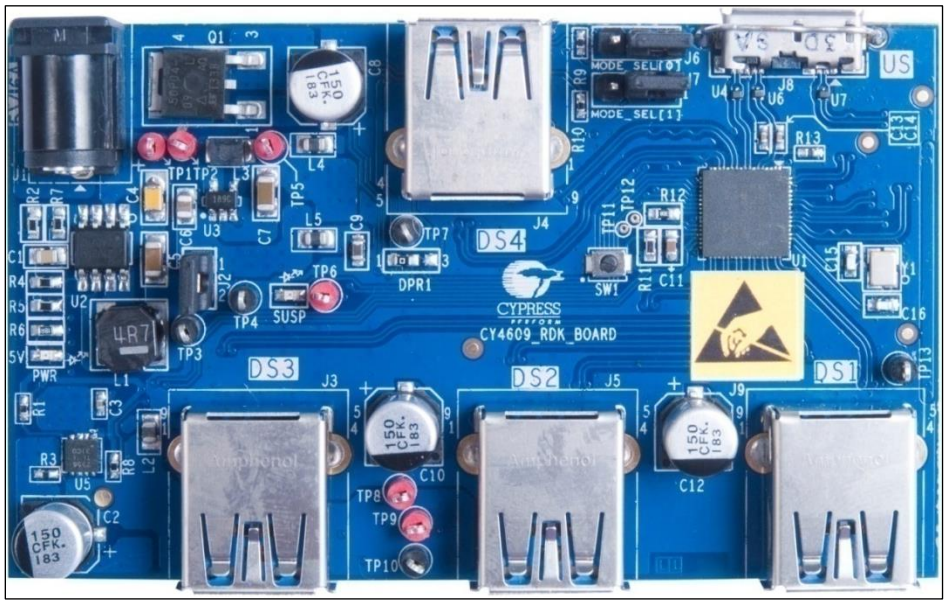
注記

2. US ポートが低消費電力状態にあります (SS デバイスが U3、USB 2.0 デバイスが L2 となっています) 。
3. 4 個の DS ポートは全てイネーブルになります。
4. コンフィギュレーション オプションにより US SS がディセーブルになります。コンフィギュレーション オプションは、HX3 データシートを参照してください。
5. 省電力機能は USB 3.0 ホストに接続されているときにのみ適用されます。 DS ポートは、コンフィギュレーション オプションによりディセーブルにすることができます。コンフィギュレーション オプションは、HX3 データシートを参照してください。

付録 B:HX3 開発キット (DVK) および BOM

サイプレスの FX3 DVK は、作業開始するために必要なハードウェアを提供します。 CY4609 は 68 ピン QFN の DVK であり、CY4603 は 88 ピン QFN の DVK です。CY4613 も 88 ピン QFN が使用され、Shared Link 機能をテストする手助けになります。これら DVK の内容は、HX3 を使用して最終ハブ製品を設計する手助けになります。図 33 は CY4609、図 34 は CY4603、図 35 は CY4613 の画像を示します。HX3 DVK 回路図は、サイプレスのウェブページからダウンロードすることができます。

図 33. HX3 68 ピン QFN DVK (CY4609)



CY4609 の BOM 削減

CY4609 は、幾つかのコンフィギュレーションとデバッグ オプションを持つように設計されています。 最終製品設計では、これらオプションは不要です。 また、HX3 設計は最適化されたデカップリング コンデンサ値でテストされたため、最終製品には、BOM を削減する余地があります。表 12 には、取り外しか代替可能な部品のリストを示します。

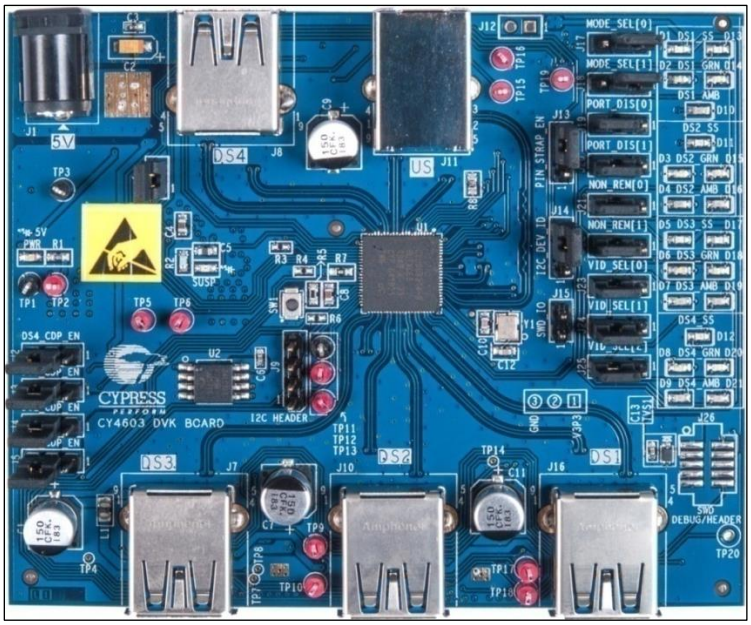
表 12. CY4609 の BOM 削減

推奨される取り外し可能な部品	部品の値	数量	回路図参照	理由
デカップリング コンデンサ	0.001 µF	10	C32, C39, C42, C43, C44, C46, C47, C50, C57, C63	ピン毎に 1 個のデカップリング コンデンサ (0.01 µF) があれば、1.2 V SS Rx と Tx ドメインでの高周波ノイズをフィルタ処理して除去するのには十分です。
	0.01 µF	10	C27, C30, C34, C35, C36, C37, C38, C58, C60, C66	ピン毎に 1 個のデカップリング コンデンサ (0.1 µF) があれば、ノイズをフィルタ処理して取り除くのには十分です。
	0.1 µF	2	C53, C61	22 µF バルク コンデンサがあれば、1.2 V SS Rx と Tx ドメイン用には十分です。
	1 µF	8	C21, C54, C65, C68	22 µF バルク コンデンサにより目的は果たされているため、1 µF コンデンサは不要になります。
			C70, C72	22 µF バルク コンデンサがあれば、1.2 V SS Rx と Tx ドメイン用には十分です。
			C71, C77	DVK 上では、過電圧保護 IC は追加の保護のために使用されます。これはオプショナルな要件であり、必要な場合にのみ追加されます。過電圧保護 IC 用の入力と出力コンデンサは、過電圧保護 IC (U12) が使用される場合にのみ必要です。

推奨される取り外し可能な部品	部品の値	数量	回路図参照	理由
抵抗	0 Ω	1	R28	MOSFET (Q2) ゲート ピンは抵抗を必要とせず、ゲートは電源スイッチの$\overline{EN}$ピンに直接短絡できます。
	1 MΩ	1	R19	これは、過電圧保護 IC (U12、$\overline{FLAG}$ピン) が使用される場合にのみ必要です。
リセット スイッチ	-	1	SW1	通常ハブ動作用に手動リセットは不要です。
極性反転用の MOSFET	-	1	Q1 (SUD50P04-09L-E3)	キット上では、これは極性反転の電力接続用のために追加された保護素子です。これは、負電源電圧をハブ設計に接続する場合にのみ必要です。
ESD ダイオード	-	15	U4, U6, U7, U8, U9, U10, U11, U13, U14, U15, U16, U17, U18, U20, U21	キット上では、ESD ダイオードは追加の保護のために追加されます。これは任意であり、また HX3 は 2.2 kV の ESD 保護を内蔵しています。
テスト ポイント	-	11	TP1, TP2, TP3, TP4, TP5, TP6, TP7, TP8, TP9, TP10, TP13	テスト ポイントはデバッグ用のみであり、最終製品設計には不要です。
ヘッダ	-	3	J6, J7	ヘッダは、HX3 のコンフィギュレーション オプションを選択するために DVK で提供されます。これらは最終製品設計には不要です。
			J2	このヘッダはデバッグ用に提供され、最終製品設計には不要です。
過電圧保護 IC	-	1	U12 (NCP361SNT1G)	DVK 上では、過電圧保護 IC は追加の保護のために使用されます。これはオプショナルな要件であり、必要な場合にのみ追加されます。
ジャンパ	-	3	881545-2 ミニ ジャンパ	ヘッダは、HX3 のコンフィギュレーション オプションを選択するために DVK で提供されます。これらは最終ハブ設計には不要です。
フェライト ビーズ	-	5	L2, L6, L7, L8, L9	1 個のフェライト ビーズは US ポートの VBUS ラインに追加されます。4 個の DS ポートの VBUS ラインに 4 個追加されます。これはシステム依存です。
合計		72		
推奨される置き換え可能な部品	**部品の値**	**数**	**回路図参照**	**理由**
バルク コンデンサ	22 µF コンデンサは、10 µF コンデンサに置き換えられます。	3	C9, C82, C85	HX3 DVK は、最適化された値 10 µF のバルク コンデンサでテストされました。
3.3 V レギュレータ	AOZ1021AI は、NCP3170ADR2G または AOZ1015AI に置き換えることができます。	1	U2	低コストのレギュレータ

緑色の部品は、次のバージョンの DVK では取り外されます。BOM が削減された回路図については、http://www.cypress.com/hx3 を参照してください。

図 34. HX3 88 ピン QFN DVK (CY4603)



CY4603 の BOM 削減

CY4603 は、様々な構成、デバッグ オプションと LED インジケータを持つように設計されています。表 13 に示されるように、最終製品には、BOM を削減する余地があります。

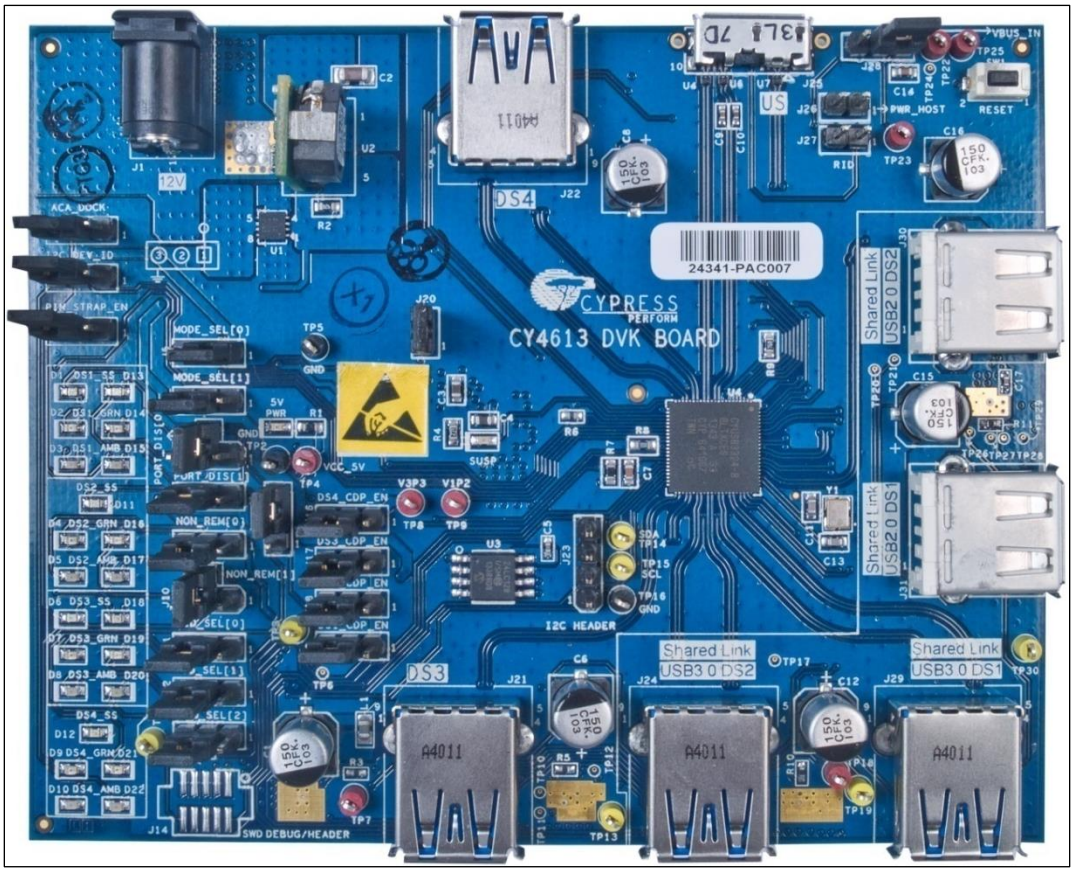
表 13. CY4603 の BOM 削減

推奨される取り外し可能な部品	部品の値	数	回路図参照	理由
デカップリング コンデンサ	0.001 µF	10	C37, C40, C43, C44, C45, C50, C55, C56, C61, C62	ピン毎の 1 個のデカップリング コンデンサ (0.01 µF) があれば、1.2 V SS Rx と Tx ドメインでの高周波数ノイズをフィルタ処理して取り除くのには十分です。
	0.01 µF	10	C25, C28, C29, C36, C38, C39, C42, C51, C66, C71	ピン毎の 1 個のデカップリング コンデンサ (0.1 µF) があれば、ノイズをフィルタ処理して取り除くのには十分です。
	0.1 µF	3	C58, C73	1 個の 22 µF バルク コンデンサがあれば、1.2 V SS Rx と Tx ドメイン用に十分です。
			C13	SWD インターフェース用のデカップリング コンデンサです。この SWD インターフェースは最終製品設計には不要です。
	1 µF	8	C34, C68, C72, C75, C76, C77	22 µF バルク コンデンサにより目的が果たされたため、1 µF コンデンサは不要になります。
			C18, C19	過電圧保護 IC 用の入力と出力コンデンサです。これらは、過電圧保護 IC (U12) が使用される場合にのみ必要です。

推奨される取り外し可能な部品	部品の値	数	回路図参照	理由
抵抗	10 kΩ	26	R15, R37, R41, R46, R50, R66, R67, R68, R69, R70, R71, R72, R73, R74, R75, R76, R77, R78, R79, R80, R81, R82, R83, R84, R85, R86	これらの抵抗は、ピンストラップによるコンフィギュレーションが使用されない場合にのみ取り外すことができます。外部 EEPROM ファームウェアを設定用に使用する場合、ピンストラップ オプションは無効です。
	226 Ω	8	R9, R10, R12, R13, R17, R19, R20, R21	これらのレジスタは LED 電流を制限するために使用され、ポート インジケータが不要な場合に取り外すことができます。
	270 Ω	4	R11, R14, R16, R18	
	300 Ω	7	R22, R24, R25, R26, R27, R28, R34	
	0 Ω	4	R32, R38, R47, R56	MOSFET (Q2) ゲート ピンは抵抗を必要とせず、ゲートは電源スイッチの$\overline{EN}$ピンに直接短絡できます。
	1 MΩ	1	R36	これは、過電圧保護 IC (U12, $\overline{FLAG}$ ピン) が使用される場合にのみ必要です。
リセット スイッチ	-	1	SW1	通常ハブ動作用に手動リセットは不要です。
極性反転用の MOSFET	-	1	Q5 (SUD50P04-09L-E3)	キット上では、これは極性反転の電力接続用のために追加された保護素子です。これは、負電源電圧をハブ設計に接続する場合にのみ必要です。
ESD ダイオード	-	15	U3, U4, U5, U8, U9, U10, U11, U12, U13, U15, U16, U17, U18, U19, U20	キット上では、ESD ダイオードは追加の保護のために追加されます。これは任意であり、また HX3 は 2.2 kV の ESD 保護を内蔵しています。
テスト ポイント	-	16	TP1, TP2, TP3, TP5, TP6, TP9, TP10, TP11, TP12, TP13, TP15, TP16, T17, T18, T19, T20	テスト ポイントはデバッグ用のみであり、最終製品設計には不要です。
ヘッダ	-	18	J2, J3, J4, J5, J6, J9, J13, J14, J15, J17, J18, J19, J20, J21, J22, J23, J24, J25	このヘッダはデバッグ用に提供され、最終製品設計には不要です。
LED	-	21	D1, D2, D3, D4, D5, D6, D7, D8, D9, D10, D11, D12, D13, D14, D15, D16, D17, D18, D19, D20, D21	LED は、ポート インジケータが不要な場合にのみ取り外すことができます。
過電圧保護 IC	-	1	U6 (NCP361SNT1G)	DVK 上では、過電圧保護 IC は追加の保護のために使用されます。これはオプショナルな要件であり、必要な場合にのみ追加されます。
ダイオード	-	1	TVS1	
ジャンパ	-	20	881545-2 ミニ ジャンパ	ヘッダは、HX3 を設定するために DVK で提供されます。これらは最終ハブ設計には不要です。
フェライト ビーズ	-	5	L1, L2, L3, L4, L5	1 個のフェライト ビーズは US ポートの VBUS ラインに追加されます。4 個の DS ポートの VBUS ラインに 4 個追加されます。これはシステム依存です。
合計		180		
推奨される置き換え可能な部品	**部品の値**	**数**	**回路図参照**	**理由**
レギュレータ	AOZ1021AI は、NCP3170ADR2G または AOZ1015AI に置き換えることができます。	1	U22	低コストのレギュレータ

緑色の部品は、次のバージョンの DVK では取り外されます。BOM が削減された回路図については、http://www.cypress.com/hx3 を参照してください。

図 35. Shared Link 機能を備えた HX3 88 ピン QFN DVK (CY4613)



CY4613 の BOM 削減

CY4613 は、様々な構成、デバッグ オプションと LED インジケータを持つように設計されています。表 14 に示されるように、最終製品には、BOM を削減する余地があります。

表 14. CY4613 の BOM 削減

推奨される取り外し可能な部品	部品の値	数	回路図参照	理由
デカップリング コンデンサ	0.001 µF	10	C51, C60, C56, C66, C67	ピン毎の 1 個のデカップリング コンデンサ (0.01 µF) があれば、1.2 V SS Rx と Tx ドメインでの高周波数ノイズをフィルタ処理して取り除くのには十分です。
	0.01 µF	10	C31, C34, C35, C41, C43, C45, C48, C57, C71, C76	ピン毎の 1 個のデカップリング コンデンサ (0.1 µF) があれば、ノイズをフィルタ処理して取り除くのには十分です。
	0.1 µF	3	C80, C82	22 µF バルク コンデンサがあれば、1.2 V SS Rx と Tx ドメイン用には十分です。
			C106	SWD インターフェース用のデカップリング コンデンサです。この SWD インターフェースは最終製品設計には不要です。
	1 µF	8	C39, C40, C73, C77, C81, C82	22 µF バルク コンデンサにより目的は果たされているため、1 µF コンデンサは不要になります。
			C14,C26	過電圧保護 IC 用の入力と出力コンデンサです。

推奨される取り外し可能な部品	部品の値	数	回路図参照	理由
抵抗	10 kΩ	28	R6, R43, R44, R45, R46, R50, R54, R55, R56, R63, R64, R65, R71, R73, R75, R78, R88, R89, R90, R91, R92, R93, R94, R95, R96, R100, R101, R102	これらの抵抗は、ピンストラップによるコンフィギュレーションが使用されない場合にのみ取り外すことができます。外部 EEPROM ファームウェアを設定用に使用する場合、ピンストラップ オプションは無効です。
	226 Ω	8	R79, R80, R82, R84, R85, R87, R98, R99	これらのレジスタは LED 電流を制限するために使用され、ポート インジケータが不要な場合に取り外すことができます。
	270 Ω	5	R4, R77, R81, R83, R86	
	300 Ω	8	R59, R60, R61, R67, R70, R72, R74, R76	
	0 Ω	6	R13, R21, R22, R26, R34, R62	MOSFET (Q1, Q2, Q3, Q4) ゲート ピンは抵抗を必要とせず、ゲートは電源スイッチの$\overline{EN}$ピンに直接短絡できます。
	1 MΩ	1	R20	これは、過電圧保護 IC (U12, $\overline{FLAG}$ピン) が使用される場合にのみ必要です。
リセット スイッチ	-	1	SW1	通常ハブ動作用に手動リセットは不要です。
極性反転用の MOSFET	-	1	Q7	キット上では、これは極性反転の電力接続用のために追加された保護素子です。これは、負電源電圧をハブ設計に接続することができる場合にのみ必要です。
ESD ダイオード	-	15	U4, U6, U7, U9, U10, U11, U12, U15, U16, U18, U19, U20, U21, U22, U23	キット上では、ESD ダイオードは追加の保護のために追加されます。これは任意であり、また HX3 は 2.2 kV の ESD 保護を内蔵しています。
テスト ポイント	-	16	TP1, TP2, TP3, TP4, TP5, TP7, TP8, TP9, TP13, TP14, TP15, TP16, TP18, TP19, TP22, TP23, TP25, TP30	テスト ポイントはデバッグ用のみであり、最終製品設計には不要です。
ヘッダ	-	18	J2, J3, J4, J5, J6, J7, J8, J9, J10, J11, J12, J13, J15, J16, J17, J18, J19, J20, J23, J26, J27, J28	このヘッダはデバッグ用に提供され、最終製品設計には不要です。
LED[7]	-	21	D1, D2, D3, D4, D5, D6, D7, D8, D9, D10, D11, D12, D13, D14, D15, D16, D17, D18, D19, D20, D21, D22	LED は、ポート インジケータが不要な場合にのみ取り外すことができます。
過電圧保護 IC	-	1	U13	DVK 上では、過電圧保護 IC は追加の保護のために使用されます。 これはオプショナルな要件であり、必要な場合にのみ追加されます。
ダイオード	-	1	TVS1	
ジャンパ	-	20		ヘッダは、HX3 を設定するために DVK で提供されます。これらは最終ハブ設計には不要です。
フェライト ビーズ	-	7	L1, L2, L3, L4, L5, L6, L7	1 個のフェライト ビーズは US ポートの VBUS ラインに追加されます。2 個は、2 個の USB 3.0 DS ポートの VBUS ラインに追加されます。 4 個は、Shared Link (2 個の USB 3.0 と 2 個の USB 2.0) DS ポートに追加されます。これはシステム依存です。
合計		195		
推奨される置き換え可能な部品	**部品の値**	**数**	**回路図参照**	**理由**
レギュレータ	AOZ1021AI は、NCP3170ADR2G または AOZ1015AI に置き換えることができます。	1	U25	低コストのレギュレータ

緑色の部品は、次のバージョンの DVK では取り外されます。BOM が削減された回路図については、www.cypress.com/hx3 を参照してください。

付録 C:プリント基板レイアウトのヒント

低ノイズと EMC に対応して PCB 設計するためには、数多くの技術があります。これらの技術の一例としては、次のようなものがあります。

- **複数のレイヤー**:価格が高くなりますが、V_{SS} と V_{DD} 電源に専用の独立したレイヤーを割り当てる多層プリント基板を使用するのが最適です。これにより、優れたデカップリングとシールド効果を得られます。これらのレイヤーの分割された領域は、V_{SSA}, V_{SSD}, V_{DDA}, および V_{DDD} に割り当てる必要があります。

  HX3 には少なくとも 4 層のプリント基板を使用するのが推奨されています。

- **部品の配置**:電磁干渉 (EMI) の影響に合わせてプリント基板上の異なる回路を分離する必要があります。これにより、プリント基板上のクロスカップリングが減少します。例えば、ノイズの多い大電流回路, 低電圧回路とデジタル コンポーネントを分離する必要があります。

- **グランドと電源**:全てのグランド リターンを 1 点でまとめる必要があります。グランド ループを避けるか、またはそれらの表面積を最小限にします。プリント基板上で、部品の無い領域は追加のグランドで充填する必要があります。

  電源は、電源ループの表面を最小限にするために、グランド ラインの近くに実装する必要があります。電源ループはアンテナとして作用することができ、EMI の主要な送受信になりえます。

- **デカップリング**:外部電源用の標準バルク デカップラは、100 µF のコンデンサです。高周波数の電源リップルを減少させるために、追加の 0.1 µF コンデンサはデバイスの V_{SS} と V_{DD} ピンのできるだけ近くに配置する必要があります。

  一般的には、電磁環境適合性 (EMC) 性能を向上させるために、感度の高いかノイズの多い信号を全て分離します。デカップリングは、容量性も誘電性も可能です。

- **信号ルーティング**:アプリケーションを設計する際には、EMC 性能を改善するために以下の部分を検討すべきです。
  - 高速エッジ時間を持つ信号などのノイズの多い信号
  - 高感度且つ高インピーダンス信号
  - 割り込みやストローブ信号などのイベントをキャプチャする信号

EMC 性能を向上させるためには、配線の長さをできるだけ短く維持し、それら配線を V_{SS} 配線から分離する必要があります。クロストークを防ぐために、それらを他のノイズの多いか高感度な配線の近くか平行に配線しないでください。詳細については、以下の文献を参照してください。

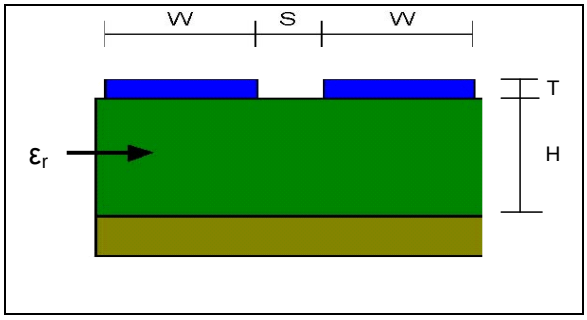
- 「*The Circuit Designer's Companion*」, 第 2 版「EDN Series for Design Engineers」—作成者:Tim Williams
- 「*PCB Design for Real-World EMI Control* (The Springer International Series in Engineering and Computer Science)」—作成者:Bruce R. Archambeault および James Drewniak
- 「*Printed Circuits Handbook* (McGraw Hill Handbooks)」—作成者:Clyde Coombs
- 「*EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple*」—作成者:Mark I. Montrose
- 「*Signal Integrity Issues and Printed Circuit Board Design*」—作成者:Douglas Brooks

付録 D:USB 配線の差動インピーダンス

マイクロストリップは、プリント基板の外層の銅配線です。マイクロストリップのインピーダンス (Z_0) は、その幅 (W), 高さ (T), 最近の銅面までの距離 (H), およびマイクロストリップと最近の面間の素材の比誘電率 (ε_r) に依ります。2 個のマイクロストリップが互いに平行に走っていると、クロスカップリングが発生します。マイクロストリップ間の間隔 (S) およびそれらの面からの高さ (H) は、クロスカップリングの発生量に影響します。 マイクロストリップ間の間隔が狭くなるほど、クロスカップリング量は増加します。 クロスカップリング量が増加すると、マイクロストリップのインピーダンスは低下します。 差動インピーダンス (Z_{diff}) は、両方のマイクロストリップのインピーダンスを測定して合計することで計算されます。

図 36 は、プリント基板の断面図であり、(最上部から最下部まで) 差動配線, 基板, およびグランド面を示します。

図 36. 差動インピーダンスのマイクロストリップ モデル



式 3 と式 4 は、2D パラレル マイクロストリップ モデルを使って差動インピーダンスを見積もるのに必要な式です。表 15 は、変数の定義を示します。これらの式は、0.1<W/H< 2.0 および 0.2<S/H< 3.0 比率で有効です。 商業用ユーティリティは、実験または 3D モデル アルゴリズムを使用してもっと正確な結果を得られます。

式 3. 差動インピーダンスの式

$$Z_{diff} = 2 \times Z_0(1 - 0.48e^{-0.96S/H})$$

式 4.1 個のマイクロストリップのインピーダンス

$$Z_0 = \left(87/(\varepsilon_r + 1.41)^{0.5}\right) \ln(5.98H/0.8W + T)$$

表 15. 差動インピーダンスの変数の定義

変数	項目
Z_{diff}	面上の 2 個のパラレル マイクロストリップの差動インピーダンス
Z_0	面上の 1 個のマイクロストリップのインピーダンス
W	配線の幅
H	グランド面から配線までの距離
T	配線の厚さ (1/2oz の銅≅0.65 mil)
S	差動配線間の間隔 (空隙)
ε_r	基板の比誘電率 (FR-4≅4.5)

変更履歴

文書名: AN91378 – HX3 ハードウェア設計ガイドラインおよび回路図チェックリスト

文書番号:001-91974

版	ECN	変更者	発行日	変更内容
**	4336703	HZEN	04/08/2014	これは英語版 001-91378 Rev **を翻訳した日本語版 Rev. **です。
*A	5710924	HIKA	04/25/2017	これは英語版 001-91378 Rev *A を翻訳した日本語版 Rev. *A です。 Cypress の新ロゴを適用
*B	6143846	HIKA	04/19/2018	これは英語版 001-91378 Rev. *B を翻訳した日本語版 Rev. *B です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | Projects | ビデオ | ブログ | トレーニング | Components

テクニカル サポート

cypress.com/support

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2014-2018. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は, アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し, 本段落で特に記載されているものを除き, その特許権, 著作権, 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず, かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき, (a) ソースコード形式で提供されている本ソフトウェアについて, Cypress ハードウェア製品と共に用いるためにのみ, かつ組織内部でのみ, 本ソフトウェアの修正及び複製を行うこと, 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ, (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること, 並びに (2) 本ソフトウェア (Cypress により提供され, 修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ, 本ソフトウェアの作成, 利用, 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用, 複製, 修正, 変換又はコンパイルを禁止する。

適用される法律により許される範囲内で, Cypress は, 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても, 明示又は黙示をとわず, いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて, 本書面に記載された製品には, エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり, 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は, 別途通知することなく, 本書面を変更する権利を留保する。Cypress は, 本書面に記載のある, いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は, 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計, プログラム, かつテストすることは, 本書面のユーザーの責任において行われるものとする。Cypress 製品は, 兵器, 兵器システム, 原子力施設, 生命維持装置若しくは生命維持システム, 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム, 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用, 又は装置若しくはシステムの不具合が人身傷害, 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計, 意図又は承認されていない。重要な構成部分とは, それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ, 若しくは本目的外使用に関連するいかなる請求, 損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず, かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求, 費用, 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapsSense, EZ-USB, F-RAM, 及び Traveo は, 米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは, それぞれの権利者の財産として権利主張がなされている可能性がある。