AN91378

HX3 硬件设计指南和原理图的检查细则

作者：Prajith C、Rama Sai Krishna V
相关项目：无
相关器件系列：CYUSB330x、 CYUSB331x、CYUSB332x
软件版本：NA
相关应用手册：无

AN91378 为 HX3（USB 3.0 高性能集线器）提供硬件设计和 PCB 布局指南。通过这些指南可以保证信号的最佳完整性能，并能够确保完全符合 USB 3.0 规格中的电气特性。请参考 KBA96321 以支持使用 HX3 USB 3.0 集线器控制器的智能手机和平板电脑底座中的 ACA-Dock 功能。

目录

简介 1
原理图设计要求 2
电源系统 2
晶振要求 5
外部时钟输入的要求 5
复位电路 6
端口的电源管理 6
下行 VBUS 和屏蔽终端 7
暂停指示灯 LED 7
VBUS_DS 和 VBUS_US 7
USB 高精度电阻 8
配置选项 8
Pin-Strap 配置 8
使用外部 I²C EEPROM 的配置情况 10
使用一个 EEPROM 连接两个 HX3 10
使用外部 I²C 主设备的配置 HX3 10
电气设计注意事项 11
电源系统设计 11
USB 数据线的路由 11
原理图和布局检查表 16
总结 17
缩略语 17
附录 A：功耗 18
附录 B：HX3 开发套件（DVK）和 BOM 19
附录 C： PCB 布局提示 25
目录 D：USB 走线的差分阻抗 26
全球销售和设计支持 28

简介

HX3是符合1.0 版的USB 3.0规范的USB 3.0集线器的控制器系列。HX3的所有端口上均支持超速（SS）、高速（HS）、全速（FS）以及低速（LS）功能。它包含集成的终端电阻、上拉和下拉电阻，并支持通过引脚设置（pin-strap）的各个配置选项，以减低硬件系统的总材料清单（BOM）。

HX3同时含有下面的赛普拉斯专有特性：

Shared Link™： 使能嵌入式应用中板上连接的额外下行（DS）端口共享链接能够将一个USB 3.0端口分为一个嵌入式超高速SS端口和一个标准的USB 2.0端口。

例如，如果其中一个DS端口被连接至嵌入式超高速SS器件（如USB 3.0摄像机），HX3允许系统设计者再用该特定端口USB 2.0 信号连接至标准的USB 2.0设备。这样可以通过使用支持Shared Link功能的一个HX3控制器实现多达8个器件的应用（四个SS器件和四个USB 2.0器件）。

Ghost Charge™： 当在上行（US）端口未连接主机时，通过该特性可以给连接至下行（DS）端口的器件充电。

表 1 列出了 HX3 产品选项。

本应用手册为基于 HX3 的集线器系统提供了各项硬件指南。

表 1. HX3 产品选项

特性	CYUSB3302	CYUSB3304	CYUSB3312	CYUSB3314	CYUSB3326	CYUSB3328
下行（DS）端口数量	2（USB 3.0）	4（USB 3.0）	2（USB 3.0）	4（USB 3.0）	6（2 USB 3.0、2 SS、2 USB 2.0）	8（4 SS、4 USB 2.0）
Shared Link 端口的数量	0	0	0	0	2	4
BC v1.2	有	有	有	有	有	有
ACA-Dock	无	无	无	无	无	有
外部电源开关控制	组合（Ganged）	组合（Ganged）	单独和组合（Individual and Ganged）	单独和组合（Individual and Ganged）	单独（Individual ）	单独（Individual ）
支持引脚配置（Pin-Strap）	否	否	是	是	是	是
I2C	有	有	有	有	有	有
供应商指令	有	有	有	有	有	有
端口指示灯	无	无	有	有	无	无
封装	68 引脚 QFN	68 引脚 QFN	88 引脚 QFN	88 引脚 QFN	88 引脚 QFN	88 引脚 QFN
温度范围	工业级和商业级	工业级和商业级	工业级和商业级	工业级和商业级	工业级和商业级	工业级和商业级

注解：

*请参考 KBA96321 以支持使用 HX3 USB 3.0 集线器控制器的智能手机和平板电脑底座中的 ACA-Dock 功能。

原理图设计要求

本节介绍的是 HX3 上各模块的原理图设计要求。

电源系统

HX3 可以使用两个外部供应的电源（3.3 V 和 1.2 V）进行操作。图 1 和图 2 显示的是 HX3 使用的推荐的电源供电的去耦方案。表 2 介绍了这两个电源的最大工作电流。

表 2. HX3 电压范围

参数	说明	最小值	典型值	最大值	最大工作电流[1]
VDD12	1.2 V 模拟电源	1.14 V	1.2 V	1.26 V	1.2 V 包含了电源中 526 mA 的电流
DVDD12	1.2 V 内核电源	1.14 V	1.2 V	1.26 V	
AVDD33	3.3 V 模拟电源	3 V	3.3 V	3.6 V	3.3 V 结合电源中的 286 mA
VDDIO	3.3 V I/O 电源	3 V	3.3 V	3.6 V	

注解：

1. 测试条件：所有的 SS 和 USB 2.0 端口都使用了最大电压进行数据传输，温度为 85°C。

图 1. 68 引脚 QFN 封装的建议供电系统

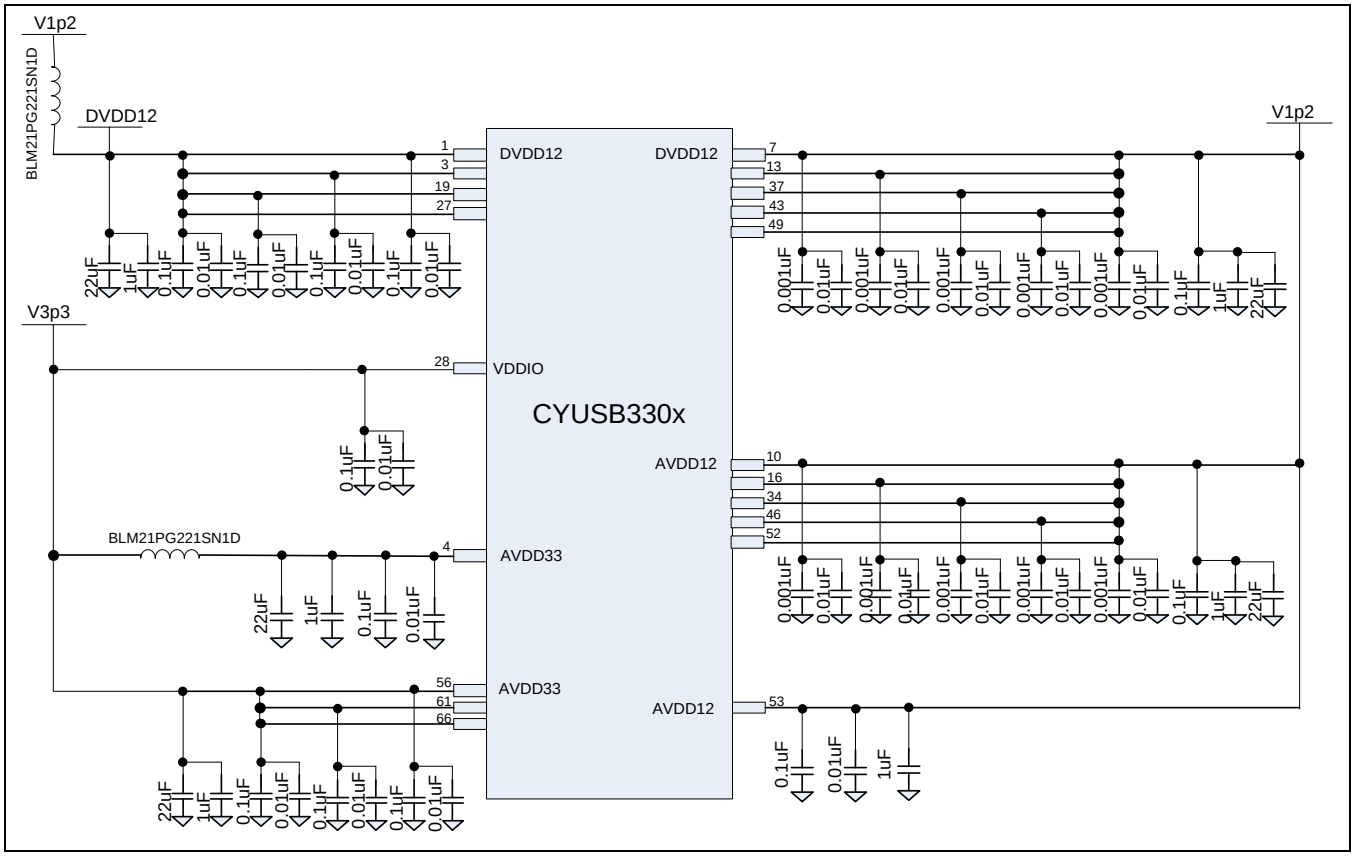


表 3 列出了各批量电容（这些电容需要与 68 引脚 QFN 封装中的一组电源引脚相连）以及每个电源引脚上的去耦电容。

表 3. 68 引脚 QFN 封装中的去耦和批量电容的要求

电压范围（引脚编号）	说明	引脚组中的各批量电容	每个引脚上的去耦电容
AVDD12（10、16、34、46、52）	SS Rx 的电压为 1.2 V	0.1 µF、1 µF 和 22 µF	0.001 µF 和 0.01 µF
AVDD12（53）	晶体振荡器的电压为 1.2 V	1 µF	0.01 µF 和 0.1 µF
DVDD12（1、3、19、27）	内核电压为 1.2 V	1 µF 和 22 µF	0.01 µF 和 0.1 µF
DVDD12（7、13、37、43、49）	SS Tx 的电压为 1.2 V	0.1 µF、1 µF 和 22 µF	0.001 µF 和 0.01 µF
AVDD33（56、61、66）	USB 2.0 PHY 的电压为 3.3 V	1 µF 和 22 µF	0.01 µF 和 0.1 µF
AVDD33（4）	SS PHY 的电压为 3.3 V	1 µF 和 22 µF	0.01 µF 和 0.1 µF
VDDIO（28）	GPIO 的电压为 3.3 V		0.01 µF 和 0.1 µF

注意： 需要使用铁氧体磁环将 AVDD33 （USB 3.0 PHY 的 3.3 V）与杂噪电源 VDDIO （GPIO 的 3.3 V）和 AVDD33（ USB 2.0 PHY 的 3.3 V）相隔离，如图 1 所示。对于 1.2 V 供电电源（如图 1 所示），需要使用铁氧体磁环将杂噪电源（内核提供的 1.2 V 电源）与所要求的纯净电源区（SS Rx、Tx 和晶体振荡器的 1.2 V）的电压相隔离。如果不使用这些铁氧体磁环，兼容性测试将失败。

图 2. 88 引脚 QFN 封装的推荐供电系统

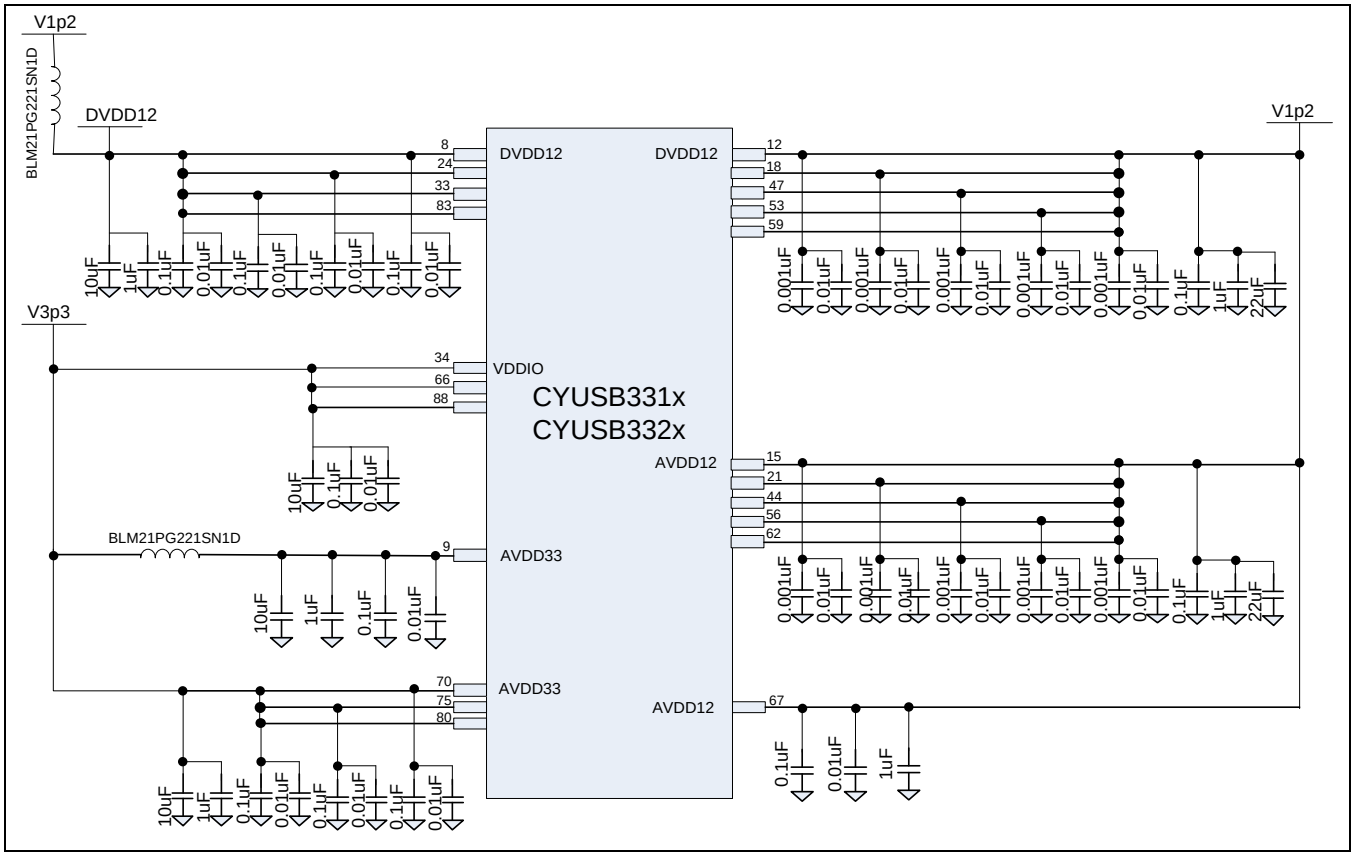


表 4 列出了各批量电容（这些电容需要与 88 引脚 QFN 封装的一组电源引脚相连）和每个电源引脚的去耦电容。

表 4. 88 引脚 QFN 封装的去耦和批量电容的要求

电压范围（引脚编号）	说明	引脚组的批量电容	每个引脚的去耦电容
AVDD12（15、21、44、56、62）	SS Rx 的电压为 1.2 V	0.1 µF、1 µF 和 22 µF	0.001 µF 和 0.01 µF
AVDD12（67）	晶体振荡器的电压为 1.2 V	1 µF	0.01 µF 和 0.1 µF
DVDD12（8、24、33、83）	内核的电压为 1.2 V	1 µF 和 10 µF	0.01 µF 和 0.1 µF
DVDD12（12、18、47、53、59）	SS Tx 的电压为 1.2 V	0.1 µF、1 µF 和 22 µF	0.001 µF 和 0.01 µF
AVDD33（70、75、80）	USB 2.0 PHY 的电压为 3.3 V	1 µF 和 10 µF	0.01 µF 和 0.1 µF
AVDD33（9）	SS PHY 的电压为 3.3 V	1 µF 和 10 µF	0.01 µF 和 0.1 µF
VDDIO（34、66、88）	GPIO 的电压为 3.3 V	10 µF	0.01 µF 和 0.1 µF

注意： 需要使用铁氧体磁环使 AVDD33 （USB 3.0 PHY 的 3.3 V）与噪杂电源 VDDIO （GPIO 的 3.3 V）和 AVDD33（ USB 2.0 PHY 的 3.3 V）相隔离，如图 2 所示。对于 1.2 V 电源供电（如图 2 所示），需要使用铁氧体磁环使噪杂电源（内核电源的 1.2 V）与要求干净电源区域（SS Rx、Tx 和晶体振荡器的 1.2 V）的电压相隔离。如果不使用这些铁氧体磁环，兼容性测试将失败。

电源要求

供电系统必须满足 HX3 和下行 DS 器件的功耗要求。

表 2 显示的是包含了四个有效 DS 端口的 HX3 的最大功耗。在需要四个端口以下的应用中，HX3 的总功耗会降低。有关各种配置的预期功耗，请参考附录 A。供电系统必须根据端口的配置情况（即：是否支持电池充电（BC））为每个 DS 端口提供它们所需要的电源。有关 DS 端口上的电流要求，请参考表 5。

表 5. DS 端口的电流要求

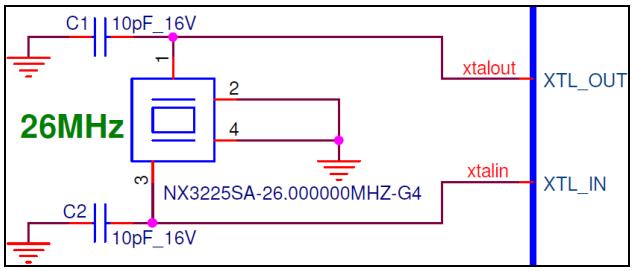
DS 端口的配置	电池充电	电流（mA）
USB 3.0	无	900
	BC v1.2	1500
	Apple 苹果	2100
USB 2.0	无	500
	BC v1.2	1500
	Apple 苹果	2100

晶振要求

HX3 需要的外部晶振应该具备下列各参数：

- 26 MHz ±150 ppm
- 并联谐振，基本模式
- 最小驱动电平为 200 µW

图 3. 晶振电流



晶振的功耗

晶振功耗大小取决于下列各项参数：

- XTL_OUT 引脚的电压电平（AVDD12 引脚上的最大电压为 1.26 V）
- 工作频率（26 MHz）
- 晶振的等效串联电阻（ESR）

公式 1. 晶振的功耗

$$P = I^2R = \left(\frac{V_x}{|Z|}\right)^2 R$$

$$= 2[\pi f\,(C_0 + C_L)\,V_x]^2\,R$$

其中：

f 是晶振频率，

C_0 是晶振数据手册中晶振的并联电容，

C_L是加载电容，有关C_L 的计算，请参考下一节中介绍的内容，

R 是晶振数据手册中的晶振 ESR，

V_x 是 AVDD12 引脚上的最大电压 — 1.26 V。

HX3 开发套件中使用的晶振（NX3225SA-26.000000MHZ-G4，如图 3 所示）的参数如下：

f = 26 MHz、C_0 = 1.22 pF、C_L = 10 pF、R = 50 Ω。

使用公式 1 时，晶振的功耗为 133 µW。该值小于晶振驱动电平（200 µW）。

使用的晶振的驱动电平小于晶振功耗会加速该晶振老化，甚至会烧坏该晶振。

其他推荐的晶振为：

- NX3225SA-26.000MHZ-STD-CSR-1
- TSX-3225 26.0000MF09Z-AC3

注意： 请勿在晶振的 XTL_OUT 和 XTL_IN 引脚上连接任何串联电阻。如果连接了串联电阻，则晶振 ESR 的电阻会增加，因此会加大晶振的功耗和启动时间。

计算加载电容值

为 HX3 提供正确时钟源时，加载电容C_L起着重要作用。必须根据晶振的加载电容值慎重选择电容 C1 和 C2（如图 3 所示）。

该加载电容可通过以下公式计算得出：

公式 2. 晶振的加载电容

$$C_L = \frac{C_1 * C_2}{C_1 + C_2} + C_s$$

Cs 是 PCB 上 XTAL_OUT 和 XTAL_IN 走线间的杂散电容。Cs 的大小通常是 2 pF 到 5 pF。

对于 HX3 开发套件中使用的晶振，C_L = 10 pF。PCB C_s = 5 pF。在公式 2 中，C_1 = C_2 = 10 pF。

外部时钟输入的要求

HX3还可以使用外部时钟输入进行操作。使用外部时钟输入时，必须通过使用赛普拉斯的Blaster Plus工具配置HX3。Blaster Plus是基于图形介面的工具，用于配置HX3。此工具允许进行下列操作：

- 通过 HX3 的 US 端口，从 PC 下载赛普拉斯提供的固件，并将其存储到与 HX3 的 I2C 连接的 EEPROM 内。
- 从 EEPROM 读取配置设置。这些设置显示在 BlasterPlus 图形介面中。按需要修改这些设置。

- 将更新后的设置重新回写到 EEPROM。此外，可创建一个镜像文件，以供内部使用。

请访问 www.cypress.com/hx3 网站，获取 Blaster Plus 工具、用户指南和赛普拉斯提供的固件。表6介绍的是外部时钟输入的各项要求。

表 6. 外部时钟输入的要求

参数	规格			单位
	最小值	典型值	最大值	
振幅	1.14	1.2	1.26	V
最大频率偏差	-	-	150	ppm
占空比	40	50	60	%
上升时间/下降时间	-	-	3	ns
抖动（RMS）	-	-	18	ps

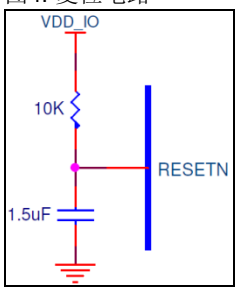
复位电路

HX3 可以使用两个外部电源（3.3 V 和 1.2V）进行操作。这两个电源之间的上电顺序没有要求。然而，RESETN 引脚需要保持为低电平，直到这两个电源都处于稳定状态为止。

RESETN 引脚通过外部电阻连接到 VDD_IO，并通过外部电容（最小 5 ms 时间常量）连接到地（GND），如图 4 所示。这样将创建一个干净的复位信号用于上电复位（POR）。

HX3不支持内部欠压检测。如果系统需要该功能，供电电源低于有效的工作范围时，则RESETN引脚上将提供一个外部复位。

图4. 复位电路



端口的电源管理

USB 规格要求集线器上所有 DS 端口都具有过电流保护功能。HX3 需要一个外部电源开关，用以检测过电流条件和断电 DS 端口。

HX3 的 68 引脚 QFN 封装支持组合电源开关，其中通过一个电源使能信号来控制四个 DS 端口上的电源。HX3 的 88 引脚 QFN 支持单电源开关或组合电源开关。在单电源开关模式下，每个 DS 端口上的电源由独立的电源使能信号控制。

在组合电源开关模式下，如果 DS 端口抽取的总电流超过了外部电源开关设置的预设电流的限制，则集线器将关闭所有 DS 端口。在单独电源开关模式下，如果特殊端口抽取的电流超过其电源开关设置的预设电流限制，集线器将断电此 DS 端口。

根据端口配置进行设置电源开关的预设限制电流。例如，如果配置 DS 端口，使之支持 BC v1.2，则需要将电源开关的预设限制电流设置为 1.5 A。

在 88 引脚 QFN 中，通过使用 DSx_PWREN 可以在单独的电源开关模式下控制外部电源开关。在组合电源开关模式下，DS4_PWREN 是外部电源开关的电源使能信号。对于支持 ACA-Dock 的产品（查看表 1），使用 US_PWREN 可以控制 US 端口的电源开关。

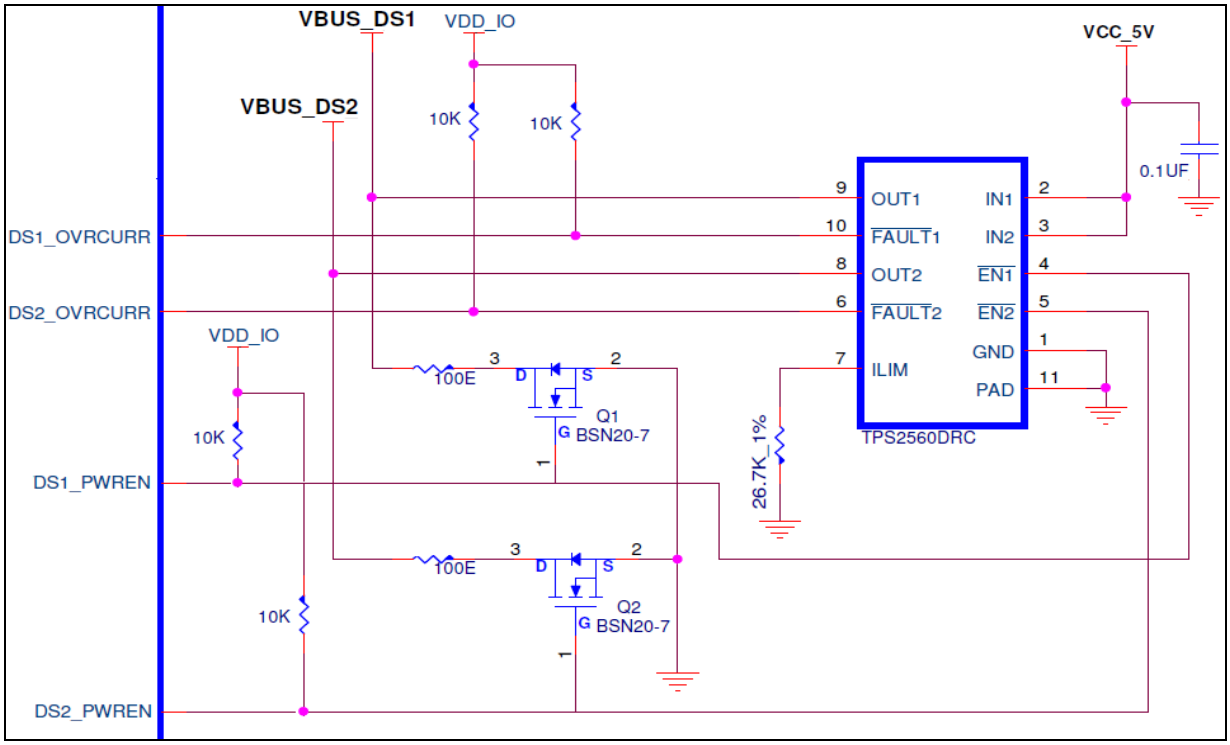
DSx_OVRCURR 是 HX3 的过电流指示输入，它来自于单独电源开关模式中的外部电源开关。DS4_OVRCURR 是 HX3 的过电流指示输入，它来自于组合电源开关模式中的外部电源开关。对于支持 ACA-Dock 的产品（参考表 1），US_OVRCURR 是来自于 US 端口上的电源开关的过电流指示输入。

图 5 显示的是如何在单独电源开关模式下将电源开关连接到 HX3。

下面介绍的是电源开关原理图中的各注意事项：

- 由于几乎所有开关都提供了一个开漏输出，因此过电流输入（DSx_OVRCURR）需要一个上拉电阻。建议该电阻的大小为 10 kΩ，如图 5 所示。
- 根据外部电源开关，电源使能（DSx_PWREN）引脚需要一个大小为 10 kΩ 的上拉电阻或下拉电阻。当外部电源开关输入（$\overline{EN1}$和$\overline{EN2}$）是低电平有效时，可以使用大小为 10 kΩ 的上拉电阻，如图 5 所示。
- 当电源开关断电时，则需要使用 MOSFET Q1 和 Q2，用以使连接到 DS 端口上的 VBUS 大小为 150 µF 的电容（如图 5 所示）快速放电。

图 5. HX3 上的电源开关连接

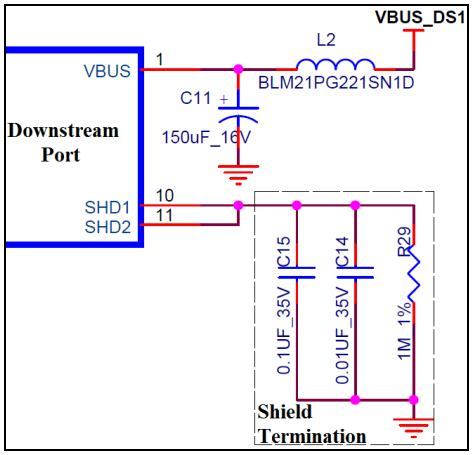


下行 VBUS 和屏蔽终端

根据 USB 的规范，在 VBUS 引脚上每个 DS 端口的最小电容必须为 120 µF，这样是为了在最大负载中保持电压稳定。

USB 连接器屏蔽罩（SHD1 和 SHD2）应通过一个 RC 的并联电路接地，以减少 EMI，如图 6 所示。

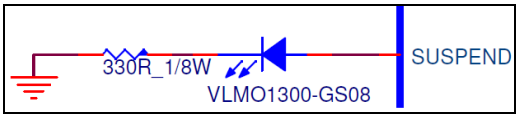
图 6. DS VBUS 连接和屏蔽终端



暂停指示灯 LED

当 USB 2.0 和 SS 集线控制器均处于暂停状态时，该引脚被激活（高电平）。当任一个集线控制器退出暂停状态时，该引脚被解除激活（低电平）。通过一个 LED 来指示暂停状态，如图 7 所示。应通过串联一个大小为 330 Ω 的电阻将该引脚接地，这样可以满足该引脚的电流源能力的要求（最大值为 4 mA）。

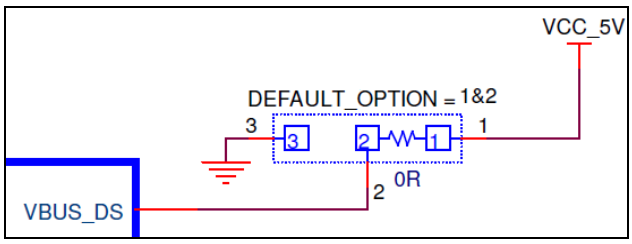
图 7. 暂停 LED



VBUS_DS 和 VBUS_US

VBUS_DS引脚用于在HX3中给苹果公司充电电路供电。在BC v1.2的兼容性规性测试时，请将引脚接地。正常操作时，应将该引脚连接至5 V的本地电源。图8显示的是VBUS_DS引脚的连接情况。

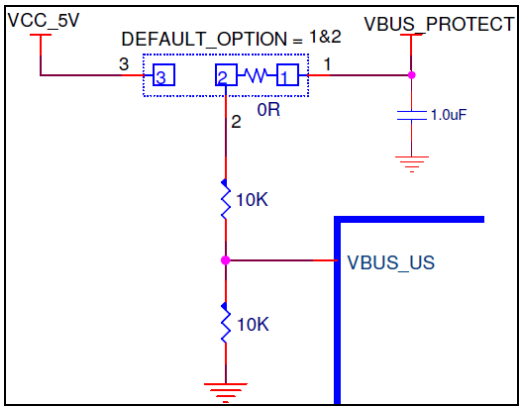
图 8. VBUS_DS 引脚的连接情况



应该将 VBUS_US 引脚连接到 US 端口的 VBUS 上。该信号用于检测 US 端口是否与主机或集线器连接好。

对于支持 ACA-dock 的各种产品（请参见表 1），请将 VBUS_US 连接到 5 V 的本地电源上。发生断开事件时，建议在 VBUS_US 引脚上连接一对电阻，这样可以较快地放电 VBUS（如图 9 所示）。

图 9. 连接至 VBUS_US 引脚上的电阻



VCC_5V 是一个 5 V 的本地电源。VBUS_PROTECT 是 US 端口的 VBUS。

请参考 KBA96321 以支持使用 HX3 USB 3.0 集线器控制器的智能手机和平板电脑底座中的 ACA-Dock 功能。

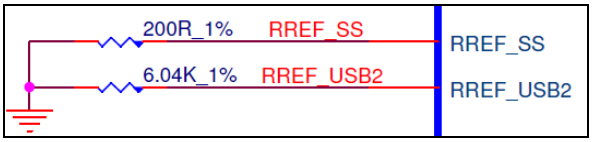
USB 高精度电阻

RREF_SS：校准 SS PHY 终端阻抗时，应该将该引脚连接到一个高精度的电阻（200 Ω ±1%）（如 图 10 所示）。

RREF_USB2：应在该引脚上连接一个高精度的电阻（6.04 kΩ ±1%），这样可以提供 USB 2.0 PHY 的参考电流（如 图 10 所示）。

应将这些电阻放置在靠近 HX3 的位置，并使用最短的线路将这些电阻接地。

图 10. USB 高精度电阻



配置选项

HX3 是高度可配置的，这样可以满足对集线器的不同设计要求。可以按照下面介绍的方式修改 HX3 的默认配置：

1. Pin-strap（仅适用于 88 引脚 QFN）。
2. 外部 I²C 从设备，如 EEPROM。
3. 外部 I²C 主设备。

Pin-Strap 配置

支持已选产品选项的 pin-strap（请参考表 1），以提供可重新配置的性能，而不需要使用额外 EEPROM。通过上拉 88-pin QFN 封装高电平中的 Pin#63 引脚可以使能 pin-strap 配置。表 7 显示的是通过 pin-strap 受支持的配置选项，以及上电和复位时进行初始采样后的引脚功能。图 11 和图 12 显示的是在需要 pin-strap 和 LED 连接或只需要 pin-strap 时如何连接引脚。

加电时，HX3 对 pin-strap GPIO 进行采样。悬空 strap 被视为无效，并使用默认配置。如果 PIN_STRAP（88 引脚 QFN 封装中编号为 63 的引脚）悬空，所有 strap 输入将被视为无效。当连接到弱上拉（10 kΩ）或下拉电阻（10 kΩ）时，GPIO 将分别被视为短接“1”或“0”。加电和复位时，进行初始采样后，可以使用 GPIO 作正常功能。

图 11. Pin-Strap 和 LED 原理图

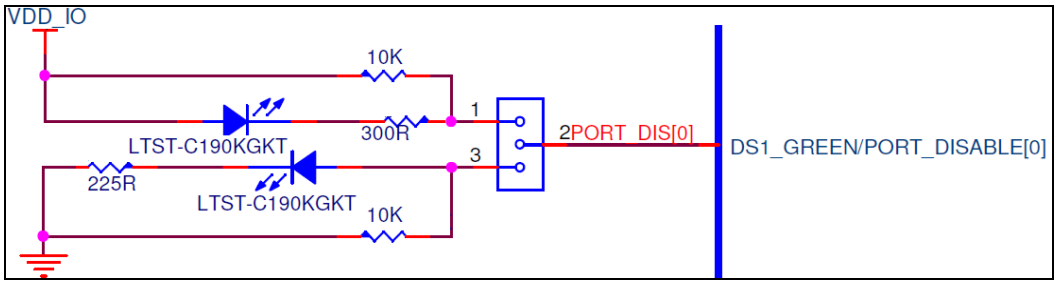


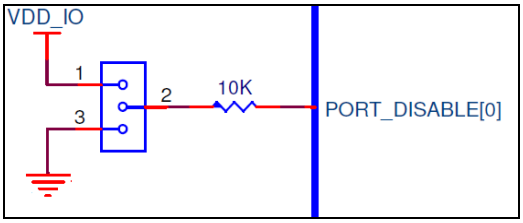
表 7. Pin-Strap 引脚

引脚数	Pin-Strap 名称	Pin-Strap 目的	上电和复位时进行初始化采样后引脚的功能
1	PIN_STRAP	使能 pin-strap 配置	DS3 端口上采用的 SS LED 指示灯
1	ACA_DOCK	使能 ACA-Dock	DS1 端口上采用的 USB 2.0 琥珀色 LED 指示灯
2	PORT_DISABLE[1:0]	选择被禁用的 DS 端口数量	PORT_DISABLE[1] – DS1 端口上采用的 SS LED 指示灯
			PORT_DISABLE[0] – DS1 端口上采用的 USB 2.0 绿色 LED 指示灯
2	NON_REMOVABLE[1:0]	选择不可移除（硬链接/嵌入）的器件数量	NON_REMOVABLE[1] – DS2 端口上采用的 USB 2.0 绿色 LED 指示灯
			NON_REMOVABLE[0] – DS2 端口上采用的 USB 2.0 琥珀色 LED 指示灯
3	VID_SEL[2:0]	选择预编程的自定义 VID	VID_SEL[2] – DS3 端口上采用的 USB 2.0 琥珀色 LED 指示灯
			VID_SEL[1] – DS3 端口上采用的 USB 2.0 绿色 LED 指示灯
			VID_SEL[0] – DS4 端口上采用的 USB 2.0 绿色 LED 指示灯
1	PWR_SW_POL	选择过电流和电源极性使能	-
4	DSx_CDP_EN[3:0]	使能/禁用每个 DS 端口的 CDP	-
1	PWR_EN_SEL	选择 DS 端口的单独或组合电源的切换模式	DS2 端口上采用的 SS LED 指示灯
1	I2C_DEV_ID	选择 I²C 从设备地址	DS4 端口上采用的 USB 2.0 琥珀色 LED 指示灯

有关 pin-strap 配置的详细信息，请参考 HX3 数据手册中介绍的内容。

如果 pin-strap 引脚还被复用为端口状态 LED 指示灯，则需要根据相应配置，通过 10 kΩ 电阻而将特殊引脚连接至 VDD_IO 或 GND （如图 11 所示）。因此，确保在加电时 HX3 对适当的逻辑电平（高电平或低电平）进行采样。

图 12. Pin-Strap 原理图

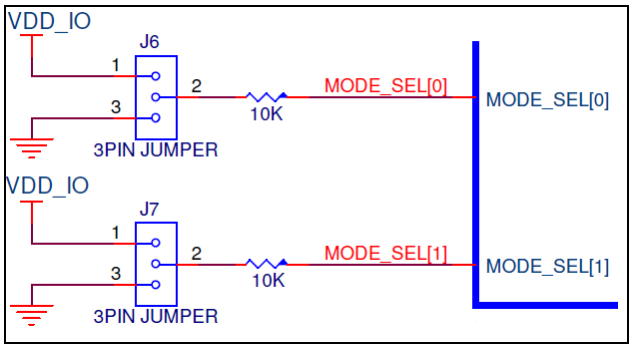


PORT_DISABLE[1:0] 、 NON_REMOVABLE[1:0] 、 DSx_CDP_EN[3:0]和 VID_SEL[2:0]是引脚组，并且如果组中的任何一个引脚被悬空，则这个特定组是无效的。例如，如 果 PORT_DISABLE[1] 引 脚 悬 空 ， 则 PORT_DISABLE[1:0]组是无效的，并且默认配置会被应用。

使用外部 I²C EEPROM 的配置情况

通过正确设置 MODE_SEL[1:0]引脚可以从外部 I²C 从设备（如 EEPROM）进行配置 HX3。要使用一个大小为 10 kΩ 的电阻将 MODE_SEL[1]拉低到地，并将 MODE_SEL[0]拉高到 VDD_IO（如图 13 所示）。

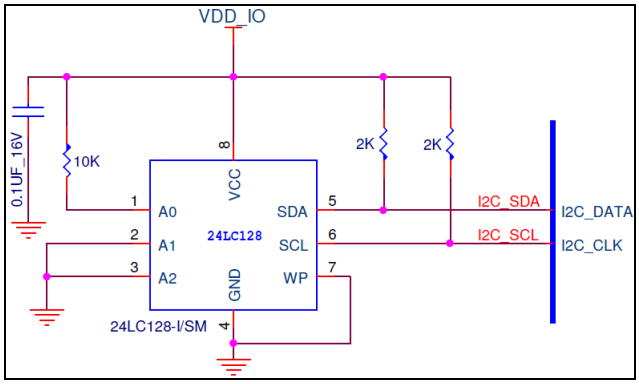
图 13. 使用 MODE_SEL 选择配置



HX3 固件图像大小为 10 KB，并建议将 EEPROM 的大小范围限制为 16 KB 到 64 KB。

推荐的 EEPROM 大小：24LC128 和 AT24C16A。

图 14. EEPROM 连接



对于使用 EEPROM 配置 HX3：

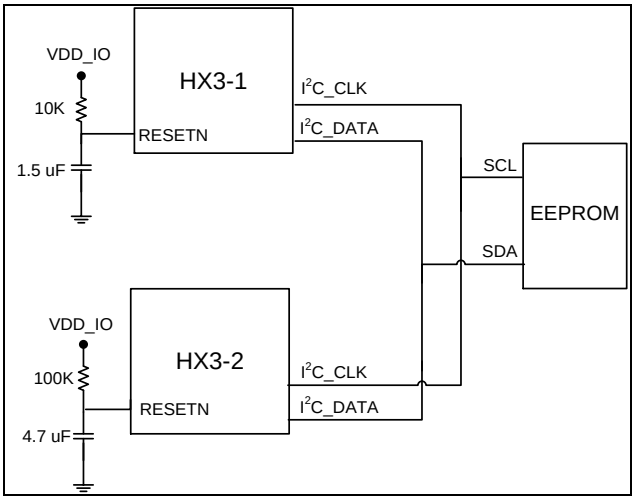
- 应将 EEPROM 的地址引脚 A1 和 A2 连接至低电平，并在地址引脚 A0 上使用一个 10 kΩ 的电阻将其拉高到 VDD_IO（如图 14 所示）。
- I2C_DATA 和 I2C_CLK 线应使用 2 kΩ 的电阻拉高到 VDD_IO。

使用一个 EEPROM 连接两个 HX3

如果系统需要两个 HX3，则可以使用其中一个 EEPROM 来依次配置这两个 HX3。

为了确保连续访问 EEPROM，HX3 的 RESET 解除激活应相对于其他 HX3 被延迟。

图 15. 使用一个 EEPROM 连接两个 HX3

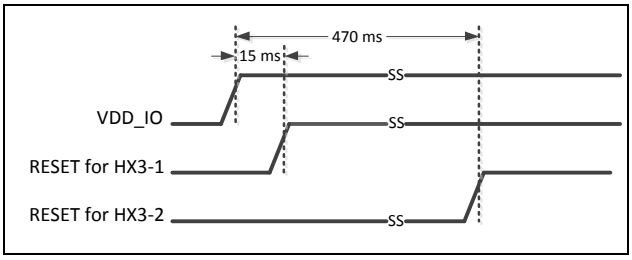


RESET 解除激活可以根据以下方式实现：
HX3-1：使 R = 10 kΩ，C = 1.5 µF（如图 15 所示），这样可以生成 15 毫秒的 RESET 脉冲。

HX3-2：使 R = 100 kΩ，C = 4.7 µF（如图 15 所示），这样可以生成 470 毫秒 RESET 脉冲。

RESET 时序图显示在图 16 中。

图 16. RESET 时序图



使用外部 I²C 主设备的配置 HX3

通过正确设置 MODE_SEL[1:0]引脚可以从外部 I²C 主设备（如：ASSP）进行配置 HX3。应使用一个大小为 10 kΩ 电阻将 MODE_SEL[1]拉高到 VDD_IO，并将 MODE_SEL[0]拉低到地面。

电气设计注意事项

当设计带有 USB 3.0 的电路板时，需要特别注意组件选择、供电电压去耦电容的位置、信号线阻抗以及噪声。本节介绍的是路由电源和 USB 信号线的 PCB 设计指南。

有关 PCB 布局技术的基本信息，请参考附录 C 中介绍的内容。

电源系统设计

为 HX3 芯片供电的电源必须是干净且稳定的，这样可以保证集线器可靠地运行。不准确的布局会使信号的质量变差，特别是对于 USB 信号，会增大错误率，并增加纠错重试。这些症状会使集线器枚举失败。设计电源系统网格时，请考虑以下几点：

- 批量电容和去耦电容的位置
- 电源区域分布
- 电源和接地层的位置

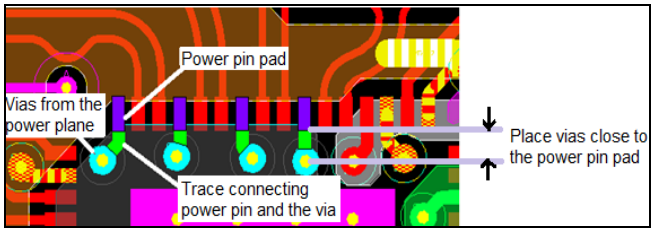
批量电容和去耦电容的放置位置

将去耦电容放在靠近电源引脚的位置，这样可以过滤掉高频噪声。建议在 HX3 上将它们直接放在 PCB 的不同侧，这样可以降低平面电容。

批量电容（作为给电源引脚提供本地电源使用）放置的位置要尽可能接近去耦电容。批量电容和去耦电容之间的走线长度应尽可能短。

使电源走线宽度与电源焊盘大小相同。为了将电源引脚连接至电源层，请保持过孔放在接近电源焊盘的位置。这样有助于最大限度地减少线路中下降的杂散电感和 IR（如图 17 所示）。

图 17. 供电网络



电源区域分布

HX3 有四个电源域：VDDIO、AVDD12、DVDD12 和 AVDD33。在电源层上为这些电源域划分使用区域。如果该层不能为划分区域提供足够的空间，则请为 VDDIO 和 AVDD33 使用电源走线。在电源走线中，推荐使用下面的指南：

- 使电源走线远离高速的数据线和时钟线。
- 电源走线宽度应为≥25 mil，这样可以降低电感。
- 使电源走线尽可能的短。在电源走线上使用较大的过孔（焊盘的最小厚度为 30 mil，孔的最小宽度是 15 mil）。

电源层和接地层的位置

将电源层放在接近接地层的位置，这样可以得到较好的平面电容。各层之间的平面电容作为分布式去耦电容，这样可以过滤高频噪声，从而降低电磁辐射.

USB 数据线的路由

要想得到质量好且辐射小的信号，在布线 USB 信号线时请务必小心。在 PCB 设计阶段，布线 USB 信号线时需要注意下面的关键因素。

控制差分阻抗

USB 信号线的差分阻抗应为 90 Ω ±10%。否则，它会影响信号的眼图、抖动以及交叉点处的电压测量。

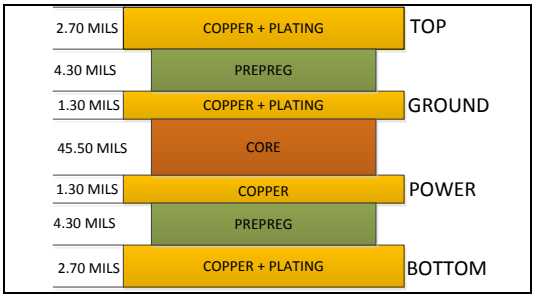
请参考附录 D，了解差分阻抗的基本理论。

四层的 PCB 示例中典型值为 62mil

对于标准厚度为 62 mil（1.6 mm）的 PCB，推荐如图 18 所示情况进行叠加。如果该堆叠中，同时使用了两个并行走线，每个走线的厚度 W = 5.75 mil，且走线间距 S =12 mil，则计算得出的差分阻抗Z_{diff}为 90 Ω。

图 18 显示的是 HX3 开发套件布局中存在的不同层。

图 18. 堆叠详情



阻抗匹配

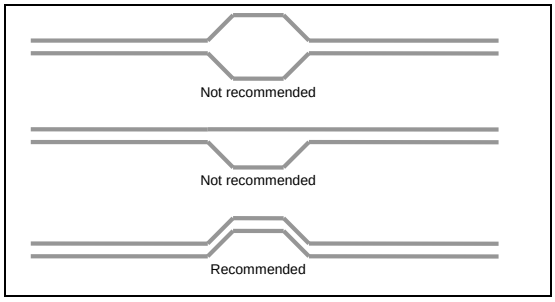
保持差分对中走线宽度和位置不变，以避免发生阻抗的不匹配情况，具体如图 19 和图 20 所示。

图 19. 差分对的放置



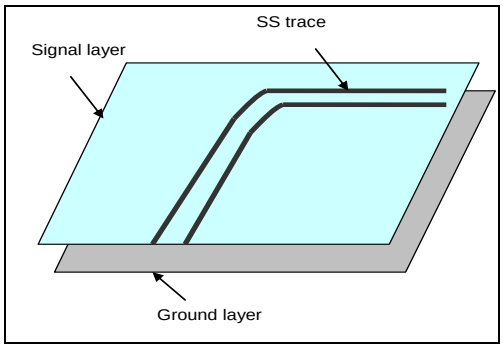
其中，‘g’是走线与其他板之间的最小间隙（8mil）。

图 20. 差分对的阻抗匹配技术



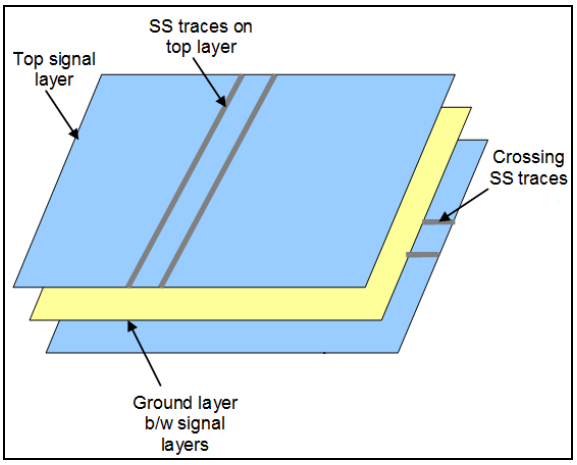
应将所有 SS 信号线布线到相邻的接地层上，这样可以提供良好的返回电流路经。拆分 SS 信号下方的接地层会引入阻抗不匹配，并增大环路电感以及电气辐射。图 21 显示的是 SS 信号下方的实心接地层。

图 21. SS 信号下方的实心接地层



一旦两对 USB 走线在不同层中彼此交叉，将在两个 USB 信号层之间放置一个接地层，具体如图 22 所示。

图 22. 接地层插入



走线长度

应尽量缩短 USB 信号走线的长度。长走线会增大插入损耗和辐射，并会引入远端接收器符号间的干扰（ISI）。

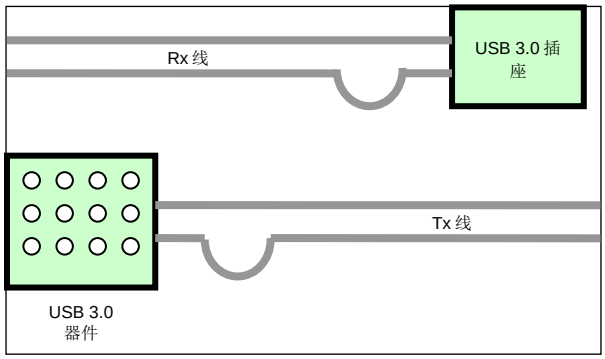
注意： HX3 SS 走线特点高达 11 英寸长。应保持 SS PCB 走线的长度小于 11 英寸。

在设计 PCB 布局的过程中，优先布线 USB 信号线。请确保满足下面各推荐条件：

- 保证差分 SS 对的走线长度相差必须小于 0.12 mm（5mil）。
- 高速（D+和 D–）信号的走线长度相差必须小于 1.25 mm（50mil）。
- 如果需要，应调整接近 USB 插座的高速信号走线的长度。
- 应该调整在 USB 插座附近的 SS Rx 信号走线长度，并调整器件附近的 SS Tx 信号走线长度（若需要）。

图 23 显示的是 SS 信号的长度匹配的示例。

图 23. SS 信号的长度匹配



端口间的隔离

需要隔离各端口，这样才能尽量降低某一端上的 SS Tx 线对其他端的 Rx 线产生的条文干扰的影响。

在两个差分对之间填充接地铜箔。应确保地端和差分对之间最小距离为 2*W*，其中*W*是走线宽度。

沿着 SS 和 HS 走线添加防护线缝合的过孔，这样可以确保适当隔离端口。

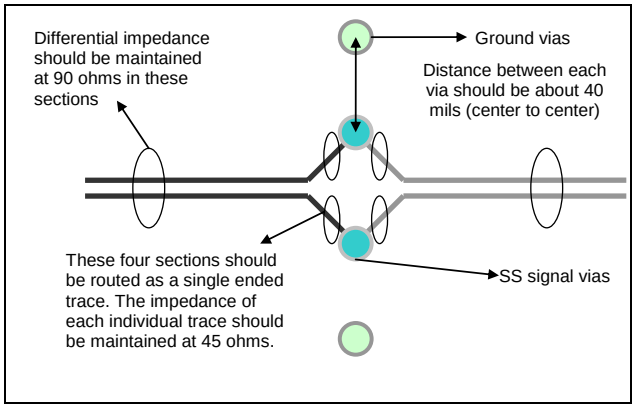
图 26 显示的是在 USB 数据线对两侧上布线带有过孔的接地走线的方法。

信号过孔布线

建议将 SS 信号线布线在同一层。过孔会使信号线断开，并影响 SS 信号的质量。

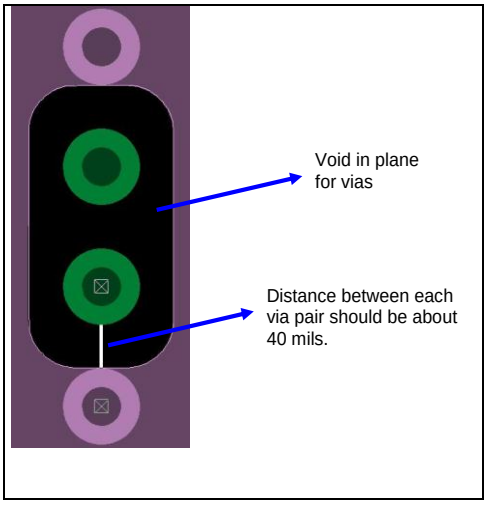
如果需要将信号布线到另一层，需要保持接地，这样可以确保阻抗的一致性。为了实现这个目的，接地过孔必须位于信号过孔的旁边，如图 24 所示。信号过孔和接地过孔之间的距离不能低于 40 mil。

图 24. 接地过孔



SS 信号走线上的过孔空隙应该相同成差分对存在。与单独过孔相比，差分对共有的空隙会保持更高的阻抗匹配，如图 25 所示。

图 25. SS 走线的空隙过孔放置



其他建议

尽量将 RC 复位电路中使用的电容放置的位置接近 HX3 的复位引脚。

保持晶振与 HX3 之间的距离小于 1 cm。并且要确保晶振走线下方有实心的地。

在（通过孔插座 ）使用标准 B 插座时，强烈建议将 USB 信号线连接到插座引脚。这些引脚位于插座位置的对立层，如图 27 和图 28 所示。例如，如果标准 B 插座位于顶层上，信号线将连接到底层上的插座引脚。这是为了避免引脚短截线（天线）。

图 26. 端口间的隔离

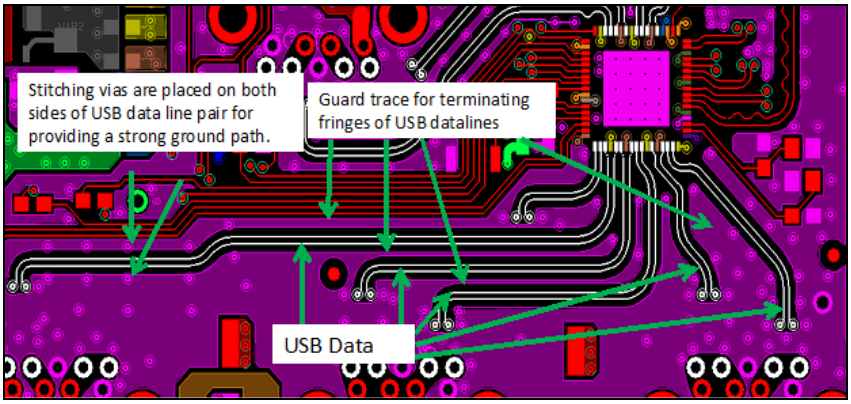


图 27. 标准 B 插座的放置

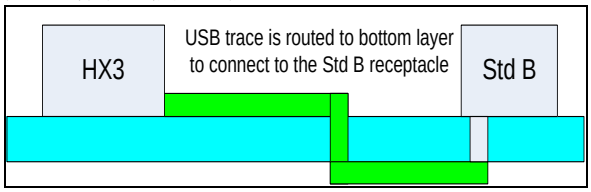


图 28. 标准 B 插座的布局

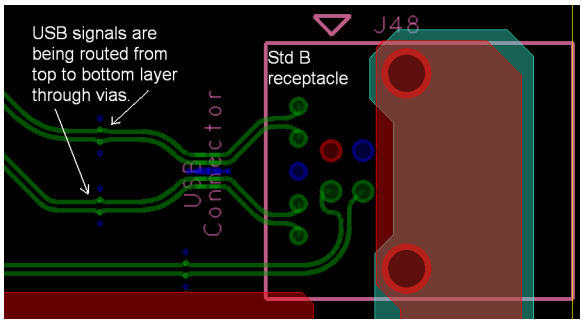
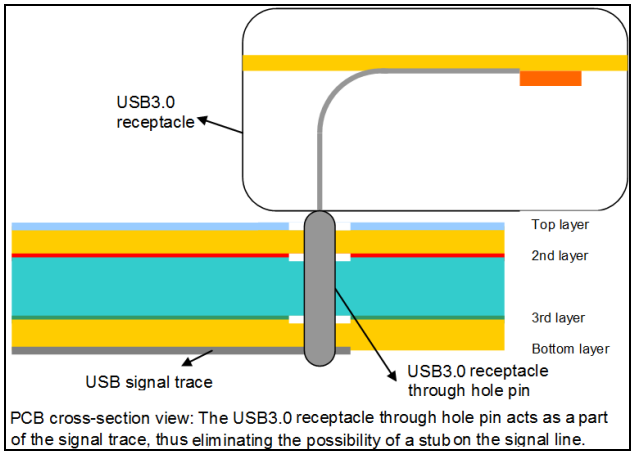


图 29 显示的是推荐的布局。为了避免过孔，可以将器件放置在标准 B 插座的对立层上。这时，可将 USB 走线完全布线在同一层上。

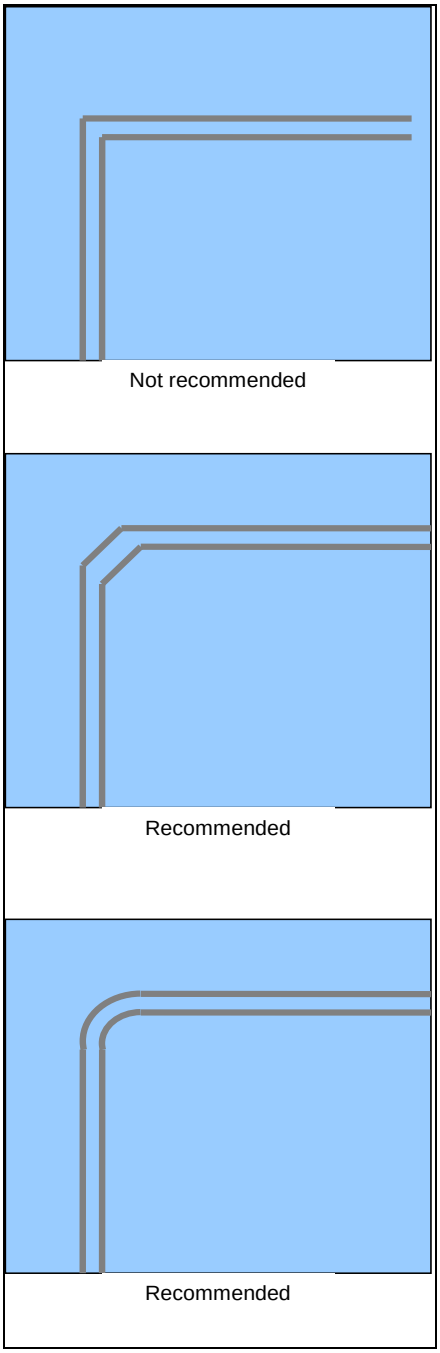
图 29. USB 信号线连接到标准类型 B USB 插座的对立层上，以避免线上的短截线



可以交换 SS 差分对的极性。在联接过程中，USB 3.0 PHY 会自动进行极性检测，如 USB 3.0 规范中 6.4.2 一节定义的内容。通过使用极性反转机制可以确保 USB 走线不会彼此交叉。

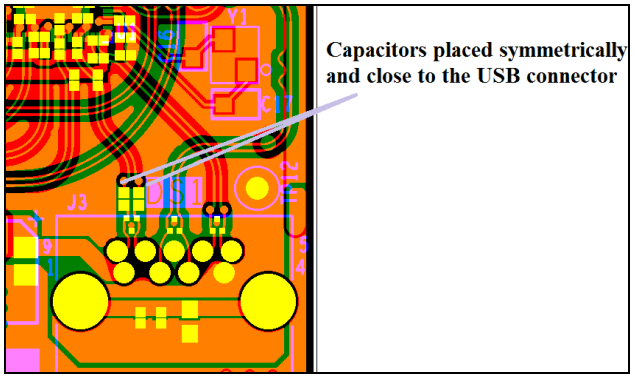
在 USB 信号线上，尽量减少将要使用的弯曲。请勿使用 90 度的弯曲。如果需要，请使用 45 度的弯曲或圆形（曲线）弯曲，如图 30 所示。

图 30. USB 信号弯曲



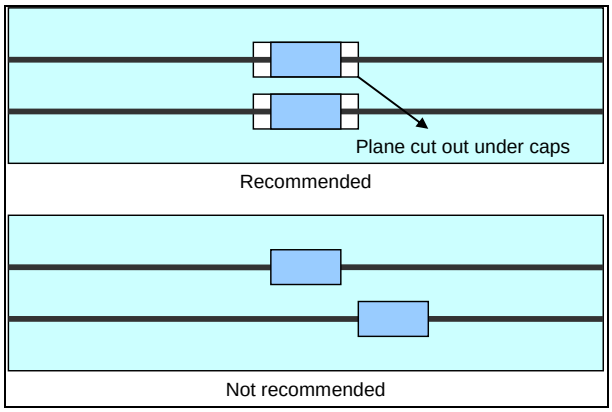
SS 走线需要在 TX 线上（US 端口和 DS 端口上）有额外的交流耦合电容（0.1 µF），如图 31 所示。对于 DS 端口，这些电容要对称放置，并要尽可能接近连接器。要将 US 端口放置的位置尽可能靠近器件。

图 31. SS TX 线的交流耦合电容



需要对位于这些交流耦合电容器正下方的两层进行截断，旨在符合电容器的外形，以便在各线上避免由电容器焊盘而导致的额外电容。图 32 显示的是合理的去耦电容布局。

图 32. SS TX 的交流耦合电容布局



原理图和布局检查表

表 8 是所有重要指南的检查表。它为每一个检查表的条目提供了答案，通过它您可以了解您的硬件是否符合准则要求。

表 8. 原理图和布局检查表

序号	原理图检查表	答案（是/否/未确定）
1	去耦电容和批量电容是否根据图 1 和图 2 进行连接？	
2	晶振是否符合本应用手册中的规范？	
3	是否向 DS 端口提供了 150 µF 的批量电容？	
4	上电复位 RC 组件是否满足最小复位时间（5 ms）的要求？	
5	USB 高精度电阻是否有 1%的容差量？	
6	I^2C 线提供的上拉电阻是否等于 3.3 V？	
7	连接到 pin-strap 引脚的 LED 是否并联了一个 10 kΩ 的电阻？	
8	是否确保 DS 端口的电源开关有一个连接到 OUTPUT 引脚的 MOSFET，或选择了快速放电的电源开关？	
9	是否向 VBUS_US 引脚提供了一个等效电阻为 10 kΩ 的电压分压器网络？	
10	US 端口的批量电容是否为 1 µF？	
11	是否正确地终止了所有端口屏蔽？	
12	是否根据图 1 和图 2 连接好了铁氧体磁环？	
13	pin-strap 配置使用于 HX3 时是否未将 MODE_SEL[1]和 MODE_SEL[0]下拉为低电平？（仅限于 88 引脚 QFN）。	
14	是否根据 HX3 的 IO 拉电流/灌电流的能力（4 MA）来决定与 LED 串联的电阻值？	
	PCB 布局检查表	
1	是否已经将晶振放置在接近芯片（低于 1 cm）的位置？	
2	是否已将去耦电容和批量电容放置在接近 HX3 电源引脚的位置？	
3	是否已经将过孔放置在接近 HX3 电源引脚的位置？	
4	是否已将电源走线与高速的数据线和时钟线相互隔离开？	
5	是否将 RC 复位电路中的电容放置在靠近 HX3 的复位引脚的位置？	
6	150 µF 大小的电容是否被放置在靠近 DS 短路的连接器的地方？	
7	USB SS 和 HS 信号线的长度是否一致？	
8	是否向 USB 数据线的下面放置了实心的接地层？	
9	是否沿着 USB 数据走线向 SS 走线提供了缝合过孔的防护线？	
10	是否在 TX 线上向 SS 走线提供了交流去耦电容（0.1 µF）？	
11	是否已经尽可能地缩短了 USB 走线？	
12	是否确保在所有 USB 走线上没有任何短截线？	
13	是否确保 SS 走线上没有任何过孔？	
14	USB 走线是否有被弯曲，并且没有发生 90 度的弯曲？	

总结

超速 USB 操作要求认真设计硬件，以保留 HX3 信号的完整性。按着本应用手册中的指导，您基于 HX3 的设计很可能获得成功。

缩略语

表 9. 本文档中使用的缩略语

缩略语	说明
ACA	辅助充电适配器
ASSP	特定应用标准产品
BC	电池充电
CDP	充电下行端口
DCP	专用充电端口
DS	下行
EEPROM	电可擦除可编程只读存储器
FS	全速
GND	接地
HS	高速
LED	发光二极管
LS	低速
PCB	印刷电路板
QFN	四方扁平无引线（QFN 封装）
SDP	标准下行端口
SS	超速
SWD	串行线调试
US	上行
USB	通用串行总线
VID	供货商 ID

关于作者

姓名： Prajith C
职务： 应用工程师
联系地址： prji@cypress.com

姓名： Rama Sai Krishna V
职务： 应用工程师
联系地址： rskv@cypress.com

附录 A：功耗

表10预估了HX3在不同条件下的功耗。表11总结了连接到DS端口的各种设备组合的功耗。

例如，要想计算三个连接至各DS端口的SS器件（同时没有任何器件连接至一个DS端口），和一个US端口连接至USB 3.0主机的功耗，公式如下：
功耗 = [a] + 2×[g] = 492.5 + 2×76 = 644.5 mW

[a]指的是用于使US端口连接至USB 3.0主机并使SS器件连接至DS端口的有效功耗。
[g]指的是连接至DS端口的额外SS器件的递增功耗。

表 10. 不同使用情况下的功耗评估

器件条件	已连接的 DS 端口的数量和速度	典型的电流消耗			注释
		供电电流（mA）		功耗（mW）	
		1.2 V	3.3 V		
主机未被连接	–	18.0	6.0	41.4	–
主机已连接时，集线器暂停 [2]	未连接任何器件	42.0	12.0	90.0	–
USB 3.0 主机的有效功耗[3]	1 SS	204.1	75.0	492.5	[a]
	1 HS	51.2	45.2	210.7	[b]
	1 FS	51.2	34.0	173.7	[c]
	1 SS + 1 HS	218	103.4	602.9	[d]
USB 2.0 主机的有效功耗[3, 4]	1 HS	51.2	45.2	210.7	[e]
	1 FS	51.2	34.0	173.7	[f]
附加的 DS 端口的增量有效功耗	1 SS	39.4	8.7	76.0	[g]
	1 HS	7.0	19.8	73.7	[h]
	1 FS	7.0	14.2	55.2	[i]
激活每个被禁用的 DS 端口节电性能[5]	–	10.6	9.6	44.4	[j]

表 11. 不同配置的功耗

器件条件	与数据传输连接的 DS 器件数量	典型的电流消耗			注释
		供电电流（mA）		功耗（mW）	
		1.2 V	3.3 V		
4 端口的 USB 3.0 集线器（USB 3.0 主机）	4 个 SS 器件	322	101	720	[a] + 3×[g]
	3 个 SS + 1 个 HS 器件	297	121	755	[d] + 2× [g]
	3 个 SS 器件	283	92	644	[a] + 2× [g]
4 端口的 USB 3.0 集线器（USB 主机）中的一个端口被禁用	3 个 SS 器件	272	83	600	[a] + 2× [g] –[j]
	2 个 SS + 1 个 HS 器件	247	103	634	[d] + [g] – [j]
8 个 DS 端口的共享链接	4 个 SS + 4 个 HS 器件	357	189	1052	[d] + 3× ([g] + [h])
4 端口的 USB 3.0 集线器（USB 2.0 主机）	4 个 HS 器件	72	105	432	[e] + 3× [h]
	3 个 HS + 1 个 FS 器件	72	99	413	[e] + 2× [h] + [i]

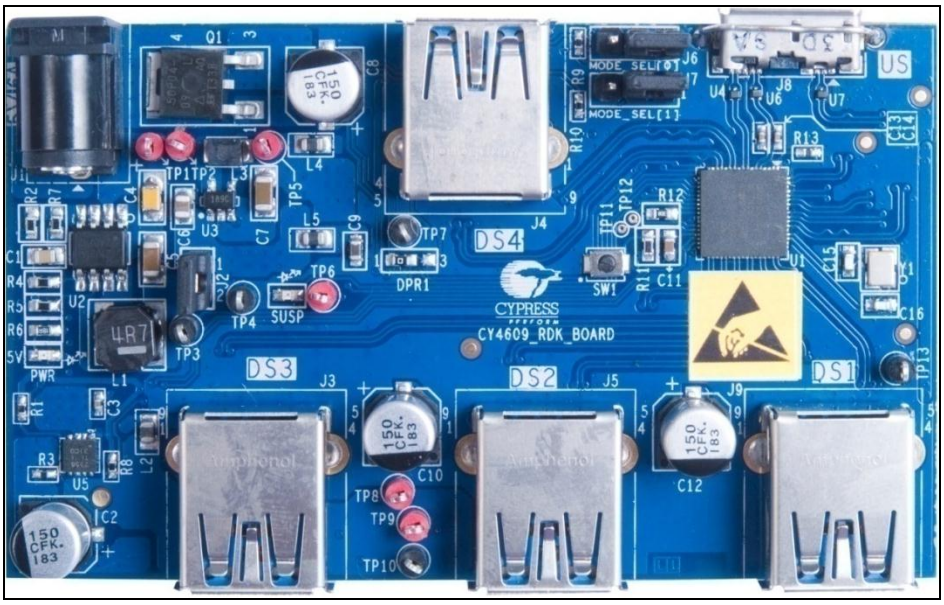
注释

2. 低功耗模式下的 US 端口（U3 中的 SS 和 L2 中的 USB 2.0）。
3. 全部使能四个 DS 端口。
4. 可通过配置选项禁用 US SS。请参考 HX3 数据手册了解配置选项的详细信息。
5. 只有 USB 3.0 主机具有节电特性。可通过配置选项禁用 DS 端口。请参考 HX3 数据手册了解配置选项的详细信息。

附录 B：HX3 开发套件（DVK）和 BOM

赛普拉斯的 HX3 DVK 提供了您需要使用的硬件。CY4609 是用于 68 引脚 QFN 封装的 DVK，CY4603 是用于 88 引脚 QFN 封装的 DVK。CY4613 也可用于 88 引脚 QFN，它有助于测试共享链接的特性。通过这些 DVK 的内容们，可以使用 HX3 设计您的最终集线器产品。图 33 显示的是 CY4609 的图片，图 34 显示的是 CY4603 的图片，而图 35 显示的是 CY4613 的图片。可以从赛普拉斯网站上下载 HX3 DVK 原理图。

图 33. HX3 68 引脚 QFN DVK（CY4609）



CY4609 中可降低的 BOM

设计 CY4609，使之具备某些配置和调试选项。在您最终的产品设计中，不需要这些选项。另外，已经使用了优化的去耦电容值测试了 HX3 设计，因此在您最终的产品中有减少 BOM 的范围。表 12 显示的是可被移除或更改的组件名单。

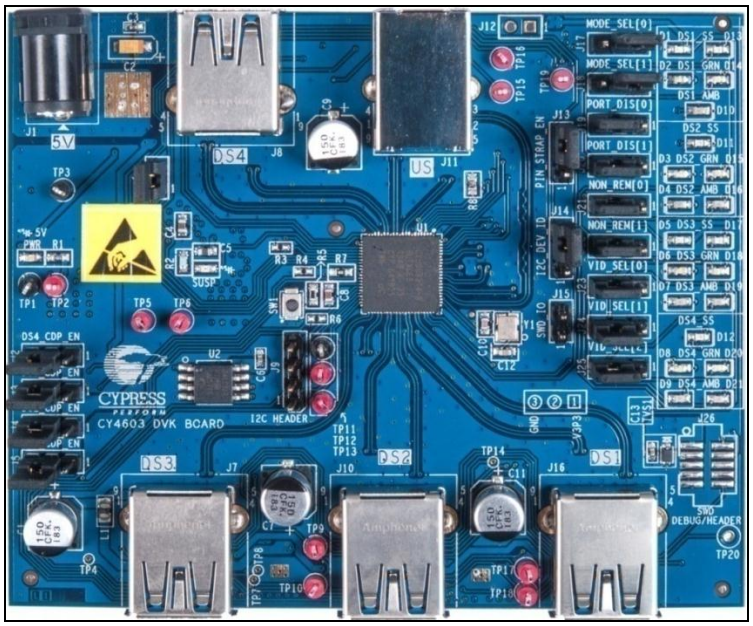
表 12. CY4609 可降低的 BOM

推荐移除的组件	组件的值	数量	参考原理图	原因
去耦电容	0.001 µF	10	C32、C39、C42、C43、C44、C46、C47、C50、C57、C63	每个引脚上只需要一个去耦电容（0.01 µF）即可过滤掉 1.2 V SS Rx 和 Tx 域上的高频率噪声。
	0.01 µF	10	C27、C30、C34、C35、C36、C37、C38、C58、C60、C66	每个引脚上只需要一个去耦电容（0.1 µF）即可过滤掉该噪声。
	0.1 µF	2	C53、C61	对于 2 V 的 SS Rx 和 Tx 域，22 µF 的批量电容足够用了。
	1 µF	8	C21、C54、C65、C68	不再需要使用 1 µF 的电容，因为 22 µF 的批量电容已经具有了该作用。
			C70、C72	对于 2 V 的 SS Rx 和 Tx 域，22 µF 的批量电容是足够了。
			C71、C77	在 DVK 上，过电压保护 IC 可提供额外的保护。该项是可选的，并且仅在需要时才安装它。它们是过电压保护 IC 的输入和输出电容。仅在使用了过电压保护 IC（U12）时，才需要这些电容。

推荐移除的组件	组件的值	数量	参考原理图	原因
电阻	0 Ω	1	R28	MOSFET（Q2）门引脚不需要使用电阻，并且可以将门引脚直接和电源开关$\overline{EN}$的引脚短接。
	1 MΩ	1	R19	仅在使用过电压保护 IC （U12、$\overline{FLAG}$引脚）时，才需要该电阻。
复位开关	–	1	SW1	无需手动复位集线器的正常操作。
用于反向极性的 MOSFET	–	1	Q1（SUD50P04-09L-E3）	在该套件上，添加了它，这样可以给反向极性电源连接提供额外的保护。仅在更改了负向供电电压与集线器设计间的连接时，才需要使用它。
ESD 二极管	–	15	U4、U6、U7、U8、U9、U10、U11、U13、U14、U15、U16、U17、U18、U20、U21	向该套件添加了 ESD 二极管，用以提供额外的保护。该项是可选的，HX3 具有一个 2.2 kV 的内置 ESD 保护。
测试点	–	11	TP1、TP2、TP3、TP4、TP5、TP6、TP7、TP8、TP9、TP10、TP13	测试点仅用于调试，在最终产品设计无需这些测试点。
插座	–	3	J6、J7	在 DVK 上，各个插座用于选择 HX3 配置的选项。在最终的产品设计中不需要这些插座。
			J2	在调试时使用该插座，在最终的产品设计中不需要它。
过电压保护 IC	–	1	U12 (NCP361SNT1G)	在 DVK 上，过电压保护 IC 可提供额外的保护。该项是可选的，并且仅在需要时才安装它。
跳线	–	3	881545-2 小型跳线	在 DVK 上，插座用于选择 HX3 配置的选项。在最终的集线器设计中不需要这些插座。
铁氧体磁环	–	5	L2、L6、L7、L8、L9	向 US 的 VBUS 线上添加了一个铁氧体磁环。并向四个 DS 端口的 VBUS 线上添加了 4 个铁氧体磁环。这是由系统决定的。
总计		72		
批量电容	22 µF 大小被替换为 10 µF	3	C9、C82、C85	已经通过使用优化的 10 µF 批量电容值对 HX3 DVK 进行了测试。
3.3 V 大小的调压器	AOZ1021AI 可被替换为 NCP3170ADR2G 或 AOZ1015AI	1	U2	低成本的调压器

在 DVK 的下一个版本中，绿色突出显示的组件将被移除。请参考 http://www.cypress.com/hx3，了解降低 BOM 的原理图。

图 34. HX3 88 引脚 QFN 的 DVK（CY4603）



CY4603 可降低的 BOM

设计 CY4603，使之具备各种配置和调试选项以及 LED 指示灯。正如表 13 中所述的情况，您的最终产品中具有一个减少 BOM 的范围。

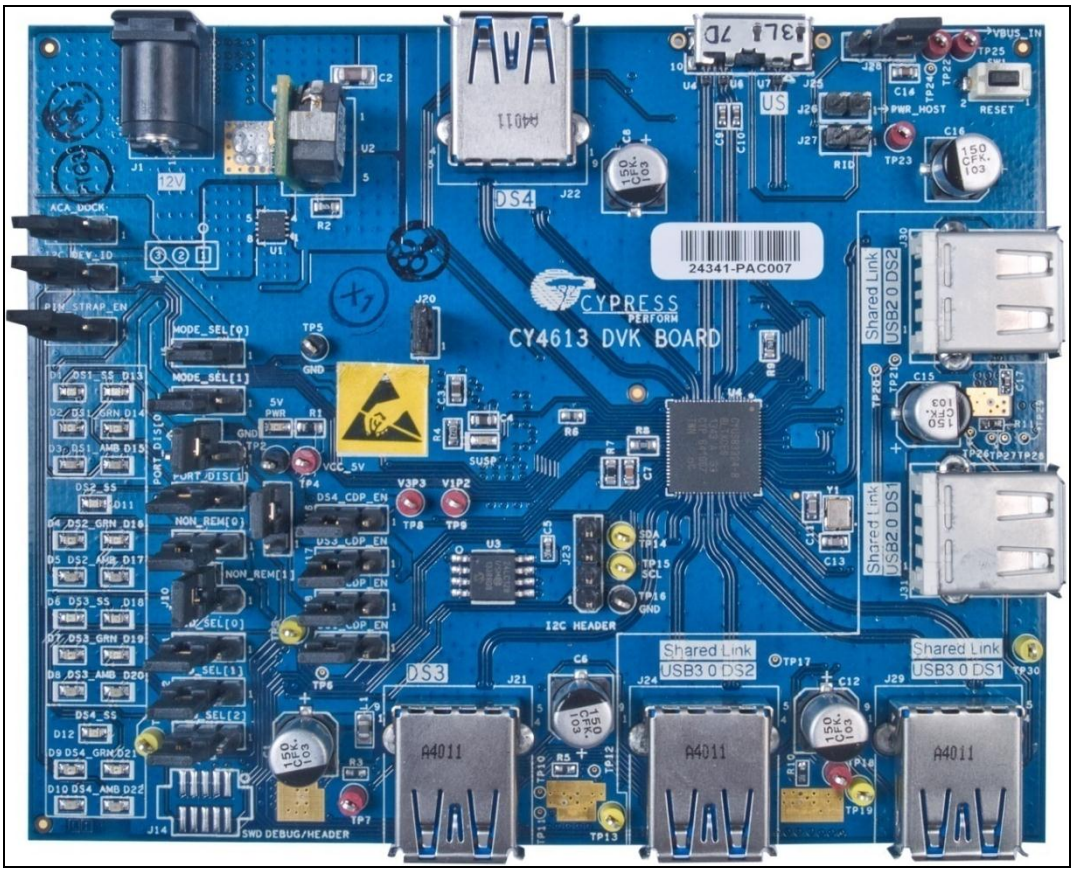
表 13. CY4603 可降低的 BOM

推荐移除的组件	组件的值	数量	参考原理图	原因
去耦电容	0.001 µF	10	C37、C40、C43、C44、C45、C50、C55、C56、C61、C62	每个引脚上只需要一个去耦电容（0.01 µF）即可过滤掉 1.2 V 的 SS Rx 和 Tx 域上的高频率噪声。
	0.01 µF	10	C25、C28、C29、C36、C38、C39、C42、C51、C66、C71	每个引脚上只需要一个去耦电容（0.1 µF）即可过滤掉该噪声。
	0.1 µF	3	C58、C73	对于 2 V 的 SS Rx 和 Tx 域，一个 22 µF 的批量电容是足够了。
			C13	SWD 接口的去耦电容在最终的产品设计中不需要该 SWD 接口。
	1 µF	8	C34、C68、C72、C75、C76、C77	不需要使用 1 µF 的电容，因为 22 µF 的批量电容已经起到此目的了。
			C18、C19	它们是过电压保护 IC 的输入和输出电容。仅在使用过电压保护 IC （U12）时，才需要这些电容。
电阻	10 kΩ	26	R15、R37、R41、R46、R50、R66、R67、R68、R69、R70、R71、R72、R73、R74、R75、R76、R77、R78、R79、R80、R81、R82、R83、R84、R85、R86	仅在未使用 pin-strap 的配置中，才能移除这些电阻。如果正在使用外部 EEPROM 固件进行配置，则 pin-strap 选项不起任何作用。
	226 Ω	8	R9、R10、R12、R13、R17、R19、R20、R21	这些电阻用于限制 LED 的电流，若不需要端口指示灯，可移除这些电阻。
	270 Ω	4	R11、R14、R16、R18	
	300 Ω	7	R22、R24、R25、R26、R27、R28、R34	

推荐移除的组件	组件的值	数量	参考原理图	原因
	0 Ω	4	R32、R38、R47、R56	MOSFET（Q2）门引脚不需要使用电阻，并且可以将门引脚直接和电源开关 $\overline{EN}$ 的引脚短接。
	1 MΩ	1	R36	仅在使用过电压保护 IC （U12、$\overline{FLAG}$ 引脚）时，才需要该电阻。
复位开关	–	1	SW1	无需手动复位集线器的正常操作。
用于反向极性的 MOSFET	–	1	Q5 (SUD50P04-09L-E3)	在该套件上，添加了它以给反向极性电源连接提供额外的保护。仅在更改了负向供电电压与集线器设计间的连接时，才需要使用它。
ESD 二极管	–	15	U3、U4、U5、U8、U9、U10、U11、U12、U13、U15、U16、U17、U18、U19、U20	向该套件添加了 ESD 二极管，以提供额外的保护。这是可选的；HX3 具有一个 2.2 kV 的内置 ESD 保护。
测试点	–	16	TP1、TP2、TP3、TP5、TP6、TP9、TP10、TP11、TP12、TP13、TP15、TP16、T17、T18、T19、T20	测试点仅用于调试，在最终产品设计无需这些测试点。
插座	–	18	J2、J3、J4、J5、J6、J9、J13、J14、J15、J17、J18、J19、J20、J21、J22、J23、J24、J25	调试时使用该插座，并在最终的产品设计中不需要它。
LED	–	21	D1、D2、D3、D4、D5、D6、D7、D8、D9、D10、D11、D12、D13、D14、D15、D16、D17、D18、D19、D20、D21	仅在不需要端口指示灯时，才能移除 LED。
过电压保护 IC	–	1	U6 (NCP361SNT1G)	在 DVK 上，过电压保护 IC 可提供额外的保护。这是可选的，并仅在需要时才安装它。
二极管	–	1	TVS1	
跳线	–	20	881545-2 小型跳线	在 DVK 上，插座用于配置 HX3。在最终的集线器设计中不需要这些插座。
铁氧体磁环	–	5	L1、L2、L3、L4、L5	向 US 的 VBUS 线上添加了一个铁氧体磁环。并向四个 DS 端口的 VBUS 线上添加了 4 个铁氧体磁环。这是由系统决定的。
总计		180		
调压器	AOZ1021AI 可被替换为 NCP3170ADR2G 或 AOZ1015AI	1	U22	低成本的调压器

在 DVK 的下个版本中，绿色突出显示的组件将被移除。请参考 http://www.cypress.com/hx3，了解降低 BOM 的原理图。

图 35. 共享链接特性支持的 88 引脚 HX3 QFN DVK（CY4613）



CY4613 可降低的 BOM

设计 CY4613，使之具备各种配置和调试选项以及 LED 指示灯。正如表 14 中所述，您的最终产品中具有一个减少 BOM 的范围。

表 14. CY4613 可降低的 BOM

推荐移除的组件	组件的值	数量	参考原理图	原因
去耦电容	0.001 µF	10	C51、C60、C56、C66、C67	每个引脚上只需要一个去耦电容（0.01 µF）即可过滤掉 1.2 V 的 SS Rx 和 Tx 域上的高频率噪声。
	0.01 µF	10	C31、C34、C35、C41、C43、C45、C48、C57、C71、C76	每个引脚上只需要一个去耦电容（0.1 µF）即可过滤掉该噪声。
	0.1 µF	3	C80、C82	对于 2 V 的 SS Rx 和 Tx 域，22 µF 的批量电容足够用了。
			C106	SWD 接口的去耦电容在最终的产品设计中不需要该 SWD 接口。
	1 µF	8	C39、C40、C73、C77、C81、C82	不再需要使用 1 µF 的电容，因为 22 µF 的批量电容已经具有了该作用。
			C14、C26	它们是过电压保护 IC 的输入和输出电容。

推荐移除的组件	组件的值	数量	参考原理图	原因
电阻	10 kΩ	28	R6、R43、R44、R45、R46、R50、R54、R55、R56、R63、R64、R65、R71、R73、R75、R78、R88、R89、R90、R91、R92、R93、R94、R95、R96、R100、R101、R102	仅在未使用 pin-strap 的配置中，才能移除这些电阻。如果正在使用外部 EEPROM 固件进行配置，则 pin-strap 选项不起任何作用。
	226 Ω	8	R79、R80、R82、R84、R85、R87、R98、R99	这些电阻用于限制 LED 的电流，若不需要端口指示灯，可移除这些电阻。
	270 Ω	5	R4、R77、R81、R83、R86	
	300 Ω	8	R59、R60、R61、R67、R70、R72、R74、R76	
	0 Ω	6	R13、R21、R22、R26、R34、R62	MOSFET（Q1、Q2、Q3、Q4）门引脚不需要使用电阻，并且可以将门引脚直接和电源开关$\overline{EN}$的引脚短接。
	1 MΩ	1	R20	仅在使用过电压保护 IC （U12、$\overline{FLAG}$引脚）时，才需要该电阻。
复位开关	–	1	SW1	无需手动复位集线器的正常操作。
用于反向极性的 MOSFET	–	1	Q7	在该套件上，添加了它，这样可以给反向极性电源连接提供额外的保护。仅在更改了负向供电电压与集线器设计间的连接时，才需要使用它。
ESD 二极管	–	15	U4、U6、U7、U9、U10、U11、U12、U15、U16、U18、U19、U20、U21、U22、U23	向该套件添加了 ESD 二极管，用以提供额外的保护。这是可选的；HX3 具有一个 2.2 kV 的内置 ESD 保护。
测试点	–	16	TP1、TP2、TP3、TP4、TP5、TP7、TP8、TP9、TP13、TP14、TP15、TP16、TP18、TP19、TP22、TP23、TP25、TP30	测试点仅用于调试，在最终的产品设计无需这些测试点。
插座	–	18	J2、J3、J4、J5、J6、J7、J8、J9、J10、J11、J12、J13、J15、J16、J17、J18、J19、J20、J23、J26、J27、J28	调试时使用该插座，并在最终的产品设计中不需要它。
LED [7]	–	21	D1、D2、D3、D4、D5、D6、D7、D8、D9、D10、D11、D12、D13、D14、D15、D16、D17、D18、D19、D20、D21、D22	仅在不需要端口指示灯时，才能移除 LED。
过电压保护 IC	–	1	U13	在 DVK 上，过电压保护 IC 可提供额外的保护。该项是可选的，并且仅在需要时才安装它。
二极管	–	1	TVS1	
跳线	–	20		在 DVK 上，插座用于配置 HX3。在最终的集线器设计中不需要这些插座。
铁氧体磁珠	–	7	L1、L2、L3、L4、L5、L6、L7	已向 US 的 VBUS 线上添加了一个铁氧体磁珠。向两个 USB 3.0 DS 端口的 VBUS 线上添加了其中两个铁氧体磁珠。并将其中四个添加到共享链接（2 USB 3.0 + 2 USB 2.0） DS 端口上。这是取决于系统的。
总计		195		
调压器	AOZ1021AI 可被替换为 NCP3170ADR2G 或 AOZ1015AI	1	U25	低成本的调压器

在 DVK 的下一个版本中，绿色突出显示的组件将被移除。请参考 www.cypress.com/hx3，了解降低 BOM 的原理图。

附录 C： PCB 布局提示

许多经典方法应用于设计 PCB 时，降低低噪声和 EMC。这些方法包括：

- **多层：**虽然比较昂贵但最好方法是使用一个多层 PCB，其中 V_{SS} 和 V_{DD} 供电具有单独的层。这样可以使去耦和屏蔽效果更好。这些层上的单独填充将使用于 V_{SSA}、V_{SSD}、V_{DDA} 和 V_{DDD}。

  为 HX3 推荐使用的 PCB 最少为四层。

- **组件位置：**根据电磁干扰（EMI）的影响来区分 PCB 上的不同电路。这样会降低 PCB 上的交叉耦合。例如，将嘈杂高电流的电路、低电压电路和数字组件互相分开。

- **接地和电源：**必须有一个用于收集所有接地返回的单点。避免接地环路或最小化它们的面积。应该将 PCB 上的所有未带组件的表面空间填充接地层。

  为了最小化电源回路区，该电源必须靠近接地线。该电源回路可作为一个天线、EMI 的主发射器或接收器使用。

- **解耦：**外部电源的标准批量去耦器是一个 100 µF 电容。为了降低高频电源纹波，补充的 0.1 µF 电容必须离器件 V_{SS} 和 V_{DD} 引脚非常近。

  总体来说，应该去耦所有灵敏信号或嘈杂的信号，这样可以提高电磁兼容性（EMC）的性能。该去耦可以是电容去耦和电感去耦。

- **信号布线：**为了提高 EMC 的性能，在设计某一应用时，请考虑下面各内容：
  - 嘈杂的信号，如快速沿时间的信号
  - 敏感信号和高阻抗信号
  - 捕获事件的信号，如中断和选通信号

为了提高 EMC 性能，要使走线长度最小，并使这些走线和 V_{SS} 走线互相隔离。为了避免串扰，请勿将这些走线靠近其他嘈杂和敏感走线或与其并行排列。更多有关的信息，请参考：

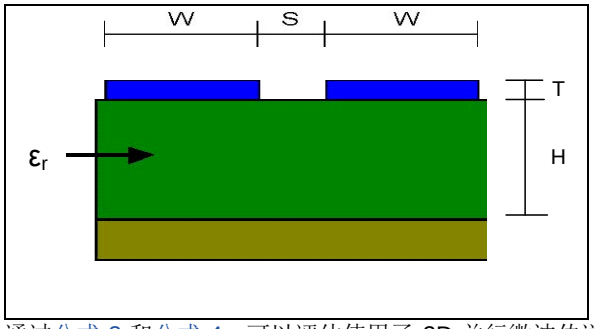
- *电路设计的伴侣（The Circuit Designer's Companion）*，版本 2（设计工程师的 EDN 系列），作者：Tim Williams
- *实际世界 EMI 控制的 PCB 设计（PCB Design for Real-World EMI Control）*（工程和计算机科学的 Springer 国际系列），作者：Bruce R. Archambeault 和 James Drewniak
- *印刷电路手册（Printed Circuits Handbook）*（McGraw Hill 手册），作者：Clyde Coombs
- *EMC 和印刷电路板：设计、理论和布局变得更加简单（EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple）*，作者：Mark I. Montrose
- *信号集成问题和印刷电路板设计（Signal Integrity Issues and Printed Circuit Board Design）*，作者：Douglas Brooks

目录 D：USB 走线的差分阻抗

微波传送带是指 PCB 的外层上的铜走线。一个微波传送带会有一个阻抗Z_0，由它的宽度（W）、高度（T）、与最接近的铜板之间的距离（H），以及微波传送带和最接近板间的材料（通常是 FR-4）的相对介电常数（ε_r）等因素决定。当两个微波传送带彼此并行时，会发生交叉耦合。各微波传送带之间的距离（S）以及它们与一个板之间的距离（H）均会影响生成的交叉耦合量。随着各微波传送带间的距离减少，交叉耦合量将增加。微波传送带的阻抗会因交叉耦合的增加而降低。通过测量两个微波传送带的阻抗，然后对它们求和，便计算得出差分阻抗大小Z_{diff}。

图 36 展示的是 PCB 的剖面图，从上到下分别显示了差分走线、基板和接地层。

图 36. 差分阻抗的微波传送带模型



通过公式 3 和公式 4，可以评估使用了 2D 并行微波传送带模型的差分阻抗大小。表 15 提供了各变量的定义。对于 $0.1 < W/H < 2.0$ 和 $0.2 < S/H < 3.0$ 等比例，这些公式是可用的。商业工具可通过使用验证算法或三维建模算法得到更精确的结果。

公式 3. 计算差分阻抗的公式：

$$Z_{diff} = 2 \times Z_0(1 - 0.48e^{-0.96S/H})$$

公式 4.一个微波传送带的阻抗：

$$Z_0 = (87/(\varepsilon_r + 1.41)^{0.5}) \ln(5.98H/0.8W + T)$$

表 15. 差分阻抗变量的定义

变量	说明
Z_{diff}	板上的两个并行微波传送带的差分阻抗
Z_0	板上的一个微波传送带的阻抗
W	走线的宽度
H	接地层与走线间的距离
T	走线的厚度（1/21 盎司（oz）铜的厚度≅ 0.65mil）
S	差分走线间的距离（空气间隙）
ε_r	基板的相对介电常数（FR-4 ≅ 4.5）

文档修订记录

文档标题： AN91378 — HX3 硬件设计指南和原理图的检查表

文档编号：001-91976

修订版	ECN	变更人	提交日期	变更说明
**	4333351	LYAO	2014 年 04 月 04 日	本文档版本号为 Rev**，译自英文版 001-91378 Rev**。
*A	5757040	LIP	2017 年 05 月 31 日	本文档版本号为 Rev*A，译自英文版 001-91378 Rev*B。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问赛普拉斯所在地。

产品

ARM® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6

赛普拉斯开发者社区

论坛 | WICED IoT 论坛| 项目 | 视频 | 博客 | 培训 | 组件

技术支持

cypress.com/support

PSoC 是赛普拉斯半导体公司的注册商标。

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© 赛普拉斯半导体公司，2014-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。
在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。
赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。