# PSOC™ 4 MCU ハードウェア設計上の注意事項

## 本書について

### 適用範囲と目的

このアプリケーションノートでは、PSOC™ 4 MCU デバイスを使用したハードウェアシステムを設計する上での注意事項について、パッケージの選択, 電源, クロック, リセット, I/O の使用方法, プログラミングおよびデバッグインターフェース, アナログモジュールの設計を説明します。

### 対象者

本書は、主に PSOC™ 4 MCU デバイスのハードウェア設計に精通する必要があるエンジニアを対象とします。

# 目次


| | | |
|---|---|---|
| | **本書について** | 1 |
| | **目次** | 2 |
| **1** | **はじめに** | 3 |
| **2** | **パッケージの選択** | 4 |
| **3** | **電源** | 5 |
| 3.1 | 電源ピンの接続 | 5 |
| 3.1.1 | 非安定化外部電源モード | 5 |
| 3.1.2 | 安定化外部電源モード | 6 |
| 3.1.3 | その他の電源に関する考慮事項 | 6 |
| 3.2 | 電源ランプアップ (スルー レート) の注意事項 | 7 |
| 3.3 | デバイス電源の設定 | 7 |
| 3.4 | 熱に関する注意事項 | 8 |
| **4** | **クロック** | 9 |
| 4.1 | クロック設定 | 9 |
| **5** | **リセット** | 12 |
| **6** | **プログラミングおよびデバッグ** | 13 |
| **7** | **GPIO ピン** | 15 |
| 7.1 | I/O ピンの選択 | 15 |
| 7.2 | 特別なポート | 16 |
| **8** | **コンポーネントの配置** | 20 |
| **9** | **アナログ モジュール設計のヒント** | 22 |
| 9.1 | SAR ADC | 22 |
| 9.1.1 | SAR ADC の取得時間 | 23 |
| 9.2 | オペアンプ | 26 |
| 9.3 | コンパレータ | 27 |
| 9.4 | CAPSENSE™ | 28 |
| 9.5 | 電流 DAC (IDAC) | 29 |
| **10** | **まとめ** | 31 |
| **A** | **付録 A - 回路図チェックリスト** | 32 |
| **B** | **付録 B - PCB レイアウトのヒント** | 34 |
| | **関連ドキュメント** | 35 |
| | **改訂履歴** | 36 |
| | **免責事項** | 38 |

# 1 はじめに

PSOC™ 4 は、Arm® Cortex®-M0 または Arm® Cortex®-M0+ CPU を使用した、強力でプログラマブルなマイクロコントローラです。通常の MCU では対応困難なアナログとデジタルのアプリケーションにも対応できる性能と柔軟性があります。現在 PSOC™ 4 MCU ポートフォリオには、以下のファミリが含まれます。

- PSOC™ 4000 ファミリ: PSOC™ 4000、PSOC™ 4000S、PSOC™ 4000T
- PSOC™ 4100 ファミリ: PSOC™ 4100、PSOC™ 4100S、PSOC™ 4100S Plus、PSOC™ 4100S Plus 256K、PSOC™ 4100PS、PSOC™ 4100M、PSOC™ 4100L、PSOC™ 4100S Max、PSOC™ 4100BL、PSOC™ 4100T Plus
- PSOC™ 4200 ファミリ: PSOC™ 4200、PSOC™ 4200M、PSOC™ 4200L、PSOC™ 4200DS、PSOC™ 4200BL
- PSOC™ 4500 および PSOC™ 4700 ファミリ: PSOC™ 4500S/PSOC™ 4700S
- PSOC™ 4 AIROC™ Bluetooth® LE

このアプリケーションノートでは、パッケージ, 電源, クロック, リセット, I/O の使用方法, プログラミング, デバッグを含むハードウェア設計上の注意事項を説明しています。またこれらのデバイスファミリのアナログモジュールを使用する上での設計用情報も提供します。さらに高精度のアナログ アプリケーションに重要な基板レイアウト技術についても言及しています。

PSOC™ 4 MCU デバイスは、ハードウェア環境で動作するように設定する必要があり、これは PSOC™ Creator または ModusToolbox™ IDE のような統合設計環境 (IDE) で行えます。各 PSOC™ 4 デバイスでサポートされている IDE については、AN79953 – Getting started with PSOC™ 4 [1] の「PSOC™ 4 feature set」のセクションを参照してください。本アプリケーションノートでは、特定のハードウェア環境向けにデバイスをセットアップするために必要な、PSOC™ Creator および ModusToolbox™ IDE で利用可能なさまざまな設定について説明します。

このアプリケーション・ノートでは、PSOC™ 4 MCU デバイス、PSOC™ Creator、および ModusTooolbox™ ソフトウェアの基礎知識を保有されていることを前提としています。ModusToolbox™ IDE を初めてお使いの方は、ModusToolbox™ ソフトウェアの概要を説明した ModusToolbox™ software user guide を参照してください。PSOC™ 4 MCU を初めてお使いの方は、AN79953 – Getting started with PSOC™ 4 [1] を参照してください。PSOC™ 4 Bluetooth® LE に関する情報は、AN91267 - Getting started with PSOC™ 4 CY8C4xxx-BL MCU with AIROC™ Bluetooth® LE [16] でカバーされています。PSOC™ 4 AIROC™ Bluetooth® LE ファミリには、ハードウェア設計上重要な項目として Bluetooth® LE アンテナ設計があります。これは特定の RF 専門知識が必要なため、このトピックについては他のアプリケーションノートで説明しています。関連ドキュメント [7] を参照してください。

# 2 パッケージの選択

PCB のために最初に決める必要があることの 1 つは、パッケージの選択です。必要な PSOC™ MCU デバイスのピン数, PCB と製品のサイズ, PCB 設計ルール, 放熱および機械的安定性などを考慮する必要があります。PSOC™ MCU デバイスには、下記のように特長の異なるパッケージがあります。

- **Small-outline integrated circuit (SOIC)**: このパッケージタイプは、Dual In-line Package (DIP) から派生したものです。ピンが 2 列に並び、通常ピン数の少ない (20 ピン未満) チップに使用されます。ピン間ピッチが大きいため、信号のレイアウトや手作業でのハンダ付けが容易です。また、機械的安定性も良好です。
- **Thin quad flat package (TQFP)**: このパッケージは、大きなピン間ピッチと部品底面の空間により信号のレイアウトが容易です。欠点は、パッケージサイズが大きいことと機械的安定性が比較的低いことです。
- **Shrink small-outline package (SSOP)**: このパッケージは、TQFP と同様の利点と欠点を有します。
- **Quad flat no-lead (QFN)**: このパッケージは他の 2 パッケージよりもはるかに小型です。中心露出パッドは最高の放熱と機械的安定性を提供します。欠点は中心パッドのために信号のレイアウトが難しくなることです。詳細は、AN72845 - Design guidelines for Infineon quad flat no-lead (QFN) packaged devices [2]を参照してください。
- **Wafer level chip-scale package (WLCSP)**: このパッケージはチップのサイズをダイと同じくらい小さくします。すべてのピンはパッケージ底面のボールに接続されています。この極限まで小さなサイズはポータブル機器のように基板領域に余裕がない時に最高の選択肢です。欠点は他のパッケージより機械的安定性が低いことです。
- **Very fine-pitch ball grid array (VFBGA)**: この数百本のピンに対応する小型パッケージは多数の I/O を持つデバイスに使用されます。欠点は機械的安定性が低いことです。

リファレンス設計として、PSOC™ 4 CAD Libraries を参照してください。これには PSOC™ 4 MCU の回路図と PCB ライブラリが含まれています。ハードウェア設計でこれらのライブラリを使用する場合、そのライブラリの変更が多少必要な場合があることに注意してください。インフィニオンはライブラリの使用に関連する問題については一切の責を負いません。

# 3 電源

PSOC™ 4 MCU は、1.71 V～5.5 V という広い単一電源電圧範囲で動作できます。表 1 に示すように、アナログとデジタルモジュールには個別の電源ドメイン (領域) があります。$V_{DDA}$ はアナログ電源ピン, VSSA はアナロググランドピン, $V_{DDD}$ と $V_{CCD}$ はデジタル電源ピン, $V_{DDIO}$ は I/O 用電源ピン, $V_{SS}$ はデジタルグランドピン, $V_{DDR}$ は RF 電源ピンです。

**表 1 PSOC™ 4 MCU 電源ドメイン**

| 電源ドメイン | 関連ピン |
|---|---|
| Analog | VDDA, VSSA |
| Digital | VDDD, VCCD, VSS |
| I/O | VDDIO |
| RF | VDDR |

***注**: $V_{DDIO}$ は一部のデバイスファミリ/パッケージにのみあります。$V_{DDIO}$ のないデバイスでは I/O は $V_{DDD}$ 入力から電源供給されます。パッケージによっては、$V_{DDA}$ と $V_{DDD}$ は単一の $V_{DDD}$ ピンに、$V_{SSA}$ と $V_{SS}$ は単一の $V_{SS}$ ピンに統合されています。$V_{DDR}$ は、PSOC™ 4 AIROC™ Bluetooth® LE ファミリのデバイスにのみ存在します。$V_{DDR}$ への供給電圧は常に $V_{DDD}$ への供給電圧以下である必要があります。*

## 3.1 電源ピンの接続

PSOC™ 4 MCU デバイスは、レギュレータを通していない非安定化外部電源形式とレギュレータで制御された安定化外部電源形式の 2 種類の供給電源形式に対応します。図 1 と 図 2 に、これらの形式に対応する電源ピンの接続方法を示します。

### 3.1.1 非安定化外部電源モード

推奨される非安定化外部電源電圧 ($V_{DD}$) 範囲については、デバイスのデータシートを参照してください。

このモードでは、内部レギュレータが $V_{DDD}$ 入力をデバイス デジタルドメインの電源電圧に変換します。これらの内部レギュレータからの出力電圧は、$V_{CCD}$ ピンにも配線されます。このような場合、対応するデバイスファミリのデータシートおよび 図 1 に記載されているデカップリング・コンデンサ $C_{EFC}$ を除き、このピンに電源を供給したり、$V_{CCD}$ に外部負荷を接続したりしないでください。

また、このモードでは、他のいくつかの内部レギュレータが $V_{DDR}$ 入力を Bluetooth® LE RF トランシーバ用の電源に変換します。Bluetooth® LE デバイスの RF トランシーバ用レギュレータは、$V_{DDR}$ が 1.9 V 未満になると動作を停止することに注意してください。

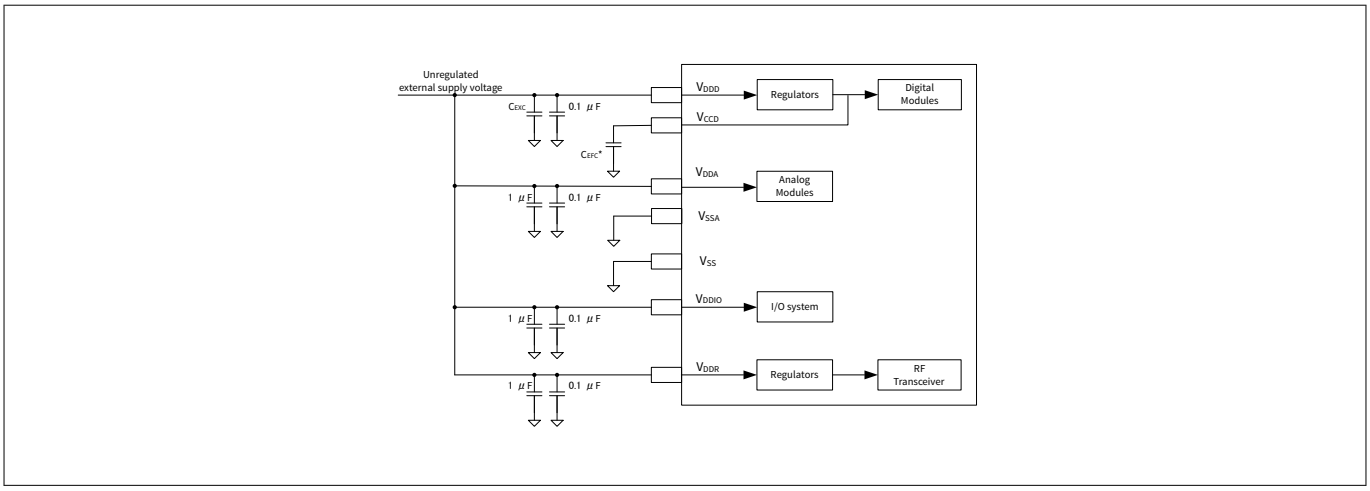



**図 1　　非安定化外部電源の使用例**

***注**:　Bluetooth® LE ファミリの場合、このコンデンサはデータシートでは $C_{VCCD}$ と表記されています。*

## 3.1.2　安定化外部電源モード

また図 2 に示すように、PSOC™ 4 MCU (Bluetooth® LE ファミリを除く) を安定化された 1.8 V (±5%) 外部電源で駆動することも可能です。$V_{CCD}$ ピンは VDDD ピンと直結し、またこの外部安定化電源で直接電源供給する必要があります。消費電力を節約するために、PWR_CONTROL レジスタの EXT_VCCD ビットを設定することによって、PSOC™ 内の使用されていないレギュレータを無効にできます。詳細は、PSOC™ 4 MCU デバイスデータシート および リファレンスマニュアルを参照してください。

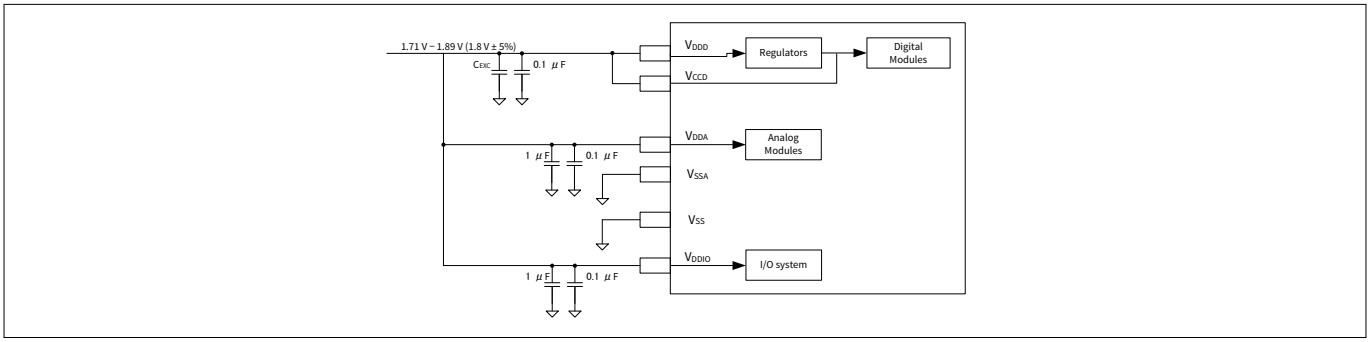



**図 2　　安定化外部電源の使用例 (Bluetooth® LE ファミリを除く)**

## 3.1.3　その他の電源に関する考慮事項

どちらの形式でも、それぞれの電源ピンにデバイスデータシートに記載されている 0.1µF とセラミック デカップリング コンデンサ $C_{EXC}$ を各電源ピンに接続します (パッケージによっては、$V_{DDD}$, $V_{DDA}$, および $V_{DDIO}$ ピンが複数あることに注意してください) 。ピンとコンデンサはできるだけ近くなるように基板配線を行ってください。詳細は、付録 B を参照してください。

***注**:　特に動作電圧と DC バイアス規格については、使用する前にコンデンサのデータシートを確認することを推奨します。いくつかのコンデンサを使用すれば、DC バイアスが定格動作電圧のかなりの割合になる時、実際の容量は大幅に減少します。*

基板の電源設計を簡単にするために、デジタル電源とアナログ電源に 1 つの電源ラインから供給できます。しかし、ミックスドシグナル回路設計で、より高いアナログ性能を得るためには、デジタル電源とアナログ電源は別の電源レールを使用してください。いかなる場合でも、VDDIO ≦ VDDD ≦ VDDA としてください。ミックスドシグナル回

## 3 電源

路の詳細な設計技術は AN57821 - PSOC™ 3、PSOC™ 4、および PSOC™ 5LP ミックスドシグナル回路基板のレイアウトに関する考慮事項 [5]を参照してください。

コンデンサとフェライトビーズの適切な使用とレイアウトは、EMC 性能の向上に役立ちます。

PSOC™ 4 MCU キットのウェブページ (CY8CKIT-040、CY8CKIT-040T、CY8CPROTO-040T、CY8CPROTO-040T-MS、CY8CPROTO-041TP、CY8CKIT-041-41XX、CY8CKIT-042、CY8CKIT-042-BLE、CY8CKIT-043、CY8CKIT-044、CY8CKIT-045S、CY8CKIT-046、CY8CKIT-145、CY8CKIT-147、CY8CKIT-149、CY8CKIT-041S-Max、CY8CKIT-148、および CY8CKIT-148-COIL) は、PSOC™ 4 を基板回路に導入するときの良い参考になる回路図や BOM リストを提供します。詳細は、関連ドキュメントを参照してください。

### 3.2 電源ランプアップ (スルー レート) の注意事項

電源ピンの接続セクションで前述したように、もしアナログとデジタルの電源ドメインに個別の電源レールを使用する場合、$V_{DDA}$ ピンの電圧は常に $V_{DDD}$ ピンの電圧以上である必要があります。PSOC™ 4 MCU への電源投入時、$V_{DDA}$ ピンの電圧は $V_{DDD}$ ピンに電圧が印加されると同時か、それ以前に印加されている必要があります。すべての電源ピンにおいて許容される最大電圧ランプレートは 67 mV/µs です。

### 3.3 デバイス電源の設定

デバイス電源の設定には、PSOC™ Creator または ModusToolbox™ ソフトウェアの Eclipse IDE を使用します [1]。どちらのツールもこの情報を使用して、最適なパフォーマンスが得られるようにデバイスを設定します。PSOC™ Creator を使用する場合、project navigator の.cydwr ファイルをダブルクリックして Design-Wide Resources (DWR) ウィンドウを開き、**System** タブで 図 3 に示すように設定してください。

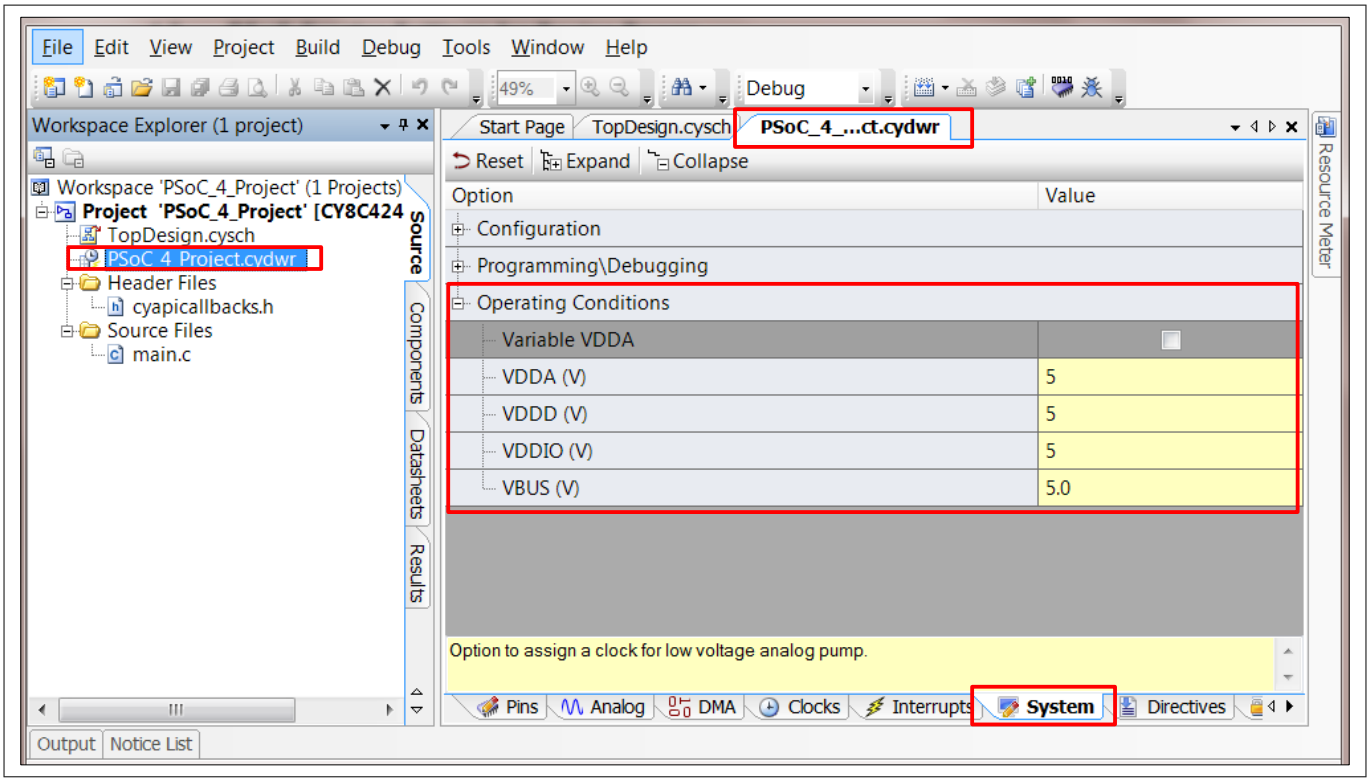



**図 3 PSOC™ Creator でのデバイス電源設定**

ModusToolbox™ ソフトウェアの Eclipse IDE で、デバイスコンフィギュレータを開き、**System** タブを表示し、**Power** を選択して、図 4 に示すようにデバイスの電源設定を行います。

1 各 PSOC™ 4 MCU デバイスに対応する IDE については AN79953 - Getting started with PSOC™ 4 MCU [1] を参照してください。

3 電源

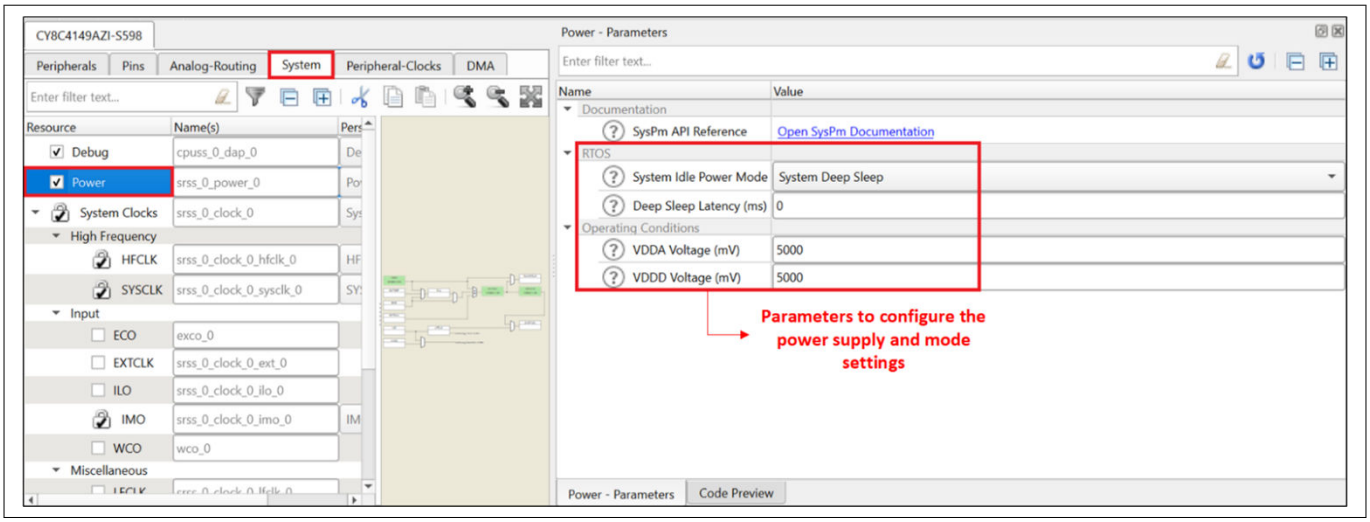



**図 4　　ModusToolbox™ ソフトウェアのデバイスコンフィギュレータでのデバイス電源設定**

**Vaiable VDDA** 機能は、PSOC™ MCU デバイスのアナログ電源の低下時に、チャージポンプを使用して PSOC™ MCU デバイスの内部アナログ系の切り替え動作を補助します。VDDA の設定が 4.0 V 以下の場合、この設定はデフォルトで有効です。VDDA が 4.0 V を超えている場合には、この設定を無効にして電力を節約できます。詳細は、PSOC™ Creator system reference guide を参照してください。

## 3.4　　熱に関する注意事項

パッケージ選択や基板レイアウトなどのハードウェア設計プロセスでは、熱に関する検討が重要です。PSOC™ 4 MCU は低消費電力アプリケーションを対象としていて、消費電力は 0.2 W 未満です。最大消費電力が低いため、熱に関する配慮は不要です。

# 4 クロック

PSOC™ 4000/PSOC™ 4000S および PSOC™ 4100/PSOC™ 4200/PSOC™ 4100S/PSOC™ 4100PS/PSOC™ 4500S/PSOC™ 4100S Max/PSOC™ 4000T/PSOC™ 4100T Plus は、高周波クロック (HFCLK) を駆動する内部メイン発振器 (IMO) と、低周波クロック (LFCLK) を駆動する内部低速発振器 (ILO) という 2 つの発振器を持っています。IMO と ILO には外部水晶振動子は不要です。IMO の精度は±2%です。

IMO と ILO に加えて、PSOC™ 4100M/PSOC™ 4200M/PSOC™ 4100L/PSOC™ 4200L/PSOC™ 4000S/PSOC™ 4100S/PSOC™ 4100PS/PSOC™ 4100S Max/PSOC™ 4100T Plus は±50 ppm 精度の追加の時計用水晶発振器 (WCO) を搭載しています。固定ピンに 32.768 kHz の水晶振動子を接続して、高精度の代替クロックを LFCLK に使用できます。PSOC™ 4000S/PSOC™ 4100S/PSOC™ 4100PS/PSOC™ 4100S Max デバイスの WCO は、LFCLK のソースに使用できないことに注意してください。

IMO, ILO, および WCO 以外に、PSOC™ 4100BLE/PSOC™ 4200BLE/PSOC™ 4100L/PSOC™ 4200L/PSOC™ 4100S Max には±50ppm 精度の追加の外部水晶発振器 (ECO) があります。固定ピンに 24 MHz 水晶振動子を接続して、高精度のクロックを HFCLK に使用できます。

高精度クロックをすべての PSOC™ 4 MCU デバイスに提供する方法として、HFCLK を駆動するために、EXT_CLK ピンから高精度クロックを入力できます。外部クロックの周波数は最大 48 MHz です。デューティサイクルは 45%～55%である必要があります。矩形波クロックを推奨します。PSOC™ 4 MCU デバイスごとの EXT_CLK ピンの位置はデータシートを確認してください。

## 4.1 クロック設定

クロックを管理するためには、PSOC™ Creator または ModusToolbox™ ソフトウェアを使用できます [2]。

PSOC™ Creator を使用して HFCLK と LFCLK のソースとパスを設定できます。これらは 2 つの個別のサブタブ (**High Frequency Clocks** と **Low Frequency Clocks**) で設定可能です。図 5 に示すように、DWR ウィンドウで **Clocks** タブを選択し、クロックのテーブル内の任意の行をダブルクリックして、**Configure System Clocks** ダイアログを開いてください。

[2] 各 PSOC™ 4 MCU デバイスに対応する IDE については、AN79953 - PSOC™ 4 MCU 入門 アプリケーションノートの「PSOC™ 4 feature set」セクションを参照してください。

## 4 クロック

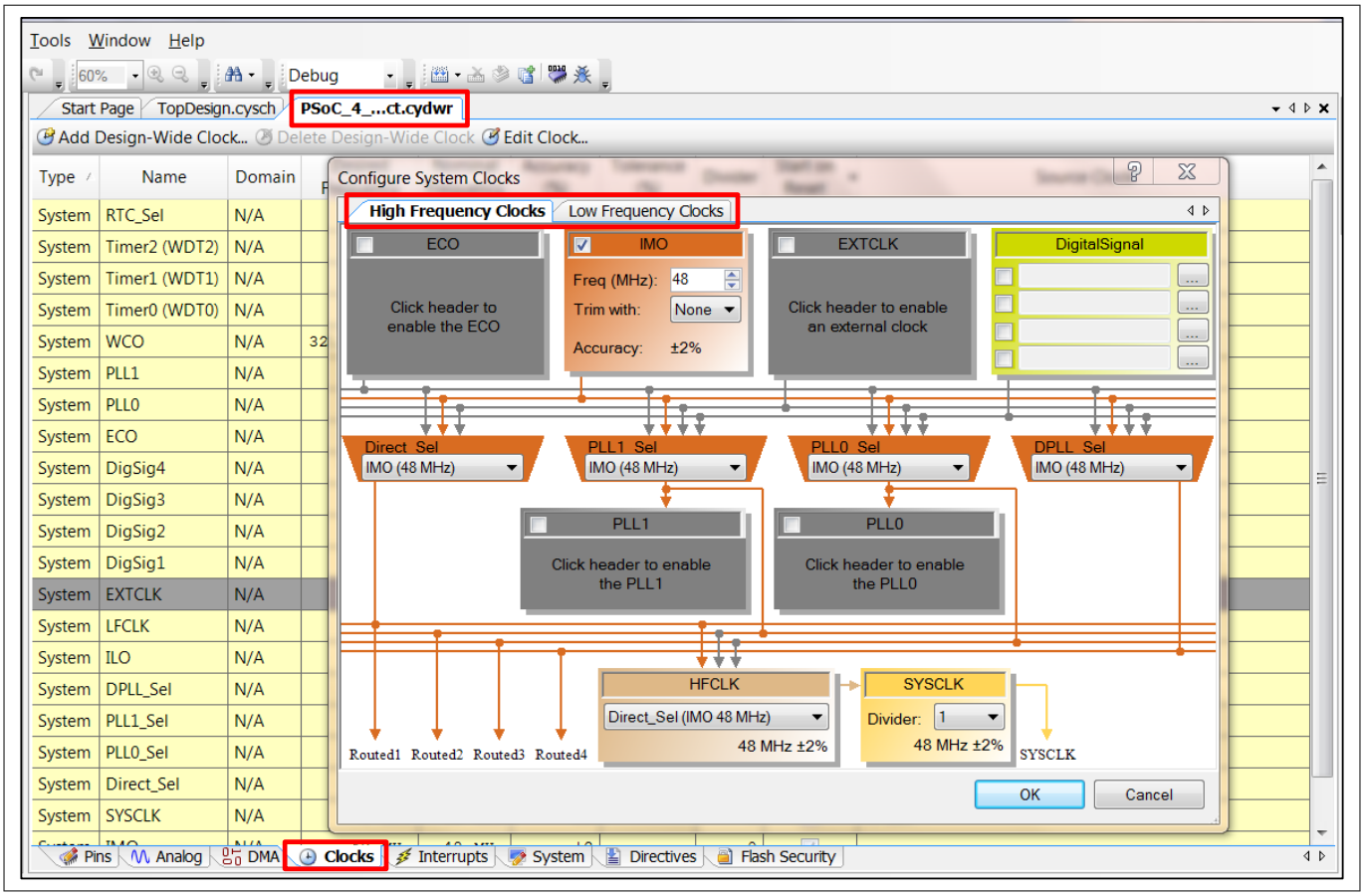



**図 5　　PSOC™ Creator のクロック設定**

PSOC™ 4 MCU は柔軟な内部クロック配線ソリューションを提供します。PSOC™ 4 MCU では最大 4 つのデジタル信号を内部デジタルロジックのクロックに使用できます。通常これらは UDB リソースで実装されます。詳細は、PSOC™ Creator の Help メニューから **Topics** を選択し、「Configure System Clocks」を検索してください。

ModusToolbox™ ソフトウェアの Eclipse IDE では、デバイスコンフィギュレータ (design.modus) の System タブに、クロックを設定するためのオプションが用意されています。図 6 に、ModusToolbox™ ソフトウェアを使用してシステムクロックを設定する方法を示します。

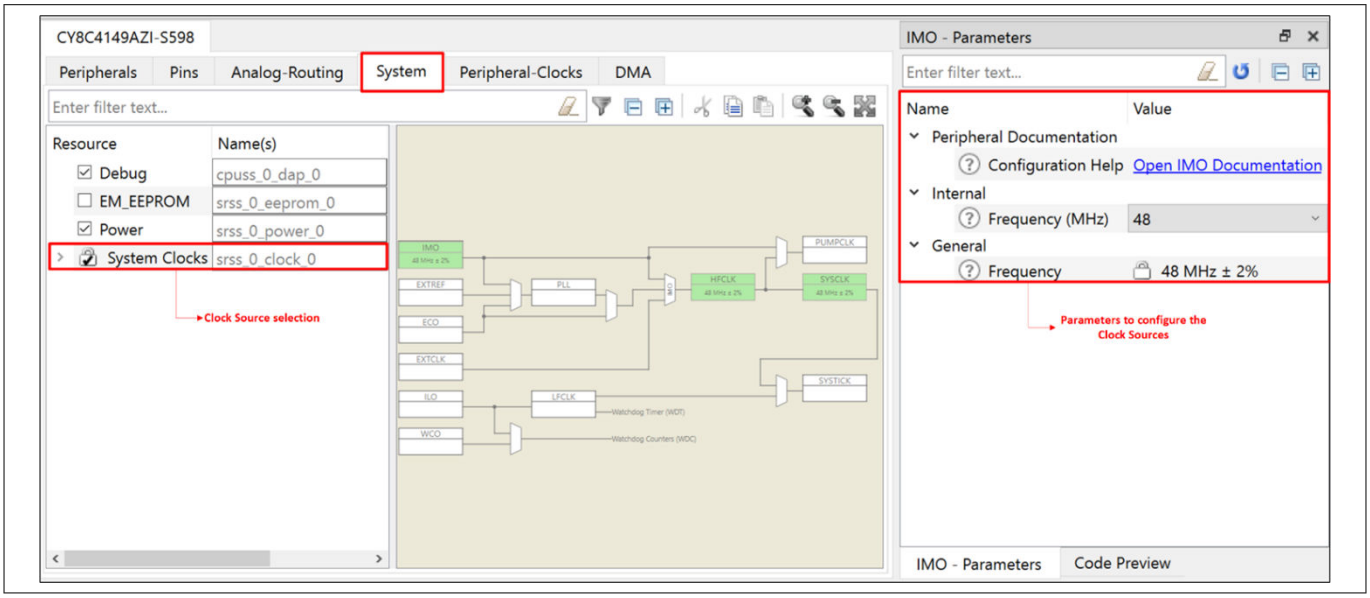



**図 6　　ModusToolbox™ ソフトウェアのデバイスコンフィギュレータのクロック設定**

## 4 クロック

***注**: PSOC™ 4 MCU は独自の内部クロック配線構造のため、PSOC™ 3 および PSOC™ 5LP MCU デバイスのように、高周波クロック(HFCLK) を直接ピンに接続できません。*

# 5 リセット

PSOC™ 4 MCU には、アクティブ LOW のリセットピン XRES があります。XRES は、*$R_{PULLUP}$ と呼ばれる抵抗を介して内部で VDDD にプルアップされます。*$R_{PULLUP}$ の値は、デバイスデータシートの「Electrical Specification」章の XRES セクションで指定されています。この抵抗値が非常に高い場合は、システムの起動時間を短縮するために、XRES に外付け抵抗を追加する必要があるかもしれません。

図 7 に示すように、XRES ピンにコンデンサを接続することで、グリッチを除去できます。50 ns 以下のパルスは除去され、リセット信号の耐雑音性が向上します。リセット信号には、少なくとも 5 µs のパルス幅が必要です。通常は、0.1 µF のコンデンサがピンに使用されます。

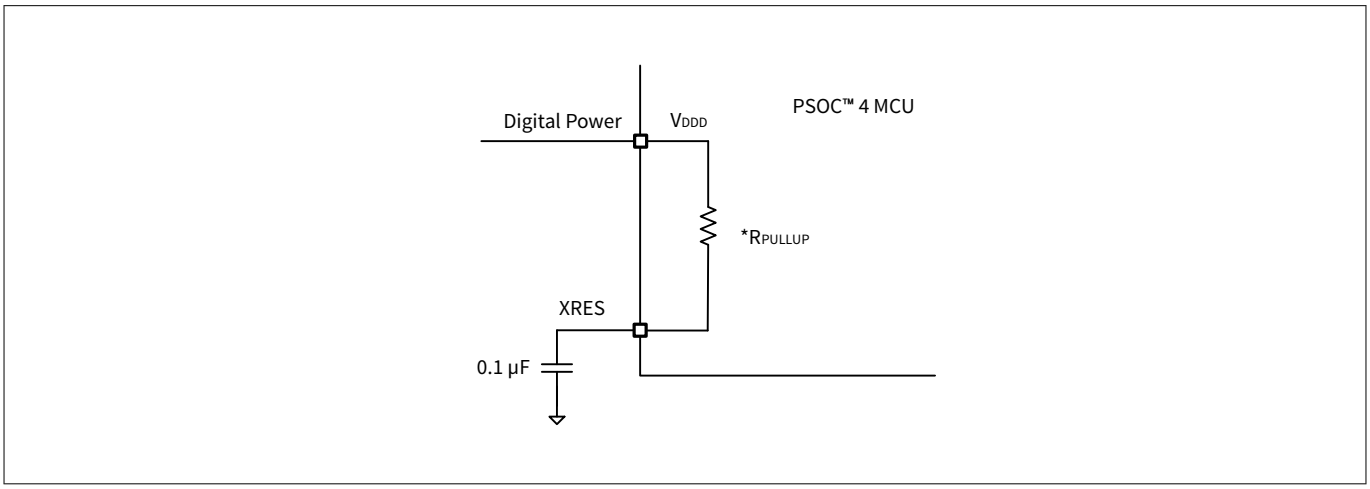



**図 7 XRES ピンの接続**

# 6 プログラミングおよびデバッグ

PSOC™ 4 MCU は、シリアルワイヤデバッグ (SWD) インターフェースでプログラミングとデバッグをサポートしています。プログラミングとデバッグには、PSOC™ 4 MCU キットの組込みデバッガや、CY8CKIT-002 PSOC™ MiniProg3 Program and Debug Kit または CY8CKIT-005-A MiniProg4 Program and Debug Kit のような 10 ピンまたは 5 ピンコネクタ (ピン配置は 図 8 を参照) 経由で PSOC™ 4 MCU に接続するデバッガも使用できます。10 ピンコネクタには、Samtec FTSH-105-01-L-DV-K (表面実装型) または FTSH-105-01-L-D-K (スルーホール型) を推奨します。5 ピンコネクタには Molex 22-23-2051 を推奨します。他のメーカーからも同様の部品を入手できます。

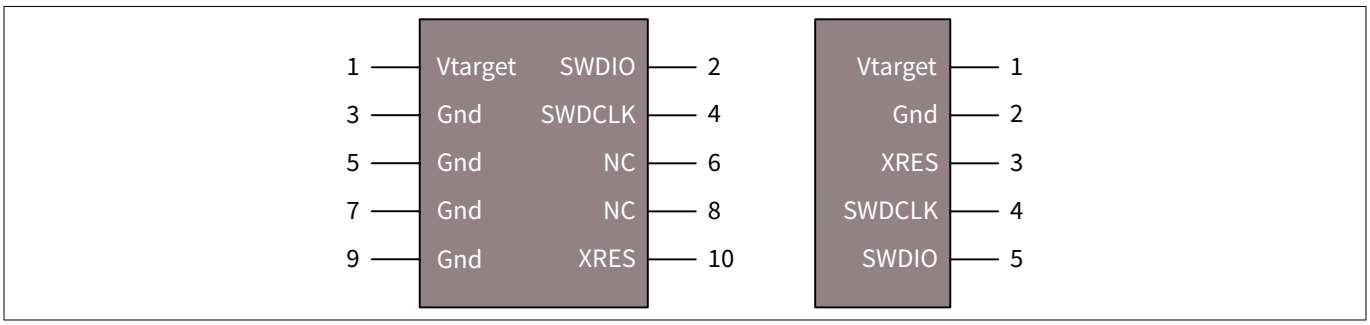



**図 8 MiniProg3 または MiniProg4 の SWD コネクタのピン配置**

図 9 に、SWD の接続を示します。

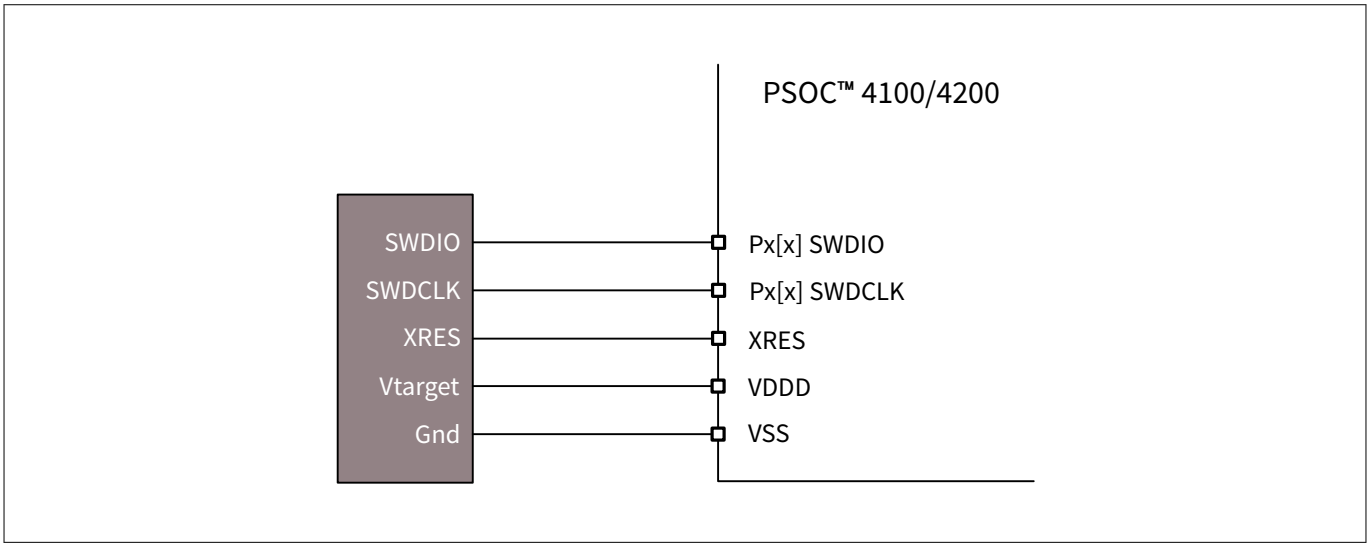



**図 9 PSOC™ 4100/PSOC™ 4200 への SWD 接続**

SWD ピンは、デバイスファミリごとに異なるポートに設定されています。これらのピンはプログラミングをしていないときには別の用途に使用できます。使用可能な機能については、デバイスのデータシートを参照してください。

SWD ピンをランタイムデバッグに使用する場合は、図 10 に示すように、PSOC™ Creator で DWR ウィンドウの **System** タブの **Debug Select** 欄のプルダウンメニューから **GPIO** ではなく **SWD (serial wire debug)** を選択してください。ModusToolbox™ ソフトウェアでデバッグポートを選択するには、図 11 に示すようにデバイスコンフィギュレータを開いてください。この場合、ピンは他の機能に使用できなくなります。

## 6 プログラミングおよびデバッグ

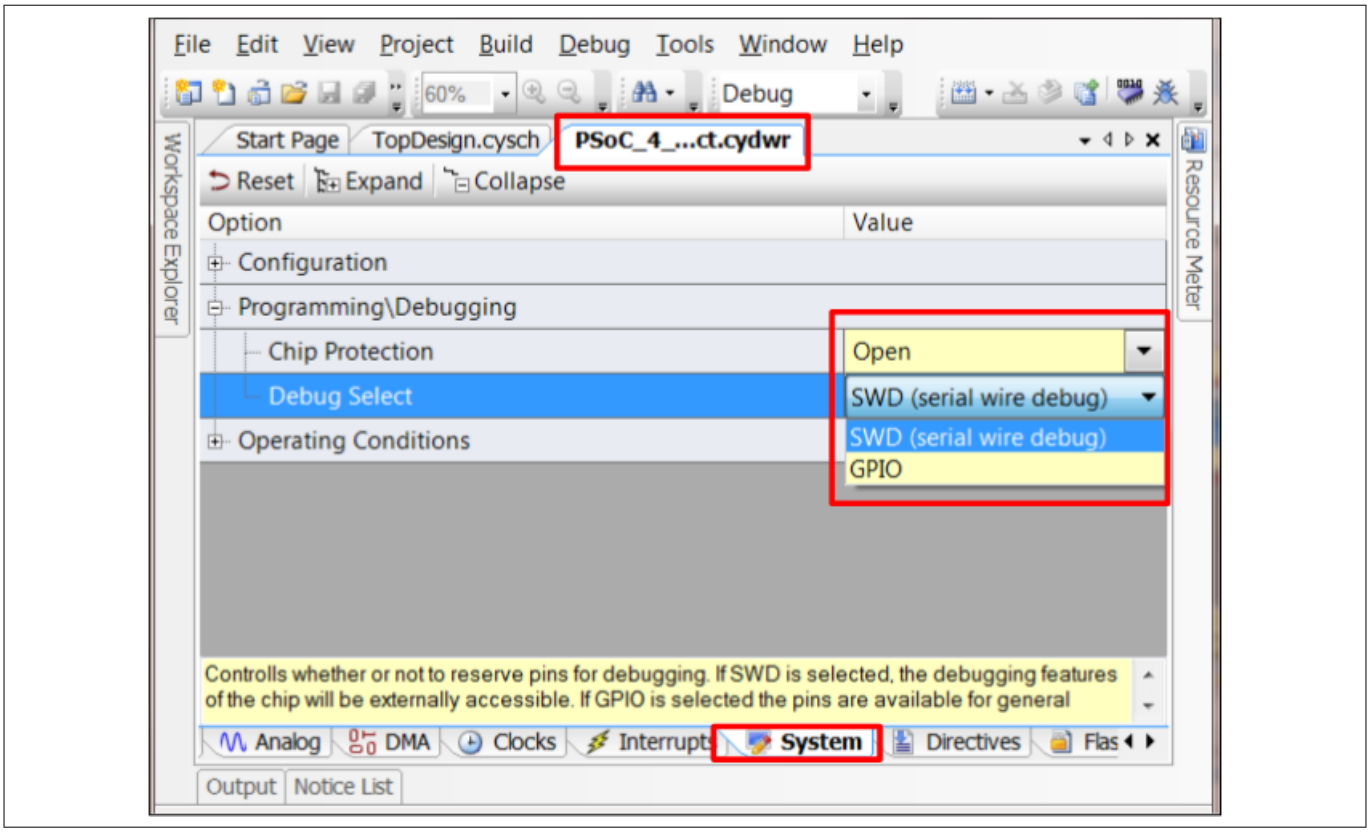



**図 10　　PSOC™ Creator でのデバッグ設定**

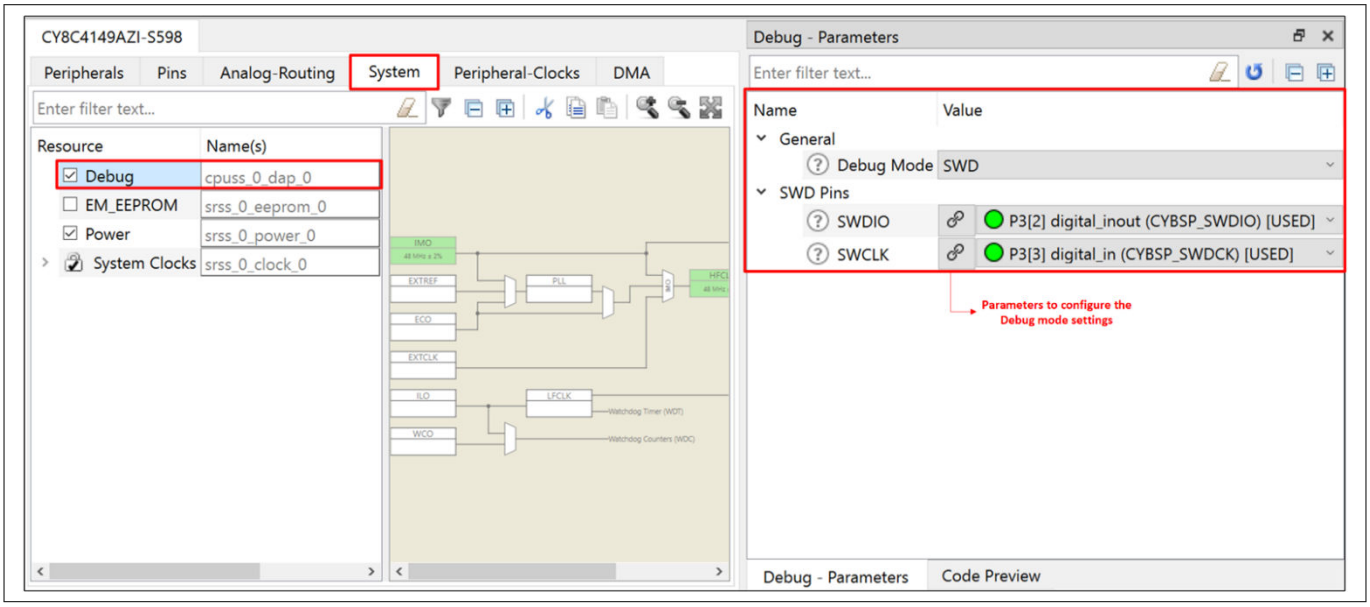



**図 11　　ModusToolbox™ ソフトウェアでのデバイスコンフィギュレータのデバッグ設定**

***注**:　ModusToolbox™ ソフトウェアでは、SWD ピンを他の目的で使用する必要がある場合、デバイスコンフィギュレータの **System** タブでデバッグリソースの選択を解除し、ピン名と状態を **Pins** タブで設定します。*

# 7 GPIO ピン

PSOC™ 4 MCU は柔軟な GPIO ピンを提供します。各ピンは 4 mA のソースまたは 8 mA のシンク機能があります。すべての GPIO ピンはファームウェアで制御できます。それらのほとんどは PSOC™ 4 MCU のペリフェラルにも接続できます。各ペリフェラルには、それぞれ専用ピンまたは固定ピンがあります。専用ピンは、ペリフェラルを接続した場合に最高の性能を発揮するピンです。ただし、内部配線リソースを多少使用することによって、他のピンにそのペリフェラルを接続する柔軟性もあります。

ペリフェラルに固定ピンがある場合は、それらのピンにのみ接続できます。

## 7.1 I/O ピンの選択

PSOC™ 4 MCU を使用したハードウェア システムを設計する場合、下記の手順で GPIO ピンを割り当ててください。太字のピン名は PSOC™ 4 MCU デバイスファミリごとに異なるポートやピンに配置されている場合があるため、注意してください。詳細はデータシートを参照してください。

1. システム機能ピン
   - **a.** SWD: ランタイムデバッグが必要な場合、**SWD_CLK** ピンと **SWD_DATA** ピンを使用してください。
   - **b.** External clock: 外部クロックを使用する必要がある場合、**EXT_CLK** ピンを使用してください。
   - **c.** External 32.768-kHz crystals: 対応しているファミリで高精度の低周波数のクロックが必要な場合は、**WCO_IN** (または **XTAL32I**) ピンと **WCO_OUT** (または **XTAL32O**) ピンを使用してください。
   - **d.** Wakeup: このピンは、PSOC™ 4 MCU をストップ低消費電力モードから起動するために使用します。この機能が必要な場合は、**WAKEUP** ピンを使用してください。詳細は、AN86233 - PSOC™ 4 MCU low-power modes and power reduction techniques [3]を参照してください。
2. アナログピン
   - **a.** SAR ADC: **SARMUX [7:0]** ピンは SAR ADC の複数チャネル入力に使用します。さらに、3 MHz 以上の ADC クロックの使用や外部リファレンスを設定したい場合、VREF ピンを外付けのバイパスコンデンサ用に確保してください。詳細は SAR ADC の取得時間を参照してください。

     **SARMUX [7:0]** ピンは SAR ADC の専用ピンです。内部アナログバスを介して、内部アナログバスに接続されている他のピン (この情報についてはデバイスのデータシートを参照) から ADC に信号を配線もできます。VREF は ADC のリファレンスバイパスコンデンサ接続用の固定ピンです。
   - **b.** Low-power comparator: PSOC™ 4 MCU には、ハイバネート低消費電力モードで動作できる最大 2 つのコンパレータがあります。各コンパレータには、2 つの固定ピンがあります。それらは、非反転入力の **COMPx_INP** (または **LPCOMP.IN_P[x]**) と反転入力の **COMPx_INN** (または **LPCOMP.IN_P[x]**) です。PSOC™ 4100S, PSOC™ 4100S Plus, PSOC™ 4100S Plus 256K, PSOC™ 4100 BL, PSOC™ 4100S Max, PSOC™ 4200DS, PSOC™ 4100PS, PSOC™ 4000T, および PSOC™ 4100T Plus はハイバネート低消費電力モードを持たないことに注意してください。
   - **c.** Continuous Time Block mini (CTBm): PSOC™ 4 MCU には最大 2 つの CTBm モジュールがあります。それぞれ 2 つのオペアンプで構成されています。各オペアンプには、非反転入力の専用ピン (**CTBx.OAx.INP**) が 1 つ、反転入力の固定ピン (**CTBx.OAx.INN**) が 1 つ、出力固定ピン (**CTBx.OAx.OUT**) が 1 つあります。オペアンプをコンパレータとして使用する場合は、デジタル出力を Port 0, Port 1, Port 2, または Port 3 の GPIO ピンに接続できます。
   - **d.** CAPSENSE™: このモジュールを使用する場合、2 つの固定ピンがあることに注意してください。また常に蓄電コンデンサ ($C_{MOD}$) を **CMOD** (または **C_MOD**) ピンに接続してください。また必要に応じてもう 1 つの蓄電コンデンサ ($C_{SH_TANK}$) は **CTANK** (または **C_SH_TANK**) または **CMOD2** ピンに接続してください。ピン番号とコンデンサの値については、該当するデバイスのデータシートを参照してください。他のピンはどのピンでも CAPSENSE™ センサーまたはシールドに接続できます。詳細は PSOC™ 4 and PSOC™ 6 MCU CAPSENSE™ Design Guide を参照してください。
   - **e.** Continuous Time Block (CTB): PSOC™ 4100PS には、最大 2 つの CTB モジュールがあります。それぞれ 2 つのオペアンプと、対応するレジスタマトリクスで構成されています。各オペアンプには、非

反転入力の専用ピン (**CTBx.OAx.INP**) が 1 つ、反転入力の固定ピン (**CTBx.OAx.INN**) が 1 つ、出力固定ピン (**CTBx.OAx.OUT**) が 1 つあります。

**f.** Voltage DAC (VDAC): PSOC™ 4100PS には、入力をポートピンから取得できる 13 ビットの VDAC があります。VDAC の出力は、CTB オペアンプを経由してポートピンに出力する必要があります。

**3.** デジタルピン

**a.** Timer/Counter Pulse-Width Modulator (TCPWM): PSOC™ 4 MCU には、最大 8 つの TCPWM ブロックがあります。各 TCPWM は PWM 信号を 2 つの反転した信号として出力できます。これらの信号はすべて高速パス経由で専用 GPIO ピンに出力されます。専用ピンの詳細は、デバイス データシートを参照してください。

**b.** また、これらの信号は内部デジタル接続 (DSI) を経由して DSI をサポートする他の GPIO ピンにも出力できます。詳細は当該のデバイス データシートを参照してください。

**c.** Serial Communication Block (SCB): PSOC™ 4 MCU には、最大 4 つの SCB があります。各 SCB は、SPI, $I^2C$, または UART に設定できます。各 SCB のターミナルには対応する固定ピンがあります。これらのピンの詳細は、デバイス データシートを参照してください。PSOC™ 4100PS の SCB は最大 3 つであることに注意してください。PSOC™ 4100T Plus は、再設定可能な I2C, SPI, または UART 機能を持つ 2 つの SCB と、RTS と CTS を持つ 3 つの UART ブロックを備えています。

**d.** PSOC™ 4000, PSOC™ 4000T, および PSOC™ 4100T Plus は、SWD と I2C ピンを 1 組の専用 GPIO ピンにマルチプレクスできるため、GPIO が不足する場合に役立ちます。

**e.** Controller Area Network (CAN): PSOC™ 4 MCU には最大 2 つの CAN があります。これらにはそのターミナル用の固定ピンがあります。

**f.** Universal Serial Bus (USB): PSOC™ 4 MCU には USB 接続用の固定ピンがあります。詳細は当該のデバイス データシートを参照してください。

TCPWM と異なり、SCB のターミナルは固定ピンに配線されており、接続を他の GPIO ピンに変更できません。SCB を使用する場合、この固定ピンの設定に従う必要があります。

もし、より柔軟にピンを GPIO ピンにアサインできるシリアル通信インターフェースが必要な場合には、ユニバーサルデジタルブロック (UDB) を使用して該当するデバイスに実装できます。詳細は、PSOC™ 4 architecture reference manual を参照してください。

## 7.2 特別なポート

PSOC™ 4 MCU の一部のポートグループは、他のポートとは異なる内部配線構造です。そのため、他のポートで使用できる柔軟な設定のいくつかは、これらでは利用できません。以下の表をシステム設計上のガイドラインとして使用してください。「Y」はポートがその機能をサポートしていることを意味し、「N」はサポートしていないことを意味します。

## 7 GPIO ピン

| | PSOC™ 4000 | | PSOC™ 4000T | PSOC™ 4000S/4100S | PSOC™ 4100PS | PSOC™ 4100T Plus | PSOC™ 4500S | PSOC™ 4100/4200 | | PSOC™ 4100M/4200M | | PSOC™ 4100BLE/4200BLE | | PSOC™ 4100L/4200L | | PSOC™ 4100S Plus | PSOC™ 4100S Max |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ポート番号 | 0, 1, 2 | 3 | 0, 1, 2, 3, 4 | 0, 1, 2, 3, 4 | 0, 1, 2, 3, 4, 5 | 0, 1, 2, 3, 4, 5, 6 | 0, 1, 2, 3, 4, 5, 6, 7 | 0, 1, 2, 3 | 4 | 0, 1, 2, 3 | 4, 5, 6, 7 | 0, 1, 2, 3 | 4, 5 | 0, 1, 2, 3, 4, 5, 10, 11 | 6, 7, 8, 9, 12, 13 | 0, 1, 2, 3, 4, 5, 6, 7 | 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12 |
| デジタル入力/出力同期 | N | N | N | N | N | N | N | Y | N | Y | N | Y | N | Y | N | N | N |
| 内部デジタル配線 | N | N | N | N | N | N | N | Y | N | Y | N | Y | N | Y | N | N | N |
| 内部アナログ配線 | Y | N | Y | Y | Y | Y | Y | Y | Y | Y | Y | Y | Y | Y | Y | Y | Y |

***注**:*

1. ***デジタル入力/出力同期**: PSOC™ 4 MCU ピンから入力または出力されるデジタル信号は、HFCLK に同期できます。以下の図に PSOC™ Creator での設定を示します。前述のように、一部のポートピンにはこの機能がありません。ここで唯一有効な設定は「Transparent」です。*
2. ***内部デジタル配線**: デジタル信号は、内部デジタル配線リソースを使用して PSOC™ 4 MCU ピンに接続できます。例えば、TCPWM の出力ターミナルを、TCPWM 専用ピン以外のピンに配線できます。一部のポートピンはこの機能を持ちません。*

   ***注**: PSOC™ 4100/PSOC™ 4200 デバイスでは、P4[2] または P4[3] が CMOD または CSH_TANK に接続するために使用されている場合、デジタル出力信号を P3[6] または P3[7] に接続できません。*

3. ***内部アナログ配線**: アナログ信号は、内部アナログ配線リソースを使用して PSOC™ 4 MCU ピンに接続できます。例えば、オペアンプの入力ターミナルを、オペアンプ専用ピン以外のピンに配線できます。*

## 7 GPIO ピン

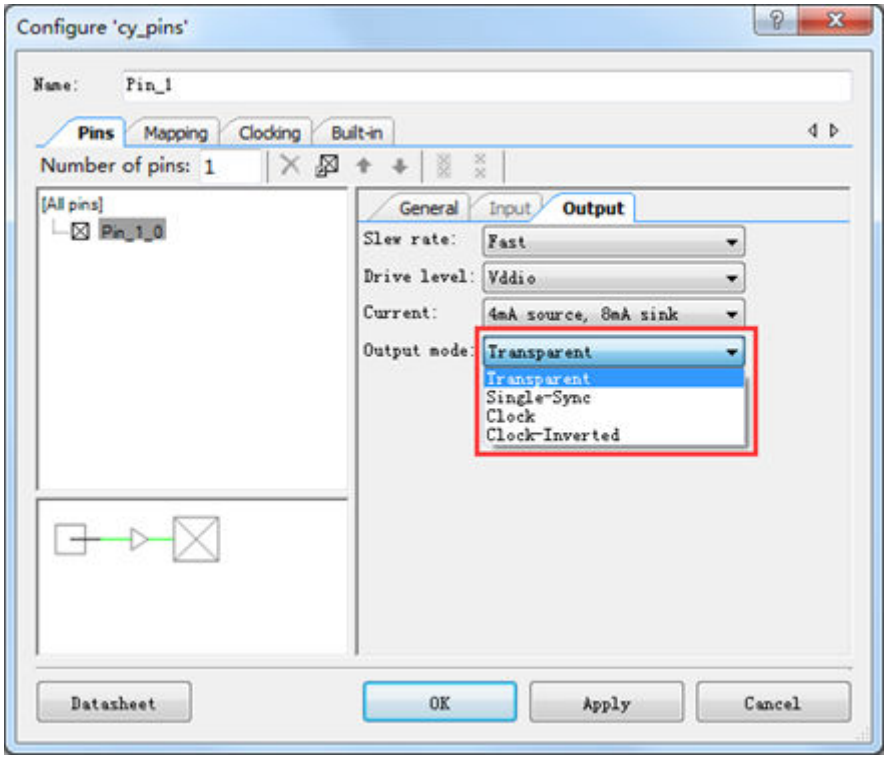



**図 12　　GPIO ピン出力設定**

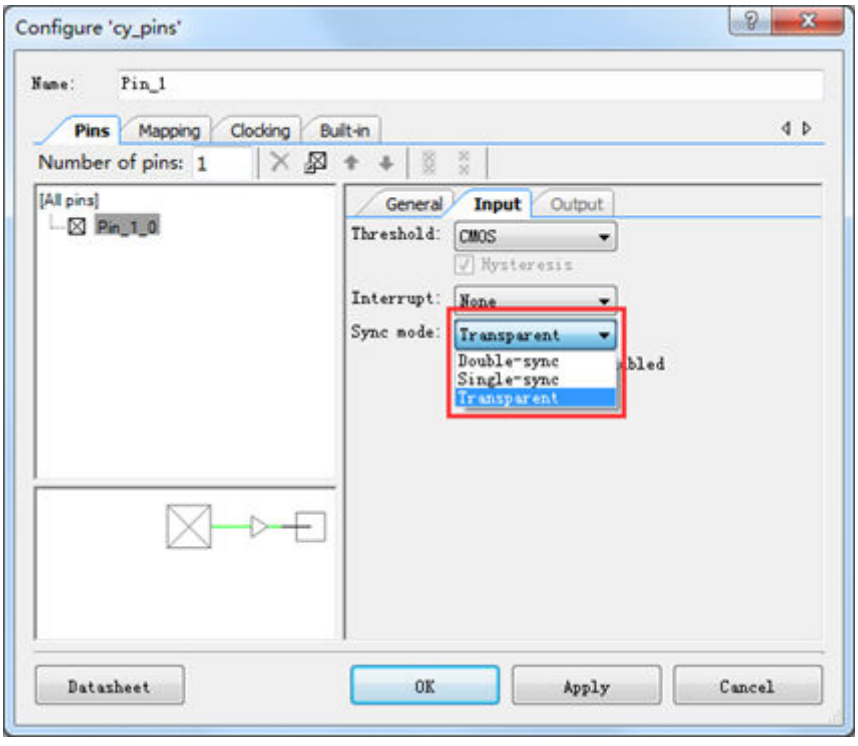



**図 13　　GPIO ピン入力設定**

## 7 GPIO ピン

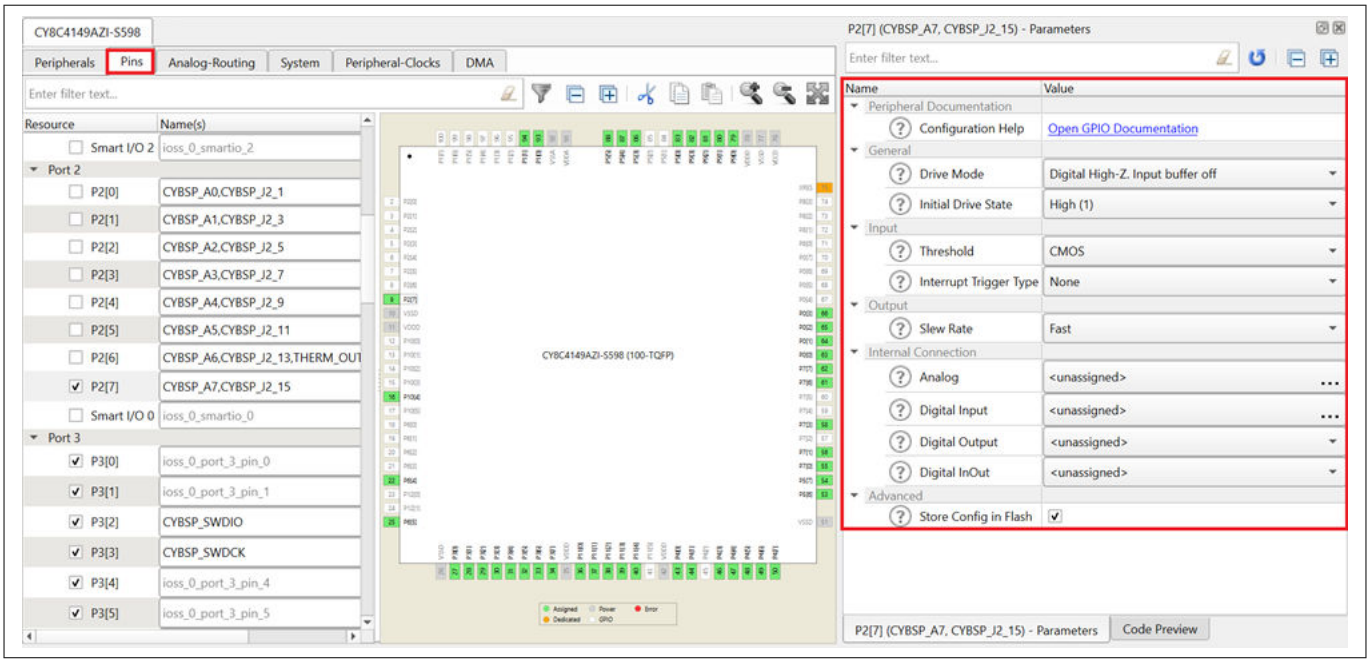



**図 14　　ModusToolbox™ ソフトウェアでのデバイスコンフィギュレータでの GPIO ピン設定**

# 8 コンポーネントの配置

PSOC™ Creator では、いくつかの方法でコンポーネントをさまざまなブロックに配置できます。固定ピンを持つコンポーネントでは、コンポーネントのターミナルを適切なピンに割り当ててください。以下は、SCB が UART を実装する PSOC™ 4200 デバイスにおける UART (SCB モード) コンポーネントの配置例です。

図 15 では、UART の tx ターミナルと rx ターミナルの 2 つのピン設定があります。P4[0]と P4[1]を選択した場合、UART は SCB_0 に配置され、P0[4]と P0[5]を選択した場合、UART は SCB_1 に配置されます。DWR ウィンドウで **Pins** タブをクリックして表示される Pin Editor を使用することによって、これらのピンを設定できます。

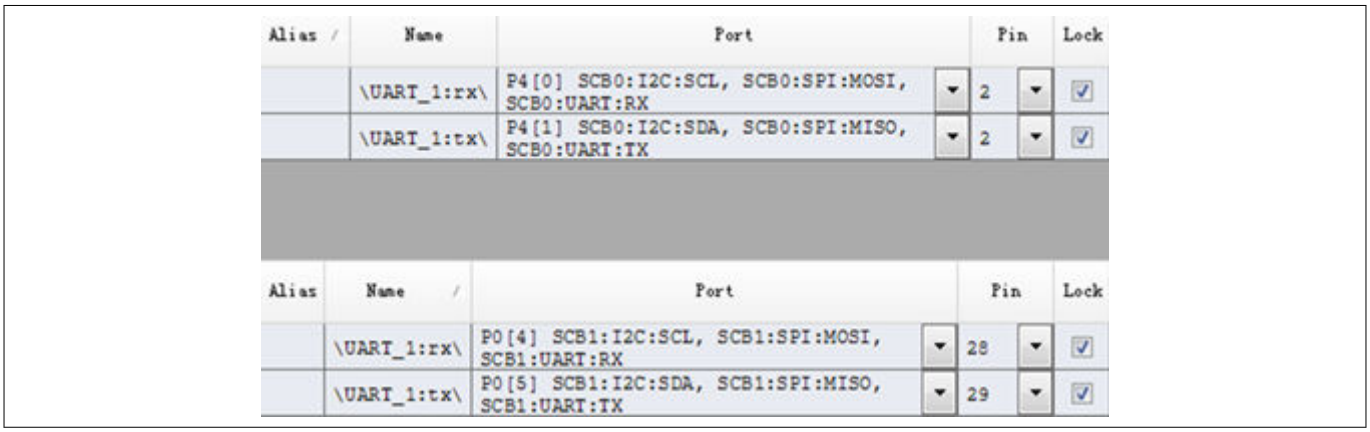



**図 15 ピン選択による SCB コンポーネントの配置**

アナログコンポーネントは、Analog device editor を使って配置できます。DWR ウィンドウの**アナログ** タブをクリックして開いてください。図 16 はオペアンプコンポーネント配置 [3] の例です。

オペアンプ (OAx) を右クリックして、コンポーネントを他の使用可能なハードウェアスロットに再配置してください。コンポーネントが再配置されるとピンも自動的に変更されます。

3 番目のコンポーネント配置方法は Directive Editor を使用することです。詳細は、PSOC™ Creator Help メニューから **Topics** を選択し、"directive"を検索してください。

[3] 配置の詳細は、プロジェクトをビルドおよびコンパイルした後でのみ使用できます。これにより、アナログの配置と配線の詳細が提供されます。

## 8 コンポーネントの配置

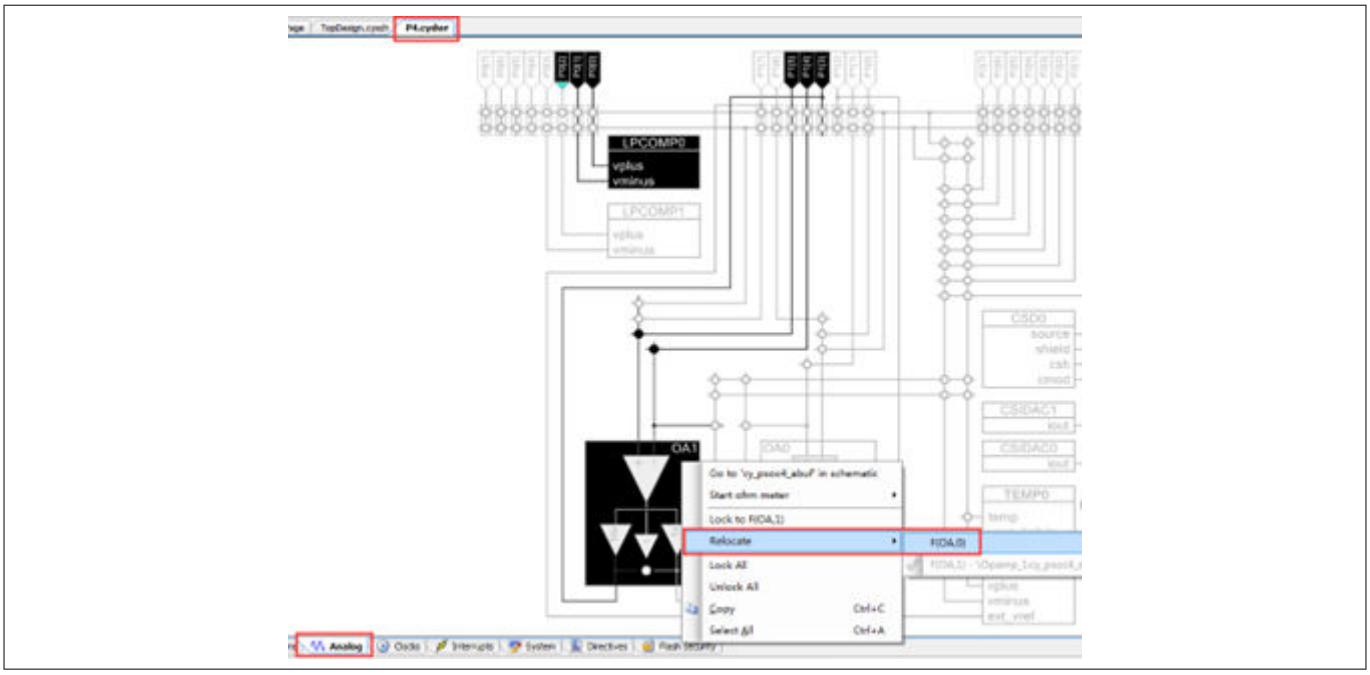



**図 16　　オペアンプ コンポーネントの配置**

# 9 アナログ モジュール設計のヒント

アナログ設計はいつも簡単なものではありません。PSOC™ 4 MCU アナログ モジュールを使用するには、いくつかのハードウェア設計上の考慮事項があります。

## 9.1 SAR ADC

PSOC™ 4 MCU は最大 2 ユニットの 12 ビット差動入力逐次比較型 (SAR) ADC を持ち、サンプリングレートは最大 1Msps です。I/O ピンの選択で述べたように、**SARMUX [7:0]** ピンは SAR ADC のマルチチャネル入力専用です。これらのピンが寄生パス抵抗および容量が最小化します。内部アナログバスを使用して他のピンから SAR ADC に信号を接続できますが、その場合はスイッチ抵抗 (図 19 の $R_{SW}$) が高くなり、寄生容量が付加されます。

PSOC™ 4 MCU は、内部に 1.024 V または 1.2 V の高精度リファレンスも持っています [4]。(±1 %)。$V_{DDA}$ および $V_{DDA}/2$ を含むその他の内部リファレンス電圧を使用して、SAR ADC の入力範囲を拡張できます。しかし、リファレンス電圧としての $V_{DDA}$ および $V_{DDA}/2$ の精度は目的の電源システム設計に依存し、1.024 V または 1.2 V 高精度リファレンス電圧ほどはおそらく優れてはいません。内部リファレンス電圧または $V_{DDA}/2$ をリファレンス電圧として使用する場合には、バイパス コンデンサを VREF ピンに追加することで SAR ADC をより速いクロックで動作できます。詳細は表 2 を参照してください。

**表 2 SAR ADC のリファレンス電圧**

| リファレンス | VREF ピンのバイパスコンデンサ | コンポーネントクロックの最大周波数 |
|---|---|---|
| 内部 1.024 V/ 1.2 V | オプション | 1.6 MHz |
| VDDA / 2 | オプション | 1.6 MHz |
| VDDA | オプション | 9 MHz |
| 内部 1.024 V/ 1.2 V、バイパス | 必須 | 18 MHz |
| VDDA / 2、バイパス | 必須 | 18 MHz |
| 外部 Vref | 必須 | 18 MHz |

より高精度または特定電圧値のリファレンスが必要な場合、専用の外部リファレンスとバイパスコンデンサを VREF ピンに接続できます。

SAR ADC は物理的に差動入力です。シングルエンド入力モードを選択した場合、負入力の接続を選択する必要があります。以下の 3 つの選択肢があります。$V_{SS}$、$V_{REF}$、および外部ピン。SAR ADC 入力範囲は、この選択とリファレンス電圧値の影響を受けます。詳細は PSOC™ MCU architecture reference manual の「SAR ADC」章を参照してください。

図 17 に示すように、ADC_SAR_SEQ_P4 コンポーネントのカスタマイズダイアログの **General** タブからリファレンスと負入力の設定を選択できます。

[4] そのデバイスの内部バイパスリファレンス電圧は、それぞれの PSOC™ 4 MCU デバイスのアーキテクチャ TRM の「SAR ADC」章を参照してください

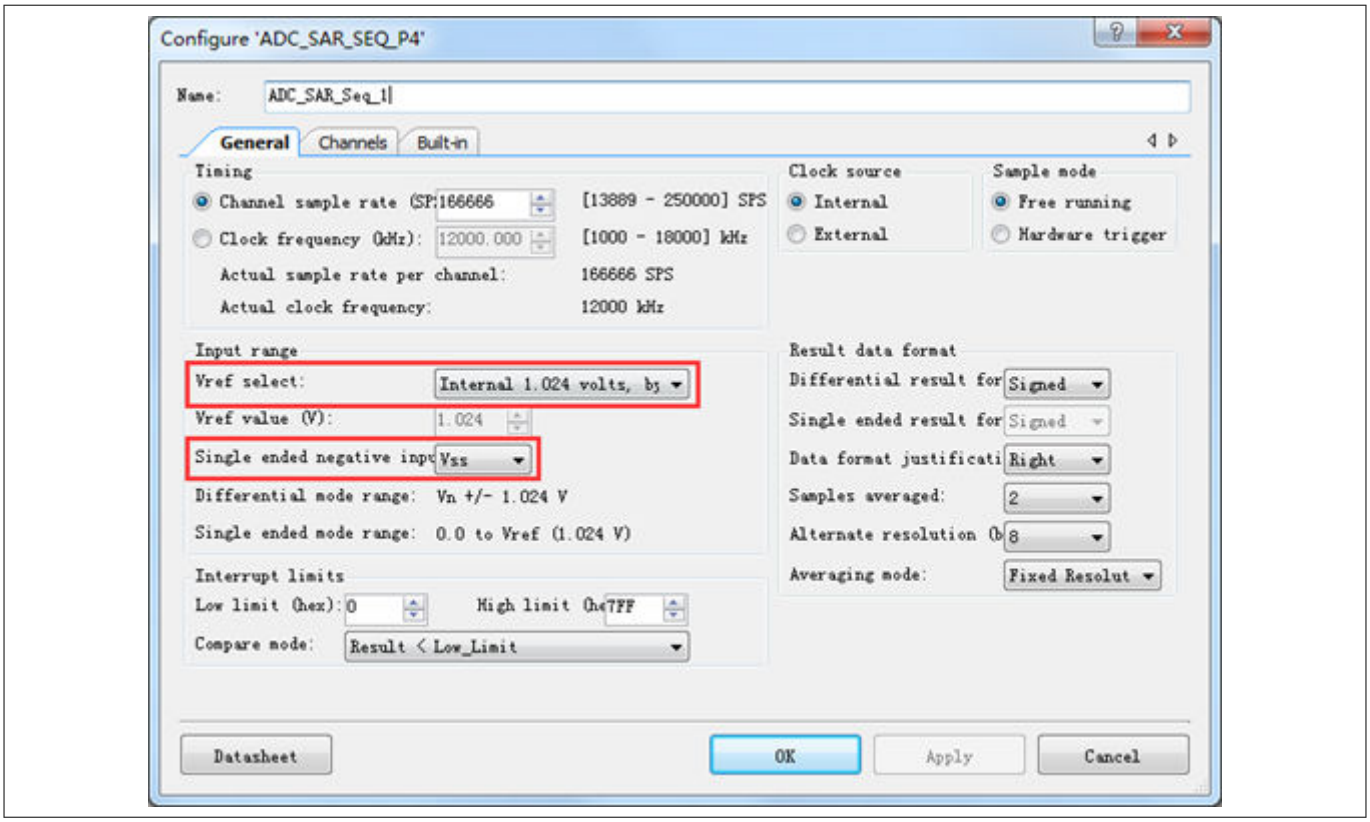



**図 17　　PSOC™ Creator での SAR ADC リファレンスおよび負入力の設定**

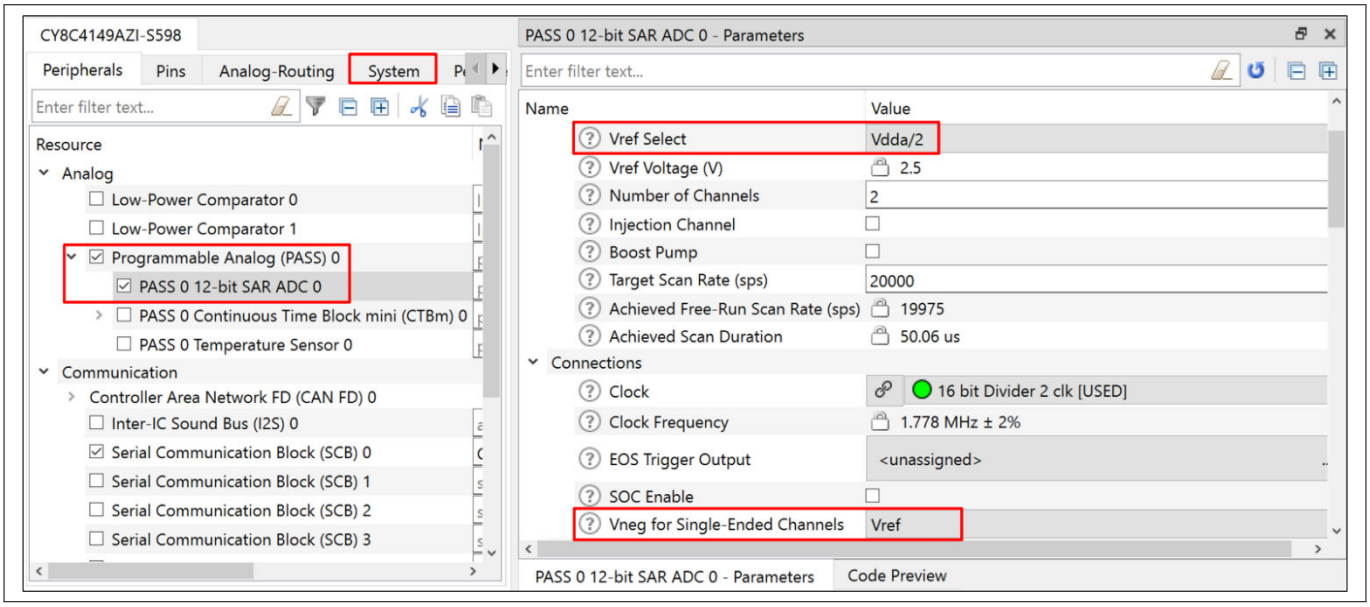



**図 18　　ModusToolbox™ ソフトウェアのデバイスコンフィギュレータでの SAR ADC リファレンスおよび負入力の設定**

詳細については各デバイスのデータシートを参照してください。

### 9.1.1　SAR ADC の取得時間

もうひとつの考慮すべき要素は SAR ADC 取得時間 (Acquisition time) です。これは図 19 に示すように、目的のハードウェア設計に依存します。

## 9 アナログ モジュール設計のヒント

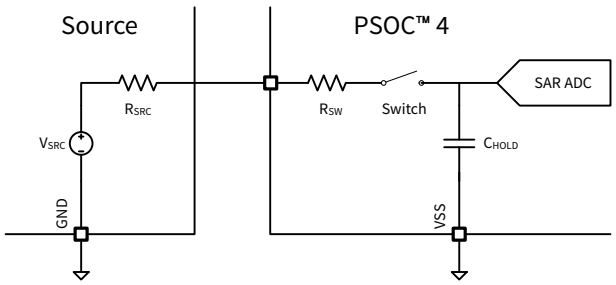



**図 19　　PSOC™ 4 MCU SAR ADC のサンプルおよびホールド等価回路**

$V_{SRC}$ はサンプル信号ソース、そして $R_{SRC}$ はその出力抵抗です。$R_{SW}$ は専用ピンから SAR ADC 入力へのパスの抵抗で、約 2.2 kΩ です。$C_{HOLD}$ はサンプルおよびホールド コンデンサで、約 10 pF です。

図 20 に、取得時間中に $C_{HOLD}$ がどのように充電されるかを示します。取得時間の間、図 19 の Switch はオンです。$C_{HOLD}$ が 0 から充電されると仮定すると、取得時間は $C_{HOLD}$ がある電圧レベル ($V_{HOLD}$) に対してその誤差 ($V_{SRC}$-$V_{HOLD}$) が ADC の分解能未満になるまで充電する際にかかる時間です。

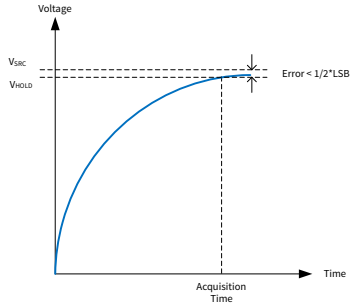



**図 20　　$C_{HOLD}$ の充電過程**

もし誤差が ADC の分解能の半分 (1/2*LSB) 未満であれば問題ありません。誤差 (Error) と取得時間の関係を次式に示します。

$$Error = V_{SRC} \cdot e^{-\frac{t_{ACQ}}{\tau}} = V_{SRC} \cdot e^{-\frac{t_{ACQ}}{(R_{SRC}+R_{SW}) \cdot C_{HOLD}}}$$

**式 1**

ここで、$t_{ACQ}$ は取得時間、τ は充電時定数です。

PSOC™ 4100/4200 には 12 ビット差動入力 ADC があります。$V_{REF}$ をリファレンス電圧とした分解能を下式に示します。

$$LSB = \frac{2V_{REF}}{2^{12}}$$

**式 2**

この例では負入力が $V_{REF}$ に接続されていると仮定しているため、$V_{SRC}$ の入力範囲は 0～2 VREF です。取得時間を (9* ($R_{SRC}$+$R_{SW}$)*$C_{HOLD}$) とする場合、誤差 (Error) は次式のとおりです。

## 9 アナログ モジュール設計のヒント

$$Error = V_{SRC} \cdot e^{-9} \approx \frac{V_{SRC}}{8013} < \frac{2V_{REF}}{8013} \approx \frac{1}{2} \cdot \frac{2V_{REF}}{2^{12}} = \frac{1}{2} \cdot LSB$$

**式 3**

この式から、誤差を 12 ビット ADC の (1/2*LSB) 未満にするためには、取得時間を (9 * ($R_{SRC}$+$R_{SW}$)*$C_{HOLD}$) よりも長くする必要があります。図 21 に示すように、ADC_SAR_SEQ_P4 コンポーネントのカスタマイズダイアログの **Channels** タブで、Acqusition time を選択してください。ADC のクロック数を選択すると、対応する取得時間 (Acqusition time) が自動的に計算されることに注意してください。詳細については、ADC_SAR_SEQ_P4 Component datasheet を参照してください。

結論として、サンプリングされた信号ソースの出力抵抗 $R_{SRC}$、および ADC ハードウェア設計の PCB 配線による抵抗値に注意してください。これらは取得時間を決定し、結果的にサンプリングレートを決定します。

***注**:* *ModusToolbox™ ソフトウェアでは、図 22 および図 23 に示すように、9 * ($R_{SRC}$ + $R_{SW}$) * $C_{HOLD}$ より長くなるように各チャネルの最小取得時間を入力できます。*

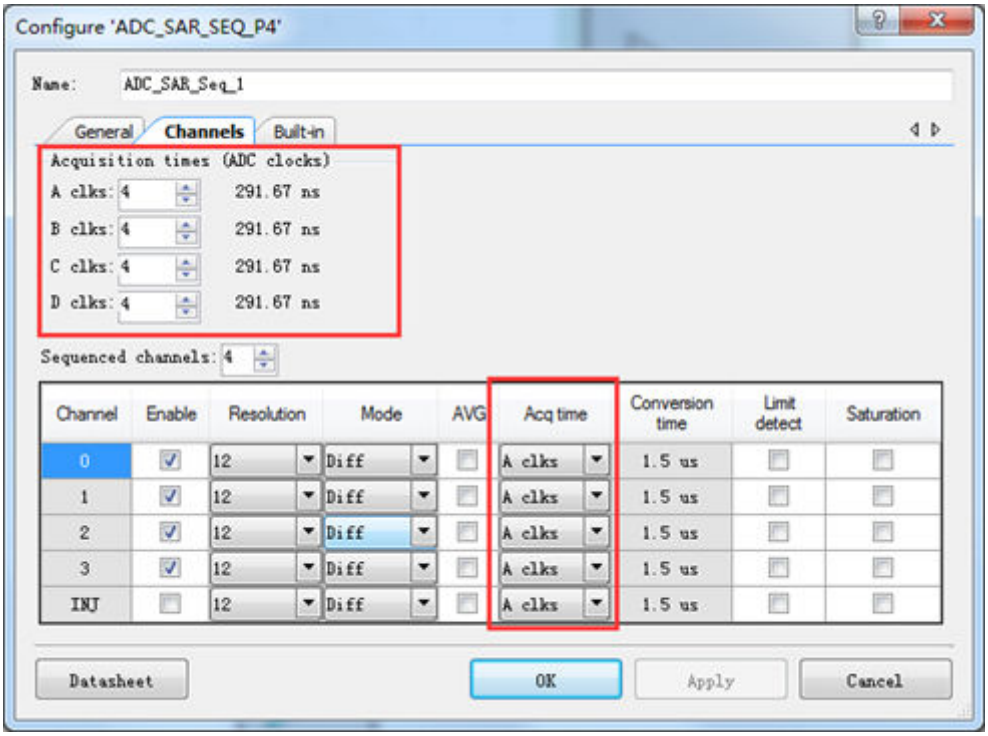



**図 21　　PSOC™ Creator での SAR ADC の取得時間の設定**

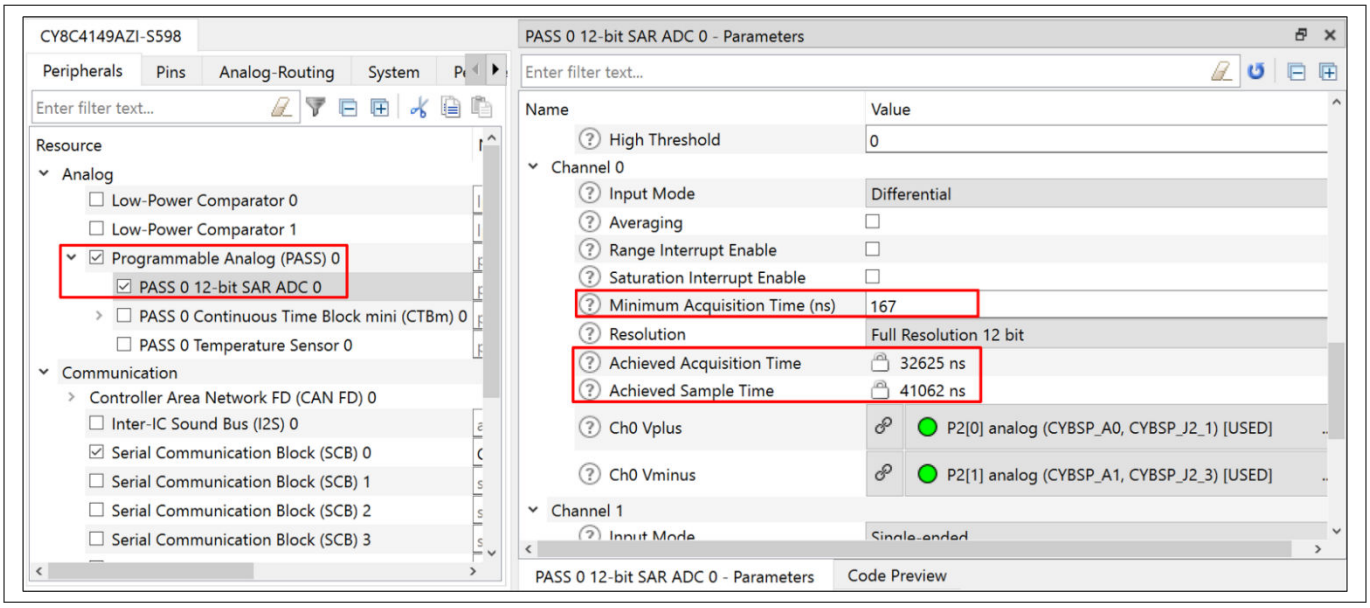



**図 22　　ModusToolbox™ ソフトウェアのデバイスコンフィギュレータでのチャネル 0 の SAR ADC 取得時間設定**

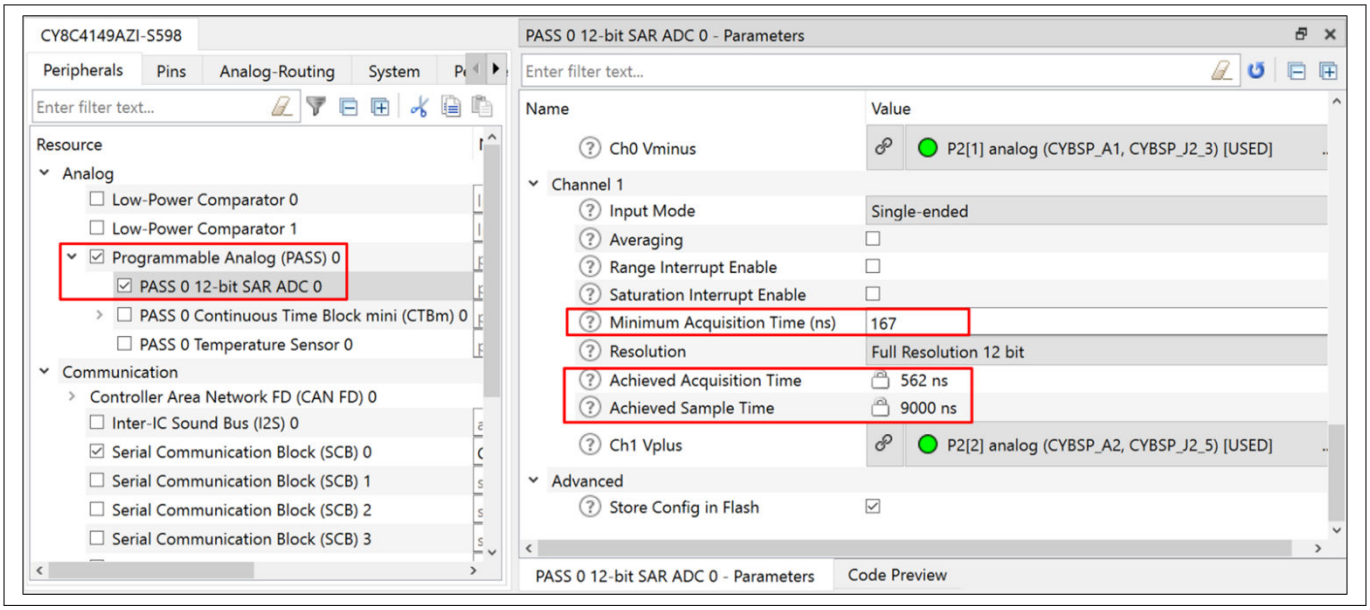



**図 23　　ModusToolbox™ ソフトウェアのデバイスコンフィギュレータでのチャネル 1 の SAR ADC 取得時間設定**

## 9.2　オペアンプ

PSOC™ 4 MCU CTBm/CTB は最大 4 つのオペアンプを提供し、アナログ信号チェーン設計に使用できます。図 24 に示すように、個々のオペアンプをアンプ、フォロワー、またはコンパレータに設定できます。PSOC™ 4100PS デバイスの CTBscan は、内蔵の利得設定抵抗を使用してプログラマブルゲインアンプ (PGA) としても設定できます。

図 24 のように、OpAmp_P4 のカスタマイズダイアログの **General** タブから、電力モードおよび出力駆動能力を設定できます。オペアンプには 3 種類の電力モードがあります。電力モードごとに、入力オフセット電圧、利得帯域 (GBW) の積、および動作電流が異なります。特定の値についてはデバイスのデータシートを参照してください。

帯域幅と利得の関係を考慮する必要があります。例えば、6 MHz の最大 GBW は、Power/Bandwith が High の場合に達成されます。この場合、増幅対象信号の帯域が 60 kHz の場合、最大利得は 100 で、それ以上の利得では増幅信号は歪んでしまいます。

オペアンプの出力ターミナルを外部ピンに接続したい場合、出力モードの **Output to pin** を選択してください。出力ターミナルをデバイス内部だけ (例えば SAR ADC の入力) に使用する場合、**Internal only** を選択してください。

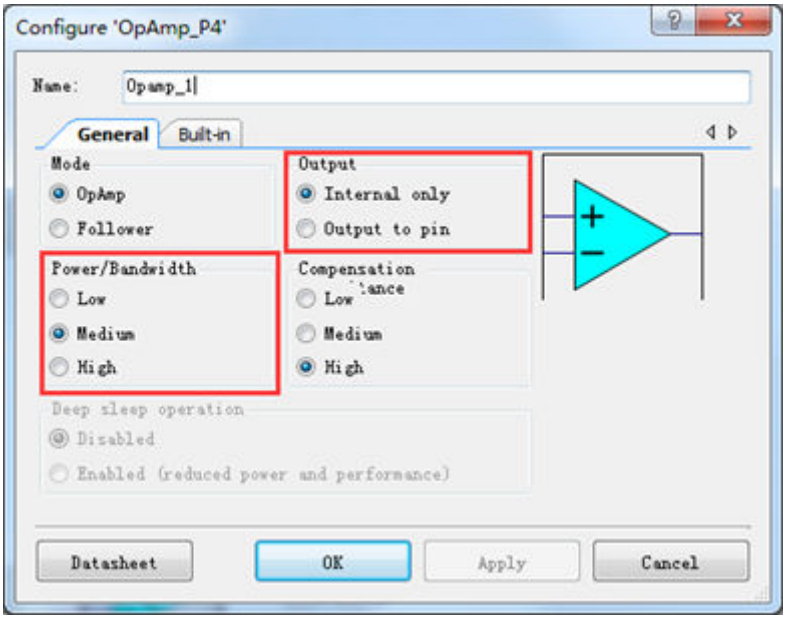



**図 24　　OpAmp_P4 コンポーネントの設定**

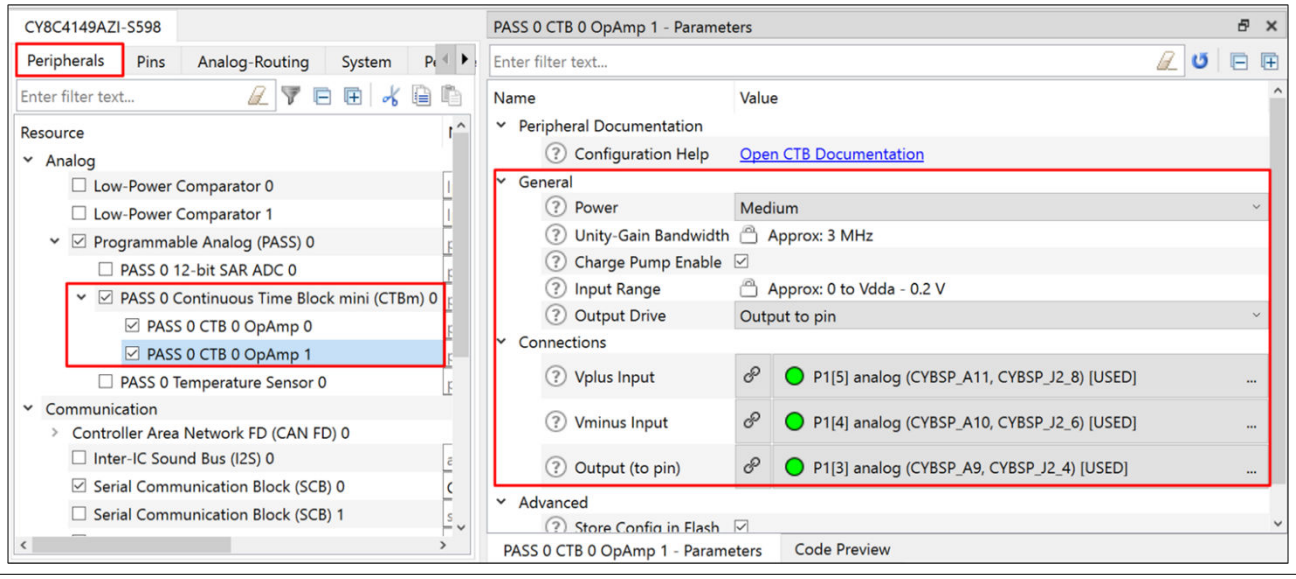



**図 25　　ModusToolbox™ ソフトウェアでのデバイスコンフィギュレータの OpAmp 設定**

## 9.3　コンパレータ

PSOC™ 4 MCU には最大 6 つのコンパレータがあります。4 つのコンパレータは CTBm/CTB モジュールのオペアンプを使用して実装されます。残りの 2 つは低消費電力コンパレータです。すべてのコンパレータの出力は、PSOC™ 4 MCU UDB リソースに接続できます。これにより、出力を柔軟に活用できます。例えば、出力の論理値を反転させることができます。PSOC™ 4 MCU では各コンパレータに 3 つのスピードモードを設定できます。各モード

で、コンパレータの出力スルーレートや動作電流は異なります。値の詳細についてはデバイス データシートを参照してください。

低消費電力コンパレータは、低消費電力モード時に外部アナログ電圧レベルを監視できます。詳細については、デバイスデータシートを参照してください。

コンパレータの入力アナログ信号の電圧を、コンパレータへの入力の前に抵抗分圧する場合、コンパレータの入力抵抗も考慮してください。コンパレータの入力抵抗値は、デバイス データシートから入手できます。

## 9.4 CAPSENSE™

$C_{MOD}$ 用に予約された **CMOD** (または **C_MOD**) ピンを除いて、PSOC™ 4 のすべてのピンは CAPSENSE™ センサーに接続できます [5]。防水や近接機能のためにシールド電極が必要な場合、$C_{SH_TANK}$ 用に **CTANK** (または **C_SH_TANK**) ピンも必要な場合があります。もしシールドの寄生容量が 200 pF 未満であれば、$C_{SH_TANK}$ はオプションですが、それ以外の場合には必須です。

$C_{MOD}$ と $C_{SH_TANK}$ の値は通常 2.2 nF です。センサーの寄生容量が大きい場合、この値も大きくなる可能性があります。

相互容量センシングモードでは、任意の PSOC™ 4 MCU ピンを CAPSENSE™ Rx/Tx センサーに接続できます。正しく動作させるためには、2 つの積分コンデンサ ($C_{INT1}$ と $C_{INT2}$) が必要です。$C_{INT1}$ および $C_{INT2}$ には 470 pF のコンデンサを推奨します。$C_{MOD}$ および $C_{INT}$ の場合、C0G (NP0) コンデンサなどの温度補償された安定した誘電体コンデンサを使用することを推奨します。

CAPSENSE™はわずかな (1 pF 未満の) センサー容量の変化で指の接触を検知します。信号とノイズの両方に敏感です。CAPSENSE™の基板レイアウトのヒントにも注意してください。詳細は AN85951 - PSOC™ 4 and PSOC™ 6 MCU CAPSENSE™ design guide [5] を参照してください。

CAPSENSE™ピンの近くに大きいシンク電流を持つピンがある場合、CAPSENSE™モジュールの「GND」にオフセットを生じる場合があります。図 26 に、IDAC ソース モードにおける CAPSENSE™の切り替え回路を示します。R1 と R2 は PSOC™ 4 MCU の内部トレース抵抗、R3 は基板のトレース抵抗を表します。シンク電流と CAPSENSE™電流の合成された共通リターンパスは R2 および R3 から構成されます。シンク電流の大きいピンと CAPSENSE™ のピンが近いほど、リターンパスをとおるシンク電流が大きくなり、オフセットを大きくします。

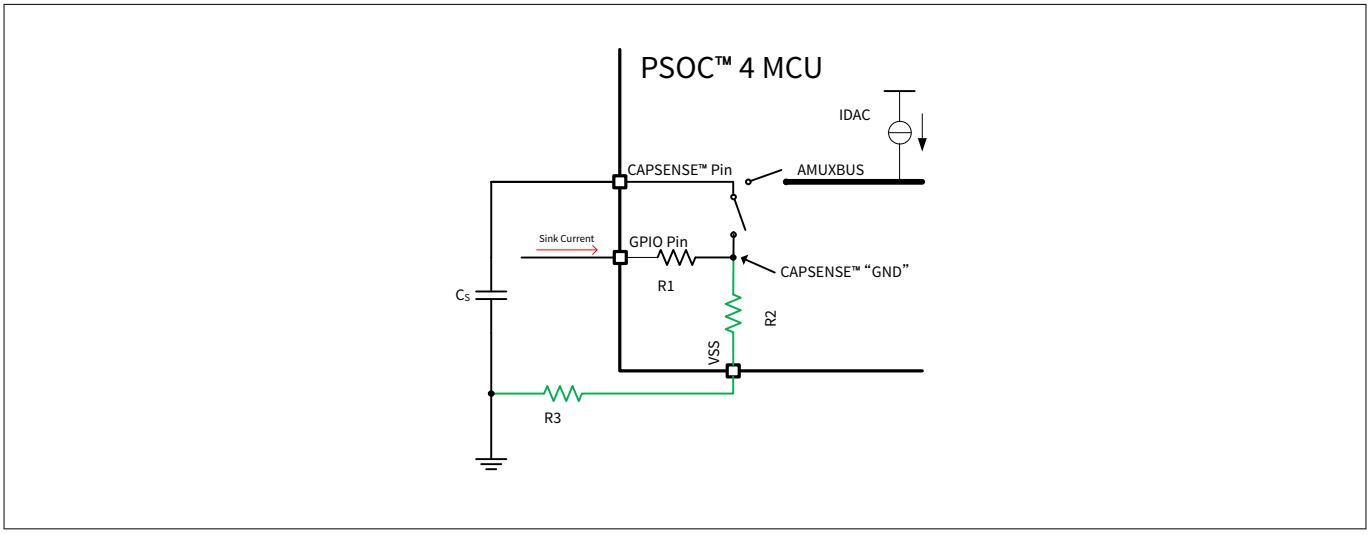



**図 26 共有リターンパス**

このオフセットは望ましくなく、CAPSENSE™の読み出しで揺らぎが生じ、誤ったトリガ発生の原因になる可能性があります。オフセットの補正はファームウェアからも可能ですが、ハードウェア設計段階でこのオフセットを除去し

5 PSOC™ 4100S Max, PSOC™ 4000T, および PSOC™ 4100T Plus は、第 5 世代の静電容量センシング方式「マルチセンスコンバータ (MSC)」ブロックを搭載しており、従来世代の静電容量センシング方式と異なり、各チャネルの自己容量と相互容量両方のセンシングモードで 2 つの CMOD が必要です。

ておくことを強く推奨します。シンク電流の大きなピンは CAPSENSE™ピンからなるべく離して配置してください (3 ピン以上離すことを推奨)。あわせて、基板上のリターンパスにも注意してください。ミックスドシグナル回路設計に関する詳細は AN57821 - PSOC™ 3, PSOC™ 4, and PSOC™ 5LP mixed-signal circuit board layout considerations [5] を参照してください。

## 9.5 電流 DAC (IDAC)

PSOC™ 4 MCU には最大 4 つの IDAC (8 ビットが 2 つ、7 ビットが 2 つ) があります。電気的特性についてはデバイス データシートを参照してください。各 IDAC には 2 種類の利得オプションがあります。表 3 に、利得オプションと各 IDAC の詳細な分解能と出力能力を示します。

**表 3 IDAC の分解能と出力電流容量**

| ステップ (µA/bit) | 利得 4X | | 利得 8X | |
|---|---|---|---|---|
| | | 出力能力 (µA) | ステップ (µA/bit) | 出力能力 (µA) |
| 8 ビット IDAC | 1.2 | 306 | 2.4 | 612 |
| 7 ビット IDAC | 1.2 | 152.4 | 2.4 | 304.8 |

図 27 に示すように、IDAC_P4 コンポーネントカスタマイザダイアログの Configure タブから IDAC を設定できます。

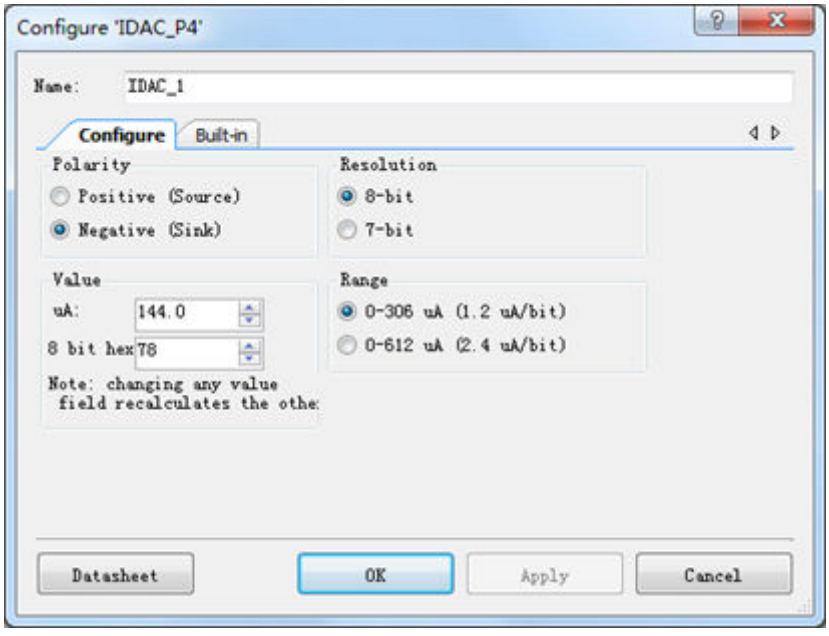



**図 27 PSOC™ Creator での IDAC 設定**

## 9 アナログ モジュール設計のヒント

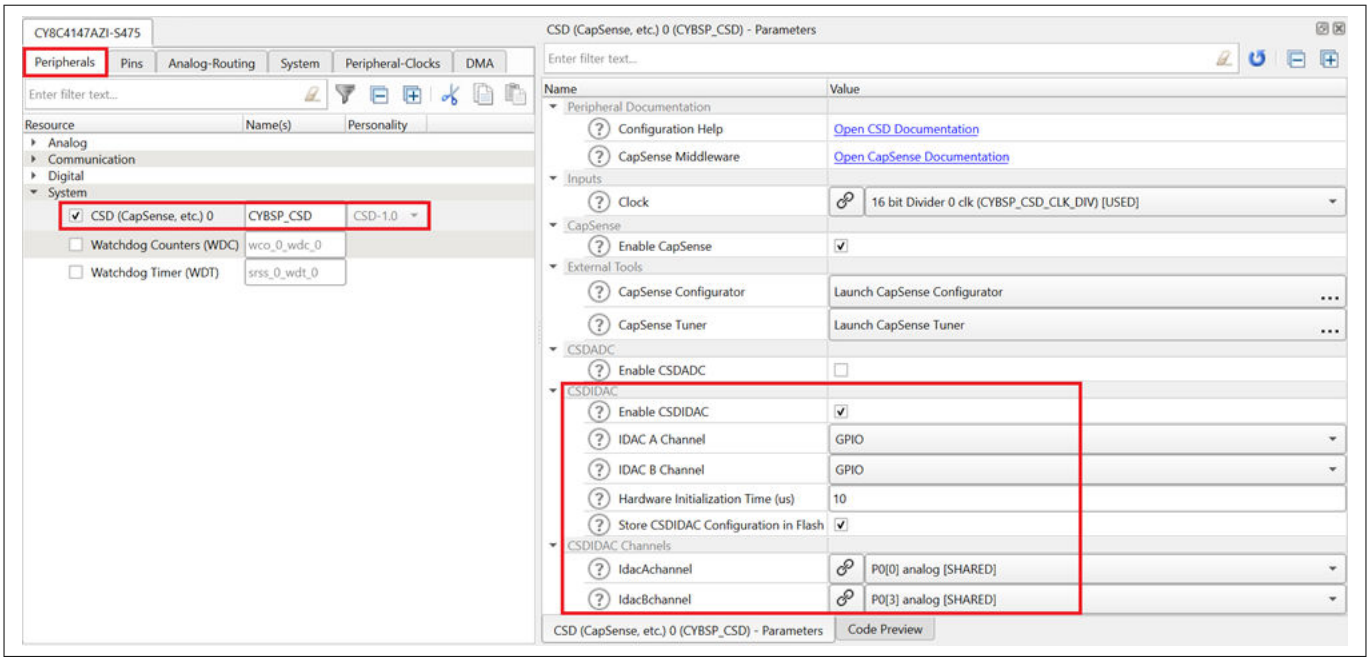



**図 28　　ModusToolbox™ ソフトウェアでのデバイスコンフィギュレータの IDAC 設定**

詳細については CSDIDAC middleware library を参照してください。

2 つの内部アナログバスを使用して、IDAC 出力をアナログ接続に対応している 2 つの異なるピンに接続できます。

*注:　CAPSENSE™ は 1～2 個の IDAC が必要です。目的の IDAC が CAPSENSE™ に使用されていないことを確認してください。*

PSOC™ 4100PS デバイスには、プログラマブル電圧リファレンス (PVref) と 13 ビット電圧 DAC (VDAC) コンポーネントがあります。コンポーネントパラメータの詳細は PVref Component datasheet と VDAC Component datasheet を参照してください。

# 10 まとめ

PSOC™ 4 MCU はデジタルとアナログのアプリケーション設計のために柔軟なソリューションを提供します。このアプリケーション ノートは PSOC™ 4 MCU を使用したハードウェアを構築する場合の留意点を記載しています。

# A 付録 A - 回路図チェックリスト

下記のチェックリストの各確認事項に対する回答は Yes (Y) または 該当なし (N.A.) である必要があります。例えば、アプリケーションで PSOC™ 4 MCU デバイスに非安定化外部電源で電源を供給している場合、すべての「電源 (安定化外部電源)」の確認事項は N.A.とマークできます。

| カテゴリ | 項目 | Y/N/N.A | 備考 |
|---|---|---|---|
| 電源 | VDDA ピンの電圧は常に VDDD ピンの電圧以上ですか？ | | |
| | VDDIO ≦ VDDD ≦ VDDA ですか？ | | |
| 電源 (非安定化外部電源) | 電源ピンの接続は図 1 に従っていますか？ | | |
| | VDDD, VDDIO, VDDA, VDDR の各ピンに 0.1 µF と 1 µF のコンデンサが接続されていますか？ | | |
| | VDDD および VDDA ピンの電圧はリップルを含めて 1.8 V から 5.5 V の範囲に入っていますか？ | | |
| | VCCD ピンが $C_{EFC}$ コンデンサに接続され、他の外部負荷に接続されていない状態ですか？ | | |
| | VCCD ピンは外部電源に接続されていない状態ですか？ | | |
| | VDDR ピンへの電源電圧は 1.9V より高いですか？ | | |
| 電源 (安定化外部電源) | 電源ピンの接続は図 2 に従っていますか？ | | |
| | VCCD, VDDD, VDDA の各ピンに 0.1 µF と 1 µF のセラミックデカップリングコンデンサが接続されていますか？ | | |
| | VDDD および VDDA ピンの電圧はリップルを含めて 1.71 V から 1.89 V の範囲に入っていますか？ | | |
| | お使いの PSOC™ MCU デバイスは、Bluetooth® LE ではないファミリーのものですか？ | | |
| クロック | 外部クロックは EXT_CLK ピンに接続されていますか？ | | |
| | 外部クロックの周波数は許容差を含めても 48 MHz 以下ですか？ | | |
| | 外部クロックのデューティサイクルは 45%～55%の範囲に入っていますか？ | | |
| リセット | リセットピンの接続は図 8 に従っていますか？ | | |
| プログラミングとデバッグ | SWD コネクタのピンマップは、図 10 または 図 11 に従っていますか？ | | |
| | SWD 信号は **SWD_CLK** ピンと **SWD_DATA** ピンに接続されていますか？ | | |
| | 外部プログラマを使用した PSOC™ 4 MCU のプログラムおよびデバッグ用のヘッダはありますか? | | |
| GPIO ピン | GPIO ピンの割当ては I/O ピンの選択に従った手順でしたか？ | | |
| | すべての GPIO ピンのシンク電流は 8 mA 未満ですか？ | | |
| | すべての GPIO ピンのソース電流は 4 mA 未満ですか？ | | |
| | GPIO ピンのソース電流とシンク電流トータルはデバイスの許容範囲未満ですか？ | - | - |

## A 付録 A - 回路図チェックリスト

| カテゴリ | 項目 | Y/N/N.A | 備考 |
|---|---|---|---|
| | ポート 4, 5, 6, 7 ピンは、特別なポートに従って使用されていますか？ | - | - |
| 低消費電力コンパレータ | 低消費電力コンパレータの固定ピンの割り当ては対応するピンに従っていますか？ | - | - |
| CTBm | CTBm の固定ピンの割当ては対応するピンに従っていますか？ | - | - |
| SCB | SCB の固定ピンの割当てはデバイス データシートに従っていますか？<br>I2C バスにプルアップ抵抗が接続されていますか？ | - | - |
| SAR ADC | バイパスコンデンサの接続は対応するピンに従っていますか？ | - | - |
| | SAR ADC の各チャネルの取得時間は誤差が 1/2 LSB 未満になる充分な長さですか？ | - | - |
| CAPSENSE™ | 強いシンク電流を持つピンは CAPSENSE™ピンと離されていますか (間隔は 3 ピンより多く)？ | - | - |
| | $C_{MOD}$[1] は **CMOD** (または **C_MOD**) ピンに接続されていますか? | - | - |
| | $C_{SH_TANK}$ は **CTANK** (または **C_SH_TANK**) ピンに接続されていますか? | - | - |
| | $C_{INT1}$ コンデンサと $C_{INT2}$[2] コンデンサは相互容量センシングに接続されていますか？ | - | - |
| | CAPSENSE™ センサー, シールド, Rx, および Tx 信号は、AN85951 - PSOC™ 4 および PSOC™ 6 MCU CAPSENSE™ デザインガイド [15] で提供されている推奨事項に基づいて選択されていますか? | - | - |
| ホストコントローラでの I2C/UART 通信 | I2C/UART 通信を使用してホストコントローラーを介して CAPSENSE™ パラメータの調整を行うためには、このインターフェース用のヘッダを用意することを推奨します。 | - | - |
| | 上記目的のために利用できるヘッダーはありますか？ | - | - |
| IDAC | 当該 IDAC は CAPSENSE™で使用されていませんか？ | - | - |

1) 第 5 世代の CAPSENSE™を備えたデバイスでは、チャネルあたりの 2 つの $C_{MOD}$ コンデンサ、$C_{MOD1}$ および $C_{MOD2}$ が必要です。
2) $C_{INT}$ コンデンサ $C_{INT1}$, および $C_{INT2}$ は、第五世代 CAPSENSE™搭載デバイスでは、$C_{MOD}$ コンデンサ $C_{MOD1}$ および $C_{MOD2}$ と呼ばれます。

# B 付録 B - PCB レイアウトのヒント

*注: PSOC™ MCU の PCB レイアウトの設計を開始する前に、AN57821 - PSOC™ 3、PSOC™ 4、および PSOC™ 5LP のアナログ/デジタル混在回路基板レイアウトの注意事項 [5] を参照することを推奨します。そのアプリケーションノートの付録 A にはさまざまな PSOC™ パッケージの回路図や基板レイアウトの例が示されています。*

*注: PSOC™ 3, PSOC™ 4 MCU, および PSOC™ 5LP キットの回路図は基板の回路図に PSOC™ MCU デバイスを組み込む方法の良い例を提供します。詳細は、関連ドキュメントを参照してください。*

*注: インフィニオン・パッケージの推奨リフロープロファイルパラメータについては、アプリケーションノート「AN72845 - DESIGN GUIDELINES FOR INFINEON QUAD FLAT NO-LEAD (QFN) PACKAGED DEVICES」[2] を参照してください。*

ノイズや EMC の少ない基板設計の典型的なテクニックが多数あります。下記にいくつか紹介します。

- **基板の多層化**: コストは高くなりますが、$V_{SS}$ と $V_{DD}$ 電源に個々の専用層を割り当てる多層基板の使用が最適です。これにより、優れたデカップリングとシールド効果を得られます。これらの層の分割された領域は、$V_{SSA}$, $V_{SSD}$, $V_{DDA}$, $V_{DDIO}$, および $V_{DDD}$ に割り当てる必要があります。

コスト削減のために、2 層または単層の基板を使用できます。その場合には、$V_{SS}$ および $V_{DD}$ すべてを上手にレイアウトする必要があります。

- **グランドと電源**: すべてのグランドリターンパスを 1 点にまとめる必要があります。グランドループを避けるか、その表面積をできるだけ小さくしてください。部品の載っていない基板表面は追加グランドで埋めてシールドしてください。特に 2 層または単層の基板の場合に重要です。

電源は電源ループの領域を最小にするためにグランド線に近づける必要があります。電源ループは EMI の主な送受信アンテナとなる可能があります。

- **デカップリング**: 外部電源用の標準デカップラは 100 µF のコンデンサです。追加の 0.1 µF のコンデンサをできるだけデバイスの $V_{SS}$ と $V_{DD}$ ピンの近くに置いて高周波電源リップルを低減させる必要があります。

一般に、EMC 性能を向上させるために、すべての敏感な信号またはノイズの多い信号はデカップリングする必要があります。デカップリングには、容量性と誘導性の両方が可能です。

- **コンポーネントの配置**: EMI への影響度に基づいて基板上の回路を離してください。これは基板上の相互カップリングの低減に有効です。例えば、ノイズの多い大電流回路, 低電圧回路, およびデジタルコンポーネントなどは離してください。
- **信号の配線**: アプリケーション設計の際、EMC 性能を向上させるために、以下の領域についてよく検討する必要があります。
  - ノイズの多い信号。例えば、高速なエッジを持つ信号
  - 敏感でインピーダンスの高い信号
  - 割込みやストローブ信号などのイベントを捉える信号

EMC の性能を向上させるためには、配線の長さをできるだけ短くし、配線間は $V_{SS}$ 配線で分離してください。クロストークを避けるために、他のノイズの多い、または敏感な配線の近くやそれらに並行に配線しないでください。

詳細については、いくつかの参考情報が利用可能です。

- The Circuit Designer's Companion, Second Edition, (EDN Series for Design Engineers), by Tim Williams
- PCB Design for Real-World EMI Control (The Springer International Series in Engineering and Computer Science), by Bruce R. Archambeault and James Drewniak
- Printed Circuits Handbook (McGraw Hill Handbooks), by Clyde Coombs
- EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple, by Mark I. Montrose
- Signal Integrity Issues and Printed Circuit Board Design, by Douglas Brooks

# 関連ドキュメント

**[1]** AN79953 – PSOC™ 4 MCU 入門
**[2]** AN72845 - Design guidelines for Infineon quad flat no-lead (QFN) packaged devices
**[3]** AN86233 - PSOC™ 4 MCU の低消費電力モードおよび消費電力低減技術
**[4]** AN80994 - 電気的高速過渡現象 (EFT) 耐性についての設計の注意事項
**[5]** AN57821 - PSOC™ 3, PSOC™ 4, および PSOC™ 5LP のアナログ/デジタル混在回路基板レイアウトの注意事項
**[6]** AN91445 - アンテナ設計および RF レイアウトのガイドライン
**[7]** AN91184 - PSOC™ 4 Bluetooth® LE – Bluetooth® LE アプリケーションの設計
**[8]** AN95089 - PSOC™ / PRoC Bluetooth® LE 水晶発振器の選択およびチューニング技術
**[9]** AN73854 - PSOC™ Creator - ブートローダの導入
**[10]** CY8C4xxx, CYBLxxxx programming specification
**[11]** PSOC™ 4 application notes
**[12]** PSOC™ 4 CAD resources
**[13]** PSOC™ 4 device datasheets
**[14]** PSOC™ 4 reference manuals
**[15]** AN85951 - PSOC™ 4 および PSOC™ 6 MCU CAPSENSE™ デザインガイド
**[16]** AN239751 - Flyback inductive sensing (ISX) design guide
**[17]** AN91267 - PSOC™ 4 CY8C4xxx-BL MCU with AIROC™ Bluetooth® LE 入門

PSOC™ MCU をボードの回路図に組み込む方法については、以下の PSOC™ 4 MCU キットの回路図を確認してください。

**[18]** CY8CKIT-040 PSOC™ 4000 pioneer development kit
**[19]** CY8CKIT-041-41XX PSOC™ 4100S CAPSENSE™ pioneer kit
**[20]** CY8CKIT-042 PSOC™ 4 pioneer kit
**[21]** CY8CKIT-042-BLE-A Bluetooth® Low Energy 5.3 compliant pioneer kit
**[22]** CY8CKIT-044 PSOC™ 4 M-series pioneer kit
**[23]** CY8CKIT-043 PSOC™ 4 M-series prototyping kit
**[24]** CY8CKIT-045S PSOC™ 4500S pioneer kit
**[25]** CY8CKIT-046 PSOC™ 4 L-series pioneer kit
**[26]** CY8CKIT-147 PSOC™ 6 Wi-Fi BT prototyping kit
**[27]** CY8CKIT-149 PSOC™ 4100S Plus prototyping kit
**[28]** CY8CKIT-041S-MAX PSOC™ 4100S pioneer kit
**[29]** CY8CKIT-148 PSOC™ 4700S Inductive Sensing Evaluation Kit
**[30]** CY8CKIT-148-COIL Inductive sensing coil breakout board
**[31]** CY8CKIT-040T PSOC™ 4000T CAPSENSE™ Evaluation Kit
**[32]** CY8CPROTO-040T PSOC™ 4000T CAPSENSE™ prototyping kit
**[33]** CY8CPROTO-040T-MS PSOC™ 4000T Multi-Sense prototyping kit
**[34]** CY8CPROTO-041TP PSOC™ 4100T Plus CAPSENSE™ prototyping kit

***注**:* *キットの回路図ファイルは、各キットのウェブページの 基板設計データセクションにあります。*

# 改訂履歴

| 版数 | 日付 | 変更内容 |
|---|---|---|
| 英文版** | - | この版は英語版のみです。英語版の改訂内容: New application note |
| 英文版*A | - | この版は英語版のみです。英語版の改訂内容: Changed the title to “PSOC™ 4100/4200 Hardware Design Considerations - AN88619” to address only PSOC™ 4100/4200 devices<br>Corrected names and links for reference documents<br>Added the latest references<br>Added the link for PSOC™ 4100/4200 SCH and PCB libraries |
| 英文版*B | - | この版は英語版のみです。英語版の改訂内容: Added a table to illustrate the differences between PSOC™ 4100 and PSOC™ 4200<br>Added TQFP-48 descriptions<br>Added variable VDDA introduction<br>Added routed clock introduction in "Clocking" section<br>Updated PSOC™ Creator Component snapshot per PSOC™ Creator 3.1 |
| 英文版*C | - | この版は英語版のみです。英語版の改訂内容: Updated for PSOC™ 4100M/4200M device<br>Updated template<br>Changed the title |
| 英文版*D | - | この版は英語版のみです。英語版の改訂内容: Updated the descriptions to accommodate all PSOC™ 4 device families<br>Corrected SAR’s clock frequency upper limits under different VREF pin connection scenarios<br>Refreshed the snapshots with PSOC™ Creator 3.2<br>Corrected the VCCD pin capacitor value from 0.1 µF to 1 µF<br>Clarified that HFCLK connection to pin is not available |
| 英文版*E | - | この版は英語版のみです。英語版の改訂内容: Added self-help section in the beginning of the document.<br>Added PSOC™ 4 L-series information throughout the document.<br>Updated Power Supply Diagram for PSOC™ 4 Bluetooth® LE.<br>Updated Checklist for PSOC™ 4 Bluetooth® LE and the VCCD pin usage.<br>Added Cross References to Bluetooth® LE Documents. |
| 英文版*F | - | この版は英語版のみです。英語版の改訂内容: Updated template<br>Updated for PSOC™ 4100PS device<br>Updated Figure 4 and Figure 5<br>Updated PSOC™ Resources with PSOC™ 6 references<br>Updated Related Documents with references to AN73854 and Programming specification document |
| ** | 2020-04-20 | 本版は英語版 001-88619 Rev. *G について、CYPRESS DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。英語版の改訂内容: Updated for PSOC™ 4500 device |
| 英文版*H | - | この版は英語版のみです。英語版の改訂内容: Updated Appendix B. PSOC™ 4100S Plus Flash memory, SRAM and Clocks, and add PSOC™ 4500S<br>Updated PSOC™ 4500 to PSOC™ 4500S |

## 改訂履歴

| 版数 | 日付 | 変更内容 |
|---|---|---|
| 英文版*I | - | この版は英語版のみです。英語版の改訂内容: Updated with the information of PSOC™ 4100S Max device<br>Updated to Infineon template.<br>Added ModusToolbox™ software tool details |
| *A | 2022-12-13 | このドキュメントは英語版 001-88619 Rev.*J を翻訳した日本語版 002-29836 Rev.*A です。英語版の改訂内容: Updated for the PSOC™ 4000T device requirements<br>Added “I2C/UART communication with the host controller” in the Schematic checklist section<br>Added footnotes 6 and 7 about the requirement of two Cmod capacitors required for each channel in fifth-generation CAPSENSE™ |
| 英文版*K | - | この版は英語版のみです。英語版の改訂内容: Updated the decoupling and bypass capacitor requirement in Section 3.1. |
| 英文版*L | - | この版は英語版のみです。英語版の改訂内容: Fixed the broken links<br>Added Bluetooth® note in Trademarks section |
| 英文版*M | - | この版は英語版のみです。英語版の改訂内容: Updated the XRES circuit for $R_{PULLUP}$,<br>Added Reflow Profile recommendation,<br>Updated Appendix A to use $C_{EFC}$ capacitor with VCCD pin |
| 英文版*N | - | この版は英語版のみです。英語版の改訂内容: Updated template |
| 英文版*O | - | この版は英語版のみです。英語版の改訂内容: Updated for New kit CY8CPROTO-040T-MS PSOC™ 4000T Multi-Sense Prototyping Kit |
| *B | 2025-08-13 | このドキュメントは英語版 001-88619 Rev.*P を翻訳した日本語版 002-29836 Rev.*B です。英語版の改訂内容: Template update, Updated for PSOC™ 4100T Plus device |

**Trademarks**

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2025-08-13**

**Published by**

**Infineon Technologies AG**

**81726 Munich, Germany**

**© 2025 Infineon Technologies AG**

**All Rights Reserved.**

**Do you have a question about any aspect of this document?**

**Email: erratum@infineon.com**

**Document reference**
**IFX-nre1740650897176**

**重要事項**

本手引書に記載された情報は、本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用の前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

**警告事項**

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。