PSoC 4 硬件设计的注意事项

About this document

Scope and purpose

AN88619 介绍了围绕 PSoC® 4 器件的硬件系统设计，该过程包括选择封装、电源、时钟、复位、I/O 用法、编程和调试接口以及模拟模块设计等操作。

相关器件系列

PSoC 4

相关文档

要想获取本应用笔记的最新版本或相关项目文件，请访问 **http://www.cypress.com/go/AN88619**。

需要更多的示例程序吗？我们知道。

要获取各种应用并且实时更新的示例程序，请访问我们的**示例程序网站**，你也可以在这里观看关于 PSoC 的视频教程。

Table of contents

About this document **1**
Table of contents **1**
1 简介 **3**
2 PSoC 资源 **4**
2.1 PSoC Creator 4
2.2 代码示例 5
2.3 PSoC Creator 帮助 7
2.4 技术支持 7
3 封装选择 **8**
4 电源 **9**
4.1 电源引脚连接 9
4.2 电源上升注意事项 10
4.3 器件电源的 PSoC Creator 设置 10
4.4 热设计注意事项 11
5 时钟 **12**
6 复位 **13**
7 编程与调试 **14**
8 GPIO 引脚 **16**
8.1 I/O 引脚选择 16
8.2 特殊端口 17
9 组件放置 **20**
10 模拟模块设计技巧 **22**

Table of contents

10.1 SAR ADC 22
10.1.1 SAR ADC 采集时间 23
10.2 运算放大器 25
10.3 比较器 26
10.4 CapSense 26
10.5 电流 DAC (IDAC) 27
11 总结 29
12 相关文档 30
13 附录 A. PCB 布局提示 31
14 附录 B. 系列硬件资源查询表 32
15 附录 C. 原理图检查表 38
文档修订记录 39

1 简介

PSoC 4 是一个拥有 Arm® Cortex®-M0 CPU 的强大的可编程微控制器。与传统的 MCU 相比，它能够给模拟和数字应用提供更多的功能和更高的灵活性。目前，PSoC 4 产品包括以下系列：PSoC 4000、4100、4200、4100M、4200M、4100L、4200L、4000S、4100S、4100PS、4500S 和 PSoC 4 BLE。有关这些器件系列的概述和比较的信息，请参考 **14. 附录 B. 系列硬件资源查询表**。

本应用笔记介绍了进行硬件设计时需要考虑到的各种注意事项，包括包装、电源、时钟、复位、I/O 用法、编程、调试以及这些器件系列的模拟模块的设计技巧。另外，它还对优质电路板布局技术进行了说明，这对精确模拟应用尤为重要。

必须配置 PSoC 4 器件，使该器件能够在其硬件环境下工作，您可以在 PSoC Creator™集成设计环境 (IDE) 内实现该配置操作。本应用笔记中显示的示例配置以 PSoC 4200 器件为基础；其他器件的配置与此相似。

本应用笔记假设您已经对 PSoC 4 器件和 PSoC Creator 有了基本了解。如果您对 PSoC 4 还不太熟悉，请参考 **AN79953 — PSoC 4 入门**中的内容。如果您尚未了解 PSoC Creator，请参考 **PSoC Creator 主页**。**AN91267 — PSoC 4 BLE 入门**讨论了与 PSoC 4 BLE 相关的主题。对于 PSoC 4 BLE 系列，有一个非常有助于硬件设计的重要主题：BLE 天线设计。由于该主题涉及到特定的 RF 专业，因此我们将在其他应用笔记中讨论该主题，请参见**相关文档**。

2 PSoC 资源

在赛普拉斯网站 **www.cypress.com** 上提供了大量的资料，这些资料有助于选择符合您设计的 PSoC 器件，并使您能够快速有效地将器件集成到设计中。有关使用资源的完整列表，请参考 **KBA86521 — 如何使用 PSoC 3、PSoC 4 和 PSoC 5LP 进行设计**。下面提供了 PSoC 4 的简要列表：

- 概况：**PSoC 产品系列**、**PSoC 蓝图**
- **产品选型**：**PSoC 1**、**PSoC 3**、**PSoC 4** 或 **PSoC 5LP** 或者 **PSoC 6 MCU**。此外，**PSoC Creator** 还包含了一个器件选择工具。
- 数据手册：描述并提供了适用于 **PSoC 4000**, **PSoC 4100**, and **PSoC 4200**, **PSoC 4100M**, **PSoC 4200M**, **PSoC 4200-L**, **PSoC 4000S**, **PSoC 4100S**, **PSoC 4100PS**, **PSoC 4100S Plus**, PSoC 4100S Plus 256KB 和 **PSoC 4500S** 器件系列的电气规范。
- **CapSense 设计指南**：了解如何在 PSoC 4 器件系列中设计电容式触摸感应应用。
- 应用笔记和代码示例：包括了从基本到高级的广泛主题。许多应用笔记包括了代码示例。PSoC Creator 提供了额外的代码示例，请参考代码示例。
- **技术参考手册 (TRM)**：详细介绍每个 PSoC 4 器件系列中所用的架构和寄存器。
- 开发套件
  - **CY8CKIT-040**、**CY8CKIT-041**、**CY8CKIT-042**、**CY8CKIT-042-BLE**、**CY8CKIT-044**、**CY8CKIT-046** 和 CY8CKIT-045S 等各种 PSoC 4 Pioneer 套件均为易于使用且成本较低的开发平台。这些套件包括用于 Arduino™兼容屏蔽和 Digilent® Pmod™子卡的连接器。
  - **CY8CKIT-049**、**CY8CKIT-147**、和 **CY8CKIT-149** 都是成本非常低的原型平台，用于 PSoC 4 器件采样。
  - **CY8CKIT-001** 是所有 PSoC 器件系列经常使用的开发平台。
- **MiniProg3** 器件提供一个用于进行闪存编程和调试的接口。

2.1 PSoC Creator

PSoC Creator 是一个基于 Windows 的免费集成开发环境 (IDE)。通过它可以同时在 PSoC 3、PSoC 4 和 PSoC 5LP 的系统中设计硬件和固件。如 **Figure 1** 所示，通过 PSoC Creator，您可以进行以下操作：

1. 将组件图标施放到主要设计工作区中，以进行您的硬件系统设计
2. 协作设计您的应用固件和 PSoC 硬件
3. 使用配置工具配置各组件
4. 研究包含 100 多个组件的库
5. 查看组件数据手册

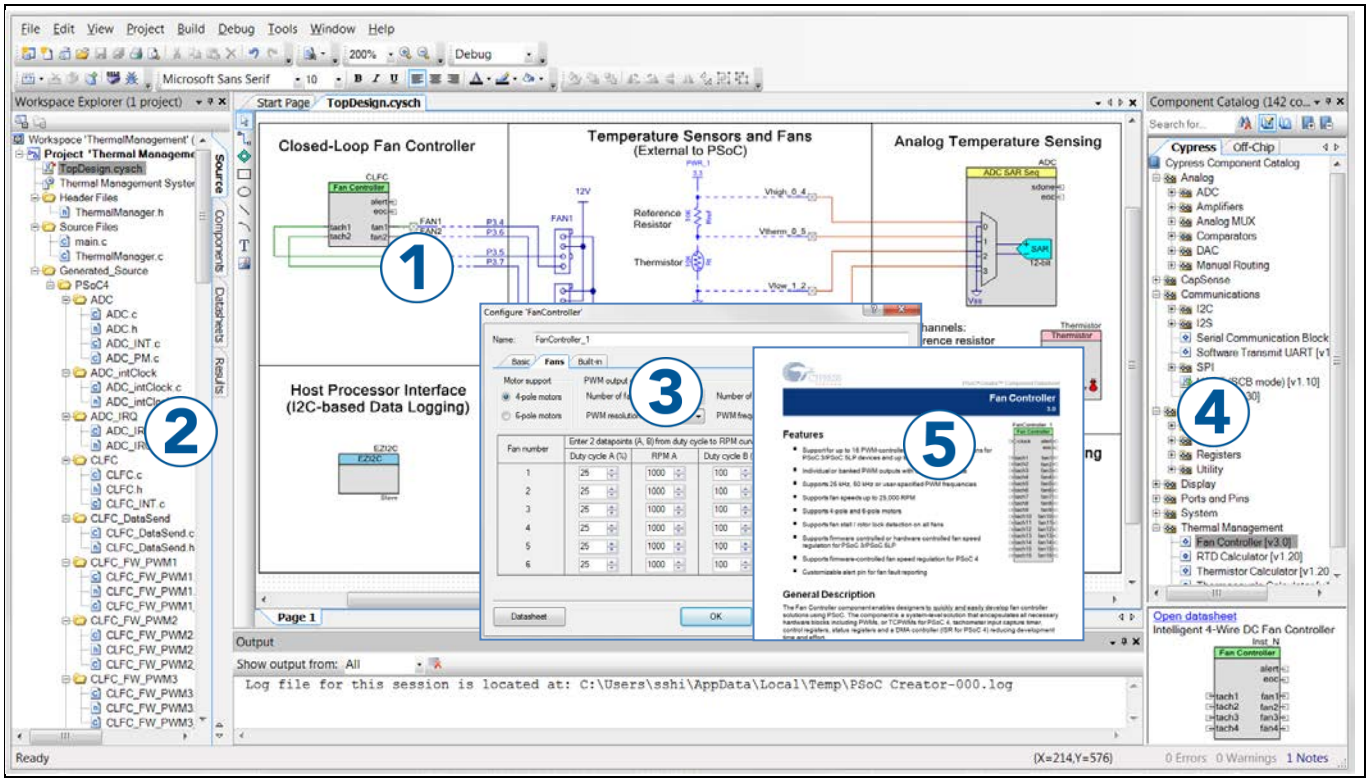


Figure 1 PSoC Creator 特性

2.2 代码示例

PSoC Creator 包含了多个代码示例项目。可以从 PSoC Creator 的“Start Page” (起始页) 上获取这些项目，如 **Figure 2** 所示。

这些示例项目通过为您提供完整的设计 (并非一个空白页) ，可以加快您的设计过程。示例项目还介绍了如何将 PSoC Creator 组件使用于不同应用中。此外，它还包含了多个代码示例和数据手册，如 **Figure 3** 所示。

在 **Figure 3** 所示的 **Find Example Project** (查找示例项目) 对话框中，您可以选择以下选项：

- 根据 architecture (架构) 或 device family (器件系列) (例如：PSoC 3、PSoC 4 或 PSoC 5LP) ；category (类型) 或 keyword (关键词) 等选项筛选示例
- 从 **Filter Options** (滤波选项) 的示例菜单中进行选择
- 通过 **Documentation** (文档) 选项卡，查看数据手册
- 查看所选的代码示例。您可以复制该窗口中的代码然后将其粘贴到您的项目内，从而加快代码的开发过程，或
- 根据已选项目创建一个新的项目 (若需要可添加新的工作区) 。通过为您提供一个完整的基本设计，它可以加快您的设计过程。然后，您可以根据自己的应用来调整该设计。

PSoC 资源

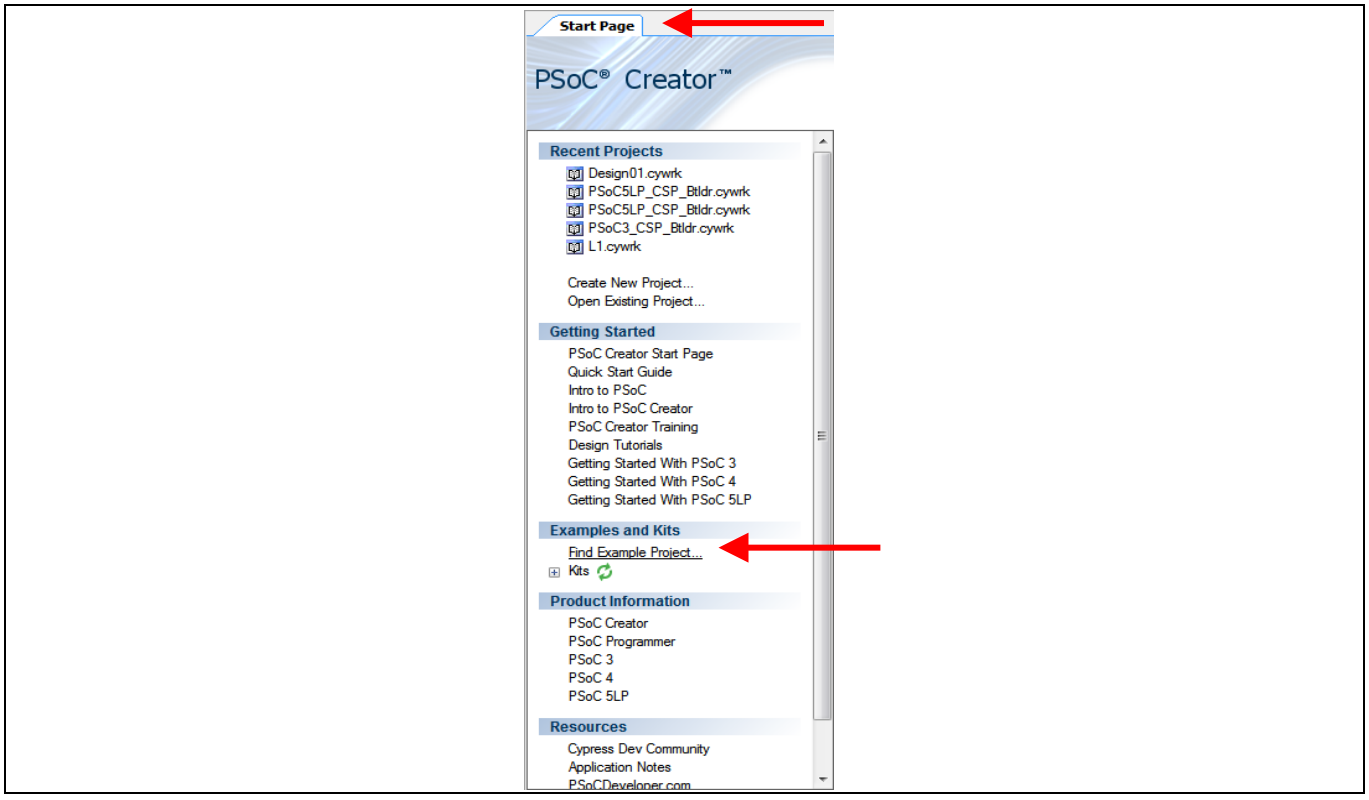


Figure 2 PSoC Creator 中的代码示例

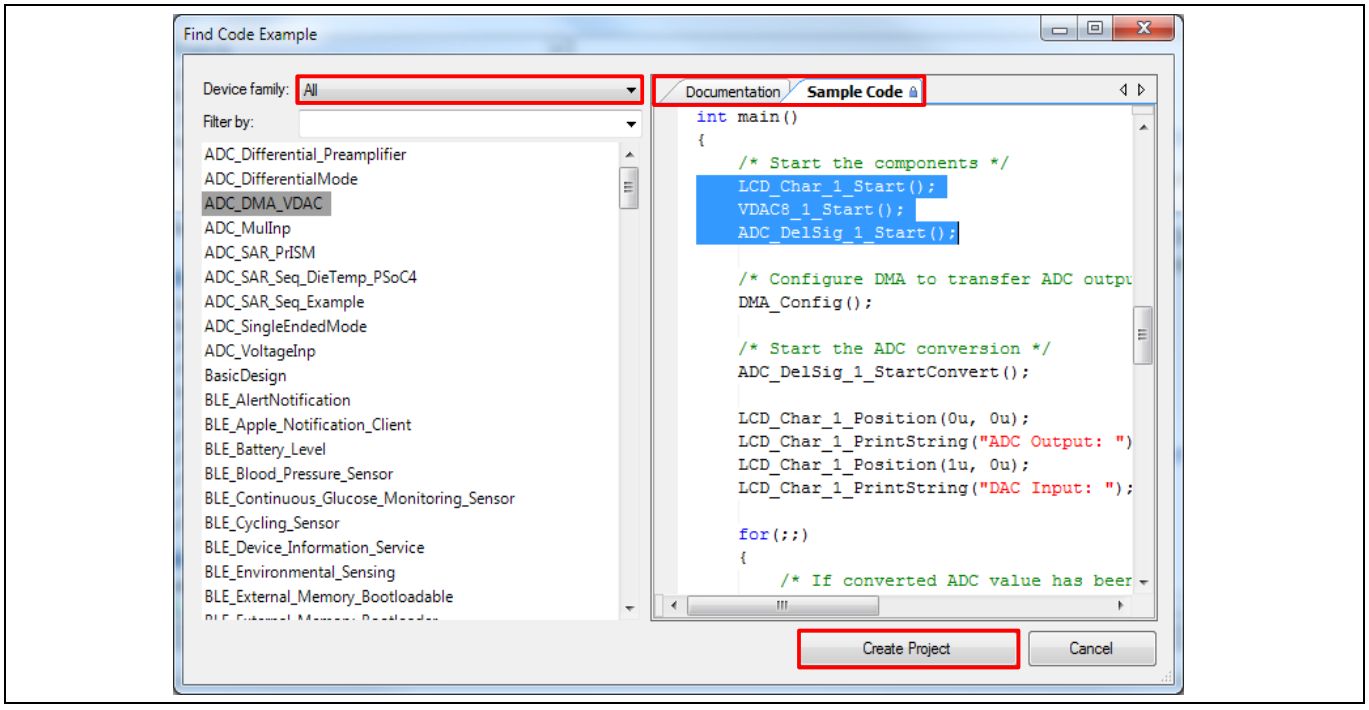


Figure 3 带样本代码的代码示例项目

2.3 PSoC Creator 帮助

请访问 **PSoC Creator 主页**以下载 PSoC Creator 的最新版本。启动 PSoC Creator，并导航到下列各项：

- 快速入门指南：依次选择 Help > Documentation > Quick Start Guide。本指南提供了开发 PSoC Creator 项目的基本知识。
- **简单的组件示例项目：**依次选择 **File** > **Open** > **Example projects**。这些示例项目展示了如何配置及使用 PSoC Creator 组件。
- 系**统参考指南**：请依次选择 Help > System Reference > System Reference Guide。该指南列出并描述了 PSoC Creator 提供的系统功能。
- 组件数据手册：右键单击组件，然后选择“Open Datasheet”项。请访问 **PSoC 4 组件的数据手册**网页，获取所有 PSoC 4 组件的数据手册列表。
- **PSoC 培训视频**：这些视频介绍了 PSoC Creator 入门的过程。
- **文档管理器：**PSoC Creator 提供了一款文档管理工具，便于寻找和查看文件资源。要想打开文档管理工具，请选择菜单项 **Help** >**Document Manager**。

2.4 技术支持

若有任何疑问，我们的技术支持团队很乐意为您提供帮助。您可以在赛普拉斯技术支持页面上创建一个技术支持请求。

如果您在美国，可以通过拨打我们的免费电话，直接与技术支持团队联系：+1-800-541-4736。选择提示符处的第 8 项。

若想快速获得支持，您同样可以使用下面的支持资源。

- **自助**
- **所在地销售办事处**

3 封装选择

首先，您需要决定您的 PCB 所使用的封装类型。当确定封装类型时，需要考虑到以下几个问题，包括所需的 PSoC 器件引脚数量、PCB 和产品大小、PCB 设计规则以及热阻和机械稳定性。PSoC 适用于以下各种封装，这些封装具有不同的特性：

- **SOIC (小外型集成电路)：** 该封装类型是根据 DIP (双列直插式封装) 开发出来的。它具有两行引脚，通常用于带有小数引脚 (小于 20) 的芯片。由于引脚间距较大，因此可以很容易路由信号和手动焊接。另外，它还提供了很好的机械稳定性。
- **TQFP (薄型四方扁平封装)：** 由于该封装的间距差异较大，并且它下面还有开放区域，因此使用该封装类型时，路由信号非常容易。该封装的缺点是封装尺寸较大，并且机械稳定性较低。
- **SSOP (紧缩小外形封装)：** 该封装类型的优缺点与 TQFP 封装的相同。
- QFN (四方扁平无引**线)：** 该封装类型的尺寸比其他两种封装小很多。中心裸露焊盘使封装具有最好的散热性能和机械稳定性。它的缺点表现在该中心焊盘会使路由信号变得更难。更多有关信息，请参见 **AN72845 – QFN 封装器件的**设计指南。
- **WLCSP (晶圆级芯片尺寸封装)：** 该封装类型使芯片尺寸同晶片的相似。在封装底部上焊接球型引脚。在 PCB 空间极为重要的情况下 (如在便携式的应用中)，超小型的封装是最佳选择。但这种封装的缺点是它比其他封装的机械稳定性低。
- **VFBGA (间距极小的球栅阵列)：** 由于这种封装类型提供了上百个引脚的微型封装，因此它专用于 I/O 数量大的器件。它的缺点是机械稳定性较低。

有关设计参考资料，请查看 **PSoC 4 CAD** 库，其中包含了 PSoC 4 原理图和 PCB 库。请注意，在您的硬件设计中使用这些 PCB 库时，可能需要进行稍微调整。赛普拉斯对使用这些库时所发生的问题概不负责。

4 电源

PSoC 4 可由单个电源供电，其电压范围较广，从 1.71 V 到 5.5 V。如 **Table 1** 中所示，模拟和数字模块具有独立的电压域。V_{DDA} 是模拟电源引脚，V_{SSA} 是模拟接地引脚，V_{DDD} 和 V_{CCD} 是数字电源引脚，V_{DDIO} 是 I/O 的电源引脚，V_{SS} 是数字接地引脚，另外 V_{DDR} 是 RF 电源引脚。

Table 1 PSoC 4 电源域

电源域	相关的引脚
模拟	V_{DDA}、V_{SSA}
数字	V_{DDD}、V_{CCD}、V_{SS}
I/O	V_{DDIO}
RF	V_{DDR}

Note: V_{DDIO} 只在某些器件系列/封装中可用。对于没有 V_{DDIO} 引脚的器件，I/O 引脚将由 V_{DDD} 供电。在某些封装中，V_{DDA} 和 V_{DDD} 被合成为单一的 V_{DDD} 引脚，V_{SSA} 和 V_{SS} 被合成为单一的 V_{SS} 引脚。V_{DDR} 仅在 PSoC 4 BLE 器件系列中可用。注意，V_{DDR} 电压要低于应用中的 V_{DDD} 电压。

4.1 电源引脚连接

可以通过两种电源模式给 PSoC 4 供电：未调节的外部电源和经调节的外部电源。这两种模式的电源引脚连接情况将在 **Figure 4** 和 **Figure 5**。

对于 PSoC 4 BLE 系列，外部电源未经过调节的电压范围为 1.9 V 到 5.5 V。对于其他系列，该电压范围为 1.8 V 到 5.5 V。某些内部电压调节器将 V_{DDD} 输入转换为数字电源域的电源。电压调节器的输出也路由到 V_{CCD}。在这种情况下，请勿给该引脚供电，也不需要将任何外部负载电容连接至 V_{CCD} (1 µF 电容除外)，如 **Figure 4** 所示。

某些内部电压调节器将 V_{DDR} 输入转换为 BLE RF 收发器的电源。请注意，如果 V_{DDR} 低于 1.9 V，则 BLE 器件中 RF 收发器的电压调节器将会停止操作。

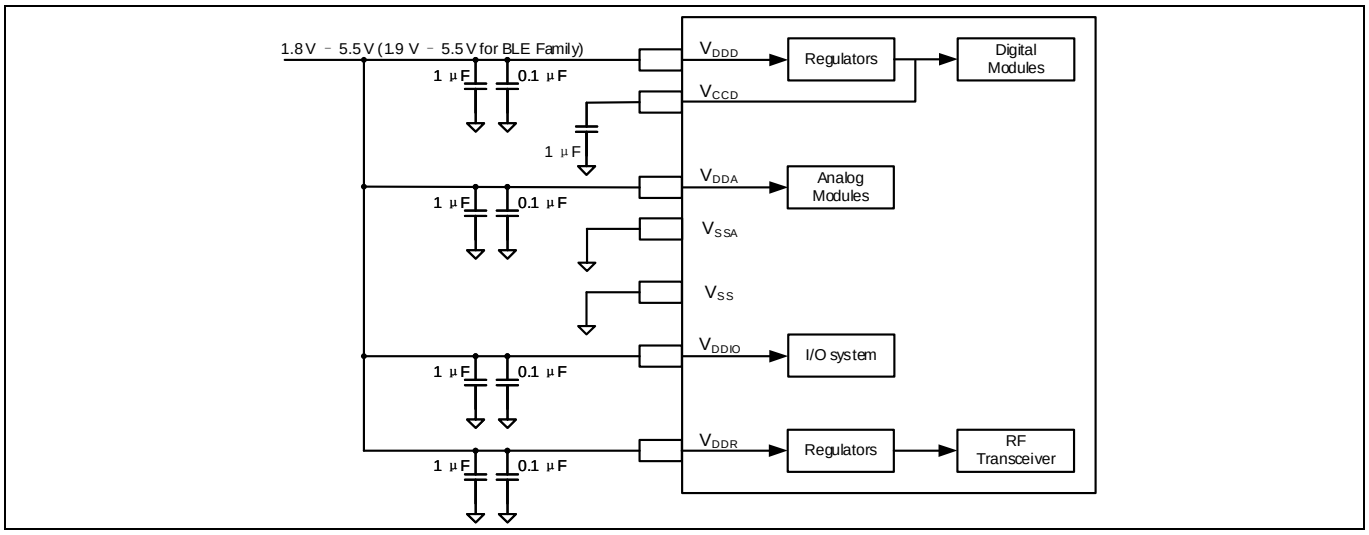


Figure 4 使用未调节外部电源的示例

您可以使用 1.8 V (±5%) 的经调节的外部电源给 PSoC4 (BLE 系列除外) 供电，如 **Figure 5** 所示。必须将 V_{CCD} 引脚连接至 V_{DDD} 引脚，并直接供电。通过置位 PWR_CONTROL 寄存器中的 EXT_VCCD 位，可以禁用未使用的电压调节器，从而降低功耗。更多有关信息，请参考 PSoC 4 **器件数据手册**和**技术参考手册 (TRM)**。

电源

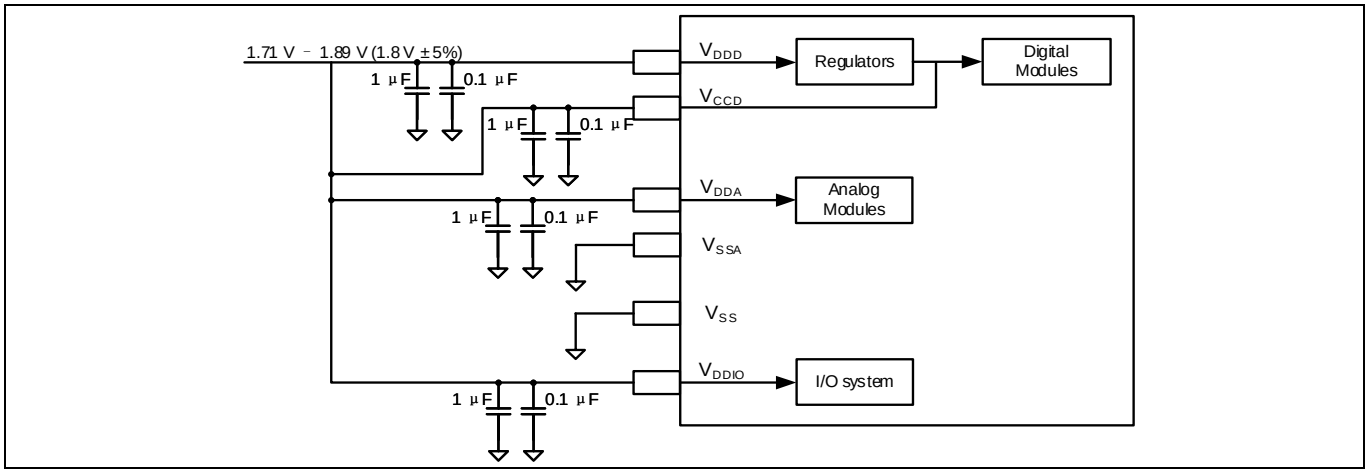


Figure 5　使用经调节外部电源的示例 (不适用于 BLE 系列)

在这两种模式下，需要在每个电源供电引脚上连接一个 0.1 µF 和一个 1 µF 的陶瓷去耦电容 (请注意，特定封装中会带有多个 V_{DDD}、V_{DDA} 和 V_{DDIO} 引脚) 。引脚和电容之间的 PCB 走线越短越好。有关更多信息。请参见 **13. 附录 A. PCB 布局提示**。

Note:　*在使用电容之前查看其数据手册是一个好习惯，特别是工作电压和直流偏置规范。对于某些电容，如果直流偏置电压占额定工作电压的比例较大，那么实际电容则明显被降低。*

您可以使用数字电源和模拟电源的单电源轨，这样会有助于简化板上的电源设计。然而，要想获得更好的混合信号电路设计中的模拟性能，推荐使用数字电源和模拟电源的单电源轨。在各种情况下，必须确保 VDDIO ≤ VDDD ≤ VDDA。欲了解更多有关混合信号电路设计技术的信息，请参见 **AN57821 — PSoC 混合信号电路板布局的注意事项**。

正确使用和布置电容、铁氧体磁珠会有助于提高 EMC 性能。有关更多信息，请参见 **AN80994 — PSoC 3、PSoC 4 和 PSoC 5LP EMC 最佳实践及建议**。

赛普拉斯 PSoC 4 套件网页 (**CY8CKIT-040**、**CY8CKIT-042**、**CY8CKIT-049**、**CY8CKIT-044**、**CY8CKIT-043**、**CY8CKIT-046**、**CY8CKIT-042-BLE** 和 **CY8CKIT-147**) 提供了原理图和材料清单 (BoMs) ，这也是将 PSoC 4 整合到电路板原理图内的好例子。有关更多信息，请参见**相关文档**。

4.2　电源上升注意事项

如前面所述，如果使用模拟和数字电源域的单独电源轨，V_{DDA} 引脚上的电压始终不能小于 V_{DDD} 上的电压。当 PSoC 4 被通电时，必须先给 V_{DDA} 引脚通电或与 V_{DDD} 引脚同时通电。所有引脚的最大允许电压升降速率为 67 mV/µs。

4.3　器件电源的 PSoC Creator 设置

PSoC Creator 自动配置各组件以优化电源引脚的电压。为此，您要了解这些电压值。您可以使用 PSoC Creator 项目中设计范围资源 (DWR) 窗口的 **System** 选项卡解决这个问题。要想打开 DWR 窗口，请双击项目导航中的“*.cydwr*”文件，如 **Figure 6** 所示。

电源

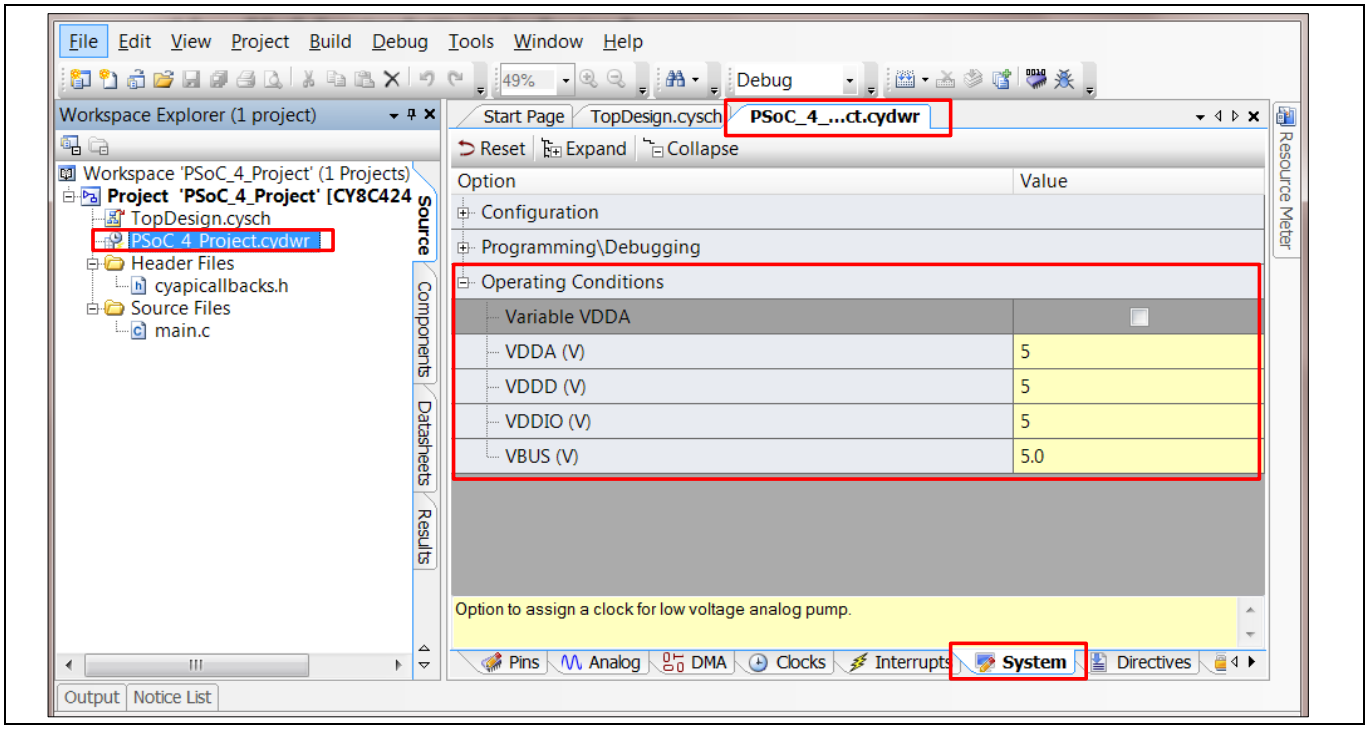


Figure 6　PSoC Creator 中的器件电源设置

当 PSoC 模拟电源为低电平时，**变量 VDDA** 性能通过给各泵充电支持 PSoC 内部模拟路由开关操作。当已配置的 VDDA 电压不高于 4.0 V 时，该性能将默认被使能。如果 VDDA 超过 4.0 V，您可以禁用该性能，以降低功耗。更多有关信息，请参考 **PSoC Creator 系统参考指南**。

4.4　热设计注意事项

在硬件设计过程中 (如封装选择和 PCB 布局)，这些热设计注意事项非常重要。PSoC 4 适用于低功耗应用，因为它的功耗不会超过 0.2 W。最大功耗也较低，完全不足以引起热设计注意事项中所提及的问题。

5 时钟

PSoC 4000/PSoC 4000S 和 PSoC 4100/4200/PSoC 4100S/PSoC 4100PS/4500S 具有两个振荡器：内部主振荡器 (IMO) 和内部低速振荡器 (ILO)，它们分别提供了高频率时钟 (HFCLK) 和低频率时钟 (LFCLK)。IMO 和 ILO 不需要任何外部晶振。 IMO 的误差为±2%。

除了 IMO 和 ILO 外，PSoC 4100M/4200M/4100L/4200L/4000S/PSoC4100PS 还提供一个附加的监视晶振 (WCO)，该晶振的精度为±50 ppm。您可以将 32.768 kHz 晶振连接到固定引脚以获取 LFCLK 的高精度备用时钟。注意，PSoC4000S/4100S/PSoC4100PS 器件的 WCO 不能作为 LFCLK 的源时钟。

除了 IMO、ILO 和 WCO 外，PSoC 4100 BLE/4200 BLE/4100L/4200L 还提供其他的外部晶振 (ECO)，该晶振的精度为±50 ppm。您可以将 24 MHz 晶振连接到固定引脚以获取 HFCLK 的高精度备用时钟。

通过 EXT_CLK 引脚使用高精度时钟来驱动 HFCLK 便是为 PSoC 4 器件，从而获取高精度时钟的一种方法。外部时钟的频率可高达 48 MHz。其占空比必须在 45%到 55%的范围内；建议使用方波时钟。查看数据手册，以确定 EXT_CLK 引脚在各种 PSoC 4 器件中的位置。

通过使用 PSoC Creator，您可以配置 HFCLK 和 LFCLK 的源和路径，可以在两个独立的子选项卡 (**High Frequency Clocks** 和 **Low Frequency Clocks**) 中配置这两项。切换到 DWR 窗口中的 **Clocks** 选项卡，双击时钟表中任意一行，打开 **Configure System Clocks** 对话框，如 **Figure 7** 所示。

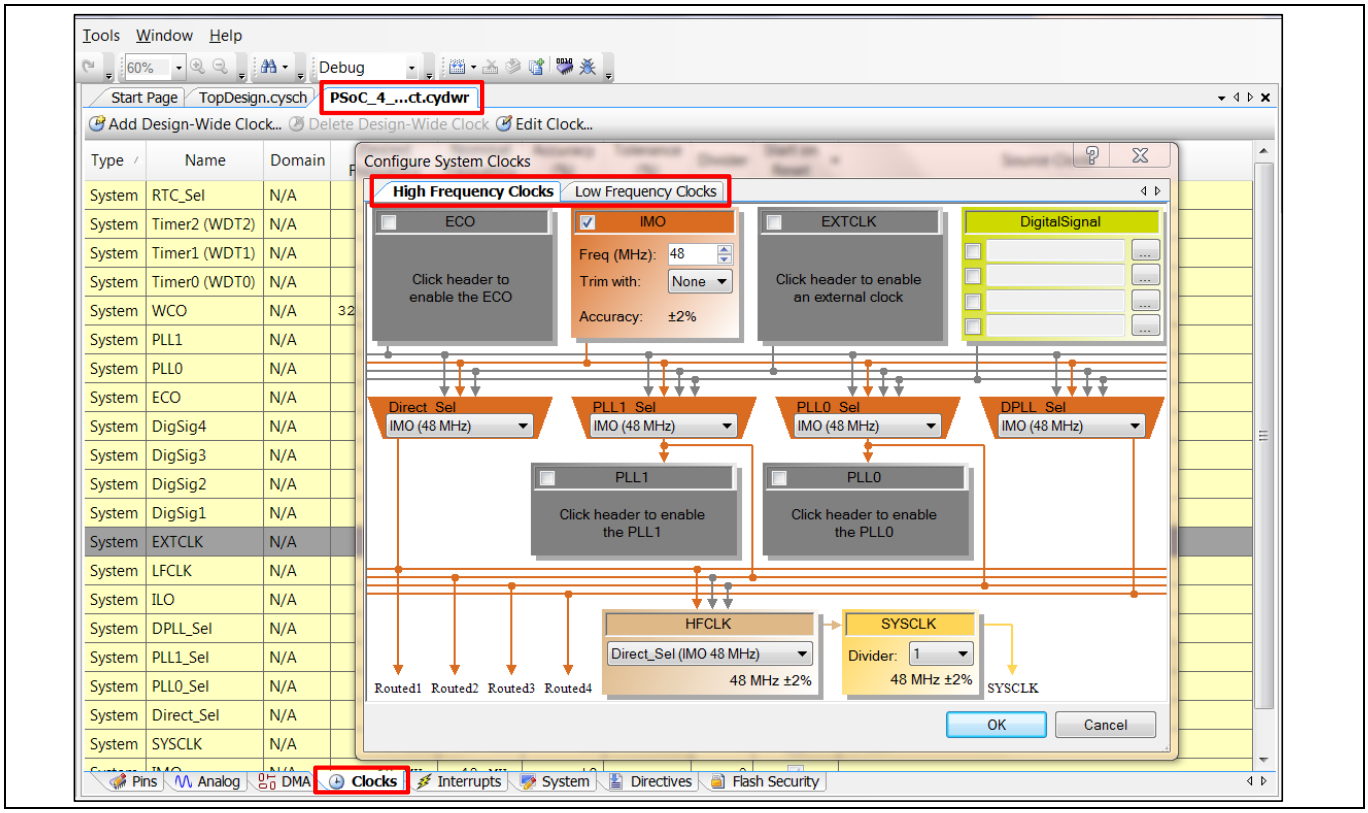


Figure 7 PSoC Creator 中的时钟设置

PSoC 4 提供了灵活的内部时钟路由解决方案。在 PSoC 4 中，您最多可以将四个数字信号作为内部数字逻辑的路由时钟，这些逻辑通常由 UDB 资源实现。在 PSoC Creator Help 菜单中选择 **Topics**，然后搜索 “Configure System Clocks”，获取更多详细信息。

Note: 由于 PSoC 4 具有独特的内部时钟路径结构，因此它不能直接将高频率时钟 (HFCLK) 路由到任何引脚，这一点与 PSoC 3 和 PSoC 5LP 器件不同。

6 复位

PSoC 4 具有一个低电平有效的复位引脚，即 XRES。通过一个 5.6 kΩ 大小的电阻，可以将 XRES 内部上拉到 V_{DDD}；因此，XRES 不需要外部上拉电阻。

您可以在 XRES 引脚上连接一个电容 (如 **Figure 8** 所示)，以过滤出短时脉冲，从而为复位信号提供更好的抗噪功能。所用典型电容大小为 0.1 µF。

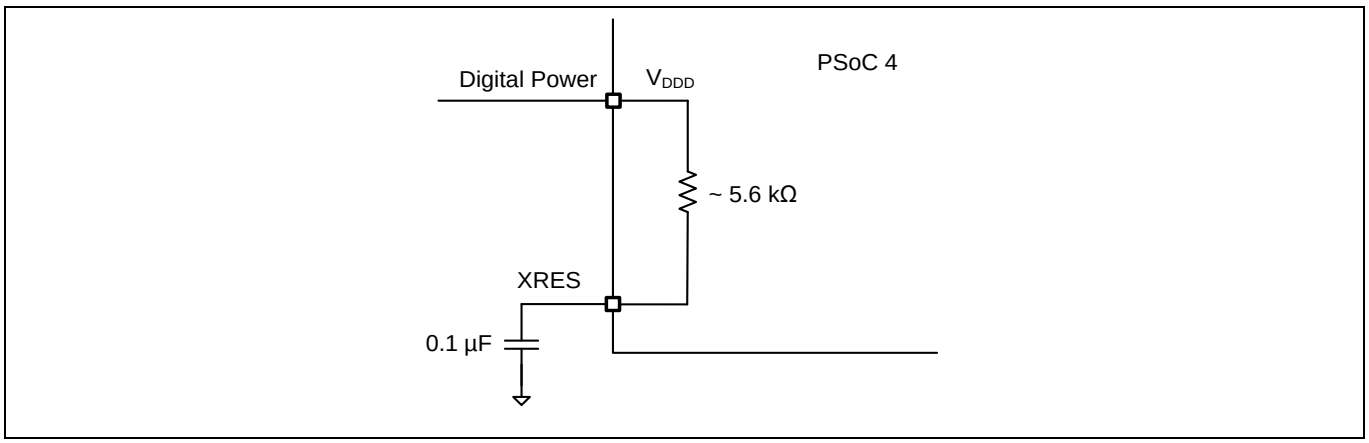


Figure 8 XRES 引脚连接

7 编程与调试

PSoC 4 支持串行线调试 (SWD) 接口，用于编程和调试器件。进行编程或调试时，可以使用 PSoC 4 套件的内置调试器，或者通过一个 10 引脚或 5 引脚的连接器 (引脚映射如 **Figure 9** 所示) 将 PSoC 4 连接到一个调试器，如 **CY8CKIT-002 MiniProg3**。如果使用 10 引脚的连接器，建议选择 Samtec FTSH-105-01-L-DV-K (表面焊接) 或 FTSH-105-01-L-D-K (通孔焊接) 。如果使用 5 引脚的连接器，建议选择 Molex 22-23-2051。其他供应商也提供了类似的器件。

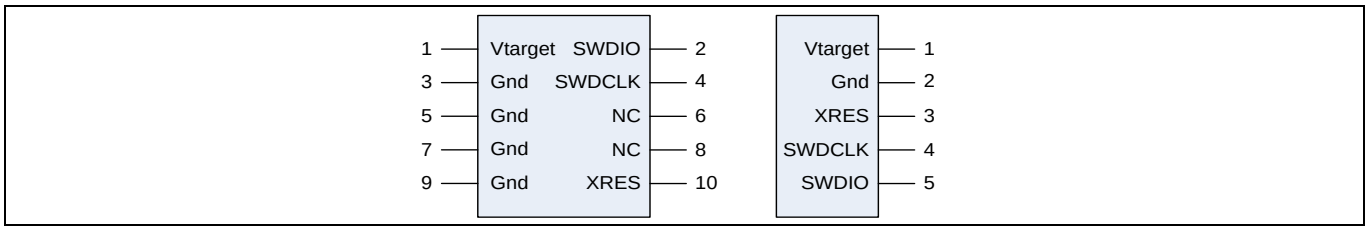


Figure 9 MiniProg3 的 SWD 连接器引脚映射

Figure 10 显示的是 SWD 连接。

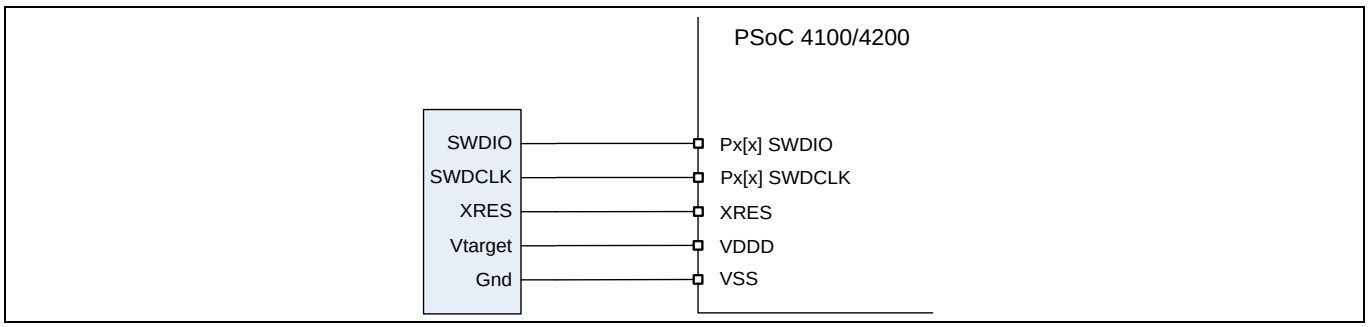


Figure 10 与 PSoC 4100/4200 相连的 SWD 连接

在不同的器件系列中，SWD 引脚被放置在不同的端口上。在非编程器件过程中，这些引脚可以用于其它功能。请参考器件数据手册，了解可用功能的详情。

如果您需要使用 SWD 引脚进行在线调试，那么请在 DWR 窗口内 **System** 选项卡的 **Debug Select** 下拉列表中选择 **SWD (串行线调试)** ，而不是 **GPIO**，如 **Figure 11** 所示。在这种情况下，不能将这些引脚用于其它功能。

编程与调试

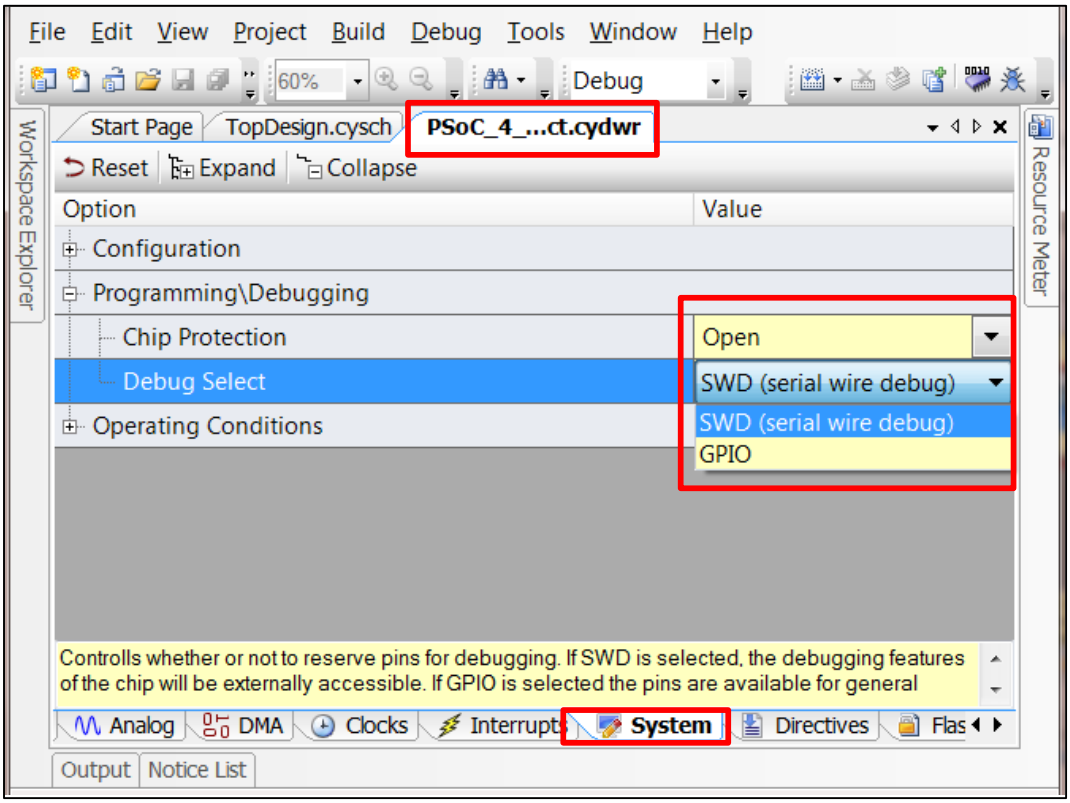


Figure 11 PSoC Creator 调试设置

8 GPIO 引脚

PSoC 4 提供灵活的 GPIO 引脚。每个引脚能够提供 4 mA 的拉电流或 8 mA 的灌电流。固件可以控制所有 GPIO 引脚。大多数 GPIO 引脚都具有与 PSoC 4 外设相连的备用连接。不同的组件使用了不同的专用引脚或固定引脚来连接到它们的终端。外设连接至它自己的专用引脚或多个引脚时，如果使用专用引脚，则会获得最佳性能。然而，为了能够灵活使用，您可以在消耗一定内部路由资源的情况下将外设连接到其他引脚。

如果某个外设上有固定引脚，那么您可以只将它连接到这些引脚上。

8.1 I/O 引脚选择

当您使用 PSoC 4 设计一个硬件系统时，应该按照以下顺序分配 GPIO 引脚。请注意，在不同的 PSoC 4 器件系列中，名称被加粗显示的各个引脚可能被放置在不同端口的不同引脚；更多有关信息，请参考数据手册。

1. 系统功能引脚
   a) SWD：如果您需要进行在线调试，那么请使用 **SWD_CLK** 和 **SWD_DATA** 引脚。
   b) 外部时钟：如果需要一个外部时钟，请使用 **EXT_CLK** 引脚。
   c) 32.768 kHz 的外部晶体：对于适用的系列，如果您需要一个高精度、低频率的时钟，可以使用 **WCO_IN** (或 **XTAL32I**) 引脚和 **WCO_OUT** (或 **XTAL32O**) 引脚。
   d) 唤醒：该引脚用于使 PSoC 4 从停止低功耗模式唤醒。如果您需要该性能，可以使用 **WAKEUP** 引脚。更多有关信息，请参考 **AN86233 — PSoC 4 低功耗模式和低功耗技术**。
2. 模拟引脚
   a) SAR ADC：**SARMUX [7:0]**引脚可作为 SAR ADC 的多通道输入端。此外，如果您需要频率高于 3 MHz 的 ADC 时钟或使用外部参考时钟，那么要保留 VREF 以供连接外部旁路电容。请参考 **SAR ADC 采集时间**的内容，了解更多详细信息。
   SARMUX [7:0]引脚是 SAR ADC 的专用引脚。通过内部模拟总线，您也可以从其他引脚 (端口 4 引脚除外) 上将信号路由到 ADC。VREF 是用于 ADC 参考旁路电容连接的固定引脚。
   b) 低功耗比较器：PSoC 4 具有最多两个功耗比较器，它们可以在休眠低功耗模式下工作。每个比较器都有两个固定的引脚，分别为：用于非反向输入的 **COMPx_INP** (或 **LPCOMP.IN_P[x]**引脚；用于反向输入的 **COMPx_INN** (或 **LPCOMP.IN_P[x]**) 引脚。注意，PSoC4100PS 没有 Hibernate low-power 模式。
   c) 微型连续时间模块 (CTBm)： PSoC 4 具有两个 CTBm 模块，每个模块由两个运算放大器组成。一个运算放大器具有一个专用的非反向输入引脚 (**CTBx.OAx.INP)** 、一个固定的反向输入引脚 (**CTBx.OAx.INN**) 和一个固定的输出引脚 (**CTBx.OAx.OUT**) 。如果您将一个运算放大器作为一个比较器使用，那么可以将数字输出路由到端口 0、端口 1、端口 2 或端口 3 中的 GPIO 引脚上。
   d) CapSense®：使用该模块时，请注意它具有两个固定引脚。在所有情况下，您都需要将储存电容 (C_{MOD}) 连接至 **CMOD** (或 **C_MOD**) 引脚。在某些情况下，可以将其他储存电容 (C_{SH_TANK}) 连接至 **CTANK** (或 **C_SH_TANK**) 引脚。您可以在其他任意引脚上连接一个 CapSense 传感器。更多详细信息，请参考 **PSoC 4 CapSense 设计指南**。
   e) Continuous Time Block(CTB): PSoC 4100PS 具有两个 CTB 模块，每个 CTB 模块由两个运算放大器和相关的电阻矩阵组成。一个运算放大器具有一个专用的非反向输入引脚 (**CTBx.OAx.INP)** 、一个固定的反向输入引脚 (**CTBx.OAx.INN**) 和一个固定的输出引脚 (**CTBx.OAx.OUT**) 。
   f) 电压 DAC(VDAC): PSoC 4100PS 有一个可从端口采集输入信号的 13bit VDAC 模块。该 VDAC 的输出需要通过 CTB 运算放大器连接到端口。
3. 数字引脚
   a) 定时器/计数器脉冲宽度调制器 (TCPWM)： PSoC 4 具有八个 TCPWM 模块。每个 TCPWM 可以输出两路互补 PWM 信号。所有这些信号均通过高速路径被路由到专用的 GPIO 引脚。要想了解更多有关这

些专用引脚的详细信息，请参考器件数据手册。
您还可以通过一个内部数字连接将这些信号路由到其他 GPIO 引脚 (支持数字信号互连) 上。有关详细信息，请参见器件数据手册中介绍的内容。

b) 串行通信时钟 (SCB)： PSoC 4 具有多达四个 SCB。可以将这些 SCB 配置为 SPI、I^2C 或 UART。每个 SCB 都有连接至其终端的固定引脚。要想了解更多有关这些引脚的详细信息，请参考器件数据手册。注意，PSoC 4100PS 具有三个 SCB。

c) 控制器区域网络 (CAN)： PSoC 4 具有两个 CAN。每个 CAN 都有连接至其终端的固定引脚。

d) 通用串行总线 (USB)： PSoC 4 具有用于 USB 连接的固定引脚。有关详细信息，请参见器件数据手册中介绍的内容。
与 TCPWM 不同，SCB 终端被路由到固定引脚，并不能路由到其他 GPIO 引脚。使用 SCB 时，您必须按照固定引脚分配。
如果您的系统需要一个串行通信接口和一个更加灵活的 GPIO 引脚分配，那么可以使用一个通用数字模块 (UDB) 实现。更多有关信息，请参考 **PSoC 4 架构技术参考手册**。

8.2 特殊端口

在 PSoC 4 中，某些端口组具有与其他端口不同的互连结构。因此，有些灵活的配置并不适用于这些端口。设计系统时，可以将以下表格作为指南使用。 “Y”表示端口所支持的功能；“N”则表示端口不支持的功能。

	PSoC 4000/4000S/4100S		PSoC 4100PS/4500S		PSoC 4100/4200		PSoC 4100M/4200M		PSoC 4100BLE/4200BLE		PSoC 4100L/4200L	
端口数	0, 1, 2	3	0, 5	1, 2, 3, 4	0, 1, 2, 3	4	0, 1, 2, 3	4, 5, 6, 7	0, 1, 2, 3	4, 5	0, 1, 2, 3, 4, 5, 10, 11	6, 7, 8, 9, 12, 13
数字输入/输出同步化 Note 1	N	N	N	N	Y	N	Y	N	Y	N	Y	N
内部数字路由 Note 2	N	N	N	N	Y	N	Y	N	Y	N	Y	N
内部模拟路由 Note 3	Y	N	N	Y	Y	N	Y	Y	Y	Y	Y	Y

Note:

1. ***数字输入/输出同步化：****由 PSoC 4 引脚输入或输出的数字信号，它能够与 HFCLK 同步。以下各图显示了 PSoC Creator 的配置。 (上面所述的) 某些端口引脚不具有该功能。此处，唯一一个有效的配置既为 “Transparent”。*

GPIO 引脚

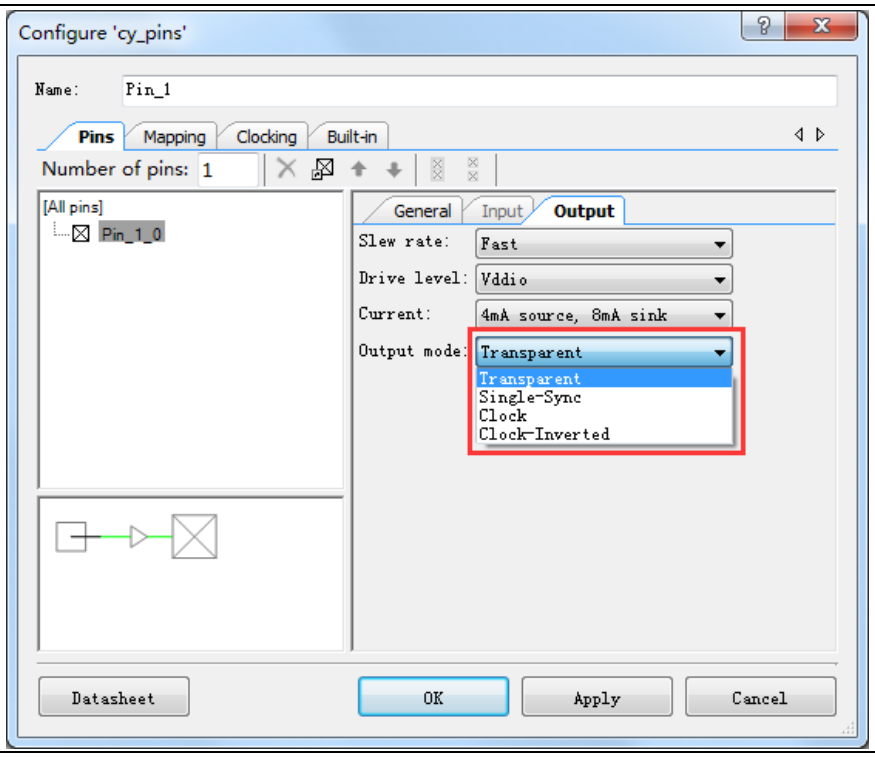


Figure 12 GPIO 引脚输出设置

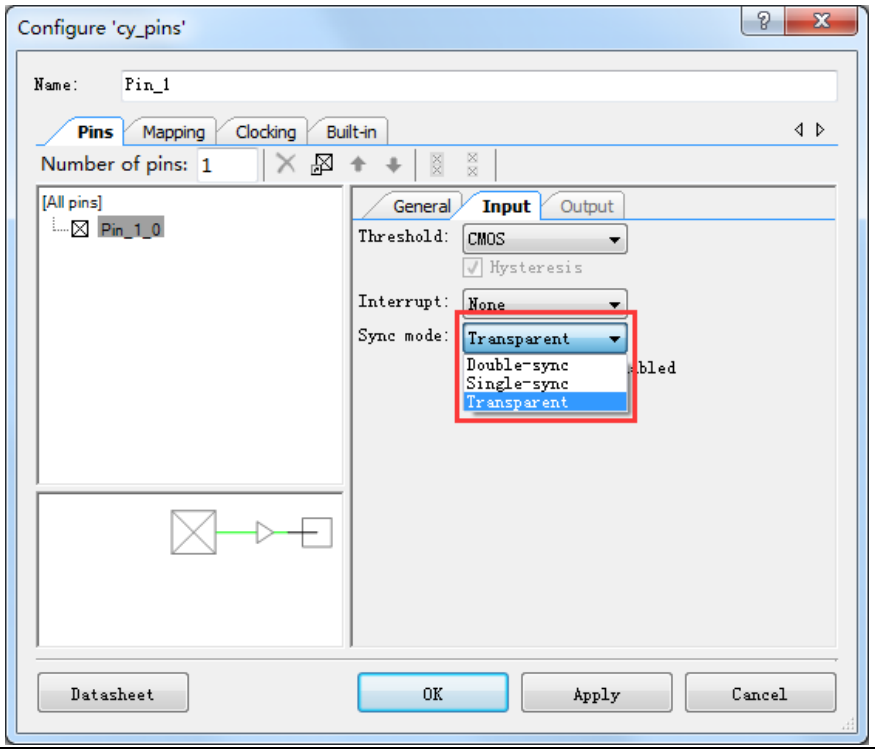


Figure 13 GPIO 引脚输入设置

2. ***内部数字路由：****可以使用内部数字路由资源将一个数字信号路由到一个 PSoC 4 引脚。例如，您可将 TCPWM 的输出终端路由到 TCPWM 的非专用引脚。某些端口引脚不具有该功能。*

Note: *在 PSoC 4100/4200 器件中，如果 P4[2]或 P4[3]用于连接 C_{MOD} 或 C_{SH_TANK}，那么不能将一个数字输出信号路由到 P3[6]或 P3[7]。*

3. ***内部模拟路由：****可以使用内部模拟路由资源将一个模拟信号路由到一个 PSoC 4 引脚。例如，您可将运算放大器的输入终端路由到运算放大器的非专用引脚。*

9 组件放置

在 PSoC Creator 中，可以通过某些方式将各组件放置在不同的模块内。对于带有固定引脚的组件，可将组件终端分配到相应的引脚。下面显示的是 PSoC 4200 器件中的 UART (SCB 模式) 组件放置示例，其中 SCB 实现了一个 UART。

在 **Figure 14** 中，UART tx 和 rx 终端具有两个引脚设置。如果您选择 P4[0]和 P4[1]，UART 将被放置在 SCB_0 上；如果您选择的是 P0[4]和 P0[5]，那么 UART 将被放置在 SCB_1 上。通过点击 DWR 窗口中的 **Pins** 选项卡，您可以使用引脚编辑器来配置这些引脚。

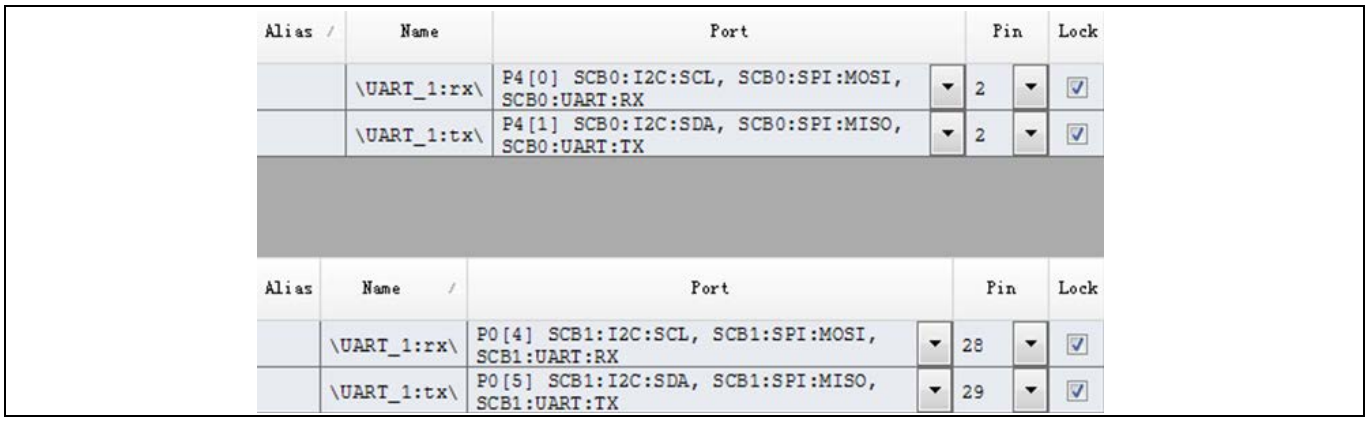


Figure 14 由引脚选择决定的 SCB 组件放置

可以使用模拟器件编辑器来放置模拟组件。点击 DWR 窗口中的 **Analog** 选项卡，将其打开。**Figure 15** 显示的是运算放大器组件放置的示例。

右击运算放大器 (OAx)，以将组件重新转移到另一个可用的硬件插槽。转移组件时，各引脚会自动被更改。

使用指令编辑器是放置组件的第三种方法。在 PSoC Creator Help 菜单中选择 **Topics**，然后搜索 “directive”，获取更多详细信息。

组件放置

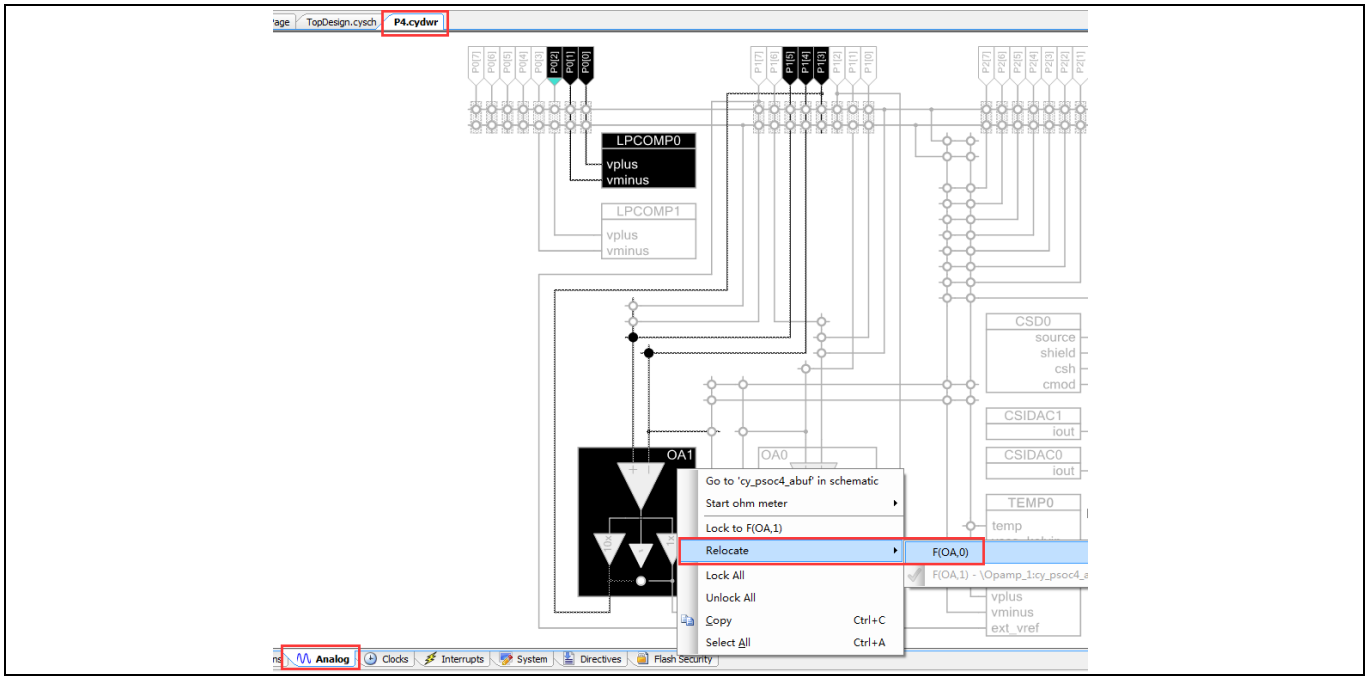


Figure 15　运算放大器组件放置

10 模拟模块设计技巧

模拟设计始终是一种挑战。使用 PSoC 4 模拟模块时，要注意一些硬件设计注意事项。

10.1 SAR ADC

PSoC 4 具有高达 2 个 12 位的差分 SAR ADC，采样速率高达 1 Msps。如 **I/O 引脚选择**中所述，**SARMUX [7:0]**引脚是 SAR ADC 多通道输入的专用引脚。它们能够提供最低的寄生路径电阻和电容。您还可以使用内部模拟总线将信号从其他引脚路由到 SAR ADC，但这样会增大开关电阻 (第 23 页上的 **Figure 17** 中 R_{SW}) 以及额外寄生电容。

PSoC 4 还有一个 1.024 V (±1%) 的高精度内部参考电压。您还可以使用其他内部参考电压 (包括 V_{DDA} 和 V_{DDA} / 2)，以扩大 SAR ADC 的输入电压范围。然而，请注意，V_{DDA} 和 V_{DDA} / 2 作为参考电压时，其精度取决于您的电源系统设计，它可能不比 1.024 V 的高精度内部参考电压好。当您使用内部参考电压或 V_{DDA} / 2 作为您的参考电压时，一个旁路电容或 VREF 引脚会有助于使 SAR ADC 在更高的时钟频率下运行。更多详细信息，请参考 **Table 2**。

Table 2 SAR ADC 的参考电压

参考电压	VREF 引脚的旁路电容	最大组件时钟频率
1.024 V 的内部电压	可选	1.6 MHz
V_{DDA} / 2	可选	1.6 MHz
V_{DDA}	可选	9 MHz
1.024 V 的内部旁路电压	必要	18 MHz
V_{DDA} / 2 的旁路电压	必要	18 MHz
V_{ref} 的外部电压	必要	18 MHz

如果您需要一个具有更高精度或特定电压值的参考电压，可以在 VREF 引脚上连接一个自定义的外部参考电压和一个旁路电容。

物理结构上，SAR ADC 是差分的。如果选择单端输入模式，您必须将负向输入连接到某个引脚。您可以选择其中一个引脚：V_{SS}、V_{REF} 或一个外部引脚。该选择以及参考电压值会影响 SAR ADC 的输入电压范围。更多详细信息，请参考 **PSoC 4 器件架构技术参考手册**的“SAR ADC” 一 节的内容。

您可以在 ADC_SAR_SEQ_P4 组件定制器对话框的 **General** 选项卡中选择参考电压和负向输入连接，如 **Figure 16** 所示。

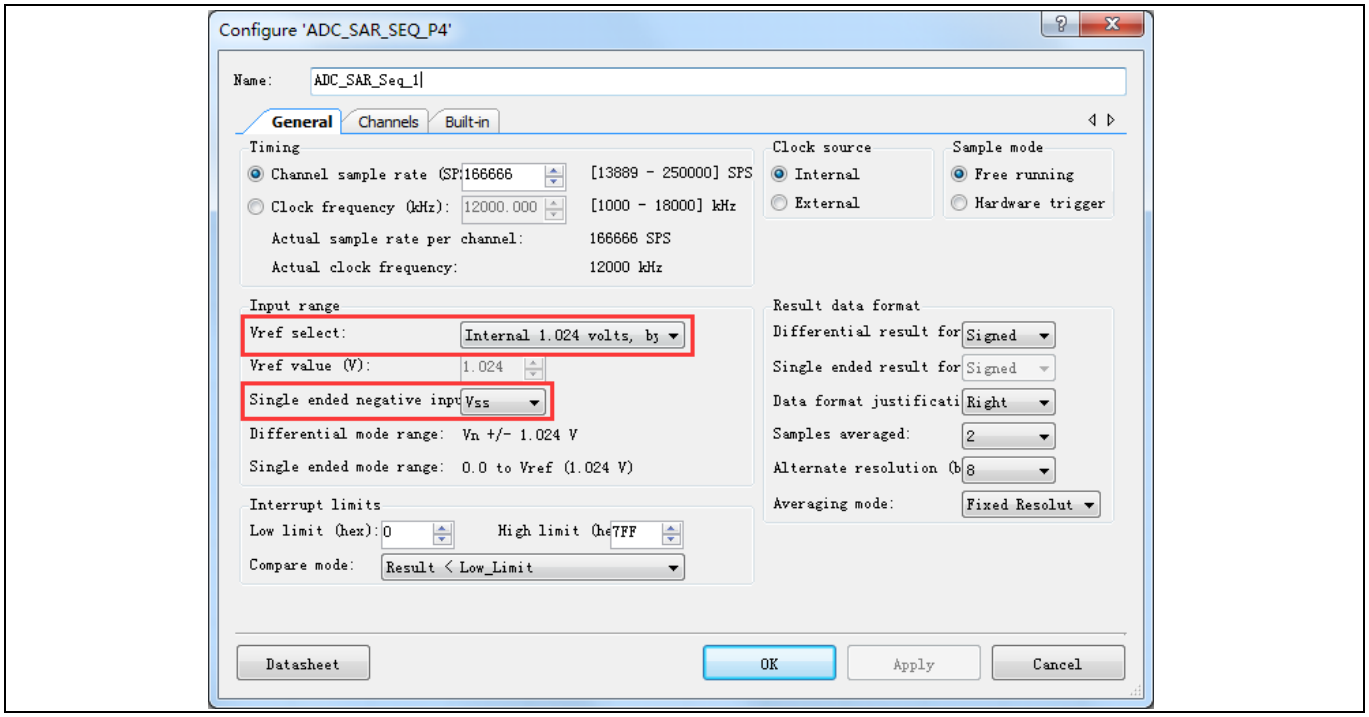


Figure 16 SAR ADC 参考电压和负向输入设置

PSoC 4100PS 器件的 bandgap 参考电压是 1.2V. 具体细节请参考 **Scan_ADC_Component datasheet**。

10.1.1 SAR ADC 采集时间

另一个值得关注的参数是 SAR ADC 采集时间，该参数取决于您的硬件设计，如 **Figure 17** 所示。

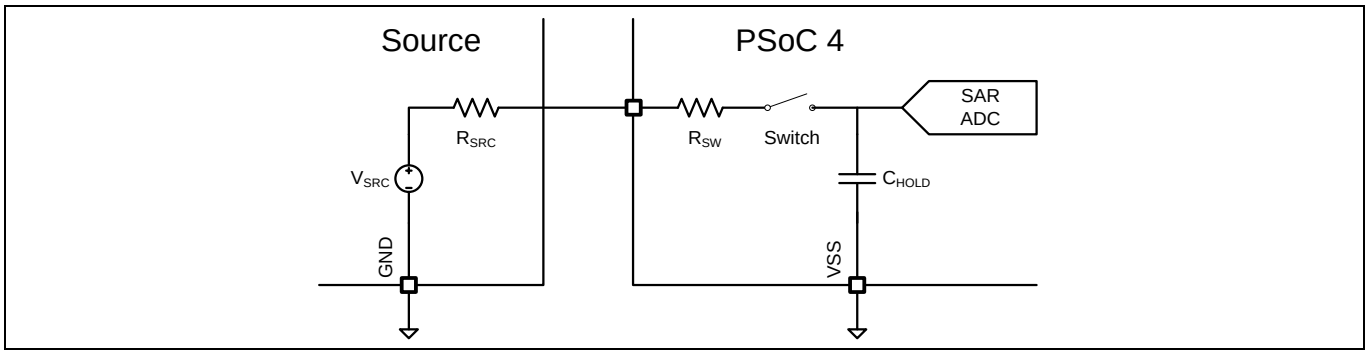


Figure 17 PSoC 4 SAR ADC 的等效采样和保持电路

V_{SRC} 是采样信号源，R_{SRC} 是其输出电阻。R_{SW} 是专用引脚到 SAR ADC 输入路径的电阻，大概为 2.2 kΩ。C_{HOLD} 是采样和保持电容，大约为 10 pF。

Figure 18 显示的是采集期间 C_{HOLD} 的充电方式。在采集期间，**Figure 17** 中的开关被打开。假设 C_{HOLD} 从 0 开始充电，那么采集时间是 C_{HOLD} 被充电到某个电压值 (V_{HOLD})，以使错误值 ($V_{SRC} - V_{HOLD}$) 小于 ADC 的分辨率所需的时间。

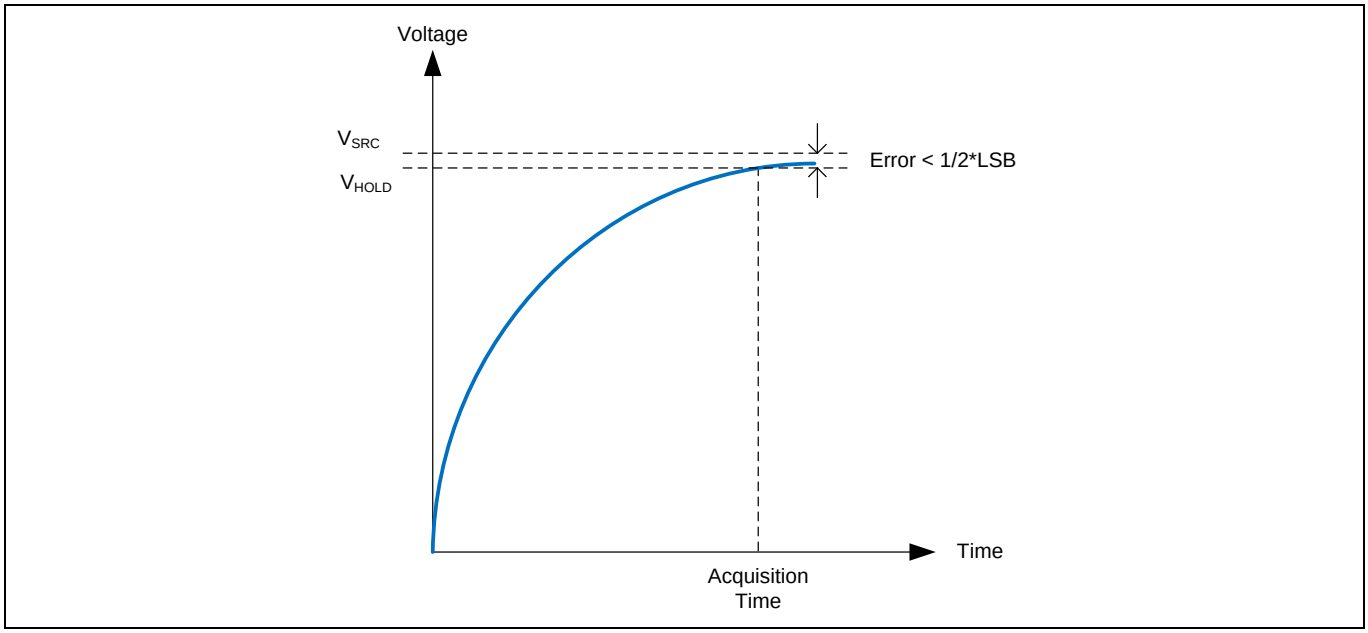


Figure 18 C_{HOLD} 充电过程

如果错误值小于半个 ADC 分辨率 (1/2 * LSB)，可以接受该数值。在下面的公式中，错误值可与采集时间相关：

$$Error = V_{SRC} \cdot e^{-\frac{t_{ACQ}}{\tau}} = V_{SRC} \cdot e^{-\frac{t_{ACQ}}{(R_{SRC}+R_{SW})\cdot C_{HOLD}}}$$

此处，t_{ACQ} 为采集时间，τ 则为充电时间常量。

PSoC 4100/4200 提供了 12 位的差分 ADC。如果 V_{REF} 是参考电压，那么可以通过以下公式计算得出分辨率：

$$LSB = \frac{2V_{REF}}{2^{12}}$$

在该示例中，假设负向输入被连接到 V_{REF}，因此 V_{SRC} 的输入电压范围为 0 至 2 V_{REF}。如果采集时间为 9 * (R_{SRC} + R_{SW}) * C_{HOLD}，可以按照以下公式计算得出错误值：

$$Error = V_{SRC} \cdot e^{-9} \approx \frac{V_{SRC}}{8013} < \frac{2V_{REF}}{8013} \approx \frac{1}{2} \cdot \frac{2V_{REF}}{2^{12}} = \frac{1}{2} \cdot LSB$$

该公式显示，您应该选择比 9 * (R_{SRC} + R_{SW}) * C_{HOLD} 更长的采集时间，从而使错误值小于 12 位 ADC 的 1/2 * LSB。在 ADC_SAR_SEQ_P4 组件定制器对话框的 **Channels** 选项卡中选择采集时间，如 25 页上的 **Figure 19** 所示。请注意，如果您选择了 ADC 时钟数量，那么相应的采集时间将被自动计算得出。更多详细信息，请参考 **ADC_SAR_SEQ_P4 组件数据手册**。

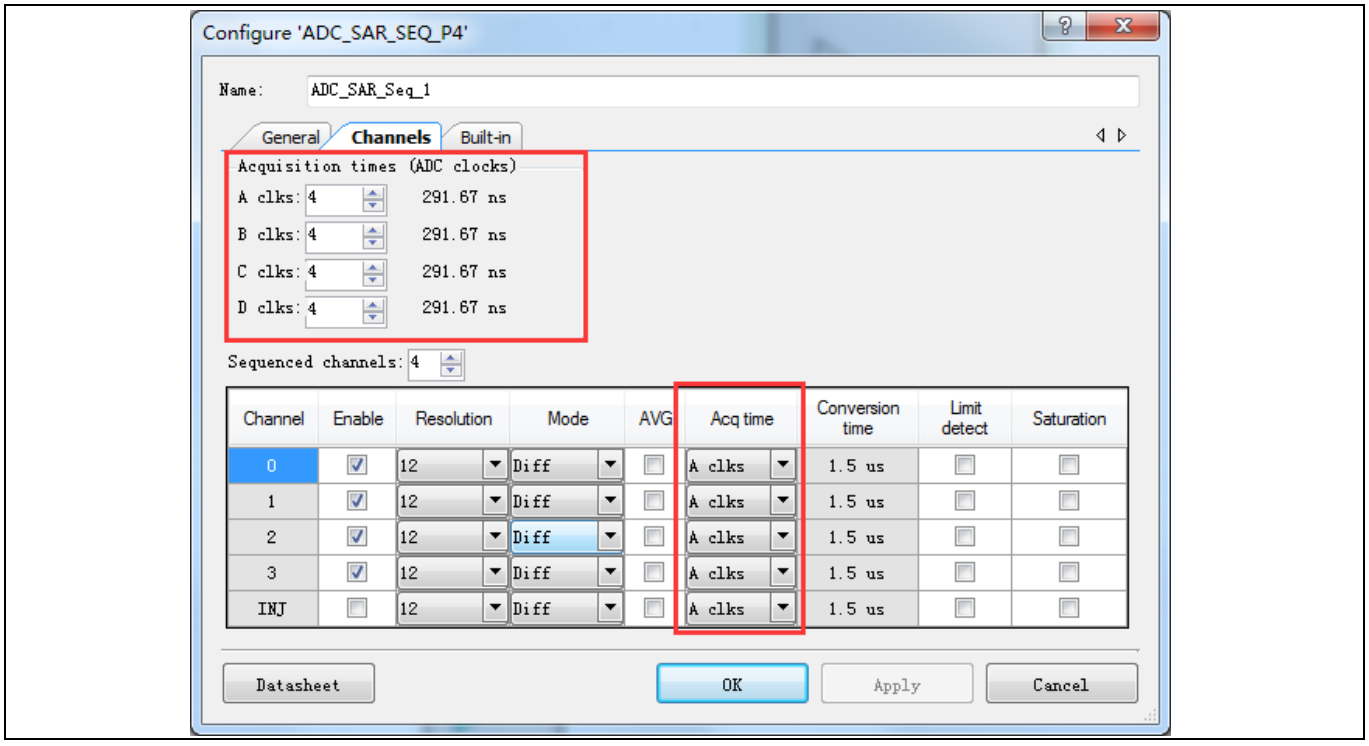


Figure 19 SAR ADC 采集时间设置

总之，需要特别注意采样信号源的输出电阻 (R_{SRC}) 和您 ADC 硬件设计中 PCB 走线所提供的电阻。这些数值决定了采集时间和采样率。

10.2 运算放大器

PSoC 4 中的 CTBm/CTB 模块提供了高达 4 个运算放大器，这样有助于设计模拟信号链路。您可以将这些运算放大器配置为放大器、跟随器或功耗比较器，如 **Figure 20** 所示。 PSoC 4100PS 器件的 CTB 模块可以通过内置的增益设置电阻被配置为可编程增益运算放大器 (PGAs) 。

在 OpAmp_P4 定制器对话框的 **General** 选项卡中，可以配置功耗模式和输出驱动能力，如 **Figure 20** 所示。 运算放大器具有三种功耗模式。在每个功耗模式下，运算放大器具有不同的输入偏移电压、增益带宽 (GBW) 积和工作电流。请参见器件数据手册，了解特定值。

您应该考虑带宽和增益之间的关系。例如，最高 GBW (6 MHz) 是在高功耗/带宽模式下获得的。在这种情况下，如果放大信号的带宽为 60 kHz，那么增益不能大于 100，否则放大信号将失真。

如果您将一个运算放大器输出终端路由到一个引脚，以供外部使用，那么应该为输出模式选择 **Output to pin**。如果您路由输出终端供内部使用，例如，将其路由到 SAR ADC 的一个输入时，只能选择 **Internal**。

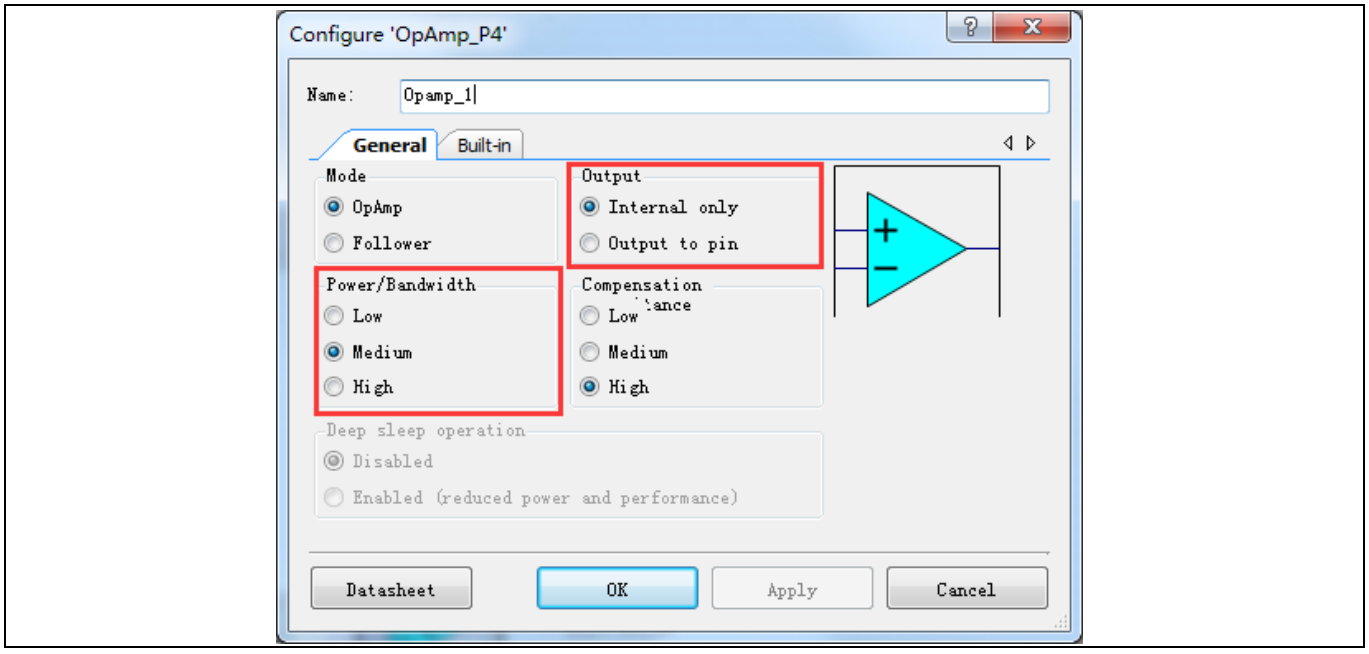


Figure 20 OpAmp_P4 组件设置

10.3 比较器

PSoC 4 提供了六个比较器。四个比较器都是通过使用 CTBm/CTB 模块中的运算放大器实现的，其他两个均为低功耗比较器。可以将所有比较器的输出路由到 PSoC 4 UDB 资源。这样可以帮助您灵活利用各个输出。例如，您可以反转一个输出的逻辑值。PSoC 4 为每个比较器提供了三种速度模式。在每种模式下，比较器具有不同的输出转换速率和工作电流。请参见器件数据手册，了解特定值。

在低功耗模式下，低功耗比较器可以监控外部模拟电压电平。更多信息，请参考器件数据手册。

如果将模拟信号的电压输入到一个比较器内前，该电压已经被一个电阻网络分频，那么应该考虑该比较器的输入电阻。您可以查看器件数据手册，获得比较器的输入电阻。

10.4 CapSense

除了被保留供 C_{MOD} 使用的 **CMOD** (或 **C_MOD**) 引脚外，您还可以将任意 PSoC 4 引脚连接到 CapSense 传感器。如果您需要使用一个用于防水或接近感应性能的屏蔽电极，那么应保留 **CTANK** (或 **C_SH_TANK**) 引脚，以供 C_{SH_TANK} 使用。如果屏蔽的寄生电容小于 200 pF，可以选择使用 C_{SH_TANK}；否则，必须使用该电容。

C_{MOD} 和 C_{SH_TANK} 的值通常为 2.2 nF。传感器的寄生电容越高，该值越高。

通过传感器电容发生的微小变化 (小于 1 pF)，CapSense 便能检测出存在一个手指触摸。它对信号和噪声也非常敏感。请注意 CapSense 的 PCB 布局提示。请参考 **PSoC 4 CapSense 设计指南**中的内容，了解更详细的信息。

能够承受大量灌电流的引脚 (接近 CapSense 引脚) 会给 CapSense 模块的“GND”接口添加一个偏移。**Figure 21** 显示的是 IDAC 源模式下 CapSense 的开关电路。R1 和 R2 为 PSoC 4 内部走线的电阻，R3 表示的是 PCB 走线的电阻。灌电流和 CapSense 电流的共享返回路径由 R2 和 R3 组成。能够承受大量灌电流的引脚越接近 CapSense 引脚，通过返回路径流通的灌电流越大，所生成的偏移越大。

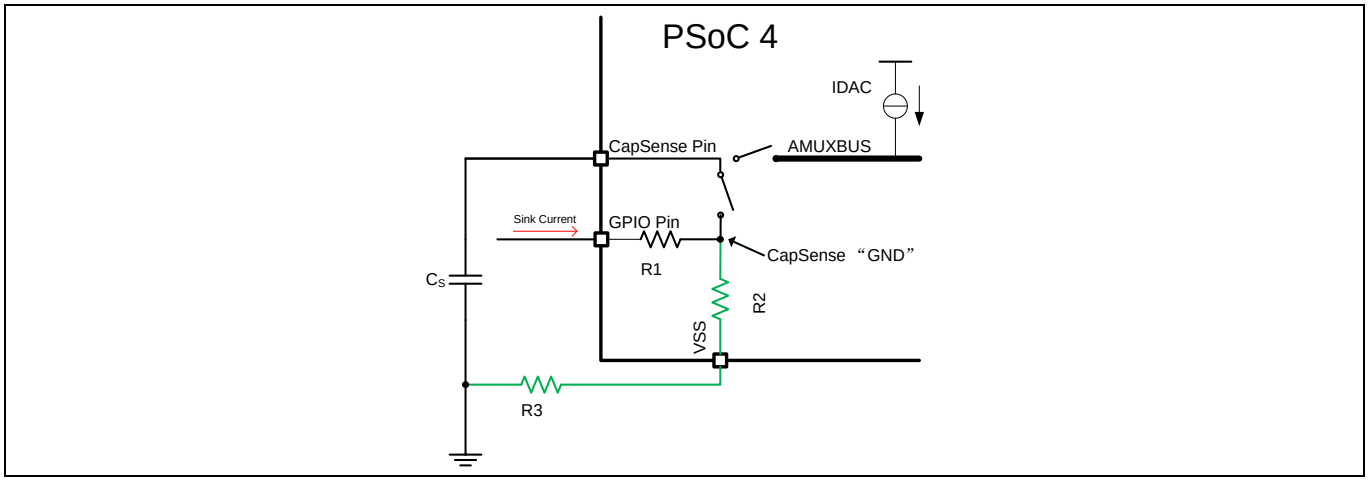


Figure 21　共享返回路径

该偏移是不好的，它会导致 CapSense 读取变动，引起误触发。可以在固件中完成执行偏移补偿，相反，强烈推荐您消除硬件中的偏移。尽可能使能够承受大量灌电流的引脚远离 CapSense 引脚 (最佳距离是相隔三个以上引脚)。此外，请注意您的 PCB 中的返回路径。欲了解有关混合信号电路设计的更多信息，请参考 **AN57821 — PSoC 3、PSoC 4 和 PSoC 5LP 混合信号的电路板布局注意事项**。

10.5　电流 DAC (IDAC)

PSoC 4 提供多达四个 IDAC：两个 8 位，两个 7 位。请参考器件数据手册，了解电气规范。每个 IDAC 有两个增益选项。**Table 3** 提供了每个 IDAC 和增益选项的详细分辨率和功能。

Table 3　IDAC 分辨率和输出电流功能

	4X 增益		8X 增益	
	步骤 (µA/位)	输出功能 (µA)	步骤 (µA/位)	输出功能 (µA)
8 位 IDAC	1.2	306	2.4	612
7 位 IDAC	1.2	152.4	2.4	304.8

您可以在 IDAC_P4 组件定制器对话框的 **Configure** 选项卡中设置 IDAC，如 **Figure 22** 所示。

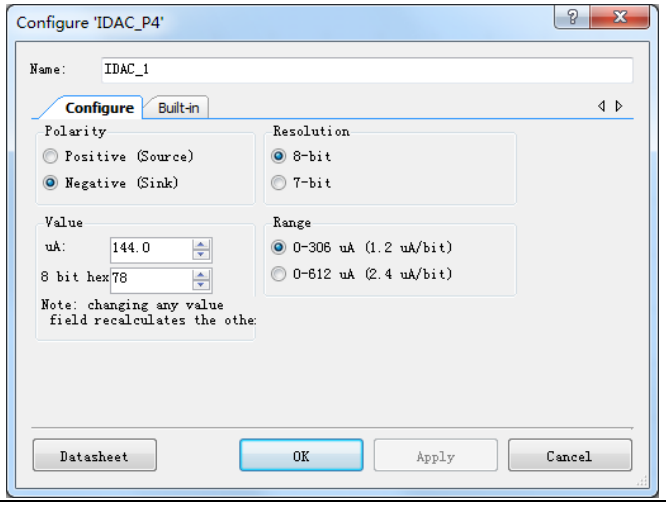


Figure 22　IDAC 设置

模拟模块设计技巧

通过两个内部模拟总线，您可以将 IDAC 输出路由到任意两个不同的引脚 (支持模拟路由) 。

Note: CapSense 需要一个或两个 IDAC。请确保 CapSense 没有使用预期 IDAC。

PSoC 4100PS 器件有可编程参考电压 (Pvref) 组件和一个 13 位的电压 DAC (VDAC) 组件。这两个组件的具体参数请查阅 **PVref Component datasheet** 和 **VDAC Component datasheet**。

11 总结

PSoC 4 提供了灵活的解决方案，以供设计数字和模拟应用使用。本应用笔记介绍了构建一个围绕 PSoC 4 的硬件系统时应记住的注意事项。您可以使用 **14. 附录 B. 系列硬件资源查询表**，快速查询您的硬件设计。

12 相关文档

- **AN79953** — PSoC 4 入门
- **AN72845** — QFN 封装器件的设计指南
- **AN86233** — PSoC 4 低功耗模式和降低功耗技术
- **AN80994** — PSoC 3、PSoC 4 和 PSoC 5LP EMC 最佳实践及建议
- **AN57821** — PSoC® 3、PSoC 4 和 PSoC 5LP 混合信号的电路板布局注意事项
- **AN91445** — 天线设计指南
- **AN91184** — PSoC 4 BLE：设计 BLE 应用
- **AN95089** — PSoC 4/PRoC BLE 晶体振荡器选择和调校技术
- **AN73854** — PSoC 3, PSoC 4 和 PSoC 5LP Bootloader 介绍
- **CY8C4xxx, CYBLxxxx Programming Specifications**
- **PSoC 4 应用笔记**
- **PSoC 4 CAD 资源**
- **PSoC 4 器件数据手册**
- **PSoC 4 技术参考手册**
- **PSoC 4 CapSense 设计指南**

赛普拉斯 PSoC 4 套件原理图提供了如何将 PSoC 结合到电路板原理图内的好例子。它有助于查看以下赛普拉斯套件原理图：

- **CY8CKIT-040** — PSoC 4000 Pioneer 套件
- **CY8CKIT-042** — PSoC 4200 Pioneer 套件
- **CY8CKIT-049 4xxx** — PSoC 4100/4200 原型开发原理图
- **CY8CKIT-042-BLE** — PSoC 4200 BLE Pioneer 套件
- **CY8CKIT-044** — PSoC 4200M Pioneer 套件
- **CY8CKIT-043** — PSoC 4200M 原型套件
- **CY8CKIT-046** — PSoC 4200L Pioneer 套件
- **CY8CKIT-147**— PSoC 4100PS Prototype 套件
- **CY8CKIT-149**— PSoC 4100S Plus Prototype 套件

Note: *在套件网页上，滚动到链接 Board Design Files (Schematic, Layout, Gerber, BOM).zip。*

关于作者

姓名：Johnny Zhang

职务：高级应用工程师

背景：Johnny Zhang 获得安徽大学的电气工程 (BSEE) 学士学位和同济大学的电子工程 (MSEE) 硕士学位。他是赛普拉斯应用工程师，重点工作领域是 PSoC 应用。

13 附录 A. PCB 布局提示

Note: *开始执行 PSoC 的 PCB 布局前，应查看* ***AN57821 — PSoC 混合信号的电路板布局注意事项****。该应用笔记的附录 A 显示的是各种 PSoC 封装的示例 PCB 布局和原理图。*

Note: *赛普拉斯 PSoC 3、PSoC 4 和 PSoC 5LP 套件原理图提供了如何将 PSoC 结合到电路板原理图内的好例子。有关更多信息，请参见* ***相关文档****。*

设计 PCB 时，可以使用多种经典方法降低噪声和 EMC。这些方法包括：

- **多层：**虽然比较昂贵，但最好使用一个多层 PCB，其中 V_{SS} 和 V_{DD} 供电具有单独的层。这样可以使去耦和屏蔽效果更好。这些层上的单独填充将使用于 V_{SSA}、V_{SSD}、V_{DDA}、V_{DDIO} 和 V_{DDD}。
  为了降低成本，可以使用一个两层的 PCB 或单层的 PCB。在这种情况下，必须有良好的 V_{SS} 和 V_{DD} 布局。
- **接地和电源：**必须有一个用于收集所有接地返回的单点。避免接地环路或最小化它们的面积。PCB 上的所有空表面中应该填充地面，以创建一个屏蔽，特别是在使用两层 PCB 或单层 PCB 时。
  为了最小化电源回路区，该电源必须靠近接地线。该电源回路可作为一个天线、EMI 的主发射器或接收器使用。
- **去耦：**外部电源的标准去耦器为一个 100 µF 的电容。为了降低高频电源纹波，补充的 0.1 µF 电容的位置应尽可能靠近器件 V_{SS} 和 V_{DD} 引脚。
  总体来说，应该去耦所有灵敏信号或嘈杂的信号，这样可以提高电磁兼容性 (EMC) 的性能。该去耦可以是电容去耦和电感去耦。
- **组件位置：**根据电磁干扰 (EMI) 的影响来区分 PCB 上的不同电路。这样会降低 PCB 上的交叉耦合。例如，将嘈杂高电流的电路、低电压电路和数字组件互相分开。
- **信号布线：**为了提高 EMC 的性能，在设计某一应用时，必须仔细考虑下面各内容：
  - 噪声信号例如，快速沿时间的信号
  - 敏感信号和高阻抗信号
  - 捕获事件的信号，如中断和选通信号

  为了提高 EMC 性能，要尽量缩短走线长度，并使这些走线和 V_{SS} 走线互相隔离。为了避免串扰，请勿将这些走线靠近其他嘈杂和敏感走线或与其并行排列。

更多有关信息，请参考下列文档：

- 电路设计师的伴侣，版本 2 (设计工程师的 EDN 系列)，作者：Tim Williams
- *实际世界 EMI 控制的 PCB 设计 (工程和计算机科学的 Springer 国际系列)*，作者：Bruce R. Archambeault 和 James Drewniak
- 印刷电路手册 (Printed Circuits Handbook) (McGraw Hill 手册)，作者：Clyde Coombs
- EMC 和印刷电路板：设计、理论和布局变得更简单，作者：Mark I. Montrose
- *信号集成问题和印刷电路板设计*，作者：Douglas Brooks

14 附录 B. 系列硬件资源查询表

该附录提供了一个查询表，包含了 PSoC 4 产品各系列的片上硬件资源概述。以下的数据显示的是这些系列的最大功能。有关特定器件的详细信息，请参考相应系列数据手册。

特性	器件系列									
	CY8C4000	**CY8C4000S**	**CY8C4100**	**PSoC 4100S**	**PSoC 4100S Plus**	**PSoC 4100PS**	**CY8C4200**	**CY8C4200M**	**CY8C4200L**	**PSoC 4500S**
CPU	16-MHz Cortex-M0	带有单周期乘法功能的 48-MHz Cortex-M0+	带有单周期乘法功能的 24-MHz Cortex-M0	带有单周期乘法功能的 48-MHz Cortex-M0+	带有单周期乘法功能的 48-MHz Cortex-M0+	带有单周期乘法功能的 48-MHz Cortex-M0+	带有单周期乘法功能的 48-MHz Cortex-M0	带有单周期乘法功能的 48-MHz Cortex-M0	带有单周期乘法功能的 48-MHz Cortex-M0	带有单周期乘法功能的 48-MHz Cortex-M0+
DMA	N/A	N/A	N/A	N/A	8 通道	8 通道	N/A	8 通道	32 通道	8 通道
Flash memory	16 KB	32 KB	32 KB	64 KB	128 KB/256 KB	32 KB	32 KB	128 KB	256 KB	256 KB
SRAM	2 KB	4 KB	4 KB	8 KB	16 KB/32 KB	4 KB	4 KB	16 KB	32 KB	32 KB
GPIOs	20	36	36	36	54	38	36	55	96	53
CapSense	16 个传感器	35 个传感器	35 个传感器	35 个传感器	53 个传感器	33 个传感器	35 个传感器	54 个传感器	94 个传感器	53 个传感器
ADC	无	10-bit 46-ksps 单斜率 ADC	带定序器的 12-bit, 806-ksps SAR ADC	带定序器的 12-bit, 1-MSPS SAR ADC	带定序器的 12-bit, 1-MSPS SAR ADC	12-bit, 1-MSPS Scanning SAR ADC	带定序器的 12-bit, 1-MSPS SAR ADC	带定序器的 12-bit, 1-MSPS SAR ADC	带定序器的 12-bit, 1-MSPS SAR ADC r	两个带定序器的 12-bit, 1-MSPS SAR ADCs
运算放大器/PGAs	无	无	两个可编程运算放大器	两个可编程运算放大器	两个可编程运算放大器	4 个可编程的运算放大器/PGAs	两个可编程运算放大器	两个可编程运算放大器	4 个可编程的运算放大器	4 个可编程的运算放大器
可编程参考电压 (PVref)	无	无	无	无	无	4 通道	无	无	无	无

特性	器件系列									
	CY8C4000	**CY8C4000S**	**CY8C4100**	**PSoC 4100S**	**PSoC 4100S Plus**	**PSoC 4100PS**	**CY8C4200**	**CY8C4200M**	**CY8C4200L**	**PSoC 4500S**
Voltage DAC (VDAC)	无	无	无	无	无	13-bit VDAC	无	无	无	无
比较器	一个具有固定阈值 (1.2 V) 的 CSD 比较器	两个具备唤醒功能的低功耗比较器	两个具备唤醒功能的低功耗比较器	两个具备唤醒功能的低功耗比较器	两个具备唤醒功能的低功耗比较器	两个具备唤醒功能的低功耗比较器	两个具备唤醒功能的低功耗比较器	两个具备唤醒功能的低功耗比较器	两个具备唤醒功能的低功耗比较器	两个具备唤醒功能的低功耗比较器
IDACs[1]	一个 7 位和一个 8 位的 IDAC	二个 7 位的 IDAC	一个 7 位和一个 8 位的 IDAC	二个 7 位的 IDAC	二个 7 位的 IDAC	二个 7 位的 IDAC	一个 7 位和一个 8 位的 IDAC	二个 7 位和二个 8 位的 IDAC	二个 7 位和二个 8 位的 IDAC	二个 7 位的 IDAC
可编程逻辑模块 (UDB)	无	无	无	无	无	无	具有 4 个 UDB，每个 UDB 包括 8 个宏单元和一个数据路径	具有 4 个 UDB，每个 UDB 包括 8 个宏单元和一个数据路径	具有 4 个 UDB，每个 UDB 包括 8 个宏单元和一个数据路径	无
Smart I/O 端口	无	2	无	2	2	1	无	无	1	2
电源范围	1.71 V 到 5.5 V	1.71 V 到 5.5 V	1.71 V 到 5.5 V	1.71 V 到 5.5 V	1.71 V 到 5.5 V	1.71 V 到 5.5 V	1.71 V 到 5.5 V	1.71 V 到 5.5 V	1.71 V 到 5.5 V	1.71 V 到 5.5 V

1 只有 CapSense 功能被禁用时才能使用 IDAC。 有关详细信息，请参见 PSoC 4 技术参考手册。

特性	器件系列									
	CY8C4000	**CY8C4000S**	**CY8C4100**	**PSoC 4100S**	**PSoC 4100S Plus**	**PSoC 4100PS**	**CY8C4200**	**CY8C4200M**	**CY8C4200L**	**PSoC 4500S**
低功耗模式	在深度睡眠模式下，电流消耗为 2.5 µA	在深度睡眠模式下，电流消耗为 2.5 µA	Deep-Sleep at 1.3 µA, Hibernate at 150 nA, Stop at 20 nA	在深度睡眠模式下，电流消耗为 2.5 µA	在深度睡眠模式下，电流消耗为 2.5 µA	在深度睡眠模式下，电流消耗为 2.5 µA	在深度睡眠模式、休眠模式和停止模式下，电流消耗分别为 1.3 µA、150 nA 和 20 nA	在深度睡眠模式、休眠模式和停止模式下，电流消耗分别为 1.3 µA、150 nA 和 20 nA	在深度睡眠模式、休眠模式和停止模式下，电流消耗分别为 1.3 µA、150 nA 和 20 nA	在深度睡眠模式、休眠模式和停止模式下，电流消耗分别为 1.3 µA、150 nA 和 20 nA
段式 LCD 驱动	无	8 个 COM 段式 LCD 驱动	4 个 COM 段式 LCD 驱动	8 个 COM 段式 LCD 驱动	8 个 COM 段式 LCD 驱动	8 个 COM 段式 LCD 驱动	4 个 COM 段式 LCD 驱动	8 个 COM 段式 LCD 驱动	个 COM 段式 LCD 驱动	8 个 COM 段式 LCD 驱动
串行通信	One I^2C	两个串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	两个串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	三个串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	五个串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	三个串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	两个串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	两个串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	四个串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	五个串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART
定时器计数器脉宽调制器 (TCPWM)	1	5	4	5	8	8	4	8	8	8
控制器区域网络 (CAN)	无	无	无	无	1	无	无	2	2	无
USB	无	无	无	无	无	无	无	无	具有 8 个端点的全速 USB 器件	无

特性	器件系列									
	CY8C4000	**CY8C4000S**	**CY8C4100**	**PSoC 4100S**	**PSoC 4100S Plus**	**PSoC 4100PS**	**CY8C4200**	**CY8C4200M**	**CY8C4200L**	**PSoC 4500S**
电机控制加速 (MCA)	无	无	无	无	无	无	无	无	无	2
时钟	24-MHz / 32-MHz 内部主振荡器 (IMO) 32-kHz 内部低速振荡器 (ILO)	24-MHz to 48-MHz IMO 40-kHz ILO 32-kHZ 监视晶振 (WCO)	3-MHz to 24-MHz IMO 32-kHz ILO	24-MHz to 48-MHz IMO 40-kHz ILO 32-kHZ WCO	24-MHz to 48-MHz IMO 4-MHz to 33-MHz 外部晶振(ECO) 40-kHz ILO 32-kHZ WCO	24-MHz to 48-MHz IMO 40-kHz ILO 32-kHZ WCO	3-MHz to 48-MHz IMO 32-kHz ILO	3-MHz to 48-MHz IMO 32-kHz ILO 32-kHZ WCO	3-MHz to 48-MHz IMO 4-MHz to 33-MHz ECO 32-kHz ILO 32-kHZ WCO	3-MHz to 48-MHz IMO 4-MHz to 33-MHz ECO40-kHz ILO32-kHZ WCO
电源监控	上电复位 (POR)、欠压检测 (BOD)	POR, BOD	POR, BOD, 低压检测 (LVD)	POR, BOD	POR, BOD	POR, BOD	POR, BOD, LVD	POR, BOD, LVD	POR, BOD, LVD	POR, BOD, LVD
支持套件	**CY8CKIT-040** Pioneer kit	**CY8CKIT-041** Pioneer kit	**CY8CKIT-049** Prototyping Kit	**CY8CKIT-041** Pioneer kit	**CY8CKIT-149** Prototyping Kit	**CY8CKIT-147 Prototyping Kit**	**CY8CKIT-042** Pioneer kit	**CY8CKIT-044** Pioneer kit	**CY8CKIT-046** Pioneer kit	CY8CKIT-045S Pioneer Kit

*只有 CapSense 功能被禁用时才能使用 IDAC。有关详细信息，请参见 PSoC 4 技术参考手册。

**PSoC 4100 与 PSoC 4200 存在稍许差别，主要表现在 CPU 频率、ADC 采样率、UDB 资源。PSoC 4100M 与 PSoC 4200M 也与此相似。更多详细信息，请参见器件数据手册。

下表中列出了 PSoC 4 BLE 的性能。

特性	器件系列			
	CY8C41x7-BLxxx	**CY8C42x7-BLxxx**	**CY8C41x8-BL**	**CY8C42x8-BL**
BLE 子系统	带有符合蓝牙 4.1 的协议栈的 BLE 射频和链路层硬件模块	带有符合蓝牙 4.1 的协议栈的 BLE 射频和链路层硬件模块	带有符合蓝牙 4.2 的协议栈的 BLE 射频和链路层硬件模块**	带有符合蓝牙 4.2 的协议栈的 BLE 射频和链路层硬件模块**
蓝牙 4.2 特性	LE 安全连接	LE 安全连接	LE 安全连接、链路层保密以及链路层的数据长度扩展**	LE 安全连接、链路层保密以及链路层的数据长度扩展**
CPU	带有单周期乘法的 24 MHz Arm® Cortex®-M0 CPU	带有单周期乘法的 48 MHz Arm Cortex-M0 CPU	带有单周期乘法的 24 MHz Arm Cortex-M0 CPU	带有单周期乘法的 48 MHz Arm Cortex-M0 CPU
闪存存储器	128 KB	128 KB	256 KB	256 KB
SRAM	16 KB	16 KB	32 KB	32 KB
GPIO	最多 36 个	最多 36 个	最多 36 个	最多 36 个
CapSense®	最多 35 个传感器	最多 35 个传感器	最多 35 个传感器	最多 35 个传感器
CapSense 手势	在选定的器件上	在选定的器件上	在选定的器件上	在选定的器件上
ADC	带有定序器的 12 位、806 ksps SAR ADC	带有定序器的 12 位、1 Msps SAR ADC	带有定序器的 12 位、806 ksps SAR ADC	带有定序器的 12 位、1 Msps SAR ADC
运算放大器	2 个可编程的运算放大器在深度睡眠模式下处于活动状态	4 个可编程的运算放大器在深度睡眠模式下处于活动状态	2 个可编程的运算放大器在深度睡眠模式下处于活动状态	4 个可编程的运算放大器在深度睡眠模式下处于活动状态
比较器	两个支持唤醒功能的低功耗比较器	两个支持唤醒功能的低功耗比较器	两个支持唤醒功能的低功耗比较器	两个支持唤醒功能的低功耗比较器
电流 DAC	一个为 7 位，一个为 8 位	一个为 7 位，一个为 8 位	一个为 7 位，一个为 8 位	一个为 7 位，一个为 8 位
电源电压范围	1.9 V 至 5.5 V	1.9 V 至 5.5 V	1.9 V 至 5.5 V	1.9 V 至 5.5 V
低功耗模式	在深度睡眠模式中，电流消耗为 1.3 µA 在休眠模式中，电流消耗为 150 nA 在停止模式中，电流消耗为 60 nA	在深度睡眠模式中，电流消耗为 1.3 µA 在休眠模式中，电流消耗为 150 nA 在停止模式中，电流消耗为 60 nA	在深度睡眠模式中，电流消耗为 1.3 µA 在休眠模式中，电流消耗为 150 nA 在停止模式中，电流消耗为 60 nA	在深度睡眠模式中，电流消耗为 1.3 µA 在休眠模式中，电流消耗为 150 nA 在停止模式中，电流消耗为 60 nA
段式 LCD 驱动	所选器件上的 4 条公用线、32 段式 LCD 驱动	所选器件上的 4 条公用线、32 段式 LCD 驱动	所选器件上的 4 条公用线、32 段式 LCD 驱动	所选器件上的 4 条公用线、32 段式 LCD 驱动

特性	器件系列			
	CY8C41x7-BLxxx	**CY8C42x7-BLxxx**	**CY8C41x8-BL**	**CY8C42x8-BL**
串行通信	两个独立的串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	两个独立的串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	两个独立的串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART	两个独立的串行通信模块 (SCB)，可将其配置为 I^2C、SPI 或 UART
定时计数脉宽调制器 (TCPWM)	4	4	4	4
通用数字模块 (UDB)	无	具有 4 个 UDB，每个 UDB 包括 8 个宏单元和一个数据路径。可以将其用于合成额外的数字外设 (定时器、计数器、脉冲宽度调制器 (PWM)) 或通信接口 (UART、SPI) 。	无	具有 4 个 UDB，每个 UDB 包括 8 个宏单元和一个数据路径。可以将其用于合成额外的数字外设 (定时器、计数器、脉冲宽度调制器 (PWM)) 或通信接口 (UART、SPI) 。
其他的数字外设 (I^2S、PWM)	无	有 (所选器件上的基于 UDB 的数字外设)	无	有 (所选器件上的基于 UDB 的数字外设)
时钟	IMO 频率为 3 ~ 24 MHz ILO 频率为 32 kHz ECO 频率为 24 MHz WCO 频率为 32 kHz	IMO 频率为 3 ~ 48 MHz ILO 频率为 32 kHz ECO 频率为 24 MHz WCO 频率为 32 kHz	IMO 频率为 3 ~ 24 MHz ILO 频率为 32 kHz ECO 频率为 24 MHz WCO 频率为 32 kHz	IMO 频率为 3 ~ 48 MHz ILO 频率为 32 kHz ECO 频率为 24 MHz WCO 频率为 32 kHz
电源监控	上电复位 (POR) 欠压检测 (BOD) 低压检测 (LVD)	POR BOD LVD	POR BOD LVD	POR BOD LVD
封装	56-QFN (7.0 × 7.0 × 0.6 mm)， 68-WLCSP (3.52 × 3.91 × 0.55 mm)	56-QFN (7.0 × 7.0 × 0.6 mm)， 68-WLCSP (3.52 × 3.91 × 0.55 mm)	56-QFN* (7.0 × 7.0 × 0.6 mm)， 76-WLCSP (4.04 × 3.87 × 0.55 mm)	56-QFN* (7.0 × 7.0 × 0.6 mm)， 76-WLCSP (4.04 × 3.87 × 0.55 mm)
DMA	无	无	最多 8 个通道**	最多 8 个通道**

15 附录 C. 原理图检查表

以下检查表中的每一项，应该为适用 (Y) 或不适用 (N.A.) 。例如，如您使用应用中未调节的外部电源为 PSoC 4 器件充电，那么可以将所有 “电源 (经调节的外部电源) ” 项标记为 “N.A.” 。

目录	内容	Y/N/N.A.	备注
电源	V_{DDA} 引脚上的电压是否始终不小于 V_{DDD} 引脚上的电压?		
	是否 VDDIO ≤ VDDD ≤ VDDA?		
电源 (未调节外部电源)	电源引脚连接是否按照 **Figure 4** 执行?		
	是否在 V_{DDD}、V_{DDIO}、 V_{DDA}、或 V_{DDR} 引脚上连接了 0.1 µF 和 1 µF 的电容?		
	在 V_{DDD} 和 V_{DDA} 引脚上的电压 (包括波纹) 是否处于 1.8 V 至 5.5 V 的范围内?		
	V_{CCD} 引脚上是否除了一个 1 µF 的电容外，没有其他外部负载?		
	V_{CCD} 引脚是否断开与外部电源的连接?		
	V_{DDR} 引脚的电源电压是否高于 1.9 V?		
电源 (经调节外部电源)	电源引脚连接是否按照 **Figure 5** 执行?		
	V_{CCD}、V_{DDD} 和 V_{DDA} 引脚上是否连接着 0.1 µF 和 1 µF 的陶瓷去耦电容?		
	V_{DDD} 和 V_{DDA} 引脚上的电压 (包括波纹) 是否处于 1.71 V 至 1.89 V 的范围内?		
	您的 PSoC 器件是否属于非 BLE 系列?		
时钟	外部时钟是否与 EXT_CLK 引脚相连?		
	外部时钟的频率是否小于或等于 48 MHz (包括容差) ?		
	是否外部时钟的占空比在 45%到 55%的范围内?		
复位	复位引脚连接是否按照 **Figure 9** 执行?		
编程和调试	SWD 连接器的引脚映射是否与 **Figure 11** 其中一个引脚映射相同?		
	SWD 信号是否与 **SWD_CLK** 引脚和 **SWD_DATA** 引脚相连?		
GPIO 引脚	GPIO 引脚的分配是否按照 **I/O 引脚选择**中所述的序列完成?		
	GPIO 引脚上的所有灌电流是否都小于 8 mA?		
	GPIO 引脚上的所有拉电流是否都小于 4 mA?		
	GPIO 引脚上的拉电流或灌电流总大小是否都小于器件的负载大小?		
	端口 4、5、6、7 引脚的用法是否与端口 **4、5、6 和 7 GPIO 引脚**的用法相同?		
低功耗比较器	低功耗比较器的固定引脚分配是否与所支持的引脚一致?		
CTBm	CTBm 的固定引脚分配是否与所支持的引脚一致?		
SCB	SCB 的固定引脚分配是否与器件数据手册中的相同?		
SAR ADC	P1[7]旁路电容上的连接是否与所支持的引脚一致?		
	每个 SAR ADC 通道的采集时间是否能够保持错误值小于 1/2 LSB?		
CapSense	具有强大灌电流的引脚是否要远离 CapSense 引脚 (相隔距离为三个引脚以上) ?		
	C_{MOD} 是否与 **CMOD** (或 **C_MOD**) 引脚相连?		
	C_{SH_TANK} 是否与 **CTANK** (或 **C_SH_TANK**) 引脚相连?		
IDAC	CapSense 是否未使用 IDAC?		

文档修订记录

Document version	Date of release	Description of changes
**	2015-10-27	本文档版本号为 Rev**，译自英文版 001-88619 Rev*C。
*A	2016-03-25	本文档版本号为 Rev*A，译自英文版 001-88619 Rev*E。
*B	2017-04-27	Updated logo and copyright.
*C	2019-02-13	本文档版本号为 Rev. *C，译自英文版 001-88619 Rev. *F。 Updated for PSoC 4100PS device
*D	2020-02-26	本文档版本号为 Rev. *D，译自英文版 001-88619 Rev. *G。
*E	2021-05-25	本文档版本号为 Rev. *E，译自英文版 001-88619 Rev. *H。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2021-05-25
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2021 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?
Go to www.cypress.com/support

Document reference
002-03851 Rev. *E

重要提示

本文档所提供的任何信息**绝不应当**被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文档中所提及的任何事例、提示或者任何特定数值及/或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。

此外，本文档所提供的任何信息均取决于客户履行本文档所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。
本文档所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文档中所提供的信息是否充分自行予以评估。

如需产品、技术、交付条款和条件以及价格等进一步信息，请向离您最近的英飞凌科技办公室接洽(**www.infineon.com**)。

警告事项

由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。