サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

AN59389

CY8C20xx6A, CY8C20xx6AS, CY8C20xx6L, および CY8C20xx7/S 用のホストソースシリアルプログラミング

著者: Chris Hammer
関連プロジェクト: あり
関連製品ファミリ: CY8C20xx6A, CY8C20xx6AS, CY8C20xx6L, および CY8C20xx7
ソフトウェア バージョン: PSoC Designer™ 5.4 CP1
関連資料: ISSP プログラミング仕様

ホスト ソース シリアル プログラミング (HSSP) は、CY8C20xx6A, CY8C20xx6AS, CY8C20xx6L, および CY8C20xx7 デバイスの、基板搭載のホスト プロセッサからの (ISSP プロトコルを使用した) インサーキット シリアル プログラミングをする手法です。AN59389 は、CY8C20xx6A, CY8C20xx6AS, CY8C20xx6L, および CY8C20xx7 デバイスをプログラムするために、本アプリケーション ノートで提供されている HSSP サンプル コードの使用方法とそれを希望するホスト プロセッサに移植する方法について説明します。

1. はじめに

サイプレスの PSoC マイクロコントローラーは、使いやすく柔軟で、コスト効率の高いプログラム可能なアナログとデジタル リソースを組み合わせた製品です。これらの機能は、基板搭載のホスト プロセッサによって PSoC を連続的にプログラムするなど、創造的な設計の機会を数多く提供します。この手法は、ファームウェアのインフィールド インストールや更新はもちろん、さらに異なる機能を設定するために PSoC を再プログラムすることにも使用されます。

サイプレスは、システム設計者が独自のシリアル プログラミング ソフトウェアを作成する際の手引きとなるよう、HSSP サンプル コードを作成しました。設計者は特定のホスト プログラマと互換性を持たせる場合、コードに最小の修正を加えるだけですみます。サンプル コードは、CY8C20xx6A, CY8C20xx6AS, CY8C20xx6L, および CY8C20xx7 デバイスについてのみ説明し、高度な概念を提供しています。シリアル プログラミングの詳細については、ISSP プログラミング仕様を参照してください。

本アプリケーション ノートは、高レベルな実装について説明しています。プロトコルの詳細とベクトルの意味については、知的財産権の点から意図的に省略されています。

2. 概要

HSSP サンプル コードは、main 関数, 各種プログラミング ステップ用のサブ関数, 低レベル I/O 関数, 定義ファイルという 4 つの部分から成ります。システム設計者は、プログラミング データを 128 バイト バッファに入力することと、低レベルのドライバーをホストの I/O に提供することを目的として特定の特性を設定するために `#define` を使ってコードを直接呼び出します。

PSoC デバイスは、リセット モードとパワー サイクル モードの 2 つの異なるモードでプログムされます。リセット モードは推奨されるプログラミング モードであり、システムが外部から電源供給される場合にのみ使用されます。この場合、プロセスの最後にプログラミング モードから通常の動作に戻すために、ターゲット PSoC の XRES ピンがトグルされます。パワー サイクル モードでは、ホスト マイクロコントローラーが PSoC の電源をオン／オフに切り替えます。

各プログラミング モードにおいて、ホストは 3 本の I/O ピンを必要とします。リセット モードではシリアル データ (SDATA), シリアル クロック (SCLK), 外部リセット (XRES) ピンであり、パワー サイクル モードでは SDATA, SCLK, PSoC パワー (PWR) ピンです。ソフトウェアを使用してこれらのピンを制御します。

ホスト プロセッサの SDATA ピンは双方向性でなければなりません。ホストは、このピンが PSoC へ信号を駆動したり、HI-Z 状態に解除されたり、読み出されたりするようにその特性を変更できます。

3. 特性の選択

設計者は Label と Description の 2 つの特性を設定する必要があります。設定するには、ISSP_DIRECTIVES.H ファイル内の特定の #define にコメントを付けるか、またはコメントを外します。これらの #define は、「User Attention Required」とはっきりマークされているため、簡単に見つけられます。また、個々のラベルに対してページ検索もできます。以下は各特性とそのラベルの説明です。

特性: プログラミング モード
ラベル: PROGRAMMING_MODE
説明: パワー サイクル モードを使用する場合、この #define をコメントアウトします。#define のコメントを外すと、対象のデバイスがリセット モードでプログラムされるようになります。
特性: 対象の PSoC デバイス
ラベル: TARGET_PSOC
説明: この部分では、CY8C20xx6 または CY8C20xx7 から 1 個の PSoC を対象のデバイスに選択します。常に、1 個のデバイスだけが有効にされ、その他のデバイスはすべてコメントアウトされます。

3.1 低レベル ドライバーの変更

設計者は、対象の PSoC のプログラミングに使用されるピンを操作するためにホスト専用のコードを与えます。これらの API は ISSP_DRIVER_ROUTINES.C にあり、「Processor Specific」および「User Attention Required」とマークされています。

- **ポート ビット マスク:** 使用されているホスト プロセッサに応じて調整する必要があるポート ビット マスクが 4 つあります。設定するビットが 4 つありますが、プログラミング手法の選択によってプログラミングには 3 つのビットしか使用しません。リセット モードでは SDATA, SCLK, および XRES ピンを、パワー サイクル モードでは SDATA, SCLK, および PWR ピンを使用します。
- **Delay(n) 関数:** この関数は while ループの各繰り返しが少なくとも 1 µs となるように調整します。一般的には、ループ時間に上限はありません。ただし、ループ時間に要する時間が長いほど、対象のデバイスをプログラムする時間も長くなります。例えば、ホスト マイクロコントローラーも PSoC である場合は、各繰り返しには約 1 µs かかり、オーバーヘッドは 3 µs となります。そのため、関数は n+3µs (n は関数に渡されるパラメーター) の遅延を生じます。ホスト プロセッサの遅延時間を調整するには、ISSP_DELAYS.H の #define を変更します。
- **ポート ビット操作関数:** これらの関数は PSoC のプログラミングに必要な信号を生成するようにホスト ピンを操作します。目的は、ピンを HIGH か LOW に駆動したり、HI-Z 状態に解除することです。以下は関数の一覧です。ほとんどの関数は見ただけで内容が分かりますが、すべてはコード内に記述されています。付録にも説明が記載されています。

```
fSDATACheck()
SCLKHigh()
SCLKLow()
SetSCLKStrong()
SetSDATAHigh()
SetSDATALow()
SetSDATAHiZ()
SetSDATAStrong()
SetXRESStrong()
AssertXRES()
DeassertXRES()
SetSCLKHiZ()
SetTargetVDDStrong()
ApplyTargetVDD()
RemoveTargetVDD()
```

3.2 RAM バッファへのデータのロード

HSSP コードは、128 バイト バッファからデータを取り出して PSoC フラッシュ ブロックを順次プログラムします。このプロセスは最下位のブロック アドレスから開始します。最初のブロックがプログラムされた後、その他のフラッシュ ブロックをプログラムする際にも同じバッファが使用されます。

設計者はデータソース (USB, RS-232, SD カード等) に応じて、このバッファを埋めるコードを提供しなければなりません。使用されている特定のホスト プロセッサ用に書き込まれる関数が 2 つあります: LoadProgramData() と fLoadSecurityData()。これらの関数は ISSP_DRIVER_ROUTINES.C にあり、「Processor Specific」および「User Attention Required」とマークされています。初期状態で、これらの関数はデバッグ目的で疑似テストデータをバッファにロードする 2 つの二次関数を呼び出します。最終版では、これらの呼出しを削除するか、コメントアウトします。

3.3 フラッシュ ブロックのシーケンスまたは数量の変更

場合によっては、フラッシュ メモリ内の特定の領域をプログラムする必要があります。例は、特性評価や較正、ファームウェア フィールドの更新用に確保される領域です。これらの機能は、通常、EEPROM ユーザー モジュールを使用して実装されます。ただし、コード空間が制限されるような場合では、それらを PSoC に直接プログラムすることでコード空間を節約できます。

対象のブロックの開始アドレスと、ブロックをプログラムする順番を変更できます。各プログラミング シーケンスにはブロック アドレスが含まれているため、それによって問題が生じることはありません。しかし、以下の点に注意してください。

- プログラミング ループを変更した場合、検証失敗を回避するために検証ループにも同じ変更を適用しなければなりません。
- その間、コードはチェックサムを計算します。それは、その時点までのチェックサムをフラッシュ メモリ全体のチェックサムに照らし合わせて確認します。フラッシュ メモリの一部だけをプログラムする場合は、それに応じて変数 iChecksumData を設定してください。

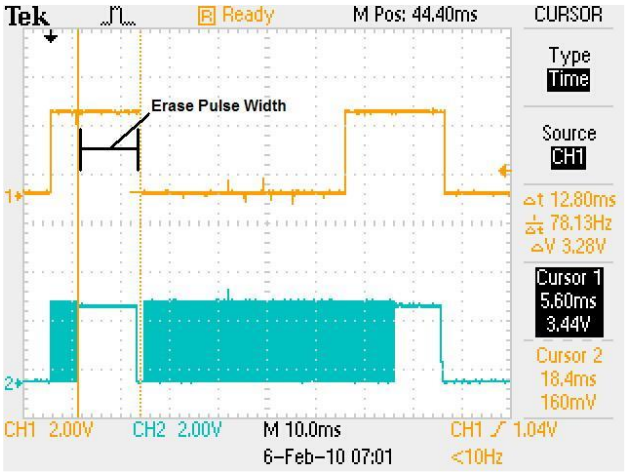
4. 内蔵テスト ポイントによる検証

ホスト ソース プログラミングの成功に最も重要な条件の一つは、正しい消去と書込みパルス幅を確保することです。プロセスをサポートするために、プログラムにはいくつかの戦略的に配置されたテスト ポイント (TP) の呼出しが行われています。デバッグ モードを有効にするには、`main.c` 内の `USE_TP #ifdef` のコメントを外します。前述したピン操作関数に類似している、デバッグ モードに関連するいくつかの関数があります。システム設計者はピンを HIGH か LOW に駆動する、またはピンをトグルするためにホスト専用のコードを与えてください。

適切なデバッグには、TP と SDATA ラインを監視し、消去とプログラミング両方のパルスを測定してください。最も良い測定方法は、2 チャネルのオシロスコープを使い、それをシングル シーケンス モードで TP チャネルの立上りエッジからトリガーさせることです。

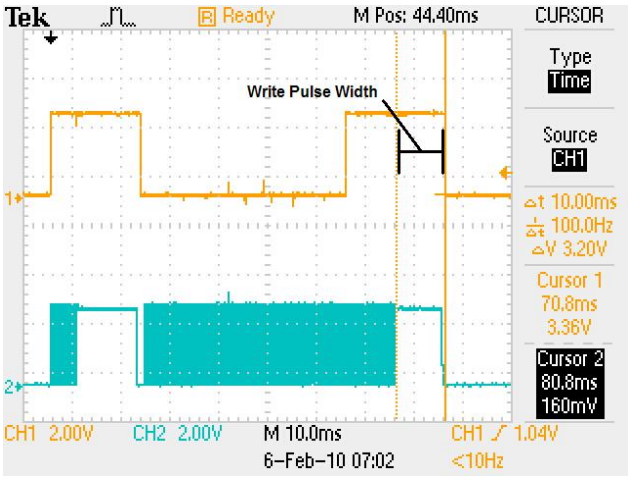
消去パルス幅は、図 1 に示すようにデータ バーストの終わりから TP の立下りエッジまで測定します。TP の立上りエッジはデータ バーストの終わりと整列しないことに注意してください。しかし、TP ピンが HIGH に駆動されてからホストがデータを送信し始めるまでのオーバーヘッドによって生じた遅延のため、TP の立上りエッジは整列すると期待されています。

図 1. 消去パルス幅の測定



プログラミング パルス幅も同様にデータ バーストの終わりから TP の立下りエッジまで測定されます。図 2 はプログラミング パルス幅の測定波形を示しています。消去パルス幅と同様に、TP 信号の立上りエッジはデータ バーストの終わりと合致しません。

図 2. 書込みパルス幅の測定



理想的な消去と書込みパルス幅については、CY8C20xx6A および CY8C20xx7 のデバイス データシートを参照してください。測定値は理想値の-3%～+15%の範囲内でなければなりません。この要件を満たさないと、プログラミングを適切に行うことはできず、規定のフラッシュ データ保持期間よりも保持期間が短くなったり[1]、期待よりも消去と書込みサイクルが少なくなる[2]などの望ましくない悪影響となります。

[1] デバイス データシートの DC プログラミング仕様の節では、$Flash_{DR}$ の記号で示されています。
[2] デバイス データシートの DC プログラミング仕様の節では、$Flash_{ENPB}$ と $Flash_{ENT}$ の記号で示されています。

5. 制約

main.c の冒頭部分のコメントは、システム設計者が考慮すべき有用で重要な情報を含んでいます。HSSP コードは、これらのコメントで説明されるいくつかの制約事項を含んでおり、以下に概要を示します。

- シリアル プログラミングは、5°C～50°C の温度範囲内でのみ行います。
- HSSP プログラムは 1.8 V 未満の電圧には対応していません。
- プログラミング手順は 1 つの電圧範囲のみで実施されます。デバイスが 5.0 V で初期化された場合は、全体の手順は 5.0 V で実行されなければなりません。
- SCLK の周波数には上限があります。周波数は、CY8C20xx6A および CY8C20xx7 のデバイス データシートの AC プログラミング仕様の節に FSCLK 記号で示されています。

6. まとめ

HSSP プログラムにはデバッグの際に便利なエラー レポート機能が組み込まれています。潜在的な問題を知るには、`bErrorNumber` 変数を読んでください。`ISSP_ERRORS.H` ファイルにはすべての発見されたエラーの一覧が記載されています。

HSSP プログラミングを正常に完了するための最後のステップは、PSoC デバイスをリセットしてプログラミング モードを解除することです。リセットを行うには、`ReStartTarget()` 関数を呼び出します。

本アプリケーション ノートは、設計者に独自に柔軟なシリアル プログラミング ソフトウェアを作成するための HSSP コードを提供しています。本書はまた、プログラミングを正常に行うための正しい消去および書込みパルス幅の設定方法についても説明しています。

付録: ポート ビット操作関数

関数名	説明
`SetSCLKStrong()`	SCLK ピンを出力に設定 (ストロング ドライブ モード)
`SetSCLKHiZ()`	SCLK ピンを HI-Z 状態に解除
`SetSDATAHigh()`	SDATA ピンを HIGH に設定
`SetSDATALow()`	SDATA ピンを LOW に設定
`SetSDATAStrong()`	SDATA ピンを出力に設定 (ストロング ドライブ モード)
`SetSDATAHiZ()`	SDATA ピンを HI-Z 状態に解除 (対象デバイスによって駆動されるため)
`AssertXRES()`	XRES ピンを HIGH に設定
`DeassertXRES()`	XRES ピンを LOW に設定
`SetXRESStrong()`	XRES ピンを出力に設定 (ストロング ドライブ モード)
`ApplyTargetVDD()`	対象 PSoC に電源を供給
`RemoveTargetVDD()`	対象 PSoC の電源を切断
`SetTargetVDDStrong()`	PWR ピンを出力に設定 (ストロング ドライブ モード)

改訂履歴

文書名 : CY8C20xx6A, CY8C20xx6AS, CY8C20xx6L, および CY8C20xx7/S 用のホストソースシリアルプログラミング – AN59389

文書番号: 001-80392

版	ECN	変更者	発行日	変更内容
**	3638702	HZEN	06/06/2012	これは英語版 001-59389 Rev. *B を翻訳した日本語版 001-80392 Rev. **です。
*A	4669817	HZEN	04/02/2015	これは英語版 001-59389 Rev. *E を翻訳した日本語版 001-80392 Rev. *A です。
*B	4788516	HZEN	06/15/2015	これは英語版 001-59389 Rev. *G を翻訳した日本語版 001-80392 Rev. *B です。
*C	6287894	YSAT	09/10/2018	これは英語版 001-59389 Rev. *I を翻訳した日本語版 001-80392 Rev. *C です。

セールス, ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2010-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、（1）本ソフトウェアの著作権に基づき、（a）ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに（b）Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに（2）本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて, 本書面に記載された製品には, エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり, 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は, 別途通知することなく, 本書面を変更する権利を留保する。Cypress は, 本書面に記載のある, いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は, 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計, プログラム, かつテストすることは, 本書面のユーザーの責任において行われるものとする。Cypress 製品は, 兵器, 兵器システム, 原子力施設, 生命維持装置若しくは生命維持システム, 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム, 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用, 又は装置若しくはシステムの不具合が人身傷害, 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計, 意図又は承認されていない。重要な構成部分とは, それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ, 若しくは本目的外使用に関連するいかなる請求, 損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず, かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求, 費用, 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。