AIROC™ CYW20829 Bluetooth® & Bluetooth® LE システムオンチップハードウェア設計ガイドライン

本書について

適用範囲と目的

本書は、CYW20829 を使用した設計方法に関するハードウェアのガイドラインです。

対象者

本書は、CYW20829 を使用して PCB レイアウトデザインを作成するハードウェアエンジニアを対象とします。

目次

本書について . . . 1
目次 . . . 2
1 はじめに . . . 3
2 基本的なレイアウトのガイドライン . . . 4
3 コンポーネントの配置 . . . 5
3.1 CYW20829 の PAVDD 電源 . . . 5
3.2 バイパスコンデンサの配置 . . . 5
3.3 アンテナの配置 . . . 6
3.4 バンドパスフィルタ . . . 7
3.5 パワーインダクタの配置 . . . 8
3.6 水晶発振器の仕様と要件 . . . 9
3.7 水晶発振器の配置 . . . 11
4 PCB レイヤと配線 . . . 13
4.1 グランドビア . . . 13
4.2 レイヤ 1: コンポーネント, 信号ファンアウト, および RF トレース . . . 13
4.3 レイヤ 2: ベタグランドプレーン . . . 14
4.4 レイヤ 3: 電源トレース . . . 14
4.5 レイヤ 4: 電源トレースおよび影響を及ぼさない信号 . . . 16
4.6 隣接するレイヤでの避けられない電源トレースの交差 . . . 16
参考資料 . . . 17
改訂履歴 . . . 18
商標 . . . 19
免責事項 . . . 20

1 はじめに

本書では、CYW20829 のレイアウトに関する基本的なガイドラインを提供します。本書は、次のセクションに分かれています。

- ボードのスタックアップとインピーダンス制御の要件を含む、基本的なレイアウトガイドライン
- 重要なコンポーネントの配置と推奨部品
- 配線ガイドラインと、様々な電源トレースの推奨トレース幅

2 基本的なレイアウトのガイドライン

ほとんどの Bluetooth®デバイスは、厚さを最小限に抑えるために 4 層基板を使用しています。コンポーネントは最上層に配置されます。最上層には、CYW20829 チップからの信号ファンアウトもあります。2 番目のレイヤはベタグランドレイヤで、電源トレースは 3 番目のレイヤに配線されます。最後に、デジタル信号と、3 番目のレイヤで配線できなかった追加の電源トレースを、最下層に配線できます。

RF トレースは 50Ω の伝送ラインを使用して、ミスマッチ損失と反射を最小限に抑え、負荷に伝達される電力を最大化します。

伝送ラインには、マイクロストリップとストリップラインの 2 種類があります。リファレンスデザインはマイクロストリップ設計を使用しています。

伝送ラインには適切な形状が必要です。いくつかのパラメータは、トレース幅や、グランドプレーンまでの垂直距離、基準となるソリッドグランドプレーンなど、誘電体材料に大きく依存します。高さと幅が異なれば、性能も異なります。

マイクロストリップレイヤとその基準グランドレイヤの選択では、次の 2 つの点を考慮する必要があります。

- トレース幅が細いほど挿入損失が大きくなります。PCB 製造には、信頼性と再現性のために適切なトレース幅が必要です。マイクロストリップとグランド間の高さは、図 1 に示すスタックごとに維持して、50 Ω のインピーダンス制御を維持する必要があります。
- マイクロストリップラインの場合は、鋭角なコーナーを避け、滑らかな半径を使用して方向を変更します。同一レイヤのグランドは、2～3 本の線幅 (2 W～3 W) のクリアランスでこれらのトレースの輪郭に沿うようにします。ビアを使用して外側のレイヤを基準グランドプレーンに接続し、マイクロストリップトレースを囲むようにします。

このリファレンスデザインで使用されているマイクロストリップは、トレース幅が 12.5 mil でレイヤ 1 上にあります。基準グランドはレイヤ 2 です。

このリファレンスデザインは、図 1 に示すスタックアップ 4 層 PCB を使用します。

- レイヤ 1: コンポーネントとメイン信号レイヤ
- レイヤ 2: ベタグランドレイヤ
- レイヤ 3: ベタ信号レイヤ
- レイヤ 4: デジタル信号レイヤ。レイヤ 3 で配線できなかった追加の電源信号もここで配線できます。ただし、レイヤ 3 の電源信号と重ならないようにして下さい。

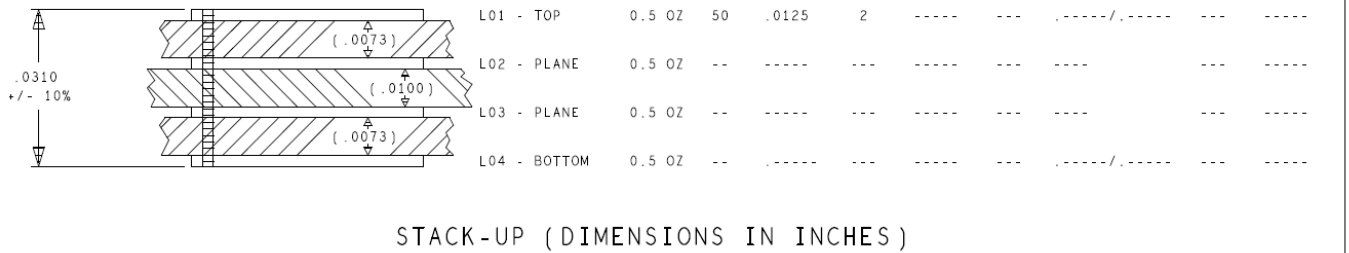

図 1 CYW20829 で使用される一般的なボードスタックアップ

3 コンポーネントの配置

原則として、受信信号の流れは、アンテナからアンテナマッチング回路およびフィルタ回路を経て、次に低ノイズアンプ (LNA) チップの入力に達します。無線フロントエンド (RF), 電源管理ユニット (PMU), およびベースバンド (BB) のデカップリングコンデンサを CYW20829 ピンパッドの横に配置します。

3.1 CYW20829 の PAVDD 電源

- CYW20829 クラス 1.5 の場合、BT_PAVDD は、VCCPA_0 (PALDO_OUT (2.5V)) に接続する必要があります
- CYW20829 クラス 2.0 の場合、BT_PAVDD は、VCCRF (RFLDO_OUT (1.2V)) に接続する必要があります

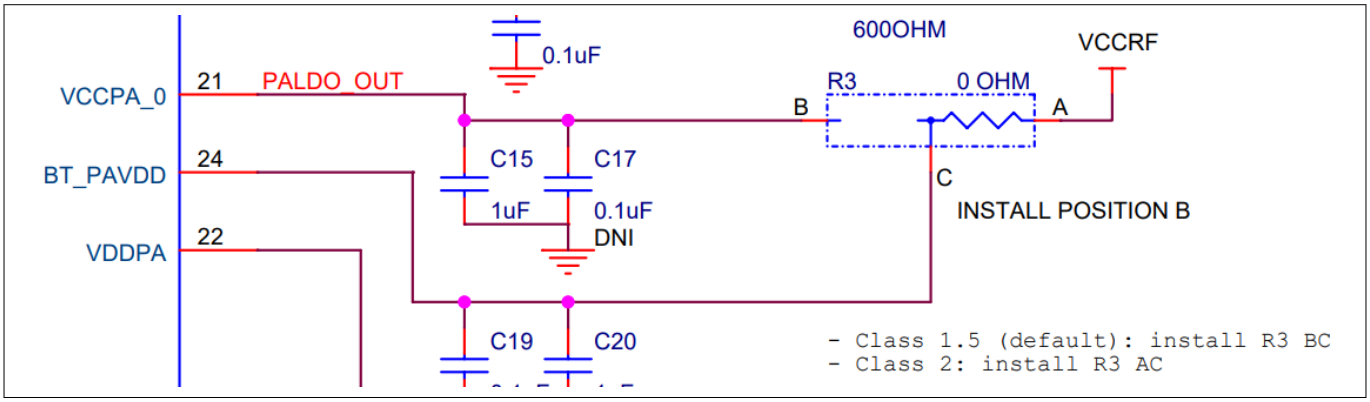

図 2 CYW20829 の PAVDD 電源設定

3.2 バイパスコンデンサの配置

以下の回路図に、PMU と RF フロントエンドセクションを示します。PCB 上の部品配置を決定するときは、次の要件を満たす必要があります。

- VDDQ (ピン 15) と VCC_BUCK (ピン 17) で構成される VBAT 入力には、0.1 µF (C4) のコンデンサをピン 15 のできるだけ近くに配置し、10 µF (C5) のコンデンサをピン 17 のできるだけ近くに配置する必要があります。VDDQ (ピン 15) の 2 番目のバイパスコンデンサはオプションであり、基板スペースが限られている場合は省略できます。
- 4.7 µH (L1) パワーインダクタと 4.7 µF (C11) コンデンサは、できるだけ LX_BUCK (ピン 16) の近くに配置する必要があります。
- VCCI (ピン 19) のバイパスコンデンサはオプションであり、基板スペースが限られている場合は省略できます。
- VCCD (ピン 18) では、2.2 µF コンデンサと 0.1 µF コンデンサを、ピンのできるだけ近くに配置する必要があります。0.1 µF コンデンサをピンの近くに配置します。
- VCCRF (ピン 20) では、1 µF コンデンサをピンのできるだけ近くに配置する必要があります。2 番目のバイパスコンデンサはオプションであり、基板スペースが限られている場合は省略できます。
- BT_VCOVDD (ピン 28) では、10 pF コンデンサをピンのできるだけ近くに配置する必要があります。2 番目のバイパスコンデンサはオプションであり、基板スペースが限られている場合は省略できます
- BT_LNAVDD (ピン 26) では、0.1 µF コンデンサをピンのできるだけ近くに配置する必要があります。
- BT_IFVDD (ピン 27) では、0.1 µF コンデンサをピンのできるだけ近くに配置する必要があります。
- BT_PLLVDD (ピン 29) では、0.1 µF コンデンサをピンのできるだけ近くに配置する必要があります。
- VCCPA_0 (ピン 21) では、1 µF コンデンサをピンのできるだけ近くに配置する必要があります。2 番目のバイパスコンデンサはオプションであり、基板スペースが限られている場合は省略できます。

- BT_PAVDD (ピン 24) では、0.1 µF コンデンサをピンのできるだけ近くに配置する必要があります。2 番目のバイパスコンデンサはオプションであり、基板スペースが限られている場合は省略できます。
- VDDPA (ピン 22) では、1 µF コンデンサをピンのできるだけ近くに配置する必要があります。

ベースバンド領域では、次のコンポーネント配置も満たす必要があります。

- VDDIO_A (ピン 7), VDDIO_0 (ピン 42), および VDDIO_1 (ピン 52) は、各ピンに 0.1 µF コンデンサが必要であり、できるだけピンの近くに配置する必要があります。
- VDDA (ピン 56) では、0.1 µF コンデンサと 1 µF コンデンサが必要であり、ピンのできるだけ近くに配置する必要があります。

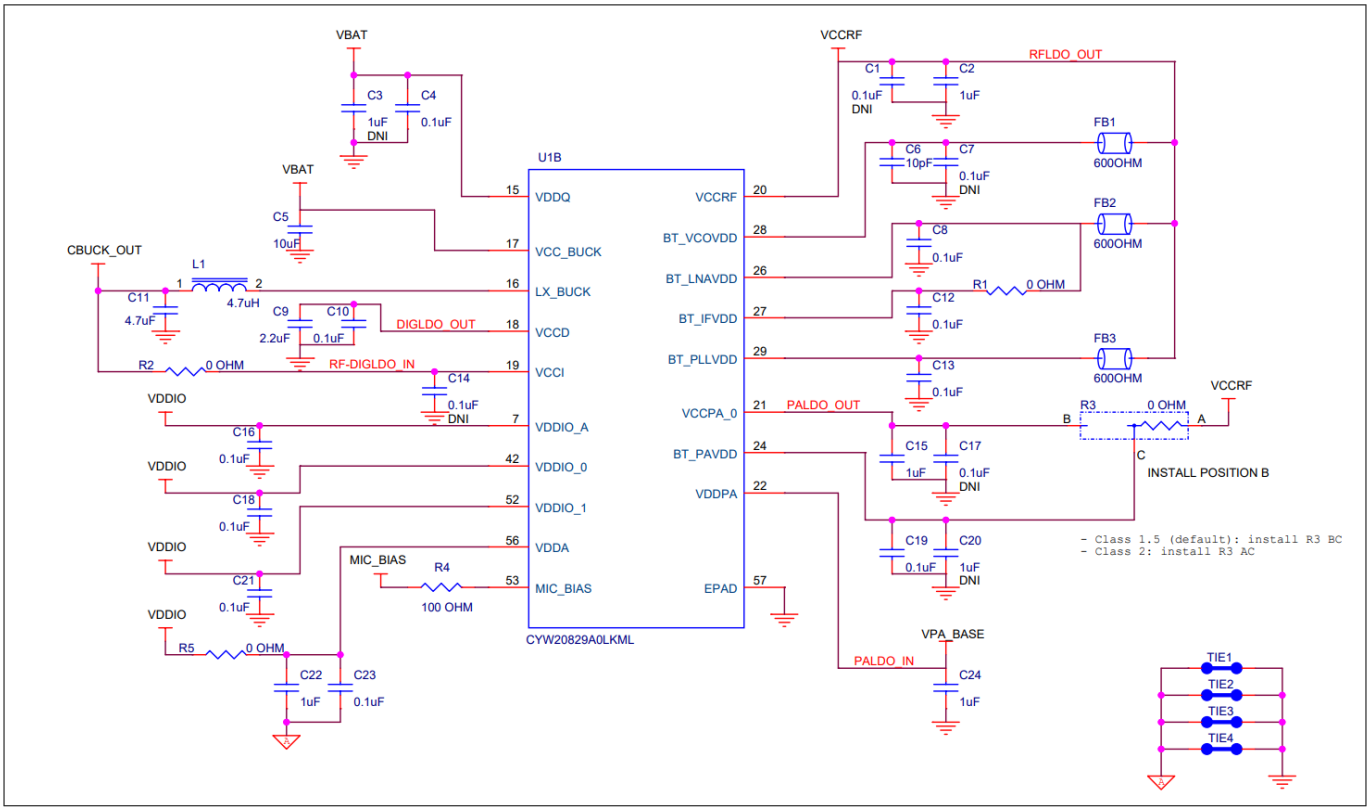

図 3　　PMU および RF フロントエンド領域のバイパスコンデンサ

3.3　アンテナの配置

デバイスへのアンテナ接続はできるだけ短くして下さい。アンテナの近くに安定したグランドを確保し、アンテナの下の層には十分なグランドクリアランスを確保して下さい。

リファレンスデザインでは、アンテナはボードの左側の最上層、CYW20829 チップの隣にあります。

PCB アンテナの一般的なガイドラインの詳細については、AN91445 - アンテナ設計および RF レイアウトのガイドラインを参照して下さい。関連するガーバーファイルについては、こちらをクリックして下さい。

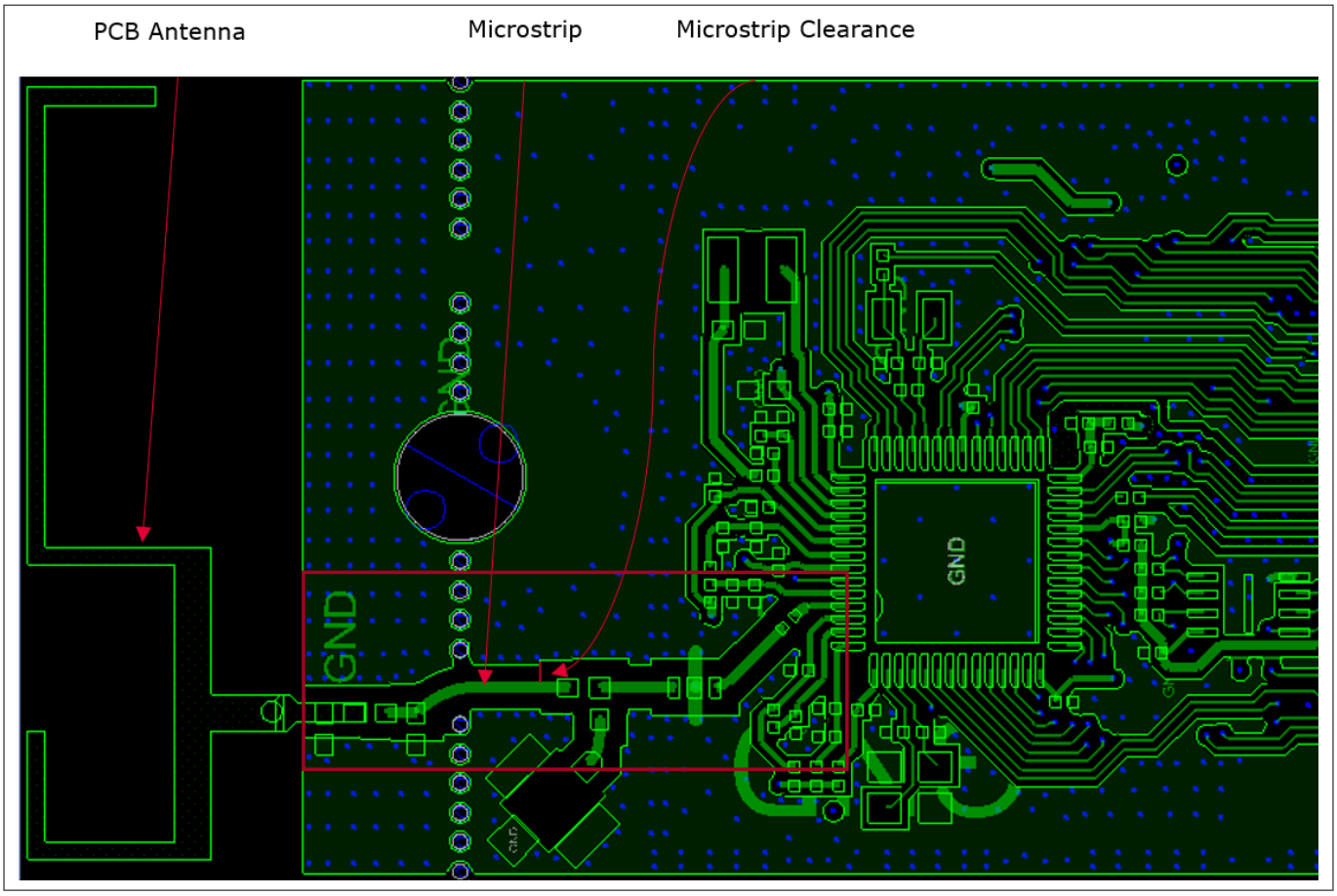

図 4　　アンテナの配置とマイクロストリップのクリアランス

3.4　バンドパスフィルタ

アンテナマッチングコンポーネントと CYW20829 デバイスの間にチップバンドパスフィルタを配置して、CYW20829 からの高調波を減衰させます。CYW20829 リファレンスデザインで使用されているチップバンドパスフィルタ部品は、村田製作所の LFB182G45CL3D178 です。すべてのバンドパスフィルタの接続に、マイクロストリップが使用されます。最適なパフォーマンスを得るために、バンドパスフィルタのグランドパッドにビアを配置します。

挿入損失と帯域外減衰性能は、PCB コンポーネントのレイアウトと許容誤差に依存します。フィルタレイアウトは、一般的な RF レイアウトルールに従う必要があります。

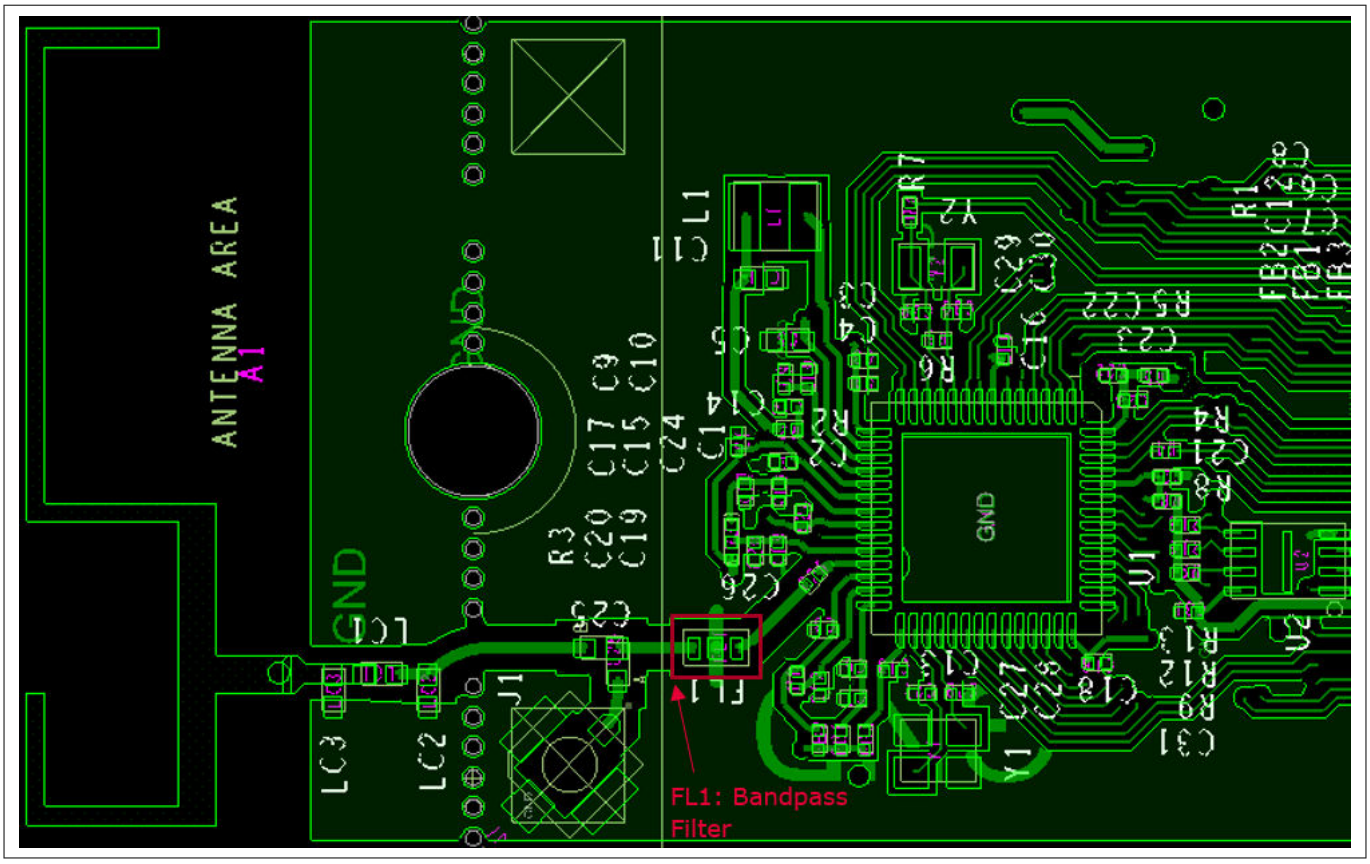

図 5　　バンドパスフィルタの配置

3.5　パワーインダクタの配置

パワーインダクタは十分なアイソレーションの必要があります。これは周囲をできるだけ多くのグランドで囲むことによって実現できます。また、パワーインダクタは、できるだけ CBUCK_OUT ピン (LX_BUCK、ピン 16) の近くに配置する必要があります。インダクタは、出力コンデンサ (このデザインでは C11) と隣接して配置する必要があります。このインダクタ下の PCB 最上層の銅は切り取る必要があります。CYW20829 リファレンスデザインで使用されているパワーインダクタ部品は、村田製作所の DFE201610E-4R7M=P2 です。

パラメーター	条件	最小	Typ	最大	単位
外部インダクタ、L1	4.7 µH ±20、1.6A、DCR = 288 mΩ (周波数 < 1 MHz の場合)	–	4.7	–	µH

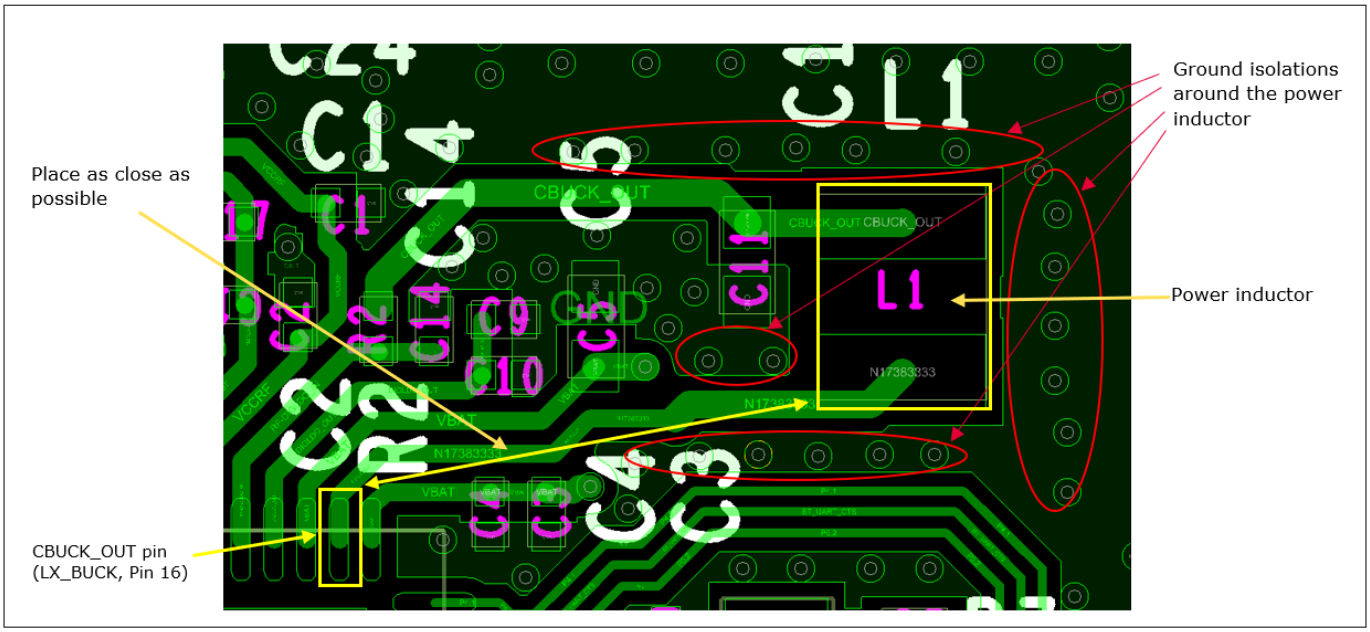

図 6　　パワーインダクタのアイソレーションと配置

3.6　　水晶発振器の仕様と要件

水晶発振器の部品については、24 MHz のメイン水晶発振器には TXC 7R24070007、32.768 kHz の水晶発振器には TAI-SAW TZ3406A を推奨します。

***注**:　　32.768 kHz の水晶発振器はオプションであり、省略できます。*

24 MHz の水晶発振器は、Bluetooth®仕様で定義されているように、±20 ppm の精度を持つ必要があります。水晶発振器を動作させるには、2 つの外付け負荷コンデンサが必要です。負荷コンデンサの選択は水晶発振器に依存します (図 7 を参照)。

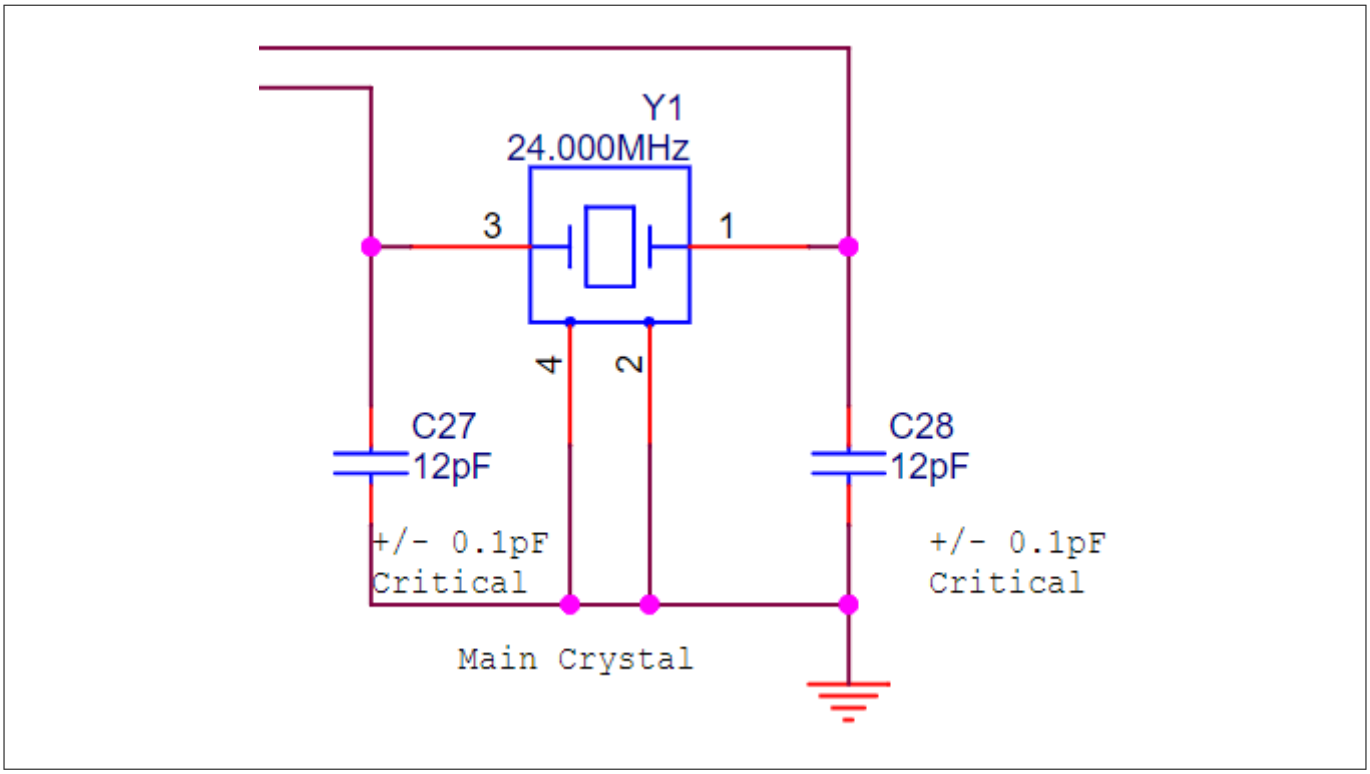

図 7　　24 MHz 水晶発振器の推奨発振器設定

24 MHz 水晶発振器の仕様と要件については、図 8 を参照して下さい。

Parameter	Conditions	Minimum	Typical	Maximum	Unit
Nominal frequency	–	–	24.000	–	MHz
Oscillation mode	–	**Fundamental**			–
Frequency accuracy	Includes operating temperature range and aging	–	–	±20	ppm
Equivalent series resistance	–	–	–	60	W
Load capacitance	–	–	8	–	pF
Drive level	–	–	–	200	µW
Shunt capacitance	–	–	–	2	pF

図 8　　24 MHz 水晶発振器の基準水晶電気的仕様

32 kHz または 32.768 kHz の水晶発振器は、Bluetooth®仕様に従って、温度および経年劣化に対して、±250 ppm 以上の精度を備えている必要があります。デフォルトのコンポーネント値は、C1 = C2 = ~6 pF です。C1 と C2 の値は、発振器を微調整するために使用されます。図 9 に外付け部品を備えた 32 kHz 水晶発振器を示し、図 10 に発振器の特性を示します。

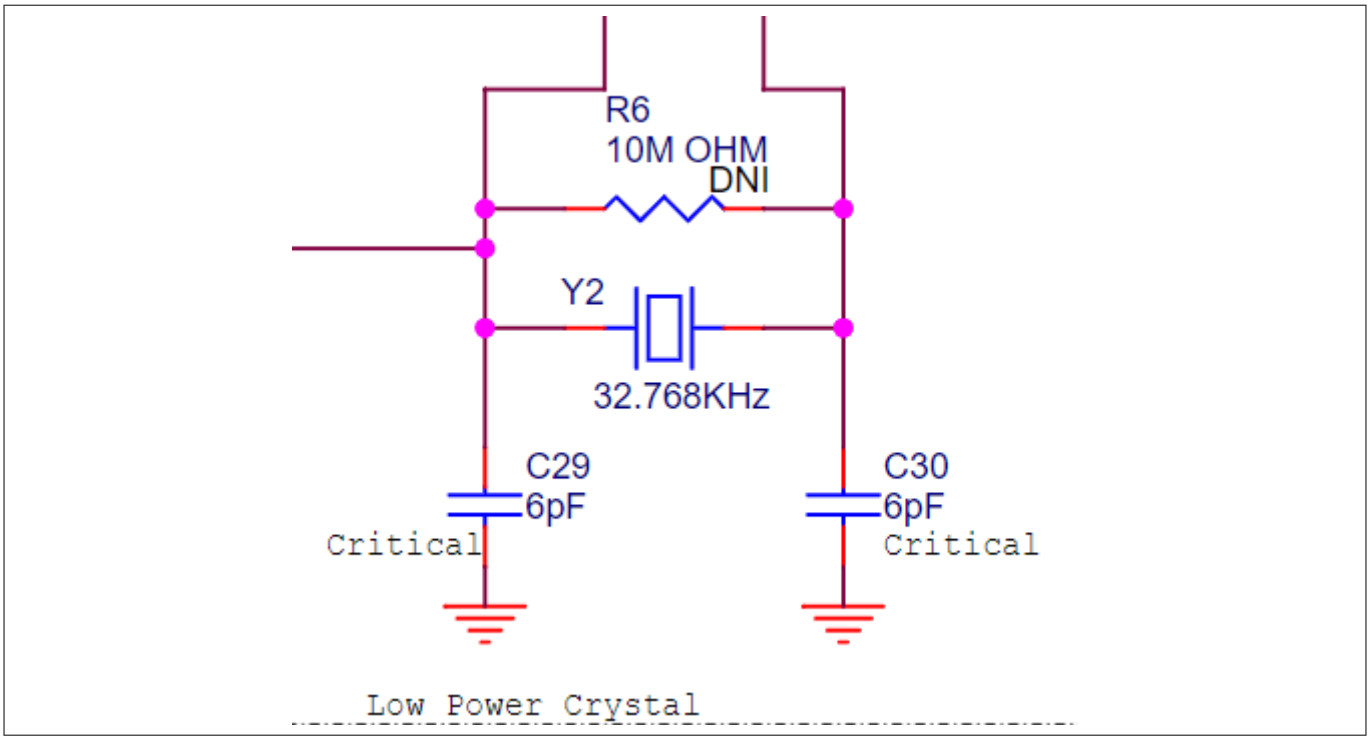

図 9　　32 kHz 水晶発振器の推奨発振器設定

Parameter	Symbol	Conditions	Minimum	Typical	Maximum	Unit
Output frequency	F_{oscout}	–	–	32.768	–	kHz
Frequency tolerance	–	Over temperature and aging	–	–	250	ppm
XTAL drive level	P_{drv}	For crystal selection	–	–	0.5	µW
XTAL series resistance	R_{series}	For crystal selection	–	–	70	kΩ
XTAL shunt capacitance	C_{shunt}	For crystal selection	–	–	2.2	pF

図 10　　32 kHz 水晶発振器の特性

3.7　水晶発振器の配置

水晶発振器および関連するトレースをノイズ源から保護し、ベタグランドを使用して水晶発振器を RF へのトレースから分離します。水晶発振器のグランド面には、ベタグランド面への直接ビアが必要です。

図 11 に示す負荷コンデンサの配置が推奨されます。この配置は、CYW20829 チップ, 水晶発振器, および水晶発振器への負荷コンデンサを一緒に接続することで、最小限の PCB トレースとなり、寄生容量を最小限に抑えることができます。

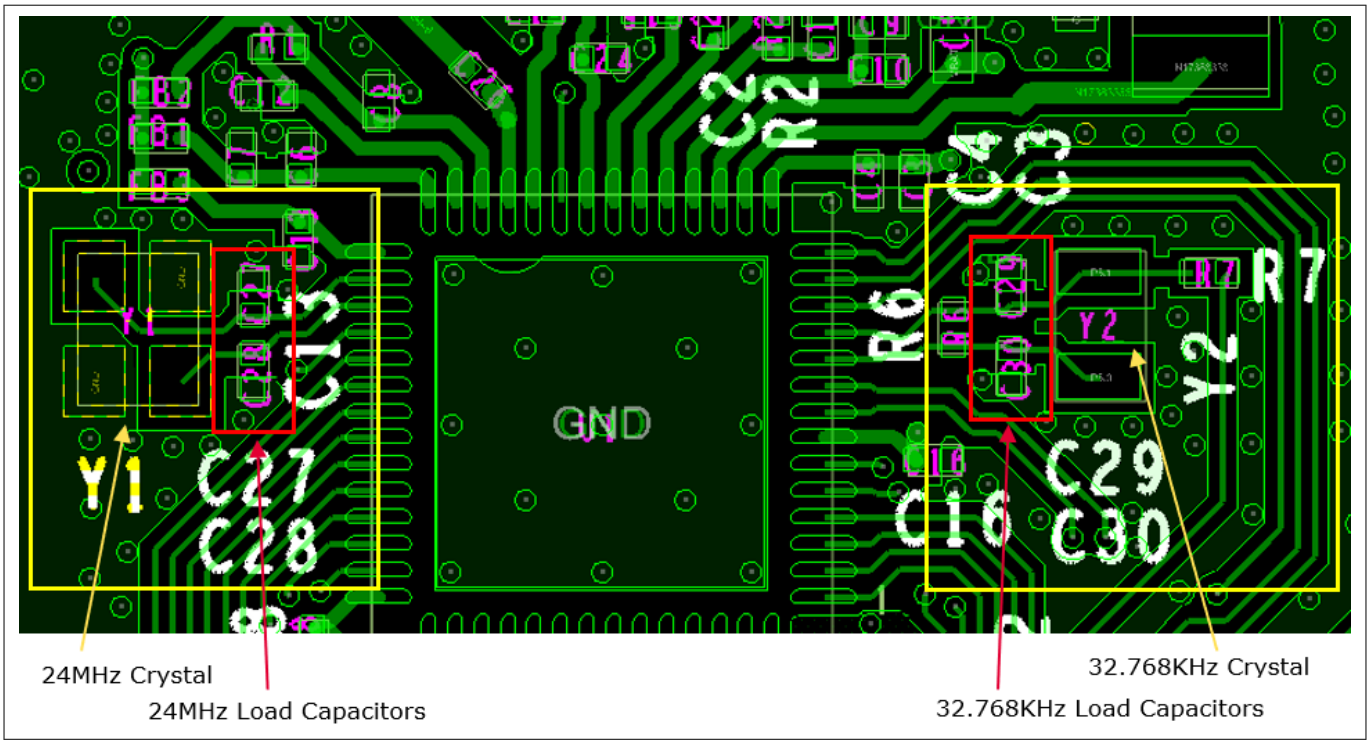

図 11　　24 MHz および 32.768 kHz の水晶発振器の配置

4 PCB レイヤと配線

4.1 グランドビア

コンポーネントをグランドビアに接続するために細長いトレースを使用しないで下さい。代わりに、グランドパッド全体をグランドの銅で覆い、グランドビアをグランドパッドにできるだけ近づけて配置します。CYW20829 のグランドパッドには、パッド上のビアが必要です。オープンエリアのスルーホールビアのみを使用して、すべての層のグランドプレーンをつなぎ合わせます。CBUCK 出力コンデンサ (このデザインでは C11) のグランドパッドの近くに、十分なグランドピンがあることを確認します。

4.2 レイヤ 1: コンポーネント, 信号ファンアウト, および RF トレース

チップのすべての受動部品は最上層に配置されます。CYW20829 チップからの信号ファンアウトも最上層で行われます。

青色で示されている RF トレースは、十分にアイソレーションされ、トレースの両側に沿ってベタグランドプレーンを備えている必要があります。この RF トレースが 50 Ω インピーダンスに整合していることを確認してください。

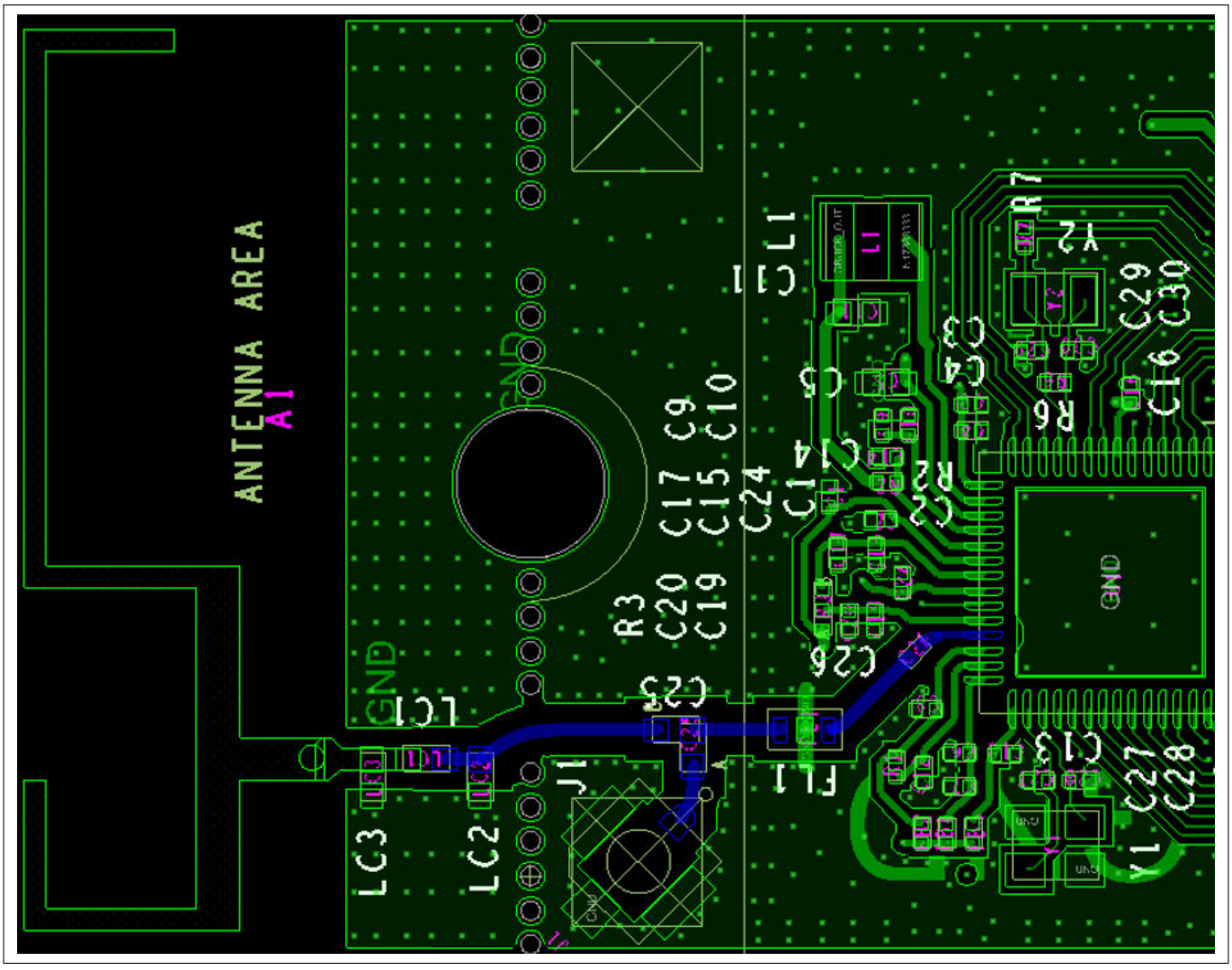

図 12 レイヤ 1、コンポーネントおよび信号ファンアウト

4.3 レイヤ 2: ベタグランドプレーン

最適なグランドリターンパスを実現するために、CYW20829 が配置されているレイヤ直下のレイヤを、ベタグランドプレーンで埋めます。

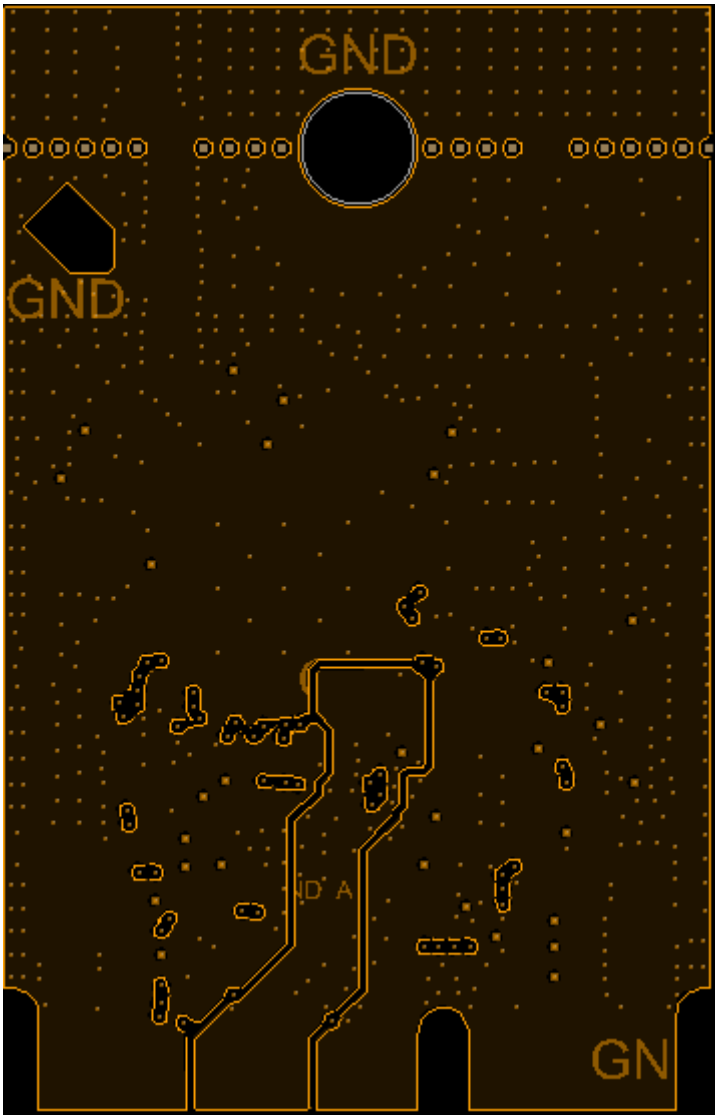

図 13 レイヤ 2、ベタグランド

4.4 レイヤ 3: 電源トレース

- メインの DC 電源ラインを背骨のようにボードの中央に配線し、必要に応じて左右に分岐させます。
- DC 電源をループ状に配線することは避けて下さい。
- 電源トレースをチップに配線する際の電流の流れを考慮してください。入力電源ピンの場合、電源ピンに入る前に、電源線がデカップリングコンデンサを通過するよう配線してください。出力電源ピンの場合、負荷に接続する直前に、電源トレースがデカップリングコンデンサに接続されていることを確認してください。
- ベタグランドで分離することにより、主電源, ノイズの多い信号, およびデジタル電源から、RF 電源を保護します。
- 寄生インピーダンスを最小限に抑えるために、適切な電源トレース幅とビアが確保されている (または存在している) ことを確認して下さい。

- 隣接するレイヤで、電源トレースを交差または重ねることは推奨しません。電源トレースの交差が避けられない場合は、電源トレースの重なる面積を最小限に抑えるために、垂直に交差させます。(セクション 4.6 に示されている例を参照して下さい)
- 電源信号の推奨トレース幅は次のとおりです。
  - LX_BUCK (ピン 16)への CBUCK_OUT → 最小 10 mil のトレース幅
  - VCCI (ピン 19)への CBUCK_OUT → 最小 10 mil のトレース幅
  - VDDIO → 最小 10 mil のトレース幅
  - VCCD (ピン 18) → 最小 8 mil のトレース幅
  - VDDQ (ピン 15)/VCC_BUCK (ピン 17) への VBAT → 最小 10 mil のトレース幅
  - BT_VCOVDD (ピン 28)/BT_LNAVDD (ピン 26)/BT_IFVDD (ピン 27)/BT_PLLVDD (ピン 29)への VCCRF (ピン 20) → 最小 8 mil のトレース幅
  - VPA_BASE への VDDPA (ピン 22) → 最小 10 mil のトレース幅
  - BT_PAVDD (ピン 24) への VCCPA_0 (ピン 21) → 最小 8 mil のトレース幅
  - MIC_BIAS → 最小 5 mil のトレース幅

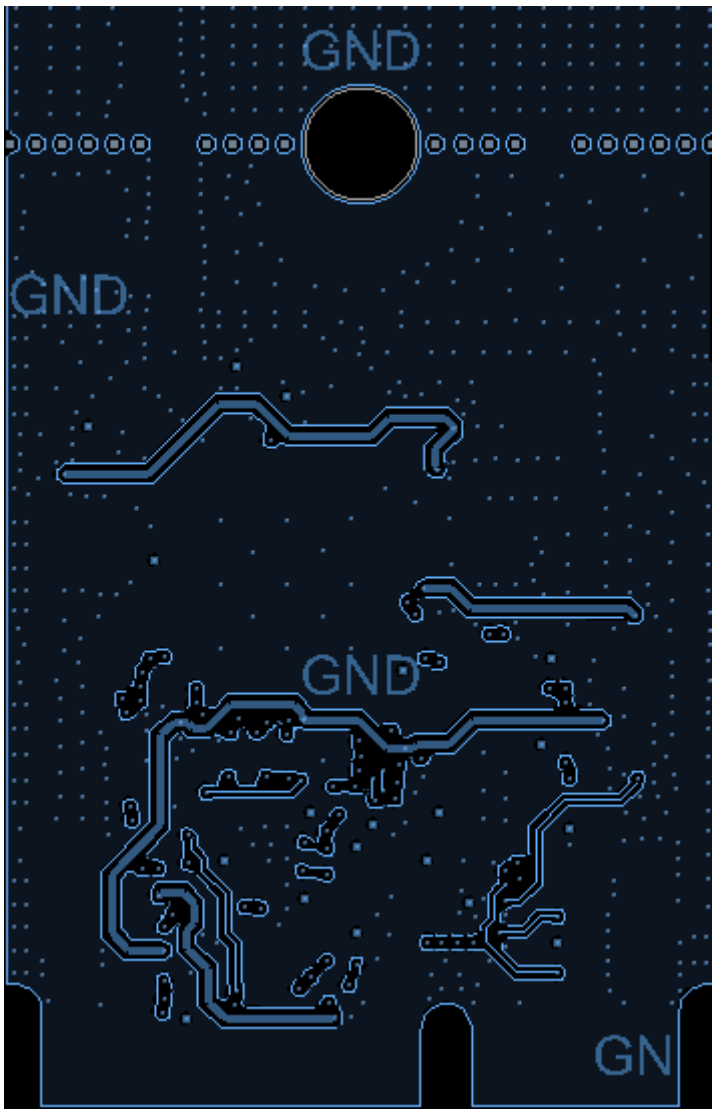

図 14　　レイヤ 3 の電源トレース

4.5 レイヤ 4: 電源トレースおよび影響を及ぼさない信号

レイヤ 4 は、影響を及ぼさないすべての信号配線と、レイヤ 3 で配線できなかった追加の電源トレースに使用します。レイヤ 4 に配線された電源トレースが、レイヤ 3 の電源トレースと交差していないことを確認します。

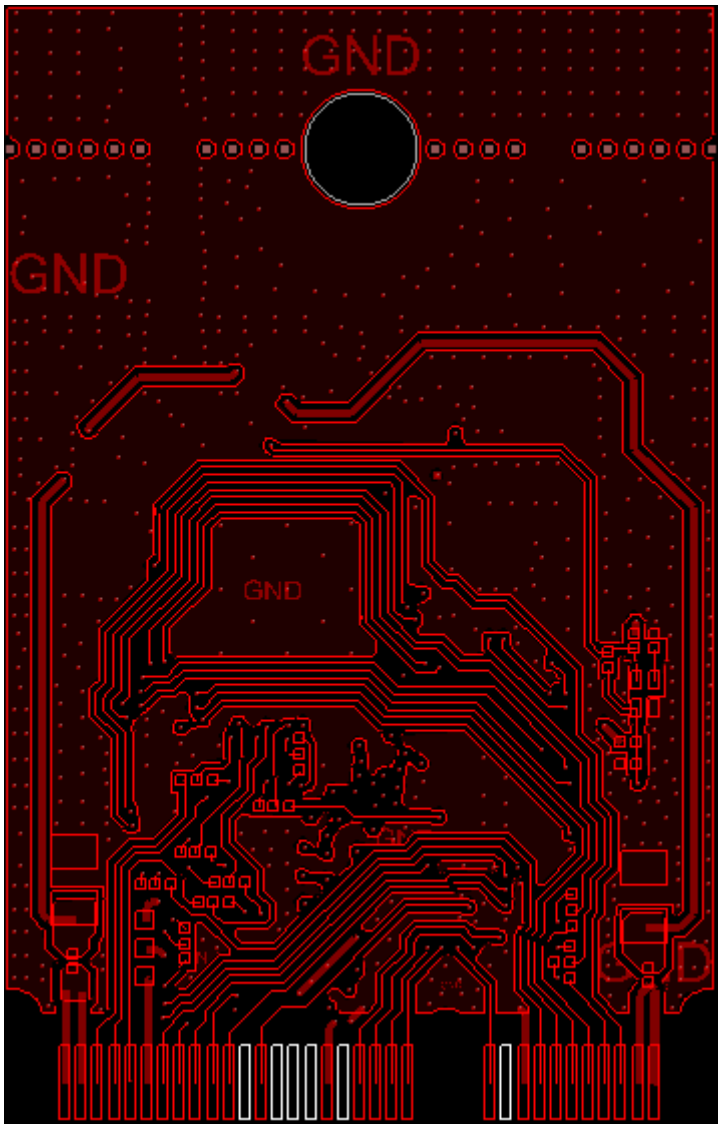

図 15 レイヤ 4、電源トレースおよび影響を及ぼさない信号

4.6 隣接するレイヤでの避けられない電源トレースの交差

電源トレースの交差が避けられない場合は、電源トレースの重なり面積を最小限に抑えるために、垂直に交差させます。

参考資料

www.infineon.com では、適切なデバイスを選択し、デバイスを迅速かつ効果的にあなたの設計に組み込むために役立つ豊富なデータを利用できます。

[1] データシート

- CYW20829

[2] アプリケーションノート

- アンテナ設計および RF レイアウトのガイドライン

改訂履歴

版数	発行日	変更内容
英語版**	-	本版は英語版のみの発行です。英語版の改訂内容: Initial release
**	2025-01-29	本版は英語版 002-36409 Rev. *A について、インフィニオン DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。

商標

The Bluetooth® word mark and logos are registered trademarks owned by Bluetooth SIG, Inc., and any use of such marks by Infineon is under license.

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-01-29

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2025 Infineon Technologies AG

All Rights Reserved.

Do you have a question about any aspect of this document?

Email: erratum@infineon.com

Document reference
IFX-sen1710748708279

重要事項

本手引書に記載された情報は、本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用の前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。