EZ-PD™ PMG1 MCU 硬件设计指南和检查表

关于本文档

范围和目的

本应用笔记提供了 EZ-PD PMG1 (第一代 PD 微控制器) 的硬件设计和 PCB 布局指南。这一代微控制器具有电力传输 (PD) 应用的高电压微处理器。本应用笔记详细介绍了基于 EZ-PD™ PMG1 MCU 的系统设计的硬件设计内容。该文档使用 EZ-PD™ PMG1 MCU 系列原型开发套件作为设计参考。本应用笔记包含一个原理图和布局审核检查表，并整合了使用 EZ-PD™ PMG1 MCU 进行设计时要考虑的重要方面。

目标读者

本应用笔记旨在帮助工程师熟悉基于 EZ-PD™ PMG1 MCU 设计的硬件设计指南。

相关器件系列

CYPM1011、CYPM1111、CYPM1211 和 CYPM1311/22

Table of contents

关于本文档 **1**
Table of contents **1**
1 简介 **3**
2 器件选择 **4**
2.1 订购信息 5
3 系统架构 **6**
3.1 仅限接收源 USB PD 的应用程序 6
4 原理图设计要求 **7**
4.1 电源系统 7
4.1.1 去耦和旁路电容器 8
4.2 外部电压调节器 11
4.3 复位电路和时钟 11
4.4 GPIO 13
4.4.1 I/O 引脚选择 13
4.4.2 过压耐受 GPIO 15
4.5 编程和调试接口 15
4.6 数字模块 16
4.6.1 串行通信模块 (SCB) 16
4.6.1.1 串行外设接口 (SPI) 16
4.6.1.2 I2C 17
4.6.1.3 UART 17
4.6.2 定时器、计数器、脉宽调制器 (TCPWM) 19
4.7 USB PD 模块 20
4.7.1 VBUS 放电 20
4.7.2 CC 和 VCONN 20
4.7.3 EZ-PD™ PMG1-S1/S2 MCU 门控驱动器或负载开关控制信号 21

Table of contents

4.7.4 EZ-PD™ PMG1-S3 MCU 栅极驱动器或负载开关控制信号 22
4.8 充电器检测 28
5 电器设计注意事项 30
5.1 ESD 和 EMI/EMC 保护 30
5.2 通用 PCB 布局技巧 30
5.3 PCB 选择和基本布线注意事项 31
5.3.1 EZ-PD™ PMG1 MCU 设计的参考 PCB 堆叠 31
5.3.1.1 厚度为 1.2 mm 的四层 PCB 堆叠 31
5.3.1.2 厚度为 1.2 mm 的六层 PCB 堆叠 31
5.4 电源域 32
5.4.1 大容量电容器和去耦电容器的布局 32
5.4.2 电源层和接地层的布局 32
5.4.3 电源域布线 33
5.4.4 电压调节 33
5.5 USB PD 和 USB 数据信号 (Type-C) 布线 33
5.5.1 Type-C (VBUS、GND 和 CC) 线布线指南 33
5.5.2 USB 数据线布线指南 34
5.5.3 EZ_PD™ PMG1-S3 MCU 97-BGA 和 48-QFN 布局指南 34
5.5.4 EZ-PD™ PMG1-S3 MCU 97 BGA/48 QFN CAPSENSE™ (CSD) 引脚分配和布局指南 37
6 原理图和布局检查表 41
参考材料 42
缩略语 43
修订记录 45

1 简介

EZ-PD™ PMG1 MCU 是属于带有 Arm® Cortex®-M0/Cortex-M0+ CPU 的高电压 USB PD MCU 系列。EZ PD™ PMG1 MCU 系列包括具有集成 USB PD 控制器、模拟和数字外设的 MCU。您可以根据设计要求选择控制器。EZ-PD™ PMG1 MCU 适用于嵌入式系统，这些系统为高电压 USB-C PD 端口提供电源或消耗来自端口的电源，并利用 MCU 提供额外的控制功能。

2 器件选择

本节介绍了 EZ-PD™ PMG1 MCU 系列的基本性能。**Table 1** 对 EZ-PD™ PMG1 MCU 系列中各种 MCU 的基本性能进行了对比。

Table 1 EZ-PD™PMG1 MCU 系列中不同 MCU 的性能对比

子系统或范围	条目	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU
CPU 和存储器子系统	内核	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大频率 (MHz)	48	48	48	48
	Flash (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
供电	供电端口	1	1	1	48-QFN 具有一个端口 97-BGA 具有两个端口
	功能	接收源	DRP	DRP	DRP
	MOSFET 栅极驱动器	1x PFET	2x PFET	2x PFET/NFET	灵活的 2x NFET
	故障保护	VBUS OVP[1] 和 UVP[2]	VBUS OVP, UVP 和 OCP[3]	VBUS OVP, UVP 和 OCP	VBUS OVP, UVP 和 OCP
USB	支持公告牌类的集成全速 USB 2.0 器件	不支持	不支持	支持	支持
电压范围	电源 (V)	VDDD (2.7 -5.5) VBUS (4 - 21.5)	VSYS (2.75 - 5.5) VBUS (4 - 21.5)	VSYS (2.7 - 5.5) VBUS (4 - 21.5)	VSYS (2.5 - 5.5) VBUS (4 - 28)
	IO (V)	1.71 - 5.5	1.71 - 5.5	1.71 - 5.5	1.71 - 5.5
数字模块	串行通信模块 (可配置为 I2C/UART/SPI)	2	4	4	48-QFN 具有七个 (其中只有五个可以配置为 SPI 和 UART)；97-BGA 具有八个
	TCPWM 模块	4	2	4	48-QFN 具有七个 97-BGA 具有八个
	硬件身份认证模块 (加密)	不支持	不支持	支持	支持
模拟模块	ADC	2 x 8 位 SAR	1 x 8 位 SAR	2 x 8 位 SAR	2 x 8 位 SAR 1 x 12 位 SAR
	片上温度感应器	支持	支持	支持	支持

[1] OVP 为过压保护的缩写

[2] UVP 为欠压保护的缩写

[3] OCP 为过电流保护的缩写

器件选择

子系统或范围	条目	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU
GPIO	最大输入/输出数量	12 个 (10+2 OVT[4])	17 个 (15+2 OVT)	20 个 (18+2 OVT)	48-QFN 具有 26 个 (24 + 2 OVT) 97-BGA 具有 50 个 (48 + 2 OVT)
充电标准	充电发送源	-	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC, AFC 以及 QC 3.0
	充电接收源	BC 1.2, 苹果充电 (AC)	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC
ESD 保护	有关内置 ESD 阈值的详细信息，请查阅 **ESD 和 EMI/EMC 保护**部分内容。				
封装类型	封装选项	24-QFN (4x4 mm, 间距为 0.5 mm)	40-QFN (6×6mm, 间距为 0.5 mm)	40-QFN (6×6mm, 间距为 0.5 mm)	48-QFN (6x6 mm, 间隙为 0.5 mm) 97-BGA (6x6 mm, 间隙为 0.5 mm 和 0.65 mm)

2.1 订购信息

Table 2 订购信息

MCU	MPN	Type-C 端口	终端电阻	封装类型	芯片 ID
PMG1-S0	CYPM1011-24LQXI CYPM1011-24LQXIT	1	R_D, R_{D-DB}	24-QFN	0x2020
PMG1-S1	CYPM1111-40LQXI CYPM1111-40LQXIT	1	R_P, R_D, R_{D-DB}	40-QFN	0x2A20
PMG1-S2	CYPM1211-40LQXI CYPM1211-40LQXIT	1	R_P, R_D, R_{D-DB}	40-QFN	0x1D20
PMG1-S3	CYPM1311-48LQXI CYPM1311-48LQXIT	1	R_P, R_D, R_{D-DB}	48-QFN	0x3501
	CYPM1322-97BZXI CYPM1322-97BZXIT	2	R_P, R_D	96-BGA	0x3500

[4] OVT 为过压耐受能力

3 系统架构

3.1 仅限接收源 USB PD 的应用程序

设计中，USB PD 端口直接为 USB PD 接收源系统或应用程序供电，而不需要单独的电源输入。作为 USB PD 接收源使用时，EZ-PD™ PMG1 S0/S1/S2 MCU 能够处理高达 20 V、5 A (100 W) 的供电协议，而 S3 MCU 能够处理高达 28 V，5 A (140 W) 的供电协议。

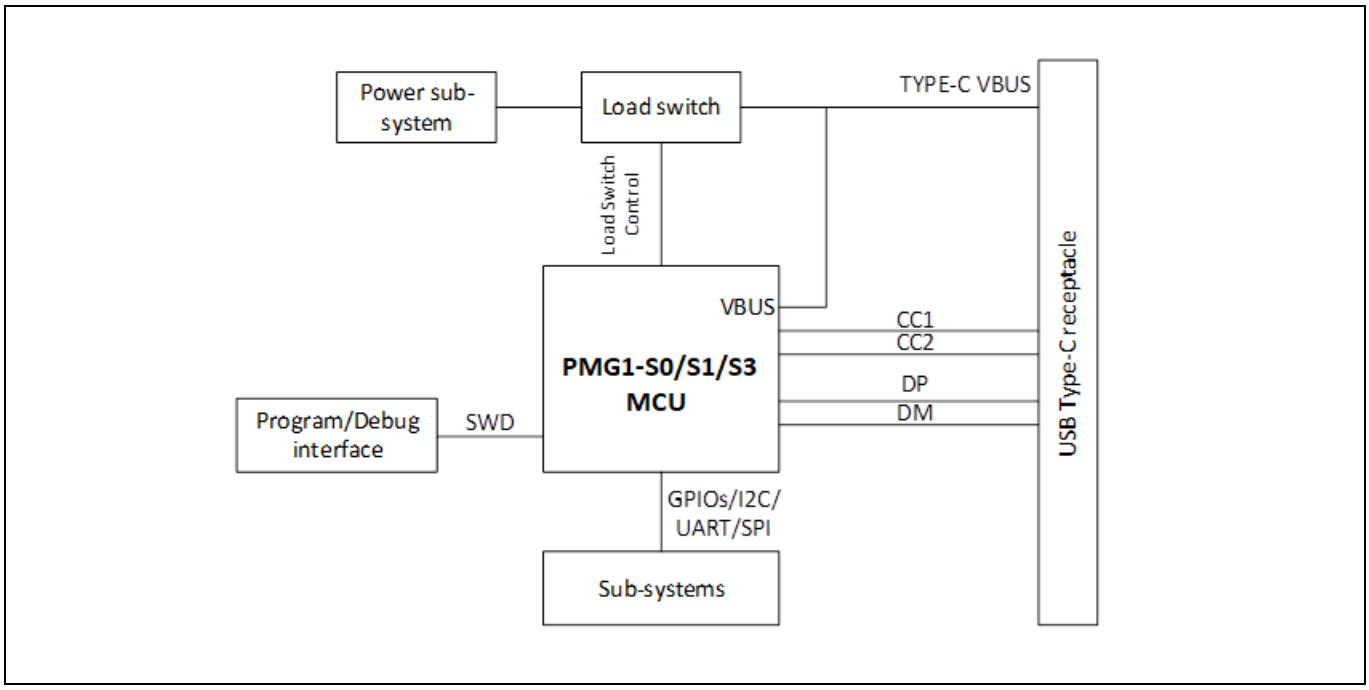

Figure 1 使用 EZ-PD™ PMG1-S0/PMG1-S1/PMG1-S3 MCU 的仅限接收源 USB PD 应用程序

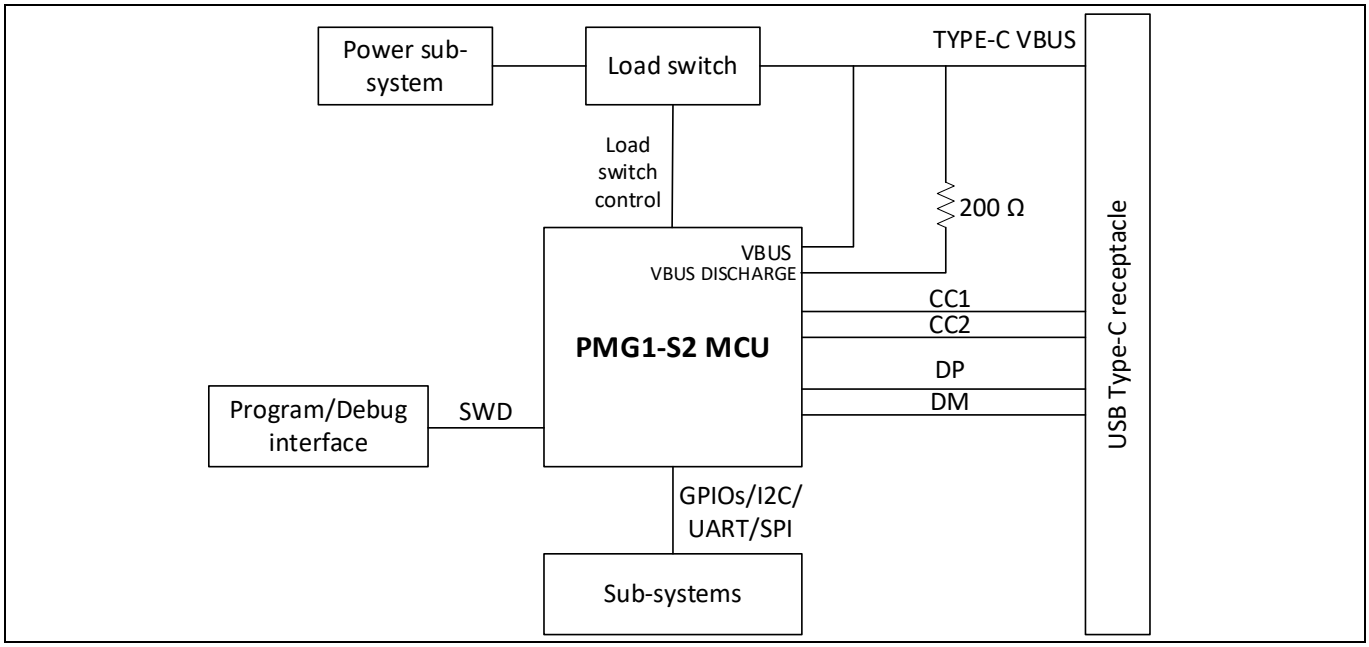

Figure 2 使用 EZ-PD™ PMG1-S2 MCU 的仅限接收源 USB PD 应用程序

4 原理图设计要求

本节介绍了基于 EZ-PD™ PMG1 MCU 系统的原理图设计要求和注意事项。CY711X PMG1-SX 原型开发套件用作设计参考。有关详细信息，请参阅以下套件页面：

- **CY7110 EZ-PD™ PMG1-S0 原型开发套件**
- **CY7111 EZ-PD™ PMG1-S1 原型开发套件**
- **CY7112 EZ-PD™ PMG1-S2 原型开发套件**
- **CY7113 EZ-PD™ PMG1-S3 原型开发套件**

4.1 电源系统

PMG1 MCU 支持通过 MCU 上的 VBUS 引脚直接从 Type-C PD 端口为芯片供电。USB PD 接收源、无电电池和其它总线供电应用均将 VBUS 引脚作为 MCU 的电源输入端使用。当通过 VBUS 供电时，内部调节器产生 3.3 V 的 VDDD，用于芯片操作，并进一步调整 VCCD (1.8 V)，用于内核操作。除 PMG1-S0 外，各个 PMG1 MCU 都为所有 USB PD DRP/仅限发送源的应用程序和所有通用 MCU 应用程序提供专用的电源输入引脚。

在 PMG1-S0 中，可以通过 VDDD 电压直接为 MCU 供电。而 EZ-PD™ PMG1-S1 和 EZ-PD™ PMG1-S2 MCU 具有专用的电源输入引脚 (VSYS)，因此并不使用 VDDD 作为电源输入引脚。VSYS 电源引脚通过开关与 VDDD 内部连接。内核调节器将 VDDD 电压调节为 1.8 V，以供内核操作。1.8 V 调节器的输出表示为 VCCD。

EZ-PD™ PMG1-S1 和 EZ-PD™ PMG1-S2 MCU 中的 GPIO 由单独的电源域 VDDIO 供电。根据要求，可以短接 VDDD 和 VDDIO 引脚。这些器件支持 VCONN 功能。芯片中提供了额外的输入电源选项，用于为 VCONN FET 供电。

Table 3 说明了 EZ-PD™ PMG1 MCU 中电源输入汇总。

Table 3 EZ-PD™ PMG1 MCU 电源引脚和工作电压

MCU	电源引脚	电源引脚说明	有效的输入电压大小
EZ-PD™ PMG1-S0 MCU	VBUS	总线供电	4.0 V - 21.5 V
	VDDD	MCU 电源输入, 内部 LDO 输出	2.7 V - 5.5 V
	VCCD	器件的核心电压输出到引脚。该引脚不能作为电压源, 仅用于连接去耦电容器。	
EZ_PD™ PMG1-S1 MCU	VBUS	总线供电	4.0 V - 21.5 V
	VSYS	器件电源输入	2.75 V – 5.5 V
	VDDIO	I/O 的供电电源	1.8 V – VDDD
	VCONN_ Source	VCONN FET 的电源	
	VCCD	器件的内核电压被输出到该引脚。该引脚不能作为电压源使用。它仅用于连接去耦电容器。	
EZ-PD™ PMG1-S2 MCU	VBUS	总线供电	4.0 V - 21.5 V
	VSYS	器件电源输入	2.75 V – 5.5 V
	VDDIO	I/O 的供电电源	1.8 V – VDDD
	VCONN_ Source	VCONN FET 的供电电源	
	VCCD	器件的内核电压被输出到该引脚。该引脚不能作为电压源使用。它仅用于连接去耦电容器。	

原理图设计要求

MCU	电源引脚	电源引脚说明	有效的输入电压大小
EZ-PD™ PMG1-S3 MCU	VBUS	总线供电	4.0 V - 28 V
	VSYS	器件电源输入	2.8 V – 5.5 V
	VDDIO	I/O 的供电电源	1.8 V – VDDD
	VDDA	模拟模块的供电电源	1.8 V – VDDD
	VCONN_ Source	VCONN FET 的供电电源	
	VCCD	器件的内核电压被输出到该引脚。该引脚不能作为电压源使用。它仅用于连接去耦电容器。	

对于使用 EZ-PD™ PMG1 MCU 的 USB PD 接收源应用，请遵循以下电源系统设计注意事项：

- 确保 MCU 的 VBUS 引脚作为电源输入引脚使用。将 Type-C 连接器的电源引脚连接到 VBUS 引脚，如 **Figure 3** 和 **Figure 4** 所示。
- 请勿将其它输入引脚 (EZ-PD™ PMG1-S0 和 EZ-PD™ PMG1-S3 中的 VDDD，以及 EZ-PD™ PMG1-S1/S2 MCU 中的 VSYS) 连接到任何电源电压。应在这些引脚上连接去耦电容器 (有关去耦电容大小，请查看 **Table 3**)。
- 短接 EZ-PD™ PMG1-S1 MCU 和 EZ-PD™ PMG1-S2 MCU 中的 VDDD 和 VDDIO 引脚。
- 短接 EZ-PD™ PMG1-S3 MCU 中的 VDDD、VDDA 和 VDDIO。
- 请勿将任何信号或电源轨连接到 VCCD；只要添加去耦电容器。

4.1.1 去耦和旁路电容器

在所有电源输入引脚和内部调节器输出引脚上添加去耦和旁路电容器，以滤除交流噪声/电压尖峰，并对器件电源域去耦。**Table 4** 列出了 EZ-PD™ PMG1 系列 MCU 中每个电源域信号的去耦和旁路电容器的推荐值。

对于 VDDD、VBUS 和 VSYS，建议使用多电容去耦电路，以提高过滤效果，并降低电容器 ESR 的影响。除了推荐值外，您还可以安装一个或两个 100 nF 大小的低 ESR 电容器，作为去耦电容器使用。

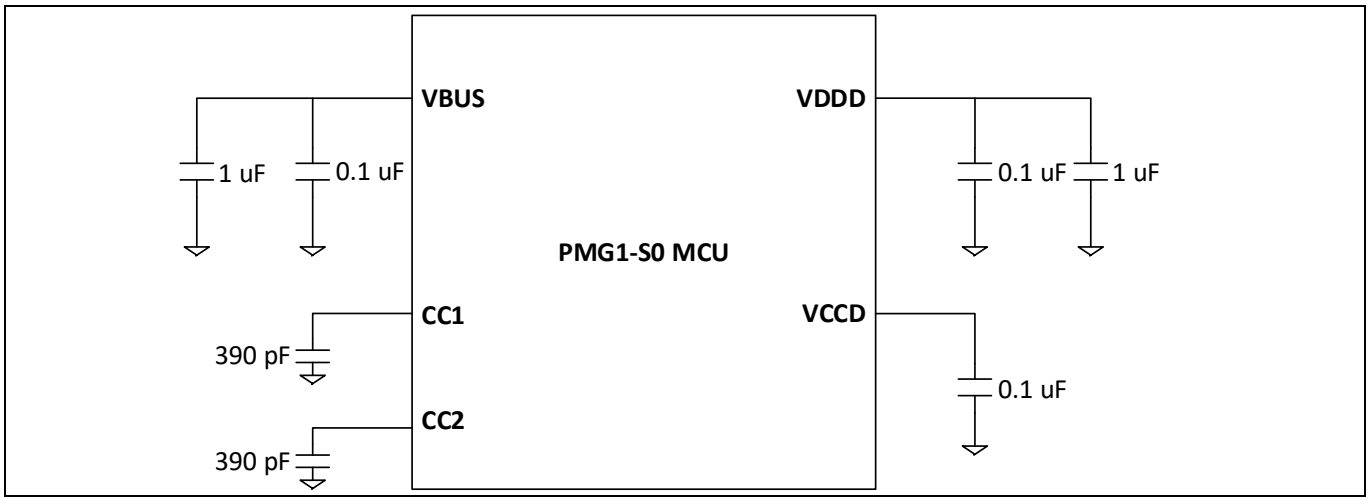

Figure 3 EZ-PD™ PMG1-S0 MCU 去耦电容器

原理图设计要求

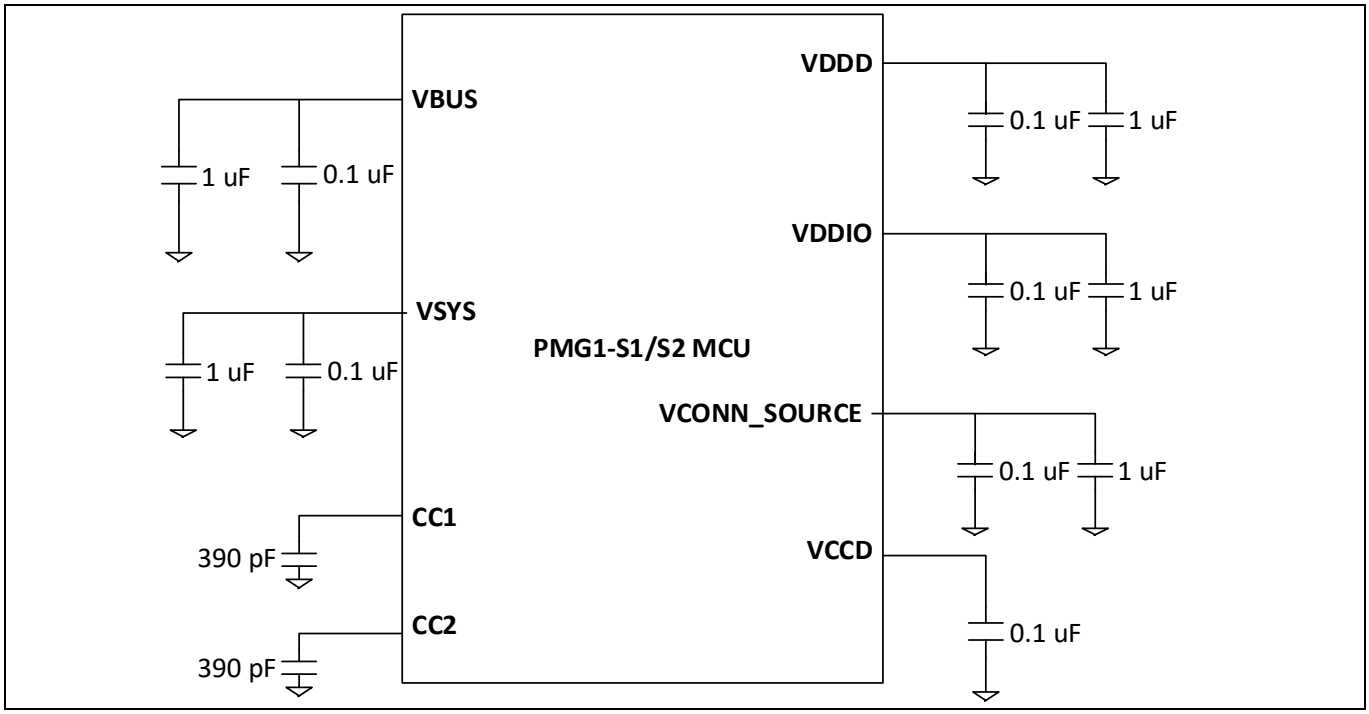

Figure 4 EZ-PD™ PMG1-S1、EZ-PD™ PMG-S2 MCU 去耦电容器

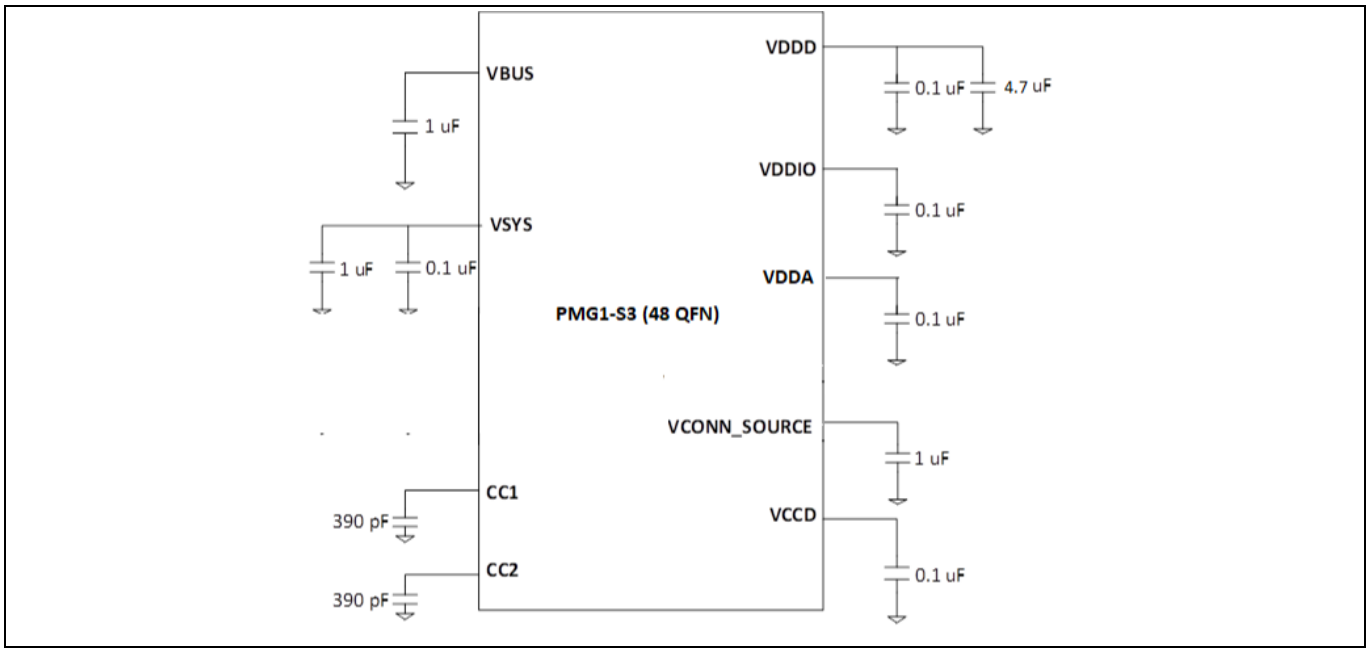

Figure 5 EZ-PD™ PMG1-S3 (48-QFN) MCU 去耦电容器

原理图设计要求

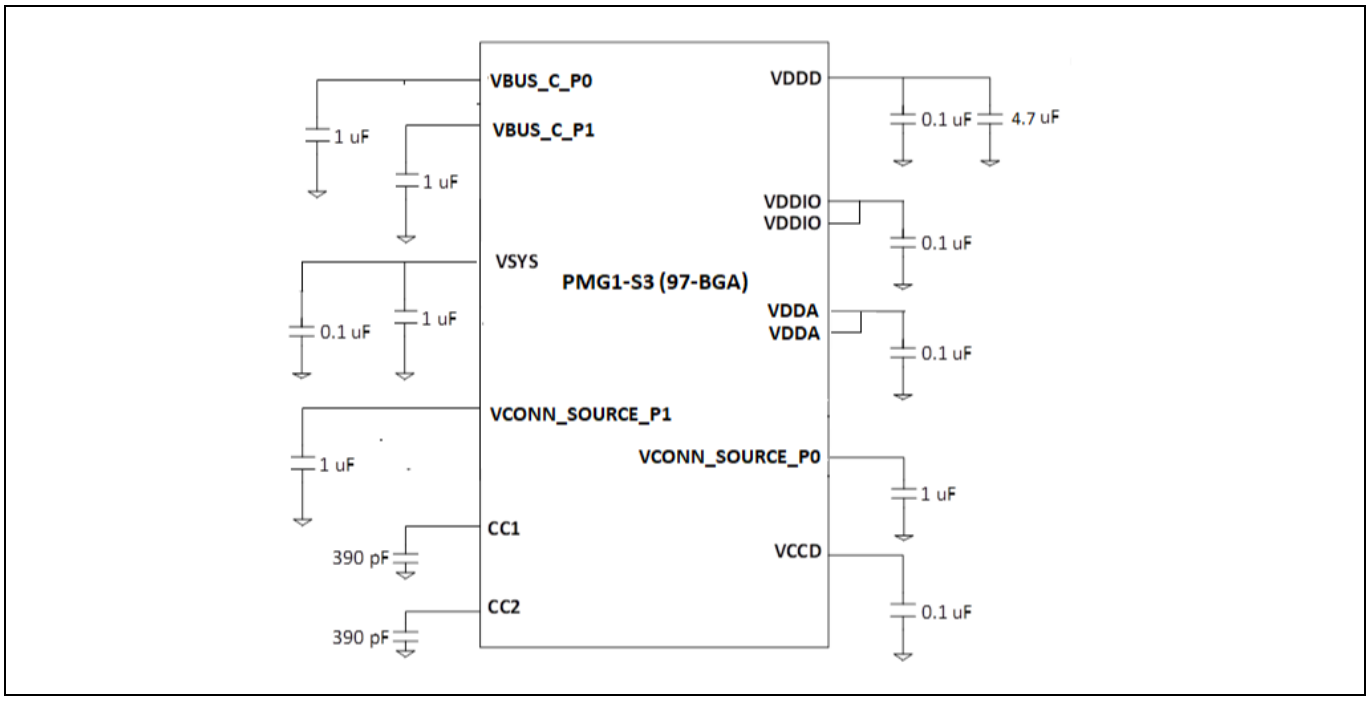

Figure 6 EZ-PD™ PMG1-S3 (97-BGA) MCU 去耦电容器

Table 4 电源引脚和去耦电容

MCU	电源引脚	去耦电容
EZ-PD™ PMG1-S0 MCU	VBUS	1 µF
	VDDD	1 µF
	VCCD	1 µF
EZ-PD™ PMG1-S1 MCU	VBUS	1 µF
	VSYS	1 µF
	VDDIO	0.1 µF
	VCONN_ Source	1 µF
	VCCD	1 µF
EZ-PD™ PMG1-S2 MCU	VBUS	1 µF
	VSYS	1 µF
	VDDIO	0.1 µF
	VCONN_ Source	1 µF
	VCCD	1 µF
EZ-PD™ PMG1-S3 MCU (48-QFN)	VBUS	1 µF
	VSYS	0.1 µF 和 1 µF
	VDDD	4.7 uF 和 1 uF
	VDDIO	0.1 µF
	VCONN_ Source	1 µF
	VCCD	0.1 µF
	VDDA	0.1 µF

原理图设计要求

MCU	电源引脚	去耦电容
EZ-PD™ PMG1-S3 MCU (97-BGA)	VBUS_C_P0	1 µF
	VBUS_C_P1	1 µF
	VSYS	0.1 µF 和 1 µF
	VDDD	4.7 uF 和 1uF
	VDDIO	0.1 µF
	VCONN_ Source_P0	1 µF
	VCONN_ Source_P1	1 µF
	VCCD	0.1 µF
	VDDA	0.1 µF

4.2 外部电压调节器

当外部模块要求的电流高于 EZ-PD™ PMG1 MCU GPIO 可以提供的电流时，应用中需要外部电压调节器。GPIO 可以提供或吸收最大 25 mA 的电流 (每个 GPIO)。

EZ-PD™ PMG1 MCU 设计中需要线性压差 (LDO) 调节器来为解决方案或设计中的各种子系统 (例如 LED、感应器模块、扩展部分、转接板，等等) 供电。结合考虑所需的输出电压、最大负载电流和额定功率来选择 LDO。

Table 5 列出了推荐的 LDO。

Table 5 推荐的 LDO 调节器

MPN	制造商	最大输入电压	输出电压	输出电流	应用程序
IFX25001	Infineon	45 V	2.5 V, 3.3 V, 5.0 V, 8.5 V 或 10.0 V	400 mA	标准
TLE42744	Infineon	40 V	5 V 和 3.3 V ±2%	400 mA	汽车级
IFX27001	Infineon	40 V	1.5 V, 1.8 V, 2.6 V, 3.3 V, 5.0 V 或可调整的输出电压	1 A	标准

4.3 复位电路和时钟

EZ-PD™ PMG1 MCU (EZ-PD™ PMG1-S0 除外) 具有一个外部复位控制引脚 XRES，用于手动复位 MCU。这些 MCU 采用低电平有效复位，需要在至少 5 µs 内保持低电平状态才能复位芯片。所有 PMG1 MCU 都支持上电复位 (POR) 机制。

- 在 EZ-PD™ PMG1-S1 MCU 中，要使用一个 4.7 k 欧姆的电阻将复位引脚上拉至 VDDIO/VDDD。这样可确保设计中的 XRES 引脚不会处于悬空状态并且器件可以正常工作。

原理图设计要求

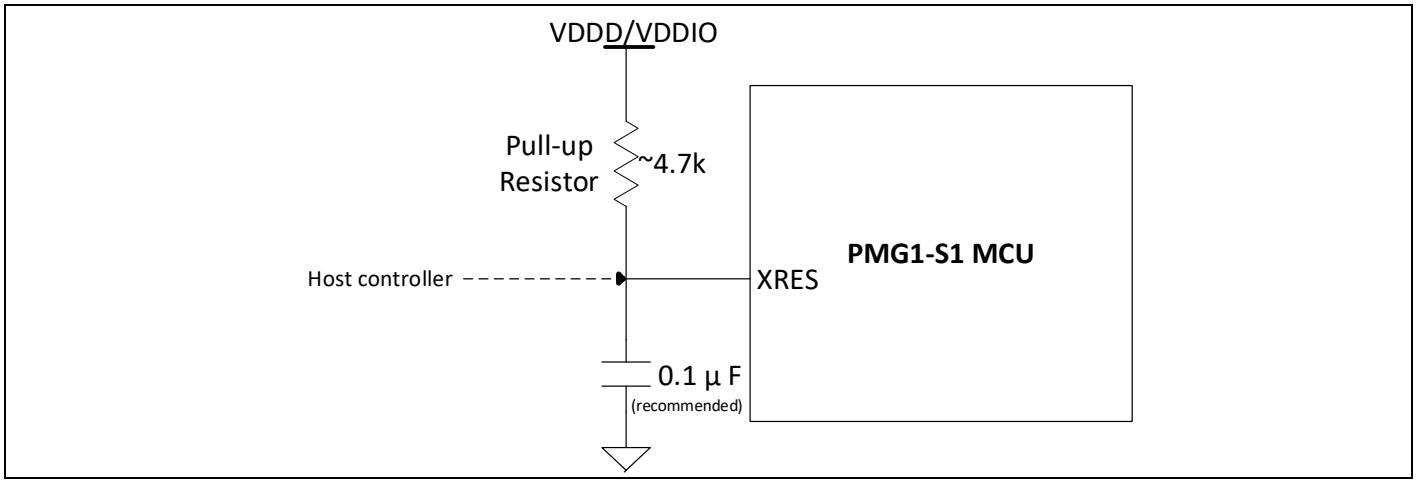

Figure 7 EZ-PD™ PMG1-S1 MCU XRES 引脚连接

- EZ-PD™ PMG1-S2 MCU 在 XRES 引脚上已安装一个内部上拉电阻； 这样就不需要使用外部上拉电阻。

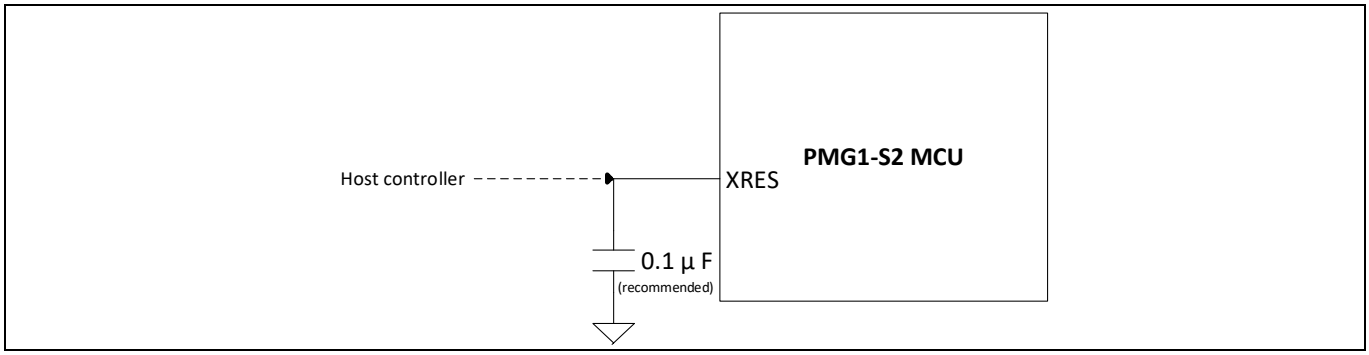

Figure 8 EZ-PD™ PMG1-S2 MCU XRES 引脚连接

- 建议在 XRES 引脚上连接一个电容器 (通常为 0.1 µF)，以过滤掉毛刺并为复位信号提供更好的抗噪能力。
- 在 EZ-PD™ PMG1-S3 MCU 中，要使用一个 4.7 k 欧姆的电阻将复位引脚上拉至 VDDIO/VDDD。这样确保设计中的 XRES 引脚不会处于悬空状态并且器件可以正常工作。

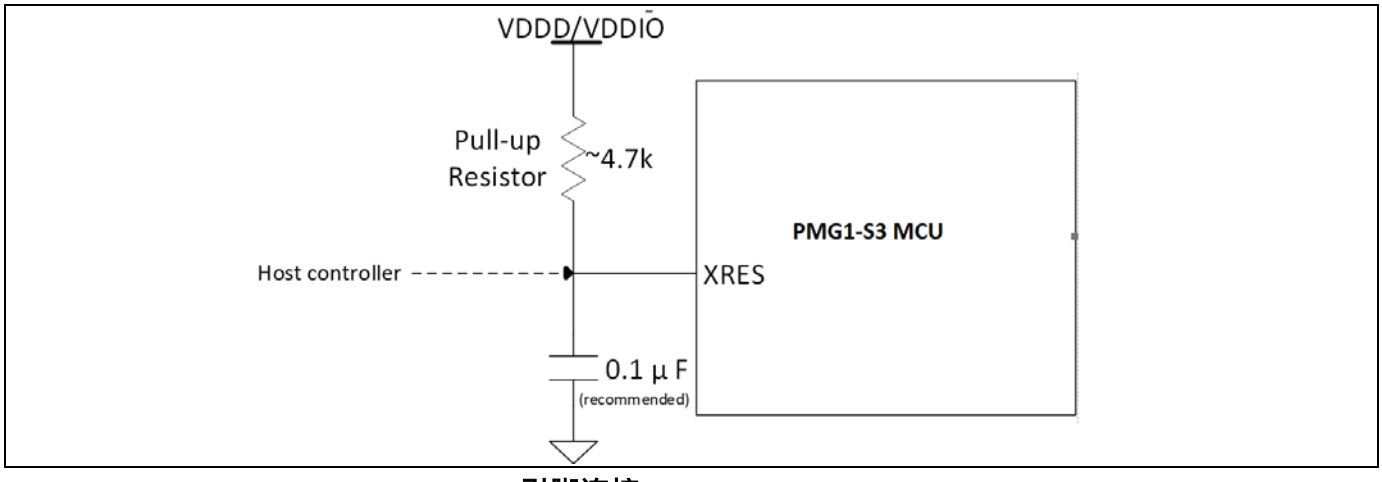

Figure 9 EZ-PD™ PMG1-S3 MCU XRES 引脚连接

原理图设计要求

- 此外，如果 EZ-PD™ PMG1 MCU 由外部控制器控制，则 XRES 引脚可以由主机直接驱动。

EZ-PD™ PMG1 MCU 集成了一个时钟电路，因此它不需要晶体或振荡器等外部组件。

4.4 GPIO

EZ-PD™ PMG1 MCU 提供了灵活的 GPIO，可与数字和模拟外设进行交替连接。不同的外设终端使用不同的专用或固定引脚。USB PD 引脚是连接到 USB PD 子系统的固定信号。

4.4.1 I/O 引脚选择

Table 6 列出了分配给数字模块、模拟模块和 USB 子系统的 MCU 引脚。

Table 6 EZ-PD™ PMG1 MCU 引脚分配

模块	引脚名称	引脚编号			备注
		EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	
系统功能引脚					
复位	XRES	不适用	10	26	复位输入
USB 和 USB PD					
USB PD 子系统	CC1	15	9	5	配置通道
	CC2	14	7	3	
	CSN	不适用	40	39	电流检测
	CSP	不适用	1	40	
	DP	17	不适用	21	USB D+/D-信号
	DM	16	不适用	22	
	DP_SYS	不适用	23	不适用	
	DM_SYS	不适用	24	不适用	
	DP_TOP	不适用	28	不适用	
	DM_TOP	不适用	27	不适用	
	DP_BOT	不适用	26	不适用	
	DM_BOT	不适用	25	不适用	
	FET 控制引脚				负载开关控制引脚
数字引脚					
串行通信模块 (SCB)	SCB 引脚	请参见 Table 10			PMG1-S0 MCU 具有两个 SCB，PMG1-S1 和 PMG1-S2 MCU 具有四个 SCB。可将这些 SCB 配置为 SPI、I2C 或 UART。
TCPWM	TCPWM 引脚	请参见 Table 12			PMG1-S0 和 PMG1-S2 MCU 具有四个 TCPWM，PMG1-S1 MCU 具有两个 TCPWM。所有这些信号都被路由到专用的 GPIO 引脚。

原理图设计要求

模块	引脚名称	引脚编号			备注
		EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	
模拟引脚					
SAR ADC	ADC	请参阅数据手册[4]			PMG1-S0 和 PMG1-S2 MCU 具有 2 x 8 位 ADC，PMG1-S1 具有一个 8 位 ADC。

Table 7 EZ-PD™PMG1-S3 MCU 引脚分配

模块	引脚名称	引脚编号		备注
		EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA	
系统功能引脚				
复位	XRES	33	E14	复位输入
USB 和 USB PD				
USB PD 子系统	CC1/P0	28	N14 和 N15	配置通道 P0
	CC2/P0	30	J14 和 J15	
	CC1_P1	不适用	N1 和 N2	配置通道 P1
	CC2_P1	不适用	J1 和 J2	
	CSN/P0	37	A15	P0 的电流检测
	CSP/P0	38	B15	
	CSN_P1	不适用	C14	P1 的电流检测
	CSP_P1	不适用	C15	
	DP	39	A13	USB D+/D-信号
	DM	40	A11	
	VBUS_IN_NGDO/P0	24	R14	Port0 的负载开关控制引脚
	VBUS_IN_CTRL/P0	27	P14	
	VBUS_OUT_CTRL/P0	26	P15	
	VBUS_OUT_NGDO/P0	25	R15	
	VBUS_IN_NGDO_P1	不适用	R2	Port1 的负载开关控制引脚
	VBUS_IN_CTRL_P1	不适用	P2	
	VBUS_OUT_CTRL_P1	不适用	P1	
	VBUS_OUT_NGDO_P1	不适用	R1	

原理图设计要求

模块	引脚名称	引脚编号		备注
		EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA	
数字引脚				
串行通信模块 (SCB)	SCB 引脚	请参见 **Table 10**		PMG1-S3 QFN 具有七个 SCB，PMG1-S3 BGA 具有八个 SCB。可将这些 SCB 配置为 SPI、I2C 或 UART。
TCPWM	TCPWM 引脚	请参见 **Table 12**		PMG1-S3 QFN 具有七个 TCPWM，PMG1-S1 具有八个 TCPWM。所有这些信号都被路由到专用的 GPIO 引脚。
模拟引脚				
SAR ADC	ADC	请参阅数据手册**[4]**		PMG1-S3 QFN 和 PMG1-S3 BGA 具有 2x 8 位 ADC 和一个 12 位 ADC。

4.4.2 过压耐受 GPIO

所有 EZ-PD™ PMG1-MCU 都具有两个过压耐受 (OVT) 引脚； SCB0 的 I^2C 信号引脚 (I2C SDA 和 I2C SCL) 均为 OVT 引脚。这些 GPIO 能够处理 6 V 的最大绝对电压。它们与常规 GPIO 相似，并具备附加的性能，例如过压耐受能力和更好的下拉驱动强度。当 SCB0 被配置为 I^2C 组件时，它将满足以下 I^2C 规范：

- 快速模式热插拔
- 增强型快速模式规范
- 快速模式和增强型快速模式的迟滞和最小下降时间规范

Table 8 列出了 EZ-PD™ PMG1 MCU 系列中每个 MCU 的 OVT-GPIO。

Table 8 OVT-GPIO

	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA
OVT-GPIO (GPIO [MCU 引脚编号])	P0.0 [7]	P5.0[16]	P0.0 [27]	P4.0[34]	P4.0[E15]
	P0.1 [8]	P5.1[17]	P0.1 [28]	P4.1[35]	P4.1[D12]

4.5 编程和调试接口

EZ-PD™ PMG1 MCU 支持用于编程和调试的串行线调试 (SWD) 协议。MCU 的特定 GPIO 提供了可用的 SWD 数据和 SWD 时钟信号。**Table 9** 列出了所有器件中 SWD 引脚映射的 GPIO。EZ-PD™ PMG1-S1 和 EZ-PD™ PMG1-S2 器件支持复位模式，以便对器件进行编程或调试。在复位模式下，编程器/调试器通过 MCU 上的 XRES 引脚发送复位信号。使用该模式时，器件应由外部供电，或者编程器应能够为芯片供电。

原理图设计要求

Table 9 SWD 信号引脚分配

	GPIO 端口[MCU 引脚编号]				
	EZ-PD™ PMG1-S0 MCU	**EZ-PD™ PMG1-S1 MCU**	**EZ-PD™ PMG1-S2 MCU**	**EZ-PD™ PMG1-S3 MCU 48-QFN**	**EZ-PD™ PMG1-S3 MCU 97-BGA**
SWD IO (SWD 数据)	P0.0 [7]	P1.4 [6]	P2.0 [15]	P1.2[13]	P1.1[P3]
SWD CLK (SWD 时钟)	P0.1 [8]	P1.0 [2]	P2.1 [16]	P1.1[12]	P1.2 [R3]

EZ-PD™ PMG1-S0 MCU 没有复位信号，在电源循环模式下可获取器件的控制权。在电源循环模式下，通过切换器件电源可以获取目标 MCU 的控制权；在这种模式下，器件不应该由外部供电。

可以将 SWD 信号路由到 5 引脚或 10 引脚的标准 SWD 连接器，这样该连接器可以作为编程/调试连接器使用。**Figure 10** 和 **Figure 11** 分别显示了标准 5 引脚和 10 引脚 SWD 连接器的引脚分布。在 PMG1-S0 MCU 中，插头的复位引脚应保持未连接状态。

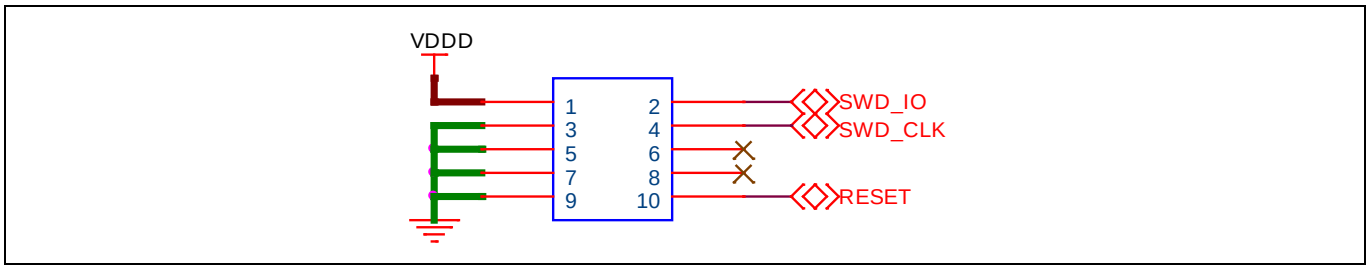

Figure 10 10 引脚 SWD 插头

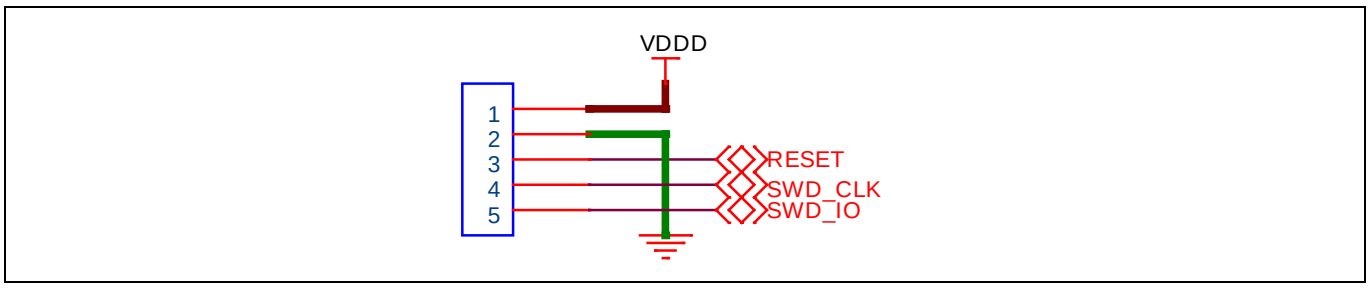

Figure 11 5 引脚 SWD 插头

4.6 数字模块

4.6.1 串行通信模块 (SCB)

SCB 是实现 UART、I2C 和 SPI 通信组件的多功能硬件模块。您可以使用任何可用的 SCB 并在 ModusToolbox™软件的 Eclipse IDE 中将其配置为所需要的通信模块。SCB 中的通信信号被路由到特定的 GPIO。有关引脚分配的详细信息，请参见 **Table 10**。

4.6.1.1 串行外设接口 (SPI)

EZ-PD™ PMG1 MCU 可以在 SPI 主设备和从设备模式下运行。SCB 支持 SPI 的单主多从拓扑结构。当 PMG1 需要与一个或多个 SPI 从设备通信时，则使用 SPI 主设备模式； 当 EZ-PD™ PMG1 MCU 需要与一个 SPI 主设备通信时，则使用从设备模式。作为 SPI 外设使用时，SCB 可提供不同的协议类型、数据帧大小和可配置的参数。

4.6.1.2 I2C

EZ-PD™ PMG1 MCU 支持 I2C 的主设备和从设备操作模式。I2C 外设的多个 I2C 参数均为可配置参数。I2C 信号在 MCU 中没有任何内部上拉。您需要使用一个 2.2 k 电阻将该信号上拉到 VDDIO/VDDD。

4.6.1.3 UART

UART 通信通常是通过 Tx 和 Rx 信号的点对点通信协议。Tx (即发送器输出) 和 Rx (即接收器输入) 分别发送和接收来自其它模块的数据。EZ-PD™ PMG1 MCU 的 Rx 应连接到另一个模块的 Tx，而 EZ-PD™ PMG1 MCU 的 Tx 应连接到该模块的 Rx。

Table 10 列出了 EZ-PD™ PMG1 MCU 中 SCB 的 GPIO 引脚分配。

Table 10 EZ-PD™ PMG1 MCU SCB 和引脚分配

组件	信号	端口和引脚分配 (端口[MCU 引脚])			
		SCB0	SCB1	SCB2	SCB3
EZ-PD™ PMG1-S0 MCU					
UART	UART_RX	P2.3 [13]和 P2.1 [10]	P1.3 [6]和 P3.1 [16]		
	UART_TX	P2.2 [12]或 P2.0 [9]	P1.2 [5]或 P3.0 [17]		
	UART_CTS	P0.0 [7]	P1.0 [1]		
	UART_RTS	P0.1 [8]	P1.1 [2]		
I2C	I2C_SDA	P0.0 [7]	P1.0 [1]或 P2.2 [12]		
	I2C_SCL	P0.1 [8]	P1.1 [2]或 P2.3 [13]		
SPI	SPI_MOSI	P1.2 [5]	P0.0 [7]		
	SPI_MISO	P1.1 [2]	P0.1 [8]		
	SPI_SEL	P1.0 [1]	P2.0 [9]		
	SPI_CLK	P1.3 [6]	P2.1 [10]		
EZ-PD™ PMG1-S1 MCU					
UART	UART_RX	P3.0 [18]	P1.0 [2]	P4.1 [30]	P0.1 [39]
	UART_TX	P5.1[17]	P1.1 [3]	P4.0 [29]	P0.0 [38]
	UART_CTS	P2.2 [15]	P1.2 [4]	P3.1 [20]	P2.0 [13]
	UART_RTS	P5.0[16]	P1.3 [5]	P3.2 [21]	P2.1 [14]
I2C	I2C_SDA	P5.0[16]	P1.1 [3]	P3.1 [20]	P2.1 [14]
	I2C_SCL	P5.1[17]	P1.2 [4]	P3.2 [21]	P2.0 [13]
SPI	SPI_MOSI	P5.0[16]	P1.1 [3]	P3.2 [21]	P2.1 [14]
	SPI_MISO	P5.1[17]	P1.2 [4]	P4.0 [29]	P0.0 [38]
	SPI_SEL	P2.2 [15]	P1.0 [2]	P3.1 [20]	P2.0 [13]
	SPI_CLK	P3.0 [18]	P1.3 [5]	P4.1 [30]	P0.1 [39]

原理图设计要求

组件	信号	端口和引脚分配 (端口[MCU 引脚])			
		SCB0	**SCB1**	**SCB2**	**SCB3**
EZ-PD™ PMG1-S2 MCU					
UART	UART_RX	P2.6 [25]或 P1.2 [9]	P1.7 [14]	P1.1 [8]	P1.5 [13]
	UART_TX	P2.5 [24]或 P1.3 [10]	P1.6 [11]	P1.0 [7]	P1.4 [12]
	UART_CTS	P0.0 [27]	P2.0 [15]	P3.4 [36]	P1.2 [9]
	UART_RTS	P0.1 [28]	P2.1 [16]	P3.5 [37]	P1.3 [10]
I2C	I2C_SDA	P0.0 [27]	P2.1 [16]	P3.4 [36]	P1.3 [10]
	I2C_SCL	P0.1 [28]	P2.0 [15]	P3.5 [37]	P1.2 [9]
SPI	SPI_MOSI	P2.5 [24]	P2.1 [16]	P3.4 [36]	P1.2 [9]
	SPI_MISO	P0.1 [28]	P1.6 [11]	P1.0 [7]	P1.4 [12]
	SPI_SEL	P0.0 [27]	P1.7 [14]	P1.1 [8]	P1.5 [13]
	SPI_CLK	P2.6 [25]	P2.0 [15]	P3.5 [37]	P1.3 [10]

Table 11 EZ-PD™ PMG1-S3 SCB 和引脚分配

组件	信号	端口和引脚分配 (端口[MCU 引脚])							
		SCB0	**SCB1**	**SCB2**	**SCB3**	**SCB4**	**SCB5**	**SCB6**	**SCB7**
EZ-PD™ PMG1-S3 MCU 97-BGA									
UART	UART_RX	P4.0 [E15]	P7.0 [G15]	P5.0 [G2]	P1.1 [P3]	P3.5 [F4]	P2.2 [A3]	P6.1 [P5]	P7.4 [B11]
	UART_TX	P4.1 [D12]	P1.5 [M12]	P5.1 [E1]	P1.2 [R3]	P3.6 [E2]	P2.3 [B5]	P6.0 [R5]	P7.3 [B13]
	UART_CTS	P2.4 [A7]	P2.7 [A8]	P5.2 [H6]	P1.3 [K4]	P3.0 [A1]	P2.5 [A5]	P6.3 [R13]	P7.5 A9
	UART_RTS	P2.1 [B2]	P2.6 [B7]	P5.3 [H1]	P1.4 [M10]	P3.3 [B1]	P2.0 [A2]	P6.2 [P13]	P7.6 [B9]
I2C	I2C_SDA	P4.1 [D12]	P1.5 [M12]	P5.1 [E1]	P1.2 [R3]	P3.6 [E2]	P2.2 [A3]	P6.0 [R5]	P7.3 [B13]
	I2C_SCL	P4.0 [E15]	P1.6 [K12]	P5.0 [G2]	P1.1 [P3]	P3.5 [F4]	P2.3 [B5]	P6.1 [P5]	P7.4 [B11]
SPI	SPI_MOSI	P4.1 [D12]	P2.6 [B7]	P5.1 [E1]	P1.3 [K4]	P3.0 [A1]	P2.2 [A3]	P6.3 [R13]	P7.5 A9
	SPI_MISO	P2.4 [A7]	P1.5 [M12]	P5.2 [H6]	P1.2 [R3]	P3.6 [E2]	P2.3 [B5]	P6.0 [R5]	P7.3 [B13]
	SPI_SEL	P2.1 [B2]	P2.7 [A8]	P5.3 [H1]	P1.4 [M10]	P3.3 [B1]	P2.0 [A2]	P6.2 [P13]	P7.6 [B9]
	SPI_CLK	P4.0 [E15]	P1.6 [K12]	P5.0 [G2]	P1.1 [P3]	P3.5 [F4]	P2.3 [B5]	P6.1 [P5]	P7.4 [B11]

原理图设计要求

组件	信号	端口和引脚分配 (端口[MCU 引脚])							
		SCB0	**SCB1**	**SCB2**	**SCB3**	**SCB4**	**SCB5**	**SCB6**	**SCB7**
EZ-PD™ PMG1-S3 MCU 48-QFN									
UART	UART_RX	P4.0 [34]	不适用	P5.0 [7]	P1.1 [12]	P3.5 [3]	不适用	P6.1 [16]	不适用
	UART_TX	P4.1 [35]	不适用	P5.1 [8]	P1.2 [13]	P3.6 [4]	不适用	P6.0 [15]	不适用
	UART_CTS	P2.4 [45]	不适用	P5.2 [9]	P1.3 [14]	P3.0 [1]	不适用	P6.3 [19]	不适用
	UART_RTS	P2.1 [48]	不适用	P5.3 [10]	P1.4 [20]	P3.3 [2]	不适用	P6.2 [18]	不适用
I2C	I2C_SDA	P4.1 [35]	P1.5 [21]	P5.1 [8]	P1.2 [13]	P3.6 [4]	P2.3 [47]	P6.0 [15]	不适用
	I2C_SCL	P4.0 34[]	P1.5 [22]	P5.0 [7]	P1.1 [12]	P3.5 [3]	P2.3 [46]	P6.1 [16]	不适用
SPI	SPI_MOSI	P4.1 [35]	不适用	P5.1 [8]	P1.3 [14]	P3.6 [4]	不适用	P6.3 [19]	不适用
	SPI_MISO	P2.4 [45]	不适用	P5.2 [9]	P1.2 [13]	P3.0 [1]	不适用	P6.0 [15]	不适用
	SPI_SEL	P2.1 [48]	不适用	P5.3 [10]	P1.4 [20]	P3.3 [2]	不适用	P6.2 [18]	不适用
	SPI_CLK	P4.0 34[]	不适用	P5.0 [7]	P1.1 [12]	P3.5 [3]	不适用	P6.1 [16]	不适用

4.6.2 定时器、计数器、脉宽调制器 (TCPWM)

TCPWM 是一个多功能组件，可实现内核微控制器的功能。EZ-PD™ PMG1-S0 和 EZ-PD™ PMG1-S2 MCU 具有四个 TCPWM 模块，EZ-PD™ PMG1-S1 具有两个 TCPWM 模块。EZ-PD™ PMG1 MCU 中的 TCWM 模块能够实现 16 位定时器、计数器、脉宽调制器和正交解码器等功能。该模块用于测量输入信号的周期和脉宽 (定时器)、捕获特定事件发生的次数 (计数器)、生成 PWM 信号或解码正交信号。**Table 12** 列出了 PMG1 MCU 中 TCPWM 模块的线路输出引脚。有关更多信息，请参阅数据手册**[4]**。

Table 12 TCPWM 输出引脚列表

TCPWM 信号	GPIO 端口[MCU 引脚编号]					说明
	EZ-PD™ PMG1-S0 MCU	**EZ-PD™ PMG1-S1 MCU**	**EZ-PD™ PMG1-S2 MCU**	**EZ-PD™ PMG1-S3 MCU 48-QFN**	**EZ-PD™ PMG1-S3 MCU 97-BGA**	
TCPWM_line_0	P0.0 [7]	P1.2 [4]	P3.2 [34]	P6.2[18]	P6.2[P13]	TCPWM-0 的输出
	P2.2 [12]		P0.0 [27]			
TCPWM_line_1	P0.1 [8]	P1.4 [6]	P3.3 [35]	不适用	P0.2[P8]	TCPWM-1 的输出
	P2.3 [13]		P0.1 [28]			
TCPWM_line_2	P2.0 [9]	不适用	P3.4 [36]	P2.1[48]	P2.1[B2]	TCPWM-2 的输出
	P1.0 [1]					
TCPWM_line_3	P2.1 [10]	不适用	P3.5 [37]	P2.4[45]	P2.4[A7]	TCPWM-3 的输出
	P1.1 [2]					

原理图设计要求

TCPWM 信号	GPIO 端口[MCU 引脚编号]					说明
	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA	
TCPWM_line_4	不适用	不适用	不适用	P1.3[14]	P1.3[K4]	TCPWM-4 的输出
TCPWM_line_5	不适用	不适用	不适用	P1.4[20]	P1.4[M10]	TCPWM-5 的输出
TCPWM_line_6	不适用	不适用	不适用	P3.0[1]	P3.0[A1]	TCPWM-6 的输出
TCPWM_line_7	不适用	不适用	不适用	P3.3[2]	P3.3[B1]	TCPWM-7 的输出
TCPWM_line_4	不适用	不适用	不适用	P1.3[14]	P1.3[K4]	TCPWM-4 的输出
TCPWM_line_5	不适用	不适用	不适用	P1.4[20]	P1.4[M10]	TCPWM-5 的输出
TCPWM_line_6	不适用	不适用	不适用	P3.0[1]	P3.0[A1]	TCPWM-6 的输出
TCPWM_line_7	不适用	不适用	不适用	P3.3[2]	P3.3[B1]	TCPWM-7 的输出

4.7 USB PD 模块

本节介绍了 USB 数据和 USB PD 设计的推荐硬件设计注意事项。

4.7.1 VBUS 放电

集成的 VBUS 放电电路在脱离条件下或负电压转换期间对 VBUS 进行放电。EZ-PD™ PMG1-S0 /S1/S3 MCU 具有集成的 VBUS 放电电路。EZ-PD™ PMG1-S2 MCU 则需要使用外部电阻器为 VBUS 放电。使用 VBUS_C 放电开关时，可以通过外部电阻对 VBUS 进行放电。在基于 EZ-PD™ PMG1-S2 MCU 的设计中，应该通过一个 200 欧姆 (100 欧姆) 的外部电阻将 MCU 的 VBUS_DISCHARGE 引脚连接到 VBUS 引脚。

4.7.2 CC 和 VCONN

对于接收源、发送源和 DRP 等功能，EZ-PD™ PMG1 MCU 支持高达 20 V、5 A (100 W) 的 USB PD 合约。应该将 EZ-PD™ PMG1 MCU 器件上的 CC1 和 CC2 引脚连接到 Type-C PD 连接器上的 CC1 和 CC2 引脚。并将一个 390 pF 的去耦电容连接到 CC 线 (CC1、CC2) 上，以便在信号速率为 300 kHz 的条件下确保信号的质量。应该尽量将 CC 引脚去耦电容器安装在靠近 MCU 引脚的位置。

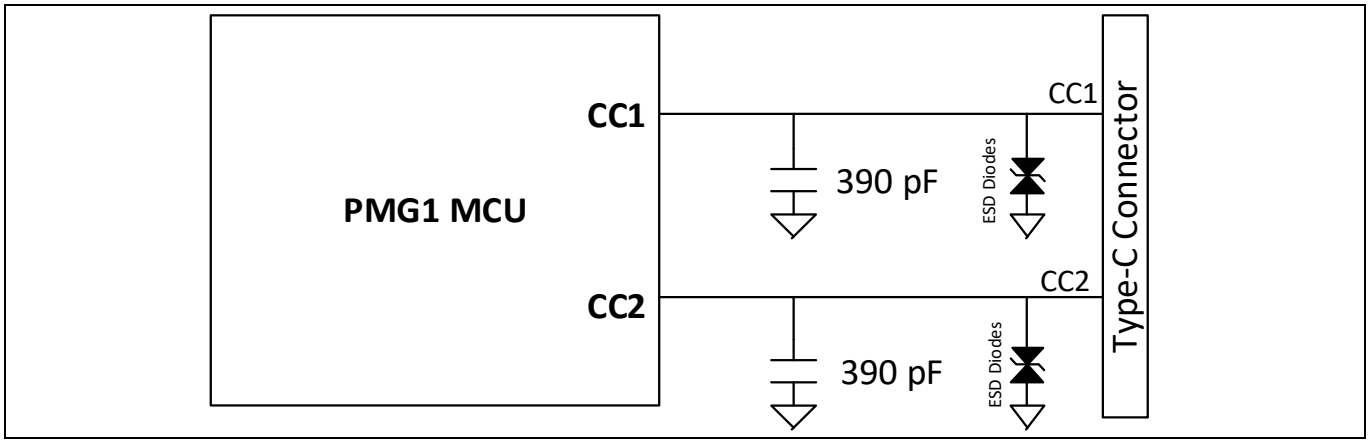

Figure 12 CC1、CC2 信号

如果应用程序支持 USB PD 端口中的 VCONN 功能，则需要将 VCONN_Source 连接到电压源，为内部 VCONN FET 供电。电源发送源需要具有处理 VCONN 电源要求的能力，并且需要将去耦电容器放置在 MCU VCONN_Source 引脚上，如**去耦和旁路电容器**中所述。VCONN FET 具有相关的过电流保护 (OCP) 电路，用于保护芯片，避免它发生 VCONN OCP 故障。EZ-PD™ PMG1-S0 MCU 不支持 VCONN 功能。

4.7.3 EZ-PD™ PMG1-S1/S2 MCU 门控驱动器或负载开关控制信号

EZ-PD™ PMG1 MCU 集成了 N 通道 FET、P 通道 FET (PFET) 或该两个门控驱动器，用于驱动发送程序和接收程序路径上基于 FET 的负载开关。

EZ-PD™ PMG1-S0 MCU 具有两个 P 通道 FET 栅极驱动器，用于驱动 VBUS 发送程序路径上的两个外部 PFET。VBUS_FET_CTRL_0 栅极驱动器具有一个有效上拉，因此可以驱动高电平、低电平或高阻态。但 VBUS_FET_CTRL_1 栅极驱动器只能驱动低电平或高阻态，因此需要外部上拉。栅极驱动器信号具有 VBUS 电压耐受能力。

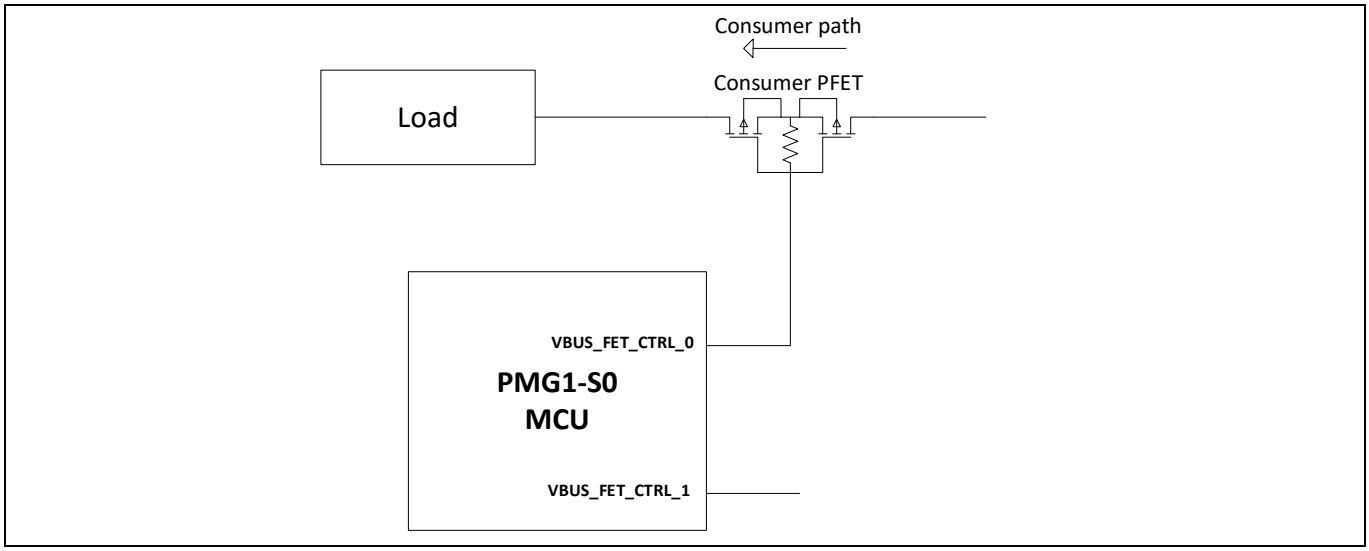

Figure 13 EZ-PD™ PMG1-S0 MCU 外部 FET 控制

EZ-PD™ PMG1-S1 MCU 集成了一个带有 PFET 驱动器的负载开关控制器，在仅限 DRP 和接收源设计中可以驱动接收程序路径上的外部 PFET。栅极驱动器需要一个外部上拉。负载开关控制器还具有一个由转换速率控制的栅极驱动器，用于驱动发送程序路径上的外部 PFET。与普通栅极驱动器相比，集成负载开关控制器具有更多功能。有关负载开关控制器的详细信息，请参阅 EZ-PD™ PMG1-S1 MCU 数据手册[4]。

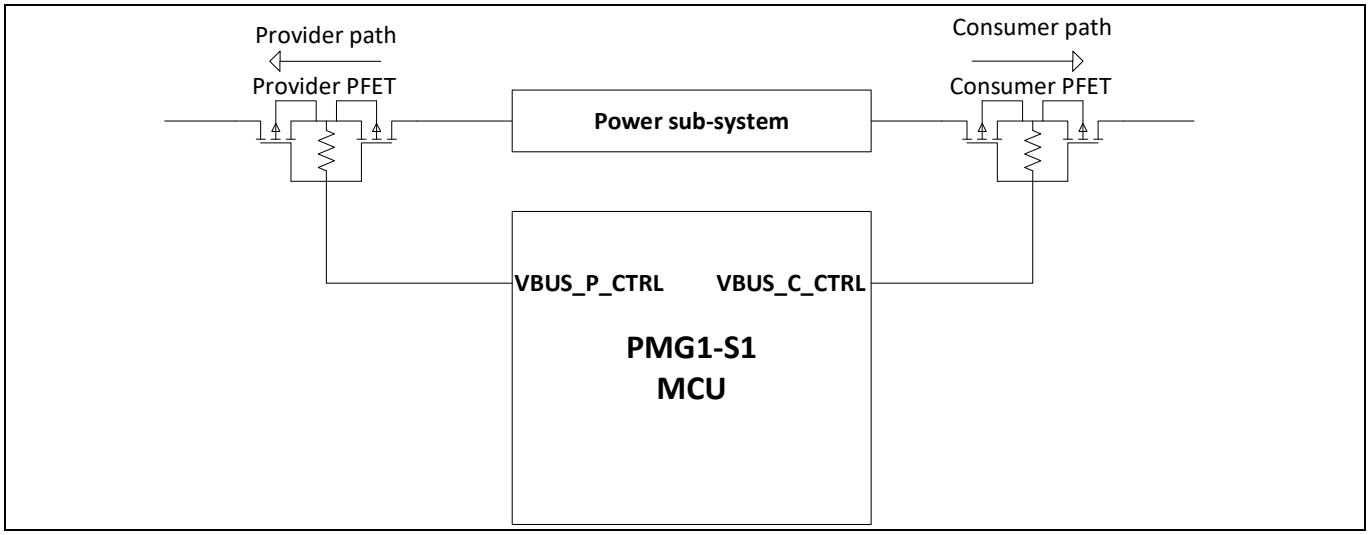

Figure 14 EZ-PD™ PMG1-S1 MCU 外部 FET 控制

在 EZ-PD™ PMG1-S2 MCU 器件中，MCU 集成了 N 通道 FET (NFET) 和 PFET 栅极驱动器。为了支持 P 和 N 型外部 FET，可以在硬件中使用 P1.0 GPIO 引脚配置栅极驱动器的类型。悬空 P1.0 表示 NFET 驱动器。要想配置为 PFET 驱动器的类型，则将该引脚接地。EZ-PD™ PMG1-S2 具有的两个引脚 (VBUS_P_CTRL0 和 VBUS_P_CTRL1)，用于驱动提供程序路径 FET；另外的两个引脚 (VBUS_C_CTRL0 和 VBUS_C_CTRL1)，用于驱动接收程序路径 FET。

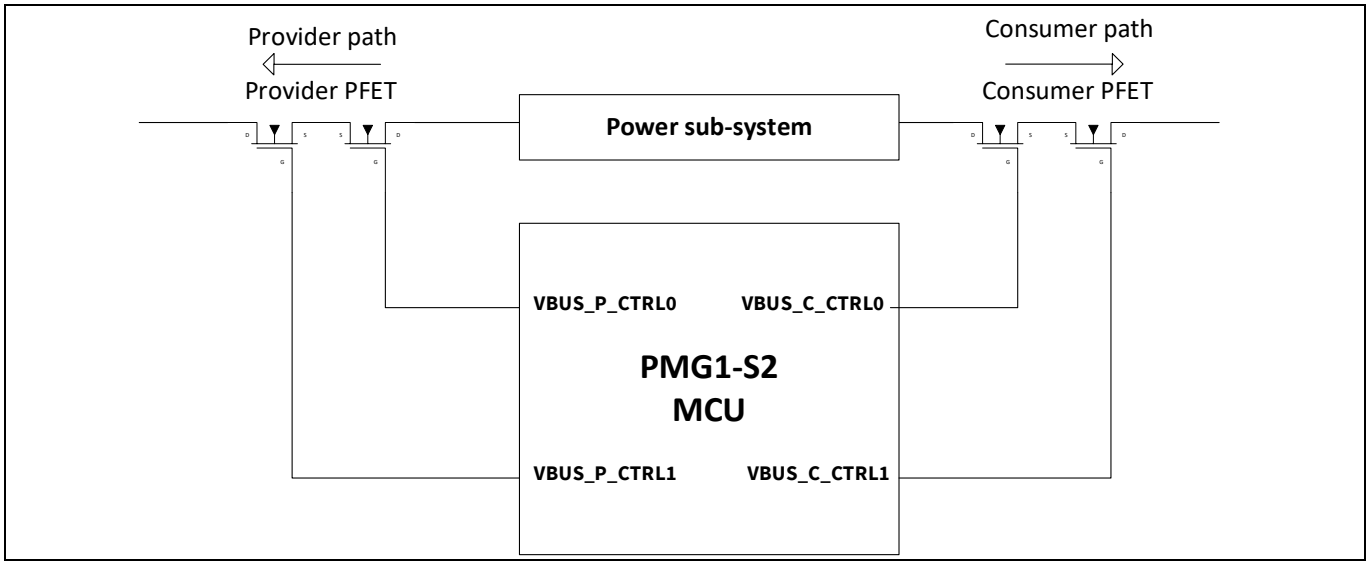

Figure 15 EZ-PD™ PMG1-S2 MCU 外部 FET 控制

Table 13 列出了分配给栅极驱动器/负载开关控制的 EZ-PD™ PMG1 MCU 引脚。

4.7.4 EZ-PD™ PMG1-S3 MCU 栅极驱动器或负载开关控制信号

在 EZ-PD™ PMG1-S3 MCU 48-QFN 器件中，MCU 集成了一个 N 通道 FET (NFET) 栅极驱动器。在 EZ-PD™ PMG1-S3 MCU 97-BGA 器件中，MCU 集成了两个 N 通道 FET (NFET) 栅极驱动器。每个栅极驱动器都具有四个引脚 (VBUS_IN_NGDO、VBUS_IN_CTRL、VBUS_OUT_NGDO 和 VBUS_OUT_CTRL)。

我们总是强制要求两个 NFET 解决方案来实现负载开关。该两个驱动器分别为 IN_NFET 和 OUT_NFET。外部 NFET 需要具有以下特性：

原理图设计要求

- 栅极源电压 (VGS) 需要至少为+/- 20 V。
- 栅极源极正向漏电流 (IGSS) 需要小于 2 µA。

对于仅限发送源操作，IN_NFET 始终与 DC-DC 输出连接；对于仅限接收源操作，IN_NFET 则被连接到 Type-C 连接器的 VBUS 引脚。VBUS_IN_NGDO 和 VBUS_IN_CTRL 信号需要映射到 IN_NFET。

- VBUS_IN_NDGO 需要连接到 IN_NFET 的发送源引脚。
- 对于仅限发送源操作，需要将 VBUS_IN_NGDO 连接到 DC-DC 输出。
- 对于仅限接收源操作，则要将 VBUS_IN_NGDO 连接到 Type-C 连接器的 VBUS 引脚。
- 对于仅限接收源操作，需要将 VBUS_IN_NGDO 连接到 VBUS_C 引脚。
- VBUS_IN_CTRL 要连接到 IN_NFET 的栅极引脚。
- VBUS_IN_CTRL 最多只能提供 4 µA 的电流。

对于仅限发送源操作，OUT_NFET 始终连接到 Type-C 连接器的 VBUS 引脚；对于仅限接收源操作，OUT_NFET 则连接到负载电路。VBUS_OUT_NGDO 和 VBUS_OUT_CTRL 信号需要映射到 OUT_NFET。

- VBUS_OUT_NDGO 需要连接到 OUT_NFET 的发送源引脚。
- 对于仅限发送源操作，需要将 VBUS_OUT_NGDO 连接到 Type-C 连接器的 VBUS 引脚。
- 对于仅限发送源操作，需要将 VBUS_OUT_NGDO 连接到 VBUS_C 引脚。
- 对于仅限接收源操作，需要将 VBUS_OUT_NGDO 连接到负载电路。
- VBUS_OUT_CTRL 需要连接到 OUT_NFET 的栅极引脚。
- VBUS_IN_CTRL 最多只能提供 4 µA 的电流。

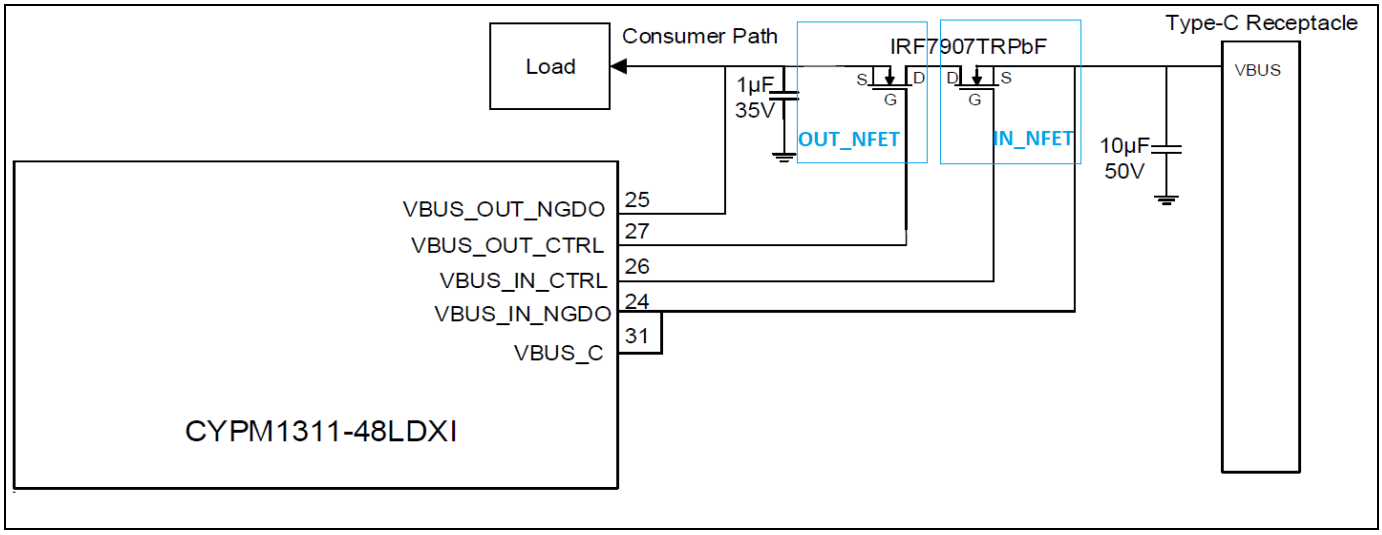

Figure 16 EZ-PD™ PMG1-S3 MCU (48-QFN) 外部 NFET 控制 (仅限接收源操作)

原理图设计要求

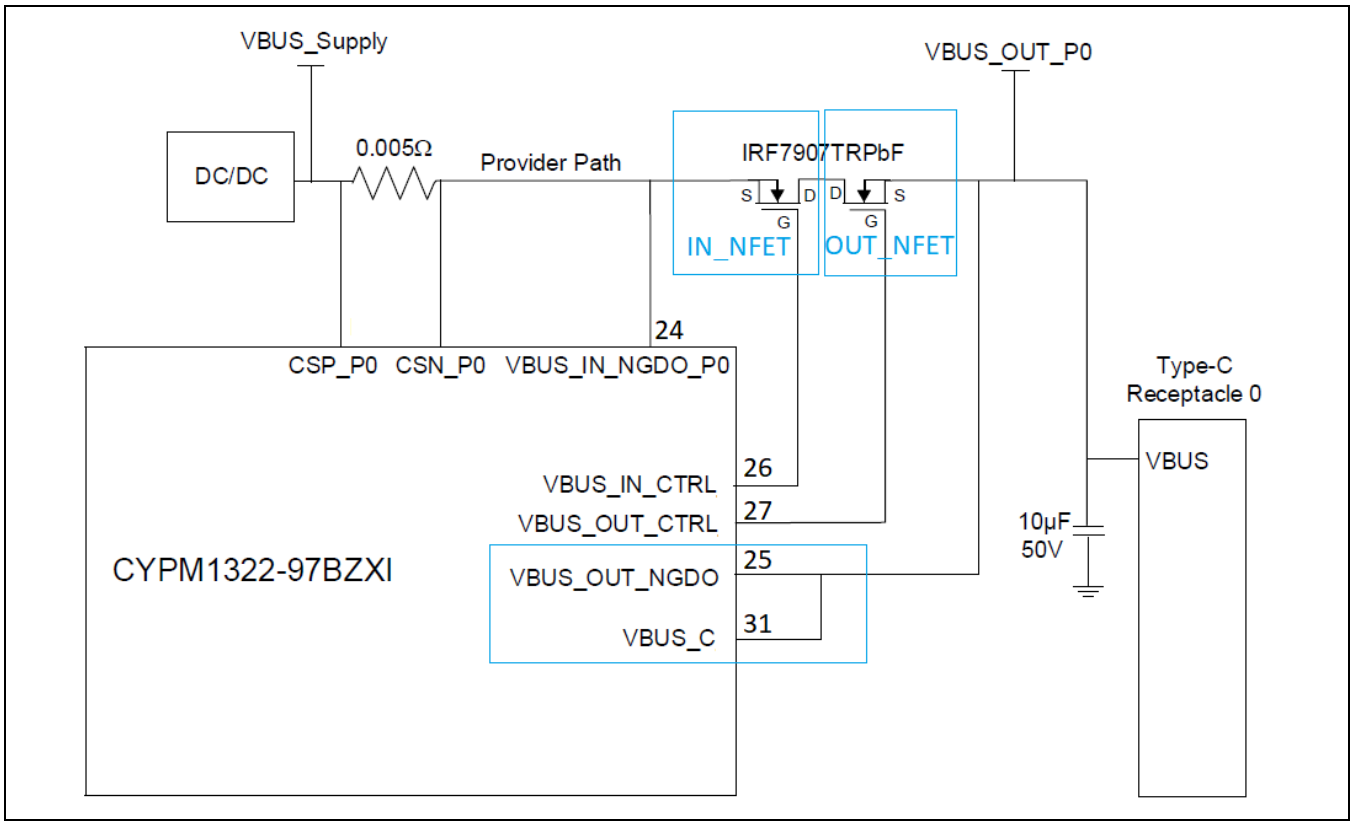

Figure 17 EZ-PD™ PMG1-S3 MCU (48-QFN) 外部 NFET 控制 (仅限发送源操作)

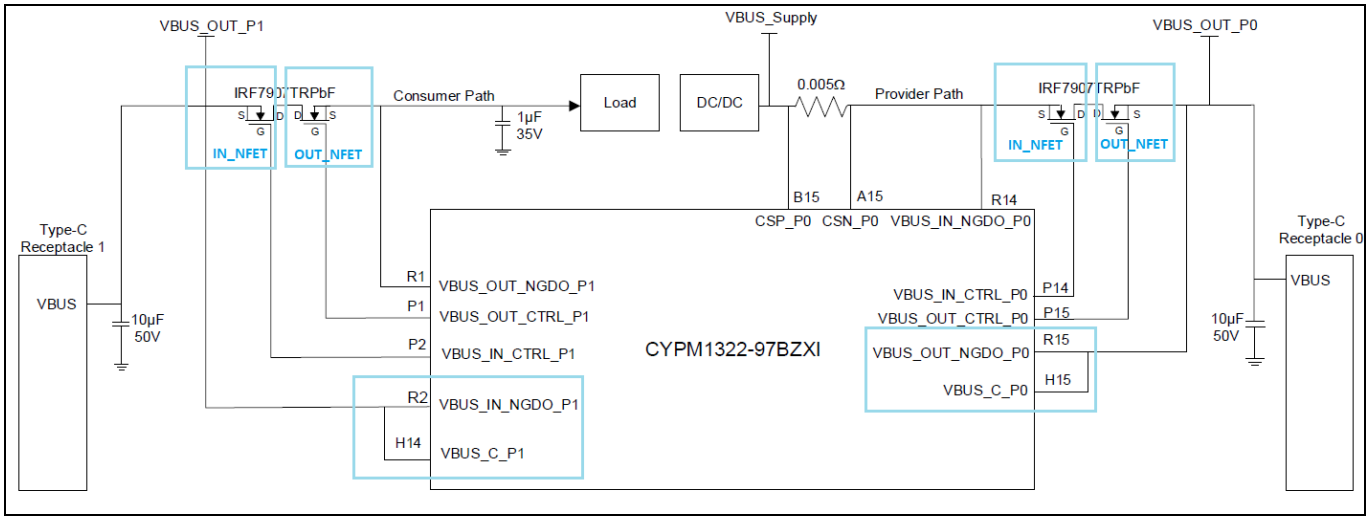

Figure 18 EZ-PD™ PMG1-S3 MCU (97-BGA) 外部 NFET 控制 (仅限两端口发送源操作)

原理图设计要求

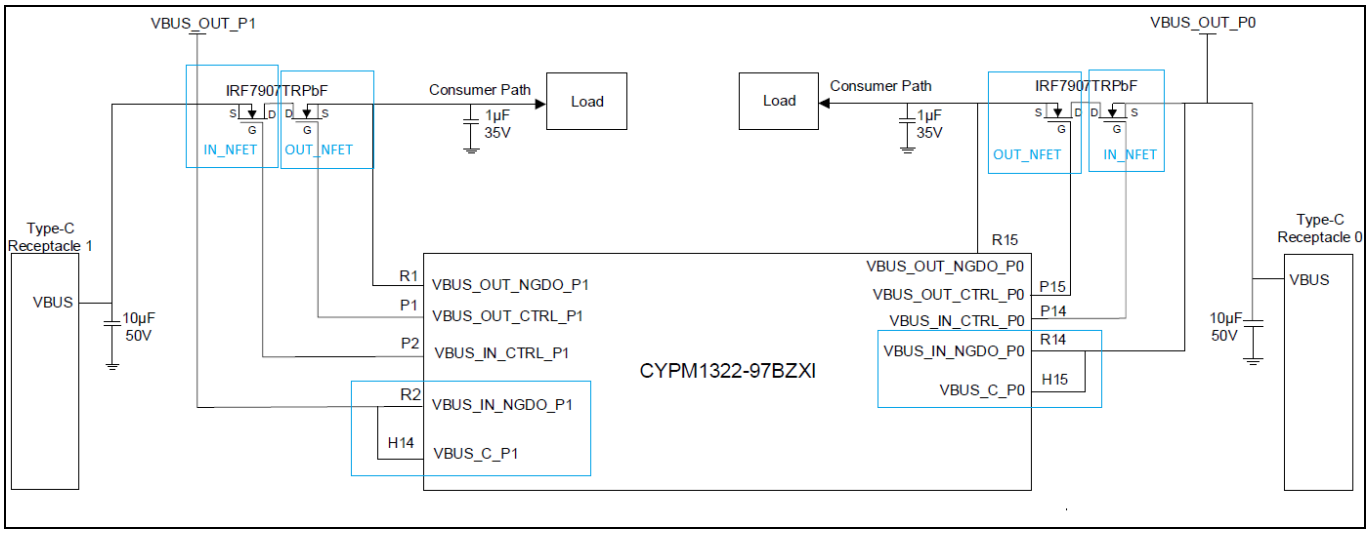

Figure 19 EZ-PD™ PMG1-S3 MCU (97-BGA) 外部 NFET 控制 (仅限两端口接收源操作)

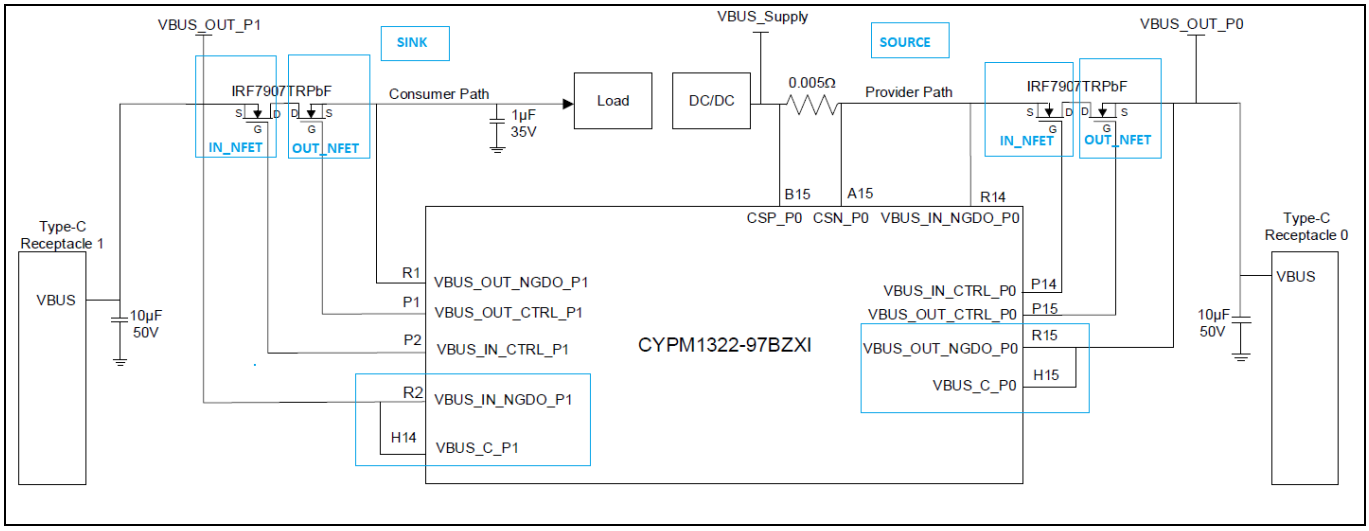

Figure 20 EZ-PD™ PMG1-S3 MCU (97-BGA) 外部 NFET 控制 (端口 0 仅限发送源操作，端口 1 仅限接收源操作)

EZ-PD™ PMG1-S3 MCU 允许使用带有内置栅极驱动器的外部负载开关。并且必须遵循以下准则：

- 将 VBUS_IN_NDGO 连接到负载开关的输入引脚。
- 通过电位分频器电路将 VBUS_IN_CTRL 连接到负载开关的启用引脚。VBUS_IN_CTRL 最多只能提供 4 uA 的电流。从这些电阻器吸取的电流必须小于 4 uA；否则栅极驱动器将被坏掉。
- 使用 GPIO (P2.0) 驱动外部栅极驱动器。可以使用 VBUS_IN_CTRL 或 GPIO (P2.0) 控制外部栅极驱动器和带有内置门控驱动器的外部负载开关。
- 对于仅限发送源操作，将 VBUS_OUT_NGDO 连接到 VBUS_C 引脚。
- 对于仅限接收源操作，将 VBUS_OUT_NGDO 连接到负载电路。

原理图设计要求

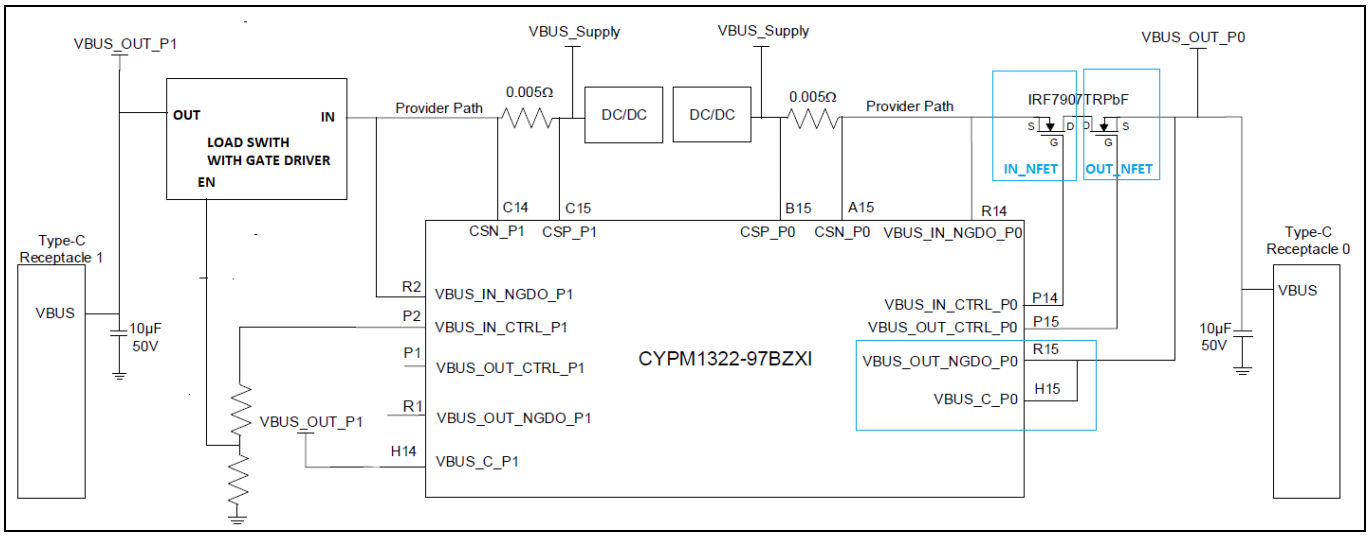

Figure 21 EZ-PD™ PMG1-S3 MCU (97-BGA) 的外部负载开关，该开关带有由 VBUS_IN CRTL 控制的内置栅极驱动器 (仅限发送源操作)

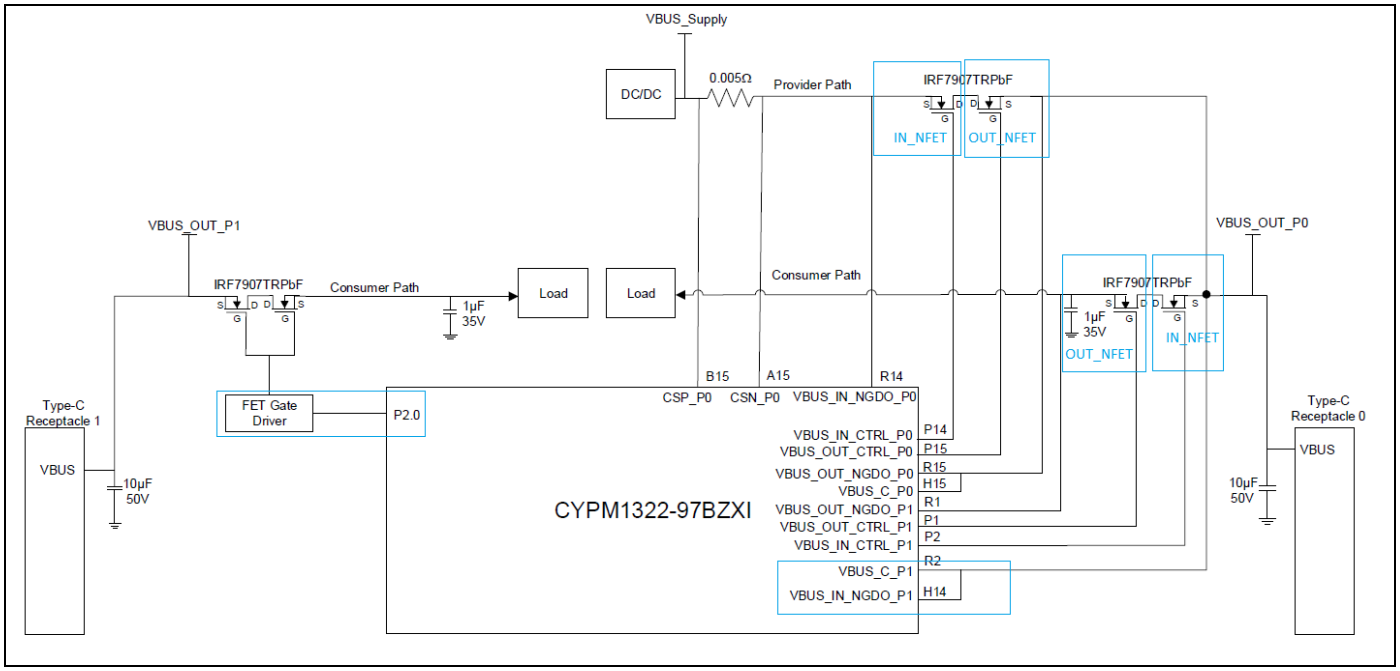

Figure 22 一个端口上的 DRP 和另一个端口上的接收源操作，并且带有外部负载开关和通过 GPIO 控制的外部栅极驱动器

原理图设计要求

Table 13 列出了分配给栅极驱动器/负载开关控制的 EZ-PD™ PMG1 MCU 引脚。

Table 13　负载开关/门控驱动器信号

负载开关控制信号	MCU 引脚编号	说明
EZ-PD™ PMG1-S0 MCU		
VBUS_FET_CTRL_0	3	带有内部上拉的外部 PMOS FET (PFET) 控制 (电压容限为 30 V) 0：即路径为开 1：即路径为关
VBUS_FET_CTRL_1	4	外部 PFET 控制 (电压容限为 30 V) 0：即路径为开 高阻抗：即路径为关 要使用该引脚, 请提供外部上拉电阻
EZ-PD™ PMG1-S1 MCU		
VBUS_P_CTRL	11	受转换速率控制的 I/O, 用于启用/禁用发送程序端 PFET 0：即路径为开 高阻抗：即路径为关
VBUS_C_CTRL	12	用于启用/禁用接收程序端 PFET 的引脚 0：即路径为开 高阻抗：即路径为关
EZ-PD™ PMG1-S2 MCU		
VBUS_P_CTRL1	1	用于发送程序开关的 VBUS 栅极驱动器控制 1
VBUS_P_CTRL0	2	用于发送程序开关的 VBUS 栅极驱动器控制 0
VBUS_C_CTRL1	29	用于消费类开关的 VBUS 栅极驱动器控制 1
VBUS_C_CTRL0	30	用于消费类开关的 VBUS 栅极驱动器控制 0
EZ-PD™ PMG1-S3 MCU 48-QFN		
VBUS_IN_NGDO	1	IN_FET 的发送源引脚
VBUS_IN_CTRL_NDGO	2	IN_FET 的栅极驱动器控制
VBUS_OUT_CTRL_NGDO	29	OUT_FET 的栅极驱动器控制
VBUS_OUT_NGDO	30	OUT_FET 的发送源引脚
EZ-PD™ PMG1-S3 MCU 97-BGA		
VBUS_IN_NGDO_P0	1	端口 0 的 IN_FET 发送源引脚
VBUS_IN_CTRL_NDGO_P0	2	端口 0 的 IN_FET 栅极驱动器控制
VBUS_OUT_CTRL_NGDO_P0	29	端口 0 的 OUT_FET 栅极驱动器控制
VBUS_OUT_NGDO_P0	30	端口 0 的 OUT_FET 发送源引脚
VBUS_IN_NGDO_P1	1	端口 1 的 IN_FET 发送源引脚
VBUS_IN_CTRL_NDGO_P1	2	端口 1 的 IN_FET 栅极驱动器控制
VBUS_OUT_CTRL_NGDO_P1	29	端口 1 的 OUT_FET 栅极驱动器控制
VBUS_OUT_NGDO_P1	30	端口 1 的 OUT_FET 发送源引脚

4.8 充电器检测

EZ-PD™ PMG1 MCU 系列集成了 USB BC 1.2 和苹果充电终端的电池充电器仿真和检测功能。MCU 的 DP 和 DM 引脚被连接到充电器检测模块。在 PMG1-S1 器件中，充电器检测是内部 HS 复用器的一部分。

连接 DP 和 DM 信号的硬件设计应注意以下事项：

- 在 EZ-PD™ PMG1-S0 MCU、EZ-PD™ PMG1-S2 MCU 和 EZ-PD™ PMG1-S3 MCU 中，短接 Type-C 连接器的 A6 和 B6 (DP)，并将其路由到 MCU 的 USBDP 引脚。短接 A7 和 B7 (DM)，并将其路由到 MCU 的 USBDM 引脚 (**Figure 23**)。
- 但对于 EZ-PD™ PMG1-S1 MCU，请勿短接这些引脚。将 Type-C 连接器引脚直接路由到 MCU 的高速 (HS) 引脚 (**Figure 24**)。
- 遵循 **电源域** 中介绍的 USB HS 信号路由注意事项，以获得最佳性能。

Table 14 列出了 EZ-PD™ PMG1 MCU 上 USB HS/充电器检测信号的引脚编号。

Table 14 USB HS/充电器检测信号

HS 信号	MCU 引脚编号				
	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU (48-QFN)	EZ-PD™ PMG1-S3 (97-BGA)
USBDP	17	不适用	21	39	A13
USBDM	16	不适用	22	40	A11
USBDP_TOP	不适用	28	不适用	不适用	不适用
USBDP_BOT	不适用	26	不适用	不适用	不适用
USBDM_TOP	不适用	27	不适用	不适用	不适用
USBDM_BOT	不适用	25	不适用	不适用	不适用

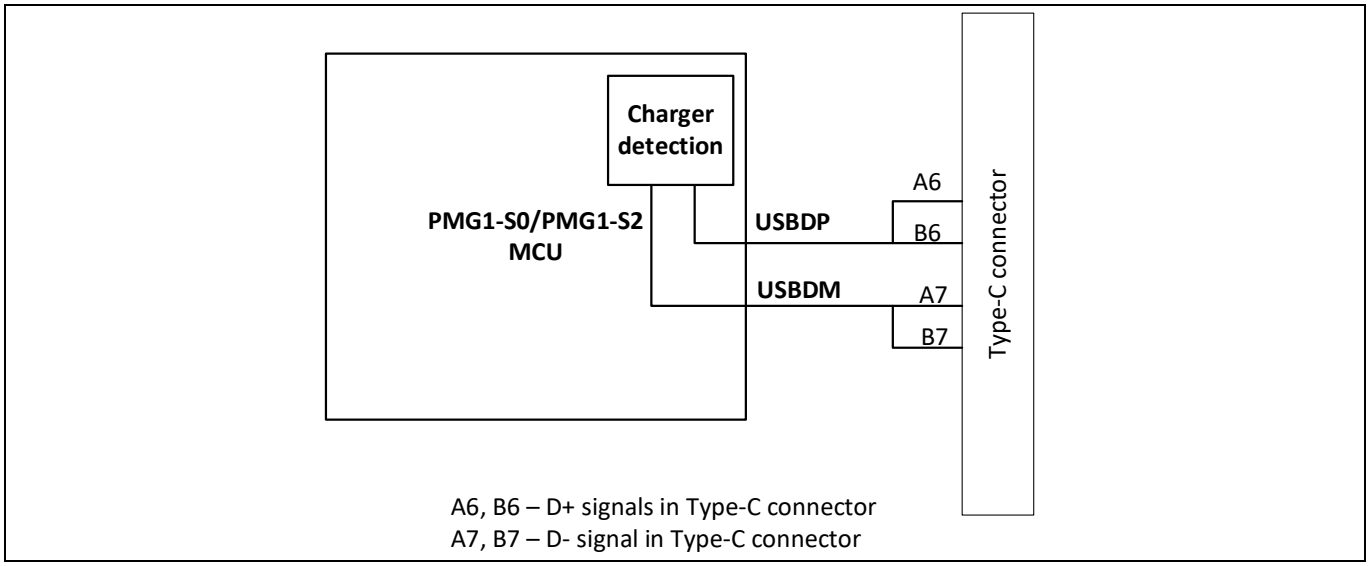

Figure 23 EZ-PD™ PMG1-S0 MCU、EZ-PD™ PMG1-S2 MCU 和 EZ-PD™ PMG1-S3 MCU 中的充电器检测

原理图设计要求

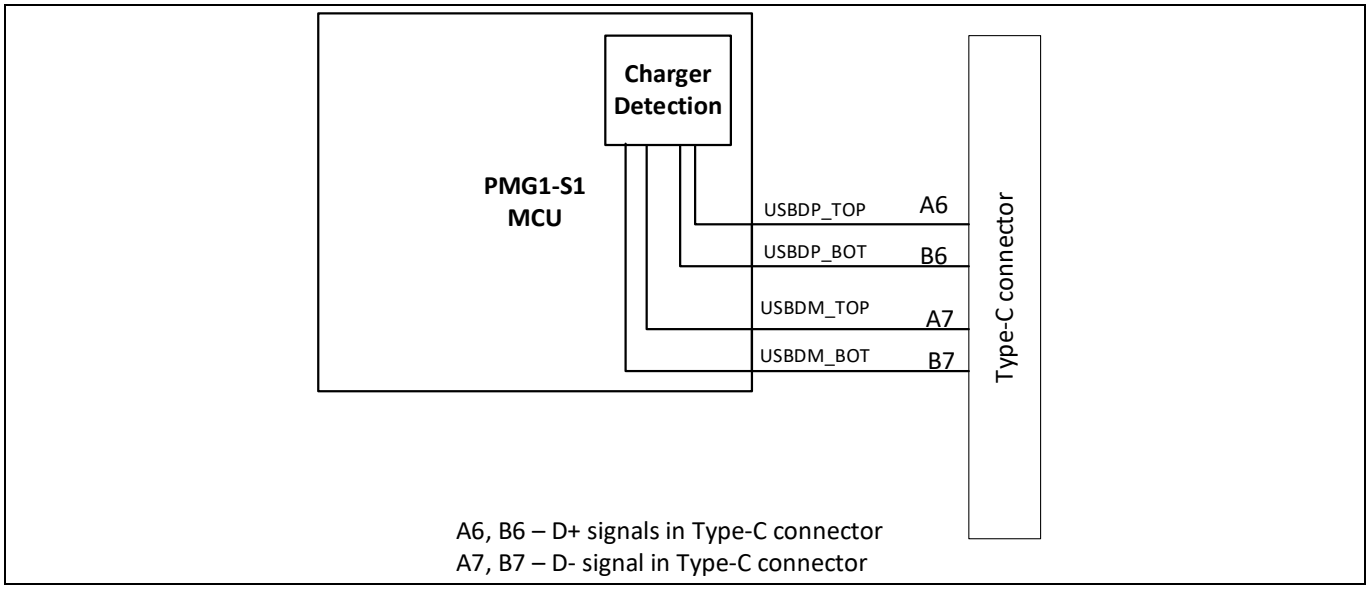

Figure 24 EZ-PD™ PMG1-S1 MCU 中的充电器检测

5 电器设计注意事项

5.1 ESD 和 EMI/EMC 保护

EZ-PD™ PMG1 MCU 在 VBUS、OVT 引脚和 USB/USB PD 线上提供了内置 ESD 保护。**Table 15** 介绍了 MCU 的内置 ESD 保护的汇总。

Table 15 EZ-PD™ PMG1 MCU 的内置 ESD 保护

MCU	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU (48-QFN 和 97-BGA)
接触放电	CC1, CC2, VBUS, P2.2 和 P2.3 引脚上的±8 kV	不支持	CC1, CC2, VBUS, USBDP, USBDM, SBU1 和 SBU2 引脚上的±8 kV	不支持
空气放电	CC1, CC2, VBUS, P2.2 和 P2.3 引脚上的±15 kV	不支持	CC1, CC2, VBUS, USBDP, USBDM, SBU1 和 SBU2 引脚上的±15 kV	不支持
HBM	± 2.2 kV	±2.2 kV	± 2.2 kV	± 2.2 kV
CDM	± 500 V	± 500 V	± 500 V	± 500 V

该指南建议在 USB 信号和 CC 线上添加一个 ESD 二极管，从而在超出额定限制时提供扩展保护。ESD 二极管符合 IEC61000-4-2 和输入低电容的要求。并非所有使用 EZ-PD™ PMG1 MCU 的 Type-C 应用都必须使用铁氧体磁珠，但建议在 Type-C 连接器的屏蔽层和系统 GND 引脚之间连接磁珠。

5.2 通用 PCB 布局技巧

设计 PCB 时，可以使用多种经典方法来降低噪声和 EMC。本节介绍了其中一些通用技术。通过这些技术，可以改进系统的整体设计、EMI/EMC 性能、噪声处理能力等等：

- **多层：** 虽然价格昂贵，但带有专用于 VSS 和 VDD 电源的单独层的多层 PCB 是最佳选择。这样可以使去耦和屏蔽效果更好。在这些层上，GND、VDDIO、VSYS、VBUS 和 VDDD 应该具有单独的填充。
  为了降低成本，可以使用一个两层的 PCB 或单层的 PCB。在这种情况下，您必须对所有走线以及电源和接地走线进行良好的布局。但是对于设计 USB PD 系统，不推荐使用双层 PCB，因为系统必须处理最高 100 W 的功率。
- **接地和电源：** 需要有一个用于收集所有接地返回的单点。避免接地环路或最小化它们的面积。PCB 上的所有空表面中应该填充接地面，以创建一个屏蔽，特别是在使用两层 PCB 或单层 PCB 时。
  为了最小化电源回路区，该电源必须靠近接地线。该电源回路可作为一个天线、EMI 的主发射器或接收器使用。
- **去耦：** 外部电源的标准去耦电路是一个 100 µF 的电容器。尽量将附加的 0.1 µF 电容器安装在靠近器件的 VSS 和 VDD 引脚的位置，以减少高频电源纹波。
  总体来说，应该去耦所有灵敏信号或嘈杂的信号，这样可以提高电磁兼容性 (EMC)。该去耦可以是电容去耦和电感去耦。
- **组件位置：** 根据其 EMI 功能将 PCB 上的电路分开。这样可降低 PCB 上的交叉耦合。例如，将嘈杂高电流的电路、低电压电路和数字组件互相分开。尽量将去耦电容器和电感器 (降压电感器) 放置在靠近器件引脚的位置，并使用最小的走线电阻。
- **信号布线**：在设计应用程序时，应该认真研究以下各信号，以提高 EMC 性能：
  - 嘈杂的信号，如快速沿时间的信号
  - 敏感信号和高阻抗信号
  - 捕获事件的信号，如中断和选通信号

电器设计注意事项

为提高 EMC 性能，尽可能缩短走线长度，并将它们与 VSS 走线隔离。为了避免串扰，请勿将这些走线靠近其他嘈杂和敏感走线或与其并行排列。

5.3 PCB 选择和基本布线注意事项

PCB 铜厚度的最小值应为 2oz，以传输最大值为 5 A 的电流。

5.3.1 EZ-PD™ PMG1 MCU 设计的参考 PCB 堆叠

5.3.1.1 厚度为 1.2 mm 的四层 PCB 堆叠

Figure 25 显示了厚度为 1.2 mm 的 PCB 的推荐堆叠。宽度 (W) 和间距 (S) 的值是基于 CY7110 EZ-PD™ PMG1-S0 原型开发套件。

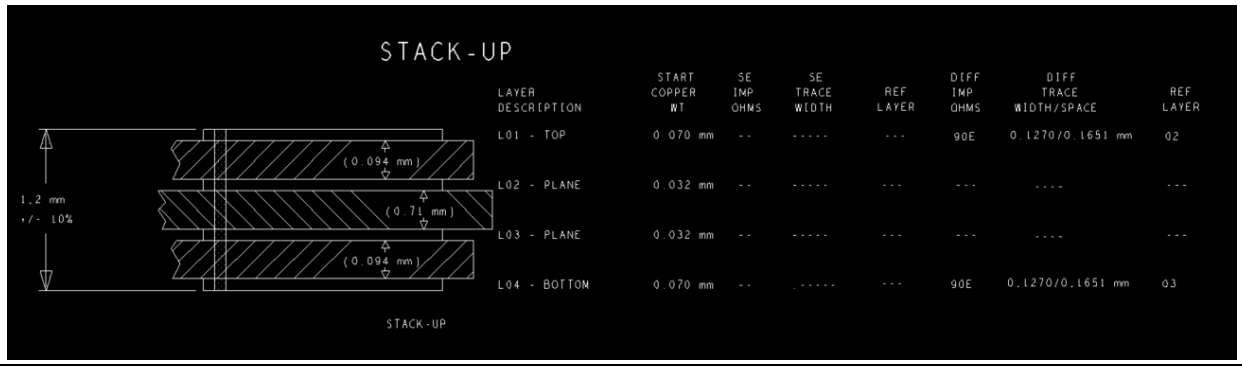

Figure 25 四层 PCB 堆叠

5.3.1.2 厚度为 1.2 mm 的六层 PCB 堆叠

Figure 26 显示了厚度为 1.2 mm 的 PCB 的推荐堆叠。宽度 (W) 和间距 (S) 的值是基于 CY7110 EZ-PD™ PMG1-S0 MCU 原型开发套件。

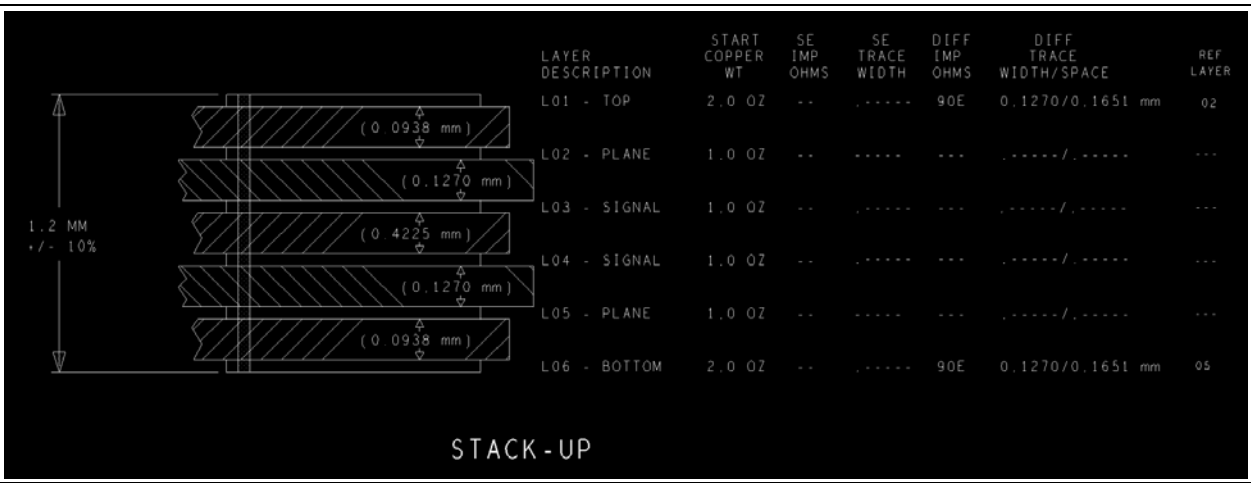

Figure 26 六层 PCB 堆叠

5.4 电源域

5.4.1 大容量电容器和去耦电容器的布局

- 将去耦电容器安装在靠近相应 PMG 控制器的电源引脚的位置，以过滤高频和低频噪声，如 **Figure 27** 所示。
- 将作为本地电源使用的大容量电容器放置在靠近电源输入和输出接头和电压调节器的位置。对电源插座附近的电源输入和输出进行滤波，从而降低电气噪声。建议使用陶瓷或钽电容，各种电解电容都不适合作为大电容使用。

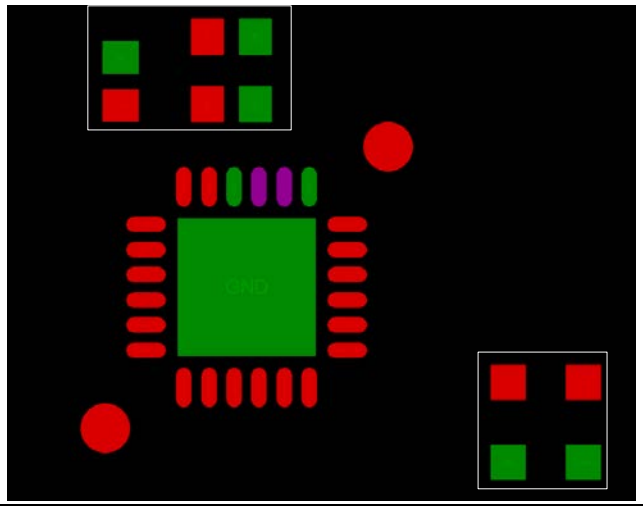

Figure 27 大容量电容器和去耦电容器的布局

5.4.2 电源层和接地层的布局

- 需要有一个用于收集所有接地返回的单独连接点。避免接地环路或最小化它们的面积。PCB 上的所有空表面中应该填充接地面，以创建一个屏蔽，特别是在使用两层 PCB 或单层 PCB 时。
- 对于具有 USB PD 功能的系统设计，PCB 应该使用高性能的基板材料。根据 USB PD 规范，系统可承载高达 5 A 的电流。因此，要求 PCB 上铜厚度为 2 盎司 (oz)。推荐各铜质元件间的最小间距为 8 mil (0.203 mm)。
- 电源和接地层分别使用了相应的专用层。这样可以降低 USB 信号上的抖动，并尽量降低 EMI 和 RFI 的干扰。
- 如果电路板上要求使用多个电压，则需要在电源层上使用断流器。**Figure 28** 显示的是电源层上的断流器。各种电源域用不同的颜色进行标记。

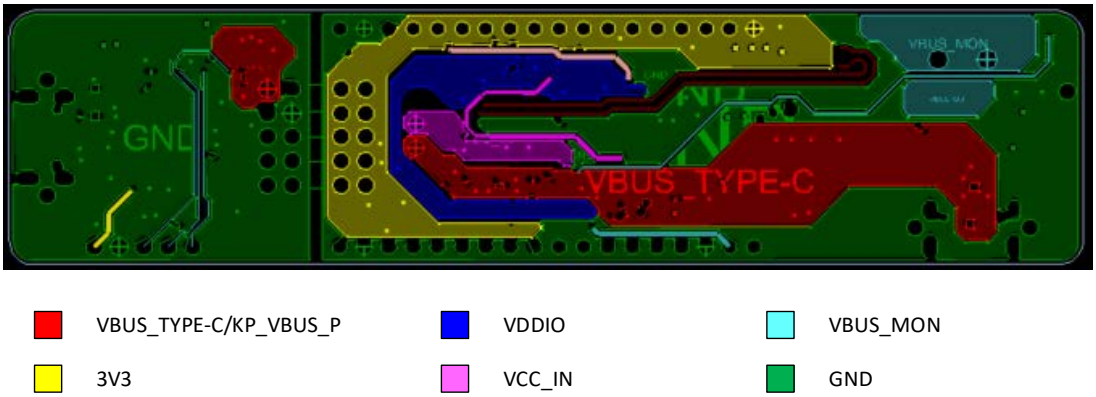

Figure 28 电源层 (参考：EZ-PD™ PMG1-S1 MCU 套件)

电器设计注意事项

- 将电源层放置在接近接地层的位置，这样可以得到较好的平面电容。各层之间的平面电容作为分布式去耦电容，这样可以过滤掉高频噪声，从而降低电磁辐射。

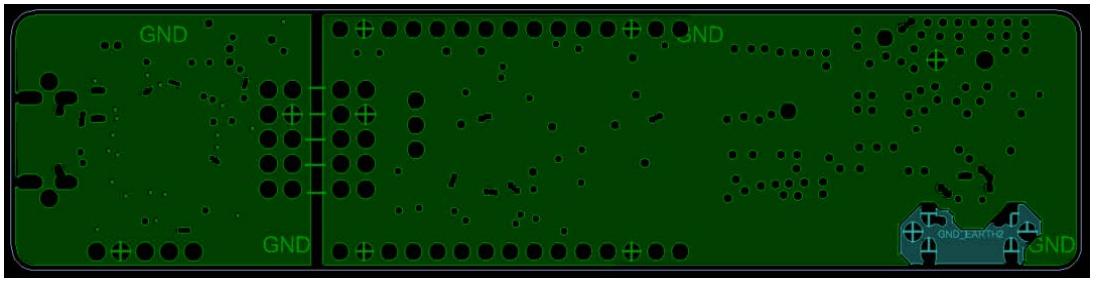

Figure 29　接地层 (参考：EZ-PD™ PMG1-S1 MCU 套件)

- 请勿剥离接地层。否则会增大 USB 信号上的电噪声和抖动。因此应连续放置接地层。间断的接地层会加大回路电流路径 (其可能会增大 EMI 辐射)，从而使电感变大。同样，多个拆开接地层会引起更大的串扰。

5.4.3　电源域布线

- 以最小宽度为 40 mil 的走线布置电源走线，以降低电感。
- 尽可能缩短电源走线的长度。
- 在电源走线上使用较大的过孔 (焊盘的最小宽度为 30 mil，孔的最小宽度是 15 mil)。
- 使电源走线宽度与电源焊盘宽度相同。要想将电源引脚连接至电源层，过孔位置要尽可能靠近电源焊盘。这样有助于尽量减少线路上的寄生电感和 IR。
- 将 PMG1 MCU 的裸露焊盘 (EPAD) 焊接到 PCB 中给定的裸露接地焊盘上。
- 如果使用开关模式电源，请确保电源走线远离信号走线，以避免增加信号上的电源噪声，或在信号走线之间布置接地走线。

5.4.4　电压调节

在选择电压调节器/LDO 时，请留意以下注意事项，以减少电气辐射并防止 USB 暂停期间出现调节问题：

- 选择最小负载电流小于 USB 暂停期间电路板负载电流的电压调节器。如果调节器上吸取的电流小于调节器的最小负载电流，则输出电压可能会发生变化。
- 放置电压调节器，使它们位于分离的 VCC 层上； 这样可以降低辐射。

5.5　USB PD 和 USB 数据信号 (Type-C) 布线

5.5.1　Type-C (VBUS、GND 和 CC) 线布线指南

- 将 VBUS 引脚组合在一起 (通过使用过孔将所有 VBUS 引脚路由到同一层上)。
- 同样，将 GND 引脚组合在一起 (通过使用过孔将所有 GND 引脚连接到同一个接地层)。
- 将 GND 层放置在靠近 CC (CC1，CC2) 线的位置，并位于其下方。必须使用最小宽度为 20 mil 的走线路由来自 CC 引脚的走线，以便进行 VCONN 操作。
- 将信号作为差分对，并将其路由到外部 Rsense 电阻器。

5.5.2 USB 数据线布线指南

- 在 EZ-PD™ PMG1 MCU 中，高速 (DP 和 DM) 信号走线长度相差需要小于 1.25 mm (50 mil)。
- 在 EZ-PD™ PMG1-S1 MCU 中，通过内部复用器路由 USB 高速信号。请确保 MCU 和 Type-C 连接器之间的高速信号长度小于 3 英寸 (75 毫米)。此外，MCU 和主机连接器之间的 Htrace 长度小于 3 英寸。
- 确保差分对 (USBDP、USBDM、USBDP_TOP、USBDP_BOT、USBDM_TOP、USBDM_BOT、USBDP_SYS 和 USBDM_SYS) 的最小对间距为 0.5 mm。
- 尽量少用过孔。
- 选择一个接地的共面波导 (CPWG) 系统作为发送线方法。
- 如果需要，请调整高速信号走线的长度，使之靠近 USB 插座。
- 在 USB 信号线上，尽量减少使用弯曲布线。请勿使用 90 度的弯曲布线。如果需要，请使用 45 度的弯曲或圆形 (曲线) 布线 (参见 **Figure 30**)。

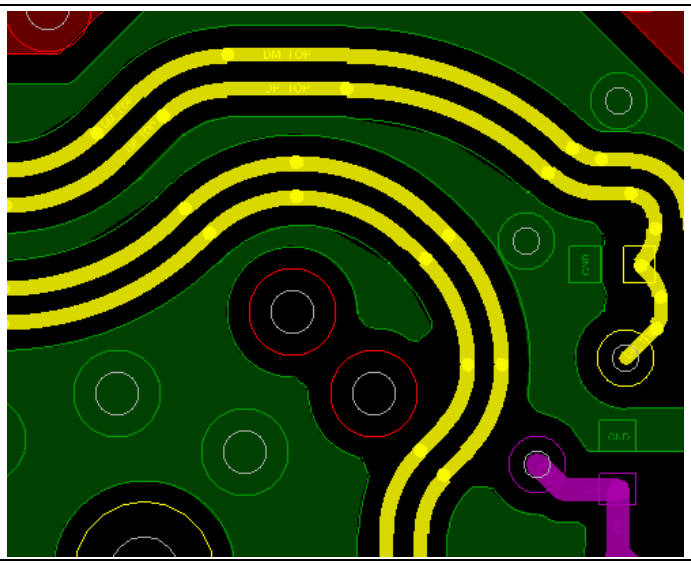

Figure 30 USB 高速信号布线—圆形弯曲

5.5.3 EZ_PD™ PMG1-S3 MCU 97-BGA 和 48-QFN 布局指南

Figure 30 显示了推荐的 PMG1-S3 97-BGA 器件焊盘图形。该焊盘图形的特定位置上放置了椭圆形焊盘。建议使用椭圆形焊盘，以便通过去除高密度互连 (HDI) 板加工来降低制造成本。使用该方法，PCB 设计人员可以将内周长的球形焊盘路由到顶层。建议 MDI (中密度) PCB 设计使用该焊盘图形，因为这些设计的构建成本一般比较低。

您需要确保球形焊盘的外部尺寸为 0.25 mm x 0.1778 mm 和内部尺寸为 0.25 mm x 0.25 mm。EZ-PD™ PMG1-S3 MCU BGA 封装支持尺寸为 10 x 18 mil 的过孔。

为电流检测引脚进行差分布线。

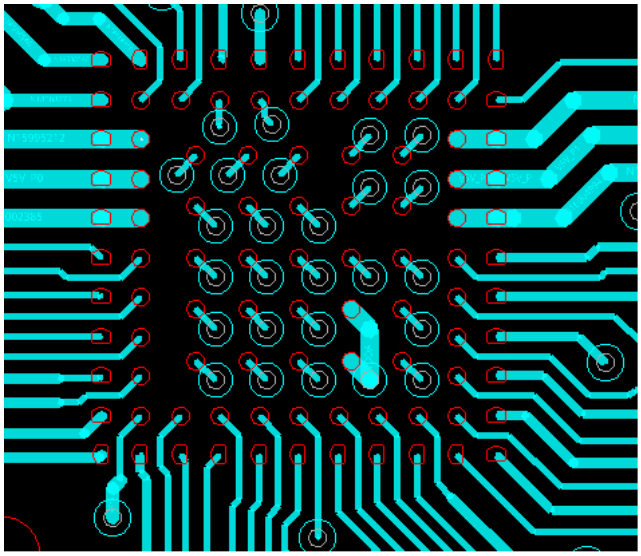

Figure 31 EZ-PD™ PMG1-S3 MCU 97-BGA 扇出和过孔尺寸 (10x18)

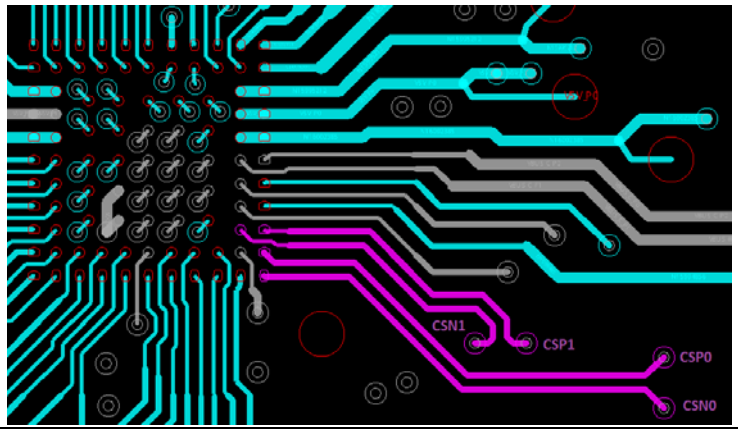

Figure 32 EZ-PD™ PMG1-S3 MCU 97-BGA 电流检测布线：顶层

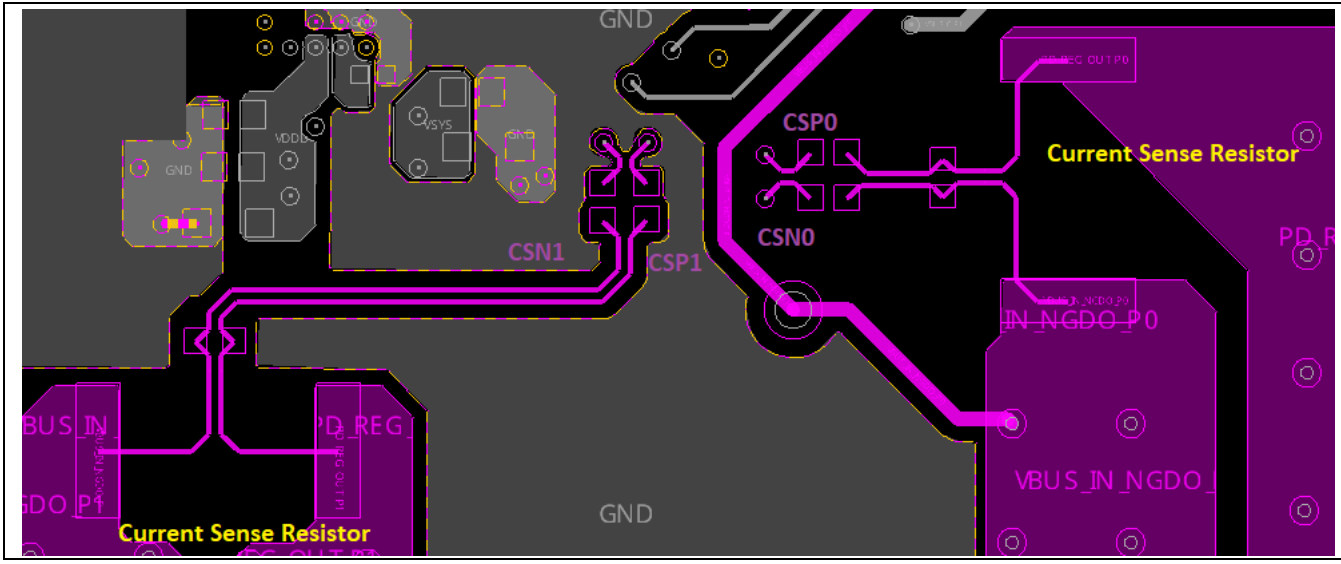

Figure 33 EZ-PD™ PMG1-S3 MCU 97-BGA 电流检测布线：顶层

电器设计注意事项

EZ-PD™ PMG1-S3 MCU 48-QFN 器件的热焊盘上具有一个 5 × 5 的过孔阵列 (25 个过孔)，如 **Figure 34** 所示。建议在热焊盘上使用 4 × 4 的过孔阵列 (16 个过孔)，以满足热性能。过孔阵列表示 EPAD 的行和列上存在的过孔数量。每个过孔的最小尺寸为 10 mil 钻孔和 20 mil 孔径。

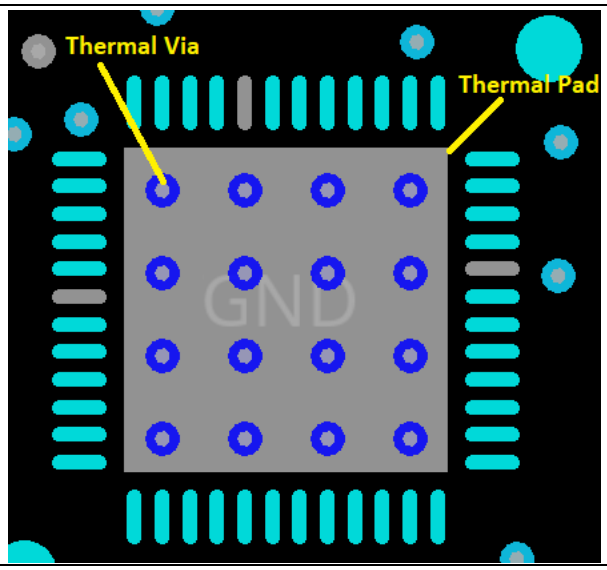

Figure 34 EZ-PD™ PMG1-S3 MCU 48-QFN 热过孔

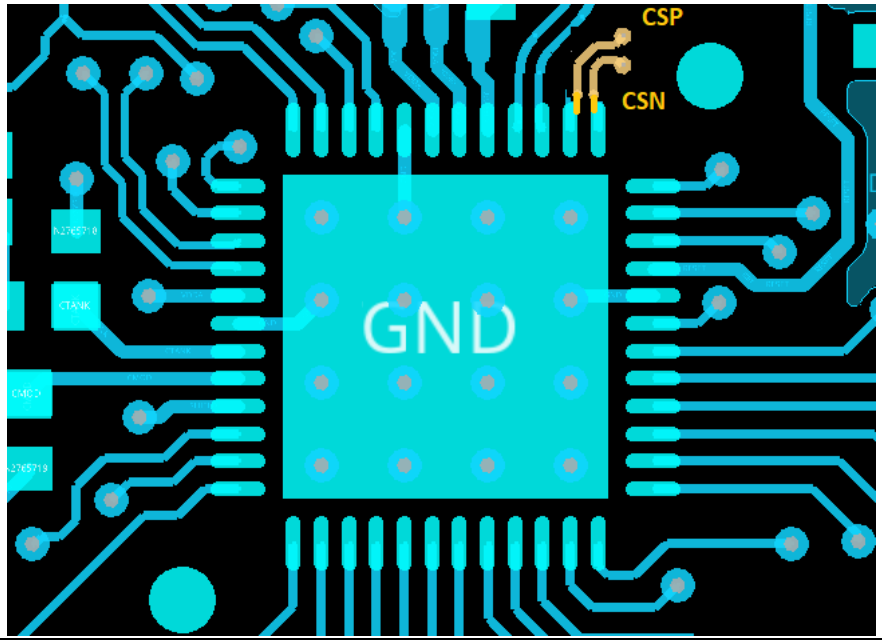

Figure 35 EZ-PD™ PMG1-S3 MCU 40-QFN 扇出和电流检测：顶层

如 **Figure 36** 所示，EZ-PD™ PMG1-S3 MCU 48-QFN 器件的热焊盘上具有一个 5 × 5 的过孔阵列 (25 个过孔)。建议在热焊盘上使用 4 × 4 的过孔阵列 (16 个过孔)，以满足热性能。过孔阵列表示 EPAD 的行和列上存在的过孔数量。每个过孔的最小尺寸为 10 mil 钻孔和 20 mil 孔径。

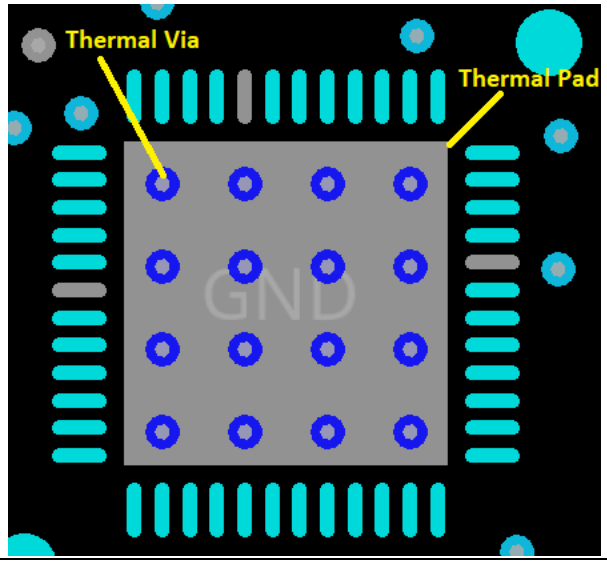

Figure 36 EZ-PD™ PMG1-S3 MCU 48-QFN 热过孔

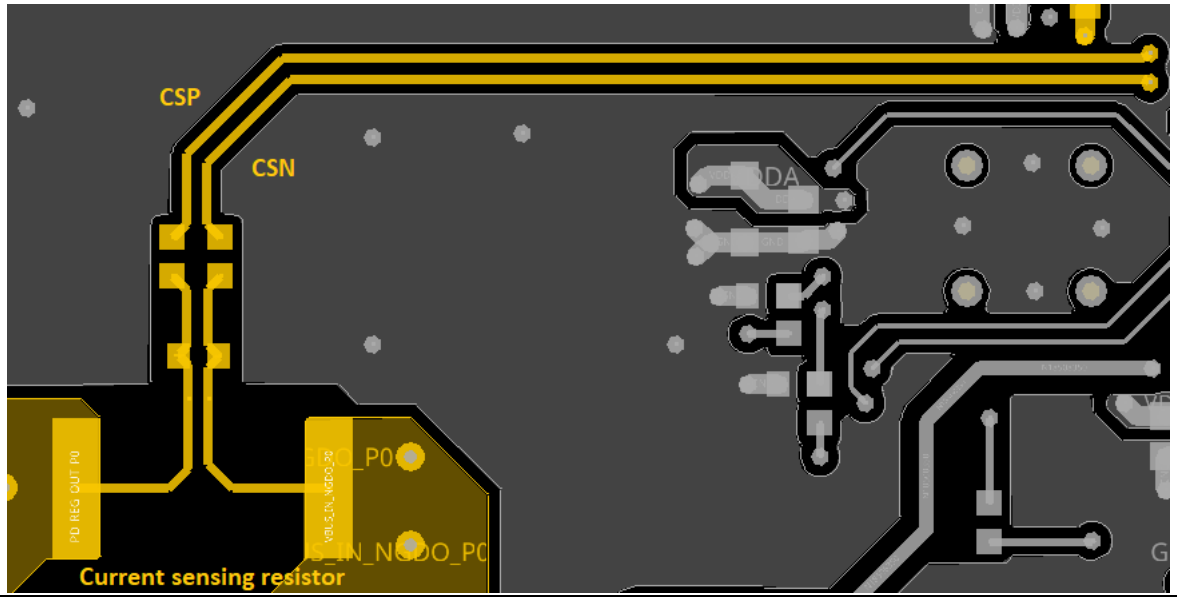

Figure 37 EZ-PD™ PMG1-S3 MCU 48-QFN 电流检测：底层

5.5.4 EZ-PD™ PMG1-S3 MCU 97 BGA/48 QFN CAPSENSE™ (CSD) 引脚分配和布局指南

MCU 引脚与 SCB、UART、SPI、TCPWM 和 CAPSENSE™等许多功能复用。

Table 6 列出了支持 CAPSENSE™功能的 MCU 引脚。在实现 CAPSENSE™操作期间，这些引脚不得与其它功能复用。当未使用 CAPSENSE™操作时，则可以将它们与其它功能复用。使用 0E 电阻来隔离 CAPSENSE™和非 CAPSENSE™操作。

有关 CAPSENSE™的指南，请参阅 **AN85951** 中的内容。

电器设计注意事项

Table 16 EZ-PD™ PMG1-S3 MCU 97-BGA CSD 引脚分配

引脚编号	EZ-PD™ PMG1-S3 MCU 97-BGA 引脚名称	支持 CAPSENSE™ (CSD) 和其它功能
A1	P3.0	GPIO, SCB4, CSD
A2	P2.0	GPIO, SCB5, CSD
A3	P2.2	GPIO, SCB5, CSD
A3	P2.2	GPIO, SCB5, CSD
A5	P2.5	GPIO, SCB5, CSD
A7	P2.4	GPIO, SCB0, CSD
A8	P2.7	GPIO, SCB1, CSD
B1	P3.3	GPIO, SCB4, CSD
B2	P2.1	GPIO, SCB0, CSD
B3	P3.1	GPIO, CSD
B5	P2.3	GPIO, SCB5, CSD
B7	P2.1	GPIO, SCB1, CSD
C1	P3.7	GPIO, CSD
D4	P3.4	GPIO, CSD
E1	P5.1	GPIO, SCB2, CSD (CMOD)
E2	P3.6	GPIO, SCB4, CSD
F4	P3.5	GPIO, SCB4, CSD
K12	P1.6	GPIO, SCB1, CSD
H2	P1.0	GPIO, CSD
H4	P5.5	GPIO, CSD
H6	P5.2	GPIO, CSD
M12	P1.5	GPIO, SCB1, CSD
C2	P3.2	GPIO, CSD
G1	P5.4	GPIO, CSD
G2	P5.0	GPIO, SCB2, CSD (CTANK)
H1	P5.3	GPIO, SCB2, CSD
P3	P1.1	GPIO, SCB3, CSD, 串行线调试时钟
R3	P1.2	GPIO, SCB3, CSD, 串行线调试数据
K4	P1.3	CSD, I2C_INT_TBT_P0
R5	P6.0	GPIO, SCB6, CSD
P5	P6.1	GPIO, SCB6, CSD
R8	P0.0	CSD, LXRX_P1
R7	P0.1	CSD, LXTX_P1
P7	P0.2	CSD, DGB1_P1
K6	P0.2	CSD, DGB2_P1
P8	P0.4	CSD, DGB2_P0
M8	P0.5	CSD, DGB1_P0
R9	P0.6	CSD, LXTX_P0

电器设计注意事项

引脚编号	EZ-PD™ PMG1-S3 MCU 97-BGA 引脚名称	支持 CAPSENSE™ (CSD) 和其它功能
R11	P0.7	CSD, LXRX_P0
P13	P6.2	CSD, SBU2_P0
R13	P6.3	CSD, SBU1_P0
M10	P1.4	CSD, GPIO
M12	P1.5	GPIO, SCB1, CSD
K12	P1.6	GPIO, SCB1, CSD
G15	P7.0	GPIO, SCB1, CSD
G14	P7.0	GPIO, CSD
E15	P4.0	GPIO, SCB0, CSD
D12	P4.1	GPIO, SCB0, CSD
A14	P7.2	GPIO, CSD
B13	P7.3	GPIO, SCB7, CSD
B11	P7.4	GPIO, SCB7, CSD
A9	P7.5	GPIO, SCB7, CSD
B9	P7.6	GPIO, SCB7, CSD

Table 17 EZ-PD™ PMG1-S3 MCU 48 QFN CSD 引脚分配

引脚编号	EZ-PD™ PMG1-S3 MCU48 QFN 引脚名称	支持 CAPSENSE™ (CSD) 和其它功能
1	P3.0	GPIO, SCB4, CSD
2	P3.3	GPIO, SCB4, CSD
3	P3.5	GPIO, SCB4, CSD
4	P3.6	GPIO, SCB4, CSD
7	P5.0	GPIO, SCB2, CSD
8	P5.1	GPIO, SCB2, CSD (CMOD)
9	P5.2	GPIO, SCB2, CSD
10	P5.3	GPIO, SCB2, CSD
11	P5.5	GPIO, CSD
12	P1.1	GPIO, SCB3, CSD, 串行线调试时钟
13	P1.2	GPIO, SCB3, CSD, 串行线调试数据
14	P1.3	GPIO, SCB3, CSD
15	P6.0	GPIO, SCB6, CSD
16	P6.1	GPIO, SCB6, CSD
17	P0.0	GPIO, CSD
18	P6.2	GPIO, SCB6, CSD
19	P6.3	GPIO, SCB6, CSD
20	P1.4	GPIO, SCB3, CSD
21	P1.5	GPIO, SCB1, CSD
22	P1.6	GPIO, SCB1, CSD

电器设计注意事项

引脚编号	EZ-PD™ PMG1-S3 MCU48 QFN 引脚名称	支持 CAPSENSE™ (CSD) 和其它功能
34	P4.0	GPIO, SCB0, CSD
35	P4.1	GPIO, SCB0, CSD
45	P2.4	GPIO, SCB0, CSD
46	P2.3	GPIO, SCB5, CSD
47	P2.2	GPIO, SCB5, CSD
48	P2.1	GPIO, SCB0, CSD

6 原理图和布局检查表

Table 18 原理图和布局检查表

序号	原理图检查表	回答 (是/否/未确定)
1	是否在供电电源和 CC 引脚上连接了去耦电容器和大容量电容器，如 **Figure 7** 和 **Figure 10** 所示?	
2	在 I^2C 线上是否安装了上拉电阻 (2.2 KΩ) ? 引导加载程序和应用程序固件中 I2C 中断引脚的 GPIO 是否相同?	
3	POR RC 组件是否满足所需的复位时间?	
4	I^2C 线是否通过上拉电阻连接到 3.3V 域?	
5	VBUS 上是否使用了推荐的 FET 安排方式，用于控制电源发送程序和接收程序路径，如 **Figure 14**, **Figure 15** 和 **Figure 23** 所示?	
6	是否所有 USB 连接器屏蔽都正确端接?	
7	对于 EZ-PD™ PMG1-S2 MCU，设计中是否使用了 VBUS 放电电路，如 **Figure 23** 所示?	
8	EZ PD™ PMG1-S2 MCU 的 VBUS 放电电阻的额定功耗是否为 2 W?	
9	是否为接收源和发送源应用程序正确分配 EZ-PD™ PMG1-S3 MCU 栅极驱动器引脚?	
10	CAPSENSE™信号是否与某些功能引脚复用？如果是，是否使用隔离电阻 (0E) ?	
布局检查表		
1	去耦电容和批量电容是否被放置在靠近 Type-C PD 控制器的电源引脚所在的位置?	
2	是否将 0.1 µF 的去耦电容器放置在靠近 VCCD 引脚的位置?	
3	是否已经将过孔放置在靠近 Type-C PD 控制器的电源引脚的位置?	
4	电源走线是否远离 HS 和超高速 (SS) 数据线?	
5	RC 复位电路中的电容是否被放置在靠近 Type-C PD 控制器的复位引脚所在的位置?	
6	该设计是否使用了一个特定且连续的 GND 层?	
7	Type-C 连接器上的所有 VBUS 引脚是否被连接到使用过孔的同一个平面上?	
8	Type-C 连接器上的所有 GND 引脚是否被连接到使用了过孔的同一个平面上?	
9	GND 是否被放置在靠近 CC 线的位置，并且位于其下方?	
10	USB SS 和 HS 信号线的长度是否一致?	
11	是否在 USB SS 和 HS 信号线的下面放置了实心接地层?	
12	是否已经尽可能缩短了 USB 走线?	
13	USB 走线拐弯处是否最少，并且没有发生 90 度的弯曲?	
14	SS 和 HS 信号走线阻抗是否与 90E 匹配?	
15	是否将 PMG1-S3 电流检测引脚作为差分信号进行路由?	
16	CAPSENSE™信号是否遵循 **AN85951** 布局指南?	

参考材料

[1] 概述：**Infineon USB PD 控制器路线图**

[2] 产品网页：

- **EZ-PD™ PMG1 MCU 网页**

[3] 套件网页

- **CY7110 EZ-PD™ PMG1-S0 原型开发套件**
- **CY7111 EZ-PD™ PMG1-S1 原型开发套件**
- **CY7112 EZ-PD™ PMG1-S1 原型套件**
- **CY7113 EZ-PD™ PMG1-S3 原型开发套件**

[4] 数据手册

- **EZ-PD™ PMG1-S0 MCU 数据手册**
- **EZ-PD™ PMG1-S1 MCU 数据手册**
- **EZ-PD™ PMG1-S2 MCU 数据手册**
- **EZ-PD™ PMG1-S3 MCU 数据手册**

[5] 应用笔记 **AN232553 - ModusToolbox™软件中 EZ-PD™ PMG1 MCU 入门**

缩略语

缩略语	扩展内容
AC	苹果充电
ADC	模数转换器
Arm®	先进的 RISC 机器, 即为一种 CPU 架构
BC	电池充电
CC	配置通道
CDM	充电器件放电模型
CPU	中央处理单元
CS	电流检测
CSN	电流检测负
CSP	电流检测正
CYP	赛普拉斯编程器
DFP	下行端口
DRP	双功能端口
EMC	电磁兼容性
EMI	电磁干扰
ESD	静电放电
FS	全速
GPIO	通用输入/输出
HBM	人体模型
HS	高速
IC	集成电路
IDE	集成开发环境
I^2C	内部集成电路, 即一种通信协议
I/O	输入/输出
LDO	低压差调节器
MCU	微控制器单元
NC	无连接
OCP	过电流保护
OVP	过压保护
PCB	印刷电路板
PD	供电
POR	上电复位
PWM	脉冲宽度调制器
QFN	四方扁平, 无铅, 即一种集成电路封装
RCP	反向电流保护
R_D	USB Type-C CC 线上的下拉电阻, 用于指示端口是一个接收源
R_{D-DB}	USB Type-C CC 线上的下拉电阻, 用于指示端口是一个无电电池接收源
R_P	USB Type-C CC 线上的上拉电阻, 用于指示端口是一个发送源

缩略语

缩略语	扩展内容
RX	接收器
SAR	逐次逼近寄存器
SCB	串行通信模块
SCL	I2C 串行时钟
SCP	短路保护
SDA	I2C 串行数据
SPI	串行外设接口, 即为一种通信协议
SRAM	静态随机存取存储器
SWD	串行线调试
TCPWM	定时器/计数器脉宽调制器
TX	发送
Type-C	最新的 USB 连接器和线缆标准
UART	通用异步发送器接收器, 即为一种通信协议
USB	通用串行总线
USB-PD/USB PD	USB 电源供应
USB-FS	USB 全速
UVP	欠压保护
XRES	外部复位 I/O 引脚

修订记录

文档版本	发布日期	更新内容
**	2021-12-16	本文档版本号为 Rev**，译自英文版 002-32565 Rev*A。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2021-12-16
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2021 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?
Go to www.cypress.com/support

Document reference
002-34378 Rev. **

重要提示

本文档所提供的任何信息**绝不应当**被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文档中所提及的任何事例、提示或者任何特定数值及/或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。

此外，本文档所提供的任何信息均取决于客户履行本文档所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。
本文档所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文档中所提供的信息是否充分自行予以评估。

如需产品、技术、交付条款和条件以及价格等进一步信息，请向离您最近的英飞凌科技办公室接洽(**www.infineon.com**)。

警告事项

由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。