EZ-PD™ PMG1 ハードウェア設計ガイドラインとチェックリスト

About this document

Scope and purpose

このアプリケーションノートは、高電圧 USB-C 電力供給 (PD) マイクロコントローラーである EZ-PD™電力供給マイクロコントローラーGen1 (PMG1) ファミリのハードウェア設計と PCB レイアウトのガイドラインを説明します。EZ-PD™ PMG1 MCU ベースのシステム設計の詳細なハードウェア設計の側面も説明します。ここでは、EZ-PD™ PMG1 MCU ファミリのプロトタイピングキットを設計リファレンスとして使用します。このアプリケーションノートには、EZ-PD™ PMG1 MCU を使用して設計する際に考慮すべき重要なポイントをまとめた、回路図とレイアウトレビューのチェックリストが含まれます。

Intended audience

このアプリケーションノートは、EZ-PD™ PMG1 MCU ベースの設計のハードウェア設計ガイドラインをエンジニアに理解してもらうことを目的とします。

関連製品ファミリ

CYPM1011, CYPM1111, CYPM1211, および CYPM1311/22

Table of contents

About this document **1**
Table of contents **1**
1 はじめに **3**
2 デバイスの選択 **4**
2.1 注文情報 5
3 システムアーキテクチャ **6**
3.1 USB PD シンクのみのアプリケーション 6
4 回路設計要件 **7**
4.1 電力システム 7
4.1.1 デカップリングおよびバイパスコンデンサ 8
4.2 外部電圧レギュレータ 11
4.3 回路とクロックのリセット 12
4.4 GPIO 13
4.4.1 I/O ピンの選択 13
4.4.2 過電圧耐性 GPIO 15
4.5 プログラミングおよびデバッグインタフェース 16
4.6 デジタルブロック 17
4.6.1 シリアル通信ブロック (SCB) 17
4.6.1.1 シリアル ペリフェラル インタフェース (SPI) 17
4.6.1.2 I2C 17
4.6.1.3 UART 17
4.6.2 タイマー、カウンター、およびパルス幅変調器 (TCPWM) 20

Table of contents

4.7 USB PD ブロック 20
4.7.1 VBUS 放電 21
4.7.2 CC と VCONN 21
4.7.3 EZ-PD™ PMG1-S1/S2 MCU ゲートドライバまたはロードスイッチの制御信号 21
4.7.4 EZ-PD™ PMG1-S3 MCU ゲートドライバまたはロードスイッチの制御信号 23
4.8 充電器の検出 28
5 電気設計の考慮事項 30
5.1 ESD および EMI/EMC 保護 30
5.2 一般的な PCB レイアウトのヒント 30
5.3 PCB の選択と基本的な配線の考慮事項 31
5.3.1 EZ-PD™ PMG1 MCU 設計用のリファレンス PCB スタック 31
5.3.1.1 1.2 mm、4 層 PCB スタックアップ 31
5.3.1.2 1.2 mm、6 層 PCB スタックアップ 31
5.4 パワードメイン 32
5.4.1 バルクコンデンサとデカップリングコンデンサの配置 32
5.4.2 電源プレーンとグランドプレーンの配置 32
5.4.3 パワードメイン配線 33
5.4.4 電圧レギュレーション 34
5.5 USB PD および USB-Data 信号の配線 (Type-C) 34
5.5.1 Type-C (VBUS、GND、および CC) ラインの配線に関するガイドライン 34
5.5.2 USB データラインの配線に関するガイドライン 34
5.5.3 EZ-PD™ PMG1-S3 MCU 97-BGA および 48QFN のレイアウト ガイドライン 35
5.5.4 EZ-PD™ PMG1-S3 MCU 97 BGA/48 QFN CAPSENSE™ (CSD) のピン割り当ておよびレイアウト ガイドライン 38
6 回路図とレイアウトレビューのチェックリスト 42
参考資料 44
頭字語と略語 45
改訂履歴 47

1 はじめに

EZ-PD™ PMG1 MCU は、Arm® Cortex®-M0/Cortex-M0+ CPU を搭載した高電圧 USB PD MCU のファミリです。EZ-PD™ PMG1 MCU ファミリには、USB PD コントローラー、アナログおよびデジタル ペリフェラルが統合されたさまざまな MCU が含まれています。設計要件に応じてコントローラーを選択することができます。EZ-PD™ PMG1 MCU は、高電圧 USB-C PD ポートとの間で電力を供給/消費し、MCU を活用して追加の制御機能を提供する組込みシステムを対象としています。

2 デバイスの選択

ここでは、EZ-PD™ PMG1 MCU ファミリの基本機能について説明します。**Table 1** では、EZ-PD™ PMG1 MCU ファミリのさまざまな MCU の基本機能を比較します。

Table 1 EZ-PD™ PMG1 MCU ファミリのさまざまな MCU の機能の比較

サブシステムまたは範囲	項目	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU
CPU およびメモリサブシステム	コア	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大周波数 (MHz)	48	48	48	48
	フラッシュ (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
電源供給	電力供給ポート	1	1	1	48-QFN の場合は 1 ポート 97-BGA の場合は 2 ポート
	役割	シンク	DRP	DRP	DRP
	MOSFET ゲートドライバ	1x PFET	2x PFET	2x PFET/NFET	柔軟な 2x NFET
	故障保護	VBUSOVP[1] および UVP[2]	VBUS OVP、UVP、および OCP[3]	VBUS OVP、UVP、および OCP	VBUS OVP、UVP、および OCP
USB	ビルボードクラスをサポートする統合フルスピード USB2.0 デバイス	無し	無し	有り	有り
電圧範囲	供給 (V)	VDDD (2.7 -5.5) VBUS (4 - 21.5)	VSYS (2.75 - 5.5) VBUS (4 - 21.5)	VSYS (2.7 - 5.5) VBUS (4 - 21.5)	VSYS (2.5 - 5.5) VBUS (4 - 28)
	IO (V)	1.71 - 5.5	1.71 - 5.5	1.71 - 5.5	1.71 - 5.5
使用可能なデジタル ペリフェラル	シリアル通信ブロック(次のように構成可能: I2C/UART/SPI)	2	4	4	48-QFN の場合は 7 (そのうち 5 のみを SPI および UART として設定可能)、97-BGA の場合は 8
	TCPWM ブロック	4	2	4	48-QFN の場合は 7 97-BGA の場合は 8
	ハードウェア認証ブロック (暗号)	無し	無し	有り	有り

[1] OVP は Over Voltage Protection の略です

[2] UVP は Under Voltage Protection の略です

[3] OCP は Over Current Protection の略です

デバイスの選択

サブシステムまたは範囲	項目	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU
使用可能なアナログ ペリフェラル	ADC	2x 8-bit SAR	1x 8-bit SAR	2x 8-bit SAR	2x 8-bit SAR 1x 12-bit SAR
	内蔵温度センサー	有り	有り	有り	有り
GPIO	I/O の最大数	12(10+2 OVT[1])	17(15+2 OVT)	20(18+2 OVT)	48-QFN の場合は 26 (24 + 2 OVT) 97-BGA の場合は 50 (48 + 2 OVT)
充電基準	充電ソース	-	BC 1.2, AC	BC 1.2, AC	BC 1.2、 AC、AFC、および Quick Charge 3.0
	充電シンク	BC 1.2、Apple 充電 (AC)	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC
ESD 保護	内蔵の ESD しきい値の詳細については、**ESD および EMI/EMC 保護**を参照してください。				
パッケージ	パッケージ オプション	24 QFN (4x4mm, 0.5mm pitch)	40 QFN (6×6mm, 0.5mm pitch)	40 QFN (6×6mm, 0.5mm pitch)	48-QFN (6 x 6 mm, 0.5 mm pitch) 97BGA (6 x 6 mm, 0.5 mm および 0.65 mm pitch)

2.1 注文情報

Table 2 注文情報

MCU	製品番号	Type-C ポート	終端抵抗	パッケージ型式	Si ID
PMG1-S0	CYPM1011-24LQXI CYPM1011-24LQXIT	1	R_D, $R_{D\text{-}DB}$	24-ピン QFN	0x2020
PMG1-S1	CYPM1111-40LQXI CYPM1111-40LQXIT	1	R_P, R_D, $R_{D\text{-}DB}$	40-ピン QFN	0x2A20
PMG1-S2	CYPM1211-40LQXI CYPM1211-40LQXIT	1	R_P, R_D, $R_{D\text{-}DB}$	40-ピン QFN	0x1D20
PMG1-S3	CYPM1311-48LQXI CYPM1311-48LQXIT	1	R_P, R_D, $R_{D\text{-}DB}$	48-ピン QFN	0x3501
	CYPM1322-97BZXI CYPM1322-97BZXIT	2	R_P, R_D	96-ピン BGA	0x3500

[1] OVT は Over-VoltageTolerant の略です

3 システムアーキテクチャ

3.1 USB PD シンクのみのアプリケーション

USB PD シンクシステムまたはアプリケーションは、デザインの USB PD ポートから直接給電され、個別の電源入力は必要ありません。USB PD シンク ロールでは、EZ-PD™ PMG1 S0/S1/S2 MCU は最大 20V、5A (100W) までの PD に対応でき、S3 MCU は 28V、5A (140W) までの PD コントラクトに対応できます。

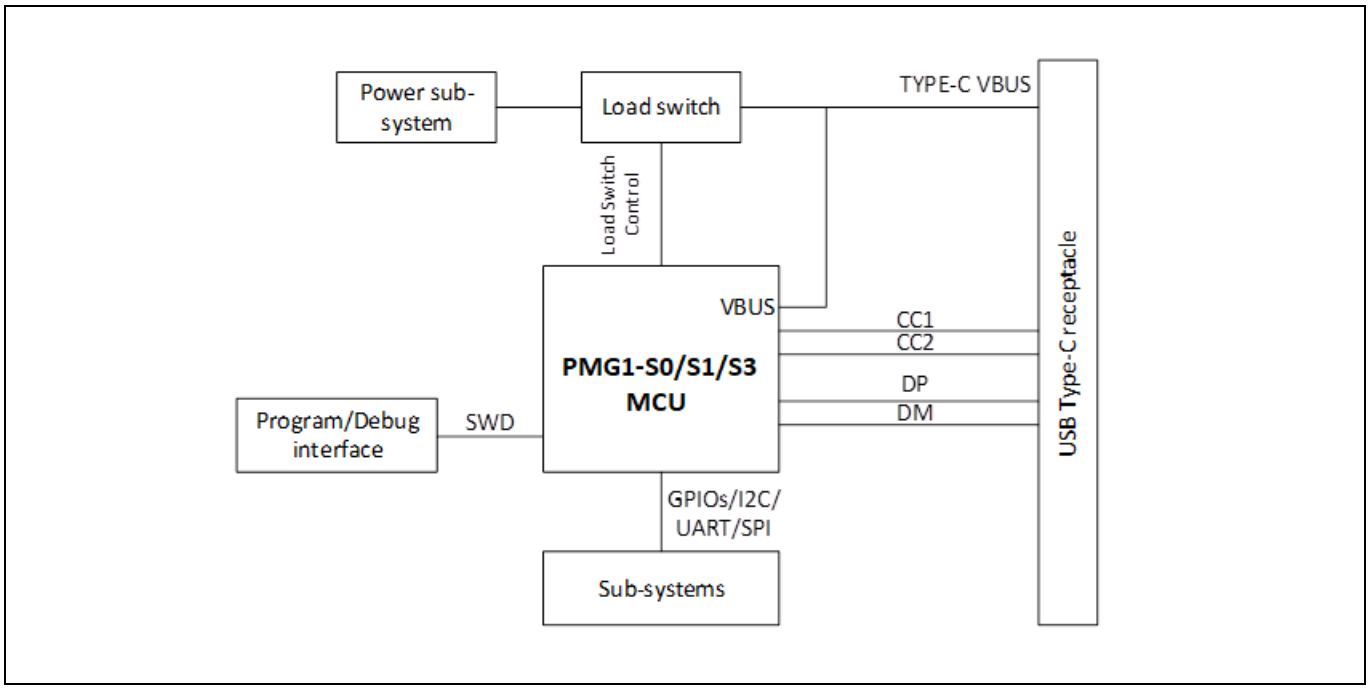

Figure 1 EZ-PD™ PMG1-S0/PMG1-S1/PMG1-S3 MCU を使用した USB PD シンク専用アプリケーション

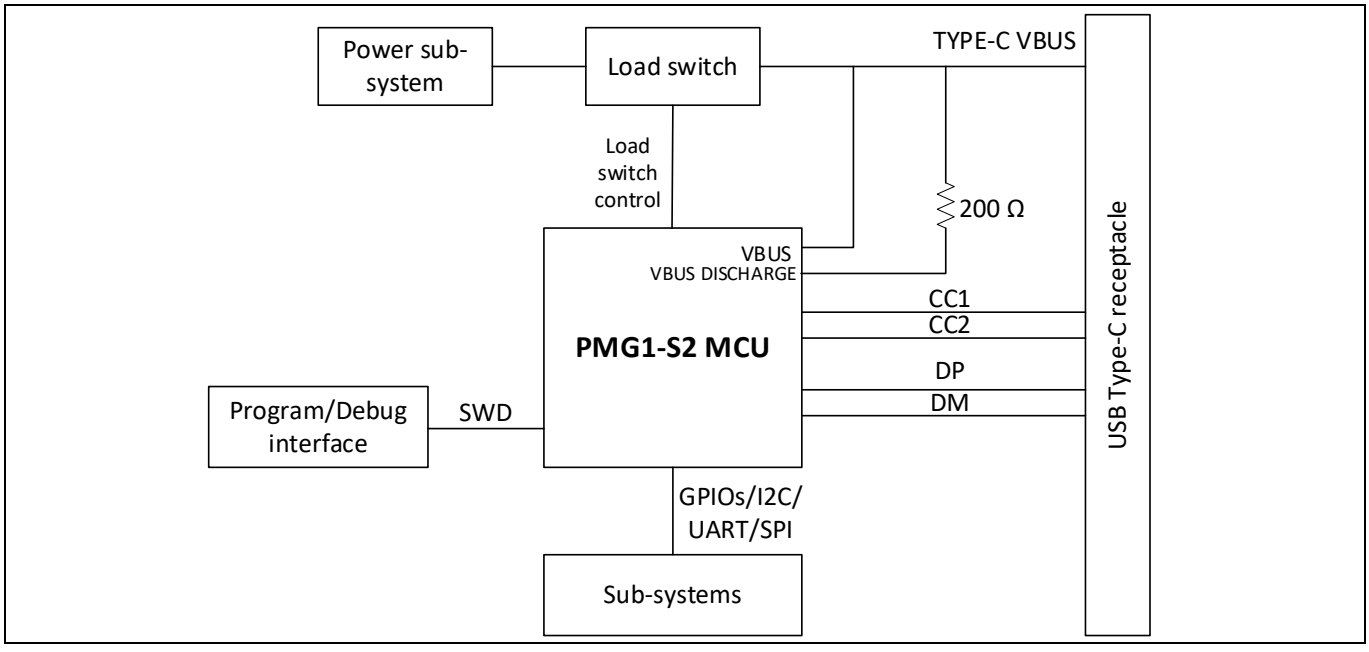

Figure 2 EZ-PD™ PMG1-S2 MCU を使用する USB PD シンクのみのアプリケーション

4 回路設計要件

ここでは、EZ-PD™ PMG1 MCU ベースのシステムの概略設計要件と考慮事項について説明します。CY711X PMG1-SX プロトタイピングキットは、設計のリファレンスとして使用されます。詳細については、次のキットページを参照してください。

- **CY7110 EZ-PD™ PMG1-S0 プロトタイピングキット**
- **CY7111 EZ-PD™ PMG1-S1 プロトタイピングキット**
- **CY7112 EZ-PD™ PMG1-S2 プロトタイピングキット**
- **CY7113 EZ-PD™ PMG1-S3 プロトタイピングキット**

4.1 電力システム

PMG1 MCU は、MCU の VBUS ピンを介して Type-C PD ポートから直接チップに電力を供給することをサポートします。USB PD シンク、バッテリ切れ、およびその他のバス電源アプリケーションは、MCU の電源入力として VBUS ピンを使用します。VBUS を介して電力が供給されると、内部レギュレータはチップ動作用に 3.3 V の VDDD を生成し、コア動作用にさらに安定化された VCCD (1.8 V) を生成します。PMG1-S0 を除く PMG1 MCU には、USB PD DRP/Source のみのアプリケーションおよびすべての一般的な MCU アプリケーション専用の電源入力ピンがあります。

PMG1-S0 では、VDDD 電圧を直接供給して MCU に電力を供給できます。EZ-PD™ PMG1-S1 および EZ-PD™ PMG1-S2 MCU には専用の電源入力ピン (VSYS) があり、電源入力ピンとして VDDD をサポートしません。VSYS の電源ピンはスイッチを介して内部で VDDD に接続されます。コアレギュレータは、コア動作用に VDDD 電圧を 1.8 V に安定化し、1.8V レギュレータの出力は VCCD として示されます。

EZ-PD™ PMG1-S1 および EZ-PD™ PMG1-S2 MCU の GPIO に電力を供給するために、別個の電力ドメイン、VDDIO が提供されます。必要に応じて、VDDD ピンと VDDIO ピンを短絡できます。 これらのデバイスは VCONN 機能をサポートしており、VCONN FET に電力を供給するための追加の入力電源オプションがシリコンで利用可能です。

Table 3 は、EZ-PD™ PMG1 MCU の電源入力をまとめたものです。

Table 3 EZ-PD™ PMG1 MCU の電源ピンと動作電圧

MCU	電源ピン	電源ピンの説明	有効な入力電圧レベル
EZ-PD™ PMG1-S0 MCU	VBUS	バスパワー	4.0 V – 21.5 V
	VDDD	MCU 電源入力、内部 LDO 出力	2.7 V – 5.5 V
	VCCD	デバイスのコア電圧がピンに引き出されます。このピンは電圧源として使用できず、デカップリングコンデンサのみを接続することを目的とします。	
EZ_PD™ PMG1-S1 MCU	VBUS	バスパワー	4.0 V - 21.5 V
	VSYS	デバイス電源入力	2.75 V – 5.5 V
	VDDIO	I/O への電源	1.8 V – VDDD
	VCONN_Source	VCONN FET への供給	
	VCCD	デバイスのコア電圧がピンに引き出されます。このピンは電圧源として使用できず、デカップリングコンデンサのみを接続することを目的とします。	
EZ-PD™ PMG1-S2 MCU	VBUS	バスパワー	4.0 V - 21.5 V
	VSYS	デバイス電源入力	2.75 V – 5.5 V
	VDDIO	I/O への電源	1.8 V – VDDD

回路設計要件

MCU	電源ピン	電源ピンの説明	有効な入力電圧レベル
	VCONN_Source	VCONN FET への供給	
	VCCD	デバイスのコア電圧がピンに引き出されます。このピンは電圧源として使用できず、デカップリングコンデンサのみを接続することを目的とします。	
EZ-PD™ PMG1-S3 MCU	VBUS	バスパワー	4.0 V - 28 V
	VSYS	デバイス電源入力	2.8 V – 5.5 V
	VDDIO	I/O への電源	1.8 V – VDDD
	VDDA	アナログブロックへの供給	1.8 V – VDDD
	VCONN_Source	VCONN FET への供給	
	VCCD	デバイスのコア電圧がピンに引き出されます。このピンは電圧源として使用できず、デカップリングコンデンサのみを接続することを目的とします。	

下記にある、EZ-PD™ PMG1 MCU を使用する USB PD シンクアプリケーションの電源システム設計に関する考慮事項を活用してください。

- MCU の VBUS ピンが電源入力ピンであることを確認してください。**Figure 3** および **Figure 4** に示すように、Type-C コネクタの電源ピンを VBUS ピンに接続してください。
- もう一方の入力ピン (EZ-PD™ PMG1-S0 および EZ-PD™ PMG1-S3 の VDDD および EZ-PD™ PMG1-S1/S2 MCU の VSYS) を電源レールに接続しないでください。これらのピンにデカップリングコンデンサを接続します (デカップリングコンデンサの値については、**Table 3** を参照してください)。
- EZ-PD™ PMG1-S1 MCU および EZ-PD™ PMG1-S2 MCU の VDDD ピンと VDDIO ピンを短絡します。
- EZ-PD™ PMG1-S3 MCU の VDDD ピン、VDDA ピンと VDDIO ピンを短絡します。
- 信号や電源レールを VCCD に接続せず、デカップリングコンデンサのみを追加してください。

4.1.1 デカップリングおよびバイパスコンデンサ

すべての電源入力ピンと内部レギュレータ出力ピンにデカップリングコンデンサとバイパスコンデンサを追加して、AC ノイズ/電圧スパイクを除去し、デバイスの電源ドメインをデカップリングします。**Table 4** に、EZ-PD™ PMG1 ファミリ MCU の各パワードメイン信号のデカップリングコンデンサとバイパスコンデンサの推奨値を示します。

VDDD、VBUS、および VSYS の場合、フィルタリングを改善し、コンデンサの ESR の影響を減らすために、複数のコンデンサデカップリング回路を使用することを推奨します。推奨値に加えて、デカップリングコンデンサとして 1 つまたは 2 つの低 ESR 100nF コンデンサを配置できます。

回路設計要件

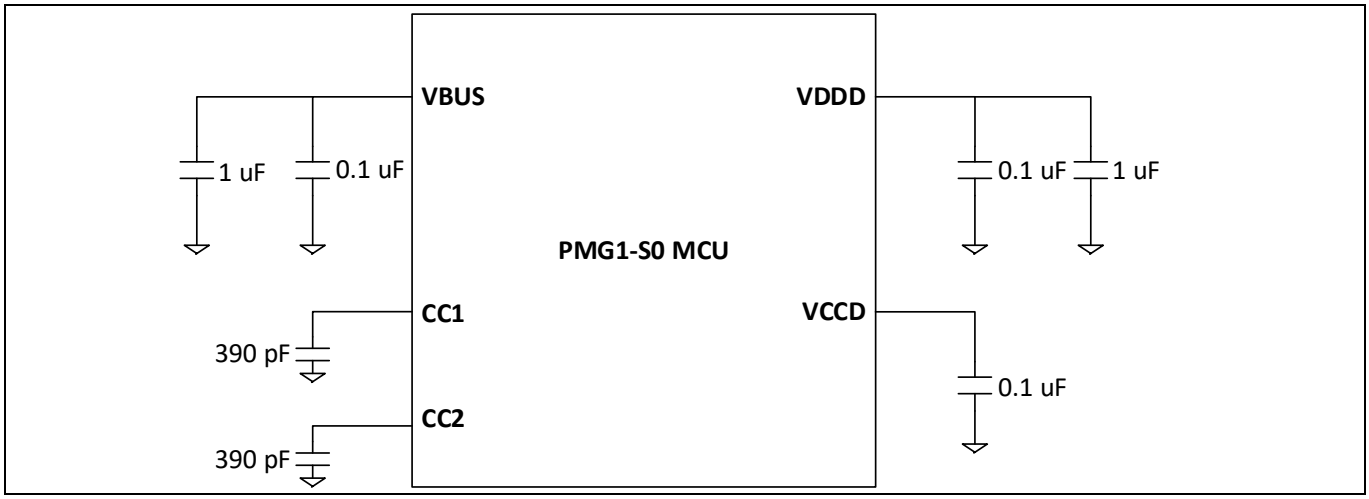

Figure 3 EZ-PD™ PMG1-S0 MCU デカップリング コンデンサ

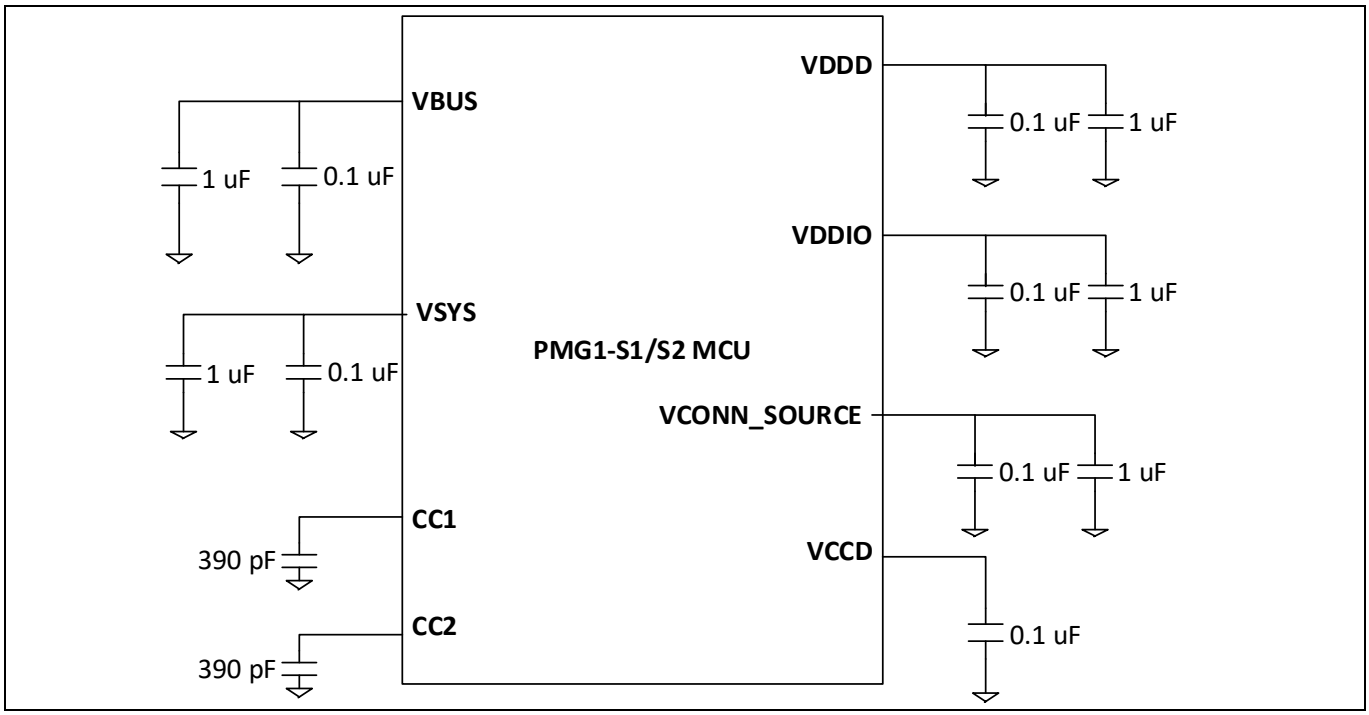

Figure 4 EZ-PD™ PMG1-S1, EZ-PD™ PMG-S2 MCU デカップリング コンデンサ

回路設計要件

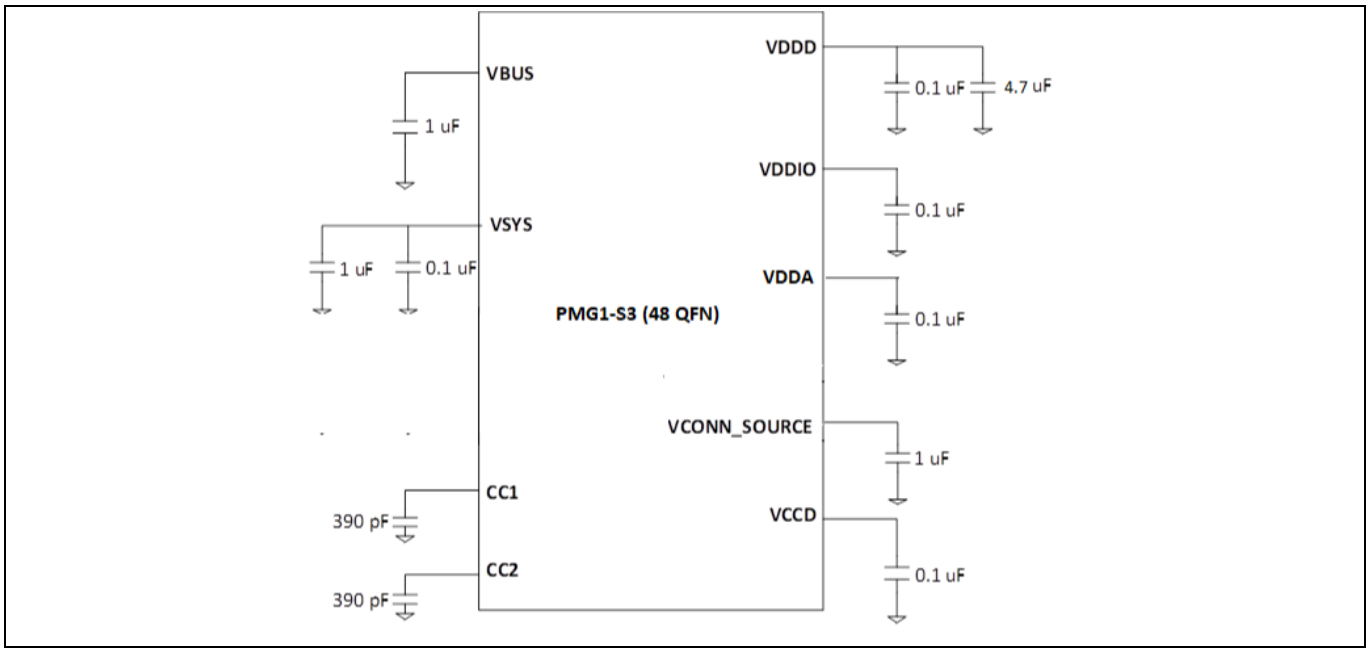

Figure 5 EZ-PD™ PMG1-S3 (48-QFN) MCU デカップリング コンデンサ

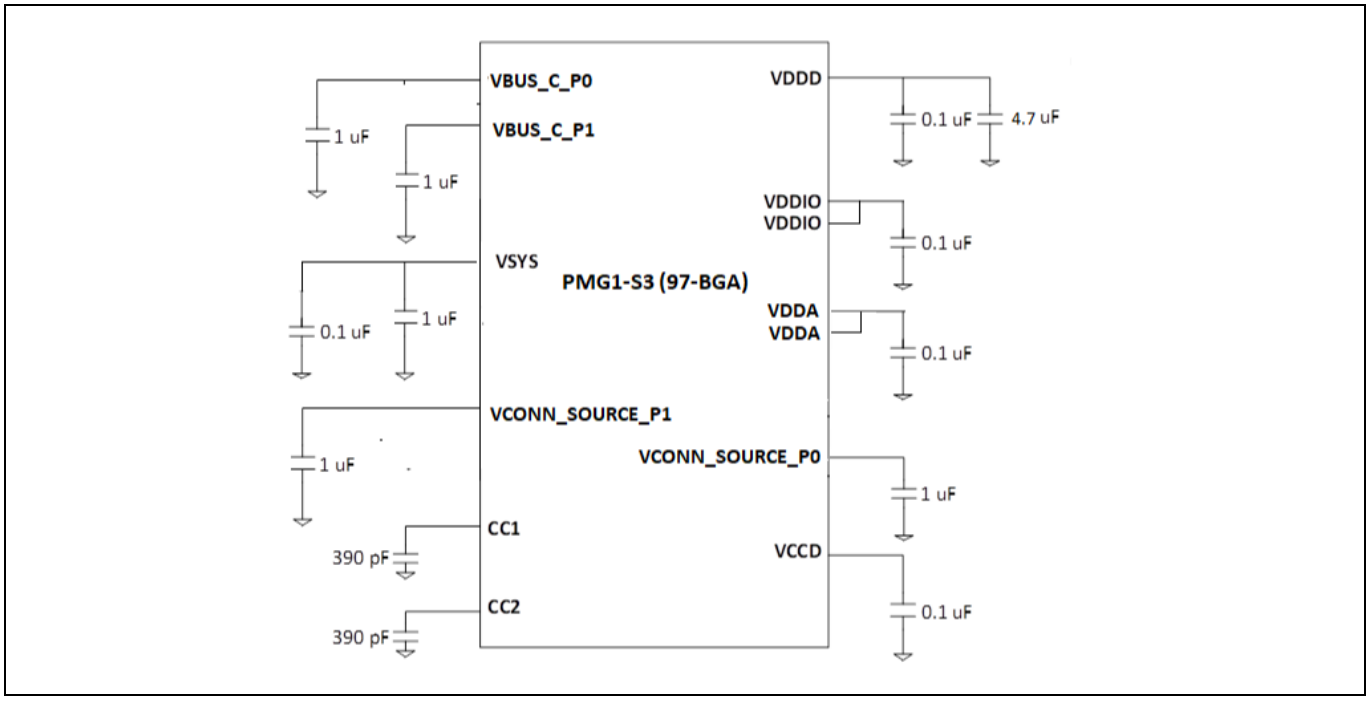

Figure 6 EZ-PD™ PMG1-S3 (97-BGA) MCU デカップリング コンデンサ

Table 4 電源ピンとデカップリングコンデンサ

MCU	電源ピン	デカップリング コンデンサ
EZ-PD™ PMG1-S0 MCU	VBUS	1 µF
	VDDD	1 µF
	VCCD	1 µF

回路設計要件

MCU	電源ピン	デカップリング コンデンサ
EZ-PD™ PMG1-S1 MCU	VBUS	1 µF
	VSYS	1 µF
	VDDIO	0.1 µF
	VCONN_Source	1 µF
	VCCD	1 µF
EZ-PD™ PMG1-S2 MCU	VBUS	1 µF
	VSYS	1 µF
	VDDIO	0.1 µF
	VCONN_Source	1 µF
	VCCD	1 µF
EZ-PD™ PMG1-S3 MCU (48-QFN)	VBUS	1 µF
	VSYS	0.1 µF および 1 µF
	VDDD	4.7 µF および 1 µF
	VDDIO	0.1 µF
	VCONN_Source	1 µF
	VCCD	0.1 µF
	VDDA	0.1 µF
EZ-PD™ PMG1-S3 MCU (97-BGA)	VBUS_C_P0	1 µF
	VBUS_C_P1	1 µF
	VSYS	0.1 µF および 1 µF
	VDDD	4.7 µF および 1 µF
	VDDIO	0.1 µF
	VCONN_ Source_P0	1 µF
	VCONN_ Source_P1	1 µF
	VCCD	0.1 µF
	VDDA	0.1 µF

4.2 外部電圧レギュレータ

外部モジュールの電流要件が EZ-PD™ PMG1 MCU GPIO が供給できるものよりも高い場合、アプリケーションでは外部電圧レギュレータが必要です。GPIO は、最大 25 mA (GPIO あたり) の電流をソースまたはシンクできます。

リニアドロップアウト (LDO) レギュレータは、EZ-PD™ PMG1 MCU 設計で、ソリューションまたは設計の LED、センサーモジュール、拡張、アダプターボードなどのさまざまなサブシステムに電力を供給するために必要です。必要な出力電圧、最大負荷電流、および電力定格を考慮して、LDO を選択します。

Table 5 に、推奨される LDO を示します。

Table 5 推奨される LDO レギュレータ

製品番号	メーカー	最大入力電圧	出力電圧	出力電流	用途
IFX25001	Infineon	45 V	2.5 V, 3.3 V, 5.0 V, 8.5 V, または 10.0 V	400 mA	標準
TLE42744	Infineon	40 V	5 V および 3.3 V ±2%	400 mA	車載

回路設計要件

製品番号	メーカー	最大入力電圧	出力電圧	出力電流	用途
IFX27001	Infineon	40 V	1.5 V, 1.8 V, 2.6 V, 3.3 V, 5.0 V, または Adjustable output voltage	1 A	標準

4.3 回路とクロックのリセット

EZ-PD™ PMG1-S0 を除く EZ-PD™ PMG1 MCU には、MCU を手動でリセットするための外部リセット制御ピン XRES があります。MCU にはアクティブ LOW リセットがあり、チップをリセットするには最低 5 µs の間 LOW に保持する必要があります。すべての PMG1 MCU は、パワーオンリセット (POR) メカニズムをサポートします。

- EZ-PD™ PMG1-S1 では、リセットピンは 4.7k 抵抗を使用して VDDIO/VDDD にプルアップする必要があります。これにより、XRES ピンが設計上フローティングのままにならず、デバイスが正しく機能できるようになります。

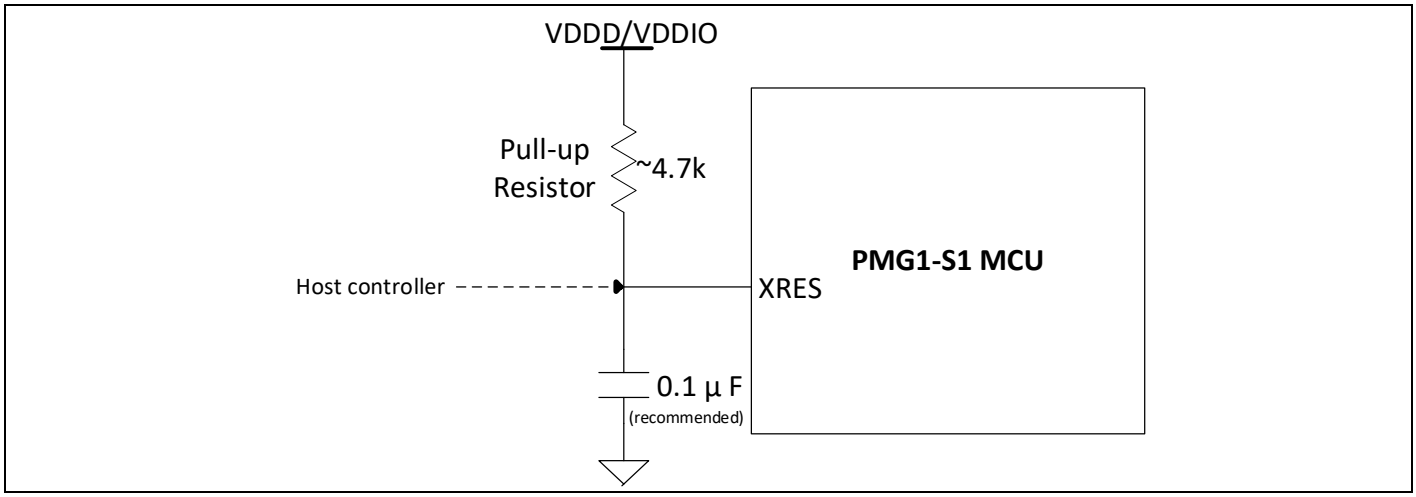

Figure 7 EZ-PD™ PMG1-S1 MCU XRES ピン接続

- EZ-PD™ PMG1-S2 は XRES ピンに内部プルアップがあります。つまり外部プルアップ抵抗を接続する必要はありません。

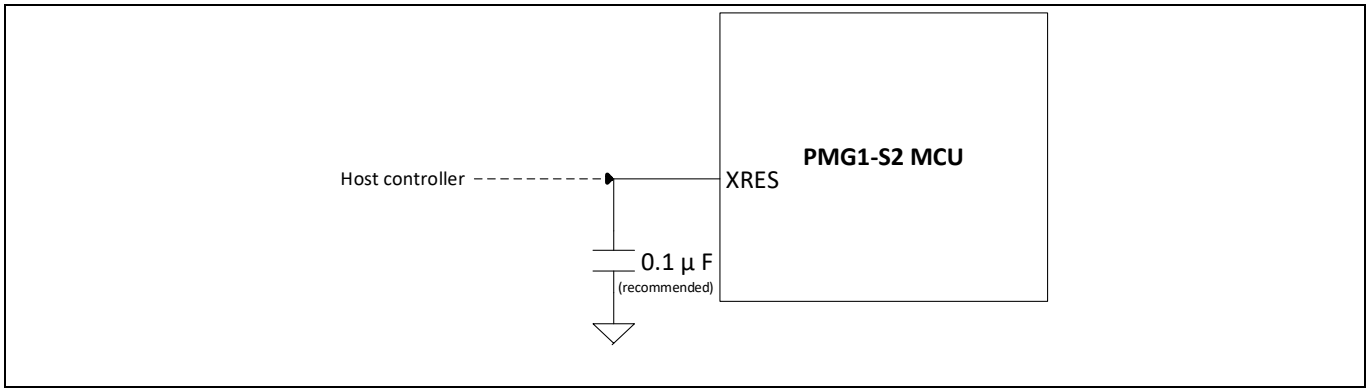

Figure 8 EZ-PD™ PMG1-S2 MCU XRES ピン接続

- グリッチを除去し、リセット信号のノイズ耐性を高めるために、XRES ピンにコンデンサ (通常は 0.1 µF) を接続することを推奨します。

回路設計要件

- EZ-PD™ PMG1-S3 では、リセットピンは 4.7k 抵抗を使用して VDDIO/VDDD にプルアップする必要があります。これにより、XRES ピンが設計上フローティングのままにならず、デバイスが正しく機能できるようになります。

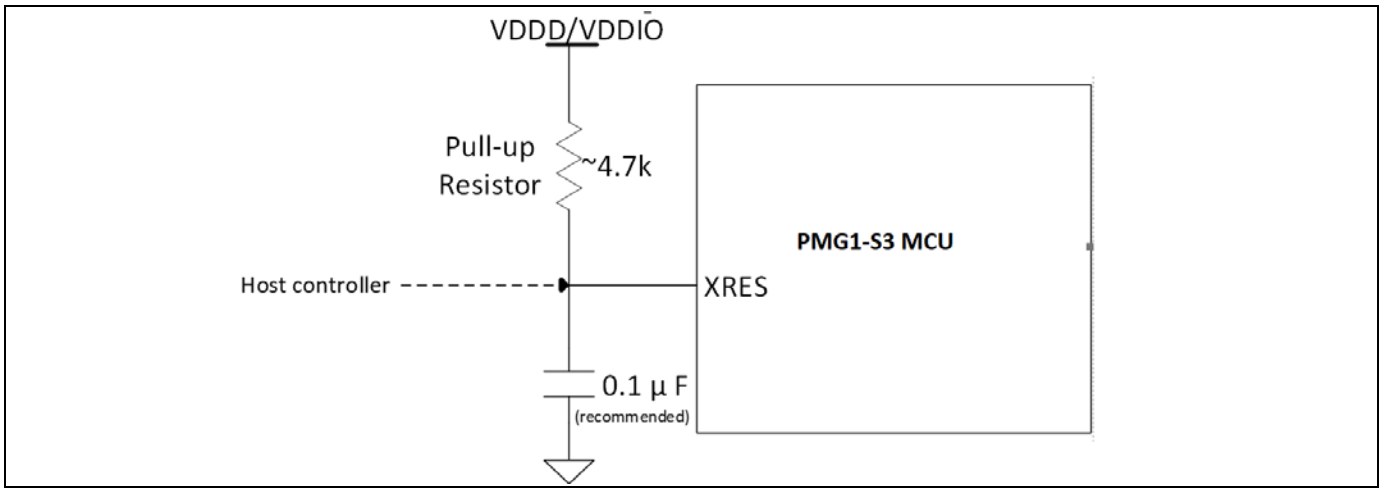

Figure 9 EZ-PD™ PMG1-S3 MCU XRES ピン接続

- オプションで、EZ-PD™ PMG1 MCU が外部コントローラーによって制御される場合、XRES ピンはホストによって直接駆動できます。

EZ-PD™ PMG1 MCU には、統合されたクロック回路があります。水晶や発振器などの外付け部品は必要ありません。

4.4 GPIO

EZ-PD™ PMG1 MCU は、デジタルおよびアナログ周辺機器への代替接続を備えた柔軟な GPIO を提供します。周辺機器が異なれば、端子用の専用ピンまたは固定ピンも異なります。USB PD ピンは、USB PD サブシステムに接続された固定信号です。

4.4.1 I/O ピンの選択

Table 6 に、デジタルブロック、アナログブロック、および USB サブシステムに割り当てられた MCU ピンを示します。

Table 6 EZ-PD™ PMG1 MCU のピン割り当て

ブロック	ピン名	ピン#			備考
		EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	
システム機能ピン					
リセット	XRES	該当なし	10	26	入力をリセット
USB および USB PD					
USB PD サブシステム	CC1	15	9	5	構成チャネル
	CC2	14	7	3	
	CSN	該当なし	40	39	電流検出
	CSP	該当なし	1	40	

回路設計要件

ブロック	ピン名	ピン#			備考
		EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	
	DP	17	該当なし	21	USB D+/D-信号
	DM	16	該当なし	22	
	DP_SYS	該当なし	23	該当なし	
	DM_SYS	該当なし	24	該当なし	
	DP_TOP	該当なし	28	該当なし	
	DM_TOP	該当なし	27	該当なし	
	DP_BOT	該当なし	26	該当なし	
	DM_BOT	該当なし	25	該当なし	
	FET 制御ピン				ロードスイッチ制御ピン
デジタル ピン					
シリアル通信ブロック (SCB)	SCB ピン	**Table 10** を参照してください			PMG1-S0 MCU には 2 つの SCB があり、PMG1-S1 と PMG1-S2 MCU には 4 つの SCB があります。SCB は、SPI、I2C、または UART として設定できます。
TCPWM	TCPWM ピン	**Table 12** を参照してください			PMG1-S0 と PMG1-S2 MCU には 4 つの TCPWM があり、PMG1-S1 MCU には 2 つの TCPWM があります。これらの信号はすべて、専用の GPIO ピンに配線されます。
アナログ ピン					
SAR ADC	ADC	データシート**[4]**を参照してください			PMG1-S0 と PMG1-S2 MCU には 2x8 ビット ADC があり、PMG1-S1 には 1 つの 8 ビット ADC があります。

Table 7　　EZ-PD™ PMG1-S3 MCU のピン割り当て

ブロック	ピン名	ピン#		備考
		EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA	
システム機能ピン				
リセット	XRES	33	E14	入力をリセット
USB および USB PD				
USB PD サブシステム	CC1/P0	28	N14 & N15	構成チャネル P0
	CC2/P0	30	J14 & J15	
	CC1_P1	該当なし	N1 & N2	構成チャネル P1
	CC2_P1	該当なし	J1 & J2	

回路設計要件

ブロック	ピン名	ピン#		備考
		EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA	
	CSN/P0	37	A15	P0 向け電流検出
	CSP/P0	38	B15	
	CSN_P1	該当なし	C14	P1 向け電流検出
	CSP_P1	該当なし	C15	
	DP	39	A13	USB D+/D-信号
	DM	40	A11	
	VBUS_IN_NGDO/P0	24	R14	Port0 向けロードスイッチ制御ピン
	VBUS_IN_CTRL/P0	27	P14	
	VBUS_OUT_CTRL/P0	26	P15	
	VBUS_OUT_NGDO/P0	25	R15	
	VBUS_IN_NGDO_P1	該当なし	R2	Port1 向けロードスイッチ制御ピン
	VBUS_IN_CTRL_P1	該当なし	P2	
	VBUS_OUT_CTRL_P1	該当なし	P1	
	VBUS_OUT_NGDO_P1	該当なし	R1	
デジタル ピン				
シリアル通信ブロック (SCB)	SCB ピン	Table 10 を参照してください		PMG1-S3 QFN には 7 つの SCB があり、PMG1-S3 BGA には 8 つの SCB があります。SCB は、SPI、I2C、または UART として設定できます。
TCPWM	TCPWM ピン	Table 12 を参照してください		PMG1-S3 QFN には 7 つの TCPWM があり、PMG1-S1 には 8 つの TCPWM があります。これらの信号はすべて、専用の GPIO ピンに配線されます。
アナログ ピン				
SAR ADC	ADC	データシート[4]を参照してください		PMG1-S3 QFN と PMG1-S3 BGA には 2 つの 8 ビット ADC と 1 つの 12 ビット ADC があります。

4.4.2 過電圧耐性 GPIO

すべての EZ-PD™ PMG1 MCU には、2 つの過電圧耐性 (OVT) ピンがあります。SCB0 からの I^2C 信号ピン (I2C SDA および I2C SCL) は OVT ピンです。これらの GPIO は、6 V の絶対最大電圧を処理できます。ピンは通常の GPIO と同様ですが、過電圧耐性やより優れたプルダウンドライブ強度などの追加機能があります。SCB0 が I^2C コンポーネントとして設定される場合、SCB0 は次の I^2C 仕様を満たします。

- 高速モード ホット スワップ
- 高速モード プラス仕様

回路設計要件

- 高速モードと高速モード プラス ヒステリシスおよび最小立ち下り時間の仕様

Table 8 に、EZ-PD™ PMG1 MCU ファミリの各 MCU の OVT-GPIO を示します。

Table 8　　OVT-GPIO

	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA
OVT-GPIO (GPIO [MCU ピン#])	P0.0 [7]	P5.0 [16]	P0.0 [27]	P4.0 [34]	P4.0 [E15]
	P0.1 [8]	P5.1 [17]	P0.1 [28]	P4.1 [35]	P4.1 [D12]

4.5　プログラミングおよびデバッグインタフェース

EZ-PD™ PMG1 MCU は、プログラミングとデバッグ用のシリアルワイヤデバッグ (SWD) プロトコルをサポートしています。SWD データと SWD クロック信号は、MCU の特定の GPIO で利用できます。**Table 9** に、すべてのデバイスの SWD ピンマップ GPIO を示します。EZ-PD™ PMG1-S1 および EZ-PD™ PMG1-S2 デバイスは、プログラミングまたはデバッグ用にデバイスを取得するためのリセットモードをサポートします。リセットモードでは、プログラマ/デバッガは MCU の XRES ピンを介してリセット信号を適用します。このモードの使用中は、デバイスに外部から電力を供給する必要があります。そうでない場合、プログラマはチップに電力を供給できます。

Table 9　　SWD 信号のピン割り当て

	GPIO ポート[MCU ピン#]				
	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA
SWD IO (SWD Data)	P0.0 [7]	P1.4 [6]	P2.0 [15]	P1.2[13]	P1.1 [P3]
SWD CLK (SWD Clock)	P0.1 [8]	P1.0 [2]	P2.1 [16]	P1.1[12]	P1.2 [R3]

EZ-PD™ PMG1-S0 MCU にはリセット信号がなく、デバイスはパワーサイクルモードで取得されます。パワーサイクルモードでは、ターゲット MCU はデバイスの電源を切り替えることによって取得されます。このモードでは、デバイスに外部から電力を供給しないでください。

SWD 信号は、5 ピンまたは 10 ピンの標準 SWD コネクタに配線できるため、プログラミング/デバッグコネクタとして使用できます。**Figure 10** と **Figure 11** に、それぞれ標準の 5 ピンと 10 ピンの SWD コネクタのピン配列を示します。PMG1-S0 MCU では、ヘッダのリセットピンは未接続のままにしておく必要があります。

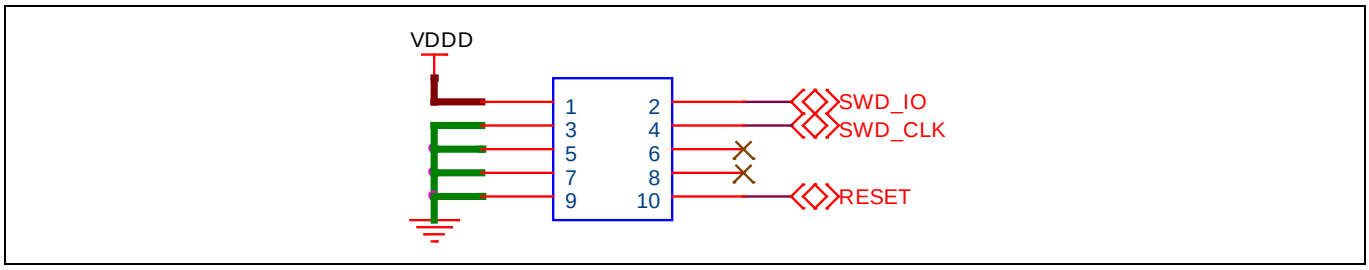

Figure 10　　10 ピン SWD ヘッダ

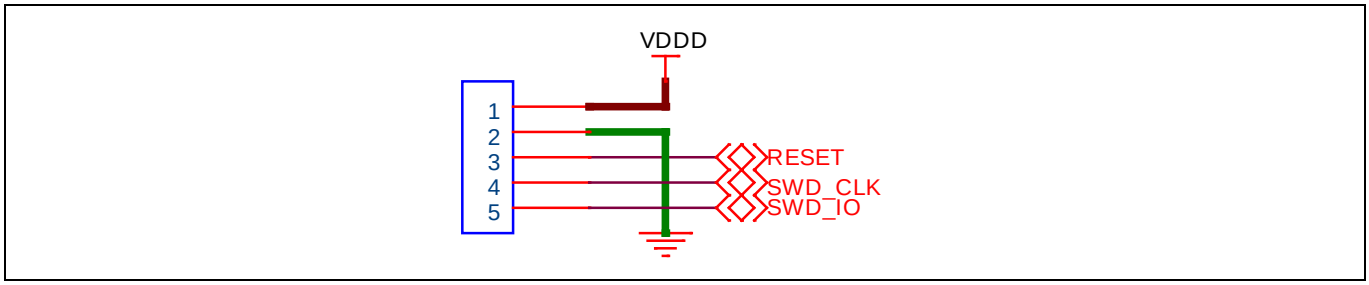

Figure 11　　5 ピン SWD ヘッダ

4.6　デジタルブロック

4.6.1　シリアル通信ブロック (SCB)

SCB は、UART、I2C、および SPI 通信コンポーネントを実装する多機能ハードウェアブロックです。利用可能な任意の SCB を使用して、ModusToolbox™ソフトウェア向け Eclipse IDE で目的の通信ブロックとして構成できます。SCB の通信信号は、特定の GPIO にルーティングされます。割り当ての詳細については、**Table 10** を参照してください。

4.6.1.1　シリアル ペリフェラル インタフェース (SPI)

EZ-PD™ PMG1 MCU は、SPI マスタモードとスレーブモードで動作できます。SCB は、SPI のシングルマスタ-マルチスレーブトポロジをサポートします。SPI マスタモードは、PMG1 が 1 つ以上の SPI スレーブデバイスと通信する必要がある場合に使用し、スレーブモードは PMG1 が SPI マスタと通信する必要がある場合に使用します。SCB は、SPI ペリフェラルとして、さまざまなプロトコルタイプ、データフレームサイズ、および設定可能なパラメーターを提供します。

4.6.1.2　I2C

EZ-PD™ PMG1 MCU は、I2C のマスタおよびスレーブ動作モードをサポートします。I2C ペリフェラルは、複数の I2C パラメーターに設定可能性を提供します。I2C 信号には、MCU に内部プルアップがありません。2.2k の抵抗を使用して信号を VDDIO/VDDD にプルアップする必要があります。

4.6.1.3　UART

UART 通信は通常、Tx および Rx 信号を介したポイントツーポイント通信プロトコルです。Tx または送信機出力はデータを送信し、Rx または受信機入力は他のモジュールからデータを受信します。EZ-PD™ PMG1 MCU の Rx は他のモジュールの Tx に接続し、EZ-PD™ PMG1 MCU の Tx はモジュールの Rx に接続する必要があります。

Table 10 に、EZ-PD™ PMG1 MCU の SCB の GPIO ピン割り当てを示します。

Table 10　　EZ-PD™ PMG1 MCU SCB とピン割り当て

コンポーネント	信号	ポートとピンの割り当て (ポート[MCU ピン])			
		SCB0	SCB1	SCB2	SCB3
EZ-PD™ PMG1-S0 MCU					
UART	UART_RX	P2.3 [13]または P2.1 [10]	P1.3 [6]または P3.1 [16]		

回路設計要件

コンポーネント	信号	ポートとピンの割り当て (ポート[MCU ピン])			
		SCB0	**SCB1**	**SCB2**	**SCB3**
	UART_TX	P2.2 [12]または P2.0 [9]	P1.2 [5]または P3.0 [17]		
	UART_CTS	P0.0 [7]	P1.0 [1]		
	UART_RTS	P0.1 [8]	P1.1 [2]		
I2C	I2C_SDA	P0.0 [7]	P1.0 [1]または P2.2 [12]		
	I2C_SCL	P0.1 [8]	P1.1 [2]または P2.3 [13]		
SPI	SPI_MOSI	P1.2 [5]	P0.0 [7]		
	SPI_MISO	P1.1 [2]	P0.1 [8]		
	SPI_SEL	P1.0 [1]	P2.0 [9]		
	SPI_CLK	P1.3 [6]	P2.1 [10]		
EZ-PD™ PMG1-S1 MCU					
UART	UART_RX	P3.0 [18]	P1.0 [2]	P4.1 [30]	P0.1 [39]
	UART_TX	P5.1 [17]	P1.1 [3]	P4.0 [29]	P0.0 [38]
	UART_CTS	P2.2 [15]	P1.2 [4]	P3.1 [20]	P2.0 [13]
	UART_RTS	P5.0 [16]	P1.3 [5]	P3.2 [21]	P2.1 [14]
I2C	I2C_SDA	P5.0 [16]	P1.1 [3]	P3.1 [20]	P2.1 [14]
	I2C_SCL	P5.1 [17]	P1.2 [4]	P3.2 [21]	P2.0 [13]
SPI	SPI_MOSI	P5.0 [16]	P1.1 [3]	P3.2 [21]	P2.1 [14]
	SPI_MISO	P5.1 [17]	P1.2 [4]	P4.0 [29]	P0.0 [38]
	SPI_SEL	P2.2 [15]	P1.0 [2]	P3.1 [20]	P2.0 [13]
	SPI_CLK	P3.0 [18]	P1.3 [5]	P4.1 [30]	P0.1 [39]
EZ-PD™ PMG1-S2 MCU					
UART	UART_RX	P2.6 [25]または P1.2 [9]	P1.7 [14]	P1.1 [8]	P1.5 [13]
	UART_TX	P2.5 [24]または P1.3 [10]	P1.6 [11]	P1.0 [7]	P1.4 [12]
	UART_CTS	P0.0 [27]	P2.0 [15]	P3.4 [36]	P1.2 [9]
	UART_RTS	P0.1 [28]	P2.1 [16]	P3.5 [37]	P1.3 [10]
I2C	I2C_SDA	P0.0 [27]	P2.1 [16]	P3.4 [36]	P1.3 [10]
	I2C_SCL	P0.1 [28]	P2.0 [15]	P3.5 [37]	P1.2 [9]
SPI	SPI_MOSI	P2.5 [24]	P2.1 [16]	P3.4 [36]	P1.2 [9]
	SPI_MISO	P0.1 [28]	P1.6 [11]	P1.0 [7]	P1.4 [12]
	SPI_SEL	P0.0 [27]	P1.7 [14]	P1.1 [8]	P1.5 [13]
	SPI_CLK	P2.6 [25]	P2.0 [15]	P3.5 [37]	P1.3 [10]

Table 11 EZ-PD™ PMG1-S3 SCB とピン割り当て

コンポーネント	信号	ポートとピンの割り当て (ポート[MCU ピン])							
		SCB0	**SCB1**	**SCB2**	**SCB3**	**SCB4**	**SCB5**	**SCB6**	**SCB7**
EZ-PD™ PMG1-S3 MCU 97-BGA									
UART	UART_RX	P4.0 [E15]	P7.0 [G15]	P5.0 [G2]	P1.1 [P3]	P3.5 [F4]	P2.2 [A3]	P6.1 [P5]	P7.4 [B11]
	UART_TX	P4.1 [D12]	P1.5 [M12]	P5.1 [E1]	P1.2 [R3]	P3.6 [E2]	P2.3 [B5]	P6.0 [R5]	P7.3 [B13]
	UART_CTS	P2.4 [A7]	P2.7 [A8]	P5.2 [H6]	P1.3 [K4]	P3.0 [A1]	P2.5 [A5]	P6.3 [R13]	P7.5 [A9]
	UART_RTS	P2.1 [B2]	P2.6 [B7]	P5.3 [H1]	P1.4 [M10]	P3.3 [B1]	P2.0 [A2]	P6.2 [P13]	P7.6 [B9]
I2C	I2C_SDA	P4.1 [D12]	P1.5 [M12]	P5.1 [E1]	P1.2 [R3]	P3.6 [E2]	P2.2 [A3]	P6.0 [R5]	P7.3 [B13]
	I2C_SCL	P4.0 [E15]	P1.6 [K12]	P5.0 [G2]	P1.1 [P3]	P3.5 [F4]	P2.3 [B5]	P6.1 [P5]	P7.4 [B11]
SPI	SPI_MOSI	P4.1 [D12]	P2.6 [B7]	P5.1 [E1]	P1.3 [K4]	P3.0 [A1]	P2.2 [A3]	P6.3 [R13]	P7.5 [A9]
	SPI_MISO	P2.4 [A7]	P1.5 [M12]	P5.2 [H6]	P1.2 [R3]	P3.6 [E2]	P2.3 [B5]	P6.0 [R5]	P7.3 [B13]
	SPI_SEL	P2.1 [B2]	P2.7 [A8]	P5.3 [H1]	P1.4 [M10]	P3.3 [B1]	P2.0 [A2]	P6.2 [P13]	P7.6 [B9]
	SPI_CLK	P4.0 [E15]	P1.6 [K12]	P5.0 [G2]	P1.1 [P3]	P3.5 [F4]	P2.3 [B5]	P6.1 [P5]	P7.4 [B11]
EZ-PD™ PMG1-S3 MCU 48-QFN									
UART	UART_RX	P4.0 [34]	該当なし	P5.0 [7]	P1.1 [12]	P3.5 [3]	該当なし	P6.1 [16]	該当なし
	UART_TX	P4.1 [35]	該当なし	P5.1 [8]	P1.2 [13]	P3.6 [4]	該当なし	P6.0 [15]	該当なし
	UART_CTS	P2.4 [45]	該当なし	P5.2 [9]	P1.3 [14]	P3.0 [1]	該当なし	P6.3 [19]	該当なし
	UART_RTS	P2.1 [48]	該当なし	P5.3 [10]	P1.4 [20]	P3.3 [2]	該当なし	P6.2 [18]	該当なし
I2C	I2C_SDA	P4.1 [35]	P1.5 [21]	P5.1 [8]	P1.2 [13]	P3.6 [4]	P2.3 [47]	P6.0 [15]	該当なし
	I2C_SCL	P4.0 [34]	P1.5 [22]	P5.0 [7]	P1.1 [12]	P3.5 [3]	P2.3 [46]	P6.1 [16]	該当なし
SPI	SPI_MOSI	P4.1 [35]	該当なし	P5.1 [8]	P1.3 [14]	P3.6 [4]	該当なし	P6.3 [19]	該当なし
	SPI_MISO	P2.4 [45]	該当なし	P5.2 [9]	P1.2 [13]	P3.0 [1]	該当なし	P6.0 [15]	該当なし
	SPI_SEL	P2.1 [48]	該当なし	P5.3 [10]	P1.4 [20]	P3.3 [2]	該当なし	P6.2 [18]	該当なし

回路設計要件

コンポーネント	信号	ポートとピンの割り当て (ポート[MCU ピン])							
		SCB0	SCB1	SCB2	SCB3	SCB4	SCB5	SCB6	SCB7
	SPI_CLK	P4.0 [34]	該当なし	P5.0 [7]	P1.1 [12]	P3.5 [3]	該当なし	P6.1 [16]	該当なし

4.6.2 タイマー、カウンター、およびパルス幅変調器 (TCPWM)

TCPWM は、コアマイクロコントローラー機能を実装する多機能コンポーネントです。EZ-PD™ PMG1-S0 および EZ-PD™ PMG1-S2 MCU には 4 つの TCPWM ブロックがあり、EZ-PD™ PMG1-S1 には 2 つの TCPWM ブロックがあります。EZ-PD™ PMG1 MCU の TCWM ブロックは、16 ビットタイマー、カウンター、パルス幅変調器、および直交デコーダー機能を実装します。このブロックは、入力信号の周期とパルス幅の測定 (タイマー)、特定のイベントの発生回数の検出 (カウンター)、PWM 信号の生成、または直交信号のデコードに使用できます。**Table 12** に、PMG1MCU の TCPWM ブロックのライン出力ピンを示します。詳細については、データシート[4]を参照してください。

Table 12 TCPWM 出力ピンのリスト

TCPWM 信号	GPIO ポート[MCU ピン#]					説明
	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU 48QFN	EZ-PD™ PMG1-S3 MCU 97-BGA	
TCPWM_line_0	P0.0 [7] P2.2 [12]	P1.2 [4]	P3.2 [34] P0.0 [27]	P6.2[18]	P6.2[P13]	TCPWM-0 の出力
TCPWM_line_1	P0.1 [8] P2.3 [13]	P1.4 [6]	P3.3 [35] P0.1 [28]	該当なし	P0.2[P8]	TCPWM-1 の出力
TCPWM_line_2	P2.0 [9] P1.0 [1]	該当なし	P3.4 [36]	P2.1[48]	P2.1[B2]	TCPWM-2 の出力
TCPWM_line_3	P2.1 [10] P1.1 [2]	該当なし	P3.5 [37]	P2.4[45]	P2.4[A7]	TCPWM-3 の出力
TCPWM_line_4	該当なし	該当なし	該当なし	P1.3[14]	P1.3[K4]	TCPWM-4 の出力
TCPWM_line_5	該当なし	該当なし	該当なし	P1.4[20]	P1.4[M10]	TCPWM-5 の出力
TCPWM_line_6	該当なし	該当なし	該当なし	P3.0[1]	P3.0[A1]	TCPWM-6 の出力
TCPWM_line_7	該当なし	該当なし	該当なし	P3.3[2]	P3.3[B1]	TCPWM-7 の出力
TCPWM_line_4	該当なし	該当なし	該当なし	P1.3[14]	P1.3[K4]	TCPWM-4 の出力
TCPWM_line_5	該当なし	該当なし	該当なし	P1.4[20]	P1.4[M10]	TCPWM-5 の出力
TCPWM_line_6	該当なし	該当なし	該当なし	P3.0[1]	P3.0[A1]	TCPWM-6 の出力
TCPWM_line_7	該当なし	該当なし	該当なし	P3.3[2]	P3.3[B1]	TCPWM-7 の出力

4.7 USB PD ブロック

ここでは、USB データおよび USB PD 設計で推奨されるハードウェア設計の考慮事項について説明します。

4.7.1 VBUS 放電

統合された VBUS 放電回路は、デタッチ状態または負の電圧遷移中に VBUS を放電します。EZ-PD™ PMG1-S0/S1/S3 MCU には、VBUS 放電回路が組み込まれます。EZ-PD™ PMG1-S2 MCU には、VBUS を放電するための外部抵抗が必要です。VBUS_C 放電スイッチにより、外部抵抗を介して VBUS を放電できます。EZ-PD™ PMG1-S2 MCU ベースの設計では、MCU の VBUS_DISCHARGE ピンを 200 オーム (100 オーム) の外部抵抗を介して VBUS ピンに接続する必要があります。

4.7.2 CC と VCONN

EZ-PD™ PMG1 MCU は、シンク、ソース、および DRP の役割で最大 20 V、5 A (100 W) の USB PD 契約をサポートします。EZ-PD™ PMG1 MCU デバイスの CC1 ピンと CC2 ピンは、Type-C PD コネクタの CC1 ピンと CC2 ピンに接続する必要があります。300 kHz の信号レートで信号品質を維持するには、390 pF のデカップリングコンデンサを CC ライン (CC1、CC2) に接続する必要があります。CC ピンのデカップリングコンデンサは、MCU ピンのできるだけ近くに配置する必要があります。

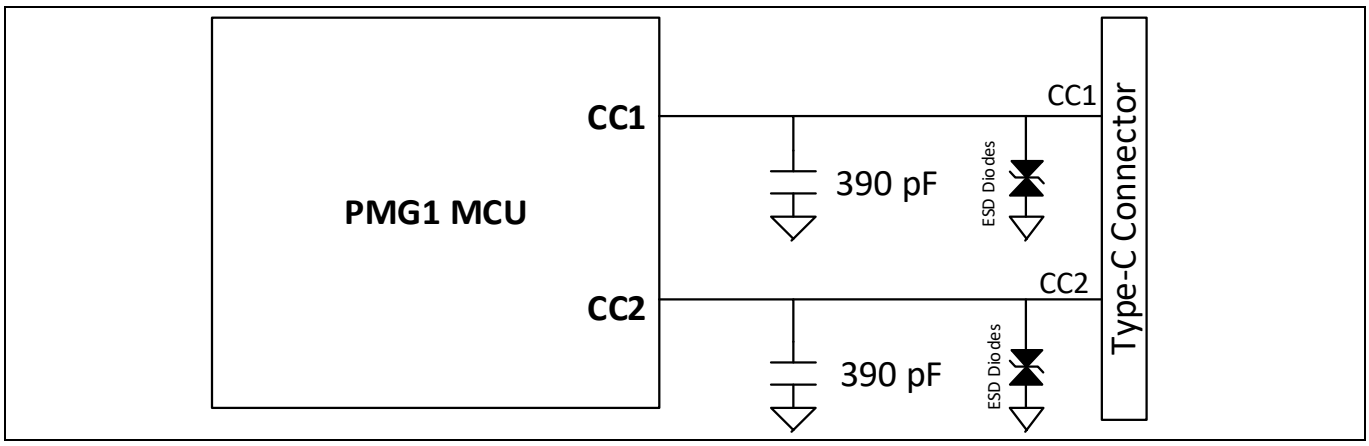

Figure 12 CC1、CC2 信号

アプリケーションが USB PD ポートで VCONN 機能をサポートする場合、VCONN_Source を電圧源に接続して内部 VCONN FET に電力を供給する必要があります。電源は VCONN の電力要件を処理できる必要があり、デカップリングコンデンサとバイパスコンデンサで説明したように、デカップリングコンデンサを MCU VCONN_Source ピンに配置する必要があります。VCONN FET には、VCONN OCP 障害からチップを保護するための過電流保護 (OCP) 回路が関連付けられます。EZ-PD™ PMG1-S0 MCU は VCONN 機能をサポートしません。

4.7.3 EZ-PD™ PMG1-S1/S2 MCU ゲートドライバまたはロードスイッチの制御信号

EZ-PD™ PMG1 MCU には、プロバイダおよびコンシューマ パス上の FET ベースのロードスイッチを駆動するための統合 N チャネル FET、P チャネル FET (PFET)、または両方のゲートドライバがあります。

EZ-PD™ PMG1-S0 MCU には、VBUS コンシューマ パス上の 2 つの外部 PFET を駆動するための 2 つの P チャネル FET ゲートドライバがあります。VBUS_FET_CTRL_0 ゲートドライバにはアクティブプルアップがあるため、High、Low、または High-Z を駆動できます。ただし、VBUS_FET_CTRL_1 ゲートドライバは Low または High-Z しか駆動できないため、外部プルアップが必要です。ゲートドライバ信号は VBUS 電圧耐性があります。

回路設計要件

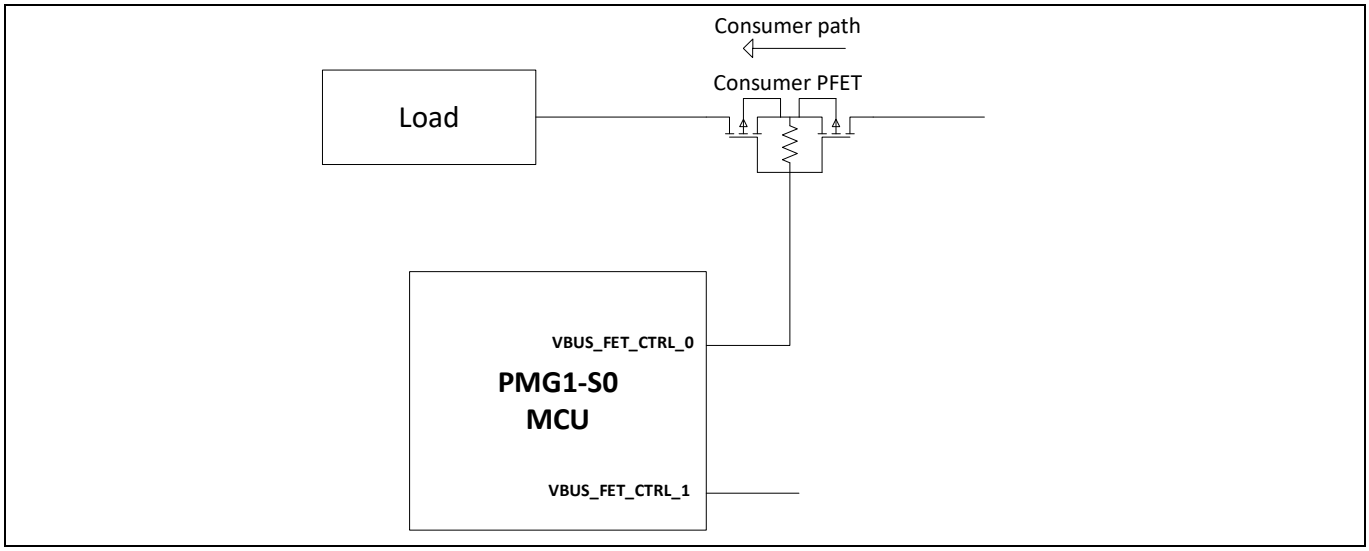

Figure 13　　EZ-PD™ PMG1-S0 MCU 外部 FET 制御

EZ-PD™ PMG1-S1 MCU には、PFET ドライバを備えた統合ロードスイッチコントローラーがあり、DRP のコンシューマ パス上の外部 PFET を駆動し、設計のみをシンクします。ゲートドライバには外部プルアップが必要です。ロードスイッチコントローラーには、プロバイダ パス上の外部 PFET を駆動するためのスルーレート制御ゲートドライバもあります。統合されたロードスイッチコントローラーは、通常のゲートドライバと比較してより多くの機能を備えます。ロードスイッチコントローラーの詳細については、EZ-PD™ PMG1-S1 MCU データシート[4] を参照してください。

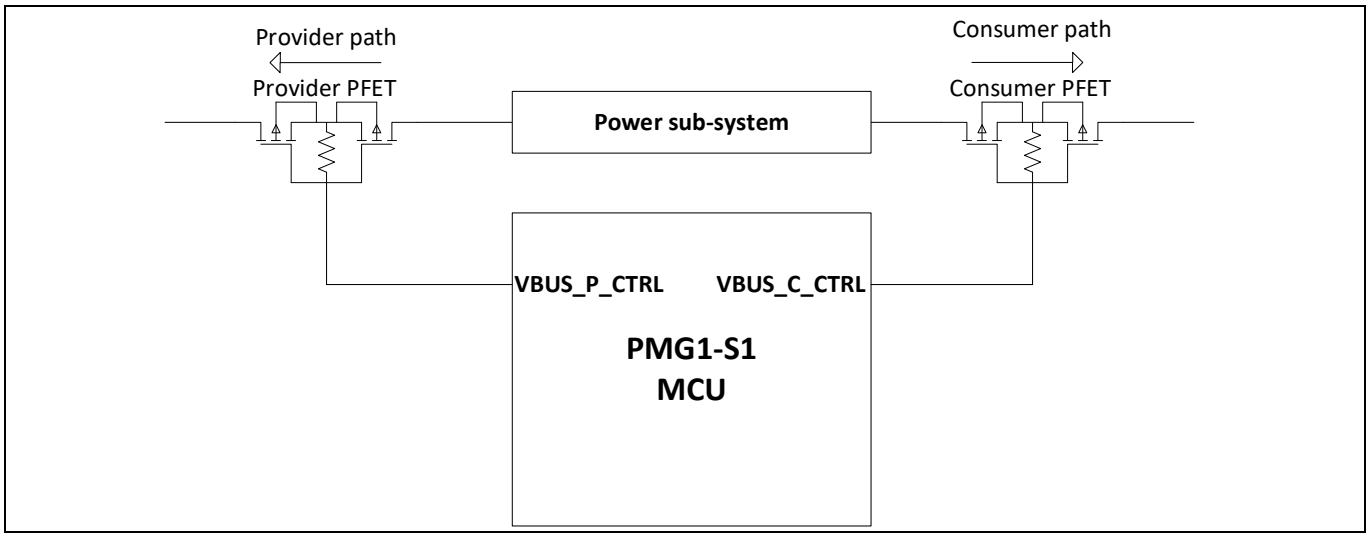

Figure 14　　EZ-PD™ PMG1-S1 MCU 外部 FET 制御

EZ-PD™ PMG1-S2 MCU デバイスでは、N チャネル FET (NFET) および PFET ゲートドライバが MCU に統合されます。ゲートドライバのタイプは、P および N タイプの外部 FET をサポートするために、P1.0 GPIO ピンを使用してハードウェアで構成できます。フローティング P1.0 は NFET ドライバを示し、PFET ドライバとして構成するには、ピンをグランドに接続する必要があります。EZ-PD™ PMG1-S2 には、プロバイダ パス FET を駆動するための VBUS_P_CTRL0 と VBUS_P_CTRL1 の 2 つのピンと、コンシューマ パス FET を駆動するための 2 つのピン (VBUS_C_CTRL0 と VBUS_C_CTRL1) があります。

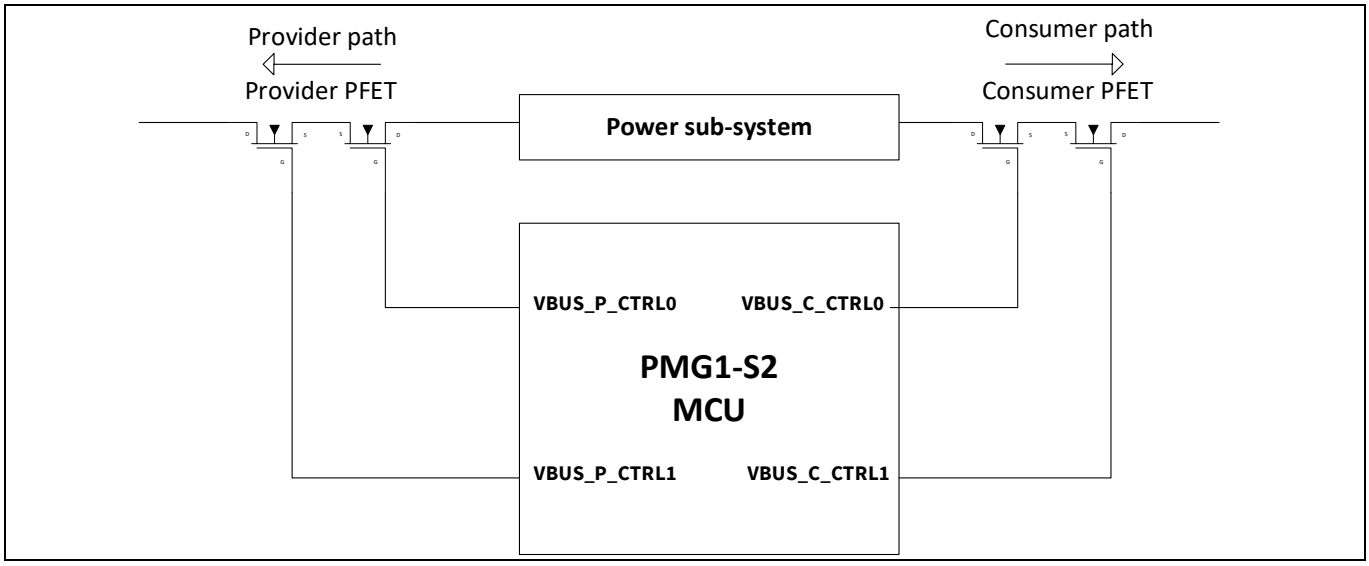

Figure 15 EZ-PD™ PMG1-S2 MCU 外部 FET 制御

Table 13 に、ゲートドライバ/ロードスイッチ制御に割り当てられた EZ-PD™ PMG1 MCU ピンを示します。

4.7.4 EZ-PD™ PMG1-S3 MCU ゲートドライバまたはロードスイッチの制御信号

EZ-PD™ PMG1-S3 MCU 48-QFN デバイスでは、1 つの N チャネル FET (NFET) ゲートドライバが MCU に統合されます。EZ-PD™ PMG1-S3 MCU 97-BGA デバイスでは、2 つの N チャネル FET (NFET) ゲートドライバが MCU に統合されます。各ゲート ドライバには、4 本のピン (VBUS_IN_NGDO、VBUS_IN_CTRL、VBUS_OUT_NGDO および VBUS_OUT_CTRL) があります。

負荷スイッチの実装には、IN_NFET および OUT_NFET の 2 個の NFET (共通ドレイン) ソリューションを常に推奨します。外部 NFET には次の特性が必要です。

- ゲート ソース電圧 (VGS) は少なくとも+/- 20V である。
- ゲートからソースへの順方向リーク電流 (IGSS) は 2µA 未満である。

IN_NFET を、ソース専用動作のために常に DC-DC 出力に接続し、シンク専用動作のために常に Type-C コネクタの VBUS ピンに接続します。VBUS_IN_NGDO および VBUS_IN_CTRL 信号を IN_NFET にマップする必要があります。

- VBUS_IN_NDGO を IN_NFET のソース ピンに接続する。
- ソース専用動作のために、VBUS_IN_NGDO を常に DC-DC 出力に接続する。
- シンク専用動作のために、VBUS_IN_NGDO を Type-C コネクタの VBUS ピンに接続する。
- シンク専用動作のために、VBUS_IN_NGDO を VBUS_C ピンに接続する。
- VBUS_IN_CTRL を IN_NFET のゲート ピンに接続する。
- VBUS_IN_CTRL は最大 4µA 電流のみをソースする。

OUT_NFET は、ソース専用動作のために常に Type-C コネクタの VBUS ピンに接続し、シンク専用動作のために負荷回路に接続します。VBUS_OUT_NGDO および VBUS_OUT_CTRL 信号を OUT_NFET にマップする必要があります。

- VBUS_OUT_NDGO を OUT_NFET のソース ピンに接続する。

回路設計要件

- ソース専用動作のために、VBUS_OUT_NGDO を Type-C コネクタの VBUS ピンに接続する。
- ソース専用動作のために、VBUS_OUT_NGDO を VBUS_C ピンに接続する。
- シンク専用動作のために、VBUS_OUT_NGDO を負荷回路に接続する。
- VBUS_OUT_CTRL を OUT_NFET のゲート ピンに接続する。
- VBUS_IN_CTRL は最大 4µA 電流のみをソースする。

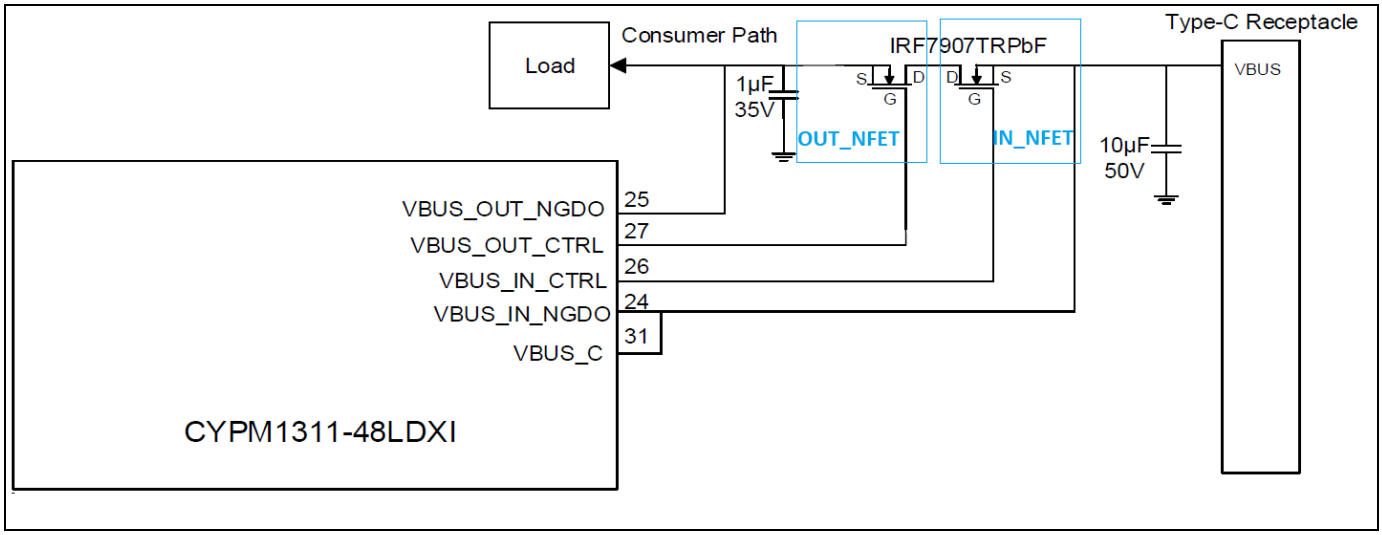

Figure 16 EZ-PD™ PMG1-S3 MCU (48-QFN) の外部 NFET 制御 (シンク専用動作)

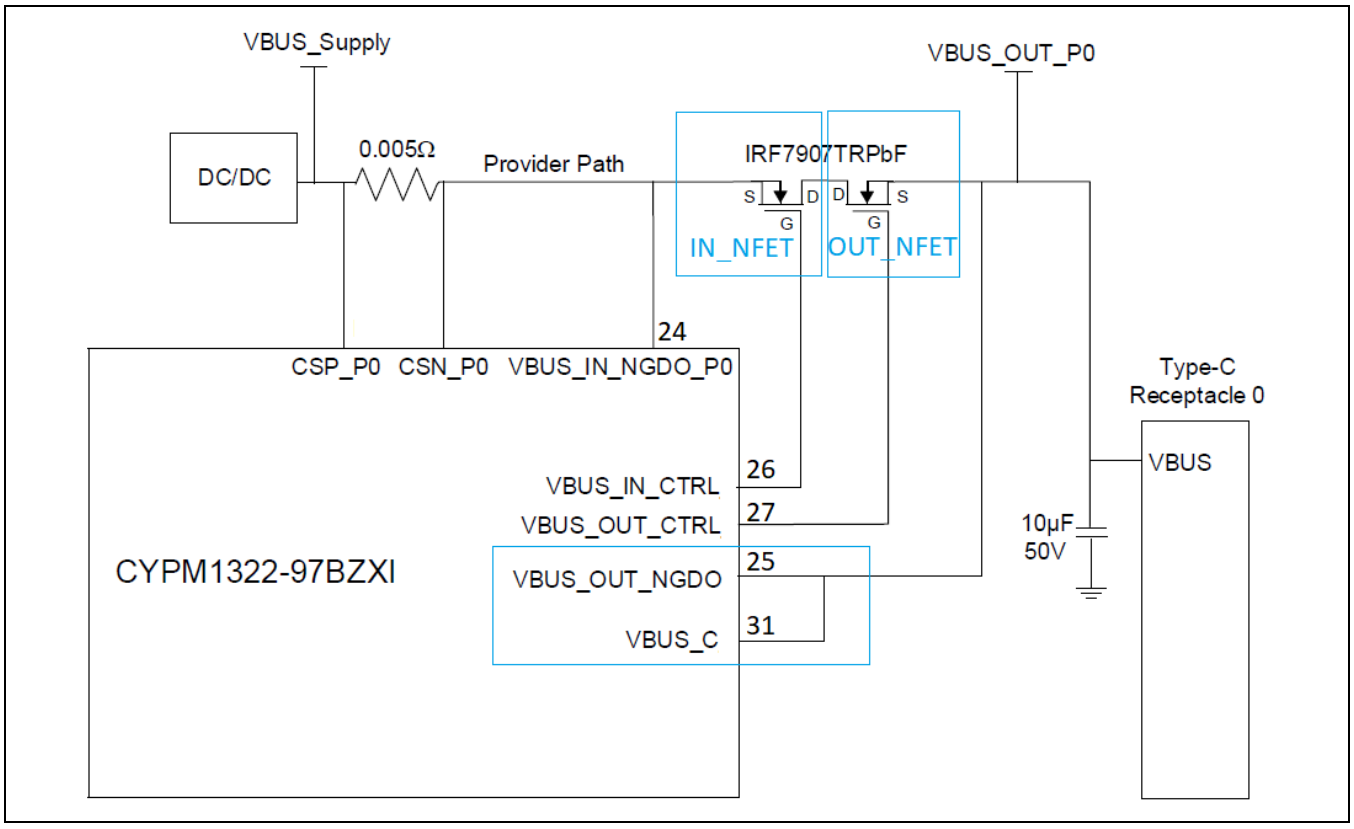

Figure 17 EZ-PD™ PMG1-S3 MCU (48-QFN) の外部 NFET 制御 (ソース専用動作)

回路設計要件

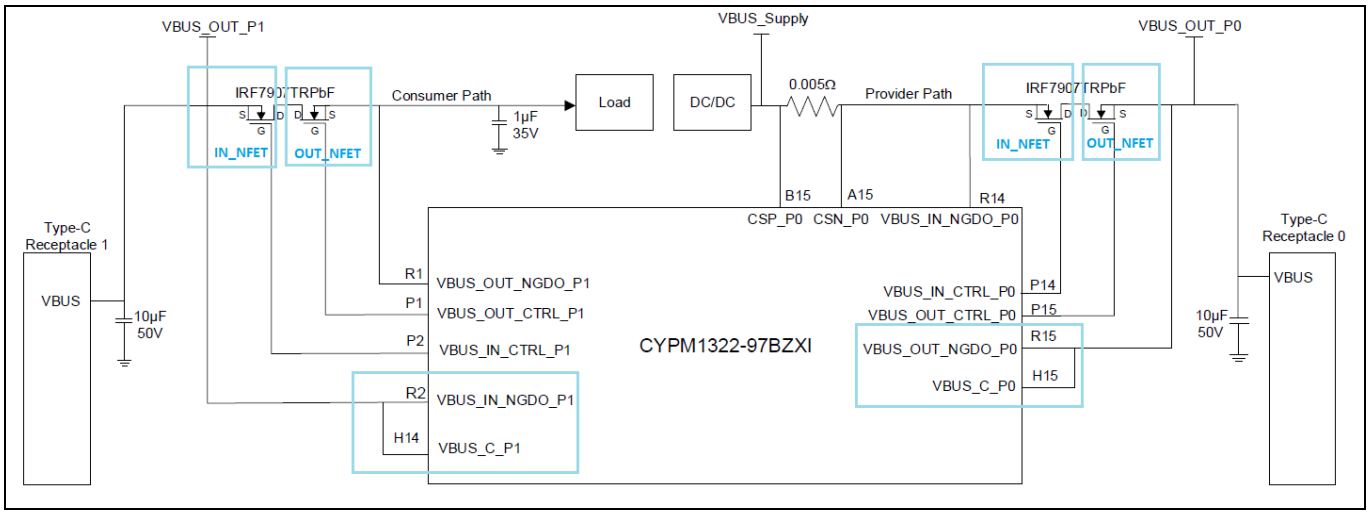

Figure 18 EZ-PD™ PMG1-S3 MCU (97-BGA) の外部 NFET 制御 (2 ポート ソース専用動作)

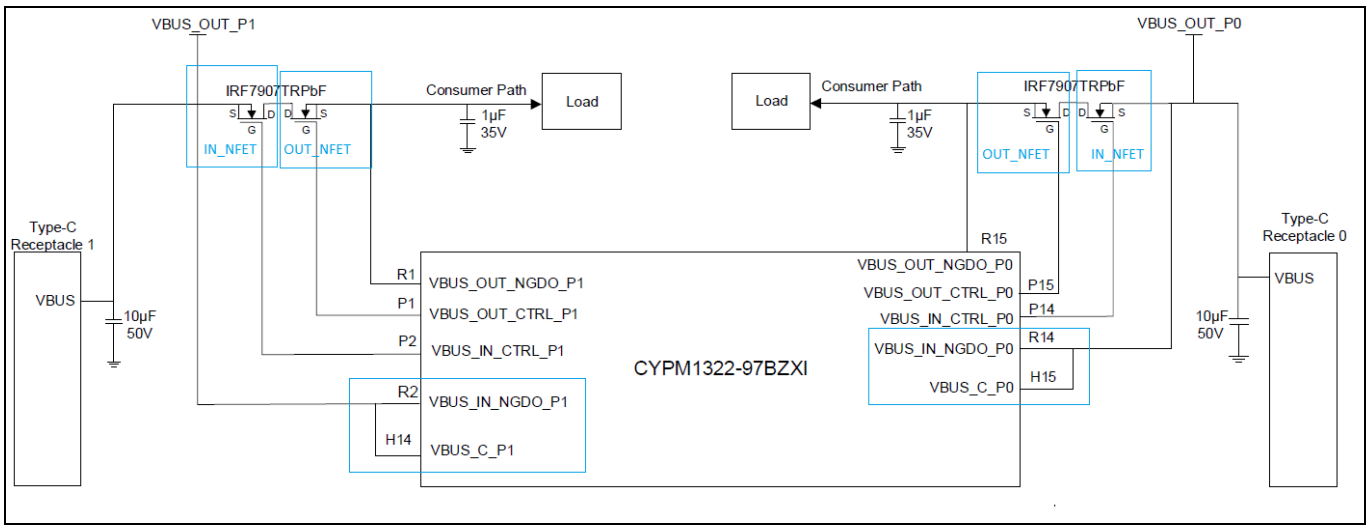

Figure 19 EZ-PD™ PMG1-S3 MCU (97-BGA) の外部 NFET 制御 (2 ポート シンク専用動作)

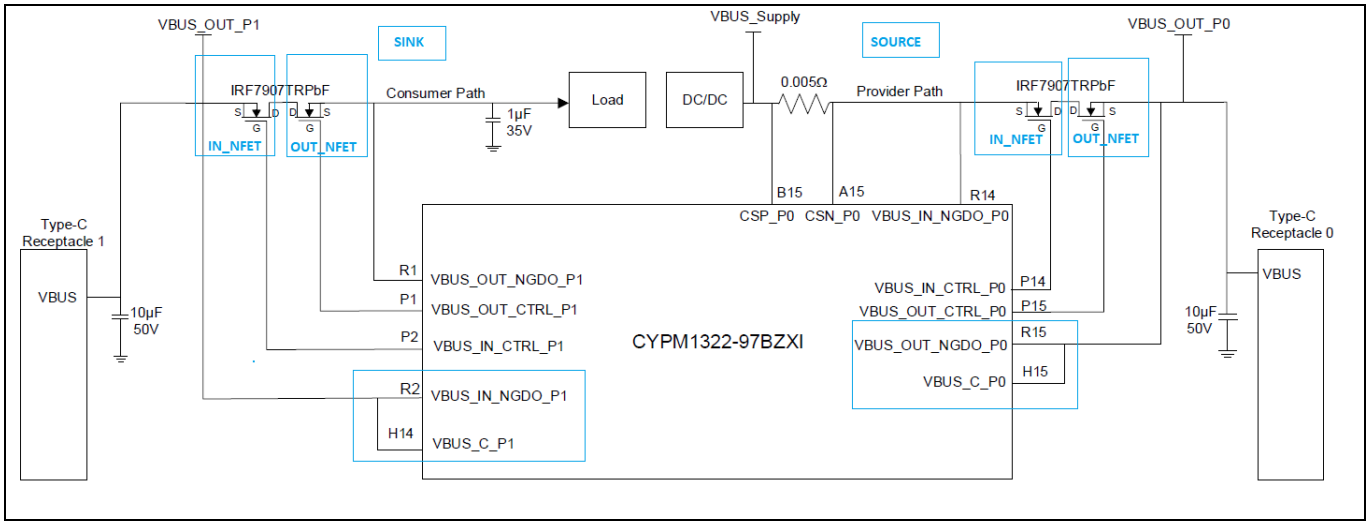

Figure 20 EZ-PD™ PMG1-S3 MCU (97-BGA) の外部 NFET 制御 (ポート 0 をソース専用動作として、ポート 1 をシンク専用動作とする)

回路設計要件

EZ-PD™P MG1-S3 MCU では、ゲート ドライバを備えた外部負荷スイッチを使用できます。以下のガイドラインに従ってください。

- VBUS_IN_NDGO を負荷スイッチの入力ピンに接続する。
- 分圧回路を介して VBUS_IN_CTRL を負荷スイッチのイネーブル ピンに接続する。 VBUS_IN_CTRL は最大 4µA 電流のみをソースできる。これらの抵抗から引き出される電流は 4uA 未満であることが必須で、そうでない場合、ゲート ドライバが損傷する。
- 外付けソース ドライバを駆動するために GPIO (P2.0) を使用する。ゲート ドライバを備えた外部負荷スイッチおよび外部ゲート ドライバを制御するために VBUS_IN_CTRL または GPIO (P2.0) を使用できる。
- ソース専用動作のために、VBUS_OUT_NGDO を VBUS_C ピンに接続する。
- シンク専用動作のために、VBUS_OUT_NGDO を負荷回路に接続する。

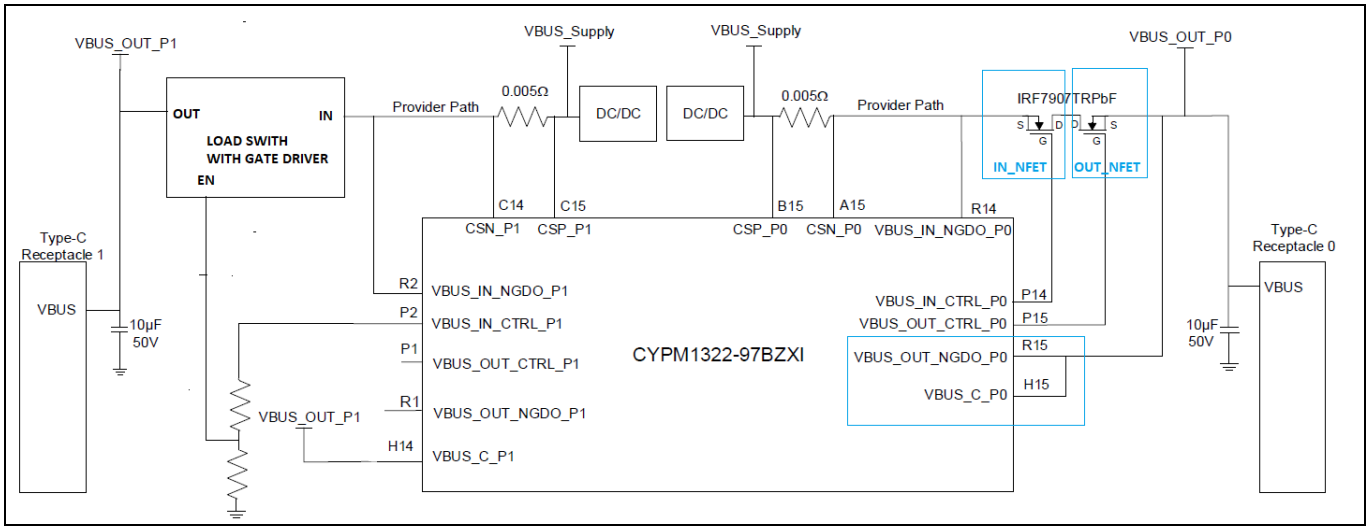

Figure 21 EZ-PD™ PMG1-S3 MCU (97-BGA): VBUS_IN CRTL を使用したゲート ドライバ制御を備えた外部負荷スイッチ (ソース専用動作)

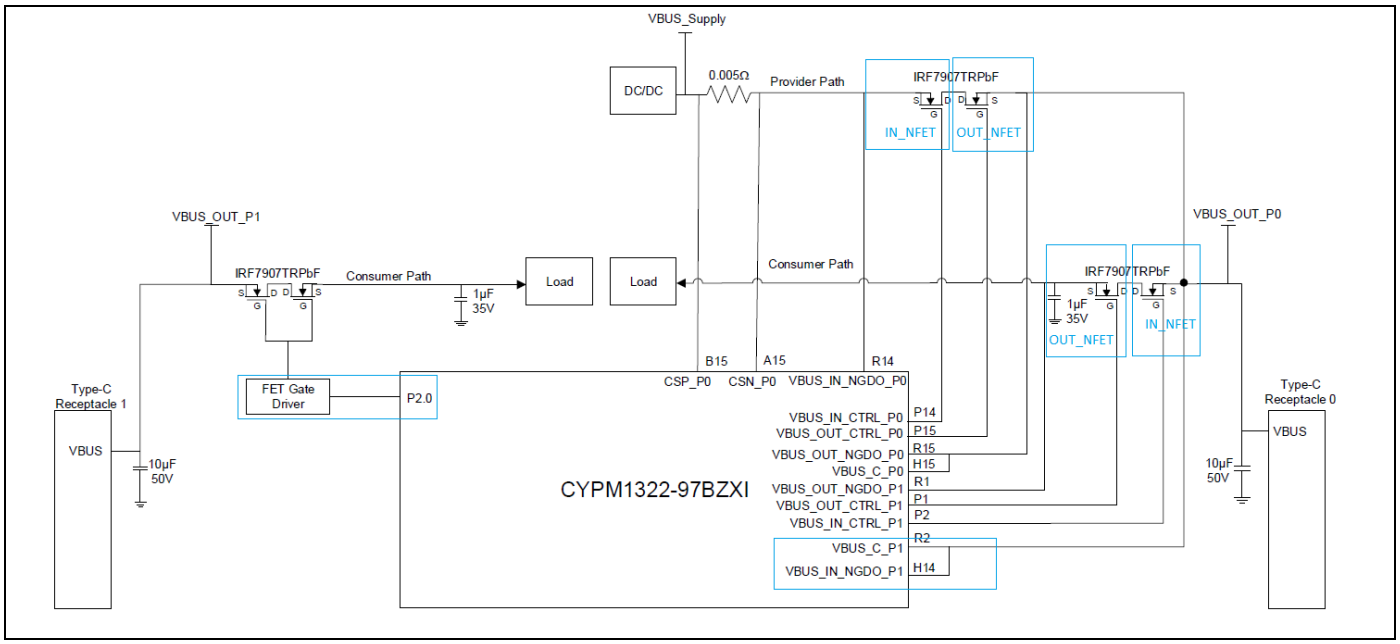

Figure 22 1 個のポートが DRP、ほかのポートがシンク動作、外部負荷スイッチと外部ゲート ドライバが GPIO にて制御される

回路設計要件

Table 13 に、ゲートドライバ/ロードスイッチ制御に割り当てられた EZ-PD™ PMG1 MCU ピンを示します。

Table 13　　ロードスイッチ/ゲートドライバ信号

ロードスイッチ制御信号	MCU ピン#	説明
EZ-PD™ PMG1-S0 MCU		
VBUS_FET_CTRL_0	3	内部プルアップを備えた外部 PMOS FET (PFET) 制御 (30V トレラント) 0:パスオン 1:パスオフ
VBUS_FET_CTRL_1	4	外部 PFET 制御 (30 V トレラント) 0:パスオン High-Z: パスオフ このピンを使用するには、外部プルアップを提供します
EZ-PD™ PMG1-S1 MCU		
VBUS_P_CTRL	11	プロバイダ側の PFET を有効/無効にするためのスルーレート制御 I/O 0:パスオン 高 Z：パスオフ
VBUS_C_CTRL	12	コンシューマ側 PFET を有効/無効にするためのピン 0: パスオン High Z: パスオフ
EZ-PD™ PMG1-S2 MCU		
VBUS_P_CTRL1	1	プロバイダスイッチ用の VBUS ゲートドライバ制御 1
VBUS_P_CTRL0	2	プロバイダスイッチの VBUS ゲートドライバ制御 0
VBUS_C_CTRL1	29	民生用スイッチ用 VBUS ゲートドライバ制御 1
VBUS_C_CTRL0	30	民生用スイッチの VBUS ゲートドライバ制御 0
EZ-PD™ PMG1-S3 MCU 48-QFN		
VBUS_IN_NGDO	1	IN_FET のソース ピン
VBUS_IN_CTRL_NDGO	2	IN_FET のゲート ドライバ制御
VBUS_OUT_CTRL_NGDO	29	OUT_FET のゲート ドライバ制御
VBUS_OUT_NGDO	30	OUT_FET のソース ピン
EZ-PD™ PMG1-S3 MCU 97-BGA		
VBUS_IN_NGDO_P0	1	ポート 0 の IN_FET のソース ピン
VBUS_IN_CTRL_NDGO_P0	2	ポート 0 の IN_FET のゲート ドライバ制御
VBUS_OUT_CTRL_NGDO_P0	29	ポート 0 の OUT_FET のゲート ドライバ制御
VBUS_OUT_NGDO_P0	30	ポート 0 の OUT_FET のソース ピン
VBUS_IN_NGDO_P1	1	ポート 1 の IN_FET のソース ピン
VBUS_IN_CTRL_NDGO_P1	2	ポート 1 の IN_FET のゲート ドライバ制御
VBUS_OUT_CTRL_NGDO_P1	29	ポート 1 の OUT_FET のゲート ドライバ制御
VBUS_OUT_NGDO_P1	30	ポート 1 の OUT_FET のソース ピン

4.8 充電器の検出

EZ-PD™ PMG1 MCU ファミリは、USB BC 1.2 および Apple の充電終端用のバッテリ充電器エミュレーションと検出を統合します。MCU の DP ピンと DM ピンは充電器検出ブロックに接続されます。PMG1-S1 デバイスでは、充電器の検出は内部 HS Mux の一部です。

以下は、DP 信号と DM 信号を接続するためのハードウェア設計上の考慮事項です。

- EZ-PD™ PMG1-S0 MCU、EZ-PD™ PMG-S2 MCU および EZ-PD™ PMG1-S3 MCU で、Type-C コネクタの A6 および B6 (DP) を短絡し、MCU の USBDP ピンに配線します。A7 と B7 (DM) を短絡し、MCU の USBDM ピンに配線します (**Figure 23**)。
- EZ-PD™ PMG1-S1 MCU では、ピンを短絡させないでください。Type-C コネクタピンを MCU の高速 (HS) ピンに直接配線します (**Figure 24**)。
- 最適なパフォーマンスを得るには、電源ドメインで説明されている USB HS 信号配線の考慮事項に従ってください。

Table 14 に、EZ-PD™ PMG1 MCU の USB HS/充電器検出信号のピン番号を示します。

Table 14 USB HS/充電器検出信号

HS 信号	MCU ピン#				
	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU (48-QFN)	EZ-PD™ PMG1-S3 (97-BGA)
USBDP	17	該当なし	21	39	A13
USBDM	16	該当なし	22	40	A11
USBDP_TOP	該当なし	28	該当なし	該当なし	該当なし
USBDP_BOT	該当なし	26	該当なし	該当なし	該当なし
USBDM_TOP	該当なし	27	該当なし	該当なし	該当なし
USBDM_BOT	該当なし	25	該当なし	該当なし	該当なし

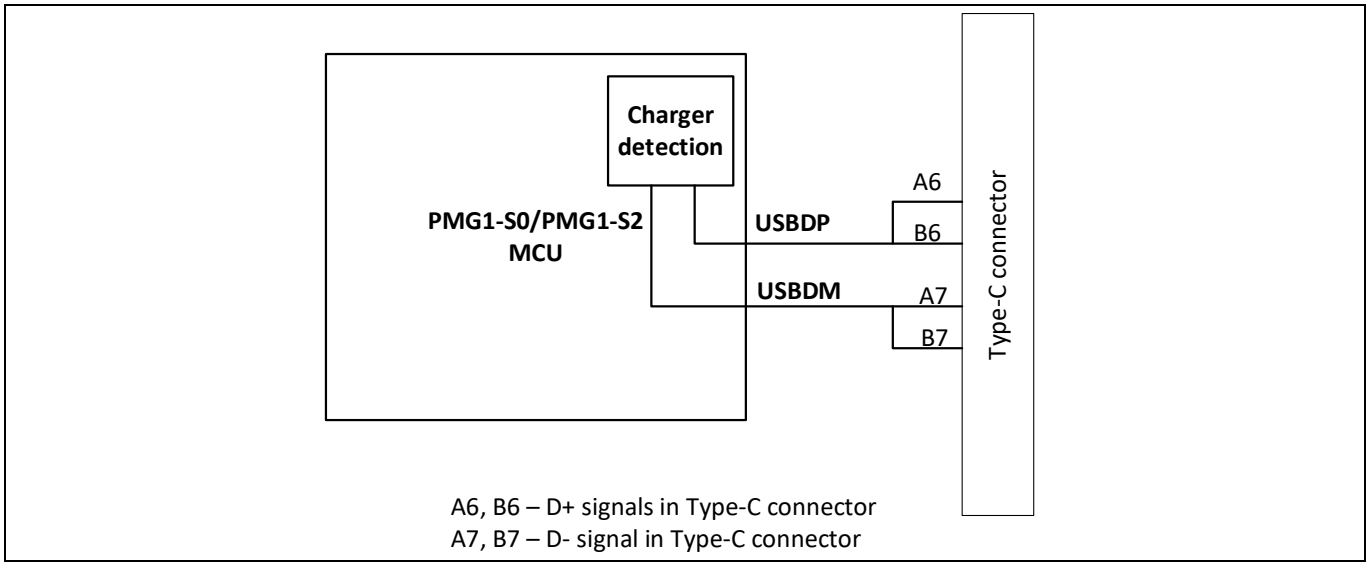

Figure 23 EZ-PD™ PMG1-S0 MCU、EZ-PD™ PMG1-S2 MCU および EZ-PD™ PMG1-S3 MCU での充電器の検出

回路設計要件

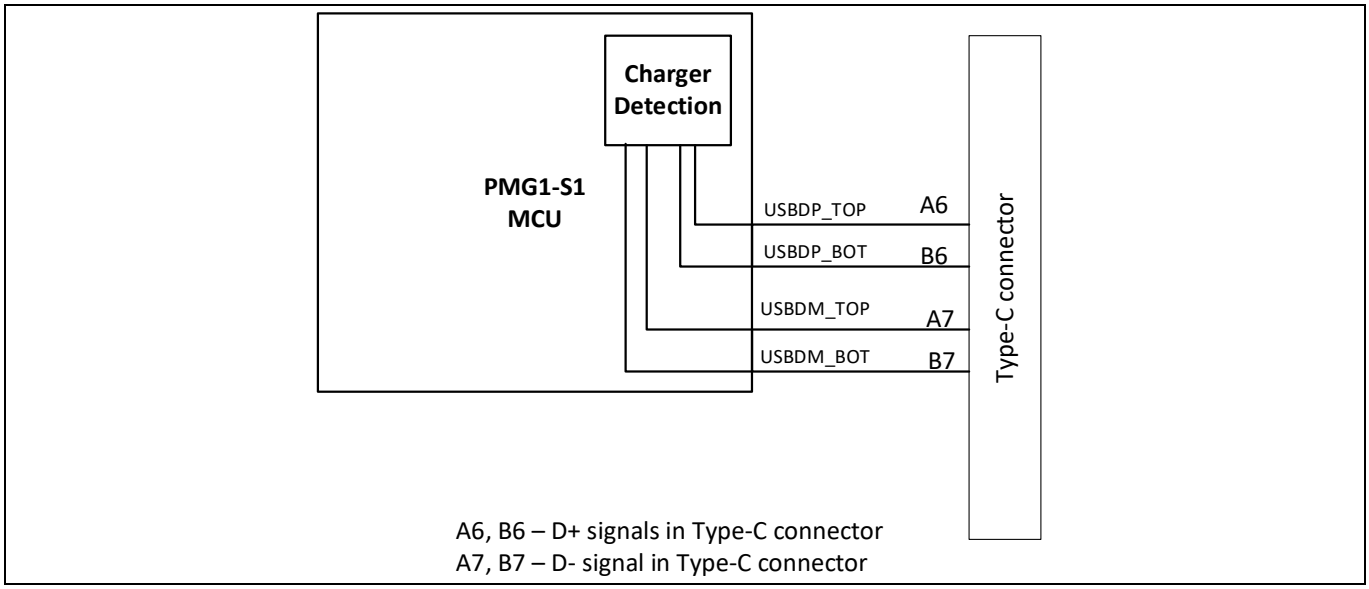

Figure 24 EZ-PD™ PMG1-S1 MCU での充電器の検出

5 電気設計の考慮事項

5.1 ESD および EMI/EMC 保護

EZ-PD™ PMG1 MCU には、VBUS、OVT ピン、および USB/USB PD ラインに ESD 保護が組み込まれます。**Table 15** は、MCU の内蔵 ESD 保護についてまとめたものです。

Table 15 EZ-PD™ PMG1 MCU の内蔵 ESD 保護

MCU	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU (48-QFN および 97-BGA)
接触放電	CC1、CC2、VBUS、P2.2、および P2.3 ピンで±8kV	なし	CC1、CC2、VBUS、USBDP、USBDM、SBU1、および SBU2 ピンで±8kV	なし
空中放電	CC1、CC2、VBUS、P2.2、および P2.3 ピンで±15kV	なし	CC1、CC2、VBUS、USBDP、USBDM、SBU1、および SBU2 ピンで±15kV	なし
HBM	± 2.2 kV	±2.2 kV	± 2.2 kV	± 2.2 kV
CDM	± 500 V	± 500 V	± 500 V	± 500 V

ガイドラインでは、定格制限を超えて保護を拡張するために、USB 信号と CC ラインに ESD ダイオードを追加することを推奨します。ESD ダイオードは、IEC61000-4-2 の要件を満たし、入力容量が低くなります。フェライトビーズは、EZ-PD™ PMG1 MCU を使用するすべての Type-C アプリケーションに必須ではありませんが、Type-C コネクタのシールドとシステム GND ピンの間にビーズを接続することを推奨します。

5.2 一般的な PCB レイアウトのヒント

低ノイズおよび EMC 用の PCB を設計するための多くの古典的な手法があります。ここでは、これらの一般的な手法のいくつかについて説明します。これらの手法は、システムの全体的な設計、EMI/EMC 性能、ノイズ処理などを改善するために使用できます。

- **多層:** より高価ですが、VSS および VDD 電源専用の別々の層を備えた多層 PCB を使用するのが最善です。これにより、優れたデカップリングとシールド効果が得られます。GND、VDDIO、VSYS、VBUS、および VDDD には、これらの層に別々の装填を提供する必要があります。
  コスト削減のために、2 層または単一層の PCB を使用できます。その場合、すべての電源とグランドトレースに適したレイアウトを用意する必要があります。ただし、USB PD システムの設計では、システムが最大 100 W の電力を処理する必要があるため、2 層 PCB は推奨されません。
- **アースと電源:** すべてのアースリターンを収集するための単一のポイントが必要です。グランドループを避けるか、その表面積を最小限に抑えてください。特に 2 層または単一層の PCB を使用する場合、PCB にコンポーネントが実装されないすべての表面はシールドを作成するために追加でグランドにする必要があります。
  電源は電源ループ領域を最小限にするために、グランド線の近くに配置する必要があります。供給ループはアンテナとして機能し、EMI の主要なエミッタまたはレシーバになることができます。
- **デカップリング:** 外部電源の標準デカップリング回路は 100 µF のコンデンサです。高周波電源リップルを低減するために、補助 0.1 µF コンデンサをデバイスの VSS ピンと VDD ピンのできるだけ近くに配置する必要があります。

電気設計の考慮事項

一般に、EMC 性能を向上させるために、すべての敏感な信号またはノイズの多い信号を分離する必要があります。デカップリングは、容量性と誘導性の両方が可能です。

- **コンポーネントの位置:** EMI の寄与に応じて PCB 上の回路を分離します。これにより、PCB でのクロスカップリングを減らせます。例えば、ノイズの多い大電流回路、低電圧回路、およびデジタルコンポーネントを分離します。デカップリングコンデンサとインダクタ (バックインダクタ) は、トレース抵抗が最小になるようにデバイスピンのできるだけ近くに配置する必要があります。
- **信号ルーティング**: アプリケーションを設計するときは、EMC 性能を向上させるために、次の領域を綿密に調査する必要があります。
  - ノイズの多い信号、たとえば、エッジ時間が速い信号
  - 高感度で高インピーダンスの信号
  - 割込みやストロボ信号などのイベントをキャプチャする信号

  EMC 性能を向上させるには、トレース長をできるだけ短くし、VSS トレースでトレースを分離します。クロストークを回避するために、他のノイズの多い敏感なトレースの近くまたは平行に配線しないでください。

5.3 PCB の選択と基本的な配線の考慮事項

5 A の最大電流を処理するには、PCB 銅の厚さを最小 2 オンスにする必要があります。

5.3.1 EZ-PD™ PMG1 MCU 設計用のリファレンス PCB スタック

5.3.1.1 1.2 mm、4 層 PCB スタックアップ

Figure 25 に、1.2 mm 厚の PCB に推奨されるスタックアップを示します。幅 (W) と間隔 (S) の値は、CY7110 EZ-PD™ PMG1-S0 プロトタイピングキットに基づきます。

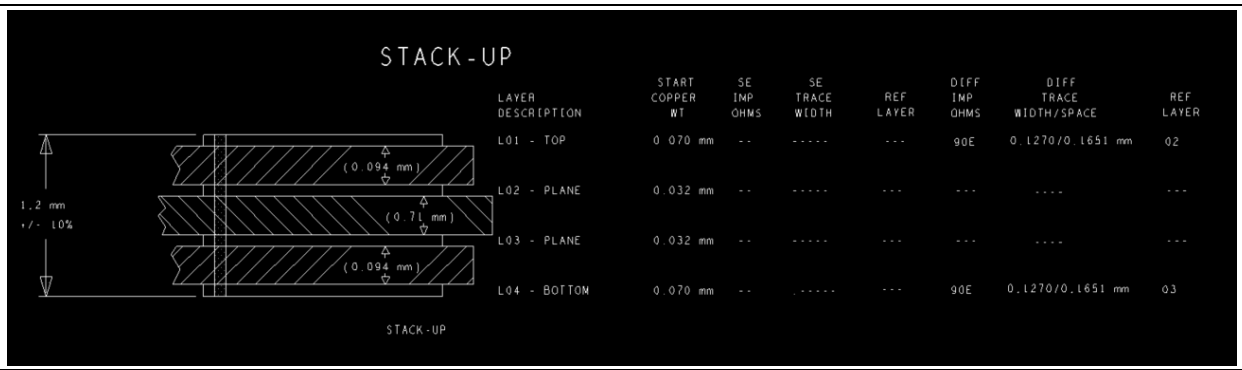

Figure 25 4 層 PCB スタックアップ

5.3.1.2 1.2 mm、6 層 PCB スタックアップ

Figure 26 に、1.2 mm 厚の PCB に推奨されるスタックアップを示します。幅 (W) と間隔 (S) の値は、CY7110 EZ-PD™ PMG1-S0 MCU プロトタイピングキットに基づきます。

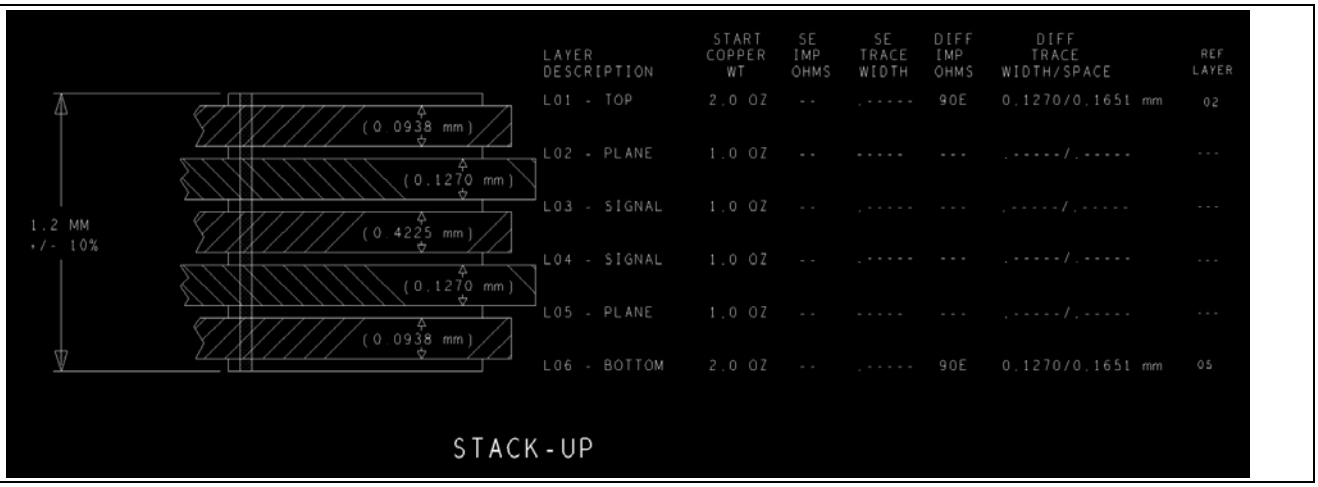

Figure 26　　6 層 PCB スタックアップ

5.4　パワードメイン

5.4.1　バルクコンデンサとデカップリングコンデンサの配置

- Figure 27 に示すように、高周波および低周波ノイズフィルタリング用に、それぞれの PMG コントローラーの電源ピンの近くにデカップリングコンデンサを配置します。
- ローカル電源として機能するバルクコンデンサを、電源の入力ヘッダと出力ヘッダ、および電圧レギュレータの近くに配置します。電気ノイズを低減するために、電源ヘッダの近くで電源入力と出力をフィルタリングします。セラミックまたはタンタルコンデンサを推奨します。電解コンデンサはバルク静電容量には適していません。

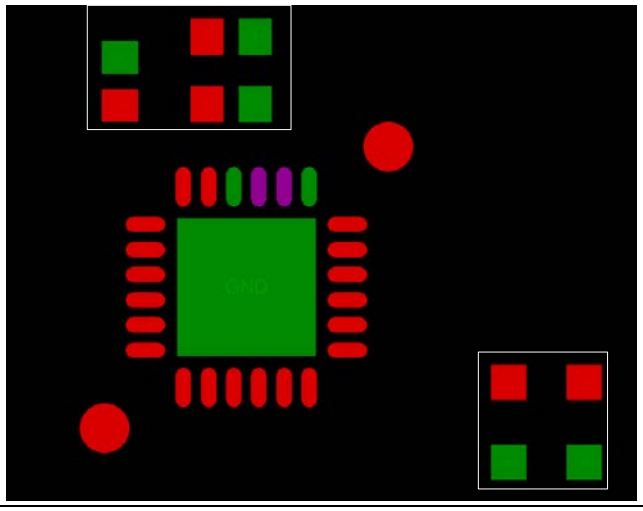

Figure 27　　バルクコンデンサとデカップリングコンデンサの配置

5.4.2　電源プレーンとグランドプレーンの配置

- すべてのグランドリターンを収集するための単一のポイントが必要です。グランドループを避けるか、その表面積を最小限に抑えてください。特に 2 層または 1 層 PCB を使用する場合は、PCB のすべてのコンポーネントのない表面に、シールドを作成するための追加の接地を充填する必要があります。

電気設計の考慮事項

- USB PD 機能を備えたシステムの設計には、PCB 用の高性能基板材料を使用してください。USB PD 仕様によれば、システムは最大 5 A の電流を流せます。したがって、2 オンス (oz) の銅の厚さの PCB を構築する必要があります。銅要素間の最小推奨スペースは 8 mil (0.203 mm) です。
- 電源とアースには専用のプレーンを使用してください。専用プレーンを使用すると、USB 信号のジッターが減少し、EMI および RFI の影響を最小限に抑えられます。
- ボードに複数の電圧が必要な場合は、電源プレーンにカットアウトを使用してください。**Figure 28** に、電源プレーンのカットアウトを示しており、さまざまな電源ドメインが異なる色でマークされます。

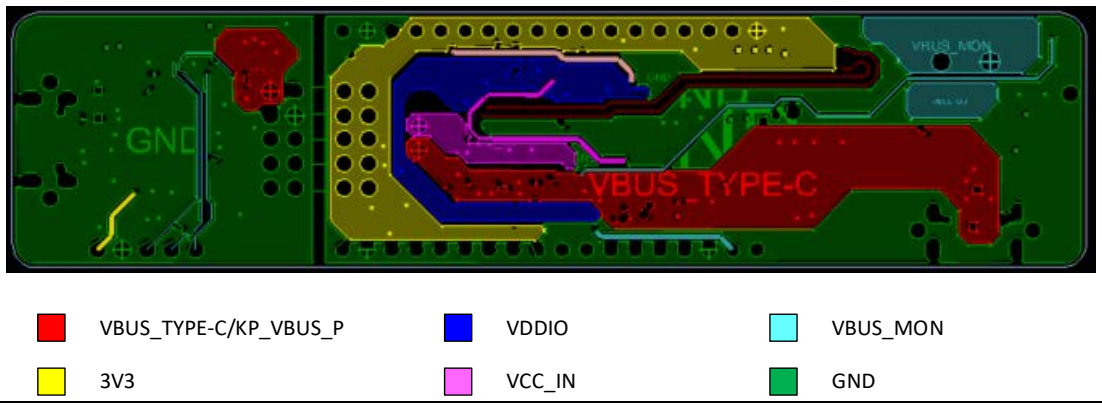

Figure 28　　パワープレーン (参考: EZ-PD™ PMG1-S1 MCU キット)

- 良好な平面静電容量を得るために、電源プレーンをグランドプレーンの近くに配置してください。プレーン間に存在する平面静電容量は、高周波ノイズフィルタリング用の分散デカップリングコンデンサとして機能し、それによって電磁放射を低減します。

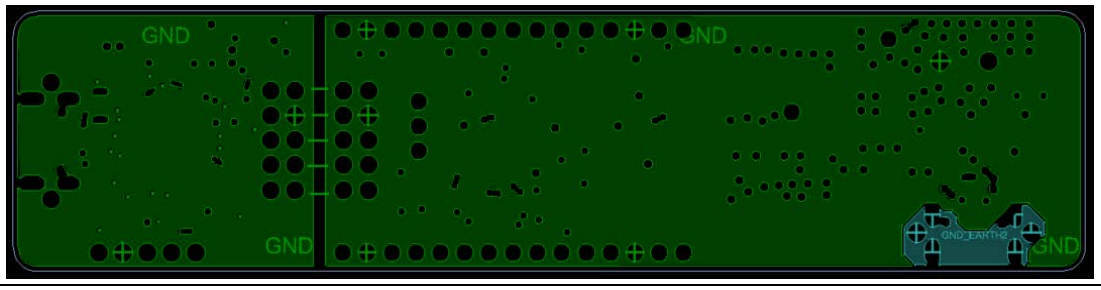

Figure 29　　グランドプレーン (参照: EZ-PD™ PMG1-S1 MCU キット)

- グランドプレーンを分割または切断しないでください。分割すると、USB 信号の電気的ノイズとジッターが増加します。グランドプレーンは連続している必要があります。不連続なグランドプレーンは、リターン電流パスが長くなるためインダクタンスが大きくなり、EMI 放射が増加する可能性があります。また、複数のスプリットグランドはクロストークの増加を引き起こす可能性があります。

5.4.3　パワードメイン配線

- インダクタンスを減らすために、最小 40 mil のトレース幅でパワートレースを配線してください。
- パワートレースは短くしてください。
- 電力トレースには、より大きなビア (少なくとも 30 mil のパッド、15 mil の穴) を使用してください。

電気設計の考慮事項

- パワートレースの幅をパワーパッドの幅と同じにしてください。電源ピンを電源プレーンに接続するには、ビアを電源パッドに非常に近づけてください。これは、ライン上の浮遊インダクタンスと IR ドロップを最小限に抑えるのに役立ちます。
- PMG1 MCU の露出パッド (EPAN) を PCB に設けられた露出グランドパッドにはんだ付けしてください。
- スイッチモード電源を使用する場合は、パワートレースが信号トレースから遠く離れていることを確認してください。これは、信号にパワーノイズが追加されないため、または信号トレースの間にグランドトレースを保持するためです。

5.4.4 電圧レギュレーション

電圧レギュレータ/LDO を選択する際は、放電を減らし、USB サスペンド中のレギュレーションの問題を防ぐために、次の点を考慮してください。

- USB サスペンド中のボードの負荷電流よりも小さい最小負荷電流を持つ電圧レギュレータを選択してください。レギュレータに流れる電流がレギュレータの最小負荷電流よりも小さい場合、出力電圧が変化する可能性があります。
- 分割された VCC プレーンにまたがるように電圧レギュレータを配置してください。これにより、排出量が削減されます。

5.5 USB PD および USB-Data 信号の配線 (Type-C)

5.5.1 Type-C (VBUS、GND、および CC) ラインの配線に関するガイドライン

- VBUS ピンをグループ化してください (すべての VBUS ピンはビアを使用して同じプレーンに引き出されます)。
- 同じように GND ピンをグループ化してください (すべての GND ピンがビアを使って同じ面に引き出されます)。
- GND プレーンを CC (CC1、CC2) ラインに隣接して下に配置してください。CC ピンからのトレースは、VCONN 動作のために、最低 20 mil のトレース幅で配線する必要があります。
- 信号を差動ペアとして外部 Rsense 抵抗に配線してください。

5.5.2 USB データラインの配線に関するガイドライン

- EZ-PD™ PMG1 MCU の高速 (DP および DM) 信号トレース長を 1.25 mm (50 mil) 以内に一致させてください。
- USB 高速信号が内部マルチプレクサを介して配線される EZ-PD™ PMG1-S1 MCU では、高速信号が MCU と Type-C コネクタの間で 3 インチ (75 mm) 未満であることを確認してください。また、MCU とホストコネクタ間の Htrace の長さは 3 インチ未満です。
- 差動ペア (USBDP、USBDM、USBDP_TOP、USBDP_BOT、USBDM_TOP、USBDM_BOT、USBDP_SYS、および USBDM_SYS) のペア間の最小間隔が 0.5 mm であることを確認してください。
- ビアの使用を最小限に抑えてください。
- 伝送線路方式として、接地されたコプレーナ導波管 (CPWG) システムを選択してください。
- 必要に応じて、USB レセプタクル付近の高速信号トレース長を調整してください。
- USB 信号線はできるだけ曲げないようにしてください。直角に曲げてはなりません。必要に応じて、45 度または丸みを帯びた (カーブした) 曲げを使用します (**Figure 30** を参照)。

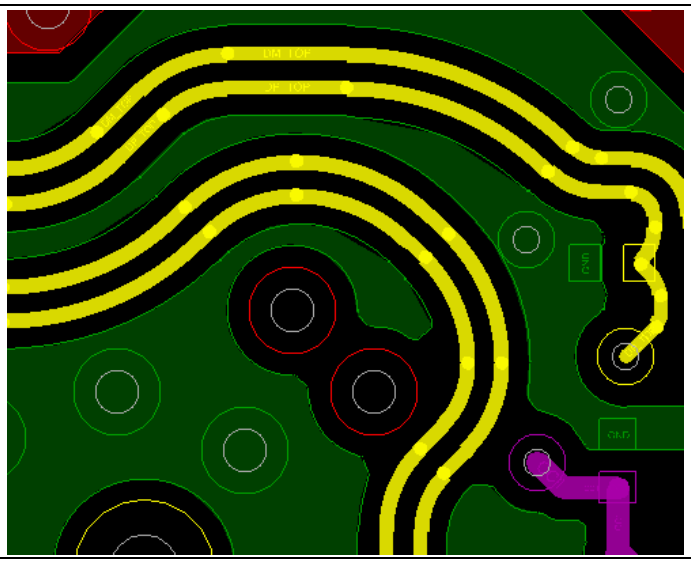

Figure 30　　USB 高速信号配線 - 丸みを帯びた曲げ

5.5.3　EZ-PD™ PMG1-S3 MCU 97-BGA および 48QFN のレイアウト ガイドライン

Figure 30 に推奨される PMG1-S3 97-BGA デバイスのフットプリントを示します。フットプリントには、特定の箇所に楕円形のパッドがあります。高密度インターコネクタ (HDI) ボードの処理を排除して製造コストを削減するために、楕円形のパッドを使用を推奨します。この方法により、PCB 設計者は内側ボールを最上層に通して配線することができます。このフットプリントは、一般的に構成コストが低い MDI (中密度) の PCB 設計に推奨されます。

外側ボールのサイズが 0.25mm x 0.1778mm で、内側ボールのサイズが 0.25mm x 0.25mm であることを確認してください。EZ-PD™ PMG1-S3 MCU BGA パッケージは、10 x 18mil のビア サイズに対応しています。

電流検出ピンの差動配線を実行します。

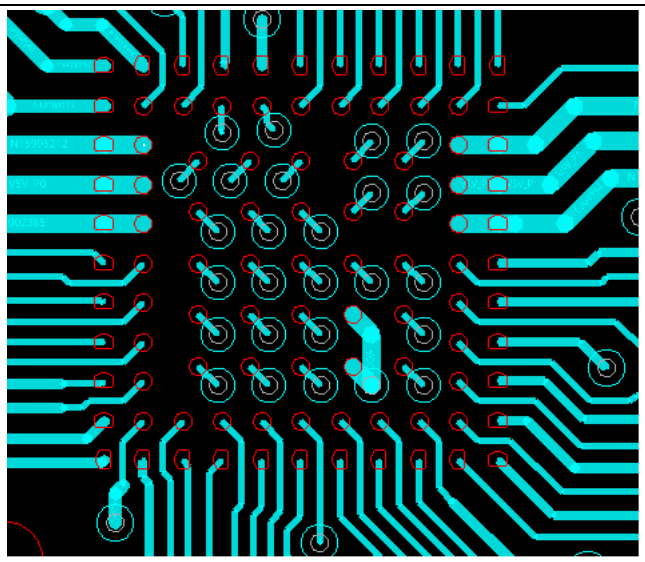

Figure 31　　EZ-PD™ PMG1-S3 MCU 97-BGA のファンアウトおよびビア サイズ (10 x 18)

電気設計の考慮事項

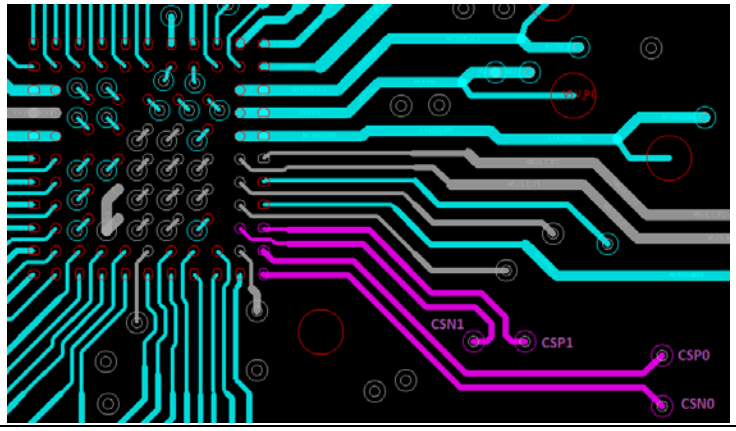

Figure 32　　EZ-PD™ PMG1-S3 MCU 97-BGA の電流検出配線：上面

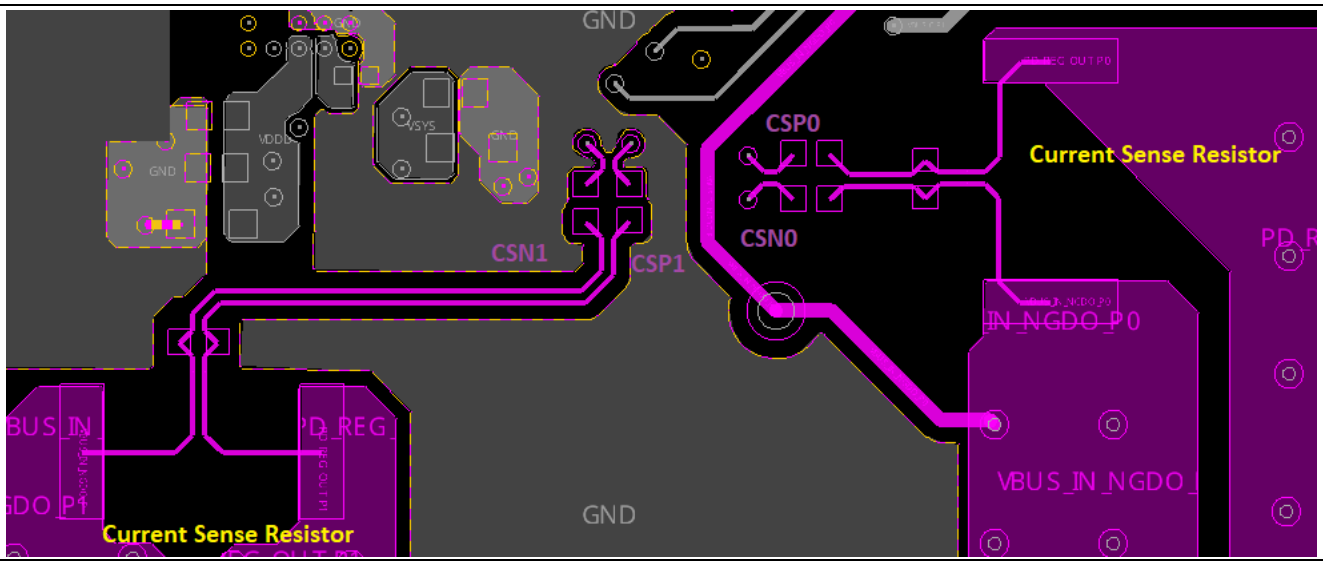

Figure 33　　EZ-PD™ PMG1-S3 MCU 97-BGA の電流検出配線：上面

Figure 34 に示すように、EZ-PD™ PMG1-S3 MCU 48-QFN デバイスには、熱パッド上に 5× 5 ビアアレイ (25 ビア) があります。熱性能を満たすために、熱パッドに 4 × 4 ビア アレイ (16 ビア) を配置することを推奨します。ビア アレイとは、EPAD の行と列にあるビアの数を意味します。各ビアは最小で 10mil のドリルと 20mil の直径である必要があります。

電気設計の考慮事項

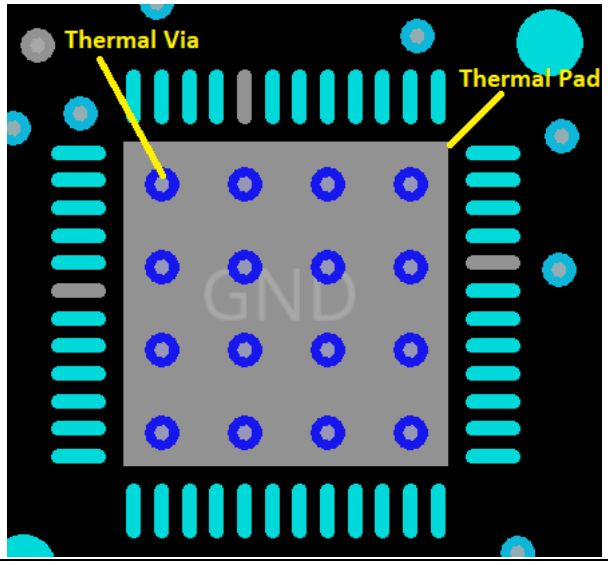

Figure 34　　EZ-PD™ PMG1-S3 MCU 48-QFN の熱ビア

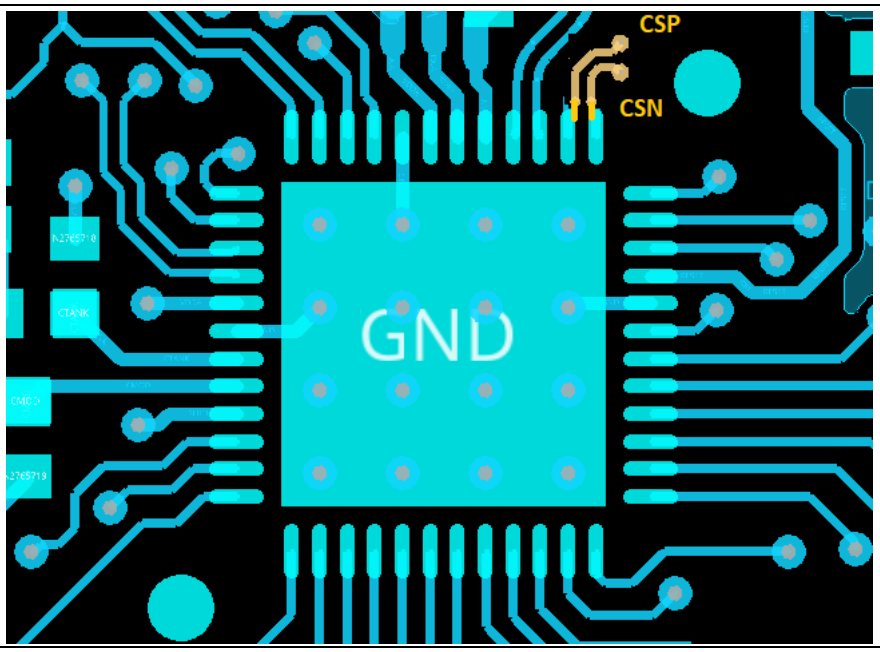

Figure 35　　EZ-PD™ PMG1-S3 MCU 40-QFN のファンアウトおよび電流検出：上面

Figure 36 に示すように、EZ-PD™ PMG1-S3 MCU 48-QFN デバイスには、熱パッド上に 5× 5 ビアアレイ (25 ビア) があります。熱性能を満たすために、熱パッドに 4 × 4 ビア アレイ (16 ビア) を配置することを推奨します。ビア アレイとは、EPAD の行と列にあるビアの数を意味します。各ビアは最小で 10mil のドリルと 20mil の直径である必要があります。

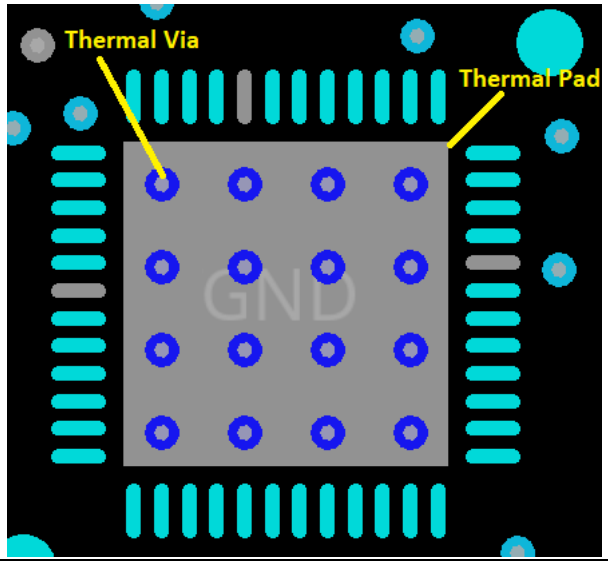

Figure 36 EZ-PD™ PMG1-S3 MCU 48-QFN の熱ビア

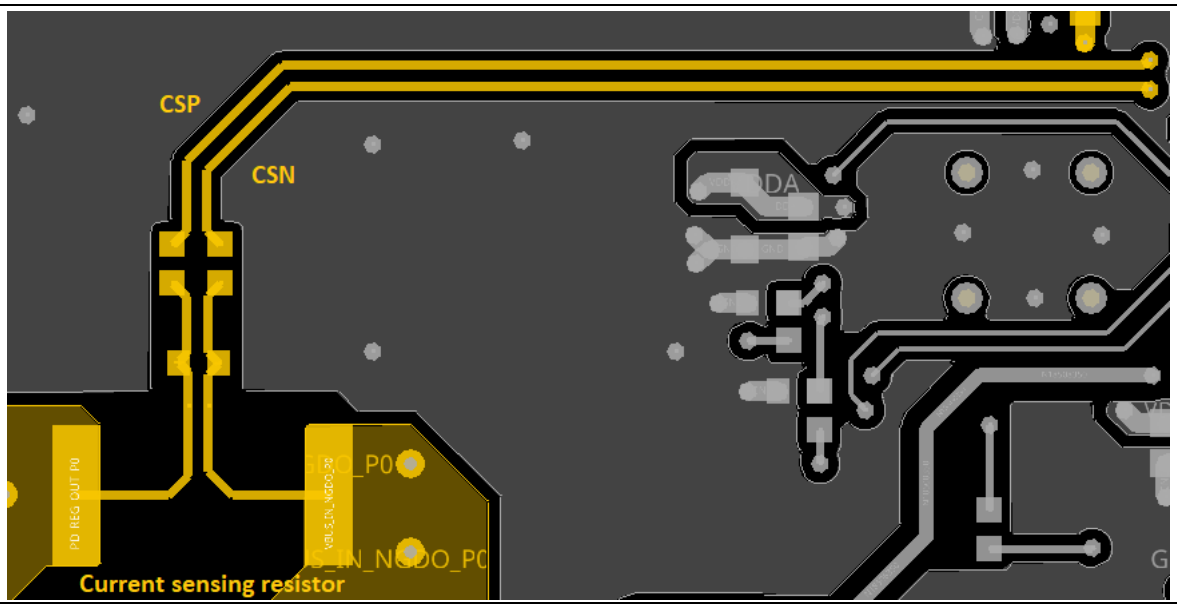

Figure 37 EZ-PD™ PMG1-S3 MCU 48-QFN の電流検出：下面

5.5.4 EZ-PD™ PMG1-S3 MCU 97 BGA/48 QFN CAPSENSE™ (CSD) のピン割り当ておよびレイアウト ガイドライン

MCU ピンは、SCB、UART、SPI、TCPWM、CAPSENSE™などの多くの機能と多重化されます。

Table 6 に、CAPSENSE™に対応する MCU ピンを示します。これらのピンは、CAPSENSE™の動作中に他の機能と多重化してはいけません。CAPSENSE™を使用していないとき、他の機能と多重化できます。0E 抵抗を使用して、CAPSENSE™と非 CAPSENSE™の動作を区別します。

CAPSENSE™ガイドラインについては、**AN85951** を参照してください。

電気設計の考慮事項

Table 16 EZ-PD™ PMG1-S3 MCU 97-BGA の CSD ピン割り当て

ピン番号	EZ-PD™ PMG1-S3 MCU 97-BGA のピン名	CAPSENSE™ (CSD) の他の機能のサポート
A1	P3.0	GPIO, SCB4, CSD
A2	P2.0	GPIO, SCB5, CSD
A3	P2.2	GPIO, SCB5, CSD
A3	P2.2	GPIO, SCB5, CSD
A5	P2.5	GPIO, SCB5, CSD
A7	P2.4	GPIO, SCB0, CSD
A8	P2.7	GPIO, SCB1, CSD
B1	P3.3	GPIO, SCB4, CSD
B2	P2.1	GPIO, SCB0, CSD
B3	P3.1	GPIO, CSD
B5	P2.3	GPIO, SCB5, CSD
B7	P2.1	GPIO, SCB1, CSD
C1	P3.7	GPIO, CSD
D4	P3.4	GPIO, CSD
E1	P5.1	GPIO, SCB2, CSD (CMOD)
E2	P3.6	GPIO, SCB4, CSD
F4	P3.5	GPIO, SCB4, CSD
K12	P1.6	GPIO, SCB1, CSD
H2	P1.0	GPIO, CSD
H4	P5.5	GPIO, CSD
H6	P5.2	GPIO, CSD
M12	P1.5	GPIO, SCB1, CSD
C2	P3.2	GPIO, CSD
G1	P5.4	GPIO, CSD
G2	P5.0	GPIO, SCB2, CSD (CTANK)
H1	P5.3	GPIO, SCB2, CSD
P3	P1.1	GPIO、SCB3、CSD、シリアル ワイヤ デバッグ クロック
R3	P1.2	GPIO、SCB3、CSD、シリアル ワイヤ デバッグ データ
K4	P1.3	CSD, I2C_INT_TBT_P0
R5	P6.0	GPIO, SCB6, CSD
P5	P6.1	GPIO, SCB6, CSD
R8	P0.0	CSD, LXRX_P1
R7	P0.1	CSD, LXTX_P1
P7	P0.2	CSD, DGB1_P1
K6	P0.2	CSD, DGB2_P1
P8	P0.4	CSD, DGB2_P0
M8	P0.5	CSD, DGB1_P0

電気設計の考慮事項

ピン番号	EZ-PD™ PMG1-S3 MCU 97-BGA のピン名	CAPSENSE™ (CSD) の他の機能のサポート
R9	P0.6	CSD, LXTX_P0
R11	P0.7	CSD, LXRX_P0
P13	P6.2	CSD, SBU2_P0
R13	P6.3	CSD, SBU1_P0
M10	P1.4	CSD, GPIO
M12	P1.5	GPIO, SCB1, CSD
K12	P1.6	GPIO, SCB1, CSD
G15	P7.0	GPIO, SCB1, CSD
G14	P7.0	GPIO, CSD
E15	P4.0	GPIO, SCB0, CSD
D12	P4.1	GPIO, SCB0, CSD
A14	P7.2	GPIO, CSD
B13	P7.3	GPIO, SCB7, CSD
B11	P7.4	GPIO, SCB7, CSD
A9	P7.5	GPIO, SCB7, CSD
B9	P7.6	GPIO, SCB7, CSD

Table 17 EZ-PD™ PMG1-S3 MCU 48QFN CSD ピン割り当て

ピン番号	EZ-PD™ PMG1-S3 MCU 48QFN ピン名	CAPSENSE™ (CSD) の他の機能のサポート
1	P3.0	GPIO, SCB4, CSD
2	P3.3	GPIO, SCB4, CSD
3	P3.5	GPIO, SCB4, CSD
4	P3.6	GPIO, SCB4, CSD
7	P5.0	GPIO, SCB2, CSD
8	P5.1	GPIO, SCB2, CSD (CMOD)
9	P5.2	GPIO, SCB2, CSD
10	P5.3	GPIO, SCB2, CSD
11	P5.5	GPIO, CSD
12	P1.1	GPIO、SCB3、CSD、シリアル ワイヤ デバッグ クロック
13	P1.2	GPIO、SCB3、CSD、シリアル ワイヤ デバッグ データ
14	P1.3	GPIO, SCB3, CSD
15	P6.0	GPIO, SCB6, CSD
16	P6.1	GPIO, SCB6, CSD
17	P0.0	GPIO, CSD
18	P6.2	GPIO, SCB6, CSD

電気設計の考慮事項

ピン番号	EZ-PD™ PMG1-S3 MCU 48QFN ピン名	CAPSENSE™ (CSD) の他の機能のサポート
19	P6.3	GPIO, SCB6, CSD
20	P1.4	GPIO, SCB3, CSD
21	P1.5	GPIO, SCB1, CSD
22	P1.6	GPIO, SCB1, CSD
34	P4.0	GPIO, SCB0, CSD
35	P4.1	GPIO, SCB0, CSD
45	P2.4	GPIO, SCB0, CSD
46	P2.3	GPIO, SCB5, CSD
47	P2.2	GPIO, SCB5, CSD
48	P2.1	GPIO, SCB0, CSD

6 回路図とレイアウトレビューのチェックリスト

Table 18 回路図とレイアウトレビューのチェックリスト

No.	回路図のチェックリスト	回答 (Yes/No/NA)
1	**Figure 7** と **Figure 10** に示すように、デカップリングコンデンサとバルクコンデンサは電源と CC ピンに接続されていますか?	
2	I^2C ラインにはプルアップ抵抗 (2.2 KΩ) が付いていますか? I2C 割込みピン用の GPIO はブートローダーとアプリケーションファームウェアの両方で同じですか?	
3	POR RC コンポーネントは必要なリセット時間を満たしていますか?	
4	I^2C ラインには 3.3V ドメインへのプルアップ抵抗が付いていますか?	
5	**Figure 14**、**Figure 15**、および **Figure 23** に示すように、電力プロバイダとコンシューマ パスを制御するために VBUS に存在する FET の推奨配置はありますか?	
6	すべての USB コネクタシールドは正しく終端されていますか?	
7	EZ-PD™ PMG1-S2 MCU の **Figure 23** に示すように、VBUS 放電回路が設計に含まれていますか?	
8	VBUS 放電抵抗は EZ-PD™ PMG1-S2 MCU の 2W の消費電力に対応していますか?	
9	EZ-PD™ PMG1-S3 MCU ゲート ドライバ ピンは、シンクおよびソース アプリケーション用に適切に設定されていますか?	
10	CAPSENSE™信号はいくつかの機能ピンと多重化されていますか?その場合、絶縁抵抗 (0E) を配置していますか?	
レイアウトのチェックリスト		
1	デカップリングコンデンサとバルクコンデンサは、Type-C PD コントローラーの電源ピンの近くに配置されていますか?	
2	0.1 µF のデカップリングコンデンサが VCCD ピンの近くに配置されていますか?	
3	ビアは Type-CPD コントローラーの電源ピンの近くに配置されていますか?	
4	電力トレースは HS およびスーパースピード (SS) データラインから離れて配線されていますか?	
5	RC リセット回路のコンデンサは、Type-C PD コントローラーのリセットピンの近くに配置されていますか?	
6	専用の連続 GND プレーンが使用されていますか?	
7	Type-C コネクタのすべての VBUS ピンは、ビアを使用して同じ平面に配置されていますか?	
8	Type-C コネクタのすべての GND ピンは、ビアを使用して同じ平面に配置されていますか?	
9	GND は CC ラインの隣と下に存在しますか?	
10	USB SS と HS の信号線の長さは一致していますか?	
11	USB SS および HS 信号ラインは、下にしっかりしたグランドプレーンを備えていますか?	

回路図とレイアウトレビューのチェックリスト

No.	回路図のチェックリスト	回答 (Yes/No/NA)
12	USB トレースは短く保たれていますか?	
13	USB トレースには最小の曲がりがあり、90 度の曲がりはありませんか?	
14	SS と HS の信号配線インピーダンスは 90E に一致していますか?	
15	PMG1-S3 電流検出ピンは差動信号として配線されていますか?	
16	CAPSENSE™信号は **AN85951** レイアウト ガイドラインに従っていますか?	

参考資料

[1] 概要: **Infineon USB PD Controller Roadmap**

[2] 製品の Web ページ

- **EZ-PD™ PMG1 MCU ウェブページ**

[3] キットの Web ページ

- **CY7110 EZ-PD™ PMG1-S0 プロトタイピングキット**
- **CY7111 EZ-PD™ PMG1-S1 プロトタイピングキット**
- **CY7112 EZ-PD™ PMG1-S1 プロトタイピングキット**
- **CY7113 EZ-PD™ PMG1-S3 プロトタイピングキット**

[4] データシート

- **EZ-PD™ PMG1-S0 MCU データシート**
- **EZ-PD™ PMG1-S1 MCU データシート**
- **EZ-PD™ PMG1-S2 MCU データシート**
- **EZ-PD™ PMG1-S3 MCU データシート**

[5] アプリケーションノート: **AN232553 - Getting started with EZ-PD™ PMG1 MCU on ModusToolbox™ software**

頭字語と略語

頭字語	展開
AC	Apple Charging
ADC	Analog-to-Digital Converter (アナログ-デジタル変換器)
Arm®	Advanced RISC Machine、CPU アーキテクチャ
BC	Battery Charging (バッテリ充電)
CC	Configuration Channel (構成チャネル)
CDM	Charged Device Model (充電デバイスモデル)
CPU	Central Processing Unit (中央演算処理装置)
CS	Current Sense (電流検出)
CSN	Current Sense Negative
CSP	Current Sense Positive
CYP	Cypress Programmer
DFP	Downstream Facing Poer
DRP	Dual Role Port
EMC	Electromagnetic Compatibility (電磁環境適合性)
EMI	Electromagnetic Interference (電磁妨害)
ESD	Electrostatic Discharge (静電放電)
FS	Full-Speed
GPIO	General Purpose Input/Output (汎用入出力)
HBM	Human Body Model (人体モデル)
HS	High-Speed
IC	Iintegrated Circuit (集積回路)
IDE	Integrated Development Environment (統合開発環境)
I^2C	Inter-IntegratedCircuit、通信プロトコル
I/O	Input/Output (入出力)
LDO	Low Dropout Regurator (低ドロップアウトレギュレータ)
MCU	Microcontroller Unit
NC	No Connect (未接続)
OCP	Over Current Protection (過電流保護)
OVP	Over Voltage Protection (過電圧保護)
PCB	Printed Circuit Board (プリント基板)
PD	Power Delivery (電源供給)
POR	Power-On-Reset
PWM	Pulse-Width Modulator (パルス幅変調器)
QFN	Quad-Flat No-lead、IC パッケージの 1 種
RCP	Reverse Current Protection (逆電流保護)
R_D	ポートがシンクであることを示すために使用される USB Type-C CC ワイヤのプルダウン抵抗

頭字語と略語

頭字語	展開
R_{D-DB}	ポートが電池切れであることを示すために使用される USB Type-C CC ワイヤのプルダウン抵抗
R_P	ポートがソースであることを示すために使用される USB Type-C CC ワイヤのプルアップ抵抗
RX	Receiver (受信側)
SAR	Successive Approximation Register (逐次比較レジスタ)
SCB	Serial Communication Block (シリアル通信ブロック)
SCL	I2C Seial Clock
SCP	Short Circuit Protection (短絡回路保護)
SDA	I2C Serial Data
SPI	Serial Peripheral Interface (シリアルペリフェラルインタフェース)、通信プロトコル
SRAM	Static Random Access Memory (スタティック RAM)
SWD	Serial Wire Debug
TCPWM	Timer/Counter/Pulse-Width Modurator (タイマー/カウンター/パルス幅変調器)
TX	Transmit (送信側)
Type-C	最新の USB コネクタとケーブル規格
UART	Universal Asynchronous Transmitter Receiver (ユニバーサル非同期送信機受信機)、通信プロトコル
USB	Universal Serial Bus
USB-PD/ USB PD	USM Power Delivery (USB 電源供給)
USB-FS	USB Full-Speed
UVP	Under Voltage Protection (低電圧保護)
XRES	External Reset I/O pin (外部リセット I/O ピン)

改訂履歴

Document version	Date of release	Description of changes
**	2021-07-01	本版は英語版 002-32565 Rev. **について、CYPRESS DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。
*A	2022-05-11	これは英語版 002-32565 Rev. *A を翻訳した日本語版 Rev. *A です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-05-11
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2022 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?
Go to www.infineon.com/support

Document reference
002-33550 Rev. *A

重要事項
本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください（**www.infineon.com**）。

警告事項
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。