EZ-PD™ PMG1 MCU ハードウェア設計ガイドラインとチェックリスト

About this document

Scope and purpose

本アプリケーション ノートは、EZ-PD™第 1 世代パワー デリバリー マイクロコントローラー (PMG1) ファミリの高電圧 USB-C パワー デリバリー (PD) マイクロコントローラーのハードウェア設計と PCB レイアウトのガイドラインを提供します。また、EZ-PD™ PMG1 MCU ベースのシステム設計の詳細なハードウェア設計事項も提供します。本書では、EZ-PD™ PMG1 MCU ファミリのプロトタイピング キットを設計基準として使用しています。EZ-PD™ PMG1 MCU を使用して設計する際に、考慮すべき重要なポイントをまとめた回路図とレイアウト レビュー チェックリストが含まれています。

Intended audience

本アプリケーション ノートは、EZ-PD™ PMG1 MCU ベース設計のハードウェア設計ガイドラインを技術者に提供することを目的としています。

関連製品ファミリ

CYPM1011、CYPM1111、CYPM1211、および CYPM1311/22

Table of contents

About this document **1**
Table of contents **1**
1 はじめに **3**
2 デバイスの選択 **4**
2.1 注文情報 5
3 システム アーキテクチャ **6**
3.1 USB PD シンク専用アプリケーション 6
4 回路図設計の要件 **7**
4.1 電源システム 7
4.1.1 デカップリングとバイパス コンデンサ 8
4.2 外部電圧レギュレータ 11
4.3 回路とクロックのリセット 12
4.4 GPIO 13
4.4.1 I/O ピンの選択 13
4.4.2 過電圧耐性 GPIO 16
4.5 プログラミングおよびデバッグ インターフェース 16
4.6 デジタル ブロック 17
4.6.1 シリアル通信ブロック (SCB) 17
4.6.1.1 シリアル ペリフェラル インターフェース (SPI) 17
4.6.1.2 I2C 17
4.6.1.3 UART 17

Table of contents

4.6.2 タイマー、カウンター、およびパルス幅変調器 (TCPWM) 20
4.7 USB PD ブロック 21
4.7.1 VBUS 放電 21
4.7.2 CC および VCONN 21
4.7.3 EZ-PD™ PMG1-S1/S2 MCU のゲート ドライバまたは負荷スイッチ制御信号 21
4.7.4 EZ-PD™ PMG1-S3 MCU のゲート ドライバまたは負荷スイッチ制御信号 23
4.8 充電器の検出 28
5 電気設計の考慮事項 30
5.1 ESD および EMI/EMC 保護 30
5.2 一般的な PCB レイアウトのヒント 30
5.3 PCB 選択および配線に関する基本的な考慮事項 31
5.3.1 EZ-PD™ PMG1 MCU 設計の基準 PCB スタックアップ 31
5.3.1.1 1.2mm、4 層 PCB スタックアップ 31
5.3.1.2 1.2mm、6 層 PCB スタックアップ 31
5.4 パワー ドメイン 32
5.4.1 バルク コンデンサとデカップリング コンデンサの配置 32
5.4.2 電源層とグランド層の配置 32
5.4.3 パワー ドメインのルーティング 33
5.4.4 電圧レギュレータ 34
5.5 USB PD および USB-Data 信号 (Type-C) の配線 34
5.5.1 Type-C (VBUS、GND および CC) ライン配線のガイドライン 34
5.5.2 USB データ ライン配線のガイドライン 34
5.5.3 EZ-PD™ PMG1-S3 MCU 97-BGA および 48QFN のレイアウト ガイドライン 35
5.5.4 EZ-PD™ PMG1-S3 MCU 97 BGA/48 QFN CAPSENSE™ (CSD) のピン割り当ておよびレイアウト ガイドライン 38
6 回路図面とレイアウト レビューのチェックリスト 42
参考文書 44
略語 45
改訂履歴 47

1 はじめに

EZ-PD™ PMG1 MCU は、Arm® Cortex®-M0/Cortex-M0+ CPU を搭載した高電圧 USB PD MCU のファミリです。EZ-PD™ PMG1 MCU ファミリには、USB PD コントローラー、アナログおよびデジタル ペリフェラルが統合されたさまざまな MCU が含まれています。設計要件に応じてコントローラーを選択することができます。EZ-PD™ PMG1 MCU は、高電圧 USB-C PD ポートとの間で電力を供給/消費し、MCU を活用して追加の制御機能を提供する組込みシステムを対象としています。

2 デバイスの選択

本節は、EZ-PD™ PMG1 MCU ファミリの基本的な特長について説明します。**Table 1** では、EZ-PD™ PMG1 MCU ファミリの各種 MCU の基本的な機能の比較を示します。

Table 1 EZ-PD™ PMG1 MCU ファミリのさまざまな MCU の機能の比較

サブシステムまたは範囲	項目	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU
CPU およびメモリ サブシステム	コア	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大周波数 (MHz)	48	48	48	48
	フラッシュ (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
パワー デリバリー	パワー デリバリー ポート	1	1	1	48-QFN の場合は 1 ポート 97-BGA の場合は 2 ポート
	ロール	シンク	DRP	DRP	DRP
	MOSFET ゲート ドライバ	1x PFET	2x PFET	2x PFET/NFET	柔軟な 2x NFET
	フォールト保護	VBUS OVP[1]および UVP[2]	VBUS OVP、UVP、および OCP[3]	VBUS OVP、UVP、および OCP	VBUS OVP、UVP、および OCP
USB	Billboard クラスをサポートする統合されたフルスピード USB 2.0 デバイス	無	無	有	有
電圧範囲	電源電圧 (V)	VDDD (2.7～5.5) VBUS (4～21.5)	VSYS (2.75～5.5) VBUS (4～21.5)	VSYS (2.7～5.5) VBUS (4～21.5)	VSYS (2.5～5.5) VBUS (4～28)
	IO (V)	1.71～5.5	1.71～5.5	1.71～5.5	1.71～5.5
デジタル	シリアル通信ブロック (I2C/UART/SPI として設定可能)	2	4	4	48-QFN の場合は 7 (そのうち 5 のみを SPI および UART として設定可能)、97-BGA の場合は 8
	TCPWM ブロック	4	2	4	48-QFN の場合は 7 97-BGA の場合は 8

1 OVP は過電圧保護の略です。

2 UVP は低電圧保護の略です。

3 OCP は過電流保護の略です。

デバイスの選択

サブシステムまたは範囲	項目	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU
	ハードウェア認証ブロック (暗号)	無	無	有	有
アナログ	ADC	2x 8 ビット SAR	1x 8 ビット SAR	2x 8 ビット SAR	2x 8 ビット SAR 1x 12 ビット SAR
	内蔵温度センサー	有	有	有	有
GPIO	I/O の最大数	12 (10 + 2 OVT[1])	17 (15 + 2 OVT)	20 (18 + 2 OVT)	48-QFN の場合は 26 (24 + 2 OVT) 97-BGA の場合は 50 (48 + 2 OVT)
充電規格	充電ソース	-	BC1.2、AC	BC1.2、AC	BC 1.2、 AC、AFC、および Quick Charge 3.0
	充電シンク	BC 1.2、Apple Charging (AC)	BC1.2、AC	BC1.2、AC	BC1.2、AC
ESD 保護	事前設定された ESD 閾値の詳細については、「**ESD および EMI/EMC 保護**」を参照してください。				
パッケージ	パッケージ オプション	24-QFN (4 x 4mm、0.5mm ピッチ)	40-QFN (6 × 6mm、0.5mm ピッチ)	40-QFN (6 × 6mm、0.5mm ピッチ)	48-QFN (6 x 6mm、0.5mm ピッチ) 97-BGA (6 x 6mm、0.5mm および 0.65mm ピッチ)

2.1 注文情報

Table 2 注文情報

MCU	製品番号	Type-C ポート	終端抵抗	パッケージタイプ	Si ID
PMG1-S0	CYPM1011-24LQXI CYPM1011-24LQXIT	1	R_D、R_{D-DB}	24 ピン QFN	0x2020
PMG1-S1	CYPM1111-40LQXI CYPM1111-40LQXIT	1	R_P、R_D、R_{D-DB}	40 ピン QFN	0x2A20
PMG1-S2	CYPM1211-40LQXI CYPM1211-40LQXIT	1	R_P、R_D、R_{D-DB}	40 ピン QFN	0x1D20
PMG1-S3	CYPM1311-48LQXI CYPM1311-48LQXIT	1	R_P、R_D、R_{D-DB}	48 ピン QFN	0x3501
	CYPM1322-97BZXI CYPM1322-97BZXIT	2	R_P、R_D	96 ピン BGA	0x3500

1 OVT は過電圧耐性の略です。

3 システム アーキテクチャ

3.1 USB PD シンク専用アプリケーション

USB PD シンク システムまたはアプリケーションは、設計上の USB PD ポートから直接電源供給され、個別の電源入力は不要です。USB PD シンク ロールでは、EZ-PD™ PMG1 S0/S1/S2 MCU は最大 20V、5A (100W) までの PD に対応でき、S3 MCU は 28V、5A (140W) までの PD コントラクトに対応できます。

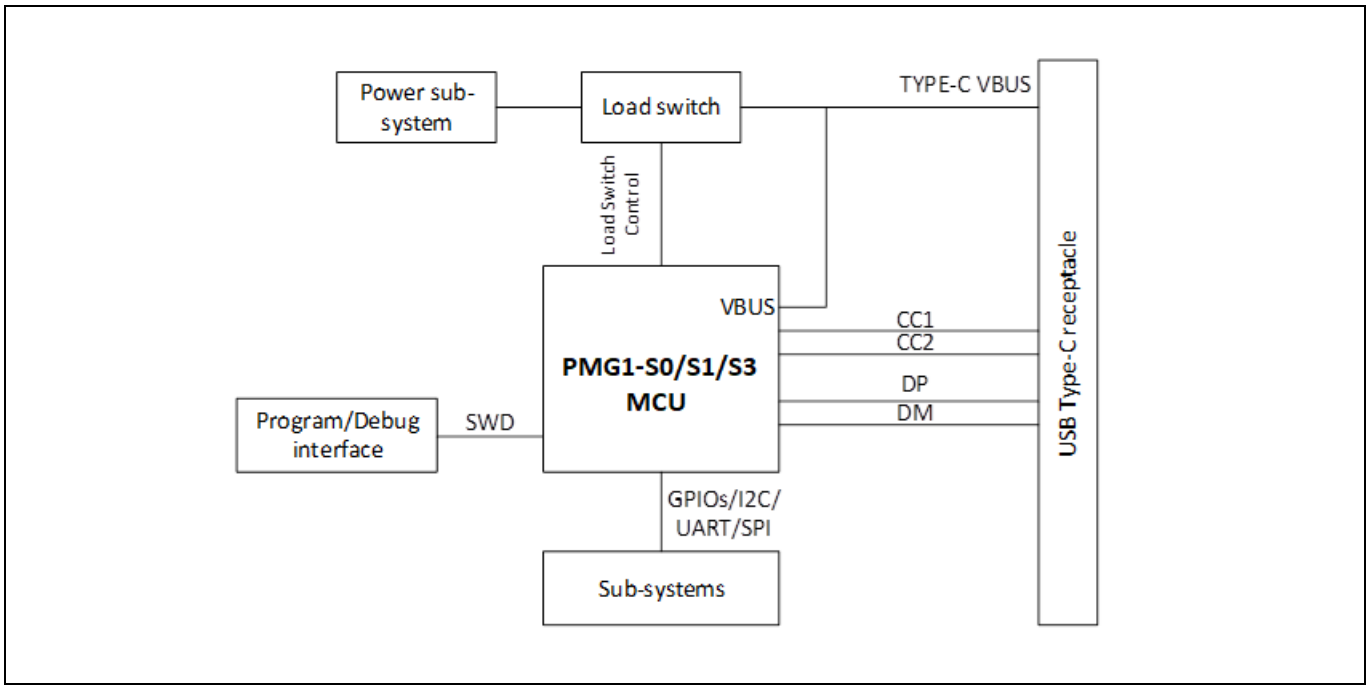


Figure 1 EZ-PD™ PMG1-S0/PMG1-S1/PMG1-S3 MCU を使用した USB PD シンク専用アプリケーション

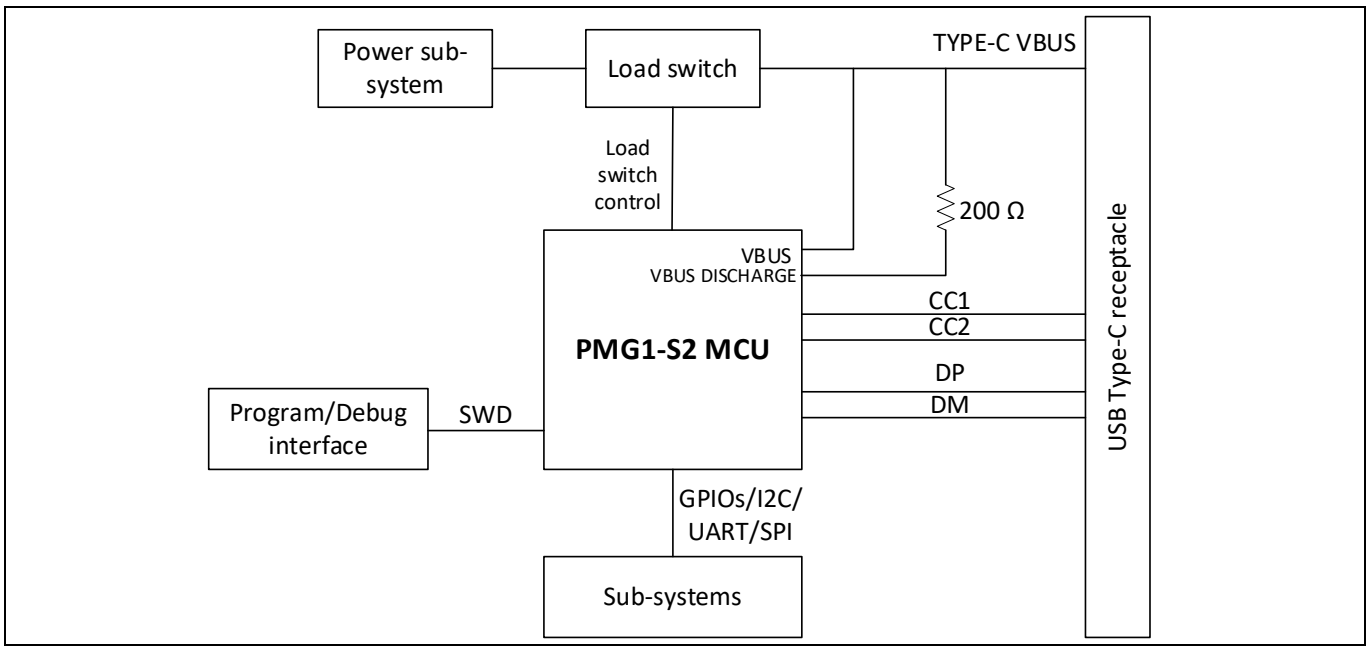


Figure 2 EZ-PD™ PMG1-S2 MCU を使用した USB PD シンク専用アプリケーション

4 回路図設計の要件

本節は EZ-PD™ PMG1 MCU ベース システムの回路図設計要件と考慮事項について説明します。CY711X PMG1-SX プロトタイピング キットは設計基準として使用されます。詳細については、下記のサイトを参照してください。

- **CY7110 EZ-PD™ PMG1-S0 prototyping kit**
- **CY7111 EZ-PD™ PMG1-S1 prototyping kit**
- **CY7112 EZ-PD™ PMG1-S2 prototyping kit**
- **CY7113 EZ-PD™ PMG1-S3 prototyping kit**

4.1 電源システム

PMG1 MCU は、MCU の VBUS ピンを介して Type-C PD ポートからチップに直接電源供給します。USB PD シンク、デッド バッテリ、およびその他のバス パワー アプリケーションは、MCU の電源入力として VBUS ピンを使用します。VBUS を介して電源供給される場合、内部レギュレータはチップ動作のために 3.3V の VDDD を生成し、コア動作のためにさらに安定化された VCCD (1.8V)を生成します。PMG1-S0 を除き、PMG1 MCU には、いかなる USB PD DRP/ソース専用アプリケーション、およびすべての一般的な MCU アプリケーションに専用の電源入力ピンがあります。

PMG1-S0 では、VDDD から MCU に直接電源供給することができます。EZ-PD™ PMG1-S1 および EZ-PD™ PMG1-S2 の MCU には、専用の電源入力ピン (VSYS) があり、VDDD を電源入力ピンとして使用しません。VSYS 電源ピンは、スイッチを介して内部で VDDD に接続されます。コア レギュレータはコア動作のために VDDD 電圧を 1.8V に安定化し、1.8V レギュレータの出力は VCCD となります。

EZ-PD™ PMG1-S1 および EZ-PD™ PMG1-S2 の MCU の GPIO に電源供給するために個別のパワー ドメインである VDDIO が用意されています。必要に応じて、VDDD および VDDIO ピンを短絡することができます。これらのデバイスは、VCONN 機能に対応しています。VCONN FET に電源供給するための追加の入力電源オプションもチップで利用可能です。

Table 3 は EZ-PD™ PMG1 MCU の電源入力のまとめを示します。

Table 3 EZ-PD™ PMG1 MCU 電源ピンと動作電圧

MCU	電源ピン	電源ピンの説明	有効な入力電圧レベル
EZ-PD™ PMG1-S0 MCU	VBUS	バス電源	4.0V～21.5V
	VDDD	MCU 電源入力、内部 LDO 出力	2.7V～5.5V
	VCCD	デバイスのコア電圧はこのピンに引き出される。このピンは電圧ソースとして使用できず、デカップリング コンデンサのみに接続することを目的とする	
EZ_PD™ PMG1-S1 MCU	VBUS	バス電源	4.0V～21.5V
	VSYS	デバイス電源入力	2.75V～5.5V
	VDDIO	I/O 用の電源	1.8V～VDDD
	VCONN_Source	VCONN FET 用の電源	
	VCCD	デバイスのコア電圧はこのピンに引き出される。このピンは電圧ソースとして使用できず、デカップリング コンデンサのみに接続することを目的とする	

回路図設計の要件

MCU	電源ピン	電源ピンの説明	有効な入力電圧レベル
EZ-PD™ PMG1-S2 MCU	VBUS	バス電源	4.0V～21.5V
	VSYS	デバイス電源入力	2.75V～5.5V
	VDDIO	I/O 用の電源	1.8V～VDDD
	VCONN_Source	VCONN FET 用の電源	
	VCCD	デバイスのコア電圧はこのピンに引き出される。このピンは電圧ソースとして使用できず、デカップリング コンデンサのみに接続することを目的とする	
EZ-PD™ PMG1-S3 MCU	VBUS	バス電源	4.0V～28V
	VSYS	デバイス電源入力	2.8V～5.5V
	VDDIO	I/O 用の電源	1.8V～VDDD
	VDDA	アナログ ブロック用の電源	1.8V～VDDD
	VCONN_Source	VCONN FET 用の電源	
	VCCD	デバイスのコア電圧はこのピンに引き出される。このピンは電圧ソースとして使用できず、デカップリング コンデンサのみに接続することを目的とする	

EZ-PD™ PMG1 MCU を使用した USB PD シンク アプリケーションの電源システムを設計する際、次の事項を考慮してください。

- MCU の VBUS ピンが電源入力ピンであることを確認する。**Figure 3** および **Figure 4** に示すように、Type-C コネクタの電源ピンを VBUS ピンに接続する。
- 他の入力ピン (EZ-PD™ PMG1-S0/S3 の VDDD、および EZ-PD™ PMG1-S1/S2 の VSYS) を電源レールに接続しない。デカップリング コンデンサをこれらのピンに接続する (デカップリング コンデンサの値については、**Table 3** を参照してください)。
- EZ-PD™ PMG1-S1 および EZ-PD™ PMG1-S2 の MCU の VDDD ピンと VDDIO ピンを短絡する。
- EZ-PD™ PMG1-S3 MCU の VDDD、VDDA、および VDDIO を短絡する。
- VCCD に信号や電源レールを接続せず、デカップリング コンデンサのみを接続する。

4.1.1 デカップリングとバイパス コンデンサ

すべての電源入力ピンと内部レギュレータ出力ピンにデカップリング コンデンサとバイパス コンデンサを接続して、AC ノイズ/電圧スパイクをフィルタリングし、デバイスのパワー ドメインをデカップリングします。**Table 4** に、EZ-PD™ PMG1 ファミリの MCU のパワー ドメイン信号ごとにデカップリングとバイパス コンデンサの推奨値を示します。

VDDD、VBUS、および VSYS の場合、フィルタリングを向上し、コンデンサの ESR 影響を減らすために、複数コンデンサのデカップリング回路を使用することを推奨します。推奨値の他、デカップリング コンデンサとして 1 個または 2 個の低 ESR 100nF コンデンサを追加して配置することができます。

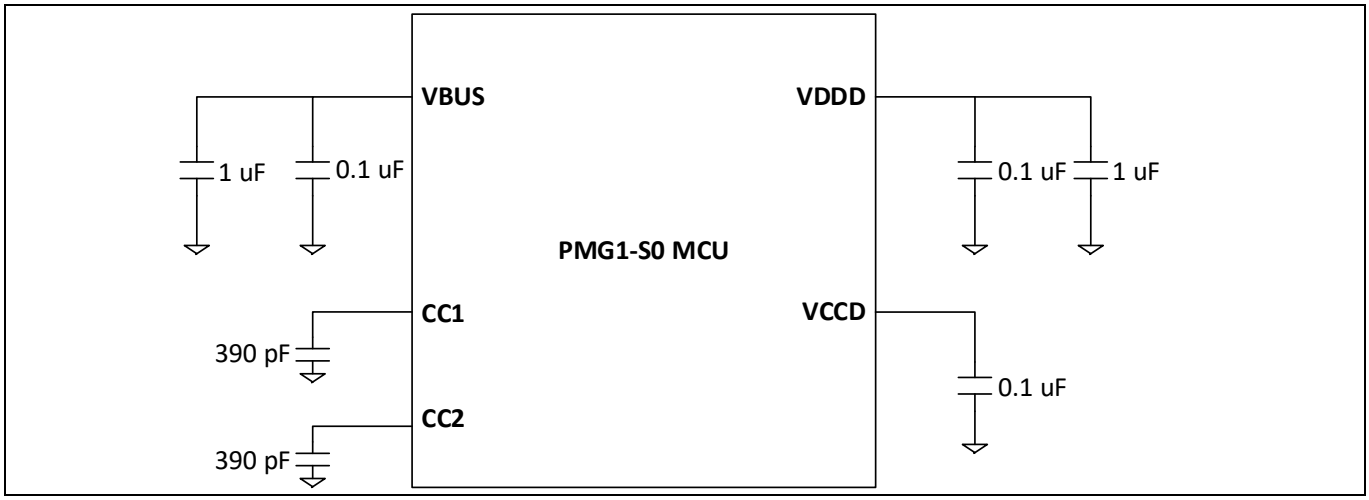


Figure 3 EZ-PD™ PMG1-S0 MCU のデカップリング コンデンサ

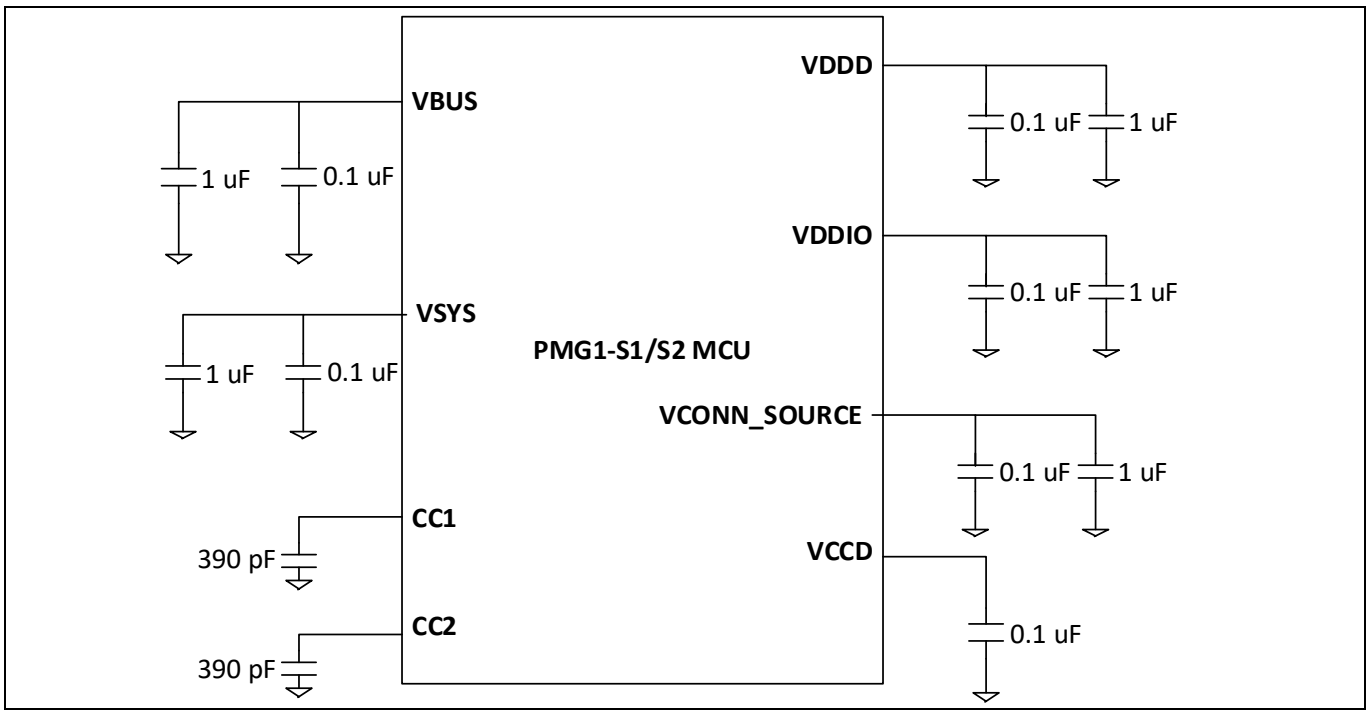


Figure 4 EZ-PD™ PMG1-S1、EZ-PD™ PMG-S2 MCU のデカップリング コンデンサ

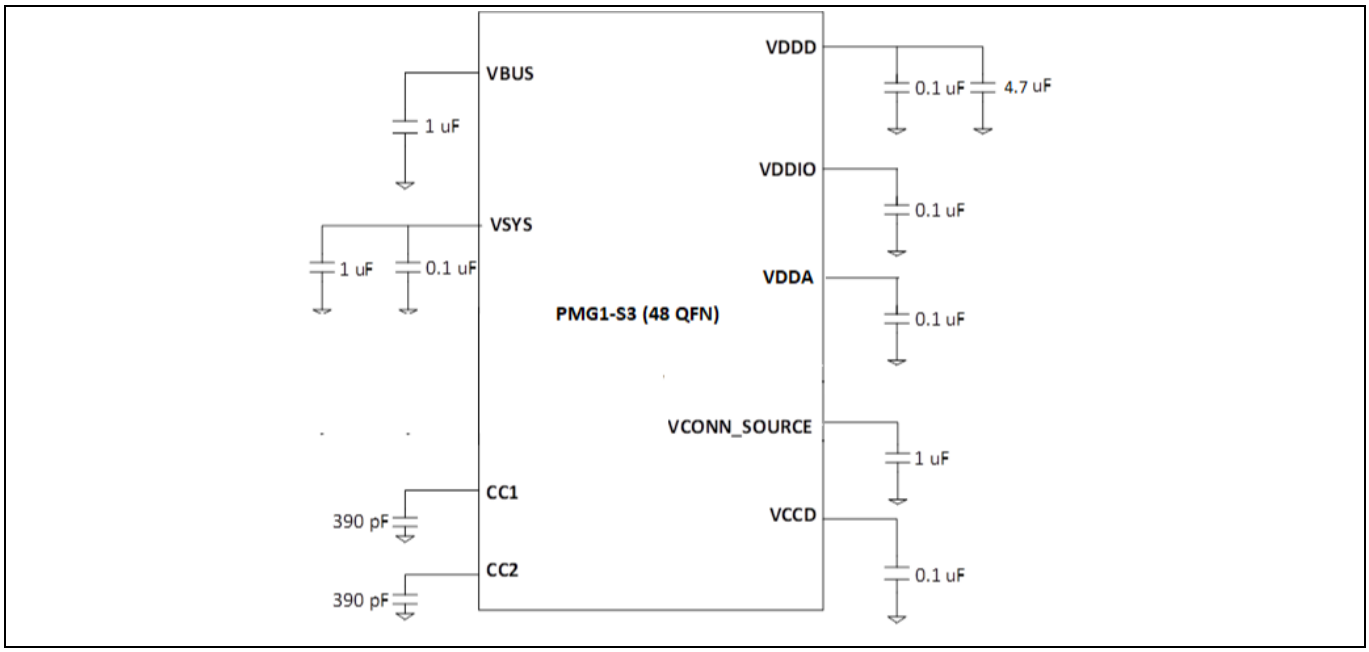


Figure 5 EZ-PD™ PMG1-S3 (48-QFN) MCU のデカップリング コンデンサ

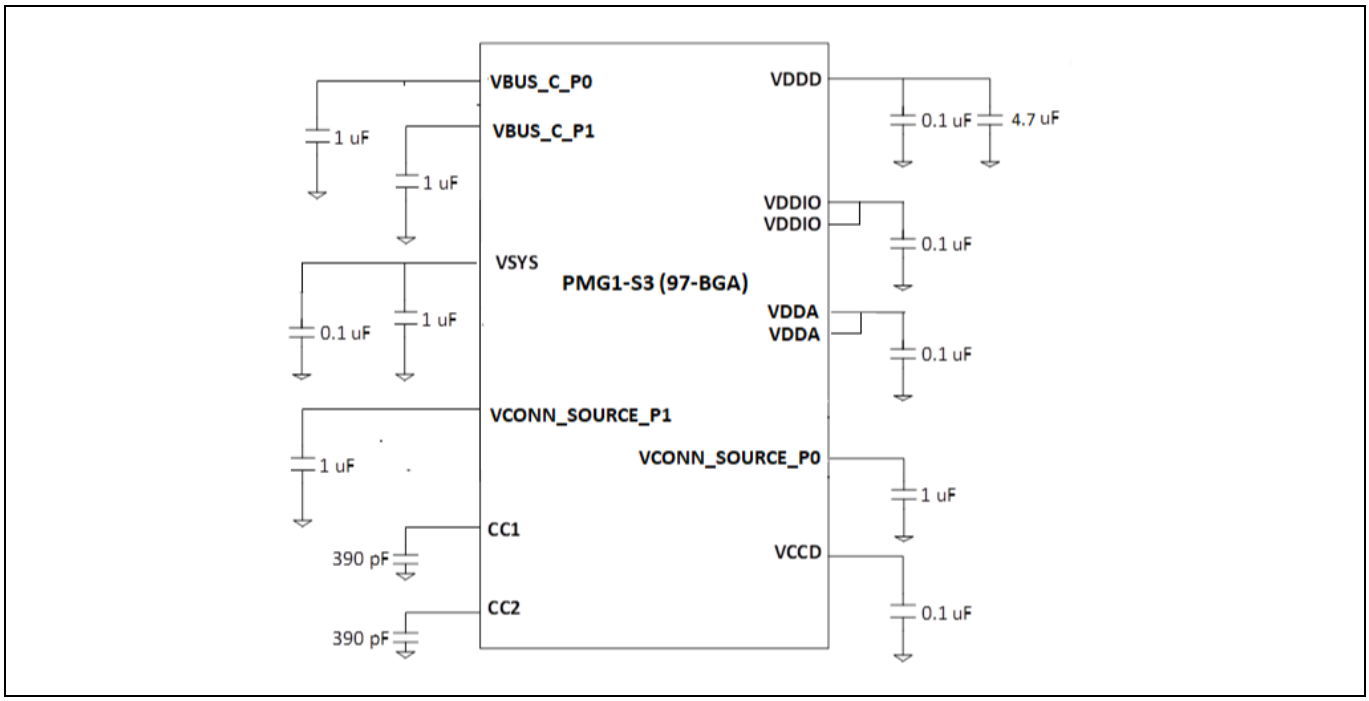


Figure 6 EZ-PD™ PMG1-S3 (97-BGA) MCU のデカップリング コンデンサ

Table 4 電源ピンおよびデカップリング コンデンサ

MCU	電源ピン	デカップリング コンデンサ
EZ-PD™ PMG1-S0 MCU	VBUS	1µF
	VDDD	1µF
	VCCD	1µF

回路図設計の要件

MCU	電源ピン	デカップリング コンデンサ
EZ-PD™ PMG1-S1 MCU	VBUS	1µF
	VSYS	1µF
	VDDIO	0.1µF
	VCONN_Source	1µF
	VCCD	1µF
EZ-PD™ PMG1-S2 MCU	VBUS	1µF
	VSYS	1µF
	VDDIO	0.1µF
	VCONN_Source	1µF
	VCCD	1µF
EZ-PD™ PMG1-S3 MCU (48-QFN)	VBUS	1µF
	VSYS	0.1µF および 1µF
	VDDD	4.7µF および 1µF
	VDDIO	0.1µF
	VCONN_Source	1µF
	VCCD	0.1µF
	VDDA	0.1µF
EZ-PD™ PMG1-S3 MCU (97-BGA)	VBUS_C_P0	1µF
	VBUS_C_P1	1µF
	VSYS	0.1µF および 1µF
	VDDD	4.7µF および 1µF
	VDDIO	0.1µF
	VCONN_Source_P0	1µF
	VCONN_Source_P1	1µF
	VCCD	0.1µF
	VDDA	0.1µF

4.2 外部電圧レギュレータ

外部モジュールの電流要件が、EZ-PD™ PMG1 MCU の GPIO が供給可能なものより高くなる場合、外部電圧レギュレータがアプリケーションで必要です。GPIO は、(GPIO あたり) 最大 25mA をソースまたはシンクします。

リニア ドロップアウト (LDO) レギュレータは、ソリューションまたは設計の観点から、LED、センサー モジュール、エクステンション、アダプター ボードなど、さまざまなサブシステムに電源供給するために EZ-PD™ PMG1 MCU 設計で必要です。必要な出力電圧、最大負荷電流、および電力定格に応じて LDO を選択してください。

Table 5 に、推奨する LDO を示します。

Table 5　　推奨の LDO レギュレータ

製品番号	メーカー	最大入力電圧	出力電圧	出力電流	アプリケーション
IFX25001	インフィニオン	45V	2.5V、3.3V、5.0V、8.5V、または 10.0V	400mA	標準
TLE42744	インフィニオン	40V	5V および 3.3V ±2%	400mA	車載用
IFX27001	インフィニオン	40V	1.5V、1.8V、2.6V、3.3V、5.0V、または調整可能な出力電圧	1A	標準

4.3　　回路とクロックのリセット

EZ-PD™ PMG1-S0 を除き、EZ-PD™ PMG1 MCU には、MCU を手動でリセットするための外部リセット制御ピンである XRES があります。これらの MCU にはアクティブ LOW リセットがあり、チップをリセットするには、最低 5µs の間 LOW に保持する必要があります。すべての PMG1 MCU は、パワーオン リセット (POR) に対応可能です。

- EZ-PD™ PMG1-S1 MCU では、4.7kΩ の抵抗を使用してリセット ピンを VDDIO/VDDD にプルアップする必要があります。これにより、設計で XRES ピンがフローティングにされず、デバイスが正常に機能することを確実にします。

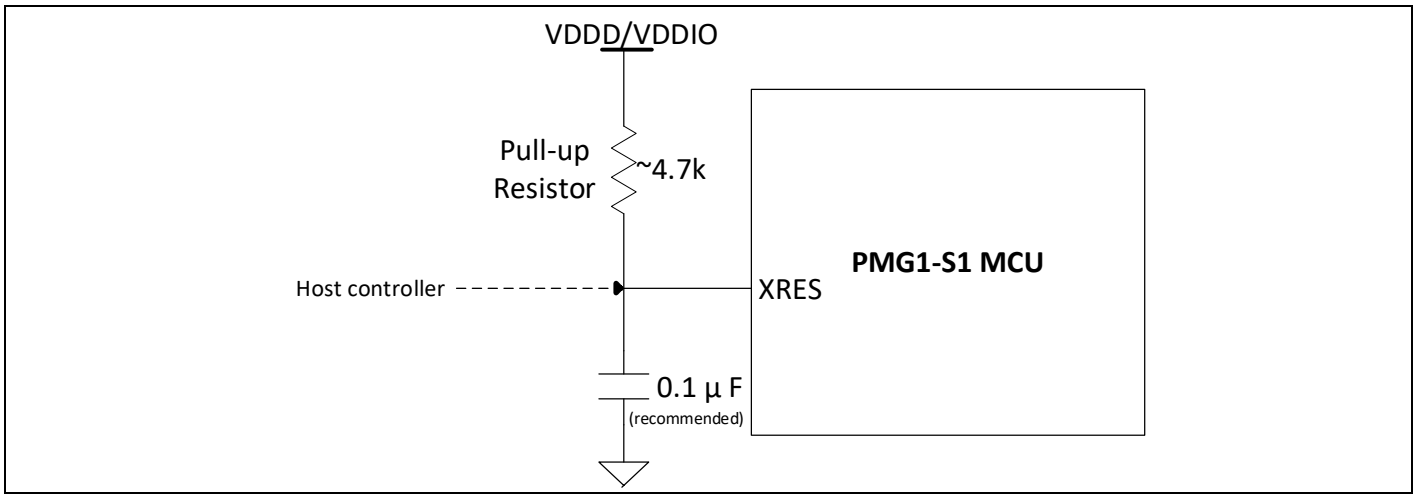


Figure 7　　EZ-PD™ PMG1-S1 MCU の XRES ピン接続

- EZ-PD™ PMG1-S2 MCU の XRES ピンには内部プルアップ抵抗が接続されており、すなわち、外付けプルアップ抵抗は不要です。

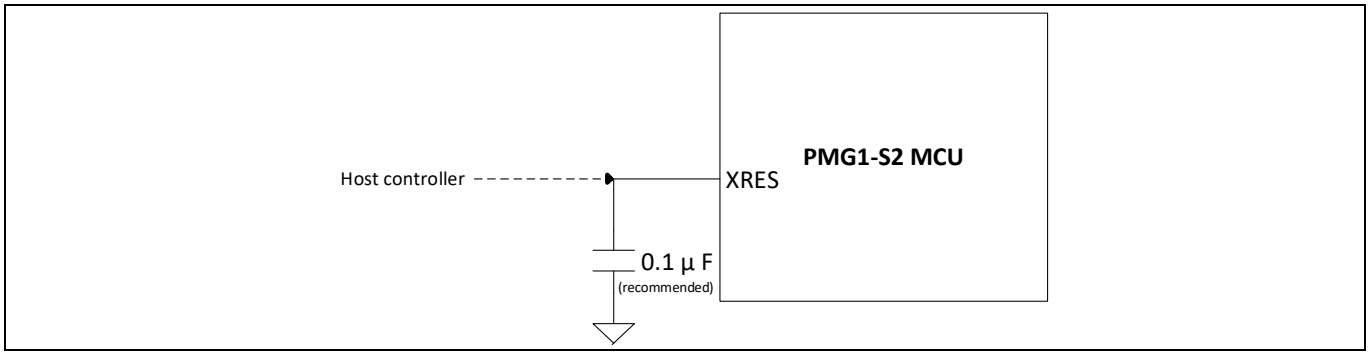


Figure 8　　EZ-PD™ PMG1-S2 MCU の XRES ピン接続

回路図設計の要件

- グリッチをフィルタリングし、リセット信号のノイズ耐性を向上するために、XRES ピンにコンデンサ (一般的に 0.1µF) を接続することを推奨します。
- EZ-PD™ PMG1-S3 MCU では、4.7kΩ 抵抗を使用してリセット ピンを VDDIO/DDD にプルアップする必要があります。これにより、設計で XRES ピンがフローティングにされず、デバイスが正常に機能することを確実にします。

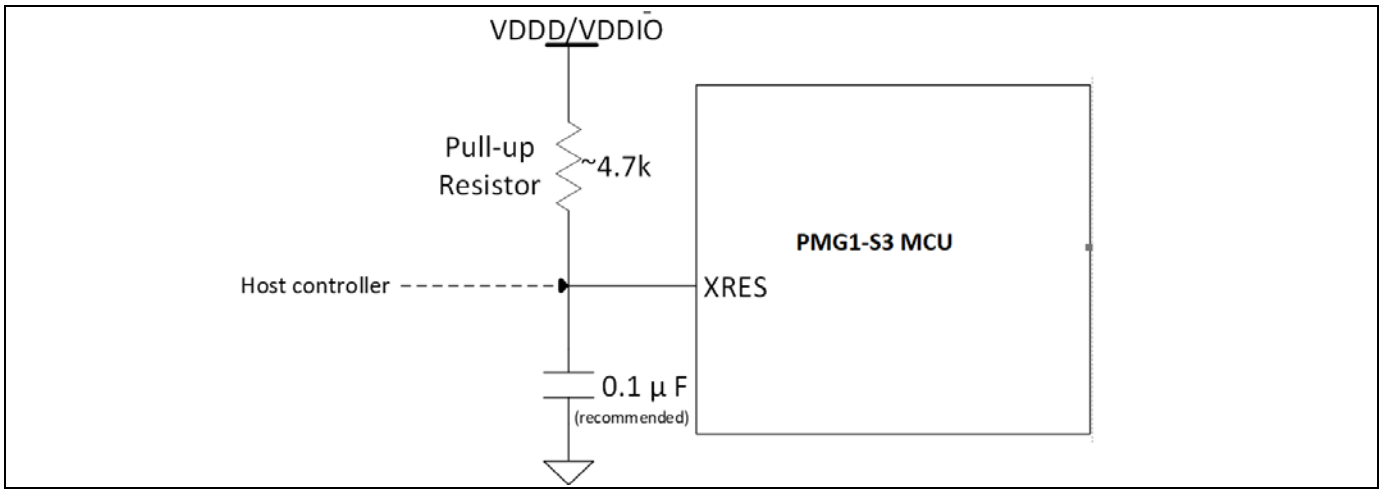


Figure 9 EZ-PD™ PMG1-S3 MCU の XRES ピン接続

- オプションで、EZ-PD™ PMG1 MCU を外部コントローラーによって制御する場合、ホストは XRES ピンを直接駆動できます。

EZ-PD™ PMG1 MCU は内蔵のクロック回路があり、水晶や発振器などの外部コンポーネントは不要です。

4.4 GPIO

EZ-PD™ PMG1 MCU は、デジタルおよびアナログ ペリフェラルへの代替接続を備えた柔軟な GPIO を提供します。ペリフェラルが異なれば、端子用の専用ピンまたは固定ピンも異なります。USB PD ピンは、USB PD サブシステムに接続された固定信号です。

4.4.1 I/O ピンの選択

Table 6 に、デジタル ブロック、アナログ ブロック、および USB サブシステムに割り当てられた MCU ピンを示します。

Table 6 EZ-PD™ PMG1 MCU のピン割り当て

ブロック	ピン名	ピン番号			備考
		EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	
システム機能ピン					
リセット	XRES	該当なし	10	26	リセット入力

回路図設計の要件

ブロック	ピン名	ピン番号			備考
		EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	
USB および USB PD					
USB PD サブシステム	CC1	15	9	5	コンフィギュレーション チャネル
	CC2	14	7	3	
	CSN	該当なし	40	39	電流検出
	CSP	該当なし	1	40	
	DP	17	該当なし	21	USB D+/D-信号
	DM	16	該当なし	22	
	DP_SYS	該当なし	23	該当なし	
	DM_SYS	該当なし	24	該当なし	
	DP_TOP	該当なし	28	該当なし	
	DM_TOP	該当なし	27	該当なし	
	DP_BOT	該当なし	26	該当なし	
	DM_BOT	該当なし	25	該当なし	
	FET 制御ピン				負荷スイッチ制御ピン
デジタル ピン					
シリアル通信ブロック (SCB)	SCB ピン	**Table 10** を参照してください			PMG1-S0 MCU には 2 個の SCB があり、PMG1-S1 および PMG1-S2 MCU には 4 個の SCB がある。SCB は SPI、I2C、または UART として設定可能
TCPWM	TCPWM ピン	**Table 12** を参照してください			PMG1-S0 および PMG1-S2 MCU には 4 個の TCPWM があり、PMG1-S1 MCU には 2 個の TCPWM がある。これらのすべての信号は、専用 GPIO ピンに配線される
アナログ ピン					
SAR ADC	ADC	データシート[4]を参照してください			PMG1-S0 および PMG1-S2 MCU には 2 個の 8 ビット ADC があり、PMG1-S1 には 1 個の 8 ビット ADC がある。

回路図設計の要件

Table 7　　EZ-PD™ PMG1-S3 MCU のピン割り当て

ブロック	ピン名	ピン番号		備考
		EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA	
システム機能ピン				
リセット	XRES	33	E14	リセット入力
USB および USB PD				
USB PD サブシステム	CC1/P0	28	N14 & N15	コンフィギュレーション チャネル P0
	CC2/P0	30	J14 & J15	
	CC1_P1	該当なし	N1 & N2	コンフィギュレーション チャネル P1
	CC2_P1	該当なし	J1 & J2	
	CSN/P0	37	A15	P0 の電流検出
	CSP/P0	38	B15	
	CSN_P1	該当なし	C14	P1 の電流検出
	CSP_P1	該当なし	C15	
	DP	39	A13	USB D+/D-信号
	DM	40	A11	
	VBUS_IN_NGDO/P0	24	R14	ポート 0 の負荷スイッチ制御ピン
	VBUS_IN_CTRL/P0	27	P14	
	VBUS_OUT_CTRL/P0	26	P15	
	VBUS_OUT_NGDO/P0	25	R15	
	VBUS_IN_NGDO_P1	該当なし	R2	Port1 の負荷スイッチ制御ピン
	VBUS_IN_CTRL_P1	該当なし	P2	
	VBUS_OUT_CTRL_P1	該当なし	P1	
	VBUS_OUT_NGDO_P1	該当なし	R1	
デジタル ピン				
シリアル通信ブロック (SCB)	SCB ピン	**Table 10** を参照してください		PMG1-S3 QFN には 7 個の SCB があり、PMG1-S3 BGA には 8 個の SCB がある。SCB は SPI、I2C、または UART として設定可能
TCPWM	TCPWM ピン	**Table 12** を参照してください		PMG1-S3 QFN には 7 個の TCPWM があり、PMG1-S1 には 8 個の TCPWM がある。これらのすべての信号は、専用 GPIO ピンに配線される
アナログ ピン				
SAR ADC	ADC	[4]データシート**[4]**を参照してください		PMG1-S3 QFN および PMG1-S3 BGA には、2 個の 8 ビット ADC と 1 個の 12 ビット ADC がある

4.4.2 過電圧耐性 GPIO

すべての EZ-PD™ PMG1-MCU には、2 個の過電圧耐性 (OVT) ピンがあります。SCB0 からの I²C 信号ピン (I2C SDA および I2C SCL) は OVT ピンです。これらの GPIO は、絶対最大定格 6V に対応します。通常の GPIO と比べ、過電圧耐性とより優れたプルダウン駆動強度などの追加機能があります。SCB0 を I²C コンポーネントとして設定する場合、下記のような I²C 仕様を満たします。

- ファースト モード ホット スワップ
- ファースト モード プラス仕様
- ファースト モードとファースト モード プラス ヒステリシス、および最小立ち下がり時間の仕様

Table 8 に、EZ-PD™ PMG1 MCU ファミリの各 MCU の OVT-GPIO を示します。

Table 8 OVT-GPIO

	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA
OVT-GPIO (GPIO [MCU ピン番号])	P0.0 [7]	P5.0 [16]	P0.0 [27]	P4.0 [34]	P4.0 [E15]
	P0.1 [8]	P5.1 [17]	P0.1 [28]	P4.1 [35]	P4.1 [D12]

4.5 プログラミングおよびデバッグ インターフェース

EZ-PD™ PMG1 MCU は、プログラミングとデバッグ用のシリアル ワイヤ デバッグ (SWD) プロトコルに対応しています。SWD データと SWD クロック信号は、MCU の特定の GPIO で使用できます。**Table 9** に、すべてのデバイスの SWD ピン用の GPIO を示します。EZ-PD™ PMG1-S1 および EZ-PD™ PMG1-S2 デバイスは、プログラミングまたはデバッグ用にデバイスを取得するためのリセット モードを用意します。リセット モードでは、プログラマ/デバッガは、MCU の XRES ピンにリセット信号を駆動します。このモードを使用している間、デバイスに外部から電源供給する必要があります。そうでない場合、プログラマはチップに電源供給できる必要があります。

Table 9 SWD 信号ピンの割り当て

	GPIO ポート [MCU ピン番号]				
	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU 48-QFN	EZ-PD™ PMG1-S3 MCU 97-BGA
SWD IO (SWD データ)	P0.0 [7]	P1.4 [6]	P2.0 [15]	P1.2 [13]	P1.1 [P3]
SWD CLK (SWD クロック)	P0.1 [8]	P1.0 [2]	P2.1 [16]	P1.1 [12]	P1.2 [R3]

EZ-PD™ PMG1-S0 MCU にはリセット信号がなく、デバイスはパワー サイクル モードで取得されます。パワー サイクル モードで、ターゲット MCU はデバイスの電源をトグルすることで取得されます。このモードでは、デバイスに外部から電源供給してはいけません。

SWD 信号は、5 ピンまたは 10 ピンの標準 SWD コネクタに配線できるため、プログラミング/デバッグ コネクタとして使用できます。**Figure 10** および **Figure 11** に、標準 5 ピンおよび 10 ピン SWD コネクタのピン配置をそれぞれ示します。PMG1-S0 MCU では、ヘッダのリセット ピンを未接続のままにしておく必要があります。

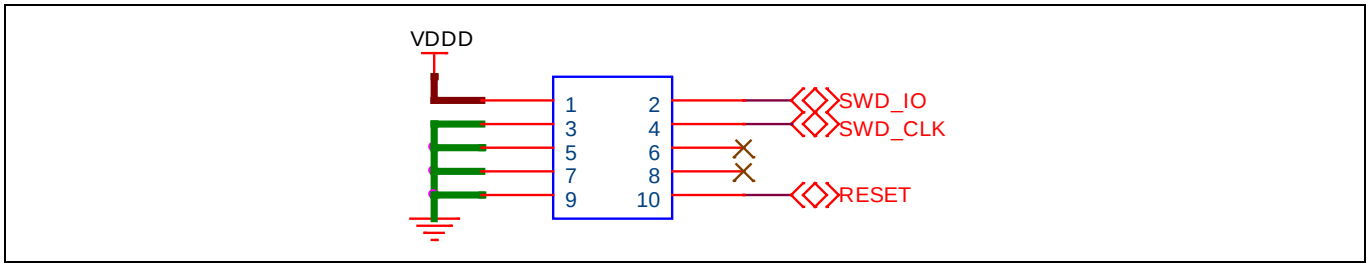


Figure 10　10 ピン SWD ヘッダ

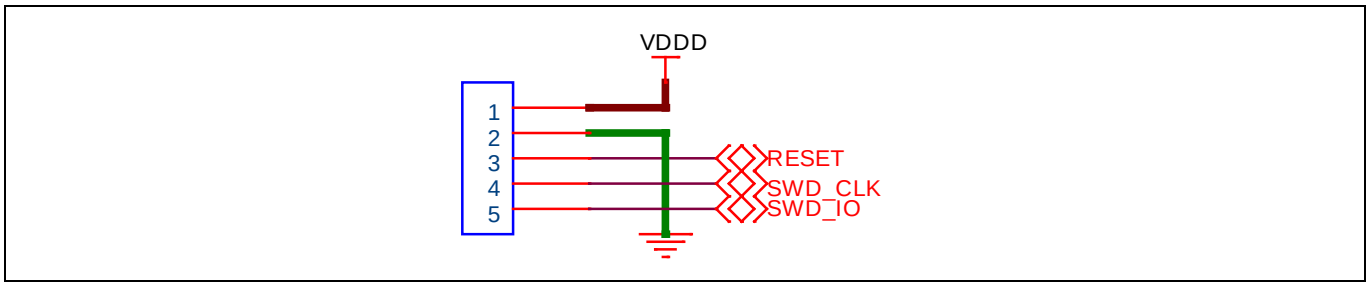


Figure 11　5 ピン SWD ヘッダ

4.6　デジタル ブロック

4.6.1　シリアル通信ブロック (SCB)

SCB は、UART、I2C、および SPI 通信コンポーネントを実装する多機能ハードウェア ブロックです。利用可能な任意の SCB を使用して、ModusToolbox™ソフトウェア用の Eclipse IDE で希望する通信ブロックとして設定できます。SCB の通信信号は特定の GPIO に配線されます。割り当ての詳細については、**Table 10** を参照してください。

4.6.1.1　シリアル ペリフェラル インターフェース (SPI)

EZ-PD™ PMG1 MCU は、SPI マスターおよびスレーブ モードで動作可能です。SCB は SPI のシングルマスター マルチスレーブ トポロジをサポートします。PMG1 が 1 個以上の SPI スレーブ デバイスと通信する場合は SPI マスター モードを使用し、EZ-PD™ PMG1 MCU が SPI マスターと通信する場合はスレーブ モードを使用してください。SPI ペリフェラルとして、SCB はさまざまプロトコル タイプ、データ フレーム サイズ、および設定可能なパラメーターを提供します。

4.6.1.2　I2C

EZ-PD™ PMG1 MCU は、I2C にマスターおよびスレーブ動作モードをサポートします。I2C ペリフェラルは、複数の設定可能な I2C パラメーターを提供します。I2C 信号には、MCU の内部プルアップ抵抗がありません。2.2kΩ 抵抗を使用して VDDIO/VDDD にプルアップする必要があります。

4.6.1.3　UART

UART 通信は通常、Tx および Rx 信号を介したポイントツーポイント通信プロトコルです。Tx (送信出力) はデータを送信し、Rx (受信入力) は他のモジュールからデータを受信します。EZ-PD™ PMG1 MCU の Rx を他のモジュールの Tx に接続し、EZ-PD™ PMG1 MCU の Tx を他のモジュールの Rx に接続する必要があります。

Table 10 に、EZ-PD™ PMG1 MCU の SCB の GPIO ピン割り当てを示します。

Table 10 EZ-PD™ PMG1 MCU の SCB およびピン割り当て

コンポーネント	信号	ポートおよびピン割り当て (ポート[MCU ピン])			
		SCB0	SCB1	SCB2	SCB3
EZ-PD™ PMG1-S0 MCU					
UART	UART_RX	P2.3 [13]または P2.1 [10]	P1.3 [6]または P3.1 [16]		
	UART_TX	P2.2 [12]または P2.0 [9]	P1.2 [5]または P3.0 [17]		
	UART_CTS	P0.0 [7]	P1.0 [1]		
	UART_RTS	P0.1 [8]	P1.1 [2]		
I2C	I2C_SDA	P0.0 [7]	P1.0 [1]または P2.2 [12]		
	I2C_SCL	P0.1 [8]	P1.1 [2]または P2.3 [13]		
SPI	SPI_MOSI	P1.2 [5]	P0.0 [7]		
	SPI_MISO	P1.1 [2]	P0.1 [8]		
	SPI_SEL	P1.0 [1]	P2.0 [9]		
	SPI_CLK	P1.3 [6]	P2.1 [10]		
EZ-PD™ PMG1-S1 MCU					
UART	UART_RX	P3.0 [18]	P1.0 [2]	P4.1 [30]	P0.1 [39]
	UART_TX	P5.1 [17]	P1.1 [3]	P4.0 [29]	P0.0 [38]
	UART_CTS	P2.2 [15]	P1.2 [4]	P3.1 [20]	P2.0 [13]
	UART_RTS	P5.0 [16]	P1.3 [5]	P3.2 [21]	P2.1 [14]
I2C	I2C_SDA	P5.0 [16]	P1.1 [3]	P3.1 [20]	P2.1 [14]
	I2C_SCL	P5.1 [17]	P1.2 [4]	P3.2 [21]	P2.0 [13]
SPI	SPI_MOSI	P5.0 [16]	P1.1 [3]	P3.2 [21]	P2.1 [14]
	SPI_MISO	P5.1 [17]	P1.2 [4]	P4.0 [29]	P0.0 [38]
	SPI_SEL	P2.2 [15]	P1.0 [2]	P3.1 [20]	P2.0 [13]
	SPI_CLK	P3.0 [18]	P1.3 [5]	P4.1 [30]	P0.1 [39]
EZ-PD™ PMG1-S2 MCU					
UART	UART_RX	P2.6 [25]または P1.2 [9]	P1.7 [14]	P1.1 [8]	P1.5 [13]
	UART_TX	P2.5 [24]または P1.3 [10]	P1.6 [11]	P1.0 [7]	P1.4 [12]
	UART_CTS	P0.0 [27]	P2.0 [15]	P3.4 [36]	P1.2 [9]
	UART_RTS	P0.1 [28]	P2.1 [16]	P3.5 [37]	P1.3 [10]
I2C	I2C_SDA	P0.0 [27]	P2.1 [16]	P3.4 [36]	P1.3 [10]
	I2C_SCL	P0.1 [28]	P2.0 [15]	P3.5 [37]	P1.2 [9]

回路図設計の要件

コンポーネント	信号	ポートおよびピン割り当て (ポート[MCU ピン])			
		SCB0	SCB1	SCB2	SCB3
SPI	SPI_MOSI	P2.5 [24]	P2.1 [16]	P3.4 [36]	P1.2 [9]
	SPI_MISO	P0.1 [28]	P1.6 [11]	P1.0 [7]	P1.4 [12]
	SPI_SEL	P0.0 [27]	P1.7 [14]	P1.1 [8]	P1.5 [13]
	SPI_CLK	P2.6 [25]	P2.0 [15]	P3.5 [37]	P1.3 [10]

Table 11 EZ-PD™ PMG1-S3 の SCB およびピン割り当て

コンポーネント	信号	ポートおよびピン割り当て (ポート[MCU ピン])							
		SCB0	SCB1	SCB2	SCB3	SCB4	SCB5	SCB6	SCB7
EZ-PD™ PMG1-S3 MCU 97-BGA									
UART	UART_RX	P4.0 [E15]	P7.0 [G15]	P5.0 [G2]	P1.1 [P3]	P3.5 [F4]	P2.2 [A3]	P6.1 [P5]	P7.4 [B11]
	UART_TX	P4.1 [D12]	P1.5 [M12]	P5.1 [E1]	P1.2 [R3]	P3.6 [E2]	P2.3 [B5]	P6.0 [R5]	P7.3 [B13]
	UART_CTS	P2.4 [A7]	P2.7 [A8]	P5.2 [H6]	P1.3 [K4]	P3.0 [A1]	P2.5 [A5]	P6.3 [R13]	P7.5 [A9]
	UART_RTS	P2.1 [B2]	P2.6 [B7]	P5.3 [H1]	P1.4 [M10]	P3.3 [B1]	P2.0 [A2]	P6.2 [P13]	P7.6 [B9]
I2C	I2C_SDA	P4.1 [D12]	P1.5 [M12]	P5.1 [E1]	P1.2 [R3]	P3.6 [E2]	P2.2 [A3]	P6.0 [R5]	P7.3 [B13]
	I2C_SCL	P4.0 [E15]	P1.6 [K12]	P5.0 [G2]	P1.1 [P3]	P3.5 [F4]	P2.3 [B5]	P6.1 [P5]	P7.4 [B11]
SPI	SPI_MOSI	P4.1 [D12]	P2.6 [B7]	P5.1 [E1]	P1.3 [K4]	P3.0 [A1]	P2.2 [A3]	P6.3 [R13]	P7.5 [A9]
	SPI_MISO	P2.4 [A7]	P1.5 [M12]	P5.2 [H6]	P1.2 [R3]	P3.6 [E2]	P2.3 [B5]	P6.0 [R5]	P7.3 [B13]
	SPI_SEL	P2.1 [B2]	P2.7 [A8]	P5.3 [H1]	P1.4 [M10]	P3.3 [B1]	P2.0 [A2]	P6.2 [P13]	P7.6 [B9]
	SPI_CLK	P4.0 [E15]	P1.6 [K12]	P5.0 [G2]	P1.1 [P3]	P3.5 [F4]	P2.3 [B5]	P6.1 [P5]	P7.4 [B11]
EZ-PD™ PMG1-S3 MCU 48-QFN									
UART	UART_RX	P4.0 [34]	該当なし	P5.0 [7]	P1.1 [12]	P3.5 [3]	該当なし	P6.1 [16]	該当なし
	UART_TX	P4.1 [35]	該当なし	P5.1 [8]	P1.2 [13]	P3.6 [4]	該当なし	P6.0 [15]	該当なし
	UART_CTS	P2.4 [45]	該当なし	P5.2 [9]	P1.3 [14]	P3.0 [1]	該当なし	P6.3 [19]	該当なし
	UART_RTS	P2.1 [48]	該当なし	P5.3 [10]	P1.4 [20]	P3.3 [2]	該当なし	P6.2 [18]	該当なし
I2C	I2C_SDA	P4.1 [35]	P1.5 [21]	P5.1 [8]	P1.2 [13]	P3.6 [4]	P2.3 [47]	P6.0 [15]	該当なし
	I2C_SCL	P4.0 [34]	P1.5 [22]	P5.0 [7]	P1.1 [12]	P3.5 [3]	P2.3 [46]	P6.1 [16]	該当なし

コンポーネント	信号	ポートおよびピン割り当て (ポート[MCU ピン])							
		SCB0	SCB1	SCB2	SCB3	SCB4	SCB5	SCB6	SCB7
SPI	SPI_MOSI	P4.1 [35]	該当なし	P5.1 [8]	P1.3 [14]	P3.6 [4]	該当なし	P6.3 [19]	該当なし
	SPI_MISO	P2.4 [45]	該当なし	P5.2 [9]	P1.2 [13]	P3.0 [1]	該当なし	P6.0 [15]	該当なし
	SPI_SEL	P2.1 [48]	該当なし	P5.3 [10]	P1.4 [20]	P3.3 [2]	該当なし	P6.2 [18]	該当なし
	SPI_CLK	P4.0 [34]	該当なし	P5.0 [7]	P1.1 [12]	P3.5 [3]	該当なし	P6.1 [16]	該当なし

4.6.2 タイマー、カウンター、およびパルス幅変調器 (TCPWM)

TCPWM はコア マイクロコントローラー機能を実装する多機能コンポーネントです。EZ-PD™ PMG1-S0 および EZ-PD™ PMG1-S2 の MCU には 4 個の TCPWM ブロックがあり、EZ-PD™ PMG1-S1 には 2 個の TCPWM ブロックがあります。EZ-PD™ PMG1 MCU の TCWM ブロックは、16 ビット タイマー、カウンター、パルス幅変調器、および直交デコーダの機能を実装しています。ブロックは入力信号の周期とパルス幅の測定 (タイマー) や特定のイベントが発生する回数のカウント (カウンター)、PWM 信号の生成、直交信号の復号に使用されます。**Table 12** に、PMG1 MCU の TCPWM ブロックのライン出力ピンを示します。詳細は[4]データシート**[4]**を参照してください。

Table 12 TCPWM 出力ピンの一覧

TCPWM 信号	GPIO ポート [MCU ピン番号]					説明
	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU 48QFN	EZ-PD™ PMG1-S3 MCU 97-BGA	
TCPWM_line_0	P0.0 [7] P2.2 [12]	P1.2 [4]	P3.2 [34] P0.0 [27]	P6.2 [18]	P6.2 [P13]	TCPWM-0 の出力
TCPWM_line_1	P0.1 [8] P2.3 [13]	P1.4 [6]	P3.3 [35] P0.1 [28]	該当なし	P0.2 [P8]	TCPWM-1 の出力
TCPWM_line_2	P2.0 [9] P1.0 [1]	該当なし	P3.4 [36]	P2.1 [48]	P2.1 [B2]	TCPWM-2 の出力
TCPWM_line_3	P2.1 [10] P1.1 [2]	該当なし	P3.5 [37]	P2.4 [45]	P2.4 [A7]	TCPWM-3 の出力
TCPWM_line_4	該当なし	該当なし	該当なし	P1.3 [14]	P1.3 [K4]	TCPWM-4 の出力
TCPWM_line_5	該当なし	該当なし	該当なし	P1.4 [20]	P1.4 [M10]	TCPWM-5 の出力
TCPWM_line_6	該当なし	該当なし	該当なし	P3.0 [1]	P3.0 [A1]	TCPWM-6 の出力
TCPWM_line_7	該当なし	該当なし	該当なし	P3.3 [2]	P3.3 [B1]	TCPWM-7 の出力
TCPWM_line_4	該当なし	該当なし	該当なし	P1.3 [14]	P1.3 [K4]	TCPWM-4 の出力
TCPWM_line_5	該当なし	該当なし	該当なし	P1.4 [20]	P1.4 [M10]	TCPWM-5 の出力
TCPWM_line_6	該当なし	該当なし	該当なし	P3.0 [1]	P3.0 [A1]	TCPWM-6 の出力
TCPWM_line_7	該当なし	該当なし	該当なし	P3.3 [2]	P3.3 [B1]	TCPWM-7 の出力

4.7 USB PD ブロック

本節は、USB データおよび USB PD 設計で推奨されるハードウェア設計の考慮事項について説明します。

4.7.1 VBUS 放電

搭載された VBUS 放電回路は、デタッチ状態またはマイナス方向に電圧が降下する間に VBUS を放電します。EZ-PD™ PMG1-S0/S1/S3 MCU には、このような統合された VBUS 放電回路がありますが、EZ-PD™ PMG1-S2 MCU の場合、VBUS 放電のために外付けプルアップ抵抗が必要です。VBUS_C 放電スイッチにより、外付け抵抗を介して VBUS を放電することが可能です。EZ-PD™ PMG1-S2 MCU ベースの設計で、MCU の VBUS_DISCHARGE ピンを 200Ω (100Ω) の外付け抵抗を介して、VBUS ピンに接続する必要があります。

4.7.2 CC および VCONN

EZ-PD™ PMG1 MCU は、シンク、ソース、および DRP のロールで最大 20V、5A (100W) までの USB PD コントラクトをサポートします。EZ-PD™ PMG1 MCU デバイスの CC1 ピンと CC2 ピンを、Type-C PD コネクタの CC1 ピンと CC2 ピンに接続する必要があります。390pF デカップリング コンデンサを CC ライン (CC1、CC2) に接続することで、300kHz の信号速度で信号品質を維持することができます。CC ピンのデカップリング コンデンサを MCU ピンにできるだけ近く配置する必要があります。

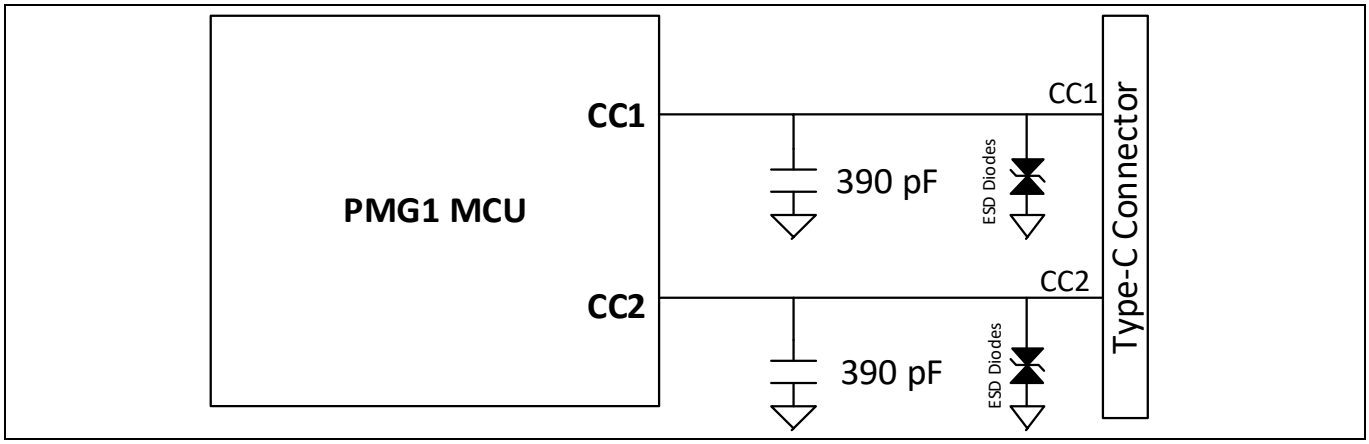


Figure 12 CC1 および CC2 信号

アプリケーションが USB PD ポートで VCONN 機能をサポートする場合、内部 VCONN FET に電源供給するために VCONN_Source を電圧ソースに接続する必要があります。電源は VCONN の電源要件に対応する必要があり、「デカップリングとバイパス コンデンサ」で説明したとおり、デカップリング コンデンサを MCU の VCONN_Source ピンに配置する必要があります。VCONN FET には、VCONN OCP 障害からチップを保護するために過電流保護 (OCP) 回路が関連付けられています。EZ-PD™ PMG1-S0 MCU は VCONN 機能をサポートしていません。

4.7.3 EZ-PD™ PMG1-S1/S2 MCU のゲート ドライバまたは負荷スイッチ制御信号

EZ-PD™ PMG1 の MCU には、プロバイダおよびコンシューマ パス上で FET ベースの負荷スイッチを駆動するため N チャネル FET、P チャネル FET (PFET)、または両方のゲート ドライバを搭載しています。

EZ-PD™ PMG1-S0 MCU は、VBUS コンシューマ パス上で 2 つの外部 PFET を駆動するための 2 つの P チャネル FET ゲート ドライバを備えています。VBUS_FET_CTRL_0 ゲート ドライバはアクティブなプルアップ抵抗に接続されており、HIGH、LOW または High-Z の駆動が可能です。一方、VBUS_FET_CTRL_1 ゲー

トドライバは、LOW または High-Z の駆動のみが可能であり、外付けプルアップ抵抗が必要です。ゲートドライバ信号は、VBUS 電圧に耐えられます。

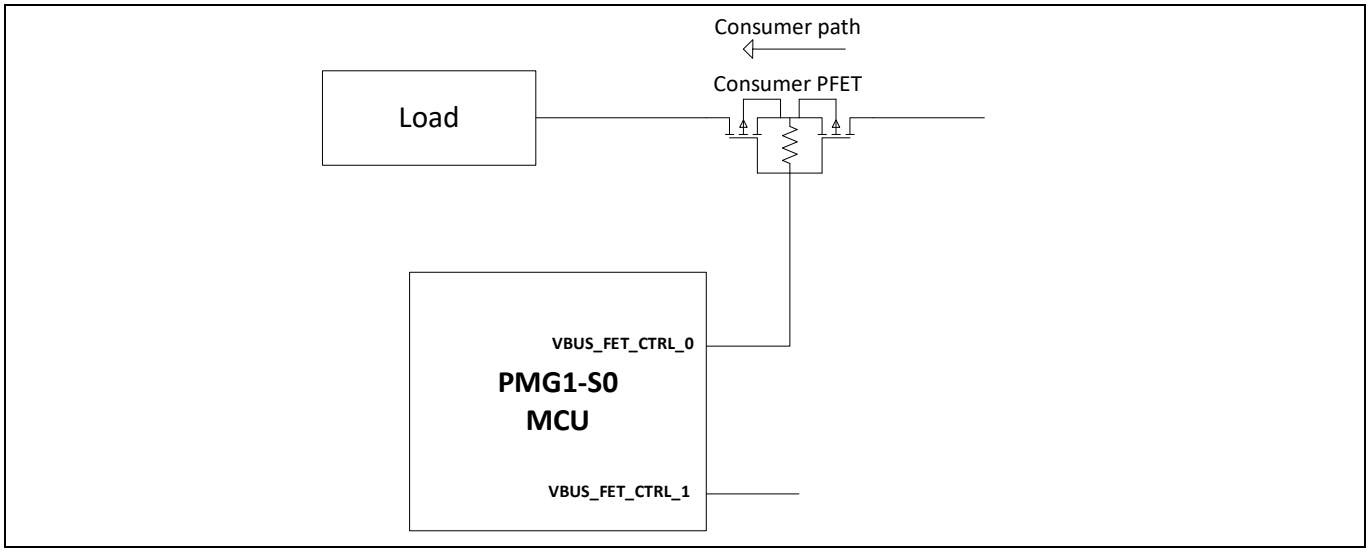


Figure 13 EZ-PD™ PMG1-S0 MCU の外部 FET 制御

EZ-PD™ PMG1-S1 MCU には、DRP およびシンク専用設計でコンシューマ パス上の外部 PFET を駆動する PFET ドライバ付き統合負荷スイッチ コントローラーを備えています。ゲート ドライバには外付けプルアップ抵抗が必要です。負荷スイッチ コントローラーは、プロバイダ パス上の外部 PFET を駆動するためのスルー レート制御ゲート ドライバもあります。統合負荷スイッチ コントローラーは、通常のゲートドライバと比較してより多くの機能を備えています。負荷スイッチ コントローラーの詳細については、EZ-PD™ PMG1-S1 MCU データシート[4]を参照してください。

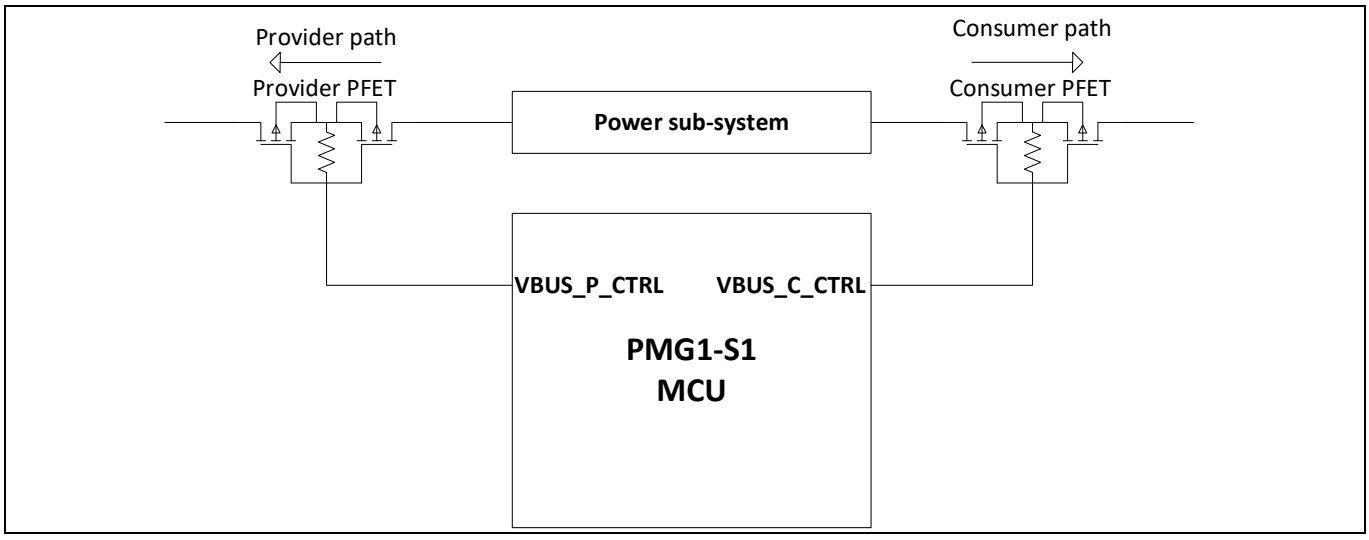


Figure 14 EZ-PD™ PMG1-S1 MCU の外部 FET 制御

EZ-PD™ PMG1-S2 MCU デバイスでは、N チャネル FET (NFET) および PFET ゲート ドライバが MCU に統合されます。ゲート ドライバのタイプは、P 型と N 型の外部 FET をサポートするために、P1.0 GPIO ピンを使用してハードウェアで構成できます。フローティング状態の P1.0 は NFET ドライバを示し、PFET ドライバに構成するために、ピンをグランドに接続する必要があります。EZ-PD™ PMG1-S2 は、プロバイダ パス FET を駆動するためのピンが 2 本 (VBUS_P_CTRL0 と VBUS_P_CTRL1)、コンシューマ パス FET を駆動するためのピンが 2 本 (VBUS_C_CTRL0 と VBUS_C_CTRL1) あります。

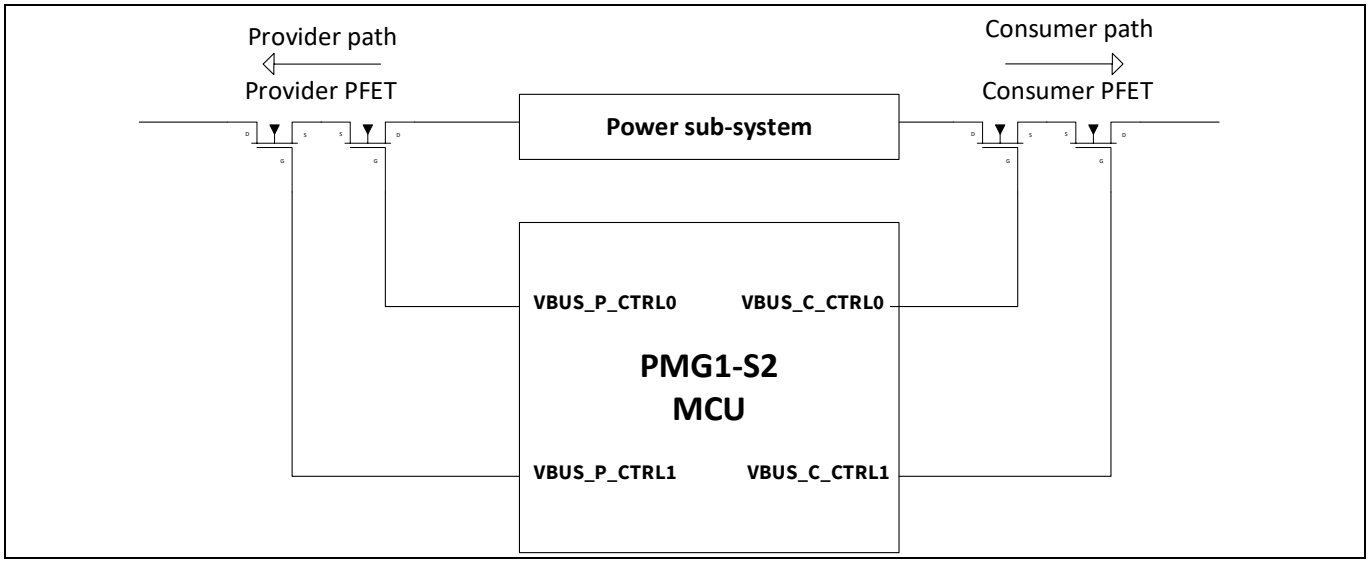


Figure 15 EZ-PD™ PMG1-S2 MCU の外部 FET 制御

Table 13 に、ゲート ドライバ/負荷スイッチ制御に割り当てられた EZ-PD™ PMG1 MCU ピンを示します。

4.7.4 EZ-PD™ PMG1-S3 MCU のゲート ドライバまたは負荷スイッチ制御信号

EZ-PD™ PMG1-S3 MCU 48-QFN デバイスでは、1 個の N チャネル FET (NFET) ゲート ドライバが MCU に搭載されています。EZ-PD™ PMG1-S3 MCU 97-BGA デバイスでは、2 個の N チャネル FET (NFET) ゲート ドライバが MCU に搭載されています。各ゲート ドライバには、4 本のピン (VBUS_IN_NGDO、VBUS_IN_CTRL、VBUS_OUT_NGDO および VBUS_OUT_CTRL) があります。

負荷スイッチの実装には、IN_NFET および OUT_NFET の 2 個の NFET (共通ドレイン) ソリューションを常に推奨します。外部 NFET には次の特性が必要です。

- ゲート ソース電圧 (VGS) は少なくとも+/- 20V である。
- ゲートからソースへの順方向リーク電流 (IGSS) は 2µA 未満である。

IN_NFET を、ソース専用動作のために常に DC-DC 出力に接続し、シンク専用動作のために常に Type-C コネクタの VBUS ピンに接続します。VBUS_IN_NGDO および VBUS_IN_CTRL 信号を IN_NFET にマップする必要があります。

- VBUS_IN_NDGO を IN_NFET のソース ピンに接続する。
- ソース専用動作のために、VBUS_IN_NGDO を常に DC-DC 出力に接続する。
- シンク専用動作のために、VBUS_IN_NGDO を Type-C コネクタの VBUS ピンに接続する。
- シンク専用動作のために、VBUS_IN_NGDO を VBUS_C ピンに接続する。
- VBUS_IN_CTRL を IN_NFET のゲート ピンに接続する。
- VBUS_IN_CTRL は最大 4µA 電流のみをソースする。

OUT_NFET は、ソース専用動作のために常に Type-C コネクタの VBUS ピンに接続し、シンク専用動作のために負荷回路に接続します。VBUS_OUT_NGDO および VBUS_OUT_CTRL 信号を OUT_NFET にマップする必要があります。

- VBUS_OUT_NDGO を OUT_NFET のソース ピンに接続する。
- ソース専用動作のために、VBUS_OUT_NGDO を Type-C コネクタの VBUS ピンに接続する。
- ソース専用動作のために、VBUS_OUT_NGDO を VBUS_C ピンに接続する。
- シンク専用動作のために、VBUS_OUT_NGDO を負荷回路に接続する。

回路図設計の要件

- VBUS_OUT_CTRL を OUT_NFET のゲート ピンに接続する。
- VBUS_IN_CTRL は最大 4µA 電流のみをソースする。

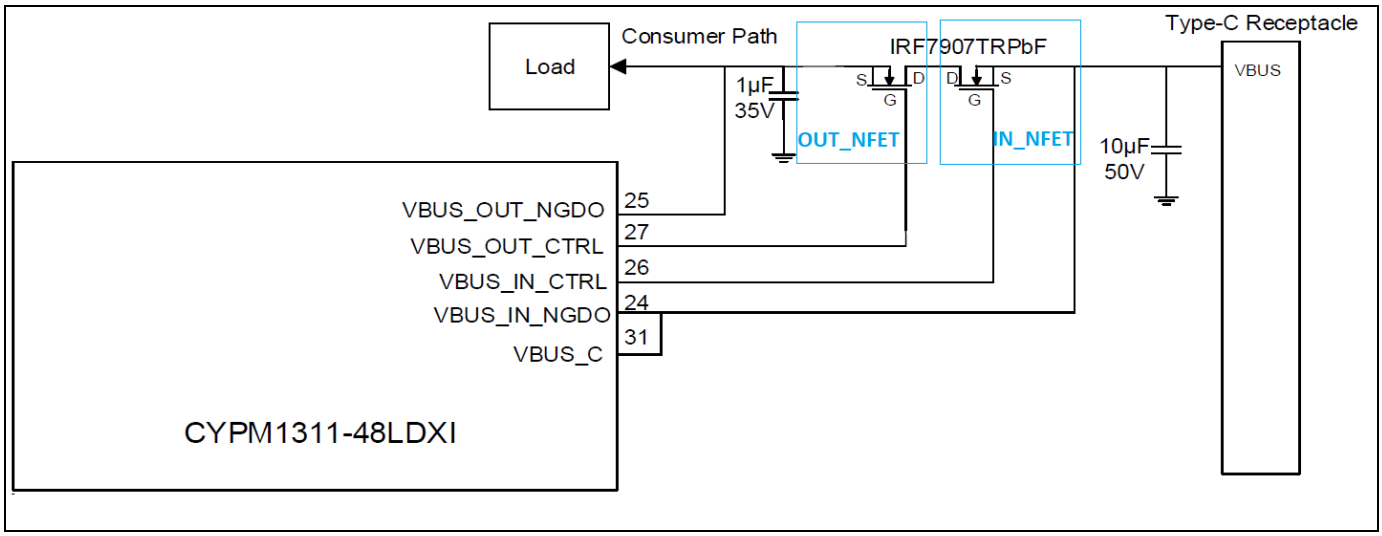


Figure 16 EZ-PD™ PMG1-S3 MCU (48-QFN) の外部 NFET 制御 (シンク専用動作)

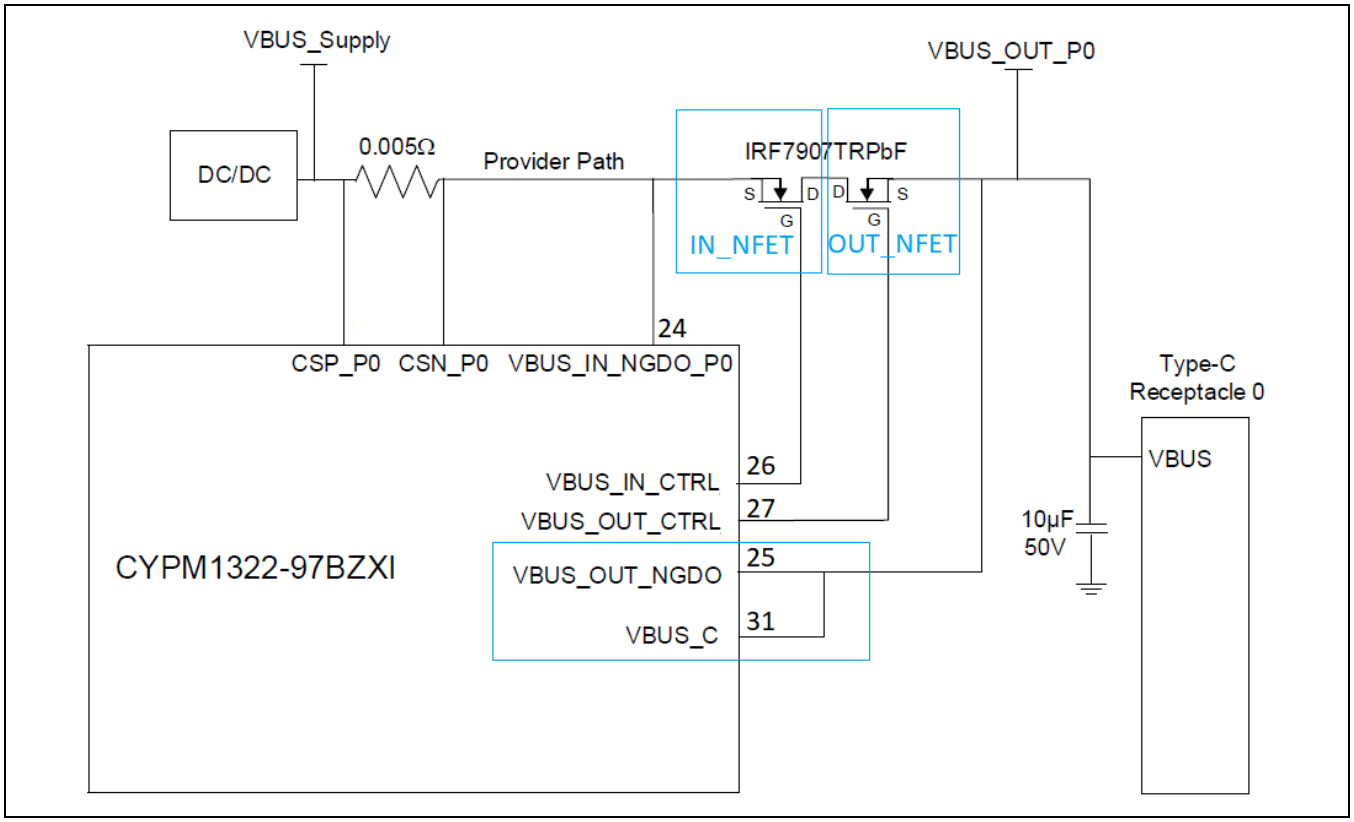


Figure 17 EZ-PD™ PMG1-S3 MCU (48-QFN) の外部 NFET 制御 (ソース専用動作)

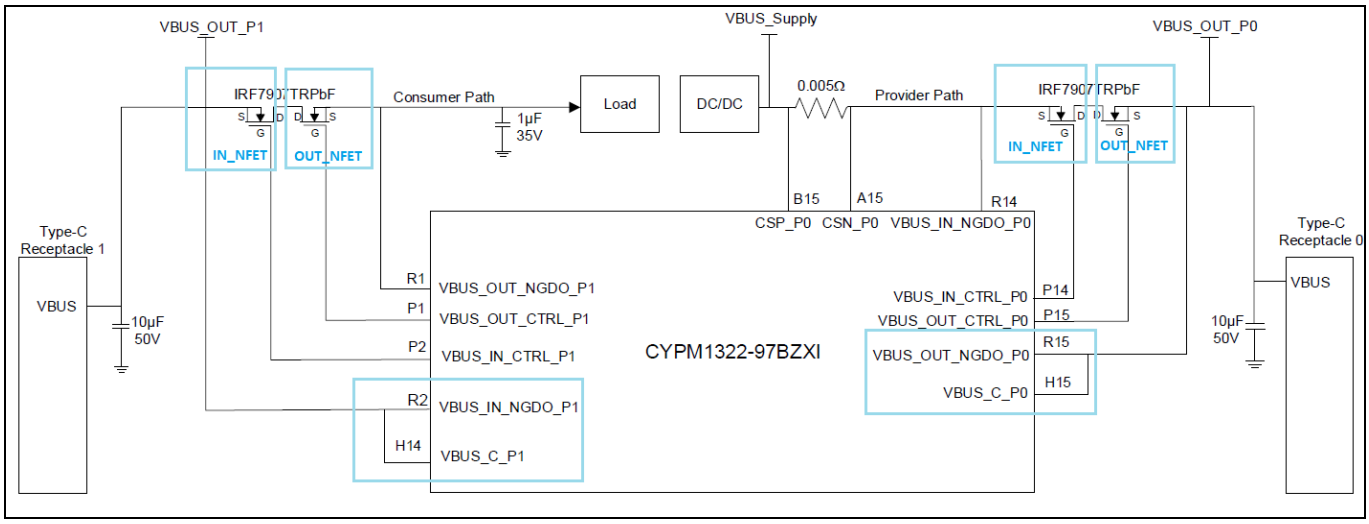


Figure 18 EZ-PD™ PMG1-S3 MCU (97-BGA) の外部 NFET 制御 (2 ポート ソース専用動作)

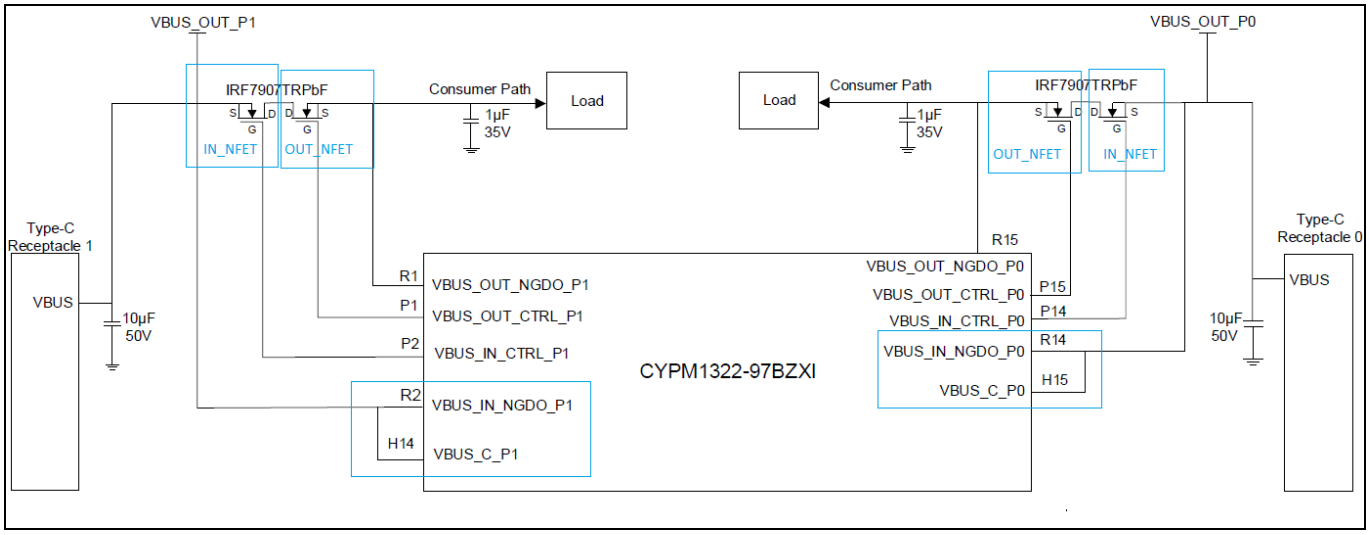


Figure 19 EZ-PD™ PMG1-S3 MCU (97-BGA) の外部 NFET 制御 (2 ポート シンク専用動作)

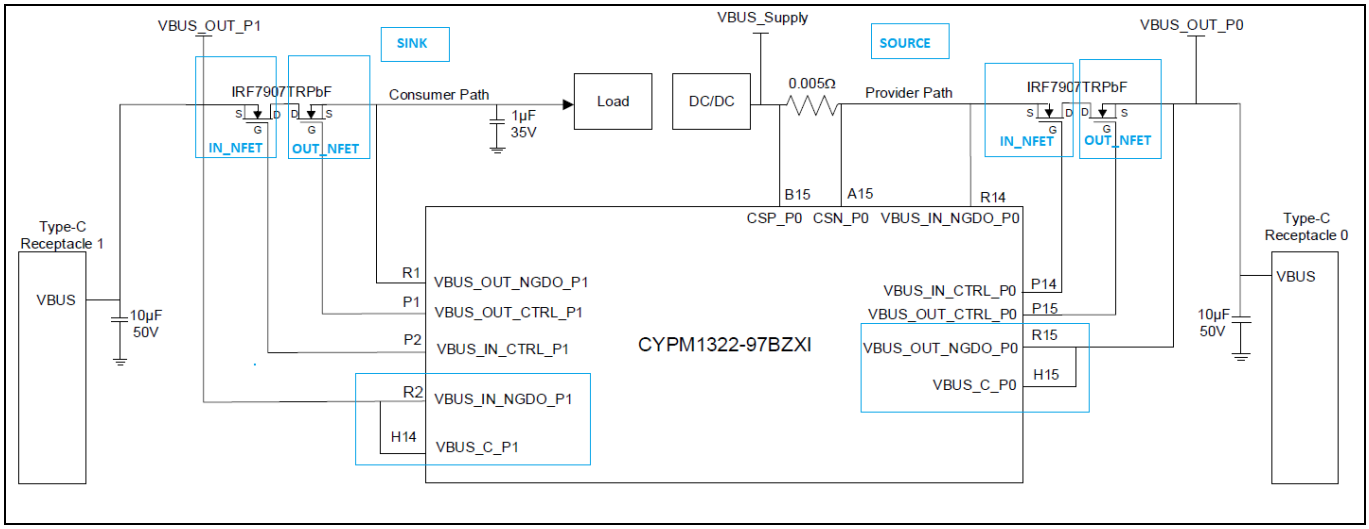


Figure 20 EZ-PD™ PMG1-S3 MCU (97-BGA) の外部 NFET 制御 (ポート 0 をソース専用動作として、ポート 1 をシンク専用動作とする)

回路図設計の要件

EZ-PD™P MG1-S3 MCU では、ゲート ドライバを備えた外部負荷スイッチを使用できます。以下のガイドラインに従ってください。

- VBUS_IN_NDGO を負荷スイッチの入力ピンに接続する。
- 分圧回路を介して VBUS_IN_CTRL を負荷スイッチのイネーブル ピンに接続する。VBUS_IN_CTRL は最大 4µA 電流のみをソースできる。これらの抵抗から引き出される電流は 4uA 未満であることが必須で、そうでない場合、ゲート ドライバが損傷する。
- 外付けソース ドライバを駆動するために GPIO (P2.0) を使用する。ゲート ドライバを備えた外部負荷スイッチおよび外部ゲート ドライバを制御するために VBUS_IN_CTRL または GPIO (P2.0) を使用できる。
- ソース専用動作のために、VBUS_OUT_NGDO を VBUS_C ピンに接続する。
- シンク専用動作のために、VBUS_OUT_NGDO を負荷回路に接続する。

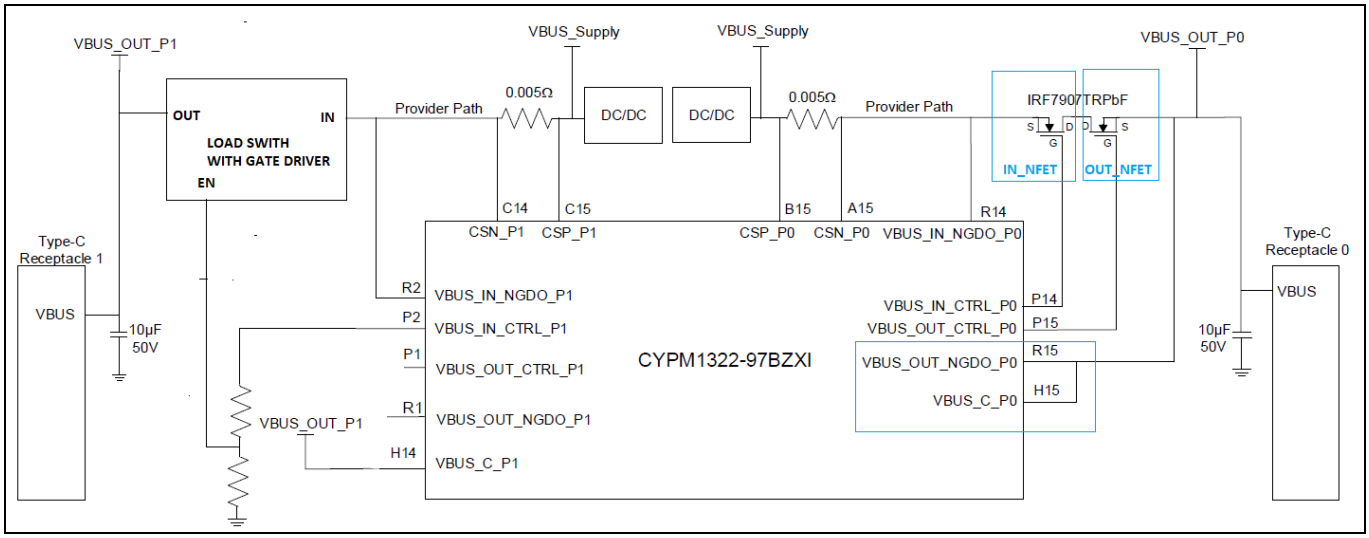


Figure 21 EZ-PD™ PMG1-S3 MCU (97-BGA): VBUS_IN CRTL を使用したゲート ドライバ制御を備えた外部負荷スイッチ (ソース専用動作)

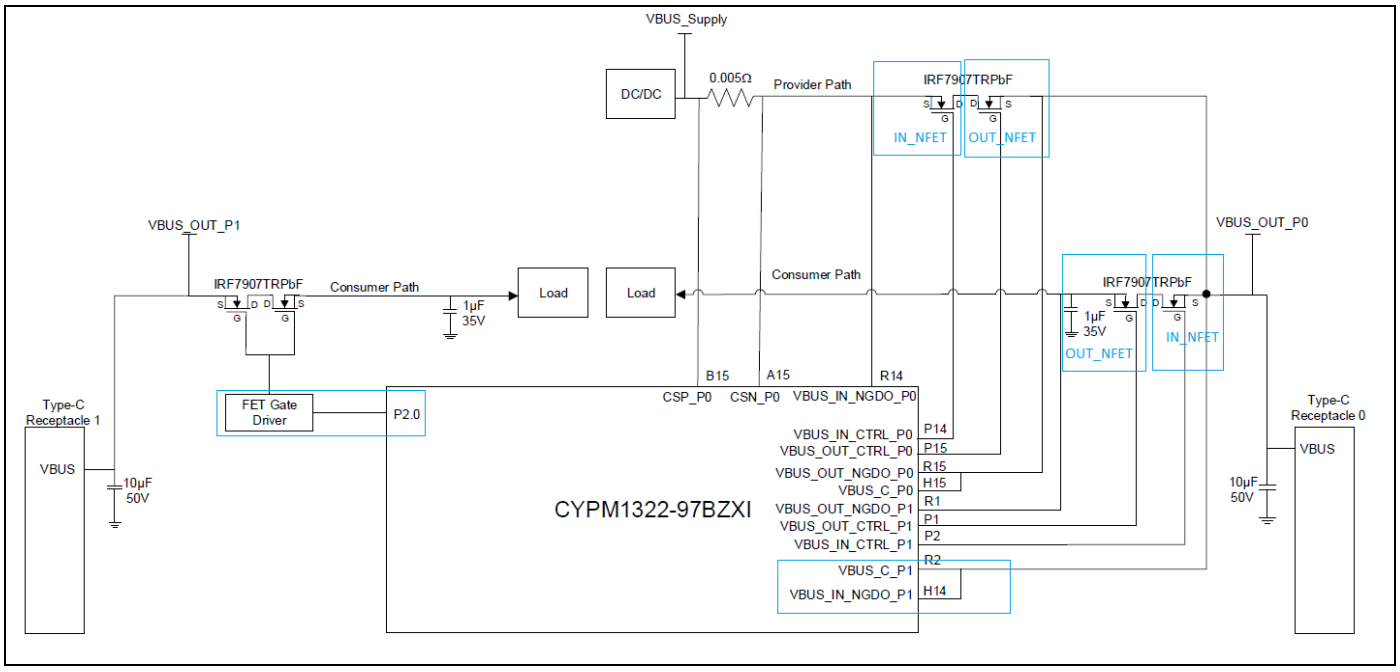


Figure 22 1 個のポートが DRP、ほかのポートがシンク動作、外部負荷スイッチと外部ゲート ドライバが GPIO にて制御される

回路図設計の要件

Table 13 に、ゲート ドライバ/負荷スイッチ制御に割り当てられた EZ-PD™ PMG1 MCU ピンを示します。

Table 13　負荷スイッチ/ゲート ドライバ信号

負荷スイッチ制御信号	MCU ピン番号	説明
EZ-PD™ PMG1-S0 MCU		
VBUS_FET_CTRL_0	3	内部プルアップ抵抗を備えた外部 PMOS FET (PFET) 制御 (30V 耐性) 0: パスがオン 1: パスがオフ
VBUS_FET_CTRL_1	4	外部 PFET 制御 (30V 耐性) 0: パスがオン High-Z：パスがオフ このピンを使用するために、外付けプルアップ抵抗が必要
EZ-PD™ PMG1-S1 MCU		
VBUS_P_CTRL	11	プロバイダ側 PFET を有効/無効にするためのスルー レート制御 I/O 0: パスがオン High Z: パスがオフ
VBUS_C_CTRL	12	コンシューマ側 PFET を有効/無効にするためのピン 0: パスがオン High Z: パスがオフ
EZ-PD™ PMG1-S2 MCU		
VBUS_P_CTRL1	1	プロバイダ スイッチ用の VBUS ゲート ドライバ制御 1
VBUS_P_CTRL0	2	プロバイダ スイッチ用の VBUS ゲート ドライバ制御 0
VBUS_C_CTRL1	29	コンシューマ スイッチの VBUS ゲート ドライバ コントロール 1
VBUS_C_CTRL0	30	コンシューマ スイッチの VBUS ゲート ドライバ コントロール 0
EZ-PD™ PMG1-S3 MCU 48-QFN		
VBUS_IN_NGDO	1	IN_FET のソース ピン
VBUS_IN_CTRL_NDGO	2	IN_FET のゲート ドライバ制御
VBUS_OUT_CTRL_NGDO	29	OUT_FET のゲート ドライバ制御
VBUS_OUT_NGDO	30	OUT_FET のソース ピン
EZ-PD™ PMG1-S3 MCU 97-BGA		
VBUS_IN_NGDO_P0	1	ポート 0 の IN_FET のソース ピン
VBUS_IN_CTRL_NDGO_P0	2	ポート 0 の IN_FET のゲート ドライバ制御
VBUS_OUT_CTRL_NGDO_P0	29	ポート 0 の OUT_FET のゲート ドライバ制御
VBUS_OUT_NGDO_P0	30	ポート 0 の OUT_FET のソース ピン
VBUS_IN_NGDO_P1	1	ポート 1 の IN_FET のソース ピン
VBUS_IN_CTRL_NDGO_P1	2	ポート 1 の IN_FET のゲート ドライバ制御
VBUS_OUT_CTRL_NGDO_P1	29	ポート 1 の OUT_FET のゲート ドライバ制御
VBUS_OUT_NGDO_P1	30	ポート 1 の OUT_FET のソース ピン

4.8 充電器の検出

EZ-PD™ PMG1 MCU ファミリは、USB BC 1.2 および Apple 充電終了用のバッテリ充電器エミュレーションと検出を統合します。MCU の DP ピンおよび DM ピンは、充電器検出ブロックに接続されます。PMG1-S1 デバイスでは、充電器検出は内部 HS Mux の一部です。

DP 信号と DM 信号の接続には、次のハードウェア設計上の事項を考慮してください。

- EZ-PD™ PMG1-S0 MCU、EZ-PD™ PMG1-S2 MCU、EZ-PD™ PMG1-S3 MCU の場合、Type-C コネクタの A6 と B6 (DP) を短絡し、MCU の USBDP ピンに配線する。A7 と B7 (DM) を短絡し、MCU の USBDM ピンに配線する (**Figure 23**)。
- EZ-PD™ PMG1-S1 MCU の場合、ピンを短絡してはいけない。Type-C コネクタ ピンを MCU のハイスピード (HS) ピンに直接配線する (**Figure 24**) 。
- 最適な性能を得るには、「パワー ドメイン」で説明されている USB HS 信号配線の考慮事項に従ってください。

Table 14 に、EZ-PD™ PMG1 MCU の USB HS/充電器検出信号のピン番号を示します。

Table 14 USB HS/充電器検出信号

HS 信号	MCU ピン番号				
	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU (48-QFN)	EZ-PD™ PMG1-S3 (97-BGA)
USBDP	17	該当なし	21	39	A13
USBDM	16	該当なし	22	40	A11
USBDP_TOP	該当なし	28	該当なし	該当なし	該当なし
USBDP_BOT	該当なし	26	該当なし	該当なし	該当なし
USBDM_TOP	該当なし	27	該当なし	該当なし	該当なし
USBDM_BOT	該当なし	25	該当なし	該当なし	該当なし

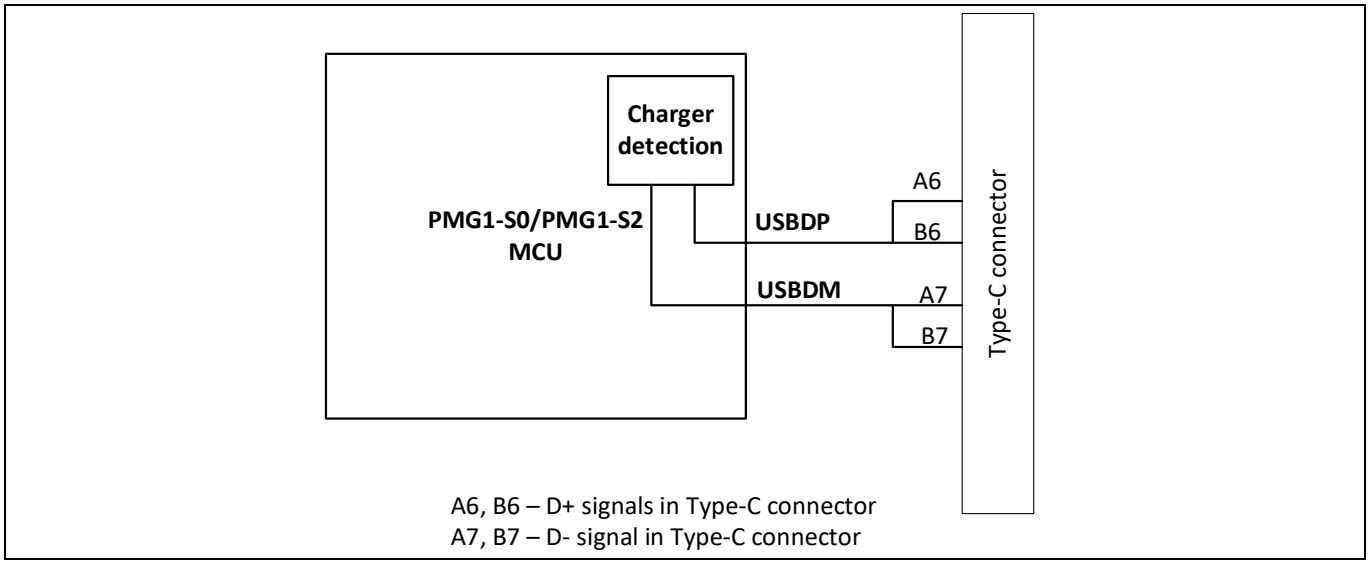


Figure 23 EZ-PD™ PMG1-S0 MCU、EZ-PD™ PMG1-S2 MCU、および EZ-PD™ PMG1-S3 MCU の充電器検出

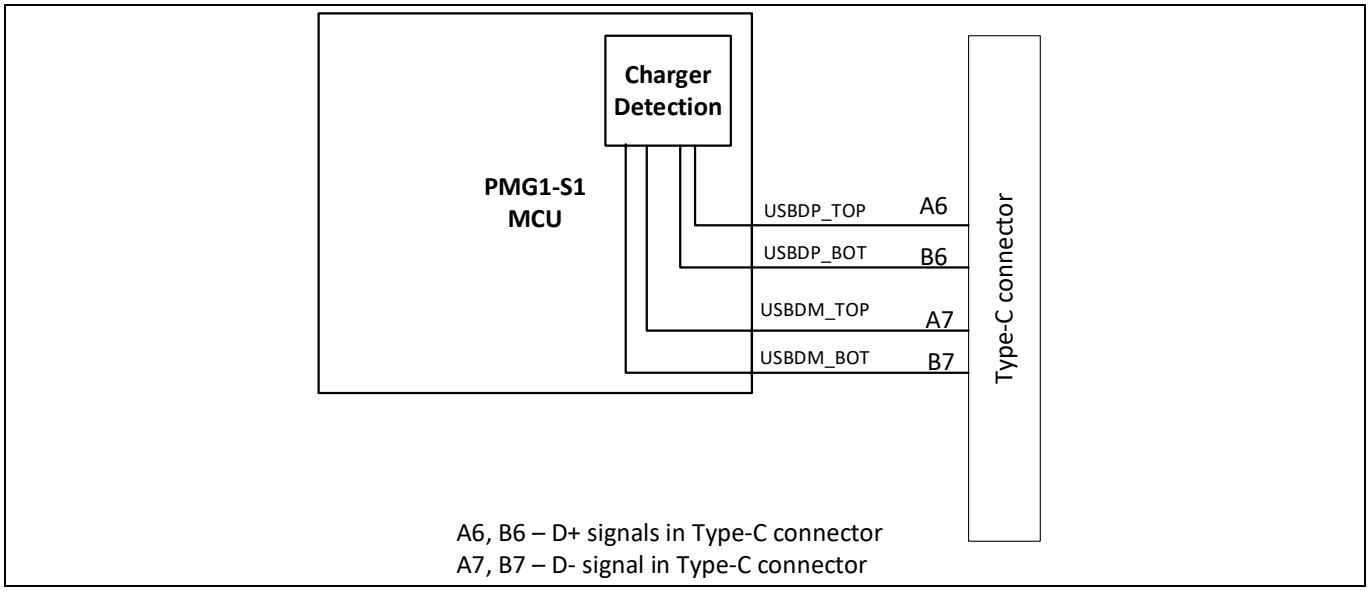


Figure 24 EZ-PD™ PMG1-S1 MCU の充電器検出

5 電気設計の考慮事項

5.1 ESD および EMI/EMC 保護

EZ-PD™ PMG1 MCU は、VBUS、OVT ピン、および USB/USB PD ラインに内蔵 ESD 保護があります。**Table 15** に、MCU の内蔵 ESD 保護を示します。

Table 15 EZ-PD™ PMG1 MCU の内蔵 ESD 保護

MCU	EZ-PD™ PMG1-S0 MCU	EZ-PD™ PMG1-S1 MCU	EZ-PD™ PMG1-S2 MCU	EZ-PD™ PMG1-S3 MCU (48-QFN および 97-BGA)
接触放電	CC1、CC2、VBUS、P2.2、および P2.3 ピンで±8kV	無	CC1、CC2、VBUS、USBDP、USBDM、SBU1、および SBU2 ピンで±8kV	無
空中放電	CC1、CC2、VBUS、P2.2、および P2.3 ピンで ±15kV	無	CC1、CC2、VBUS、USBDP、USBDM、SBU1、および SBU2 ピンで±15kV	無
HBM	±2.2kV	±2.2kV	±2.2kV	±2.2kV
CDM	±500V	±500V	±500V	±500V

ガイドラインにより、定格制限を超えてさらなる保護を行うために、USB 信号と CC ラインに ESD ダイオードを追加することを推奨します。ESD ダイオードは IEC61000-4-2 に準拠し、低入力静電容量があります。フェライト ビーズは、EZ-PD™ PMG1 MCU を使用するすべての Type-C アプリケーションに必須ではありませんが、Type-C コネクタのシールドとシステムの GND ピンの間にビーズを接続するために推奨します。

5.2 一般的な PCB レイアウトのヒント

低ノイズと EMC に対応する PCB を設計するために、数多くの古典的な技術があります。本節はこれらの技術のいくつかについて説明します。これらの技術は、システムの全体的な設計、EMI/EMC 性能、ノイズ処理などをより良くするために使用できます。

- **レイヤー数**: 価格は高くなりますが、VSS と VDD 電源に個々の専用層を割り当てる多重層 PCB の使用が最適です。これにより、優れたデカップリングとシールド効果を得られます。これらの層で、GND、VDDIO、VSYS、VBUS、および VDDD には個別のフィルを用意する必要があります。
  コスト削減のために、2 層または単一層の PCB を使用できます。その場合、すべての電源とグランド配線に良いレイアウトを用意する必要があります。ただし、USB PD システムを設計する際、システムが最大 100W の電力の処理が必要であるため、2 層 PCB を推奨しません。
- **グランドと電源供給**: すべてのグランド リターン パスを 1 点にまとめる必要があります。グランド ループを避けるか、表面領域を最小限にします。特に 2 層または単一層の PCB を使用する場合、PCB にコンポーネントが実装されていないすべての表面はシールドを作成するために追加でグランドにする必要があります。
  電源は電源ループ領域を最小限にするために、グランド線の近くに配置する必要があります。電源ループはアンテナとして動作し、EMI の主な放射体と受信器になり得ます。
- **デカップリング**: 外部電源用の標準的なデカップリング回路は 100µF のコンデンサです。高周波数電源リップルを低減するために、追加の 0.1µF コンデンサをデバイスの VSS ピンと VDD ピンにできるだけ近く配置する必要があります。
  一般的に、EMC の性能を向上させるために、すべての感度の高い信号やノイズの多い信号をデカップリングする必要があります。デカップリングは容量性も誘電性も可能です。

- **コンポーネント位置**: PCB 上の回路を、それらの EMI 特性に応じて分離します。これにより、PCB 上のクロスカップリングを減少できます。例えば、ノイズの多い高電流回路、低電圧回路およびデジタル コンポーネントを分離します。デカップリング コンデンサとインダクタ (バック インダクタ) は、配線抵抗が最小になるように、可能な限りデバイス ピンの近くに配置する必要があります。
- **信号配線**： アプリケーションを設計する際、EMC の性能を向上させるために、次の事項を綿密に検討する必要があります。
  - 高速エッジ時間を持つ信号などのノイズの多い信号
  - 高感度で高インピーダンスの信号
  - 割込みやストローブ信号などのイベントをキャプチャする信号

  EMC の性能を向上させるには、配線長をできるだけ短くし、配線を VSS 配線から分離します。クロストークを防ぐために、配線を他のノイズの多い、かつ高感度な配線の近く、または平行に配線しないでください。

5.3 PCB 選択および配線に関する基本的な考慮事項

最大電流 5A を処理できるには、PCB 銅の厚さを最小 2oz にする必要があります。

5.3.1 EZ-PD™ PMG1 MCU 設計の基準 PCB スタックアップ

5.3.1.1 1.2mm、4 層 PCB スタックアップ

Figure 25 に、1.2mm 厚の PCB に推奨されるスタックアップを示します。幅 (W) と間隔 (S) の値は、CY7110 EZ-PD™ PMG1-S0 prototyping kit に依存します。

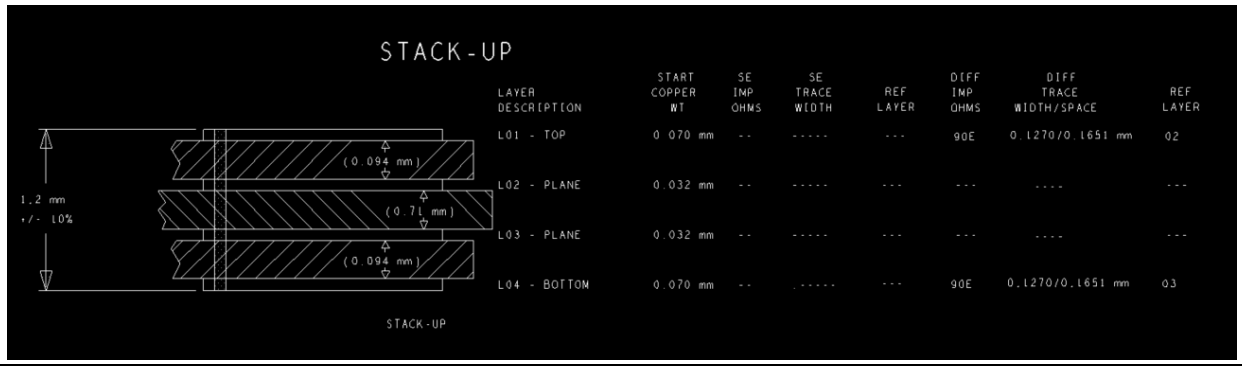


Figure 25　4 層 PCB スタックアップ

5.3.1.2 1.2mm、6 層 PCB スタックアップ

Figure 26 に、1.2mm 厚の PCB に推奨されるスタックアップを示します。幅 (W) と間隔 (S) の値は、CY7110 EZ-PD™ PMG1-S0 MCU prototyping kit に依存します。

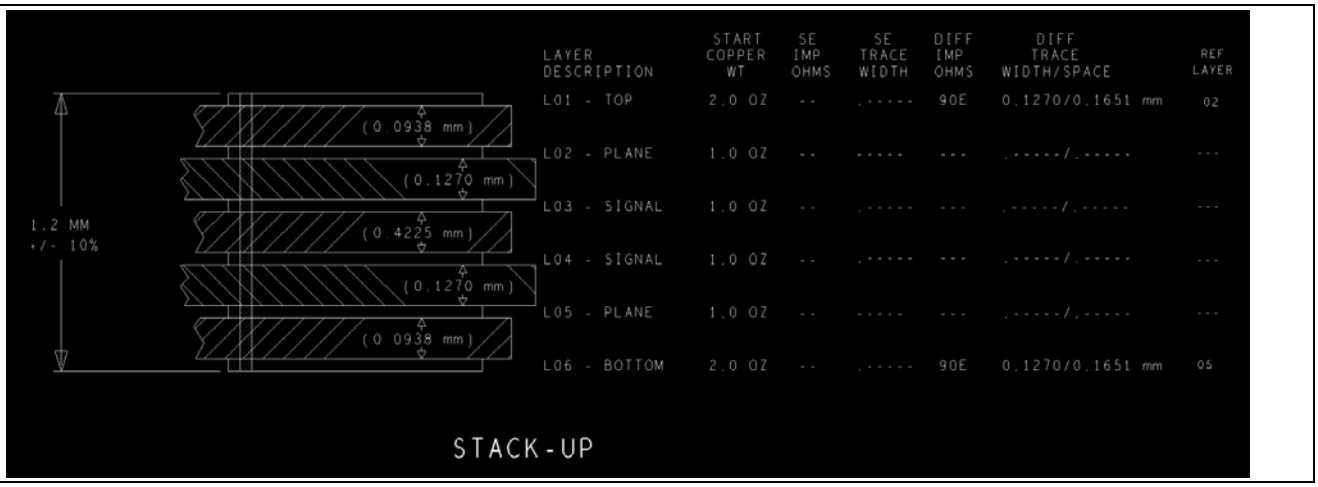


Figure 26　6 層 PCB スタックアップ

5.4　パワー ドメイン

5.4.1　バルク コンデンサとデカップリング コンデンサの配置

- **Figure 27** に示すように、高周波数および低周波数ノイズ フィルタリングのために、デカップリング コンデンサをそれぞれの PMG コントローラーの電源ピンの近くに配置します。
- ローカル電源として動作するバルク コンデンサを、電源の入力と出力のヘッダおよび電圧レギュレータの近くに配置します。電気的ノイズを低減するために電源ヘッダの近くに配置される電源入力と出力をフィルターします。セラミックまたはタンタル コンデンサを推奨します。電解コンデンサは、バルク コンデンサに適していません。

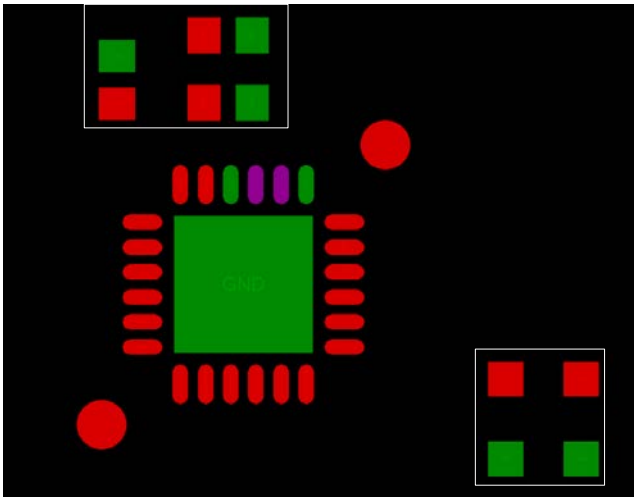


Figure 27　バルク コンデンサとデカップリング コンデンサの配置

5.4.2　電源層とグランド層の配置

- すべてのグランド リターン パスを 1 点にまとめる必要があります。グランド ループを避けるか、表面領域を最小限にします。特に 2 層または単一層の PCB を使用する場合、PCB にコンポーネントが実装されていないすべての表面はシールドを作成するために追加でグランドにする必要があります。

電気設計の考慮事項

- USB PD 機能を備えたシステムの設計には、PCB に高性能の基質材料を使用してください。USB PD 仕様では、システムは最大 5A までの電流を流す可能性があるため、厚さ 2oz の銅箔の PCB を構築する必要があります。銅エレメント間の最小推奨スペースは 8mil (0.203mm) です。
- 電源とグランドには専用の面を使用します。専用面を使用すると、USB 信号のジッタが減少し、EMI および RFI の影響を受けにくくなります。
- 基板に複数の電圧が必要とされる場合、電源面でカットアウトを使用します。**Figure 28** に、電源面のカットアウトを示し、パワー ドメインは異なる色でマークされています。

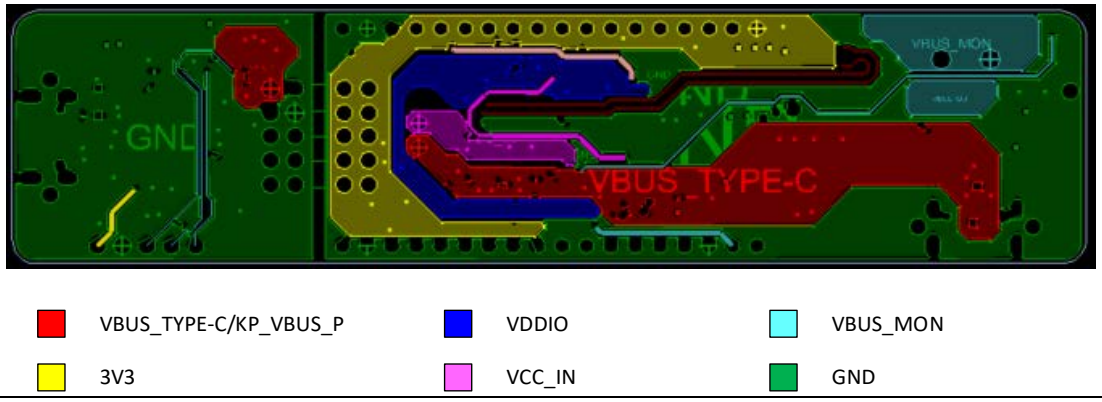


Figure 28　電源面 (基準: EZ-PD™ PMG1-S1 MCU キット)

- 良い平面容量のために、電源面をグランド面の近くに配置します。面と面の間に存在する平面容量は、高周波ノイズのフィルター処理用の分布デカップリング コンデンサとして動作して、電磁放射を減少させます。

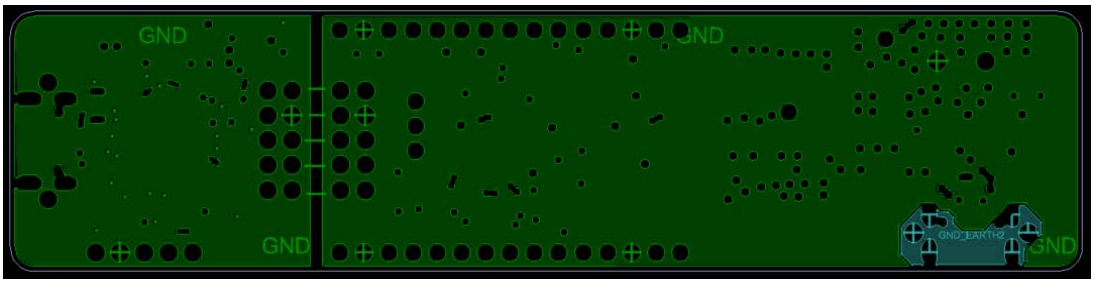


Figure 29　グランド面 (基準: EZ-PD™ PMG1-S1 MCU キット)

- グランド面を分割または切らないでください。グランド面を分割すると、USB 信号に電気ノイズとジッタが増加します。グランド面は連続している必要があります。不連続なグランド面は、より長いリターン電流経路により大きなインダクタンスをもたらし、EMI 放射を増加させる可能性があります。また、複数の分割したグランドはクロストークを増加させる可能性があります。

5.4.3　パワー ドメインのルーティング

- インダクタンスを減らすために、電源配線は最小 40mil の配線幅で配線します。
- 電源配線を短くします。
- 電源配線で大きなビア (少なくとも 30mil のパッド、15mil のホール) を使用します。
- 電源配線の幅を電源パッドの幅と同じにします。電源ピンを電源面に接続するために、ビアを電源パッドの直近に配置します。これによりライン上の浮遊インダクタンスと IR ドロップが最小限になります。
- PMG1 MCU の露出パッド (EPAN) を PCB の露出グランド パッドにはんだ付けします。

- スイッチング電源を使用する場合、信号に電源ノイズが加わらないように、または信号配線間にグランド配線を設けるために、電源配線を信号配線から遠くに配置する必要があります。

5.4.4 電圧レギュレータ

電圧レギュレータ/LDO を選択する際、次の事項を検討して、放電を減らし、USB サスペンド中の電圧調整の問題を防ぎます。

- USB サスペンド中のボードの負荷電流より低い最小負荷電流を持つ電圧レギュレータを選択します。レギュレータに消費される電流がレギュレータの最小負荷電流より低い場合、出力電圧が変化することがあります。
- 電圧レギュレータを、分割した VCC 面を跨ぐように配置します。これにより、電気的放射が減少します。

5.5 USB PD および USB-Data 信号 (Type-C) の配線

5.5.1 Type-C (VBUS、GND および CC) ライン配線のガイドライン

- VBUS ピンをグループ化します (ビアを使ってすべての VBUS ピンを同じ面に引き出します)。
- 同様に、GND ピンをグループ化します (ビアを使ってすべての GND ピンを同じ面に引き出します)。
- GND 面を CC (CC1、CC2) ラインの隣に配置します。CC ピンからの配線は、VCONN 動作のために、最低 20mil の配線幅で配線する必要があります。
- 信号を差動ペアとして外付け Rsense 抵抗に配線します。

5.5.2 USB データ ライン配線のガイドライン

- EZ-PD™ PMG1 MCU のハイスピード (DP および DM) 信号の配線長を 1.25 mm (50mil) 以内にします。
- USB ハイスピード信号が内部マルチプレクサを介して配線される EZ-PD™ PMG1-S1 MCU では、ハイスピード信号が MCU と Type-C コネクタの間が 3 インチ (75mm) 未満であることを確認します。また、MCU とホスト コネクタ間の Htrace の長さは、3 インチ未満であることを確認します。
- 差動ペア (USBDP、USBDM、USBDP_TOP、USBDP_BOT、USBDM_TOP、USBDM_BOT、USBDP_SYS、および USBDM_SYS) の最小間隔が 0.5mm であることを確認します。
- ビアの使用を最小限に抑えます。
- 接地コプレーナ線路 (CPWG) を送信ライン方式として選択します。
- 必要に応じて、USB レセプタクルに近いハイスピード信号配線長を調整します。
- USB 信号線はできるだけ曲げないようにします。特に直角に曲げてはなりません。必要に応じて、45 度または円弧 (曲線) で曲げます (**Figure 30** を参照してください)。

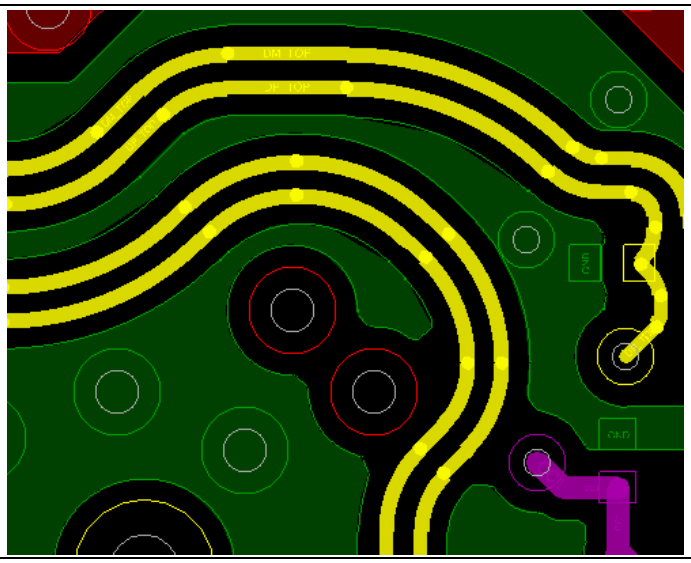


Figure 30　USB ハイスピード信号配線の曲がり

5.5.3　EZ-PD™ PMG1-S3 MCU 97-BGA および 48QFN のレイアウト ガイドライン

Figure 30 に推奨される PMG1-S3 97-BGA デバイスのフットプリントを示します。フットプリントには、特定の箇所に楕円形のパッドがあります。高密度インターコネクタ (HDI) ボードの処理を排除して製造コストを削減するために、楕円形のパッドを使用を推奨します。この方法により、PCB 設計者は内側ボールを最上層に通して配線することができます。このフットプリントは、一般的に構成コストが低い MDI (中密度) の PCB 設計に推奨されます。

外側ボールのサイズが 0.25mm x 0.1778mm で、内側ボールのサイズが 0.25mm x 0.25mm であることを確認してください。EZ-PD™ PMG1-S3 MCU BGA パッケージは、10 x 18mil のビア サイズに対応しています。

電流検出ピンの差動配線を実行します。

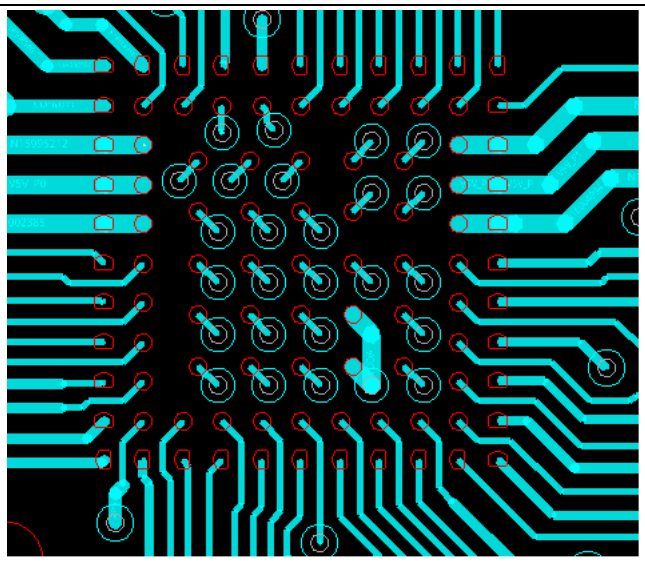


Figure 31　EZ-PD™ PMG1-S3 MCU 97-BGA のファンアウトおよびビア サイズ (10 x 18)

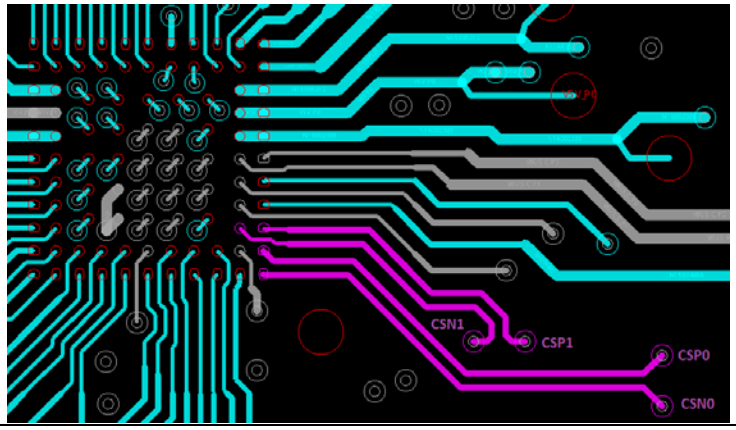


Figure 32 EZ-PD™ PMG1-S3 MCU 97-BGA の電流検出配線：上面

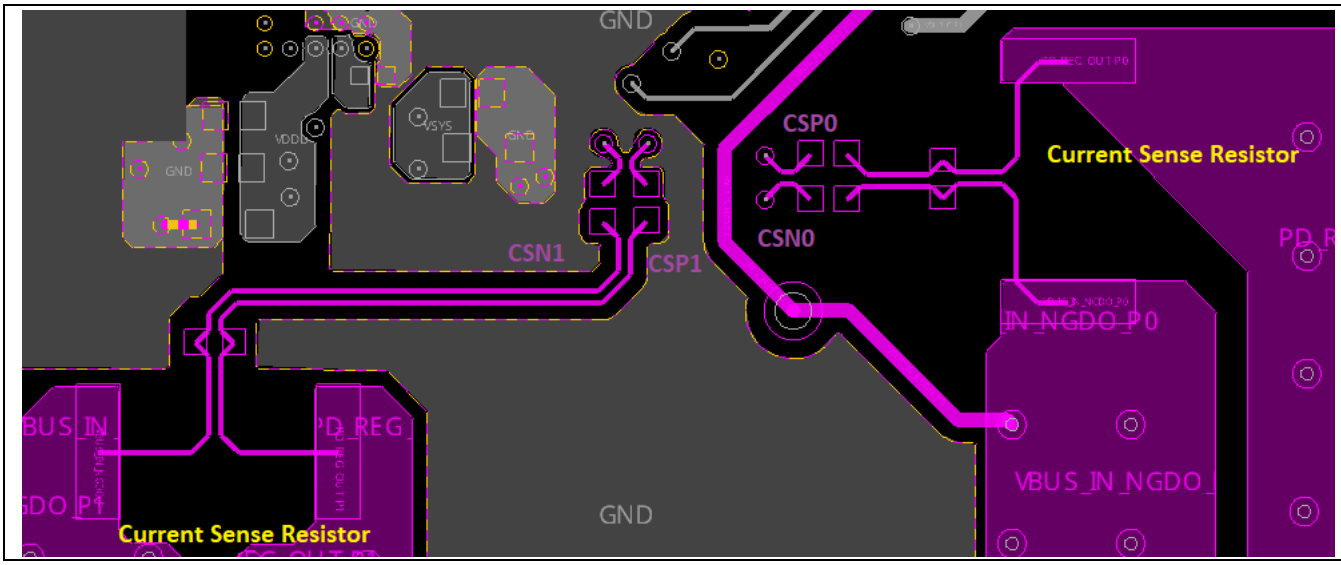


Figure 33 EZ-PD™ PMG1-S3 MCU 97-BGA の電流検出配線：上面

Figure 34 に示すように、EZ-PD™ PMG1-S3 MCU 48-QFN デバイスには、熱パッド上に 5 × 5 ビアアレイ (25 ビア) があります。熱性能を満たすために、熱パッドに 4 × 4 ビア アレイ (16 ビア) を配置することを推奨します。 ビア アレイとは、EPAD の行と列にあるビアの数を意味します。各ビアは最小で 10mil のドリルと 20mil の直径である必要があります。

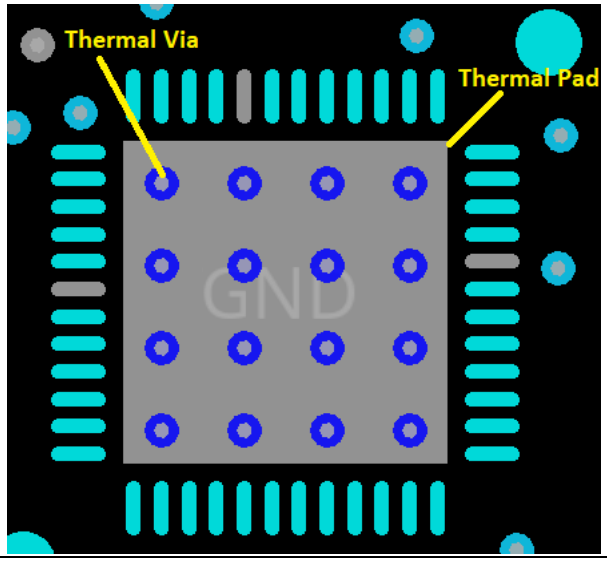


Figure 34　EZ-PD™ PMG1-S3 MCU 48-QFN の熱ビア

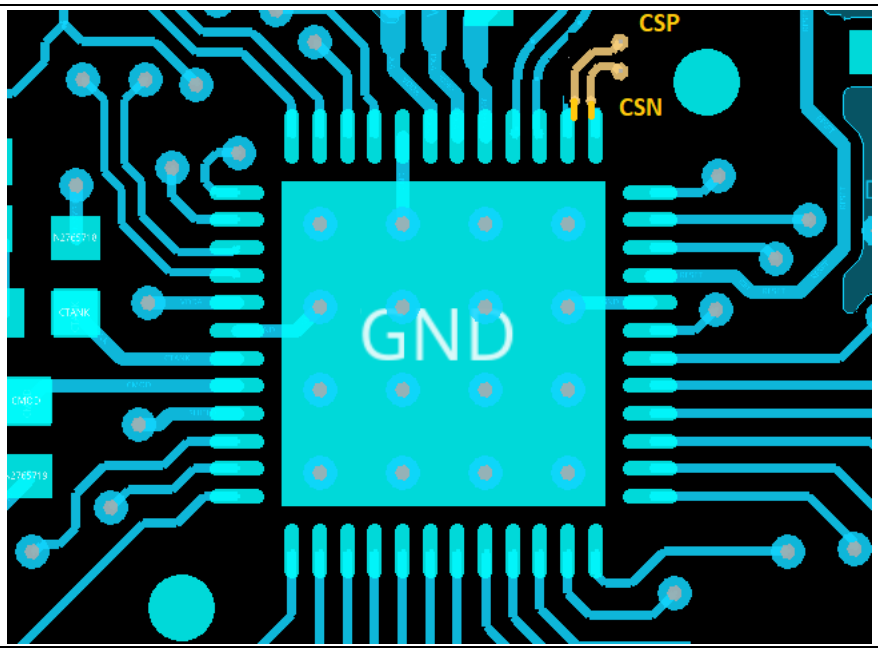


Figure 35　EZ-PD™ PMG1-S3 MCU 40-QFN のファンアウトおよび電流検出：上面

Figure 36 に示すように、EZ-PD™ PMG1-S3 MCU 48-QFN デバイスには、熱パッド上に 5 × 5 ビアアレイ (25 ビア) があります。 熱性能を満たすために、熱パッドに 4 × 4 ビア アレイ (16 ビア) を配置することを推奨します。ビア アレイとは、EPAD の行と列にあるビアの数を意味します。各ビアは最小で 10mil のドリルと 20mil の直径である必要があります。

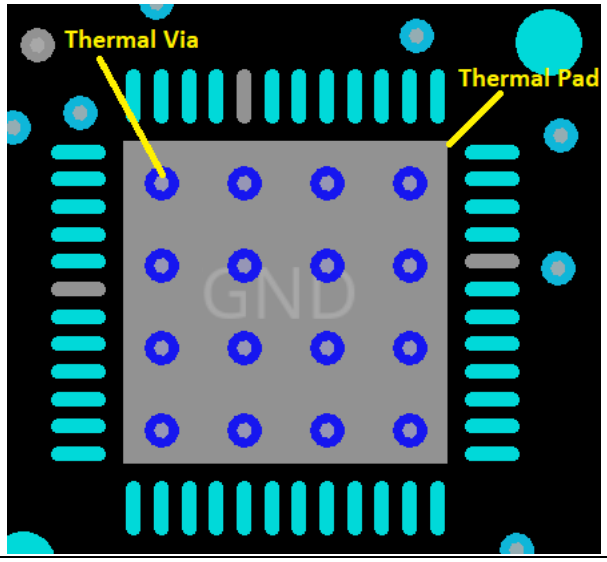


Figure 36 EZ-PD™ PMG1-S3 MCU 48-QFN の熱ビア

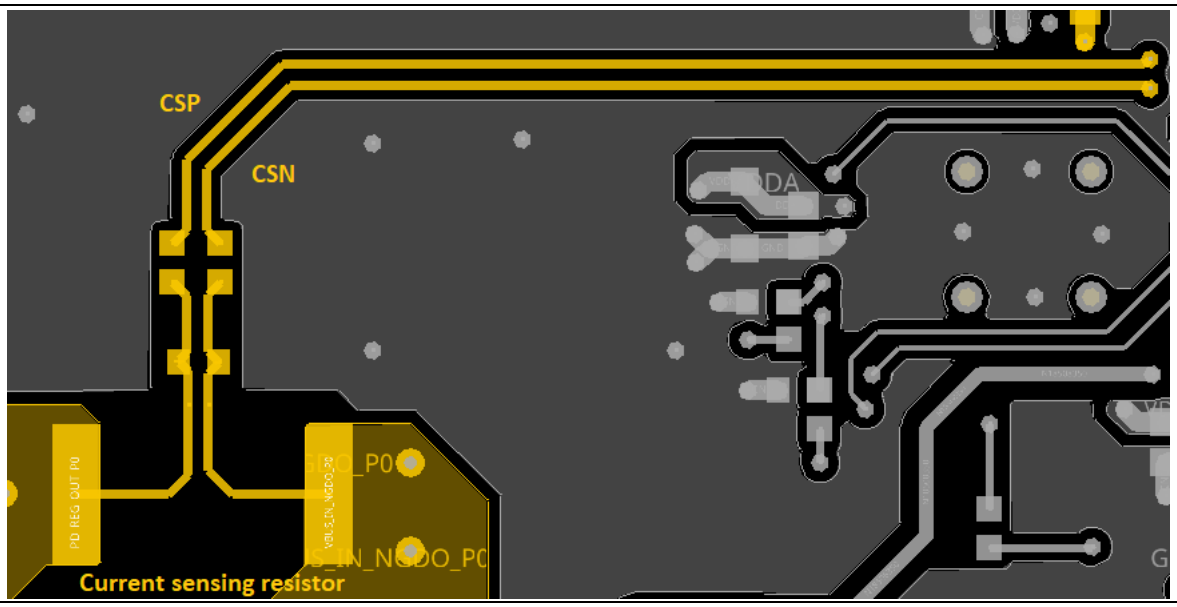


Figure 37 EZ-PD™ PMG1-S3 MCU 48-QFN の電流検出：下面

5.5.4 EZ-PD™ PMG1-S3 MCU 97 BGA/48 QFN CAPSENSE™ (CSD) のピン割り当ておよびレイアウト ガイドライン

MCU ピンは、SCB、UART、SPI、TCPWM、CAPSENSE™などの多くの機能と多重化されます。

Table 6 に、CAPSENSE™に対応する MCU ピンを示します。これらのピンは、CAPSENSE™の動作中に他の機能と多重化してはいけません。CAPSENSE™を使用していないとき、他の機能と多重化できます。0E 抵抗を使用して、CAPSENSE™と非 CAPSENSE™の動作を区別します。

CAPSENSE™ガイドラインについては、**AN85951** を参照してください。

Table 16 EZ-PD™ PMG1-S3 MCU 97-BGA の CSD ピン割り当て

ピン番号	EZ-PD™ PMG1-S3 MCU 97-BGA のピン名	CAPSENSE™ (CSD) の他の機能のサポート
A1	P3.0	GPIO、SCB4、CSD
A2	P2.0	GPIO、SCB5、CSD
A3	P2.2	GPIO、SCB5、CSD
A3	P2.2	GPIO、SCB5、CSD
A5	P2.5	GPIO、SCB5、CSD
A7	P2.4	GPIO、SCB0、CSD
A8	P2.7	GPIO、SCB1、CSD
B1	P3.3	GPIO、SCB4、CSD
B2	P2.1	GPIO、SCB0、CSD
B3	P3.1	GPIO、CSD
B5	P2.3	GPIO、SCB5、CSD
B7	P2.1	GPIO、SCB1、CSD
C1	P3.7	GPIO、CSD
D4	P3.4	GPIO、CSD
E1	P5.1	GPIO、SCB2、CSD (CMOD)
E2	P3.6	GPIO、SCB4、CSD
F4	P3.5	GPIO、SCB4、CSD
K12	P1.6	GPIO、SCB1、CSD
H2	P1.0	GPIO、CSD
H4	P5.5	GPIO、CSD
H6	P5.2	GPIO、CSD
M12	P1.5	GPIO、SCB1、CSD
C2	P3.2	GPIO、CSD
G1	P5.4	GPIO、CSD
G2	P5.0	GPIO、SCB2、CSD (CTANK)
H1	P5.3	GPIO、SCB2、CSD
P3	P1.1	GPIO、SCB3、CSD、シリアル ワイヤ デバッグ クロック
R3	P1.2	GPIO、SCB3、CSD、シリアル ワイヤ デバッグ データ
K4	P1.3	CSD、I2C_INT_TBT_P0
R5	P6.0	GPIO、SCB6、CSD
P5	P6.1	GPIO、SCB6、CSD
R8	P0.0	CSD、LXRX_P1
R7	P0.1	CSD、LXTX_P1
P7	P0.2	CSD、DGB1_P1
K6	P0.2	CSD、DGB2_P1
P8	P0.4	CSD、DGB2_P0
M8	P0.5	CSD、DGB1_P0

ピン番号	EZ-PD™ PMG1-S3 MCU 97-BGA のピン名	CAPSENSE™ (CSD) の他の機能のサポート
R9	P0.6	CSD、LXTX_P0
R11	P0.7	CSD、LXRX_P0
P13	P6.2	CSD、SBU2_P0
R13	P6.3	CSD、SBU1_P0
M10	P1.4	CSD、GPIO
M12	P1.5	GPIO、SCB1、CSD
K12	P1.6	GPIO、SCB1、CSD
G15	P7.0	GPIO、SCB1、CSD
G14	P7.0	GPIO、CSD
E15	P4.0	GPIO、SCB0、CSD
D12	P4.1	GPIO、SCB0、CSD
A14	P7.2	GPIO、CSD
B13	P7.3	GPIO、SCB7、CSD
B11	P7.4	GPIO、SCB7、CSD
A9	P7.5	GPIO、SCB7、CSD
B9	P7.6	GPIO、SCB7、CSD

Table 17　EZ-PD™ PMG1-S3 MCU 48 QFN の CSD ピン割り当て

ピン番号	EZ-PD™ PMG1-S3 MCU 48 QFN のペン名	CAPSENSE™ (CSD) の他の機能のサポート
1	P3.0	GPIO、SCB4、CSD
2	P3.3	GPIO、SCB4、CSD
3	P3.5	GPIO、SCB4、CSD
4	P3.6	GPIO、SCB4、CSD
7	P5.0	GPIO、SCB2、CSD
8	P5.1	GPIO、SCB2、CSD (CMOD)
9	P5.2	GPIO、SCB2、CSD
10	P5.3	GPIO、SCB2、CSD
11	P5.5	GPIO、CSD
12	P1.1	GPIO、SCB3、CSD、シリアル ワイヤ デバッグ クロック
13	P1.2	GPIO、SCB3、CSD、シリアル ワイヤ デバッグ データ
14	P1.3	GPIO、SCB3、CSD
15	P6.0	GPIO、SCB6、CSD
16	P6.1	GPIO、SCB6、CSD
17	P0.0	GPIO、CSD
18	P6.2	GPIO、SCB6、CSD
19	P6.3	GPIO、SCB6、CSD
20	P1.4	GPIO、SCB3、CSD
21	P1.5	GPIO、SCB1、CSD

ピン番号	EZ-PD™ PMG1-S3 MCU 48 QFN のペン名	CAPSENSE™ (CSD) の他の機能のサポート
22	P1.6	GPIO、SCB1、CSD
34	P4.0	GPIO、SCB0、CSD
35	P4.1	GPIO、SCB0、CSD
45	P2.4	GPIO、SCB0、CSD
46	P2.3	GPIO、SCB5、CSD
47	P2.2	GPIO、SCB5、CSD
48	P2.1	GPIO、SCB0、CSD

6 回路図面とレイアウト レビューのチェックリスト

Table 18 回路図面とレイアウト レビューのチェックリスト

No.	回路図面のチェックリスト	回答 (はい/いいえ/該当なし)
1	**Figure 7** および **Figure 10** に示すように、デカップリング コンデンサとバルク コンデンサは電源と CC ピンに接続されているか?	
2	I^2C ラインはプルアップ抵抗 (2.2KΩ) でプルアップされているか? I2C 割込みピン用の GPIO は、ブートローダとアプリケーション ファームウェアの両方で同様であるか?	
3	POR RC コンポーネントは必要なリセット時間を満たしているか?	
4	I^2C ラインは 3.3V ドメインへのプルアップ抵抗でプルアップされているか?	
5	**Figure 14**、**Figure 15**、および **Figure 23** に示すように、電力プロバイダとコンシューマ パスを制御するための、VBUS にある FET の推奨配置をしているか?	
6	すべての USB コネクタ シールドは正しく終端されているか?	
7	**Figure 23** に示すように、EZ-PD™ PMG1-S2 MCU の設計に VBUS 放電回路があるか?	
8	EZ-PD™ PMG1-S2 MCU の VBUS 放電抵抗は、定格 2W の消費電力に設定しているか?	
9	EZ-PD™ PMG1-S3 MCU ゲート ドライバ ピンは、シンクおよびソース アプリケーション用に適切に設定されているか?	
10	CAPSENSE™信号はいくつかの機能ピンと多重化されているか?その場合、絶縁抵抗 (0E) を配置しているか?	
レイアウトのチェックリスト		
1	デカップリング コンデンサとバルク コンデンサは Type-C PD コントローラーの電源ピンの近くに配置されているか?	
2	0.1µF のデカップリング コンデンサは、VCCD ピンの近くに配置されているか?	
3	ビアは Type-C PD コントローラーの電源ピンの近くに配置されているか?	
4	電源配線は HS およびスーパースピード (SS) データ ラインから離れて配線されているか?	
5	RC リセット回路のコンデンサは Type-C PD コントローラーのリセット ピンの近くに配置されているか?	
6	専用の連続したグランド面が使用されているか?	
7	Type-C コネクタ上のすべての VBUS ピンはビアを使用して同じ面に引き出されているか?	
8	Type-C コネクタ上のすべてのグランド ピンはビアを使用して同じ面に引き出されているか?	
9	グランドは CC ラインの近くにあり、CC ラインの下にあるか?	
10	USB SS と HS の信号線の長さが一致しているか?	
11	USB SS と HS の信号ラインの下がベタ グランド面であるか?	

回路図面とレイアウト レビューのチェックリスト

No.	回路図面のチェックリスト	回答 (はい/いいえ/該当なし)
12	USB 配線は短くなっているか?	
13	USB 配線に最小の曲がりがあり、90 度曲げはないか?	
14	SS と HS の信号配線インピーダンスは 90E に一致しているか?	
15	PMG1-S3 電流検出ピンは差動信号として配線されているか?	
16	CAPSENSE™信号は **AN85951** レイアウト ガイドラインに従っているか?	

参考文書

[1] 概要：**Infineon USB PD Controller Roadmap**

[2] 製品ウェブサイト:

- **EZ-PD™ PMG1 MCU webpage**

[3] キット Web サイト:

- **CY7110 EZ-PD™ PMG1-S0 prototyping kit**
- **CY7111 EZ-PD™ PMG1-S1 prototyping kit**
- **CY7112 EZ-PD™ PMG1-S1 prototyping kit**
- **CY7113 EZ-PD™ PMG1-S3 prototyping kit**

[4] データシート:

- **EZ-PD™ PMG1-S0 MCU datasheet**
- **EZ-PD™ PMG1-S1 MCU datasheet**
- **EZ-PD™ PMG1-S2 MCU datasheet**
- **EZ-PD™ PMG1-S3 MCU datasheet**

[5] アプリケーション ノート：**AN232553 - Getting started with EZ-PD™ PMG1 MCU on ModusToolbox™ software**

略語

略語	説明
AC	Apple Charging
ADC	Analog-to-Digital Converter (アナログ-デジタル変換器)
Arm®	Advance RISC machine (高度な RISC マシン): CPU アーキテクチャの一種
BC	Battery Charging (バッテリ充電)
CC	Configuration Channel (コンフィギュレーション チャネル)
CDM	Charged Device Model (デバイス帯電モデル)
CPU	Central Processing Unit (中央演算処理装置)
CS	電流検出
CSN	Current Sense Negative (負の電流検出)
CSP	Current Sense Positive (正の電流検出)
CYP	Cypress Programmer (サイプレス プログラマ)
DFP	Downstream Facing Port (ダウンストリーム ポート)
DRP	Dual Role Port (デュアル ロール ポート)
EMC	Electromagnetic Compatibility (電磁環境適合性)
EMI	Electromagnetic Interference (電磁干渉)
ESD	Electrostatic Discharge (静電放電)
FS	Full-Speed (フルスピード)
GPIO	General Purpose Input/Output (汎用入力/出力)
HBM	Human Body Model (人体モデル)
HS	High-Speed (ハイスピード)
IC	Iintegrated Circuit (集積回路)
IDE	Integrated Development Environment (統合開発環境)
I^2C	Inter-Integrated Circuit (インター インテグレーテッド サーキット): 通信プロトコルの一種
I/O	Input/Output (入力/出力)
LDO	Low Dropout Regulator (低ドロップアウト レギュレータ)
MCU	Microcontroller Unit (マイクロコントローラー ユニット)
NC	No Connect (未接続)
OCP	Over Current Protection (過電流保護)
OVP	Over Voltage Protection (過電圧保護)
PCB	Printed Circuit Board (プリント回路基板)
PD	パワー デリバリー
POR	Power-On-Reset (パワーオン リセット)
PWM	Pulse-Width Modulator (パルス幅変調器)
QFN	Quad-Flat No-lead (リードなしのクワッド フラット): IC パッケージングの一種
RCP	Reverse Current Protection (逆電流保護)
R_D	ポートがシンクであることを示すために使用される、USB Type-C CC ワイヤのプルダウン抵抗

略語

略語	説明
R_{D-DB}	ポートがデッド バッテリのシンクであることを示すために使用される、USB Type-C CC ワイヤのプルダウン抵抗
R_P	ポートがソースであることを示すために使用される、USB Type-C CC ワイヤのプルアップ抵抗
RX	Receiver (レシーバ)
SAR	Successive Approximation Register (逐次比較レジスタ)
SCB	Serial Communication Block (シリアル通信ブロック)
SCL	I2C Serial Clock (I2C シリアル クロック)
SCP	Short Circuit Protection (短絡保護)
SDA	I2C Serial Data (I2C シリアル データ)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース): 通信プロトコルの一種
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
SWD	Serial Wire Debug (シリアル ワイヤ デバッガ)
TCPWM	Timer/Counter Pulse-Width Modulator (タイマー/カウンター/パルス幅変調器)
TX	Transmit (送信)
Type-C	最新の USB コネクタとケーブル標準
UART	Universal Asynchronous Transmitter Receiver (汎用非同期トランスミッタ レシーバ): 通信プロトコルの一種
USB	Universal Serial Bus (ユニバーサル シリアル バス)
USB-PD/USB PD	USB Power Delivery (USB パワー デリバリー)
USB-FS	USB Full-Speed (USB フルスピード)
UVP	Under Voltage Protection (低電圧保護)
XRES	External Reset I/O pin (外部リセット I/O ピン)

改訂履歴

Document version	Date of release	Description of changes
**	2021-12-09	これは英語版 002-32565 Rev. *A を翻訳した日本語版 Rev. **です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2021-12-09
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2021 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?
Go to www.cypress.com/support

Document reference
002-34379 Rev. **

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください（**www.infineon.com**）。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。