# AIROC™ CYW20819/CYW20820 Bluetooth® & Bluetooth® LE システム オン チップ ハードウェアデザインガイドライン

## 本書について

### 適用範囲と目的

本書は、CYW208xx (CYW20819 および CYW20820) を使用した設計方法に関するハードウェアガイダンスを提供します。

### 対象者

本書では、CYW208xx を使用して PCB レイアウトデザインを作成するハードウェアエンジニアを対象とします。

# 目次

本書について ..... 1
目次 ..... 2
1 はじめに ..... 3
2 基本的なレイアウトのガイドライン ..... 4
3 コンポーネントの配置 ..... 5
3.1 CYW20819 および CYW20820 用の PAVDD 電源 ..... 5
3.2 バイパスコンデンサの配置 ..... 5
3.3 アンテナの配置 ..... 6
3.4 バンドパスフィルタ ..... 7
3.5 パワーインダクタの配置 ..... 8
3.6 水晶の配置 ..... 8
4 PCB 層と配線 ..... 10
4.1 グランド ビア ..... 10
4.2 レイヤ 1: コンポーネント, 信号ファンアウト, および RF トレース ..... 10
4.3 レイヤ 2: ソリッドグランドプレーン ..... 10
4.4 レイヤ 3: 電源トレース ..... 11
4.5 レイヤ 4: 電源トレースと重要でない信号 ..... 12
4.6 隣接層での避けられない電源トレース交差 ..... 13
参考資料 ..... 14
改訂履歴 ..... 15
免責事項 ..... 16

# 1 はじめに

本書では、CYW208xx のレイアウトに関する基本的なガイドラインを提供します。 本書は、次のセクションに分かれています。

- ボードのスタックアップとインピーダンス制御の要件を含む基本的なレイアウトガイドライン
- 重要なコンポーネントの配置と推奨部品
- 配線ガイドラインと様々な電源トレースの推奨トレース幅

# 2 基本的なレイアウトのガイドライン

ほとんどの Bluetooth® デバイスは、厚さを最小限に抑えるために 4 層基板を使用しています。コンポーネントは最上層に配置されます。最上層には、CYW208xx チップからの信号ファンアウトもあります。2 層目はソリッドグラウンドフィルで、電源トレースは 3 層目に配線され、最後に、デジタル信号と 3 番目の層で配線できなかった追加の電源トレースを最下層に配線できます。

RF トレースの場合は、50 Ω の伝送ラインを使用してミスマッチ損失と反射を最小限に抑え、負荷に伝達される電力を最大化します。

伝送ラインには、マイクロストリップとストリップラインの 2 種類があります。リファレンス デザインはマイクロストリップ設計を使用しています。

伝送ラインには適切な形状が必要です。いくつかのパラメータは、トレース幅, グランドプレーンまでの垂直距離, 基準となるソリッドグラウンドプレーンなど、誘電体材料に大きく依存します。 高さと幅のソリューションが異なれば、性能も異なります。

マイクロストリップレイヤとその基準グラウンドレイヤの選択では、次の 2 つの点を考慮する必要があります。

- トレースが薄いほど挿入損失が高くなります– PCB の製造には、信頼性と再現性のために適切なトレース幅が必要です。マイクロストリップとグランドの間の高さは、Figure 1 に示すスタックごとに維持して、50 Ω のインピーダンス制御を維持する必要があります。
- マイクロストリップラインの場合は、鋭角なコーナーを避け、滑らかな半径を使用して方向を変更します。同一平面上のグラウンドは、2〜3 本の線幅 (2 W〜3 W) のクリアランスでこれらのトレースの輪郭に従います。ビアを使用して外層を基準グラウンドプレーンに接続し、マイクロストリップトレースを囲むようにします。

このリファレンス デザインで使用されているマイクロストリップは、トレース幅が 12.5 mil でレイヤ 1 上にあります。 基準グラウンドはレイヤ 2 です。

このリファレンス デザインは、Figure 1 に示すスタックアップ 4 層 PCB を使用します。

- レイヤ 1: コンポーネントとメイン信号レイヤ
- レイヤ 2: ソリッドグラウンドレイヤ
- レイヤ 3: 電源信号レイヤ
- レイヤ 4: デジタル信号レイヤ レイヤ 3 でルーティングできなかった追加の電源信号もここで配線できます。ただし、レイヤ 3 の電源信号と重ならないようにしてください。

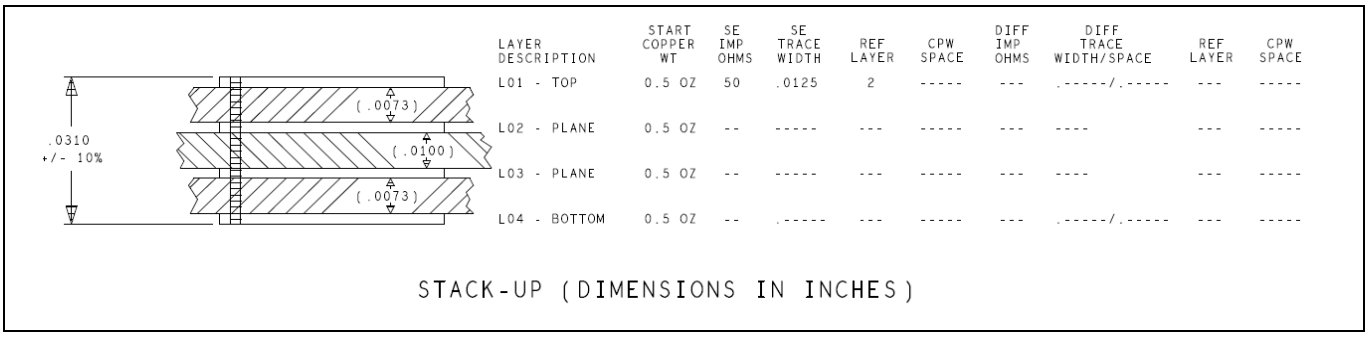



**Figure 1 CYW208xx に使用される一般的なボードスタックアップ**

# 3 コンポーネントの配置

原則として、受信信号の流れは、アンテナからアンテナマッチング回路、フィルタ回路を経て、次に低ノイズアンプ (LNA) チップの入力に到達します。無線フロントエンド (RF), 電源管理ユニット (PMU), およびベースバンド (BB) デカップリングコンデンサを CYW208xx ピンパッドの横に配置します。

## 3.1 CYW20819 および CYW20820 用の PAVDD 電源

- CYW20819 の場合、PAVDD は RFLDO_OUT (1.2 V) に接続する必要があります。
- CYW20820 の場合、PAVDD は PALDO_OUT (2.5 V) に接続する必要があります。

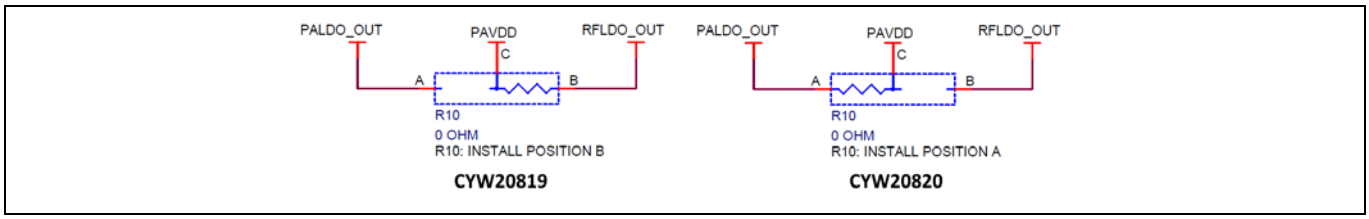



**Figure 2 CYW20819 および CYW20820 の PAVDD 電源設定**

## 3.2 バイパスコンデンサの配置

以下の回路図に、PMU と RF フロントエンドセクションを示します。PCB 上の部品の配置を決定するときは、次の要件を満たす必要があります。

- PMU_AVDD (Pin G3) と SR_PVDD (Pin H3) で構成される VBAT 入力には、これらのピンのできるだけ近くに 10 µF (C4) コンデンサを配置する必要があります。
- L1 と C3 は、できるだけ SR_VLX (Pin H2) の近くに配置する必要があります。
- RFLDO_DIGLDO_VDDIN のバイパスコンデンサ (Pin E5) はオプションであり、基板スペースが限られている場合は省略できます。
- DIGLDO_VDDOUT (Pin G4) では、2.2 µF コンデンサをピンのできるだけ近くに配置する必要があります。
- RFLDO_VDDOUT (Pin H4) では、2.2 µF コンデンサをピンのできるだけ近くに配置する必要があります。
- PAVDD (Pin H5) では、0.1 µF コンデンサをピンのできるだけ近くに配置する必要があります。
- IFVDD (Pin F6) では、0.1 µF のコンデンサをピンのできるだけ近くに配置する必要があります。
- PLLVDD (Pin G8) では、0.1 µF のコンデンサをできるだけピンの近くに配置する必要があります。
- VCOVDD (Pin H8) では、10 pF コンデンサをできるだけピンの近くに配置する必要があります。
- CYW20820 デザインの場合のみ、PALDO_VDDIN (Pin F5) の 0.1 µF コンデンサをピンのできるだけ近くに配置する必要があります。PALDO_VDDOUT (Pin G5) では、2.2 µF コンデンサをピンのできるだけ近くに配置する必要があります。これら 2 つのコンデンサは CYW20819 の設計では省略できます。

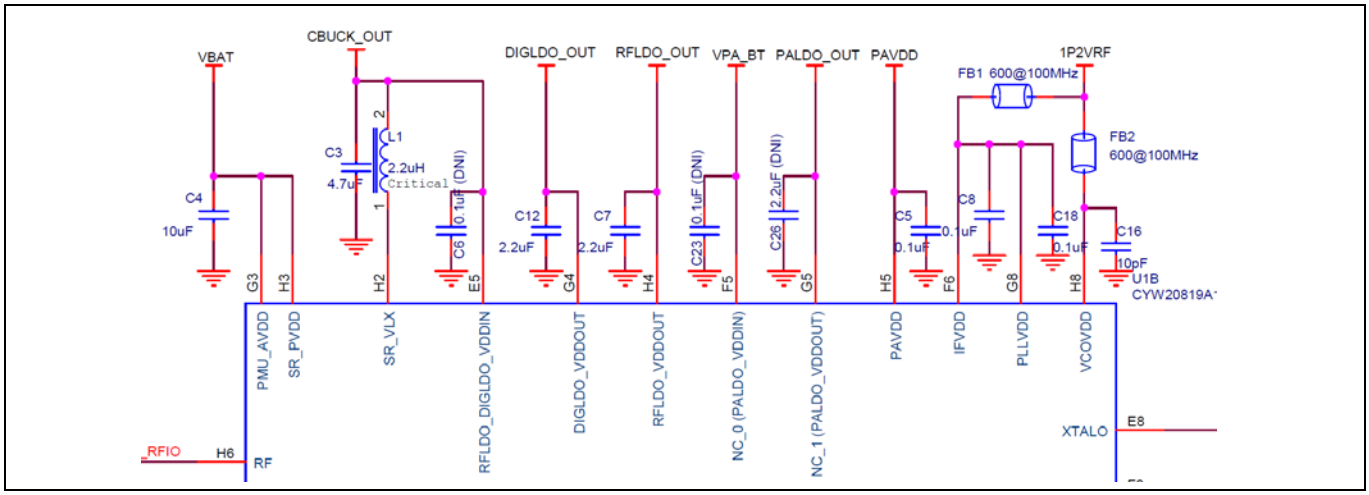



**Figure 3 PMU および RF フロントエンド領域のバイパスコンデンサ**

ベースバンド領域では、次のコンポーネント配置も満たす必要があります。

- VDDO1 (Pin D1) と VDDO2 (Pin B8) は、ピンごとに 0.1 µF を持たせ、できるだけピンの近くに配置する必要があります。
- VDDC1 (Pin C8) と VDDC2 (Pin E1) は、ピンごとに 0.1 µF を持たせ、できるだけピンの近くに配置する必要があります。

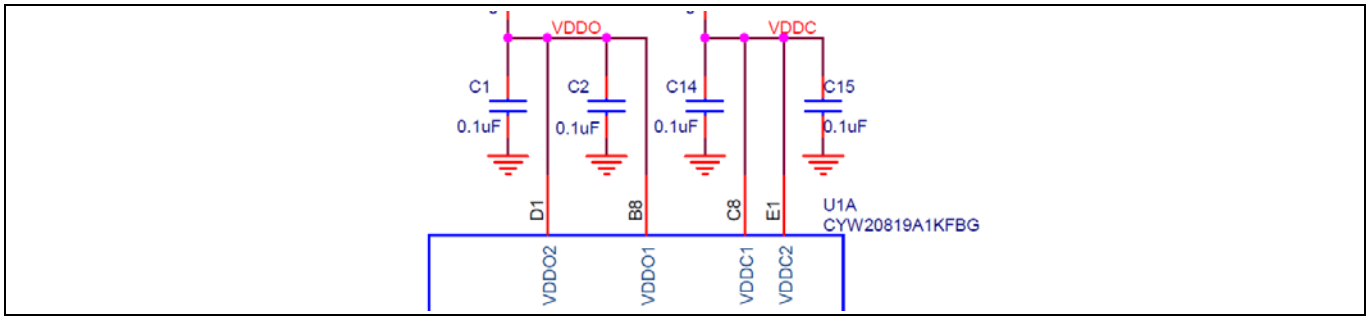



**Figure 4 ベースバンド領域のバイパスコンデンサ**

## 3.3 アンテナの配置

デバイスへのアンテナ接続はできるだけ短くしてください。アンテナの近くにしっかりしたグランドを確保し、アンテナの下の層には十分なグランドクリアランスを確保してください。

リファレンス設計では、アンテナはボード左側の最上層、CYW208xx チップの隣にあります。

PCB アンテナの詳細については、AN91445 - アンテナ設計と RF レイアウトのガイドラインを参照してください。関連するガーバーファイルについては、https://www.infineon.com/dgdl/Infineon-AN91445_Antenna_Design_Guide-ApplicationNotes-v09_00-EN.zip?fileId=8ac78c8c7cdc391c017d073e1c866233s をクリックしてください。

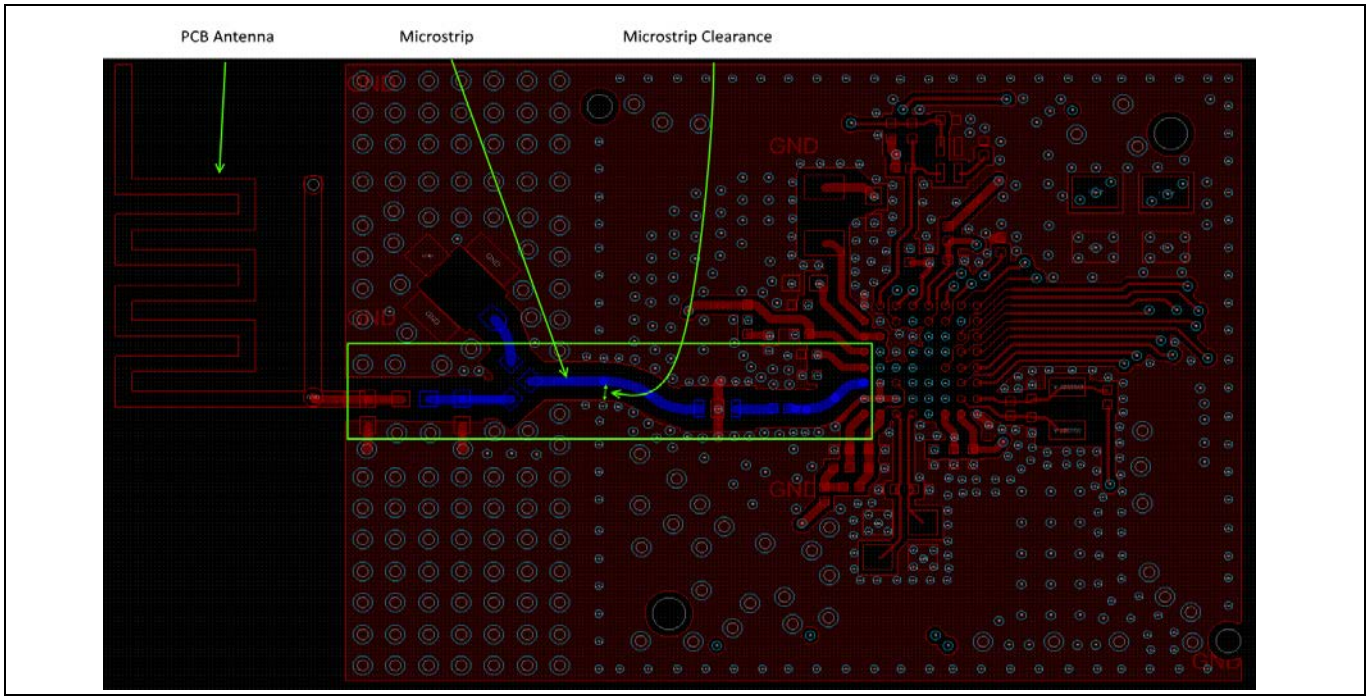



**Figure 5** アンテナの配置とマイクロストリップのクリアランス

## 3.4 バンドパスフィルタ

アンテナマッチングコンポーネントと CYW208xx デバイスの間にチップバンドパスフィルタを配置して、CYW208xx からの高調波を減衰させます。CYW208xx リファレンスデザインで使用されているチップバンドパスフィルタ部品は Murata;LFB182G45CL3D178 です。マイクロストリップは、バンドパスフィルタのすべての接続に使用されます。

挿入損失と帯域外減衰性能は、PCB コンポーネントのレイアウトと許容誤差に依存します。フィルタレイアウトは、一般的な RF レイアウトルールに従う必要があります。

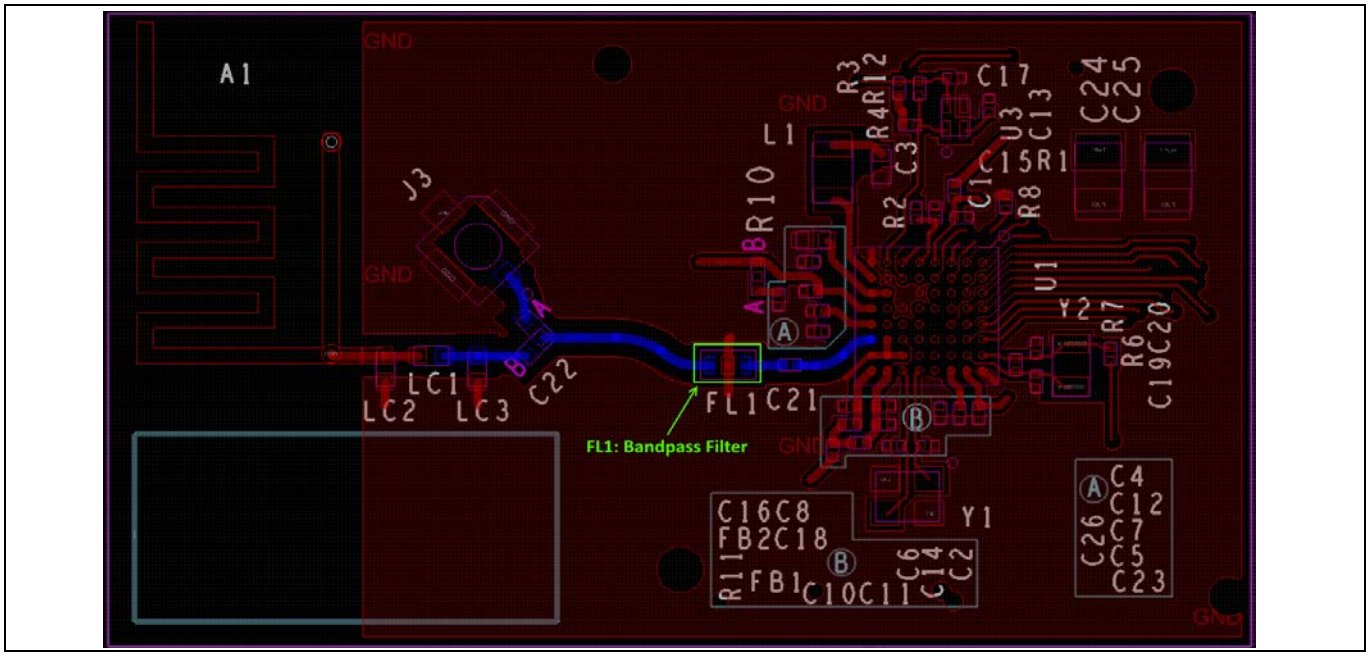



**Figure 6** バンドパスフィルタの配置

## 3.5 パワーインダクタの配置

パワーインダクタは十分なアイソレーションの必要があります。これはできるだけ多くのグランドで囲むことによって行われます。また、パワーインダクタはできるだけ CBUCK_OUT ピン (SR_VLX、Pin H2) の近くに配置する必要があります。インダクタは、出力コンデンサ (この設計では C3) と隣接して配置する必要があります。このインダクタの下の PCB 最上層の銅は切り取る必要があります。推奨コンポーネントについては、CYW208xx データシートの「推奨コンポーネント」セクション、およびリファレンスデザインファイルを参照してください。

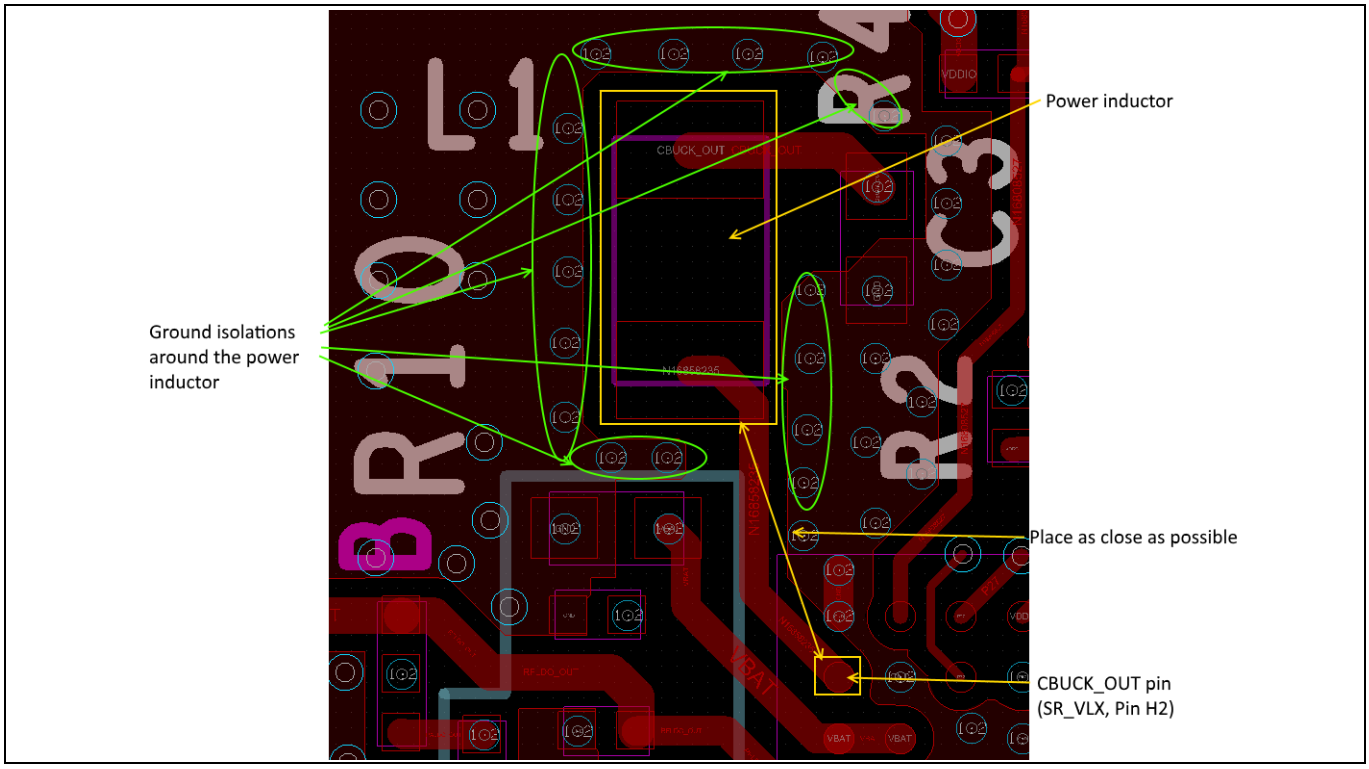



**Figure 7** パワーインダクタのアイソレーションと配置

## 3.6 水晶の配置

水晶および関連するトレースをノイズ源から保護し、ソリッドグランドを使用して水晶を RF トレースから分離します。水晶グランドプレーンには、基準グランドプレーンに直接ビアが必要です。

この配置では、CYW208xx チップ, 水晶, および水晶負荷コンデンサを接続するために最小限の PCB トレースを使用し、寄生容量を最小限に抑えるため、Figure 8 に示すような負荷コンデンサの配置を推奨します。

水晶の仕様と要件については、CYW208xx データシートに記載されています。参考資料を参照してください。

水晶部品については、24 MHz のメイン水晶には TXC 8Y24070015、32.768 kHz の水晶には TXC 9H03270073 を推奨します。

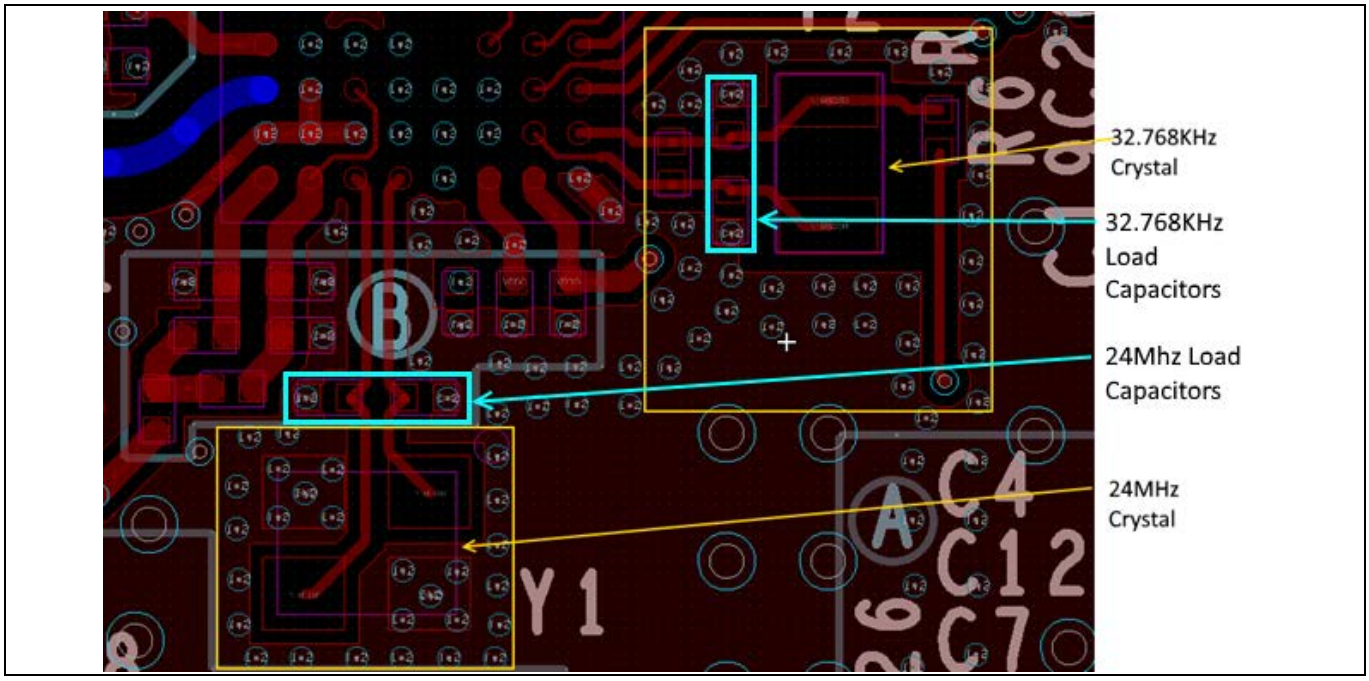



**Figure 8　24 MHz および 32.768 kHz の水晶の配置**

# 4 PCB 層と配線

## 4.1 グランド ビア

コンポーネントをグランド ビアに接続する際、細長いトレースは使用しないでください。そうすることでインダクタンスが増加し、回路の性能を著しく変化させる可能性があります。そのかわりに、ビアをコンポーネントのグランドパッドに直接配置します。CYW208xx チップのピンにスルーホールビアを使用しないでください。そのかわりに、1:2 レーザービアを使用して、グランドパッドをメイングランドに直接接続します。オープンエリアのスルーホールビアのみを使用して、すべてのレイヤのグランドプレーンを繋ぎ合わせます。CBUCK 出力コンデンサのグランド パッド (この設計では C3) の近くに十分なグランド ピンがあることを確認してください。

## 4.2 レイヤ 1: コンポーネント, 信号ファンアウト, および RF トレース

チップのすべての受動部品は最上層に配置されます。CYW208xx チップからの信号ファンアウトも最上層で行われます。

青色で示されている RF トレースは、十分にアイソレーションされており、トレースの両側に沿ってソリッドグランドプレーンを備えている必要があります。

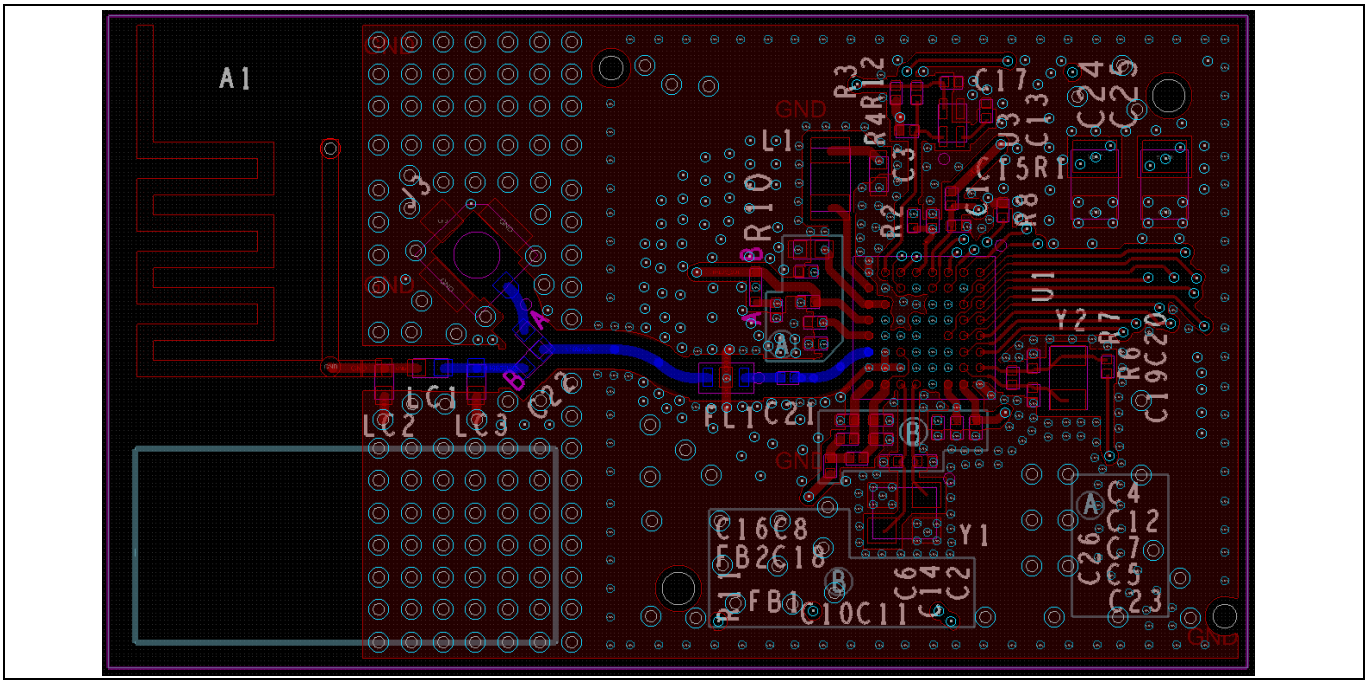



**Figure 9** レイアウト 1、コンポーネントおよび信号ファンアウト

## 4.3 レイヤ 2: ソリッドグランドプレーン

CYW208xx が配置されているレイヤのすぐ下のレイヤを、最適なグランドリターンパスのためにソリッドグランドプレーンで塗りつぶします。

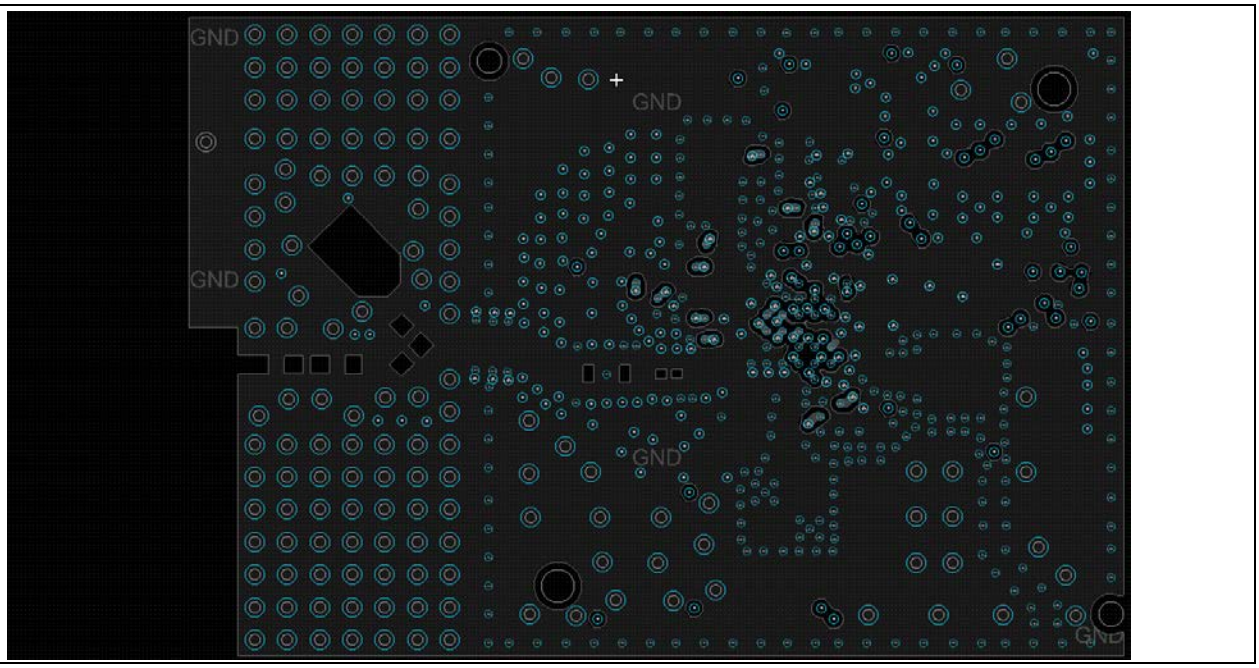



**Figure 10　レイヤ 2、ソリッドグランドフィル**

## 4.4　レイヤ 3: 電源トレース

- メインの DC 電源ラインを背骨のようにボード中央に配線し、必要に応じて左右に分岐させます。
- DC 電源をループ状に配線することは避けてください。
- 電源トレースをチップに配線する際の電流の流れを考慮してください。入力電源ピンの場合、電源ピンに入る前に、電源トレースがデカップリングコンデンサを通過することを確認してください。出力電源ピンの場合、負荷に接続する直前に、電源トレースがデカップリングコンデンサに送られていることを確認してください。
- グラウンドフィルで分離することにより、主電源, ノイズの多い信号, およびデジタル電源から RF 電源を保護します。
- 寄生インピーダンスを最小限に抑えるために、適切な電源トレース幅とビアが使用可能 (または存在する) であることを確認してください。
- 隣接するレイヤで電源トレースを交差またはオーバーラップすることは推奨しません。電源トレースの交差が避けられない場合は、垂直に交差させて、電源トレースのオーバーラップ領域を最小限に抑えます。(セクション 4.6 に示されている例を参照してください)
- 電源信号の推奨トレース幅は次のとおりです。
  - CBUCK_OUT → 最小 10 mil のトレース幅
  - CBUCK_OUT～RFLDO_DIGLDO_VDDIN (Pin E5) → 最小 10 mil のトレース幅
  - VDDIO → 最小 10 mil のトレース幅
  - VDDIO ～ VDDO (Pin B8 および D1) → 最小 8 mil のトレース幅
  - DIGLDO_OUT (Pin G4) ～ VDDC (Pin C8 および E1) → 最小 8 mil のトレース幅
  - VBAT ～ PMU_AVDD (Pin G3)/SR_PVDD (Pin H3) → 最小 10 mil のトレース幅
  - RFLDO_VDDOUT (Pin H4) ～ 1P2VRF まで → 最小 8 mil のトレース幅
  - VPA_BT～PALDO_VDDIN(Pin F5) → 最小 10 mil のトレース幅
  - PALDO_VDDOUT (Pin G5) ～ PAVDD (Pin H5) まで → 最小 8 mil のトレース幅
  - 1P2VRF → 最小 8 mil のトレース幅

– 1P2VRF ～ IFVDD (Pin F6)/PLLVDD (Pin G8) / VCOVDD (Pin H8) → 最小 8 mil のトレース幅

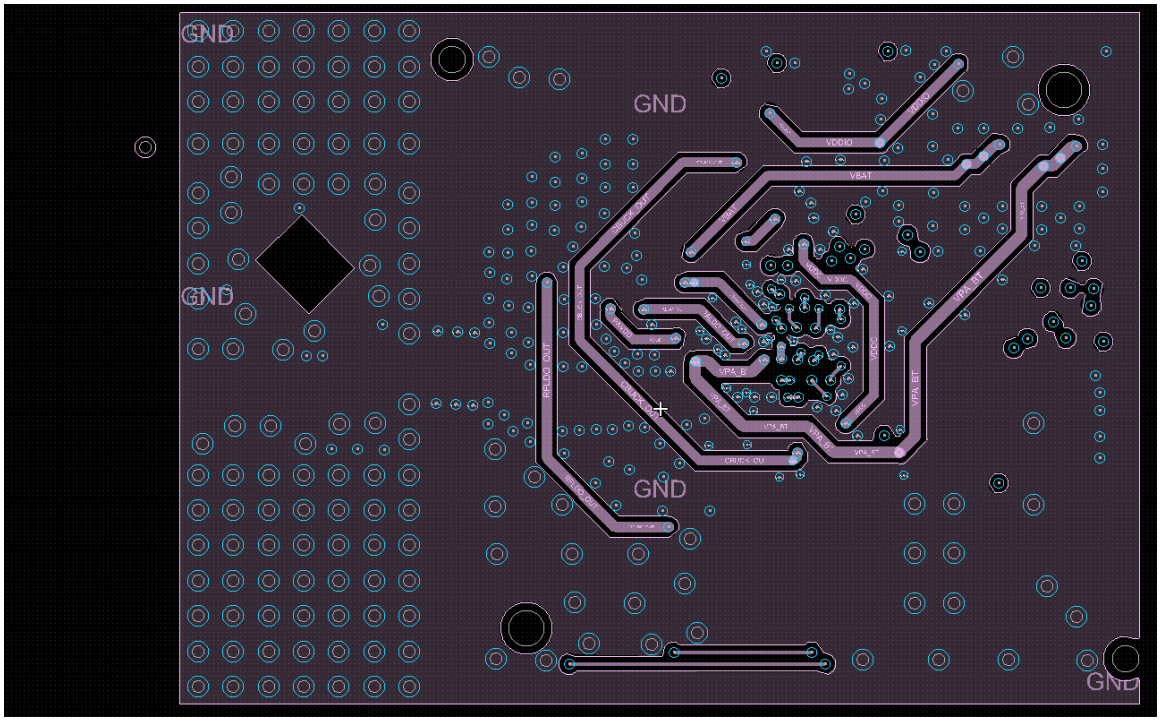



**Figure 11** レイヤ 3 の電源トレース

## 4.5 レイヤ 4: 電源トレースと重要でない信号

レイヤ 4 は、重要でないすべての信号配線と、レイヤ 3 で配線できなかった追加の電源トレースに使用します。レイヤ 4 に配線された電源トレースが、レイヤ 3 に配線された電源トレースと交差しないことを確認します。

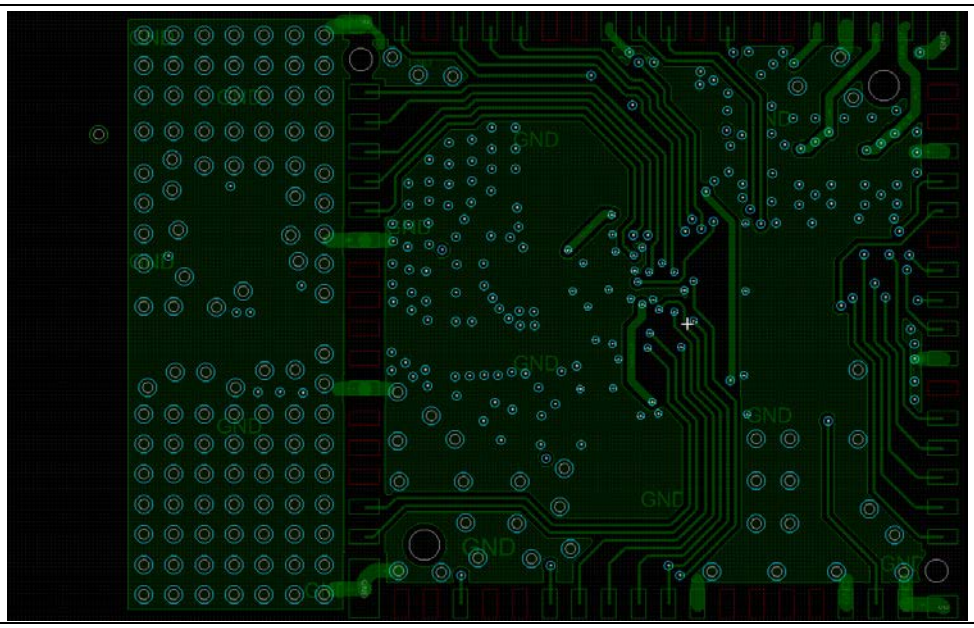



**Figure 12** レイヤ 4、電源トレースおよび重要でない信号

## 4.6 隣接層での避けられない電源トレース交差

電源トレースの交差が避けられない場合は、垂直に交差させて、電源トレースのオーバーラップ領域を最小限に抑えます。この例を Figure 13 に示しますが、レイヤ 3 のピンクの VPA_BT とレイヤ 4 の緑の CBUCK_OUT トレースが垂直に配線されています。

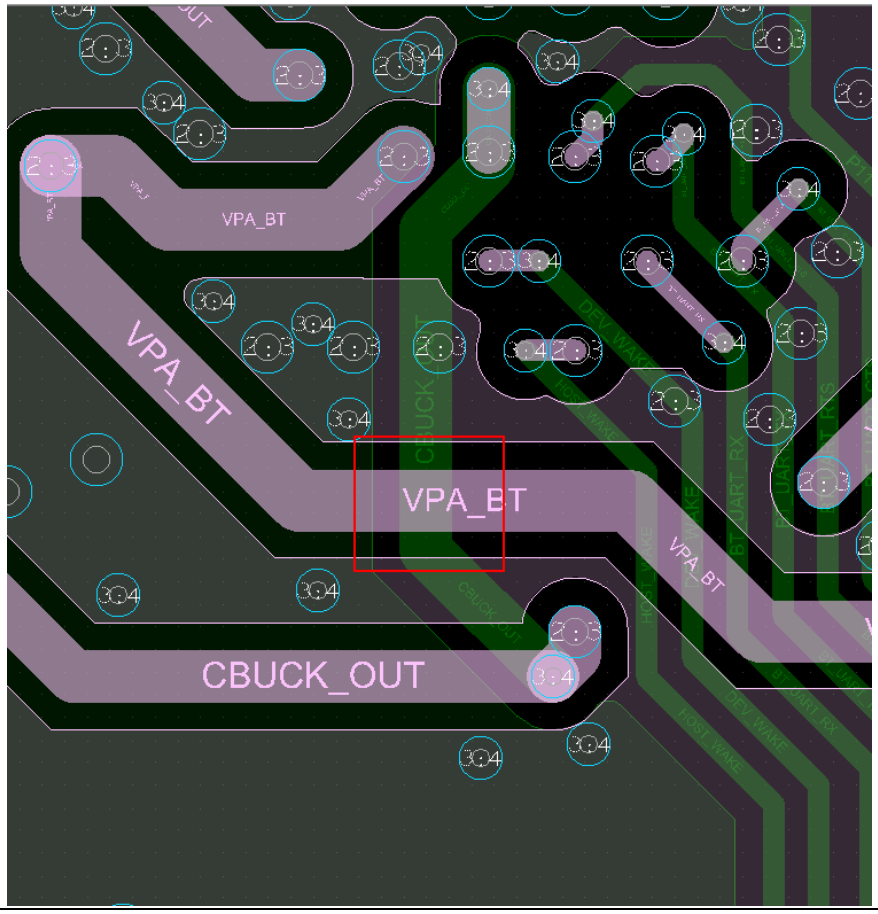



**Figure 13 VPA_BT トレースと CBUCK_OUT トレースの間の避けられない交差**

これは、電源トレースのオーバーラップ領域を減らすために、垂直交差方式で配線されます。

# 参考資料

www.infineon.com では、適切なデバイスを選択し、デバイスを設計に迅速かつ効果的に統合するのに役立つ豊富なデータを利用できます。

[1] データシート

- CYW20819
- CYW20820

[2] Application Note

- アンテナ設計および RF レイアウトのガイドライン

# 改訂履歴

| 版数 | 発行日 | 変更内容 |
|---|---|---|
| ** | 2024-11-06 | 本版は英語版 002-25948 Rev.*C について、インフィニオン DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。 |

**Trademarks**
All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2024-11-06**
**Published by**
**Infineon Technologies AG**
**81726 Munich, Germany**

**© 2024 Infineon Technologies AG. All Rights Reserved.**

**Do you have a question about this document?**

**Email:** erratum@infineon.com

**Document reference**
**002-40810 Rev. ****

**重要事項**
本手引書に記載された本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用の前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

**警告事項**
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。
インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。