# EZ-USB™ HX3PD ハードウェアデザインガイドラインおよびチェックリスト

## 本書について

### 適用範囲と目的

このアプリケーションノートでは、 Power Delivery 機能を備えた高性能 USB 3.1 Gen 2 (10Gbps) Type-C ハブである EZ-USB® HX3PD のハードウェア設計と PCB レイアウトのガイドラインを説明します。これらのガイドラインは、信号品質と USB 3.1 Gen 2 仕様に完全に準拠した電気的特性に関して最高性能を保証する手助けをしています。本資料の最後に、HX3PD で設計する際に考慮すべき重要なポイントを全てまとめた回路図とレイアウトのレビュー チェックリストを提供します。

### 関連製品ファミリ

CYUSB4347、CYUSB4357

# 目次

**本書について ..... 1**
**目次 ..... 2**
**1 はじめに ..... 3**
**2 回路設計の要件 ..... 5**
2.1 電源システム ..... 5
2.2 電力レギュレータ ..... 8
2.2.1 5 V DC/DC コンバータ ..... 8
2.2.2 3.3 V および 1.2 V レギュレータ ..... 9
2.3 電力シーケンシング ..... 10
2.4 リセット回路 ..... 11
2.5 US および DS1 ポート用の PD レギュレータ ..... 12
2.5.1 放電回路 ..... 12
2.6 過電流保護 ..... 13
2.6.1 非 PD ポート (DS2 から DS7) での OCP 実装 ..... 13
2.6.2 PD ポート (US および DS1) における OCP の実装 ..... 14
2.7 VCONN 実装と OCP ..... 16
2.8 US および DS1 ポートの VBUS モニタ ..... 17
2.9 水晶振動子の要件 ..... 17
2.9.1 水晶振動子電力損失 ..... 18
2.9.2 負荷容量値の計算 ..... 18
2.10 その他の設定オプション ..... 18
2.11 USB 高精度抵抗器 ..... 19
2.12 通信インターフェース ..... 19
2.13 VBUS 容量, フィルタリング, およびシールド終端 ..... 21
**3 レイアウト設計の考慮事項 ..... 23**
3.1 電力システム設計 ..... 23
3.1.1 バルク コンデンサとデカップリング コンデンサの配置 ..... 23
3.1.2 パワードメイン配線 ..... 23
3.1.3 電源層とグランド層の配置 ..... 24
3.2 USB データ ラインの配線 ..... 25
3.2.1 制御された差動インピーダンス ..... 25
3.2.2 標準的な 46.4 mil、6 層 PCB 例 ..... 25
3.2.3 インピーダンス整合 ..... 25
3.2.4 配線長 ..... 27
3.2.5 ポートの分離 ..... 29
3.2.6 信号ビアの配線 ..... 29
3.2.7 その他の推奨事項 ..... 30
**4 回路図とレイアウトレビューのチェックリスト ..... 34**
**5 まとめ ..... 36**
**6 略語 ..... 37**
**7 付録 A. PCB レイアウトのヒント ..... 38**
**8 付録 B. USB トレースの差動インピーダンス ..... 39**
**改訂履歴 ..... 41**
**免責事項 ..... 42**

# 1 はじめに

EZ-USB™ HX3PD は、Power Derivery (PD) 機能を備えた 7 ポート USB 3.1 Gen 2 (10Gbps) Type-C ハブであり、スタンドアロン PD ハブ, ノートブック PC ドック, モニタードック, およびドングルといったアプリケーションなどに推奨されます。この製品は、USB 3.1 Gen 2 (10 Gbps) ハブ、2 ポート PD コントローラ、およびドックマネジメントコントローラ (DMC) を統合したワンチップソリューションです。HX3PD は、1 つのアップストリーム (US) Type-C PD ポートを複数のダウンストリーム (DS) ポートに拡張します。SuperSpeed (SS) USB 10 Gbps, SuperSpeed USB, Hi-Speed (HS), Full Speed (FS), および Low-Speed (LS) の各機能をサポートしています。さらに、US と 1 つの DS ポートに対して完全な Type-C および USB PD ポートコントローラーソリューションを提供します。HX3PD は、SPI インターフェース, シリアル通信ブロック, および GPIO で構成されています。

Figure 1 に、HX3PD リファレンス設計のブロック図を示します。HX3PD の重要な機能は次のとおりです。

- **アップストリーム**: Type-C, PD, および SuperSpeed USB 10Gbps ポート
- **ダウンストリーム**:
  - DS1: Type-C, PD, および SuperSpeed USB 10Gbps ポート
  - DS2 および DS3: Type-C, 非 PD, SuperSpeed USB 10 Gbps ポート
  - DS4 および DS5: Type-A SuperSpeed USB 10 Gbps ポート
  - DS6 および DS7: Type-A USB 2.0 ポート
- **ハブコントローラ**: HX3PD は、SuperSpeed USB 10 Gbps ハブコントローラと USB 2.0 ハブコントローラの 2 つのハブコントローラで構成されています。前者は、全二重データ伝送やリンクパワーマネジメント (U0, U1, U2, および U3 状態) などの SuperSpeed USB 10 Gbps ハブ機能をサポートします。USB 2.0 ハブコントローラは、マルチトランザクショントランスレータ (TT) や USB 2.0 リンクパワーマネジメント (L0, L1, L2, および L3 状態) などの LS, FS, および HS 機能をサポートします。
- **PD コントローラ**: HX3PD には、2 つの PD ポートを制御するための 2 ポート PD コントローラがあります。2 つの PD ポートは、US ポートと DS ポート、または 2 つの DS ポートにすることができます。PD コントローラは、Type-C PD ポートの役割を識別するために必要な終端抵抗を統合しています。インフィニオン リファレンス デザインでは、US ポートと DS1 ポートで PD をサポートしています。他のポートの PD サポートを設定するには、ハードウェアを変更し、カスタマイズされたファームウェアを使用する必要があります。詳細は、インフィニオン テクニカル サポートにお問い合わせください。
- **ドックマネジメントコントローラ**: ドックマネジメントコントローラ (DMC) には USB ビルボードコントローラが含まれており、HX3PD に接続されたプログラム可能な周辺機器への USB 経由の署名付き/署名なしファームウェアのダウンロードを管理します。
- **充電規格のサポート**: USB Power Delivery 3.0 (PD 3.0) は、US および DS1 ポートでサポートされています。Battery Charging v1.2 (BC v1.2) および Apple Charging 規格は、DS1 から DS7 のポートでサポートされています。デフォルトでは、Apple Charging は DS1 ポートで無効になっています。DS1 で BC v.12 と Apple Charging をサポートするファームウェアは、インフィニオン テクニカル サポートにお問い合わせください。
- **Ghost Charge™**: US ポートにホストが接続されていない場合でも、DS ポートに接続されたデバイスの充電を可能にします。

## 1 はじめに

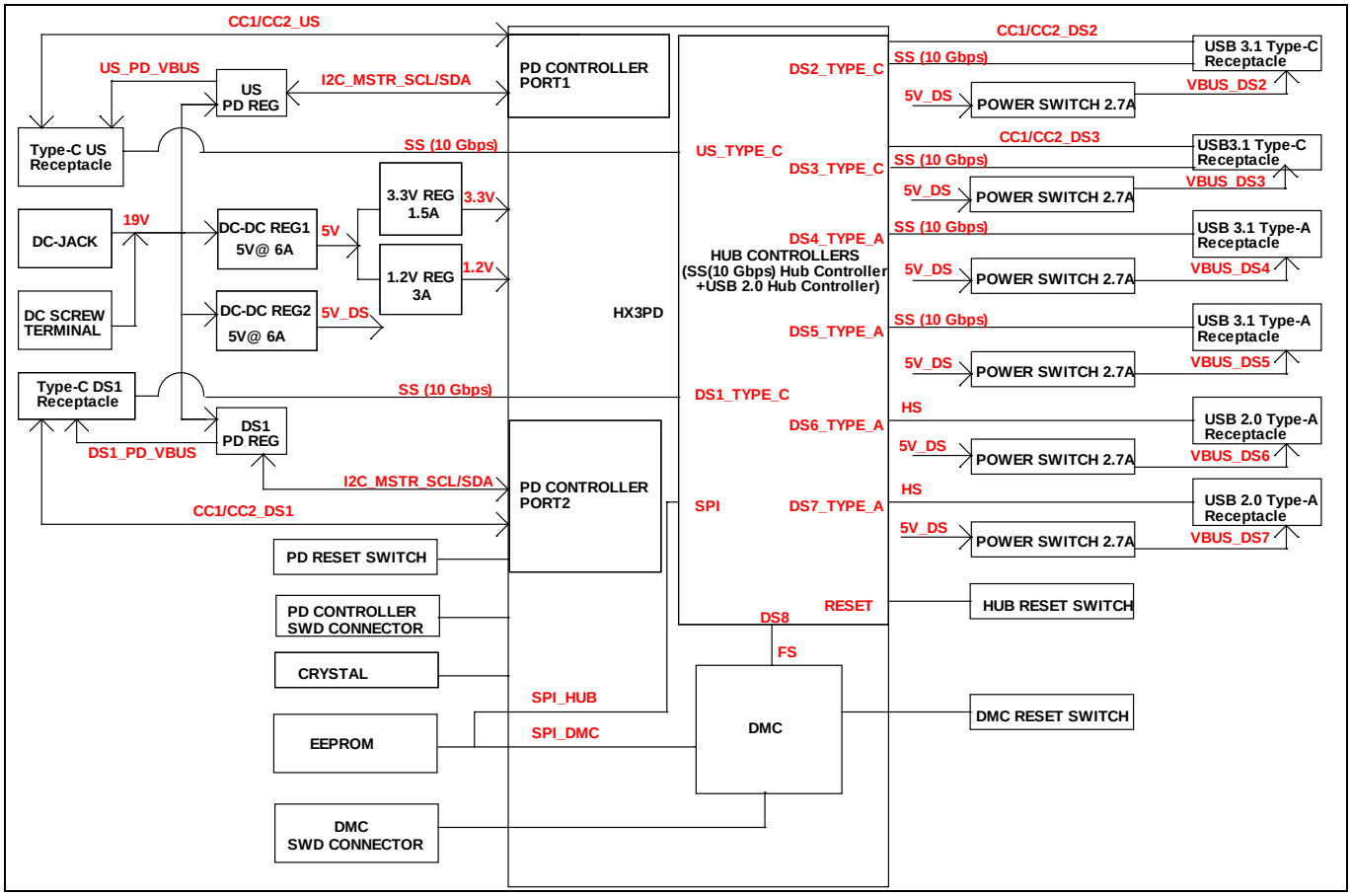


**Figure 1 EZ-USB HX3PD リファレンスデザインブロック図**

HX3PD は、192-BGA パッケージの 2 つの部品番号 CYUSB4347 と CYUSB4357 を提供します。CYUSB4357 は署名付きのファームウェアアップグレードをサポートしていますが、CYUSB4347 はサポートしていません。CYUSB4357 の DMC は、ドックシステム内の個々のコントローラに対するファームウェアアップデートを認定するために、RSA-2048/SHA-256 署名を使用しています。両部品は同じハードウェアブロックと電源ドメインを持っているため、このドキュメントで提供されるハードウェア設計のガイドラインとチェックリストは、両方に適用されます。製品のオプションについての詳細は、EZ-USB™ HX3PD のデータシートを参照するか、最寄りの販売代理店にお問い合わせください。

# 2 回路設計の要件

ここでは、HX3PD ベースのシステムの回路図設計要件と考慮事項について説明します。EZ-USB HX3PD USB 3.1 Gen 2 ハブの Web ページで、推奨事項のベースとして使用されているリファレンスデザインを参照してください。

## 2.1 電源システム

HX3PD は、3.3 V と 1.2 V の 2 つの電源で動作します。さらに、1.2 V 電源から 1 V 電源が内部で生成されます。このリファレンスデザインでは、2 つの DC/DC コンバータを使用して、19 V 入力から 5 V 出力を生成します。5 V 出力の 1 つは、6 つの DS ポート (DS2 から DS7 ポート) に供給されます。もう 1 つの 5 V 電源は、3.3 V と 1.2 V の電源を生成するために使用されます。また、V5P0_P0, V5P0_P1, および V5P0 ピンにも提供されます。V5P0_P0 ピンと V5P0_P1 ピンは、US ポートと DS1 ポートのそれぞれで使用され、リファレンスデザインでは Type-C PD ポートとして設計されています。V5P0 ピンは、リファレンスデザインで Type-C 専用ポートとして設計された DS2 および DS3 ポートで使用されます。US と DS1 をタイプ A ポートとして設計する場合、V5P0_P0/P1 ピンに 5 V 電源を供給する必要はありません。ただし、DS2 ポートと DS3 ポートがタイプ A ポートとして設計される場合でも、V5P0 ピンには 5 V を供給する必要があります。

HX3PD リファレンスデザインでは、US ポートと DS1 ポートは PD ポートであり、最大 3 A で 5 V, 9 V, 15 V, 20 V の電力供給オブジェクト (PDO) をサポートするように設計されています。スイッチング レギュレータは、19 V 入力からのさまざまな出力電圧を構成するために使用されます。DS2 から DS7 へのポートは非 PD ポートで、5 V で動作します。Figure 2 に、HX3PD リファレンスデザインの電源システム設計を示します。

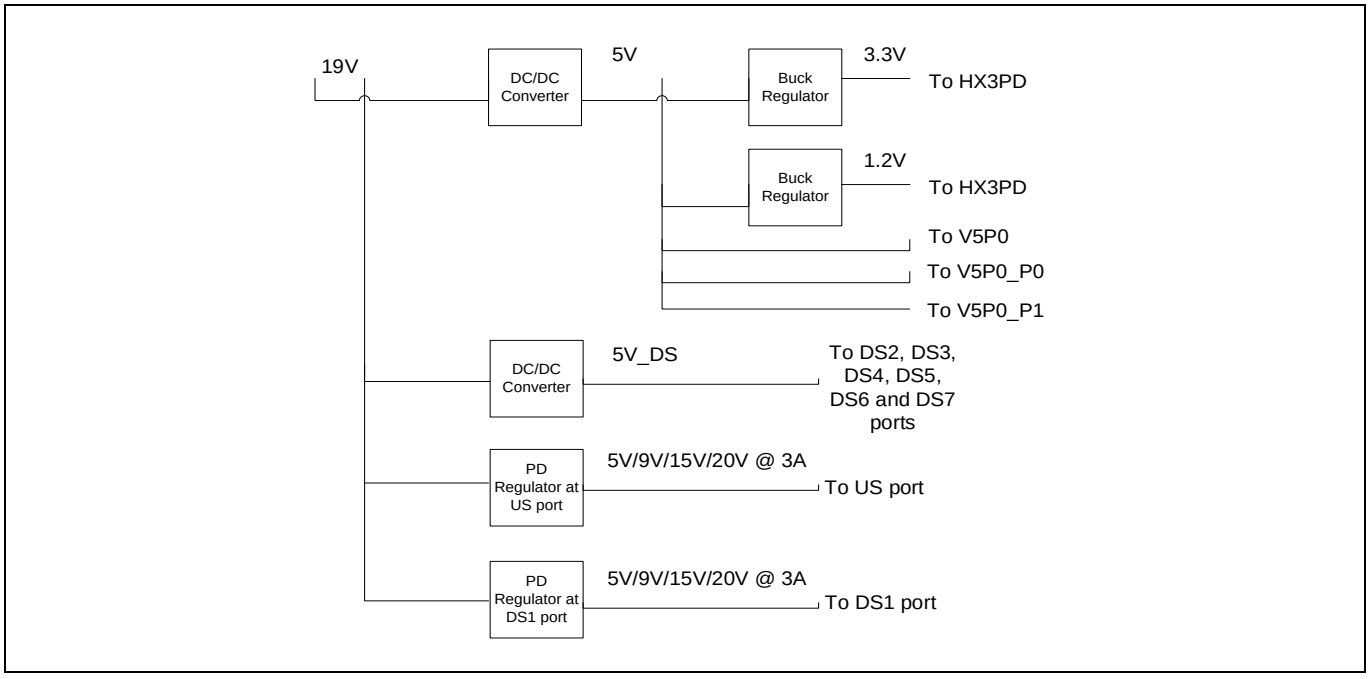


**Figure 2 HX3PD 電力システム設計**

Table 1 に、HX3PD のさまざまな電源ドメインを示します。

**Table 1　HX3PD パワードメイン**

| パワードメイン | 説明 | Min. | Typ. | Max. |
|---|---|---|---|---|
| V1P2 | 1.2 V ハブ電源 | 1.14 V | 1.2 V | 1.26 V |
| VDD10 (AVDD10/DVDD10) | 1.0 V コア電源 | 0.95 V | 1.0 V | 1.05 V |
| V1P0_Px | ポート x 用 1.0 V 入力 | 0.95 V | 1.0 V | 1.05 V |
| V1P0_PHY | USB 3.1 PHY 用 1.0 V | 0.95 V | 1.0 V | 1.05 V |
| V1P0_MEM_A | 内部メモリ A 用の 1.0 V レギュレータ出力 | – | 1.0 V | – |
| V1P0_MEM_B | 内部メモリ B 用の 1.0 V レギュレータ出力 | – | 1.0 V | – |
| V3P3 | USB 2.0 PHY 用の 3.3 V 電源 | 3.0 V | 3.3 V | 3.6 V |
| V3P3_REG | 内部 LDO への 3.3 V 入力 | 3.0 V | 3.3 V | 3.6 V |
| VDDIO | 3.3 V I/O 電源 | 3.0 V | 3.3 V | 3.6 V |
| VDDIO_DMC | DMC 用の 3.3 V 電源 | 3.0 V | 3.3 V | 3.6 V |
| VDDIO_PD | PD コントローラ用の 3.3 V 電源 | 3.0 V | 3.3 V | 3.6 V |
| V5P0 | 5.0 V 入力電源 | 4.5 V | 5.0 V | 5.5 V |
| VCCD_DMC | 1.8 V レギュレータ出力 (DMC) | – | 1.8V | – |
| VCCD_PD | 1.8 V レギュレータ出力 (PD コントローラ) | – | 1.8 V | – |

Figure 3 に、推奨する電源デカップリング構成を示します。

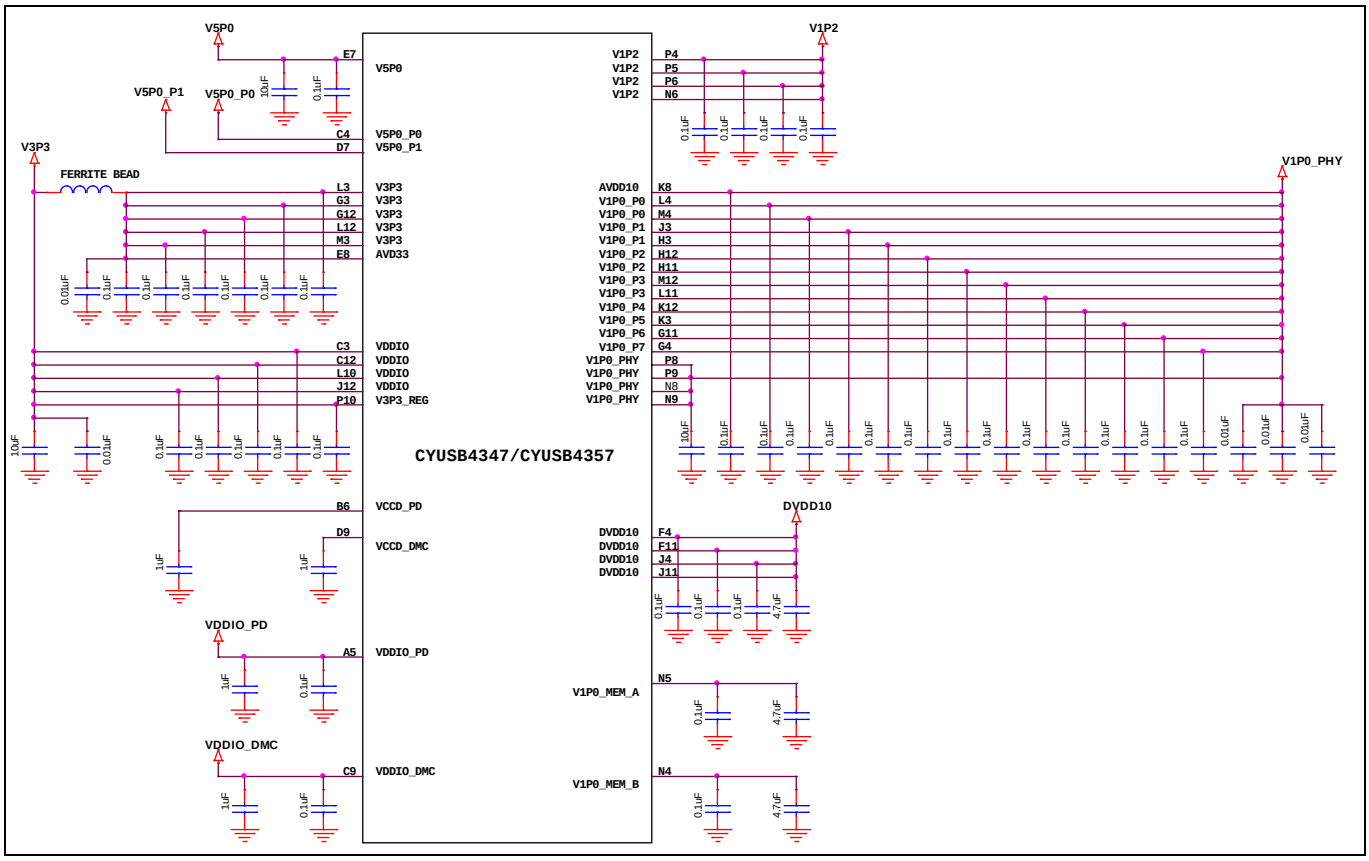


**Figure 3　推奨電源デカップリング構成**

Table 2 に、デカップリング コンデンサとともに電源ピンのグループに接続する必要があるバルク コンデンサのリストを示します。

**Table 2　デカップリングとバルクコンデンサの要件**

| パワードメイン (ピン番号) | 説明 | バルクコンデンサ | デカップリングコンデンサ | 備考 |
|---|---|---|---|---|
| V1P2 (P4, P5, P6, N6) | ハブ用の 1.2 V 入力電源 | – | 0.1 µF (デカップリング コンデンサ 4 個使用) | ピンごとに 1 つのデカップリング コンデンサが必要です。 |
| V1P0_Px (L4, M4, J3, H3, H12, H11, M12, L11, K12, K3, G11, G4) | ポート x の USB 3.1/USB 2.0 PHY 用 1.0 V 入力。 | – | 0.1 µF (デカップリング コンデンサ 12 個使用)、0.01 µF (デカップリング コンデンサ 3 個使用) | ピンごとに 1 つのデカップリング コンデンサが必要です。このドメインは V1P0_PHY に接続する必要があります。0.01 µF のコンデンサは、V1P0_PHY からの高周波ノイズをフィルタリングするのに役立ちます。 |
| V1P0_PHY (P8, P9, N8, N9) | USB 3.1 PHY 用 1.0 V レギュレータ出力 | 10 µF | – | これはレギュレータ出力ピンで、10 µF のバルクコンデンサが必要です。L11 ピンと M12 ピン (V1P0_P3) に接続された 0.1 µF のコンデンサは V1P0_PHY に近いため、デカップリングコンデンサは不要です。これは、このドメインの高周波ノイズをフィルタリングするのに役立ちます。 |
| AVDD10(K8) | アナログ回路用の 1.0 V 入力 | – | 0.1 µF | ピンごとに 1 つのデカップリングコンデンサが必要です。このドメインは V1P0_PHY に接続する必要があります。 |
| DVDD10 (F4, F11, J4, J11) | デジタルロジック用の 1.0V レギュレータ出力 | 4.7 µF | 0.1 µF (デカップリングコンデンサ 3 個使用) | 4.7 µF のコンデンサは、このドメインの電源プレーンのすぐ近くに配置します。 0.1 µF のデカップリングコンデンサを 3 つのピンのいずれかの近くに配置します。 |
| V1P0_MEM_A(N5) | メモリバンク A 用 1.0 V レギュレータ出力 | 4.7 µF | 0.1 µF | バルクコンデンサとデカップリングコンデンサは、どちらもピンのすぐ近くに配置する必要があります。 |
| V1P0_MEM_B (N4) | メモリバンク B 用 1.0 V レギュレータ出力 | 4.7 µF | 0.1 µF | 両方のコンデンサをピンの近くに配置する必要があります。 |
| VDDIO_DMC (C9) | DMC への 3.3 V 入力 | 1 µF | 0.1 µF | 両方のコンデンサをピンの近くに配置する必要があります。 |
| VDDIO_PD(A5) | PD コントローラへの 3.3 V 入力 | 1 µF | 0.1 µF | 両方のコンデンサをピンの近くに配置する必要があります。 |

| パワードメイン (ピン番号) | 説明 | バルクコンデンサ | デカップリングコンデンサ | 備考 |
|---|---|---|---|---|
| VCCD_DMC (D9) | 1.8 V レギュレータ出力 (DMC) | 1 µF | – | これは内部レギュレータ出力ピンで、1 µF のバルクコンデンサが必要です。ピンの近くに置きます。 |
| VCCD_PD (B6) | 1.8 V レギュレータ出力 (PD コントローラ) | 1 µF | – | これは内部レギュレータ出力ピンで、1 µF のバルクコンデンサが必要です。ピンの近くに置きます。 |
| VDDIO (C3, C12, L10, J12) | ハブへの 3.3 V 入力 I/O 電源 | 10 µF | 0.1 µF (デカップリングキャパシタ 5 個使用)、0.01 µF | ピンごとに 1 つのデカップリングキャパシタが必要です。10 µF のバルクコンデンサは、これらのピンに電流を供給するためのものです。これは、V3P3_REG からの高周波ノイズをフィルタリングするのに役立ちます。 |
| V3P3_REG(P10) | 内部 LDO 用 3.3 V 入力 | | | |
| AVDD33 (E8) | ハブのアナログ回路用 3.3 V 入力電源 | | 0.1 µF (デカップリングコンデンサ 6 個使用)、0.01 µF | ピンごとに 1 つのデカップリングコンデンサが必要です。10µF のバルクコンデンサは、これらのピンに電流を供給するためのものです。USB 2.0_PHY からの高周波ノイズをフィルタリングするのに役立ちます。 |
| V3P3 (l3, G3, G12, L12, M3) | USB 2.0 用の 3.3 V 入力電源 | | | |
| V5P0 (E7) | Type-C ポート用の 5.0 V 入力電源 | 10 µF | 0.1 µF | 両方のコンデンサは、ピンのすぐ近くに配置する必要があります。 |
| V5P0_P0 (C4) | Type-C ポート用 5.0 V 入力電源 | – | – | デカップリングキャパシタは不要です |
| V5P0_P1 (D7) | Type-C ポート用 5.0 V 入力電源 | – | – | デカップリングキャパシタは不要です |

*Note: Figure 3 に示すように、VDDIO (GPIO の場合は 3.3 V) を AVDD33 (アナログ セクションの場合は 3.3 V 電源) および V3P3 (USB 2.0 PHY の場合は 3.3 V) から分離するには、フェライト ビーズが必要です。HX3PD リファレンス デザインでは、Bourns Inc. MH2029-100Y フェライト ビーズが使用されています。*

## 2.2 電力レギュレータ

### 2.2.1 5 V DC/DC コンバータ

HX3PD システムを最適に機能させるには、すべての US ポートと DS ポートの充電要件に基づいて、十分な電流容量を備えた 19 V の入力電源を使用することを推奨します。7 ポートの HX3PD ハブ設計では、2 つの 5 V DC/DC コンバータを使用して、3.3 V および 1.2 V レギュレータと 6 つの DS ポートの電力を供給します。この設計において 2 つの 5V DC/DC コンバータを使用する理由は、5 V レールの負荷を分担する

ためです。最初の DC/DC コンバータは、3.3 V および 1.2 V レギュレータに電力を供給します。2 番目の DC/DC コンバータは、6 つの DS ポートに電力を供給します。US ポートと DS1 ポートは PD ポートであり、本資料後半で説明する個別の PD レギュレータから供給されます。

特に FB (フィードバック), AGND (アナロググランド), および PGND (電源グランド) については、各メーカーのデータシートに従って、DC/DC コンバータの設計およびレイアウトガイドラインに従ってください。これは、3.3 V および 1.2 V 電源を生成するために安定した 5 V 電源を確保するために非常に重要です。Cy は HX3PD リファレンスデザインで Monolithic Power Systems, Inc. (MPS) の MP8759GD 5 V DC/DC コンバータを使用しています。Figure 4 に示すように、MPS の設計推奨事項に正確に従ってください。詳細については、MP8759GD データシートを参照してください。4 個の DS ポート設計の場合、1 個の 5 V DC/DC コンバータで 3.3 V と 1.2 V のレギュレータと 4 個の DS ポートで十分です。

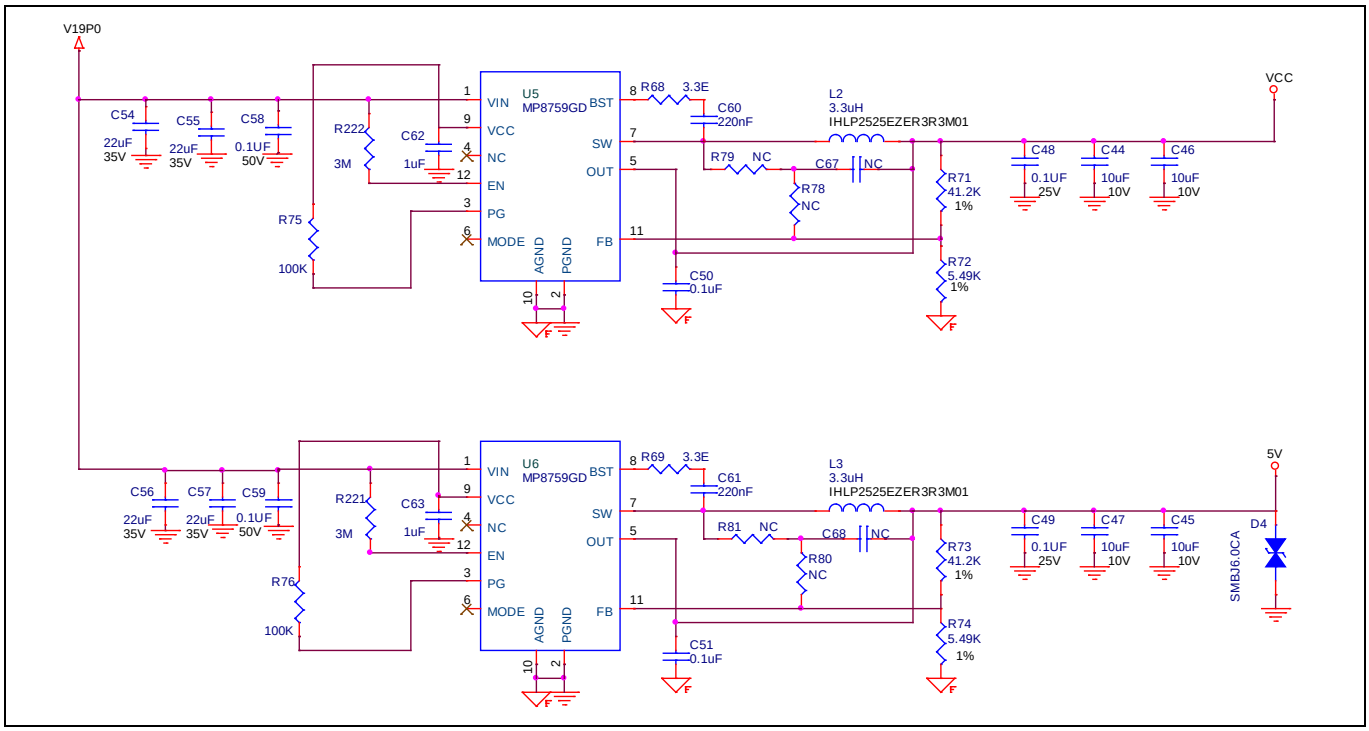


**Figure 4　　5 V DC/DC コンバータ**

## 2.2.2　　3.3 V および 1.2 V レギュレータ

HX3PD は、3.3 V および 1.2 V の電力レールにおけるリップルが 30 mV 未満である必要があります。最大 3A をサポートできる 1.2 V レギュレータと、最大 1.5 A をサポートできる 3.3 V レギュレータの使用することを推奨します。

HX3PD の安定した 3.3V および 1.2V 電源を確保するために、特に FB, AGND, および PGND に関して、各メーカーのデータシートに従ってレギュレータの設計およびレイアウト ガイドラインに従ってください。インフィニオンは、HX3PD リファレンス デザインで Monolithic Power System (MPS) の MP2162AGQH 3.3 V レギュレータと MP2130DG-LF-P 1.2 V レギュレータを使用しています。Figure 5 および Figure 6 に示すように、MPS の正確な設計推奨事項に従ってください。詳細については、対応するデータシートを参照してください。

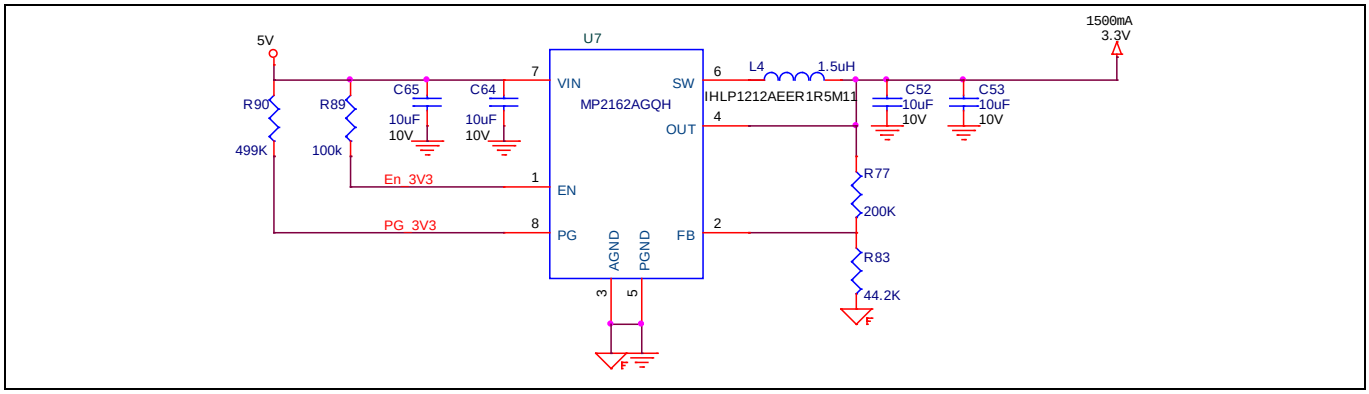


**Figure 5　3.3 V レギュレータ**

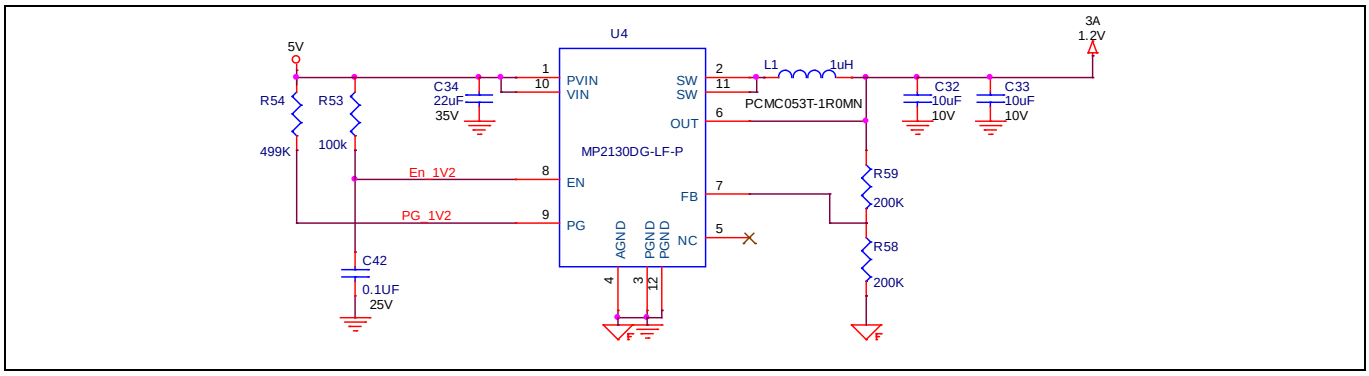


**Figure 6　1.2 V レギュレータ**

## 2.3　電力シーケンシング

HX3PD は、3.3 V と 1.2 V の 2 つの電源で動作します。Figure 7 に示すように、これらの電圧電源間の電力シーケンス要件に厳密に従う必要があります。最初に 3.3 V 電源が立ち上がり、その後に 1.2 V 電源が起動する必要があります。インフィニオンでは、外部回路による電源電圧の立ち上り時間に対応するために、3 ms から 5 ms の時間差を推奨しています。この遅延を確保するために、1.2 V レギュレータ (Figure 6) の EN (イネーブル) ピンは RC 回路 (R53 と C42) で遅延されます。MP2130 (U4) にはプルアップ抵抗が内蔵されており、R53 および C42 とともに 1.2 V レギュレータを 3 ms 遅延させることに注意してください。

リセット信号の電力シーケンスも Figure 7 に示します。これについては、リセット回路セクションで詳しく説明します。

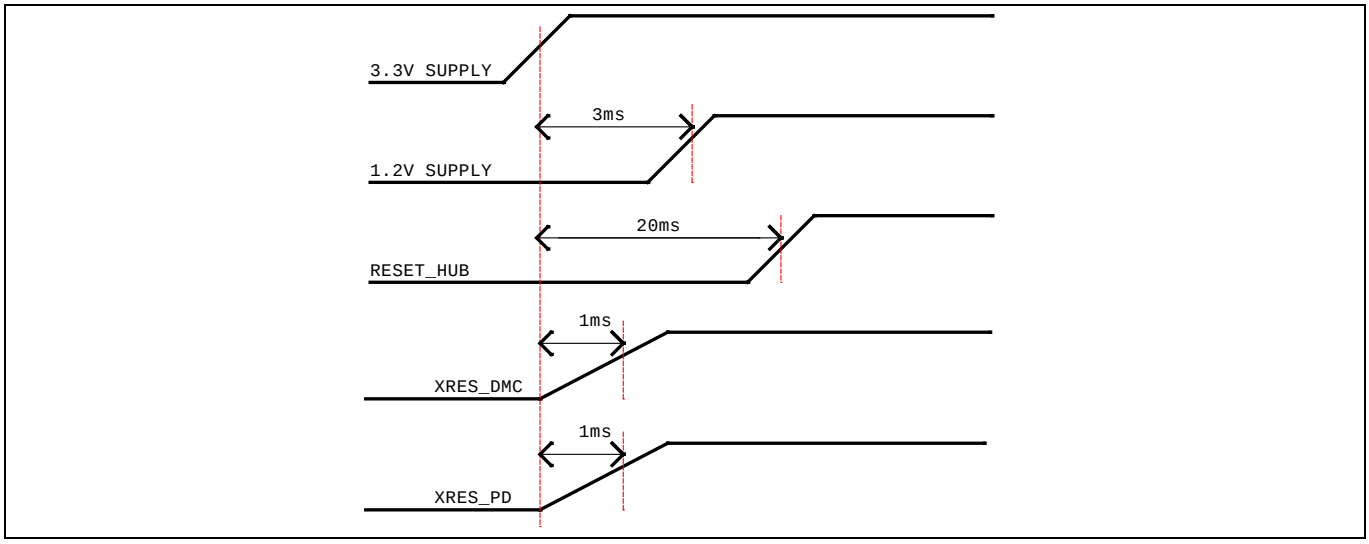


**Figure 7　HX3PD の電力およびリセットシーケンス**

## 2.4　リセット回路

ハブ コントローラ (RESET_HUB) の RESET ピンは、2 つの電源 (3.3 V と 1.2 V) が安定するまでアサートしたままにする必要があります。また、DMC (XRES_DMC) と PD コントローラ (XRES_PD) の RESET ピンは、3.3 V が安定するまで LOW に保持する必要があります。RESET ピンの時定数は、Figure 8 に示すように RC 回路を介して制御されます。

ハブのリセット回路と PD コントローラおよび DMC のリセット回路は、異なる時定数で独立して動作します。ハブのリセット回路は、3.3 V 電源が安定してから 20 ms (RC = 20 kΩ × 1µF) の遅延が発生するように設計されています。これにより、3.3 V と 1.2 V の両方の電源が安定するまで、ハブのリセットが LOW に維持されます。PD コントローラと DMC の場合、リセット回路により、3.3 V 電源が安定した後、1 ms (RC = 10 kΩ × 0.1 µF) アサートされた状態が維持されます。リセット信号のタイミング図を Figure 7 に示します。

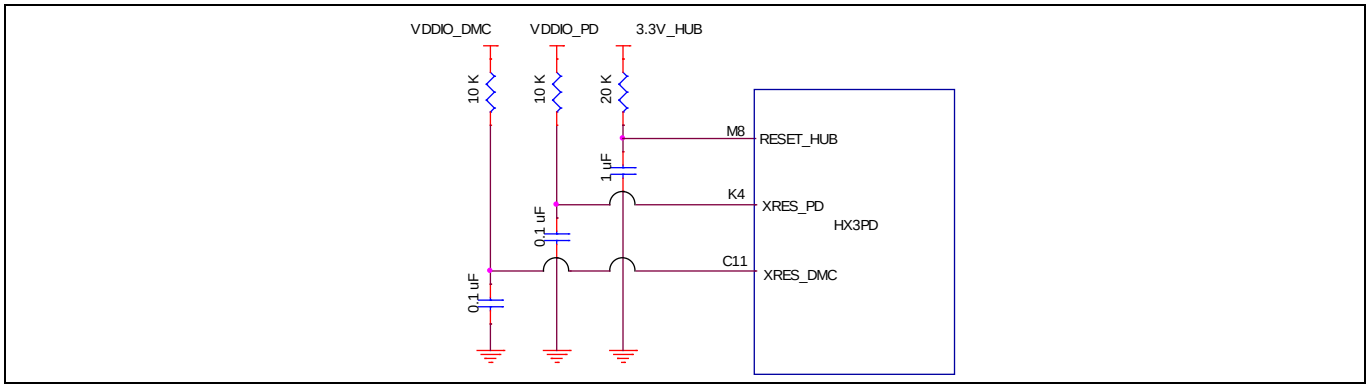


**Figure 8　HX3PD のリセット回路**

*Note:　RESET ピンで使用される RC 値により、デバイスがリセット状態から解除される前に電源が立ち上がり、安定するのに十分な時間が確保されます。電源の立ち上りが遅いシステムでは、タイミング仕様を満たすために静電容量の値を大きくすることが推奨されます。*

## 2.5 US および DS1 ポート用の PD レギュレータ

HX3PD の US ポートと DS1 ポートは PD ポートであり、5 V を超える電圧で電力契約を確立できます。インフィニオンのリファレンスデザインでは、PD ポートは、最大 3A で 5V, 9V, 15V, 20V といったさまざまな Power Delivery Object (PDO)をサポートできます。したがって、これら 2 つの PD ポートに対して単一の入力電圧からさまざまな出力電圧を設定するために、スイッチングレギュレータが必要となります。

US ポートと DS1 ポートの PD レギュレータ回路の動作を示すブロック図を Figure 9 に示します。PD コントローラは、Type-C コネクタ (US/DS1) からのコンフィグレーションチャネル (CC) ラインを監視して、電力コントラクトを行う電圧を決定します。次に、必要な PDO が I²C インターフェースを介して対応するレギュレータ回路と通信します。PD コントローラは I²C マスターとして機能し、US ポートと DS1 ポートのスイッチングレギュレータは I²C スレーブとして機能します。これはシングルマスター、2 スレーブの I²C インターフェースであるため、スイッチングレギュレータは異なるスレーブアドレスを持つ必要があります。インフィニオンのリファレンスデザインは、US ポートと DS1 ポートのスイッチングレギュレータとして、ON Semiconductor の NCP81239MNTXG (スレーブアドレス = 0x74) と NCP81239AMNTXG (スレーブアドレス = 0x75) をそれぞれ使用します。

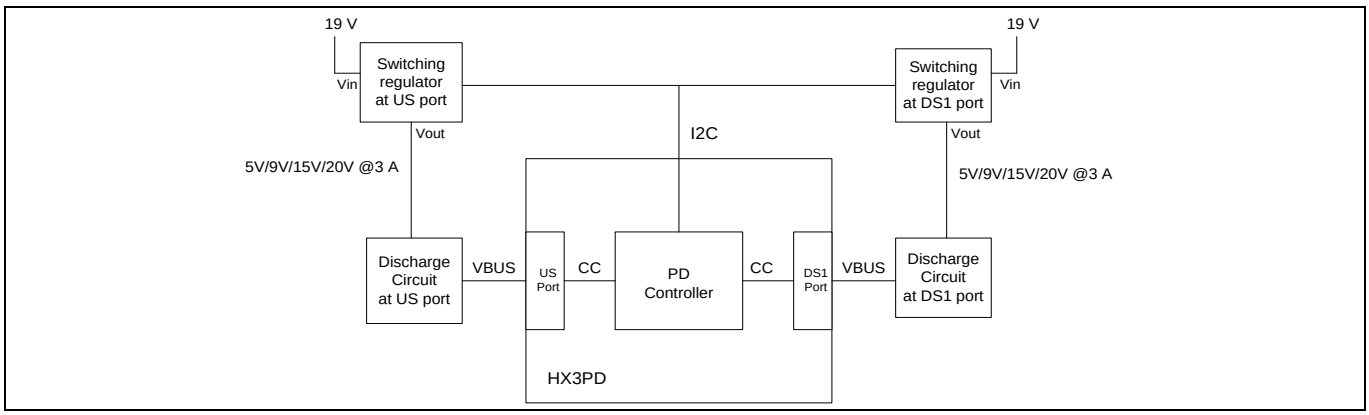


**Figure 9 US および DS1 ポート用の PD レギュレータ回路**

### 2.5.1 放電回路

既存の VBUS 値よりも低い電圧で電力契約を確立する必要がある場合、既存の VBUS は新しい VBUS 値に放電されます。Figure 10 に、US ポートの放電回路を示します。VBUS_DISCHARGE_P0 は放電スイッチを制御する GPIO です。VBUS_DISCHARGE_P0 が HIGH のとき、n-MOSFET は VBUS の放電経路を提供します。放電経路に電力抵抗 (Figure 10 の R220 と R253) を使用して、大量の電力に耐え、放散し、VBUS を非常に短時間で放電する必要があります。したがって、抵抗値は、PD レギュレータ回路の出力でコンデンサに存在できる最高電圧と放電時間に依存します。

インフィニオンのリファレンスデザインでは、放電時間は 75 ms と選択されていますが、これは USB PD の仕様要件の範囲内です。75 ms の放電時間は RC 回路から導出され、R (499 Ω) は放電経路の電力抵抗、C (150 µF) は PD レギュレータ回路の出力のコンデンサです。PD レギュレータの出力の電圧値は最大 20 V まで上昇します。したがって、最大放電電流は I = V/R = 20/499 = 0.04 A になります。

ここで、放散する必要がある最大電力は、P = I 2 * R = 0.04 2 * 499 = 0.8 W です。HX3PD リファレンスデザインでは、定格が 1 W の抵抗が選択されています。したがって、放電経路には 499 Ω、1 W の抵抗が使用されます。

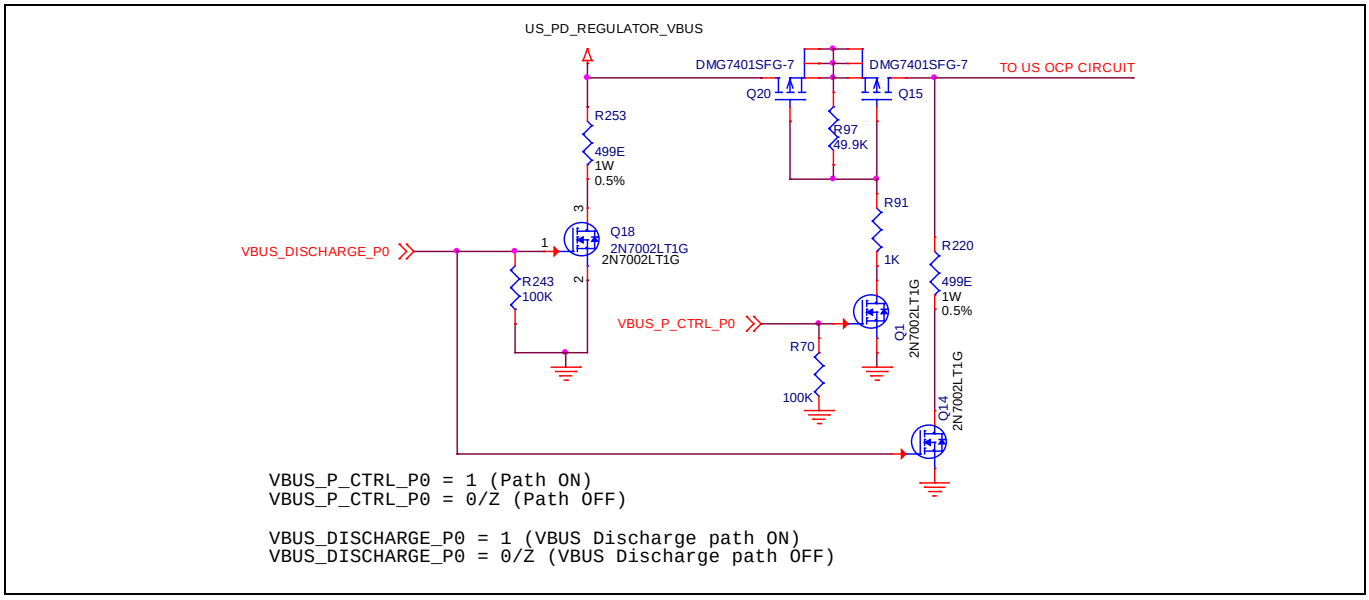


**Figure 10　US での放電回路**

VBUS_P_CTRL_P0 は、US ポートの電力スイッチを制御するために使用される GPIO です。Figure 10 では、Q1 は US ポートの電力スイッチを表します。VBUS_P_CTRL_P0 が HIGH の場合、電力スイッチがオンになり、VBUS が US ポートで使用可能になります。過電流または切断イベントが発生すると、HX3PD の PD コントローラセクションが LOW にドライブされ、US ポートへの VBUS 電源パスが遮断されます。

*Note:　同様の放電回路が DS1 ポートにも実装されています。*

## 2.6　過電流保護

USB 仕様では、HX3PD ハブのすべてのポートに過電流保護 (OCP) が必要です。ポートの過電流保護は、個別電力スイッチングモード、もしくは連動電力スイッチングモードの 2 つのモードで実装できます。個別電力スイッチングモードでは、各 DS ポート電力は独立した電力スイッチによって制御されます。ハブは、特定のポートで消費される電流がプリセットされた電流制限を超えると、その DS ポートの電源をオフにします。連動電力スイッチングモードでは、すべての DS ポートへの電力は 1 つの電力スイッチを介して制御されます。このモードでは、DS ポートで消費される合計電流がプリセット電流制限を超えると、ハブはすべての DS ポートへの電力をオフにします。これは、非 PD DS ポートの場合です。PD DS ポートの場合、OCP は電力スイッチを使用して実装されるのではなく、個別の過電流保護回路を使用して実装されます。HX3PD リファレンスデザインでは、PGANG ピンを 100 kΩ の抵抗でプルダウンし、PD 以外の DS ポートを個別の電力スイッチングモードで動作させます。

以下のセクションでは、PD ポートと非 PD ポートに関する過電流保護の実装について説明します。

### 2.6.1　非 PD ポート (DS2 から DS7) での OCP 実装

OCP は、電力スイッチを使用して非 PD ポート (DS2 から DS7) に実装されています。電力スイッチにおいて、電流制限はポート設定に基づいて設定する必要があります。例えば、DS ポートがバッテリ充電仕様 v1.2 のみをサポートするように設定されている場合、電力スイッチの電流制限は 1.5 A に設定する必要があります。ポートが 2.4 A の Apple 充電をサポートしている場合、電力スイッチは最大 2.4 A を供給できる必要があります。HX3PD では、DS ポート 2 ～ 7 は BC v1.2 と Apple 充電規格の両方をサポートします。したがって、これら両方の充電規格をサポートするために、電力スイッチには 2.7 A の電流制限が設定されています。インフィニオンのリファレンスデザインでは、Figure 11 に示すように、Analog Integrations 社の AIC6156 電力スイッチを使用しています。

PWRENx ピン (x=2~7 はそれぞれ DS2~DS7 ポートに対応) は、外部電力スイッチの制御に使用され、OVCURx は、個別の電力スイッチングモードで、外部電力スイッチからハブコントローラへの過電流指示入力です。

電力スイッチの回路図に関する考慮事項:

- 電力スイッチはオープンドレイン設定なので、過電流 (OVCURx) 出力ピン (FLG) にプルアップ抵抗を配置します。プルアップ抵抗の推奨値は、Figure 11 に示すように 10 kΩです。
- 外付け電力スイッチ (CTLA) の電力イネーブル (PWRENx) ピンに 100 kΩ のプルアップ抵抗が必要です。CTLA ピンはアクティブ LOW であるため、プルアップ抵抗が使用されます。
- PWRENx は、アクティブ HIGH またはアクティブ LOW として設定可能です。アクティブ HIGH 設定の場合は、ピンにプルダウン抵抗を配置します。'EZ-USB HX3PD Configuration Utility' を使用して、ピンをアクティブ HIGH または LOW に設定します。このユーティリティは、別のユーティリティを起動し、ハブ設定オプションを開きます。設定を編集して保存できます。

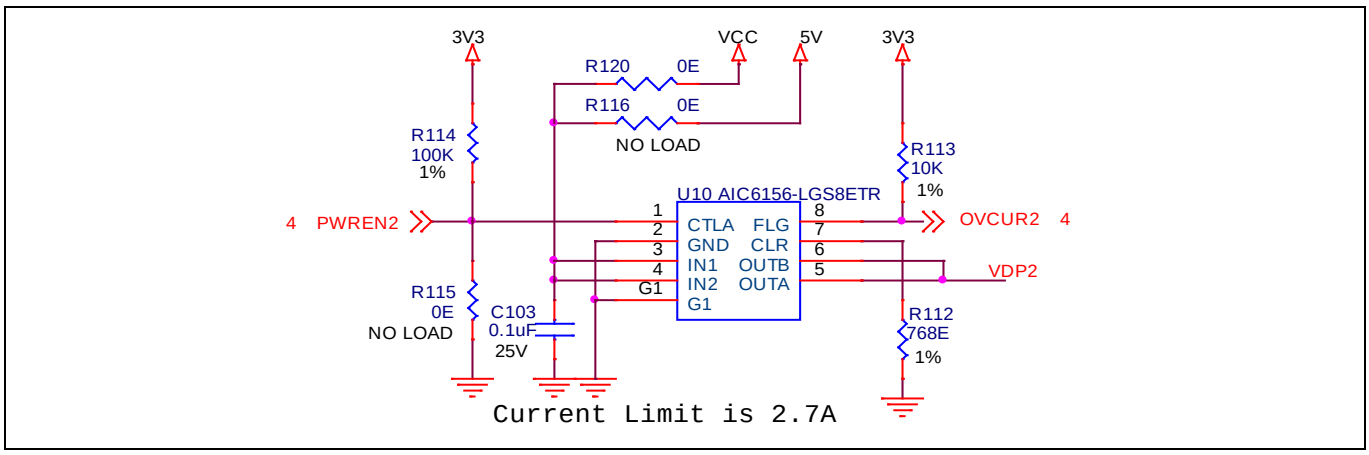


**Figure 11 HX3PD の DS2 ポートとの電源スイッチ接続**

*Note: すべての非PD ポート、つまりDS2 からDS7 ポートのOCP 実装では、上の図に示すように、同様の電力スイッチ実装が使用されます。*

## 2.6.2 PD ポート (US および DS1) における OCP の実装

HX3PD リファレンスデザインでは、US ポートと DS1 ポートは PD ポートであり、5 V を超える電圧で電力契約を確立できます。インフィニオンのリファレンスデザインは、5 V, 9 V, 15 V, 20 V の PDO をサポートし、3 A の電流能力を備えています。DS2 から DS7 ポートで使用される電力スイッチへの入力電圧は、5.5 V を超えることはできません。そのため、PD ポートには個別の過電流保護回路が必要です。インフィニオンのリファレンスデザインでは、一部の PD 対応ラップトップは最大 3.4 A の電流をシンクするため、US ポートの電流制限は 3.4 A に設定されています。設計を均一に保つために、DS1 ポートにも 3.4 A の電流制限が設定されています。

Figure 12 に、US ポートに実装された過電流保護回路を示します。VBUS 電流が事前定義された制限 (3.4 A) を超えると、OCP 回路は US ポートへの VBUS を遮断します。電流検出回路は VBUS ラインに実装されています。オペアンプコンパレータは、回路の最終段階で使用され、過電流イベントが発生するたびに HX3PD に通知します。オペアンプへの電源は 3.3 V と 0 V です。

インフィニオンのリファレンスデザインでは、Diodes Incorporated の ZXCT1110 (Figure 12 の U18) をハイサイド電流検出モニタとして使用しています。この IC には、2 つの外付け抵抗 $R_{SENSE}$ と $R_{GAIN}$ が必要です。$R_{SENSE}$ の抵抗値の選択は、特定の温度範囲に対する電力効率と精度の間で妥協することが多いため、非常に重要です。この抵抗は、電源と負荷の間の過度の電圧降下を避けるために十分に小さくする必要があります。ただし、抵抗は、過度の電流測定誤差、特にランダム誤差を回避するのに十分な大きさに

する必要があります。このリファレンス デザインでは、VBUS ラインの電流を検出するために、25 mΩ の電流検出高精度抵抗 $R_{SENSE}$ (R247) を選択しています。

負荷が短絡または過負荷の場合、VBUS 電圧の大部分がセンス端子間に現れる可能性があります。ZXCT1100 電流モニタの定格は、+0.8 V の最大検出電圧です。抵抗 R249 は、電流モニタを負荷短絡から保護し、その値はメーカーが推奨しています。この抵抗器は、コンデンサ C168 とともにローパスフィルタを構成し、VHF および UHF 領域で大幅な減衰を提供します。C168 の値は、10 pF から 47 pF の範囲にすることを推奨します。

抵抗 RGAIN(R246)は、このリファレンスデザインに示すように、コンパレータ (U16) にて処理しやすくなるようにデバイス (U18) の出力電流を電圧に変換します。U18 において、出力電流 $I_{OUT}$ は 4 mA/V の公称相互コンダクタンスにより定義され、次のように示されます。

$I_{OUT}$ =0.004 * $V_{SENSE}$ ($V_{SENSE}$ は $R_{SENSE}$ 両端の電圧)

VBUS の事前定義された電流が 3.4 A の場合、コンパレータ (U16) の反転入力端子の電圧は、次のようになります。

$V_{(-IN)} = I_{OUT} * R_{GAIN}$ = (0.004* 25 mΩ * 3.4 A) * 7.5 kΩ = 2.55 V

コンパレータの精度、充電デバイスの動作、およびその他の部品の許容誤差を考慮して、オペアンプの非反転入力端子 (U16 の+IN) のリファレンス電圧を 2.6 V に設定して、3.4 A を超える電流を検出します。VBUS 電流が設定された制限値の 3.4 A を超えると、オペアンプの反転端子の電圧は非反転端子の電圧よりも高くなります。この場合、オペアンプ出力はゼロになり、HX3PD に OCP_DET_P0 過電流保護入力が LOW になり、過電流イベントを示します。ここで、HX3PD の PD コントローラセクションでは、VBUS_P_CTRL_P0 ピンを LOW に駆動して、VBUS 電源パスをオフにします(Figure 10 を参照)。これについては、US および DS1 ポート用の PD レギュレータのセクションですでに詳しく説明しています。

同様の OCP 回路が DS1 ポートに実装されています。DS1 ポートの場合、OCP_DET_P1 ピンは、HX3PD の PD コントローラセクションに過電流イベントを示すために使用されます。この信号は OVCUR1 ピンにも接続されています。OVCUR1 ピンは、ハブコントローラセクションに過電流表示を提供します。したがって、DS1 ポートでの過電流イベントは、過電流イベントが HX3PD のハブコントローラセクションにのみ伝達される他の非 PD DS ポートとは異なり、PD コントローラセクションとハブコントローラセクションに個別に伝達されます。これで、ハブコントローラは USB インターフェースを介してホストに OCP イベントを示します。PD コントローラは、VBUS を DS1 ポートに遮断します。その後、ホストが DS1 ポートに電力を再供給する場合、ホストはハブコントローラに通知し、ハブコントローラは PD コントローラに通知します。ハブコントローラと PD コントローラ間の通信を可能にするために、PWREN1 ピン (DS1 ポートの電力イネーブルピン) を PD コントローラの GPIO VCONN_MON_P1/PD_P27 に接続します。PD コントローラは、この情報を受信すると、VBUS 電源を ON に戻します。

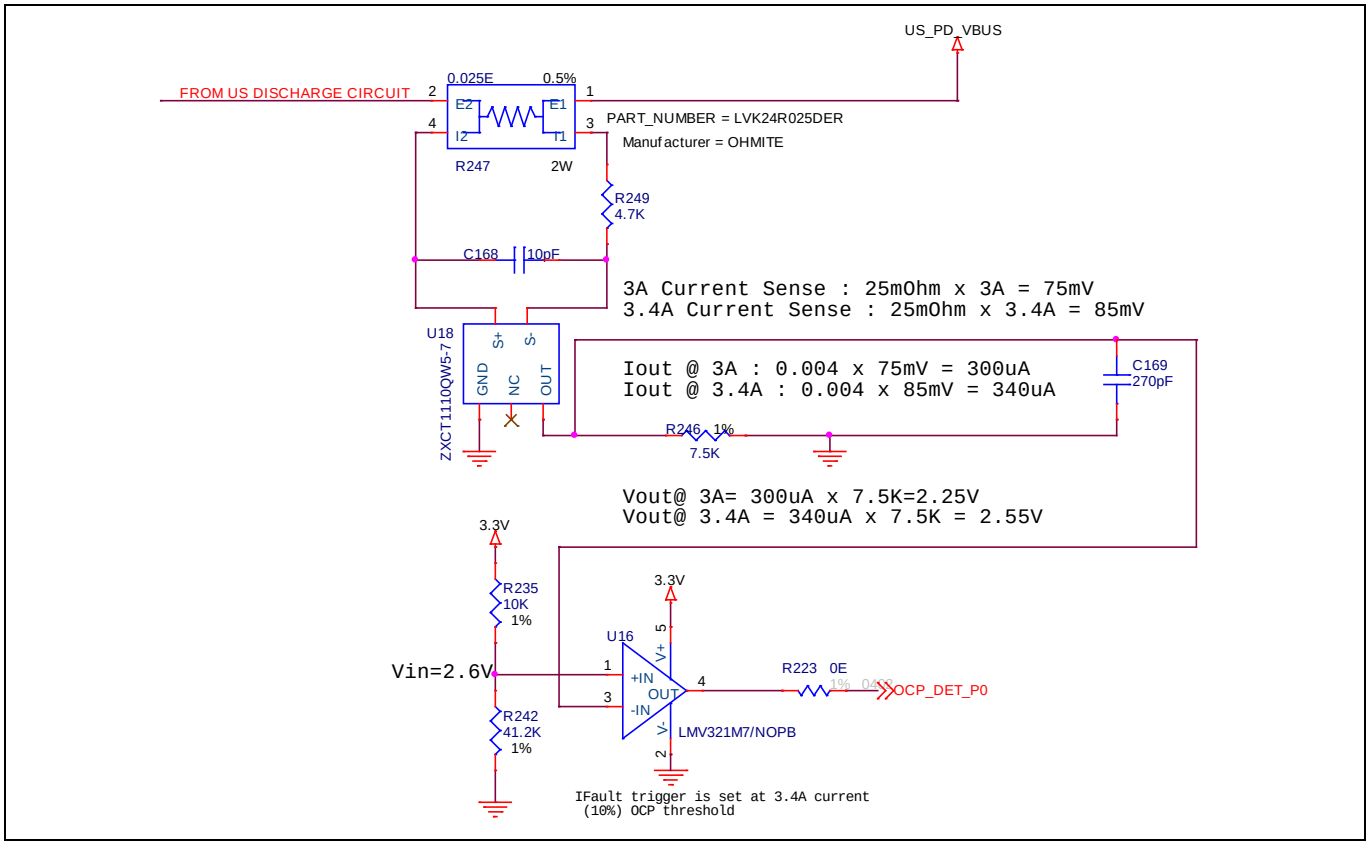


**Figure 12　US ポートで使用される過電流保護回路**

*Note:　DS1 ポートの OCP 実装は、Figure 12 に示す同様の回路を使用します。*

## 2.7　VCONN 実装と OCP

VCONN は、電子マーク付き Type-C ケーブル (EMCA) 内の集積回路に電力供給するために使用される 5 V 電源です。これらの組込み電子機器は、PD 通信プロトコルを処理するために必要です。

HX3PD の US ポートの VCONN 実装を Figure 13 に示します。このリファレンスデザインは、Diodes Incorporated の電力スイッチ AP2822AKATR-G1 を使用して、5 V@500 mA を供給します。電力スイッチの出力 (V5P0_P0) は、HX3PD の C4 ピンを介して US Type-C コネクタの CC ラインに VCONN 電源を供給します。電力スイッチのイネーブルピン (EN) はアクティブ HIGH です。

US ポートでは、EMCA が VCONN ラインに 500 mA 以上シンクすると、過電流イベントが発生します。すると、電力スイッチの VOUT が遮断されます。このため、V5P0_P0 ピンに電圧降下が発生します。このドロップを検出するために、内部コンパレータが使用されます。このピンで電圧降下を検出した後、PD コントローラ部は VCONN を EMCA ケーブルに供給している内部 FET を OFF にします。

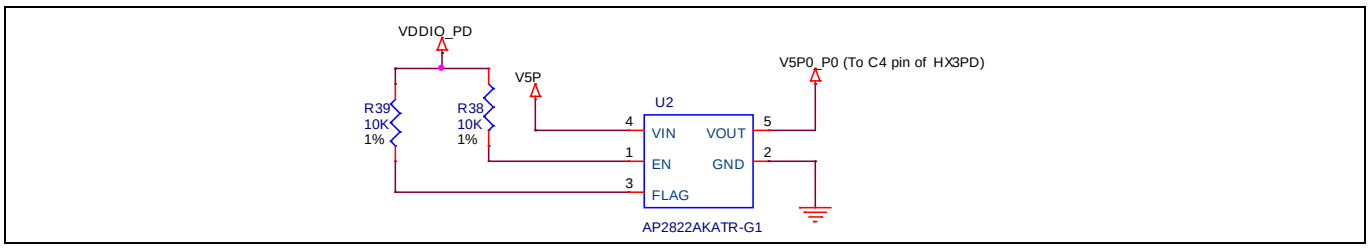


**Figure 13　US ポートで VCONN 実装と OCP に使用される電力スイッチ**

*Note: DS1 ポートの VCONN 実装と VCONN OCP 回路は、Figure 13 に示すように、US ポートのものとまったく同じです。*

他の Type-C ポート (DS2 および DS3) では、VCONN とその OCP 実装は HX3PD デバイス内に統合されているため、これらのポートで VCONN を実装するための外部電力スイッチは必要ありません。これらのポートでは、EMCA が VCONN ラインに 200 mA を超える電流をシンクすると、過電流イベントが発生します。

## 2.8 US および DS1 ポートの VBUS モニタ

HX3PD の US ポートと DS1 ポートは複数の PDO をサポートしているため、これらの PD ポートの VBUS を監視する必要があります。VBUS_MON_P0 ピンと VBUS_MON_P1 ピンは、それぞれ US ポートと DS1 ポートの VBUS を監視するために使用されます。Figure 14 に、分圧器を使用して VBUS 値を 11 倍にスケールダウンする方法を示します。VBUS の最大値が 20 V で、内部 ADC に供給できる最大入力電圧が 2 V であるため、スケールダウン係数を 11 に選択しています。分圧器には 1%の許容誤差を持つ抵抗器を使用することが必須です。また、0.1 µF のデカップリング コンデンサは、高周波ノイズを除去するためにも使用されます。

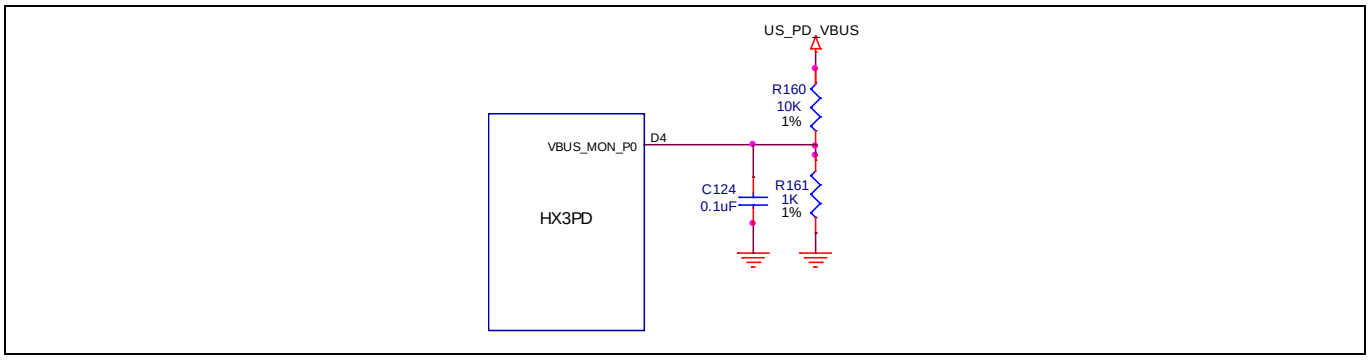


**Figure 14 US ポートの VBUS モニタ**

*Note: DS1 ポートの VBUS モニタ回路は、US ポートのものとまったく同じです。*

## 2.9 水晶振動子の要件

HX3PD には、次のパラメータを持つ外部水晶が必要です。

- 25 MHz ± 50 ppm
- 並列共振、基本波モード
- 最大 100 µW の駆動レベル

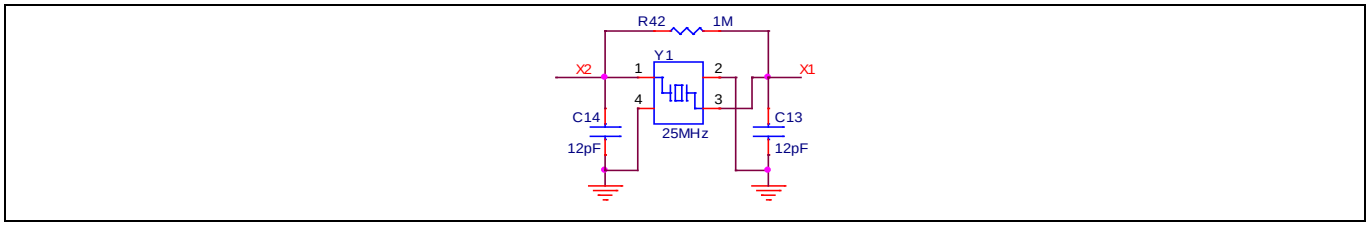


**Figure 15 水晶振動子周辺回路**

*Note: R42 はダンピング抵抗です。*

### 2.9.1 水晶振動子電力損失

水晶振動子の電力損失は、次の条件によって異なります。

- 出力ピンの電圧レベル (Figure 15 の X2)
- 動作周波数、$f$
- 水晶の等価直列抵抗 (ESR)、$R$

式 1. 水晶振動子の電力損失

$$P = I^2_{RMS} R = \left(\frac{V_{RMS}}{|Z|}\right)^2 R = \left(\frac{1}{2}\right) * \left[\pi f \left(C_{TOT}\right) V_{pp}\right]^2 R$$

ここで、

$f$は水晶振動子の周波数です。

$C_{TOT}$=$C_{L1}$ + ($C_s$/2)

$C_{L1}$はアンプ入力の外部負荷容量 (Figure 15 の C13)

$C_s$は浮遊容量

$R$は、水晶のデータシートから得られた水晶 ESR です。

$V_{pp}$は出力ピンの最大電圧 – 1.32 V

HX3PD のリファレンスデザインで使用されている水晶振動子 (Figure 15 に示すように、Abracon LLC の ABM8G-25.000MHZ-B4Y-T) のパラメータは、$f$ = 25 MHz、$R$ = 60 Ωです。

### 2.9.2 負荷容量値の計算

コンデンサ C13 および C14 (Figure 15 に示す)は、水晶の負荷容量値に基づいて慎重に選択する必要があります。

式 2. 水晶振動子の負荷容量

$$C_L = \frac{C_{13} * C_{14}}{C_{13} + C_{14}} + C_s$$

$C_s$は、PCB 上の XOUT および XIN パターンの浮遊容量です。通常、2 pF から 5 pF の範囲です。HX3PD リファレンスデザインで使用されている水晶振動子の場合、$C_L$ = 10 pF また、最悪のシナリオを考慮すると、PCB $C_s$ = 5 pF となります。式 2 より、$C_{13}$ = $C_{14}$ = 10 pF となります。HX3PD リファレンスデザインでは、$C_{13}$ = $C_{14}$ = 12 pF を使用します。

式 1 を使用すると、この水晶の電力損失は 67.7 µW になります。これは、100 µW の水晶駆動レベルよりも低い値です。水晶の電力損失が最大駆動レベルよりも高い場合、経年劣化が加速したり、結晶の焼損が発生したりします。したがって、常に水晶の電力損失よりも定格駆動レベルの高い水晶を使用してください。

## 2.10 その他の設定オプション

CHIPEN ピン (アクティブ HIGH) は 10 kΩ の抵抗を介して 3.3 V にプルアップされるため、チップは常にイネーブルされます。インフィニオンのリファレンスデザインでは、PSELF ピンは 10 kΩ の抵抗を介してプルアップされ、HX3PD を自己給電モードに維持します。HX3PD の PGANG ピンは 100 kΩの抵抗でプルダウンされ、前述したように個別電力スイッチングモードで動作します。

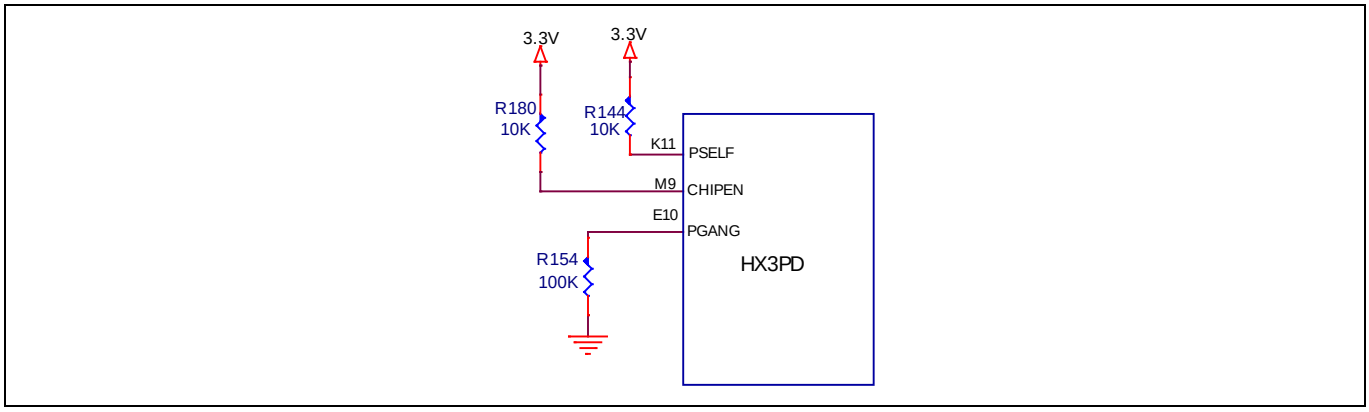


**Figure 16　CHIP ENABLE, PSELF, および PGANG**

HX3PD には、US ポートが接続されているかどうかに応じて、ハブコントローラを有効/無効にする機能もあります。US ポートの接続は、CC ラインを監視することによって検出されます。ハブコントローラのイネーブルピン (VBUS) は、10 kΩ の抵抗を介してプルダウンされます。US ポートで接続が検出されると、PD コントローラは VBUS_C_CTRL_P0 HIGH になり、ハブコントローラを有効にします。

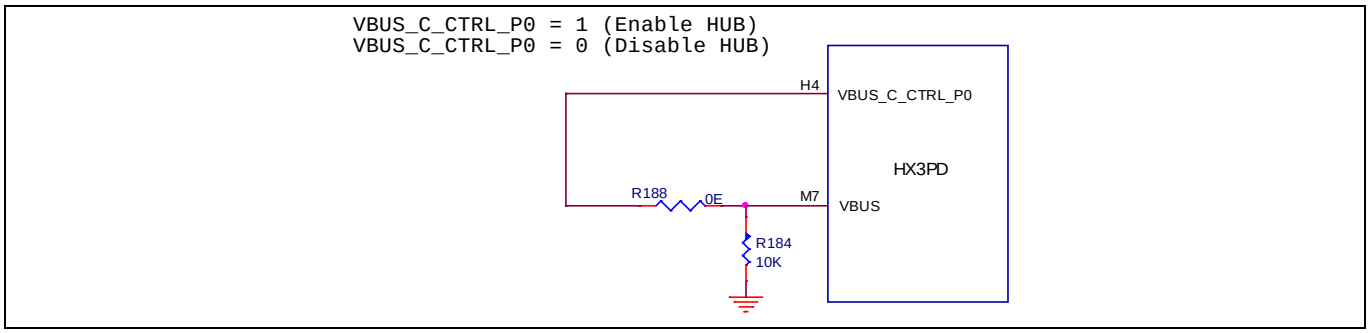


**Figure 17　ハブ有効 (Hub Enable)**

## 2.11　USB 高精度抵抗器

RTERM: このピンは、SuperSpeed PHY 終端インピーダンスキャリブレーション用の高精度抵抗 (20 kΩ±1%) を接続する必要があります (Figure 18 を参照)。抵抗は HX3PD の近くに配置し、一方の端を可能な限り短いトレース長で GND に接続する必要があります。

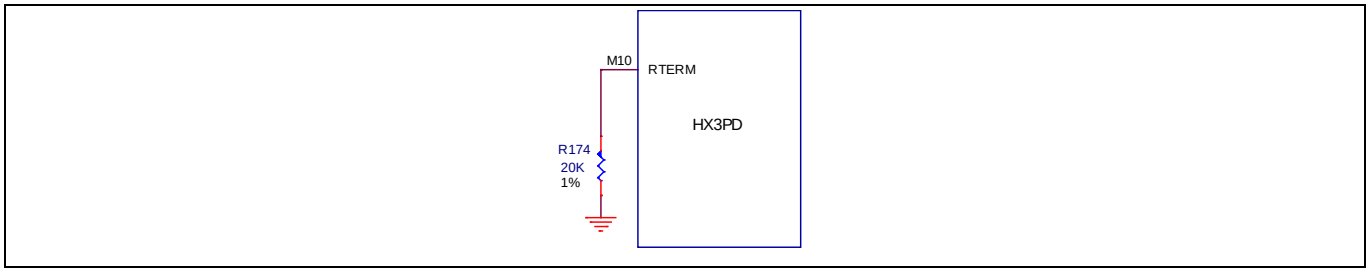


**Figure 18　USB 高精度抵抗器**

## 2.12　通信インターフェース

HX3PD は、EEPROM やエンベデッドコントローラ (EC) などの個々のブロックとの通信用に SPI および $I^2C$ インターフェースをサポートしています。ハブコントローラのファームウェアと設定イメージは外部 SPI EEPROM に保存され、PD コントローラと DMC イメージはそれぞれのデバイスのフラッシュに保存さ

れます。HX3PD には、2 つの SPI インターフェースと 4 つの I²C インターフェースがあります (Figure 19 を参照)。

- **SPI_HUB**: このインターフェースは、HX3PD のハブコントローラセクションを SPI EEPROM に接続します。起動時に、EEPROM に保存されているファームウェアは、SPI_HUB インターフェースを介して HX3PD のハブコントローラセクションからアクセスされます。SPI_HUB インターフェース信号接続を Figure 20 に詳細に示します。
- **SPI_DMC**: DMC は、SPI_DMC インターフェースを使用して SPI EEPROM にアクセスすることもできます。このインターフェースは、DMC がハブコントローラのファームウェアを EEPROM に書き込むために使用されます。DMC は、USB 2.0 インターフェースを介して PC からファームウェアを受信します。SPI_DMC インターフェース信号接続を図 20 に詳細に示します。図 20
- **I2C_1**: このインターフェースは、DMC および PD コントローラに接続します。DMC は I2C マスターとして機能し、PD コントローラーは I²C スレーブとして機能します。HX3PD の I2C_SCL1 ピンと I2C_SDA1 ピンは、このインターフェースのピンであり、それぞれに 2.2 kΩの外付けプルアップ抵抗が設けられています。
- **I2C_2**: I²C インターフェース I2C_2 は、DMC および PD コントローラに接続される – DMCI2C はスレーブであり、PDI2C はデフォルトファームウェアでは未使用である。組込みコントローラ (EC) などの外部 I²C マスターは、このインターフェースを使用して DMC および PD コントローラと通信します。
- **I2C_HUB**: I²C インターフェース I2C_HUB はハブコントローラに接続されています – ハブコントローラは I²C スレーブとして機能します。DMC は、I2C_1 を使用して外部接続することで I2C_HUB にアクセスし、ハブのステータスを読み出し、ハブ設定を書き込みます。したがって、インフィニオンのリファレンスデザインにおけるこの I²C インターフェースは、DMC はマスターとして、ハブコントローラはスレーブとして動作します。HX3PD の I2C_CLK_HUB ピンと I2C_DAT_HUB ピンは、このインターフェースに使用されます。
- **VSEL_I2C**: これは、HX3PD の PD コントローラセクションと 2 つの外部 PD レギュレータ間の I2C インターフェースです。PD 対応ポートの VBUS 電圧を選択するために使用されます。VSEL_GPIO1 ピンと VSEL_GPIO2 ピンは、それぞれ I2C_MASTER_SDA ピンと I2C_MASTER_SCL ピンとして使用されます。これらのピンを外部 NCP の I²C インターフェースに接続する必要があり、PD ポートの電圧レベルを設定します。

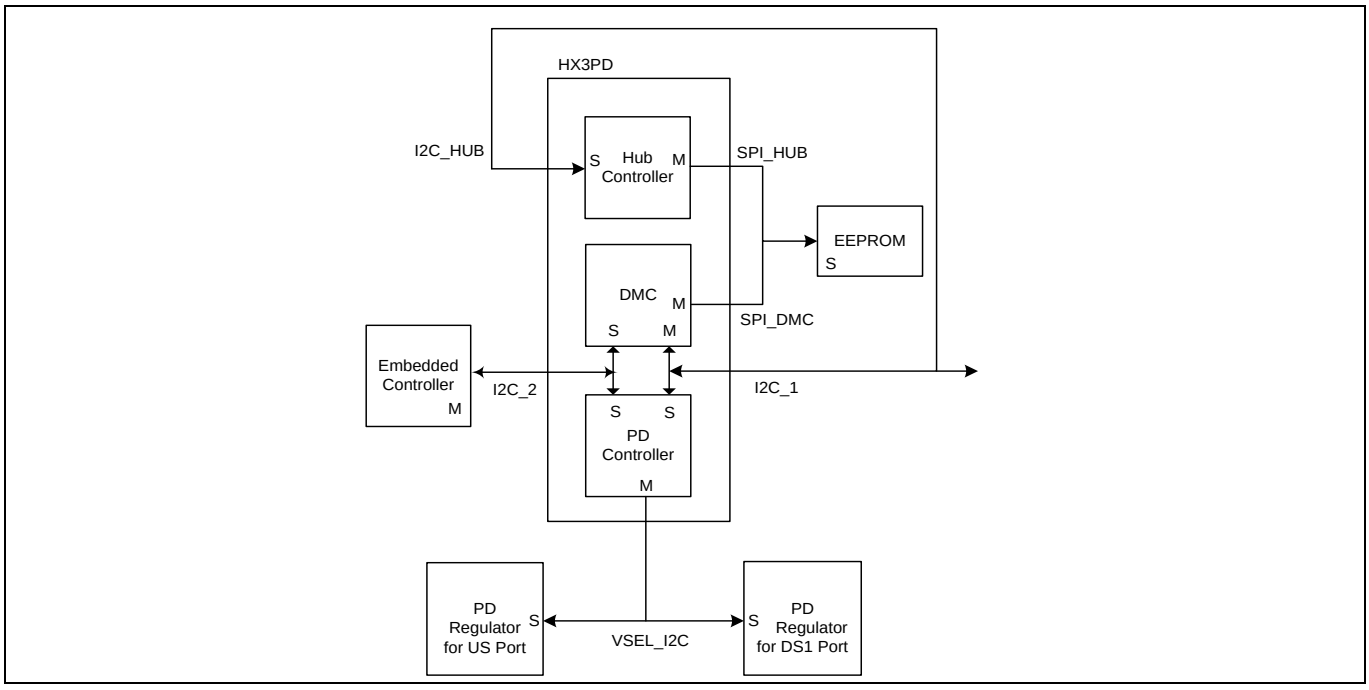


**Figure 19 SPI/I2C インターフェース**

*Note:　ブロック内の'M'と'S'は、それぞれ'マスター'と'スレーブ'を表します。*

EEPROM の接続は Figure 20 に示されています。HX3PD ファームウェアの画像サイズは最大 32 KB です。インフィニオンは EEPROM にデュアルイメージのサポートを推奨しています。したがって、推奨される EEPROM のサイズは 64 KB 以上です。ファームウェアのアップデートプロセス中に、ハブコントローラのプライマリ画像が破損した場合、HX3PD はセカンダリ画像を使用してプライマリ画像を復元し、システムが正常に機能し続けることを保証します。DMC と PD コントローラのイメージの場合、プライマリイメージが破損した場合、HX3PD はセカンダリイメージにフォールバックします。インフィニオンのリファレンスデザインは、Macronix の MX25V2035FM1I EEPROM を使用しています。インフィニオンは、以下の製品番号も推奨しています。

1. インフィニオン S25FL064
2. Winbond W25Q80JV

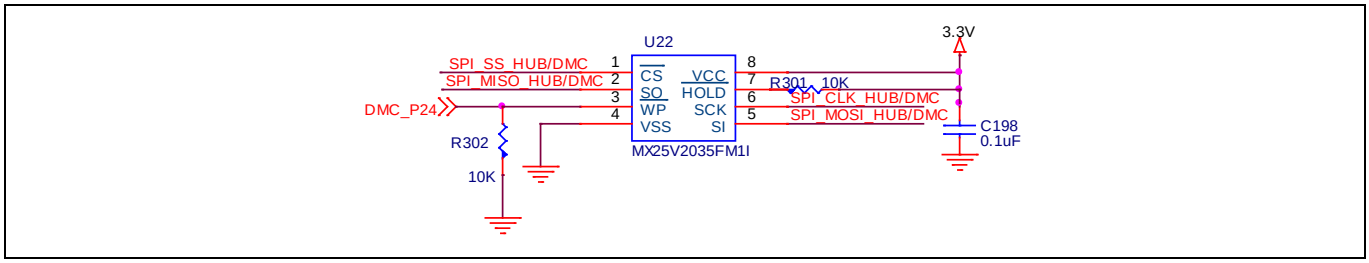


**Figure 20　EEPROM 接続**

EEPROM を設定するには、次の手順を実行します。

1. EEPROM の CS (Chip Select) ピンを HX3PD の SPI_SS_HUB/SPI_SS_DMC ピンに接続します。
2. HOLD ピンを HIGH のままにして、ホールド機能を非アクティブにします。HOLD ピン (アクティブ LOW) の機能は、デバイスの選択を解除せずにデバイスを一時停止します。
3. WP (書き込み保護) ピンはアクティブ LOW ピンで、DMC によって制御されます。一般的に、このピンは LOW に保たれ、通常動作時に EEPROM の内容を外部スプリアス信号から保護します。ファームウェアを更新する必要があるときはいつでも、DMC はこのピンを HIGH に駆動します。
4. EEPROM の SCK ピンをハブコントローラ (SPI_CLK_HUB) および DMC (SPI_CLK_DMC) セクションの SPI クロックピンに接続します。
5. EEPROM の SI ピンをハブコントローラ (SPI_MOSI_HUB) および DMC (SPI_MOSI_DMC) セクションの MOSI ラインに接続します。
6. EEPROM の SO ピンをハブコントローラ (SPI_MISO_HUB) セクションと DMC (SPI_MISO_DMC) セクションの MISO ラインに接続します。

## 2.13　VBUS 容量, フィルタリング, およびシールド終端

USB 仕様によると、最大負荷状態で安定した電圧を維持するために、すべてのダウンストリームフェーシングポート (DFP) は VBUS ピンに 120 µF の最小容量を持つ必要があります。アップストリームフェーシングポート (UFP) は、VBUS ピンに 10 µF 未満しか必要としません。インフィニオンのリファレンスデザインは、Figure 21 に示すように、DS ポートの VBUS ピンで最大 150 µF を使用します。HX3PD の US ポートはデュアルロールポートであり、DFP または UFP の役割を果たすことができます。US ポートは、ハブが US ポートに接続したデバイスを充電するときに DFP の役割を果たします。この状態では、PD レギュレータの出力の容量は、安定した VBUS 電圧を維持するために十分です。

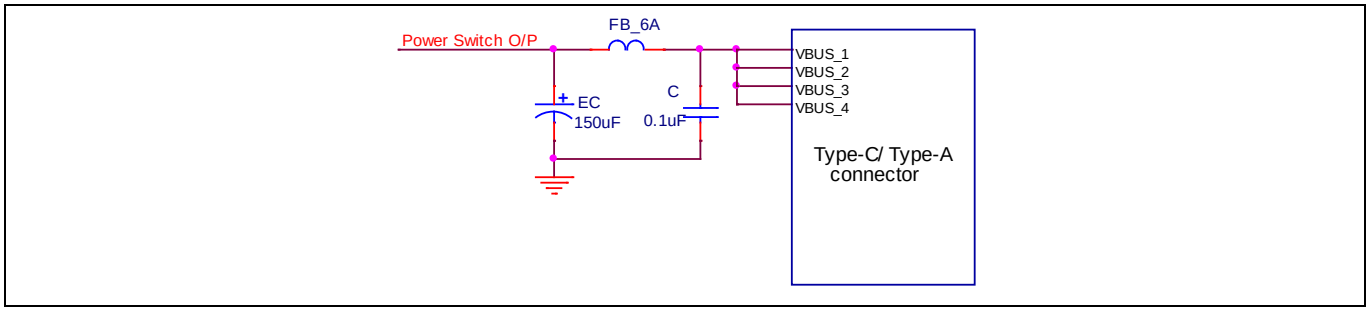


**Figure 21　DS2 から DS7 ポートの VBUS フィルタリング**

HX3PD の US ポートと DS1 ポートには、PD 機能をサポートする PD レギュレータがあります。PD レギュレータ回路はこれらのポートに安定した VBUS を供給するため、高周波ノイズをさらに除去するには、Type-C コネクタの VBUS ピンに 22 nF の静電容量があれば十分です。さらに、Figure 22 に示すように、Vishey Semiconductors の TVS ダイオード SMBJ24CA-E3/52 を使用して、高電圧トランジェントをクランプアウトします。Figure 21 に、DS2 から DS7 ポートに使用されるフィルタリング回路を示します。

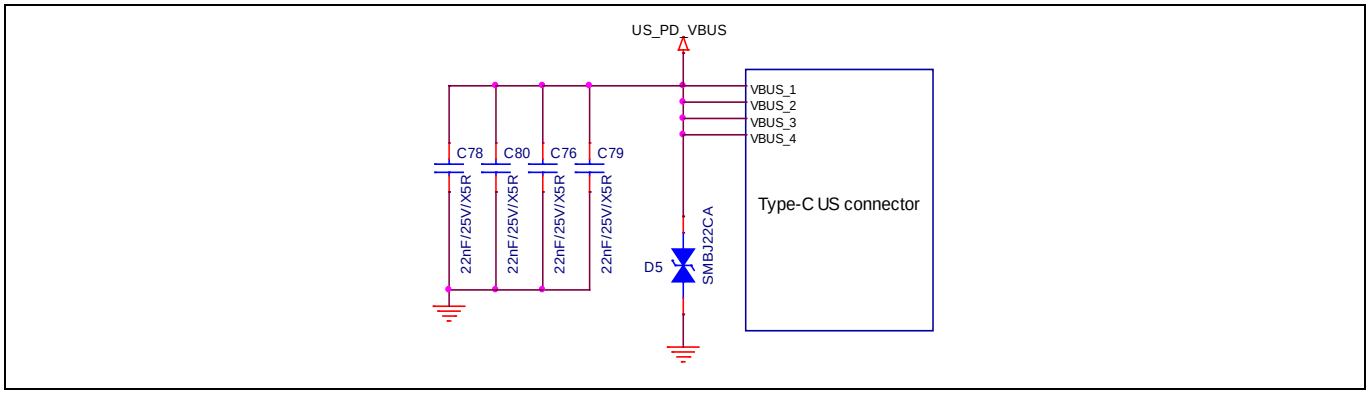


**Figure 22　US ポートの VBUS フィルタリング**

*Note:*

1. *DS1 ポートで使用される VBUS フィルタリング回路は、Figure 22 に示したものと同じです。*
2. *VBUS_1, VBUS_2, VBUS_3, および VBUS_4 は、Type-C コネクタの VBUS ピンです。*

Figure 23 に示すように、USB コネクタ シールドは並列 RC 回路で BOARD_GROUND (GND) に終端し、EMI を低減する必要があります。

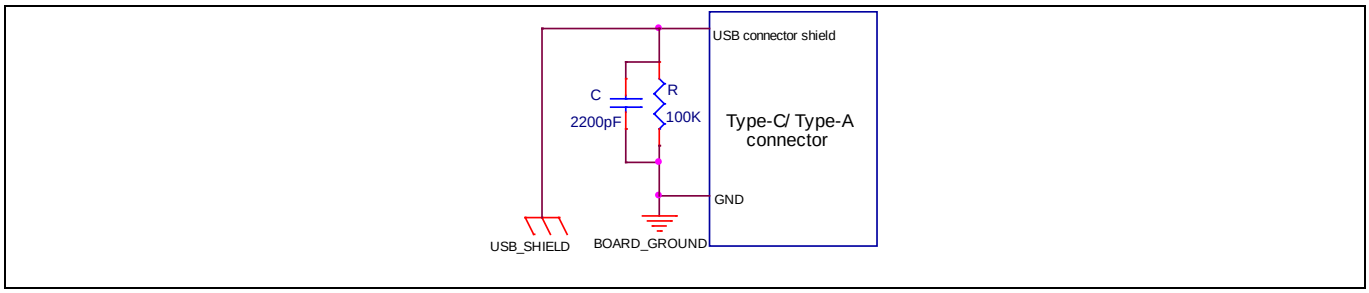


**Figure 23　US ポートと DS ポートのシールド終端**

# 3 レイアウト設計の考慮事項

USB 3.1 Gen 2 アプリケーション用のボードを設計する際には、コンポーネントの選択, 電源デカップリングキャパシタの位置, 信号ラインのインピーダンス, および雑音に特に注意してください。ここでは、電力および USB 信号ラインを配線するための PCB 設計ガイドラインについて説明します。

PCB レイアウト技術に関する一般的な情報については、付録 A を参照してください。

## 3.1 電力システム設計

HX3PD チップへの電源供給は、信頼性の高いハブ動作のためにクリーンで安定している必要があります。レイアウトが不適切な場合、特に USB 信号では信号品質が低下し、エラー率が高くなり、エラー訂正の再試行が増加します。これらの現象は、ハブエニュメレーションの失敗につながる可能性があります。電力システムネットワークを設計する際には、以下の点を考慮してください。

- バルク コンデンサとデカップリング コンデンサの配置
- パワードメイン配線
- 電源層とグランド層の配置

### 3.1.1 バルク コンデンサとデカップリング コンデンサの配置

デカップリングコンデンサを電源ピンの近くに配置して、高周波ノイズフィルタリングを行います。平面インダクタンスを低減するために、HX3PD の真下の PCB の反対側に配置することを推奨します。

電力ピンのローカル電源として機能するバルクコンデンサをデカップリングコンデンサの近くに配置します。バルクコンデンサとデカップリングコンデンサの間のトレース長を最小化します。

電源トレース幅を電源パッドのサイズと同じにします。電源ピンを電源プレーンに接続するには、Figure 24 に示すように、ビアを電源パッドのすぐ近くに配置します。これは、ライン上の浮遊インダクタンスと IR ドロップを最小限に抑えるのに役立ちます。

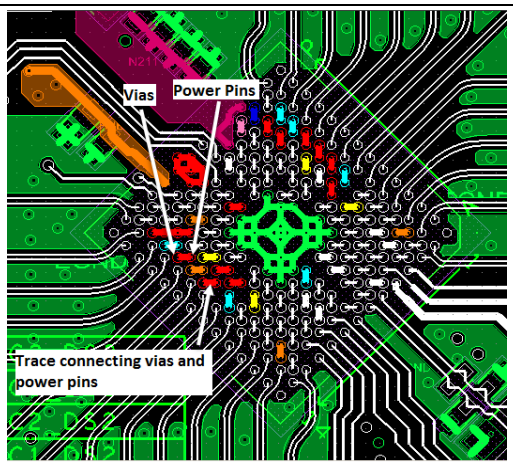


**Figure 24 電力配信ネットワーク**

### 3.1.2 パワードメイン配線

HX3PD にはいくつかのパワー ドメインがあります。Figure 25 から Figure 27 に示されるように、パワードメインの電源層, 最上層, および最下層で分割プレーンを使用します。電源トレースには、次のガイドラインが推奨されます。

- 電源トレースは、SuperSpeed USB 10 Gbps, SuperSpeed USB, および HS のデータおよびクロックラインから遠ざけてください。
- 電源トレース幅は、インダクタンスを低減するために ≥ 25 mil にする必要があります。
- 電源トレースを短くします。電源トレースには大きなビアを使用します。

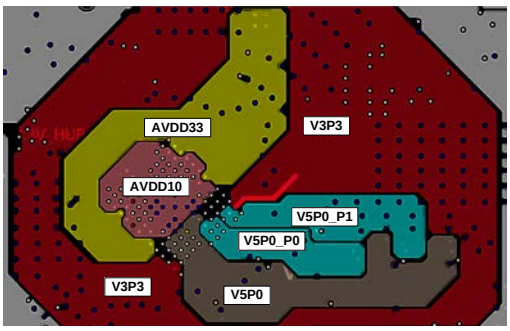


**Figure 25　電源層上のプレーンを分割**

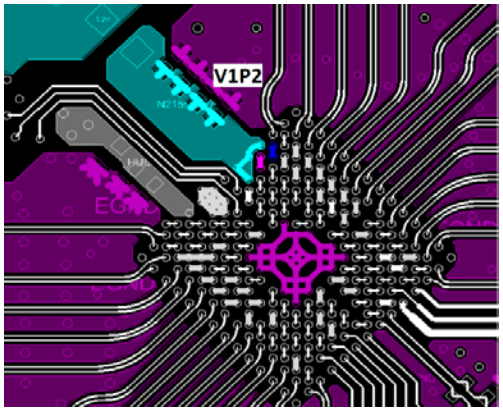


**Figure 26　最上層でプレーンを分割**

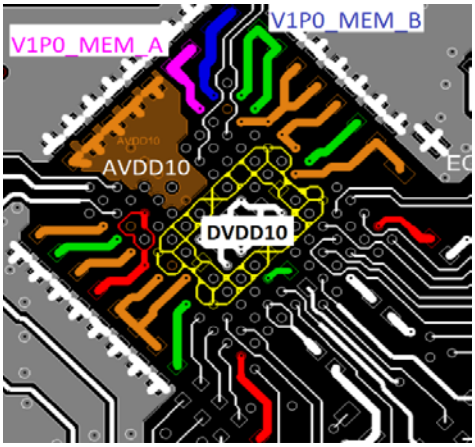


**Figure 27　最下層でプレーンを分割**

### 3.1.3　電源層とグランド層の配置

電源プレーンをグランドプレーンの近くに配置して、良好な平面容量を確保します。プレーン間に存在する平面容量は、高周波ノイズフィルタリング用の分散デカップリングコンデンサとして機能し、電磁放射を低減します。

## 3.2 USB データ ラインの配線

USB 信号ラインを配線する際には、良好な信号品質と放射の低減を実現するために注意してください。PCB 設計段階で USB 信号ラインを配線する際には、次の重要な要素に注意してください。

### 3.2.1 制御された差動インピーダンス

USB 信号ライン (SuperSpeed USB 10 Gbps / SuperSpeed USB / HS) の差動インピーダンスは 90 Ω ±7%である必要があります。そうしなければ、信号のアイパターン, ジッタ, およびクロスオーバー電圧の測定に影響します。

差動インピーダンスの基礎となる理論については、付録 B を参照してください。

### 3.2.2 標準的な 46.4 mil、6 層 PCB 例

標準的な厚さ 48.7 mil (1.24mm) の PCB の推奨スタックアップを Figure 28 に示します。

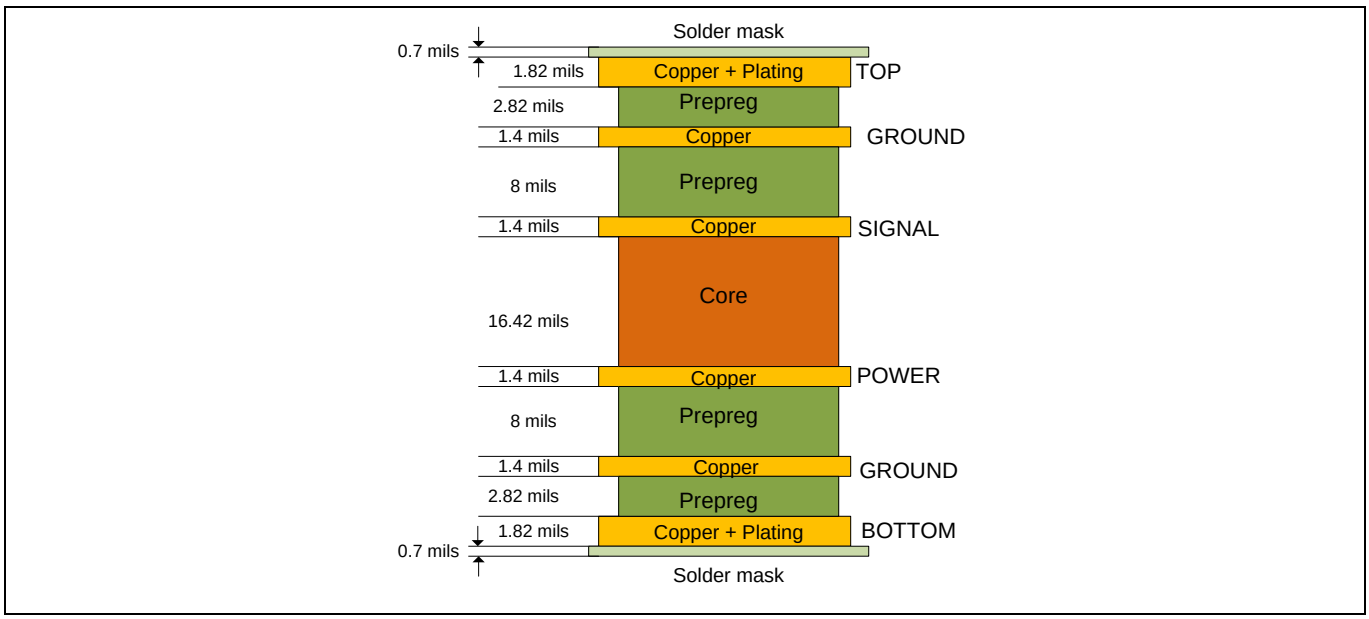


**Figure 28 スタックアップの詳細**

### 3.2.3 インピーダンス整合

差動ペアの配置を示すレイアウトを Figure 29 に示します。'$W$' はトレース幅、'$S$' は差動ペア間の間隔、'$g$' はトレースと他のプレーンの間の最小ギャップです。間隔 '$S$' の値は、トレース幅 'W' よりも大きい値を選択する必要があります。インフィニオンのリファレンス設計では、$W$ = 4.5 mil, $S$ = 5 mil, $g$ = 9 mil です。この場合、計算された差動インピーダンス $Z_{diff}$ は 90 Ωです。




**Figure 29　差動ペアの配置**

差動ペア間のパターン幅と間隔は、Figure 30 に示すように、対称配線にて一定に維持する必要があります。

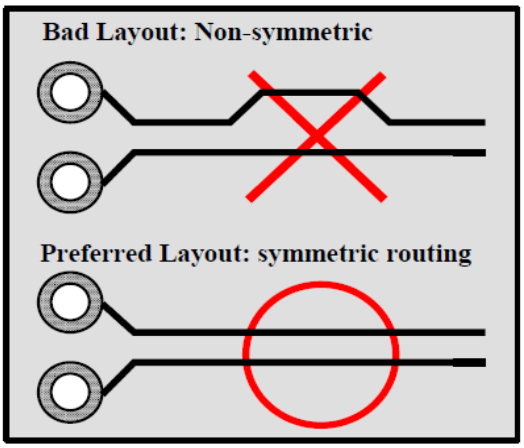


**Figure 30　差動ペア対称配線**

すべての差動ペア信号は、良好なリターン電流経路を提供するために、隣接するグラウンドプレーン層を介して配線する必要があります。信号の下でグラウンドプレーンを分割すると、インピーダンスの不整合が発生し、ループインダクタンスと電気放射が増加します。Figure 31 に、差動ペア信号層の下のベタ グラウンド面を示します。

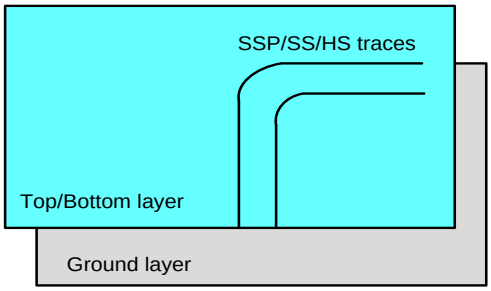


**Figure 31　差動ペア信号層下のベタ グランド面**

Figure 32 に示すように、2 対の USB トレースが異なる層で交差する場合は、必ず 2 つの USB 信号層の間にグランド層を設ける必要があります。

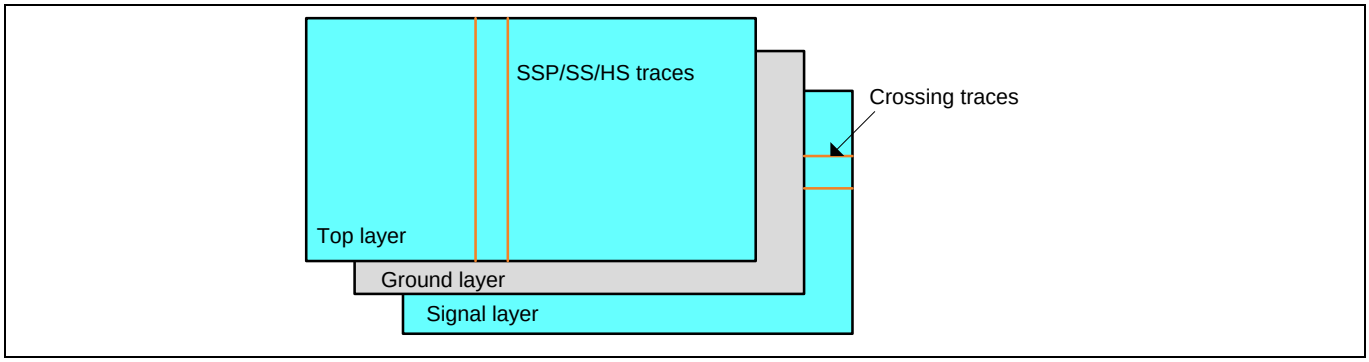


**Figure 32　グランド層の挿入**

### 3.2.4　配線長

USB 信号のトレース長は、できるだけ短くする必要があります。トレースが長いと、挿入損失と放射が増加し、遠端のレシーバに符号間干渉 (ISI) が発生します。差動ペアのトレース長は、トレース全体にわたって均一なインピーダンスを維持するために一致させる必要があります。

*Note:　HX3PD リファレンスデザインでは、SuperSpeed USB 10 Gbps/SuperSpeed USB ラインは、最大3 インチのトレース長でキャラクタライズされています。これらのトレースの長さは3 インチ未満に保つことを推奨します。*

PCB レイアウト設計時には、USB 信号ラインの配線を優先します。次の推奨事項が満たされていることを確認します。

- HS (D+および D–) 信号のトレース長の差は、インピーダンス整合のために 1.25 mm (50 mil) 以内で一致させる必要があります。
- SuperSpeed USB 10 Gbps 差動ペア (Rx±/Tx±) のトレース長の差は、0.12 mm (5 mil) 以内で一致させる必要があります。これは、SuperSpeed USB ディファレンシャルペアについても従う必要があります。
- SuperSpeed USB 10 Gbps/SuperSpeed USB/HS 信号トレースの長さは、デバイスの近くではなく、USB レセプタクルの近くで必ず調整してください (Figure 33 に示すようにループを配置します)。この図は、レセプタクル付近の整合した端と不整合な端を示しています。常に不一致の端の長さを調整してください。

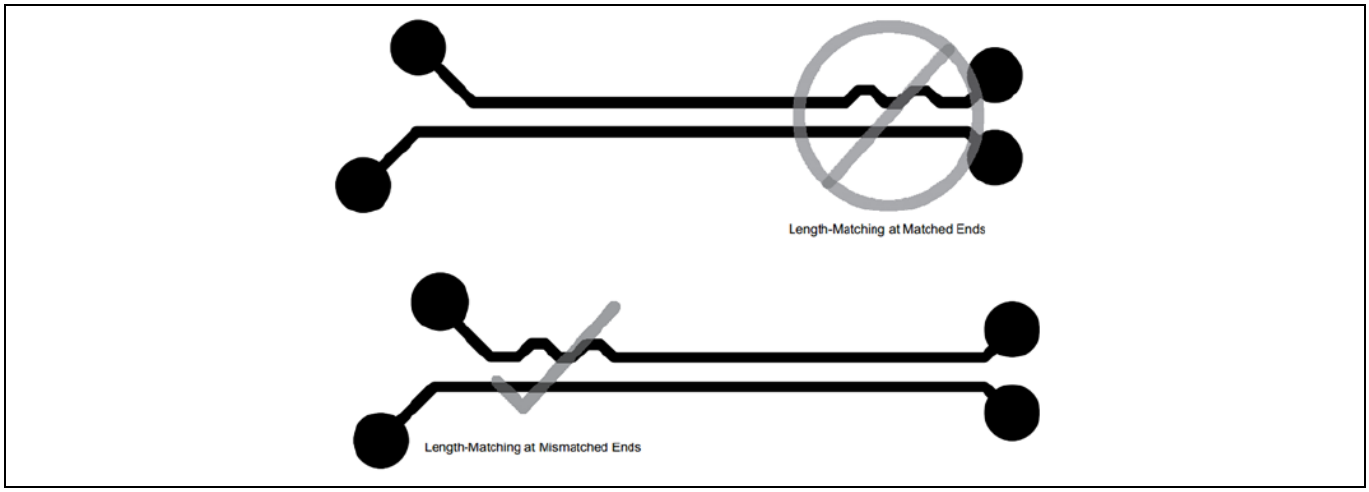


**Figure 33　長さマッチング**

長さの一致にはさまざまなルーティング方法があります。Figure 34 と Figure 35 に、それぞれ単一円弧配線方法と蛇紋配線方法を示します。

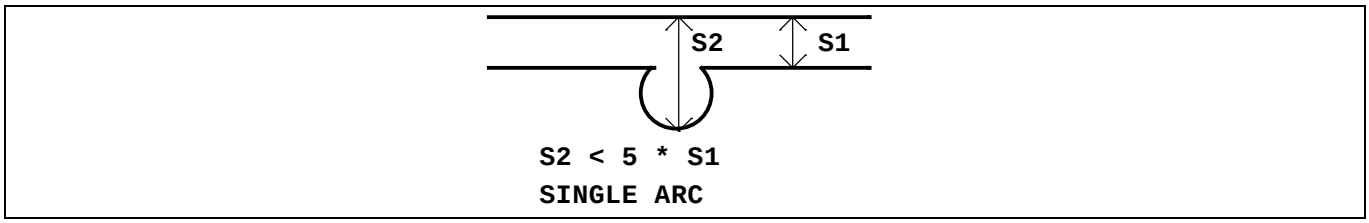


**Figure 34　単一円弧配線**

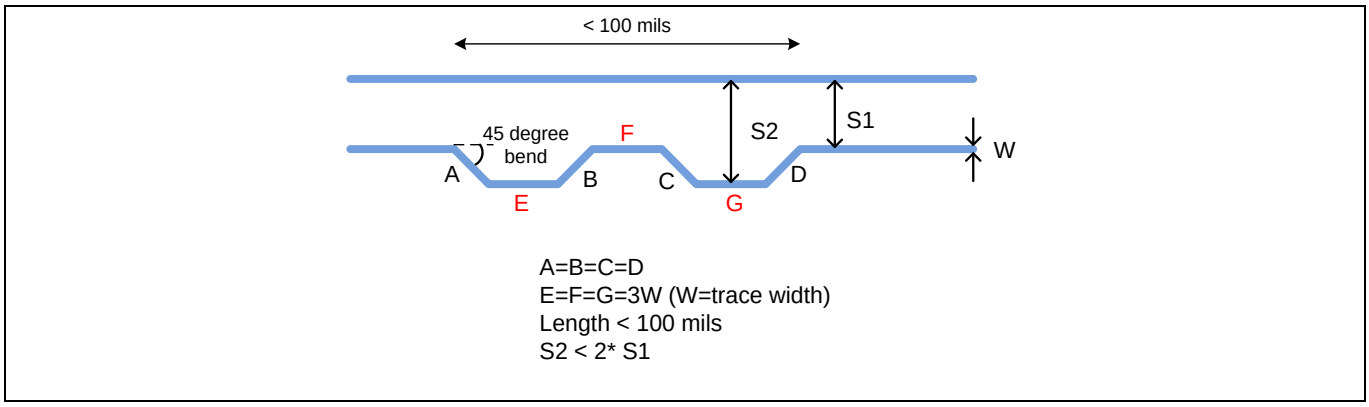


**Figure 35　蛇紋配線**

USB-IF のホワイトペーパー’USB 3.1 Channel Loss Budgets’に記載されている SuperSpeed USB 10 Gbps チャネル挿入損失バジェットを満たすには、以下のガイドラインに従ってください。

- 以下に示す材料特性を選択して、10 Gbps 動作に適した FR4 材料を選択します。
  - 誘電率($D_k$) ≤ 3.9
  - 誘電正接 ($D_f$) ≤ 0.025
  - ガラス転移温度($T_g$) = 1800

$D_k$ と $D_f$ の値が小さいと、信号の高速伝送に適しています。

インフィニオン リファレンスデザインは、プロパティ $D_k$ = 3.0、$D_f$ = 0.025、$T_g$ = 1800 の FR4 材料 370HR を使用しています。

- SuperSpeed USB 10Gbps のチャネル挿入損失を 23 dB 未満に維持します (これには、ホストトレース, コネクタ, ケーブル, およびデバイストレースの損失バジェットが含まれます)。
- SuperSpeed USB 10 Gbps トレース+コネクタの挿入損失を 8.5 dB 未満に維持します。

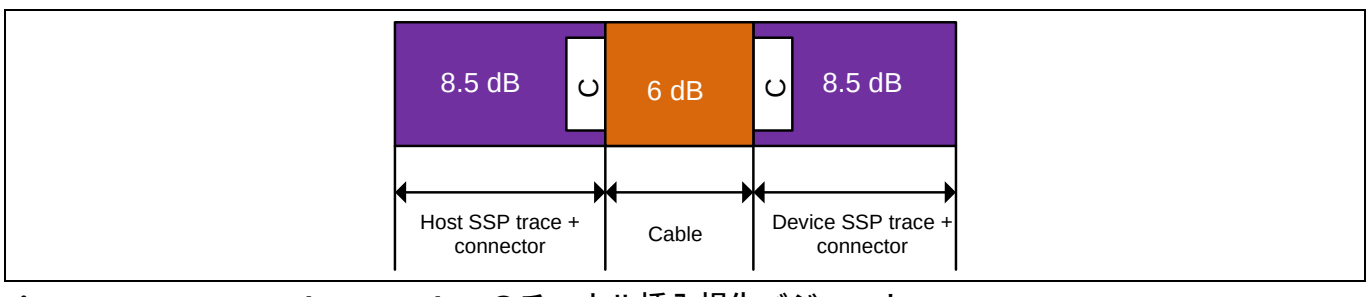


**Figure 36　SuperSpeed USB 10 Gbps のチャネル挿入損失バジェット**

### 3.2.5 ポートの分離

ポート間の分離は、あるポートの Tx ラインと別のポートの Rx ライン間のクロストークを最小限に抑えるために必要です。また、ポート内の Tx ラインと Rx ライン間のクロストークを最小限に抑えるためにも分離が必要です。これらの分離を実現するには、ポート内および 2 つのポート間の差動ペア (Rx±/Tx±) の間隔をグランドで埋める必要があります。最小 2*W* スペース (*W* = トレース幅) を維持します。

SuperSpeed USB 10 Gbps, SuperSpeed USB, および HS トレースの両側にスティッチングビアを提供し、ポート間の適切な分離を確保します。これらのスティッチングビアはグランドプレーンに接続されています。Figure 37 に、スティッチングビアを使用した USB データラインペアの両側のグランドトレースの配線を示します。

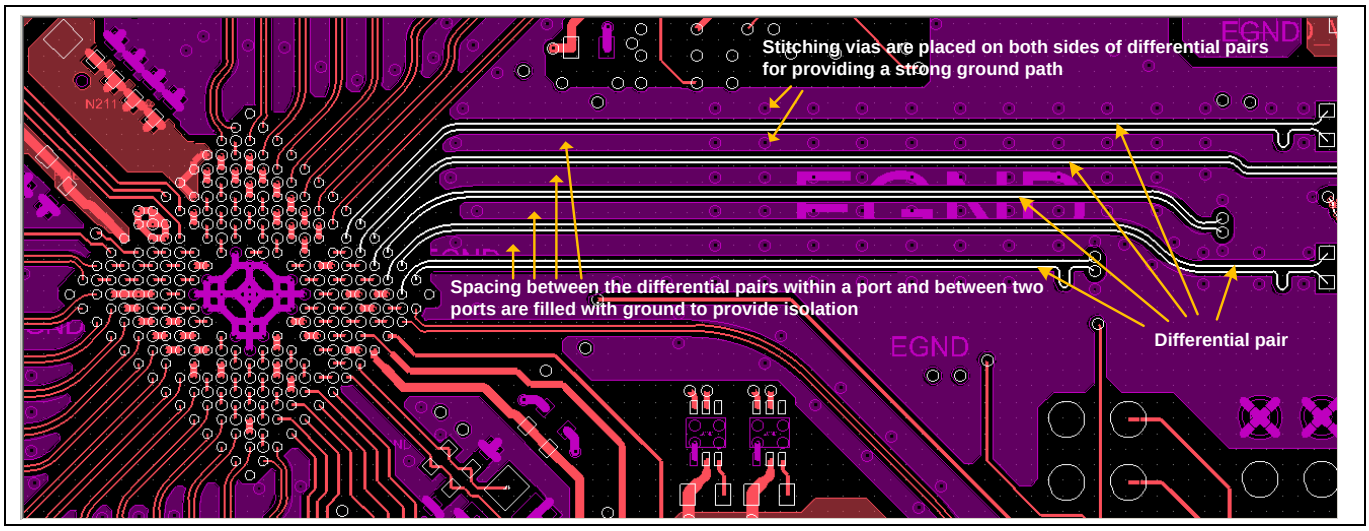


**Figure 37 ポートの分離**

### 3.2.6 信号ビアの配線

SuperSpeed USB 10 Gbps/SuperSpeed USB 信号は、単一層でルーティングすることを推奨します。ビアは信号ラインに不連続性をもたらし、SuperSpeed USB 10 Gbps/SuperSpeed USB の信号品質に影響を与えます。ただし、ビアが避けられず、信号を別の層にルーティングする必要がある場合には、連続的な接地を維持して、全体をとおして均一なインピーダンスを確保します。これを行うには、Figure 38 に示すように、信号ビアの隣にグランドビアを配置します。信号ビアとグランドビアのペア間の距離は、最大で 40 mil です。SuperSpeed USB 10 Gbps/SuperSpeed USB ラインでは、最大 2 ペアのビアを使用できます。

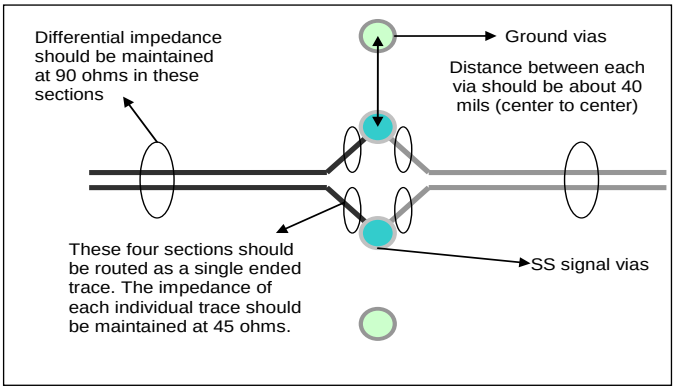


**Figure 38 グランド ビア**

信号トレース上のビア用のくぼみは、差動ペアで共通にする必要があります。Figure 39 に示す共通のくぼみは、個別のくぼみと比較してインピーダンスを一致させるのに役立ちます。

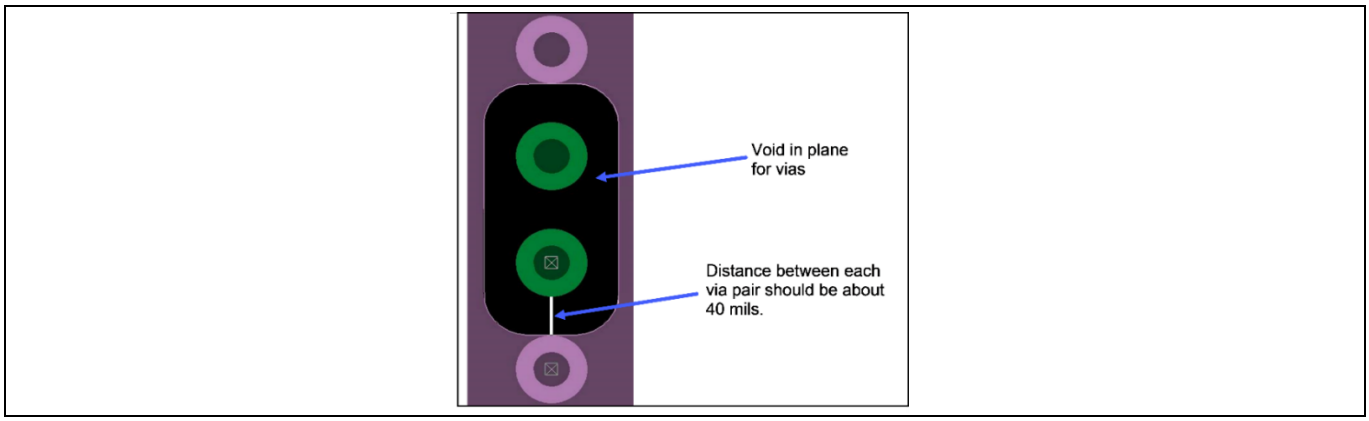


**Figure 39　信号トレースビアのくぼみの配置**

### 3.2.7　その他の推奨事項

- RC リセット回路で使用するコンデンサは、HX3PD のリセットピンにできるだけ近くに配置します。
- HX3PD から 1 cm 以内に水晶振動子を配置します。水晶振動子配線下にベタ グランド面があることを保証してください。
- Type-C レセプタクルを使用する場合は、Figure 40 に示すように、USB 信号ラインをレセプタクルとは反対側の層のレセプタクルピンに接続することを強く推奨します。例えば、Type-C レセプタクルを最上層に配置する場合、信号ラインは最下層のレセプタクルピンに接続する必要があります。これは、ピンスタブ (アンテナ) を防ぐためです。

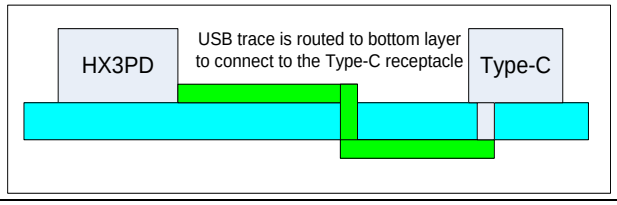


**Figure 40　Type-C レセプタクルの配置**

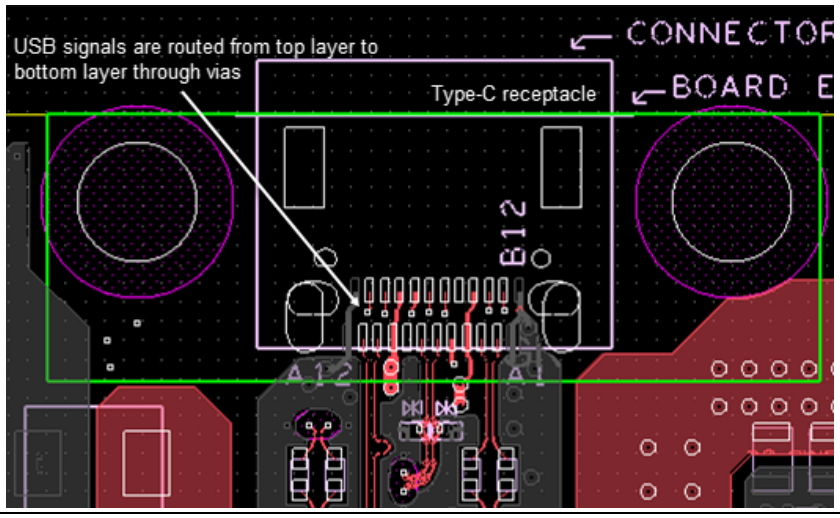


**Figure 41　Type-C リセプタクル レイアウト – 最上層**

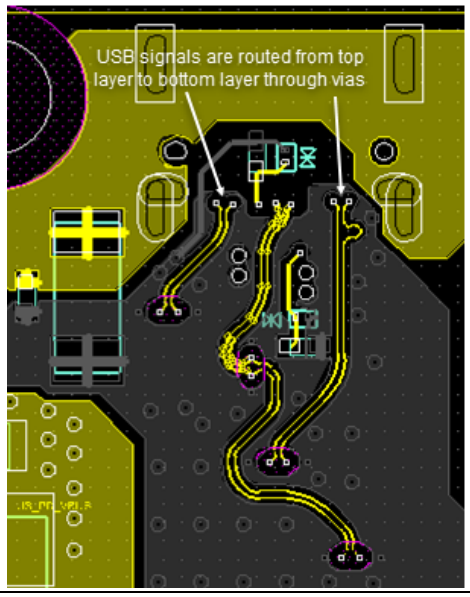


**Figure 42 Type-C リセプタクル レイアウト – 最下層**

Figure 43 に、Type-A レセプタクルの推奨レイアウトを示します。

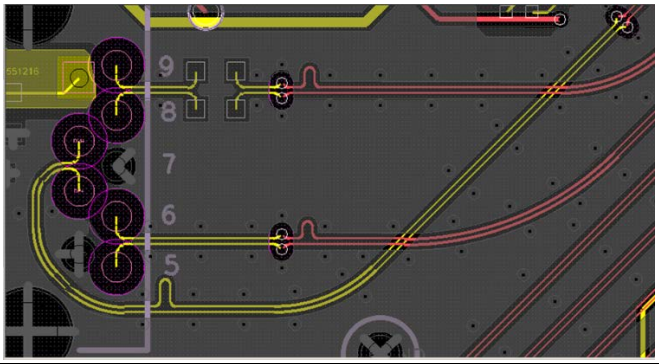


**Figure 43 信号線上のスタブを防ぐための USB 信号における標準-A USB レセプタクルの反対側への接続**

- SuperSpeed USB 10 Gbps/SuperSpeed USB ディファレンシャルペアの極性を入れ替えることができます。極性検出は、リンク トレーニング中に SuperSpeed PHY によって自動的に行われます。極性反転メカニズムを利用して、USB トレースが互いに交差しないようにできます。
- USB 信号ラインは、できるだけ屈曲させないようにします。直角に曲げないでください。必要に応じて、Figure 44 に示すように、45 度または円弧 (曲線) で曲げてください。

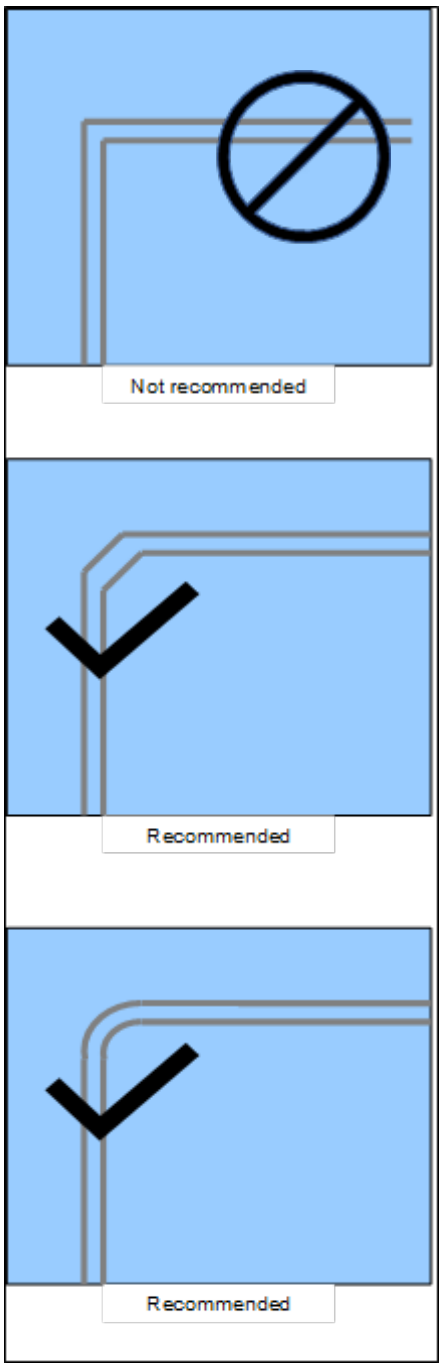


**Figure 44　USB 信号線の曲り**

- SuperSpeed USB 10Gbps/SuperSpeed USB トレースでは、(Figure 45 に示すように US ポートと DS ポートで) Tx ライン上に追加の AC カップリングコンデンサ (0.1 µF) が必要です。US ポートと DS ポートの場合は、これらのコンデンサを対称的にコネクタの近くに配置します。

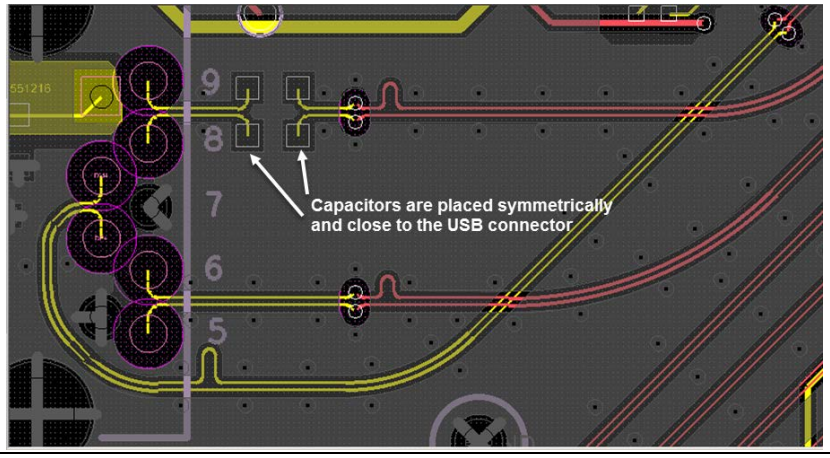


**Figure 45 SuperSpeed USB 10Gbps Tx ラインの AC カップリングコンデンサ**

AC カップリングコンデンサのすぐ下の 2 つの平面には、コンデンサパッドによって生成されるライン上の余分な静電容量を避けるために、これらのコンデンサの形状の切り抜きが必要です。Figure 46 に、デカップリングコンデンサの適切なレイアウトを示します。

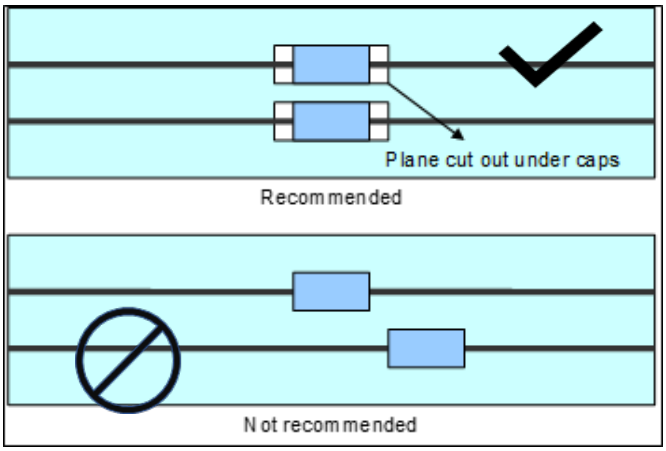


**Figure 46 SuperSpeed USB 10Gbps/SuperSpeed USB Tx の AC カップリングコンデンサのレイアウト**

# 4 回路図とレイアウトレビューのチェックリスト

Table 3 は、すべての重要なガイドラインのチェックリストです。各チェックリスト項目に回答して、ハードウェア設計がこれらのガイドラインをどのくらい満たしているかを確認してください。

**Table 3 回路図とレイアウトレビューのチェックリスト**

| No. | 回路図のチェックリスト | 回答 (Yes/No/NA) |
|---|---|---|
| 1 | デカップリングコンデンサとバルクコンデンサは Figure 3 のように接続していますか? | |
| 2 | Figure 3 に示すように、VDDIO と V3P3 の間にフェライトビーズを使用して分離されていますか? | |
| 3 | 1.2 V 電源は 3.3 V 立ち上り後、3 ms の遅延で立ち上がりますか? | |
| 4 | 水晶振動子は、このアプリケーションノートで規定されている最大電力駆動レベルを満たしていますか? | |
| 5 | すべての DS ポートに 150 µF のバルクコンデンサが備えられていますか? | |
| 6 | パワーオンリセット RC 部品は、必要なリセット時間を満たしていますか? | |
| 7 | USB 高精度抵抗の許容誤差は 1%ですか? | |
| 8 | $I^2C$ ラインは、プルアップ抵抗で 3.3 V ドメインにプルアップされていますか? | |
| 9 | EEPROM の WP ピンは 10k 抵抗を介してプルダウンされていますか? | |
| 10 | CHIPEN ピンと PSELF ピンは 3.3 V にプルアップされていますか? | |
| 11 | PGANG は個別モードまたは連動モードに適切に有効になっていますか? | |
| 12 | すべての USB コネクタシールドは正しく終端されていますか? | |
| 13 | VBUS_MON_Px ピンには (11 にスケールダウンするため) 正しい分圧器が備わっていますか? | |
| 14 | VBUS 放電抵抗器の定格電力消費は 2W ですか? | |
| | **レイアウトチェックリスト** | |
| 1 | 水晶振動子はチップの近く (1 cm 未満) に配置されていますか? | |
| 2 | デカップリングコンデンサとバルクコンデンサは HX3PD の電源ピンの近くに配置されていますか? | |
| 3 | 電源ビアは HX3PD 電源ピンの近くに配置されていますか。 | |
| 4 | 電力トレースは、SuperSpeed USB 10 Gbps/SuperSpeed USB/HS データラインおよびクロックラインから離されていますか。 | |
| 5 | RC リセット回路のコンデンサは HX3PD のリセットピンの近くに配置していますか? | |
| 6 | 150 µF のコンデンサは DS ポートコネクタの近くに配置されていますか? | |
| 7 | SuperSpeed USB 10 Gbps, SuperSpeed USB/, HS の信号ラインの長さは一致していますか? | |
| 8 | USB データ ラインの下がベタ グランド プレーンですか? | |
| 9 | SuperSpeed USB 10 Gbps/SuperSpeed USB/HS トレースにはスティッチンググラウンドビアが付属していますか? | |
| 10 | SuperSpeed USB 10 Gbps/SuperSpeed USB のトレースは、TX ライン上に AC デカップリングコンデンサ (0.1 µF) がありますか? | |
| 11 | SuperSpeed USB 10 Gbps/SuperSpeed USB トレースの長さは 3 インチ未満ですか? | |

| No. | 回路図のチェックリスト | 回答 (Yes/No/NA) |
|---|---|---|
| 12 | すべての USB トレースにスタブがないことは保証されていますか? | |
| 13 | SuperSpeed USB 10 Gbps/SuperSpeed USB トレースのビアのペアが 2 つしかないことは保証されていますか? | |
| 14 | USB 差動ペア信号 (SuperSpeed USB 10 Gbps, SuperSpeed USB, HS) は直角に曲がることなく配線されていますか? | |

# 5 まとめ

HX3PD は、Power Delivery 機能を備えた USB 3.1 Gen 2 (10 Gbps) Type-C ハブです。その SuperSpeed USB 10 Gbps 動作には、シグナルインテグリティを維持するために慎重なハードウェア設計が必要です。このアプリケーションノートのガイドラインに従うことで、HX3PD に基づく設計は初回で成功する可能性が高くなります。

# 6 略語

| 略語 | 説明 |
|---|---|
| BC | Battery Charging (バッテリ充電) |
| CC | Configuration Channel (コンフィギュレーション チャネル) |
| DFP | Downstream Facing Port (ダウンストリーム ポート) |
| DS | Downstream (ダウンストリーム) |
| EC | Embedded Controller (エンベデッドコントローラ) |
| EEPROM | electrically erasable programmable read-only memory (電気的消去書き込み可能な読み出し専用メモリ) |
| FS | Full Speed |
| GND | Ground (グランド) |
| GPIO | General-Purpose Input Output (汎用入出力) |
| HS | High Speed |
| I/O | Input/Output (入力/出力) |
| ISI | Inter-Symbol Interference (シンボル間干渉) |
| LED | Light-Emitting Diode (発光ダイオード) |
| LS | Low-Speed (低速) |
| NC | No Connect (未接続) |
| PCB | Printed Circuit Board (プリント回路基板) |
| PD | Power Delivery (パワー デリバリー) |
| POR | Power-On Reset (パワーオン リセット) |
| ROM | Read Only Memory (読み出し専用メモリ) |
| SCL | Serial Clock (シリアル クロック) |
| SDA | Serial Data (シリアル データ) |
| TT | Transaction Translator (トランザクショントランスレータ) |
| UFP | Upstream Facing Port (アップストリーム ポート) |
| US | Upstream (アップストリーム) |
| USB | Universal Serial Bus (ユニバーサル シリアル バス) |

# 7 付録 A. PCB レイアウトのヒント

低ノイズと EMC のために PCB を設計するための数多くの技術があります。これらの技術の一例として、次のようなものがあります。

- **複数レイヤー**: より高価になりますが、VSS と VDD 電源に専用の独立したレイヤーを割り当てる多層 PCB を使用するのが最適です。これにより、優れたデカップリング効果とシールド効果が得られます。HX3PD には少なくとも 6 層 PCB を使用することを推奨します。
- **部品の位置**: 電磁干渉 (EMI) の影響に合わせて PCB 上の異なる回路分離する必要があります。これにより、PCB 上のクロスカップリングを減らすことができます。例えば、ノイズの多い大電流回路, 低電圧回路, およびデジタル部品を分離します。
- **グランドと電源**: すべてのグランドリターンを 1 点にまとめる必要があります。グランドループを避けるか、表面積を最小限に抑えます。PCB の部品のないすべての領域は、追加のグランドで埋める必要があります。
  電源は電源ループ領域を最小限にするために、グランド線の近くに配置する必要があります。供給ループはアンテナとして機能し、EMI の主要なエミッタまたはレシーバにできます。
- **デカップリング**: デカップリング コンデンサは、高周波電源リップルを低減するために、デバイスの VSS と VDD ピンにできるだけ近づけて配置する必要があります。
  一般に、EMC パフォーマンスを向上させるために、感度の高い信号やノイズの多い信号をすべて分離します。デカップリングは、容量性も誘導性も可能です。
- **信号ルーティング**: アプリケーションを設計する際には、EMC 性能を改善するために以下の部分を検討すべきです:
  - 高速エッジ時間を持つ信号などのノイズの多い信号
  - リセットや水晶発振器信号といった高感度信号
  - 割込みやストローブ信号などのイベントをキャプチャする信号

EMC 性能を向上させるためには、信号トレースの長さをできるだけ短くし、それらのトレースを VSS トレースで分離します。クロストークを防ぐために、ノイズの多い高感度のトレースの近く、または平行に配線しないでください。

# 8 付録 B. USB トレースの差動インピーダンス

マイクロストリップは、PCB の外装の銅配線です。マイクロストリップにはインピーダンス $Z_0$ があり、幅 ($W$), 高さ ($T$), 最も近い銅面までの距離 ($H$), およびマイクロストリップと最も近い面の間の材料 (通常は FR-4) の比誘電率 ($\varepsilon_r$) によって決定されます。

2 つのマイクロストリップが互いに平行に走ると、クロスカップリングが発生します。マイクロストリップ ($S$) 間のスペースは、平面 ($H$) からの高さに関連しており、発生するクロスカップリングの量に影響を与えます。クロスカップリングの量は、マイクロストリップ間のスペースが小さくなるほど増加します。クロスカップリングが増加すると、マイクロストリップのインピーダンスは低下します。差動インピーダンス $Z_{diff}$ は、両方のマイクロストリップのインピーダンスを測定し、それらを合計することによって算出されます。

Figure 47 は PCB の断面図であり、上から下に差動トレース, 基板, グランド プレーンが表示しています。

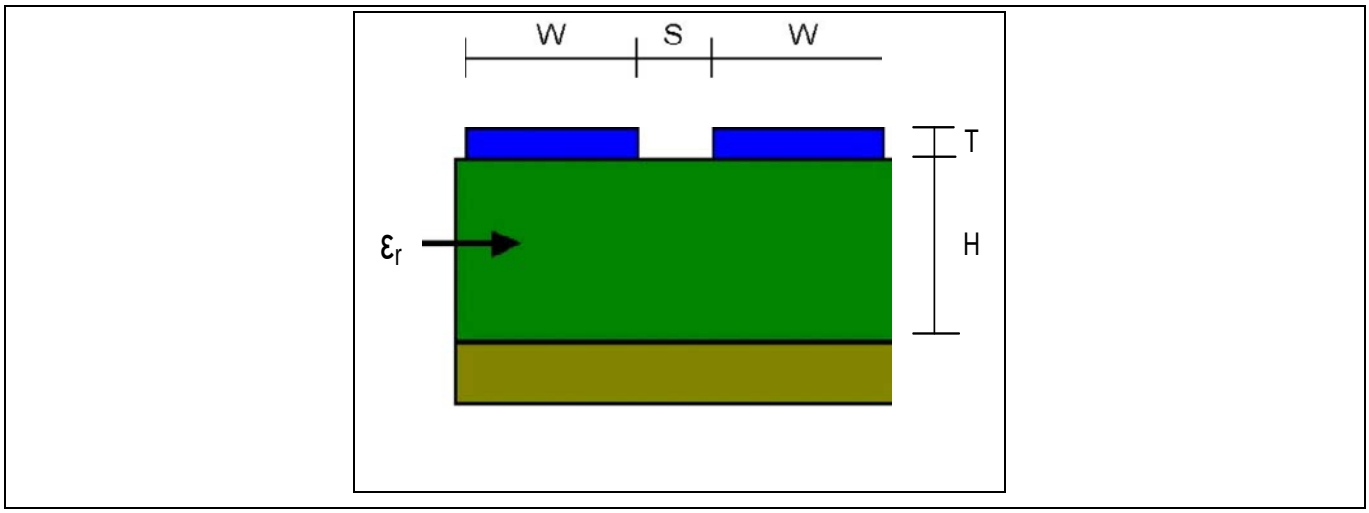


**Figure 47 差動インピーダンスのマイクロストリップ モデル**

式(3)と式(4)は、2D 並列マイクロストリップモデルを使用して差動インピーダンスを見積もるために必要な式です。Table 4 に、変数の定義を示します。これらの式は、$0.1 < W/H < 2.0$ および $0.2 < S/H < 3.0$ の比率に対して有効です。商業用ユーティリティは、実験または 3D モデリングアルゴリズムを使用して、より正確な結果を得ることができます。

式 3. 差動インピーダンスの式

$$Z_{diff} = 2 \times Z_0(1 - 0.48e^{-0.96S/H})$$

式 4. 1 つのマイクロストリップのインピーダンス

$$Z_0 = (87/(\varepsilon_r + 1.41)^{0.5}) \ln(5.98H/0.8W + T)$$

**Table 4　差動インピーダンスの変数の定義**

| 変数 | 説明 |
|---|---|
| $Z_{diff}$ | 面上の 2 本のパラレル マイクロストリップの差動インピーダンス |
| $Z_0$ | 面上の 1 本のマイクロストリップのインピーダンス |
| $W$ | 配線の幅 |
| $H$ | グランド面からトレースまでの距離 |
| $T$ | トレースの幅 |
| $S$ | 差動配線間の間隔 (エアギャップ) |
| $\varepsilon_r$ | 基板の比誘電率 (FR-4) |

# 改訂履歴

| 版数 | 発行日 | 変更内容 |
|---|---|---|
| ** | 2024-11-06 | 本版は英語版 EZ-USB HX3PD Hardware Design Guidelines and Checklist Rev. *B について、インフィニオン DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。 |

**Trademarks**
All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2024-11-06**
**Published by**
**Infineon Technologies AG**
**81726 Munich, Germany**

**© 2024 Infineon Technologies AG. All Rights Reserved.**

**Do you have a question about this document?**

**Email:** erratum@infineon.com

**Document reference**
**002-40808 Rev. ****

**重要事項**
本手引書に記載された本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用の前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

**警告事項**
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。
インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。