AN57821

PSoC®3、PSoC 4、および PSoC 5LP のアナログ／デジタル混在回路基板レイアウトの注意事項

著者: Mark Hastings

関連製品ファミリ: すべての PSoC 3、PSoC 4 および PSoC 5LP 製品

関連アプリケーション ノート: なし

本アプリケーション ノートの最新版または関連プロジェクト ファイルについては、http://www.cypress.com/go/AN57821 にアクセスしてください。

AN57821 では、PSoC® 3、PSoC 4、および PSoC 5LP ファミリのデバイスで 12～20 ビット性能を達成する基本的なプリント基板レイアウトの実践をご紹介します。本アプリケーション ノートに記載された設計手順は、いかなる精度のアナログ／デジタル混在回路設計にも使用できる良い規則です。

目次

1 はじめに 1
2 配線抵抗は重要 2
3 リターン経路の共有 4
3.1 隠れた問題に注意 5
4 アナログとデジタル信号の配置配線 6
4.1 クロストークとは何か？ 6
4.2 3-W ルール 7
5 複数のパワー ドメイン 8
6 グランド面 9
7 バイパス コンデンサ 10
7.1 PSoC 3 および PSoC 5LP 10
7.2 PSoC 4 10
7.3 コンデンサの選択 12
8 コンデンサによって異なる点 13
9 アナログ／デジタル混在回路のプリント基板設計ルールのまとめ 13
10 プリント基板のレイアウトおよび自動配線ツール 14
11 まとめ 14
A 付録 A: レイアウト例 15
A.1 PSoC 3 および PSoC 5LP の SSOP、QFN および TFQP パッケージ 15
A.2 PSoC 4 QFN および SSOP パッケージ 16
改訂履歴 17
ワールドワイドな販売と設計サポート 18
製品 18
PSoC®ソリューション 18
サイプレス開発者コミュニティ 18
テクニカル サポート 18

1 はじめに

ADC を 12 ビット以上の分解能で使う場合の問題を理解するには、ADC がどこまで小さい電圧を処理できるかを知ることは有用です。2V レンジを 8 ビット ADC で処理すると、2V/256 = 0.008V (約 8mV) の最小値が得られます。8mV は小さいように思えますが、それをより高い分解能の ADC と比較してみます。表 1 では、±1V の入力範囲の ADC を 8～20 ビット分解能の ADC と比較します。

表 1. ADC 分解能

レンジ±1.024V		
ビット	分解能	単位
8	8.000	mV
9	4.000	mV
10	2.000	mV

レンジ±1.024V		
ビット	分解能	単位
11	1.000	mV
12	500	µV
13	250	µV
14	125.0	µV
15	62.5	µV
16	31.3	µV
17	15.6	µV
18	7.8	µV
19	3.9	µV
20	2.0	µV

20 ビット分解能の場合、ADC が処理できる最小電圧は 2µV に下がります。少しのゲインを追加することで、1µV 以下の電圧を処理できます。また、低分解能 ADC と狭い入力範囲 (高い ADC ゲイン) のシステムも µV レンジの電圧を処理できることを忘れないでください。

1mV 以下のオフセットとノイズ源は、低分解能の ADC では大したことはありませんが、12～20 ビット ADC を使用する場合には大きくなります。感度の高いアナログ回路に精通していない設計者はこれらの違いを見落とすことが多いです。最近の電子機器は以前よりもさらに小型になってきて、回路基板形状を小さくするだけでも多くの問題を生じさせます。

2 配線抵抗は重要

プリント基板が小さくなるほど、配線幅は狭くなり、配線間隔は小さくなります。最近の電子機器では、6mil (0.006 インチ) 以下の配線幅および配線間隔が一般的となっています。6mil の配線を指定しても、4 か 5mil に簡単にオーバーエッチングすることがあります。

ますます細くなる配線を心配するのは何故でしょうか? 1 つの理由は、配線が細いほど配線抵抗が増加する問題です。配線抵抗の標準的な計算式は式 1 のとおりです。

$$\text{Resistance} = \text{Resistivity} \times \frac{Length}{(Width \times Thickness)}$$

式 1

ここで、

銅の抵抗率は約 6.787×10^{-7} Ω/インチ、

1 オンス銅製プリント基板の厚さは 1.378mil、

1 オンス銅製プリント基板上の、8mil 幅、1 インチの長さの配線の抵抗値は約 0.062Ωです。表 2 では、いくつかの配線の長さと幅に対する抵抗値を計算しています。

表 2. 配線の抵抗値

配線の抵抗値 (Ω)				
幅 (mil)	配線長 (インチ)			
	0.1”	0.5”	1”	2”
15	0.0033	0.0164	0.0328	0.0657
10	0.0049	0.0246	0.0493	0.0985
8	0.0062	0.0308	0.0616	0.1231
6	0.0082	0.0410	0.0821	0.1642
4	0.0123	0.0616	0.1231	0.2463

表 2 に示したように、抵抗値は 1Ω よりずっと小さいです。その抵抗値はそんなに悪くなさそうですが、回路内でそれが何の抵抗であるかが重要なことです。高インピーダンスのアンプ入力への配線である場合は問題ありませんが、別の場合は問題となるかもしれません。同表に従って 5mA の電流をそれらの組合せの配線に流してみましょう。5mA の電流は大きくなく、1Ω 以下の配線抵抗は小さく思えますが、表 3 に示すように、高分解能の ADC を使用する場合、総体としてのオフセットはかなりのものです。

表 3. 配線の電圧オフセット

5mA の電流によるオフセット (µV)				
幅 (mil)	配線長 (インチ)			
	0.1”	0.5”	1”	2”
15	16.42	82.10	164.20	328.40
10	24.63	123.13	246.25	492.50
8	30.79	153.93	307.85	615.70
6	41.05	205.23	410.45	820.90
4	61.57	307.83	615.65	1231.30

上の表によると、5mA の電流が、2 インチ長、6mil 幅の配線を流れる場合、電圧降下は約 820µV (0.82mV) です。表 1 では、システムが 12 ビット以上の分解能の ADC を使用しないなら、この電圧降下は問題にならないことにご注意ください。緑色の部分は、16 ビット ADC の最下位ビットの少なくとも半分に影響します。黄色の部分は、12 ビット以上の分解能の ADC で同じ影響を生じさせる値です。これは、12 ビットと 16 ビット両方の ADC の入力範囲が 2V (+/–1V) と仮定しています。

オフセットの大きさにより重大な問題が発生する応用例として、熱電対を使った温度測定を考えてみます。K タイプ熱電対の場合、出力は約 40µV/°C です。従って、410µV のオフセットは 10°C の誤差に相当します。同じ配線を 4mil にオーバーエッチングすると、誤差は 50%以上となります。この例から、信号経路としてプリント基板の各配線の幅と長さを選択することが、どれほど重要なことであるかを理解できます。12 ビット ADC にとってはそんなに影響なさそうですが、ADC の入力を増幅して 16 倍にすると、16 ビット ADC に等しい電圧分解能となります。

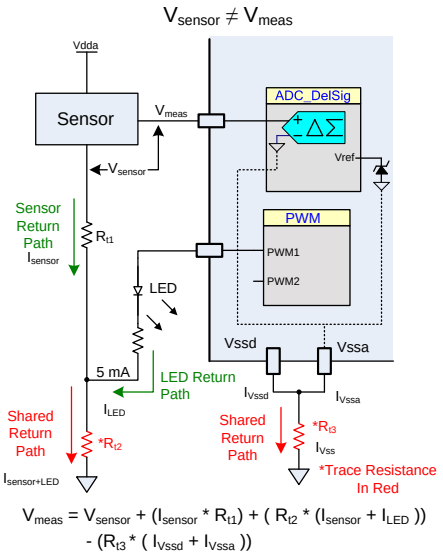
3 リターン経路の共有

アナログ／デジタル混在回路または高精度 ADC を備えた回路基板を設計する時、プリント基板内で電流の流れる場所を理解しておく必要があります。数 mA のわずかな電流が重大な問題を生じさせることがあります。

敏感なアナログ信号のリターン経路を、デジタルデバイスまたは高電流のアナログ デバイスと共有する場合に、配線抵抗が問題を生じさせることが多いです。これらの場合、高電流とは数アンペアではなく、ミリアンペアです。前述の例では、熱電対からの電流は 5mA 負荷と同じリターン経路を共有します。その電流が 0.5mA に低減すると、それによる誤差は 1°C となります。そのため、数百 µA の電流でも大きな影響が出ます。

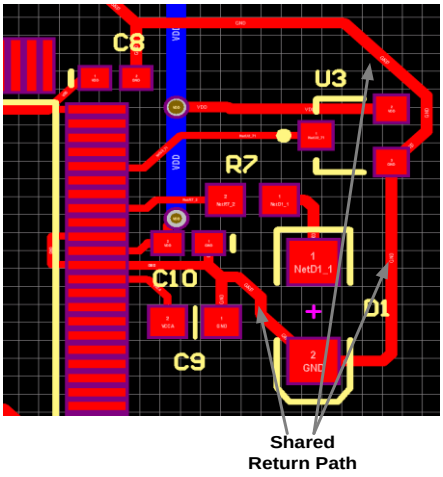
図 1 には、電流のリターン経路がアナログとデジタルグランドの間、およびセンサーと LED の間で共有される例を示します。両方の共有した経路により、システムのオフセットまたはゲイン誤差の問題が生じる可能性があります。

図 1. 信号のリターン経路の抵抗



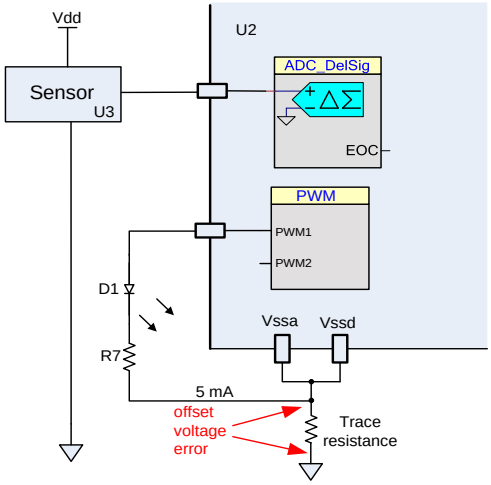
この例で、ADC がセンサー出力を測定する時、配線抵抗部分の電圧も測定しています。共通グランド点から、センサーと LED からの電流が合流した場所までの配線長により、大きな電圧オフセット誤差が発生することがあります。問題の重大さは、システムの要求精度、センサーの電圧ゲインおよびオフセット誤差電圧の大きさに依存します。図 2 には、プリント基板レイアウトの例を示します。

図 2. 共有のリターン経路があるレイアウトの例



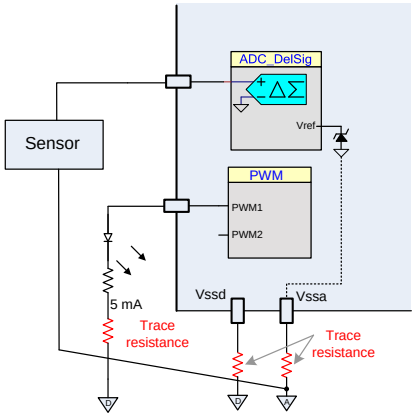
アナログ グランド (VSSA) は測定する信号と同様に重要です。PSoC VSSA ピンとシステム グランド間の配線は、可能な限り短く、低いインピーダンスにしてください。わずか数百 µA を使用する部品とこの経路を共有すると、mV 以下の信号を測定する場合に問題が生じます。シングル エンドで測定を行う時、オフセットは測定のオフセットと見なせます。図 3 では、LED の電流が電源に戻る同じ経路を流れますが、センサーには自らの経路があります。内部バンドギャップ リファレンス電圧も VSSA に接続されています。リターン経路を LED と共有することで生じた電圧により、ADC のリファレンス電圧は I*R 分減少します。リファレンス電圧と VSSA 間のオフセットは ADC ゲイン誤差を生じさせます。

図 3. アナログ用のグランド経路を流れる電流



デジタル グランド (V_{SSD})、アナログ グランド (V_{SSA})、センサーおよび LED に個別のグランド経路を用意すると、共有したリターン経路が無くなります (図 4)。センサー、ADC およびリファレンス電圧は同じアナロググランドに接続しています。そのため、LED を流れる電流が変化してもセンサーの出力に及ぼす影響は、少ないか、ゼロです。この図では、センサーは V_{SSA} と同じ場所でアナログ グランドに接続していることにもご注意ください。この場所は、物理的に同一の点、あるいは非常に低いインピーダンスを持った面です。

図 4. 良いグランド接続



センサーへの差動 ADC 接続を使用することにより、高電流が流れる経路とセンサーのリターン経路を共有することで生じる共通モードの電圧オフセットを除去できます (図 1 を参照してください)。共通モードの電圧オフセットとは、センサー用の V_{SS} とセンサーの出力の両方に共通しているオフセットのことです。ただし、センサーへの差動接続は、V_{SSA} とグランド経路を共有することで生じる誤差を除去するのには役立ちません (図 3)。図 5 を参照してください。

図 5. 差動 ADC および個別のリターン経路

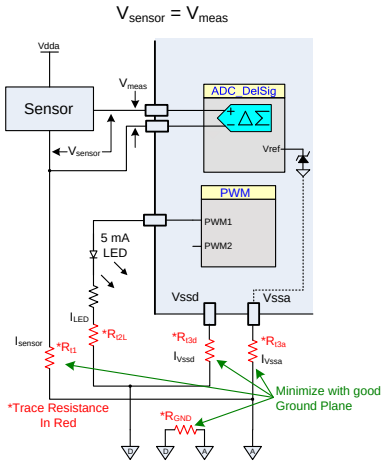
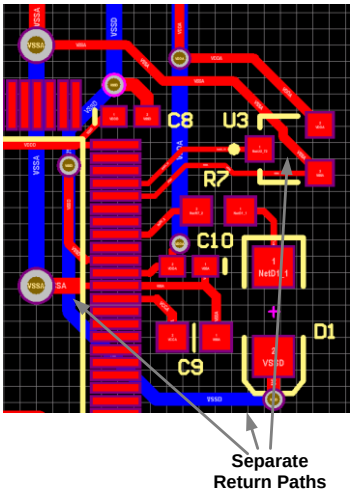


図 6 には、個別のリターン経路、個別のアナログとデジタル信号用の電源およびセンサーへの差動接続を持つ改善された配線経路設計の例を示します。

図 6. 個別のリターン経路を持ったレイアウトの例



3.1 隠れた問題に注意

リターン経路を、センサーまたは PWM で駆動する LED のような変化する負荷を持った V_{SSA} ピンと共有する場合、誤差は、はじめは必ずしも見えるわけではありません。負荷が、ADC と完全に同期して変化すると、生じる誤差は大きくなるか、あるいは小さくなります。この同期により、試作段階で測定できる程度の大きな誤差が起きない場合、初期の開発とテストで問題を発見できないことがあります。この場合、ADC のサンプル レートか PWM 周波数のどちらかを変更すると、誤差またはノイズが大きく変化します。多くの応用例では、負荷変調の変化が、環境やソフトウェアの変更によって異なるため、これをテストすることは難しいです。そのため、ある基板のデザインを実現すると、部品を実装した基板が正常に動作する場合もあるし、正常に動作しない場合もあります。この理由で、デザインが正常に動作しているように見えても、良い設計ルールを守ることが必須です。

4 アナログとデジタル信号の配置配線

理想は、アナログ信号とデジタル信号が基板の反対の面にあることですが、通常は実現できません。多くのデザインでは、アナログとデジタル信号の両方が同じ領域にあることを必要とします。しかし、比較的高インピーダンスのアナログ信号をデジタル信号と同じ領域で走らせると、アナログ信号に過剰なノイズを加えてしまう望ましくないクロストークを引き起こすことがあります。

4.1 クロストークとは何か?

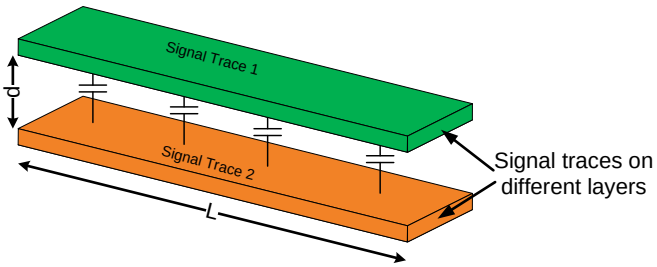
クロストークとは、ある信号が直接接続していない別の信号に影響を与えることです。これは、短い立ち上り時間と立ち下り時間を持ったデジタル信号が、非常に高いインピーダンスのアナログ信号に影響するのが最も一般的です。デジタル信号もクロストークにより影響されます。高速デジタル信号は容易に他のデジタル信号に影響します。信号間のクロストークは、通常は導電性、容量性と誘導性の 3 種のいずれかです。いずれの場合でも、信号配線間の距離を増やし、信号配線が並行している長さを減らすことにより、問題を減少させます。

導電性クロストークは通常は問題ではなく、10MΩ 以上の非常に高いインピーダンス信号の場合にだけ問題となります。それは汚れ、油、塩、その他の液体等の異物がプリント基板を汚してしまい、配線間基板の素材の導電性が良くなってしまう時によく起こります。この抵抗値の低下がクロストークを引き起こし、回路動作に影響することがあります。場合によっては、半田マスクを使い、プリント基板を保護できますが、部品を基板に装着する場所等の保護されない領域が必ず出てきます。製品の使用環境内で異物を発見したら、それら異物から基板を分離する措置を取る必要があります。分離できない場合、プリント基板に絶縁保護コーティングを施せますが、付加コストがかかります。

ある配線が、別の層の配線の真上にあると、容量結合が起こることがあります。銅の配線間でコンデンサが形成されます。これら配線間の銅による重なりの部分が多いほど、静電容量が高いです。信号間で重なる領域を減少させると、静電容量が減少するので、結合 (カップリング) は減少します。場合によっては、特に 2 層基板の場合には、高感度なアナログ信号と高速デジタル信号とが交差することを取り除けません。これらの場合には、それらの信号配線が交差する角度を 90º にして信号間の容量を最小化する必要があります。

2 層以上の多層基板を使う場合、結合を最小化するために、2 本の信号配線間でそれらが交差する所に電源面を配置してください。図 7 での容量は、2 本の信号配線間で形成され、重なる領域と正比例することにご注意ください。

図 7. 平行な配線の容量結合



多層基板を使用する場合、アナログとデジタル配線が 90º で交差するようにしてください。これにより、重なる領域は大きく減少するので、信号間の容量結合も減少します。例として、図 8 を参照してください。

図 8. 垂直に交差する配線の容量結合

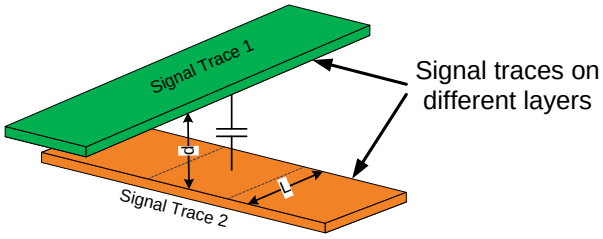
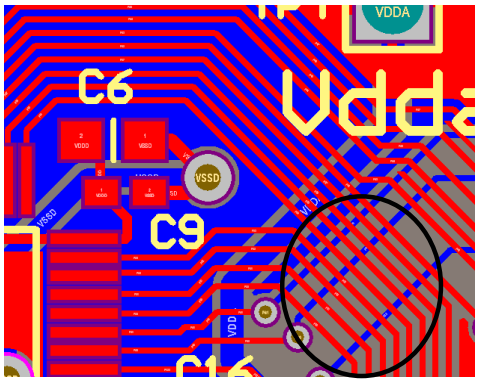


図 9 はアナログ配線 (赤色) がデジタル配線 (青色) と交差する例です。アナログとデジタル配線間が 90º になっていることが分かります。

図 9. デジタル配線とアナログ配線が 90º で交差

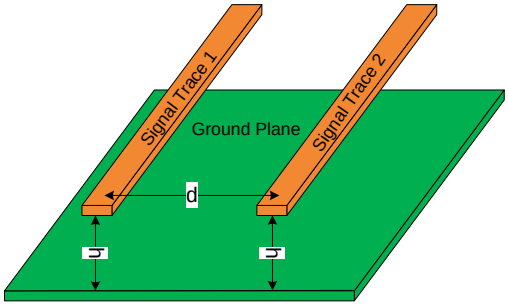


同じ層か近い層にある相互に隣接する配線は、磁気的に結合されることがあります。これは誘導結合と呼ばれます。誘導結合は、次の 3 つのメカニカルな要素で作用します。配線間の間隔、2 本の配線が平行している距離、および配線と最も近い電源面との距離。簡略な式 2 および図 10 に示したように、信号間の距離および信号とグランド面の距離は最も重要な要因です。

式 2

$$Crosstalk \cong \frac{1}{1+(\frac{d}{h^2})}$$

図 10. 誘導結合の間隔

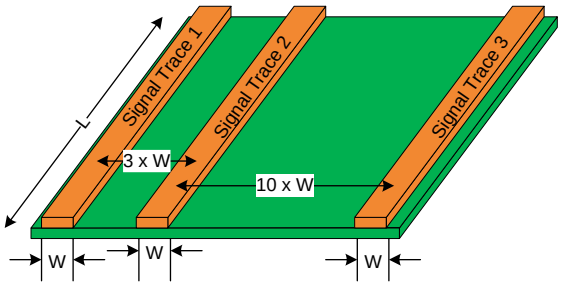


上の図を見ると、配線のグランド面からの高さは、大きな要素です。この距離を減らすと、クロストークはその高さの 2 乗で減少します。デジタルとアナログ配線を近くに走らせる必要がある場合、クロストークを減少させる最良のオプションは、それらの配線をグランド面の近くに配置することです。

4.2 3-W ルール

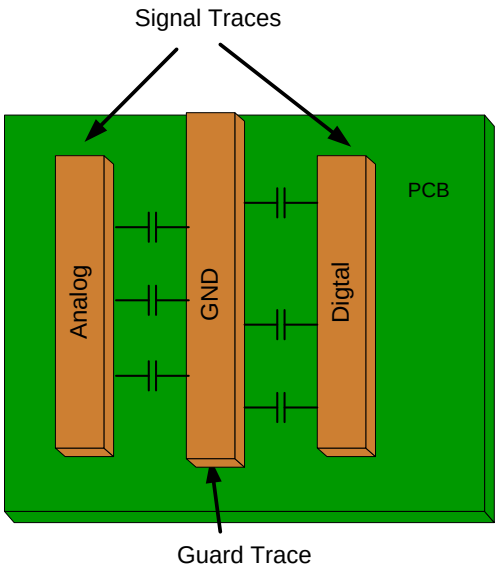
3-W ルールとは、ロジック配線の間隔 (配線の中心間) は、配線幅の 3 倍を確保することです。例えば、プリント基板上の配線は、幅が 0.008 インチなら、2 本の配線の中心間の間隔は 0.024 インチ (0.008 インチ x 3) となり、配線端の間隔は 0.016 インチ (0.008 インチ x 2) となります。これにより、各配線を別の配線による磁束の 70%の範囲の外に配置したことになります。磁束の 98%の範囲外に配置するためには、配線間の間隔は配線幅の 10 倍でなければなりません。もちろん、すべては配線のインピーダンスおよび信号の立ち上り時間に依存します。図 11 を参照してください。

図 11. 3-W ルールの例



互いに隣接して、基板の同じ面で走らせる必要がある信号間の結合を減少させる他のオプションは、グランドに接続したガード トレースを信号間に使用することです。これにより、信号間の容量結合は減少します。図 12 を参照してください。

図 12. ガード トレースの使用



多層基板では、基板の層間の距離は異なります。例えば、0.062 インチ厚の一般的な 4 層基板の場合、層 1 と層 2 間の間隔は、層 2 と層 3 間の間隔より狭いです。同じ領域でアナログとデジタル信号の経路を決める時、最大の距離を確保するために、隣接しない層に配線して信号を分離してください。

5 複数のパワードメイン

敏感なアナログ システムでは、アナログとデジタル用電源は分離することが望ましいです。PSoC 3、PSoC 4 および PSoC 5LP ファミリでは、アナログとデジタル ブロック用に個別の電源ピンとグランド ピンを用意しています。PSoC 3 と PSoC 5LP の GPIO も 4 つのグループに分けられていますが、その主な目的は、外部部品に異なる論理レベルを提供することです。以下は電源の接続方法をまとめています。

- V_{SSD}: すべてのデジタル ロジックおよび I/O ピン用のグランド。
- V_{DDD}: すべてのデジタル ペリフェラルおよびデジタル コア レギュレータ用の電源。V_{DDD} は V_{DDA} 以下でなければなりません。
- V_{SSA}: すべてのアナログ ペリフェラル用のグランド。
- V_{DDA}: すべてのアナログ ペリフェラルおよびアナログ コア レギュレータ用の電源。V_{DDA} はデバイス上の最大の電圧でなければなりません。他のすべての電源ピンは V_{DDA} 以下でなければなりません。
- V_{CCD}: デジタル コア レギュレータの出力およびデジタル コアの入力。V_{SSD} との間に 1µF のコンデンサが必要です。外部用途に対応していないレギュレータ出力です。
- V_{CCA}: アナログ コア レギュレータの出力およびアナログ コアの入力 (PSoC 3 および 5LP 専用)。V_{SSA} との間に 1µF のコンデンサが必要です。外部用途に対応していないレギュレータ出力です。
- V_{DDIO}: I/O ピン用の電源。PSoC 3 および 5LP では、4 つの V_{DDIO} ピンがあります。GPIO は 4 つのグループに分けられ、各グループはそれぞれの電源ピンを持っています。V_{DDIO} は V_{DDA} 以下でなければなりません。

製品ファミリと製品番号によって、PSoC デバイスはこれらのピンのすべてまたは一部を備えます。詳細はご使用になる製品のデータシートを参照してください。

外部のアナログとデジタルの個別レギュレータ使用を、常に推奨します。追加のレギュレータのコストが高すぎて、設計のデジタル部が高速または高電流スイッチングを含まない場合、1 個のレギュレータを使用できます。重要な要素の 1 つは、個別のレギュレータがあるかのように配線することです。アナログ用の電源とグランド信号 (V_{DDA}、V_{SSA}) からデジタル電源 (V_{DDD}、V_{SSD}) を分離します。これら 2 つの電源 (アナログとデジタル) 間の接続を電源供給源に可能な限り近くします。通常は電源の出力インピーダンスは低く、そういった接続により、デジタル電源がアナログ電源へ及ぼす影響は少なくなります。

28 ピン SSOP パッケージで提供される PSoC 4 製品は、ピン数を少なくするために V_{SSD} と V_{SSA} 電源ピンが 1 本の V_{SS} ピンになり、V_{DDA} と V_{DDD} ピンが 1 本の V_{DD} ピンになっています。 数本の GPIO ピンを使って、高速に低インピーダンス負荷を駆動する場合、最高のアナログ性能を要求するのであれば、この 28 ピン SSOP パッケージを使用しないでください。

6 グランド面

グランド面の層は、アナログ／デジタル混在回路の設計ではいつも有用ですが、設計に応じた層の追加により、コストが高くなるかもしれません。2 層基板の場合でも、設計の敏感なアナログ部の下に部分的な面を配置できます。グランド面の層を使用するか否かにかかわらず、リターン経路は電源と可能な限り短くしてください。電源への経路が低インピーダンスでないか、あるいはその面が寸断され過ぎていると、グランド面によって設計が改善されない場合もあることを覚えておいてください。2 面基板では、フィルの使用だけに依存しないでください。その理由は、慎重に検査しないと発見できない狭くて高抵抗の経路が生じることがあるためです。グランド配線の経路を決めて、フィルで補充します。

ピンを選択する際に注意を払うと、基板レイアウトは大変簡単になり、分割したアナログとデジタルの電源面が有効になります。図 13 には、PSoC 3 と PSoC 5LP デバイスで、I/O ポートに対してチップ内のアナログとデジタル部がどのように配置されているかを示します。

図 13. PSoC 3／PSoC 5LP 内のアナログ／デジタル部のレイアウト

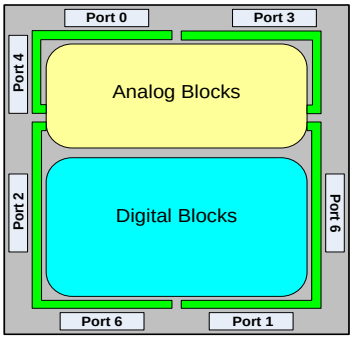
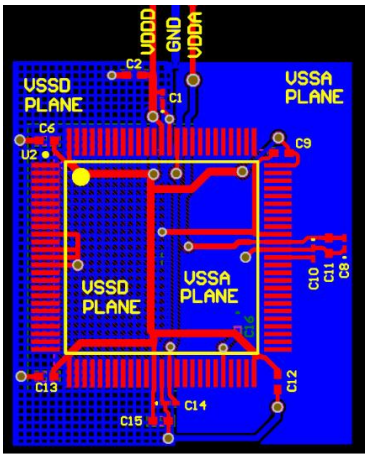


図 14 は 2 層基板のレイアウトの例です。PSoC デバイスは、図 13 の絵に対し時計回りに 90º 回転させています。青い部分は最下層であり、赤い部分は最上層です。すべての電源ピンが接続されている最上層と良い電源グランドを施した最下層で、最上層にある PSoC デバイスから出て来た信号を PSoC から離して配線するスペースがあることにご注意ください。V_{SSD} と V_{SSA} 電源面を簡単に区別するために、V_{SSD} 面は意図的にハッチングしました。CapSense®ボタンと制御などのような特別な場合を除き、普通は電源面をベタにすることを推奨します。

ユーザーの設計で分離したアナログとデジタル用のグランド面を使用できる場合は、ほとんどの場合でそれらを 1 箇所で接続する必要があります。この箇所は電源供給源と PSoC デバイス自体との間に配置してください。

1 個のレギュレータで、1 枚のグランド面の層を使用できますが、アナログとデジタルの部品が互いに良く分離されている場合に限ってください。

図 14. PSoC 3 および PSoC 5LP の 2 層基板のレイアウト例



QFN および SSOP パッケージのレイアウトの例については、付録 A を参照してください。

7 バイパス コンデンサ

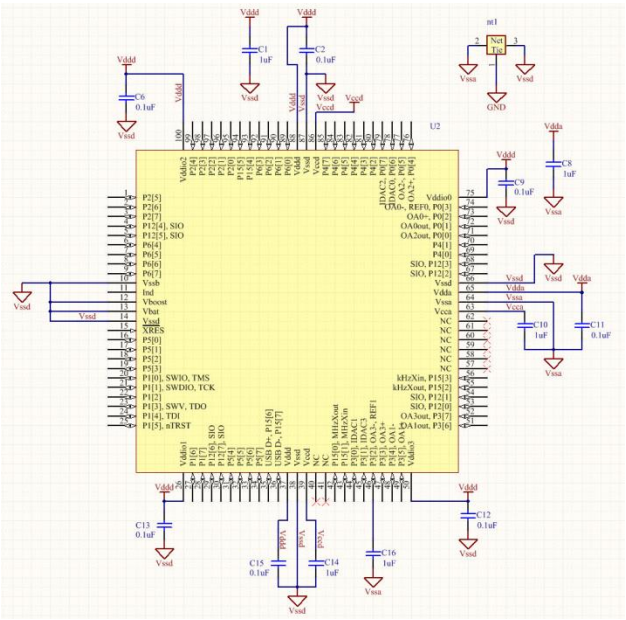
7.1 PSoC 3 および PSoC 5LP

前述のように、PSoC 3 と PSoC 5LP 製品にはいくつかのパワー ドメインがあります。それぞれのドメインは個別にバイパス コンデンサを必要としています。表 4 はこれらの要件をまとめ、図 15 はコンデンサを正しい位置に配置した回路図を示します。

表 4. PSoC 3 および PSoC 5LP のバイパス コンデンサ接続のまとめ

電源	バイパス コンデンサ
V_{DDD} – V_{SSD}	各ピンに 0.1µF セラミック コンデンサと 4.7µF～10µF バルク コンデンサ (C1、C2、C15)
V_{DDA} – V_{SSA}	ピンに 0.1µF セラミック コンデンサ (C11)。ピンが電源から 1 インチ以上離れている場合は、追加の 1～10µF バルク コンデンサ (C8)
V_{DDIO} 0、1、2、3 – V_{SSD}	各 V_{DDIO} ピンに 0.1µF セラミック コンデンサ。いくつかのピンで 5mA から 10mA に切り替わる場合は追加の 1µF バルク コンデンサ (C9、C13、C6、C12)
V_{CCA} – V_{SSA}	V_{SSA} ピンに 1µF コンデンサ (C9)
V_{CCD} – V_{SSD}	2 つの V_{CCD} ピンの 1 つに 1µF セラミック コンデンサ (C14)。V_{CCD} ピンは一緒に接続する必要がある
V_{REF} – V_{SSA} (任意)	内部バンドギャップの P3[2]または P0[3]ピンは 1～10µF バイパス コンデンサ (C16) に接続。 PSoC 5LP で、100ksps 以上で動作する場合、各 SAR ADC 用にリファレンス電圧用バイパス コンデンサを使用。使用する SAR ADC に応じて、1～10µF コンデンサを P0[2]ピンおよび／または P0[4]に配置

図 15. PSoC 3 および PSoC 5LP が電源供給されている回路図例



7.2 PSoC 4

PSoC 4 ファミリは PSoC 3 と PSoC 5 の両方で可能な精度と分解能を達成するものでないため、その基板のレイアウトは重要ではありません。とは言うものの、基板レイアウトの良い実践に従うのはいつでも大切です。図 16 に示す PSoC 4200 シリーズ デバイスでは、ポート 1 とポート 2 の近くに 2 箇所のアナログの敏感な領域があることにご注意ください。AMUXBUS を使ってすべての信号を SAR ADC に送信できますが、その経路の抵抗が高くなってしまうため、SAR ADC に信号を直接送信するためにポート 2 を使用します。ポート 1 は ADC への入力信号をバッファリングするか、または SAR ADC から完全に独立して動作するのに使用する 2 個の汎用オペアンプを持っています。これらの 2 個のポートをアナログ信号のために使用する場合、デジタル信号をこの領域から離して配線するのは優れた方法です。

図 16. PSoC 4200 ブロックのレイアウト図

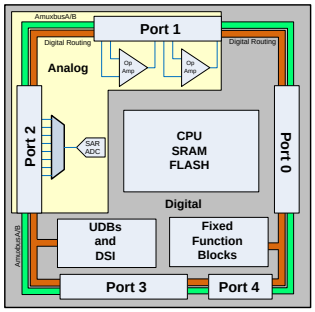


図 17 に、PSoC 4200 シリーズ 44 ピン TQFP パッケージの回路図例を示します。ここでの電源ピンが PSoC 3 と PSoC 5LP 用に比べてずっと少ないことにご注意ください。そのいくつかの理由の 1 つは、PSoC 3 と PSoC 5LP に比べて、PSoC 4 はずっと小さいデバイスであり、高性能の 16～20 ビット デルタシグマ ADC を持っていないためです。表 5 では、PSoC 4 での電源接続および各ピン用のバイパスコンデンサをまとめます。

図 18 は、44 ピン TQFP パッケージでの PSoC 4 のレイアウト例です。V_{SSD} デジタル グランド面はハッチングで表示し、アナログとデジタル グランド面を容易に区別できるようにしています。これは、2 層 PCB のレイアウト方法の一例です。「付録 A: レイアウト例」は QFN および SSOP パッケージのサンプル回路図とプリント基板レイアウトを提供します。

図 17. 44 ピン TQFP での PSoC 4 回路図例

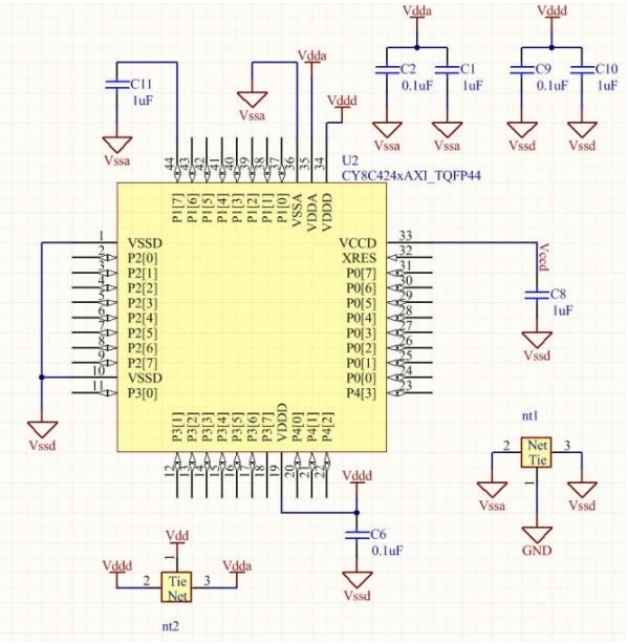
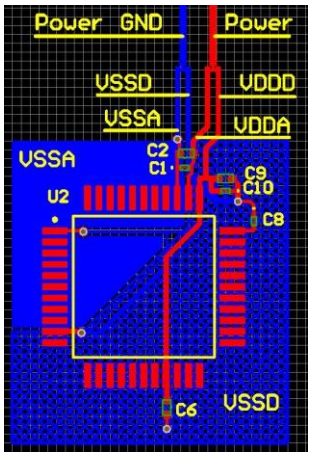


表 5. PSoC 4 のバイパス コンデンサ接続のまとめ

電源	バイパス コンデンサ
$V_{DDD} – V_{SSD}$	各ピンに 0.1µF セラミック コンデンサと 1µF～10µF バルク コンデンサ (C9、C10)
$V_{DDA} – V_{SSA}$	ピンに 0.1µF セラミック コンデンサ (C2)。追加の 1µF～10µF バルク コンデンサ (C1)
$V_{CCD} – V_{SSD}$	V_{CCD} ピンに 1µF セラミック コンデンサ (C8)
$V_{REF} – V_{SSA}$ (任意)	内部バンドギャップの P1[7]ピンは 1µF～10µF バイパス コンデンサ (C11) に接続
$V_{DDIO} – V_{SSA}$ (V_{DDIO} はすべての PSoC4 デバイスに存在するわけではない)	0.1µF セラミック コンデンサおよび追加の 1µF～10µF バルク コンデンサ (画像には表示がない)
$V_{DD} – V_{SS}$ (これらのピンはすべての PSoC4 デバイスに存在するわけではない)	0.1µF セラミック コンデンサおよび追加の 1µF～10µF バルク コンデンサ (画像には表示がない)

図 18. 44 ピン TQFP での PSoC 4 レイアウト



7.3 コンデンサの選択

電源を安定化するために使用するコンデンサには、バイパスとバルクの 2 種類があります。バルク コンデンサは平滑コンデンサとも呼ばれています。バイパス コンデンサは、部品の電源ピンの近くに配置しなければなりません。バイパス コンデンサは、高周波数ノイズと供給電流を一時的に除去するのに役立ちます。これらのコンデンサは、通常は 0.001µF～0.1µF の範囲内です。NPO、X5R、X7R 特性のコンデンサは、数百 pF～数 µF であり、理想的なバイパス コンデンサとして使用できます。

平滑コンデンサは、通常はレギュレータの近くに配置されます。サイズが数平方インチより大きく、いくつかの能動素子を持っている場合、基板全体に配置することもあります。それらは、長い時間電力を供給し、低周波数ノイズを取り除くのに使用します。平滑コンデンサは、1µF～100µF の範囲であるか、高電流信号または高電源電圧の基板の場合はもっと大きいサイズであることもあります。X5R やタンタル、いくつかの面実装の電解コンデンサが、この目的に最適です。

多くの場合、バイパス コンデンサとして使用するのは 0.01µF または 0.1µF コンデンサです。平滑コンデンサについては、最適値を得るためにいくつかの簡単な計算をすることを推奨します。大きすぎる場合、必要以上にお金をかけすぎていることになります。小さすぎる場合は、電源リップルが過剰になり、ノイズが発生することがあります。次式から始めてください。

$$I = C * \frac{dV}{dT}$$

C の解を求めます。

$$C = I * \frac{dt}{dV}$$

dt = クロックまたは周波数が最も高い成分 (fclk * π)
I = 平均電流
dV = 許容リップル電圧

$$C = \frac{I_{ave}}{(f_{clk} * \pi * dV)}$$

8 コンデンサによって異なる点

任意の用途にコンデンサを選択する際、シンプルなバイパス コンデンサでも、その仕様を考慮することは極めて重要です。電圧係数と温度係数の 2 つは最も留意されていないコンデンサの仕様ですが、通常の動作条件でデバイスの静電容量に大きな影響を与えることがあります。

デバイスが以前よりもさらに小型になってくるため、性能とサイズはトレードオフとなります。定格容量が 1µF、最大電圧が 6.3V のコンデンサは、電圧が 5V の時、容量が 0.1µF よりも小さくなる場合があります。そのため、電圧係数に注意を払わなければなりません。また、同じファミリの製品であってもこの係数が同じでないことにご注意ください。パッケージによっては電圧と温度係数が大きく異なることがあります。0805 パッケージは 0603 パッケージより電圧係数が優れますが、逆の場合もあります。このため、データシートをお読みください。コンデンサの温度係数と電圧係数が記載されていない場合は、異なるメーカー製のコンデンサをご検討ください。

9 アナログ／デジタル混在回路のプリント基板設計ルールのまとめ

以下は、アナログ／デジタル混在回路基板を設計する際に心に留めておくべきルールの一覧です。

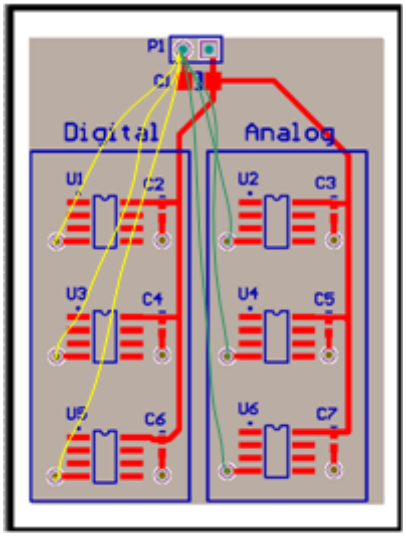
1. 個別のアナログとデジタル電源を検討します。
2. すべてのリターン経路を理解しておきます。
3. 電源面がある 4 層基板は手ごろな価格でない場合もありますが、可能であれば使用します。
4. クロックまたは高速デジタル信号と平行にアナログ信号を走らせません。
5. アナログとデジタル信号が交差しなければならない場合は、結合容量を最小限にするために、90º の角度で交差させます。
6. 電源面を類似の領域で使用します。例えば、アナログ信号をアナログ電源面の上だけで配線します。
7. バイパス コンデンサを可能な限り IC の近くに配置します。また、電源信号へのバイパス接続が低インピーダンスであることを確かめます。
8. 可能なら、基板上でアナログとデジタル信号および部品を分離します。プリント基板の「アナログ」と「デジタル」の領域を指定します。
9. 高インピーダンス入力への長い配線を避けます。長い配線はアンテナとして作動します。
10. 電源配線の幅を可能な限り広く (低インピーダンス) します。
11. 誘導性クロストークを最小限にするために、アナログ信号をグランド面の近くにします。
12. インピーダンスを低減するために各層間で電源信号を接続する際、大きいビアまたは複数のビアを使用します。
13. デジタル信号のデジタル立ち上りと立ち下り時間を最小化します。
14. アナログとデジタル信号を分離するためにガード トレースを使用します。

10 プリント基板のレイアウトおよび自動配線ツール

プリント基板レイアウトのツールはこの 20 年の間に大きな進歩を遂げました。これらのツールの多くは、信号をグループに分け、配線幅および配線間の間隔に対応した異なるルールを作れます。これらのルールに従うと、不注意なミスを回避できます。自動配線ツールはより強力になっていて、多くの一般的なツールでは、手動で経路を指定するのと同じルールになっています。熟練したプリント基板レイアウトの設計者は、これらのルールを利用して自動配線ツールの品質を向上させられます。これらの自動化ツールは非常に強力ですが、アナログとデジタル信号の経路をどのように配置するかに注意してください。基板の敏感な部品に手動での経路指定を行い、その後に自動配線ツールに基板の最も重要度の低い部分を担当させた方が良いです。そして、どちらの場合も最終配線を検証してください。

最適な場所に部品を配置することは、手動配線または自動配線のどちらにも大幅に助けとなります。部品の配置および基板のレイアウトが完了した後、共有するリターン経路が問題を生じさせるか否かを検証するために簡単なテストを行ってください。基板レイアウトを印刷し、電源からそれぞれの部品への最も直接的な経路を描きます。アナログの部品に色を付け、デジタルの部品に他の色を付けます。異なる色の線が交差すると、設計の再評価を必要とすることがあります。図 19 を参照してください。

図 19. プリント基板レイアウトでリターン経路を描画



11 まとめ

本アプリケーション ノートで説明した設計上のヒントにより、ユーザーは次の概念を把握しやすくなります。

- 信号のリターン経路を理解し、可能ならアナログとデジタル リターン経路を共有しないようにします。
- 配線抵抗は重要であり、オームの法則に従って抵抗値を簡単に決定できます。
- 常に、任意の 2 本の隣接した配線間には結合 (カップリング) があるので、デジタル信号をアナログ信号から離します。

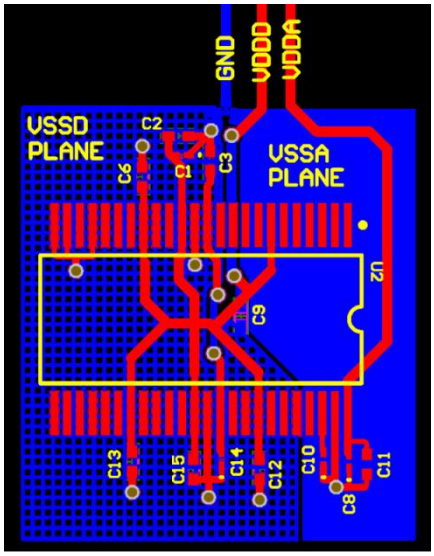
著者について

氏名:	Mark Hastings
役職:	アプリケーション エンジニア MTS
経歴:	Mark Hastings は、1984 年にワシントン州立大学を卒業しました。過去 25 年間にわたり、組込みおよびアナログ／デジタル混在回路の設計に携わってきました。暇な時間はほとんどハイキングやワシントン州のノースカスケード山で登山をして過ごします。

A 付録 A: レイアウト例

A.1 PSoC 3 および PSoC 5LP の SSOP、QFN および TFQP パッケージ

図 20. 48 ピン SSOP パッケージ用のレイアウト例



回路図、レイアウト、ガーバー ファイルを含む例は、CY8CKIT-030 および CY8CKIT-050 開発キット ウェブページをご覧ください。また、PSoC 3 および PSoC 5LP CAD のリソース ウェブページも参照してください。

図 21. 48 ピン SSOP パッケージでの PSoC 3／5 の回路図

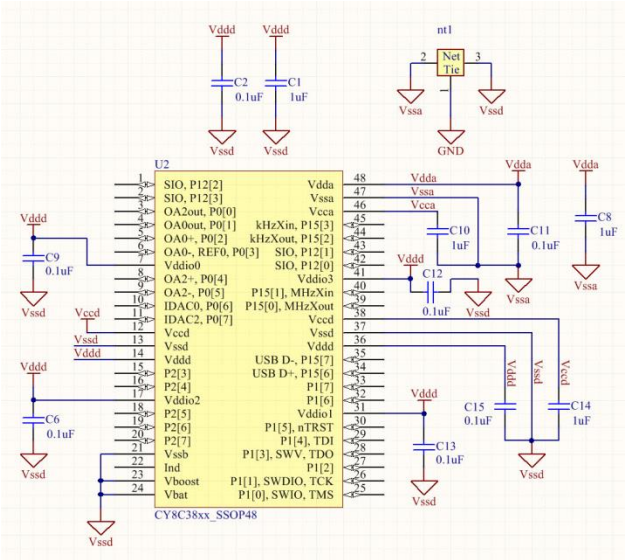


図 22. 68 ピン QFN パッケージでの PSoC 3／5 のレイアウト例

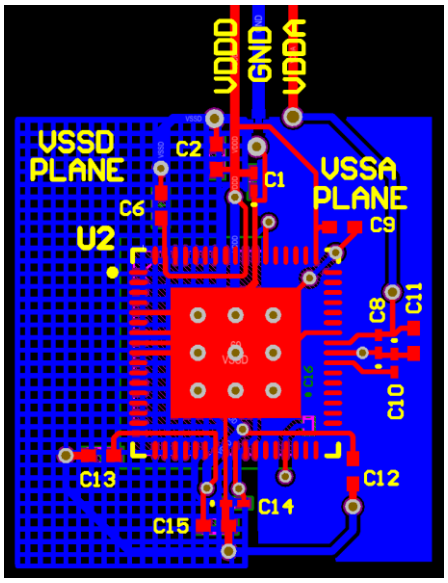
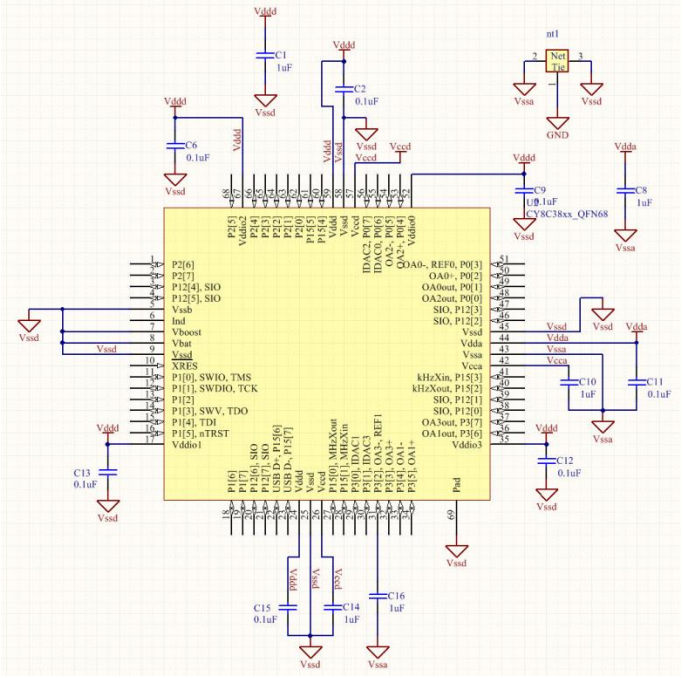


図 23. 68 ピン QFN パッケージでの回路図



A.2 PSoC 4 QFN および SSOP パッケージ

図 24. 40 ピン QFN パッケージでの
PSoC 4 のレイアウト例

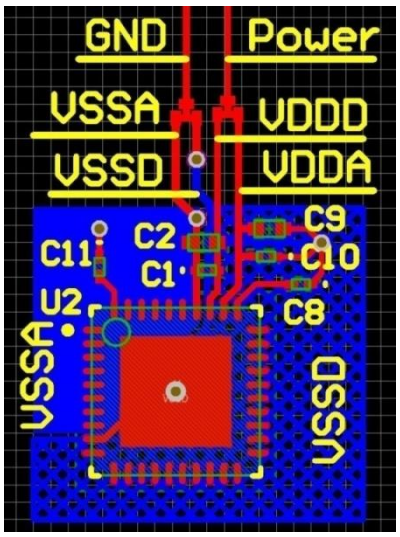


図 25. 40 ピン QFN パッケージでの
PSoC 4 の回路図例

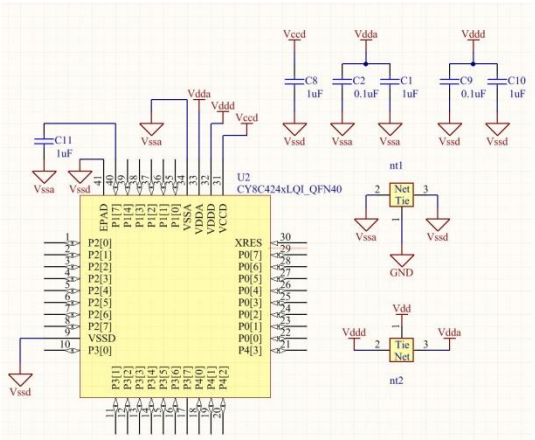


図 26. 28 ピン SSOP パッケージでの
PSoC 4 のレイアウト例

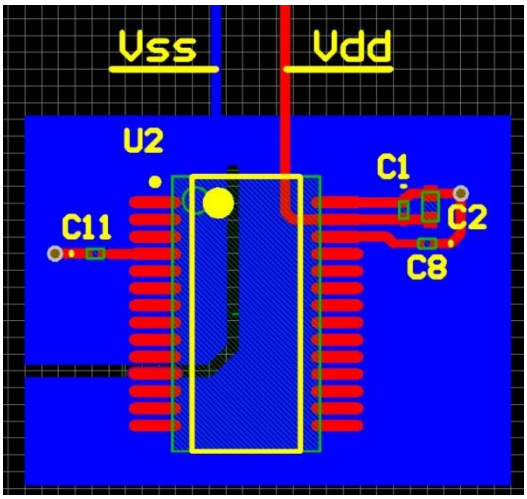
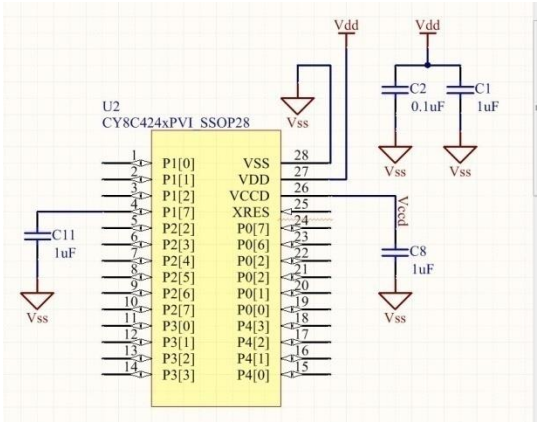


図 27. 28 ピン SSOP パッケージでの
PSoC 4 の回路図例



回路図、レイアウト、ガーバー ファイルを含む例は、CY8CKIT-044、CY8CKIT-042 および CY8CKIT-040 開発キット ウェブページをご覧ください。また、PSoC 4 CAD リソース ウェブページも参照してください。

改訂履歴

文書名: AN57821 - PSoC®3、PSoC 4、および PSoC 5LP のアナログ／デジタル混在回路基板レイアウトの注意事項

文書番号: 001-89253

版	ECN	発行日	変更内容
**	4129790	10/16/2013	これは英語版 001-57821 Rev. *H を翻訳した日本語版 001-89253 Rev. **です。
*A	4722745	04/14/2015	これは英語版 001-57821 Rev. *J を翻訳した日本語版 001-89253 Rev. *A です。
*B	5538544	12/01/2016	これは英語版 001-57821 Rev. *K を翻訳した日本語版 001-89253 Rev. *B です。
*C	5716314	04/28/2017	更新されたロゴと著作権。
*D	6796668	02/10/2020	これは英語版 001-57821 Rev. *L を翻訳した日本語版 001-89253 Rev. *D です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチセンシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC®ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | サンプルコード | Projects | ビデオ | ブログ | トレーニング | Components

テクニカル サポート

cypress.com/support

本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2009-2020. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は, アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し, 本段落で特に記載されているものを除き, その特許権, 著作権, 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず, かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき, (a) ソースコード形式で提供されている本ソフトウェアについて, Cypress ハードウェア製品と共に用いるためにのみ, かつ組織内部でのみ, 本ソフトウェアの修正及び複製を行うこと, 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ, (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること, 並びに (2) 本ソフトウェア (Cypress により提供され, 修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ, 本ソフトウェアの作成, 利用, 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用, 複製, 修正, 変換又はコンパイルを禁止する。

適用される法律により許される範囲内で, Cypress は, 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても, 明示又は黙示をとわず, いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて, 本書面に記載された製品には, エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり, 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は, 別途通知することなく, 本書面を変更する権利を留保する。Cypress は, 本書面に記載のある, いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は, 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計, プログラム, かつテストすることは, 本書面のユーザーの責任において行われるものとする。Cypress 製品は, 兵器, 兵器システム, 原子力施設, 生命維持装置若しくは生命維持システム, 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム, 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用, 又は装置若しくはシステムの不具合が人身傷害, 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計, 意図又は承認されていない。重要な構成部分とは, それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ, 若しくは本目的外使用に関連するいかなる請求, 損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず, かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求, 費用, 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は, 米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは, それぞれの権利者の財産として権利主張がなされている可能性がある。