请注意赛普拉斯已正式并入英飞凌科技公司。
此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性
事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

订购零件编号的连续性
英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

AN218241

PSoC 6 MCU 硬件设计注意事项

作者: Meenakshi Sundaram R, Vaisakh K V
相关器件系列: PSoC 6 MCU
相关文档: 要想获取完整列表，请点击此处.

AN218241 介绍了围绕 PSoC® 6 MCU 器件的硬件系统设计，包括选择封装、电源、时钟、复位、I/O 用法、编程和调试接口以及模拟模块设计等操作的注意事项。

Contents

1 简介 2
2 封装选择 2
3 电源 4
3.1 电源引脚连接 4
3.2 PMIC 控制器 5
3.3 功率上升和排序注意事项 6
3.4 设备电源的 PSoC Creator 设置 6
3.5 散热考虑因素 6
3.6 eFuse 编程 7
4 时钟 7
4.1 PSoC Creator 时钟选项卡 7
4.2 晶体振荡器 8
4.3 外部时钟 10
5 复位 11
6 编程和调试 12
6.1 SWD 12
6.2 JTAG 13
6.3 ETM 13
6.4 PSoC Creator 中的调试选择 14
7 GPIO 引脚 15
7.1 I/O 引脚选择 15
8 组件放置 16
9 模拟模块设计技巧 16
9.1 CapSense 16
9.2 SAR ADC 19
9.3 CTDAC 20
10 在设计中使用外部存储器 21
11 USB 连接 22
11.1 PSoC 6 MCU USB 引脚说明 22
11.2 PSOC 6 MCU 作为 USB 器件 22
12 天线设计 22
12.1 支持外部功率放大器/低噪声放大器/ RF 前端 24
13 音频子系统 25
13.1 PDM-PCM 转换器的时钟生成 26
13.2 I2S 音频设备的时钟生成 26
14 总结 28
15 相关文档 28
Appendix A. PCB 布局提示 30
Appendix B. 原理图检查表 31
Appendix C. 赛普拉斯术语 32
文档修订记录 33
销售、解决方案以及法律信息 34

1 简介

赛普拉斯 PSoC 6 MCU 是一款可编程嵌入式片上系统器件，单个芯片上集成了蓝牙低功耗（BLE）4.2、可编程数字外设、高达 1 MB 闪存和 288 KB SRAM、第四代 CapSense®和双 CPU，Arm®Cortex®-M4F 和 Arm Cortex-M0 +微控制器。 PSoC 6 MCU 是赛普拉斯新推出的超低功耗 PSoC，专为可穿戴设备和物联网（IoT）产品而设计。 PSoC 6 MCU 为 MCU 和 BLE 无线的组合提供了经济高效且占用空间小的替代方案。

本应用笔记讨论了硬件设计的注意事项，包括封装，电源，时钟，复位，I/O 使用，编程/调试，CapSense 和 BLE 天线设计。

必须将 PSoC 6 MCU 器件配置为在其硬件环境中工作，您可以使用 PSoC Creator 集成设计环境（IDE）。此应用笔记介绍了 PSoC Creator 中可用的各种配置，这些是为给定硬件环境设置器件所需的。

有关 PSoC 6 MCU 的入门知识，请参考*带有蓝牙低功耗（BLE）连接的 PSoC 6 MCU 入门*.。

2 封装选择

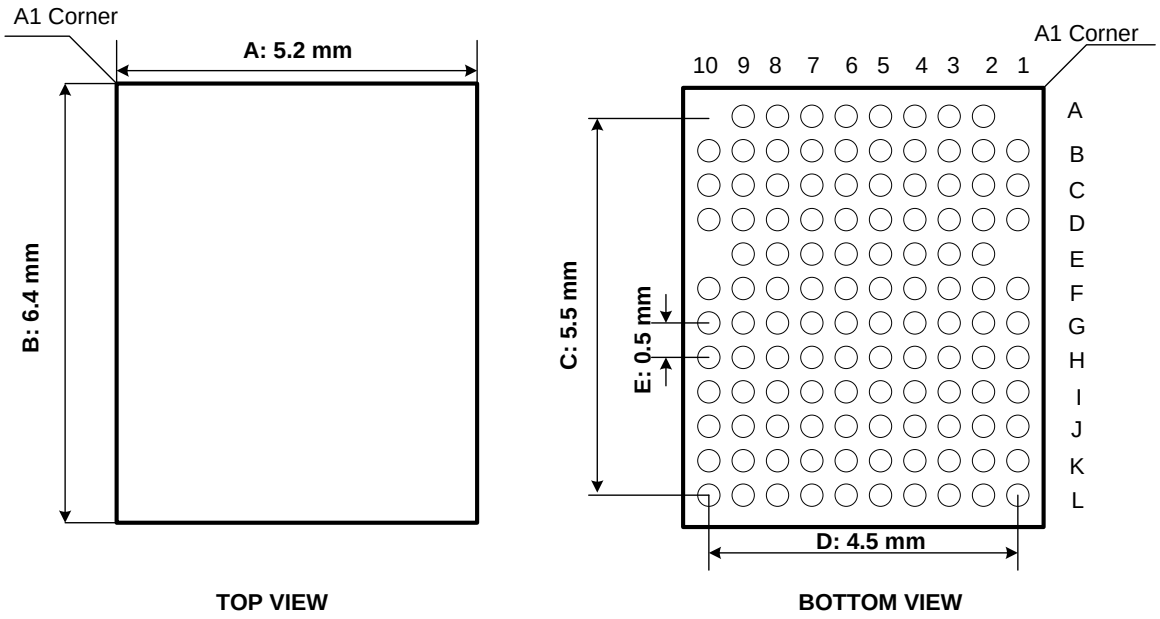
您必须为 PCB 做出的首要决定之一就是选择封装。 几个注意事项导致了这一决定，包括所需的 PSoC 器件引脚数量，PCB 和产品尺寸，PCB 设计规则以及热稳定性和机械稳定性。 PSoC 6 MCU 器件采用 BGA 和 MCSP 封装 - 见 Table 1 和 Figure 1 至 Figure 3。

Table 1. 封装区域尺寸

指示符	说明	尺寸 (mm)	
		116-BGA	104-MCSP
A	封装宽度	5.20	3.80
B	封装长度	6.40	5.00
C	垂直行高度	5.50	4.55
D	水平行宽度	4.50	2.80
E	间距	0.50	0.35

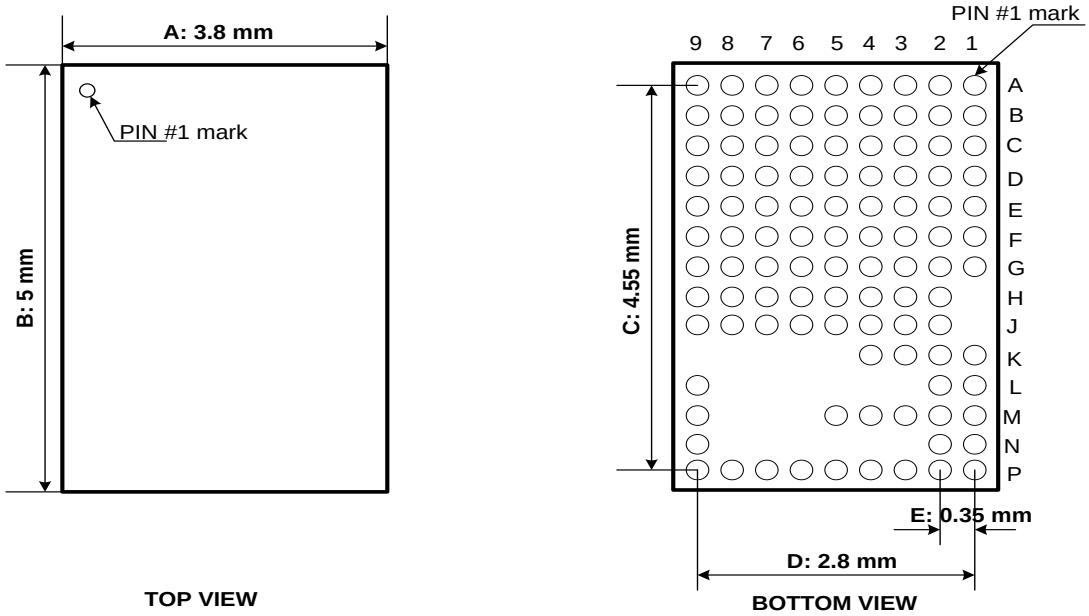
- **116-BGA（球栅阵列）**：116-BGA 封装尺寸为 5.2 mm×6.4 mm×0.5 mm，间距尺寸为 0.5 mm。 BLE 无线集成在封装内。

Figure 1. 116-BGA 封装区域尺寸



- **104-MCSP（模压芯片级封装）**：104-MCSP 封装尺寸为 3.8 mm×5 mm×0.65 mm，间距为 0.35 mm。 BLE 无线电集成在封装内。 AN69061 为赛普拉斯晶圆级芯片尺寸封装的设计、制造和处理提供指导。

Figure 2. 104-MCSP 封装区域尺寸



作为设计参考，请参见 PSoC 6 MCU CAD 库，其中包含 PSoC 6 MCU 原理图和 PCB 库。 请注意，在硬件设计中使用它们时，可能需要稍作修改。 赛普拉斯对与库使用相关的问题不承担任何责任。

3 电源

PSoC 6 MCU 可由单电源供电，电压范围宽，范围为 1.7 V 至 3.6 V。如 Table 2 所示，它具有用于模拟和数字模块的独立电源域。 有关这些引脚的连接的详细信息，请参见“电源引脚连接”部分。

Table 2. PSoC 6 MCU 电源域

电源域	电源引脚	接地引脚	支持的电压范围	描述
SIMO 降压稳压器	VDD_NS	VSS_NS	1.7 V ~ 3.6 V	输入到 SIMO 降压稳压器
	VBUCK1	VSSD	ULP or LP	片上 SIMO 稳压器的输出 1。 需要旁路电容连接才能正常工作。 当内部稳压器断电时，此输出可为 VCCD 供电。 有关支持的电压范围（ULP 或 LP），请参见器件 datasheet。
	VRF	VSSD	1.05 V ~ 1.50 V	片上 SIMO 稳压器的输出 2。 需要旁路电容连接才能正常工作。 此输出可为 VDCDC 输入供电。
	VIND1, VIND2	-	-	SIMO 降压稳压器所需的电感引脚
模拟	VDDA	VSSA	1.7 V ~ 3.6 V	模拟电源输入
数字	VDDD	VSSD	1.7 V ~ 3.6 V	数字电源输入和核心稳压器的电源输入
	VCCD	VSSD	ULP or LP	内部核心稳压器（LDO）输出。 需要旁路电容连接才能正常工作。 内部稳压器关闭时用作核心电源输入。 有关支持的电压范围（ULP 或 LP），请参见器件 datasheet。
I/O	VDDIO	VSSIO	1.7 V ~ 3.6 V	I/O 电源输入
RF	VDDR	VSSR	1.05 V ~ 1.50 V	BLE 无线模拟电源输入; 从外部连接到 VDCDC
	VDDR_HVL	VSSD	1.75 V ~ 1.95 V	PSoC 6 MCU 到 BLE 无线接口供电输出; 需要旁路电容连接才能正常工作
	VDCDC	VSSD	1.05 V ~ 1.50 V	BLE 无线数字电源输入; 通常从外部连接到 VRF
	DVDD	VSSD	~ 1 V	BLE 子系统稳压器（LDO）输出; 需要旁路电容连接才能正常工作
Backup	VBACKUP	VSSD	1.4 V ~ 3.6 V	备份域供电

3.1 电源引脚连接

PSoC 6 MCU 提供的电源选项可支持各种应用电压和要求。 VDDD 输入支持 1.7 V 至 3.6 V 的电压范围。如果应用电压在此范围内，则 PSoC 6 MCU 可以直接连接到应用电压。在电压超出此范围的应用中，应当使用合适的电源管理 IC（PMIC）将电压提升至此范围。

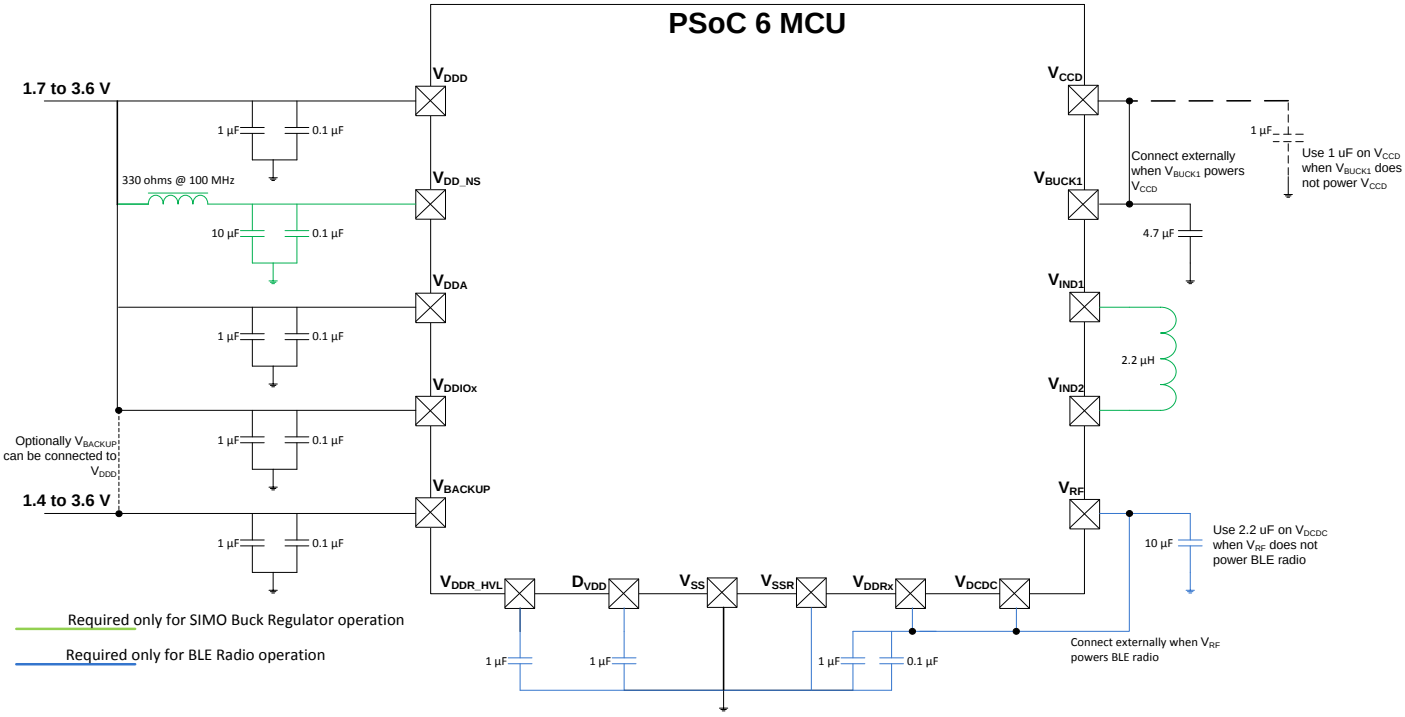
值得注意的是，PSoC 6 MCU 包含一个片上降压稳压器，可产生两个输出（VBUCK1 和 VRF）。 VBUCK1 输出可为 PSoC 6 MCU 内核供电。 VRF 输出可以为 BLE 无线供电。有关降压调节器及其使用方法的详细信息，请参考 *PSoC 6 MCU: PSoC 63 with BLE Architecture TRM* 的“电源和监控”章节。Figure 3 显示了 PSoC 6 MCU 中的各种电源焊盘以及典型设计的推荐连接。 VBACKUP 电源引脚可在 1.4 V 至 3.6 V 范围内工作，并且可独立于其他电源轨存在。因此，如果设计不支持单独的 VBACKUP 电源，VBACKUP 导轨可以连接到单独的导轨，如纽扣电池或超级电容，或直接连接到 VDDD。其他电源轨和引脚（如 VDDA 和 VDDIO）也独立于 VDDD 和 VCCD 而存在。

此外，电源轨还为 I/O 端口提供电源电压。Table 3 显示了 I/O 端口及其各自的电源轨。端口上的 I/O 电平不应超过其电源电压;否则它将被控制到供电电平。

Table 3. I/O 端口的电源

供电导轨	供电 I/O 端口
VDDD	Port 1
VDDA	Port 9, Port 10
VDDIO	Port 5,6,7,8,11,12,13
VBACKUP	Port 0

Figure 3. 电源系统连接



根据经验，将一个 0.1µF 和一个 1µF 陶瓷去耦电容连接到每个电源引脚（请注意，某些封装具有多个 VDDD，VDDA，VDDR 和 VDDIO 引脚）。 建议在输入电源和 VDD_NS 引脚之间使用铁氧体磁珠，以将 VDD_NS 域与电源隔离。 这是因为 SIMO 降压操作会在 VDD_NS 轨道上注入噪声。 有关所用各种组件的推荐值，请参见 Figure 3。 引脚和电容之间的 PCB 走线应尽可能短。 有关更多信息，请参阅 PCB .

注意：在使用之前检查电容器的数据表是一个好习惯，特别是工作电压和直流偏置规范。 对于某些电容器，当直流偏置占额定工作电压的很大百分比时，实际电容会显着降低。 确保其所服务的工作电压范围内的电容变化较小。

您可以使用单个电源轨来实现数字电源和模拟电源，这有助于简化电路板中的电源设计。 但是，为了在混合信号电路设计中获得更好的模拟性能，请为数字电源和模拟电源使用单独的电源轨。 至少，使用铁氧体磁珠隔离导轨。 有关更多混合信号电路设计技术，请参阅 AN57821 – PSoC Mixed-Signal Circuit Board Layout Considerations。

正确使用和布置电容器和铁氧体磁珠有助于提高 EMC 性能。 有关更多信息，请参阅 AN80994 – Design Considerations for Electrical Fast Transient (EFT) Immunity。

赛普拉斯 PSoC 6 MCU 套件（CY8CKIT-062-BLE）提供原理图和物料清单（BOM），为如何将 PSoC 6 MCU 集成到电路板原理图中提供了很好的示例。 有关更多信息，请参阅 Related Documents。

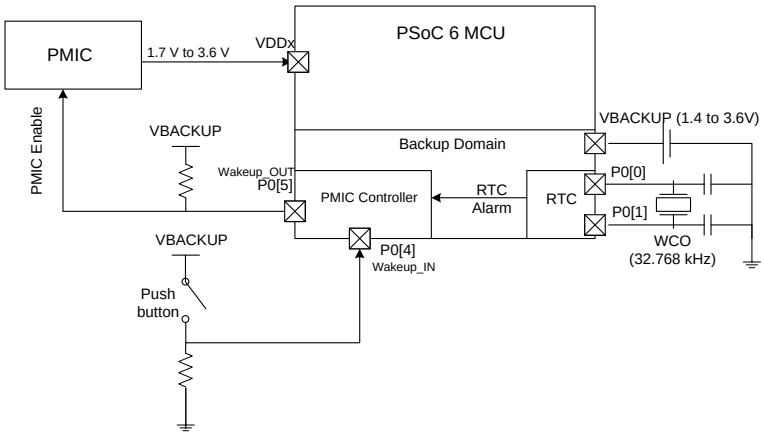
3.2 PMIC 控制器

PSoC 6 MCU 支持备份域中的 PMIC 控制器。 PMIC 控制器可用于启用/禁用 PSoC 的电源，备用域（VBACKUP）从另一个电源（通常来自纽扣电池或超级电容器）运行。 PSoC 6 MCU 通过 RTC 报警或 GPIO 输入引脚提供可配置的唤醒源。 要使用 PMIC 控制器，请确保硬件中存在以下内容：

1. 所选 PMIC 支持高电平有效 PMIC 使能信号，支持 VBACKUP 电压范围内的输入电平。
2. 独立电源（PMIC 输出除外），例如纽扣电池或超级电容器，为 VBACKUP 供电。
3. Wakeup_OUT（P0[5]）引脚连接到 PMIC 使能信号，并通过可选的上拉电阻连接到 VBACKUP。
4. 如果 RTC 警报用作唤醒源，请确保外部 32.768 kHz 晶振或信号为 RTC 提供时钟。
5. 如果外部引脚（P0[4]）用作唤醒源，则应从外部驱动信号，即必须在外部连接必要的下拉电阻，因为唤醒逻辑为高电平有效。 Wakeup_IN 引脚是 PSoC 的 HI-Z 数字输入。

Figure 4 显示了在 PSoC 6 MCU 设计中使用 PMIC 控制器。

Figure 4. 使用 PMIC 控制器



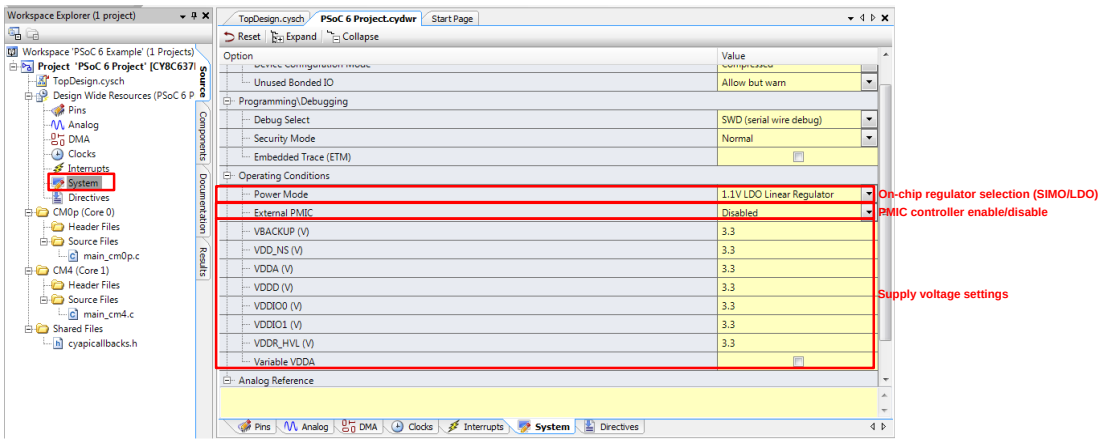
3.3 功率上升和排序注意事项

VDDD，VBACKUP，VDDIO 和 VDDA 没有任何时序限制，可以按任何顺序建立。但是，在设计中使用 CapSense 时，VDDIO 应大于或等于 VDDA。 CapSense 信号可以在 VSSA 和 VDDA 之间切换，因此要求 VDDIO 支持到 VDDA 的摆幅。 此外，没有 VDD 或 VDDD 的 VDDA 的存在可能会导致 VDDA 的一些泄漏。但是，它不会驱动任何模拟或数字输出。提供多个 VDDA 电源引脚的封装中的所有 VDDA 引脚必须在 PCB 外部短接。任何电源引脚的最大允许电压斜坡在活动功耗模式下为 100 mV /µs，在深度休眠功耗模式下允许的斜坡为 20 mV /µs。

3.4 设备电源的 PSoC Creator 设置

PSoC Creator 自动配置组件，以便为施加到电源引脚的电压提供最佳性能。为此，需要知道这些电压的值。 PSoC Creator 项目的设计范围资源（DWR）窗口中的“系统”选项卡用于此目的。要打开 DWR 窗口，请双击项目导航器中的.cydwr 文件，如 Figure 5 所示。

Figure 5. PSoC Creator 中的器件电源设置



3.5 散热考虑因素

散热考虑因素在硬件设计过程中非常重要，例如封装选择和 PCB 布局。 PSoC 6 MCU 面向低功耗应用，因为它的功耗不超过 0.2 W.最大功耗非常低，不需要考虑散热。

3.6 eFuse 编程

PSoC 6 MCU 支持 1024 位一次性可编程（OTP）eFuse。 eFuse 的每个位都可以独立吹制。有关详细信息，请参见 *PSoC 6 MCU: PSoC 63 with BLE Architecture TRM* 的“非易失性存储器编程”章节。当使用特定的系统调用来吹制 eFuse 位，器件的 VDDIO0（或 VDDIO，如果封装中只有一个 VDDIO）电源应设置为 2.5V（±5%），以便成功编程/吹制 eFuse 位。 eFuse 模块的编程电压在内部连接到 VDDIO0。通常，eFuse 编程仅在部署之前完成一次。您可以先将器件中的 eFuse 位置于硬件上，然后再吹制 eFuse 位，也可以将 2.5-V 连接到硬件中的 VDDIO0，以进行 eFuse 编程。PSoC Programmer 3.27 或更高版本支持 eFuse 编程。

4 时钟

PSoC 6 MCU 时钟系统包括三个内部时钟源：8 MHz 内部主振荡器（IMO），32 kHz 内部低速振荡器（ILO）和精密 32 kHz 内部低速振荡器（PILO）。 IMO 在电压和温度范围内的精度为±1%。ILO 准确率为±5%。 PILO 的精度为±2%，使用高精度时钟源可校准至±250 ppm。

除内部时钟源外，PSoC 6 MCU 还有三个外部时钟源：使用来自 I/O 引脚的信号产生的外部时钟（EXTCLK），外部 4-33.33 MHz 晶体振荡器（ECO）和外部 32.768-kHz 时钟晶振振荡器（WCO）。

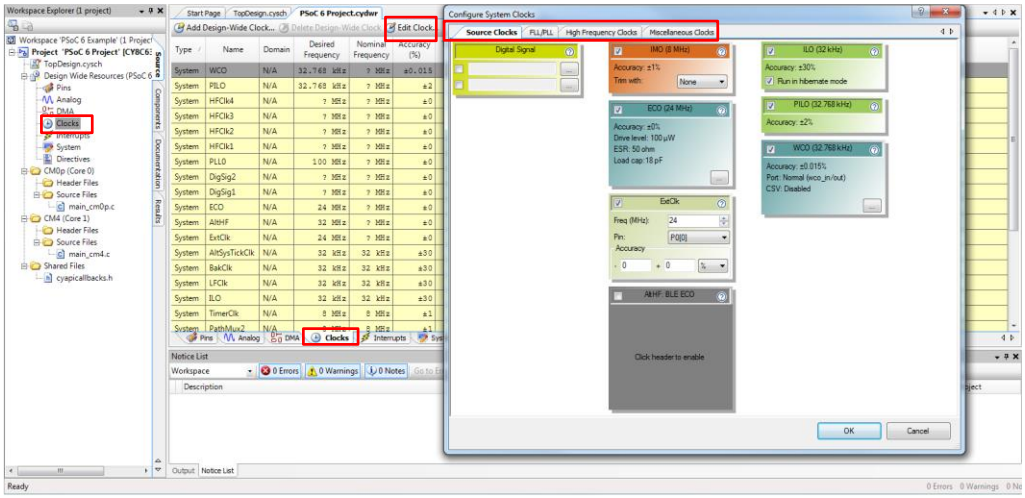
PSoC 6 MCU 中的 BLE 无线包括一个额外的晶体振荡器（32 MHz）。对于正确的 BLE 操作，必须使用外部 32 MHz 晶振。该振荡器模块产生的时钟可用于 PSoC 6 MCU 内的其他模块。该时钟在 PSoC Creator 时钟选项卡中讨论的时钟设置中作为 AltHF 时钟进行路由。请注意，此时钟仅在 BLE 无线电通电时可用。有关为 BLE 应用选择和调整 WCO / ECO 晶振的详细信息，请参考 *AN95089-PSoC®4/ PRoC™ BLE 晶体振荡器选择和调谐技术*。

更多详细信息，请参考 *PSoC 6 MCU: PSoC 63 with BLE Architecture TRM* 的时钟章节。

4.1 PSoC Creator 时钟选项卡

使用 PSoC Creator，您可以配置高频时钟（HFCLK）和低频时钟（LFCLK）的源和路径。 **Source Clocks** 选项卡允许您配置各种时钟源，**FLL / PLL** 选项卡允许您在 PSoC 6 MCU 内配置（锁频环路）FLL 和锁相环（PLL）。切换到 DWR 窗口中的 **Clocks** 选项卡，双击时钟表中的任意行，或单击 **Edit Clock** 按钮打开 **Configure System Clocks** 对话框，如 Figure 6 所示。

Figure 6. PSoC Creator 中时钟设置



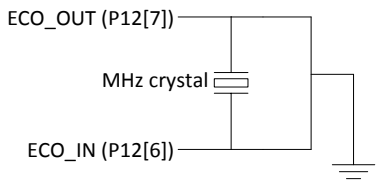
PSoC 6 MCU 提供灵活的内部时钟路由解决方案。 您可以在 PSoC 6 MCU 中使用最多两个数字信号作为内部数字逻辑的路由时钟。 在 PSoC Creator 帮助菜单中选择 **Topics**，然后搜索 Configure System Clocks 以获取更多信息。

4.2 晶体振荡器

4.2.1.1 ECO

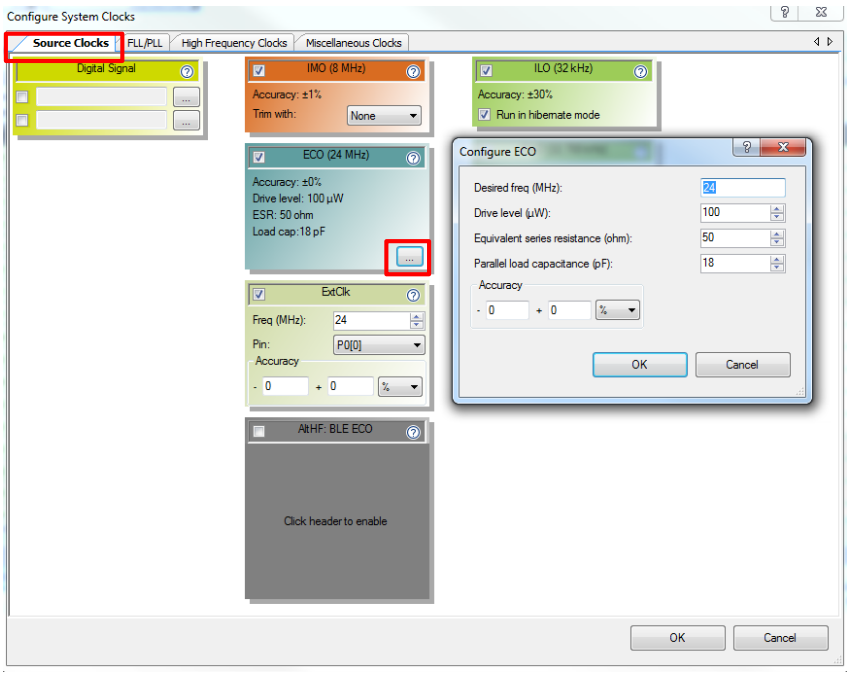
ECO 模块需要外部晶振连接到相应的引脚，如 Figure 7 所示。当在 Design Wide Resources 窗口的 Clocks 选项卡中启用 ECO 时，PSoC Creator 会自动锁定相应的 I/O 引脚并将其配置为连接外部晶振。 在 PSoC 6 MCU 中，外部晶振连接到端口 12[6]和 12[7]。

Figure 7. ECO 连接



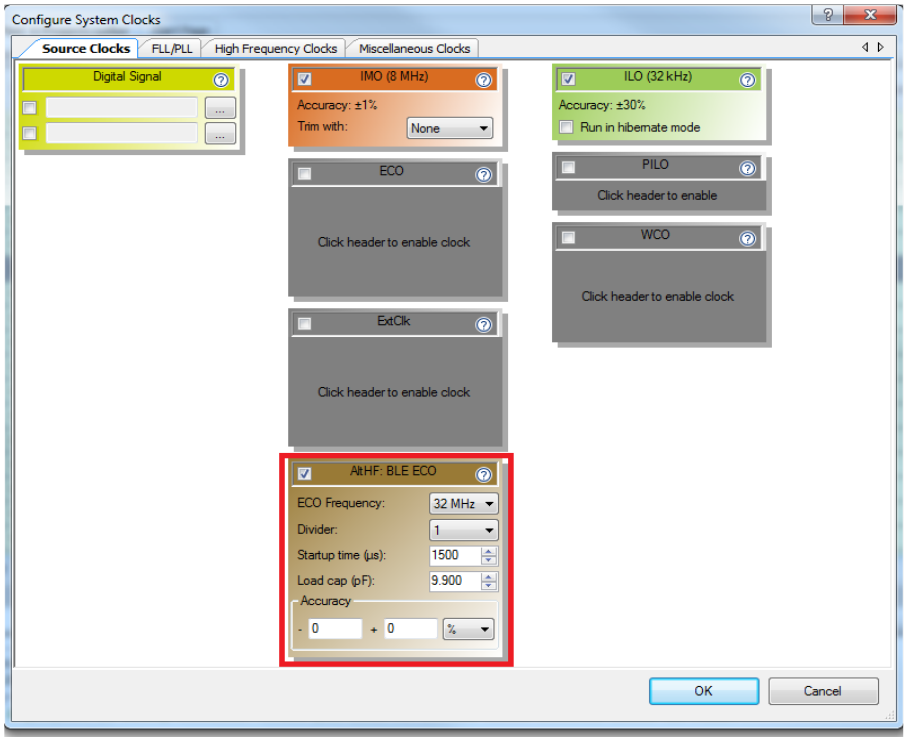
根据晶振频率和制造商提供的参数，可以在 Figure 8 所示的 **Configure ECO** 对话框中进一步配置 ECO。晶振制造商通常提供参数的数值，即最大驱动电平（DL），等效串联电阻 （ESR）和并联负载电容（C_L）。 应在“Configure ECO”设置中输入这些数据以正确配置 ECO。

Figure 8.配置 PSoC Creator 中的 ECO 选项



应该注意的是，作为 BLE 无线电的一部分可用的 ECO 具有其自己的引脚（XI 和 XO）。 您可以在 AltHF 时钟配置窗口中添加负载电容、晶振精度和启动时间详细信息，如 Figure 9 所示。不需要此 ECO 的外部负载电容。

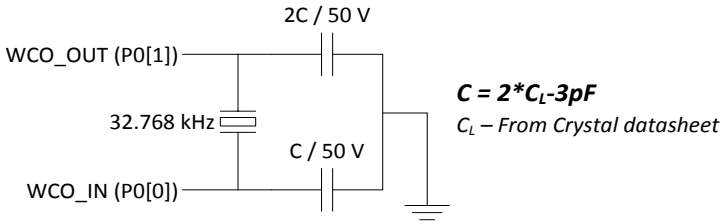
Figure 9. 配置 PSoC Creator 中的 BLE ECO 选项



4.2.1.2 WCO

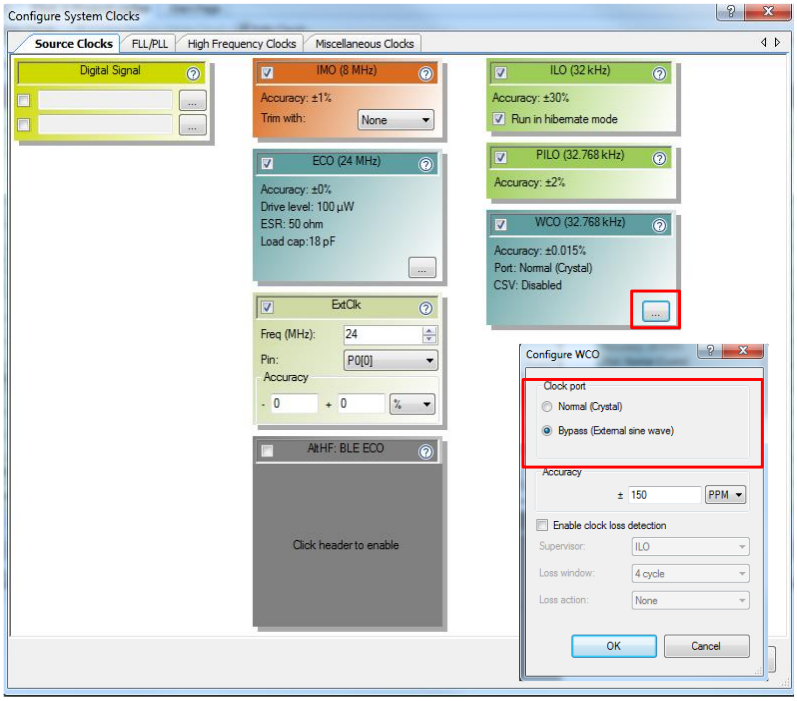
WCO 模块需要外部 32.768 kHz 晶振以及输入和输出负载电容才能正常工作。 如 Figure 10 所示。

Figure 10. WCO 连接



此外，WCO 模块可以完全旁路，32.768 kHz 外部方波可以直接馈入 WCO_OUT 引脚。 在此配置中，WCO_IN 引脚应悬空。 要绕过 WCO，请在 **Configure System clocks** 窗口中启用 WCO，并将 **Configure WCO** 对话框中的 **Clock port** 单选按钮设置为 **Bypass**，如 Figure 11 所示。这将配置 WCO 模块以在 WCO_OUT 引脚上路由 32.768-kHz 时钟（方波信号））到 RTC 和 LFCLK。 确保未使用 WCO_IN 引脚并在设计中将其悬浮。

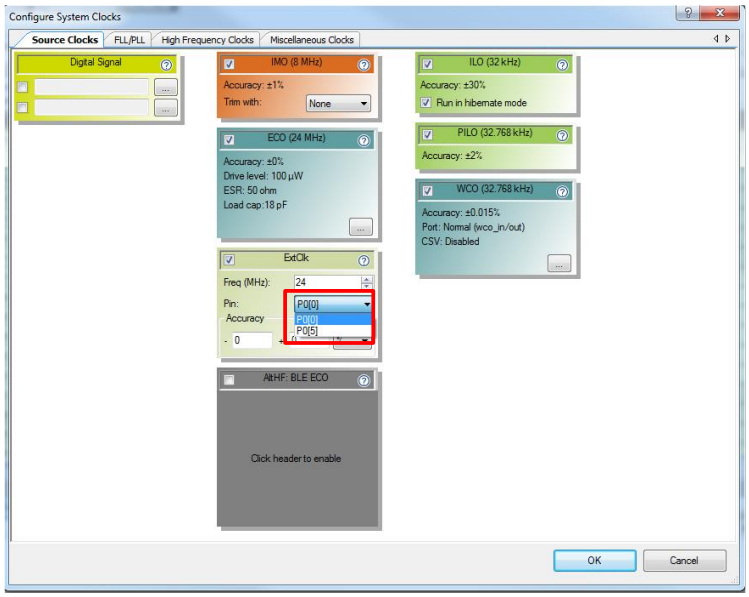
Figure 11.在 PSoC Creator 中配置 WCO 选项



4.3 外部时钟

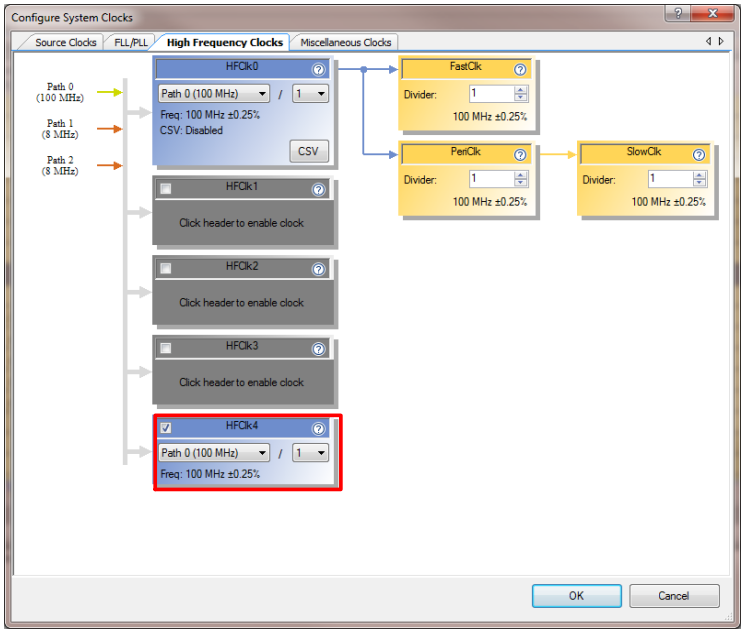
在 PSoC 6 MCU 中，0-100 MHz 范围的时钟可以连接到 EXT_CLK 引脚（P0[0]或 P0[5]），并路由到 PSoC 内的各个模块。 如 Figure 12 所示。当选择特定引脚接收外部时钟时，PSoC Creator 会自动为 ExtClk 配置和保留该引脚。 PSoC 期望在 ExtClk 输入上具有 0-100 MHz 范围的数字信号，占空比为 45-55％。

Figure 12. PSoC Creator 中 ExtClk 选项



此外，HFClk4 的输出可通过 P0[0]或 P0[5]输出，如 Figure 12 所示。请注意，ExtClk 输入和 HFClk4 输出使用相同的信号路径。 因此，它们中一次只有一个可以处于活动状态。 要将 P0[0]或 P0[5]用作 ExtClk 输入，HSIOM 设置应设置为 SRSS_EXT_CLK，驱动模式应配置为高阻抗数字，并启用输入缓冲器。 要将引脚用作 HFClk4 输出，HSIOM 设置应设置为 SRSS_EXT_CLK，驱动模式应配置为禁用输入缓冲器的强驱动器。

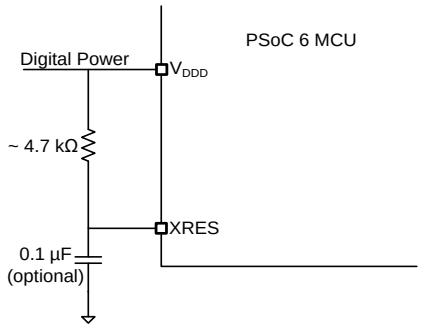
Figure 13. PSoC Creator 中的 HFClk4 选项



5 复位

PSoC 6 MCU 具有复位引脚 XRES，该引脚为低电平有效。 您必须通过 4.7kΩ 电阻从外部将 XRES 引脚上拉至 VDDD。这将确保在设计中 XRES 引脚不会悬浮，并且器件可以正常工作。 您还可以将一个电容（通常为 0.1µF）连接到 XRES 引脚，如 Figure 14 所示，以滤除毛刺并为复位信号提供更好的抗噪性。 可选地，如果 PSoC 由外部主机控制，则 XRES 引脚可以由主机直接驱动。

Figure 14. XRES 引脚连接



6 编程和调试

PSoC 6 MCU 编程和调试接口为外部器件提供通信网关，以执行编程或调试。 外部设备可以是赛普拉斯提供的编程器和调试器，也可以是支持编程和调试的第三方设备。 串行线调试（SWD）或 JTAG 接口可用作外部器件和 PSoC 6 MCU 之间的编程/调试协议。 此外，PSoC 6 MCU 还支持 Cortex-M4 CPU 上的 Arm Embedded Trace Macrocell（ETM）。

6.1 SWD

对于 SWD 编程或调试，您可以使用 PSoC 6 MCU 套件（KitProg）的板载编程器/调试器，或通过调试器支持的任何连接器将 PSoC BLE 6 连接到外部调试器，如 CY8CKIT-002 MiniProg3。 MiniProg3 支持 10 针和 5 针连接器，用于 SWD 编程和调试（参见 Figure 15）。 除 SWD 外，PSoC 6 MCU 还支持 Arm 定义的单线查看器（SWV）接口。 SWV 接口用于程序和数据监控，其中固件可以使用类似于 PC 上的“printf”调试的方法输出数据，使用单个引脚。 MiniProg3 中的 SWV 支持仅适用于 10 针接头（参见 Figure 16）。

Figure 15. MiniProg3 的 SWD 连接器引脚映射

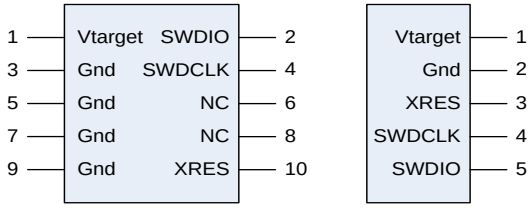


Figure 16. MiniProg3 的 SWD + SWV 连接器引脚映射

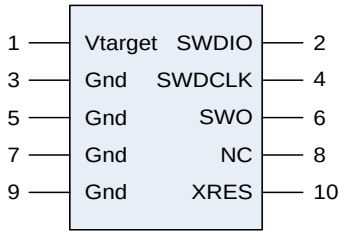
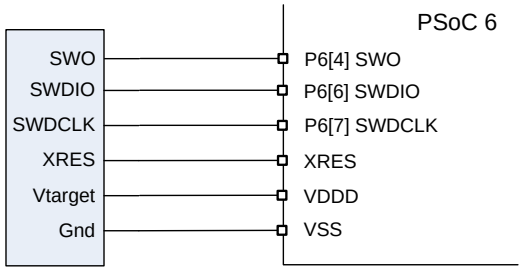


Figure 17 显示了 PSoC 6 MCU 中的 SWD 和 SWV 连接。

Figure 17. SWD/SWV 到 PSoC 6 MCU 的连接



6.2 JTAG

对于 JTAG 编程和调试，可以使用 MiniProg3 或 ULINK 等外部调试器。 PSoC 6 MCU 支持 4 线和 5 线 JTAG 编程。 Figure 18 显示了与 PSoC 6 MCU 的 JTAG 连接。 MiniProg3 支持 10 针连接器上的 4 线 JTAG 编程（见 Figure 19）。

Figure 18.到 PSoC 6 MCU 的 JTAG 连接

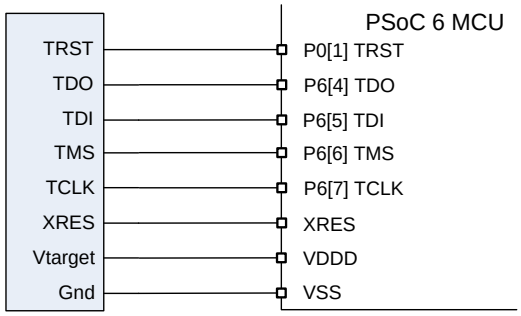
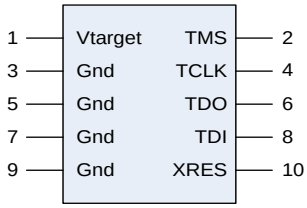


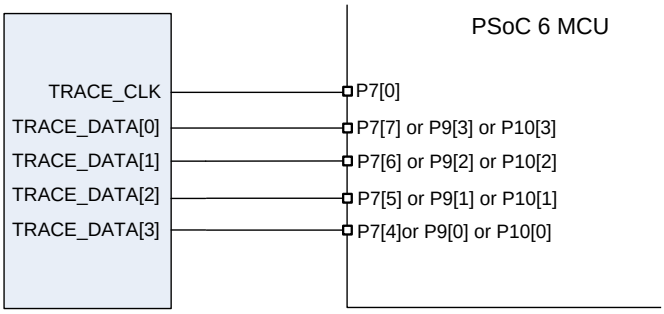
Figure 19. MiniProg3 10-pin 接头的 JTAG 连接



6.3 ETM

PSoC 6 MCU 中的 Cortex-M4 CPU 支持 ETM。 任何 ETM 跟踪查看器都可以与 PSoC 6 MCU 一起使用。 到 PSoC 6 MCU 的 ETM 跟踪连接如 Figure 20 所示。

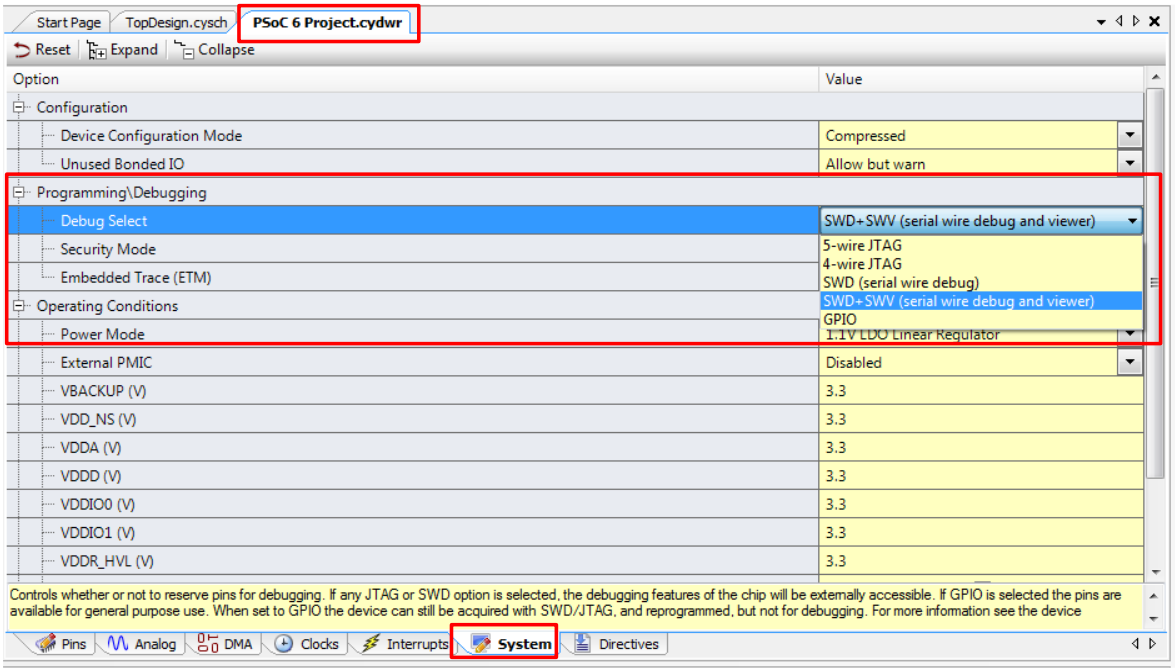
Figure 20. 到 PSoC 6 MCU 的 ETM 连接



6.4 PSoC Creator 中的调试选择

当器件未被编程时，SWD 和 JTAG 引脚可用于其他功能; 有关可能的功能详细信息，请参见器件 datasheet. 但是，如果需要使用 SWD / JTAG 引脚进行运行时调试，请从 DWR 窗口的“系统”选项卡中的“调试选择”下拉列表中选择 SWD / 4 线 JTAG / 5 线 JTAG，而不是 GPIO，如 Figure 21 所示。 在这种情况下，引脚不能再用于其他功能。 同样，如果需要 SWV 和/或 ETM 走线，则可以在“调试选择”下拉列表（SWD + SWV）中选中相应的选项，并选中 **Embedded Trace (ETM)**复选框。

Figure 21. PSoC Creator 调试设置



7 GPIO 引脚

PSoC 6 MCU 提供灵活的 GPIO 引脚。 所有 GPIO 引脚均可由固件控制。 其中大多数还具有到 PSoC 6 MCU 外设的替代连接。 不同的组件的终端具有不同的专用或固定引脚。 使用专用引脚，当外设连接到自己的专用引脚时，可获得最佳性能。 但是，为了灵活性，您可以将外设连接到其他引脚，但代价是使用一些内部布线资源。 PSoC 器件的灵活性和 I/O 将大多数信号路由到大多数引脚的能力大大简化了电路设计和电路板布局。 如果外围设备有固定引脚，则只能将其连接到这些引脚。

7.1 I/O 引脚选择

基于 PSoC 6 MCU 设计硬件系统时，应按以下顺序分配 GPIO 引脚，如 Table 4 所示。

Table 4. I/O 引脚选择指南

模块	引脚名称	Port#[Pin#]	固定或专有	备注
系统功能引脚				
运行时调试			固定	如果需要运行时调试，跟踪或 SWV 支持，请在 PSoC Creator 部分中说明的系统设置中选择适当的设置。选择将自动锁定所需的 IO 用于此目的。
外部晶体振荡器 (ECO)	ECO_IN	P12[6]	固定	外部晶振频率范围：（4 MHz-33.33MHz）;不使用 BLE ECO 或所需的晶振频率不是 16/32 MHz 时，请使用此 ECO。
	ECO_OUT	P12[7]	固定	
时钟晶体振荡器 (WCO)	WCO_IN	P0[0]	固定	如果您需要高精度和低频时钟用于 RTC 或深度休眠唤醒，请使用带有外部 32.768 kHz 晶振或时钟的 WCO 模块。请注意，即使移除器件的 VDDD（应存在 VBACKUP 电源），WCO 模块也会出现在器件的备份域中并且可用。
	WCO_OUT	P0[1]	固定	
唤醒（休眠和 PMIC 控制器）	HIB_WAKEUP	P0[4] or P1[4]	固定	休眠唤醒引脚用于将 PSoC 6 MCU 从休眠模式唤醒。要唤醒提供 VDDD 的 PMIC，请使用 WAKEUP_OUT 引脚。 PMIC 唤醒信号可以从内部 RTC 报警或 P0[4]（WAKEUP_IN）上的输入生成。
	WAKEUP_OUT	P0[5]	固定	
	WAKEUP_IN	P0[4]	固定	
外部时钟	EXT_CLK	P0[0] or P0[5]	固定	将引脚配置为输入（高阻抗数字）以接收外部时钟。 将引脚配置为输出（禁用输入缓冲器的强驱动），以便将内部时钟（HFClk4）输出。
模拟引脚				
低功耗比较器	LPCOMP.IN_P	P5[6], P6[2]	专用	PSoC 6 MCU 具有两个低功耗比较器，可在所有系统功耗模式下工作。
	LPCOMP.IN_N	P5[7], P6[3]	专用	
CapSense	CMOD	P7[1] or P7[2] or P7[7]	固定	对于自电容方法，将调制器电容连接到 CMOD 引脚，将储存电容连接到 CSH_TANK 引脚。 对于互电容方法，连接两个积分电容 CINT1 和 CINT2 引脚。有关详细信息，请参见 CapSense 部分。
	C_{SH_TANK}	P7[1] or P7[2] or P7[7]	固定	
	CINT1	P7[1]	固定	
	CINT2	P7[2]	固定	
SAR ADC	SAR ADC inputs	P10[0]-P10[7]	专用	端口 10 具有到 SAR ADC 的专用连接。您可以使用 AMUX A 和 AMUX B 将 ADC 连接路由到其他端口。端口 9 是端口 10 之后的首选端口，因为与其他端口的连接在其路径中涉及额外的开关电阻。
数字引脚				
定时器/计数器脉冲宽度调制器（TCPWM）	TCPWM 输入	参考器件 datasheet	专用	PSoC 6 MCU 具有多达 32 个 TCPWM 模块，每个模块具有两个互补的 PWM 信号。 所有这些信号都被路由到专用的 GPIO 引脚。
串行通信模块 (SCB)	SCB inputs	参考器件 datasheet	固定	PSoC 6 MCU 具有多达 9 个 SCB，其中 8 个 SCB 可配置为 SPI，I^2C 或 UART。 一个 SCB 仅支持 I^2C 从设备或 SPI 从模式，并且在深度睡眠功耗模式下可用。

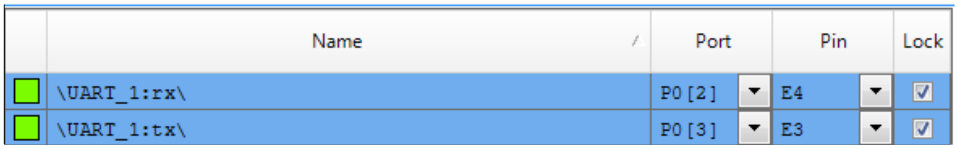
模块	引脚名称	Port#[Pin#]	固定或专有	备注
串行存储器接口 (SMIF)	SMIF inputs	P11[0]-P11[7] P12[0]-P12[4]	固定	SMIF 模块使用固定引脚。 有关这些引脚的详细信息，请参见 SMIF 部分和器件数据手册。
音频模块	PDM_DATA	P10[5] or P12[5]	固定	音频子系统由 I2S 模块和两个 PDM 通道组成。
	PDM_CLK	P10[4] or P12[4]	固定	
	I2S_TX_SCK	P5[1]	固定	
	I2S_TX_WS	P5[2]	固定	
	I2S_TX_SDO	P5[3]	固定	
	I2S_RX_SCK	P5[4]	固定	
	I2S_RX_WS	P5[5]	固定	
	I2S_RX_SDO	P5[6]	固定	
	I2S_MCLK	P5[0]	固定	

8 组件放置

在 PSoC Creator 中，可以通过某些方式将各组件放置在不同的模块内。对于带有固定引脚的组件，可将组件终端分配到相应的引脚。下面显示的是 PSoC 6 MCU 器件中的 UART（SCB 模式）组件放置示例，其中 SCB 实现了一个 UART。

Figure 22 显示了一种可能的 UART 连接。 该选项为 UART 选择 SCB0。 同样，UART tx 和 rx 终端有多个引脚选项。 PSoC Creator 将以绿色列出所有可能和可用连接（以及连接的 SCB 编号）。 应该注意的是，您不能从一个 SCB 中选择 rx 而从另一个 SCB 中选择 tx。 您可以通过单击 DWR 窗口中的 **Pins** 选项卡在引脚编辑器中配置这些引脚。

Figure 22. 由引脚选择决定的 SCB 组件放置



放置组件的第二种方法是使用指令编辑器。 在 PSoC Creator“帮助”菜单中选择“主题”，然后搜索“directive”以获取更多信息。

9 模拟模块设计技巧

9.1 CapSense

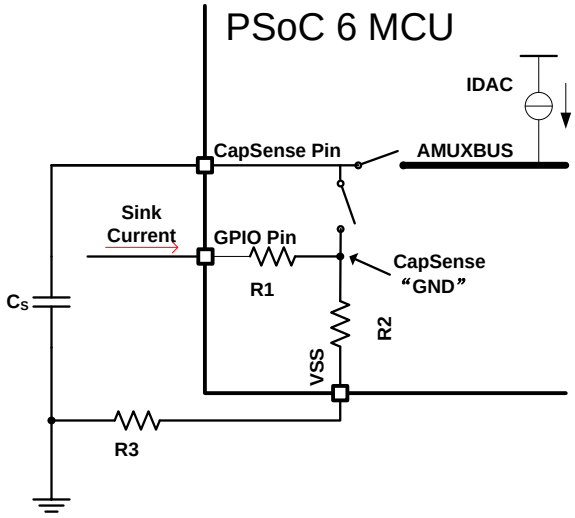
在自电容模式下，您可以将任何 PSoC 6 MCU 引脚连接到 CapSense 传感器，CMOD（或 C_MOD）引脚除外，该引脚保留用于调制电容（C_{MOD}）功能。在 PSoC 6 MCU 中，CMOD 应连接到 P7[1]或 P7[2]或 P7[7]。当您需要使用屏蔽电极进行防水或接近功能时，您可能还需要为储能电容器 CSH_TANK 保留 CTANK（或 C_SH_TANK）引脚。在 PSoC 6 MCU 中，C_{SH_TANK} 可以连接到 P7[1]或 P7[2]或 P7[7]。如果屏蔽的寄生电容小于 200 pF，则可选择使用 C_{SH_TANK};否则，建议使用储罐电容器以提高耐水性。 C_{MOD} 的值通常为 2.2 nF。 C_{SH_TANK} 的值通常为 10 nF。

在互电容中，您可以将任何 PSoC 6 MCU 引脚连接到 CapSense Rx / Tx 传感器。正确操作需要两个积分电容（C_{INT1} 和 C_{INT2}）。建议在 C_{INT1} 和 C_{INT2} 上使用 470 pF 电容。在 PSoC 6 MCU 中，C_{INT1} 和 C_{INT2} 应连接到 P7[1]和 P7[2]。

CapSense 通过传感器电容的微小变化（小于 1 pF）检测手指触摸。它对信号和噪声都非常敏感。请注意 CapSense 的 PCB 布局提示。更多详细信息，请参考 PSoC 4 CapSense Design Guide。

具有接近 CapSense 引脚的大灌电流的引脚能够向 CapSense 模块的“GND”引入偏移。Figure 23 显示了 IDAC 源模式下 CapSense 的开关电路。 R1 和 R2 代表 PSoC 6 MCU 内部走线的电阻，R3 代表 PCB 走线的电阻。灌电流和 CapSense 电流的共享返回路径由 R2 和 R3 组成。引脚与 CapSense 引脚越接近，随着流过返回路径的灌电流增大，产生的偏移越大。

Figure 23. 共享返回路径



这种偏移是不合需要的，可能导致 CapSense 读数波动和可能的错误触发。偏移补偿可以在固件中完成，但强烈建议您删除硬件设计中的偏移。使具有较大的灌电流的引脚尽可能远离 CapSense 引脚引脚（最佳做法是使用三个以上的引脚）。此外，请注意 PCB 中的返回路径。有关混合信号电路设计的更多详细信息，请参见 AN57821 – *PSoC 3, PSoC 4, and PSoC 5LP Mixed-Signal Circuit Board Layout Considerations*。

CapSense 模块可以及时共享，以实现互电容和自电容感应模式。为此，必须将 CMOD 电容连接到 P7[7]用于 CSD 感应模式，将 CINT1 和 CINT2 电容连接到 P7[1] / P7[2]用于 CSX 感应模式。然而，该方法不允许使用储能电容器进行 CSD 操作。

在 PSoC 6 MCU 中，按照 Table 5 中所示的引脚首选项，在设计中布线 CapSense 传感器，屏蔽以及 Rx 和 Tx 信号。此偏好基于引脚与 PSoC 6 MCU 内的 CapSense 模块的接近程度。但是，选择较低的首选项端口可能会导致轻微的性能下降。如果电路板设计/布线适合较低优先级的 I/O 端口，则可以选择它。仅当路由不受限时才使用此首选项。

Table 5. 路由的 CapSense 端口 首选项

偏好	CapSense 传感器	CapSense 屏蔽	CapSense Rx	CapSense Tx
第一偏好	Port 5, Port 6, Port 7 and Port 8 pins			任何端口
第二偏好	Port 9 and Port 10 pins			
第三偏好	Port 0, Port 1, Port 11, Port 12 and Port 13			

Table 6.提供了快速 CapSense 布局规则检查表。

Table 6 CapSense 布局快速指南

类别			最小	最大	备注/建议
传感器结构	传感器材料		无	无	铜，氧化铟锡（ITO），印刷油墨在基板上，如玻璃，柔性 PCB
	覆盖材料		无	无	需要具有高介电常数的非导电材料：玻璃，ABS 塑料，塑料贴面 避免在覆盖层上使用导电涂料。
	小部件				
	按钮	形状			圆形或带有弯曲边缘的矩形
		尺寸	5 mm	15 mm	10 mm
		地面舱口间隙	0.5 mm	2 mm	应等于覆盖层厚度
		覆盖层厚度	无	5 mm	
	滑块	滑块宽度	1.5 mm	8 mm	8 mm
		段之间的间隙	0.5 mm	2 mm	0.5 mm
		段高	7 mm	15 mm	12 mm
		覆盖厚度	无	5 mm	
	覆盖粘合剂		无	无	使用非导电粘合剂薄膜粘合覆盖层和 PCB。3M™生产的一种名为 200MP 的高性能丙烯酸粘合剂，广泛用于 CapSense 应用。
PCB 布局	传感器走线	宽度	无	7 mil	使用您使用的 PCB 技术可能的最小宽度。
		长度	无	300 mm 用于标准（FR4）PCB 50 mm 用于柔性 PCB	保持尽可能低
		接地和其它走线的间隙	0.25 mm	无	使用最大间隙，同时保持走线长度尽可能低。
		布线	无	无	在传感器层的另一侧布线。 与其他走线隔离。 如果任何非 CapSense 迹线穿过 CapSense 迹线，请确保交叉点正交。 不要使用急转弯。
	通孔	通孔数量	1	2	至少需要一个通孔来布线传感器层另一侧的走线。
		孔尺寸	无	无	10 mil
	接地	填充百分比	无	无	使用填充接地以减少寄生电容。典型影线：顶层为 25％（7 密耳线，45 密耳间距）底层为 17％（7 密耳线，70 密耳间距）
耐水性	屏蔽电极	涂层	无	1 cm	如果您有 PCB 空间，请使用 1 cm 的涂层。
	保护传感器	形状	无	无	带弯曲边缘的矩形 建议的保护线迹厚度为 2 mm，保护线迹与屏蔽电极的距离为 1 mm。
EMC	串联电阻	放置	无	无	将电阻放置在 PSoC 引脚的 10 mm 范围内。

9.2 SAR ADC

PSoC 6 MCU 具有一个 12 位的差分 SAR ADC，采样速率高达 1 Msps。如 I/O Pin Selection 中所述，**SARMUX [7:0]** 引脚是 SAR ADC 多通道输入的专用引脚。它们能够提供最低的寄生路径电阻和电容。您还可以使用内部模拟总线将信号从其他引脚路由到 SAR ADC，但这样会增大开关电阻（Figure 24 中 R_{SW}）以及额外寄生电容。

PSoC 6 MCU 还有一个 1.024 V（±1%）的高精度内部参考电压。您还可以使用其他内部参考电压（包括 V_{DDA} 和 V_{DDA} / 2），以扩大 SAR ADC 的输入电压范围。然而，请注意，V_{DDA} 和 V_{DDA} / 2 作为参考电压时，其精度取决于您的电源系统设计，它可能不比 1.024 V 的高精度内部参考电压好。当您使用内部参考电压或 V_{DDA} / 2 作为您的参考电压时，一个旁路电容或 VREF 引脚会有助于使 SAR ADC 在更高的时钟频率下运行。更多详细信息，请参考 Table 7。

Table 7. SAR ADC 的参考电压

参考	V_{DDA}	最大组件时钟频率	最高采样率
外部参考	1.7 V-3.6 V	18 MHz	1 Msps
没有旁路电容的内部参考电压	1.7 V-3.6 V	1.8 MHz	100 ksps
带旁路电容的内部参考电压	1.7 V-3.6 V	18 MHz	1 Msps
V_{DDA} 作为参考	1.7 V-2.7 V	18 MHz	1 Msps

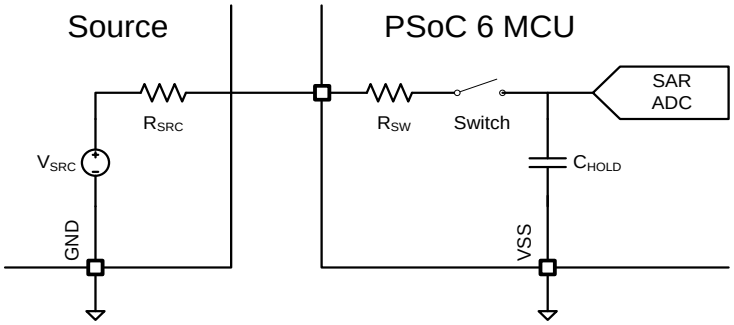
如果需要具有更高精度或特定电压值的基准电压源，可以将自定义外部基准电压源和旁路电容连接到 VREF 引脚。

SAR ADC 在物理上是差分的。 选择单端输入模式时，必须选择负输入的连接。 有三种选择：VSS，VREF 和外部引脚。 SAR ADC 的输入范围受选择以及参考电压值的影响。 有关详细信息，请参见 PSoC 6 MCU 器件的架构 TRM 中的“SAR ADC”一章。

9.2.1 SAR ADC 采集时间

另一个值得关注的参数是 SAR ADC 采集时间，这取决于您的硬件设计，如 Figure 24 所示。

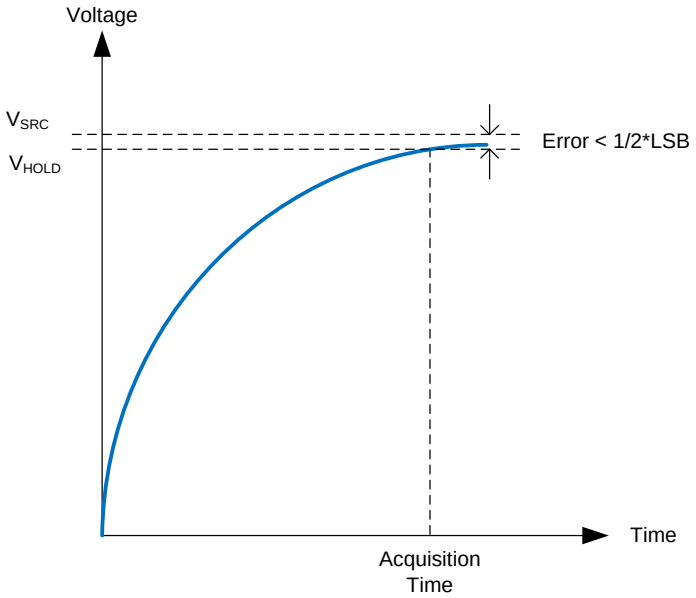
Figure 24. PSoC 6 MCU SAR ADC 的等效采样保持电路



V_{SRC} 是采样信号源，R_{SRC} 是其输出电阻。 R_{SW} 是从专用引脚到 SAR ADC 输入的路径电阻，约为 2.2kΩ。 C_{HOLD} 是采样和保持电容，大约 10 pF。

Figure 25 显示了在采集时间内 C_{HOLD} 的充电方式。 在采集期间，Figure 24 中的开关打开。 假设 C_{HOLD} 从 0 充电，采集时间是将 C_{HOLD} 充电至电压电平（V_{HOLD}）所需的时间，使得误差（V_{SRC}-V_{HOLD}）小于 ADC 的分辨率。

Figure 25. C_{HOLD} 充电过程



如果误差小于 ADC 分辨率的一半（1/2 * LSB），则应该没问题。 误差可能与以下等式中的采集时间相关：

$$Error = V_{SRC} \cdot e^{-\frac{t_{ACQ}}{\tau}} = V_{SRC} \cdot e^{-\frac{t_{ACQ}}{(R_{SRC}+R_{SW})\cdot C_{HOLD}}}$$

这里，t_{ACQ} 是采集时间，而 τ 是充电时间常数。

PSoC 6 MCU 提供 12 位差分 ADC。 如果 V_{REF} 是参考电压，则分辨率可以用以下等式表示：

$$LSB = \frac{2V_{REF}}{2^{12}}$$

此示例假定负输入连接到 V_{REF}，因此 V_{SRC} 的输入范围为 0 到 2 V_{REF}。 如果采集时间为 9 * (R_{SRC} + R_{SW}) * C_{HOLD}，则误差可表示如下：

$$Error = V_{SRC} \cdot e^{-9} \approx \frac{V_{SRC}}{8013} < \frac{2V_{REF}}{8013} \approx \frac{1}{2} \cdot \frac{2V_{REF}}{2^{12}} = \frac{1}{2} \cdot LSB$$

此等式表明您应选择长于 9 * (RSRC + RSW) * C_{HOLD} 的采集时间，以使误差小于 12 位 ADC 的 1/2 * LSB。

总之，请注意采样信号源的输出电阻 R_{SRC} 以及 ADC 硬件设计中 PCB 走线引入的电阻。 这些决定了采集时间，从而决定了采样率。

9.3 CTDAC

PSoC 6 MCU 模拟子系统支持 12 位连续时间数模转换器（CTDAC）。 12 位 DAC 提供连续时间输出，无需外部采样保持（S / H）电路。 CTDAC 模块可用于需要电压基准、偏置或模拟波形输出的应用。

CTDAC 可以使用以下源之一作为输入电压参考：

- V_{DDA}

- 内部 V_{REF}
- 外部电压参考

CTBm 模块中的运算放大器 OA1 配置为电压跟随器，用于将外部信号作为参考电压路由到 CTDAC。 外部信号使用 AMUX 路由到 DAC，因此任何 GPIO 都可用于连接外部信号。 请注意，如果禁用 OA1，OA1 输出端子上的任何信号都可用作外部信号源。 在这种情况下，信号将由 DAC 的电阻阶梯直接加载。 因此，应考虑这种负荷的影响。

9.3.1 输出路径

CTDAC 输出可以在三个不同的路径中路由。 Table 8 显示了 CTDAC 输出端口。

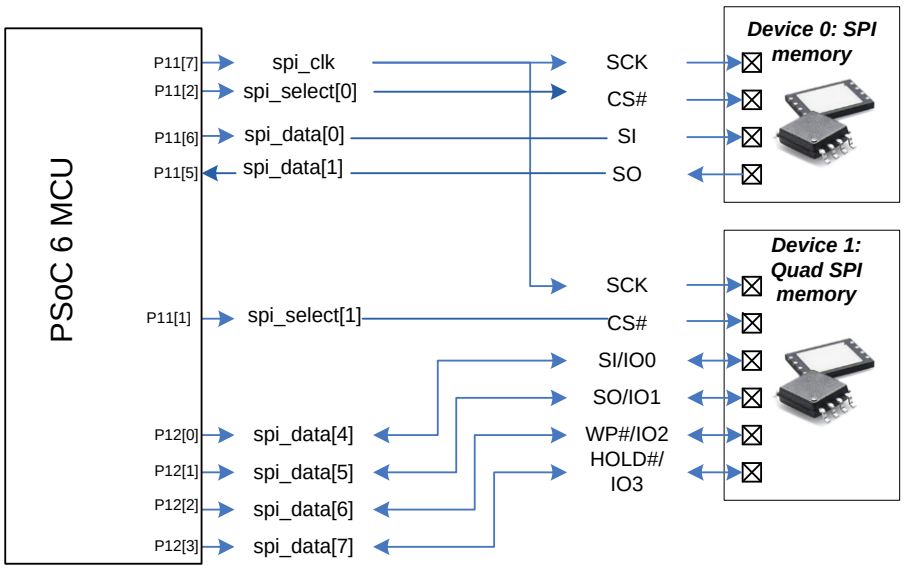
Table 8. CTDAC 输出路径

CTDAC 输出模式	Port#[Pin#]
直接输出路径	P9[6]
通过 Opamp0 的缓冲输出路径	P9[2]
采用 Opamp0 和 C_{HOLD} 电容的采样和保持路径	P9[2]

10 在设计中使用外部存储器

如果您的设计需要，PSoC 6 MCU 可以与外部存储器连接。 串行存储器接口（SMIF）IP 模块用于此目的。 SMIF 模块主要实现单 SPI，双 SPI，四 SPI 或八 SPI 通信，以与外部存储器芯片连接。 SMIF 模块的主要用例是设置外部存储器并使用硬件将其映射到 PSoC 存储空间。 这种操作模式称为 XIP 模式，允许 PSoC 中的总线主控器直接与 SMIF 交互，以便存储器访问外部存储器位置。 SMIF 模块连接到专用引脚。 因此，如果您的设计需要使用外部存储器，则应使用相应的引脚。 有关引脚的更多详细信息，请参见器件数据手册。

Figure 26.与 PSoC 6 MCU 接口的串行存储器



11 USB 连接

USB 模块可用作 PSoC 器件中的固定功能数字模块。 它支持全速通信（12 Mbps），符合 USB 2.0 标准。 USB 模块包括发送器和接收器，它们对应于 USB 物理层（USB PHY）。 PSoC 中的 USB PHY 还包括 D +线上的上拉电阻，以将器件标识为主机的全速类型。 PHY 在 USB 线路上集成了 22Ω 串联终端电阻。

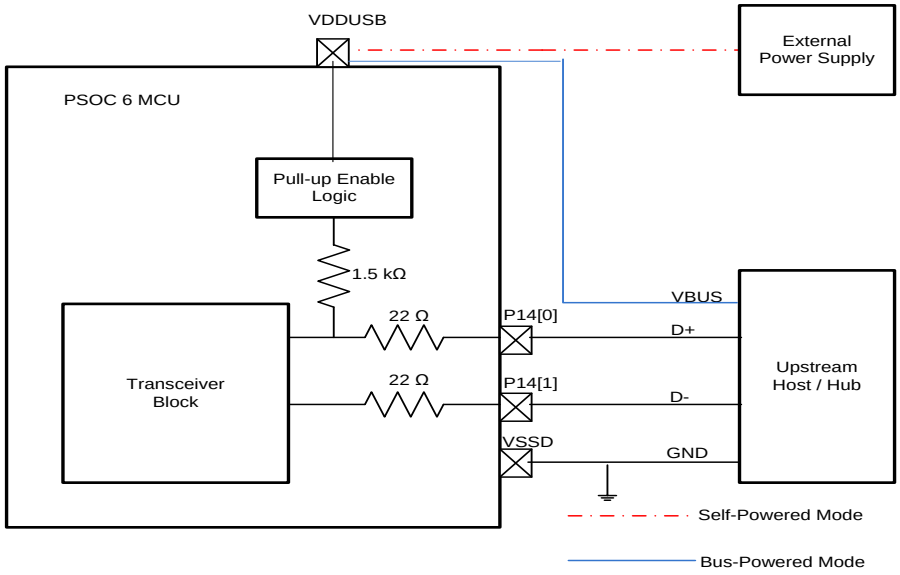
11.1 PSoC 6 MCU USB 引脚说明

信号	PORT/ PAD	功能
USBDP (D+)	P14[0]	数据线
USBDM (D-)	P14[1]	反转数据线
VBUS	VDDUSB	USB 电源
GND		接地

11.2 PSOC 6 MCU 作为 USB 器件

在 USB 通信协议中，USB 器件是主机的总线从属设备。 当主机请求时，USB 器件通过总线传输数据或控制信息。 USB 器件可以是总线供电，从主机获取电力，也可以是自供电。 Figure 27 提供了如何将 PSoC 6 MCU 连接为总线供电器件和自供电器件的原理图。

Figure 27. PSoC 作为 USB 器件



在为 USB 设备设计硬件时，请考虑以下事项：

- 使用铁氧体磁珠用于 VBUS，GND 和插座屏蔽。
- 使用放置在 USB 插座附近的 ESD 保护装置。

12 天线设计

PSoC 6 MCU 包含一个片上 BLE 无线。 因此，天线设计和 RF 布局对于在自由空间中发送和接收电磁辐射的无线系统变得至关重要。 最终用户使用限流电源（如纽扣电池）从系统中取出的无线范围在很大程度上取决于天线设计，外壳和良好的 PCB 布局。 Table 9 提供了有关天线和射频布局的快速指南。

Table 9. 天线和 RF 布局快速指南

PCB Stack up	**四层 PCB** 赛普拉斯强烈建议所有 RF 设计采用 4 层 PCB. • 顶层：RF IC 和组件，RF 走线，天线，去耦电容 • 2 层:　接地平面 • 3 层:　电源平面 • 底层: 非射频组件和信号	**二层 PCB** 通常用于更简单和划算的应用程序 • 顶层：RF IC 和组件，RF 走线，天线，去耦电容 • 底层: 坚实接地平面
Antenna Placement	• 始终将天线放置在 PCB 的一角，并与电路的其余部分保持足够的间隙，如天线数据手册中提及的那样。 • 始终遵循天线设计人员/制造商推荐的天线接地模式。 • 切勿在所有层的天线挡板区域放置任何组件、平面、安装螺钉或走线 • 确保电池电缆或麦克风电缆不会穿过天线两侧 PCB 上的天线走线。 • 请勿将天线靠近工业设计中的塑料。塑料的接近降低了共振频率。 • 确保任何层中的天线隔离区域中没有迹线或金属平面 • 天线不得被金属外壳覆盖 • 确保天线的方向与最终产品方向一致，以便辐射在所需方向上最大化。 • 计划为天线提供匹配网络，因为天线附近的许多参数可能会改变其阻抗，因此天线可能需要重新调谐。验证天线是否与最终外壳匹配。	
RF Trace Layout	• 在计算 50 欧姆特性阻抗所需的走线宽度时，选择正确类型的传输线（微带或共面波导（CPWG））。 • 确保 RF 走线具有 50Ω 的特征阻抗，并保持 RF 走线的恒定宽度。 • 确保 RF 走线下方的接地干净，不间断，没有任何其他走线穿过 RF 走线。 • 保持 RF 走线的最短可能长度。 • 避免 RF 迹线弯曲。如果弯曲是不可避免的，曲线弯曲以保持均匀的宽度。 • 避免 RF 迹线上的短截线或分支和测试点 • 请勿将任何其他走线靠近并平行于 RF 走线放置。	
Ground Plane	•在 RF 迹线下方留出较宽的接地层。保持一层完全专用于接地是更好的。 •将底部接地层与顶部接地层保持在一起，并在两个接地层之间添加过孔，以提高 EMI 和 EMC 性能。 •使用连接电源平面两侧接地层的通孔覆盖电源平面的角落，以防止不必要的 EMI。	
Power Supply Decoupling	•将电容放置在与 IC 相同的层上,靠近电源引脚,，最小值电容最接近。 •为每个去耦电容使用单独的过孔接地。	
Vias	•使用大量的通孔间隔不超过顶层和内部接地层的接地填充物之间 RF 信号波长的二十分之一。 •将接地过孔直接放在顶层的引脚/焊盘旁边，绝不与多个引脚/焊盘共用过孔。 •避免使用过孔将 RF 迹线路由到不同的层。 •尽可能使用过孔在 RF 部分周围形成接地围栏，使其与电路的其余部分隔离。	
Capacitors and Inductors	•匹配网络和晶体负载仅使用 C0G / NP0 电容。 X5R 或 X7R 电容可用于去耦电容。 •仅使用高 Q 电容器用于 RF 电路。 •对于匹配网络，请使用高 Q 电感，其自谐振频率（SRF）远高于工作频率。 •对于电源滤波，请使用 SRF 接近噪声频率的电感器。 •请勿将电感器平行放置并彼此靠近。 •使 BLE 天线和 Wi-Fi 天线尽可能远离。	
Coexistence with Wi-Fi	•对于具有线性极化的天线，将天线定向为彼此电气正交。 •如果可能，调整天线的方向，使天线的零点方向共线。 •在电路板的 BLE 和 Wi-Fi 部分之间放置通孔围栏，以最大限度地减少通过 PCB 的泄漏。	

12.1 支持外部功率放大器/低噪声放大器/ RF 前端

某些应用程序可能需要比芯片组通常支持的范围更高的范围。 在这种情况下，可以使用外部功率放大器（PA）和/或低噪声放大器（LNA）来增加链路预算。 对于 2.4 GHz 无线电，有许多前端 IC 包括功率放大器、低噪声放大器，控制它们所需的开关和控制。 这些控制需要根据实际的发送和接收时序进行精确定时。 如果产品必须符合 BLE 标准，请确保发射功率水平不超过 20 dBm。

PSoC 6 MCU 具有三个控制信号来控制 RF 前端 IC。 Figure 28 显示了 PSoC 6 MCU 与外部 RF 前端 IC 之间的这些控制信号的接口。

Figure 28. RF 前端与 PSoC 6 MCU 的接口

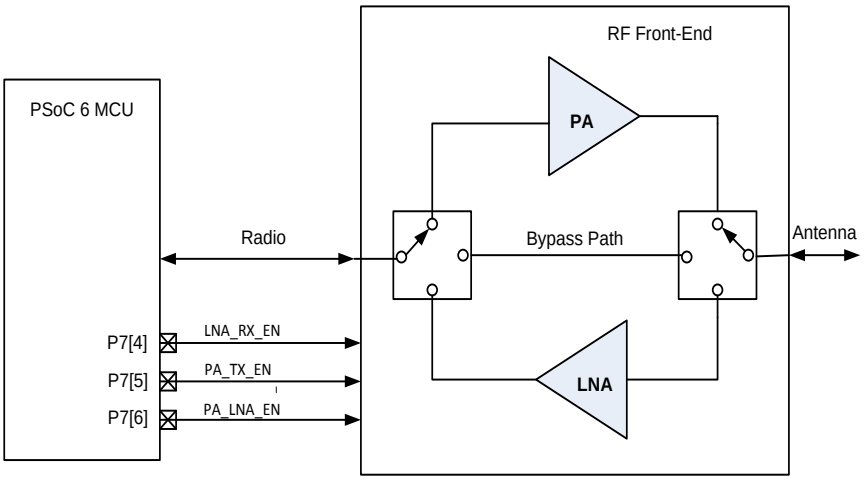


Table 10 列出了控制信号、它们的功能以及相应的引脚映射。

Table 10. 用于连接 RF 前端 IC 的 PSoC 6 MCU 控制信号

控制信号	Port#[Pin#]	功能
LNA_RX_EN	P7[4]	当接收器被使能时该信号被断言，而当接收器被关闭时被去断言。
PA_TX_EN	P7[5]	当发送器被使能时该信号被断言，而当发送器被关闭时被去断言。
PA_LNA_EN	P7[6]	当发送器或接收器处于活动状态时，该信号被断言；当它们都不处于活动状态时，该信号被置为去断言。 可用作前端模块的芯片选择

每个信号的极性可以单独配置。可以通过调用 Cy_BLE_ConfigureExtPA（controlValue）API 来设置控制信号的极性。 controlValue 启用并设置控制信号的极性。 使用以下宏来控制极性：

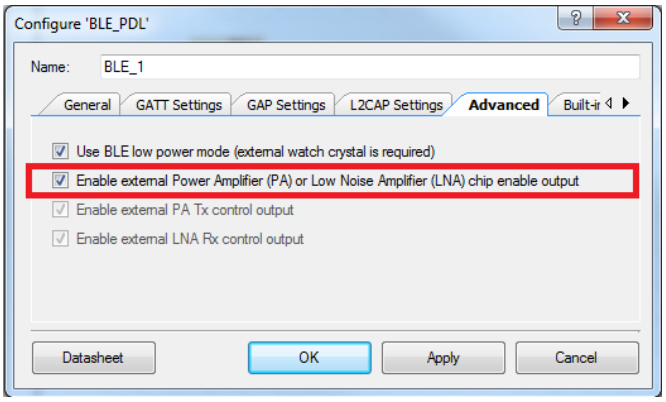
- BLE_BLESS_EXT_PA_LNA_CTRL_CHIP_EN_POL_Msk - 控制芯片使能控制信号的极性:
  - 0 – 高电平有效
  - 1 – 低电平有效
- BLE_BLESS_EXT_PA_LNA_CTRL_PA_CTRL_POL_Msk - 控制 PA 控制信号的极性:
  - 0 – 高电平有效
  - 1 – 低电平有效
  - BLE_BLESS_EXT_PA_LNA_CTRL_LNA_CTRL_POL_Msk - 控制 LNA 控制信号的极性:
    - 0 – 高电平有效
    - 1 – 低电平有效

可以配置 PA 或 LNA 的斜坡延迟，以便 PSoC 6 MCU 可以在开始发送或接收之前将相应的控制信号提前指定的持续时间（以 µs 为单位）。 使用以下代码设置 PA 或 LNA 的斜坡延迟：

```
void Cy_BLE_ConfigurePaLnaRampDelays(uint8 pa_ramp_delay, uint8 lna_ramp_delay)
```

```
{
    BLE->BLELL.EXT_PA_LNA_DLY_CNFG = (lna_ramp_delay <<
BLE_BLELL_EXT_PA_LNA_DLY_CNFG_PA_CTL_DELAY_Pos) |
                                     (pa_ramp_delay <<
BLE_BLELL_EXT_PA_LNA_DLY_CNFG_LNA_CTL_DELAY_Pos);
}
```

Figure 29.配置 BLE 与外部 RF 前端 IC 接口



使用 PSoC Creator，您可以将 BLE 组件配置为与外部 RF 前端接口，如 Figure 29 所示。有关天线设计的更多详细信息，请参考 AN91445 - 天线设计和 RF 布局指南。

13 音频子系统

PSoC 6 MCU 中的音频子系统由 I2S 模块和两个 PDM 通道组成。 PDM 通道与 PDM 麦克风的比特流输出对接，并以高达 48 Ksps 的音频采样率产生 16 至 24 位的字长。 I2S 接口支持主模式，字时钟速率高达 192 Ksps（8 位至 32 位字）。

Figure 30 和 Figure 31 分别显示了 PDM 音频设备和 I2S 音频设备与 PSoC 6 MCU 的接口。

Figure 30. PDM 音频设备与 PSoC 6 MCU 对接

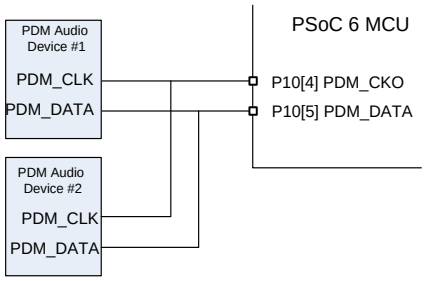
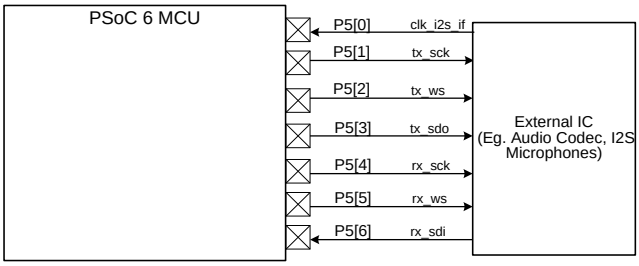


Figure 31. I2S 音频设备与 PSoC 6 MCU 对接



I2S 可以通过外部 IC（如音频编解码器）提供的外部主时钟进行操作。引脚 P5[0]（clk_i2s_if）用于驱动 I2S 模块的外部时钟。

13.1 PDM-PCM 转换器的时钟生成

在 PSoC 6 MCU 中，PDM-PCM 转换器有三级时钟分频器来产生时钟（PDM_CKO），这个输入用于外部 PDM 麦克风时钟输入。这三个阶段如下：

- 第一级时钟分频器用于产生实际时钟信号（PDM_CLK），该信号进入 PDM-PCM 转换器。 HFClk1 是此阶段的输入时钟。第 1 个时钟分频器可以取 1 到 4 之间的整数值。

  PDM_CLK=HFClk1/1st Clock Divisor

- 第二级用于从 PDM_CLK 生成内部主时钟（MCLK）。第二个时钟分频器可以取 1 到 4 之间的整数值。

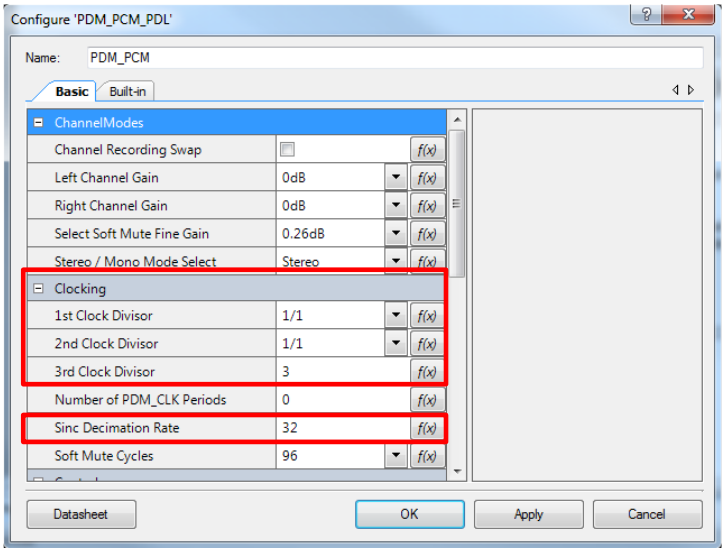
  MCLK=PDM_CLK/2nd Clock Divisor

- 第三级时钟分频器用于生成发送到 PDM 麦克风的时钟。第三级分频器的值可以在 2 到 16 之间。

  PDM_CKO=MCLK/3rd Clock Divisor

Figure 32 显示了 PSoC Creator 中 PDM-PCM 组件的时钟分频器设置。

Figure 32. 为 PDM 音频设备配置时钟分频器



PDM 音频设备的采样率（F_s）由以下关系给出：

F_s = PDM_CKO /（2 x Sinc 抽取率）

13.2 I2S 音频设备的时钟生成

音频应用需要高精度时钟，因此在这些应用中需要高度精确的 ECO。 通常，17.203-MHz 晶体振荡器用于为 44.1-kHz 音频采样率生成 22.579 MHz，为 48-kHz 音频采样率生成 24.576 MHz。

Figure 33 至 Figure 35 显示了 PSoC Creator 中的时钟设置，可为 48 kHz 音频采样率生成 24.576 MHz。 Table 11 显示了用于生成所需时钟频率的 PLL 的设置。 您可以手动或自动设置 PLL 的分频器和倍频器设置。 Table 12 列出了典型音频采样率和字长的时钟分频器设置。

Table 11. PLL 倍频器和分频器设置

ECO (MHz)	PLL 倍频器 (P)	PLL 分频器 (Q)	PLL 输出频率 (MHz)
17.203	21	16	22.579
17.203	10	7	24.576

Figure 33. PSoC Creator 中 I2S 音频设备的时钟设置

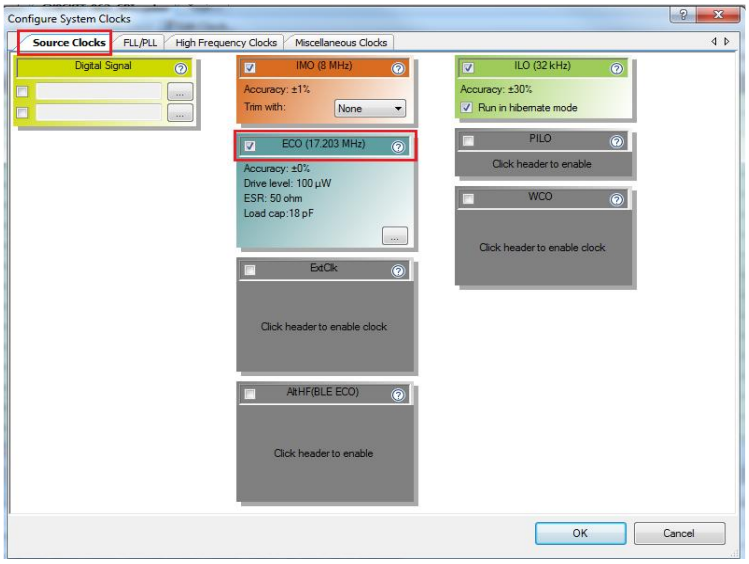


Figure 34. PSoC Creator 中 I2S 音频设备的时钟设置

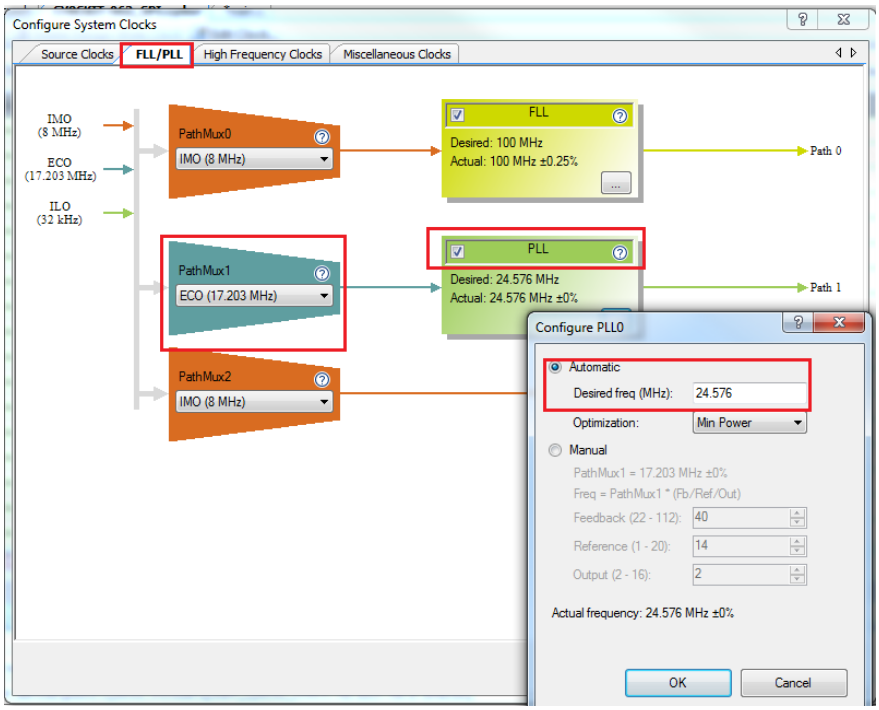


Figure 35. PSoC Creator 中 I2S 音频设备的时钟设置

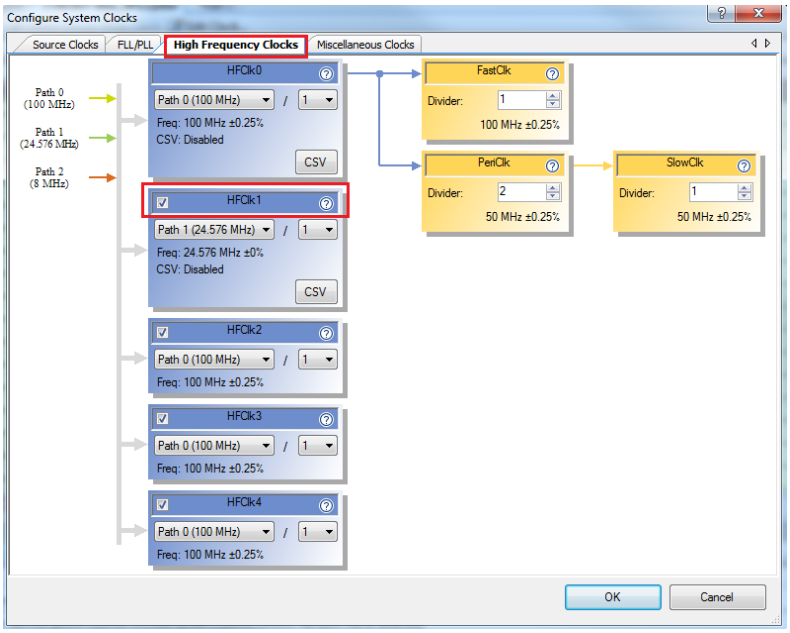


Table 12.典型音频采样率和字长的时钟分频器设置

音频采样率 (kHz)	PLL 输出频率 (MHz)	字长					
		8-bit		16-bit		32-bit	
		Codec 时钟 (kHz)	时钟分频器	Codec 时钟 (kHz)	时钟分频器	Codec 时钟 (kHz)	时钟分频器
44.1	22.579	705.6	32	1411.2	32	2882.4	32
48	24.576	768	32	1536	32	3072	32
96	24.576	1536	16	3072	8	6144	4
192	24.576	3072	8	6144	4	12288	2

更多细节，请参考 *PSoC 6 MCU: PSoC 63 with BLE Architecture TRM* 的 PDM-PCM 和 I2S Sound Bus 章节。

14 总结

PSoC 6 MCU 提供了灵活的解决方案，以供设计数字和模拟应用使用。本应用笔记介绍了构建一个围绕 PSoC 6 MCU 的硬件系统时应记住的注意事项。

15 相关文档

- AN79938 – 赛普拉斯 BGA 封装器件设计指南
- AN69061 – 赛普拉斯晶圆级芯片尺寸封装的设计，制造和处理指南
- AN210781 – 具有蓝牙低功耗（BLE）连接的 PSoC 6 MCU 入门
- AN80994 – 电快速瞬变（EFT）抗扰度的设计注意事项
- AN57821 – PSoC 3, PSoC 4, 和 PSoC 5LP 混合信号电路板布局注意事项
- AN91445 – 天线设计和 RF 布局指南
- AN91184 – PSoC 4 BLE – 设计 BLE 应用
- AN95089 – PSoC 4/PRoC BLE BLE 晶体振荡器选择和调谐技术

- AN85951 – PSoC 4 和 PSoC 模拟协同处理器 CapSense 设计指南

Appendix A. PCB 布局提示

开始执行 PSoC 的 PCB 布局前，应查看 AN57821 — PSoC 混合信号的电路板布局注意事项。该应用笔记的附录 A 显示的是各种 PSoC 封装的示例 PCB 布局和原理图。

赛普拉斯 PSoC 3、PSoC 4 和 PSoC 5LP 套件原理图提供了如何将 PSoC 结合到电路板原理图内的好例子。有关更多信息，请参见相关文档。

设计 PCB 时，可以使用多种经典方法降低噪声和 EMC。这些方法包括：

- **多层：**虽然比较昂贵，但最好使用一个多层 PCB，其中 V_{SS} 和 V_{DD} 供电具有单独的层。这样可以使去耦和屏蔽效果更好。这些层上的单独填充将使用于 V_{SSA}、V_{SSD}、V_{DDA}、V_{DDIO} 和 V_{DDD}。

  为了降低成本，可以使用一个两层的 PCB 或单层的 PCB。在这种情况下，必须有良好的 V_{SS} 和 V_{DD} 布局。
- **接地和电源：**必须有一个用于收集所有接地返回的单点。避免接地环路或最小化它们的面积。PCB 上的所有空表面中应该填充地面，以创建一个屏蔽，特别是在使用两层 PCB 或单层 PCB 时。

  为了最小化电源回路区，该电源必须靠近接地线。该电源回路可作为一个天线、EMI 的主发射器或接收器使用。
- **去耦：**外部电源的标准去耦器为一个 100 µF 的电容。为了降低高频电源纹波，补充的 0.1 µF 电容的位置应尽可能靠近器件 V_{SS} 和 V_{DD} 引脚。

  总体来说，应该去耦所有灵敏信号或嘈杂的信号，这样可以提高电磁兼容性（EMC）的性能。该去耦可以是电容去耦和电感去耦。
- **组件位置：**根据电磁干扰（EMI）的影响来区分 PCB 上的不同电路。这样会降低 PCB 上的交叉耦合。例如，将嘈杂高电流的电路、低电压电路和数字组件互相分开。
- **信号布线：**为了提高 EMC 的性能，在设计某一应用时，必须仔细考虑下面各内容：
  - 噪声信号例如，快速沿时间的信号
  - 敏感信号和高阻抗信号
  - 捕获事件的信号，如中断和选通信号

  为了提高 EMC 性能，要尽量缩短走线长度，并使这些走线和 V_{SS} 走线互相隔离。为了避免串扰，请勿将这些走线靠近其他嘈杂和敏感走线或与其并行排列。

更多有关信息，请参考下列文档：

- *电路设计师的伴侣，版本 2（设计工程师的 EDN 系列）*，作者：Tim Williams
- *实际世界 EMI 控制的 PCB 设计（工程和计算机科学的 Springer 国际系列）*，作者：Bruce R. Archambeault 和 James Drewniak
- *印刷电路手册（Printed Circuits Handbook）（McGraw Hill 手册）*，作者：Clyde Coombs
- *EMC 和印刷电路板：设计、理论和布局变得更简单*，作者：Mark I. Montrose
- *信号集成问题和印刷电路板设计*，作者：Douglas Brooks

Appendix B. 原理图检查表

以下检查表中的每一项，应该为适用（Y）或不适用（N.A.）。例如，如您使用应用中未调节的外部电源为 PSoC 6 MCU 器件充电，那么可以将所有“电源（经调节的外部电源）”项标记为“N.A.”。

目录	项目	Y/N/N.A	备注
电源	电源引脚连接是否与电源引脚连接一致?		
	0.1µF 和 1µF 电容是否连接到每个 VDDD，VDDIO，VDDA 或 VDDR 引脚？		
	10µF 和 0.1µF 电容是否连接到 VDD_NS 引脚？		
	VDDD 和 VDDA 引脚的电压（包括纹波）是否在 1.7 到 3.6 V 的范围内？		
	VCCD 引脚是否连接到 1µF 电容？		
	VBUCK1 引脚是否连接到 VCCD 引脚？		
	VBUCK1 引脚是否连接到 4.7µF 电容？		
	如果 VRF 引脚为 BLE 供电，引脚是否连接到 10µF 电容？		
	VIND1 和 VIND2 引脚之间是否连接了 2.2µH 电感？		
	VRF 引脚是否连接到 VDCDC 引脚？		
	VDDR 引脚是否连接到 VDCDC 引脚？		
	VBACKUP 引脚是否连接到适当的电源（VDDD 或 1.4V 至 3.6V 电源）？		
	1µF 电容是否连接到 VDDR_HVL 引脚，没有外部负载？		
时钟	1µF 电容是否连接到 VDDR_HVL 引脚，没有外部负载？		
	外部时钟的频率是否小于或等于 48 MHz（包括容差）？		
	外部时钟的占空比是从 45％到 55％吗？		
	外部 32 MHz 晶振是否连接到 XI 和 XO 以进行 BLE 操作？		
	外部 MHz 晶振是否连接到 ECO 引脚以进行 ECO 操作？		
	32.768 kHz 晶振是否连接到 WCO 以进行 RTC 操作？ WCO 负载电容器是否已连接？		
	外部 32.768 kHz 方波时钟是否连接到 WCO_OUT 引脚，WCO_IN 是否悬空？		
复位	复位引脚连接是否按照 Figure 14 进行？		
编程与调试	SWD / JTAG / ETM 信号是否按编程和调试部分所述进行连接？		
GPIO 引脚	是否按照 I/O 引脚选择中描述的顺序完成 GPIO 引脚的分配？		
	每个 GPIO 引脚的灌电流是否低于 8 mA？		
	每个 GPIO 引脚的源电流是否低于 4 mA？		
	GPIO 引脚的总源电流或吸收电流是否小于器件能力？		
SCB	是否根据器件数据表分配了 SCB 的固定引脚？		
CapSense	具有强灌电流的引脚是否远离 CapSense 引脚（空间超过三个引脚）？		
	CMOD 是否连接到 CMOD（或 C_MOD）引脚以进行自电容感应？		
	CSH_TANK 是否连接到 CTANK（或 C_SH_TANK）引脚以进行自电容感应，如 CapSense 部分所述？		
	CINT1 和 CINT2 电容是否连接用于互电容感应？		
	是否根据 Table 5 中提供的偏好选择了 CapSense 传感器，屏蔽，Rx 和 Tx 信号？		
天线	天线设计是否基于 AN91445 的建议？		

Appendix C. 赛普拉斯术语

本节列出了使用赛普拉斯 PSoC 系列器件时可能遇到的最常用术语。

组件配置工具：PSoC Creator 中嵌入在每个组件里的简单 GUI。它用于自定义组件参数，可通过右键单击组件来访问。

组件：PSoC Creator 软件中由图标表示的免费嵌入式 IC。它们用于将多个 IC 和系统接口集成到一个 PSoC 组件中，该组件通过主系统总线连接到 MCU。例如，BLE 组件可在几分钟内创建蓝牙智能产品。同样，您可以将可编程模拟组件用于传感器。

MiniProg3:：用于开发的编程硬件，用于对定制板上的 PSoC 器件或不支持内置编程器的 PSoC 开发套件进行编程。

PSoC：一种可编程嵌入式设计平台，包括一个 CPU，例如 32 位 Arm Cortex-M0，具有模拟和数字可编程模块。它通过可靠，易用的解决方案（如触摸传感）加速嵌入式系统设计，并实现低功耗设计。

具有 BLE 连接功能的 PSoC 6 MCU：PSoC 6 MCU IC，带有双 CPU MCU 和集成 BLE 无线电，包括与蓝牙 4.2 规范兼容的免版税 BLE 协议栈。

PSoC Creator：PSoC 3，PSoC 4，PSoC 5LP 和 PSoC 6 MCU 集成设计环境（IDE）软件，可安装在 PC 上，允许 PSoC 系统的并发硬件和固件设计，或进行硬件设计，然后导出到其他流行的 IDE。

PSoC Programmer：用于编程 PSoC 器件的灵活集成编程应用程序。 PSoC Programmer 与 PSoC Creator 集成，可对 PSoC 3，PSoC 4，PRoC，PSoC 5LP 和 PSoC 6 MCU 设计进行编程。

文档修订记录

文档标题: AN218241 - PSoC 6 MCU 硬件设计注意事项

文档编号: 002-25056

版本	ECN	变更者	提交日期	变更说明
**	6307341	XITO	09/12/2018	本文档版本号为 Rev**，译自英文版 002-18241 Rev*B。

销售、解决方案以及法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问赛普拉斯所在地。

产品

Arm® Cortex®微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC®解决方案

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

赛普拉斯开发者社区

社区 | 项目 | 视频 | 博客 | 培训 | 组件

技术支持

cypress.com/support

此处引用的所有其他商标或注册商标归其各自所有者所有。

赛普拉斯半导体公司
198 Champion Court
San Jose，CA 95134-1709

© 赛普拉斯半导体公司，2016-2018 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规 格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。