AN15456

EZ-USB® FX2LP™ ハードウェア設計を成功させるガイド

著者: Rama Sai Krishna Vakkantula

関連プロジェクト: あり

関連製品ファミリー: CY7C68013A/14/15/16A

ソフトウェア バージョン: 該当なし

関連アプリケーション ノート: AN65209

本アプリケーション ノートの最新版または関連プロジェクト ファイルについては、http://www.cypress.com/go/AN15456 をご覧ください。

更にサンプルコードをお求めでしょうか？以下をご参照ください。

豊富な FX2LP サンプルコードにアクセスするには、USB High-Speed サンプルコード ウェブページをご覧ください。

USB 3.0 ペリフェラルコントローラをお探しですか？

USB 3.0 製品ファミリにアクセスするには、USB 3.0 製品ファミリウェブページをご覧ください。

USB デバイスを構築する際には、USB 仕様の範囲を超えた詳細設計に十分注意する必要があります。本アプリケーション ノートは、サイプレスの EZ-USB® FX2LP™デバイスに焦点を当てながら、すべての USB デバイスで共通する設計トピックについて論じています。ここで記載されている情報は、旧 FX1 デバイスおよび一般的な USB デバイスにも適用されます。本アプリケーションノートの最後に、すべての USB ハードウェア設計を成功させるのに役立つ回路図レビュー チェックリスト、およびデバイス チェックアウトに対応するサイプレス ソフトウェアの説明を記載します。

目次

1 はじめに 2
2 USB デバイスへの電源供給 2
2.1 USB の電源供給の仕様 2
2.2 USB のプラグイン タイミング 5
2.3 MCU の節電 6
2.4 USB の節電 6
3 USB リセット回路 7
3.1 旧式の方法 7
3.2 より優れた方法 9
3.3 テスト 10
4 EEPROM 使用上の考慮事項 10
4.1 電源監視チップの使用 10
4.2 GPIO ピンを EEPROM WP ピンに接続 11
4.3 EEPROM への書き込みを永久的に保護 11
5 USB 用に共振器を選択 11
5.1 共振器の要件 11
6 ハイスピード USB プリント基板レイアウトの推奨事項 12
6.1 制御された差動インピーダンス 12
6.2 USB 信号 15
6.3 電源とグランド 18
6.4 水晶または振動子 19
6.5 トラブルシューティング 19
6.6 ボール グリッド アレイの考慮事項 20
6.7 56 ボール VFBGA パッケージの詳細 21
7 回路図の設計チェックリスト 24
7.1 PCB の作成 24
7.2 基板を起動 26
8 サイプレスのドライバーおよび USB Control Center 27
8.1 ドライバーのインストール 27
8.2 USB Control Center 30
9 まとめ 31
10 関連文書： 31
改訂履歴 32
セールス, ソリューションおよび法律情報 33

1 はじめに

USB1.1 仕様に比べて、USB2.0 仕様は帯域幅の大幅な増加をもたらしています。40 倍の帯域幅を提供しており、プリント基板の良好な設計、およびサイプレスの FX2LP 等のような USB チップの周囲のコンポーネントを厳選する重要性を増加させます。本アプリケーション ノートは、すべての USB デバイスのすべての速度 (特に、USB 2.0 の高速) に適用される USB 設計トピックのホストを提供しています。サイプレスのデバイス向けの説明となりますが、どの USB ペリフェラル設計にも役に立ちます。

USB はケーブルで電源を供給するため、内蔵型デバイスが実用的になります。USB デバイスへの電源供給節では、USB デバイスが電源供給される方法、および自己給電デバイスに対する特別な考慮事項を説明します。

USB はホットプラグに対応しており、USB チップ リセット回路が重要です。USB リセット回路節では、旧式の RC リセット回路が不十分である理由を説明し、より優れたソリューションを推奨します。

サイプレスの USB デバイスは、プログラム領域用に高速のオンチップ RAM を使用しています。この RAM は、電源投入時に USB を介してブートロードする、または外部の EEPROM から読み込むことができます。EEPROM 使用上の考慮事項節では、USB 電源供給およびホットプラグの要件を満たすような適切な EEPROM 設計をどのように実装するかを説明します。

すべての USB チップは、水晶により提供される高精度のクロックを必要とします。最近の開発において低コストの共振器 (負荷コンデンサ付き) が使用されているため、それらは USB クロック ソースとして使用可能になります。USB 用に共振器を選択節では、これらの共振器について説明し、関連する仕様を提供します。

優良なプリント回路基板レイアウトは、USB ペリフェラルを成功させるのに重要です。ハイスピード USB プリント基板レイアウトの推奨事項節は、BGA 要件も含めて推奨事項を提供します。回路図の設計チェックリストを使用して設計が要件を満たしているか確認してください。

最後に、サイプレスのドライバーおよび USB Control Center 節では、FX2LP ベース基板の初めての設計を簡単にするための、サイプレスの Windows ドライバーおよび USB Control Center と呼ばれるユーティリティ プログラムのインストール方法を説明します。

2 USB デバイスへの電源供給

USB デバイスは、以下の 3 つの方法で電源供給されます。

- バスによる給電: デバイスは USB ケーブル VBUS ワイヤから電源を取り出します。これは、USB メモリ, マウス, キーボード, および新しいディスク ドライブ等のような USB デバイスに電源を供給する最も一般的な方法です。
- 自己給電: ディスク ドライブのような一部の USB 周辺機器は、ケーブルによって供給された電力を超えています。これらの周辺機器は通常、AC アダプタで外部電源を使用しています。
- 混合の電源供給: USB デバイスは、自己給電しながら、バスによって給電されることができます。これらのデバイスは稀であり、常に複数の電源を必要とします。

3 番目の方法は上位の 2 つの方法を組み合わせたものなので、本節では最初の 2 つの給電方法に焦点を当てます。

2.1 USB の電源供給の仕様

USB の幾つかの重要な仕様が電源回路の設計にあります。本節はその重要な仕様をまとめたものです。

2.1.1 VBUS 電源

USB 2.0 ホストは、5V の VBUS ワイヤに 2 つの電力レベルを供給しています: プラグイン時には 100 ミリアンペア、動作時には最大 500 ミリアンペア。USB 仕様では、100mA の負荷に対しては 4.4V~5.25V、500mA の負荷に対しては 4.75V~5.25V という VBUS の電圧範囲があります。USB 周辺機器は一般的に、この電圧を 3.3V に調整し、デバイスに最もクリーンな電力を提供します。

バス給電のハブはすべての場合において、100mA のダウンストリーム ポートに対応しています。外部電源ハブは、それぞれのダウンストリーム ポートに最大 500mA まで電源供給することができます。

2.1.2 プラグイン時の USB 電源

USB ホストは、プラグインされたばかりの USB デバイスが未設定であるとみなします。仕様では、設定されていない USB デバイスは VBUS ワイヤから 100mA 以上引き込むことができません。エニュメレーション過程でホストはデバイスの電源要件を決定します。ホストは要件を満たした場合、デバイスを設定済みの状態に移行し、必要な電源を供給します。これで USB が安全になります。例えば、400mA のデバイスがバス給電のハブに接続する場合、ホストはデバイスを設定する、または動作させることはしません。理由は、バス給電ハブは 100mA のダウンストリームデバイスにのみ対応するためです。

フルスピードまたはハイスピードの USB デバイスは、1.5kΩ の抵抗で D+信号ラインを 3.0V～3.6V の電圧ソースにプルアップすることにより、プラグイン時にホストに自分の存在を示します。USB 仕様では、VBUS が存在しない場合、この抵抗が電源供給されることは決してありません。これは、自己給電デバイスのみに対しての考慮事項です。なぜかと言うと、バス給電デバイスの場合は、VBUS 自身が通常 5V～3.3V の電圧を持つレギュレータを介してプルアップ電圧を供給するためです。従って、バス給電のデバイスは自動的に VBUS が存在する仕様を満たしています (図 1)。

図 1. バス給電のデバイス

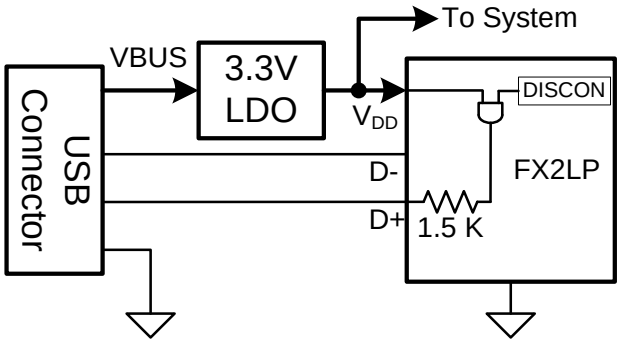
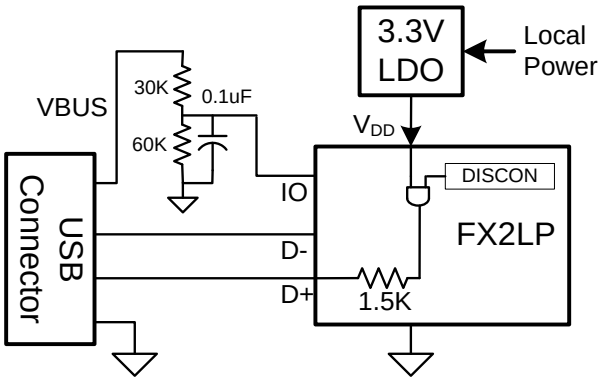


図 1 に示しているように、VBUS ワイヤは、FX2LP チップおよび他のデバイス回路に電源供給する 3.3V のレギュレータに 5V の電源を提供しています。FX2LP は、その DISCON 出力ピンを使用して 3.3V のプルアップ電圧を提供します。VBUS が存在しないと、FX2LP の電源、およびそれに伴うプルアップ抵抗の電圧を除去します。

自己給電のデバイスは別件で、慎重な考慮を要します (図 2).

図 2. 自己給電のデバイス



自己給電デバイスが USB 取り付けの前、またはその最中にローカル電源を受けた場合、あるいはホストが VBUS をオフにした場合、USB 仕様に違反して VBUS が存在しなくてもプルアップ抵抗に電源供給することが可能です。これは、VBUS をオフにし、D+ラインでの電圧がないかをチェックするという USB の特定なコンプライアンス テスト項目です。

図 2 に示すように、VBUS ワイヤはもはや電源供給せずに、代わりに信号入力として機能しています。VBUS 信号を検知することにより、FX2LP ファームウェアは、その DISCON 出力が VBUS 電源が存在している場合にのみ 1.5kΩ の D+プルアップ抵抗に電源を供給することを保証します。抵抗分圧器は、5V の VBUS 電圧を FX2LP I/O ピンの電圧レベルに対応させるように、5V から 3.3V に低下させます。グランドへの抵抗は、機械的な切断により VBUS 信号が開放した場合、I/O ピンを LOW にプルします。コンデンサは、接続と切断用に過渡サプレッサーを提供します。コプロセッサーを使用する FX2LP システムもあるかもしれません。これらのシステムにおいて、DISCON 出力ピンを適切に制御するために限り、コプロセッサーまたは FX2LP のいずれかが VBUS 信号を検知することができます。

殆どの自己給電設計では、任意の汎用入力ピンが VBUS を検知するために使用されます。ファームウェアの最も速い応答のために、FX2LP 割り込みピンを使用することができます。VBUS が再印加されるまで FX2LP を低電力 (スリープ) 状態にしようとした場合、FX2LP WAKEUP 入力ピンを使用して VBUS を検知してください。WAKEUP ピンをアクティブ HIGH にプログラムすることで、VBUS 信号は FX2LP MCU をウェイクアップさせ、USB シグナリングを再開するためのトリガーとして使用することができます。

注意事項: FX2 の 2 つの変形である AT2LP と HX2LP は、専用の VBUS 検知ピンを提供しています。

2.1.3 GPIO で VBUS 検知のサンプル コード

図 3 は、VBUS が存在するか PORTA.7 I/O ピンで検証し、存在する場合は bmDISCON ビットを設定する C コードの例です。

図 3. I/O ピンを使用して VBUS を検知する C コード

```
if ( !(IOA & 0x80) )  // Test VBUS signal (using a PORTA.7 pin for example)
{
  USBCS |= bmDISCON;  // VBUS not present: disable D+ pullup
}
else
{
   USBCS &= ~bmDISCON; // VBUS is present: enable D+ pullup
}
```

2.1.4 WAKEUP ピンで VBUS 検知のサンプル コード

図 4 は、WAKEUP ピンを使用して VBUS の存在の有無を検出する C コードの例です。

図 4. WAKEUP ピンを使用して VBUS を検知する C コード

```
// clear built-in latch
WAKEUPCS = bmWU | bmDPEN | bmWUEN;
// write again in case polarity was modified
WAKEUPCS = bmWU | bmDPEN | bmWUEN;

if(WAKEUPCS & bmWU)
{
// WU (VBUS) is low: disconnect
//application specific code       //shut down normal operations
USBCS |= bmDISCON;
// disable interrupts
EA = 0;
// debounce delay
EZUSB_Delay(30);

// enable WU active high (wait for VBUS ONLY)
WAKEUPCS = bmWU | bmWUPOL | bmWUEN;
// place processor in idle mode
// Code execution resumes here when WU pin goes active (VBUS detected)
EZUSB_Susp();
// enable WU active low and D+, too
WAKEUPCS = bmWU | bmDPEN | bmWUEN;
// connect
```

```
// application specific code            // restart normal operations
USBCS &= ~bmDISCON;
// enable interrupts
EA = 1;
// debounce delay
EZUSB_Delay(30);
}
```

EZUSB_Susp()の実行文は、FX2LP をその振動子を停止することで低電力状態に入れます。WAKEUP ピンをアサートすると、振動子が再起動し、クロック PLL が安定するまで待機し、そして WAKEUP 割り込みサービス ルーチン (ISR) をアクティブ化します。ISR は、割り込み要求ビットをクリアして、FX2LP を IDLE 状態にする命令の次にある命令からコード実行を再開するために「reti」命令を実行します。

コードがサイプレスの USB ファームウェア フレームワークに基づいた場合、WAKEUP 割り込みを有効化し、対応するためのコードは図 5 に示している fw.c ファイルで書かれます。resume_isr 関数は ISR として宣言されるため、終了時に自動的に reti 命令を実行します。

図 5. fw.c 内の WAKEUP 割り込みコード

```
EZUSB_ENABLE_RSMIRQ();  // Enable Wake-up interrupt
.....
// Wake-up interrupt handler
Void resume_isr(void) interrupt WKUP_VECT
{
   EZUSB_CLEAR_RSMIRQ();
}
```

2.2 USB のプラグイン タイミング

USB 仕様は、USB 電源投入および RESET シグナリングに対してタイミングの条件を付けています。

2.2.1 D+プルアップ

デバイスは、接続の 100 ミリ秒以内に D+をプルアップする必要があります。FX2LP のデフォルトの動作は、DISCON ビットをクリアして起動し、自動的にプルアップ抵抗を接続し、この要件を満たすことです。(DISCON は USBCS レジスタのビット 3 です)。FX2LP には、ブート EEPROM にビットを設定することでこの動作をオーバーライドするオプションがあります。

EZ-USB ファミリのすべての製品と同様に、FX2LP はプログラム記憶用の不揮発性 RAM を使用しています。電源投入時に、FX2LP は 3 つの異なる方法で動作することができます。

1. 固定プロファイルで列挙され、サイプレスを表すベンダーID VID=0x04B4、FX2LP を表す製品 ID PID=0x8613 によって特性付けされている、デフォルトの USB デバイスとして動作します。このデフォルトの USB デバイスは、USB を介するファームウェア ダウンロードを許可し、ファームウェアを内部の RAM に読み込み、ファームウェア コードを実行するための回路を備えています。サイプレスは、ファームウェアを USB 経由でダウンロードするために、このプロファイルにドライバーを結びつける Windows ツールを提供しています (サイプレスのドライバーおよび USB Control Center 節を参照)。
2. 上記の 1 と同様ですが、ユーザーがカスタム VID と PID 値を提供できるオプションがあります。同じデフォルトの USB ファームウェア ローダー デバイスが存在しますが、サイプレス以外の VID と PID になります。これは、PC ブートローダーの任意ベンダーのカスタマイズを可能にします。小型の I^2C EEPROM は、ID 情報用に割り当てられる 6 バイト、および DISCON ピンのデフォルト値を 0 (接続済み) の代わりに 1 (切断済み) にすることを可能にするコンフィギュレーション バイトを提供します。
3. 完全なファームウェア イメージは大型 (64KB) の I^2C EEPROM から読み込むことができます。上記 2 のように、最初の 8 バイトには、DISCON ピンの起動時の値を変更できるコンフィギュレーション バイトが含まれています。

殆どの設計では、プラグインされた時に USB に自動的に接続するよう、DISCON をデフォルトのままにします。これにより、接続するための 100 ミリ秒の時間制限を容易に満たします。しかし、設計で EEPROM コンフィギュレーション バイトを使用して DISCON のデフォルト値 (0) をオーバーライドする場合、FX2LP は USB から切断されて起動します。そこで、ファームウェアは、DISCON を 0 に設定するのに 100 ミリ秒の期限を守る責任を負います。3 番目の方法を使用する場合、コードが DISCON=0 に設定するのにかかる時間以外はファームウェアのダウンロード時間も加えます。このため、EEPROM コンフィギュレーション バイト内の別のビットを使用して、FX2LP をその最大の I^2C クロック速度 (400kHz) に設定する必要があります。ダウンロードされたコードがいったん実行を開始したら、MCU リセットから復帰した後にできるだけ早く DISCON=0 に設定してください。

2.2.2 バス リセット

USB デバイスはその D+プルアップを接続した後の 100 ミリ秒以内に USB バス リセットに応答しなければなりません。FX2LP はその内部の回路がバス リセットを処理するため、ファームウェアを必要とせずに自動的にこの要件を満たします。

2.2.3 他の USB タイミング

USB デバイスは一度動作可能になると、データ ステージなしで 50 ミリ秒以内にホスト SETUP パケットに応答する必要があります。シングル ステージの SETUP パケットは以下のデバイス要求を含んでいます。

- SET_ADDRESS
- SET_CONFIGURATION
- SET_FEATURE
- CLEAR_FEATURE
- SET_INTERFACE

SET_ADDRESS は FX2LP ハードウェアで処理されています。他の要求は、単に内部状態ビットを設定したりクリアしたりするため、ファームウェアの応答が非常に迅速です。通常、サイプレスの USB ファームウェア フレームワークの TD_Poll() 関数は、その無限のメインループで SETUP パケットをチェックします。コードがこのループに過剰な時間をかける場合、「Setup Data Available」の割り込み要求は SETUP 応答時間を短縮することができます。

データ ステージ付きの SETUP パケットは、応答するのに 500 ミリ秒まで要します。これは通常、要求されたデータ (USB ディスクリプタ等) を取得するのに十分な時間となります。

2.3 MCU の節電

FX2LP の電力を主に消費するのは MCU と General-purpose parallel interface (GPIF) ユニットです。MCU は前述のように、アイドル状態に入って、WAKEUP 割り込みで再起動することができます。設計で GPIF を使用していない場合は、IFCONFIG レジスタ (0xE601) を設定しないでください。これは、GPIF を 48MHz で実行することによる消費電力を節約します。

MCU は次の 3 つのクロック速度で動作できます。12MHz, 24MHz, および 48MHz。電源投入時のデフォルト値は 12MHz ですが、殆どの設計では、USB イベントへの迅速な応答を確保するために、48MHz のクロック速度を使用しています。MCU のクロック速度はいつでも変更することができます。

2.4 USB の節電

USB ホストは、3 ミリ秒程度バスの動作を停止することで、デバイスを低電力スタンバイ状態に入れます。USB デバイスは、低電力状態に入り、動作を再開するためにバスにアクティビティがあるかどうかを監視することで応答します。FX2LP は、SUSPEND 状態と RESUME 状態に対応する割り込みを持っています。SUSPEND を検出すると、MCU は、周辺機器ユニットへの電源をオフにし、そのアイドル状態または SUSPEND 状態に入るような内部で必要な段取りを行います。MCU は、USB バスの信号方式と無関係で FX2LP を SUSPEND 状態に入るように命令することができます。これは、周期的なウェイクアップのために WU2 ピンを使用する場合に重要な機能になります。

FX2LP は、3 つの方法で SUSPEND 状態を終了することができます。各方法は、それぞれの独自のイネーブル ビットがあります。

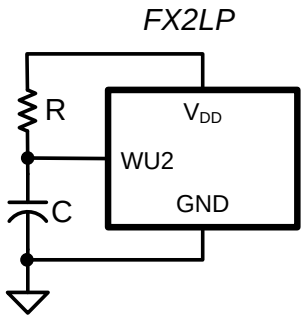
1. USB ホストはシグナリングを再開します。

2. WAKEUP (WU) ピンがアサートされます。
3. 二次の WAKEUP ピン (WU2) がアサートされます。

二次の WAKEUP (WU2) ピンは特別なハードウェアを内蔵しています。WU2 ピンは、FX2LP 振動子を再起動するウェイクアップ ソースである同時に、汎用出力ピンでもあります。RC ネットワークが図 6 のように接続されており、WU2 ピンがアクティブ HIGH にプログラムされている場合、FX2LP は定期的にコンデンサを放電して、SUSPEND 状態に入り、そしてコンデンサが約 2V まで充電すると再びウェイクアップします。

WU2 極性は、WAKEUPCS (ウェイクアップ制御&ステータス) レジスタでの WU2POL ビットを設定することでアクティブ HIGH にセットされます。関連の出力ビットは PORTA ビット 3 (PA3) です。WU2 ピンを LOW に駆動して、コンデンサを放電するために、PA3 を 0 に、OEA.3 (出力イネーブル) を 1 に設定します。そして、OEA をクリアして、WU2 ピンを開放し、コンデンサが充電できるようにします。

図 6. WU2 ピンは周期的な WAKEUP イベントをトリガーすることが可能



3 USB リセット回路

USB ケーブルがデバイスに電源を供給し、バス給電デバイスを可能にするという事実から USB に人気が集まってきました。さらに良いことに、USB は「ホットプラグ対応」、すなわち、USB デバイスは電源供給されている PC から何事もなく抜き差しすることができます。しかし、ホットプラグ機能は、USB チップをリセットするのに使用される回路に特別な要求を課しています。

3.1 旧式の方法

図 7 に示している RC ネットワークは非常に一般的なリセット回路です。図 8 は、バス給電デバイス(大多数の USB デバイス)に対応するこの簡単な回路での問題を例示しています。波形は、USB デバイスが接続し、そして切断し、再び接続することを表す電圧の波形となります。チップの電源は赤色、チップのリセット閾値電圧は青色、チップのアクティブ low リセット入力電圧は緑色です。青い線の下のリセット ピン電圧の場合は USB チップがリセットに保持され、線の上の場合はチップがリセットせずに、動作可能になります。

図 7. 簡単な RC リセット回路

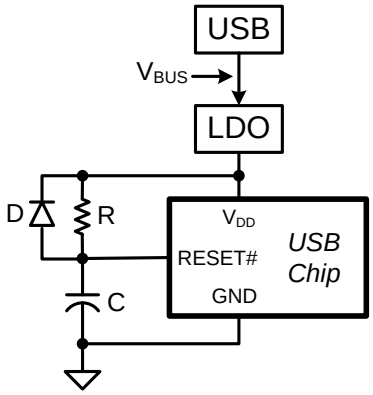
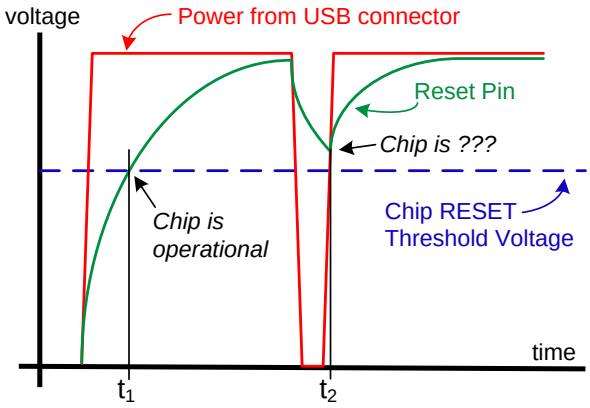


図 8. 簡単な RC リセット回路での最悪の場合の波形



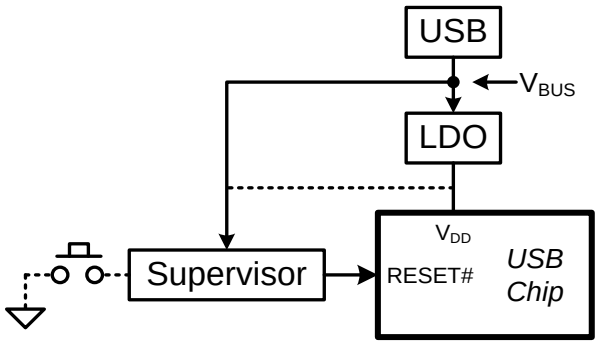
電源投入時に、コンデンサは 0V に放電されており、USB チップを RESET 状態に維持します。USB チップは、USB コネクターからの 5V のバス電源を 3.3V の V_{DD} ピンに変換するレギュレータから電源を受けています。プラグイン時に、LDO がチップに電源供給し、抵抗を介してコンデンサの充電を開始します。コンデンサがリセット電圧閾値まで充電すると、USB チップは t_1 時点でリセットから復帰して、動作し始めます。ここで重要な概念は、すべての内部チップ回路が電源供給され、リセットが解除される前に安定であることです。これはどのチップに対しても当てはまります。

USB デバイスが切断すると、チップは電源を失いますが、コンデンサは依然としてチップの電源供給電圧に充電され、抵抗を経由して徐々に放電します。USB デバイスが即座に再接続されたらどうなるでしょうか。コンデンサがリセット閾値を下回るまで放電しないと、チップは、チップを t_2 時点でリセットするのに高すぎる電圧を持つ電源を受電します。この問題の一時的な解決策は、図 7 にダイオードを追加して、電源切断時にコンデンサ電圧の放電を加速させることですが、これは単に重大な切断／再接続時間を短縮するだけです。RC 放電法は、LDO 入力が切断する時に LDO 出力が 0V になるかどうかに依存します。これはまた、特定の LDO およびその外部のコンポーネント (例えば、バルク コンデンサ) に依存しています。結論として、この回路がすべての状況下で、特に切断／接続がすぐに終わる USB イベントでは、信頼性の高いリセットを保証できないことを表しています。

3.2 より優れた方法

対策としては、電源監視と呼ばれる外部チップを使用することです。これは、パワーオン リセット(POR) チップまたはパワー マネジメント IC (PMIC) としても知られています。これらのチップは、電源電圧を監視し、予測可能な RESET 信号を USB チップに提供します (図 9 参照)。1V のような低い電圧レベルでも期待通りに動作するように設計されています。高精度のコンパレータと内部での遅延時間によって、RESET が十分長い時間でアクティブに保持され、チップが適切に動作することを保証します。RESET 信号をアサートさせないように、時々 (毎秒など) パルスする MCU であるウォッチドッグ タイマーを持っているスーパーバイザもあります。他のスーパーバイザ オプションは、RESET プッシュボタンも MCU をリセットすることを可能にする入力ピンです。スーパーバイザ RESET 出力は、アクティブ HIGH、アクティブ LOW、またはオープンドレインとして使用可能です。これらのチップは種類が豊富で低コスト (50 セント程度) です。人気のあるウェブ販売会社は、「PMIC スーパーバイザ」のカテゴリで 43196 もの項目を一覧表示しています。

図 9. 理想的な RESET 方法



スーパーバイザ リセット ポイントは、システム内のあらゆるデバイスがその最低の電源電圧に達していない間に FX2LP がリセットのままに保持されることを確保するために、システム内の最大の電圧レールに接続する必要があります。(詳細は、EEPROM 使用上の考慮事項節を参照してください)。最悪の場合の USB VBUS 電圧は 4.35V です。これは、デバイスがバス給電ハブに接続された時に印加されます (USB 2.0 仕様、図 7-47)。したがって、約 3.5V～4.0V 程度のリセット電圧を使用して VBUS を監視するスーパーバイザはかなり良い選択です。どの電圧を選ぶにせよ、それを徹底的に確認してください (テスト節を参照)。

VBUS を監視することは現実的ではない場合 (例えば、自己給電デバイスの場合)、スーパーバイザは 3V レールを監視することができます。表 1 は、FX2LP が 3.3V 電源を監視する時の主なスーパーバイザの仕様を示しています。例えば、Texas Instruments 社の TPS3820-33 は、3.3V の電源を監視するように設計されたため、FX2LP リセット回路に適しています。その RESET 出力は、1.1V でアクティブ (LOW) になり、3.3V の電源電圧が 2.93V に達するまで RESET をアサートします。それから、少なくとも 5 ミリ秒の間 RESET をアサートされた状態に保持します。これは、USB の一瞬の間の切断／接続シーケンスが内部のコンパレータをトリガーして、電源電圧が再び安定になるまで必要な RESET 信号を提供することを保証します。

表 1. 主なスーパーバイザの仕様

仕様	値
監視用の電源電圧	3.3V
リセット閾値電圧 (typ)	2.93V
リセット アクティブ時間 (min)	5ms

3.3 テスト

すべての USB リセット回路を徹底的にテストする必要があります。以下のテストを推奨します。

- コールド スタート (ハードウェアが初期化された状態から再起動する), USB に差し込み
- コールド スタート, USB から抜き出し
- ハイバネート／再開, USB に差し込み
- パワー サイクル (電源スイッチを切ってすぐに入れなおす), USB に差し込み
- パワー サイクル, USB から抜き出し
- パワー サイクル, 5 層ハブに差し込み (5 つのハブを互いに接続し、ホストから一番遠いものに差し込む)
- 5 層ハブを抜き出し／再差し込み

注意事項: 異常な RESET#信号の後、FX2LP はリセットモードを終了し、直ちに EEPROM との通信を開始します。この場合、SCL/SDA は断続的に LOW または HIGH になることがあります。RESET#が再びアサートされると（エラー信号があるため）、SCL/SDA は LOW に留まり、FX2LP はエニュメレーションされません。その結果、これらのラインが外部から HIGH に強制されると、FX2LP は期待どおりに再開します。FX2LP RESET#ピンのリセット回路を EEPROM RESET/POWER ピンに接続することをお勧めします。これにより FX2LP がリセットされるたびに EEPROM がリセットされ、SCL/SDA ラインが HIGH にリセットされ、これらのラインの誤った状態が解消されます。

4 EEPROM 使用上の考慮事項

デバイスの EZ-USB ファミリは、プログラム記憶領域用の RAM を内蔵しています。この RAM は、電源投入時に USB ケーブルを使用して読み込まれる、あるいは FX2LP チップに取り付けられている I^2C EEPROM から読み込まれます。EEPROM ブートローディング方法では、電源が印加・解除された時の供給電圧に特別な注意を払うことを必要とします。供給電圧の過渡状態下で、FX2LP コアは動作可能であるのに対して、EEPROM はそうではありません。電圧の過渡状態で FX2LP からの I^2C トラフィックは EEPROM を破壊することがあります。

本節では、このような望まない動作を防ぐための 4 つの方法について説明します。EEPROM デバイス向けの原則ですが、同じ状態に影響を受けやすい他のペリフェラル デバイスにも適用することができます。4 つの方法に優先順位をつけると、下記のようになります。

1. 外部の電源監視チップを使用します。
2. GPIO ピンを使用して EEPROM への書き込みを保護します。
3. 永久的に EEPROM への書き込みを保護します。
4. ブリード抵抗で電源供給のランプダウンを制御します。

4.1 電源監視チップの使用

USB リセット回路節で推奨したように、外部の電源監視チップは信頼性の高い FX2LP リセットを提供するのに最適です。リセット中の FX2LP は、I^2C による EEPROM へのトラフィックを初期化することができないため、これは本質的に EEPROM の低電圧の問題を解決します。スーパーバイザ リセット電圧を選択する際は、システム内のすべての回路に対応する電圧に設定してください。新しい EEPROM は低電圧で動作しています。例えば、殆どの 64KB の EEPROM は 2.5V の低電圧で動作するため、USB リセット回路節で推奨された FX2LP の閾値電圧である 2.93V は、自己給電デバイスに適切なレベルです。バス給電デバイスの場合、VBUS 電圧は 4.35V に下がっても有効であることが保証されるため、監視すべき値になります。そのために、これより少し下回った (例えば、20%) リセット閾値は、FX2LP と EEPROM の動作を確保します。

4.2 GPIO ピンを EEPROM WP ピンに接続

EEPROM は、不注意による書き込みから保護するために、WP (書き込み保護) ピンを備えています。このピンを WP 機能をアサートする電圧レベルまでプルすることにより、FX2LP ファームウェアは選択的に書き込みを有効にすることができます。例えば、アクティブ HIGH の WP ピンは、3.3V の電源 (10K (標準値) の抵抗を経由) および FX2LP GPIO ピンに接続する必要があります。FX2LP は、その GPIO ピンが開放している (OEA-OEE ビットが LOW) 状態で電源供給されるため、プルアップ抵抗によるロジック HIGH は、FX2LP ファームウェアがそれを出力ピンにして、ロジック LOW に駆動するまで有効です。

4.3 EEPROM への書き込みを永久的に保護

一部の FX2LP 設計では、EEPROM の内容が不変なので、WP ピンをそのアクティブな状態にすることで EEPROM への書き込みを防止できます。デザインで、カスタム ベンダーID 情報を提供するためだけに小型 (16 バイト) EEPROM を使用している場合は、このソリューションを適用できます。ただし、コードを格納するために使用される大型 EEPROM への書き込みを永久的に保護すると、サイプレスが提供する USB Control Center などの再プログラミング ツールが使用できなくなることに注意してください。

4.3.1 ブリード抵抗を使用

これは最後の方法で、量産中でアドオン ソリューションを必要とするデザインにのみ有用です。考え方としては FX2LP および EEPROM が不適合電圧で動作できる時間を最小限にするために、電源電圧のランプダウンを促進することです。電源電圧と GND の間に電力抵抗を配置することで、電源遮断時間を短縮できます。約 20 ミリ秒で基板搭載のバルク コンデンサからの電流をドレインするような抵抗値を選択し、その抵抗は適切な電力定格を持つ必要があります。これは明らかにデバイスの消費電力を増加させます。

5 USB 用に共振器を選択

USB は、USB デバイスの高精度クロックに依存しています。USB 仕様では、周波数偏差が最大で±500ppm と規定しています。FX2LP データシートでは、この偏差を±100ppm に厳しく設定しています。共振器は小型パッケージで、外部部品の数を減らします。共振器が内部の負荷コンデンサを備えているので、それを使うと、外部コンポーネントとして負荷コンデンサを付けることを必要とする水晶振動子の使用に比べて、スペースを節約できます。

5.1 共振器の要件

FX2LP 水晶振動子の要件は次のとおりです。

- 24MHz
- 並列共振
- 基本モード
- 500µW 駆動レベル
- 12pF (5%の許容誤差) 負荷コンデンサ

サイプレスは USB の許容誤差を±500ppm に増加させる回路の他の要素 (回路基板レイアウト, 温度, 負荷コンデンサや水晶の経年変化など) を考慮するため、共振器の周波数の許容誤差を±100ppm と指定します。共振器のメーカーである Murata 社は初期精度が 70ppm と 100ppm の CERALOCK®シリーズの共振器を提供しています。FX2LP に対しては、Murata 社製の製品番号は表 2 に従ってエンコードされます。

表 2. Murata 社製の製品番号の構造

指示子	意味
CS	セラミック共振器
T	内蔵負荷コンデンサ
CE	小型コンデンサ SMT パッケージ (3.2 × 1.3 × 1.1mm)
24M0	周波数 (「M」は小数点を示す)

指示子	意味
G	基本モード (厚さのせん断モード)
1	100ppm (70ppm の場合は「H」)
2	10pF の負荷容量*
*10pF の負荷容量を指定すると、約 2pF のプリント基板配線の静電容量が可能になる。	

6 ハイスピード USB プリント基板レイアウトの推奨事項

ハイスピード USB は 480Mbps の速度で動作し、400mV の電圧を使って信号の送信を行います。下位互換性のために、ハイスピードに対応可能なデバイスは、3.3V 電圧を使って 12Mbps の速度でフルスピード USB デバイスに通信できなければなりません。また、ハイスピード USB ハブは 1.5Mbps の速度で低速デバイスに通信できることが要求されます。これらの要件を満たしてプリント基板を設計するのは容易ではありません。

本節では、USB 仕様に合わせるように、制御されたインピーダンスのハイスピード USB プリント基板を設計するガイドラインを記述します。これはサイプレスのすべてのハイスピード USB ソリューションに適用されます。

一般的にはハイスピード USB プリント基板は 4 層以上です。サイプレスはあらゆるハイスピード USB プリント基板設計に 2 層の基板を使用することを推奨しません。プリント基板設計は他のどの要素よりも USB 信号品質テスト結果への影響が高いです。本節ではハイスピード USB プリント基板の設計およびレイアウトの 5 つの主要な要素を指定します。

- 制御された差動インピーダンス
- USB 信号
- 電源とグランド
- 水晶または振動子
- トラブルシューティング

6.1 制御された差動インピーダンス

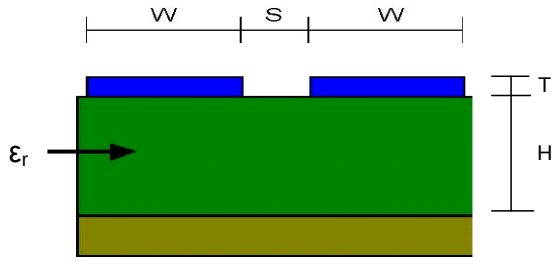
D+および D–配線の制御された差動インピーダンスは USB 2.0 プリント基板の設計に重要なものです。D+および D–配線のインピーダンスは信号のアイパターン, パケットの終了 (EOP) 幅, ジッタ, およびクロスオーバー電圧の測定結果に影響を与えます。指定された 90Ω ± 10%のインピーダンスを達成するために、差動インピーダンスの基本的な理論を理解することが重要です。

6.1.1 理論

マイクロストリップは、プリント基板の外層の銅配線です。マイクロストリップのインピーダンス (Z_0) は、その幅 (W), 高さ (T), 一番近くの銅面までの距離 (H), およびマイクロストリップと最も近い面間の素材 (一般的に FR-4) の比誘電率 (ε_r) によって決まります。2 個のマイクロストリップが互いに平行に走っていると、クロスカップリングが発生します。マイクロストリップ間の間隔 (S) およびそれらの面からの高さ (H) は、クロスカップリングの発生量に影響します。マイクロストリップ間の間隔が狭くなるほど、クロスカップリング量は増加します。クロスカップリング量が増加すると、マイクロストリップのインピーダンスは低下します。差動インピーダンス (Z_{diff}) は、両方のマイクロストリップのインピーダンスを測定して合計することで計算されます。

図 10 は、プリント基板の断面図であり、(最上部から最下部まで) 差動配線, 基板, および GND 面を示します。

図 10. 差動インピーダンスのマイクロストリップ モデル



式 1 と式 2 は、2D パラレル マイクロストリップ モデルを使って差動インピーダンスを見積もるのに必要な式です。表 3 は、変数の定義を示します。これらの式は、0.1 < W/H < 2.0 および 0.2 < S/H < 3.0 比率で有効です。商業用ユーティリティは、実験または 3D モデル アルゴリズムを使用して、より正確な結果を得られます。

式 1. 差動インピーダンスの式

$$Z_{diff} = 2 \times Z_0(1 - 0.48e^{-0.96S/H})$$

式 2.1 本のマイクロストリップのインピーダンス

$$Z_0 = (87/(\varepsilon_r + 1.41)^{0.5}) \ln(5.98H/0.8W + T)$$

表 3. 差動インピーダンスの変数の定義

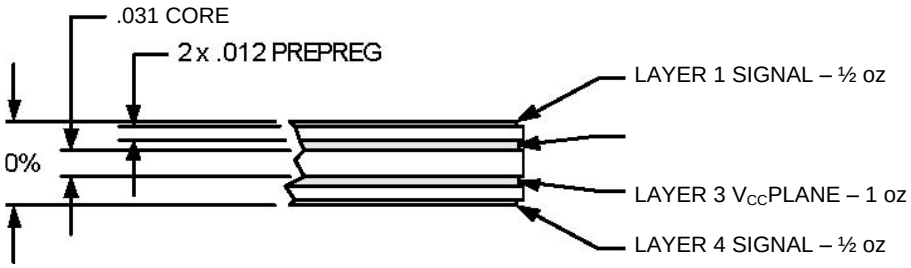
変数	定義
Z_{diff}	面上の 2 本のパラレル マイクロストリップの差動インピーダンス
Z_0	面上の 1 本のマイクロストリップのインピーダンス
W	配線の幅
H	GND 面から配線までの距離
T	配線の厚さ (1/2oz の銅≅0.65mil)
S	差動配線間の間隔 (エアギャップ)
ε_r	基板の比誘電率 (FR-4≅4.5)

6.1.2 標準的な厚さ 62mil の 4 層プリント基板の例

図 11 に、標準的な 62mil (1.6mm) 厚さのプリント基板に推奨するスタックアップを示します。このスタックアップを 2 本の平行な配線 (それぞれの配線は幅 (W) が 16 mil, 間隔 (S) が 7mil) と共に使用すると、差動インピーダンス (Z_{diff}) は 87Ω と計算されます。

同じスタックアップで、変数の他の組み合わせを使って、D+および D–上の差動インピーダンスが 90Ω ±10%を達成できます。

図 11. 標準的な厚さ 62mil の 4 層プリント基板のスタックアップ



NOTE: .016 TRACES ARE 90-OHM DIFFERENTIAL IMPEDANCE

6.1.3 推奨事項

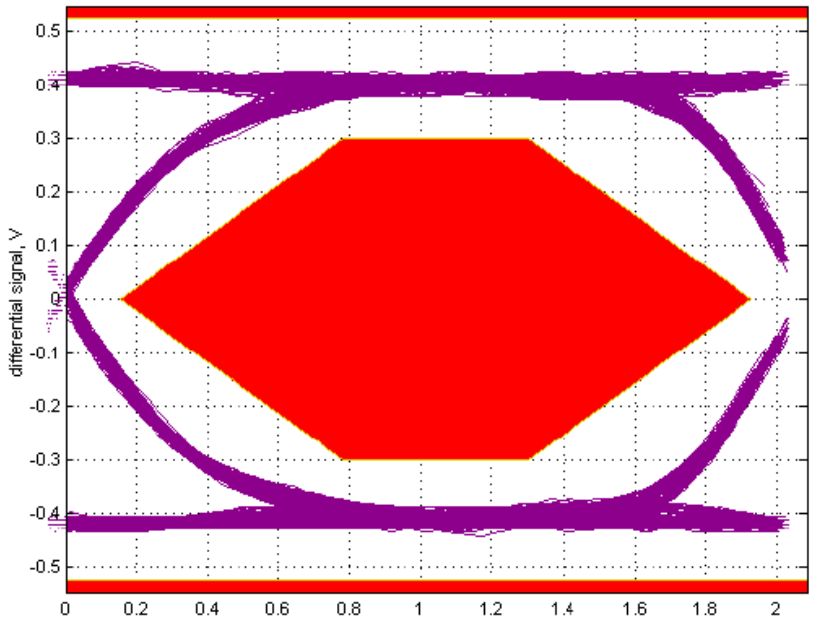
適切な差動インピーダンスを得るための推奨事項は次のとおりです。

- D+および D–上の 90Ω ± 10%差動インピーダンスの必要な設計パラメーターおよびスタックアップを得るためにプリント基板のメーカーに確認します。
- レイアウト ツールで D+および D–配線の幅および間隔を正確に設定します。
- プリント基板の製造図面上に適切なスタックアップを描いて、プリント基板メーカーに図面に従わせます。図 11 を参照してください。
- どの配線幅が制御差動インピーダンスを必要とするかを示すために、プリント基板の製造図面に注釈を付けます。また、必要なインピーダンスおよび許容誤差も示します。
- プリント基板メーカーに差動インピーダンスのテスト結果を要求します。

6.1.4 アイダイアグラム

USB データ信号品質の重要な測定の 1 つはアイパターンです。アイパターンは USB の信号の表現で、最小と最大電圧レベル、および信号ジッタを提供します。USB 2.0 仕様書の節 7.1 に、適合するアイパターンの詳細な説明や要件が記載されています。図 12 は EZ-USB FX2LP コンポーネントで測定されたハイスピード信号のアイダイアグラムです。

図 12. ハイスピード信号のアイダイアグラム



紫色の線は、バス上の多くの FX2LP D+/D–の遷移の重ね合わせた跡です。紫色のトレースのいずれかが赤色の部分に接すると、USB の信号仕様が満たされません。FX2LP トレースが中心の 6 面の赤色エリア、または赤色線で示される最上部と最下部の電圧境界線に一切接しないことに注意してください。過度のデータ ジッタによって、紫色の線が不鮮明になり、そのうちのいくつかが赤色の線に接するようになります。不適合なアイはジッタ、不整合なインピーダンスまたは不適切な EMI フィルタ処理を示します。紫色の線と赤色の部分間のスペース量は、良い設計マージンを示します。図 12 が示すように、FX2LP USB トランスミッターからの信号はノイズがありません。

6.2 USB 信号

USB 信号は 5 つあります。VBUS, D+, D–, GND および SHIELD です。その機能は表 4 に示しています。

表 4. USB 信号

信号	説明
VBUS	デバイス電源, +5V, 500mA (最大)
D+および D–	データ信号, 主に差動
GND	VBUS のグランドへのリターン
SHIELD	ケーブル シールドおよびレセプタクル ハウジング

6.2.1 D+および D–

D+と D–を適切に配線すると、高品質の信号のアイパターン, EOP 幅, ジッタ, クロスオーバー電圧, およびレシーバー感度テスト結果が得られます。以下の推奨事項に従うと、信号の品質を改善できます。

- サイプレスのハイスピード USB チップを GND 面に隣接する信号の層に配置します。
- GND 面に隣接する信号の層上に D+と D–を配線します。
- 他の信号の前に D+と D–を配線します。
- D+と D–下の GND 面を一続きの状態にします。これらの信号下の GND 面を分割すれば、インピーダンス不整合が発生し、電気的な放射が増加します。

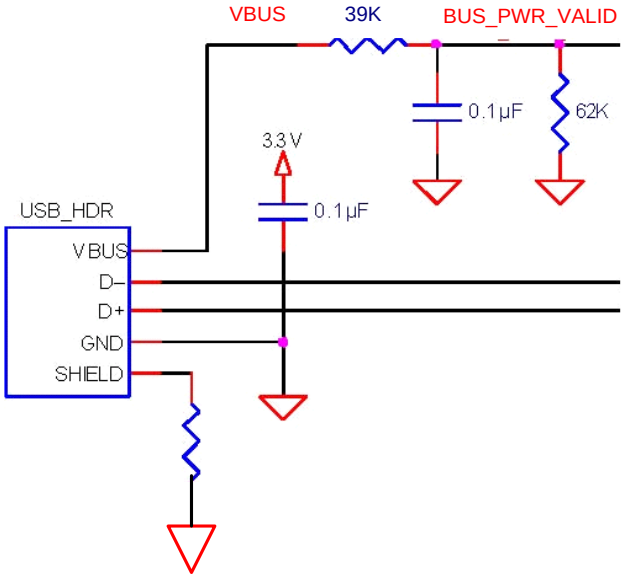
- D+と D–をビアを通して配線しないでください。ビアはインピーダンス不整合を発生させます。ビアが必要な場合 (例えば、ミニ B コネクタを使用する場合)、それを小さく (25mil のパッド, 10mil のホール) し、D+配線と D–配線を同じ層にします。
- D+と D–の長さを 3 インチ (75mm) 未満にします。1 インチ (25～30mm) 以下の長さの方が好ましいです。
- 信号のスキューおよびクロスオーバー電圧への影響を回避するように、D+配線と D–配線の長さを等しくし、誤差があれば、50mil (1.25mm) 以内でなければなりません。
- D+および D–のトレース間隔 (S) をその配線に沿って一定にします。トレース間隔を変更すると、インピーダンス不適合が発生します。
- 可能な限り D+と D-および他の非静止のトレースの間に 250mil (6.5mm) の距離を保ちます。
- 90°の曲げ角ではなく 45°の曲げ角または丸角を使用してください。
- D+と D–および隣接する銅ポーの間に最低 5 つのトレース幅を保ちます。これらの信号に近すぎて配置される時、銅ポーはそれらのインピーダンスに影響します。
- EMI を低減するために必要な場合を除き、D+と D–上のコモンモード チョークを避けてください。一般的に、コモンモード チョークは、ハイスピード信号にほとんど利益をもたらさず、フルスピード信号の波形に悪影響を与える可能性があります。

6.2.2 VBUS, GND および SHIELD

VBUS, GND および SHIELD 信号のための以下の推奨事項に従うと、突入電流の測定値を改善し、EMI, RFI および ESD の影響を低下させます。

- V_{CC} 面に隣接する信号の層上に VBUS を配線します。そうすると、この信号は D+と D–信号に干渉しないようになります。
- 自己給電のデバイスで電力を検出するために VBUS を使用した場合、VBUS をフィルター処理して、ESD イベントに左右されないようにします。単純な RC フィルターを使うとよいです。詳細は、図 13 を参照してください。フィルターは、USB チップよりも USB コネクタの近くに配置する必要があります。
- USB の突入電流要件に違反しないように、VBUS 上に 10µF 以下の静電容量を使用してください。
- 抵抗を介して SHIELD を GND に接続します。そうすることによって、SHIELD 信号を隔離し、EMI および RFI エミッションを削減できます。この抵抗を USB コネクタの近くに配置します。正しい値を得るために、いくつかの実験が必要になることがあります。
- V_{CC} 面に隣接する信号層上の USB シールドに 1 つの面を提供し、この面は USB ヘッダより大きくありません。

図 13. VBUS フィルター, USB の SHIELD-GND 抵抗およびデカップリング コンデンサを示す回路図

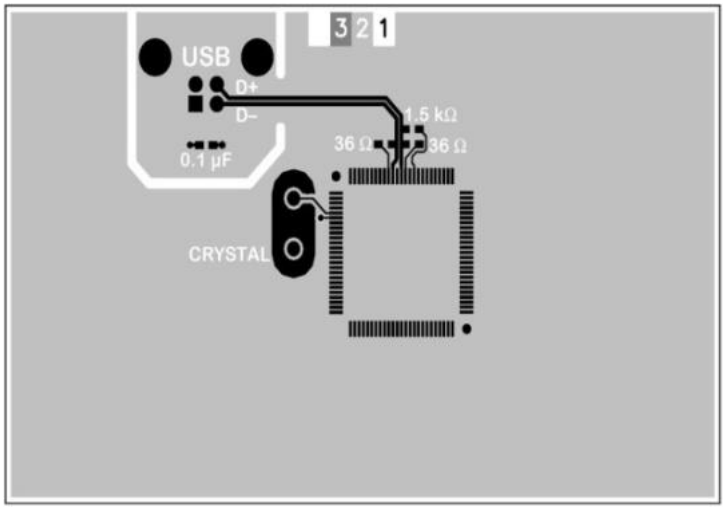


6.2.3 USB ペニンシュラ

USB コネクタがプリント基板のエッジの近くにある場合 (図 14 を参照)、以下のようにコネクタを「USB ペニンシュラ」に配置することを考慮します。Vcc および GND 面が基板の残りの部分から部分的に分離されるため、これらの面上のノイズを削減することで、EMI および RFI を低下できます。

- Vcc および GND 面の USB コネクタの周りに切り込みを入れて D+および D–用に 200mil (5mm) の隙間を作って、それらの差動インピーダンスを維持します。
- USB ペニンシュラ上に 0.1-µF コンデンサを使って Vcc および GND 面を分離します。
- SHIELD-GND 抵抗をペニンシュラに配置します。必要に応じて、ペニンシュラから離れて SHIELD を GND 面に接続する第 2 のパッド セットを使用します。
- コネクタの近くに、D+と D-の開口部にコモンモード チョーク (推奨されていないが、使用している場合) を配置します。

図 14. D+／D-配線, 直列終端抵抗, USB ペニンシュラおよび水晶を示す USB チップレイアウト



6.3 電源とグランド

ハイスピード USB の設計では電源とグランドを充分に提供する必要があります。プリント基板レイアウトが重要です。

- V_{CC} と GND 面は、ハイスピード USB のプリント基板設計に必要とされます。それらは、USB 信号のジッタを低減し、EMI と RFI に対する感受性を最小限に抑えます。
- V_{CC} と GND に専用の面を使用します。
- 基板に複数の電圧 (例えば、2.5V, 3.3V, 5.0V) が必要とされる場合、V_{CC} 面でカットアウトを使用してください。
- グランド面を分割しないでください。USB ペニンシュラに記載されている場合を除き、それを切らないでください。これにより、電気的ノイズを低減し、USB 信号のジッタを減少させます。

6.3.1 電源配線

場合によって、電圧レールに電源面を専用に設ける必要がありません (例えば、特別の 5V または 12V の電源配線ルーティング) 次は電源配線のガイドラインです。

- 電源配線をハイスピードデータ ラインとアクティブなコンポーネントから離れて配線します。
- インダクタンスを減少するために、電源配線の幅を少なくとも 40mil にします。
- 電源配線を短くします。ルーティングを最短にします。
- 電源配線で大きなビア (少なくとも 30mil のパッド, 15mil のホール) を使用します。
- 充分な静電容量を供給します (「デカップリングおよびバルク静電容量」を参照)。
- 必要に応じて、ノイズを低減するために、チップ フィルターを使用します。

6.3.2 電圧調整

次のガイドラインは、電圧レギュレータを使用して、USB の一時停止時に電気的な放射を削減し、電圧調整の問題を防止する方法を説明します。

- USB 一時停止時に静止電流が基板の最小電流に適した電圧レギュレータを選択します。
- USB 一時停止時に最少負荷電流が基板の負荷電流より低い電圧レギュレータを選択します。レギュレータに引き込む電流がレギュレータの最小負荷電流よりも小さい場合は、出力電圧が変化することがあります。
- 電圧レギュレータを、分割した V_{CC} 面を跨ぐように配置します。これにより、電気的な放射が減少されます。

6.3.3 デカップリングおよびバルク静電容量

以下はデカップリングとバルク コンデンサを電源入力ピンに接続するためのガイドラインです。

- デバイス電源入力ピンをデカップリングするために 0.1µF のセラミック コンデンサを取り付けます。ピンごとにコンデンサ 1 個を置きます。可能な限り、パッドと電源入力ピン間の間隔を 2.0mm 未満にします。
- バルク コンデンサを電源入力と出力ヘッダと電圧レギュレータの近くに配置します。
- サイプレスの USB チップに 10～20µF 容量を備えます。セラミックまたはタンタル コンデンサを推奨します。電解コンデンサは、バルク容量に適していません。
- 電気的ノイズを低減するために電源ヘッダーの近くに配置される電源入力と出力をフィルターします。
- AV_{CC} を V_{CC} から、AGND を GND から適切に分離するために、チップ固有のガイドラインに従います。
- AV_{CC} に充分なバルクとデカップリング容量を備えるために、チップ固有のガイドラインに従います。セラミックまたはタンタル コンデンサを使用してください。

6.4 水晶または振動子

水晶または振動子は、サイプレスのハイスピード USB チップにリファレンス クロックを提供します。これは、USB チップにクリーンな信号を提供し、D+や D-等の他の高速信号と干渉しないことが重要です。

- 精度が 100ppm 以下の水晶または振動子を使用します。
- (ハイスピード USB チップに応じて) 最初の高調波が 24 か 30MHz の水晶を使用します。
- 水晶ピンの近くに水晶または振動子を配置します。
- 水晶または振動子から USB チップまでの配線を短くします。
- 水晶または振動子の配線を D+／D–から離れて配置しください。
- 並列共振水晶の負荷容量と一致したセラミック コンデンサを使用します。

6.5 トラブルシューティング

USB の電気的コンプライアンス テストは、多くの場合 PCB レイアウトの不具合を示します。不具合の種類に基づいて、原因が見極めらることがあります。表 5 は、ハイスピードまたはフルスピード シグナル インテグリティやハイスピード レシーバーの感度テストに失敗した基板のいくつかの一般的な問題とその考えられる原因を示します。

表 5. ハイスピード USB PCB をトラブルシューティング

よくある問題	考えられる原因
ハイスピード, フルスピード シグナルのインテグリティ テストは、過度のジッタを示します。	D+と D-のインピーダンス間に不整合がある
	ノイズの多い配線が D+と D-に近すぎて配置されている
	コモンモードチョークが干渉している
	1 つのアクティブなコンポーネント (例えば、電圧調整器, SRAM など) が適切にデカップリングされていない
	AV_{CC} と AGND が適切に分離されていないか、低 ESR によりバルク容量が不足
ハイスピード, フルスピード シグナルのインテグリティ テストの時に、EOP が検出されないか、仕様外である	コモンモードチョークが EOP と干渉している
クロスオーバー電圧が指定された範囲に入らない	D+と D-の配線長が一致しない
	D+と D-のインピーダンス間に不整合がある
一時停止モードを出た時のハイスピード チップの初期電圧レベルが高すぎる	電圧レギュレータが 100µA で 3.3V を維持できない
レシーバーの感度が許容最低限を下回った	D+と D-下の GND 面に分割がある
	コモンモードチョークが干渉している
	AV_{CC} と AGND が適切に分離されていないか、低 ESR によりバルク容量が不足
突入電流が許容最大限を上回った	VBUS のバルク容量を減らす。バスパワーソリューションを設計している場合、静電容量のすべてが一度に充填されないように、ソフトスタート回路を採用

6.6 ボール グリッド アレイの考慮事項

FX2LP (CY7C68013A) または FX2LP18 (CY7C68053) の 56 ボール VFBGA バージョンは QFN パッケージの小型パッケージのバージョンです。56 ボール パッケージは、面積に敏感な PCB 設計の要件を満たします。本節では、これらの VFBGA 製品でプリント基板を設計するためのガイドラインを記載します。

6.6.1 PCB レイアウトの用語

本節では、サイプレスの FX2LP (CY7C68013A)/FX2LP18 (CY7C68053) の 56 ボール VFBGA を使用した PCB レイアウト設計で使用する一般的な用語を定義します。

6.6.1.1 エスケープ ルーティング

エスケープ ルーティングは、各信号をパッケージから PCB 上の他の要素にルーティングする方法です。

6.6.1.2 多層 PCB

多層 PCB は、VFBGA などの多ピンのパッケージでエスケープ ルーティングを可能にする業界標準の方法です。これは、PCB の異なる層で信号をルーティングすることで実現します。

6.6.1.3 ビア

ビアまたはメッキ スルーホールは、多層プリント基板において、層の間で信号を電気的に接続するために使用します。一般的なビア タイプは以下のようです。

- スルー ビア: 最上層と最下層との間の信号を接続
- ブラインド ビア: 最上層または最下層から中間の PCB 層に信号を接続
- 埋め込まれたビア: 中間の PCB 層の間の信号を接続し、基板の最上層または最下層からアクセスできない

6.6.1.4 ビア キャプチャ パッド

ビアは、各ビアを囲むキャプチャ パッドを介して PCB 層に電気的に接続される

6.6.1.5 マイクロビア

マイクロビアは、直径が 0.15mm (6mil) 以下で、ターゲット ビア キャプチャ パッドが 0.36mm (14mil) 以下のビアです。これらマイクロビアは、IPC-2315 と IPC-6012A 標準により定義されます。

6.6.1.6 サーフェス ランド パッド

サーフェス ランド パッドは、VFBGA はんだが接着される PCB 上の領域です。これらのパッドのサイズは、ビアとエスケープ ルーティング用に使用可能な面積に影響を与えます。一般的に、非はんだマスク定義 (NSMD) とはんだマスク定義 (SMD) という 2 種の異なったサーフェス デザインがあります。

6.6.1.7 NSMD パッド

NSMD パッドの場合、はんだマスクの開口部は、銅パッドより大きいです。ランド パッドの銅サーフェスは、完全に外部に露出されるため、VFBGA はんだボールの接着面積が広くなります。

6.6.1.8 SMD パッド

SMD パッドの場合、はんだマスクはランド パッドの銅サーフェスと重複します。この重複により、銅パッドと PCB のエポキシ樹脂やガラス積層板間の接着はより丈夫になります。これは、極端に曲がる時と加熱サイクリング試験中に有用です。しかし、はんだマスクのオーバーラップにより、VFBGA はんだボール接着用の銅サーフェスの面積が狭くなります。

6.6.1.9 ストリンガー

ストリンガーは、ビア キャプチャ パッドとサーフェス ランド パッドを電気的に接続する相互接続セグメントです。

6.7 56 ボール VFBGA パッケージの詳細

表 6 に 56 ボール VFBGA パッケージのサイズをまとめます。これらのサイズは、正確な PCB レイアウト デザインを達成するために決定的な要素です。パッケージの詳細情報については、デバイス データシートに記載されています。

表 6. CY7C68013A/CY7C68053 56 ボール VFBGA のサイズ

パラメーター	サイズ
パッケージ サイズ	5 x 5 x 1mm
ボールの数	56 (8x8 マトリックス)
ボール ピッチ	0.50mm
ボール直径	0.30mm
ボール パッド直径	0.30mm

6.7.1 レイアウト ガイドライン

以下のファクタは VFBGA パッケージの PCB 設計に重要なものです。

- 表面ランド パッドのサイズ
- ビアのレイアウトとサイズ
- 信号ライン間の間隔と配線幅

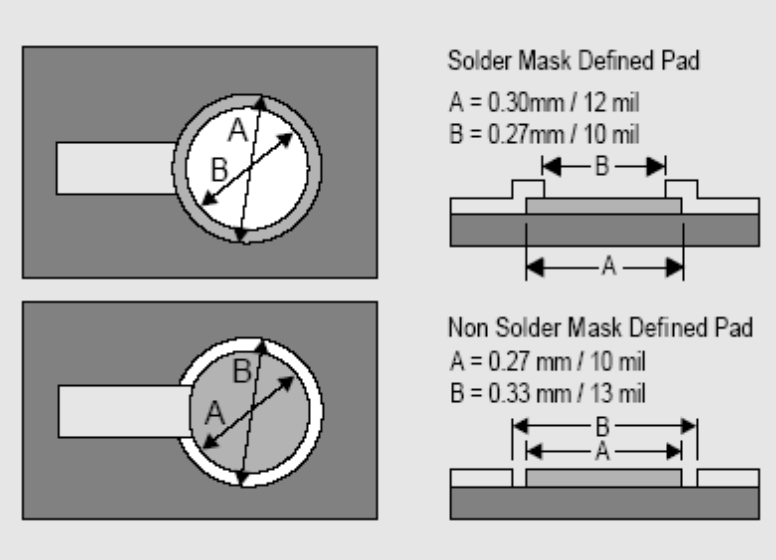
6.7.1.1 サーフェス ランド パッドのサイズ

温度のサイクリングの間は圧力のバランスを取るために、パッケージ パッドと PCB ランド パッドの接合部の比率を 1:1 に維持する必要があります。NSMD パッドの場合、銅パッドとはんだマスクの周りに間隔があることを確保してください。これは、マスク登録許容範囲 (通常は 0.060mm～0.075mm) を形成し、はんだの接合部とはんだマスクの重複を回避するためです。

SMD パッドは、より高い熱伝導性と機械的信頼性を提供するもっと丈夫なパッド接着材を持っているハンドヘルド アプリケーションに使用することをお勧めします。

図 15 には、PCB レイアウトの SMD パッドと NSMD パッドの両方の推奨サイズを示します。

図 15. SMD と NSMD パッドのサイズ



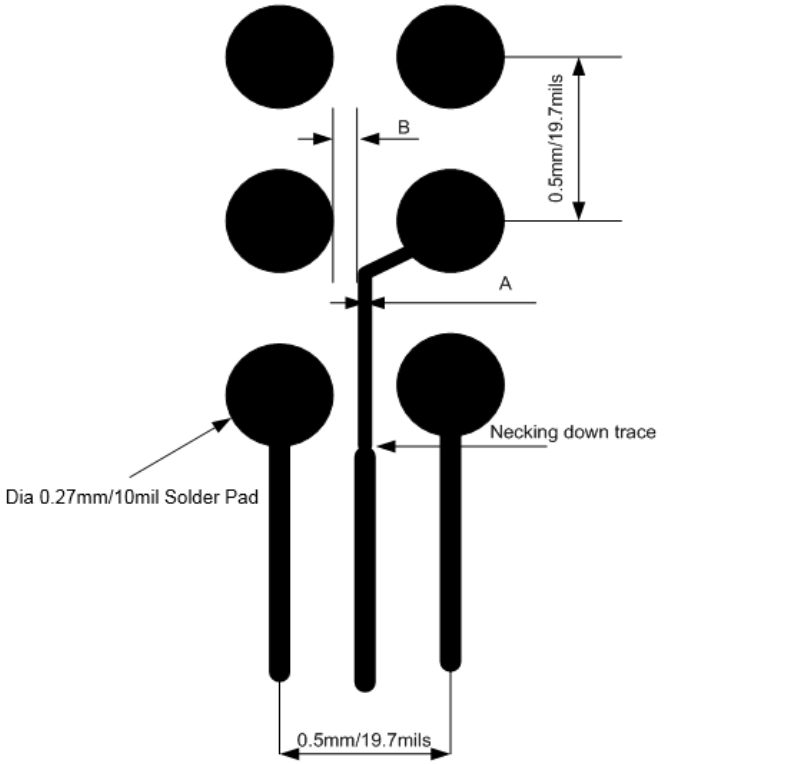
6.7.1.2 ビアのレイアウトとサイズ

ビアのサイズとレイアウトおよびビア キャプチャ パッドは、エスケープ ルーティング用に使用可能な面積に影響を与えます。FX2LP VFBGA では、サーフェス ランド パッドのマイクロビア (via-in-pad 技術) を適用することが可能です。マイクロビア ドリル ホール直径は、0.50mm (19.7mil) 以下である必要があります。平らな表面を作るために、ドリル ホールを差し込み、平坦にする必要があります。これにより、組み立て時にはんだが穴に流れることを防ぎます。

6.7.1.3 信号ライン間の間隔と配線幅

エスケープ ルーティングが行えるかどうかは、配線間に必要な配線幅と最小面積により定義されます。56 ボールの VFBGA の場合、SMD には 0.0625-mm (2.35-mil)の配線、NSMD には 0.078-mm (3.35-mil)の配線がより適切です。ランド パッド間、またはビア キャプチャ パッド間では、配線を 1 本しかルーティングすることができません。ライン間の推奨間隔と配線幅を図 16 に示します。

図 16. SMD パッドにおけるライン間の間隔および配線



A/B: Trace width/Spacing for SMD Pads with 0.3mm diameter = 0.0625mm/2.35 mil
A/B:Trace width/Spacing for NSMD Pads with 0.3mm diameter = 0.078mm/3.35 mil

2.35/3.35-mil の配線は、ルーティング間隔の制約のある VFBGA 領域に適用されます。その以外の場合は、配線ネックダウンを使用します。この方法を使用すれば、プリント基板の製造が容易になり、高い歩留まりが確実になります。図 17 に示すように、配線が VFBGA パッドを出た後、標準配線と間隔の幾何学的形状が使用されます。配線レイアウトは図 18 に示します。

図 17. 配線をネックダウン

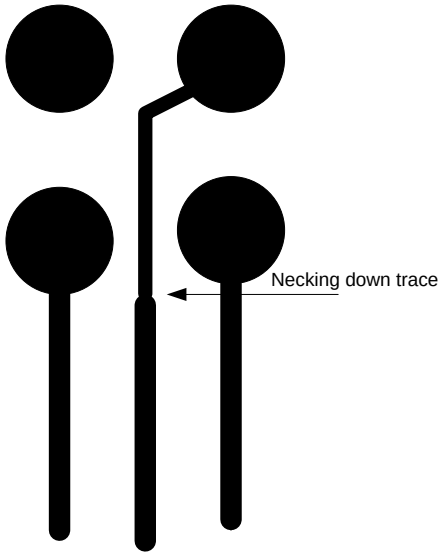
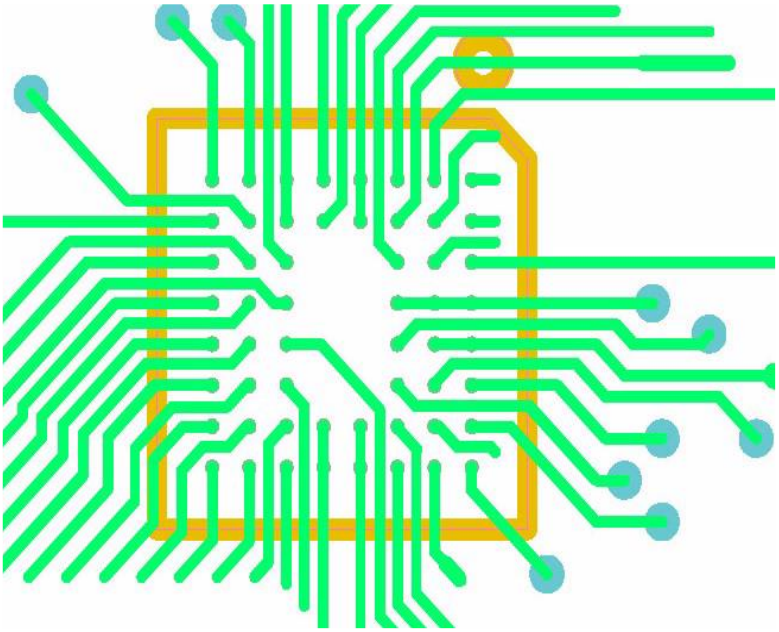


図 18. 配線レイアウト



ハイスピード USB のプリント基板は、USB の電気的要件を満たすように設計する必要があります。これは、制御されたインピーダンスのプリント基板を使用し、D+と D-を適切にレイアウトし、VCC と GND 面を電気的にノイズのないようにデカップリングすることで最適に実現できます。

サイプレスは、さまざまなハイスピード USB の開発およびリファレンス デザイン キットを提供しています。これらは役に立つデザイン例を与え、チップ固有の設計ガイドラインが含まれています。

7 回路図の設計チェックリスト

新しい USB2.0 デザインを導入する際、正しく行う必要がある細かい項目が多くあるため、手がかかるかもれません(「ハイスピード USB プリント基板レイアウトの推奨事項」節を参照)。本節は、基板を構築する際に、潜在的な問題を発見するのに役立ちます。ファームウェアをダウンロードし、ファームウェア テストのために基板を準備することを目指します。

注意事項: FX2LP は、特に指定がない限り、FX2LP と FX1 両デバイスを示します。

7.1 PCB の作成

以下は、FX2LP 設計の正常な動作のために重要な項目一覧です。FX2LP を使用してプリント基板を作る前にこのチェックリストを確認してください。基板がすでに構築されており、正しく動作していない場合は、この一覧を見ながら、すべての項目が対象に正しく実装されているかを確認します。

- すべての電源ピン (AVCC または VCC) は、適切な電圧レベル (3.0V～3.6V) に電源を供給されます。
- VCC ランプアップ時間は、少なくとも 200µs で、最大ランプ レートが 18V 毎ミリ秒です。
  ほとんどの基板は、この要件を満たすために VCC 上に充分な静電容量を持っています。多くのレギュレータも VCC を少しずつランプアップします。しかし、時々基板は特に高速にランプアップすることがあります。このような場合では、要件を満たすために VCC の余分な容量がそれを減速します。
- 水晶を使用する場合、RESET ピンは、VCC が 3.0V に達したてから少なくとも 5 ミリ秒の間アサートされたままです。外部クロック ソースを使用する場合、このホールド時間は少なくとも 200µs です。RESET が、FX2LP にすでに電源が入っている時にアサートされた場合、リセットは少なくとも 200µs の間アサートされたままにホールドされます。

FX2LP の振動子が 12pF の負荷容量と 24MHz (±100ppm) の周波数の水晶または共振器を必要とします。水晶は、少なくとも 500µW の駆動レベルを処理するために必要とされます。駆動レベルは、水晶が耐えられると予想する最大消費電力です。より低い駆動レベルの水晶が動作できるが、水晶の最大駆動レベルを超えると、より速く消耗したり精度が低下したりすることにつながります。極端な場合には、水晶にダメージを与えることがあります。FX2LP と共に正常に使用する 2 つの水晶は eCera FX2400026 と Ecliptek EC-12-24.000M です。それぞれの水晶ピンとグランドの間に 12pF の負荷コンデンサが必要とされます。

- RESERVED ピンがグランドに接続されます。
  RESERVED ピンはテスト モード ピンです。グランドに接続されない場合、FX2LP は、テスト モードに入り、正常に動作しません。
- SCL と SDA のプルアップ抵抗は、EEPROM を使用しない場合でもインストールされます。
  SCL と SDA にプルアップがない場合、FX2LP は起動するとすぐにハングアップします。FX2LP は、動作モードを決定するために、起動時に SCL と SDA でシリアル EEPROM を検索します。ラインが EEPROM なしでプルアップされる場合、SIE は、USB Control Center アプリケーションへの接続を可能にするデフォルトの USB デバイスとして列挙します。しかし、プルアップ抵抗がない場合、FX2LP は、バスが他のマスターにより制御されていると考え、他のマスターがバスをリリースすることをいつまでも待機します。

  プルアップ抵抗の推奨値は 2.2kΩ です。FX2LP の SDA と EEPROM の SDA 間の接続を一時的に切断する方法を、特に開発中に、基板に含む必要があります。これにより、破損している EEPROM を基板から取り外さずに再プログラミングすることができます。この切断はジャンパー, スイッチ, または取り外せる 0Ω 抵抗です。
- EA は、外部フラッシュ メモリまたは ROM が外部メモリ バスに接続されていない限り、グランドに接続されます。
  EA が HIGH に接続されている場合、FX2LP はすぐに外部メモリに記憶されているコードで起動しようとします。外部メモリにコードがない場合、デバイスは起動できません。
- WAKEUP#ピンは、HIGH または LOW にされ、開放されません。
  WAKEUP#ピンが開放されると、不安定な一時停止動作が発生します。WAKEUP#ピンを LOW にホールドすることで、USB トラフィックが検出されない時に FX2LP が一時停止モードに入ることを防止します。WAKEUP# は、通常 10kΩ または 100kΩ の抵抗で HIGH にされます。
- FX2LP は、I^2C EEPROM からファームウェアをブートロードすることができます。
  小型の EEPROM (単一 I^2C バイトに含まれるアドレス) はその A[2:0]アドレス ピンを 000 に接続する必要があります。大型の EEPROM (2 アドレス バイト) はその A[2:0]アドレス ピンを 001 に接続する必要があります。
- FX2LP リセットは、バス パワーのデザインで断続してすぐに再接続することでほぼ確実に実現できます。
- セルフ パワーのデザインでは、USB デバイスは、VBUS 線を監視し、USB 仕様に必要とされる VBUS がなく D+プルアップ抵抗を無効にする (低速デバイスでは D-) 必要があります。本アプリケーション ノートで説明したように FX2LP を使用したセルフパワーのデザインでは、GPIO ピンまたは WAKEUP ピンのどちらかを使用します。
- 複数の Vdd ラインが個々のバイパス コンデンサを使用してルーティングされます。
- AV_{CC} ピンは並列の 2.2µF と 0.1µF のコンデンサで個別にルーティングされます。
- コンポーネント (チョーク、抵抗など) は USB データ線に接続されていません。このような接続は、信号品質の問題を引き起こす可能性があり、推奨されません。
- すべての未使用の FX2LP I/O は、最も低い消費電流のために有効な論理レベルにされます。

7.2 基板を起動

新しい FX2LP デザインの基板を立ち上げる場合、最低限のコンポーネント一式を搭載した基板から始めてください。次のように基板に最少のコンポーネント数を取り付けます：

- FX2LP または FX1 チップ
- すべての AVDD と AVCC ピンに接続する 3.3V の調整回路
- SCL、SDA ライン上のプルアップ抵抗 (2.2kΩ または I^2 仕様に準拠した他の値)
- 空白またはインストールされていない EEPROM
- WAKEUP#ラインを開放されないようにするために論理 LOW か HIGH に接続。簡単にデバッグするため、それを 10k または 100kΩ の抵抗で HIGH にプルアップするのが好ましい
- 論理 LOW に接続された EA ピン
- グランドに接続された RESERVED ピン
- 必要な最小のリセット タイミングを提供するリセット回路
- (水晶と負荷容量を含む）水晶発振回路または外部クロック ソース

初期点検の目的は、FX2LP のデフォルト デバイスを、PC で実行する USB Control Center アプリケーションと通信させるためです (「サイプレスのドライバーおよび USB Control Center」節を参照)。このアプリケーションは、USB 通信を検証し、テストおよび開発用に FX2LP にファームウェアをダウンロードします。

基板のテスト準備を完了した後、「サイプレスのドライバーおよび USB Control Center」内の手順を実行します。お使いのデバイスが認識されない場合、次の手順は問題を診断するのに役立ちます。

オシロスコープを使用して CLKOUT ピンで 12MHz 信号を探します。非列挙デバイスは、以下の 4 つの CLKOUT 状況のいずれかを示します：

7.2.1 CLKOUT に 12MHz の信号がない

この場合は、FX2LP に正しく電源投入されていないか、リファレンス クロックを受信していません。V_{CC}／AV_{CC} ピン, V_{CC} ランプ レート, 水晶発振回路および POR タイミングを確認してください。RESERVED ピンがグランドに接続されていることも確認します。

7.2.2 CLKOUT の 12MHz 出力が、しばらくすると消える

FX2LP が一時停止モードに入っています。WAKEUP#ピンが開放されていないことを確認してください。FX2LP がホストからの正規のフレームの開始 (SOF) バス信号が見えず、WAKEUP#が HIGH 場合、一時停止モードに入ります。基板ユニットがホストの USB に差し込まれ、D+と D-が正しい電極で、外部直列抵抗なしでホストからデバイスに接続していることを確認してください。一時停止モードは、(外部からまたは水晶振動子から駆動される) リファレンス クロックが許容精度範囲外にある場合にも発生することがあります。CLKOUT の周波数が 12MHz ±100ppm であることを確認します。

7.2.3 CLKOUT が続けて 12MHz を出力するが、認識が失敗

- WAKEUP#ピンが LOW にされている (サスペンドを防止する) 場合、デバイスは、ホストからの信号が見えてないのかもしれません。前の場合で CLKOUT がアクティブ後すぐにオフになったすべての項目を確認してください。
- WAKEUP#ピンが HIGH になっており (または LOW になっており、以前のすべてのアイテムをダブルチェックした) 場合、SCL と SDA にプルアップがあり、EEPROM が接続されていないことを確認します。EA が LOW にされていることを確認します。
- これらの項目が確認され、最初の節の他のチェックリスト項目にすべて問題がない場合は、オペレーティング システムのドライバーに問題がある可能性があります。「サイプレスのドライバーおよび USB Control Center」節で、旧バージョンのドライバーをクリアし、現在のものをインストールする方法を説明しています。

7.2.4 CLKOUT が 48MHz を出力し、デバイスを認識するが、USB Control Center に接続しない

これは、不正なオペレーティング システム ドライバーの症状です。「サイプレスのドライバーおよび USB Control Center」節で、旧バージョンのドライバーをクリアし、現在のものをインストールする方法を説明しています。

8 サイプレスのドライバーおよび USB Control Center

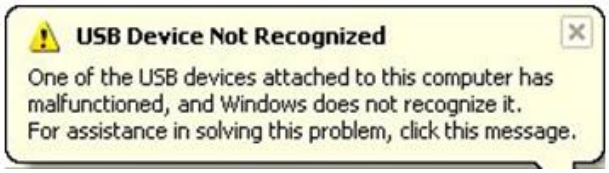
FX2LP は、その I²C ピンに接続する EEPROM がない (しかし I²C プルアップ抵抗がインストールされる) 場合、ベンダ ID VID=0x04B4 (サイプレス) と製品 ID PID=0x8613 (FX2LP) を持つサイプレスのデフォルト デバイスとして認識されます。FX1 は、VID=0x04B4 と PID=0x6473 として認識されます。これは、USB を介して FX2LP コードを内部 RAM にロードするために必要なリソース (エンドポイントと転送論理) を作る、フル機能の USB デバイスです。この事前に作った USB デバイス (コードが不要) により、初期テストからのユーザー コードの問題がすべて除去され、新規設計時の USB チェックが簡単になります。

PC ホストが FX2LP ベースのデバイスと通信できるように、サイプレスは *cyusb3.sys* という Windows ドライバー、とドライバーをデフォルト FX2LP デバイスに接続するドライバー コンパニオンの *cyusb3.inf* ファイルを提供します。これらのファイルとドライバーを使用する USB Control Center と呼ばれる Windows ユーティリティは、本アプリケーション ノートにコンパニオンの ZIP ファイルとして含まれています。デバイスを初期テストするために USB に初めて接続する時、接続している EEPROM がない限り、サイプレスのソフトウェア ツールを使用してデザインを確かめることができます。そうすることによって、プラグイン時にサイプレスのデフォルト デバイスが使用可能になります。

8.1 ドライバーのインストール

デバイスを初めて USB に接続する時、Windows はデバイスから VID/ PID 値を読み出し、互換性のあるドライバーを検索します。これが初回のため、互換性のあるドライバーを配置する場所を求める Windows の一連の要求が表示されます。ホスト PC が VID／PID 情報の取得に問題がある場合、図 19 に示すエラー メッセージが表示されます。

図 19. USB デバイスが認識されない Windows のエラーメッセージ



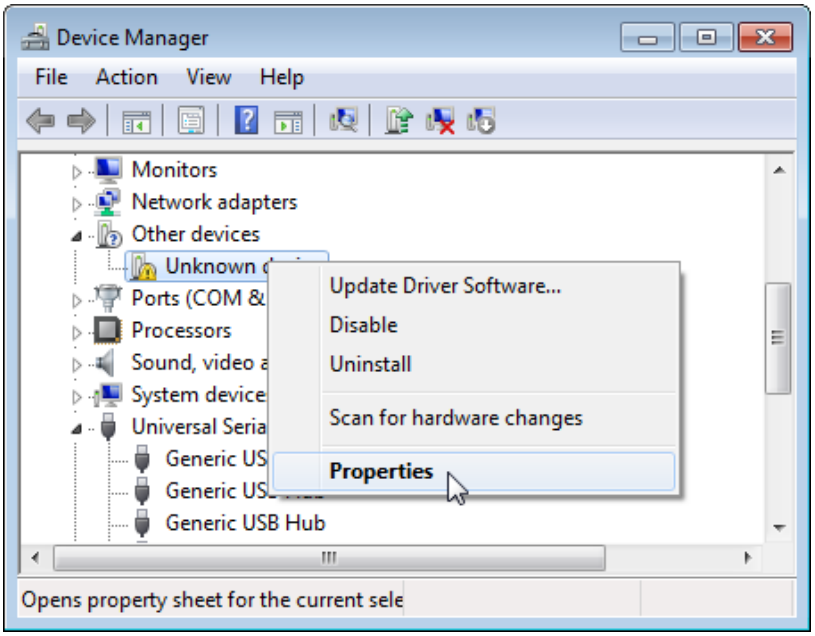
このメッセージが表示された場合、ホスト PC がデバイスを検出したことが分かり、D+プルアップが機能しています。しかし、GET_DESCRIPTOR(デバイス) 要求を使用して VID／PID データを取得しようとした時、すべてがゼロになる VID と PID 値を受け取りました。この問題は、前の節で説明したハードウェアの問題によって引き起こされる場合があります。簡単なチェックとして、電源電圧を確認し、振動子 CLKOUT ピンが 12MHz の出力信号を出力していることを確認します。

新しい USB デバイス用の次のメッセージは、Windows が USB デバイスを検出したが、互換性のあるドライバーが見つからなかったことを示しています。簡単にドライバーをインストールするためには、警告メッセージを閉じて、Windows のデバイス マネージャを起動します。(USB デザインを進めるに従い、Device Manager をよく理解することになるでしょう。) Device Manager は以下 2 つを含む複数の方法で起動できます。

- Windows の「Start」メニュー ボタンをクリックし、「Computer」を右クリックし、「Properties」を選択し、「Control Panel Home」と書かれた左上のコラムの「Device Manager」を選択します。
- Start メニュー内の「**Run…**」ボックスに「Devmgmt.msc」を入力します。

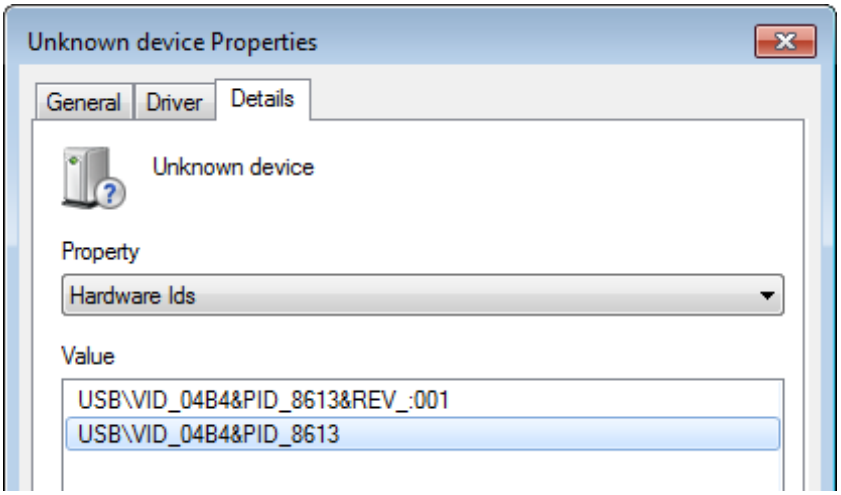
あなたの未定のデバイスは、デバイス ツリー内のどこかに表示されます。図 20 は、Windows 7 64 ビットの PC からのスクリーンショットを表示します。正しいデバイスを更新したことを確認するために、デバイス名を右クリックし、**Properties** を選択します。

図 20. 不明として検出されたデバイス (ドライバー未定)



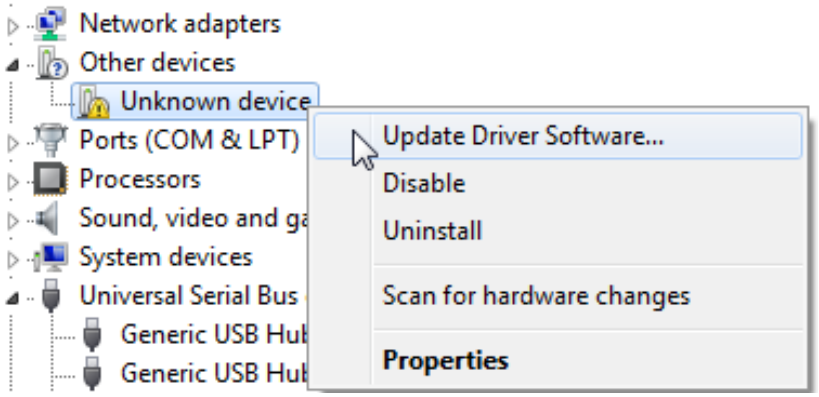
Properties ドロップダウン ボックスで **Hardware Ids** を選択すると、デバイスの VID と PID が表示します。図 21 に示すように、「Unknown Device」は VID=04B4 と PID=8613 を持つ汎用の FX2LP チップです。

図 21. Windows がデフォルト FX2LP の VID と PID を確認



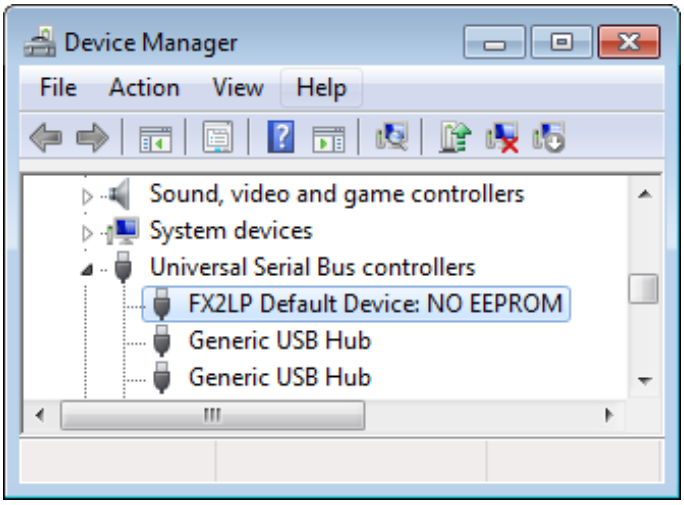
Device Manager に戻り、デバイスを右クリックして、**Update Driver Software** を選択します (図 22)。

図 22. ドライバー ソフトウェアを更新



Browse my computer...を選択し、ご使用の OS のサイプレス ドライバー フォルダに移動します。Windows 7 の場合は「win7」、Windows Vista の場合は「wlh」 (「Longhorn が Windows Vista のコードネームだった)、または Windows XP の場合は「wxp」。32 ビット バージョンは「x86」として識別され、64 ビット バージョンは「x64 の」として識別されますセキュリティ チェックのメッセージが表示されることがありますが、無視できます。成功のメッセージが表示されるはずで、Device Manager はプログラムがドライバーを正しくインストールしたことを示すように更新します (図 23)。

図 23. 正常なドライバーのインストール



注意事項: また、EEPROM ENABLE スライド スイッチが NO EEPROM 位置に設定された (ここから入手できる) FX2LP 開発基板を使用してドライバーをインストールすることができます。これにより、VID=0x04B4 と PID=0x8613 を持つデフォルトのデバイスを有効になります。

あまりないですが、ドライバーは不正なデバイスにつながることがあります。Device Manager でデバイスを右クリックし、「**Uninstall**」を選択して、このつながりを削除することができます。「**Delete the driver software for this device**」ボックスを選択し、「OK」をクリックします (図 24)。

図 24. 古いドライバーを削除



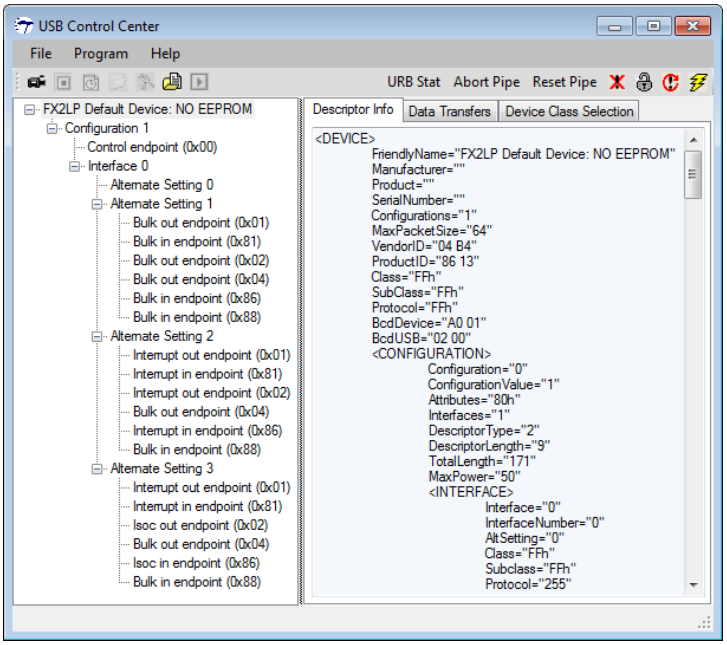
8.2 USB Control Center

USB Control Center を開始するには、本アプリケーション ノートに伴うフォルダ内の *CyControl.exe* ファイルをダブルクリックします。

注意事項: *CyControl.exe* ファイルは便宜上、本アプリケーション ノートに伴うフォルダに含まれています。サイプレスのウェブサイトから USB 開発スイートをダウンロードすることで、ユーザーは教育や変更のために Microsoft .NET のソース コードへのフル アクセス権を持っています。サイプレスはまた、コード開発を説明する多くのアプリケーション ノートを提供しています。例えば AN70983 – Designing a Bulk Transfer Host Application for EZ-USB FX2LP/FX3。

図 25 は、USB に差し込んでいる FX2LP 開発基板を持つ USB Control Center を示しています。あなたのプロトタイプが正しく配線されており、ブート EEPROM がない場合は、同じデバイス (デフォルト FX2LP USB デバイス) が見えるはずです。左のパネルに、VID=0x04B4 と PID=0x8613 で検出されたデバイス (赤丸) のすべての詳細を示しています。あなたのデバイスのプロトタイプが、この検証ステップに合格したら、自分の USB コードのテストを開始できます。USB Control Center がファームウェアの確認に有用なツールであることが分かります -「**Data Transfers**」タブに 注意してください。このタブは、お使いのデバイスの個々の USB 送受信をスケジュールし、結果を確認するために使用することができます。完全な USB バス アナライザに代わるものではありませんが、アナライザの基本的なデバッグ機能の一部を提供します。

図 25. USB Control Center デバイスのイメージ



9 まとめ

本アプリケーション ノートでは、正常な FX2LP ベースの USB ペリフェラルを設計する上のいくつかの考慮事項に触れました。主なポイントは、ホットプラグ デバイスで信頼性の高いリセットを実現できるための USB 電源分配、EEPROM と共振器設計の詳細および PCB レイアウトです。FX2LP は、完全に機能する「デフォルト」の USB デバイスとして起動することができるので、サイプレスのソフトウェア ツールを使用してコードを 1 行も書かずに、ハードウェア デザインを確認できます。これはファームウェア デバッグから、ハードウェアの確認を切り分けるのに非常に有用です。

10 関連文書：

- AN65209 – Getting Started with FX2LP
- Larry W. Burgess & Paul D. Madden, 「Designing and Fabricating Multi-Depth Via-in-Pad PCBs」, IPC Printed Circuits Expo, 1998 年 4 月
- Yuan Li. Anil Pannikkat, Larry Anderson, Tarun Verma, Bruce Euzent, 「Building Reliability into Full-Array BGAs」, 26th IEMT Symposium, 2000 年 12 月
- AN70983 – Designing a Bulk Transfer Host Application for EZ-USB FX2LP/FX3

著者について

名前： Rama Sai Krishna Vakkantula.

役職: アプリケーション エンジニア

経歴: Rama Sai Krishna は IIT Bombay のシステムおよび制御エンジニアリングの修士学位を持っています。現在サイプレス USB ペリフェラルの分野で働いています。

改訂履歴

文書名: AN15456 - EZ-USB® FX2LP™ハードウェア設計を成功させるガイド

文書番号: 001-98031

版	ECN	改版者	発行日	変更内容
**	4802513	HZEN	07/13/2015	これは英語版 001-15456 Rev. *D を翻訳した日本語版 001-98031 Rev. **です。
*A	6268212	HIKA	07/31/2018	これは英語版 001-15456 Rev. *G を翻訳した日本語版 001-98031 Rev. *A です。

セールス, ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーションページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

EZ-USB と PSoC は商標であり、EZ-USB FX2LP はサイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は各社の所有物です。

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2007-2018. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は, アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し, 本段落で特に記載されているものを除き, その特許権, 著作権, 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず, かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき, (a) ソースコード形式で提供されている本ソフトウェアについて, Cypress ハードウェア製品と共に用いるためにのみ, かつ組織内部でのみ, 本ソフトウェアの修正及び複製を行うこと, 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ, (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること, 並びに (2) 本ソフトウェア (Cypress により提供され, 修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ, 本ソフトウェアの作成, 利用, 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用, 複製, 修正, 変換又はコンパイルを禁止する。

適用される法律により許される範囲内で, Cypress は, 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても, 明示又は黙示をとわず, いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。 いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて, 本書面に記載された製品には, エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり, 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は, 別途通知することなく, 本書面を変更する権利を留保する。Cypress は, 本書面に記載のある, いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は, 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計, プログラム, かつテストすることは, 本書面のユーザーの責任において行われるものとする。Cypress 製品は, 兵器, 兵器システム, 原子力施設, 生命維持装置若しくは生命維持システム, 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム, 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用, 又は装置若しくはシステムの不具合が人身傷害, 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計, 意図又は承認されていない。重要な構成部分とは, それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ, 若しくは本目的外使用に関連するいかなる請求, 損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず, かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求, 費用, 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は, 米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは, それぞれの権利者の財産として権利主張がなされている可能性がある。