プログラマブル ゲイン アンプのデータシート PGA V 3.2

Copyright © 2002-2011 Cypress Semiconductor Corporation. All Rights Reserved.

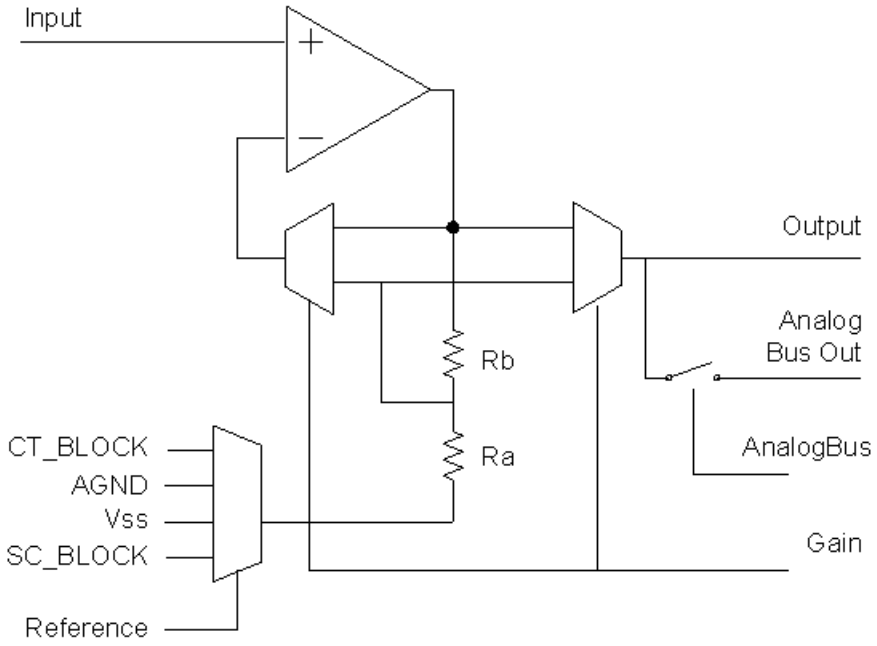
リソース	PSoC® ブロック			API メモリ （バイト数）		ピン （外部入出力ごと）
	デジタル	アナログ CT	アナログ SC	Flash	RAM	
CY8C29/27/24/22xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CTMA30xx, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52						
	0	1	0	52	0	1
CY8C26/25xxx	0	1	0	32	0	1

特性および概要

- CY8C26/25xxx：最大ゲイン 16.0 を備えた 31 のユーザプログラマブルなゲイン設定。
- その他すべての PSoC デバイス : 最大ゲイン 48.0 を備えた 33 のユーザプログラマブルなゲイン設定。
- ハイ インピーダンス入力
- 選択可能なリファレンスを持つシングルエンド出力

PGA ユーザ モジュールは、ユーザプログラマブルなゲインを備えたオペアンプベースの非反転アンプを実装します。このアンプは、高入力インピーダンス、高帯域幅、選択可能なリファレンスを備えています。

Figure 1. PGA ブロック ダイアグラム



機能説明

PGA ユーザ モジュールは、内部信号や外部入力信号を増幅します。この信号は、内部のアナログ グラウンド、V_{ss}、その他の選択されたリファレンスを基準にすることができます。プログラマブル ゲイン アンプのゲインは、連続時間型アナログ PSoC ブロック内の、抵抗器アレイの選択可能なタップと、フィードバック タップをプログラムすることで設定されます。ゲイン、入力、リファレンス、および出力バスのイネーブル信号は、デバイス エディタの値テーブルからユーザによって設定されます。プログラマブル ゲイン アンプの出力は、2 つの部分に分かれた関数を持ちます。

1 以上のゲインでは、レジスタ列のトップが増幅器の出力に接続され、レジスタタップが増幅器の反転入力に接続されます。アンプは、以下の関数を持ちます。

Equation 1

$$V_O = (V_{IN} - V_{GND}) \cdot \left(1 + \frac{R_b}{R_a}\right) + V_{GND}$$

ゲインが 1 未満の場合 (減衰など) は、増幅器がボルテージフォロワとして設定され、ユーザ モジュールの出力がレジスタ タップで選択されます。ここでアンプは、以下の関数を持ちます。

Equation 2

$$V_O = (V_{IN} - V_{GND}) \cdot \left(\frac{R_a}{R_a + R_b}\right) + V_{GND}$$

リファレンスは、内部バンドギャップリファレンスから派生した固定値、電源電圧に対してレシオメトリックな値、アナログ グランド、外部入力のいずれかとして指定できます。

アンプの入出力電圧範囲は、電源電圧を超えません (つまり、「レール・ツー・レール増幅器ではありません)。許可される入力範囲は、入力制限、出力制限、電源電圧、アナログ グラウンド値、選択したゲインの組み合わせから決定されます。これは、「DC 電気的特性と AC 電気的特性」セクションで説明します。

ユーザは、デバイス エディタでゲインの値を選択します。次に、デバイス エディタが PSoC ブロックで適切なレジスタ タップをプログラムします。開始、停止、出力設定、ゲイン設定は、API ルーチンで実行できます。

DC 電気的特性と AC 電気的特性

以下の値は初期の特性データを基に、予測される性能を入れておきます。下の表で別途指定されている場合を除き、T_A = 25°C、V_{dd} = 5.0V、高出力 (High Power)、オペアンプ バイアス LOW、出力のリファレンスはアナログ グランド = 2*$V_{BandGap}$ です。

Table 1. 5.0V PGA DC の電気的特性

パラメータ	標準値	制限	単位	条件および注記
公称値からのゲイン偏差				
G=48.00	3.0	--	%	
G=24.00	2.2	--	%	
G=16.00	1.5	--	%	
G=4.00	0.7	--	%	
G=1.0	0.5	--	%	
入力				
入力オフセット電圧	4.5	--	mV	
入力電圧範囲	--	Vss ~ Vdd	V	
漏れ電流 [1]	1	--	nA	
入力容量 [1]	3	--	pF	
出力スイング	0.05 ~ Vdd-0.05	--	V	
PSRR	73	--	dB	
動作電流				
Low Power	142	--	µA	
Med Power	540	--	µA	
High Power	2083	--	µA	

Table 2. 5.0V PGA AC の電気的特性

パラメータ	標準値	制限	単位	条件および注記
スルー レート (20% ~ 80%)[2]				
Low Power	0.6	--	V/µs	
Med Power	2.5	--	V/µs	
High Power	9.5	--	V/µs	
セッティング時間				

パラメータ	標準値	制限	単位	条件および注記
Low Power	13	--	µs	
Med Power	4	--	µs	
High Power	1	--	µs	
ノイズ [2]				入力へのリファレンス
Low Power	354		nV/√Hz	高出力 (High Power) を除きオペアンプ バイアスは LOW。リファレンス入力は AGND に設定
Med Power	112		nV/√Hz	
High Power	99		nV/√Hz	

以下の値は初期の特性データを基に、予測される性能を入れておきます。下の表で別途指定されている場合を除き、すべての T_A = 25°C、V_{dd} = 3.3V、高出力 (High Power)、オペアンプ バイアス LOW、出力のリファレンスはアナログ グランド = V_{dd}/ です。

Table 3. 3.3V PGA DC の電気的特性

パラメータ	標準値	制限	単位	条件および注記
公称値からのゲイン偏差				
G=48.00	4.0	--	%	
G=24.00	2.2	--	%	
G=16.00	1.2	--	%	
G=4.00	0.6	--	%	
G=1.0	0.3	--	%	
入力				
入力オフセット電圧	3.5	--	mV	
入力電圧範囲	--	Vss ~ Vdd	V	
漏れ電流 [1]	1	--	nA	
入力容量 [1]	3	--	pF	
出力スイング	0.05 ~ Vdd-0.05	--	V	
PSRR	68	--	dB	
動作電流				
Low Power	135	--	µA	
Med Power	523	--	µA	
High Power	2017	--	µA	

[+] Feedback

Table 4. 3.3V PGA AC の電気的特性

パラメータ	標準値	制限	単位	条件および注記
スルーレート (20% ~ 80%)[2]				
Low Power	0.6	--	V/µs	
Med Power	2.4	--	V/µs	
High Power	9.0	--	V/µs	
セッティング時間				
Low Power	12	--	µs	
Med Power	4	--	µs	
High Power	1	--	µs	
ノイズ[2]				入力へのリファレンス
Low Power	354		nV/√Hz	高出力 (High Power) を除きオペアンプ バイアスは LOW。リファレンス入力は AGND に設定
Med Power	112		nV/√Hz	
High Power	99		nV/√Hz	

電気的特性に関する注意事項

1. 入出力ピンを含みます。
2. デバイスのシミュレーションに基づく

下の表で別途指定されている場合を除き、すべての制限は、T_A = -40°C ~ +85°C、V_{dd} = 5.0V ± 10%、高出力 (High Power)、オペアンプ バイアス LOW、出力のリファレンスはアナログ グランド = 2*$V_{BandGap}$ という条件で保証されます。

Table 5. 5.0V PGA DC の電気的特性

パラメータ	標準	制限[2]	単位	条件および注記
ゲイン			V/V	プログラマブル : 0.0625 ~ 16.0 高出力 (High Power) で測定。
公称値からの偏差				
G=16.00	4.4	7.0	%	(その他の出力設定や中間ゲイン値については、グラフを参照してください)
G=4.00		2.3	%	
G=1.0		2.1	%	
G=0.5		1.4	%	
入力				

[+] Feedback

パラメータ	標準	制限 [2]	単位	条件および注記
入力オフセット電圧	14	--	mV	リファレンス入力との比較
入力漏れ電流 [3]	3	--	nA	ゲイン = 1.00 (その他のゲイン値については、グラフを参照してください)
入力静電容量 [3]	3	--	pF	
最小入力電圧 [4]	0.24	0.47	V	
最大入力電圧 [4]	V_{dd}-0.27	V_{dd}-0.75	V	
REFERENCE 入力				
オフセット電圧	7	14	mV	選択した内部 AGND との相対値
PSRR	60[5]	--	dB	
出力スイング [6]				
V_{dd} 側	V_{dd}-0.50	--	V	
V_{ss} 側	0.30	--	V	
動作電流				
Low Power	125	--	µA	
Med Power	280	--	µA	
High Power	760	1000	µA	

Table 6. 5.0V PGA AC の電気的特性

パラメータ	標準値	制限	単位	条件および注記
ゲイン帯域幅積				
Low Power	--	1.7	MHz	
Med Power	--	4.6	MHz	
High Power	--	8.9	MHz	
スルー レート (20% ~ 80%)[7]				
Low Power	--	0.4	V/µs	ゲイン = 1.00、入力で 2.0V ステップ
Med Power	--	0.7	V/µs	
High Power	--	2.0	V/µs	
セッティング時間				
Low Power	--	2.7	µs	0.1% まで、ゲイン = 1.00
Med Power	--	1.4	µs	
High Power	--	0.6	µs	

下の表で別途指定されている場合を除き、すべての制限は、T_A = -40°C ～ +85°C、V_{dd} = 3.0 ～ 3.6V、高出力 (High Power)、オペアンプ バイアス LOW、出力のリファレンスはアナログ グランド = V_{dd}/2 という条件で保証されます。

Table 7. 3.3V PGA DC の電気的特性

パラメータ	標準 [1]	制限 [2]	単位	条件および注記
ゲイン			V/V	プログラマブル : 0.0625 ～ 16.0 高出力 (High Power) で測定。
公称値からの偏差				
G=16.00	-5.7	8.2	%	
G=4.00		2.4	%	(その他の出力設定や中間ゲイン値については、グラフを参照してください)
G=1.0		2.0	%	
G=0.5		2.3	%	
入力				
入力オフセット電圧	14	28	mV	リファレンスとの差
入力漏れ電流 [3]	2	--	nA	ゲイン = 1.00 (その他のゲイン値については、グラフを参照してください)
入力静電容量 [3]	3	--	pF	
最小入力電圧 [4]	0.26	0.54	V	
最大入力電圧 [4]	V_{dd}-0.31	V_{dd}-0.75	V	
REFERENCE 入力				
オフセット電圧	6	12	mV	選択した内部 AGND との相対値
PSRR	60[5]	--	dB	
出力スイング [6]				
V_{dd} 側	V_{dd}-0.5	V_{dd}-0.8	V	
V_{ss} 側	0.3	0.5	V	
動作電流				
Low Power	100	--	µA	
Med Power	250	--	µA	
High Power	560	900	µA	

[+] Feedback

Table 8. 3.3V PGA AC の電気的特性

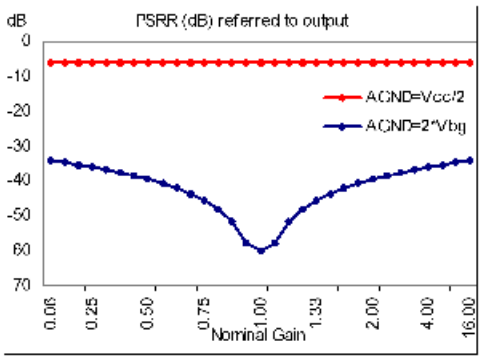
パラメータ	標準値	制限	単位	条件および注記
ゲイン帯域幅積				
Low Power	--	1.5	MHz	
Med Power	--	4.4	MHz	
High Power	--	8.7	MHz	
スルー レート (20% ~ 80%)[7]				
Low Power	--	0.3	V/µs	ゲイン = 1.00、入力で 2.0V ステップ
Med Power	--	0.6	V/µs	
High Power	--	1.5	V/µs	
セッティング時間				
Low Power	--	1.7	µs	0.1% まで、ゲイン = 1.00
Med Power	--	0.9	µs	
High Power	--	1.6	µs	

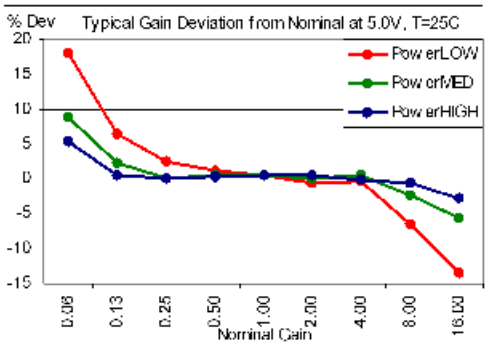
電気的特性に関する注意事項

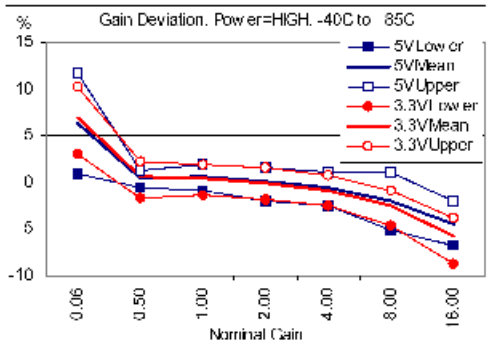
1. 標準値は +25°C での値です。
2. 制限は、テストまたは統計情報の分析によって保証されます。
3. 入出力ピンを含みます。
4. 制限は、10% AC ゲイン エラーの DC 値によって決定されます。
5. PSRR 標準値は、ゲイン = 1.00、アナログ グランドをリファレンスとした値です。
6. 出力スイングは内部信号用です。ピンにおける外部出力スイングは、アナログ出力バッファによって制限されます。

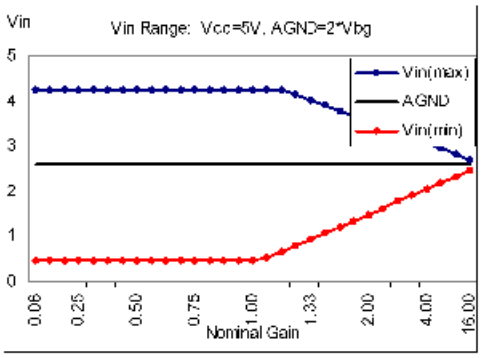
7. スルー レートは内部信号用です。ピンにおける外部スルー レートは、アナログ出力バッファによって制限されます。

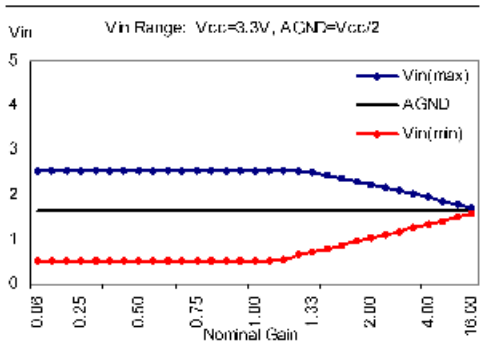
Figure 2. CY8C26/25xxx ファミリの性能曲線

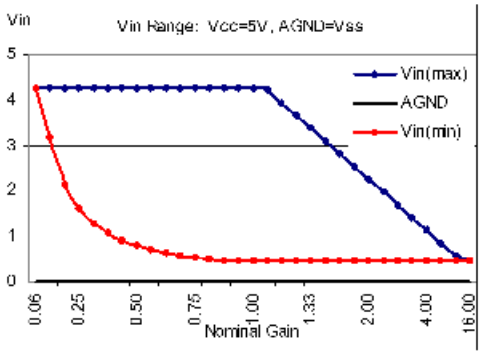


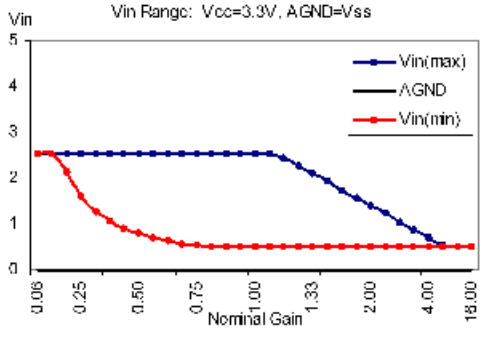






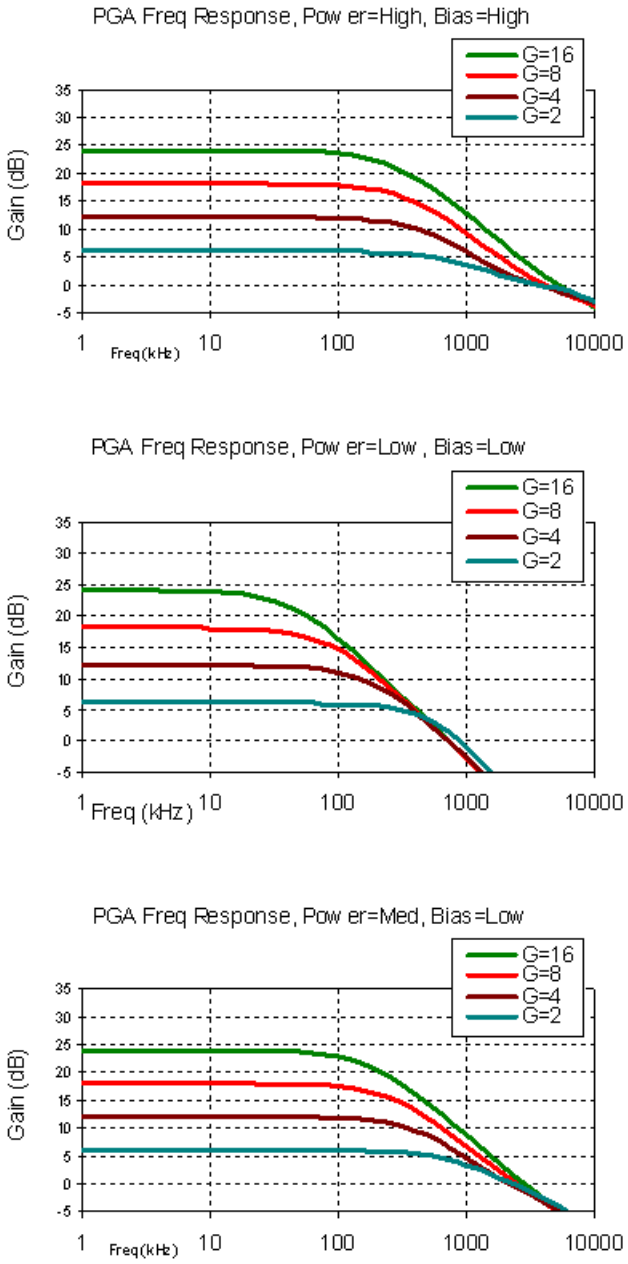






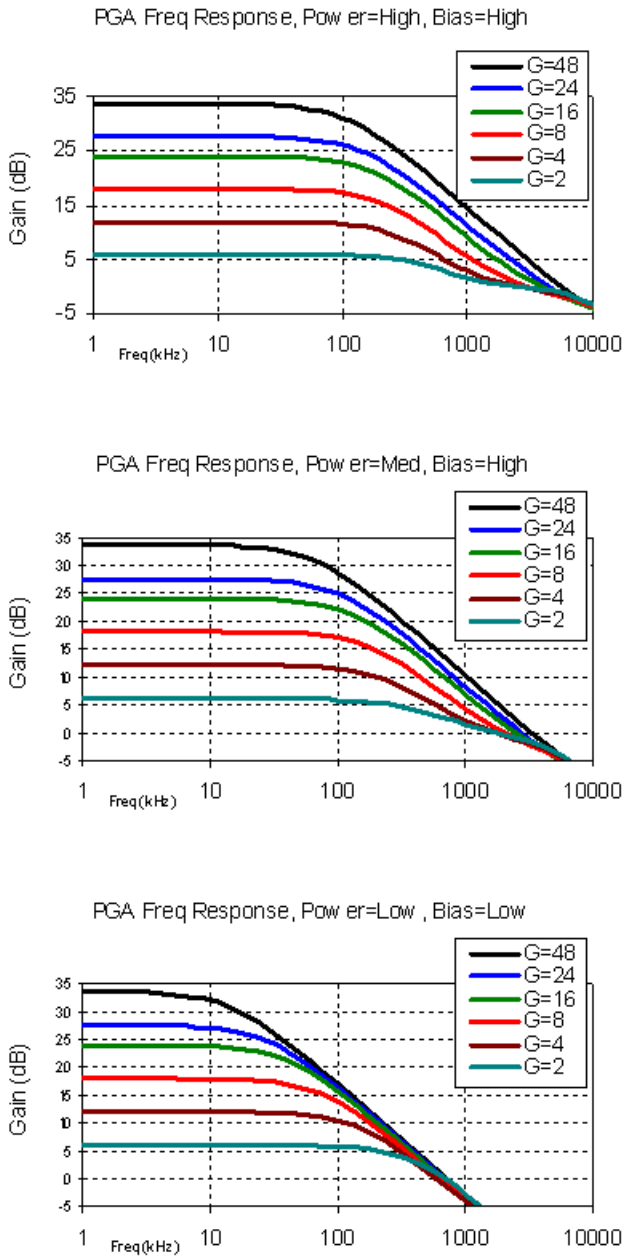
PGA の帯域幅は、増幅器のオープン ループ ゲイン帯域幅によって決定されます。より高い電力を設定すると、高い帯域幅を得られます。

Figure 3.　CY8C26/25xxx の帯域幅



[+] Feedback

Figure 4. CY8C29/27/24/22xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CTMA30xx, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 の帯域幅



配置

GAIN ブロックが、そのデバイス上で連続時間 PSoC ブロックに自由にマッピングされます。

パラメータおよびリソース

ゲイン

ゲインは、PSoC Designer または API で用意されている SetGain ルーチンを使って、0.062 ～ 48.00 の値から選択されます。PGA の出力が ADC の入力として使用される場合、1 以上のゲインが必要です。

入力

プログラマブル ゲイン アンプへの入力は、近接した PSoC ブロックとアナログ コラム入力マルチプレクサの出力によって駆動されます。デバイス エディタで、特定の入力を選択することが可能です。

リファレンス

PGA のゲインは、ユーザが選択した「グランド」値をリファレンスとします。選択肢には、AGND (オンチップ アナログ グランド)、V_{SS}、近接連続時間 (CT) ブロック、スイッチド キャパシタ (SC) ブロックがあります。CT 及び SC ブロックの接続を使うと、制御されたリファレンス電圧として、オフセットを調整できるようになります。

AnalogBus (アナログ バス)

GAIN ブロックの出力は、アナログ PSoC ブロック アレイのローカルな相互接続ネットワークや、アナログ出力バスを通して接続できます。PGA ユーザ モジュールの AnalogBus パラメータをデフォルト値の Disable (無効) に設定すると、ローカル ネットワークへの接続が限定されます。GAIN AnalogBus 出力をバスで行う場合は、他のユーザ モジュールが同じバスを駆動させないように注意を払う必要があります。

アプリケーション プログラミング インタフェース

アプリケーション プログラミング インタフェース (API) ルーチンは設計者がより高度なレベルでモジュールを処理できるようにユーザ モジュールの一部として提供されます。このセクションでは、各関数のインターフェイスおよび「include」ファイルによって提供される関係する定数を示します。

Note ここでは、全てのユーザ モジュール API と同じように、API 関数を呼び出すことで A と X レジスタの値が変更されることがあります。呼び出し前の A と X の値が呼び出し後に必要な場合は、呼び出し元関数で A と X の値を保存してください。PSoc Designer のバージョン 1.0 以降、効率性の観点から、この「registers are volatile (レジスタの揮発性)」ポリシーが採用されています。C コンパイラは自動的にこの点を考慮して処理を行います。アセンブリ言語のプログラマは、コードがこのポリシーを持つことを認識しなければなりません。一部のユーザ モジュール API 関数では A と X は変更されないこともありますが、将来も変更されないという保証はありません。

PGA_Start

説明

このユーザー モジュールに必要なすべての初期化を実行し、連続時間 PSoC ブロック用に出力レベルを設定します。PowerSetting がブロックに適用されると、出力が生じます。

C プロトタイプ

```
void  PGA_Start(BYTE bPowerSetting)
```

アセンブリ

```
mov   A, bPowerSetting
lcall  PGA_Start
```

パラメータ

bPowerSetting: アナログ PSoC ブロックの出力レベルを指定する 1 バイトです。リセットとコンフィグレーションの後、PGA に割り当てられた PSoC ブロックの電力が遮断されます。C およびアセンブリで用意されたシンボル名、およびそれらに関連付けられた値は、以下の表で示されます。

シンボル名	値
PGA_OFF	0
PGA_LOWPOWER	1
PGA_MEDPOWER	2
PGA_HIGHPOWER	3

戻り値

なし

副作用

この関数によって、A および X レジスタが変更される場合があります。

PGA_SetPower

説明

連続時間 PSoC ブロックの出力レベルを設定します。PGA をオフまたはオンにするために使用することができます。PowerSetting がオフではない場合に、出力が発生します。

C プロトタイプ

```
void  PGA_SetPower(BYTE bPowerSetting)
```

アセンブリ

```
mov   A, bPowerSetting
lcall  PGA_SetPower
```

パラメータ

bPowerSetting: Start 関数用に使用される PowerSetting と同じです。

戻り値

なし

副作用

この関数によって、A および X レジスタが変更される場合があります。

PGA_SetGain

説明

連続時間 PSoC ブロック用のゲインを設定します。

C プロトタイプ

```
void  PGA_SetGain(byte bGainSetting)
```

アセンブリ

```
mov   A, bGainSetting
lcall  PGA_SetGain
```

パラメータ

bGainSetting: CY8C29/27/24/22xxx、CY8C23x33、CY8CLED04/08/16、CY8CLED04D/01/02/03/04、CY8CNP102 で、C 及びアセンブリで用意されたシンボル名と関連する値を、以下の表に示します。48.0 のプログラム済みゲインが使用する宣言名 ....G48_0.

シンボル名	値		シンボル名	値
PGA_G48_0	0Ch		PGA_G1_00	F8h
PGA_G24_0	1Ch		PGA_G0_93	E0h
PGA_G16_0	08h		PGA_G0_87	D0h
PGA_G8_00	18h		PGA_G0_81	C0h
PGA_G5_33	28h		PGA_G0_75	B0h
PGA_G4_00	38h		PGA_G0_68	A0h
PGA_G3_20	48h		PGA_G0_62	90h
PGA_G2_67	58h		PGA_G0_56	80h
PGA_G2_27	68h		PGA_G0_50	70h
PGA_G2_00	78h		PGA_G0_43	60h
PGA_G1_78	88h		PGA_G0_37	50h
PGA_G1_60	98h		PGA_G0_31	40h
PGA_G1_46	A8h		PGA_G0_25	30h
PGA_G1_33	B8h		PGA_G0_18	20h
PGA_G1_23	C8h		PGA_G0_12	10h
PGA_G1_14	D8h		PGA_G0_06	00h
PGA_G1_06	E8h			

bGainSetting: CY8C26/25xxx で、C 及びアセンブリで用意されたシンボル名と関連する値を、以下の表に示します。16.0 のプログラム済みゲインが使用する宣言名 ....G16_0.

シンボル名	値		シンボル名	値
PGA_G16_0	08h		PGA_G0_93	E0h
PGA_G8_00	18h		PGA_G0_87	D0h
PGA_G5_33	28h		PGA_G0_81	C0h
PGA_G4_00	38h		PGA_G0_75	B0h

シンボル名	値		シンボル名	値
PGA_G3_20	48h		PGA_G0_68	A0h
PGA_G2_67	58h		PGA_G0_62	90h
PGA_G2_27	68h		PGA_G0_56	80h
PGA_G2_00	78h		PGA_G0_50	70h
PGA_G1_78	88h		PGA_G0_43	60h
PGA_G1_60	98h		PGA_G0_37	50h
PGA_G1_46	A8h		PGA_G0_31	40h
PGA_G1_33	B8h		PGA_G0_25	30h
PGA_G1_23	C8h		PGA_G0_18	20h
PGA_G1_14	D8h		PGA_G0_12	10h
PGA_G1_06	E8h		PGA_G0_06	00h
PGA_G1_00	F8h			

戻り値

なし

副作用

ゲインは、ルーチン中に 1.0 にリセットされてから、適切な値にプログラムされます。この関数によって、A および X レジスタが変更される場合があります。

PGA_Stop

説明

ユーザ モジュールの電源を切ります。

C プロトタイプ

```
void  PGA_Stop(void)
```

アセンブリ

```
lcall  PGA_Stop
```

パラメータ

なし

戻り値

なし

副作用

この関数によって、A および X レジスタが変更される場合があります。

PGA_EnableAGNDBuffer

説明

AGND バッファを有効にします。この関数は、CY8C28xxx デバイスでのみ適用されます。

AGND が入力またはリファレンスのソースとして使用される場合は、この API 関数を使って AGND バッファを有効にする必要があります。

C プロトタイプ

```
void  PGA_EnableAGNDBuffer(void)
```

アセンブリ

```
lcall  PGA_EnableAGNDBuffer
```

パラメータ

なし

戻り値

なし

副作用

この関数によって、A および X レジスタが変更される場合があります。

PGA_DisableAGNDBuffer

説明

AGND バッファを無効にします。この関数は、CY8C28xxx デバイスでのみ適用されます。

AGND が入力またはリファレンスのソースとして使用される場合は、API の PGA_EnableAGNDBuffer 関数を使って AGND バッファを有効にする必要があります。

C プロトタイプ

```
void  PGA_DisableAGNDBuffer(void)
```

アセンブリ

```
lcall  PGA_DisableAGNDBuffer
```

パラメータ

なし

戻り値

なし

副作用

この関数によって、A および X レジスタが変更される場合があります。

ファームウェア ソースコードの例

このサンプルコードは、8.00 の固定ゲインでアンプを作成し、PSoC Designer の設定画面で設定したゲイン値を上書きします。

```
;;-------------------------------------------------------------------
;; Sample Code for the PGA.
;; Turn on power and set gain to 8.00.
;;-------------------------------------------------------------------

export _main

include "m8c.inc"
include "PSoCAPI.inc"

_main:


mov  A, PGA_G8_00            ; specify amplifier gain
call PGA_SetGain             ; update amplifier gain

mov  A, PGA_MEDPOWER         ; specify PGA power level
call PGA_Start               ; and turn it on

ret
```

C における同等のコードは以下のようになります。

```
//-------------------------------------------------------------------------
// Sample C Code for the PGA.
// Turn on power and set gain to 8.00.
//-------------------------------------------------------------------------

#include <m8c.h>        // part specific constants and macros
#include "PSoCAPI.h"    // PSoC API definitions for all User Modules


void main(void)
{
    PGA_SetGain(PGA_G8_00);
    PGA_Start(PGA_MEDPOWER);

    // User program ...
}
```

コンフィグレーション レジスタ

PGA ユーザ モジュールのトポロジは、選択されたアナログ CT PSoC ブロックのコンフィグレーション レジスタで、ほとんどのビットを設定します。これには、増幅器補正、コンパレータのモード、フィードバック接続の各値が含まれます。

Table 9. ブロック GAIN レジスタ : CR0

ビット	7	6	5	4	3	2	1	0
値	ゲイン					1	リファレンス	

GAIN は、選択ごとのゲイン値を設定します。リファレンスは、ゲインのリファレンスポイント (有効な「グランド」) を設定します。

Table 10. ブロック GAIN レジスタ : CR1

ビット	7	6	5	4	3	2	1	0
値	AnalogBus (アナログ バス)	0	1	0	0	入力		

AnalogBus は、GAIN PSoC ブロックがバスを駆動させるかどうかを判別します。ビットフィールドの値は、デバイス エディタのユーザ モジュール配置モードで、同じ名前のパラメータに対して行った設定により決定されます。入力は、PSoC Designer で選択された値です。

Table 11. ブロック GAIN レジスタ : CR2

ビット	7	6	5	4	3	2	1	0
値	0	0	1	0	0	0	0	0

デバイスのリセット及びコンフィグレーション後、電源は 「OFF」に設定されます。これは、API の Start、SetPower、Stop 関数を呼び出すことで変更されます。

Table 12. ブロック GAIN レジスタ : CR3

ビット	7	6	5	4	3	2	1	0
値	0	0	AGND_PD	0	LPCMPEN	CMOUT	INSAMP	EXGAIN

AGND_PD は、CT ブロックの AGND バッファの電源をオフにするために使用されます (CY8C28xxx デバイスのみ)。EXGAIN ビットは、24 または 48 のゲインが選択されると、自動的に設定されます。

バージョン ヒストリー

バージョン	著者	説明
3.2	DHA	AGND がディスエーブルであるかどうかを確認するために DRC を付加しました。

Note PSoC Designer 5.1 は、すべてのユーザ モジュール データシートにおいてバージョン ヒストリーを導入しています。このセクションでは、ユーザ モジュールの過去のバージョンと現在のバージョンの違いの概要を説明しています。

Copyright © 2002-2011 Cypress Semiconductor Corporation. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer ™ and Programmable System-on-Chip ™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

Any Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.