計測用アンプ データ シート INSAMPV 2.2

Copyright © 2002-2010 Cypress Semiconductor Corporation. All Rights Reserved.

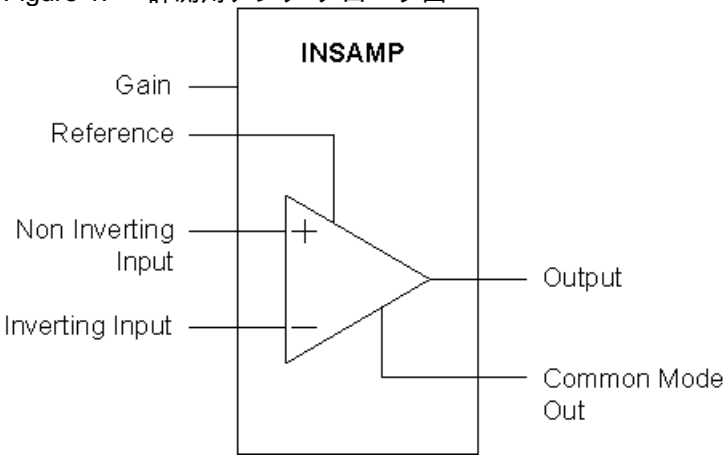
リソース	PSoC® ブロック			API メモリ (バイト)		ピン (外部 I/O ごと)
	デジタル	アナログ CT	アナログ SC	フラッシュ	RAM	
CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52						
オペアンプ 2 個	0	2	0	57	0	1
オペアンプ 3 個	0	2	1	113	0	1
CY8C26/25xxx						
オペアンプ 2 個	0	2	0	57	0	1

特徴および概要

- オペアンプ 2 個トポロジーでの 2 から 16 までのユーザー・プログラマブル ゲイン
- オペアンプ 3 個 トポロジー向けの (および CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリーのみでの) 93 までのユーザー・プログラマブル ゲイン
- ハイ インピーダンス差動入力
- シングル・エンド出力
- オペアンプ 2 個トポロジーでの選択可能なリファレンス

INSAMP ユーザー モジュールは、標準の 3 個オペアンプ 計測用アンプ回路トポロジーおよび、CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリーの PSoC デバイス、標準の 3 個オペアンプ トポロジーを提供します。このアンプは、高入力インピーダンス、同相信号の良好な除去、高帯域幅を持っています。

Figure 1. 計測用アンプ ブロック図

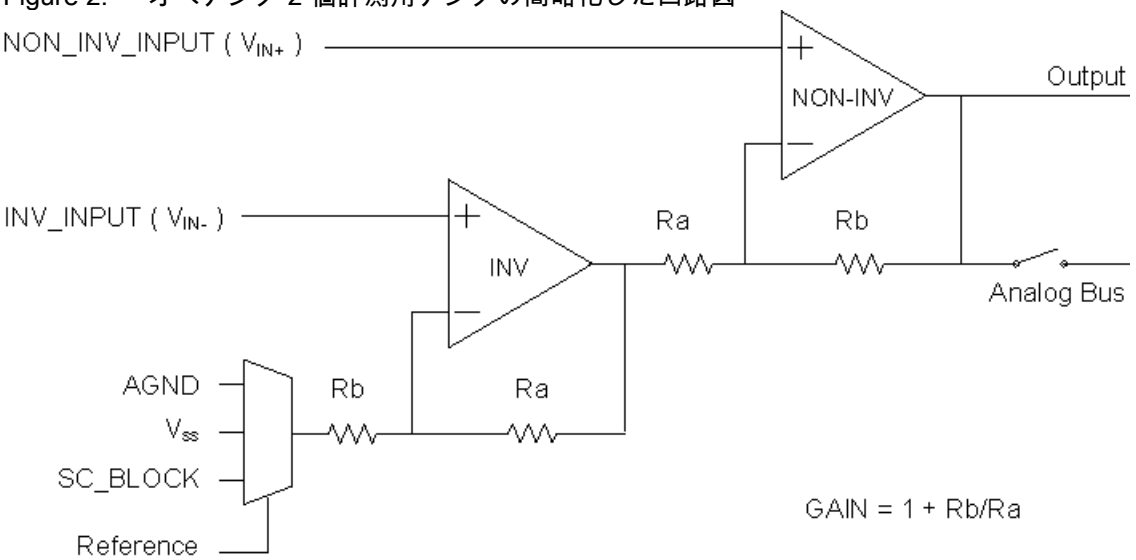


機能説明

オペアンプ 2 個トポロジー

INSAMP ユーザー モジュール オペアンプ 2 個トポロジー は、1 組のアナログ連続時間 (CT) PSoC ブロック上にマップします。このユーザー モジュールは、外部から印加された差動信号を選択された内部アナログ グラウンドを基準としたシングル エンド信号に変換します。その入力は入力マルチプレクサに接続されます。ゲイン、出力基準、およびアナログ出力バス接続は、デバイス エディタ内で設定されます。

Figure 2. オペアンプ 2 個計測用アンプの簡略化した回路図



計測用アンプのゲインは、2 つの各アナログ CT PSoC ブロック内で、レジスタ アレイ内のプログラム可能タップの設定で決定まります。

反転入力に接続れているブロック、INV の出力には以下の機能があります。

Equation 1

$$V_{O_{INV}} = V_{IN-} \cdot \left(1 + \frac{R_a}{R_b}\right) - V_{Ref} \frac{R_a}{R_b}$$

ブロックは、以下の転送機能用に INV の出力を NON_INV 反転し、減算します。

Equation 2

$$V_{O_{NONINV}} = V_{IN+} \cdot \left(1 + \frac{R_b}{R_a}\right) - V_{O_{INV}} \frac{R_b}{R_a}$$

続いて、INSAMP ユーザー モジュールが以下のような転送機能を持ちます。

Equation 3

$$V_O = (V_{IN+} - V_{IN-}) \cdot \left(1 + \frac{R_b}{R_a}\right) + V_{Ref}$$

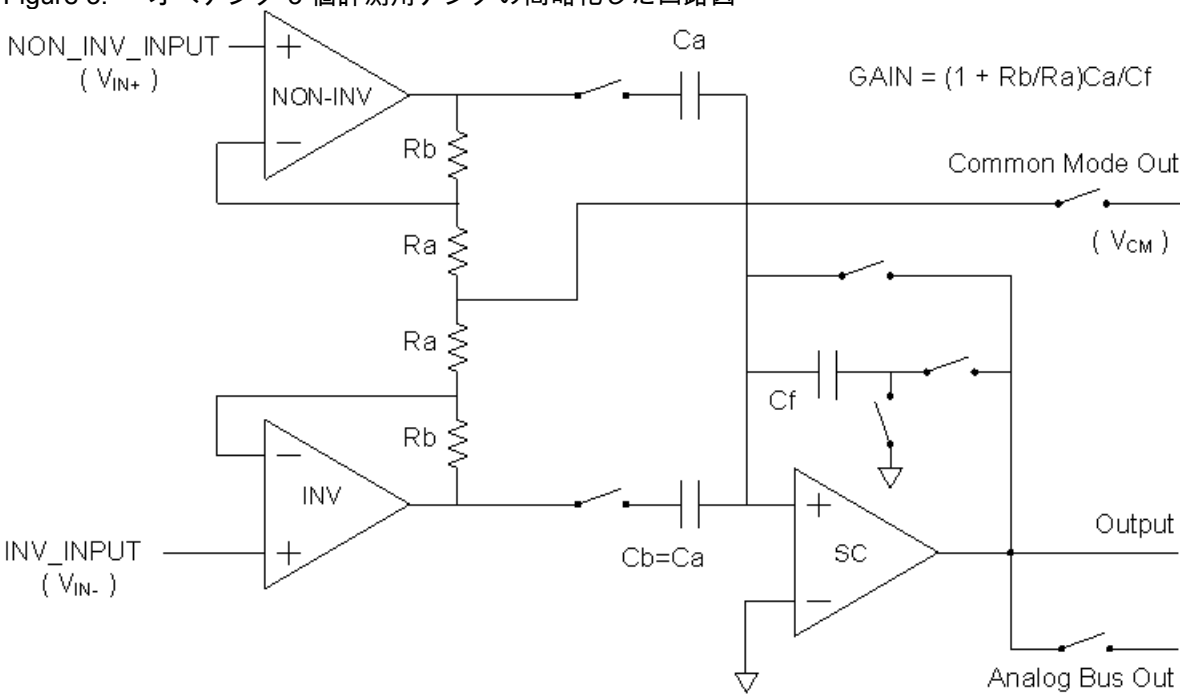
ユーザーは、PSoC デザイナーのグローバル リソース セクション内のアナログ グラウンドを選択します。選択には、内部バンドギャップ リファレンス (2*$V_{B\ および\ Gap}$) から派生した固定値、(V_{dd}/2) および CY8C26xxx 内の外部入力ポート 2[4] に対してレシオメトリックな値を含んいます。CY8C27xxx において、追加のアナログ グラウンドの選択が用意されています : 3.3 V 用動作用の固定スケール ADC への接続を可能にする $V_{BandGap}$、および 5.0 V 用動作用の固定スケール ADC への接続を可能にする 3.2*$V_{BandGap}$。アナログ グラウンドおよびゲイン値の選択は、各ブロックの使用可能な入力および出力範囲を決定します。ブロック INV は低ユーザー モジュール ゲイン用により高いゲインを持っています。これが入力可能な範囲で最小の制限を設定しています。これは仕様セクション内のグラフィカルなフォームに示されています。

オペアンプ 3 個トポロジー

オペアンプ 3 個の INSAMP は、2 つの連続時間 PSoC ブロック、指定された INV および差動入力および差動出力付きアンプを形成するための NON_INV を使用します。2 つのブロックは同一のゲインを持ち、それらと共に底部の抵抗マルチプレクサが共に接続されています。差動アンプの出力は、指定された CONVERT、スイッチド キャパシタ ブロックによってアナログ グラウンドにリファレンスされたシングル エンド電圧に変換されます。

その広い入力ダイナミック レンジに加えて、この入力トポロジーは優れた同相除去によって特性評価されます。

Figure 3.　オペアンプ 3 個計測用アンプの簡略化した回路図



INV ブロック および NON_INV ブロック転送機能は、それぞれ以下のようになります。

Equation 4

$$Vout_{INV} = V_{CM} + \left(1 + \frac{R_b}{R_a}\right)\left(\frac{V_{IN+} - V_{IN-}}{2}\right)$$

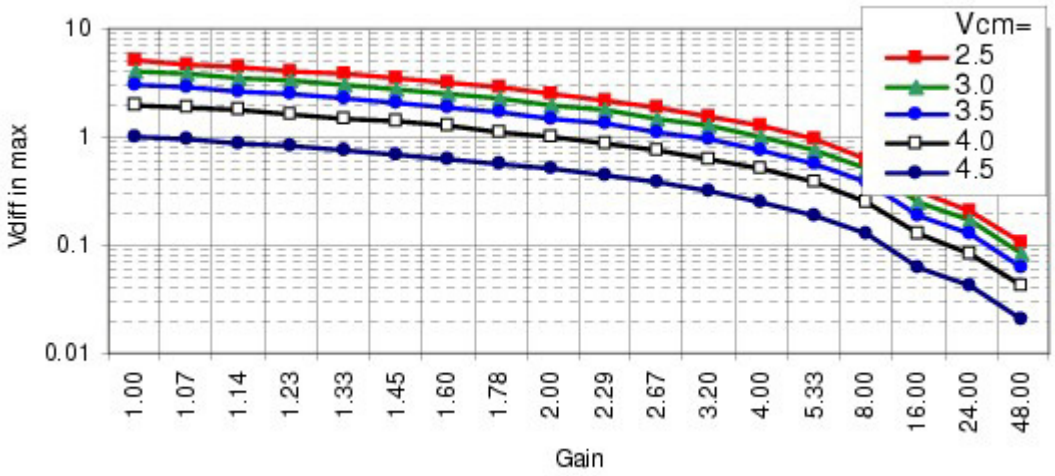
Equation 5

$$Vout_{NONINV} = V_{CM} - \left(1 + \frac{R_b}{R_a}\right)\left(\frac{V_{IN+} - V_{IN-}}{2}\right)$$

[+] Feedback

入力アンプはユニティ同相モード ゲインを持ちます。これは、計測用アンプの オペアンプ 2 個バージョンにわたり入力同相モード範囲内で相当な優越性を提供します。最大差動入力範囲は、入力オペアンプおよびアンプのゲインの出力スイングによって制限されます。同相電圧またはゲインの増加は、以下の図に示すように入力信号レベルを減少させます。

Figure 4. 最高入力レベル対 ゲイン



入力ゲイン制限は、アナログ グラウンドについて対象的であるために、Vss より 0.5V 高い入力同相電圧は Vcc より 0.5V 低い入力同相電圧と等価である入力制限を持つことになります。

ブロック INV の出力は、CONVERT の B-cap 入力を駆動し、ブロック NON_INV の出力は、CONVERT の A-cap 入力を駆動します。B-cap 入力の極性は、ブロック トポロジーにより負に固定されています。A-cap 入力の極性は、ユーザー モジュール ファームウェア内において正に設定されています。A-cap および B-cap は、同じ値を持っており、すなわち連続時間ブロック出力の変換は差動であり、CONVERT の出力は

Equation 6

$$V_{AGND} + (V_{IN+} - V_{IN-})\left(1 + \frac{R_a}{R_b}\right)\frac{C_a}{C_f}$$

Rb および Ra の利用可能な抵抗比は、1.0 から 48.0 の間の値の入力範囲の効果的なゲイン範囲を設定します。スイッチド キャパシタ ブロック内の変換ゲインは、0.032 ~ 1.9375 です (即ち、1/32 ~ 31/16)。これは、1.0 ~ 93 の効果的なゲイン設定で大きな数をもたらします。差動ゲインおよび変換ゲインは、PSoC Designer 内でパラメータとしてユーザーによって独立して設定され、SeGain API 関数を経由してランタイムで変更することができます。

[+] Feedback

DC および AC 電気的特性

電気的特性は、オペアンプ 2 個トポロジーおよび 3 個トポロジー、および CY8C25/26xxx およびその他の PSoC デバイスで異なります。

オペアンプ 3 個トポロジー

The following values are indicative of expected performance and based on initial characterization data. 以下の表で明記されている場合を除いて、T_A = 25C、V_{dd} = 5.0V、アナログ グラウンドに対する出力リファレンス = $V_{dd}/2$。

Table 1. 5.0V オペアンプ 3 個 DC 電気的特性、PSoC デバイスの CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリ

パラメータ	標準値	制限	単位	条件およびノート
ゲイン				
G=93.0 においての公称からの偏差	1.2		%	
G=48.0 においての公称からの偏差	1.4		%	
G=2.0 においての公称からの偏差	0.2		%	
G=1.0 においての公称からの偏差	0.2		%	
入力				
入力オフセット電圧	3.5		mV	
入力電圧範囲	--	Vss ~ Vdd	V	
漏れ電流 [1]	1	--	nA	
入力静電容量 [1]	3	--	pF	
CMRR	60		dB	ゲイン = 48
PSRR	42		dB	
出力スイング	0.05 ~ Vdd-0.05	--	V	
動作電流				
低出力	800		µA	オペアンプ バイアスが LOW に設定されている場合には、動作電流を 50% 減少させることも可能ですが、カラム クロックを下げる必要があります。
中出力	3,000		µA	
高出力	11,900		µA	

[+] Feedback

Table 2. 5.0V オペアンプ 3 個 DC 電気的特性、PSoC デバイスの CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリ

パラメータ	標準値	制限	単位	条件およびノート
スルーレート (20% ~ 80%)[2]				
低出力	0.5		V/µsec	ゲイン =2.0、入力で 2.0V ステップ
中出力	1.9		V/µsec	
高出力	6.0		V/µsec	
制定時間 [2]				
低出力	11		µ 秒	
中出力	4		µ 秒	
高出力	3		µ 秒	
ノイズ [2]				入力へのリファレンス
低出力	625		nV/√Hz	差動ステージ ゲイン =4。高出力を除きオペアンプ バイアスは LOW。
中出力	198		nV/√Hz	
高出力	175		nV/√Hz	

The following values are indicative of expected performance and based on initial characterization data. 以下の表で明記されている場合を除いて、T_A = 25C、V_{dd} = 3.3V、アナログ グラウンドに対する出力リファレンス = $V_{dd}/2$。

Table 3. 3.3V オペアンプ 3 個 DC 電気的特性、PSoC デバイスの CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリ

パラメータ	標準値	制限	単位	条件およびノート
ゲイン				
G=93.0 においての公称からの偏差	1.9		%	
G=48.0 においての公称からの偏差	2.1		%	
G=2.0 においての公称からの偏差	0.1		%	
G=1.0 においての公称からの偏差	0.1		%	
入力				
入力オフセット電圧	3.5		mV	
入力電圧範囲	--	Vss ~ Vdd	V	
漏れ電流 [1]	1	--	nA	
入力静電容量 [1]	3	--	pF	

[+] Feedback

パラメータ	標準値	制限	単位	条件およびノート
CMRR	51		dB	ゲイン = 48
PSRR	42		dB	
出力スイング	0.05 ~ Vdd-0.05	--	V	
動作電流				
低出力	1200		µA	オペアンプ バイアスが LOW に設定されている場合には、動作電流を 50% 減少させることも可能ですが、カラム クロックを下げる必要があります。
中出力	3,400		µA	
高出力	12,000		µA	

Table 4. 3.3V オペアンプ 3 個 DC 電気的特性、PSoC デバイスの CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリ

パラメータ	標準値	制限	単位	条件およびノート
スルーレート (20% ~ 80%)[2]				
低出力	0.5		V/µsec	ゲイン =2.0、入力で 2.0V ステップ
中出力	1.8		V/µsec	
高出力	5.7		V/µsec	
制定時間 [2]				
低出力	12		µ 秒	
中出力	4		µ 秒	
高出力	3		µ 秒	
ノイズ [2]				入力へのリファレンス
低出力	625		nV/√Hz	高出力を除きオペアンプ バイアスは LOW。
中出力	198		nV/√Hz	
高出力	175		nV/√Hz	

電気的特性ノート

1. デバイス シミュレーションに基づく I/O ピンを含む。

オペアンプ 2 個トポロジー

The following values are indicative of expected performance and based on initial characterization data. 以下の表で明記されている場合を除いて、T_A = 25 °C、V_{dd} = 5.0V、アナログ グラウンドに対する出力リファレンス = 2*$V_{BandGap}$、オペアンプ バイアス = HIGH、リファレンス出力 = HIGH、UM 出力 = HIGH、カラム クロック = 2MHz (サンプリング クロック = 500 kHz)。

Table 5. 5.0V オペアンプ 2 個 DC 電気的特性、PSoC デバイスの CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリ

パラメータ	標準値	制限	単位	条件およびノート
ゲイン				
G=16.0 においての公称からの偏差	2.5		%	
G=8.0 においての公称からの偏差	1.6		%	
G=4.0 においての公称からの偏差	0.4		%	
G=2.0 においての公称からの偏差	0.1		%	
入力				
入力オフセット電圧	3.1		mV	
入力電圧範囲	--	Vss ~ Vdd	V	
漏れ電流 [1]	1	--	nA	
入力静電容量 [1]	3	--	pF	
出力スイング	0.05 ~ Vdd-0.05	--	V	
CMRR	59		dB	ゲイン = 2
PSRR	62		dB	
動作電流				
低出力	284		µA	オペアンプ バイアスが LOW に設定されている場合には、動作電流を 50% 減少させることも可能です
中出力	1080		µA	
高出力	4166		µA	

[+] Feedback

Table 6. 5.0V オペアンプ 2 個 DC 電気的特性、PSoC デバイスの CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリ

パラメータ	標準値	制限	単位	条件およびノート
スルーレート (20% ~ 80%)[2]				
低出力	0.5		V/µsec	ゲイン =2.0、入力で 2.0V ステップ
中出力	1.9		V/µsec	
高出力	6.0		V/µsec	
制定時間 [2]				
低出力	11		µ 秒	
中出力	4		µ 秒	
高出力	3		µ 秒	
ノイズ [2]				入力へのリファレンス
低出力	354		nV/√Hz	高出力を除きオペアンプ バイアスは LOW。
中出力	112		nV/√Hz	
高出力	99		nV/√Hz	

The following values are indicative of expected performance and based on initial characterization data. 以下の表で明記されている場合を除いて、T_A = 25 °C、V_{dd} = 3.3V、アナログ グラウンドに対する出力リファレンス = 2*V_B および Gap、オペアンプ バイアス = HIGH、リファレンス出力 = HIGH、UM 出力 = HIGH、カラム クロック = 2MHz (サンプリング クロック = 500 kHz)。

Table 7. 3.3V オペアンプ 2 個 DC 電気的特性、PSoC デバイスの CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリ

パラメータ	標準値	制限	単位	条件およびノート
ゲイン				
G=16.0 においての公称からの偏差	3.2		%	
G=8.0 においての公称からの偏差	1.6		%	
G=4.0 においての公称からの偏差	0.6		%	
G=2.0 においての公称からの偏差	0.1		%	
入力				

パラメータ	標準値	制限	単位	条件およびノート
入力オフセット電圧	3.9		mV	
入力電圧範囲	--	Vss ~ Vdd	V	
漏れ電流 [1]	1	--	nA	
入力静電容量 [1]	3	--	pF	
出力スイング	0.05 ~ Vdd-0.05	--	V	
CMRR	54		dB	ゲイン = 2
PSRR	42		dB	
動作電流				
低出力	270		µA	オペアンプ バイアスが LOW に設定されている場合には、動作電流を 50% 減少させることも可能です。
中出力	1046		µA	
高出力	4934		µA	

Table 8. 3.3V オペアンプ 2 個 AC 電気的特性、PSoC デバイスの CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 ファミリ

パラメータ	標準値	制限	単位	条件およびノート
スルーレート (20% ~ 80%)[2]				
低出力	0.5		V/µsec	ゲイン =2.0、入力で 2.0V ステップ
中出力	1.8		V/µsec	
高出力	5.7		V/µsec	
制定時間 [2]				
低出力	12		µ 秒	
中出力	4		µ 秒	
高出力	3		µ 秒	
ノイズ [2]				入力へのリファレンス
低出力	354		nV/√Hz	高出力を除きオペアンプ バイアスは LOW。
中出力	112		nV/√Hz	
高出力	99		nV/√Hz	

電気的特性ノート

1. I/O ピンを含む。
2. デバイスのシミュレーションに基づいた結果です。

オペアンプ 2 個トポロジー

以下の表に明記され以下の表で明記されている場合を除いて、TA = 25 °C、Vdd = 5.0V、アナログ グラウンドに対する出力リファレンス = 2*VB および Gap についてのすべての制限は保証されています。

Table 9. オペアンプ 2 個 5.0V DC 電気的特性、PSoC デバイスの Arch26Name; ファミリ

パラメータ	標準値	制限	単位	条件およびノート
ゲイン				
G=16.0 においての公称からの偏差	2.6	3.8	%	
G=8.0 においての公称からの偏差	1.3	2.1	%	
G=4.0 においての公称からの偏差	0.5	0.9	%	
G=2.0 においての公称からの偏差	0.1	0.4	%	
入力				
入力オフセット電圧	14	52	± mV	
入力漏れ電流 [1]	3	--	nA	
入力静電容量 [1]	3	--	pF	
最小入力電圧	0.42	0.63	V	ゲイン = 16
最大入力電圧	V_{dd}-0.8	V_{dd}-1.0	V	ゲイン = 16
同相除去比	62	56	dB	ゲイン = 16
REFERENCE 入力				
オフセット電圧	9.0	31	± mV	ゲイン = 1.00、アナログ グラウンドに対する入力信号リファレンスの標準値。
PSRR	60[2]	--	dB	
出力スイング [3]				
V_{dd} 側	V_{dd}-0.8	V_{dd}-1.0	V min	
V_{ss} 側	0.3	0.5	V max	
動作電流 [4]				
低出力	250	--	µA	
中出力	560	--	µA	
高出力	1560	2000	µA	

[+] Feedback

Table 10.　オペアンプ 2 個 5.0V AC 電気的特性、PSoC デバイスの Arch26Name; ファミリ

パラメータ	公称 [5]	制限 [5]	単位	条件およびノート
ゲイン帯域幅積				
低出力	--	1.7	MHz	
中出力	--	4.6	MHz	
高出力	--	8.9	MHz	
スルーレート (20% ~ 80%)				
低出力	--	0.4	V/µsec	ゲイン =-1.00、入力で 2.0V ステップ
中出力	--	0.7	V/µsec	
高出力	--	2.0	V/µsec	
整定時間				
低出力	--	2.7	µ 秒	0.1% まで、ゲイン = -1.00
中出力	--	1.4	µ 秒	
高出力	--	0.6	µ 秒	
雑音電圧 (入力との比較)	22	40	µVrms	0 ~ 10 kHz

Table 11.　オペアンプ 2 個 3.3V DC 電気的特性、PSoC デバイスの Arch26Name; ファミリ

パラメータ	標準値	制限	単位	条件およびノート
ゲイン				
G=16.0 においての公称からの偏差	-4.0	-5.3	%	
G=8.0 においての公称からの偏差	-2.0	-3.6	%	
G=4.0 においての公称からの偏差	-0.8	-1.4	%	
G=2.0 においての公称からの偏差	-0.2	1.2	%	
入力				
入力オフセット電圧	13	51	mV	
入力漏れ電流 1	2	--	nA	
入力静電容量 [1]	3	--	pF	
同相除去比	62	--	dB	ゲイン = 16
出力スイング				
V_{dd} 側	V_{dd}-0.8	V_{dd}-1.0	V	
V_{ss} 側	0.3	0.5	V	

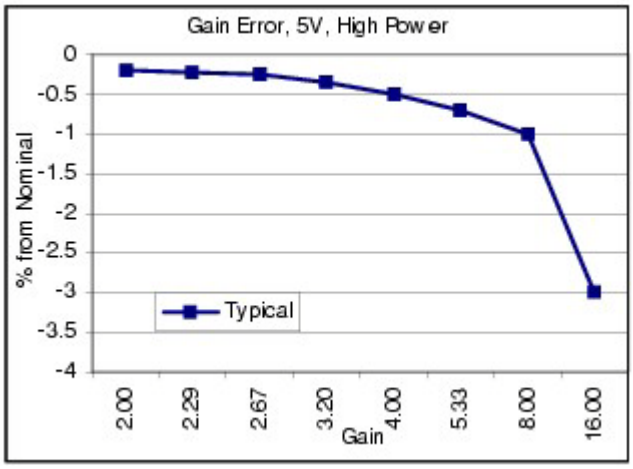
パラメータ	標準値	制限	単位	条件およびノート
動作電流				
低出力	200	--	µA	
中出力	500	--	µA	
高出力	1280	1800	µA	

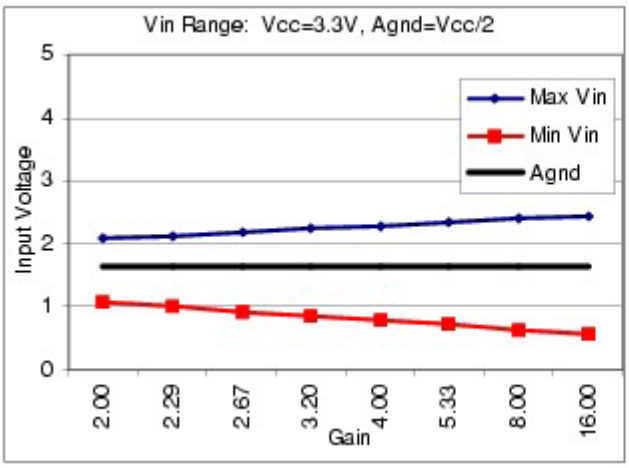
Table 12.　オペアンプ 2 個 3.3V AC 電気的特性、PSoC デバイスの Arch26Name; ファミリ

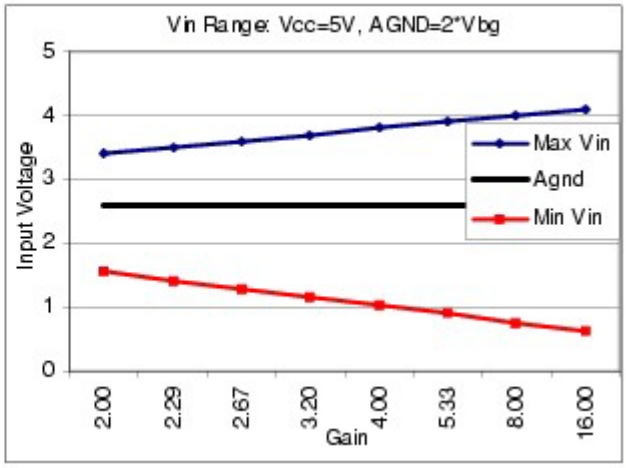
パラメータ	標準値	制限	単位	条件およびノート
スルー レート				
低出力	--	0.3	V/µsec	
中出力	--	0.3	V/µsec	
高出力	--	0.3	V/µsec	
0.01% までの背とリングタイム				
低出力	--	1.7	µ 秒	
中出力	--	0.9	µ 秒	
高出力	--	1.6	µ 秒	
雑音電圧 (入力との比較)	22	40	µVrms	0 ~ 10 kHz

電気的特性ノート

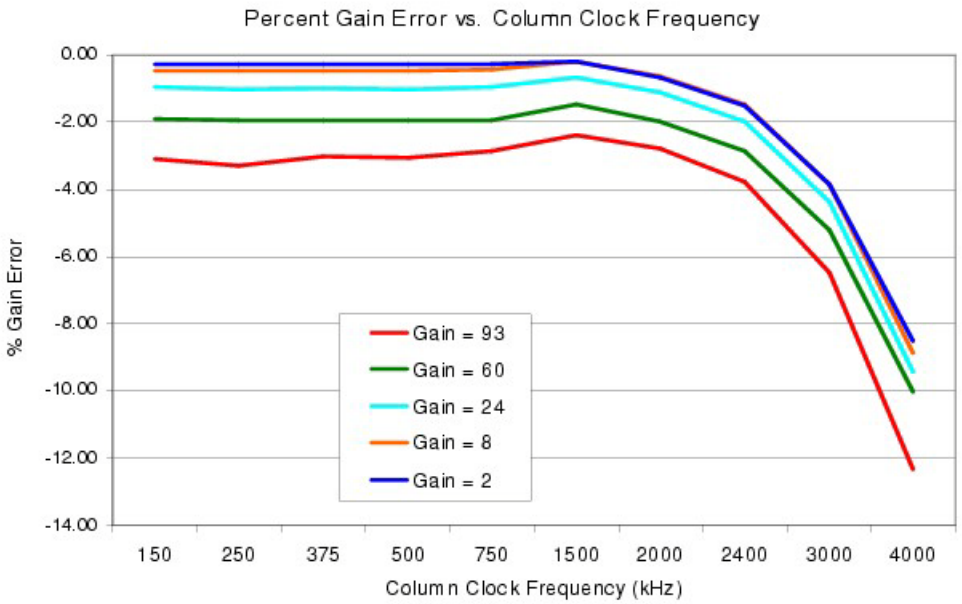
1. I/O ピンを含む。
2. PSRR(電源電圧変動除去比) 標準値は、ゲイン = 1.00、アナログ グラウンドに対する入力信号リファレンスについてです。
3. PSRR 制限値は、VAGND エラーが代数的に入力オフセット電圧に加算される Vss に対する入力信号リファレンス用です。
4. 出力スイングは内部信号用です。外部出力スイング (各 ピンでの) がアナログ出力バッファによって制限されます。
5. リファレンス ブロック電力を含んでいません、デバイス ファミリ データ シートを参照してください。
6. AC 仕様は内部信号用のものです。スルー レートおよび整定時間 (各ピンでの) がアナログ出力バッファにより制限されます。







オペアンプ 3 個トポロジー用に、アンプの変換ゲインの部分を提供するためにスイッチド キャパシタ ブロックが使用されます。スイッチド キャパシタ ブロックは、スイッチド キャパシタ動作用に必要なクロックの位相を提供するために内部で 4 分周されるカラム クロックによって駆動されています。以下のチャートは、5V で動作している CY8C29/27/24xxx, CY8C23x33, CY8CLED04/08/16, CY8CLED0xD, CY8CLED0xG, CY8CTST120, CY8CTMG120, CY8CTMA120, CY8C28x45, CY8CPLC20, CY8CLED16P01, CY8C28x43, CY8C28x52 デバイス用です。これはさまざまなゲイン設定用途のカラム クロック周波数の機能での誤差を示しています。このチャートから 2 つの重要な性能の点が読み取れます。1 において。2MHz 2 の周りでわずかな変化があります。4MHz 性能に顕著な変化があります。



配置

オペアンプ 2 個トポロジー

NV および NON_INV ブロックは、カラム 0 および 1 (または、利用可能な場合は、カラム 2 および 3 内の) 内の 一組の連続時間 PSoC ブロック上にマップしています。ブロックは反転および非反転入力用に柔軟性のあるポート割当て割当て用にカラム ペア内でスワップすることができます。

オペアンプ 3 個トポロジー

オペアンプ 3 個回路トポロジーは、一組の連続時間 PSoC ブロックおよびシングル スイッチド キャパシタ PSoC ブロックを使用します。3 つの連続時間 ブロック、INV および NON_INV は、オペアンプ 2 個トポロジーのように一組のカラム内に配置されています。CONVERT ブロックは、2 つの連続時間ブロックの内の 1 つの直下にあるスイッチド キャパシタ PSoC ブロック上にマップしています。内部ブロック間接続は、あらゆるカラム ペア用の編成の数を 3 つに制限しています。

パラメータおよびリソース

計測用アンプ用の反転入力および非反転入力は、アナログ入力カラム マルチプレクサの出力によって起動されています。これらの接続は暗黙的です。INV および NON_INV PSoC ブロックの上位に入力マルチプレクサを構成するには、直接 Device Editor 内で実行するか、または AMUX4 ユーザー モジュールのインスタンスを経由するかして行います。

ゲイン

オペアンプ 2 個回路トポロジー用に選択可能なゲインの値は、2.00、2.28、2.67、3.20、4.00、5.33、8.00、および 16.00 です。

差動ゲイおよび変換ゲイン

オペアンプ 3 個 トポロジーはより多くの選択を提供します。全ゲインは、差動ゲインと変換ゲインの積となります。18 の差動ゲイン設定範囲は、1.0 ~ 48.0 です。これらは、連続時間リファレンスおよびフィードバック抵抗用に対照的な設定を提供しています。47 の変換ゲイン設定は、連続時間ブロックの入力およびフィードバック キャパシタ設定を決定します。これらの範囲は、0.0313 から 1.938 までです。即ち、全ゲイン積の範囲は、最低の 0.0313 から 93.0 までです。

リファレンス

オペアンプ 2 個の計測用アンプのシングル エンド出力は、ユーザーにより選択された値にリファレンスされています。このパラメータは、オペアンプ 3 個トポロジーには適用されません。選択には以下が含まれています。

- **AGND** – アナログ グラウンドは、ゲイン、コンパレータ、フィルタ、およびアナログ - デジタル変換器用の追加の信号調整用に最も効果的です。
- **VSS** – 負電源レール。
- **SC_BLOCK** – 隣接スイッチド キャパシタ PSoC ブロックの出力。利用可能な固有のブロックは、ユーザー モジュールがデバイス エディタ内に配置された場合に示されます。このオプションは、使用する SC_BLOCK 接続が DAC の出力である場合にオフセット補償用に制御されたリファレンスを提供するために効果的です。DAC 出力は、サンプル / ホールド機能を含んでいません。DAC によって駆動されるリファレンスを持つ INSAMP を使用するユーザー モジュールは、DAC に対してそれらのサンプリング フェーズが同期していなければなりません。

AnalogBus

計測用アンプの出力は、アナログバス モジュール パラメータのイネーブル選択を使用してアナログ カラム出力バス上での配置が可能です。これは一般的に関連するアナログ出力バッファを経由し、そしてバッファが接続されているピンを経由しバス上で配線により外付けで出力を取り出すことで実現されます。このバスは、またいくつかの場合、アナログ アレイの底部の列に オペアンプ 2 個出力を接続するのにも効果的です。

CommonModeOut

このパラメータは オペアンプ 3 個 トポロジーにのみ適用されます。同相ノードは、これらの抵抗ストリングの “ 終端 ” で 2 つの連続時間ブロックを接続しています (図 「オペアンプ 3 個の計測用アンプ簡易化回路図」を参照してください)。このノードから供給される同相電圧は、ガード トレースなどの手法によるノイズ耐性シールドの改善用の多くのアプリケーションで効果的です。この電圧は、このパラメータを設定することにより、CT PSoC ブロック、INV または NON_INV のいずれかを経由して、アナログ カラム出力バスおよびその関連するアナログ出力バッファに接続される場合もあります。これらの 2 つのオプションに追加して、CommonModeOut パラメータが “None” に設定するされることがあります。

2 つの CT ブロックの内の 1 つ、INV または NON_INV のいずれかがスイッチド キャパシタ CONVERT ブロックとして同一のアナログ カラム内に配置されています。AnalogBus パラメータ

[+] Feedback

が、イネーブルに設定されている場合は、CommonModeOut を “NONE” にセットするか、またはそれを CONVERT ブロックによって共用されないカラム内に配置するかのいずれかとなります。それ以外の場合、INSAMP の出力は同相点に対してフィードバック ループ内に接続され、出力の挙動は期待値に対応しません。

アプリケーション プログラミング インタフェース

アプリケーション プログラミング インタフェース (API) ルーチンは、設計者により高度なレベルでモジュールを取扱うことを可能にするためのユーザー モジュールの一部として用意されています。このセクションは、“include” ファイルによって記載される関連する定数と共に各機能に対するインターフェースを指定しています。

Note ここでは、すべてのユーザー モジュール API と同様に、A および X レジスタが API 関数を呼び出すことによって変更される場合があります。A および X の値が呼び出し後に必要となる場合に、呼び出しに先立ち A および X の値を保持するのは呼び出し関数の役割です。“registers are volatile”(レジスタは揮発性である) ポリシーは、効率的な理由から選択されて、PSoC Designer のバージョン 1.0 より有効となっています。C コンパイラは、自動的にこの要求を処理します。アセンブリ言語プログラマは、また自身のコードが規定に準拠することを実現する必要があります。いくつかのユーザー モジュール API 関数が A および X を未変更とする場合であっても、次回に同様な処理をする保証はありません。

INSAMP_Start

説明

このユーザー モジュールに必要なすべての初期化を実行し、連続時間 PSoC ブロック用に出力レベルを設定します。計測用アンプ出力が駆動されます。

C プロトタイプ :

```
void  INSAMP_Start(BYTE bPowerSetting)
```

アセンブラ :

```
mov   A, bPowerSetting
lcall  INSAMP_Start
```

パラメータ :

bPowerSetting: 両方のアナログ PSoC ブロックに対する出力レベルを指定する 1 バイトです。以下のリセットおよび構成で、計測用アンプに割り当てられた PSoC ブロックは電力が遮断されています。C およびアセンブリで容易されたシンボル名、およびそれらに関連付けられた値は、以下の表で示されます。

シンボル名	値
INSAMP_NAME_OFF	0
INSAMP_NAME_LOWPOWER	1
INSAMP_NAME_MEDPOWER	2
INSAMP_NAME_HIGHPOWER	3

:

なし

副次作用 :

A および X レジスタがこの機能により変更される場合があります。

INSAMP_SetPower

説明 :

連続時間 PSoC ブロックの出力レベルを設定します。May be used to turn the ブロックの OFF および ON の切り替えに使用することが可能です。

C プロトタイプ :

```
void  INSAMP_SetPower(BYTE bPowerSetting)
```

アセンブラ :

```
mov   A, bPowerSetting
lcall  INSAMP_SetPower
```

パラメータ :

bPowerSetting: 起動機能用に使用される PowerSetting と同じです。

:

なし

副次作用 :

A および X レジスタがこの機能により変更される場合があります。

INSAMP_SetGain

説明

連続時間 PSoC ブロック用のゲインを設定します。この機能は、オペアンプ 2 個回路トポロジーに対してのみ適用されます。

C プロトタイプ :

```
void  INSAMP_SetGain(BYTE bGainSetting)
```

アセンブラ :

```
mov   A, bGainSetting
lcall  INSAMP_SetGain
```

パラメータ :

bGainSetting: C およびアセンブリで容易されたシンボル名、およびそれらに関連付けられた値は、以下の表で示されます。この値は NON_INV ブロックに直接渡されます。INV ブロックのゲインは、.asm ルーチン内で計算されます。16.0 のプログラム可能なゲインが使用する宣言済み名 ....G16_0.

シンボル名	値
INSAMP_G16_0	00h
INSAMP_G8_00	10h
INSAMP_G5_33	20h

INSAMP_G4_00	30h
INSAMP_G3_20	40h
INSAMP_G2_67	50h
INSAMP_G2_27	60h
INSAMP_G2_00	70h

:

なし

副次作用 :

A および X レジスタがこの機能により変更される場合があります。

INSAMP_Set2StageGain

説明 :

オペアンプ 3 個の計測用アンプの全ゲインを設定します。全ゲインは、入力 (差動) ステージおよび出力 (変換) ステージに対して適用されるゲイン設定の積です。両方のステージは、この機能により設定されます。

C プロトタイプ :

```
void INSAMP_Set2StageGain(BYTE bInGain, BYTE bOutGain);
```

アセンブラ :

```
mov   A,  IN_GAIN_CONSTANT
mov   X, OUT_GAIN_CONSTANT
lcall  INSAMP_Set2StageGain
```

パラメータ :

bInGain (IN_GAIN_CONSTANT): 計測用アンプの差動 (入力) セクションのゲインを指定します。このセクションは 2 つの連続時間 PSoC ブロックにより実装され、ゲイン定数用 INV および NON_INV. シンボル名は、以下の表内に示される C およびアセンブリのインクルード ファイル内で定義されます。

シンボル名	ゲイン ファクタ T	値
INSAMP_INGAIN_48	48	01h
INSAMP_INGAIN_24	24	11h
INSAMP_INGAIN_16	16	00h
INSAMP_INGAIN_8	8	10h
INSAMP_INGAIN_5_33	$5\ ^{1}/_{3}$	20h
INSAMP_INGAIN_4	4	30h
INSAMP_INGAIN_3_20	$3\ ^{1}/_{5}$	40h
INSAMP_INGAIN_2_67	$2\ ^{2}/_{3}$	50h

INSAMP_INGAIN_2_29	$2\ ^{2}/_{7}$	60h
INSAMP_INGAIN_2	2	70h
INSAMP_INGAIN_1_78	$1\ ^{7}/_{9}$	80h
INSAMP_INGAIN_1_60	$1\ ^{6}/_{10}$	90h
INSAMP_INGAIN_1_45	$1\ ^{5}/_{11}$	A0h
INSAMP_INGAIN_1_33	$1\ ^{4}/_{12}$	B0h
INSAMP_INGAIN_1_23	$1\ ^{3}/_{13}$	C0h
INSAMP_INGAIN_1_14	$1\ ^{2}/_{14}$	D0h
INSAMP_INGAIN_1_07	$1\ ^{1}/_{15}$	E0h
INSAMP_INGAIN_1	1	F0h

bOutGain (OUT_GAIN_CONSTANT): スイッチド キャパシタ PSoC ブロックにより実装される計測用アンプの変換 (出力) セクションのゲインを指定します。シンボル名は、C およびアセンブリのインクルード ファイルによって記載されます。これらに関連する値は、以下の表に記載されています。

シンボル名	ゲイン ファクタ	値	シンボル名	ゲイン ファクタ	値
INSAMP_OUTGAIN_1_94	$1\ ^{15}/_{16}$	1.9375	INSAMP_OUTGAIN_0_72	$^{23}/_{32}$	0.7188
INSAMP_OUTGAIN_1_88	$1\ ^{14}/_{16}$	1.8750	INSAMP_OUTGAIN_0_69	$^{22}/_{32}$	0.6875
INSAMP_OUTGAIN_1_81	$1\ ^{13}/_{16}$	1.8125	INSAMP_OUTGAIN_0_66	$^{21}/_{32}$	0.6563
INSAMP_OUTGAIN_1_75	$1\ ^{12}/_{16}$	1.7500	INSAMP_OUTGAIN_0_63	$^{20}/_{32}$	0.6250
INSAMP_OUTGAIN_1_69	$1\ ^{11}/_{16}$	1.6875	INSAMP_OUTGAIN_0_59	$^{19}/_{32}$	0.5938
INSAMP_OUTGAIN_1_63	$1\ ^{10}/_{16}$	1.6250	INSAMP_OUTGAIN_0_56	$^{18}/_{32}$	0.5625
INSAMP_OUTGAIN_1_56	$1\ ^{9}/_{16}$	1.5625	INSAMP_OUTGAIN_0_53	$^{17}/_{32}$	0.5313
INSAMP_OUTGAIN_1_50	$1\ ^{8}/_{16}$	1.5000	INSAMP_OUTGAIN_0_50	$^{16}/_{32}$	0.5000
INSAMP_OUTGAIN_1_44	$1\ ^{7}/_{16}$	1.4375	INSAMP_OUTGAIN_0_47	$^{15}/_{32}$	0.4688
INSAMP_OUTGAIN_1_38	$1\ ^{6}/_{16}$	1.3750	INSAMP_OUTGAIN_0_44	$^{14}/_{32}$	0.4375
INSAMP_OUTGAIN_1_31	$1\ ^{5}/_{16}$	1.3125	INSAMP_OUTGAIN_0_41	$^{13}/_{32}$	0.4063

INSAMP_OUTGAIN_1_25	$1\,^{4}/_{16}$	1.2500	INSAMP_OUTGAIN_0_38	$^{12}/_{32}$	0.3750
INSAMP_OUTGAIN_1_19	$1\,^{3}/_{16}$	1.1875	INSAMP_OUTGAIN_0_34	$^{11}/_{32}$	0.3438
INSAMP_OUTGAIN_1_13	$1\,^{2}/_{16}$	1.1250	INSAMP_OUTGAIN_0_31	$^{10}/_{32}$	0.3125
INSAMP_OUTGAIN_1_06	$1\,^{1}/_{16}$	1.0625	INSAMP_OUTGAIN_0_28	$^{9}/_{32}$	0.2813
INSAMP_OUTGAIN_1_00	$1\,^{6}/_{16}$	1.0000	INSAMP_OUTGAIN_0_25	$^{8}/_{32}$	0.2500
INSAMP_OUTGAIN_0_97	$^{31}/_{32}$	0.9688	INSAMP_OUTGAIN_0_22	$^{7}/_{32}$	0.2188
INSAMP_OUTGAIN_0_94	$^{30}/_{32}$	0.9375	INSAMP_OUTGAIN_0_19	$^{6}/_{32}$	0.1875
INSAMP_OUTGAIN_0_91	$^{29}/_{32}$	0.9063	INSAMP_OUTGAIN_0_16	$^{5}/_{32}$	0.1563
INSAMP_OUTGAIN_0_88	$^{28}/_{32}$	0.8750	INSAMP_OUTGAIN_0_13	$^{4}/_{32}$	0.1250
INSAMP_OUTGAIN_0_84	$^{27}/_{32}$	0.8438	INSAMP_OUTGAIN_0_09	$^{3}/_{32}$	0.0938
INSAMP_OUTGAIN_0_81	$^{26}/_{32}$	0.8125	INSAMP_OUTGAIN_0_06	$^{2}/_{32}$	0.0625
INSAMP_OUTGAIN_0_78	$^{25}/_{32}$	0.7813	INSAMP_OUTGAIN_0_03	$^{1}/_{32}$	0.0313
INSAMP_OUTGAIN_0_75	$^{24}/_{32}$	0.7500			

:

なし

副次作用 :

A および X レジスタがこの機能により変更される場合があります。

INSAMP_Stop

説明 :

ユーザー モジュールの電源を OFF に遮断します。出力は駆動されません。

C プロトタイプ :

```
void  INSAMP_Stop(void)
```

アセンブラ :

```
lcall  INSAMP_Stop
```

パラメータ :

なし

:

なし

副次作用 :

A および X レジスタがこの機能により変更される場合があります。

参考ファームウェア ソース コード

計測用アンプ API の使用が前提です。構成時にゲインが確立される場合には、INSAMP_Start 関数の呼び出しのみが必要です。動的な再構成が使用される場合には、INSAMP_Start を INSAMP が配置される “ オーバーレイ ” を生成する LoadConfiguration 関数に対する呼び出しごとに使用する必要があります。

例 1: オペアンプ 2 個トポロジー

以下の C 言語コードに、SetGain 関数がランタイムに 3.2 のゲインを確立します。後で、INSAMP が必要とされない場合には、示されるように消費電力節約のために停止される場合もあります。

```
INSAMP_Start(INSAMP_HIGHPOWER);
INSAMP_SetGain(INSAMP_G3_20);
...
INSAMP_Stop();
```

アセンブリ言語での等価なコードの例 :

```
mov   A, INSAMP_HIGHPOWER
call  INSAMP_Start
mov   A, INSAMP_G3_20
call  INSAMP_SetGain
...
call  INSAMP_Stop
```

例 2: オペアンプ 3 個トポロジー

この C 言語の例では、Set2StageGain 関数がランタイムに 5 (4 の 1.25 倍) のゲインを確立します。再度、後で INSAMP が必要でない場合には、以前の例と同様に停止させることができます。

```
INSAMP_Start(INSAMP_HIGHPOWER);
INSAMP_Set2StageGain(INSAMP_INGAIN_4, INSAMP_OUTGAIN_1_25);
...
INSAMP_Stop();
```

アセンブリ言語での等価なコードの例 :

```
mov   A, INSAMP_HIGHPOWER
call  INSAMP_Start
mov   A, INSAMP_INGAIN_4
mov   X, INSAMP_OUTGAIN_1_25
call  INSAMP_Set2StageGain
...
call  INSAMP_Stop
```

構成レジスタ

オペアンプ 2 個トポロジー

Table 13. NON_INV PSoC ブロック レジスタ

レジスタ / ビット	7	6	5	4	3	2	1	0
CR0	ゲイン				1	1	0	0
CR1	ABus	0	1	0	0	0	0	1
CR2	0	0	1	0	0	0	出力	

Table 14. NON_INV PSoC ブロック レジスタ

レジスタ / ビット	7	6	5	4	3	2	1	0
CR0	ゲイン				1	1	0	0
CR1	ABus	0	1	0	0	0	0	1
CR2	0	0	1	0	0	0	出力	
CR3	0	0	0	0	0	0	0	0

ゲイン は、選択ごとのゲイン値を設定します。この値は、INV ブロック中のゲイン ビットフィールドの反転値を表します。

ABus は、COMP PSoC ブロックがアナログ バスを駆動するかどうかを決定します。このビットフィールドの値は、デバイス エディタ サブシステムの 「インターコネクト表示」内で行われた選択により決定されます。

電源 は、デバイスのリセットおよび構成に続いて ‘OFF’ へ遮断されます。それは API 内の Start、SetPower、および Stop エントリ ポイントを呼び出すことによって変更されます。

Table 15. INV PSoC ブロック レジスタ

レジスタ / ビット	7	6	5	4	3	2	1	0
CR0	ゲイン				0	1	リファレンス	
CR1	0	0	1	0	0	0	0	1
CR2	0	0	1	0	0	0	出力	

Table 16. INV PSoC ブロック レジスタ

レジスタ / ビット	7	6	5	4	3	2	1	0
CR0	ゲイン				0	1	リファレンス	
CR1	0	0	1	0	0	0	0	1
CR2	0	0	1	0	0	0	出力	
CR3	0	0	0	0	0	0	0	0

ゲイン は、選択ごとのゲイン値を設定します。この値は、NON_INV ブロック中のゲイン ビットフィールドの反転値を表します。

リファレンス は、ゲイン用のリファレンス点 (有効な “ グラウンド ”) を設定します。

電源 は、デバイスのリセットおよび構成に続いて ‘OFF’ へ遮断されます。それは API 内の Start、SetPower、および Stop エントリ ポイントを呼び出すことによって変更されます。

オペアンプ 3 個トポロジー

Table 17. NON_INV PSoC ブロック レジスタ

レジスタ / ビット	7	6	5	4	3	2	1	0
CR0	DifferentialGain				1	1	0	0
CR1	0	0	1	0	0	0	0	1
CR2	0	0	1	0	0	0	出力	
CR3	0	0	0	0	0	CMO	1	ExGain

DifferentialGain は、DifferentialGain パラメータ、または API 関数 INSAMP_Set2StageGain. によるランタイムで構成時に確立されるゲイン設定を反映し、この値は常に以下の INV ブロック内の DifferentialGain 設定と一致しています。

電源 は、デバイスのリセットおよび構成に続いて ‘OFF’ へ遮断されます。それは API 内の Start、SetPower、および Stop エントリ ポイントを呼び出すことによって変更されます。

CMO は、CommonModeOut パラメータの値によって構成時に決定されます。

ExGain は、DifferentialGain パラメータの値によって構成時に決定されます。

Table 18. INV PSoC ブロック レジスタ

レジスタ / ビット	7	6	5	4	3	2	1	0
CR0	DifferentialGain				0	1	0	0
CR1	0	0	1	0	0	0	0	1
CR2	0	0	1	0	0	0	出力	
CR3	0	0	0	0	0	CMO	1	ExGain

DifferentialGain は、DifferentialGain パラメータによる構成時、または API 関数、INSAMP_Set2StageGain. によるランタイムで確立されるゲイン設定を反映しており、この値は常に上記の NON_INV ブロック内の DifferentialGain 設定と一致しています。

電源 は、デバイスのリセットおよび構成に続いて ‘OFF’ へ遮断されます。それは API 内の Start、SetPower、および Stop エントリ ポイントを呼び出すことによって変更されます。

CMO は、CommonModeOut パラメータの値によって構成時に決定されます。

ExGain は、DifferentialGain パラメータの値によって構成時に決定されます。

Table 19. 変換 PSoC ブロック レジスタ

レジスタ / ビット	7	6	5	4	3	2	1	0
CR0	FCap	0	0	ConversionGain				
CR1	NIConnect			ConversionGain				
CR2	ABus	0	1	0	0	0	0	0
CR3 [1]	0	0	1	1	InvConnect		電源	
CR3 [2]	0	0	1	1	1	InvConnect	電源	

この形式は、変換ブロックがスイッチド キャパシタ SCC PSoC ブロック上にマップされる時に適用されます。この形式は、変換ブロックがスイッチド キャパシタ SCD PSoC ブロック上にマップされる時に適用されます。

FCap は、フィードバック キャパシタの値を反映します。この値は、ConversionGain パラメータによる構成時、または API 関数、INSAMP_Set2StageGain. によるランタイムで決定されます。

ConversionGain は、ConversionGain パラメータによる構成時、または API 関数、INSAMP_Set2StageGain. によるランタイムで確立されるゲイン設定を反映しており、CR0 および CR1 レジスタ内の値は常に一致しています。

NIConnect および **InvConnect** は、ユーザー モジュールの配置位置。これらは、CONVERT ブロックの入力に対する INV および NON_INV PSoC ブロックの出力からの接続を確立します。

ABus は、AnalogBus パラメータの構成時設定を反映します。

電源 は、デバイスのリセットおよび構成に続いて ‘OFF’ へ遮断されます。それは API 内の Start、SetPower、および Stop エントリ ポイントを呼び出すことによって変更されます。

Copyright © 2002-2010 Cypress Semiconductor Corporation. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™ and Programmable System-on-Chip™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

Any Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.