

ホワイトペーパー

インフィニオンのSiCパワー半導体の信頼性管理および証明について

Edition: v1.2
Date: 2/2024

www.infineon.com/jp

目次

1 はじめに 3

2 SiCパワー デバイスにはSiパワー デバイスとは異なる追加的な信頼性試験が必要になる理由 4

3 産業用SiC MOSFETのゲート酸化膜信頼性 - FIT率と寿命 5

3.1 SiC MOSFETのゲート酸化膜信頼性の紹介 5

3.2 SiC MOSFETゲート酸化膜の信頼性スクリーニングの基礎 5

3.3 ゲート酸化膜信頼性評価のためのストレステスト 6

3.3.1 マラソン ストレステスト 7

3.3.2 ゲート電圧ステップ ストレス テスト 8

3.4 結論 9

4 産業用SiC MOSFETのゲート酸化膜信頼性 - バイアス温度不安定性 (BTI) 10

4.1 一定のゲートバイアス条件下におけるSiC MOSFET のパラメーター変動 (DC BTI) 10

4.1.1 DC BTIの紹介 10

4.1.2 SiCパワー デバイスのDC BTI測定 10

4.1.3 SiCとSiパワーMOSFETのDC BTIの比較 12

4.2 実際のアプリケーションでのゲート駆動条件下におけるSiC MOSFETのパラメーター変動 (AC BTI) 14

4.2.1 イントロダクション 14

4.2.2 AC BTIモデリング 15

4.2.3 AC BTIの基本特性 15

5 SiCの宇宙線耐性 20

6 CoolSiC™ MOSFETの短絡耐量 23

7 SiCボディダイオードのバイポーラ (Vf) 劣化 25

7.1 メカニズム 25

7.2 アプリケーションにおける効果 25

7.3 CoolSiC™ MOSFET - 薄型化戦略 26

8 製品レベルでの適格性確認 27

8.1 実世界のミッション プロファイルに従った現在の標準を超えるテスト 27

8.2 AC-HTC試験手順 29

8.3 パワー サイクル秒数 30

8.4 長期のアプリケーション テスト 31

9 車載用規格: 基準を超えるアプローチ 32

9.1 車載SiCの顧客のためのより広い信頼性 33

9.2 車載部品向けの妥協のない耐湿性 34

10 SiCデバイスの信頼性と認定に関する業界標準 36

1　はじめに

インフィニオンのCoolSiC™ トレンチ型パワーMOSFETは、電力変換スイッチング デバイスの性能指数 (Figure Of Merit) 値を劇的に改善し、卓越したシステム性能を実現します。これにより、多くのアプリケーションにおいて、より高い効率および電力密度、そしてシステム　コストの削減が可能です。またこの技術より、新しいアプリケーションやトポロジーの実現も考えられるようになります。

ただし、すべての新技術がそうであるように、徹底的な技術開発と製品認定のための手順を踏むことが不可欠です。このようにして初めて、電力変換システムの寿命と品質要件を達成できるように設計することができるのです。縦型デバイス構造、SiO_2 のような固有の酸化膜、もしくは大半の処理工程など、シリコンとの類似点もありますが、材料特性そのものやSiCを用いた新しいパワー　デバイスの動作モードに関連する重要な相違点が、依然として存在します。これらの違いは大きく、最終的なアプリケーションでの動作や、必要とされる開発および信頼性認定プロセスへの影響を慎重に考慮する必要があります。

このホワイトペーパーでは、インフィニオンがCoolSiC™ 技術および製品認定を成功に導くために歩んできたリリースまでの主なプロセス　ステップについて説明します。主要な故障メカニズムについて、そしてそれがさまざまなアプリケーションにおける安全で信頼性の高い動作を保証する手段であることをご説明します。

このアプローチを通して、お客様が遭遇する可能性のある多くのリスクが回避され、信頼性の高いインフィニオンのCoolSiC™ 技術を使用するための安全な選択肢が提供されます。本ホワイトペーパーはまた、SiC関連の信頼性をより深く理解しようとする技術者にとっても、入門書的な価値があります。

2　SiCパワー デバイスにはSiパワー デバイスとは異なる追加的な信頼性試験が必要になる理由

SiCをパワー　デバイス材料として採用する成功要因のひとつは、よく知られたデバイス　コンセプトや加工技術の多くをSiパワー　デバイスから採用できることです。その中には、縦型ショットキー　ダイオードや縦型パワーMOSFET（代替構造としてJFETやBJTなどの回り道を経由してきましたが）　のような基本的なデバイス設計があります。つまり、Siデバイスの長期安定性を検証するために使用されるプロセスの多くを、SiCに移行することができます。しかし、より詳細な分析により、SiCパワーデバイスは、Siパワーデバイスと比較して、異なるいくつかの追加の信頼性試験が必要であることがわかりました。関連性が判明した主な項目は以下の通りです:

- 材料そのものがもつ特定の欠陥構造、異方性、機械的特性、熱的特性など
- バンドギャップの拡大とMOS構造における界面欠陥密度および動特性への影響
- デバイス内部および終端部などの外部インターフェース (新しいエッジ終端設計を含む) での動作において、最大で約10倍の電界が発生し、酸化膜の寿命に影響を与える
- 高電圧動作 (V_{DS} > 1000 V) と高速スイッチング (> 50 V/ns) を組み合わせた新しい動作モード

記載した項目は、Siパワー デバイスで確立されたほぼすべての認証試験に影響を及ぼす可能性があります。たとえばパワーサイクルの二次試験は、異なる機械的特性により、異なる結果をもたらします。Siパワー　デバイスとは対照的に、SiCの酸化膜信頼性試験のセットアップは、ブロッキング　モードでの安定性もカバーしなければなりません。さらに、加速試験を規定している多くの既存の認証規格では、試験データを外挿し、それを実際の条件に相関させるためにモデルが使用されています。これらのモデルのパラメーターについても、SiCへの適用とその正確性を検証する必要があります。

インフィニオンは、SiCパワー　デバイスの開発と製造において、過去25年間にわたり、これらすべての項目を徹底的に分析してきました。Siパワー デバイスでは見られないさまざまな動作モードに対応するために新しいテストが開発され、また、SiC特有の要件を考慮に入れるため、他の試験項目についても修正を加えました。ここで、特性評価および検証スキームの重要な部分は、ミッション　プロファイルに基づくストレス解析に基づいていることを強調しておきます。この解析はSiCデバイスの重要な動作条件を評価し、新たな潜在的故障メカニズムを理解するために行われました。

詳細は次の章で説明します。

3　産業用SiC MOSFETのゲート酸化膜信頼性 - FIT率と寿命

3.1　SiC MOSFETのゲート酸化膜信頼性の紹介

初期のゲート酸化膜不良の多発は、長年にわたってSiC MOSFETの商業化を阻み、SiC MOSFETがSiデバイスと同等の信頼性を持つかどうか懐疑的な見方を引き起こしてきました。ここ10年間で、SiC技術はかなり成熟し、SiC MOSFETのゲート酸化膜の信頼性は徐々に向上してきました。このことにより、市場への投入に成功の扉が開かれました。

ゲート酸化膜の信頼性の分野では、Si技術から再利用できるノウハウが数多くあります。たとえば、SiC上のSiO_2の物理的破壊強度は、Si上のSiO_2と同一ではないにせよ、類似していることが示されています [1]。これは、SiCデバイス上のSiO_2の全体的な絶縁破壊の安定性が、Siデバイス上のSiO_2と同等であることを意味します。SiC MOSFETのゲート酸化膜の信頼性がSi MOSFETに比べて低いのは、「外因性」欠陥によるものです。本質的な欠陥とは、ゲート酸化膜の微小な歪みのことで、局所的な酸化膜の薄膜化として作用します (図1参照)。

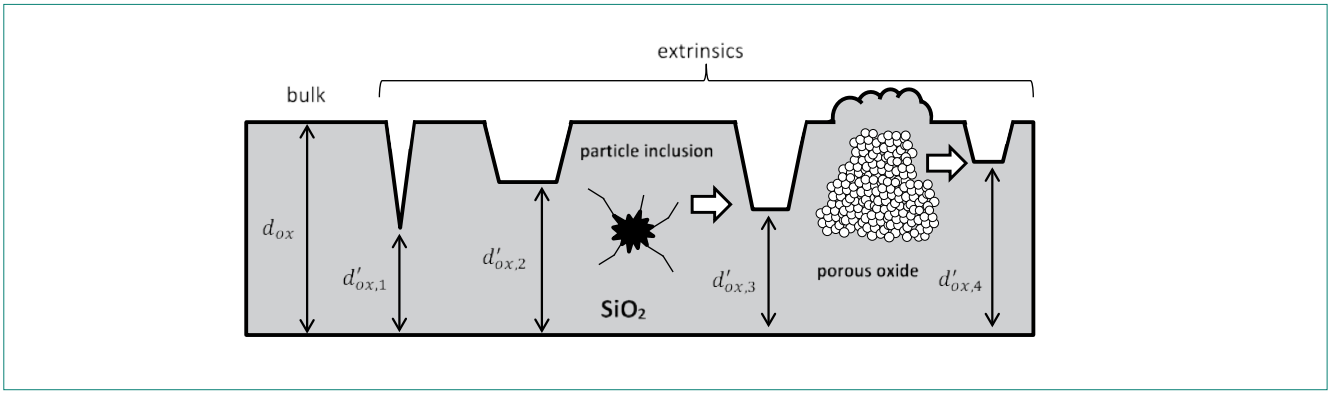

図1: SiO_2中の外部欠陥の模式図。外部欠陥は、たとえば、EPI/基板欠陥の上に歪んだ酸化物が存在することによる物理的な酸化膜の薄膜化、または金属不純物、粒子、空隙の介在による誘電体強度の低下によって引き起こされる電気的な酸化膜の薄膜化 [2]。

このような歪みは、EPIや基板欠陥 [3]、金属不純物、粒子、あるいはデバイス製造時に組み込まれたゲート酸化膜中のその他の外因的介在物に由来する可能性があります。

3.2　SiC MOSFETゲート酸化膜の信頼性スクリーニングの基礎

SiC上に作製されたゲート酸化膜は、外部欠陥の数が多いため、プロセス終了時の初期不良確率が非常に高くなります (図2参照)。

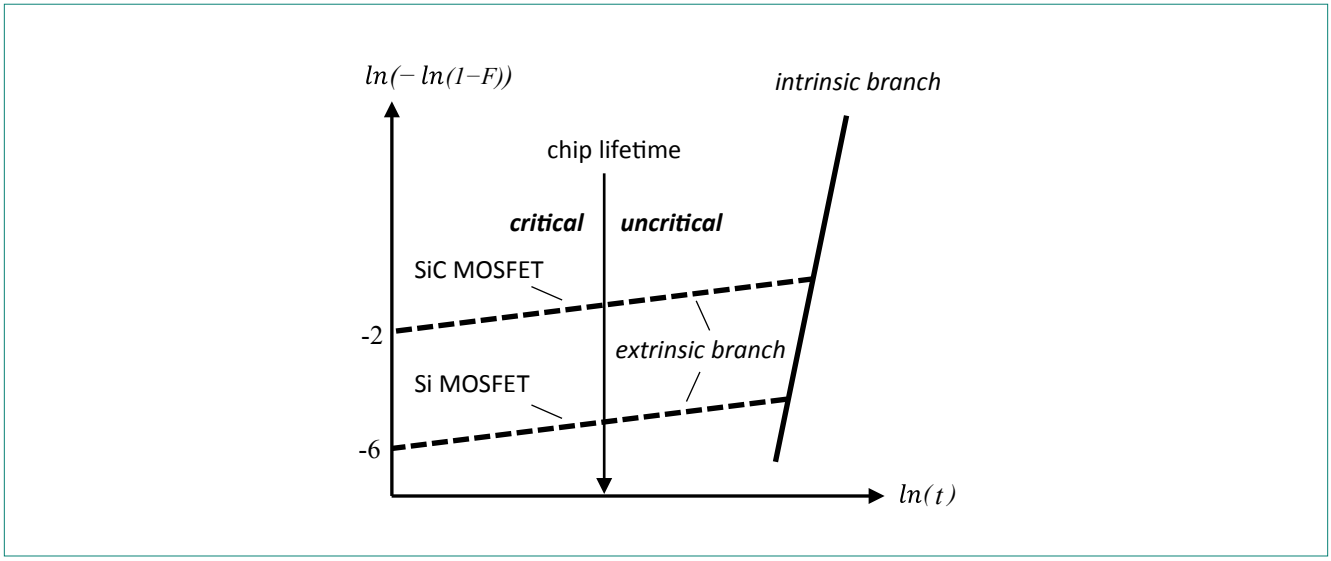

図2: 同じ酸化膜厚と面積を持つSiC MOSFETとSi MOSFETの外部ワイブル分布と内部ワイブル分布の模式図。Fは累積故障確率、tは時間を表す。電気的欠陥密度が高いため、SiC MOSFETはゲート酸化膜内で3～4桁高い外部欠陥密度を示す。チップ寿命は、通常の使用条件下でデバイスがアプリケーションの中で存続しなければならない時間。

SiC MOSFETの信頼性をSi と同等にするためには、ゲート酸化膜の欠陥密度を加工処理中に最小化する必要があります。さらに、たとえば電気特性のエンドテストおいて、潜在的に弱いデバイスを特定し、排除するための革新的なスクリーニング技術を開発しなければなりません。エンドテストにおける弱いデバイスのスクリーニングは、通常、各デバイスに振幅と時間を規定した高ゲート電圧ストレスパルスを与えることで測定します [4] [5]。ストレスパルスは、致命的な外部欠陥のあるデバイスを特定する一方で、外部欠陥のないデバイスや、致命的でない外部欠陥のみを持つデバイスが残るように設計されています。生き残り、スクリーニングされた集団は、ゲート酸化膜の信頼性が著しく向上しています [2]。

高速で効率的なゲート電圧スクリーニングを可能にするのは、本来の寿命目標を達成するために通常必要とされるよりもはるかに厚いバルク酸化膜です。バルク酸化膜を厚くすることで、スクリーニング テストに合格している非欠陥デバイスを劣化させることなく、一般的なデバイスの使用電圧よりもはるかに高いスクリーニング電圧を使用することができます。使用電圧に対する遮蔽電圧の比率が高いほど、電気的遮蔽の効率は高くなります [6]。最終試験で不良品を排除することで、顧客にとっての潜在的な信頼性の問題が、デバイスメーカーにとっての軽微な歩留まり損失に変わります。インフィニオンのスクリーニング テストに合格したSiC MOSFETは、Si MOSFETやIGBTと同レベルの優れたゲート酸化膜信頼性を示します [7]。

バルク酸化膜が厚くなることの欠点は、MOSチャネル抵抗がわずかに高くなることです。MOSチャネル抵抗はゲート酸化膜厚に正比例し、特にドリフト抵抗が比較的小さい低電圧クラスのデバイスでは、全オン抵抗の大部分を占めることがあります。結局のところ、SiC MOSFETの高い遮蔽効率、ひいては優れたゲート酸化膜信頼性は、無償で手に入るというわけではなく、オン抵抗がわずかに増加するという代償を伴います。このような信頼性と性能の間の設計上のトレードオフは避けられませんが、オン抵抗とゲート酸化膜の信頼性がバルク酸化膜厚とは異なる依存性を示すという事実を利用することができます。

ゲート酸化膜の信頼性は、酸化膜厚によって指数関数的に向上しますが、オン抵抗の増加は直線的です。ドリフト領域の抵抗がより顕著になる高温では、性能上のペナルティは相対的にみるとさらに小さな数値になります。要約すると、バルク酸化膜を厚くすることで性能を少し犠牲にするだけで、信頼性は大幅に向上するということです。インフィニオンは当初から、トレンチ型MOSFET技術を採用することを決めていました。トレンチ型デバイスは、プレーナー型デバイスに比べて、MOSFETのオン状態にゲート酸化膜に印加される電界が低い場合、厚い酸化膜のペナルティとしてチャネル伝導率が著しく高くなるからです。

高いスクリーニング電圧と室温でのゲート電圧スクリーニングに代わるあまり魅力的でない方法として、古典的なバーンイン試験があります。バーンイン試験中、デバイスは通常、やや低いゲート電圧と高温で、より長い時間ストレスを受けます。このアプローチにはいくつか欠点があります。バーンイン試験は時間とコストがかかる上、高バイアス、高温下での長期にわたるゲートストレスにより、閾値電圧とオン抵抗の深刻なドリフトを引き起こす可能性があります。これは、バイアス温度の不安定性を引き起こすことが知られています [8]。

3.3 ゲート酸化膜信頼性評価のためのストレステスト

通常のデバイス動作条件下での故障確率について信頼性の高い予測を行うためには、デバイス故障の初期破壊領域を探るストレステストの実施が必須です [9]。通常、少数のサンプルに対してのみ実施される経時絶縁破壊 (TDDB) 試験のような、酸化膜の磨耗領域を探索することを目的としたストレス試験は、典型的なチップ寿命内の通常のデバイス動作 (電圧、温度) 中に発生する可能性のある故障を研究するには適切ではありません。この問題を克服するために、インフィニオンは、スクリーニングおよび、それによるすべてのデバイスのゲート酸化膜の信頼性を検証するために、2つの異なるストレステストアプローチを開発しました。

3.3.1 マラソン ストレステスト

外部故障を検証する一般的なアプローチは、デバイスに現実のアプリケーション条件にできるだけ近いストレスを与え、同時に多数のサンプルをテストすることです。特に電気的スクリーニングの後では、外因性障害は通常まれであるため、多くのサンプル数が必要です。この目的のために、私たちは「マラソン ストレステスト」 [2] と呼ぶ新しい種類のテスト手順を開発しました。このテストでは、数千個のデバイスが、動作条件に近く、一般的なバーンイン条件に匹敵するパラメーター範囲で並列にストレスを与えられます。しかし、バーンイン試験とは逆に、外因性故障を発見する確率を高めるために、かなり長いストレス時間 (100日) を要します。マラソン ストレステストに必要な大量のサンプルを管理するために、私たちは1つのパッケージに複数のデバイスを入れたり、1つのストレス ボードに多数のパッケージを入れたり、あるいは、1つの炉に複数のストレス ボードを入れたりする特別なテスト セットアップを開発しました。複数の炉を並列に稼働させることも可能です。

ケーススタディとして、異なる外部欠陥密度を持つ電気的にスクリーニングされたデバイスの3つのサンプル グループに対して、3回の独立したマラソンテストを実施しました。この3つのグループは、デバイス開発段階での進捗状況とほぼ一致していて、すなわち、グループ1は酸化膜プロセス開発の初期段階に相当し、グループ3は製品リリース直前の技術状況を表しています。実験の目的は、洗浄、加工、電気スクリーニングにおけるさまざまな改良の効率をモニターし、定量化することでした。150 °Cで100日以内に、最良のグループ (グループ3) は、1,000個のデバイスのうち、V_{GS} = +30 Vでわずか1個、V_{GS}= +25 VとV_{GS} = -15 Vで0個の故障を示しました。

図3に、マラソン ストレステストにおける故障をにワイブル分布として示します。動作条件での対応するワイブル分布を得るために、線形Eモデル [9] [10] を使用して、V_{GS} = +30 Vでの故障までの時間をV_{GS} = +18 Vでの故障までの時間に変換しました。図3の右上にその変換結果を示します。30 Vマラソンテストで観察されたすべての故障は、定格ゲート電圧18 Vで想定される製品寿命20年をはるかに超えてから発生していることをご確認ください。寿命期間中の故障確率は、測定データを、たとえば20年という想定される最大運転時間まで外挿することによって推測することができます。

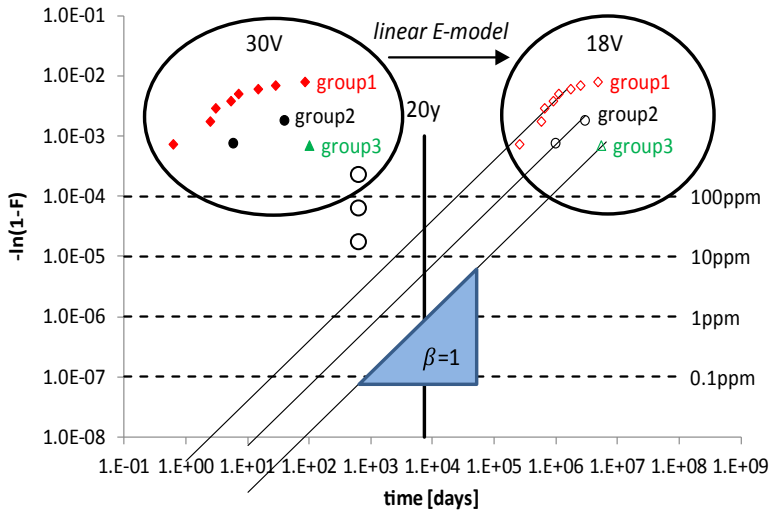

図3: 外在欠陥密度が異なる3種類のSiCトレンチMOSFETサンプル群のマラソンテストにおける故障確率のワイブル分布図。V_{GS} = 30 Vのオーバーストレスで得られたマラソンテストの結果は、線形Eモデルを用いてV_{GS} = 18 Vのゲート使用電圧に変換。FとtについてはFigure 2の説明を参照。

外挿値として、ワイブル勾配パラメーターをβ = 1と仮定しました。これは故障率解析のための最先端のアプローチであり、スクリーニングを実施して外因性欠陥を除去した後、結果として得られる母集団の故障確率は、内在性故障に対してワイブル勾配 1に従います [2] [6]。マラソンテスト ケーススタディの最終結果を要約すると、18 V、150 °Cで20年間運転した場合の故障確率は、3つのグループのうち2つが1桁台のppmでした。この値は、確立されたSi技術に匹敵するものです。

マラソン ストレステストは、通常のデバイス動作におけるSiC MOSFETデバイスの寿命故障確率を推定するための非常に強力な技法です。しかし、このテストは大きなサンプル数および、非常に優れた方法で補正する必要があります。ゲートストレスレベルは、被試験デバイスの内部破壊限界よりはるかに低い値を選ばなければなりませんが、それでも、計画された試験期間内に数個の外部故障を誘発するには十分に過酷です。適切なストレス条件の定義には、広範な予備調査や被試験機器に関するかなりの知識が必要です。このような理由と、パラレリングに必要な特別なテスト セットアップの必要から、マラソン ストレス テストは主にデバイス メーカーが自社工場で製造したSiC MOSFETの信頼性を定量化するために有用です。異なるメーカーのゲート酸化膜の信頼性をより定性的に比較するには、「ゲート電圧ステップ ストレステスト」のような寿命ストレステストがより便利です [6] [11]。

3.3.2 ゲート電圧ステップ ストレス テスト

この試験では、たとえば100個ほどのより少数のSiC MOSFETデバイス個を、ゲート負荷バイアスを段階的に増加させながら、たとえば24時間または168時間のように定義されたストレス時間 (t_{str})および、最大許容ジャンクション温度 ($T_{j,max}$)で試験します（図4参照）。負荷レベルが段階的に上昇するごとに、デバイスはゲートソース間のリーク電流レベルがチェックされます。不合格のデバイスはカウントされ、分布から削除されます。最初のストレス ステップでは、デバイスは推奨ゲート使用電圧 ($V_{GS,rec}$)、たとえば+15 Vのバイアス電圧が印加されます。2回目のストレス ステップは、1回目のストレス ステップと同じ方法で実行されますが、最大許容ゲート電圧 ($V_{GS,max}$) で実行されます。このステップ以降、すべてのデバイスが故障 ($V_{GS,EOL}$)するまで、各ストレスステップの後にゲート電圧を、たとえば+2 Vずつ上昇させながら、試験を継続します。試験終了時に、ワイブル統計を使って時間と故障デバイス数を分析します。例として、図5に4つの異なるSiC MOSFETサプライヤーのデバイスで実施したストレステストの示します。このプロットは、M4だけが、20年の運転期間を想定した適切な故障率を示すカーブなのに対して、他の部品 (主にM1) は、比較的低い電界で著しく高い数の外部故障を示していることがわかります。

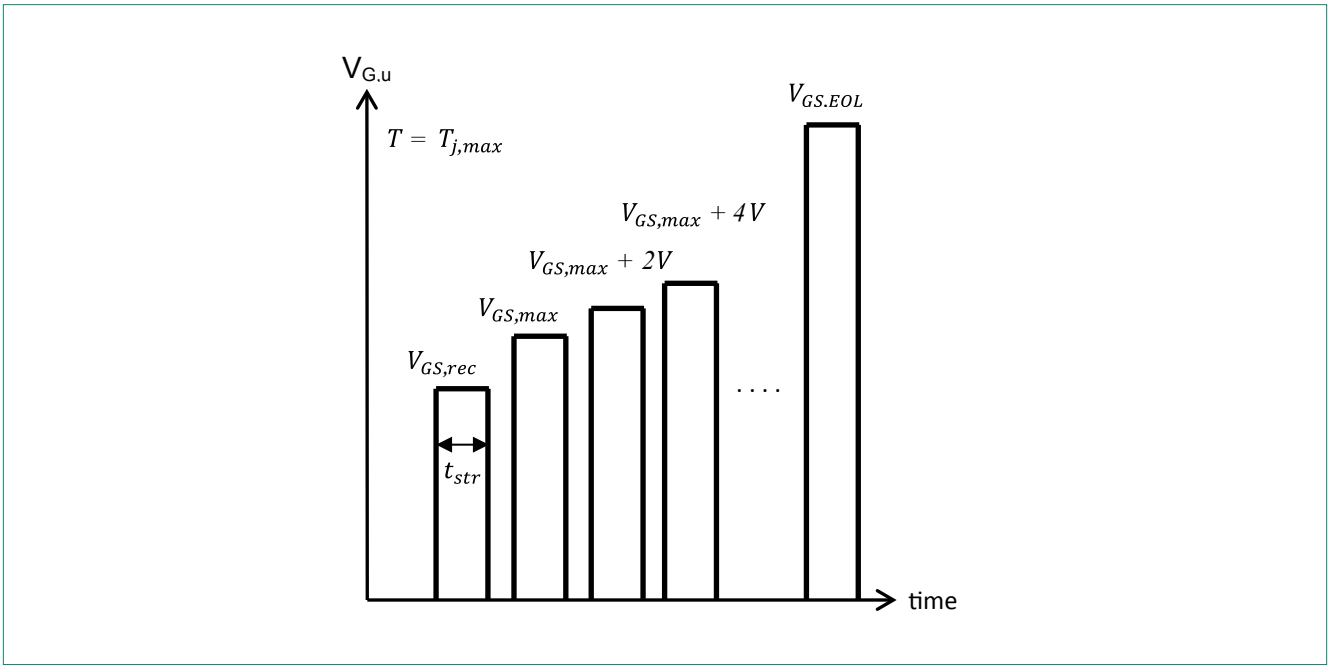

図4: ゲート電圧ステップ ストレステスト。各ストレス シーケンスの前後に、各チップのゲート インテグリティがゲート ソース リークテストによってチェックされる。この手順は製品寿命テスト。

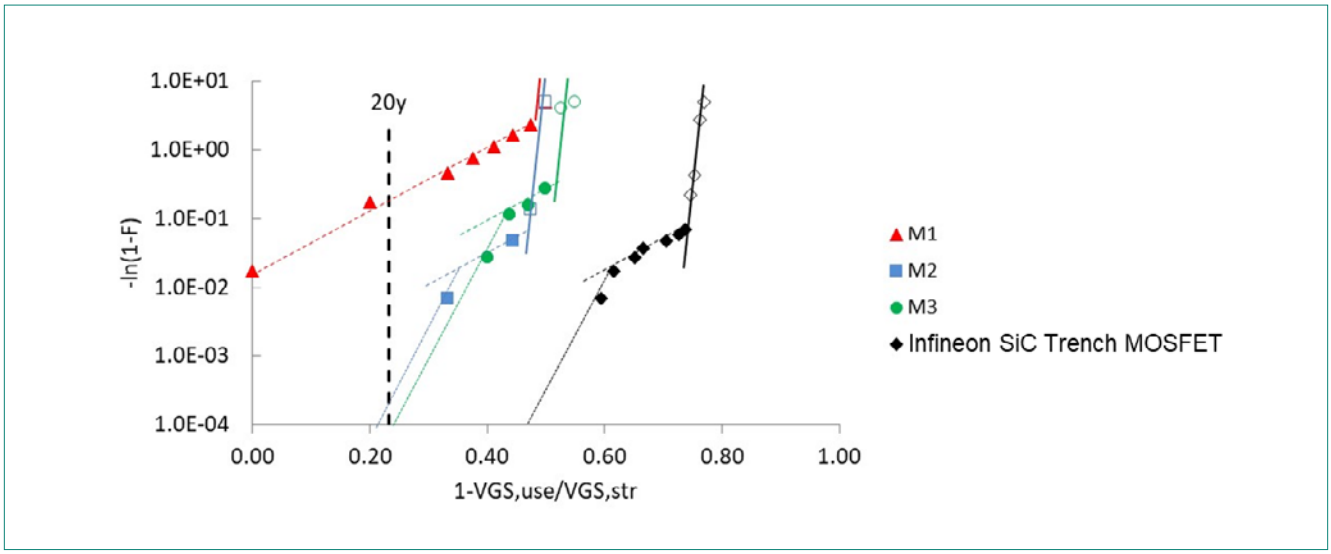

図5: プレーナー型のM1、M3部品と比較して厚いゲート酸化膜を使用したインフィニオンのトレンチ型デバイスを含む、デバイス メーカー4社の市販のSiC MOSFETデバイス100個のゲート電圧ステップ ストレステストにおける故障のワイブル分布。塗りつぶし無しの記号は内部で故障するデバイスを意味し、塗りつぶした記号は外因的に故障するデバイスを意味する。破線は外部分岐、直線は内部分岐を示す。

3.4 結論

SiC MOSFETのゲート酸化膜信頼性は大幅に向上しました。しかし、SiC材料の欠陥密度が大きいため、「Si標準」、すなわち1桁のppm率に進むことはまだ困難です。本章では、SiC MOSFETのゲート酸化膜の信頼性に関する基本的な側面を紹介し、ゲート電圧スクリーニングによる電界故障確率低減の概念について概説しました。産業用SiCトレンチMOSFETの典型的な動作条件下での最大電界故障確率を推定するために、多数のデバイスを用いて動作電圧に近い電圧でストレスを与えるマラソン ストレス テストを提案しました。テストの結果は、最適化されたデバイス処理と効率的な電気スクリーニングを用いれば、産業用SiC MOSFETのために優れたゲート酸化膜の信頼性 (Siデバイスに匹敵) を達成できることを示しています。

たとえば異なるメーカーの市販デバイスなど、ゲート酸化膜の特性が明らかでないいくつかのデバイスのゲート酸化膜の信頼性を比較するために、私たちはより汎用的な第二の寿命ストレステストを導入しました。この第2のテストは、マラソンストレステストのような予測力はありませんが、異なるメーカーのSiC MOSFETの信頼性比較を得るために有効です。

4　産業用SiC MOSFETのゲート酸化膜信頼性 - バイアス温度不安定性 (BTI)

通常のデバイス動作中、SiC MOSFETの閾値電圧は、ゲート酸化膜界面またはその近傍での点欠陥の発生や帯電により、わずかにドリフトすることがあります。閾値電圧のドリフトは、その量によってはデバイスの長期使用に大きな影響を与えます。閾値ドリフトは通常、より高い閾値電圧に増加していくため、印加される V_{GS_ON} が一定である限り、製品のオン抵抗は増加し続けてしまいます。したがって、損失が増加し、デバイスがより高温になり、寿命が低下する可能性があります。従って、閾値電圧の挙動を理解し、データシートのマージンや設計マージンにおける影響を考慮することが最も重要です。

この現象はSi技術でもよく知られており、バイアス温度不安定性 (BTI) と呼ばれています。SiCは、シリコン (Si) だけでなく炭素 (C) 原子も含むワイドバンドギャップ半導体であるため、SiC/SiO_2界面は、Si/SiO_2界面とは多少異なる特性を持っています。SiC/SiO_2界面には、より大きなバンド幅の範囲内にさまざまな種類の界面欠陥が存在するため、酸化膜形成後のプロセス (たとえば、ガスアニールを形成する代わりに硝酸酸化物) によって不動態化する必要があります。さらに、SiCのバンドギャップが広いため、半導体とSiO_2ゲート酸化膜間の電荷キャリアの交換が促進されます。当然ながら、これらの違いは、Si MOSFETと比較して、電気的特性やドリフト性に若干の変更を伴います。

SiC MOSFETの性能向上には多くの努力が費やされてきましたが、性能向上が必ずしもデバイスの信頼性向上と相関するとは限りません [12]。長期にわたって安定したデバイス特性を保証するためには、BTIのようなドリフト現象に細心の注意を払う必要があります。インフィニオンでは、クラス最高のデバイス性能を実現すると同時に、優れたデバイス信頼性を提供するよう努めています。そのため、根本的な影響を深く理解し、実際のアプリケーションにおけるBTIの影響を評価し、可能な限り抑制する対策を開発するために、集中的な研究が行われてきました。

4.1　一定のゲートバイアス条件下におけるSiC MOSFETのパラメーター変動 (DC BTI)

4.1.1　DC BTI の紹介

DC BTIは、SiCパワー デバイスだけでなく、シリコン (Si) 技術でもよく知られてており、観察される効果です。高温でSiまたはSiC MOSFETのゲートに一定のDCバイアスを印加すると、閾値電圧とオン抵抗のシフトが観察されることがあります。シフトの振幅と極性は、ストレス条件 (バイアス、時間、温度) に依存します。正ゲート バイアス ストレス (PBTI) の場合、一般に高い閾値電圧へのシフトが観察されるのに対し、負ゲート バイアス (NBTI) の場合は逆方向のシフトが起こります。この影響は、SiC/SiO_2またはSi/SiO_2間の界面または界面近傍でのキャリアのトラップに起因するもので、最適化されたデバイス処理によって最小限に抑えれています。SiC MOSFETのDC BTIをより理解し、予測するために、インフィニオンはSi技術との違いに重点を置いてこのテーマを深く研究しました。Si MOSFETにおいて、インフィニオンは過去にBTIに関する確かな見識を得ています。著名な大学のパートナーの協力の下、科学の進歩に大きく貢献してきました [13] [14] [15]。劣化物理学と電気測定技術に関して得たノウハウは、現在ではインフィニオンのSiCデバイスに応用しています [16] [17]。実際、材料特性が異なるにもかかわらず、SiとSiC技術にはDC BTIに関して多くの類似点が存在します [18]。しかし、アプリケーションに関連するパラメーターの変動を正しく測定、評価するためには、考慮しなければならない異なる点も存在します。

4.1.2　SiCパワー デバイスのDC BTI測定

DC BTIによって引き起こされる閾値電圧の変動は、高速で回復可能な成分と、準永久的な (回復が非常に遅い) 成分の2つから構成されます [19] [20]。準永久的な成分がデバイスの長期的なドリフトを決定するのに対し、高速な成分は短期的に回復します。

比較可能なドリフト値を得るために、JESD22 [21] やその拡張版であるAEC-Q101 [22] など、BTIドリフトの測定に関する産業規格が開発されています。これらの規格はSi技術に基づくものであり、以下に概説するようにSiC技術向けに改良する必要があります。

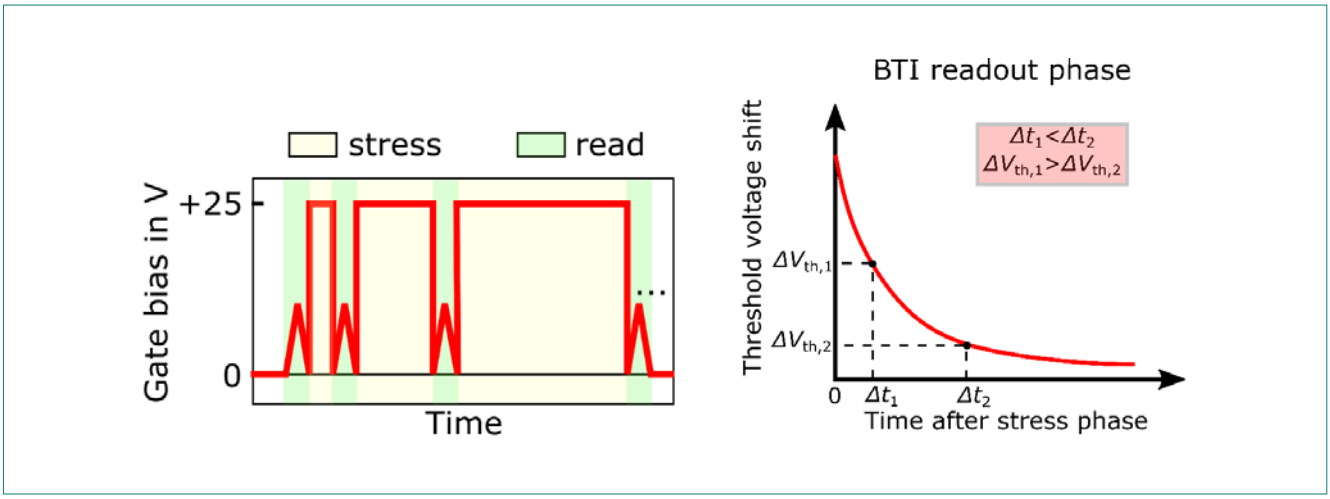

図6: PBTI (パルス BTI) ストレスを例にした典型的なDC BTI MSM (測定-ストレス-測定) シーケンス。左図には、時間経過に伴う測定信号。右図は、閾値電圧ドリフトの時間依存回復を示しており、読み出し遅延が閾値電圧シフトに与える影響を示す。読み出しタイミングのわずかな違いでも、抽出された閾値電圧のドリフトが大きく変動する可能性がある。

従来のDC BTIの測定方法は、ゲート バイアスと温度ストレスを繰り返し印加し、その後に読み出しを行うMSM (Measure-Stress-Measure) シーケンスです。この方法と適切な装置を用いれば、上記の両方のドリフト成分を測定することが可能です。しかし、得られる閾値電圧シフトは、読み出しタイミング、すなわちストレスと読み出しフェーズの間の遅延、およびデバイスのそれまでの状態に強く依存します [19] [23]。図6の右図からわかるように、閾値電圧ドリフトは、ストレス終了後、指数関数的に回復します。そのため、読み出しタイミングが1 msと100 msのようにわずかな違いでも、抽出された閾値電圧のドリフトに大きなばらつきが生じる可能性があります。その結果、この単純な手法では再現性が低く、完全に回復可能な高速成分 (ヒステリシス効果) と、アプリケーションにより関連する閾値電圧シフトの準永久的成分を区別するのは難しいと言えます。

このためインフィニオンは、図7に示すように、事前にパルス処理を施した修正BTI測定シーケンスの使用を提案しています。事前パルス処理を施したPBTIの例を用いると、読み出し段階は、蓄積パルス、固定電流レベルでの第1読み出し、反転パルス、第2読み出しから構成されます。フルシーケンスの後、つまり2回目の読み出しでは、主に準永久的なBTI成分が残り、これはほとんど回復しないか、非常に遅い回復を示します。つまり、事前パルス処理によって、測定の再現性が高まり、読み出し遅延やデバイス履歴の影響を受けにくくなり、ヒステリシス効果とドリフト効果を正しく区別できるようになります [19]。

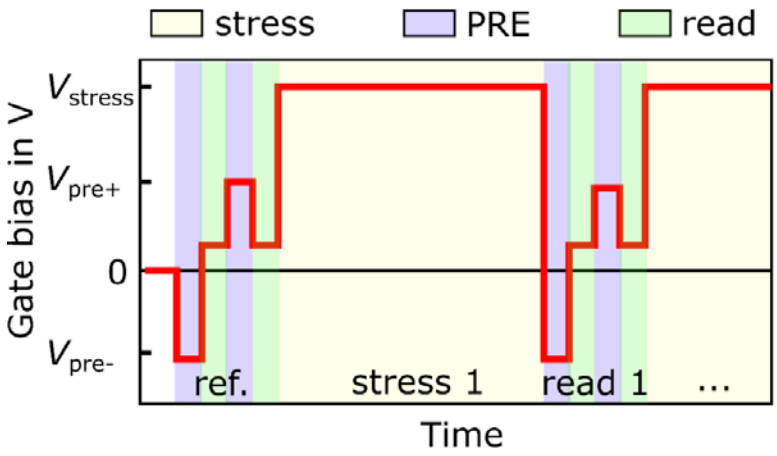

図7: 事前パルス処理PBTIの測定シーケンス。読み出し段階には、蓄積パルス、第1読み出し、蓄積パルス、第2読み出しがある。2回目の読み出しは、経時的に最も安定した再現性のある結果をもたらす。1回の読み出しフェーズにおける1回目と2回目の読み出しの差は、閾値電圧のヒステリシスを表す。経時的なのドリフトは、新たなインターフェースの状態の発生を示す指標。事前パルス処理は、アプリケーションのゲートのスイッチングを再現し、トラップ状態を定義された電荷状態にすることで、読み出し遅延やデバイス履歴の影響を低減。

4.1.3 SiCとSiパワーMOSFETのDC BTIの比較

古い文献では、しばしば SiC MOSFETの方が Siパワー デバイスよりも著しくドリフトが多いと報告されています (例 [24])。対照的に、我々は最先端のSi SJ MOSFETに匹敵するSiCパワーMOSFETの低いNBTIドリフト レベル (負のBTI) を実証しました (デバイスに著しい過負荷が印加された場合も含む)。この結果はデバイス処理の最適化によって達成されました。SiCについては、SiC/SiO_2界面工学によってBTIを改善、または劣化させる可能性を示すための、いくつかの異なるプロセスが示されています。

4.1.3.1 負バイアス温度不安定性 (NBTI)

インフィニオンは、-25 Vのストレス バイアスで200°Cにおける NBTIドリフトを調査しました (図 8)。いくつかのプロセス改善により、当社のSiC MOSFETのNBTIドリフトを1桁下げることができました。テスト実験の期間内で、複数のプロセスの中で最も生じたNBTIドリフト レベルは、Si MOSFETと同じ桁台でした。SiC MOSFETのドリフトの傾斜はさらに小さく、より長いストレス時間においてSi MOSFETよりもドリフトが少ないことを示しています。低いNBTIは、インフィニオンのSiC MOSFETの特徴です。

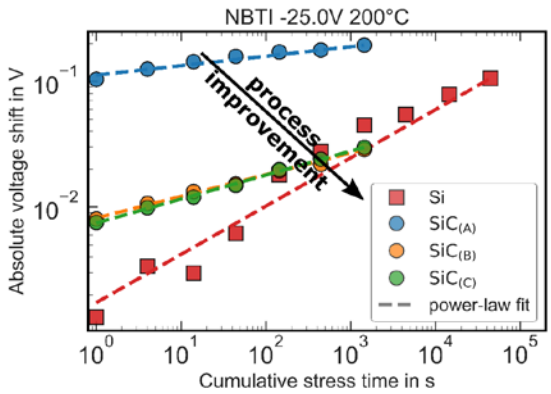

図8: -25 Vのストレス バイアスを用いた200 °CにおけるNBTIの時間変化。プロセスの改善により、当社のSiC MOSFETの総ドリフト値は、同等のSiパワーMOSFETと同レベルまで低減できる。

4.1.3.2　正バイアス温度不安定性 (PBTI)

またインフィニオンは、+25 Vのストレス バイアスで200 °CにおけるPBTIドリフトを調べました (図9)。SiとSiCのPBTIは、多くの類似点とわずかな相違点を示しています。

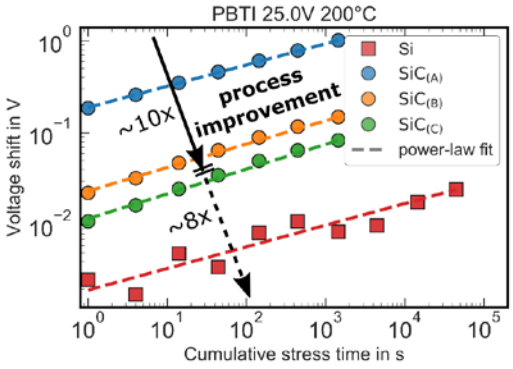

図9: 25 Vのストレス バイアスを用いた200 °CにおけるPBTIの時間変化。用いられる技術やデバイスの処理によって、同じ時間経過でも、異なるドリフト値の閾値電圧シフトが観察される。PBTIではSiC MOSFETの方が高いが、それでも100 mVの範囲内。

実際に、SiCパワーMOSFETとSiパワーMOSFETでは、同じ経時変化、電圧加速 (図10)、およびPBTIの同様の温度依存性が観察されました。

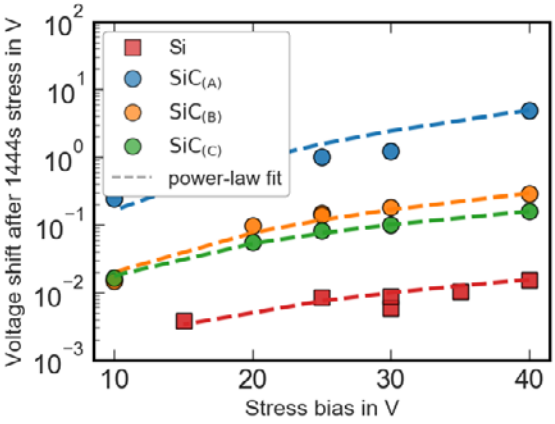

図10: 200 °CにおけるPBTIの電圧シフト。SiCとSi技術に関係なく、すべてのデバイスが同じ電圧加速を示すが、ドリフトの絶対値は異なる。

残りの違いは、閾値電圧シフトの絶対値のオフセットです。デバイスの処理を最適化することで、私たちは再び1桁のドリフト低減を達成し、その結果、テスト実験期間内で100 mV以内の範囲のドリフトレベルに到達しました。しかし、このテスト条件下で、最良のSiCデバイスでも基準Siサンプルの約8倍もドリフトしています。SiパワーMOSFETの場合、PBTIは通常、全く問題になりません。観測されたドリフトのオフセットは、SiCのバンド構造の違いによる当然の結果です。

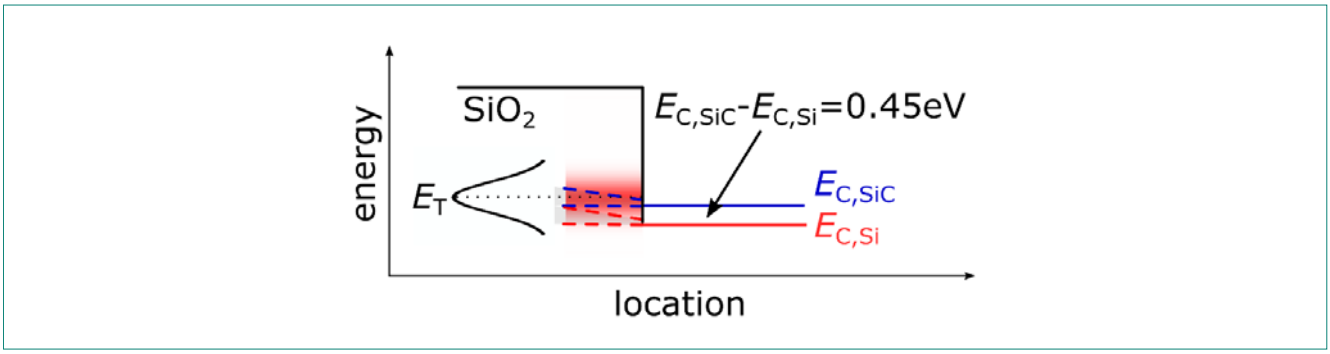

図11: SiC/SiO_2および Si/SiO_2界面のバンド図。どちらの技術でも、ゲート酸化膜には同じトラップ分布が存在する。SiCの伝導帯最小値が高いため、この固有トラップ準位はSiよりも少ない労力で埋めることができる。SiO_2のトラップ密度を同じと仮定しても、当然ながらSiCの方がPBTIドリフトは大きくなる。

図11は、SiCの伝導帯端に近いSiO_2内の既知の固有酸化膜トラップ準位を含む、SiC/SiO_2および Si/SiO_2界面のバンド図を示しています [20]。[18] に示すように、SiCでは伝導帯の最小値が高いため、このトラップ準位に電子がトラップされやすく、これがPBTIストレス後のSiCデバイスのドリフトが大きくなる主な理由です。

4.1.3.3 DC BTIドリフトのドリフト モデリング

DC BTIは、特にSi技術において広く研究されていますが、一般的に受け入れられている物理的ドリフト モデルは存在しません [17] [25]。しかし、経験的べき乗則 ([26] 参照) や、キャプチャ / エミッション タイムマップ (CETマップ、[27] 参照) などの経験的モデルを用いて、寿命末期のドリフトを予測することは可能です。インフィニオンの研究により、Si技術用に開発、検証された予測モデル（単純なべき乗則および単純な熱活性化モデル）と同じモデルが、我々のSiC MOSFETにも、大変都合よく適用できることが明らかになりました。したがって、SiC MOSFETのDC BTIドリフトは、Si技術と同様に予測可能です。

4.1.3.4 まとめ

SiCのDC BTIは、信頼性上の重大な懸念点となり得ます。したがって、最適化されたデバイス処理によって、これを最小限に抑え、適切な測定方法を用いて慎重に評価する必要があります。しかし、より良いデバイス性能 (より低いR_{ON} x A) をもたらす処理条件が、NBTIやPBTIに関して必ずしも最良のものであるとは限らないため、慎重なアプローチが必要です。インフィニオンのSiC MOSFETは、優れたデバイス性能を示すと同時に、最先端のSiパワーMOSFETに匹敵する非常に低いNBTIを示します。SiCデバイスのPBTIは、バンドギャップが大きいためSi技術に比べてやや高くなりますが、それでも100 mV以内の範囲です。SiCのPBTIが時間、温度、バイアスに対して同様の依存性を示すという観察結果は、Siと同じ物理特性を持っていることを示すものであり、Si技術と同じ予測能力を持つ同じモデリング アプローチの使用を可能にします。

4.2 実際のアプリケーションでのゲート駆動条件下におけるSiC MOSFETのパラメーター変動 (AC BTI)

4.2.1 イントロダクション

インフィニオンは長年にわたり、最終的なアプリケーションにおける安全動作のための信頼のできる限界値を定義するために、標準化された認定手順を超えるアプリケーション関連試験を実施してきました [16] [19]。実際のアプリケーションの動作条件下での閾値電圧およびオン抵抗のドリフトは、「SiC特有」 の研究の焦点の1つです。高周波のバイポーラ ゲート スイッチング条件、および高温下でSiC MOSFETにストレスをかける試験を「ACバイアス温度不安定性 (BTI) 試験」と呼んでいます。この新しい「AC BTI試験」は、前章で説明したSiおよびSiC MOSFET技術認定で一般的に実施される標準化された「DC BTI試験」を大幅に拡張したものであることにご留意ください。ある種のACゲート ストレス条件下では、パラメーター ドリフトが標準的なDCゲート ストレス後に観察される典型的な値を超える可能性があることが判明したため、この新しいタイプのストレス試験をSiC MOSFETの標準的な認定スキームに含めることにしました。これは、DC BTIが常に「ワーストケース」とみなされてきたSi技術とは異なります [28]。この新しいドリフト現象に対する認識を高め、潜在的に信頼性に著しく影響する動作条件を回避するための設計上のガイダンスをお客様に提供するために、インフィニオンはすでに2018年にAC BTIの基本的な特徴を説明したアプリケーションノート (AN) を発行し、典型的なアプリケーション環境にお

けるその結果について説明しています [29]。2019年、ANを最新の研究と一致するように改訂し、補完しました。このホワイトペーパーの章は、インフィニオンのANを補足する資料として役立ち、AC BTI現象の依存性についてより深い見識を提供します。

4.2.2 AC BTI モデリング

インフィニオンは、ストレス時間 (t_S)、ゲートバイアス ローレベル (V_{GL})、ゲートバイアス ハイレベル (V_{GH})、スイッチング周波数 (f)、動作温度 (T) など、一般的なSiC MOSFETアプリケーションで経験する関連ミッション プロファイル パラメーターの関数として、閾値電圧 (V_{TH}) の変化を記述する半経験的予測モデルを開発するために、さまざまな動作条件下で広範なテストを実施しました。

(1) $$\Delta V_{TH} = f(t_S, V_{GL}, V_{GH}, f, T, \ldots)$$

MOSFETを高周波スイッチング時 (たとえば500 kHz) に閾値電圧を測定することは、電気パラメーターの高い分解能と同時にマイクロ秒単位の測定時間遅延を必要とするため、特に困難です。このため、インフィニオンは、ACゲート ストレス印加中のパラメーターをその場で高速にモニターできるカスタム設計のハイエンド ストレス テスト装置を開発しました [17]。

AC BTIの特徴の一つは、閾値電圧のドリフトが、これまで調査したすべての部品で常に正であることです。閾値電圧が上昇すると、MOS チャネルのオーバードライブ ($V_{GH} - V_{TH}$) が減少するため、デバイスのチャネル抵抗 (R_{ch}) が上昇します。

(2) $$\boldsymbol{R_{ch} = \frac{L}{W\mu_n C_{ox}(V_{GH} - V_{TH})}}$$

式 (2) において、Lはチャネルの長さ、Wはチャネルの幅、μ_nは自由電子移動度、C_{ox}はゲート酸化膜容量、V_{GH}はゲート電圧、V_{TH}はデバイスの閾値電圧です。高出力デバイスでは、チャネル抵抗はデバイスの全オン抵抗の一要素に過ぎません。

(3) $$R_{ON} = R_{ch} + R_{JFET} + R_{epi} + R_{sub}$$

式 (3) において、R_{ch}はチャネル抵抗、R_{JFET}は接合型電界効果トランジスタ (JFET) 抵抗、R_{epi}はドリフト領域のエピタキシャル層抵抗、R_{Sub}は高濃度ドープSiC基板の抵抗です。ゲート オーバードライブ (ΔV_{TH}) の減少によるチャネル抵抗 (ΔR_{ch}) の増加は、最終的にデバイスの総オン抵抗 (ΔR_{ON}) をわずかに増加させます。この増加により、導通損失が多くなり、動作中のジャンクション温度がわずかに上昇する可能性があります。125°Cで10年間の連続スイッチング動作中に、オン抵抗の致命的なドリフト (15%以上、データシートの最大定格ではすでに考慮されている) を引き起こす可能性のある動作条件を防止するために、インフィニオンのANは、推奨ゲート駆動電圧と周波数のガイドライン チャートを提供しています。これらのガイドライン チャートの基礎となっているのは、AC BTIの基本特性に関する徹底的な研究と測定を経て作成された劣化モデルです。

4.2.3 AC BTI の基本特性

この章では、AC BTIの基本的な特性を明らかにする実験データを用いて解説します。ドリフトモデルをデータに当てはめ、半経験的な モデル係数を導きました。示しているフィット線は、AN[29] のゲート電圧ガイドライン チャートの計算に使用されたドリフトモデルに対応します。

4.2.3.1 スイッチング周波数 (f) への依存

AC BTIはスイッチング回数に依存し、AC VTHドリフトはべき乗則に従います :

(4) $$\boldsymbol{\Delta V_{TH_AC} \sim (t_s \times f)^n}$$

したがって、DC　BTIで一般的に行われるように、ドリフト対ストレス時間をプロットするのではなく、ACドリフトをスイッチング回数の関数としてプロットする方がより適切です。図12では、2つの異なるスイッチング周波数を比較しています。同じスイッチング回数で見られるドリフトは、同一ではないにせよ類似しており、総ストレス時間とは無関係です。これが、比較的低いスイッチング周波数で動作するアプリケーション (ドライブなど) に比べて、高いスイッチング周波数で動作するアプリケーション (ソーラーなど) がAC BTIの影響を受けやすい理由です。さらに、導通損失が主に影響を受けるため、AC BTIドリフトがアプリケーションの総損失に与える最終的な影響は、導通損失とスイッチング損失の比率に依存します。あるアプリケーションにおいて、スイッチング損失が全損失の大部分を占める場合、たとえスイッチング周波数が高くても、導通損失の増加はシステム設計にとって重要でないかもしれません。

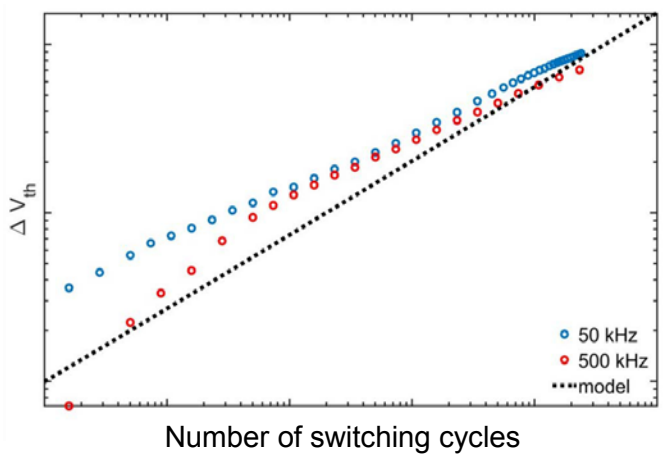

図12: 加速ゲート電圧 (V_{GH} > 18V ; V_{GL} < -5V) および温度 (T_S > 150°C) の条件下で測定したAC V_{TH}ドリフト。データは、同じ総ストレス時間、異なる周波数 (50 kHzおよび500 kHz) で記録された。AC V_{TH}ドリフトは、スイッチング サイクル数に比例したべき乗則のような増加を示す。ドリフトモデルは破線で示されている。

4.2.3.2　ゲートバイアス低レベル (V_{GL}) への依存

AC BTIのもう一つのユニークな特徴は、ゲートバイアス ローレベル (V_{GL}) への依存性です。実際、AC BTIは、SiC MOSFETがオフ状態で負のゲート　バイアスが印加されるモードで長時間動作した場合にのみ、V_{TH}ドリフトの増大につながります。デバイスをV_{GL} = 0 Vでスイッチオフした場合、得られたV_{TH}ドリフトは、スイッチング回数やサイクル数に依存することなく、典型的な DC BTI ドリフト動作を示します。オフ状態での大きな負ゲート電圧は、V_{TH}ドリフトに以下のような影響を与えます (図 13 参照)。スイッチング サイクル数が少ない場合、緩和効果により V_{TH}ドリフトは少ないですが、スイッチング サイクル数が多い場合は、ドリフト スロープ (べき乗指数) が大きくなるため、一般的にオフ状態の負ゲート電圧が高いほどドリフトが大きくなります。

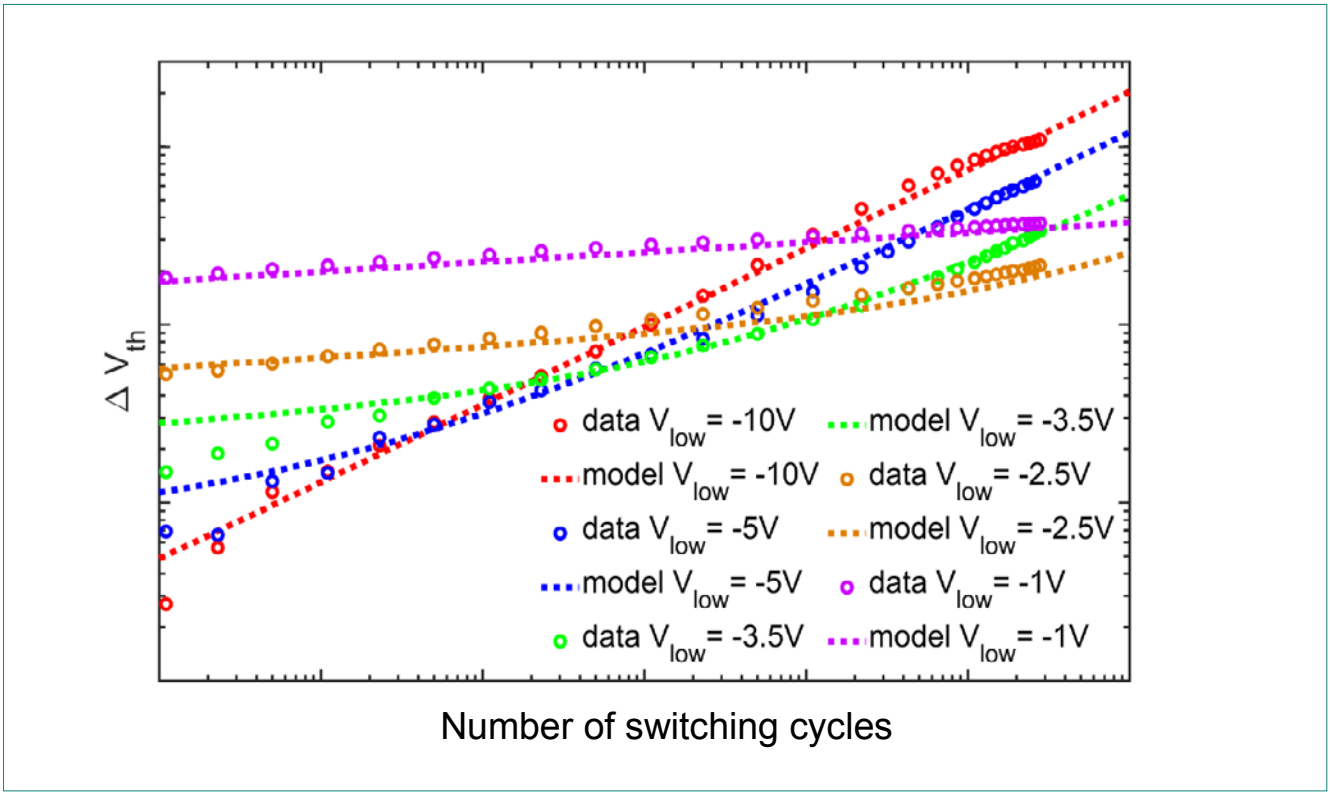

図13: 短時間に多数のパルス (f = 500 kHz)、ゲート電圧高レベル (V_{GH} > +18 V)、温度 (T_S > 150 °C) の加速条件下でのAC V_{TH}ドリフト測定結果。異なるゲート電圧 ローレベルを使用し、データを記録。2.5 Vより高いゲート電圧 ローレベル、たとえば1 Vを使用した場合、V_{TH}ドリフトの振幅と傾きは、DC BTIと同等かそれ以下であった。より低い負のゲート電圧、たとえば5 Vでストレスを与えた場合、スイッチング期間が長くなると、AC BTIが優勢になり始める。これは、AC BTIのドリフトスロープ (べき乗則指数) が急なためである。ドリフトモデル (破線) は測定データに非常によく適合している。

4.2.3.3 ゲートバイアス ハイレベル (V_{GH}) と温度 (T) への依存

AC BTI は、DC BTIと同様に、オン状態のゲート電圧 (V_{GH}) と動作温度 (T) に依存します。図14と図15に示すように、V_{GH}レベルが高く、温度が高いほど V_{TH}ドリフトが大きくなります。しかし、これは、そのような動作条件がアプリケーションにとってより重要であることを自動的に意味するものではありません。より高いV_{GH}レベルでは、より大きなBTIが観測されます。一方、ゲートのオーバードライブが増加するため、総オン抵抗は V_{TH}の変動にあまり敏感ではなくなります。その結果、V_{TH}ドリフトが大きいにもかかわらず、V_{GH}値が高い場合の相対的な R_{ON}変化はさらに小さくなる可能性があります。このため、たとえばオン電圧18 Vでの動作では、オン電圧15 Vと比較して、より緩やかな曲線が得られます。温度が高くなると、一般的にBTIも大きくなります。一方、高温では、JFET抵抗とドリフト領域のエピ層抵抗が、チャネル抵抗に対して、さらに顕著になります。その結果、V_{TH}のドリフトが大きいにもかかわらず、高温での相対的なR_{ON}の変化は再び小さくなる可能性があります。

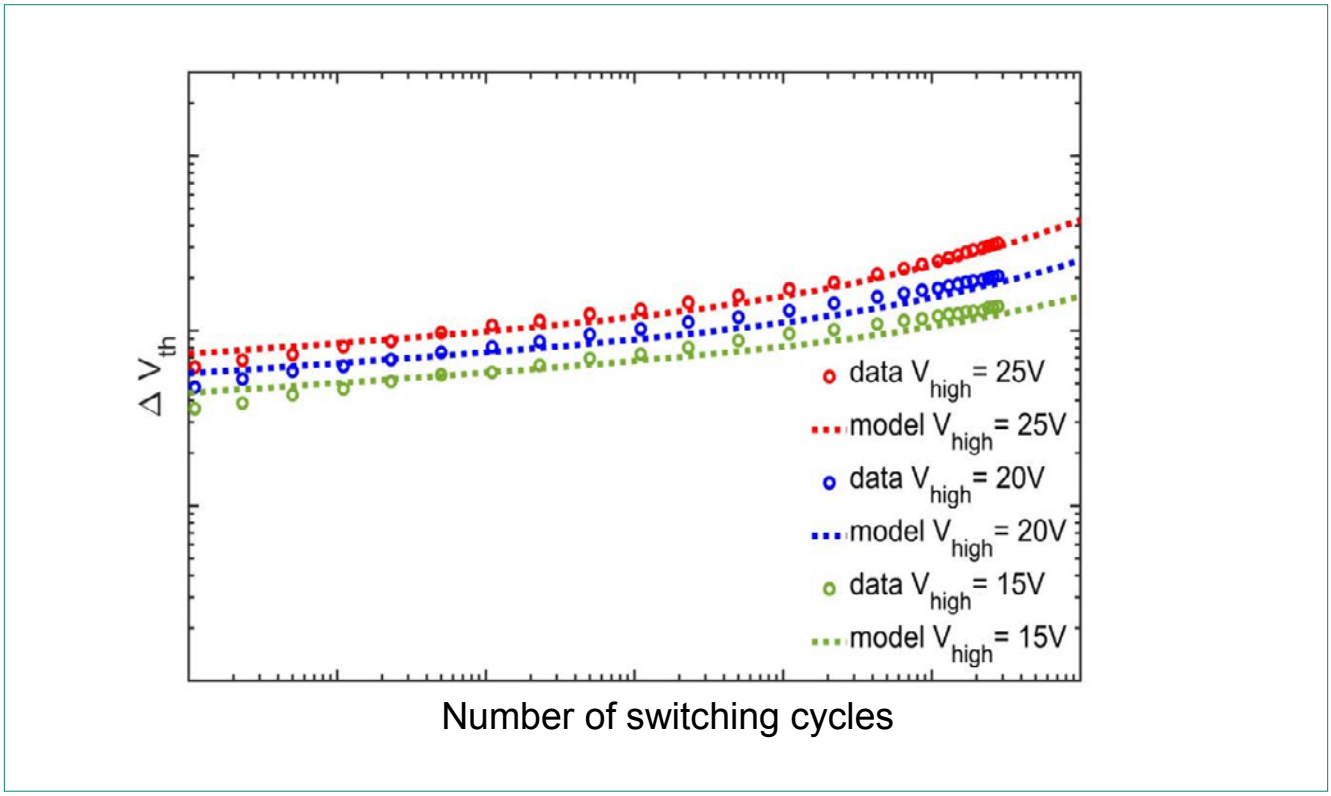

図14: 加速周波数 (f = 500 kHz) と温度 (Ts > 150°C) の条件下でAC VTHドリフト測定結果。典型的なゲート電圧ローレベルと異なるゲート電圧ハイレベルを用いてデータを記録。より大きなゲート電圧ハイレベルでストレスをかけると、測定データはほぼ平行移動する。ドリフトモデル (破線) は実測データに非常によく適合している。

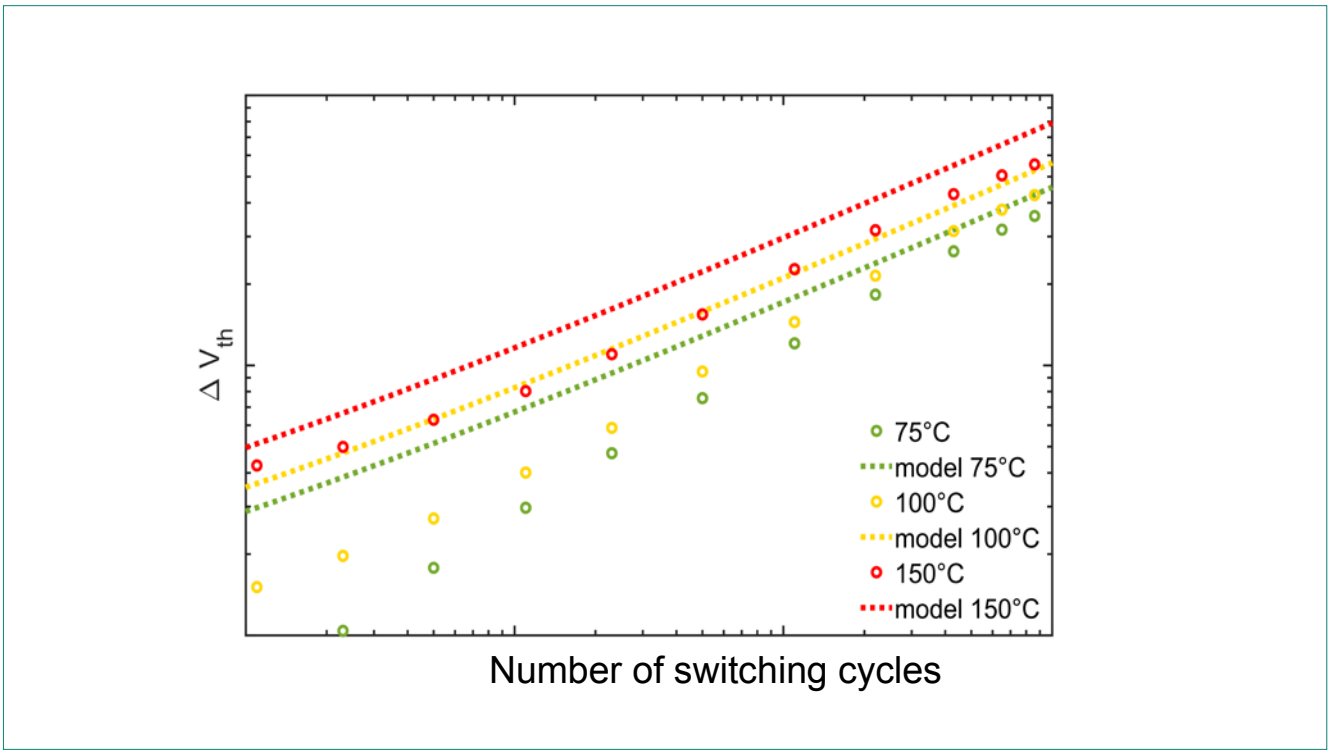

図15: 加速周波数 (f = 500 kHz)、ゲート電圧ハイレベル (V_{GH} > 18 V) の条件下でのAC V_{TH}ドリフト測定結果。データは、典型的なゲート電圧ローレベルと異なるストレス温度で記録された。より高い温度でストレスをかけると、測定データは平行移動する。ドリフトモデル (破線) は実測データの傾向に合っているが、今回の実験ではドリフトの絶対値をわずかに上回って評価している。

4.2.3.4 ドリフトの飽和

インフィニオンは、典型的なアプリケーションのスイッチング条件下での長期AC BTIを研究するために、スイッチング周波数加速ACゲートストレス実験をほぼ1年間行いました。これらの長期実験で観測されたドリフトから、寿命末期に実際に測定されたAC BTIドリフトは、効果が飽和し始めるため、ドリフトモデルによって予測されたドリフトよりも低くなる可能性があることが示唆されます。

4.2.3.5 負荷電流の依存性

評価を完了させるために、さまざまな負荷電流によって、いくつかの実験が実施されました。観測されたV_{TH}とR_{ON}のドリフトは、基本的にAC BTIドリフト モデルに従っており、負荷電流自体は観測されたドリフト挙動を変化させないことを示唆しています。しかし、インバーター アプリケーションで自然に発生する可能性のあるゲート信号のオーバーシュートやアンダーシュートが、AC BTIに影響を及ぼす可能性があることが判明しました。このことは、インフィニオンのアプリケーション ノートの第2版で指摘しており、アプリケーションでオーバーシュートとアンダーシュートを正しく評価し、抑制するための特別なガイドラインについて記載しています。

5　SiCの宇宙線耐性

半導体デバイスは、その寿命の全期間において核粒子の照射を受けます。この照射は、高エネルギーの宇宙粒子が大気の外周部に衝突し、伝播と核反応によって低高度で核粒子のシャワーを発生させることによって生じます (図16参照)。

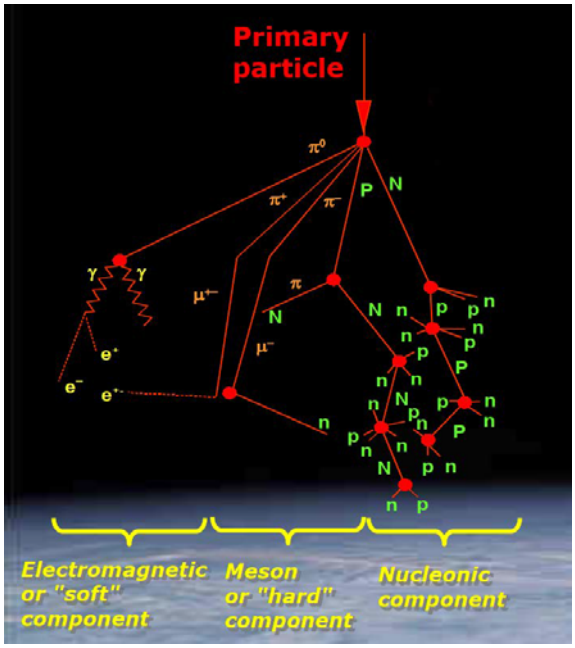

図16: 宇宙粒子による粒子シャワーの模式図 [30] に従う。

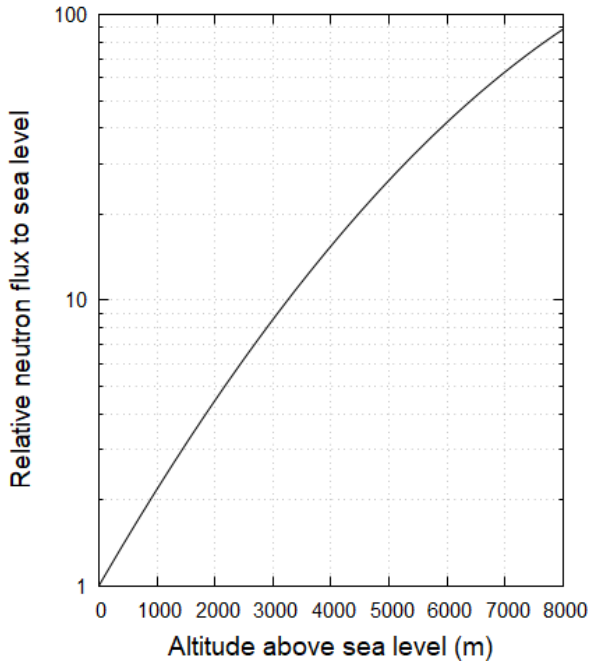

図17: 海抜からの高度に対する相対中性子束 [31]。

地球大気圏上空の宇宙用アプリケーションでは、宇宙放射線は主に陽子線、イオン線、ガンマ線で構成されています。地上アプリケーションの場合、航空機の高度までは大気が高レベルで遮蔽するため、放射線環境は地上レベルで1時間に1 cm^2 あたり約20個の中性子 [32] の束密度を持つ中性子によって支配されます。しかし、図17に示されているように、中性子束は高度に比例して指数関数的に増加するため [31]、宇宙放射線による故障率を考慮する際には高度を考慮する必要があります。発生し、これが活性領域 (赤の曲線) をさらに伝搬するなだれ発生、いわゆるストリーマーを引き起こす可能性があり

ます。

地上中性子束密度はかなり低いにもかかわらず、多くのパワー半導体アプリケーションでは、1〜100 FITあるいはそれ以下 (1 FIT＝10^9時間動作で故障1) の範囲の単一デバイス故障率が要求されます。従って、パワー半導体デバイスの宇宙線誘発故障メカニズムを特定し理解し、デバイスとアプリケーションのパラメーターに応じた加速モデルを導き出す必要があります。

図18は、ブロッキング時または逆バイアス状態で動作するパワー半導体デバイスの基本的な故障メカニズムを示しています。スケッチは、ブロッキング時のp-i-nダイオード構造における電界分布を描いています。入射した宇宙粒子が格子原子との核反応を引き起こし、その反跳イオンによって電子と正孔の電荷プラズマが発生します。通常の逆バイアス動作では、電界は三角形または台形の形状を示します (青い曲線)。入射宇宙粒子によって誘起された電荷プラズマの存在下で、電界 (E-Field) はプラズマ内で局所的に遮蔽されます。プラズマ領域の端ではさらに高い電界が発生し、これが活性領域 (赤の曲線) をさらに伝搬するなだれ発生、いわゆるストリーマーを引き起こす可能性があります。

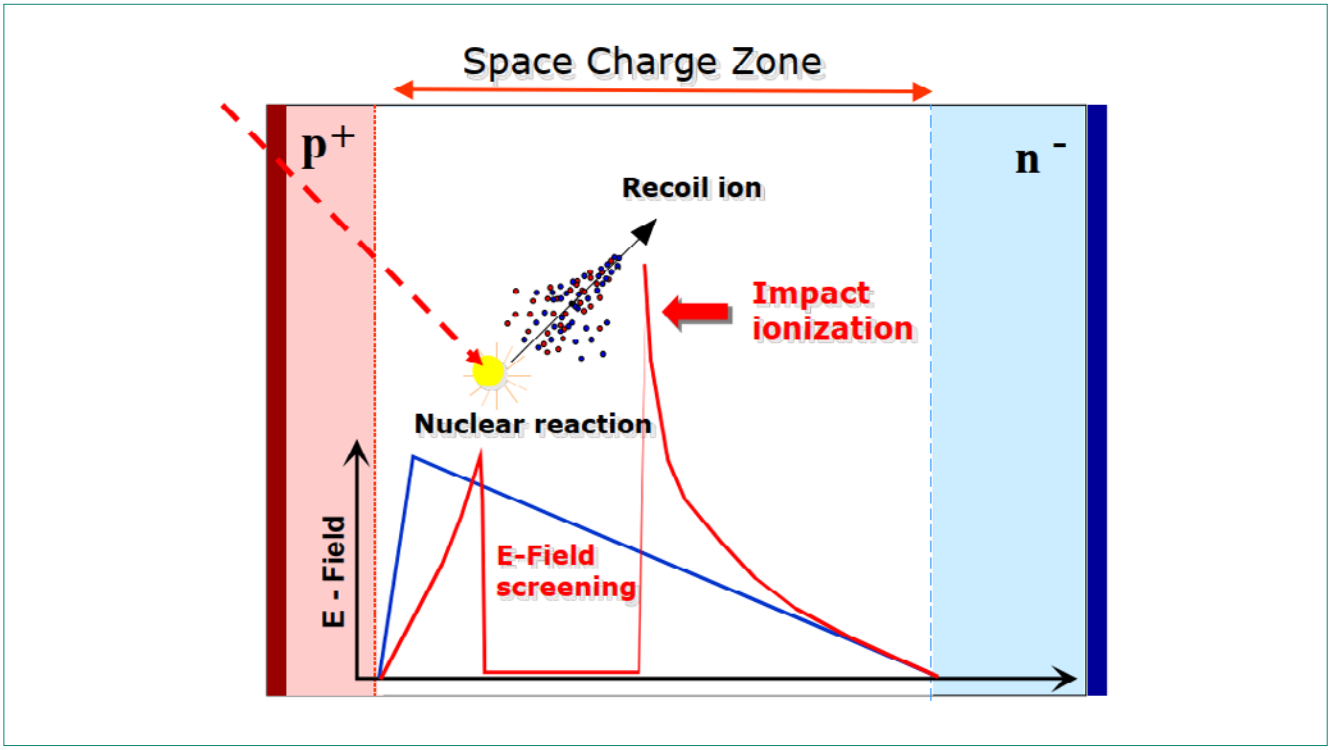

図18: 縦型パワー デバイスにおける宇宙放射線故障メカニズムの概略図 [30]。簡略化のため逆バイアスを印加した1次元p-i-nダイオード構造を考える。

プラズマ チャネルとそれに続くストリーマーは、効果的にデバイスをショートさせ、散逸エネルギーによってデバイスを破壊します。これはシングル イベント バーンアウト (SEB) と呼ばれます。SiCでもSiでも、宇宙放射線による故障率は、入射時にデバイス内に存在する電界に応じて指数関数的に増加します。同じような電界を持つデバイスは、同じような故障率を示します。過去数十年の間に数多くの加速実験が行われ、印加電圧を実際のアバランシェ降伏電圧に正規化した場合、同様の宇宙線故障率を示しています (図19および [34] を参照)。

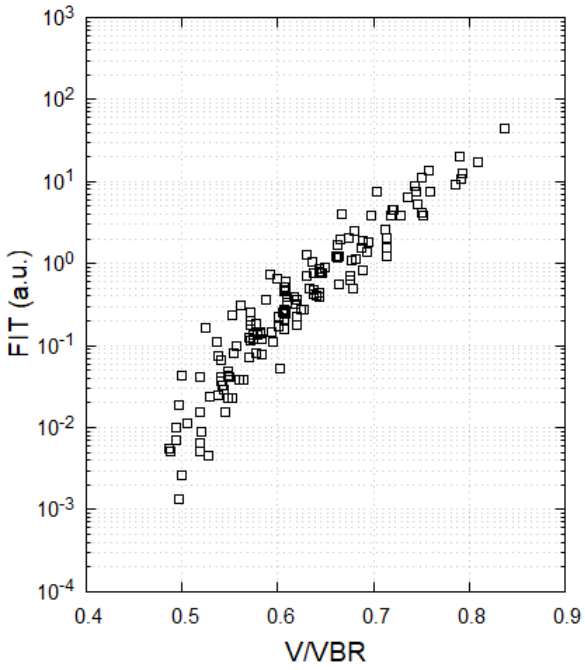

図19: 異なるSiC技術と電圧クラスの多数の実験で測定されたFIT率。各実験の電圧は、実際に測定されたアバランシェ耐圧V_{BR}に対して正規化されている。同様の結果が [34] に報告されている。原理的に故障確率は低く、実験では加速度が高いため、実験結果は1〜2桁の範囲でかなり大きなばらつきを示した。このプロットでは、簡略化のため、テストに使用したデバイスの数が限られていることに起因する、各実験の統計的エラーバーは示していない。

これらの実験は、陽子加速器や核破砕中性子源を用いて行われ、高い粒子束密度によって10^8倍高い加速率を実現しています [32]。図19は、故障率の逆バイアス電圧または耐圧に対する明確な指数関数的依存性を示しています。原理的にデバイスごとの故障確率が低く、実験における統計量も限られているため、結果は1〜2桁のばらつきを示しています。このばらつきを除けば、これらの結果から平均的な指数関数的電圧加速モデルを導き出すことができます。人工線源を用いた加速試験に伴い、加速モデルを検証するために、高高度における自然な大気中性子束の下での貯蔵試験も実施されました [33]。

宇宙線故障率のアバランシェ耐圧依存性によって、パワー デバイスの堅牢性を調整することが可能です。一般的に縦型パワー デバイスは、ドリフト層またはベース層の厚さを大きくし、ドーピング濃度を低くすることで、より高いアバランシェ耐圧、ひいては宇宙放射線耐性を高めるように設計することができます。つまり、放射堅牢性とオン損失はトレードオフの関係にあります。

デバイスやモジュールの宇宙放射線故障率を計算するためには、特定のアプリケーションのミッションプロファイル、すなわち印加電圧や高度と各稼働時間との関係を考慮する必要があります。そのため、ある技術や用途における宇宙放射線障害率を一概に示すことはできません。その代わり、インフィニオンは、自社のテストデータ、お客様のミッションプロファイル、およびアプリケーションの詳細に基づいて、全体的な故障率を計算する方法のトレーニングを受けた、経験豊富なアプリケーション エンジニアの世界的ネットワークを通じてお客様をサポートしています。

インフィニオンは、モデルを検証し、アプリケーションで必要とされる放射線の堅牢性と、適切なトレードオフのためのデバイス設計を保証するために、宇宙放射線実験によって新技術や新製品の開発を常にサポートしています。宇宙線の基本的な故障メカニズムや、動作条件への依存性に関して、Si IGBT技術とSiCパワー デバイスの間には、わずかな違いしかないことを示すことができます。

6 CoolSiC™ MOSFETの短絡耐量

典型的な産業用IGBTは、現在、約10 µsの短絡時間に対応するように設計されていますが、SiC MOSFETは、短絡耐量が無いか、わずか数µsです。これはしばしば、SiC MOSFETの根本的な欠陥と誤解されます。しかし、その背景をより詳細に分析すると、短絡耐量の無い特定のIGBTタイプ (ソフト スイッチング アプリケーション用に設計されたものなど) も存在し、SiC MOSFETの特定のセル設計対策によって、短絡耐量を一般的なIGBTと同様の数値まで拡張できることがわかります。今日のSiC MOSFETの主なターゲット アプリケーションは、短絡処理能力 (あるいは、言及された数µs) を必要としないことを考慮すると、この欠陥は現在のところ、さほど重要ではないと結論づけることができます。さらに、短絡耐量の増加は$R_{DS(on)}$ に大きなマイナスの影響を与えることを指摘しなければなりません。従って、保証された耐短絡時間という形で短絡耐量を追加するかどうかは、慎重に検討されなければなりません。データシートに明記することを決定した場合、製造部品の性能を保証するための対策の実施が必須です。インフィニオンでは、出荷前に全製品の100 %製造試験を実施しています。また、お客様のアプリケーションにおいて、部品が耐えられる短絡回数を特定したいという要求が常々あります。短絡の実際の条件 (浮遊インダクタンスなど) は、異なる動作条件下で大きく変化する可能性があるため、この質問に簡単に答えることはできません。この場合、サプライヤーとエンドユーザーの間で具体的な評価を行うことが、この問題に対処する唯一の方法です。

次の章では、IGBTとSiC MOSFETの違いの背景を、実際の短絡破壊メカニズムから簡単に説明します。典型的な短絡現象では、負荷インピーダンスと半導体の出力特性によって定義される電流を伴って、全 (DCリンク) 電圧がデバイスに印加されます。そのため、高電圧と高電流を同時に流すと、デバイスの電力損失と熱ストレスが非常に大きくなります。予想通り、熱破壊が重要な制限要因であり、金属層の溶融がしばし観測される故障モードの一つです。耐短絡時間はマイクロ秒の範囲です。SiCの場合、他のさまざまな知見が報告されていて、たとえば、短絡期間を正常に通過した後のゲート ショート破壊です [35]。このような故障はIGBTで時々観察されますが、これはストレス パルス後のリーク電流が大きすぎることに基づくもので、短絡パルスに続いて熱暴走につながります。しかし、このタイプの故障モードは、SiCデバイスに関する既存の経験と知識に基づいて除外できます。

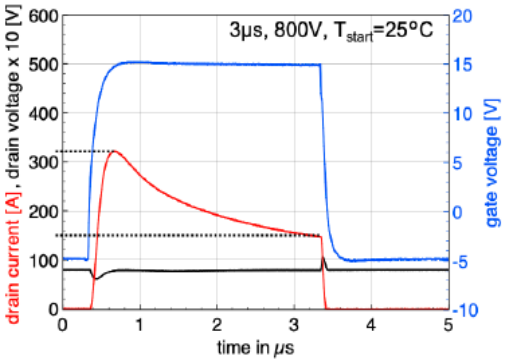

図20: 45 mΩ、DC定格電流20 AのSiC MOSFETの典型的な短絡波形。

もう一つの重要な観察は、短絡状態ではチップ内の温度がIGBTに比べて大幅に高くなり、分布も異なるということです。温度が高くなるのは、飽和効果の恩恵を受けるIGBTよりも、ピーク電流がデバイス定格電流の比率で大幅に高くなるためです。MOSFETは、短チャネルと限定的なJFET効果を使用することによって達成される非常に低い$R_{DS(on)}$ を備えるように設計されています。その結果、SiC MOSFETのピーク電流は公称デバイス電流の約10倍にまで達します。IGBTの場合は短絡開始直後でも公称電流の4倍程度が一般的です (図20参照)。その後、電流が安全にオフできる値まで下がっても (図20の破線参照)、再び全体の温度が上昇する可能性があります。

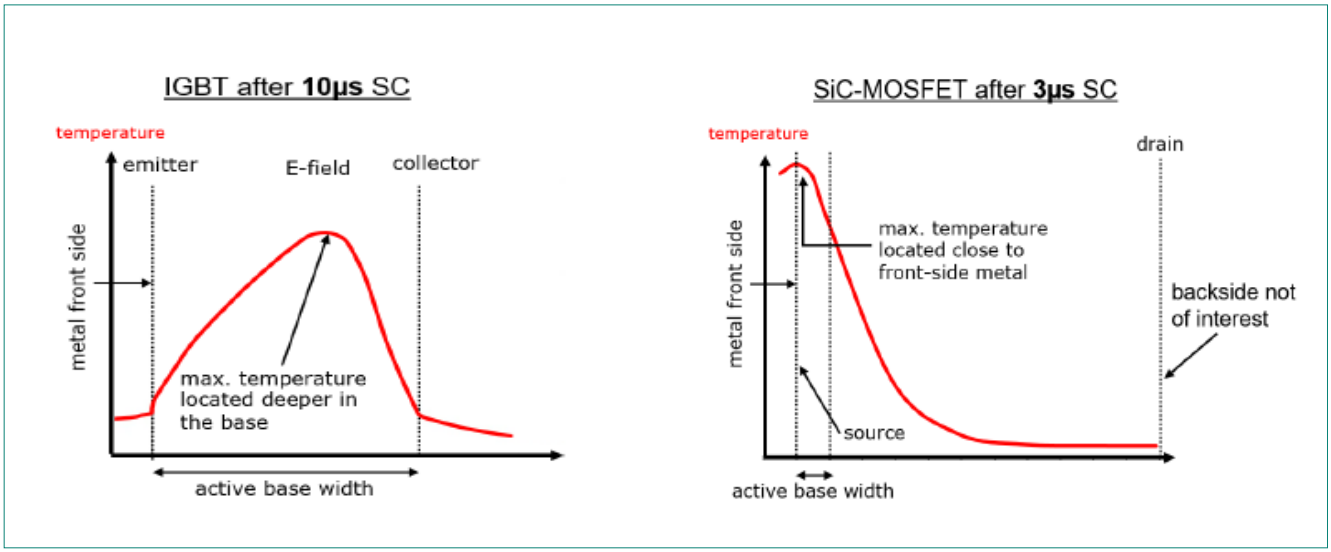

図21: IGBT (左図) と SiC MOSFET (右図) の短絡後の概略温度分布。

SiC MOSFETの場合、短絡時間とそれに伴う電力損失が2〜3 µsの範囲にあるため、チップ全体の熱容量は利用できず、ほとんどの熱はチップの表面に近く、酸化膜と最上層のメタライゼーションを分離する非常に薄いドリフト領域で発生します。図21はこの状況をIGBTと比較したものです。高耐圧Siデバイスでは、ピーク温度は振幅が小さく、デバイスのバルクにより多く位置しています。このように、さまざまな故障モードが発生するため、SiC MOSFETには、デバイスの短絡動作を調整するための他の緩和手段が設けられています。

インフィニオンのCoolSiC™ MOSFET製品は、今日、最大3 µsの短絡耐量が規定されており、規定値は出荷前にパッケージレベルで100 %テストされます。

SiC MOSFETでは、短絡時のピーク電流を低減することが重要です。これは、p-body領域のJFET効果をより顕著にするか、V_{GS}を低下させることで達成できます。[36] で示されているようなさらなるアイデアも存在します。しかし、いずれもオン特性に悪影響を及ぼします。従って、公称動作条件下でSiCの並外れた性能を維持しながら、短絡事象に対処するための潜在的なデバイス関連対策とシステム革新 [37] を導き出すためには、システム要件と動作を深く理解する必要があります。

7 SiCボディダイオードのバイポーラ (Vf) 劣化

7.1 メカニズム

バイポーラ劣化効果は、バイポーラ動作 (PN接合、たとえばMOSFETのボディ ダイオードなど、電流を流す場合)のあらゆるタイプのSiCデバイスに現れる可能性があります。この効果は、主にSiC結晶上にあらかじめ存在する基底面転位 (BPD) から引き起こされます。バイポーラ動作中、電子と正孔の再結合によって放出されるエネルギーにより、BPDで積層欠陥が拡大します [38]。積層欠陥はチップの表面まで成長し、その後成長が止まります。図22の左側に示すように、成長した積層欠陥に覆われた領域はそれ以上電流を流すことができなくなるため、チップの有効面積は減少します。

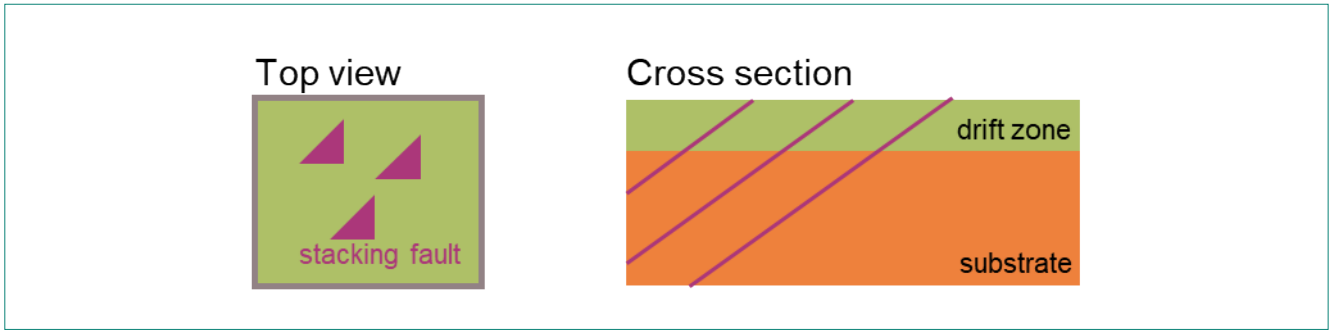

図22: SiCデバイスの積層欠陥の上面図と断面図。

根本的な物理的背景に基づき、バイポーラ劣化は以下のように結論づけられます:

- **ある確率で起こるか起こらないかのメカニズムである。**BPDのない (あるいは再結合事象のない) デバイスでは、バイポーラ劣化の影響はありません。
- **すべてのSiCデバイスに共通する効果である。**BPDはSiC基板 (ウェハー) の一般的な欠陥であるため、バイポーラ劣化はデバイスの種類やメーカーに関係なく、PN接合を持つすべてのSiCデバイスで起こりえます。
- **飽和効果である。積層欠陥がデバイス表面に達すると、バイポーラ劣化は飽和します。**PN接合を流れる電流やジャンクション温度などの動作条件にもよりますが、初期状態から飽和するまでの時間は、バイポーラ動作時間の累積で数分から数時間になります。

7.2 アプリケーションにおける効果

前述したように、内部に成長した積層欠陥がある領域は、より高い抵抗を示すため、そこを流れる電流が減少しているように見えます。図23は、欠陥のあるSiCデバイスと欠陥のないSiCデバイスの熱画像 (EMMI) です。積層欠陥のある部分は、電流レベルが非常に低いため、ほとんど発熱していないことがはっきりとわかります。

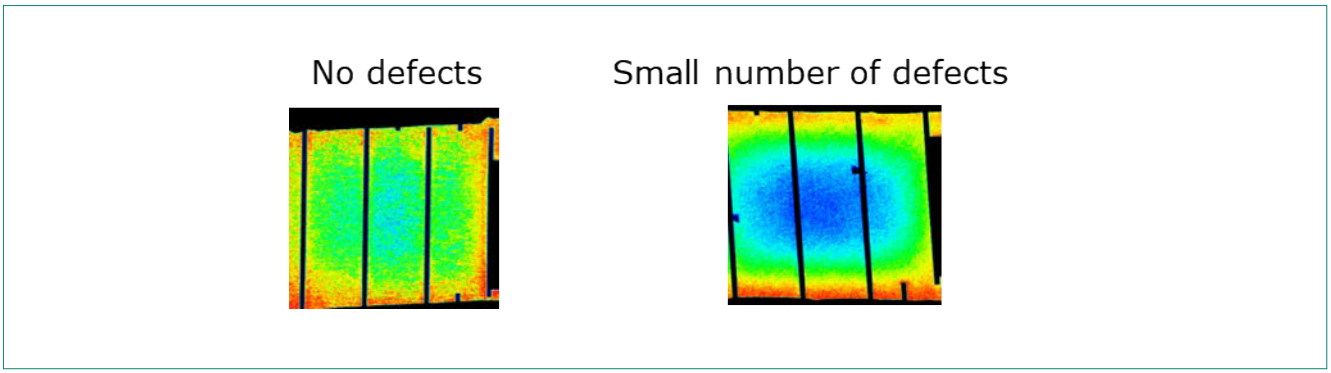

図23: 少数の欠陥 (小さな暗い三角形、矢印参照) を持つSiC MOSFETと欠陥のないSiC MOSFETの伝導モードでのEMMI像。色は電流密度 (青は低い、赤は高い) を示し、黒い太線は非活性デバイス領域を示す。

この実験から、バイポーラ劣化はSiCデバイスの活性面積を減少させるだけであることが確認でき、つまり、MOSFETでは $R_{DS(on)}$ が、ボディ ダイオードではV_{SD}が増加します。その他の重要なパラメーター、たとえば耐圧、スイッチング動作、デバイスの酸化膜信頼性は変化しません。従って、欠陥の数が少ないSiCデバイスで、$R_{DS(on)}$ またはV_{SD}の増加が飽和しても、データシートのマージン内にとどまり、動作に長期的な悪影響はありません。

7.3 CoolSiC™ MOSFET - 薄型化戦略

インフィニオンは、お客様に納入する製品の安定した性能を保証するために、特別な手段を講じています。ボディ ダイオードを使用する可能性のあるすべてのCoolSiC™ MOSFETが、データシート違反につながるバイポーラ劣化なしに出荷されることを保証するために、2つの対策が適用されています。

これには、積層欠陥の発生を抑制するために最適化されたチップ製造工程と、効果的な検証手段が含まれます。

8 製品レベルでの適格性確認

8.1 実世界のミッション プロファイルに従った現在の標準を超えるテスト

ディスクリートとモジュールの両方について、HTRB、H3TRB、HTGSといった関連規格に従った定期テストが実施されます。これらのテストは技術のリリースに必須であり、その結果は各製品についてウェブ上に公開されているPQR (製品適格性評価報告書) に文書化されています。

これらの標準を超えた新しいCoolSiC™ MOSFETの信頼性の高い機能を保証するために、すべての標準化されたテストで必要な標準条件をはるかに超えるインフィニオンの新技術の堅牢性をチェックするために、少なくとも3,000時間に一度実施されています。これらの試験では、系統的なEoLメカニズムは確認されず、インフィニオンのCoolSiC™ MOSFETの高い信頼性が明らかになりました。

近年、多くのアプリケーションで、標準的なH3TRB条件を超える耐湿性が求められるようになってきています。湿気による劣化からパワー デバイスを保護するためには、チップレベルでの対策が必要であり、そのような対策の有効性を加速度的に検証するための試験を設定しなければなりません。IGBTモジュールでは、金属腐食やデンドライトの形成など、このような条件下でのさまざまな劣化メカニズムが知られています [39]。標準的なH3TRBの認定では、これらの故障メカニズムに対する堅牢性は、[40] に従って、T = 85 °C、相対湿度rH = 85 %、V_{DS} = 80 Vで保証されます。説明したように、これらのテスト条件は、すべてのアプリケーションの長期信頼性を保証するには十分ではありません。アプリケーション プロファイルの分析により、極端に過酷な条件が判明した場合は、追加試験を行う必要があります。現在では、デバイスの長期信頼性動作を保証するために、最大ドレイン ソース電圧の80 %以下での湿気試験 (HV-H3TRB) が使用されています [39]。文献によると、IGBTモジュールの場合、このような試験を1,000時間行えば、最大25年の寿命を確保できると述べています [39]。

SiCデバイスのエッジ終端の寸法は、材料の高いブロッキング能力のために縮小されているため、これらの試験で適用される極端な条件だけでなく、実際のアプリケーションでの動作にも耐えるのに十分堅牢な特別なパシベーション コンセプトを使用することが重要です。CoolSiC™ MOSFETの認定において、全動作寿命におけるSiCチップの信頼性の高い機能を検証するため、H3TRBとHV-H3TRBが実施されました。H3TRB試験でも、より難易度の高いHV-H3TRB試験でも、劣化メカニズムは測定されませんでした。例として、HV-H3TRB試験前後のI-V曲線を図24に示します。どのストレス システムも、1桁μAを超えるリーク電流の増加を示していません。これは、図24の右側に表示されている、通常、劣化の始まりの指標としても使用されるリーク電流モニタリングでも確認できできます [39]。リーク電流がストレス下で増加していないことから、デバイスがストレス下で劣化し始める兆候を示していないことは明らかです。私たちのSiCデバイスの潜在的な新しい故障メカニズムを特定するために、系統的なEoLメカニズムを発見することなく、300個のチップからなる大規模な統計サンプルを用いて最長3,000時間にわたる試験を実施しました。これは、Siチップの文献に記載されている値を外挿した場合、75年以上安全なフィールド動作を示したこと相当します [39]。

さらに、パルス高電圧湿度条件下 (PHV-H3TRBまたはダイナミックHTRB) でもデバイスをテストしましたが、劣化の兆候は見られませんでした。HV-H3TRBは負荷電圧が高く、さらに難易度の高い試験とみなされているため、PHV-H3TRBはリリースには必要ありません。

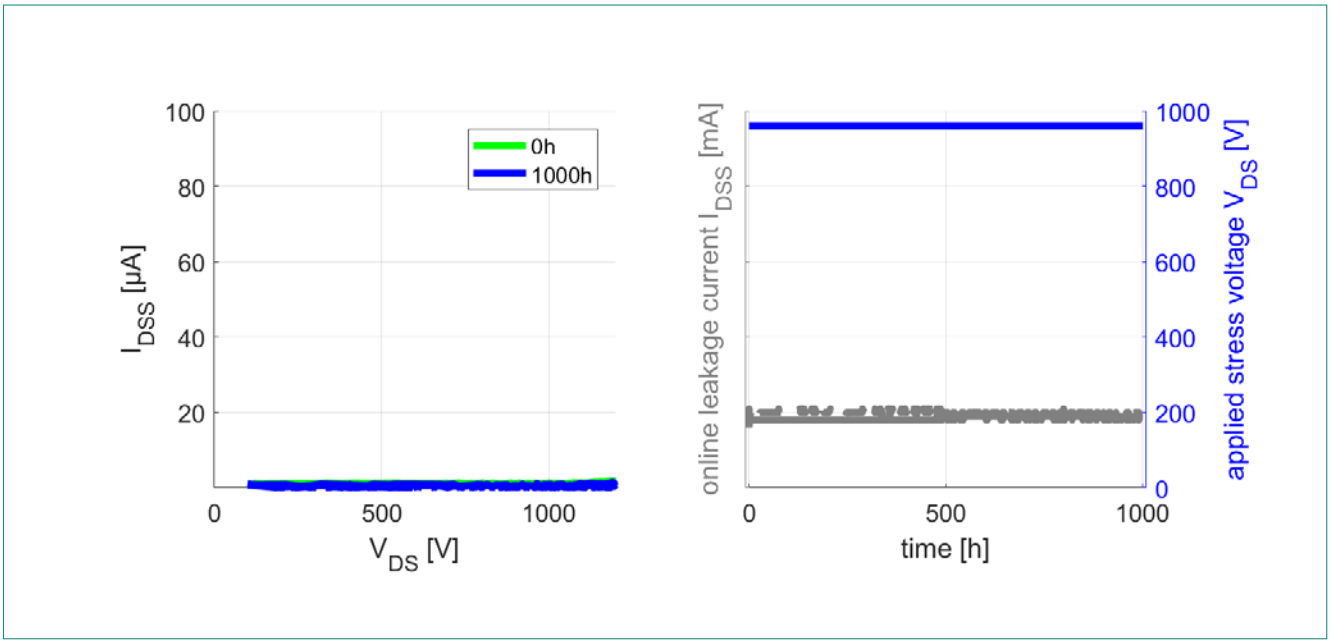

図24: 左側にストレス前 (青) とストレス後 (緑) のリーク電流を示す。

表1に、SiC MOSFETを搭載したインフィニオンのパワー モジュールについて実施されたすべての長期信頼性試験をまとめています。インフィニオンは、これらの試験を長時間にわたって実施して、表1に示す試験条件下で、新しいCoolSiC™ MOSFETに未知の故障モードがないことを証明しました。現場条件下で信頼性の高い動作を確保するには、厳格な合否判定基準と組み合わせた認定ストレス時間で十分です。

表1: 1200 V定格のCoolSiC™ MOSFETをモジュール化して実施したチップ保存試験。堅牢性検証の追加のストレス時間を含め、これらのテストのいずれにおいても、システマティックなEoLメカニズムは発見されなかった。

試験	試験条件	認定ストレス時間	標準を超える堅牢性の検証
HTRB	V_{DS} = 1080 V, T_{vj} = 150 °C	1000 h	+4000 h
HTGS	V_{DS} = 0 V, V_{GS} = +20/-20 V, T_{vj} = 150 °C	1000 h	+4000 h
H3TRB	V_{DS} = 80 V (100 V for AEC), T_a = 85 °C, RH = 85 %	1000 h	+2000 h
HV-H3TRB	V_{DS} = 960 V, T_a = 85 °C, RH = 85 %	1000 h	+2000 h

ディスクリート デバイスを用いた信頼性試験では、高い動作温度やモールドコンパウンドが、ストレス下のデバイスの長期安定性にさらなる影響を与える可能性があります。そのため、たとえばJEDECやAECのガイドラインに記載されているような標準的な条件を超えるいくつかのストレステストを実施しました。特に動的ストレステストは、規格に従った静的テストでは観察されない故障メカニズムを誘発する可能性があるため、重要です。ほんの一例を挙げれば、ゲート酸化膜にストレスを与える負のゲート ソース間電圧を用いた HTRB や、エッジ終端にストレスを与える高 dv/dt テストは、ストレス後のデバイス性能に大きな影響を与えることはありませんでした。試験結果は、温度、電圧、湿度、動的ストレスに対するCoolSiC™ MOSFET技術の高い堅牢性を示しています。以下の表2に、TO247のCoolSiC™ MOSFETで実施された試験の概要を示します。

表2: TO247の1200 V CoolSiC™ MOSFETで実施した信頼性試験。どのテストでも、体系的なEoLメカニズムは見つからなかった。

ストレステスト	テスト条件	時間
HTRB	V_{DS} = 1200 V, T_{vj} = 175 °C, V_{GS} = 0 V	2000 h
HTRB with negative voltage	V_{DS} = 1200 V, T_{vj} = 175 °C, V_{GS} = -10 V	2000 h
HTRB with negative voltage	V_{DS} = 1100 V, T_{vj} = 175 °C, V_{GS} = -15 V	1000 h
HTRB with 0x and 10x short-circuit stressed parts	V_{DS} = 960 V, T_{vj} = 175 °C, V_{GS} = 0 V with initial 0x and 10x short-circuit stressed parts	1500 h
HTGS	V_{GS} = +20/-20 V constant, T_{vj} = 175 °C	2000 h
HTGS with 0x and 10x short-circuit stressed parts	V_{GS} = +20/-20 V constant, T_{vj} = 175 °C with initial 0x and 10x short-circuit stressed parts	1000 h
HV-H3TRB	V_{DS} = 1200 V, T_a = 85 °C, RH = 85%	2000h
Dynamic H3TRB	T_a = 85 °C, RH = 85%, $V_{DC\ link}$ = 960 V, V_{GS} = +15 V/0 V, I_{L_peak} = 16 A, f_{sw} = 25 kHz, dv/dt = 70 V/ns	1000 h
Dynamic Reverse Bias (DRB)	T_a = 25 °C, $V_{DC\ link}$ = 960 V, V_{GS} = +15 V/-5 V, dv/dt ~ 200 V/ns, f_{sw} = 100 kHz	1000 h

8.2 AC-HTC試験手順

文献では（拡張）標準試験でも引き起こされない追加の故障メカニズムがSiCデバイスについて報告されています。これらは、SiCの特殊な材料特性と特定の応用条件に関連しています [41] [42]。

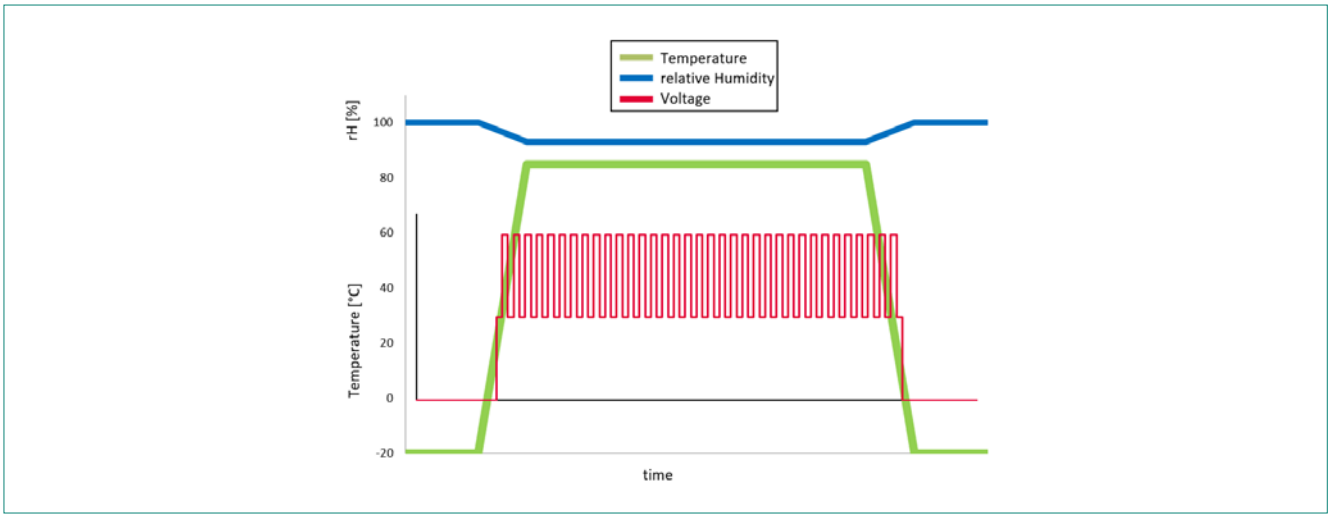

図25: AC-HTC試験サイクルのストレス プロファイルの概略図。

T_a = 85 °C/rH = 85 % の条件下での標準試験は、実際のチップ表面での結露を防止することを目的としていますが[39]、AC-HTC試験は結露を誘発するように設計されているため、エッジ終端領域での水層の形成によって引き起こされる、アプリケーションに関連する追加の故障モードが発生します。文献によれば、このような故障モードはSiCデバイスに大いに関係があると報告されています [41] [42]。インフィニオンのSiCデバイスは、この新しい材料固有の故障モードに対して堅牢性を示しています。AC-HTCテスト (AC電流-湿度 温度サイクル) は、ソーラー システム分野での動作を模倣するために、アプリケーションの専門家と緊密に連携して開発されたテストです。模式的なストレスプロファイルを図25に示します。数時間の試験サイクルは2つの異なるフェーズに分けられます:

a) T_a < 0 °C (低温 高湿度)：チップ表面は結露し、モジュール内は高湿度に至る。自己発熱とそれによる乾燥を防ぐため、この段階では電圧を印加しない。
b) T_a > 0 °C： 温度が85 °C まで達したのち、ストレス下のデバイスを実際のアプリケーションで見られるのと同様の高い周波数および電圧でスイッチングする。

エッジ終端部のパシベーションが十分でない場合、端部終端が劣化し、試験中およびアプリケーションの両方で初期不良が発生します。そのため、モジュール内のすべてのSiCデバイスは、このような過酷な条件下で表面を保護する新しいパッシベーション スタックを備えており、劣化無しで120日間続くAC-HTCテストを可能にしています。

まとめると、長期間のHV-H3TRB、AC-HTC、およびSi技術と同等のパシベーション、エッジ終端コンセプト、FIT率を持つインフィニオンのSiCダイオードの長年のフィールド経験の結果は、インフィニオンのCoolSiC™ MOSFETが湿度の高い環境での過酷なフィールド条件下でも信頼性の高いデバイスであることを証明しています。

8.3 パワー サイクル秒数

実際のアプリケーションで半導体デバイスの期待寿命を計算するには、相互接合技術の経年劣化を考慮しなければなりません。これは、いわゆるEoL (End of Life) 基準である$R_{DS(on)}$または$R_{th(j-c)}$の事前に定義された変化に達するまで、デバイスを積極的に加熱して高いΔTを誘導し、はんだおよび、またはボンドの接合を変化させる電源サイクル秒数試験によって評価されます。広く知られたモデルに基づいて [43]、これらの結果は、Siデバイス [44] を使ったテストから導き出されたインフィニオンのアプリケーション ノートに記載されているように、アプリケーション条件と相関させることができます。

基本的に、このプロセスはSiCモジュールでも同じです。しかし、SiCはSiよりもヤング率が高いため、パワー モジュールのSiCチップは、温度サイクル中にはんだ接合部に大きな塑性ひずみを引き起こします [45]。従って、モジュール内のはんだ付けされたSiCチップの経年劣化メカニズムは、ボンド接合の劣化というよりも、R_{th}の増加をもたらすはんだ層の劣化が影響を及ぼします。これが、SiCの電力サイクル秒時能力が、同じ配線技術のSiに比べて低下する理由です [45]。パワーサイクル曲線は、この変化した劣化メカニズムを考慮に入れており、電力サイクルAN [44] の説明に従って、最大ジャンクション温度T_{vj}と温度スイングΔTに応じて期待寿命を計算することができます。このパワー サイクル曲線はお近くのインフィニオン アプリケーション エンジニアリング チームから入手可能です。完全なアプリケーション プロファイルを計算するためには、劣化の負荷パルス持続時間t_{on}への依存性も考慮しなければなりません。この依存関係は、最近発表された論文に記載されており [46]、我々のSiCデバイスにはSiと同じ計算モデルが適用できることを示しています。寿命末期までのサイクルの負荷パルス持続時間依存性も図26に示しています。

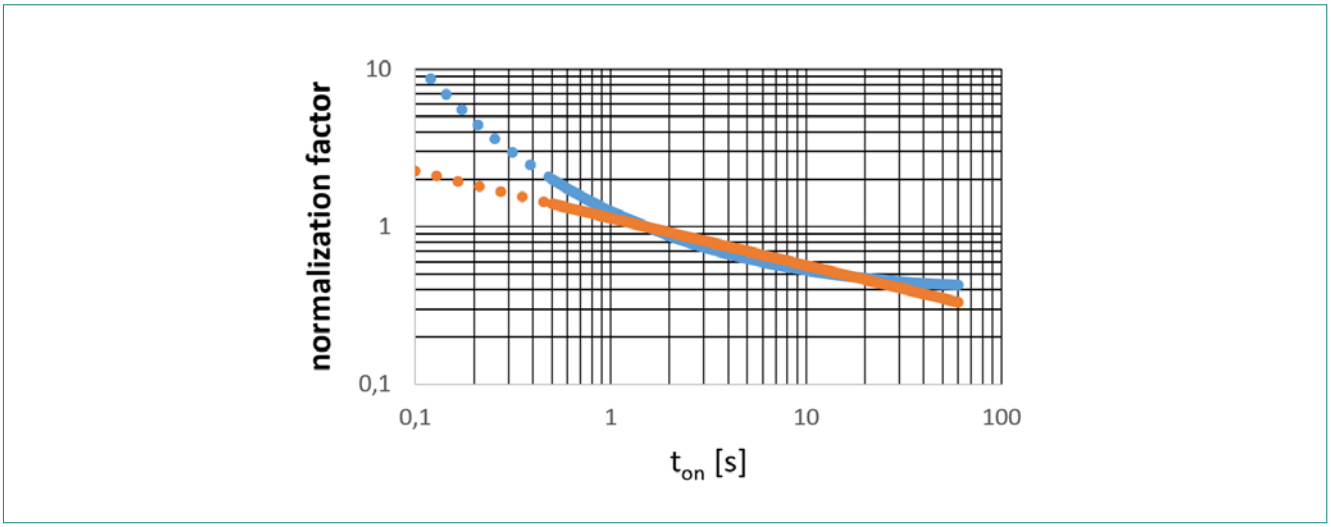

図26: PSモデル [44] (オレンジ色) と飽和を含む適応式 (青色) の基準ターンオン時間 t_{on} = 1.5 秒の補正係数Nサイクル。点線の値は外挿値であり、あくまでも目安 [46]。

すべてのSiC技術において、インフィニオンのSi IGBTおよびダイオードと同じ相互接合技術と生産ラインが使用されており、これらのプロセスとモジュール組立の制御において数十年の経験を有しています。インフィニオンのCoolSiC™ MOSFET技術のもう一つの利点は、追加のアンチパラレル ダイオードを使用する必要がなく、同期整流モードでCoolSiC™ MOSFETのボディ ダイオードを使用できることです。この結果、デバイスが両方向に電流を取り込むアプリケーションでは、負荷サイクルの正負両方の導通フェーズでチップ内で電力が生成され、Si IGBTとダイオードの動作に比べて各チップの温度スイングが小さくなります。

電力サイクルで寿命が尽きるまでさらに多くのサイクルを必要とするアプリケーションのために、インフィニオンはディスクリート デバイス用の拡散はんだ付け [47] のような改良された相互接合技術も持っており、将来的には、他のアプリケーションでインフィニオンのCoolSiC™ MOSFETの使用を可能にするために使用できます。

ディスクリート部品のパワー サイクル調査は、まだ若い研究分野です。そのため、パワー サイクル応力時に発生する故障メカニズムを理解するために、近年、より深い調査が行われています [48] [49]。一つの重要な発見は、ディスクリート デバイスのパワー モジュールとは対照的に、ダイの取り付けが従来のはんだで行われている場合、ボンド ワイヤーのリフトオフが今日の主要な故障モードであるということです。劣化の数学的説明と関連するパラメーターについては、パワーモジュールに使用されるものと同様の方程式が、文献に導き出されています [49]。チップ技術 (Si IGBTまたはSiC MOSFET) に関係なく、ディスクリート部品は同じ式で説明できます。いくつかのデバイス特性が電源サイクルの安定性に影響を与えるため、1つのパラメーター セットですべての製品を一概に説明することはできません。デバイスの特性によっては、個別のパラメーター設定が必要になる場合があります。特定のデバイスのパワー サイクルについては、お近くのインフィニオン アプリケーション エンジニア にお問い合わせください。寿命予想評価をお手伝いします。

8.4 長期のアプリケーション テスト

SiC MOSFETは、EV充電ステーション、ソーラー インバーター、モーター ドライブなど、さまざまなアプリケーションで使用されています。多くのアプリケーションは、長期的なアプリケーション テストを定義するのに役立つ、いくつかの基本的なトポロジーに減らすことができます。次の表は、最も主要な基本トポロジーを示しています。

基本的なトポロジーの概要

DC-DCコンバーター	DC-ACコンバーター
- 降圧コンバーター	- 単相
- 昇圧コンバーター	- 3相
- H-bridge	

主な焦点はハード　スイッチング構成であり、これは通常、パワー半導体にとって最も要求が厳しいためです。インフィニオンは、リストされた各構成でSiC MOSFETにストレスを与えることができるいくつかのテストベンチを開発しました。これらのテストベンチは、実際のアプリケーションを模倣した条件下でデバイスを動作させることを可能にします。信頼性試験の一般的な試験時間は1,000時間ですが、長期的な挙動をより深く理解するために、運転期間を6～12ヶ月に延長しました。調査の結果、SiC MOSFETは、実際の動作条件下では、ホットキャリア注入の兆候、および系統的なEOLメカニズムを示さないことが明らかになりました。

9　車載用規格: 基準を超えるアプローチ

炭化ケイ素 (SiC) は、本質的に優れた物理的材料特性と高い絶縁破壊電界強度を備えています。自動車業界の電動化がモビリティの未来を形成するというコンセンサスの高まりに応える最良の候補のひとつです。インフィニオンは、SiCデバイスが産業用および自動車用アプリケーションの両方で使用されるため、さまざまな品質カテゴリーを網羅しており、製品に適用されています。私たちの品質ハンドブックでは、次のように違いを説明しています:

産業用
- 幅広いアプリケーション
- 5年以上30年以下の長寿命、または苛酷な環境条件でも使用可能
- 基本的な認定アプローチは、規格 (JESD47など) への適合性を提供し、さらに必要に応じて特定のミッション プロファイルに対応する強固な検証を行う

車載用
- さまざまな使用条件と負荷
- 15年以上の寿命
- ppbレベルの品質目標 / 一度の失敗もないことを期待するOEM
- AEC Q-100/101要件に定義されたアプリケーションにおける堅牢性認定手法

車載用アプリケーションのプロファイルは現在、自動車市場の変化の速いペースを反映しており、ワイドバンドギャップ半導体は、いくつかのさらに厳しい要件を満たす可能性が明確にあることから、人気が高まっています。この市場に参入するには、広い品質保証範囲、すなわち長い耐用年数、さまざまな故障メカニズムおよび新しい活性化エネルギーへの対応が求められます。一般的に、パフォーマンス向上の必要性が標準となっており、サプライヤーが競合他社よりも優位に立つための手段となっています。

自動車市場、特に電動車両に見られる進化は、製品の品質評価に以下のような影響を与えます:
1. ミッション プロファイルから要求されるより長いストレス時間。AEC-Q101は、すべてのケースで満たさなければならない最小値の基準
2. 現実のアプリケーションの条件をカバーする新しいストレス条件および、それらの条件下での新技術の動作設計
3. 堅牢性の検証は、規格に基づく資格試験よりもはるかに高いレベルに至っている

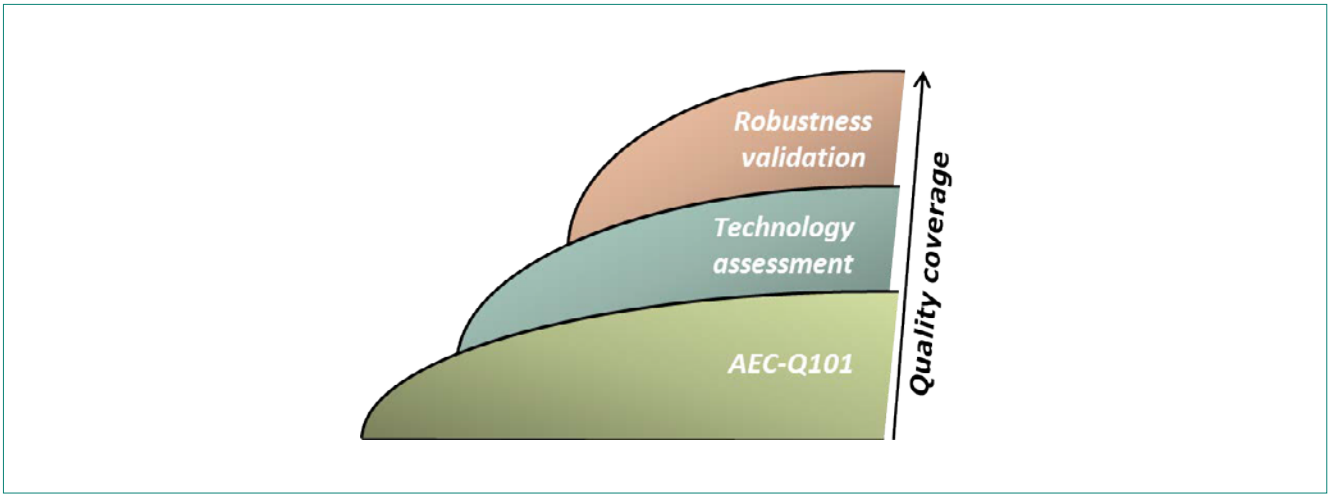

図27: ディスクリート製品の既存の車載規格 AEC-Q101 を起点に品質保証を拡大する方法。

自動車の基準を満たすだけでは十分ではありません。AEC-Q101は必要なガイドラインとして受け入れられていますが、ミッション プロファイルは現在、過酷な環境条件下での高速スイッチング速度において、より高い堅牢性を要求しています。これは、Siベースの技術の一般的な絶縁破壊レベルの15倍の電界強度です。

電動車両用の同じ高電圧製品は、異なる動作モードを同時に遂行し、それぞれに堅牢であることが要求されます。

- 充電モード、安定した高DCリンク電圧で最大30,000時間以上動作します。
- 運転モードは、約8,000時間の運転が可能で、バッテリーの性能によっては高いジャンクション温度と広い電圧範囲で使用できるポテンシャルがあります。
- 事前調整として新しいxEV車で装備が広まる機能の例として、車両を使用する前の車内の運転席の暖房をタイマー式、あるいは遠隔操作で作動させます。これは、3,000時間の運転が必要です。

AEC-Q101の要求データを等価ストレス時間に換算すると、ミッション プロファイルと新興のアプリケーションの要求との間には明らかなミスマッチがあり、SiCの場合のように、さらに厳しい品質要件を満たすための現行の自動車用規格を超える技術の必要性を示しています。

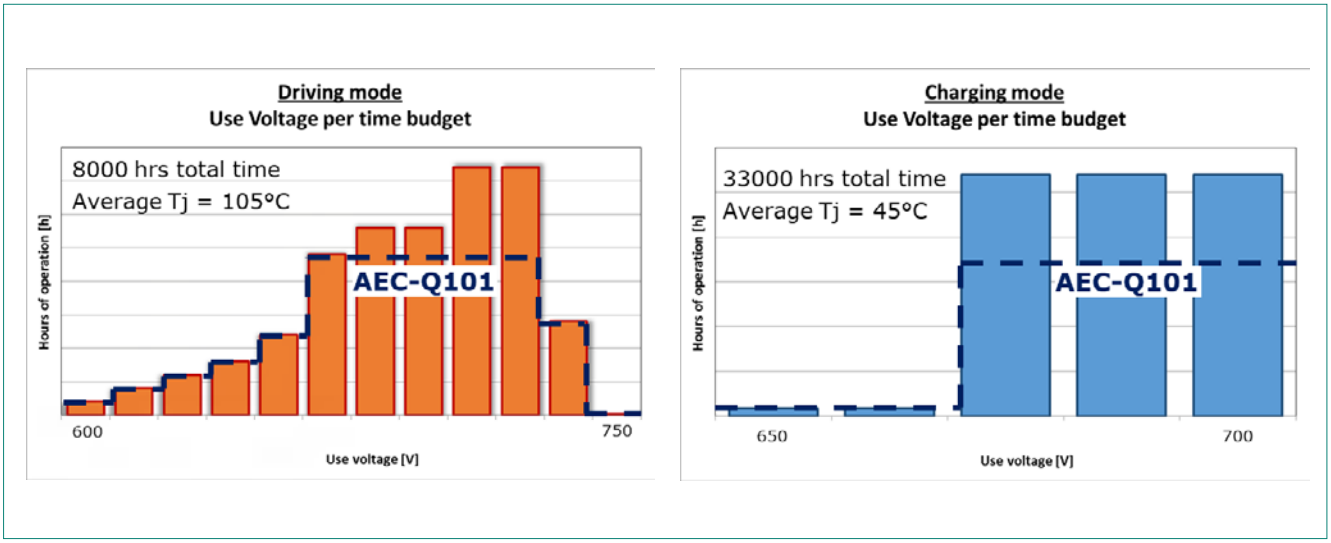

図28: 典型的なxEVアプリケーションのミッション プロファイル (走行モードと充電モード)。AEC-Q101の要求事項、すなわち1,000時間を等価運転時間に換算すると、規格の適用範囲に不足があることがわかる。

製品が複雑化し、ユースケースがさらに難化しているため、堅牢性のマージンは低減しています。これはアプリケーションの要件が、過去の堅牢性の調査が開始した際のレベルに設定されているためです。

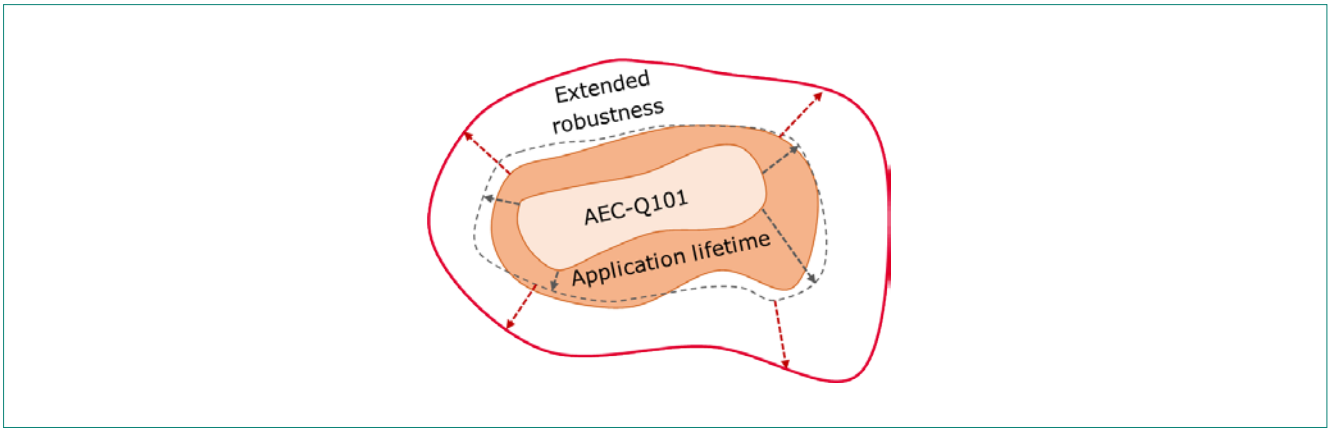

図29: アプリケーション要件が厳しくなった結果としてのAEC-Q101と比較した堅牢性のマージン拡張。

9.1 車載SiCの顧客のためのより広い信頼性

自動車市場は極めて低いdpm (100万個あたりの欠陥) 率を要求しており、従来のSiベースの半導体が提供する信頼性とSiC技術に基づく信頼性との間に差別化は期待されていません。そのため、Siの成熟したレベルには達していないこの新しい技術と、車載アプリケーション用途の要件を満たす許容可能なFIT数との妥協点を見つけることが不可欠です。ゲート酸化膜: ゲート酸化膜を厚くすると、スクリーニング能力が向上し、その結果、必要とされる外部欠陥の低減が可能になります (3.2章参照)。

宇宙線: ドリフト領域 (エピ層) は、宇宙線に対してより高い耐久性を確保するように設計できます。ドリフト層の抵抗R_{drift}を調整することで、CRに対する性能をスケールアップ、もしくはスケールダウンできます。

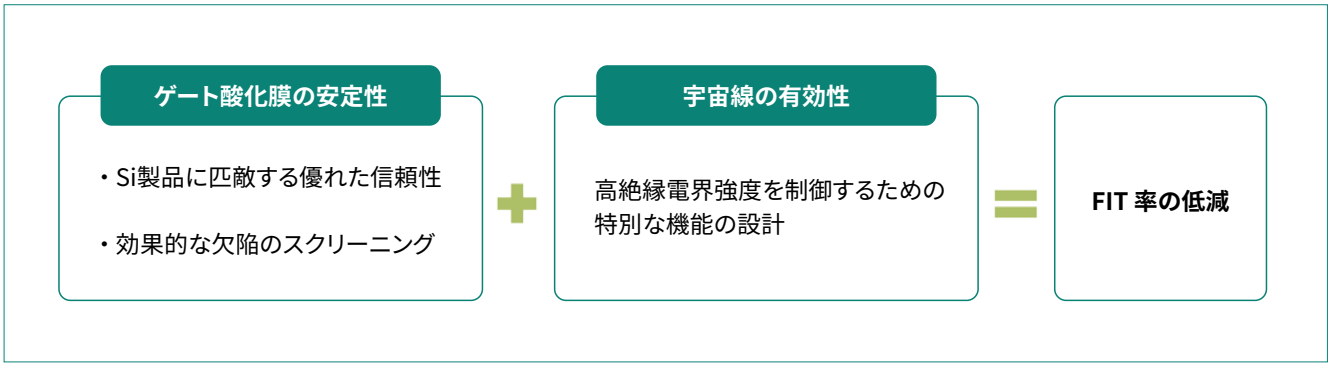

図30: FIT率はゲート酸化膜の安定性と宇宙放射線からの保護の両方に強く影響される。

9.2 車載部品向けの妥協のない耐湿性

自動車部品は、常に変化し時には過酷な気候条件にさらされるため、水分の浸入やそれに伴う腐食や酸化からデバイスを保護することが不可欠です。太陽光発電やトラクションのような屋外用途の産業用ミッション プロファイルと同様に、車載アプリケーション向けの特殊な環境に対応するため認定手順および技術的対策も極めて高いレベルの堅牢性を保証する必要があります。

現行規格であるAEC-Q101は、最大100 Vでの高湿度高温逆バイアス試験 (H3TRB) が要求されますが、この値は、最大1200 Vのバイアスが発生する可能性のある高電圧アプリケーションには明らかに適合しません。SiCデバイスの周辺構造の制約、およびアクティブエリア最大化の必要性から、横方向の電界はSiベースの部品よりも名目上高くなり、SiC技術は湿気に関連した故障メカニズムに対して特に敏感になります。

V_{DS} = 80 % x V_{DSS}の高電圧H3TRBは、SiCデバイスの耐湿性の信頼性テストにさらに適した測定材料です。これは、多くのアプリケーションで動作電圧が自動車規格で規定されている100 Vをはるかに超えていることを考慮すると、十分に正当なアプローチです ([22]も参照)。

8.1章で既に述べたように、信頼性に影響を及ぼす可能性のあるスイッチング特性も存在します。スイッチング時のエッジ終端への典型的な充放電の影響は、SiCの方が顕著であり、またスイッチング性能はSiよりも明らかに優れています。このため、たとえばDynamic H3TRBは、デバイスのオン・オフによって誘発される電界レベルの継続的な変化により、エッジ終端の堅牢性が悪影響を受けないことを証明するためのストレステストになりえます。デューティ サイクルが適切に調整されれば、Dynamic H3TRBは、速い立ち上がり (dv/dt) が発生した際、オーバーシュートに関連する故障メカニズム (より高いブロッキング電圧、経年劣化の加速) の対処に役立ちます。表1、表2、表3を比較すれば明らかなように、水分暴露に関するいくつかの産業用途と車載アプリケーションには類似性があるため、適用される品質評価基準も同様です。

表3: インフィニオンの厳選された車載認証試験の条件

認証試験条件 (例)		
AEC-Q101	車載用SiC (AEC-Q101 範囲外)	付加価値
H3TRB @ 80 –100 V	HV-H3TRB @ – 80% V_{DSS}	現実のアプリケーション使用条件下での湿度に対する堅牢性を保証する
Static H3TRB @ 80 –100 V	Dynamic (HV)H3TRB – f =典型的なスイッチング周波数 – $V_{DS,app}$	高湿度天候環境下の実際のアプリケーション使用、過渡動作、dV/dt、電圧オーバーシュートを考慮する

これらの試験手順を採用しなければ、先に述べた、水分の浸入からエッジ終端を保護する革新的なパシベーション コンセプトを展開することはできなかったでしょう。HV-H3TRBとdynamic H3TRBテストによって、いくつかの新しい故障メカニズムが実際に検出され、最終的には軽減されました。

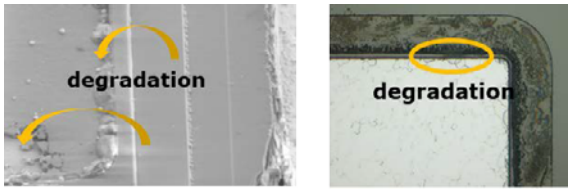

図31: 内部物理検査後のSiCエッジ終端テストでの故障メカニズム。劣化はHV-H3TRB (パッシベーションを含むエッジ終端設計が適切に設計されていないdynamic H3TRB) が原因。

新しいパッシベーション コンセプトを展開し、強化された湿度ストレスを繰り返すことによって、初めて、車載アプリケーションに適したSiC技術のリリースが可能になりました。インフィニオンは、このプロセスにおいて、多くの工業製品のリリース プロセスで得た経験を生かすことができました。



図32: 高湿度下での認定試験に合格するために、耐湿性材料設計を施した後のエッジ パッシベーション。

10　SiCデバイスの信頼性と認定に関する業界標準

このホワイトペーパーに記載しているとおり、インフィニオンはCoolSiC™デバイスの包括的な認定制度に従って、実際の動作条件やアプリケーションにおいて信頼性の高い性能を保証しています。しかし業界にとって、デバイス認定に関する包括的な基準を策定することの重要性は疑う余地がありません。業界標準は、各サプライヤーの故障メカニズムの詳細を参照することなく、品質に関するあらゆる懸念に簡単かつ迅速に対処できるよう設定されています。それにより、インフィニオンは、JEDEC内にSiCに焦点を当てた小委員会（JC-70.2）を立ち上げ、SiCデバイスに関する認定ガイドラインおよび規格の導入に貢献しました。このJEDECの取り組みにおいても、インフィニオンは本ホワイトペーパーに記載した見解およびアプローチで対応しています。JEDEC委員会で策定されるガイドラインと規格は、主にシリコン技術との違いと、それに応じて手順を調整する必要性に焦点を当てることになります。それらには、信頼性試験、特性評価手順、データシートの定義などが含まれます。JEDECの活動は、日本のIECやJEITAのような他の関連する規格化団体と緊密に連携して実施されます。さらに、AECや車載用パワーデバイス向けのAQG324のようなワーキング グループとの協力を通じて、インフィニオンは産業用および車載用アプリケーションの両方を確実にカバーします。

お問い合わせ

このホワイトペーパーは、多くの技術的なトピックを扱っており、非常に複雑なものもあります。ご不明な点がございましたら、お近くのインフィニオン アプリケーション チームまでお問い合わせください。

著者

インフィニオン テクノロジーズ Massimiliano Regardi
インフィニオン テクノロジーズ Zhihui Yuan
インフィニオン テクノロジーズ Ingo Voss
インフィニオン テクノロジーズ Paul Salmen
インフィニオン テクノロジーズ Thomas Aichinger
インフィニオン テクノロジーズ Rudolf Elpelt
インフィニオン テクノロジーズ Peter Friedrichs

本ドキュメントの執筆には次の方々のご協力・助言をいただきました：
Fanny Björk、Uwe Jansen、Carolin Jacobi、Andre Lenze、Jens de Bock、Laura Keuper、David Levett

参考

[1] M. Gurfinkel, J.C. Horst, J.S. Suehle, J.B. Bernstein, Y. Shapira, K.S. Matocha, G. Dunne, and R.A. Beaupre,. “Time-Dependent Dielectric Breakdown of 4H-SiC/SiO2 MOS Capacitors,. ” IEEE Trans.Dev.Mat.Rel., . no. 4, . vol. 8, 2008, S. pp. 635-641,.

[2] T. Aichinger, and M. Schmidt,. “Gate-oxide reliability and failure-rate reduction of industrial SiC MOSFETs”, . in Proc. IRPS 2020.

[3] J. Senzaki, K. Kojima, T. Kato, A. Shimozato, and K. Fukuda,. “Correlation between reliability of thermal oxides and dislocations in n -type 4H-SiC epitaxial wafers,”. Appl.Phys.Letters,. vol. 89,, 2006, Bde. pp. 022909,.

[4] V. Malandruccolo, M. Ciappa, H. Rothleitner, and W. Fichtner,. “A new built-in screening methodology to achieve zero defects in the automotive environment,”. Micr.Rel.,. vol. 49,, 2009, S. pp. 1334-1340, .

[5] T.E. Kopley, M. Ring, C. Choi, and J. Colbath,. “Combined Vramp and TDDB Analysis for Gate Oxide Reliability Assessment and Screening,”. in Proc. IIRW 2015,. S. pp. 138-142.

[6] J. Lutz, T. Aichinger, and R. Rupp.:. ch.7 Reliability Evaluation,. [Hrsg.] K. Suganuma (Ed.). Wide Bandgap Power Semiconductor Packaging: Materials, Components, and Reliability,. 2018, S. , pp. 155-200,.

[7] M. Beier-Moebius, and J. Lutz,. “Breakdown of gate oxide of SiC-MOSFETs and Si-IGBTs under high temperature and high gate voltage,”. in Proc. PCIM 2017,. S. pp. 365-372.

[8] G. Rescher, G. Pobegen, and Tibor Grasser,. “Threshold voltage instabilities of present SiC-power MOSFETs under positive bias temperature stress,”. Mat.Sci.Forum,. vol. 858, , 2015, S. pp. 481-484,.

[9] K.P. Cheung. “SiC Power MOSFET Gate Oxide Breakdown Reliability – Current Status,”. in Proc. IRPS 2018.

[10] J. W. McPherson, and D. A. Baglee,. “Acceleration Factors for Thin Gate Oxide Stressing,” . in Proc. IRPS 1989.

[11] M. Beier-Moebius, J. Lutz,. “Breakdown of gate oxide of 1.2 kV SiC-MOSFETs under high temperature and high gate voltage”, . in Proc. PCIM, . 2016.

[12] J. Berens, G. Pobegen, G. Rescher, T. Aichinger, and T. Grasser,. “NH3 and NO + NH3 Annealing of 4H-SiC Trench MOSFETs: Device Performance and Reliability,”. IEEE Transactions on Electron Devices,. vol. 66,, 2019, Bd. no. 11, S. , pp. 4692–4697,.

[13] T. Grasser, P. Wagner, H. Reisinger, T. Aichinger, G. Pobegen, M. Nelhiebel, and B. Kaczer,. “Analytic modeling of the bias temperature instability using capture/emission time maps,” . in 2011 International Electron Devices Meeting, . 2011.

[14] T. Grasser, B. Kaczer, P. Hehenberger, W. Gös, R. O’Connor, H. Reisinger, W. Gustin, and C. Schunder,. “Simultaneous extraction of recoverable and permanent components contributing to bias-temperature instability,”. in IEEE International Electron Devices Meeting, ,. 2007, S. pp. 801–804.

[15] T. Grasser, B. Kaczer, W. Gös, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, M. Toledano Luque, and M. Nelhiebel,. “The paradigm shift in understanding the bias temperature instability: from reaction-diffusion to switc.

[16] T. Aichinger, G. Rescher, and G. Pobegen,. “Threshold voltage peculiarities and bias temperature instabilities of SiC MOSFETs”,. Microelectronics Reliability ,. 80, 2018, S. pp. 68–78, .

[17] K. Puschkarsky, T. Grasser, T. Aichinger, W. Gustin, and H. Reisinger,. “Review on SiC MOSFETs High-Voltage Device Reliability Focusing on Threshold Voltage Instability”,. IEEE Transactions on Electron Devices ,. 66, 2019, S. pp. 4604 – 4616, .
[18] J. Berens, M. Weger, G. Pobegen, T. Aichinger, G. Rescher, C. Schleich, and T. Grasser,. “Similarities and Differences of BTI in SiC and Si Power MOSFETs,”. in IEEE International Reliability Physics Symposium 2020 (IRPS 2020), . 2020 , to be published.
[19] G. Rescher, G. Pobegen, T. Aichinger, and Tibor Grasser,. “Preconditioned BTI on 4H-SiC: Proposal for a nearly delay time independent measurement technique”,. IEEE Transactions on Electron Devices ,. 65, 2018, S. pp. 419 – 1426, .
[20] C. Schleich, J. Berens, G. Rzepa, G. Pobegen, G. Rescher, S. Tyaginov, T. Grasser, and M. Waltl,. “Physical Modeling of Bias Temperature Instabilities in SiC MOSFETs,” . IEDM 2019. 2019.
[21] JESD22-A108F - Temperature, Bias, and Operating Life,. JEDEC Solid State Technology Association, 2017. 2017.
[22] AC-Q101-Rev-D1 Failure Mechanism Based Stress Test Qualification For Discrete Semiconductors (base document). Automotive Electronics Council, . 2013.
[23] D. B. Habersat, A. Lelis, R. Green, and M. El,. “Comparison of Test Methods for Proper Characterization of VT in SiC MOSFETs,”. Materials Science Forum,. 2016, Bde. vol. 858,, S. pp. 833–839, .
[24] R. Green, A. Lelis, and D. Habersat,. “Threshold-voltage bias-temperature instability in commercially-available SiC MOSFETs,. ” Japanese Journal of Applied Physics, . vol. 55,.
[25] R. Gao, Z. Ji, J. F. Zhang, J. Marsland, and W. D. Zhang,. “As-grown-Generation Model for Positive Bias Temperature Instability,. ” IEEE Transactions on Electron Devices, ,. vol. 65,, 2018, Bd. no. 9, S. pp. 3662–3668, .
[26] A. Kerber and E. Cartier. “Bias Temperature Instability Characterization Methods,”. in Bias Temperature Instability for Devices and Circuits,. T. Grasser, Ed., New York, NY: Springer New York,, 2014, S. , pp. 3–31.
[27] T. Grasser. “The Capture/Emission Time Map Approach to the Bias Temperature Instability,”. in Bias Temperature Instability for Devices and Circuits, T. Grasser, Ed., New York, NY:. Springer New York, ,, 2014, S. pp. 447–481.
[28] Procedure for Wafer-Level DC Characterization of Bias Temperature Instabilities, JEDEC Solid State Technology Association Std., 2015.
[29] Infineon, “Guidelines for CoolSiC™ MOSFET gate drive voltage window,” www.infineon.com, 2018.
[30] G. Sölckner. “Ensuring the Reliability of Power Electronic Devices with Regard to Terrestrial Cosmic Radiation”, . ECPE Workshop on “Reliability Engineering - 10 Years Robustness Validation”, . Stuttgart, Germany,, 2018.
[31] J.F. Ziegler. “Terrestrial cosmic rays”,. IBM Journal of Research and Development. Vol. 40/1, 1996, S. pp 19-39.
[32] G. Sölckner et al. “Reliability of SiC Power Devices against Cosmic Radiation-induced Failure”,. Mat.Sci.For.,. Vols. 556-557 ,, 2007, S. pp 851-856.
[33] G. Sölckner. “Ensuring the reliability of power electronic devices with regard to terrestrial cosmic radiation”,. Microelectronics Reliability 58. 2016, S. pp 39-50.
[34] Lichtenwalner et al. “Reliability of SiC Power Devices against Cosmic Ray Neutron Single-Event Burnout”,. Mat.Sci.For. Vol. 924, 2018, S. pp 559-562.

[35] C. Chen, D. Labrousse, S. Lefebvre, M. Petit, C. Buttay and H. Morel,. "Study of short-circuit robustness of SiC MOSFETs, analysis of the failure modes and comparison with BJTs, . Microelectronics Reliability,,. vol. 55, 2015, Bd. 5.
[36] H. Hatta, et al.,. “Suppression of Short Circuit Current with Embedded Source Resistance in SiC MOSFETs”,. Materials Science Forum ,. 2018, Bde. Vol. 924,, S. pp. 727-730.
[37] M. M. Bakran, S. Hain,. “Integrating the New 2D — Short circuit detection method into a power module with a power supply fed by the gate voltage”,. 2016 IEEE 2nd Annual Southern Power Electronics Conference (SPEC),. 2016, S. pp. 1–6, .
[38] T. Kimoto et al. “Understanding and Reduction of Degradation Phenomena in SiC Power Devices,”. IRPS Proceedings. 2017, S. pp. 2A-1.1-1.7.
[39] C. Zorn and N. Kaminski. "Temperature Humidity Bias (THB) Testing on IGBT Modules at High Bias Levels," CIPS 2014; 8th International Conference on Integrated Power Electronics Systems, Nuremberg, Germany, 2014,. 2014, S. pp. 1-7.
[40] JESD_47.
[41] Kaminski, N. Reliability Challenges for SiC Power Devices in Systems and the Impact on Reliability Testing. Materials Science Forum, ,. 924, 2018, S. 805–810.
[42] Kiel, N., Wolf, H. und Rigbers, K., Mallwitz, R.:. Leistungselektronik in der Photovoltaik – aktueller Status und zukünftige Trends, Bauelemente der Leistungselektronik, . ETG-Fb. 152: Bauelemente der Leistungselektronik und ihre Anwendungen ,. Bad Naunheim, 2017.
[43] Bayerer, R., et al. Model for Power Cycling lifetime of IGBT Modules – various factors influencing lifetime,. Proc. CIPS, ,. 2008, S. p37-42.
[44] IGBT4, Infineon Application note AN2019-005 for.
[45] Herold, C., et al. Power cycling capability of Modules with SiC-Diodes; . Proc. CIPS, . 2014.
[46] Salmen, P., et al. Impact of load-pulse duration on power-cycling capability of SiC devices;. CIPS, 2020. ISBN: 978-3-8007-5225-6, 2020.
[47] M. Holz, et al.,. “SiC Power Devices: Product Improvement using Diffusion Soldering”, . Materials Science Forum ,. Vols. 615-617, 2009, Bde. pp. 613-616.
[48] Ludger Borucki, Thomas Kimmer, Oliver Schilling, Guang Zheng:. “How Long is Your System Going to Last?”, Bodo‘s Power Dec 2018. Bodo‘s Power . Dec 2018.
[49] Zheng:, Guang. “Some aspects in lifetime prediction of power semiconductor devices”, . PhD thesis 2018, TU Chemnitz.
[50] Salmen, P., et al. Impact of load-pulse duration on power-cycling capability of SiC devices; . CIPS, 2020. 2020.
[51] Procedure for Wafer-Level DC Characterization of Bias Temperature Instabilities, . JEDEC Solid State Technology Association Std., . 2015.

www.infineon.com/jp

発行元
インフィニオン テクノロジーズ ジャパン株式会社

© 2024 Infineon Technologies AG
All rights reserved.

Date: 2 / 2024

Please note!
This Document is for information purposes only and any information given herein shall in no event be regarded as a warranty, guarantee or description of any functionality, conditions and/or quality of our products or any suitability for a particular purpose. With regard to the technical specifications of our products, we kindly ask you to refer to the relevant product data sheets provided by us. Our customers and their technical departments are required to evaluate the suitability of our products for the intended application.

We reserve the right to change this document and/or the information given herein at any time.

Additional information
For further information on technologies, our products, the application of our products, delivery terms and conditions and/or prices, please contact your nearest Infineon Technologies office (www.infineon.com).

Warnings
Due to technical requirements, our products may contain dangerous substances. For information on the types in question, please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by us in a written document signed by authorized representatives of Infineon Technologies, our products may not be used in any life-endangering applications, including but not limited to medical, nuclear, military, life-critical or any other applications where a failure of the product or any consequences of the use thereof can result in personal injury.