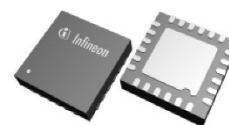


英飞凌XDP™ XDP114x 产品系列

用于 PWM 和 PFM 应用的数字电源控制器

特性

- 数字控制器辅助高性能模拟前端和完全可编程的 ARM® Cortex™-M0 处理器
 - 100 MHz 时钟、32 位、64 kB OTP、32 kB RAM、80 kB ROM
- 高性能、低延迟的数字硬件控制环路，适用于单路输出,至多两相系统
- 高速电压检测
 - 100 MHz 11位ADC，精度为1.25 mV/LSB
 - 高达 2.1 V 的差分电压范围
 - 200 MHz 边缘检测比较器
- 高速电流检测
 - 100 MHz 9 位ADC，精度为1 mV/LSB
 - 可配置的对称正负输入电压范围或不对称输入电压范围
- 6 个高分辨率数字脉冲宽度调制 (DPWM) 可重新映射输出端
 - 78.125 ps 脉冲宽度分辨率
 - 可调节成对输出之间的死区时间，上升沿与下降沿均可调，分辨率为 1.25 ns 或 2.5 ns
 - 频率范围：50 kHz 至 2 MHz，分辨率为 5 ns
- 2 路高速输入，用于外部故障关断或 PWM 边沿控制
- PWM 边沿对齐
 - 尾沿、前沿和双沿调制
- 可配置反馈控制
 - 电压模式，峰值电流模式
- 可配置的调制方式
 - 脉宽调制、相移调制、频率调制
- 多达11个GPIO引脚
- 与外部时钟同步
- 4通道、10位、0.926Msps通用ADC
 - 2.34 mV/LSB，输入电压范围 2.4 V
- 通讯外设
 - 1 MHz I²C/PMBUS、全双工 SPI、全双工 UART
- 24 引脚 VQFN 封装
- 工作温度：-40°C至125°C



典型应用

- 隔离/非隔离 DC-DC PWM 转换器
- LLC 转换器
- 用于数据中心/计算系统的中间总线转换器
- 用于电信基础设施/砖模块的电源

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

Please read the Important Notice and Warnings at the end of this document

产品验证

产品验证

已完全通过 JEDEC 应用资质验证

应用特性

- 支持预偏置缓启动（非谐振拓扑结构）
- 面向 PWM 拓扑的前馈补偿
- 主动均流
- LLC 功能
 - 混合软启动：最大频率下的 PWM 或移相以及频率扫描
 - 基于 V_{DS} 检测的自适应 SR 关断功能
 - 轻载运行，包括：
 - 最高频率下的突发模式
 - 二极管仿真（DE）模式
 - 全桥 LLC 最大频率下的移相占空比降低
- 高效率和轻载管理
 - 突发模式（ACF 拓扑除外）
 - 相位下垂（交错拓扑结构）
- 磁通平衡
- 相电流平衡
- 可配置非线性 PID 和快速瞬态响应 (FTR)
- 功能丰富的故障保护
 - 可编程过压和欠压保护（OVP、UVP）阈值和响应
 - 可编程过流和欠流保护（OCP、UCP）阈值和响应
 - 可编程快速过流保护和短路保护
 - 可编程过温或欠温保护（OTP、UTP）阈值和迟滞
 - 可编程正/负峰值电流限制阈值
 - 内部和外部温度传感器
 - 反馈开环保护
 - 可编程消隐时间

订购信息

表 1 订购信息

Base part number	Package type	Standard pack form and Qty	Application	Orderable part number
XDPP1140-100B	VQFN (24) 4 mm x 4 mm	Tape & reel, 5000	Single phase topologies, supports flux balancing	XDPP1140100BXUMA1
XDPP1148-100B			Single phase or interleaved topologies, supports current balancing between phases	XDPP1148100BXUMA1

描述

描述

英飞凌XDPP1140 和 XDPP1148 是用于 AC/DC 和 DC/DC 电源转换器的数字电源控制器。该控制器具有高性能模拟前端、带有优化功率处理数字模块的独特架构以及内置的即用固件，可最大限度地减少固件开发工作。基于状态机的可配置控制回路架构支持各种工作模式，包括 PWM 和 PFM 调制、电压模式和峰值电流模式控制。

XDPP114x 包括一个 32 位、100 MHz ARM® Cortex™ -M0 RISC 微控制器子系统，可用于增强控制、实时监控、外围设备配置和管理通信。它还允许基于固件的定制化开发，实现诸如时序控制、黑匣子数据记录以及接口通信等辅助管理功能。

核心电源控制功能由专用硬件或预置在设备 ROM 中的固件实现，可快速推向市场。其他程序存储在非易失性存储器 OTP 和 RAM 中并执行。开发人员可以完全控制自己的应用程序和固件。系统设计人员可以在任何常用的基于 ARM™ 的开发环境中开发和编译其定制的固件。

XDPP114x 支持 PMBus™1.4 子集，包括 UART、SPI 和 I2C 通信接口。PMBus™ 命令集是运行时可编程的，允许动态配置命令。

XDPP114x 支持许多常用的 AC-DC 和 DC-DC 拓扑，如 LLC、硬开关全桥和半桥、相移全桥、有源钳位正激、非隔离降压、降压-升压、升压、交错降压、交错降压-升压和交错升压拓扑。

图 1 显示了 XDPP1140 器件应用于全桥至全桥转换器中的典型应用示例。

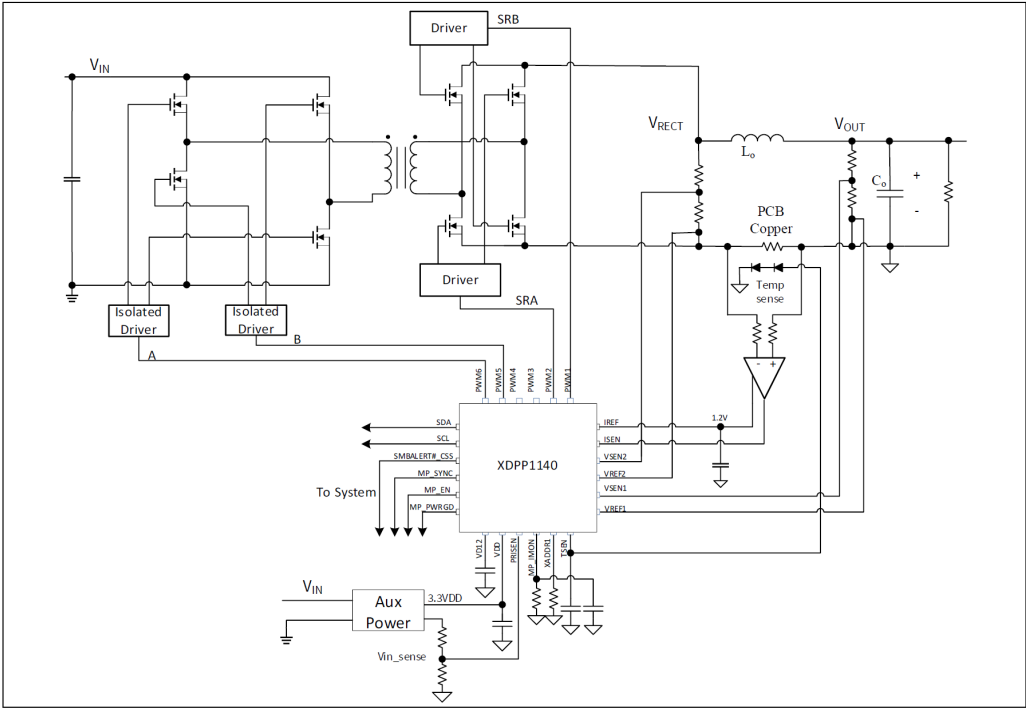


图 1 典型应用图

用于 PWM 和 PFM 应用的数字电源控制器

目录

注： 在本数据手册中，XDPP114x 同时适用于产品的XDPP1140 和XDPP1148 版本。当具体提及XDPP1140 或XDPP1148 时，则特指所引用的那一版本产品。

目录

特性	1
典型应用	1
产品验证	2
应用特性	2
订购信息	2
描述	3
目录	4
1 框图	6
2 产品选择矩阵	7
3 引脚配置和功能	8
3.1 XDPP1140-100B封装	8
3.2 XDPP1148-100B 封装	9
4 功能说明	11
4.1 简介	11
4.1.1 ARM® Cortex™-M0核心	11
4.1.2 存储器	11
4.1.3 通信端口	12
4.1.3.1 I ² C/PMBus	12
4.1.3.2 SPI	12
4.1.3.3 UART	12
4.1.3.4 地址偏移	12
4.1.4 GPIO	13
4.1.5 寄存器映射	14
4.2 模拟模块和子系统	14
4.2.1 电源	14
4.2.2 振荡器和PLL	15
4.2.2.1 第3斜坡	16
4.2.3 电压检测AFE1	17
4.2.4 电流检测AFE2	20
4.2.5 通用AFE3	22
4.2.5.1 IMON和主动均流	23
4.2.5.2 温度检测	24
4.2.5.3 PRISEN	24
4.2.6 快速触发器输入	25
4.2.7 快速故障输出	25
4.3 控制回路子系统	25
4.3.1 状态图	25
4.3.2 软启动	26
4.3.2.1 非谐振拓扑的软启动	26
4.3.2.2 LLC 转换器的软启动	27
4.3.3 关机	28
4.3.4 电压模式控制（VMC）	28

目录

4.3.5	峰值电流模式控制(PCMC)非谐振拓扑结构.....	29
4.3.6	PID和控制环路.....	30
4.3.7	频率调制(LLC).....	31
4.3.8	全桥LLC相移模式.....	31
4.3.9	LLCSR时序控制.....	32
4.3.9.1	SR的固定最大导通时间.....	32
4.3.9.2	自适应SR最大导通时间.....	33
4.3.10	非谐振拓扑的电流检测估算器.....	34
4.3.11	负载线(下垂).....	35
4.3.12	AC下垂.....	35
4.3.13	桥接拓扑的快速瞬态响应(FTR).....	36
4.3.14	降压型快速瞬态响应(FTR).....	37
4.3.15	输入电压前馈.....	37
4.3.16	XDPP1148的电流平衡.....	38
4.3.17	均流.....	38
4.3.18	XDPP1140的磁通平衡.....	38
4.3.19	突发模式.....	39
4.3.19.1	非共振拓扑的突发模式.....	39
4.3.19.2	LLC拓扑的突发模式.....	40
4.3.20	相位关断.....	41
4.3.21	SR缓启动.....	41
4.4	保护和故障.....	42
5	电气特性.....	45
5.1	绝对最大额定值.....	45
5.2	ESD和MSL额定值.....	45
5.3	热特性.....	45
5.4	推荐工作条件.....	46
5.5	电气特性.....	46
6	封装信息.....	51
6.1	QFN 4x4 – 24引脚.....	51
6.2	零件标记.....	51
7	命名规则.....	52
	修订记录.....	54

框图

1 框图

图 2 显示了 XDPP114x 器件架构的功能框图。括号中的引脚名称表示它是多功能引脚的辅助功能。详情参见表 7。

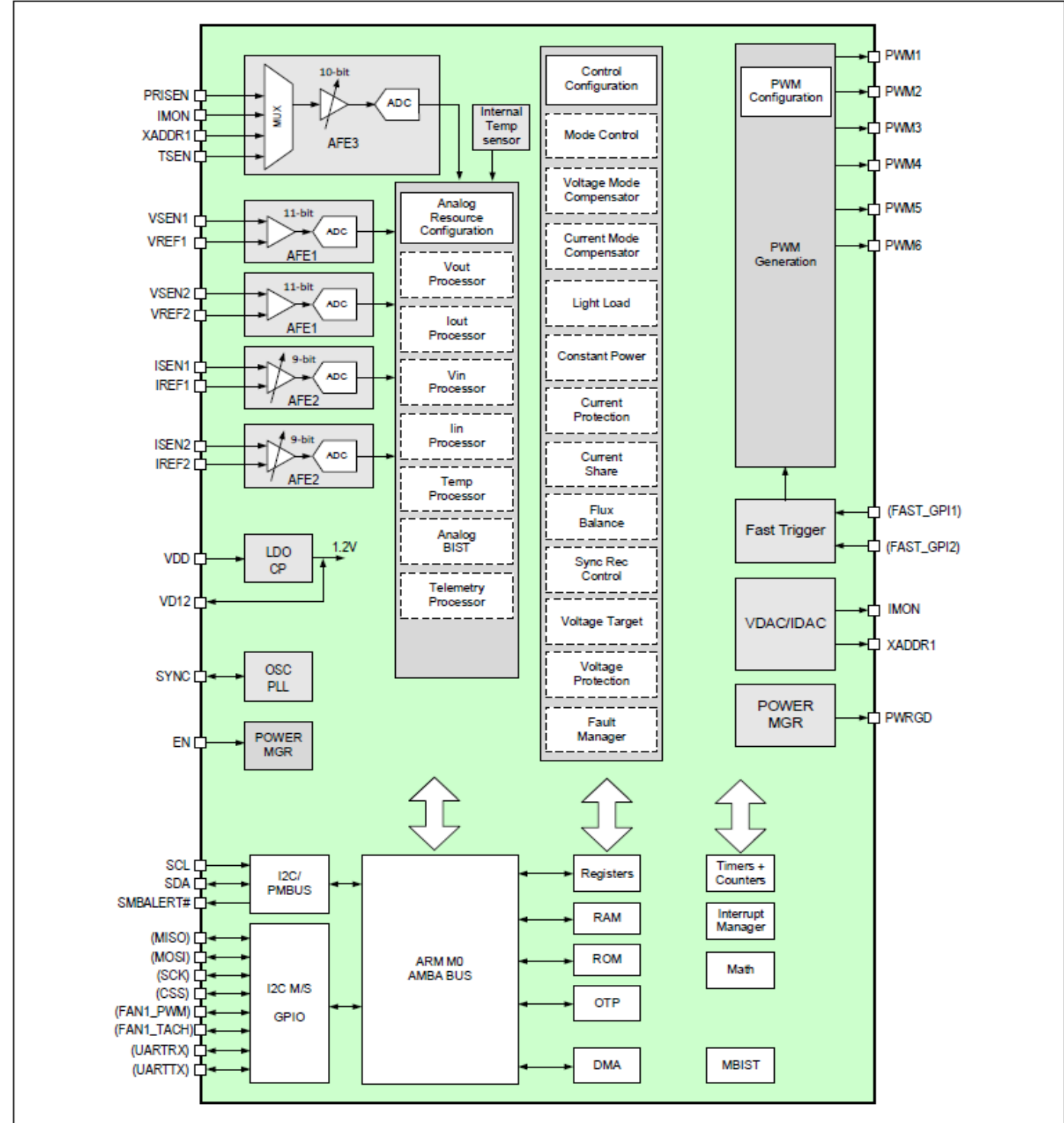


图 2 框图

2 产品选择矩阵

表 2 产品选型表

FEATURE	XDPP1140-100B	XDPP1148-100B
ARM M0 core processor	100 MHz	100 MHz
High resolution DPWM outputs (78.125ps resolution)	6	6
Number of voltage sense ADC	2	1
Number of current sense ADC	1	2
General purpose ADC channels	4	4
OTP	64 kB	64 kB
RAM	32 kB	32 kB
ROM	80 kB	80 kB
DPWM switching frequency	Up to 2 MHz	Up to 2 MHz
SPI serial bus	Yes	Yes
UART	Yes	Yes
PMBus	Yes	Yes
Watchdog	Yes	Yes
On chip oscillator	Yes	Yes
Sync in and sync out functions	Yes	Yes
Temperature sense inputs	1	1
Total GPIO (General purpose I/O pins)	11	11
Package offering	VQFN-24 (4x4 mm ²)	VQFN-24 (4x4 mm ²)

3 引脚配置和功能

3.1 XDPP1140-100B 封装

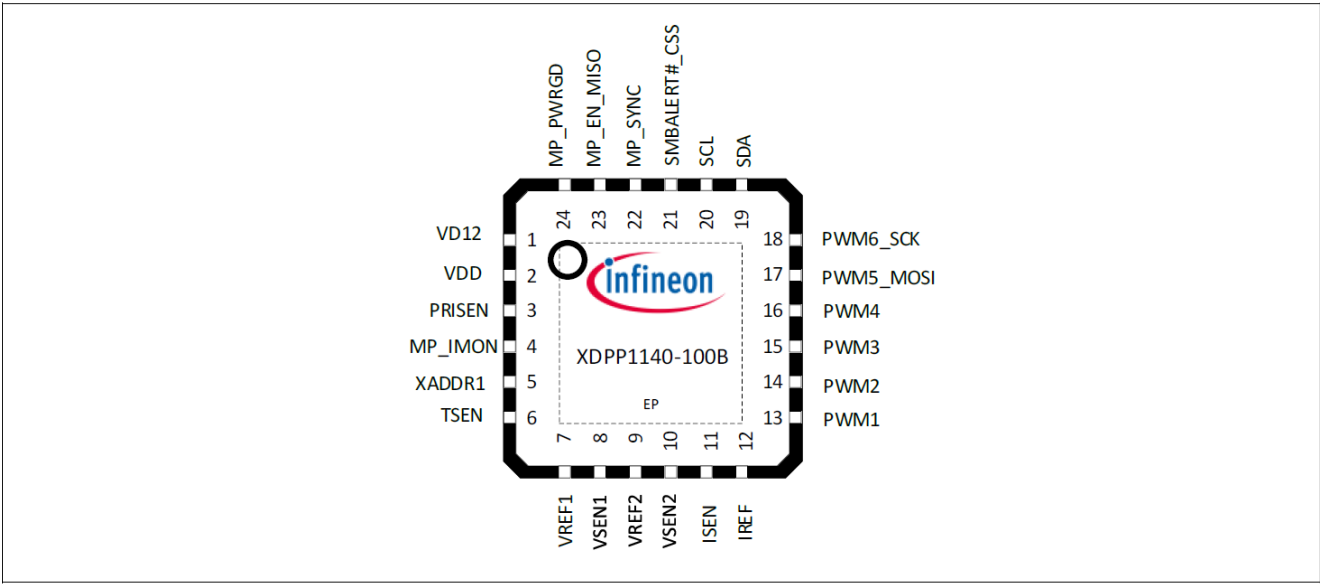


图 3 XDPP1140-100B 引脚分配
表 3 XDPP1140-100B 引脚定义

Pin No.	Name	Primary assignment	Alternate assignment	Configurable GPIO
1	VD12	1.2 V supply bypass.		-
2	VDD	3.3 V main supply input		-
3	PRISEN	Primary voltage sensing input	GPA1	-
4	MP_IMON	Output current monitor	GPA2/ SYNC / FAN1_TACH / Fault / Fast GPI2 / EN	Yes
5	XADDR1	Address 1	GPA3	-
6	TSEN	Temperature sensing input	GPA4	-
7	VREF1	Differential voltage sensing 1, negative input		-
8	VSEN1	Differential voltage sensing 1, positive input		-
9	VREF2	Differential voltage sensing 2, negative input		-
10	VSEN2	Differential voltage sensing 2, positive input		-
11	ISEN	Differential current sensing, positive input		-
12	IREF	Differential current sensing, negative input		-
13	PWM1	PWM1 output	SYNC/ Fast_GPI1	Yes

引脚配置和功能

Pin No.	Name	Primary assignment	Alternate assignment	Configurable GPIO
14	PWM2	PWM2 output	SYNC/ Fast_GPI2	Yes
15	PWM3	PWM3 output	SYNC/ Fast_GPI1 / FAN1_TACH	Yes
16	PWM4	PWM4 output	SYNC/ Fast_GPI2 / FAN1_PWM	Yes
17	PWM5_MOSI	PWM5 output	SYNC/ UARTRX/ Fast_GPI1/ SPI_MOSI	Yes
18	PWM6_SCK	PWM6 output	SYNC/ UARTTX/ Fast_GPI2/ SPI_SCK	Yes
19	SDA	I ² C serial data line		-
20	SCL	I ² C serial clock line		-
21	SMBALERT#_CSS	PMBus alert	SYNC / Fault / CSS	Yes
22	MP_SYNC	Synchronize pin	FAN1_PWM/ Fast GPI1/ Fault	Yes
23	MP_EN_MISO	Enable_Sleep control	SYNC/ SPI MISO	Yes
24	MP_PWRGD	Power good output	SYNC	Yes
	EP (exposed pad)	Ground pin		-

3.2 XDPP1148-100B 封装

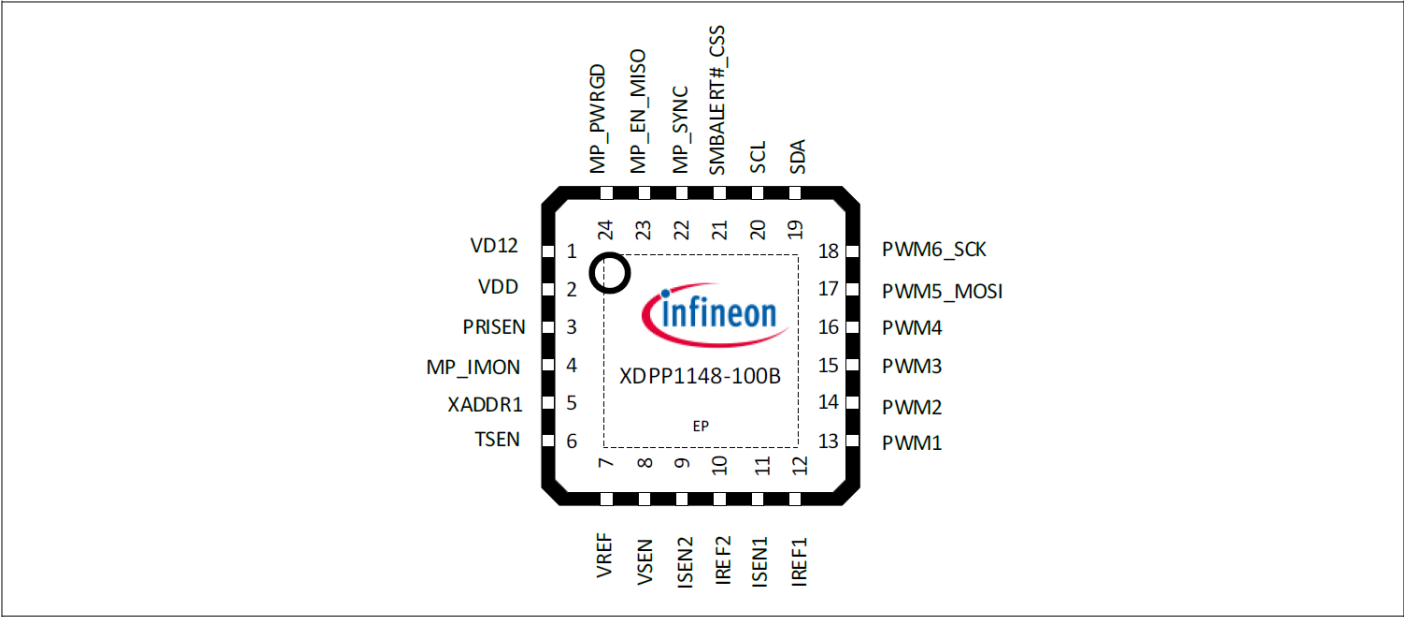


图 4 XDPP1148-100B 引脚分配

表 4 XDPP1148-100B 引脚定义

Pin No.	Name	Primary assignment	Alternate assignment	Configurable GPIO
1	VD12	1.2 V supply bypass		-
2	VDD	3.3 V main supply input		-
3	PRISEN	Primary voltage sensing input	GPA1	-

引脚配置和功能

Pin No.	Name	Primary assignment	Alternate assignment	Configurable GPIO
4	MP_IMON_EN	Output current monitor	GPA2/ SYNC / FAN1_TACH / Fault / Fast GPI2 / EN	Yes
5	XADDR1	Address 1	GPA3	-
6	TSEN	Temperature sensing input	GPA4	-
7	VREF	Differential voltage sensing, negative input.		-
8	VSEN	Differential voltage sensing, positive input		-
9	ISEN2	Differential current sensing of phase 2, positive input		-
10	IREF2	Differential current sensing of phase 2, negative input		-
11	ISEN1	Differential current sensing of phase 1, positive input		-
12	IREF1	Differential current sensing of phase 1, negative input		-
13	PWM1	PWM1 output	SYNC/ Fast_GPI1	Yes
14	PWM2	PWM2 output	SYNC/ Fast_GPI2	Yes
15	PWM3	PWM3 output	SYNC/ Fast_GPI1 / FAN1_TACH	Yes
16	PWM4	PWM4 output	SYNC/ Fast_GPI2 / FAN1_PWM	Yes
17	PWM5_MOSI	PWM5 output	SYNC/ UARTRX/ Fast_GPI1/ SPI_MOSI	Yes
18	PWM6_SCK	PWM6 output	SYNC/ UARTRX/ Fast_GPI2/ SPI_SCK	Yes
19	SDA	I ² C serial data line		
20	SCL	I ² C serial clock line		
21	SMBALERT#_CSS	PMBus alert	SYNC / Fault / CSS	Yes
22	MP_SYNC	Synchronize pin	FAN1_PWM/ Fast GPI1/ Fault	Yes
23	MP_EN_MISO	Enable_Sleep control	SYNC/ SPI MISO	Yes
24	MP_PWRGD	Power good output	SYNC	Yes
	EP (exposed pad)	Ground pin		

注:

1. EP 是位于芯片底部的金属焊盘
2. SDA, SCL, SMBALERT 均为开漏 I/O 引脚
3. 所有数字 GPIO 引脚均为 3.3V 电平 CMOS，输出可编程为 CMOS 或开漏
4. GPA：通用模拟输入引脚

4 功能说明

4.1 简介

XDPP114x 是一款灵活、功能丰富的数字控制器，专为隔离和非隔离型 DC-DC 转换器优化设计。

XDPP114x 的设计旨在实现高度灵活性，并为所有主要的固定频率拓扑提供出色的数字控制能力，拓扑包括：脉宽调制 (PWM) 半桥 (HB)、PWM 全桥 (FB)、PWM 相移全桥 (PSFB)、有源钳位正激 (ACF)、非隔离降压、升压和降压-升压。它也适用于谐振 LLC 拓扑，包括半桥 (HB) LLC、全桥 (FB) LLC 和相移全桥 (PSFB) LLC。XDPP1148 支持降压、升压和降压-升压的交错并联运行方式。

需要快速响应的功能由硬件状态机实现，并可通过 I²C 端口进行配置。这些功能包括：

- 数字 PID 环路滤波器和补偿
- 预偏置启动
- 前馈补偿
- 非线性 PID 快速瞬态
- 主动均流
- 两相电流平衡
- 全桥转换器的磁通平衡
- 轻载时的突发运行
- 相位关断

故障保护通过硬件实现，以获得最短的延迟时间。故障阈值、阈值迟滞和故障计数均可配置。为提高灵活性，故障响应由固件管理。行业标准 PMBus 接口还提供了对监控和系统控制功能的访问能力。

集成的 ARM® Cortex® -M0 微控制器和内置非易失性存储器可提供广泛的编程和定制功能，如频率抖动、GPIO 信号定时、软启动定时和时序、动态死区时间调节、黑盒数据记录。

4.1.1 ARM® Cortex™ -M0 核心

XDPP114x 芯片内嵌最小的 ARM 处理器—ARM® Cortex® -M0 处理器。该处理器为一款高性能 32 位处理器，具有极低的门数、极低的功耗需求以及较小的代码占用空间。它是一个优化的中断控制器，可用于硬实时应用场景。ARM® Cortex® -M0 处理器的时钟频率 f_{CLK} 为 100 MHz。

4.1.2 存储器

该器件配备 80 kB 启动 ROM，其中包含用于 PMBUS 通信的初始固件启动例程。此启动 ROM 在上电复位检查后执行。XDPP114x 还支持自定义启动程序，允许从一次性可编程 (OTP) 非易失性存储器 (NVM) 执行备用启动例程。控制寄存器可通过串行通信 (I²C) 总线在现场重新编程，并存储到 OTP NVM 中。对于运行时数据存储和暂存器，提供 32 kB RAM。

4.1.3 通信端口

该器件提供 I²C、SPI 和 UART 通信端口。

4.1.3.1 I²C/PMBus

设备的所有工作参数均可通过 I²C 串行接口 (SDA、SCL) 进行配置。SDA 和 SCL 支持 3.3 V 和 1.8 V 两种逻辑电平。默认情况下, 该控制器使用 3.3 V 逻辑电平。该器件支持全部三种 I²C 速率: 标准 (100 kHz)、快速 (400 kHz) 和快速模式增强型 (1 MHz) 工作频率。

该器件符合 PMBus™ 电源系统管理协议规范, 1.4.1 版。通过 I²C/PMBus 接口可对器件进行配置, 并监控故障状态、电压、电流、功率和温度遥测。

4.1.3.2 SPI

SPI 是一种高速通信端口, 可将编程长度 (1 至 16 位) 的串行比特流移入或移出该器件, 支持最高 5 MHz 的编程比特传输速率。SPI 端口支持 3.3 V 和 1.8 V 两种逻辑电平。对于 3.3 V 输出, SPI 引脚可配置为 CMOS (推挽) 输出或开漏输出。对于 1.8 V 逻辑电平, 必须将其配置为开漏输出, 并使用外部上拉。

该器件支持可编程的从机或主机模式。SPI 通常用于 XDPP114x 与外部外设之间的通信。典型应用包括连接移位寄存器、SPI EPROM 和模数转换器等外部 I/O 或外设。当用于与外部 EEPROM 通信时, SPI 通常配置为主机。当需要接收系统中另一个微控制器的控制时, 应将其配置为从机模式。

4.1.3.3 UART

该器件包含一个全双工通用异步接收器/发送器 (UART) 接口。波特率、字长和缓冲区深度均可通过寄存器进行配置。还可以设置环回功能以进行固件验证。

UARTTX 和 UARTRX 引脚组可使用指定的 GPIO 引脚进行配置。参见表 7 了解 GPIO 引脚列表以及每个引脚的预定义功能。

4.1.3.4 地址偏移

I²C 和 PMBus 的基地址由固件寄存器 `addr_pin_i2c_address_offset` 和 `addr_pin_pmbus_address_offset` 配置。默认情况下, I²C 的基地址为 0x10, PMBus 的基地址为 0x40。地址偏移可以添加到基地址中, 以区分系统中具有相同配置 (基地址) 的多个器件。XDPP114x 使用 XADDR1 引脚进行 I²C/PMBus 地址偏移, 方法是将一个电阻从 XADDR1 连接到地。偏移解码默认使能, `addr_pin_i2c_address_offset` 的位 [7] 设置为 0, `addr_pin_pmbus_address_offset` 的位 [7] 设置为 0。

器件支持 16 值或 8 值地址表, 具体如表 5 和表 6 所示。固件寄存器 `addr_pin_xv` 的位 [1] 用于在 16 值和 8 值之间进行 xValent 选择配置: 设置为 0 时选择 16 值, 设置为 1 时选择 8 值。默认引脚表大小为 16 值。要正确设置器件地址, 必须连接公差为 1% 的电阻。编程电阻的设计允许使用 E12 电阻, 以节省系统成本。

该器件在初始化状态期间测量 XADDR1 电阻偏移，不支持即时修改。配置必须存储在 OTP 存储器中，且需要对 VDD 重新上电后，修改内容才能生效。

表 5 16 段解码的 I²C/PMBus 地址偏移

Resistor-to-GND (1%)		Address offset
XADDR	680 Ω	0x00
	1 kΩ	0x01
	1.5 kΩ	0x02
	2.2 kΩ	0x03
	3.3 kΩ	0x04
	4.7 kΩ	0x05
	6.8 kΩ	0x06
	10 kΩ	0x07
	15 kΩ	0x08
	22 kΩ	0x09
	33 kΩ	0x0A
	47 kΩ	0x0B
	68 kΩ	0x0C
	100 kΩ	0x0D
	150 kΩ	0x0E
	220 kΩ	0x0F

表 6 8 段解码的 I²C/PMBus 地址偏移

Resistor-to-GND (1%)		Address offset
XADDR	10 kΩ	0x00
	22 kΩ	0x01
	33 kΩ	0x02
	47 kΩ	0x03
	68 kΩ	0x04
	100 kΩ	0x05
	150 kΩ	0x06
	220 kΩ	0x07

4.1.4 GPIO

该器件提供最多 11 个通用输入/输出 (GPIO) 引脚。所有 GPIO 引脚都与复用功能共享。GPIO 配置由每个 GPIO 引脚的功能寄存器 (名为 xxxx_func) 进行编程。GPIO 极性由固件配置寄存器

gpio_config_polarity 配置。当配置为输出引脚时，MP_IMON、MP_EN、PWM5_MOSI 和 PWM6_SCK 引脚可通过设置 xxxx_ppen 寄存器选择 CMOS 输出缓冲 (推挽) 或开漏输出。所有其他 GPIO 引脚均可通过固件寄存器 **gpio_config_emu_open_drain** 配置为仿真开漏。

GPIO 配置仅可在初始化时设置。对 gpio_config 寄存器的修改必须存储在 OTP 中，并在对 V_{DD} 重新上电或复位 FW 后生效。

功能说明

表 7 GPIO 和 I²C/SPI 多用途引脚

Name	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6	Function 7
MP_IMON	A: IMON	IO: GPIO[3]	IO: GPIO[11]	IO: SYNC	I: FAN1_TACH	O: GENERIC_FAULT	I: FAST_GPI2	IO: GPIO[0] (EN)
PWM1	O: PWM1	IO: GPIO[5]	IO: GPIO[13]	IO: SYNC	na	na	I: FAST_GPI1	na
PWM2	O: PWM2	IO: GPIO[7]	IO: GPIO[15]	IO: SYNC	na	na	I: FAST_GPI2	na
PWM3	O: PWM3	IO: GPIO[6]	IO: GPIO[14]	IO: SYNC	I: FAN1_TACH	na	I: FAST_GPI1	na
PWM4	O: PWM4	IO: GPIO[2]	IO: GPIO[10]	IO: SYNC	O: FAN1_PWM	na	I: FAST_GPI2	na
PWM5_MOSI	O: PWM5	IO: GPIO[3]	IO: GPIO[11]	IO: SYNC	I: UARTRX	I: S_MOSI	I: FAST_GPI1	O: M_MOSI
PWM6_SCK	O: PWM6	IO: GPIO[4]	IO: GPIO[12]	IO: SYNC	O: UARTTX	I: S_SCK	I: FAST_GPI2	O: M_SCK
SMBALERT#_CSS	IO: SMBALERT_N	IO: GPIO[6]	IO: GPIO[14]	IO: SYNC	O: GENERIC_FAULT	I: S_CSS	na	O: M_CSS
MP_SYNC	na	IO: GPIO[7]	IO: GPIO[15]	IO: SYNC	O: FAN1_PWM	O: GENERIC_FAULT	I: FAST_GPI1	na
MP_EN_MISO	IO: GPIO[0] (EN)	IO: GPIO[10]	IO: GPIO[8]	IO: SYNC	na	O: S_MISO	na	I: M_MISO
MP_PWRGD	IO: GPIO[1] (PWRGD)	IO: GPIO[12]	IO: GPIO[9]	IO: SYNC	na	na	na	na

注

1. 以“A:”为前缀的模拟功能
2. 数字输入以“I:”为前缀，输出以“O:”为前缀，输入输出以“IO:”为前缀
3. 按3级（例如，如果 MP_IMON 和 PWM6_SCK 均编程为 SYNC，则由于引脚编号较低，输入取自 MP_IMON）

4.1.5 寄存器映射

器件通过载入控制寄存器的特定应用参数设置进行配置。默认情况下，直接 I²C 寄存器访问处于禁用状态，此时 **vid_resolution** 的位[4] 设置为 1。通过 PMBus 可以访问控制寄存器映射。MFR_REG_WRITE, MFR_REG_READ 和 MFR_AHB_ADDRESS PMBus 命令用于写入/读取寄存器参数。XDP 设计器图形用户界面支持对寄存器映射的访问，无需额外步骤。

控制寄存器在出厂时没有预先编程。控制寄存器应针对每一具体应用进行编程，并将其存储到片上非易失性存储器 (NVM)，然后在控制器上电初始化时下载到控制寄存器中。控制器支持多次重新编程，可通过 GUI 或系统编程器软件轻松完成。

控制器还支持在 NVM 中存储多个配置。它最多可存储 16 种配置，如有需要，还可对这些配置进行重新编程。

4.2 模拟模块和子系统

4.2.1 电源

控制器采用单个 +3.3 V (VDD) 电源供电，片上低压差 (LDO) 稳压器在 VD12 引脚产生内部 +1.2 V 电压。VDD 和 VD12 引脚均应有 1 μ F + 0.1 μ F 陶瓷旁路电容用于滤波噪声。将旁路电容尽可能靠近 VDD 和 VD12 引脚放置。请勿对 VD12 引脚施加电压或接地。VD12 引脚可用作电流采集输入的 1.2 V 基准电压，但不能用于驱动负载。

该器件可进入睡眠模式，以降低静态电流和系统待机功耗。睡眠模式的电流消耗为 I_{Dsleep}。该器件能够在 t_{wakeup} 时间后，从睡眠模式中唤醒。如果不需要深度睡眠模式，可以将其禁用，这样可以更快地响应 EN 输入。EN 逻辑可配置为高电平有效或低电平有效。

4.2.2 振荡器和 PLL

该器件内置一个以 f_{osc} 频率运行的 PWM 振荡器，频率编程分辨率为 5 ns。通过 6 位插值器，XDP 器件可提供小至 78.125 ps 的高 PWM 分辨率。利用 12 位基于时间的周期和频率控制，该器件支持的最大脉冲宽度为 20.48 μ s ($4096 \times 5\text{ns}$)；由此设定的最小开关频率约为 50 kHz。最大开关频率为 2 MHz。对于 LLC 拓扑，频率调节分辨率为 2.5 ns。

典型的 LLC 调频波形如图 5 所示。顶部坐标轴显示补偿误差信号（即 PID 输出）。第二个坐标轴显示所产生的偶数周期 pwm 波形，随后是奇数周期 pwm 信号。PID 输出越低，开关频率越高。接下来两个轴上的信号是 PWM 输出，其上的阴影线表示信号的死区时间。下面两轴是次级 SR PWM 波形，它跟随初级 PWM，具有最大导通时间限制。

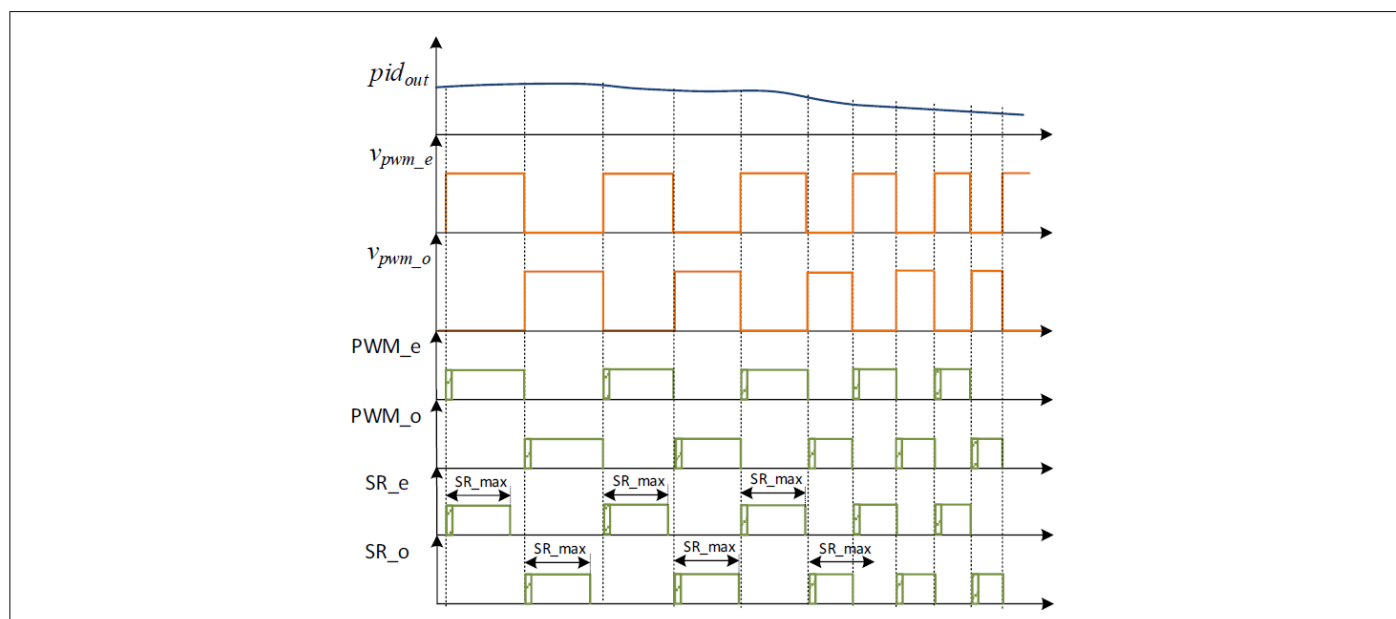


图 5 LLC 拓扑的 PWM 发生器

图 6 显示了典型的 PWM 生成波形。顶部坐标轴显示双边沿调制器 (Vmod) 和补偿误差信号（即 PID 输出）的模拟行为波形。下轴显示生成的 PWM 波形。底部四条轴上的信号带有阴影线，表示死区时间应用于信号的位置。

功能说明

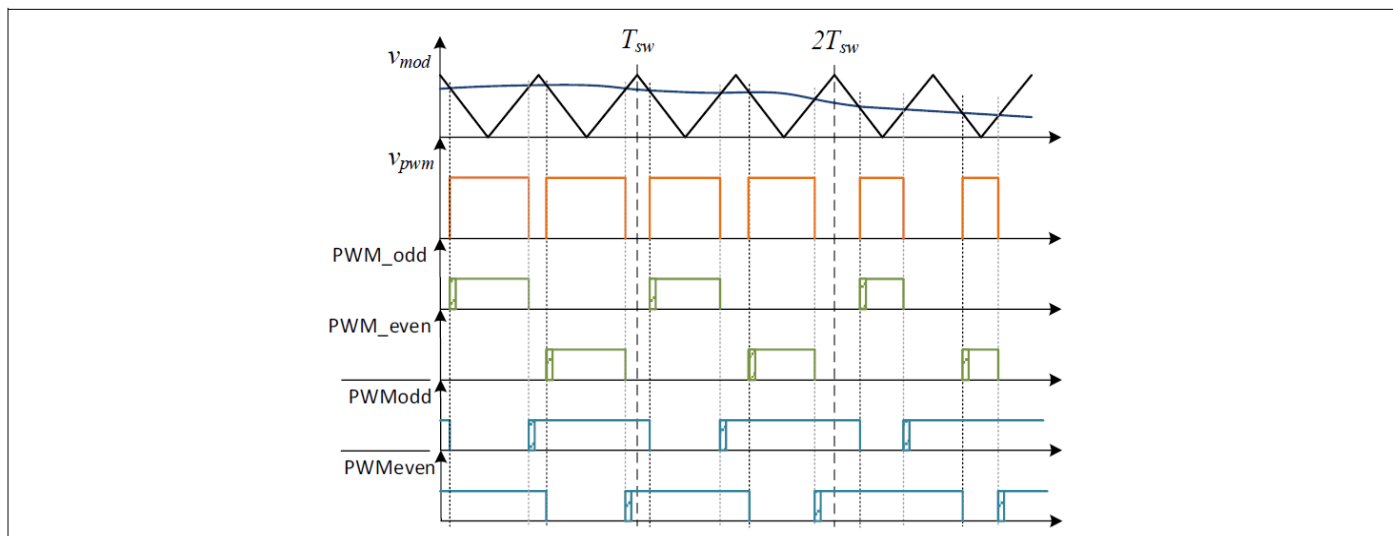


图 6 PWM 拓扑的 PWM 发生器

死区时间是指从一个开关断开到另一个开关接通之间的时间，在这段时间内，两个开关都处于断开状态，以防止意外短路。实现死区时间的标准方法是使用前沿消隐。PWM 发生器的每个信号都能按可编程量消隐上升沿。该器件支持两组死区时间分辨率和范围，由寄存器 **deadtime_lsb_sel** 配置，为 0-318.75 ns（增量为 1.25 ns）或 0-637.5 ns（增量为 2.5 ns）。如果需要额外的消隐时间，该器件还支持调整每个 PWM 的下降沿。死区时间值可在正常运行期间更改，以优化电源效率。

PWM 输出为 3.3 V 兼容信号，在复位、配置和初始化期间被设置为高阻抗。映射到环路以驱动 MOSFET 的 PWM 输出会在固件完成初始化后被拉至配置中定义的状态。PWM 关闭状态电平可通过 **pwm_state_shutdown** 寄存器 设置为低电平或高电平，并通过 **en_pwm_state_shutdown** 使能。默认情况下，PWM 关闭状态被禁用，所有映射到 Loop 的 PWM 在关机时都保持低电平。

多用途 MP_SYNC 引脚可配置为输入，以允许与外部时钟信号同步，或配置为输出，以提供其他转换器同步的时钟。为了获得最佳灵活性，所有 GPIO 引脚都可以配置为 SYNC 引脚。

当 SYNC 引脚配置为输入时，PLL 会接收一个周期性信号。输入信号须限定在所编程开关周期的 $\pm 12.5\%$ 内，以锁定同步时钟。频率锁定后，系统可在最大 $\pm 25\%$ 的编程开关周期内保持同步。

SYNC 输出信号为方波，其上升沿会根据具体的拓扑结构和调制类型，与 PWM 信号保持对齐。同步功能将提供一个表示同步成功的信号，如果无法同步则会提供一个故障信号。

4.2.2.1 第 3 路斜坡

除了用于产生最多两相 PWM 输出的两路常规振荡器斜坡外，该器件还提供第三斜坡。第三斜坡的频率可根据前两个常规斜坡（斜坡 0 和斜坡 1）单独配置。如果需要，它还可以与斜坡 0 或外部频率同步。第三斜坡与任何闭环控制无关，因此只支持开环运行。

第三斜坡的上升沿和下降沿可由 FW patch 独立编程。

功能说明

通过第三斜坡，该器件可驱动带有级联开环级的交错降压或交错3电平降压转换器。

表 8 支持的 PWM 斜坡和拓扑结构

Features	XDPP1148-100B	XDPP1140-100B	XDPP1100-Q024	XDPP1100-Q040
Number of loops	1	1	1	2
Number of ramps	2+1	2+1	2	2
Number of VS ADC	1	2	2	2
Number of IS ADC	2	1	1	2
Topology				
HB/CT; HB/FB	✓	✓	✓	✓
FB/CT; FB/FB (VMC with Flus balance)		✓	✓	✓
FB/CT; FB/FB (PCMC)	✓			✓
ACF	✓	✓	✓	✓
PSM-FB/CT; PSM-FB/FB	✓	✓	✓	✓
LLC-HB; LLC-FB; LLC-PSFB; secondary CT or FB	✓	✓		
Buck	✓	✓	✓	✓
Buck-boost	✓	✓	✓	✓
Boost	✓	✓	✓	✓
Interleaved Buck	✓			✓
Interleaved Buck-boost	✓			✓
Interleaved Boost	✓			✓
Interleaved HB/CT; HB/FB; FB/CT; FB/FB; PSM-FB/CT; PSM-FB/FB				✓
Interleaved ACF				✓
Dual loop (single phase of each loop)				✓
Interleaved Buck + open loop converter	✓			
Interleaved 3-level Buck+ open loop converter	✓			

4.2.3 电压检测 AFE1

XDPP1140 提供两路专用的高速电压模拟/数字转换器 (ADC)，作为模拟前端 (AFE1)，而 XDPP1148 则提供一路专用高速 VADC。按照功能，电压检测 AFE1 可以作为电压检测处理器 (VSP) 或者整流电压检测处理器 (VRSP)。

VSP及其相关块的主要功能是：

- 电压 ADC 全速率接口至数字域
- 电压 ADC 增益和偏移调整（数字调整）

功能说明

- 电压调节（外部电阻分压器）
- 输入或输出电压计算（可配置的输入或输出采集）
- 过压/欠压保护比较器和故障
- 快速瞬态 (FTR) 模式和 FTR 出口比较器
- 突发模式和突发模式退出比较器

VRSP及其相关块除了上述功能外，还具有以下功能：

- 带有数字去毛刺器的 200 MHz 边缘比较器
- 测量桥式拓扑偶数半周和奇数半周的 V_{RECT} 电压
- 测量非桥式拓扑结构偶数周期的 V_{RECT} 电压
- 对测量的偶数和奇数 V_{RECT} 电压取平均值
- 磁通平衡电路
- 输入电压处理

简化的VSADC框图如图 7所示。

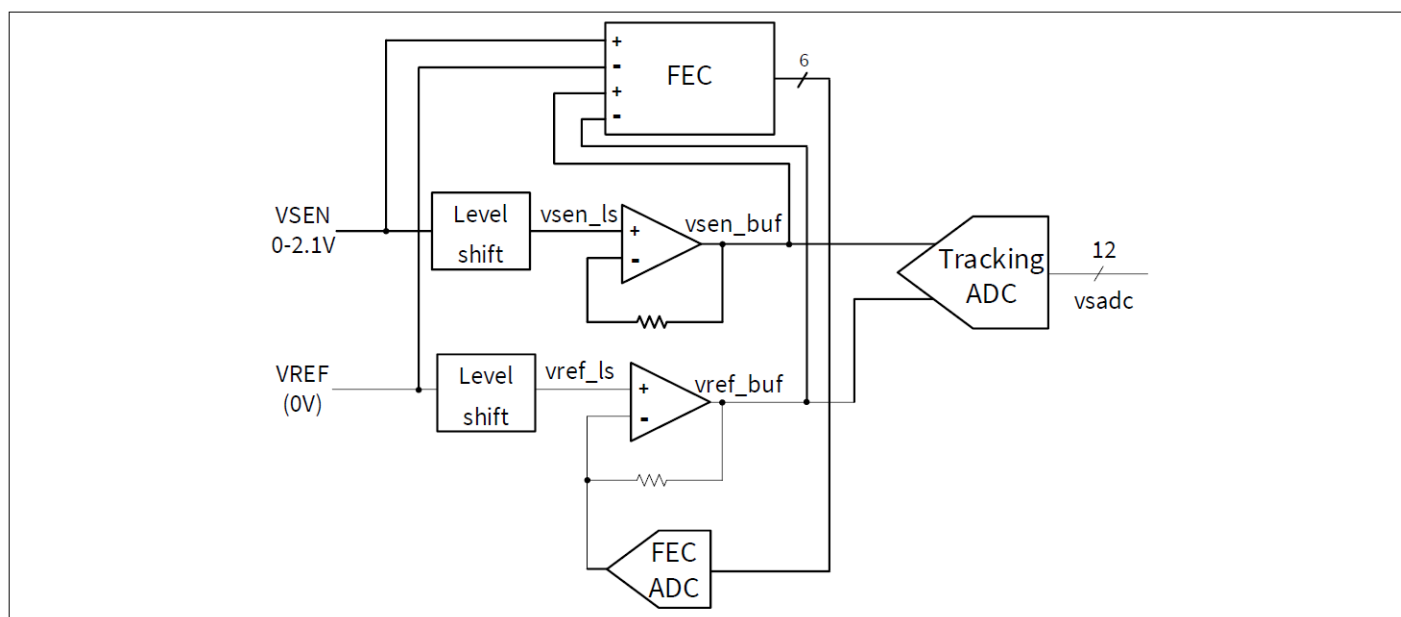


图 7 电压检测ADC框图

电平转换器允许较宽的输入电压范围，0.0 至 2.1V，并提供高输入阻抗。单位增益缓冲器为跟踪 ADC 输入级提供额外的驱动强度。前端偏移补偿器 (FEC) 用于减少温度、应力和 AFE寿命期内偏移漂移的影响。

跟踪ADC的简化框图如图 8所示。求和放大器放大缓冲差分检测电压与DAC输出电压之间的差值。

求和放大器的输出驱动比较器，比较器的输出决定跟踪积分器下一步的步长和方向。跟踪积分器输出代表模拟到数字转换的感测电压。它还用于驱动 DAC，其输出在加法放大器中求和。

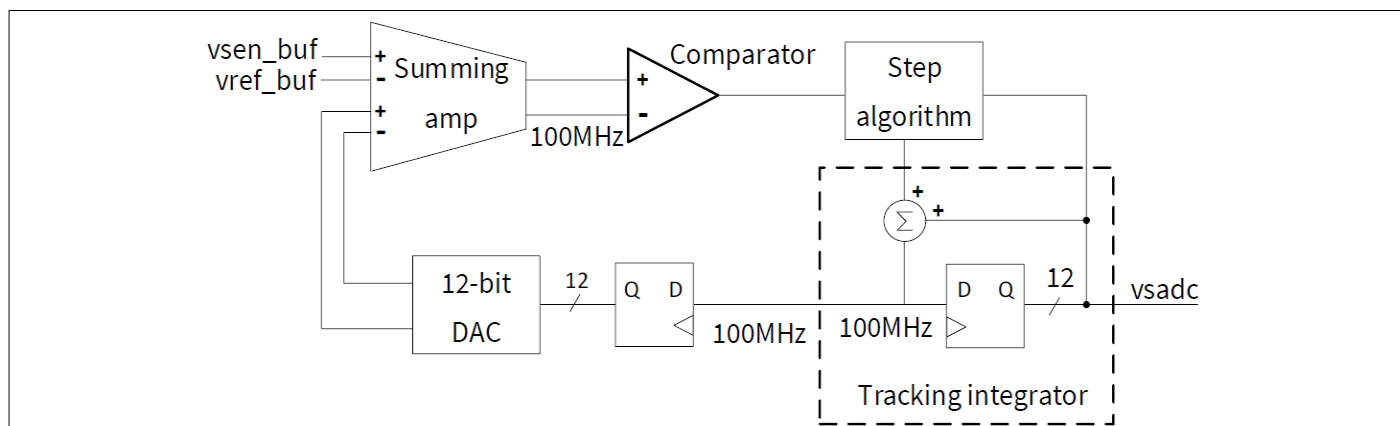


图 8 跟踪 ADC 框图

跟踪 ADC 分辨率为 12 位，输入参考 LSB 权重为 1.25mV。请注意，AFE 输入范围限制为最大 2.1V，这意味着实际仅使用 ADC 输出的低 11 位。对于输出电压感测，将 3 位调制添加到参考电压以实现 156.25 μ V 分辨率。

电压检测输入的标称输入阻抗为 1 M Ω 。ADC 的时钟频率为 100 MHz，电压检测前端放大器以 50 MHz 的频率处理电压。无需抗混叠滤波，但添加更高带宽的外部 RC 滤波器网络可能会有所帮助，以增强对可能耦合到电压检测线路上的高频噪声的衰减。该附加滤波器对反馈环路的相位裕度影响极小。如果使用此类附加滤波器，建议使用 $R_{EXT} = 10 \Omega$ 和 $C_{EXT} = 220 \text{ pF}$ 的值。

当 VSEN1 或 VSEN2 ADC 用于测量整流电压波形 (V_{RECT}) 时，VRSP 负责控制它们。 V_{RECT} 检测通常用于间接检测变压器二次侧的输入电压。图 9 所示波形说明了如何对 V_{RECT} 波形进行采样。在理想的 V_{RECT} 波形中加入了噪声，以突出采样窗口定时的重要性。AFE1 有一个工作频率为 200 MHz 的边缘检测器。它能检测 V_{RECT} 波形的上升沿和下降沿。 T_{detect} 波形是边缘检测器逻辑的输出。在检测到整流电压波形的上升沿时，会添加一些可编程的消隐窗口。消隐时间的配置应长于电压尖峰和振铃持续时间。消隐时间的设置也应长于跟踪 ADC 的安稳时间 250 ns。消隐窗口结束后，即可对整流电压进行采样（如 T_{sample} 波形所示）。VSEN ADC 的比较器预先定位到最后一个周期的值，以尽量减少 ADC 正确跟踪电压所需的时间。当相关 PWM 信号变为低电平时，采样窗口结束。

输入电压是根据 V_{RECT} 检测电压、 V_{RECT} 电阻分压器刻度和变压器匝数比计算得出的。当 VRSP 用于输入电压检测时，它将检测到包括输入过压和欠压在内的故障和警告。这些由 PMBus 命令设置，并由 CPU 进行响应。

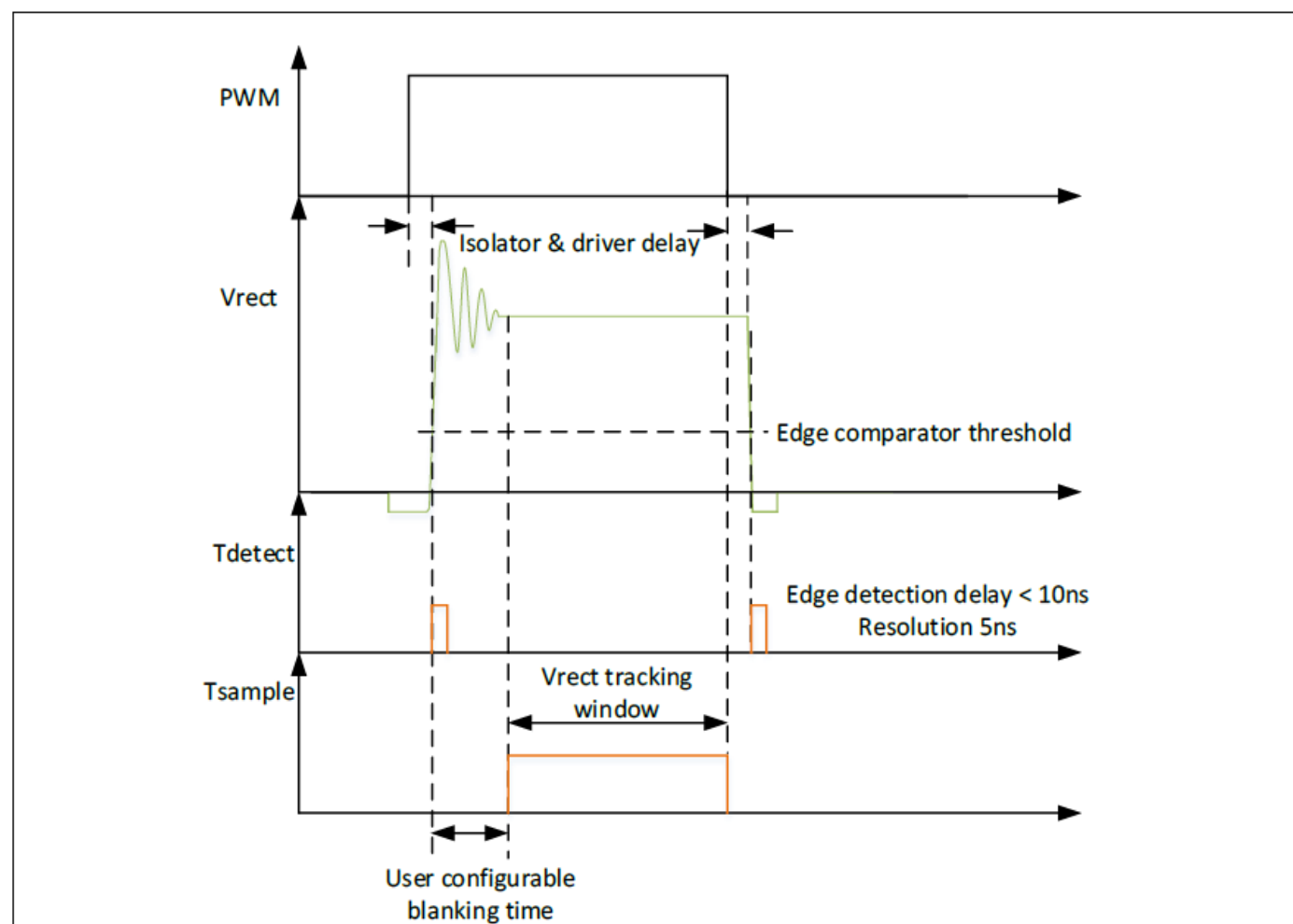


图 9 VRSP 采样窗口

整流电压波形的上升沿和下降沿的时序以及幅度用于变压器保护。例如，在全桥电压模式转换器中， V_{RECT} 的时序和幅度用于伏秒磁通平衡。为避免波形失真或时序延迟，在使用 V_{RECT} 检测模式时，建议不要在 VSEN 的输入端添加任何滤波器。

4.2.4 电流检测 AFE2

专用差分电流采集 ADC (AFE2) 可通过低欧姆采集电阻或 PCB 铜线采集电流，也可通过电流采集互感器采集初级电流。ISADC (ISEN1、ISEN2) 是 9 位 ADC。它的工作频率为 100 MHz，可提供高速短路保护 (SCP)。电流采集 ADC 的分辨率为 1 mV/LSB。参考电平 (IREF 引脚的共模电压) 为 1.2 V。

该设备支持初级和次级电流采集。当通过电流互感器检测初级电流时，使能对称的正负输入电压范围 (± 256 mV)。该功能无需对信号进行整流，从而简化了外部电路。在检测次级电流时，可以使用可配置的数字偏移来调整 0 A 时的电压电平，从而增加有效的正输入电压范围。最大数字偏移电压为 252 mV。

电流采集 ADC 的简化框图如图 10 所示。

功能说明

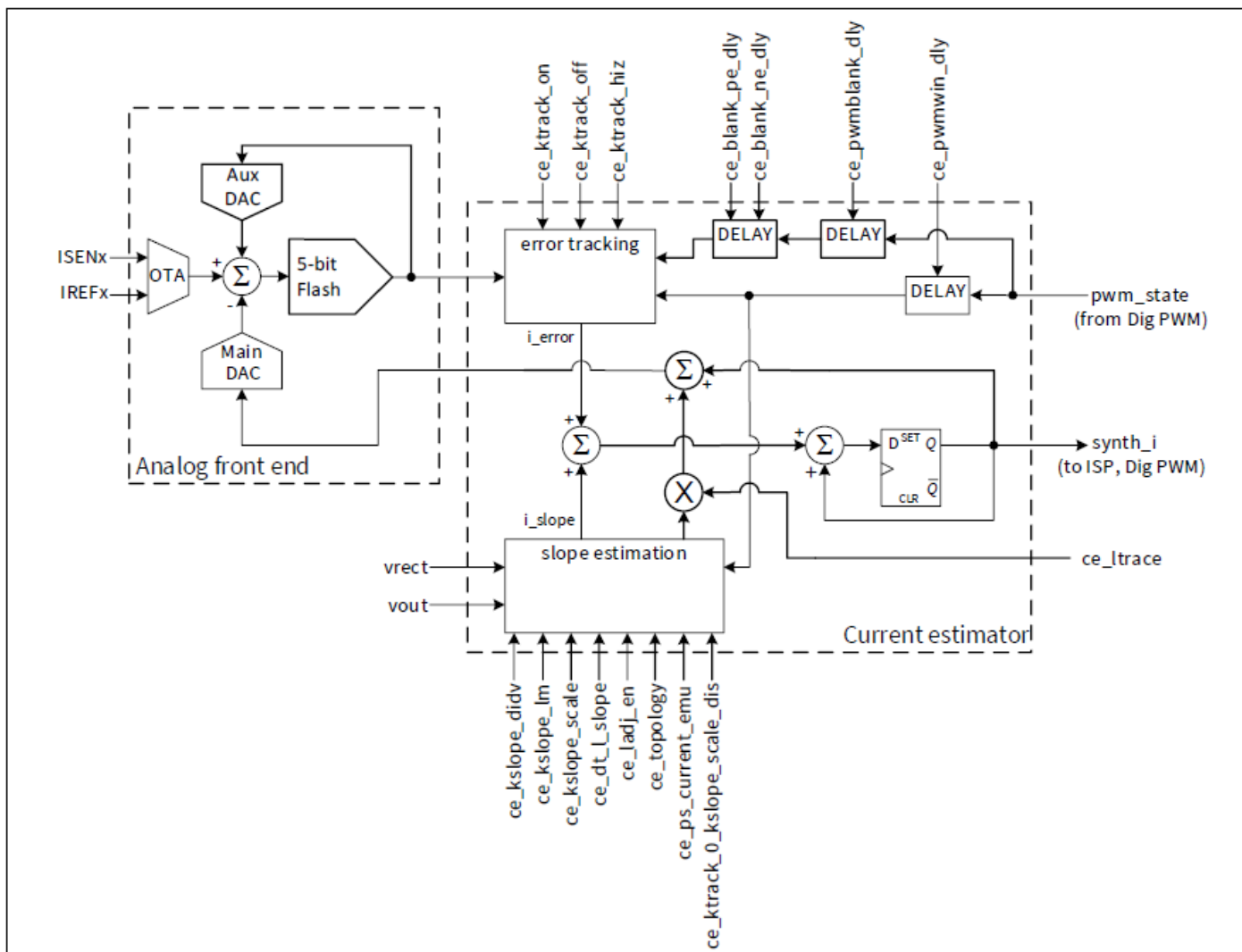


图 10 电流采集ADC的简化框图

对于 PWM 拓扑而言，电流估算器根据电流检测输入引脚配置，提供次级侧电感电流或初级侧电流的数字重建。该电流的波形是通过斜率估算函数获得的。根据 PWM 脉冲的状态，控制器不断预测每一相各自的 DC 和纹波电流。预测的结果与实际测量的相电流相结合，由控制器进行处理。因此，可以滤除测量中的瞬时噪声，而不会丢失宝贵的纹波电流信息。

在 LLC 拓扑中，电流估计电路被旁路。电流检测模块的输出完全依靠 ADC 检测。ADC 能够跟踪正弦电流波形，斜率高达 1.6 mV/ns。电流采集处理器 (ISP) 模式由 **isp0_mode** 和 **isp1_mode** 寄存器配置。

如果使用 PCB 铜走线进行电流感测，则应考虑温度补偿来补偿铜走线的温度变化。控制器持续监测温度，并利用这些信息对温度变化引起的电阻变化进行数字补偿。铜材料的内置温度系数为 0.39% Ampere/°C。使用 FW 补丁可定制温度系数。

控制器提供了几种提高电流检测精度的机制。为了减少电路板噪声对电流检测的影响，在 PWM 转换时实施了前沿消隐和后沿消隐时间。消隐时间可配置为 0 至 280 ns。此外，控制器还能进行多次电流测量，对每个开关周期的读数取平均值。为提高电流检测精度，该控制器允许补偿电流检测电阻的寄生电感。

功能说明

电流检测的极性可通过 ISP 数字处理器进行配置。向 `isp0_invert_input` 或 `isp1_invert_input` 写入 1 可反转极性。极性反转时，电流估算器被禁用，电流检测只能依靠 ADC。默认配置为非反相。

电流检测处理器（ISP）及其相关模块的主要功能是：

- 电流 ADC 全速率接口至数字域
- 电流 ADC 增益和偏移调整（数字调整）
- 电流缩放
- 输出电流计算
- 输出电流分流温度补偿
- 输出过流/欠流保护比较器和故障
- 输入电流计算
- 输入过流保护比较器和故障
- 逐周期峰值电流限制

4.2.5 通用 AFE3

通用ADCAFE3，也称为遥测ADC (TS ADC)，是一款 10 位高速模数转换器。该通用ADC的电压分辨率为 2.344 mV，采样频率为 0.926 MHz。该通用ADC模块包含8个通道，其中4个通道可通过 `PRISEN`, `MP_IMON`, `TSEN` 和 `XADDR1` 引脚从外部访问，如图 11 所示。它可以配置为数字化电压、阻抗和温度。

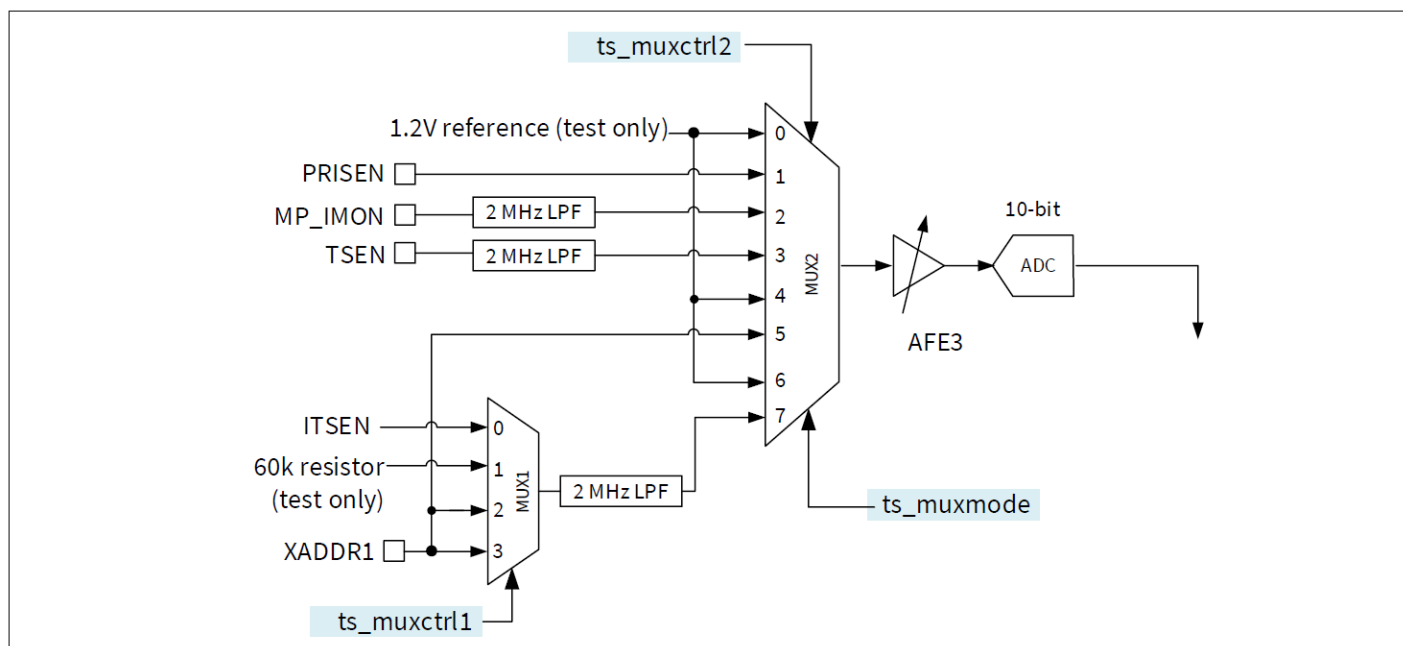


图 11 遥测 ADC 感测块

通道的转换顺序可以自定义，也可以根据多路复用控制寄存器 `ts_muxctrl1`、`ts_muxctrl2` 和 `ts_muxmode` 设置为自动排序。

4.2.5.1 IMON 和主动均流

IMON 引脚有一个代表输出电流的模拟 DAC 电源流。IMON 可用于输出电流监视器，以及用于多个并联模块之间的主动均流。IMON 引脚会输出一个与输出电流成比例的内部电流。IMON 电流 DAC (IDAC) 是 6 位 DAC，输出电流范围为 0 至 640 μA 。有 4 位累积抖动驱动额外的 LSB 输入到 DAC，以获得额外的分辨率（总共 6+4 位）。电流源的增益是可配置的，允许用户根据应用程序缩放电流源。空载时，该源电流为 160 μA 。IMON 源电流低于 160 μA 表示该模块中存在负电流。

在 IMON 和 GPIO 引脚之间连接一个 2.2 k Ω 的精密电阻器 (R_{ishare})。GPIO 引脚用作开关，以便在转换器处于非调节状态（如关闭状态或故障关机状态）时断开 R_{ishare} 。使用寄存器

gpio_config_ishare_imon_disconnect_select_loop0，为该功能分配一个 GPIO。当转换器处于调节状态且均流功能处于激活状态时，GPIO 引脚将 R_{ishare} 连接到地，因此 IMON 引脚将显示与输出电流成比例的电压。将多路转换器的 IMON 连接至 I_{share} 总线， I_{share} 总线的电压代表并联模块的平均电流。

每个电源转换器都会将自己的输出电流与平均电流进行比较，并相应地调整输出电压，以减少误差。为了防止小误差电流产生振荡，在电流均流块中设置了一个死区。当误差电流小于死区时，均流功能不激活。满载时，IMON 电压为 1.408 V (640 μA x 2.2 k Ω)；0 A 负载时，IMON 电压为 0.352 V (160 μA x 2.2 k Ω)。

为平滑 IDAC 震荡纹波，建议在 IMON 引脚和地之间至少放置 1 nF 电容。该器件有一个内部低通滤波器，用于配置均流的带宽。

器件在主动均流期间，提供正向和负向钳位以调整电压。这将输出电压限制在安全范围内。如果输出电压达到钳位水平，而电流误差仍然大于死区，则会报告均流故障。

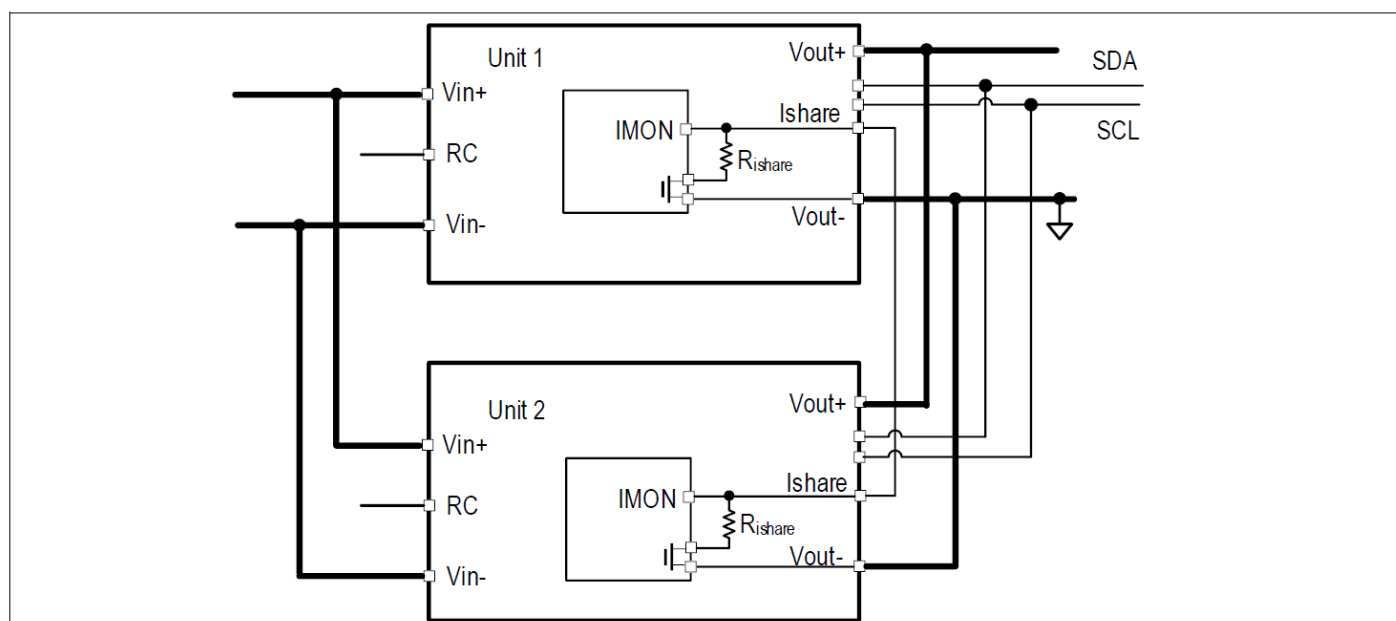


图 12 并联模块均流

4.2.5.2 温度检测

器件支持外部和内部温度检测，以进行保护和监控。外部温度检测通过连接在 TSEN 和地之间的温度传感器实现。该器件支持通过二极管正向压降检测温度。建议使用两个串联二极管，以提供更高的分辨率。温度传感器应靠近目标元件并与其紧密耦合，例如功率级组件或电流检测电阻。

图 13 显示 TSEN 引脚连接两个串联到地的二极管，用于温度检测。它也可以配置为使用 NTC 热敏电阻，方法是用一个 47 kΩ 的 NTC 与一个 12 kΩ 的电阻器并联取代串联二极管。基于 NTC 的温度检测向后兼容 [XDPP1100-Q024](#) 解决方案。温度传感器通过注入 100 μA 电流并测量 TSEN 上的电压来实现温度检测，从而有效补偿电流感测元件的温度系数，并通过产生警告和故障信号来提供过温保护。如果不需要温度传感器，则必须将 TSEN 引脚与接地端绑定。

使用双二极管压降或 V_{BE} 进行温度检测时，可根据实际使用的二极管配置偏移和增益。如果希望使用其他温度检测器件，如 PTC 热敏电阻温度检测，它还支持自定义温度查找表。

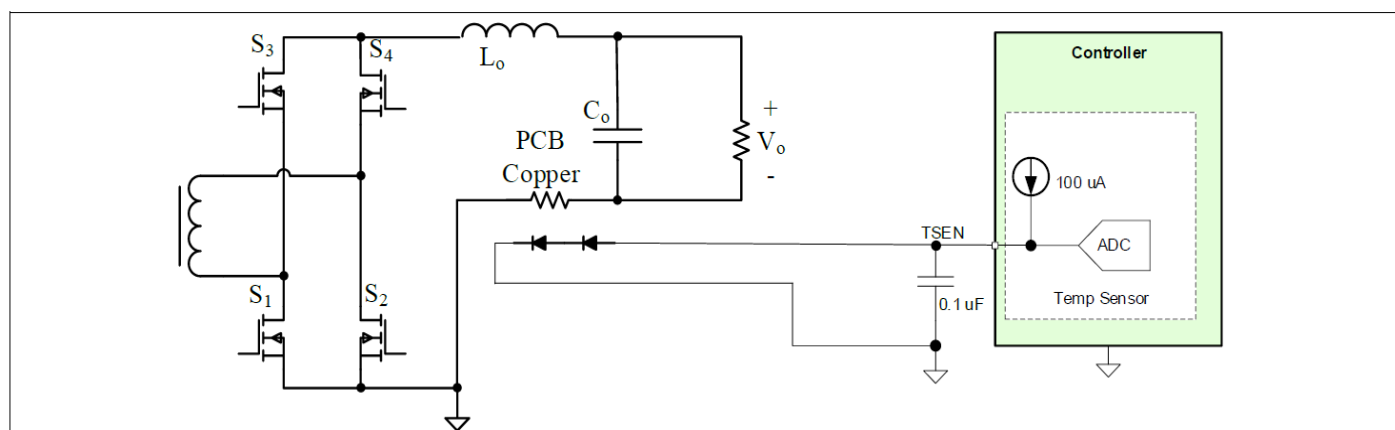


图 13 温度检测

建议在 TSEN 引脚与 GND 之间、紧邻该 IC 处，放置一个噪声去耦电容。

内部温度传感器是控制器芯片内产生的 PTAT（与绝对温度成比例）电压，它反映控制器的结温。

4.2.5.3 PRISEN

PRISEN 用于检测初级电压，以进行输入电压遥测和前馈补偿。在隔离式转换器中， V_{IN} 电压应在初级侧检测，并通过隔离放大器或辅助变压器馈入设备。PRISEN 的斜率和偏移由 `vin_pwl_slope` 和 `vin_trim` 寄存器配置。

XDPP1140 可选择使用 PRISEN 或 VSEN 进行输入电压检测，具体配置由寄存器 `t1m_vin_src_sel` 配置。

使用 PRISEN 进行 V_{IN} 检测时：即使转换器处于关闭模式，PRISEN 始终处于使能状态。一般 ADC 的采样率为 0.926 MHz，ADC 与其他三个输入（温度检测 TSEN、IMON、XADDR1）共享，因此前馈响应速度比基于 VSEN 的输入电压检测慢。

功能说明

当使用 VSEN 进行 V_{IN} 检测时（仅适用于 XDPP1140）：使用寄存器 **vsen_select** 选择的高速 ADC VSEN1 或 VSEN2。VSEN ADC 具有 50 MHz 采样率，提供极快的前馈响应和 OV/UV 保护。将 VSEN（1 或 2）用于 V_{IN} 遥测时，可通过将 **vsen_vrect_mode** 寄存器设置为 "VIN 模式"，将其配置为检测 DC 输入电压；或在检测变压器次级绕组时，将其设置为 " V_{RECT} 模式"。当设置为 " V_{RECT} 模式"时， V_{IN} 遥测仅在转换器启动开关后有效。

PRISEN 和 VSEN 电压检测可以组合使用，以获得最佳系统性能。XDPP1140 允许独立配置输入电压遥测和输入电压前馈。使用 PRISEN 进行输入电压遥测可以实现持续的输入电压监控和预启动保护；通过 VSEN 进行 V_{RECT} 检测可以实现快速前馈响应和磁通平衡功能。

4.2.6 快速触发输入

该器件有多达 2 个快速触发输入（GPI1 和 GPI2），可用作外部故障关断控制，以提高系统可靠性；或用于特殊时序控制，如 LLC 的 SR 时序控制。

任何 PWM 引脚都可配置为快速触发输入，可参见表 7。

4.2.7 快速故障输出

XDPP114x 可将 MP_IMON, MP_SMBALERT# 或 MP_SYNC 引脚配置为故障输出引脚。当环路故障或公共故障被触发时，故障输出将改变极性。从故障触发到故障引脚报告的响应时间小于 t_{FSF} 。故障列表和故障掩码位分配详见章节 4.4。要禁用故障引脚对特定故障的响应，可将 **fault_gpio_mask_loop** 或 **fault_gpio_mask_com** 寄存器中对应的位设置为 1。

4.3 控制回路子系统

4.3.1 状态图

状态图如图 14 所示。

控制器运行由上电 UVLO 电路进行初始化。在控制器配置期间，OTP NVM 的内容将下载到控制寄存器。在此期间，GPIO 引脚保持高阻抗 (Hi-Z) 状态，允许电路板上拉或下拉电阻为静态输入信号（例如 I²C 地址 XADDR1）设置正确的默认电平。

在初始化状态下，控制器会测量内部和外部温度、输入和输出电压，并执行 IC 内部的各种校准程序。在退出初始化状态之前，控制器会执行用于设置 I²C 串行地址的外部电阻引脚设置测量。一旦确定了有效的 I²C 地址，即可通过控制器的 I²C 总线与控制器建立通信。

功能说明

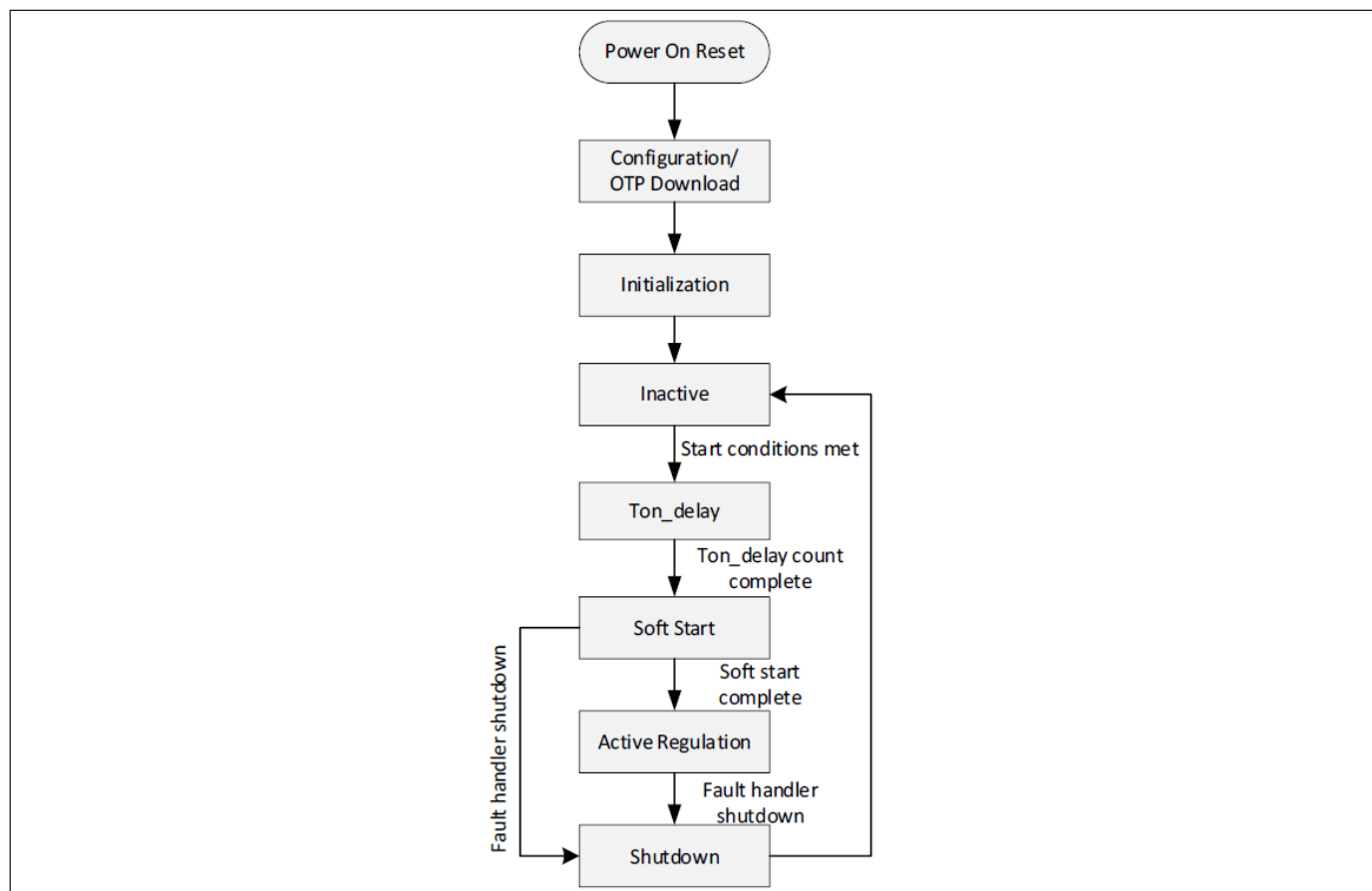


图 14 状态图

初始化过程完成后，控制器将进入非活动状态。控制器将在启动系统之前验证以下条件是否满足：

1. 有效 VDD：施加于 VDD 的电压必须超过 VDD UVLO 上升阈值 ($V_{DD\ rising}$)，内部电源有效信号才能被确认。否则，将发出 VDD UVLO 故障。
2. 未触发已编程关断掩码中定义的关断故障。
3. 如果 ON_OFF_CONFIG 设置为“响应 EN”，则使能信号有效。建议仅在 VDD、 V_{IN} 和功率级电源准备就绪后，才将 EN 信号置位。
4. TSEN 输入和内部温度在工作范围内。

一旦满足上述启动条件，控制器将等待一段可编程的时间段 (TON_DELAY)，然后再提高输出电压。

4.3.2 软启动

4.3.2.1 非谐振拓扑的软启动

对于非谐振拓扑，在进入主动调节状态之前，控制器对电压输出执行受控的、单调软启动斜坡。在软启动期间，控制器会对输出电压进行预偏置状态测量。控制器可以禁用同步整流器输出（二极管仿真模式），这样它就不会从预偏置输出吸收电流。启动时的二极管仿真模式可通过 PMBus 命令

FW_CONFIG_REGULATION 进行配置。软启动是通过主动调节输出电压来实现的，同时以数字方式将基准电压从所测得的预偏置电压斜坡上升至其最终目标值。可以在软启动过程中配置目标输出电压、斜率、开启上升时间以及开启试验次数。

功能说明

控制回路将二极管整流 (DE) 到同步整流 (SR) 的转换视为负载释放。为避免电压毛刺，控制回路会重置 PID 累加误差，并在 SR 使能时使用前馈占空比。该功能适用于电压模式控制，配置方法是将 **sr_on_mode** 设置为 0，**pid_reset_accum_en** 设置为 1。随着 PID 累加器的复位，当 SR 启用时，环路会立即修正占空比，从而实现从 DE 模式到 SR 模式的平稳过渡。

控制器还可以逐步增加 SR 占空比，从可配置的最小 SR 脉宽到全脉宽。相关内容可参见第 4.3.21 节中的 SR 缓启动。

当转换器完成初始输出斜坡至目标输出电压时，它进入主动调节状态。电源良好信号 PWRGD 有效，表明输出电压在调节窗口内。

4.3.2.2 LLC 转换器的软启动

LLC 转换器的软启动包括三个阶段。在第一阶段，占空比从低到高逐渐升高，同时以软启动的初始开关频率进行开关。LLC 启动占空比 (**llc_ss_duty_start**) 和 LLC 最大占空比 (**llc_ss_duty_max**) 均可配置。LLC 软启动的初始开关频率由 **vc_llc_rampstep_start** 通过定义与最小开关频率 **pid_llc_tmax** 的斜坡步长比来配置。占空比斜坡时间由 **llc_ss_duty_step** 和 **llc_ss_duty_steptime** 配置。

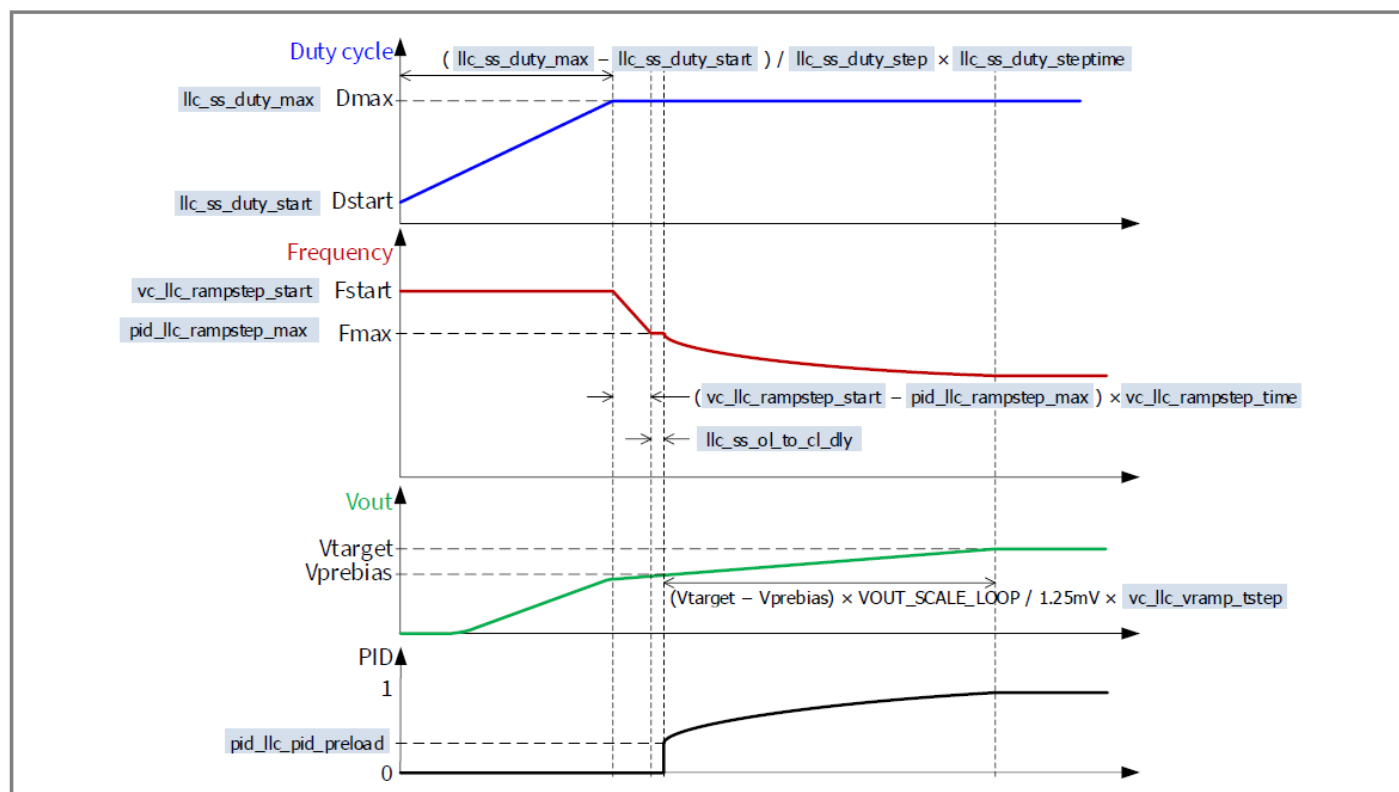


图 15 LLC 转换器的软启动

当占空比达到最大占空比后，转换器进入第二阶段：在此阶段，占空比保持在最大值，开关频率从初始软启动频率升至 LLC 的最大开关频率。初始软启动频率（通过 **vc_llc_rampstep_start**）可设置为不同于 LLC 最大频率（通过 **pid_llc_rampstep_max**）。如果软启动频率高于 LLC 最大频率，从软启动频率到最大频率的过渡时间由 **vc_llc_rampstep_time** 确定。

功能说明

如果软启动频率等于或低于 LLC 最大频率，则跳过第二步。寄存器 `llc_ss_ol_to_cl_dly` 配置了第三阶段开始前的可选延迟。

在第三阶段，闭环电压调节开始。控制环路的电压参考值从测量的预偏置值升至最终目标值，开关频率由控制环路自动调节。电压斜率由 `vc_llc_vramp_tstep` 配置。

4.3.3 关机

可以通过用户干预（取消激活 EN）或通过检测到的故障从软启动或主动调节状态进入关断状态。以下是一些故障情况的示例：过温（OTP）、过流（OCP）、输入欠压（VIN UVP）、输入过压（VIN OVP）、输出过压（VOUT OVP）、磁通平衡故障。

芯片支持两个用户可选择的关闭选项，以响应 EN 的取消激活。第一个选项是闭环关断，其中控制器以用户定义的斜率降低输出电压。第二种选项是热关断（Hi-Z）响应，其中输出级功率 FET 立即关闭。如果需要立即关闭，则应将 `TOFF_DELAY` 设置为 0ms。对于因故障导致关断的情况，最终的关断响应始终为 Hi-Z。

一旦发生关机，固件将处理后续响应。关闭可能是最终的；或者转换器可能进入有限或无限的打嗝模式。

4.3.4 电压模式控制 (VMC)

电压模式控制（VMC）是 XDPP114x 支持的最基本控制模式，如图 16 所示。输出电压与其预期电压（ V_{ref} ）进行比较，以产生误差电压，并将其输入 PID 补偿网络。PID 的输出由 PWM 发生模块使用，为给定的拓扑结构创建所需的信号。

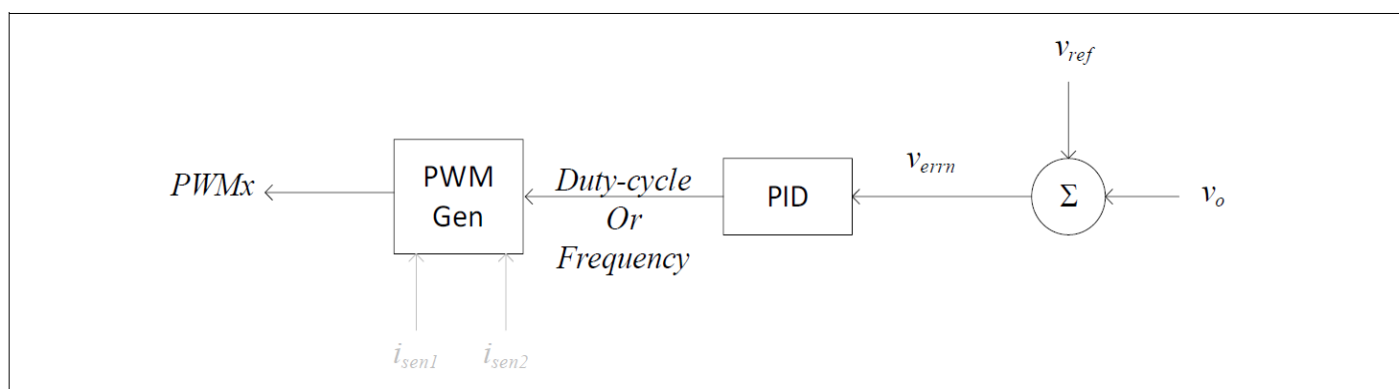


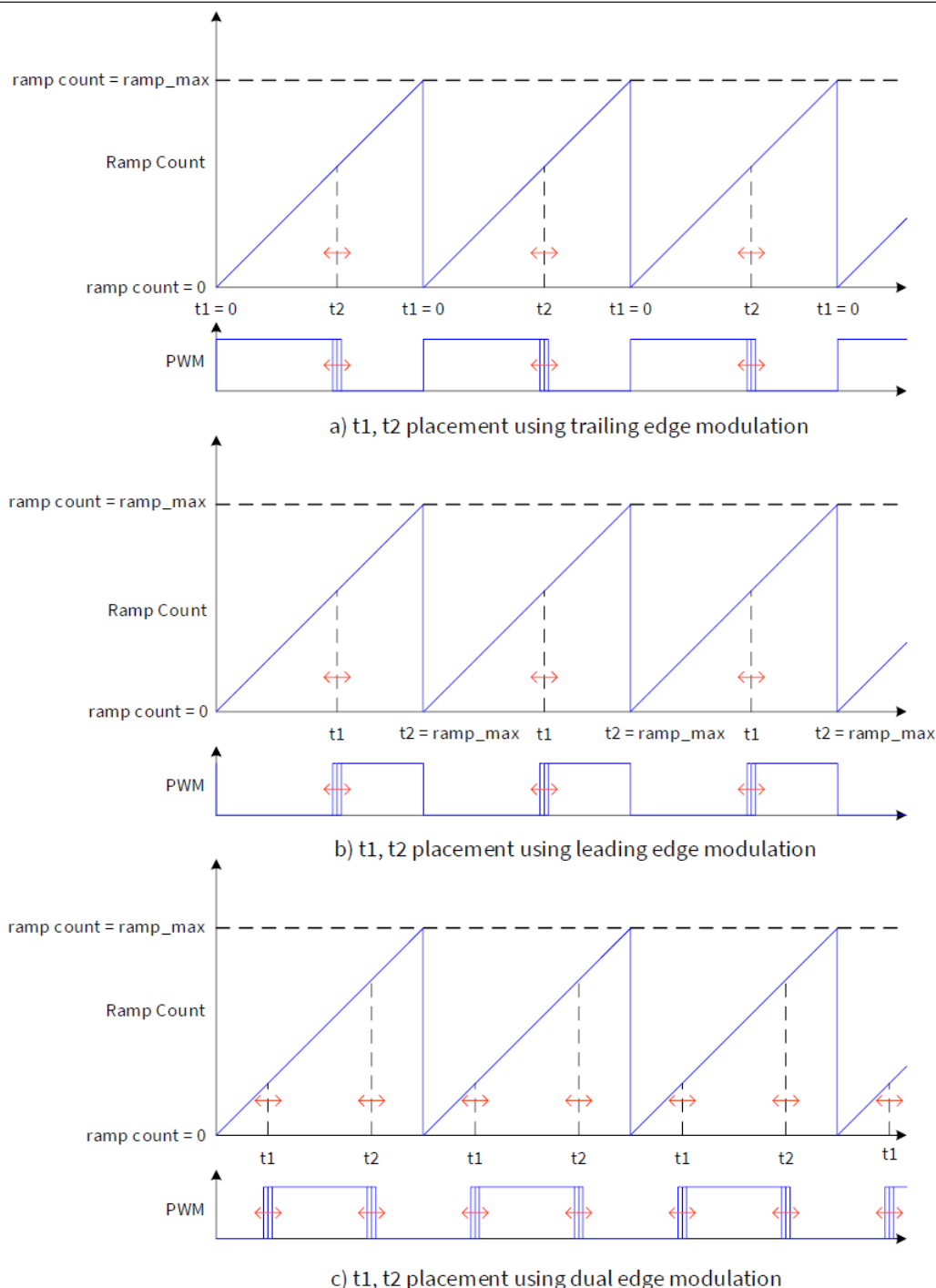
图 16 电压模式控制环路

如图 17 所示，VMC 支持非谐振拓扑的后沿 (TE) 调制、前沿调制 (LE) 和双边沿调制 (DE)。它只支持 LLC 拓扑的后沿调制。调制模式由寄存器 `rampX_m_flavor` 配置。

图 17 a) 中的第一个调制波形显示了后沿 (TE) 调制的情况。PWM 脉冲具有一个固定的前沿和一个调制的后沿。

第二种调制方案是前沿(LE)调制, 如图17 b) 所示。PWM脉冲具有固定的后沿和调制的前沿。

最后一种调制方案是双边 (DE) 调制, 如图17c) 所示。在此调制中, 时序标记 t_1 和 t_2 均被调制。



4.3.5 峰值电流模式控制 (PCMC) 非谐振拓扑结构

在峰值电流模式控制 (PCMC) 中, 电流被检测, 并在达到给定阈值时被关断。补偿误差电压定义了该阈值。需要注意的是, 要实现初级侧 PCMC, 采集到的电流不是输出电流 (如在 VMC 中)。

相反，电流互感器或隔离放大器会采集初级侧器件中的电流并将其馈送到隔离屏障上。次级侧 PCMC 的补偿与初级侧 PCMC 的补偿类似，主要区别在于，在这种情况下，采集的电流是输出（电感器）电流。只有非谐振拓扑才支持 PCMC。

采用 PCMC 时，不需要补偿器网络的微分，只留下补偿网络的 PI。

PCMC 的一个问题是，当占空比大于 50% 时，次谐波振荡会导致干扰增大而不是衰减。为了克服这个问题，需要增加一个辅助斜坡。斜坡的斜率可通过寄存器 **compensation_slope** 配置，可选值包括： V_o/L , $V_o/2L$, $V_o/4L$, $2V_o/L$, $4V_o/L$, $8V_o/L$ 。

在启动和受控关断期间，当占空比较窄时，初级电流信号较弱。建议使能最小脉冲宽度寄存器（`rampX_min_pw_state = 1`）以避免周期跳跃。

PCMC 仅支持后沿调制。

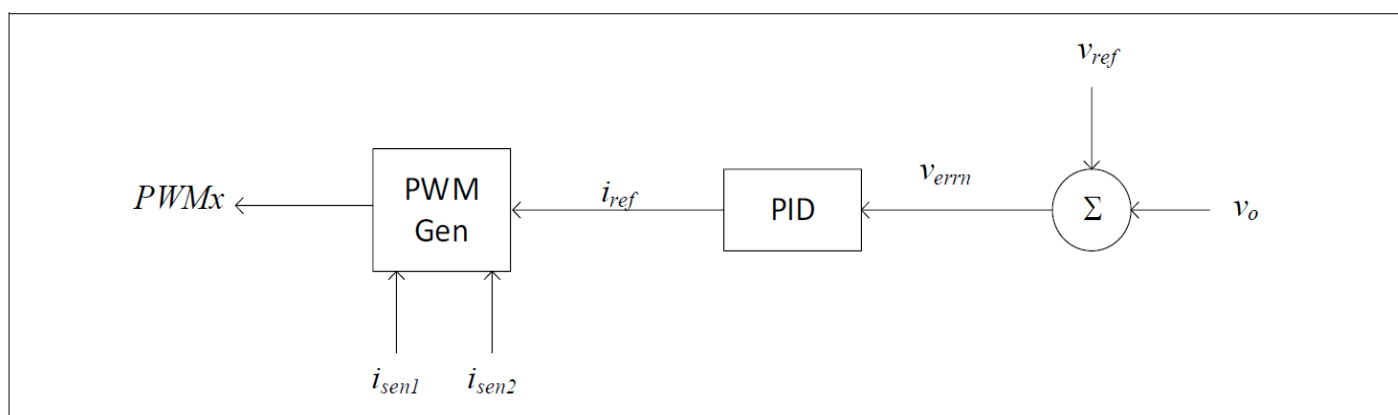


图 18 峰值电流模式控制环路

4.3.6 PID 和控制环路

该控制环路实现了固定开关频率、数字 PID 电压环路，以及双边沿 PWM 架构。在运行期间，输出电压被差分采集并由精密模数转换器 (ADC) 数字化。该电压与参考电压进行比较以产生误差电压。然后将得到的数字误差信号馈入数字 PID 补偿器，其有效传递函数如下：

$$H_{PID}(z) = \left[(K_p + K_D(1 - z^{-1})) \left(\frac{K_{fp2}}{1 - (1 - K_{fp2})z^{-1}} \right) + \frac{K_i}{1 - z^{-1}} \right] \left[\frac{K_{fp1}}{1 - (1 - K_{fp1})z^{-1}} \right] z^{-1}$$

极点和零点的位置由数字环路系数 K_p 、 K_i 、 K_d 和 K_{fp} 确定，它们分别是 PID（比例、积分、微分）和低通滤波器极点项。它创建了一个与 III 型补偿网络等效的补偿网络。在电流模式控制中，不需要相位超前，因此应通过将 `pid_kd_index_1ph` 设置为 0，将微分项 K_d 归零。

额外提供两组 K_p 、 K_i 、 K_d 系数（`pid_nl_neg_verr_xxx` 和 `pid_nl_pos_verr_xxx`），用于在误差电压超出负方向或正方向定制阈值时设置非线性环路补偿。

对于非谐振拓扑结构，数字 PID 补偿器的输出通过数字双沿脉宽调制器转换为 PWM 脉冲。最大占空比限制可编程至 99.5%。除了使用 PID 补偿器进行调节外，控制器还具有非线性控制机制，例如快速瞬态响应 (4.3.13, 4.3.14) 和输入电压前馈 (4.3.15)，以尽量减少瞬态期间的电压偏移。对于 LLC 拓扑，PID 输出可控制开关频率。详见 4.3.7 中的其他信息。

4.3.7 频率调制 (LLC)

频率调制通常用于闭环 LLC 拓扑。当寄存器 **llc_mode** 使能时，PID 输出用于控制内部斜坡的速率（步长），从而决定开关频率。如图 19 所示，最小（Fmin）和最大（Fmin + Fgain）频率可通过寄存器 **pid_llc_tmax** 和 **pid_llc_rampstep_gain** 进行配置。此外，还可选择配置最大和最小频率的钳位（Fmax 和 Fmin_clamp）。

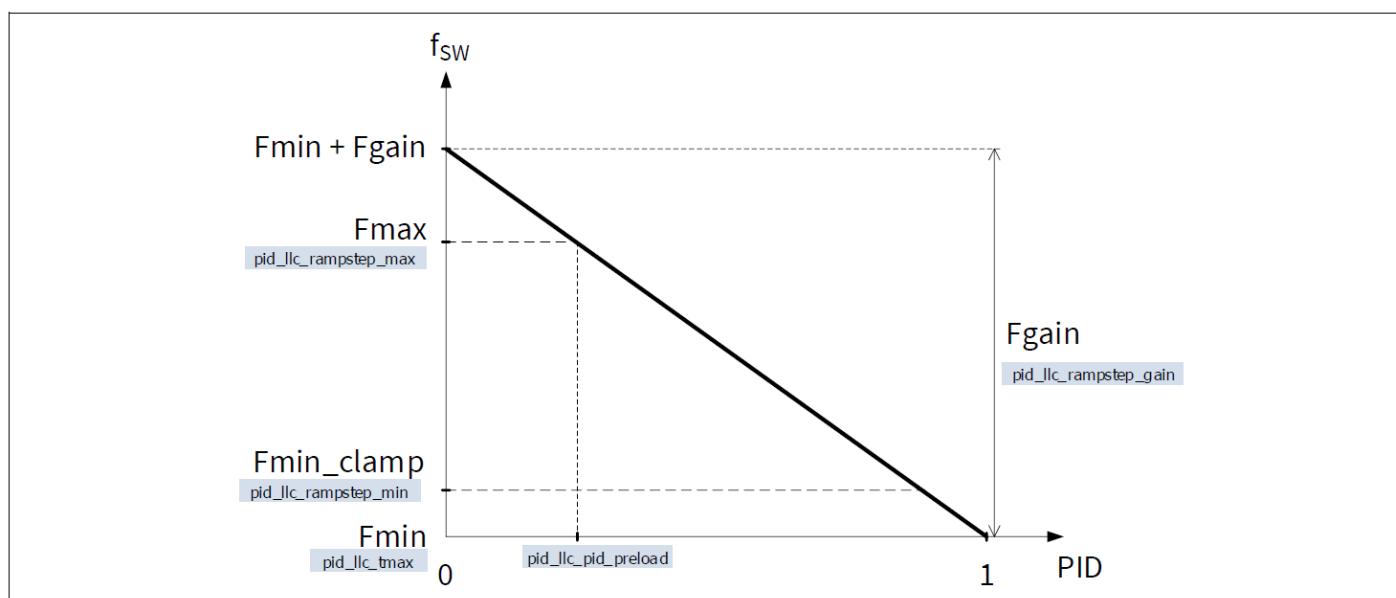


图 19 PID 输出控制频率调制中的斜坡步长

4.3.8 全桥 LLC 相移模式

除频率调制外，相移也可应用于全桥初级 LLC 转换器。这对于改善轻负载性能和/或调节范围非常有用。使能后，一旦达到 Fmax，PID 输出将控制脉冲宽度 (t2)，如图 20 所示。当根据相移全桥 LLC 分配初级桥臂 PWM 时，占空比的减少实际上就是相移的增加。也就是说，一个初级桥臂分配到 t1，另一个初级桥臂分配到 t2。需注意，在这种情况下，LLC 最大占空比 (**llc_ss_duty_max**) 需要达到最大值 99.9756%。

功能说明

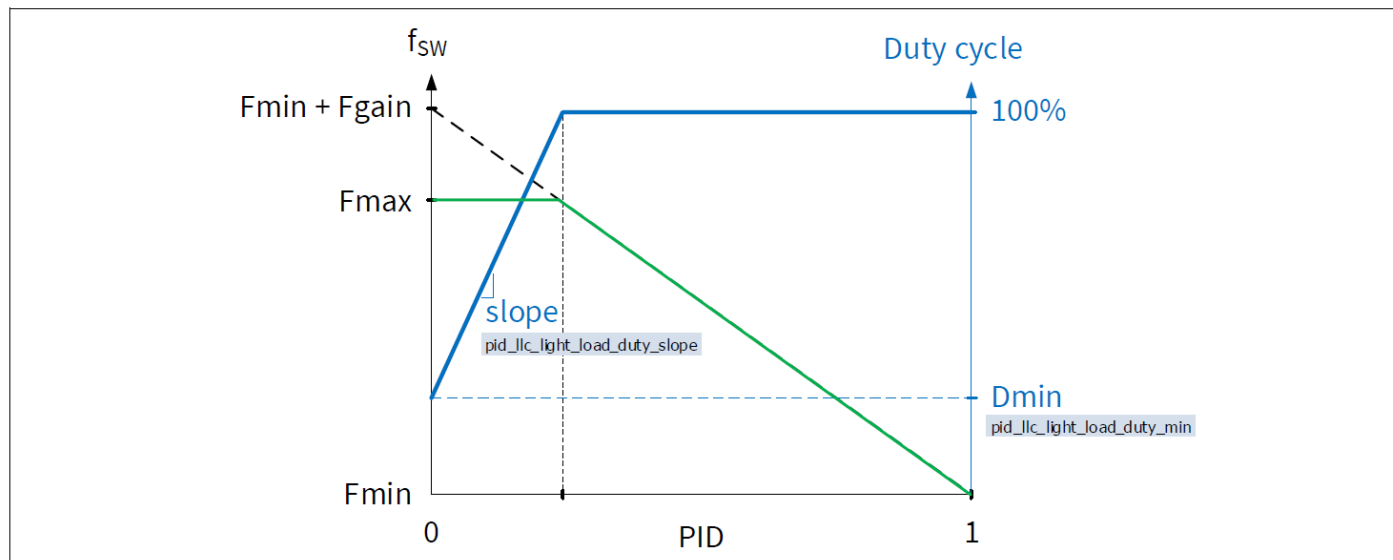


图 20 达到最高频率后的移相控制

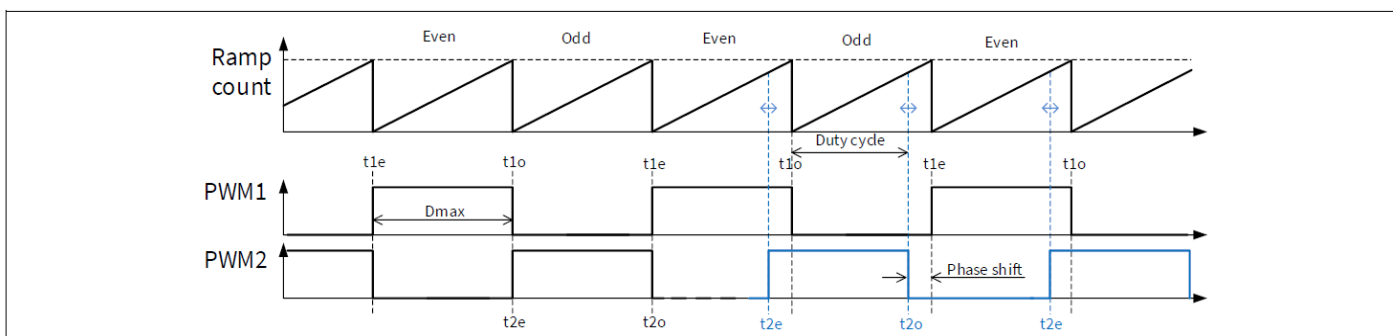


图 21 移相 LLC 的初级 PWM 时序

4.3.9 LLC SR 时序控制

在 LLC 转换器中，次级电流与初级 PWM 并不完全同相。因此，LLC 拓扑的 SR PWM 时序需要特殊控制。

XDP114x 为 LLC 提供两种 SR 时序控制。下面将对此进行描述。

4.3.9.1 SR 的固定最大导通时间

SR 上升沿与初级 PWM 上升沿对齐。使用死区时间寄存器配置 SR 的开启延迟，最大可达 318.75 ns（或通过降低分辨率扩展至 637.5 ns）。如图 22 所示，SR 的关断有两种情况。

- A) 当开关频率低于谐振频率 (F_{RES}) 时，最大 SR 脉冲宽度仅限于谐振周期的一半。
- B) 若开关频率等于或高于谐振频率，则 SR 下降沿与初级 PWM 下降沿对齐。

谐振频率是一个参数 ($1/llc_tres$)，由用户根据系统设计来定义。对关断的额外调整由 `llc_tdtprim_plus_tiso` 和 `toff_dly_t3` 配置。

功能说明

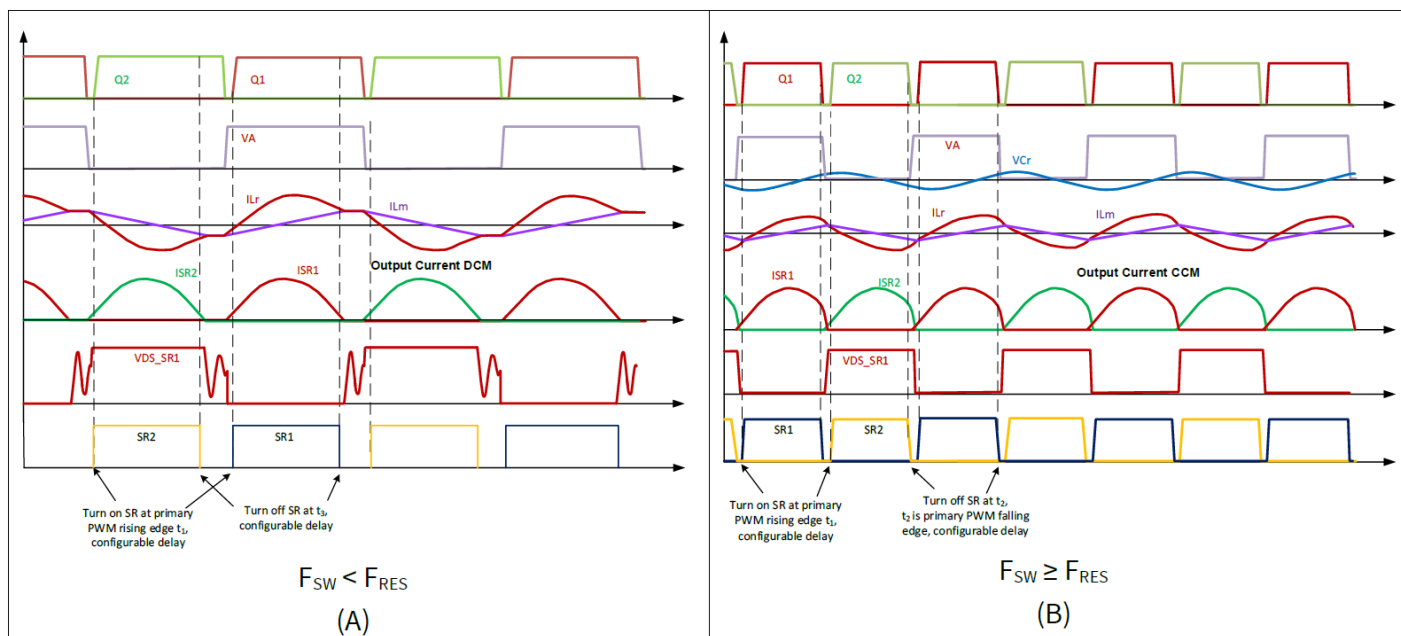


图22 具有固定最大SR导通时间的LLC波形

4.3.9.2 自适应SR最大导通时间

自适应 SR 时序控制是通过检测 SR 的 V_{DS} 电压来实现的。如图 23 所示， V_{DS} 电压首先由一个小信号 MOSFET（如 BSS123N）进行电平移位和钳位，然后发送到一个比较器，其阈值可由电阻分压器配置。比较器测量 SR 体二极管的导通时间，并产生相应的脉冲。如图 24 所示，从 SR PWM 接通前，第一个体二极管导通脉冲的上升沿到 SR PWM 关断后第二个体二极管导通脉冲的下降沿，二者的时间间隔，表示低于谐振工作的谐振周期的一半。该信号被发送到快速 GPI1 输入端，并由器件进行处理，以调整最大 SR 脉冲宽度。

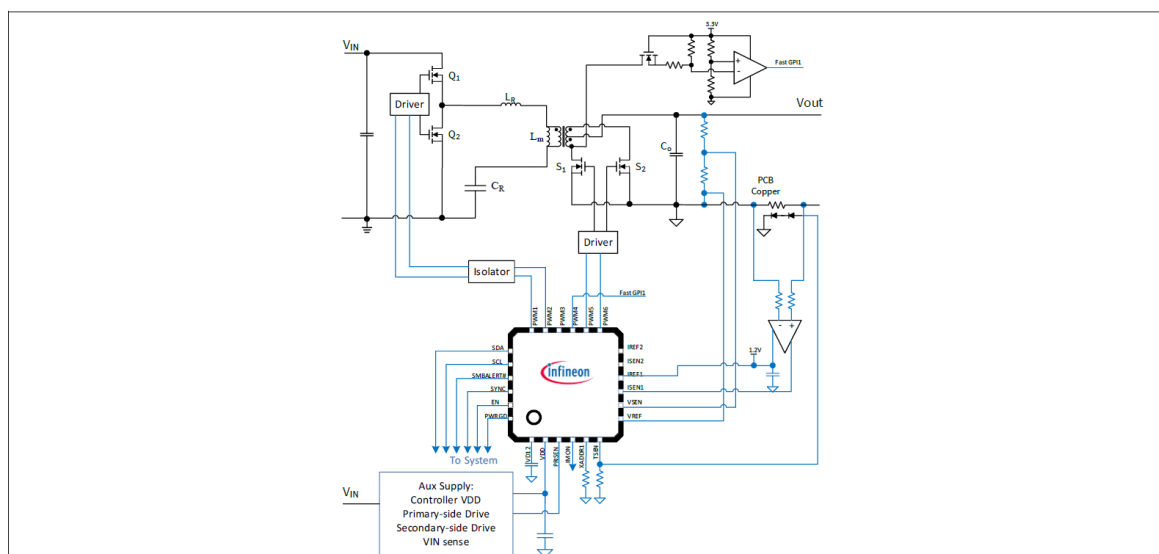


图 23 具有 SR VDS 检测的 LLC

功能说明

该器件支持 SR PWM 下降沿的负延迟 (**toff_dly_t3**)，可截断或减去 SR 的脉冲宽度。负延迟范围为 -315 ns 至 0 ns，分辨率为 -5 ns。

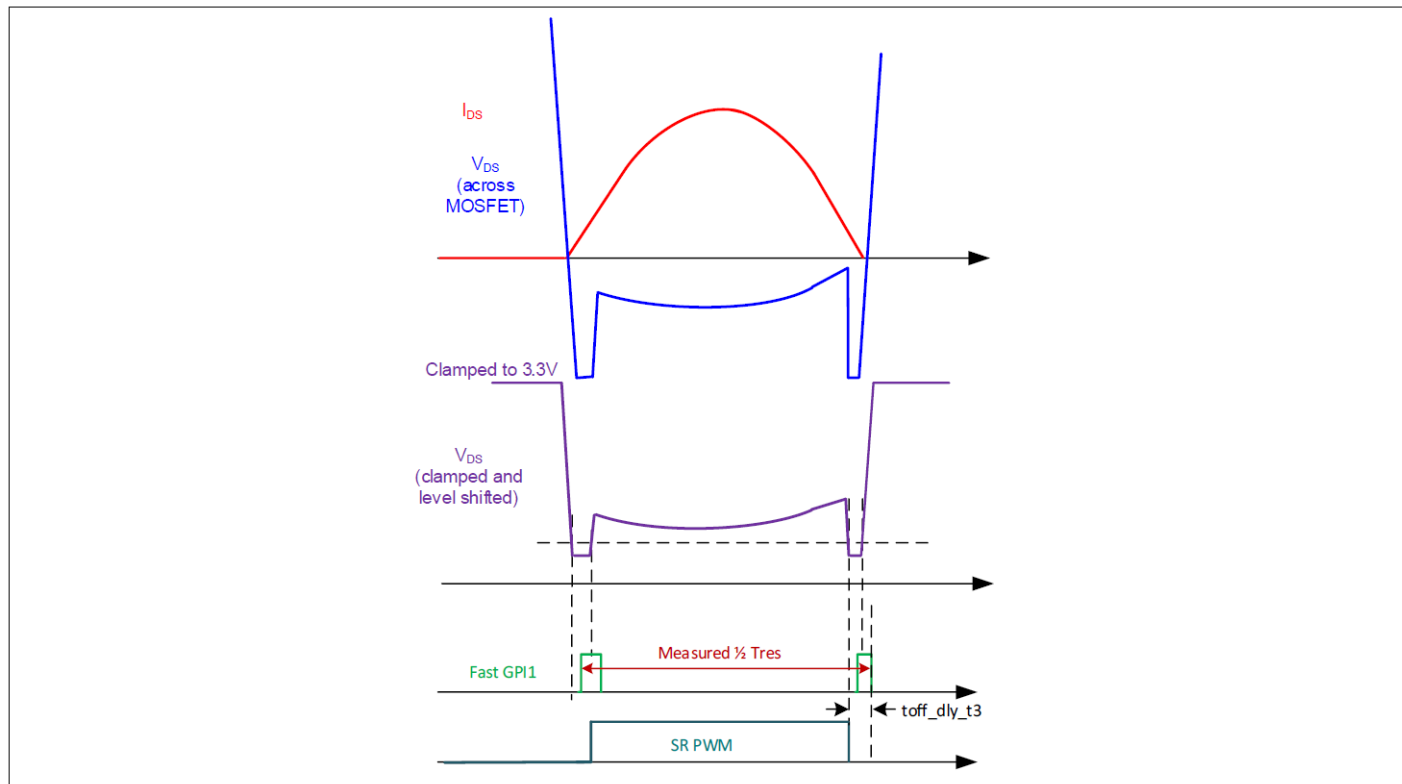


图 24 低于谐振运行时的 SR VDS 检测和快速 GPI1 波形

4.3.10 非谐振拓扑的电流检测估算器

电流检测估算器 (CE) 对电感器电流进行采样并提供斜率估计和跟踪。根据 PWM 脉冲的状态，控制器不断预测每个单独的 DC 电流和纹波电流。预测（估计）的结果与实际测量的电流（跟踪）相结合，由控制器进行处理。该组合过程中跟踪值所占的比例，可针对三种独立的 PWM 状态：高阻态 (HiZ)、关断 (off) 状态及导通 (on) 状态，分别通过 **ceX_ktrack_hiz**、**ceX_ktrack_off** 以及 **ceX_ktrack_on** 寄存器进行配置。

电流估算器针对降压型、升压型和降压-升压型拓扑实现了不同的方程。对于隔离降压型拓扑结构中的输出电流检测，能量转移区间内的斜率取决于整流电压值，而整流电压值是输入电压和变压器匝比、滤波器电感以及输出电压的函数。续流间隔可分为两部分：第一部分是 SR 体二极管导通，第二部分是 SR 导通，其通道随之导通的阶段。在第一种情况下，斜率是输出电压、电感和二极管正向电压的函数。在第二种情况下，斜率是输出电压和滤波器电感的函数。寄存器 **ceX_kslope_didv** 定义了斜率估算的标准化输出电感值。

输出电流可以在输出电容器组之前采集，该电流为带有纹波的电感电流；也可以在输出电容器组之后采集，该电流为不带纹波的 DC 电流。检测电感电流可实现次级峰值电流模式控制。检测 DC 输出电流不能使用次级 PCMC 或逐周期峰值电流限制。

当用于初级侧 PCMC 时，CE 会估计能量传输间隔期间电流的斜率。斜率是变压器的输入电压、输出电感、输出电压、匝数比 N 和变压器励磁电感的函数。初级侧电流通过电流互感器采集，并馈送至 **ISEN** 输入；

这意味着电流互感器的匝数比及其终端电阻会引入一个增益缩放项。寄存器 `ceX_kslope_lm` 定义了标准化变压器初级磁化电感。

如果纹波电流幅度超出可配置范围，则会发出电流采集跟踪故障。电流跟踪故障的启用是用户可以配置的。

CE 支持对以下这些与典型 DC-DC 转换器电流采集方案相关的非理想因素进行补偿：

- 电流采集走线电阻的寄生电感引起的阶跃
- 输出电感随输出电流变化产生的偏差
- PWM 切换后噪声导致的前沿和下降沿消隐时间

4.3.11 负载线（下垂）

器件支持 LINEAR11 格式的 `VOUT_DROOP`。当多个转换器并联时，下垂功能用于实现均流。输出电流增大时，输出电压降低，实际输出电压根据 PMBus 命令设定，`VOUT_COMMAND - READ_IOUT * VOUT_DROOP`。

多段下垂功能实现恒流及恒功率运行。多段下垂是一种非线性下垂，允许用户定义不同负载电流下不同的下垂电阻。如果负载线电阻设置得较高，当电流超过设定的阈值时，输出电压将快速下降，其行为类似于恒流 (CC) 或恒功率 (CP) 运行方式。

图 25 显示了多段负载线的行为。当输出电流 I_o 小于零时，负载线值为 $R_{LL,neg}$ 这有助于并联模块应用中的电流平衡。 $R_{LL,1}$ 是标准 PMBus 命令 `VOUT_DROOP` 所定义的常规下垂电阻。从 I_{thr_seg2} 到 I_{thr_seg3} ， $R_{LL,2}$ 用于模拟恒流运行。从 I_{thr_seg3} 到过流关断阈值 $I_{OC,SD}$ ， $R_{LL,3}$ 用于近似恒功率运行。 $I_{OC,SD}$ 等于 `IOUT_OC_FAULT_LIMIT`。

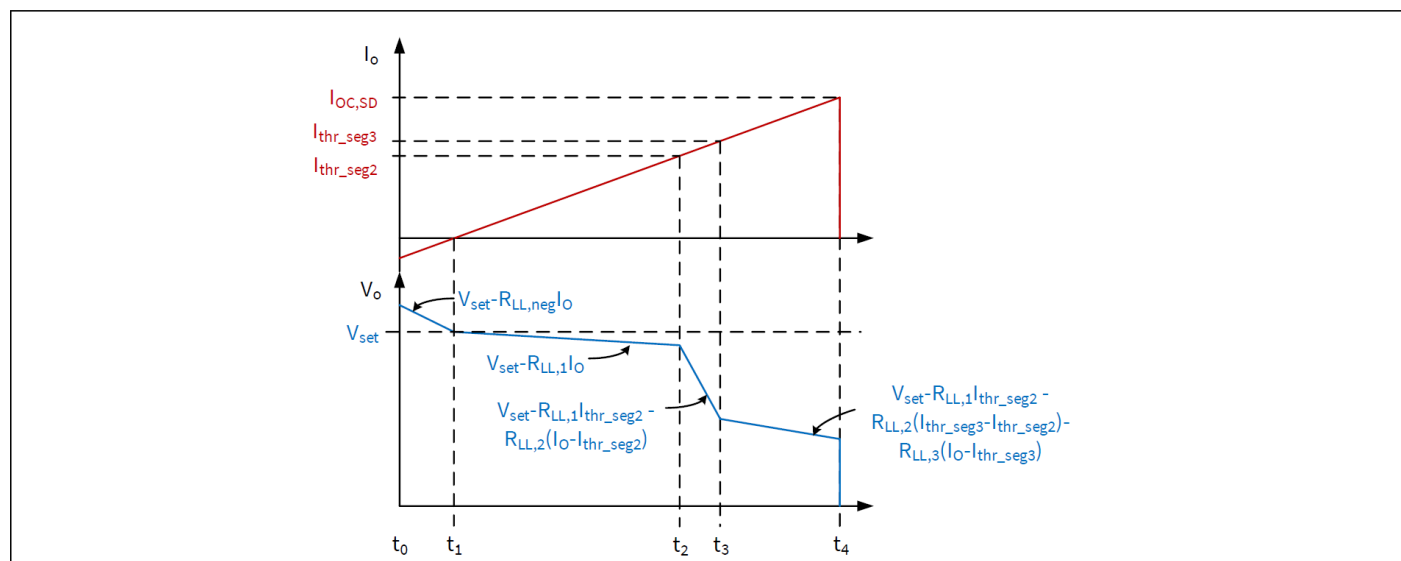


图 25 过流保护的负载线实现

4.3.12 AC 下垂

对于无法承受负载线在重负载时引入的 DC 电压跌落的应用，控制器仍可通过其 AC 下垂功能提供一些负载线优势。与根据负载电流降低 DC 目标电压的方式不同，AC 下垂通过可编程带通滤波器，临时性地叠加这一负载偏移量。在负载瞬态频率很低或很高时，负载线会被滤波器阻断。在接近中频段时，非零负载线生效。

4.3.13 桥接拓扑的快速瞬态响应 (FTR)

器件可实现对半桥和全桥拓扑的快速瞬态响应。检测到正负载瞬态后，转换器通过将开关周期从 T_{sw} 更改为 $2T_{on}$ （其中 T_{on} 为占空比 D 与开关周期的乘积），从而有效地使整流电压饱和。由于 D 随输入电压而变化，因此瞬态期间的工作频率也取决于输入电压。

瞬态检测可以通过对 v_o 检测信号进行阈值电压检测（如图 26 所示）来实现，也可以通过误差电压导数的阈值检测（图中未显示）来实现，或者两者结合。峰值电感电流 (i_L) 取决于负载阶跃 ΔI_o 和输入电压（输入电压决定电感电流的上升速率）。

当输出电感器中的电流高于负载电流时，输出电压在几个 FTR 周期后开始恢复。为避免过冲，转换器应在 V_{OUT} 回到设定的目标电压之前退出 FTR 模式。器件会在可配置的误差电压阈值下退出 FTR 模式，该阈值始终低于目标 V_{OUT} 。误差电压定义为（目标电压 - 检测电压）。当误差电压小于设定阈值时，器件退出 FTR 模式。在退出 FTR 时，器件将完成当前的 FTR 周期，然后恢复开关周期回到 T_{sw} ，然后线性环路接管调节功能。

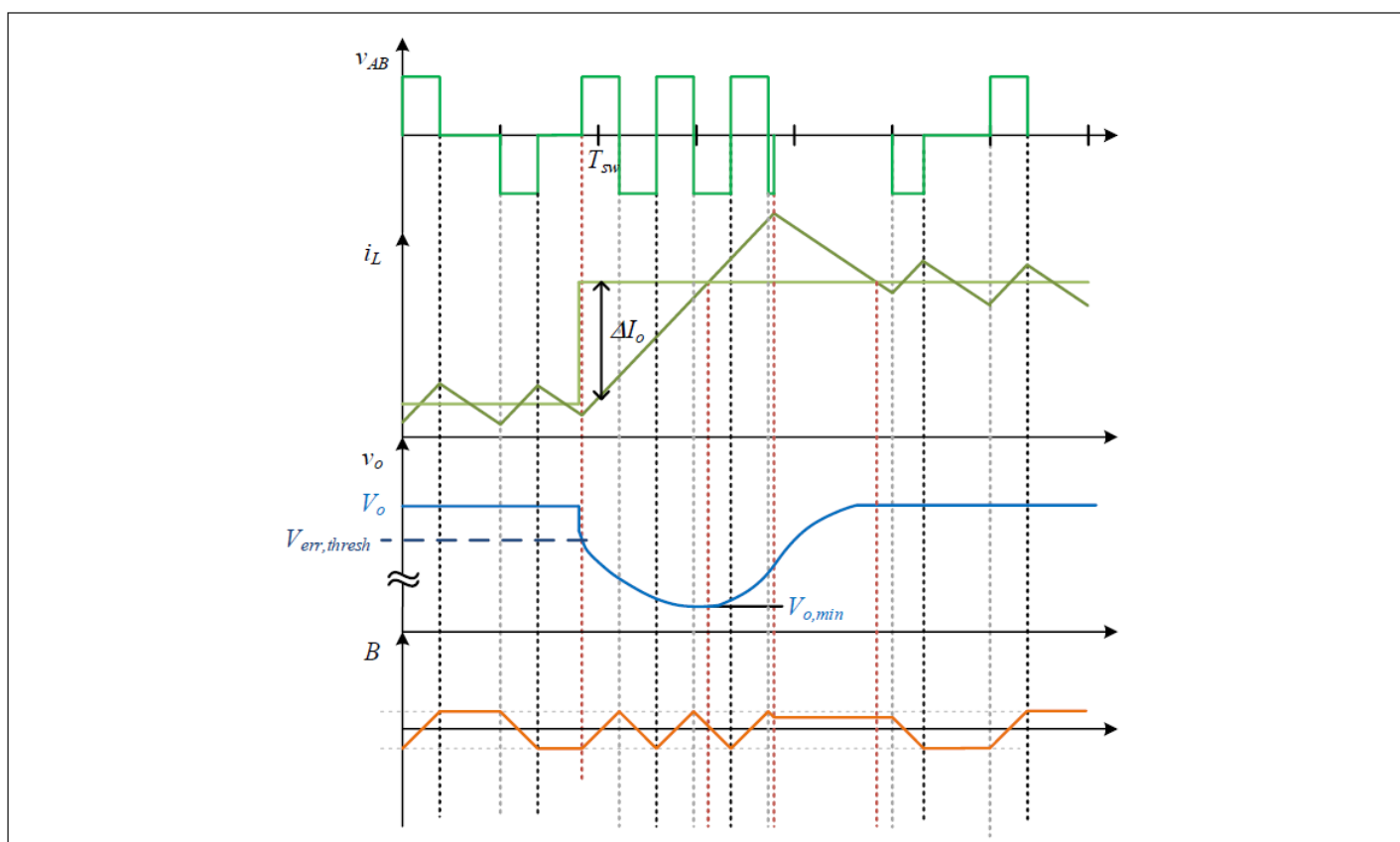
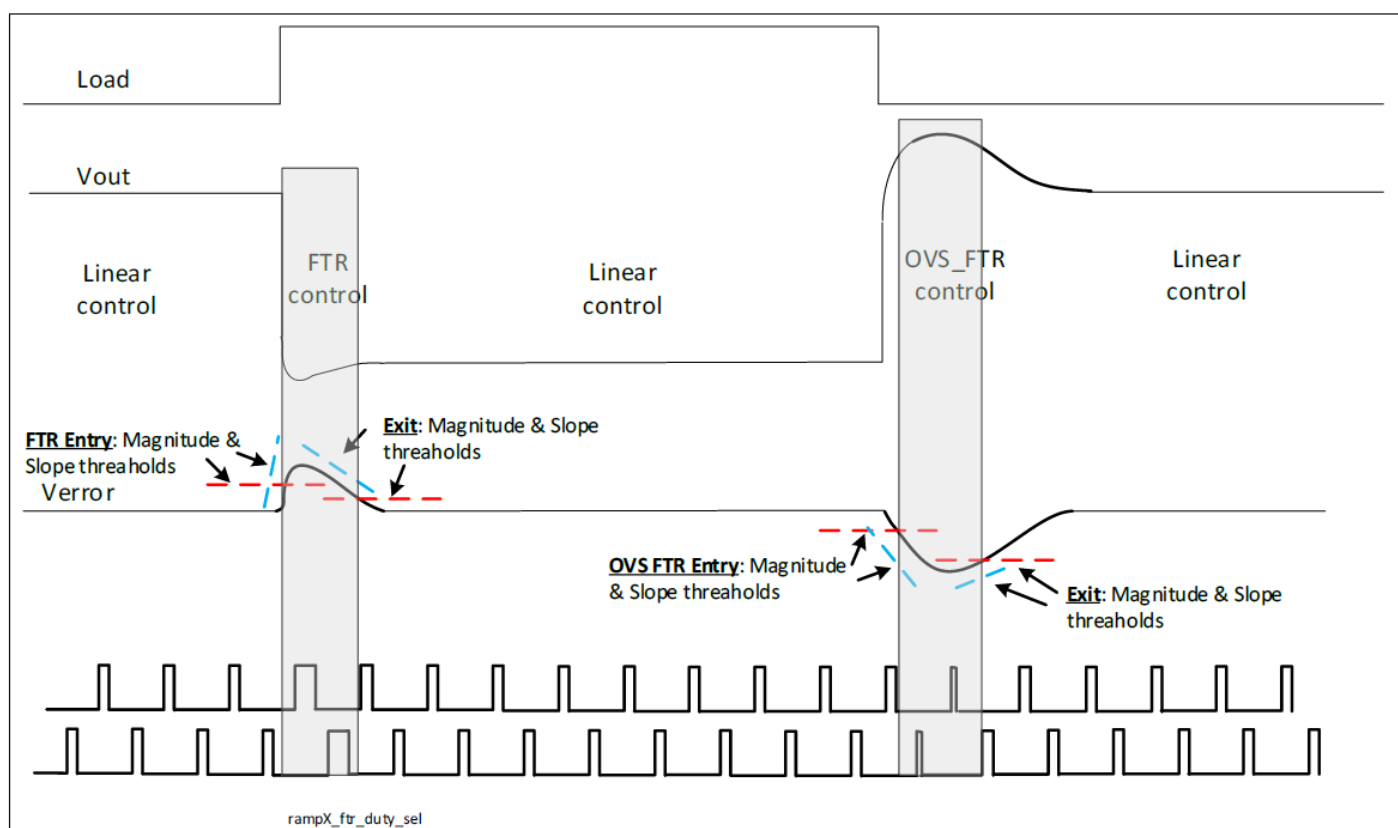


图 26 变压器保护快速瞬态响应波形

4.3.14 降压型快速瞬态响应 (FTR)

降压转换器的 FTR 触发与桥式拓扑相同。对输出误差电压的大小和斜率进行监测。FTR 功能将在正负载瞬态期间增加占空比，以减少输出欠冲。FTR 占空比由 rampX_ftr_duty_sel 寄存器配置。过冲快速瞬态响应 (OVS_FTR) 功能将在负向负载瞬态时降低脉冲宽度，以减少输出过冲。OVS_FTR 中的 PWM 脉冲跳至命令 MFR_MIN_PW 所定义的最小脉冲宽度。降压 FTR 由 rampX_ftr_duty_sel 的第 [5] 位使能。



4.3.15 输入电压前馈

输入电压前馈涉及使用输入和输出电压测量来设置给定条件的标称占空比。当检测到输入电压的变化时，控制器可以根据输入电压、输出电压和 SR 条件快速补偿占空比。在输入电压瞬态条件下，前馈响应比输出线性环路快得多。在控制器位于次级侧的隔离转换器中，快速准确的 V_{RECT} 检测对于实现高性能前馈至关重要。

控制器允许为前馈计算配置以下其中一种信号源。

- **vsen_select** 配置的 VSEN 输入 (VSEN1 或 VSEN2) 检测到的 V_{IN}
- 在 PRISEN 输入上感测到的 V_{IN} 遥测感测 (V_{IN})
- **pid_ff_vrect_override** 用于 FW 覆盖感测到的 V_{RECT}

前馈占空比的计算因拓扑结构而异，定义如下式所示。输入电压通过测量获得，而目标输出电压 ($V_{o,target}$) 和匝数比则由寄存器设置。

$$D_{HB} = \frac{2 \times N \times V_{O, target}}{V_{in}}$$

$$D_{FB, ACF} = \frac{N \times V_{O, target}}{V_{in}}$$

$$D_{Buck} = \frac{V_{O, target}}{V_{in}}$$

$$D_{Buck_boost} = \frac{V_{O, target}}{V_{in} + V_{O, target}}$$

$$D_{Boost} = \frac{V_{O, target} - V_{in}}{V_{O, target}}$$

HB: 半桥, FB: 全桥, ACF: 有源钳位正激, N: 变压器匝数比 $N_p:N_s$

4.3.16 XDPP1148 的电流平衡

交错拓扑结构需要电流平衡。电路从 ISEN1 和 ISEN2 输入端接收周期平均电流。计算出这些电流输入之间的差值, 并将其作为 PI 补偿滤波器的输入。滤波器输出可调整 PWM ramp 0 的占空比, 最高可达 $\pm 25\%$ 。

使能阈值适用于电流平衡块。仅当总电流高于使能阈值 (选项为 0 A、3 A 和 5 A) 时才会激活电流平衡。

4.3.17 均流

电流均流是指对多个共用同一输出电压的独立电源, 实现各自电流的均衡分配。实现均流的一种方法是使用 IMON (详见 4.2.5.1 节), 如图 12 所示, 其中每个转换器的 Ishare 引脚相连, 并馈入外部电阻 R_{ishare} 。IDAC 输出与模块负载电流成比例的电流。电流之和会在电阻两端产生一个电压, 该电压由通用 ADC 测量, 并用于确定两个模块之间电流分配的均衡程度。电流均流是一个慢速环路 (例如, 电压环路带宽的 10%)。

第二种均流实现方法是无源的, 使用负载线 (详见第 4.3.11 节)。

4.3.18 XDPP1140 的磁通平衡

在全桥转换器中, 时序不匹配可能导致在一个半周期内施加在变压器上的伏秒大于在另一个半周期内的伏秒。这会在变压器磁芯上产生 DC 电压, 并因“磁通漂移”而导致饱和。为了避免这种情况, 必须调整 PWM 时序以平衡每个半周期, 以解决实际时序差异。

XDPP1140 支持基于伏秒的磁通平衡, 用于电压模式控制中的 FB。它在每个半周期内使用输入电压测量和时序测量。每个半周期的伏秒乘积之间的误差被送入一个 PI 补偿网络, 以调整占空比。调整适用于奇数半周期。

XDPP1140 使用整流电压 (V_{RECT}) 进行电压和时序测量。高速边缘比较器的时序测量精度为 5 ns, 可实现高性能磁通平衡。边缘比较器有两个可配置的参考电压阈值: 500 mV 和 300 mV。为实现正确的电压检测, V_{RECT} 电压应适当缩放。VSEN 的推荐电压范围为 600 mV 至 2 V。

该器件支持灵活的平衡解决方案，包括伏秒平衡、电压模式平衡和纯时间平衡。允许的最大占空比修正量可配置，分辨率为 0.09766%。为避免 DCM 运行中出现磁通平衡误差，可通过配置输出电流阈值在 DCM 中禁用磁通平衡。在突发模式下，磁通平衡被禁用。

如果在可编程的循环次数内无法达到磁通平衡，就会产生故障。有关磁通平衡和磁通平衡故障保护的更多信息，可参见应用笔记。

对于 V_{RECT} 感测，请勿将滤波电容连接到 VSEN 引脚，以免波形失真。VSEN 和 VREF 应成对布线以实现开尔文检测；布线应远离其他开关节点，以避免噪声耦合。

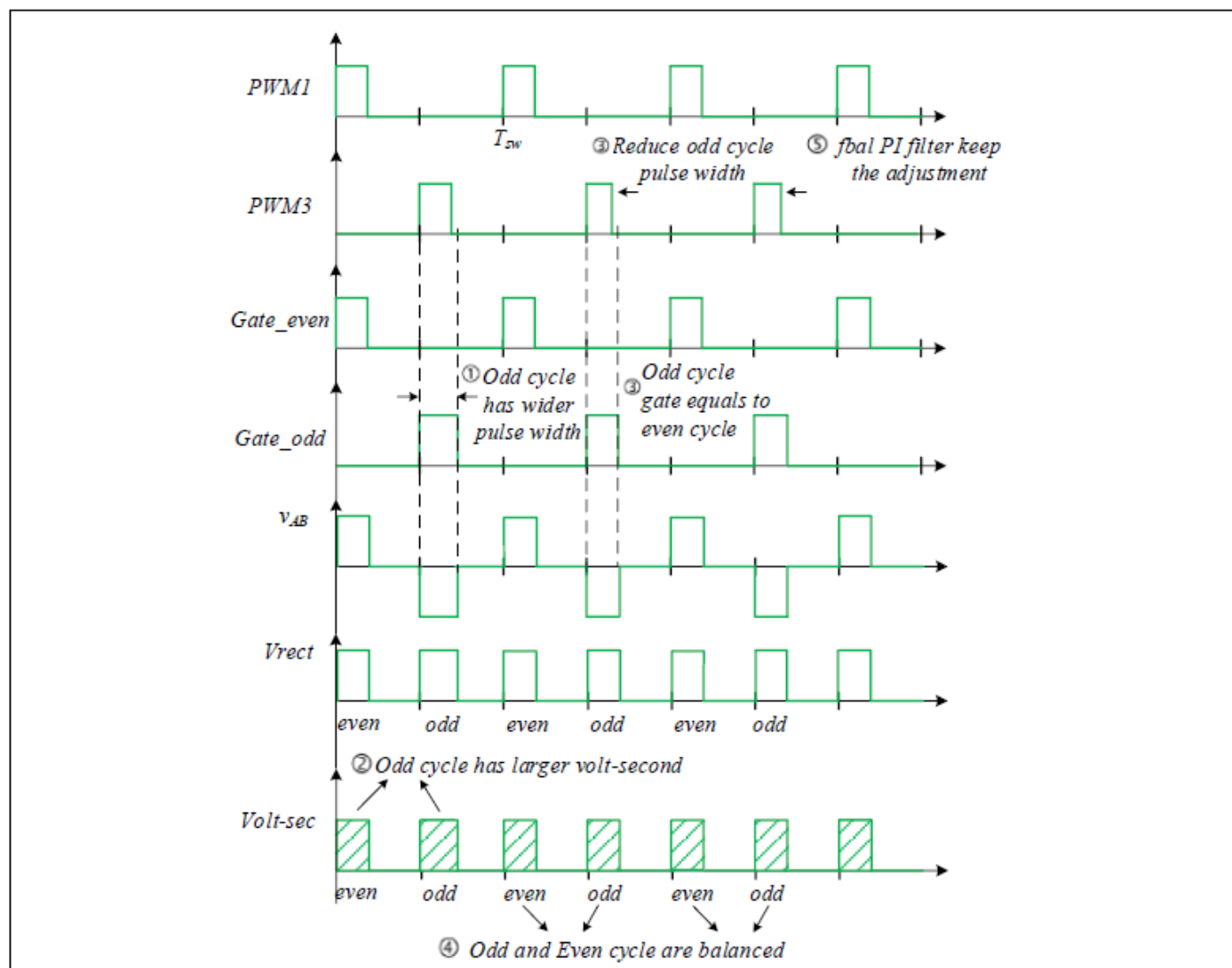


图 28 伏秒磁通平衡

4.3.19 突发模式

4.3.19.1 非谐振拓扑的突发模式

为提高轻载效率，转换器可进入突发模式，以减少开关损耗。对于非谐振拓扑（ACF 拓扑除外），当负载电流低于突发启动电流水平时，转换器应进入突发模式运行。转换器在进入突发（突发关闭）时停止开关动作。

当输出电压下降到目标电平（突发接通）时，开关恢复。该目标电平决定了突发模式下的输出电压纹波。

在突发模式期间，PID 输出被冻结为进入突发之前的值。因此在突发开启期间，转换器工作在恒定开启时间模式下。在突发模式下，SR 将被关闭。PWM 突发的频率与开关频率相同。突发导通的开关周期数是可配置的，从最少一个周期到最多 16 个开关周期。突发模式的退出，可由以下两种情况之一触发：一是出现相邻的连续突发事件（突发关断时间小于开关周期的一半）二是输出电流超过突发退出阈值 **burst_exit_itr**（由 **burst_exit_itr_en** 使能）。在突发模式期间，可以配置一个更强的低通滤波器 **t1m_kfp_iout_burst**，以平滑 IOUT 遥测数据。

代表性波形如图 29 所示。有关突发运行的更多详情，可参阅应用笔记。

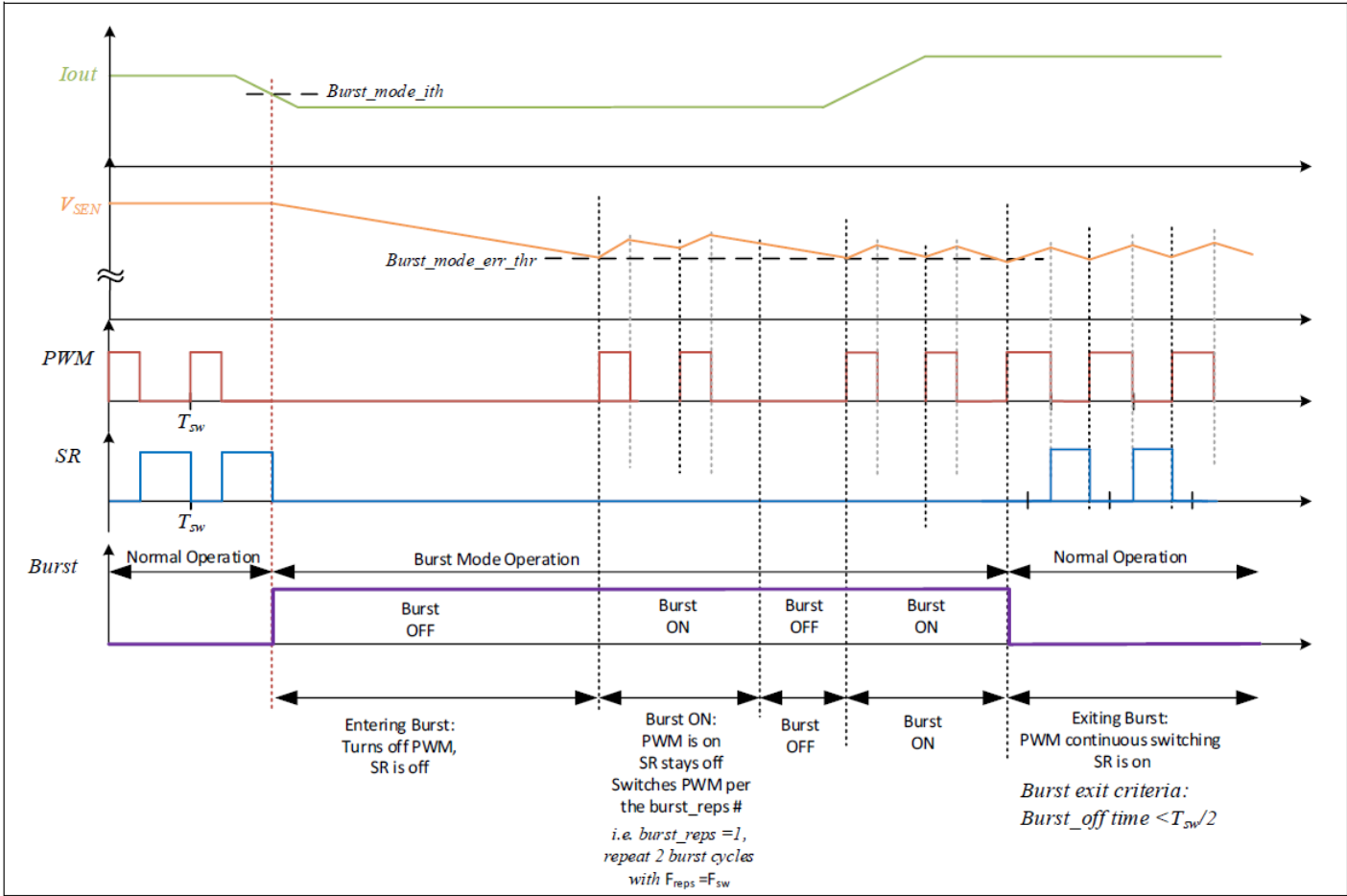


图 29 突发模式运行时的波形（非谐振拓扑结构）

4.3.19.2 LLC 拓扑的突发模式

在高线路和轻负载情况下，LLC 转换器的开关频率会向最大频率 F_{SW_MAX} 增高。如果 F_{SW} 达到 F_{SW_MAX} ，同时输出电压处于最大允许误差阈值，转换器进入突发模式。突发进入条件也可基于负载电流（轻负载），并具有可配置的阈值。在突发模式下，SR 可根据配置关闭或保持开启。初级 PWM 停止开关，直到检测到的输出电压下降到目标电平（**burst_mode_err_thr**），然后初级 PWM 恢复 F_{SW_MAX} 频率（burst-on），持续用户定义的开关周期数。在单次突发导通中，开关周期数可从一个周期到 16 个周期不等。之后，初级 PWM 保持关闭（burst-off），直到检测输出电压再次降至 **burst_mode_err_thr** 为止。

在突发模式下，开关频率为 F_{SW_MAX} 。进入突发模式时，最后一个 PWM 脉冲的宽度为常规脉冲宽度的一半 ($1/4 T_{SW}$)。这使得突发模式开启向突发模式关闭转换期间，初级励磁电流与谐振电流几乎为零。第一个突发导通脉冲始终在初级侧，其宽度也是常规脉冲宽度的一半。励磁电流的 "连续" 方向与最后一个脉冲的 di/dt 方向相同。

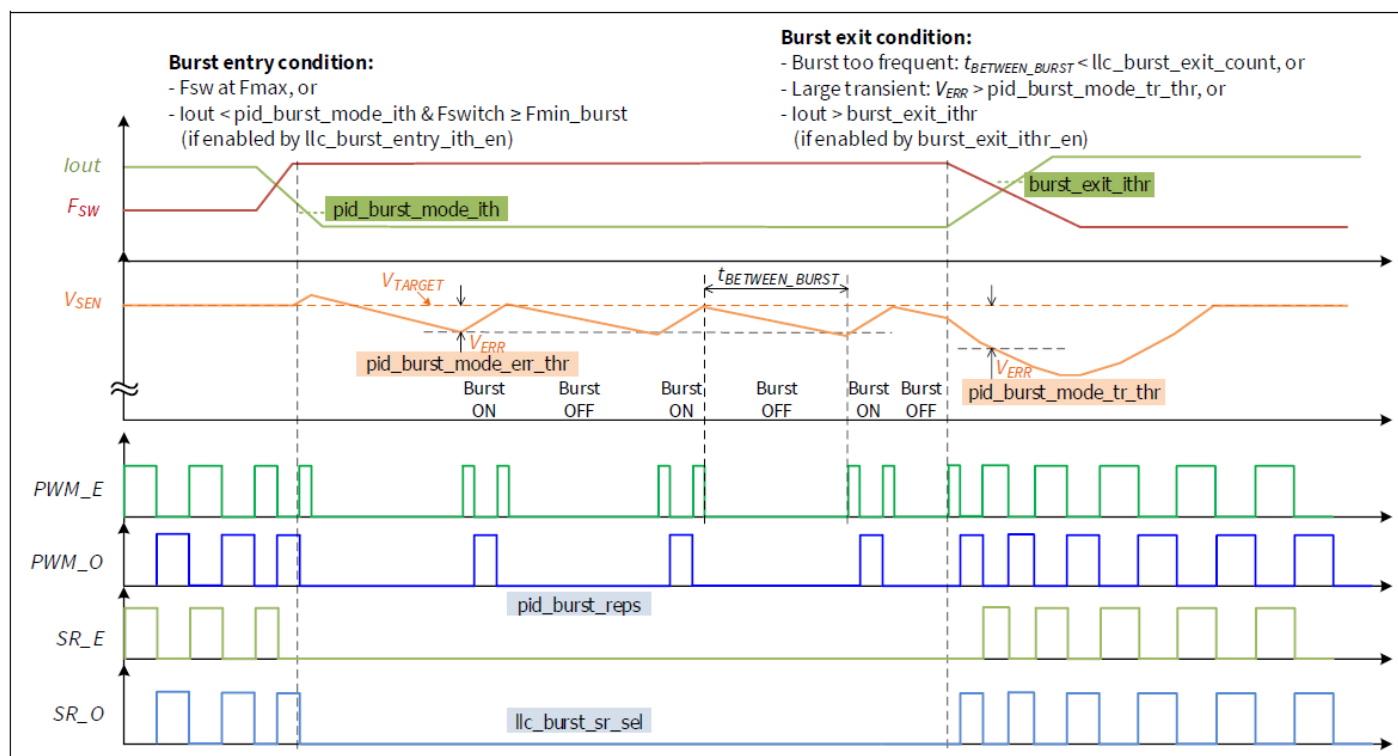


图 30 LLC 突发模式

当控制环路随负载增大而降低开关频率时，或当发生负载瞬态时，即会退出突发模式。

4.3.20 相位关断

在轻负载情况下，当输出电流低于相位关断阈值时，交错拓扑结构可能会缺相。相位关断和恢复均通过硬件实现，可快速响应。

4.3.21 SR 缓启动

在预偏压启动期间或轻载 DE 模式下，可禁用 SR，以避免在 SR MOSFET 中产生负电流。SR 通常在软启动结束或在退出 DE 模式时使能。为了在使能 SR 时实现平稳过渡，可将 SR 脉冲的占空比配置为从最小脉冲宽度增加到全脉冲宽度。

图 31 显示了硬开关桥式拓扑在 DE 模式启动时的 SR 缓启动。在 V_{OUT} 启动斜坡结束时，转换器退出 DE 模式并开始驱动 SR MOSFET。SR 上升沿与相应的初级 PWM 上升沿一致。SR 脉宽从最小 SR 脉宽（可配置）逐渐增加到初级 PWM 的整个占空比。级数可配置。当 SR 占空比与主 PWM 相同时，控制器在下一周期以全脉冲宽度导通 SR。

功能说明

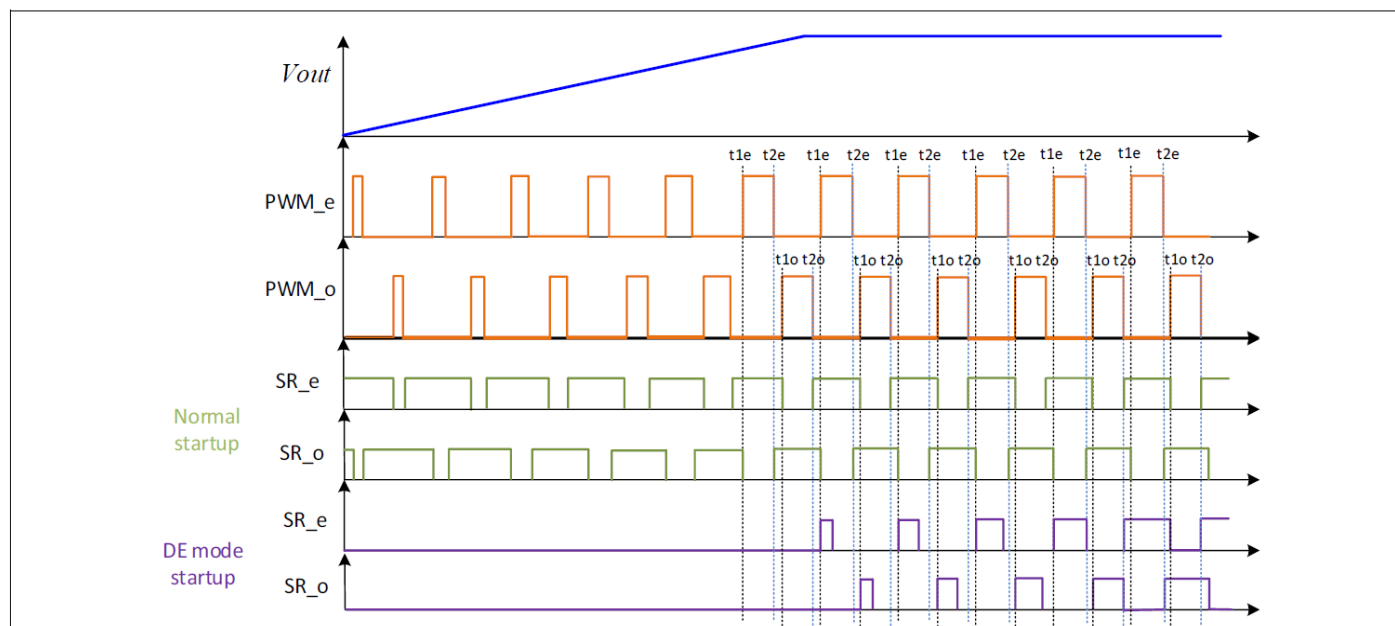


图 31 在 DE 模式启动时 PWM 电桥拓扑的 SR 缓启动

图 32 显示了 LLC 转换器在 DE 模式下的 SR 缓启动。

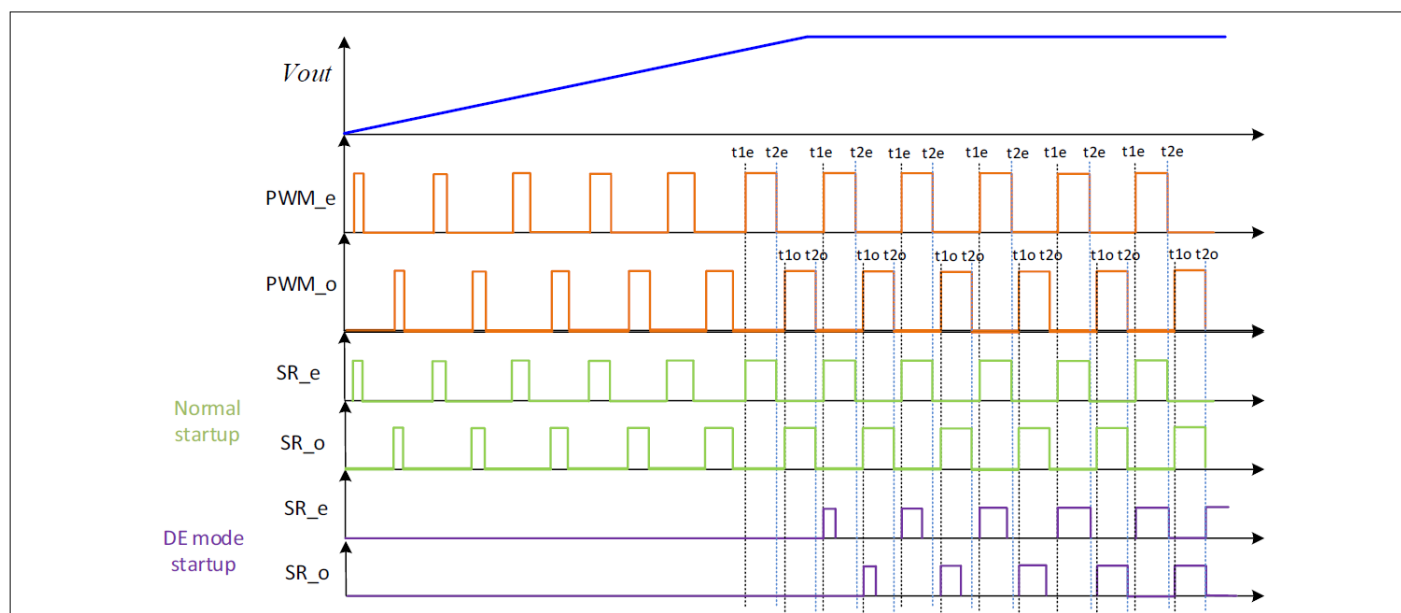


图 32 在 DE 模式启动时，LLC 拓扑的 SR 缓启动

4.4 保护和故障

故障保护系统具有以下功能：

- 控制器 VDD 欠压锁定 (VDD UVLO)
- 输入欠压/过压保护 (VIN_UV/VIN_OV)
- 输入过流保护 (IIN_OC)
- 输入过功率警告 (PIN_OP)
- 输出欠压/过压保护 (VOUT_UV/VOUT_OV)

功能说明

- 输出欠流/过流保护 (IOUT_UC/ IOUT_OC)
- 输出过功率警告 (POUT_OP)
- 逐脉冲峰值电流限制保护 (PCL)
- 短路保护 (SCP)
- 内部/外部温度保护 (OT/UT)
- 磁通平衡故障
- 同步故障
- 均流故障
- 首个置位 SMBALERT#
- 配置 (CRC) 失败
- I²C通信故障

硬件 (HW) 保护框图如图 33 所示。控制器实现了所有故障保护，无需使用外部比较器。

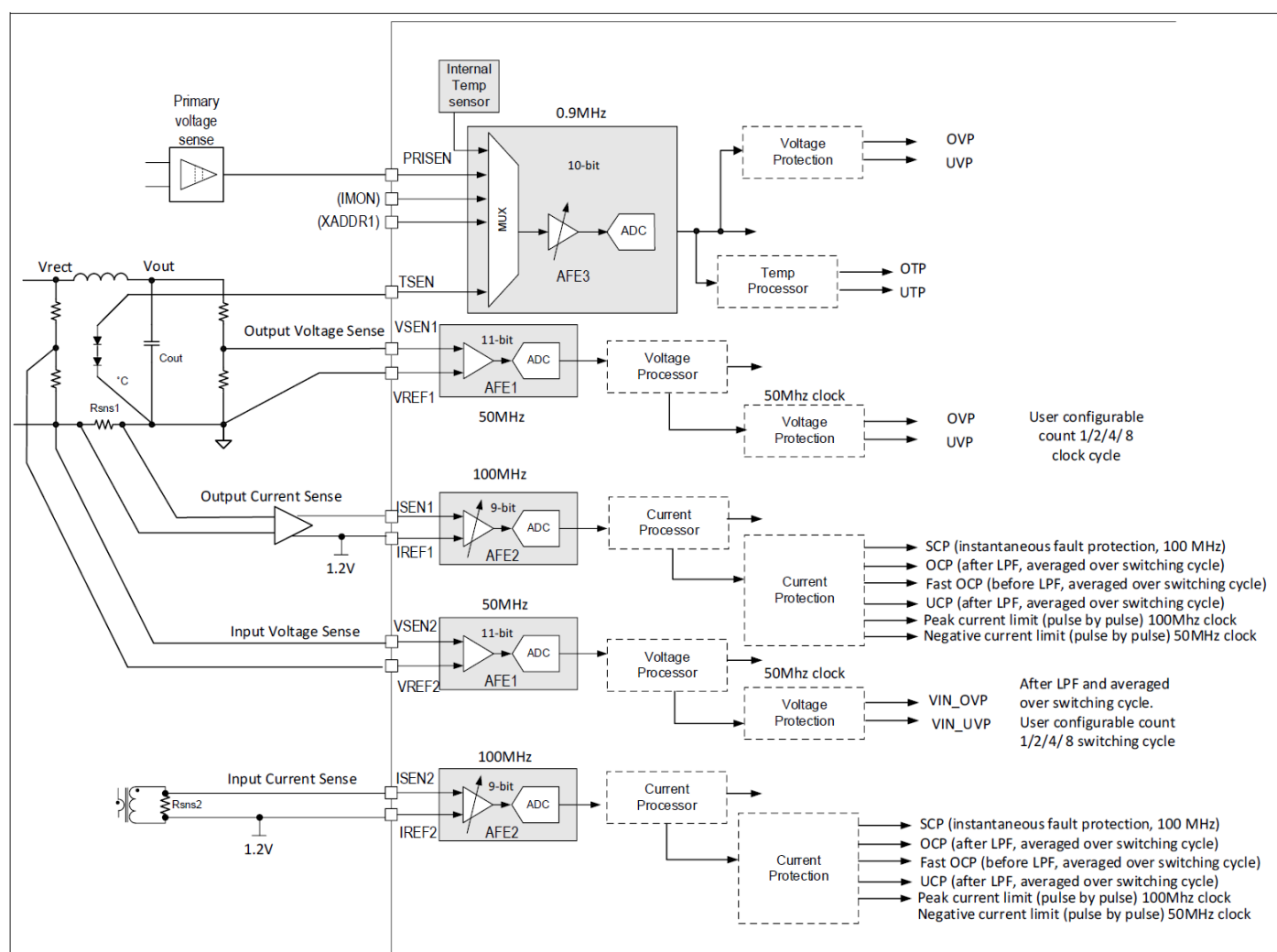


图 33 保护框图

表 9、表 10 和表 11 列出了 HW 故障、FW 故障和常见故障。器件使用寄存器 `fault_enable_mask_loop_xxx` 配置故障掩码，可启用/禁用单个故障。有关故障保护的更多详情，可参见应用笔记。

表 9 HW 故障掩码位分配，由 fault_enable_mask_loop_hw_loop0 控制

Bit	Fault	Bit	Fault
0	Reserved	1	VOUT_OV_FAULT
2	VOUT_OV_WARN	3	VOUT_UV_FAULT
4	VOUT_UV_WARN	5	IOUT_OC_LV_FAULT
6	VIN_OV_FAULT	7	VIN_OV_WARN
8	VIN_UV_FAULT	9	VIN_UV_WARN
10	MFR_IOUT_OC_FAST	11	IOUT_OC_FAULT
12	IOUT_CONSTANT_CURRENT	13	IOUT_OC_WARN
14	IOUT_UC_FAULT	15	IIN_OC_FAULT
16	IIN_OC_WARN	17	OT_FAULT
18	OT_WARN	19	UT_FAULT
20	UT_WARN	21	Unused
22	VDD UVLO fault	23	SYSTEM_RESET_EVENT
24	EXTERNAL_FAULT	25	ISPO_SCP_FAULT
26	ISP1_SCP_FAULT	27	CURRENT_SHARE_FAULT
28	SYNC_FAULT	29	ANA_VOUT_OV_FAULT
30	VOUT_MAX_MIN_WARN	31	FW_FAULT_PIN_SET

表 10 FW 故障掩码位分配，由 fault_enable_mask_loop_fw_loop0 控制

Bit	Fault	Bit	Fault
0	RESERVED_FW_NO_FAULT	1	COMMON_FAULT
2	TON_MAX_FAULT	3	TOFF_MAX_WARN
4	VIN_INSUFFICIENT	5	PIN_OP_WARN
6	POUT_OP_WARN	7	ESTIMATED IIN OC FAULT
8	ESTIMATED IIN OC WARN	9	INVALIDATED_CORRUPTED_SNAPSHOT
10-31	Spares for user		

表 11 常见故障掩码位分配，由 fault_enable_mask_loop_common 控制

Bit	Fault	Bit	Fault
0	unused	1	ISEN1 tracking fault
2	ISEN2 tracking fault	3	Flux balance fault
4	ISEN1 PCL fault	5	ISEN2 PCL fault
6	VSEN open fault (PID Duty detection)	7	LLC burst mode warning
8	LLC open loop warning	9	unused
10	POR VDDA fault	11-31	unused

5 电气特性

5.1 绝对最大额定值

使控制器承受超过 表 12 绝对最大额定值的应力可能会对设备造成永久性损坏。这些仅为绝对额定应力，并不意味着或建议在这些条件下或超出本规范中推荐工作条件章节所给出的任何其他条件下，进行功能性运行。长期暴露在绝对最大额定值下可能会对设备的运行和可靠性产生不利影响。

表 12 绝对最大额定值

Parameter	Symbol	Min.	Max.	Unit	Note or condition
VDD Supply voltage	V _{DD}	-0.3	4	V	Instantaneous voltage, see Note
			3.7	V	Continuous voltage
VSEN1, VSEN2, VSEN		-0.3	3.7*	V	*The lesser of 3.7 V or VDD + 0.2 V
VREF1, VREF2, VREF		-0.3	0.5	V	
ISEN1, ISEN2, IREF1, IREF2, ISEN, IREF		-0.3	3.7*	V	*The lesser of 3.7 V or VDD + 0.2 V
1.2 V Supply	I _{VD12}	-1	1	mA	Do not drive or load this pin
All other pins		-0.3	3.7*	V	*The lesser of 3.7 V or VDD + 0.2 V
Operating junction temperature	T _J	-40	150	°C	
Storage temperature	T _S	-65	150	°C	

注：绝对最大VDD 电源电压为4.0V，条件是结温范围保持在-40°C < T_J < +125°C 之间，并且产品在使用寿命期间不会在绝对最大VDD 电源电压下累计运行超过24 小时。

5.2 ESD 和 MSL 额定值

表 13 ESD 和 MSL 额定值

ESD	Charge Device Model	Class C3 (1000V) (per JEDEC standard JS-002)
	Human Body Model	Class 2 (2000V) (per EIA/JEDEC standard EIA/ JS-001)
Moisture Sensitivity Level		MSL2 (per IPC/JEDEC J-STD-020E)

5.3 热特性

表 14 热阻抗

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Thermal resistance, junction to ambient, at 0 lfm	R _{θJA}	-	53.5	-	°C/W	QFN-24 4x4
Thermal resistance, junction to ambient, at 200 lfm	R _{θJA}	-	36.9	-		QFN-24 4x4
Thermal resistance, junction to Ambient, at 500 lfm	R _{θJA}	-	30.3	-		QFN-24 4x4

电气特性

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Thermal resistance, junction to case (bottom)	$R_{\theta JCB}$	-	3.6	-		QFN-24 4x4
Thermal resistance, junction to case (top)	$R_{\theta JCT}$	-	33.1	-		QFN-24 4x4

5.4 推荐工作条件

下表为推荐工作条件，在此条件下，DC 电气特性有效。

表 15 推荐工作条件

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Supply voltage	V_{DD}	2.97	3.3	3.63	V	
Junction temperature	T_J	-40	25	125	°C	

5.5 电气特性

$V_{DD} = 2.97\text{ V}$ 至 3.63 V ， V_{DD} 至 GND 间有 $1\text{ }\mu\text{F}$ 电容， $VD12$ 至 GND 间有 $1\text{ }\mu\text{F}$ 电容， $T_J = -40\text{ }^\circ\text{C}$ 至 $125\text{ }^\circ\text{C}$ ，除非另有说明。

表 16 电源部分的电气特性

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Supply current	I_{DD0}	-	8	-	mA	In off mode with telemetry disabled
Supply current	I_{DD1}	-	21	-		4 PWMs switching at 250 kHz without any load
VDD UVLO threshold	$V_{DD}\text{ rising}$	-	2.78	2.95	V	
	$V_{DD}\text{ falling}$	2.5	2.7	-		
VDD UVLO hysteresis	$V_{DD}\text{ hyst}$	-	80	-	mV	
Sleep mode current	$I_{DD\text{sleep}}$	-	1	-	mA	Not regulating, clocks stopped, peripherals disabled, responsive to sleep pin. Note 6
Sleep mode wakeup time	t_{wakeup}	-	150	-	μs	The wakeup event is toggling sleep pin. Wakeup time is measured from the wakeup event to the first instruction executed by the CPU. Note 6

表 17 电压 ADC AFE1 部分

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Input differential voltage range	$V_{SENx} - V_{REFx}$	0.25	-	2.1	V	Note 6
Error voltage digital resolution	V_{RSL1}	-	1.25	-	mV	Note 6
Input impedance	R_{EA1}	-	> 1	-	M Ω	Note 6

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Sample rate	f_{ADC1}	-	100	-	MHz	
VS ADC accuracy	A_{AD1_1}	-1	-	1	%	Setpoint 1.6 V to 2.1 V, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$, $2.97\text{ V} < V_{DD} < 3.63\text{ V}$, Note 5
	A_{AD1_2}	-1	-	1	%	Setpoint 1.2 V, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$, $2.97\text{ V} < V_{DD} < 3.63\text{ V}$
	A_{AD1_3}	-1.5	-	1.5	%	Setpoint 0.8 V, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$, $2.97\text{ V} < V_{DD} < 3.63\text{ V}$
	A_{AD1_7}	-2.3	-	2.3	%	Setpoint 0.5 V, $-40^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$, $2.97\text{ V} < V_{DD} < 3.63\text{ V}$
	A_{AD1_4}	-	± 0.45	-	%	Setpoint 1.6 V to 2.1 V, $T_A = 25^{\circ}\text{C}$, $V_{DD} = 3.3\text{ V}$, Typ = 3σ , Note 5
	A_{AD1_5}	-	± 0.45	-	%	Setpoint 1.2 V, $T_A = 25^{\circ}\text{C}$, $V_{DD} = 3.3\text{ V}$, Typ = 3σ
	A_{AD1_6}	-	± 0.8	-	%	Setpoint 0.8 V, $T_A = 25^{\circ}\text{C}$, $V_{DD} = 3.3\text{ V}$, Typ = 3σ
	A_{AD1_8}	-	± 1.15	-	%	Setpoint 0.5 V, $T_A = 25^{\circ}\text{C}$, $V_{DD} = 3.3\text{ V}$, Typ = 3σ

表 18 电流 ADC AFE2 部分

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or conditions
Input differential voltage range	ISENx - IREFx	-256		256	mV	
Input common voltage range	V_{COM}	1.0	1.2	1.32	V	Note 6
Error voltage digital resolution	V_{RSL2}	-	1	-	mV	Note 6
Input impedance	R_{EA2}	-	> 1	-	$M\Omega$	Note 6
IS ADC offset	$V_{OFFSET2}$	-2.5	-	2.5	LSB	
Sample rate	f_{ADC2}	-	100	-	MHz	
Tracking slew rate	TSR	-	-	1.6	mV/ns	Note 6
IS ADC accuracy	A_{AD2_1}	-	± 4	-	%	$\pm 100\text{ mV}$ differential input, Typ = 3σ
	A_{AD2_2}	-	± 2.2	-	%	$\pm 256\text{ mV}$ differential input, Typ = 3σ

表 19 通用 ADC AFE3 部分

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Input differential voltage range	V_{ADC3}	-	0 – 2.4	-	V	Note 6
Error voltage digital resolution	V_{RSL3}	-	2.344	-	mV	Note 6
Input impedance	R_{EA3}	-	> 1	-	$M\Omega$	Note 6

用于 PWM 和 PFM 应用的数字电源控制器

电气特性

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
TS ADC offset error	V_{OFFSET3}	-2	-	2	LSB	
Sample rate	f_{ADC3}	-	0.926	-	MHz	
TS ADC Gain error	A_{AD3_1}	-1	-	1	%	

表 20 IMON DAC 部分

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Output current range	I_{DAC}	-	0-640	-	μA	Note 6
Output current resolution	$I_{\text{DAC_RSL}}$	-	10	-	μA	Note 6
TSIDAC accuracy	A_{DAC}	-3	-	3	%	Tested at 100 μA

表 21 XADDR1 引脚

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Current measurement	I_{XADDR}	-	0-640	-	μA	Note 6

表 22 GPIO 输入/输出 (IMON、EN)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Low-level output voltage	V_{OL}	-	-	0.4	V	$I_{\text{OL}} = 5 \text{ mA}$
High-level output voltage	V_{OH}	2.6	-	-		$I_{\text{OH}} = -5 \text{ mA}$
Low-level input voltage	V_{IL}	-	-	1.0		Note 7
High-level input voltage	V_{IH}	2.1	-	-		Note 7
Leakage current	I_{OZ}	-1	-	1	μA	

表 23 GPIO 输入/输出 (PWM1-6、PWRGD、SYNC)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Low-level output voltage	V_{OL}	-	-	0.4	V	$I_{\text{OL}} = 5 \text{ mA}$
High-level output voltage	V_{OH}	2.6	-	-		$I_{\text{OH}} = -5 \text{ mA}$
Low-level input voltage	V_{IL}		-	0.3 VDD		
High-level input voltage	V_{IH}	0.7 VDD	-	-		
Leakage current	I_{OZ}	-1	-	1	μA	

表 24 SDA、SCL、SMBALERT 引脚

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Output low voltage	V_{OL}	-	-	0.4	V	$I_{\text{OL}} = 20 \text{ mA}$
Low-level input voltage	V_{IL}	-	-	1.0		
High-level input voltage	V_{IH}	2.1	-	-		Configured as 3.3 V buffer
Low-level input voltage	V_{IL}	-	-	0.6		
High-level input voltage	V_{IH}	1.35	-	-		Configured as 1.8 V buffer
Leakage current	I_{OZ}	-1	-	1	μA	
Pin capacitance	C_{PIN}	-	1.5	-	pF	Note 6

表 25 系统性能

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Processor master clock	f_{CLK}	-	100	-	MHz	

用于 PWM 和 PFM 应用的数字电源控制器

电气特性

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Internal oscillator frequency	f_{OSC}	195	200	205	MHz	$T_A = 25\text{ }^{\circ}\text{C}$
		190	200	210	MHz	$-40\text{ }^{\circ}\text{C} < T_A < 125\text{ }^{\circ}\text{C}$
Switching frequency	f_{SW}	-	50 - 2000	-	kHz	Note 6
Switching period programming resolution	t_{RSL1}	-	5	-	ns	Note 6
Switching period regulation resolution	t_{RSL2}	-	2.5	-	ns	Note 6
Sync frequency range		-	+/- 12.5	-	%	With respect to switching period. Note 6

表 26 温度传感器

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Input voltage range	V_{TSEN}	-	0 – 2.4	-	V	Note 6
Bias current	I_{TSEN}	-	100	-	μA	Source current to measure external V_{BE} , NTC or PTC resistor, can be disabled
Accuracy of internal temperature sensor	e_{TEMP}	-	± 5	-	$^{\circ}\text{C}$	Note 6

表 27 快速 GPIO

Parameter	Symbol	Min.	Typ.	Max.	Unit	Note or condition
Fast GPI response time	t_{FSD1}	-	50	-	ns	From fast GPI input falling/rising edge to PWM i/o change (synchronization), with zero programmed deadtime. Note 6
Fast GPI response time	t_{FSD2}	-	150	-	ns	From fast GPI input rising edge to PWM falling edge (PWM going to inactive /shutdown) with zero programmed deadtime. Note 6
Minimum input pulse width	t_{FPW}	25	-	-	ns	Note 6
Fast fault output response time	t_{FSF}	-	50	-	ns	From fault triggering to rising edge of Fault pin, Note 6

注:

5. 在 0.5V、0.8V、1.2V 和 1.6V 下验证了生产测试极限。全系列产品不接受生产测试。
6. 不适用于生产测试 - 由设计/特性验证

7. 使能信号不能停留在 V_{IL} 和 V_{IH} 阈值之间。EN 引脚的作用是在引脚电压高于或低于阈值时作为开关工作。

6 封装信息

6.1 QFN 4x4 – 24 引脚

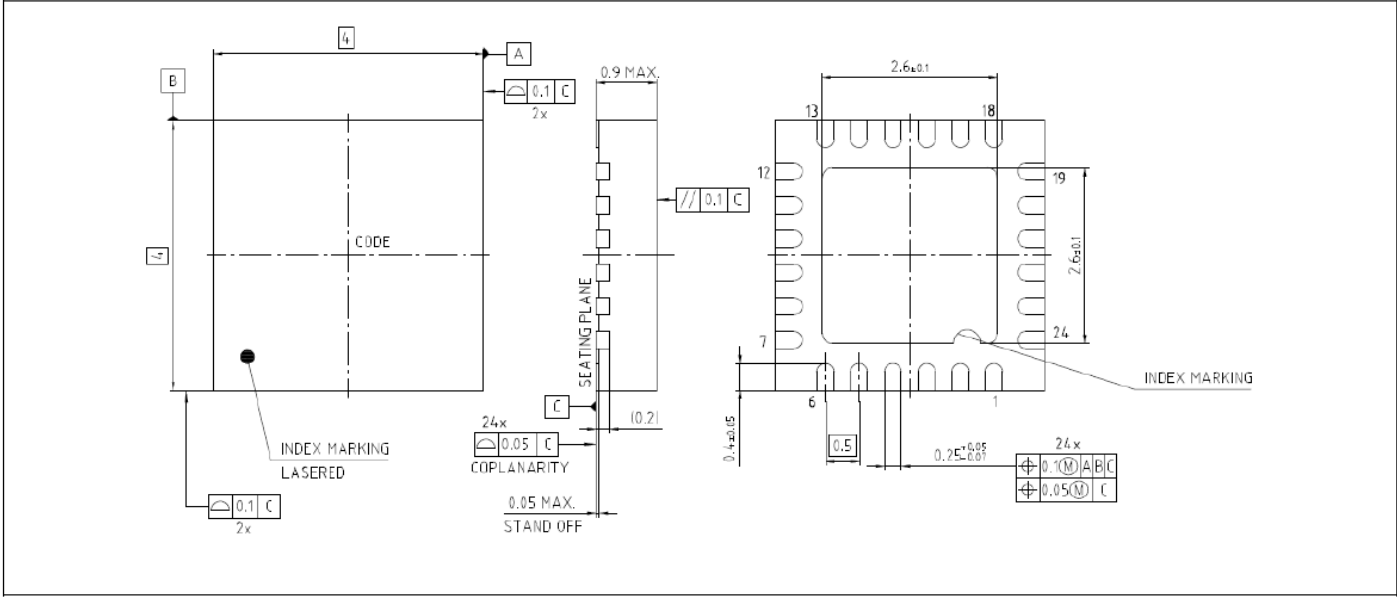


图 34 PG-VQFN-24-20

绿色产品（符合 RoHS 标准）

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合 RoHS 标准（即引脚采用无铅表面处理，符合 IPC/JEDEC J-STD-020 标准。有关封装的更多信息：
<https://www.infineon.com/packages>

6.2 零件标记

零件标记如图 35 所示。

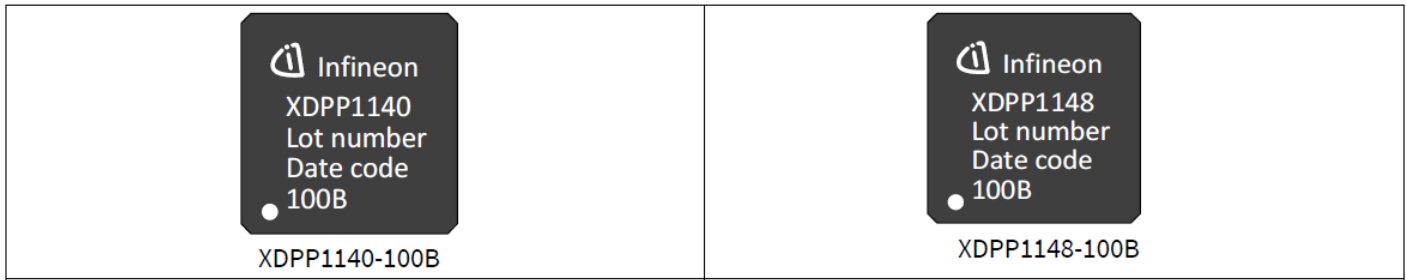


图 35 封装标记

批号和日期代码示例：

批号：1YUS1ANNB03

日期代码：H2018B03

日期代码末尾的 B03 是批号的最后 3 位数字。

命名规则

7 命名规则

表 28 缩略语、符号和术语的定义

Acronym, symbol, or term	Definition
ACF	Active Clamp Forward
ADC	Analog-to-Digital Converter
AFE	Analog Front End
DAC	Digital-to-Analog Converter
DCM	Discontinuous Conduction Mode
DCR	DC resistance
DE	Diode Emulation
FB	Full-Bridge
FTR	Fast Transient Response
F_{RES}	LLC resonant frequency
F_{SW}	Switching frequency of converter
FW	Firmware
GPIO	General Purpose Input/Output
GUI	Graphical User Interface
HB	Half-Bridge
HiZ	High impedance
HW	Hardware
LLC	A resonant topology made up of two inductors (LL) and one capacitor (C)
LSB	Least Significant Bit
N_p	Number of turns of the transformer primary winding
N_s	Number of turns of the transformer secondary winding
NTC	Negative Temperature Coefficient
OCP	Over-Current Protection
OTP	One-Time Programmable memory
OTP	Over-Temperature Protection
OVP	Over-Voltage Protection
OVS_FTR	Over-Shoot Fast Transient Response
PCB	Printed Circuit Board
PCL	Peak Current Limit
PCMC	Peak Current Mode Control
PFM	Pulse Frequency Modulation
PID	Proportional, Integral, Derivative coefficient
PI filter	Proportional Integral filter
PTC	Positive Temperature Coefficient
PWM	Pulse Width Modulation

命名规则

Acronym, symbol, or term	Definition
SCP	Short-Circuit Protection
SR	Synchronous Rectification
T_{SW}	Switching period of converter
UCP	Under-Current Protection
UTP	Under-Temperature Protection
UVP	Under-Voltage Protection
V_{IN}	Input voltage
VMC	Voltage Mode Control
V_{DS}	MOSFET Drain to Source Voltage
V_{OUT}	Output voltage
V_{RECT}	Transformer secondary rectified voltage



修订记录

修订记录

Document version	Date of release	Description of changes
Revision 1.0	2024-10-28	Final datasheet Rev.1.0

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-10-28

Published by

Infineon Technologies AG

81726 München, Germany

© 2024 Infineon Technologies AG.

All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference

ifx1

IMPORTANT NOTICE

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffenheitsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on the product, technology delivery terms and conditions and prices please contact your nearest Infineon Technologies office (www.infineon.com).

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-09-29

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。