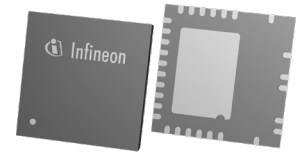


特性

- XDP710-002 是 XDP710-001 的增强版，具有向后兼容性
- 与英飞凌的 OptiMOS™ 产品兼容
- 与英飞凌的 Linear FET 产品兼容
- 宽输入电压范围：5.5 V to 80 V
- 瞬态耐受能力：高达 100 V，持续 500 ms
- 专用电流和电压 ADC：12 位
- 可编程和预设 FET 主动 SOA 保护
- 用于外部 N 沟道 MOSFET 的集成栅极驱动器和充电泵
- 可配置快速 FET 关闭：两步关闭或 1.5 A 下拉电流
- PMBus 接口：1 MHz
- 精度输入输出电压监测和报告： $\leq 0.4\%$
- 精密 FET 的电流监测和报告：在整个 ADC 范围内 $\leq 0.75\%$
- 精确的输入功率监测和报告： $\leq 1.15\%$
- 能源监测和报告
- 可编程输入和输出 OV 和 UV 保护
- 支持外部温度传感器和过温保护
- 顺序开启能力
- 29 引脚 (6 mm x 6 mm) VQFN 封装
- -40°C 至 125°C 结温



潜在应用

- 服务器和数据中心
- 24 V - 48 V 工业系统
- 配电系统
- 智能电子保险丝
- 网络路由器和交换机

产品验证

符合 JEDEC47/20/22 相关的工业应用要求

描述

XDP710 是一款宽输入电压热插拔和系统监控控制器 IC，可驱动单个或多个并联 N 沟道 MOSFET。除了控制开启之外，XDP710 还提供持续的系统健康监测并通过 PMBus 接口与主 MCU 通信。通过 PMBus 进行高速通信允许系统设计人员完全或部分停用下行子系统。

它包含了多种系统保护措施以确保安全运行，并根据事件的严重程度生成各种保护响应。闭锁、重置、系统关闭和重试是响应类型的一些示例。其 SOA 保护有效保证系统 FET 始终在安全状态下工作。

XDP710-001 - XDP710-002 比较表

以下是 XDP710-002 新增的改进和功能的摘要

- 支持 SMBAlert、连接器良好断开 (CGDN) 引脚功能
- 支持 SMBus 警报响应地址 (ARA)
- 添加了 PMBus 使能、LED 和重启功能。
- 可配置 Vin UV 故障滞回。
- 添加了更多英飞凌 FET SOA 配置文件。
- 关闭控制寄存器的大小已增加到 10 位，可以更好地控制 FET 关闭。
- 为看门狗定时器、UV_EN 抗尖峰脉冲定时器、SOAD 定时器和启动电流限制 (IST) 添加了更多选项。
- 对升压模式进行改进，并添加全升压功能。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

XDP710-002 热插拔控制器

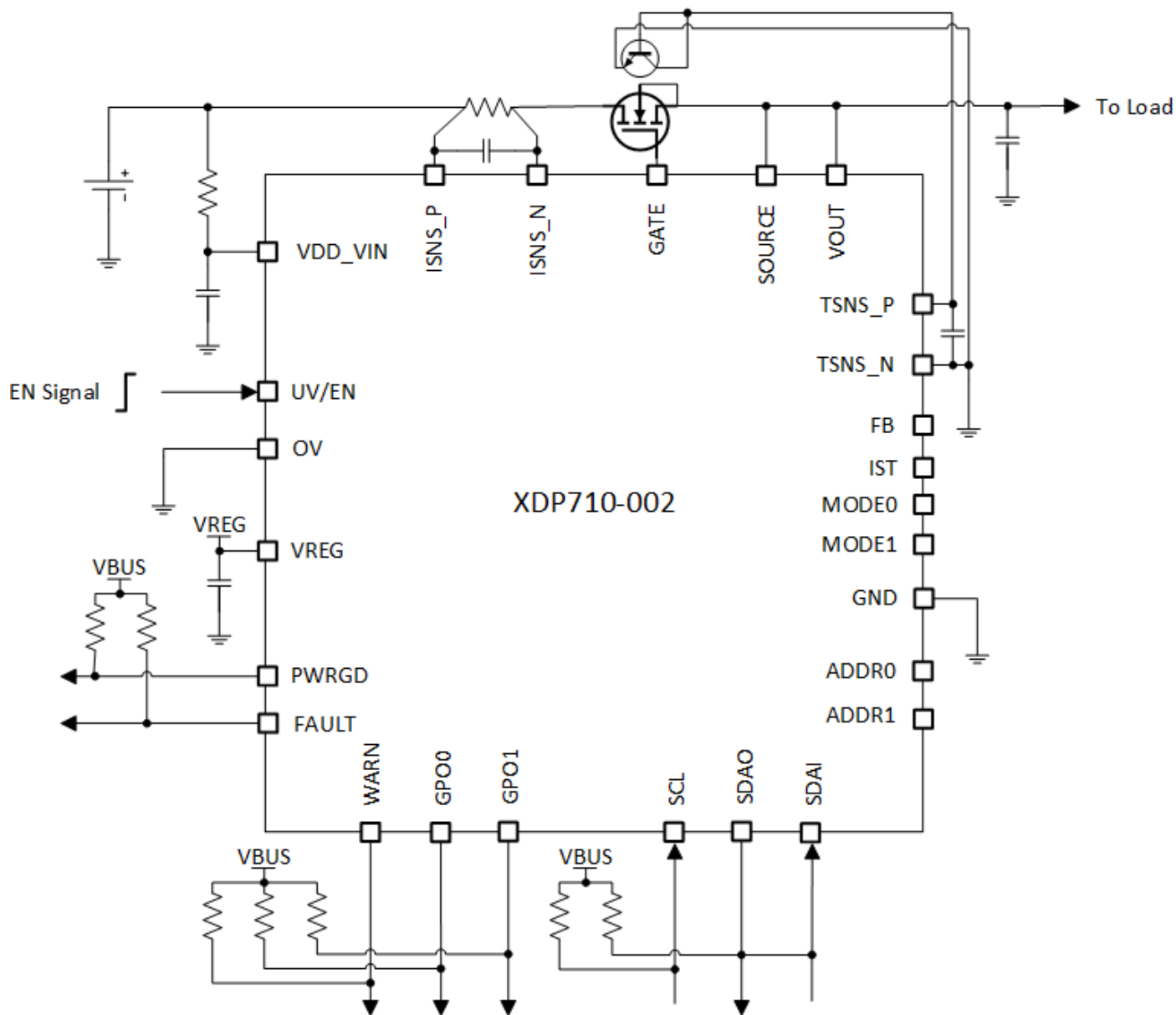
宽输入电压范围 (5.5 V 至 80 V) 系统监控和保护 IC



描述

- 升压模式的可编程倍增因子。
- 最小调节电流可低至 0.25A。
- 提高遥测精度

除了这些新增的功能之外，XDP710-002 中的所有勘误表都已修复，并且一些功能得到了改进。欲了解更多信息，请参阅 XDP7xx-001 - XDP7xx-002 兼容性和迁移应用说明。



目录

	目录	3
1	框图	5
2	引脚配置和封装	6
3	产品一般特性	12
3.1	绝对最大额定值	12
3.2	功能范围	13
3.3	热特性	14
3.4	电流损耗	15
3.5	ESD 牢固性	15
3.6	电气特性	15
3.7	时序特性	24
4	产品功能	31
4.1	功能说明	31
4.1.1	运行模式	31
4.1.2	运行状态	33
4.1.3	使能和停用	36
4.1.4	FET 电流控制	38
4.1.5	升压模式上电	43
4.1.6	功率良好	44
4.1.7	支持顺序开启	44
4.1.8	支持 OR-ing 功能	44
4.1.9	FET 掉电	44
4.1.10	重启	45
4.2	故障	45
4.2.1	内存故障	47
4.2.2	FET 损坏故障	48
4.2.3	输入电压故障	48
4.2.4	输出电压故障	49
4.2.5	电流和温度故障	50
4.2.6	上电故障	52
4.2.7	内部保护故障	52
4.3	重试	52
4.4	闭锁	53
4.5	警告	53
4.5.1	FET 损坏警告	57
4.5.2	输入电压和功率警告	55
4.5.3	输出电压警告	56
4.5.4	电流和温度警告	58

目录

4.5.5	通信警告	57
4.6	遥测.....	57
4.6.1	遥测摘要表.....	58
4.6.2	平均和瞬时遥测.....	59
4.6.3	峰值和谷值.....	59
4.6.4	通过 PMBus 进行遥测.....	60
4.6.5	RMS 电流计算.....	62
4.6.6	输入功率计算.....	62
4.6.7	热量计算.....	62
4.7	通信接口.....	62
4.7.1	PMBus	62
4.8	内存.....	69
5	应用信息	71
5.1	典型应用原理图.....	71
5.2	设置 loc	73
5.3	在 ACM 中设置 OV、UV 和 OUV	74
5.4	在 AADM 的 MODE1/0 引脚上设置电压.....	76
5.5	在 ADDR1/0 引脚上设置电压.....	76
5.6	处理外部电流 VREG 引脚.....	76
5.7	ISNS 输入过滤器	78
5.8	FET 选择考虑因素	78
5.9	根据“真实世界”值计算 PMBus 直接格式限值，反之亦然.....	79
5.9.1	电压.....	79
5.9.2	电流.....	79
5.9.3	功率.....	81
5.9.4	温度.....	82
5.9.5	能量.....	83
5.10	布局指南.....	85
6	订购信息	86
7	修订历史	87
	免责声明.....	88

1 框图

1 框图

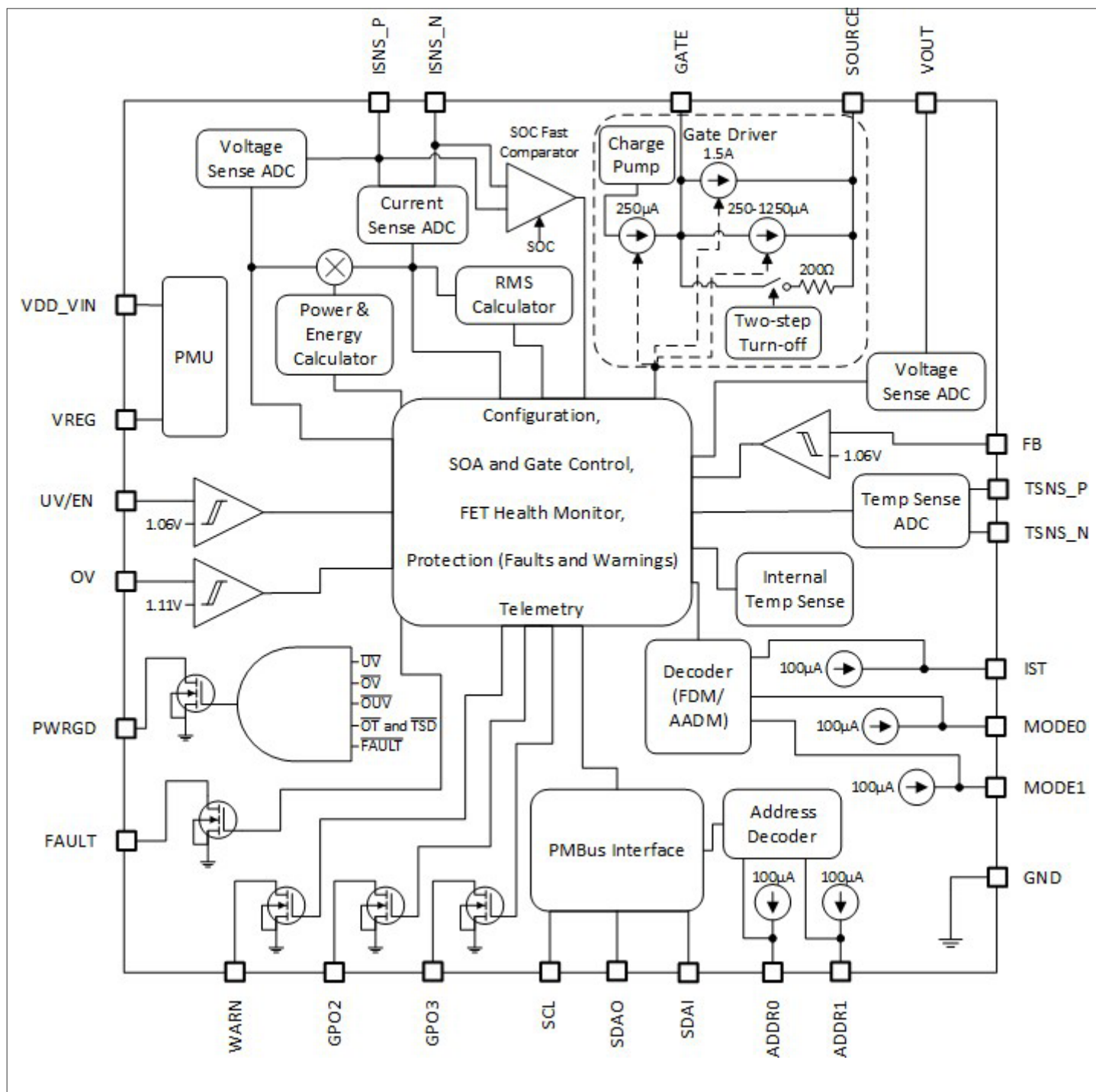


图 1 XDP710-002 框图

2 引脚配置和封装

表 1 XDP710-002 引脚排列

Pin #	Name	I/O	Type	Description	Connection if unused
1	VDD_VIN		P	Power Supply pin. A 100nF capacitor from this pin to GND is strongly recommended.	VDD_VIN
2	GND		G	Ground reference, to be connected to system ground	GND
3	UV/EN	I	A	Under Voltage Detection/Enable input. A voltage lower than lower threshold on this pin turns off the FET	VREG
4	OV	I	A	Over Voltage Detection input. A voltage higher than upper threshold on this pin turns off the FET	GND
5	GND		G	Ground reference, to be connected to system ground	GND
6	VREG		P	VREG (internal 5V regulator) output. Connect a 1 μ F capacitor from this pin to GND	Connect a 1 μ F capacitor from this pin to GND
7	PWRGD	O	D	Power Good open drain output. Pin is asserted when VOUT has reached its final level and steady state, FET is fully enhanced and no faults are detected. Its polarity is configurable	Open
8	GPO0/FAULT/SMBALERT#	O	D	General-Purpose Digital Output 0. Pin configuration is programmable. Fault open drain output if configured. The pin asserts High/Low (programmable) when a fault occurs. The faults that can trigger the pin can be configured. SMBALERT# open drain output if configured, the pin asserts low when a fault or warning occurs (depending on configuration). The faults and warnings that can trigger the pin can be configured. Default configuration: FAULT.	Open

(表格续下页.....)

表 1 (续) XDP710-002 引脚排列

9	GPO1/ WARN/LED#	O	D	<p>General-Purpose Digital Output 1. Pin configuration is programmable.</p> <p>Warning open drain output if configured. The pin asserts High/Low (programmable) when a warning occurs. The warnings that can trigger the pin can be configured.</p> <p>LED# open drain output if configured, the pin asserts low when a fault occurs. The faults that can trigger the pin can be configured.</p> <p>Default configuration: WARN.</p>	Open
10	GPO2/CGDN	I/O	D	<p>General-Purpose Digital Output 2. Pin configuration is programmable.</p> <p>Connector Good (CGDN) if configured, if this pin is pulled externally low, the controller is allowed to turn on the FET.</p> <p>Default configuration: Disabled.</p>	Open
11	GPO3/ SMBALERT#/ PMBUS_EN	I/O	D	<p>General-Purpose Digital Output 3. Pin configuration is programmable.</p> <p>SMBALERT# open drain output if configured, the pin asserts low when a fault or warning occurs (depending on configuration). The faults and warnings that can trigger the pin can be configured.</p> <p>PMBUS_EN: if configured, enabled or disabled PMBus communication.</p> <p>Default configuration: Disabled.</p>	Open
12	SCL	I	D	<p>PMBus Clock input. The interface is rated to 1MHz</p>	Pull-up to VREG or external source
13	SDAO	O	D	<p>PMBus Data Output. Open drain pin. The serial data is split into an input and an output for easy use with isolators</p>	Pull-up to VREG or external source
14	SDAI	I	D	<p>PMBus Data Input. The serial data is split into an input and an output for easy use with isolators</p>	Pull-up to VREG or external source
15	ADDR0	I	A	<p>Device Address Configuration 0 and 1 inputs. These pins can be tied to GND, left open or tied to GND through a resistor for a total of 16 unique PMBus device addresses</p>	Open
16	ADDR1	I	A		

(表格续下页.....)

表 1 (续) XDP710-002 引脚排列

17	MODE0	I	A	Mode of Operation 0 and 1 inputs. These pins can be tied to GND, left open or tied to GND through a resistor to select between Fully Digital Mode and Analog Assisted Digital Mode. Leave both pins open to select Fully Digital Mode	Open
18	MODE1	I	A		
19	IST	I	A	Start-up Current setting input. A resistor to GND on this pin limits the maximum current allowed at start-up phase	Open
20	FB	I	A	Output Voltage Feedback input. A tap on the voltage divider placed from VOUT to GND is connected to this pin and sets the Output Under Voltage level. A voltage level lower than lower threshold will trigger the Output Under Voltage fault	VREG (ACM), Open (DCM)
21	TSNS_N	IO	A	Temperature Sense Negative terminal. Tie this pin to the emitter of an external NPN BJT to sense the FET's temperature. Connect a 1nF capacitor from this pin to TSNS_P. This pin must be connected locally to GND.	GND
22	TSNS_P	IO	A	Temperature Sense Positive terminal. Tie this pin to the base and collector of an external NPN BJT to sense the FET's temperature. Connect a 1nF capacitor from this pin to TSNS_N. If unused, this pin must be connected to GND.	GND
23	GND		G	Ground reference, to be connected to system ground	GND
24	VOUT	I	A	Output Voltage Sense input	VOUT
25	SOURCE	IO	A	Source terminal, single or multiple parallel external N channel FETs return path. Pin is directly connected to the source of the FET/FETs. The GATE pin is referenced from this pin and pull-down currents flow through this pin	SOURCE

(表格续下页.....)

表 1 (续) XDP710-002 引脚排列

26	GATE	O	A	Gate Driver output of single or multiple parallel external N channel FETs, referenced to SOURCE. It uses a charge pump to provide a pull-up current to charge the FET gate/gates. The FET/ FETs is/are regulated to a maximum allowed current by regulating the GATE pin voltage. GATE is pulled down when the supply is not within UV and OV or fault occurs	GATE
27	DNC			Do not connect pin (to provide isolation between high and low voltage signals)	Open
28	ISNS_N	I	A	Current Sense Negative input. A 100nF capacitor is recommended between the ISNS_x pins.	ISNS_N
29	ISNS_P	I	A	Current Sense Positive input	ISNS_P
EP	GND		G	Ground reference. The exposed pad to be connected to system ground	GND

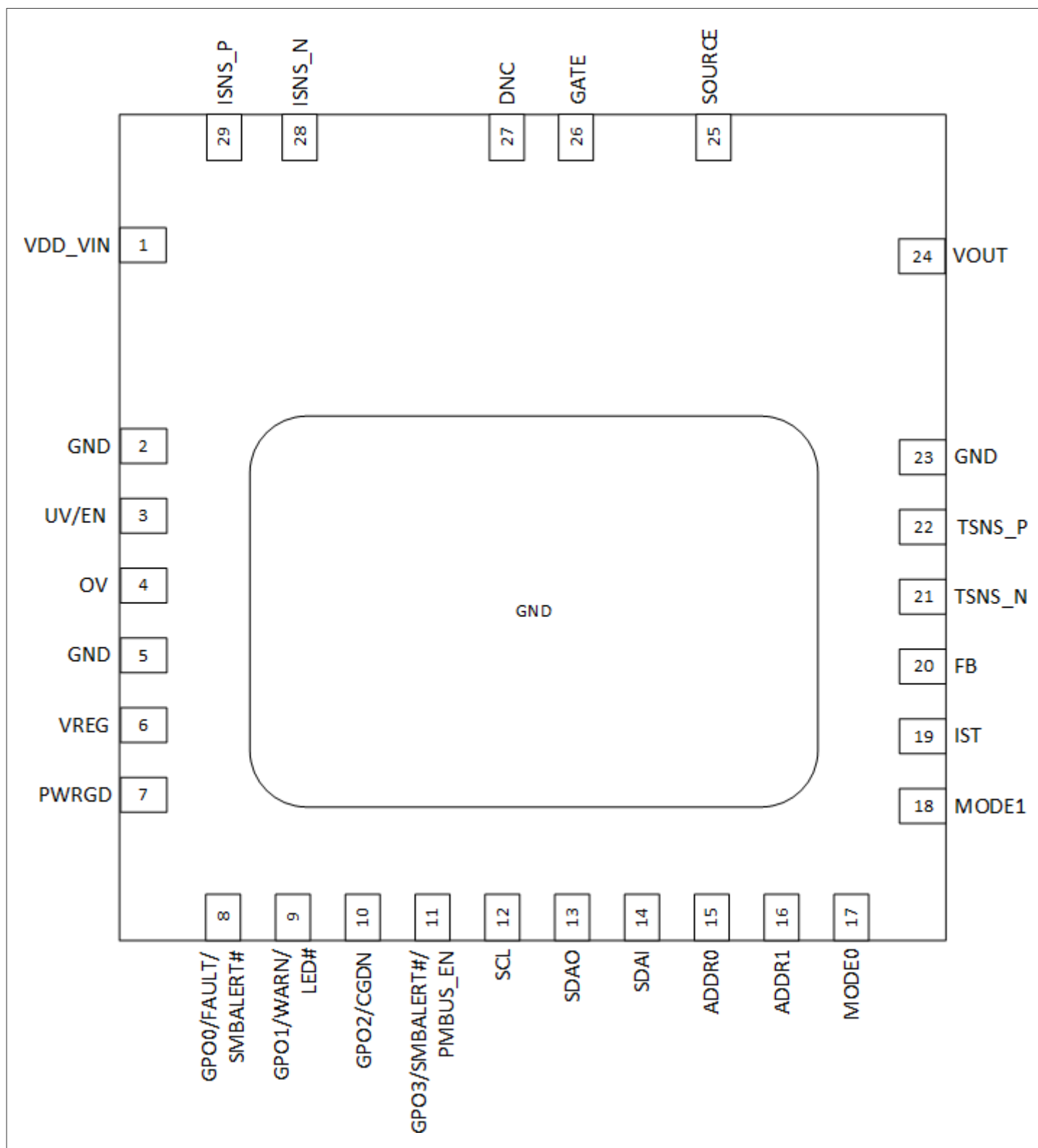


图 2 VQFN-29 6x6 引脚排列

2 引脚配置和封装

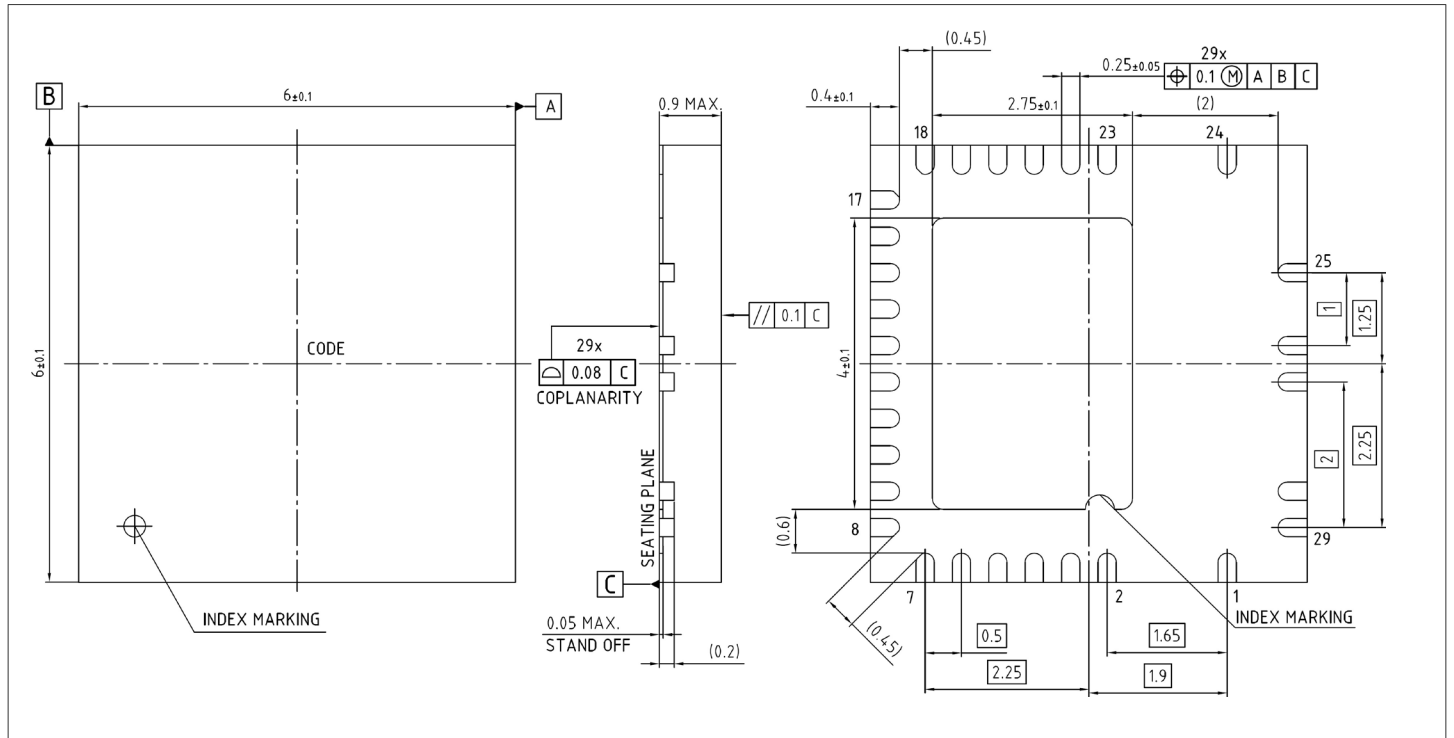


图 3 封装尺寸

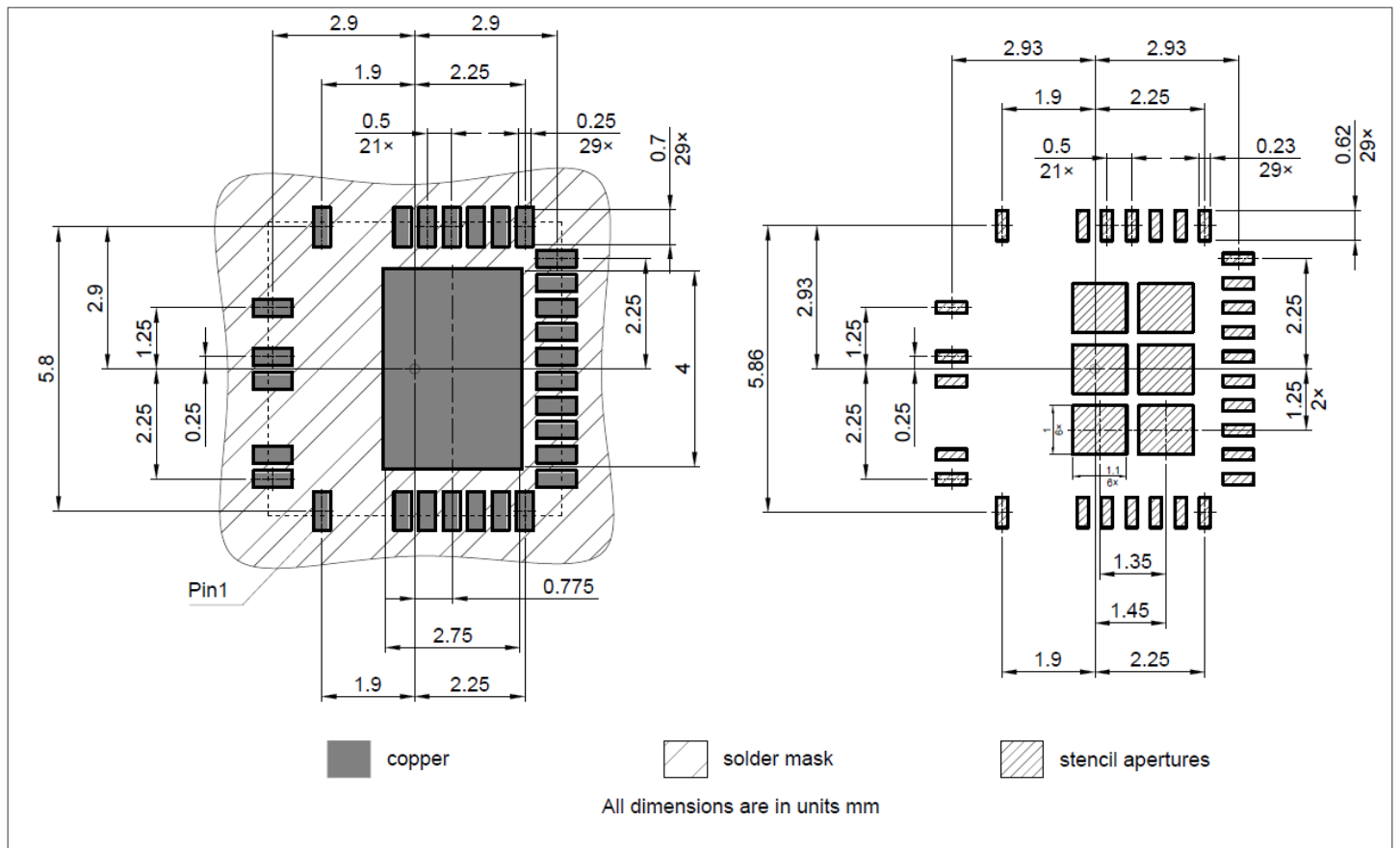


图 4 建议占用空间

3 产品特性

3 产品一般特性

3.1 绝对最大额定值

表 2 绝对最大额定值

为了确保器件的正确操作和可靠性，不得超过以下操作条件。除非另有说明，所有电压参数均以 GND 为参考，正电流流入引脚。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Supply voltage at VDD_VIN pin	VDD_VIN _{DC}	-0.3	-	80	V	
Supply voltage transients at VDD_VIN pin	VDD_VIN _{AC}	-	-	100	V	For 500ms max
Voltage slew rate at VDD_VIN pin	VDD_VIN _{SR}	-	-	±80	V/μs	The RC filter (i.e. 10Ω / 100nF, or 100Ω / 10nF, etc.) on the pin is recommended, especially for high voltage (i.e. 48V) applications
Voltage slew rate at ISNS_P and ISNS_N pins	V _{ISNS_P_SR} , V _{ISNS_N_SR}	-	-	±80	V/μs	The resistor (i.e.10Ω) in series to each pin is recommended if an excessive dV/dt may occur in the application
Voltage slew rate at SOURCE and VOUT pins	V _{SOURCE_SR} , V _{VOUT_SR}	-	-	±80	V/μs	An output cap (10μF min) limits a slew rate on the pins
Voltage at SOURCE pin	V _{SOURCE_DC}	-0.3	-	80	V	
Voltage transients at SOURCE pin	V _{SOURCE_AC}	-	-	100	V	For 500ms max
Output voltage at GATE pin	V _{GATE_DC}	-0.3	-	92	V	
Voltage transients at GATE pin	V _{GATE_AC}	-	-	100	V	For 500ms max
GATE to SOURCE voltage	V _{GATE-SOURCE_DC}	-0.3	-	12	V	
GATE to SOURCE voltage transients	V _{GATE-SOURCE_AC}	-	-	15	V	For 500ms max
Output voltage at VREG pin	V _{VREG}	-0.3	-	6	V	
Digital pins output voltage (PWRGD, FAULT, WARN, GPO _x , SDAO)	V _{PWRGD} , V _{FAULT} , V _{WARN} , V _{GPO_x} , V _{SDAO}	-0.3	-	6	V	
Input voltage at VOUT pin	V _{VOUT_DC}	-0.3	-	80	V	
Input voltage transients at VOUT pin	V _{VOUT_AC}	-	-	100	V	For 500ms max

(表格续下页.....)

3 产品特性

表 2 (续) 绝对最大额定值

为了确保器件的正确操作和可靠性，不得超过以下操作条件。除非另有说明，所有电压参数均以 GND 为参考，正电流流入引脚。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Input voltage at ISNS_P, ISNS_N pins	$V_{ISNS_P_DC}$, $V_{ISNS_N_DC}$	-0.3	-	80	V	
Input voltage transients at ISNS_P, ISNS_N pins	$V_{ISNS_P_AC}$, $V_{ISNS_N_AC}$	-	-	100	V	For 500ms max
Current Sense input voltage (ISNS_P - ISNS_N)	$V_{\Delta ISNS}$	-0.8	-	0.8	V	
Analog pins input voltage (UV/EN, OV, ADDR _x , MODE _x , IST, FB, TSNS_N)	V_{UV_EN} , V_{OV} , V_{ADDRx} , V_{MODEx} , V_{IST} , V_{FB} , V_{TSNS_N}	-0.3	-	6	V	
Input voltage at TSNS_P pin	V_{TSNS_P}	-0.3	-	2.5	V	
Digital pins input voltage (SCL, SDAI)	V_{SCL} , V_{SDAI}	-0.3	-	6	V	
Junction Temperature range	T_J	-40	-	150	°C	
Storage Temperature range	T_S	-55	-	150	°C	

3.2 功能范围

表 3 功能和性能范围描述

Absolute Voltage Range at VDD_VIN (V)	Communication Interface	FET Gate	VREG
$0 \leq V_{in} < 5.5$	Off	Off (passive pull-down)	Off
$5.5 \leq V_{in} < 9$	On	Limited operation: - Off (active pull-down); - limited SOA regulation depending on gate driver supply; - On/enhancement is not guaranteed (but $\geq 4.5V$)	4.5V (min)
$9 \leq V_{in} \leq 80$		Full operation: - Off (active pull-down); - full SOA regulation; - On/enhancement (typ 10.5V)	5.0V (typ)

3 产品特性

表 4 功能范围

为确保器件正常工作和可靠性，不得超过以下工作条件。除非另有说明，所有电压参数均以 GND 为基准，正电流流入引脚， $T_A = 25^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Supply voltage at VDD_VIN pin	VDD_VIN	5.5		80	V	
Supply voltage at VDD_VIN pin to enable all features	VDD_VIN _{EN}	9	-	-	V	See Table 3 .
ISNS_P sense pin input voltage	V _{ISNS_P}	5.5	-	80	V	
VOUT sense pin input voltage	VOUTS	0	-	80	V	
Current Sense input voltage (ISNS_P - ISNS_N)	V _{ΔISNS}	-0.4	-	0.4	V	
Minimum overcurrent setting	I _{OC_MIN}	5	-	-	A	Minimum I _{OC} (I _{OC} = V _{SNS_CS} / R _{SNS} , see Setting I_{OC}) for optimum stability.
Analog pins input voltage (UV/EN, OV, ADDR _X , MODE _X , IST, FB)	V _{UV_EN} , V _{OV} , V _{ADDR_X} , V _{MODE_X} , V _{IST} , V _{FB}	0	-	5.5	V	
Digital pins input voltage (SCL, SDAI)	V _{SCL} , V _{SDAI}	0	-	5.5	V	
Output voltage at VREG pin	V _{VREG}	4.5	5	5.5	V	At 10 mA max external load.
Digital pins output voltage (PWRGD, FAULT, WARN, GPO _X , SDAO)	V _{PWRGD} , V _{FAULT} , V _{WARN} , V _{GPO_X} , V _{SDAO}	0	-	5.5	V	
Junction temperature range	T _J	-40	-	125	°C	

3.3 热特性

表 5 热特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Thermal resistance Junction-to-case (bottom)	R _{ΘJC_Bot}	-	5	-	K/W	PCB simulation setup as described in Table 6 .
Thermal resistance Junction-to-case (top)	R _{ΘJC_Top}	-	30	-	K/W	PCB simulation setup as described in Table 6 .
Thermal resistance Junction-to-Ambient	R _{ΘJA}	-	33	-	K/W	PCB simulation setup as described in Table 6 .
Package power dissipation	P _{PAK}	-	-	0.8	W	

3 产品特性

表 6 热模拟的 PCB 特性

		λ_{therm} [W/m-K]
Metalization	JEDEC 2s2p (JESD 51-7, JESD 51-5)	388
Cooling Area [mm ²]	none	388

注意：热性能与印刷电路板 (PCB) 设计和工作环境直接相关。需要仔细考虑 PCB 的散热设计。

注意：此热数据根据 JEDEC JESD51 标准生成。更多信息，请访问 www.jedec.org

3.4 电流损耗

表 7 电流损耗

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Current Consumption	I_{VDD}	-	7	10	mA	VDD_VIN supply current: FET is fully ON, telemetry in ON.

3.5 ESD 稳健性

表 8 ESD 稳健性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
ESD Robustness HBM	$V_{\text{ESD_HBM}}$	-	-	±2000	V	Human Body Model sensitivity as per ANSI/ESDA/ JEDEC JS-001
ESD Robustness CDM	$V_{\text{ESD_CDM}}$	-	-	±500	V	Charge Device Model sensitivity as per ANSI/ESDA/ JEDEC JS-002

3.6 电气特性

表 9 电气特性

除非另有说明， $V_{\text{DD_VIN}} - \text{GND} = 48 \text{ V}$, $V_{\text{ISNS_P}} = V_{\text{DD_VIN}}$, $V_{\Delta\text{ISNS}} = (V_{\text{ISNS_P}} - V_{\text{ISNS_N}}) = 0 \text{ V}$, $T_{\text{J}} = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		

UV/EN, OV and FB in AADM

Input upper threshold	$V_{\text{UVEN_UTH}}$, $V_{\text{OV_UTH}}$, $V_{\text{FB_UT}}$ H	1.09	1.11	1.13	V	
-----------------------	---	------	------	------	---	--

(表格续下页.....)

3 产品特性

表 9 (续) 电气特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Input lower threshold	V_{UVEN_LTH} , V_{OV_LTH} , V_{FB_LTH}	1.04	1.06	1.08	V	
TSNS_P, TSNS_N						
TSNS_P operating voltage range	V_{TSNS_P}	0.25	-	1	V	
TSNS_N operating voltage	V_{TSNS_N}	-	0	-	V	
ISNS_P, ISNS_N						
Minimum detectable differential voltage level	V_{SNS_MIN}	0.01 * V_{SNS_CS}	-	-	mV	Between ISNS_P and ISNS_N pins.
Current sense differential voltage range	V_{SNS_CS}	-	12.5	-	mV	Set by CS_RNG[1:0] bits: CS_RNG[1:0] = 00
Current sense differential voltage range	V_{SNS_CS}	-	25	-	mV	Set by CS_RNG[1:0] bits: CS_RNG[1:0] = 01
Current sense differential voltage range	V_{SNS_CS}	-	50	-	mV	Set by CS_RNG[1:0] bits: CS_RNG[1:0] = 10
Current sense differential voltage range	V_{SNS_CS}	-	100	-	mV	Set by CS_RNG[1:0] bits: CS_RNG[1:0] = 11
SOC Differential voltage level	V_{SNS_SOC}	9.5	12.5	15.5	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 000 and CS_RNG[1:0] = 00 or 01
SOC Differential voltage level	V_{SNS_SOC}	15.75	18.75	21.75	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 001 and CS_RNG[1:0] = 00 or 01
SOC Differential voltage level	V_{SNS_SOC}	22	25	28	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 010 and CS_RNG[1:0] = 00 or 01; or SOC_FAULT_LIMIT[2:0] = 000 and CS_RNG[1:0] = 10 or 11

(表格续下页.....)

3 产品特性

表 9 (续) 电气特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
SOC Differential voltage level	V_{SNS_SOC}	34.5	37.5	40.5	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 011 and CS_RNG[1:0] = 00 or 01; or SOC_FAULT_LIMIT[2:0] = 001 and CS_RNG[1:0] = 10 or 11
SOC Differential voltage level	V_{SNS_SOC}	47	50	53	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 100 and CS_RNG[1:0] = 00 or 01; or SOC_FAULT_LIMIT[2:0] = 010 and CS_RNG[1:0] = 10 or 11
SOC Differential voltage level	V_{SNS_SOC}	71	75	79	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 101 and CS_RNG[1:0] = 00 or 01; or SOC_FAULT_LIMIT[2:0] = 011 and CS_RNG[1:0] = 10 or 11
SOC Differential voltage level	V_{SNS_SOC}	96	100	104	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 110 and CS_RNG[1:0] = 00 or 01; or SOC_FAULT_LIMIT[2:0] = 100 and CS_RNG[1:0] = 10 or 11
SOC Differential voltage level	V_{SNS_SOC}	145	150	155	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 111 and CS_RNG[1:0] = 00 or 01; or SOC_FAULT_LIMIT[2:0] = 101 and CS_RNG[1:0] = 10 or 11
SOC Differential voltage level	V_{SNS_SOC}	193	200	207	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 110 and CS_RNG[1:0] = 10 or 11

(表格续下页.....)

3 产品特性

表 9 (续) 电气特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
SOC Differential voltage level	V_{SNS_SOC}	290	300	310	mV	Set by SOC_FAULT_LIMIT[2:0] and CS_RNG[1:0] bits: SOC_FAULT_LIMIT[2:0] = 111 and CS_RNG[1:0] = 10 or 11
Current sense ADC resolution	ADC_{RES}	-	12	-	bits	
Max allowed negative current	I_{NEG_MAX}	-	240	-	mA	To trigger INEG warning. $V_{SNS_CS} = 12.5\text{ mV}$, $R_{sns} = 1\text{ m}\Omega$.
Max allowed negative current	I_{NEG_MAX}	-	520	-	mA	To trigger INEG warning. $V_{SNS_CS} = 25\text{ mV}$, $R_{sns} = 1\text{ m}\Omega$.
Max allowed negative current	I_{NEG_MAX}	-	1100	-	mA	To trigger INEG warning. $V_{SNS_CS} = 50\text{ mV}$, $R_{sns} = 1\text{ m}\Omega$.
Max allowed negative current	I_{NEG_MAX}	-	2200	-	mA	To trigger INEG warning. $V_{SNS_CS} = 100\text{ mV}$, $R_{sns} = 1\text{ m}\Omega$.

GATE

Gate voltage	V_{GATE}	8.5	10.5	12.0	V	$9\text{V} \leq V_{DD_VIN} \leq 80\text{V}$, $I_{GATE} \leq 5\mu\text{A}$, FET is fully ON
Gate voltage	V_{GATE}	4.0	-	-	V	$5.5\text{V} \leq V_{DD_VIN} < 9\text{V}$, $I_{GATE} \leq 5\mu\text{A}$
Pull-up current	I_{GATE_PU}	200	250	300	μA	At $V_{GATE} = 5\text{ V}$
Fast pull-down current	I_{GATE_FPD}	0.825	1.5	2.175	A	Set by GATE_FAST_PD[0]: GATE_FAST_PD[0] = 0
GATE pin two step turn-off fast pull-down	$R_{GATE_2ST_FAST_PD}$	156	200	244	Ω	Set by GATE_FAST_PD[0]: GATE_FAST_PD[0] = 1
Slow pull-down current	I_{GATE_SPD}	200	250	300	μA	Set by GATE_SLOW_PD[1:0] bits: GATE_SLOW_PD[1:0] = 00 Used for both regular/slow pull-down and second phase of the two-step turn-off.

(表格续下页.....)

3 产品特性

表 9 (续) 电气特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Slow pull-down current	I_{GATE_SPD}	400	500	600	μA	Set by GATE_SLOW_PD[1:0] bits: GATE_SLOW_PD[1:0] = 01 Used for both regular/slow pull-down and second phase of the two-step turn-off.
Slow pull-down current	I_{GATE_SPD}	600	750	900	μA	Set by GATE_SLOW_PD[1:0] bits: GATE_SLOW_PD[1:0] = 10 Used for both regular/slow pull-down and second phase of the two-step turn-off.
Slow pull-down current	I_{GATE_SPD}	1000	1250	1500	μA	Set by GATE_SLOW_PD[1:0] bits: GATE_SLOW_PD[1:0] = 11 Used for both regular/slow pull-down and second phase of the two-step turn-off.

VDD_VIN

On-chip input over voltage upper threshold for on-chip input overvoltage fault assertion	OV_{IN_UTH}	-	70	-	V	Set by OVIN_FAULT_LIMIT[1:0] bits: OVIN_FAULT_LIMIT[1:0] = 00
On-chip input over voltage upper threshold for on-chip input overvoltage fault assertion	OV_{IN_UTH}	-	75	-	V	Set by OVIN_FAULT_LIMIT[1:0] bits: OVIN_FAULT_LIMIT[1:0] = 01
On-chip input over voltage upper threshold for on-chip input overvoltage fault assertion	OV_{IN_UTH}	-	80	-	V	Set by OVIN_FAULT_LIMIT[1:0] bits: OVIN_FAULT_LIMIT[1:0] = 10
On-chip input over voltage upper threshold for on-chip input overvoltage fault assertion	OV_{IN_UTH}	-	85	-	V	Set by OVIN_FAULT_LIMIT[1:0] bits: OVIN_FAULT_LIMIT[1:0] = 11

(表格续下页.....)

3 产品特性

表 9 (续) 电气特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
On-chip input over voltage lower threshold for on-chip input overvoltage fault release	OV_{IN_LTH}	-	$OV_{IN_UTH} - 5\text{ V}$	-	V	For on-chip input overvoltage fault release.

VOUT

Input current	I_{VOUT}	-	15	-	μA	At 48 V
---------------	------------	---	----	---	---------------	---------

Telemetry

Monitored voltage range (input and output voltages)	V_{TLM}	22	-	88	V	Set by $V_{TLM_RNG}[1:0]$ bits: <ul style="list-style-type: none"> • 2'b00: 88 V • 2'b01: 44 V • 2'b10: 22 V • 2'b11: n.a.
Input voltage measurements accuracy	A_{VIN}	-	± 0.2	± 0.3	%	At $ISNS_P$ vs GND: $ISNS_P = 20\text{ V}$ to 40 V or 10 V to 20 V depending on corresponding programmed range V_{TLM} .
Output voltage measurements accuracy	A_{VOUT}	-	± 0.2	± 0.3	%	At V_{OUT} vs GND: $V_{OUT} = 20\text{ V}$ to 40 V or 10 V to 20 V depending on corresponding programmed range V_{TLM} .
Input voltage measurements accuracy	A_{VIN}	-	± 0.2	± 0.4	%	At $ISNS_P$ vs GND: $ISNS_P = 40\text{ V}$ to 80 V , $V_{TLM} = 88\text{ V}$.
Output voltage measurements accuracy	A_{VOUT}	-	± 0.2	± 0.4	%	At V_{OUT} vs GND: $V_{OUT} = 40\text{ V}$ to 80 V , $V_{TLM} = 88\text{ V}$.
Current measurement accuracy	A_{IIN}	-	± 0.15	± 0.2	%	Between $ISNS_P$ & $ISNS_N$ pins. $V_{\Delta ISNS} = V_{SNS_CS}$, where $V_{SNS_CS} = 100\text{ mV}$ or 50 mV
Current measurement accuracy	A_{IIN}	-	± 0.25	± 0.3	%	Between $ISNS_P$ & $ISNS_N$ pins. $V_{\Delta ISNS} = V_{SNS_CS} / 2$, where $V_{SNS_CS} = 100\text{ mV}$ or 50 mV
Current measurement accuracy	A_{IIN}	-	± 0.45	± 0.6	%	Between $ISNS_P$ & $ISNS_N$ pins. $V_{\Delta ISNS} = V_{SNS_CS} / 4$, where $V_{SNS_CS} = 100\text{ mV}$ or 50 mV
Current measurement accuracy	A_{IIN}	-	± 0.2	± 0.45	%	Between $ISNS_P$ & $ISNS_N$ pins. $V_{\Delta ISNS} = V_{SNS_CS}$, where $V_{SNS_CS} = 25\text{ mV}$

(表格续下页.....)

3 产品特性

表 9 (续) 电气特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Current measurement accuracy	A_{IIN}	-	± 0.4	± 0.8	%	Between ISNS_P & ISNS_N pins. $V_{\Delta ISNS} = V_{SNS_CS} / 2$, where $V_{SNS_CS} = 25\text{ mV}$
Current measurement accuracy	A_{IIN}	-	± 0.8	± 1.5	%	Between ISNS_P & ISNS_N pins. $V_{\Delta ISNS} = V_{SNS_CS} / 4$, where $V_{SNS_CS} = 25\text{ mV}$
Current measurement accuracy	A_{IIN}	-	± 0.45	± 0.75	%	Between ISNS_P & ISNS_N pins. $V_{\Delta ISNS} = V_{SNS_CS}$, where $V_{SNS_CS} = 12.5\text{ mV}$
Current measurement accuracy	A_{IIN}	-	± 0.9	± 1.6	%	Between ISNS_P & ISNS_N pins. $V_{\Delta ISNS} = V_{SNS_CS} / 2$, where $V_{SNS_CS} = 12.5\text{ mV}$
Current measurement accuracy	A_{IIN}	-	± 1.8	± 3.2	%	Between ISNS_P & ISNS_N pins. $V_{\Delta ISNS} = V_{SNS_CS} / 4$, where $V_{SNS_CS} = 12.5\text{ mV}$
Calculated input power accuracy	A_{PIN}	-	± 0.35	± 0.6	%	At ISNS_P vs GND voltage: ISNS_P = 40 V to 80 V, $V_{TLM} = 88\text{ V}$. And voltage between ISNS_P & ISNS_N pins: $V_{\Delta ISNS} = V_{SNS_CS}$, where $V_{SNS_CS} = 100\text{ mV}$ or 50 mV.
Calculated input power accuracy	A_{PIN}	-	± 0.4	± 0.85	%	At ISNS_P vs GND voltage: ISNS_P = 40 V to 80 V, $V_{TLM} = 88\text{ V}$. And voltage between ISNS_P & ISNS_N pins: $V_{\Delta ISNS} = V_{SNS_CS}$, where $V_{SNS_CS} = 25\text{ mV}$.
Calculated input power accuracy	A_{PIN}	-	± 0.65	± 1.15	%	At ISNS_P vs GND voltage: ISNS_P = 40 V to 80 V, $V_{TLM} = 88\text{ V}$. And voltage between ISNS_P & ISNS_N pins: $V_{\Delta ISNS} = V_{SNS_CS}$, where $V_{SNS_CS} = 12.5\text{ mV}$

(表格续下页.....)

3 产品特性

表 9 (续) 电气特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Calculated energy accuracy	A_{EIN}	-	1.4	2.1	%	At ISNS_P vs GND voltage: ISNS_P = 40 V to 80 V, VTLM = 88 V. And voltage between ISNS_P & ISNS_N pins: $V_{\Delta ISNS} = VSNS_CS$, where $VSNS_CS = 100\text{ mV}$ or 50 mV .
Calculated energy accuracy	A_{EIN}	-	1.4	2.4	%	At ISNS_P vs GND voltage: ISNS_P = 40 V to 80 V, VTLM = 88 V. And voltage between ISNS_P & ISNS_N pins: $V_{\Delta ISNS} = VSNS_CS$, where $VSNS_CS = 25\text{ mV}$.
Calculated energy accuracy	A_{EIN}	-	1.7	2.7	%	At ISNS_P vs GND voltage: ISNS_P = 40 V to 80 V, VTLM = 88 V. And voltage between ISNS_P & ISNS_N pins: $V_{\Delta ISNS} = VSNS_CS$, where $VSNS_CS = 12.5\text{ mV}$.
On-chip temperature monitored range	$T_{ON-CHIP}$	-40	-	150	$^\circ\text{C}$	
On-chip temperature measurement accuracy	A_{T2}	-5	-	5	$^\circ\text{C}$	
Temperature measurements accuracy	A_{T1}	-	± 4.0	± 12.5	$^\circ\text{C}$	Sourcing currents in TSNS_P pin. Sense the voltage between TSNS_P & TSNS_N pins. External transistor is: MMBT3904.

VREG

Output voltage	V_{REG}	4.7	5.0	5.3	V	$9\text{ V} \leq V_{DD_VIN} \leq 80\text{ V}$. $C_{VREG} = 1\ \mu\text{F}$. Internal load + external load. Package maximum power dissipation limit (P_{PAK}) must not be violated.
----------------	-----------	-----	-----	-----	---	--

(表格续下页.....)

3 产品特性

表 9 (续) 电气特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Output voltage	V_{REG}	4.5	-	-	V	$5.5\text{ V} \leq V_{DD_VIN} \leq 9\text{ V}$. $C_{VREG} = 1\ \mu\text{F}$. Internal load + external load. Package maximum power dissipation limit (P_{PAK}) must not be violated.
Current capability to supply external load	I_{REG}	-	-	10	mA	

PWRGD, GPOx, FAULT, WARN, SMBALERT#, CGDN, LED#

Output low voltage	V_{OL}	-	-	0.4	V	At 10 mA
Input Low Voltage	V_{IL}	-	-	0.8	V	
Input High Voltage	V_{IH}	2.0	-	-	V	
Leakage current	i_{LEAK}	-	-	5	μA	At 5.5 V, output is HiZ.
Current sink capability	i_{GPO_max}	-	-	10	mA	

SDAI, SDAO, SCL

Input high voltage	V_{IH}	2.0	-	-	V	
Input low voltage	V_{IL}	-	-	0.8	V	
Output low voltage	V_{OL}	-	-	0.4	V	At 20 mA
Leakage current	i_{LEAK}	-	-	5.0	μA	At 5.5 V
Nominal bus voltage	V_{BUS}	3.0	3.3 or 5.0	5.5	V	
Capacitive load per bus segment	C_L	-	-	400	pF	
Pin capacitance	C_P	-	5	10	pF	

ADDRx

Pin sense current	I_{ADDR}	-	100	-	μA	
Programmability voltage step	V_{ADDR_STEP}	-	0.8	-	V	See Table 13 for more info.

MODEx

MODEx pins sense current	I_{MODE}	-	100	-	μA	
Programmability voltage step	V_{MODE_STEP}	-	0.8	-	V	See Table 12 for more info.

IST

Pin sense current	I_{IST}	-	100	-	μA	
-------------------	-----------	---	-----	---	---------------	--

(表格续下页.....)

3 产品特性

表 9 (续) 电气特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Programmability voltage step	V_{IST_STEP}	-	See Table 19	-	V	

On-chip thermal shut-down

Protection trigger upper threshold	T_{TS_UTH}	130	-	145	$^\circ\text{C}$	Set by ONCHIP_TSD_FAULT_LIMIT[1:0] bits: <ul style="list-style-type: none"> • 2'b00: 130$^\circ\text{C}$ • 2'b01: 135$^\circ\text{C}$ • 2'b10: 140$^\circ\text{C}$ • 2'b11: 145$^\circ\text{C}$
Protection trigger lower threshold	T_{TS_LTH}	-	$T_{TS_UTH} - 10$	-	$^\circ\text{C}$	
On-chip thermal shut-down warning upper limit	$TSDW_{UTH}$	-	125	-	$^\circ\text{C}$	
On-chip thermal shut-down warning lower threshold	$TSDW_{LTH}$	-	115	-	$^\circ\text{C}$	

3.7 时序特性

表 10 时序特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
UV/EN						
UV/EN input fixed deglitch time	t_{UVEN_DG}	6.5	10	13.5	μs	Input filter before processing the signal.

(表格续下页.....)

3 产品特性

表10 (续) 时序特性

除非另有说明, $V_{DD_VIN} - GND = 48 V$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0 V$, $T_J = -40^{\circ}C$ to $+125^{\circ}C$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
UV/EN deglitch time on rising edge before start the FET	t_{UVEN_ON}	0	-	512	ms	Defined by bits EN_DG[3:0]: <ul style="list-style-type: none"> • 3'b0000: 0 ms • 3'b0001: 4 ms • 3'b0010: 8 ms • 3'b0011: 16 ms • 3'b0100: 32 ms • 3'b0101: 64 ms • 3'b0110: 128 ms • 3'b0111: 256 ms • 3'b1000: 300 ms • 3'b1001: 400 ms • 3'b1010: 512 ms
OV						
OV input fixed deglitch time	t_{OV_DG}	6.5	10	13.5	μs	Input filter before processing the signal.
FB						
FB input fixed deglitch time	t_{FB_DG}	6.5	10	13.5	μs	Input filter before processing the signal.
PWRGD						
Power good assertion deglitch time	t_{PG_DGR}	0	-	15	ms	Configurable by means of PWRGD_DG_TMR[3:0] bits.
Power good assertion deglitch time programming step	$t_{PG_DGR_STP}$	0.9	1.0	1.1	ms	
Power good deassertion deglitch time	t_{PG_DGF}	0	-	15	ms	Configurable by means of PWRGDN_DG_TMR[3:0] bit s.
Power good deassertion deglitch time programming step	$t_{PG_DGF_STP}$	0.9	1.0	1.1	ms	
ADC						
Conversion rate of current and voltage measurements	t_{ADC_IV}	-	102.4	-	μs	
Conversion rate of temperature measurements	t_{ADC_t}	-	200	-	ms	

(表格续下页.....)

3 产品特性

表10 (续) 时序特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Faults, warnings and timings						
Time for any gate discharge in fault state	$t_{FLT_PD_GATE}$	9	10	11	ms	In FAULT state, when any gate pull down/discharge method is activated, a timer starts simultaneously. If FET's V_{GS} does not go below 1.04 V before this timer expires, SGD fault will be triggered.
Fault strong pull down activation time for fast gate discharge	$t_{FLT_PD_FAST}$	13.5	15	16.5	μs	When strong/fast gate pull down is configured, the 1.5 A switch is activated for this time.
Fault reaction time	$t_{FLT_GATE_OFF}$	-	0.3	1.0	μs	Response time from fault triggered to activation of gate pin turn-off. In the case of timer dependent faults, fault triggered means "after timer has expired".
FAULT pin hold time	t_{FAULT_MIN}	20	-	-	μs	Hold time of the FAULT signal when it is set Open-drain output: At $C_L = 50\text{ pF}$; External pull-up resistor of $10\text{ k}\Omega$.
Hot swap retry cool down period	t_{COOL}	0	-	64	s	Defined by bits COOLD_TMR[2:0]: <ul style="list-style-type: none"> • 3'b000: 0 s • 3'b001: 1 s • 3'b010: 2 s • 3'b011: 4 s • 3'b100: 8 s • 3'b101: 16 s • 3'b110: 32 s • 3'b111: 64 s

(表格续下页.....)

3 产品特性

表10 (续) 时序特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Retry OK deglitch timer	$t_{\text{RETRY-DEG}}$	0	–	8	s	Defined by bits RETD_TMR[2:0]: <ul style="list-style-type: none"> • 3'b000: 0 s • 3'b000: 0.5 s • 3'b000: 1 s • 3'b000: 2 s • 3'b000: 3 s • 3'b000: 4 s • 3'b000: 6 s • 3'b000: 8 s
First step power-down timer	t_{STEP1}	0	–	25575	ns	Set by GATE_PD_TMR[9:0] Configurable in 25 ns steps.
UV timer	t_{UV}	0	–	1000	ms	Set by bits UV_TMR[2:0]: <ul style="list-style-type: none"> • 3'b000: 0 ms • 3'b001: 1 ms • 3'b010: 5 ms • 3'b011: 10 ms • 3'b100: 50 ms • 3'b101: 100 ms • 3'b110: 500 ms • 3'b111: 1000 ms
OV timer	t_{OV}	0	–	1000	ms	set by OV_TMR[2:0] bits: <ul style="list-style-type: none"> • 3'b000: 0 ms • 3'b001: 1 ms • 3'b010: 5 ms • 3'b011: 10 ms • 3'b100: 50 ms • 3'b101: 100 ms • 3'b110: 500 ms • 3'b111: 1000ms
OVin detection time	$t_{\text{OVin_DET}}$	–	–	2.0	μs	

(表格续下页.....)

3 产品特性

表10 (续) 时序特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
OVin deglitch timer	t_{OV_DGLTCH}	0	–	1000	μs	Set by OVIN_TMR[2:0] bits: <ul style="list-style-type: none"> • 3'b000: 0 μs • 3'b001: 10 μs • 3'b010: 20 μs • 3'b011: 50 μs • 3'b100: 100 μs • 3'b101: 200 μs • 3'b110: 500 μs • 3'b111: 1000 μs
OUV timer	t_{OUV}	0	–	1000	ms	Set by OUV_TMR[2:0] bits: <ul style="list-style-type: none"> • 3'b000: 0 ms • 3'b001: 1 ms • 3'b010: 5 ms • 3'b011: 10 ms • 3'b100: 50 ms • 3'b101: 100 ms • 3'b110: 500 ms • 3'b111: 1000 ms
Watchdog timer	$t_{WATCHDOG}$	5	–	15000	ms	Set by WATCHDOG[3:0] bits.
OC/SOA deglitch timer	t_{SOAD}	0	–	10	ms	Set by SOAD_TMR[2:0] bits: <ul style="list-style-type: none"> • 2'b000: 0 ms • 2'b001: 0.5 ms • 2'b010: 1 ms • 2'b011: 2 ms • 2'b100: 4 ms • 2'b101: 6.1 ms • 2'b110: 8 ms • 2'b111: 10 ms

(表格续下页.....)

3 产品特性

表10 (续) 时序特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
OC/SOA regulation timer	t_{SOAR}	0	–	1000	ms	Set by SOAR_TMR[2:0] bits: <ul style="list-style-type: none"> • 3'b000: 0 ms • 3'b001: 1 ms • 3'b010: 5 ms • 3'b011: 10 ms • 3'b100: 50 ms • 3'b101: 100 ms • 3'b110: 500 ms • 3'b111: 1000 ms
RMS current calculator integration time	t_{RMS}	1.64	–	838.86	ms	Set by RMS_SAMPLE_TMR[1:0] bits: <ul style="list-style-type: none"> • 2'b00: 1.64 ms (16 samples) • 2'b01: 13.11 ms (128 samples) • 2'b10: 104.86 ms (1024 samples) • 2'b11: 838.86 ms (8192 samples)
SOC fault digital deglitch timer	$t_{SOC-DDEG}$	0	–	1000	ms	Set by SOC_TMR[2:0] bits: <ul style="list-style-type: none"> • 3'b000: 0 ms • 3'b001: 0.01 ms • 3'b010: 0.1 ms • 3'b011: 1 ms • 3'b100: 10 ms • 3'b101: 100 ms • 3'b110: 500 ms • 3'b111: 1000 ms
SOC fault analog deglitch timer	$t_{SOC-ADEG}$	0	–	1000	ns	Set by SOC_DG_TMR[1:0] bits: <ul style="list-style-type: none"> • 2'b00: 0 ns • 2'b01: 200 ns • 2'b10: 500 ns • 2'b11: 1000 ns

(表格续下页.....)

3 产品特性

表10 (续) 时序特性

除非另有说明, $V_{DD_VIN} - GND = 48\text{ V}$, $V_{ISNS_P} = V_{DD_VIN}$, $V_{\Delta ISNS} = (V_{ISNS_P} - V_{ISNS_N}) = 0\text{ V}$, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Boost mode						
Boost pulse timer	$t_{\text{BOOST-PULSE}}$	0.1	-	1	ms	Set by BOOSTMODE_TMR[0]: <ul style="list-style-type: none"> 1'b0: 0.1 ms 1'b1: 1.0 ms
Boost mode duty cycle	$t_{\text{BOOST-DC}}$	2	-	50	%	Set by BOOSTMODE_DC[2:0] bits.
PMBus						
Clock frequency	f_{SCL}	10	-	1000	KHz	
Detect clock low timeout	t_{TIMEOUT}	25	-	35	ms	
Bus free time between STOP and START Condition	t_{BUF}	0.5	-	-	μs	See Figure 12
Hold time after (REPEATED) START Condition	$t_{\text{HD:STA}}$	0.26	-	-	μs	After this period, the first clock is generated. See Figure 12
REPEATED START condition setup time	$t_{\text{SU:STA}}$	0.26	-	-	μs	See Figure 12
STOP condition setup time	$t_{\text{SU:STO}}$	0.26	-	-	μs	See Figure 12
Data hold time	$t_{\text{HD:DAT}}$	0	-	-	ns	See Figure 12
Data setup time	$t_{\text{SU:DAT}}$	50	-	-	ns	See Figure 12
Clock low period	t_{LOW}	0.5	-	-	μs	See Figure 12
Clock high period	t_{HIGH}	0.26	-	50	μs	See Figure 12
Clock/data fall time	t_{F}	-	-	120	ns	The fall time measurement limits are defined as follows: Fall time limits: $(V_{\text{IH,MIN}} + 0.15\text{ V})$ to $(V_{\text{IL,MAX}} - 0.15\text{ V})$ See Figure 12
Clock/data rise time	t_{R}	-	-	120	ns	The rise time measurement limits are defined as follows: Rise time limits: $(V_{\text{IL,MAX}} - 0.15\text{ V})$ to $(V_{\text{IH,MIN}} + 0.15\text{ V})$ See Figure 12
PMBus deglitch time	$t_{\text{DGL_PMBUS}}$	50	-	-	ns	

4 产品特性

4 产品特性

4.1 功能说明

4.1.1 运行模式

全数字模式 (FDM)

此模式通过保持 MODE0 和 1 引脚开路来识别。在此模式下，可以通过 MODE PMBus 命令中的 FET_SELECT 位选择要使用的 FET，或者可以在 SOA PMBus 命令中精确编程 FET SOA，以便控制器有效地保护 FET 免于超出 SOA 范围。对于预编程 FET，有两种不同的 SOA 选项可供选择：直流线路和 10 ms 线路。如果选择第二种，则必须设计应用，使输出电容在此时间内充电，并且看门狗和 SOAR_TMR 也必须编程到此时间以提供保护。已编程的 SOA 线路将用于运行状态描述中的 INIT_SOA_REG 和 I_REG 调节。如果需要，可以通过 OTP 存储器的 SOA 可编程部分手动选择或编程其他线路。

如果需要，OV 和 UV/EN 引脚上的模拟比较器可用于 OV 和 UV 保护，其响应速度比数字比较器更快。这是通过清除 MODE PMBus 命令中的 MODE 位来指定的，该命令选择模拟比较器模式 (ACM)。

通过将 MODE 位保留为默认值 (数字比较器模式, DCM)，即可使用数字比较器。XDP710 的所有其他功能 (例如电压和电流故障、警告限值和定时器) 也可通过数字方式进行编程，包括 IST 限值，该限值在 I_SNS_CFG PMBus 命令的 START_ILIM 位中设置。这可以减少外部元件的数量，如图 31 所示。如果将 MODE 位保留为默认值 1，则 UV/EN 引脚不具备 UV 故障功能，而仅用于使能或停用器件。

PMBus 地址可以通过 ADDR1 和 ADDR0 (参见表 13) 引脚设置，方法是保持这些引脚悬空或直接接地 (或通过外部电阻接地)，或者使用 PMBUS_CFG 命令。如果使用 PMBUS_CFG 命令对地址进行编程，则可以通过映射到 GPO3 的 PMBus 使能功能，在连接到单个总线的多个器件中对不同的地址进行编程。

模拟辅助数字模式 (AADM)

在 MODE0 和 1 引脚使用简单的模拟编程来选择受控 FET 的预编程配置。可以通过将这些引脚通过电阻器连接至 GND 来选择 FET。

在 AADM 中忽略 MODE 命令中的 MODE 位。在这种情况下，OV、OUV 和 UV 故障限制是通过 OV、FB 和 UV/EN 引脚上的分压器设置的。电压通过相应引脚上的模拟比较器来检测。

警告默认是停用的，除非它们被使能并以数字方式编程。

电流检测范围 (V_{SNS_CS}) 和 IST 限值可以通过 IST 引脚上的电阻器进行设置，如表 19 所示，因此 I_SNS_CFG PMBus 命令中的 CS_RNG 和 START_ILIM 位被忽略。

PMBus 地址应在 ADDR1 和 ADDR0 (见表 11) 引脚上设置，方法是保持它们保持开路或直接或通过外部电阻连接到 GND。

表 11 操作模式

Mode of operation	MODEx pins	MODE bit	Device address	FET selection	OV/UV/OUV detection	IST
FDM	Open	1	Set by means of ADDR _x pins or PMBUS_CFG command	Selected by means of FET_SELECT bits	Digital Comparators Mode (DCM)	Set by means of START_ILIM bits

(表格续下页.....)

4 产品特性

表 11 (续) 操作模式

Mode of operation	MODEx pins	MODE bit	Device address	FET selection	OV/UV/OUV detection	IST
		0			Analog Comparators Mode (ACM)	
AADM	Resistor to GND	X	Set by means of ADDR _x pins or PMBUS_CFG command	Selected by means of MODEx pins	Analog Comparators Mode (ACM)	Set by means of IST pin

MODE1/0 引脚配置

应使用外部电阻器设置 MODE1 和 MODE0 引脚的电压水平 (0.8 V 至 2.4 V 之间) (请参阅 [在 AADM 中设置 MODE1/0 引脚的电压](#))。

表 12 MODE1/0 引脚配置

MODE1 pin voltage, V	MODE1 pin resistance, K Ω	MODE0 pin voltage, V	MODE0 pin resistance, K Ω	FET selection
MODE1 < 0.8	GND	MODE0 < 0.8	GND	BSC027N10NS5ATMA1
MODE1 < 0.8	GND	0.8 ≤ MODE0 < 1.6	12	BSC035N10NS5ATMA1
MODE1 < 0.8	GND	1.6 ≤ MODE0 < 2.4	20	BSC040N10NS5ATMA1
MODE1 < 0.8	GND	MODE0 ≥ 2.4	Open	IPTG011N08NM5
0.8 ≤ MODE1 < 1.6	12	MODE0 < 0.8	GND	IPTC012N08NM5
0.8 ≤ MODE1 < 1.6	12	0.8 ≤ MODE0 < 1.6	12	IPB017N10N5LFATMA1
0.8 ≤ MODE1 < 1.6	12	1.6 ≤ MODE0 < 2.4	20	BSC093N15NS5
0.8 ≤ MODE1 < 1.6	12	MODE0 ≥ 2.4	Open	BSC074N15NS5
1.6 ≤ MODE1 < 2.4	20	MODE0 < 0.8	GND	IPTG014N10NM5
1.6 ≤ MODE1 < 2.4	20	0.8 ≤ MODE0 < 1.6	12	IPTC015N10NM5
1.6 ≤ MODE1 < 2.4	20	1.6 ≤ MODE0 < 2.4	20	IPT015N10N5ATMA1
1.6 ≤ MODE1 < 2.4	20	MODE0 ≥ 2.4	Open	IPB017N10N5ATMA1
MODE1 ≥ 2.4	Open	MODE0 < 0.8	GND	IPB018N10NM6
MODE1 ≥ 2.4	Open	0.8 ≤ MODE0 < 1.6	12	IPT013N08NM5LF
MODE1 ≥ 2.4	Open	1.6 ≤ MODE0 < 2.4	20	IPB020N10N5ATMA1
MODE1 ≥ 2.4	Open	MODE0 ≥ 2.4	Open	FET_SELECT (ROM or OTP)

ADDR1/0 引脚配置

根据表 13, 这些引脚可以连接至 GND、保持浮动或通过电阻连接至低电平, 总共可获得 16 个唯一的 PMBus 器件地址。

4 产品特性

应使用外部电阻器设置 ADDR1 和 ADDR0 引脚的电压水平 (0.8 V 至 2.4 V 之间) (请参阅 [设置 ADDR1/0 引脚的电压](#))。

表13 ADDR1/0引脚配置

ADDR1 pin voltage, V	ADDR1 pin resistance, KΩ	ADDR0 pin voltage, V	ADDR0 pin resistance, KΩ	Base address field [6:4]	Device address field [3:0]
ADDR1 < 0.8	GND	ADDR0 < 0.8	GND	As configured in PMBUS_CFG command. Default = 001	0000
ADDR1 < 0.8	GND	0.8 ≤ ADDR0 < 1.6	12		0001
ADDR1 < 0.8	GND	1.6 ≤ ADDR0 < 2.4	20		0010
ADDR1 < 0.8	GND	ADDR0 ≥ 2.4	Open		0011
0.8 ≤ ADDR1 < 1.6	12	ADDR0 < 0.8	GND		0100
0.8 ≤ ADDR1 < 1.6	12	0.8 ≤ ADDR0 < 1.6	12		0101
0.8 ≤ ADDR1 < 1.6	12	1.6 ≤ ADDR0 < 2.4	20		0110
0.8 ≤ ADDR1 < 1.6	12	ADDR0 ≥ 2.4	Open		0111
1.6 ≤ ADDR1 < 2.4	20	ADDR0 < 0.8	GND		1000
1.6 ≤ ADDR1 < 2.4	20	0.8 ≤ ADDR0 < 1.6	12		1001
1.6 ≤ ADDR1 < 2.4	20	1.6 ≤ ADDR0 < 2.4	20		1010
1.6 ≤ ADDR1 < 2.4	20	ADDR0 ≥ 2.4	Open		1011
ADDR1 ≥ 2.4	Open	ADDR0 < 0.8	GND		1100
ADDR1 ≥ 2.4	Open	0.8 ≤ ADDR0 < 1.6	12		1101
ADDR1 ≥ 2.4	Open	1.6 ≤ ADDR0 < 2.4	20		1110
ADDR1 ≥ 2.4	Open	ADDR0 ≥ 2.4	Open		Program in OTP (PMBUS_CFG)

4.1.2 运行状态

表 14 运行状态

	State	Name	Description	Next state No fault	Next state fault
Initialization	0	POR_INIT	Internal circuitry is initialized as soon as VDD_VIN > 5.5 V.	READ_CFG	NA
	1	READ_CFG	POR and initialization complete. OTP and external pins configuration are read at this point.	CHK_FET	NA

(表格续下页.....)

4 产品特性

表 14 (续) 运行状态

	State	Name	Description	Next state No fault	Next state fault
Power-up procedure	2	CHK_FET	Controller checks FET for drain to source or gate to drain shorts.	STANDBY	FAULT
	3	STANDBY	Controller checks that VDD_VIN is within a valid range (within UV and OV), device temperature is in appropriate range and EN signal is deasserted or ON bit in OPERATION command is cleared. Before going out of STANDBY and into INIT_SOA_REG state, XDP710 checks the input voltage level according to OV, UV and OVin limits. If it's out of range, it will go to FAULT state.	INIT_SOA_REG	FAULT
	4	INIT_SOA_REG	EN signal is asserted and ON bit in OPERATION command is set. Turn-on Watchdog timer starts running. SOA regulation phase: Controller regulates the current according to the programmed SOA (see section Current Limit During Operation for more info), depending on VDS value in order to charge the output capacitor. INIT_SOA_REG phase stops when FET $V_{DS} < 1.0$ V, $V_{GS} > 7.8$ V and no faults are detected during this procedure. Due to the current regulation nature of the Power-up algorithm, start-up time depends on the output capacitance.	ON	FAULT
Normal operation	5	ON	Normal operation phase starts. FET is fully enhanced. Current regulation can start again if OC is detected or FET SOA is violated. Turn-on watchdog reset procedure starts at this point.	ON, I_REG or WAIT_10S	FAULT

(表格续下页.....)

表 14 (续) 运行状态

	State	Name	Description	Next state No fault	Next state fault
	6	I_REG	If I_{oc} level is exceeded or programmed FET SOA limits are violated, SOAD_TMR timer will start. If condition persists after SOAD_TMR timer expires, the SOA regulation timer SOAR_TMR starts and FET's current will be regulated at I_{oc} or FET SOA level by lowering FET VGS.	ON or WAIT_10S	FAULT
Idle	7	FAULT	Fault that turns off the FET has occurred. System will stay idle in FAULT state until: a) Fault conditions are cleared in the case of non-retry dependent faults. b) Cool down timer expires in the case of retry dependent faults. If retry counter has expired, system will go to LATCH_OFF state directly after FAULT.	CHK_FET / STANDBY or LATCH_OFF	NA
	8	LATCH_OFF	If the maximum number of retries has been reached, system will latch off until faults are cleared and restart has been issued (power cycling or PMBus command).	POR_INIT (power cycling) or CHK_FET (PMBus command) or LATCH_OFF	NA
	9	MEM_FAULT	If an OTP read or write error is detected, XDP710 will go to FAULT and consecutively MEM_FAULT state, which initiates controller's latch-off. A power cycle is required in order to go out of MEM_FAULT.	POR_INIT (power cycling)	NA
	10	WAIT_10S	A RESTART command has been issued. XDP710 turns off the FET and stays in this state for 10 seconds. After this time, system goes to STANDBY and, if the necessary conditions are met, FET is automatically turned back on, going to ON state.	STANDBY	NA

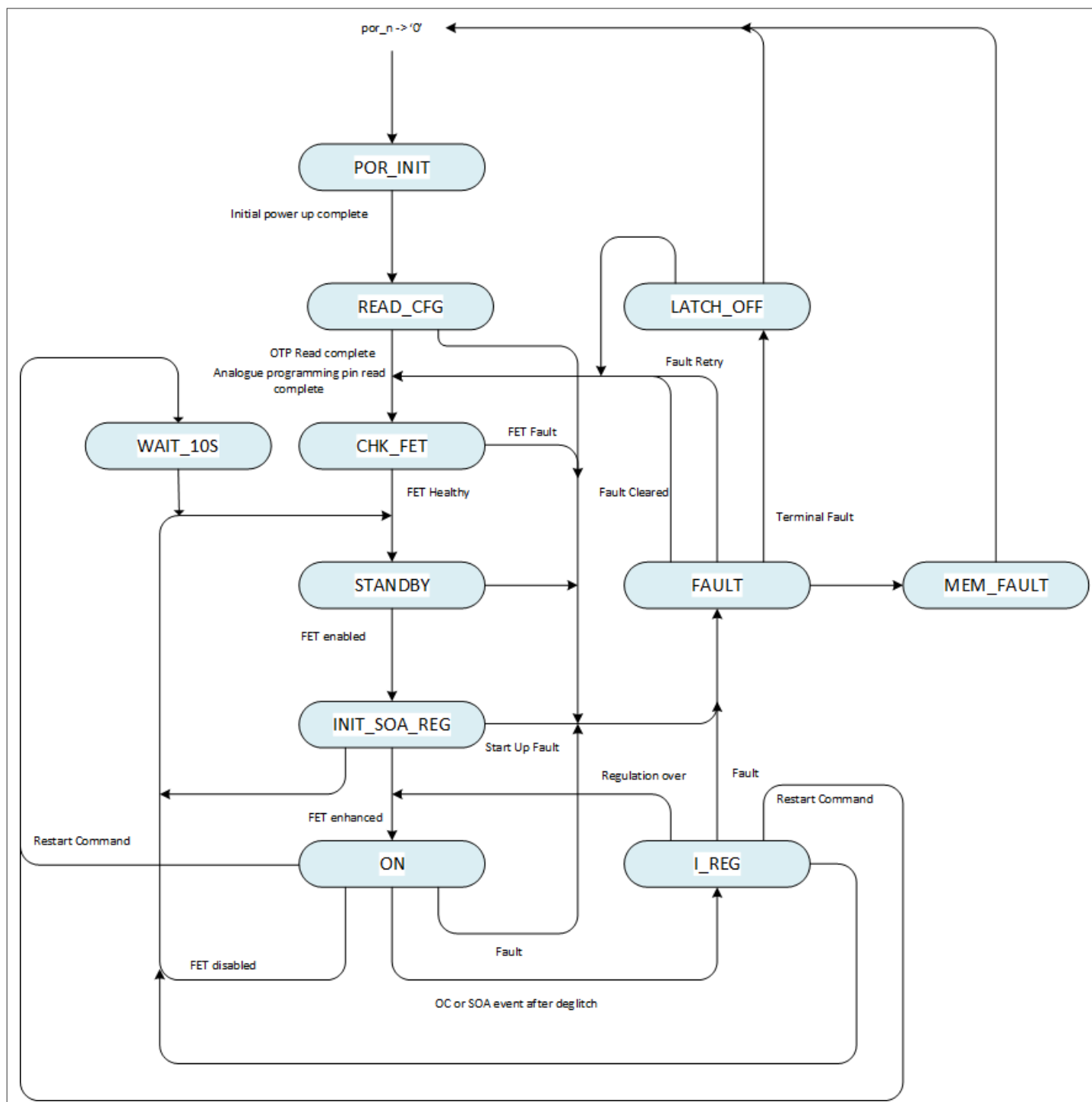


图 5 XDP710-002 状态机。

4.1.3 使能和停用

PMBus 接口通信和控制器的可编程性在最低工作 VDD_VIN 时起作用。

XDP710 的栅极引脚可以通过 UV/EN 引脚或 PMBus 命令使能或停用。默认情况下，一旦检测到必要条件，它就会启动：UV 和 OV 引脚之间的适当电压水平。为了停用此“默认使能”功能，必须在 OPERATION PMBus 命令中对相应位进行相应编程。

4 产品特性

在 DCM 模式下，UV/EN 引脚有一个抗尖峰脉冲定时器 EN_DG[3:0]，用于对每次 UV/EN 转换进行抗尖峰脉冲处理。一旦该引脚的电压升至 V_{UVEN_UTH} 以上，该定时器便会立即开始运行。如果电压仍然高于该水平，则系统会在定时器到期后立即开启。

当 UV/EN 引脚处于低电平时，FET 将关闭，但通信电路仍然可用。当设备被停用但处于待机状态时，VREG 和通过 PMBus 的通信仍将使能，以便可以对设备进行编程，并且 FAULT 状态位将保持其最新状态。

此外，在 DCM 中，可以通过延迟 UV/EN 信号的切换来实现手动输入电压抗尖峰脉冲。当 UV/EN 信号切换时，故障检测开始。此时，EN_DG 可以设置为 0。

在 ACM 中，EN_DG[3:0] 代替 UV/EN 引脚在热插拔事件中对输入电压进行去抖动，并且仅在 POR 之后运行。如果电源电压足以为控制器供电，则 EN_DG 定时器将运行，而不管 UV/EN 引脚的电压水平如何。ACM 中 UV/EN 引脚的后续转换也不会使 EN_DG 计时器运行。

UV 输入（支持 UV 故障的欠压监控输入）和 EN 输入组合在一个引脚中。UV/EN 引脚配置取决于操作模式：

表 15 UV/EN 输入配置

Mode of operation	UV/EN pin configuration
FDM - DCM (digital comparators for OV and UV faults)	EN input
FDM - ACM (analog comparators for OV and UV faults)	UV input
AADM	UV input

如果将该引脚配置为 UV 输入，则其电压将由模拟比较器感应，以支持 UV 故障检测和释放。仍然可以通过分别切换引脚的高电平或低电平来控制器件的开启和关闭。当引脚切换为低电平时，XDP710 将遵循配置的 UV 故障程序，然后关闭。

如果将引脚配置为 EN，则无需遵循 UV 故障程序即可控制设备的开启和关闭。EN 输入与 PMBus OPERATION 命令一起控制受控 FET 的状态：

- EN = 低（电压水平 $\leq V_{UVEN_LTH}$ ） --> FET 关闭；
- EN = 高（电压水平 $\geq V_{UVEN_UTH}$ ） --> FET 的状态取决于 PMBus OPERATION 命令。

EN 电平由高到低的转换可清除所有故障（包括导致闭锁的故障），具体细节请参见[闭锁](#)。只有存储器 OTP (MEM) 故障不受影响。

连接器良好负输入 (CGDN) 可用于检测连接器是否正确插入系统。如果外部拉低（电压电平 $\leq V_{ILMax}$ ），控制器允许开启 FET。当引脚悬空或外部拉高（电压电平 $\geq V_{IHMin}$ ），FET 关闭。通过在移除连接器之前关闭 FET，可以减少电弧。

下表显示了 OPERATION 命令与 UV/EN 和 CGDN（如果配置）引脚状态之间的关系：

OPERATION command	Inputs		State of the FET
	UV/EN	CGDN	
ON	H	L	Active (can be ON / Regulated / OFF due to fault)
OFF	H	L	OFF
ON	L	L	OFF
OFF	L	L	OFF
ON	H	H	OFF
OFF	H	H	OFF

4 产品特性

ON	L	H	OFF
OFF	L	H	OFF

4.1.4 FET电流的控制

XDP710 根据四个不同的限制来控制 FET 的电流：

- **可编程 FET SOA 限值：**为了保护 FET，流经 FET 的电流会根据其 V_{DS} 进行调节，并遵循 FET 的 SOA 线（存储在 ROM 或 OTP 中）。预编程 SOA 线对应 65°C 或 125°C 温度，这是为了应对工作温度高于 25°C 正常环境温度的系统。FDM 中，SOA 限值可在 DC 和 10 ms 之间选择。AADM 中仅限 DC。必须根据电压和电流水平仔细编程相应的 SOA 故障定时器，以免超过 FET 的最大容量。如果使用 FET 温度监控功能（TSNS_x 引脚），则将根据检测到的温度自动调整要使用的 SOA 线。低于 105°C 时，使用 65°C 线；高于 105°C 时，使用 125°C 线。SOA 还可以手动编程，让用户可以灵活地使用不同的 SOA 曲线或限制允许的功率；
- **过流 (OC) 限制：**为了保护负载和电源，此限制通常根据通过电路的最大允许电流 I_{OC} 进行设置。此限制在 INIT_SOA_REG、ON 和 I_REG 状态下有效。请参阅 [设置 \$I_{OC}\$](#) 有关如何设置的信息。
- **FET 启动电流 (IST) 限值：**为了通过增加启动时间来减少输出电容引起的电压过冲，可以在 SOA 和 OC 限值过高时设置此限值。此限值仅在 INIT_SOA_REG 状态下才会被考虑，一旦达到 ON 状态，该限值将被忽略。
- **SOC 限制：**当电流达到临界水平时，严重的过流限制可提供快速响应。

4.1.4.1 MOSFET 的上电 - 连续安全工作区 (SOA) 控制

在系统初始化期间，XDP710 提供偏置电流以受控方式打开 MOSFET，以避免任何 SOA 违规，同时确保系统在没有任何浪涌事件的情况下打开。

上电期间，三个限制中的最低者为：

- FET SOA
- OC：编程过流限制
- IST：编程系统启动电流限制定义了系统允许的最大电流。

在下面的示例中，绿色虚线表示启动期间允许通过 MOSFET (IPB020N10N5LF) 的最大电流。MOSFET 的编程安全工作区 (SOA) 由蓝色实线表示。在此示例中，控制器允许的最大电流受 IST 限制，因为它是此特定应用允许的最低电流限制。

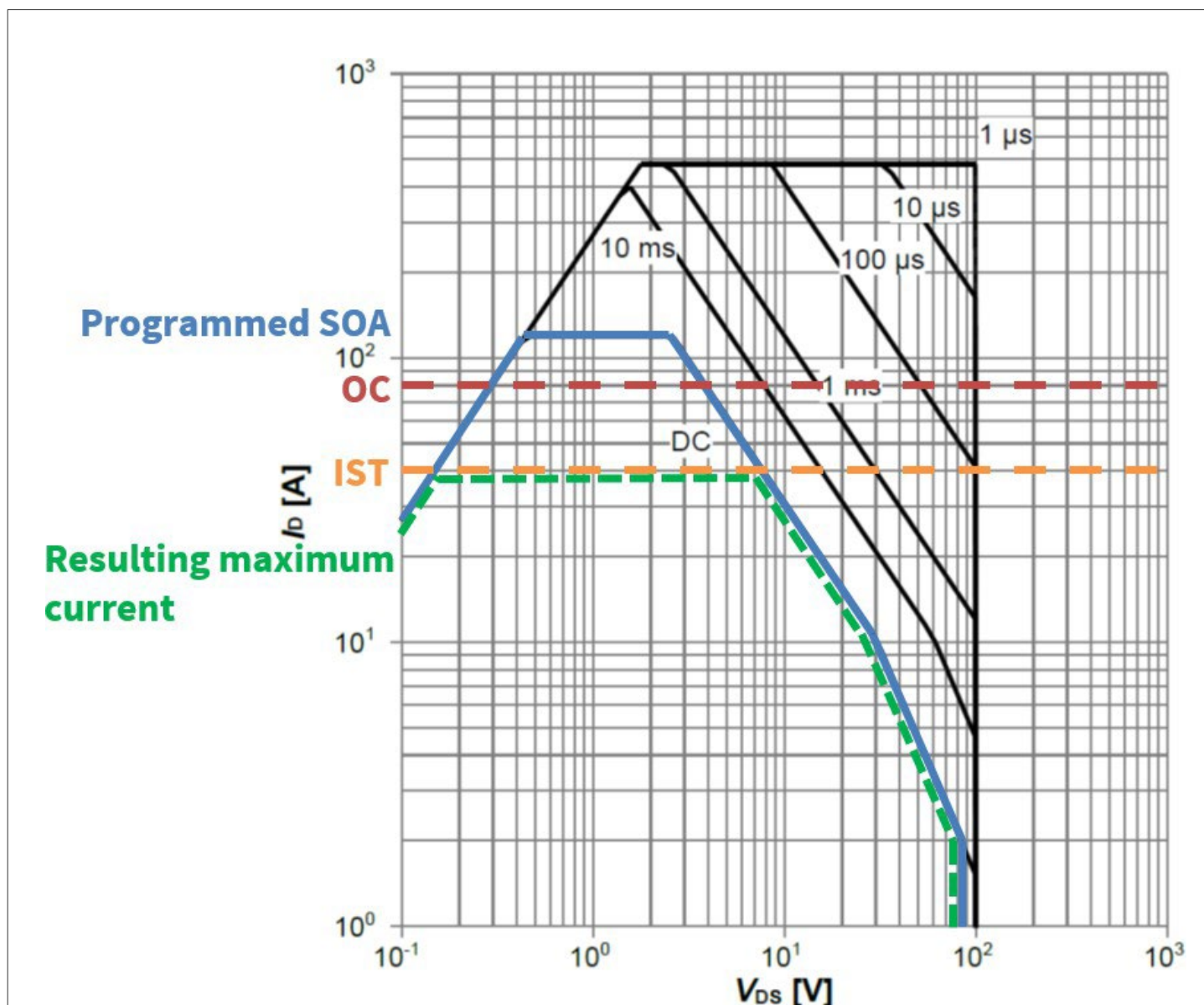


图 6 安全操作区

SOA 在 SOA 命令中以数字方式编程为具有 80 个值的查找表，对应于 $V_{DS} = 1\text{ V}$ 至 80 V 。每个值代表每个电压点允许的电流 I_D 。下表包含上图所示的 FET IPB020N10N5LF 在 65°C 时的直流曲线数据。XDP710 的目标 SOA 分辨率为 0.5 A ，最小调节电流为 0.25 A 。该电流水平受 $VSNS_CS$ 、所选检测电阻和内部 ADC 分辨率等因素的限制。计算最终电流水平的方法如下：

目标 SOA, SOA(A) 一栏显示的是四舍五入值：

表 16 IPB020N10N5LF 的 SOA 表

V_{DS} (V)	I_D (A)	Target SOA I_{SOA} (A)
1	120	120
2	120	120

(表格续下页.....)

表 16 (续) IPB020N10N5LF 的 SOA 表

V_{DS} (V)	I_D (A)	Target SOA I_{SOA} (A)
3	104.2	104
4	78.1	78
5	62.5	62.5
6	52.1	52
7	44.6	44.5
8	39.1	39
...
73	2.5	2.5
74	2.5	2.5
75	2.4	2
76	2.4	2
77	2.3	2
78	2.2	2
79	2.2	2
80	2.1	2

以上图直线条的典型48V输入应用为例。

- FET 导通前，输入端电压为 48 V（相对于 GND），输出端电压为 0 V，因为输出电容已放电。因此 $V_{DS} = 48$ V。
- XDP710 根据 SOA 允许的最大值调节流过 FET 的电流，开始对输出电容充电。根据图 6、直流线路允许 48 V 时的 $I_{SOA} \cong 4.5$ A。
- 电容充电时，FET 的 V_{DS} 将降低，从而允许电流根据 SOA 增加。例如， $V_{DS} = 40$ V 时允许电流 $I_{SOA} \cong 6.5$ A，因此，当 V_{DS} 达到 40 V 时，XDP710 会将流过 FET 的电流增加至 6.5 A。
- 电流不断增加，而电压不断降低，直到输出电压充电到所需水平并且 FET 得到完全增强。这种电流限制会延迟输出电容器的充电，从而显著降低启动时的浪涌电流，同时始终保证 FET 的安全。

4.1.4.1.1 控制环路

XDP710 的控制回路由一个闭环系统组成，该系统通过检测电阻上的压降以及输入和输出电压来检测 FET 电流。它通过减去 $V_{OUT} - V_{IN}$ 计算 FET 的 V_{DS} ，并根据感应 V_{DS} ，按照 SOA 表中允许的最大值调节电流。这种调节是通过调整 FET 的 V_{GS} 来实现的。

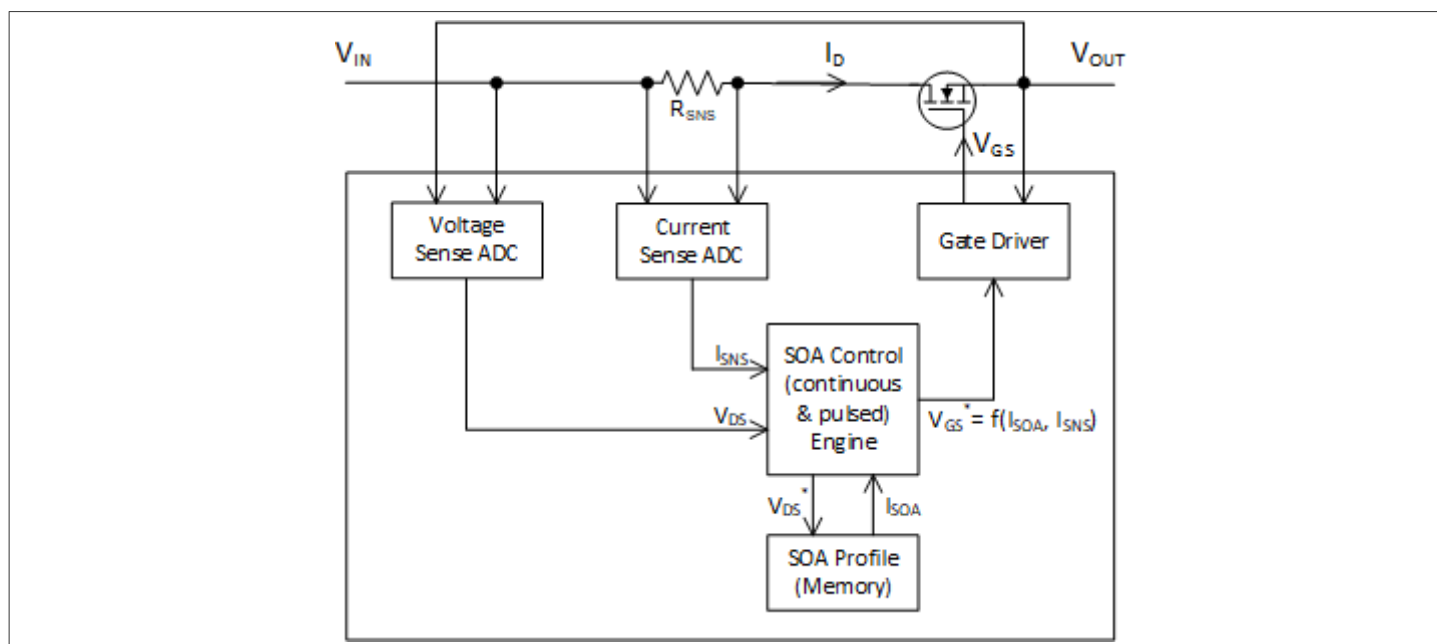


图7 XDP710 控制环路框图

4.1.4.1.2 设置 OC 和 IST 级别

在 XDP710 FDM 中，电流检测 (CS) 范围和过流 (OC) 水平通过 I_SNS_CFG PMBus 命令中的 CS_RNG 位以数字方式设置。

表 17 CS_RNG 值

CS_RNG[1:0]	OC Level (mV)
00	12.5
01	25
10	50
11	100

如果需要，可以通过 CS_RNG_TRIM 调整非 RMS 和 RMS OC 水平。

使用 I_SNS_CFG 命令中的专用 START_ILIM 位以数字方式设置通过 FET 的启动电流限制 (IST)：

表 18 START_ILIM 电流限制

START_ILIM[2:0]	Start-up current limit (IST)
000	100% of OC level (disabled, default)
001	75% of OC level
010	50% of OC level
011	25% of OC level
100	15% of OC level

(表格续下页.....)

4 产品特性

表 18 (续) **START_ILIM 电流限制**

START_ILIM[2:0]	Start-up current limit (IST)
101	12.5% of OC level
110	9% of OC level
111	5% of OC level

在 AADM 中，可以通过 IST 引脚上的电压设置默认 OC 范围和通过 FET 的启动电流限值 (IST)。如果设置与表 19 中的设置不同，如果需要，可以在相应的 PMBus 命令中手动配置它们。

表 19 **IST 引脚配置**

IST pin voltage, V	V _{SNS_CS} , mV	Start-up current limit (IST)
IST > 2.8 (Open)	25	Set by START_ILIM bits in I_SNS_CFG command
2.2 < IST ≤ 2.8		50% of V _{SNS_CS} (25mV)
1.7 < IST ≤ 2.2		25% of V _{SNS_CS} (25mV)
1.3 < IST ≤ 1.7		12.5% of V _{SNS_CS} (25mV)
0.9 < IST ≤ 1.3	12.5	12.5% of V _{SNS_CS} (12.5mV)
0.6 < IST ≤ 0.9		25% of V _{SNS_CS} (12.5mV)
0.3 < IST ≤ 0.6		50% of V _{SNS_CS} (12.5mV)
IST ≤ 0.3 (GND)		Set by START_ILIM bits in I_SNS_CFG command

应使用连接到 GND 的外部电阻来设置 IST 引脚的电压水平 (0.3 V 至 2.8 V 之间)。

要设置引脚上所需的电压水平，只需将所需电压除以引脚源电流 (100 μA ± 7%) 即可选择电阻。

在这种情况下，建议使用容差为 1% (或更低) 的电阻器。例如：

表 20 **IST 引脚电阻**

Voltage, V	IST pin resistor, kΩ
2.49	24.9
1.96	19.6
1.5	15
1.1	11
0.75	7.5
0.453	4.53

4.1.4.2 FET 正常工作期间的电流控制

在正常工作状态下 (导通和 I_REG 状态)，FET 的电流受 OC 和 FET 的安全工作区 (SOA) 限值限制。如果使能 RMS OC 故障，则由 OC 限值设置的 FET 电流限制将被忽略，OC_{RMS} 事件由数字 RMS 过流检测器发出。

4 产品特性

4.1.5 升压模式上电

对于较高的 V_{DS} 值, I_{SOA} 目标值通常处于低电流范围, 即低于 1 A。对于某些 FET, 它甚至可能低于最低 SOA 电流调节水平 (0.25 A)。在这些条件下, 以连续的 SOA 控制运行 FET 上电可能会导致 FET 过载并发生故障, 尤其是在具有大输出电容的系统中。

XDP710 中有一个可编程选项, 可以脉冲 (“升压”) I_D , 以利用场效应晶体管 (FET) 在较短脉冲下的更高电流能力, 并在升压脉冲之间设置冷却时间, 以确保场效应晶体管 (FET) 的安全。MOSFET 栅极以脉冲方式增强, 以模拟开关操作, 并允许输出电容充电。这通过在脉冲之间冷却而不是恒定电流来确保场效应晶体管 (FET) 的安全。升压模式有两种类型:

升压模式有两种:

1. 自动升压: 脉冲施加到 FET 的栅极, 直到 $I_{SOA} \geq 0.5 A$ 。然后系统以连续 SOA 调节模式继续上电。
2. 完全升压: 脉冲施加到 FET 的栅极, 直到 FET 的 V_{DS} 低于 1 V。然后系统以连续 SOA 调节模式继续上电。

如果通过 REF_CFG 命令中的 BOOSTMODE_EN 位使能此功能, XDP710 将在上电时执行以下过程:

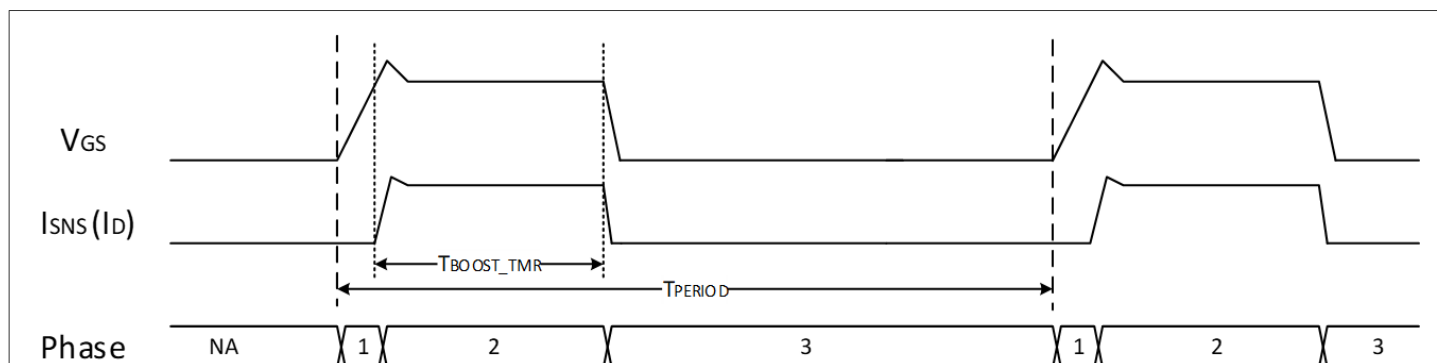


图 8 升压模式上电

1. **第1阶段:** 进入 INIT_SOA_REG 状态后, V_{GS} 开始上升。由 BOOSTMODE_TMR 和 BOOSTMODE_DC 定义的 $T_{PERIODT}$ 定时器在 V_{GS} 开始上升时激活。
2. **第2阶段:** 脉冲定时器 T_{BOOST_TMR} (值在 BOOSTMODE_TMR 中设置) 在 V_{GS} 斜坡结束后启动。FET 的电流目标设置为升压目标 I_{BOOST} :
 - 如果 I_{SOA} (在实际 V_{DS} 时经过编程的 SOA 电流) 编程值 > 0: $I_{BOOST} = \text{乘法系数} \times I_{SOA}$ 类型乘法系数取自存储在 ROM 中的查找表, 1ms BOOSTMODE_DC 的乘法系数范围为 1 至 8, 100 μ s 的乘法系数范围为 4 至 128, 具体取决于所选的 FET 和 SOA 线路。
 - 如果 I_{SOA} 编程值 = 0: $I_{BOOST} = 0.25 A$ 典型值。
3. **第3阶段:** T_{BOOST_TMR} 到期后, 通过关闭 FET 将 FET 电流设置为 0。
4. T_{PERIOD} 结束后, 下一个 V_{GS} 斜坡开始, 系统从第一阶段继续运行, 直到自动升压的目标 $I_{SOA} \geq 0.5 A$ 或完全升压的 FET V_{DS} 低于 1 V。
5. 根据所选模式, 目标 I_{SOA} 或 V_{DS} 达到这些点后, FET 的上电将通过连续 SOA 完成。

升压模式具有动态分辨率, 该分辨率在 SOA PMBus 命令中编程的分辨率断点处发生变化。该值必须根据 FET 的 SOA 进行编程, 它是允许电流水平等于 0.5A 的电压点。低于该点时, 控制回路的分辨率为 1.95 mA。超过该点, 分辨率变为 0.5 A。

计算 T_{PERIOD} :

4 产品特性

$$T_{PERIOD} = \frac{BOOSTMODE_TMR}{BOOSTMODE_DC}$$

公式 1

例如, 如果 BOOSTMODE_TMR = 1ms 且 BOOSTMODE_DC = 10%:

$$T_{PERIOD} = \frac{1ms}{10\%} = 10ms$$

公式 2

升压模式注意事项

- 必须根据 FET 最大 SOA 能力配置 BOOSTMODE_TMR 和 BOOSTMODE_DC。

4.1.6 电源良好

电源良好信号被激活以指示何时满足以下条件:

- 输入电压在 UV 和 OV/OVin 限值范围内, 输出电压高于 OUV 限值
- FET 和控制器的过热保护限值未受到违反
- FET 上电后完全增强 ($V_{GS} > 7.8\text{ V}$ 和 $V_{DS} < 1.0\text{ V}$)
- 无故障

以上均表示控制器处于 ON 或 I_REG 状态。

PWRGD 激活在可编程电源良好激活去毛刺时间之后执行 (见表 10)。

PWRGD 取消激活还具有可编程电源良好取消激活去毛刺时间, 这有助于避免由于短电压或电流跳跃而导致不必要的信号重新切换。

PWRGD 信号极性可通过 PWRGD_POLARITY 位配置 (低电平有效或高电平有效), 以支持顺序开启功能。

4.1.7 支持顺序开启

如果需要基于“主/从”方法实现顺序开启, 则使用 PWRGD、FAULT、WARN 和 UV/EN 引脚进行不同设备之间的通信。

UV/EN、PWRGD、FAULT 和 WARN 引脚的电压电平兼容, 因此“主”设备的 PWRGD、FAULT 或 WARN 引脚可以驱动“次级”设备的 UV/EN 引脚并控制其开启或关闭。

4.1.8 支持 OR-ing 功能

当 PWRGD 输出引脚配置为低电平有效时, 两个控制器可以连接到相同的输出电压, 这样, 当“主控制器”的输出下降时, “次控制器”可以提供必要的电压。这是一个备用供应场景。可以通过 UV/EN 引脚响应延迟或抗尖峰脉冲周期在“主”欠压和“辅助” (备用) 使能之间配置抗尖峰脉冲周期。系统必须设计使得电容器能够在断电期间提供必要的电力。还必须考虑“辅助”控制器的上电延迟。

4.1.9 FET 断电

FET 的关断可以手动触发, 也可以因故障自动触发。通常, FET 的关断是通过拉低 I_GATE_SPD 来实现的。除 OVin、OVout 和 SOC 故障情况外, 其他情况均可从栅极断开。在这些情况下, 我们实现了可配置的两步关断, 以避免 FET 漏源电压过冲。

4 产品特性

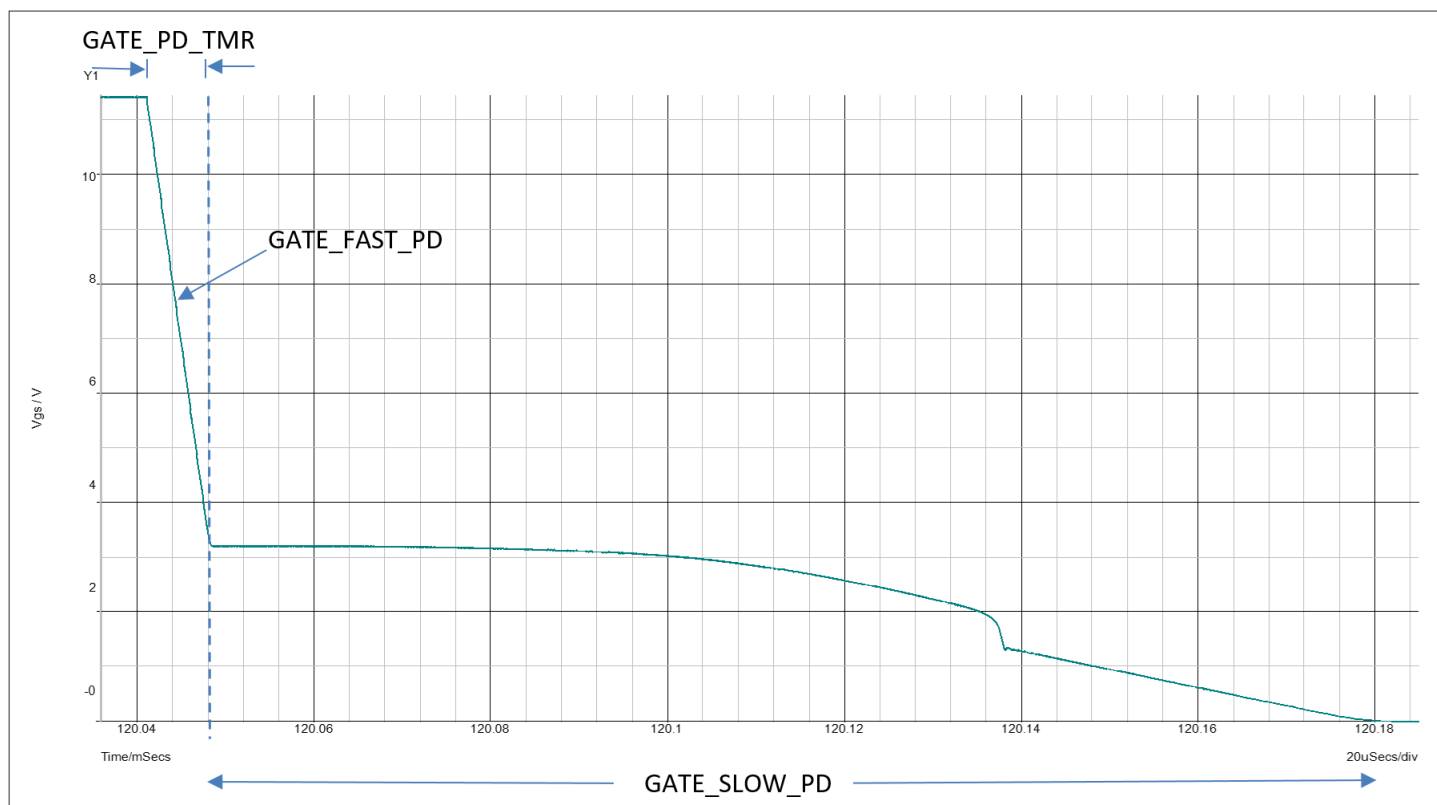


图 9 FET断电

第一步可通过 GATE_FAST_PD[0] 位配置为 1.5 A 电流源或 200 Ω 电阻。如果选择 1.5 A，该电流将从 FET 栅极拉出，直至其完全关闭，忽略第二步。如果选择 200 Ω 电阻，它将放电 FET 栅极，放电时间由 GATE_PD_TMR 定时器定义。一旦检测到故障，关闭过程启动时，该定时器便会开始运行。必须根据 FET 栅极电荷计算定时器，以便在第一阶段通过平台电压。这个“快速”阶段通过尽快达到 FET 的线性区域来避免电流的增加。

然后，第二级通过减慢系统的 di/dt 来限制电压过冲。此阶段在 GATE_PD_TMR 到期时开始。当它发生时，从栅极拉出的电流水平会根据在 GATE_SLOW_PD[1:0] 位中编程。较低水平的电流将使 FET 保持线性区域更长时间，从而减慢 di/dt ，直到超过 FET 的阈值电压并且 FET 完全关闭。

如果 GATE_PD_TMR 为 0 且 GATE_FAST_PD[0] = 1，则栅极仅使用 GATE_SLOW_PD 缓慢放电，而没有快速下拉阶段。GATE_PD_TMR 中允许编程的最小时间（如果它不为 0）为 250ns。

注意：由于两步关断的优点，建议在 OVin、OVout 和 SOC 故障后始终使用它。

4.1.10 重启

可以通过发出 RESTART PMBus 命令来触发系统复位。如果发送此命令，FET 将关闭 10 秒（状态机中的 WAIT_10S 状态），从而切断输出电源。这 10 秒之后，系统转换到待机状态，如果满足所有必要条件，FET 将自动重新打开。
注意：在 WAIT_10S 状态下不得操作 OTP。

4.2 故障

XDP710 包含多种保护措施，可确保 FET、源和负载在不同场景下的安全运行。

故障是可能导致系统停止运行甚至损坏电路某些部分的事件，因此需要采取保护措施来应对此类事件。

为了达到这个目的，采用了不同的 FET 栅极下拉机制，如 FET 掉电中所述：

4 产品特性

- 常规/慢速下拉：如果发生对系统无害的故障事件，则通过从栅极拉动 250 μ A / 500 μ A / 750 μ A / 1.25 mA 的典型电流（可通过 TURN_OFF_CTRL PMBus 命令中的 GATE_SLOW_PD 位进行编程）来关闭 FET。
- 强/快速下拉：发生紧急故障时，
 - 1) 从 FET 栅极拉出 1.5A 的典型电流，以实现极快的关断或
 - 2) 采用两步 FET 关断策略，使 FET 的 V_{DS} 保持在雪崩击穿电压以下。方法 1) 或 2) 必须根据系统设置和要求，通过 TURN_OFF_CTRL 命令中的 GATE_FAST_PD 位进行选择。

当发生故障时，XDP710 有四种报告方式：

- 通过 PMBus 接口读取故障状态命令：每个故障在 STATUS_FAULTS 命令中都有一个对应的位，该位在故障发生后设置。
- 故障指示引脚：FAULT、LED#、SMBALERT#：
 - GPO0/FAULT NMOS 开漏引脚（输出极性可编程）：状态位可以反映在 FAULT 引脚上，以提醒处理器 /MCU 发生了任何这些事件。
 - GPO1/LED# 引脚也是一个 NMOS 开漏引脚，其极性固定。如果发生故障，该引脚将被驱动至低电平。LED 可以从电压源（阳极）连接到 LED# 引脚（阴极），以便直观地指示故障。如果使用 VREG 作为 LED# 的电压源，则必须注意不要超过 XDP710 的最大功率能力（参见[处理 VREG 引脚的外部电流](#)）。LED# 引脚的最大电流吸收能力为 i_{GPO_max} 。
 - SMBALERT# 是一个具有低电平有效极性的开漏引脚，可以配置为提供所有触发故障、警告或两者的摘要。其输出是所有故障或警告的逻辑 OR、取决于 GPO_CFG 命令中的配置。SMBALERT# 可以在引脚 GPO0 或 GPO3 中输出。必须注意仅将其中一个配置为 SMBALERT#。提供掩码命令供用户选择要在 FAULT、LED# 和 SMBALERT# 引脚上反映哪些故障。

由于出现故障，PWRGD 引脚也失效。

可以通过清除故障的使能位来停用故障，这意味着不会检测到或报告故障。故障状态位和引脚将保持设置状态，直到被清除：

- 通过 CLEAR_FAULTS PMBus 命令
- 或通过控制器重启（切换 EN 引脚）或电源循环

当发生任何故障时，FAULT 引脚会向处理器/MCU 发出警报。该引脚的状态是所有未屏蔽故障的“OR”，因此，如果在非活动状态下正确处理了被屏蔽的高优先级故障，则低优先级的未屏蔽故障可能会导致引脚被驱动为活动状态。

为了进行正确的检测，当发生故障时，无论故障持续时间多长，FAULT 引脚都会保持有效最短时间 t_{FAULT_MIN} 。

为了正确处理故障，在故障状态下会忽略 CLEAR_FAULTS 命令和 EN 引脚切换，直到故障过程完成且 XDP710 进入 LATCH_OFF 状态，或者在自动重启的情况下进入 STANDBY 或 ON 状态。一旦控制器离开故障状态，就可以清除故障（如果故障情况不再存在）并且可以重新启动器件。可以通过读取 STATUS_MFR_SPECIFIC 命令中的 STATUS_LATCH_OFF 位来监控 LATCH_OFF 状态。

注意：为了使故障正确发挥作用，并为了避免在实际存在任何故障条件时使能/停用它们，所有故障只能在控制器处于待机状态时使能或停用。

故障按优先级划分。如果在处理另一个故障时出现优先级更高的第二个故障，则第一个故障将被搁置，直到优先级更高的故障得到处理。当完成高优先级故障的服务后，系统将恢复暂停的故障服务。如果正在处理的故障与第二个故障具有相同或更高的优先级，则系统将按照先到先得的方式运行。

优先级组和优先级为：1: MEM

2: SDS, SGD, SGS, UR.

3: SOC.

4: OT, TSD.

4 产品特性

5: OVin.

6: OV.

7: UV.

8: OUV.

9: WD.

10: OC, SOAR.

下表显示了特定故障检测和处理何时处于活动状态:

表 21 运行期间的故障状态

运行状态下故障检测的激活 (x)

FAULT NAME	State of controller									
	POR_IN IT	READ_C FG	CHK_FE T	STAND BY	INIT_SOA_RE G	ON	I_REG	FAULT	WAIT_ 10S	MEM_FAU LT/ LATCH_OF F
MEM	--	X	--	X	--	--	--	--	--	--
SDS	--	--	X	X	--	--	--	X	--	--
SGD	--	--	X	X	--	--	--	X	--	--
SGS	--	--	--	--	X*1	--	--	--	--	--
UR	--	--	--	--	--	--	--	X*2	--	--
SOC	--	--	--	--	X	X	X	--	--	--
OT	--	--	--	X	X	X	X	X	--	--
TSD	--	--	--	X	X	X	X	X	--	--
UV	--	--	--	X	X	X	X	X	--	--
OV	--	--	--	X	X	X	X	X	--	--
OVin	--	--	--	X	X	X	X	X	--	--
OUV	--	--	--	--	--	X	X	--	--	--
WD	--	--	--	--	X	--	--	--	--	--
OC	--	--	--	--	--	X	X	--	--	--
SOAR	--	--	--	--	--	X	X	--	--	--

注释:

*1): 恰好在看门狗计时器到期时。

*2): 仅当任何重试故障事件 (SOC、OUV、WD、OC、SOAR) 之后重试计数器到期时, 才会在 FAULT 状态下发生 UR 故障。

4.2.1 内存故障

内存OTP (MEM) 故障

4 产品特性

如果在 READ_CFG 状态期间检测到 OTP 读取或写入错误，XDP710 将切换到 FAULT 并连续切换到 MEM_FAULT 状态，从而启动控制器的锁存。FET 被关闭并且 PWRGD 信号被取消。该故障只能通过电源循环来清除，在这种情况下，系统将从 POR_INIT 状态重新启动。

4.2.2 FET 损坏故障

在 READ_CFG 状态之后直到 STANDBY 阶段完成之前，有一个 FET 健康检查阶段。

漏极-源极和栅极-漏极低压检查在第一次插入时 READ_CFG 阶段结束后或开始任何重试尝试之前立即开始。

由于任何这些故障，XDP710 都会切换到 FAULT 状态，然后直接进入 LATCH_OFF 状态。

FET 漏极-源极短路 (SDS) 故障

如果在 CHK_FET、STANDBY 或 FAULT 状态下检测到流过检测电阻的电流高于 SDS 限值（见下表），且 FET 的 V_{GS} 低于 1 V，同时栅极引脚被弱驱动为低，则会发出 SDS 故障。

该故障分别通过 ENABLE_FAULTS、MASK_FAULTS 和 STATUS_FAULTS PMBus 命令中的 FET_DS 位来使能、屏蔽和监控。

下表显示了 $R_{SNS} = 1 \text{ m}\Omega$ 时对应的典型电流限制（以安培为单位）。

表 22 SDS 限量

V_{SNS_CS} (mV)	12.5	25	50	100
SDS limit (A)	0.24	0.52	1.1	2.2

FET 栅极-漏极短路 (SGD) 故障

SGD 故障在 CHK_FET、FAULT 或 STANDBY 状态下触发：

- 在 CHK_FET 状态下：如果 FET 的 V_{GS} 超过 1 V，并且 ISNS_x 引脚上的电流超过表 22 中的限制。
- 当控制器进入故障或待机状态并激活任何栅极下拉时。如果 FET 的 V_{GS} 在 10 毫秒内没有低于 1 V。
- 在故障和待机状态下：如果在 FET 的栅极被弱驱动为低电平（常规/慢速栅极下拉）时，FET 的 V_{GS} 在 10 毫秒内降至 1 V 以下，则 FET 的 V_{GS} 会回到 1 V 以上，并且 ISNS_x 引脚上的电流超过表 22 中的限值。

该故障分别通过 ENABLE_FAULTS、MASK_FAULTS 和 STATUS_FAULTS PMBus 命令中的 FET_GD 位来使能、屏蔽和监控。

FET 栅极-源极短路 (SGS) 故障

如果在看门狗定时器到期时上电过程中未实现电源良好并且此时 $V_{GS} < 1 \text{ V}$ ，则会发出 SGS 故障。

该故障分别通过 ENABLE_FAULTS、MASK_FAULTS 和 STATUS_FAULTS PMBus 命令中的 FET_GS 位来使能、屏蔽和监控。

注意：即使看门狗故障已停用，此故障仍会使用看门狗定时器。如果在这种情况下需要使用特定的定时器值来覆盖 SGS，则必须相应地配置定时器。

由于升压模式脉冲会开启和关闭 FET 的栅极电压，因此在看门狗定时器到期时，栅极电压可能处于低位，从而产生错误的 SGS 故障。因此，使用升压模式时必须始终停用 SGS 故障。

4.2.3 输入电压故障

4 产品特性

系统输入欠压 (UV) 故障

在 FDM 模式下，如果 MODE 位 = 1 (DCM)，则 UV 故障限制由 VIN_UV_FAULT_LIMIT 以数字方式设置。

在 AADM 模式或 FDM 模式下，如果 MODE 位 = 0 (ACM)，则限制 V_{UVEN_LTH} 通过外部元件设置（参见在 ACM 中设置 OV、UV 和 OUV）。

如果输入电压达到或低于相应的限值，UV_TMR[2:0] 开始运行。如果电压高于 VIN_UV_FAULT_LIMIT 或 V_{UVEN_LTH} 在定时器到期之前，系统保持开启状态。否则，如果定时器到期时电压仍然较低，则会触发故障，并通过常规下拉关闭 FET。

UV 故障具有可通过 VIN_UV_HYST[3:0] 位配置的滞后，并且取决于配置的 VTLM_RNG。对于 88V VTLM_RNG，滞后可配置为 2 至 13 V。如果 VTLM_RNG 配置为 44 V 或 22 V，则会进行相应缩放。这种滞后现象不仅在发生 UV 故障后有效，而且在上电时也有效。如果输入电压低于 VIN_UV_FAULT_LIMIT + VIN_UV_HYST，系统不会从 STANDBY 转换到 INIT_SOA_REG。

为了避免在首次上电时电压上升时错误触发 UV 故障，只有当超过其编程限制（模拟或数字）并且 EN_DG 计时器到期时才开始检测此故障。

系统输入过压 (OV) 故障

在 FDM 模式下，如果 MODE 位 = 1 (DCM)，则 OV 故障限制由 VIN_OV_FAULT_LIMIT 以数字方式设置。

在 AADM 模式或 FDM 模式下，如果 MODE 位 = 0 (ACM)，则限制 V_{OV_LTH} 通过外部元件设置（参见在 ACM 中设置 OV、UV 和 OUV）。

如果输入电压达到或超过相应的限值，OV_TMR[2:0] 开始运行。如果电压低于 VIN_OV_FAULT_LIMIT 或 V_{OV_LTH} 在定时器到期之前，系统保持开启状态。否则，如果定时器到期时电压仍然很高，则会触发故障，并通过常规下拉关闭 FET。

XDP710 等待 FET 完全关闭，然后继续监测输入电压，并在 FAULT 状态下保持空闲状态，直到其低于 VIN_OV_FAULT_LIMIT 减去 0x60 的滞后 (DCM 模式，参见表 23) 或 V_{OV_LTH} (ACM 模式)。在这种情况下，启动上电序列。

表 23 电压滞后

V_{TLM_RNG} (V)	88	44	22
Voltage (V)	2.06	1.03	0.52

片上输入过压 (OVin) 故障

如果在 STANDBY、INIT_SOA_REG、正常运行或 FAULT 状态下，输入电压超过 V_SNS_CFG PMBus 命令中 OVIN_FAULT_LIMIT 位设置的限值，则 OVIN_TMR 开始运行。当它到期时，会触发故障，并且 FET 会立即通过快速或两步下拉（取决于配置）关闭。XDP710 等待 FET 完全关闭，然后保持在 FAULT 状态下空闲，直到输入电压低于 OVIN_FAULT_LIMIT 的下限 OVin 阈值减去 5 V 的滞后。然后启动上电序列。

4.2.4 输出电压故障

输出欠压 (OUV) 故障

如果在正常工作期间，输出电压低于 FB 引脚分压器设置的 OUV 门限 (ACM 模式) 或 VOUT_UV_FAULT_LIMIT 设置的限值 (DCM 模式)，则 OUV_TMR[2:0] 定时器开始运行。如果电压在计时器到期之前恢复，系统将正常运行。如果计时器到期时 OUV 条件仍然存在，则会发出故障并通过常规下拉关闭 FET。

系统将根据 RETRY 命令设置在冷却一段时间后重新尝试启动。

4 产品特性

建议将 OUV 设置为低于 UV 的级别。这是因为 OUV 将器件发送到 LATCH_OFF 状态，而 UV 则将器件发送到 FAULT 状态。如果两者设置为相同电平或 OUV 设置为高于 UV 的电平，器件将被发送到 LATCH_OFF 状态，而不是因 UV 而发生故障。

4.2.5 电流和温度故障

过流 (OC) 故障

如果在正常运行期间，场效应管电流达到 I_{OC} 的编程水平，则会检测到 OC 状态。如果出现这种情况，SOAD_TMR[2:0] 定时器就会启动。如果 FET 电流在定时器到期前低于 I_{OC} ，系统将继续正常运行。如果定时器到期时 OC 条件仍然存在，XDP710 将启动 OC/SOA 调节定时器 (SOAR_TMR[2:0])，并通过降低 FET 的 V_{GS} 电压将电流调节到 I_{OC} 水平 (I_{REG} 状态)。如果 I_{REG} 状态在第二个定时器到期前结束 (场效应管再次完全增强)，系统将恢复正常。否则将触发 OC 故障，并通过常规下拉关闭 FET。

系统将根据 RETRY 命令设置在冷却期后重试启动。

SOA 调节定时器可配置步骤符合常见的 SOA 线路，因此可以根据特定 V_{DS} 与 I_{DS} 场景的最大允许定时器实施保护。

注意：出于 I_{REG} 状态期间的安全原因，如果流经 FET 的电流低于 1A，则调节将停止，FET 将关闭，并且会声明 SOAR 故障。

严重过流 (SOC) 故障

在 INIT_SOA_REG 或正常运行期间，当 FET 的 I_{DS} 电流达到一定水平，导致检测电阻上的压降超过 V_{SNS_SOC} 的可编程值时，即检测到 SOC 事件。该检测通过模拟比较器进行，以提高反应速度。该比较器具有可编程的 SOC_DG_TMR 去尖峰时间，可用于检测。

如果检测到 V_{SNS_SOC} 电流水平，SOC_TMR 将开始运行。如果在定时器到期之前清除 SOC 条件，且不存在其他故障条件，系统将恢复正常。否则，一旦定时器到期，将触发故障，并且 FET 将通过快速或两级下拉 (取决于配置) 打开。

系统将根据 RETRY 命令设置在冷却期后重试启动。当故障条件清除后，错误指示引脚会自动取消激活，并且重试成功后 PWRGD 会激活。

SOC故障配置通过SOC_FAULT_LIMIT位完成，并且取决于CS_RNG配置，如下表所示：

表 24 SOC 等级配置 (单位：毫伏)

		I_SNS_CFG.CS_RNG[1:0]			
		00	01	10	11
i_sns_cfg.soc_fault_limit[2:0] (FAULT_LIMIT[2.0])	000	12.5		25	
	001	18.75		37.5	
	010	25		50	
	011	37.5		75	
	100	50		100	
	101	75		150	
	110	100		200	

(表格续下页.....)

表 24 (续) SOC 信号电平配置 (单位: 毫伏)

	111	150	300
--	-----	-----	-----

均方根电流 (RMS)

OC 保护可配置为根据 RMS 电流计算限制而非瞬时测量做出反应。

REG_CFG 命令中的 RMS_EN 位使能或停用 OC 保护的 RMS 计算功能。如果使能, 保护级别基于 RMS 计算。由于 RMS 是 OC 的子功能, 因此如果需要 RMS 功能, 则必须使能 OC (通过 ENABLE_FAULTS 命令中的 OC 位)。

RMS 没有掩码和状态位, 但是用 OC 相应的掩码和状态位代替。RMS_SAMPLE_TMR 指定 RMS 电流保护计算的积分时间。

如果 RMS_EN 位被设置 (启用 RMS 功能), CS_RNG_TRIM 位将指定触发 OC 故障的 RMS 电流电平 (占 V_{SNS_CS} 的比例)。如果超过该有效值电流水平, FET 将立即通过常规下拉关闭, 跳过 SOAD_TMR[2:0] 和 SOAR_TMR[2:0] 位中配置的降压和调节阶段。

SOA 调节 (SOAR) 故障

达到导通状态并且 FET 完全增强后, 可能会出现违反 FET SOA 限制的不同情况。例如:

- 输入电压突然升高, 产生一定的 V_{DS} , 同时输出电容充电至新的电压水平
- $R_{DS(on)}$ 过高
- 在 OC 事件后的 I_{REG} 状态期间, V_{DS} 必须增加太多才能将电流保持在适当的水平

在这种情况下, SOAD_TMR[2:0] 抗尖峰脉冲定时器启动。如果 FET V_{DS} 和 I_{DS} 在定时器到期之前恢复到 SOA 限值范围内, 系统将继续在导通状态下正常运行。否则, SOAR_TMR[2:0] 调节定时器启动, 同时系统继续调节电流以保持在 SOA 限值范围内。如果在第二个定时器到期之前清除了 SOAR 条件, 系统将返回导通状态。如果 SOAR 条件持续存在, 则会触发 SOA 调节故障, 并开启 FET 并进行常规下拉。

如果流经 FET 的调节电流低于 1A 水平, 调节就会停止, FET 就会关闭, 并且会发出 SOAR 故障信号。

系统将根据 RETRY 命令设置在冷却一段时间后重新尝试启动。

注意: SOAR 故障停用意味着即使超出 SOA 限值, 也不会触发故障, FET 也不会关闭。出于安全考虑, 建议保持 SOAR 故障使能状态。

过温 (OT) 故障

如果在 STANDBY、INIT_SOA_REG、正常运行或 FAULT 期间, TSNS_P 和 TSNS_N 引脚之间测量的温度升高到 OT_FAULT_LIMIT 值以上, 则会触发故障, 并且 FET 会通过常规下拉打开。

XDP710 等待 FET 完全关闭, 然后继续监测 FET 温度并保持在 FAULT 状态, 直到温度降至 OT_FAULT_LIMIT - 25°C 以下。在这种情况下, 一旦满足必要条件, 上电序列就会启动, 并且 PWRGD 引脚就会置位。

片上热关断 (TSD) 故障

XDP710 有一个片上温度传感器, 具有可编程的故障限值 T_{Ts_UTH0} 。如果芯片温度超过该值, 就会触发故障, 并通过常规下拉打开 FET。XDP710 将等待 FET 完全关闭,

4 产品特性

然后在故障状态下保持空闲，直到温度降至 T_{TS_LTH} （相当于 $T_{TS_UTH} - 10^{\circ}\text{C}$ ）以下，此时启动开机程序。

4.2.6 上电故障

开机失败（看门狗，WD）故障

看门狗定时器可通过 WATCHDOG[3:0] 位进行配置。其可配置步骤与常见的 SOA 线路兼容，因此可以根据特定 V_{DS} 与 I_{DS} 场景下的最大允许定时器时间实施保护。一旦在 INIT_SOA_REG 状态下启动上电程序，它就会立即运行。如果在定时器到期之前 FET 未完全增强 ($V_{DS} < 1.0\text{ V}$ 且 $V_{GS} > 7.8\text{ V}$)，则会触发 WD 故障且 FET 通过常规下拉关闭。

根据 REPLY 命令设置重试上电，在这种情况下，在任何重试尝试之前离开 FAULT 状态时，故障指示引脚将被清除。相应的状态位保持设置，直到手动清除或设备重新启动或电源循环。

重试失败（UR）故障

仅当重试计数器在某个重试故障事件（SOC、OUV、WD、OC、SOAR）后到期时，才会在 FAULT 状态下发生 UR 故障。每次重试事件发生时，重试计数器都会减少。如果达到零值（已达到编程重试的最大次数），则会触发 UR 故障，系统进入并保持 LATCH_OFF 状态。

4.2.7 内部保护故障

VREG故障

如果在任何操作点，VREG 引脚的电压低于 4.1 V，系统将触发上电复位。故障指示引脚上未发出该故障信号，STATUS_FAULTS PMBus 命令中也没有该故障位。

4.3 重试

XDP710 可配置为在 FET 由于以下故障而关闭后自动重试 FET 的上电：OUV、看门狗、OC、SOAR、SOC。

重试次数可配置为 0（第一次故障事件后系统锁存）至 32，通过在 REPLY PMBus 命令中的 REPLY_COUNTER[2:0] 位中设置相应的数字。

重试计数器也可以被停用，这意味着系统将无限次重试，直到关闭或重置。

每次重试之前，控制器都会等待一段可配置为 0 至 64 秒的冷却期（REPLY PMBus 命令中的 COOLD_TMR[2:0] 位）。在此期间，控制器保持故障状态，并且 CLEAR_FAULTS 命令和 EN 引脚切换将被忽略。

提供重试掩码位，以便可以针对任何故障单独打开或关闭冷却期。如果 REPLY_COUNTER 和故障重试掩码都设置为 0，系统将无限期地重试，跳过冷却期。

如果在重试尝试期间成功实现 FET 上电，则重试 OK 抗尖峰脉冲定时器（REPLY PMBus 命令中的 RETD_TMR[2:0] 位）在达到 ON 状态后立即开始运行。

如果此计时器到期时没有发生故障，则重试计数器将设置为其初始状态。

如果达到最大重试次数但仍然没有成功，则会发出重试失败故障，从而启动闭锁。

如果使用重试功能来避免由于引起重试的故障而导致的较长的启动时间，则建议在 MASK_FAULTS PMBus 命令中使能看门狗 (WD) 故障及其相应的看门狗重试掩码。

4 产品特性

栅极电压快速恢复

栅极电压快速恢复会尽快打开 FET，避免 SOC 故障后重试期间 FET 的调节。

通过在 RETRY 命令中设置 GATE_REC_EN 位来使能该功能时，SOC 故障后重试前的冷却期将被忽略。

对于 GATE_REC_EN='1' 且进入 INIT_SOA_REG 的所有情况，如果控制环路识别到无稳压条件（FET 的 $V_{DS} < 1.0\text{ V}$ ），则栅极强上拉电路（通常具有 250 μA 电流能力）将被激活，以便快速开启 FET。系统将按照 RETRY_COUNTER 设置的次数重试快速恢复。如果在 RETRY_COUNTER 计数结束前恢复仍未成功，系统将进入锁存状态。

4.4 闭锁

LATCH_OFF 和 MEM_FAULT 是锁存状态。如果发生锁存故障，控制器的 FAULT 状态之后会变为 LATCH_OFF 或 MEM_FAULT 状态，并且控制器：

- 保持 FET 关闭并保持在 LATCH_OFF 或 MEM_FAULT 状态
- 锁存除 STATUS_CML 之外的所有状态命令（包括故障和警告命令）的状态。这是为了支持在 LATCH_OFF 状态下报告 COM 警告
- 锁存状态引脚的状态（PWRGD、FAULT、LED#、SMBALERT#、WARN）
- 保持服务块（包括 VREG）、遥测、通信 PMBus 接口和必要的数字运行，以支持数据通信

下列故障会立即触发锁断：

- 内存 OTP 故障
- FET 漏源短路故障
- 场效应晶体管栅极漏极短路故障
- 场效应晶体管（FET）的栅极-源极短路故障

如果在以下故障期间达到了最大重试次数但仍未成功从故障中恢复（发生重试不成功 (UR) 故障），则会触发闭锁：

- 输出欠压 (OUV) 故障
- 上电失败 (看门狗) 故障
- 过流 (OC) 故障
- SOA 调节故障
- 严重过流 (SOC) 故障

如果重试计数器设置为零，则在发生上述任何故障后立即触发闭锁。

XDP710 可以通过电源循环退出 LATCH_OFF 或 MEM_FAULT 状态。在这种情况下，它从 POR_INIT 状态开始运行。退出 LATCH_OFF 状态（不适用于 MEM_FAULT）的其他方法是 PMBus CLEAR_FAULTS 命令或外部 EN 信号从高到低的转换（如果引脚配置为 EN，请参阅“[使能和停用](#)”）。如果使用其中任何一种方法，则会执行以下操作：

- 信号解除/释放状态引脚（PWRGD、FAULT、WARN）
- 清除 FAULT 和 WARNING 状态命令
- 从 CHK_FET 状态继续操作

4.5 警告

警告被定义为不会关闭 FET 的警报。它们通过 WARN 引脚向处理器/MCU 发出警报，以便处理器/MCU 决定是否采取任何响应措施。

每个警告在 STATUS_WARN 命令中都有一个对应的位，当发生警告时会设置该位。

4 产品特性

这些位可以反映在 GPO1/WARN 引脚上，以提醒处理器/MCU 发生了任何这些事件。GPO1/WARN 是 NMOS 开漏引脚（输出极性可编程）。

可以配置 SMBALERT# 引脚以提供所有触发故障、警告或两者的摘要。其输出是所有故障或警告的逻辑OR，取决于其在 GPO_CFG 命令中的配置。为用户提供了一个屏蔽命令，以选择要在 WARN 和 SMBALERT# 引脚上反映哪些警告。

可以通过清除警告的使能位来停用警告，这意味着不会检测到警告，也不会报告警告。

下面的每个警告描述都指定了“警告被清除”的时间。这表示生成一个或多个警告的条件何时被清除。

警告状态位和引脚保持设置状态，直到被清除：

- 通过 CLEAR_FAULTS PMBus 命令
- 或者通过控制器重启或电源循环

注意：由于 COM 警告的性质，通过 WARN 引脚报告和清除的方式存在一些例外。详情请参阅[通信警告](#)。

下表显示了特定警告的处理何时处于活动状态。

表 25 运行期间警告状态

运行状态期间激活 (X) WARNING 处理

WARNIN G NAME	State of controller									
	POR_ INIT	READ_ CFG	CHK_ FET	STAND BY	INIT_ SOA_RE G	ON	I_REG	FAULT	WAIT_10 S	MEM_FA ULT/ LATCH_ OFF
VGSL	--	--	--	--	--	X	--	--	--	--
OT	--	--	--	X	X	X	X	X	--	--
TSD	--	--	--	X	X	X	X	X	--	--
UV	--	--	--	X	X	X	X	X	--	--
OV	--	--	--	X	X	X	X	X	--	--
OOV	--	--	--	X	X	X	X	X	--	--
OUV	--	--	--	--	--	X	X	--	--	--
SOAR	--	--	--	--	--	X	X	--	--	--
OUC	--	--	--	--	--	X	X	--	--	--
OOC	--	--	--	--	--	X	X	--	--	--
INeg	--	--	--	--	--	X	X	--	--	--
OP	--	--	--	--	X	X	X	--	--	--
COM	--	--	--	X	X	X	X	X	X	X

下图显示了所有警告的流程。

4 产品特性

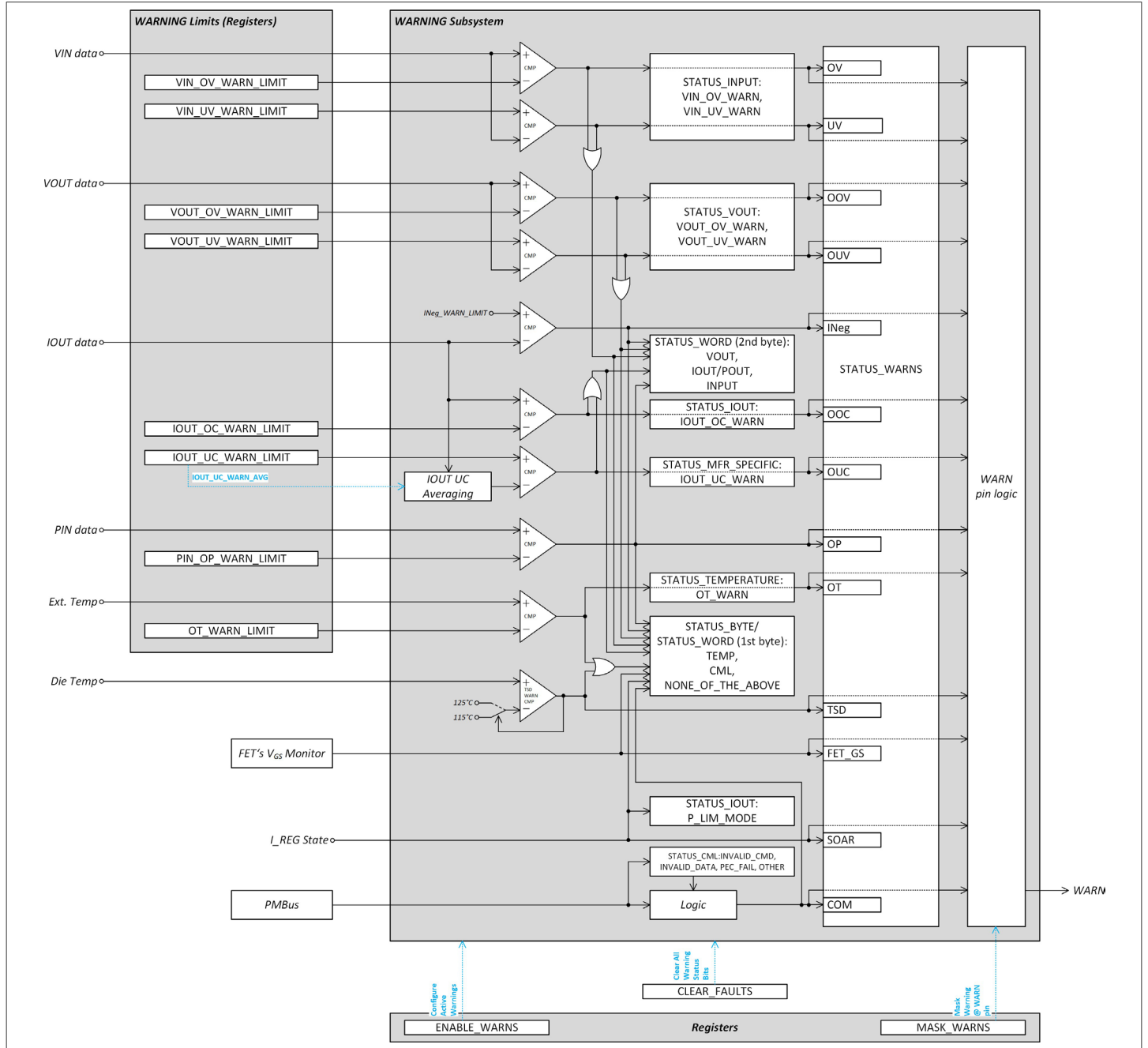


图 10 警告流程

4.5.1 FET 损坏警告

栅极源极低电压 (VGSL) 警告

如果在导通状态下，FET 的 V_{GS} 低于 7.8 V，则会触发 VGSL 警告，表明使用寿命期间可能存在栅极-源极或栅极-漏极问题。一旦 FET 的 V_{GS} 升至相同限值以上，警告就会清除。

4.5.2 输入电压和功率警告

输入欠压 (UV) 警告

4 产品特性

如果输入电压达到或低于 $V_{IN_UV_WARN_LIMIT}$ ，则会触发警告。如果电压超过此限值加上 $0x60$ 的滞后（参见表 23），则警告将被清除。

输入过压 (OV) 警告

如果输入电压达到或超过 $V_{IN_OV_WARN_LIMIT}$ ，则会触发警告。如果电压低于此限值减去 $0x60$ 的滞后值（参见表 23），则警告将被清除。

输入过功率 (OP) 警告

如果输入功率 ($V_{IN} * I_{OUT}$ 的乘积) 超过设定的 $P_{IN_OP_WARN_LIMIT}$ ，系统就会生成 OP 警告。如果输入功率低于限值减去 $0x100$ 的数字滞后（通常相当于最大功率的 0.4%），则警告被清除。该警告的功率平均是通过与遥测相同的设置完成的： $TELEMETRY_AVG$ PMBus 命令中的 $P_TELEMETRY_AVG$ 位。

4.5.3 输出电压警告

输出欠压 (OUV) 警告

如果输出电压达到或低于 $V_{OUT_UV_WARN_LIMIT}$ ，则会触发警告。如果电压超过此限值加上 $0x60$ 的滞后（参见表 23），则警告将被清除。

输出过压

如果在上电程序、正常运行或故障状态下，输出电压超过 $V_{OUT_OV_WARN_LIMIT}$ PMBus 命令设置的限制，则将设置该警告位。

4.5.4 电流和温度警告

输出过流 (OOC) 警告

如果检测电阻压降检测到的负载电流超过 $I_{OUT_OC_WARN_LIMIT}$ PMBus 命令设置的限值，则会检测到 OOC 警告。如果电流低于 $I_{OUT_OC_WARN_LIMIT}$ 减去 $0x80$ 数字迟滞，则清除警告（参见表 26）。

输出欠流 (OUC) 警告

如果在正常工作期间，FET I_{DS} 电流小于 $I_{OUT_UC_WARN_LIMIT}$ PMBus 命令的可编程值，则会触发欠流事件。一旦电流回升至 $I_{OUT_UC_WARN_LIMIT}$ 值加上 $0x80$ 数字迟滞（根据 V_{SNS_RNG} 设置，假设检测电阻为 $1\text{ m}\Omega$ ）则警告会立即清除。这对应于以下电流水平：

表 26 电流滞后

V_{SNS_CS} (mV)	12.5	25	50	100
Current (A)	0.55	1.11	2.2	4.4

为了避免由于 $INIT_REG_SOA$ 期间或 ON 状态开始时的低电流水平而错误触发 OUC 警告，只有在 ON 状态下电流第一次超过编程的 OUC 水平后才开始检测。

4 产品特性

SOA 法规 (SOAR) 警告

如果 SOAR_TMR[2:0] 未编程为 0，则当控制器因 OC 或 SOA 条件违规而进入 I_REG 状态时会发出警告。该警告将一直保持，直到控制器离开 I_REG 状态。

负电流 (INeg) 警告

如果流过 FET 的负电流超过 I_{NEG_MAX} 检测到正电平时，触发 INeg 警告。当 FET/负载电流样本恢复到正电平 (≥ 0 A) 时，警告清除。

过温 (OT) 警告

如果温度升高到 OT_WARN_LIMIT 以上，则会发出 OT 警告。当温度低于 OT_WARN_LIMIT 减去 25°C 的滞后时，警告就会清除。

片上热关断 (TSD) 警告

XDP710 有一个片上温度传感器。如果在上电过程、正常运行或故障状态下，温度超过 125°C 的上限阈值，则会触发警告。当温度降至 115°C 以下时，警告即解除。

4.5.5 通信警告

PMBus 接口通信 (COM) 警告

如果检测到 PMBus 通信（读取或写入）失败，则会触发此警告。COM 是 LATCH_OFF 状态下唯一使能的警告。由于 WARN 引脚状态在此状态下被锁存，因此不会通过该引脚报告警告。在 LATCH_OFF 期间检测此警告的唯一方法是读取 STATUS_CML 命令。

注意：在 COM 警告后清除 STATUS_CML 不会清除 WARN 引脚。WARN 引脚是 STATUS_WARNs 命令中 COMM 位的映射，因此必须清除 COMM 位才能清除 WARN 引脚。

4.6 遥测

XDP710 提供以下实时精确的测量和计算数据：

- 输入信号电压
- 输出电压
- 负载/FET 电流（通过外部分流电阻上的电压降），包括其平方 RMS 值（如果使能）
- 输入功率
- 活力
- 外部场效应晶体管 (FET) 温度
- 片上温度

所有信息都是通过 PMBus 接口发出相应命令提供的。下图显示了遥测流程：

4 产品特性

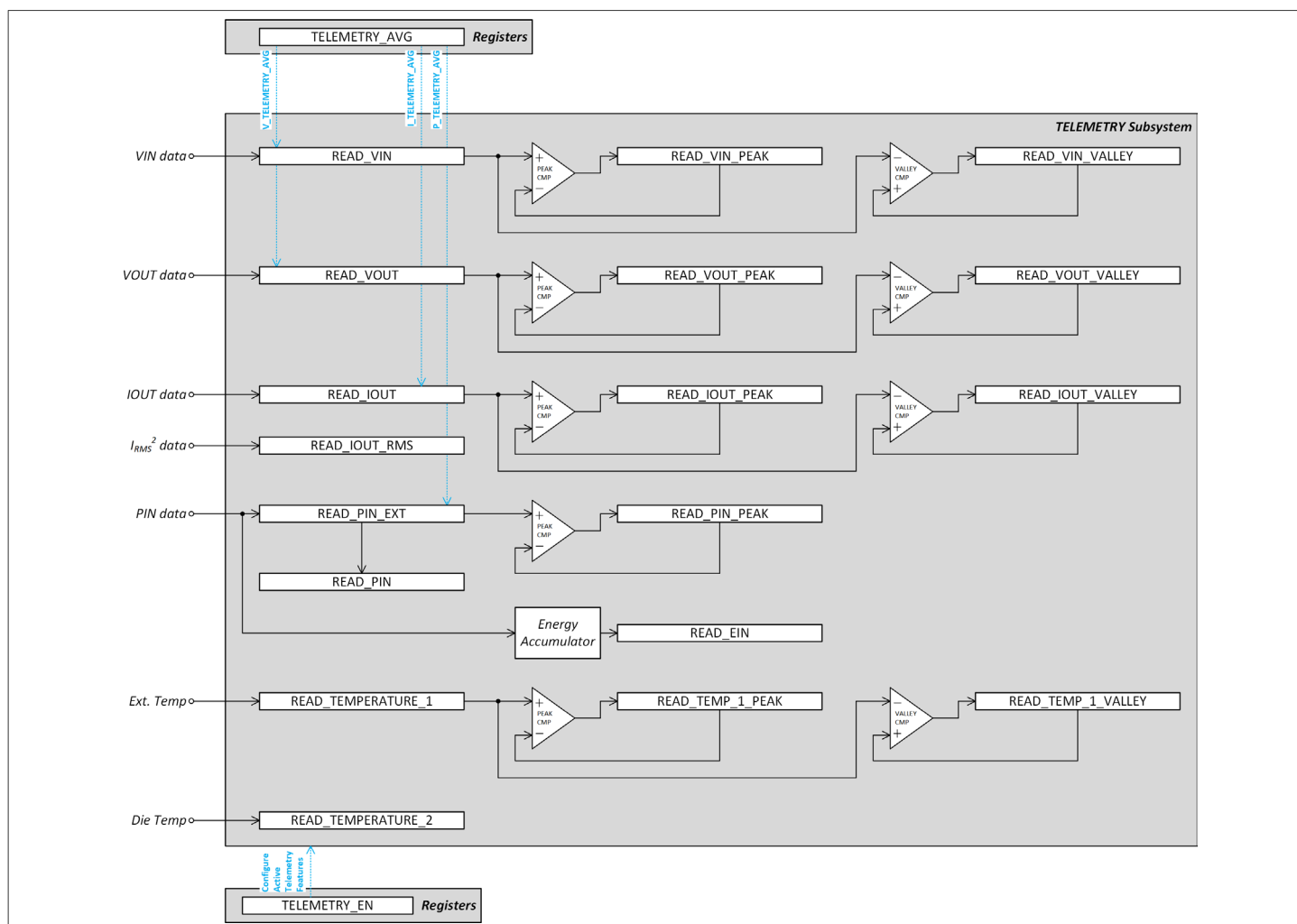


图 11 遥测流程

4.6.1 遥测摘要表

下表显示了不同遥测功能的传感点以及用于配置和读取数据的命令。

表 27 遥测摘要

Parameter	Sensing	Averaging configuration	Instantaneous/averaged	Peak	Valley
Input voltage	ISNS_P pin	V_TELEMETRY_AVG	READ_VIN	READ_VIN_PEAK	READ_VIN_VALLEY
Load/FET current	ISNS_P/ISNS_N pins	I_TELEMETRY_AVG	READ_IOUT	READ_IOUT_PEAK	READ_IOUT_VALLEY
RMS Load/FET current	ISNS_P/ISNS_N pins		READ_IOUT_RMS		
Output voltage	VOUT pin	V_TELEMETRY_AVG	READ_VOUT	READ_VOUT_PEAK	READ_VOUT_VALLEY

(表格续下页.....)

4 产品特性

表 27 (续) 遥测摘要

Parameter	Sensing	Averaging configuration	Instantaneous/averaged	Peak	Valley
Input power (16 bits)	Input voltage x Load/FET current	P_TELEMETRY_AVG	READ_PIN		
Input power (24 bits)			READ_PIN_EXT	READ_PIN_PEAK	
Energy	Input power accumulated over time		READ_EIN		
External FET temperature	TSNS_P/TSNS_N pins		READ_TEMPERATURE_1	READ_TEMP_1_PEAK	READ_TEMP_1_VALLEY
On-Chip temperature	On-chip temperature sensor		READ_TEMPERATURE_2		

4.6.2 平均和瞬时遥测

4.6.2.1 平均遥测数据

输入电压和功率以及输出电压和电流测量值可以通过其相应的位字段进行平均：V_TELEMETRY_AVG[2:0]、I_TELEMETRY_AVG[2:0] 和 P_TELEMETRY_AVG[2:0]。每个由 3 位组成。

表 28 遥测平均值

Bits settings	Averaged amount of samples
000	1
001	2
010	4
011	8
100	16
101	32
110	64
111	128

4.6.2.2 瞬时遥测数据

可以通过将相应的 x_TELEMETRY_AVG[2:0] 位设置为 000 来获得瞬时测量值，这样只进行一次采样。

4.6.3 峰值和谷值

x_PEAK 和 x_VALLEY 命令分别报告自上次清除命令以来测量的最大值和最小值。

峰值适用于以下参数：

- 输入信号电压
- 输出电压

4 产品特性

- 负载/FET 电流
- 输入功率
- 外部场效应晶体管 (FET) 温度

谷值适用于以下参数：

- 输入信号电压
- 输出电压
- 负载/FET 电流
- 外部场效应晶体管 (FET) 温度

读取 x_PEAK 和 x_VALLEY 命令的内容或通过上电复位后，这些命令将被清除。重置后，读取的第一个值与 0x000 (峰值) 或 0xFF (谷值) 进行比较，并分别成为新的峰值或谷值。

4.6.4 通过 PMBus 进行遥测

以下公式将 PMBus 直接格式转换为“真实世界”值：

$$X = \frac{1}{m} * (Y * 10^{-R} - b)$$

公式 3

其中：

X = 以适当单位 (A、V、°C 等) 计算的“真实世界”值

m = 斜率系数，是一个双字节、二进制补码整数

Y = 从 PMBus 设备接收的两字节二进制补码整数 b = 偏移量，是一个两字节、二进制补码整数

R = 指数，是一个字节，二进制补码整数

要将“真实世界”值转换为 PMBus 直接格式，请使用以下公式：

$$Y = (mX + b) * 10^R$$

公式 4

其中：

Y = 要发送到单元的两个字节二进制补码整数

m = 斜率系数，为两个字节的二进制补码整数

X = “真实世界”值，以安培或伏特等单位表示，需要转换以便传输。

b = 偏移量，是两个字节的二进制补码整数

R = 指数，是相当于一个字节、二进制补码整数的十进制值。

这些公式的系数如下表所示：

表 29 PMBus 系数

Command	VTLM_RNG	VSNS_CS	m	b	r
VOUT_OV_WARN_LIMIT,	88	-	4653	0	-2
VOUT_UV_WARN_LIMIT, VOUT_UV_FAULT_LIMIT, VIN_OV_FAULT_LIMIT,	44		9307	0	-2

(表格续下页.....)

4 产品特性

表 29 (续) PMBus 系数

Command	VTLM_RNG	VSNS_CS	m	b	r
VIN_OV_WARN_LIMIT, VIN_UV_FAULT_LIMIT, READ_VIN, READ_VIN_PEAK, READ_VIN_VALLEY, READ_VOUT, READ_VOUT_PEAK, READ_VOUT_VALLEY	22		18614	0	-2
IOUT_OC_WARN_LIMIT, IOUT_UC_WARN_LIMIT, READ_IOUT, READ_IOUT_PEAK, READ_IOUT_VALLEY	-	12.5	23165	0	-2
		25	11582	0	-2
		50	5791	0	-2
		100	28956	0	-3
READ_IOUT_RMS	-	12.5	20808	0	-2
		25	5202	0	-2
		50	13005	0	-3
		100	32513	0	-4
READ_PIN_EXT, READ_PIN_PEAK	88	12.5	10780	0	0
		25	5390	0	0
		50	26949	0	-1
		100	13474	0	-1
	44	12.5	21559	0	0
		25	10780	0	0
		50	5390	0	0
		100	26949	0	-1
	22	12.5	4312	0	1
		25	21559	0	0
		50	10780	0	0
		100	5390	0	0
PIN_OP_WARN_LIMIT, READ_PIN, READ_EIN	88	12.5	4211	0	-2
		25	21054	0	-3
		50	10527	0	-3
		100	5263	0	-3
	44	12.5	8422	0	-2
		25	4211	0	-2

(表格续下页.....)

4 产品特性

表 29 (续) PMBus 系数

Command	VTLM_RNG	VSNS_CS	m	b	r
		50	21054	0	-3
		100	10527	0	-3
	22	12.5	16843	0	-2
		25	8422	0	-2
		50	4211	0	-2
		100	21054	0	-3
OT_FAULT_LIMIT, OT_WARN_LIMIT, READ_TEMPERATURE_1, READ_TEMP_1_PEAK, READ_TEMP_1_VALLEY	-	-	52	14321	-1
READ_TEMPERATURE_2	-	-	23	6225	-1

注意： 电流和功率系数已归一化为 1mΩ 检测电阻。有关如何计算电流和功率的示例，请参阅 [根据“真实世界”值计算 PMBus 直接格式限制，反之亦然。](#)

4.6.5 RMS 电流计算

RMS 电流是通过对 SOA_TMR 命令中 RMS_SAMPLE_TMR[1:0] 位设置的特定时间段内的电流测量值进行积分来计算的。

4.6.6 输入功率计算

输入功率是负载/FET 电流与输入电压值的乘积。

每次进行电流测量时，都会进行功率计算，将负载/FET 电流和输入电压的当前值相乘，然后计算相应的平均值。输入功率可以以 16 位格式 (READ_PIN) 或扩展的 24 位格式 (READ_PIN_EXT) 报告。

4.6.7 能量计算

能量是随时间累积的输入功率。

计算出的输入功率值被添加到功率累加器命令中，如果该值超过最大累加器值，则该命令可能会增加翻转计数器。功率累加器命令还会增加功率样本计数器。使用相同的 READ_EIN 命令读取功率累加器和功率采样计数器，以确保累加值和采样计数来自同一时间点。

读取数据的 MCU 在读取数据时分配时间戳。通过计算连续使用 READ_EIN 之间的时间差并确定消耗的功率增量，MCU 可以确定该时间段内消耗的总能量。

4.7 通信接口

4.7.1 PMBus

电源管理总线 (PMBus) 是一种开放标准的数字电源管理协议：简单、标准、灵活、可扩展、易于编程。PMBus 命令语言支持电源系统组件之间的通信：CPU、电源、电源转换器等。

XDP710 支持的功能和命令基于 PMBus 规范修订版 1.3.1 第 I、II 和 III 部分。

4 产品特性

内部电路初始化后即可通过 PMBus 进行通信，这在施加输入电压后大约需要 2 毫秒。

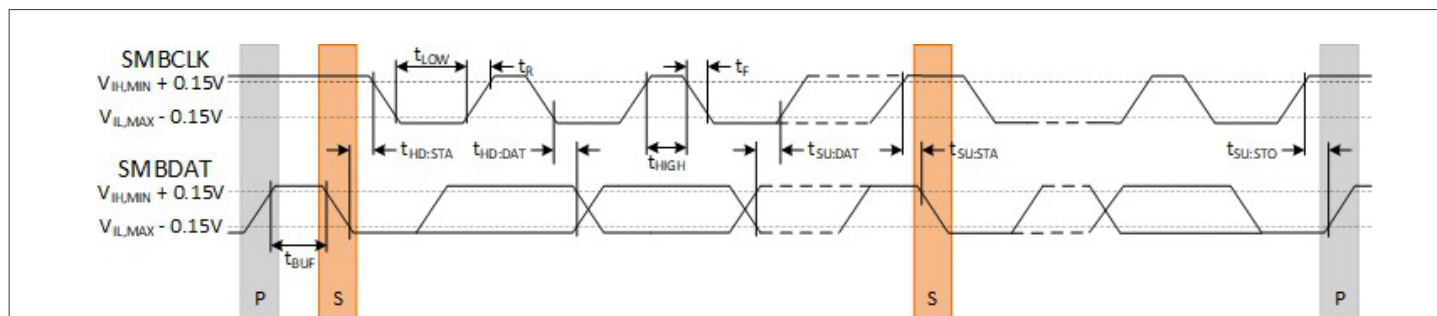


图 12 PMBus 时序图

PMBus 通信默认使能。可以通过 PMBus 使能信号来停用它，该信号可以在 GPO_CFG 命令中的 GPO3 引脚中进行配置。如果配置为 PMBus 使能，该引脚上的低电平将停用 PMBus 通信。当需要在连接到单个总线的许多设备中配置不同的地址时，此功能很有用。

4.7.1.1 支持的功能

PMBus 适用于电源管理领域的许多不同应用。对于热插拔应用程序，仅使用一部分命令。

4.7.1.1.1 寻址

该器件具有一个由 PMBUS_CFG 命令或地址引脚控制的从属地址。共有 16 个不同的地址，可通过外部电阻设置。参见表 13。

4.7.1.1.2 违反协议

XDP710 支持以下协议违规：

- 命令无效
- 命令太短
- 数据无效
- 重复启动时出错
- 命令中的额外字节
- 页面无效
- 读取地址中设置的位
- 读取的位太少
- 读取的字节太少
- 读取过多字节
- 发送的比特太少
- 发送过多字节

4.7.1.1.3 Timeout

如果某个器件占用了总线，总线可能会冻结。如果微控制器发现此类问题，可能会停止时钟 $t_{TIMEOUT}$ 。如果另一个从器件错误地占用了总线，也可能发生这种情况。这会导致所有从器件重置其 PMBus 接口，并准备好接收新的启动命令。

4 产品特性

4.7.1.2 协议

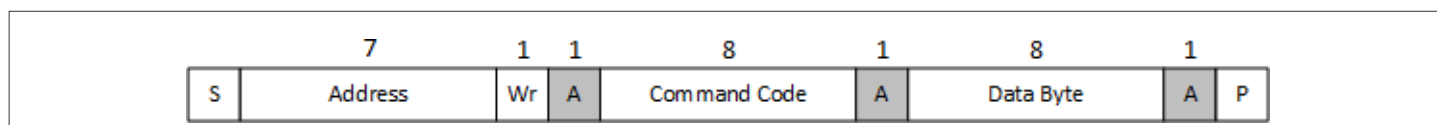


图 13 写字节协议

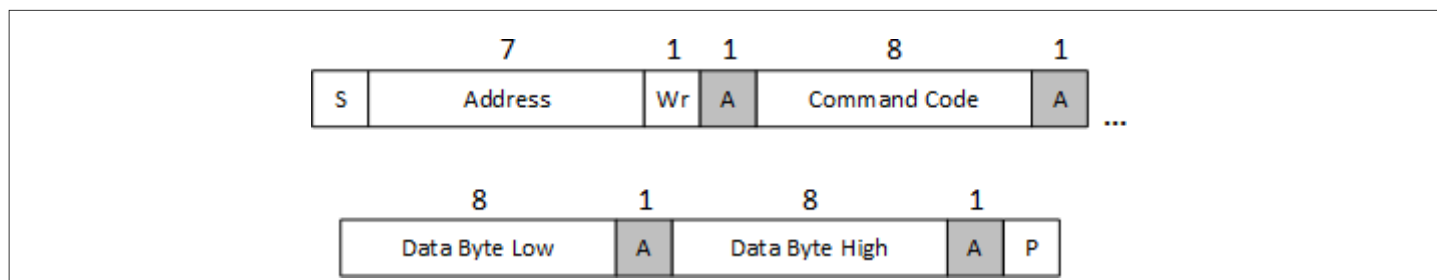


图 14 写字组协议

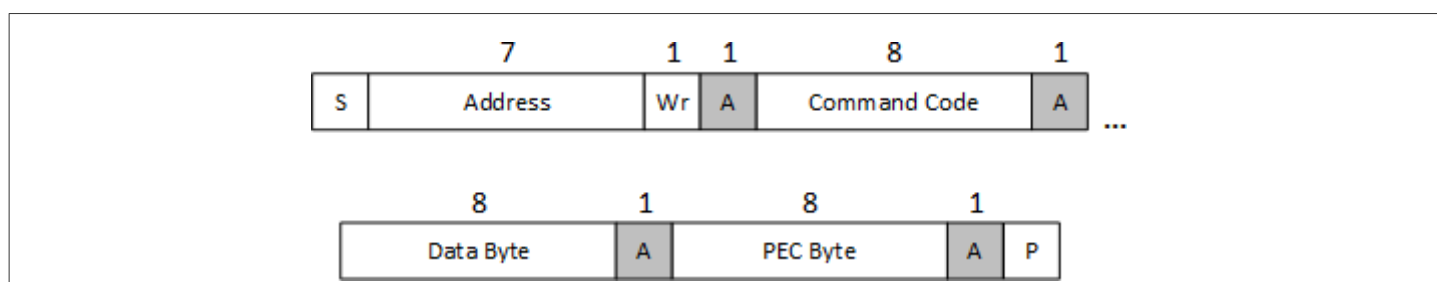


图 15 带 PEC 的写字节协议



图 16 带 PEC 的写字组协议

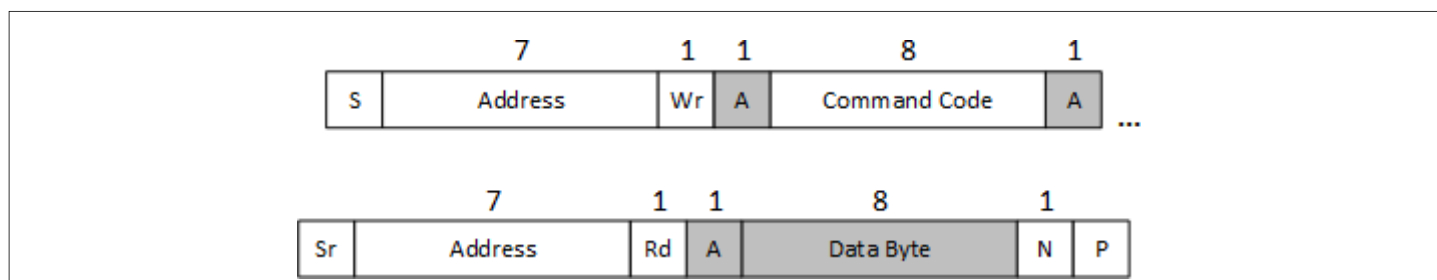


图 17 读取字节协议

4 产品特性

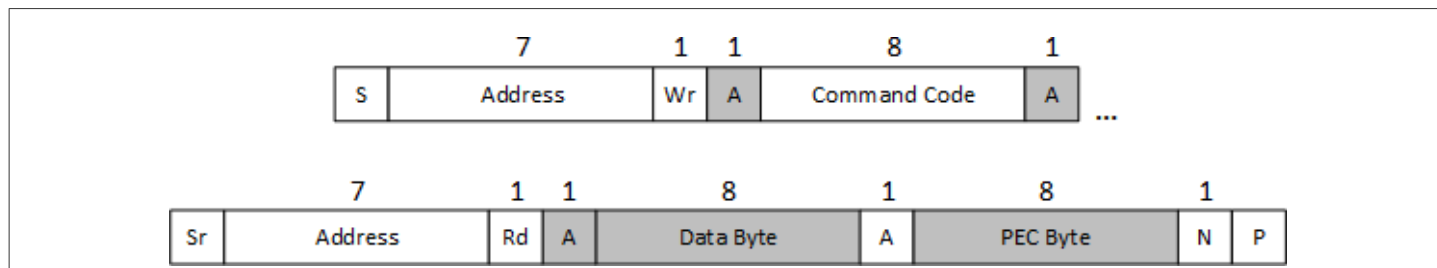


图 18 带 PEC 的读取字节协议

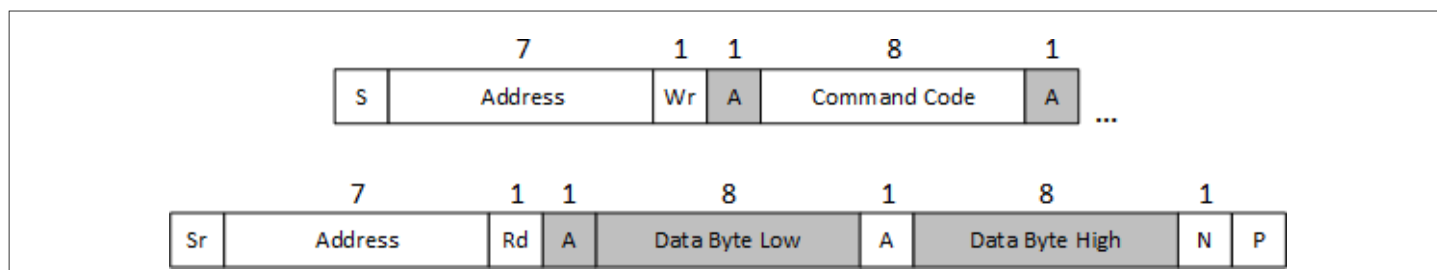


图 19 读字组协议

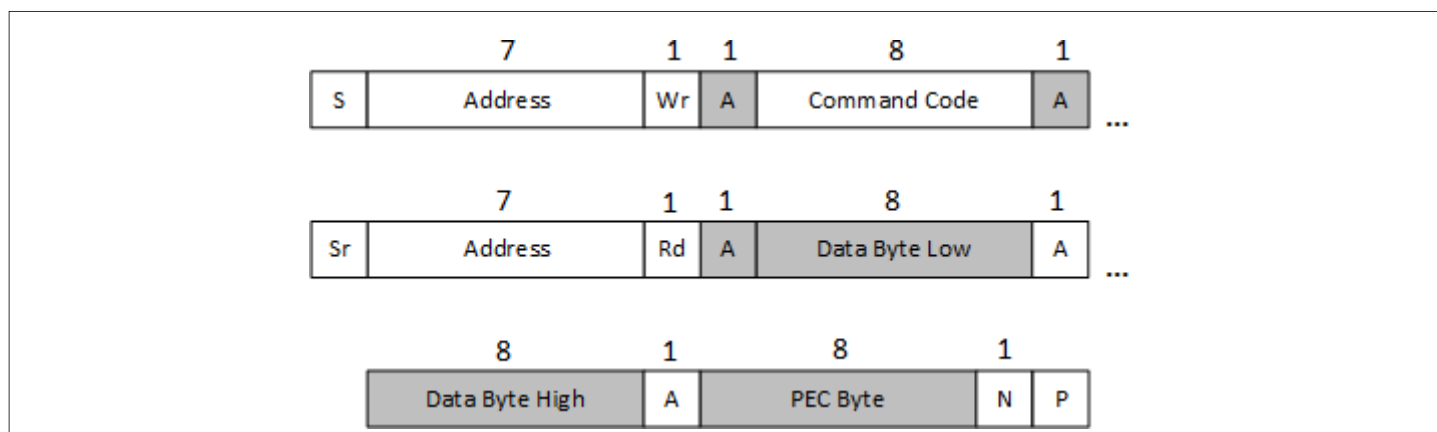


图 20 带 PEC 的读字组协议

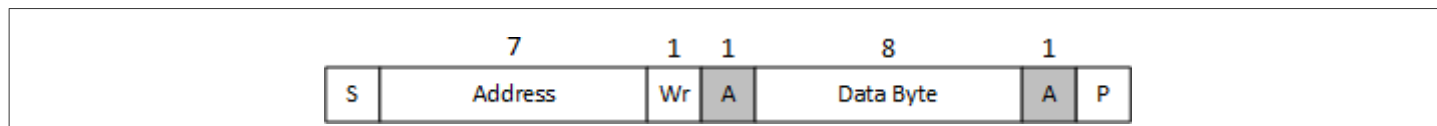


图 21 发送字节协议

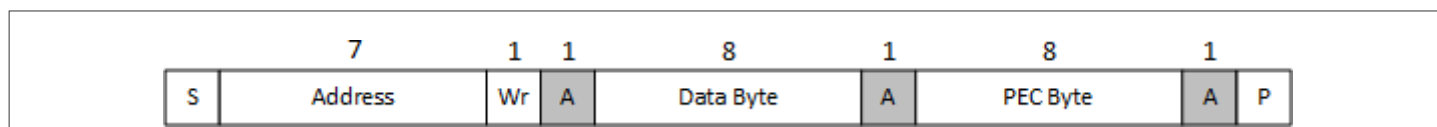


图 22 带有 PEC 的发送字节协议

4 产品特性

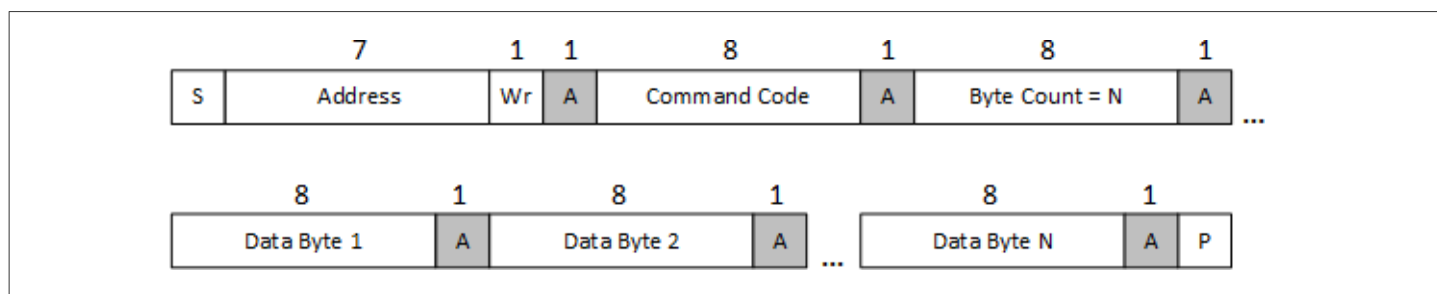


图 23 块写入

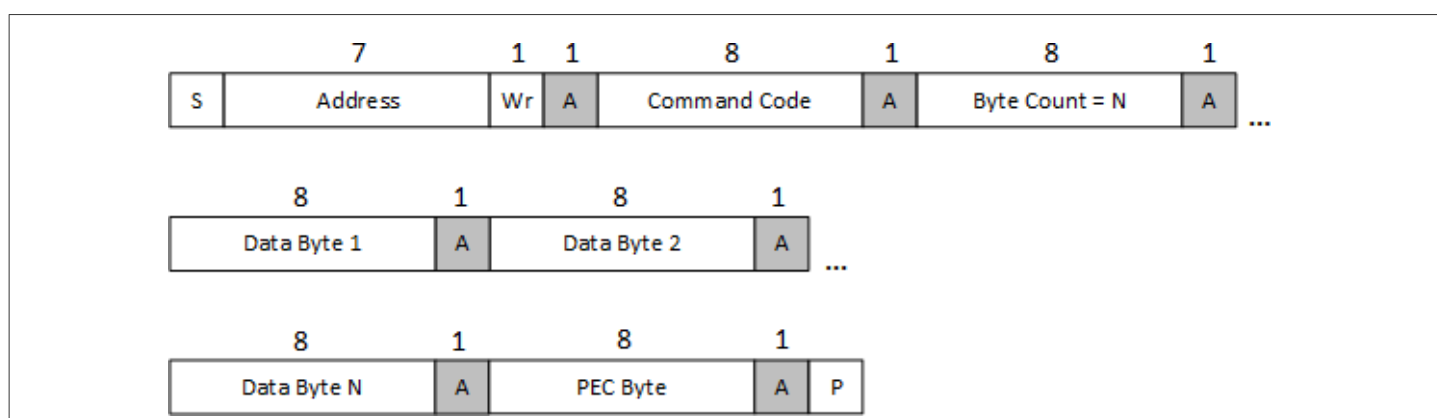


图 24 带 PEC 的块写入

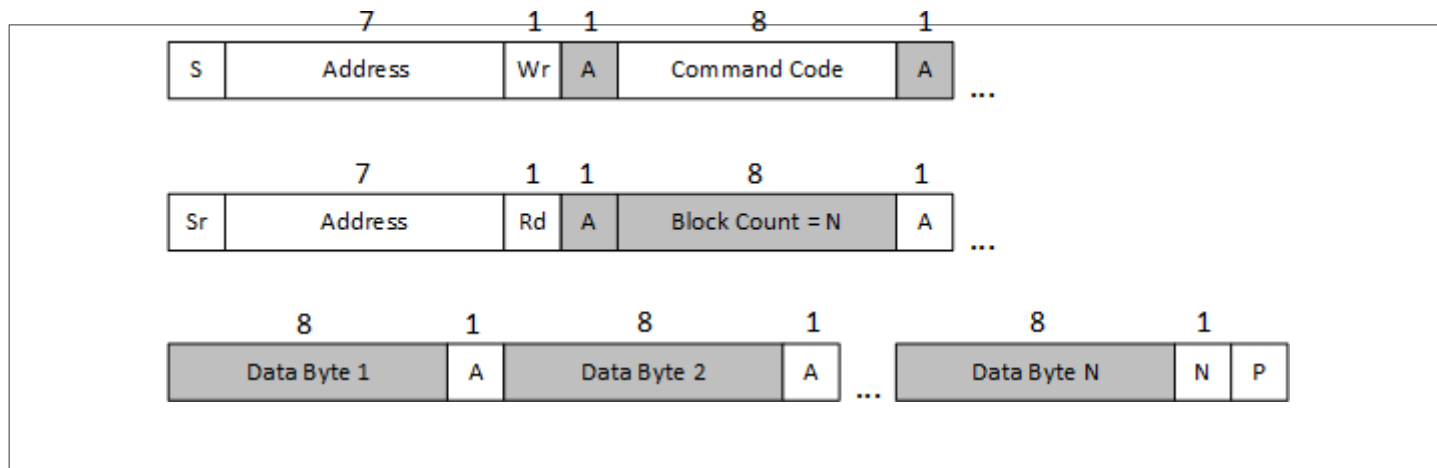


图 25 块读取

4 产品特性

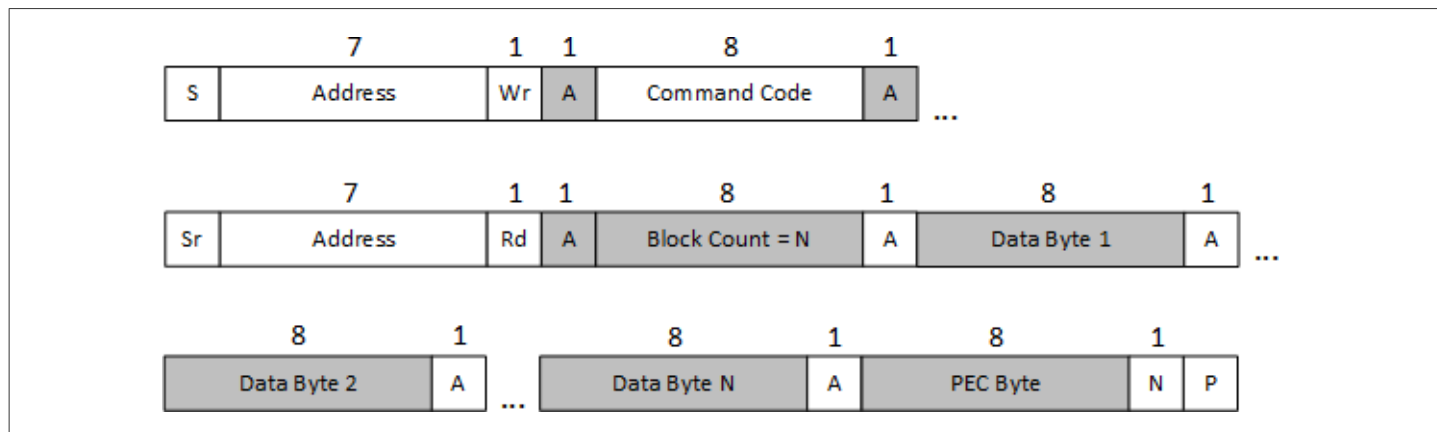


图 26 带 PEC 的块读取

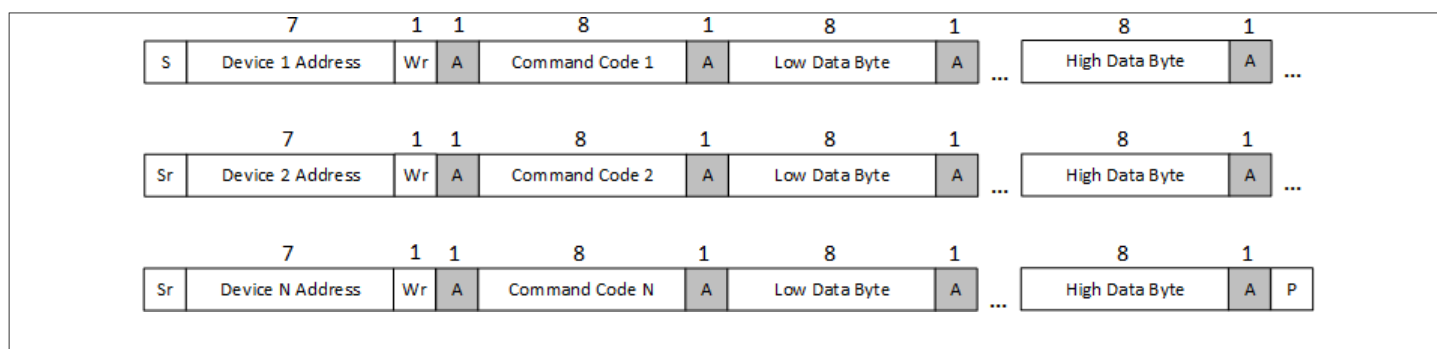


图 27 组命令协议

4 产品特性

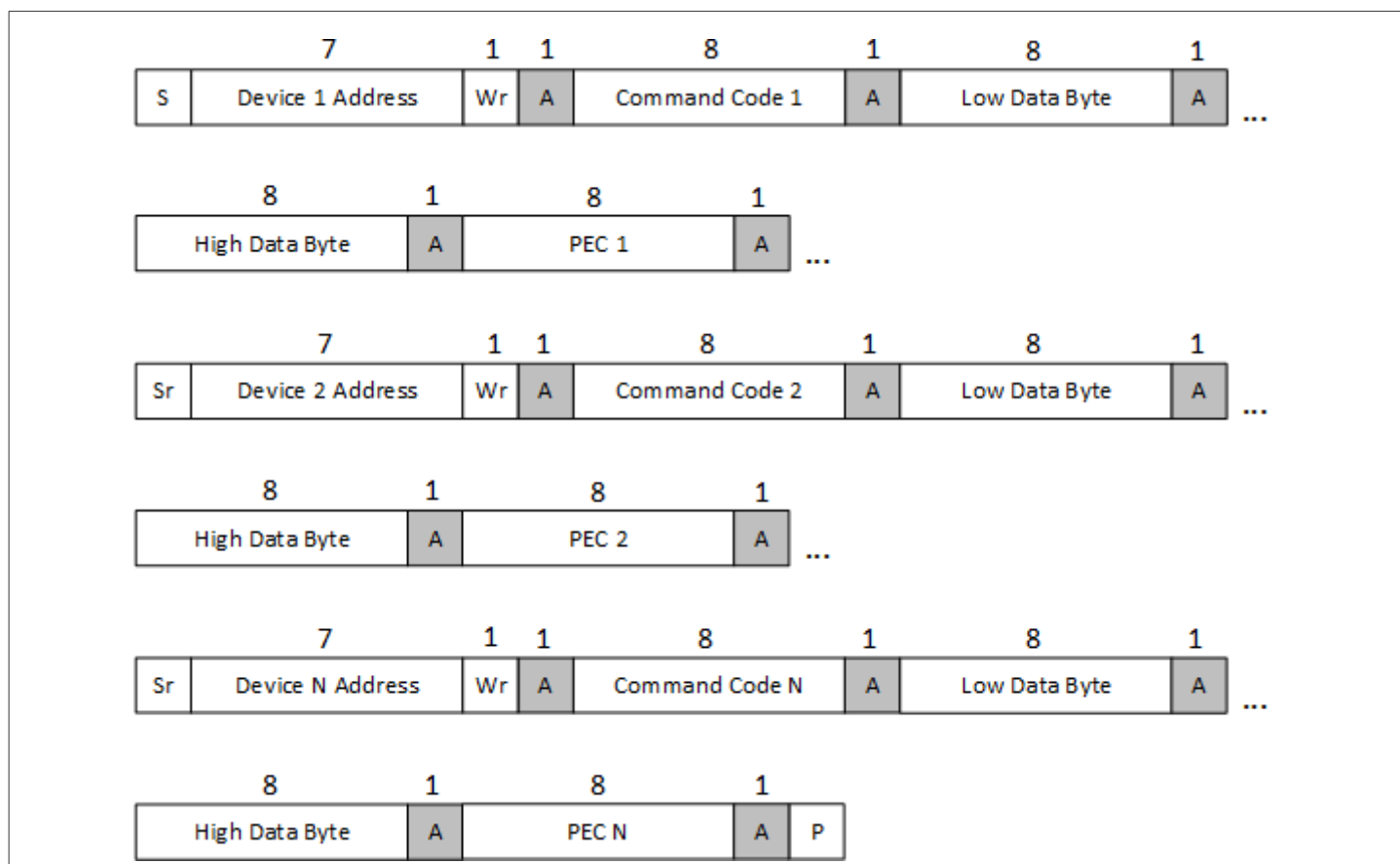


图 28 带有 PEC 警报响应地址的组命令

警报响应地址

XDP710 支持 SMBus 警报响应地址。如果有多个器件连接到同一总线，则这种方法可以让微控制器定位发出警报的器件。

1. 设备在 GPO1 或 GPO3 上发出 SMBALERT（取决于 GPO_CFG 命令配置）。这只是一个正常的故障信号。
2. 微控制器发送一个带有 READ 位“1”的特殊地址 0x0C（即 0x19）。
3. 设备以其自己的地址进行响应：
 - 如果多个设备响应，则地址最低的设备获胜并停用其警报。
4. 微控制器继续通过相同的过程处理所有警报，直到没有警报信号为止。

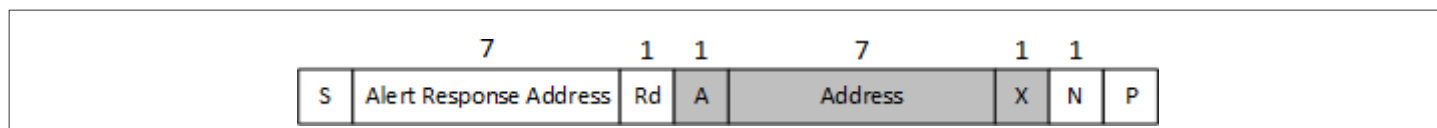


图 29 7 位可寻址器件响应 ARA

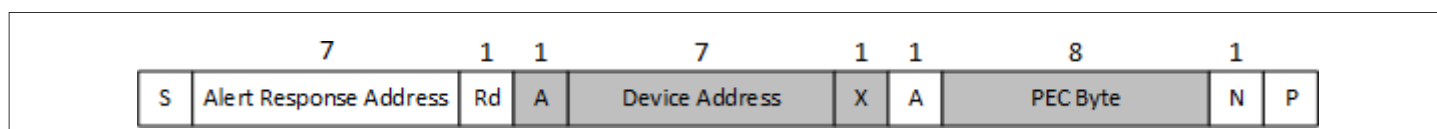


图 30 7 位可寻址器件通过 PEC 响应 ARA

4 产品特性

4.8 存储器

XDP710 具有三种类型的可编程存储器：

- 易失性存储器
- 一次性可编程
- 多次可编程 (MTP)

一次性可编程 (OTP) 存储器可用于修复和保存特定的命令设置。上电时，在 READ_CFG 状态下，OTP 存储器中保存的所有设置都被复制到易失性存储器中。OTP 存储器分为两个子部分：一个用于存储 PMBus 寄存器值，另一个用于存储用户定义的 SOA 数据 (SOA PMBus 命令)。

XDP710 包含 10 页 MTP，可实现多次可编程。当重新编程次数达到 10 (由 STATUS_MEM 命令中的 MTP_FULL 位指示) 时，电路将保留最新的编程值。该内存部分包含的命令是 I_SNS_CFG，它包含以下配置位：CS_RNG、CS_RNG_TRIM、SOC_FAULT_LIMIT 和 START_ILIM。

要在上电时对内部命令或 OTP 中的所需设置进行编程，必须遵循以下步骤：

- 在 VDD_VIN 引脚施加电压：
 - $\geq 5.5\text{V}$ 编程命令
 - $\geq 20\text{V}$ 来编程 OTP 或 MTP 存储器
- 保持 ISNS_P 引脚连接到为 VDD_VIN 引脚供电的输入电压源。通过 ISNS_P 检测输入电压电平，以确保该电平适合 OTP 编程。
- 保持 UV/EN 引脚处于芯片 GND 电位
- 一旦进入 STANDBY 状态，就可以通过 PMBus 进行通信。此时，可以对命令、OTP 或 MTP 内存进行编程。
- 为了成功编程，设备内部温度必须始终保持在 125°C 以下。要对 OTP 或 MTP 部分进行编程：
 1. 根据需要在易失性存储器中编写命令。
 2. 通过 WRITE_OTP 命令中的 SEL_SEC 位选择要编程的部分。
 3. 设置 WRITE_OTP 位。
 4. 命令配置会自动复制到选定的部分。

如果选择了 MTP 部分，XDP710 会自动定位最新的可用页面并对其进行编程。

PROG_BLOCK 和 OTP_FAIL 根据下表指示 OTP 和 MTP 存储器编程的状态：

表 30 OTP 编程状态

PROG_BLOCK	OTP_FAIL	Meaning
0	0	OTP, MTP or OTP SOA programming has succeeded if OTP_USER, MTP_USER or SOA_PRG bits are set. Otherwise, programming hasn't started.
0	1	OTP programming started but failed during programming because of OTP issue. Part must be discarded.
1	0	OTP programming must not be started since temperature or input supply are out of range.

(表格续下页.....)

表 30 (续) **OTP 编程状态**

PROG_BLOCK	OTP_FAIL	Meaning
1	1	OTP programming started but failed during programming because temperature or voltage going out of range during programming. Part must be discarded.

一旦编程完成，OTP_USER 位指示 OTP 内存已成功编程，而 MTP_USER 位指示 MTP 内存正在使用中。

编程之前，必须检查 PROG_BLOCK 以确定温度和 VIN 是否在范围内并且允许编程。PROG_BLOCK 实时指示温度和电压状态。如果在检查 PROG_BLOCK 之后但在编程开始之前，任何这些条件超出范围，编程将被阻止，PROG_BLOCK 将被设置并且 OTP_FAIL 将保持为 0。在阻止编程尝试之后，温度和电压可能会回到范围内，因此 PROG_BLOCK 将再次读取 0。因此，重要的是要记住，只要 OTP_USER 和 OTP_FAIL 为 0，仍然可以对 OTP 进行编程。

如果编程期间温度和电压条件超出范围，则操作后 OTP_FAIL 将指示编程不成功。如果温度和电压回到正常范围，PROG_BLOCK 将再次读取 0，并且只有 OTP_FAIL 表示编程失败。

5 应用信息

5.1 典型应用原理图

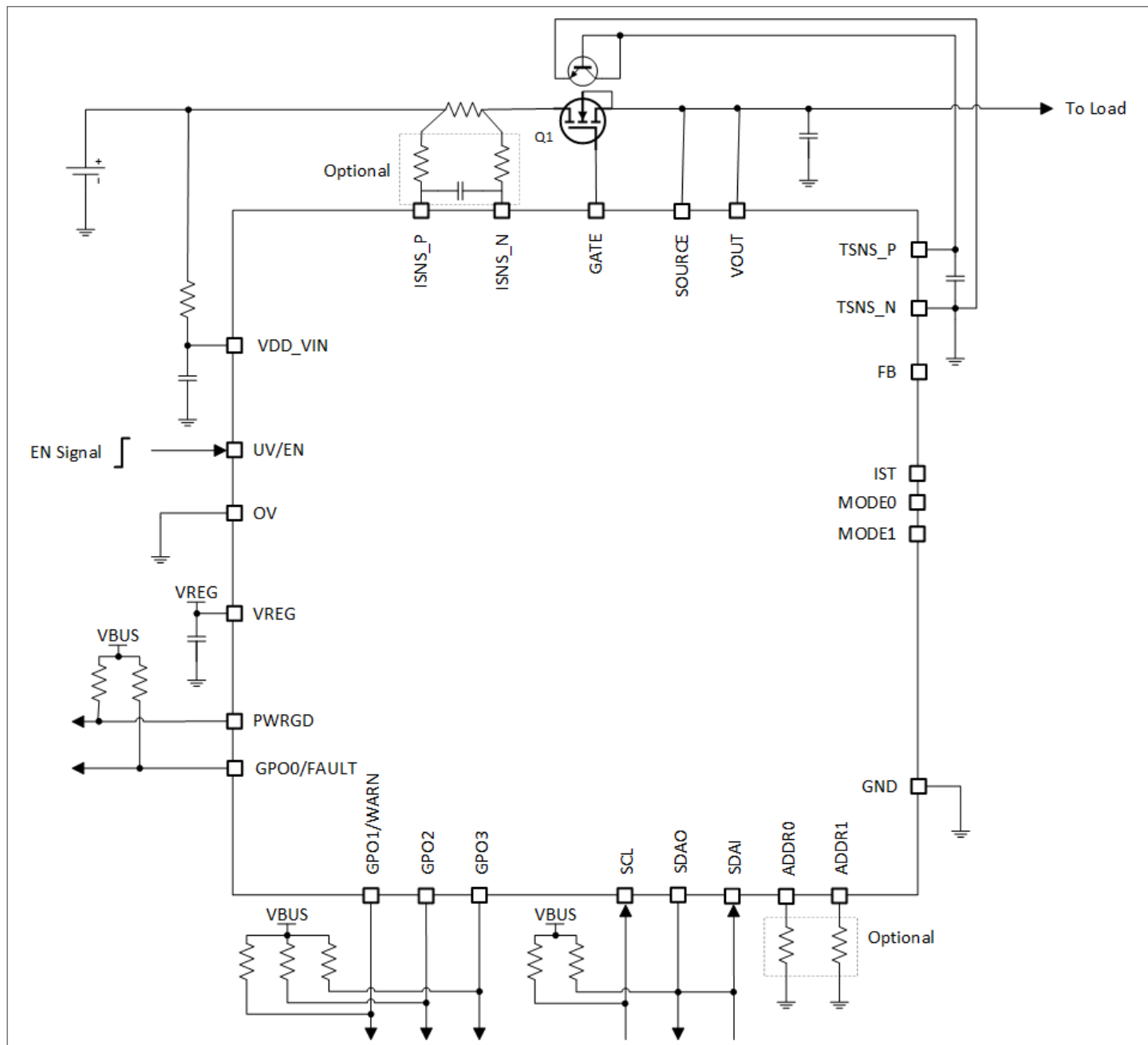


图 31 全数字模式 DCM (MODE:MODE=0x1) 应用原理图

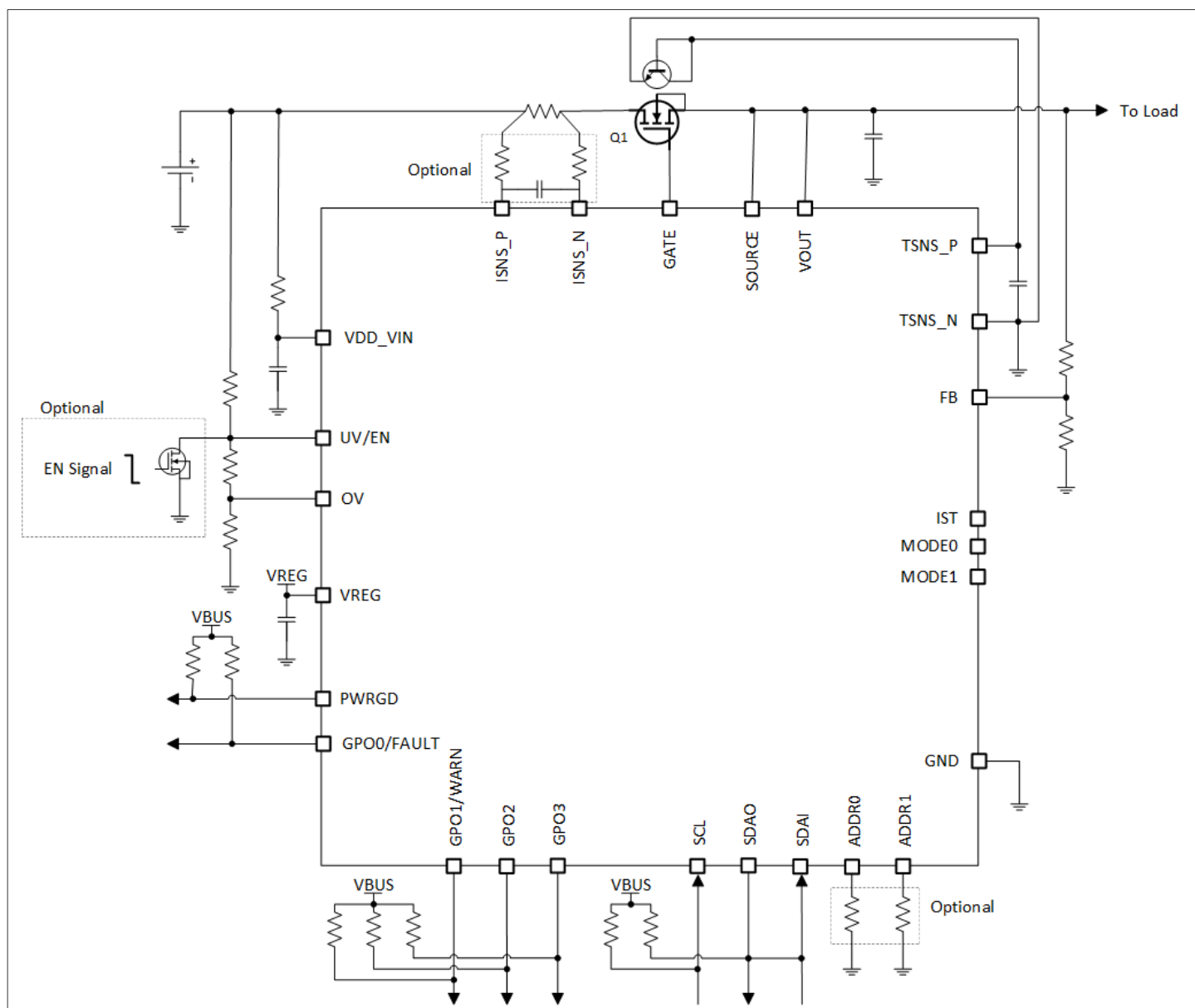


图 32 全数字模式 ACM (MODE:MODE=0x0) 应用原理图

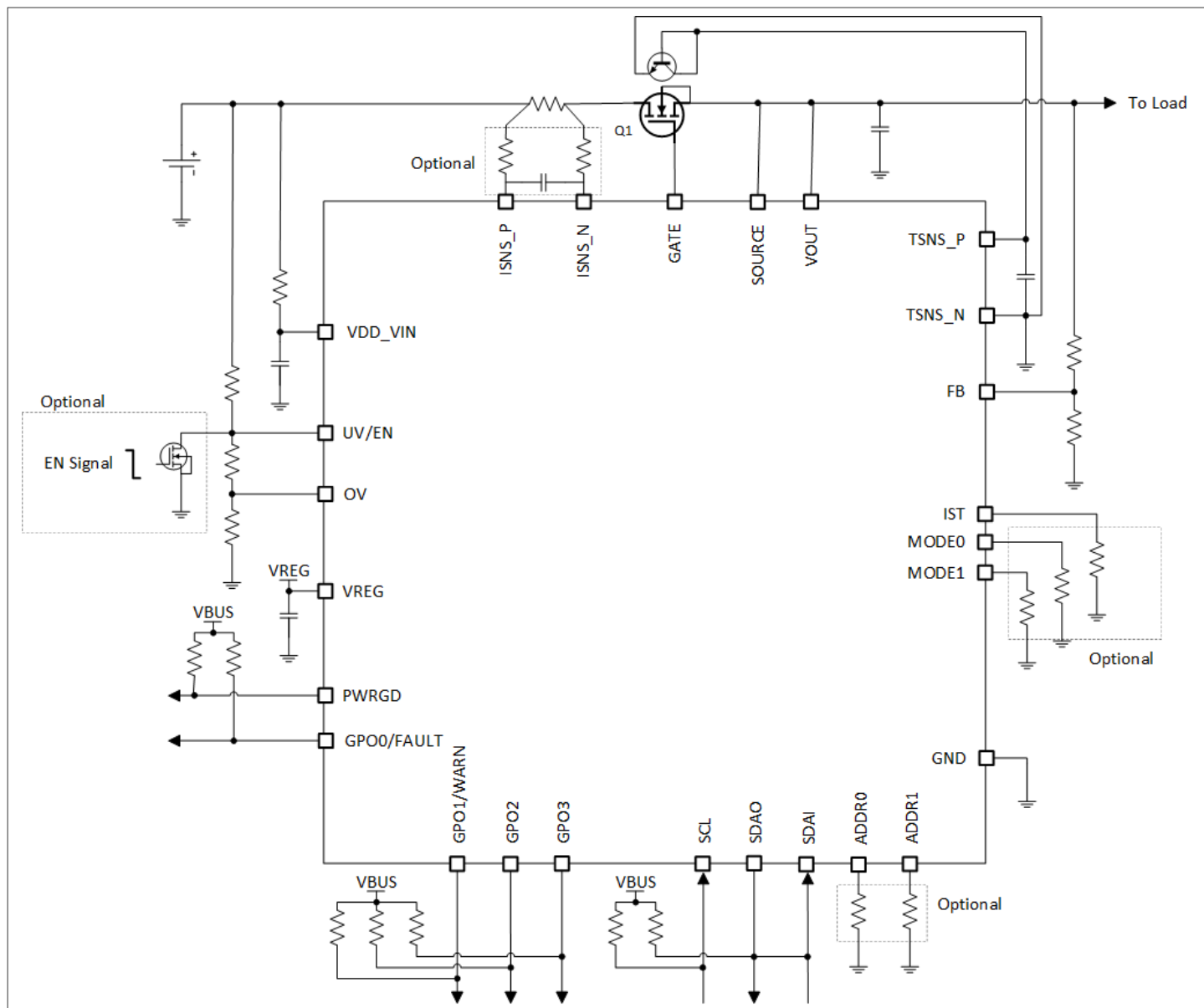


图 33 模拟辅助数字模式应用原理图

5.2 设置 I_{OC}

过流 (I_{OC}) 限制通过编程 ISNS_P 和 ISNS_N 引脚 V_{SNS_CS} 之间的最大允许电压降来设置。该电压可编程为 12.5 mV、25 mV、50 mV 或 100 mV。

对于大电流应用来说，较低的电压更为方便，反之亦然。较低的电压还具有降低电阻器功率耗散的优势。由于 ADC 分辨率，更高的电压有助于提高测量的准确性。

要选择电流检测分流电阻 R_{SNS} 请计算：

$$R_{SNS}(m\Omega) = \frac{V_{SNS_CS}(mV)}{I_{OC}(A)}$$

公式 5

其中 I_{OC} 是期望/允许的最大恒定 OC 电流，单位为安培。

5 应用信息

一旦计算出电阻，就必须从 REG_CFG 命令的 RSNS[5:0] 位描述中提供的列表中选择其值。必须在这些位中相应地设置其值。为了降低功耗并获得最佳调节性能，检测电阻值必须在 0.2 mΩ 和 10 mΩ 之间。

电流检测ADC设计用于检测最大83.3 A电流。选择检测电阻值时必须小心，以免超过此限值。除了V_{SNS_CS}电平外，还可以通过CS_RNG_TRIM[7:0]位根据以下公式调整电流限值：

$$LIMIT = \frac{I_{OC_TRIMMED} * R_{SNS} * 180.31}{V_{SNS_CS}}$$

公式 6

其中 LIMIT 是命令中要编程的十进制值，I_{OC_TRIMMED}是所需的电流限制值（以安培为单位），R_{SNS}是所选电流检测电阻的值（以 mΩ 为单位），V_{SNS_CS}是编程的 OC 值（以 mV 为单位）。

注意：为了实现最佳稳定性运行，I_{OC} 必须 ≥ I_{OC_MIN}。如果需要低于此值的电流限值，可以通过 CS_RNG_TRIM[7:0] 位进行调整。下表列出了每种 V_{SNS_CS} 设置下建议的最小和最大检测电阻值：

表 31 建议的最小和最大检测电阻值

VSNS_CS	Min R _{SNS} (mΩ)	Equivalent I _{OC} with Min R _{SNS} (A)	Max R _{SNS} (mΩ)	Equivalent I _{OC} with Max R _{SNS} (A)
12.5	0.2	62.5	2.5	5
25	0.3	83.3	5	5
50	0.6	83.3	10	5
100	1.2	83.3	10	10

5.3 在 ACM 中设置 OV、UV 和 OUV

OV 和 UV 值通过三电阻分压器设置，如下图所示：

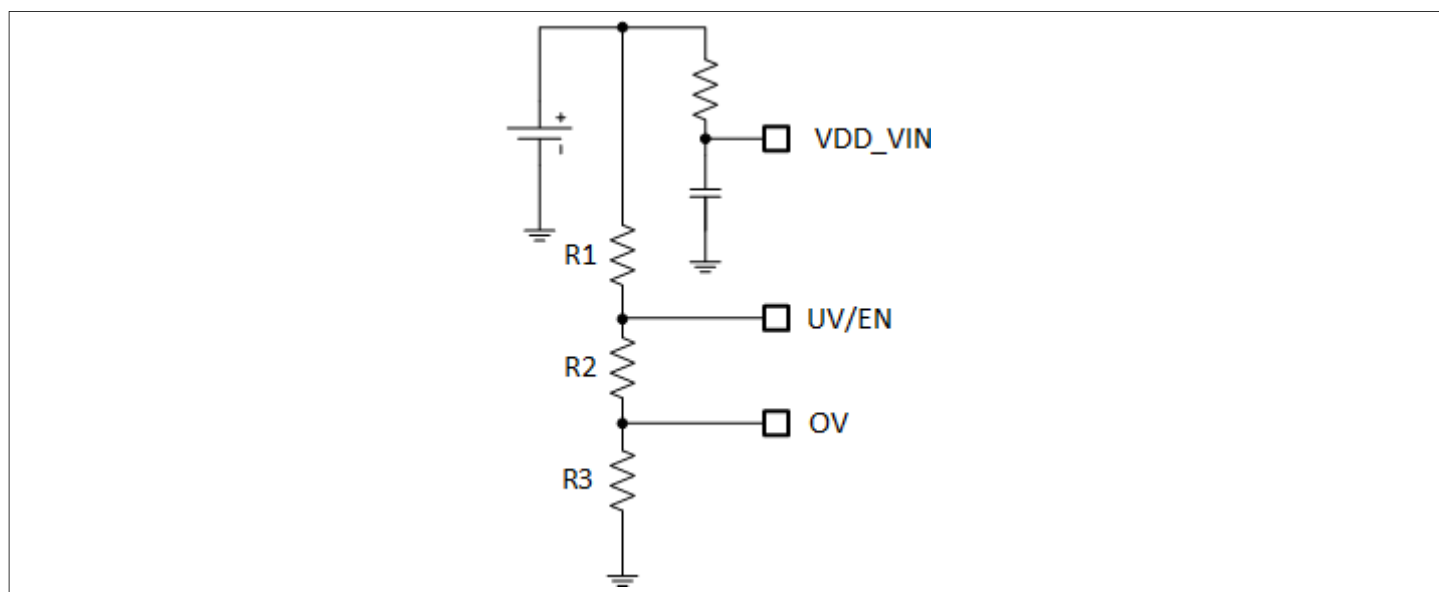


图 34 在 ACM 中设置 OV 和 UV

使用以下公式根据特定应用参数计算电阻值：

$$R3 = \frac{R_{TOTAL} * OV_{REF}}{V}$$

公式 7

$$R2 = \frac{R_{TOTAL} * UV_{REF}}{V_{UV}} - R3$$

公式 8

$$R1 = R_{TOTAL} - R2 - R3$$

公式 9

其中, V_{OV} 和 V_{UV} 分别为所需的 OV 和 UV 电平, $OV_{REF} = V_{OV_UTH}$, $UV_{REF} = V_{UVEN_LTH}$, R_{TOTAL} 则是在所需电流流过 (通常为数百微安) 后计算得出。

必须小心避免超过 OV 或 UV 引脚的最大电压水平。

输出欠压 (OUV) 功能可监控输出电压, 并在由于 FET 栅极到漏极漏电、 R_{DSON} 性能下降或电流调节导致 FET V_{DS} 过高而导致输出电压下降时进行检测。

FB 引脚有一个内部比较器, 其基准 V_{REF} 为 1.11V, 滞后为 50mV。

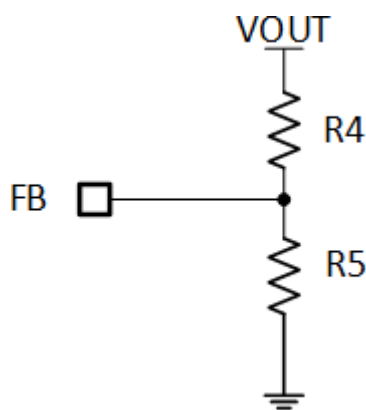


图 35 在 ACM 中设置 OUV

要设置允许的最小输出电压, 请选择 100kΩ 左右的 R4, 然后计算 R5:

$$R5 = \frac{V_{REF} * R4}{OUV - V_{REF}}$$

公式 10

其中, OUV 是允许的最小输出电压。

5.4 在 AADM 中设置 MODE1/0 引脚的电压

要在 MODE1/0 引脚上设置所需电压，请通过将所需电压除以引脚电流 ($100 \mu A \pm 7\%$) 来选择从相应引脚到 GND 的电阻。

由于电压范围较宽，可以使用5%公差电阻：

表 32 设置 MODEx 引脚电压

Voltage (V)	MODE1/0 pin resistor (k Ω)
1.2	12
2.0	20

5.5 设置 ADDR1/0 引脚的电压

要设置 ADDR1/0 引脚上的电压，请通过将所需电压除以引脚电流 ($100 \mu A \pm 7\%$) 来选择从相应引脚到 GND 的电阻。

由于电压范围较宽，可以使用5%公差电阻：

表 33 设置 ADDRx 引脚电压

Voltage (V)	ADDR1/0 pin resistor (k Ω)
1.2	12
2.0	20

5.6 处理 VREG 引脚的外部电流

内部 LDO 为内部电路提供 5 V (典型值) 电源，也可用作通信上拉电阻的电压参考。

其向外部电路供电的电流能力为 10 mA。确保不超过封装最大功耗 P_{PAK} 。

计算外部负载产生的额外功率：

$$P_{REG_EXT} = ABS(VDD_VIN - VREG) * i_{REG}$$

公式 11

因此，对于 48 V 输入应用 (其中 $VDD_VIN = 48 V$ ，相对于 GND)， $VREG = 5 V$ 上的负载为 10 mA：

$$P_{REG_EXT} = ABS(48V - 5V) * 10mA = 430mW$$

公式 12

其余电流损耗来自控制器的电路。

为了将封装功耗保持在 P_{PAK} 范围内，为了限制并允许 LDO 外部负载带来的额外功耗，在高输入电压应用中，可能需要在 VDD_VIN 引脚处使用分流电阻。这有助于避免超过 P_{PAK} 限制：

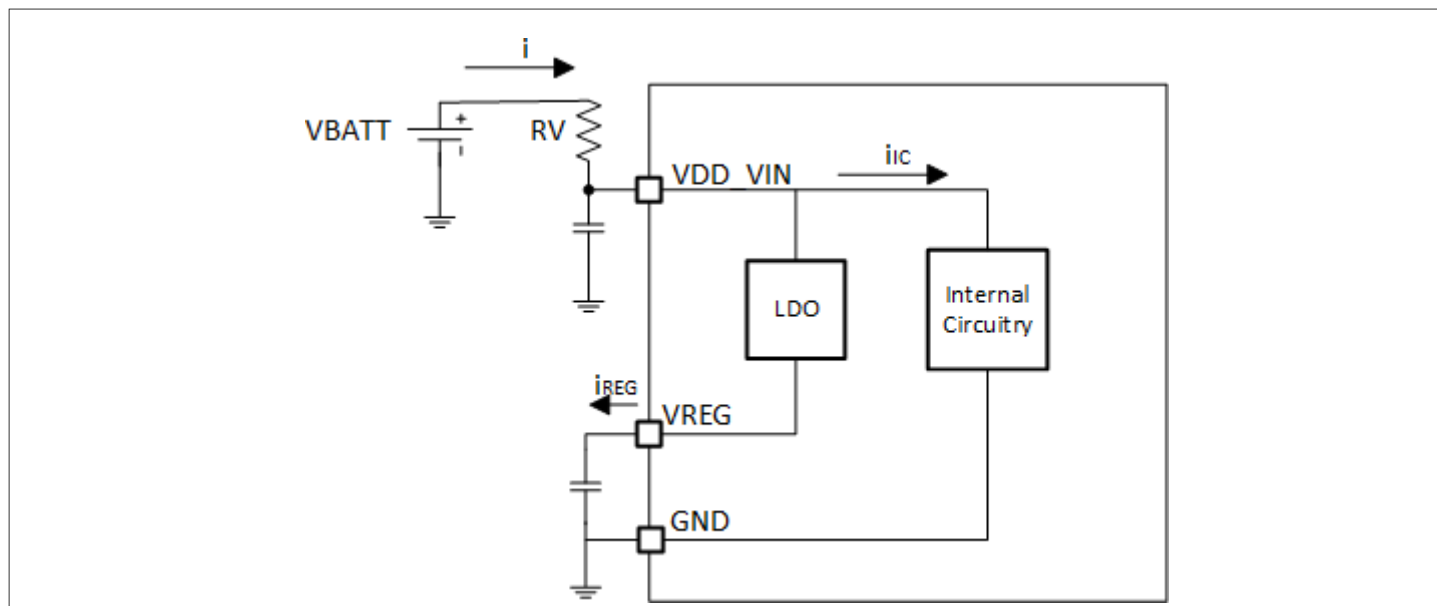


图 36 处理 VREG 引脚上的外部电流。

计算 RV:

$$RV = \frac{P_{TOT} - P_{PAK}}{i^2} = \frac{VBATT}{i} - \frac{V_{REG} \times i_{REG} + P_{PAK}}{i^2}$$

公式 13

此公式中:

$$P_{TOT} = VBATT \times i - V_{REG} \times i_{REG}$$

公式 14

且 $P_{PAK} = 0.8\text{ W}$, $V_{REG} = 5\text{ V}$ (典型值), i_{REG} 是外部电路的预期电流损耗, 由 V_{REG} 和 i 是 $VBATT$ 供电的整个设备的预期电流损耗。

因此, 对于预期最大内部电流损耗 (i_{IC}) 为 10 mA 的情况:

$$i = i_{IC} + i_{REG} = 10\text{ mA} + 10\text{ mA} = 20\text{ mA}$$

公式 15

$$RV = \frac{VBATT}{i} - \frac{V_{REG} \times i_{REG} + P_{PAK}}{i^2} = \frac{48\text{ V}}{20\text{ mA}} - \frac{5\text{ V} \times 10\text{ mA} + 0.8\text{ W}}{(20\text{ mA})^2}$$

公式 16

电阻消耗的功率为:

$$P_{RV} = i^2 \times RV = (20\text{ mA})^2 \times 275\Omega = 0.11\text{ W}$$

公式 17

注意: 电阻 RV 计算结果为负值, 表示封装总功耗 P_{PAK} 未被超过。在这种情况下, 不需要 RV。

5 应用信息

为了保护 XDP710, 如果芯片温度超过 $163 \pm 10^{\circ}\text{C}$, VREG 就会关闭。因此, 无法进行通信, 并且 FAULT、WARN、PWRGD 和 GPO 的状态不可靠。

特别注意事项:

- RV 必须限制为最大 $1\text{K}\Omega$ 。
- 如果使用 RV, 则必须从 VDD_VIN 到 GND 连接一个 100nF 电容。
- 如果希望对 OTP 进行编程, 则必须注意将必要的电压 (20V) 直接施加在 VDD_VIN 引脚上, 同时考虑到 RV 上的电压降。

5.7 ISNS 输入过滤器

在噪声或高 dV/dt 应用中, 建议使用从 RSNS 到 ISNS_P 和 ISNS_N 引脚的输入滤波器, 如下图所示。

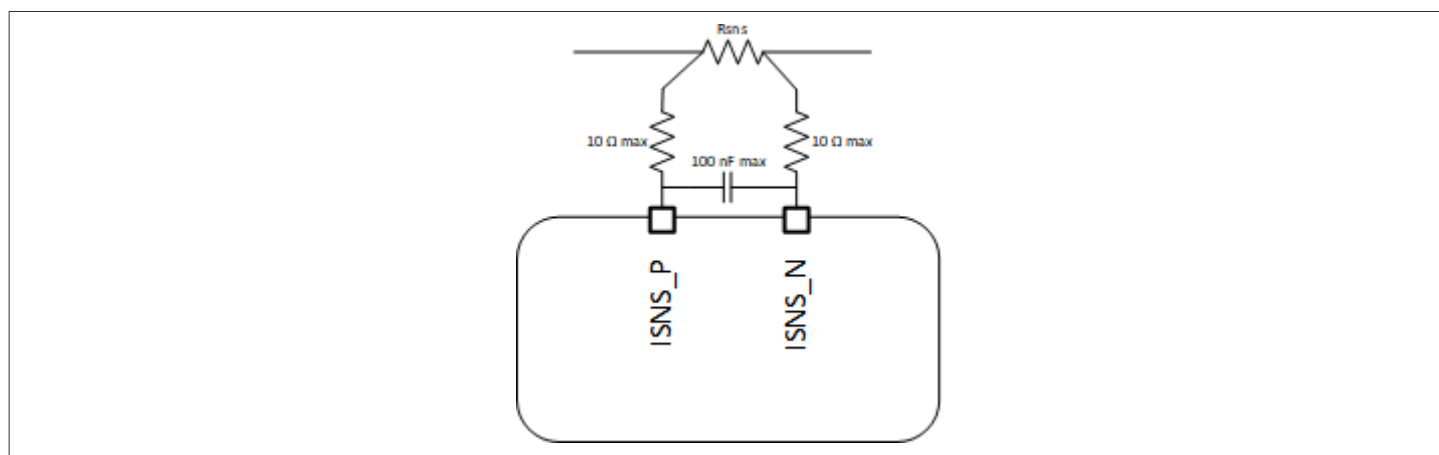


图 37 ISNS输入过滤器

5.8 FET 选择考虑因素

由于英飞凌线性场效应晶体管 (FET) 的栅极电流在 125°C 以上时会增加, 因此其与 XDP710 的兼容性仅限于此温度水平。确保线性 FET 的结温不超过该值, 并相应地设置相应的温度保护。

选择 FET 时, 必须遵循以下准则:

- FET 的平台电压必须低于 XDP710 的增强检测水平 (通常为 7.8V)。
- FET 的 SOA 和系统输入电压将决定输出电容器的充电电流, 从而决定启动时间。宽阔的 SOA 将意味着更快的启动时间。如果需要特定的启动时间, 则必须小心选择具有允许该启动时间的 SOA 的 FET。
- 在连续 SOA 调节启动模式下, 控制环路的最小电流调节能力为 0.25A 。任何低于此值的 FET 目标 I_{SOA} 值都将被向上舍入。因此, 例如, 如果某个 FET 的 SOA 规定在 V_{DS} 为 48V 时最大电流 I_{D} 为 0.1A , 则该电流将被调节至 0.25A , 从而违反了 SOA 规定。建议 FET 在其 SOA 的任何点都能承受 0.25A 的最小电流。或者, 也可以使用升压模式来开启弱 FET。
- 如果使用多个并联的 FET, 则它们的 SOA 不能除以 FET 的数量, 而必须对单个 FET SOA 进行编程。必须考虑并联才能降低 R_{dson} 。
- 在系统中使用线性 FET 时, 必须停用 IREG 功能。换句话说, SOAR_TMR 必须设置为 0。
- 在 FET 上电时, 环路对 V_{gs} 的控制可能会因达到 FET 的平台水平而受到影响, 但 FET 的电流继续受到限制, 并且 SOA 目标遵循 FET 的 V_{ds} 。对于 LinearFET 来说, 这一点更加明显。对于线性场效应晶体管 (LinearFET), 建议以在调节阶段结束时 V_{gs} 低于平台水平的方式设置启动电流限制 IST。它将确保顺利的启动行为。对于具有标准 FET 的 OC 级别同样有效, 以确保正确的电流调节。
- 低 Z_{thjc} 有助于线性模式下的功率耗散。
- 低零温度系数 (ZTC) 点避免在热不稳定区域停留太长时间。

5 应用信息

5.9 根据“真实世界”值计算 PMBus 直接格式限值，反之亦然

5.9.1 电压

使用 PMBus 遥测中指定的公式和系数，电压限值计算非常简单。以 VIN_OV_FAULT_LIMIT 为例。

系统特点及配置：

VTLM_RNG = 88V

根据 VTLM_RNG 值，从系数表中得出：m = 4653

b = 0

R = -2

对于 64 V 的 VIN_OV_FAULT_LIMIT，适用以下公式：

$$Y = (mX + b) * 10^R$$

公式 18

$$Y = (4653 * 64 + 0) * 10^{-2}$$

公式 19

$$Y = 2978 = 0xBA2$$

公式 20

因此，VIN_OV_FAULT_LIMIT 中要编程的值为 0xBA2。

为了将 PMBus 直接格式转换为“真实世界”值，我们假设 READ_VIN 命令中来自 ADC 的值为 0x8B9 = 2233 十进制。

系统特性、配置和系数与上述相同。公式如下：

$$X = \frac{1}{m} * (Y * 10^{-R} - b)$$

公式 21

$$X = \frac{1}{4653} * (2233 * 10^2 - 0)$$

公式 22

$$X = 48V$$

公式 23

5.9.2 电流

表 29 中的值被标准化为 1 mΩ 电阻。因此，要转换为 PMBus 直接格式值，必须将结果除以检测电阻的阻值（以 mΩ 为单位）。要转换为“实际”值，则必须将结果乘以 1 mΩ。例如，如果 IOOUT_OC_WARN_LIMIT 的期望值为 35 A：

XDP710-002 热插拔控制器

宽输入电压范围 (5.5 V 至 80 V) 系统监控和保护 IC



5 应用信息

系统特性和配置：

$R_{sns} = 0.5 \text{ m}\Omega$

$V_{SNS_CS} = 12.5 \text{ mV}$

根据 V_{SNS_CS} 值，系数为：

$m = 23165$

$b = 0$

$R = -2$

为了获得极限值，应用以下公式：

$$Y = ((mX + b) * 10^R) * R_{sns}(m\Omega)$$

公式 24

$$Y = ((23165 * 35 + 0) * 10^{-2}) * 0.5$$

公式 25

$$Y = 4054 = 0x\text{FD}5$$

公式 26

因此必须在 `IOUT_OC_WARN_LIMIT` 中编程值 `0x\text{FD}5`。

类似地，从 `READ_IOUT` 中的 ADC 读数获取“真实世界”值。假设读数是 `0x\text{910}` = 十进制 2320。公式如下：

$$X = \frac{\frac{1}{m} * (Y * 10^{-R} - b)}{R_{sns}(m\Omega)}$$

公式 27

$$X = \frac{\frac{1}{23165} * (2320 * 10^2 - 0)}{0.5}$$

公式 28

$$X = \frac{10}{0.5} = 20A$$

公式 29

`READ_IOUT_RMS` 是一个 16 位字段，因此系数不同：

$m = 20808$

$b = 0$

$R = -2$

如果 ADC 读数为 `0x\text{1048}` = 十进制 4168，则“真实世界”值按如下方式获得：

$$X = \frac{\frac{1}{20808} * (4168 * 10^{-2} - 0)}{0.5}$$

公式 30

$$X = \frac{20}{0.5} = 40A^2$$

公式 31

5.9.3 功率

输入功率等于输入电压乘以电流。功率系数也标准化为 1 mΩ，因此也需要乘以或除以检测电阻值（以 mΩ 为单位），才能分别获得直接格式或“实际”值。

如果希望 PIN_OP_WARN_LIMIT 的值为 1100 W：系

统特性和配置：

VTLM_RNG = 88 V

Rsns = 0.5 mΩ

V_{SNS_CS} = 12.5 mV

基于这些，系数为：

m = 4211

b = 0

R = -2

为了获得限制，应用以下公式：

$$Y = ((mX + b) * 10^R) * Rsns(m\Omega)$$

公式 32

$$Y = ((4211 * 1100 + 0) * 10^{-2}) * 0.5$$

公式 33

$$Y = 23159 = 0x5A77$$

公式 34

因此必须在 PIN_OP_WARN_LIMIT 中编程值 0x5A77。

功率读数可以是 16 位 (READ_PIN) 或 24 位 (READ_PIN_EXT)。对于 READ_PIN 来说，系数与 PIN_OP_WARN_LIMIT 指定的系数相同。因此，如果 READ_PIN 的读数为 0xCD9A = 十进制 52634，则应用以下公式：

$$X = \frac{\frac{1}{m} * (Y * 10^{-R} - b)}{Rsns(m\Omega)}$$

公式 35

$$X = \frac{\frac{1}{4211} * (52634 * 10^2 - 0)}{0.5}$$

公式 36

$$X = 2500W$$

公式 37

如果需要24位功率读数 (READ_PIN_EXT)，则基于上面指定的系统特性和配置的相应系数为：

$$m = 10780$$

$$b = 0$$

$$R = 0$$

对于 0xB4EE53 = 11857491 十进制读数的示例，公式变为：

$$X = \frac{\frac{1}{10780} * (11857491 * 10^0 - 0)}{0.5}$$

公式 38

$$X = 2200W$$

公式 39

5.9.4 温度

温度计算也很简单，只需要将系数应用到公式中。如果希望 OT_FAULT_LIMIT 为 150°C，则相应的系数为：

$$m = 52$$

$$b = 14321$$

$$R = -1$$

应用直接格式公式，可得到：

$$Y = (mX + b) * 10^R$$

公式 40

$$Y = (52 * 150 + 14321) * 10^{-1}$$

公式 41

$$Y = 2212 = 0x8A4$$

公式 42

因此必须在 OT_FAULT_LIMIT 中编程值 0x8A4。

注意： OT_FAULT_LIMIT 的编程范围为 -273°C (0x000) 至 512°C (0xFFFF)。必须注意在 FET 工作温度范围内进行编程。

通过求解 X 方程，将 READ_TEMPERATURE_1 的读数转换为“真实世界”。如果读数为 0x7A0 = 十进制 1952：

$$X = \frac{1}{m} * (Y * 10^{-R} - b)$$

公式 43

$$X = \frac{1}{52} * (1952 * 10^1 - 14321)$$

公式 44

$$X = 100^{\circ}\text{C}$$

公式 45

5.9.5 能量

能量是基于16位功率来计算的，因此应使用相同的系数。需要对 READ_EIN 寄存器进行两次读取。由于能量是功率乘以时间，因此还需要知道样本之间的时间。

在以下示例中，系统特性和配置为：

VTLM_RNG = 88V

Rsns = 0.5 mΩ

V_{SNS_CS} = 12.5 mV

基于这些，从 表 29 中，系数为：

m = 4211

b = 0

R = -2

读取的样本为：

表 34 能量读取样本

	First Sample		Second Sample	
	Hex	Dec	Hex	Dec
SAMPLE_COUNT	1000	4096	3DC7	15815
ROLLOVER_COUNT	10	16	FF	255
ENERGY_COUNT	01FF	511	1FAC	8108

首先，通过从第二个样本中减去第一个样本的 ENERGY_COUNT 来计算功率差。请注意，ENERGY_COUNT 与 ROLLOVER_COUNT 连接在一起：

$$\text{Power difference} = 0xFF1FAC - 0x1001FF = 0xEF1DAD$$

公式 46

下一步是通过减去两个样本的 SAMPLE_COUNT 来计算 SAMPLE_COUNT 差值：

$$\text{Sample count difference} = 0x3DC7 - 0x1000 = 0x2DC7 = 11719d$$

公式 47

然后通过将功率差除以样本数差来计算每个样本的平均功率：

$$\text{Average power} = \frac{0xEF1DAD}{0x2DC7} = 0x539 = 1337d$$

公式 48

现在可以使用 PMBus 直接格式公式来确定 X：

$$X = \frac{\frac{1}{m} * (Y * 10^{-R} - b)}{Rsns(m\Omega)}$$

公式 49

$$X = \frac{\frac{1}{4211} * (1337 * 10^2 - 0)}{0.5}$$

公式 50

$$X = 63.5W$$

公式 51

可以测量或计算样本之间的时间。XDP710 ADC 转换率为 102.4 μ s。这也是获取能量样本所需的时间，因此可以通过将 SAMPLE_COUNT 差值乘以 102.4 μ s 来确定样本之间的时间：

$$11719 * 102.4\mu s = 1.2s$$

公式 52

最后，能量由功率乘以时间来确定：

$$E = 63.5W * 1.2s$$

公式 53

$$E = 76.2J$$

公式 54

5.10 布局指南

设计 XDP710 PCB 时应遵循以下准则：

- XDP710 的最大供电电流为 10 mA。电源引脚 VDD_VIN 处的走线不需要那么粗。
- VREG 电容必须紧靠 VREG 引脚。
- I2C 线路需要 50 Ω 的单端受控阻抗。因此，必须相应地调整它们的宽度。
- TSNS 滤波电容器必须紧邻 TSNS 引脚放置。
- 如果使用，TSNS BJT 应放置在 FET 旁边或要感测的点旁边。最好将传感器放置在 FET 封装最热部分的旁边。就我们的 D2PAK FET 而言，芯片附着在封装底部的漏极垫上，因此在高功率耗散的情况下，这一部分会变得更热。
- 保持栅极走线尽可能短，以减少寄生效应。该走线和源极必须能够处理 1.5 A 电流，该电流将流过它们以便在发生快速关断事件时对 FET 的栅极进行放电。
- ISNS 滤波电容器也必须放置在 ISNS 引脚的旁边。
- 裸露焊盘必须通过多个过孔与 GND 牢固连接。
- 需要处理最大电流量的路径从输入电压源开始，通过检测电阻器、FET 和输出电容器到达负载，包括其相应的返回路径到地。确保此路径足够强大，能够支持系统所需的当前级别。
- ISNS 线必须直接连接到检测电阻的检测引脚，与电源层分开。
- 将 SOURCE 引脚直接连接到场效应管的源极，与 Vout 平面分开。这可能是一条细细的痕迹。VOUT 引脚可以用一条细线直接连接到 Vout 平面。

6 订购信息

表 35 订购信息

Basic part number	Orderable part number	Description
XDP710-002	XDP710002XUMA1	Positive input voltage hot-swap controller.

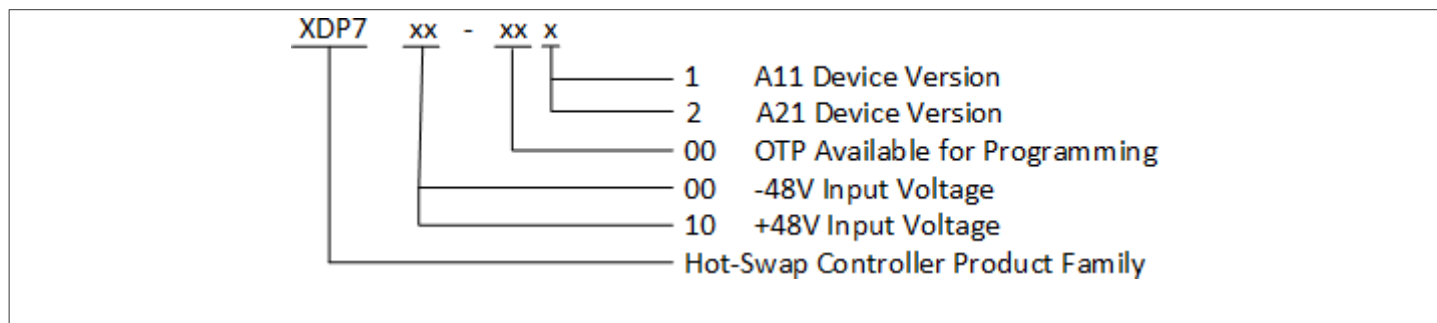


图 38 命名规则

7 修订记录

Revision	Date	Subjects (major changes since last revision)
1.1	2025-09-30	Updated MOSFET's Power-up section
1.0	2024-01-15	First release.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。

版本 2026-04-20

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com