



### 特性

- **可配置保护**
  - 自适应 FOD
  - 过流保护 (OCP)、过压保护 (OVP)
  - 通过集成ADC电路和内部温度传感器支持过温保护
- **温度范围**
  - 扩展工业温度: -40°C 至 +105°C
- **封装**
  - 68 引脚 QFN 8.0 × 8.0 × 0.65 毫米 LD68B 5.7 × 5.7 毫米 EPAD

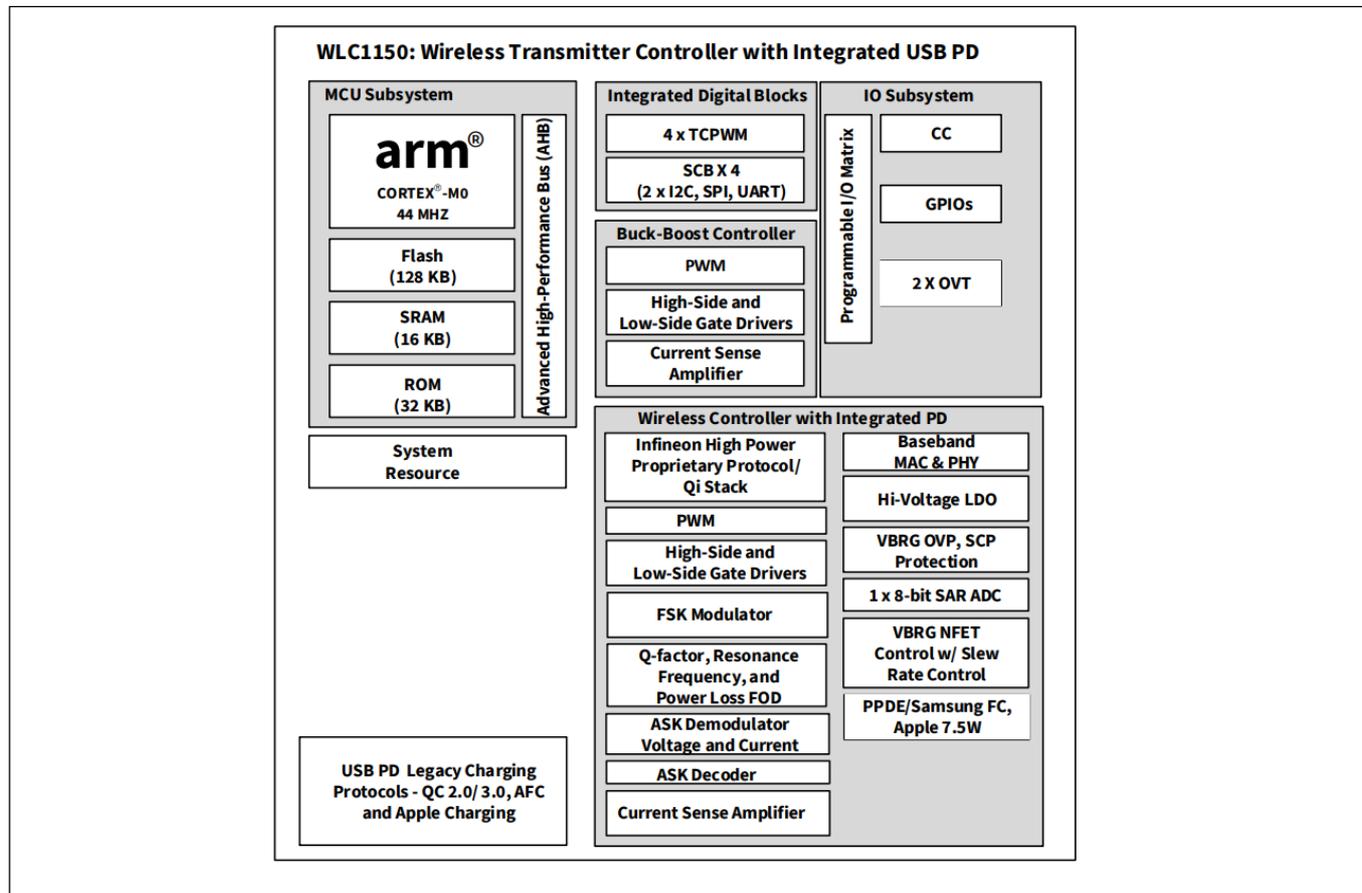
## 潜在应用

- 采用功率专有协议的无线充电板 (50W)
- 工业无线充电应用
- 吸尘器、机器人和无人机
- 家具和家居用品
- 扩展坞
- 带 Qi EPP 的智能手机充电器 (最高 15W)

## WCL1150

逻辑框图

### 逻辑框图



#### 注释:

2. 客户需要自行获取三星 FC 的许可。

## 目录

概述.....	1
特性.....	1
潜在应用.....	2
逻辑框图.....	3
目录.....	4
1 集成降压控制器的单级 50W 发射器解决方案, 适用于风扇电源.....	5
2 集成降压-升压控制器的双级 50W 发射器解决方案.....	6
3 引脚信息.....	7
4 电气规格.....	12
4.1 绝对最大额定值.....	12
4.2 器件级规范.....	15
4.3 直流规格.....	15
4.4 数字外设.....	19
4.5 系统资源.....	20
5 功能概述.....	25
5.1 无线功率发射器.....	25
5.2 英飞凌高功率专有协议操作和协议.....	25
5.3 无线充电系统控制.....	26
5.4 从 Tx 到 Rx 的通信- FSK.....	28
5.5 从 Rx 到 Tx 的通信- ASK.....	28
5.6 解调.....	29
5.7 输入功率.....	29
5.8 逆变器和占空比控制.....	31
5.9 Rx 检测.....	32
5.10 降压/降压-升压 稳压器.....	34
5.11 降压/降压-升压操作模式.....	35
6 编程 WCL1150 设备.....	38
6.1 通过 SWD 接口对设备闪存进行编程.....	38
7 订购信息.....	39
7.1 订购代码定义.....	39
8 封装.....	40
9 封装图.....	41
10 缩略语.....	42
11 文档惯例.....	44
11.1 测量单位.....	44
修订记录.....	45

## WCL1150

集成降压控制器的单级 50W 发射器解决方案，适用于风扇电源

# 1 集成降压控制器的单级 50W 发射器解决方案，适用于风扇电源

图 1 展示了 WCL1150 的典型应用，该应用基于 MP-A2 发射线圈，具有频率和占空比控制功能，可用于无线电源发射器。系统输入电源通过 Type-C PD 适配器或 DC 20V 电源供电，为逆变器、IC 和降压转换器供电。降压转换器为风扇和 WCL1150 供电。WCL1150 控制逆变器频率和占空比，以调节流向发射器线圈的功率，从而为接收器供电。WCL1150 提供基于集成电压和电流信号的幅移键控 (ASK) 解调器和解码功能，并支持外部双运算放大器。OPTIGA™ Trust Security IC 通过 I2C 接口连接，以满足 Qi 认证要求。

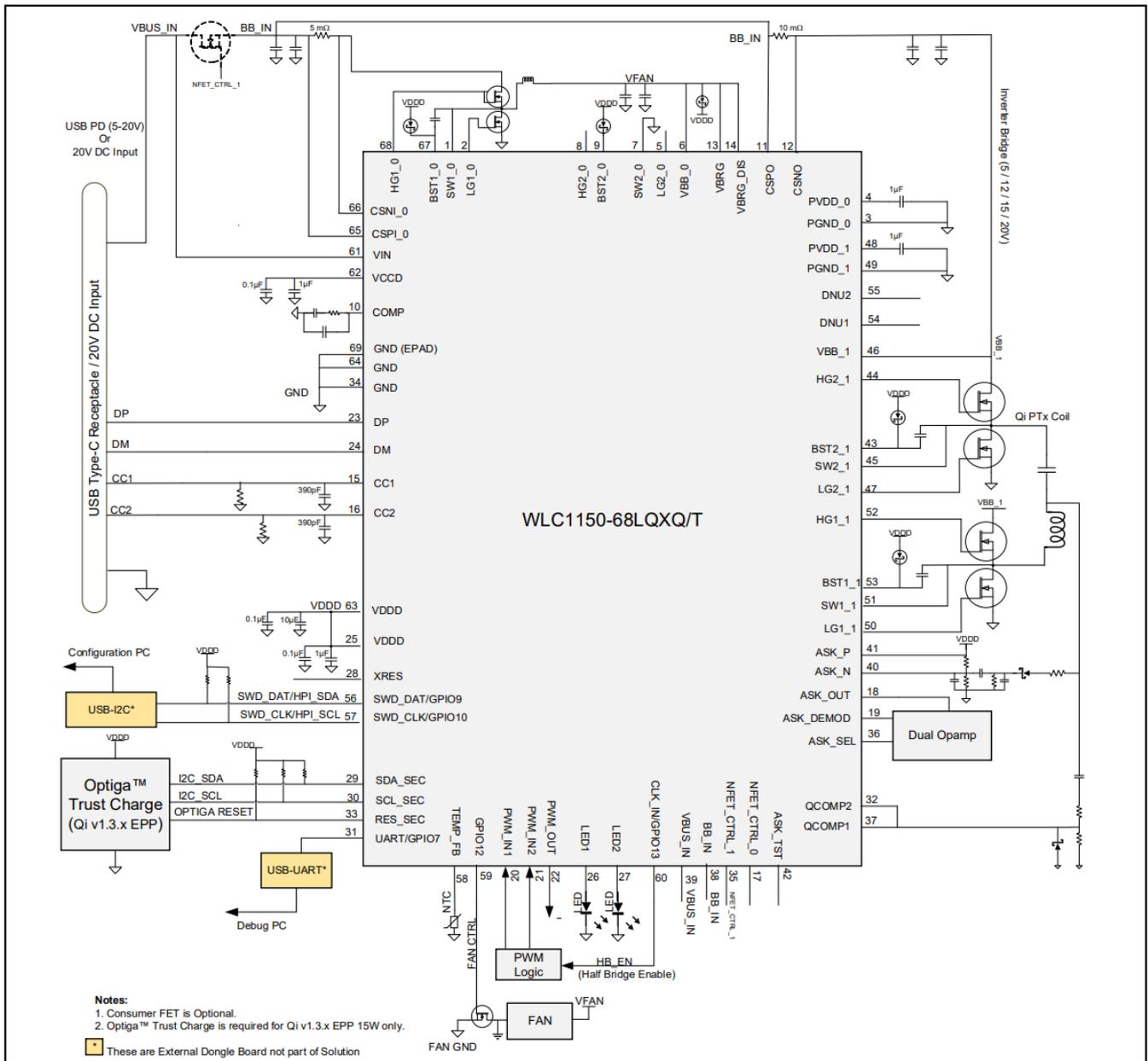


图1 集成降压控制器的单级 50W 发射器解决方案应用图，适用于风扇电源

## WCL1150

集成降压-升压控制器的双级 50W 发射器解决方案

## 2 集成降压-升压控制器的双级 50W 发射器解决方案

图 2 展示了 WLC1150 用于宽输入电压范围 50W 无线电源发射器的典型应用。该解决方案基于 MP-A2 发射器线圈。系统输入电源通过宽输入电压范围 (5 V 至 20 V) 的直流电源为降压-升压转换器供电, 进而为逆变器供电。降压-升压转换器将 VBRG 的电压调节至所需电压。WLC1150 控制逆变器的频率和占空比, 以调节流向发射器线圈的功率, 从而为接收器供电。

WLC1150 提供基于集成电压和电流信号的幅移键控 (ASK) 解调器和解码功能, 并支持外部双运算放大器。OPTIGA™ Trust Security IC 通过 I2C 接口连接, 以满足 Qi 认证要求。

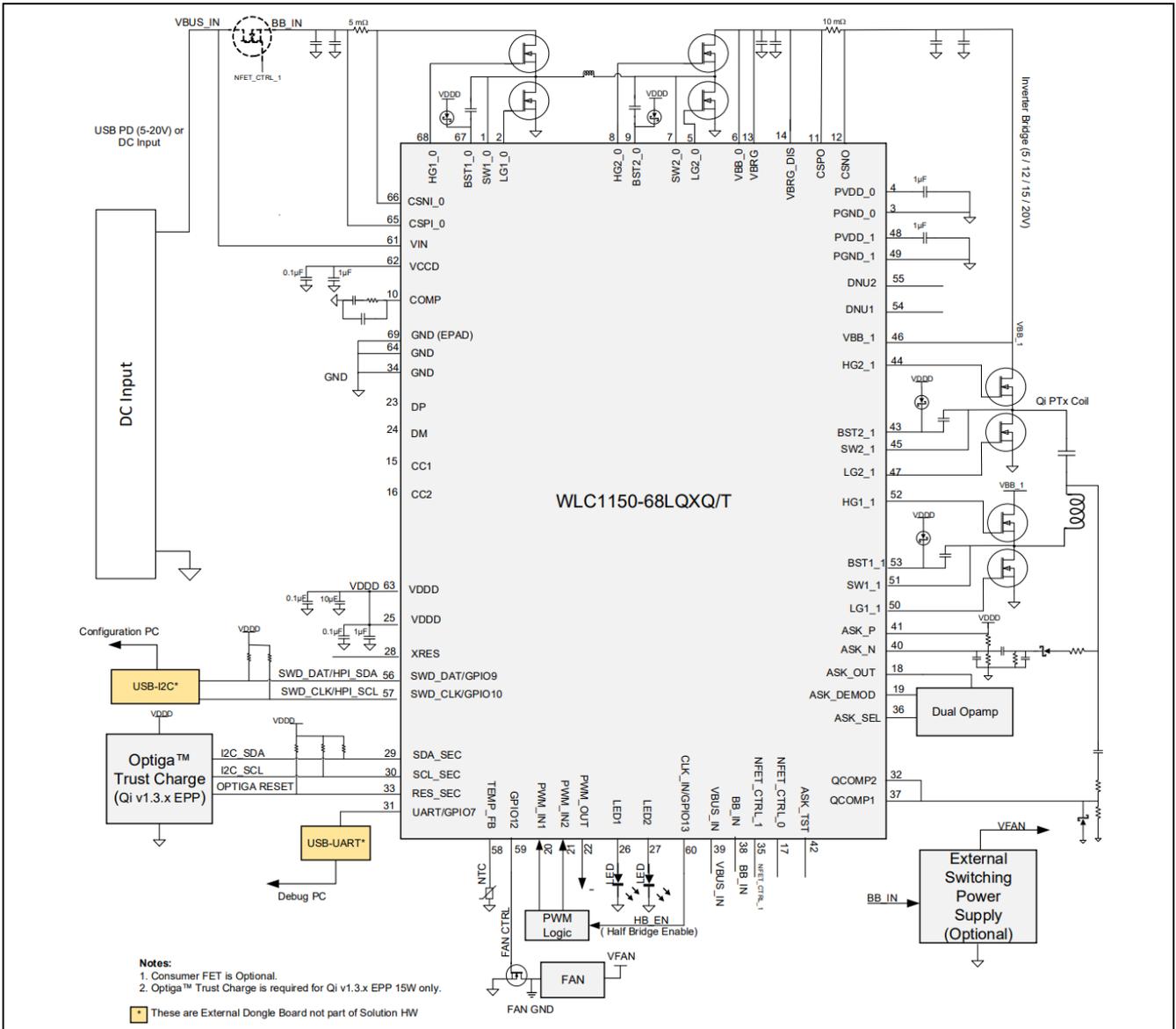


图 2 集成降压-升压控制器的双级 50W 发射器解决方案应用图

## 3 引脚信息

表 1 WCL1150 引脚排列

Pin #	Pin name	Pin function for 50W application firmware	Description
1		SW1_0	Switching node of buck/buck-boost converter (DC-DC bank 1) and input to zero current detector for low-side gate driver. <b>Single stage solution:</b> Connect this pin to switch node of buck with a short and wide trace. <b>Dual stage solution:</b> Connect this pin to switch node of buck-boost with a short and wide trace.
2		LG1_0	Low-side gate driver output for buck/buck-boost converter (DC-DC bank 1). <b>Single stage solution:</b> Connect to the buck low side FET gate. Use a wide trace to minimize inductance of this connection. <b>Dual stage solution:</b> Connect to the buck-boost low-side FET gate. Use a wide trace to minimize inductance of this connection.
3		PGND_0	Ground for gate driver (DC-DC). Connect all grounds (GND) and PGND pins (PNGD_0 and PGND_1) together. Connect directly PCB ground plane and EPAD.
4		PVDD_0	Connect to VDDD and to decoupling capacitors (1 $\mu$ F and 0.1 $\mu$ F), as close to the IC as possible.
5		LG2_0	Low-side gate driver output for DC-DC bank 2. <b>Single stage solution:</b> Float this pin. <b>Dual stage solution:</b> Connect this pin to low-side gate of buck-boost converter (DC-DC bank 2).
6		VBB_0	Output voltage of buck/buck-boost converter. <b>Single stage solution:</b> Connect this pin to output of buck converter. <b>Dual stage solution:</b> Input voltage of inverter. Connect this pin to the current sense resistor terminal which is connected to CSPO pin. Use a dedicated (Kelvin) trace for this connection.
7		SW2_0	Switching node (DC-DC bank 2). <b>Single stage solution:</b> Connect this pin directly to the EPAD. <b>Dual stage solution:</b> Connect this pin to switch node of buck-boost (DC-DC bank 2) with a short and wide trace.
8		HG2_0	High-side gate driver output of DC-DC bank 2. <b>Single stage solution:</b> Float this pin. <b>Dual stage solution:</b> Connect to the buck-boost (DC-DC bank 2) high-side FET gate. Use a wide trace to minimize inductance of this connection.
9		BST2_0	Bootstrap power supply for DC-DC bank 2. <b>Single stage solution:</b> Connect this pin to VDDD via a Schottky diode. <b>Dual stage solution:</b> Connect a capacitor (recommended value 0.1 $\mu$ F) from this pin to SW2_0. Also, connect a Schottky diode from VDDD to BST2_0.
10		COMP	Error amplifier (EA) output for buck/buck-boost controller. Connect the RC compensation network to GND.
11		CSPO	Positive input of current sensing amplifier of inverter bridge input current. Connect to positive terminal of the output current sense resistor.
12		CSNO	Negative input of current sensing amplifier of inverter bridge input current. Connect to negative terminal of the current sense resistor.
13		VBRG	Feedback pin for buck/buck-boost output voltage. <b>Single stage solution:</b> Connect it to buck output. <b>Dual stage solution:</b> Connect it to buck-boost output.

## WCL1150

### 引脚信息

表 1 WCL1150 引脚排列 (续)

Pin #	Pin name	Pin function for 50W application firmware	Description
14	VBRG_DIS		<b>Single stage solution:</b> Connect it to buck output. <b>Dual stage solution:</b> Connect this pin to current sense resistor terminal which is connected to CSPO pin.
15	CC1		Type-C connector configuration channel 1. Connect directly to the CC1 pin on the port's Type-C connector and to a capacitor (recommended value 390 pF) to ground. Float this pin for power supply (non USB PD) input.
16	CC2		Type-C connector configuration channel 2. Connect directly to the CC2 pin on the port's Type-C connector and to a capacitor (recommended value 390 pF) to ground. Float this pin for power supply (non USB PD) input.
17	NFET_CTRL_0		NFET gate driver output of provider FET for buck or buck-boost (DC-DC). Float this pin if it is not used.
18	ASK_OUT		ASK voltage/current sensing path. IC output for ASK signal processing.
19	ASK_DEMOD		Input for ASK signal decoding. Connect external ASK comparator output to this pin. Short this pin to pin-36 (ASK_SEL).
20	GD_OVR_HB_1	PWM_IN1	Inverter gate driver input signal for inverter bank 1. Connect output of PWM logic signal to this pin for 50W application.
21	GD_OVR_HB_2	PWM_IN2	Inverter gate driver input signal for inverter bank 2. Connect output of PWM logic signal to this pin for 50W application.
22	PWM_OUT		Input for PWM logic circuit. Connect to input of PWM logic circuit.
23	DP/GPIO1	DP	Default USB D+ / configurable GPIO. For support of legacy charging BC 1.2, AFC, QC or Apple. IC does not support USB data transmission on this pin.
24	DM/GPIO2	DM	Default USB D- / configurable GPIO. For support of legacy charging BC 1.2, AFC, QC or Apple. IC does not support USB data transmission on this pin.
25, 63	VDDD		VDDD 5V LDO output from VIN. Connect a ceramic bypass capacitor (recommended value 1 $\mu$ F) from this pin to GND close to the IC. Connect all VDDD and PVDD pins together.
26	GPIO3	LED1	Default LED1 50W application/configurable GPIO. Float this pin if it is not used.
27	GPIO4	LED2	Default LED2 for 50W application/configurable GPIO. Float this pin if it is not used.
28	XRES		External reset – active low, internally pulled-up (~6 k $\Omega$ ). Float this pin if it is not used.
29	GPIO5/SCB0	SDA_SEC	Used for interfacing as master, with OPTIGA™ Trust I2C SDA. The pin is configured for open drain connection, connect an external pull-up resistor. Float this pin if it is not used.
30	GPIO6/SCB0	SCL_SEC	Used for interfacing with OPTIGA™ Trust I2C SCL. The pin is configured for open drain connection, connect an external pull-up resistor. Float this pin if it is not used.
31	GPIO7/SCB1	UART/GPIO7	Default UART Tx for debug/configurable GPIO. Float this pin if it is not used.
32	QCOMP2	QCOMP2	Q-factor based foreign object detection (FOD) pre-charge measurement input for frequency counting. Connect this pin to pin 37 (QCOMP1).
33	GPIO8	RES_SEC	RESET for OPTIGA™ Trust IC. Configured for using OPTIGA™ Trust in low power mode. Float this pin if it is not used.
34, 64	GND		Ground. Connect directly to the E-PAD and to ground plane.
35	NFET_CTRL_1		NFET gate driver output for consumer FET, if used. Float this pin if not used (consumer FET is required to meet USB PD specification).

## WCL1150

### 引脚信息

**表 1** WCL1150 引脚排列 (续)

Pin #	Pin name	Pin function for 50W application firmware	Description
36		ASK_SEL	Input for ASK signal decoding. Connect this pin to pin-19 (ASK_DEMOD).
37		QCOMP1	Q-factor based FOD pre-charge measurement input for peak voltage detect. Short this pin to pin 32 (QCOMP2).
38		BB_IN	<b>Single stage solution:</b> Input voltage to buck (DC-DC) and inverter. Connect to USB Type-C connector's VBUS pin. If EMI filter/choke and consumer FET is used after Type-C connector, then connect it to output of the EMI filter/choke and consumer FET. <b>Dual stage solution:</b> Input voltage to buck-boost (DC-DC). Connect to USB Type-C connector's VBUS pin. If EMI filter/choke and consumer FET is used after Type-C connector, then connect it to output of the EMI filter/choke and consumer FET.
39		VBUS_IN	Input voltage feedback of buck (DC-DC). Connect to USB Type-C connector's VBUS pin. If EMI filter/choke and consumer FET is used after Type-C connector, then connect it to output of the EMI filter/choke and at the input of consumer FET.
40		ASK_N	Negative input of ASK voltage sensing signal input to internal amplifier.
41		ASK_P	Positive input of ASK voltage sensing signal input to internal amplifier.
42		ASK_TST	Float this pin if it is not used.
43		BST2_1	Bootstrap power supply for (inverter bank 2) inverter high side gate driver. Connect a capacitor (recommended value 0.1 $\mu$ F) from this pin to SW2_1. Also, connect a Schottky diode from VDDD to BST2_1.
44		HG2_1	High-side gate driver for inverter FET (inverter bank 2). Connect to the inverter bank 2, high-side FET gate. Use a wide trace to minimize inductance of this connection.
45		SW2_1	Inverter switching node for inverter bank 2. Connect this pin to the inverter bank 2 switching node with a short and wide trace.
46		VBB_1	Inverter input voltage sense. Connect to inverter input voltage, after the current sense resistor. Use a dedicated (Kelvin) trace for this connection.
47		LG2_1	Low-side gate driver for inverter FET (inverter bank 2). Connect to the inverter bank 2 low side FET gate.
48		PVDD_1	Connect to VDDD pin. Connect bypass capacitors (recommended values 1 $\mu$ F and 0.1 $\mu$ F) as close to the IC as possible.
49		PGND_1	Ground for inverter gate driver. Connect directly to PCB ground plane and E-PAD. Connect all GND and PGND pins together.
50		LG1_1	Low-side gate driver for inverter FET (inverter bank 1). Connect to the inverter bank 1 low-side FET gate.
51		SW1_1	Inverter switching node for inverter bank 1. Connect this pin to the Inverter bank 1 switching node with a short and wide trace.
52		HG1_1	High-side gate driver for inverter FET (inverter bank 1). Connect to the inverter bank 1 high side FET gate.
53		BST1_1	Bootstrap power supply for (inverter bank 1) inverter high side gate driver. Connect a capacitor (recommended values 0.1 $\mu$ F) from this pin to SW1_1. Also, connect a Schottky diode from VDDD to BST1_1.
54		DUN1/CSNI_1	Negative input of input current sense amplifier (CSA) for inverter. Float this pin if it is not used.
55		DNU2/CSPI_1	Positive input of input CSA for inverter. Float this pin if it is not used.

## WCL1150

### 引脚信息

**表 1** WCL1150 引脚排列 (续)

Pin #	Pin name	Pin function for 50W application firmware	Description
56	GPIO9/SCB3/SWD_DAT	SWD_DAT/GPIO9	Used for I2C/SWD register access or programming/configurable GPIO.
57	GPIO10/SCB3/SWD_CLK	SWD_CLK/GPIO10	Used for I2C/SCL register access or programming/configurable GPIO.
58	GPIO11/SCB3	TEMP_FB	Tx coil temperature measurement via thermistor monitoring for 50W application/configurable GPIO. Float this pin if it is not used.
59	GPIO12/SCB3	GPIO12	Configurable GPIO. Configure for FAN PWM or float this pin if it is not used.
60	GPIO13		Default used as input to external PWM logic circuit to enable/disable inverter half bridge operation. Float this pin if it is not used.
61	VIN		4.5 to 24 V input supply. Connect a decoupling capacitor (recommended value 0.1 $\mu$ F) from this pin to GND close to this pin.
62	VCCD		1.8 V LDO output for Arm <sup>®</sup> -M0 power and 1.8 V references. Connect a decoupling capacitor (recommended value 0.1 $\mu$ F) from this pin to ground. Not for external use or loading.
65	CSPI_0		Positive input of USB input CSA (DC-DC). Connect to the positive terminal of the input current sense resistor. Use a dedicated (Kelvin) connection.
66	CSNI_0		Negative input of USB input CSA (DC-DC). Connect to the negative terminal of the input current sense resistor. Use a dedicated (Kelvin) connection.
67	BST1_0		Bootstrap power supply for buck/buck-boost (DC-DC) high-side gate driver. Connect a capacitor (recommended value 0.1 $\mu$ F) from this pin to SW1_0. Also, connect a Schottky diode from VDDD to BST1_0.
68	HG1_0		High-side gate driver output of buck/buck-boost converter (DC-DC bank 1). Connect to the buck high side FET gate. Use a wide trace to minimize inductance of this connection.
	EPAD		Exposed ground pad. Connect directly to ground plane and pins 34 and 64.

单极转换器请参见图 8，双级转换器关键引脚映射请参见图 9。

## WCL1150

### 引脚信息

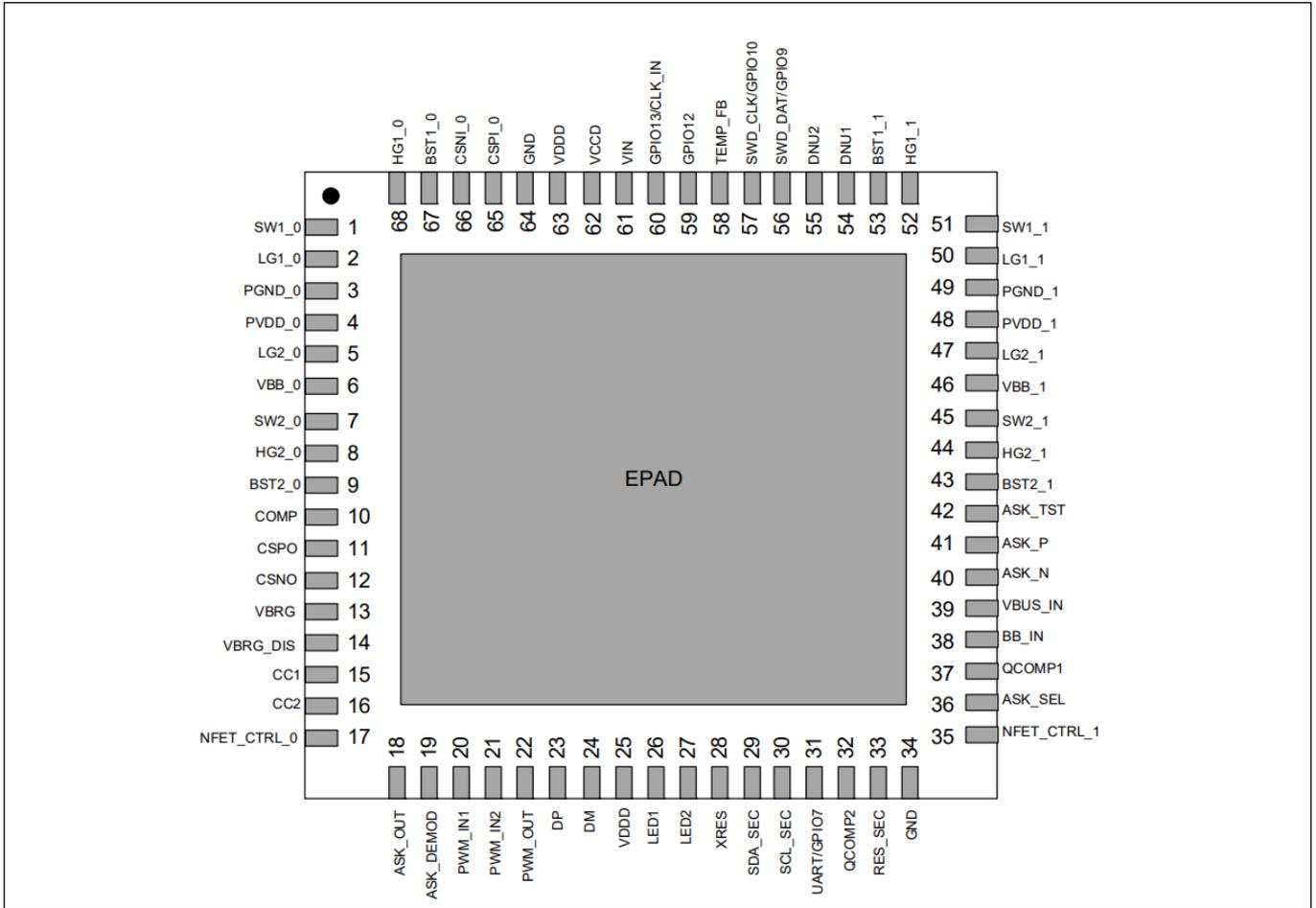


图 3 WCL1150 68-QFN 引脚排列

## 4 电气规格

### 4.1 绝对最大额定值

表 2 绝对最大额定值<sup>[3]</sup>

超过最大额定值可能缩短器件的使用寿命。

除非另有说明，否则规格适用温度为  $-40\text{ °C} \leq T_A \leq 105\text{ °C}$  和  $T_J \leq 125\text{ °C}$ 。

Parameter	Description	Min	Typ	Max	Unit	Description
VIN	Maximum input supply voltage			40	V	-
VDDD, PVDD	Maximum supply voltage relative to VSS			6		
VBUS	Max VBRG_DIS (P0/P1) voltage relative to GND			24		
CC_0, ASK_SEL	Max voltage on CC and ASK_SEL pins			24		
QCOMP1	Max voltage on QCOMP1 pins	-0.7		24		
QCOMP2	Input to QCOMP2	-0.7		VDDD + 0.5		Current limited to 1mA for -0.7V minimum specification.
GPIO	Inputs to GPIO	-0.5		VDDD + 0.5		
IGPIO	Maximum current per GPIO	-25	-	25	mA	-
IGPIO_INJECTION	GPIO injection current, Max for VIH > VDDD, and Min for VIL < GND	-0.5		0.5		Absolute max, current injected per pin
ESD_HBM	Electrostatic discharge (ESD) human body model (HBM)	2000			V	Applicable for all pins except CC1_0, CC2_0, ASK_SEL, QCOMP1 pins.
ESD_HBM_CC	ESDHBM for CC1 and CC2 pins for both ports	1100				Only applicable to CC1_0, CC2_0, ASK_SEL, QCOMP1 pins
ESD_CDM	ESD charged device model	500				Charged device model ESD
LU	Pin current for latch-up	-100		100	mA	
TJ	Junction temperature	-40		125	°C	

#### 注释:

- 表 2 列出了绝对最大条件之上的使用，可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103 高温存储寿命。在绝对最大条件以下但高于正常工作条件的情况下使用时，器件可能无法按规格运行。

WCL1150

电气规格

表 3 基于引脚的绝对最大额定值

Pin#	Pin name	Pin function for 50W application firmware	Absolute minimum (V)	Absolute maximum (V)
1	SW1_0		-0.7	35
2	LG1_0 <sup>[4]</sup>		-0.5	PVDD+0.5
3	PGND_0		-0.3	0.3
4	PVDD_0			VDD
5	LG2_0 <sup>[4]</sup>		-0.5	PVDD+0.5
6	VBB_0		-0.3	24
7	SW2_0			
8	HG2_0 (w.r.t SW2_0) <sup>[4,5]</sup>		-0.5	PVDD+0.5
9	BST2_0 (w.r.t SW2_0) <sup>[4,5,6]</sup>		0	
10	COMP <sup>[4]</sup>		-0.5	
11	CSPO		-0.3	24
12	CSNO			
13	VBRG			
14	VBRG_DIS			
15	CC1		-0.5	32
16	CC2			
17	NFET_CTRL_0			
18	ASK_OUT <sup>[4]</sup>			
19	ASK_DEMOD <sup>[4]</sup>			
20	GD_OVR_HB_1 <sup>[4]</sup>	PWM_IN1		
21	GD_OVR_HB_2 <sup>[4]</sup>	PWM_IN2		
22	PWM_OUT <sup>[4]</sup>			
23	DP/GPIO1 <sup>[4]</sup>	DP		
24	DM/GPIO2 <sup>[4]</sup>	DM		
25, 63	VDDD		-0.3	6
26	GPIO3 <sup>[4]</sup>	LED1	-0.5	PVDD+0.5
27	GPIO4 <sup>[4]</sup>	LED2		
28	XRES <sup>[4]</sup>			
29	GPIO5/SCB0 <sup>[4]</sup>	SDA_SEC		
30	GPIO6/SCB0 <sup>[4]</sup>	SCL_SEC		
31	GPIO7/SCB1 <sup>[4]</sup>	UART/GPIO7		
32	QCOMP2 <sup>[4,7]</sup>			
33	GPIO8 <sup>[4]</sup>	RES_SEC	-0.5	
34,64	GND		-0.3	0.3
35	NFET_CTRL_1		-0.5	32
36	ASK_SEL			
37	QCOMP1 <sup>[7]</sup>		-0.7	24

注释:

4. 最大电压不能超过 6 V。
5. 相对于 GND 的最大绝对电压不得超过 40 V。
6. 相对于 GND 的最小绝对电压不得低于 -0.3 V。
7. 电流限制为 1 mA，仅适用于 -0.7 V 最小规格。

## WCL1150

电气规格

表 3 基于引脚的绝对最大额定值 (续)

Pin#	Pin name	Pin function for 50W application firmware	Absolute minimum (V)	Absolute maximum (V)
38	BB_IN		-0.3	24
39	VBUS_IN			
40	ASK_N			
41	ASK_P			
42	ASK_TST <sup>[4]</sup>		-0.5	PVDD+0.5
43	BST2_1 (w.r.t SW2_1) <sup>[4, 5, 6]</sup>		0	
44	HG2_1 (w.r.t SW2_1) <sup>[4, 5]</sup>		-0.5	
45	SW2_1		-0.7	24
46	VBB_1		-0.3	24
47	LG2_1 <sup>[4]</sup>		-0.5	PVDD+0.5
48	PVDD_1		-0.3	VDDD
49	PGND_1		-0.3	0.3
50	LG1_1 <sup>[4]</sup>		-0.5	PVDD+0.5
51	SW1_1		-0.7	35
52	HG1_1 (w.r.t SW1_1) <sup>[4, 5]</sup>		-0.5	PVDD+0.5
53	BST1_1 (w.r.t SW1_1) <sup>[4, 5, 6]</sup>		0	
54	CSNI_1	DNU1	-0.3	40
55	CSPI_1	DNU2		
56	GPIO9/SCB3/SWD_DAT <sup>[4]</sup>	SWD_DAT/GPIO9	-0.5	PVDD+0.5
57	GPIO10/SCB3/SWD_CLK <sup>[4]</sup>	SWD_CLK/GPIO10		
58	GPIO11/SCB3 <sup>[4]</sup>	TEMP_FB		
59	GPIO12/SCB3 <sup>[4]</sup>	GPIO12		
60	GPIO13/CLK_IN <sup>[4]</sup>	GPIO13/CLK_IN		
61	VIN		-0.3	40
62	VCCD			2
65	CSPI_0			40
66	CSNI_0			
67	BST1_0 (w.r.t SW1_0) <sup>[4, 5, 6]</sup>		0	PVDD+0.5
68	HG1_0 (w.r.t SW1_0) <sup>[4, 5]</sup>		-0.5	
	EPAD		-0.3	0.3

## 注释:

4. 最大电压不能超过 6 V。
5. 相对于 GND 的最大绝对电压不得超过 40 V。
6. 相对于 GND 的最小绝对电压不得低于 -0.3 V。
7. 电流限制为 1 mA，仅适用于 -0.7 V 最小规格。

## WCL1150

### 电气规格

## 4.2 器件级规格

除非另有说明，否则规格适用温度为  $-40\text{ }^{\circ}\text{C} \leq T_A \leq 105\text{ }^{\circ}\text{C}$  和  $T_J \leq 125\text{ }^{\circ}\text{C}$ 。

## 4.3 直流规格

表 4 直流规格 (工作条件)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PWR#1	VIN	Input supply voltage	4.5	20	24	V	With fixed PD supply
SID.PWR#2	VDDD	VDDD output voltage range	4.6	-	5.5		5.5 V < VINS < 24 V; Max load = 150 mA
SID.PWR#3	VDDD_MIN	VDDD dropout voltage	VIN - 0.2	-	-		4.5 V < VIN < 5.5 V; Max load = 20 mA
SID.PWR#20	VBRG	VBRG_0 output range	3.3	5	21.5		VIN > VBRG
SID.PWR#5	VCCD	VCCD output voltage	-	1.8	-		-
SID.PWR#25	IDD_ACT48M	Operating quiescent current at 0.4 MHz switching frequency	-	87	-	mA	TA = 25°C, VIN = 12 V. CC IO in Transmit or Receive, no I/O sourcing current, No VCONN load current, CPU at 48 MHz, buck and inverter ON, 3-nF gate driver capacitance.

### 4.3.1 CPU

表 5 CPU 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#4	FCPU	CPU input frequency	-	44	48	MHz	-
SYS.XRES#5	TxRES	External reset pulse width	5	-	-	μs	
SYS.FES#1	T_PWR_RDY	Power-up to "Ready to accept I <sup>2</sup> C/CC command"	-	5	25	ms	

WCL1150

电气规格

4.3.2 GPIO

除非另有说明，否则规格适用温度为  $-40\text{ }^{\circ}\text{C} \leq T_A \leq 105\text{ }^{\circ}\text{C}$  和  $T_J \leq 125\text{ }^{\circ}\text{C}$ 。

表 6 GPIO 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
<b>GPIO 直流规格</b>							
SID.GIO#9	$V_{IH\_CMOS}$	Input voltage HIGH threshold	$0.7 \times V_{DDD}$		-	V	CMOS input
SID.GIO#10	$V_{IL\_CMOS}$	Input voltage LOW threshold	-		$0.3 \times V_{DDD}$		
SID.GIO#7	$V_{OH}$	Output voltage HIGH level	$V_{DDD} - 0.6$	-	-		
SID.GIO#8	$V_{OL}$	Output voltage LOW level	-		0.6		
SID.GIO#2	$R_{pu}$	Pull-up resistor when enabled	3.5	5.6	8.5	k $\Omega$	-
SID.GIO#3	$R_{pd}$	Pull-down resistor when enabled	3.5	5.6	8.5		
SID.GIO#4	$I_{IL}$	Input leakage current (absolute value)		-	2	nA	$T_A = 25\text{ }^{\circ}\text{C}$ , $V_{DDD} = 3\text{ V}$
SID.GIO#5	$C_{PIN\_A}$	Max pin capacitance	-		22	pF	Capacitance on DP, DM pins $-40\text{ }^{\circ}\text{C} < T_A < +105\text{ }^{\circ}\text{C}$ , All $V_{DDD}$ , all other I/Os
SID.GIO#6	$C_{PIN}$	Max pin capacitance		3	7		
SID.GIO#13	$V_{HYSTTL}$	Input hysteresis, LVTTTL, $V_{DDD} > 2.7\text{ V}$	100			mV	$V_{DDD} > 2.7\text{ V}$
SID.GIO#14	$V_{HYSCMOS}$	Input hysteresis CMOS	$0.1 \times V_{DDD}$				-
<b>GPIO 交流规格</b>							
SID.GIO#16	$T_{RISEF}$	Rise time in Fast Strong mode	2		12	ns	Load = 25 pF
SID.GIO#17	$T_{FALLF}$	Fall time in Fast Strong mode	2		12		
SID.GIO#18	$T_{RISES}$	Rise time in Slow Strong mode	10		60		
SID.GIO#19	$T_{FALLS}$	Fall time in Slow Strong mode	10		60		
SID.GIO#20	$F_{GPIO\_OUT1}$	GPIO FOUT; $3.0\text{ V} \leq V_{DDD} \leq 5.5\text{ V}$ . Fast Strong mode.			16	MHz	$-40\text{ }^{\circ}\text{C} \leq T_A \leq +105\text{ }^{\circ}\text{C}$
SID.GIO#21	$F_{GPIO\_OUT2}$	GPIO FOUT; $3.0\text{ V} \leq V_{DDD} \leq 5.5\text{ V}$ . Slow Strong mode.	-		7		
SID.GIO#22	$F_{GPIO\_IN}$	GPIO input operating frequency; $3.0\text{ V} \leq V_{DDD} \leq 5.5\text{ V}$ .		44	48		
<b>GPIO OVT 直流规格</b>							
SID.GPIO_20VT_GIO#4	GPIO_20VT_I_LU	GPIO_20VT latch up current limits	-140	-	140	mA	Max / min current in to any input or output, pin-to-pin, pin-to-supply

WCL1150

电气规格

表 6 GPIO 规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID.GPIO_20VT_GIO#5	GPIO_20VT_RPU	GPIO_20VT pull-up resistor value	3.5	-	8.5	kΩ	-40°C ≤ TA ≤ +105°C, All VDDD
SID.GPIO_20VT_GIO#6	GPIO_20VT_RPD	GPIO_20VT pull-down resistor value	3.5		8.5		-40°C ≤ TA ≤ +105°C, All VDDD
SID.GPIO_20VT_GIO#16	GPIO_20VT_IIL	GPIO_20VT input leakage current (absolute value)	-		2	nA	+25°C TA, 3 V VDDD
SID.GPIO_20VT_GIO#17	GPIO_20VT_CPIN	GPIO_20VT pin capacitance	-		10	pF	-40°C ≤ TA ≤ +105°C, All VDDD
SID.GPIO_20VT_GIO#33	GPIO_20VT_Voh	GPIO_20VT output voltage high level	VDDD - 0.6		-	V	IOH = -4 mA
SID.GPIO_20VT_GIO#36	GPIO_20VT_Vol	GPIO_20VT output voltage low level	-		0.6		IOL = 8 mA
SID.GPIO_20VT_GIO#41	GPIO_20VT_Vih_LV TTL	GPIO_20VT LV TTL input	2		-		-40°C ≤ TA ≤ +105°C, All VDDD
SID.GPIO_20VT_GIO#42	GPIO_20VT_Vil_LV TTL	GPIO_20VT LV TTL input	-		0.8		-40°C ≤ TA ≤ +105°C, All VDDD
SID.GPIO_20VT_GIO#43	GPIO_20VT_Vhysttl	GPIO_20VT input hysteresis LV TTL	100		-		mV
SID.GPIO_20VT_GIO#45	GPIO_20VT_ITOT_G PIO	GPIO_20VT maximum total sink pin current to ground	-		95	mA	V (GPIO_20VT Pin) > VDDDs

GPIO OVT 交流规格

SID.GPIO_20VT_70	GPIO_20VT_TriseF	GPIO_20VT Rise time in Fast Strong Mode	1	-	15	ns	All VDDD, Clod = 25 pF
SID.GPIO_20VT_71	GPIO_20VT_TfallF	GPIO_20VT Fall time in Fast Strong Mode	1		15		
SID.GPIO_20VT_GIO#46	GPIO_20VT_TriseS	GPIO_20VT Rise time in Slow Strong Mode	10		70		
SID.GPIO_20VT_GIO#47	GPIO_20VT_TfallS	GPIO_20VT Fall time in Slow Strong Mode	10		70		
SID.GPIO_20VT_GIO#48	GPIO_20VT_FGPIO_OUT1	GPIO_20VT GPIO Fout; 3 V ≤ VDDD ≤ 5.5 V. Fast Strong mode.	-		33	MHz	
SID.GPIO_20VT_GIO #50	GPIO_20VT_FGPIO_OUT3	GPIO_20VT GPIO Fout; 3 V ≤ VDDD ≤ 5.5 V. Slow Strong mode.			7		
SID.GPIO_20VT_GIO #52	GPIO_20VT_FGPIO_IN	GPIO_20VT GPIO input operating frequency; 3 V ≤ VDDD ≤ 5.5 V			8		

## WCL1150

## 电气规格

## 4.3.3 XRES 和 POR

除非另有说明，否则规格适用温度为  $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$  和  $T_J \leq 125^{\circ}\text{C}$ 。

表 7 XRES规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
<b>XRES直流规格</b>							
SID.XRES#1	$V_{IH\_XRES}$	Input voltage HIGH threshold on XRES pin	$0.7 \times V_{DD}$	-	-	V	CMOS input
SID.XRES#2	$V_{IL\_XRES}$	Input voltage LOW threshold on XRES pin	-		$0.3 \times V_{DD}$		
SID.XRES#3	$C_{IN\_XRES}$	Input capacitance on XRES pin			7	pF	
SID.XRES#4	$V_{HYSXRES}$	Input voltage hysteresis on XRES pin			$0.05 \times V_{DD}$	-	mV
<b>非精密上电复位 (IPOR) 规格</b>							
SID185	$V_{RISEIPOR}$	POR rising trip voltage	0.80	-	1.50	V	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$ , all VDD
SID186	$V_{FALLIPOR}$	POR falling trip voltage	0.70		1.4		
<b>精密上电复位 (POR) 规格</b>							
SID190	$V_{FALLPPOR}$	Brown-out detect (BOD) trip voltage in active/sleep modes	1.48	-	1.62	V	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$ , all VDD
SID192	$V_{FALLDPSLP}$	BOD trip voltage in Deep Sleep mode	1.1		1.5		

WCL1150

电气规格

### 4.4 数字外设

除非另有说明，否则规格适用温度为  $-40\text{ }^{\circ}\text{C} \leq T_A \leq 105\text{ }^{\circ}\text{C}$  和  $T_J \leq 125\text{ }^{\circ}\text{C}$ 。

下列规范适用于定时器模式下的定时器/计数器/PWM 外设。

#### 4.4.1 GPIO 引脚的逆变器脉冲宽度调制 (PWM)

表 8 PWM 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.TCPWM.1	PWM_OUT	Operating frequency	170	-	300	kHz	PWM_OUT pin <sup>[8]</sup>
SID.TCPWM.3	T <sub>PWMEXT</sub>	Output trigger pulse width	2/F <sub>c</sub>		-	-	ns

注释：

8. PWM\_OUT 信号的频率为逆变器开关频率的两倍。请参阅“[逆变器和占空比控制](#)”在第 32 页。

#### 4.4.2 I<sup>2</sup>C、UART、SWD 接口

表 9 通信接口规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
<b>固定 I<sup>2</sup>C AC 规格</b>							
SID153	F <sub>I2C1</sub>	Bit rate	-	-	1	Mbps	-
<b>固定 UART AC 规格</b>							
SID16	F <sub>UART</sub>	Bit rate	-	-	1	Mbps	-
<b>SWD 接口规格</b>							
SID.SWD#1	F <sub>SWDCLK1</sub>	3.0 V ≤ VDDIO ≤ 5.5 V	-	-	14	MHz	-
SID.SWD#2	T <sub>SWDI_SETUP</sub>	T = 1/f SWDCLK	0.25 × T		-	ns	-
SID.SWD#3	T <sub>SWDI_HOLD</sub>		0.25 × T		-		
SID.SWD#4	T <sub>SWDO_VALID</sub>		-		0.50 × T		
SID.SWD#5	T <sub>SWDO_HOLD</sub>		1		-		

#### 4.4.3 存储器

表 10 Flash 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions		
SID.MEM#2	FLASH_WRITE	Row (block) write time (erase and program)	-	-	20	ms	-		
SID.MEM#1	FLASH_ERASE	Row erase time			15.5				
SID.MEM#5	FLASH_ROW_PGM	Row program time after erase			7				
SID178	T <sub>BULKERASE</sub>	Bulk erase time (32 KB)			35				
SID180	T <sub>DEVPROG</sub>	Total device program time			7.5	s			
SID.MEM#6	FLASH_ENPB	Flash write endurance			100k	-		cycles	25°C < T <sub>A</sub> < 55°C
SID182	F <sub>RET1</sub>	Flash retention, T <sub>A</sub> < 55°C, 100K P/E cycles			20			years	-
SID182A	F <sub>RET2</sub>	Flash retention, T <sub>A</sub> < 85°C, 10K P/E cycles	10	-	-				

**WCL1150**

电气规格

**4.5 系统资源**

除非另有说明，否则规格适用温度为  $-40\text{ }^{\circ}\text{C} \leq T_A \leq 105\text{ }^{\circ}\text{C}$  和  $T_J \leq 125\text{ }^{\circ}\text{C}$ 。

**4.5.1 内部主振荡器**

**表 11 IMO AC 时钟规格**

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
<b>IMO 交流规格</b>							
SID.CLK#13	F <sub>IMOTOL</sub>	Frequency variation at 44 MHz (trimmed)	-2	-	+2	%	3.0V < V <sub>DDD</sub> < 5.5V
SID226	T <sub>STARTIMO</sub>	IMO start-up time	-	-	7	μs	-
SID.CLK#1	F <sub>IMO</sub>	IMO frequency	-	44	-	MHz	-

**4.5.2 USB PD**

**表 12 USB PD 直流规格**

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID.DC.cc_shvt.1	vSwing	Transmitter output high voltage	1.05	-	1.2	V	-
SID.DC.cc_shvt.2	vSwing_low	Transmitter output low voltage	-	-	0.075	V	-
SID.DC.cc_shvt.3	zDriver	Transmitter output impedance	33	-	75	Ω	-
SID.DC.cc_shvt.4	zBmcRx	Receiver input impedance	10	-	-	MΩ	-
SID.DC.cc_shvt.8	Rd	Pull down termination resistance when acting as UFP	4.59	-	5.61	kΩ	-
SID.DC.cc_shvt.10	zOPEN	CC impedance to ground when disabled	108	-	-	kΩ	-
SID.DC.cc_shvt.15	UFP_default_0 p66	CC voltages on UFP side-standard USB	0.61	-	0.7	V	-
SID.DC.cc_shvt.16	UFP_1.5A_1p23	CC voltages on UFP side-1.5A	1.16	-	1.31	V	-
SID.DC.cc_shvt.17	Vattach_ds	Deep Sleep attach threshold	0.3	-	0.6	%	-
SID.DC.cc_shvt.18	Rattach_ds	Deep Sleep pull-up resistor	10	-	50	kΩ	-
SID.DC.cc_shvt.19	VTX_step	TX drive voltage step size	80	-	120	mV	-

**WCL1150**

电气规格

**4.5.3 ADC**

除非另有说明，否则规格适用温度为  $-40\text{ }^{\circ}\text{C} \leq T_A \leq 105\text{ }^{\circ}\text{C}$  和  $T_J \leq 125\text{ }^{\circ}\text{C}$ 。

**表 13 ADC直流规格**

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.ADC.1	Resolution	ADC resolution	-	8	-	Bits	-
SID.ADC.2	INL	Integral non-linearity	-1.5	-	1.5	LSB	Reference voltage generated from bandgap
SID.ADC.3	DNL	Differential non-linearity	-2.5		2.5		Reference voltage generated from VDDD
SID.ADC.4	Gain Error	Gain error	-1.5		1.5		Reference voltage generated from bandgap
SID.ADC.5	VREF_ADC1	Reference voltage of ADC	VDDDmin		VDDDmax	V	Reference voltage generated from VDDD
SID.ADC.6	VREF_ADC2	Reference voltage of ADC	1.96	2.0	2.04		Reference voltage generated from deep sleep reference

**4.5.4 电流检测放大器 (CSA)/ASK 放大器 (ASK\_P和ASK\_N)**

**表 14 CSA/ASK放大器规格**

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
<b>HS CSA 直流规格</b>							
SID.HSCSA.7	Csa_SCP_Acc1	CSA short circuit protection (SCP) at 6A with 5/10mΩ sense resistor	-10	-	10	%	Active mode
SID.HSCSA.8	Csa_SCP_Acc2	CSA SCP at 10A with 5/10mΩ sense resistor	-10		10		
SID.HSCSA.9	Csa_OCP_1A	CSA OCP at 1A with 5/10mΩ sense resistor	104	130	156		
SID.HSCSA.10	Csa_OCP_5A	CSA OCP for 5A with 5/10mΩ sense resistor	117	130	143		
SID.HSCSA.13	Csa_CBL_MON_Acc2	Vsense > 10mV	-	±3.5	-		CSA sense accuracy. Active mode. 3.0 V < VDDD < 5.5 V. T <sub>A</sub> = 25°C.
<b>CSA交流规格</b>							
SID.HSCSA.AC.1	T <sub>SCP_GATE</sub>	Delay from SCP threshold trip to external NFET power gate turn off	-	3.5	-	μs	1 nF NFET gate
SID.HSCSA.AC.2	T <sub>SCP_GATE_1</sub>	Delay from SCP threshold trip to external NFET power gate turn off		8			3 nF NFET gate

## WCL1150

电气规格

### 4.5.5 VIN 欠压/过压

除非另有说明，否则规格适用温度为  $-40\text{ }^{\circ}\text{C} \leq T_A \leq 105\text{ }^{\circ}\text{C}$  和  $T_J \leq 125\text{ }^{\circ}\text{C}$ 。

表 15 VIN 欠压/过压规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.UVOV.1	VTHOV1	Overvoltage threshold accuracy, 4 V - 11 V	-3	-	3	%	Active mode
SID.UVOV.2	VTHOV2	Overvoltage threshold accuracy, 11 V - 21.5 V	-3.2		3.2		
SID.UVOV.3	VTHUV1	Undervoltage threshold accuracy, 3 V - 3.3 V	-4		4		
SID.UVOV.4	VTHUV2	Undervoltage threshold accuracy, 3.3 V - 4.0 V	-3.5		3.5		
SID.UVOV.5	VTHUV3	Undervoltage threshold accuracy, 4.0 V - 21.5 V	-3		3		

### 4.5.6 电压调节-VBRG

表 16 VBRG 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
<b>VBUS 放电规范</b>							
SID.VBUS.DISC.1	R_DIS1	20V NMOS ON resistance for DS = 1	500	-	2000	$\Omega$	Measured at 0.5V
SID.VBUS.DISC.2	R_DIS 2	20V NMOS ON resistance for DS = 2	250		1000		
SID.VBUS.DISC.3	R_DIS 4	20V NMOS ON resistance for DS = 4	125		500		
SID.VBUS.DISC.4	R_DIS 8	20V NMOS ON resistance for DS = 8	62.5		250		
SID.VBUS.DISC.5	R_DIS 16	20V NMOS ON resistance for DS = 16	31.25		125		
SID.VBUS.DISC.6	VBRG_stop_error	Error percentage of final VBRG value from setting	-		10		

#### 电压调节直流规格

SID.DC.VR.1	VBB	VBB output voltage range	3.3	-	21.5	V	-
SID.DC.VR.3	VIN_UVLO	VIN supply below which chip will get reset	1.7	-	3.0		
SID.VREG.1	TSTART	Total startup time for the regulator supply outputs	-	-	200	$\mu\text{s}$	Specification for VDDD LDO

WCL1150

电气规格

### 4.5.7 NFET 栅极驱动器规格

除非另有说明，否则规格适用温度为  $-40\text{ }^{\circ}\text{C} \leq T_A \leq 105\text{ }^{\circ}\text{C}$  和  $T_J \leq 125\text{ }^{\circ}\text{C}$ 。

表 17 栅极驱动器规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
<b>NFET 栅极驱动器直流规格</b>							
SID.GD.1	GD_VGS	Gate to source overdrive during ON condition	4.5	5	10	V	NFET driver is ON
SID.GD.2	GD_RPD	Resistance when pull-down enabled	-	-	2	kΩ	Applicable on NFET_CTRL to turn off external NFET.
<b>NFET 栅极驱动器交流规格</b>							
SID.GD.3	T <sub>ON</sub>	NFET_CTRL Low to High (1 V to VBUS + 1 V) with 3 nF external capacitance.	2	5	10	ms	VBUS = 5V
SID.GD.4	T <sub>OFF</sub>	NFET_CTRL High to Low (90% to 10%) with 3 nF external capacitance.	-	7	-	μs	VBUS = 21.5V

### 4.5.8 PWM 控制器

表 18 PWM 控制器规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
<b>PWM 控制器规格</b>							
PWM.1	FSW	Buck/buck-boost switching frequency	150	-	600	kHz	-
GD1	Fsw Gd Ovr	Inverter switching frequency	85	-	150		Pins PWM_IN1 and PWM_IN2 are connected to pin PWM_OUT.
PWM.2	FSS	Spread spectrum frequency dithering span-buck/buck-boost	-	10	-	%	-

#### 降压栅极驱动器规格

DR.1	R_HS_PU	Top-side gate driver on-resistance - gate pull-up	-	2	-	Ω	-
DR.2	R_HS_PD	Top-side gate driver on-resistance - gate pull-down		1.5			
DR.3	R_LS_PU	Bottom-side gate driver on-resistance - gate pull-up		2			
DR.4	R_LS_PD	Bottom-side gate driver on-resistance - gate pull-down		1.5			
DR.5	Dead_HS	Dead time before high-side rising edge		30		ns	
DR.6	Dead_LS	Dead time before low-side rising edge		30			
DR.7	Tr_HS	Top-side gate driver rise time		25			
DR.8	Tf_HS	Top-side gate driver fall time		20			

#### NFET 栅极驱动器规格

DR.9	Tr_LS	Bottom-side gate driver rise time	-	25	-	ns	-
DR.10	Tf_LS	Bottom-side gate driver fall time		20			

## WCL1150

电气规格

### 4.5.9 热规格

除非另有说明，否则规格适用温度为  $-40\text{ °C} \leq T_A \leq 105\text{ °C}$  和  $T_J \leq 125\text{ °C}$ 。

表 19 热规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.OTP.1	OTP	Thermal shutdown	120	125	130	°C	-

## 5 功能概述

### 5.1 无线电源发射器

WCL1150 基于感应电力传输技术 (IPT)，支持电力发射器 (TX) 和电力接收器 (RX) 之间的无线电力传输。Tx 通过 Tx 线圈运行交流电流，根据法拉第定律产生交变磁场。该磁场与电力接收器内的 Rx 线圈相互耦合，并转换回交流电，该交流电经过整流并存储在 Vrect 电容器组中，为 Rx 负载供电。

在电力传输开始之前，Rx 和 Tx 相互通信以确定已放置有效的 Rx 设备，并且它们协商在充电周期内要传输的电力水平。Tx 和 Rx 使用的数字通信是带内通信。从 Tx 到 Rx 的通信是频移键控 (FSK) 调制，从 Rx 到 Tx 的通信是幅移键控 (ASK) 调制。WCL1150 解决方案适用于 50W 充电应用，并与 Qi v1.3.x 兼容标准高达 15W。WCL1150 采用英飞凌高功率专有协议，可实现 15W 以上、最高 50W 的无线电力传输。这包括可立即使用的固件堆栈，该堆栈具有强大的解调方案，可实现连续的电力传输和可靠的异物检测，从而确保安全。

WCL1150 固件堆栈带有高级可配置选项，可使用配置实用工具根据应用程序实现 IC 配置。

### 5.2 英飞凌大功率专有协议的操作和协议

WCL1150 使用支持英飞凌高功率专有协议的 Rx 时支持高达 50W 的功率级别，使用支持 Qi EPP 和 BPP 的 Rx 时则分别支持 15W 和 5W 的功率级别。当使用英飞凌高功率专有协议时，USB PD 适配器需要具有足够的电力输送能力，以克服因操作或错位以及 Rx 功率要求造成的任何系统损耗。为了实现 50W 功率传输，Tx 和 Rx 都必须支持英飞凌高功率专有协议。

Tx 将按照 WPC 规范规定的相同方法连接到 Rx (BPP 或 EPP)。英飞凌大功率专有协议是英飞凌对 WPC Qi 协议的专有扩展。在 WPC 操作配置中，Tx 检测到启用了英飞凌高功率专有协议的 Rx 继续进行协商阶段，在此阶段，Tx 和 Rx 进入高功率合同并提供高达 50W 的功率。如果 Tx 在配置阶段未检测到启用英飞凌高功率专有协议的 Rx，则 Tx 进入 Qi 定义模式并相应地限制功率。

### 5.3 无线充电系统控制

WCL1150 使用英飞凌高功率专有协议支持高达 50W 的功率水平，并根据 Qi v1.3.x 支持 15W 的功率。本节介绍 Qi 1.3.x 系统运行。

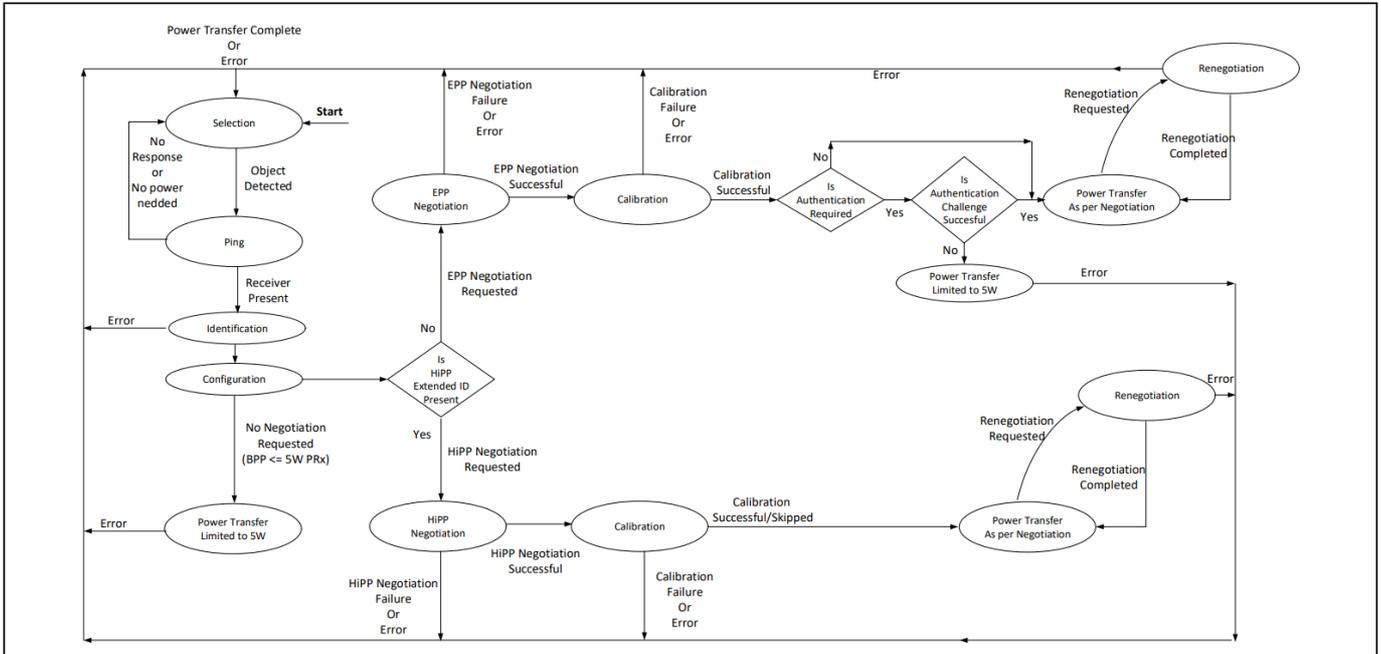


图 4 采用 Qi 和英飞凌高功率专有协议 Rx 的 Tx 系统控制流程图<sup>[9]</sup>

#### 5.3.1 选择阶段

Tx 使用低能量信号（模拟 ping 或 Q 因子）监控界面表面，以检测物体的放置和移除。模拟 Ping 能量受到限制，因此无需供电或唤醒接收器即可检测到 Tx 线圈上方的阻抗变化。WCL1150 协商 PD 5 V 电压并以半桥形式为逆变器供电，以产生足够的能量来测量任何接口阻抗变化，而无需在选择阶段传输任何功率。

#### 5.3.2 数字ping阶段

在此阶段，Tx 发送足以为接收器供电并促使其做出响应的功率信号。该信号称为数字 Ping，其幅度和时间长度由 WPC Tx 规范预先定义。当未检测到响应或 Rx 使用信号强度包 (SSP) 进行响应时，数字 Ping 阶段结束。当 Tx 接收到有效的 SSP 时，数字 Ping 会被延长，并且系统会进入识别和配置阶段。

#### 注释：

9. **功能概述** 本节仅描述了 Qi 规范。然而，IC 可以支持无线充电专功率传输扩展 (PPDE) /三星 FC。

### 5.3.3 识别和配置阶段

在此阶段，Tx 识别 Rx 是否属于 BPP、EPP 或英飞凌高功率专有协议配置文件。此外，在此阶段，Tx 获取配置信息，例如 Rx 在其输出端可能需要的最大功率量。功率发射器使用此信息来创建功率传输合同。

如果接收器是 BPP 类型，则功率发射器在识别和配置阶段完成时进入功率传输阶段，如图 4 所示，或者使用 EPP/Infineon 高功率专有协议接收器，如果 Rx 请求，则进入协商阶段。

### 5.3.4 协商

在此阶段，EPP 和英飞凌高功率专有协议功率接收器与功率发送器进行协商，以微调功率传输合同。为此，功率接收器向功率发送器发送协商请求，功率发送器可以同意或拒绝该请求。

为符合 Q 因子 FOD，Tx 将 Rx 报告的 Q 因子和谐振频率与其自身的测量值进行比较，以确定线圈的 Q 因子和谐振频率是否适合已放置的 Rx（仅限 EPP/Infineon 高功率专有协议）。如果 Tx Q 因子读数太低，它将发出 QFOD 警报并返回选择阶段。

### 5.3.5 校准

当请求此阶段时，Tx 将确认请求并开始使用 EPP/Infineon 高功率专有协议 Rx 来启用并进入校准阶段，以校准两个固定接收器负载（即轻负载和连接负载）下的发射器功率损耗。该系统的功率损耗信息将被 Tx 用于在功率传输阶段检测接口表面是否存在异物。在英飞凌高功率专有协议中，如果轻载和连接的值相似，则可能会跳过校准。

### 5.3.6 身份验证

校准成功后，Tx 将进入功率限制为 5W 的功率传输模式。在此模式下，Rx 可以请求并质询 Tx 进行身份验证。如果身份验证成功，Tx 将按照协商后的功率传输。如果身份验证质询失败，Tx 将继续处于功率限制为 5W 的功率传输模式。WCL1150 提供 I2C 端口，用于连接 OPTGA™ Trust Charge IC 启用身份验证。

### 5.3.7 重新协商阶段

在此阶段，EPP/Infineon 大功率专有协议 Rx 可以请求调整功率传输合同。此阶段可能会提前中止，而无需改变功率传输合同。

### 5.3.8 功率传输阶段

在此阶段，Tx 将功率传输到 Rx，功率水平由控制错误包 (CEP) 决定，并受保证功率合同的限制。还启用并利用功率损耗 FOD 来防止可能导致 FO 发热的过度功率损耗。

1. CEP：这些数据包由 Tx 用来调整发送的功率量。CEP 可能是正数、负数或 0。Tx 根据 CEP 的值调整其工作点。必须每 1.8 秒（可配置）接收一次 CEP 数据包，否则将会断电，同时还会受到其他限制，这些限制规定了 Rx 何时可以发送 CEP，如 WPC 规范中所定义。
2. 接收功率包 (RPP)：该包 (BPP 为 8 位，EPP 和英飞凌高功率专有协议为 24 位) 包含接收器接收到的功率。Tx 使用 RPP 根据 FW 中包含的 FOD 阈值来确定功率损耗是否安全或过度。
3. 结束功率传输 (EPT)：Rx 可以随时发送 EPT 数据包，通知 Tx 撤回/终止功率传输。如果收到 EPT 数据包，Tx 将立即结束功率传输。

Rx 和 Tx 通过调制用于传输功率的载波来相互通信。以下部分描述了 WPC 使用和定义的通信层。

### 5.3.9 双向带内通信接口

Qi 标准要求 Tx 和 Rx 之间进行双向带内通信。Tx 到 Rx 的通信是 FSK，通过 Tx 交替改变载波频率来实现。从 Rx 到 Tx 的通信是 ASK，通过调制 Rx 侧的负载来创建，从而导致在 Tx 上出现反射，然后进行过滤和解码。

### 5.4 从 Tx 到 Rx 的通信 - FSK

功率发射器使用频移键控与功率接收器进行通信，其中电力发射器调制功率信号的工作频率。

在 FSK 调制中，Tx 的工作频率在调制状态下，在当前工作频率( $f_{OP}$ )和备用频率( $f_{MOD}$ )之间变化。这两个频率之间的差异由两个参数表征，这两个参数在无线电源连接的初始 ID 和配置阶段确定：

- 极性：此参数决定  $f_{MOD}$  和  $f_{OP}$  之间的差是正还是负。
- 深度：此参数确定  $f_{OP}$  和  $f_{MOD}$  之间差异的大小，以赫兹 (Hz) 为单位。

Tx 使用差分双相编码方案将数据位调制到载波。为此，Tx 将每个数据位与载波频率的 512 个周期段对齐。

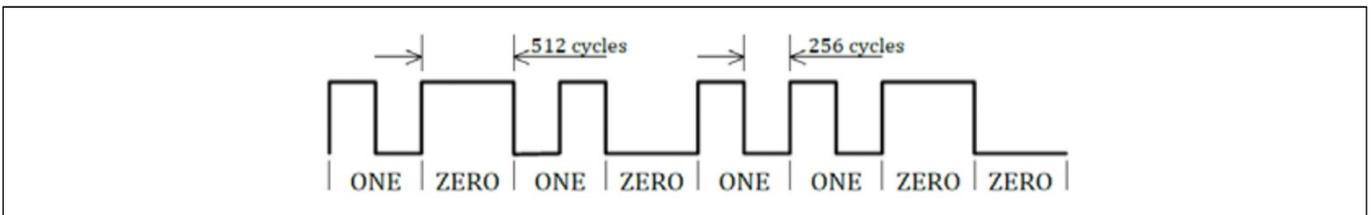


图 5 差分双相编码示例 - FSK

### 5.5 从 Rx 到 Tx 的通信 - ASK

在 ASK 通信方案中，Rx 调制从 Tx 功率信号中吸收的功率量。Tx 通过对 Tx 电流和/或电压的调制来检测这一点，并使用解调方案将调制信号转换为二进制信号。

Rx 应使用差分双相编码方案将数据位调制到功率信号上。为此，功率接收器应将每个数据位与内部时钟信号的整个周期  $t_{CLK}$  对齐，以使数据位的起始与时钟信号的上升沿重合。该内部时钟 (INTCLK) 信号的频率应为  $f_{CLK} = 2 \text{ kHz} \pm 4\%$ 。 $t_{CLK}$  是 INTCLK 时钟的时间周期。

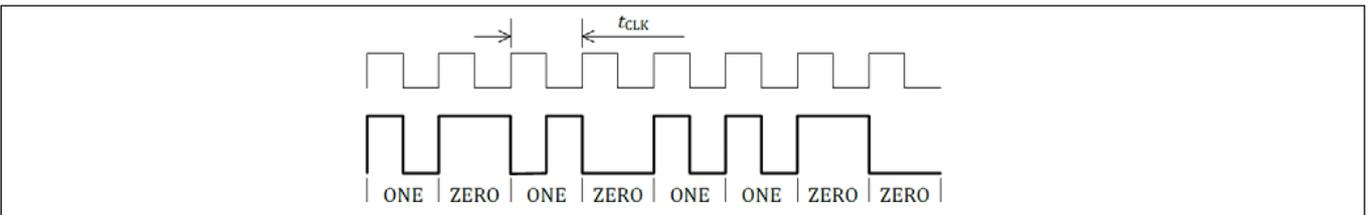


图 6 差分双相编码示例 - ASK

当 Tx 从 Rx 接收到调制信号时，信息被解码，并且 Tx 将根据类型和 WPC 规范对数据包做出反应。

### 5.6 解调

WLC1150 ASK 解调和解码方案通过检测由 Rx 调制信号引起的 Tx 线圈中的电压和电流变化来工作。ASK 的电压路径使用外部带通滤波器从载波中滤除解调信号。电流检测使用桥式电流检测电阻和集成差分放大器来检测 ASK 变化。两个 ASK 感应路径均可多路复用到外部运算放大器滤波器和比较器，以改善低信噪比环境或条件下的通信。

图 7 显示了用于数据包解码的调制信号的电流和电压感测的解调路径。

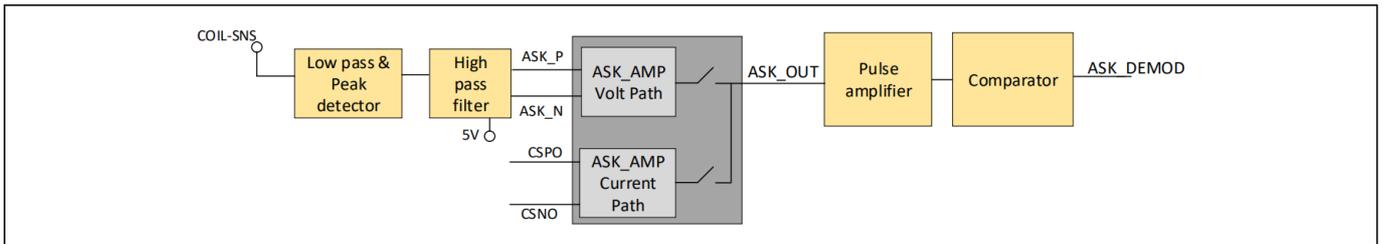


图 7 WLC1150 ASK 电压和电流解调路径

### 5.7 输入电源

WLC1150 支持三种不同类型的输入电源。表 20 建议一种可用于每种输入电源类型的典型解决方案配置。

表 20 输入电源类型与解决方案配置

Input power type	Typical configuration
Type-C USB PD	Single stage solution
DC input voltage 20 V	Single stage solution
Variable DC input voltage	Double stage solution

WLC1150 兼容 Type-C USB PD 和 DC 20V 输入，无需前端转换器（即系统输入电源）即可为逆变器供电。由于此配置无需前端转换器，因此效率更高，BOM 数量更少。下方的电源系统图显示了这些配置。图 8 描述 PD 和 20 V 输入的系统图。

对于直流输入电压可变的应用，需要一个前端转换器来调节系统的 VBRG 电压。WLC1150 集成了降压-升压控制器和栅极驱动器，使前端转换器能够作为降压-升压转换器工作，其输入电压范围为 5 V 至 20 V。降压-升压转换器之后是逆变器，为无线发射器线圈供电。图 9 描述直流输入电压的系统图。

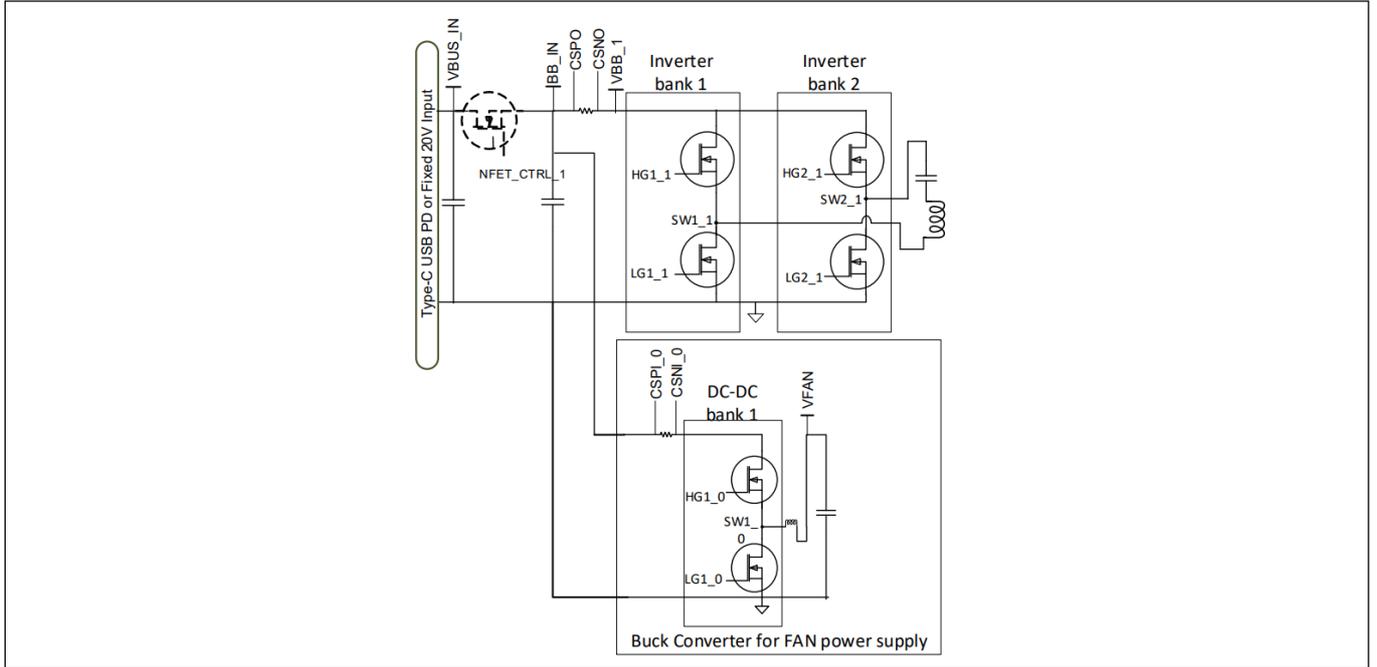


图 8 WCL1150 PD 和 20 V 输入系统图 (单级解决方案)

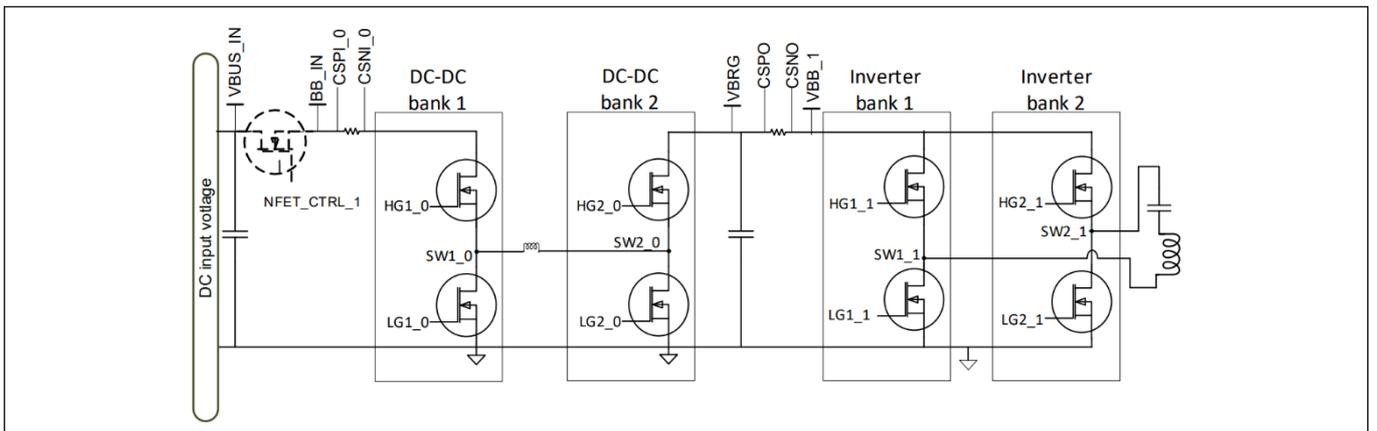


图 9 WCL1150 直流输入电压系统图 (双级解决方案)

## 5.8 逆变器 and 占空比控制

WCL1150 与 PD 签订 5 V / 9 V / 15 V / 20 V 合同，具体取决于接收器类型（BPP、EPP 或英飞凌高功率专有协议），为全桥逆变器供电，该全桥逆变器为 Tx 谐振槽供电，从而为 Rx 供电。WCL1150 的集成栅极驱动器设计用于根据 WPC 规格类型和操作场景控制全桥或半桥逆变器。

逆变器的典型工作开关频率为 110 至 148 kHz 之间。在功率传输阶段，逆变器通过调整工作频率或占空比来响应 Rx CEP 数据包。

WCL1150 需要外部逻辑电路来实现占空比控制。IC 的 PMW\_OUT 引脚是逻辑电路的输入信号。逻辑电路检测 PWM\_OUT 信号的边沿（上升沿和下降沿）以得出 PWM 信号，PWM\_IN1 和 PWM\_IN2，并将其输入到 WCL1150。IC 使用这些信号来生成全桥逆变器的栅极信号 LG1\_1、HG1\_1、LG2\_1、HG2\_1 以及半桥逆变器的栅极信号 LG1\_1 和 HG1\_1。

PWM\_OUT 的占空比控制 HG1\_1 和 HG2\_1 之间的相位差 ( $\theta$ )，从而控制全桥逆变器控制的占空比。

逻辑电路需要额外的输入来启用半桥逆变器的占空比控制，即 HB\_EN。该信号为高电平有效，使 LG1\_1 和 HG1\_1 作为半桥逆变器的栅极驱动器。PWM\_OUT 的占空比决定逆变器的占空比。逻辑电路 PMW\_IN1 的输出跟随 PWM\_OUT。WCL1150 使用 PWM\_IN1 为半桥逆变器生成 LG1\_1 和 HG1\_1 栅极驱动信号。

逻辑电路的输入和输出波形以及高侧栅极驱动器信号（HG1\_1 和 H2\_1）如图 10 所示。低侧栅极驱动信号（LG1\_1 和 LG2\_1）将与相应支路高侧栅极驱动信号互补。

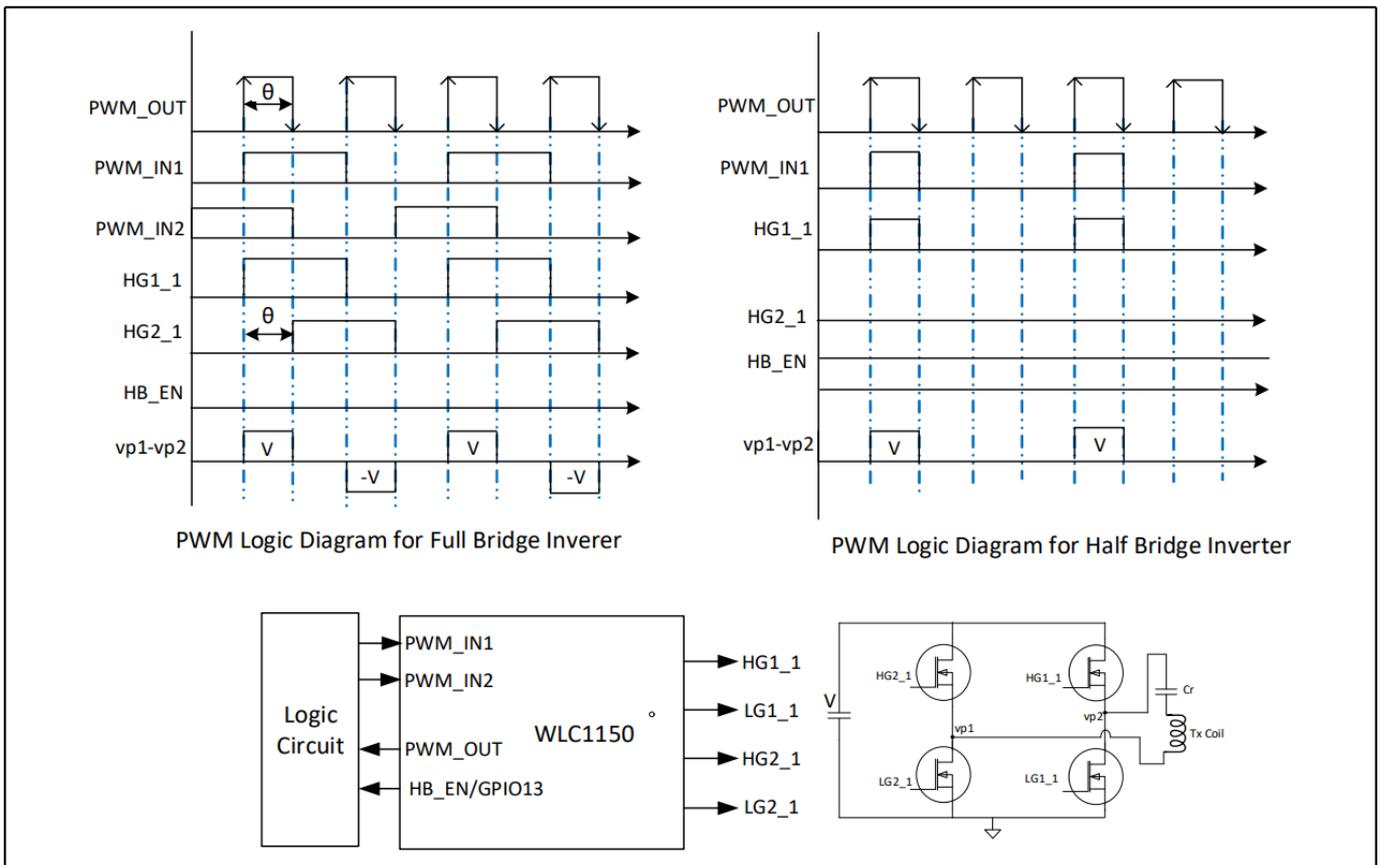


图 10 逆变器占空比控制

## 5.9 Rx 检测

在选择阶段，Tx 将定期轮询接口以检测阻抗变化，以便在用户放置 Rx 后 0.5 秒内快速发送数字 Ping。在此阶段，WLC1150 能够使用 Q 因子或谐振频率的变化来区分大型铁质物体（例如钥匙或硬币）和常规 Rx 设备，以在功率传输之前尝试 FOD。如果 Q 因子发生轻微变化，Tx 将开始数字 Ping，以保证及时与有效 Rx 建立连接。

图 11 描述在选择阶段用于 Rx 快速检测和连接的过程。

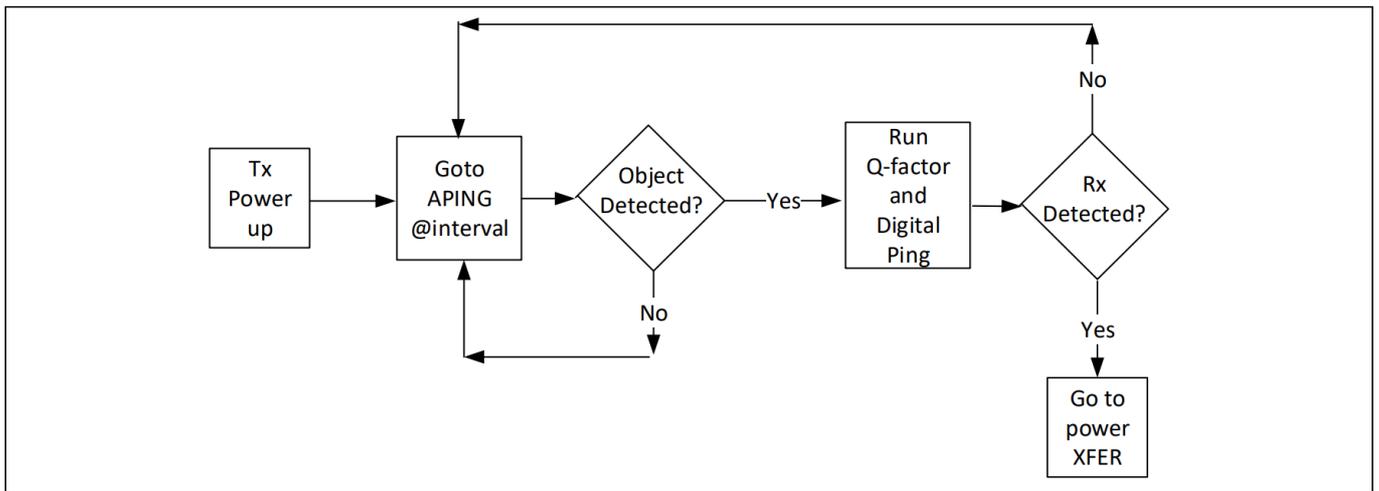


图 11 Rx检测和连接的典型选择阶段流程图

图 11 中的 Rx 检测也涵盖异物检测。异物通过 Q 值识别。如果检测到异物，流程将进入模拟 ping (APNG)。有关异物检测的更多详细信息，请参阅第 33 页“[异物检测 \(FOD\)](#)”。

### 5.9.1 异物检测 (FOD)

WLC1150 支持符合 Qi v1.3.x 标准的增强型 FOD 标准，这包括基于 Q 因数、谐振频率、功率损耗和过热（如果使用热敏电阻）的 FOD。

### 5.9.2 Q 因数 FOD 和谐振频率 FOD

WLC1150 提供集成的 Q 因数和谐振频率测量功能，用于 QFOD 预供电。测量使用内部比较器 QCOMP1 和 QCOMP2 以及简单的外部元件对谐振电容充电，然后通过短路 LC 谐振回路进行放电，并观察由此产生的振荡和电压衰减。Q 因数的测量在每次数字 Ping 之前直接进行。或者，为了节省静态系统功耗，数字 Ping 可以仅在 Q 因数测量需要时进行。两个线圈电压 V1 和 V2 之间的循环计数“N”以及相应上升沿脉冲之间的周期用于 Q 因数和谐振频率的测量，如图 12 所示。

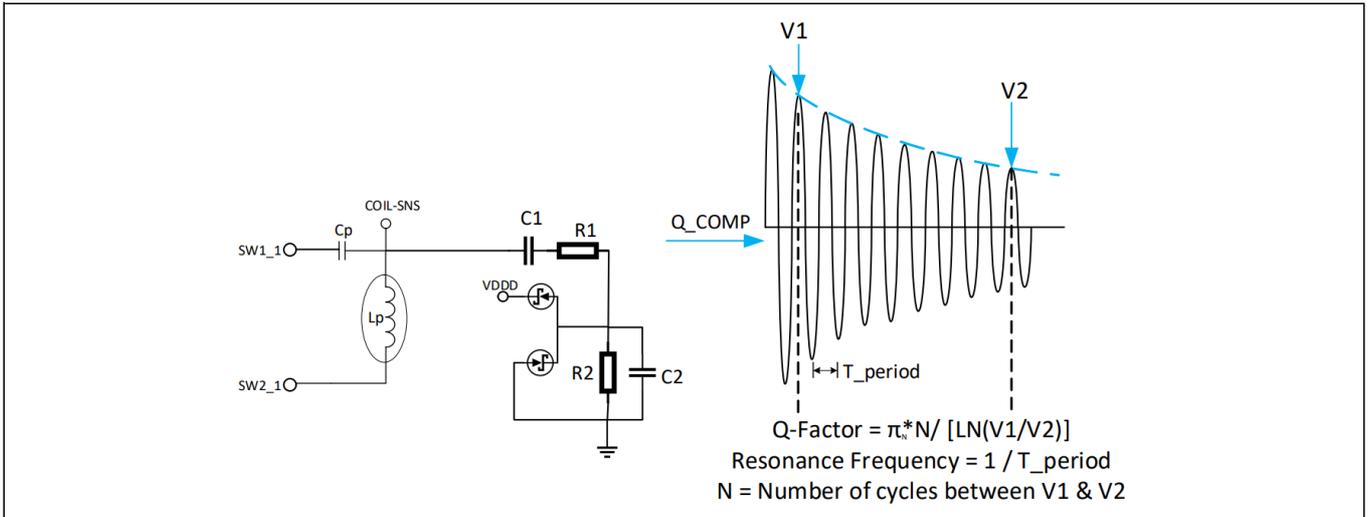


图 12 WCL1150 Q值测量原理图及信号

### 5.9.3 功率损耗 FOD

WCL1150 支持功率传输过程中的功率损耗 FOD。功率损耗 FOD 使用在输入端测量的 Tx 功率，是逆变器输入电压和逆变器电流的乘积（电流在输入 CSPO\_0 和 CSNO\_0 处感应）。通过调整 FOD 系数来考虑逆变器损耗和友好金属损耗，可以进一步调整 Tx 功率的结果。计算校准的 Tx 功率后，将结果与 Rx 发送的最新 RPP 值进行比较。如果 Tx\_Power\_Calibrated 和 RPP 之间的差异超过 Ploss 阈值，则会记录 FOD 事件。为了防止错误断开连接并改善用户体验，WCL1150 仅在发生连续三次 Ploss 阈值突破时才会断开 Ploss FOD 的电源。FOD 系数和 Ploss 阈值可配置以适应系统设计。当校准功能与 Rx 的两点加载一起使用时，将用于进一步增强和提高 FO 检测的准确性。

### 5.9.4 过温 FOD

如果连接外部 NTC 热敏电阻并将其与 Tx 线圈接触，WCL1150 就能够监测接口温度。当 Tx 线圈温度超过可配置阈值时，可以启用此功能以断开 Tx 与 Rx 的连接。

## 5.10 降压/降压-升压调节器

### 5.10.1 降压调节器

WCL1150 为降压/降压-升压转换器提供集成控制器。根据应用需要，可以使用降压或降压-升压配置。

由 Tx 输入 (PD 或 20 V 的 DC 输入) 供电的降压转换器可用于风扇电源以及为 WCL1150 供电。因此，无需为风扇配备外部开关电源。

降压-升压转换器可用作前端转换器，适用于无线发射器输入为电压变化范围较宽 (即 5V 至 20V) 的电源的应用。降压-升压转换器为逆变器提供所需的稳定输入电压。

WCL1150 的降压控制器提供两个 N 沟道 MOSFET 栅极驱动器：通过 HG1\_0 配备浮动高侧栅极驱动器，并通过 LG1\_0 引脚配备接地参考低侧驱动器。同样，降压-升压控制器提供 4 个 N 沟道 MOSFET 栅极驱动器，包括通过 HG1\_0 和 HG2\_0 的两个浮动高侧栅极驱动器。

栅极驱动器由 VDDD 供电，标称电压为 5V。降压/降压-升压控制器开关频率可编程，可设置在 150 至 600 kHz 之间。为了防止 EMI 相关问题的栅极驱动器具有可编程驱动强度、死区时间，并且可以在抖动模式下运行以扩展辐射频谱能量水平。BST1\_0 引脚和 BST2\_0 引脚的外部电容器和肖特基二极管 (仅适用于降压-升压控制器) 用于高侧栅极驱动电源。

此外，高侧和低侧栅极驱动器块包括过零检测器 (ZCD)，以实现具有二极管仿真的非连续传导模式 (DCM)。

WCL1150 降压/降压-升压控制器使用集成误差放大器来调节输出电压。误差放大器是具有单个补偿引脚 (COMP\_0) 的跨导型放大器，需要将参考原理图中所示的 RC 滤波器从该引脚连接到 GND。

WCL1150 支持高压 (22 V) VBRG 放电电路，在检测到设备断开、故障或硬重置时，芯片可能会对 VBRG 节点进行放电。

保持输入和输出电容相等，如图 13 所示，以维持基于补偿值的稳定运行。

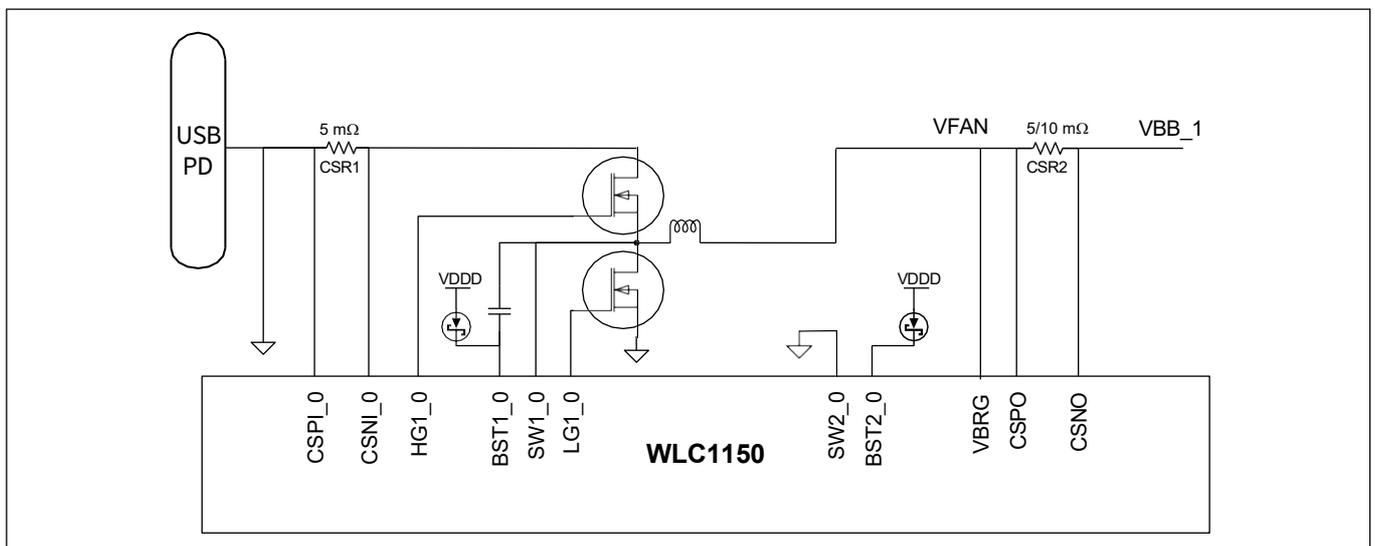


图 13 WCL1150 典型降压调节器原理图

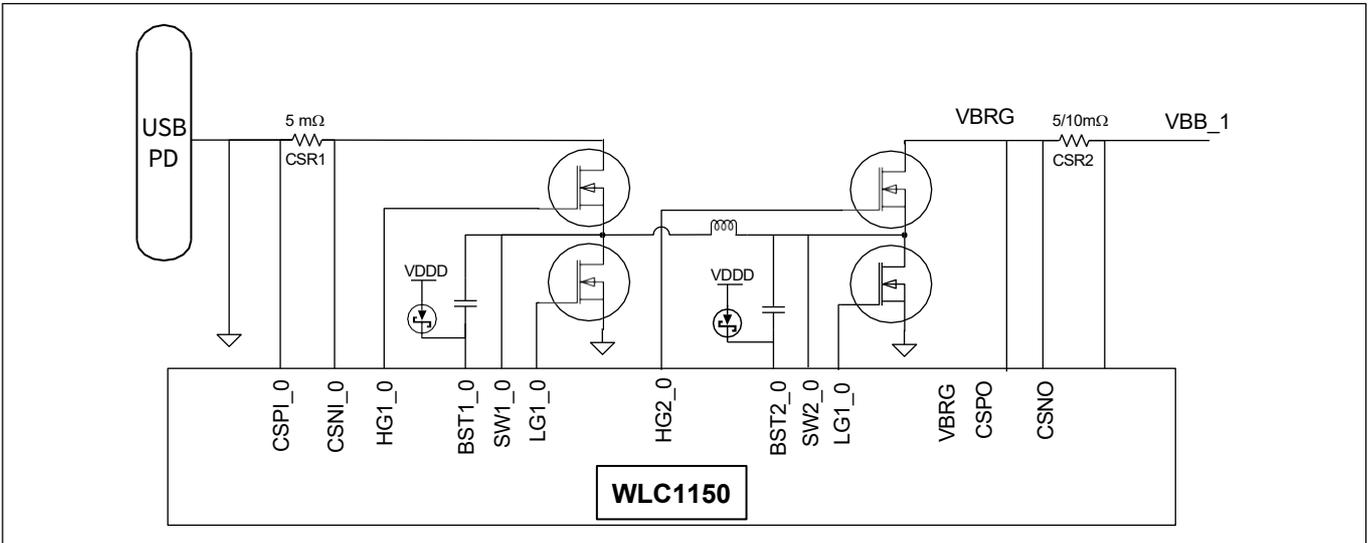


图 14 WCL1150 典型降压-升压转换器原理图

## 5.11 降压/降压-升压工作模式

### 5.11.1 脉宽调制器 (PWM)

WCL1150 为以峰值电流模式控制驱动外部 FET 的栅极驱动器生成控制信号。WCL1150 有两种固件可选的操作模式，以优化效率并减少轻负载条件下的损耗：脉冲跳跃模式 (PSM) 和强制连续传导模式 (FCCM)。

### 5.11.2 脉冲跳跃模式 (PSM)

在脉冲跳跃模式下，控制器通过以正常标称频率开关的“突发”形式工作，并在其中穿插无开关间隔，从而减少开关脉冲的总数，而不会降低有效开关频率。因此，输出电压在开关突发期间增加，而在安静间隔期间降低。此模式可使损失最小，但代价是输出电压纹波较高。WCL1150 器件监控降压或升压同步 FET 两端的电压，以检测电感电流何时达到零；当发生这种情况时，WCL1150 器件会关闭降压或升压同步 FET，以防止输出电容器的反向电流（即二极管仿真模式）。

### 5.11.3 强制连续传导模式 (FCCM)

在强制连续导通模式 (FCCM) 下，始终保持标称开关频率，电感电流低于零（即反向或从输出到输入）根据需要，在开关周期的一部分时间内，以维持输出电压和电流。这样可以将输出电压纹波保持在最低水平，但代价是轻载效率。

### 5.11.4 过压保护 (OVP)

WCL1150 提供两种类型的过压保护。该设备监控并限制 VIN 和 VBRG。如果检测到 USB VIN 过压事件，可以配置 WCL1150 以完全关闭 Type-C 端口。如果发生 VBRG 过压事件，降压/降压-升压调节器将立即关闭。物理断开并重新连接后，可以重新启用 IC。过压故障阈值是可配置的。

### 5.11.5 过流保护 (OCP)

WLC1150 通过监控输入逆变器电流并使用检查电流检测电阻器上的电压的内部 CSA 持续检查过流事件，保护逆变器免受过流和短路故障的影响。与 OVP 类似，OCP 和 SCP 故障阈值和响应时间也是可配置的。物理断开并重新连接后，可以重新启用 IC。

### 5.11.6 USB PD 控制器

WLC1150 直接连接至 Type-C USB 电源和 USB PD/PPS 适配器。WLC1150 在整个运行过程中使用 D+、D- 和 CC 线管理传入电源。WLC1150 管理 USB-PD 物理通信层、VCONN 开关以及监控，以防止因从电源吸取过多功率而导致的欠压事件。WLC1150 提供所有必要的电气控制，完全符合 USB-PD 规范 3.1 和 2.0 版本，并包含 SCP。

USB-PD 物理层包括一个基于 PD 3.1 标准对 CC 通道上的 BMC 编码数据进行通信的发送器和接收器。所有通信均为半双工。物理层 (PHY) 实施冲突避免，从而最小化通道上的通信错误。WLC1150 使用 RP 和 RD 电阻来实现连接检测和插头方向检测。RD 电阻器确立了发射器系统作为 USB 接收器的角色。当连接到电源适配器时，该设备支持 3V 至 22V 所有有效电压下的 PPS 操作。

此外，WLC1150 设备通过实施分块机制支持包含最多 260 字节数据的 USB-PD 扩展消息；除非源和接收器都确认并协商与更长消息长度的兼容性，否则消息大小限制为修订版 2.0。

WLC1150 USB 控制器还支持 USB 传统 QC 2.0/3.0 和 AFC 协议的电池充电器仿真和检测（源和接收器）。

### 5.11.7 MCU

WLC1150 器件中的 Cortex® -M0 是一款 32 位 MCU，针对低功耗运行进行了优化，并具有丰富的时钟门控功能。该器件采用一个带有 32 个中断输入的中断控制器 (NVIC 模块) 和一个唤醒中断控制器 (WIC)，可以将处理器从深度睡眠模式唤醒。此外，WLC1150 器件还具有 128 KB 闪存和 32 KB ROM 用于非易失性存储。ROM 存储 I2C、SPI 等设备驱动程序库。主要的无线电源固件存储在闪存中，以便灵活地存储所有无线电源功能的代码，支持使用配置表，并允许固件升级以满足最新的 USBPD 规范和应用要求。该器件可以随时通过切换 XRES 引脚强制执行完整的硬件和软件复位来复位。

WLC1150 设备的 TCPWM 模块有四个定时器、计数器或 PWM (TCPWM) 发生器。FW 使用这些计时器来运行无线电源 Tx 系统，以满足 WPC 和 USB 合规指令的要求。WLC1150 设备还具有看门狗定时器 (WDT)，可供 FW 用于各种超时事件。

### 5.11.8 ADC

WLC1150 器件内置 8 位 SAR ADC，可用于芯片和系统内的通用模数转换应用。ADC 可通过 GPIO 或片上模拟多路复用器直接在电源引脚上访问。请参阅第 13 页“[电气规格](#)”，了解有关 ADC 的详细规格。

### 5.11.9 串行通信模块 (SCB)

WLC1150 器件具有四个 SCB 模块，可配置为 I<sup>2</sup>C、SPI 或 UART。这些模块实现了完整的多主从 I<sup>2</sup>C 接口，并支持多主仲裁。I<sup>2</sup>C 兼容标准飞利浦 I2C 规范 V3.0。这些模块的工作速率高达 1Mbps，并具有灵活的缓冲选项，可减少 CPU 的中断开销和延迟。SCB 模块支持 8 字节深度的 FIFO 用于接收和发送，从而减少了 MCU 连接所需的时间，并减少了由于 CPU 未能按时读取数据而导致的时钟延长。

#### 5.11.10 I/O子系统

WCL1150 设备有 13 个 GPIO，但其中许多具有专用于 50W 应用的功能，例如无线电源应用中的 I2C 通信、LED 和温度感应，并且不能重新利用。GPIO 输出状态具有集成控制模式，可由 FW 启用，包括：弱上拉和强下拉、强上拉和弱下拉、开漏和强下拉、开漏和强上拉、强上拉与强下拉、禁用或弱上拉与弱下拉，并为 dV/dt 输出控制提供可选的转换率。当 GPIO 用作输入时，可以将其配置为支持不同的输入阈值（CMOS 或 LVTTTL）。

在 POR 期间，GPIO 块被强制进入禁用状态，以防止任何过大电流流动。

#### 5.11.11 LDO (VDDD 和 VCCD)

WCL1150 有两个集成 LDO 调节器。VDDD LDO 由 VIN 供电，为 GPIO、栅极驱动器和其他内部模块提供 5 V 电压。VDDD LDO 上的总负载（包括内部消耗）必须小于 150 mA。VDDD LDO 将按照参考原理图所示进行外部加载。如需连接任何额外的外部负载，请联系英飞凌技术支持。VDDD 5 V 电源从外部连接至各个引脚，并且应将它们全部从外部短接在一起。VCCD LDO 是一个 1.8 V LDO 稳压器，由 VDDD 供电。请勿外接 VCCD。两个 LDO 都必须具有陶瓷旁路电容器，该电容器从每个引脚放置到靠近 WCL1150 器件的地。

## 6 对 WCL1150 设备进行编程

有两种方法可以将应用程序固件编程到 WCL1150 设备中：

1. 通过 SWD 接口对设备闪存进行编程
2. 通过特定接口 (CC、I<sup>2</sup>C) 更新应用程序固件

通常，WCL1150 设备仅在开发或最终产品制造过程中通过 SWD 接口进行编程。最终产品制造完成后，可以通过相应的引导加载程序接口更新 WCL1150 设备的应用程序固件。英飞凌强烈建议客户在量产前使用配置实用程序关闭已更新到 WCL1150 闪存的固件中的“通过 CC 或 I<sup>2</sup>C 接口进行应用程序固件更新”功能。这可以防止未经授权的固件在现场通过 CC 接口进行更新。如果您希望在生产后保留通过 CC/I<sup>2</sup>C 接口进行应用程序固件更新的功能，以便在现场进行固件更新，请联系您当地的英飞凌销售代表获取更多指导。

### 6.1 通过 SWD 接口对设备闪存进行编程

WCL1150 系列器件可使用 SWD 接口进行编程。英飞凌提供 MiniProg4 编程套件 ([CY8CKIT-005 MiniProg4 Kit](#))，可用于编程闪存和调试固件。闪存编程可通过从 [十六进制文件](#) 下载信息进行。

如图 15 所示，SWD\_DAT 和 SWD\_CLK 引脚分别连接到主机编程器的 SWDIO（数据）和 SWDCLK（时钟）引脚。在 SWD 编程期间，可以通过将主机编程器的 VTARG（目标设备电源）连接到 WCL1150 设备的 VDDD 引脚来为设备供电。如果 WCL1150 设备使用板载电源供电，则可以使用“重置编程”选项对其进行编程。

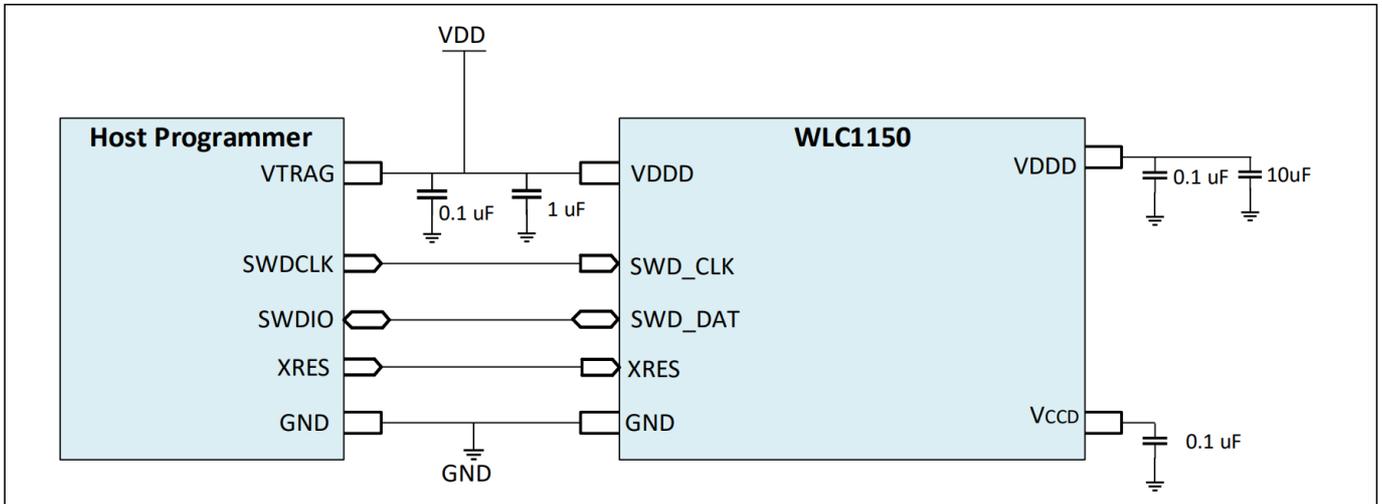


图 15 将编程器连接到 WCL1150

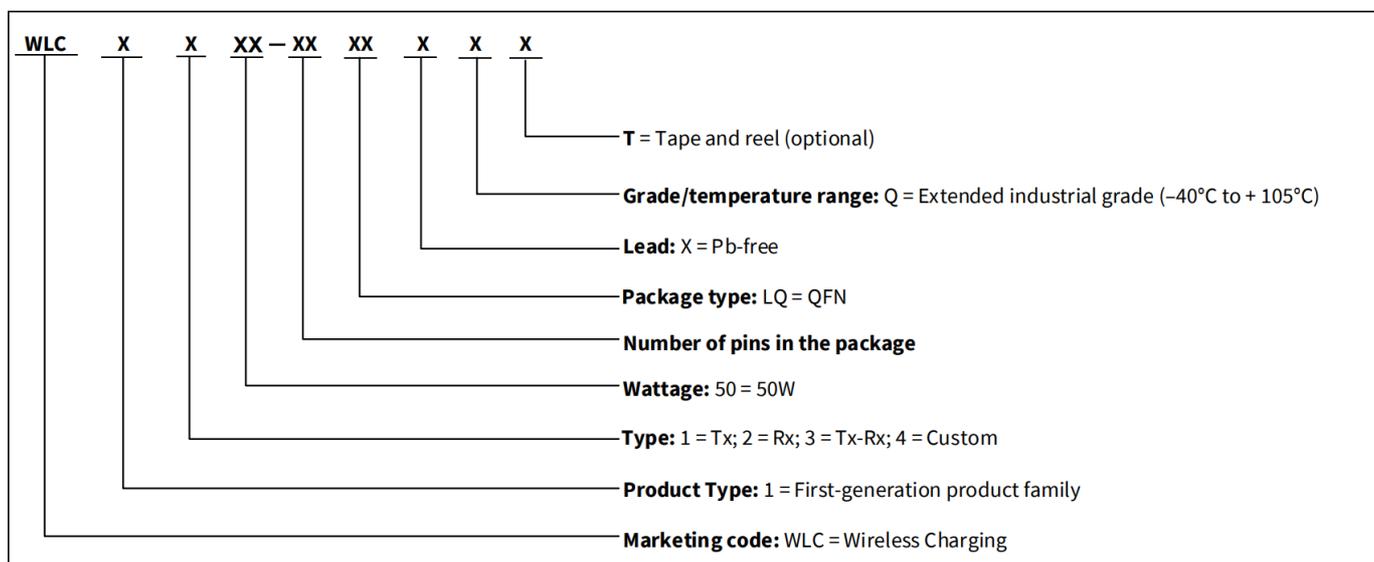
## 7 订购信息

表 21 列出了 WCL1150 订购部件号和应用程序。

表 21 WCL1150 订购部件号

MPN	Power	Application
WLC1150-68LQXQ	50W	Infineon high power proprietary protocol and Qi v1.3.x Tx
WLC1150-68LQXQT		Infineon high power proprietary protocol and Qi v1.3.x Tx - Tape and reel option

### 7.1 订购代码定义



## 8 封装

表 22 封装特性

Parameter	Description	Test conditions	Min	Typ	Max	Unit
T <sub>J</sub>	Operating junction temperature	-	-40	25	125	°C
T <sub>JA</sub>	Package θ <sub>JA</sub>		-	-	-	14.8
T <sub>JB</sub>	Package θ <sub>JB</sub>					4.3
T <sub>JC</sub>	Package θ <sub>JC</sub>					12.9

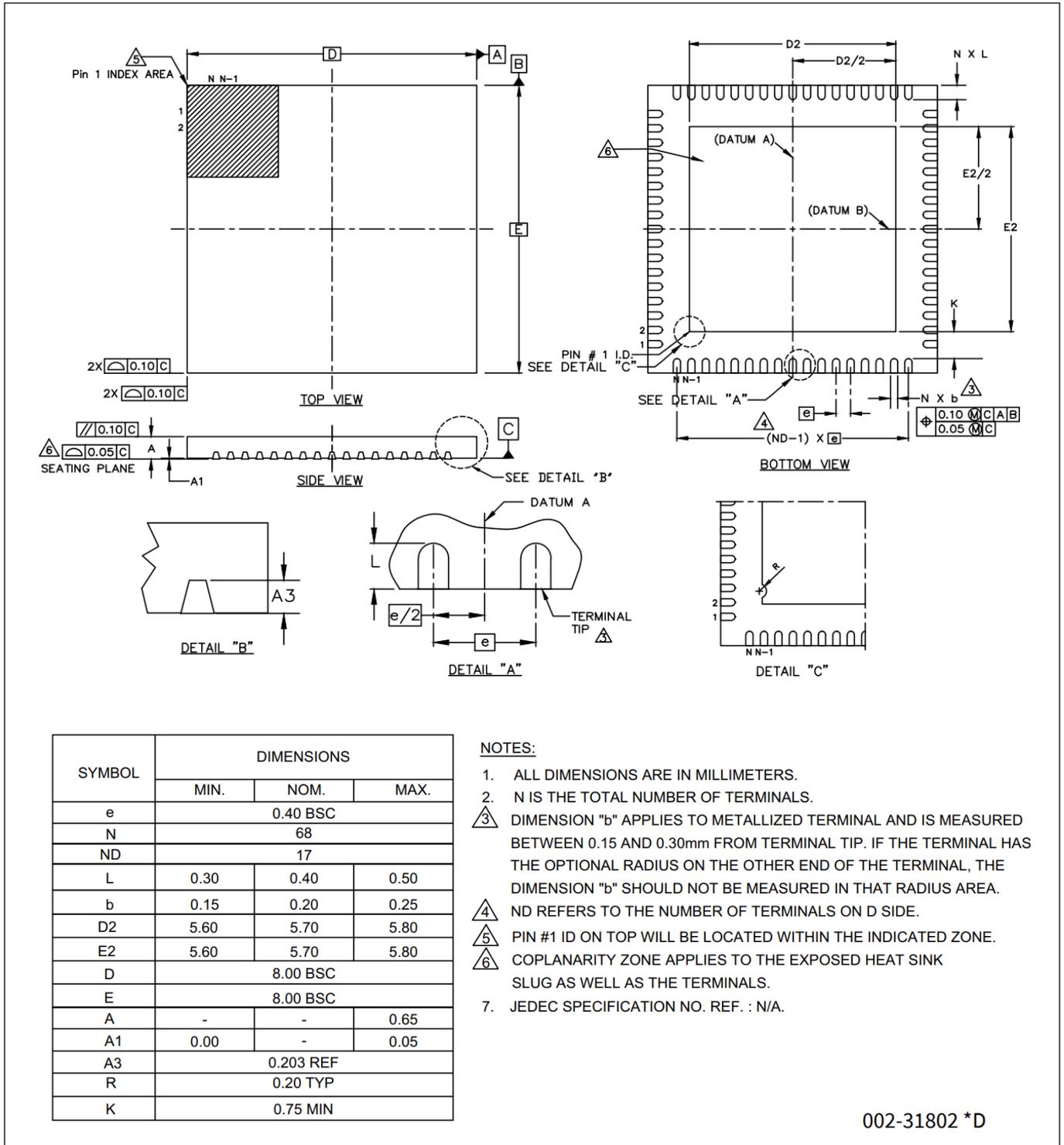
表 23 回流焊峰值温度

Package	Maximum peak temperature	Maximum time within 5°C of peak temperature
68-pin QFN	260°C	30 seconds

表 24 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
68-pin QFN	MSL 3

## 9 封装图



002-31802 \*D

图 16 68LD QFN (8 x 8) 器件封装图 (PG-VQFN-68)

## 10 缩略语

表 25 本文中使用的缩略语

Acronym	Description
ACK	Acknowledge
ADC	Analog-to-digital converter
Arm®	Advanced RISC machine, a CPU architecture
ASK	Amplitude shift key
BPP	Basic power profile
BMC	BiPhase mark code
CEP	Control error packet
CC	Configuration channel
CSA	Current sense amplifier
DCM	Discontinuous-conduction mode
EA	Error amplifier
EPP	Extended power profile
EPT	End power transfer
ESD	Electrostatic discharge
FET	Field effect transistor
FCCM	Forced-continuous-conduction mode
FOD	Foreign object detection
FO	Foreign object
FSK	Frequency shift key
FW	Firmware
GPIO	General-purpose I/O
HBM	Human body model
HS	High speed
I <sup>2</sup> C	Inter-integrated circuit
IC	Integrated circuit
IMO	Internal main oscillator
IPT	Inductive power transfer technology
LDO	Linear drop out
MCU	Microcontroller unit
NTC	Negative temperature coefficient
NVIC	Nested vectored interrupt controller
OCP	Overcurrent protection
Opamp	Operational amplifier
OTP	Over temperature protection
OV	Overvoltage
OVP	Overvoltage protection
PCB	Printed circuit board
PD	Power delivery
POR	Power-on reset
PPDE	proprietary power delivery extensions
PPS	Programmable power supply

## WCL1150

## 缩略语

表 25 本文件中使用的缩略语 (续)

Acronym	Description
PSM	Pulse-skipping mode
PWM	Pulse-width modulator
QFOD	Q factor FOD
RPP	Received power packet
RCP	Reverse current protection
Rx	Power receiver
SAR	Successive approximation register
SCP	Short circuit protection
SPI	Serial peripheral interface
SSP	Signal strength packet
SWD	Serial wire debug, a test protocol
TCPWM	Timer/counter pulse-width modulation
Tx	Power transmitter
UART	Universal asynchronous receiver transmitter
UFP	Upstream facing port
USB	Universal serial bus
UV	Undervoltage
WDT	Watchdog timer
WIC	Wakeup interrupt controller
WLC	Wireless charging IC
WPC	Wireless power consortium
ZCD	Zero-crossing detector

## 11 文档惯例

### 11.1 测量单位

表 26 测量单位

Symbol	Unit of measure
°C	degree Celsius
Hz	hertz
KB	1024 bytes
kHz	kilohertz
kΩ	kilo ohm
LSB	least significant bit
MHz	megahertz
MΩ	mega-ohm
μA	microampere
μF	microfarad
μH	microhenry
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
mm	millimeter
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
nV	nanovolt
Ω	ohm
%	percent
pF	picofarad
s	second
V	volt
W	watt

## 修订记录

Document revision	Date	Description of changes
*A	2023-02-01	Release to web.
*B	2023-07-21	Updated Package diagram. Updated Note 1.



## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

## 重要通知

版本 2025-10-30

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

Do you have a question about this  
document?

Email:  
[erratum@infineon.com](mailto:erratum@infineon.com)

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。