英飞凌 TDA38840 OptiMOS™ IPOL

40A 单轨电压同步降压稳压器

特性

- 单电源 4.3 V 至 17 V 应用，或搭配外置 VCC 时宽输入电压范围为 2.0 V 至 17 V
- 精密基准电压（0.6 V +/- 0.5%）
- 增强型快速 COT 引擎性能稳定，采用陶瓷输出电容
- 强制连续导通模式和二极管仿真模式可选，以提高轻负载效率
- 可编程开关频率为 600 kHz 至 2 MHz
- 单调启动，四种软启动时间可选 & 增强型预偏置启动
- 内置热补偿的过流保护，有四种可选设置
- 具有用于电压监控功能的输入& Power Good 输出
- 热关断
- 工作温度：-40 °C < T_j< 125 °C
- 小尺寸：5 毫米 x 6 毫米 PQFN
- 无卤素，符合 RoHS2 标准（豁免条款7a）

潜在应用

- 服务器应用
- 存储应用
- 电信 & 数据通信应用
- 分布式负载点电源架构

产品验证

符合 JEDEC47/20/22 相关测试的工业应用要求

描述

英飞凌TDA38840 是一款易于使用的全集成 DC-DC 降压稳压器。PWM 控制器和集成了自举二极管的 OptiMOS™ FET 使 TDA38840 成为一款小尺寸解决方案，可提供高效的功率传输。此外，它还采用了快速恒定导通时间 (COT) 控制方案，从而简化了设计工作，并实现了快速瞬态响应。

TDA38840 内部有一个低压差稳压器，允许使用单电源运行。它还可以使用外部偏置电源工作，工作输入电压 (PVin) 范围从 2.0 V 到 17 V。

TDA38840 是一款多功能稳压器，提供 600 kHz 至 2 MHz 的可编程开关频率、四种可选电流限制、四种可选软启动时间、强制连续导通模式 (FCCM) 和二极管仿真模式 (DEM) 操作。

它还具有重要的保护功能，例如预偏置启动、热补偿限流、过压和欠压保护以及热关断，以便在发生故障时提供所需的系统级安全性。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。 为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

目录

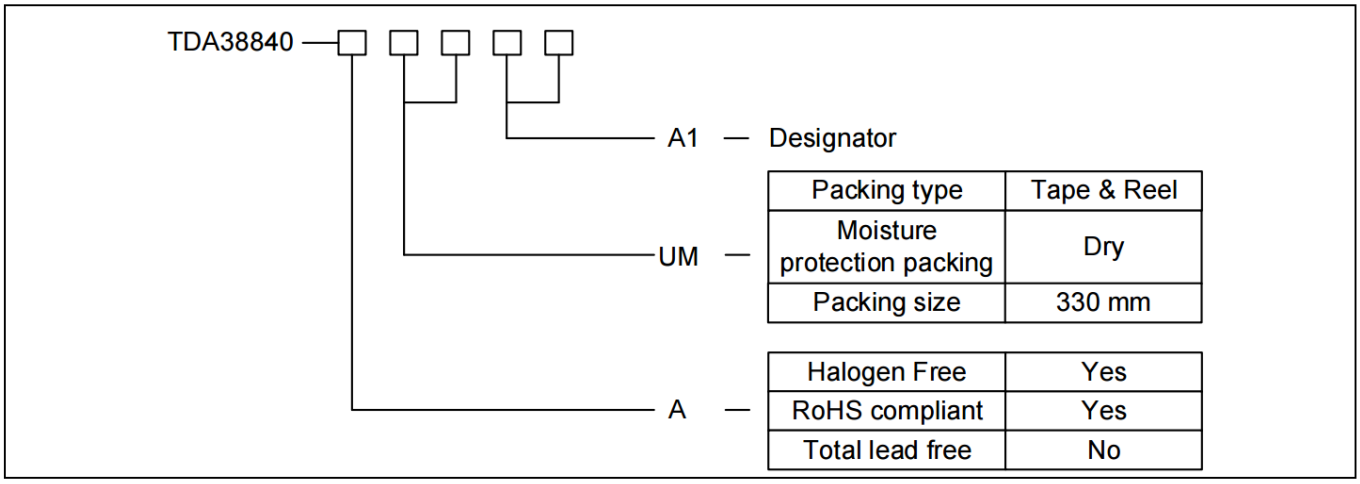
特性 1
潜在应用 1
产品验证 1
描述 1
目录 2
1 订购信息 4
2 功能框图 5
3 典型应用图 6
4 引脚描述 7
5 绝对最大额定值 9
6 热特性 10
6.1 热特性 10
7 电气规格 11
7.1 推荐工作条件 11
7.2 电气特性 12
8 典型效率和功率损耗曲线 15
8.1 PVin = Vin = 12 V, fsw = 600 kHz 15
8.2 PVin = Vin = 12 V, fsw = 800 kHz 16
8.3 PVin = Vin = 12 V, fsw = 1000 kHz 17
8.4 PVin = Vin = VCC = 5 V, fsw = 600 kHz 18
9 热降额曲线 19
10 MOSFET 的 $R_{DS(on)}$ 随温度变化情况 20
11 典型工作特性 (-40 °C ≤ Tj ≤ +125 °C) 21
12 工作原理 24
12.1 快速恒定导通时间控制 24
12.2 使能 24
12.3 FCCM 和 DEM 操作 25
12.4 伪恒定开关频率 25
12.5 软启动 26
12.6 预偏压启动 27
12.7 内部低压差(LDO) 稳压器 27
12.8 过流保护 (OCP) 28
12.9 欠压保护(UVP) 29
12.10 过压保护(OVP) 29
12.11 过温保护 (OTP) 30
12.12 电源良好 (PGood) 输出 30
12.13 最短导通时间和最短关断时间 31
12.14 选择前馈电容和反馈电阻 31
12.15 用于配置引脚的电阻器 32
13 设计示例 33
13.1 启用 TDA38840 33
13.2 开关频率和工作模式编程 33
13.3 选择输入电容 33
13.4 电感选择 34

13.5 输出电容选择 34
13.6 输出电压编程 35
13.7 前馈电容 35
13.8 自举电容 35
13.9 Vin, VCC/LDO 和 VDRV 旁路电容 35
14 应用信息 36
14.1 应用图 36
14.2 典型工作波形 36
15 布局建议 39
15.1 阻焊层 44
15.2 钢网设计 45
16 封装 47
16.1 标记信息 47
16.2 尺寸 47
16.3 卷带信息 49
17 环境资质 50
18 评估板和支持文档 51
修订记录 52

1 订购信息

1. 订购信息

Sales Product Number	Package Type	Standard Pack Form and Qty		Orderable Part Number
TDA38840	QFN 5 mm x 6 mm	Tape and Reel	5000	TDA38840AUMA1



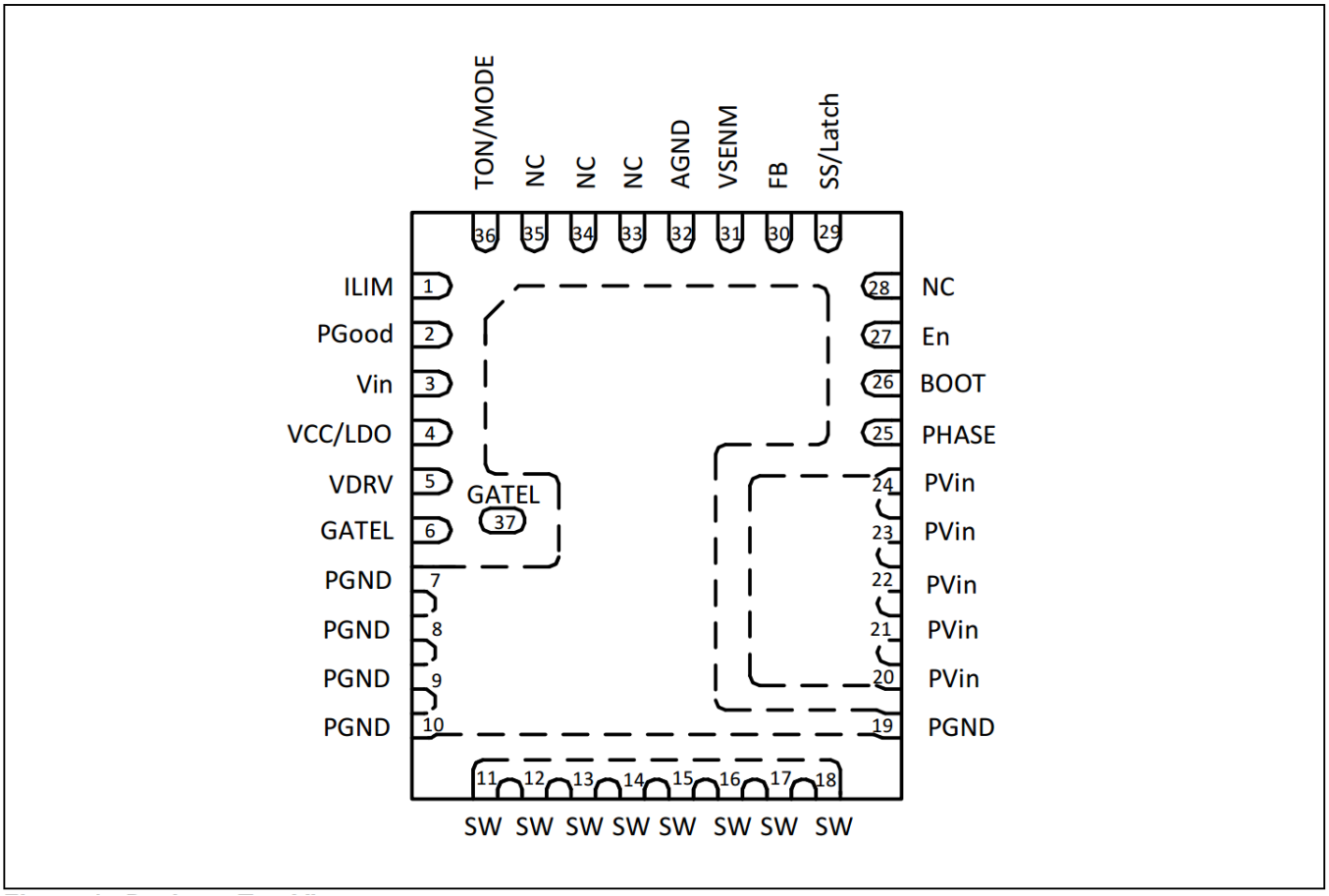


图 1 封装俯视图

2 功能框图

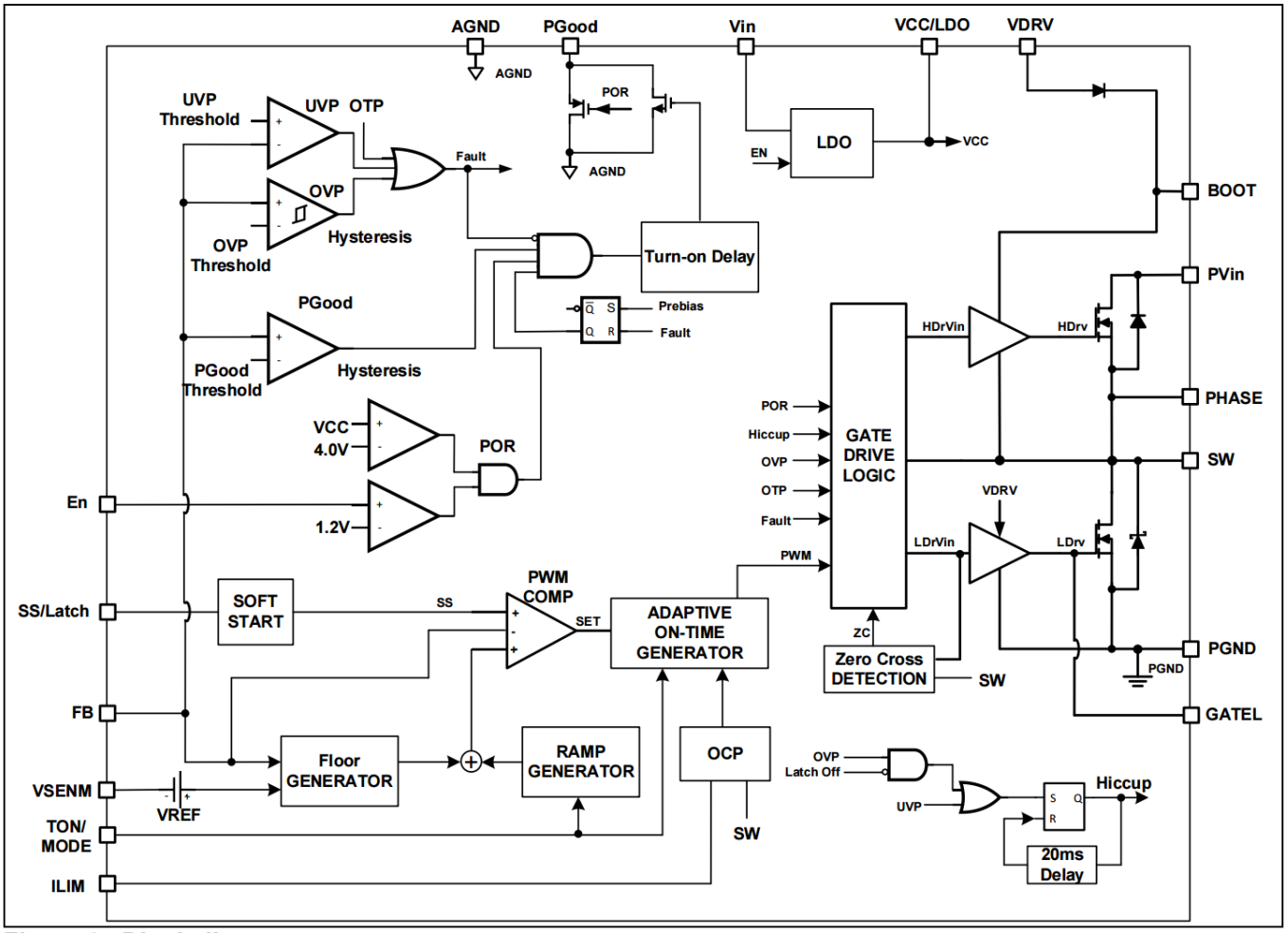

AGND
PGood
Vin
VCC/LDO
VDRV
AGND
POR
AGND
UVP Threshold
UVP OTP
Fault
LDO
EN
VCC
BOOT
OVP
OVP Threshold
Hysteresis
Turn-on Delay
PVin
PGood
Prebias
Fault
PGood Threshold
Hysteresis
HDrvIn
HDrv
PHASE
VCC 4.0V
POR
POR
Hiccup
OVP
OTP
Fault
PWM
GATE DRIVE LOGIC
SW
En
1.2V
VDRV
LDrvIn
LDrv
SS/Latch
SOFT START
SS
PWM COMP
SET
ADAPTIVE ON-TIME GENERATOR
ZC
Zero Cross DETECTION
SW
PGND
PGND
GATEL
FB
Floor GENERATOR
RAMP GENERATOR
OCP
OVP
Latch Off
UVP
Hiccup
VSENM
VREF
SW
20ms Delay
TON/ MODE
ILIM

图 2 框图

3 典型应用图

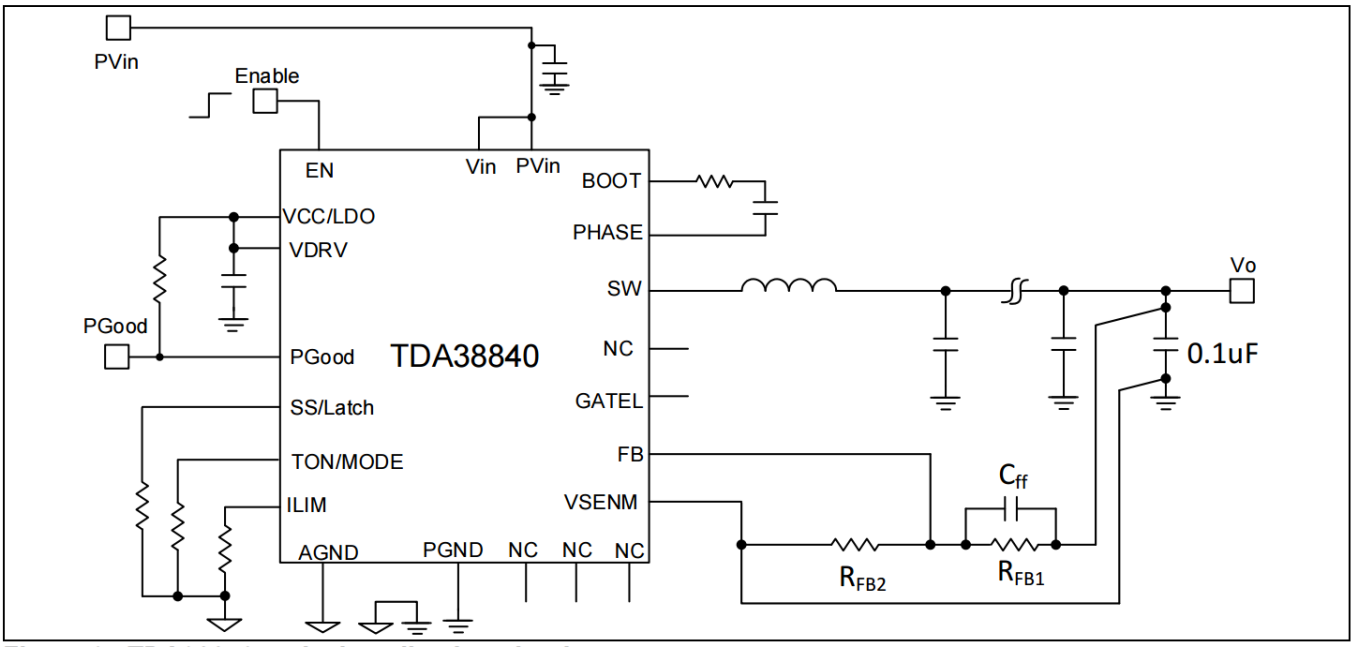


图 3 TDA38840 典型应用电路

4 引脚描述

注： *I = 输入，O = 输出*

Pin#	Pin Name	I/O	Type	Pin Description
1	ILIM	I	Analog	Connect a resistor to a quiet ground to set the Over Current Protection (OCP) limit. Four user selectable OCP limits are available.
2	PGood	O	Analog	Power Good status output pin is open drain. Connect a pull up resistor from this pin to VCC or to an external bias voltage, e.g. a 50 kΩ pull-up resistor for a PGood bias voltage of 3.3 V.
3	Vin	I	Power	Input voltage for an Internal LDO. A 4.7 µF capacitor should be connected between this pin and PGND. If an external supply is connected to VCC/LDO pin, this pin should be shorted to VCC/LDO pin and a 10 µF ceramic capacitor can be shared with Vin and VCC/LDO pin.
4	VCC/LDO	I/O	Power	Output of the internal LDO or input for an external VCC voltage. A 2.2 µF - 10 µF ceramic capacitor is recommended to use between VCC, VDRV and the Power ground (PGND).
5	VDRV	I	Power	Input bias for the internal driver. It should be shorted to VCC/LDO pin on the PCB. A 2.2 µF - 10 µF ceramic capacitor is recommended to use between VDRV, VCC/LDO and the Power ground (PGND).
6, 37	GATEL	I	Analog	Gate of Low-side FET. This pin can be used to monitor the gate signal of LS FET. No external components should be connected to it.
7, 8, 9, 10, 19	PGND	-	Ground	Power Ground. Must be connected to the system's power ground plane. PGND and AGND are internally connected via the lead frame.
11, 12, 13, 14, 15, 16, 17, 18	SW	O	Power	Switch Node. Connect these pins to an output inductor.
20, 21, 22, 23, 24	PVin	I	Power	Input supply for the power stage.
25	PHASE	O	Analog	Source of High-side FET. Connect a bootstrap capacitor between this pin and BOOT pin. A high temperature (X7R) 0.1 µF or greater value ceramic capacitor is recommended.
26	BOOT	I	Analog	Supply voltage for the high side driver. Connect this pin to the PHASE pin through a bootstrap capacitor. A resistor (e.g., 1 Ω~2 Ω) can be placed in series with the bootstrap capacitor to control the slew rate of the SW node rising edge.
27	En	I	Analog	Multi-function pin: (1) Enable pin to turn the device on and off; (2) enable or disable the internal LDO; (3) If this pin is connected to PVin pin through a resistor divider, input voltage UVLO can be implemented.

Pin descriptions

Pin#	Pin Name	I/O	Type	Pin Description
29	SS/Latch	I	Analog	Multi-function pin. Connect a resistor to a quiet ground to select Soft-Start time from 4 options. This pin also selects latched-off Over Voltage Protection (OVP) or non-latched OVP.
30	FB	I	Analog	Output voltage feedback pin. Connect this pin to the output of the regulator via a resistor divider to set the output voltage.
31	VSENM	-	Analog	This pin provides the return connection for a pseudo remote voltage sensing. The feedback resistor divider should be connected to this pin. It is also used as ground for the internal reference voltage.
32	AGND	-	Ground	Signal ground for the internal circuitry except the internal reference voltage.
36	TON/MODE	I	Analog	Multi-function pin. Connect a resistor to a quiet ground to set the switching frequency to 1 of 8 settings and sets the mode of operation to FCCM or DEM.
28, 33, 34, 35	NC	-	Not connected	Not connected internally. They can be left floating on PCB.

5 绝对最大额定值

绝对最大额定值

Description	Min	Max	Unit	Conditions
PVin, Vin and En to PGND	-0.3	25	V	Note **1**
PVin to SW and PHASE	-0.3 V(dc) , below -5 V for 5 ns	25 V(dc), above 32 V for 2 ns	V	
VCC and VDRV to PGND	-0.3	6	V	Note **1**
BOOT to PGND	-0.3 V(dc), below -0.3 V for 5 ns	29	V	Note **1**
SW and PHASE to PGND	-0.3 (dc), below -5 V for 5 ns	25 V(dc), above 32 V for 2 ns	V	Note **1**
BOOT to PHASE	-0.3	6 V(dc), 7 V for 5 ns	V	
ILIM, FB, PGood, TON/MODE, GATEL and SS to AGND	-0.3	6	V	Note **1**
PGND to AGND	-0.3	0.3	V	
VSENM to AGND	-0.3	0.3	V	
Storage Temperature Range	-55	150	°C	
Junction Temperature Range	-40	150	°C	

注释：

1. PGND，VSENM 和AGND 引脚连接在一起

注意： ***超过“绝对最大额定值”所列值的应力可能会对器件造成永久性损坏。这些仅仅是应力额定值，并不意味着器件在这些或任何其他超过操作规范部分所示的条件下能够正常运行。***

6 热特性

6.1 热特性

Description	Symbol	Values	Test Conditions
Junction to Ambient Thermal Resistance	θ_{JA}	12 °C/W	Note **2**
Junction to PCB Thermal Resistance	$\theta_{JC\text{-}PCB}$	0.85 °C/W	Note **3**
Junction to Case Top Thermal Resistance	θ_{JC}	22.5 °C/W	

注释：

2. *热阻是在自由空气中将元器件安装在标准 EVAL_38840_1Vout 演示板上进行测量的*
3. *热阻是基于引脚 22 附近的电路板温度。*

7 电气规格

7.1 推荐工作条件

Description	Min	Max	Unit	Note
PVin Voltage Range with External VCC	2	17	V	Note **4**, Note **5**
PVin Voltage Range with Internal LDO	4.5	17	V	Note **5**, Note **6 & 10**
VCC and VDRV Supply Voltage Range	4.3	5.5	V	Note **4**, Note **7**
Typical Output Voltage Range	0.6	6	V	Note **8**, Note **9**
Continuous Output Current Range		40	A	Note **9**
Typical Switching Frequency Range	600	2000	kHz	Note **10**
Operating Junction Temperature	-40	125	°C	

注释：

4. *Vin 与VCC 短接，并使用外部偏置电压。*
5. *通常做法是在设计中为最大SW 节点电压留出20% 的余量。为确保最大SW 节点尖峰电压不超过20 V，可能需要在Boot 引脚上串联一个小电阻。另外，还可在SW 节点上使用RC 缓冲器来降低SW 节点的尖峰。*
6. *Vin 连接至PVin，并使用内部LDO。对于使用内部LDO 且PVin = Vin = 4.3 V-5.4 V 的单轨应用，内部LDO 可能会进入压降模式。由于VCC 电压较低，OCP 限制可能会降低。有关更详细的设计指南，请参阅**第 12.7 节**。*
7. *TDA38840 可在VCC 低至4.2 V 时工作，但OCP 限制等电气规范可能会降低。*
8. *最大输出电压也受到最短关断时间的限制。详情请参阅**第 12.13 节** 。另请注意，当关断时间接近最小关断时间时，OCP 限制可能会降低。*
9. *有关使用内部LDO 在不同环境温度下的最大额定输出电流，请参阅**第 9 节** 。较低的VCC 电压会导致较高的$R_{DS(on)}$，因此需要更多的热降额。*
10. *对于要求全工作温度范围为-40 °C ≤ T_J ≤ 125 °C 的操作，最大LDO 输出电流必须限制在50 mA 以内。**图 6** 显示了结温下的最大LDO 输出电流能力。在环境温度较高时，可能需要进行热降额，以确保结温在推荐的工作温度范围内。*

7.2 电气特性

注释： *除非另有规定，这些规格适用于4.5 V ≤ Vin = PVin ≤ 17 V，0 °C < T_J < 125 °C。典型值在Ta = 25 °C 时设定。*

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
Power Stage						
Top Switch	$R_{ds(on)_Top}$	V_{Boot} – V_{sw}= 5.0 V, I_O = 40 A, T_j=25 °C		2.4		mΩ
Bottom Switch	$R_{ds(on)_Bot}$	VCC = 5.0 V, Io = 40 A, T_j=25 °C		0.8		mΩ
Bootstrap Forward Voltage		I(BOOT) = 25 mA		378	600	mV
SW float voltage	V_{SW}	En = 0 V			300	mV
		En = high, No Switching			300	mV
Dead Band Time	T_{db}	SW node falling edge, Io = 40 A, Internal LDO, T_j = 25 °C, Note **11**		10		ns
		SW node rising edge, Io = 40 A, Internal LDO, T_j = 25 °C, Note **11**		5		ns
Supply Current						
Vin Supply Current (standby)	$I_{in(Standby)}$	En = Low, No Switching		4	10	µA
Vin Supply Current (static)	$I_{in(Static)}$	En=2 V, No Switching		2.3	4	mA
Soft Start						
Soft Start Ramp Rate	SS rate	SS/Latch = 0 kΩ, 4.53 kΩ, 10.5 kΩ, 18.7 kΩ;	0.4	0.6	0.84	mV/µs
		SS/Latch =1.5 kΩ, 5.76 kΩ, 12.1 kΩ, 21.5 kΩ;	0.2	0.3	0.42	mV/µs
		SS/Latch = 2.49 kΩ, 7.32 kΩ, 14 kΩ, 24.9 kΩ, Floating	0.1	0.15	0.21	mV/µs
		SS/Latch = 3.48 kΩ, 8.87 kΩ, 16.2 kΩ, 28.7 kΩ;	0.05	0.075	0.105	mV/µs
Feedback Voltage						
Feedback Voltage	V_{FB}			0.6		V
Accuracy		0°C < T_j < 85 °C	-0.5		+0.5	%
		-40 °C < T_j < 125 °C, Note **12**	-1		1	%
V_{FB} Input Current	IV_{FB}	V_{FB}=0.6 V, T_j=25 °C	-150	0	+150	nA
On-Time Timer Control						
On Time	T_{on}	Vin=12 V, Vo=1 V, TON= 0 kΩ or 10.5 kΩ, Note **13**		151		ns
		Vin=12 V, Vo=1 V, TON= 1.5 kΩ or 12.1 kΩ, Note **13**		114		ns
		Vin=12 V, Vo=1 V, TON= 2.49 kΩ, or 14 kΩ, Note **13**		91.5		ns
		Vin=12 V, Vo=1 V, TON= 3.48 kΩ, or 16.2 kΩ, Note **13**		77		ns

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
On Time	T_{on}	Vin=12 V, Vo=1 V, TON= 4.53 kΩ, or 18.7 kΩ, Note **13**		66.5		ns
		Vin=12 V, Vo=1 V, TON= 5.76 kΩ, or 21.5 kΩ, Note **13**		58.5		
		Vin=12 V, Vo=1 V, TON= 7.32 kΩ, or 24.9 kΩ, Note **13**		52		
		Vin=12V , Vo=1 V, TON= 8.87kΩ, or 28.7kΩ, Note **13**		47		
		Vin=12V, Vo=1.0V, TON = Floating, Note **13**		114		
Minimum On-Time	$T_{on\ (Min)}$	Vin=12 V, Vo=0 V		23	32	ns
Minimum Off-Time	$T_{off\ (Min)}$	T_j=25 °C, V_{FB}=0 V		270	360	ns
VCC LDO Output						
Output Voltage	VCC	5.5 V ≤ Vin ≤ 17 V, when Icc =50 mA, Cload = 2.2 µF	4.7	5.0	5.3	V
VCC Dropout	VCC_drop	Vin = 4.3 V, Icc=50 mA, Cload=2.2 µF			300	mV
Short Circuit Current	I_{short}	5.5 V ≤ Vin ≤ 17 V		90		mA
Under Voltage Lockout						
VCC-Start Threshold	VCC_UVLO_Start	VCC Rising Trip Level	3.8	4.0	4.2	V
VCC-Stop Threshold	VCC_UVLO_Stop	VCC Falling Trip Level	3.6	3.8	4.0	V
Enable-Start-Threshold	En_UVLO_Start	ramping up	1.14	1.2	1.36	V
Enable-Stop-Threshold	En_UVLO_Stop	ramping down	0.9	1	1.06	
Input Impedance	R_{EN}		500	1000	1500	kΩ
Over Current Limit						
Current Limit Threshold (Valley current)	Ioc	Tj = 25 °C, PVin = 12 V, Internal LDO, RILIM=24.9 kΩ, Note **14**	43	51	55	A
		Tj = 25 °C, PVin = 12 V, Internal LDO, RILIM=21.5 kΩ, Note **14**	38	44	48	
		Tj = 25 °C, PVin = 12 V, Internal LDO, RILIM=16.2 kΩ, Note **14**	32	38	41	
		Tj = 25 °C, PVin = 12 V, Internal LDO, RILIM=12.1 kΩ, Note **14**	26	31	34	
Over Voltage Protection						
OVP Trip Threshold	OVP_Vth	FB Rising	115	121	125	% Vref
		FB Falling, OVP hysteresis	110	115	120	
OVP Protection Delay	OVP_Tdly			8		µs
Hiccup Blanking Time	Tblk_Hiccup	Unlatched OVP		20		ms
Under Voltage Protection						
UVP Trip Threshold	UVP_Vth	FB Falling	65	70	75	% Vref
UVP Protection Delay	UVP_Tdly			2		µs

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
Hiccup Blanking Time	Tblk_Hiccup			20		ms
Power Good						
PGood Turn on Threshold	VPG(upper)	FB Rising	85	91	95	% Vref
PGood Turn off Threshold	VPG(lower)	FB Falling	80	84	90	% Vref
PGood Sink Current	I_{PG}	PG = 0.5 V, En = 2 V	2.5	5		mA
PGood Voltage Low	$V_{PG(low)}$	Vin = VCC =0 V, Rpull-up = 50 kΩ to 3.3 V		0.3	0.5	V
PGood Turn on Delay	$V_{PG(on)_Dly}$	FB Rising, see VPG(upper)		2.5		ms
PGood Comparator Delay	$V_{PG(comp)_Dly}$	VFB < VPG(lower) or VFB > VPG(upper)	1	2	3.5	µs
PGood Open Drain Leakage Current		PG = 3.3 V			1	µA
Thermal Shutdown						
Thermal Shutdown		Note **11**		140		°C
Hysteresis		Note **11**		20		

注释：

11. 由设计保证，但未经生产测试。

12. 通过统计质量控制的相关性来保证低温和高温性能。未进行生产测试。

13. 利用 EVAL_38840_1Vout 演示板对 Ton 进行微调，使其在 30A 左右的负载电流下达到目标开关频率。

*14. 规定的 OCP 限制是指 OCP 跳闸时电感器电流的谷值。有关更详细的设计指南，请参阅**第 12.8 节**。*

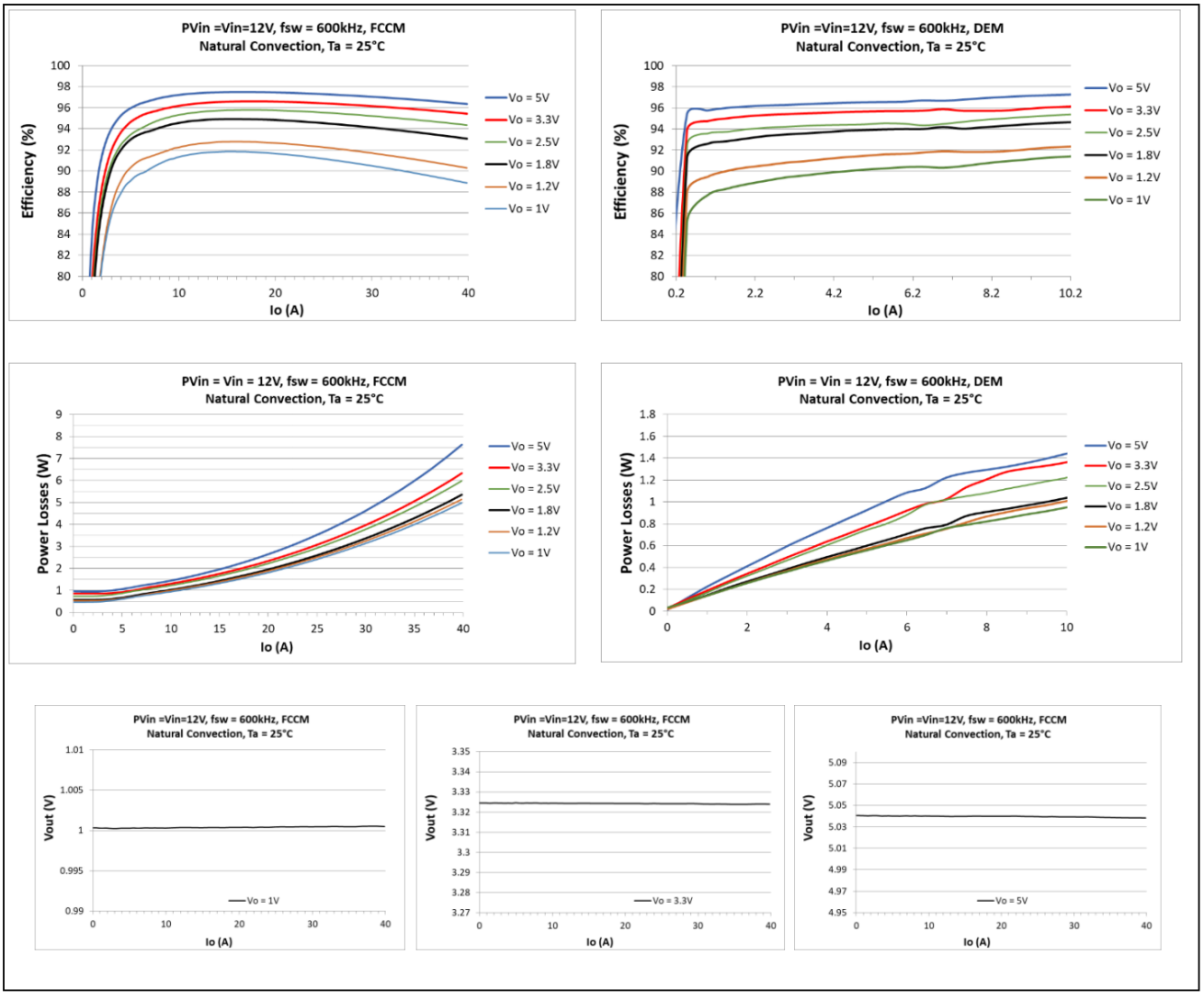
8 典型效率和功率损耗曲线

8.1 PVin = Vin = 12 V, fsw = 600 kHz

PVin = Vin = 12 V，VCC = 内部 LDO，Io = 0 A-40 A，fsw= 600 kHz，室温，无气流。请注意，效率和功率损耗曲线包括 TDA38840 的损耗、电感器损耗、输入和输出电容器损耗以及 PCB 线路损耗。下表列出了效率测量中每个输出电压所使用的电感器。

表 1 PVin = Vin = 12 V、fsw = 600 kHz 时的电感

Vo (V)	Lout (nH)	P/N	DCR (mΩ)	Size (mm)
1.0	120	AH3740A-120K (ITG)	0.145	6.4x9.5x10
1.2	120	AH3740A-120K (ITG)	0.145	6.4x9.5x10
1.8	170	HCB138380F-171 (Delta)	0.15	12.4x8.3x8
2.5	250	HCUVE117512-251 (Delta)	0.15	7.5x10.7x12
3.3	250	HCUVE117512-251 (Delta)	0.15	7.5x10.7x12
5	350	HCBD101195-351(Delta)	0.35	10.1 x 11.4 x 9.5

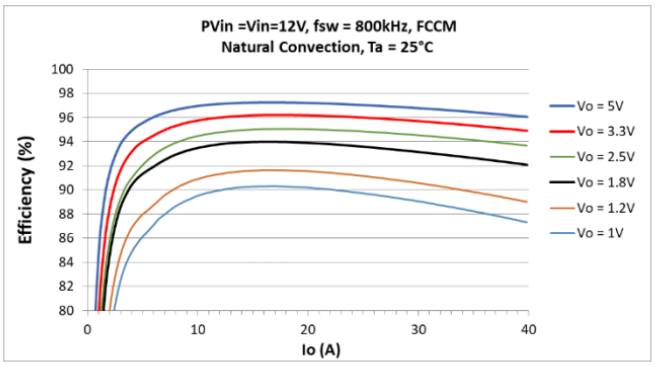


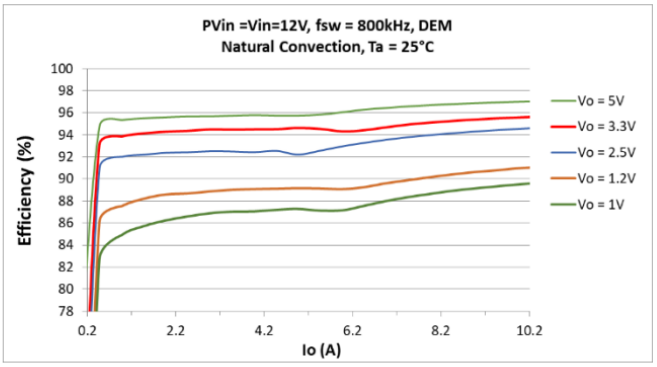
8.2 PVin = Vin = 12 V, fsw = 800 kHz

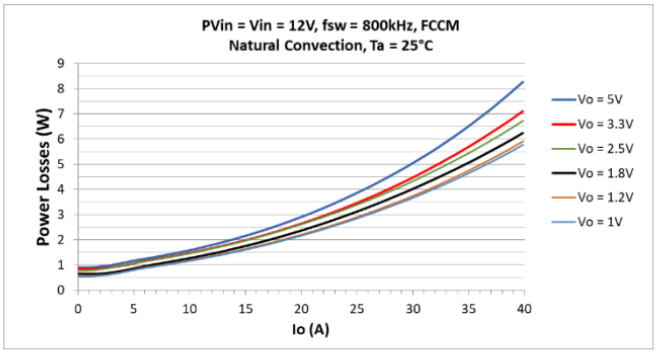
PVin = Vin = 12 V，VCC = 内部 LDO，Io = 0 A-40 A，fsw = 800 kHz，室温，无气流。请注意，效率和功率损耗曲线包括 TDA38840 的损耗、电感器损耗、输入和输出电容器损耗以及 PCB 线路损耗。下表列出了效率测量中每个输出电压所使用的电感器。

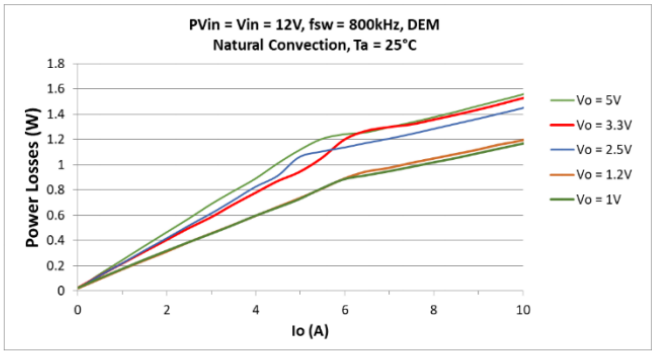
表 2 PVin = Vin =12 V、fsw = 800 kHz 时的电感

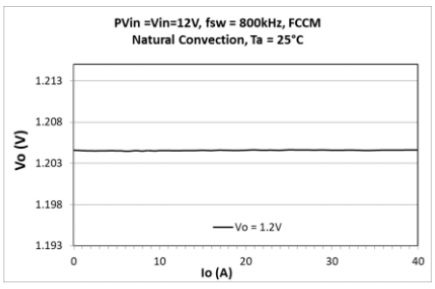
Vo (V)	Lout (nH)	P/N	DCR (mΩ)	Size (mm)
1.0	100	HCBS9610W-101IF (Delta)	0.145	6.4 x 9.6 x 10
1.2	120	HCBS9610W-121IF (Delta)	0.15	6.4 x 9.6 x 10
1.8	150	HCB138380F-151 (Delta)	0.15	12.4 x 8.3 x 8
2.5	250	HCUVE117512-251 (Delta)	0.15	7.5x10.7x12
3.3	250	HCUVE117512-251 (Delta)	0.15	7.5x10.7x12
5	350	HCBD101195-351(Delta)	0.35	10.1 x 11.4 x 9.5

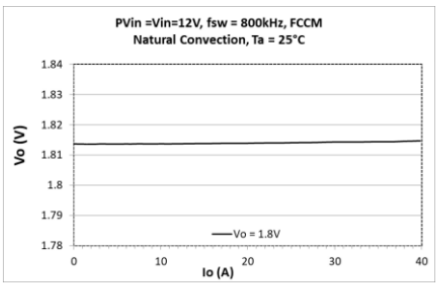


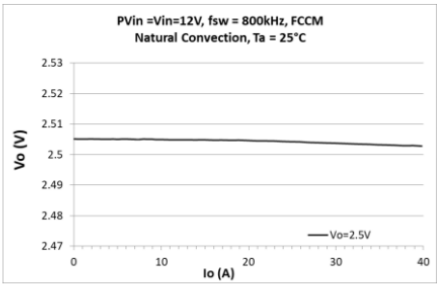










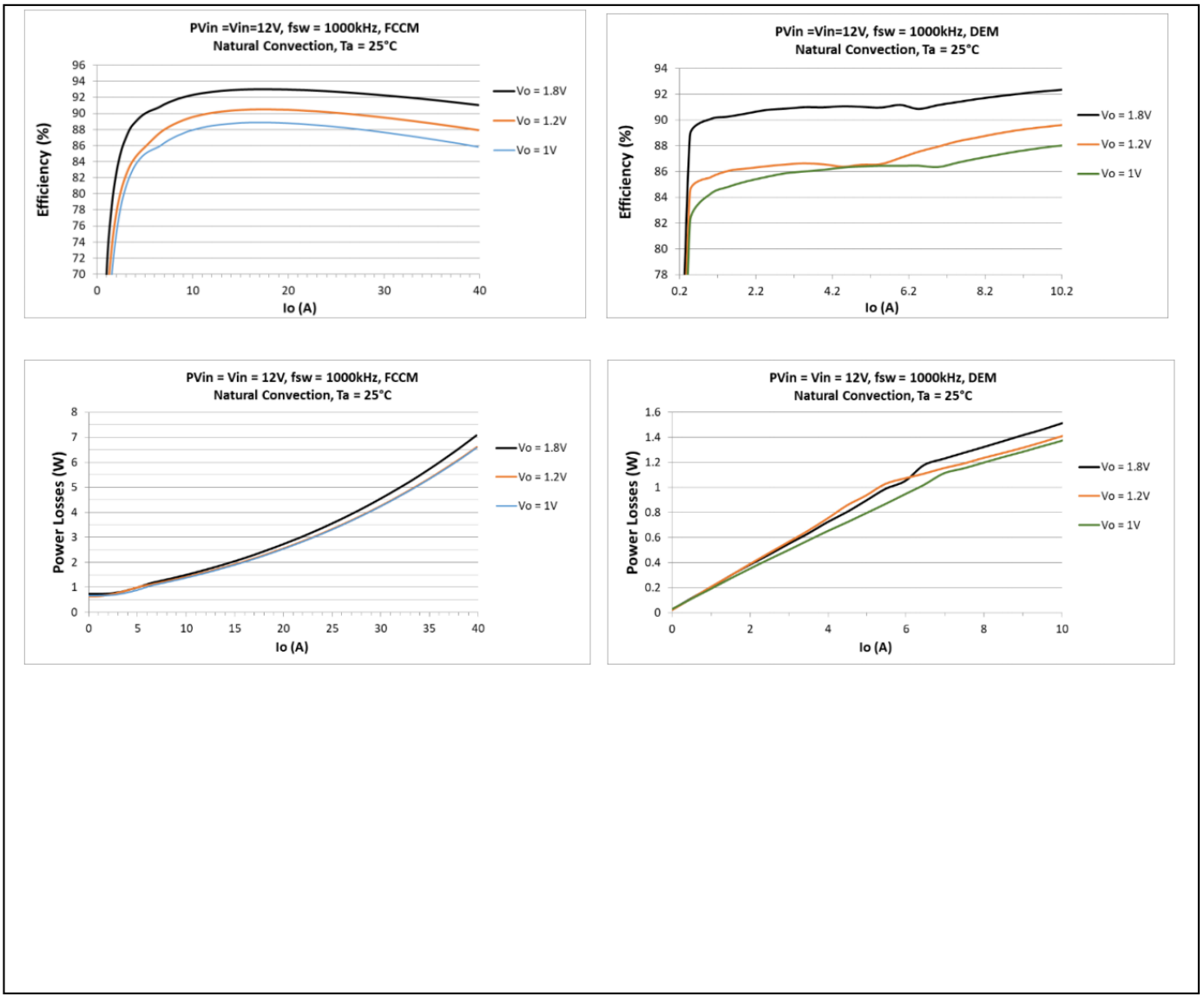


8.3 PVin = Vin = 12 V, fsw = 1000 kHz

PVin = Vin = 12 V，VCC = 内部 LDO，Io = 0 A-40 A，fsw = 1000 kHz，室温，无气流。请注意，效率和功率损耗曲线包括 TDA38840 的损耗、电感器损耗、输入和输出电容器损耗以及 PCB 线路损耗。下表列出了效率测量中每个输出电压所使用的电感器。

表 3 PVin = Vin =12 V、fsw = 1000 kHz 时的电感

Vo (V)	Lout (nH)	P/N	DCR (mΩ)	Size (mm)
1.0	100	AH3740A-70K (ITG)	0.145	6.4 x 9.5 x 10
1.2	100	AH3740A-100K (ITG)	0.145	6.4 x 9.5 x 10
1.8	120	AH3740A-120K (ITG)	0.145	6.4 x 9.5 x 10

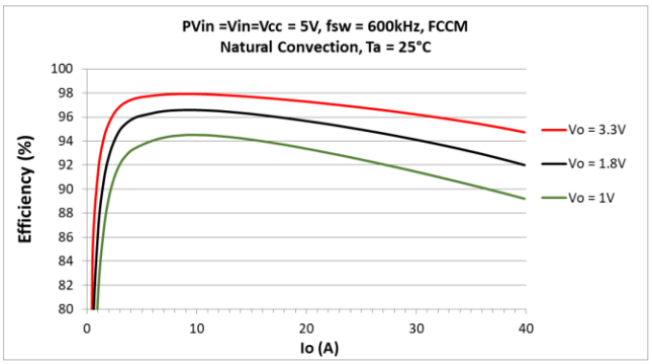


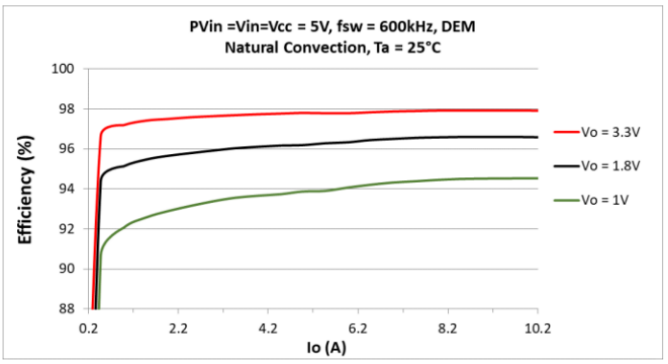
8.4 PVin = Vin = VCC = 5 V, fsw = 600 kHz

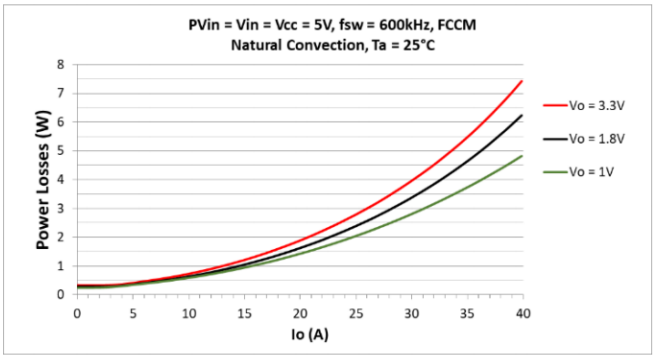
PVin = Vin = VCC = 5.0 V，Io = 0 A – 40 A，fsw = 600 kHz，室温，无气流。请注意，效率和功率损耗曲线包括 TDA38840 的损耗、电感器损耗、输入和输出电容器损耗以及 PCB 线路损耗。下表列出了效率测量中每个输出电压所使用的电感器。

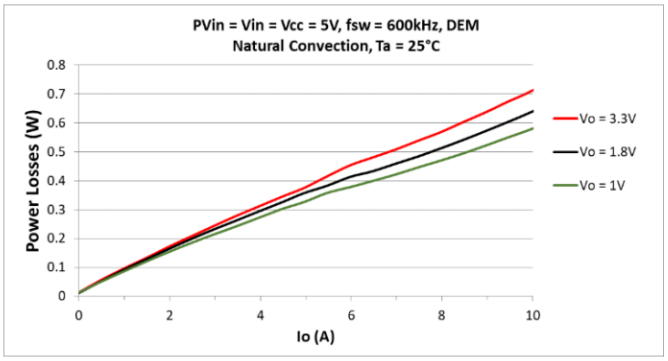
表 4 PVin = Vin = VCC = 5 V、fsw = 600 kHz 时的电感

Vo (V)	Lout (nH)	P/N	DCR (mΩ)	Size (mm)
1.0	120	AH3740A-120K (ITG)	0.145	6.4 x 9.5 x 10
1.8	150	HCB138380F-151 (Delta)	0.15	12.4 x 8.3 x 8
3.3	150	HCB138380F-151 (Delta)	0.15	12.4 x 8.3 x 8









9 热降额曲线

测量在 EVAL_38840_1Vout 评估板上进行。PCB 为 8 层板，各层均使用 2 盎司铜，采用FR4 材料，尺寸为 3.3 "x4.05"。

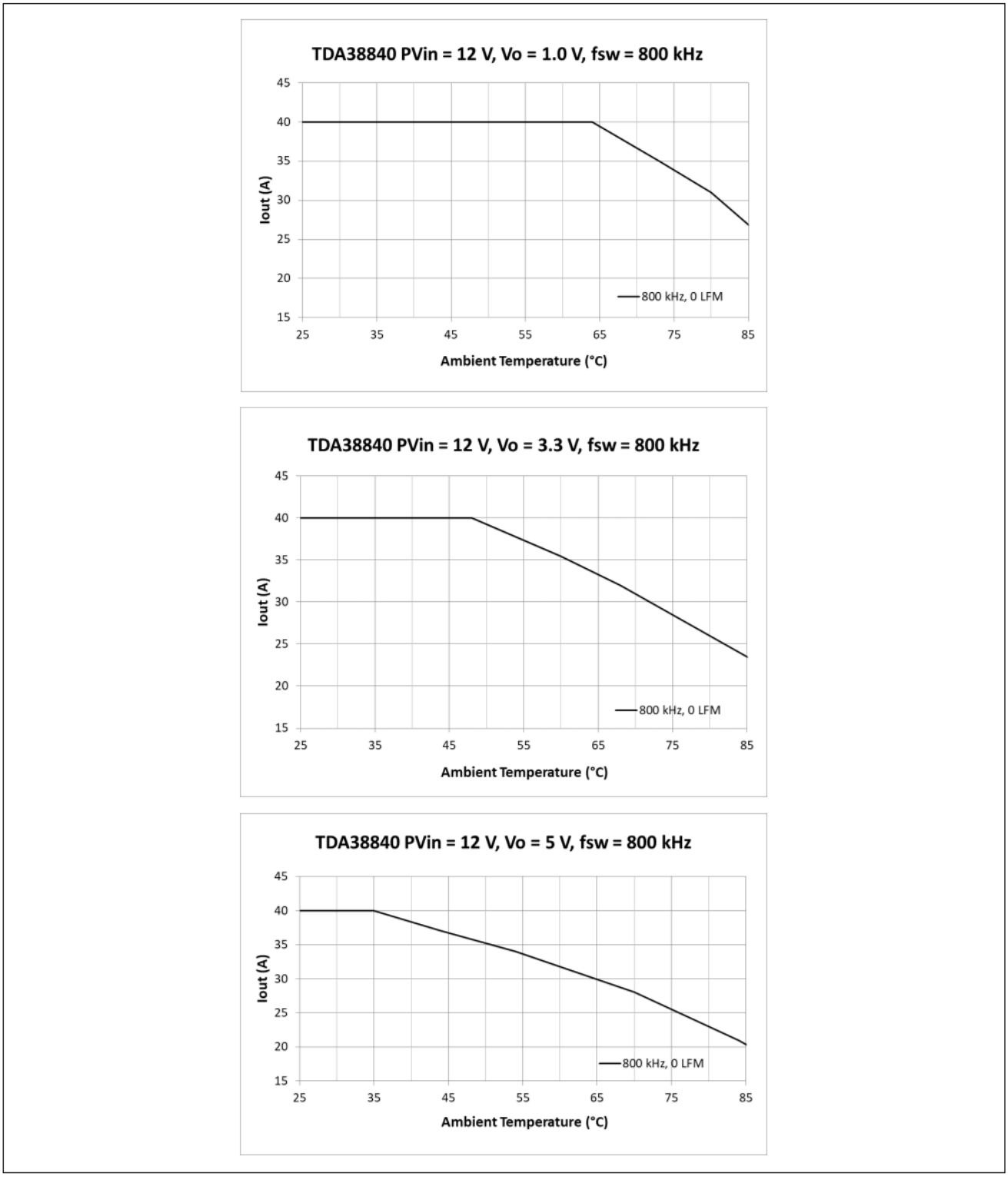


图 4　热降额曲线，PVin = 12 V、Vo = 1.0V/3.3 V/5 V、Fsw = 800 kHz、VCC = 内部 LDO

10 MOSFET 的 $R_{DS(on)}$ 随温度变化情况

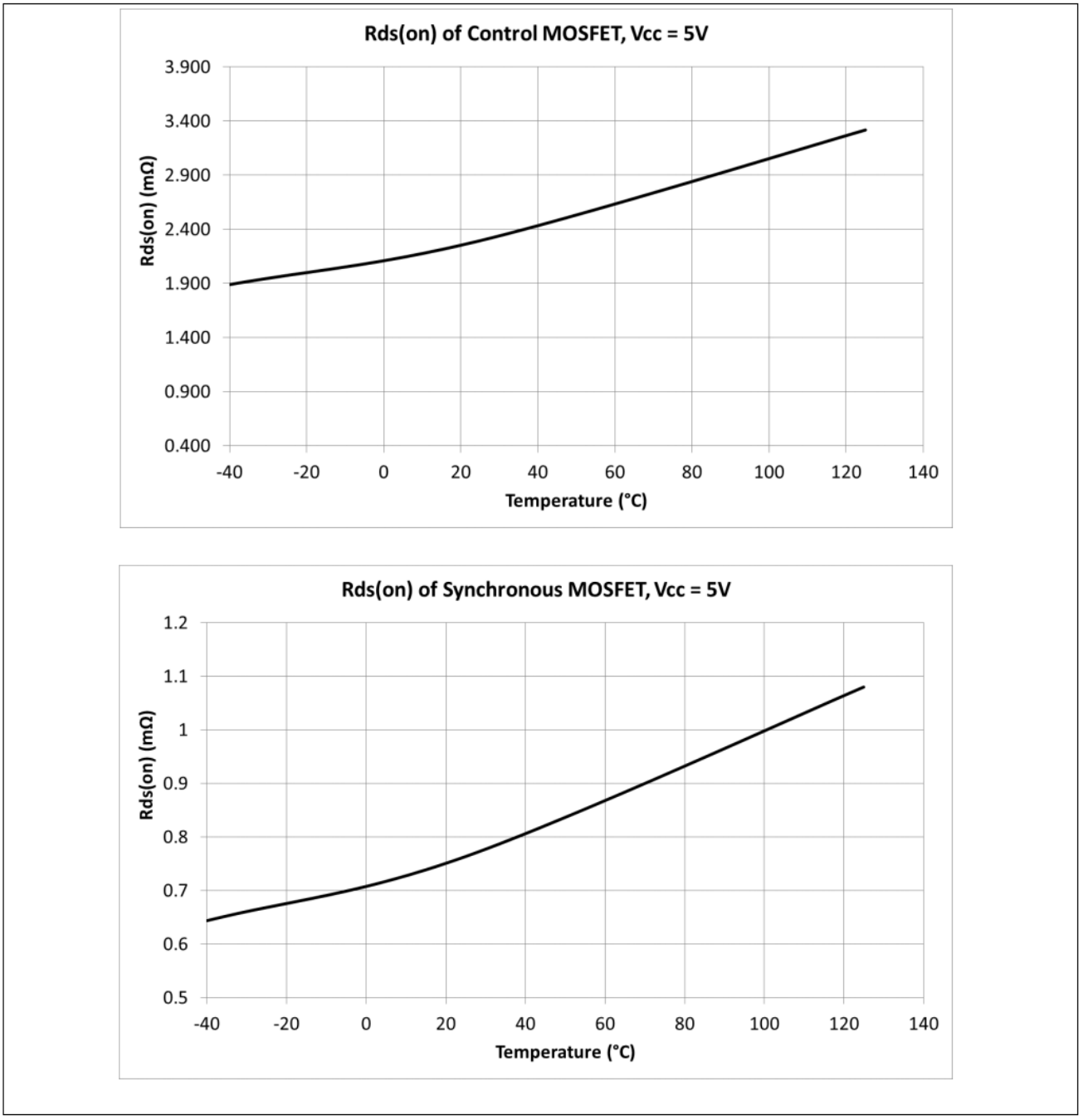


图 5 MOSFET 的 $R_{DS(on)}$ 随结温变化情况

11 典型工作特性（-40 °C ≤ Tj ≤ +125 °C）

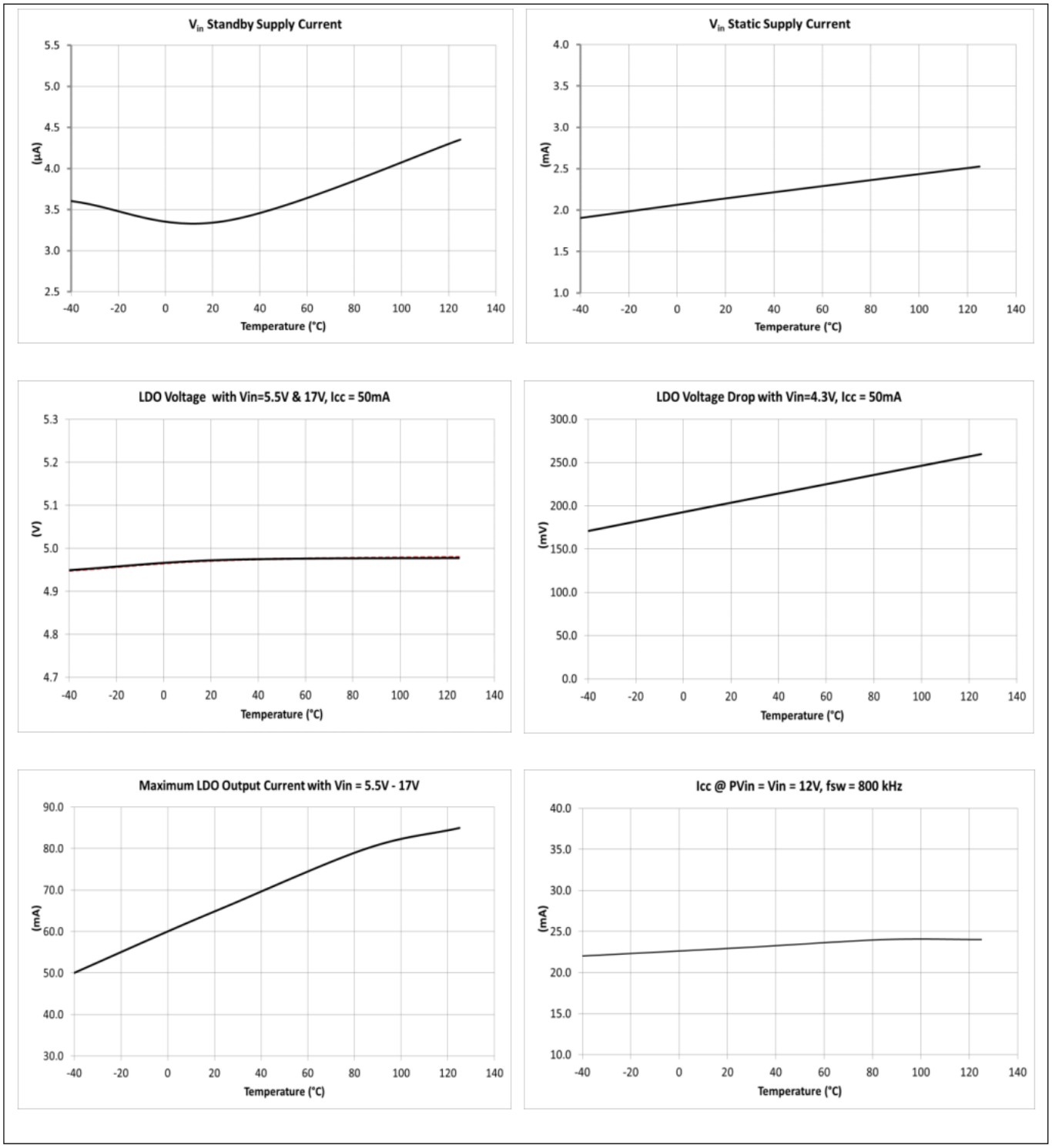


图 6　典型工作特性（第 1 组，共 3 组）

Typical operating characteristics (-40 C ≤ Tj ≤ +125 C)

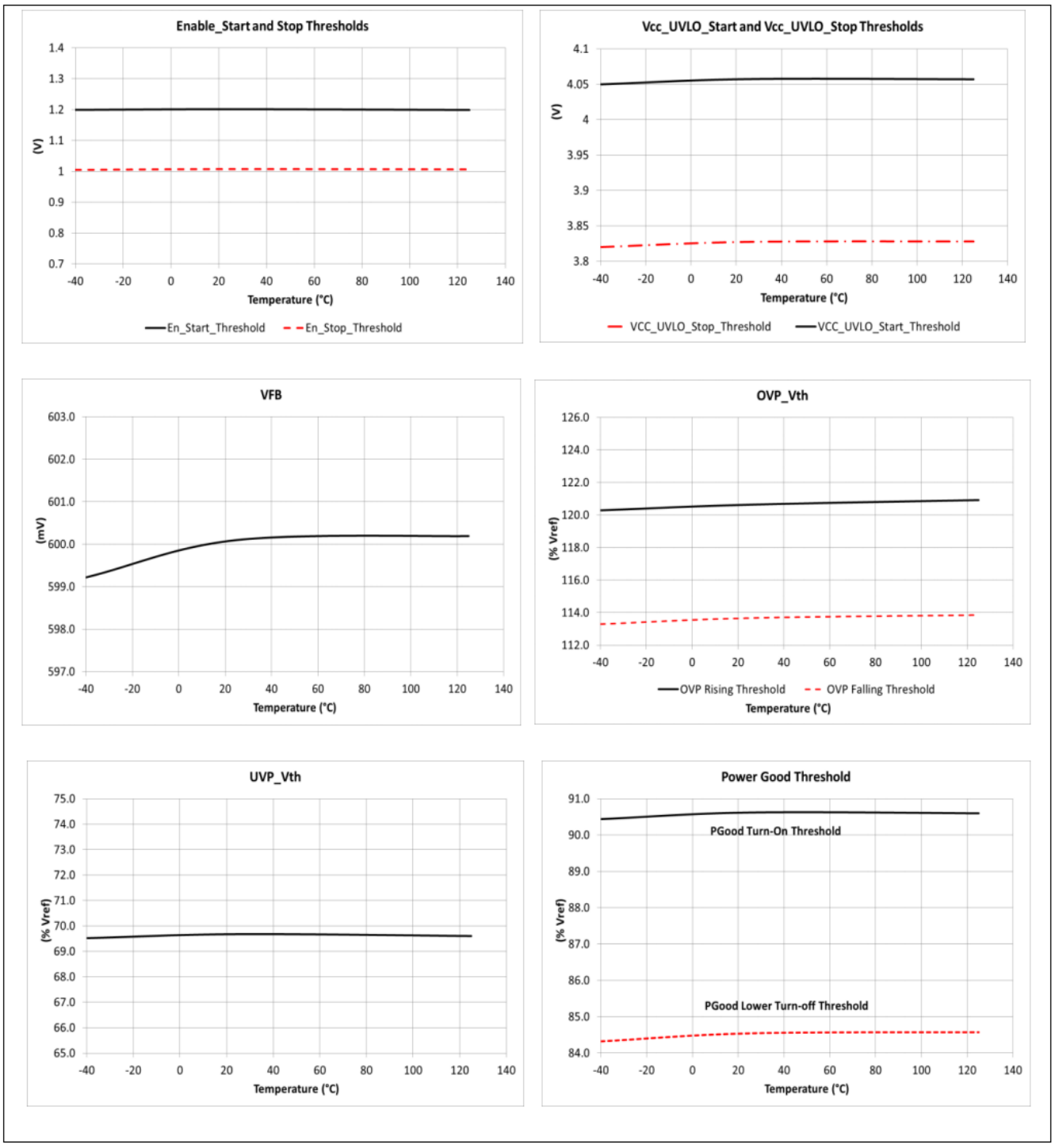


图 7 典型工作特性（第 2 组，共 3 组）

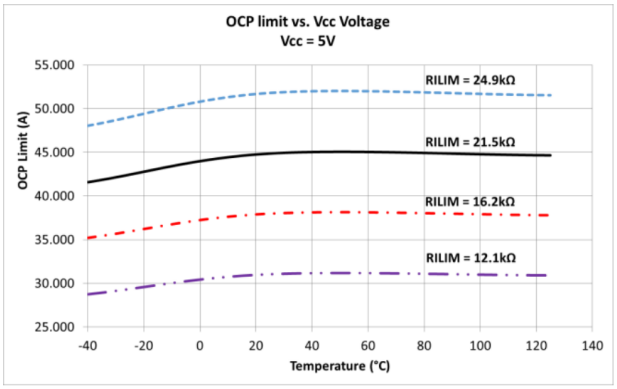


图 8　典型工作特性（第 3 组，共 3 组）

12 工作原理

12.1 快速恒定导通时间控制

TDA38840 采用专有的快速恒定导通时间 (COT) 控制，可提供快速的负载瞬态响应和良好的输出调节。快速 COT 控制将输出电压与结合了内部斜坡信号的底限电压进行比较。当 Vo 低于该信号时，PWM 信号被触发，使高边 FET 以固定导通时间开启。底限电压由内部补偿误差放大器产生，该放大器将 Vo 与参考电压进行比较。与传统的 COT 控制相比，快速 COT 控制大大提高了 Vo 的调节能力。

12.2 使能

En 引脚控制 TDA38840 的开/关。内部欠压锁定（UVLO）电路监控 En 电压。当 En 电压高于内部阈值时，内部 LDO 开始升压。当 VCC/LDO 电压升至 VCC_UVLO_Start 阈值以上时，软启动序列启动。En 引脚有三种配置方式， 如图 9 所示。在配置 2 中，启用信号通过一组电阻分压器 REN1 和 REN2 从 PVin 电压导出。通过选择不同的分压器比率，用户可以为总线电压编程一个 UVLO 阈值电压。这是一个非常理想的功能，因为它可以防止 TDA38840 工作到 PVin 高于所需的电压水平。对于某些空间有限的设计，如配置 3 所示，En 引脚可直接连接到 PVin，而无需使用外部电阻分压器。En 引脚不应处于浮动状态。建议使用几十千欧的下拉电阻。 图 10 说明了三种 En 配置的相应启动顺序。

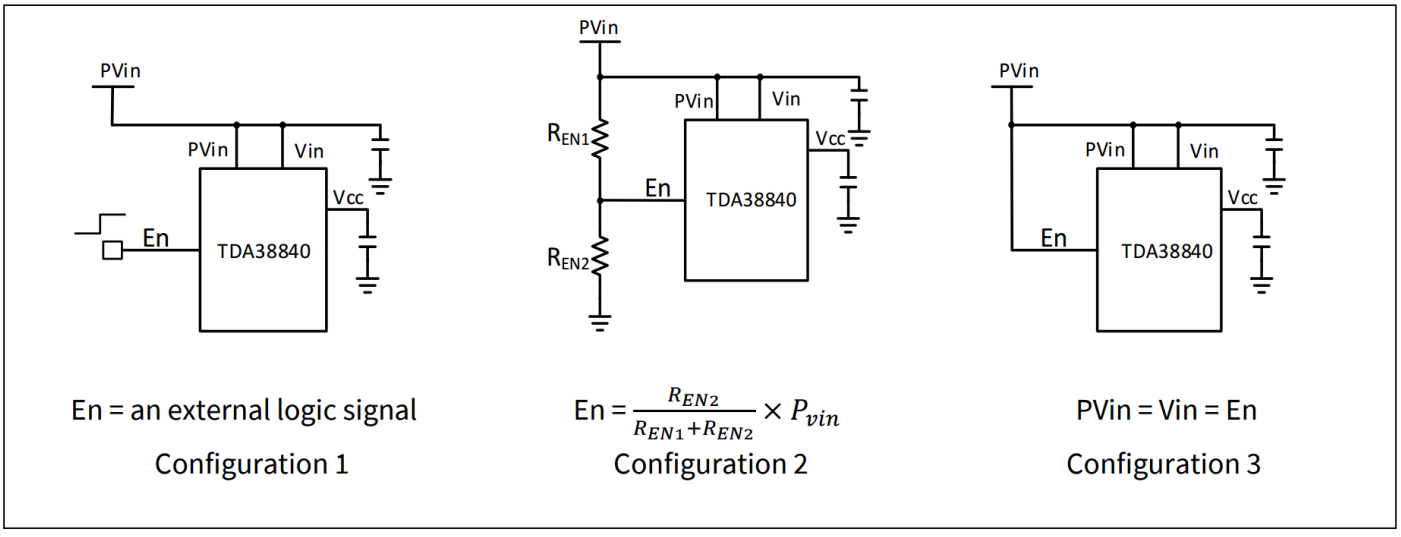


图 9 使能配置

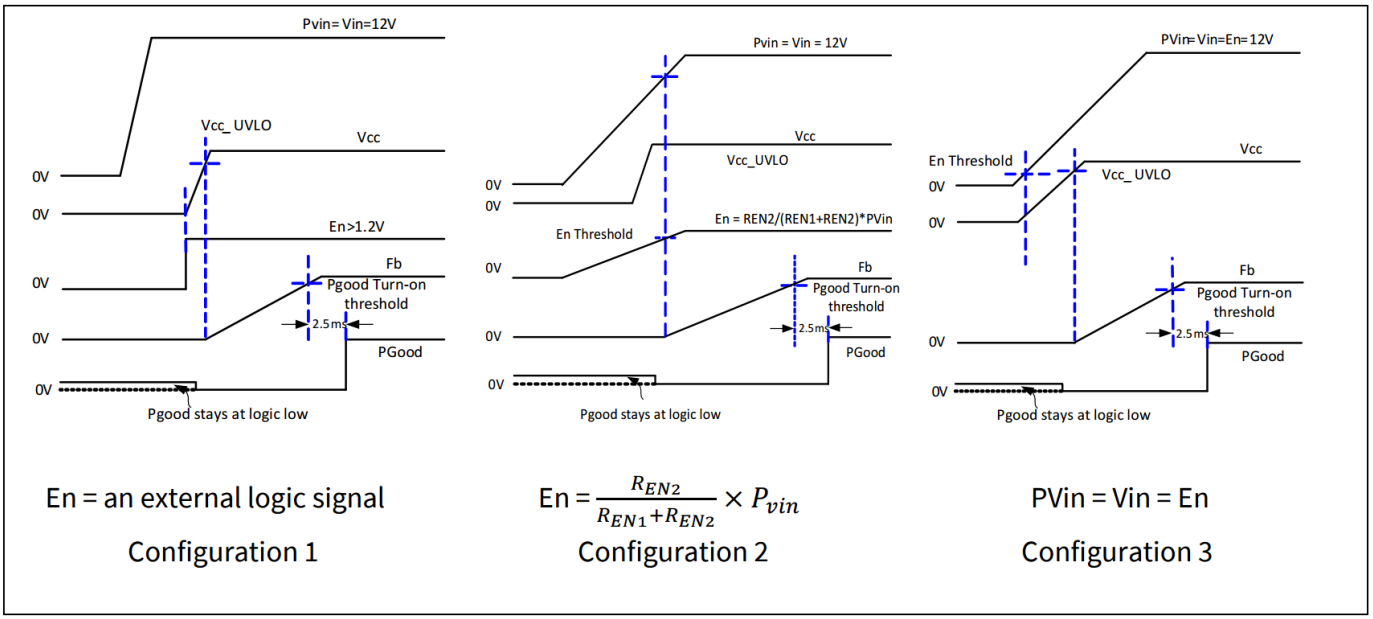


图 10　启动序列

12.3　FCCM 和 DEM 操作

TDA38840 提供两种工作模式：强制连续导通模式 (FCCM) 和二极管仿真模式 (DEM)。在 FCCM 模式下，TDA38840 始终作为同步降压转换器运行，开关频率伪恒定，因此输出电压纹波较小。在 DEM 模式下，当电感电流接近于零时，同步 FET 将关闭，从而降低开关频率，提高轻负载时的效率。在重负载时，FCCM 和 DEM 的工作方式相同。运行模式可通过 TON/MODE 引脚进行选择，如**表 5** 所示。值得注意的是，运行模式的选择不能即时更改。要加载新的 TON/MODE 配置，需要循环 En 或 VCC 电压。

12.4　伪恒定开关频率

TDA38840 提供八种可编程开关频率f_{sw}，频率范围从 600 kHz 到 2 MHz，只需将一个外部电阻器从 TON/MODE 引脚连接到安静的地 (AGND 或 PGND) 即可。根据所选的f_{sw}，TDA38840 为给定的PVin 和Vo 生成控制 FET 的相应导通时间，如下式所示。

$$T_{on} = \frac{V_0}{PV_{in}} \times \frac{1}{f_{sw}}$$

其中，fsw 是所需的开关频率。工作期间，TDA38840 会监控 PVin 和 Vo，并自动调整导通时间，以保持预选的 fsw。随着负载的增加，开关频率可以提高，以补偿功率损耗。因此，TDA38840 具有伪恒定开关频率。

表 5 列出了 TON/MODE 引脚的电阻器。表中使用的是公差为 ±1% 的 E96 电阻器。如果希望使用 E12 电阻值，请参阅**第 12.15 节**。要加载新的 TON/MODE 配置，需要循环 En 或 VCC 电压。

表 5　TON/MODE 引脚的配置电阻器

TON/MODE Resistor (kΩ) ±1% Tolerance	Freq (kHz)	Mode
0	600	FCCM
1.5	800	
2.49	1000	
3.48	1200	
4.53	1400	
5.76	1600	
7.32	1800	
8.87	2000	
10.5	600	DEM
12.1	800	
14	1000	
16.2	1200	
18.7	1400	
21.5	1600	
24.9	1800	
28.7	2000	
Ton = Floating	800	FCCM

12.5　软启动

TDA38840 具有内部数字软启动功能，可控制输出电压上升并限制启动时的电流浪涌。为确保正确启动，软启动序列在 En 和 VCC 电压升至各自阈值以上时启动。内部软启动信号在规定的持续时间内从 0 V 线性上升至 0.6 V。软启动时间不随输出电压变化。软启动期间，TDA38840 在 DEM 模式下工作，直到输出电压斜坡超过 PGood 接通阈值后 1 毫秒。TDA38840 有四个软启动时间选项，可通过在 SS/Latch 引脚与地之间放置一个电阻来选择。 **表 6** 列出了电阻值及其相应的软启动时间。表中使用的是公差为 ±1% 的 E96 电阻器。如果希望使用 E12 电阻值，请参阅**第 12.15 节** 。对于每个软启动时间，有两个电阻器可供选择。请注意，SS/Latch 引脚是一个多功能引脚，也用于选择过压保护 (OVP) 的不同响应。请注意，要加载新的 SS/Latch 选择，需要循环 En 或 VCC 电压。

表 6　SS/Latch 引脚的配置电阻器

SS/Latch Resistor (kΩ) ±1% Tolerance	Soft-start Time (ms)	OVP
0	1	Latch
4.53		
1.5	2	
5.76		
2.49	4	
7.32		
3.48	8	
8.87		
10.5	1	No Latch
18.7		
12.1	2	
21.5		
14	4	
24.9		
16.2	8	
28.7		
SS/Latch = Floating	4	Latch

12.6　预偏压启动

TDA38840 能够启动到预充电输出，而不会造成输出电压的振荡和干扰。当 TDA38840 以预偏压输出电压启动时，控制 FET 和同步 FET 都处于关断状态，直到内部软启动信号超过 FB 电压。

12.7　内部低压差 (LDO) 稳压器

TDA38840 集成了低压差 LDO 稳压器，为内部电路提供偏置电压。为了最大限度地降低待机电流，当 En 电压被拉低时，内部 LDO 将被禁用。Vin 引脚是 LDO 的输入端。当使用内部 LDO 进行单轨运行时，Vin 引脚应连接至 PVin 引脚。为了节省 LDO 的功率损耗，可以通过将 Vin 引脚连接到 VCC/LDO 引脚来使用外部偏置电压。VDRV 为内部驱动电路提供偏置电压，在 PCB 上应与 VCC/LDO 短接。**图 11** 说明了 VCC/LDO、VDRV 和 Vin 引脚的配置。

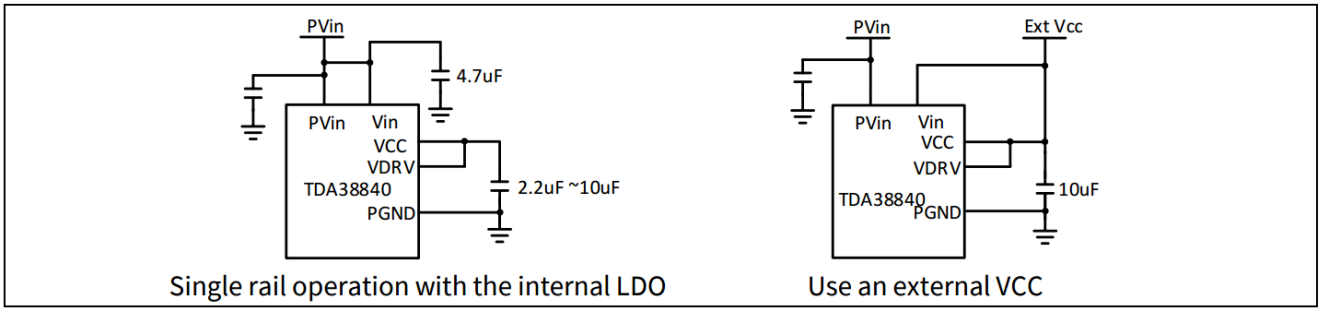


图 11　使用内部 LDO 或外部 VCC 的配置。

第 7.1 节规定了不同配置下 Vin 和 VCC 的建议工作电压范围。建议在配置 VCC 时遵循以下设计准则。

- 放置一个旁路电容器，以尽量减少对 VCC 和 VDRV 引脚的干扰。对于使用内部 LDO 的单轨运行，必须在 Vin 引脚和 PGND 之间使用一个 4.7 µF 的低 ESR 陶瓷电容器，并在 VCC/LDO 和VDRV 引脚附近放置一个 2.2 µF~10 µF 的低 ESR 陶瓷电容器，以 PGND 为基准。当 Vin 低于 5.5 V 时，建议使用 10 µF MLCC 作为 VCC 旁路电容器。使用外部 VCC 偏置电压时，可与 Vin，VCC/LDO 和 VDRV 引脚共用一个 10 µF 陶瓷电容器。
- 当使用 5.5 V ≤ Vin ≤ 17 V 的内部 LDO 时，建议检查 1.6 MHz 以上工作所需的 VCC 偏置电流，以确保不会超出 LDO 的输出电流能力， 如图 6 所示。随着 fsw 的增加，所产生的 I_{CC} 也会增加，这主要是由于栅极电荷的增加与 fsw 成正比。图 6 提供了 PVin = Vin = 12 V 和 fsw = 800 kHz 时的典型 I_{CC} ，可用于估算其他 fsw 时的 I_{CC} 。
- 对于使用 4.3 V ≤ Vin ≤ 5.4 V 内部 LDO 的应用，LDO 可处于压差模式。必须确保 LDO 电压不低于 VCC UVLO 阈值电压。在Vin = 4.3 V时，I_{CC} 在所有工作条件下都不得超过 50 mA，例如在升压负载瞬态期间，控制环路可能需要增加fsw。由于 VCC 电压较低，可以降低 OCP 限制。

12.8 过流保护（OCP）

TDA38840 提供逐周期 OCP 响应，有四个可选电流限值，由 ILIM 引脚的电阻设定。所选的 OCP 限值在上电时加载到集成电路中，不能临时更改。为了更改 OCP 限制，用户必须循环 En 信号或 VCC 电压。逐周期 OCP 响应允许 TDA38840 满足短暂的大电流需求，例如启动时的高浪涌电流。具体操作说明如下。

当 En 电压高于其阈值时，OCP 激活。OCP 电路通过 $R_{ds(on)}$ 监控同步 MOSFET 的电流。当控制环路请求一个新的 PWM 脉冲时，如果同步 MOSFET 的电流超过所选的 OCP 限值，TDA38840 会跳过该 PWM 脉冲，并延长同步 MOSFET 的导通时间，直到电流降至 OCP 限值以下。 图 12 也说明了 OCP 操作。需要注意的是，OCP 事件不会将 PGood 信号拉低，除非 Vo 下降到 PGood 关断阈值以下。如果 OCP 事件持续存在，输出电压最终会降至欠压保护 (UVP) 门限以下并触发 UVP。然后，TDA38840 进入打嗝模式。

第 7.2 节中规定的 OCP 限制是指 OCP 跳闸时电感电流的谷值。因此，相应的输出直流电流可按下式计算：

$$I_{out_OCP} = I_{OC} + \frac{\Delta i_L}{2}$$

其中 I_{out_OCP} = OCP 跳闸时的输出直流电流。 I_{OC} = 第 7.2 节中规定的 OCP 限制 ，即电感电流的谷值。

Δi_L= 峰峰值电感纹波电流。为达到理想的 I_{out_OCP} ， 建议 Δi_L 符合以下标准

$$\Delta i_L \approx 2 \times (I_{out_OCP} - I_{OC_min})$$

其中 I_{OC_min} = OCP 限值的最小规格。

为避免在 OCP 事件期间出现电感饱和，建议采用以下标准来确定电感的饱和电流额定值。

$$I_{sat} \geq I_{OC_max} + \Delta i_L$$

其中：I_{sat} 是电感饱和电流，I_{OC_max} 是 OCP 限值的最大规格。

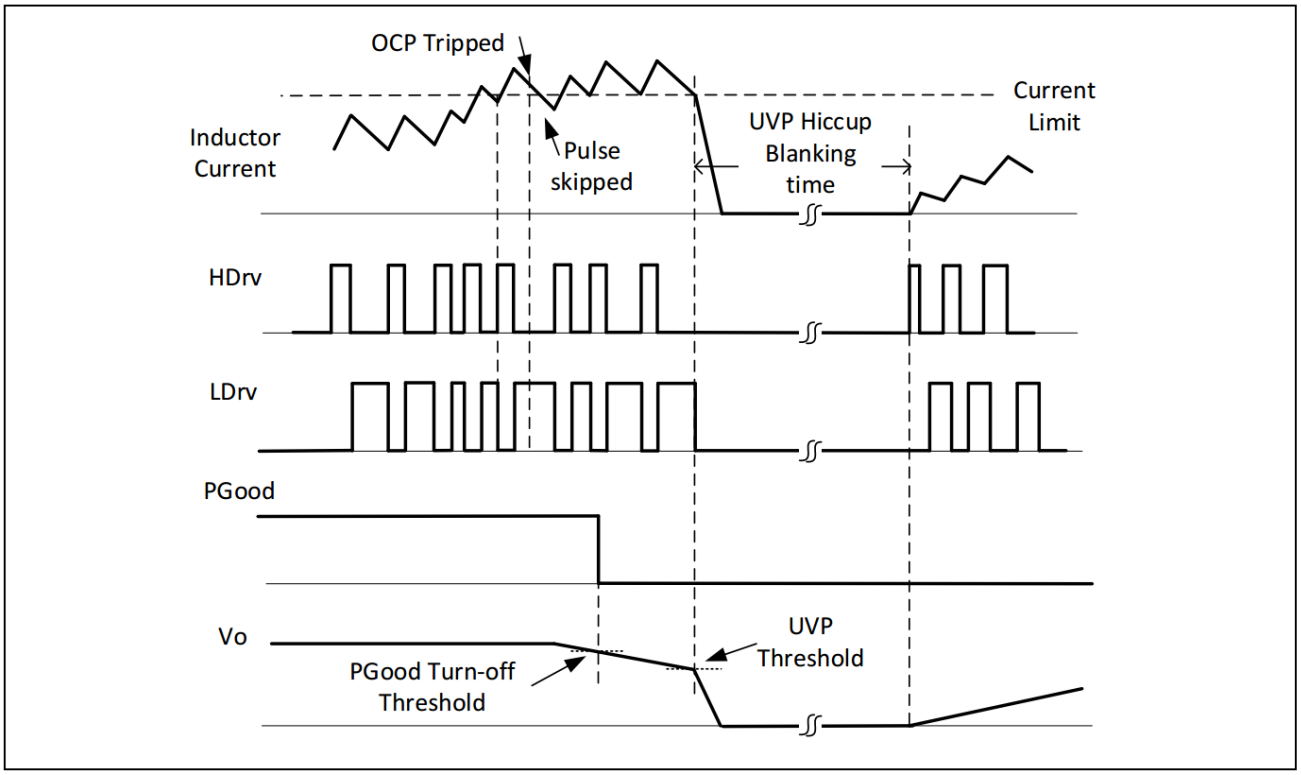


图 12　逐周期 OCP 响应

12.9　欠压保护（UVP）

欠压保护（UVP）可在 OCP 故障或其他故障期间提供额外保护。当软启动电压升至 100 mV 以上时，UVP 将被激活。UVP 电路监控 FB 电压。当低于 UVP 阈值 2 µs（典型值）时，欠压跳闸信号触发，控制 MOSFET 和同步 MOSFET 关闭。TDA38840 进入消隐时间为 20 ms 的打嗝模式，在此期间，控制 MOSFET 和同步 MOSFET 保持关断。消隐时间结束后，TDA38840 会尝试通过软启动恢复到额定输出电压， 如**图 12** 所示。TDA38840 将重复打嗝模式并尝试恢复，直至 UVP 条件消除。

12.10　过压保护 (OVP)

过压保护（OVP）是通过比较 FB 电压和 OVP 门限电压来实现的。当 FB 电压超过 OVP 门限时，过压跳闸信号会在 8 µs （典型值）延迟后发出。控制 MOSFET 立即关断，PGood 标志为低电平。同步 MOSFET 保持导通，对输出电容放电。当 FB 电压降至基准电压的 115% 左右时，同步 MOSFET 关闭，以防止输出电容完全耗尽。**图 13** 说明了 OVP 工作原理。当 En 信号高于启动阈值时，OVP 比较器处于激活状态。

通过 SS/Latch 引脚，可以选择两种 OVP 响应：锁存或无锁存， 如**表 6** 所示。在锁存 OVP 响应时，控制 FET 保持锁存关闭状态，直到 VCC 电压或 En 信号循环。在无锁存 OVP 响应时，TDA38840 进入打嗝模式。控制 FET 保持关断，消隐时间为 20 毫秒。打嗝消隐时间结束后，TDA38840 将尝试通过软启动重新启动。如果过压故障持续存在，TDA38840可无限期地保持打嗝模式。

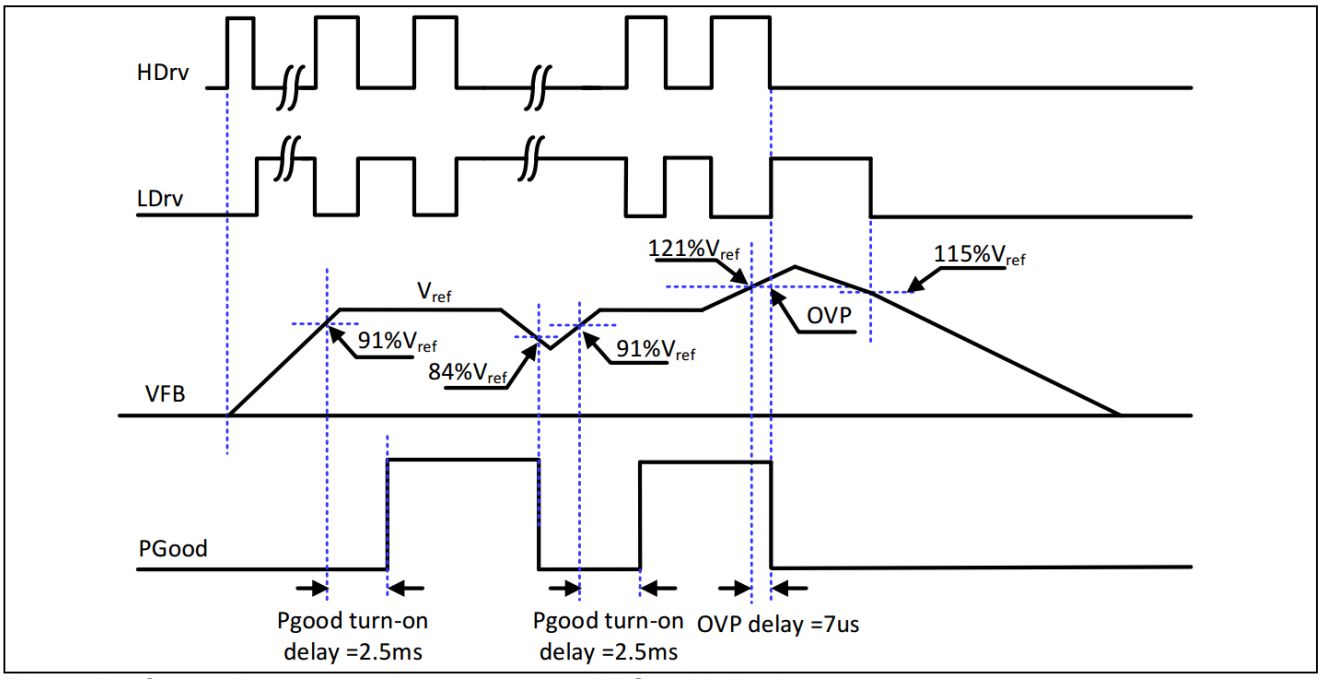


图 13　过电压保护响应和 PGood 性能

12.11　过温保护（OTP）

控制器的温度由内部监控。当温度超过过温阈值时，OTP 电路会关闭控制和同步 MOSFET，并重置内部软启动。当感应到的温度回落到工作范围内时，就会自动重新启动。热关断阈值的滞后为 20 °C。

12.12　电源良好 (PGood) 输出

PGood 引脚是内部 NFET 的漏极开路，需要通过一个上拉电阻从外部拉高。当满足三个标准时，PGood 信号为高电平。

1. 使能信号和 VCC 电压高于各自的阈值。

2. 未出现过压或过热故障。

3. V_o 符合规定。

为了检测V_o是否处于调节状态，PGood 比较器持续监测 FB 电压。当 FB 电压上升超过上阈值时，PGood 信号在 2.5 毫秒后被拉高。当 FB 电压下降到下阈值以下时，PGood 信号立即被拉低。 图 13 展示了 PGood 响应。

在使用预偏置电压启动期间，PGood 信号在产生第一个 PWM 之前保持低电平，然后在 FB 电压升至 PGood 门限以上后以 2.5 ms 的延迟拉高。TDA38840 还集成了一个额外的 PFET，与 PGood NFET 并行，如图 2 所示。该 PFET 允许 PGood 信号在 VCC 电压不存在时保持逻辑低电平，PGood 引脚由外部偏置电压拉高。请参见图 10 。由于 PGood PFET 的导通电阻相对较高，因此当 PGood PFET 导通时，需要一个 50 kΩ 的上拉电阻（PGood 偏置电压为 3.3 V）来将 PGood 信号维持在逻辑低电平。

12.13 最短导通时间和最短关断时间

最短导通时间是指控制 MOSFET 可靠导通的最短时间。最短关断时间是指在产生新的 PWM 脉冲之前，同步 FET 保持导通的最短持续时间。TDA38840 需要最短的关断时间对自举电容充电，并检测 OCP 的同步 MOSFET 电流。

对于需要较小占空比的应用，所选开关频率的导通时间必须大于第 7.2 节中最小导通时间的最大值。否则，产生的开关频率可能会低于预期目标。可使用以下公式来检查最小导通时间要求。

$$\frac{V_0}{f_{sw_max} \times PV_{in}} > \max\ spec\ of\ T_{on(\min)}$$

对于需要高占空比的应用，必须确保选择适当的开关频率，使关断时间长于第 7.2节中最小关断时间的最大规格，计算公式如下。

$$\frac{PV_{in} - V_0}{f_{sw_max} \times PV_{in}} > \max\ spec\ of\ T_{off(\min)}$$

其中 f_{sw_max} 是最大开关频率。在稳态运行时，$f_{SW_max} = k \cdot f_{sw}$。其中 f_{sw} 是所需的开关频率，k 是开关频率的变化量。根据经验，选择 $k = 1.25$ 以确保设计裕度。

请注意，在负载阶跃期间，由于 COT 的固有运行，f_{sw}将增加。因此，必须检查负载阶跃期间 f_{sw} 的变化。还请注意，当关断时间接近最小关断时间时，OCP 限制可能会降低。

因此，最大占空比取决于所选的导通时间和最小关断时间。

$$D_{max} = \frac{T_{on}}{T_{on} + T_{off(\min)}}$$

12.14 选择前馈电容和反馈电阻

输出电压可通过外部分压器进行编程。FB 电压与 0.6 V 的内部基准电压进行比较。设置分压比的目的是在输出达到预期值时，在 FB 引脚上提供 0.6 V 电压。反馈电阻分压器的计算如下所示。

$$V_o = V_{ref} \times (1 + \frac{R_{FB1}}{R_{FB2}})$$

其中 R_{FB1} 和 R_{FB2} 为顶部和底部反馈电阻。

如图 14 所示，最好在顶部反馈电阻 RFB1 上并联一个小型 MLCC 电容器 Cff，以提供额外的相位提升并改善瞬态负载响应 。以下公式可用于帮助选择 Cff 和 RFB1。建议 Cff 值为 100 pF 或更高，以尽量减少电路寄生电容的影响，其中 Lo 和 Co 是降压稳压器的输出 LC 滤波器。 表 7 列出了一些常见输出的建议 m。Cff 和 RFB1 可根据瞬态负载测试和波特图测量结果进一步优化。其中 Lo 和 Co 为降压稳压器的输出 LC 滤波器。

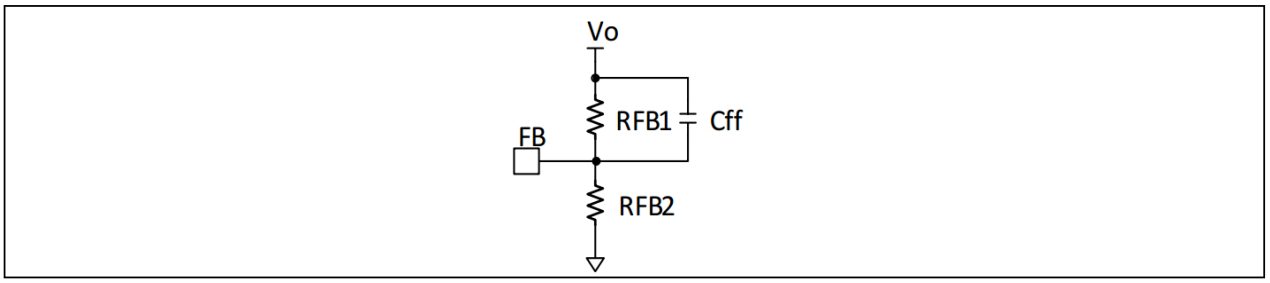


图 14　前馈电容器 Cff 的配置

表 7　m的选择

Vo	m
3 V ≤ Vo ≤ 6 V	0.3
1.2 V < Vo < 3 V	0.5
Vo ≤ 1.2 V	0.7

12.15　用于配置引脚的电阻器

要正确配置 SS/LATCH 引脚、MODE/TON 引脚和 ILIM 引脚，必须根据表 5 、表 6 和第 7.2 节使用公差为 ±1% 的 E96 电阻器。如果希望使用 E12 电阻值，则可如表 8 所示，用两个或三个 E12 电阻串联代替 E96 电阻。请注意，E12 电阻器的公差必须 ±0.1% 。

表 8　用串联 E12 电阻器替换 E96 配置电阻器

E96 ±1%	E12 ±0.1% (R = R_{S1} + R_{S2} or R_{S1} + R_{S2} + R_{S3})		
R (kΩ)	R_{S1} (kΩ)	R_{S2} (kΩ)	R_{S3} (kΩ)
4.53	2.7	1.8	N/A
1.50	1.5	0	N/A
5.76	5.6	0.15	N/A
2.49	1.8	0.68	N/A
7.32	6.8	0.56	N/A
3.45	3.3	0.15	N/A
8.87	8.2	0.68	N/A
10.5	10	0.47	N/A
12.1	12	0.1	N/A
21.5	18	3.3	N/A
14	10	3.9	N/A
24.9	22	2.7	N/A
16.2	15	1.2	N/A
28.7	27	1.8	N/A
21.5	18	3.3	0.18
24.9	22	2.7	0.18

13 设计示例

本节以一个示例说明如何使用 TDA38840 设计降压稳压器。应用电路如图 15 所示。设计规格如下。

- PVin = 12 V (±10%)
- Vo = 1.0 V
- Io = 40 A
- Vo ripple voltage = ±1% of Vo
- 负载瞬态响应 = Vo 的 ± 4%，阶跃负载电流 = 12 A，压摆率 = 10 A/µs

13.1 启用 TDA38840

TDA38840 具有精确的 En 阈值电压， 如图 9 的配置 2 所示， 通过将 En 引脚与 PVin 连接 ，用电阻分压器实现输入总线电压的 UVLO 。En 电阻分压器 R_{EN1} 和R_{EN2} 的计算公式如下。

$$PV_{in(\min)} \times \frac{R_{EN2}}{R_{EN1} + R_{EN2}} \geq V_{EN(\max)}$$

$$R_{EN2} \geq R_{EN1} \times \frac{V_{EN(\max)}}{PV_{in(\min)} - V_{EN(\max)}}$$

其中，$V_{EN(max)}$ 是第 **7.2** 节中定义的 En 启动阈值的最大规格。对于 $PVin_{(min)}$ =10.8 V，选择 R_{EN1}=49.9 kΩ 和 R_{EN2}=7.5 kΩ 。

13.2 开关频率和工作模式编程

TDA38840 具有非常出色的效率性能，适用于高开关频率操作。在这种情况下，选择 800 kHz 是为了在效率、无源器件尺寸和动态响应之间实现良好的折衷。此外，选择 FCCM 操作可确保在整个负载范围内输出纹波电压较小。要选择 800 kHz 和 FCCM 工作模式，可将 TON/MODE 引脚悬空，或根据**表 5** 将 1.5 kΩ 电阻器连接至安静的地（AGND 或 PGND）。

13.3 选择输入电容

在没有输入电容的情况下，控制 FET 的脉冲电流直接来自输入电源。由于电缆上的阻抗，脉冲电流会对输入电压造成干扰，并产生潜在的电磁干扰问题。输入电容对脉冲电流进行滤波，使输入电源的电流几乎保持恒定。输入电容的选择应能承受输入脉冲电流，并能降低输入电压纹波。输入纹波电流的 RMS 值可表示为：

$$I_{RMS} = I_o \times \sqrt{D \times (1 - D)}$$

$$D = \frac{V_o}{PV_{in}}$$

其中，I_{RMS} 是输入电容器电流的有效值。I_o是输出电流，D 是占空比。对于I_o= 40 A 和 $D_{(max)}$ = 0.09，则流入输入电容器的有效值电流为I_{rms} = 11.6 A。

为满足输入纹波电压的要求，最小输入电容可按下式计算。

$$C_{in(\min)} > \frac{I_o \times (1-D) \times D}{f_{sw} \times (\Delta PV_{in} - ESR \times I_o \times (1-D))}$$

其中，ΔPVin 是允许的最大峰峰值输入纹波电压，ESR 是输入电容的等效串联电阻。建议使用陶瓷电容，因其具有低 ESR、ESL 和高 RMS 电流能力。对于 Io = 40 A、fsw = 800 kHz、ESR = 3 mΩ、ΔPVin = 240mV，$Cin_{(min)}$ > 32 µF。考虑到陶瓷电容在偏置电压下会降低额定值，输入电容使用了 10 x 22 µF/0805/25 V MLCC。此外，如果输入电源不靠近稳压器，建议使用大容量电容。

13.4 电感选择

电感根据输出功率、工作频率和效率要求进行选择。较低的电感值会导致较大的纹波电流、较低的效率和较高的输出噪声，但有助于减小尺寸和瞬态负载响应。一般来说，电感中理想的峰峰值纹波电流 (Δi) 在输出电流的 20% 至 60% 之间。

电感饱和电流必须高于 OCP 限制的最大规格加上电感纹波电流的峰峰值。对于某些磁芯材料，电感的饱和电流可能会随着温度的升高而减小。因此，检查最高工作温度下的电感饱和电流非常重要。

可通过以下关系式确定所需工作纹波电流的电感值：

$$L = (PV_{in(\max)} - V_o) \times \frac{D_{min}}{\Delta i_{L(\max)} \times F_{sw}}$$

$$D_{min} = \frac{V_o}{PV_{in(\max)}}$$

$$I_{sat} \geq OCP_{max} + \Delta i_{L(\max)}$$

其中$PVin_{(max)}$= 最大输入电压；ΔiL_{max} = 最大峰峰值电感器纹波电流；OCP_{max}= 第 **7.2** 节中定义的 OCP 限制的最大规格；I_{sat} = 电感器饱和电流。在这种情况下，选择电感器 L =120 nH，以实现ΔiL_{max} = 27% 的I_{omax}。I_{sat} 不应小于 66 A。

13.5 输出电容选择

输出电容的选择主要取决于输出电压纹波和瞬态要求。为满足 V_o 纹波要求，Co 应满足以下标准。

$$C_o > \frac{\Delta i_{Lmax}}{8 \times \Delta V_{or} \times f_{sw}}$$

其中，ΔV_{or} 是所需的峰峰值输出纹波电压。对于ΔiL_{max}= 9.6 A、ΔV_{or} = 20 mV、fsw = 800 kHz，C_o必须大于 75 µF。输出电容的 ESR 和 ESL 以及 PCB 布局造成的寄生电阻或电感也会导致输出电压纹波。建议使用多层陶瓷电容 (MLCC)，因其 ESR、ESL 低，体积小。

为满足瞬态响应要求，输出电容还应符合以下标准。

$$C_o > \frac{L \times \Delta I_{o(\max)}^2}{2 \times \Delta V_{oL} \times V_o}$$

其中，ΔV_{OL} 是负载瞬态期间允许的 Vo 偏差。$\Delta Io_{(max)}$ 是最大阶跃负载电流。请注意，上述计算未考虑 ESL、ESR、控制回路响应、瞬态负载斜率和 PWM 延迟的影响。通常需要额外的电容来满足瞬态要求。根据经验，我们可以将上述计算得出的 Co 增加三倍作为起点，然后根据工作台测量结果优化设计。在这种情况下，要满足瞬态负载要求（即ΔV_{OL}= 40 mV，$\Delta Io_{(max)}$ = 12 A），计算出的 Co = ~648 µF，在最终设计中选择 800 µF。要更准确地估算 Co，应使用仿真工具辅助设计。

13.6 输出电压编程

输出电压可通过外部分压器进行编程。FB 电压与 0.6 V 的内部基准电压进行比较。设置分压比的目的是在输出达到预期值时，在 FB 引脚上提供 0.6 V 电压。反馈电阻分压器的计算如下所示。

$$V_o = V_{ref} \times (1 + \frac{R_{FB1}}{R_{FB2}})$$

其中R_{FB1}和R_{FB2}是上下反馈电阻。选择R_{FB1}= 7.5 kΩ 和R_{FB2}= 11.3 kΩ，以实现 Vo = 1 V.

13.7 前馈电容

可将一个小型 MLCC 电容 C_{ff} 与顶部反馈电阻 R_{FB1} 并联，以改善瞬态响应。根据第 **12.14** 节，可按以下公式选择 C_{ff}。

$$R_{FB1}C_{ff} = \frac{\sqrt{L_0 C_0}}{0.7 \times 4.9}$$

Lo = 120 nH，Co = 800 µF，R_{FB1} = 7.5 kΩ，C_{ff} = ~ 300 pF。C_{ff} 可在台架测试中根据波特图测量和瞬态负载响应进一步优化。

13.8 自举电容

建议在 PHASE 和 BOOT 引脚之间放置一个 0.1 µF 陶瓷电容作为自举电容。为确保最大 SW 节点尖峰电压不超过 20 V，在 EVAL_38840_1Vout 评估板的 BOOT 引脚上串联了一个 2 Ω 电阻器。应根据不同的 PCB 布局设计和运行条件对电阻进行优化。

13.9 Vin、VCC/LDO 和 VDRV 旁路电容器

请参见第 **12.7** 节中的建议。VCC/LDO 和 VDRV 旁路电容选用 10 µF MLCC，Vin 旁路电容选用 4.7 µF MLCC。

14 应用信息

14.1 应用图

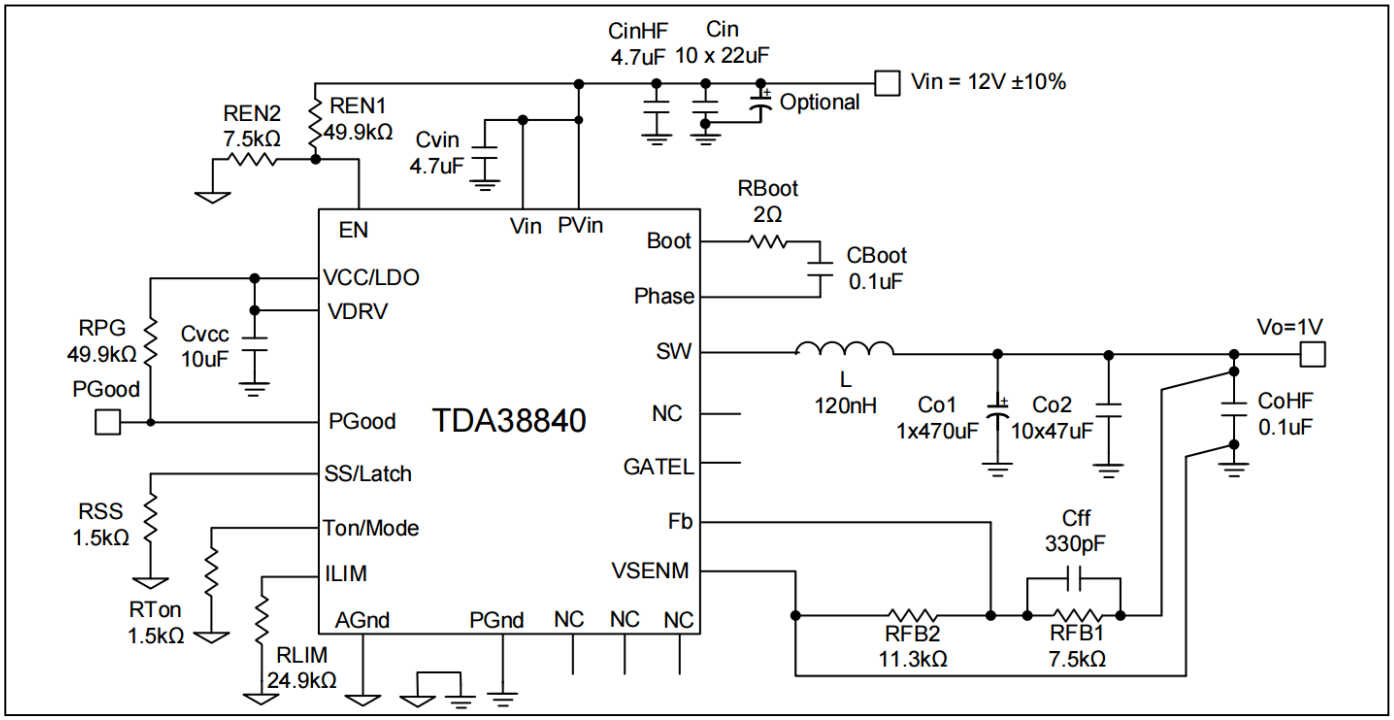


图 15 TDA38840 的应用图。PVin = 12 V, Vo = 1V, Io = 40 A, fsw = 800 kHz.

14.2 典型工作波形

PVin = Vin = 12.0 V，Vo = 1 V，Io = 0 – 40 A，fsw = 800 kHz，室温，无气流

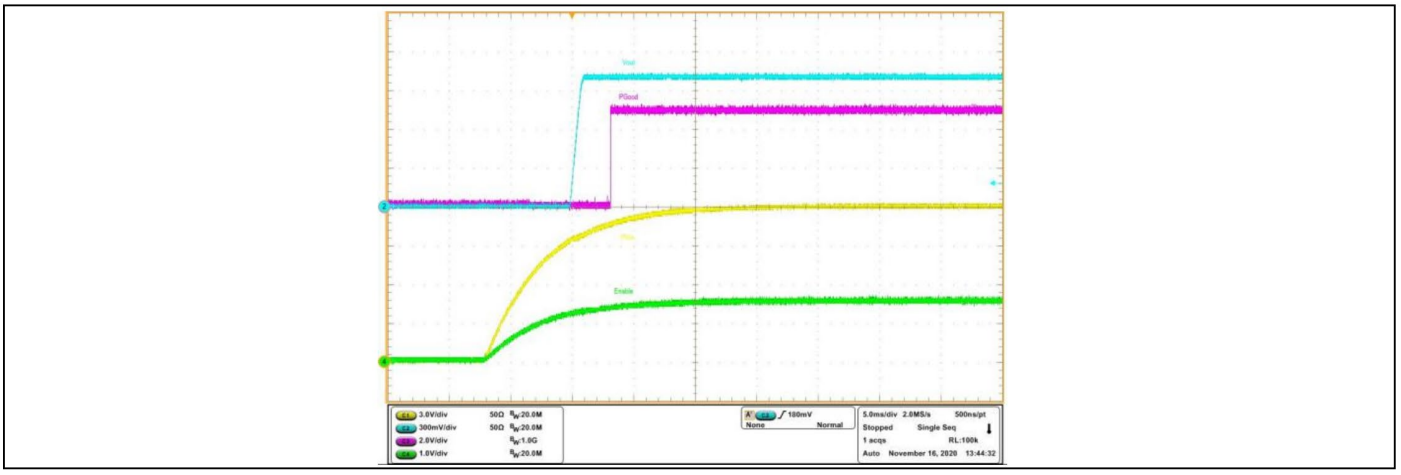


图 16 40 A 负载时的启动，（通道 1: PV_{in}，通道 4: 使能，通道 3: PGood，通道 4: Vout）

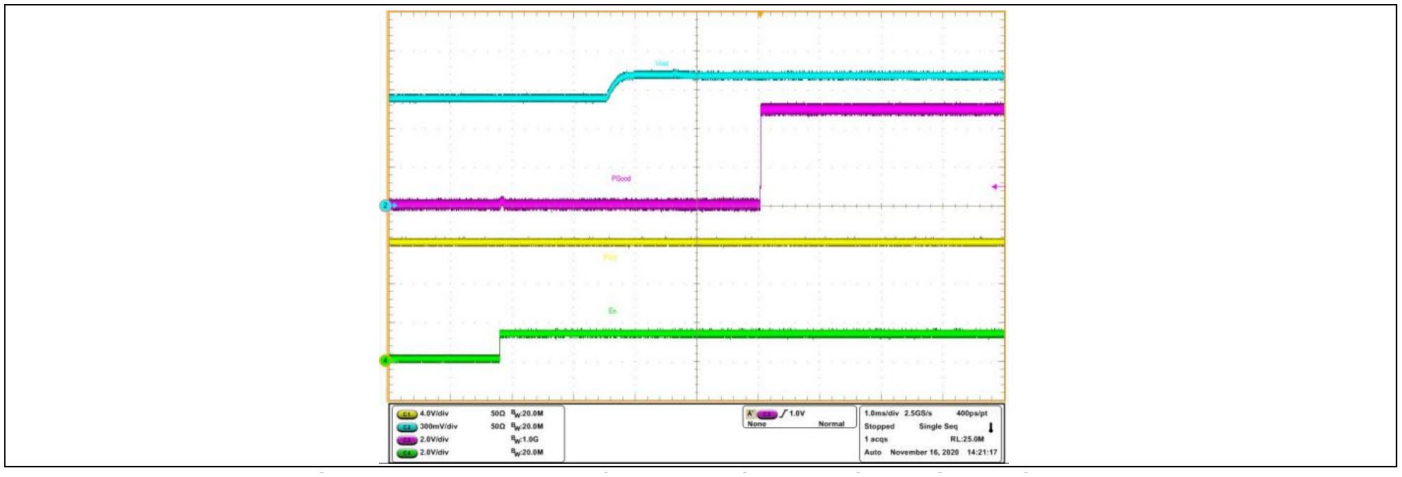


图 17　　负载为 0A 时的预偏压启动（通道 1: PVin，通道 2: Vo，通道 3: PGood，通道4: 使能）

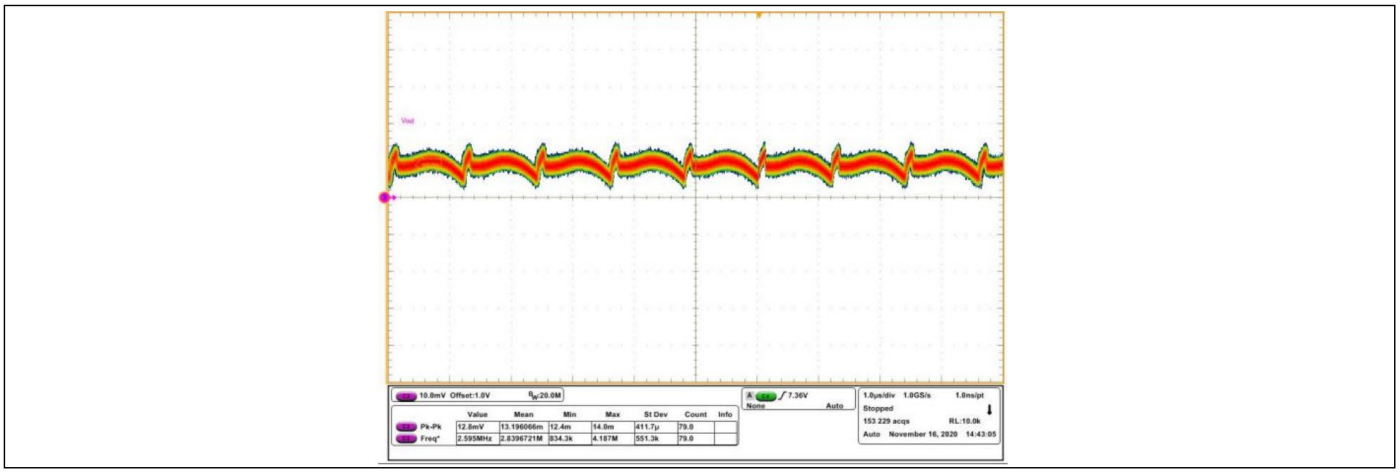


图 18　　40A 负载时的 Vo 纹波，fsw = 800 kHz，（通道 3：Vo），峰峰值 Vo 纹波 = 12.8 mV

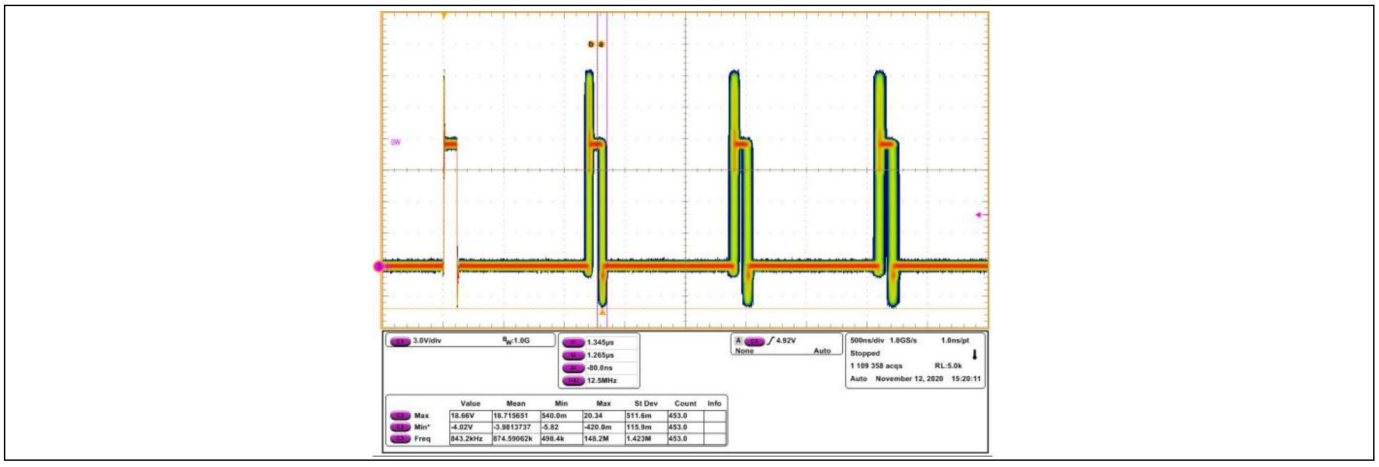


图 19　　SW 节点，40 A 负载，fsw = 800 kHz

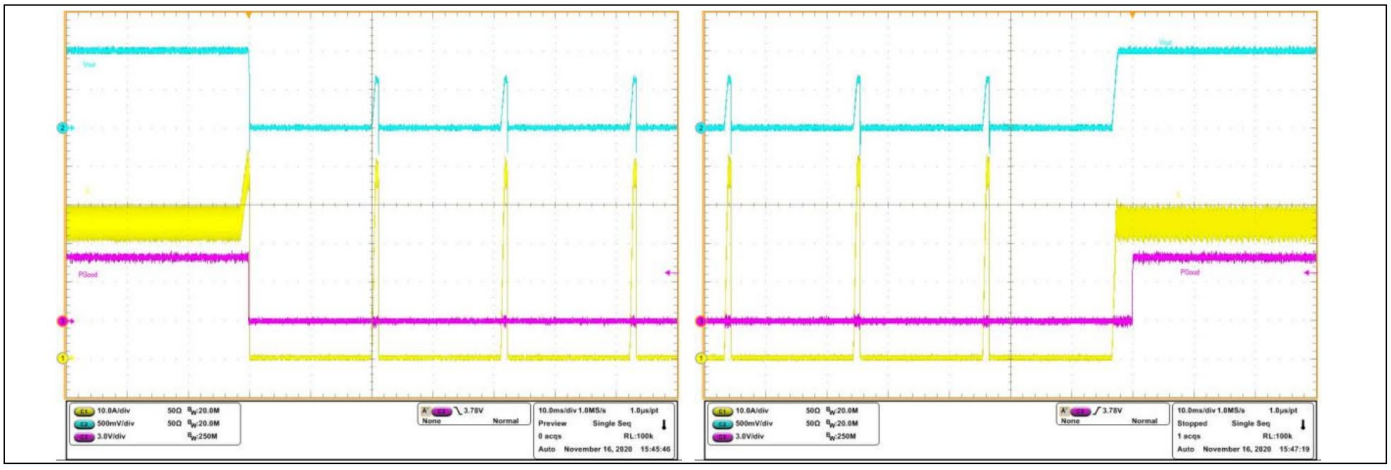


图 20　左：Vout 短路和 UVP（打嗝），右：消除 Vout 短路，TDA38840 从 UVP 恢复。(通道 1：iL，通道 2：Vo，通道 3：PGood）

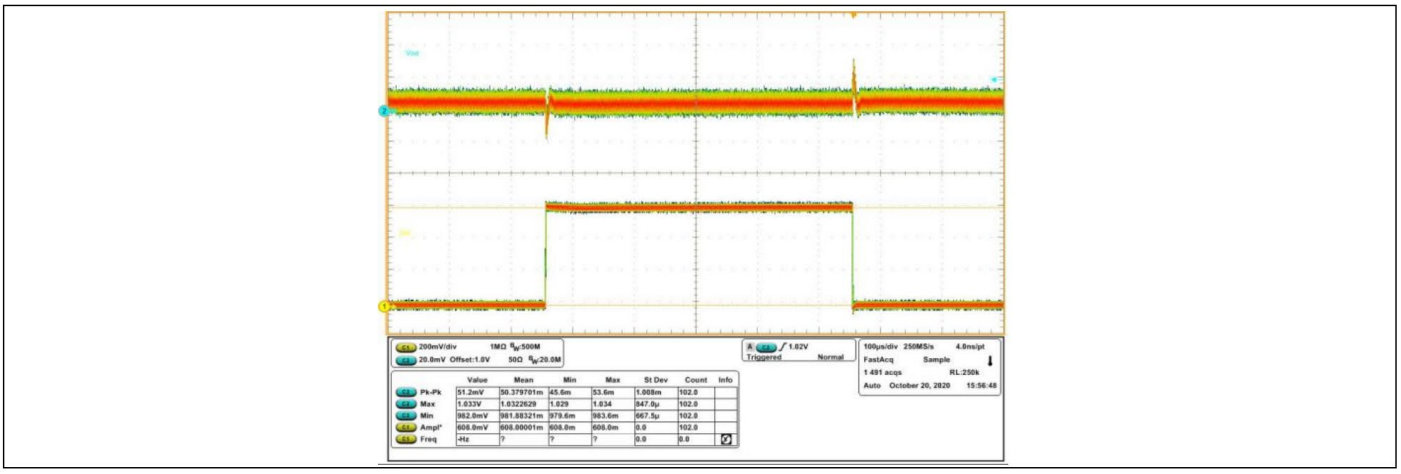


图 21　12 A 阶跃负载电流 @ 10 A/µs 压摆率时的瞬态响应：Io= 28 A – 40 A，（通道 1：Vo，通道 4：Io 不包括 28 A 直流电流），pk-pk：51.2 mV，fsw = 800 kHz

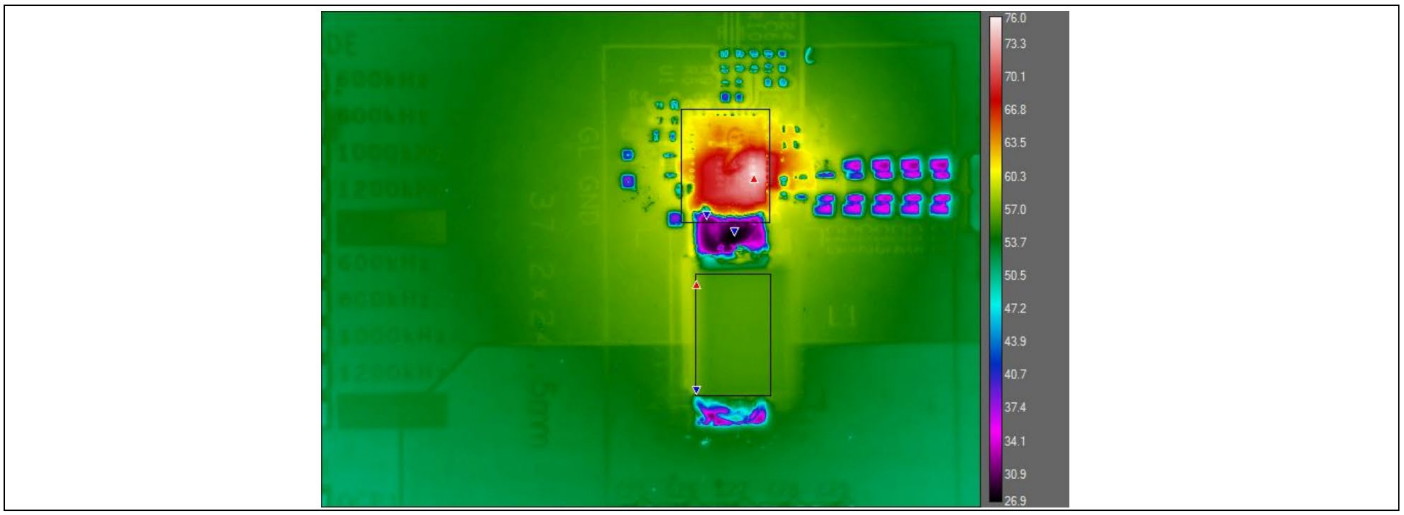


图 22　40 A 负载时电路板的热图像 TDA38840= 76°C，L = 57°C、fsw = 800 kHz，Ta = 室温，自然对流

15 布局建议

在设计高频开关转换器时，PCB 布局非常重要。布局会影响噪声拾取，并可能导致良好设计的性能达不到预期效果。建议遵循以下设计准则，以实现最佳性能。

- 旁路电容（包括输入/输出电容, Vin, VCC 和 VDRV 旁路电容）应尽可能靠近相应引脚。
- 在 TDA38840 电源输入端（控制 MOSFET 漏极）和 PGND（同步 MOSFET 源极）之间放置旁路电容，以减少系统中的噪声和振铃。输出电容应端接至远离输入 PGND 的地平面，以减少 Vo 上的开关尖峰。VCC 和 VDRV 共用的旁路电容应端接至 PGND。
- 在 TDA38840 BOOT 和 PHASE 引脚附近放置一个自举电容，尽可能靠近，以尽量减少环路电感。
- SW 节点铜箔只应在顶层布线，以尽量减少开关噪声的影响。
- 通过单点连接将 AGND 引脚与 PGND 焊盘相连。在 TDA38840 演示板上，AGND 引脚用铜线连接到裸露的 PGND 焊盘。
- 可在 PVin 和 PGND 焊盘上开孔，以帮助散热。
- PVin 和 PGND 连接需要宽铜多边形，以减少功率损耗和散热。应使用足够的通孔来连接不同层之间的电源线。
- 单端 Vo 检测通常用于本地检测。如**图 23**所示，要实现这种配置，应遵循以下设计准则。
    - 输出电压可通过 0.1 µF 或更高的高频旁路电容器感应，并通过 15 密耳的 PCB 线迹。
    - 让 Vo 检测线远离任何噪声源，并用接地平面屏蔽检测线。
    - 感应迹线连接到一个反馈电阻分压器，其下部电阻端接 VSENM 引脚。
    - 用短线将 VSENM 引脚和 AGND 引脚短接。
- 如果需要在远程位置检测输出电压，则可按如下方式实现伪远程检测。该配置也如 **图 24**所示 。
    - 应使用一对至少 15 mil 宽，相互靠近且远离任何噪声源（如电感和 SW 节点）的 PCB 线路，对 0.1 µF 或更高的高频旁路电容上的电压进行开尔文检测。
    - 远端采样信号的接地连接必须在 VSENM 引脚处终止。
    - 遥感信号的 Vo 连接必须与反馈电阻分压器相连，下反馈电阻端接 VSENM 引脚。
    - 在一对远端采样线路的上方和下方用地平面进行屏蔽
    - 在此配置中，请**勿**连接 VSENM 引脚和 AGND 引脚
- En 引脚和配置引脚（包括 SS/LATCH、TON/MODE 和 ILIM）应端接至安静的地。在 TDA38840 标准演示板上，它们被端接至 PGND铜平面，远离电源电流路径。或者，也可将它们端接至专用的 AGND PCB 线路。

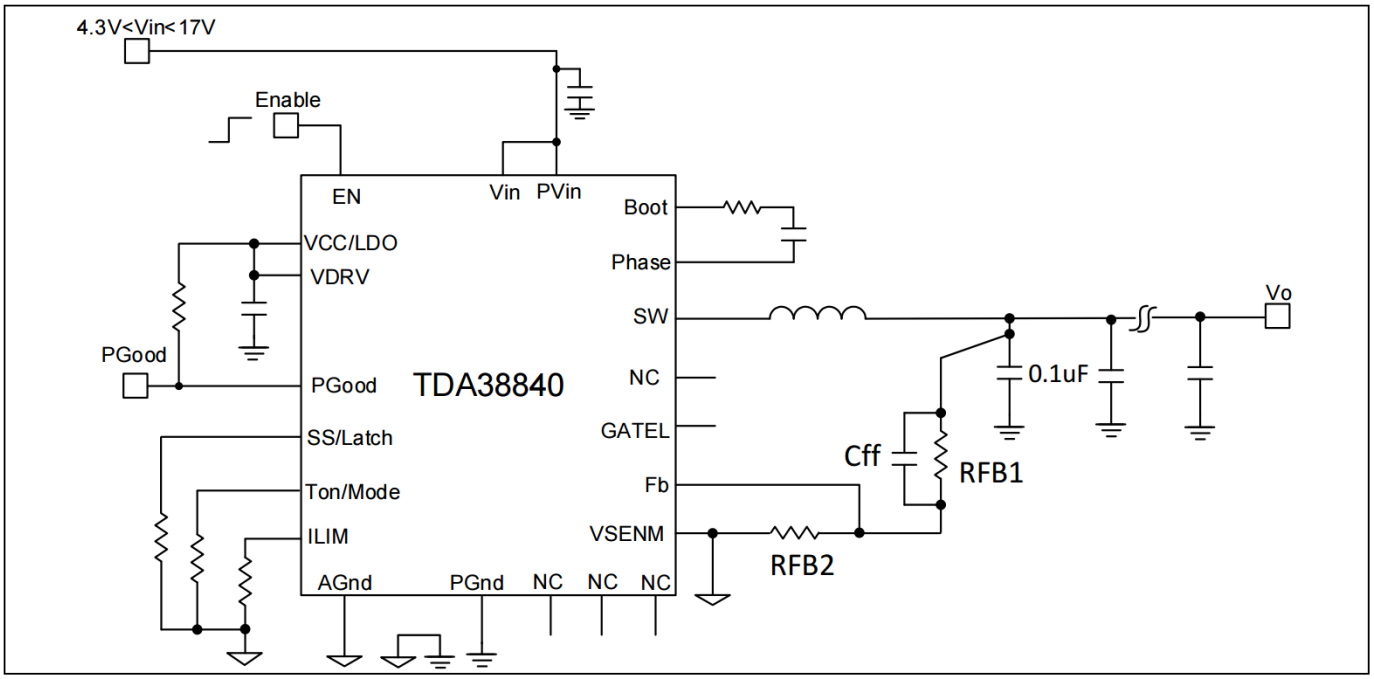


图 23 单端Vo 检测配置

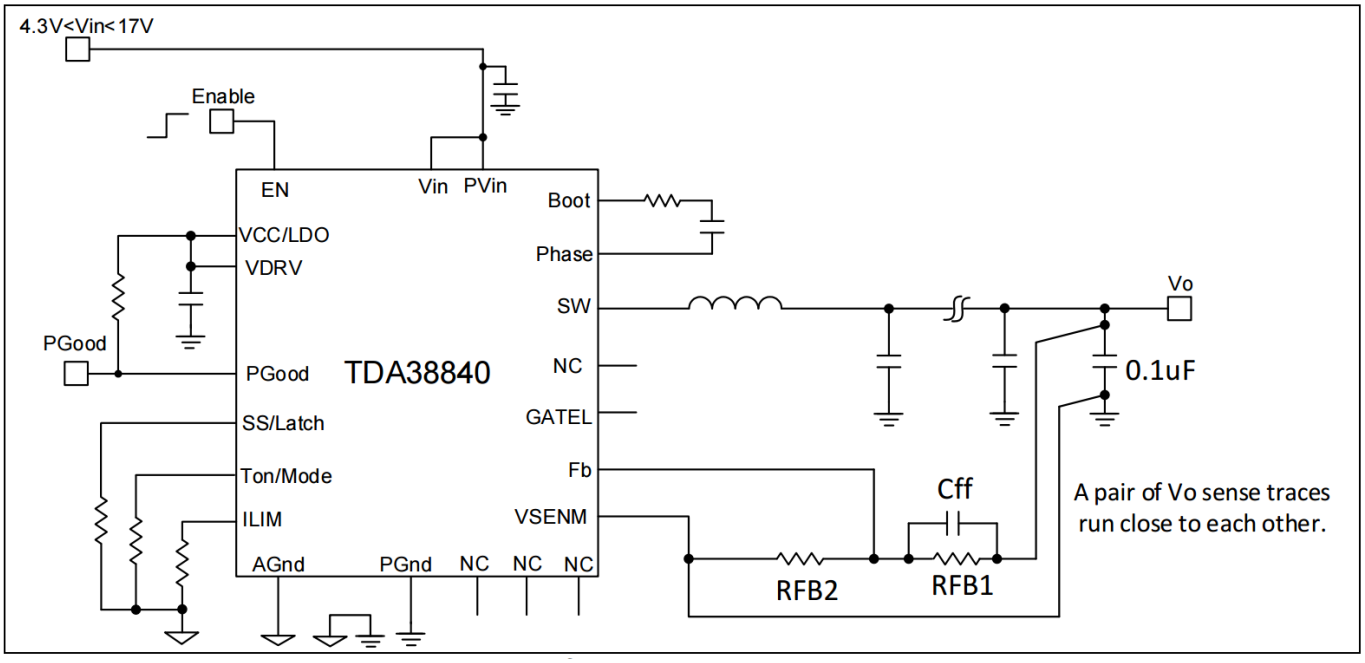


图 24 伪远程 Vo 检测配置

下图说明了带有伪远程V_o检测功能的 TDA38840 标准演示板的 PCB 布局设计。

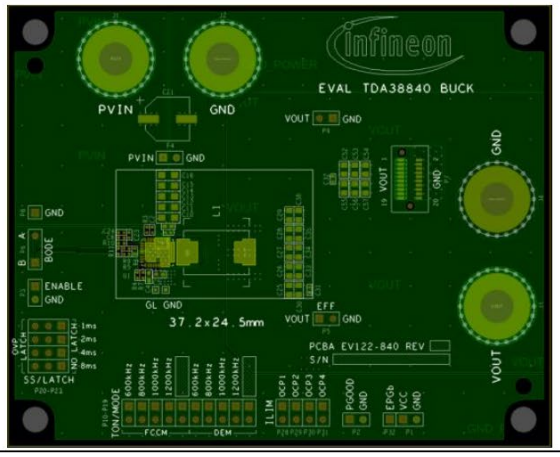


图 25　　TDA38840 演示板 - 顶层

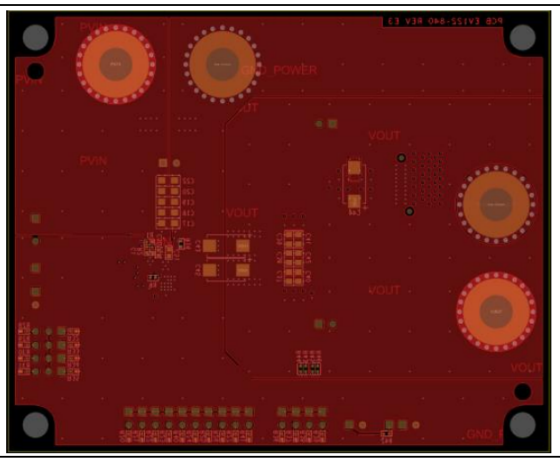


图 26　　TDA38840 演示板 - 底层

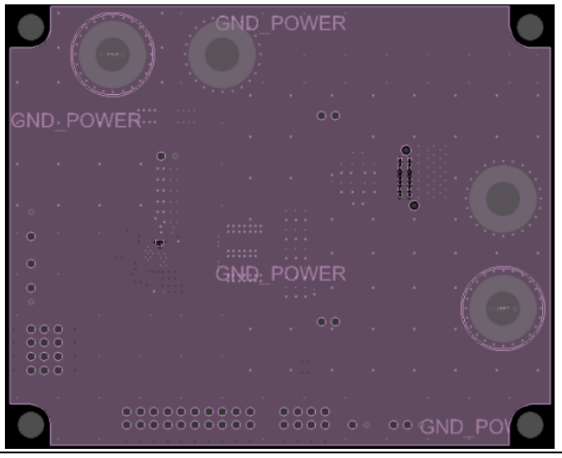


图 27　　中间层 1

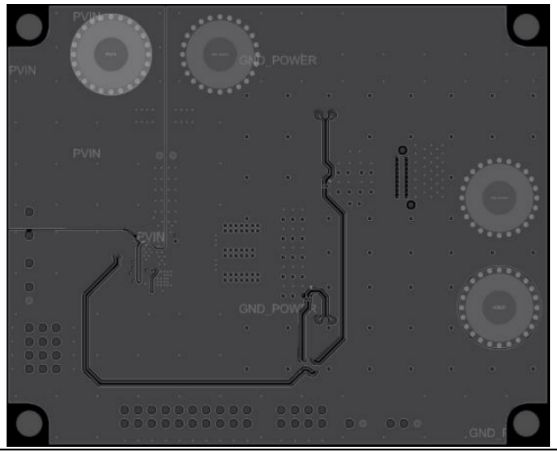


图 28　　中间层 2

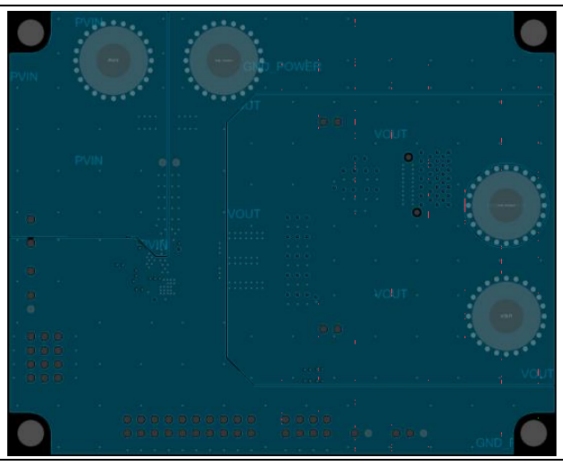


图 29　　中间层 3

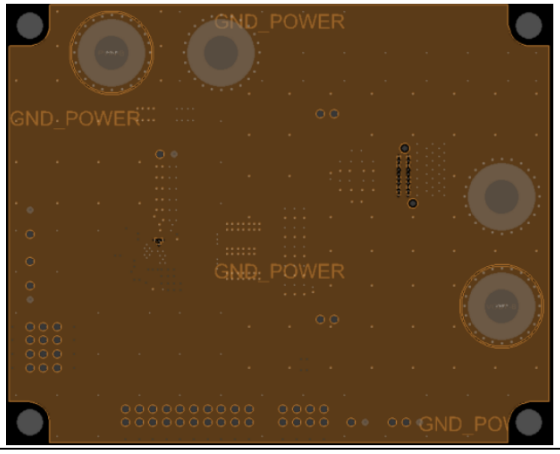


图 30　　中间层 4

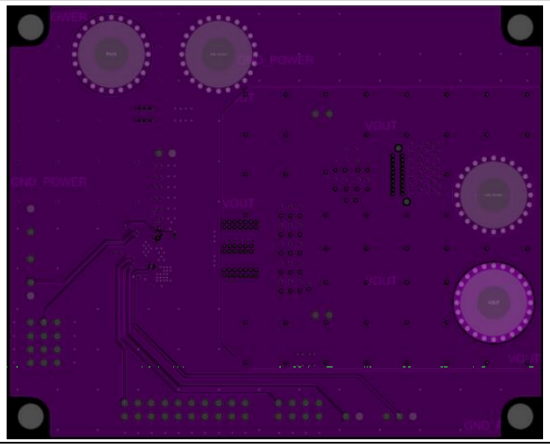


图 31 中间层 5

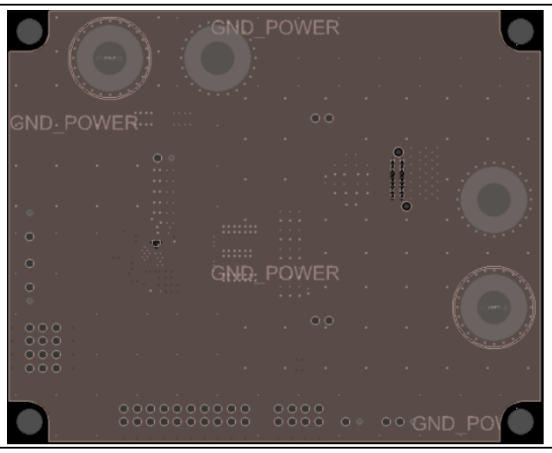
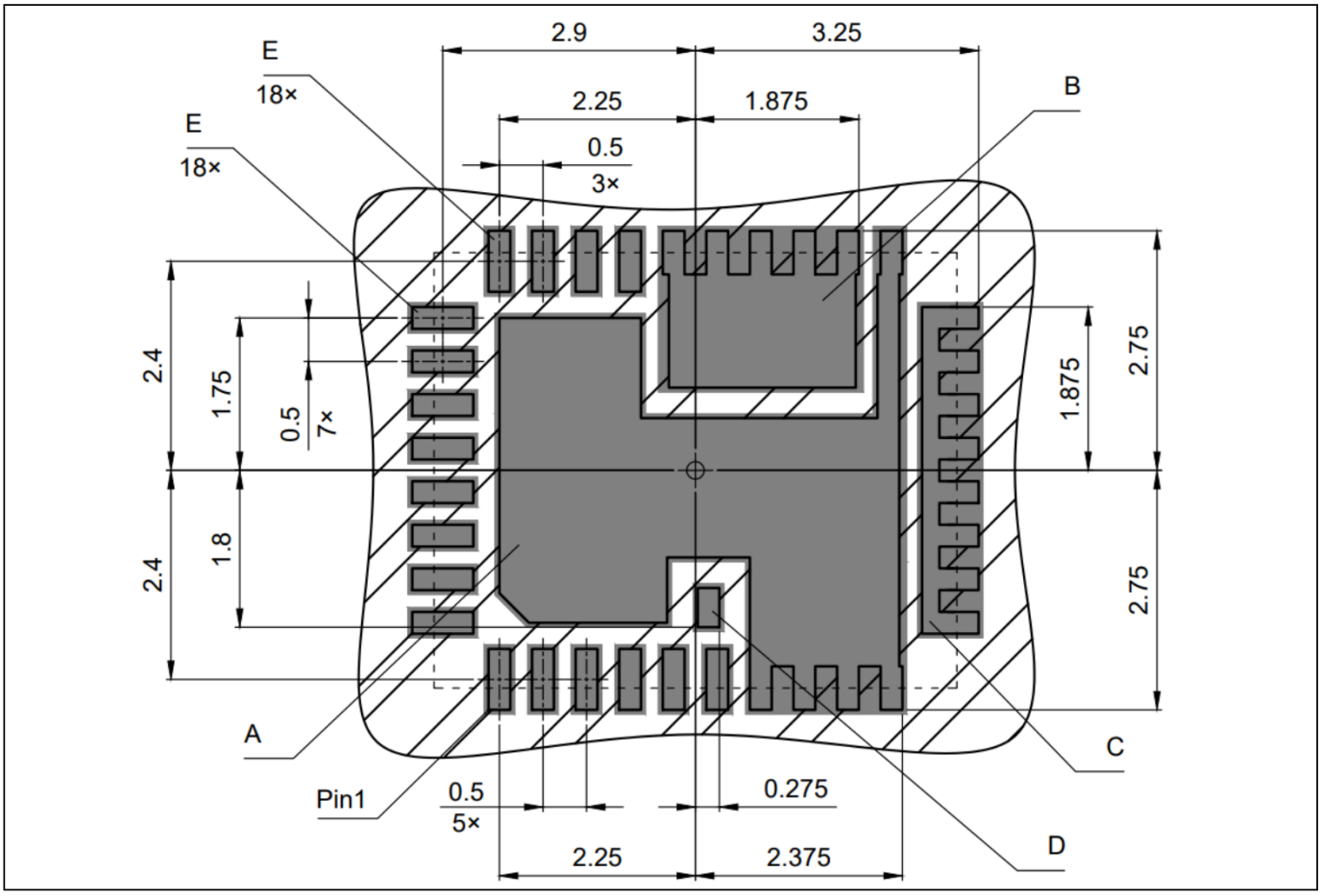


图 32 中间层 6

15.1 阻焊层

评估结果表明，采用如下图所示的基板/PCB 布局实现最佳的整体性能。PQFN 器件在 X 轴和 Y 轴上的放置精度均应达到 0.050 毫米。自定心行为在很大程度上取决于焊料和工艺，因此应通过实验来确认自定心对特定工艺的限制。

英飞凌建议功率或焊盘面积较大的焊盘采用阻焊定义 (SMD)。这使得底层铜线尽可能大，有助于提高电流承载能力和器件冷却能力。使用 SMD 焊盘时，底层铜线应比阻焊面上的开口至少大 0.05 毫米（每条边缘）。这使得层在两个轴上的偏差可达 0.1 毫米。确保较小信号引线区域之间的阻焊层至少有 0.15 毫米宽，因为阻焊层条的 x/y 长宽比很高。



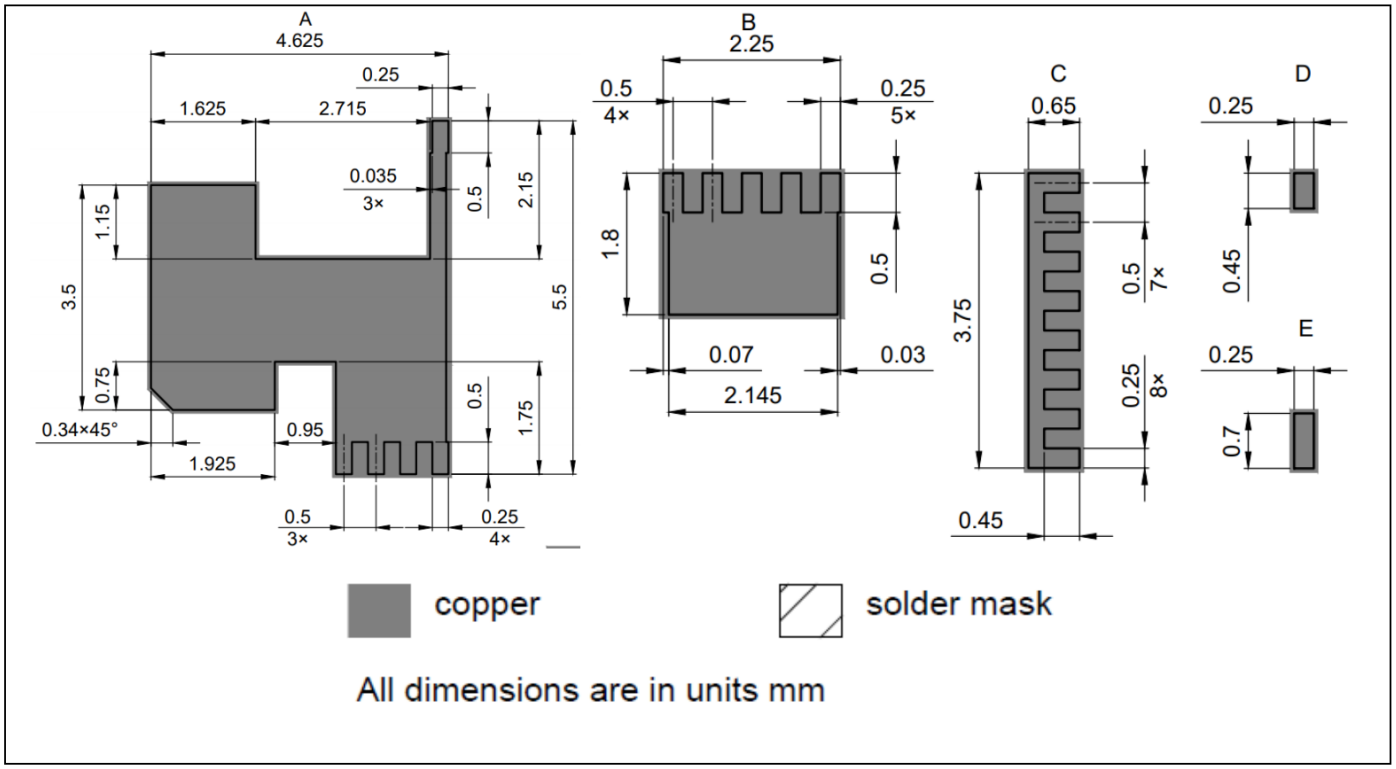


图 33 阻焊层（所有尺寸均以毫米为单位）

15.2 钢网设计

在大多数情况下，钢网的厚度必须符合PCB上所有元件的需要。对于典型的集成 QFN 或 SON 封装，建议使用厚度为 100 µm 至 120 µm 的钢网。更多详情和具体的钢网设计建议可参见应用说明"Recommendations for Board Assembly of Infineon Integrated Packages without Leads"。推荐的钢网设计如下所示。该设计的钢网厚度为 100 µm。

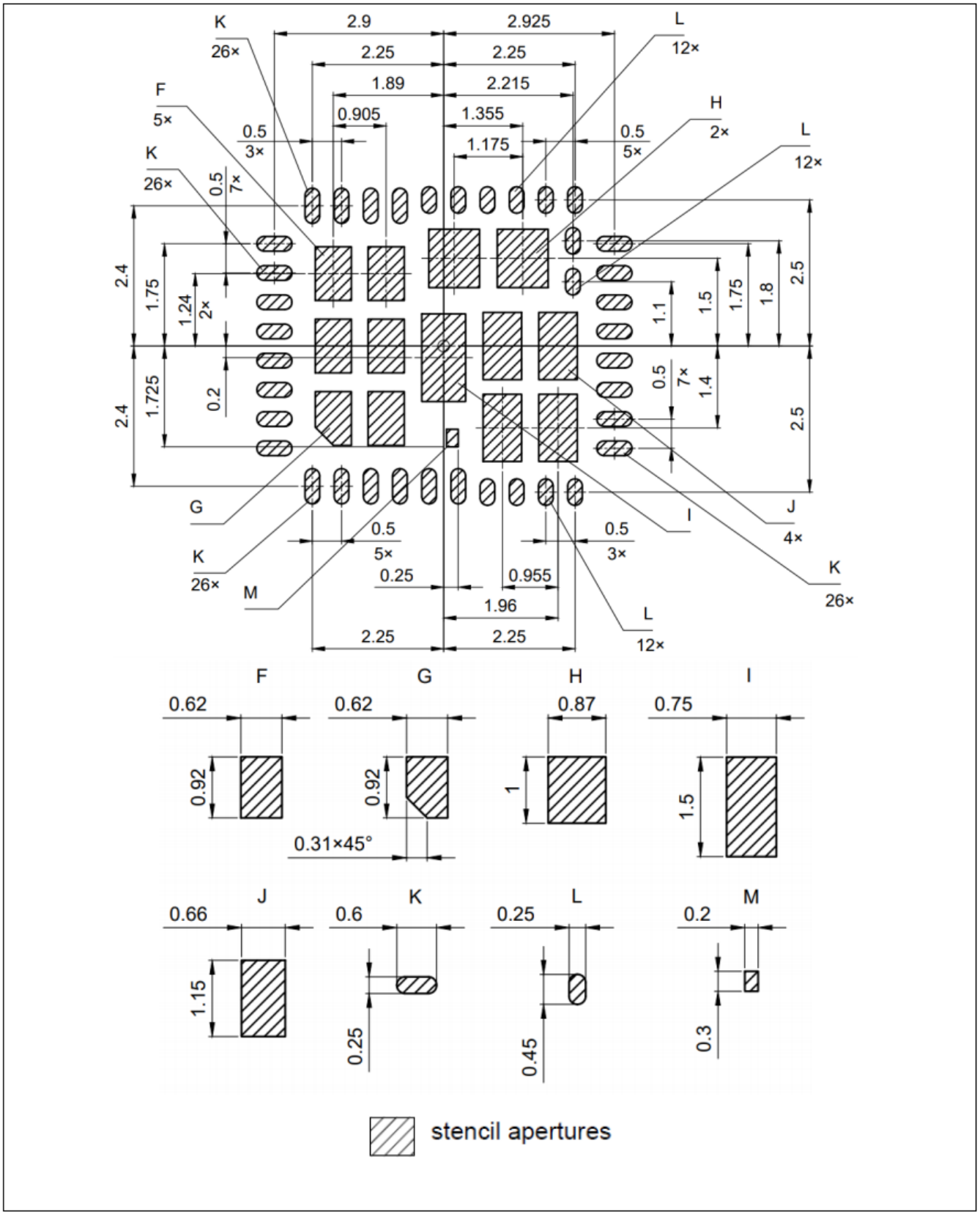


图 34　　钢网焊盘尺寸和间距（所有尺寸均以毫米为单位）

16 封装

本节包括 TDA38840 的标记、机械和包装信息。

16.1 标记信息

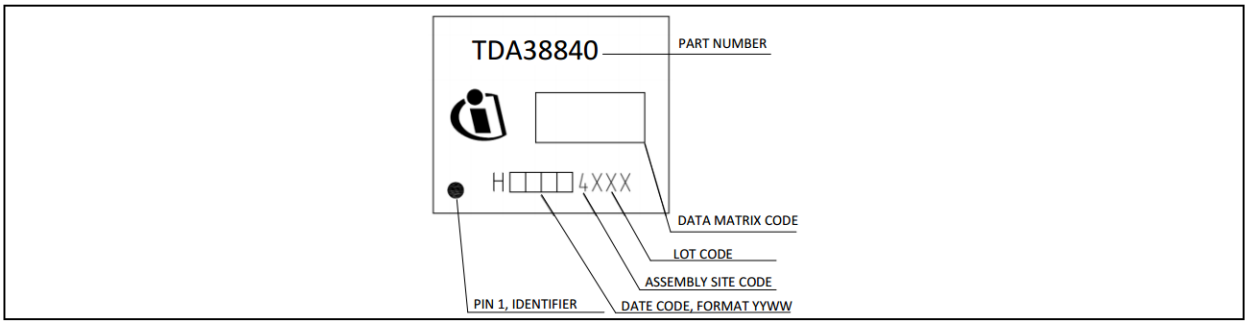
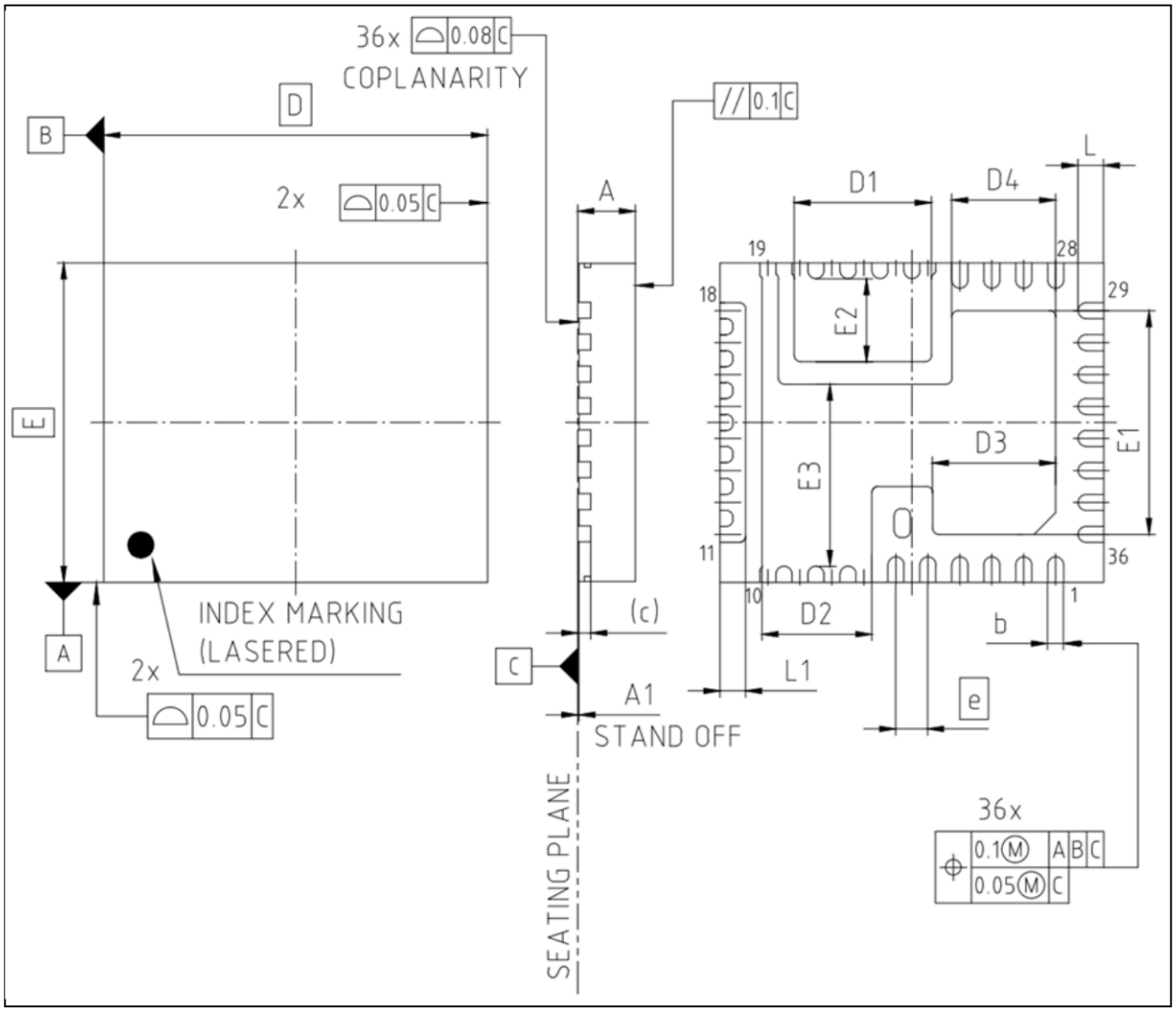


图 35 封装标记

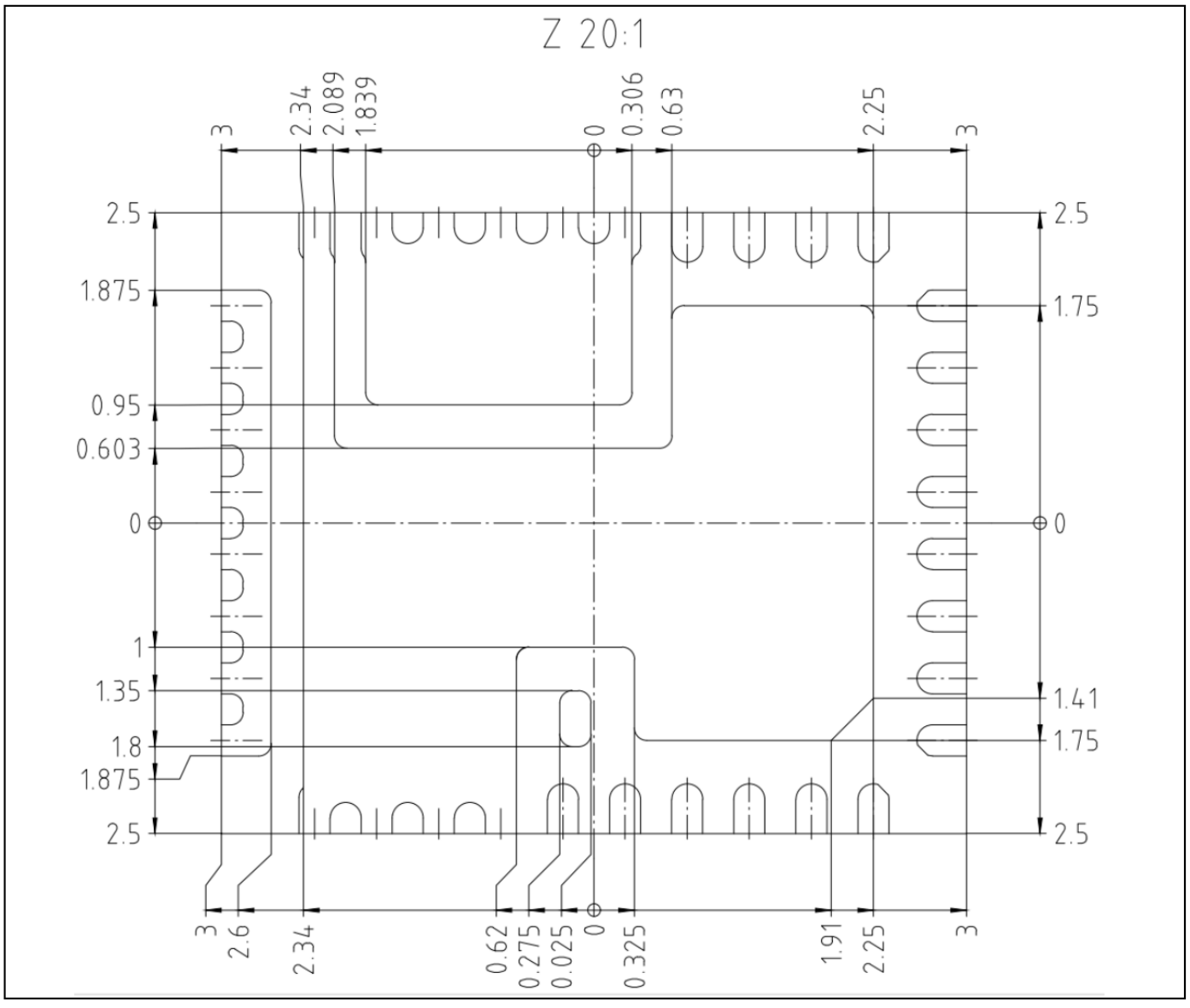
16.2 尺寸



Package

PACKAGE - GROUP NUMBER:	PG-IQFN-36-U02	
DIMENSIONS	MILLIMETERS	
	MIN.	MAX.
A	---	1.00
A1	0.00	0.05
b	0.20	0.30
c	0.20	
D	6.00	
D1	2.045	2.245
D2	1.615	1.815
D3	1.825	2.025
D4	1.524	1.725
E	5.00	
E1	3.40	3.60
E2	1.199	1.399
E3	2.75	2.95
e	0.50	
L	0.35	0.45
L1	0.30	0.50

NOTE:
DIMENSIONS DO NOT INCLUDE MOLD FLASH,
PROTRUSION OR GATE BURRS



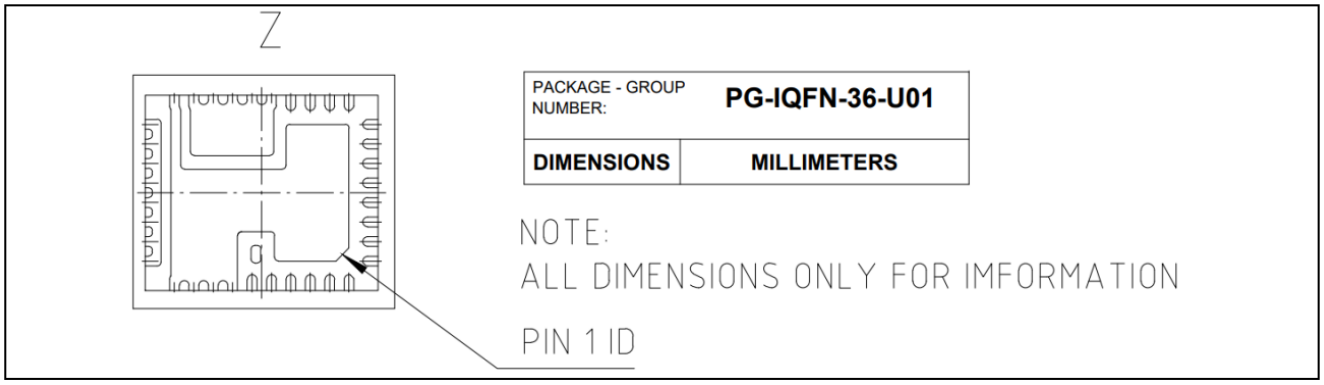


图 36 封装尺寸（所有尺寸均以毫米为单位）

16.3 卷带信息

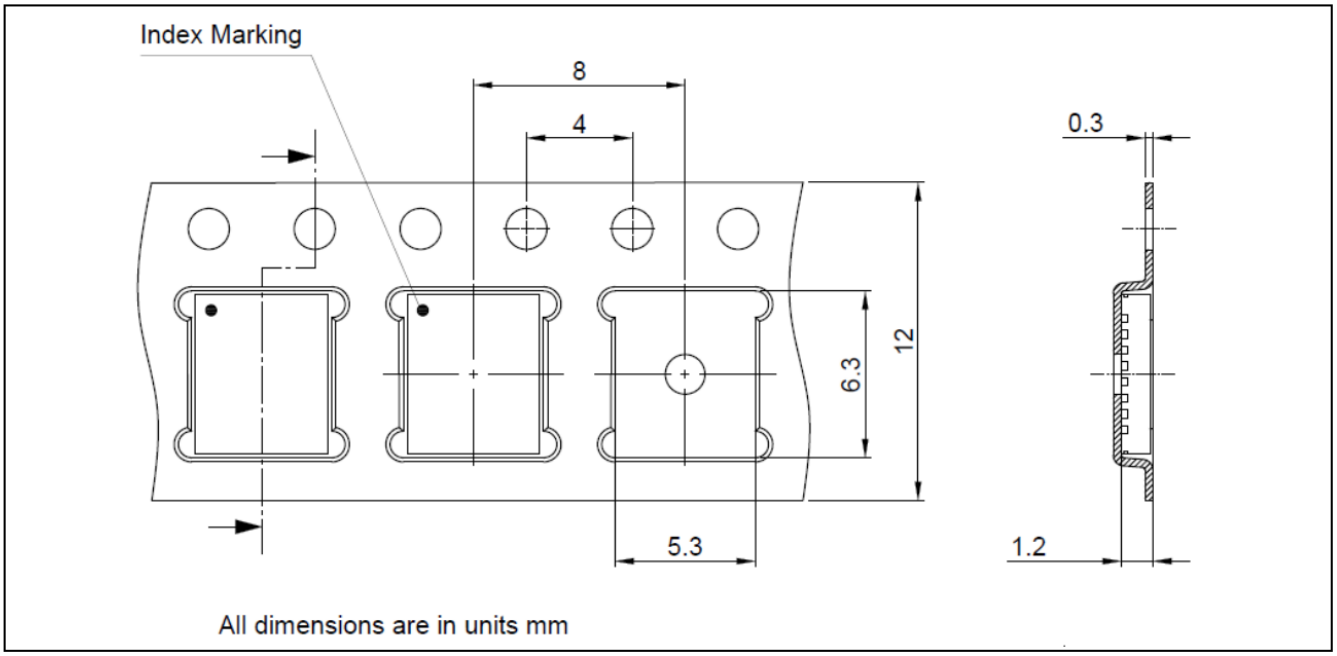


图 37 载带中 1 号引脚的方向

17 环境资质

Qualification Level		**Industrial**	
Moisture Sensitivity		QFN Package	JEDEC Level 2 @ 260 °C
ESD	Human Body Model	ANSI/ESDA/JEDEC JS-001, 2 (2000 V to < 4000 V)	
	Charged Device Model	ANSI/ESDA/JEDEC JS-002, C3 (≥1000 V)	
RoHS2 Compliant		This product is in compliance with EU Directive 2015/863/EU amending Annex II to EU Directive 2011/65/EU (RoHS) and contains Pb according RoHS exemption 7a, Lead in high melting temperature type solders.	

18 评估板和支持文档

表 9 TDA38840 评估板和用户指南

Evaluation board	Specifications	Website Address
EVAL_38840_1Vout	12 V±10%, 1 V, 40 A	www.infineon.com/ EVAL_38840_1Vout

表 10 TDA38840 封装信息

Device	Package Type	Website Address
TDA38840	PG-IQFN-36-2	https://www.infineon.com/cms/en/product/packages/PG-IQFN

修订记录

TDA38840

Revision 2025-09-20, Rev. 2.3

Previous revisions

Revision	Date	Subjects (major changes since last revision)
2.0	2021-04-17	Release of final version
2.1	2021-06-15	Update Table 7
2.2	2022-04-13	Update figure 33, 34, and 37
2.3	2025-09-20	Updated figure 33, figure 34 and figure 36

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Published by Infineon Technologies AG, 81726 Munich, Germany
Copyright (c) 2025 Infineon Technologies AG and its affiliates.All Rights Reserved.

Important notice
Products which may also include samples and may be comprised of hardware or software or both (“Product(s)”) are sold or provided and delivered by Infineon Technologies AG and its affiliates (“Infineon”) subject to the terms and conditions of the frame supply contract or other written agreement(s) executed by a customer and Infineon or, in the absence of the foregoing, the applicable Sales Conditions of Infineon. General terms and conditions of a customer or deviations from applicable Sales Conditions of Infineon shall only be binding for Infineon if and to the extent Infineon has given its express written consent.

For the avoidance of doubt, Infineon disclaims all warranties of non-infringement of third-party rights and implied warranties such as warranties of fitness for a specific use/purpose or merchantability.

Infineon shall not be responsible for any information with respect to samples, the application or customer’s specific use of any Product or for any examples or typical values given in this document.

The data contained in this document is exclusively intended for technically qualified and skilled customer representatives. It is the responsibility of the customer to evaluate the suitability of the Product for the intended application and the customer’s specific use and to verify all relevant technical data contained in this document in the intended application and the customer’s specific use. The customer is responsible for properly designing, programming, and testing the functionality and safety of the intended application, as well as complying with any legal requirements related to its use.

Unless otherwise explicitly approved by Infineon, Products may not be used in any application where a failure of the Products or any consequences of the use thereof can reasonably be expected to result in personal injury. However, the foregoing shall not
prevent the customer from using any Product in such fields of use that Infineon has explicitly designed and sold it for, provided that the overall responsibility for the application lies with the customer.

Infineon expressly reserves the right to use its content for commercial text and data mining (TDM) according to applicable laws, e.g. Section 44b of the German Copyright Act (UrhG).

If the Product includes security features: Because no computing device can be absolutely secure, and despite security measures implemented in the Product, Infineon does not guarantee that the Product will be free from intrusion, data theft or loss, or other breaches (“Security Breaches”), and Infineon shall have no liability arising out of any Security Breaches.

If this document includes or references software:
The software is owned by Infineon under the intellectual property laws and treaties of the United States, Germany, and other countries worldwide. All rights reserved. Therefore, you may use the software only as provided in the software license agreement accompanying the software. If no software license agreement applies, Infineon hereby grants you a personal, non-exclusive, non-transferable license (without the right to sublicense) under its intellectual property rights in the software (a) for software provided in source code form, to modify and reproduce the software solely for use with Infineon hardware products, only internally within your organization, and (b) to distribute the software in binary code form externally to end users, solely for use on Infineon hardware products. Any other use, reproduction, modification, translation, or compilation of the software is prohibited.

For further information on the Product, technology, delivery terms and conditions, and prices, please contact your nearest Infineon office or visit https://www.infineon.com.

免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。
由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。
因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 http://www.infineon.com
英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。
您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

版本 **2026-09-14**

Infineon Technologies AG 出版，
德国 **Neubiberg 85579**

版权 © **2026 Infineon Technologies AG**
及其关联公司。
保留所有权利。

Do you have a question about this document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称 "英飞凌"）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称 "产品"），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文档中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：
由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称"安全漏洞"），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：
根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码(binary code)形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 **https://www.infineon.com**。