

英飞凌USB PD电源适配器二次侧控制器

概述

EZ-PD™ PAG1S 是一款集成次级侧同步反激控制器、同步整流器 (SR) 控制器和充电端口控制器。EZ-PD™ PAG1S 专门针对电源适配器，它非常适合 USB 电源传输、Qualcomm Quick Charge 和其他标准充电协议的高效 AC-DC 反激设计。EZ-PD™ PAG1S 还支持 USB 电力输送 (USB PD) 可编程电源 (PPS) 模式。

应用

- USB PD 3.0 PPS电源适配器
- 快速充电4.0电源适配器
- 支持 USB PD 和传统充电的电源适配器

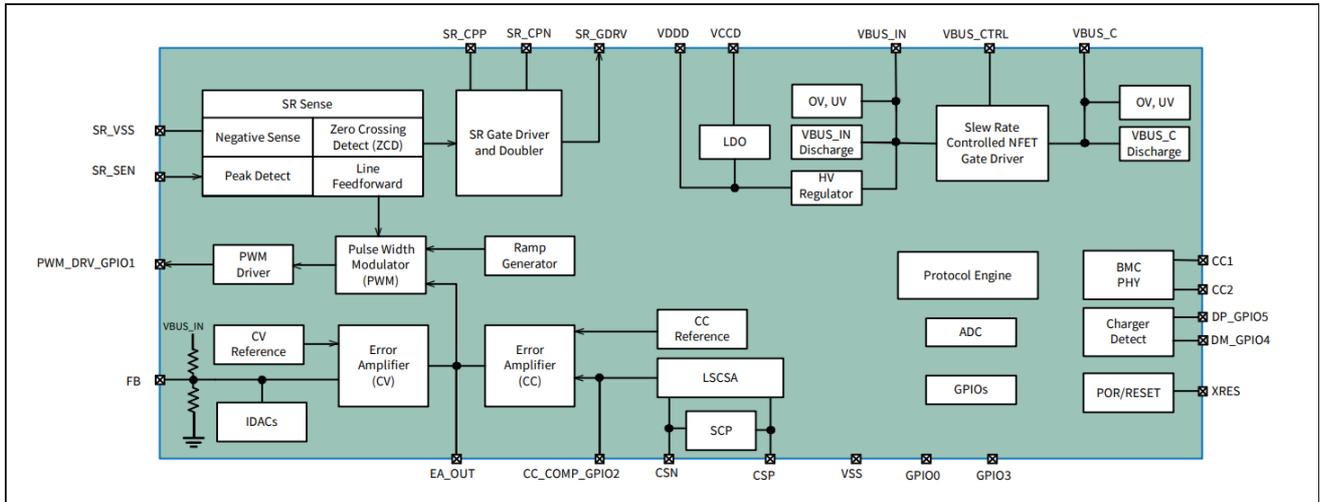
特性

- 集成次级侧调节、同步整流器 (SR) 和充电端口控制器
- 优化线路和负载范围内的效率，满足 CoC Tier 2 和 DoE 6 级要求
- 支持准谐振 (QR) 或临界导通模式 (CrCM)、谷底开关、不连续导通模式 (DCM) 和轻负载运行的突发模式
- 采用 EZ-PD™ PAG1P 设计，空载功耗小于 30 mW
- 开关频率范围为 20 kHz 至 150 kHz
- 支持前馈线路感应，实现更快的瞬态线路响应
- 支持恒压 (CV) 和恒流 (CC) 操作模式。
- 可配置的硬件控制VBUS过压保护 (OVP)、欠压保护 (UVP)、过电流保护 (OCP)、短路保护 (SCP) 和过温保护 (OTP)
- 符合 PPS 的 USB PD 3.0 (USB-IF 认证, TID: 1475)
- 支持 USB PD 2.0、带 PPS 的 PD 3.0、QC4+、QC 4.0、QC 3.0、QC 2.0、三星 AFC、Apple 充电和 BC v1.2 充电协议
- 集成低侧电流检测放大器 (LSCSA)、2 个 VBUS 放电 FET 和 NFET 栅极驱动器来驱动负载开关
- 防止 VBUS 至 CC 意外短路；CC、VBUS 和 DP/DM 线路上的 ESD 保护
- 24-QFN 封装，具有 -40°C 至 +105°C 扩展工业温度范围

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

功能框图

功能框图



目录

目录

概述.....	1
应用.....	1
特性.....	1
功能区块图	2
目录.....	3
1 引脚排列.....	4
1.1 引脚描述.....	6
1.1.1 FB, EA_OUT, CC_COMP_GPIO2	8
1.1.2 PWM_DRV_GPIO1.....	9
1.1.3 CC1, CC2.....	10
1.1.4 DP_GPIO4, DM_GPIO5	10
1.1.5 VBUS_IN, VDDD, VCCD.....	11
1.1.6 VBUS_C, VBUS_CTRL	11
1.1.7 CSP, CSN.....	11
1.1.8 GPIO0, GPIO3	11
1.1.9 XRES	11
2 应用概述.....	12
2.1 USB电源传输电源适配器和次级边控制.....	12
3 功能描述	13
3.1 上电行为.....	13
3.2 操作的模式.....	13
3.3 故障保护.....	13
3.3.1 VBUS UVP 和 OVP.....	13
3.3.2 VBUS OCP 和 SCP	14
3.3.3 OTP.....	14
3.3.4 ESD保护	14
3.3.5 VBUS 到 CC 短路保护.....	14
3.4 功耗模式.....	14
4 电气规格参数.....	15
4.1 绝对最大额定值.....	15
4.2 器件级规范.....	16
4.3 功能区块规格.....	17
4.4 I/O规格.....	22
4.5 系统资源规格.....	23
5 订购信息.....	24
5.1 订购代码定义.....	24
6 封装	25
7 缩略词	27
8 文档惯例.....	29
8.1 测量单位.....	29
修订历史.....	30

引脚布局

1 引脚布局

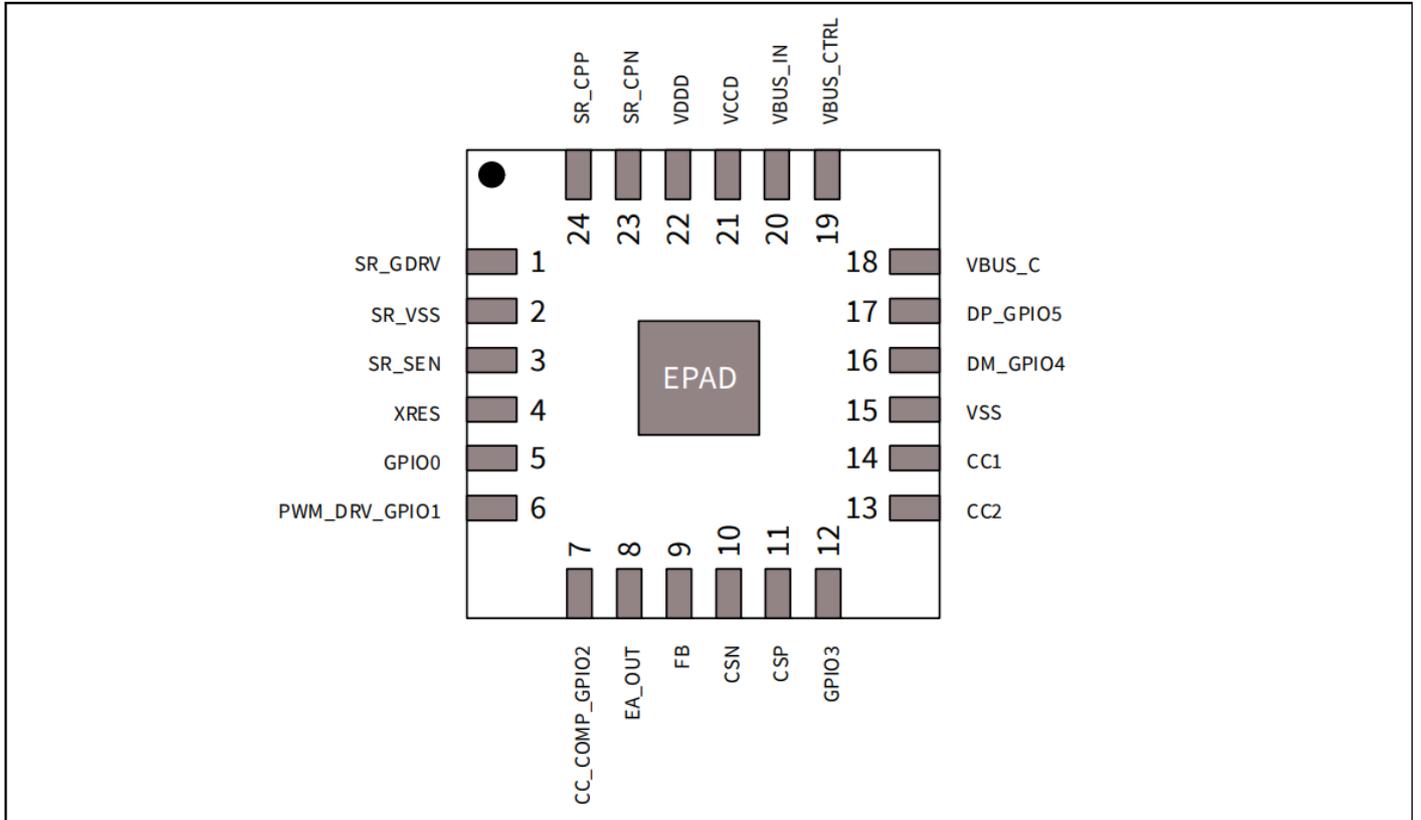


图1 24脚QFN引脚图

引脚布局

表1 EZ-PD™ PAG1S引脚描述

Pin number	Pin name	Description
1	SR_GDRV	Synchronous-rectifier NFET gate driver
2	SR_VSS	Synchronous-rectifier NFET ground terminal
3	SR_SEN	Synchronous-rectifier NFET drain terminal
4	XRES	External reset input
5	GPIO0	GPIO P0.0
6	PWM_DRV_GPIO1	Pulse transformer driver/GPIO P0.1
7	CC_COMP_GPIO2	Pin for constant current mode compensation capacitor/GPIO P0.2
8	EA_OUT	Error amplifier output
9	FB	Error amplifier feedback
10	CSN	Low-side current sense amplifier negative input
11	CSP	Low-side current sense amplifier positive input
12	GPIO3	GPIO P0.3
13	CC2	Power Delivery communication channel 2
14	CC1	Power Delivery communication channel 1
15	VSS	Ground
16	DM_GPIO4	USB D-/SWD_DATA/GPIO P0.4
17	DP_GPIO5	USB D+/SWD_CLK/GPIO P0.5
18	VBUS_C	USB Type-C VBUS monitor input
19	VBUS_CTRL	Load switch NFET gate control
20	VBUS_IN	Power source input
21	VCCD	1.8-V core voltage LDO output
22	VDDD	3.0 V–5.5 V internal LDO Output
23	SR_CPN	SR doubler capacitor negative pin
24	SR_CPP	SR doubler capacitor positive pin
25	EPAD	EPAD for ground

引脚布局

1.1 说明

SR_GDRV, SR_VSS, SR_SEN, SR_CPP, SR_CPN.EZ-PD™ PAG1S 感应同步整流器 NFET 两端的电压并适当控制栅极驱动器以实现最佳效率。栅极驱动器 (SR_GDRV) 可驱动至内部 VDD 或 VDD 的两倍，以实现外部 NFET 更好的 RDS-On。栅极驱动器可以使用内部倍压电路驱动至 VDD 的两倍，倍压电容器连接在 SR_CPP 和 SR_CPN 引脚之间。SR FET 的源极端子应连接到 SR_VSS 引脚。根据操作条件，应用程序固件根据需要启用或禁用倍压器。

EZ-PD™ PAG1S 支持 QR/CrCM、谷底开关和 DCM 模式下的同步整流。SR 感测模块支持负感测检测、ZCD（过零检测）、峰值检测和前馈操作。外部 NFET 漏极节点电压通过电阻分压器感测。内部电阻为 2 kΩ，外部电阻的选择需确保 SR_SEN 引脚电压不超过 21.5 V。

SR_SEN 引脚的外部电阻取决于电源变压器的匝数比。表 2 提供各种匝数比值所需的值。

表 2 SR_SEN 上的外部电阻与匝数比

Primary : Secondary turns ratio	Rext (Ω)
4:1	10K
5:1	9K
6:1	8K
7:1	7K
8:1	6K
9:1	5K
10:1	4K

快速负电压检测比较器可检测 SR_SEN 引脚上 100 mV 至 -200 mV 的最小负电压。同样，ZCD 可检测 SR_SEN 引脚上 -16 mV 至 0 mV 的最小阈值电压。峰值检测电路可检测到 SR_SEN 引脚电压通常比峰值低 75 mV。前馈电路从 SR_SEN 节点提取输入电源电压，并按比例修改模拟 PWM 斜坡发生器输出，以实现更快的瞬态线路响应。EZ-PD™ PAG1S 提供多种可配置选项：最短导通时间、最短关断时间、最小工作频率、最大工作频率以及 SR_SEN 检测阈值等。请参阅 [EZ-PD™ 配置通用工具](#) 有关配置通用工具的更多详细信息。参见图 2 和图 3 用于表示 QR/CrCM 和 DCM/谷底切换中的 SR_GDRV 功能的波形。

引脚布局

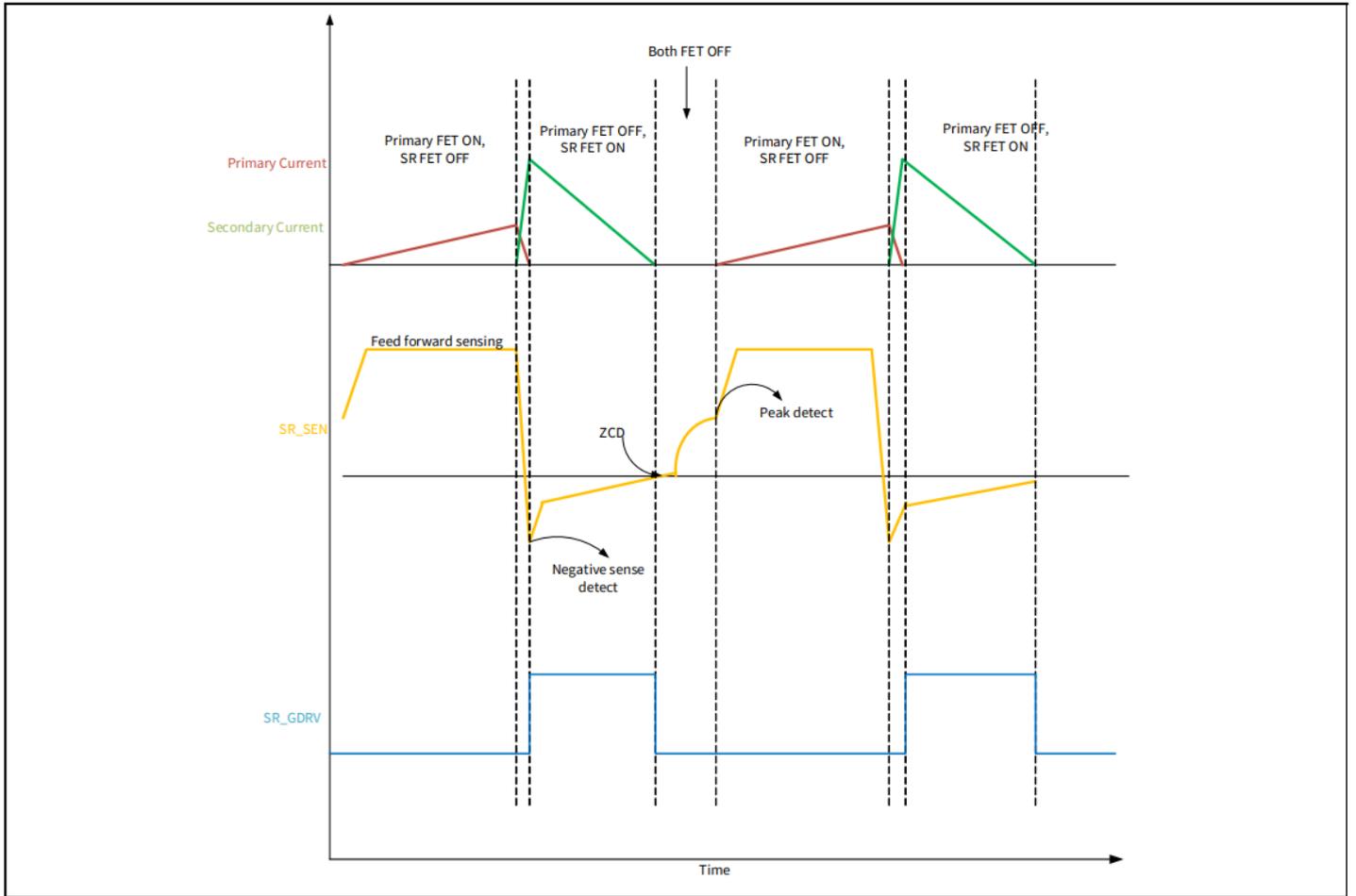


图2 QR/CrCM模式下的SR_SEN和SR_GDRV

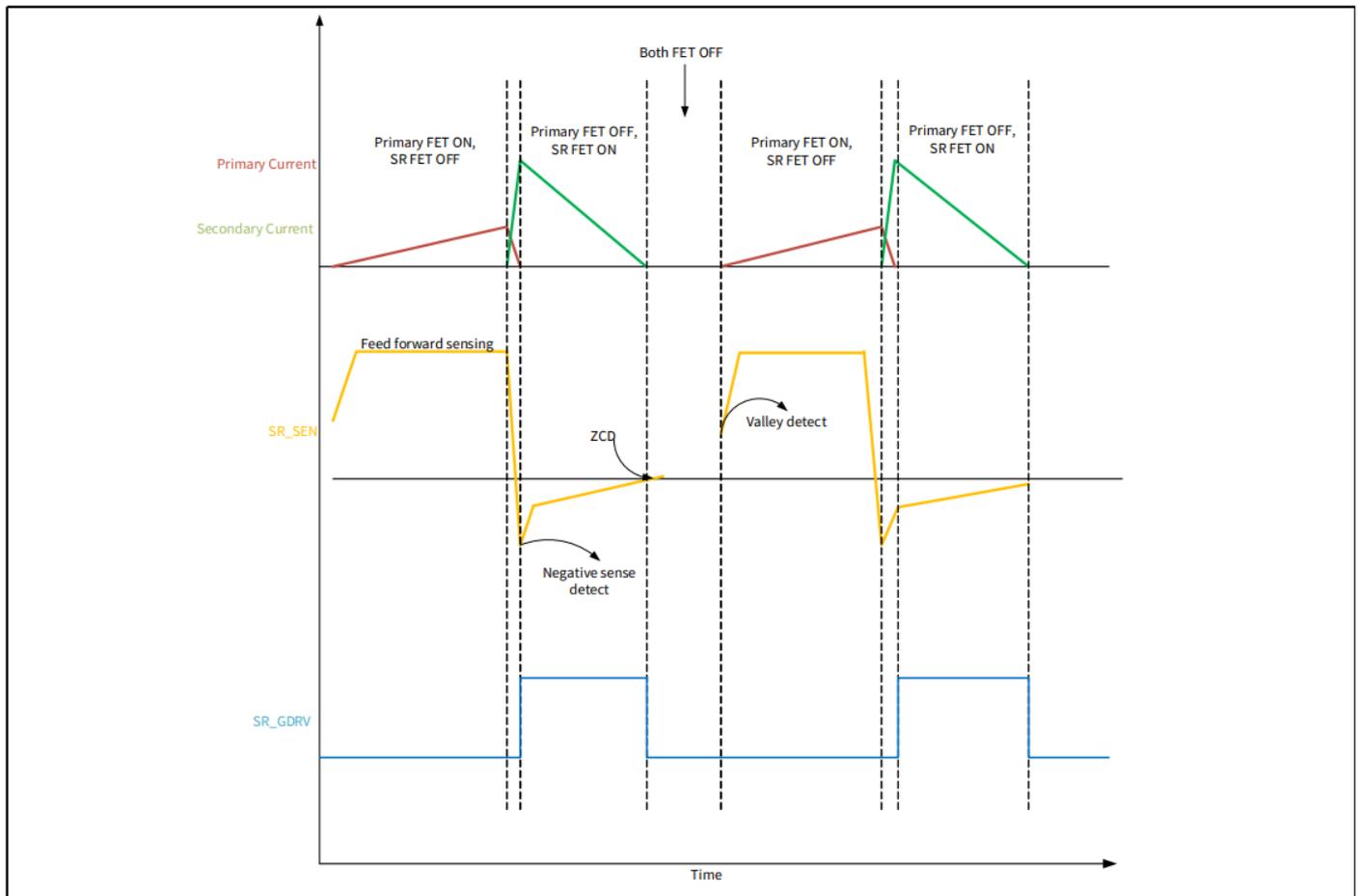


图3 DCM/谷底开关模式下的SR_SEN和SR_GDRV

1.1.1 FB, EA_OUT, CC_COMP_GPIO2

EZ-PD™ PAG1S 集成了两个误差放大器模块，用于处理恒压 (CV) 和恒流 (CC) 模式的次级输出感应和调节。该模块负责恒压和恒流操作。误差放大器的输出馈入内部模拟 PWM 模块。误差放大器的负输入为反馈 (FB) 引脚，正输入为 0.744 V 的内部参考电压。FB 引脚具有 200 k Ω 和 35 k Ω 的内部电阻分压器，当 VBUS_IN 为 5 V 时，该分压器将 FB 引脚的默认电压设置为 0.744 V。根据所需的 VBUS_C 输出，FB 引脚上的电压将通过内部电流源/接收器 IDAC 而变化。FB 引脚和 EA_OUT 引脚之间需要一个外部补偿网络，如图 6 所示。

恒流操作利用内部低侧电流检测放大器 (LSCSA)，其输出馈入独立的误差放大器，如图 1。恒流源参考误差放大器可在 0.4 V 至 2.1 V 之间编程。恒流模式调节需要在 CC_COMP_GPIO2 和 EA_OUT 之间添加外部补偿网络，如图 6 所示。EZ-PD™ PAG1S 误差放大器可确保 3.3 V 至 21.5 V 范围内的恒压调节和 1 A 至 3 A 范围内的恒流调节，符合 USB PD PPS 规范的要求。

引脚布局

1.1.2 PWM_DRV_GPIO1

EZ-PD™ PAG1S 支持模拟 PWM 发生器，该发生器以电压模式控制来调制初级侧 FET 的脉冲宽度。它产生一个可编程斜坡，并与误差放大器的输出进行比较以确定 PWM 脉冲宽度。斜坡是通过将电流注入内部电容器而产生的，源电流是某个固定电流和前馈电流的可编程组合。PWM信号通过外部脉冲变压器从次级侧传输到初级侧。EZ-PD™ PAG1S 还集成了基于 VDDD/Ground 输出的脉冲变压器驱动器。脉冲变压器驱动器的输出被引至 PWM_DRV_GPIO1 引脚。

参见图 4 和图 5 用于表示 QR/CrCM 和 DCM/谷底切换中的 PWM_DRV 功能的波形。

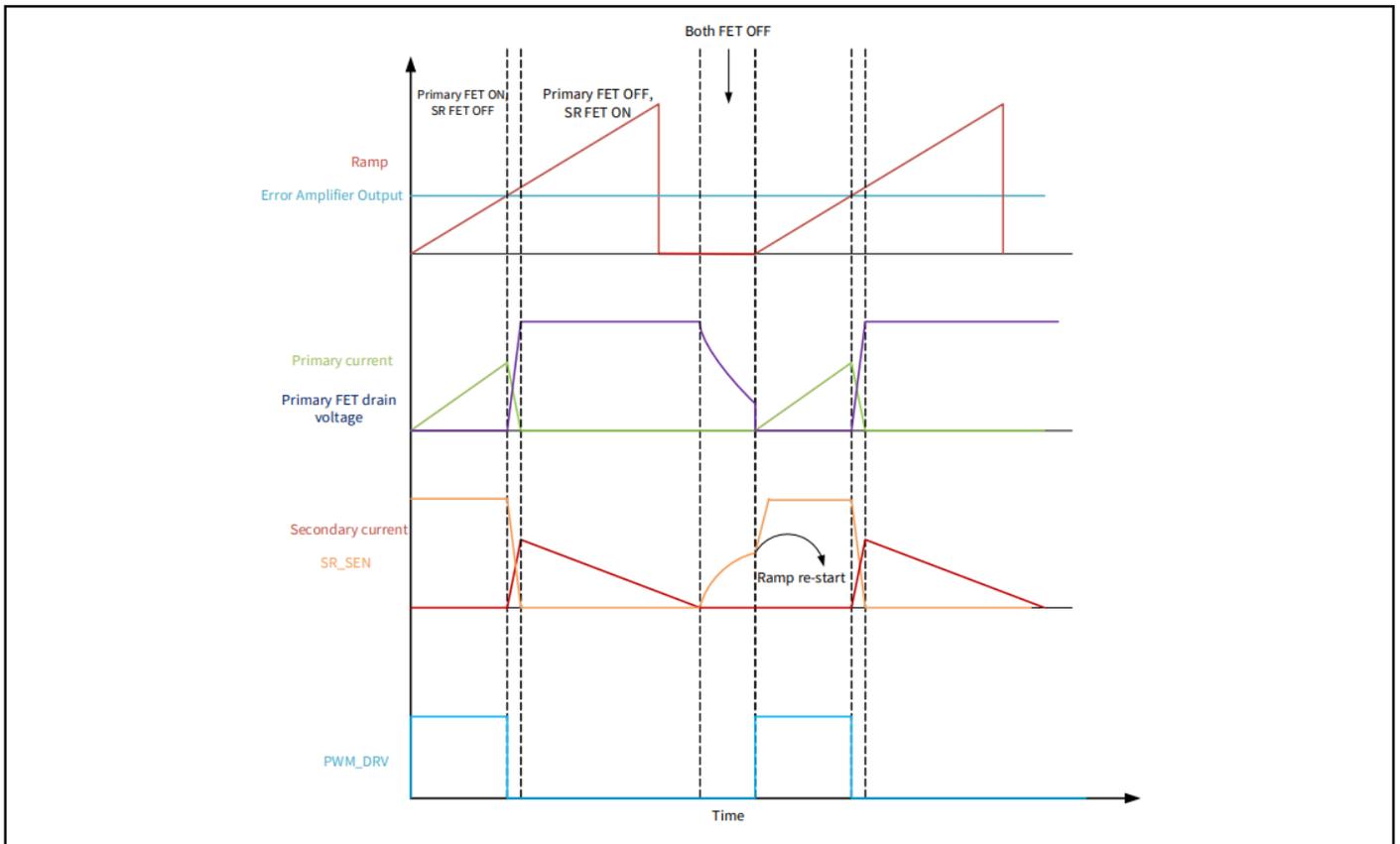


图4 QR/CrCM模式下的PWM_DRV

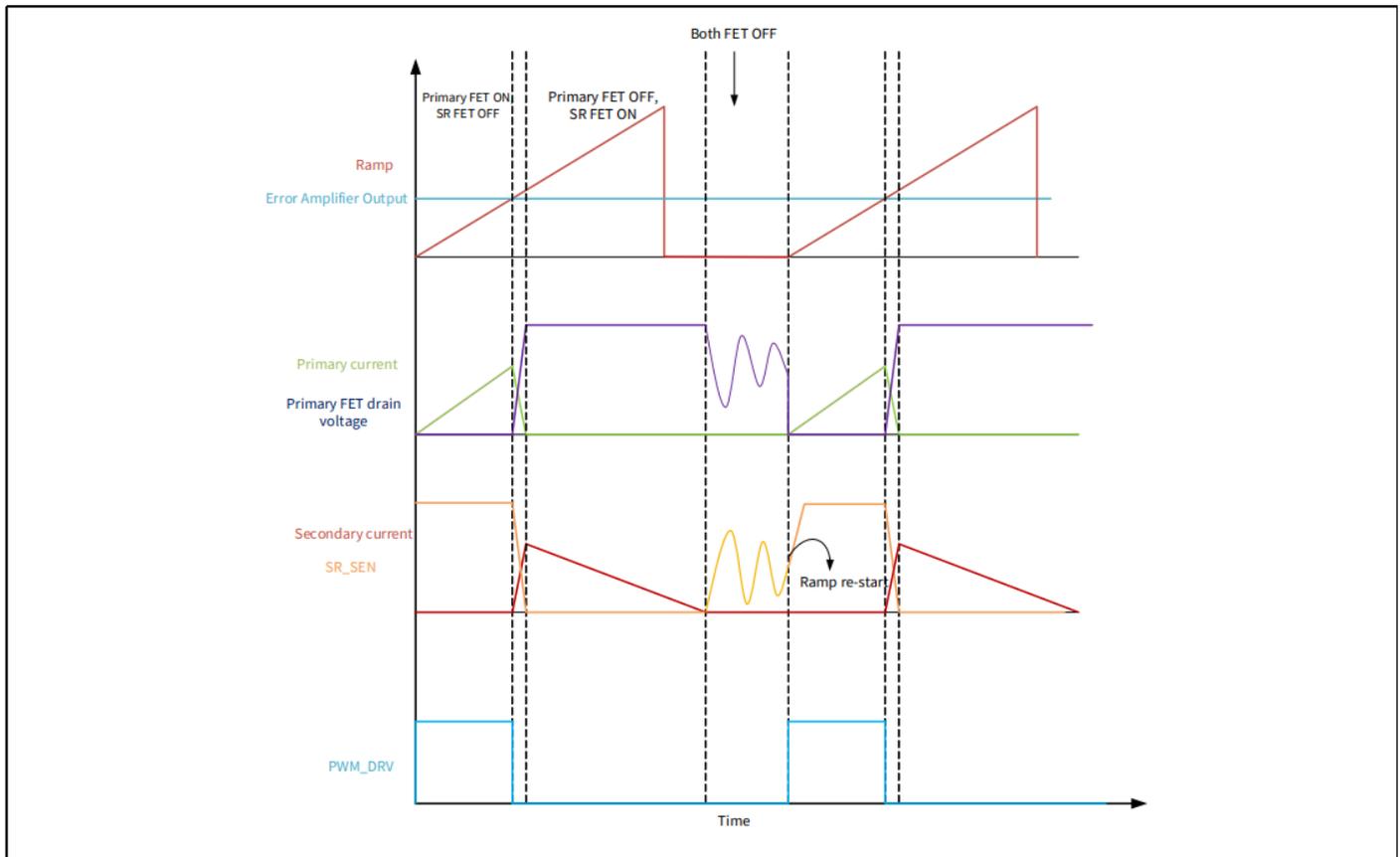


图5 DCM/谷底开关模式下的PWM_DRV

1.1.3 CC1, CC2

CC1和CC2是USB PD协议的通信通道。EZ-PD™ PAG1S 集成了一个 USB PD 收发器，该收发器由一个发射器和接收器组成，它们按照 USB PD 标准通过配置通道 (CC) 通道传输双相标记码 (BMC) 编码数据。所有通信均为半双工。物理层 (PHY) 实施冲突避免，从而最小化通道上的通信错误。该模块包括 USB PD 规范要求的所有终端电阻 (Rp) 及其开关。CC1 和 CC2 引脚上都需要一个外部 390 pF 电容器。

1.1.4 DP_GPIO4, DM_GPIO5

DP 和 DM 线是标准 USB D+ 和 D- 线。EZ-PD™ PAG1S 集成了充电检测模块，可处理 BC 1.2、Quick Charge、Apple 充电和 Samsung AFC 等传统充电协议。该模块集成了这些充电协议所需的所有终端，无需任何外部组件。当系统不需要传统充电时，相同的 DP 和 DM 线可以重新用作标准 GPIO。

引脚布局

1.1.5 VBUS_IN, VDDD, VCCD

EZ-PD™ PAG1S 集成了一个高压稳压器，该稳压器由 VBUS_IN 轨供电，稳压器的输出为 VDDD 轨供电。调节器的输入范围为最小 3.3 V 至最大 21.5 V。当输入介于 5.5 V 和 21.5 V 之间时，调节器的典型输出为 5 V。对于 3.3 V 至 5.5 V 的输入，调节器输出为 VBUS_IN - 300 mV。

该稳压器最大可驱动 50 mA 负载电流，其中包括芯片电流消耗。该稳压器将不会驱动任何外部负载或 IC。EZ-PD™ PAG1S 还具有用于 VBUS_IN 电源轨的内部可配置放电路径，用于在负电压转换期间对 VBUS 电源轨进行放电。通过固件设置，内部放电电阻可配置为 31.25 Ω 至 2000 Ω 之间。

稳压电源 VDDD 可用于直接为某些内部模拟模块供电，或进一步调低至 1.8 V VCCD，为大部分核心供电。VDDD 和 VCCD 引脚用于连接外部电容器，以保证稳压器的稳定性，这些引脚不能用作电源。

1.1.6 VBUS_C, VBUS_CTRL

VBUS_C 用于监控 Type-C 连接器的电压。VBUS_C 具有内部可配置放电路径，用于在负电压转换期间对 VBUS_C 电源轨进行放电。通过固件设置，内部放电电阻可配置为 31.25 Ω 至 2000 Ω 之间。

负载开关位于 VBUS_IN 和 VBUS_C 之间。EZ-PD™ PAG1S 集成了 NFET 栅极驱动器来控制该负载开关。VBUS_CTRL 是该栅极驱动器的输出。要关闭外部 NFET，栅极驱动器需驱动至低电平。要打开外部 NFET，它会将栅极驱动至 VBUS_IN + 8 V。此外，还有一个钳位电路将栅极限制在 VBUS_IN + 8 V。有一个可选的慢速开启功能，旨在避免突然的浪涌电流。对于典型的 3 nF 栅极电容，可使用固件配置 2 ms 至 10 ms 的慢速开启时间。

1.1.7 CSP, CSN

EZ-PD™ PAG1S 集成 LSCSA 用于监控负载电流。CSP 是 LSCSA 的正输入引脚，CSN 是负输入引脚。LSCSA 提供 5 至 150 的宽增益选项。建议 LSCSA 的 Rsense 为 5 m Ω 。LSCSA 具有主动失调消除机制，可提高精度。

1.1.8 GPIO0, GPIO3

EZ-PD™ PAG1S 有六个 GPIO，其中两个是专用 GPIO，其余的与其他功能复用。这些 GPIO 支持多种驱动模式和可配置的阈值选项。在上电和复位期间，I/O 引脚（GPIO1 除外）会被强制进入三态，以避免干扰任何输入和/或导致过大的开启电流。PWM_DRV_GPIO1 在上电时被驱动为零，以避免主 IC 的虚假启动。

1.1.9 XRES

XRES 引脚可用于启动复位，该引脚内部拉高，需要外部拉低才能触发复位。

2 应用概述

2.1 具有次级侧控制的 USB 供电电源适配器

图 6 展示了一个电源适配器应用框图，该应用框图实现了次级侧控制的同步反激系统。在该系统中，EZ-PD™ PAG1S 以电压模式控制方式调制初级 MOSFET 的脉冲宽度。EZ-PD™ PAG1S 启动误差放大器和可编程斜坡发生器来确定 PWM 的脉冲宽度。该 PWM 信号通过脉冲变压器从次级侧传输到初级侧。初级侧控制器可以是任何标准的初级侧启动控制器，如图 6，EZ-PD™ PAG1P 与 EZ-PD™ PAG1S 一起用作主控制器。在此拓扑结构中，EZ-PD™ PAG1S 集成了三个关键功能：次级侧控制、同步整流和充电端口控制器。

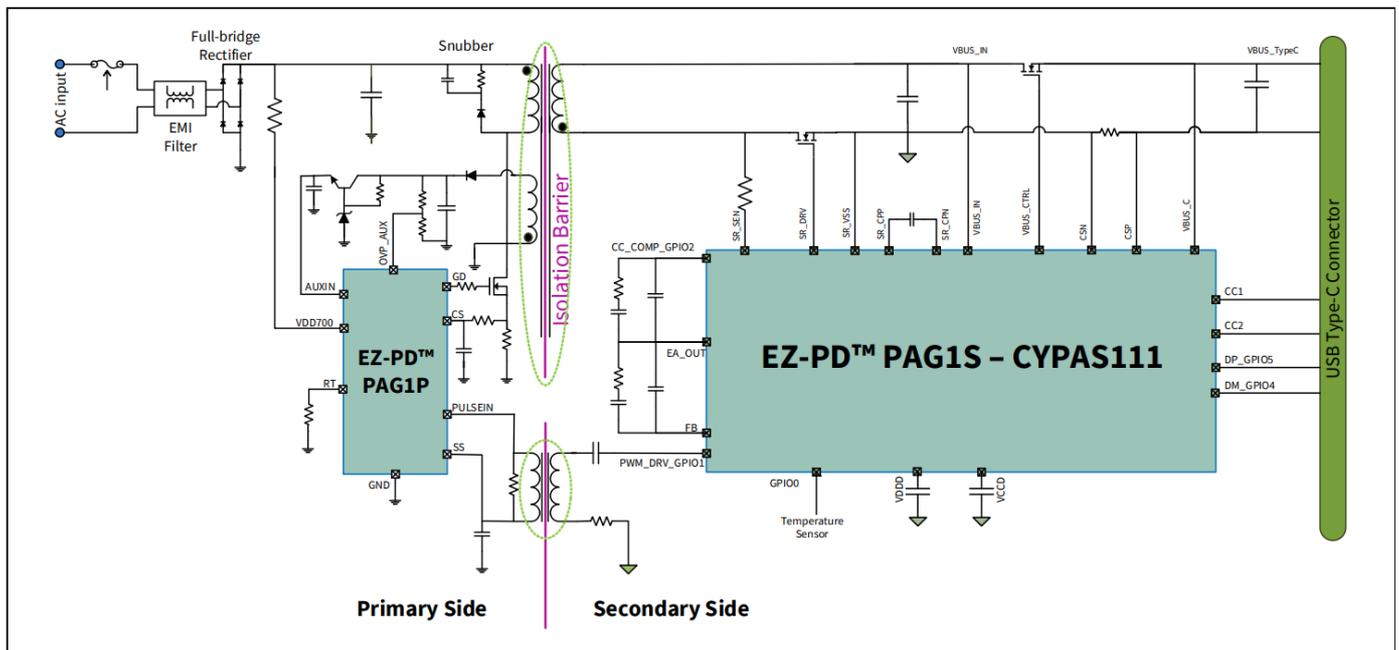


图6 带次级侧控制的电源适配器应用图

3 功能说明

3.1 启动行为

上电时，初级侧启动控制器应使用其软启动机制开始控制初级开关，并提供足够的电流为次级侧输出电容器充电以及 EZ-PD™ PAG1S 所需的启动电流。次级输出电压为 EZ-PD™ PAG1S 的输入电源。一旦 VBUS_IN 电压超过 3.3 V，EZ-PD™ PAG1S 固件将启动并控制主开关。EZ-PD™ PAG1S 固件启动时间约为几毫秒。

启动完成后，固件将配置误差放大器以实现 5 V 二次输出，并且 EZ-PD™ PAG1S 将相应地生成 PWM 脉冲。PWM_DRV_GPIO1 上的这些脉冲通过脉冲变压器耦合到主启动控制器。在接收到 PWM 脉冲时，初级侧启动控制器会将其内部振荡器与 PWM 脉冲同步，并从启动模式切换到次级控制模式。在次级控制模式下，初级开关将直接由 EZ-PD™ PAG1S 产生的 PWM 脉冲控制。

3.2 运行模式

EZ-PD™ PAG1S 支持多种工作模式：准谐振 (QR) 或临界导通模式 (CrCM)、谷底开关模式、不连续导通模式 (DCM) 以及用于轻负载运行的突发模式。模拟 PWM 智能算法允许根据输出功率需求自动切换工作模式。高负载时，工作模式保持在 CrCM；中等负载时，工作模式切换到 DCM；低功率和超低功率负载时，工作模式切换到脉冲跳跃模式或突发模式（参见图 7）。最小/最大脉冲宽度、最小/最大周期以及脉冲跳跃或突发电平均可配置。

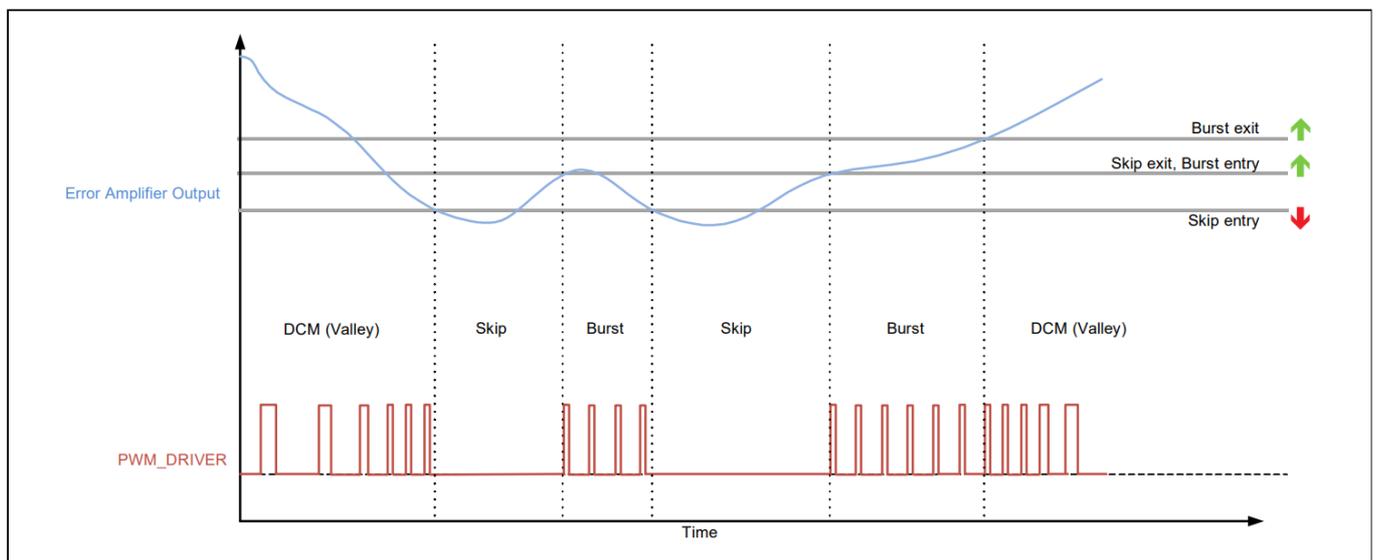


图7 误差放大器输出与工作模式

3.3 故障保护

3.3.1 VBUS UVP和OVP

VBUS 欠压和过压故障通过内部 VBUS_IN/VBUS_C 电阻分压器进行监控。故障阈值和响应时间可在 EZ-PD™ PAG1S 中配置。请参阅 [EZ-PD™ Configuration Utility](#) 获取有关配置工具的更多详细信息。

3.3.2 VBUS OCP 和 SCP

VBUS 过流和短路故障通过内部电流检测放大器进行监控。与 OVP 和 UVP 相同，OCP 和 SCP 故障阈值和响应时间也可配置。请参阅[EZ-PD™ Configuration Utility](#) 获取有关配置工具的更多详细信息。

3.3.3 OTP

使用外部热敏电阻和内部 ADC 实现过温监控。热敏电阻可以连接到任何空闲GPIO引脚。EZ-PD™ PAG1S 包含一个 8 位 SAR ADC，可用于通用模数转换。ADC 的参考电压可以从两个来源中选择：VDD 或由内部带隙产生的 2 V 参考电压。

3.3.4 ESD保护

EZ-PD™ PAG1S 为所有引脚提供 ESD 保护。ESD 保护等级为 2.2 kV HBM 和 500 V CDM。

3.3.5 VBUS 到 CC 短路保护

EZ-PD™ PAG1S 提供对 VBUS_C 引脚与 CC 之间意外短路的保护。

3.4 功耗模式

EZ-PD™ PAG1S 支持多种电源模式 - 活动、睡眠和深度睡眠。这些模式之间的转换由应用程序固件根据运行条件处理。

4 电气规格参数

4.1 绝对最大额定值

Table 3 Absolute maximum ratings^[1]

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
$V_{BUS_IN_MAX}$	Maximum input supply voltage	-	-	24	V	-
V_{DDD_MAX}	Maximum supply voltage	-	-	6		-
$V_{SR_DRAIN_MAX}$	Maximum voltage on SR_SEN pin	-	-	24		-
V_{GPIO_ABS}	GPIO voltage	-0.5	-	$V_{DDD} + 0.5$		-
$V_{CC_PIN_ABS}$	Maximum voltage on CC1, CC2 voltage	-	-	24		-
I_{GPIO_ABS}	Current per GPIO	-	-	25	mA	-
ESD_HBM	Electrostatic discharge human body model	2200	-	-	V	-
ESD_CDM	Electrostatic discharge charged device model	500	-	-		-
I_{LU}	Pin current for latch-up	-100	-	100	mA	-

注释:

1. 使用上述 表3 中列出的绝对最大条件可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103（高温存储寿命）。在绝对最大条件以下但高于正常工作条件的情况下使用时，器件可能无法按规格运行。

电气规格参数

4.2 器件级规范

表 4 直流参数

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions	
SID.PWR.1	V _{DDD_REG}	V _{DDD} output for 5.5 V ≤ V _{BUS_IN} ≤ 21.5 V	4.6	5.0	5.4	V	I _{LOAD} = 0–50 mA	
SID.PWR.2	V _{DDD_MIN}	V _{DDD} output for 3.3 V ≤ V _{BUS_IN} ≤ 5.5 V	V _{BUS_IN} - 0.3	-	-			
SID.PWR.3	V _{DDD_MAX}	Max supply voltage relative to V _{SS}	-	-	6		-40°C to +105°C T _A , Absolute Maximum	
SID.PWR.4	V _{BUS_IN}	Power supply input voltage	3.3	-	21.5		-	
SID.PWR.6	V _{CCD}	Output voltage for core logic	-	1.8	-	-	-	
SID.PWR.8	C _{efc}	Bypass capacitor for V _{CCD}	0.8	1	1.2	μF	X5R ceramic or better	
SID.PWR.9	C _{exc}	Decoupling capacitor for V _{DDD}	1.8	-	2.2			
SID.PWR.10	C _{exv}	Decoupling capacitor for V _{BUS_IN}	-	1	-			Decoupling capacitor required near the IC pin.
SID.PWR.10A	C _{excpp}	Capacitor between SR_CPP and SR_CPN pins	0.1	-	-			X5R ceramic or better
SID.PWR.15	I _{DD_A}	Active current from V _{BUS_IN} in Type-C attached state	-	25	-	mA	V _{BUS_IN} = 5 V, T _A = 25°C, CC1/CC2 in TX or RX, CPU at 24 MHz, SR/PWM at 100 kHz, EA/ADC/CSA/UVOV blocks ON.	
SID.PWR.16	I _{DD_S_UA}	Sleep current from V _{BUS_IN} in Type-C attached state	-	3.5	-		V _{BUS_IN} = 5 V, T _A = 25°C, Type-C attached, CPU OFF, PWM/EA/ADC/UVOV blocks ON. CC, watchdog timer (WDT) wakeup ON. IMO at 24 MHz.	
SID.PWR.16A	I _{DD_DS_UA}	Deep Sleep current from V _{BUS_IN} in Type-C unattached state	-	0.75	-		V _{BUS_IN} = 5 V, T _A = 25°C, Type-C unattached, CPU OFF, UVOV block ON, WDT Wakeup ON.	
SID.PWR.17	V _{SR_DRAIN}	Voltage allowed on SR_SEN pin	-0.7	-	21.5	V	-	

表 5 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PWR.14	T _{sleep}	Wakeup from sleep mode	-	0	-	μs	-
SID.PWR.14A	T _{deepsleep}	Wakeup from deepsleep mode	-	35	-		

电气规格参数

4.3 功能块规格

Table 6 ADC specifications

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC specifications							
SID.ADC.1	Resolution	ADC resolution	-	8	-	Bits	-
SID.ADC.2	INL	Integral nonlinearity	-2.5	-	2.5	LSB	Reference voltage = VREF_ADC1
SYS.ADC.3	INL	Integral nonlinearity	-1.5	-	1.5		Reference voltage = VREF_ADC2
SYS.ADC.4	DNL	Differential nonlinearity	-2.5	-	2.5		Reference voltage = VREF_ADC1
SYS.ADC.5	DNL	Differential nonlinearity	-1.5	-	1.5		Reference voltage = VREF_ADC2
SYS.ADC.6	Gain Error	Gain error	-1.5	-	1.5		-
SYS.ADC.7	VREF_ADC1	ADC reference voltage	V _{DDmin}	-	V _{DDmax}	V	Reference voltage generated from V _{DD}
SYS.ADC.8	VREF_ADC2	ADC reference voltage	1.96	2.0	2.04		Reference voltage generate from bandgap
AC specifications							
SID.ADC.9	Slew_Max	Rate of change of sampled voltage signal	-	-	3	V/ms	Guaranteed by design

Table 7 Error amplifier

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC specifications							
SID.DC.VR.1	V _R	VBUS voltage regulation accuracy	-	±3	±5	%	-
SID.DC.VR.2	I _{ka_off}	Off-state EA_OUT current	-	2.2	10	µA	-
SID.DC.VR.4	DNL_ndac	Differential nonlinearity of NMOS DAC	-1	-	1	LSB	-
SID.DC.VR.5	INL_ndac	Integral nonlinearity of NMOS DAC	-1.5	-	1.5		-
SID.DC.VR.6	Gain_error_ndac	Gain error of NMOS DAC	-8	-	8	%	-
SID.DC.VR.7	DNL_pdac	Differential nonlinearity of PMOS DAC	-0.5	-	0.5	LSB	-
SID.DC.VR.8	INL_pdac	Integral nonlinearity of PMOS DAC	-1	-	1		-
SID.DC.VR.9	Gain_error_pdac	Gain error of PMOS DAC	-8	-	8	%	-

电气规格参数

表 8 LSCSA、SCP

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
直流规范							
SID.LSCSA.1	Cin_inp	CSP input capacitance	-	-	10	pF	-
SID.LSCSA.2	Csa_Acc1	CSA accuracy with 5 mV < Vsense < 10 mV	-15	-	15	%	-
SID.LSCSA.3	Csa_Acc2	CSA accuracy with 10 mV < Vsense < 15 mV	-10	-	10		-
SID.LSCSA.4	Csa_Acc3	CSA accuracy with 15 mV < Vsense	-5	-	5		-
SID.LSCSA.5	SCP_6A	Short circuit trip point with threshold set to 6 A	5.4	6	6.6	A	Rsense = 5 mΩ
SID.LSCSA.6	SCP_10A	Short circuit trip point with threshold set to 10 A	9	10	11		
SID.LSCSA.8	Av	CSA gain values supported: 5,10, 20, 35, 50, 75, 125, 150	5	-	150	V/V	-
SID.VSP.1	V_short_trigger	Short-to-VBUS system-side clamping voltage on the CC pins	6	9	12	V	-

交流规范

SID.LSCSA.AC.1	Tocp_gate	Delay from OCP threshold trip to external NFET gate turn off	-	4.0	20	μs	-
SID.LSCSA.AC.2	Tscp_gate	Delay from SCP threshold trip to external NFET gate turn off	-	3.1	-		1 nF NFET gate capacitance
SID.LSCSA.AC.3	Tscp_gate_1	Delay from SCP threshold trip to external NFET power gate turn off	-	7.5	-		3 nF NFET gate capacitance

表 9 VBUS 欠压、过压

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
直流规范							
SID.UVOV.1	VTHOV1	Over-Voltage threshold Accuracy, 4 V to 11 V	-3	-	3	%	-
SID.UVOV.2	VTHOV2	Over-Voltage threshold Accuracy, 11 V to 21.5 V	-3.2	-	3.2		-
SID.UVOV.3	VTHUV1	Under-Voltage threshold Accuracy, 3 V to 3.3 V	-4	-	4		-
SID.UVOV.4	VTHUV2	Under-Voltage threshold Accuracy, 3.3 V to 4.0 V	-3.5	-	3.5		-
SID.UVOV.5	VTHUV3	Under-Voltage threshold Accuracy, 4.0 V to 11 V	-3	-	3		-
SID.UVOV.6	VTHUV4	Under-Voltage threshold Accuracy, 11 V to 21.5 V	-2.9	-	2.9		-
交流规范							
SID.UVOV.AC.1	Tov_gate	Delay from OV threshold trip to external NFET Power Gate Turn off	-	-	50	μs	-

电气规格参数

表 10 PD 收发器

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
直流规格							
SID.PD.1	Rp_std	Downstream facing port (DFP) CC termination for default USB power	64	80	96	μA	-
SID.PD.2	Rp_1.5A	DFP CC termination for 1.5 A USB power	166	180	194		-
SID.PD.3	Rp_3.0A	DFP CC termination for 3.0 A USB power	304	330	356		-
SID.PD.4	Vgndoffset	Ground offset tolerated by BMC receiver	-500	-	500	mV	Relative to remote BMC transmitter

表11 VBUS放电直流

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
规格							
SID.VBUS.DISC.1	R1	20 V NMOS ON resistance for discharge strength = 1	500	-	2000	Ω	Measured at 0.5 V
SID.VBUS.DISC.2	R2	20 V NMOS ON resistance for discharge strength = 2	250	-	1000		
SID.VBUS.DISC.3	R4	20 V NMOS ON resistance for discharge strength = 4	125	-	500		
SID.VBUS.DISC.4	R8	20 V NMOS ON resistance for discharge strength = 8	62.5	-	250		
SID.VBUS.DISC.5	R16	20 V NMOS ON resistance for discharge strength = 16	31.25	-	125		
SID.VBUS.DISC.6	Vbus_stop_error	Error percentage of final VBUS value	-	-	10		

电气规格参数

表 12 VBUS NFET 栅极驱动

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
直流规格							
SID.GD.1	GD_VGS	Gate to source overdrive during NFET ON condition	4.5	5.75	10	V	$V_{BUS_IN} = 21.5\text{ V}$
SID.GD.2	GD_Rpd	Resistance when pull-down is enabled to turn off external NFET	-	0.57	2	k Ω	-

交流规范

AC.GD.1	Ton	V_{BUS_ctrl} Low to High (1 V to V_{BUS+} 1 V) with 3 nF external capacitance	2	5	10	ms	$V_{BUS_IN} = 5\text{ V}$
AC.GD.2	Toff	V_{BUS_ctrl} High to Low (90% to 10%) with 3 nF external capacitance	-	7	-	μs	$V_{BUS_IN} = 21.5\text{ V}$

表13 高压稳压器

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
直流规格							
SID.VREG.1	VOLTAGE_DETECT	VBUS_IN voltage detect threshold	1.7	2.1	2.4	V	-
SID.VREG.2	Tstart	Total start-up time for the regulator supply outputs	-	50	200	μs	From reaching VBUS Voltage_detect level to 95% of final value

电气规格参数

表 14 SR 感测和驱动器

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
直流规格							
SR.1	VCPP1	Voltage doubler output for $3.3\text{ V} \leq \text{VBUS_IN} \leq 5.5\text{ V}$	5	-	-	V	-
SR.2	VCPP2	Voltage doubler output for $5.5\text{ V} \leq \text{VBUS_IN} \leq 21.5\text{ V}$	9	-	11		-
SR.3	TR_SR	Rise time (20% to 80%) of SR gate driver output with $\text{CL} = 6\text{ nF}$, $\text{VBUS_IN} = 3.3\text{ V}$, including doubler rise time (with and without double bypass mode)	-	-	150	ns	-
SR.4	TF_SR	Fall time (80% to 20%) of SR gate driver output with $\text{CL} = 6\text{ nF}$, $\text{VBUS_IN} = 3.3\text{ V}$, including doubler rise time (with and without double bypass mode)	-	-	100		-
SR.5	IHK_SR_VSS	Input leakage current on SR_VSS	-1	-	1	μA	-
SR.6	VTRIP_NSN_100	Negative sense trip voltage to turn-ON secondary switch	-140	-90	-60	mV	-
SR.7	VTRIP_ZCD	Negative sense trip voltage to turn-OFF secondary switch	-8	-5	-3		-
SR.8	TD_ON	Turn on propagation delay from SR_SEN at -100 mV to SR_GDRV reaching 1 V	-	25	50	ns	-
SR.9	TD_OFF	Turn off propagation delay from SR_SEN at -5 mV to SR_GDRV reaching 1 V	-	100	200		-
SR.10	IO_SRC_SNK	Output peak current (Source and sink)	-	1	-	A	-

表 15 模拟 PWM 发生器和脉冲变压器驱动器

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
直流规格							
PWM.1	FSW	Switching frequency	20	-	150	kHz	-
PWM.2	PWM_ON	Minimum controllable ON time	100	-	-	ns	-

电气规格参数

4.4 I/O参数规格

表 16 I/O 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
直流规格							
SID.GIO.1	I_LU	Latch-up current limits	-140	-	140	mA	-
SID.GIO.2	RPU	Pull-up resistor value	3.5	5.6	8.5	kΩ	-
SID.GIO.3	RPD	Pull-down resistor value	3.5	5.6	8.5		-
SID.GIO.4	IIL	Input leakage current	-	-	2	nA	-
SID.GIO.5	CPIN_A	Max pin capacitance	-	-	22	pF	Capacitance on DP/DM lines
SID.GIO.6	CPIN	Max pin capacitance	-	3	7		Capacitance on all GPIOs, except DP/DM lines
SID.GIO.7	Voh_3V	Output voltage high level	$V_{DDD} - 0.6$	-	-	V	Ioh = -4 mA
SID.GIO.8	Vol_3V	Output voltage low level	-	-	0.6		Iol = 10 mA
SID.GIO.9	Vih_CMOS	Input voltage high threshold	$0.7 \times V_{DDD}$	-	-		-
SID.GIO.10	Vil_CMOS	Input voltage low threshold	-	-	$0.3 \times V_{DDD}$		-
SID.GIO.11	Vih_TTL	LVTTL input	2	-	-		-
SID.GIO.12	Vil_TTL	LVTTL input	-	-	0.8		-
SID.GIO.13	Vhysttl	Input hysteresis LVTTL	100	-	-	mV	-
SID.GIO.14	Vhyscmos	Input hysteresis CMOS	$0.05 \times V_{DDD}$	-	-		-
SID.GIO.15	IDIODE	Current through protection diode to V_{DDD}/V_{SS}	-	-	100	μA	-
SID.GIO.16	TriseF	Rise time in fast strong mode	2	-	12	ns	Load = 25 pF
SID.GIO.17	TfallF	Fall time in fast strong mode	2	-	12		
SID.GIO.18	TriseS	Rise time in slow strong mode	10	-	60		
SID.GIO.19	TfallS	Fall time in slow strong mode	10	-	60		
SID.GIO.20	FGPIO_OUT1	GPIO Fout; $3V \leq V_{DDD} \leq 5.5V$; Fast strong mode.	-	-	16	MHz	-
SID.GIO.21	FGPIO_OUT2	GPIO Fout; $3V \leq V_{DDD} \leq 5.5V$; Slow strong mode.	7	-	-		-
SID.GIO.22	FGPIO_IN	GPIO input operating frequency; $3V \leq V_{DDD} \leq 5.5V$	16	-	-		-

电气规格参数

4.5 系统资源规格

表 17 上电复位 (POR) 规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.POR.1	VRISEIPOR	Power-on-reset (POR) rising trip voltage	0.8	-	1.5	V	-
SID.POR.2	VFALLIPOR	POR falling trip voltage	0.7	-	1.4		-
SID.POR.3	VFALLPPOR	Brown-out-detect (BOD) trip voltage Active/Sleep modes	1.48	-	1.62		-
SID.CLK#6	SR_POWER	Power supply slew rate	0.40	-	67	V/ms	On power-up and power-down

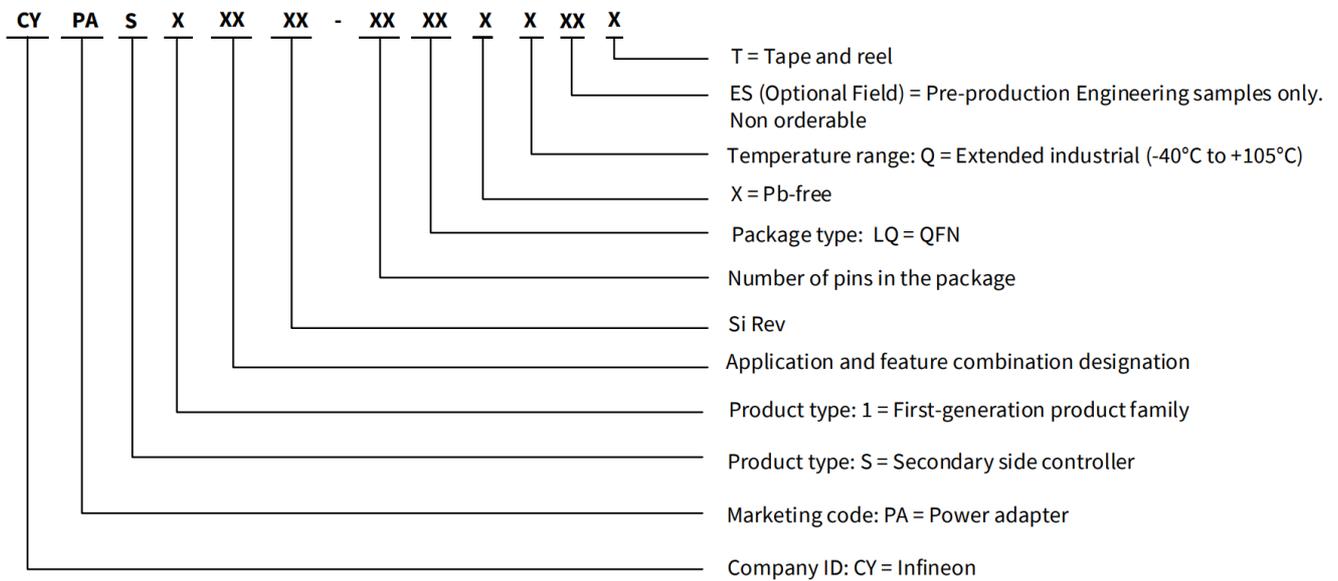
订购信息

5 订购信息

表 18 EZ-PD™ PAG1S 订购信息

MPN	Application	Package type	Si ID	Si Rev
CYPAS111A1-24LQXQ	USB Power Delivery adapter with secondary side control	24-pin QFN	2B01	A1
CYPAS111A1-24LQXQT				

5.1 订购代码定义



包装信息

6 包装信息

表19 封装参数

Parameter	Description	Conditions	Min	Typ	Max	Unit
T_A	Operating ambient temperature	Extended industrial	-40	25	105	°C
T_J	Operating junction temperature	Extended industrial	-40	25	120	
T_{JA}	Package θ_{JA}	-	-	-	19.98	°C/W
T_{JC}	Package θ_{JC}	-	-	-	4.78	

表20 回流焊峰值温度

Package	Maximum peak temperature	Maximum time within 5°C of peak temperature
24-pin QFN	260°C	30 seconds

表21 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
24-pin QFN	MSL 3

包装信息

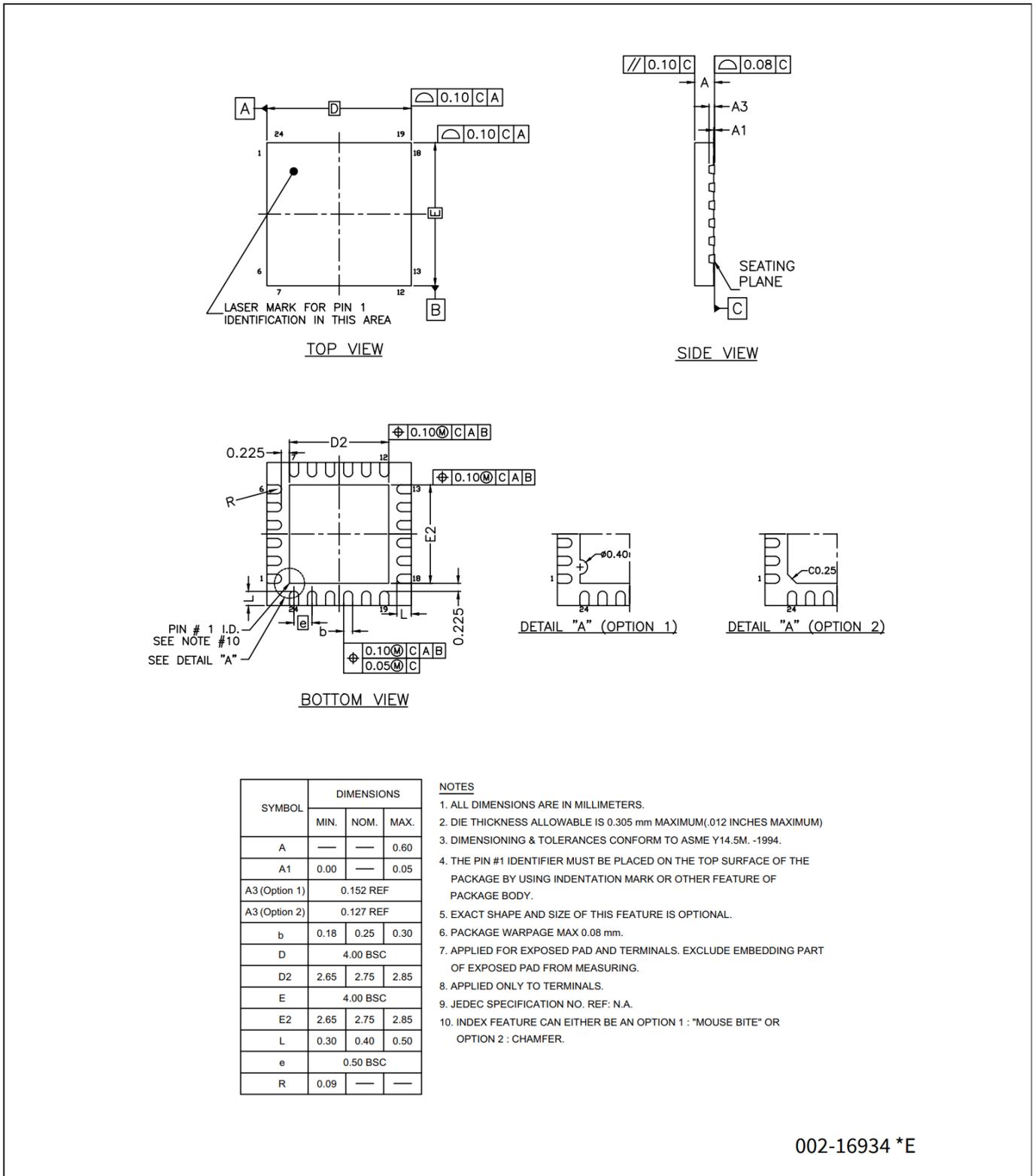


图8 24引脚QFN (4 × 4 × 0.6 mm) , 2.75 × 2.75 mm EPAD (Sawn) 封装外形, 002-16934

缩略语

7 缩略语

表22 本文档中使用的缩略语

Acronym	Description
ADC	analog-to-digital converter
API	application programming interface
Arm®	advanced RISC machine, a CPU architecture
CC	constant current
BOD	Brown out Detect
BMC	biphase mark code
CPU	central processing unit
CRC	cyclic redundancy check, an error-checking protocol
CS	current sense
DFP	downstream facing port
DIO	digital input/output, GPIO with only digital capabilities, no analog. See GPIO.
DRP	dual role port
EEPROM	electrically erasable programmable read-only memory
EMCA	a USB cable that includes an IC that reports cable characteristics (e.g., current rating) to the Type-C ports
EMI	electromagnetic interference
ESD	electrostatic discharge
FPB	flash patch and breakpoint
FS	full-speed
GPIO	general-purpose input/output
IC	integrated circuit
IDE	integrated development environment
I ² C, or IIC	Inter-Integrated Circuit, a communications protocol
ILO	internal low-speed oscillator, see also IMO
IMO	internal main oscillator, see also ILO
I/O	input/output, see also GPIO
LSCSA	low side current sense amplifier
LVD	low-voltage detect
LVTTL	low-voltage transistor-transistor logic
MCU	microcontroller unit
NC	no connect
NMI	nonmaskable interrupt
NMOS	N-type metal-oxide-semiconductor
NVIC	nested vectored interrupt controller
opamp	operational amplifier
OCP	overcurrent protection
OVP	overvoltage protection

缩略语

表 22 本文件中使用的缩略词 (续)

Acronym	Description
PCB	printed circuit board
PD	power delivery
PGA	programmable gain amplifier
PHY	physical layer
PMOS	P-type metal-oxide-semiconductor
POR	power-on reset
PRES	precise power-on reset
PSoC™	programmable system-on-chip
PWM	pulse-width modulator
RAM	random-access memory
RISC	reduced-instruction-set computing
RMS	root-mean-square
RTC	real-time clock
RX	receive
SAR	successive approximation register
SCL	I ² C serial clock
SDA	I ² C serial data
S/H	sample and hold
SPI	Serial Peripheral Interface, a communications protocol
SRAM	static random access memory
SWD	serial wire debug, a test protocol
TX	transmit
Type-C	a new standard with a slimmer USB connector and a reversible cable, capable of sourcing up to 100 W of power
UART	Universal Asynchronous Transmitter Receiver, a communications protocol
USB	Universal Serial Bus
WDT	watchdog timer
USBIO	USB input/output, CCG5 pins used to connect to a USB port
XRES	external reset I/O pin

文档惯例

8 文档惯例

8.1 测量单位

表 23 计量单位

Symbol	Unit of measure
°C	degrees Celsius
Hz	hertz
KB	1024 bytes
kHz	kilohertz
kΩ	kilo ohm
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
MspS	megasamples per second
μA	microampere
μF	microfarad
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
Ω	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second
V	volt

修订记录

修订记录

Document version	Date of release	Description of changes
*B	2019-08-19	Changed document status from Preliminary to Final.
*C	2022-05-18	Updated Ordering information : Updated part numbers. Updated Packaging : spec 002-16934 – Changed revision from *B to *E. Migrated to Infineon template.
*D	2022-06-16	Updated Electrical specifications : Updated Device-level specifications : Updated Table 4 : Changed maximum value of Cexc parameter from 4.7 μ F to 2.2 μ F. Updated System resources specifications : Updated Table 17 : Added SR_POWER parameter and its corresponding details. Completing Sunset Review.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-12-24

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。