

英飞凌 ICE2HS01G

高性能谐振模式控制器

电源管理 & 电源



Never stop thinking.

ICE2HS01G

Revision History: 11 May 2010

Previous Version: 2.0

Page	Subjects (major changes since last revision)
19	section 3:10 burst mode enable

有关技术、交货和价格问题，请联系英飞凌科技德国办事处或英飞凌科技全球各公司和代表处：请参阅我们的网页 [http:// www.infineon.com](http://www.infineon.com)

CoolMOS™、CoolSET™ 是英飞凌科技股份有限公司的商标。

Edition 24 May 2011

Published by
Infineon Technologies AG 81726
Munich, Germany
© 2010 Infineon Technologies AG All Rights
Reserved.

Legal Disclaimer

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics. With respect to any examples or hints given herein, any typical values stated herein and/or any information regarding the application of the device, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation, warranties of non-infringement of intellectual property rights of any third party.

Information

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (www.infineon.com).

Warnings

Due to technical requirements, components may contain dangerous substances. For information on the types in question, please contact the nearest Infineon Technologies Office.

Infineon Technologies components may be used in life-support devices or systems only with the express written approval of Infineon Technologies, if a failure of such components can reasonably be expected to cause the failure of that life-support device or system or to affect the safety or effectiveness of that device or system. Life support devices or systems are intended to be implanted in the human body or to support and/or maintain and sustain and/or protect human life. If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.

用于半桥 LLC 谐振转换器的英飞凌高性能谐振模式控制器

产品亮点

- 30kHz~1MHz 开关频率范围
- 在宽负载范围内具有高效率
- 同步整流的创新驱动方法
- 高精度频率设置
- 高精度设置和可调死区时间
- 过载/开环保护，可调节消隐时间和重启时间
- 带滞回的输入欠压保护功能
- 外部锁死和过温保护



特性

- 带同步整流驱动的半桥 LLC 谐振转换器的谐振模式控制器
- 20 引脚 DSO 封装
- 30kHz 至 1MHz 开关频率
- 可调的高精度最低开关频率
- 50% 占空比的初级和次级栅极驱动
- 死区时间可调，精度高
- 用于同步整流的驱动信号，支持半桥 LLC 谐振转换器的全面运行
- 同步整流的内部和外部禁用功能
- 输入欠压保护，可调节滞回时间
- 三级过流保护，增强动态性能
- 开环/过载保护，可调节消隐时间和重启时间
- 可调节的过温保护，带锁死功能
- 外部锁死使能引脚

应用

- PC 电源
- 服务器电源
- 电信电源
- 平板电视和平板显示器电源
- AC-DC 适配器

Type	Package
ICE2HS01G	PG-DSO-20

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

英飞凌 ICE2HS01G 是一款高性能谐振模式控制器，专为次级侧具有同步整流的高效半桥LLC转换器而设计。凭借其新的驱动技术，可以实现在次级电流CCM和DCM条件下运行的半桥LLC转换器的同步整流。不需要专门的同步整流芯片，为了获得最佳性能，建议在初级侧同ICE2HS01G使用半桥驱动器 IC。

24 May 2011

目录	页码
1	引脚配置和功能..... 6
1.1	PG-DSO-20 的引脚配置 6
1.2	引脚功能..... 6
2	对应框图..... 9
3	功能说明..... 10
3.1	芯片电源..... 10
3.2	振荡器..... 10
3.3	死区时间..... 13
3.4	软启动..... 12
3.5	电流检测和过流保护..... 14
3.6	轻载运行..... 14
3.7	同步整流..... 15
3.7.1	SRD 和 CL..... 15
3.7.2	导通延迟 16
3.7.3	关断延迟 16
3.7.4	SR 保护 17
3.7.5	SR 软启动 17
3.8	输入电压检测..... 18
3.9	过载保护..... 18
3.10	EnA 引脚 19
4	电气特性..... 20
4.1	绝对最大额定值 20
4.2	工作范围..... 21
4.3	特性..... 22
4.3.1	供电部分 22
4.3.2	振荡器部分 23
4.3.3	输入电压检测 23
4.3.4	电流检测和电流电平 24
4.3.5	软启动 24
4.3.6	轻载运行 24
4.3.7	基准电压 25
4.3.8	过载/开环保护..... 25
4.3.9	使能函数 25
4.3.10	同步整流 26
4.3.11	初级侧驱动 (HG、LG) 27
4.3.12	次级侧驱动 (SHG, SLG)..... 27
5	外形尺寸..... 28

1 引脚配置和功能

1.1 PG-DSO-20 的引脚配置

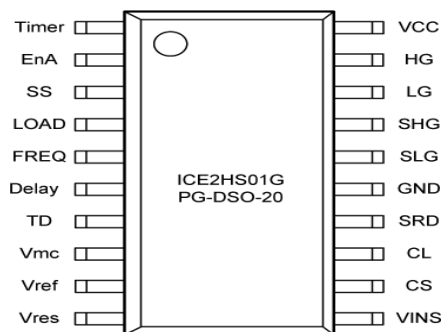


图2 PG-DSO-20 引脚配置

表 1 引脚名称

Pin	Symbol	Function	Pin	Symbol	Function
1	Timer	Over-load blanking time and autorestart time	11	VINS	Input bus voltage sense
2	EnA	Enable	12	CS	Current sense
3	SS	Softstart	13	CL	Currrent sense output level
4	LOAD	Load detection	14	SRD	Synchronous rectification on duration and disable function
5	FREQ	Frequency of operation	15	GND	IC ground
6	Delay	Advance delay time setting	16	SLG	Gate logic for secondary low side switch
7	TD	Primary dead time setting	17	SHG	Gate logic for secondary high side switch
8	Vmc	Voltage level for entering and leaving missing cycle mode	18	LG	Gate logic for primary low side switch
9	Vref	Reference voltage output	19	HG	Gate logic for primary highside switch
10	Vres	Resonant voltage setting	20	VCC	IC power supply

1.2 引脚功能

计时器（过载消隐时间和自动重启计时器）

计时器引脚用于设置过载保护的消隐时间和重启时间。RC 并联电路 C_{TL} 和 R_{TL} 连接至该引脚。消隐时间由 C_{TL} 通过 IC 内部电流源的充电时间决定，重启时间由 C_{TL} 通过 R_{TL} 的放电时间决定。这样，系统就能在短时间内应对突如其来的功率浪涌，而不会触发过载保护。此外平均输出功率不受任何 VCC 下降的影响，因为 VCC 下降不会重置内部基准电压。

EnA（使能）

该引脚内部有一个100μA 的上拉电流源。通过在该引脚外侧连接一个接地电阻，可在该引脚上设置一定的电压电平。如果该引脚上的电压水平被拉低到一定水平以下，IC 将被锁存。如果外部电阻的温度系数为负，则可利用该

Pin Configuration and Functionality

引脚实现过温保护。此外，还可以通过在该引脚上连接不同的电容来启用/禁用突发模式。IC 将在 VCC 从低于内部基准电压首次上升时执行设置功能。

SS (软启动)

SS 引脚外接电容 C_{SS} 至地，将电阻 R_{OCP} 连接至 $FREQ$ 引脚。在软启动或自动重新启动之前，内部开关将首先对 C_{SS} 进行完全放电，从而保证软启动或重新启动时的高工作频率。 R_{OCP} 决定最大工作频率。在软启动过程中，内部电流源会对软启动电容器充电。起初电流较大，当 SS 电压升高到一定水平开始降低；如果 SS 电压上升到更高水平，会进一步降低。这样就能实现输出电压的平稳上升。此外，软启动时间主要由 C_{SS} 决定。在过流的情况下，SS 引脚将通过两个内部电阻向零电压放电。因此，在这种情况下，动作频率将升到最高，最高频率由 R_{FMIN} 和 R_{OCP} 的等效电阻决定。

LOAD (负载状态检测)

由 R_{FT1} 和 R_{FT2} 组成的分压器连接到光耦合器的集电极，分压后的电压被输送到 LOAD 引脚。如果 LOAD 引脚的电压低于某个阈值 (0.1V)，芯片就会停止开关。只有当电压水平高于 0.15V 时，芯片才会再次恢复开关。

该引脚的第二个功能是检测过载或开环故障。一旦该引脚上的电压高于 1.8V，IC 将启动内部和外部计时器，以确定是否进入保护模式。

该引脚的第三个功能是在轻载模式下禁用 SR。当负载引脚上的电压过低时，IC 将停止 SR 栅极驱动。

FREQ (工作频率)

该引脚提供了一个精确的 2V 基准电压和一个从该引脚连接到 GND 的电阻 R_{FMIN} ， R_{FMIN} 定义了一个用于确定最低工作频率的电流。为了通过改变工作频率调节转换器的输出电压，光耦合器的光电晶体管通过电阻 R_{REG} 连接到该引脚。

延迟 (提前延迟时间设置)

出于 SR 的目的，初级侧开关的栅极关断信号与次级侧 SR 开关的栅极关断信号之间的延迟时间可通过连接到延迟引脚的电阻 R_{delay} 进行调节。

TD (主死区时间设置)

为了提供设计灵活性，两个初级开关之间的死区时间可通过从 V_{ref} 引脚连接到 TD 引脚的外部电阻 R_{TD1} 进行调节。TD 引脚电压调节为 2V。流入该引脚的电流决定了死区时间，死区时间范围为 100ns 至 1000ns。

Vmc (进入和离开跳周期模式的电压水平)

该引脚上的电压用于设置 CL 引脚上的电平，使 IC 进入跳周期工作模式或离开跳周期模式。内部为该引脚提供了一个来自内部电源的电流源，该电流源将在进入和离开跳周期电压之间产生滞后电压。

Vref (基准电压输出)

该引脚是基准电压的输出端，电压严格控制在 5V。该基准电压可为死区时间设置、谐振电压设置和跳周期电压提供偏置电流。

Vres (谐振电压设置)

该引脚上的电压用于确定半桥 LLC 谐振转换器的工作模式是 CCM 还是 DCM。如果转换器处于 DCM 模式，则次级栅极信号和主栅极信号之间没有接通延迟。如果转换器处于 CCM 模式，当 Vres 电压低于 VINS 引脚电压时，IC 将增加导通延迟。

VINS (输入电压检测)

Pin Configuration and Functionality

输入电压通过一个电阻分压器馈入该引脚。如果 VINS 引脚上的电压高于阈值 V_{INSON} ，则当 VCC 升高超过导通阈值时，IC 将以软启动方式开始运行。在运行过程中，如果该引脚上的电压低于阈值 V_{INSON} ，IC 将停止开关，直到该引脚上的电压再次增加。

CS (电流检测)

电流检测信号馈入该引脚。IC 内部有三个比较器，用于实现 3 级 OCP 功能。如果 CS 引脚上的电压高于第一个阈值，IC 就会提高开关频率，以限制转换器的最大输出功率。如果该引脚上的电压超过第二个阈值，IC 将进一步提高开关频率，使其达到更高的频率上升斜率。如果该引脚上的电压超过第三个阈值，IC 将立即锁定。

CS 引脚的第二个功能是检测输出功率电平。如果 CS 电压低于 V_{mc} 引脚上的某个预设值，IC 将进入跳周期模式，以提高转换器的效率。

该引脚还集成了同步整流保护功能。如果 CS 电压过高或下降过快，IC 将停止 SR 栅极驱动。

CL (电流检测平均电平)

CL 引脚和 SRD 引脚之间连接一个电阻 R_{CL} 。该电阻决定同步整流导通持续时间随负载条件变化的程度。在内部，CL 引脚电压与 CS 引脚电压成正比。钳位电路将 CL 引脚的最大电压设定为 1.95V。建议在该引脚与地之间安装一个电容。这可以滤除 CS 电压上的高纹波分量，从而减少 SR 驱动的导通时间随输出负载的变化。

SRD (SR 禁用输入)

该引脚用于在软启动、保持时间、OCP 或客户指定的任何其他条件下，通过将 SR 引脚下拉至零来禁用 SR 功能。内部内置一个有限的电流源，可在 SR 引脚上产生恒定的 2V 电压。电流取决于外部电阻 R_{SRD} 以及（若连接） R_{CL} 和 V_{CL} ，用于给内部电容充电。因此，次级栅极驱动器的导通时间可通过选择不同的 R_{SRD} 或不同的以设定电流与电流检测电压的关系的 R_{CL} 来设定。

GND (地)

芯片公共地。

SLG (低边 SR 栅极驱动)

该引脚为低边同步整流开关提供栅极驱动信号。

SHG (高边 SR 栅极驱动)

该引脚为高边同步整流开关提供栅极驱动信号。

LG (低边栅极驱动)

该引脚为初级低边开关提供栅极驱动信号。

HG (高边栅极驱动)

该引脚为初级高边开关提供栅极驱动信号。

VCC (芯片电源)

芯片的电源电压。

2 对应框图

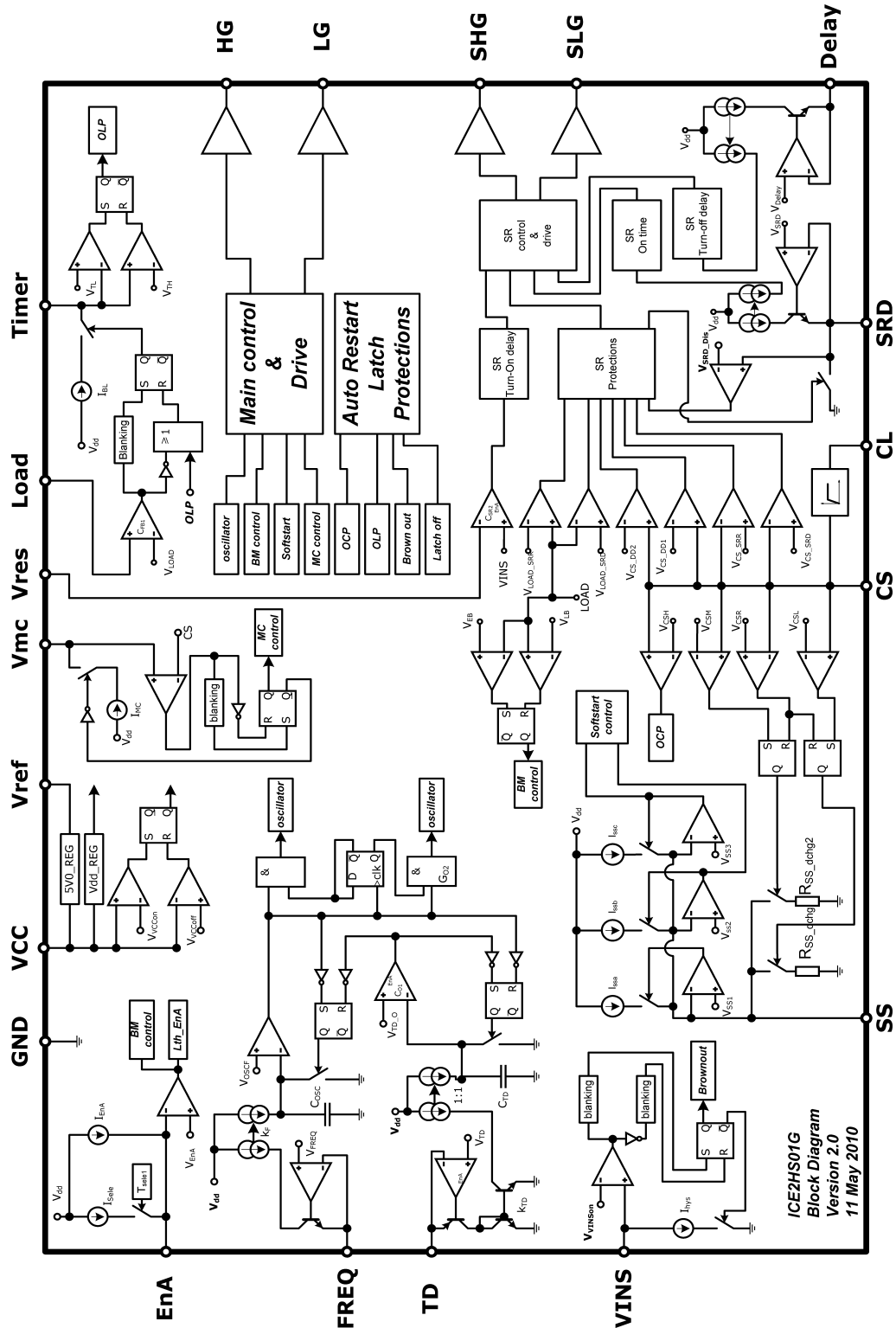


图3 对应框图

3 功能说明¹⁾

控制器 ICE2HS01G 是一款 20 引脚芯片，设计用于脉冲频率调制谐振转换器，特别是半桥 LLC 谐振转换器。它的两个初级栅极驱动器的占空比为 50%，相位差 180°。输出电压的调节通过调整开关频率来实现。为确保半桥拓扑的零电压开关和安全运行，初级高边开关和低边开关之间的死区时间可根据开关频率独立设置，而且精度很高。在半桥 LLC 谐振转换器中，由于只有一个电压控制回路，LLC 转换器中的电流信息被用于保护。与电压环路相比，电流环路的设计速度更快，因此能为转换器提供可靠的保护。

同步整流 (SR) 是实现高效率的必要措施，因此 ICE2HS01G 为次级 SR 开关提供了两个驱动信号。为确保 SR 安全和正常运行，可通过外部电阻对初级侧开关和次级 SR 开关之间的延迟时间以及次级 SR 开关的持续时间进行编程。

ICE2HS01G 还提供多种保护功能，便于设计可靠、高效的半桥 LLC 谐振转换器。

3.1 芯片电源

ICE2HS01G 控制器主要针对有辅助电源的应用。在大多数情况下，它与用 PFC 控制器做的前端 PFC 预调节器在同一系统中使用。

当电源电压 V_{VCC} 达到 12V 的导通阈值 V_{VCCon} 时，控制器 ICE2HS01G 开始工作。接通后的最低工作电压 V_{VCCoff} 为 11V。最大电源电压 V_{VCCmax} 为 18V。

3.2 振荡器

脉冲频率调制采用电流控制振荡器。充电电容器 C_{OSC} 的时间决定主开关的导通时间。充电电容器 C_{TD} 的时间决定两个初级开关之间的死区时间。简化的振荡器电路如图 4 所示。 C_{OSC} 和 C_{TD} 的典型开关波形如图 5 所示。

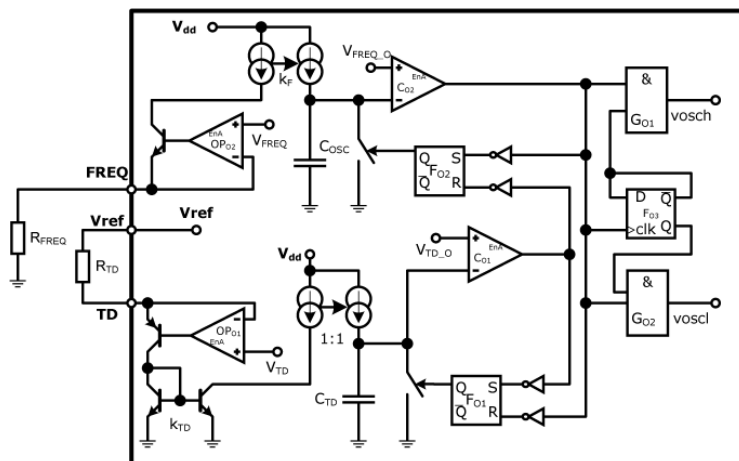


图4 简化振荡器电路

¹⁾ 功能说明中使用的所有值均为典型值。在计算最坏情况时，必须考虑最小/最大值，这些值可在第4节“电气特性”中找到。

假设从 FREQ 引脚和 TD 引脚输出的电流分别为 I_{FREQ} 和 I_{TD} ，则正常工作时的开关频率可根据公式 [1] 得出。

$$F_s = \frac{0.5}{\frac{V_{OSCF} \cdot C_F}{k_F \cdot I_{FREQ}} + \frac{V_{OSCT} \cdot C_{TD}}{k_{TD} \cdot I_{TD}}} \quad [1]$$

根据图 1 所示的典型应用电路，可以通过选择 R_{FMIN} 来设置转换器的最低工作频率。假设死区时间为 300ns，当 R_{FMIN} 为 30kΩ 时，最低开关频率为 50 kHz。最低工作频率与不同 R_{FMIN} 的关系如图 6 所示。

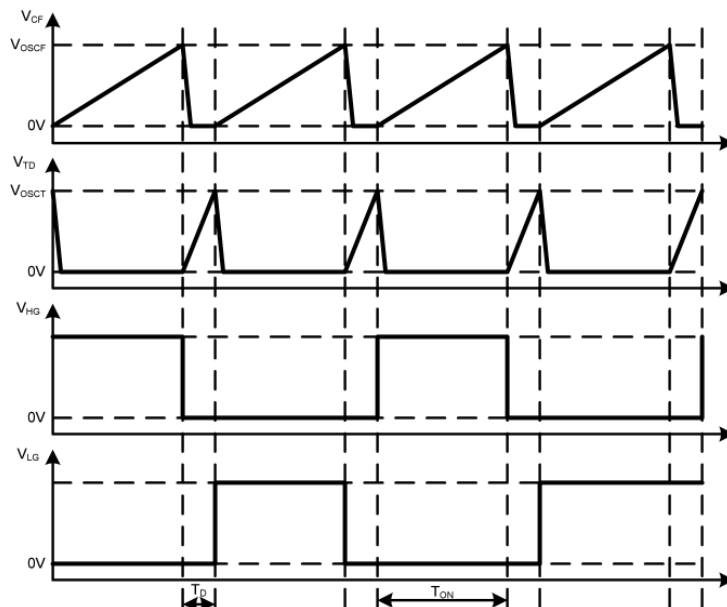


图5 振荡器波形

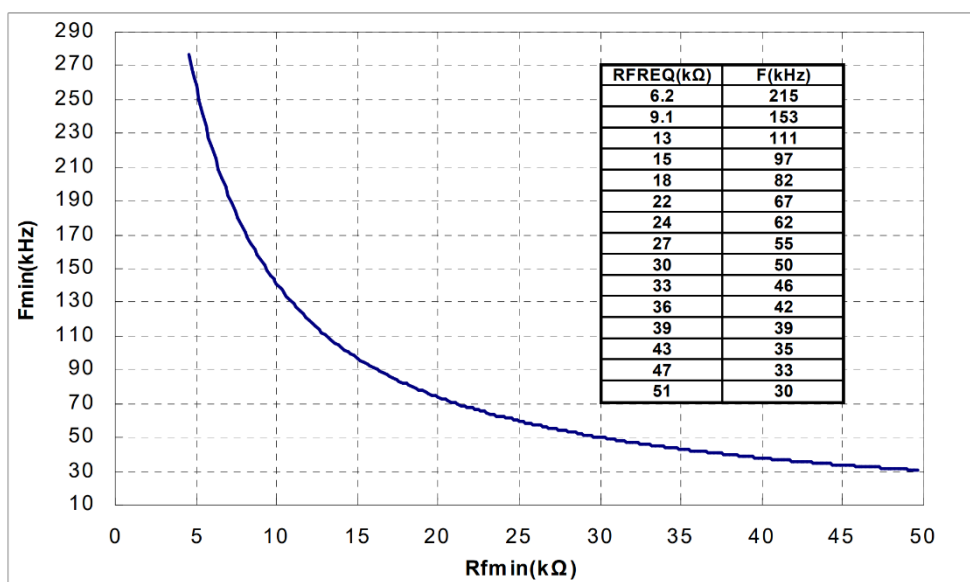


图6 $T_D=300ns$ 时的最小开关频率与 R_{FMIN} 的关系

如图 1 所示，输出电压的调节是通过控制流入光耦合器集电极的电流来实现的。当集电极接地时，通过电容的电流达到最大值。FREQ 引脚的等效电阻 R_{reg} 与 R_{FMIN} 共同决定了在负载和线性调节时输出频率的最大值。利用 FREQ

引脚上的等效电阻，还可以从图 6 中检查转换器的实际开关频率。

3.3 死区时间

如图 4 所示，死区时间可通过改变流入 TD 引脚的电流来调整。Vref 引脚上有一个 5V 的基准电压。通过将电阻 R_{TD} 从 Vref 引脚连接到 TD 引脚，可以设置电流。电阻越大，死区时间越长，反之亦然。设置 $R_{TD}=180k\Omega$ 时，死区时间的典型值为 300ns。 R_{TD} 与死区时间的关系如图 7 所示。此外，IC 内部还内置了 135ns 的最小死区时间限制，以提供保护。

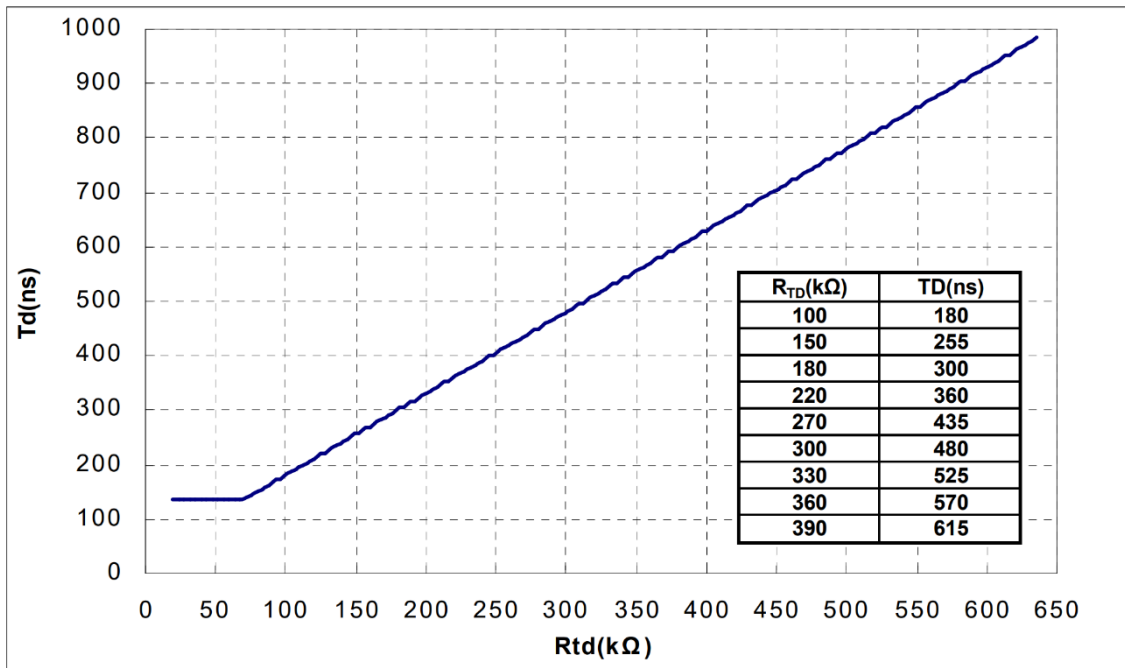


图7 死区时间与 R_{TD} 的关系

3.4 软启动

软启动是通过扫描工作频率从初始高值开始，直到控制环路接管。初始开关频率应足够高，以便将第一个脉冲的谐振电流限制在所需值范围内。

软启动功能模块的内部框图如图 8 所示。起初，电容 C_{OCP} 通过 IC 内部开关完全放电，因此 R_{OCP} 实际上与 R_{FMIN} 并联，由此产生的并联电阻决定了初始频率。

在启动过程中， C_{SS} 会持续充电，直到其电压达到内部 2V 基准电压，通过 R_{OCP} 的电流也会相应降至零。在此之前，LLC 输出电压将上升到接近调节值的水平，反馈回路将接管，因此通过光电晶体管的电流将来确定工作频率。

为确保启动期间输出电压平稳上升，将使用不同的内部电流为软启动电容 C_{SS} 充电。软启动模块启用时， I_{SS1} 至 I_{SS3} 三个电流源都将开启。因此，此时的充电电流将是这三个电流源的电流之和加上电流从 FREQ 引脚通过 R_{OCP} 流向 C_{SS} 。当 V_{CSS} 电压高于 V_{SS1} (1.5V) 时，电流源 I_{SSa} (150 μ A) 关闭。当 C_{SS} 充电至高于 V_{SS2} (1.8V) 时，第二个电流

Functional description

源 I_{SSb} (50 μ A) 被关断。最后一个阈值 V_{SS3} 为 1.9V, 当 V_{CS} 高于 V_{SS3} 时, 第三个电流源 I_{SSc} (50 μ A) 将被关断。

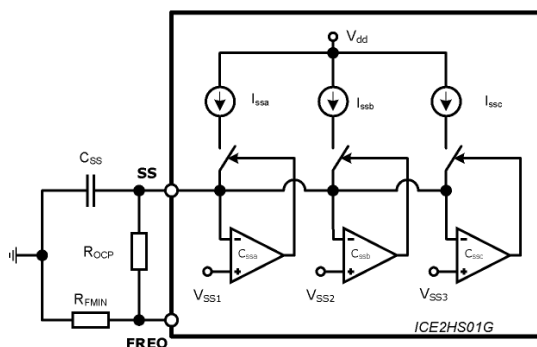


图8 软启动模块

在某些情况下, R_{OCP} 设置的软启动频率不够高, 可在 FREQ 引脚上连接额外的串联电阻和电容, 以进一步提高软启动频率。

在软启动期间, 过载保护被禁用。当 V_{SS} 高于 V_{SS3} 达 10 毫秒后, 软启动模块将启用过载保护功能, IC 将监控 LOAD 引脚上的电压, 以检测任何开环/过载情况。但是如果 SS 引脚电压始终不高于 V_{SS3} , IC 将在软启动 40 毫秒后启用过载保护功能。

3.5 电流检测和过流保护

LLC 半桥转换器中的电流检测主要用于保护。电路如图 9 所示。

控制器 ICE2HS01G 具有三级过流保护功能。在过载情况下, 较低电平的 OCP 将被触发, 开关频率将根据过载的持续时间和功率而提高。较高电平的 OCP (1.6V) 用于在变压器饱和时保护转换器。在经过 220ns 的消隐时间后, 芯片将被锁死。

如果检测到的 V_{CS} 电压高于 0.8V, SS 引脚电容将通过内部放电电阻 $R_{dischg1}$ 放电。这将提高开关频率, 减少次级侧的输出功率。

如果检测到的 V_{CS} 电压高于 0.9V (第二级), 则还会使用另一个放电电阻 $R_{dischg2}$ 对电容 C_{SS} 放电。此时 C_{SS} 的放电速度更快, 意味着开关频率增长得更快。这将限制快速增长的谐振电流。如果系统在动态过程中遇到输出侧负载急剧变化的情况, 该机制尤为有用。

如果电流检测电压低于 0.75V, 两个放电电阻都会关断。

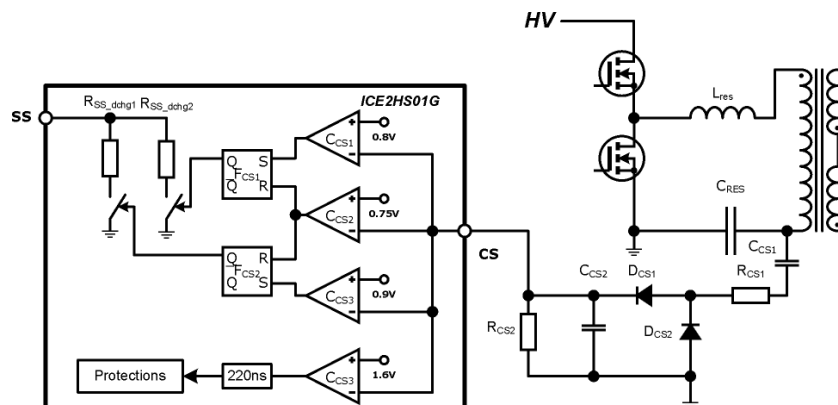


图9 电流检测和过流保护模块

3.6 轻载运行

在空载或轻载运行时，半桥 LLC 谐振转换器的开关频率非常高。高开关频率会导致较高的开关损耗和磁芯损耗。在大多数情况下，降低开关频率会提高效率，这在很大程度上取决于转换器中开关损耗和传导损耗之间的平衡。ICE2HS01G 提供多种轻载运行选项，以满足不同的应用要求。其中包括轻载时的跳周期模式和空载时的突发模式。此外，还可通过参数设置启用/禁用这两种模式。轻载运行的详细框图如图 10 所示。

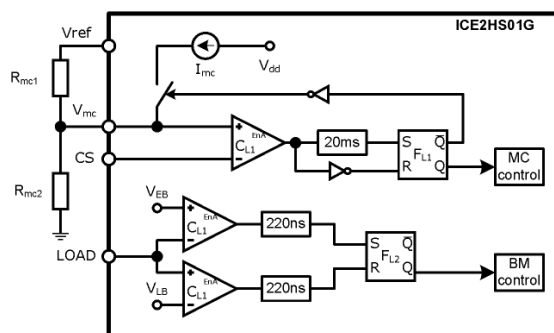


图10 轻载控制模块

如果电流检测电压低于 Vmc 引脚上的预设参考电平 20 毫秒，芯片就会进入跳周期（MC）模式，在该模式下，五个开关中的两个会被移除，以降低平均开关频率。Vref 引脚是内部基准电压的输出端，它是一个精确的 5V 电压源，最大电流为 2 mA。MC 模式下的典型输出栅极驱动波形如图 11 所示。

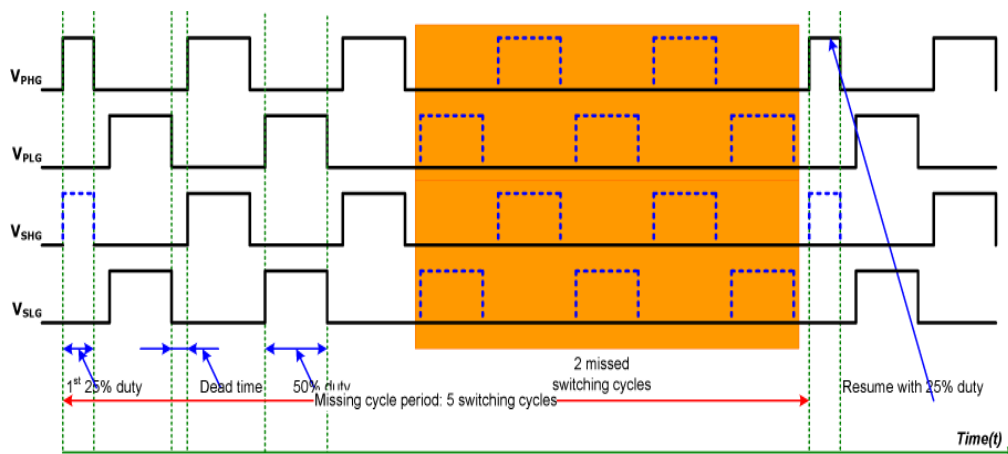


图11 ICE2HS01G 在跳周期内的栅极输出

可以通过在 Vmc 引脚上连接不同的电阻来调整进入和离开跳周期的电平。实际值可通过公式 [2] 和 [3] 计算得出。电流源 Imc 内建 50μA，精度很高。例如，当 Rmc1=33kΩ和 Rmc2=1.3kΩ时，可计算出进入和离开跳周期模式的电流检测电压分别为 0.19V 和 0.252V。

$$V_{LMC} = V_{ref} \cdot \frac{R_{mc2}}{R_{mc1} + R_{mc2}} \quad [2]$$

$$V_{EMC} = V_{ref} \cdot \frac{R_{mc2}}{R_{mc1} + R_{mc2}} + I_{mc} \cdot \frac{R_{mc1} \cdot R_{mc2}}{R_{mc1} + R_{mc2}} \quad [3]$$

可通过将 Vmc 引脚拉低至地禁用跳周期模式。在这种情况下，即使 CS 引脚上的电压很低，芯片也能在正常模式下工作。建议使用 10k 电阻进行下拉。

ICE2HS01G 的突发模式 (BM) 运行是通过 LOAD 引脚电压实现的。如果 LOAD 引脚上的电压低于 0.1V, 所有栅极驱动都将在下一个高边开关周期结束后被拉低。如果 LOAD 引脚电压升高超过 0.15V, 芯片将恢复开关。每次芯片从突发模式恢复切换时, 第一个脉冲将是占空比降低的高电平。

在某些情况下，不希望使用突发模式，此时可以禁用突发模式。该方法将在第 3.10 节中予以介绍。

3.7 同步整流

半桥 LLC 谐振转换器中的同步整流 (SR) 是实现极高效率的关键，这也是 ICE2HS01G 中集成的正在申请专利的方法的主要优势。ICE2HS01G 的同步整流控制主要由四个部分组成：导通时间控制、导通延迟、关断延迟和保护，框图如图 12 所示。

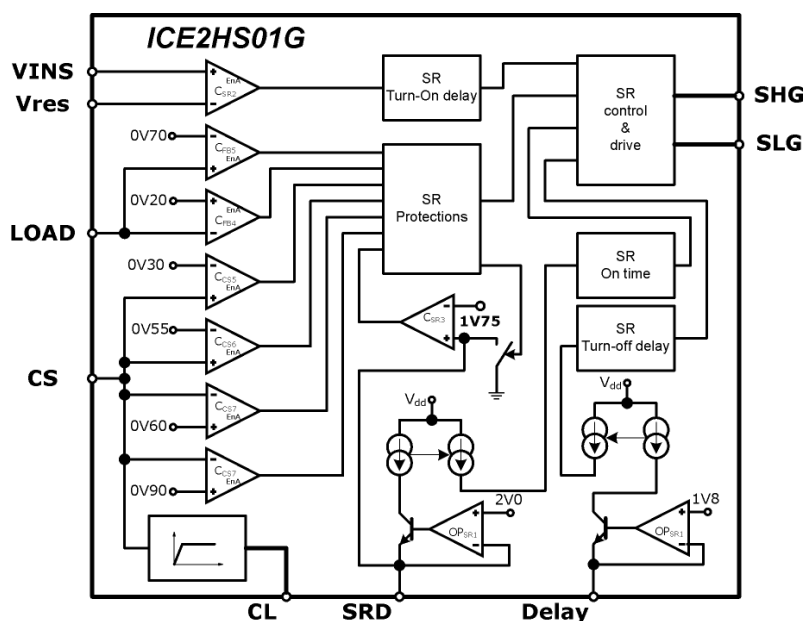


图12 同步整流控制框图

3.7.1 SR 导通时间控制

SR 控制的振荡器具有二分频功能，可决定两个 SR 栅极的导通时间。它使用可调节电流对电容充电，电流与 SRD 引脚流出的电流成正比，电容固定在 IC 内部。SRD 引脚的稳压电压为 2V。通过调节连接到 SRD 引脚的等效电阻，可以对 SR 栅极的导通时间进行编程。

在典型条件下，当 SRD 引脚到地的等效电阻为 $62\text{k}\Omega$ 时，SR 导通时间为 $5\mu\text{s}$ 。SRD 电阻与相应的 SR 导通时间之间的典型关系见图 13。SRD 引脚的内部电路设计有一定的最大流出电流限制。SRD 引脚的最小电阻或等效电阻不能小于 $15\text{k}\Omega$ 。

简单的恒定导通时间控制并不能提供 LLC HB 转换器的最佳性能。事实上，当输出负载减少或输入电压增加时，次级电流的实际谐振周期会缩短。初级绕组电流可以反映这一变化。特定的电流检测电路可用于获取此类信息，并通过 CS 引脚输入 ICE2HS01G。在 ICE2HS01G 中，有一个称为电流电平 (CL) 引脚的功能。在重负载和低输入电压时，CL 引脚电压被钳位在 SRD 引脚的相同电压上。因此，在这种情况下，SR 的导通时间仅由 R_{SRD} 决定。在轻负载情况下，CS 电压较低，CL 引脚电压降低，因此实际 SR 导通时间也缩短。可以调整电阻 R_{CL} ，以找到合适

的 SR 导通时间减小速度。CS 电压和 CL 电压之间的关系如图 14 所示。

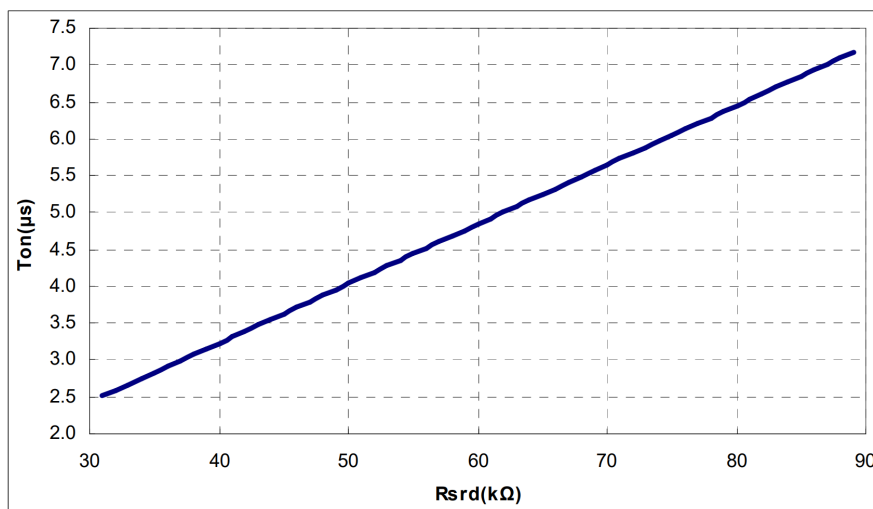


图13 SR 导通时间与SRD 电阻的关系

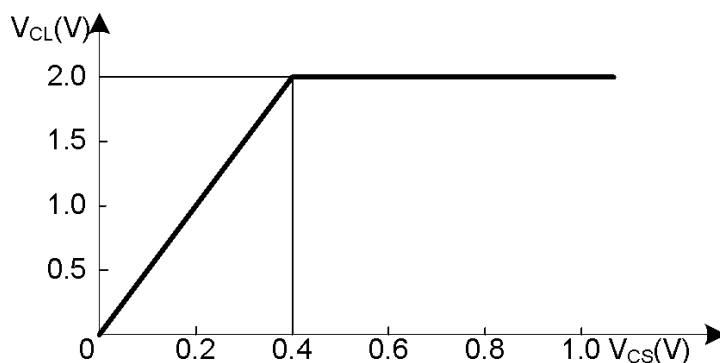


图14 V_{CS} 和 V_{CL} 之间的关系

3.7.2 导通延迟

当输入电压过高时，LLC 转换器次级开关处于 CCM 工作状态。MOSFET 体二极管需要一定的恢复时间，这取决于关断电流。为了获得更好的性能，应在恢复阶段之后开启另一个 MOSFET。为此，ICE2HS01G 内建了导通延迟功能。当 VINS 引脚电压高于 Vres 引脚电压时，SR MOSFET 会在相应的初级 MOSFET 导通后 250ns 导通。

3.7.3 关断延迟

SR 导通时间控制决定了次级开关的导通时间，其持续时间实际上与谐振参数和输出负载有关。不过，SR 的导通时间不能长于主栅极信号，否则会对系统造成损坏。因此，SR 栅极将由两种条件之一关断：初级栅极信号或 SR 导通时间振荡器，二者中先到达的条件将决定实际的 SR 持续时间。

不过，从 IC 栅极信号到次级 SR 开关的延迟时间可能比到主 SR 开关的延迟时间更长。关断延迟可用于调整这一差异。不使用主栅极信号（PHG/PLG）来关断 SR 栅极，而是使用与主栅极信号有一定提前时间的信号来产生 SR 栅极关断信号。通过延迟引脚电阻可调节一定的提前时间。

IC 的延迟引脚采用恒压调节，电流仅取决于外部电阻，用于计算关断延迟。当 R_{delay} 为 51k Ω 时，关断延迟时间为 330ns。此外，关断延迟时间与延迟电阻的关系如图 15 所示。

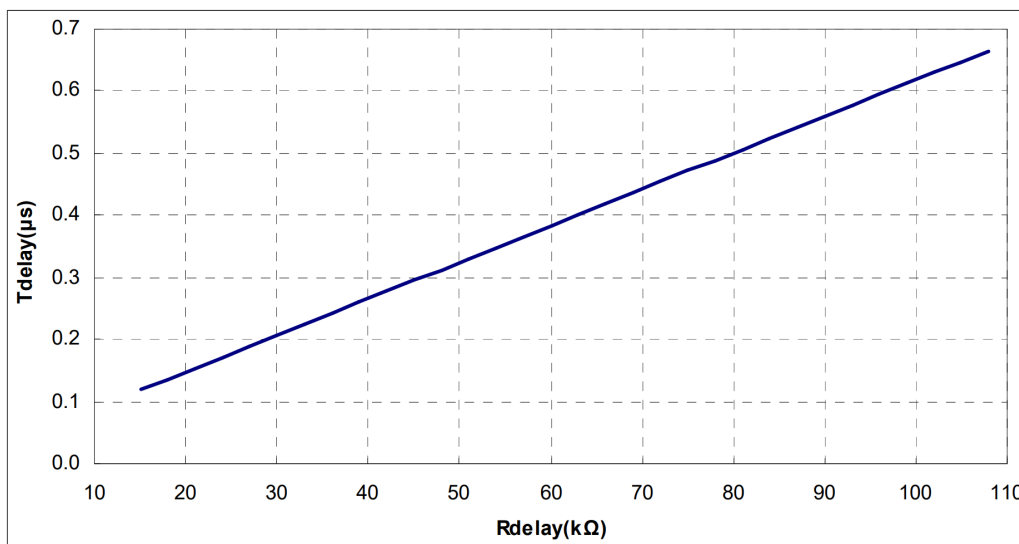


图15 R_{delay} 和 T_{delay} 之间的关系

3.7.4 SR 保护

由于 ICE2HS01G 中的 SR 控制是通过间接方法实现的，因此在某些情况下 SR 无法正常工作。在这种情况下，SR 栅极驱动将被禁用。一旦条件结束，IC 将使用 SRSoftstart 重新启动 SR。

软启动期间，SR 被禁用。当软启动器引脚电压高于 1.9V 持续 20ms 时，SR 将通过 SRSoftstart 启用。

当 LOAD 引脚电压低于 0.2V 时，IC 将立即禁用 SR。如果 LOAD 引脚电压高于 0.7V，IC 将通过 SRSoftstart 恢复 SR。在过流保护阶段，如果软启动引脚电压低于 1.8V，SR 将被禁用。在 SS 引脚电压再次高于 1.9V 后 10 毫秒，SR 将恢复软启动。

在过流保护中，如果 CS 引脚电压高于 0.9V，SR 将被禁用。CS 引脚电压低于 0.6V 后，SR 将通过 SRSoftstart 启用。

所有上述四个条件都在 IC 内部构建。如果 IC 检测到这种情况，IC 将禁用 SR，并将 SRD 引脚上的电压拉低至零。

当 CS 电压在 1 毫秒内从 0.55V 突然降至 0.30V 以下时，SR 栅极将被关断 1 毫秒；在 1 毫秒之后，SR 通过 SRsoftstart 再次使能。

此外，还提供了附加选项。如果某些故障条件没有反映在上述四个条件中，但可以通过其他措施在外部检测到，也可以通过外部软启动禁用和启用 SR。这也是通过 SRD 引脚实现的。内部 SRD 基准电压的电流源能力有限。如果按照典型应用电路图中所示连接一个晶体管 Q_{SRD} ，当该晶体管导通时，SRD 引脚上的电压可被拉至 0，SR 将停止运行。如果 SRD 电压被释放并升至 1.75V 以上、通过软启动启用 SR。

3.7.5 SR 软启动

输出电压建立后，SR 操作才会启用。不过，由于 SR MOSFET 漏源压降远低于体二极管或肖特基二极管的正向压降，因此如果全占空比启动 SR MOSFET，转换器的输出功率将大幅增加。在 ICE2HS01G 中，SR 运行开始时占空比很小。SR MOSFET 将通过自身的软启动启动，第一个脉冲的占空比约为正常占空比的十分之一，在 16 个连续开关周期内保持不变。然后，占空比逐步增加，直至全占空比运行。软启动共分为 7 个步骤，每个步骤包括 16 个开关周期。因此，在 128 个开关周期后，SR 占空比将达到正常值。

3.8 输入电压检测

需要为 LLC 谐振转换器指定输入电压的工作范围。此外，输入电压信息还用于确定是否增加 SR 导通延迟。输入电压检测和处理的典型电路如图 16 所示。

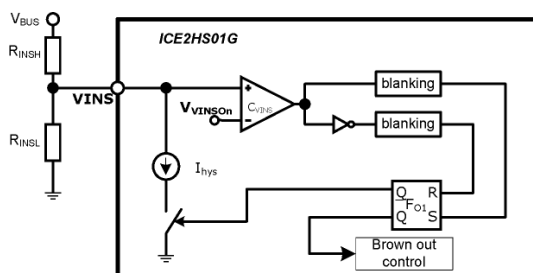


图16 输入电压检测

电流源 I_{hys} 连接在 VINS 和接地之间，可在输入电压的导通和关断之间产生可调节的滞后，即

$$V_{HYS} = R_{INSH} \cdot I_{hys} \quad [4]$$

输入电压由 R_{INSL} 和 R_{INSH} 分压。IC 的 VINS 引脚与地之间连接了一个电流源 I_{hys} ；如果电压的导通和关断阈值分别为 V_{mainon} 和 $V_{mainoff}$ ，则电阻可按以下公式确定

$$R_{INSH} = \frac{V_{mainon} - V_{mainoff}}{I_{hys}} \quad [5]$$

$$R_{INSL} = R_{INSH} \cdot \frac{V_{INSON}}{V_{mainoff} - V_{INSON}} \quad [6]$$

退出 brown-out 的消隐时间约为 $450\mu s$ ，进入 brown-out 的消隐时间约为 $47\mu s$ 。例如，如果 $R_{INSL} = 6.2 M\Omega$ ， $R_{INSH} = 27 k\Omega$ ，则导通电压为 350V，断开电压为 288V。

3.9 过载保护

在典型的应用电路中，光耦合器的集电极会连接一个带有 R_{FT1} 和 R_{FT2} 的分压器，分压后的电压会被送到 LOAD 引脚。这用于确定过载保护时反馈电压阈值。

在运行过程中，如果 $V_{LOAD} > 1.8V$ ，且持续时间超过可调的消隐时间 T_{OLP} ，IC 将立即停止输出所有驱动信号，只有在可调的重启时间 $T_{restart}$ 之后，IC 才会以软启动方式重新启动。这样，系统就可以在短时间内面对突如其来的功率浪涌，而不会触发保护装置。

计时器引脚用于设置过载保护的消隐时间 T_{OLP} 和重启时间 $T_{restart}$ ；RC 并联电路 C_T 和 R_T 与该引脚相连。当负载引脚上的电压高于 V_{load} 时，内部电流源 I_{BL} 开始对外部电容 C_T 充电。只有当电容电压 V_{TL} 达到 V_{TLH} 或 V_{LOAD} 下降到 1.8V 以下时，该电流源才会关闭。一旦 V_{TL} 超过 4.0V，就会通过关闭 GATE 信号触发过载/开环保护。此时， C_T 通过外部电阻 R_T 缓慢放电。当 V_T 下降到 0.5V 以下时，IC 通过软启动重新开始工作。充电时间和电容 C_T 的放电时

间分别决定 IC 的开路负载/过回路保护消隐时间 T_{OLP} 和重启时间 $T_{restart}$ 。该保护的工作电路如下图 17 所示。

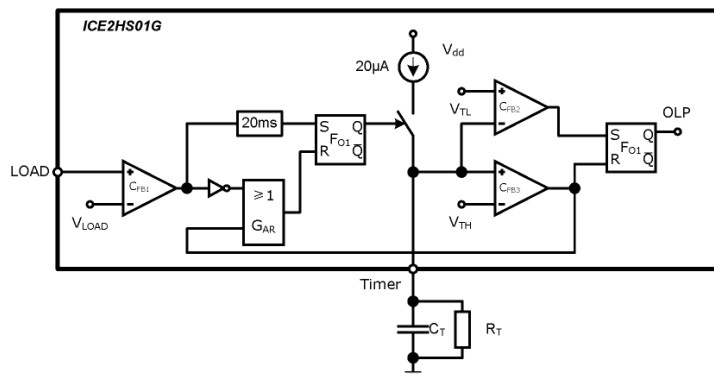


图17 过载保护原理

OLP 消隐时间的计算公式为

$$T_{OLP} = 20ms - R_T \cdot C_T \cdot \ln\left(1 - \frac{V_{TH}}{R_T \cdot I_{BL}}\right) \quad [7]$$

重启时间的计算公式为

$$T_{Restart} = -R_T \cdot C_T \cdot \ln\left(\frac{V_{TL}}{V_{TH}}\right) \quad [8]$$

3.10 EnA 引脚

此外，该芯片还提供外部使能/禁用功能。内部电流源 I_{EnA} 用于建立 EnA 引脚上的电压。在运行期间，如果该引脚上的电压降至 1.0V 以下，芯片将停止开关。恢复 IC VCC 电源可重置该保护。该引脚可用于锁死使能功能。它还可用于带锁死保护功能的过温保护。Ena 功能框图如图 18 所示。

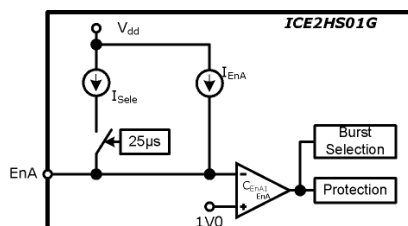


图18 锁死使能功能框图和突发模式选择

除了锁死使能功能外，该引脚还用于在软启动期间选择是否启用突发模式。如果启用了突发模式，当 LOAD 引脚电压低于某个阈值时，栅极驱动将被禁用。但是，如果未选择突发模式，栅极驱动将不会因 LOAD 引脚电压而停止。

只有在 IC VCC 首次升至 UVLO 以上时，选择单元才会工作。CVCC 高于开启阈值后，除 I_{EnA} 外，电流源 I_{sele} 也会导通，为电容 C_{EnA} 充电。26μs 后，IC 将比较 EnA 引脚上的电压和 1.0V 电压，如果 EnA 引脚上的电压高于 1.0V，则启用突发模式功能。由于 EnA 引脚上的电压取决于 R_{EnA} 和 C_{EnA} ，因此通过选择不同的电容可以选择该 IC 是否工作于突发模式。

选择完成后，电流源 I_{sele} 关断。在 IC 开始检测 EnA 引脚电压锁死使能之前，有 320μs 的消隐时间。该消隐时间用于稳定 EnA 引脚电压，以避免误触发锁死使能功能。

4 电气特性

注释：所有电压都是相对于地（引脚13）测量的。如果没有违背其他额定值，则电压电平都有效。

4.1 绝对最大额定值

注释：绝对最大额定值定义为当超过该额定值时可能导致集成电路损坏的额定值。出于同样的原因，在组装应用电路之前，请确保连接到引脚16（VCC）的任何电容都已放电。

Parameter	Symbol	Limit Values		Unit	Remarks
		min.	max.		
VCC Supply Voltage	V_{VCC}	-0.3	18	V	
V_{HG} Voltage	V_{HG}	-0.3	18	V	
V_{LG} Voltage	V_{LG}	-0.3	18	V	
V_{SHG} Voltage	V_{SHG}	-0.3	18	V	
V_{SLG} Voltage	V_{SLG}	-0.3	18	V	
Timer Voltage	V_{TIMER}	-0.3	$V_{dd}+0.3$	V	
EnA Voltage	V_{EnA}	-0.3	$V_{dd}+0.3$	V	
SS Voltage	V_{SS}	-0.3	$V_{dd}+0.3$	V	
LOAD Voltage	V_{LOAD}	-0.3	$V_{dd}+0.3$	V	
FREQ Voltage	V_{FREQ}	-0.3	$V_{dd}+0.3$	V	
FREQ Current	I_{FREQ}	0	3.5	mA	
TD Voltage	V_{TD}	-0.3	$V_{dd}+0.3$	V	
TD Current	I_{TD}	-200	0	μA	
Delay Voltage	V_{Delay}	-0.3	$V_{dd}+0.3$	V	
Delay Current	I_{Delay}	-200	0	μA	
Vref Voltage	V_{VR}	-0.3	$V_{dd}+0.3$	V	
Vref Current	I_{VR}	0	3	mA	
Vmc Voltage	V_{MC}	-0.3	$V_{dd}+0.3$	V	
Vres Voltage	V_{MC}	-0.3	$V_{dd}+0.3$	V	
VINS Voltage	V_{VINS}	-0.3	$V_{dd}+0.3$	V	
CS Voltage	V_{CS}	-0.3	$V_{dd}+0.3$	V	
CL Voltage	V_{CL}	-0.3	$V_{dd}+0.3$	V	
CL Current	I_{CL}	-10	2	mA	
SRD Voltage	V_{SRD}	-0.3	$V_{dd}+0.3$	V	
SRD Current	I_{SRD}	0	2.5	mA	
Junction Temperature	T_j	-40	125	$^{\circ}C$	
Storage Temperature	T_s	-55	150	$^{\circ}C$	

Electrical Characteristics

Thermal Resistance Junction-Ambient for PG-DSO-8	$R_{thJA}(DSO)$	-	75	K/W	PG-DSO-20
ESD Capability	V_{ESD}	-	2	kV	Human body model ¹⁾

¹⁾按照 EIA/JESD22-A114-B (通过 1.5kΩ 串联电阻对 100pF 电容放电)

4.2 工作范围

注释： 在工作范围内，IC 按照电路说明中的描述运行。

Parameter	Symbol	Limit Values		Unit	Remarks
		min.	max.		
VCC Supply Voltage	V_{VCC}	V_{VCCOff}	18	V	
Junction Temperature	T_{jCon}	-25	125	°C	

4.3 特性

4.3.1 供电部分

注释： 电气特性涉及额定电源电压和结温范围 T_J (-25°C 至 125°C) 内的数值分布。典型值代表中值，以 25°C 为基准。如无其他说明，则假设电源电压为 $V_{CC} = 15\text{ V}$ 。

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Start up Current	$I_{VCCstart}$		930		μA	$V_{VCCon}-0.1\text{V}$
Supply Current in operation with inactive gate	I_{VCCop}			8	mA	no switching;
Supply Current in normal operation with active gate	$I_{VCCactive}$		7.5		mA	Freq=97kHz $R_{FREQ}=15\text{k}\Omega$ $R_{TD}=180\text{k}\Omega$ $V_{VCC}=15\text{V}$ $V_{CS}>V_{mc}$
VCC Turn-On Threshold	V_{VCCon}	11.3	12	12.7	V	
VCC Hysteresis	V_{VCChys}	0.6	1	1.3	V	
VCC Turn-Off Threshold	V_{VCCoff}	-	$V_{VCCon} - V_{VCChys}$	-	V	
Trimmed Reference Voltage	V_{dd}	4.90	5.0	5.10	V	Guaranteed by design

4.3.2 振荡器部分

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Minimum switching frequency	F_{MIN}	48.25	50	51.75	kHz	$R_{FMIN}=30k\Omega$; $R_{TD}=180k\Omega$; $V_{SS}=2V$
Maximum switching frequency	F_{MAX}	205	215	225	kHz	$R_{FMIN_EQ}=6.2k\Omega$; $R_{TD}=180k\Omega$; $V_{SS}=2V$
Recommend Maximum switching frequency	F_{MAX_abs}		1000		kHz	$R_{FMIN_EQ}=1.1k\Omega$; $R_{TD}=62k\Omega$; $V_{SS}=2V$
Reference voltage on FREQ	V_{FREQ}		2		V	
Reference voltage on TD	V_{TD}		2		V	
Dead time	T_d	260	300	330	ns	$R_{TD}=180k\Omega$
Minimum dead time	T_{D_MIN}	115			ns	$R_{TD}=62k\Omega$
Dead time 1	T_{D_MAX1}		870		ns	$R_{TD}=560k\Omega$
Dead time 2	T_{D_MAX2}		1.5		μs	$R_{TD}=1200k\Omega$
Oscillation duty cycle	D	48	50	52	%	based on calculation
First pulse half duty	D_{FISRT}		25		%	First pulse on high side gate at softstart or leaving burst mode or at miss cycle mode

4.3.3 输入电压检测

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Input voltage on threshold	V_{VINSon}	1.2	1.25	1.3	V	
Bias current on VINS pin	I_{hys}	8	10	12	μA	
Blankint time for leaving mains undervoltage protection	T_{VINS_out}		450		μs	
Blanking time for entering mains under voltage protection	T_{VINS_in}		47		μs	
Offset for comparator between VINS pin and Vres pin		-18	0	18	mV	

Electrical Characteristics

4.3.4 电流检测和电流电平

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Overcurrent protection 1st	V_{CSL}		0.82		V	
Hysteresis voltage for overcurrent protection low			45		mV	
Overcurrent protection 2nd	V_{CSM}		0.925		V	
Overcurrent protection 3rd	V_{CSH}		1.63		V	
Blanking time for OCP latch	T_{OCP_L}		340		ns	
CL pin clamped voltage	V_{CL_C}	1.89	1.95	2.01	V	$V_{CS}=0.6V$
Ratio between CL pin and CS pin voltage	R_{CL_CS}		4.8			$V_{CS}=0.35V$
CL pin maximum source current, output rising	I_{OUTCSL}		1.1		mA	$V_{CL}=0V, V_{CS} 0V \rightarrow 0.6V$ step change
CL pin maximum sink current, output falling	I_{INCSL}		6		mA	$V_{CL}=1.8V, V_{CS} 0.6V \rightarrow 0V$ step change

4.3.5 软启动

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Softstart current 1	I_{SS1}		260		μA	$V_{SS}=1V$
Softstart current 2	I_{SS2}		105		μA	$V_{SS}=1.6V$
Softstart current 3	I_{SS2}		52.5		μA	$V_{SS}=1.9V$
Voltage threshold 1	V_{SS1}		1.515		V	
Voltage threshold 2	V_{SS2}		1.815		V	
Voltage threshold 3	V_{SS3}		1.91		V	
Maximum softstart time	T_{SS_MAX}	32	40	48	ms	
Normal softstart time	T_{SS_nom}	8	10	12	ms	After V_{SS} is higher than 1.9V
Discharge resistance 1	R_{SS_dchga}		180		Ω	
Discharge resistance 2	R_{SS_dchgb}		100		Ω	

4.3.6 轻载运行

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Comparator offset for V _{MC} pin		-25	0	25	mV	
Internal current for hysteresis	I_{MC}	40	50	60	μA	
Entering missing cycle mode blanking time	T_{BL_EM}		20		ms	Test after $V_{CS} < V_{MC}$

Electrical Characteristics

Entering burst mode threshold	V_{EB}	0.07	0.12	0.17	V	
Hysteresis for entering/leaving burst mode	V_{B_Hys}		50		mV	

4.3.7 基准电压

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Reference voltage of Vref pin	V_{ref}		5		V	
Current capability of V_{ref} pin	I_{ref_max}			2	mA	guaranteed by design

4.3.8 过载/开环保护

Feedback voltage for open loop/over load protection	V_{LOAD}	1.73	1.795	1.86	V	V_{LOAD} voltage follows the V_{FREQ} voltage
Fixed over-load blanking time	T_{OLP}		20		ms	
Threshold for adjustable over load blanking time	V_{TH}		4.015		V	
Threshold for adjustable restart time	V_{TL}		0.525		V	
Current for adjustable over load blanking teim	I_{BL}	16	20	24	μA	

4.3.9 使能函数

Current on EnA pin in normal operation	I_{EnA}	94	100	106	μA	-
Current on EnA pin for burst mode selection	I_{sele}	80	100	120	μA	
Charing time for burst mode selection	T_{sele1}	19	26	33	μs	
Threshold for Latch-off Enable	V_{EnA}	0.95	1.0	1.05	V	
Delay for Latch-off Enable	T_{DEnA}		5		μs	guaranteed by design

Electrical Characteristics

4.3.10 同步整流

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Reference voltage on SRD	V_{SRD}		2		V	
SR on time setting	T_{SRD}	4.875	5	5.125	μs	$R_{SRD}=62k\Omega$, with typical gate load of 300pf
Rising edge delay between primary and secondary drive	T_{D_ON}	225	250	275	ns	$V_{VINS}>V_{RES}$
Reference voltage on Delay pin	V_{Delay}		1.785		V	
Minimum Falling edge delay between primary and secondary drive	T_{D_OFF}	270	330	390	ns	$R_{Delay}=51k\Omega$, $R_{FREQUE}=15k\Omega$
SRD voltage to stop SR externally	V_{SRD_Dis}	1.7	1.75	1.8	V	
SR disable blanking time	T_{SRD_Dis}		775		ns	
SRD voltage when SR is disabled internally	V_{SRD_Stop}			0.2	V	
LOAD voltage to stop SR	V_{LOAD_SRD}	0.18	0.22	0.26	V	
LOAD voltage to restart SR	V_{LOAD_SRR}	0.67	0.715	0.76	V	
CS voltage to stop SR	V_{CS_SRD}	0.875	0.925	0.975	V	V_{CS_SRD} and V_{CS_SRR} follows each other
Blanking time of CS pin 0.9V comparator			220		ns	
CS voltage to restart SR	V_{CS_SRR}	0.575	0.625	0.675		V_{CS_SRD} and V_{CS_SRR} follows each other
CS voltage to start dynamic load detector	V_{CS_DD1}		0.55		V	
CS voltage to set dynamic load protection	V_{CS_DD2}		0.3		V	
SS voltage to stop SR	V_{SS_SRD}	1.765	1.815	1.865	V	
Hysteresis on SS voltage to restart SR	$V_{SS_SR_Hys}$	0.06	0.1	0.14	V	
Blanking time for restart SR if $V_{SS}>1.9V$		8	10	12	ms	
SR softstart steps			8			
SR softstart first time on time		1.2	1.49	1.8	μs	$R_{SRD}=62k\Omega$
Difference between CL clamped voltage and SRD pin reference voltage	$V_{SRD}-V_{CL_C}$	0	45	90	mv	$V_{CS}=0.6V$

Electrical Characteristics

4.3.11 初级侧驱动 (HG、LG)

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Output voltage at logic low	V_{GATElow}		-	1.5	V	$V_{\text{VCC}}=5\text{V}$ $I_{\text{OUT}}=5\text{mA}$
Output voltage at logic high	V_{GATEhigh}		10.5		V	$I_{\text{OUT}}=-5\text{mA}$
			9.8		V	$V_{\text{VCC}}=V_{\text{VCCoff}}+0.2\text{V}$ $C_{\text{L}}=0.3\text{nF}$
Rise Time	t_{rise}	-	25	-	ns	$C_{\text{L}}=0.3\text{nF}$
Fall Time	t_{fall}	-	25	-	ns	$C_{\text{L}}=0.3\text{nF}$

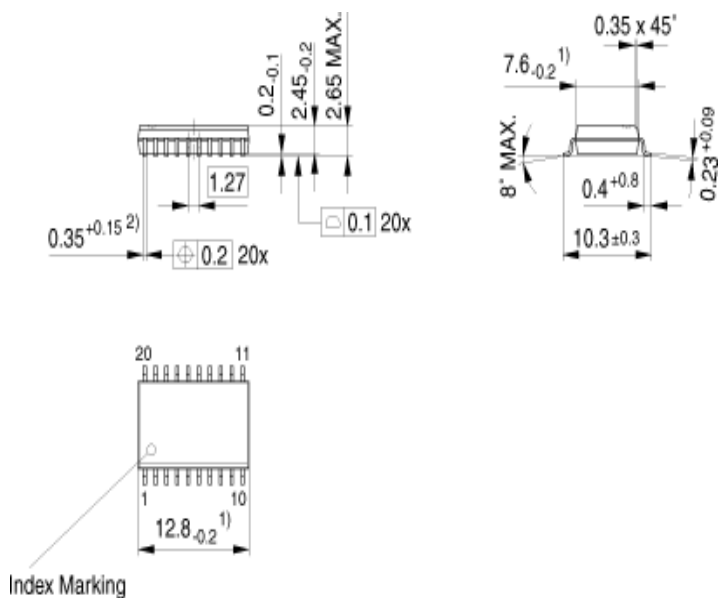
4.3.12 次级侧驱动 (SHG、SLG)

Parameter	Symbol	Limit Values			Unit	Test Condition
		min.	typ.	max.		
Output voltage at logic low	V_{GATElow}		-	1.5	V	$V_{\text{VCC}}=5\text{V}$ $I_{\text{OUT}}=5\text{mA}$
Output voltage at logic high	V_{GATEhigh}		10.5		V	$I_{\text{OUT}}=-5\text{mA}$
			9.8		V	$V_{\text{VCC}}=V_{\text{VCCoff}}+0.2\text{V}$ $C_{\text{L}}=0.3\text{nF}$
Rise Time	t_{rise}	-	25	-	ns	$C_{\text{L}}=0.3\text{nF}$
Fall Time	t_{fall}	-	25	-	ns	$C_{\text{L}}=0.3\text{nF}$

5 外形尺寸

PG-DSO-20

(塑料双小封装外形)



- 1) Does not include plastic or metal protrusion of 0.15 max. per side
2) Does not include dambar protrusion of 0.05 max. per side

GPS05094

图19 PG-DSO-20

*尺寸单位: mm

全面质量管理

Qualität hat für uns eine umfassende Bedeutung. Wir wollen allen Ihren Ansprüchen in der bestmöglichen Weise gerecht werden. Es geht uns also nicht nur um die Produktqualität – unsere Anstrengungen gelten gleichermaßen der Lieferqualität und Logistik, dem Service und Support sowie allen sonstigen Beratungs- und Betreuungsleistungen.

Dazu gehört eine bestimmte Geisteshaltung unserer Mitarbeiter. Total Quality im Denken und Handeln gegenüber Kollegen, Lieferanten und Ihnen, unserem Kunden. Unsere Leitlinie ist jede Aufgabe mit „Null Fehlern“ zu lösen – in offener Sichtweise auch über den eigenen Arbeitsplatz hinaus – und uns ständig zu verbessern.

Unternehmensweit orientieren wir uns dabei auch an „top“ (Time Optimized Processes), um Ihnen durch größere Schnelligkeit den entscheidenden Wettbewerbsvorsprung zu verschaffen.

Geben Sie uns die Chance, hohe Leistung durch umfassende Qualität zu beweisen.

Wir werden Sie überzeugen.

Quality takes on an all-encompassing significance at Semiconductor Group. For us it means living up to each and every one of your demands in the best possible way. So we are not only concerned with product quality.

quality. We direct our efforts equally at quality of supply and logistics, service and support, as well as all the other ways in which we advise and attend to you.

Part of this is the very special attitude of our staff. Total Quality in thought and deed, towards co-workers, suppliers and you, our customer. Our guideline is “do everything with zero defects”, in an open manner that is demonstrated beyond your immediate workplace, and to constantly improve.

Throughout the corporation we also think in terms of Time Optimized Processes (top), greater speed on our part to give you that decisive competitive edge.

Give us the chance to prove the best of performance through the best of quality – you will be convinced.

<http://www.infineon.com>



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

版本 2026-09-24

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。