

# 英飞凌 USB Type-C 端口控制器

## 概述

EZ-PD™ CCG6DF 和 EZ-PD™ CCG6SF 是双端口和单端口 USB Type-C 控制器，符合最新的 USB Type-C 和 PD 规范。这些设备为个人电脑和笔记本电脑提供了完整的 USB Type-C 和 USB Power Delivery 端口控制解决方案。这两种设备都包含一个 VBUS 提供商路径负载开关。

这些设备还包含一个用于身份验证的真随机数生成器 (TRNG)、一个 32 位、48 MHz Arm® Cortex® -M0 处理器，配备 64 KB 闪存和 96 KB ROM，集成完整的 Type-C 收发器，包括 Type-C 终端电阻 Rp、Rd 和没电电池 Rd 终端。CCG6DF 采用 96 球 BGA 封装，而 CCG6SF 采用 48 针 QFN 封装。

## 应用

- 笔记本电脑和台式电脑
- 雷电和非雷电主机

## 特性

### USB PD

- 支持最新的 USB PD 3.0 规范
- 快速角色交换 (FRS)
- 扩展的数据消息传递

### Type-C

- DFP 的集成电流源<sup>[1]</sup> 角色 (Rp)
  - 默认电流为 900 mA
  - 1.5 A
  - 3A
- 集成 Rd 电阻，用于上行端口 (UFP<sup>[2]</sup>) 的作用
- 为 EMCA 线缆供电的集成 VCONN FET
- 集成无电电池终端电阻
- CC 和 SBU 引脚上集成高电压保护，以防止 Type-C 连接器 VBUS 引脚上发生意外短路
- 集成直通 SBU 开关，提供 20 V 保护

### 复用器

- 用于 USB 2.0 HS 和 UART 数据的集成 USB 2.0 模拟复用器

### 注：

1. DFP 指的是电源发送源。
2. UFP 指的是电源接收源。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 [infineon.com](http://infineon.com) 参考最新的英文版本（控制文档）。

## 特性

### 集成提供商 VBUS 负载开关

- VBUS 供电负载开关 (5 V/3 A)
- VBUS 供电路径上的转换速率控制开启, 可耐受 24 V
- 可配置硬件控制的 VBUS 过压、欠压、过流、短路、反向电流保护和热关断
- VBUS 高端电流感应放大器, 能够测量 5-mΩ 串联电阻上的电流
- 响应快速角色交换请求, 关闭外部消费者 N 沟道场效应晶体管 (NFET) 并打开内部提供商负载开关

### LDO

- 集成高电压 LDO 可在电压高达 21.5 V 的条件下工作, 用于无电电池模式操作

### 32 位 MCU 子系统

- 48-MHz Arm® Cortex-M0® 处理器
- 64-KB Flash
- 96-KB ROM
- 16-KB SRAM

### 集成数字模块

- 两个集成定时器和计数器, 从而符合 USB-PD 协议所要求的响应时间
- 四个串行通信模块 (SCBs), 可对这些模块进行重新配置, 使其具有 I<sup>2</sup>C、SPI 或 UART 功能

### 身份验证

- 真随机数生成器

### 时钟和振荡器

- 集成振荡器不需要外部时钟

### 工作范围

- V<sub>SYS</sub> (2.75 V–5.5 V)
- V<sub>BUS</sub> (4 V–21.5 V)

### 支持热插拔 I/O

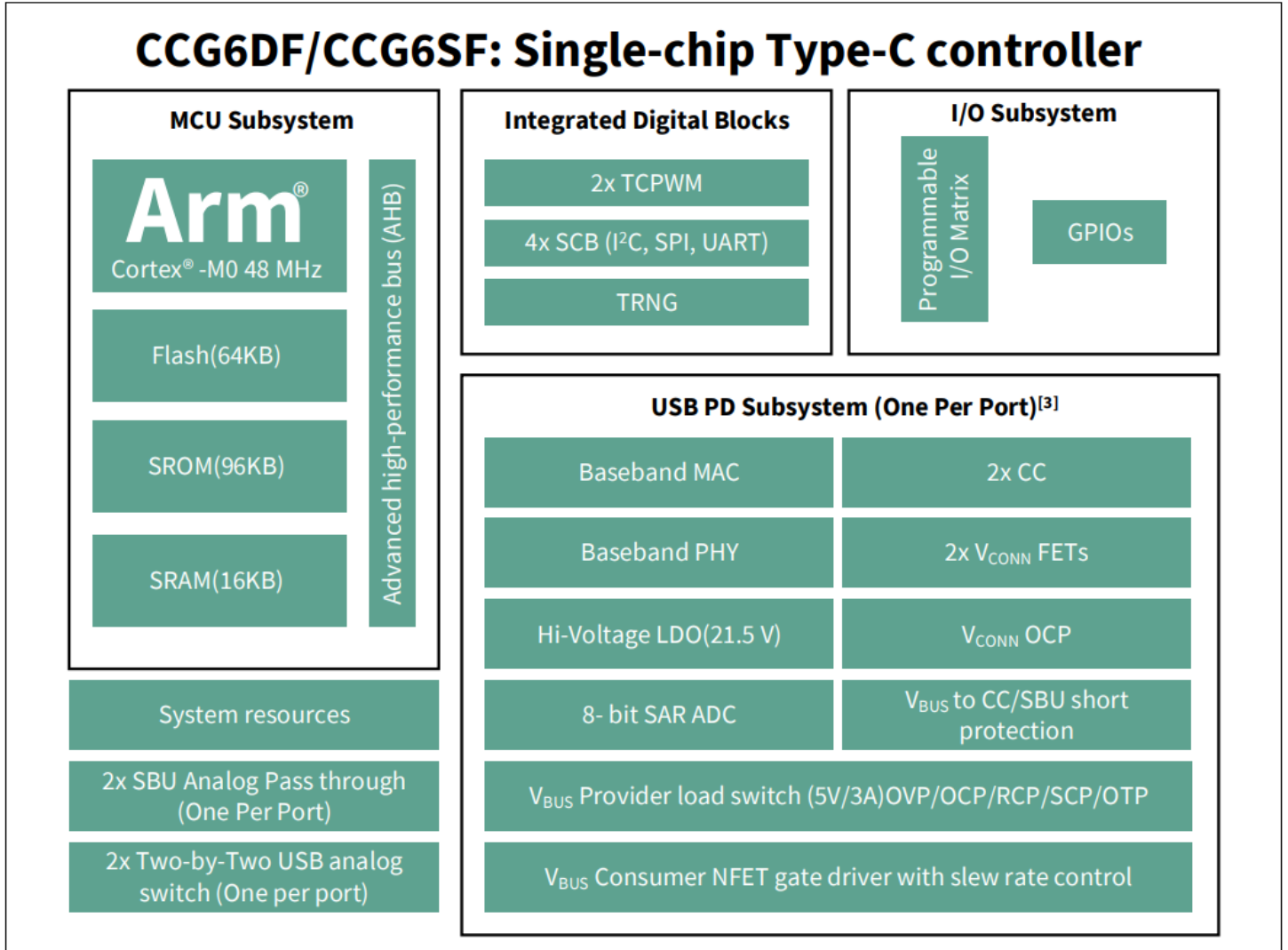
- 可以对 SCB0 的 I<sup>2</sup>C 引脚进行热插拔

### 封装

- CCG6DF: 6.0 mm × 6.0 mm × 1.0 mm, 96 球 BGA, 间距 0.5 mm
- CCG6SF: 6.0 mm × 6.0 mm × 0.6 mm, 48 引脚 QFN, 间距 0.4 mm

逻辑框图

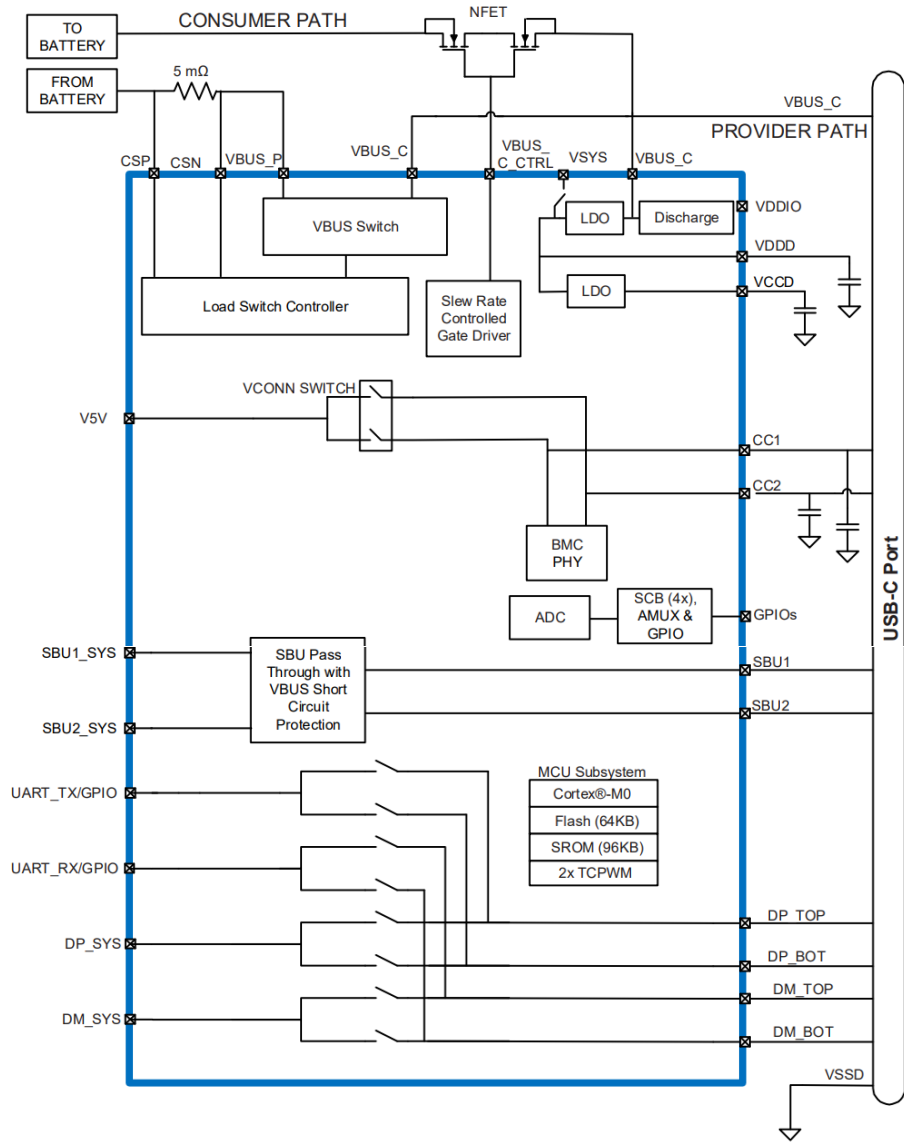
## 逻辑框图



**注:**

3. CCG6SF 设备仅存在一个 USB PD 子系统，因为它只有一个 Type-C 端口可用。

## CCG6 DF/ CCG6 SF 功能图



**Note**  
To simplify, the functional block diagram is shown only for one port.

## 目录

|                                                                                  |           |
|----------------------------------------------------------------------------------|-----------|
| 概述.....                                                                          | 1         |
| 应用.....                                                                          | 1         |
| 特性.....                                                                          | 1         |
| 逻辑框图.....                                                                        | 3         |
| <b>CCG6DF/CCG6SF 功能图</b> .....                                                   | <b>4</b>  |
| 目录.....                                                                          | 5         |
| <b>1 功能概述</b> .....                                                              | <b>7</b>  |
| 1.1 MCU 子系统.....                                                                 | 7         |
| 1.1.1 CPU.....                                                                   | 7         |
| 1.1.2 Flash, SRO和 RAM.....                                                       | 7         |
| 1.2 USB-PD子系统 (SS).....                                                          | 8         |
| 1.2.1 USB PD 物理层.....                                                            | 7         |
| 1.2.2 VCONN FET.....                                                             | 8         |
| 1.2.3 ADC.....                                                                   | 8         |
| 1.2.4 SBU 直通开关和USB HS多路复用器.....                                                  | 8         |
| 1.3 供应商负载开关.....                                                                 | 9         |
| 1.3.1 VBUS上的欠压和过压保护.....                                                         | 9         |
| 1.3.2 用于VBUS的高端电流检测放大器.....                                                      | 9         |
| 1.3.3 VBUS反向电流保护 (RCP).....                                                      | 9         |
| 1.3.4 VBUS短路保护 (SCP).....                                                        | 9         |
| 1.3.5 VBUS放电.....                                                                | 9         |
| 1.3.6 VBUS调节器.....                                                               | 9         |
| 1.3.7 VBUS NFET栅极驱动器.....                                                        | 9         |
| 1.3.8 VBUS兼容 SBU 和 CC 线路.....                                                    | 9         |
| 1.4 串行通信模块 (SCB).....                                                            | 10        |
| 1.5 计时器/计数器/脉宽调制器 (TCPWM).....                                                   | 10        |
| 1.6 真随机数生成器 (TRNG).....                                                          | 10        |
| 1.7 GPIO接口.....                                                                  | 10        |
| 1.8 系统资源.....                                                                    | 11        |
| 1.8.1 看门狗计时器 (WDT).....                                                          | 11        |
| 1.8.2 时钟系统.....                                                                  | 11        |
| 1.8.3 IMO时钟源.....                                                                | 11        |
| 1.8.4 ILO时钟源.....                                                                | 11        |
| <b>2 功率产品</b> .....                                                              | <b>12</b> |
| <b>3 引脚布局</b> .....                                                              | <b>14</b> |
| <b>4 应用程序框图</b> .....                                                            | <b>21</b> |
| <b>5 CCG6DF BGA 封装布局设计指南</b> .....                                               | <b>24</b> |
| 5.1 使用 8 mil 钻孔/16 mil 直径和 10 mil 钻孔/16 mil 直径的通孔尺寸.....                         | 25        |
| 5.1.1 层堆叠.....                                                                   | 26        |
| 5.1.2 顶层扇出.....                                                                  | 26        |
| 5.1.3 GND焊盘的过孔数量.....                                                            | 27        |
| 5.1.4 提供商焊盘的通孔数量.....                                                            | 27        |
| 5.1.5 高速 (DP_SYS, DM_SYS) USB 连接.....                                            | 28        |
| 5.1.6 用于提供商 VBUS 的 Rsense 和电容器连接.....                                            | 29        |
| 5.1.7 关键信号的走线宽度细节.....                                                           | 30        |
| 5.1.8 $V_{DDIO}$ , $V_{CCD}$ , $V_{SYS}$ 和 $V_{DDD}$ 连接.....                     | 31        |
| 5.1.9 CC 线路的电容器连接以及 $V_{DDIO}$ , $V_{DDD}$ , $V_{CCD}$ 和 $V_{SYS}$ 引脚的旁路电容器..... | 32        |
| <b>6 CCG6SF 48-QFN 封装布局设计指南</b> .....                                            | <b>33</b> |
| 6.1 建议的焊盘尺寸.....                                                                 | 33        |
| 6.2 堆叠.....                                                                      | 34        |
| 6.3 48-QFN 扇出.....                                                               | 34        |

|                                                                                        |           |
|----------------------------------------------------------------------------------------|-----------|
| 6.4 导热垫上的通孔数量.....                                                                     | 35        |
| 6.5 VBUS_P 和 VBUS_C 焊盘上的过孔数量.....                                                      | 35        |
| 6.6 高速 (DP/DM_SYS, DP/DM_BOT, DP/DM_TOP) USB 连接扇出.....                                 | 36        |
| 6.7 CC 连接.....                                                                         | 37        |
| 6.8 V <sub>DDIO</sub> , V <sub>CCD</sub> , V <sub>SYS</sub> 和 V <sub>DDD</sub> 连接..... | 38        |
| <b>7 电气规格参数.....</b>                                                                   | <b>39</b> |
| 7.1 绝对最大额定值.....                                                                       | 39        |
| 7.2 器件级规范.....                                                                         | 41        |
| 7.2.1 直流规范.....                                                                        | 41        |
| 7.2.2 CPU.....                                                                         | 43        |
| 7.2.3 GPIO.....                                                                        | 44        |
| 7.2.4 XRES.....                                                                        | 45        |
| 7.3 数字外设.....                                                                          | 46        |
| 7.3.1 GPIO 引脚的脉冲宽度调制 (PWM).....                                                        | 46        |
| 7.3.2 I <sup>2</sup> C.....                                                            | 46        |
| 7.3.3 UART.....                                                                        | 46        |
| 7.3.4 SPI.....                                                                         | 47        |
| 7.3.5 储存器.....                                                                         | 48        |
| 7.4 系统资源.....                                                                          | 49        |
| 7.4.1 欠压情况下的上电复位 (POR).....                                                            | 49        |
| 7.4.2 SWD 接口.....                                                                      | 49        |
| 7.4.3 内部主振荡器.....                                                                      | 49        |
| 7.4.4 内部低速振荡器.....                                                                     | 50        |
| 7.4.5 Consumer NGDO.....                                                               | 50        |
| 7.4.6 PD.....                                                                          | 51        |
| 7.4.7 模数转换器.....                                                                       | 52        |
| 7.4.8 V <sub>SYS</sub> 开关.....                                                         | 52        |
| 7.4.9 CSA.....                                                                         | 53        |
| 7.4.10 VBUS UV/OV.....                                                                 | 54        |
| 7.4.11 发送端 RCP.....                                                                    | 54        |
| 7.4.12 SBU 开关.....                                                                     | 56        |
| 7.4.13 DP/DM 开关.....                                                                   | 58        |
| 7.4.14 VCONN 开关.....                                                                   | 60        |
| 7.4.15 VBUS.....                                                                       | 61        |
| <b>8 订购信息.....</b>                                                                     | <b>62</b> |
| 8.1 订购代码定义.....                                                                        | 62        |
| <b>9 包装信息.....</b>                                                                     | <b>63</b> |
| <b>10 缩略语.....</b>                                                                     | <b>66</b> |
| <b>11 文档惯例.....</b>                                                                    | <b>69</b> |
| 11.1 测量单位.....                                                                         | 69        |
| 11.2 应用程序附件的参考和链接.....                                                                 | 70        |
| 11.2.1 知识库文章.....                                                                      | 70        |
| 11.2.2 应用笔记.....                                                                       | 70        |
| 11.2.3 参考设计.....                                                                       | 70        |
| 11.2.4 套件.....                                                                         | 71        |
| 11.2.5 数据手册.....                                                                       | 71        |
| <b>修订记录.....</b>                                                                       | <b>72</b> |

## 1 功能概述

### 1.1 MCU 子系统

#### 1.1.1 CPU

CCG6DF和CCG6SF中的Cortex®-M0是一个32位的MCU，该内核通过扩展的时钟门控来优化低功率操作。它主要使用 16 位指令并执行 Thumb-2 指令集的子集，从而实现了代码完全兼容的二进制向上迁移到 Cortex® M3 和 M4 等更高性能的处理器。它还包括一个能在一个周期内计算出32位结果的硬件乘法器。它包括一个具有 32 个中断输入的中断控制器（NVIC 模块）和一个可以将处理器从深度睡眠模式唤醒的唤醒中断控制器 (WIC)。

#### 1.1.2 Flash、SRAM 和 RAM

64 KB Flash 和 96 KB ROM 存储实现 PD 功能的固件。

16 KB RAM 在软件控制下用于存储系统变量和参数的临时状态。此外，提供的监控ROM还包含引导和配置子程序。

### 1.2 USB-PD子系统 (SS)

该子系统为Type-C USB端口提供接口。该子系统包括：

- USB PD 物理层
- VCONN FETs
- ADC
- SBU 直通开关和 USB HS 多路复用开关
- VBUS 上的欠压、过压和反向电流保护
- 用于 VBUS 的高端电流检测放大器
- VBUS放电
- VBUS调节器
- 用于 VBUS NFET 的消费类栅极驱动器
- 带有 FRS 的集成 VBUS 提供商路径负载开关
- 兼容 VBUS 的 SBU 和 CC 引脚

#### 1.2.1 USB PD 物理层

USB PD 子系统包含 USB PD 物理层模块和支持电路。USB-PD物理层包括一个基于PD 3.0 标准对CC通道上的BMC编码数据进行通信的发送器和接收器。所有通信均为半双工。物理层 (PHY) 实施冲突避免，从而最小化通道上的通信错误。

此外，USB PD 模块包含 USB Type-C 规范要求的所有终端电阻 ( $R_p$  和  $R_D$ ) 及其开关。 $R_p$  和  $R_d$  电阻用于实现连接检测、插头方向检测以及 USB source/sink 电源角色的建立。 $R_p$  电阻用电流源实现等效。

即使器件未通电，CC 引脚上的  $R_D$  电阻也需要连接。这是电池耗尽终止检测和充电所必需的。

## 功能概述

为了支持最新的 USB PD 3.0 规范，CCG6DF 和 CCG6SF 设备实现了 FRS 功能。通过 FRS，可以在外部电源断开时快速将外部供电的坞站和集线器切换为总线电源。提供商 N-FET 栅极驱动器输出 (NGDO) 支持此功能。FRS 操作期间未启用 SCP 和 RCP 故障检测，并且假设 source 侧电源存在且高于 4.85 V。

CCG6DF 和 CCG6SF 的设计是为了能够与 USB 供电规范的修订版 3.0 以及 USB 供电规范的修订版 2.0 完全相互兼容。

### 1.2.2 VCONN FET

CCG6DF 和 CCG6SF 设备具有电源输入 V5V 引脚，可通过集成 VCONN FET 为 EMCA 电缆供电。CCG6DF 和 CCG6SF 设备的每个端口都有两个 VCONN FET，用于为 CC1 或 CC2 引脚供电。当为 EMCA 电缆供电时，这些 FET 在 CC1/2 引脚上的有效 VCONN 范围 (4.85 V 至 5.5 V) 内为每个端口提供至少 1.5 W 的功率。在任何给定时间，只有一个 VCONN FET 处于开启状态，以根据电缆方向在 CC1 或 CC2 线路上提供 VCONN。浮动的 V5V 引脚不会导致 CCG6DF 发生故障并消耗更多电流。

### 1.2.3 ADC

CCG6DF 和 CCG6SF 设备具有低功耗 8 位 SAR ADC，可访问芯片范围的模拟多路复用器。这些设备上的所有 GPIO 都可以通过芯片范围的模拟多路复用器访问 ADC。

### 1.2.4 SBU 直通开关和 USB HS 多路复用开关

CCG6DF 集成了 2 个 SBU 直通开关和 2 个高速 (480 Mbps) 多路复用开关，如图 1 所示。

SBU 开关是一个简单的直通开关。面向 Type-C 的 SBU 引脚受到保护，不会意外短路至 VBUS。

HS 多路复用开关包含一个 2 × 2 交叉开关，用于根据 CC (Type-C 插头) 方向将系统 DP/DM 线路路由至 Type-C 顶部或底部线路，并将调试引脚连接到未使用的 DP 或 DM 顶部或底部引脚。

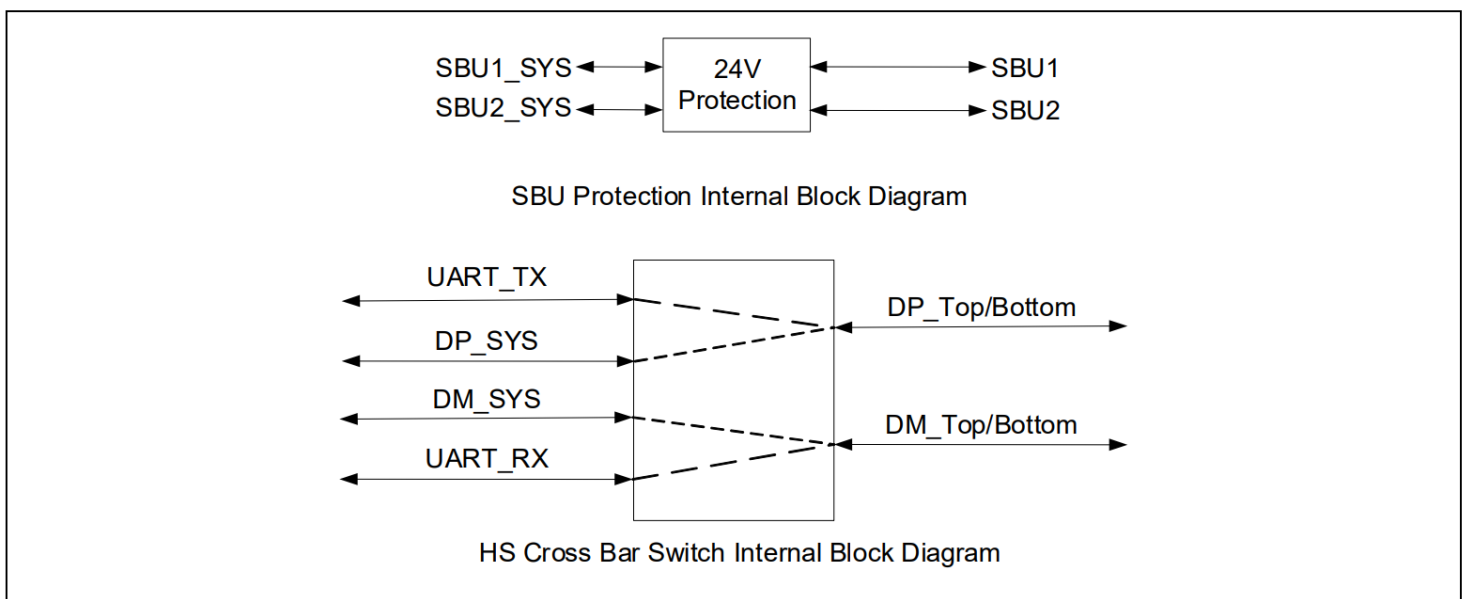


图1 SBU保护和高速交叉开关框图

## 1.3 供应商负载开关

CCG6DF 和 CCG6SF 设备具有集成提供商负载开关，具有以下功能。

### 1.3.1 VBUS上的过压和欠压保护

CCG6DF和 CCG6SF器件为VBUS电源实现一个欠压/过压 (UVOV) 检测电路过流保护 (OCP) 和 UVOV 的阈值都是可编程的。

### 1.3.2 用于 VBUS 的高端电流检测放大器

CCG6DF 和 CCG6SF 器件支持通过 VBUS 供电路径进行可编程阈值 VBUS 电流感应。在连接到芯片的 VBUS 供电路径中放置一个外部电阻 (5 mΩ)，监测该电阻两端的压降以感应电流大小。

### 1.3.3 VBUS反向电流保护 (RCP)

当Type-C VBUS大于VIN (VBUS NFET 之前的发送端电压) 时，CCG6DF和CCG6SF 将VBUS发送路径上的反向电流限制为零。

### 1.3.4 VBUS短路保护 (SCP)

CCG6DF 和 CCG6SF 器件具有 VBUS 短路保护功能，其 SCP 阈值是可编程的。每当流经 VBUS 提供商负载开关的电流超过编程阈值时，SCP 就会立即触发并在短时间内关闭 VBUS 提供商路径。

### 1.3.5 VBUS放电

CCG6DF 和 CCG6SF 设备内部支持高压 (21.5 V) VBUS 放电电路。检测到拔线事件后，该芯片会释放残留电荷，并使浮动的VBUS低于0.8V

### 1.3.6 VBUS调节器

CCG6DF 和 CCG6SF 设备可以由 VSYS 或 VBUS 电源供电。每个端口有一个 VBUS。因此，CCG6DF 设备可以由 VBUS (端口 0 或端口 1) 或 VSYS 供电。芯片的工作电源由这些输入电源上的调节器提供。当两个电源都存在时，VSYS 始终优先于 VBUS 电源。在没有 VSYS 的情况下，VBUS将通过调节器给芯片供电。

### 1.3.7 VBUS NFET 栅极驱动器

CCG6DF 和 CCG6SF 设备具有集成栅极驱动器，用于驱动 VBUS 消费路径上的外部 NFET。提供商 NFET 是集成的。消费者端仅支持外部 NFET 驱动器，并且这些 NFET 必须能够支持  $\pm$ VBUS\_MAX VGS。CCG6DF 和 CCG6SF 必须处于 active 模式才能启用消费者端 NGDO。

### 1.3.8 VBUS 兼容 SBU 和 CC 线路

CCG6DF 和 CCG6SF 设备支持 VBUS 容忍 SBU 和 CC 线路。在 CC 通过连接器与 VBUS 短路的情况下，这些线路将在内部受到保护。由于 SBU 和 CC 引脚位于 USB Type-C 连接器中的 VBUS 引脚旁边，因此可能会发生意外短路。发生意外短路时，不受高电压 VBUS 短路保护的供电控制器将被损坏。当在 SBU/CC 线路上检测到过压时，内部保护电路将关闭 Type-C 连接器与设备其余部分之间的连接。

## 1.4 串行通信模块 (SCB)

CCG6DF 和 CCG6SF 器件具有四个 SCB 模块，可配置为 I<sup>2</sup>C、SPI 或 UART。这些模块实现了完整的多主从 I<sup>2</sup>C 接口，并支持多主仲裁。I<sup>2</sup>C 兼容标准飞利浦 I<sup>2</sup>C 规范 V3.0。这些模块的运行速度高达 1 Mbps，并具有灵活的缓冲选项，可减少 CPU 的中断开销和延迟。

此外，SCB 模块还支持一个深度为 8 字节的 FIFO，用于接收 (RX) 和传送 (TX) 数据。这些模块延长了 CPU 读取数据的时间，从而降低了时钟延展的发生 (由于 CPU 没有及时读取数据，因此才导致时钟延展)。

## 1.5 定时器/计数器/脉宽调制器 (TCPWM)

CCG6DF 和 CCG6SF 的 TCPWM 模块支持最多两个定时器或计数器或脉冲宽度调制器。这些计时器可供固件内部使用或在 GPIO 上提供基于 PWM 的功能。

## 1.6 真随机数生成器 (TRNG)

在笔记本电脑设计中，CCG6DF 和 CCG6SF 的 TRNG 模块用于对连接的设备 (例如电源适配器或底座) 进行身份验证，其中包括对 USB Type-C 身份验证规范 (USBTCAS) 的支持。在笔记本电脑应用中，CCG6DF 和 CCG6SF 设备按照 USBTCAS 的定义实现为发起者角色，而连接的设备将实现响应者角色。USBTCAS 提供了一种针对识别和配置对 Type-C 设备进行认证的方法。

## 1.7 GPIO 接口

CCG6DF 设备有 23 个 GPIO，CCG6SF 设备有 19 个 GPIO，包括 I<sup>2</sup>C 和 SWD 引脚，这些引脚也可用作 GPIO。GPIO 模块实现以下功能：

- 支持以下八种强驱动模式：强推拉、电阻上拉和下拉、弱 (电阻) 上拉和下拉、开漏及开源、仅输入以及禁用。
- 选择输入阈值 (CMOS 或 LVTTTL)。
- 输入和输出禁用的独立控制
- 保持模式，用于锁存前一状态 (即保持 I/O 状态处于深度睡眠模式)
- dV/dt 相关噪声控制的可选转换速率。

在上电和复位期间，各模块被强制为禁用状态，以防止给任何输入供电和/或造成引脚启用时的过电流现象。一个高速 I/O 矩阵的复用网络用于复用连接多个信号至一个 I/O 引脚。固定功能外设的引脚位置也被固定，以降低内部使用的复杂性。数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。可以通过软件对寄存器进行编程，从而配置每个数字 I/O 端口的引脚。

如果启用，每个 I/O 引脚都可以生成中断，并且每个 I/O 端口都有与之关联的 IRQ 和 ISR 矢量。

I/O 端口可以在深度休眠模式下保持其状态或保持开启状态。如果通过复位恢复操作，则引脚将进入高阻抗状态。如果通过中断事件恢复操作，则引脚驱动器将保持其状态，直到固件更改其状态为止。断电时，(数据总线上的) I/O 不会消耗电流。

所有 GPIO 都位于单独的 I/O 电源域 - VDDIO 中，以提供灵活的系统级接口。

## 1.8 系统资源

### 1.8.1 看门狗计时器 (WDT)

对于 CCG6DF 和 CCG6SF 设备，时钟模块中实现了一个看门狗定时器，该定时器由内部低速振荡器 (ILO) 运行。这允许看门狗在深度睡眠期间运行，并且如果在超时发生之前未得到服务，则会生成看门狗复位。

除了芯片级看门狗定时器之外，每个 USB PD 模块还实现了一个基于 ILO（低频）时钟的计数器，可用于定期唤醒/触发该部件。该计数器可用于驱动设备执行的任何定期任务。

### 1.8.2 时钟系统

CCG6DF 和 CCG6SF 具有完全集成的时钟，无需外部晶体。CCG6DF 和 CCG6SF 时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而没有毛刺脉冲。这些设备的时钟系统由内部主振荡器 (IMO) 和 ILO 组成。

### 1.8.3 IMO 时钟源

IMO 是 CCG6DF 和 CCG6SF 器件内部时钟的主要来源，精度为  $\pm 2\%$ 。CCG6DF 和 CCG6SF 器件的默认 IMO 频率为  $48 \text{ MHz} \pm 2\%$ 。

### 1.8.4 ILO 时钟源

ILO 是一个超低功耗但相对不准确的振荡器，主要用于在 USB 暂停 (深度睡眠) 模式下为外设操作提供时钟。ILO 的典型频率为 32 kHz。

## 2 功率产品

CCG6DF 可通过 VBUS\_C (端口 0 和/或 1) 或 V<sub>SYS</sub> 电源输入供电。此外, 还有一个 V5V 电源引脚, 用于将 V<sub>CONN</sub> 电源提供给 Type-C 连接器, V5V 电源的有效电平范围为 4.85 V 至 5.5 V。V5V 不为芯片供电。芯片的内部工作电源来自 V<sub>SYS</sub> (2.75 V 至 5.5 V) 或 VBUS (4 V 至 21.5 V)。在电池电量耗尽模式下, 芯片可由 Type-C VBUS (端口 0 和/或 1) 供电。在 UFP、DFP 和 DRP 模式下 (系统电池已充电), 芯片通过 V<sub>SYS</sub> 供电。CCG6DF 和 CCG6SF 器件支持多种电源模式, 以便在未通过 Type-C 端口进行数据通信时最大限度地降低能耗。

图 2 和 图 3 概述了 CCG6DF 和 CCG6SF 器件的电源系统要求。CCG6DF 和 CCG6SF 器件有两种不同的电源模式: 活动模式和深度睡眠模式, 两者之间的转换由电源系统管理。为 GPIO 和 V<sub>DD</sub> 提供单独的电源域 V<sub>DDIO</sub>, 通过内部稳压器产生 3.3 V 电压。V<sub>DD</sub> 可以短接至 V<sub>DDIO</sub>。不建议将 V<sub>DD</sub> 和 V<sub>CCD</sub> 用作系统上其他电路的电源。此外, V<sub>DD</sub> 和 V<sub>CCD</sub> 引脚不能用作芯片的电源。V<sub>CCD</sub> 引脚是核心 (1.8 V) 稳压器的输出, 引出后仅用于连接 0.1 μF 电容, 以保持稳压器的稳定性。

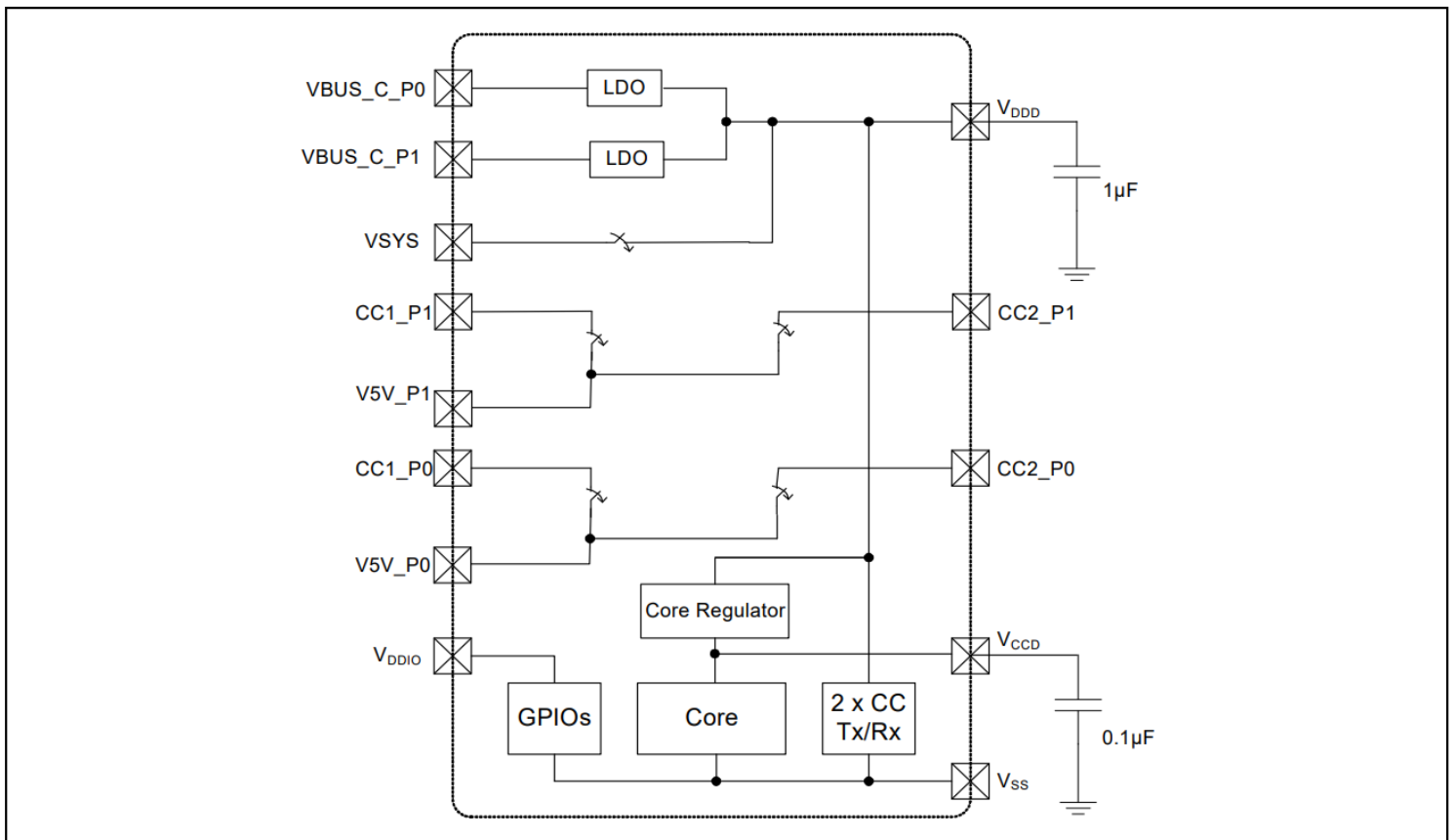


图2 CCG6DF电源要求框图

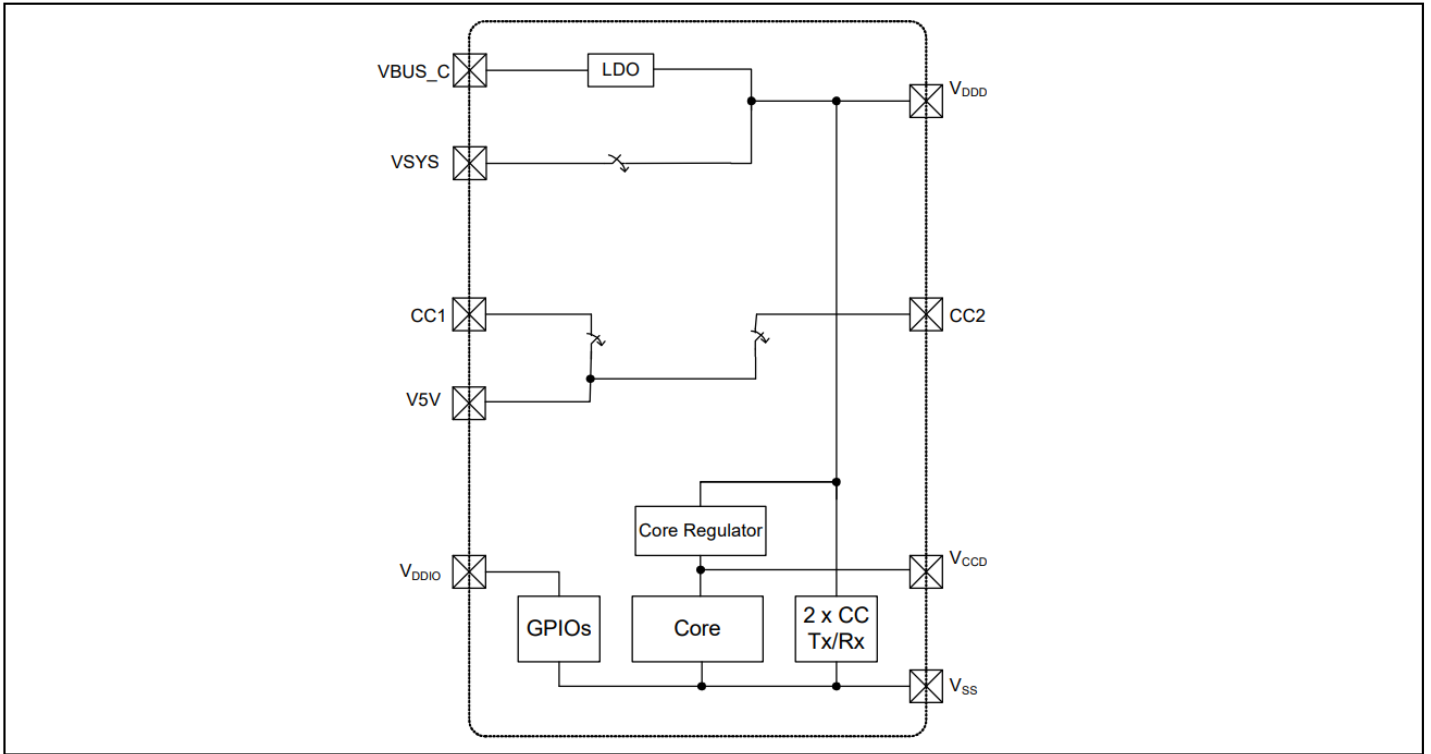


图3 CCG6SF电源要求框图

表 1 CCG6DF/CCG6SF 电源模式

| Mode       | Description                                                                                                                              |
|------------|------------------------------------------------------------------------------------------------------------------------------------------|
| RESET      | Power is valid and XRES is not asserted. An internal reset source is asserted or sleep controller is sequencing the system out of reset. |
| ACTIVE     | Power is valid and CPU is executing instructions. This mode includes the critical Type-C power spec requirement.                         |
| DEEP SLEEP | Main regulator and most hard-IP are shut off. Deep Sleep regulator powers logic, but only low-frequency clock is available.              |

### 3 引脚布局

表 2 CYPD6227-96BZXI/CYPD6228-96BZXI 的引脚排列

| Group name     | Pin name        | Port   | Pin | Description                                             |
|----------------|-----------------|--------|-----|---------------------------------------------------------|
| USB Type-C     | CC1_P0          | Analog | B3  | USB PD port-0 connector detect/ configuration channel 1 |
|                | CC2_P0          | Analog | B5  | USB PD port-0 connector detect/ configuration channel 2 |
|                | CC1_P1          | Analog | K5  | USB PD port-1 connector detect/ configuration channel 1 |
|                | CC2_P1          | Analog | K3  | USB PD port-1 connector detect/ configuration channel 2 |
| Muxes/Switches | DP_SYS_P0       | Analog | K11 | USB 2.0 DP from the host system: port-0                 |
|                | DM_SYS_P0       | Analog | J11 | USB 2.0 DM from the host system: port-0                 |
|                | UART_TX_P0/P1.4 | GPIO   | H10 | UART Tx from host system: port-0/GPIO                   |
|                | UART_RX_P0/P1.3 | GPIO   | G10 | UART Rx from host system: port-0/GPIO                   |
|                | DP_BOT_P0       | Analog | K10 | USB 2.0 DP from bottom of Type-C connector: port-0      |
|                | DM_BOT_P0       | Analog | J10 | USB 2.0 DM from bottom of Type-C connector: port-0      |
|                | DM_TOP_P0       | Analog | H11 | USB 2.0 DM from top of Type-C connector: port-0         |
|                | DP_TOP_P0       | Analog | G11 | USB 2.0 DP from Top of Type-C connector: port-0         |
|                | SBU2_P0         | Analog | A4  | Type-C sideband use signal – connector side: port-0     |
|                | SBU1_P0         | Analog | A5  | Type-C sideband use signal – connector side: port-0     |
|                | SBU1_SYS_P0     | Analog | B6  | Type-C sideband use signal – system side: port-0        |
|                | SBU2_SYS_P0     | Analog | A6  | Type-C sideband use signal – system side: port-0        |
|                | DP_SYS_P1       | Analog | L6  | USB 2.0 DP from the host system: port-1                 |
|                | DM_SYS_P1       | Analog | L5  | USB 2.0 DM from the host system: port-1                 |
|                | UART_TX_P1/P0.0 | GPIO   | L4  | UART Tx from host system: port-1/GPIO                   |
|                | UART_RX_P1/P0.1 | GPIO   | K6  | UART Rx from host system: port-1/GPIO                   |
|                | DP_BOT_P1       | Analog | K8  | USB 2.0 DP from bottom of Type-C connector: port-1      |
|                | DM_BOT_P1       | Analog | K7  | USB 2.0 DM from bottom of Type-C connector port-1       |
|                | DM_TOP_P1       | Analog | L7  | USB 2.0 DM from top of Type-C connector: port-1         |
|                | DP_TOP_P1       | Analog | L8  | USB 2.0 DP from top of Type-C connector: port-1         |
|                | SBU2_P1         | Analog | A9  | Type-C sideband use signal – connector side: port-1     |
|                | SBU1_P1         | Analog | A8  | Type-C sideband use signal – connector side port-1      |
|                | SBU1_SYS_P1     | Analog | B7  | Type-C sideband use signal – system side: port-1        |
|                | SBU2_SYS_P1     | Analog | A7  | Type-C sideband use signal – system side: port-1        |

引脚布局

**表 2** CYPD6227-96BZXI/CYPD6228-96BZXI 的引脚排列 (续)

| Group name                  | Pin name                | Port   | Pin | Description                                                                          |
|-----------------------------|-------------------------|--------|-----|--------------------------------------------------------------------------------------|
| VBUS Control                | VBUS_C_CTRL_P0          | Analog | A3  | Full rail control I/O for enabling/disabling consumer load NFET of USB Type-C port-0 |
|                             | VBUS_C_CTRL_P1          | Analog | L3  | Full rail control I/O for enabling/disabling consumer load NFET of USB Type-C port-1 |
| VBUS OCP                    | CSP_P0                  | Analog | A11 | Current sense positive input for VBUS side external Rsense: port-0                   |
|                             | CSN_P0                  | Analog | A10 | Current sense negative input for other side of external Rsense: port-0               |
|                             | CSP_P1                  | Analog | L11 | Current sense positive input for VBUS side external Rsense: port-1                   |
|                             | CSN_P1                  | Analog | L10 | Current sense negative input for other side of external Rsense: port-1               |
| GPIOs and Serial Interfaces | I2C_SDA_SCB1/<br>P0.2   | GPIO   | K9  | SCB1 data for communicating with SoC or TBT controller/GPIO                          |
|                             | I2C_SCL_SCB1/<br>P0.3   | GPIO   | H7  | SCB1 clock for communicating with SoC or TBT controller/GPIO                         |
|                             | I2C_INT_EC/P1.2         | GPIO   | F11 | Embedded controller interrupt/GPIO                                                   |
|                             | P2.4                    | GPIO   | D10 | GPIO                                                                                 |
|                             | I2C_INT_TBT_P0/<br>P0.4 | GPIO   | L9  | Thunderbolt interrupt for port-0/GPIO                                                |
|                             | SWD_IO/P1.1             | GPIO   | G8  | Serial wire debug I/O/GPIO                                                           |
|                             | SWD_CLK/P1.0            | GPIO   | F10 | Serial wire debug clock/GPIO                                                         |
|                             | HPD_P0/P2.0             | GPIO   | F8  | Hot plug detect I/O for port-0/GPIO                                                  |
|                             | I2C_SDA_SCB2/<br>P2.1   | GPIO   | E11 | SCB2 data for configuring re-timer or DP/USB multi-function MUX/GPIO                 |
|                             | I2C_SCL_SCB2/<br>P2.2   | GPIO   | E10 | SCB2 clock for configuring re-timer or DP/USB multi-function MUX/GPIO                |
|                             | P2.3                    | GPIO   | E8  | GPIO                                                                                 |
|                             | I2C_INT_TBT_P1/<br>P0.5 | GPIO   | H8  | Thunderbolt interrupt for port-1/GPIO                                                |
|                             | P2.5                    | GPIO   | D8  | GPIO                                                                                 |
|                             | I2C_SCL_SCB0/<br>P4.0   | GPIO   | D11 | SCB0 clock for communicating with embedded controller/GPIO                           |
|                             | I2C_SDA_SCB0/<br>P4.1   | GPIO   | C11 | SCB0 data for communicating with embedded controller/GPIO                            |
|                             | P3.0                    | GPIO   | B10 | GPIO                                                                                 |
|                             | I2C_SDA_SCB3/<br>P3.1   | GPIO   | B11 | SCB3 data/GPIO                                                                       |
|                             | I2C_SCL_SCB3/<br>P3.2   | GPIO   | B9  | SCB3 clock/GPIO                                                                      |
|                             | HPD_P1/P3.3             | GPIO   | B8  | Hot plug detect I/O for port-1/GPIO                                                  |
| Reset                       | XRES                    | Analog | C10 | Reset input                                                                          |

**表 2** CYPD6227-96BZXI/CYPD6228-96BZXI 的引脚排列 (续)

| Group name | Pin name  | Port   | Pin                                    | Description                                                                                            |
|------------|-----------|--------|----------------------------------------|--------------------------------------------------------------------------------------------------------|
| Power      | VBUS_C_P0 | Power  | A1, A2, B1, B2, C1                     | Type-C VBUS connector input for port-0 (4-V to 21.5-V)                                                 |
|            | VBUS_C_P1 | Power  | J1, K1, K2, L1, L2                     | Type-C VBUS connector input for port-1 (4-V to 21.5-V)                                                 |
|            | VBUS_P_P0 | Power  | C2, D1, D2, E1, E2                     | VBUS provider input for port-0 (4-V to 5.5-V)                                                          |
|            | VBUS_P_P1 | Power  | G1, G2, H1, H2, J2                     | VBUS provider input for port-1 (4-V to 5.5-V)                                                          |
|            | VSYS      | Power  | F4                                     | 2.75-V to 5.5-V supply for the system                                                                  |
|            | VDDD      | Power  | G7                                     | VDDD supply output<br>VSYS powered - (Min: VSYS-50 mV) 2.7 V to 5.5 V<br>VBUS powered - 3.0 V to 3.6 V |
|            | VDDIO     | Power  | F7                                     | At system-level short the VDDD to VDDIO                                                                |
|            | VCCD      | Power  | E7                                     | 1.8-V regulator output for filter capacitor. This pin cannot drive external load.                      |
|            | V5V_P0    | Power  | B4                                     | 4.85-V to 5.5-V supply for VCONN FET of Type-C: port-0                                                 |
|            | V5V_P1    | Power  | K4                                     | 4.85-V to 5.5-V supply for VCONN FET of Type-C: port-1                                                 |
| Ground     | VSSD      | Ground | D7, E5, E6, F1, F2, F5, F6, G4, G5, G6 | Ground                                                                                                 |

## 引脚布局

|   | 1         | 2         | 3              | 4               | 5         | 6               | 7                 | 8                   | 9                   | 10                | 11                |
|---|-----------|-----------|----------------|-----------------|-----------|-----------------|-------------------|---------------------|---------------------|-------------------|-------------------|
| A | VBUS_C_P0 | VBUS_C_P0 | VBUS_C_CTRL_P0 | SBU2_P0         | SBU1_P0   | SBU2_SYS_P0     | SBU2_SYS_P1       | U1_P1               | SBU2_P1             | CSN_P0            | CSP_P0            |
| B | VBUS_C_P0 | VBUS_C_P0 | CC1_P0         | V5V_P0          | CC2_P0    | SBU1_SYS_P0     | SBU1_SYS_P1       | HPD_P1/P3.3         | I2C_SCL_SCB3/P3.2   | P3.0              | I2C_SDA_SCB3/P3.1 |
| C | VBUS_C_P0 | VBUS_P_P0 |                |                 |           |                 |                   |                     |                     | XRES              | I2C_SDA_SCB0/P4.1 |
| D | VBUS_P_P0 | VBUS_P_P0 |                |                 | DNU       | DNU             |                   | P2.5                |                     | P2.4              | I2C_SCL_SCB0/P4.0 |
| E | VBUS_P_P0 | VBUS_P_P0 |                | DNU             |           |                 | VCCD              | P2.3                |                     | I2C_SCL_SCB2/P2.2 | I2C_SDA_SCB2/P2.1 |
| F |           |           |                | VSYS            |           |                 | VDDIO             | HPD_P0/P2.0         |                     | SWD_CLK/P1.0      | I2C_INT_EC/P1.2   |
| G | VBUS_P_P1 | VBUS_P_P1 |                |                 |           |                 | VDDD              | SWD_IO/P1.1         |                     | UART_RX_P0/P1.3   | DP_TOP_P0         |
| H | VBUS_P_P1 | VBUS_P_P1 |                | DNU             | DNU       | DNU             | I2C_SCL_SCB1/P0.3 | I2C_INT_TBT_P1/P0.5 |                     | UART_TX_P0/P1.4   | DM_TOP_P0         |
| J | VBUS_C_P1 | VBUS_P_P1 |                |                 |           |                 |                   |                     |                     | DM_BOT_P0         | DM_SYS_P0         |
| K | VBUS_C_P1 | VBUS_C_P1 | CC2_P1         | V5V_P1          | CC1_P1    | UART_RX_P1/P0.1 | DM_BOT_P1         | DP_BOT_P1           | I2C_SDA_SCB1/P0.2   | DP_BOT_P0         | DP_SYS_P0         |
| L | VBUS_C_P1 | VBUS_C_P1 | VBUS_C_CTRL_P1 | UART_TX_P1/P0.0 | DM_SYS_P1 | DP_SYS_P1       | DM_TOP_P1         | DP_TOP_P1           | I2C_INT_TBT_P0/P0.4 | CSN_P1            | CSP_P1            |

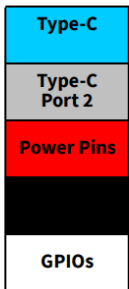


图 4 CYPD6227-96BZXI/CYPD6228-96BZXI 的 96 球 BGA 引脚图 (顶视图)

## 引脚布局

**表 3 CYPD6127-48LQXI/CYPD6128-48LQXI 的引脚排列**

| Group name   | Pin name     | Port   | Pin | Description                                                                   |
|--------------|--------------|--------|-----|-------------------------------------------------------------------------------|
| USB Type-C   | CC1          | Analog | 46  | USB PD connector detect/ configuration channel 1                              |
|              | CC2          | Analog | 44  | USB PD connector detect/ configuration channel 2                              |
| Mux          | DP_SYS       | Analog | 23  | USB 2.0 DP from the host system                                               |
|              | DM_SYS       | Analog | 22  | USB 2.0 DM from the host system                                               |
|              | UART_TX/P1.4 | GPIO   | 24  | UART Tx from host system/GPIO                                                 |
|              | UART_RX/P1.3 | GPIO   | 25  | UART Rx from host system/GPIO                                                 |
|              | DP_BOT       | Analog | 20  | USB 2.0 DP from bottom of Type-C connector                                    |
|              | DM_BOT       | Analog | 21  | USB 2.0 DM from bottom of Type-C connector                                    |
|              | DM_TOP       | Analog | 19  | USB 2.0 DM from top of Type-C connector                                       |
|              | DP_TOP       | Analog | 18  | USB 2.0 DP from top of Type-C connector                                       |
|              | SBU2         | Analog | 43  | Type-C sideband use signal – connector side                                   |
|              | SBU1         | Analog | 42  | Type-C sideband use signal – connector side                                   |
|              | SBU1_SYS     | Analog | 41  | Type-C sideband use signal – system side                                      |
|              | SBU2_SYS     | Analog | 40  | Type-C sideband use signal – system side                                      |
| VBUS Control | VBUS_C_CTRL  | Analog | 47  | Full rail control I/O for enabling/disabling consumer load NFET of USB Type-C |
| VBUS OCP     | CSP          | Analog | 39  | Current sense positive input for VBUS side external Rsense                    |
|              | CSN          | Analog | 38  | Current sense negative input for other side of external Rsense                |

引脚布局

**表 3** CYPD6127-48LQXI/CYPD6128-48LQXI 的引脚排列 (续)

| Group name                  | Pin name              | Port   | Pin         | Description                                                                                              |
|-----------------------------|-----------------------|--------|-------------|----------------------------------------------------------------------------------------------------------|
| GPIOs and Serial Interfaces | I2C_SDA_SCB1/<br>P0.2 | GPIO   | 16          | SCB1 data/GPIO                                                                                           |
|                             | I2C_SCL_SCB1/<br>P0.3 | GPIO   | 13          | SCB1 clock/GPIO                                                                                          |
|                             | I2C_INT_TBT/P0.4      | GPIO   | 17          | Thunderbolt interrupt/GPIO                                                                               |
|                             | I2C_INT_EC/P1.2       | GPIO   | 26          | Embedded controller interrupt/GPIO                                                                       |
|                             | SWD_IO/P1.1           | GPIO   | 14          | Serial wire debug I/O/GPIO                                                                               |
|                             | SWD_CLK/P1.0          | GPIO   | 15          | Serial wire debug clock/GPIO                                                                             |
|                             | HPD/P2.0              | GPIO   | 27          | Hot plug detect I/O/GPIO                                                                                 |
|                             | I2C_SDA_SCB2/<br>P2.1 | GPIO   | 28          | SCB2 data/GPIO                                                                                           |
|                             | I2C_SCL_SCB2/<br>P2.2 | GPIO   | 29          | SCB2 clock/GPIO                                                                                          |
|                             | P2.3                  | GPIO   | 30          | GPIO                                                                                                     |
|                             | P2.4                  | GPIO   | 31          | GPIO                                                                                                     |
|                             | I2C_SCL_SCB0/<br>P4.0 | GPIO   | 32          | SCB0 clock/GPIO                                                                                          |
|                             | I2C_SDA_SCB0/<br>P4.1 | GPIO   | 33          | SCB0 data/GPIO                                                                                           |
|                             | P3.0                  | GPIO   | 35          | GPIO                                                                                                     |
|                             | I2C_SDA_SCB3/<br>P3.1 | GPIO   | 36          | GPIO                                                                                                     |
|                             | I2C_SCL_SCB3/<br>P3.2 | GPIO   | 37          | GPIO                                                                                                     |
| P3.3                        | GPIO                  | 12     | GPIO        |                                                                                                          |
| Reset                       | XRES                  | Analog | 34          | Reset input                                                                                              |
| Power                       | VBUS_C                | Power  | 1, 2, 3, 48 | Type-C VBUS connector input (4-V to 21.5-V)                                                              |
|                             | VBUS_P                | Power  | 4, 5, 6, 7  | VBUS provider input (4-V to 5.5-V)                                                                       |
|                             | VSYS                  | Power  | 8           | 2.75-V to 5.5-V supply for the system                                                                    |
|                             | VDDD                  | Power  | 11          | VDDD supply output<br>VSYS powered - (Min: VSYS – 50 mV) 2.7 V to 5.5 V<br>VBUS powered - 3.0 V to 3.6 V |
|                             | VDDIO                 | Power  | 10          | At system-level short the VDDD to VDDIO                                                                  |
|                             | VCCD                  | Power  | 9           | 1.8-V regulator output for filter capacitor. This pin cannot drive external load.                        |
|                             | V5V                   | Power  | 45          | 4.85-V to 5.5-V supply for VCONN FET of Type-C                                                           |
| Ground                      | –                     | Ground | EPAD        | Ground                                                                                                   |

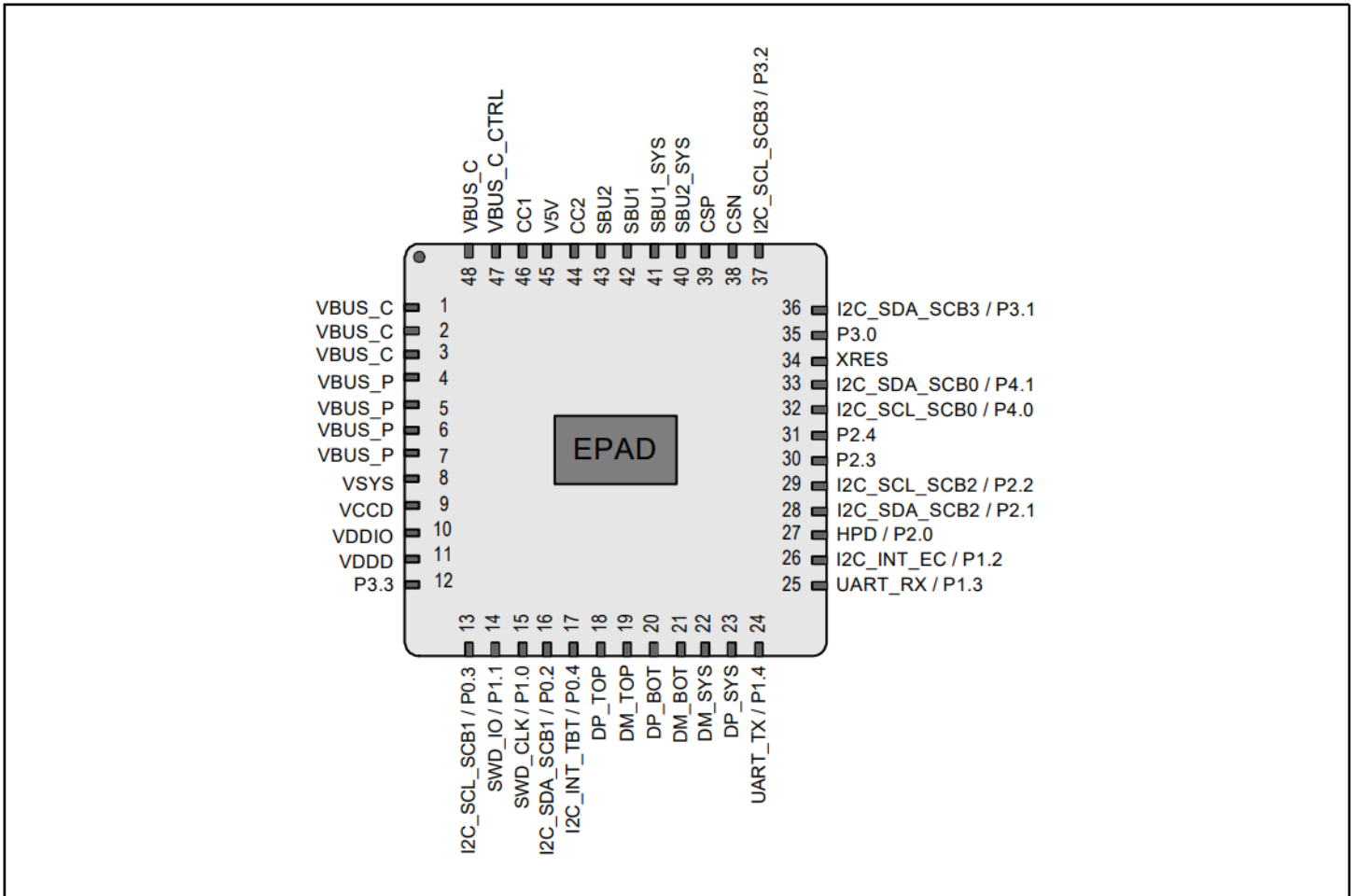


图 5 CYPD6127-48LQXI/CYPD6128-48LQXI 的 48 引脚 QFN 引脚图

## 4 应用程序框图

CCG6DF 设备与嵌入式控制器 (EC) 通信，该控制器管理电池充电器控制器 (BCC)，以控制内部电池的充电和放电。它还通过 I<sup>2</sup>C 更新 Thunderbolt 控制器，根据可替换模式协商，将来自 Type-C 端口的高速信号路由至 USB 主机（正常模式下）、图形处理器单元（DisplayPort 备用模式下）或 Thunderbolt 主机（Thunderbolt 备用模式下）。

CCG6DF 设备控制 USB 2.0 DP 和 DM 线从 Type-C 插座的顶部和底部到 USB 主机控制器的 DP 和 DM 线的传输。CCG6DF 为 SBU 和 CC 线路提供 VBUS 短路保护。

CCG6DF 器件集成了 VCONN FET，适用于需要使用 Type-C 插座的 VCONN 引脚为配件和线缆供电的应用。5 V 电源和集成供电 FET 之间的 5 mΩ 电阻用于 VBUS 上的过流检测。

图6 展示了使用 CYPD6227-96BZXI/CYPD6228-96BZXI 的双端口 Thunderbolt 笔记本 DRP 应用图。

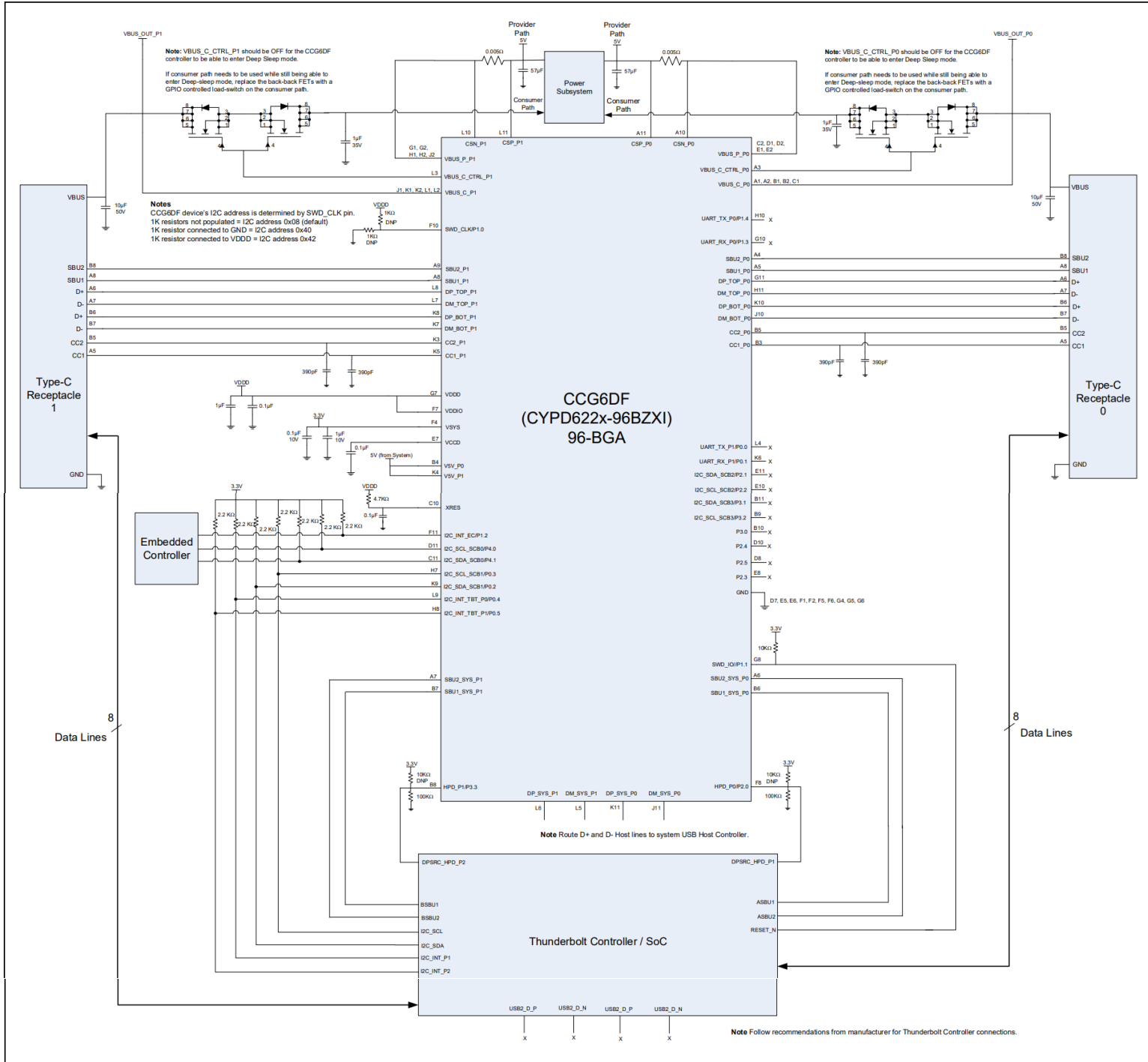


图6 CCG6DF 96球BGA双口雷电接口笔记本应用图

图 7 为采用CYPD6127-48LQXI/CYPD6128-48LQXI的单端口Thunderbolt笔记本DRP应用图。

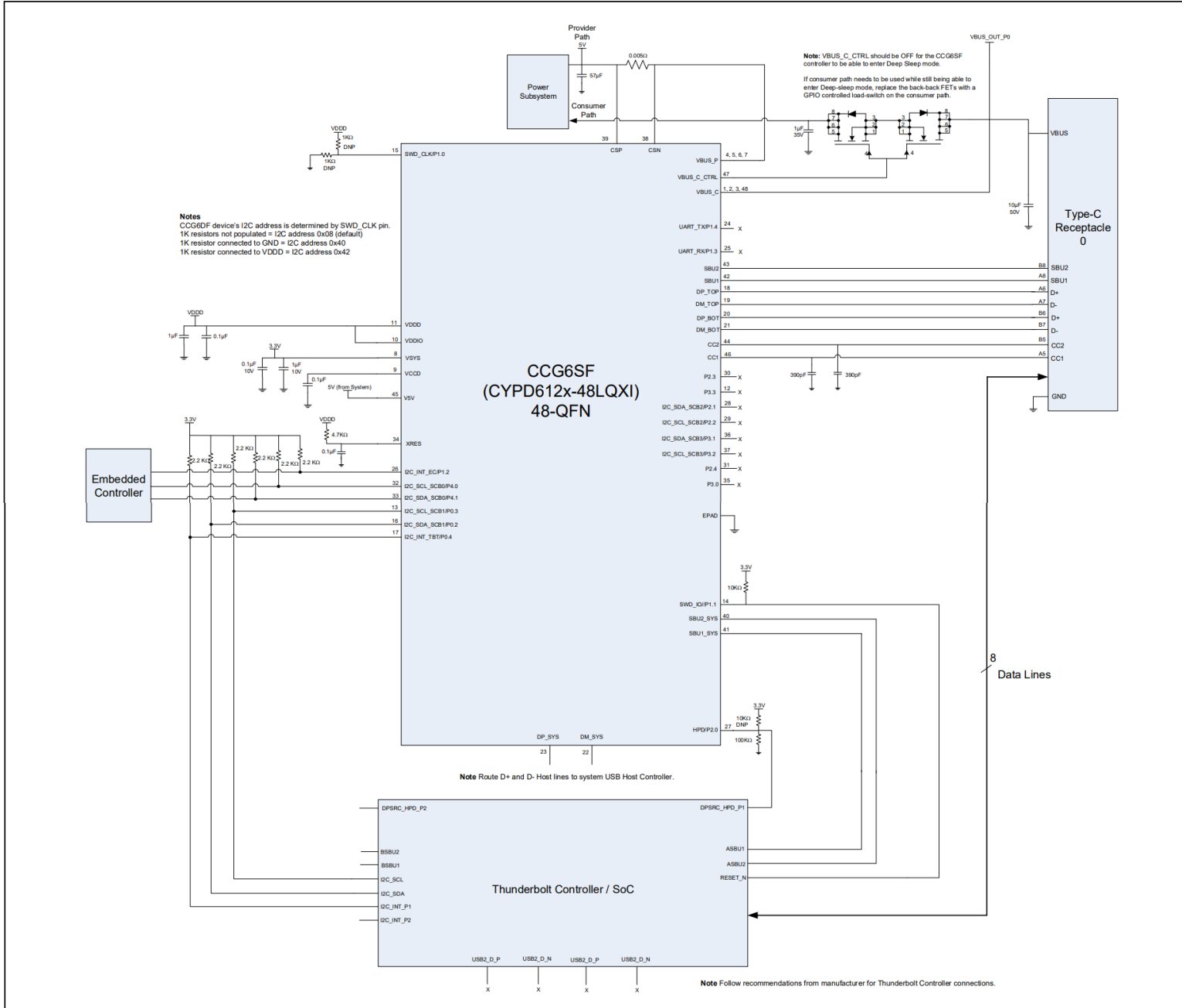


图7 CCG6SF 48引脚QFN单口Thunderbolt笔记本应用图

## 5 CCG6DF BGA 封装布局设计指南

正确的布线和布局有助于保持高速信号的信号完整性、改善散热并降低 CCG6DF/SF 的功耗。如果遵循这些设计指南，电源和高速数据信号的组合可以得到更好的布线。强烈建议咨询 PCB 制造商以验证制造能力，从而提出正确的设计指南。本节提供适用于 CCG6DF 和 CCG6SF 器件的布局建议。

图8显示了推荐的 CCG6DF 96-BGA 器件封装。该封装在特定位置采用椭圆形焊盘。建议使用椭圆形焊盘，以便省去高密度互连 (HDI) 板加工工序，从而降低制造成本。这种方法允许 PCB 设计人员将内周焊球穿过顶层进行布线。除角焊球外，周边焊球的焊盘均为椭圆形。此封装推荐用于通常成本较低的 MDI (中密度) PCB 设计。

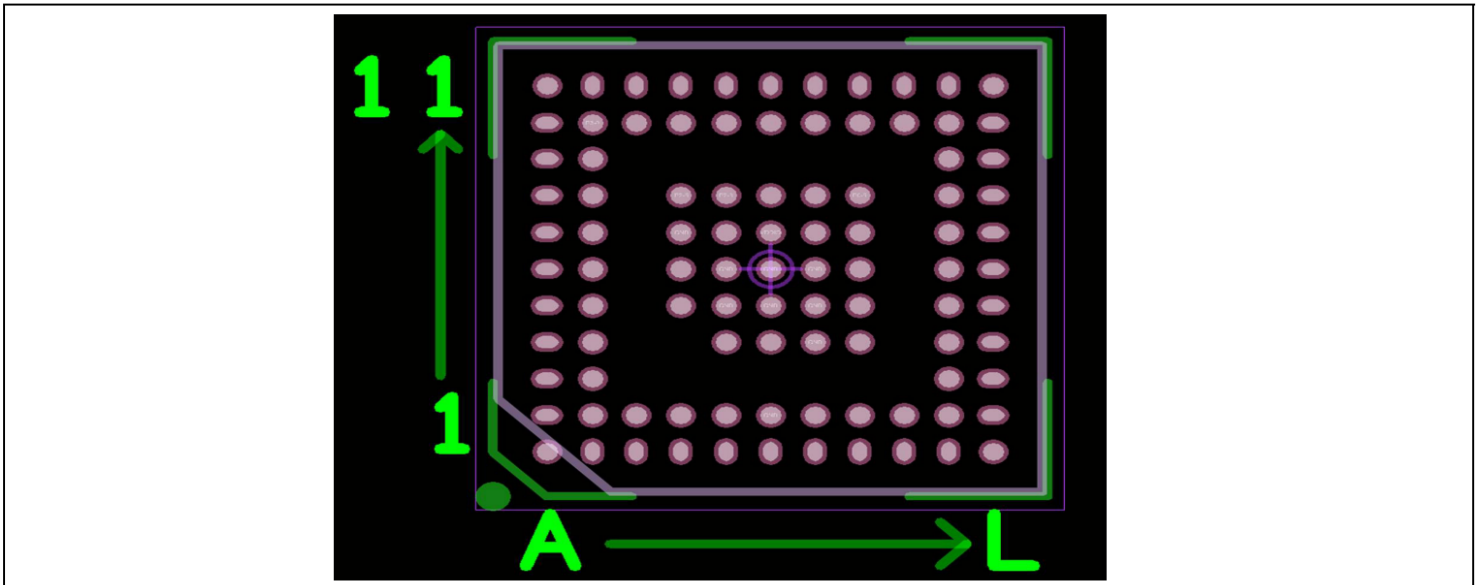


图 8 CCG6DF、CCG6SF 96-BGA 的顶视图标准封装 (推荐)

### 5.1 使用 8 mil 钻孔/16 mil 直径和 10 mil 钻孔/16 mil 直径的通孔尺寸

为了使用更大的通孔尺寸 8/16（8 mil 钻孔和 16 mil 直径）或 10/16（10 mil 钻孔和 16 mil 直径），一个 GPIO（BGA 焊盘 D8）无法使用，应保持未连接状态。这将释放包装下面的空间。这是帮助决定通孔最小钻孔尺寸的关键因素。建议使用两种不同尺寸的 BGA 球焊盘，以获得更好的组装良率。请注意，如果无法释放 GPIO 焊盘 D8，则可以使用 6 mil 孔/12 mil 直径的过孔尺寸进行 PCB 走线布线。

对于内部 BGA 焊盘，过孔尺寸大于 10 mil 且直径大于 16 mil 的过孔是不可行的。大于 10 mil 的钻孔会与 BGA 焊盘重叠，可能导致 SMT 回流焊期间出现“冷焊”。图 9 显示建议的 8/16 和 10/16 最小过孔尺寸（8 mil 钻孔和 16 mil 直径）。

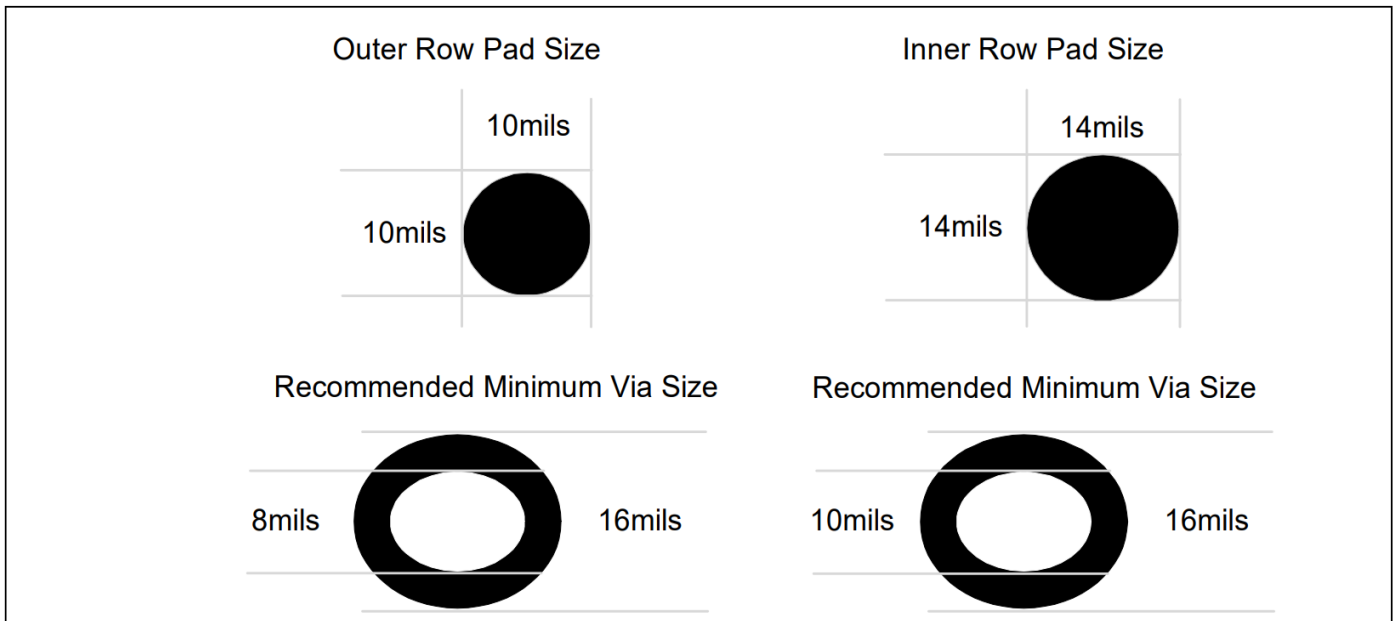


图9 建议的焊盘尺寸和过孔尺寸（8/16和10/16）

## 5.1.1 层堆叠

图10 中显示了一个典型的8层堆叠，其中铜含量为1盎司。

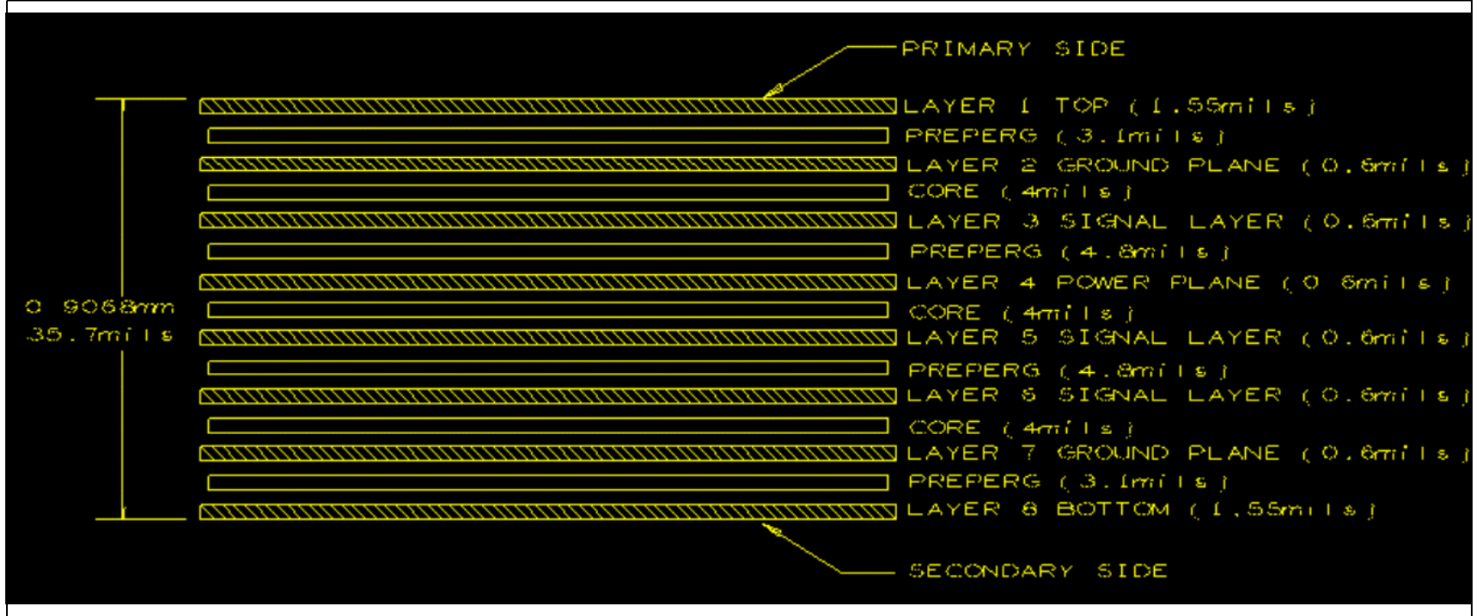


图10 八层堆叠

## 5.1.2 顶层扇出

图11 显示了内部 BGA 球的布线方法以及针对 8/16 或 10/16 过孔尺寸的布线的扇出方法。

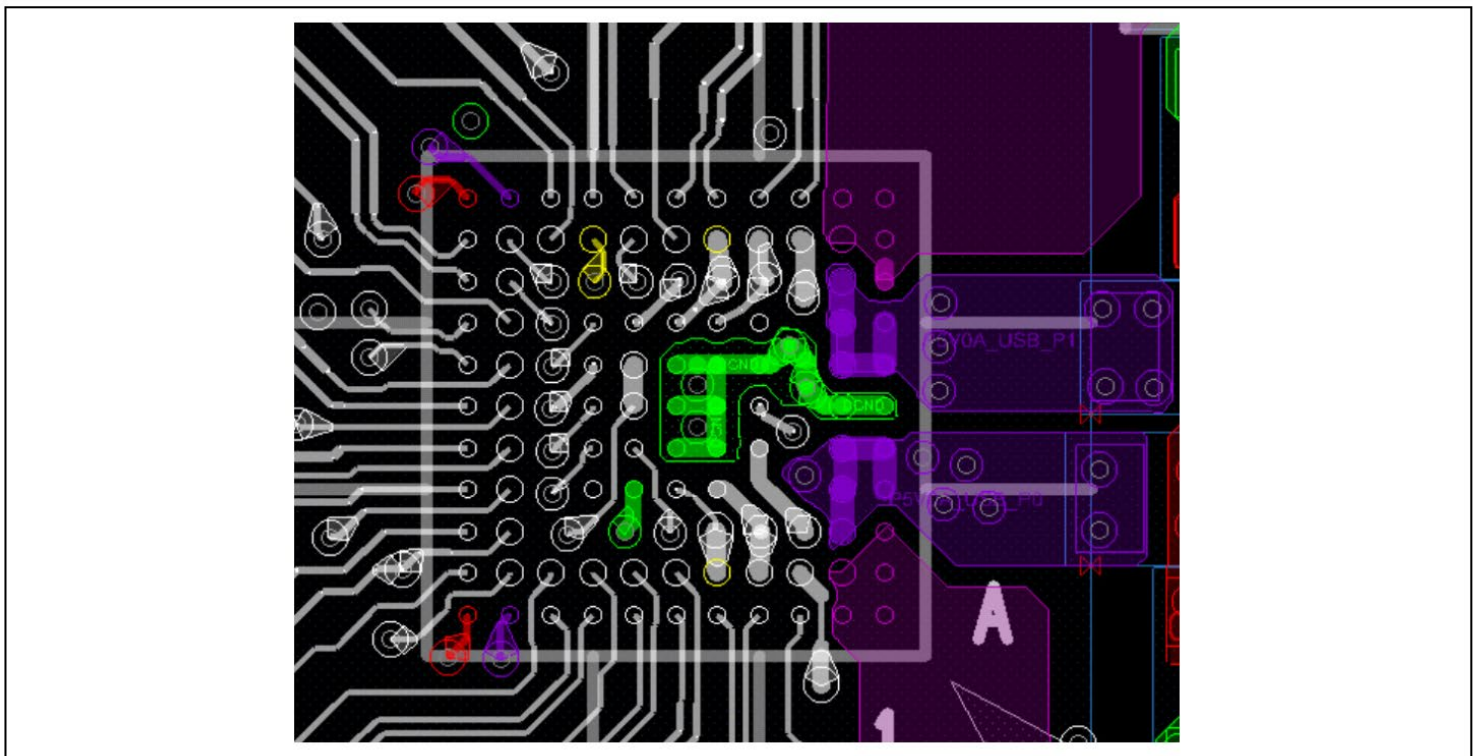


图11 顶层扇出 (8/16 或 10/16 过孔尺寸)

### 5.1.3 GND 焊盘的过孔数量

每个过孔的热阻为  $219^{\circ}\text{C}/\text{W}$ 。添加三个这样的过孔将有助于将热阻降低至  $73^{\circ}\text{C}/\text{W}$ ，并有助于更好地散热。如图 12 所示，建议使用顶层的小分隔平面将 6 个 GND 焊盘短路，并至少使用两个过孔以满足散热性能要求。如果过孔数量少于建议数量，BGA 顶层的温度可能会超过  $100^{\circ}\text{C}$ 。此外，建议在 GND 焊盘 (D7) 上放置一个过孔，走线宽度为 7 mil。

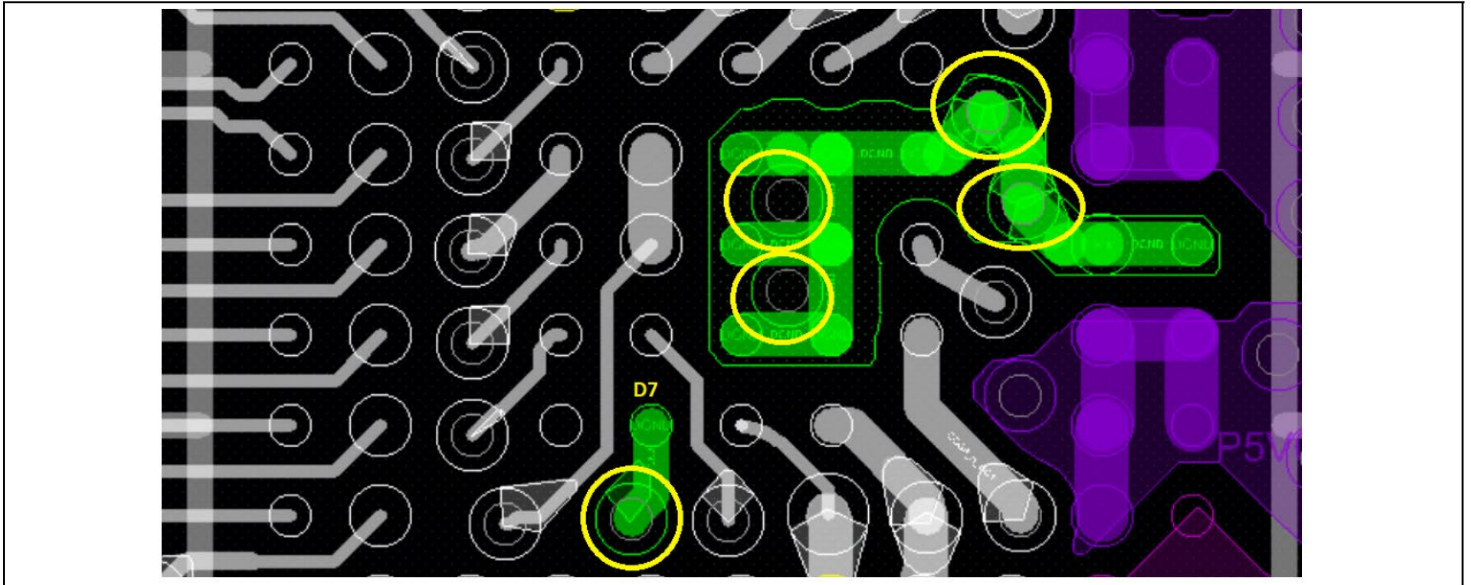


图 12 GND 焊盘的过孔数量 (8/16 或 10/16 过孔尺寸)

### 5.1.4 提供商焊盘的通孔数量

如图 13 所示，建议在顶层和底层的 5 个供电焊盘周围进行覆铜，并至少设置 7 个过孔。此外，建议将电源层拆分到其他层以满足散热性能要求。这些过孔对于更好地散热至关重要。

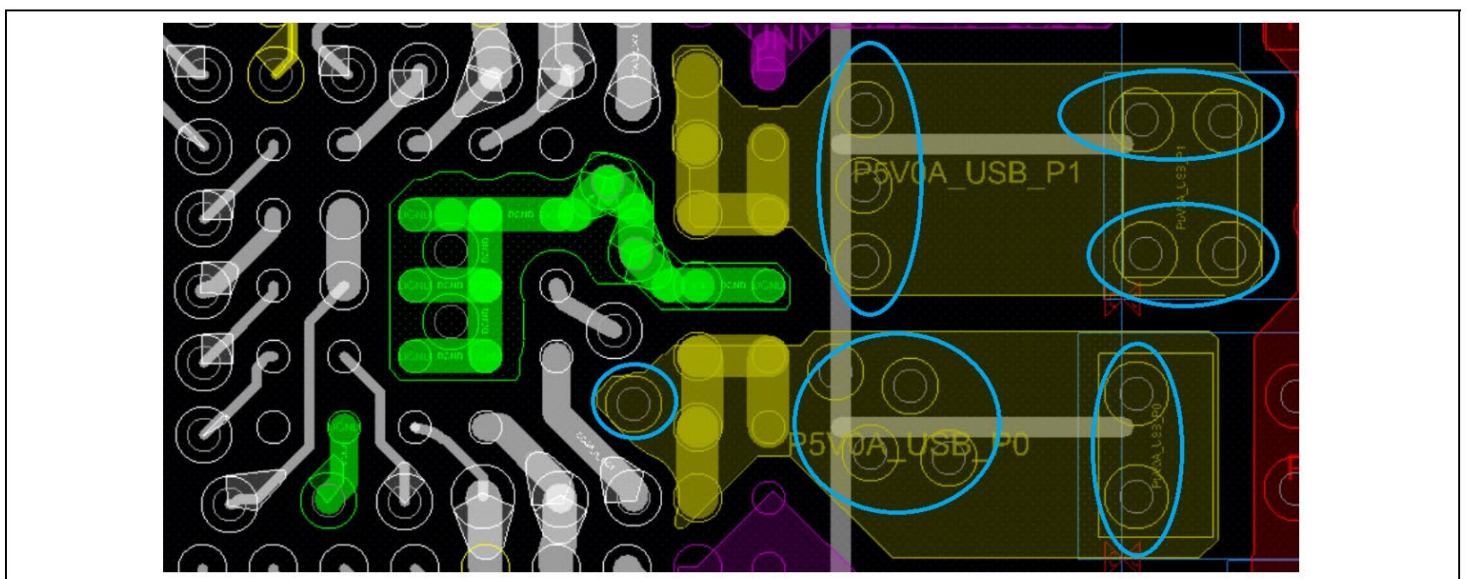


图 13 提供商焊盘的过孔数量 (8/16 或 10/16 过孔尺寸)

## 5.1.5 高速 (DP\_SYS、DM\_SYS) USB 连接

图 14 显示了通孔尺寸为 8 mil 钻孔、16 mil 直径和 10 mil 钻孔、16 mil 直径的 DP 和 DM 线的走线。

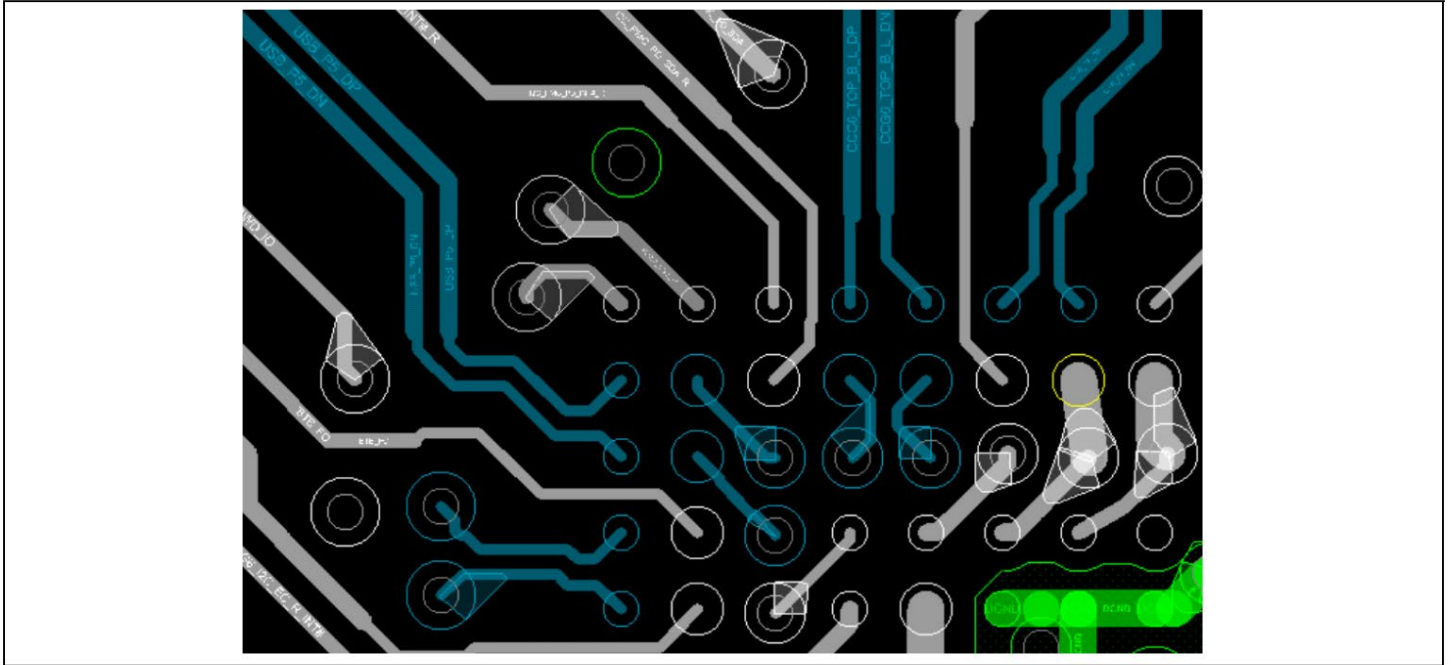


图 14 DP/DM 走线 (8/16 或 10/16 过孔尺寸)

## 5.1.6 用于提供商 VBUS 的 Rsense 和电容器连接

始终建议将检测电阻 (Rsense) 保持在靠近 CCG6DF/CCG6SF 的位置，因为它具有内部 VBUS 提供商开关。从调节器到 Rsense 的连接应使用大铜形（灌注）来承载大电流。

元件之间的走线长度越长，元件之间的电压降就越高。额外的阻抗会降低系统的效率。走线的电阻可以通过下面的公式计算出来。

$$R_{trace} = \rho \times \frac{Tracelength}{Tracewidth \times Tracethickness}$$

其中，铜的体电阻  $\rho$  在 25°C 时为 0.67  $\mu\Omega$ /in 或 1.7  $\mu\Omega$ /cm。

来自 Rsense 的差分信号应长度匹配。供电 VBUS 的电容应尽可能靠近 Rsense，并使用铜线连接。Rsense 的路由如图 15 和图 16 所示。

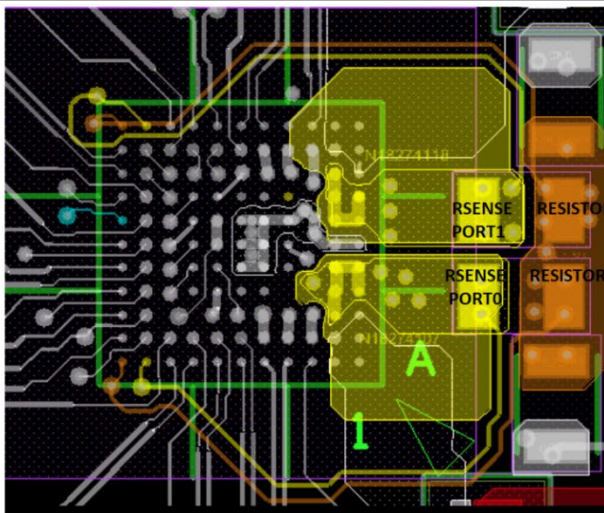


图 15 Rsense 电阻放置（顶层）

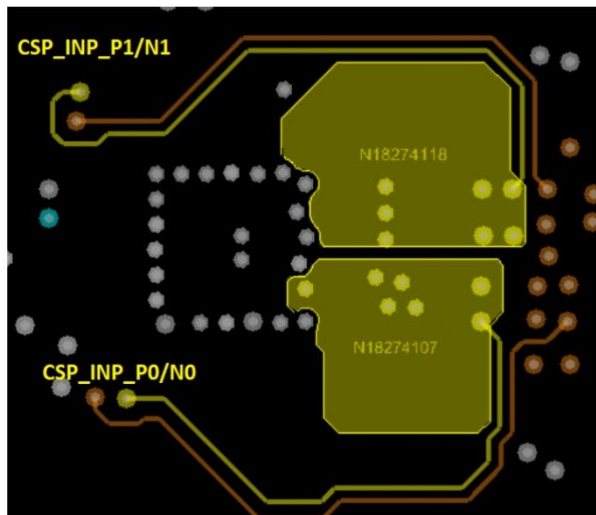


图 16 采用开尔文连接的 Rsense 电阻走线布线（内层）

## 5.1.7 关键信号的走线宽度细节

表 4 提供有关此布局示例的布线宽度的信息。

**表4 线路走线宽度**

| Route             | Route width (mils) (1-oz copper thickness) | Remarks/key feature/constraints |
|-------------------|--------------------------------------------|---------------------------------|
| CC1, CC2          | 8                                          | Current rating = 500 mA         |
| GPIOs             | 5                                          | -                               |
| DP/DM/Dsys        | 6 mils width/ 8mils spacing                | 90-Ω impedance signals          |
| V <sub>DDIO</sub> | 10                                         | Current rating = 15 mA          |
| V <sub>DDD</sub>  |                                            | Current rating = 20 mA          |
| V <sub>CCD</sub>  |                                            |                                 |
| V <sub>SYS</sub>  |                                            |                                 |
| V5V               |                                            | Current rating = 500 mA         |

## 5.1.8 $V_{DDIO}$ 、 $V_{CCD}$ 、 $V_{SYS}$ 和 $V_{DDD}$ 连接

图 17 和图 18 展示  $V_{DDIO}$ 、 $V_{DDD}$ 、 $V_{SYS}$  和  $V_{CCD}$  信号如何在顶层和底层之间传输。

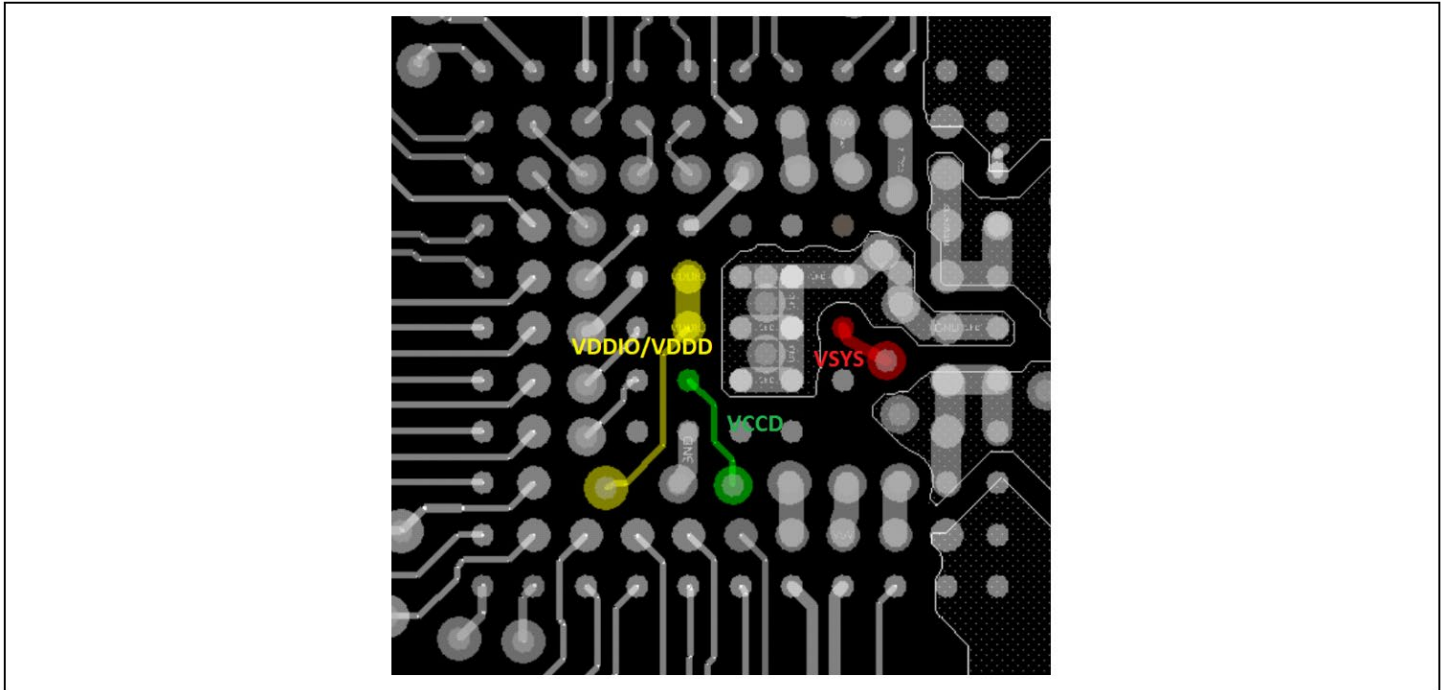


图 17  $V_{DDIO}$ 、 $V_{DDD}$ 、 $V_{SYS}$  和  $V_{CCD}$  的顶层连接

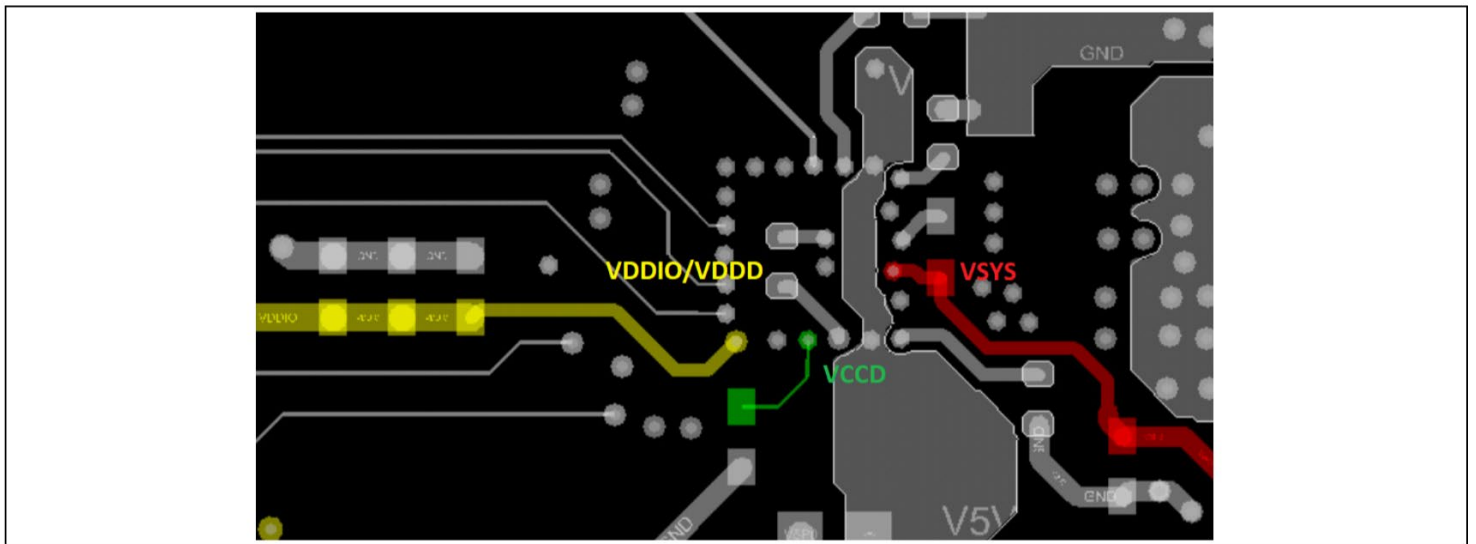


图 18  $V_{DDIO}$ 、 $V_{DDD}$ 、 $V_{SYS}$  和  $V_{CCD}$  的底层连接

### 5.1.9 CC 线路的电容器连接以及 $V_{DDIO}$ 、 $V_{DDD}$ 、 $V_{CCD}$ 和 $V_{SYS}$ 引脚的旁路电容器

图 19 显示了如何针对 8 mil 钻孔、16 mil 直径或 10 mil 钻孔、16 mil 直径的通孔尺寸放置相关电容器。

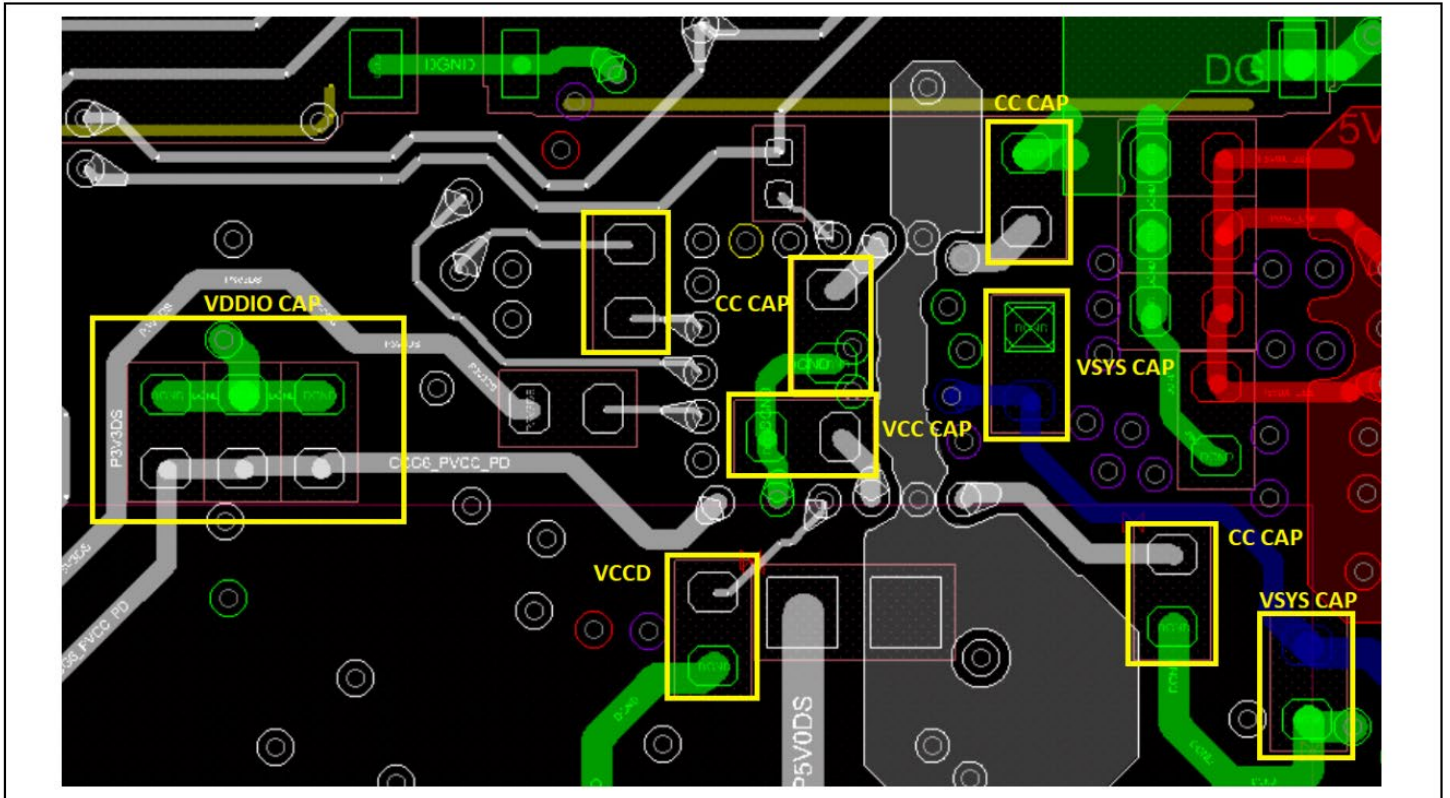


图 19 电容器连接 (8/16 或 10/16 过孔尺寸的顶层和底层放置)

## 6 CCG6SF 48-QFN 封装布局设计指南

图 20 中显示了推荐的 CCG6SF 48-QFN 器件封装。该封装的所有引脚均采用矩形焊盘。建议使用矩形焊盘，以减少 HDI 板加工，从而降低制造成本。

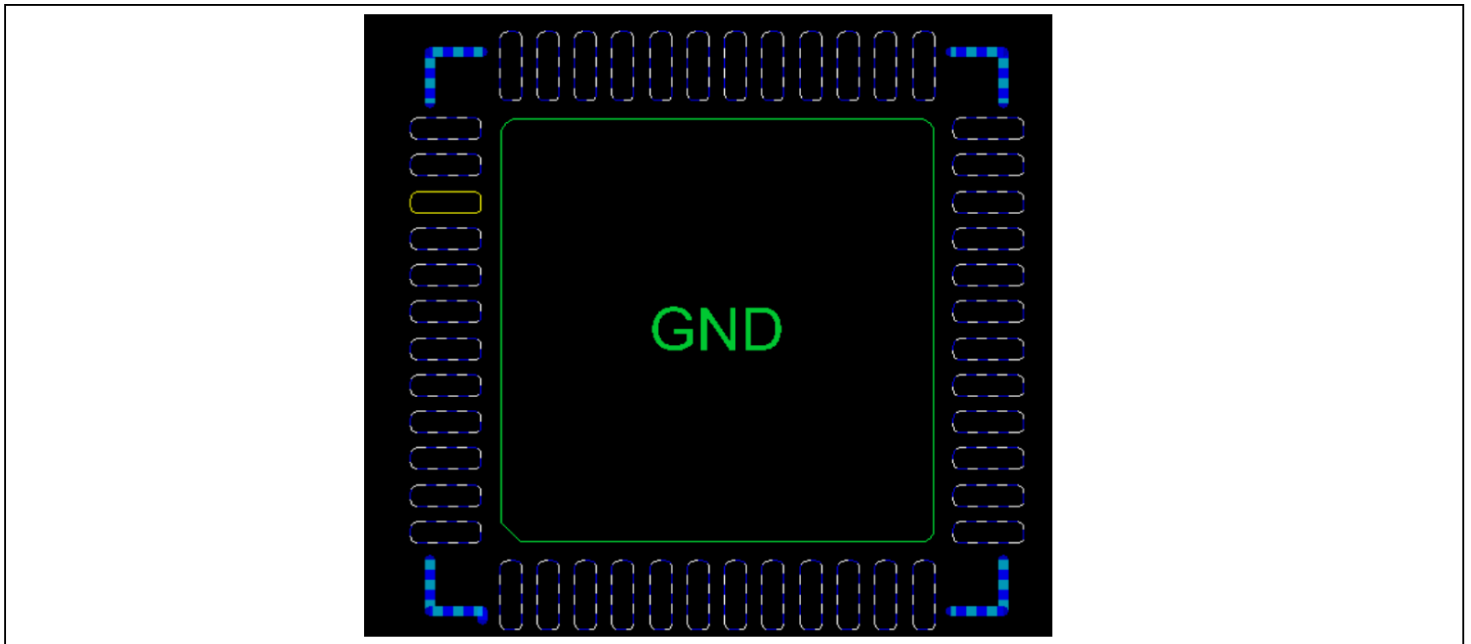


图 20 CCG6SF 48-QFN 的顶视图标准封装（推荐）

### 6.1 建议的焊盘尺寸

图 21 是 QFN 封装的推荐焊盘尺寸。

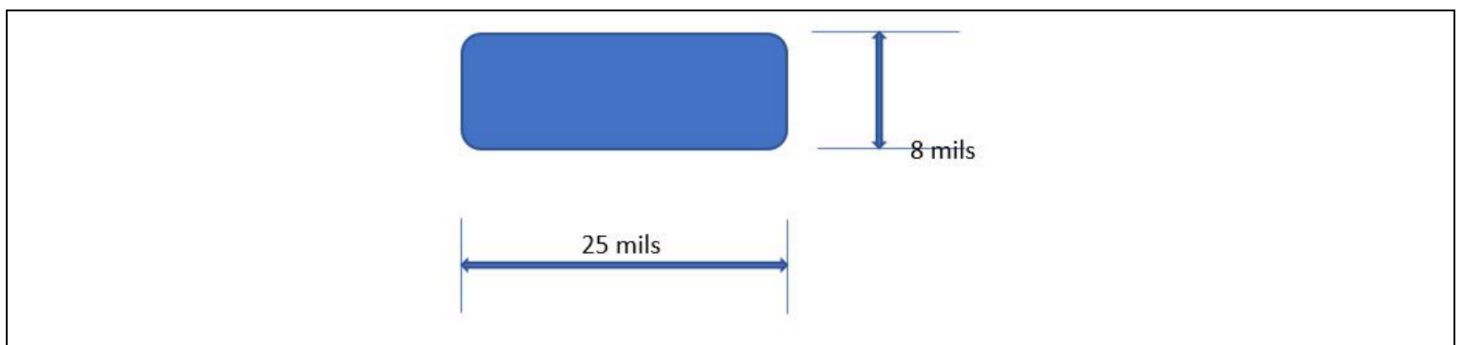


图21 QFN焊盘尺寸

## 6.2 堆叠

图 22 显示了具有 1 盎司铜的典型 6 层叠层。

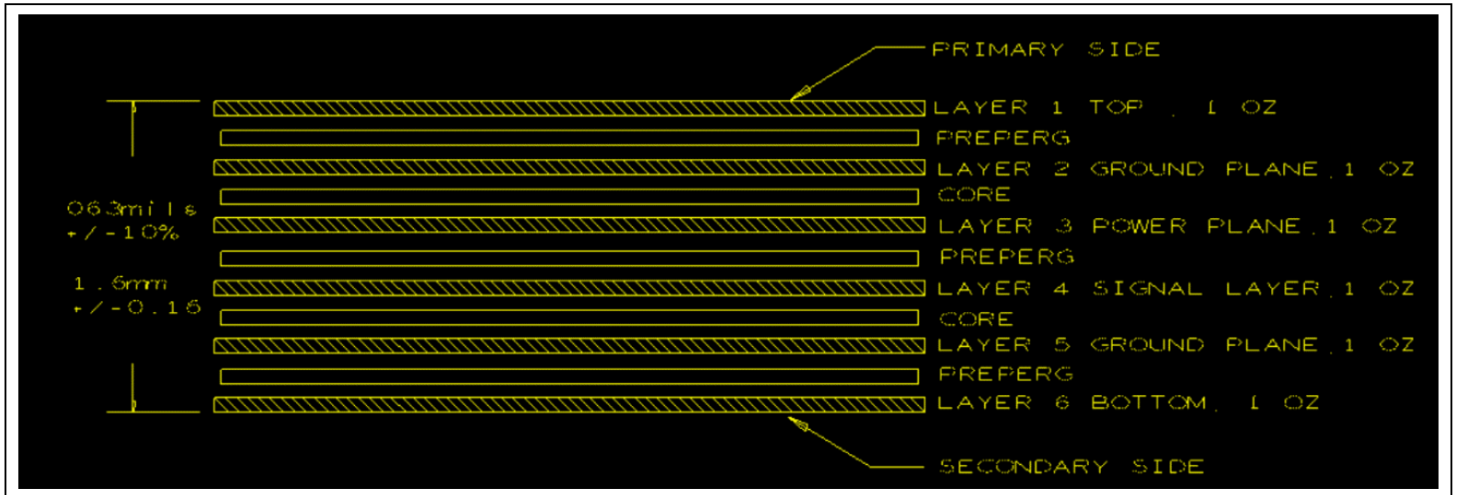


图22 六层堆叠

## 6.3 48-QFN扇出

CCG6SF 48-QFN 器件的所有 QFN 焊盘均采用 5 mil 走线宽度，并符合 MDI 标准。最好在每个 VBUS 提供商输入 (VBUS\_P) 焊盘和 Type-C VBUS 连接器输入 (VBUS\_C) 焊盘上使用 5 mil 的走线，然后与相应的电源形状连接。否则，较宽的走线宽度会导致焊盘之间没有阻焊层，并导致组装过程中出现对准问题。

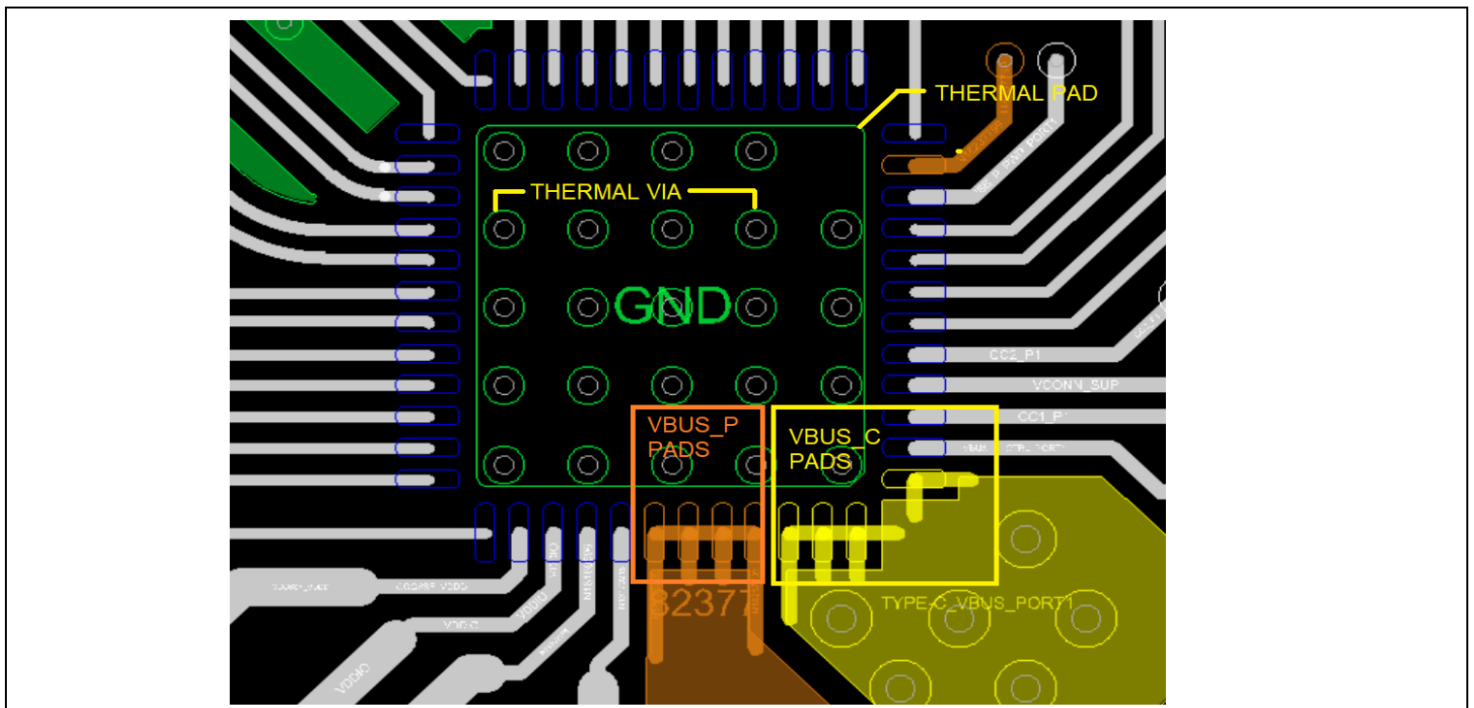


图 23 带热通孔的 QFN 扇出

## 6.4 导热垫上的通孔数量

如图 24 所示，CCG6SF 48-QFN 器件的导热垫上有  $5 \times 5$  过孔阵列（25 个过孔）。建议导热垫上至少有  $4 \times 4$  过孔阵列（16 个过孔）以满足散热性能要求。过孔阵列表示 EPAD 行和列上的过孔数量。每个过孔的尺寸至少应为 10 mil 钻孔和 20 mil 直径。每个过孔的热阻为  $179^\circ\text{C}/\text{W}$ 。增加  $4 \times 4$  过孔将有助于将热阻降低至（ $179/16$  个过孔） $11^\circ\text{C}/\text{W}$ ，并有助于更好地散热。热阻越小，散热性能越好。此路径上需要电源层才能承载约 6 A 的电流。

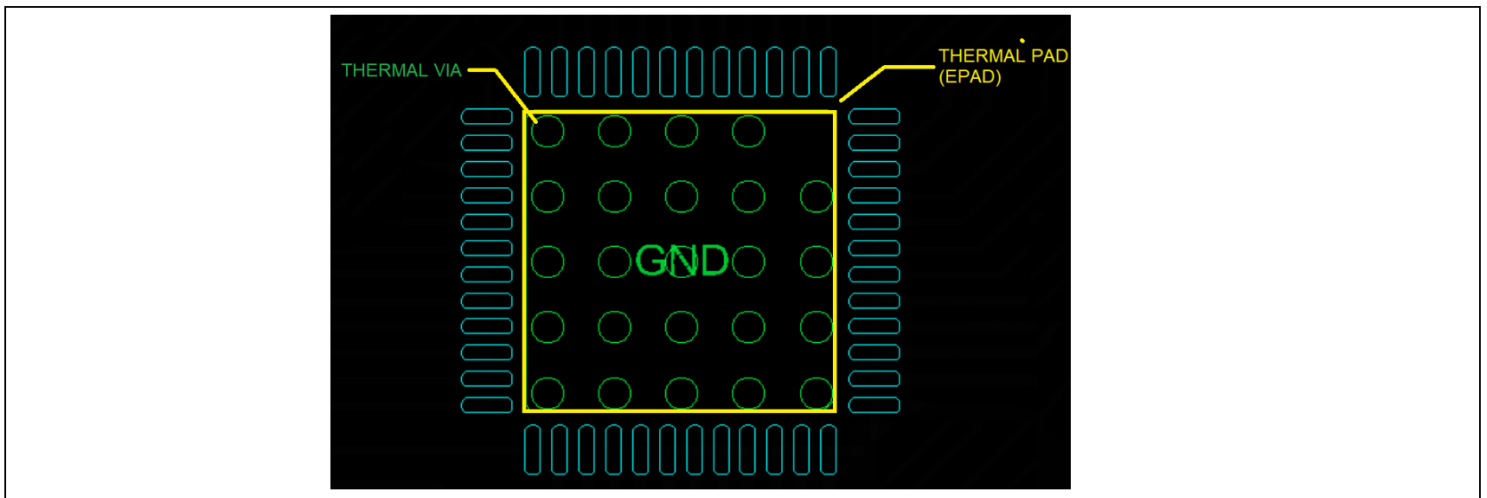


图 24 导热垫（EPAD）和导热过孔

## 6.5 VBUS\_P 和 VBUS\_C 焊盘的过孔数量

如图 25 所示，建议在顶层和底层的 VBUS\_P 和 VBUS\_C 焊盘周围进行覆铜，并至少设置 6 个过孔。此外，建议将电源层拆分到其他层以满足散热性能要求。这些过孔对于更好地散热至关重要。

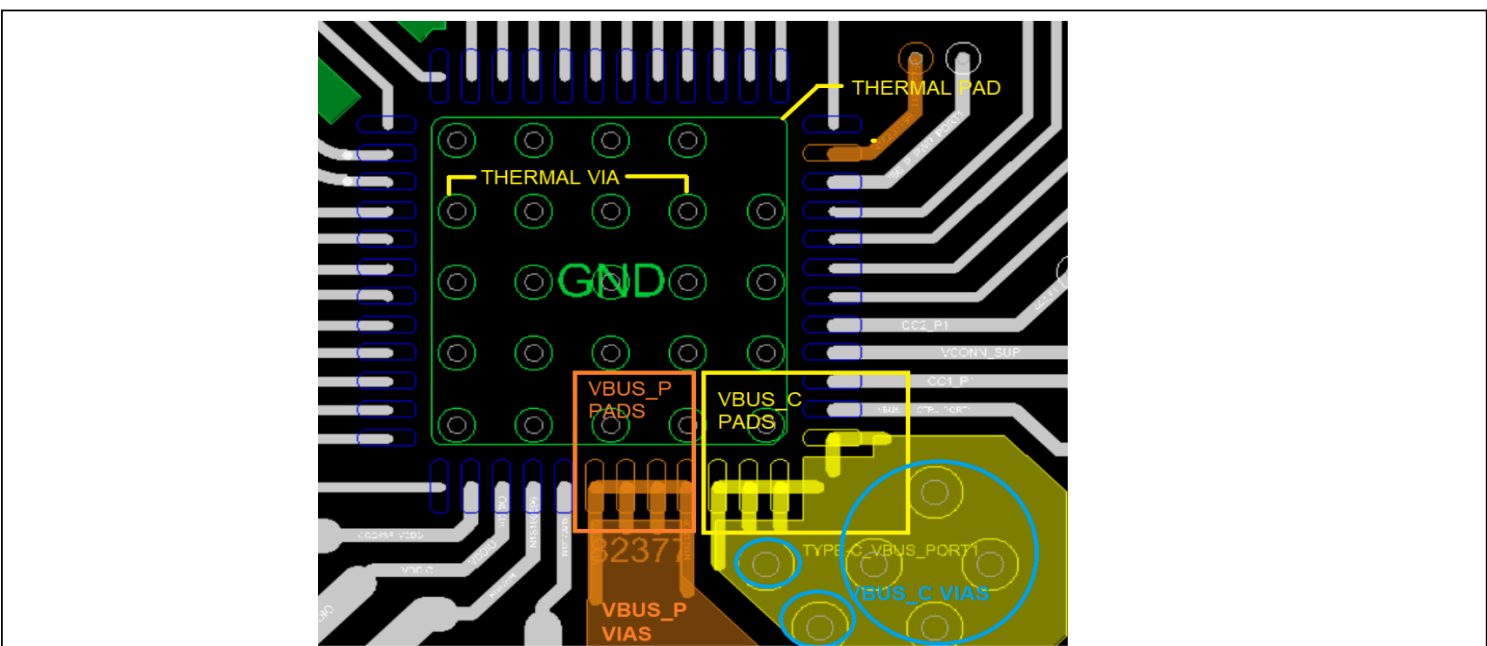


图 25 VBUS\_P 和 VBUS\_C 的过孔数量（8/16 或 10/16 过孔尺寸）

## 6.6 高速 (DP/DM\_SYS、DP/DM\_BOT、DP/DM\_TOP) USB 连接扇出

图 26 显示差分扇出。从 CCG6SF 到连接器的 DP/DM 线路应采用差分布线，且长度匹配公差为  $\pm 10\%$ 。应保持  $90^\circ$  阻抗。

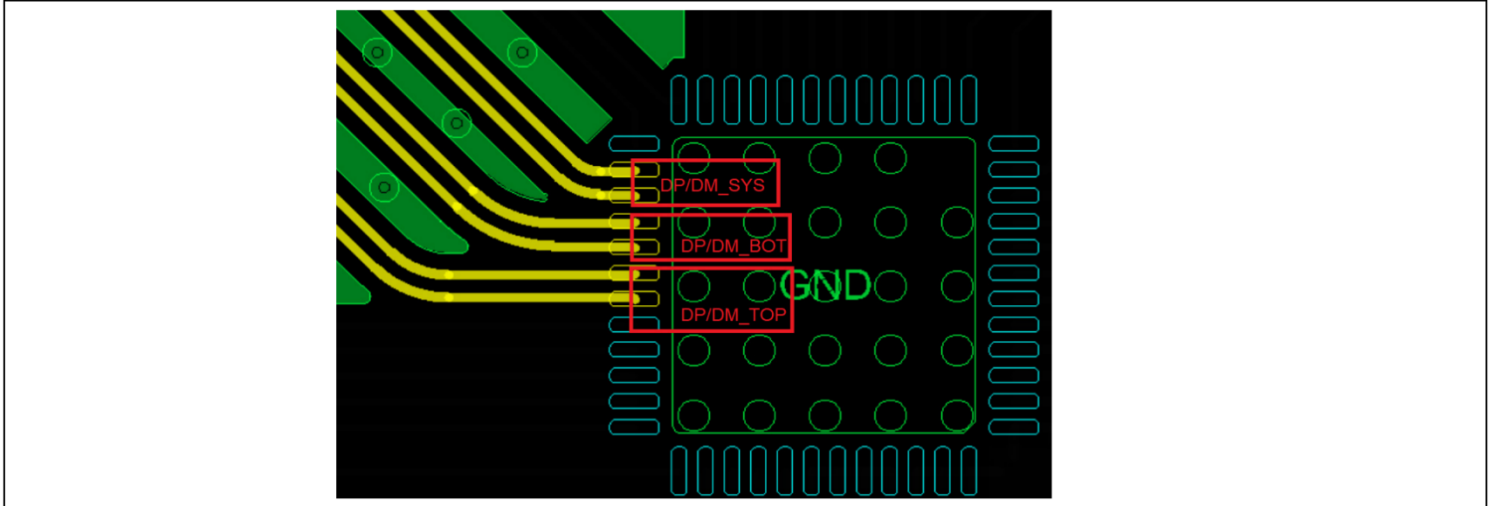


图 26 差分扇出

## 6.7 CC 连接

CCG6DF/CCG6SF 器件的 CC 线路承载约 500 mA 电流。建议 CC1、CC2 和 V5V 焊盘的走线宽度为 0.15 mm。电容位于底层，并布线至 Type-C 连接器。CC1 和 CC2 的扇出如图 27 和图 28 所示。

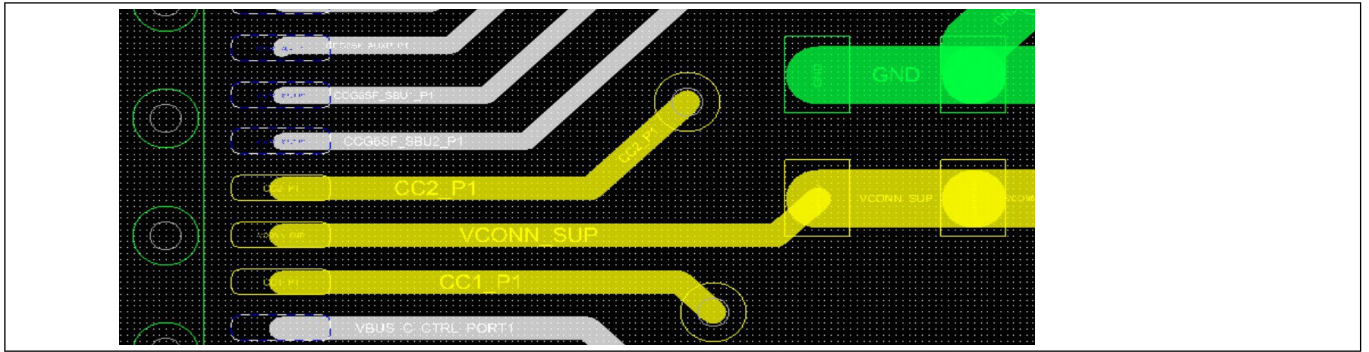


图 27 CC1 和 CC2 扇出

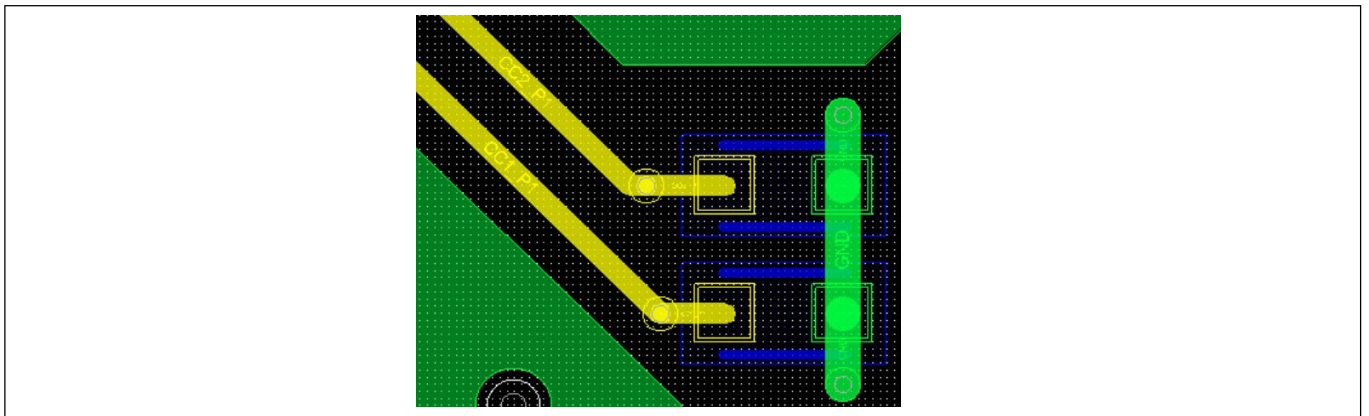


图 28 CC1 和 CC2 电容

## 6.8 V<sub>DDIO</sub>、V<sub>CCD</sub>、V<sub>SYS</sub> 和 V<sub>DDD</sub> 连接

图 29 显示了 V<sub>DDIO</sub>、V<sub>DDD</sub>、V<sub>SYS</sub> 和 V<sub>CCD</sub> 信号如何在顶层和底层之间路由。

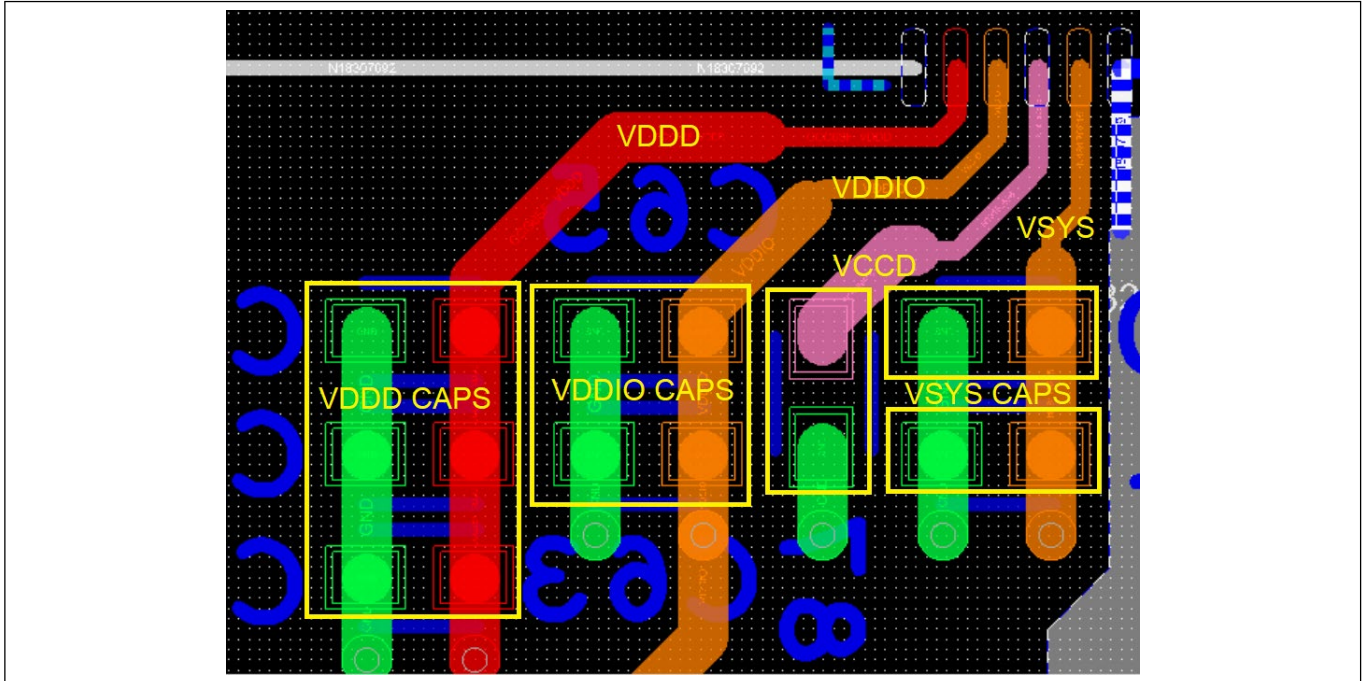


图 29 V<sub>DDIO</sub>、V<sub>CCD</sub>、V<sub>SYS</sub> 和 V<sub>DDD</sub> 连接

## 7 电气规格参数

### 7.1 绝对最大额定值

表5 绝对最大额定值<sup>[4]</sup>

| Parameter             | Description                                                                        | Min                 | Typ | Max              | Unit | Details/conditions                                                                                     |
|-----------------------|------------------------------------------------------------------------------------|---------------------|-----|------------------|------|--------------------------------------------------------------------------------------------------------|
| $V_{SYS\_MAX}$        | Supply relative to $V_{SS}$                                                        | -                   | -   | 6                | V    | -                                                                                                      |
| $V_{5V\_MAX}$         | Max supply voltage relative to $V_{SS}$                                            | -                   | -   | 6                |      |                                                                                                        |
| $V_{BUS\_C}$          | $V_{BUS}$ voltage relative to $V_{SS}$                                             | -0.3 <sup>[5]</sup> | -   | 24               |      |                                                                                                        |
| $V_{DDIO\_MAX}$       | Max supply voltage relative to $V_{SS}$                                            | -                   | -   | $V_{DDD}$        |      |                                                                                                        |
| $V_{GPIO\_ABS}$       | Inputs to GPIO, DP/DM mux (UART, SYS, DP/DM_top/bot pins), SBU mux (SBU1/2 pins)   | -0.5                | -   | $V_{DDIO} + 0.5$ |      |                                                                                                        |
| $I_{GPIO\_ABS}$       | Maximum current per GPIO                                                           | -25                 | -   | 25               | mA   | -                                                                                                      |
| $I_{GPIO\_INJECTION}$ | GPIO injection current, max for $V_{IH} > V_{DDD}$ , and min for $V_{IL} < V_{SS}$ | -0.5                | -   | 0.5              |      | Absolute max, current injected per pin                                                                 |
| ESD_HBM               | Electrostatic discharge human body model                                           | 2200                | -   | -                | V    | Applicable for all pins except SBU1_P0/1, SBU2_P0/1, CC1_0/1, CC2_0/1, VBUS_P_P0/1 & VBUS_C_P0/1 pins. |
| ESD_HBM_SBU           | Electrostatic discharge human body model for SBU1, SBU2 pins                       | 1100                | -   | -                |      | Only applicable to SBU1_P0/1, SBU2_P0/1 pins                                                           |
| ESD_HBM_CC            | Electrostatic discharge human body model for CC1 and CC2 pins for both ports       | 1100                | -   | -                |      | Only applicable to CC1_P0/1, CC2_P0/1 pins                                                             |
| ESD_CDM               | Electrostatic discharge charged device model                                       | 500                 | -   | -                |      | Charged device model ESD                                                                               |
| ESD_HBM_VBUS          | Electrostatic discharge human body model for VBUS_P_P0/1 & VBUS_C_P0/1 pins        | 500                 | -   | -                | V    | Only applicable to VBUS_P_P0/1 and VBUS_C_P0/1 pins                                                    |
| LU                    | Pin current for latch-up                                                           | -100                | -   | 100              | mA   | -                                                                                                      |

#### 注:

- 表5 列出了绝对最大条件之上的使用可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103 高温存储寿命。在绝对最大条件以下但高于正常运行条件的情况下使用时，器件可能无法按规格运行。
- 在一个系统中，如果负尖峰超过此处指定的最小电压，建议添加肖特基二极管来钳位负尖峰。

电气规格参数

表 5 绝对最大额定值<sup>[4]</sup>

| Parameter      | Description                         | Min  | Typ | Max | Unit | Details/conditions                   |
|----------------|-------------------------------------|------|-----|-----|------|--------------------------------------|
| VCC_PIN_ABS    | Max voltage on CC1 and CC2 pins     | -    | -   | 24  | V    | -                                    |
| VSBU_PIN_ABS   | Max voltage on SBU1 and SBU2 pins   | -    | -   | 24  |      |                                      |
| VGPIO_OVT_ABS  | OVT pins (16, 17) voltage           | -0.5 | -   | 6   |      |                                      |
| T <sub>A</sub> | Internal system ambient temperature | -40  | -   | 55  | °C   | Ambient temp inside system enclosure |
| T <sub>J</sub> | Junction temperature                | -40  | -   | 125 |      | -                                    |

电气规格参数

## 7.2 器件级规范

除非另有说明，所有规格均适用于  $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$  和  $T_J \leq 125^{\circ}\text{C}$ 。  
除非另有说明，否则这些规范的适用电压范围为 3.0~5.5 V。

### 7.2.1 直流规范

表6 直流规范 (工作条件)

| Spec ID      | Parameter                  | Description                                            | Min                     | Typ | Max              | Unit          | Details/conditions                                                                                                                                                                                                               |
|--------------|----------------------------|--------------------------------------------------------|-------------------------|-----|------------------|---------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| SID.PWR#23   | $V_{\text{SYS\_UFP}}$      | VSYS valid range                                       | 2.75                    | -   | 5.5              | V             | UFP applications                                                                                                                                                                                                                 |
| SID.PWR#23_A | $V_{\text{SYS\_UFP\_DRP}}$ | -                                                      | 3                       | -   | 5.5              |               | DFP/DRP applications                                                                                                                                                                                                             |
| PWR#22       | VBUS_C                     | VBUS_C port 0/1 valid range                            | 4                       | -   | 21.5             |               | -                                                                                                                                                                                                                                |
| SID.PWR#22A  | VBUS_MAX                   | Max VBUS_C_P0/1 voltage relative to VSS                | -                       | -   | 24               |               | -40°C to +55°C $T_A$ , absolute maximum A far-end short through cable resulting in a maximum of 30 V allowed with the following conditions: Max pulse-width of 2 at 27 V<br>No more than 1000 times during the entire life-cycle |
| SID.PWR#24   | VBUS_P                     | VBUS_P port 0/1 valid range                            | 4.9                     | -   | 5.5              |               | This is not a power pin.                                                                                                                                                                                                         |
| SID.PWR#1    | $V_{\text{DDD}}$           | Regulated output voltage when $V_{\text{SYS}}$ powered | $V_{\text{SYS}} - 0.05$ | -   | $V_{\text{SYS}}$ |               | $-40^{\circ}\text{C} \leq T_A \leq +55^{\circ}\text{C}$                                                                                                                                                                          |
| SID.PWR#1_A  | $V_{\text{DDD}}$           | Regulated output voltage when $V_{\text{BUS}}$ powered | 3                       | -   | 3.65             |               | $-40^{\circ}\text{C} \leq T_A \leq +55^{\circ}\text{C}$                                                                                                                                                                          |
| SID.PWR#26   | $V_{5V}$                   | -                                                      | 4.85                    | -   | 5.5              |               | -                                                                                                                                                                                                                                |
| SID.PWR#13   | $V_{\text{DDIO}}$          | Supply voltage for I/O                                 | $V_{\text{DDD}}$        | -   | $V_{\text{DDD}}$ |               | $-40^{\circ}\text{C} \leq T_A \leq +55^{\circ}\text{C}$ , all $V_{\text{DDD}}$                                                                                                                                                   |
| SID.PWR#24   | $V_{\text{CCD}}$           | Regulated output voltage (for core logic)              | -                       | 1.8 | -                |               | -                                                                                                                                                                                                                                |
| SID.PWR#15   | $C_{\text{EFC}}$           | Regulator bypass capacitor for $V_{\text{CCD}}$        | -                       | 100 | -                | nF            | X5R ceramic                                                                                                                                                                                                                      |
| SID.PWR#16   | $C_{\text{EXC}}$           | Power supply decoupling capacitor for $V_{\text{DDD}}$ | -                       | 1   | -                | $\mu\text{F}$ |                                                                                                                                                                                                                                  |

在活动模式下， $V_{\text{SYS}} = 2.75 \text{ V} \sim 5.5 \text{ V}$ 。典型值的测量条件为： $V_{\text{SYS}} = 3.3 \text{ V}$

|           |                   |                |   |    |   |    |                                                                                                                    |
|-----------|-------------------|----------------|---|----|---|----|--------------------------------------------------------------------------------------------------------------------|
| SID.PWR#4 | $I_{\text{DD12}}$ | Supply current | - | 10 | - | mA | $T_A = 25^{\circ}\text{C}$ , CC I/O IN transmit or receive, no I/O sourcing current, CPU at 24 MHz, PD port active |
|-----------|-------------------|----------------|---|----|---|----|--------------------------------------------------------------------------------------------------------------------|

电气规格参数

**表 6** 直流规范 (工作条件) (续)

| Spec ID                                             | Parameter     | Description                                                                           | Min | Typ | Max | Unit | Details/conditions                                                                                                                                                                                                          |
|-----------------------------------------------------|---------------|---------------------------------------------------------------------------------------|-----|-----|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 深度睡眠模式, $V_{SYS} = 2.75\text{ V} \sim 3.6\text{ V}$ |               |                                                                                       |     |     |     |      |                                                                                                                                                                                                                             |
| SID34                                               | $I_{DD29}$    | $V_{SYS} = 2.75$ to $3.6\text{ V}$ , I <sup>2</sup> C, wakeup and WDT on.             | -   | 150 | -   | μA   | $V_{SYS} = 3.3\text{ V}$ , $T_A = 25^\circ\text{C}$                                                                                                                                                                         |
| SID_DS1                                             | $I_{DD\_DS1}$ | $V_{SYS} = 3.3\text{ V}$ , CC wakeup on, Type-C not connected.                        | -   | 200 | -   | μA   | Power source = $V_{SYS}$ , Type-C not attached, CC enabled for wakeup, $R_P$ and $R_D$ connected at 70-ms intervals by CPU. $R_D$ connection should be enabled by both PD ports.                                            |
| SID_DS3                                             | $I_{DD\_DS2}$ | $V_{SYS} = 3.3\text{ V}$ , CC wakeup on, DP/DM, SBU ON with Provider NGDO/CSA/UVOV On | -   | 500 | -   |      | One port attached, Chip in Deep Sleep<br><b>Note:</b><br>VBUS_C_CTRL_P0 and VBUS_C_CTRL_P1 should be OFF for the CCG6DF controller and VBUS_C_CTRL should be OFF for CCG6SF controller to be able to enter Deep Sleep mode. |
| <b>XRES电流</b>                                       |               |                                                                                       |     |     |     |      |                                                                                                                                                                                                                             |
| SID307                                              | $I_{DD\_XR}$  | Supply current while XRES asserted                                                    | -   | 130 | -   | μA   | Power source = $V_{SYS} = 3.3\text{ V}$ , Type-C not attached, $T_A = 25^\circ\text{C}$                                                                                                                                     |

电气规格参数

## 7.2.2 CPU

表7 CPU规范 (由特性保证)

| Spec ID    | Parameter              | Description                                               | Min | Typ | Max | Unit | Details/conditions                                   |
|------------|------------------------|-----------------------------------------------------------|-----|-----|-----|------|------------------------------------------------------|
| SID.CLK#4  | F <sub>CPU</sub>       | CPU input frequency                                       | -   | -   | 48  | MHz  | -40°C ≤ T <sub>A</sub> ≤ +55°C, all V <sub>DDD</sub> |
| SID.PWR#21 | T <sub>DEEPSLEEP</sub> | Wakeup from Deep Sleep mode                               | -   | 35  | -   | μs   | Guaranteed by characterization                       |
| SYS.XRES#5 | T <sub>XRES</sub>      | External reset pulse width                                | 5   | -   | -   |      |                                                      |
| SYS.FES#1  | T <sub>PWR_RDY</sub>   | Power-up to “Ready to accept I <sup>2</sup> C/CC command” | -   | 5   | 25  | ms   |                                                      |

电气规格参数

### 7.2.3 GPIO

表8 GPIO 直流规格

| Spec ID     | Parameter           | Description                                 | Min                    | Typ | Max                   | Unit       | Details/conditions                                                                    |
|-------------|---------------------|---------------------------------------------|------------------------|-----|-----------------------|------------|---------------------------------------------------------------------------------------|
| SID.GIO#37  | $V_{IH\_CMOS}$      | Input voltage HIGH threshold                | $0.7 \times V_{DDIO}$  | -   | -                     | V          | CMOS input                                                                            |
| SID.GIO#38  | $V_{IL\_CMOS}$      | Input voltage LOW threshold                 | -                      | -   | $0.3 \times V_{DDIO}$ |            |                                                                                       |
| SID.GIO#39  | $V_{IH\_VDDIO2.7-}$ | LVTTL input, $V_{DDIO} < 2.7 V$             | $0.7 \times V_{DDIO}$  | -   | -                     |            | -                                                                                     |
| SID.GIO#40  | $V_{IL\_VDDIO2.7-}$ | LVTTL input, $V_{DDIO} < 2.7 V$             | -                      | -   | $0.3 \times V_{DDIO}$ |            | -                                                                                     |
| SID.GIO#41  | $V_{IH\_VDDIO2.7+}$ | LVTTL input, $V_{DDIO} \geq 2.7 V$          | 2.0                    | -   | -                     |            | -                                                                                     |
| SID.GIO#42  | $V_{IL\_VDDIO2.7+}$ | LVTTL input, $V_{DDIO} \geq 2.7 V$          | -                      | -   | 0.8                   |            | -                                                                                     |
| SID.GIO#33  | $V_{OH\_3V}$        | Output voltage HIGH level                   | $V_{DDIO} - 0.6$       | -   | -                     |            | -                                                                                     |
| SID.GIO#35C | $V_{OL1\_20mA}$     | Output low voltage                          | -                      | -   | 0.4                   | -          | $I_{OL} = 20 mA$ , $V_{DDIO} > 3.0 V$ , applicable for overvoltage-tolerant pins only |
| SID.GIO#36  | $V_{OL\_3V}$        | Output voltage LOW level                    | -                      | -   | 0.6                   | V          | $I_{OL} = 10 mA$ at 3-V $V_{DDIO}$                                                    |
| SID.GIO#5   | Rpu                 | Pull-up resistor when enabled               | 3.5                    | 5.6 | 8.5                   | k $\Omega$ | +25°C $T_A$ , All $V_{DDIO}$                                                          |
| SID.GIO#6   | Rpd                 | Pull-down resistor when enabled             | 3.5                    | 5.6 | 8.5                   |            |                                                                                       |
| SID.GIO#16  | $I_{IL}$            | Input leakage current (absolute value)      | -                      | -   | 2                     | nA         | +25°C $T_A$ , 3-V $V_{DDIO}$                                                          |
| SID.GIO#17  | $C_{PIN}$           | Max pin capacitance                         | -                      | 3   | 7                     | pF         | -40°C $\leq T_A \leq$ +55°C, all $V_{DD}$ , all I/Os                                  |
| SID.GIO#43  | $V_{HYSTTL}$        | Input hysteresis, LVTTL, $V_{DDIO} > 2.7 V$ | 15                     | 40  | -                     | mV         | $V_{DDIO} > 2.7 V$ . Guaranteed by characterization.                                  |
| SID.GIO#44  | $V_{HYSCMOS}$       | Input hysteresis CMOS                       | $0.05 \times V_{DDIO}$ | -   | -                     |            | $V_{DDIO} < 4.5 V$                                                                    |
| SID.GIO#44A | $V_{HYSCMOS55}$     | Input hysteresis CMOS                       | 200                    | -   | -                     |            | $V_{DDIO} > 4.5 V$                                                                    |
| SID.GIO#41A | $V_{IH\_VCCHIB}$    | $V_{IH}$ , 1.8 V input mode                 | 1.26                   | -   | -                     | V          | -                                                                                     |
| SID.GIO#42A | $V_{IL\_VCCHIB}$    | $V_{IL}$ , 1.8 V input mode                 | -                      | -   | 0.54                  |            | -                                                                                     |
| SID.GIO#43A | $V_{HYS\_VCCHIB}$   | Input hysteresis, 1.8 V input mode          | 90                     | -   | -                     | mV         | -                                                                                     |

## 电气规格参数

**表9 GPIO交流规范 (由特性保证)**

| Spec ID    | Parameter        | Description                                                                               | Min | Typ | Max | Unit | Details/conditions                            |
|------------|------------------|-------------------------------------------------------------------------------------------|-----|-----|-----|------|-----------------------------------------------|
| SID70      | $T_{RISEF}$      | Rise time in Fast Strong mode                                                             | 2   | -   | 12  | ns   | $3.3-V_{DDIO}$ ,<br>$C_{load} = 25\text{ pF}$ |
| SID71      | $T_{FALLF}$      | Fall time in Fast Strong mode                                                             | 2   | -   | 12  |      |                                               |
| SID.GIO#46 | $T_{RISES}$      | Rise time in Slow Strong mode                                                             | 10  | -   | 60  |      |                                               |
| SID.GIO#47 | $T_{FALLS}$      | Fall time in Slow Strong mode                                                             | 10  | -   | 60  |      |                                               |
| SID.GIO#48 | $F_{GPIO\_OUT1}$ | GPIO $F_{OUT}$ ;<br>$3.3\text{ V} \leq V_{DDIO} \leq 5.5\text{ V}$ .<br>Fast Strong mode. | -   | -   | 16  | MHz  | 90/10%,<br>25-pF load                         |
| SID.GIO#49 | $F_{GPIO\_OUT2}$ | GPIO $F_{OUT}$ ;<br>$1.7\text{ V} \leq V_{DDIO} \leq 3.3\text{ V}$ .<br>Fast Strong mode. | -   | -   | 16  | MHz  | 90/10%,<br>25-pF load                         |
| SID.GIO#50 | $F_{GPIO\_OUT3}$ | GPIO $F_{OUT}$ ;<br>$3.3\text{ V} \leq V_{DDIO} \leq 5.5\text{ V}$ .<br>Slow Strong mode. | -   | -   | 7   |      |                                               |
| SID.GIO#51 | $F_{GPIO\_OUT4}$ | GPIO $F_{OUT}$ ;<br>$1.7\text{ V} \leq V_{DDIO} \leq 3.3\text{ V}$ .<br>Slow Strong mode. | -   | -   | 3.5 |      |                                               |
| SID.GIO#52 | $F_{GPIO\_IN}$   | GPIO input operating frequency;<br>$1.7\text{ V} \leq V_{DDIO} \leq 5.5\text{ V}$ .       | -   | -   | 16  |      | 90/10% $V_{IO}$                               |

## 7.2.4 XRES

**表10 XRES直流规格**

| Spec ID    | Parameter      | Description                              | Min                   | Typ                    | Max                   | Unit | Details/conditions             |
|------------|----------------|------------------------------------------|-----------------------|------------------------|-----------------------|------|--------------------------------|
| SID.XRES#1 | $V_{IH\_XRES}$ | Input voltage HIGH threshold on XRES pin | $0.7 \times V_{DDIO}$ | -                      | -                     | V    | CMOS input                     |
| SID.XRES#2 | $V_{IL\_XRES}$ | Input voltage LOW threshold on XRES pin  | -                     | -                      | $0.3 \times V_{DDIO}$ |      |                                |
| SID.XRES#3 | $C_{IN\_XRES}$ | Input capacitance on XRES pin            | -                     | -                      | 7                     | pF   | -                              |
| SID.XRES#4 | $V_{HYSXRES}$  | Input voltage hysteresis                 | -                     | $0.05 \times V_{DDIO}$ | -                     | mV   | Guaranteed by characterization |

## 7.3 数字外设

下列规范适用于定时器模式下的定时器/计数器/PWM外设。

### 7.3.1 GPIO引脚的脉冲宽度调制 (PWM)

表11 PWM交流规范 (由特性保证)

| Spec ID      | Parameter             | Description                  | Min  | Typ | Max | Unit | Details/conditions                                                                           |
|--------------|-----------------------|------------------------------|------|-----|-----|------|----------------------------------------------------------------------------------------------|
| SID.TCPWM.3  | TCPWM <sub>FREQ</sub> | Operating frequency          | -    | -   | Fc  | MHz  | Fc max = 48 MHz                                                                              |
| SID.TCPWM.4  | T <sub>PWMENEXT</sub> | Input trigger pulse width    | 2/Fc | -   | -   | ns   | For all trigger events                                                                       |
| SID.TCPWM.5  | T <sub>PWMEXT</sub>   | Output trigger pulse width   | 2/Fc | -   | -   |      | Minimum possible width of overflow, underflow, and CC (counter equals compare value) outputs |
| SID.TCPWM.5A | T <sub>CRES</sub>     | Resolution of counter        | 1/Fc | -   | -   |      | Minimum time between successive counts                                                       |
| SID.TCPWM.5B | PWM <sub>RES</sub>    | PWM resolution               | 1/Fc | -   | -   |      | Minimum pulse width of PWM output                                                            |
| SID.TCPWM.5C | Q <sub>RES</sub>      | Quadrature inputs resolution | 1/Fc | -   | -   |      | Minimum pulse width between quadrature-phase inputs                                          |

### 7.3.2 I<sup>2</sup>C

表12 固定 I<sup>2</sup>C AC规格 (由特性保证)

| Spec ID | Parameter         | Description | Min | Typ | Max | Unit | Details/conditions |
|---------|-------------------|-------------|-----|-----|-----|------|--------------------|
| SID153  | F <sub>I2C1</sub> | Bit rate    | -   | -   | 1   | Mbps | -                  |

### 7.3.3 UART

表 13 固定 UART AC 规格 (由特性保证)

| Spec ID | Parameter         | Description | Min | Typ | Max | Unit | Details/conditions |
|---------|-------------------|-------------|-----|-----|-----|------|--------------------|
| SID162  | F <sub>UART</sub> | Bit rate    | -   | -   | 1   | Mbps | -                  |

电气规格参数

## 7.3.4 SPI

**表 14 固定 SPI AC 规格 (由特性保证)**

| Spec ID | Parameter | Description                                       | Min | Typ | Max | Unit | Details/conditions |
|---------|-----------|---------------------------------------------------|-----|-----|-----|------|--------------------|
| SID166  | $F_{SPI}$ | SPI operating frequency (Master; 6X oversampling) | -   | -   | 8   | MHz  | -                  |

**表 15 固定的SPI主设备模式交流规范 (由特性保证)**

| Spec ID | Parameter | Description                           | Min | Typ | Max | Unit | Details/conditions               |
|---------|-----------|---------------------------------------|-----|-----|-----|------|----------------------------------|
| SID167  | $T_{DMO}$ | MOSI valid after SClk driving edge    | -   | -   | 15  | ns   | -                                |
| SID168  | $T_{DSI}$ | MISO valid before SClk capturing edge | 20  | -   | -   |      | Full clock, late MISO sampling   |
| SID169  | $T_{HMO}$ | Previous MOSI data hold time          | 0   | -   | -   |      | Referred to slave capturing edge |

**表 16 固定的SPI主设备模式交流规范 (由特性保证)**

| Spec ID | Parameter      | Description                                        | Min | Typ | Max                       | Unit | Details/conditions    |
|---------|----------------|----------------------------------------------------|-----|-----|---------------------------|------|-----------------------|
| SID170  | $T_{DMI}$      | MOSI valid before SClk capturing edge              | 40  | -   | -                         | ns   | -                     |
| SID171  | $T_{DSO}$      | MISO valid after SClk driving edge                 | -   | -   | $48 + (3 \times T_{CPU})$ |      | $T_{CPU} = 1/F_{CPU}$ |
| SID171A | $T_{DSO\_EXT}$ | MISO valid after SClk driving edge in Ext Clk mode | -   | -   | 48                        |      | -                     |
| SID172  | $T_{HSO}$      | Previous MISO data hold time                       | 0   | -   | -                         |      | -                     |
| SID172A | $T_{SSELSCK}$  | SSEL valid to first SCK Valid edge                 | 100 | -   | -                         |      | -                     |

电气规格参数

## 7.3.5 存储器

表 17 Flash 交流规格

| Spec ID   | Parameter               | Description                                             | Min  | Typ | Max | Unit   | Details/conditions                                   |
|-----------|-------------------------|---------------------------------------------------------|------|-----|-----|--------|------------------------------------------------------|
| SID.MEM#4 | T <sub>ROW_WRITE</sub>  | Row (Block) write time (erase and program)              | -    | -   | 20  | ms     | -40°C ≤ T <sub>A</sub> ≤ +55°C, all V <sub>DDD</sub> |
| SID.MEM#3 | T <sub>ROW_ERASE</sub>  | Row erase time                                          | -    | -   | 13  |        |                                                      |
| SID.MEM#8 | T <sub>ROWPROGRAM</sub> | Row program time after erase                            | -    | -   | 7   |        |                                                      |
| SID178    | T <sub>BULKERASE</sub>  | Bulk erase time (64 KB)                                 | -    | -   | 35  | s      | Guaranteed by design                                 |
| SID180    | T <sub>DEVPROG</sub>    | Total device program time                               | -    | -   | 25  |        |                                                      |
| SID.MEM#6 | FLASH_ENPB              | Flash write endurance                                   | 100k | -   | -   | cycles | -                                                    |
| SID182    | F <sub>RET1</sub>       | Flash retention, T <sub>A</sub> ≤ 55°C, 100K P/E cycles | 20   | -   | -   | years  | -                                                    |
| SID182A   | F <sub>RET2</sub>       | Flash retention, T <sub>A</sub> ≤ 85°C, 10K P/E cycles  | 10   | -   | -   |        | -                                                    |

## 7.4 系统资源

### 7.4.1 欠压情况下的上电复位 (POR)

表 18 非精确上电复位 (IPOR)

| Spec ID | Parameter             | Description                              | Min  | Typ | Max  | Unit | Details/conditions |
|---------|-----------------------|------------------------------------------|------|-----|------|------|--------------------|
| SID185  | V <sub>RISEIPOR</sub> | Power-on reset (POR) rising trip voltage | 0.80 | -   | 1.50 | V    | -                  |
| SID186  | V <sub>FALLIPOR</sub> | POR falling trip voltage                 | 0.70 | -   | 1.4  |      |                    |

表 19 精确 POR

| Spec ID | Parameter              | Description                                               | Min  | Typ | Max  | Unit | Details/conditions |
|---------|------------------------|-----------------------------------------------------------|------|-----|------|------|--------------------|
| SID190  | V <sub>FALLPPOR</sub>  | Brown-out detect (BOD) trip voltage in active/sleep modes | 1.48 | -   | 1.62 | V    | -                  |
| SID192  | V <sub>FALLDPSLP</sub> | BOD trip voltage in Deep Sleep mode                       | 1.1  | -   | 1.5  |      |                    |

### 7.4.2 SWD接口

表 20 SWD接口规范

| Spec ID   | Parameter    | Description                                           | Min             | Typ | Max             | Unit | Details/conditions                    |
|-----------|--------------|-------------------------------------------------------|-----------------|-----|-----------------|------|---------------------------------------|
| SID.SWD#1 | F_SWDCCLK1   | $3.3\text{ V} \leq V_{\text{DDIO}} \leq 5.5\text{ V}$ | -               | -   | 14              | MHz  | SWDCLK $\leq$ 1/3 CPU clock frequency |
| SID.SWD#2 | F_SWDCCLK2   | $1.8\text{ V} \leq V_{\text{DDIO}} \leq 3.3\text{ V}$ | -               | -   | 7               |      |                                       |
| SID.SWD#3 | T_SWDI_SETUP | $T = 1/f\text{ SWDCLK}$                               | $0.25 \times T$ | -   | -               | ns   | -                                     |
| SID.SWD#4 | T_SWDI_HOLD  | $T = 1/f\text{ SWDCLK}$                               | $0.25 \times T$ | -   | -               |      |                                       |
| SID.SWD#5 | T_SWDO_VALID | $T = 1/f\text{ SWDCLK}$                               | -               | -   | $0.50 \times T$ |      |                                       |
| SID.SWD#6 | T_SWDO_HOLD  | $T = 1/f\text{ SWDCLK}$                               | 1               | -   | -               |      |                                       |

### 7.4.3 内部主振荡器

表 21 IMO AC规范 (由设计保证)

| Spec ID    | Parameter             | Description                             | Min | Typ | Max     | Unit          | Details/conditions                                                                                                 |
|------------|-----------------------|-----------------------------------------|-----|-----|---------|---------------|--------------------------------------------------------------------------------------------------------------------|
| SID.CLK#13 | F <sub>IMOTOL</sub>   | Frequency variation at 48 MHz (trimmed) | -   | -   | $\pm 2$ | %             | $2.7\text{ V} \leq V_{\text{DDD}} < 5.5\text{ V}$ ,<br>$-25^\circ\text{C} \leq T_{\text{A}} \leq 55^\circ\text{C}$ |
| SID226     | T <sub>STARTIMO</sub> | IMO start-up time                       | -   | -   | 7       | $\mu\text{s}$ | -                                                                                                                  |
| SID.CLK#1  | F <sub>IMO</sub>      | IMO frequency                           | -   | 48  | -       | MHz           | $-40^\circ\text{C} \leq T_{\text{A}} \leq +55^\circ\text{C}$ ,<br>all V <sub>DDD</sub>                             |

电气规格参数

## 7.4.4 内部低速振荡器

表 22 ILO AC 规格

| Spec ID   | Parameter              | Description                   | Min | Typ | Max | Unit | Details/conditions             |
|-----------|------------------------|-------------------------------|-----|-----|-----|------|--------------------------------|
| SID234    | T <sub>STARTILO1</sub> | I <sub>LO</sub> start-up time | -   | -   | 2   | ms   | Guaranteed by characterization |
| SID238    | T <sub>ILODUTY</sub>   | I <sub>LO</sub> duty cycle    | 40  | 50  | 60  | %    |                                |
| SID.CLK#5 | F <sub>ILO</sub>       | I <sub>LO</sub> frequency     | 20  | 40  | 80  | kHz  | -                              |

## 7.4.5 Consumer NGDO

表 23 Consumer NGDO 规范

| Spec ID  | Parameter        | Description                                                       | Min  | Typ | Max       | Unit | Details/conditions                                                                                                  |
|----------|------------------|-------------------------------------------------------------------|------|-----|-----------|------|---------------------------------------------------------------------------------------------------------------------|
| SID.GD.1 | GD_VGS           | Gate to source overdrive during ON condition                      | 4.5  | -   | 10        | V    | NFET driver is ON.                                                                                                  |
| SID.GD.2 | GD_RPD           | Resistance when pull-down enabled                                 | -    | -   | 2         | kΩ   | Applicable on VBUS_C_CTRL_P0/1 to turn OFF external NFET.                                                           |
| SID.GD.3 | GD_VGS_OFF       | Gate to Source overdrive during OFF condition                     | -    | -   | -VBUS_MAX | V    | External NFET must be able to tolerate "VGS < -VBUS_MAX" in OFF state as Vgate = 0 V.                               |
| SID.GD.4 | IOUT_VBUS_C_CTRL | Output current from VBUS_C_CTRL pin when consumer NGDO is enabled | 3.44 | 4.3 | 5.16      | μA   | Consumer NGDO is enabled and voltage on VBUS_C_CTRL pin at 1.4 V–5.5 V (decimal setting of slew-ctrl register = 27) |

电气规格参数

## 7.4.6 PD

表 24 PD直流规格

| Spec ID           | Parameter        | Description                                                            | Min   | Typ | Max   | Unit | Details/conditions   |
|-------------------|------------------|------------------------------------------------------------------------|-------|-----|-------|------|----------------------|
| SID.DC.cc_shvt.1  | vSwing           | Transmitter output high voltage                                        | 1.05  | -   | 1.2   | V    | -                    |
| SID.DC.cc_shvt.2  | vSwing_low       | Transmitter output low voltage                                         | -     | -   | 0.075 |      | -                    |
| SID.DC.cc_shvt.3  | zDriver          | Transmitter output impedance                                           | 33    | -   | 75    | Ω    | -                    |
| SID.DC.cc_shvt.4  | zBmcRx           | Receiver input impedance                                               | 10    | -   | -     | MΩ   | Guaranteed by design |
| SID.DC.cc_shvt.5  | Idac_std         | Source current for USB standard advertisement                          | 64    | -   | 96    | μA   | -                    |
| SID.DC.cc_shvt.6  | Idac_1p5a        | Source current for 1.5 A at 5 V advertisement                          | 165.6 | -   | 194.4 |      | -                    |
| SID.DC.cc_shvt.7  | Idac_3a          | Source current for 3 A at 5 V advertisement                            | 303.6 | -   | 356.4 |      | -                    |
| SID.DC.cc_shvt.8  | Rd               | Pull down termination resistance when acting as UFP                    | 4.59  | -   | 5.61  | kΩ   | -                    |
| SID.DC.cc_shvt.9  | Rd_db            | Pull down termination resistance when acting as UFP, with dead battery | 4.08  | -   | 6.12  |      | -                    |
| SID.DC.cc_shvt.10 | zOPEN            | CC impedance to ground when disabled                                   | 108   | -   | -     |      | -                    |
| SID.DC.cc_shvt.11 | DFP_default_0p2  | CC voltages on DFP side-standard USB                                   | 0.15  | -   | 0.25  | V    | -                    |
| SID.DC.cc_shvt.12 | DFP_1.5A_0p4     | CC voltages on DFP side-1.5 A                                          | 0.35  | -   | 0.45  |      | -                    |
| SID.DC.cc_shvt.13 | DFP_3A_0p8       | CC voltages on DFP side-3 A                                            | 0.75  | -   | 0.85  |      | -                    |
| SID.DC.cc_shvt.14 | DFP_3A_2p6       | CC voltages on DFP side-3 A                                            | 2.45  | -   | 2.75  |      | -                    |
| SID.DC.cc_shvt.15 | UFP_default_0p66 | CC voltages on UFP side-standard USB                                   | 0.61  | -   | 0.7   |      | -                    |
| SID.DC.cc_shvt.16 | UFP_1.5A_1p23    | CC voltages on UFP side-1.5 A                                          | 1.16  | -   | 1.31  |      | -                    |
| SID.DC.cc_shvt.17 | Vattach_ds       | Deep sleep attach threshold                                            | 0.3   | -   | 0.6   | %    | -                    |
| SID.DC.cc_shvt.18 | Rattach_ds       | Deep sleep pull-up resistor                                            | 10    | -   | 50    | kΩ   | -                    |

电气规格参数

**表 24 PD 直流规格 (续)**

| Spec ID           | Parameter | Description                            | Min  | Typ | Max  | Unit | Details/conditions |
|-------------------|-----------|----------------------------------------|------|-----|------|------|--------------------|
| SID.DC.cc_shvt.19 | VTX_step  | TX drive voltage step size             | 80   | -   | 120  | mV   | -                  |
| SID.DC.cc_shvt.30 | FS_0p53   | Voltage threshold for fast swap detect | 0.49 | -   | 0.58 | V    | -                  |

## 7.4.7 模数转换器

**表25 ADC直流规格**

| Spec ID   | Parameter  | Description                | Min         | Typ | Max         | Unit | Details/conditions                                    |
|-----------|------------|----------------------------|-------------|-----|-------------|------|-------------------------------------------------------|
| SID.ADC.1 | Resolution | ADC resolution             | -           | 8   | -           | Bits | -                                                     |
| SID.ADC.2 | INL        | Integral non-linearity     | -1.5        | -   | 1.5         | LSB  | -                                                     |
| SID.ADC.3 | DNL        | Differential non-linearity | -2.5        | -   | 2.5         |      | -                                                     |
| SID.ADC.4 | Gain Error | Gain error                 | -1.5        | -   | 1.5         |      | -                                                     |
| SID.ADC.5 | VREF_ADC1  | Reference voltage of ADC   | $V_{DDmin}$ | -   | $V_{DDmax}$ | V    | Reference voltage generated from $V_{DD}$             |
| SID.ADC.6 | VREF_ADC2  | Reference voltage of ADC   | 1.96        | 2.0 | 2.04        |      | Reference voltage generated from deep sleep reference |

## 7.4.8 $V_{SYS}$ 开关

**表 26  $V_{SYS}$  开关规格**

| Spec ID         | Parameter | Description                                            | Min | Typ | Max | Unit     | Details/conditions                                          |
|-----------------|-----------|--------------------------------------------------------|-----|-----|-----|----------|-------------------------------------------------------------|
| SID.DC.VDDDSW.1 | Res_sw    | Resistance from supply input to output supply $V_{DD}$ | -   | -   | 1.5 | $\Omega$ | Measured with a load current of 5 mA to 10 mA on $V_{DD}$ . |

电气规格参数

## 7.4.9 CSA

表 27 CSA 直流规格

| Spec ID       | Parameter            | Description                                            | Min  | Typ       | Max  | Unit | Details/conditions                                                                     |
|---------------|----------------------|--------------------------------------------------------|------|-----------|------|------|----------------------------------------------------------------------------------------|
| DC.csa_scp.42 | SCP_6A               | Short circuit current detect @ 6 A                     | -    | ±10       | -    | %    | -                                                                                      |
| DC.csa_scp.43 | SCP_10A              | Short circuit current detect @ 10 A                    | -    | ±10       | -    |      | -                                                                                      |
| OP.csa_scp.11 | Rsense               | External sense register                                | 4.95 | 5         | 5.05 | mΩ   |                                                                                        |
| DC.csa_scp.44 | locp_1A              | OCP Trip threshold for 1A                              | -    | 130 ± 20% | -    | %    | 1A PD contracts OCP set at 130% of contract value or user programmable                 |
| DC.csa_scp.45 | locp_5A              | OCP Trip threshold for 2 A, 3 A, 4 A and 5 A contracts | -    | 130 ± 10% | -    |      | 2A, 3A, 4A, and 5A PD contracts OCP set at 130% of contract value OR user programmable |
| DC.rcp_scp.7a | I_csainn_lk          | CSP pin input leakage when RCP and CSA blocks are OFF  | -    | -         | 10   | μA   | For provider V <sub>BUS_P_P0/1</sub> = 5 V.                                            |
| DC.rcp_scp.6a | I_csainp_lk          | CSN pin input leakage when RCP and CSA blocks are OFF  | -    | -         | 80   |      |                                                                                        |
| DC.sys.1      | I_CSP_RCP_ON_CSA_OFF | CSP pin current when RCP block is ON and SCP is OFF    | -    | -         | 20   |      |                                                                                        |
| DC.sys.2      | I_CSN_RCP_ON_CSA_OFF | CSN pin current when RCP block is ON and SCP is OFF    | -    | -         | 100  |      |                                                                                        |
| DC.sys.3      | I_CSP_CSA_ON         | CSP pin current when RCP block is OFF and SCP is ON    | -    | -         | 30   |      |                                                                                        |
| DC.sys.4      | I_CSN_CSA_ON         | CSN pin current when RCP block is OFF and SCP is ON    | -    | -         | 100  |      |                                                                                        |
| DC.sys.5      | I_CSP_RCP_ON_CSA_ON  | CSP pin current when RCP block is ON and SCP is ON     | -    | -         | 50   |      |                                                                                        |
| DC.sys.6      | I_CSN_RCP_ON_CSA_ON  | CSN pin current when RCP block is ON and SCP is ON     | -    | -         | 120  |      |                                                                                        |

电气规格参数

### 7.4.10 $V_{BUS}$ UV/OV

表 28  $V_{BUS}$  UV/OV 规格

| Spec ID      | Parameter     | Description                                                              | Min | Typ     | Max | Unit | Details/conditions |
|--------------|---------------|--------------------------------------------------------------------------|-----|---------|-----|------|--------------------|
| SID.UVOV.1   | $V_{THUVOV1}$ | Voltage threshold accuracy in active mode using bandgap reference        | -   | $\pm 3$ | -   | %    | -                  |
| SID.UVOV.2   | $V_{THUVOV2}$ | Voltage threshold accuracy in deep sleep mode using deep sleep reference | -   | $\pm 5$ | -   |      | -                  |
| SID.COMP_ACC | COMP_ACC      | Comparator input offset at 4 sigma                                       | -15 | -       | 15  | mV   | -                  |

### 7.4.11 发送端 RCP

表 29 Provider side RCP DC 规范

| Spec ID   | Parameter    | Description                                                                                                                   | Min | Typ   | Max | Unit | Details/conditions |
|-----------|--------------|-------------------------------------------------------------------------------------------------------------------------------|-----|-------|-----|------|--------------------|
| DC.RCP.44 | Vcsa_rcp     | Voltage across external Rsense between CSP/CSN for which RCP condition detected (CSN higher than CSP by Vcsa_rcp)             | -   | 2     | 6   | mV   | -                  |
| DC.RCP.45 | Vcomp_rcp    | Voltage across $V_{BUS}$ and CSN pins for which RCP condition is detected                                                     | 20  | -     | 130 |      | -                  |
| DC.RCP.46 | Vbus_max_det | Voltage on CSN pad during provider FET ON (source) for which RCP condition is triggered (this threshold is user programmable) | -   | 5.375 | -   | V    | -                  |

表 30 Provider side RCP、SCP AC 规范

| Spec ID      | Parameter | Description                                                                                          | Min | Typ | Max | Unit    | Details/conditions                                                                  |
|--------------|-----------|------------------------------------------------------------------------------------------------------|-----|-----|-----|---------|-------------------------------------------------------------------------------------|
| AC.RCP_SYS.1 | Toff_rcp  | Provider NFET switching off after reverse current detect through provider FET (for 20-V hot plug-in) | -   | 1   | -   | $\mu s$ | $V_{BUS} = 5 V/3 A$ , provider path ON, 47- $\mu F$ ceramic cap on $V_{BUS\_P}$ pin |
| AC.RCP_SYS.2 | Ton       | Time taken to detect RCP out-of-fault                                                                | -   | 55  | 80  | $\mu s$ | $V_{BUS}$ falls below CSN and start NGDO enable                                     |

电气规格参数

表 31 V<sub>BUS</sub> provider switch规格

| Spec ID            | Parameter              | Description                                                      | Min | Typ | Max | Unit | Details/conditions                                                                                       |
|--------------------|------------------------|------------------------------------------------------------------|-----|-----|-----|------|----------------------------------------------------------------------------------------------------------|
| DC.ngdo_fet_sys.1  | RDS <sub>ON</sub>      | FET RDS <sub>ON</sub> (96-BGA)                                   | -   | 40  | 55  | mΩ   | 3 A load current, short-duration pulse, -40°C to 55°C TA                                                 |
| DC.ngdo_fet_sys.1a | RDS <sub>ON</sub>      | FET RDS <sub>ON</sub> (48-QFN)                                   | -   | 45  | 55  |      |                                                                                                          |
| DC.NGDO_FET_SYS.2  | I <sub>sw</sub>        | Continuous current                                               | -   | -   | 3.0 | A    | If one port is sourcing 3 A, the other port can source only up to 1.5 A. Measurement done in pulse mode. |
| AC.NGDO_FET_SYS.1  | T <sub>on</sub>        | V <sub>BUS</sub> low to high (10% to 90%)                        | -   | 5   | -   | ms   | 0.8 to 4.5-V transition, system-level (with 10-Ω load on VBUS_C)                                         |
| AC.NGDO_FET_SYS.2  | T <sub>off_fault</sub> | VBUS high to low (90% to 10%) - Under fault condition of SCP/RCP | -   | 1   | -   | μs   |                                                                                                          |
| AC.NGDO_FET_SYS.3  | T <sub>off</sub>       | VBUS high to low (90% to 10%) - Under normal condition           | -   | 7   | -   |      | 4.5 to 0.8-V transition, system-level with external FET (with 10-Ω load on VBUS_C)                       |
| AC.NGDO_FET_SYS.4  | OTSth_OFF              | Overtemperature shutdown threshold OFF, Junction temperature     | -   | 125 | -   | °C   | -                                                                                                        |
| AC.NGDO_FET_SYS.5  | OTSth_OFF              | Overtemperature shutdown threshold ON, Junction temperature      | -   | 90  | -   | °C   |                                                                                                          |

电气规格参数

## 7.4.12 SBU 开关

表 32 SBU 开关直流规格

| Spec ID            | Parameter       | Description                                                                | Min  | Typ | Max  | Unit | Details/conditions |
|--------------------|-----------------|----------------------------------------------------------------------------|------|-----|------|------|--------------------|
| DC.ccg6df.20sbu.1  | Ron1            | On resistance of AUXP/N to SBU1/2 switch @ 3.3-V input                     | -    | 4   | 7    | Ω    | -                  |
| DC.ccg6df.20sbu.2  | Ron2            | On resistance of AUXP/N to SBU1/2 switch @ 1-V input                       | -    | 3   | 5    |      | -                  |
| DC.ccg6df.20sbu.4  | Ileak1          | Pin leakage current for SBU1, SBU2                                         | -4.5 | -   | 4.5  | μA   | -                  |
| DC.ccg6df.20sbu.5  | Ileak2          | Pin leakage current for SBU1_SYS, SBU2_SYS                                 | -1   | -   | 1    | μA   | -                  |
| DC.ccg6df.20sbu.16 | OVP_threshold   | Overvoltage protection detection threshold above V <sub>DDIO</sub>         | 200  | -   | 1200 | mV   | -                  |
| DC.ccg6df.20sbu.19 | aux_ron_flat_fs | Switch On flat resistance of SBU1/2_SYS to SBU1/2 switch (from 0 to 3.3 V) | -    | -   | 2.5  | Ω    | -                  |
| DC.ccg6df.20sbu.20 | aux_ron_flat_hs | Switch On flat resistance of SBU1/2_SYS to SBU1/2 switch (from 0 to 1 V)   | -    | -   | 0.5  |      | -                  |

电气规格参数

**表 33 SBU 开关交流规格**

| Spec ID               | Parameter                 | Description                                                                                                                      | Min | Typ | Max | Unit | Details/conditions   |
|-----------------------|---------------------------|----------------------------------------------------------------------------------------------------------------------------------|-----|-----|-----|------|----------------------|
| AC.ccg6df.20sbu.1     | Con                       | Switch on capacitance                                                                                                            | -   | -   | 120 | pF   | -                    |
| AC.ccg6df.20sbu.2     | Coff                      | Switch off capacitance-connector side                                                                                            | -   | -   | 80  |      | Guaranteed by design |
| AC.ccg6df.20sbu.3     | Off_isolation             | Switch isolation at F = 1 MHz                                                                                                    | -50 | -   | -   | dB   |                      |
| AC.ccg6df.20sbu.4     | TON                       | SBU switch turn-on time                                                                                                          | -   | -   | 200 | μs   | -                    |
| AC.ccg6df.20sbu.5     | TOFF                      | SBU switch turn-off time                                                                                                         | -   | -   | 400 |      | -                    |
| AC.ccg6df.20sbu.3_aux | Off_isolation_AC_aux      | Switch isolation at F = 1 MHz, from SBU_5V to SBU pins                                                                           | -50 | -   | -   | dB   | Guaranteed by design |
| AC.ccg6df.20sbu.6_aux | Off_isolation_tran_dB_aux | Coupling on sbu1, 2 terminated to 50 Ω, switch-OFF, 1-MHz rail-to-rail toggling on SBU1_5V, SBU2_5V                              | -30 | -   | -   |      |                      |
| AC.ccg6df.20sbu.7_aux | X_talk_AC_aux             | Cross talk of Switch at F = 1 MHz SBU1/2 to SBU2/1 when is data transferred from SBU1/2_5V                                       | -50 | -   | -   | dB   | Guaranteed by design |
| AC.ccg6df.20sbu.8_aux | X_talk_tran_dB_aux        | Coupling on SBU2(1) when data is transferred from SBU1(2)_5V to SBU1. (2) Rail-to-rail data on SBU1(2), static signal on SBU2(1) | -30 | -   | -   |      |                      |

电气规格参数

## 7.4.13 DP/DM开关

表 34 DP/DM 开关直流规格

| Spec ID           | Parameter     | Description                                        | Min | Typ | Max | Unit | Details/conditions   |
|-------------------|---------------|----------------------------------------------------|-----|-----|-----|------|----------------------|
| DC.ccg6df.dpdm.1  | RON_HS        | DP/DM on resistance (0 V to 0.5 V) - HS mode       | -   | -   | 8   | Ω    | -                    |
| DC.ccg6df.dpdm.2  | RON_FS        | DP/DM on resistance (0 V to 3.3 V) - FS mode       | -   | -   | 12  |      | -                    |
| DC.ccg6df.dpdm.5  | Con_FS        | Switch on capacitance at 6 MHz - FS mode           | -   | -   | 50  | pF   | Guaranteed by design |
| DC.ccg6df.dpdm.6  | Con_HS        | Switch on capacitance at 240 MHz - HS mode         | -   | -   | 10  |      |                      |
| DC.ccg6df.dpdm.9  | ileak_pin     | pin leakage at DP/DM connector side and host side  | -   | -   | 1   | μA   | -                    |
| DC.ccg6df.dpdm.10 | RON_UART      | DP/DM on resistance for UART lines (0 V to 3.3 V)  | -   | -   | 17  | Ω    | -                    |
| DC.ccg6df.dpdm.11 | RON_FLAT_HS   | DP/DM on Flat resistance in HS mode (0 V to 0.4 V) | -   | -   | 0.5 |      | -                    |
| DC.ccg6df.dpdm.12 | RON_FLAT_FS   | DP/DM on flat resistance in FS mode (0 V to 3.3 V) | -   | -   | 4   |      | -                    |
| DC.ccg6df.dpdm.13 | RON_FLAT_UART | DP/DM UART On flat resistance (0 V to 3.3 V)       | -   | -   | 4   |      | -                    |

电气规格参数

**表 35 DP/DM 开关交流规格**

| Spec ID           | Parameter             | Description                                                                | Min | Typ | Max | Unit | Details/conditions   |
|-------------------|-----------------------|----------------------------------------------------------------------------|-----|-----|-----|------|----------------------|
| AC.ccg6df.dpdm.1  | BW_3dB_HS             | 3-db bandwidth                                                             | 700 | -   | -   | MHz  | -                    |
| AC.ccg6df.dpdm.2  | BW_3dB_FS             | 3-db bandwidth                                                             | 100 | -   | -   |      |                      |
| AC.ccg6df.dpdm.5  | T <sub>ON</sub>       | DP/DM switch turn-on time                                                  | -   | -   | 200 | μs   | -                    |
| AC.ccg6df.dpdm.6  | T <sub>OFF</sub>      | DP/DM switch turn-off time                                                 | -   | -   | 0.4 |      |                      |
| AC.ccg6df.dpdm.7  | T <sub>ON_VPUMP</sub> | DP/DM charge pump startup time                                             | -   | -   | 200 |      |                      |
| AC.ccg6df.dpdm.8  | Off_isolation_HS      | Switch-off isolation for HS                                                | -20 | -   | -   | dB   | Guaranteed by design |
| AC.ccg6df.dpdm.9  | Off_isolation_FS      | Switch-off isolation for FS                                                | -50 | -   | -   |      |                      |
| AC.ccg6df.dpdm.10 | X_talk                | Cross talk of Switch From FS to HS at F = 12 MHz                           | -50 | -   | -   |      |                      |
| AC.ccg6df.dpdm.11 | uart_coupling         | Peak-to-peak coupling of UART signal to DP lines. (UART signal 0 to 3.3 V) | -   | -   | 20  | mV   |                      |

电气规格参数

## 7.4.14 VCONN开关

表 36 VCONN 开关直流规格

| Spec ID              | Parameter        | Description                                                                                                                                                 | Min | Typ | Max  | Unit | Details/conditions   |
|----------------------|------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|-----|------|------|----------------------|
| DC.ccg6df.20VCONN.1  | R <sub>on</sub>  | Switch ON resistance at V <sub>5V</sub> = 5 V with 215-mA load current                                                                                      | -   | 0.7 | 1.3  | Ω    | -                    |
| DC.ccg6df.20VCONN.9  | I <sub>OCP</sub> | Overcurrent detection range for CC1/CC2                                                                                                                     | 550 | -   | -    | mA   | -                    |
| DC.ccg6df.20VCONN.10 | OVP_threshold    | CC1, CC2 overvoltage protection detection threshold above V <sub>DDP</sub> or V <sub>5V</sub> , whichever is higher                                         | 200 | -   | 1200 | mV   | -                    |
| DC.ccg6df.20VCONN.11 | OVP_hysteresis   | Overvoltage detection hysteresis                                                                                                                            | 50  | -   | 300  |      | Guaranteed by design |
| DC.ccg6df.20VCONN.12 | OCP_hysteresis   | Overcurrent detection hysteresis                                                                                                                            | 20  | -   | 80   | mA   | Guaranteed by design |
| DC.ccg6.20VCONN.14   | OVP_threshold_on | Overvoltage detection threshold above V <sub>5V</sub> of CC1/2, with CC1 or CC2 switch enabled. Same threshold triggers reverse current protection circuit. | 200 | -   | 700  | mV   | -                    |

表 37 VCONN 开关交流规格

| Spec ID             | Parameter        | Description                | Min | Typ | Max | Unit | Details/conditions   |
|---------------------|------------------|----------------------------|-----|-----|-----|------|----------------------|
| AC.ccg6df.20VCONN.1 | T <sub>ON</sub>  | VCONN switch turn-on time  | -   | -   | 200 | μs   | -                    |
| AC.ccg6df.20VCONN.2 | T <sub>OFF</sub> | VCONN switch turn-off time | -   | -   | 3   |      | Guaranteed by design |

电气规格参数

## 7.4.15 $V_{BUS}$

表 38  $V_{BUS}$  放电规格

| Spec ID         | Parameter | Description                                                           | Min  | Typ | Max  | Unit | Details/conditions |
|-----------------|-----------|-----------------------------------------------------------------------|------|-----|------|------|--------------------|
| SID.VBUS.DISC.1 | Ron1      | 20-V NMOS ON resistance (with dischg_ds<0> = 1; dischg_ds<4:1> = 0)   | 1500 | -   | 3000 | Ω    | -                  |
| SID.VBUS.DISC.2 | Ron2      | 20-V NMOS ON resistance (with dischg_ds<1:0> = 1; dischg_ds<4:2> = 0) | 750  | -   | 1500 |      | -                  |
| SID.VBUS.DISC.3 | Ron3      | 20-V NMOS ON resistance (with dischg_ds<2:0> = 1; dischg_ds<4:3> = 0) | 500  | -   | 1000 |      | -                  |
| SID.VBUS.DISC.4 | Ron4      | 20-V NMOS ON resistance (with dischg_ds<3:0> = 1; dischg_ds<4> = 0)   | 375  | -   | 750  |      | -                  |
| SID.VBUS.DISC.5 | Ron5      | 20-V NMOS ON resistance (with dischg_ds<4:0> = 1)                     | 300  | -   | 600  |      | -                  |

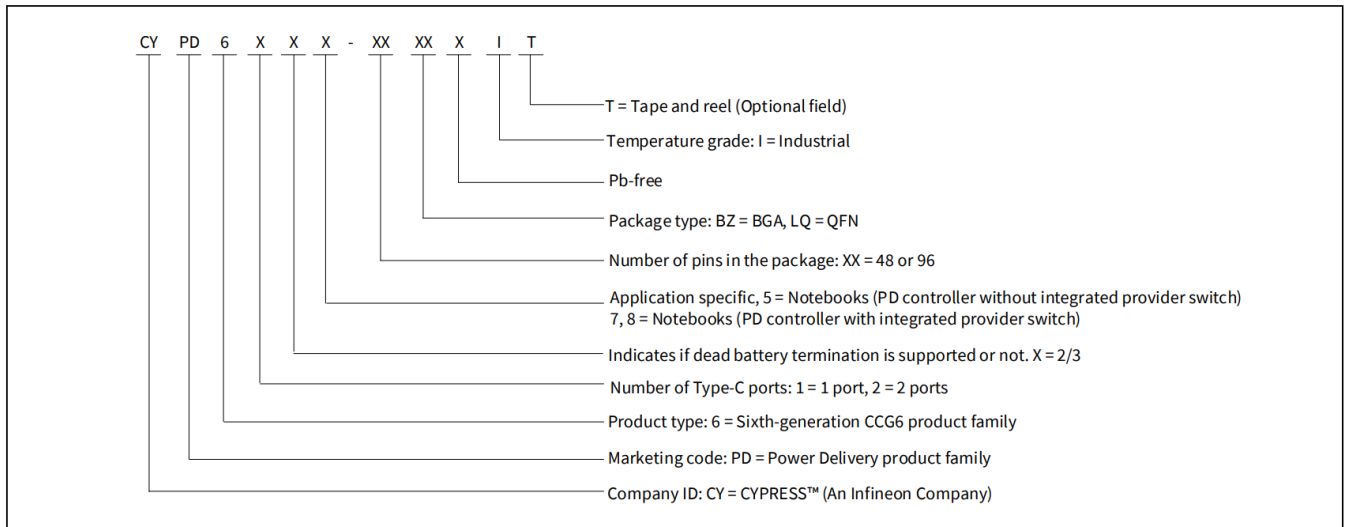
## 8 订购信息

表 39 列出了 EZ-PD™ CCG6DF、EZ-PD™ CCG6SF 零件编号和特点。

表 39 EZ-PD™ CCG6SF 和 CCG6DF 订购信息

| Product | Part number                       | Application | Integrated VBUS switch | Type-C ports | Dead battery termination | Termination resistor                  | Role | Package     |
|---------|-----------------------------------|-------------|------------------------|--------------|--------------------------|---------------------------------------|------|-------------|
| CCG6SF  | CYPD6127-48LQXI/T                 | Notebooks   | Yes                    | 1            | Yes                      | Rp <sup>[6]</sup> , Rd <sup>[7]</sup> | DRP  | 48-pin QFN  |
|         | CYPD6128-48LQXI <sup>[8]</sup> /T |             |                        |              |                          |                                       |      |             |
| CCG6DF  | CYPD6227-96BZXI/T                 |             |                        | 2            |                          |                                       |      | 96-ball BGA |
|         | CYPD6228-96BZXI <sup>[8]</sup> /T |             |                        |              |                          |                                       |      |             |

### 8.1 订购代码定义



**注释:**

- 6. 表示一个发送源的终端电阻。
- 7. 表示一个配件或接收源的终端电阻。
- 8. 优化 ROM 代码。

## 9 包装信息

表40 封装特性

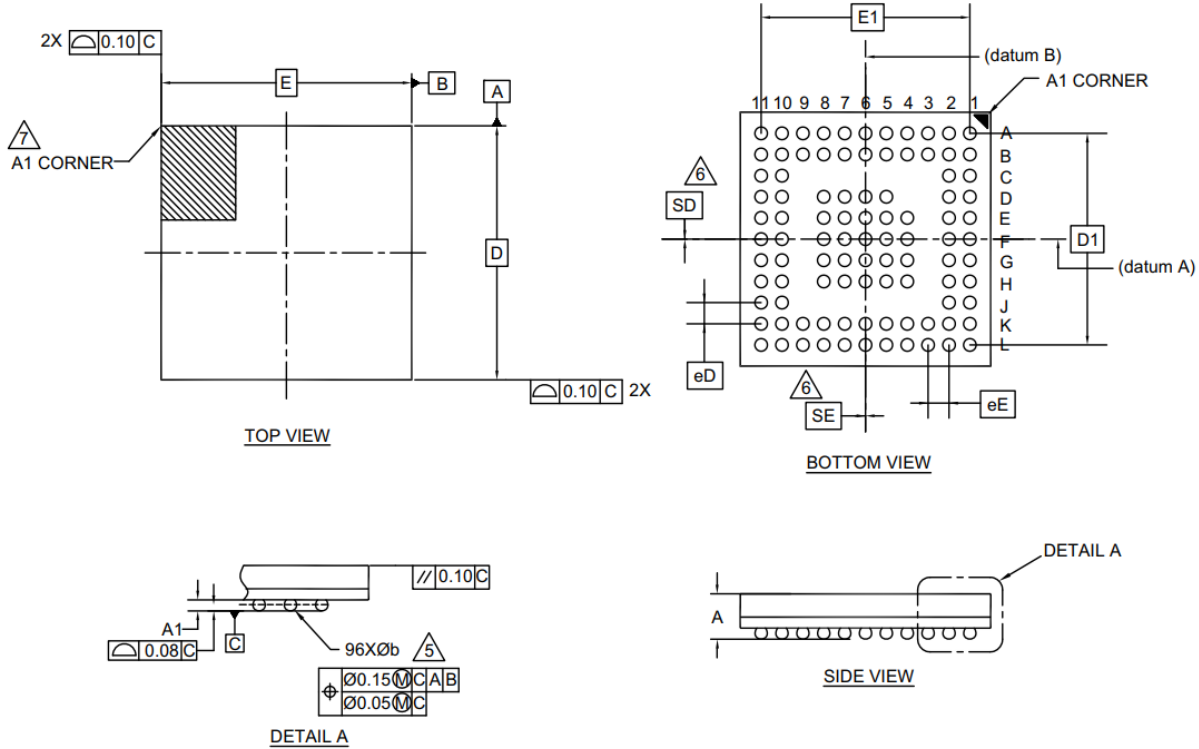
| Parameter | Description                         | Conditions | Min | Typ | Max  | Unit |
|-----------|-------------------------------------|------------|-----|-----|------|------|
| $T_A$     | Operating ambient temperature       | Industrial | -40 | 25  | 55   | °C   |
| $T_J$     | Operating junction temperature      |            |     |     | 125  |      |
| $T_{JA}$  | Package $\theta_{JA}$ (96-ball BGA) | -          | -   | -   | 56.9 | °C/W |
| $T_{JC}$  | Package $\theta_{JC}$ (96-ball BGA) |            |     |     | 36.9 |      |
| $T_{JA}$  | Package $\theta_{JA}$ (48-pin QFN)  | -          | -   | -   | 40.2 |      |
| $T_{JC}$  | Package $\theta_{JC}$ (48-pin QFN)  |            |     |     | 40.1 |      |

表41 回流焊峰值温度

| Package     | Maximum peak temperature | Maximum time within 5°C of peak temperature |
|-------------|--------------------------|---------------------------------------------|
| 96-ball BGA | 260°C                    | 30 seconds                                  |
| 48-pin QFN  |                          |                                             |

表42 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

| Package     | MSL   |
|-------------|-------|
| 96-ball BGA | MSL 3 |
| 48-pin QFN  |       |



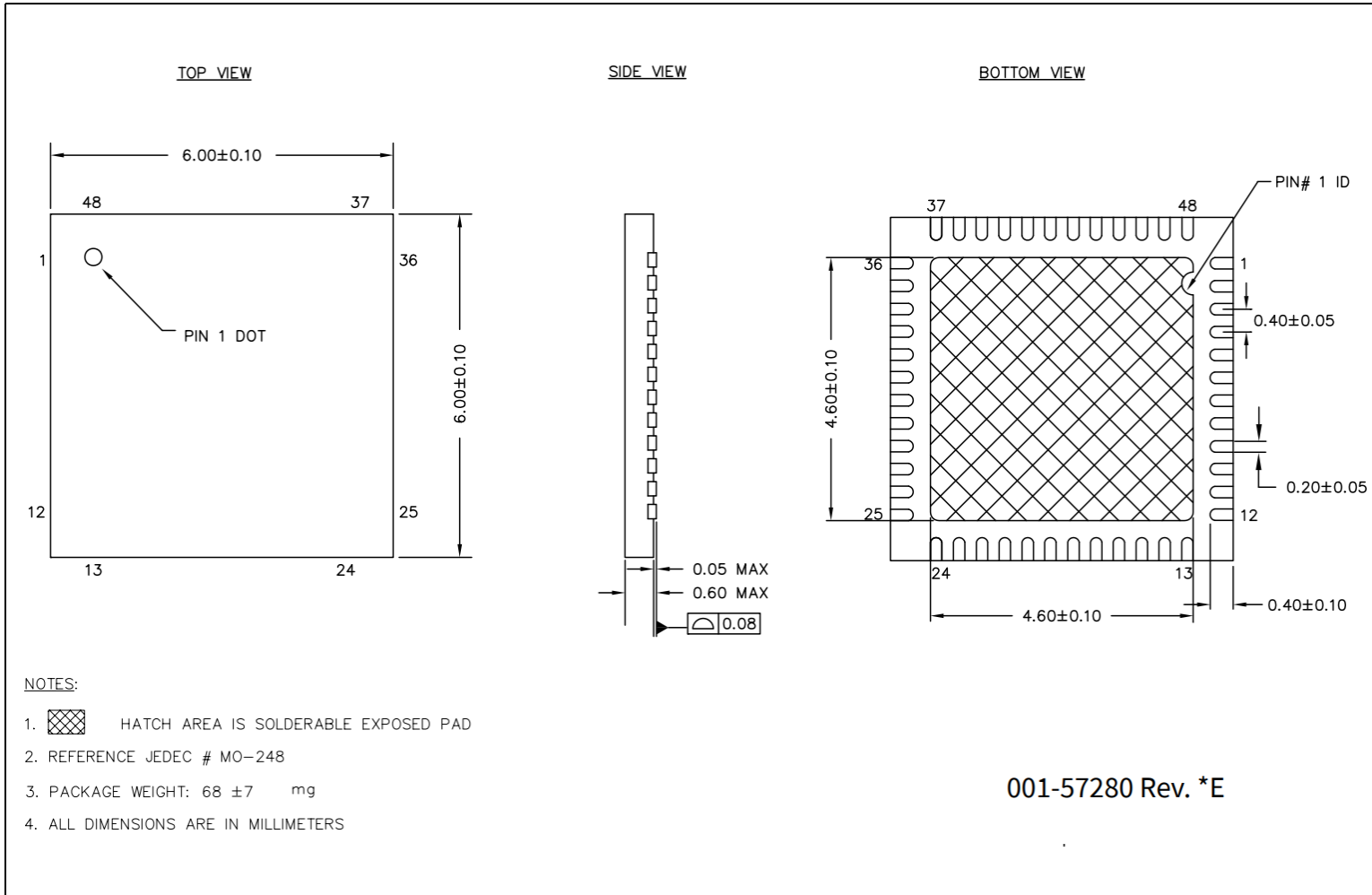
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : MO-225.

| SYMBOL          | DIMENSIONS |      |      |
|-----------------|------------|------|------|
|                 | MIN.       | NOM. | MAX. |
| A               | -          | -    | 1.00 |
| A1              | 0.16       | -    | -    |
| D               | 6.00 BSC   |      |      |
| E               | 6.00 BSC   |      |      |
| D1              | 5.00 BSC   |      |      |
| E1              | 5.00 BSC   |      |      |
| MD              | 11         |      |      |
| ME              | 11         |      |      |
| N               | 96         |      |      |
| $\varnothing b$ | 0.25       | 0.30 | 0.35 |
| eD              | 0.50 BSC   |      |      |
| eE              | 0.50 BSC   |      |      |
| SD              | 0.00       |      |      |
| SE              | 0.00       |      |      |

002-10631 Rev. \*B

图 30 96 球 VFBGA (6.0 × 6.0 × 1.0 毫米) R2A096/R3A096/BZ96A/VDM096 封装外形 (PG-VFBGA-96-800) , 002-10631



**图 31** 48 引脚 QFN ((6 × 6 × 0.6 毫米) LR48A/LQ48A 4.6 × 4.6 E-Pad (Sawn)) 封装外形 (PG-VQFN-48-800) , 001-57280

缩略语

## 10 缩略语

表43 本文档中使用的缩略语

| Acronym                  | Description                                                                                                          |
|--------------------------|----------------------------------------------------------------------------------------------------------------------|
| ADC                      | analog-to-digital converter                                                                                          |
| API                      | application programming interface                                                                                    |
| Arm <sup>®</sup>         | advanced RISC machine, a CPU architecture                                                                            |
| CC                       | configuration channel                                                                                                |
| CSN                      | current sense negative                                                                                               |
| BCC                      | battery charger controller                                                                                           |
| BOD                      | Brown out Detect                                                                                                     |
| CC                       | configuration channel                                                                                                |
| CPU                      | central processing unit                                                                                              |
| CRC                      | cyclic redundancy check, an error-checking protocol                                                                  |
| CS                       | current sense                                                                                                        |
| CSA                      | current sense amplifier                                                                                              |
| CSN                      | current sense negative                                                                                               |
| CSP                      | current sense positive                                                                                               |
| DFP                      | downstream facing port                                                                                               |
| DM                       | data minus                                                                                                           |
| DP                       | data plus signal                                                                                                     |
| DP                       | DisplayPort, digital display interface developed by Video Electronics Standards Association                          |
| DIO                      | digital input/output, GPIO with only digital capabilities, no analog. See GPIO.                                      |
| DRP                      | dual role power                                                                                                      |
| EC                       | embedded controller                                                                                                  |
| EEPROM                   | electrically erasable programmable read-only memory                                                                  |
| EMCA                     | a USB cable that includes an IC that reports cable characteristics (For example, current rating) to the Type-C ports |
| EMI                      | electromagnetic interference                                                                                         |
| ESD                      | electrostatic discharge                                                                                              |
| FPB                      | flash patch and breakpoint                                                                                           |
| FRS                      | fast role swap                                                                                                       |
| FS                       | full-speed                                                                                                           |
| GPIO                     | general-purpose input/output                                                                                         |
| HDI                      | high density interconnect                                                                                            |
| HSCSA                    | high-side current sense amplifier                                                                                    |
| IC                       | integrated circuit                                                                                                   |
| IDE                      | integrated development environment                                                                                   |
| I <sup>2</sup> C, or IIC | Inter-Integrated Circuit, a communications protocol                                                                  |
| ILO                      | internal low-speed oscillator, see also IMO                                                                          |

缩略语

表 43 本文件中使用的缩略词 (续)

| Acronym | Description                                                                 |
|---------|-----------------------------------------------------------------------------|
| IMO     | internal main oscillator, see also ILO                                      |
| I/O     | input/output, see also GPIO                                                 |
| IPOR    | imprecise POR                                                               |
| IRQ     | interrupt request                                                           |
| ISR     | interrupt service request                                                   |
| LVD     | low-voltage detect                                                          |
| LVTTL   | low-voltage transistor-transistor logic                                     |
| MCU     | microcontroller unit                                                        |
| MDI     | medium density                                                              |
| NC      | no connect                                                                  |
| NGDO    | N-FET gate driver output                                                    |
| NMI     | nonmaskable interrupt                                                       |
| NVIC    | nested vectored interrupt controller                                        |
| opamp   | operational amplifier                                                       |
| OCP     | overcurrent protection                                                      |
| OVP     | overvoltage protection                                                      |
| PCB     | printed circuit board                                                       |
| PD      | power delivery                                                              |
| PGA     | programmable gain amplifier                                                 |
| PHY     | physical layer                                                              |
| POR     | power-on reset                                                              |
| PRES    | precise power-on reset                                                      |
| PSoC™   | Programmable System-on-Chip                                                 |
| PWM     | pulse-width modulator                                                       |
| RAM     | random-access memory                                                        |
| RCP     | reverse current protection                                                  |
| RISC    | reduced-instruction-set computing                                           |
| RMS     | root-mean-square                                                            |
| RTC     | real-time clock                                                             |
| RX      | receive                                                                     |
| SAR     | successive approximation register                                           |
| SCB     | serial communication block                                                  |
| SCL     | I <sup>2</sup> C serial clock                                               |
| SDA     | I <sup>2</sup> C serial data                                                |
| S/H     | sample and hold                                                             |
| SMT     | surface-mount technology                                                    |
| SPI     | Serial Peripheral Interface, a communications protocol                      |
| SRAM    | static random access memory                                                 |
| SWD     | serial wire debug, a test protocol                                          |
| TBT     | Thunderbolt, hardware interface standard for peripherals developed by Intel |

缩略语

**表 43**      本文件中使用的缩略词 (续)

| <b>Acronym</b> | <b>Description</b>                                                                                           |
|----------------|--------------------------------------------------------------------------------------------------------------|
| TCPWM          | timer/counter pulse-width modulation                                                                         |
| TRNG           | true random number generator                                                                                 |
| TX             | transmit                                                                                                     |
| Type-C         | a new standard with a slimmer USB connector and a reversible cable, capable of sourcing up to 100 W of power |
| UART           | universal asynchronous transmitter receiver, a communications protocol                                       |
| UFP            | upstream facing port                                                                                         |
| USB            | Universal Serial Bus                                                                                         |
| USBIO          | USB input/output, CCG6D/CCG6DF pins used to connect to a USB port                                            |
| USBTCAS        | USB Type-C authentication specification                                                                      |
| UVOV           | undervoltage/overvoltage                                                                                     |
| WDT            | watchdog timer                                                                                               |
| XRES           | external reset I/O pin                                                                                       |

## 11 文档惯例

### 11.1 测量单位

表 44 测量单位

| Symbol | Unit of measure        |
|--------|------------------------|
| °C     | degrees Celsius        |
| Hz     | hertz                  |
| KB     | 1024 bytes             |
| kHz    | kilohertz              |
| kΩ     | kilo ohm               |
| Mbps   | megabits per second    |
| MHz    | megahertz              |
| MΩ     | mega-ohm               |
| Msp/s  | megasamples per second |
| μA     | microampere            |
| μF     | microfarad             |
| μs     | microsecond            |
| μV     | microvolt              |
| μW     | microwatt              |
| mA     | milliampere            |
| mΩ     | milliohm               |
| ms     | millisecond            |
| mV     | millivolt              |
| nA     | nanoampere             |
| ns     | nanosecond             |
| W      | ohm                    |
| pF     | picofarad              |
| ppm    | parts per million      |
| ps     | picosecond             |
| s      | second                 |
| sps    | samples per second     |
| V      | volt                   |

## 11.2 应用程序附件的参考和链接

### 11.2.1 知识库文章

- [Key Difference Among EZ-PD™ CCG1, CCG2, CCG3 and CCG5 - KBA210740](#)
- [Programming EZ-PD™ CCG2, EZ-PD™ CCG3 and EZ-PD™ CCG5 Using PSoC® Programmer and MiniProg3 - KBA96477](#)
- [CCGX Frequently Asked Questions \(FAQs\) - KBA97244](#)
- [Cypress EZ-PD™ CCGx Hardware - KBA204102](#)
- [Difference between USB Type-C and USB-PD - KBA204033](#)
- [CCGX Programming Methods - KBA97271](#)
- [Getting started with Cypress USB Type-C Products - KBA04071](#)
- [Type-C to DisplayPort Cable Electrical Requirements](#)
- [Dead Battery Charging Implementation in USB Type-C Solutions - KBA97273](#)
- [Termination Resistors Required for the USB Type-C Connector – KBA97180](#)
- [VBUS Bypass Capacitor Recommendation for Type-C Cable and Type-C to Legacy Cable/Adapter Assemblies – KBA97270](#)
- [Need for Regulator and Auxiliary Switch in Type-C to DisplayPort \(DP\) Cable Solution - KBA97274](#)
- [Need for a USB Billboard Device in Type-C Solutions – KBA97146](#)
- [Cypress USB Type-C Controller Supported Solutions – KBA97179](#)
- [Termination Resistors for Type-C to Legacy Ports – KBA97272](#)
- [Handling Instructions for CY4502 CCG2 Development Kit – KBA97916](#)
- [Thunderbolt™ Cable Application Using CCG3 Devices - KBA210976](#)
- [Power Adapter Application Using CCG3 Devices - KBA210975](#)
- [Methods to Upgrade Firmware on CCG3 Devices - KBA210974](#)
- [Device Flash Memory Size and Advantages - KBA210973](#)
- [Applications of EZ-PD™ CCG5 - KBA210739](#)

### 11.2.2 应用笔记

- [AN95615 - Designing USB 3.1 Type-C Cables Using EZ-PD™ CCG2](#)
- [AN95599 - Hardware Design Guidelines for EZ-PD™ CCG2](#)
- [AN210403 - Hardware Design Guidelines for Dual Role Port Applications Using EZ-PD™ USB Type-C Controllers](#)
- [AN210771 - Getting Started with EZ-PD™ CCG4](#)

### 11.2.3 参考设计

- [EZ-PD™ CCG2 Electronically Marked Cable Assembly \(EMCA\) Paddle Card Reference Design](#)
- [EZ-PD™ CCG2 USB Type-C to DisplayPort Cable Solution](#)
- [EZ-PD™ CCG2 USB Type-C to HDMI Adapter Solution](#)
- [EZ-USB GX3 USB Type-C to Gigabit Ethernet Dongle](#)
- [EZ-PD™ CCG2 USB Type-C Monitor/Dock Solution](#)
- [CCG2 20W Power Adapter Reference Design](#)
- [CCG2 18W Power Adapter Reference Design](#)

文档惯例

- [EZ-USB GX3 USB Type-A to Gigabit Ethernet Reference Design Kit](#)

## 11.2.4 套件

- [CY4502 EZ-PD™ CCG2 Development Kit](#)
- [CY4531 EZ-PD™ CCG3 Evaluation Kit](#)
- [CY4541 EZ-PD™ CCG4 Evaluation Kit](#)

## 11.2.5 数据手册

- [CYPD1120 Datasheet: USB Power Delivery Alternate Mode Controller on Type-C](#)
- [CCG2: USB Type-C Port Controller Datasheet](#)
- [CCG3: USB Type-C Controller Datasheet](#)
- [CCG5C: USB Type-C Controller Datasheet](#)

修订记录

## 修订记录

| Document revision | Date       | Description of changes                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
|-------------------|------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| **                | 2022-05-27 | Initial release.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
| *A                | 2019-08-09 | <p>Updated Document Title to read as “EZ-PD™ CCG6DF, CCG6SF, USB Type-C Controller”.</p> <p>Updated <b>General description</b>:<br/>Updated description.</p> <p>Updated <b>Features</b>:<br/>Updated description.</p> <p>Updated <b>Logic block diagram</b>.<br/>Updated <b>CCG6DF/CCG6SF functional diagram</b>.<br/>Updated <b>Pinouts</b>:<br/>Updated table “Pinout for CYPD6227-96BZXI”.<br/>Added table “Pinout for CYPD6127-96BZXI”.</p> <p>Updated figure “96-Ball BGA Pin Map (Top View) for CYPD6227-96BZXI”.<br/>Added figure “96-Ball BGA Pin Map (Top View) for CYPD6127-96BZXI”.</p> <p>Updated <b>Application diagrams</b>:<br/>Updated description.<br/>Removed figure “CCG6D in a Dual Port Notebook Application”.</p> <p>Updated <b>Ordering information</b>:<br/>Updated <b>Table 39</b> (Updated part numbers).<br/>Updated <b>Packaging</b>:<br/>Updated <b>Table 40</b>. Updated <b>Table 41</b>.<br/>Updated <b>Table 42</b>.<br/>Removed spec 001-80659 Rev. *A.</p> |
| *B                | 2019-09-13 | <p>Changed document status from Advance to Preliminary.</p> <p>Updated <b>Features</b>:<br/>Updated description.</p> <p>Updated <b>Logic block diagram</b>.<br/>Updated <b>CCG6DF/CCG6SF functional diagram</b>.<br/>Added <b>Functional overview</b>.<br/>Added <b>Power</b>. Updated <b>Pinouts</b>:<br/>Updated table “Pinout for CYPD6227-96BZXI”.<br/>Updated table “Pinout for CYPD6127-96BZXI”.</p> <p>Updated figure “96-Ball BGA Pin Map (Top View) for CYPD6227-96BZXI”.<br/>Updated figure “96-Ball BGA Pin Map (Top View) for CYPD6127-96BZXI”.</p> <p>Updated <b>Application diagrams</b>:<br/>Added details.</p> <p>Updated <b>Electrical specifications</b>:<br/>Added details.</p> <p>Updated <b>Ordering information</b>:<br/>Updated <b>Table 39</b>.</p>                                                                                                                                                                                                                  |

## 修订记录

| Document revision | Date       | Description of changes                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|-------------------|------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| *B (cont.)        | 2019-09-13 | <p>Updated <b>Packaging</b>:<br/>Updated <b>Table 42</b>.<br/>No change in revisions.<br/>Updated <b>References and links to applications collateral</b>:<br/>Added details.<br/>Updated hyperlinks.</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
| *C                | 2019-09-26 | <p>Updated <b>Pinouts</b>:<br/>Added table “Pinout for CYPD6127-48LQXI”.<br/>Added figure “48-pin QFN Pin Map for CYPD6127-48LQXI”.<br/>Updated <b>Electrical specifications</b>:<br/>Updated <b>System resources</b>:<br/>Updated <b>Provider side RCP</b>:<br/>Updated <b>Table 31</b>.<br/>Updated <b>Ordering information</b>:<br/>Updated <b>Table 39</b>.<br/>Updated <b>Packaging</b>:<br/>Added spec 001-57280 Rev. *E.</p>                                                                                                                                                                                                                                                                                            |
| *D                | 2019-11-18 | <p>Updated <b>General description</b>:<br/>Updated description.<br/>Updated <b>Features</b>:<br/>Updated description.<br/>Updated <b>Power</b>:<br/>Added <b>Figure 3</b>.<br/>Updated <b>Pinouts</b>:<br/>Updated table “Pinout for CYPD6127-48LQXI”.<br/>Updated figure “48-pin QFN Pin Map for CYPD6127-48LQXI”.<br/>Updated <b>Application diagrams</b>:<br/>Updated <b>Figure 6</b>.<br/>Updated figure “CCG6SF 96-ball BGA Single Port Thunderbolt Notebook Application Diagram”.<br/>Added <b>Figure 8</b>.<br/>Updated <b>Packaging</b>:<br/>Updated <b>Table 40</b>.<br/>Updated <b>Table 41</b>.<br/>Updated <b>Table 42</b>.<br/>Updated <b>Packaging</b>:<br/>spec 002-10631 – Changed revision from *A to *B.</p> |

修订记录

| Document revision | Date       | Description of changes                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
|-------------------|------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| *E                | 2020-01-14 | <p>Updated <b>Logic block diagram</b>.</p> <p>Updated <b>Functional overview</b>:</p> <p>Updated <b>MCU subsystem</b>:</p> <p>Updated <b>SBU pass-through switch and USB HS mux</b>:</p> <p>Updated <b>Figure 1</b>.</p> <p>Updated <b>Pinouts</b>:</p> <p>Updated table “Pinout for CYPD6227-96BZXI”.</p> <p>Updated table “Pinout for CYPD6127-96BZXI”.</p> <p>Updated figure “96-Ball BGA Pin Map (Top View) for CYPD6227-96BZXI”.</p> <p>Updated figure “96-Ball BGA Pin Map (Top View) for CYPD6127-96BZXI”.</p> <p>Updated <b>Application diagrams</b>:</p> <p>Updated <b>Figure 6</b>.</p> <p>Updated figure “CCG6SF 96-ball BGA Single Port Thunderbolt Notebook Application Diagram”</p> <p>Updated <b>Electrical specifications</b>:</p> <p>Updated <b>Device-level specifications</b>:</p> <p>Updated <b>DC specifications</b>:</p> <p>Updated <b>Table 6</b>.</p> <p>Updated <b>System resources</b>:</p> <p>Updated <b>Provider side RCP</b>:</p> <p>Updated <b>Table 29</b>.</p> <p>Updated <b>Table 31</b>.</p> <p>Updated CCG6DF, CCG6SF Layout Design Guidelines: Updated description.</p> <p>Added <b>Usage of via size of 8-mil drill/16-mil diameter and 10-mil drill/16-mil diameter</b>.</p> |
| *F                | 2020-03-13 | <p>Updated <b>General description</b>:</p> <p>Updated description.</p> <p>Updated <b>Features</b>:</p> <p>Updated description.</p> <p>Updated <b>Functional overview</b>:</p> <p>Updated <b>System resources</b>:</p> <p>Updated <b>Watchdog timer (WDT)</b>:</p> <p>Updated description.</p> <p>Updated <b>Pinouts</b>:</p> <p>Removed table “Pinout for CYPD6127-96BZXI”.</p> <p>Removed figure “96-Ball BGA Pin Map (Top View) for CYPD6127-96BZXI”.</p> <p>Updated <b>Application diagrams</b>:</p> <p>Removed figure “CCG6SF 96-ball BGA Single Port Thunderbolt Notebook Application Diagram”.</p> <p>Updated <b>Packaging</b>:</p> <p>Updated <b>Table 40</b>.</p> <p>Updated <b>Acronyms</b>.</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |

## 修订记录

| Document revision | Date       | Description of changes                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
|-------------------|------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| *G                | 2020-05-28 | <p>Changed document status from Preliminary to Final.</p> <p>Updated <b>CCG6DF layout design guidelines for BGA package</b>:<br/>Removed “CC Connections”.</p> <p>Added <b>CCG6SF layout design guidelines for 48-QFN package</b>.</p> <p>Updated <b>Electrical specifications</b>:<br/>Updated <b>Absolute maximum ratings</b>:<br/>Updated <b>Table 5</b>.</p> <p>Updated <b>System resources</b>:<br/>Added <b>Consumer NGDO</b>.</p> <p>Updated <b>VCONN switch</b>:<br/>Updated <b>Table 36</b>.</p> <p>Updated <b>Ordering information</b>:<br/>Updated <b>Table 39</b>.</p> <p>Completing Sunset Review.</p> |
| *H                | 2020-07-23 | <p>Updated <b>Electrical specifications</b>:<br/>Updated <b>Device-level specifications</b>:<br/>Updated <b>DC specifications</b>:<br/>Updated <b>Table 6</b>.</p> <p>Updated <b>GPIO</b>:<br/>Updated <b>Table 8</b>.</p> <p>Updated <b>System resources</b>:<br/>Updated <b>Consumer NGDO</b>:<br/>Updated <b>Table 23</b>.</p>                                                                                                                                                                                                                                                                                   |
| *I                | 2021-04-14 | <p>Updated <b>Pinouts</b>:<br/>Updated <b>Table 2</b> (Updated caption only).<br/>Updated <b>Table 3</b> (Updated caption only).<br/>Updated <b>Figure 4</b> (Updated caption only).<br/>Updated <b>Figure 5</b> (Updated caption only).</p> <p>Updated <b>Application diagrams</b>:<br/>Updated <b>Figure 6</b>.<br/>Updated <b>Figure 8</b>.</p> <p>Updated <b>Ordering information</b>:<br/>Updated <b>Table 39</b> (Updated part numbers).<br/>Updated <b>Ordering code definitions</b>.</p>                                                                                                                    |
| *J                | 2022-07-14 | <p>Updated <b>Ordering information</b>:<br/>Updated <b>Table 39</b> (Updated part numbers).<br/>Updated <b>Ordering code definitions</b>.<br/>Migrated to Infineon template.</p>                                                                                                                                                                                                                                                                                                                                                                                                                                    |

## 修订记录

| Document revision | Date       | Description of changes                                                                                                                                                                                                                                                                                                   |
|-------------------|------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| *K                | 2023-08-30 | Updated <b>Application diagrams</b> :<br>Updated <b>Figure 6</b> .<br>Updated <b>Figure 7</b> .<br>Updated <b>Electrical specifications</b> :<br>Updated <b>Device-level specifications</b> :<br>Updated <b>DC specifications</b> :<br>Updated <b>Table 6</b> .<br>Updated to new template.<br>Completing Sunset Review. |



## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

## 重要通知

版本 2025-10-31

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

Do you have a question about this  
document?

Email:  
[erratum@infineon.com](mailto:erratum@infineon.com)

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。