

EZ-PD™ CCG2 USB Type-C ポートコントローラー

概要

EZ-PD™ CCG2 は最新の USB Type-C と電源供給 (PD) 規格に準拠した USB Type-C コントローラーです。EZ-PD™ CCG2 は、パッシブケーブル、アクティブケーブルと電源供給されるアクセサリの完全な USB Type-C と USB PD ポート制御ソリューションを提供します。これはまた、多くのアップストリームおよびダウンストリーム対向ポートのアプリケーションにも使用できます。EZ-PD™ CCG2 は、32 KB フラッシュメモリを内蔵した、32 ビットで 48 MHz Arm® Cortex®-M0 プロセッサにインフィニオン独自の M0 技術を採用して、R_P、R_D、R_A という Type-C 終了抵抗を含む完全な Type-C トランシーバーも統合します。

アプリケーション

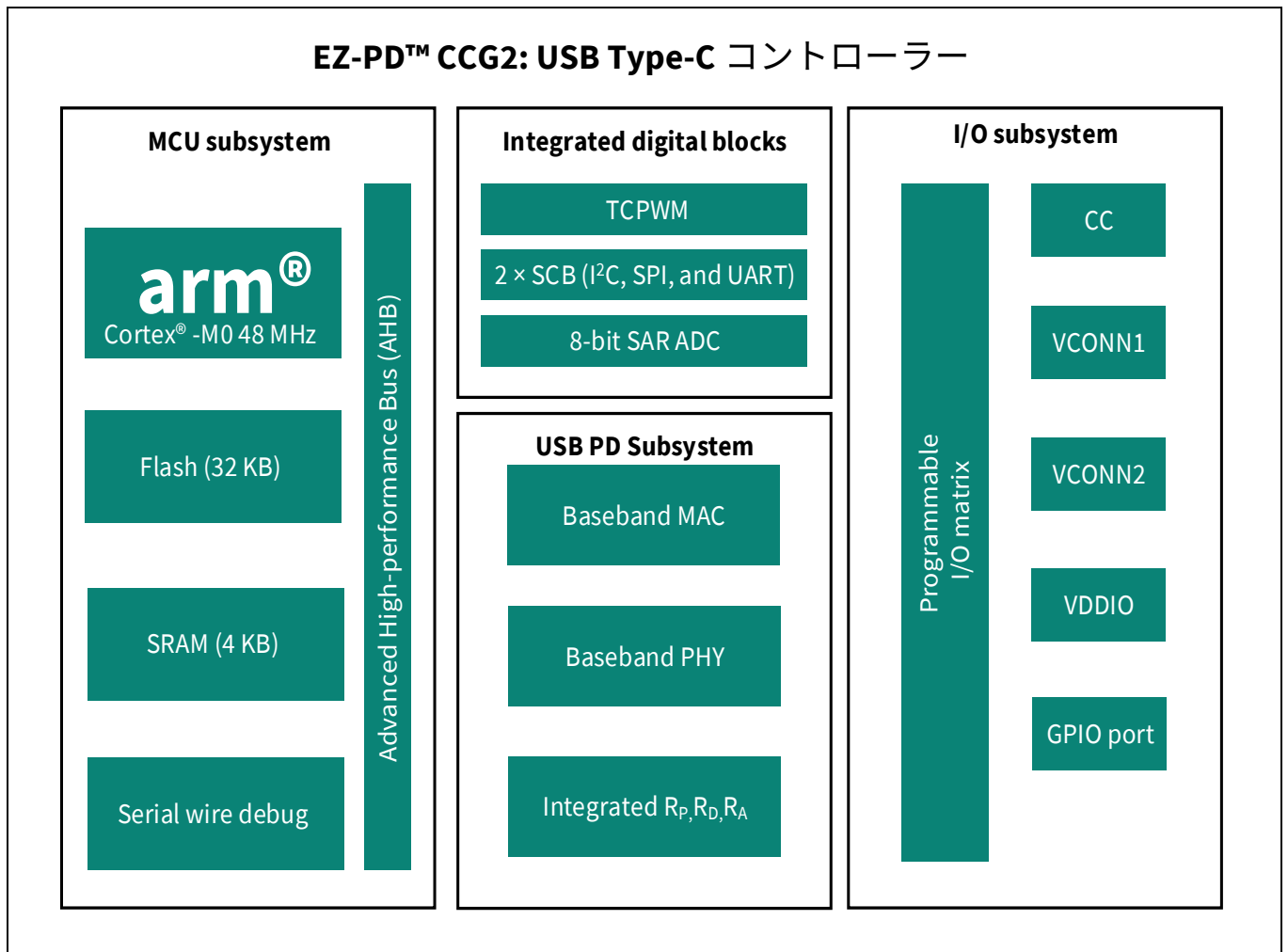
- USB Type-C EMCA ケーブル
- USB Type-C 電源供給アクセサリ
- USB Type-C アップストリーム対向ポート
- USB Type-C ダウンストリーム対向ポート

特長

- 32 ビット MCU サブシステム
 - 48 MHz Arm® Cortex®-M0 CPU
 - 32 KB フラッシュ
 - 4 KB SRAM
 - システム内で再プログラム可能
- 統合デジタルブロック
 - USB-PD プロトコルが必要とする応答時間の要件を満たすために統合されたタイマーとカウンター
 - 再コンフィギュレーション可能な I²C、SPI、または UART 機能を備えた、実行時に再コンフィギュレーションできるシリアル通信ブロック (SCB)
- クロックおよび発振器
 - 内蔵発振器により外部クロックが不要
- Type-C サポート
 - 内蔵トランシーバー (ベースバンド PHY)
 - 内蔵 UFP (R_D)、EMCA (R_A) 終端抵抗、DFP 用の電流源 (R_P)
 - 1 個の USB Type-C ポートに対応
- 低消費電力動作
 - 2.7 V ~ 5.5 V の動作電圧
 - 互いに分離された 2 本の独立した VCONN レール
 - I/O 上の 1.71 V ~ 5.5 V 信号方式を可能にする GPIO 用の独立した電源電圧ピン
 - リセット: 1.0 μA、ディープスリープ: 2.5 μA、スリープ: 2.0 mA
- CC と VCONN ピン上のシステムレベル ESD
 - IEC61000-4-2 レベル 4C に基づいた ±8 kV 接触放電および ±15 kV 空中放電
- パッケージ
 - 1.63 mm × 2.03 mm、20 ボール ウェハー レベル CSP (WLCSP)、0.4 mm ボール ピッチ
 - 4.0 mm × 4.0 mm、0.55 mm 24L QFN
 - 産業用 (-40 °C ~ +85 °C) および拡張産業用 (-40 °C ~ +105 °C) の温度範囲に対応

論理ブロック ダイアグラム

論理ブロック ダイアグラム



目次

目次

概要	1
用途	1
機能	1
論理ブロック ダイアグラム	2
目次	3
1 利用可能なファームウェアおよびソフトウェアツール	5
1.1 EZ-PD™ コンフィギュレーションユーティリティ	5
2 EZ-PD™ CCG2 のブロック図	6
3 機能概要	7
3.1 CPU およびメモリ サブシステム	7
3.1.1 CPU	7
3.1.2 フラッシュ	7
3.1.3 SRAM	7
3.2 USB-PD サブシステム (SS)	7
3.3 システムリソース	8
3.3.1 電源システム	8
3.3.2 クロックシステム	8
3.4 ペリフェラル	8
3.4.1 シリアル通信ブロック (SCB)	8
3.4.2 タイマー/カウンタ/PWM (TCPWM) ブロック	9
3.5 GPIO	9
4 ピン配置	10
5 電源	13
6 CCG2 のプログラミングとブートロード	14
6.1 SWD インターフェースでの CCG2 デバイス フラッシュのプログラミング	14
6.2 アプリケーションファームウェアの更新 (I2C、CC)	14
6.2.1 I2Cインターフェースによるアプリケーションファームウェアの更新	15
6.2.2 DFPアプリケーションのCCインターフェースでのアプリケーションファームウェアアップデート	15
6.2.3 ケーブルアプリケーション用CCインターフェースでのアプリケーションファームウェアのアップデート	15
7 アプリケーション図	16
7.1 EMCA アプリケーション	16
7.2 アップストリーム対向ポート アプリケーション	19
7.3 ノートブック PC アプリケーション	20
7.4 ダウンストリーム対向ポート アプリケーション	21
8 電氣的仕様	22
8.1 絶対最大定格	22
8.2 デバイス レベルの仕様	23
8.2.1 I/O	24
8.2.2 XRES	25
8.3 デジタル ペリフェラル	26
8.3.1 GPIOピン用パルス幅変調 (PWM)	26
8.3.2 I ² C	26
8.4 メモリ	28
8.5 システムリソース	29
8.5.1 電圧低下時のパワーオンリセット (POR)	29
8.5.2 SWDインターフェース	29
8.5.3 内部主振動子	29
8.5.4 内部低速振動子	30
8.5.5 電源切断	30

目次

8.5.6 ADコンバーター	31
9 注文情報	32
9.1 注文コードの定義	32
10 パッケージ	33
11 略語	36
12 本書の表記法.....	38
12.1 測定単位.....	38
改訂履歴.....	39
免責事項.....	40

1 利用可能なファームウェアおよびソフトウェアツール

1.1 EZ-PD™ コンフィギュレーションユーティリティ

EZ-PD™ コンフィギュレーションユーティリティは、インフィニオンが開発した GUI ベースの Microsoft® Windows アプリケーションで、CCGx ユーザーがチップの設定およびプログラミングを行う際のプロセスを支援します。このユーティリティを使用すると、次のことが可能になります。

- 変更したいパラメータを選択し、設定
- 出来上がった設定をターゲット CCGx デバイスにプログラム

このユーティリティは、インフィニオンが提供する CCG1、CCG2、CCG3、および CCG4 キットで動作し、USB インターフェースとともに CCGx コントローラをホストします。このバージョンの EZ-PD™ コンフィギュレーションユーティリティは、EMCA およびディスプレイドングルアプリケーションを実装した CCGx コントローラの設定およびファームウェアアップデート操作に対応します。電源アダプタやノートブック PC ポート コントローラなどの他のアプリケーションへの対応は、このユーティリティの後のバージョンで提供される予定です。

アプリケーションおよび関連ドキュメントについては、[USB EZ-PD™ Configuration Utility Web ページ](#)を参照してください。

EZ-PD™ CCG2 のブロック図

2 EZ-PD™ CCG2 のブロック図

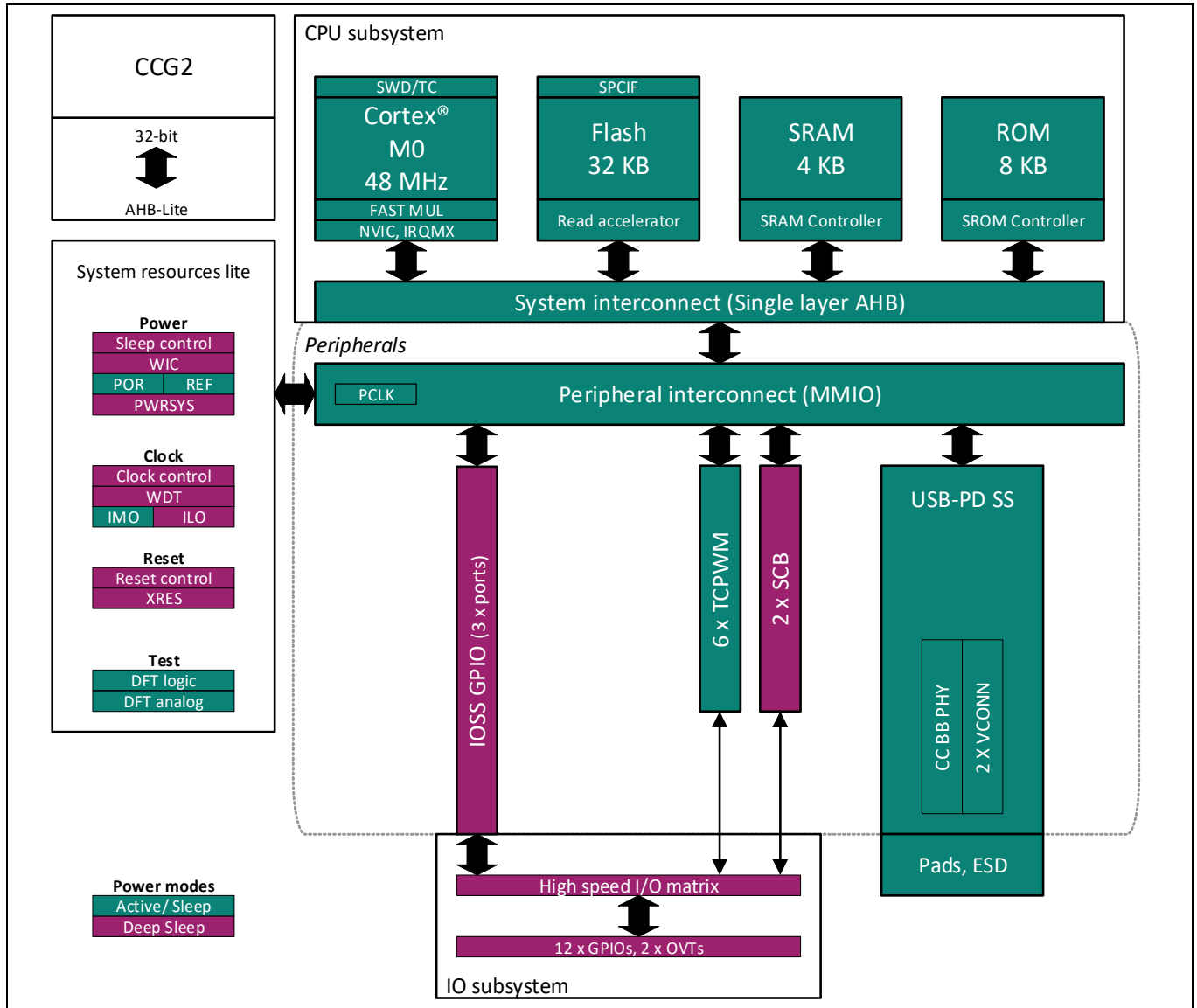


Figure 1 EZ-PD™ CCG2 のブロック図

3 機能概要

3.1 CPU およびメモリ サブシステム

3.1.1 CPU

EZ-PD™ CCG2 内の Cortex®-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。ほとんどの場合、これは 16 ビット命令を使用し、Thumb-2 命令セットを実行します。これにより、Cortex®-M3 や M4 などの、より高性能プロセッサへのバイナリコードの完全な上位移行が可能になるため、上位互換が可能になります。インフィニオンは本製品に、1 サイクル内で 32 ビットの結果を出すハードウェア乗算器を含め実装しました。これは、32 の割込み入力を持つネスト型ベクタ割込みコントローラ (NVIC) ブロックおよびウェイクアップ割込みコントローラ (WIC) を含んでいます。WIC はディープスリープモードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープモードにあるときにメインプロセッサへの電源を切れます。Cortex®-M0 CPU はマスク不可能割込み (NMI) 入力を提供しています。これは、ユーザが要求したシステム機能用に使用されていない時、ユーザによって使用できます。

また、CPU は 2 線式の JTAG であるシリアルワイヤデバッグ (SWD) インターフェースも備えています。EZ-PD™ CCG2 に使用するデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

3.1.2 フラッシュ

EZ-PD™ CCG2 デバイスは、フラッシュブロックからの平均アクセス時間を改善するために CPU に密結合された、フラッシュアクセラレータを備えたフラッシュモジュールを内蔵しています。フラッシュブロックは、48 MHz では 1 ウェイトステート (WS) アクセス時間、24 MHz では 0 WS アクセス時間に対応しています。フラッシュアクセラレータはシングルサイクル SRAM のアクセス性能と比較して、アクセス時間平均 85 % を達成します。必要に応じて、EEPROM 動作をエミュレートするためにフラッシュモジュールの一部を使用できます。

3.1.3 SRAM

ブートおよびコンフィギュレーションルーチンを含んでいる監視 ROM (SRAM) が提供されます。

3.2 USB-PD サブシステム (SS)

EZ-PD™ CCG2 は、USB Type-C ベースバンドトランシーバーと物理層ロジックで構成された USB-PD サブシステムを内蔵しています。このトランシーバーは BMC や 4b/5b 符号化と復号化関数を実行し、1.2V フロントエンドを備えています。このサブシステムは、EZ-PD™ CCG2 ソリューションの役割を確定するために必要な終端抵抗を統合しています。 R_A は、EZ-PD™ CCG2 をアクセサリまたは電氣的にマークされたケーブルと確定します。 R_D は、EZ-PD™ CCG2 をハイブリッドケーブルやドングル内の UFP と確定します。DFP にコンフィギュレーションされた場合、搭載電流源は R_P またはプルアップ抵抗の役割を果たします。これらの電流源は、Type-C で定義された VBUS 電流容量の全範囲を指定するようプログラムできます。EZ-PD™ CCG2 はすべての USB-PD 通信に応答します。EZ-PD™ CCG2 の USB-PD サブシステムは SOP、SOP'、SOP'' メッセージに応答するようプログラムできます。

USB-PD サブシステムは、アナログ - デジタル変換用の 1 つの 8 ビット逐次比較レジスタ (SAR) ADC を含みます。その ADC は 8 ビット DAC とコンパレータを含みます。DAC 出力はコンパレータの正の入力となります。コンパレータの負の入力は 4 入力マルチプレクサから派生します。マルチプレクサの 4 入力は、一対のグローバルアナログマルチプレクサバス、内部バンドギャップ電圧、および絶対温度に比例する内部電圧です。すべての GPIO 入力は、ADC 用に GPIO がマルチプレクサバスに接続できるようにするために、各 GPIO に付いたスイッチを介して、グローバルアナログマルチプレクサバスに接続できます。CC1、CC2 および RD1 ピンはマルチプレクサバスに接続できません。

機能概要

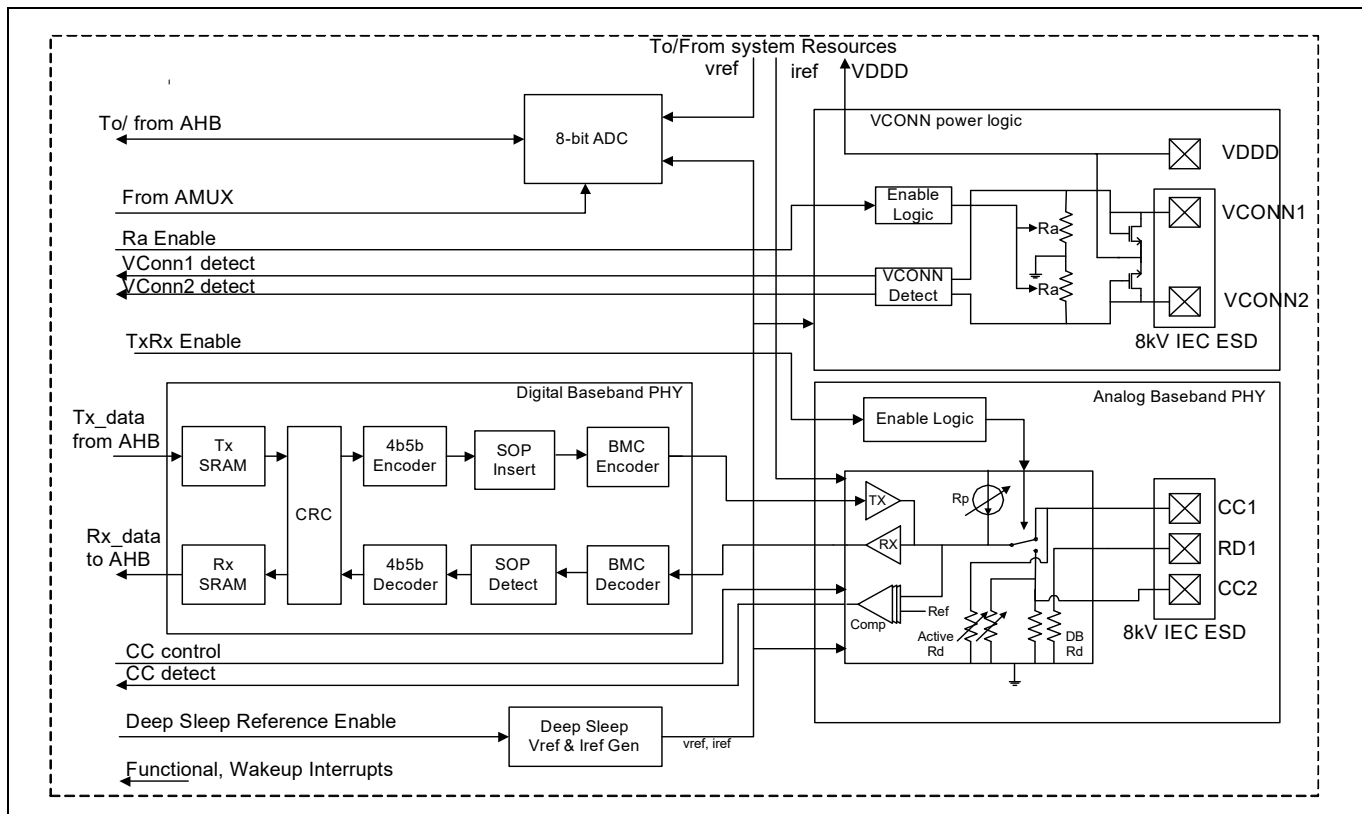


Figure 2 USB-PD サブシステム

3.3 システム リソース

3.3.1 電源システム

電源システムは 13 ページの電源の節で詳しく説明されます。電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルに達するまでモードへの移行を遅延させる (例えば、パワー オンリセット (POR) の時)、またはリセット (電圧低下検出 (BOD)) が割込み (低電圧検出 (LVD)) を生成します。EZ-PD™ CCG2 は 2.7 ~ 5.5V の範囲で 3 つの異なる電源から動作でき、3 つの電力モードがあります。これらの電力モード間の遷移は電源システムで管理されます。EZ-PD™ CCG2 はスリープおよびディープスリープの低消費電力モードに対応しています。

3.3.2 クロックシステム

EZ-PD™ CCG2 のクロックシステムは内蔵主発振器 (IMO) および内部低消費電力発振器 (ILO) からなります。

3.4 ペリフェラル

3.4.1 シリアル通信ブロック (SCB)

EZ-PD™ CCG2 は、I²C、SPI または UART インターフェースを実装するようコンフィギュレーションできる 2 個の SCB を内蔵しています。ハードウェア I²C ブロックは、マルチマスターのアービトレーションが可能な、完全マルチマスターとスレーブインターフェースを実装します。SPI モードでは、SCB ブロックはマスターかスレーブとして機能するようコンフィギュレーションできます。

I²C モードでは、SCB ブロックは最大 1 bps (ファストモードプラス) で動作でき、CPU の割込みオーバヘッドとレイテンシを削減するためにバッファリングオプションを柔軟に選択できます。これらのブロックはまた、EZ-PD™ CCG2 のメモリ内にメールボックスアドレス範囲を作る I²C に対応しており、メモリレイへの読み書きの I²C 通信を効果的に削減します。さらに、これらのブロックは送受信の深

機能概要

さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出す一定の時間を増加することで、時間どおりに読み出しデータがないことに起因したクロックストレッチの必要性を大幅に低減します。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義されるように I²C 標準モード、ファストモード、ファストモード プラスのデバイスと互換性があります。I²C バス I/O は、オープンドレインモードにある GPIO を使って実装されます。

以下の点では、EZ-PD™ CCG2 内の SCB1 ブロックの I²C ポートは I²C 仕様に完全に準拠していません。

- SCB1 の I²C ポートの GPIO セルは過電圧耐性がないため、I²C システムの残りの部分から独立してホットスワップするか、電源を投入できません。
- ファストモード プラスの I_{OL} 仕様は、V_{OL} 0.4V で 20 mA です。GPIO セルは V_{OL} 最大値 0.6V で I_{OL} 最大値は 8 mA です。
- ファストモードとファストモード プラスは、GPIO セルで満たせない最小立ち下り時間を指定しています。低速ストロングモードは、バス負荷によってこの仕様を満たすことがあります。

3.4.2 タイマー / カウンター / PWM (TCPWM) ブロック

EZ-PD™ CCG2 は TCPWM ブロックが 6 つあります。それぞれは 16 ビットのタイマー、カウンター、パルス幅変調器 (PWM) と直交デコーダ機能を実装しています。このブロックは、入力信号の周期とパルス幅の測定 (タイマー)、特定のイベントの発生回数の検出 (カウンター)、PWM 信号の生成、または直交信号のデコードに使用できます。

3.5 GPIO

EZ-PD™ CCG2 は、GPIO として使用可能な I²C と SWD ピンの他には、最大 10 の GPIO を備えています。SCB0 からの I²C ピンは過電圧耐性があります。備えている GPIO 数はパッケージによって異なります。GPIO ブロックは以下のものを実装します。

- 7 つの駆動強度モード：
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値セレクト (CMOS または LVTTTL)
- 駆動強度モードに加えて、入力と出力バッファの有効 / 無効の個別制御
- 前の状態をラッチするための保持モード (ディープスリープ モードで I/O 状態を維持するため)
- EMI を改善するための dv/dt 関連のノイズ制御用の選択可能なスルー レート

電源投入とリセットの間、I/O ピンは無効状態になり、入力に過電流を与えず、過剰なターンオン電流を発生させないようにします。高速 I/O マトリックスとして知られている多重化ネットワークは、I/O ピンに接続できる複数の信号間を多重化するのに使用されます。

ピン配置

4 ピン配置

Table 1 ピン配置

グループ	名称	ピンマップ 24L QFN	20 ボール 位置	説明	
USB Type-C ポート	CC1	2	B4	USB PD コネクタ検出 / コンフィギュレーション チャネル 1	
	CC2	1	A4	USB PD コネクタ検出 / コンフィギュレーション チャネル 2	
	RD1	3	B3	CC1 専用の R_d 抵抗ピン ケーブル アプリケーションでは開放のままにし、 UFP またはデッド バッテリーを伴う (外部から電源供給を必要とする) DFP のアプリケーションでは CC1 信号と一緒に接続することが必要	
GPIO および シリアル インター フェース	GPIO	22	C3	GPIO / SPI_0_CLK / UART_0_RX	
	GPIO	18	D3	GPIO / SPI_0_MOSI / UART_0_TX	
	GPIO	13	C2	GPIO / I2C_1_SDA / SPI_1_MISO / UART_1_RX	
	GPIO	10	D2	GPIO / I2C_1_SCL / SPI_1_CLK / UART_1_TX	
	GPIO	15	B2	GPIO / SPI_1_SEL / UART_1_RTS	
	GPIO	14	該当なし	GPIO	
	GPIO	17	該当なし		
	GPIO	21	該当なし		
	GPIO	23	該当なし		
	GPIO	24	該当なし		
		I2C_0_SCL	20	A3	GPIO / I2C_0_SCL / SPI_0_MISO / UART_0_RTS
		I2C_0_SDA	19	A2	GPIO / I2C_0_SDA / SPI_0_SEL / UART_0_CTS
		SWD_IO	11	E2	SWD IO / GPIO / UART_1_CTS / SPI_1_MOSI
		SWD_CLK	12	D1	SWD クロック / GPIO
リセット	XRES	16	B1	入力をリセット	
パワー	VCONN1	5	E4	VCONN 1 入力 (4.0V ~ 5.5V)	
	VCONN2	4	C4	VCONN 2 入力 (4.0V ~ 5.5V)	
	VDDIO	8	E1	I/O 用の 1.71V ~ 5.5V 電源	
	VCCD	7	A1	フィルター コンデンサ用の 1.8V レギュレータ出力	
	VDDD	9	E3	VDDD 電源入出力 (2.7V ~ 5.5V)	
	VDDD	6			
	VSS	EPAD	該当なし	グラウンド電源	
	VSS		D4		
	VSS		C1		

Table 2 GPIO 代替機能

ピン名	20-CSP	24-QFN	代替機能 (HSIOM_PORT_SEL)							
			ACT#0	ACT#1	ACT#2	ACT#3	DS #0	DS #1	DS #2	DS #3
P1.0	D2	10	tcpwm0_line	tcpwm0_compare_match	scb1_uart_tx	tcpwm0_tr_overflow	-	-	scb1_spi_clk	scb1_i2c_scl
P1.1	E2	11	tcpwm1_line	tcpwm1_compare_match	scb1_uart_cts	tcpwm1_tr_overflow	swd_data	-	scb1_spi_mosi	-
P1.2	D1	12	tcpwm2_line	tcpwm2_compare_match	-	tcpwm2_tr_overflow	swd_clk	-	-	-
P1.3	C2	13	-	-	scb1_uart_rx	-	-	scb0_spi_select1	scb1_spi_miso	scb1_i2c_sda
P1.4	-	14	-	-	-	-	-	-	-	-
P1.5	B2	15	tcpwm3_line	tcpwm3_compare_match	scb1_uart_rts	tcpwm3_tr_overflow	-	scb0_spi_miso1	scb1_spi_select0	-
P1.6	-	17	-	-	-	-	-	-	-	-
P1.7	D3	18	tcpwm4_line	tcpwm4_compare_match	scb0_uart_tx	tcpwm4_tr_overflow	-	scb0_spi_mosi	-	scb0_i2c_sda1
P0.0	A2	19	-	-	scb0_uart_cts	-	-	scb0_spi_select0	-	scb0_i2c_sda0
P0.1	A3	20	-	-	scb0_uart_rts	-	-	scb0_spi_miso0	-	scb0_i2c_scl0
P2.0	-	21	-	-	-	-	-	-	-	-
P2.1	C3	22	tcpwm5_line	tcpwm5_compare_match	scb0_uart_rx	tcpwm5_tr_overflow	-	scb0_spi_clk	-	scb0_i2c_scl1
P2.2	-	23	-	-	-	-	-	-	-	-
P2.3	-	24	-	-	-	-	-	-	-	-

ピン配置

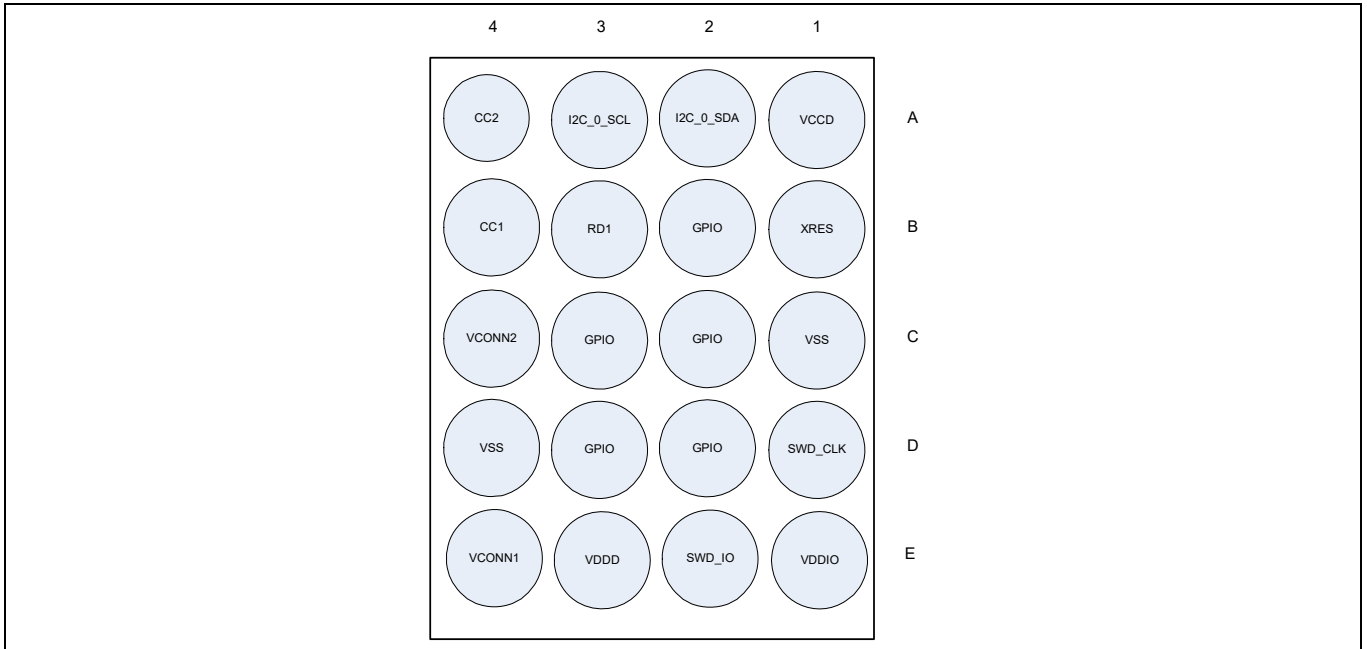


Figure 3 20 ボール WLCSP EZ-PD™ CCG2 ボール マップ (下面図)

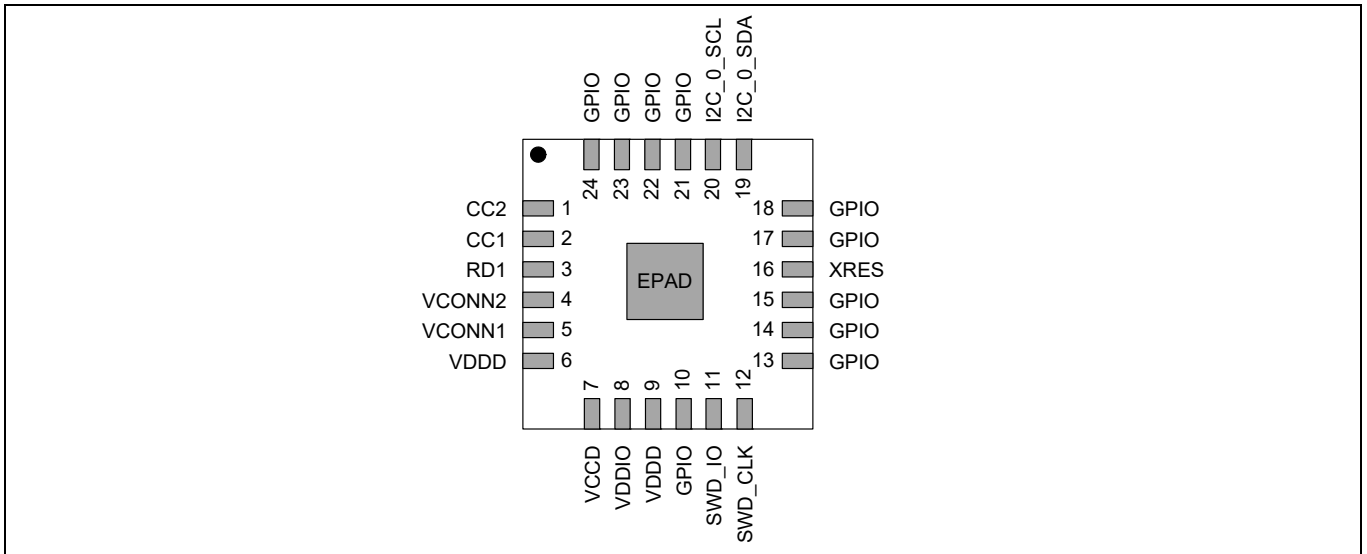


Figure 4 24L QFN ピンマップ (上面図)

電源

5 電源

以下の電源システム図に EZ-PD™ CCG2 に実装されている電源ピンの一式を示します。

EZ-PD™ CCG2 は3つの異なる電源から動作できます。VCONN1とVCONN2ピンは、ケーブルのType-CプラグでVCONNピンへの接続、またはVCONN電源を使用するアクセスサリとして使用できます。これらの入力はそれぞれ、4.0V～5.5Vの動作をサポートします。VCONN1とVCONN2ピンを内部で分離して、異なるレベルにすることが可能です。CCG2は、VCONNピンの1本または両方が電源として使用するEMCAアプリケーションで使用できます。これは後でアプリケーションについての節の図に示されます。電源入力として使用される他、各VCONNはEMCAとVCONN電源を使用するアクセスサリに必要なとされる R_A 終了抵抗にも内部で接続します。

EZ-PD™ CCG2はVDDD電源ピンから動作する時、2.7V～5.5Vでの動作にも対応しています。VCONN電源を使用するアクセスサリアプリケーションではCCG2が2.7Vで動作する必要があります。そのようなアプリケーションでは、VDDDとVCONNピンはアクセスサリ内のType-CプラグのVCONNピンに接続する必要があります。

UFP、DFP、およびDRPアプリケーションでは、CCG2はVDDDの唯一の電源入力から動作できます。そのようなアプリケーションでは、VCONNピンは開放の状態にされます。DFPアプリケーションでは、最大2.7Vの断続検出閾値に対応するために、CCG2が動作できる最低のVDDDレベルは3.0Vです。

個別のI/O電源ピンであるVDDIOは、GPIOが1.71V～5.5Vのレベルで動作できるようにします。VDDIOピンはVCONN1、VCONN2およびVDDDピンに接続した電圧に等しいか、それ以下にできます。

EZ-PD™ CCG2のVCCD出力は外付けバイパスコンデンサ(1～1.6 μ F; X5Rセラミックまたはこれより良質のもの)を介してグラウンドに接続する必要があります。

バイパスコンデンサはVDDD、VCONNピンとグラウンド間を接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、0.1 μ Fコンデンサを使用します。これらは単に経験則であり、重要なアプリケーションに対しては、設計のためと最適なバイパスを得るために、PCBレイアウト、リードインダクタンス、バイパスコンデンサ寄生容量をシミュレートする必要があることに注意してください。

Figure 5に電源バイパスコンデンサの例を示します。

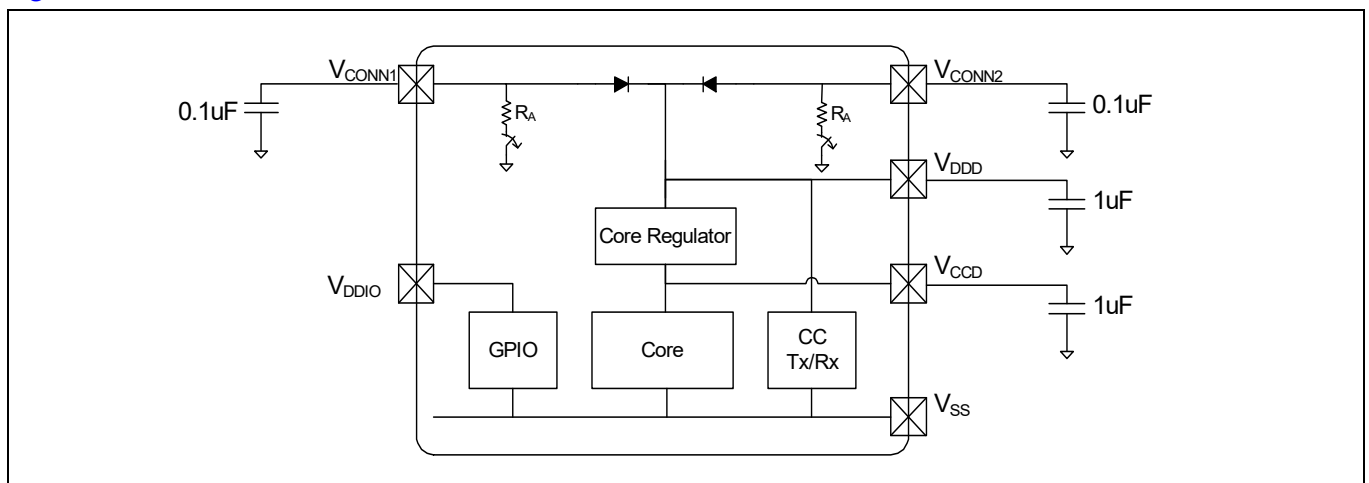


Figure 5 EZ-PD™ CCG2の電源とバイパススキーム例

6 CCG2 のプログラミングとブートロード

CCG2 デバイスにアプリケーションファームウェアをプログラムするには、2つの方法があります。

1. SWD インターフェースによるデバイスフラッシュのプログラミング
2. 特定のインターフェース (CC、I²C) を介したアプリケーションファームウェアの更新

一般的に、CCG2 デバイスは、開発中または最終製品の製造プロセス中にのみ、SWD インターフェースでプログラムされます。最終製品が製造された後、CCG2 デバイスのアプリケーションファームウェアは、適切なブートローダインターフェースを介して更新できます。しかし、お客様による安全なファームウェアアップデート方法が実装されるまでの期間は、最終製品が大量生産に入る前に、ブートローダインターフェースを介したアップデートを無効にすることを推奨します。

6.1 SWD インターフェースでの CCG2 デバイスフラッシュのプログラミング

CCG2 ファミリーのデバイスは、SWD インターフェースを使用してプログラムできます。インフィニオンは、MiniProg3 と呼ばれるプログラミングキット (CY8CKIT-002 MiniProg3 キット) と、フラッシュプログラムおよびデバッグファームウェアに使用できる MiniProg4 (CY8CKIT-005 MiniProg4 キット) を提供しています。フラッシュに 16 進ファイルからの情報をダウンロードすることでプログラムします。この 16 進ファイルは、PSoc Creator Software でファームウェアプロジェクトをビルドする際に出力されるバイナリファイルです。MiniProg3 プログラマの使用の詳細については、[こちら](#) をクリックしてください。MiniProg4 プログラマの使用の詳細については、[こちら](#) をクリックしてください。製造環境での大量プログラミングをサポートするサードパーティのプログラマはたくさんあります。

Figure 6 のブロック図に示すように、SWD_IO ピンと SWD_CLK ピンはそれぞれホストプログラマの SWDIO (データ) ピンと SWDCLK (クロック) ピンに接続されています。SWD プログラミングの間、ホストプログラマはデバイスの VTARG (ターゲットデバイスへの電源) を CCG2 デバイスの VDDD ピンに接続することで、デバイスに電源を供給できます。CCG2 デバイスにオンボード電源が供給されている場合は、「リセットプログラミング」オプションを使用してプログラミングできます。詳細については、CCGx プログラミング仕様に関する [インフィニオンサポート](#) にお問い合わせください。

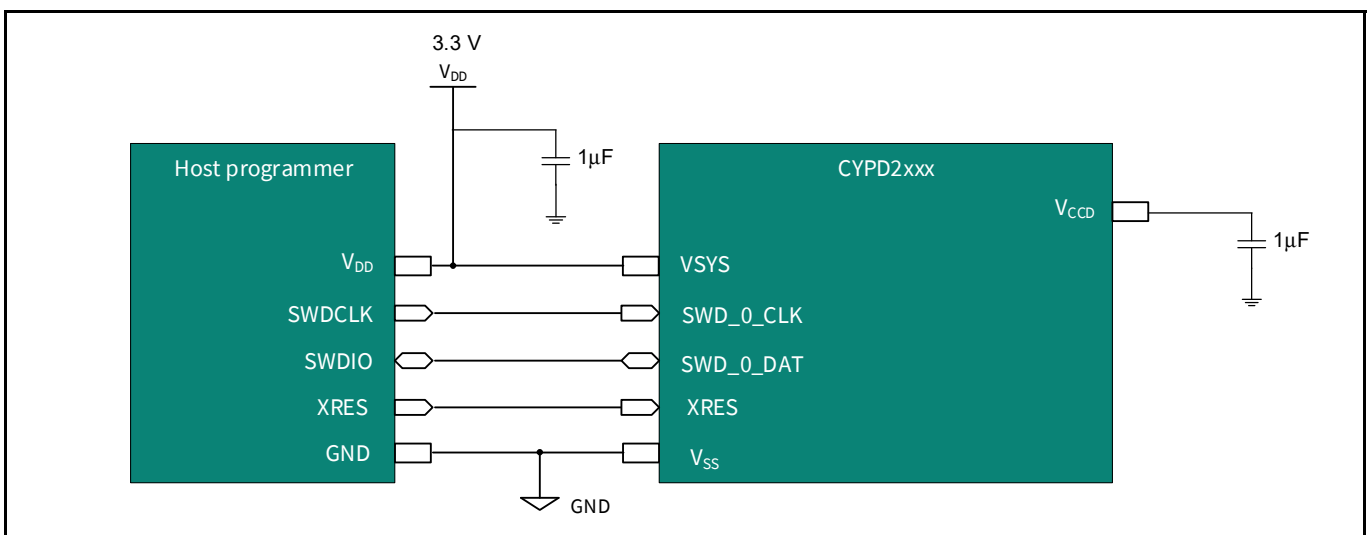


Figure 6 プログラマと CCG2 デバイスの接続

6.2 アプリケーションファームウェアの更新 (I²C、CC)

アプリケーションファームウェアは、CCG2 デバイスにプログラムされたデフォルトファームウェアに応じて、2つの異なるインターフェースで更新できます。CCG2 ファミリーの各種デバイスにあらかじめプログラムされているデフォルトファームウェアの詳細については、[Table 29](#) を参照してください (ブートローダのみのデバイスもあれば、ブートローダ+アプリケーションファームウェアのデバイスもあることに注意してください)。

6.2.1 I²C インターフェースによるアプリケーションファームウェアの更新

この方法は、主に CCG2 ファミリの CYPD2104 および CYPD2122 デバイスに適用されます。このようなアプリケーションでは、CCG2 デバイスはオンボード アプリケーション プロセッサ、組込みコントローラー、または I²C インターフェース上の USB-to-I²C ブリッジとして動作するビルボード デバイスにインターフェースします。詳細については [Figure 7](#) を参照してください。

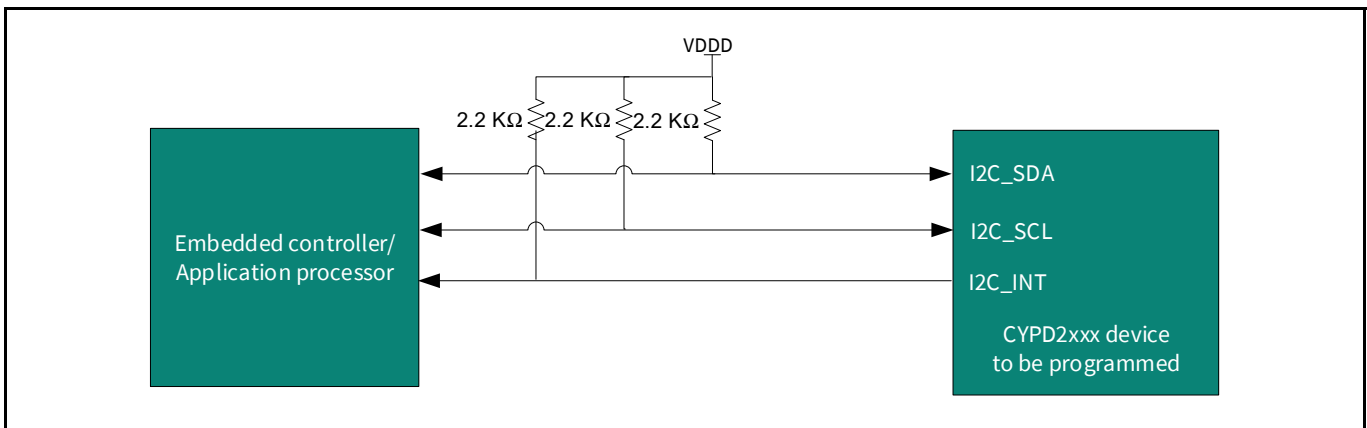


Figure 7 I²C インターフェースでのアプリケーションのファームウェア更新

6.2.2 DFP アプリケーションの CC インターフェースでのアプリケーションファームウェアアップデート

この方法は、主に CCG2 ファミリーの CYPD2134 デバイスに適用されます。ブートローディングのために、CY4532 CCG3PA EVK を使用して、プログラミングと設定データをインフィニオン固有の VDM (Vendor Defined Messages) として CC ラインで送信できます。CY4532 EVK のベースボードは、CCG2 デバイスを含むシステムに接続され、[Figure 8](#) に示すように、もう 1 つの端を [EZ-PD™設定ユーティリティ](#) を実行する Windows PC に接続され、CCG2 デバイスをブートロードします。

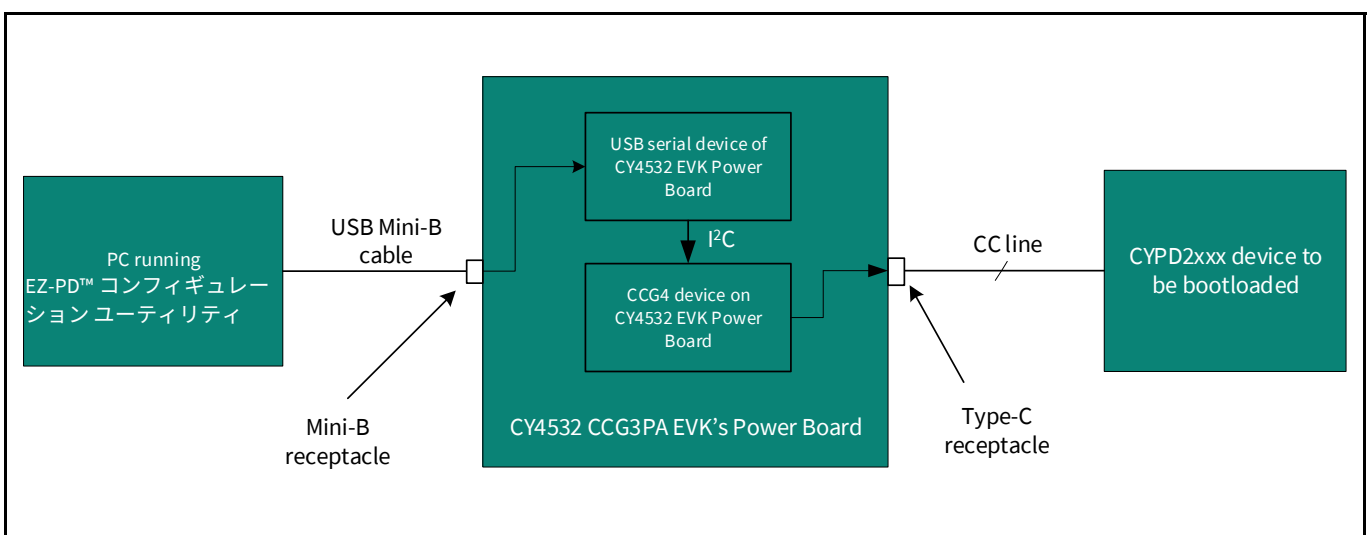


Figure 8 DFP アプリケーションの CC インターフェースでのアプリケーションファームウェア更新

6.2.3 ケーブル アプリケーション用 CC インターフェースでのアプリケーションファームウェアのアップデート

この方法は、主に CCG2 ファミリーの CYPD2105 デバイスに適用されます。ケーブル アプリケーション向けに CC インターフェースを介したアプリケーションファームウェアの更新方法の詳細については、[EZ-PD™ Configuration Utility user manual](#) を参照してください。

7 アプリケーション図

7.1 EMCA アプリケーション

Figure 9 ~ Figure 12 は、CCG2 デバイスを使用した Passive EMCA アプリケーションの構成図です。Figure 9 および Figure 10 は、2つのプラグの一方に存在するケーブルごとに1つの CCG2 デバイスを使用したアプリケーションを示します。Figure 11 および Figure 12 は、各プラグに存在するケーブルごとに2つの CCG2 デバイスを使用したアプリケーションを示します。VBUS 信号、SuperSpeed ライン、HighSpeed ライン、CC ラインはプラグ間で直接接続されます。

Figure 9 と Figure 10 のアプリケーション図は、どのプラグがホスト (DFP) に接続されているかに関係なく、CCG2 デバイスが電力を供給できるように、1本の VCONN 線をケーブルに通す必要があることを示しています。しかし、Figure 11 と Figure 12 のアプリケーション図では、VCONN 信号はケーブル全体を通らず、プラグの両端にある CCG2 デバイスのそれぞれの VCONN ピンのみを通ります。また、VCONN を供給する DFP の近くにある CCG2 デバイスのどちらかによって、任意のインスタンスで1つの CCG2 デバイスにのみ電力が供給されます。

注: Figure 10 の応用回路図では、2.7 V ~ 5.5 V の拡張 VCONN 電圧範囲で動作させるために外部ダイオードが必要です。

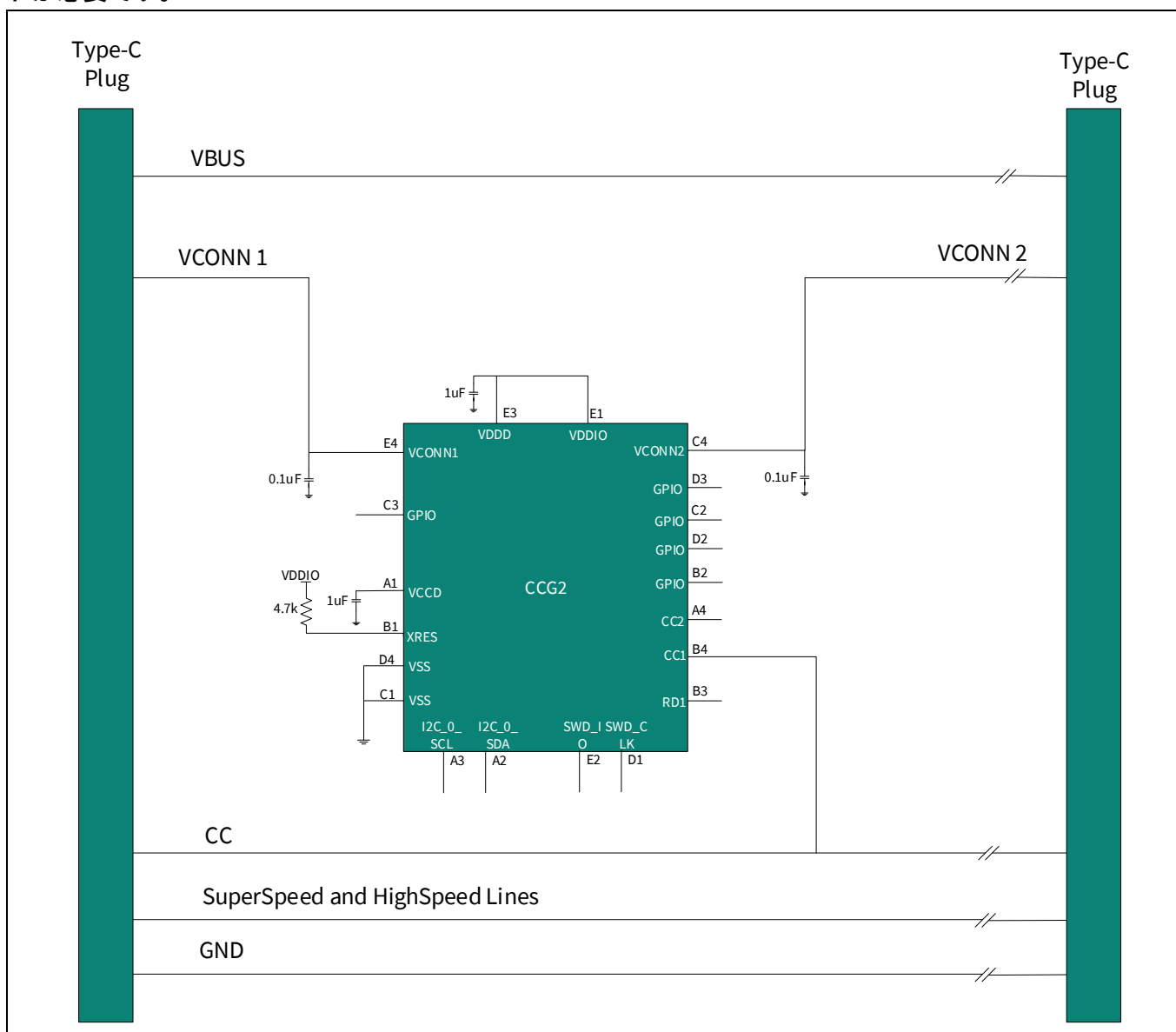


Figure 9 パッシブ EMCA アプリケーション - ケーブル 1 本あたり 1 つの EZ-PD™ CCG2 (VCONN レンジ 4.0 V ~ 5.5 V)

アプリケーション図

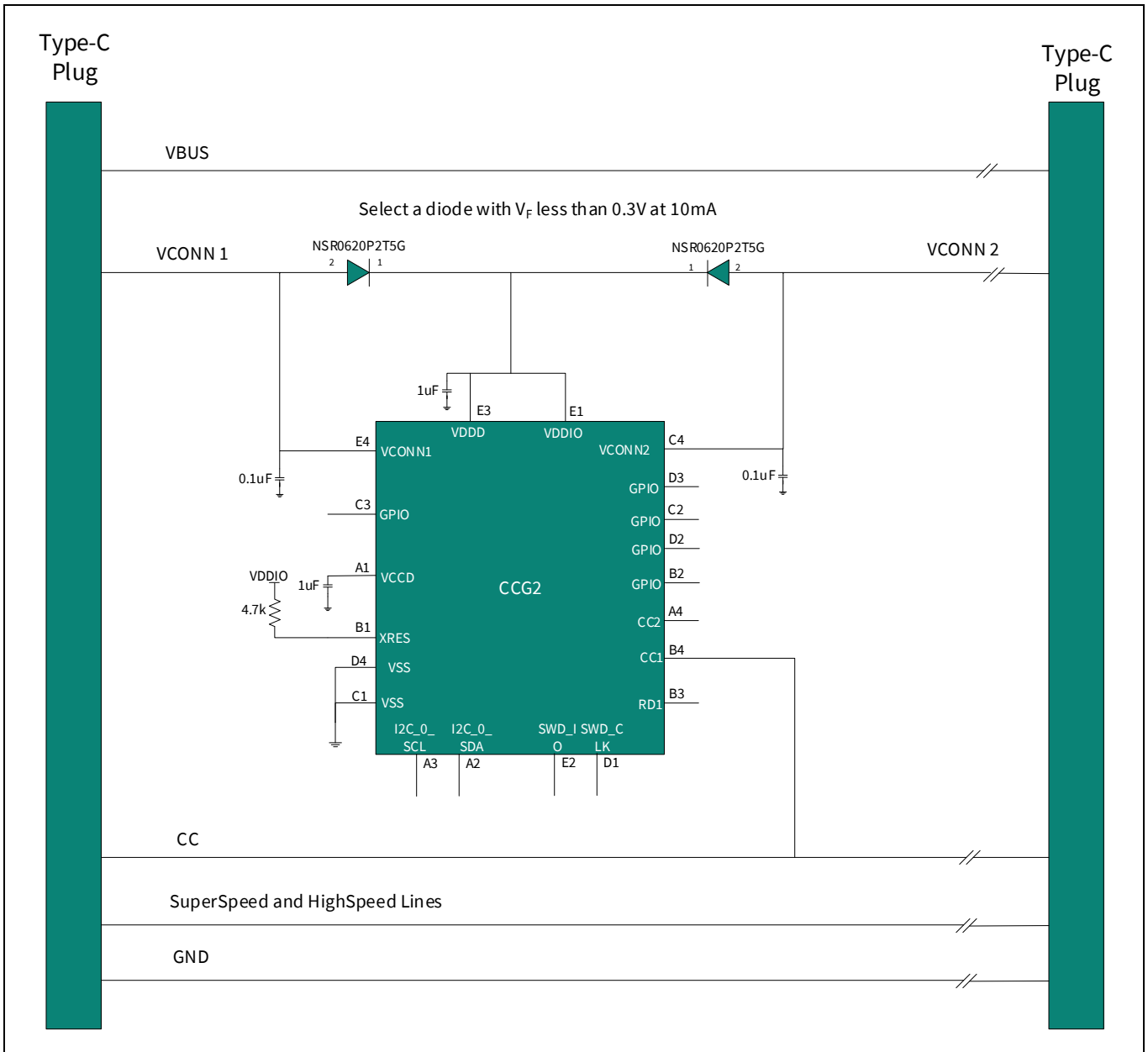


Figure 10 パッシブ EMCA アプリケーション - ケーブル 1 本あたり 1 つの EZ-PD™ CCG2 (VCONN レンジ 2.7V ~ 5.5V)

アプリケーション図

7.2 アップストリーム対向ポート アプリケーション

Figure 13 に、CCG2 デバイスが UFP アプリケーション (Type-C ポートを持つタブレット) において、電力を消費する側としてのみ使用されるケースを示します。

Type-C レセプタクルは、アプリケーションプロセッサに直接接続される HighSpeed および SuperSpeed ラインを提供します。Type-C レセプタクルからの VBUS ラインは、直接 UFP (タブレット) 充電回路に送られます。アプリケーションプロセッサは、I²C 信号を介して CCG2 デバイスと通信し、Type-C レセプタクルからの CC1 および CC2 ラインは、CCG2 デバイスのそれぞれの CC1/2 ピンに直接接続されます。

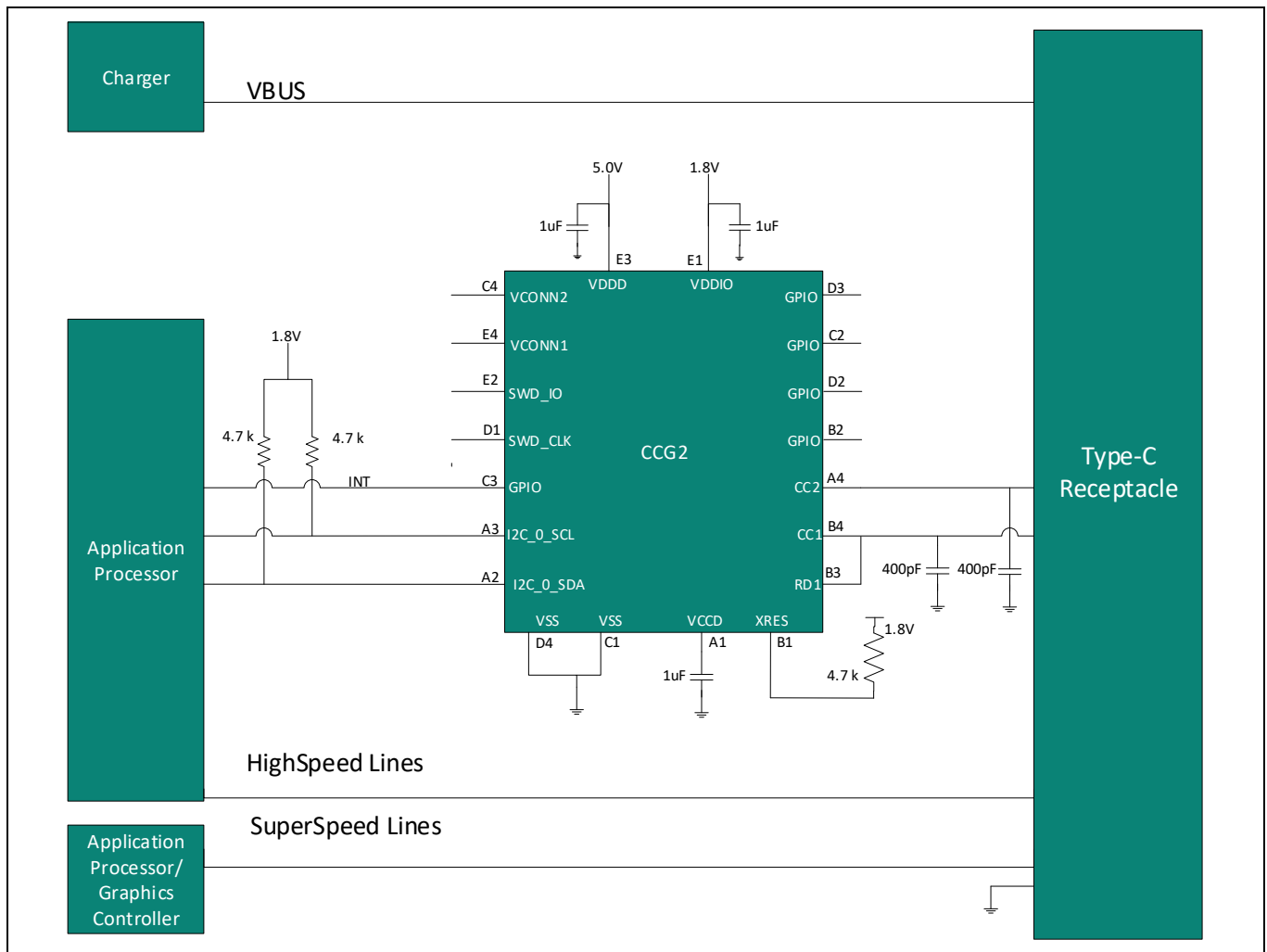


Figure 13 アップストリーム対向ポート (UFP) アプリケーション - Type-C ポート搭載のタブレット

アプリケーション図

7.3 ノートブック PC アプリケーション

Figure 14 に、CCG2 デバイスを使用したノートブック PC DRP アプリケーション図を示します。Type-C ポートは電力プロバイダおよび電力コンシューマとして使用できます。CCG2 デバイスは、I²C を介して組み込みコントローラ (EC) と通信します。また、データマルチプレクサを制御して、高速信号を USB チップセット (通常モード時) または DisplayPort チップセット (代替モード時) にルーティングします。SBU ライン、SuperSpeed ライン、HighSpeed ラインは、ノートブック PC のディスプレイマルチプレクサから Type-C レセプタクルに直接配線されます。

オプションの FET は、Type-C レセプタクルの VCONN ピンを使用してアクセサリやケーブルに電力を供給する必要があるアプリケーション向けに提供されます。VBUS FET は、VBUS 経由での電力供給と VBUS 経由での電力消費にも使用されます。CCG2 デバイスによって制御される VBUS_DISCHARGE FET は、Type-C 接続が切り離された後、VBUS を素早く放電するために使用されます。

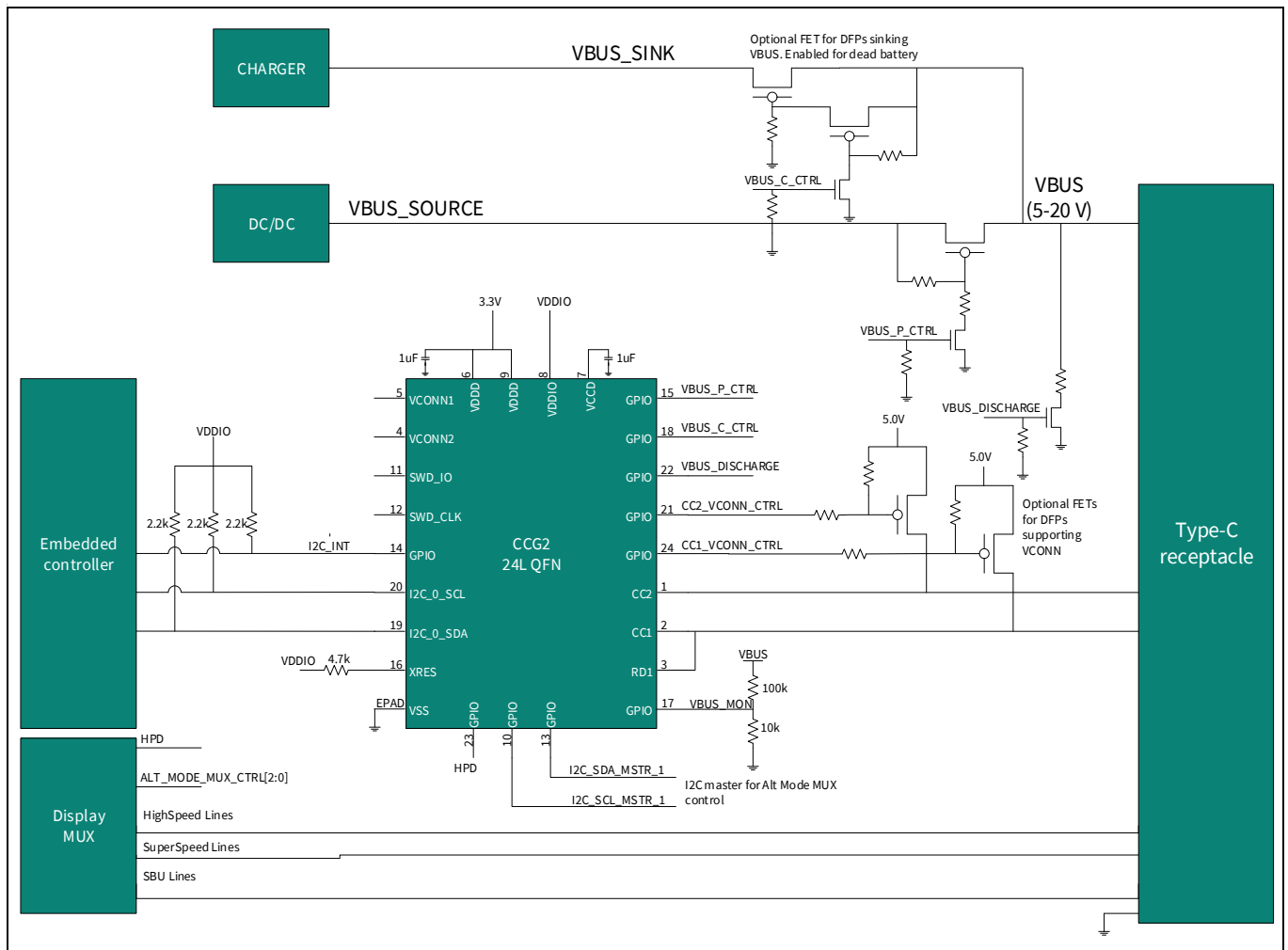


Figure 14 デュアルロールポート (DRP) アプリケーション (新規設計には推奨されません)

アプリケーション図

7.4 ダウンストリーム対向ポート アプリケーション

Figure 15 に、CCG2 デバイスが DFP として使用される、CCG2 レセプタクルベースの電源アダプタ アプリケーションを示します。CCG2 はすべての終端抵抗を集積し、GPIO (VSEL_0 と VSEL_1) を使用してネゴシエートされた電力プロファイルを示します。Type-C ポートの VBUS 電圧は、VBUS の低電圧および過電圧の状態を検出するために、内部 ADC を使用して監視されます。電源アダプターケーブルの取り外し時に VBUS を素早く放電できるように、放電経路も設けられています。

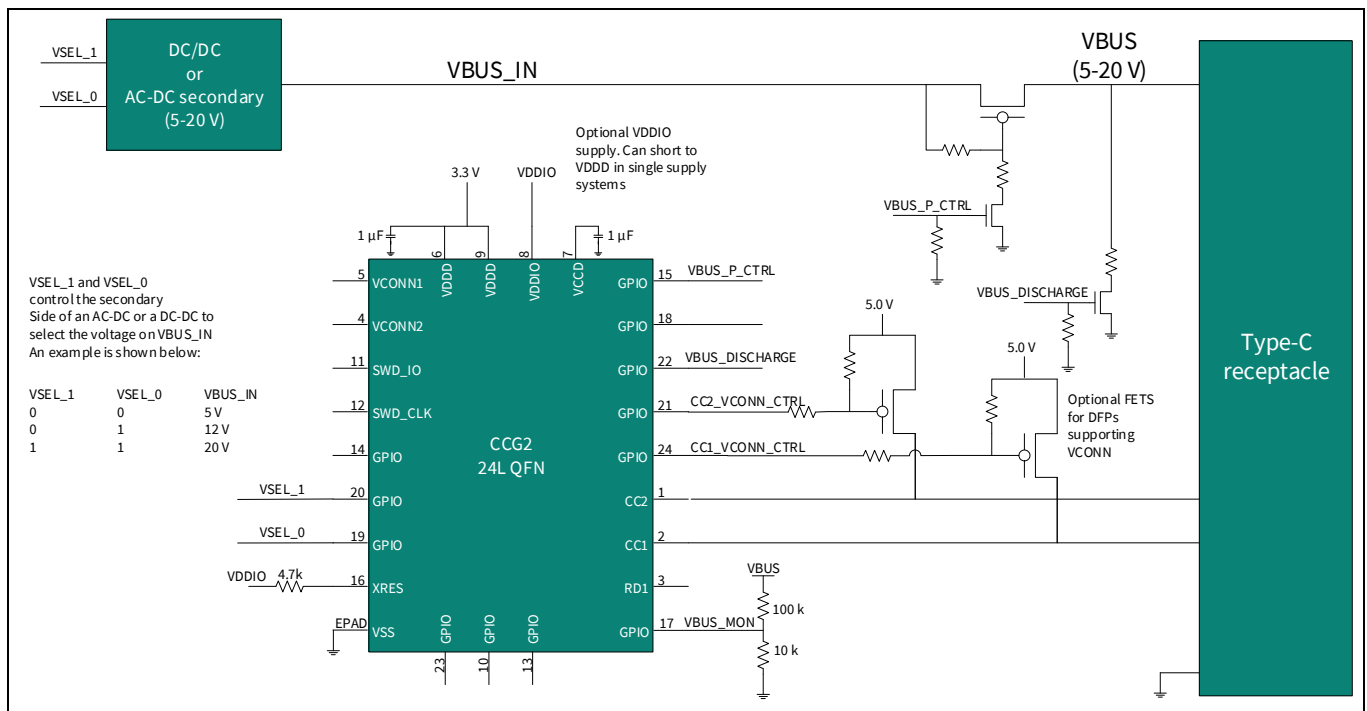


Figure 15 ダウンストリーム対向ポート (DFP) アプリケーション

CCG2 は、新しいデザインの Video ドングル用 Type-C には推奨されません。CCG3 は、このアプリケーションに対してより統合されたソリューションを提供し、PD3.0 も対応します。詳細については、[CCG3 データシート](#)を参照してください。このセクションは互換性維持のみを目的とした内容です。

電氣的仕様

8 電氣的仕様

8.1 絶対最大定格

Table 3 絶対最大定格^[1]

パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
V _{DDD_MAX}	V _{SS} を基準としたデジタル電源	-0.5	-	6	V	絶対最大値
V _{CONN1_MAX}	V _{SS} を基準にした最大電源電圧	-	-	6		
V _{CONN2_MAX}	V _{SS} を基準にした最大電源電圧	-	-	6		
V _{DDIO_MAX}	V _{SS} を基準にした最大電源電圧	-	-	6		
V _{GPIO_ABS}	GPIO 電圧	-0.5	-	V _{DDIO} + 0.5		
V _{CC_ABS}	CC1 および CC2 ピンの絶対最大電圧	-	-	6		
I _{GPIO_ABS}	GPIO ごとの最大電流	-25	-	25	mA	絶対定格、ピンごとの注入された電流
I _{GPIO_injection}	GPIO 注入電流、V _{IH} > V _{DDD} の場合は Max、V _{IL} < V _{SS} の場合は Min	-0.5	-	0.5		
ESD_HBM	静電気放電 (人体モデル, ESD_HBM)	2200	-	-	V	-
ESD_CDM	デバイス帯電モデル ESD	500	-	-		
LU	ラッチアップ時のピン電流	-200	-	200	mA	
ESD_IEC_CON	ESD IEC61000-4-2 の数	8000	-	-	V	CC1、CC2、VCONN1、VCONN2 ピン上の接触放電
ESD_IEC_AIR	ESD IEC61000-4-2 の数	15000	-	-		CC1、CC2、VCONN1、VCONN2 ピンの空中放電

注

- Table 3 に記載される絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150 °C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えているときは、デバイスが仕様どおりに動作しない可能性があります。

電氣的仕様

8.2 デバイスレベルの仕様

特に注記した場合を除いて、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ において有効です。仕様は、特に注記した場合を除いて、 $3.0\text{V} \sim 5.5\text{V}$ において有効です。

Table 4 DC仕様 (1/2)

仕様 ID#	パラメータ	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.PWR#1	V_{DDD}	電源入力電圧	2.7	-	5.5	V	UFP アプリケーション
SID.PWR#1_A	V_{DDD}		3.0	-	5.5		DFP/DRP アプリケーション
SID.PWR#23	V_{CONN1}		4.0	-	5.5		-
SID.PWR#23_A	V_{CONN2}		4.0	-	5.5		
SID.PWR#13	V_{DDIO}	GPIO 電源提供	1.71	-	5.5	-	
SID.PWR#24	V_{CCD}	出力電圧 (コア ロジック用)	-	1.8	-		
SID.PWR#15	C_{EFC}	V_{CCD} 上のレギュレータ電圧用の外付けバイパスコンデンサ	1	1.3	1.6		μF
SID.PWR#16	C_{EXC}	V_{DDD} 上の電源デカップリングコンデンサ	-	1	-		
SID.PWR#25		V_{CONN1} と V_{CONN2} 上の電源デカップリングコンデンサ	-	0.1	-		

アクティブモード、 $V_{\text{DDD}} = 2.7\text{V} \sim 5.5\text{V}$ 。Typ 値は $V_{\text{DD}} = 3.3\text{V}$ で測定

SID.PWR#12	I_{DD12}	供給電流	-	7.5	-	mA	V_{CONN1} または $V_{\text{CONN2}} = 5\text{V}$ 、 $T_A = 25^{\circ}\text{C}$ 、CC I/O IN 送信 / 受信、 R_A 切断、I/O ソース電流なし、CPU 速度 12 MHz。
------------	-------------------	------	---	-----	---	----	--

スリープモード、 $V_{\text{DDD}} = 2.7\text{V} \sim 5.5\text{V}$

SID25A	I_{DD20A}	$I^2\text{C}$ ウェイクアップ。ウォッチドッグがオン。IMO が 48 MHz で動作	-	2.0	3.0	mA	$V_{\text{DDD}} = 3.3\text{V}$ 、 $T_A = 25^{\circ}\text{C}$ 、CPU 以外のすべてのブロックがオン、CC I/O がオン、I/O ソース電流なし
--------	--------------------	---	---	-----	-----	----	--

ディープスリープモード、 $V_{\text{DDD}} = 2.7\text{V} \sim 3.6\text{V}$ (レギュレータが有効)

SID_DS_RA	$I_{\text{DD_DS_RA}}$	$V_{\text{CONN1}} = 5.0$ 、 R_A 終端無効	-	100	-	μA	V_{CONN1} 、 $V_{\text{CONN2}} = 5\text{V}$ 、 $T_A = 25^{\circ}\text{C}$ 。 V_{CONN1} および V_{CONN2} の R_A 終端は無効。 SID.PD.7 を参照してください。 ディープスリープ中に VCONN リーク回路がオフ。
SID34	I_{DD29}	$V_{\text{DDD}} = 2.7 \sim 3.6\text{V}$ 、 $I^2\text{C}$ 、ウェイクアップおよび WDT がオン	-	50	-		V_{CONN1} と V_{CONN2} 上で R_A スイッチが無効。 $V_{\text{DDD}} = 3.3\text{V}$ 、 $T_A = 25^{\circ}\text{C}$

電氣的仕様

Table 4 DC仕様 (2/2)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID_DS	I_{DD_DS}	$V_{DDDD} = 2.7 \sim 3.6 V$ 。CC ウェイクアップ ON	-	2.5	-	μA	電源 = V_{DDDD} 、Type-C が 差し込まず、ウェイク アップ用に CC が有効、 R_p が無効
XRES 電流							
SID307	I_{DD_XR}	XRES がアサート時の供給 電流	-	1	10	μA	-

Table 5 AC仕様

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.CLK#4	F_{CPU}	CPU 周波数	DC	-	48	MHz	$3.0 V \leq V_{DDDD} \leq 5.5 V$
SID.PWR#20	T_{SLEEP}	スリープモードからのウェ イクアップ	-	0	-	μs	特性評価で保証
SID.PWR#21	$T_{DEEPSLEEP}$	ディープスリープモードか らの復帰時間	-	-	35		24 MHz IMO、特性評 価により保証。
SID.XRES#5	T_{XRES}	外部リセットパルス幅	5	-	-	ms	特性評価で保証
SYS.FES#1	T_{PWR_RDY}	電源投入から「I2C / CC コ マンドの受信が準備できる」 まで	-	5	25		

8.2.1 I/O

Table 6 I/O の DC仕様 (1/2)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.GIO#37	$V_{IH}^{[2]}$	入力電圧 HIGH 閾値	$0.7 \times V_{DDIO}$	-	-	V	CMOS 入力
SID.GIO#38	V_{IL}	入力電圧 LOW 閾値	-	-	$0.3 \times V_{DDIO}$		
SID.GIO#39	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DDIO} < 2.7 V$	$0.7 \times V_{DDIO}$	-	-		
SID.GIO#40	V_{IL}	LVTTL 入力、 $V_{DDIO} < 2.7 V$	-	-	$0.3 \times V_{DDIO}$		
SID.GIO#41	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DDIO} \geq 2.7 V$	2.0	-	-		
SID.GIO#42	V_{IL}	LVTTL 入力、 $V_{DDIO} \geq 2.7 V$	-	-	0.8		
SID.GIO#33	V_{OH}	出力 HIGH 電圧	$V_{DDIO} - 0.6$	-	-		V_{DDIO} が 3 V 時の $I_{OH} = 4 mA$
SID.GIO#34	V_{OH}	出力 HIGH 電圧	$V_{DDIO} - 0.5$	-	-		1.8 V V_{DDIO} で $I_{OH} =$ 1 mA
SID.GIO#35	V_{OL}	出力 LOW 電圧	-	-	0.6		V_{DDIO} が 1.8 V 時の $I_{OL} = 4 mA$
SID.GIO#36	V_{OL}	出力 LOW 電圧	-	-	0.6		V_{DDIO} が 3 V 時の $I_{OL} = 8 mA$
SID.GIO#5	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	k Ω	-
SID.GIO#6	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5		

電氣的仕様

Table 6 I/O の DC 仕様 (2/2)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.GIO#16	I_{IL}	入力リーク電流 (絶対値)	-	-	2	nA	25 °C、 $V_{DDIO} = 3.0V$ 特性評価で保証。
SID.GIO#17	C_{IN}	入力静電容量	-	-	7	pF	特性評価で保証
SID.GIO#43	V_{HYSTTL}	入力ヒステリシス LVTTTL	25	40	-	mV	$V_{DDIO} \geq 2.7V$ 。特性 評価で保証
SID.GPIO#44	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDIO}$	-	-		
SID69	I_{DIODE}	保護ダイオードから V_{DDIO}/V_{SS} へ流れる電流	-	-	100	μA	特性評価で保証。
SID.GIO#45	I_{TOT_GPIO}	ソースまたはチップのシンク 電流の合計最大値	-	-	200	mA	

Table 7 I/O AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID70	T_{RISEF}	立ち上がり時間	2	-	12	ns	$3.3V V_{DDIO}$ 、 $C_{load} =$ 25 pF
SID71	T_{FALLF}	立ち下り時間	2	-	12		

8.2.2 XRES

Table 8 XRES の DC 仕様

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.XRES#1	V_{IH}	入力電圧 HIGH 閾値	$0.7 \times V_{DDIO}$	-	-	V	CMOS 入力
SID.XRES#2	V_{IL}	入力電圧 LOW 閾値	-	-	$0.3 \times V_{DDIO}$		
SID.XRES#3	C_{IN}	入力静電容量	-	-	7	pF	特性評価で保証
SID.XRES#4	$V_{HYSXRES}$	入力電圧ヒステリシス	-	-	$0.05 \times$ V_{DDIO}	mV	

注

2. V_{IH} は $V_{DDIO} + 0.2V$ を超えてはいけません。

電氣的仕様

8.3 デジタルペリフェラル

次の仕様は、タイマモードでのタイマ / カウンタ / PWM ペリフェラルに適用されます。

8.3.1 GPIO ピン用パルス幅変調 (PWM)

Table 9 PWM の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.TCPWM.3	$T_{CPWMFREQ}$	動作周波数	-	F_C	-	MHz	$F_C \text{ max} = \text{CLK_SYS}$ 最大値 = 48 MHz
SID.TCPWM.4	$T_{PWMENEXT}$	入力トリガーのパルス幅	-	$2/F_C$	-	ns	すべてのトリガイイベント
SID.TCPWM.5	T_{PWMEXT}	出力トリガーのパルス幅	-	$2/F_C$	-		オーバーフロー、アンダーフローおよび CC (カウンター = 比較値) 出力の最小幅
SID.TCPWM.5A	T_{CRES}	カウンターの分解能	-	$1/F_C$	-		逐次カウント間の最小時間
SID.TCPWM.5B	PWM_{RES}	PWM 分解能	-	$1/F_C$	-		PWM 出力の最小パルス幅
SID.TCPWM.5C	Q_{RES}	直交位相入力分解能	-	$1/F_C$	-		直角位相入力同士間の最小パルス幅

8.3.2 I²CTable 10 固定 I²C DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID149	I_{I2C1}	100 kbps でのブロック消費電流	-	-	60	μA	-
SID150	I_{I2C2}	400 kbps でのブロック消費電流	-	-	185		-
SID151	I_{I2C3}	1 Mbps でのブロック消費電流	-	-	390		-
SID152	I_{I2C4}	I ² C がディープスリープモードで有効の場合	-	-	1.4		-

Table 11 固定 I²C AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID153	F_{I2C1}	ビットレート	-	-	1	Mbps	-

Table 12 固定 UART の DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID160	I_{UART1}	100 Kbps でのブロック消費電流	-	-	125	μA	特性評価で保証
SID161	I_{UART2}	1000 Kbps でのブロック消費電流	-	-	312		

電氣的仕様

Table 13 固定 UART の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID162	F _{UART}	ビットレート	-	-	1	Mbps	特性評価で保証

Table 14 固定 SPI の DC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID163	I _{SPI1}	1 Mbps でのブロック消費電流	-	-	360	μA	特性評価で保証
SID164	I _{SPI2}	4 Mbps でのブロック消費電流	-	-	560		
SID165	I _{SPI3}	8 Mbps でのブロック消費電流	-	-	600		

Table 15 固定 SPI の AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID166	F _{SPI}	SPI 動作周波数 (マスター; 6 倍オーバーサンプリング)	-	-	8	MHz	特性評価で保証

Table 16 固定 SPI マスター モードの AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID167	T _{DMO}	SClock 駆動エッジからの MOSI 有効期間	-	-	15	ns	特性評価で保証
SID168	T _{DSI}	SClock キャプチャ エッジまでの MISO 有効期間	20	-	-		フルクロック、MISO の遅いサンプリング 特性評価で保証
SID169	T _{HMO}	前の MOSI データ ホールド時間	0	-	-		スレーブ キャプチャ エッジを参照特性評価で保証

電氣的仕様

Table 17 固定 SPI スレーブ モードの AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID170	T _{DMI}	Sclock キャプチャ エッジまでの MOSI 有効期間	40	-	-	ns	特性評価で保証
SID171	T _{DSO}	Sclock 駆動エッジ後の MISO 有効期間	-	-	42 + 3 × T _{CPU}		TCPU = 1/FCPU。 特性評価で保証。
SID171A	T _{DSO_EXT}	外部クロックモードでの Sclock 駆動エッジからの MISO 有効期間	-	-	48		特性評価で保証
SID172	T _{HSO}	前の MISO データ ホールド時間	0	-	-		
SID172A	T _{SSELSCK}	SSEL 有効から最初の SCK 有効エッジまでの時間	100	-	-		

8.4 メモリ**Table 18** フラッシュの AC 仕様

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.MEM#4	T _{ROWWRITE} ^[3]	行 (ブロック) 書き込み時間 (消去 + 書き込み)	-	-	20	ms	行 (ブロック) = 128 バイト
SID.MEM#3	T _{ROWERASE} ^[3]	行消去時間	-	-	13		-
SID.MEM#8	T _{ROWPROGRAM} ^[3]	消去後の行プログラム時間	-	-	7		
SID178	T _{BULKERASE} ^[3]	バルク消去時間 (32 KB)	-	-	35		
SID180	T _{DEVPROG} ^[3]	デバイス プログラム合計時間	-	-	7.5	s	特性評価で保証
SID181	F _{END}	フラッシュ アクセス可能回数	100 K	-	-	サイクル	
SID182	F _{RET1}	フラッシュのデータ保存期間。T _A ≤ 55 °C、プログラム / 消去サイクル = 10 万回	20	-	-	年	
SID182A	F _{RET2}	フラッシュのデータ保存期間。T _A ≤ 85 °C、プログラム / 消去サイクル = 1 万回	10	-	-		

注

3. フラッシュメモリに書き込むためには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュメモリの動作は中断され、正常に完了したことを保証されません。リセットソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤って活性化されないことを確認してください。

電氣的仕様

8.5 システム リソース

8.5.1 電圧低下時のパワーオンリセット (POR)

Table 19 非精密 POR (PRES)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID185	V _{RISEIPOR}	立ち上りトリップ電圧	0.80	-	1.50	V	特性評価で保証
SID186	V _{FALLIPOR}	立ち下りトリップ電圧	0.75	-	1.4		

Table 20 高精度 POR

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID190	V _{FALLPPOR}	アクティブモードおよびスリープモードでの BOD トリップ電圧	1.48	-	1.62	V	特性評価で保証
SID192	V _{FALLDPSLP}	ディープスリープモードでの BOD トリップ電圧	1.1	-	1.5		

8.5.2 SWD インターフェース

Table 21 SWD インターフェース仕様

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.SWD#1	F _{SWDCLK1}	$3.3\text{ V} \leq V_{\text{DDIO}} \leq 5.5\text{ V}$	-	-	14	MHz	SWDCLK \leq 1/3 CPU クロック周波数
SID.SWD#2	F _{SWDCLK2}	$1.8\text{ V} \leq V_{\text{DDIO}} \leq 3.3\text{ V}$	-	-	7		
SID.SWD#3	T _{SWDI_SETUP}	$T = 1/f\text{ SWDCLK}$	$0.25 \times T$	-	-	ns	特性評価で保証
SID.SWD#4	T _{SWDI_HOLD}	$T = 1/f\text{ SWDCLK}$	$0.25 \times T$	-	-		
SID.SWD#5	T _{SWDO_VALID}	$T = 1/f\text{ SWDCLK}$	-	-	$0.5 \times T$		
SID.SWD#6	T _{SWDO_HOLD}	$T = 1/f\text{ SWDCLK}$	1	-	-		

8.5.3 内部主振動子

Table 22 IMO の DC 仕様

(設計評価上保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID218	I _{IMO}	48 MHz での IMO 動作電流	-	-	1000	μA	-

Table 23 IMO の AC 仕様

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.CLK#13	F _{IMOTOL}	24 MHz、36 MHz および 48 MHz での周波数誤差 (トリム済み)	-	-	± 2	%	-
SID226	T _{STARTIMO}	IMO 起動時間	-	-	7	μs	特性評価で保証
SID229	T _{JITRMSIMO}	48 MHz での RMS ジッタ	-	145	-	ps	
-	F _{IMO}	IMO 周波数	24	-	48	MHz	-

電氣的仕様

8.5.4 内部低速振動子

Table 24 ILO の DC 仕様

(設計評価上保証)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID231	I _{ILO}	32 kHz での ILO 動作電流	-	0.3	1.05	μA	特性評価で保証
SID233	I _{ILOLEAK}	ILO リーク電流	-	2	15	nA	設計評価上保証

Table 25 ILO の AC 仕様

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID234	T _{STARTILO}	ILO 起動時間	-	-	2	ms	特性評価で保証
SID236	T _{ILODUTY}	ILO のデューティ比	40	50	60	%	
SID.CLK#5	F _{ILO}	ILO の周波数	20	40	80	kHz	-

8.5.5 電源切断

Table 26 PD の DC 仕様 (1/2)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.PD.1	Rp_std	初期設定の USB 供給電流での DFP CC 終端	64	80	96	μA	-
SID.PD.2	Rp_1.5A	1.5 A 電源での DFP CC 終端抵抗	166	180	194		
SID.PD.3	Rp_3.0A	3.0 A 電源での DFP CC 終端抵抗	304	330	356		
SID.PD.4	Rd	UFP CC 終端抵抗	4.59	5.1	5.61	kΩ	全電源が 0 V、0.6 V が RD1 または CC2 に印加
SID.PD.5	Rd_DB	UFP から電源供給、CC を RD1 と CC2 に終端	4.08	5.1	6.12		
SID.PD.6	R _A	電力ケーブル終端	0.8	1.0	1.2		
SID.PD.7	Ra_OFF	電力ケーブル終端 - 無効	0.4	0.75	-	MΩ	V _{CONN1} または V _{CONN2} に 0.2 V を印加
SID.PD.8	Rleak_1	0.1 μF 負荷使用時の V _{CONN} リーク抵抗	-	-	216	kΩ	管理されるアクティブケーブル (MAC) 放電
SID.PD.9	Rleak_2	0.5 μF 負荷使用時の V _{CONN} リーク抵抗	-	-	41.2		
SID.PD.10	Rleak_3	1.0 μF 負荷使用時の V _{CONN} リーク抵抗	-	-	19.6		
SID.PD.11	Rleak_4	2.0 μF 負荷使用時の V _{CONN} リーク抵抗	-	-	9.8		
SID.PD.12	Rleak_5	5.0 μF 負荷使用時の V _{CONN} リーク抵抗	-	-	4.1		
SID.PD.13	Rleak_6	10 μF 負荷使用時の V _{CONN} リーク抵抗	-	-	2.0		

電氣的仕様

Table 26 PD の DC 仕様 (2/2)

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.PD.14	Ileak	ケーブル取り外し時の放電による V_{CONN1} と V_{CONN2} のリーク電流	150	-	-	μA	-

8.5.6 AD コンバーター

Table 27 ADC DC 仕様

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.ADC.1	分解能	ADC 分解能	-	8	-	ビット	特性評価で保証
SID.ADC.2	INL	積分非直線性	-1.5	-	1.5	LSB	
SID.ADC.3	DNL	差動非直線性	-2.5	-	2.5		
SID.ADC.4	ゲイン誤差	ゲイン誤差	-1	-	1		

Table 28 ADC の AC 仕様

仕様 ID#	パラメーター	説明	最小値	標準値	最大値	単位	詳細 / 条件
SID.ADC.5	SLEW_Max	サンプルされた電圧信号の変化率	-	-	3	V/ms	特性評価で保証

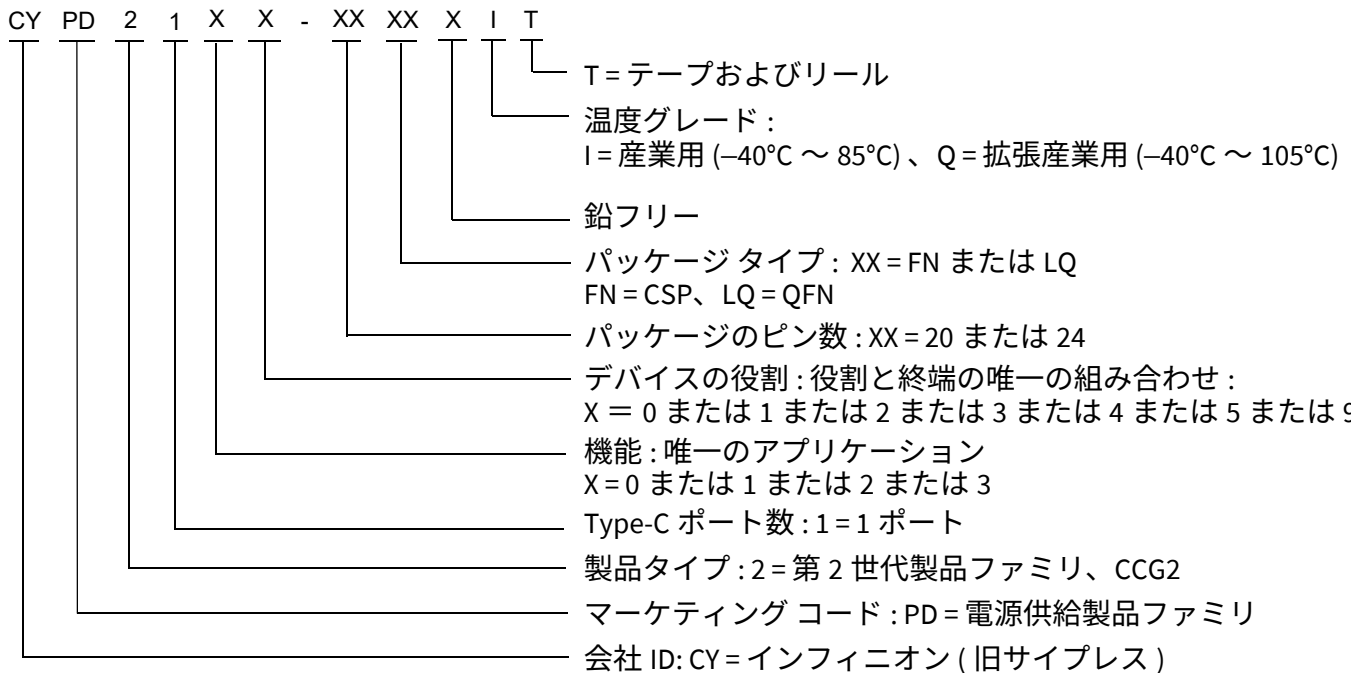
9 注文情報

EZ-PD™ CCG2 の製品番号と機能を Table 29 にリストアップします。

Table 29 EZ-PD CCG2 の注文情報

製品 [4]	アプリケーション	Type-C ポート	終端抵抗	役割	パッケージ
CYPD2104-20FNXIT	アクセサリ	1	R_P, R_D, R_{D-DB}	I ² C ブートローダーのみ	20 ボール CSP
CYPD2105-20FNXIT	アクティブケーブル		R_A	アプリケーションファームウェア付き EMCA CC ブートローダー	20 ボール CSP
CYPD2122-24LQXI	ノートブック PC		R_P, R_D, R_{D-DB}	I ² C ブートローダーのみ	24L QFN
CYPD2122-24LQXIT	ノートブック PC		R_P, R_D, R_{D-DB}		24L QFN
CYPD2134-24LQXQT	DFP		R_P	DFP CC ブートローダーのみ	24L QFN

9.1 注文コードの定義



パッケージ

10 パッケージ

Table 30 パッケージの特性

パラメーター	説明	条件	最小値	標準値	最大値	単位
T _A	動作周囲温度	産業用	-40	25	85	°C
		産業用拡張温度範囲			105	
T _J	動作接合部温度	産業用	-40	-	100	
		産業用拡張温度範囲			125	
T _{JA}	パッケージ θ_{JA} (20 ボール WLCSP)	-	-	-	66	°C/W
T _{JC}	パッケージ θ_{JC} (20 ボール WLCSP)				0.7	
T _{JA}	パッケージ θ_{JA} (24L QFN)				22	
T _{JC}	パッケージ θ_{JC} (24L QFN)				29	

Table 31 はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度の 5°C 以内での最長時間
20 ボール WLCSP 24L QFN	260 °C	30 秒

Table 32 パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
20 ボール WLCSP	MSL 1
24L QFN	MSL 3

パッケージ

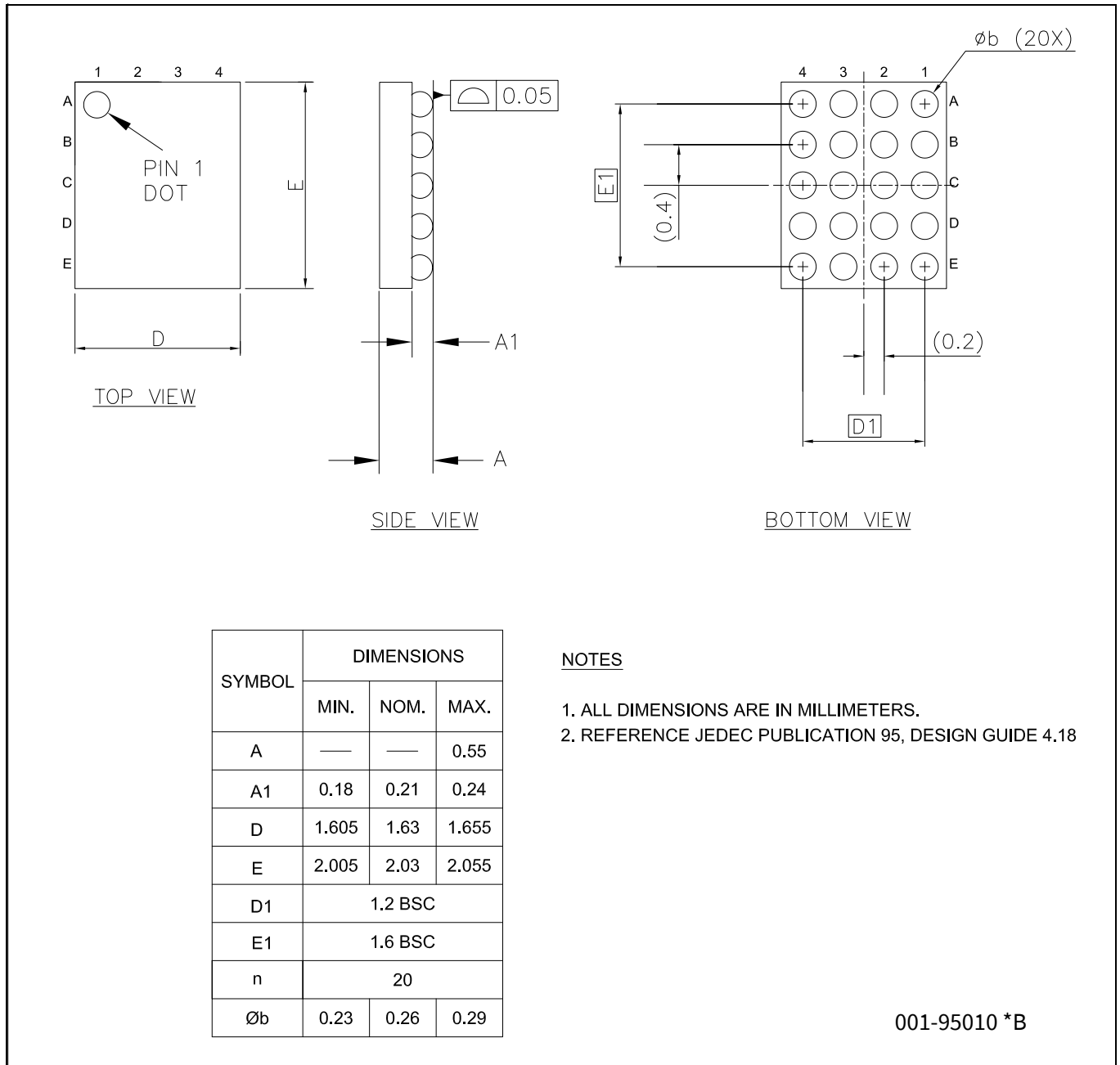


Figure 16 20 ボール WLCSP (1.63×2.03×0.55 mm) FN20B (SG-XFWLB-20) パッケージ外形

パッケージ

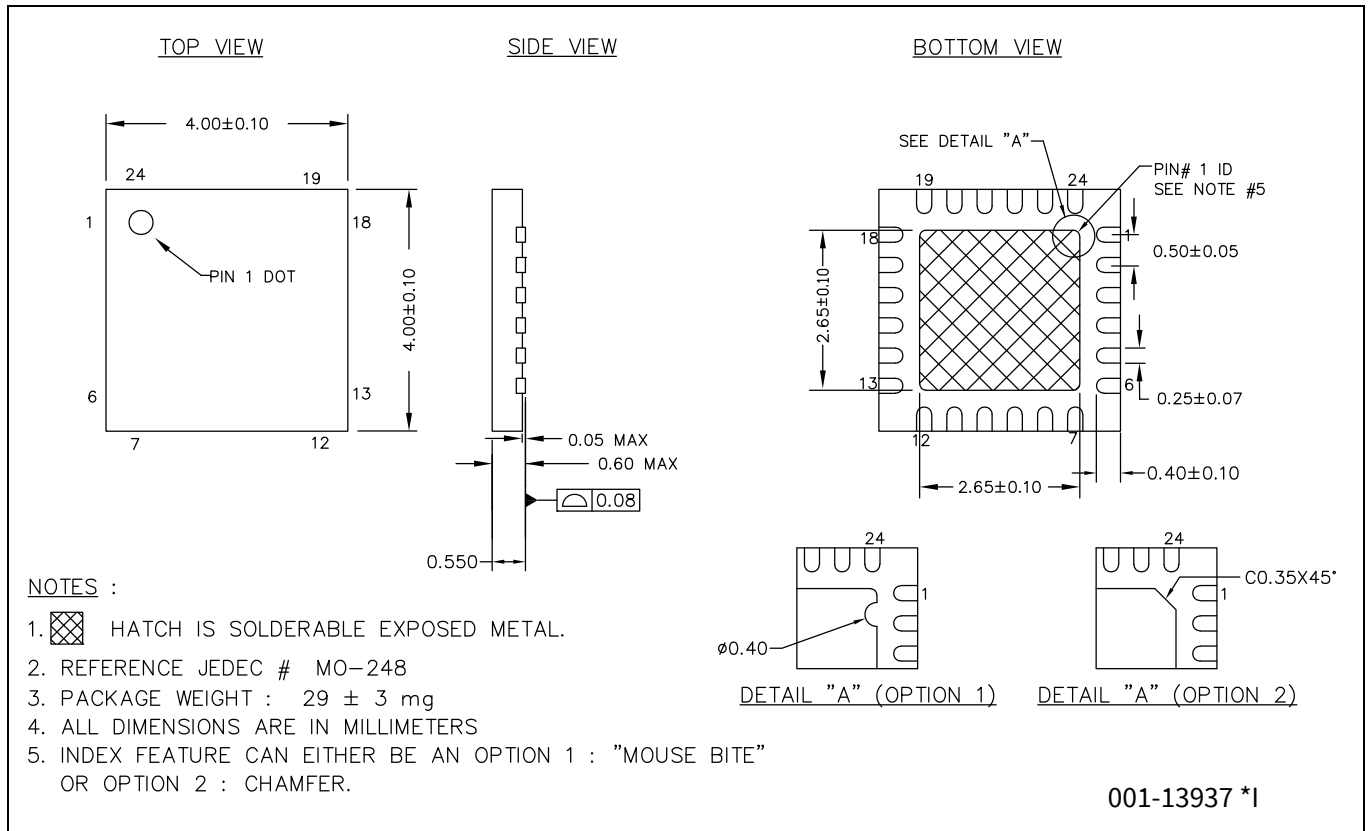


Figure 17 24L QFN (4 × 4 × 0.55 mm)、LQ24A、2.65 × 2.65 E-Pad(Sawn) (PG-VQFN-24) パッケージ外形

略語

11 略語

Table 33 本書で使用する略語 (1/2)

略語	説明
ADC	analog-to-digital converter (アナログ - デジタル変換器)
API	application programming interface (アプリケーションプログラミングインターフェース)
Arm®	高度な RISC マシン (CPU アーキテクチャの一種)
CC	configuration channel (コンフィギュレーションチャンネル)
CCG2	Cable Controller Generation 2 (ケーブルコントローラー第2世代)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラーチェックプロトコルの1種
CS	current sense (電流検出)
DFP	downstream facing port (ダウンストリーム対向ポート)
DIO	digital input/output (デジタル入出力): アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください。
DRP	dual role port (デュアルロールポート)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMCA	ケーブルの特性 (電流電流など) を Type-C ポートに報告する IC を内蔵した USB ケーブル
EMI	electromagnetic interference (電磁干渉)
ESD	electrostatic discharge (静電気放電)
FPB	flash patch and breakpoint (フラッシュパッチおよびブレイクポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
IC	integrated circuit (集積回路)
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インターインテグレートドサーキット)、通信プロトコルの1種
ILO	internal low-speed oscillator (内部低速発振器); IMO を参照してください
IMO	internal main oscillator (内部主発振器); ILO を参照してください
I/O	input/output (入出力)。GPIO を参照してください
LVD	low-voltage detect (低電圧検出)
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタロジック)
MAC	Managed Active Cable
MCU	microcontroller unit (マイクロコントローラーユニット)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割り込み)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割り込みコントローラー)
opamp	operational amplifier (演算増幅器)
OCP	overcurrent protection (過電流保護)
OVP	過電圧保護

略語

Table 33 本書で使用する略語 (2/2)

略語	説明
PCB	printed circuit board (プリント回路基板)
PD	power delivery (パワー デリバリー)
PGA	programmable gain amplifier (プログラマブルゲインアンプ)
PHY	physical layer (物理層)
POR	Power-On-Reset (パワーオンリセット)
PRES	precise power-on reset (高精度パワーオンリセット)
PSOC™	Programmable System-on-Chip™ (プログラマブルシステムオンチップ)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダムアクセスメモリ)
RISC	reduced-instruction-set computing (縮小命令セットコンピューティング)
RMS	root-mean-square (2乗平均平方根)
RTC	real-time clock (リアルタイムクロック)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SCL	I ² C serial clock (I ² C シリアルクロック)
SDA	I ² C serial data (I ² C シリアルデータ)
S/H	sample and hold (サンプル/ホールド)
SPI	serial peripheral interface (シリアルペリフェラルインターフェース)、通信プロトコルの1種
SRAM	static random access memory (スタティックランダムアクセスメモリ)
SWD	serial wire debug (シリアルワイヤデバッグ)、テストプロトコルの1種
TX	transmit (送信)
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100 W までの電力を提供することが可能
UART	universal asynchronous transmitter receiver (汎用非同期トランスミッタレシーバ)、通信プロトコルの1種
USB	universal serial bus (ユニバーサルシリアルバス)
USBIO	USB input/output (USB 入出力): USB ポートへの接続に使用される CCG2 ピン
XRES	external reset I/O pin (外部リセット I/O ピン)

本書の表記法

12 本書の表記法

12.1 測定単位

Table 34 測定単位

記号	単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msp/s	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
V	ボルト

改訂履歴

改訂履歴

版数	日付	変更内容
**	2015-04-14	これは英語版 001-93912 Rev. *E を翻訳した日本語版 001-97029 Rev. ** です。
*A	2015-06-15	これは英語版 001-93912 Rev. *G を翻訳した日本語版 001-97029 Rev. *A です。
*B	2017-04-25	Copyright 情報を更新。最新のテンプレートに更新。
*C	2018-04-20	Copyright 情報を更新。
*D	2025-11-28	これは英語版 001-93912 Rev. *P を翻訳した日本語版 001-97029 Rev. *D です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-11-28

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2025 Infineon Technologies AG.

All Rights Reserved.

Do you have a question about this document?

Email:

erratum@infineon.com

Document reference

001-97029 Rev. *D

重要事項：注意事項

本文書の全ての日本語情報は、英文で提供されている情報の参考訳です。英文版と和文版に齟齬がある場合は常に英文版の内容が優先します。

製品（サンプルも含まれます。また、ハードウェア、ソフトウェアまたはその両方で構成される製品も含まれます。以下同じです。）の販売、提供または引渡しは、インフィニオンテクノロジーズ AG およびその関連会社（以下まとめて「インフィニオン」といいます）、お客様とインフィニオンによって締結された基本契約その他の書面により合意された条件、そのような条件がない場合はインフィニオンの適用ある販売条件に従います。お客様の一般的な取引条件またはインフィニオンの販売条件と乖離した条件は、インフィニオンが書面で明示的に同意した場合に限り、インフィニオンを拘束するものとしません。

疑義を避けるため、インフィニオンは、第三者の権利を侵害していないことの保証、および特定の使用/目的に対する適合性または商品性の保証などの黙示的保証を負いません。

インフィニオンは、サンプル、アプリケーション、もしくはお客様による製品の具体的な使用方法、または本書面に記載された例や標準値に関するいかなる情報についても責任を負いません。

本書面に記載されているデータは、技術的資格を有する熟練したお客様のご担当者をお客様のみに対象としています。お客様は、意図された用途およびお客様の特定用途に対する製品の適合性を評価し、意図された用途および顧客の特定用途において本書面に含まれるすべての関連技術データを検証する責任を負います。お客様は、意図されたアプリケーションの機能性および安全性を適切に設計、プログラミング、テストし、その使用に関連する法令を遵守してください。

インフィニオンの明示的な承認がない限り、製品は、製品の故障またはその使用による結果が人身傷害につながると合理的に予想されるいかなる用途にも使用しないでください。ただし、上記は、インフィニオンが明示的に設計し、販売した使用分野でお客様が製品を使用することを妨げるものではありません。

インフィニオンは、適用される法律、例えばドイツ著作権法 (UrhG) 第 44b 条に従って、そのコンテンツを商業的なテキストおよびデータのマイニング (TDM) のために使用する権利を明示的に留保します。

製品にセキュリティ機能が含まれている場合、いかなるコンピューティング・デバイスも絶対的に安全であることはあり得ないため、製品にセキュリティ対策が施されているにもかかわらず、インフィニオンは、製品に侵入、データの盗難もしくは損失、またはその他の侵害（「セキュリティ侵害」といいます）がないことを保証せず、インフィニオンは、セキュリティ侵害に起因するいかなる責任も負わないものとしません。本書面がソフトウェアを含んでいるまたはソフトウェアに言及している場合、ソフトウェアは、米国、ドイツ、および世界各国の知的財産権および条約に基づきインフィニオンが所有しています。

インフィニオンはすべての権利を留保し、無断複製、複製および転写を禁じます。お客様はソフトウェアと同梱されたソフトウェア使用許諾契約に従ってのみソフトウェアを使用できます。

ソフトウェア使用許諾契約が適用されない場合、インフィニオンはここに、ソフトウェアの知的所有権に基づき、(a) ソースコード形式で提供されたソフトウェアについて、インフィニオンのハードウェア製品と共に使用する目的のためにのみソフトウェアを修正および複製するための、そして (b) インフィニオンのハードウェア製品上での使用目的に限り、ソフトウェアをバイナリコード形式でエンドユーザーに外部配布するための、個人的、非排他的、譲渡不能なライセンス（サブライセンス不可）をお客様に付与します。それ以外のソフトウェアの使用、複製、変更、翻訳またはコンパイルは禁止されています。製品、技術、納品条件、および価格に関する詳細については、最寄りのインフィニオンオフィスに連絡するか、<https://www.infineon.com> にアクセスしてください。