

英飞凌EZ-PD™ CCG2 USB Type-C 端口控制器

概述

EZ-PD™ CCG2 是一款符合最新 USB Type-C 和供电 (PD) 标准的 USB Type-C 控制器。EZ-PD™ CCG2 为无源线缆、有源线缆和供电配件提供了完整的 USB Type-C 和 USB PD 端口控制解决方案。它还可用于许多面向上行和下行端口的应用。EZ-PD™ CCG2 采用英飞凌专有的 M0 技术，配备 32 位、48 MHz Arm® Cortex® -M0 处理器和 32 KB 闪存，并集成了完整的 Type-C 收发器，包括 Type-C 终端电阻 R_P 、 R_D 和 R_A 。

应用

- USB Type-C EMCA 线缆
- USB-C 供电配件
- USB-C 上行端口
- USB-C 下行端口

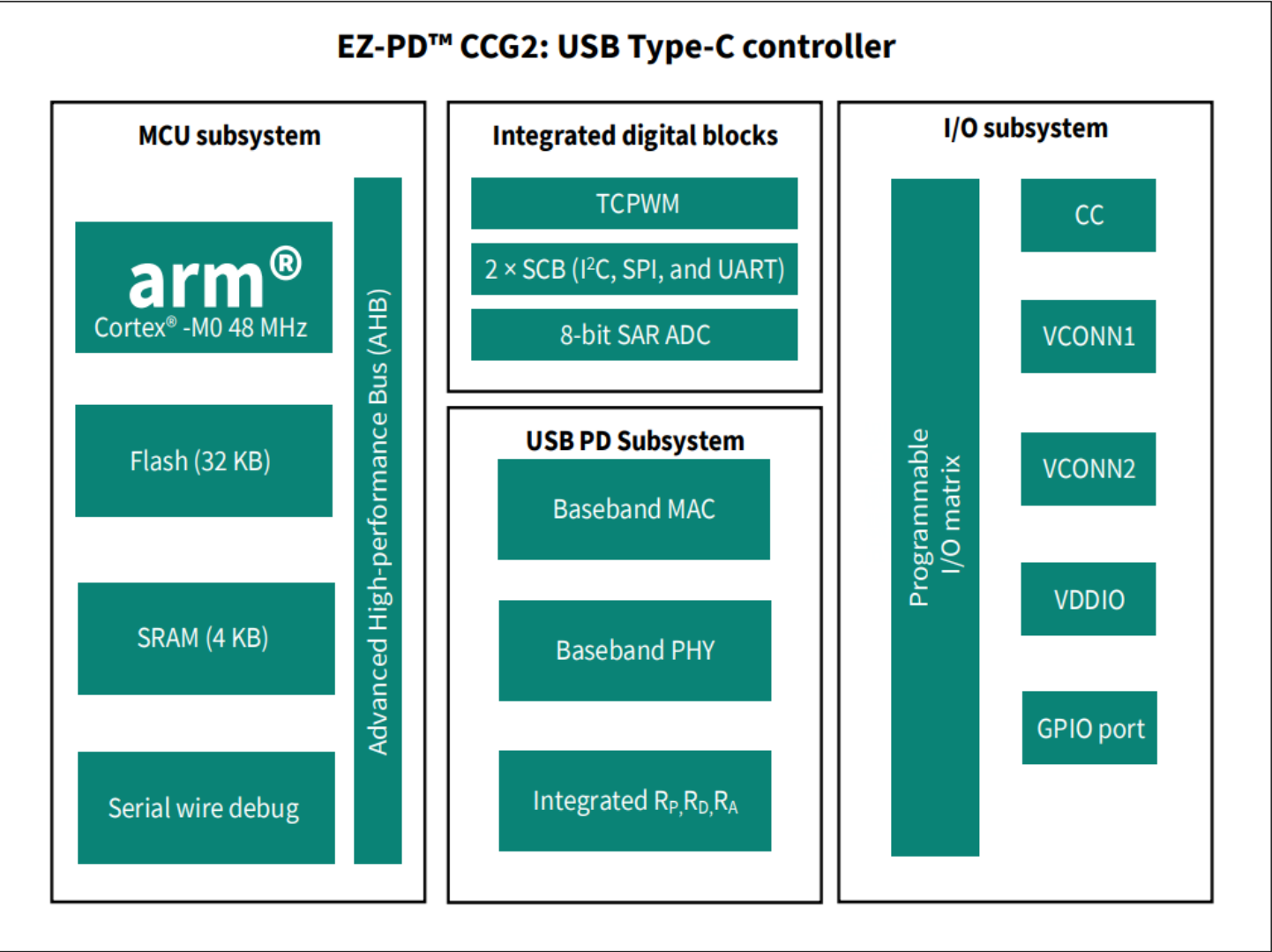
特性

- 32位MCU子系统
 - 48 MHz Arm® Cortex-M0® 处理器
 - 32 KB闪存
 - 4 KB SRAM
 - 系统内可重新编程
- 集成数字模块
 - 集成定时器和计数器，从而符合USB-PD协议所要求的响应时间
 - 运行时串行通信模块 (SCB)，可对这些模块进行重新配置，使其具有I²C、SPI或UART功能
- 时钟和振荡器
 - 集成振荡器不需要外部时钟
- Type-C支持
 - 集成收发器（基带PHY）
 - 集成 UFP (R_D)、EMCA (R_A) 终端电阻以及 DFP (R_P) 电流源
 - 支持一个 USB Type C 端口
- 低功耗运行
 - 工作电压为 2.7 V ~ 5.5 V
 - 两个独立的 VCONN 导轨，两者之间具有集成隔离
 - GPIO独立供电电压引脚，支持I/O接口上1.71 V至5.5 V电压范围内的信号传输
 - 复位：1.0 μ A；深度睡眠：2.5 μ A；睡眠：2.0 mA
- CC 和 VCONN 上的系统级 ESD
 - 基于IEC61000-4-2的4C级标准的 ± 8 kV接触放电和 ± 15 kV空气放电
- 封装
 - 1.63 毫米 $\times$ 2.03 毫米 $\times$ 20 球晶圆级 CSP (WLCSP)，球间距为 0.4 毫米
 - 4.0 毫米 $\times$ 4.0 毫米，0.55 毫米 24L QFN
 - 支持工业级（-40°C 至 +85°C）和扩展工业级（-40°C 至 +105°C）温度范围

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性请务必访问 infineon.com 参考最新的英文版本（控制文档）。

逻辑框图

逻辑框图



目录

目录

概述.....	1
应用.....	1
特性.....	1
逻辑框图.....	2
目录.....	3
1 可用的固件和软件工具.....	5
1.1 EZ-PD™配置实用程序.....	5
2 EZ-PD™ CCG2框图.....	6
3 功能概述.....	7
3.1 CPU和存储器子系统.....	7
3.1.1 CPU.....	7
3.1.2 闪存.....	7
3.1.3 SRAM.....	7
3.2 USB-PD子系统 (SS).....	7
3.3 系统资源.....	8
3.3.1 电源系统.....	8
3.3.2 时钟系统.....	8
3.4 外设.....	9
3.4.1 串行通信模块 (SCB).....	9
3.4.2 定时器/计数器/脉宽调制器模块 (TCPWM).....	9
3.5 GPIO.....	9
4 引脚分布.....	10
5 电源.....	12
6 CCG2编程和引导加载.....	13
6.1 通过SWD接口对CCG2设备闪存进行编程.....	13
6.2 应用固件更新 (I²C, CC).....	13
6.3 通过I²C接口更新应用程序固件.....	14
6.4 通过CC接口为DFP应用程序更新应用程序固件.....	14
6.5 通过CC接口更新电缆应用的应用程序固件.....	14
7 应用程序框图.....	15
7.1 EMCA应用.....	15
7.2 面向上行端口的应用.....	18
7.3 笔记本应用.....	19
7.4 面向下行端口的应用.....	20
8 电气规格参数.....	21
8.1 绝对最大额定值.....	21
8.2 器件级规范.....	22
8.2.1 I/O.....	23
8.2.2 XRES.....	24
8.3 数字外设.....	25
8.3.1 GPIO引脚的脉冲宽度调制 (PWM).....	25
8.3.2 I²C.....	25
8.4 存储器.....	27
8.5 系统资源.....	28
8.5.1 欠压情况下的上电复位(POR).....	28
8.5.2 SWD接口.....	28
8.5.3 内部主振荡器.....	28
8.5.4 内部低速振荡器.....	29
8.5.5 断电.....	29
8.5.6 模数转换器.....	30
9 订购信息.....	31

目录

9.1 订购代码定义..... 31

10 封装信息..... 32

11 缩略语..... 35

12 文档惯例..... 37

12.1 测量单位..... 37

修订记录..... 38

1 可用的固件和软件工具

1.1 EZ-PD™ 配置实用程序

EZ-PD™配置实用程序是一款基于 GUI 的 Microsoft® Windows 应用程序，由英飞凌开发，用于指导 CCGx 用户完成芯片的配置和编程过程。该实用程序允许用户：

- 选择并配置想要修改的参数
- 将生成的配置编程到目标 CCGx 设备上

该实用程序与英飞凌提供的 CCG1、CCG2、CCG3 和 CCG4 套件配合使用，这些套件承载 CCGx 控制器以及 USB 接口。此版本的 EZ-PD™配置实用程序支持在实施 EMCA 和显示适配器应用程序的 CCGx 控制器上执行配置和固件更新操作。该实用程序的后续版本将提供对其他应用程序（例如电源适配器和笔记本电脑端口控制器）的支持。

对于应用程序及其相关文档，请参阅[USB EZ-PD™ 配置 通用工具](#) 网页。

2 EZ-PD™ CCG2 框图

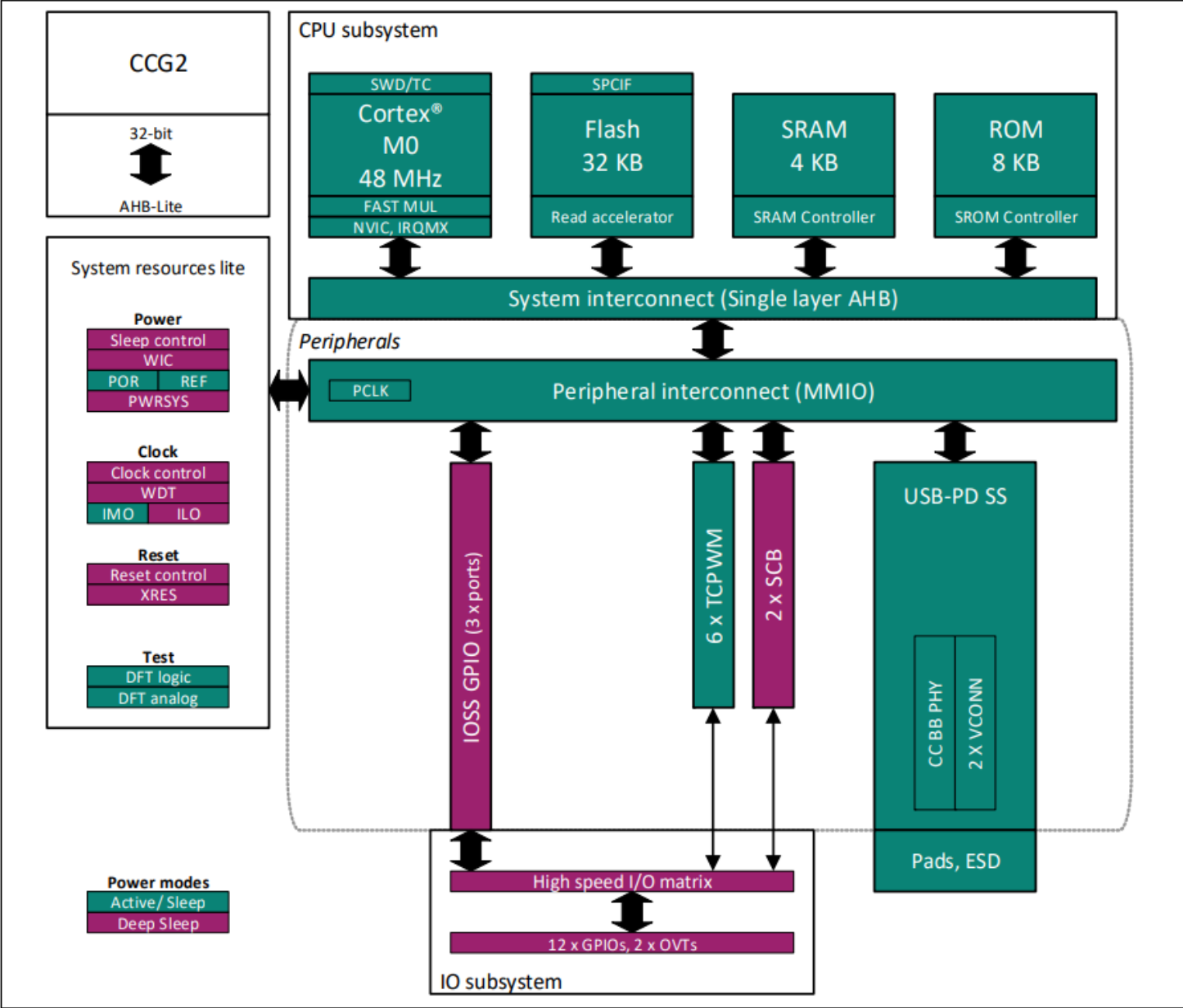


图1 EZ-PD™ CCG2框图

3 功能概述

3.1 CPU和存储器子系统

3.1.1 CPU

EZ-PD™ CCG2的Cortex®-M0+ CPU是32位MCU子系统的部分，通过广泛的时钟门控来优化成低功耗操作。它通常使用16位指令并可以执行Thumb-2指令子集。这使得代码能够完全兼容二进制向上迁移到Cortex®-M3和M4等更高性能的处理器，从而实现向上兼容。英飞凌实现了一个硬件乘法器，从而能在一个周期内计算出32位结果。它包括一个带有32个中断输入的嵌套向量中断控制器 (NVIC) 模块和一个唤醒中断控制器 (WIC)。通过WIC将处理器从深度睡眠模式唤醒，从而在芯片处于深度睡眠模式时，可以关闭主处理器的电源。Cortex®-M0 CPU提供了一个不可屏蔽中断 (NMI) 输入，该输入未被系统函数使用时可以提供给用户使用。

CPU还包含一个串行线调试 (SWD) 接口，即是JTAG的一个两线模式。EZ-PD™ CCG2的调试方式基于四个断点（地址）比较器和两个观察点（数据）比较器。

3.1.2 Flash

EZ-PD™ CCG2器件包含一个闪存模块，该模块的闪存加速器与CPU紧密耦合，以缩短闪存模块的平均访问时间。闪存模块可在工作频率为48 MHz的情况下提供一个等待状态 (WS) 的访问时间，并在工作频率为24 MHz的情况下提供零等待状态的访问时间。通过闪存加速器，闪存的单周期访问时间平均为SRAM访问时间的85%。闪存模块还可以实现EEPROM的功能。

3.1.3 SRAM

此外，提供的监控ROM还包含引导和配置子程序。

3.2 USB-PD子系统 (SS)

EZ-PD™ CCG2 具有一个USB-PD子系统，该子系统由USB Type-C基带收发器和物理层逻辑组成。该收发器执行BMC和4b/5b编码解码功能以及1.2 V前端。该子系统集成了必要的终端电阻，以识别EZ-PD™ CCG2解决方案的作用。 R_A 用于识别EZ-PD™ CCG2是配件还是电子标记线缆。 R_D 用于识别EZ-PD™ CCG2是混合线缆中的UFP还是适配器。当配置为DFP时，集成电流源充当 R_P 或上拉电阻的作用。这些电流源可以编程，以指示Type-C规范中定义的VBUS上的完整电流容量范围。EZ-PD™ CCG2响应所有USB-PD通信。EZ-PD™ CCG2 USB-PD子系统可以配置为响应SOP、SOP'或SOP"消息。

USB-PD子系统还包含一个用于模数转换的8位逐次逼近寄存器 (SAR) ADC。ADC具有一个8位DAC和一个比较器。DAC输出作为比较器的正输入。比较器的负输入来自一个四输入复用器。复用器的四个输入为一对全局模拟复用的总线、内部带隙电压和与绝对温度成比例的内部电压。所有GPIO输入均可通过每个GPIO上的开关连接到全局模拟多路复用总线，使GPIO连接到多路复用总线供ADC使用。CC1、CC2和RD1引脚不可用于连接MUX总线。

功能概述

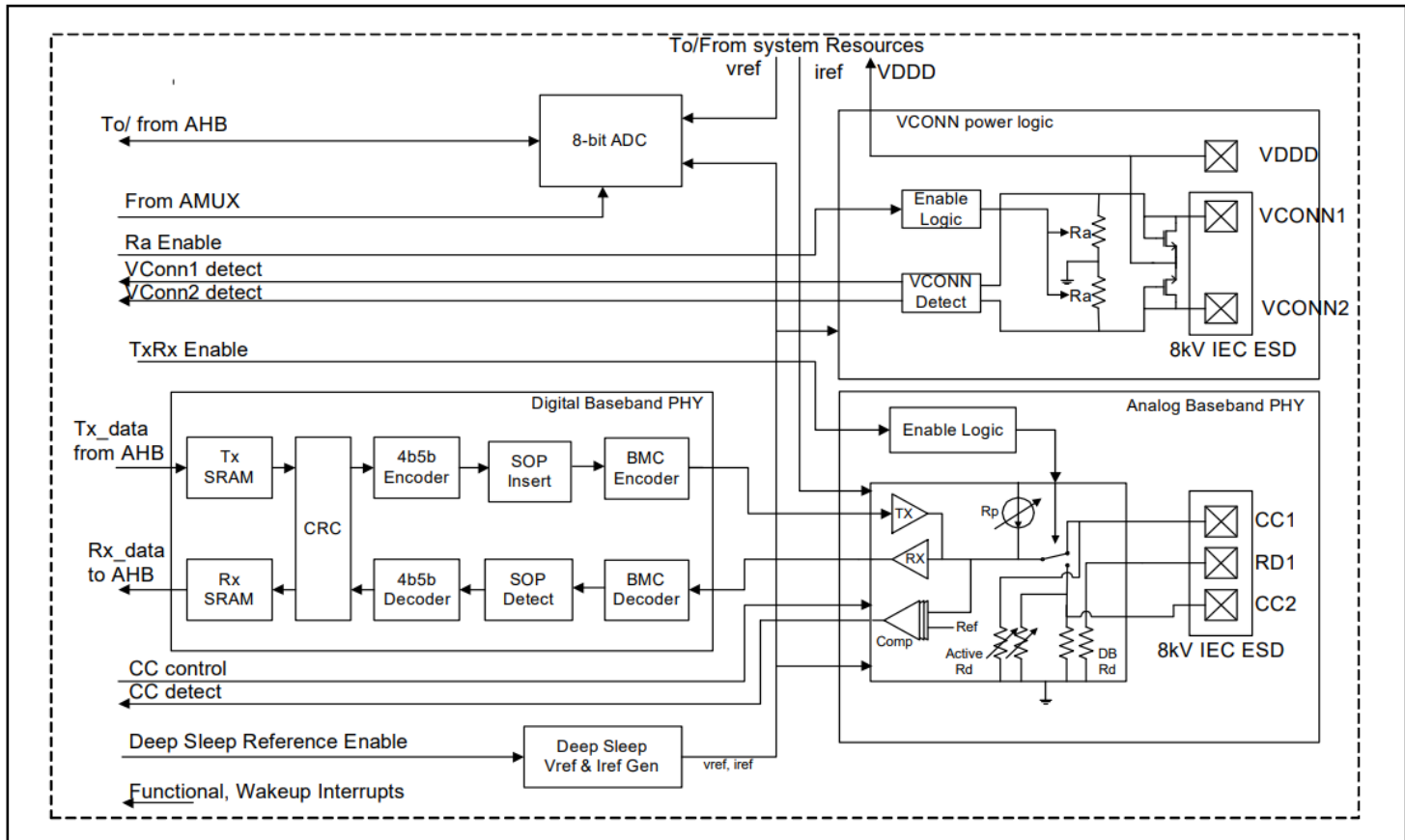


图2 USB-PD子系统

3.3 系统资源

3.3.1 电源系统

在12页电力部分有关于电力系统的详细描述，它确保电压水平满足各个模式的要求，并延迟模式进入（例如，上电复位(POR)），直到电压水平达到正常工作所需的水平，或产生复位（掉电检测(BOD)）或中断（低压检测(LVD)）。EZ-PD™ CCG2 可以使用三种不同的电源（电压范围为 2.7V 至 5.5V），并具有三种不同的电源模式，这些模式之间的转换由电源系统管理。EZ-PD™ CCG2 提供睡眠和深度睡眠两种低功耗模式。

3.3.2 时钟系统

EZ-PD™ CCG2 的时钟系统由内部主振荡器（IMO）和内部低功耗振荡器（ILO）组成。

3.4 外设

3.4.1 串行通信模块 (SCB)

EZ-PD™ CCG2 具有两个 SCB，可配置为 I²C、SPI 或 UART 接口。硬件 I²C 模块实现了完整的多主从接口，并支持多主仲裁。在 SPI 模式下，SCB 模块可配置为主设备或从设备。

在 I²C 模式下，SCB 模块能够以高达 1 Mbps 的速度运行（快速模式 Plus），并具有灵活的缓冲选项，以减少 CPU 的中断开销和延迟。这些模块还支持 I²C 接口，可在 EZ-PD™ CCG2 的内存中创建邮箱地址范围，并有效地将 I²C 通信简化为对内存阵列的读写操作。此外，这些模块支持 8 级深度 FIFO 用于接收和发送，通过增加 CPU 读取数据的时间，大大减少了因 CPU 未能按时读取数据而导致的时钟延长需求。

I²C 外设兼容恩智浦 I²C 总线规范和用户手册 (UM10204) 中定义的 I²C 标准模式、快速模式和增强快速模式设备。I²C 总线 I/O 采用开漏模式下的 GPIO 实现。

EZ-PD™ CCG2 的 SCB 1 块上的 I²C 端口不完全符合以下 I²C 规范：

- SCB 1 上 I²C 端口的 GPIO 单元不能承受过压条件，因此不能对其进行热插拔或者独立于 I²C 系统其他部分进行上电操作。
- 增强型快速模式在 V_{OL} 为 0.4 V 下有 20 mA 的 I_{OL} 规范。但是 GPIO 单元只能在最大 0.6 V 的 V_{OL} 下支持最大 8 mA 的 I_{OL} 灌电流。
- 快速模式与增强型快速模式指定的最小下降时间不满足 GPIO 单元的要求。使用慢速强驱动模式便能够满足该规范。

3.4.2 定时器/计数器/脉宽调制器模块 (TCPWM)

EZ-PD™ CCG2 有六个 TCPWM 块。每一个都能够实现 16 位定时器、计数器、脉冲宽度调制器 (PWM) 和正交解码器等功能。该模块用于测量输入信号的周期和脉宽 (定时器)、捕获特定事件发生的次数 (计数器)、生成 PWM 信号或解码正交信号。

3.5 GPIO

EZ-PD™ CCG2 除了 I²C 和 SWD 引脚外，还拥有多达 10 个 GPIO。这些引脚也可用作 GPIO。SCB 0 的 I²C 引脚具有过压耐受能力。可用 GPIO 的数量因封装而异。GPIO 模块实现以下功能：

- 七种强驱动模式：
 - 仅限输入
 - 弱上拉和强下拉
 - 强上拉和弱下拉模式
 - 开漏和强下拉模式
 - 开漏和强上拉模式
 - 强上拉和强下拉模式
 - 弱上拉和弱下拉
- 选择输入阈值 (CMOS 或 LVTTTL)。
- 除了各种驱动模式外，还允许启用/禁用输入和输出缓冲区的单独控制
- 保持模式，用于锁存前一状态 (即保持 I/O 状态处于深度睡眠模式)
- 可选的斜率，用于控制 dv/dt 相关噪声，有助于降低 EMI

上电和复位期间，I/O 引脚被强制为禁用状态，从而禁止通电任何输入和/或造成启用时的过电流现象。一个高速 I/O 矩阵的复用网络用于复用连接多个信号至一个 I/O 引脚。

引脚布局

4 引脚布局

表 1 引脚分布

Group	Name	Pin map 24L QFN	20-ball location	Description
USB Type-C port	CC1	2	B4	USB PD connector detect/configuration channel 1
	CC2	1	A4	USB PD connector detect/configuration channel 2
	RD1	3	B3	Dedicated R_d resistor pin for CC1. Must be left open for cable applications and connected together with CC1 ball for UFP or DFP with dead battery applications.
GPIOs and serial interfaces	GPIO	22	C3	GPIO / SPI_0_CLK / UART_0_RX
	GPIO	18	D3	GPIO / SPI_0_MOSI / UART_0_TX
	GPIO	13	C2	GPIO / I2C_1_SDA / SPI_1_MISO / UART_1_RX
	GPIO	10	D2	GPIO / I2C_1_SCL / SPI_1_CLK / UART_1_TX
	GPIO	15	B2	GPIO / SPI_1_SEL / UART_1_RTS
	GPIO	14	N/A	GPIO
	GPIO	17	N/A	
	GPIO	21	N/A	
	GPIO	23	N/A	
	GPIO	24	N/A	
	I2C_0_SCL	20	A3	GPIO / I2C_0_SCL / SPI_0_MISO / UART_0_RTS
	I2C_0_SDA	19	A2	GPIO / I2C_0_SDA / SPI_0_SEL / UART_0_CTS
	SWD_IO	11	E2	SWD IO / GPIO / UART_1_CTS / SPI_1_MOSI
	SWD_CLK	12	D1	SWD clock / GPIO
Reset	XRES	16	B1	Reset input
Power	VCONN1	5	E4	VCONN 1 input (4.0 V to 5.5 V)
	VCONN2	4	C4	VCONN 2 input (4.0 V to 5.5 V)
	VDDIO	8	E1	1.71-V to 5.5-V supply for I/Os
	VCCD	7	A1	1.8-V regulator output for filter capacitor
	VDDD	9	E3	VDDD supply input/output (2.7 V to 5.5 h V)
	VDDD	6		
	VSS	EPAD	N/A	
	VSS		D4	Ground supply
	VSS		C1	

引脚布局

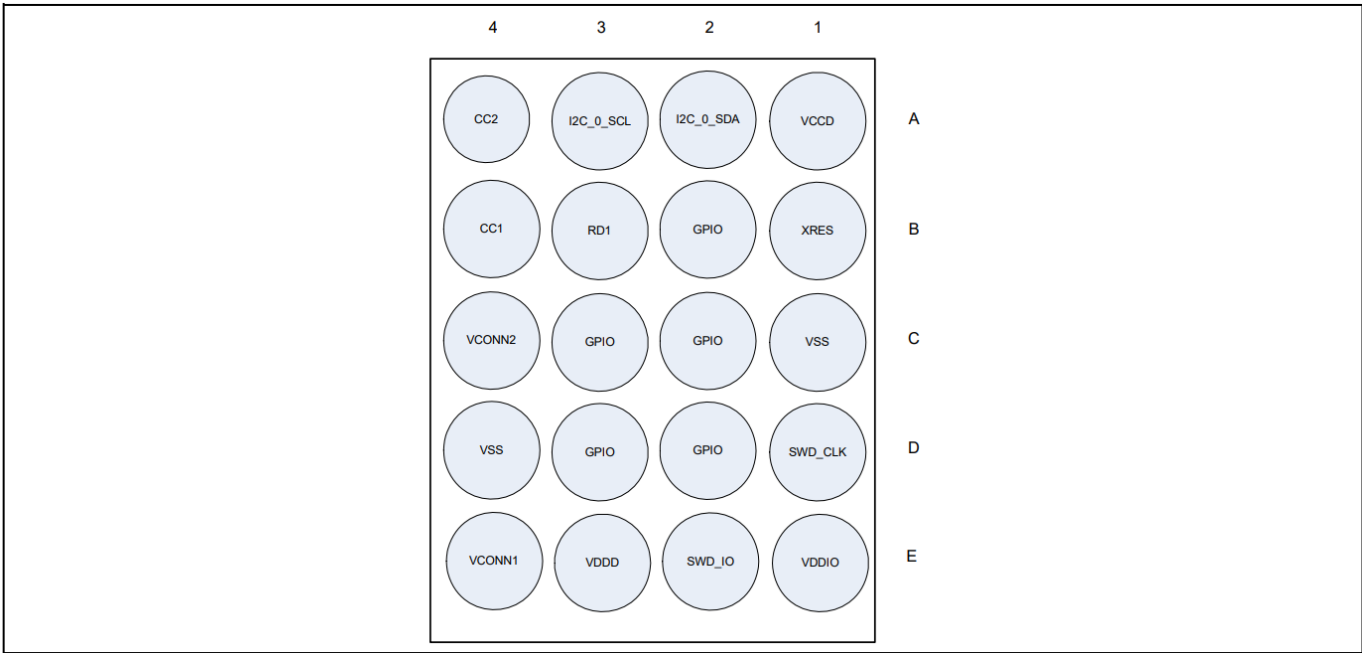


图3 20球WLCSP EZ-PD™ CCG2球图（底视图）

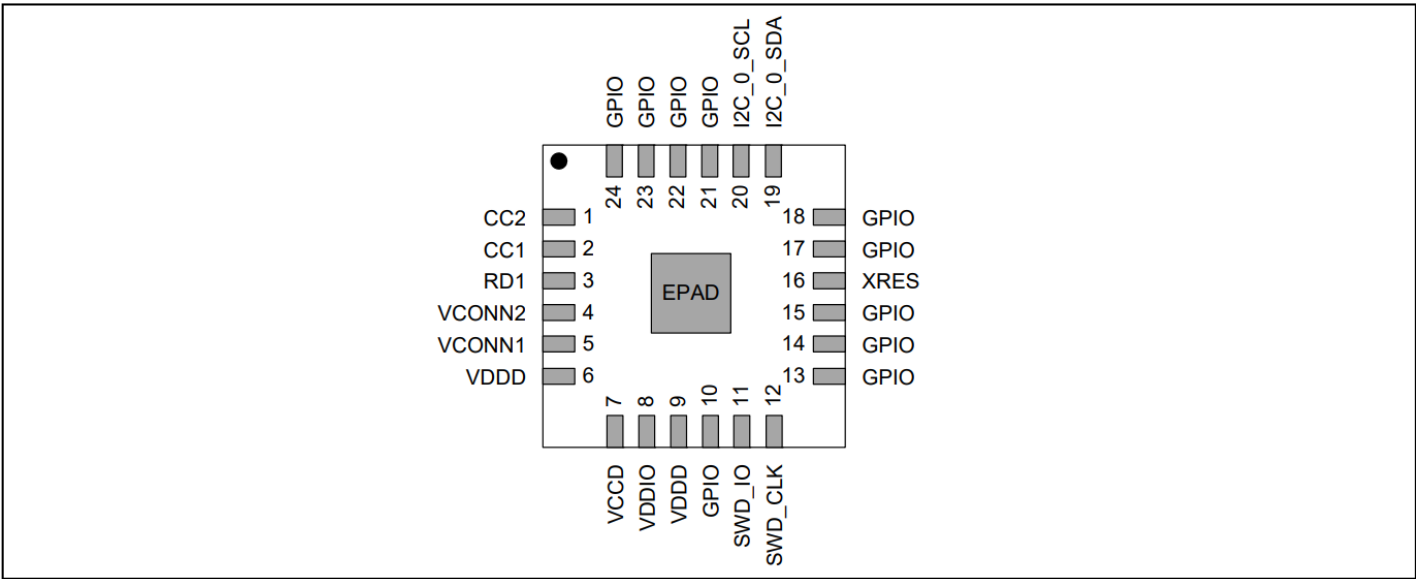


图4 24L QFN引脚图（顶视图）

5 功率产品

下面的电源系统框图显示了EZ-PD™ CCG2中电源引脚的设置情况。

EZ-PD™ CCG2 可采用三种不同的电源供电。VCONN1 和 VCONN2 引脚可连接到 Type-C 型电缆插头或 VCONN 供电配件上的 VCONN 引脚。每个输入都支持 4.0 V 至 5.5 V 的电压工作。VCONN1 和 VCONN2 引脚之间提供内部隔离，允许它们同时处于不同电平。CCG2 可用于仅使用一个或两个 VCONN 引脚作为电源的 EMCA 应用。这将在后面的应用部分中进行说明。除了作为电源输入外，每个 VCONN 引脚还在内部连接到 EMCA 和 VCONN 供电配件所需的 R_A 终端电阻。

当通过 VDDD 电源引脚供电时，EZ-PD™ CCG2 也可以在 2.7 V 至 5.5 V 的电压范围内运行。VCONN 供电的配件应用要求 CCG2 的工作电压低至 2.7 V。在这样的应用中，VDDD 和 VCONN 引脚都应连接到配件中 Type-C 插头的 VCONN 引脚。

在 UFP、DFP 和 DRP 应用中，CCG2 可由 VDDD 作为唯一电源输入进行操作。在这样的应用中，VCONN 引脚保持开路。在 DFP 应用中，由于需要支持高达 2.7 V 的断开连接检测阈值，因此 CCG2 可以运行的最低 VDDD 电平为 3.0 V。

单独的 I/O 电源引脚 VDDIO 允许 GPIO 在 1.71 V 至 5.5 V 的电压范围内运行。VDDIO 引脚的电压可以等于或小于连接到 VCONN1、VCONN2 和 VDDD 引脚的电压。

EZ-PD™ CCG2 的 VCCD 输出必须通过外部电容器（范围为 1 至 1.6 μF ；X5R 陶瓷或更好）旁路至地。

必须使用从 VDDD 和 VCONN 引脚到地的旁路电容器；此频率范围内的系统的典型做法是使用 0.1 μF 电容器。请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路寄生电容需要通过仿真设计以获得最佳的旁路。

图 5 显示电源旁路电容器的一个例子。

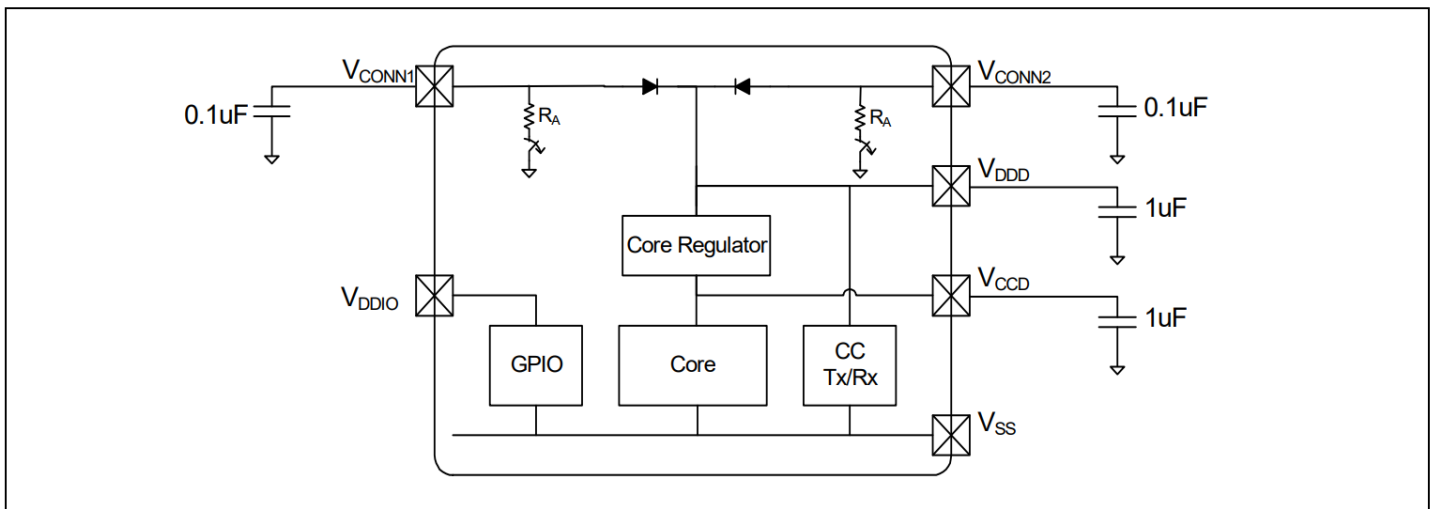


图 5 EZ-PD™ CCG2 电源和旁路方案示例

6 CCG2 编程和引导加载

有两种方法可以将应用程序固件编程到 CCG2 设备中：

1. 通过 SWD 接口对设备闪存进行编程
2. 通过特定接口（CC、I²C）更新应用程序固件

通常，仅在开发期间或最终产品的制造过程中通过 SWD 接口对 CCG2 设备进行编程。一旦最终产品制造完成，CCG2 设备的应用程序固件就可以通过适当的引导加载程序接口进行更新。但是，建议在最终产品投入批量生产之前禁用通过引导加载程序接口的更新，除非客户实施了安全的固件更新方法。

6.1 通过 SWD 接口对 CCG2 设备闪存进行编程

CCG2 系列器件可使用 SWD 接口进行编程。英飞凌提供编程套件（[CY8CKIT-002 MiniProg3 套件](#)）称为 MiniProg3 和（[CY8CKIT-005 MiniProg4 套件](#)）MiniProg4 可用于编程闪存以及调试固件。闪存的编程是通过从十六进制文件下载信息进行的。该十六进制文件是在 [PSoC Creator Software](#) 中构建固件项目时生成的二进制文件。点击[此处](#)了解更多关于如何使用 MiniProg3 编程器的信息。点击[此处](#)了解更多关于如何使用 MiniProg4 编程器的信息。市面上有许多第三方编程器支持在制造环境中进行大规模编程。如框图图6中所示，SWD_IO 和 SWD_CLK 引脚分别连接到主机编程器的 SWDIO（数据）和 SWDCLK（时钟）引脚。在 SWD 编程期间，可以通过将设备 VTARG（目标设备电源）连接到 CCG2 设备的 VDDD 引脚，由主机编程器为设备供电。如果 CCG2 设备使用板载电源供电，则可以使用“重置编程”选项进行编程。更多详情，请联系 [英飞凌支持](#) 了解 CCGx 编程规范。

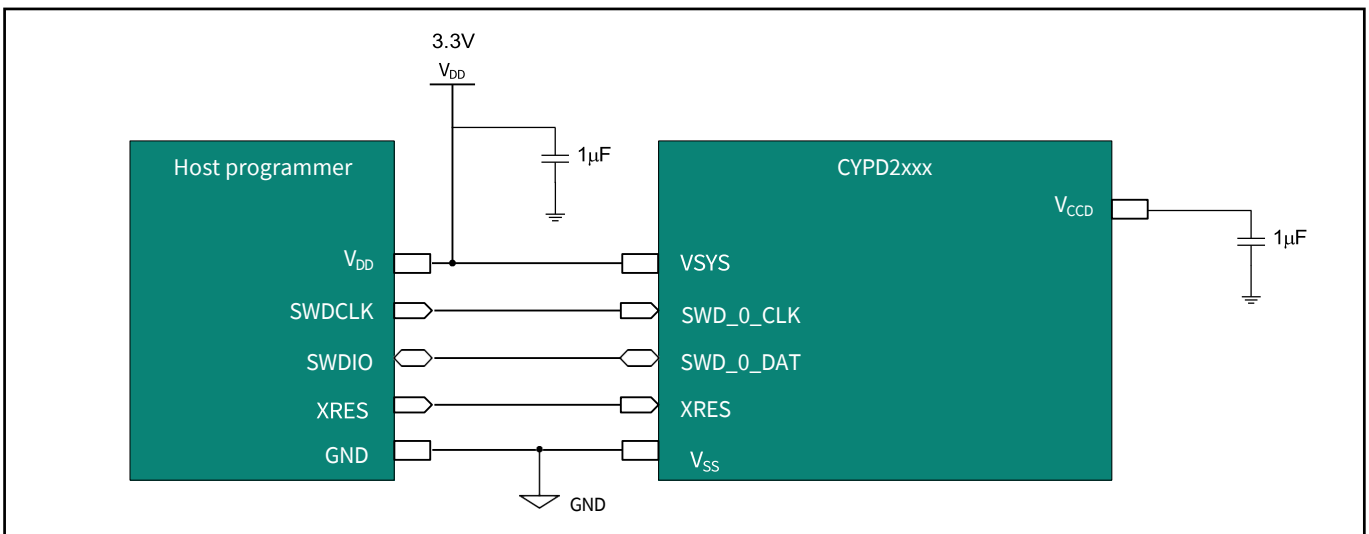


图 6 将编程器连接到 CCG2 设备

6.2 应用程序固件更新（I²C、CC）

应用程序固件可以通过两种不同的接口进行更新，具体取决于 CCG2 设备中烧录的默认固件。请参阅[表28](#)有关 CCG2 系列设备各个部件号预编程的默认固件的更多详细信息（请注意，某些设备仅具有引导加载程序，而某些设备具有引导加载程序和应用程序固件）。

6.2.1 通过 I²C 接口 更新应用程序固件

此方法主要适用于 CCG2 系列的 CYPD2104 和 CYPD2122 器件。在这些应用中，CCG2 器件连接到板载应用处理器、嵌入式控制器或 Billboard 设备，这些设备将通过 I²C 接口充当 USB 转 I²C 桥接器。参见图 7 了解更多详情。

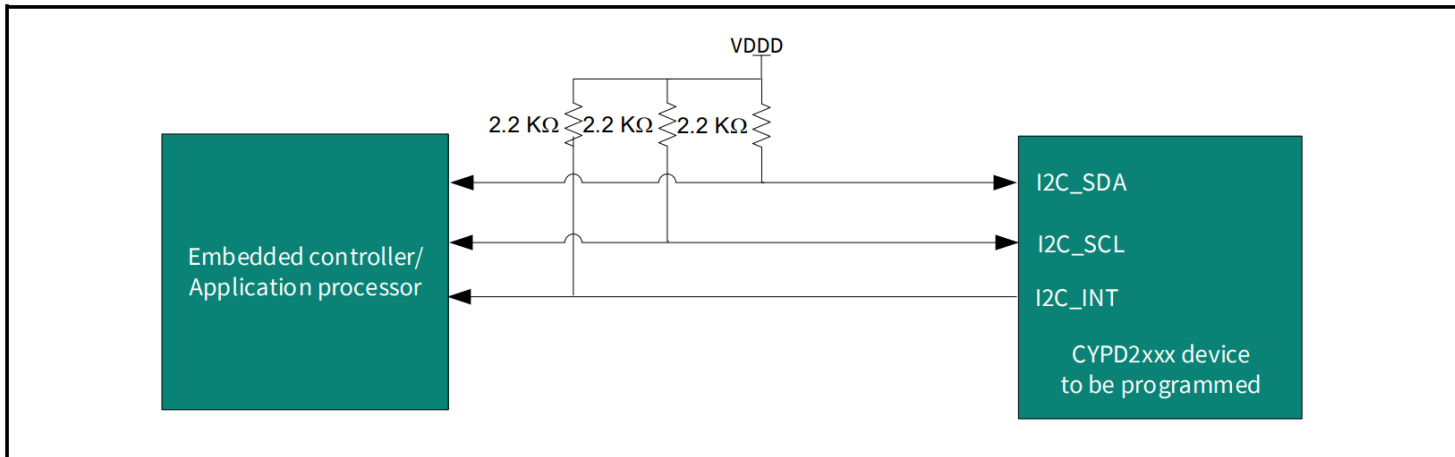


图 7 通过 I²C 接口更新应用程序固件

6.2.2 通过 CC 接口为 DFP 应用程序更新应用程序固件

此方法主要适用于 CCG2 系列的 CYPD2134 器件。对于引导加载，CY4532 CCG3PA EVK 可用于通过 CC 线路将编程和配置数据以英飞凌特定的供应商定义消息 (VDM) 的形式发送。CY4532 EVK 的基板一端连接到包含 CCG2 器件的系统，另一端连接到运行 **EZ-PD™ Configuration Utility 工具** 的 Windows PC，如图 8 所示以引导加载 CCG2 设备。

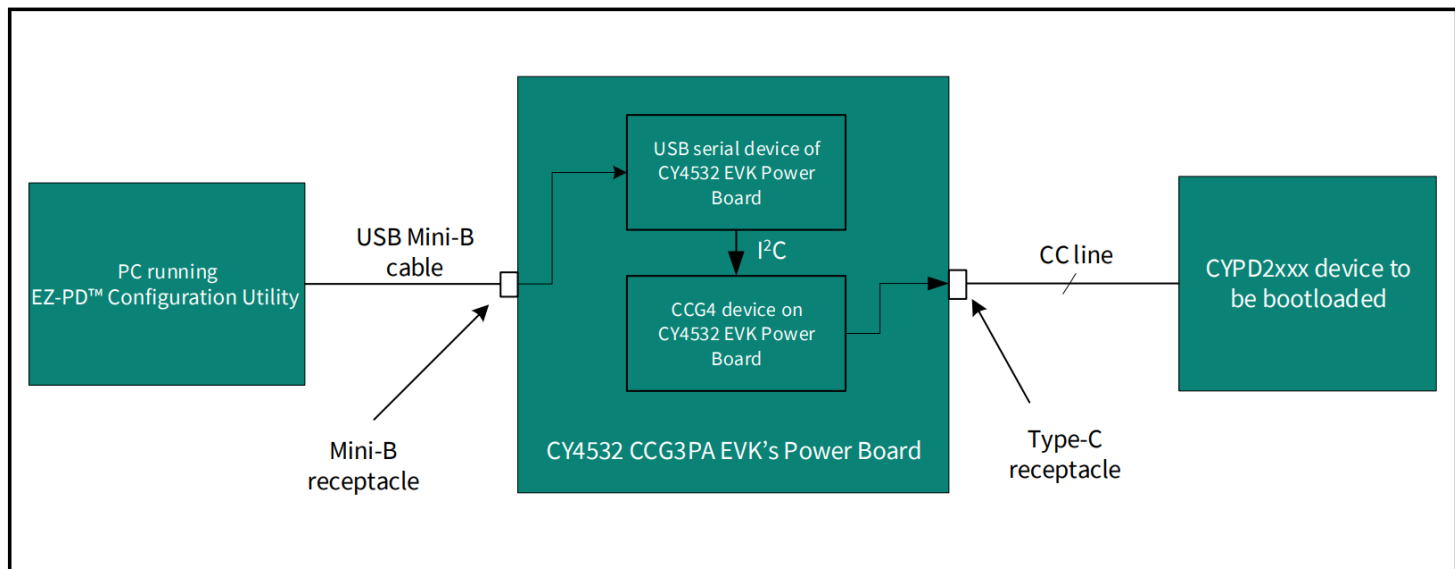


图 8 通过 CC 接口为 DFP 应用程序更新应用程序固件

6.2.3 通过 CC 接口更新电缆应用的应用程序固件

此方法主要适用于 CCG2 系列的 CYPD2105 器件。请参阅 **EZ-PD™ Configuration Utility 用户手册**，获取有关如何通过 CC 接口对电缆应用进行应用程序固件更新的更多详细信息。

7 应用程序框图

7.1 EMCA 应用

图 9 至图 12 显示了使用 CCG2 器件的无源 EMCA 应用示意图。图 9 和图 10 显示了在两个插头之一的每条电缆上使用单个 CCG2 设备的应用，而图 11 和图 12 中显示了每个插头上的每根线缆上有两个 CCG2 设备。VBUS 信号、超高速线路、高速线路和 CC 线路直接从一端连接到另一端。

图 9 和图 10 所示的应用图 需要一条 VCONN 线穿过电缆，这样无论哪个插头连接到主机 (DFP)，CCG2 设备都可以供电。然而，在图 11 和图 12 所示的应用中所示，VCONN 信号并非贯穿整条线缆，而是仅传输至插头两端 CCG2 设备各自的 VCONN 引脚。此外，在任何给定情况下，只有一个 CCG2 设备受电，具体取决于哪个设备距离提供 VCONN 的 DFP 更近。

注：应用图（如图 10 所示）需要外部二极管才能在 2.7 V 至 5.5 V 的扩展 VCONN 电压范围内运行。

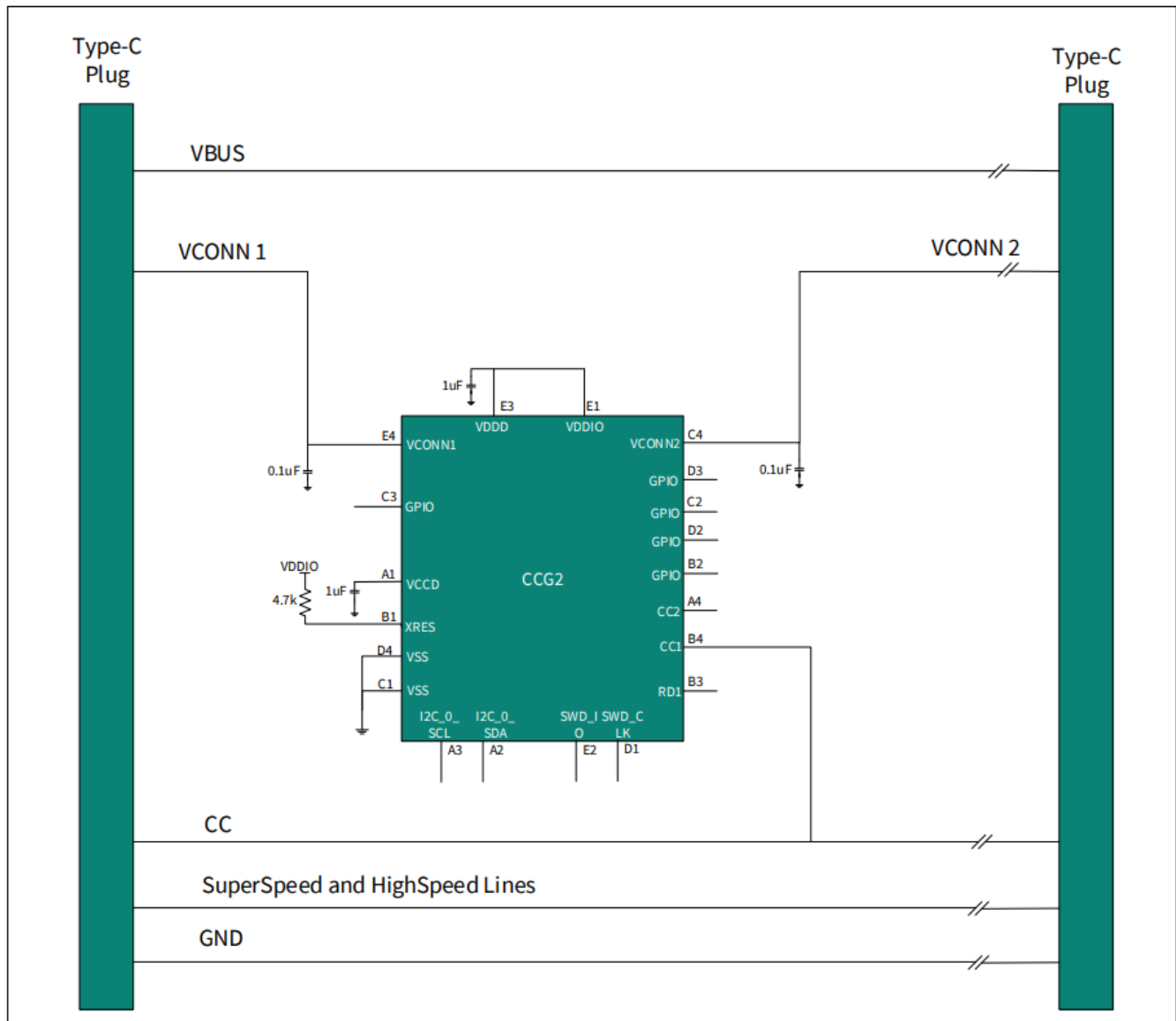


图 9 无源 EMCA 应用 - 每条电缆单个 EZ-PD™ CCG2 (VCONN 范围在 4.0 V 至 5.5 V 之间)

应用程序框图

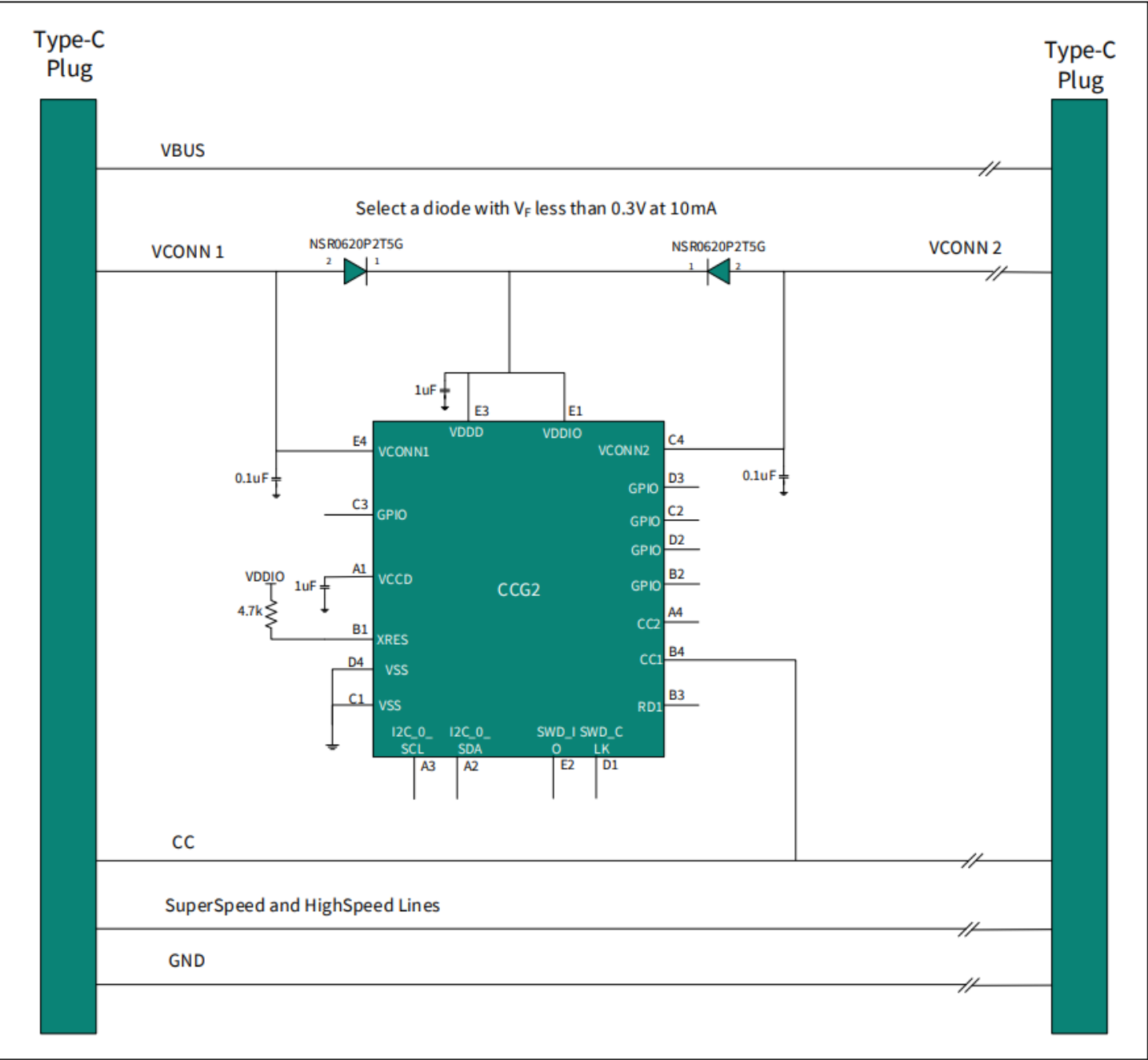


图 10 无源 EMCA 应用 - 每条电缆单个 EZ-PD™ CCG2 (VCONN 范围在 2.7 V 至 5.5 V 之间)

应用程序框图

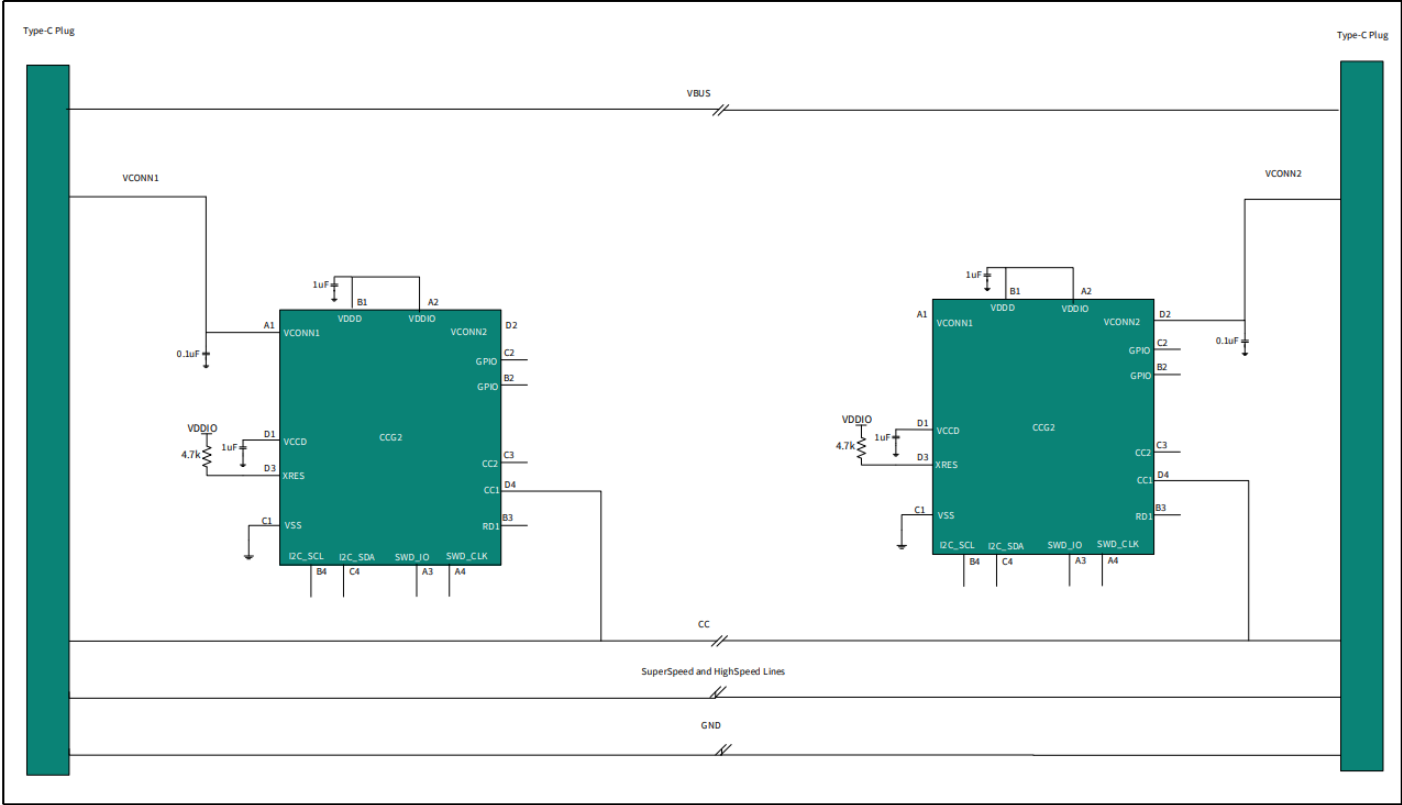


图11 无源EMCA应用（PD3.0/USB4）- 每个插头单个 EZ-PD™ CCG2（VCONN 范围在 4.0V 至 5.5 V 之间）

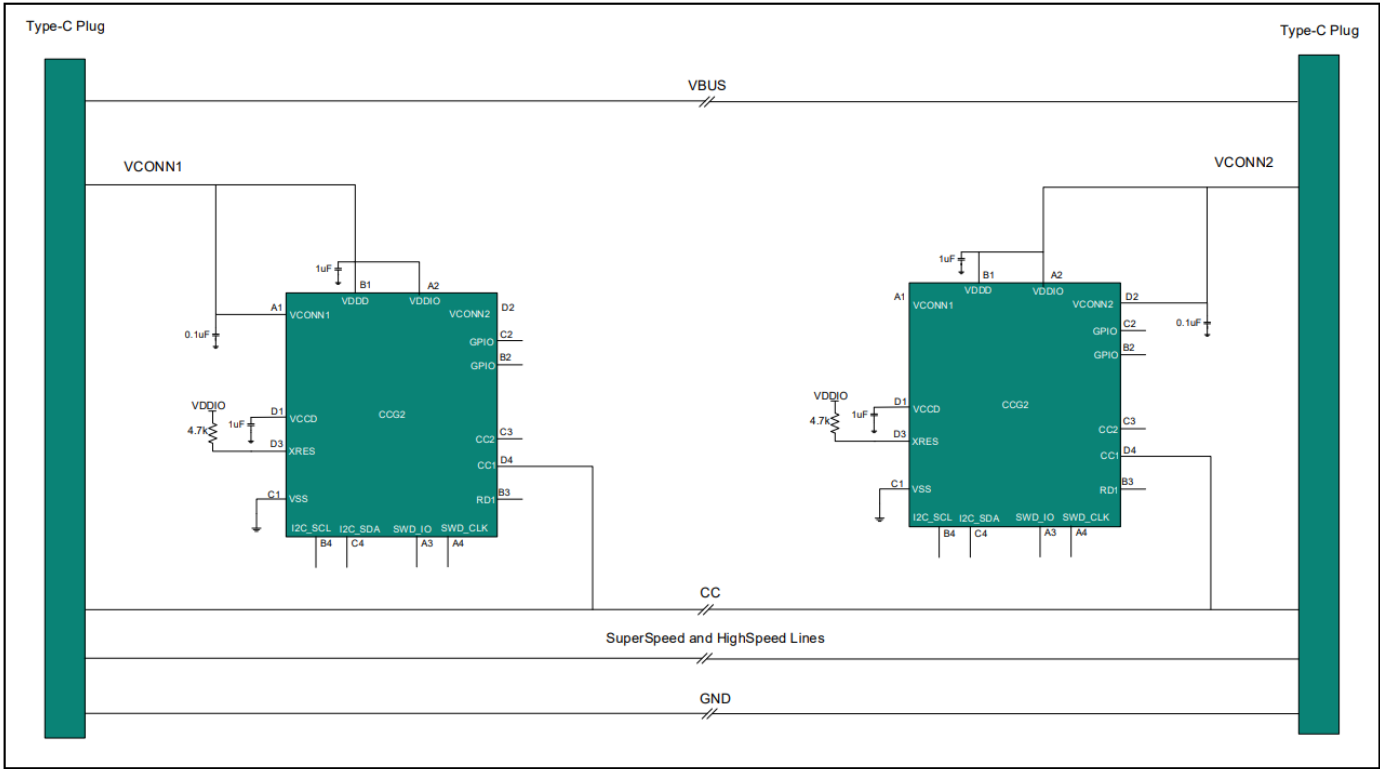


图 12 无源 EMCA 应用 - 每个插头单个 EZ-PD™ CCG2（VCONN 范围在 2.7 V 至 5.5 V 之间）

7.2 面向上行端口的应用

图 13 显示 CCG2 设备在 UFP 应用（带有 Type-C 端口的平板电脑）中仅用作电力消耗者。

Type-C 插座引入高速和超高速线路，直接连接到应用处理器。Type-C 插座的 VBUS 线路直接连接到 UFP（平板电脑）充电电路。应用处理器通过 I²C 信号与 CCG2 设备通信，Type-C 插座的 CC1 和 CC2 线路直接连接到 CCG2 设备的相应 CC1/2 引脚。

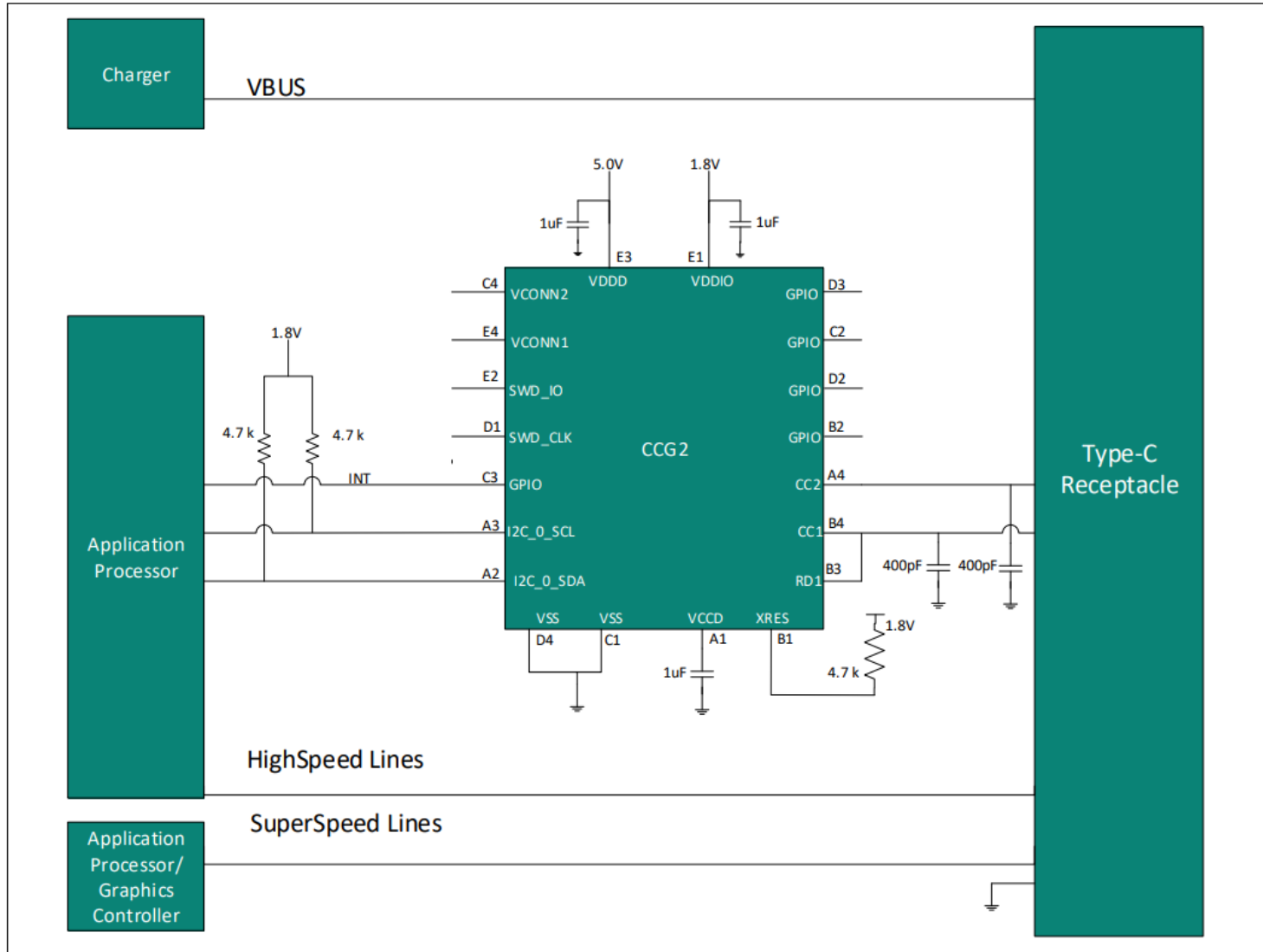


图 13 上行端口 (UFP) 应用 - 带有 Type-C 端口的平板电脑

7.3 笔记本应用

图 14 中展示了使用 CCG2 设备的笔记本电脑 DRP 应用示意图。Type-C 端口可用作电源供应器或电源消耗器。CCG2 设备通过 I²C 与嵌入式控制器 (EC) 通信。它还控制数据多路复用器 (DMX)，将高速信号路由至 USB 芯片组（正常模式下）或 DisplayPort 芯片组（备用模式下）。SBU 线路、超高速线路和高速线路直接从笔记本电脑的 Display MUX 路由至 Type-C 插座。

对于需要使用 Type-C 插座的 VCONN 引脚为配件和电缆供电的应用，提供可选 FET。VBUS FET 还用于通过 VBUS 提供电力以及通过 VBUS 消耗电力。由 CCG2 设备控制的 VBUS_DISCHARGE FET 用于在 Type-C 连接断开后快速对 VBUS 进行放电

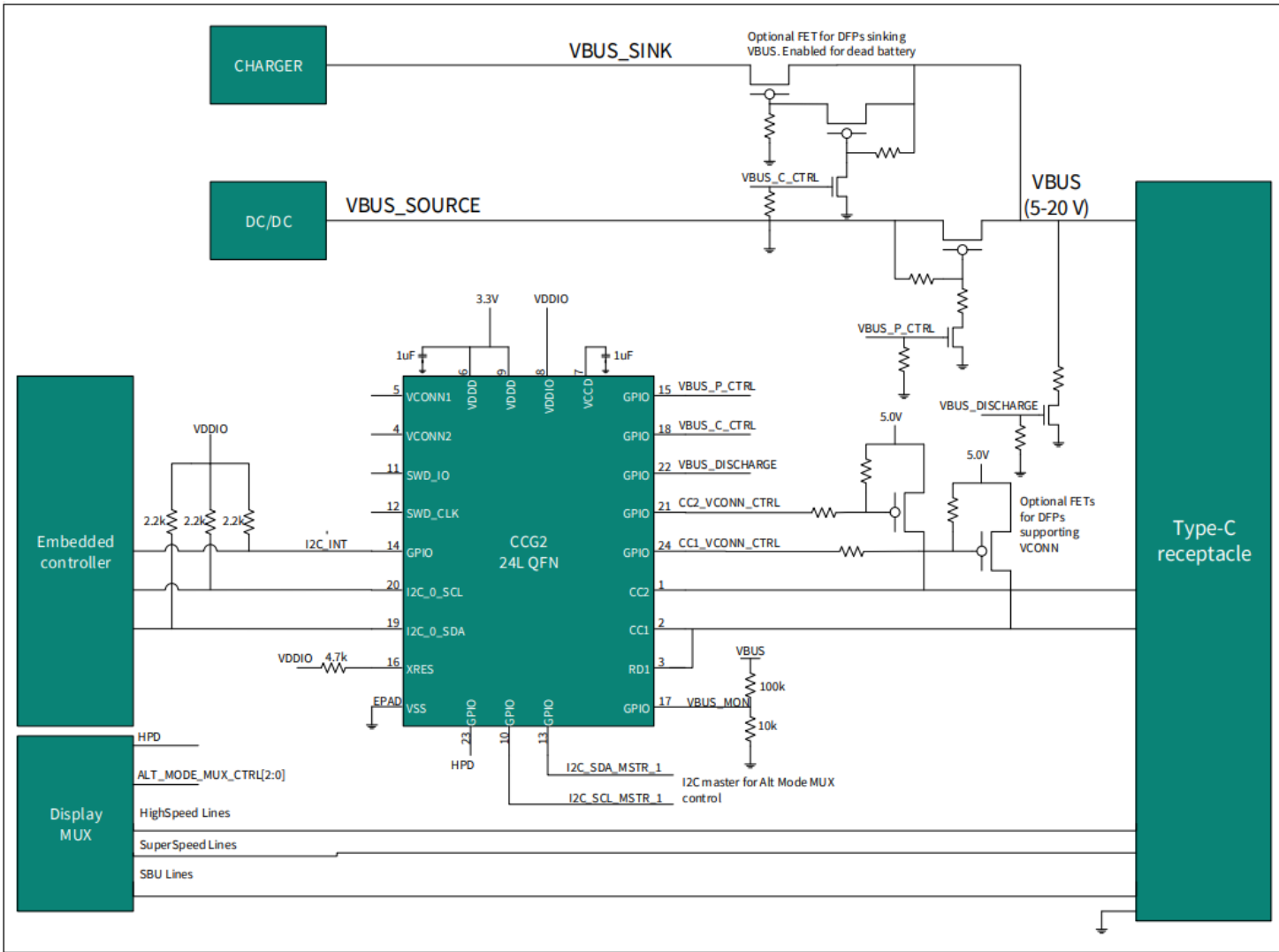


图 14 双角色端口 (DRP) 应用（不建议用于新设计）

7.4 面向下行端口的应用

图 15 展示了一个基于 CCG2 插座的电源适配器应用，其中 CCG2 器件用作 DFP。CCG2 集成了所有终端电阻，并使用 GPIO（VSEL_0 和 VSEL_1）指示协商的电源配置。Type-C 端口的 VBUS 电压通过内部 ADC 进行监控，以检测 VBUS 上的欠压和过压情况。为了确保在电源适配器线缆断开时 VBUS 快速放电，还提供了放电路径。

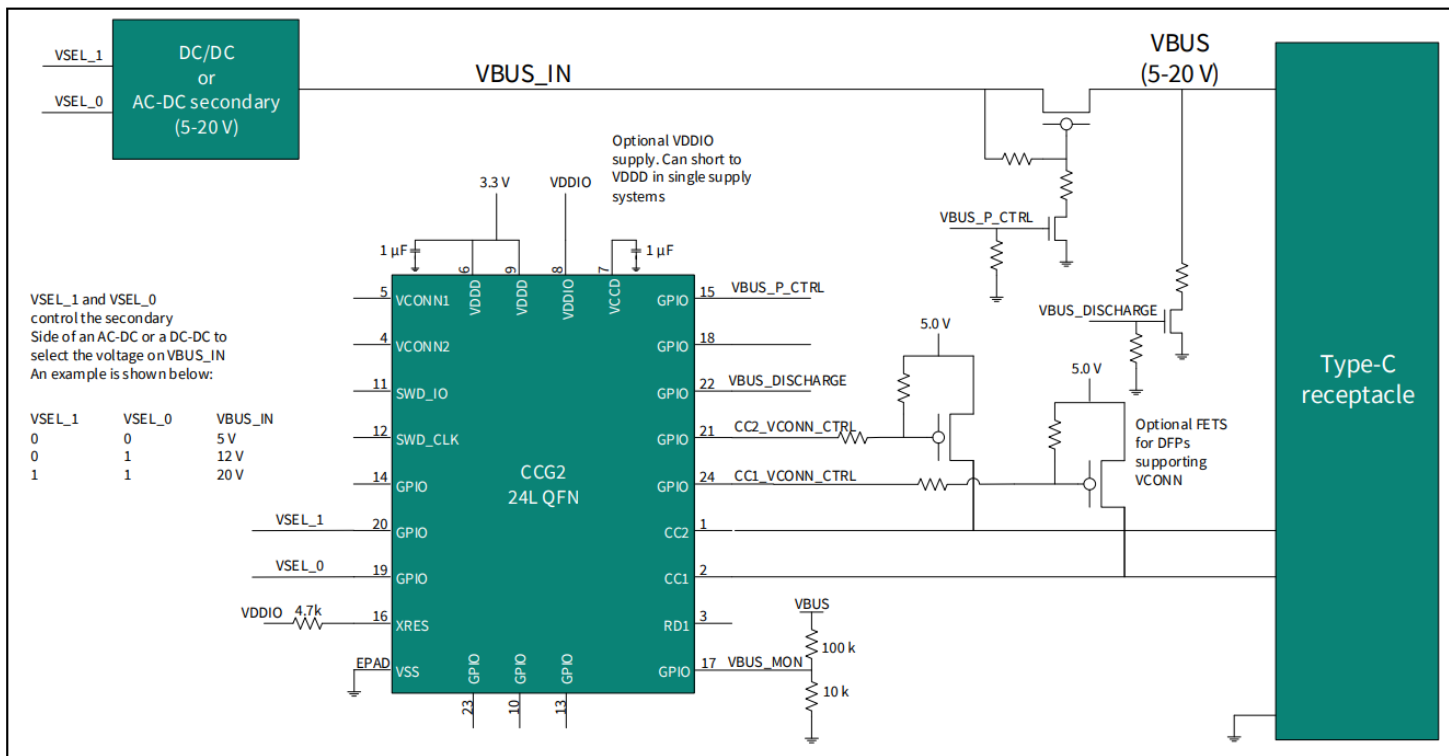


图 15 下行端口 (DFP) 应用

CCG2 不推荐用于 Type-C 转视频适配器的新设计。CCG3 为此类应用提供了集成度更高的解决方案，并且支持 PD3.0。请参阅[CCG3 数据表](#)了解更多详情。本节仅为上代产品而保留。

电气规格参数

8 电气规格参数

8.1 绝对最大额定值

表 2 绝对最大额定值^[1]

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
V _{DDD_MAX}	Digital supply relative to V _{SS}	−0.5	−	6	V	Absolute max
V _{CONN1_MAX}	Max supply voltage relative to V _{SS}	−	−	6		
V _{CONN2_MAX}	Max supply voltage relative to V _{SS}	−	−	6		
V _{DDIO_MAX}	Max supply voltage relative to V _{SS}	−	−	6		
V _{GPIO_ABS}	GPIO voltage	−0.5	−	V _{DDIO} + 0.5		
V _{CC_ABS}	Absolute max voltage for CC1 and CC2 pins	−	−	6	mA	Absolute max, current injected per pin
I _{GPIO_ABS}	Maximum current per GPIO	−25	−	25		
I _{GPIO_injection}	GPIO injection current, Max for V _{IH} > V _{DDD} , and Min for V _{IL} < V _{SS}	−0.5	−	0.5		
ESD_HBM	Electrostatic discharge human body model (ESD_HBM)	2200	−	−	V	−
ESD_CDM	ESD charged device model	500	−	−		
LU	Pin current for latch-up	−200	−	200	mA	
ESD_IEC_CON	ESD IEC61000-4-2	8000	−	−	V	Contact discharge on CC1, CC2, VCONN1, and VCONN2 pins
ESD_IEC_AIR	ESD IEC61000-4-2	15000	−	−		Air discharge for pins CC1, CC2, VCONN1, and VCONN2

注：

1. 表2 列出了绝对最大条件之下的使用可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103 高温存储寿命。在绝对最大条件以下但高于正常工作条件的情况下使用时，器件可能无法按规格运行。

电气规格参数

8.2 器件级规范

除非另有说明，所有规格均适用于 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 和 $T_J \leq 100^{\circ}\text{C}$ 。
除非另有说明，否则这些规范的适用电压范围为 3.0V ~ 5.5V。

表 3 直流参数

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PWR#1	V_{DD}	Power supply input voltage	2.7	–	5.5	V	UFP applications
SID.PWR#1_A	V_{DD}		3.0	–	5.5		DFP/DRP applications
SID.PWR#23	V_{CONN1}		4.0	–	5.5		–
SID.PWR#23_A	V_{CONN2}		4.0	–	5.5		
SID.PWR#13	V_{DDIO}	GPIO power supply	1.71	–	5.5	μF	X5R ceramic or better
SID.PWR#24	V_{CCD}	Output voltage (for core logic)	–	1.8	–		
SID.PWR#15	C_{EFC}	External regulator voltage bypass on V_{CCD}	1	1.3	1.6		
SID.PWR#16	C_{EXC}	Power supply decoupling capacitor on V_{DD}	–	1	–	μF	X5R ceramic or better
SID.PWR#25		Power supply decoupling capacitor on V_{CONN1} and V_{CONN2}	–	0.1	–		

在活动模式下， $V_{\text{DD}} = 2.7\text{ V} \sim 5.5\text{ V}$ 。典型值的测量条件为： $V_{\text{DD}} = 3.3\text{ V}$

SID.PWR#12	I_{DD12}	Supply current	–	7.5	–	mA	V_{CONN1} or $V_{\text{CONN2}} = 5\text{ V}$, $T_A = 25^{\circ}\text{C}$, CC I/O IN Transmit or Receive, R_A disconnected, no I/O sourcing current, CPU at 12 MHz.
------------	-------------------	----------------	---	-----	---	----	---

深度睡眠模式， $V_{\text{DD}} = 2.7\text{ V} - 5.5\text{ V}$

SID25A	I_{DD20A}	I ² C wakeup. WDT ON. IMO at 48 MHz.	–	2.0	3.0	mA	$V_{\text{DD}} = 3.3\text{ V}$, $T_A = 25^{\circ}\text{C}$, all blocks except CPU are ON, CC I/O ON, no I/O sourcing current.
--------	--------------------	---	---	-----	-----	----	---

在深度睡眠模式下， $V_{\text{DD}} = 2.7\text{ V} \sim 3.6\text{ V}$ (使能稳压器)

SID_DS_RA	$I_{\text{DD_DS_RA}}$	$V_{\text{CONN1}} = 5.0$, R_A termination disabled	–	100	–	μA	V_{CONN1} , $V_{\text{CONN2}} = 5\text{ V}$, $T_A = 25^{\circ}\text{C}$. R_A termination disabled on V_{CONN1} and V_{CONN2} , see SID.PD.7. VCONN leaker circuits turned off during deep sleep.
SID34	I_{DD29}	$V_{\text{DD}} = 2.7$ to 3.6 V . I ² C wakeup and WDT ON	–	50	–		R_A switch disabled on V_{CONN1} and V_{CONN2} . $V_{\text{DD}} = 3.3\text{ V}$, $T_A = 25^{\circ}\text{C}$
SID_DS	$I_{\text{DD_DS}}$	$V_{\text{DD}} = 2.7$ to 3.6 V . CC wakeup ON	–	2.5	–		Power source = V_{DD} , Type-C not attached, CC enabled for wakeup, R_P disabled.

电气规格参数

表 3 直流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
XRES电流							
SID307	I_{DD_XR}	Supply current while XRES asserted	–	1	10	μA	–

表 4 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#4	F_{CPU}	CPU frequency	DC	–	48	MHz	$3.0\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$
SID.PWR#20	T_{SLEEP}	Wakeup from Sleep mode	–	0	–	μs	Guaranteed by characterization
SID.PWR#21	$T_{\text{DEEPSLEEP}}$	Wakeup from Deep Sleep mode	–	–	35		24-MHz IMO; Guaranteed by characterization.
SID.XRES#5	T_{XRES}	External reset pulse width	5	–	–		Guaranteed by characterization
SYS.FES#1	$T_{\text{PWR_RDY}}$	Power-up to “Ready to accept I2C / CC command”	–	5	25	ms	

8.2.1 I/O

表 5 I/O 直流参数

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GIO#37	$V_{\text{IH}}^{[2]}$	Input voltage HIGH threshold	$0.7 \times V_{\text{DDIO}}$	–	–	V	CMOS input
SID.GIO#38	V_{IL}	Input voltage LOW threshold	–	–	$0.3 \times V_{\text{DDIO}}$		
SID.GIO#39	$V_{\text{IH}}^{[2]}$	LVTTL input, $V_{\text{DDIO}} < 2.7\text{ V}$	$0.7 \times V_{\text{DDIO}}$	–	–		–
SID.GIO#40	V_{IL}	LVTTL input, $V_{\text{DDIO}} < 2.7\text{ V}$	–	–	$0.3 \times V_{\text{DDIO}}$		
SID.GIO#41	$V_{\text{IH}}^{[2]}$	LVTTL input, $V_{\text{DDIO}} \geq 2.7\text{ V}$	2.0	–	–		
SID.GIO#42	V_{IL}	LVTTL input, $V_{\text{DDIO}} \geq 2.7\text{ V}$	–	–	0.8		
SID.GIO#33	V_{OH}	Output voltage HIGH level	$V_{\text{DDIO}} - 0.6$	–	–		$I_{\text{OH}} = 4\text{ mA}$ at $3\text{ V } V_{\text{DDIO}}$
SID.GIO#34	V_{OH}	Output voltage HIGH level	$V_{\text{DDIO}} - 0.5$	–	–		$I_{\text{OH}} = 1\text{ mA}$ at $1.8\text{ V } V_{\text{DDIO}}$
SID.GIO#35	V_{OL}	Output voltage LOW level	–	–	0.6	k Ω	$I_{\text{OL}} = 4\text{ mA}$ at $1.8\text{ V } V_{\text{DDIO}}$
SID.GIO#36	V_{OL}	Output voltage LOW level	–	–	0.6		$I_{\text{OL}} = 8\text{ mA}$ at $3\text{ V } V_{\text{DDIO}}$
SID.GIO#5	R_{PULLUP}	Pull-up resistor	3.5	5.6	8.5	k Ω	–
SID.GIO#6	R_{PULLDOWN}	Pull-down resistor	3.5	5.6	8.5		
SID.GIO#16	I_{IL}	Input leakage current (absolute value)	–	–	2	nA	$25\text{ }^{\circ}\text{C}$, $V_{\text{DDIO}} = 3.0\text{ V}$. Guaranteed by characterization.

注:

2. V_{IH} 不能超过 $V_{\text{DDIO}} + 0.2\text{ V}$ 。

电气规格参数

表 5 I/O 直流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GIO#17	C_{IN}	Input capacitance	–	–	7	pF	Guaranteed by characterization
SID.GIO#43	V_{HYSTTL}	Input hysteresis LVTTL	25	40	–	mV	$V_{DDIO} \geq 2.7\text{ V}$ Guaranteed by characterization.
SID.GPIO#44	$V_{HYSCMOS}$	Input hysteresis CMOS	$0.05 \times V_{DDIO}$	–	–		
SID69	I_{DIODE}	Current through protection diode to V_{DDIO}/V_{SS}	–	–	100	μA	Guaranteed by characterization.
SID.GIO#45	I_{TOT_GPIO}	Maximum total source or sink chip current	–	–	200	mA	

表 6 I/O AC 规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID70	T_{RISEF}	Rise time	2	–	12	ns	$3.3\text{-}V_{DDIO}$, $C_{load} = 25\text{ pF}$
SID71	T_{FALLF}	Fall time	2	–	12		

8.2.2 XRES

表 7 XRES 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.XRES#1	V_{IH}	Input voltage HIGH threshold	$0.7 \times V_{DDIO}$	–	–	V	CMOS input
SID.XRES#2	V_{IL}	Input voltage LOW threshold	–	–	$0.3 \times V_{DDIO}$		
SID.XRES#3	C_{IN}	Input capacitance	–	–	7	pF	Guaranteed by characterization
SID.XRES#4	$V_{HYSXRES}$	Input voltage hysteresis	–	–	$0.05 \times V_{DDIO}$	mV	

电气规格参数

8.3 数字外设

下列规范适用于定时器模式下的定时器/计数器/PWM外设。

8.3.1 GPIO引脚的脉冲宽度调制 (PWM)

表 8 PWM 交流规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.TCPWM.3	$T_{CPWMFREQ}$	Operating frequency	–	F_C	–	MHz	$F_C \text{ max} = \text{CLK_SYS}$ Maximum = 48 MHz
SID.TCPWM.4	$T_{PWMENTEXT}$	Input trigger pulse width	–	$2/F_C$	–	ns	For all trigger events
SID.TCPWM.5	$T_{PWMENTEXT}$	Output trigger pulse width	–	$2/F_C$	–		Minimum possible width of overflow, underflow, and CC (counter equals compare value) outputs
SID.TCPWM.5A	T_{CRES}	Resolution of counter	–	$1/F_C$	–		Minimum time between successive counts
SID.TCPWM.5B	PWM_{RES}	PWM resolution	–	$1/F_C$	–		Minimum pulse width of PWM output
SID.TCPWM.5C	Q_{RES}	Quadrature inputs resolution	–	$1/F_C$	–		Minimum pulse width between quadrature-phase inputs

8.3.2 I²C表9 固定I²C直流规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID149	I_{I2C1}	Block current consumption at 100 kbps	–	–	60	μA	–
SID150	I_{I2C2}	Block current consumption at 400 kbps	–	–	185		–
SID151	I_{I2C3}	Block current consumption at 1 Mbps	–	–	390		–
SID152	I_{I2C4}	I ² C enabled in Deep Sleep mode	–	–	1.4		–

表10 固定I²C交流规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID153	F_{I2C1}	Bit rate	–	–	1	Mbps	–

表11 固定UART直流规范

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID160	I_{UART1}	Block current consumption at 100 Kbps	–	–	125	μA	Guaranteed by characterization
SID161	I_{UART2}	Block current consumption at 1000 Kbps	–	–	312		

电气规格参数

表12 固定UART交流规范

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID162	F _{UART}	Bit rate	–	–	1	Mbps	Guaranteed by characterization

表13 固定SPI 直流规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID163	I _{SPI1}	Block current consumption at 1 Mbps	–	–	360	μA	Guaranteed by characterization
SID164	I _{SPI2}	Block current consumption at 4 Mbps	–	–	560		
SID165	I _{SPI3}	Block current consumption at 8 Mbps	–	–	600		

表14 固定SPI 交流规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID166	F _{SPI}	SPI Operating frequency (Master; 6X oversampling)	–	–	8	MHz	Guaranteed by characterization

表15 固定SPI主设备模式的交流规范

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID167	T _{DMO}	MOSI Valid after SClock driving edge	–	–	15	ns	Guaranteed by characterization
SID168	T _{DSI}	MISO Valid before SClock capturing edge	20	–	–		Full clock, late MISO sampling. Guaranteed by characterization
SID169	T _{HMO}	Previous MOSI data hold time	0	–	–		Referred to Slave capturing edge. Guaranteed by characterization

电气规格参数

表 16 固定SPI从设备模式的交流规范

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID170	T _{DMI}	MOSI Valid before Sclock Capturing edge	40	–	–	ns	Guaranteed by characterization
SID171	T _{DSO}	MISO Valid after Sclock driving edge	–	–	42 + 3 * T _{CPU}		T _{CPU} = 1/FCPU. Guaranteed by characterization.
SID171A	T _{DSO_EXT}	MISO Valid after Sclock driving edge in Ext Clk mode	–	–	48		Guaranteed by characterization
SID172	T _{HSO}	Previous MISO data hold time	0	–	–		
SID172A	T _{SSELSCK}	SSEL Valid to first SCK Valid edge	100	–	–		

8.4 存储器

表 17 Flash 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.MEM#4	T _{ROWWRITE} ^[3]	Row (block) write time (erase and program)	–	–	20	ms	Row (block) = 128 bytes
SID.MEM#3	T _{ROWERASE} ^[3]	Row erase time	–	–	13		–
SID.MEM#8	T _{ROWPROGRAM} ^[3]	Row program time after erase	–	–	7		
SID178	T _{BULKERASE} ^[3]	Bulk erase time (32 KB)	–	–	35		
SID180	T _{DEVPROG} ^[3]	Total device program time	–	–	7.5	seconds	Guaranteed by characterization
SID181	F _{END}	Flash endurance	100 K	–	–	cycles	
SID182	F _{RET1}	Flash retention. T _A ≤ 55 °C, 100 K P/E cycles	20	–	–	years	
SID182A	F _{RET2}	Flash retention. T _A ≤ 85 °C, 10 K P/E cycles	10	–	–		

注:

3. 可能需要最多20毫秒来写入闪存。在这段时间内请勿复位器件，否则会中止闪存操作并且不能保证该操作的完成。复位源包括XRES引脚、软件复位、CPU锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。

电气规格参数

8.5 系统资源

8.5.1 欠压情况下的上电复位 (POR)

表 18 不精确 POR (PRES)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID185	$V_{RISEIPOR}$	Rising trip voltage	0.80	–	1.50	V	Guaranteed by characterization
SID186	$V_{FALLIPOR}$	Falling trip voltage	0.75	–	1.4		

表 19 精确 POR

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID190	$V_{FALLPPOR}$	BOD trip voltage in Active and Sleep modes	1.48	–	1.62	V	Guaranteed by characterization
SID192	$V_{FALLDPSLP}$	BOD trip voltage in Deep Sleep	1.1	–	1.5		

8.5.2 SWD接口

表 20 SWD接口规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.SWD#1	$F_{SWDCLK1}$	$3.3\text{ V} \leq V_{DDIO} \leq 5.5\text{ V}$	–	–	14	MHz	SWDCLK $\leq$ 1/3 CPU clock frequency
SID.SWD#2	$F_{SWDCLK2}$	$1.8\text{ V} \leq V_{DDIO} \leq 3.3\text{ V}$	–	–	7		
SID.SWD#3	T_{SWDI_SETUP}	$T = 1/f_{SWDCLK}$	$0.25 \cdot T$	–	–	ns	Guaranteed by characterization
SID.SWD#4	T_{SWDI_HOLD}	$T = 1/f_{SWDCLK}$	$0.25 \cdot T$	–	–		
SID.SWD#5	T_{SWDO_VALID}	$T = 1/f_{SWDCLK}$	–	–	$0.5 \cdot T$		
SID.SWD#6	T_{SWDO_HOLD}	$T = 1/f_{SWDCLK}$	1	–	–		

8.5.3 内部主振荡器

表 21 IMO DC 规格

(由设计保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID218	I_{IMO}	IMO operating current at 48 MHz	–	–	1000	μA	–

表 22 IMO AC 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#13	F_{IMOTOL}	Frequency variation at 24, 36, and 48 MHz (trimmed)	–	–	± 2	%	–
SID226	$T_{STARTIMO}$	IMO startup time	–	–	7	μs	Guaranteed by characterization
SID229	$T_{JITRMSIMO}$	RMS jitter at 48 MHz	–	145	–	ps	
–	F_{IMO}	IMO frequency	24	–	48	MHz	–

电气规格参数

8.5.4 内部低速振荡器

表 23 ILO DC 规格

(由设计保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID231	I_{ILO}	ILO operating current at 32 kHz	–	0.3	1.05	μA	Guaranteed by characterization
SID233	$I_{ILOLEAK}$	ILO leakage current	–	2	15	nA	Guaranteed by design

表 24 ILO AC 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID234	$T_{STARTILO}$	ILO startup time	–	–	2	ms	Guaranteed by characterization
SID236	$T_{ILODUTY}$	ILO duty cycle	40	50	60	%	
SID.CLK#5	F_{ILO}	ILO frequency	20	40	80	kHz	–

8.5.5 断电

表 25 PD DC 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PD.1	Rp_std	DFP CC termination for default USB Power	64	80	96	μA	–
SID.PD.2	Rp_1.5A	DFP CC termination for 1.5A power	166	180	194		
SID.PD.3	Rp_3.0A	DFP CC termination for 3.0A power	304	330	356		
SID.PD.4	Rd	UFP CC termination	4.59	5.1	5.61	k Ω	All supplies forced to 0 V and 0.6 V applied at RD1 or CC2
SID.PD.5	Rd_DB	UFP Dead Battery CC termination on RD1 and CC2	4.08	5.1	6.12		
SID.PD.6	R_A	Power cable termination	0.8	1.0	1.2		All supplies forced to 0 V and 0.2 V applied at V_{CONN1} or V_{CONN2}
SID.PD.7	Ra_OFF	Power cable termination - Disabled	0.4	0.75	–	M Ω	2.7 V applied at V_{CONN1} or V_{CONN2} with R_A disabled
SID.PD.8	Rleak_1	V_{CONN} leaker for 0.1- μF load	–	–	216	k Ω	Managed Active Cable (MAC) discharge
SID.PD.9	Rleak_2	V_{CONN} leaker for 0.5- μF load	–	–	41.2		
SID.PD.10	Rleak_3	V_{CONN} leaker for 1.0- μF load	–	–	19.6		
SID.PD.11	Rleak_4	V_{CONN} leaker for 2.0- μF load	–	–	9.8		
SID.PD.12	Rleak_5	V_{CONN} leaker for 5.0- μF load	–	–	4.1		
SID.PD.13	Rleak_6	V_{CONN} leaker for 10- μF load	–	–	2.0		
SID.PD.14	Ileak	Leaker on V_{CONN1} and V_{CONN2} for discharge upon cable detach	150	–	–	μA	–

电气规格参数

8.5.6 模数转换器

表26 ADC DC 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.ADC.1	Resolution	ADC resolution	–	8	–	bits	Guaranteed by characterization
SID.ADC.2	INL	Integral non-linearity	–1.5	–	1.5	LSB	
SID.ADC.3	DNL	Differential non-linearity	–2.5	–	2.5		
SID.ADC.4	Gain error	Gain error	–1	–	1		

表27 ADC AC 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.ADC.5	SLEW_Max	Rate of change of sampled voltage signal	–	–	3	V/ms	Guaranteed by characterization

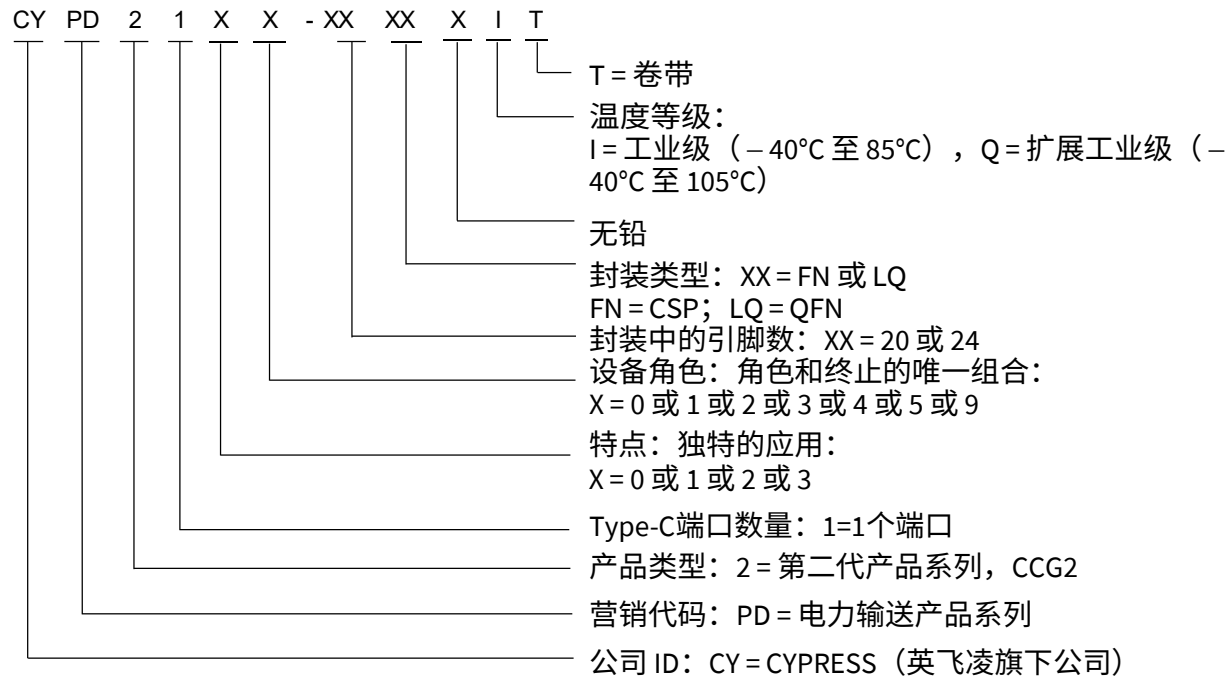
9 订购信息

表 28 列出了 EZ-PD™ CCG2 部件编号和特性。

表 28 EZ-PD CCG2 订购信息

Product ^[4]	Application	Type-C ports	Termination resistor	Role	Package
CYPD2104-20FNXIT	Accessory	1	R_P, R_D, R_{D-DB}	I ² C bootloader only	20-ball CSP
CYPD2105-20FNXIT	Active Cable		R_A	EMCA CC bootloader with application firmware	20-ball CSP
CYPD2122-24LQXI	Notebook		R_P, R_D, R_{D-DB}	I ² C bootloader only	24L QFN
CYPD2122-24LQXIT	Notebook		R_P, R_D, R_{D-DB}		24L QFN
CYPD2134-24LQXQT	DFP		R_P	DFP CC bootloader only	24L QFN

9.1 订购代码定义



包装信息

10 封装信息

表29 封装参数

Parameter	Description	Conditions	Min	Typ	Max	Unit
T _A	Operating ambient temperature	Industrial	-40	25	85	°C
		Extended industrial			105	
T _J	Operating junction temperature	Industrial	-40	-	100	
		Extended industrial			125	
T _{JA}	Package θ_{JA} (20-ball WLCSP)	-	-	66	-	°C/W
T _{JC}	Package θ_{JC} (20-ball WLCSP)			0.7		
T _{JA}	Package θ_{JA} (24L QFN)			22		
T _{JC}	Package θ_{JC} (24L QFN)			29		

表30 回流焊峰值温度

Package	Maximum peak temperature	Maximum time within 5°C of peak temperature
20-ball WLCSP	260 °C	30 seconds
24L QFN		

表31 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
20-ball WLCSP	MSL 1
24L QFN	MSL 3

包装信息

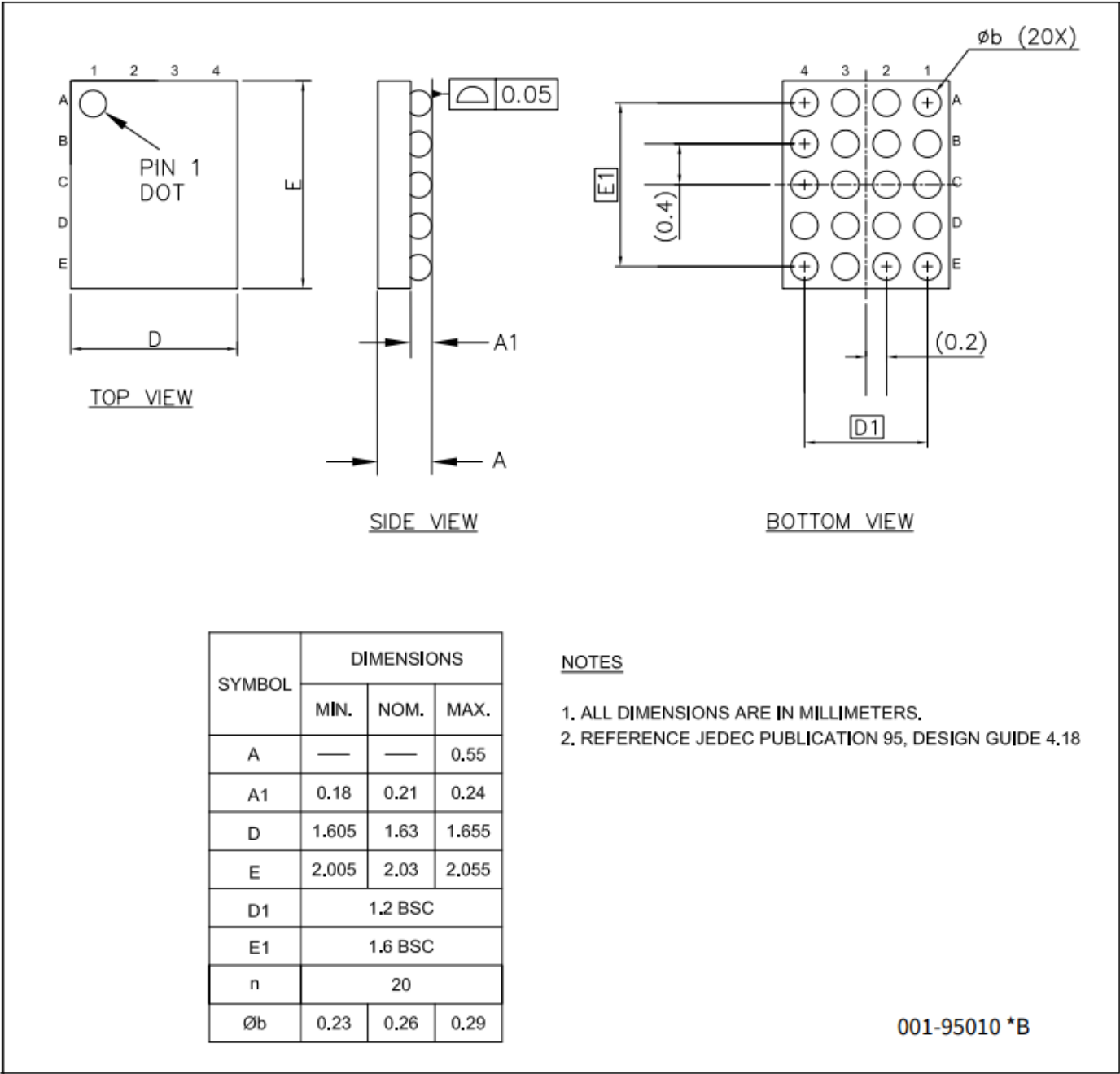


图16 20球WLCSP (1.63×2.03×0.55毫米) FN20B (SG-XFWLB-20) 封装外形

包装信息

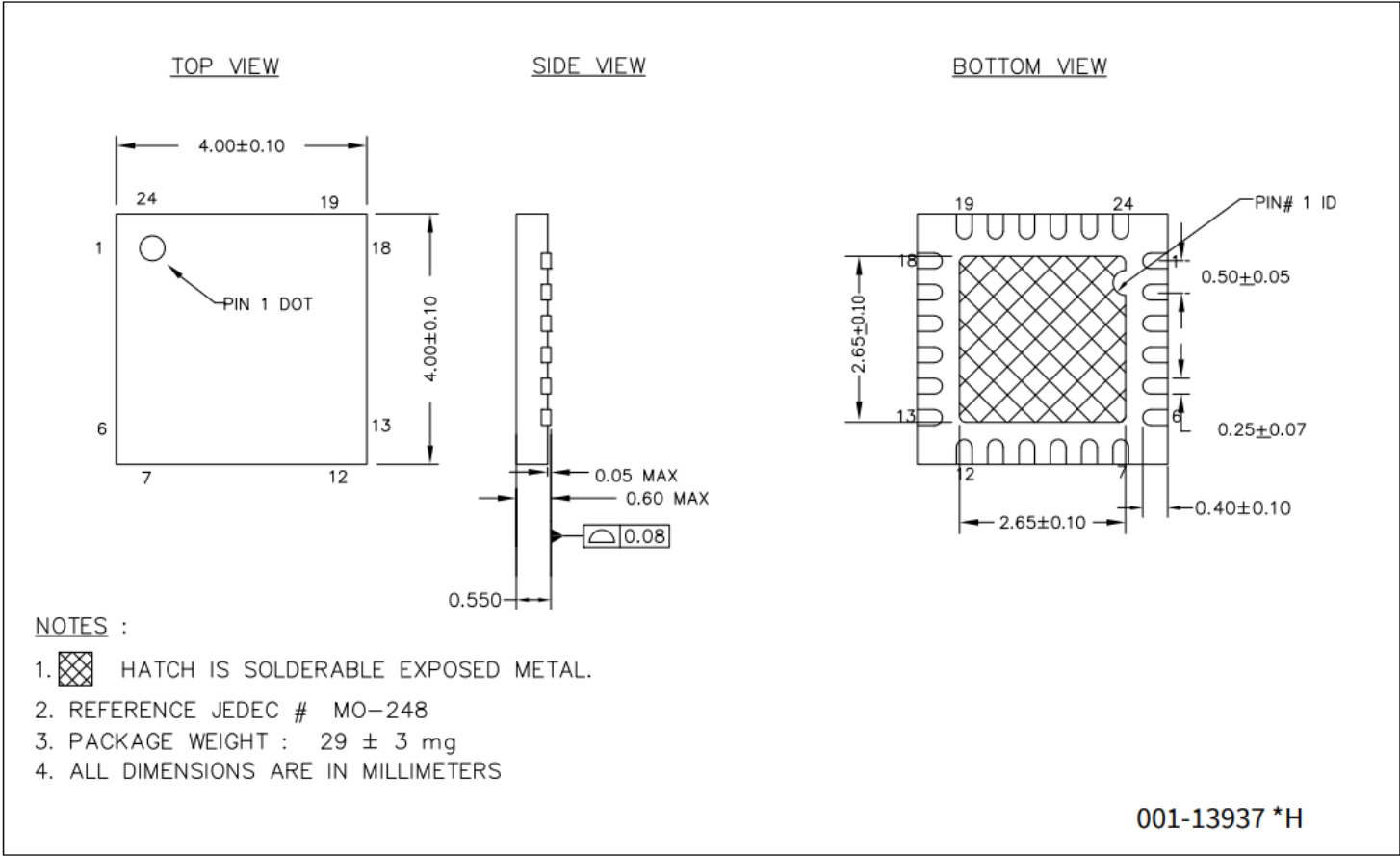


图 17 24L QFN (4 × 4 × 0.55 毫米) , LQ24A, 2.65 × 2.65 E-Pad (Sawn) (PG-VQFN-24) 封装外形

缩略语

11 缩略语

表32 本文档中使用的缩略语

Acronym	Description
ADC	analog-to-digital converter
API	application programming interface
ARM®	advanced RISC machine, a CPU architecture
CC	configuration channel
CCG2	Cable Controller Generation 2
CPU	central processing unit
CRC	cyclic redundancy check, an error-checking protocol
CS	current sense
DFP	downstream facing port
DIO	digital input/output, GPIO with only digital capabilities, no analog. See GPIO.
DRP	dual role port
EEPROM	electrically erasable programmable read-only memory
EMCA	a USB cable that includes an IC that reports cable characteristics (e.g., current rating) to the Type-C ports
EMI	electromagnetic interference
ESD	electrostatic discharge
FPB	flash patch and breakpoint
FS	full-speed
GPIO	general-purpose input/output
IC	integrated circuit
IDE	integrated development environment
I ² C, or IIC	Inter-Integrated Circuit, a communications protocol
ILO	internal low-speed oscillator, see also IMO
IMO	internal main oscillator, see also ILO
I/O	input/output, see also GPIO
LVD	low-voltage detect
LVTTL	low-voltage transistor-transistor logic
MAC	managed active cable
MCU	microcontroller unit
NC	no connect
NMI	nonmaskable interrupt
NVIC	nested vectored interrupt controller
opamp	operational amplifier
OCP	overcurrent protection
OVP	overvoltage protection
PCB	printed circuit board
PD	power delivery

缩略语

表 32 本文件中使用的缩略词 (续)

Acronym	Description
PGA	programmable gain amplifier
PHY	physical layer
POR	power-on-reset
PRES	precise power-on reset
PSoC™	Programmable System-on-Chip™
PWM	pulse-width modulator
RAM	random-access memory
RISC	reduced-instruction-set computing
RMS	root-mean-square
RTC	real-time clock
RX	receive
SAR	successive approximation register
SCL	I²C serial clock
SDA	I²C serial data
S/H	sample and hold
SPI	Serial Peripheral Interface, a communications protocol
SRAM	static random access memory
SWD	serial wire debug, a test protocol
TX	transmit
Type-C	a new standard with a slimmer USB connector and a reversible cable, capable of sourcing up to 100 W of power
UART	Universal Asynchronous Transmitter Receiver, a communications protocol
USB	Universal Serial Bus
USBIO	USB input/output, CCG2 pins used to connect to a USB port
XRES	external reset I/O pin

12 文档惯例

12.1 测量单位

表 33 计量单位

Symbol	Unit of measure
°C	degrees Celsius
Hz	hertz
KB	1024 bytes
kHz	kilohertz
kΩ	kilo ohm
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
Msps	megasamples per second
μA	microampere
μF	microfarad
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
Ω	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second
V	volt

修订记录

修订记录

Document revision	Date	Description of changes
*G	2015-06-15	Changed datasheet status from Preliminary to Final. Updated Logic Block Diagram. Changed number of GPIOs to 10 and added a note about the number of GPIOs varying depending on the package. Updated Power and Digital Peripherals section. Updated Application diagrams. Added SID.PWR#1_A parameter. Added CYPD2122-20FNXIT part in Ordering Information. Removed Errata.
*H	2015-10-23	Updated Figure 1 and Figure 4. Added VCC_ABS spec and updated the SID.ADC.4 parameter. Added “Guaranteed by characterization” note for the following specs: SID.GIO#16, SID.GIO#17, SID.XRES#3, SID 160 to SID 172A, SID 2226, SID 229, SID.ADC.1 to SID.ADC.5.
*I	2015-12-04	Updated Application diagrams: Added Figure 12. Added Figure 13. Added Figure 14. Updated Ordering information. Added part numbers CYPD2119-24LQXIT, CYPD2120-24LQXIT, CYPD2121-24LQXIT, CYPD2125-24LQXIT.
*J	2016-03-28	Updated temperature ranges in Features. Updated Table 28. Updated Ordering information.
*K	2016-06-13	Added Available firmware and software tools. Updated Figure 11: Per the USB PD3.0 spec, SOP” implementation is no longer valid for passive cables. Updated Figure 13, Figure 14, and Figure 15. Added descriptive notes for the application diagrams. Added References and Links to Applications Collaterals. Updated Ordering information. Updated Cypress logo and copyright information
*L	2016-08-02	Added CYPD2122-24LQXI part number in Ordering information.
*M	2018-07-11	Added Figure 10 and Figure 12. Updated the title of Figure 9 and Figure 11. Added “Note: Application diagram in Figure 8 requires external diodes to operate in the extended VCONN voltage range of 2.7V to 5.5V” in Application diagrams. Updated Figure 16 (Spec 001-95010 from *A to *B). Updated Figure 17 (Spec 001-13937 from *F to *G). Added compliance to USB Specification. Updated Cypress Logo and Copyright year.
*N	2020-12-04	Updated Figure 6 in Power section. Added CCG2 Programming and Bootloading section. Updated descriptions before all application diagrams in Application diagrams section. Added column “Default FW” in Table 28 in Ordering information section. Updated Figure 17 in Packaging section.

修订记录

Document revision	Date	Description of changes
*O	2024-05-10	Updated Table 28 in Ordering information: Removed part numbers – CYPD2103-14LHXIT, CYPD2103-20FNXIT, CYPD2125-24LQXIT, CYPD2121-24LQXIT, CYPD2120-24LQXIT, CYPD2119-24LQXIT, and CYPD2122-20FNXIT. Removed information related to 14-DFN package in the document. Removed sections – C-HDMI Dongle Application, C-DisplayPort (DP) Dongle Application, and Dock/monitor Application. Removed Figure 9. Updated to Infineon package naming convention: 24-pin QFN to 24L QFN. Updated package diagram (Figure 16 and Figure 17) titles with Infineon package code. Migrated to Infineon template.

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-05-10 Published by

**Infineon Technologies AG
81726 Munich, Germany**

© 2024 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?

Email:
erratum@infineon.com

**Document
reference 001-
93912 Rev. *O**

IMPORTANT NOTICE

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffheitsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.