

英飞凌EZ-USB™ FX3S SuperSpeed USB 控制器

特性

- 通用串行总线 (USB) 集成
 - USB 3.0和USB 2.0外设符合USB 3.0规范版本1.0
 - 5 Gbps USB 3.0 PHY符合PIPE 3.0
 - 高速 On-The-Go (HS-OTG) 主机和外设符合OTG补充标准 版本2.0
 - 具有32个物理端点
- 通用可编程接口 (GPIF II)
 - 可编程的100 MHz GPIF II能连接多种类型的外部器件
 - 包含8位和16位的数据总线
 - 多达16种可配置的控制信号
- 支持大容量存储
 - SD 3.0 (SDXC) UHS-1
 - eMMC 4.41
 - 两个端口可支持高达 2 TB的存储卡。
 - 对RAID0和RAID1提供内置RAID支持
- 使用两个安全数字I/O (SDIO 3.0) 端口扩展系统I/O
- 支持附加的USB储存 (UAS)、USB大容量存储类别 (MSC)、人机界面设备 (HID)、全速外设以及 Turbo-MTP
- 无障碍访问32位CPU
 - 工作频率为 200 MHz的ARM926EJ 内核
 - 大小分别为512 KB或256 KB的嵌入式SRAM
- 另外, 还可以连接下列外设
 - 频率为 1 MHz的I²C 主控制器
 - 采样频率为8kHz、16 kHz、32kHz、44.1 kHz、96 kHz和192 kHz的I2S主设备 (仅用于发送器)
 - 支持速度高达4 Mbps的UART
 - 频率为33 MHz的SPI主设备
- 多种时钟输入频率可供选择
 - 19.2, 26, 38.4 和 52 MHz
 - 支持19.2 MHz的晶振输入
- 内核断电模式下功耗超低
 - 开启VBATT时功耗低于60 μ A,
 - 关闭 VBATT时功耗则低于20 μ A
- 内核和I/O各有独立的电源域
 - 内核的工作电压为1.2 V
 - I2S、UART和SPI的工作电压为1.8到3.3 V
 - I²C的工作电压为1.2 V
- 10 mm \times 10 mm, 0.8 mm间距 (pitch) 无铅球栅阵列 (BGA) 封装
- 通过EZ-USB™软件和开发套件 (DVK), 可轻松进行代码开发

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

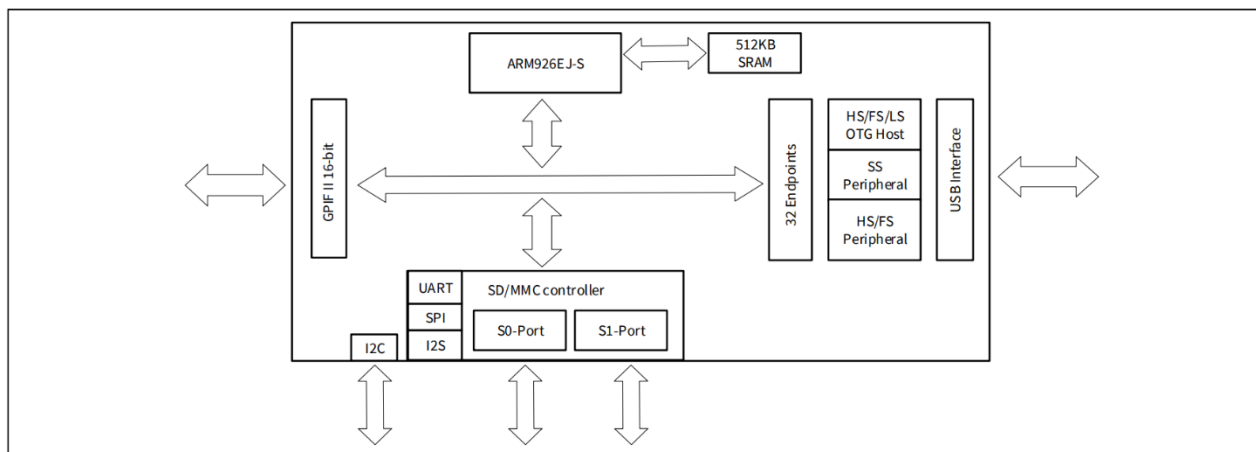
应用

- 数字视频摄录机
- 数字摄像机
- 打印机
- 扫描仪
- 视频采集卡
- 测试和测量设备
- 监控摄像机
- 个人导航设备
- 医疗成像设备
- 视频IP电话
- 便携式媒体播放器
- 工业相机
- RAID控制器
- 模块上的USB 磁盘

功能描述

请点击[这里](#)，了解完整的相关资料

逻辑框图



更多信息

更多信息

英飞凌的网站www.infineon.com上提供了大量资料，有助于正确选择您设计的<产品>器件，并允许您能够快速和有效地将器件集成到设计中。

- 概述: **USB 产品组合**
- USB 3.0 产品选择器: **EZ-USB™ FX3, EZ-USB™ FX3S, EZ-USB™ CX3, EZ-USB™ SX3, EZ-USB™ SD3, EZ-USB™ HX3**
- 应用笔记: 英飞凌提供了大量的USB应用笔记，涵盖从基本到高级水平范围广泛的话题。以下是推荐的FX3入门应用笔记:
 - **AN75705** - EZ-USB™ FX3入门应用笔记
 - **AN76405** - EZ-USB™ FX3 启动选项
 - **AN70707** - EZ-USB™ FX3/FX3S 硬件设计指南和原理图检查表
 - **AN65974** - 使用EZ-USB FX3的从FIFO接口进行设计
 - **AN75779** - 如何在USB视频类(UVC)框架中使用EZ-USB™ FX3 实现图像传感器连接
 - **AN86947** - 使用EZ-USB™ FX3优化USB 3.0 吞吐量
 - **AN84868** - 使用英飞凌EZ-USB™ FX3通过USB配置FPGA
 - **AN68829** - EZ-USB™ FX3的从FIFO接口: 5位地址模式
 - **AN76348** - EZ-USB™ FX2LP 与 EZ-USB™ FX3 应用实现差异
 - **AN89661** - 使用EZ-USB™ FX3S实现USB RAID 1 磁盘设计
- 程序示例:
 - **USB高速**
 - **USB全速**
 - **USB超高速**
- 技术参考手册 (TRM) :
 - **EZ-USB™ FX3 技术参考手册**
- 开发套件:
 - **CYUSB3KIT-003**, EZ-USB™ FX3 超高速资源管理工具包
- 模式: **IBIS**

EZ-USB™ FX3 软件开发套件

英飞凌为 FX3 提供完整的软件和固件堆栈，以便轻松将 SuperSpeed USB 集成到任何嵌入式应用中。**EZ-USB™ FX3 软件开发套件** (SDK) 附带工具、驱动程序和应用程序示例，有助于加速应用程序开发。

GPIF II 设计器

GPIF II 设计器 是一个图形软件，设计人员可以配置EZ-USB™ FX3 USB 3.0设备控制器的GPIF II接口。

该工具允许用户从英飞凌提供的五个接口中选择一个，或者从头开始创建自己的GPIF II接口。此外英飞凌提供了行业标准接口，如异步和同步从FIFO，异步和同步SRAM以及异步SRAM。在系统中已经具有这些预定义接口之一的设计者仅需要选择接口、选择标准参数，如总线宽度 (x8, x16, x32) 字节序、时钟设置，进而编译接口。该工具为需要定制界面的用户精简了三步GPIF界面开发流程。用户可以先选择他们的引脚配置和标准参数。然后，他们可以使用可配置动作来设计虚拟状态机。最后，用户可以查看输出时钟信号来验证它是否与预期的时钟匹配。一旦三步过程完成，接口就可以编译并与FX3集成。

目录

特性.....	1
应用.....	2
功能描述.....	2
逻辑结构图.....	2
更多信息.....	3
EZ-USB™ FX3软件开发套件	3
GPIF II 设计器	3
目录.....	4
1 功能概述	6
1.1 应用示例.....	6
2 USB接口	8
2.1 OTG.....	8
2.1.1 OTG 连接.....	8
2.2 重新枚举.....	9
2.3 VBUS 过压保护.....	9
2.4 CarKit UART 模式.....	9
3 主处理器接口 (P端口)	10
3.1 GPIF II.....	10
3.2 从设备 FIFO 接口.....	11
3.3 异步 SRAM.....	11
3.4 异步地址/数据复用式接口.....	12
3.5 同步 ADMux 接口.....	12
3.6 处理器 MMC (PMMC) 从设备 接口.....	13
4 CPU	14
5 存储端口 (S端口)	15
5.1 SD/MMC 时钟停止.....	15
5.2 SD_CLK 输出时钟停止.....	15
5.3 插入及移除存储卡检测.....	15
5.4 写入保护 (WP).....	15
5.5 SDIO 中断.....	16
5.6 SDIO 读取-等待特性.....	16
6 JTAG 接口	17
7 其他接口	18
7.1 UART 接口.....	18
7.2 I2C 接口.....	18
7.3 I2S 接口.....	18
7.4 SPI 接口.....	19
8 启动选项	20
9 复位	21
9.1 硬件复位.....	21
9.2 软件复位.....	21
10 时钟	22
10.1 32-kHz看门狗定时器时钟输入.....	23
11 电源	24
11.1 电源模式.....	24
12 配置选项	28
13 数字I/Os	29
14 GPIOs	30
15 EMI	31
16 系统电平ESD	32
17 引脚分布	33

18 引脚描述	34
19 电气规格	39
19.1 绝对最大额定值.....	39
19.2 工作条件.....	39
19.3 直流电规范.....	39
20 热特性	42
21 交流电时序参数	43
21.1 GPIF II 线路的交流特性为 100 MHz	43
21.2 GPIF II PCLK 抖动特性.....	43
21.3 GPIF II 时序	44
21.4 异步 SRAM 时序.....	47
21.5 用于异步 访问的ADMux时序.....	50
21.6 同步 ADMux 时序.....	52
21.7 从设备 FIFO 接口.....	55
21.7.1 同步从设备 FIFO 序列说明	55
21.7.2 同步从设备 FIFO 写序列说明	56
21.8 异步从设备 FIFO 读序列说明	58
21.9 异步从设备 FIFO 写序列说明	59
21.10 存储端口时序.....	62
21.11 串行外设时序.....	65
21.11.1 I2C时序.....	65
21.11.2 I2S 时序图.....	67
21.11.3 SPI 时序规范	68
22 复位序列	70
23 封装图	71
24 订购信息	72
24.1 订购代码定义.....	72
25 缩略语	73
26 文档惯例	74
26.1 测量单位.....	74
27 勘误表	75
修订记录	80

1 功能概述

英飞凌EZ-USB™ FX3S是新一代USB 3.0外设控制器，可提供集成和灵活的功能。FX3S具有完全可配置的通用可编程接口（GPIF II），可通过并行端口与任何处理器、ASIC 或 FPGA 连接。GPIF II是英飞凌旗舰产品 FX2LP USB 2.0 中所使用GPIF的改进版本。它可轻松无缝地连接到多种常用接口，比如异步SRAM、异步和同步地址数据复用式接口以及并行ATA。FX3S 集成了 USB 3.0 和 USB 2.0 物理层 (PHY) 以及 32 位 ARM926EJ-S 微处理器，可提供强大的数据。它可用于处理和构建自定义应用程序。本产品采用了一种架构，从GPIF II到USB接口的数据传输速度可达185 MBps^[1]。

FX3S 集成了一个存储控制器，并且支持其存储端口上两个独立的大容量存储器。它也支持SD 3.0和eMMC 4.41存储卡。并且这些端口还支持SDIO 3.0 功能。FX3在SD或eMMC具有可支持 RAID 0和 RAID 1的内置RAID。FX3 内部具有一个集成的 USB 2.0 OTG 控制器，这可以使 FX3S 可以在某些应用中扮演两个角色。例如，在一个应用中，EZ-USB™ FX3S 可以作为OTG主机控制MSC设备，同时可以作为HID设备。FX3S 具有大小为 512 KB 或 256 KB的片上 SRAM，用于存储代码和数据。EZ-USB™ FX3S 还提供可连接至UART、SPI、I²C和 I2S 等串行外设的接口。FX3S 附带应用开发工具。软件开发套件包含应用示例，可加快产品上市速度。

FX3S符合USB 3.0 v1.0规范，并可向下与USB 2.0相兼容。它还符合 USB 2.0 OTG 规范 v2.0。

1.1 应用示例

在典型的应用中（请参见图 1），可将FX3S作为一个协处理器使用，将其连接一个管理系统级功能的外部处理器。图 2显示了FX3S充当主处理器时的典型应用图。

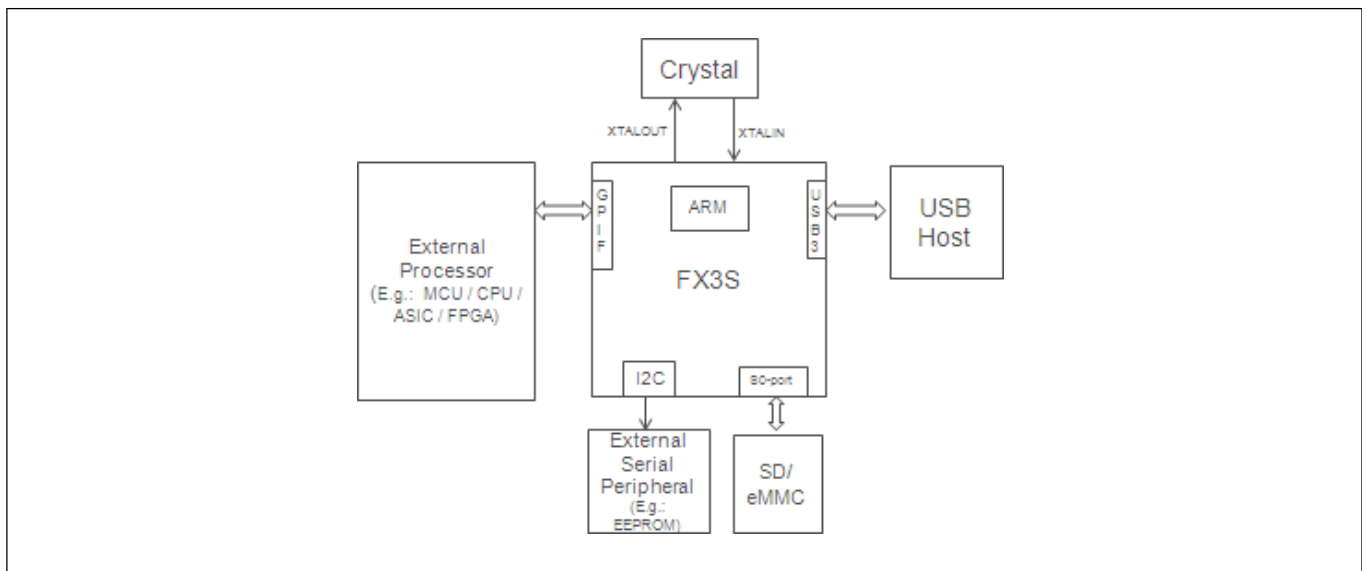


图 1 EZ-USB™ FX3S 作为协处理器

注释:

1. 假设 GPIF II 是针对16位的数据总线进行配置（仅适用于一些器件型号；请参考[订购信息](#)），同步接口的运行频率为 100 MHz。该数字还包括协议开销。

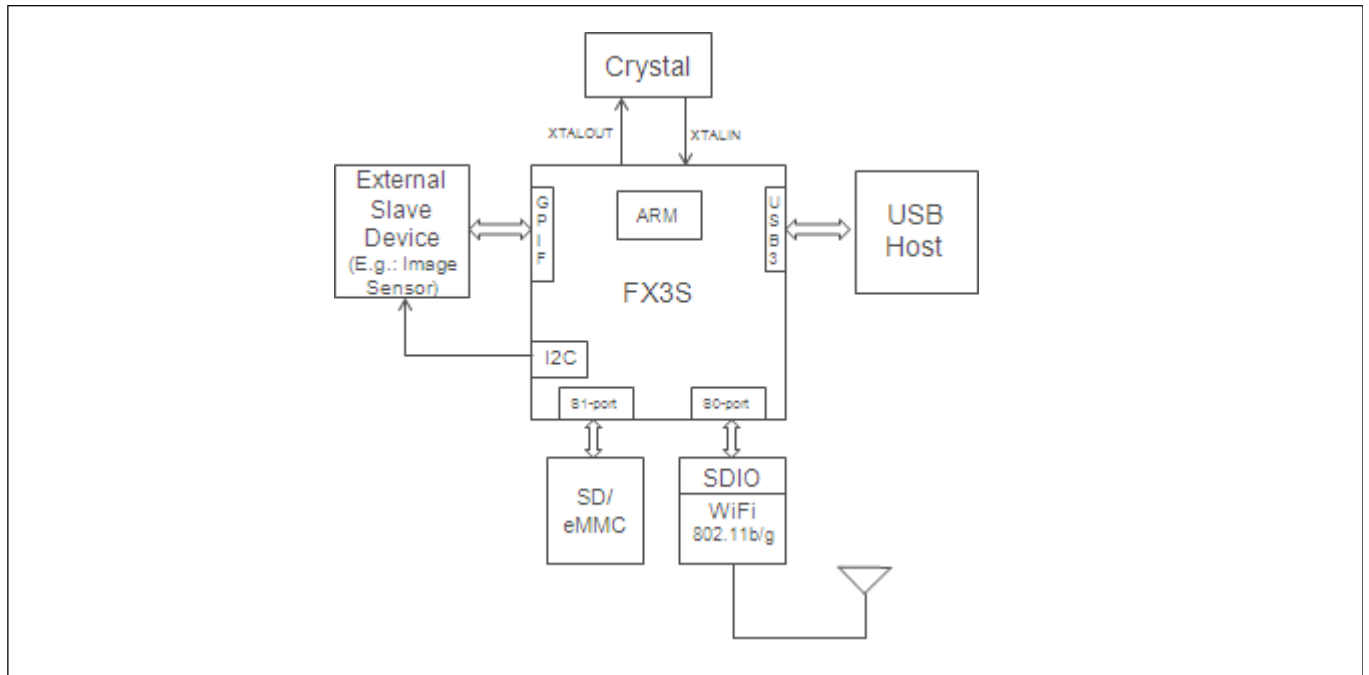


图 2 EZ-USB™ FX3S 作为主处理器

2 USB接口

EZ-USB™ FX3S与下面的规范兼容，同时支持下面各性能：

- 支持符合USB3.0规范版本1.0的USB外设功能，并可向下与USB 2.0规范相兼容。
- 符合OTG补充标准版本2.0。它支持高速、全速和低速OTG双角色器件功能。作为一个外设，FX3S能够执行超高速、高速以及全速的数据传输。作为主机，它能够实现高速、全速以及低速传输功能。
- 按照CEA-936A规格，在USB D+/D-行上支持Carkit Pass-through UART功能。
- 支持多达16个输入端点和16个输出端点。
- 它还支持 USB连接的SCSI (UAS) 器件类别，能优化大容量存储性能。
- 作为USB外设时，FX3S支持UAS、USB视频类别 (UVC)、大容量存储类别 (MSC) 和媒体传输协议 (MTP) 等USB外设类别。当完全由器件外部的宿主处理器进行处理时，本产品作为USB外设仅在接通模式支持所有其他类型的器件。
- 作为OTG主机时，FX3S支持MSC和HID等器件类别。

注释：当USB端口未被占用时，可禁用PHY和收发器以降低功耗。

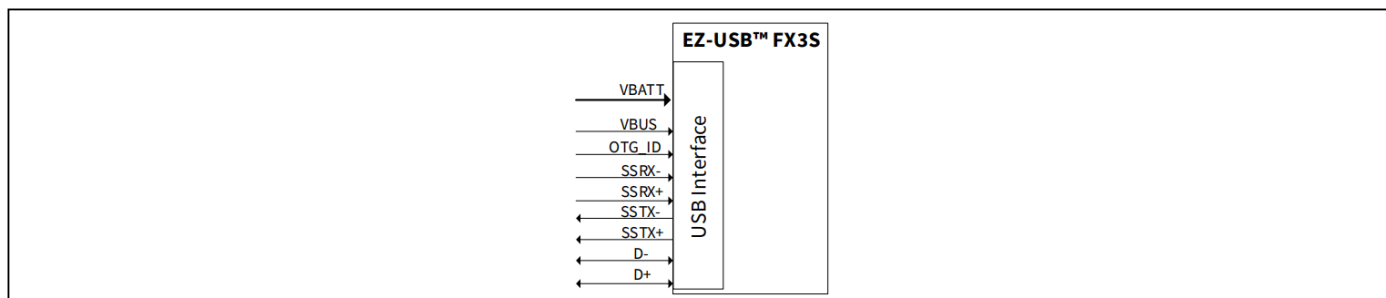


图 3 USB接口信号

2.1 OTG

FX3S符合OTG规范版本2.0。在OTG模式下，FX3S支持A器件模式和B器件模式，并支持数据的控制传输、中断传输、批量传输和同步传输。

在OTG A器件模式下，FX3S需要外部电荷泵（独立或PMIC 集成）给VBUS供电。

实现OTG主机的目标外设类别列表中包括MSC和HID类器件。FX3S不支持连接检测协议（ADP）

2.1.1 OTG连接

在OTG模式下，可以将FX3S配置为支持A、B或双角色器件。它可以与下面各项进行连接：

- ACA器件
- 目标USB外设
- 具有SRP功能的USB外设
- 具有HNP能的USB外设
- OTG主机
- 具有HNP功能的主机
- OTG 设备

2.2 重新枚举

由于FX3S为软配置，因此一个芯片具有多个不同的USB器件特征。

首次插入USB时，FX3S将自动枚举英飞凌供货商ID（0x04B4），并通过USB接口下载固件和USB描述符。下载的固件可执行电力断开和电力连接操作。之后，FX3S会作为下载信息定义的器件再次进行枚举。这个专有的两步流程，称作重新枚举，在器件插入时即时发生。

2.3 VBUS过电压保护

FX3S VBUS 引脚的最大输入电压为 6 V。充电器可在 VBUS 上提供高达 9 V 的电压。在这种情况下，需要外部过压保护 (OVP) 器件来保护 FX3S 免受 VBUS 损坏。图 4 图中所示为VBUS上连接OVP器件的系统应用图。请参考[直流规格](#)表，了解VBUS 和 VBATT 的工作电压范围。

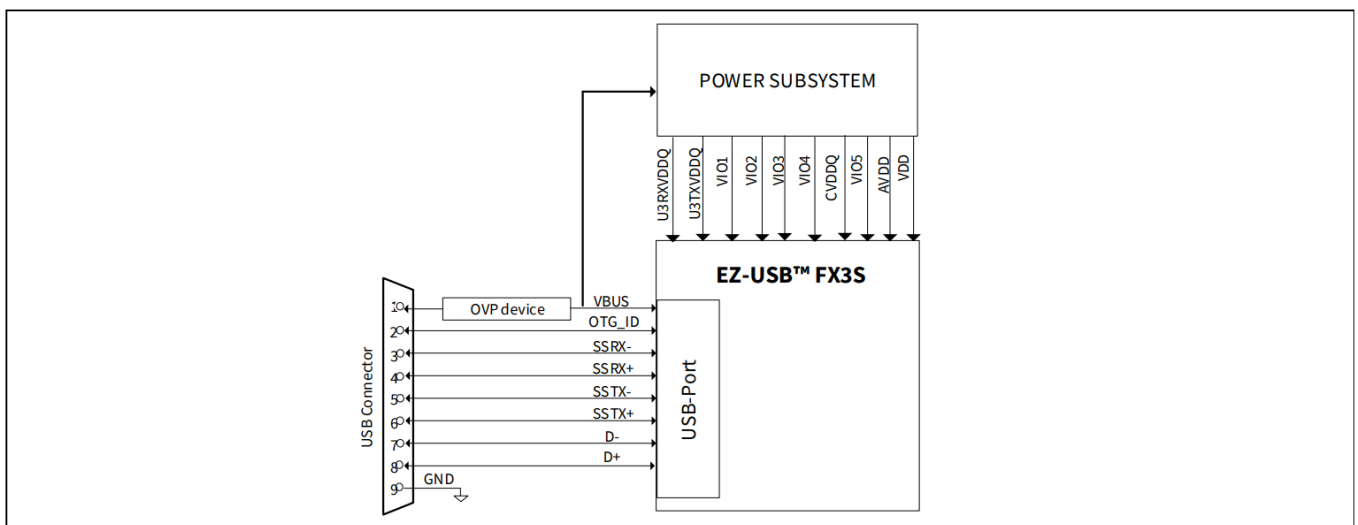


图 4 带有用于VBUS的OVP器件的系统框图

2.4 Carkit UART模式

USB接口支持Carkit UART模式（D+/D-上的UART），以实现非USB串行数据传输。该模式遵循CEA-936A规范。

在 Carkit UART 模式下，输出信号电压为3.3V。配置为 Carkit UART 模式时，UART 的 TXD（输出）将映射到 D- 行，UART 的 RXD（输入）将映射到 D+行。

在 Carkit UART 模式下，FX3S 将禁用 USB 收发器，而D+ 和 D- 引脚将作为通过引脚连接至主机处理器的 UART上。Carkit UART 信号可以连接至 GPIF II 接口或 GPIO[48] 和 GPIO[49]，如图 5所示。

在该模式下，FX3S支持高达 9600 bps 的数据速率。

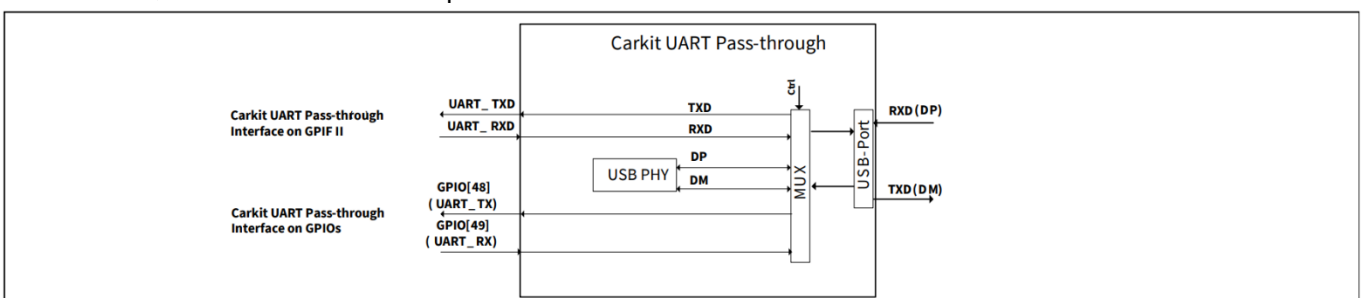


图 5 Carkit UART Pass-through框图

3 主机处理器接口 (P端口)

通过一个可配置接口，FX3S可以同多种器件（如传感器、FPGA、主机处理器或桥接芯片）进行通信。FX3S支持下述各P端口接口。

- GPIF II (16位)
- 从设备FIFO接口
- 16位异步SRAM接口
- 16位异步地址/数据复用式 (ADMux) 接口
- 16位同步地址/数据复用式 (ADMux) 接口
- 处理器MMC从接口与MMC系统规范、MMCA技术委员会标准版本4.2以及 eMMC 4.3 和 4.4 Pass-Through 引导相兼容

下面各节内容对这些P端口的接口进行了介绍。

3.1 GPIF II

高性能的GPIF II接口与FX2LP的通用可编程接口 (GPIF) 和从FIFO接口的功能相似，但其功能更先进。

GPIF II是一种可编程状态机，其所启用的灵活接口可用作工业标准或专用接口中的主设备或从设备。并行和串行接口均可通过GPIF II实现。

下面列出的是GPIF II的特性：

- 可作为主设备和从设备使用
- 提供256种固件可编程状态
- 支持8位和16位的并行数据总线
- 接口的工作频率可高达100 MHz
- 使用一个16/8位数据总线时，支持16个可配置控制引脚。所有控制引脚可作为输入/输出或双向引脚使用。

GPIF II的状态切换根据控制输入信号发生。控制输出信号是GPIF II状态转换所得到的结果。INT#输出信号可由GPIF II控制。请参考 GPIFII Designer工具的信息。GPIF II状态机的行为取决于GPIF II描述符。设计GPIF II描述符，使其符合所需接口的规范。大小为8 kB的存储器（独立于512 kB的嵌入式SRAM）专用于GPIF II波形，其中GPIF II描述符以特殊规格被存储。

英飞凌的 GPIF II Designer工具可实现GPIF II描述符的快速开发，并且包含了常用接口的示例。

异步和同步从FIFO接口均为GPIF II接口的示例配置。

3.2 从FIFO接口

从 FIFO 接口信号如图 6 所示。该接口允许外部处理器直接访问 FX3S 内部多达四个缓冲区。有关从 FIFO 接口的更多详细信息，请参见第 55 页。

注释：通过从设备 FIFO 接口，还可以访问所有 32 个缓冲区。如需了解更多信息，请联系[技术支持](#)。

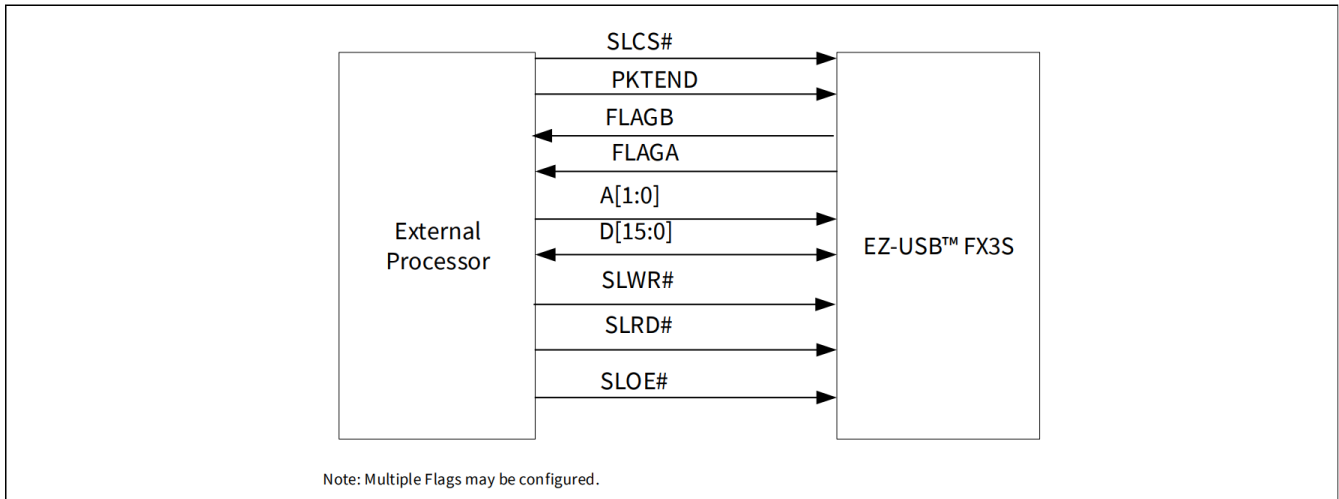


图 6 从设备FIFO接口

3.3 异步 SRAM

该接口由标准异步SRAM接口信号组成，如图 7 所示。该接口用于访问FX3S的配置寄存器和缓冲存储器。异步接口信号支持单周期和突发访问。

通过最高有效地址位A[7]决定访问配置存储器还是访问缓冲存储器。当通过激活地址位A[7]来选择访问配置寄存器时，地址总线位A[6:0]会指向某个配置寄存器。当解除激活位A[7]时，缓冲存储器会按照P端口DMA传输寄存器所指示的内容进行访问，其传输大小是由P端口DMA传输大小寄存器指定的。

配有DMA控制器的应用处理器在DMA传输过程中使用了地址自动递增性能，通过将应用处理器的任何高阶地址线（如A[15]/A[23]/A[31]）连接到FX3S的A[7]，可以覆盖它。

在异步SRAM模式下，当读取缓冲存储器时，FX3S可支持两个读取缓冲区中下一个数据的方法。在OE#的上升沿上读取下一个数据，也可以通过切换最低有效地址位A[0]来读取它。

在该模式下，P端口接口以最小的32.5 ns访问周期运行，但是该接口提供数据速率可高达61.5 MB/s。

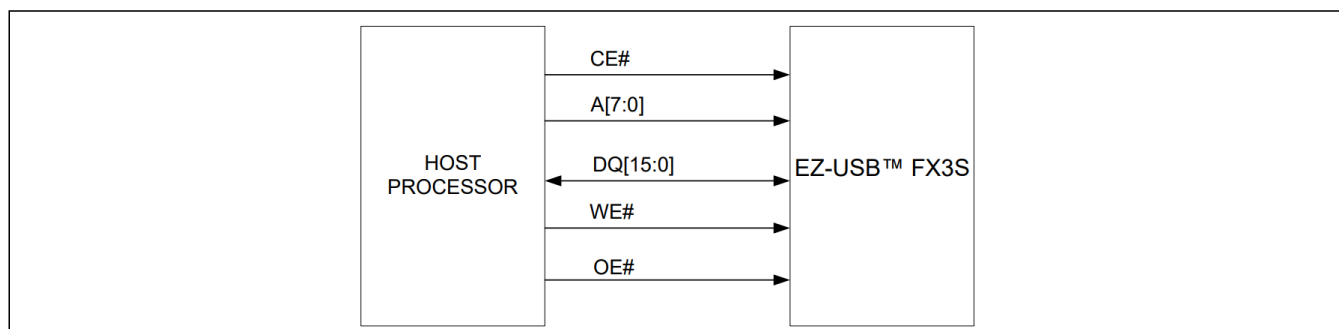


图 7 异步SRAM接口

3.4 异步地址/数据复用式接口

物理ADMux内存接口由 [图 8](#) 所示的信号组成。该接口支持处理器实现复用地址/数据总线。

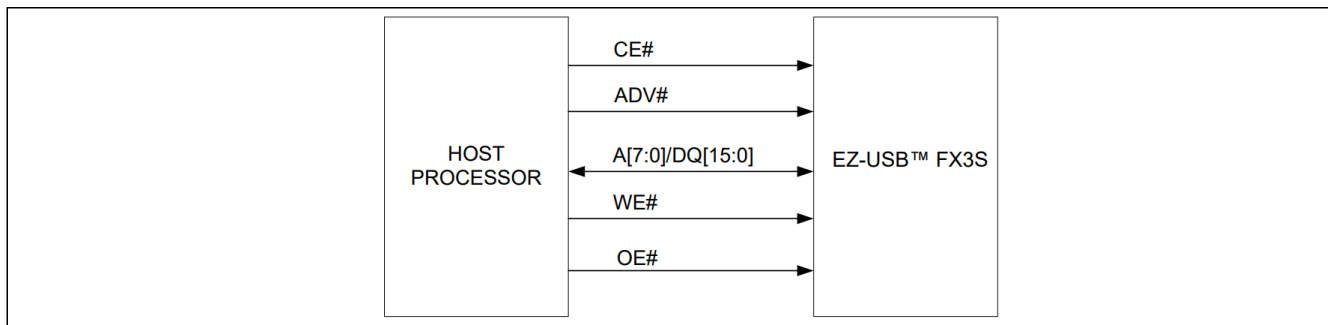


图 8 ADMux内存接口

FX3S的ADMux接口支持16位分时复用式地址/数据SRAM总线。

进行读操作时，需要激活CE#和OE#。

进行写操作时，则要激活CE#和WE#。在写入操作（即写入周期的地址和数据阶段）中，OE#的状态无关紧要。在WE#或CE#上升沿上，先到的输入数据被锁存。在进行写操作前，通过切换地址有效位(ADV#)来锁存地址。在写操作的地址阶段中，激活地址有效位(ADV#)，如[图 19](#)所示。

在读/写操作的地址阶段内，必须将ADV#置于低电平。在读/写操作的数据阶段内，则必须将ADV#必须为高电平，如[图 18](#)和[图 19](#)所示。

3.5 同步 ADMux 接口

FX3S的P端口支持异步地址/数据复用式接口。它的运行频率高达100 MHz，并且支持16位数据总线。

来自FX3S器件的RDY输出信号表示数据已就绪进行读取传输，并且已得到确认，可对其进行写操作。

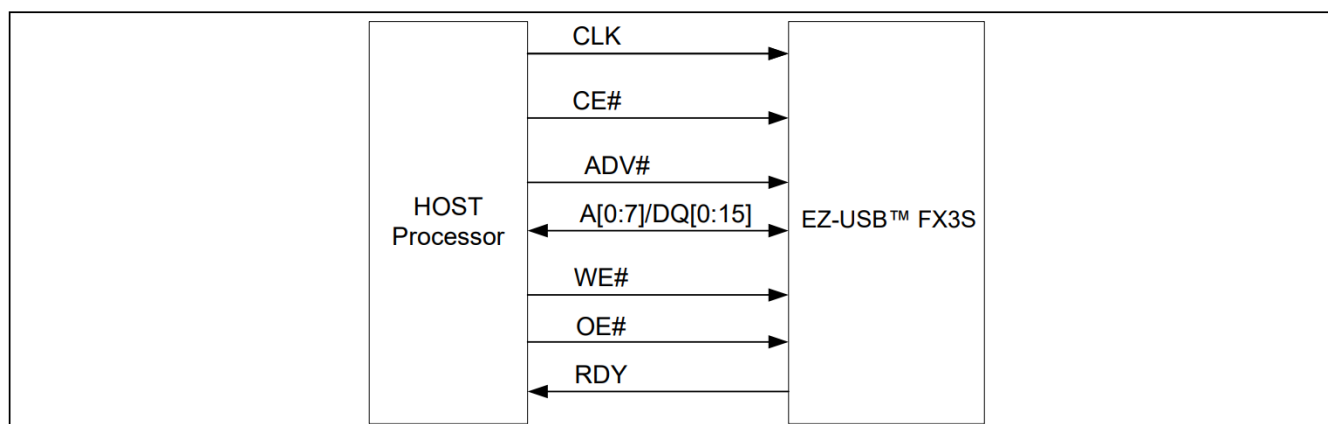


图 9 同步 ADMux 接口

参见[同步 ADMux 接口](#)时序图以了解详细信息。

3.6 处理器MMC (PMMC) 从设备接口

FX3S支持P端口上的MMC从设备接口。该接口被称为“PMMC”，用以同S端口上的MMC接口区分开来。

图 10介绍了用于连接到主机处理器的信号。

PMMC接口的GO_IRQ_STATE指令运行FX3S能够与异步事件进行通信，且不需要INT#信号。可选择是否使用INT#信号。

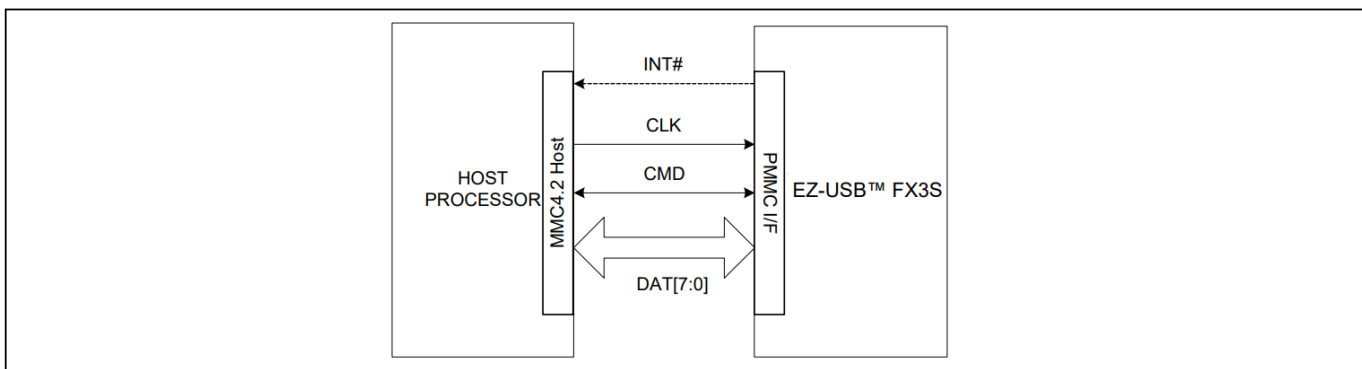


图 10 PMMC接口配置

MMC从设备接口的特性如下所述：

- 接口的操作与MMC系统规范、MMCA技术委员会标准版本4.2相兼容。
- 支持从连接至S端口的eMMC器件引导。为eMMC器件提供该特性，可使它能在高达52 MHz的単倍数据速率 (SDR) 下运行。
- 支持PMMC接口在电压范围为1.7 V ~ 1.95 V和2.7 V ~ 3.6 V内运行。
- 支持CMD引脚上的开漏 (驱动级接收开漏信号)，允许将GO_IRQ_STATE (CMD40)应用于PMMC。
- 接口的时钟频率范围为：0 ~ 52 MHz。
- 支持1位、4位或8位的操作模式。这种配置取决于MMC初始化流程。
- FX3S对MMC 4.2从设备特定的标准初始化阶段的指令做出响应。
- PMMC模式MMC 4.2指令的类别包括：类0 (基本类型)、类2 (模块读取)、类4 (模块写入)、类9 (I/O)。

FX3S支持下面各PMMC指令：

- 类0：基本类型
CMD0、CMD1、CMD2、CMD3、CMD4、CMD6、CMD7、CMD8、CMD9、CMD10、CMD12、CMD13、CMD15、CMD19、CMD5 (唤醒支持)
- 类2：模块读取
CMD16、CMD17、CMD18、CMD23
- 类4：模块写入
CMD16、CMD23、CMD24、CMD25
- 类9：I-O
CMD39、CMD40

4 CPU

EZ-USB™FX3S配有一个片上32位200 MHz ARM926EJ-S的内核CPU。该内核能直接访问16 kB指令紧密连接存储器（TCM）和8 kB数据TCM。ARM926EJ-S内核还为固件调试提供了JTAG 接口。

FX3S具有下面各优点：

- 集成了存储代码和数据的512 KB嵌入式 SRAM，以及8 KB的指令缓存和数据缓存。
- 能在多种外设（如USB、GPIF II、I²S、SPI、UART）间实现高效灵活的DMA连接。固件只需配置外设间数据访问，这些外设随后由DMA结构进行管理。
- 适用于面向 ARM926EJ-S 的行业标准开发工具，可轻松开发应用。

英飞凌EZ-USB™ FX3S开发套件中包含FX3S固件示例。英飞凌EZ-USB™ FX3S软件开发套件中还有可移植到外部处理器的软件API。

5 存储端口 (S端口)

EZ-USB™ FX3S具有两个独立的存储端口 (S0端口和S1端口)。两个存储端口都支持下面规范:

- MMC系统规范、MMCA技术委员会, 版本 4.41
- SD 规范, 版本 3.0
- 符合 SDIO 规范版本 3.00 的 SDIO 主处理器

两个存储端口均支持以下功能:

5.1 SD/MMC时钟停止

如果接收来自SD/MMC/SDIO的数据时内部缓冲区已满, 则 FX3S 允许停止时钟, 这样可以节约功耗。

5.2 SD_CLK输出时钟停止

传输数据过程中, 可以使用内部流控制机制来使能 (打开) 或禁用 (停止) SD_CLK时钟。

使用来自系统时钟的时钟分频器可以动态配置SD_CLK输出频率。 用户通过寄存器可选择时钟分频值。例如, 可以配置得到下面各频率:

- 400 kHz – 适用于SD/MMC卡的初始化
- 20 MHz – 适用于频率为0 ~ 20 MHz的存储卡
- 24 MHz – 适用于频率为0 ~ 26 MHz的存储卡
- 48 MHz – 适用于频率为0 ~ 52 MHz的存储卡
(当输入到FX3S的时钟频率为19.2 MHz或38.4 MHz时, 那么SD_CLK时钟可支持48 MHz的频率)
- 52 MHz – 适用于频率为0 ~ 52 MHz的存储卡
(当输入到FX3S的时钟频率为26 MHz或52 MHz时, SD_CLK时钟上会支持52 MHz频率)
- 100 MHz – 适用于频率为0 ~ 100 MHz的存储卡

如果选中了DDR模式, 则会在SD时钟的两个边沿上为数据提供时钟脉冲。DDR时钟能以高达52 MHz的速度运行。

5.3 插入及移除存储卡检测

FX3S支持双卡插入和移除检测机制。

- SD_D[3] 数据的使用: 在系统设计过程中, 必须使该信号通过一个大小为470 kΩ下拉电阻输送给SD_D[3]。SD 卡内置一个 10 kΩ上拉电阻。从 SD/MMC 连接器中插入或移除存储卡时, SD_D[3] 引脚的电压电平会发生变化, 并触发 CPU 中断。早期 MMC 卡不支持此卡检测机制。
- S0/S1_INS引脚的使用情况: 某些SD/MMC连接器为微动的开关提供便利条件, 利于存储卡的插入/移除检测。该微动开关会连接到S0/S1_INS。 当您从SD/MMC连接器插入或移除存储卡时, 它将打开或关闭此微动开关。这样会使触发CPU中断的引脚上的电压电平发生变化。 假设用于卡检测的微动开关极性和用于写检测的相同。如果电压变为低电平, 则表示已经插入了存储卡。两个S端口共用S0/S1_INS引脚。通过寄存器配置可确定将使用该引脚的端口。此引脚被映射到S1VDDQ电压; 如果S0VDDQ和S1VDDQ的电压电平不同, 此引脚不能作为S1_INS引脚使用。

5.4 写保护 (WP)

使用S端口上的S0_WP/S1_WP (SD写保护) 连接至SD/MMC卡连接器的WP微动开关。 该引脚被内连到CPU可访问的GPIO上, 这样固件才能够检测SD卡的写保护。

5.5 SDIO中断

支持如 SDIO 规范版本 2.00 (2007年01月30日) 中所指定的 SDIO 中断功能。

5.6 SDIO读取—等待特性

FX3S支持 SDIO 规范版本 2.00 (2007 年 1 月 30 日) 中所定义的读取-等待以及挂起-恢复特性。

6 JTAG 接口

EZ-USB™ FX3S的 JTAG 接口包含一个标准的五引脚接口，用于连接JTAG调试器。该调试器可通过 CPU内核的片上调试电路来调试固件。

ARM926EJ-S 内核的这些业界标准调试工具，可用于 FX3S 应用开发。

7 其他接口

EZ-USB™ FX3S支持下列串行外设：

- UART
- I²C
- I²S
- SPI

SPI、UART 和 I²S 接口可复用到串行外设端口。

7.1 UART接口

FX3S 的 UART 接口支持全双工通信。它包含表 1 中列出的信号。

表 1 UART接口信号

Signal	Description
TX	Output signal
RX	Input signal
CTS	Flow control
RTS	Flow control

UART支持各种波特率，从300 bps到4608 Kbps，可通过固件进行选择。如果使能了流控制，那么只有激活CTS输入时，FX3S的UART才会发送数据。此外，当就绪接收数据时，FX3S的UART会设置RTS输出信号。

7.2 I²C 接口

FX3S 的 I²C 接口符合 I²C 总线规范版本3。该 I²C 接口只能作为 I²C 主设备使用；因此，它可用于与其他 I²C 从设备通信。例如，FX3S 可从连接至 I²C 接口的 EEPROM 引导，它是可选的引导选项。

FX3S的I²C主设备控制器也支持多主控模式功能。

I²C 接口采用VIO5供电，该电源域独立于其他串行外设的电源域。这使得 I²C 接口能够灵活地在与其他串行接口不同的电压下工作。

I²C 控制器支持 100 kHz、400 kHz 和 1 MHz 的总线频率。当 VIO5 为 1.2 V 时，支持的最大工作频率为 100 kHz。当 VIO5 为 1.8 V、2.5 V 或 3.3 V 时，支持的工作频率分别为 400 kHz 和 1 MHz。I²C 控制器支持时钟延长功能，使速度较慢的设备能够进行流量控制。

I²C接口的SCL 和 SDA 信号需要外部上拉电阻，上拉电阻必须连接到 VIO5。

7.3 I²S 接口

FX3S 具有一个 I²S 端口，用于支持外部音频编解码器件。FX3S 仅用作 I²S 主设备（仅作为发送器）。I²S 接口由四个信号组成：时钟行 (I2S_CLK)、串行数据行 (I2S_SD)、单字选择行 (I2S_WS) 和主控系统时钟 (I2S_MCLK)。FX3S 可以在 I2S_MCLK 上生成系统时钟作为输出，也可以在 I2S_MCLK 上接受外部系统时钟输入。

I²S接口支持的采样频率为8 kHz、16 kHz、32 kHz、44.1 kHz、96 kHz 和192 kHz。

7.4 SPI接口

FX3S 支持串行外设端口上的 SPI 主设备接口。最高的工作频率为33 MHz。

SPI 控制器支持四种包含启动-停止时钟的 SPI 通信模式（有关模式的详细信息，请参阅[SPI 时序规格](#)）。该控制器是一个单主控制器，具有单个自动SSN控制。它支持从4位到32位的数据操作。

8 启动选项

EZ-USB™ FX3S可从多个源加载引导镜像文件，源可通过PMODE引脚配置来选择。FX3S引导选项如下：

- 从USB引导
- 从I²C引导
- 从SPI引导
 - 已支持的Infineon SPI Flash元件, 有S25FS064S (64-Mbit), S25FS128S (128-Mbit) and S25LFL064L (64-Mbit)
 - W25Q32FW (32-Mbit) 也有支持
- 从eMMC (S0端口) 引导
- 从GPIF II同步ADMux模式引导
- 从PMMC (P端口) 引导

表 2 FX3S 启动选项

PMODE[2:0] ^[2]	Boot from
F00	Sync ADMux (16-bit)
F11	USB boot
F1F	I ² C, on failure, USB boot is enabled
1FF	I ² C only
0F1	SPI, on failure, USB boot is enabled
000	S0-port (eMMC) On failure, USB boot is enabled
100	S0-port (eMMC)

注释：

2. F 表示悬空。

9 复位 (Reset)

9.1 硬复位

通过激活 FX3S 上的 Reset# 引脚来初始化硬复位。复位序列和时序的具体要求详见图 31 和表 27。硬复位期间，所有 I/O 都处于三态。

9.2 软复位

在软复位中，处理器将设置 PP_INIT 控制寄存器中的相应位。软复位有两种类型：

- CPU 复位 – 复位 CPU 程序计数器。CPU 复位后无需重新加载固件。
- 全器件复位 – 该复位与硬复位相同。
- 全器件复位后必须重新加载固件。

10 时钟

EZ-USB™ FX3S允许在XTALIN和XTALOUT引脚之间连接晶振,或在CLKIN引脚上连接外部时钟。如果没有使用XTALIN、XTALOUT、CLKIN和CLKIN_32引脚,则可以将它们设置为无连接状态。

支持的晶振频率为19.2 MHz,支持的外部时钟频率为19.2、26、38.4和52 MHz。

FX3S具有片上振荡器电路,使用外部19.2 MHz (±100 ppm) 晶振(使用晶振选项时)。如果使用了晶振,则需要设置一个适当的负载电容。请参阅所用晶振的规格书以确定合适的负载电容。必须正确配置FSLC[2:0]引脚以选择晶振或时钟频率选项。配置选项如表3所示。

向FX3S进行的时钟输入必须符合中表4中规定的具体的相位噪声和时序抖动要求。

输入时钟频率同FX3S内核或任何器件接口(包括P端口和S端口)的时钟和数据速率相独立。内部PLL根据输入频率采用合适的时钟倍频选项。

表3 晶振/时钟频率选择

FSLC[2]	FSLC[1]	FSLC[0]	Crystal/clock frequency
0	0	0	19.2-MHz crystal
1	0	0	19.2-MHz input CLK
1	0	1	26-MHz input CLK
1	1	0	38.4-MHz input CLK
1	1	1	52-MHz input CLK

表4 FX3S 输入时钟规范

Parameter	Description	Specification		Units
		Min	Max	
Phase noise	100-Hz offset	-	-75	dB
	1- kHz offset	-	-104	dB
	10-kHz offset	-	-120	dB
	100-kHz offset	-	-128	dB
	1-MHz offset	-	-130	dB
Maximum frequency deviation		-	150	ppm
Duty cycle		30	70	%
Overshoot		-	3	%
Undershoot		-	-3	%
Rise time/fall time		-	3	ns

10.1 32 kHz 看门狗定时器时钟输入

FX3S 包含一个看门狗定时器。看门狗定时器可以用于中断 ARM926EJ-S 内核，自动唤醒待机模式下的 FX3S 和复位 ARM926EJ-S 内核。看门狗定时器运行一个 32 kHz 的时钟，该时钟可由专用 FX3S 引脚上的一个外部源选择性地提供。

可通过固件禁用看门狗定时器。

表 5 列出了可选 32 kHz 时钟的输入要求。

表 5 32 kHz 时钟输入要求

Parameter	Min	Max	Units
Duty cycle	40	60	%
Frequency deviation	-	±200	ppm
Rise time/fall time	-	200	ns

11 功率产品

EZ-USB™ FX3S 具有下列供电区域。

- **IO_VDDQ**：这是一组用于数字 I/O 的独立供电区域。这些电源的电压范围为 1.8 V ~ 3.3 V。FX3S 为数字 I/O 提供下面六个独立电源域（请参见[引脚描述](#)以了解每个电源域信号的详情）：
 - VIO1：GPIF II I/O
 - VIO2：S0 端口供电
 - VIO3：S1 端口供电
 - VIO4：S1 端口和低速外设（UART/SPI/I2S）供电
 - VIO5：I²C 和 JTAG 供电（支持的电压范围为 1.2 V ~ 3.3 V）
 - CVDDQ：时钟
 - V_{DD}：这是逻辑内核的供电电压。额定供电电压为 1.2 V，为内核逻辑电路供电。下列各项也必须使用同样的供电：
 - AVDD：这是 PLL、晶体振荡器和其他内核模拟电路的 1.2 V 供电电压。
 - U3TXVDDQ/U3RXVDDQ：这些是 USB 3.0 接口的 1.2 V 供电电压。
- VBATT/VBUS：这是 USB I/O 和模拟电路的 3.2 V ~ 6 V 电池供电电压。该供电区域通过 FX3S 的内部电压调节器向 USB 收发器供电。将 VBATT 内部调节为 3.3 V。

注释：FX3S 电源域没有特定的开机顺序。上电复位时间至少为 1 ms，并且该电源域必须保持稳定状态，以确保 FX3S 能够正常工作。

11.1 功耗模式

FX3S 支持下列各功耗模式：

- 正常模式：这是全功能的工作模式。在该模式下，内部 CPU 时钟和内部 PLL 都被启用。
 - 正常工作功耗不会超过 I_{CC} 内核最大值和 I_{CC} USB 最大值的总和（请参见[直流规范表](#)，以查看当前功耗规范）。
 - 尚未使用相应的接口时，可关闭 VIO2、VIO3、VIO4 和 VIO5 等 I/O 电源。而在应用程序使用 GPIF II 接口时，始终不能关闭 VIO1。
- 低功耗模式（请参见[表 6](#)）：
 - 启用 USB 3.0 PHY 时的暂停模式 (L1)
 - 禁用 USB 3.0 PHY 的暂停模式 (L2)
 - 待机模式 (L3)
 - 内核断电模式 (L4)

表 6 低功耗模式的进入和退出方法

Low-power mode	Characteristics	Methods of entry	Methods of exit
Suspend mode with USB 3.0 PHY enabled (L1)	<ul style="list-style-type: none"> • The power consumption in this mode does not exceed ISB_1 • USB 3.0 PHY is enabled and is in U3 mode (one of the suspend modes defined by the USB 3.0 specification). This one block alone is operational with its internal clock while all other clocks are shut down • All I/Os maintain their previous state • Power supply for the wakeup source and core power must be retained. All other power domains can be turned on/off individually • The states of the configuration registers, buffer memory, and all internal RAM are maintained • All transactions must be completed before FX3S enters Suspend mode (state of outstanding transactions are not preserved) • The firmware resumes operation from where it was suspended (except when woken up by RESET# assertion) because the program counter does not reset 	<ul style="list-style-type: none"> • Firmware executing on ARM926EJ-S core can put FX3S into suspend mode. For example, on USB suspend condition, firmware may decide to put FX3S into suspend mode • External Processor, through the use of mailbox registers, can put FX3S into suspend mode 	<ul style="list-style-type: none"> • D+ transitioning to low or high • D- transitioning to low or high • Impedance change on OTG_ID pin • Resume condition on SSRX± • Detection of VBUS • Level detect on UART_CTS (programmable polarity) • GPIF II interface assertion of CTL[0] • Assertion of RESET#

表 6 低功耗模式的进入和退出方法 (续)

Low-power mode	Characteristics	Methods of entry	Methods of exit
Suspend mode with USB 3.0 PHY disabled (L2)	<ul style="list-style-type: none"> • The power consumption in this mode does not exceed ISB₂ • USB 3.0 PHY is disabled and the USB interface is in suspend mode • The clocks are shut off. The PLLs are disabled • All I/Os maintain their previous state • USB interface maintains the previous state • Power supply for the wakeup source and core power must be retained. All other power domains can be turned on/off individually • The states of the configuration registers, buffer memory and all internal RAM are maintained • All transactions must be completed before FX3S enters Suspend mode (state of outstanding transactions are not preserved) • The firmware resumes operation from where it was suspended (except when woken up by RESET# assertion) because the program counter does not reset 	<ul style="list-style-type: none"> • Firmware executing on ARM926EJ-S core can put FX3S into suspend mode. For example, on USB suspend condition, firmware may decide to put FX3S into suspend mode • External Processor, through the use of mailbox registers can put FX3S into suspend mode 	<ul style="list-style-type: none"> • D+ transitioning to low or high • D- transitioning to low or high • Impedance change on OTG_ID pin • Detection of VBUS • Level detect on UART_CTS (programmable polarity) • GPIF II interface assertion of CTL[0] • Assertion of RESET#

表 6 低功耗模式的进入和退出方法 (续)

Low-power mode	Characteristics	Methods of entry	Methods of exit
Standby mode (L3)	<ul style="list-style-type: none"> • The power consumption in this mode does not exceed ISB₃ • All configuration register settings and program/data RAM contents are preserved. However, data in the buffers or other parts of the data path, if any, is not guaranteed. Therefore, the external processor should take care that the data needed is read before putting FX3S into this Standby Mode • The program counter is reset after waking up from Standby • GPIO pins maintain their configuration • Crystal oscillator is turned off • Internal PLL is turned off • USB transceiver is turned off • ARM926EJ-S core is powered down. Upon wakeup, the core re-starts and runs the program stored in the program/data RAM • Power supply for the wakeup source and core power must be retained. All other power domains can be turned on/off individually 	<ul style="list-style-type: none"> • Firmware executing on ARM926EJ-S core or external processor configures the appropriate register 	<ul style="list-style-type: none"> • Detection of VBUS • Level detect on UART_CTS (Programmable Polarity) • GPIF II interface assertion of CTL[0] • Assertion of RESET#
Core Power Down mode (L4)	<ul style="list-style-type: none"> • The power consumption in this mode does not exceed ISB₄ • Core power is turned off • All buffer memory, configuration registers, and the program RAM do not maintain state. After exiting this mode, reload the firmware • In this mode, all other power domains can be turned on/off individually 	<ul style="list-style-type: none"> • Turn off V_{DD} 	<ul style="list-style-type: none"> • Reapply VDD • Assertion of RESET#

注释： 功耗取决于应用中 FX3S IOS 的使用方式。请参阅 [KBA85505](#) 来估计不同电源域 (VIO1 - VIO5) 的电流消耗。

12 配置选项

不同的配置选项用于特定的使用模型。请联系英飞凌应用或市场部获得详细信息。

13 数字 I/O

EZ-USB™ FX3S 的所有数字 I/O 引脚均内置由固件控制的上拉或下拉电阻。一个内部 50 kΩ电阻将引脚拉高，而一个内部 10 kΩ电阻将引脚拉低，以防止其悬空。I/O 引脚可能具有以下状态：

- 三态 (High-Z)
- 弱上拉 (通过内部50 kΩ电阻)
- 下拉 (通过内部10 kΩ电阻)
- 低功耗模式下保持 (I/O值不变)
- JTAG TDI、TMC和TRST#信号有固定的50 kΩ内部上拉电阻，而TCK信号有固定的10 kΩ下拉电阻。

应通过内部上拉电阻将所有未使用的I/O上拉为高电平。应保持所有的未使用输出为浮动状态。所有I/O的驱动强度可为全强度、四分之三强度、半强度或四分之一的强度。为每个接口独立配置这些驱动强度。

14 GPIOs

EZ-USB™ 在 GPIF II 和串行外设接口上均可实现灵活的引脚配置。GPIF II 接口上任何未使用的控制引脚（CTL[15] 除外）均可用作通用I/O。同样，串行外设接口上任何未使用的引脚也可配置为通用 I/O。请参阅[引脚描述](#)用于引脚配置选项。

所有GPIF II和GPIO引脚都支持每个引脚16 pF的外部负载。

15 EMI

EZ-USB™ FX3S符合FCC 15B（美国）和 EN55022（欧洲）电子消费品规定中的EMI要求。按照上列规定，FX3S可承受由干扰源造成的合理EMI，并继续按预期工作。

16 系统电平ESD

EZ-USB™ FX3S在USB接口的D+、D-和GND引脚上具有内置ESD保护。这些端口上的ESD保护电平分别为：

- 基于JESD22-A114规范的 ± 2.2 kV人体模型(HBM)
- 基于IEC61000-4-2的3A级标准的 ± 6 kV接触放电和 ± 8 kV气隙放电
- 基于IEC61000-4-2的4C级标准的 ± 8 kV接触放电和 ± 15 kV空气放电

这种保护能确保器件在出现最高达到上述电平的ESD事件后继续工作。对于SSRX+、SSRX-、SSTX+和SSTX-引脚，针对人体模型的内部ESD保护的最高值为 ± 2.2 kV。

17 引脚分布

	1	2	3	4	5	6	7	8	9	10	11
A	U3VSSQ	U3RXVDDQ	SSRXM	SSRXP	SSTXP	SSTXM	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	R_USB3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	NC
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

图 11 EZ-USB™ FX3S 球映射图 (顶视图)

18 引脚描述

表 7 引脚描述

Pin	Power domain	I/O	Name	FX3S pin description					
				P-Port					
				GPIF II interface	Slave FIFO interface ^[3]	PMMC	Async SRAM	Async ADMux	Sync ADMux
F10	VIO1	I/O	GPIO[0]	DQ[0]	DQ[0]	MMC_D0	DQ[0]	DQ[0]/A[0]	DQ[0]/A[0]
F9	VIO1	I/O	GPIO[1]	DQ[1]	DQ[1]	MMC_D1	DQ[1]	DQ[1]/A[1]	DQ[1]/A[1]
F7	VIO1	I/O	GPIO[2]	DQ[2]	DQ[2]	MMC_D2	DQ[2]	DQ[2]/A[2]	DQ[2]/A[2]
G10	VIO1	I/O	GPIO[3]	DQ[3]	DQ[3]	MMC_D3	DQ[3]	DQ[3]/A[3]	DQ[3]/A[3]
G9	VIO1	I/O	GPIO[4]	DQ[4]	DQ[4]	MMC_D4	DQ[4]	DQ[4]/A[4]	DQ[4]/A[4]
F8	VIO1	I/O	GPIO[5]	DQ[5]	DQ[5]	MMC_D5	DQ[5]	DQ[5]/A[5]	DQ[5]/A[5]
H10	VIO1	I/O	GPIO[6]	DQ[6]	DQ[6]	MMC_D6	DQ[6]	DQ[6]/A[6]	DQ[6]/A[6]
H9	VIO1	I/O	GPIO[7]	DQ[7]	DQ[7]	MMC_D7	DQ[7]	DQ[7]/A[7]	DQ[7]/A[7]
J10	VIO1	I/O	GPIO[8]	DQ[8]/A0 ^[4]	DQ[8]/A0 ^[4]	GPIO	DQ[8]	DQ[8]/A[8]	DQ[8]/A[8]
J9	VIO1	I/O	GPIO[9]	DQ[9]/A1 ^[4]	DQ[9]/A1 ^[4]	GPIO	DQ[9]	DQ[9]/A[9]	DQ[9]/A[9]
K11	VIO1	I/O	GPIO[10]	DQ[10]	DQ[10]	GPIO	DQ[10]	DQ[10]/A[10]	DQ[10]/A[10]
L10	VIO1	I/O	GPIO[11]	DQ[11]	DQ[11]	GPIO	DQ[11]	DQ[11]/A[11]	DQ[11]/A[11]
K10	VIO1	I/O	GPIO[12]	DQ[12]	DQ[12]	GPIO	DQ[12]	DQ[12]/A[12]	DQ[12]/A[12]
K9	VIO1	I/O	GPIO[13]	DQ[13]	DQ[13]	GPIO	DQ[13]	DQ[13]/A[13]	DQ[13]/A[13]
J8	VIO1	I/O	GPIO[14]	DQ[14] ^[5]	DQ[14]	GPIO	DQ[14]	DQ[14]/A[14]	DQ[14]/A[14]
G8	VIO1	I/O	GPIO[15]	DQ[15] ^[5]	DQ[15]	GPIO	DQ[15]	DQ[15]/A[15]	DQ[15]/A[15]
J6	VIO1	I/O	GPIO[16]	PCLK	CLK	MMC_CLK	CLK	CLK	CLK
K8	VIO1	I/O	GPIO[17]	CTL[0]	SLCS#	GPIO	CE#	CE#	CE#
K7	VIO1	I/O	GPIO[18]	CTL[1]	SLWR#	MMC_CMD	WE#	WE#	WE#
J7	VIO1	I/O	GPIO[19]	CTL[2]	SLOE#	GPIO	OE#	OE#	OE#
H7	VIO1	I/O	GPIO[20]	CTL[3]	SLRD#	GPIO	DACK#	DACK#	DACK#
G7	VIO1	I/O	GPIO[21]	CTL[4]	FLAGA	GPIO	DRQ#	DRQ#	DRQ#
G6	VIO1	I/O	GPIO[22]	CTL[5]	FLAGB	GPIO	A[7]	GPIO	GPIO
K6	VIO1	I/O	GPIO[23]	CTL[6]	GPIO	GPIO	A[6]	GPIO	RDY

注释:

3. 从 FIFO 是 GPIF II 接口的一个示例配置。使用 GPIF-II 设计工具可以修改从 FIFO 控制信号分配。
4. 对于 8 位数据总线配置，GPIO [8] 和 GPIO [9] 充当地址行。
5. GPIF II 也可以配置为串行接口。在这种模式下，DQ[15] 引脚成为串行输出，而 DQ[14] 成为串行输入。

引脚描述

表 7 引脚描述 (续)

Pin	Power domain	I/O	Name	FX3S pin description					
				P-Port					
				GPIF II interface	Slave FIFO interface ^[3]	PMMC	Async SRAM	Async ADMux	Sync ADMux
H8	VIO1	I/O	GPIO[24]	CTL[7]	PKTEND#	GPIO	A[5]	GPIO	GPIO
G5	VIO1	I/O	GPIO[25]	CTL[8]	GPIO	GPIO	A[4]	GPIO	GPIO
H6	VIO1	I/O	GPIO[26]	CTL[9]	GPIO	GPIO	A[3]	GPIO	GPIO
K5	VIO1	I/O	GPIO[27]	CTL[10]	GPIO	GPIO	A[2]	ADV#	ADV#
J5	VIO1	I/O	GPIO[28]	CTL[11]	A1	CARKIT_U ART_RX	A[1]	GPIO	GPIO
H5	VIO1	I/O	GPIO[29]	CTL[12]	A0	CARKIT_U ART_TX	A[0]	GPIO	GPIO
G4	VIO1	I/O	GPIO[30]	PMODE[0]	PMODE[0]	PMODE[0]	PMODE[0]	PMODE[0]	PMODE[0]
H4	VIO1	I/O	GPIO[31]	PMODE[1]	PMODE[1]	PMODE[1]	PMODE[1]	PMODE[1]	PMODE[1]
L4	VIO1	I/O	GPIO[32]	PMODE[2]	PMODE[2]	PMODE[2]	PMODE[2]	PMODE[2]	PMODE[2]
L8	VIO1	I/O	INT#	INT#/CTL[15]	CTL[15]	INT#	INT#	INT#	INT#
C5	CVDDQ	I	RESET#	RESET#	RESET#	RESET#	RESET#	RESET#	RESET#

表 8 引脚描述

Pin	Power domain	I/O	Name	FX3S pin description		
				S0-Port		
				8b MMC	SD+GPIO	GPIO
J4	VIO2	I/O	GPIO[34]	S0_SD1	S0_SD1	GPIO
K1	VIO2	I/O	GPIO[35]	S0_SD2	S0_SD2	GPIO
J2	VIO2	I/O	GPIO[36]	S0_SD3	S0_SD3	GPIO
J3	VIO2	I/O	GPIO[37]	S0_SD4	GPIO	GPIO
J1	VIO2	I/O	GPIO[38]	S0_SD5	GPIO	GPIO
H2	VIO2	I/O	GPIO[39]	S0_SD6	GPIO	GPIO
H3	VIO2	I/O	GPIO[40]	S0_SD7	GPIO	GPIO
F4	VIO2	I/O	GPIO[41]	S0_CMD	S0_CMD	GPIO
G2	VIO2	I/O	GPIO[42]	S0_CLK	S0_CLK	GPIO
G3	VIO2	I/O	GPIO[43]	S0_WP	S0_WP	GPIO
F3	VIO2	I/O	GPIO[44]	S0S1_INS	S0S1_INS	GPIO
F2	VIO2	I/O	GPIO[45]	MMC0_RST_OUT	GPIO	GPIO

引脚描述

表 8 引脚描述 (续)

Pin	Power domain	I/O	Name	FX3S pin description								
				S1-Port								
				8b MMC	SD+ UART	SD+ SPI	SD+ GPIO	SD+ I2S	GPIO	GPIO+ UART+I2S	UART+ SPI+I2S	
F5	VIO3	I/O	GPIO[46]	S1_SD0	S1_SD0	S1_SD0	S1_SD0	S1_SD0	GPIO	GPIO	UART_RT S	
E1	VIO3	I/O	GPIO[47]	S1_SD1	S1_SD1	S1_SD1	S1_SD1	S1_SD1	GPIO	GPIO	UART_CT S	
E5	VIO3	I/O	GPIO[48]	S1_SD2	S1_SD2	S1_SD2	S1_SD2	S1_SD2	GPIO	GPIO	UART_TX	
E4	VIO3	I/O	GPIO[49]	S1_SD3	S1_SD3	S1_SD3	S1_SD3	S1_SD3	GPIO	GPIO	UART_RX	
D1	VIO3	I/O	GPIO[50]	S1_CMD	S1_CMD	S1_CM D	S1_CM D	S1_CM D	GPIO	I2S_CLK	I2S_CLK	
D2	VIO3	I/O	GPIO[51]	S1_CLK	S1_CLK	S1_CLK	S1_CLK	S1_CLK	GPIO	I2S_SD	I2S_SD	
D3	VIO3	I/O	GPIO[52]	S1_WP	S1_WP	S1_WP	S1_WP	S1_WP	GPIO	I2S_WS	I2S_WS	
D4	VIO4	I/O	GPIO[53]	S1_SD4	UART_ RTS	SPI_SC K	GPIO	GPIO	GPIO	UART_RT S	SPI_SCK	
C1	VIO4	I/O	GPIO[54]	S1_SD5	UART_ CTS	SPI_SS N	GPIO	I2S_CL K	GPIO	UART_CT S	SPI_SSN	
C2	VIO4	I/O	GPIO[55]	S1_SD6	UART_TX	SPI_MIS O	GPIO	I2S_SD	GPIO	UART_TX	SPI_MIS O	
D5	VIO4	I/O	GPIO[56]	S1_SD7	UART_RX	SPI_MO SI	GPIO	I2S_WS	GPIO	UART_RX	SPI_MOS I	
C4	VIO4	I/O	GPIO[57]	MMC1_ RST_OU T	GPIO	GPIO	GPIO	I2S_MC LK	GPIO	I2S_MCLK	I2S_MCL K	

注释：在不支持 S1 端口（CYUSB3031 和 CYUSB3033）的 FX3S 型号中，S1 端口引脚仍可用作 GPIO、GPIO+UART+I2S 和 UART+SPI+I2S 配置。

表 9 引脚描述

Pin	Power domain	I/O	Name	FX3S pin description
				USB port
C9	VBUS/ VBATT	I	OTG_ID	OTG_ID
A3	U3RX VDDQ	I	SSRXM	SSRX-
A4	U3RX VDDQ	I	SSRXP	SSRX+
A6	U3TX VDDQ	O	SSTXM	SSTX-
A5	U3TX VDDQ	O	SSTXP	SSTX+
A9	VBUS/ VBATT	I/O	DP	D+
A10	VBUS/ VBATT	I/O	DM	D-

引脚描述

表 9 引脚描述 (续)

Pin	Power domain	I/O	Name	FX3S pin description
A11			NC	No connect
				Crystal/clocks
B2	CVDDQ	I	FSLC[0]	FSLC[0]
C6	AVDD	I/O	XTALIN	XTALIN
C7	AVDD	I/O	XTALOUT	XTALOUT
B4	CVDDQ	I	FSLC[1]	FSLC[1]
E6	CVDDQ	I	FSLC[2]	FSLC[2]
D7	CVDDQ	I	CLKIN	CLKIN
D6	CVDDQ	I	CLKIN_32	CLKIN_32
				I2C and JTAG
D9	VIO5	I/O	I2C_GPIO[58]	I2C_SCL
D10	VIO5	I/O	I2C_GPIO[59]	I2C_SDA
E7	VIO5	I	TDI	TDI
C10	VIO5	O	TDO	TDO
B11	VIO5	I	TRST#	TRST#
E8	VIO5	I	TMS	TMS
F6	VIO5	I	TCK	TCK
D11	VIO5	O	O[60]	GPIO

表 10 引脚描述

FX3S引脚说明

Pin	Power domain	I/O	Name	Power
B10		PWR	VDD	
A1		PWR	U3VSSQ	
E11		PWR	VBUS	
D8		PWR	VSS	
H11		PWR	VIO1	
E2		PWR	VSS	
L9		PWR	VIO1	
G1		PWR	VSS	
F1		PWR	VIO2	
G11		PWR	VSS	
E3		PWR	VIO3	
L1		PWR	VSS	
B1		PWR	VIO4	
L6		PWR	VSS	
B6		PWR	CVDDQ	
B5		PWR	U3TXVDDQ	
A2		PWR	U3RXVDDQ	
C11		PWR	VIO5	

表 10 引脚描述 (续)

FX3S引脚说明				
Pin	Power domain	I/O	Name	Power
L11		PWR	VSS	
A7		PWR	AVDD	
B7		PWR	AVSS	
C3		PWR	VDD	
B8		PWR	VSS	
E9		PWR	VDD	
B9		PWR	VSS	
F11		PWR	VDD	
H1		PWR	VDD	
L7		PWR	VDD	
J11		PWR	VDD	
L5		PWR	VDD	
K4		PWR	VSS	
L3		PWR	VSS	
K3		PWR	VSS	
L2		PWR	VSS	
A8		PWR	VSS	
				Precision resistors
C8	VBUS/ VBATT	I/O	R_usb2	Precision resistor for USB 2.0 (Connect a 6.04 kΩ ±1% resistor between this pin and GND)
B3	U3TX VDDQ	I/O	R_usb3	Precision resistor for USB 3.0 (Connect a 200 Ω ±1% resistor between this pin and GND)

19 电气规格

19.1 绝对最大额定值

超过最大额定值可能缩短器件的使用寿命。

存储温度 -65°C to +150°C

供电情况下的环境温度 (工业级) -40°C ~ +85°C

对地电位的电源电压

V_{DD} , A_{VDDQ} 1.25 V

V_{IO1} , V_{IO2} , V_{IO3} , V_{IO4} , V_{IO5} 3.6 V

$U3TX_{VDDQ}$, $U3RX_{VDDQ}$ 1.25 V

任何输入引脚的直流输入电压 $V_{CC} + 0.3$

应用于高阻态 (High Z) 下的输出直流电压 $V_{CC} + 0.3$

(V_{CC} 为相应的I/O电压)

静电放电电压ESD保护级别:

- 根据JESD22-A114, 人体模型 (HBM)为±2.2 kV

- D+, D-, GND引脚和串行外设引脚上的附加ESD保护电平

- 根据IEC61000-4-2的3A级标准, 接触放电为±6 kV、空气放电为±8 kV; 根据IEC61000-4-2的4C级标准, 接触放电为±8 kV、空气放电为±15 kV

门锁电流 > 200 mA

所有I/O配置的最大输出短路电流。 ($V_{out} = 0 V$) -100 mA

19.2 工作条件

TA (有偏差的环境温度)

工业级 -40°C ~ +85°C

V_{DD} , A_{VDDQ} , $U3TX_{VDDQ}$, $U3RX_{VDDQ}$ 供电电压 1.15 V至1.25 V

V_{BATT} 供电电压 3.2 V至6 V

V_{IO1} , V_{IO2} , V_{IO3} , V_{IO4} , $CVDDQ$ 供电电压 1.7 V至3.6 V

V_{IO5} 供电电压 1.15 V至3.6 V

19.3 直流规格

表 11 直流规格

Parameter	Description	Min	Max	Units	Notes
V_{DD}	Core voltage supply	1.15	1.25	V	1.2-V typical
A_{VDD}	Analog voltage supply	1.15	1.25	V	1.2-V typical
V_{IO1}	GPIF II I/O power supply domain	1.7	3.6	V	1.8-, 2.5-, and 3.3-V typical
V_{IO2}	S0-Port power supply domain	1.7	3.6	V	1.8-, 2.5-, and 3.3-V typical
V_{IO3}	S1-Port power supply domain	1.7	3.6	V	1.8-, 2.5-, and 3.3-V typical
V_{IO4}	S1-Port and UART/SPI/I2S power supply domain	1.7	3.6	V	1.8-, 2.5-, and 3.3-V typical
V_{BATT}	USB voltage supply	3.2	6	V	3.7-V typical

表 11 直流规格 (续)

Parameter	Description	Min	Max	Units	Notes
V _{BUS}	USB voltage supply	4.0	6	V	5-V typical
U3TXV _{DDQ}	USB 3.0 1.2-V supply	1.15	1.25	V	1.2-V typical. A 22- μ F bypass capacitor is required on this power supply.
U3RXV _{DDQ}	USB 3.0 1.2-V supply	1.15	1.25	V	1.2-V typical. A 22- μ F bypass capacitor is required on this power supply.
C _{VDDQ}	Clock voltage supply	1.7	3.6	V	1.8-, 3.3-V typical
V _{IO5}	I ² C and JTAG voltage supply	1.15	3.6	V	1.2-, 1.8-, 2.5-, and 3.3-V typical
V _{IH1}	Input HIGH voltage 1	$0.625 \times V_{CC}$	$V_{CC} + 0.3$	V	For $2.0 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}$ (except USB port). V_{CC} is the corresponding I/O voltage supply.
V _{IH2}	Input HIGH voltage 2	$V_{CC} - 0.4$	$V_{CC} + 0.3$	V	For $1.7 \text{ V} \leq V_{CC} \leq 2.0 \text{ V}$ (except USB port). V_{CC} is the corresponding I/O voltage supply.
V _{IL}	Input LOW voltage	-0.3	$0.25 \times V_{CC}$	V	V_{CC} is the corresponding I/O voltage supply.
V _{OH}	Output HIGH voltage	$0.9 \times V_{CC}$	-	V	$I_{OH}(\text{max}) = -100 \mu\text{A}$ tested at quarter drive strength. V_{CC} is the corresponding I/O voltage supply. Refer to Table 12 for values of I_{OH} at various drive strength and V_{CC} .
V _{OL}	Output LOW voltage	-	$0.1 \times V_{CC}$	V	$I_{OL}(\text{min}) = +100 \mu\text{A}$ tested at quarter drive strength. V_{CC} is the corresponding I/O voltage supply. Refer to Table 12 for values of I_{OL} at various drive strength and V_{CC} .
I _{IX}	Input leakage current for all pins except SSTXP/SSXM/SSRXP/SSRXM	-1	1	μA	All I/O signals held at V _{DDQ} (For I/Os with a pull-up or pull-down resistor connected, the leakage current increases by V_{DDQ}/R_{PU} or V_{DDQ}/R_{PD})
I _{OZ}	Output High-Z leakage current for all pins except SSTXP/SSXM/SSRXP/SSRXM	-1	1	μA	All I/O signals held at V _{DDQ}
I _{CC Core}	Core and analog voltage operating current	-	200	mA	Total current through A _{VDD} , V _{DD}
I _{CC USB}	USB voltage supply operating current	-	60	mA	
I _{SB1}	Total suspend current during suspend mode with USB 3.0 PHY enabled (L1)	-	-	mA	Core current: 1.5 mA I/O current: 20 μA USB current: 2 mA For typical PVT (typical silicon, all power supplies at their respective nominal levels at 25°C.)

表 11 直流规格 (续)

Parameter	Description	Min	Max	Units	Notes
I_{SB2}	Total suspend current during suspend mode with USB 3.0 PHY disabled (L2)	-	-	mA	Core current: 250 μ A I/O current: 20 μ A USB current: 1.2 mA For typical PVT (Typical silicon, all power supplies at their respective nominal levels at 25°C.)
I_{SB3}	Total standby current during standby mode (L3)	-	-	μ A	Core current: 60 μ A I/O current: 20 μ A USB current: 40 μ A For typical PVT (typical silicon, all power supplies at their respective nominal levels at 25°C.)
I_{SB4}	Total standby current during core power-down mode (L4)	-	-	μ A	Core current: 0 μ A I/O current: 20 μ A USB current: 40 μ A For typical PVT (typical silicon, all power supplies at their respective nominal levels at 25°C.)
V_{RAMP}	Voltage ramp rate on core and I/O supplies	0.2	50	V/ms	Voltage ramp must be monotonic
V_N	Noise level permitted on V_{DD} and I/O supplies	-	100	mV	Max p-p noise level permitted on all supplies except A_{VDD}
V_{N_AVDD}	Noise level permitted on A_{VDD} supply	-	20	mV	Max p-p noise level permitted on A_{VDD}

表 12 不同驱动强度和 V_{DDIO} 值的 I_{OH}/I_{OL} 值

V_{DDIO} (V)	V_{OH} (V)	V_{OL} (V)	Drive strength	$I_{OH\ max}$ (mA)	$I_{OL\ min}$ (mA)
1.7	1.53	0.17	Quarter	1.02	2.21
			Half	1.51	3.28
			Three-Quarters	1.83	3.85
			Full	2.28	4.73
2.5	2.25	0.25	Quarter	5.03	3.96
			Half	7.38	5.84
			Three-Quarters	8.89	6.89
			Full	11.07	8.61
3.6	3.24	0.36	Quarter	7.80	5.74
			Half	11.36	8.64
			Three-Quarters	13.64	10.15
			Full	16.92	12.67

20 热特性

表 13 热特性

Parameter	Description	Value	Unit
$T_{J\ MAX}$	Maximum junction temperature	125	°C
Θ_{JA}	Thermal resistance (junction to ambient)	34.66	°C/W
Θ_{JB}	Thermal resistance (junction to board)	27.03	°C/W
Θ_{JC}	Thermal resistance (junction to case)	13.57	°C/W

21 交流电时序参数

21.1 GPIF II 线路的交流特性为 100 MHz

表 14 GPIF II 线路的交流特性为 100 MHz

Symbol	Parameter	Min	Typ	Max	Unit
Tr	Rise time	-	-	2.5	ns
Tf	Fall time	-	-	2.5	ns
Tov	Overshoot	-	-	3	%
Tun	Undershoot	-	-	3	%

21.2 GPIF II PCLK 抖动特性

表 15 GPIF II PCLK 抖动特性

Clk Freq (MHz)	Period Jitter (ps)	C-C min (ps)	C-C max (ps)
10.08	354.44	-187.92	204.55
25.2	205.97	-153.54	126.53
50.4	144.62	-100.16	85.769
100.8	171.43	-155.13	157.14

注释：时钟抖动是使用内部生成的PCLK测量的。即将PCLK配置为GPIF的输出。数据是在10,000个时钟周期内测量的。

21.3 GPIF II 时序

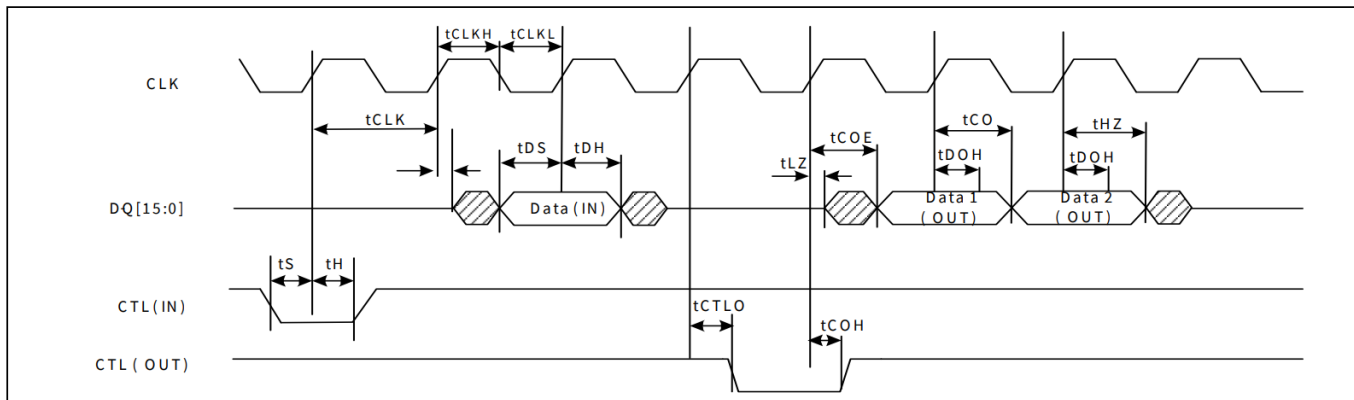


图 12 同步模式中的 GPIF II 时序

表 16 同步模式中的 GPIF II 时序参数

Parameter ^[6]	Description	Min	Max	Units
Frequency	Interface clock frequency	-	100	MHz
tCLK	Interface clock period	10	-	ns
tCLKH	Clock high time	4	-	ns
tCLKL	Clock low time	4	-	ns
tS	CTL input to clock setup time (Sync speed = 1)	2	-	ns
tH	CTL input to clock hold time (Sync speed = 1)	0.5	-	ns
tDS	Data in to clock setup time (Sync speed = 1)	2	-	ns
tDH	Data in to clock hold time (Sync speed = 1)	0.5	-	ns
tCO	Clock to data out propagation delay when DQ bus is already in output direction (Sync speed = 1)	-	7	ns
tCOE	Clock to data out propagation delay when DQ lines change to output from tristate and valid data is available on the DQ bus (Sync speed = 1)	-	9	ns
tCTLO	Clock to CTL out propagation delay (Sync speed = 1)	-	8	ns
tDOH	Clock to data out hold	2	-	ns
tCOH	Clock to CTL out hold	0	-	ns
tHZ	Clock to high-Z	-	8	ns
tLZ	Clock to low-Z (Sync speed = 1)	0	-	ns
tS_ss0	CTL input/data input to clock setup time (Sync speed = 0)	5	-	ns
tH_ss0	CTL input/data input to clock hold time (Sync speed = 0)	2.5	-	ns
tCO_ss0	Clock to data out / CTL out propagation delay (sync speed = 0)	-	15	ns
tLZ_ss0	Clock to low-Z (sync speed = 0)	2	-	ns

注释:

6. 所有参数均由设计保证，并通过特性验证。

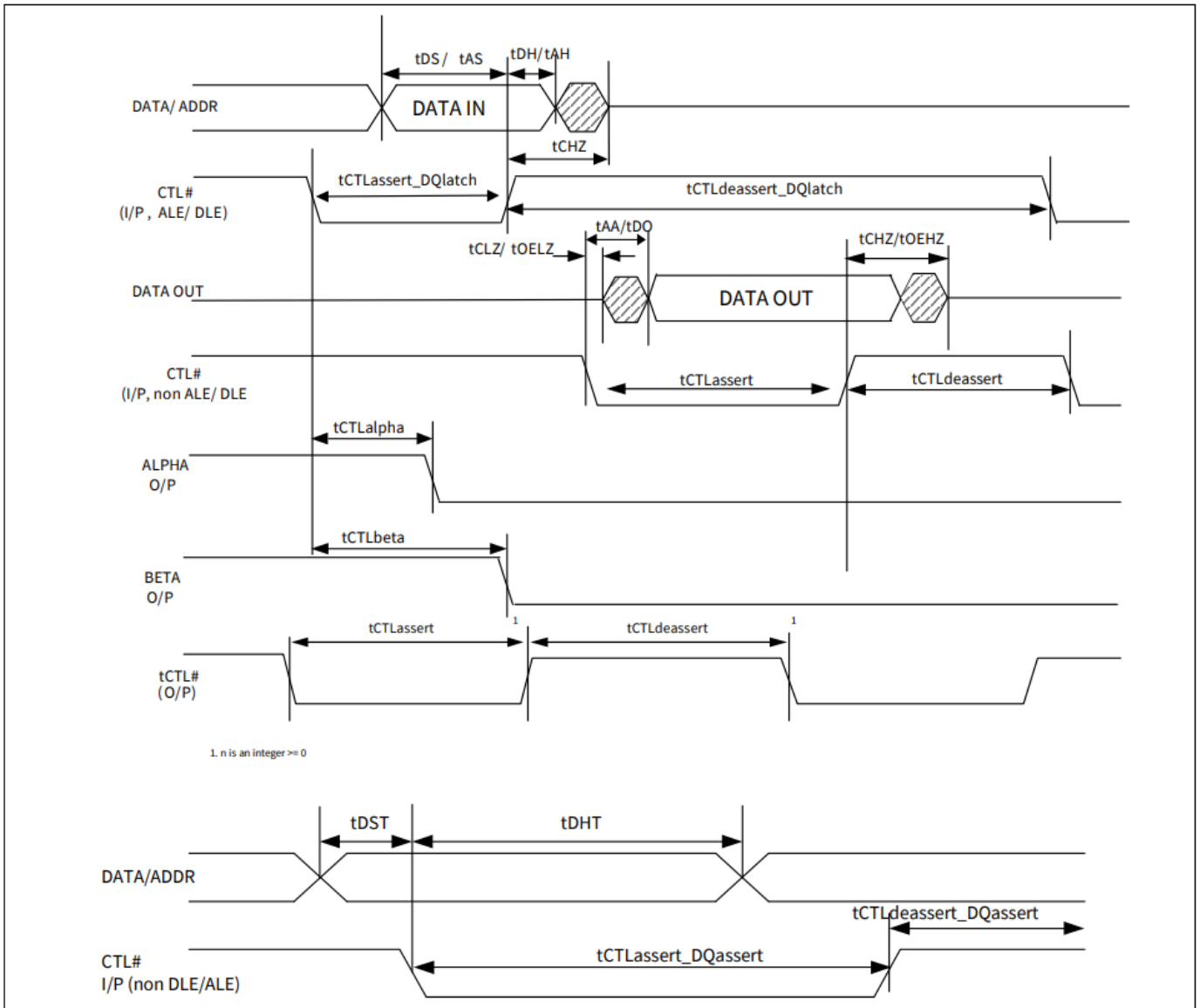


图 13 异步模式中的 GPIF II 时序

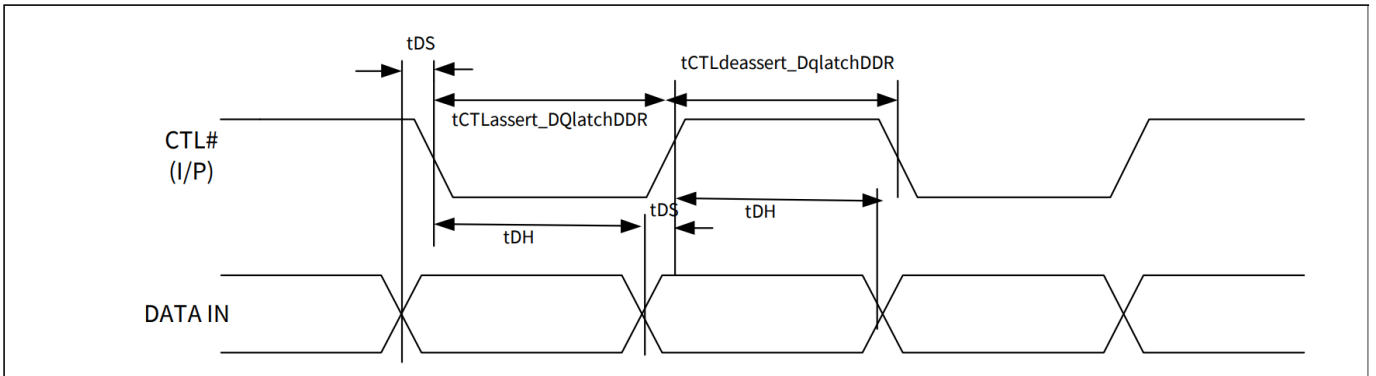


图 14 异步 DDR 模式中的 GPIF II 时序

表 17 异步模式中的 GPIF II 时序

注释：下面各参数均假设了一个状态切换。

Parameter ^[7]	Description	Min	Max	Units
tDS	Data In to DLE setup time. Valid in DDR async mode.	2.3	–	ns
tDH	Data In to DLE hold time. Valid in DDR async mode.	2	–	ns
tAS	Address In to ALE setup time	2.3	–	ns
tAH	Address In to ALE hold time	2	–	ns
tCTLassert	CTL I/O asserted width for CTRL inputs without DQ input association and for outputs.	7	–	ns
tCTLdeassert	CTL I/O deasserted width for CTRL inputs without DQ input association and for outputs.	7	–	ns
tCTLassert_DQassert	CTL asserted pulse width for CTL inputs that signify DQ inputs valid at the asserting edge but do not employ in-built latches (ALE/DLE) for those DQ inputs.	20	–	ns
tCTLdeassert_DQassert	CTL deasserted pulse width for CTL inputs that signify DQ input valid at the asserting edge but do not employ in-built latches (ALE/DLE) for those DQ inputs.	7	–	ns
tCTLassert_DQdeassert	CTL asserted pulse width for CTL inputs that signify DQ inputs valid at the deasserting edge but do not employ in-built latches (ALE/DLE) for those DQ inputs.	7	–	ns
tCTLdeassert_DQdeassert	CTL deasserted pulse width for CTL inputs that signify DQ inputs valid at the deasserting edge but do not employ in-built latches (ALE/DLE) for those DQ inputs.	20	–	ns
tCTLassert_DQlatch	CTL asserted pulse width for CTL inputs that employ in-built latches (ALE/DLE) to latch the DQ inputs. In this non-DDR case, in-built latches are always close at the deasserting edge.	7	–	ns
tCTLdeassert_DQlatch	CTL deasserted pulse width for CTL inputs that employ in-built latches (ALE/DLE) to latch the DQ inputs. In this non-DDR case, in-built latches always close at the deasserting edge.	10	–	ns
tCTLassert_DQlatchDDR	CTL asserted pulse width for CTL inputs that employ in-built latches (DLE) to latch the DQ inputs in DDR mode.	10	–	ns
tCTLdeassert_D-QlatchDDR	CTL deasserted pulse width for CTL inputs that employ in-built latches (DLE) to latch the DQ inputs in DDR mode.	10	–	ns
tAA	DQ/CTL input to DQ output time when DQ change or CTL change needs to be detected and affects internal updates of input and output DQ lines.	–	30	ns
tDO	CTL to data out when the CTL change merely enables the output flop update whose data was already established.	–	25	ns
tOELZ	CTL designated as OE to low-Z. Time when external devices should stop driving data.	0	–	ns
tOEZH	CTL designated as OE to high-Z	8	8	ns

注释：

7. 所有参数均由设计保证，并通过特性验证。

表 17 异步模式中的 GPIF II 时序 (续)

注释: 下面各参数均假设了一个状态切换。

Parameter [7]	Description	Min	Max	Units
tCLZ	CTL (non-OE) to low-Z. Time when external devices should stop driving data.	0	-	ns
tCHZ	CTL (non-OE) to high-Z	30	30	ns
tCTLalpha	CTL to alpha change at output	-	25	ns
tCTLbeta	CTL to beta change at output	-	30	ns
tDST	Addr/data setup when DLE/ALE not used	2	-	ns
tDHT	Addr/data hold when DLE/ALE not used	20	-	ns

21.4 异步SRAM时序

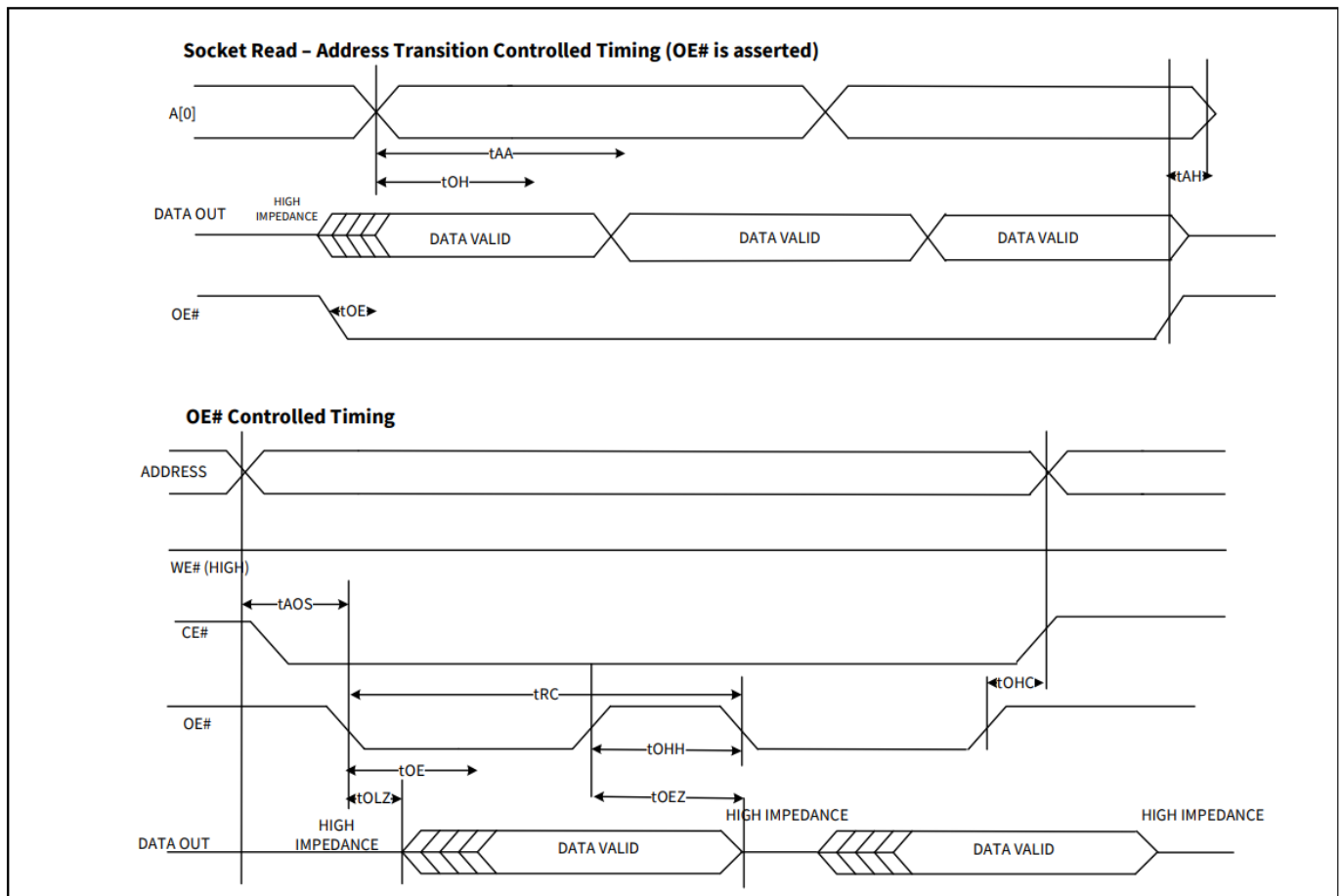


图 15 非复用异步SRAM读取时序

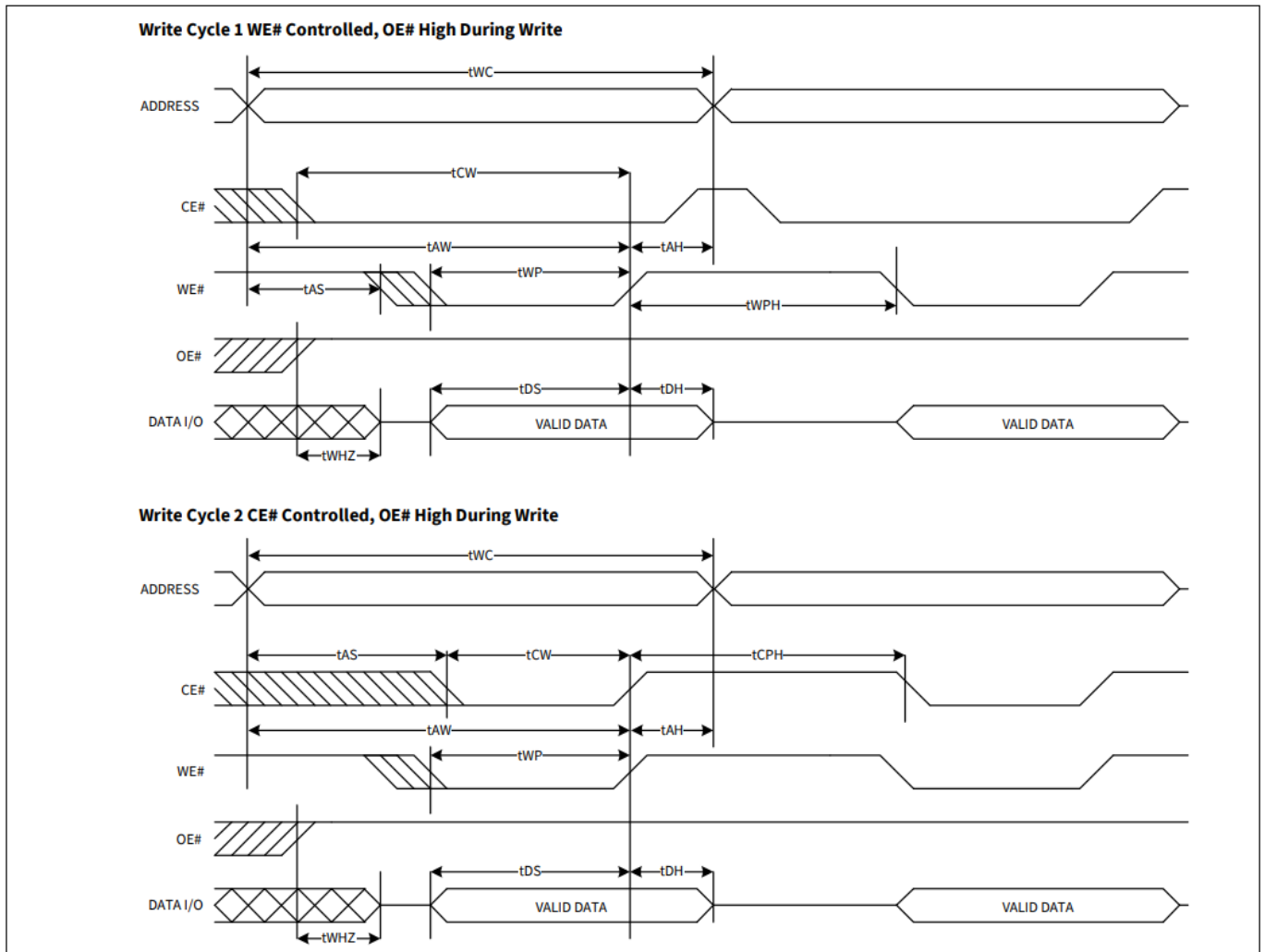


图 16 非复用异步SRAM写入时序 (WE#和CE#控制)

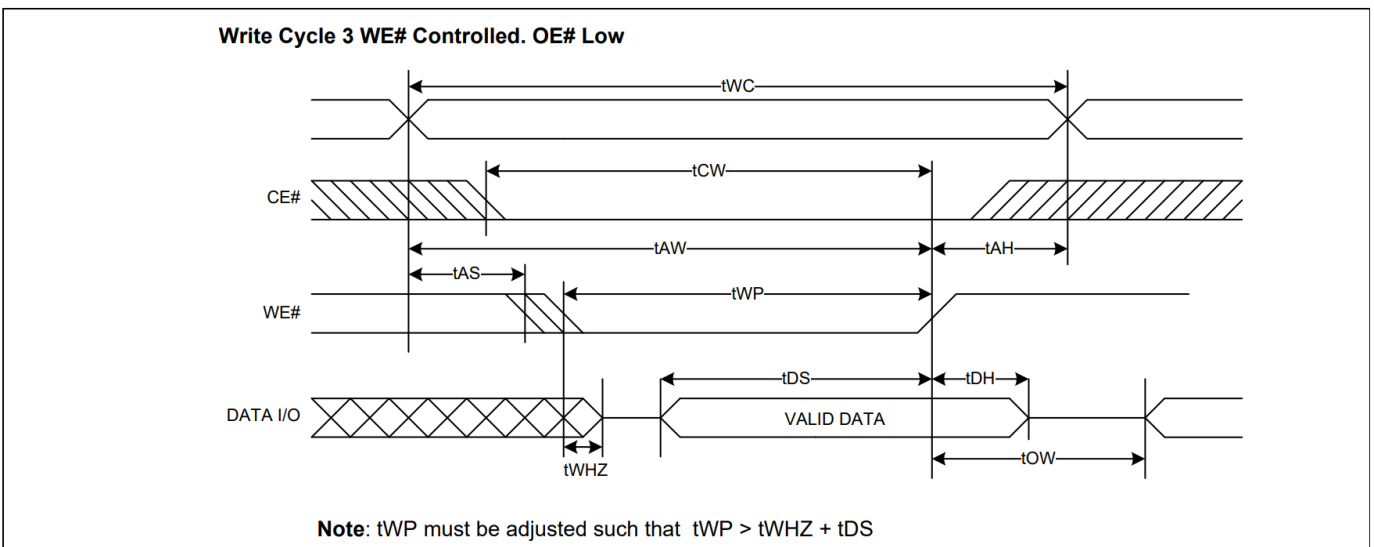


图 17 非复用异步SRAM写入时序(WE#控制, OE#为低电平)

表 18 异步SRAM时序参数

Parameter ^[8]	Description	Min	Max	Units
-	SRAM interface bandwidth	-	61.5	MBps
tRC	Read cycle time	32.5	-	ns
tAA	Address to data valid	-	30	ns
tAOS	Address to OE# LOW setup time	7	-	ns
tOH	Data output hold from address change	3	-	ns
tOHH	OE# HIGH hold time	7.5	-	ns
tOHC	OE# HIGH to CE# HIGH	2	-	ns
tOE	OE# LOW to data valid	-	25	ns
tOLZ	OE# LOW to LOW-Z	0	-	ns
tWC	Write cycle time	30	-	ns
tCW	CE# LOW to write end	30	-	ns
tAW	Address valid to write end	30	-	ns
tAS	Address setup to write start	7	-	ns
tAH	Address hold time from CE# or WE#	2	-	ns
tWP	WE# pulse width	20	-	ns
tWPH	WE# HIGH time	10	-	ns
tCPH	CE# HIGH time	10	-	ns
tDS	Data setup to write end	7	-	ns
tDH	Data hold to write end	2	-	ns
tWHZ	Write to DQ HIGH-Z output	-	22.5	ns
tOEZ	OE# HIGH to DQ HIGH-Z output	-	22.5	ns
tOW	End of write to LOW-Z output	0	-	ns

注释:

8. 所有参数均由设计保证，并通过特性验证。

21.5 用于异步访问的 ADMux 时序

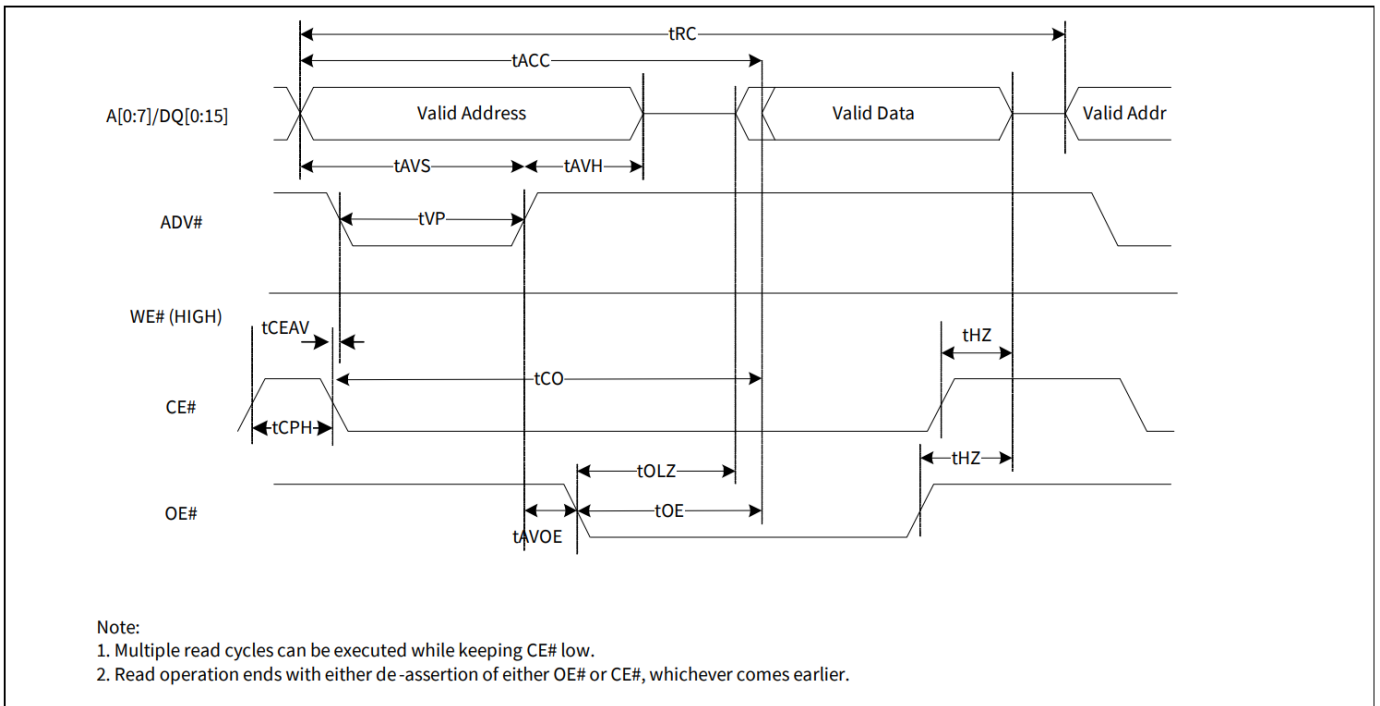


图 18 ADMux异步随机读取

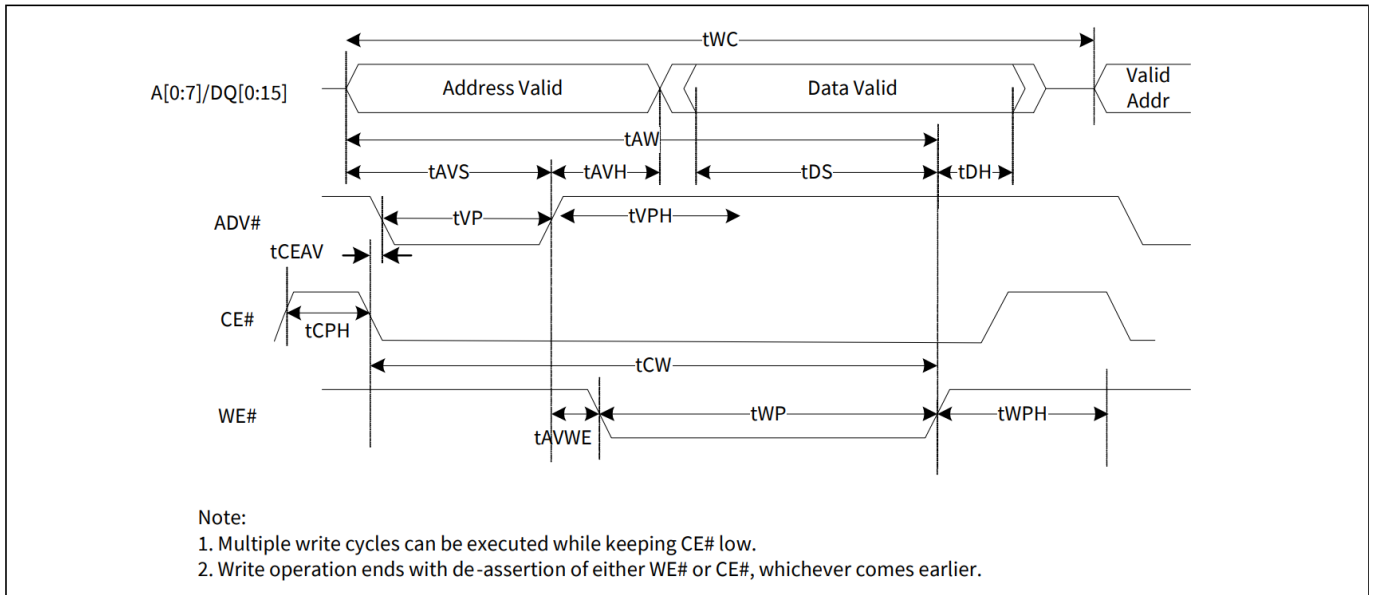


图 19 ADMux异步随机写入

表 19 异步ADMux时序参数

Parameter ^[9]	Description	Min	Max	Units	Notes
ADMux异步READ（读取）访问时序参数					
RC	Read cycle time (address valid to address valid)	54.5	-	ns	This parameter is dependent on when the P-port processors deasserts OE#
tACC	Address valid to data valid	-	32	ns	-
tCO	CE# assert to data valid	-	34.5	ns	-
tAVOE	ADV# deassert to OE# assert	2	-	ns	-
tOLZ	OE# assert to data LOW-Z	0	-	ns	-
tOE	OE# assert to data valid	-	25	ns	-
tHZ	Read cycle end to data HIGH-Z	-	22.5	ns	-
ADMux异步WRITE（写入）访问的时序参数					
tWC	Write cycle time (Address Valid to Address Valid)	-	52.5	ns	-
tAW	Address valid to write end	30	-	ns	-
tCW	CE# assert to write end	30	-	ns	-
tAVWE	ADV# deassert to WE# assert	2	-	ns	-
tWP	WE# LOW pulse width	20	-	ns	-
tWPH	WE# HIGH pulse width	10	-	ns	-
tDS	Data valid setup to WE# deassert	18	-	ns	-
tDH	Data valid hold from WE# deassert	2	-	ns	-
ADMux异步通用READ/WRITE（读/写）访问的时序参数					
tAVS	Address valid setup to ADV# deassert	5	-	ns	-
tAVH	Address valid hold from ADV# deassert	2	-	ns	-
tVP	ADV# LOW pulse width	7.5	-	ns	-
tCPH	CE# HIGH pulse width	10	-	ns	-
tVPH	ADV# HIGH pulse width	15	-	ns	-
tCEAV	CE# assert to ADV# assert	0	-	ns	-

注释：

9. 所有参数均由设计保证，并通过特性验证。

21.6 同步 ADMux 时序

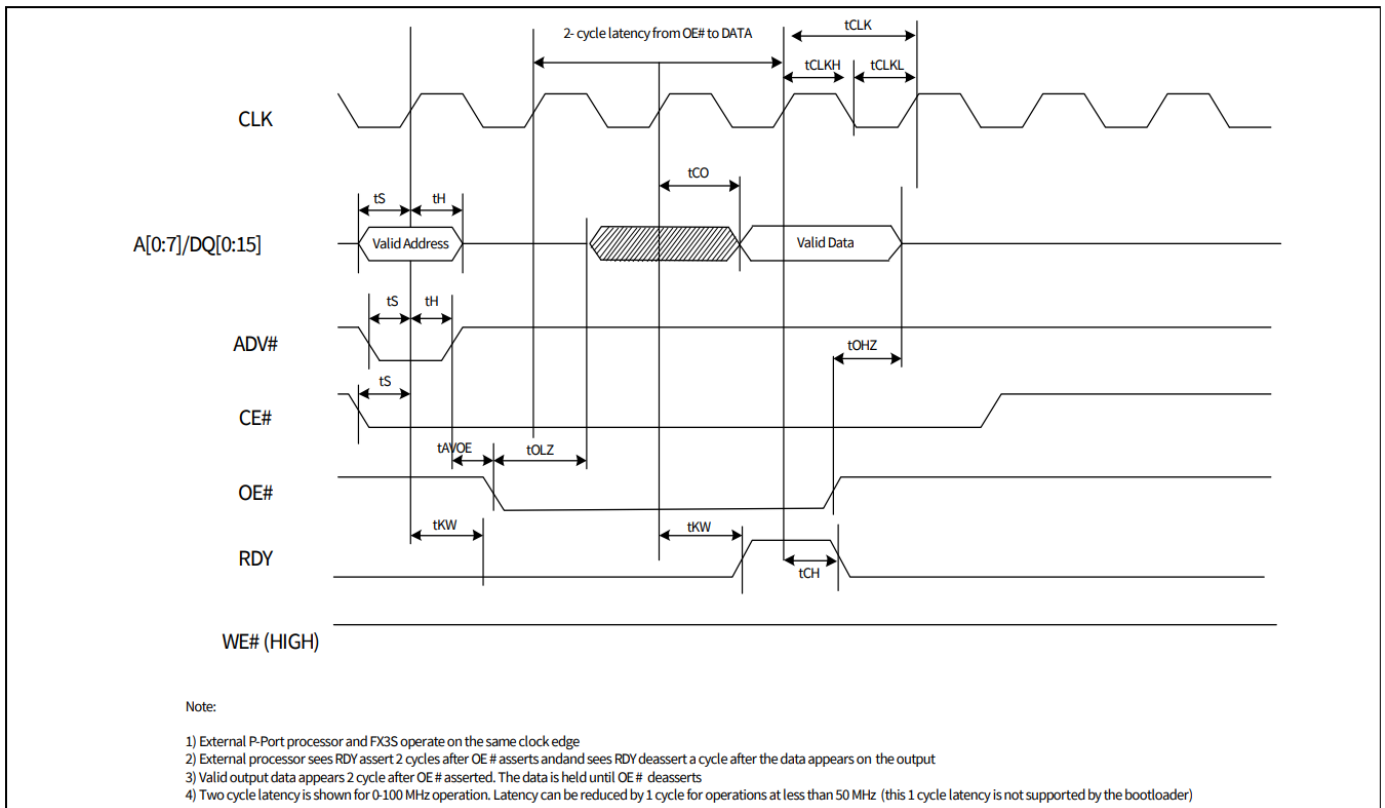


图 20 同步ADMux接口 – 读周期时序

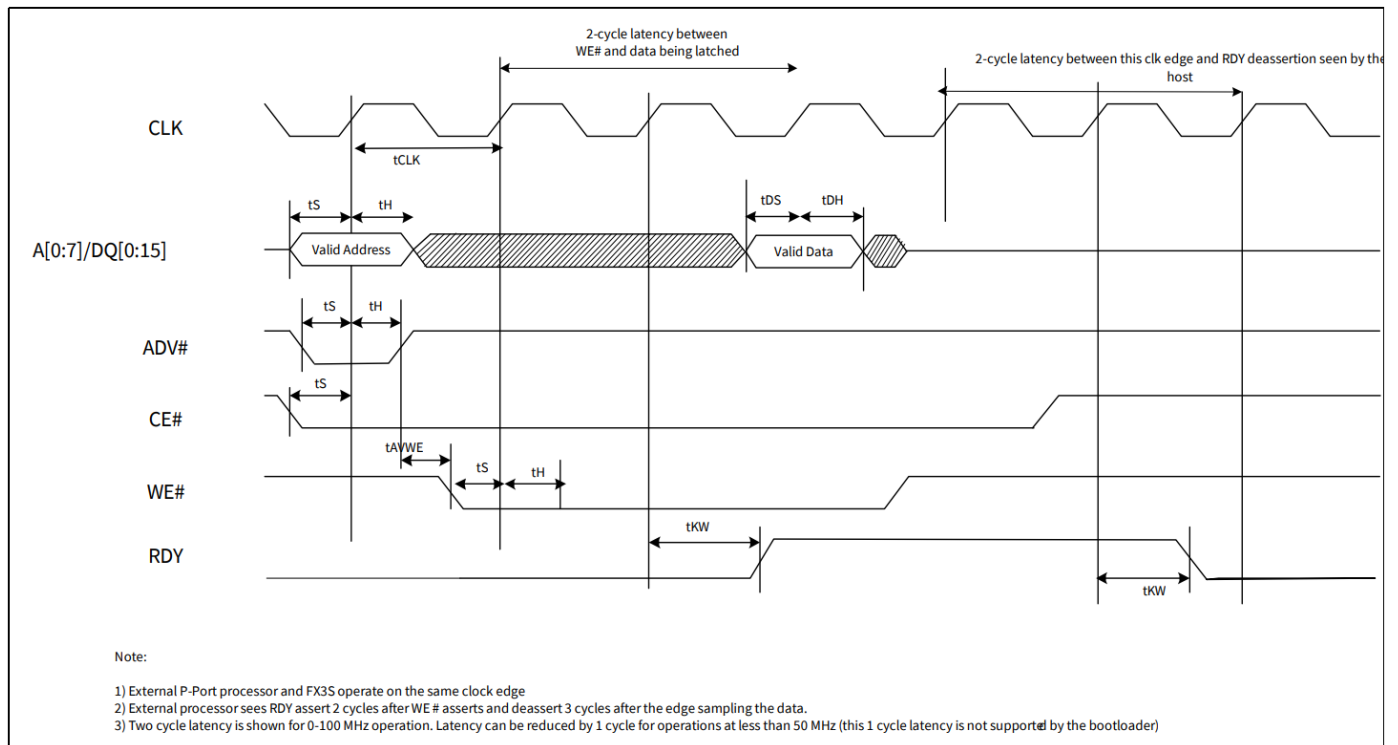


图 21 同步ADMux接口 – 写周期时序

交流电时序参数

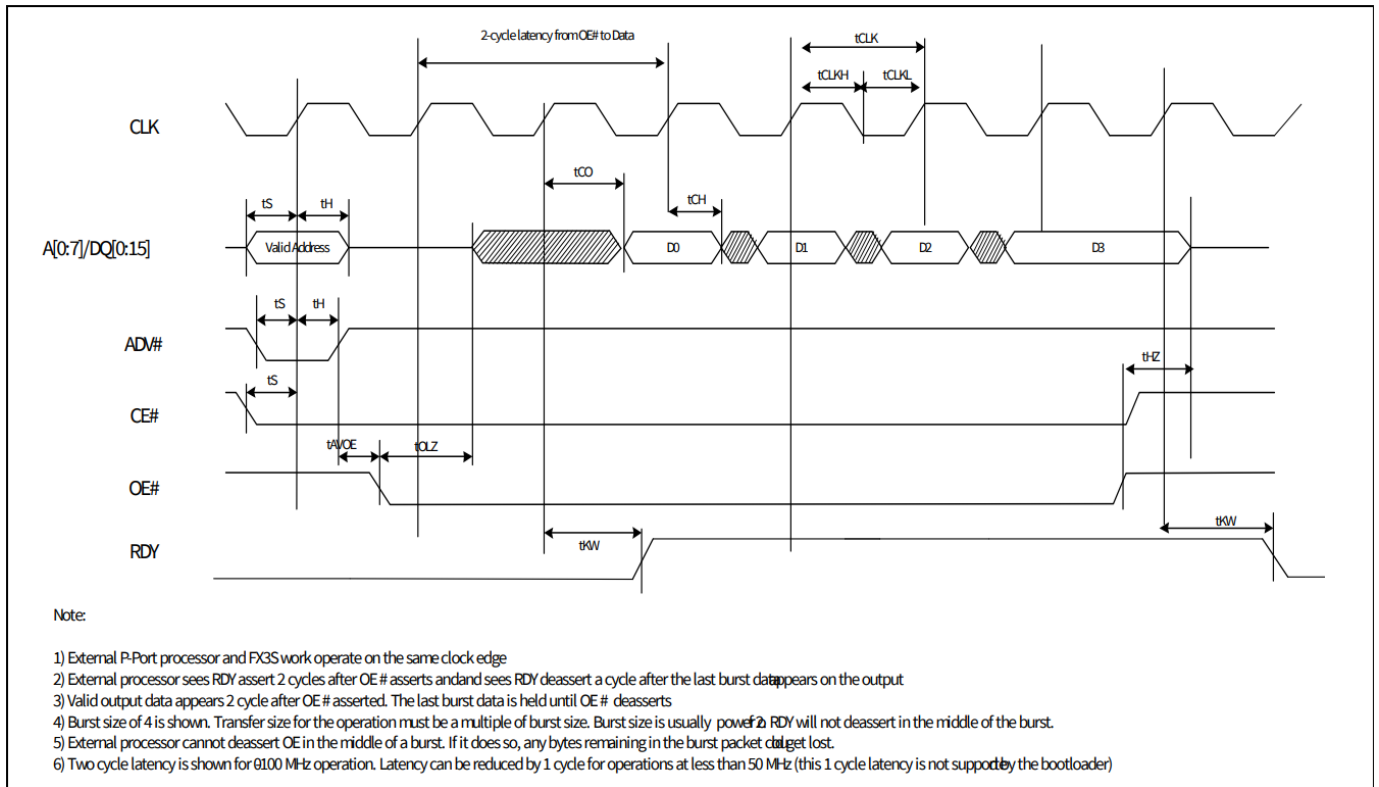


图 22 同步 ADMux 接口 – 突发读取时序

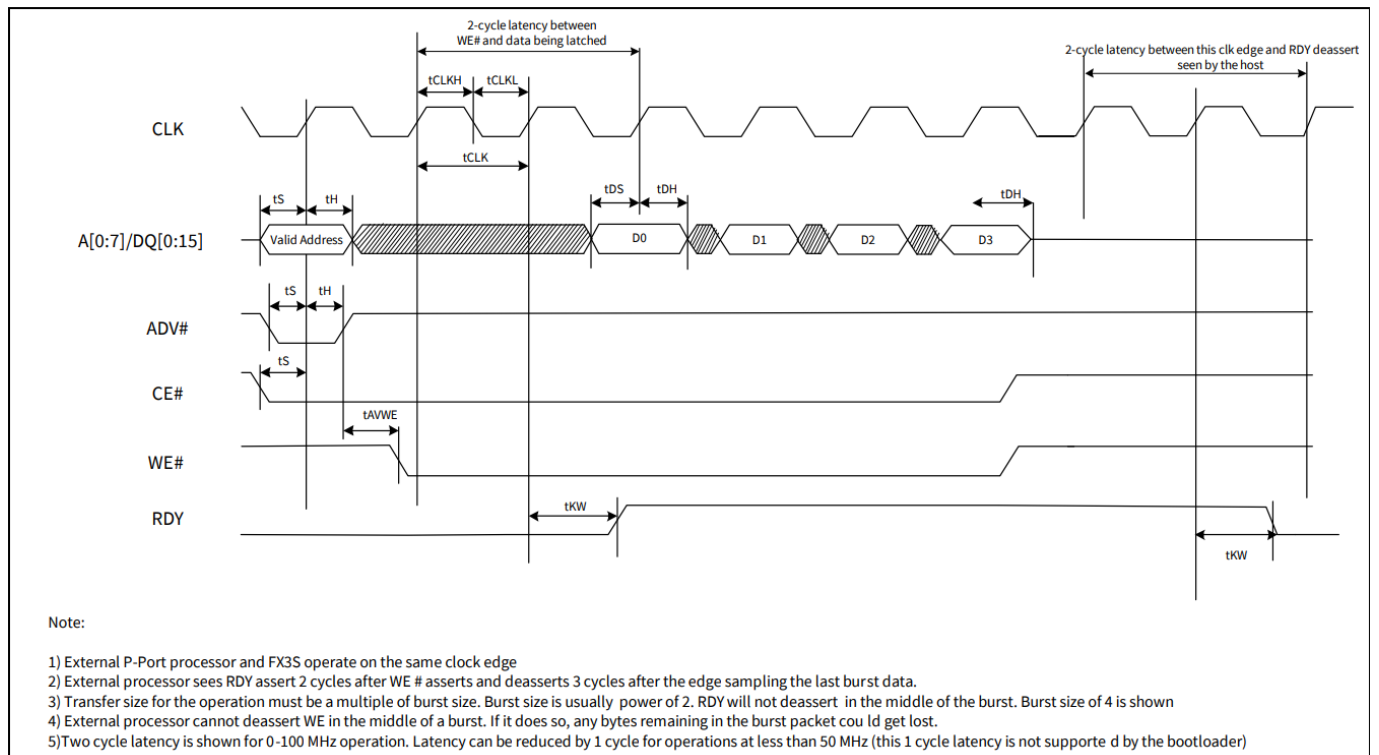


图 23 同步 ADMux 接口 – 突发写入时序

表 20 同步ADMux时序参数

Parameter ^[10]	Description	Min	Max	Unit
FREQ	Interface clock frequency	–	100	MHz
tCLK	Clock period	10	–	ns
tCLKH	Clock HIGH time	4	–	ns
tCLKL	Clock LOW time	4	–	ns
tS	CE#/WE#/DQ setup time	2	–	ns
tH	CE#/WE#/DQ hold time	0.5	–	ns
tCH	Clock to data output hold time	0	–	ns
tDS	Data input setup time	2	–	ns
tDH	Clock to data input hold	0.5	–	ns
tAVDOE	ADV# HIGH to OE# LOW	0	–	ns
tAVDWE	ADV# HIGH to WE# LOW	0	–	ns
tHZ	CE# HIGH to Data HIGH-Z	–	8	ns
tOHZ	OE# HIGH to Data HIGH-Z	–	8	ns
tOLZ	OE# LOW to Data LOW-Z	0	–	ns
tKW	Clock to RDY valid	–	8	ns

注释:

10. 所有参数均由设计保证，并通过特性验证。

21.7 从设备FIFO接口

21.7.1 同步从设备FIFO序列说明

- FIFO地址稳定，且SLCS被激活
- FLAG表示FIFO不为空的状态
- SLOE被激活。SLOE仅是一个输出使能信号，其唯一功能是驱动数据总线。
- SLRD被激活

FIFO指针在PCLK的上升沿上更新，同时SLRD被激活。这将开始将数据从新寻址的位置传播到数据总线。经过 t_{co} 的传播延迟（从 PCLK 的上升沿开始测量）后，新的数据值出现。N是自FIFO读取的第一个数值。要在FIFO数据总线上保留数据，还必须同时激活SLOE。

突发读取时还会显示相同的事件序列。

FLAG用途：

通过外部处理器监视FLAG信号的流量控制。FLAG信号是FX3的输出，可以配置为显示专用线程或当前正在寻址的线程的空状态，全状态或局部状态。

插座切换延迟（Tssd）

插座切换延迟的测量时间范围是从EPSWITCH#被主机置位开始（通过新插座在地址总线上的地址），到 Current_Thread_Ready被标志为止。对于发送端套接字，当它准备好在DMA缓冲器中接收数据时，该标志将被激活。对于接收端套接字，当它准备好从DMA缓冲器中输出数据时，该标志将被激活。对于同步从FIFO接口，切换延迟是由GPIF接口的时钟周期数量来测量的；对于异步从接口，是由PIB时钟周期测量的。这一规律仅适用于5位从FIFO接口；由于使用了GPIF II状态机中的线程切换，FX3的2位从FIFO接口没有插座切换延迟。

注意：对于突发模式，SLRD# 和 SLOE# 在整个读取过程中均保持有效。当 SLOE# 置位时，数据总线将被驱动（使用来自先前寻址的 FIFO 的数据）。在 PCLK 的每个后续上升沿，当 SLRD# 置位时，FIFO 指针将递增，并将下一个数据值放置在数据总线上。

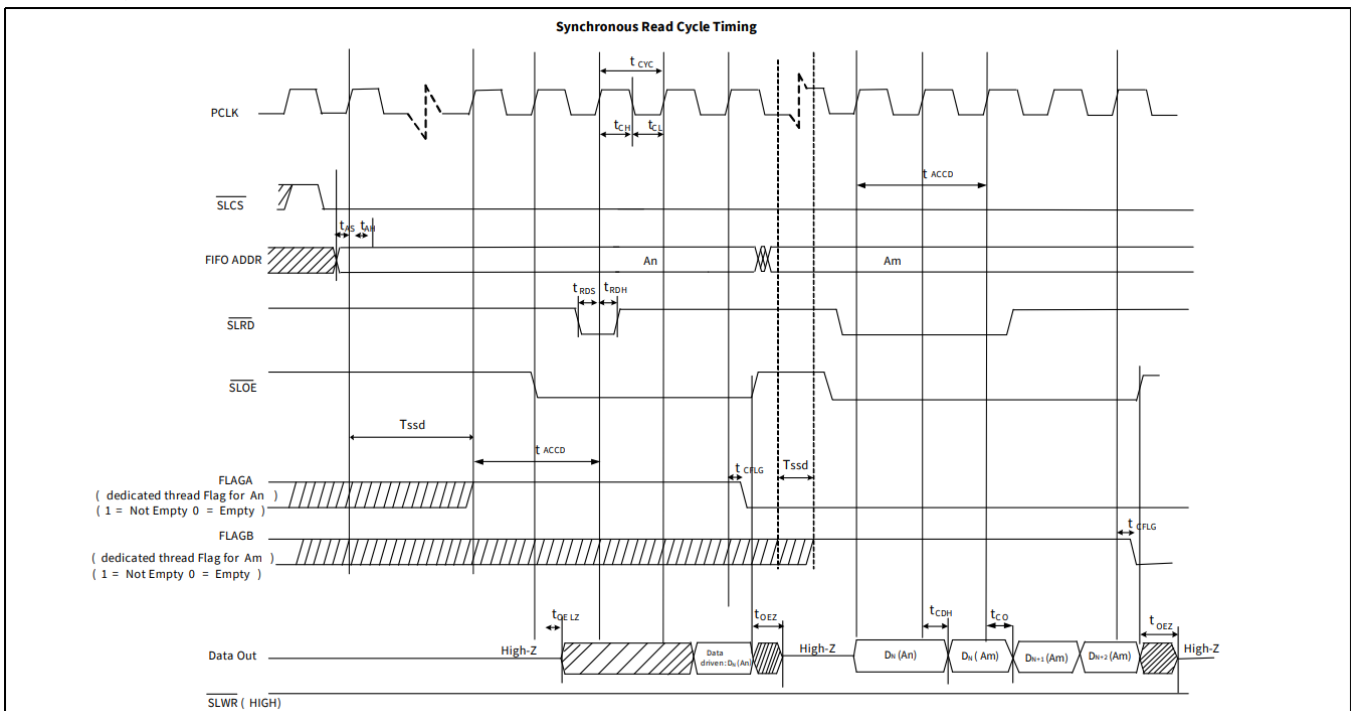


图 24 同步从设备FIFO读取模式

表 21 同步从设备 FIFO 参数

Parameter ^[11]	Description	Min	Max	Units
FREQ	Interface clock frequency	–	100	MHz
tCYC	Clock period	10	–	ns
tCH	Clock high time	4	–	ns
tCL	Clock low time	4	–	ns
tRDS	SLRD# to CLK setup time	2	–	ns
tRDH	SLRD# to CLK hold time	0.5	–	ns
tWRS	SLWR# to CLK setup time	2	–	ns
tWRH	SLWR# to CLK hold time	0.5	–	ns
tCO	Clock to valid data	–	7	ns
tDS	Data input setup time	2	–	ns
tDH	CLK to data input hold	0.5	–	ns
tAS	Address to CLK setup time	2	–	ns
tAH	CLK to address hold time	0.5	–	ns
tOELZ	SLOE# to data low-Z	0	–	ns
tCFLG	CLK to flag output propagation delay	–	8	ns
tOEZ	SLOE# deassert to Data Hi Z	–	8	ns
tPES	PKTEND# to CLK setup	2	–	ns
tPEH	CLK to PKTEND# hold	0.5	–	ns
tCDH	CLK to data output hold	2	–	ns
tSSD	Socket switching delay	2	68	Clock cycle s
tACCD	Latency from SLRD# to Data	2	2	Clock cycle s
tFAD	Latency from SLWR# to FLAG	3	3	Clock cycle s

注释：从ADDR到 DATA/FLAGS延迟三个周期

注释：

11. 所有参数均由设计保证，并通过特性验证。

21.8 异步从设备FIFO读序列说明

- FIFO地址稳定，且SLCS#信号被激活。
- SLOE#被激活。这使得数据总线被驱动。
- SLRD#被激活。
- SLRD#激活后，开始驱动来自FIFO的数据。该数据将在从SLRD#下降沿的 t_{RDO} 传输延迟后生效。
- FIFO指针在SLRD#的解除激活后递增

如图 26 所示，数据 N 是从 FIFO 读取的第一个有效数据。为了在读取周期内数据出现在数据总线上，SLOE# 必须处于有效状态。SLRD# 和 SLOE# 也可以绑定。

突发读取时还会显示相同的事件序列。

注释：在突发读取模式下，数据总线在SLOE#激活期间处于驱动状态（数据由先前寻址的 FIFO 驱动）。SLRD# 激活后，在数据总线上驱动来自 FIFO 的数据（也必须激活SLOE#）。FIFO 指针在SLRD# 的解除激活后递增。

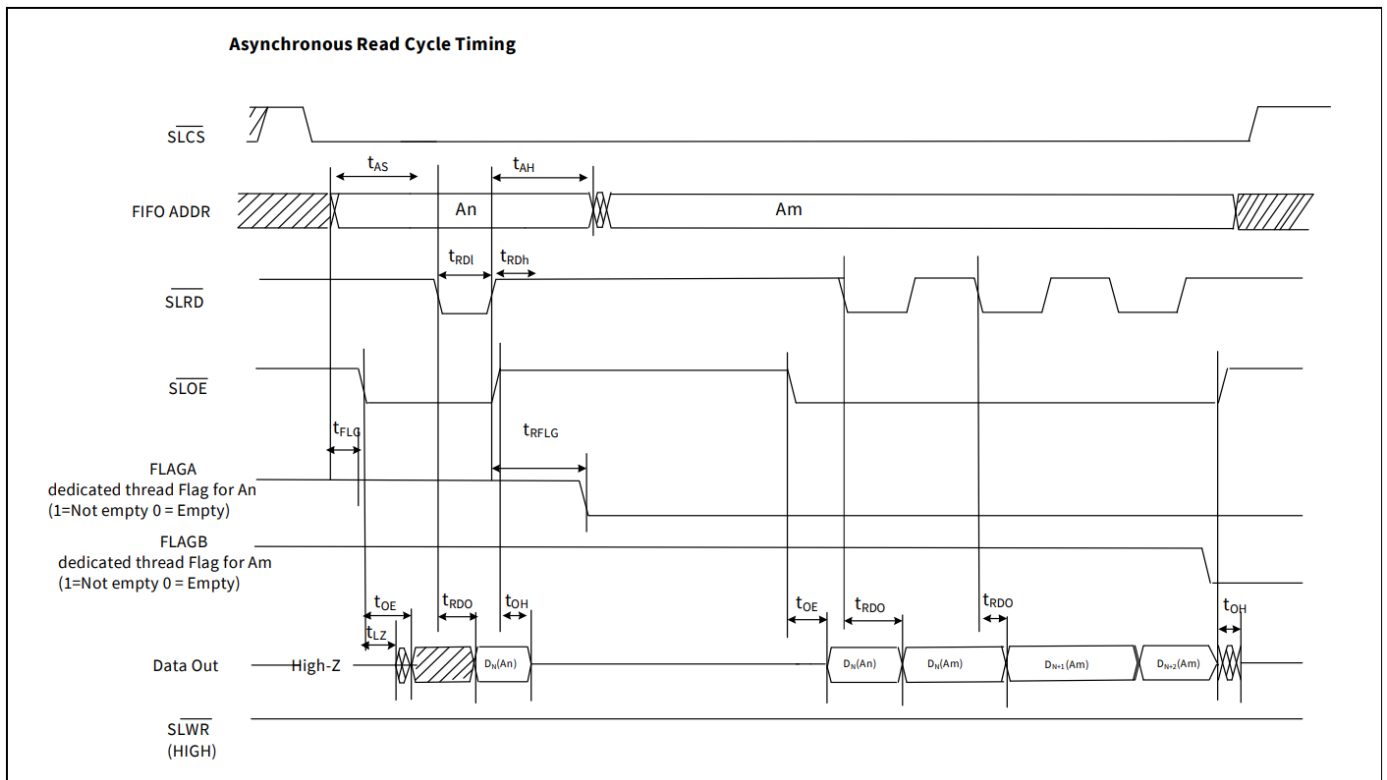


图 26 异步从设备FIFO读取模式

21.9 异步从设备FIFO写序列说明

- FIFO地址被驱动，且SLCS#被激活
- SLWR#被激活SLCS#必须与SLWR#同时激活，或先于SLWR#激活
- 在SLWR#边沿上解除激活前，数据必须显示在总线tWRS上
- 解除激活SLWR#会导致将数据从数据总线写入到FIFO内，然后FIFO指针递增
- 在SLWR边沿解除激活的tWFLG后，将更新FIFO标志。突发写入时显示相同的事件序列。

请注意，在突发写入模式下，SLWR#解除激活后，会将数据写入FIFO内，然后FIFO指针递增。

短数据包：通过PKTEND#信号可将某个短数据包发送到USB主机。需要设计外部器件或处理器，使之在最后数据字以及与该字相应的SLWR#脉冲时同时激活PKTEND#。必须在激活PKTEND#过程中保持FIFOADDR不变。

零长度数据包：通过激活PKTEND#，而没有激活SLWR#，外部器件或处理器可以轻松地将一个零长度数据包（ZLP）传输到FX3S。SLCS#和地址必须按照图27所示驱动。

FLAG用途：外部处理器通过监控标志位信号来实现流量控制。FLAG信号由FX3S输出。配置该器件，可显示专用地址或当前地址的空、满和局部状态。

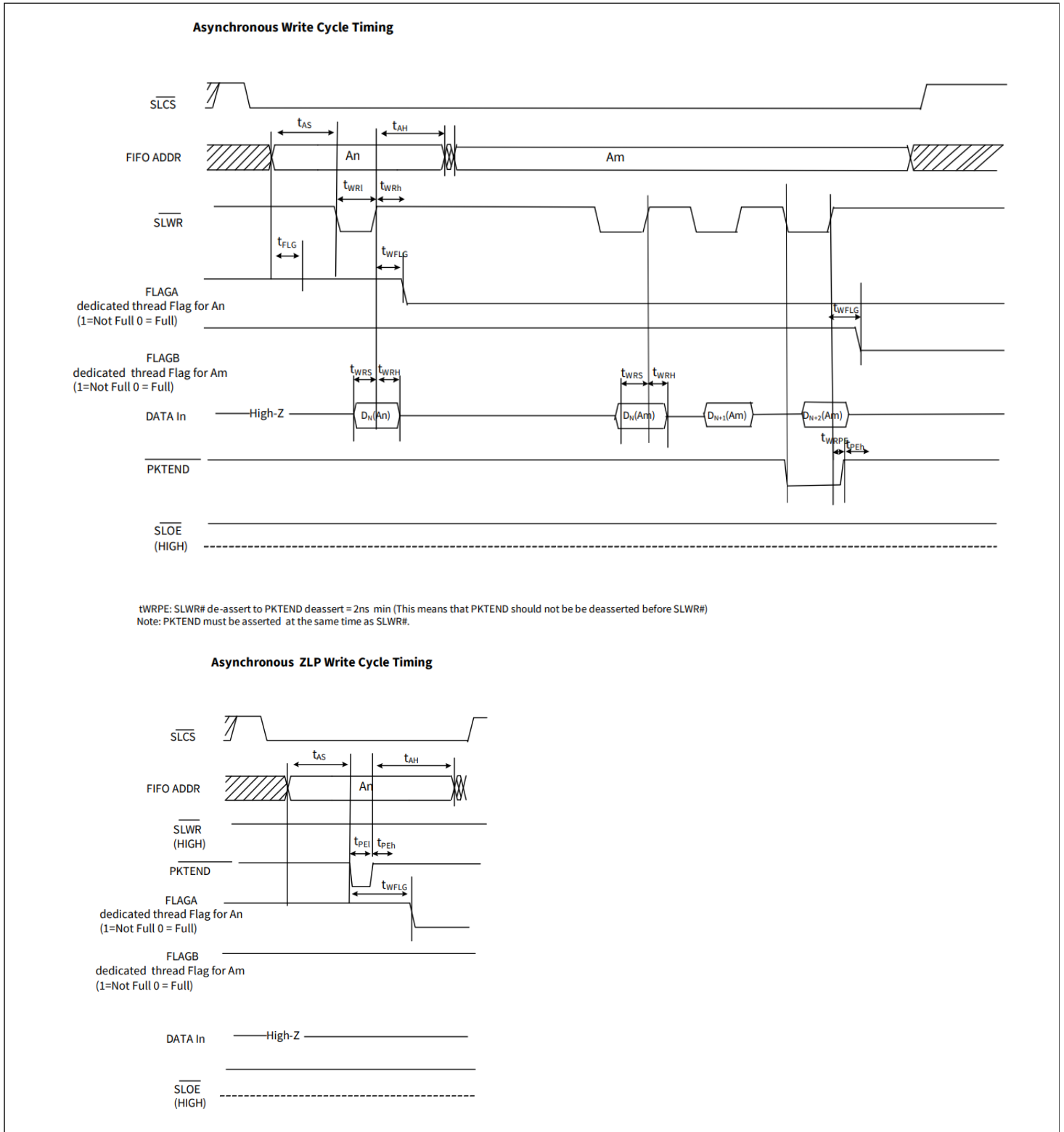


图 27 异步从设备FIFO写入模式

表 22 异步从设备FIFO参数

Parameter ^[12]	Description	Min	Max	Units
tRDI	SLRD# low	20	-	ns
tRDh	SLRD# high	10	-	ns
tAS	Address to SLRD#/SLWR# setup time	7	-	ns
tAH	SLRD#/SLWR#/PKTEND to address hold time	2	-	ns
tRFLG	SLRD# to FLAGS output propagation delay	-	35	ns
tFLG	ADDR to FLAGS output propagation delay	-	22.5	
tRDO	SLRD# to data valid	-	25	ns
tOE	OE# low to data valid	-	25	ns
tLZ	OE# low to data low-Z	0	-	ns
tOH	SLOE# deassert data output hold	-	22.5	ns
tWRI	SLWR# low	20	-	ns
tWRh	SLWR# high	10	-	ns
tWRS	Data to SLWR# setup time	7	-	ns
tWRH	SLWR# to Data Hold time	2	-	ns
tWFLG	SLWR#/PKTEND to Flags output propagation delay	-	35	ns
tPEl	PKTEND low	20	-	ns
tPEh	PKTEND high	7.5	-	ns
tWRPE	SLWR# deassert to PKTEND deassert	2	-	ns

注释:

12. 所有参数均由设计保证，并通过特性验证。

交流电时序参数

21.10 存储端口时序

S0端口和S1端口支持MMC规范版本4.41以及SD规范版本3.0。表 23中列出了FX3S 器件中S端口的时序参数。

表 23 S 端口时序参数

Parameter ^[13]	Description	Min	Max	Units
MMC-20				
tSDIS CMD	Host input setup time for CMD	4.8	-	ns
tSDIS DAT	Host input setup time for DAT	4.8	-	ns
tSDIH CMD	Host input hold time for CMD	4.4	-	ns
tSDIH DAT	Host input hold time for DAT	4.4	-	ns
tSDOS CMD	Host output setup time for CMD	5	-	ns
tSDOS DAT	Host output setup time for DAT	5	-	ns
tSDOH CMD	Host output hold time for CMD	5	-	ns
tSDOH DAT	Host output hold time for DAT	5	-	ns
tSCLKR	Clock rise time	-	2	ns
tSCLKF	Clock fall time	-	2	ns
tSDCK	Clock cycle time	50	-	ns
SDFREQ	Clock frequency	-	20	MHz
tSDCLKOD	Clock duty cycle	40	60	%
MMC-26				
tSDIS CMD	Host input setup time for CMD	10	-	ns
tSDIS DAT	Host input setup time for DAT	10	-	ns
tSDIH CMD	Host input hold time for CMD	9	-	ns
tSDIH DAT	Host input hold time for DAT	9	-	ns
tSDOS CMD	Host output setup time for CMD	3	-	ns
tSDOS DAT	Host output setup time for DAT	3	-	ns
tSDOH CMD	Host output hold time for CMD	3	-	ns
tSDOH DAT	Host output hold time for DAT	3	-	ns
tSCLKR	Clock rise time	-	2	ns
tSCLKF	Clock fall time	-	2	ns
tSDCK	Clock cycle time	38.5	-	ns
SDFREQ	Clock frequency	-	26	MHz
tSDCLKOD	Clock duty cycle	40	60	%
MC-HS				
tSDIS CMD	Host input setup time for CMD	4	-	ns
tSDIS DAT	Host input setup time for DAT	4	-	ns
tSDIH CMD	Host input hold time for CMD	3	-	ns
tSDIH DAT	Host input hold time for DAT	3	-	ns
tSDOS CMD	Host output setup time for CMD	3	-	ns
tSDOS DAT	Host output setup time for DAT	3	-	ns

注释:

13. 所有参数均由设计保证, 并通过特性验证。

表 23 S 端口时序参数 (续)

Parameter ^[13]	Description	Min	Max	Units
tSDOH CMD	Host output hold time for CMD	3	-	ns
tSDOH DAT	Host output hold time for DAT	3	-	ns
tSCLKR	Clock rise time	-	2	ns
tSCLKF	Clock fall time	-	2	ns
tSDCK	Clock cycle time	19.2	-	ns
SDFREQ	Clock frequency	-	52	MHz
tSDCLKOD	Clock duty cycle	40	60	%

MMC-DDR52

tSDIS CMD	Host input setup time for CMD	4	-	ns
tSDIS DAT	Host input setup time for DAT	0.56	-	ns
tSDIH CMD	Host input hold time for CMD	3	-	ns
tSDIH DAT	Host input hold time for DAT	2.58	-	ns
tSDOS CMD	Host output setup time for CMD	3	-	ns
tSDOS DAT	Host output setup time for DAT	2.5	-	ns
tSDOH CMD	Host output hold time for CMD	3	-	ns
tSDOH DAT	Host output hold time for DAT	2.5	-	ns
tSCLKR	Clock rise time	-	2	ns
tSCLKF	Clock fall time	-	2	ns
tSDCK	Clock cycle time	19.2	-	ns
SDFREQ	Clock frequency	-	52	MHz
tSDCLKOD	Clock duty cycle	45	55	%

SD-默认速度 (SDR12)

tSDIS CMD	Host input setup time for CMD	24	-	ns
tSDIS DAT	Host input setup time for DAT	24	-	ns
tSDIH CMD	Host input hold time for CMD	2.5	-	ns
tSDIH DAT	Host input hold time for DAT	2.5	-	ns
tSDOS CMD	Host output setup time for CMD	5	-	ns
tSDOS DAT	Host output setup time for DAT	5	-	ns
tSDOH CMD	Host output hold time for CMD	5	-	ns
tSDOH DAT	Host output hold time for DAT	5	-	ns
tSCLKR	Clock rise time	-	2	ns
tSCLKF	Clock fall time	-	2	ns
tSDCK	Clock cycle time	40	-	ns
SDFREQ	Clock frequency	-	25	MHz
tSDCLKOD	Clock duty cycle	40	60	%

SD-高速 (SDR25)

tSDIS CMD	Host input setup time for CMD	4	-	ns
tSDIS DAT	Host input setup time for DAT	4	-	ns

注释:

13.所有参数均由设计保证, 并通过特性验证。

表 23 S端口时序参数 (续)

Parameter ^[13]	Description	Min	Max	Units
tSDIH CMD	Host input hold time for CMD	2.5	-	ns
tSDIH DAT	Host input hold time for DAT	2.5	-	ns
tSDOS CMD	Host output setup time for CMD	6	-	ns
tSDOS DAT	Host output setup time for DAT	6	-	ns
tSDOH CMD	Host output hold time for CMD	2	-	ns
tSDOH DAT	Host output hold time for DAT	2	-	ns
tSCLKR	Clock rise time	-	2	ns
tSCLKF	Clock fall time	-	2	ns
tSDCK	Clock cycle time	20	-	ns
SDFREQ	Clock frequency	-	50	MHz
tSDCLKOD	Clock duty cycle	40	60	%
SD-SDR50				
tSDIS CMD	Host input setup time for CMD	1.5	-	ns
tSDIS DAT	Host input setup time for DAT	1.5	-	ns
tSDIH CMD	Host input hold time for CMD	2.5	-	ns
tSDIH DAT	Host input hold time for DAT	2.5	-	ns
tSDOS CMD	Host output setup time for CMD	3	-	ns
tSDOS DAT	Host output setup time for DAT	3	-	ns
tSDOH CMD	Host output hold time for CMD	0.8	-	ns
tSDOH DAT	Host output hold time for DAT	0.8	-	ns
tSCLKR	Clock rise time	-	2	ns
tSCLKF	Clock fall time	-	2	ns
tSDCK	Clock cycle time	10	-	ns
SDFREQ	Clock frequency		100	MHz
tSDCLKOD	Clock duty cycle	40	60	%
SD-DDR50				
tSDIS CMD	Host input setup time for CMD	4	-	ns
tSDIS DAT	Host input setup time for DAT	0.92	-	ns
tSDIH CMD	Host input hold time for CMD	2.5	-	ns
tSDIH DAT	Host input hold time for DAT	2.5	-	ns
tSDOS CMD	Host output setup time for CMD	6	-	ns
tSDOS DAT	Host output setup time for DAT	3	-	ns
tSDOH CMD	Host output hold time for CMD	0.8	-	ns
tSDOH DAT	Host output hold time for DAT	0.8	-	ns
tSCLKR	Clock rise time	-	2	ns
tSCLKF	Clock fall time	-	2	ns
tSDCK	Clock cycle time	20	-	ns

注释:

13.所有参数均由设计保证，并通过特性验证。

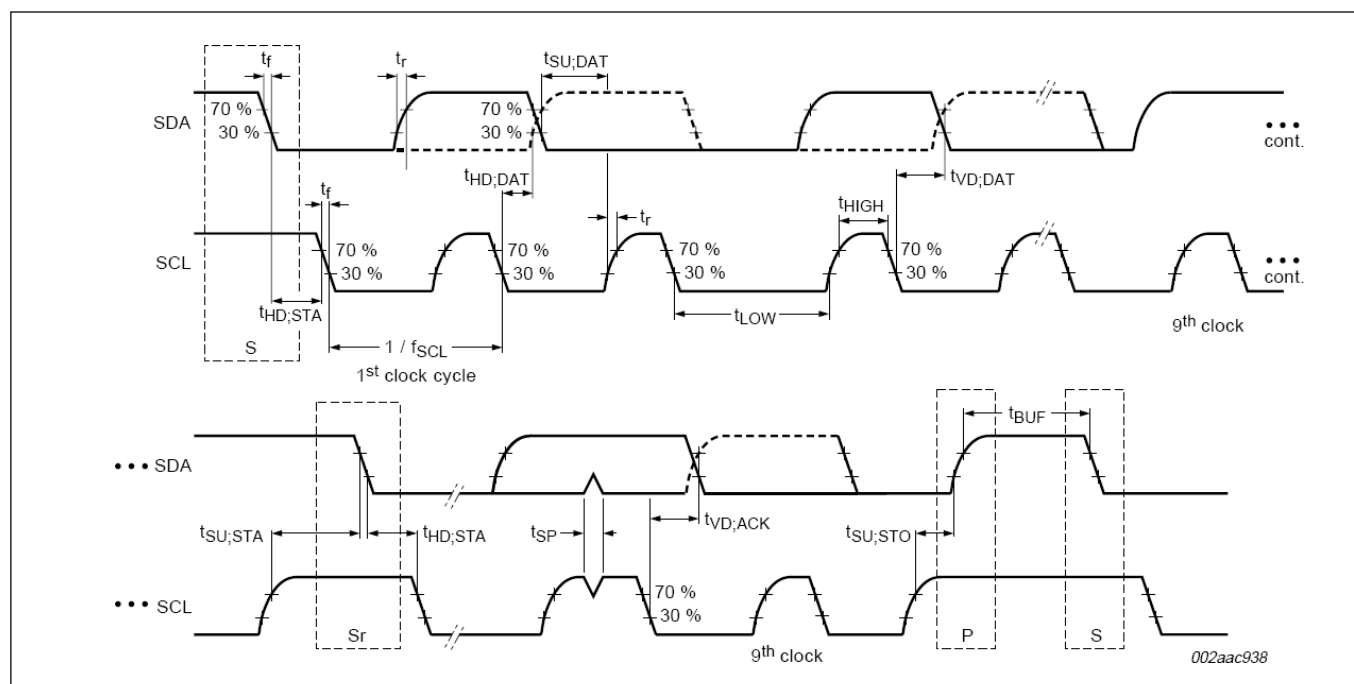
表 23 S端口的时序参数 (续)

Parameter ^[13]	Description	Min	Max	Units
SDFREQ	Clock frequency	–	50	MHz
tSDCLKOD	Clock duty cycle	45	55	%

注释:

13.所有参数均由设计保证, 并通过特性验证。

21.11 串行外设时序

21.11.1 I²C 时序图 28 I²C 时序定义表 24 I²C 时序参数

Parameter ^[14]	Description	Min	Max	Units
I²C 标准模式参数				
fSCL	SCL clock frequency	0	100	kHz
tHD:STA	Hold time START condition	4	–	μs
tLOW	LOW period of the SCL	4.7	–	μs
tHIGH	HIGH period of the SCL	4	–	μs
tSU:STA	Setup time for a repeated START condition	4.7	–	μs
tHD:DAT	Data hold time	0	–	μs
tSU:DAT	Data setup time	250	–	ns
tr	Rise time of both SDA and SCL signals	–	1000	ns
tf	Fall time of both SDA and SCL signals	–	300	ns

注释:

14.所有参数均由设计保证, 并通过特性验证。

交流电时序参数

表 24 I²C 时序参数 (续)

Parameter ^[14]	Description	Min	Max	Units
tSU:STO	Setup time for STOP condition	4	–	μs
tBUF	Bus free time between a STOP and START condition	4.7	–	μs
tVD:DAT	Data valid time	–	3.45	μs
tVD:ACK	Data valid ACK	–	3.45	μs
tSP	Pulse width of spikes that must be suppressed by input filter	n/a	n/a	

I²C 快速模式参数

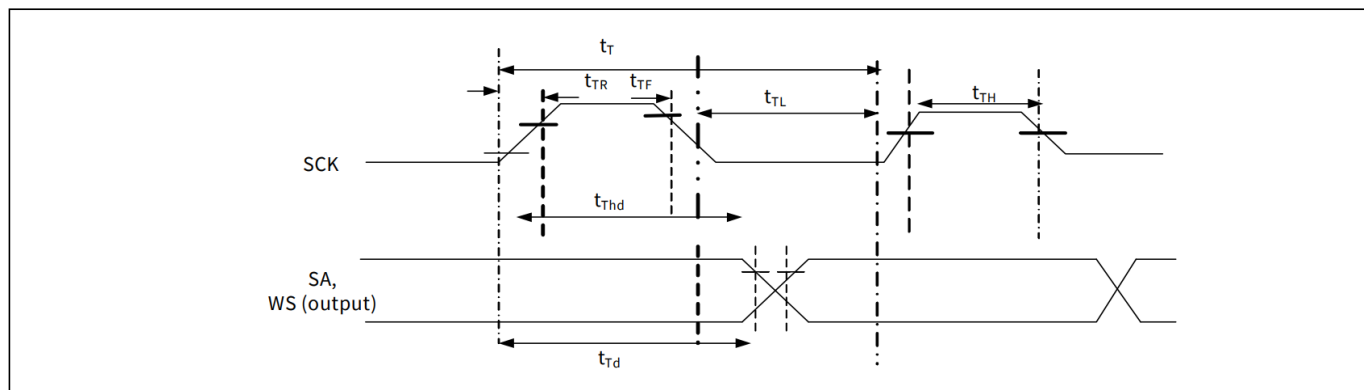
fSCL	SCL clock frequency	0	400	kHz
tHD:STA	Hold time START condition	0.6	–	μs
tLOW	LOW period of the SCL	1.3	–	μs
tHIGH	HIGH period of the SCL	0.6	–	μs
tSU:STA	Setup time for a repeated START condition	0.6	–	μs
tHD:DAT	Data hold time	0	–	μs
tSU:DAT	Data setup time	100	–	ns
tr	Rise time of both SDA and SCL signals	–	300	ns
tf	Fall time of both SDA and SCL signals	–	300	ns
tSU:STO	Setup time for STOP condition	0.6	–	μs
tBUF	Bus free time between a STOP and START condition	1.3	–	μs
tVD:DAT	Data valid time	–	0.9	μs
tVD:ACK	Data valid ACK	–	0.9	μs
tSP	Pulse width of spikes that must be suppressed by input filter	0	50	ns

I²C 增强型快速模式参数 (在I2C_VDDQ=1.2 V时不支持)

fSCL	SCL clock frequency	0	1000	kHz
tHD:STA	Hold time START condition	0.26	–	μs
tLOW	LOW period of the SCL	0.5	–	μs
tHIGH	HIGH period of the SCL	0.26	–	μs
tSU:STA	Setup time for a repeated START condition	0.26	–	μs
tHD:DAT	Data hold time	0	–	μs
tSU:DAT	Data setup time	50	–	ns
tr	Rise time of both SDA and SCL signals	–	120	ns
tf	Fall time of both SDA and SCL signals	–	120	ns
tSU:STO	Setup time for STOP condition	0.26	–	μs
tBUF	Bus-free time between a STOP and START condition	0.5	–	μs
tVD:DAT	Data valid time	–	0.45	μs
tVD:ACK	Data valid ACK	–	0.55	μs
tSP	Pulse width of spikes that must be suppressed by input filter	0	50	ns

注释:

14. 所有参数均由设计保证，并通过特性验证。

21.11.2 I²S 时序图图 29 I²S 传输周期表 25 I²S 时序参数

Parameter ^[15]	Description	Min	Max	Units
tT	I ² S transmitter clock cycle	Ttr	-	ns
tTL	I ² S transmitter cycle LOW period	$0.35 \times Ttr$	-	ns
tTH	I ² S transmitter cycle HIGH period	$0.35 \times Ttr$	-	ns
tTR	I ² S transmitter rise time	-	$0.15 \times Ttr$	ns
tTF	I ² S transmitter fall time	-	$0.15 \times Ttr$	ns
tThd	I ² S transmitter data hold time	0	-	ns
tTd	I ² S transmitter delay time	-	$0.8 \times tT$	ns

注释：tT 可通过时钟齿轮选择。Ttr 的最大值是 326 ns (3.072 MHz)，此值用于 32 位的 96 kHz 编解码器。

注释：

15. 所有参数均由设计保证，并通过特性验证。

21.11.3 SPI时序规范

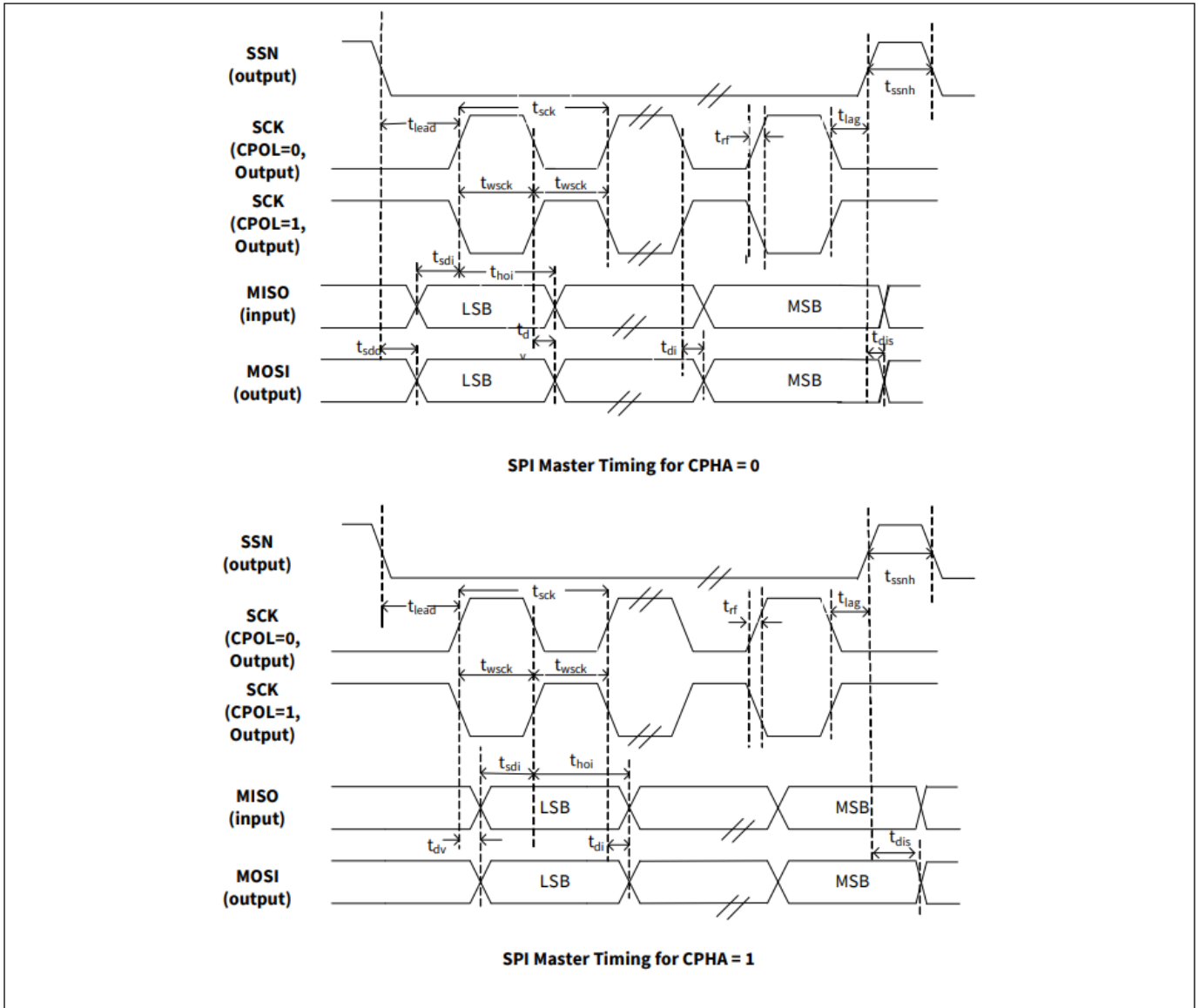


图 30 SPI 时序

表 26 SPI时序参数

Parameter ^[16]	Description	Min	Max	Units
fop	Operating frequency	0	33	MHz
tsck	Cycle time	30	-	ns
twscck	Clock high/low time	13.5	-	ns
tlead	SSN-SCK lead time	$1/2 \text{ tsck}^{[17]} - 5$	$1.5 \text{ tsck}^{[17]} + 5$	ns
tlag	Enable lag time	0.5	$1.5 \text{ tsck}^{[17]} + 5$	ns
trf	Rise/fall time	-	8	ns
tsdd	Output SSN to valid data delay time	-	5	ns
tdv	Output data valid time	-	5	ns
tdi	Output data invalid	0	-	ns
tssnh	Minimum SSN high time	10	-	ns
tsdi	Data setup time input	8	-	ns
thoi	Data hold time input	0	-	ns
tdis	Disable data output on SSN high	0	-	ns

注释:

16. 所有参数均由设计保证，并通过特性验证。

22 复位序列

本节中详细介绍了FX3S的硬复位序列的要求。

表 27 复位和待机时序参数

Parameter	Definition	Conditions	Min (ms)	Max (ms)
tRPW	Minimum RESET# pulse width	Clock Input	1	–
		Crystal Input	1	–
tRH	Minimum high on RESET#	–	5	–
tRR	Reset recovery time (after which Boot loader begins firmware download)	Clock Input	1	–
		Crystal Input	5	–
tSBY	Time to enter standby/suspend (from the time MAIN_CLOCK_EN/ MAIN_POWER_EN bit is set)	–	–	1
tWU	Time to wakeup from standby	Clock Input	1	–
		Crystal Input	5	–
tWH	Minimum time before Standby/Suspend source may be reasserted	–	5	–

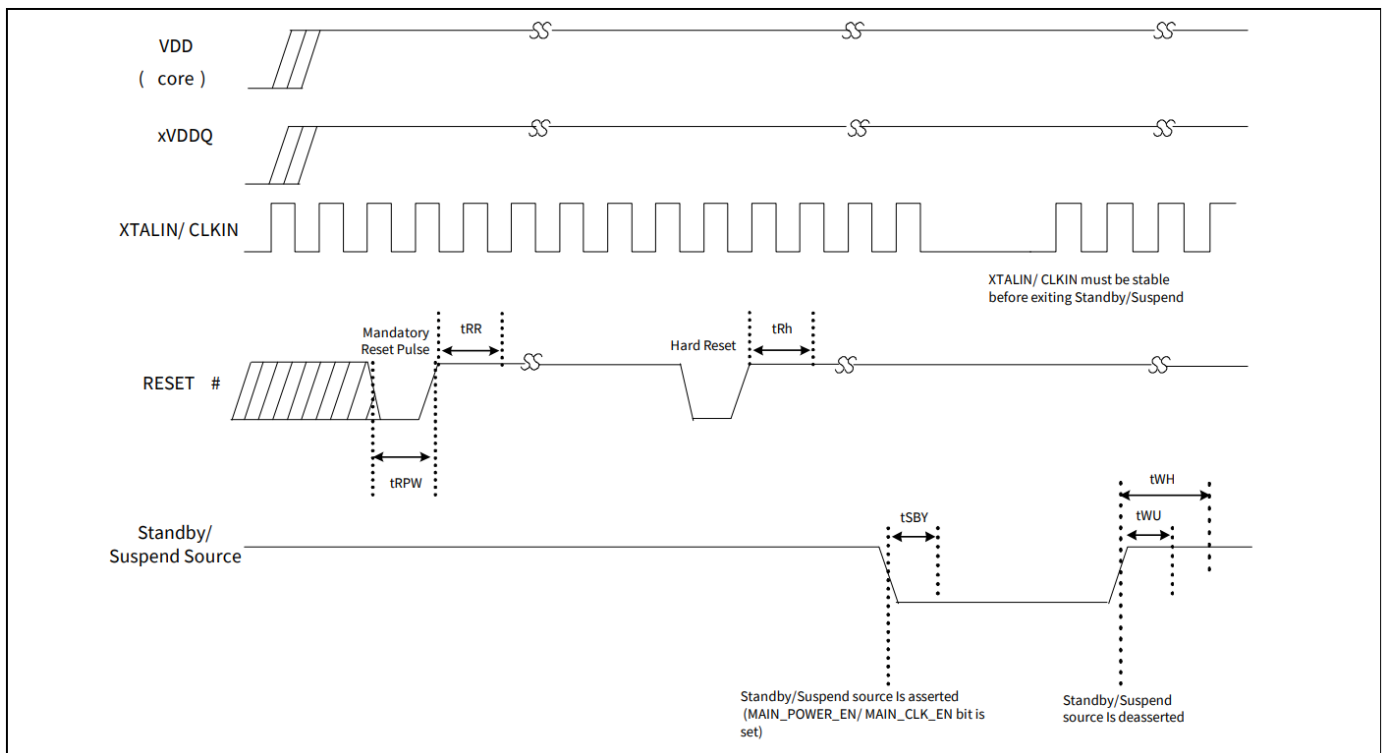


图 31 复位顺序

23 封装图

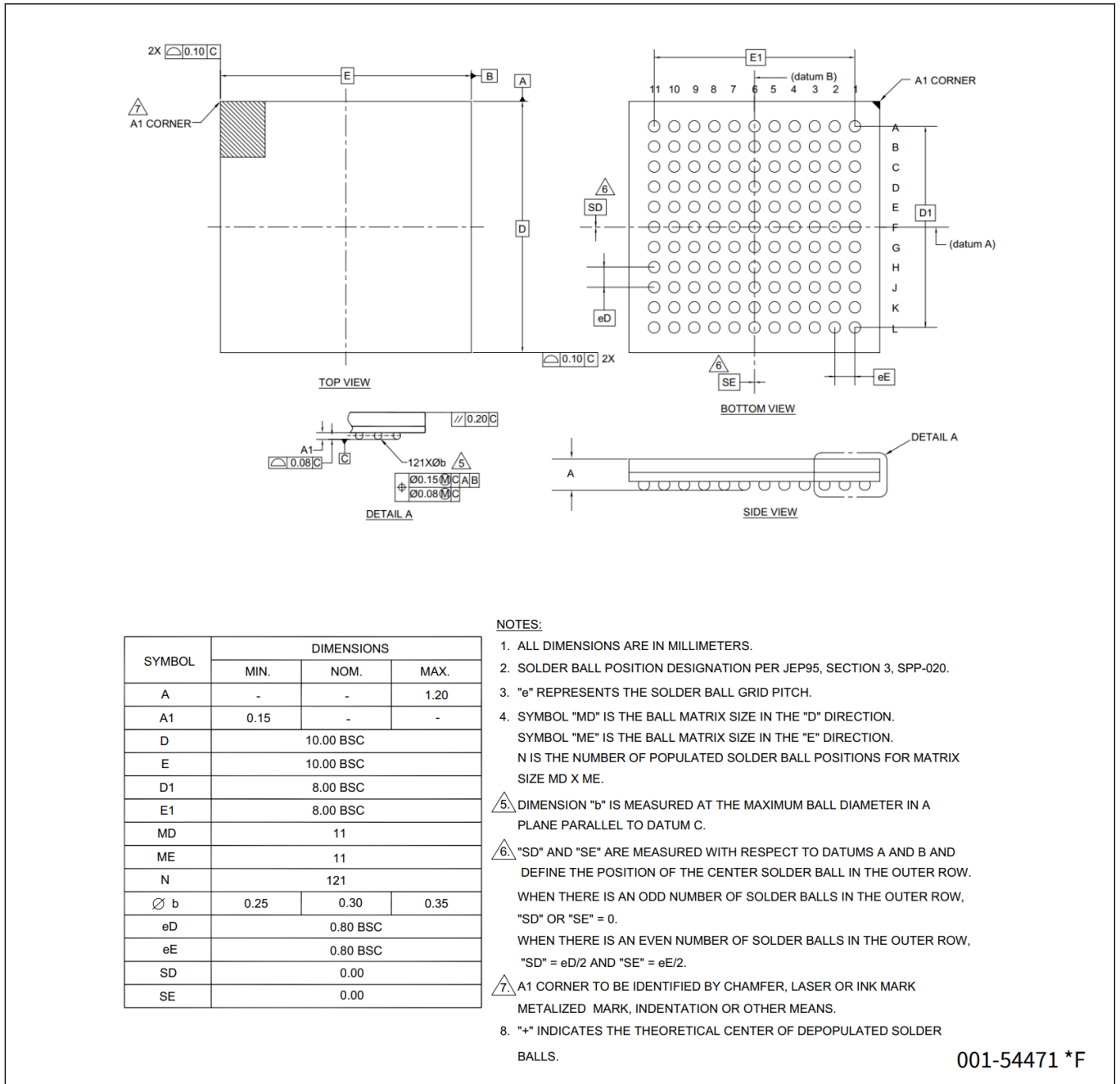


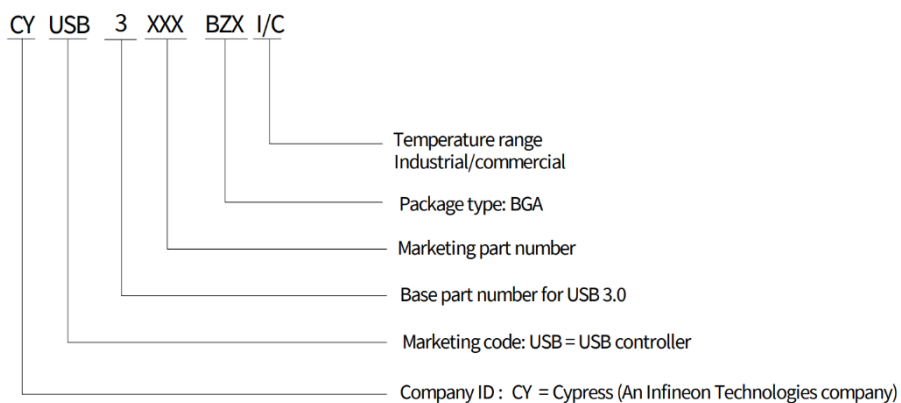
图 32 121球形焊盘FBGA (10 × 10 × 1.2 mm (0.30 mm引脚直径)) 封装外形, 001-54471

24 订购信息

表 28 设备订购信息

Ordering Code	SRAM (KB)	Storage ports	HS-USB OTG	GPIF II data bus width	Package type
CYUSB3035-BZXI	512	2	Yes	16-bit	121-ball BGA
CYUSB3035-BZXC	512	2	Yes	16-bit	121-ball BGA

24.1 订购代码定义



25 缩略语

表 29 本文档中使用的缩略语

Acronym	Description
DMA	Direct Memory Access
HNP	Host Negotiation Protocol
MMC	Multimedia Card
MTP	Media Transfer Protocol
PLL	Phase Locked Loop
PMIC	Power Management IC
SD	Secure Digital
SDIO	Secure Digital Input/Output
SLC	Single-Level Cell
SLCS	Slave Chip Select
SLOE	Slave Output Enable
SLRD	Slave Read
SLWR	Slave Write
SPI	Serial Peripheral Interface
SRP	Session Request Protocol
USB	Universal Serial Bus

26 文档惯例

26.1 测量单位

表 30 测量单位

Symbol	Unit of measure
°C	degree Celsius
Mbps	megabits per second
MBps	megabytes per second
MHz	megahertz
μA	microampere
μs	microsecond
mA	milliampere
ms	millisecond
ns	nanosecond
Ω	ohm
pF	picofarad
V	volt

27 勘误表

本节介绍 FX3S 修订版 D，C 和 B 的勘误表。具体内容包括勘误触发条件、影响范围、可用解决方案和芯片版本的适用性。若有任何问题，请联系您当地英飞凌销售代表。

受影响的器件编号

表 31 受影响的部件号

Part number	Device characteristics
CYUSB303x-xxxx	All variants

EZ-USB™ FX3 SuperSpeed USB 认证状态

产品状态：生产

EZ-USB™ FX3 SuperSpeed USB 勘误表摘要

下表定义了可用于修订版 D EZ-USB FX3S 超高速 USB 控制器系列设备的勘误表适用性。

Items	[Part number]	Silicon revision	Fix status
1. Turning off VIO1 during Normal, Suspend, and Standby modes causes the FX3S to stop working.	CYUSB303x-xxxx	Rev. D, C, B	Workaround provided
2. USB enumeration failure in USB boot mode when FX3S is self-powered.	CYUSB303x-xxxx	Rev. D, C, B	Workaround provided
3. Extra ZLP is generated by the COMMIT action in the GPIF II state.	CYUSB303x-xxxx	Rev. D, C, B	Workaround provided
4. Invalid PID sequence in USB 2.0 ISOC data transfer.	CYUSB303x-xxxx	Rev. D, C, B	Workaround provided
5. USB data transfer errors are seen when ZLP is followed by data packet within same microframe.	CYUSB303x-xxxx	Rev. D, C, B	Workaround provided
6. Bus collision is seen when the I2C block is used as a master in the I2C multi-master configuration.	CYUSB303x-xxxx	Rev. D, C, B	Use FX3S in single-master configuration
7. Low power U1 fast-exit issue with USB3.0 host controller.	CYUSB303x-xxxx	Rev. D, C, B	Workaround provided
8. USB data corruption when operating on hosts with poor link quality.	CYUSB303x-xxxx	Rev. D, C, B	Workaround provided
9. Device treats Rx detect sequence from the USB 3.0 host as a valid U1 exit LFPS burst.	CYUSB303x-xxxx	Rev. D, C, B	Workaround provided
10. I2C data valid (tVD:DAT) specification violation at 400 kHz with a 40/60 duty cycle.	CYUSB303x-xxxx	Rev. D, C, B	No workaround needed
11. FX3S device does not respond correctly to port capability request from host after multiple power cycles.	CYUSB303x-xxxx	Rev. D, C, B	Workaround provided

1. 在“正常”，“挂起”和“待机”模式下关闭 VIO1 会导致 FX3S 停止工作。

Problem definition	Turning off the VIO1 during Normal, Suspend, and Standby modes will cause the FX3S to stop working
Parameters affected	N/A
Trigger condition	This condition is triggered when the VIO1 is turned off during Normal, Suspend, and Standby modes
Scope of impact	FX3S stops working
Workaround	VIO1 must stay on during Normal, Suspend, and Standby modes
Fix status	No fix. Workaround is required.

2. FX3S 自供电时，USB 启动模式下的 USB 枚举失败。

Problem definition	When FX3S is self-powered and not connected to the USB host, it enters low-power mode and does not wake up when connected to USB host afterwards. This is because the bootloader does not check the VBUS pin on the connector to detect USB connection. It expects that the USB bus is connected to the host when it is powered on.
Parameters affected	N/A
Trigger condition	This condition is triggered when FX3S is self-powered in USB boot mode
Scope of impact	Device does not enumerate
Workaround	Reset the device after connecting to USB host
Fix status	No fix. Workaround is required.

3. 在 GPIF II 状态下，提交操作会生成额外的 ZLP。

Problem definition	When COMMIT action is used in a GPIF-II state without IN_DATA action then an extra Zero Length Packet (ZLP) is committed along with the data packets
Parameters affected	N/A
Trigger condition	This condition is triggered when COMMIT action is used in a state without IN_DATA action
Scope of impact	Extra ZLP is generated
Workaround	Use IN_DATA action along with COMMIT action in the same state
Fix status	No fix. Workaround is required.

4. USB 2.0 ISOC 数据传输中的 PID 序列无效。

Problem definition	When the FX3S device is functioning as a high speed USB device with high bandwidth isochronous endpoints, the PID sequence of the ISO data packets is governed solely by the isomult setting. The length of the data packet is not considered while generating the PID sequence during each microframe. For example, even if a short packet is being sent on an endpoint with MULT set to 2; the PID used will be DATA2.
Parameters affected	N/A
Trigger condition	This condition is triggered when high bandwidth ISOC transfer endpoints are used
Scope of impact	ISOC data transfers failure
Workaround	This problem can be worked around by reconfiguring the endpoint with a lower isomult setting prior to sending short packets, and then switching back to the original value
Fix status	No fix. Workaround is required.

5. 当 ZLP 后面出现同一微帧内的数据包时，会出现 USB 数据传输错误。

Problem definition	Some data transfer errors may be seen if a Zero Length Packet is followed very quickly (within one microframe or 125 μ s) by another data packet on a burst enabled USB IN endpoint operating at super speed
Parameters affected	N/A
Trigger condition	This condition is triggered in SuperSpeed transfer with ZLPs
Scope of impact	Data failure and lower data speed.
Workaround	The solution is to ensure that some time is allowed to elapse between a ZLP and the next data packet on burst enabled USB IN endpoints. If this cannot be ensured at the data source, the CyU3PDmaChannelSetSuspend() API can be used to suspend the corresponding USB DMA socket on seeing the EOP condition. The channel operation can then be resumed as soon as the suspend callback is received.
Fix status	No fix. Workaround is required.

6. 当在I2C多主设备配置中将I2C模块作为一个主设备使用时，将发生总线冲突情况。

Problem definition	When FX3S is used as a master in the I ² C multi-master configuration, there can be occasional bus collisions
Parameters affected	N/A
Trigger condition	This condition is triggered only when the FX3S I ² C block operates in Multi-master configuration
Scope of impact	The FX3S I ² C block can transmit data when the I ² C bus is not idle leading to bus collision
Workaround	Use FX3S as a single master
Fix status	No fix

7. USB3.0 主机控制器的低功耗 U1 快速退出问题。

Problem definition	When FX3S device transitions from low power U1 state to U0 state within 5 μ s after entering U1 state, the device sometimes fails to transition back to U0 state, resulting in USB Reset
Parameters affected	N/A
Trigger condition	This condition is triggered during low power transition mode
Scope of impact	Unexpected USB warm reset during data transfer
Workaround	This problem can be worked around in the FW by disabling LPM (Link Power Management) during data transfer
Fix status	FW workaround is proven and reliable

8. 在链路质量较差的主机上运行时 USB 数据损坏。

Problem definition	If FX3S is operating on a USB 3.0 link with poor signal quality, the device could send corrupted data on any of the IN endpoints (including the control endpoint)
Parameters affected	N/A
Trigger condition	This condition is triggered when the USB3.0 link signal quality is very poor
Scope of impact	Data corruption in any of the IN endpoints (including the control endpoint)
Workaround	The application firmware should perform an error recovery by stalling the endpoint on receiving CYU3P_USBEPSS_RESET_EVT event, and then stop and restart DMA path when the CLEAR_FEATURE request is received. Note: SDK versions 1.3.3 and above internally manages the DMA transfers and performs the endpoint reset when potential error conditions are seen. For more details in application firmware, see the GpiftoUsb example available with SDK
Fix status	FW workaround is proven and reliable

9. 设备将来自 USB 3.0 主机的 Rx 检测序列视为有效的 U1 出口 LFPS 突发。

Problem definition	The USB 3.0 PHY in the FX3S device uses an electrical idle detector to determine whether LFPS is being received. The duration for which the receiver does not see an electrical idle condition is timed to detect various LFPS bursts. This implementation causes the device to treat an Rx Detect sequence from the USB host as a valid U1 exit LFPS burst.
Parameters affected	N/A
Trigger condition	This condition is triggered when the USB host is initiating an Rx Detect sequence while the USB 3.0 Link State Machine on the FX3S is in the U1 state. Since the host will only perform Rx Detect sequence in the RX Detect and U2 states, the error condition is seen only in cases where the USB link on the host has moved into the U2 state while the link on FX3S is in the U1 state.
Scope of impact	FX3S moves into Recovery prematurely leading to a Recovery failure followed by Warm Reset and USB re-enumeration. This sequence can repeat multiple times resulting in data transfer failures.
Workaround	FX3S can be configured to transition from U1 to U2 a few microseconds before the host does so. This will ensure that the link will be in U2 on the device side before the host attempts any Rx Detect sequence; thereby preventing a false detection of U1 exit.
Fix status	Workaround is implemented in FX3S SDK library 1.3.4 and above

10. 在频率为400 kHz、占空比为40/60的条件下，违反了I²C数据有效时间 (t_{VD:DAT}) 规范。

Problem definition	I ² C Data Valid (t _{VD:DAT}) parameter at 400 kHz with a 40/60 duty cycle is 1.0625 μs, which exceeds the I ² C specification limit of 0.9 μs.
Parameters affected	N/A
Trigger condition	This violation occurs only at 400 kHz with a 40/60 duty cycle of the I ² C clock
Scope of impact	Setup time (t _{SU:DAT}) is met with a huge margin for the transmitted data for 400 kHz and so t _{VD:DAT} violation will not cause any data integrity issues
Workaround	No workaround needed
Fix status	No fix needed

11. FX3S 设备在多个电源循环后未正确响应来自主机的端口功能请求。

Problem definition	During multiple power cycles, sometimes the FX3S device does not respond correctly to the Port Capability request (Link Packet) from the USB Controller. In view of this, FX3S does not get the subsequent Port Configuration request from the USB controller, resulting in SS.Disabled state. The device fails to recover from this state and finally results in enumeration failure.
Parameters affected	N/A
Trigger condition	This condition is triggered when the FX3S provides an incorrect response to the Port Capability request from the host
Scope of impact	Device fails to enumerate after multiple retries
Workaround	Since the host does not send the Port Configuration request to the FX3S device, it causes a Port Configuration request timeout interrupt to be triggered in the device. This interrupt is handled in the FX3 SDK 1.3.4 onwards to generate and signal CY_U3P_US-B_EVENT_LMP_EXCH_FAIL event to the application. This event should be handled in the user application such that it does a USB Interface Block Restart. See the KBA225778 for more details and the firmware workaround example project.
Fix status	Suggested firmware work-around is proven and reliable

修订记录

修订记录

Document revision	Date	Description of changes
**	2012-12-06	New datasheet.
*A	2013-02-11	Updated Ordering information : Updated part numbers.
*B	2013-06-20	Updated Ordering information : Updated part numbers. Updated to new template.
*C	2013-09-23	Replaced CYUSB3035 with CYUSB303x in all instances across the document. Updated Features : Updated description. Updated Applications : Updated description. Updated Functional overview : Updated description. Updated Storage port (S-Port) : Updated description.
*D	2015-01-07	Updated Functional description : Added "For a complete list of related resources, click here ." at the end. Added More information .
*E	2015-09-18	Updated AC timing parameters : Updated Slave FIFO interface : Updated Synchronous slave FIFO sequence description : Updated description. Updated Figure 24 . Updated Synchronous slave FIFO write sequence description : Updated description. Updated Figure 25 . Updated Table 21 .
*F	2016-01-14	No technical updates. Completing Sunset Review.
*G	2017-05-04	Updated Package diagram : spec 001-54471 – Changed revision from *D to *E. Updated to new template.
*H	2018-02-20	Updated More information : Removed CYUSB3KIT-001 Kit related information. Updated Package diagram : spec 001-54471 – Changed revision from *E to *F. Added Errata .
*I	2018-09-29	Updated Features : Updated description. Updated More information : Updated description. Updated Functional overview : Updated description. Updated USB interface : Removed "EZ-Dtect". Updated Carkit UART mode : Updated Figure 5 .

修订记录

Document revision	Date	Description of changes
*I (cont.)	2018-09-29	<p>Updated Other interfaces: Updated I2S interface: Updated description. Updated Boot options: Updated description. Updated Power: Updated description. Updated Table 6. Updated Pinouts: Updated Figure 11. Updated Pin description: Updated Table 7. Updated Table 9. Updated Electrical specifications: Updated DC specifications: Updated Table 11. Added Table 12. Added Thermal characteristics. Updated AC timing parameters: Added GPIF II lines AC characteristics at 100 MHz. Added GPIF II PCLK Jitter characteristics. Updated GPIF II timing: Updated Table 16: Changed maximum value of t_{CO} parameter from 8 ns to 7 ns. Updated Slave FIFO interface: Updated Synchronous slave FIFO sequence description: Updated description. Updated Synchronous slave FIFO write sequence description: Updated Table 21: Changed maximum value of t_{CO} parameter from 8 ns to 7 ns. Updated Errata: Updated description. Updated EZ-USB™ FX3 SuperSpeed USB errata summary: Updated description. Updated details in “Silicon Revision” column for all items in the table. Added items “Low Power U1 Fast-Exit Issue with USB3.0 host controller.”, “USB data corruption when operating on hosts with poor link quality”, “Device treats Rx Detect sequence from the USB 3.0 host as a valid U1 exit LFPS burst.”, “I²C Data Valid (tVD:DAT) specification violation at 400 kHz with a 40/60 duty cycle.” and their corresponding details in the table. Updated to new template.</p>

修订记录

Document revision	Date	Description of changes
*J	2018-12-13	<p>Updated Pin description: Updated Table 9. Updated Errata: Updated EZ-USB™ FX3 SuperSpeed USB errata summary: Updated description. Added item “FX3S Device does not respond correctly to Port Capability Request from Host after multiple power cycles.” and its corresponding details in the table. Completing Sunset Review.</p>
*K	2023-03-21	<p>Updated to Infineon template Updated Logic block diagram Updated Table 2 Updated and added a note for Table 8 Removed obsolete part numbers from Table 28</p>



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-10-30

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。