

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

EZ-USB™ FX3S SuperSpeed USB 控制器

特性

- 通用串行总线 (USB) 集成
 - USB 3.0 和 USB 2.0 外设符合 USB 3.0 规范版本 1.0
 - 5 Gbps USB 3.0 PHY 符合 PIPE 3.0
 - 高速 On-The-Go (HS-OTG) 主机和外设符合 OTG 补充标准版本 2.0
 - 具有 32 个物理端点
- 通用可编程接口 (GPIF™ II)
 - 可编程的 100 MHz GPIF II 能连接多种类型的外部器件
 - 包含 8 位和 16 位的数据总线
 - 多达 16 种可配置的控制信号
- 支持大容量存储
 - SD 3.0 (SDXC) UHS-1
 - eMMC 4.41
 - 两个端口可支持大小多达 2 TB 的存储卡。
 - 对 RAID0 和 RAID1 提供内置 RAID 支持
- 使用两个安全数字 I/O (SDIO 3.0) 端口扩展系统 I/O
- 支持附加的 USB 储存 (UAS)、USB 大容量存储类别 (MSC)、人机界面设备 (HID)、全速外设以及 Turbo-MTP™
- 无障碍访问 32 位 CPU
 - 运行频率为 200 MHz 的 ARM926EJ 内核
 - 大小分别为 512 KB 或 256 KB 的嵌入式 SRAM
- 另外, 还可连接下列外设
 - 频率为 1 MHz 的 I²C 主控制器
 - 采样频率为 8 kHz、16 kHz、32 kHz、44.1 kHz、96 kHz 和 192 kHz 的 I2S 主设备 (仅用于发送器)
 - 支持速度高达 4 Mbps 的 UART
 - 频率为 33 MHz 的 SPI 主设备
- 多种时钟输入频率可供选择
 - 19.2、26、38.4 和 52 MHz
 - 支持 19.2 MHz 的晶振输入

- 内核断电模式下功耗超低
 - 打开 VBATT 时, 电流消耗低于 60 µA
 - 2 关闭 VBATT 时, 电流消耗低于 20 µA
- 内核和 I/O 各有独立的供电区域
 - 内核的工作电压为 1.2 V
 - I2S、UART 和 SPI 的工作电压为 1.8 到 3.3 V
 - I²C 的工作电压为 1.2 V
- 10 mm × 10 mm, 0.8 mm 间距 (pitch) 无铅球栅阵列 (BGA) 封装
- 通过 EZ-USB™ 软件和开发套件 (DVK), 可轻松进行代码开发

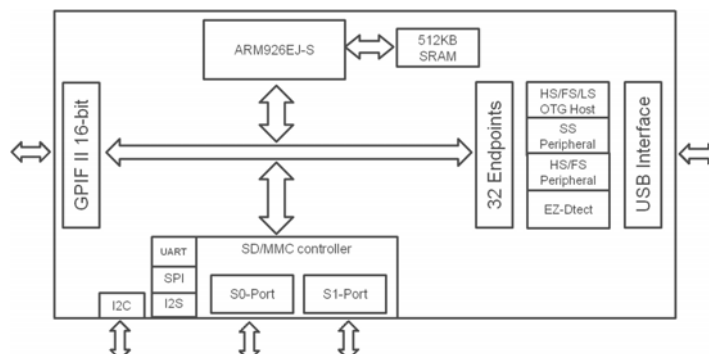
应用

- 数字视频摄录机
- 数字摄像机
- 打印机
- 扫描仪
- 视频采集卡
- 测试和测量设备
- 监控摄像机
- 个人导航设备
- 医疗成像设备
- 视频 IP 电话
- 便携式媒体播放器
- 工业摄像机
- RAID 控制器
- 模块上的 USB 磁盘

功能描述

请点击[这里](#), 了解完整的相关资料

逻辑框图



更多信息

赛普拉斯在 www.cypress.com 上提供了详尽的数据，可以为您的设计方案选择正确的器件；同时也可以帮助您快速而有效的将我们的器件集成进入您的设计方案。

- 概述: [USB 组合](#) , [USB 路线图](#)
- USB 3.0 产品选择器: [FX3](#), [FX3S](#), [CX3](#), [HX3](#)
- 应用笔记: 赛普拉斯提供了大量的 USB 应用笔记, 涵盖从基本到高级水平范围广泛的话题。以下是开始使用 FX3 的推荐的应用笔记:
 - [AN75705](#) – 开始使用 EZ-USB FX3
 - [AN76405](#) – EZ-USB FX3 启动选择
 - [AN70707](#) – EZ-USB FX3/FX3S 硬件设计指南以及原理图清单
 - [AN65974](#) – 使用 EZ-USB FX3 从设备 FIFO 接口进行设计
 - [AN75779](#) – 在 USB 视频类 (UVC) 框架中, 如何利用 EZ-USB FX3 实现图像传感器接口
 - [AN86947](#) – 使用 EZ-USB FX3 优化 USB 3.0 吞吐量
 - [AN84868](#) – 使用赛普拉斯 EZ-USB FX3 通过 USB 配置 FPGA
 - [AN68829](#) – EZ-USB FX3 的从属 FIFO 接口: 5 位地址模式
 - [AN73609](#) – EZ-USB FX2LP/FX3 在 Linux 上的开发批量循环
- [AN77960](#) – EZ-USB FX3 高速 USB 主机控制器介绍
- [AN76348](#) – EZ-USB FX3 和 FX2LP 应用中的差异化设计
- [AN89661](#) – 使用 EZ-USB FX3S 实现 USB RAID 1 磁盘设计
- 程序示例:
 - [高速 USB](#)
 - [全速 USB](#)
 - [超高速 USB](#)
- 技术参考手册 (TRM):
 - [EZ-USB FX3 技术参考手册](#)
- 开发套件:
 - [CYUSB3KIT-003](#), EZ-USB FX3 超高速资源管理工具包
- Models: [IBIS](#)

EZ-USB FX3 软件开发套件

赛普拉斯为 FX3 提供完整的软件和固件堆栈, 以便将超高速 USB 轻松集成到任何嵌入式应用程序中。[软件开发工具包 \(SDK\)](#) 附带了工具, 驱动程序和应用程序示例, 有助于加速应用程序开发。

GPIO™ II 设计器

[GPIO II 设计器](#) 是一个图形软件, 设计人员可以配置 EZ-USB FX3 USB 3.0 设备控制器的 GPIO II 接口。

该工具允许用户从赛普拉斯提供的五个接口中选择一个, 或者从头开始创建自己的 GPIO II 接口。此外赛普拉斯提供了行业标准接口, 如异步和同步从属 FIFO, 异步和同步 SRAM 以及异步 SRAM。在系统中已经具有这些预定义接口之一的设计者可以简单地选择这些接口, 从诸如总线宽度 (x8,16, x32) 的永久性, 时钟设置, 编译接口。该工具为需要定制界面的用户精简了三步 GPIO 界面开发流程。用户可以先选择他们的引脚配置和标准参数。然后, 他们可以使用可配置动作来设计虚拟状态机。最后, 用户可以查看输出时钟信号来验证它是否与预期的时钟匹配。一旦三步过程完成, 接口就可以编译并与 FX3 集成。

目录

功能概述	4	配置选项	15
应用示例	4	数字 I/O	15
USB 接口	5	通用输入 / 输出 (GPIO) 数目	15
OTG	5	系统电平 ESD	15
重新枚举	6	引脚分布	15
VBUS 过电压保护	6	引脚说明	16
Carkit UART 模式	6	电气规范	20
主机处理器接口 (P 端口)	7	最大绝对额定值	20
GPIF II	7	运行条件	20
从设备 FIFO 接口	7	直流规范	20
异步 SRAM	7	热特性	22
异步地址 / 数据复用式接口	7	交流电时序参数	22
同步 ADMux 接口	8	GPIF II 线路的交流特性为 100 MHz	22
处理器 MMC (PMMC) 从设备接口	8	GPIF II PCLK 抖动特性	22
CPU	9	GPIF II 时序	23
存储端口 (S 端口)	9	异步 SRAM 时序	26
SD/MMC 时钟停止	9	用于异步访问的 ADMux 时序	29
SD_CLK 输出时钟停止	9	同步 ADMux 时序	31
插入及移除存储卡检测	9	从设备 FIFO 接口	34
写保护 (WP)	9	异步从设备 FIFO 读序列说明	36
SDIO 中断	9	异步从设备 FIFO 写序列说明	37
SDIO 读取 — 等待特性	9	存储端口时序	40
JTAG 接口	10	串行外设时序	43
其他接口	10	复位序列	48
UART 接口	10	封装图	49
I2C 接口	10	订购信息	50
I2S 接口	10	订购代码定义	50
SPI 接口	10	缩略语	51
引导选项	11	文档规范	51
复位	11	测量单位	51
硬复位	11	勘误表	52
软复位	11	限制条件状态	52
时钟	12	勘误表摘要	52
32 kHz 看门狗定时器时钟输入	12	文档修订记录页	58
电源	13	销售、解决方案和法律信息	59
功耗模式	13		

功能概述

赛普拉斯 EZ-USB FX3S 是新一代 USB 3.0 外设控制器，可提供集成和灵活的功能。FX3S 具有一个完全可配置的并行通用可编程接口 GPIF II，它能够与任何处理器、ASIC 或 FPGA 连接。GPIF II 是赛普拉斯旗舰 USB 2.0 产品 FX2LP 中所使用 GPIF 的改进版本。它可轻松无缝地连接到多种常用接口，比如异步 SRAM、异步和同步地址数据复用式接口以及并行 ATA。FX3S 集成了 USB3.0 和 USB2.0 物理层 (PHY) 以及 32 位 ARM926EJ-S 微处理器，因此具有强大的数据处理能力，并可用于构建自定义应用。本产品采用了一种架构，使从 GPIF II 到 USB 接口的数据传输速度可达 185 MBps。

FX3S 集成了一个存储控制器，并且支持其存储端口上两个独立的大容量存储器。它也支持 SD 3.0 和 eMMC 4.41 存储卡。并且这些端口还支持 SDIO 功能。FX3 在 SD 或 eMMC 具有可支持 RAID 0 和 RAID 1 的内置 RAID。

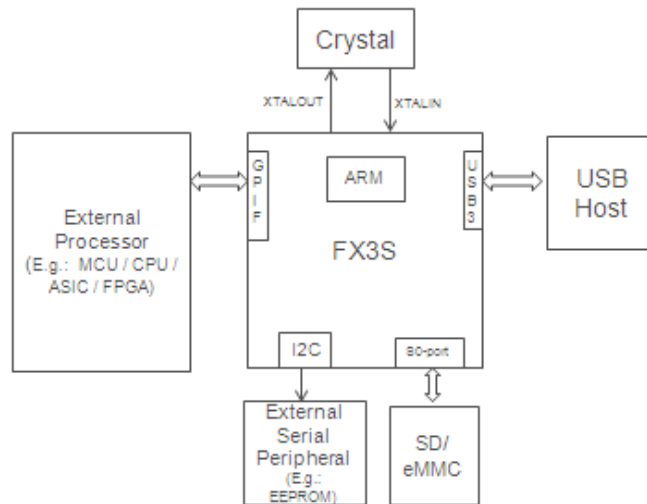
FX3 内部具有一个集成的 USB 2.0 OTG 控制器，这可以使 FX3 在某些应用中扮演两个角色。例如，在一个应用中，EZ-USB FX3S 可以作为 OTG 主机控制 MSC 设备，同时可以作为 HID 设备。FX3S 具有大小为 512 KB 或 256 KB 的片上 SRAM，用于存储代码和数据。EZ-USB FX3 还具有可连接至 UART、SPI、I²C 和 I2S 等串行外设的接口。FX3S 带有应用开发工具。软件开发套件中带有应用示例，从而能够加快产品的上市时间。

FX3S 符合 USB 3.0 v1.0 规范，并可向下与 USB 2.0 相兼容。它还符合 USB 2.0 OTG 规范 v2.0。

应用示例

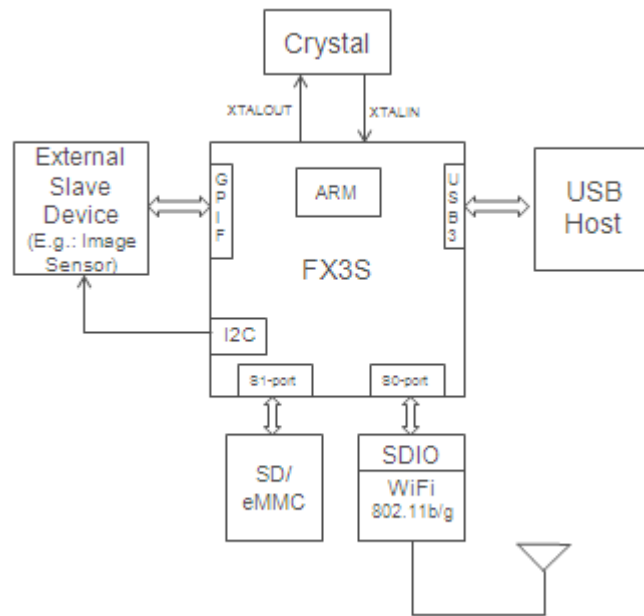
在典型应用中 (请参阅图 1)，FX3S 充当协处理器并连接到外部处理器，后者管理系统级功能。图 2 显示了 FX3S 充当主处理器时的典型应用图。

图 1. EZ-USB FX3S 作为协处理器



注释:

1. 假设 GPIF II 是针对 16 位的数据总线进行配置 (仅适用于一些器件型号; 请参考第 50 页上的订购信息), 同步接口的运行频率为 100 MHz。该数字还包含协议开销。

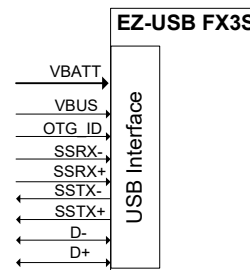
图 2. EZ-USB FX3S 作为主处理器


USB 接口

FX3S 与下面的规范兼容，同时支持下面各性能：

- 支持符合 USB 3.0 规范版本 1.0 的 USB 外设功能，并可向下与 USB 2.0 规范相兼容。
- 符合 OTG 补充标准版本 2.0。它支持高速、全速和低速 OTG 双角色器件功能。作为一个外设，FX3S 能够执行超高速、高速以及全速的数据传输。作为主机，它能够实现高速、全速以及低速传输功能。
- 按照 CEA-936A 规格，在 USB D+/D- 行上支持 CarKit Pass-through UART 功能。
- 支持多达 16 个输入端点和 16 个输出端点。
- 支持 USB 3.0 的流特性。它还支持 USB 连接的 SCSI (UAS) 器件类别，能优化大容量存储性能。
- 作为 USB 外设时，FX3S 支持 UAS、USB 视频类别 (UVC)、大容量存储类别 (MSC) 和媒体传输协议 (MTP) 等 USB 外设类别。当完全由器件外部的处理器进行处理时，本产品作为 USB 外设仅在接通模式支持所有其他类型的器件。
- 作为 OTG 主机时，FX3S 支持 MSC 和 HID 等器件类别。

注意：当 USB 端口未被占用时，可禁用 PHY 和收发器以降低功耗。

图 3. USB 接口信号


OTG

FX3S 符合 OTG 规范版本 2.0。在 OTG 模式下，FX3S 支持 A 器件模式和 B 器件模式，并支持数据的控制传输、中断传输、批量传输和同步传输。

在 OTG A 器件模式下，FX3S 需要外部电荷泵（独立或 PMIC 集成）给 VBUS 供电。

实现 OTG 主机的目标外设类别列表中包括 MSC 和 HID 类器件。

FX3S 不支持连接检测协议 (ADP)

OTG 连接

在 OTG 模式下，可以将 FX3S 配置为支持 A、B 或双角色器件。它可以与下面各项进行连接：

- ACA 器件
- 目标 USB 外设
- 具有 SRP 功能的 USB 外设
- 具有 HNP 功能的 USB 外设
- OTG 主机
- 具有 HNP 功能的主机
- OTG 器件

重新枚举

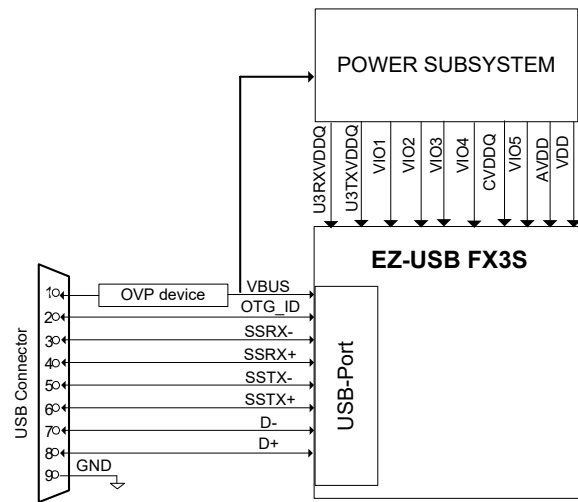
由于 FX3S 为软配置，因此一个芯片具有多个不同的 USB 器件特征。

首次插入 USB 时，FX3S 将自动枚举赛普拉斯供货商 ID (0x04B4)，并通过 USB 接口下载固件和 USB 描述符。下载的固件可执行电力断开和电力连接操作。之后，CX3 会作为下载信息定义的器件再次进行枚举。这个专有的两步流程，称作重新枚举，在器件插入时即时发生。

VBUS 过电压保护

FX3S 的 VUSB 引脚上的最大输入电压为 6 V。在 VBUS 上，充电器可以提供高达 9 V 的电压。在这种情况下，需要使用外部过压保护 (OVP) 设备来保护 FX3S 在 VBUS 上免受损坏。图 4 显示了在 VBUS 上连接了 OVP 设备的系统应用程序图。请参见[直流感范表](#)，了解 VBUS 和 VBATT 的工作电压范围。

图 4. VBUS 所用 OVP 器件的系统图



Carkit UART 模式

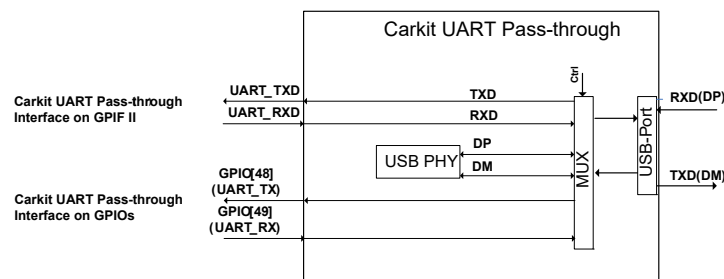
USB 接口支持 Carkit UART 模式 (D+/D- 上的 UART)，以实现非 USB 串行数据传输。该模式遵循 CEA-936A 规范。

在 Carkit UART 模式下，输出信号电压为 3.3 V。配置为 Carkit UART 模式时，UART 的 TXD (输出) 将映射到 D- 行，UART 的 RXD (输入) 将映射到 D+ 行。

在 Carkit UART 模式下，FX3S 将禁用 USB 收发器，而 D+ 和 D- 引脚将作为通过引脚连接至主机处理器的 UART 上。Carkit UART 信号可以连接到 GPIF II 接口，或连接到 GPI/O[48] 和 GPI/O[49]，如图 5 中所示。

在该模式下，FX3S 支持高达 9600 bps 的数据速率。

图 5. Carkit UART Pass-through 框图



主机处理器接口 (P 端口)

通过一个可配置接口, FX3S 可以同多种器件 (如传感器、FPGA、主机处理器或桥接芯片) 进行通信。FX3S 支持下述各 P 端口接口。

- GPIF II (16 位)
 - 从设备 FIFO 接口
 - 16 位异步 SRAM 接口
 - 16 位异步地址 / 数据复用式 (ADMux) 接口
 - 16 位同步地址 / 数据复用式 (ADMux) 接口
 - 与 MMC 系统规范、MMCA 技术委员会标准版本 4.2 以及 eMMC 4.3 和 4.4 Pass-Through 引导相兼容的处理器 MMC 从设备接口
- 下面各节内容对这些 P 端口的接口进行了介绍。

GPIF II

高性能的 GPIF II 接口与 FX2LP 的 GPIF 和从设备 FIFO 接口的功能相似, 但其功能更先进。

GPIF II 是一种可编程状态机, 其所启用的灵活接口可用作工业标准或专用接口中的主设备或从设备。并行和串行接口均可通过 GPIF II 实现。

下面列出的是 GPIF II 的特性:

- 可作为主设备和从设备使用
- 提供 256 种固件可编程状态
- 支持 8 位和 16 位的并行数据总线
- 接口的工作频率可高达 100 MHz
- 使用一个 16/8 位数据总线时, 支持 16 个可配置控制引脚。所有控制引脚可作为输入 / 输出或双向引脚使用。

GPIF II 的状态切换根据控制输入信号发生。控制输出信号是 GPIF II 状态转换所得到的结果。INT# 输出信号可由 GPIF II 控制。请参考 GPIFII Designer 工具的信息。GPIF II 状态机的行为取决于 GPIF II 描述符。设计 GPIF II 描述符, 使其符合所需接口的规范。大小为 8 kB 的存储器 (独立于 512 kB 的嵌入式 SRAM) 专用于 GPIF II 波形, 其中 GPIF II 描述符以特殊规格被存储。

赛普拉斯的 GPIF II Designer 工具可实现 GPIF II 描述符的快速开发, 并且包含了常用接口的示例。

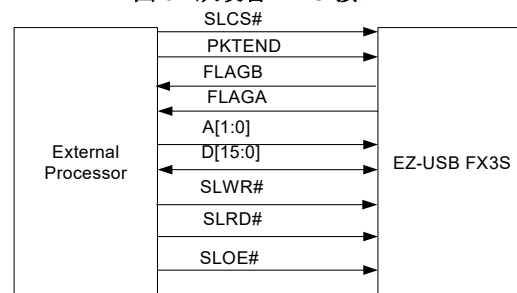
GPIF II 的实现示例为异步和同步从设备 FIFO 接口。

从设备 FIFO 接口

从设备 FIFO 接口信号如图 6 中所示。该接口允许外部处理器直接访问多达 4 个 FX3S 内部缓冲区。有关从设备 FIFO 接口的详细信息, 请参阅第 34 页。

注意: 本产品也支持通过从设备 FIFO 接口访问所有 32 个缓冲区。如想了解详细信息, 请联系赛普拉斯应用支持。

图 6. 从设备 FIFO 接口



Note: Multiple Flags may be configured.

异步 SRAM

该接口包括了标准的异步 SRAM 接口信号, 如图 7 中所示。该接口用于访问 FX3S 的配置寄存器和缓冲存储器。异步接口信号支持单周期访问和突发访问。

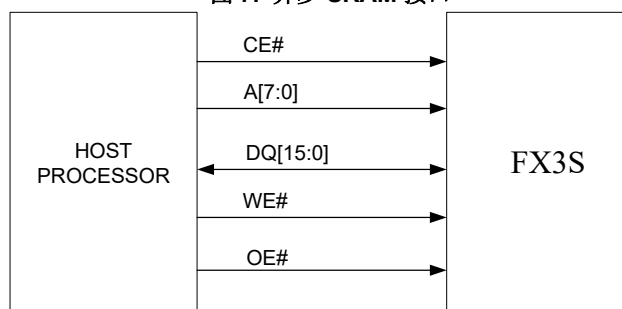
通过最高有效地址位 A[7] 决定访问配置存储器还是访问缓冲存储器。当通过激活地址位 A[7] 来选择访问配置寄存器时, 地址总线位 A[6:0] 会指向某个配置寄存器。当解除激活位 A[7] 时, 缓冲存储器会按照 P 端口 DMA 传输寄存器所指示的内容进行访问, 其传输大小是由 P 端口 DMA 传输大小寄存器指定的。

配有 DMA 控制器的应用处理器在 DMA 传输过程中使用了地址自动递增性能, 通过将应用处理器的任何高阶地址线 (如 A[15]/A[23]/A[31]) 连接到 FX3S 的 A[7], 可以覆盖它。

在异步 SRAM 模式下, 当读取缓冲存储器时, FX3S 可支持两个读取缓冲区中下一个数据的方法。在 OE# 的上升沿上读取下一个数据, 也可以通过切换最低有效地址位 A[0] 来读取它。

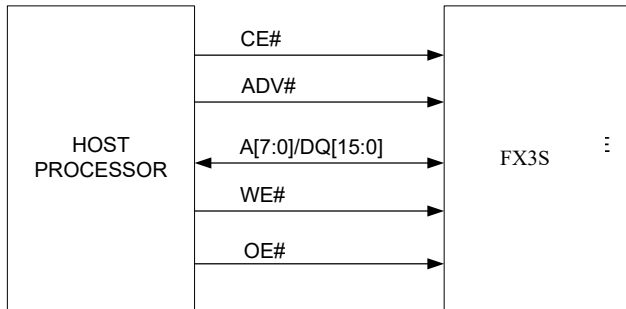
在该模式下, P 端口接口以最小的 32.5 ns 访问周期运行, 但是可提供数据速率高达 61.5 MB/s 的接口。

图 7. 异步 SRAM 接口



异步地址 / 数据复用式接口

图 8 显示的是物理 ADMux 存储器接口所包括的各种信号。该接口支持处理器实现复用式地址 / 数据总线。

图 8. ADMux 存储器接口


FX3S 的 ADMux 接口支持 16 位分时复用式地址/数据 SRAM 总线。进行读操作时，需要激活 **CE#** 和 **OE#**。

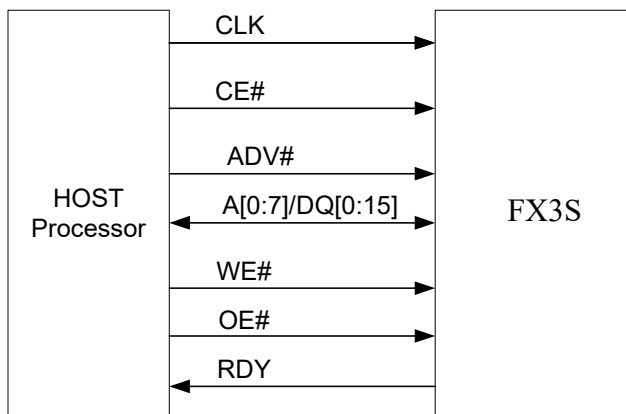
进行写操作时，则要激活 **CE#** 和 **WE#**。在写入操作（即写周期的地址和数据阶段）中，**OE#** 的状态无关紧要。在 **WE#** 或 **CE#** 上升沿上，先到的输入数据被锁存。在进行写操作前，通过切换地址有效位 (**ADV#**) 来锁存地址。在写操作的地址阶段中，激活地址有效位 (**ADV#**)，如第 29 页上的图 19 中所示。

在读 / 写操作的地址阶段内，必须将 **ADV#** 置于低电平。在读 / 写操作的数据阶段内，则必须将 **ADV#** 置于高电平，如第 29 页上的图 18 和第 29 页上的图 19 中所示。

同步 ADMux 接口

FX3S 的 P 端口支持异步地址 / 数据复用式接口。它的运行频率高达 100 MHz，并且支持 16 位数据总线。

来自 FX3S 器件的 **RDY** 输出信号表示数据已就绪进行读取传输，并且已得到确认，可对其进行写操作。

图 9. 同步 ADMux 接口


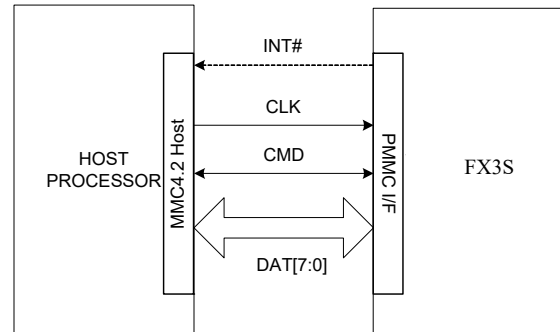
请参见同步 ADMux 接口时序图，了解详情。

处理器 MMC (PMMC) 从设备接口

FX3S 支持 P 端口上的 MMC 从设备接口。该接口被称为“PMMC”，用以同 S 端口上的 MMC 接口区分开来。

图 10 介绍了用于连接到主机处理器的信号。

PMMC 接口的 **GO_IRQ_STATE** 指令运行 FX3S 能够与异步事件进行通信，且不需要 **INT#** 信号。可选择是否使用 **INT#** 信号。

图 10. PMMC 接口配置


MMC 从设备接口的特性如下所述：

- 接口的操作与 MMC 系统规范、MMCA 技术委员会标准版本 4.2 相兼容。
- 支持从连接到 S 端口的 eMMC 器件引导。为 eMMC 器件提供该特性，可使它能在高达 52 MHz 的单倍数据速率 (SDR) 下运行。
- 支持 PMMC 接口在电压范围为 1.7 V ~ 1.95 V 和 2.7 V ~ 3.6 V 内运行。
- 支持 **CMD** 引脚上的开漏（驱动级接收开漏信号），允许将 **GO_IRQ_STATE** (CMD40) 应用于 PMMC。
- 接口的时钟频率范围为：0 ~ 52 MHz。
- 支持 1 位、4 位或 8 位的操作模式。这种配置取决于 MMC 初始化流程。
- FX3S 对 MMC 4.2 从设备特定的标准初始化阶段的指令做出响应。
- PMMC 模式 MMC 4.2 指令的类别包括：类 0 (基本)、类 2 (模块读取)、类 4 (模块写入)、类 9 (I/O)。

FX3S 支持下面各 PMMC 指令：

- 类 0：基本类型
 - CMD0、CMD1、CMD2、CMD3、CMD4、CMD6、CMD7、CMD8、CMD9、CMD10、CMD12、CMD13、CMD15、CMD19、CMD5 (唤醒支持)
- 类 2：模块读取
 - CMD16、CMD17、CMD18、CMD23
- 类 4：模块写入
 - CMD16、CMD23、CMD24、CMD25
- 类 9：I-O
 - CMD39、CMD40

CPU

FX3S 配有一个片上 32 位 200 MHz ARM926EJ-S 的内核 CPU。该内核能直接访问 16 kB 指令紧密连接存储器 (TCM) 和 8 kB 数据 TCM。ARM926EJ-S 内核还为固件调试提供了 JTAG 接口。

FX3S 具有下面各优点：

- 集成了存储代码和数据的 512 KB 嵌入式 SRAM，以及 8 KB 的指令缓存和数据缓存。
- 能在多种外设 (如 USB、GPIF II、I²S、SPI、UART) 间实现高效灵活的 DMA 连接。固件只需配置外设间数据访问，这些外设随后由 DMA 结构进行管理。
- 适用于面向 ARM926EJ-S 的行业标准开发工具，可轻松开发应用。

赛普拉斯 EZ-USB FX3S 开发套件中包含 FX3S 固件示例。赛普拉斯 EZ-USB FX3S 软件开发套件中还有可移植到外部处理器的软件 API。

存储端口 (S 端口)

FX3S 具有两个独立的存储端口 (S0 端口和 S1 端口)。两个存储端口都支持下面规范：

- MMC 系统规范、MMCA 技术委员会，版本 4.41
- SD 规范，版本 3.0
- 符合 SDIO 规范版本 3.00 的 SDIO 主处理器

两个存储端口都支持下面特性：

SD/MMC 时钟停止

如果接收来自 SD/MMC/SDIO 的数据时内部缓冲区已满，则 FX3S 允许停止时钟，这样可以节约功耗。

SD_CLK 输出时钟停止

传输数据过程中，可以使用内部流控制机制来使能 (打开) 或禁用 (停止) SD_CLK 时钟。

使用来自系统时钟的时钟分频器可以动态配置 SD_CLK 输出频率。用户通过寄存器可选择时钟分频值。例如，可以配置得到下面各频率：

- 400 kHz – 适用于 SD/MMC 卡的初始化
- 20 MHz – 适用于频率为 0 ~ 20 MHz 的存储卡
- 24 MHz – 适用于频率为 0 ~ 26 MHz 的存储卡
- 48 MHz – 适用于频率为 0 ~ 52 MHz 的存储卡
(当输入到 FX3S 的时钟频率为 19.2 MHz 或 38.4 MHz 时，那么 SD_CLK 时钟可支持 48 MHz 的频率)
- 52 MHz – 适用于频率为 0 ~ 52 MHz 的存储卡
(当输入到 FX3S 的时钟频率为 26 MHz 或 52 MHz 时，SD_CLK 时钟上会支持 52 MHz 频率)

- 100 MHz – 适用于频率为 0 ~ 100 MHz 的存储卡

如果选中了 DDR 模式，则会在 SD 时钟的两个边沿上为数据提供时钟脉冲。DDR 时钟能以高达 52 MHz 的速度运行。

插入及移除存储卡检测

FX3S 支持双卡插入和移除检测机制。

- SD_D[3] 数据的使用情况：在系统设计过程中，必须使该信号通过一个大小为 470 k Ω 的下拉电阻输送给 SD_D[3]。SD 卡具有一个大小为 10 k Ω 的内部上拉电阻。从 SD/MMC 连接器插入或移除存储卡时，将改变 SD_D[3] 引脚上的电压并触发 CPU 中断。早期 MMC 卡不支持该卡检测机制。

- S0/S1_INS 引脚的使用情况：某些 SD/MMC 连接器为微动的开关提供便利条件，利于存储卡的插入 / 移除检测。该微动开关会连接到 S0/S1_INS。当您从 SD/MMC 连接器插入或移除存储卡时，它将打开或关闭此微动开关。这样会使触发 CPU 中断的引脚上的电压电平发生变化。假设用于卡检测的微动开关极性和用于写检测的相同。如果电压变为低电平，则表示已经插入了存储卡。两个 S 端口共用 S0/S1_INS 引脚。通过寄存器配置可确定将使用该引脚的端口。此引脚被映射到 S1VDDQ 电压；如果 S0VDDQ 和 S1VDDQ 的电压电平不同，此引脚不能作为 S1_INS 引脚使用。

写保护 (WP)

使用 S 端口上的 S0_WP/S1_WP (SD 写保护) 连接至 SD/MMC 卡连接器的 WP 微动开关。该引脚被内连到 CPU 可访问的 GPIO 上，这样固件才能够检测 SD 卡的写保护。

SDIO 中断

支持如 SDIO 规范版本 2.00 (2007 年 01 月 30 日) 中所指定的 SDIO 中断功能。

SDIO 读取 — 等待特性

FX3S 支持 SDIO 规范版本 2.00 (2007 年 01 月 30 日) 中所定义的读取 - 等待以及挂起 - 恢复特性。

JTAG 接口

FX3S 的 JTAG 接口包含一个标准的 5 引脚接口，用于连接 JTAG 调试器。该调试器可通过 CPU 内核的片上调试电路来调试固件。

ARM926EJ-S 内核的这些业界标准调试工具，可用于 FX3S 应用开发。

其他接口

FX3S 支持下列串行外设：

- UART
- I²C
- I²S
- SPI

SPI、UART 和 I²S 接口可复用到串行外设端口。

UART 接口

FX3S 的 UART 接口支持全双工通信。其中包含表 1 中所说明的信号。

表 1. UART 接口信号

信号	说明
TX	输出信号
RX	输入信号
CTS	流量控制
RTS	流量控制

UART 支持各种波特率，从 300 bps 到 4608 Kbps，可通过固件进行选择。如果使能了流控制，那么只有激活 CTS 输入时，FX3S

的 UART 才会发送数据。此外，当就绪接收数据时，FX3S 的 UART 会设置 RTS 输出信号。

I²C 接口

FX3S 的 I²C 接口符合 I²C 总线规范修版本 3。该 I²C 接口只能作为 I²C 主设备使用，因此，会使用它与其他 I²C 从设备进行通信。例如，FX3S 可从连接至 I²C 接口的 EEPROM 引导，它是可选的引导选项。

FX3S 的 I²C 主设备控制器也支持多主控模式功能。

I²C 接口采用 VIO5 供电，该电压独立于其他串行外设。这样，I²C 接口可以灵活地在不相同的电压下工作，这一点不同于其他串行接口。

I²C 控制器所支持的总线频率为 100 kHz、400 kHz 和 1 MHz。当 VIO5 为 1.2 V 时，受支持的最大工作频率为 100 kHz。当 VIO5 为 1.8 V、2.5 V 或 3.3 V 时，受支持的工作频率为 400 kHz 和 1 MHz。I²C 控制器支持时钟延长性能，从而允许较慢器件实现流控制。

I²C 接口的 SCL 和 SDA 信号都要求外部上拉电阻。上拉电阻必须连接到 VIO5。

I²S 接口

FX3S 具有 I²S 端口，用于支持外部音频解码器件。FX3S 可作为 I²S 主设备（仅作为发送器）。I²S 接口包括四种信号：时钟行 (I2S_CLK)、串行数据行 (I2S_SD)、单字选择行 (I2S_WS) 和主时钟系统时钟 (I2S_MCLK)。FX3S 可在 I2S_MCLK 上生成系统时钟输出，或在 I2S_MCLK 上接受外部系统时钟输入。

I²S 接口支持的采样频率为 32 kHz、44.1 kHz 和 192 kHz。

SPI 接口

FX3S 支持串行外设端口上的 SPI 主设备接口。最高的工作频率为 33 MHz。

SPI 控制器支持四种使用启动 - 停止时钟信号的 SPI 通信模式（请参见第 46 页上的 SPI 时序规范，了解有关各模式的详细信息

引导选项

FX3S 可从多个源加载引导镜像文件，源可通过 PMODE 引脚配置来选择。FX3S 引导选项如下：

- 从 USB 引导
- 从 I²C 引导
- 从 SPI 引导
 - 已支持的 Cypress SPI Flash 元件，有 S25FS064S (64-Mbit), S25FS128S (128-Mbit) and S25LFL064L (64-Mbit)
 - W25Q32FW (32-Mbit) 也有支持
- 从 eMMC (S0 端口) 引导
- 从 GPIF II 异步 ADMux 模式引导
- 从 GPIF II 同步 ADMux 模式引导
- 从 GPIF II 异步 SRAM 模式引导
- 从 PMMC (P 端口) 引导

表 2. FX3S 引导选项

PMODE[2:0] ^[2]	启动自
F00	同步 ADMux (16 位)
F01	异步 ADMux (16 位)
F10	PMMC 旧版
F11	USB 引导
F0F	异步 SRAM (16 位)

表 2. FX3S 引导选项 (续表)

PMODE[2:0] ^[2]	启动自
F1F	I ² C，如失败，则使能 USB 引导
1FF	仅使用 I ² C
0F1	SPI，如失败，则使能 USB 引导
000	S0 端口 (eMMC)，如果失败，则使能 USB 引导
100	S0 端口 (eMMC)

复位

硬复位

通过激活 FX3S 上的 RESET# 引脚来初始化硬复位。复位序列和时序的具体要求详见第 48 页上的图 31 和第 48 页上的表 27。在硬复位的时间段内，所有的 I/O 均为三态的。

软复位

在软复位中，处理器将设置 PP_INIT 控制寄存器中的相应位。软复位有两种类型：

- CPU 复位 — 复位 CPU 程序计数器。CPU 复位后无需重新加载固件。
- 全器件复位 — 该复位与硬复位相同。
- 全器件复位后必须重新加载固件。

注释：

2. F 表示悬空。

时钟

FX3S 允许在 XTALIN 和 XTALOUT 引脚之间连接晶振，也允许在 CLKIN 引脚上连接外部时钟。如果没有使用 XTALIN、XTALOUT、CLKIN 和 CLKIN_32 引脚，可以将它们设为无连接状态。

支持的晶振频率为 19.2 MHz，支持的外部时钟频率为 19.2、26、38.4 和 52 MHz。

FX3S 有一个使用外部 19.2 MHz (± 100 ppm) 晶振 (使用晶振选项时) 的片上振荡器电路。如果使用了晶振，则需要一个相应的负载电容。请参阅电容使用规范，以确定相应的负载电容。FSLC[2:0] 引脚必须进行适当配置，以选择晶振或时钟频率选项。有关配置选项，请参见表 4。

向 FX3S 进行的时钟输入必须符合表 4 中规定的具体的相位噪声和时序抖动要求。

输入时钟频率同 FX3S 内核或任何器件接口 (包括 P 端口和 S 端口) 的时钟和数据速率相独立。内部 PLL 按照输入频率使用相应的时钟倍频选项。

表 3. 晶振 / 时钟频率选择

FSLC[2]	FSLC[1]	FSLC[0]	晶振 / 时钟频率
0	0	0	19.2 MHz 晶振
1	0	0	19.2 MHz 输入时钟
1	0	1	26 MHz 输入
1	1	0	38.4 MHz 输入时钟
1	1	1	52 MHz 输入时钟

表 4. FX3S 输入时钟规范

参数	说明	规格		单位
		最小值	最大值	
相位噪声	100 Hz 偏移	—	-75	dB
	1 kHz 偏移	—	-104	dB
	100 Hz 偏移	—	-120	dB
	100 kHz 偏移	—	-128	dB
	1 MHz 偏移	—	-130	dB
最大频率偏差		—	150	ppm
占空比		30	70	%
过冲		—	3	%
下冲		—	-3	%
上升时间 / 下降时间		—	3	ns

32 kHz 看门狗定时器时钟输入

FX3S 包含一个看门狗定时器。看门狗定时器可以用于中断 ARM926EJ-S 内核，自动唤醒待机模式下的 FX3S 和复位 ARM926EJ-S 内核。看门狗定时器运行一个 32 kHz 的时钟，该时钟可由专用 FX3S 引脚上的一个外部源选择性地提供。

可通过固件禁用看门狗定时器。

可选的 32 kHz 时钟的输入要求在表 5 中列出。

表 5. 32 kHz 时钟输入要求

参数	最小值	最大值	单位
占空比	40	60	%
频率偏差	—	± 200	ppm
上升时间 / 下降时间	—	200	ns

电源

FX3S 具有下列供电区域。

- **IO_VDDQ**: 用于数字 I/O 的一组独立供电区域。这些电源的电压范围为 1.8 V ~ 3.3 V。FX3S 为下列数字 I/O 信号提供了 6 个独立的供电区域 (请参考第 16 页上的引脚说明, 了解每个供电区域信号的详情):
 - VIO1: GPIF II I/O
 - VIO2: S0 端口供电
 - VIO3: S1 端口供电
 - VIO4: S1 端口和低速外设 (UART/SPI/I2S) 供电
 - VIO5: I²C 和 JTAG 供电 (支持的电压范围为 1.2 V ~ 3.3 V)
 - CVDDQ: 时钟
 - V_{DD}: 这是逻辑内核的供电电压。额定供电电压为 1.2V。该供电区域为内核逻辑电路供电。下列各项也必须使用同样的供电:
 - AVDD: 这是 PLL、晶体振荡器和其他内核模拟电路的 1.2V 供电电压。
 - U3TXVDDQ/U3RXVDDQ: 这些是 USB 3.0 接口的 1.2V 供电电压。

- **VBATT/VBUS**: 这是 USB I/O 和模拟电路的 3.2V ~ 6V 电池供电电压。该供电区域通过 FX3S 的内部电压调节器向 USB 收发器供电。将 VBATT 内部调节为 3.3 V。

注意 FX3S 电源域没有特定的开机顺序。最小开机重置时间应达到 1 ms, 并且电源域必须稳定, 以便于 FX3S 操作。

功耗模式

FX3S 支持下列各功耗模式:

- **正常模式**: 这是全功能的工作模式。在此模式下, 内部 CPU 时钟和内部 PLL 都被使能。
 - 正常工作功耗不会超过 I_{CC} 内核最高值和 I_{CC} USB 最高值的总和 (请参见直流规范表, 以查看当前功耗规范)。
 - 当相应接口未被使用时, 可关闭 I/O 电源 VIO2、VIO3、VIO4 和 VIO5。而在应用程序使用 GPIF II 接口时, 始终不能关闭 VIO1。
- **低功耗模式** (请参见表 6):
 - 启用 USB 3.0 PHY 的暂停模式 (L1)
 - 禁用 USB 3.0 PHY 的暂停模式 (L2)
 - 待机模式 (L3)
 - 内核断电模式 (L4)

表 6. 低功耗模式的进入和退出方法

低功耗模式	特性	进入方法	退出方法
启用 USB 3.0 PHY 的暂停模式 (L1)	■ 此模式下的功耗不会超过 ISB₁ ■ USB 3.0 PHY 被使能, 并处于 U3 模式 (为 USB 3.0 规范中所定义的暂停模式之一)。其他时钟均关闭时, 该模块可单独使用其内部时钟工作 ■ 所有 I/O 均维持先前的状态 ■ 必须保留源和内核的供电用于进行唤醒。所有其他电域都可独立开启 / 关闭 ■ 必须维持配置寄存器、缓冲存储器以及所有内部 RAM 的状态 ■ 全部数据操作必须在 FX3S 进入暂停模式前完成 (未完成的数据操作的状态将不会得到保存) ■ 由于程序计数器并不会复位, 因此固件将恢复暂停前的操作 (除非通过 RESET# 激活唤醒)	■ ARM926EJ-S 内核上执行的固件可将 FX3S 置于暂停模式。例如, 在 USB 暂停时, 固件可使 FX3S 进入暂停模式 ■ 外部处理器可通过使用邮箱寄存器使 FX3S 进入暂停模式	■ D+ 切换到低或高 ■ D- 切换到低或高 ■ OTG_ID 引脚上更改阻抗 ■ 恢复 SSRX± 上的状态 ■ 检测 VBUS ■ UART_CTS 电平检测 (可编程极性) ■ 激活 CTL[0] 的 GPIF II 接口 ■ 激活 RESET#

表 6. 低功耗模式的进入和退出方法（续表）

低功耗模式	特性	进入方法	退出方法
禁用 USB 3.0 PHY 的暂停模式 (L2)	■ 此模式下的功耗不会超过 ISB_2 ■ USB 3.0 PHY 被禁用，USB 接口进入暂停模式 ■ 时钟均被关闭。PLL 被禁用 ■ 所有 I/O 均维持先前的状态 ■ USB 接口维持先前的状态 ■ 必须保留源和内核的供电用于进行唤醒。所有其他电域都可独立开启 / 关闭 ■ 必须维持配置寄存器、缓冲存储器以及所有内部 RAM 的状态 ■ 全部数据操作必须在 FX3S 进入暂停模式前完成（未完成的数据操作的状态将不会得到保存） ■ 由于程序计数器并不会复位，因此固件将恢复暂停前的操作（除非通过 RESET# 激活唤醒）	■ ARM926EJ-S 内核上执行的固件可将 FX3S 置于暂停模式。例如，在 USB 暂停时，固件可使 FX3S 进入暂停模式 ■ 外部处理器可通过使用邮箱寄存器，使 FX3S 进入暂停模式	■ D+ 切换到低或高 ■ D- 切换到低或高 ■ OTG_ID 引脚上更改阻抗 ■ 检测 VBUS ■ UART_CTS 电平检测（可编程极性） ■ 激活 CTL[0] 的 GPIF II 接口 ■ 激活 RESET#
待机模式 (L3)	■ 该模式下的功耗不会超过 ISB_3 ■ 所有配置寄存器的设置以及程序 / 数据 RAM 的内容将会保留。但是，无法保证缓冲区和数据路径其他部分中的数据（如存在）。因此，应保证在使 FX3S 进入该待机模式前，由外部处理器负责读取所需的数据 ■ 从待机状态唤醒后，程序计数器将复位 ■ 通用 I / 引脚维持其配置情况 ■ 关闭晶体振荡器 ■ 关闭内部 PLL ■ 关闭 USB 收发器 ■ 断开供给 ARM926EJ-S 内核的电源。唤醒时，内核重新启动并运行存储在程序 / 数据 RAM 中的程序 ■ 必须保留源和内核的供电用于进行唤醒。所有其他电域都可独立开启 / 关闭	■ ARM926EJ-S 内核或外部处理器上所执行的固件将配置相应的寄存器	■ 检测 VBUS ■ UART_CTS 电平检测（可编程极性） ■ 激活 CTL[0] 的 GPIF II 接口 ■ 激活 RESET#
内核断电模式 (L4)	■ 此模式下的功耗不会超过 ISB_4 ■ 关闭内核电源 ■ 所有缓冲存储器、配置寄存器和程序 RAM 的状态将不会维持。退出该模式后，请重载固件 ■ 在该模式下，所有其他电域都可独立开启 / 关闭	■ 关闭 V_{DD}	■ 再次实施 VDD ■ 激活 RESET#

注意 功耗取决于应用中 FX3S IOS 的使用方式。请参阅 [KBA85505](#) 来估计不同电源域 (VIO1 – VIO5) 的电流消耗。

配置选项

不同的配置选项用于特定的使用模型。请联系赛普拉斯应用或市场部获得详细信息。

数字 I/O

FX3S 在所有数字 I/O 引脚上提供由固件控制的内部上拉或下拉电阻。内部的 50 k Ω 电阻将引脚上拉为高电平，而内部 10 k Ω 电阻则将引脚下拉为低电平，以便阻止它们浮动。I/O 引脚可以有下面状态：

- 三态 (High-Z)
- 弱上拉 (通过内部 50 k Ω 电阻)
- 下拉 (通过内部 10 k Ω 电阻)
- 低功耗模式下保持 (I/O 值不变)
- JTAG TDI、TMC 和 TRST# 信号有固定的 50 k Ω 内部上拉电阻，而 TCK 信号有固定的 10 k Ω 下拉电阻。

应通过内部上拉电阻将所有未使用的 I/O 上拉为高电平。应保持所有的未使用输出为浮动状态。所有 I/O 的驱动强度可为全强度、四分之三、半强度或四分之一的强度。为每个接口独立配置这些驱动强度。

通用输入 / 输出 (GPIO) 数目

EZ-USB 在 GPIF II 和串行外设接口上均可实现灵活的引脚配置。GPIF II 接口上任何未使用的控制引脚 (CTL[15] 除外) 都可作为

通用 I/O 使用。与之类似的是，串行外设接口上任何未使用的引脚均可配置为通用 I/O。请参阅第 16 页上的引脚说明部分，了解各引脚配置选项的内容。

所有 GPIF II 和 GPIO 引脚都支持每个引脚 16 pF 的外部负载。

EMI

FX3S 符合 FCC 15B (美国) 和 EN55022 (欧洲) 电子消费品规定中的 EMI 要求。按照上列规定，FX3S 可承受由于干扰源造成的合理 EMI，并继续按预期工作。

系统电平 ESD

FX3S 在 USB 接口的 D+、D- 和 GND 引脚上具有内置 ESD 保护。这些端口上的 ESD 保护电平分别为：

- 基于 JESD22-A114 规范的 ± 2.2 KV 人体模型 (HBM)
- 基于 IEC61000-4-2 的 3A 级标准的 ± 6 KV 接触放电和 ± 8 KV 气隙放电
- 基于 IEC61000-4-2 的 4C 级标准的 ± 8 KV 接触放电和 ± 15 KV 气隙放电。

这种保护能确保器件在出现最高达到上述电平的 ESD 事件后继续工作。

SSRX+、SSRX-、SSTX+ 和 SSTX- 引脚只有最高为 ± 2.2 KV 的人体模型 (HBM) 内部 ESD 保护。

引脚分布

图 11. FX3S 脚映射图 (顶视图)

	1	2	3	4	5	6	7	8	9	10	11
A	U3VSSQ	U3RXVDDQ	SSRXM	SSRXP	SSTXP	SSTXM	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	R_USB3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	NC
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

引脚说明

表 7. 引脚说明

引脚	供电引脚	I/O	名称	FX3S 引脚说明					
				P 端口					
				GPIF II 接口	从设备 FIFO 接口 [3]	PMMC	异步 SRAM	异步 ADMux	同步 ADMux
F10	VIO1	I/O	GPIO[0]	DQ[0]	DQ[0]	MMC_D0	DQ[0]	DQ[0]/A[0]	DQ[0]/A[0]
F9	VIO1	I/O	GPIO[1]	DQ[1]	DQ[1]	MMC_D1	DQ[1]	DQ[1]/A[1]	DQ[1]/A[1]
F7	VIO1	I/O	GPIO[2]	DQ[2]	DQ[2]	MMC_D2	DQ[2]	DQ[2]/A[2]	DQ[2]/A[2]
G10	VIO1	I/O	GPIO[3]	DQ[3]	DQ[3]	MMC_D3	DQ[3]	DQ[3]/A[3]	DQ[3]/A[3]
G9	VIO1	I/O	GPIO[4]	DQ[4]	DQ[4]	MMC_D4	DQ[4]	DQ[4]/A[4]	DQ[4]/A[4]
F8	VIO1	I/O	GPIO[5]	DQ[5]	DQ[5]	MMC_D5	DQ[5]	DQ[5]/A[5]	DQ[5]/A[5]
H10	VIO1	I/O	GPIO[6]	DQ[6]	DQ[6]	MMC_D6	DQ[6]	DQ[6]/A[6]	DQ[6]/A[6]
H9	VIO1	I/O	GPIO[7]	DQ[7]	DQ[7]	MMC_D7	DQ[7]	DQ[7]/A[7]	DQ[7]/A[7]
J10	VIO1	I/O	GPIO[8]	DQ[8]/A0 ^[4]	DQ[8]/A0 ^[4]	GPIO	DQ[8]	DQ[8]/A[8]	DQ[8]/A[8]
J9	VIO1	I/O	GPIO[9]	DQ[9]/A1 ^[4]	DQ[9]/A1 ^[4]	GPIO	DQ[9]	DQ[9]/A[9]	DQ[9]/A[9]
K11	VIO1	I/O	GPIO[10]	DQ[10]	DQ[10]	GPIO	DQ[10]	DQ[10]/A[10]	DQ[10]/A[10]
L10	VIO1	I/O	GPIO[11]	DQ[11]	DQ[11]	GPIO	DQ[11]	DQ[11]/A[11]	DQ[11]/A[11]
K10	VIO1	I/O	GPIO[12]	DQ[12]	DQ[12]	GPIO	DQ[12]	DQ[12]/A[12]	DQ[12]/A[12]
K9	VIO1	I/O	GPIO[13]	DQ[13]	DQ[13]	GPIO	DQ[13]	DQ[13]/A[13]	DQ[13]/A[13]
J8	VIO1	I/O	GPIO[14]	DQ[14] ^[5]	DQ[14]	GPIO	DQ[14]	DQ[14]/A[14]	DQ[14]/A[14]
G8	VIO1	I/O	GPIO[15]	DQ[15] ^[5]	DQ[15]	GPIO	DQ[15]	DQ[15]/A[15]	DQ[15]/A[15]
J6	VIO1	I/O	GPIO[16]	PCLK	CLK	MMC_CLK	CLK	CLK	CLK
K8	VIO1	I/O	GPIO[17]	CTL[0]	SLCS#	GPIO	CE#	CE#	CE#
K7	VIO1	I/O	GPIO[18]	CTL[1]	SLWR#	MMC_CMD	WE#	WE#	WE#
J7	VIO1	I/O	GPIO[19]	CTL[2]	SLOE#	GPIO	OE#	OE#	OE#
H7	VIO1	I/O	GPIO[20]	CTL[3]	SLRD#	GPIO	DACK#	DACK#	DACK#
G7	VIO1	I/O	GPIO[21]	CTL[4]	FLAGA	GPIO	DRQ#	DRQ#	DRQ#
G6	VIO1	I/O	GPIO[22]	CTL[5]	FLAGB	GPIO	A[7]	GPIO	GPIO
K6	VIO1	I/O	GPIO[23]	CTL[6]	GPIO	GPIO	A[6]	GPIO	RDY
H8	VIO1	I/O	GPIO[24]	CTL[7]	PKTEND#	GPIO	A[5]	GPIO	GPIO
G5	VIO1	I/O	GPIO[25]	CTL[8]	GPIO	GPIO	A[4]	GPIO	GPIO
H6	VIO1	I/O	GPIO[26]	CTL[9]	GPIO	GPIO	A[3]	GPIO	GPIO
K5	VIO1	I/O	GPIO[27]	CTL[10]	GPIO	GPIO	A[2]	ADV#	ADV#
J5	VIO1	I/O	GPIO[28]	CTL[11]	A1	CARKIT_UART_RX	A[1]	GPIO	GPIO
H5	VIO1	I/O	GPIO[29]	CTL[12]	A0	CARKIT_UART_TX	A[0]	GPIO	GPIO
G4	VIO1	I/O	GPIO[30]	PMODE[0]	PMODE[0]	PMODE[0]	PMODE[0]	PMODE[0]	PMODE[0]
H4	VIO1	I/O	GPIO[31]	PMODE[1]	PMODE[1]	PMODE[1]	PMODE[1]	PMODE[1]	PMODE[1]
L4	VIO1	I/O	GPIO[32]	PMODE[2]	PMODE[2]	PMODE[2]	PMODE[2]	PMODE[2]	PMODE[2]
L8	VIO1	I/O	INT#	INT#/CTL[15]	CTL[15]	INT#	INT#	INT#	INT#
C5	CVDDQ	I	RESET#	RESET#	RESET#	RESET#	RESET#	RESET#	RESET#

注释

3. 从 FIFO 是 GPIF II 接口的一个示例配置。使用 GPIF-II 设计工具可以修改从 FIFO 控制信号分配。
4. 对于 8 位数据总线配置，GPIO [8] 和 GPIO [9] 充当地址行。
5. GPIF II 也可以配置为串行接口。在这种模式下，DQ[15] 引脚成为串行输出，而 DQ[14] 成为串行输入。

表 8. 引脚说明

引脚	供电引脚	I/O	名称	FX3S 引脚说明							
				S0 端口							
				8b MMC		SD+GPIO			GPIO		
K2	VIO2	I/O	GPIO[33]	S0_SD0		S0_SD0			GPIO		
J4	VIO2	I/O	GPIO[34]	S0_SD1		S0_SD1			GPIO		
K1	VIO2	I/O	GPIO[35]	S0_SD2		S0_SD2			GPIO		
J2	VIO2	I/O	GPIO[36]	S0_SD3		S0_SD3			GPIO		
J3	VIO2	I/O	GPIO[37]	S0_SD4		GPIO			GPIO		
J1	VIO2	I/O	GPIO[38]	S0_SD5		GPIO			GPIO		
H2	VIO2	I/O	GPIO[39]	S0_SD6		GPIO			GPIO		
H3	VIO2	I/O	GPIO[40]	S0_SD7		GPIO			GPIO		
F4	VIO2	I/O	GPIO[41]	S0_CMD		S0_CMD			GPIO		
G2	VIO2	I/O	GPIO[42]	S0_CLK		S0_CLK			GPIO		
G3	VIO2	I/O	GPIO[43]	S0_WP		S0_WP			GPIO		
F3	VIO2	I/O	GPIO[44]	S0S1_INS		S0S1_INS			GPIO		
F2	VIO2	I/O	GPIO[45]	MMC0_RST_OUT		GPIO			GPIO		
				S1 端口							
				8b MMC	SD+UART T	SD+SPI	SD+GPIO O	GPIO	GPIO+UART +I2S	SD+I2S	UART+SPI +I2S
F5	VIO3	I/O	GPIO[46]	S1_SD0	S1_SD0	S1_SD0	S1_SD0	GPIO	GPIO	S1_SD0	UART_RTS
E1	VIO3	I/O	GPIO[47]	S1_SD1	S1_SD1	S1_SD1	S1_SD1	GPIO	GPIO	S1_SD1	UART_CTS
E5	VIO3	I/O	GPIO[48]	S1_SD2	S1_SD2	S1_SD2	S1_SD2	GPIO	GPIO	S1_SD2	UART_TX
E4	VIO3	I/O	GPIO[49]	S1_SD3	S1_SD3	S1_SD3	S1_SD3	GPIO	GPIO	S1_SD3	UART_RX
D1	VIO3	I/O	GPIO[50]	S1_CMD	S1_CMD	S1_CMD	S1_CMD	GPIO	I2S_CLK	S1_CMD	I2S_CLK
D2	VIO3	I/O	GPIO[51]	S1_CLK	S1_CLK	S1_CLK	S1_CLK	GPIO	I2S_SD	S1_CLK	I2S_SD
D3	VIO3	I/O	GPIO[52]	S1_WP	S1_WP	S1_WP	S1_WP	GPIO	I2S_WS	S1_WP	I2S_WS
D4	VIO4	I/O	GPIO[53]	S1_SD4	UART_RTS	SPI_SCK	GPIO	GPIO	UART_RTS	GPIO	SPI_SCK
C1	VIO4	I/O	GPIO[54]	S1_SD5	UART_CTS	SPI_SSN	GPIO	GPIO	UART_CTS	I2S_CLK	SPI_SSN
C2	VIO4	I/O	GPIO[55]	S1_SD6	UART_TX	SPI_MISO	GPIO	GPIO	UART_TX	I2S_SD	SPI_MISO
D5	VIO4	I/O	GPIO[56]	S1_SD7	UART_RX	SPI_MOSI	GPIO	GPIO	UART_RX	I2S_WS	SPI_MOSI
C4	VIO4	I/O	GPIO[57]	MMC1_RST_OUT	GPIO	GPIO	GPIO	GPIO	I2S_MCLK	I2S_MCLK	I2S_MCLK

表 9. 引脚说明

引脚	供电引脚	I/O	名称	FX3S 引脚说明
USB 端口				
C9	VBUS/ VBATT	I	OTG_ID	OTG_ID
A3	U3RX VDDQ	I	SSRXM	SSRX-
A4	U3RX VDDQ	I	SSRXP	SSRX+
A6	U3TX VDDQ	O	SSTXM	SSTX-
A5	U3TX VDDQ	O	SSTXP	SSTX+
A9	VBUS/ VBATT	I/O	DP	D+
A10	VBUS/ VBATT	I/O	DM	D-
A11			NC	无连接
晶振 / 时钟				
B2	CVDDQ	I	FSLC[0]	FSLC[0]
C6	AVDD	I/O	XTALIN	XTALIN
C7	AVDD	I/O	XTALOUT	XTALOUT
B4	CVDDQ	I	FSLC[1]	FSLC[1]
E6	CVDDQ	I	FSLC[2]	FSLC[2]
D7	CVDDQ	I	CLKIN	CLKIN
D6	CVDDQ	I	CLKIN_32	CLKIN_32
I2C 和 JTAG				
D9	VIO5	I/O	I2C_GPIO[58]	I2C_SCL
D10	VIO5	I/O	I2C_GPIO[59]	I2C_SDA
E7	VIO5	I	TDI	TDI
C10	VIO5	O	TDO	TDO
B11	VIO5	I	TRST#	TRST#
E8	VIO5	I	TMS	TMS
F6	VIO5	I	TCK	TCK
D11	VIO5	O	O[60]	GPIO

表 10. 引脚说明

FX3S 引脚说明				
引脚	供电引脚	I/O	名称	电源相关
E10		PWR	VBATT	
B10		PWR	VDD	
A1		PWR	U3VSSQ	
E11		PWR	VBUS	
D8		PWR	VSS	
H11		PWR	VIO1	
E2		PWR	VSS	
L9		PWR	VIO1	
G1		PWR	VSS	
F1		PWR	VIO2	
G11		PWR	VSS	
E3		PWR	VIO3	
L1		PWR	VSS	
B1		PWR	VIO4	
L6		PWR	VSS	
B6		PWR	CVDDQ	
B5		PWR	U3TXVDDQ	
A2		PWR	U3RXVDDQ	
C11		PWR	VIO5	
L11		PWR	VSS	
A7		PWR	AVDD	
B7		PWR	AVSS	
C3		PWR	VDD	
B8		PWR	VSS	
E9		PWR	VDD	
B9		PWR	VSS	
F11		PWR	VDD	
H1		PWR	VDD	
L7		PWR	VDD	
J11		PWR	VDD	
L5		PWR	VDD	
K4		PWR	VSS	
L3		PWR	VSS	
K3		PWR	VSS	
L2		PWR	VSS	
A8		PWR	VSS	
高精度电阻				
C8	VBUS/ VBATT	I/O	R_usb2	针对 USB 2.0 的高精度电阻 (在该引脚和 GND 之间连接一个 6.04 kΩ ±1% 的电阻)
B3	U3TX VDDQ	I/O	R_usb3	针对 USB 3.0 的高精度电阻 (在该引脚和 GND 之间连接一个 200 kΩ ±1% 的电阻)

电气规范

最大绝对额定值

超过最大额定值可能会缩短器件的使用寿命。

存放温度 -65 °C 到 +150 °C

供电 (工业级)

环境温度 -40 °C 至 +85 °C

接地电位的供电电压

V_{DD} , A_{VDDQ} 1.25 V

V_{IO1} , V_{IO2} , V_{IO3} , V_{IO4} , V_{IO5} 3.6 V

$U3TX_{VDDQ}$, $U3RX_{VDDQ}$ 1.25 V

任何输入引脚的直流输入电压 $V_{CC} + 0.3$

应用于高阻态 (High Z) 下

的输出直流电压 $V_{CC} + 0.3$

(V_{CC} 是相应的 I/O 电压)

静电放电电压 ESD 保护电平为:

■ 基于 JESD22-A114 的 ± 2.2 kV 人体模型 (HBM)

■ D+、D-、GND 引脚和串行外设引脚上的附加 ESD 保护电平

直流规范

表 11. 直流规范

参数	说明	最小值	最大值	单位	注释
V_{DD}	内核供电电压	1.15	1.25	V	典型值 1.2 V
A_{VDD}	模拟供电电压	1.15	1.25	V	典型值 1.2 V
V_{IO1}	GPIO II 的 I/O 供电电压	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{IO2}	S0 端口供电电压范围	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{IO3}	S1 端口供电电压范围	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{IO4}	S1 端口和 UART/SPI/I2S 供电电压范围	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{BATT}	USB 供电电压	3.2	6	V	典型值为 3.7 V
V_{BUS}	USB 供电电压	4.0	6	V	典型值为 5 V
$U3TX_{VDDQ}$	USB 3.0 1.2 V 供电电压	1.15	1.25	V	典型值为 1.2 V。该电源需要安装一个大小为 22 μ F 的旁路电容。
$U3RX_{VDDQ}$	USB 3.0 1.2 V 供电电压	1.15	1.25	V	典型值为 1.2 V。该电源需要安装一个大小为 22 μ F 的旁路电容。
C_{VDDQ}	时钟供电电压	1.7	3.6	V	典型值为 1.8 V 和 3.3 V
V_{IO5}	I ² C 和 JTAG 的供电电压	1.15	3.6	V	典型值为 1.2、1.8、2.5 和 3.3 V
V_{IH1}	输入高电压 1	$0.625 \times V_{CC}$	$V_{CC} + 0.3$	V	用于 $2.0 \text{ V} \leq V_{CC} \leq 3.6 \text{ V}$ 时的输入电压 (USB 端口除外)。 V_{CC} 是相应的 I/O 供电电压。
V_{IH2}	输入高电压 2	$V_{CC} - 0.4$	$V_{CC} + 0.3$	V	用于 $1.7 \text{ V} \leq V_{CC} \leq 2.0 \text{ V}$ 时的输入电压 (USB 端口除外)。 V_{CC} 是相应的 I/O 供电电压。
V_{IL}	输入低电压	-0.3	$0.25 \times V_{CC}$	V	V_{CC} 是相应的 I/O 供电电压。
V_{OH}	输出高电压	$0.9 \times V_{CC}$	—	V	以四分之一的驱动强度测试的 I_{OH} (最大值) = -100 μ A。 V_{CC} 是相应的 I/O 供电电压。有关各种驱动强度和 V_{CC} 的 I_{OH} 值, 请参见 第 22 页上的表 12。

■ 基于 IEC61000-4-2 的 3A 级标准的 ± 6 kV 接触放电和 ± 8 kV 气隙放电, 基于 IEC61000-4-2 的 4C 级标准的 ± 8 kV 接触放电和 ± 15 kV 气隙放电

闩锁电流 > 200 mA

所有 I/O 配置的

最大输出短路电流。 ($V_{out} = 0 \text{ V}$) -100 mA

运行条件

T_A (有偏差的环境温度)

工业级 -40 °C 到 +85 °C

V_{DD} , A_{VDDQ} , $U3TX_{VDDQ}$, $U3RX_{VDDQ}$

供电电压 1.15 V 到 1.25 V

V_{BATT} 供电电压 3.2 V 到 6 V

V_{IO1} , V_{IO2} , V_{IO3} , V_{IO4} , C_{VDDQ}

供电电压 1.7 V 到 3.6 V

V_{IO5} 供电电压 1.15 V 至 3.6 V

表 11. 直流规范 (续表)

参数	说明	最小值	最大值	单位	注释
V_{OL}	输出低电压	—	$0.1 \times V_{CC}$	V	以四分之一的驱动强度测试的 I_{OL} (最小值) = +100 μA 。 V_{CC} 是相应的 I/O 供电电压。 有关各种驱动强度和 V_{CC} 的 I_{OL} 值, 请参见 第 22 页上的表 12。
I_{IX}	SSTXP/SSXM/SSRXP/SSRXM 除外的所有引脚输入漏电流	-1	1	μA	V_{DDQ} 上保持的所有 I/O 信号 (用于已连接上拉 / 下拉电阻的 I/O, 漏电流以 V_{DDQ}/R_{PU} 或 V_{DDQ}/R_{PD} 增加)
I_{OZ}	SSTXP/SSXM/SSRXP/SSRXM 除外的所有引脚输出高阻态漏电流	-1	1	μA	V_{DDQ} 上保持的所有 I/O 信号
I_{CC} 内核	内核和模拟电压工作电流	—	200	mA	通过 A_{VDD} 和 V_{DD} 的总电流
I_{CC} USB	USB 供电电压工作电流	—	60	mA	
I_{SB1}	启用 USB 3.0 PHY 的暂停模式期间的总暂停电流 (L1)	—	—	mA	内核电流: 1.5 mA I/O 电流: 20 μA USB 电流: 2 mA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25 °C。)
I_{SB2}	禁用 USB 3.0 PHY 的暂停模式期间的总暂停电流 (L2)	—	—	mA	内核电流: 250 μA I/O 电流: 20 μA USB 电流: 1.2 mA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25 °C。)
I_{SB3}	待机模式期间的总待机电流 (L3)	—	—	μA	内核电流: 60 μA I/O 电流: 20 μA USB 电流: 40 μA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25 °C。)
I_{SB4}	内核断电模式期间的总待机电流 (L4)	—	—	μA	内核电流: 0 μA I/O 电流: 20 μA USB 电流: 40 μA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25 °C。)
V_{RAMP}	内核和 I/O 供电的电压斜坡率	0.2	50	V/ms	电压斜坡必须是单调的
V_N	V_{DD} 和 I/O 供电中允许的噪声级别	—	100	mV	A_{VDD} 除外的所有供电中允许的最大峰 — 峰噪声级别
V_{N_AVDD}	A_{VDD} 供电中允许的噪声级别	—	20	mV	A_{VDD} 中允许的最大峰 - 峰噪声级别

表 12. 不同驱动强度和 V_{DDIO} 值的 I_{OH}/I_{OL} 值

V_{DDIO} (V)	V_{OH} (V)	V_{OL} (V)	驱动强度	$I_{OH\ max}$ (mA)	$I_{OL\ min}$ (mA)
1.7	1.53	0.17	四分之一	1.02	2.21
			二分之一	1.51	3.28
			四分之三	1.83	3.85
			全部	2.28	4.73
2.5	2.25	0.25	四分之一	5.03	3.96
			二分之一	7.38	5.84
			四分之三	8.89	6.89
			全部	11.07	8.61
3.6	3.24	0.36	四分之一	7.80	5.74
			二分之一	11.36	8.64
			四分之三	13.64	10.15
			全部	16.92	12.67

热特性

表 13. 热特性

参数	说明	数值	单位
$T_{J\ MAX}$	最高峰值温度	125	°C
Θ_{JA}	热敏电阻 (连接到环境)	34.66	°C/W
Θ_{JB}	热敏电阻 (连接到板)	27.03	°C/W
Θ_{JC}	热敏电阻 (连接到外壳)	13.57	°C/W

交流电时序参数

GPIF II 线路的交流特性为 100 MHz

表 14. GPIF II 线路的交流特性为 100 MHz

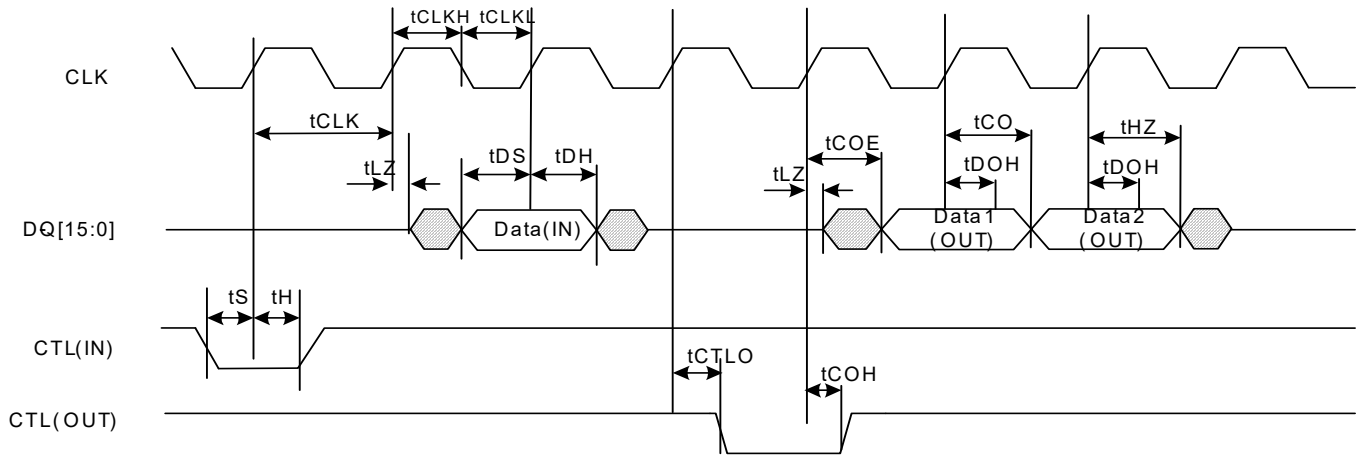
符号	参数	最小值	典型值	最大值	单位
T_r	上升时间	—	—	2.5	ns
T_f	下降时间	—	—	2.5	ns
T_{ov}	过冲	—	—	3	%
T_{un}	下冲	—	—	3	%

GPIF II PCLK 抖动特性

表 15. GPIF II PCLK 抖动特性

时钟频率 (MHz)	期间抖动 (ps)	C-C min (ps)	C-C max (ps)
10.08	354.44	-187.92	204.55
25.2	205.97	-153.54	126.53
50.4	144.62	-100.16	85.769
100.8	171.43	-155.13	157.14

注意时钟抖动是使用内部生成的 PCLK 来测量的。例如 PCLK 被配置为来自 GPIF 的输出。数据在 10,000 个时钟周期内测量。

GPIO II 时序
图 12. 同步模式中的 GPIO II 时序

表 16. 同步模式中 GPIO II 时序参数

参数 [6]	说明	最小值	最大值	单位
频率	接口时钟频率	–	100	MHz
tCLK	接口时钟周期	10	–	ns
tCLKH	时钟为高电平的时间	4	–	ns
tCLKL	时钟为低电平的时间	4	–	ns
tS	从 CTL 输入到时钟的建立时间 (同步速度 = 1)	2	–	ns
tH	从 CTL 输入到时钟的保持时间 (同步速度 = 1)	0.5	–	ns
tDS	从数据输入到时钟的建立时间 (同步速度 = 1)	2	–	ns
tDH	从数据输入到时钟保持时间 (同步速度 = 1)	0.5	–	ns
tCO	DQ 总线输出时, 从时钟到数据输出的传输延迟 (同步速度 = 1)	–	7	ns
tCOE	DQ 线从三态变更为输出以及 DQ 总线上存在有效数据时, 从时钟到数据输出的传输延迟 (同步速度 = 1)	–	9	
tCTLO	从时钟到 CTL 输出的传输延迟 (同步速度 = 1)	–	8	ns
tDOH	从时钟到数据输出的保持时间	2	–	ns
tCOH	从时钟到 CTL 输出的保持时间	0	–	ns
tHZ	从时钟到数据为高阻态的时间	–	8	ns
tLZ	从时钟到数据位低阻态的时间 (同步速度 = 1)	0	–	ns
tS_ss0	从 CTL 输入 / 数据输入到时钟的建立时间 (同步速度 = 0)	5	–	ns
tH_ss0	从 CTL 输入 / 数据输入到时钟的保持时间 (同步速度 = 0)	2.5	–	ns
tCO_ss0	从时钟到数据输出 / CTL 输出的时间 传输延迟 (同步速度 = 0)	–	15	ns
tLZ_ss0	从时钟到数据位低阻态的时间 (同步速度 = 0)	2	–	ns

注释:

6. 所有参数均由设计保证, 并通过特性化进行验证。

图 13. 异步模式中的 GPIF II 时序

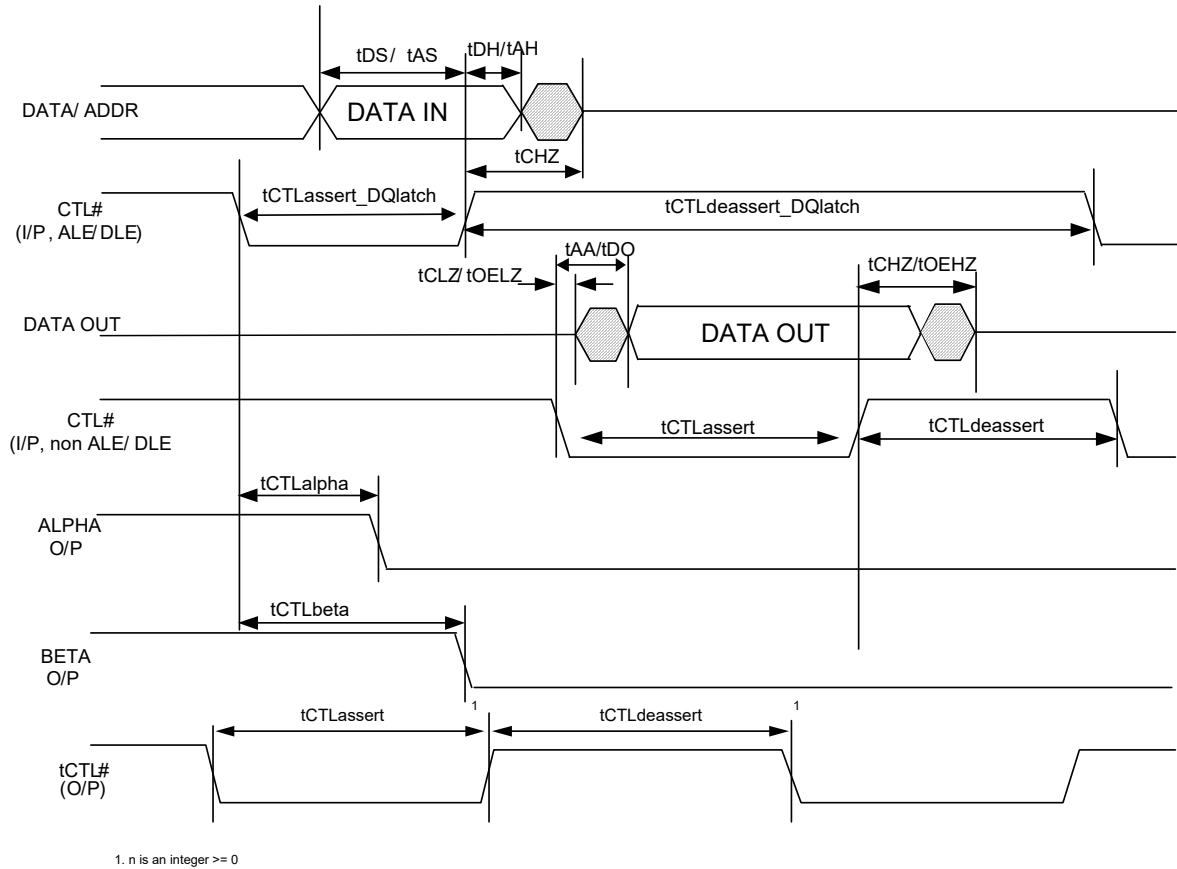


图 14. 异步 DDR 模式中的 GPIF II 时序

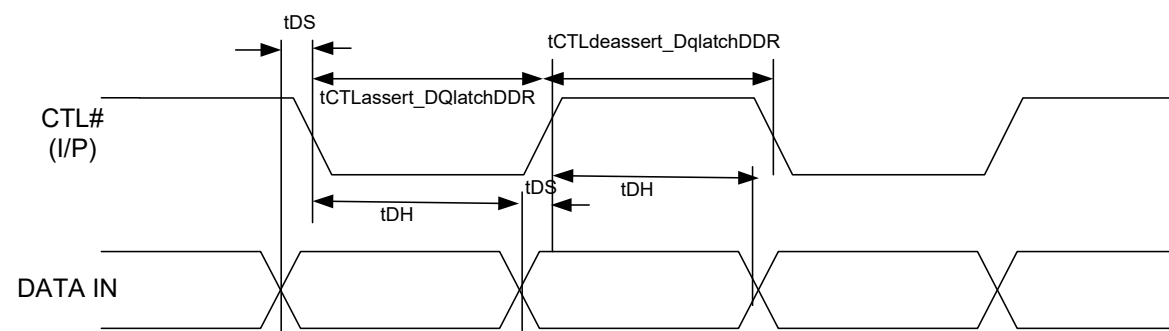


表 17. 异步模式中的 GPIF II 时序

注意： 下面各参数均假设了一个状态切换

参数 ^[7]	说明	最小值	最大值	单位
tDS	数据输入到 DLE 的建立时间。该参数在 DDR 异步模式下有效。	2.3	—	ns
tDH	数据输入到 DLE 的保持时间。该参数在 DDR 异步模式下有效。	2	—	ns
tAS	地址输入到 ALE 的建立时间	2.3	—	ns
tAH	地址输入到 ALE 的保持时间	2	—	ns
tCTLassert	用于无 DQ 输入关联性的 CTRL 输入以及输出的 CTL I/O 激活脉冲宽度。	7	—	ns
tCTLdeassert	用于无 DQ 输入关联性的 CTRL 输入以及输出的 CTL I/O 解除激活脉冲宽度。	7	—	ns
tCTLassert_DQassert	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入表明 DQ 输入在激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器 (ALE/DLE)。	20	—	ns
tCTLdeassert_DQassert	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入表明 DQ 输入在激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器 (ALE/DLE)。	7	—	ns
tCTLassert_DQdeassert	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入表明 DQ 输入在解除激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器 (ALE/DLE)。	7	—	ns
tCTLdeassert_DQdeassert	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入表明 DQ 输入在解除激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器 (ALE/DLE)。	20	—	ns
tCTLassert_DQlatch	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入采用内置锁存器 (ALE/DLE) 来锁存 DQ 输入。在该非 DDR 情况下，内置锁存器在解除激活的边沿始终保持关闭状态。	7	—	ns
tCTLdeassert_DQlatch	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入采用内置锁存器 (ALE/DLE) 来锁存 DQ 输入。在该非 DDR 情况下，内置锁存器在解除激活的边沿始终保持关闭状态。	10	—	ns
tCTLassert_DQlatchDDR	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入采用内置锁存器 (DLE) 以在 DDR 模式中锁存 DQ 输入。	10	—	ns
tCTLdeassert_DQlatchDDR	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入采用内置锁存器 (DLE) 以在 DDR 模式中锁存 Q 输入。	10	—	ns
tAA	当 DQ 变更或 CTL 变更需要进行检测且变更影响输入和输出 DQ 线的内部更新时，DQ/CTL 输入到 DQ 输出的时间。	—	30	ns
tDO	当 CTL 变更仅能使已建立数据的输出触发器更新时，CTL 到数据输出的时间。	—	25	ns
tOELZ	CTL 被指定为 OE 到低阻态的时间外部器件应停止驱动数据的时间。	0	—	ns
tOEHZ	CTL 被指定为 OE 到高阻态的时间	8	8	ns
tCLZ	从 CTL (非 OE) 到低阻态的时间。外部器件应停止驱动数据的时间。	0	—	ns
tCHZ	CTL (非 OE) 到高阻态的时间	30	30	ns
tCTLalpha	CTL 到 alpha 输出变更的时间	—	25	ns
tCTLbeta	CTL 到 beta 输出变更的时间	—	30	ns
tDST	不使用 DLE/ALE 时，地址 / 数据的建立时间	2	—	ns
tDHT	不使用 DLE/ALE 时，地址 / 数据的保持时间	20	—	ns

注释：

7. 所有参数均由设计保证，并通过特性化进行验证。

异步 SRAM 时序

图 15. 非复用异步 SRAM 读取时序

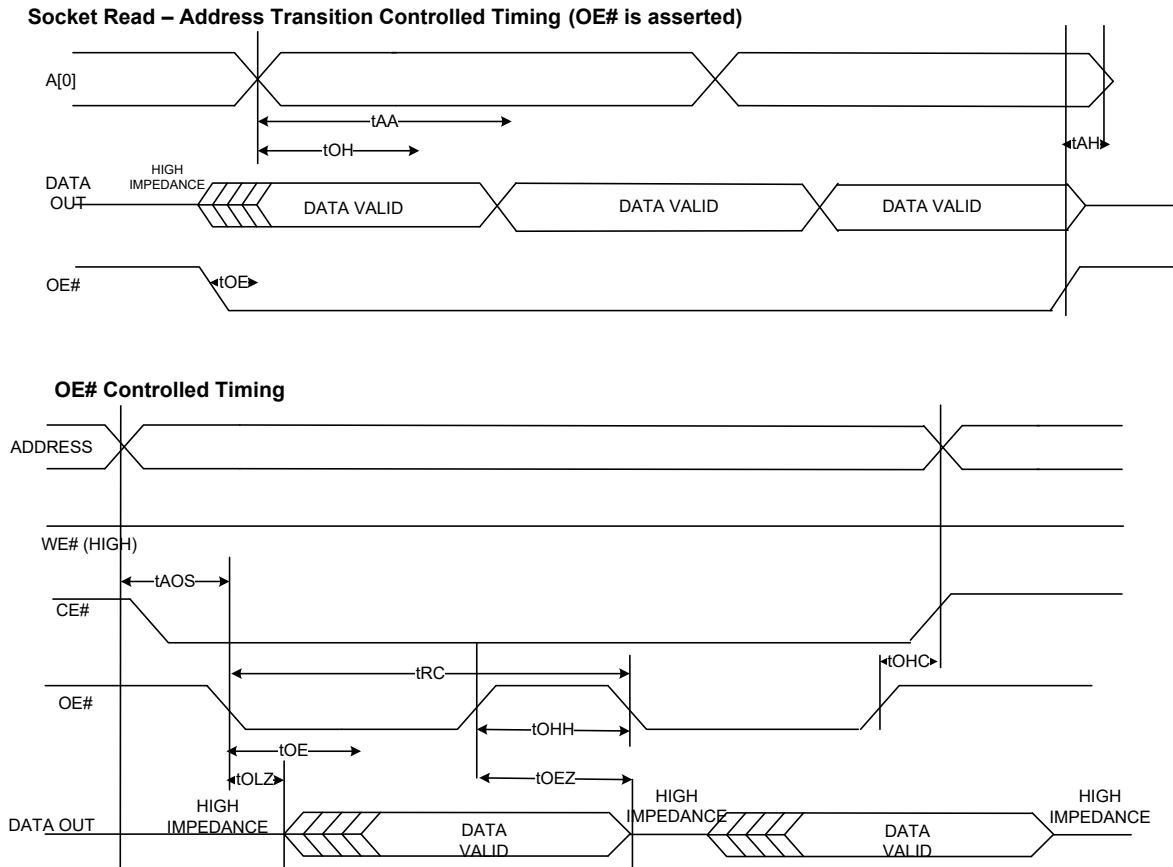
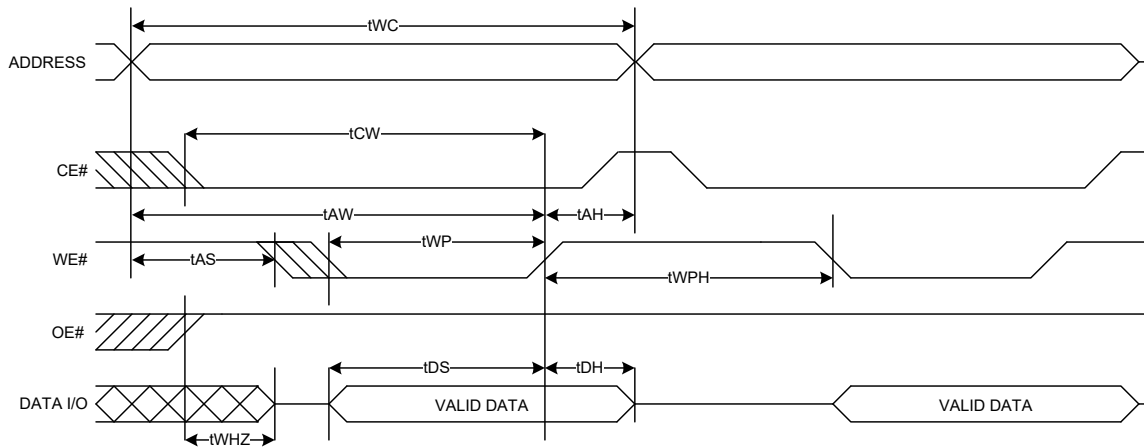
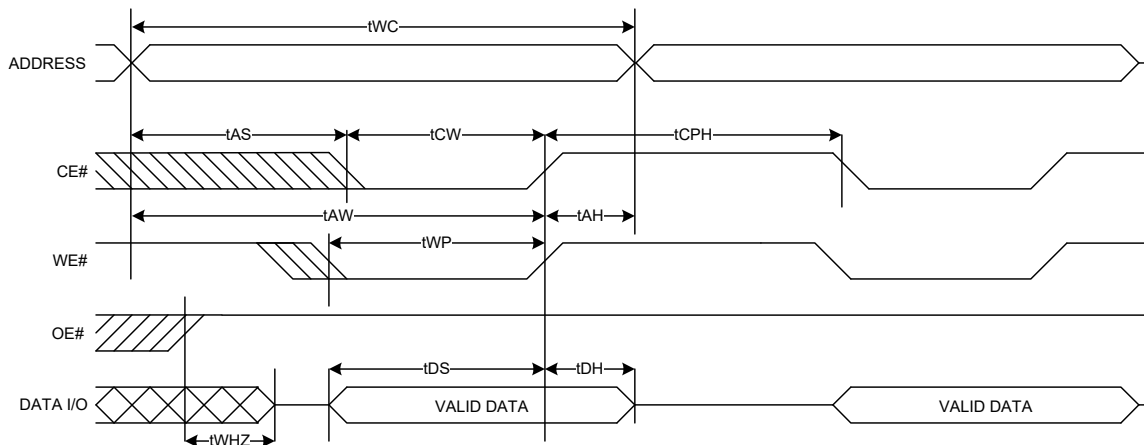
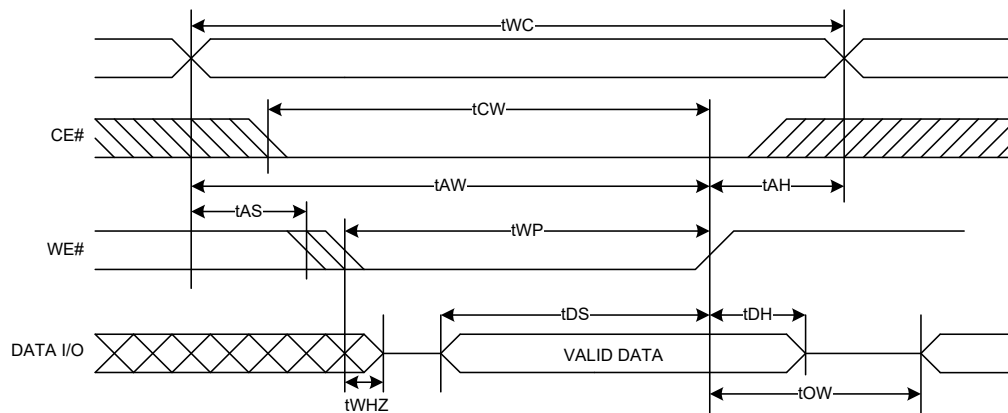


图 16. 非复用异步 SRAM 写入时序 (WE# 和 CE# 控制)
Write Cycle 1 WE# Controlled, OE# High During Write

Write Cycle 2 CE# Controlled, OE# High During Write

图 17. 非复用异步 SRAM 写入时序 (WE# 控制, OE# 为低电平)
Write Cycle 3 WE# Controlled. OE# Low


Note: tWP must be adjusted such that $tWP > tWHZ + tDS$

表 18. 异步 SRAM 时序参数

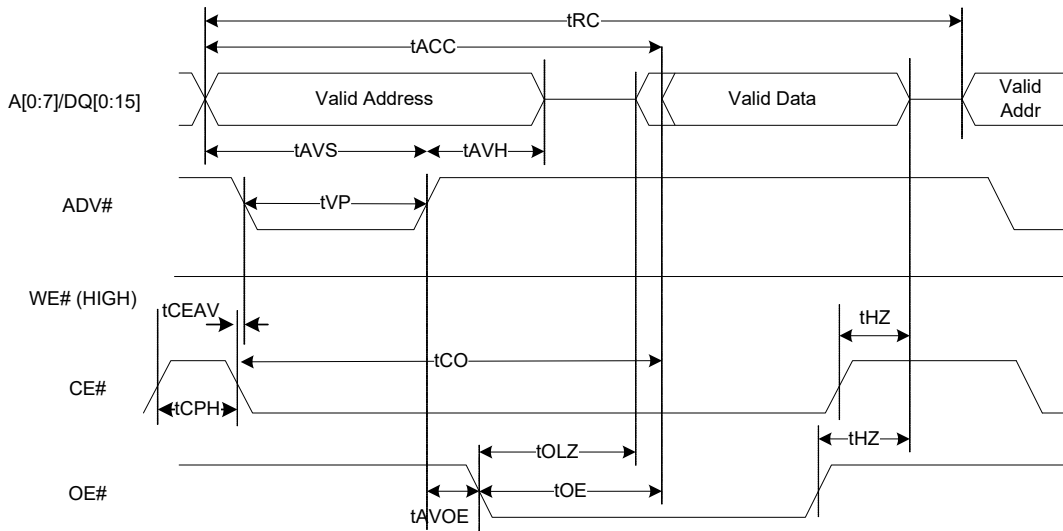
参数 ^[8]	说明	最小值	最大值	单位
—	SRAM 接口带宽	—	61.5	MBps
t _{RC}	读周期的时间	32.5	—	ns
t _{AA}	从地址到数据生效的时间	—	30	ns
t _{AOS}	从地址到 OE# 为低电平的建立时间	7	—	ns
t _{OH}	地址更改后的数据保持时间	3	—	ns
t _{OHh}	OE# 为高电平的保持时间	7.5	—	ns
t _{OHc}	从 OE# 为高电平到 CE# 为高电平的时间	2	—	ns
t _{OE}	从 OE# 为低电平到数据生效的时间	—	25	ns
t _{OLZ}	从 OE# 为低电平到数据为低阻态的时间	0	—	ns
t _{WC}	写周期的时间	30	—	ns
t _{CW}	CE# 为低电平到写周期结束的时间	30	—	ns
t _{AW}	从地址生效到写入结束的时间	30	—	ns
t _{AS}	地址建立到写周期开始的时间	7	—	ns
t _{AH}	CE# 或 WE# 的地址保持时间	2	—	ns
t _{WP}	WE# 脉冲宽度	20	—	ns
t _{WPH}	WE# 为高电平的时间	10	—	ns
t _{CPH}	CE# 为高电平的时间	10	—	ns
t _{DS}	从数据建立到写周期结束的时间	7	—	ns
t _{DH}	从数据保持到写入结束的时间	2	—	ns
t _{WHZ}	从 WE# 有效到 DQ 输出为高阻态的时间	—	22.5	ns
t _{OEZ}	从 OE# 为高电平到 DQ 输出为高阻态的时间	—	22.5	ns
t _{OW}	从写入结束到输出为低阻态的时间	0	—	ns

注释:

8. 所有参数均由设计保证，并通过特性化进行验证。

用于异步访问的 ADMux 时序

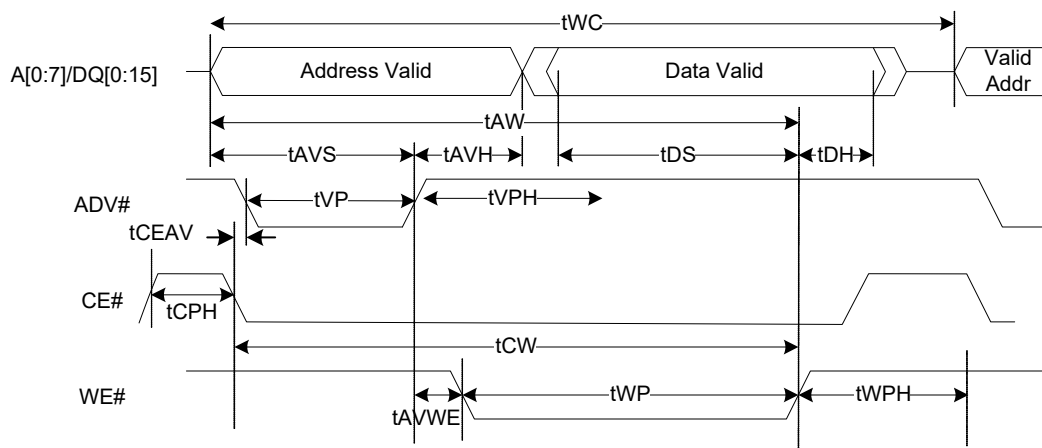
图 18. ADMux 异步随机读取



Note:

1. Multiple read cycles can be executed while keeping CE# low.
2. Read operation ends with either de-assertion of either OE# or CE#, whichever comes earlier.

图 19. ADMux 异步随机写入



Note:

1. Multiple write cycles can be executed while keeping CE# low.
2. Write operation ends with de-assertion of either WE# or CE#, whichever comes earlier.

表 19. 异步 ADMux 时序参数

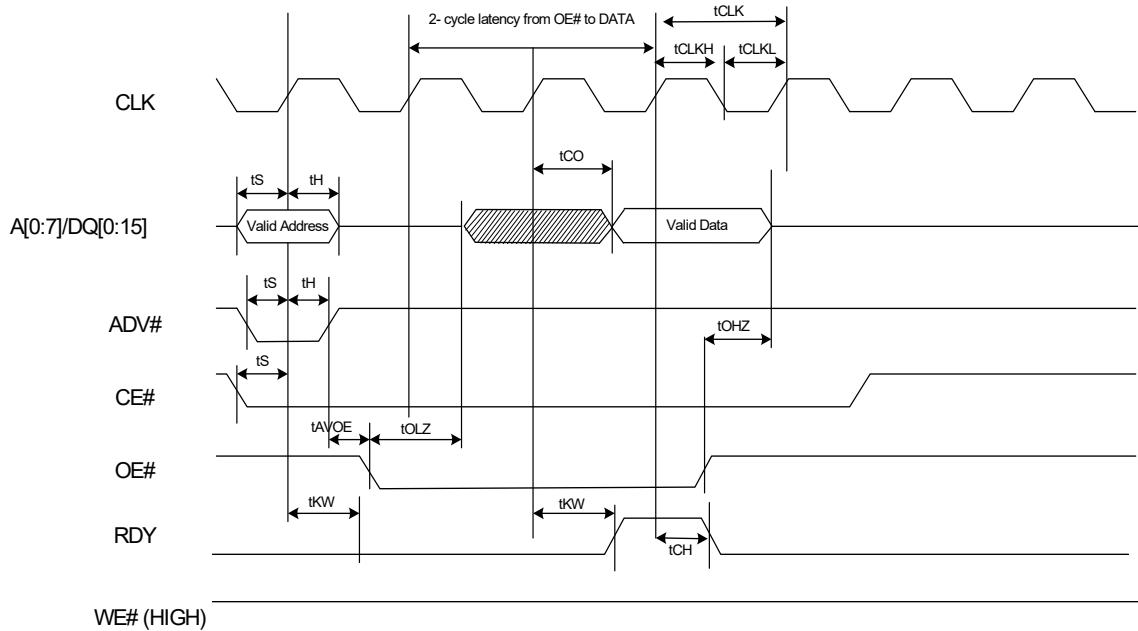
参数 ^[9]	说明	最小值	最大值	单位	注释
ADMux 异步 READ (读取) 访问的时序参数					
tRC	有效地址之间的读周期时间	54.5	—	ns	该参数取决于 P 端口处理器取消激活 OE# 的时间
tACC	从寻址到数据生效的时间	—	32	ns	—
tCO	从 CE# 激活到数据有效的时间	—	34.5	ns	—
tAVOE	从 ADV# 取消激活到 OE# 激活的时间	2	—	ns	—
tOLZ	从 OE# 激活到数据 LOW-Z (低阻态) 的时间	0	—	ns	—
tOE	从 OE# 激活到数据有效的时间	—	25	ns	—
tHZ	从读周期结束到数据为 HIGH-Z (高阻态) 的时间	—	22.5	ns	—
ADMux 异步 WRITE (写入) 访问的时序参数					
tWC	有效地址之间的写周期时间	—	52.5	ns	—
tAW	从地址生效到写入结束的时间	30	—	ns	—
tCW	从 CE# 激活到写入结束的时间	30	—	ns	—
tAVWE	从 ADV# 取消激活到 WE# 激活的时间	2	—	ns	—
tWP	WE# 为低脉冲宽度的时间	20	—	ns	—
tWPH	WE# 为高脉冲宽度的时间	10	—	ns	—
tDS	从数据有效设置到 WE# 取消激活的时间	18	—	ns	—
tDH	从 WE# 激活到数据有效的建立时间	2	—	ns	—
ADMux 异步通用 READ/WRITE (读/写) 访问的时序参数					
tAVS	从地址有效设置到 ADV# 取消激活的时间	5	—	ns	—
tAVH	从 ADV# 取消激活到地址有效的时间	2	—	ns	—
tVP	ADV# 为低脉冲宽度的时间	7.5	—	ns	—
tCPH	CE# 为高脉冲宽度的时间	10	—	ns	—
tVPH	ADV# 为高脉冲宽度的时间	15	—	ns	—
tCEAV	从 CE# 激活到 ADV# 激活的时间	0	—	ns	—

注释:

9. 所有参数均由设计保证, 并通过特性化进行验证。

同步 ADMux 时序

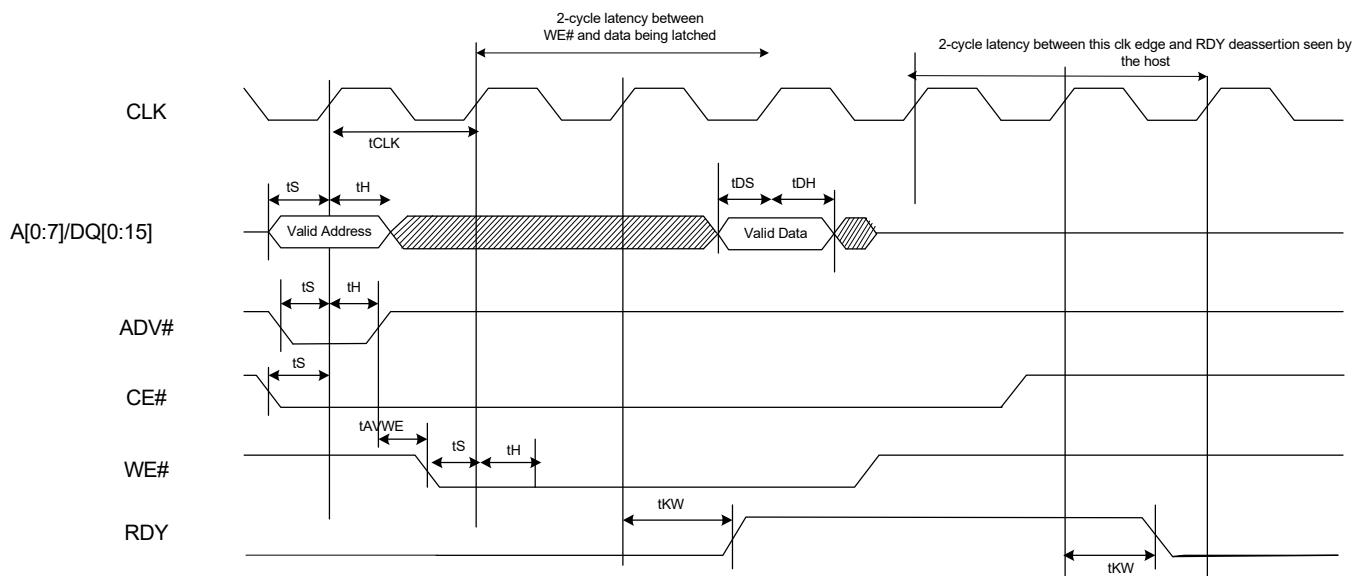
图 20. 同步 ADMux 接口 — 读周期时序



Note:

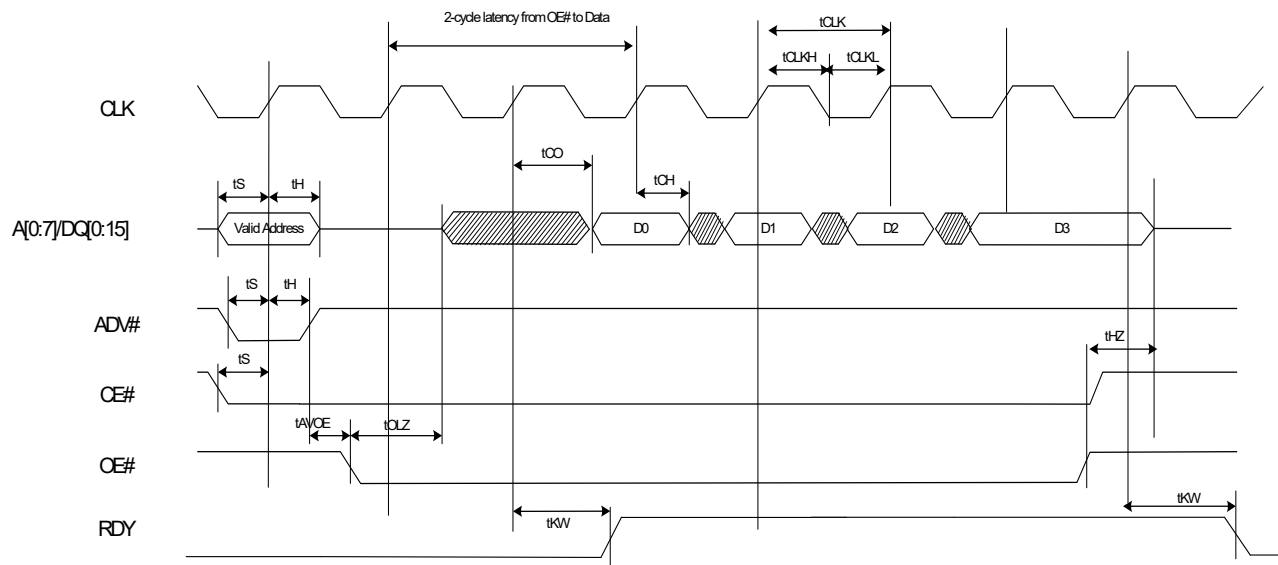
- 1) External P-Port processor and FX3S operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after OE # asserts and deassert a cycle after the data appears on the output
- 3) Valid output data appears 2 cycle after OE # asserted. The data is held until OE # deasserts
- 4) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

图 21. 同步 ADMux 接口 — 写周期时序



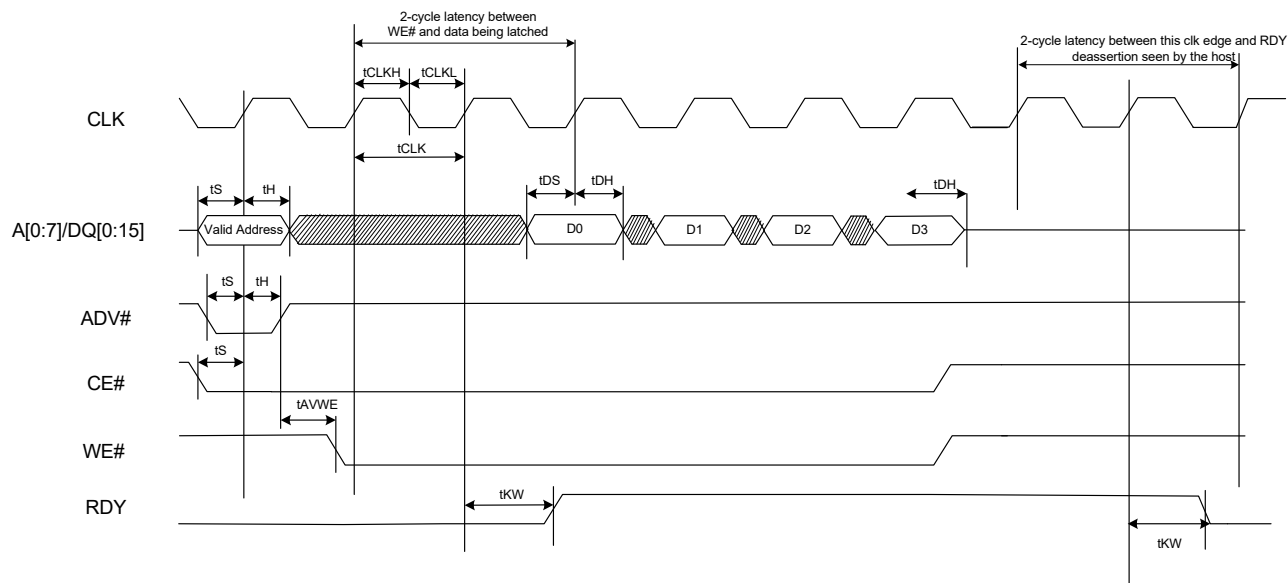
Note:

- 1) External P-Port processor and FX3S operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after WE # asserts and deassert 3 cycles after the edge sampling the data.
- 3) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

图 22. 同步 ADMux 接口 — 突发读取时序


Note:

- 1) External P-Port processor and FX3S work operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after OE # asserts and deasserts a cycle after the last burst data appears on the output
- 3) Valid output data appears 2 cycle after OE # asserts. The last burst data is held until OE # deasserts
- 4) Burst size of 4 is shown. Transfer size for the operation must be a multiple of burst size. Burst size is usually power of 2. RDY will not deassert in the middle of the burst.
- 5) External processor cannot deassert OE in the middle of a burst. If it does so, any bytes remaining in the burst packet could get lost.
- 6) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

图 23. 同步 ADMux 接口 — 突发写入时序


Note:

- 1) External P-Port processor and FX3S operate on the same clock edge
- 2) External processor sees RDY assert 2 cycles after WE # asserts and deasserts 3 cycles after the edge sampling the last burst data.
- 3) Transfer size for the operation must be a multiple of burst size. Burst size is usually power of 2. RDY will not deassert in the middle of the burst. Burst size of 4 is shown
- 4) External processor cannot deassert WE in the middle of a burst. If it does so, any bytes remaining in the burst packet could get lost.
- 5) Two cycle latency is shown for 0-100 MHz operation. Latency can be reduced by 1 cycle for operations at less than 50 MHz (this 1 cycle latency is not supported by the bootloader)

表 20. 同步 ADMux 时序参数

参数 ^[10]	说明	最小值	最大值	单位
FREQ	接口时钟频率	–	100	MHz
tCLK	时钟周期	10	–	ns
tCLKH	时钟高电平时间	4	–	ns
tCLKL	时钟低电平时间	4	–	ns
tS	CE#/WE#/DQ 的建立时间	2	–	ns
tH	CE#/WE#/DQ 的保持时间	0.5	–	ns
tCH	从时钟到数据的保持时间	0	–	ns
tDS	数据输入的建立时间	2	–	ns
tDH	从时钟到数据输入的保持数据时间	0.5	–	ns
tAVDOE	从 ADV# 为高电平到 OE# 为低电平的时间	0	–	ns
tAVDWE	从 ADV# 为高电平到 WE# 为低电平的时间	0	–	ns
tHZ	从 CE# 为高电平到数据为高阻态的时间	–	8	ns
tOHZ	从 OE# 为高电平到数据为高阻态的时间	–	8	ns
tOLZ	从 OE# 为低电平到数据为低阻态的时间	0	–	ns
tKW	从时钟到 RDY 有效的时间	–	8	ns

注释:

10. 所有参数均由设计保证，并通过特性化进行验证。

从设备 FIFO 接口

同步从设备 FIFO 序列说明

- FIFO 地址稳定, 且 SLCS 被激活
- FLAG 表示 FIFO 不为空的状态
- SLOE 被激活。SLOE 仅是一个输出使能信号, 其唯一功能是驱动数据总线。
- SLRD 被激活

FIFO 指针在 PCLK 的上升沿上更新, 同时 SLRD 被激活。这会启动从新寻址位置到数据总线之间的数据传输。经过 t_{CO} 传输延迟 (从 PCLK 的上升沿测量) 后即可提供新的数值。N 是自 FIFO 读取的第一个数值。要在 FIFO 数据总线上保留数据, 还必须同时激活 SLOE。

突发读取时还会显示相同的事件序列。

FLAG 使用:

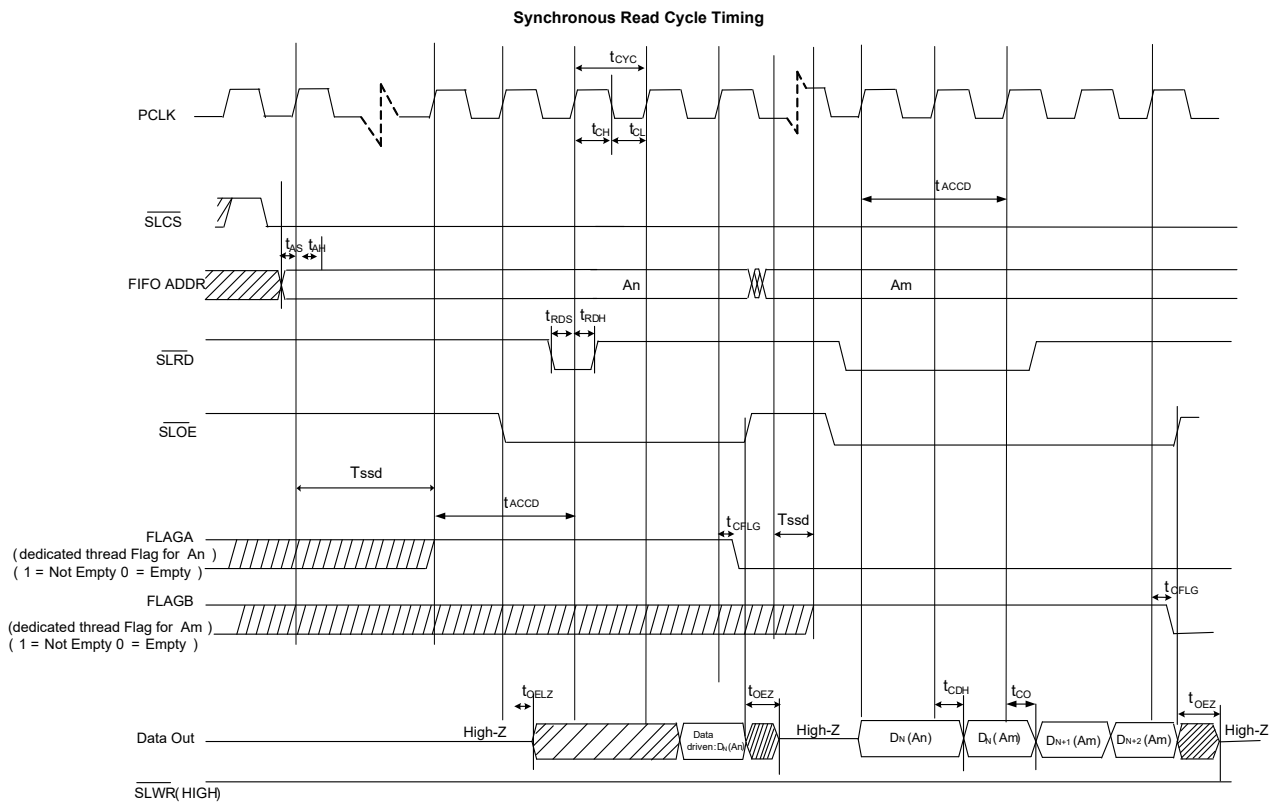
通过外部处理器监视 FLAG 信号的流量控制。FLAG 信号是 FX3S 的输出, 可以配置为显示专用线程或当前正在寻址的线程的空状态, 全状态或局部状态。

插座切换延迟 (Tssd)

插座切换延迟的测量时间范围是从 EPSWITCH# 被主机置位开始 (通过新插座在地址总线上的地址), 到 Current Thread Ready 被标志为止。对于生产者插座, 当 DMA 缓存区准备好接收数据时, 该标志会被置位。对于使用者插座, 当 DMA 缓冲区准备好将数据从中取出时, 这个标志会被置位。对于同步从属 FIFO 接口, 切换延迟是由 GPIF 接口的时钟周期数量来测量的; 对于异步从属接口, 是由 PIB 时钟周期测量的。这一规律仅适用于 5 位从属 FIFO 接口; 由于使用了 GPIF II 状态机中的线程切换, FX3 的 2 位从属 FIFO 接口没有插座切换延迟。

注意: 对于突发模式, 在整个读取过程中持续激活 SLRD# 和 SLOE#。当 SLOE# 被激活时, 将 (利用来自之前已寻址的 FIFO 的数据) 驱动数据总线。当 SLRD# 有效时, 于每一个 PCLK 序列的上升沿, FIFO 指针会递增, 且下一个数据值会被传输到数

图 24. 同步从设备 FIFO 读取模式



注意: 对于突发模式, **SLWR#** 和 **SLCS#** 在写入所有所需数据值的整个过程中保持激活状态。在突发写入模式下, **SLWR#** 被激活后, 会在 **PCLK** 的每个上升沿上将 **FIFO** 数据总线上的数据写入到 **FIFO** 中。在 **PCLK** 的每个上升沿上更新 **FIFO** 指针。

零长度数据包: 通过激活 PKTEND#, 而没有激活 SLWR#, 外部器件或处理器可以轻松地将一个零长度数据包 (ZLP) 传输到 FX3S。必须按照图 25 的内容驱动 SLCS# 和地址。

图 25. 同步从设备 FIFO 写入模式

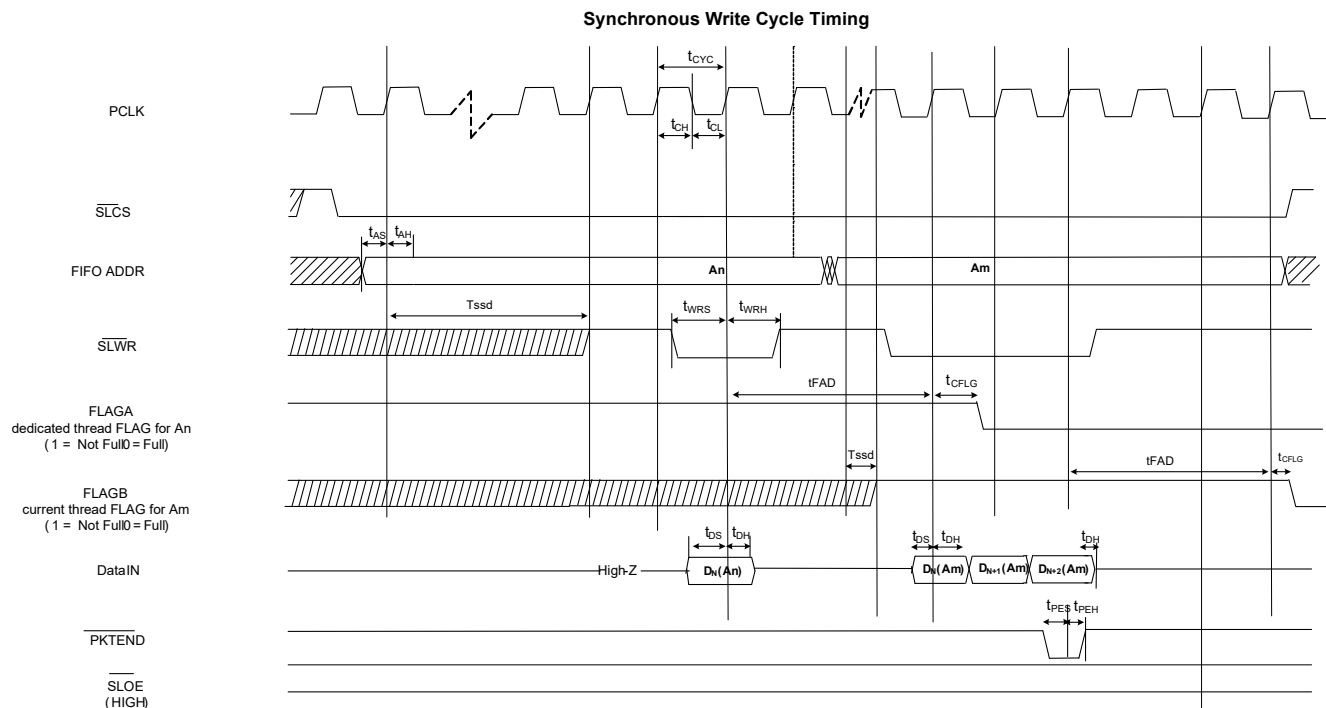


表 21. 同步从设备 FIFO 参数

参数 ^[11]	说明	最小值	最大值	单位
FREQ	接口时钟频率	–	100	MHz
tCYC	时钟周期	10	–	ns
tCH	时钟为高电平的时间	4	–	ns
tCL	时钟为低电平的时间	4	–	ns
tRDS	从 SLRD# 到 CLK 的建立时间	2	–	ns
tRDH	从 SLRD# 到 CLK 的保持时间	0.5	–	ns
tWRS	从 SLWR# 到 CLK 的建立时间	2	–	ns
tWRH	从 SLWR# 到 CLK 的保持时间	0.5	–	ns
tCO	从时钟到数据生效的时间	–	7	ns
tDS	数据输入的建立时间	2	–	ns
tDH	从时钟到数据输入的保持数据时间	0.5	–	ns
tAS	从地址到时钟的地址建立时间	2	–	ns
tAH	从 CLK 到地址的保持时间	0.5	–	ns
tOELZ	从 SLOE# 到数据变为低阻态的时间	0	–	ns
tCFLG	从时钟到标志输出的延迟	–	8	ns
tOEZ	从 SLOE# 解除激活到数据为高阻态的时间	–	8	ns
tPES	从 PKTEND# 到 CLK 的建立时间	2	–	ns
tPEH	从 CLK 到 PKTEND# 的保持时间	0.5	–	ns
tCDH	从 CLK 到数据输出的保持时间	2	–	ns
tSSD	插座切换延迟	2	68	时钟周期
tACCD	从 SLRD# 到 Data 延迟	2	2	时钟周期
tFAD	从 SLWR# 到 FLAG 延迟	3	3	时钟周期
注：从 ADDR 到 DATA/FLAGS 延迟三个周期				

异步从设备 FIFO 读序列说明

- FIFO 地址稳定，且 SLCS# 信号被激活。
- SLOE# 被激活。这使得数据总线被驱动。
- SLRD# 被激活。
- SLRD# 激活后，开始驱动来自 FIFO 的数据。该数据将在从 SLRD# 下降沿的 tRDO 传输延迟后生效。
- FIFO 指针在 SLRD# 的解除激活后递增

在第 37 页上的图 26 中，数据 N 是从 FIFO 读取的第一个有效数据。要想在读周期内使数据在总线上出现，SLOE# 必须处于激活状态。SLRD# 和 SLOE# 也可绑定。

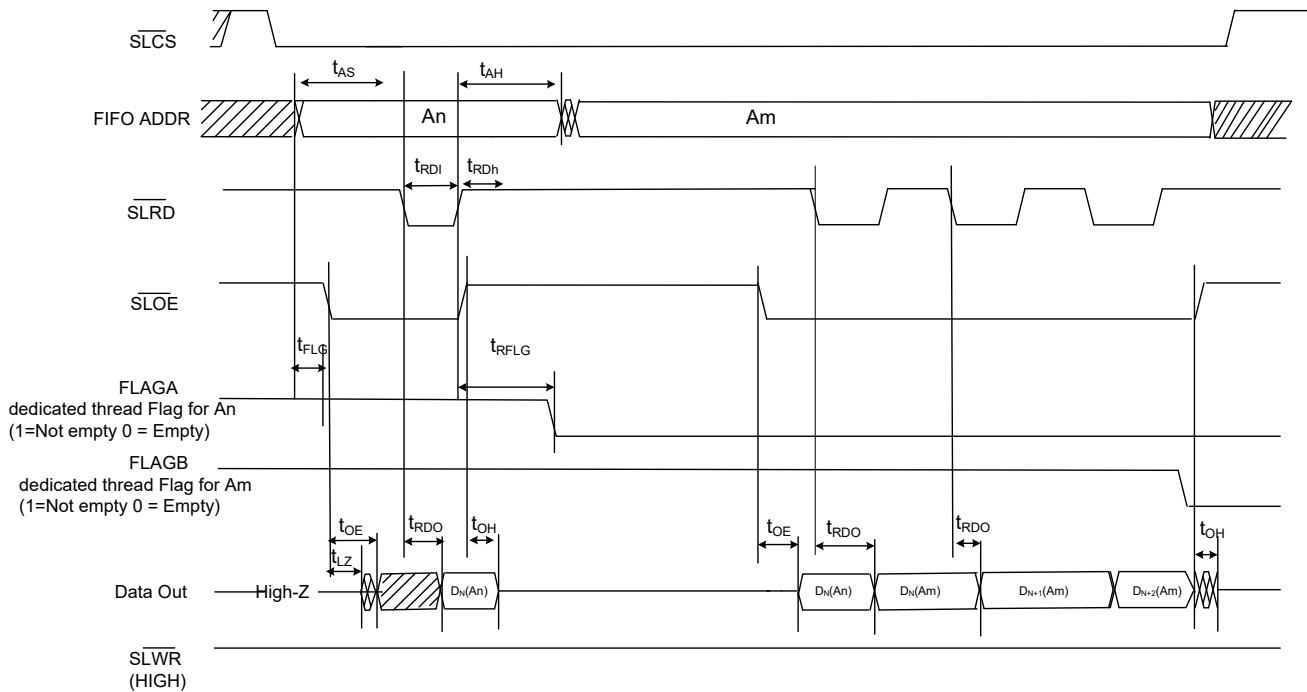
突发读取时还会显示相同的事件序列。

注意：在突发读取模式下，数据总线在 SLOE# 激活期间处于驱动状态（数据从之前已寻址的 FIFO 中启动）。SLRD# 激活后，在数据总线上驱动来 FIFO 的数据（也必须激活 SLOE#）。FIFO 指针在 SLRD# 的解除激活后递增。

注释：

11. 所有参数均由设计保证，并通过特性化进行验证。

图 26. 异步从设备 FIFO 读取模式



异步从设备 FIFO 写序列说明

- FIFO 地址被驱动，且 SLCS# 被激活
 - SLWR# 被激活。SLCS# 必须与 SLWR# 同时激活，或先于 SLWR# 激活
 - 在 SLWR# 边沿上解除激活前，数据必须显示在总线 tWRS 上
 - 解除激活 SLWR# 会导致将数据从数据总线写入到 FIFO 内，然后 FIFO 指针递增
 - 在 SLWR 边沿解除激活的 tWFLG 后，将更新 FIFO 标志。
- 突发写入时显示相同的事件序列。

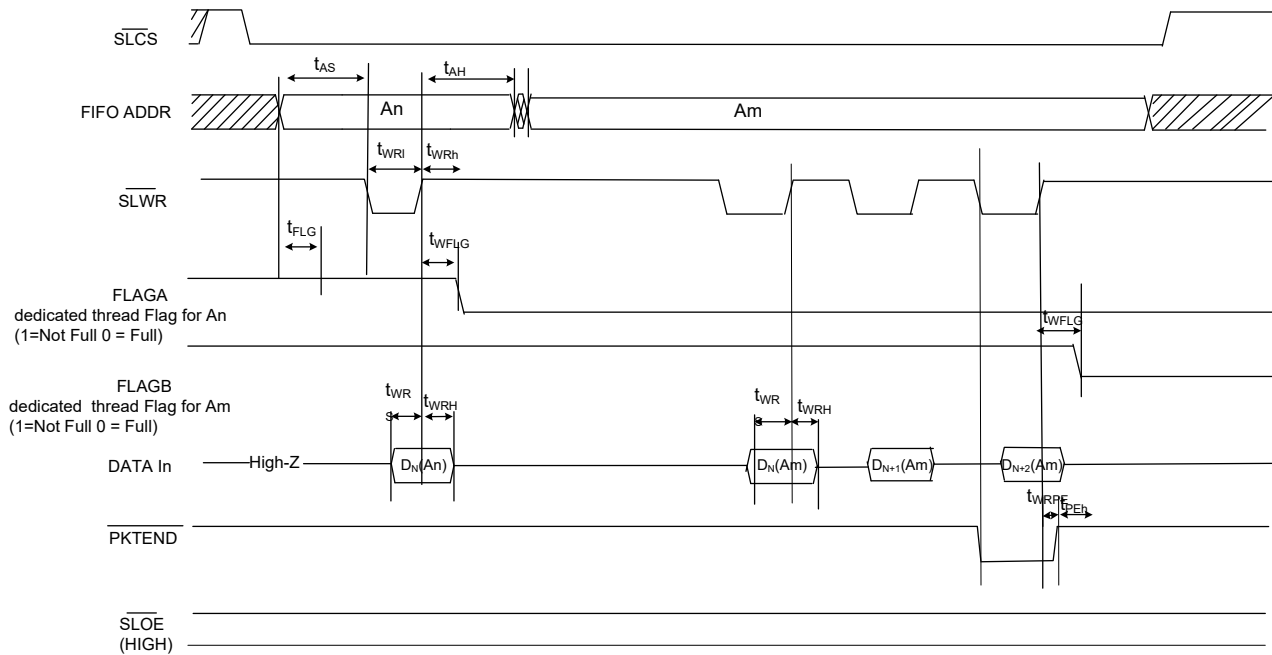
请注意，在突发写入模式下，SLWR# 解除激活后，会将数据写入 FIFO 内，然后 FIFO 指针递增。

短数据包：通过 PKTEND# 信号可将某个短数据包发送到 USB 主机。需要设计外部器件或处理器，使之在最后数据字以及与该字相应的 SLWR# 脉冲时同时激活 PKTEND#，必须在激活 PKTEND# 过程中保持 FIFOADDR 不变。

零长度数据包：通过激活 PKTEND#，而没有激活 SLWR#，外部器件或处理器可以轻松地将一个零长度数据包 (ZLP) 传输到 FX3S。必须按照第 38 页上的图 27 的内容驱动 SLCS# 和地址。

FLAG 用途：外部处理器通过监控 FLAG 信号来实现流量控制。FLAG 信号由 FX3S 器件输出。配置该器件，可显示专用地址或当前地址的空、满和局部状态。

图 27. 异步从设备 FIFO 写入模式

Asynchronous Write Cycle Timing


t_{WRPE} : SLWR# de-assert to PKTEND deassert = 2ns min (This means that PKTEND should not be deasserted before SLWR#)
 Note: PKTEND must be asserted at the same time as SLWR#.

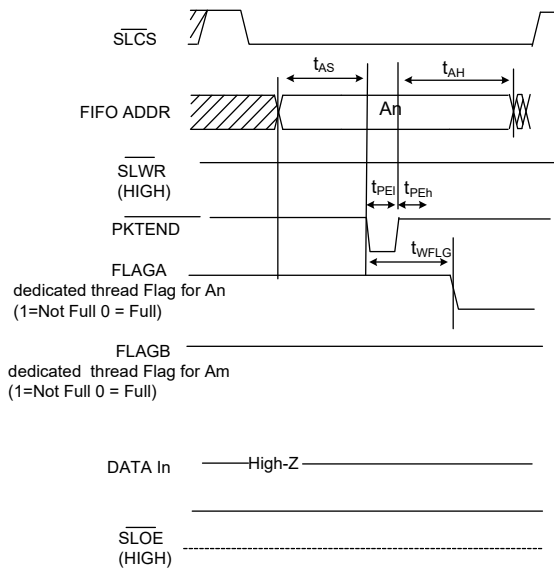
Asynchronous ZLP Write Cycle Timing


表 22. 异步从设备 FIFO 参数

参数 ^[12]	说明	最小值	最大值	单位
tRDI	SLRD# 为低电平的时间	20	–	ns
tRDh	SLRD# 为高电平的时间	10	–	ns
tAS	从地址到 SLRD#/SLWR# 的建立时间	7	–	ns
tAH	从 SLRD#/SLWR#/PKTEND 到地址的保持时间	2	–	ns
tRFLG	从 SLRD# 到 FLAGS 输出的传输延迟	–	35	ns
tFLG	从 ADDR 到 FLAGS 输出的传输延迟	–	22.5	
tRDO	从 SLRD# 到数据生效的时间	–	25	ns
tOE	从 OE# 为低电平到数据生效的时间	–	25	ns
tLZ	从 OE# 为低电平到数据为低阻态的时间	0	–	ns
tOH	SLOE# 解除激活数据输出的保持时间	–	22.5	ns
tWRI	SLWR# 为低电平的时间	20	–	ns
tWRh	SLWR# 为高电平的时间	10	–	ns
tWRS	从数据到 SLWR# 的建立时间	7	–	ns
tWRH	从 SLWR# 到数据的保持时间	2	–	ns
tWFLG	从 SLWR#/PKTEND 到标志输出的传输延迟	–	35	ns
tPEI	PKTEND 为低电平的时间	20	–	ns
tPEh	PKTEND 为高电平的时间	7.5	–	ns
tWRPE	从 SLWR# 解除激活到 PKTEND 解除激活的时间	2	–	ns

注释:

12. 所有参数均由设计保证，并通过特性化进行验证。

存储端口时序

S0 端口和 S1 端口支持 MMC 规范版本 4.41 以及 SD 规范版本 3.0。表 23 中列出了 FX3S 器件中 S 端口的时序参数。

表 23. S 端口的时序参数

参数 ^[13]	说明	最小值	最大值	单位
MMC-20				
tSDIS CMD	CMD 的主机输入建立时间	4.8	—	ns
tSDIS DAT	DAT 的主机输入建立时间	4.8	—	ns
tSDIH CMD	CMD 的主机输入保持时间	4.4	—	ns
tSDIH DAT	DAT 的主机输入保持时间	4.4	—	ns
tSDOS CMD	CMD 的主机输出建立时间	5	—	ns
tSDOS DAT	DAT 的主机输出建立时间	5	—	ns
tSDOH CMD	CMD 的主机输出保持时间	5	—	ns
tSDOH DAT	DAT 的主机输出保持时间	5	—	ns
tSCLKR	时钟的上升时间	—	2	ns
tSCLKF	时钟的下降时间	—	2	ns
tSDCK	时钟周期时间	50	—	ns
SDFREQ	时钟频率	—	20	MHz
tSDCLKOD	时钟占空比	40	60	%
MMC-26				
tSDIS CMD	CMD 的主机输入建立时间	10	—	ns
tSDIS DAT	DAT 的主机输入建立时间	10	—	ns
tSDIH CMD	CMD 的主机输入保持时间	9	—	ns
tSDIH DAT	DAT 的主机输入保持时间	9	—	ns
tSDOS CMD	CMD 的主机输出建立时间	3	—	ns
tSDOS DAT	DAT 的主机输出建立时间	3	—	ns
tSDOH CMD	CMD 的主机输出保持时间	3	—	ns
tSDOH DAT	DAT 的主机输出保持时间	3	—	ns
tSCLKR	时钟的上升时间	—	2	ns
tSCLKF	时钟的下降时间	—	2	ns
tSDCK	时钟周期时间	38.5	—	ns
SDFREQ	时钟频率	—	26	MHz
tSDCLKOD	时钟占空比	40	60	%
MC-HS				
tSDIS CMD	CMD 的主机输入建立时间	4	—	ns
tSDIS DAT	DAT 的主机输入建立时间	4	—	ns
tSDIH CMD	CMD 的主机输入保持时间	3	—	ns
tSDIH DAT	DAT 的主机输入保持时间	3	—	ns
tSDOS CMD	CMD 的主机输出建立时间	3	—	ns
tSDOS DAT	DAT 的主机输出建立时间	3	—	ns
tSDOH CMD	CMD 的主机输出保持时间	3	—	ns
tSDOH DAT	DAT 的主机输出保持时间	3	—	ns
tSCLKR	时钟的上升时间	—	2	ns

注释:

13. 所有参数均由设计保证, 并通过特性化进行验证。

表 23. S 端口的时序参数（续表）

参数 ^[13]	说明	最小值	最大值	单位
tSCLKF	时钟的下降时间	–	2	ns
tSDCK	时钟周期时间	19.2	–	ns
SDFREQ	时钟频率	–	52	MHz
tSDCLKOD	时钟占空比	40	60	%
MMC-DDR52				
tSDIS CMD	CMD 的主机输入建立时间	4	–	ns
tSDIS DAT	DAT 的主机输入建立时间	0.56	–	ns
tSDIH CMD	CMD 的主机输入保持时间	3	–	ns
tSDIH DAT	DAT 的主机输入保持时间	2.58	–	ns
tSDOS CMD	CMD 的主机输出建立时间	3	–	ns
tSDOS DAT	DAT 的主机输出建立时间	2.5	–	ns
tSDOH CMD	CMD 的主机输出保持时间	3	–	ns
tSDOH DAT	DAT 的主机输出保持时间	2.5	–	ns
tSCLKR	时钟的上升时间	–	2	ns
tSCLKF	时钟的下降时间	–	2	ns
tSDCK	时钟周期时间	19.2	–	ns
SDFREQ	时钟频率	–	52	MHz
tSDCLKOD	时钟占空比	45	55	%
SD- 默认速度 (SDR12)				
tSDIS CMD	CMD 的主机输入建立时间	24	–	ns
tSDIS DAT	DAT 的主机输入建立时间	24	–	ns
tSDIH CMD	CMD 的主机输入保持时间	2.5	–	ns
tSDIH DAT	DAT 的主机输入保持时间	2.5	–	ns
tSDOS CMD	CMD 的主机输出建立时间	5	–	ns
tSDOS DAT	DAT 的主机输出建立时间	5	–	ns
tSDOH CMD	CMD 的主机输出保持时间	5	–	ns
tSDOH DAT	DAT 的主机输出保持时间	5	–	ns
tSCLKR	时钟的上升时间	–	2	ns
tSCLKF	时钟的下降时间	–	2	ns
tSDCK	时钟周期时间	40	–	ns
SDFREQ	时钟频率	–	25	MHz
tSDCLKOD	时钟占空比	40	60	%
SD- 高速 (SDR25)				
tSDIS CMD	CMD 的主机输入建立时间	4	–	ns
tSDIS DAT	DAT 的主机输入建立时间	4	–	ns
tSDIH CMD	CMD 的主机输入保持时间	2.5	–	ns
tSDIH DAT	DAT 的主机输入保持时间	2.5	–	ns
tSDOS CMD	CMD 的主机输出建立时间	6	–	ns
tSDOS DAT	DAT 的主机输出建立时间	6	–	ns
tSDOH CMD	CMD 的主机输出保持时间	2	–	ns
tSDOH DAT	DAT 的主机输出保持时间	2	–	ns
tSCLKR	时钟的上升时间	–	2	ns
tSCLKF	时钟的下降时间	–	2	ns

表 23. S 端口的时序参数（续表）

参数 ^[13]	说明	最小值	最大值	单位
tSDCK	时钟周期时间	20	–	ns
SDFREQ	时钟频率	–	50	MHz
tSDCLKOD	时钟占空比	40	60	%
SD-SDR50				
tSDIS CMD	CMD 的主机输入建立时间	1.5	–	ns
tSDIS DAT	DAT 的主机输入建立时间	1.5	–	ns
tSDIH CMD	CMD 的主机输入保持时间	2.5	–	ns
tSDIH DAT	DAT 的主机输入保持时间	2.5	–	ns
tSDOS CMD	CMD 的主机输出建立时间	3	–	ns
tSDOS DAT	DAT 的主机输出建立时间	3	–	ns
tSDOH CMD	CMD 的主机输出保持时间	0.8	–	ns
tSDOH DAT	DAT 的主机输出保持时间	0.8	–	ns
tSCLKR	时钟的上升时间	–	2	ns
tSCLKF	时钟的下降时间	–	2	ns
tSDCK	时钟周期时间	10	–	ns
SDFREQ	时钟频率		100	MHz
tSDCLKOD	时钟占空比	40	60	%
SD-DDR50				
tSDIS CMD	CMD 的主机输入建立时间	4	–	ns
tSDIS DAT	DAT 的主机输入建立时间	0.92	–	ns
tSDIH CMD	CMD 的主机输入保持时间	2.5	–	ns
tSDIH DAT	DAT 的主机输入保持时间	2.5	–	ns
tSDOS CMD	CMD 的主机输出建立时间	6	–	ns
tSDOS DAT	DAT 的主机输出建立时间	3	–	ns
tSDOH CMD	CMD 的主机输出保持时间	0.8	–	ns
tSDOH DAT	DAT 的主机输出保持时间	0.8	–	ns
tSCLKR	时钟的上升时间	–	2	ns
tSCLKF	时钟的下降时间	–	2	ns
tSDCK	时钟周期时间	20	–	ns
SDFREQ	时钟频率	–	50	MHz
tSDCLKOD	时钟占空比	45	55	%

串行外设时序

I²C 时序

图 28. I²C 时序定义

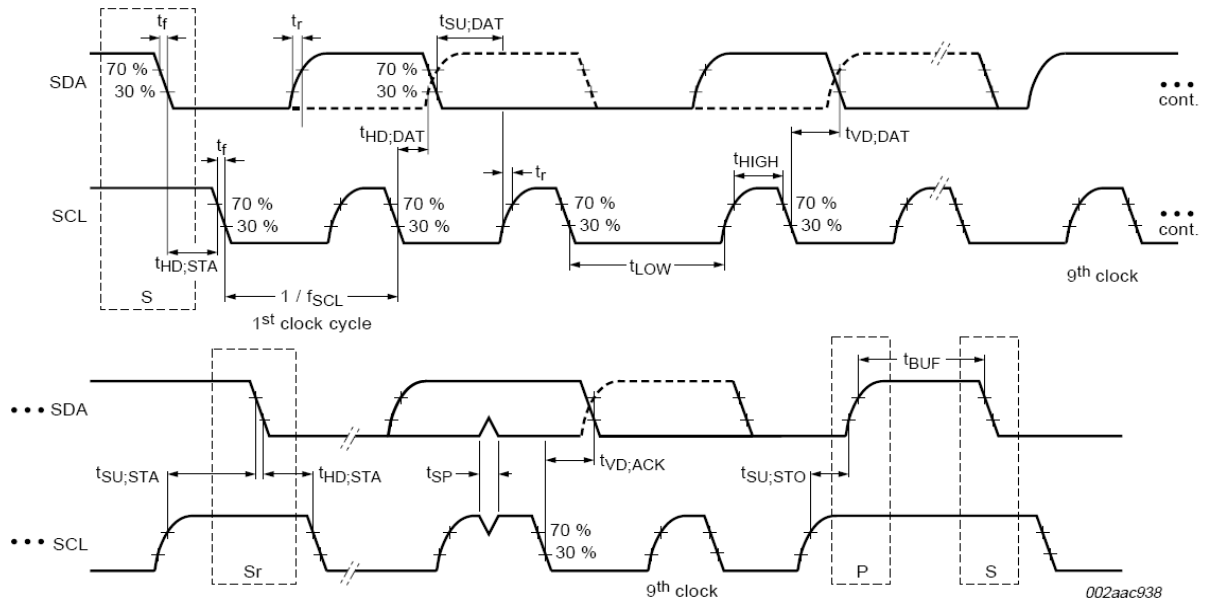


表 24. I²C 时序参数

参数 ^[14]	说明	最小值	最大值	单位
I²C 标准模式参数				
fSCL	SCL 时钟频率	0	100	kHz
tHD:STA	启动条件的保持时间	4	–	μs
tLOW	SCL 为低电平的周期	4.7	–	μs
tHIGH	SCL 为高电平的周期	4	–	μs
tSU:STA	重复启动条件的建立时间	4.7	–	μs
tHD:DAT	数据保持时间	0	–	μs
tSU:DAT	Data setup time	250	–	ns
tr	SDA 和 SCL 信号的上升时间	–	1000	ns
tf	SDA 和 SCL 信号的下降时间	–	300	ns
tSU:STO	停止条件的建立时间	4	–	μs
tBUF	停止和启动条件之间的总线空闲时间	4.7	–	μs
tVD:DAT	数据有效时间	–	3.45	μs
tVD:ACK	数据有效 ACK 时间	–	3.45	μs
tSP	输入滤波器抑制的尖峰脉冲的宽度	n/a	n/a	
I²C 快速模式的参数				
fSCL	SCL 时钟频率	0	400	kHz
tHD:STA	启动条件的保持时间	0.6	–	μs
tLOW	SCL 为低电平的周期	1.3	–	μs
tHIGH	SCL 为高电平的周期	0.6	–	μs
tSU:STA	重复启动条件的建立时间	0.6	–	μs
tHD:DAT	数据保持时间	0	–	μs
tSU:DAT	数据建立时间	100	–	ns
tr	SDA 和 SCL 信号的上升时间	–	300	ns
tf	SDA 和 SCL 信号的下降时间	–	300	ns
tSU:STO	停止条件的建立时间	0.6	–	μs
tBUF	停止和启动条件之间的总线空闲时间	1.3	–	μs
tVD:DAT	数据有效时间	–	0.9	μs
tVD:ACK	数据有效 ACK 时间	–	0.9	μs
tSP	输入滤波器抑制的尖峰脉冲的宽度	0	50	ns
I²C 增强型快速模式的参数 (在 I2C_VDDQ=1.2 V 时不支持)				
fSCL	SCL 时钟频率	0	1000	kHz
tHD:STA	启动条件的保持时间	0.26	–	μs
tLOW	LOW period of the SCL	0.5	–	μs
tHIGH	SCL 为高电平的周期	0.26	–	μs
tSU:STA	重复启动条件的建立时间	0.26	–	μs

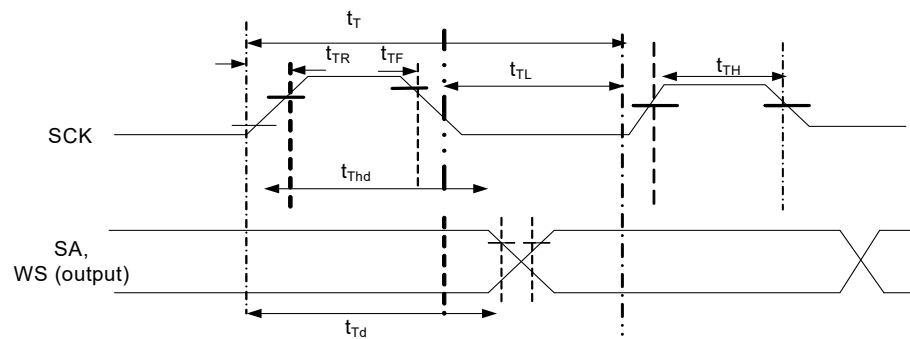
注释:

14. 所有参数均由设计保证，并通过特性化进行验证。

表 24. I²C 时序参数（续表）

参数 ^[14]	说明	最小值	最大值	单位
t _{HD:DAT}	数据保持时间	0	–	μs
t _{SU:DAT}	数据建立时间	50	–	ns
t _r	SDA 和 SCL 信号的上升时间	–	120	ns
t _f	SDA 和 SCL 信号的下降时间	–	120	ns
t _{SU:STO}	停止条件的建立时间	0.26	–	μs
t _{BUF}	停止和启动条件之间的总线空闲时间	0.5	–	μs
t _{VD:DAT}	数据有效时间	–	0.45	μs
t _{VD:ACK}	数据有效 ACK 时间	–	0.55	μs
t _{SP}	输入滤波器抑制的尖峰脉冲的宽度	0	50	ns

I²S 时序图

 图 29. I²S 发送周期

 表 25. I²S 时序参数

参数 ^[15]	说明	最小值	最大值	单位
t _T	I ² S 发送器的时钟周期	T _{tr}	–	ns
t _{TL}	I ² S 发送器为低电平的周期	0.35 × T _{tr}	–	ns
t _{TH}	I ² S 发送器为高电平的周期	0.35 × T _{tr}	–	ns
t _{TR}	I ² S 发送器的上升时间	–	0.15 × T _{tr}	ns
t _{TF}	I ² S 发送器的下降时间	–	0.15 × T _{tr}	ns
t _{Thd}	I ² S 发送器的数据保留时间	0	–	ns
t _{Td}	I ² S 发送器的延迟时间	–	0.8 × t _T	ns

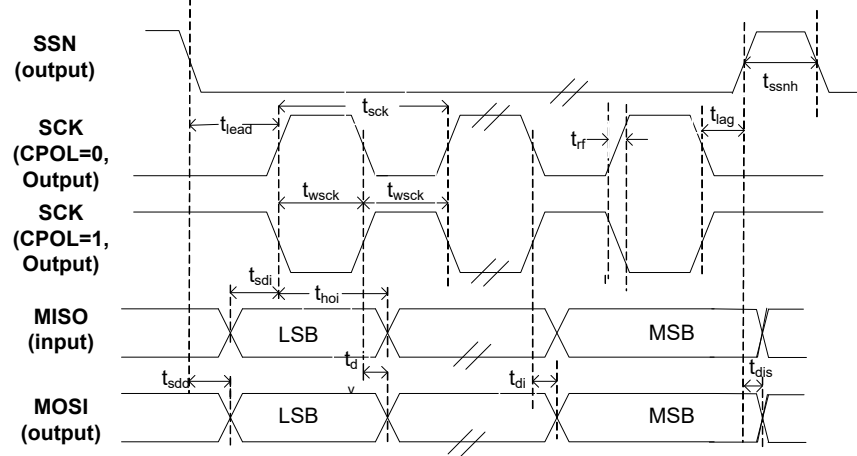
注意：通过时钟齿轮可以选择 t_T。T_{tr} 的最大值是 326 ns (3.072 MHz)，此值用于 32 位的 96 kHz 编解码器。

注释：

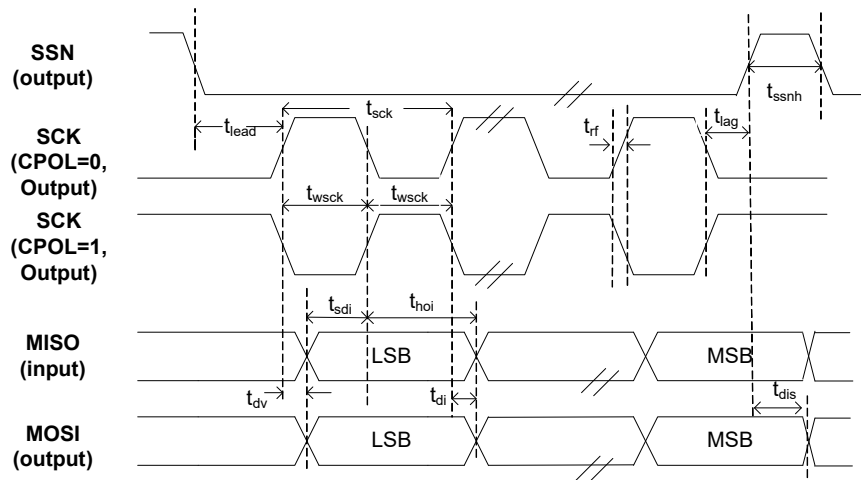
15. 所有参数均由设计保证，并通过特性化进行验证。

SPI 时序规范

图 30. SPI 时序



SPI Master Timing for CPHA = 0



SPI Master Timing for CPHA = 1

表 26. SPI 时序参数

参数 ^[16]	说明	最小值	最大值	单位
fop	工作频率	0	33	MHz
tsck	周期时间	30	–	ns
twscck	SPI 时钟为高 / 低电平的时间	13.5	–	ns
tlead	SSN-SCK 前置时间	$1/2 \text{ tsck}^{[17]} - 5$	$1.5 \text{ tsck}^{[17]} + 5$	ns
tlag	启动延迟时间	0.5	$1.5 \text{ tsck}^{[17]} + 5$	ns
trf	上升 / 下降时间	–	8	ns
tsdd	输出 SSN 到有效的数据的延迟时间	–	5	ns
tdv	输出数据有效时间	–	5	ns
tdi	输出数据无效时间	0	–	ns
tssnh	SSN 高电平时间的最小值	10	–	ns
tsdi	数据建立时间输入	8	–	ns
thoi	数据输入的保持时间	0	–	ns
tdis	SSN 高电平上禁用数据输出的时间	0	–	ns

注释

16. 所有参数均由设计保证，并通过特性化进行验证。

17. 取决于 SPI_CONFIG 寄存器中的 LAG 和 LEAD 设置。

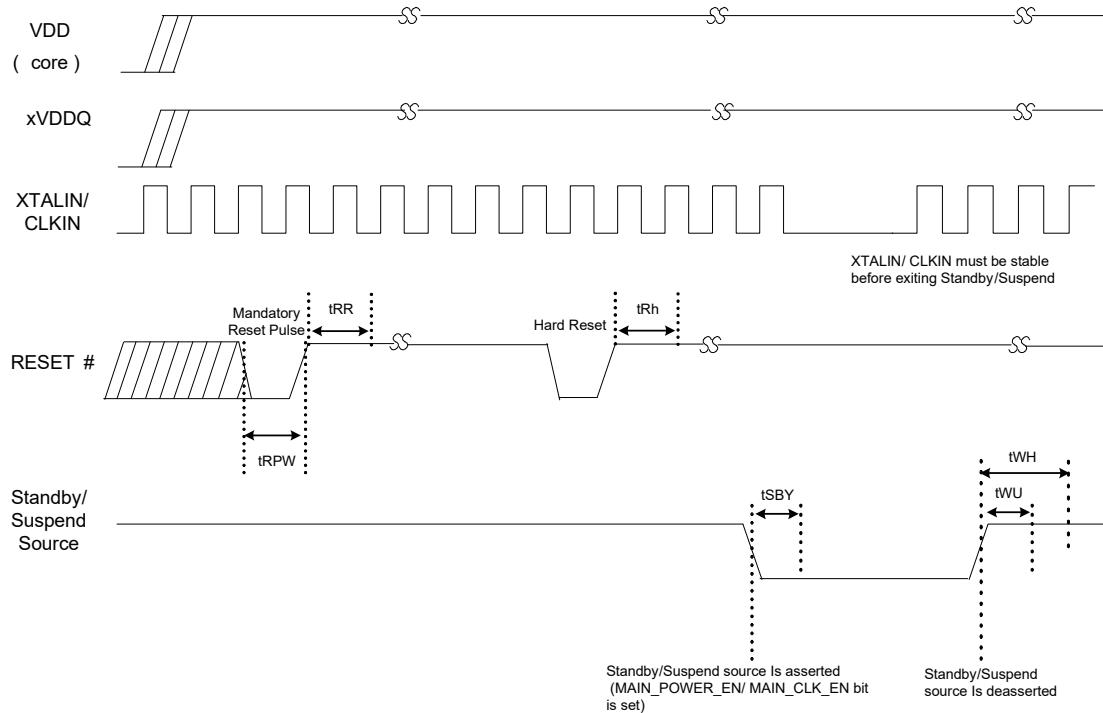
复位序列

本节中详细介绍了 FX3S 的硬复位序列的要求。

表 27. 复位和待机时序参数

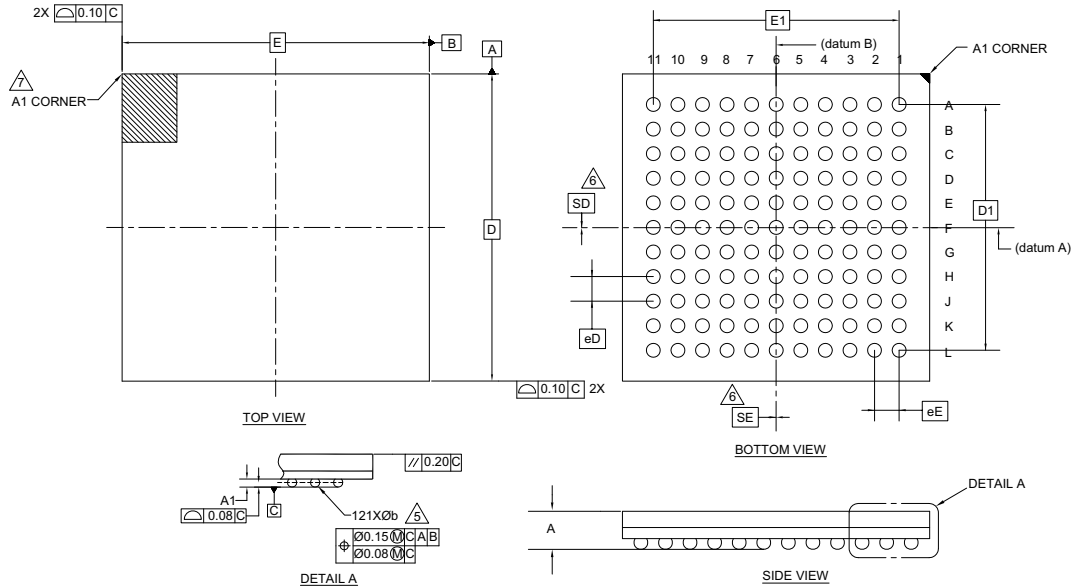
参数	定义	条件	最小值 (ms)	最大值 (ms)
tRPW	最小 RESET# 脉冲宽度	时钟输入	1	—
		晶振输入	1	—
tRH	RESET# 为高电平的最短时间	—	5	—
tRR	复位恢复时间 (从此之后 Bootloader 开始下载固件)	时钟输入	1	—
		晶振输入	5	—
tSBY	进入待机 / 暂停模式的时间 (起始时间为 MAIN_CLOCK_EN/MAIN_POWER_EN 位的建立时间)	—	—	1
tWU	从待机模式唤醒的时间	时钟输入	1	—
		晶振输入	5	—
tWH	重新激活待机 / 暂停资源前的最短时间	—	5	—

图 31. 复位序列



封装图

图 32. 121 球形焊盘 FBGA (10 × 10 × 1.2 mm (0.30 mm 引脚直径)) 封装外形, 001-54471



NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "*" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

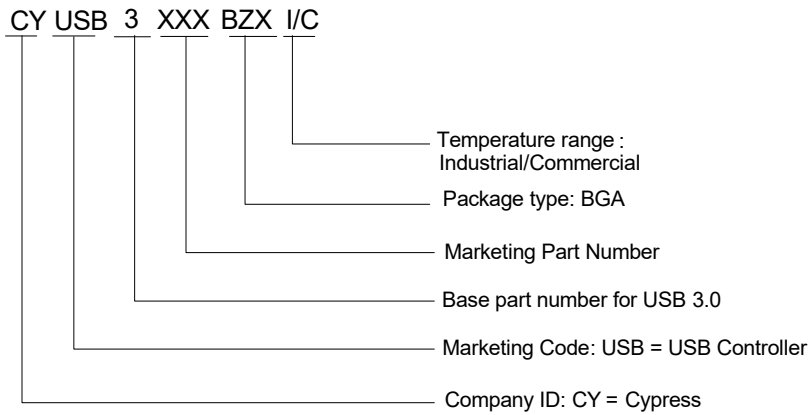
001-54471 *F

订购信息

表 28. 器件订购信息

订购代码	SRAM (KB)	存储端口	HS-USB OTG	GPIF II 数据总线宽度	封装类型
CYUSB3035-BZXI	512	2	Yes	16 位	121 球形焊盘 BGA
CYUSB3035-BZXC	512	2	Yes	16 位	121 球形焊盘 BGA
CYUSB3033-BZXC	512	1	Yes	16 位	121 球形焊盘 BGA
CYUSB3031-BZXC	256	1	No	16 位	121 球形焊盘 BGA

订购代码定义



缩略语

缩略语	说明
DMA	直接存储器访问 (Direct Memory Access)
HNP	主机协商协议 (Host Negotiation Protocol)
MMC	多媒体卡 (Multimedia Card)
MTP	媒体传输协议 (Media Transfer Protocol)
PLL	锁相环 (Phase Locked Loop)
PMIC	电源管理 IC (Power Management IC)
SD	安全数字 (Secure Digital)
SDIO	安全数字输入 / 输出 (Secure Digital Input/Output)
SLC	单层单元 (Single-Level Cell)
SLCS	从设备选择 (Slave Chip Select)
SLOE	从设备输出使能 (Slave Output Enable)
SLRD	从设备读取 (Slave Read)
SLWR	从设备写入 (Slave Write)
SPI	串行外设接口 (Serial Peripheral Interface)
SRP	会话请求协议 (Session Request Protocol)
USB	通用串行总线 (Universal Serial Bus)

文档规范

测量单位

符号	测量单位
°C	摄氏度
Mbps	每秒兆位数
MBps	每秒兆字节
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
pF	皮法
V	伏特

勘误表

本节介绍 FX3S 修订版 D，C 和 B 的勘误表。详细信息包括勘误的触发条件，影响范围，可用的变通办法和芯片版本适用性。如果您有任何疑问，请与当地的 Cypress 销售代表联系。

零件号受影响

零件号	设备特性
CYUSB303x-xxxx	所有变体

限制条件状态

产品状态：生产

勘误表摘要

下表定义了可用于修订版 D EZ-USB FX3S 超高速 USB 控制器系列设备的勘误表适用性。

条目	[零件号]	芯片修订版	修复状态
1. 在“正常”，“挂起”和“待机”模式下关闭 VIO1 会导致 FX3S 停止工作。	CYUSB303x-xxxx	Rev. D, C, B	提供了解决方法
2. FX3S 自供电时，USB 启动模式下的 USB 枚举失败。	CYUSB303x-xxxx	Rev. D, C, B	提供了解决方法
3. 在 GPIF II 状态下，提交操作会生成额外的 ZLP。	CYUSB303x-xxxx	Rev. D, C, B	提供了解决方法
4. USB 2.0 ISOC 数据传输中的 PID 序列无效。	CYUSB303x-xxxx	Rev. D, C, B	提供了解决方法
5. 当 ZLP 后面出现同一微帧内的数据包时，会出现 USB 数据传输错误。	CYUSB303x-xxxx	Rev. D, C, B	提供了解决方法
6. 当 I2C 块在 I2C 多主配置中用作主控制器时，会出现总线碰撞。	CYUSB303x-xxxx	Rev. D, C, B	在单主配置中使用 FX3S
7. USB3.0 主机控制器的低功耗 U1 快速退出问题。	CYUSB303x-xxxx	Rev. D, C, B	提供了解决方法
8. 在链路质量较差的主机上运行时 USB 数据损坏。	CYUSB303x-xxxx	Rev. D, C, B	提供了解决方法
9. 设备将来自 USB 3.0 主机的 Rx 检测序列视为有效的 U1 出口 LFPS 突发。	CYUSB303x-xxxx	Rev. D, C, B	提供了解决方法
10. 400 kHz 时，40/60 占空比出现 I2C 数据有效 (tVD : DAT) 规格违规。	CYUSB303x-xxxx	Rev. D, C, B	无需解决方法
11. FX3S 设备在多个电源循环后未正确响应来自主机的端口功能请求。	CYUSB303x-xxxx	Rev. D, C, B	提供了解决方法

1. 在“正常”，“挂起”和“待机”模式下关闭 VIO1 会导致 FX3S 停止工作。

■问题定义

在“正常”，“挂起”和“待机”模式下关闭 VIO1 将导致 FX3S 停止工作。

■受影响的参数

N/A

■触发条件

当在正常，挂起和待机模式下关闭 VIO1 时，会触发此情况。

■影响范围

FX3S 停止工作。

■解决方法

在正常模式，挂起模式和待机模式下，VIO1 必须保持打开状态。

■修复状态

没有解决方法。需要解决方法。

2. FX3S 自供电时，USB 启动模式下的 USB 枚举失败。

■问题定义

当 FX3S 自供电且未连接到 USB 主机时，它将进入低功耗模式，并且在连接到 USB 主机后不会唤醒。这是因为引导加载程序没有检查连接器上的 VBUS 引脚以检测 USB 连接。它预计 USB 总线在启动时会连接到主机。

■受影响的参数

N/A

■触发条件

当 FX3S 在 USB 引导模式下自动供电时，会触发此情况。

■影响范围

设备不枚举

■Workaround

连接到 USB 主机后重置设备。

■修复状态

没有解决方法。需要解决方法。

3. 在 GPIF II 状态下，提交操作会生成额外的 ZLP。

■问题定义

如果在没有 IN_DATA 操作的 GPIF-II 状态下使用提交操作，则会与数据包一起提交额外的零长度数据包 (ZLP)。

■受影响的参数

N/A

■触发条件

当提交操作在没有 IN_DATA 操作的状态下使用时，将触发此条件。

■影响范围

生成额外的 ZLP。

■解决方法

在相同状态下使用 IN_DATA 操作和提交操作。

■修复状态

没有解决方法。需要解决方法。

4. USB 2.0 ISOC 数据传输中的 PID 序列无效。

■问题定义

当 FX3S 设备作为具有高带宽等时端点的高速 USB 设备运行时，ISO 数据包的 PID 序列仅受等时设置控制。在每个微帧中生成 PID 序列时，不考虑数据包的长度。例如，即使在 MULT 设置为 2 的端点上发送了短数据包，使用的 PID 也将是 DATA2

■受影响的参数

N/A

■触发条件

当使用高带宽 ISOC 传输端点时，会触发此情况。

■影响范围

ISOC 数据传输失败。

■解决方法

可以通过在发送短数据包之前使用较低的异构设置重新配置端点，然后切换回原始值来解决此问题。

■修复状态

没有解决方法。需要解决方法。

5. 当 ZLP 后面出现同一微帧内的数据包时，会出现 USB 数据传输错误。

■问题定义

如果零长度数据包在超级速度端点启用了脉冲串的 USB 上被另一个数据包 (在一个微帧内或 125 μ s 内) 快速跟随，则可能会出现一些数据传输错误。

■受影响的参数

N/A

■触发条件

使用 ZLP 的超高速传输会触发此情况

■影响范围

数据故障和较低的数据速度。

■解决方法

解决方案是为了确保 ZLP 与端点启用了突发式 USB 的下一个数据包之间有一定的时间间隔。如果数据源无法确保这一点，则可以使用 CyU3PDmaChannelSetSuspend() API 在看到 EOP 情况时挂起相应的 USB DMA 插槽。一旦收到暂停回叫，就可以恢复信道操作。

■修复状态

没有解决方法。需要解决方法。

6. 当 I²C 块在 I²C 多主配置中用作主控制器时，会出现总线碰撞。

■问题定义

当在 I²C 多主配置中将 FX3S 用作主中继器时，可能会偶尔发生总线冲突。

■受影响的参数

NA

■触发条件

只有在 FX3S I²C 块以多主配置运行时，才会触发此情况。

■影响范围

当 I²C 总线未处于空闲状态时，FX3S I²C 块可以传输数据，从而导致总线冲突。

■解决方法

将 FX3S 用作单个主机。

■修复状态

没有解决方法。

7. USB3.0 主机控制器的低功耗 U1 快速退出问题。

■问题定义

当 FX3S 设备在进入 U1 状态后 5 μ s 内从低功耗 U1 状态过渡到 U0 状态时，设备有时无法过渡回 U0 状态，从而导致 USB 重置。

■受影响的参数

N/A

■触发条件

这种情况在低功耗转换模式下触发。

■影响范围

数据传输期间意外的 USB 热重置。

■解决方法

通过在数据传输期间禁用 LPM (链路电源管理)，可以在固件中解决此问题。

■修复状态

固件解决方案已得到证实且可靠。

8. 在链路质量较差的主机上运行时 USB 数据损坏。

■问题定义

如果 FX3S 在信号质量较差的 USB 3.0 链路上运行，则设备可能会在任何 In 端点上发送损坏的数据 (包括控制端点)。

■受影响的参数

N/A

■触发条件

当 USB3.0 链路信号质量非常差时，就会触发此情况。

■影响范围

任何 In 端点 (包括控制端点) 中的数据损坏。

■解决方法

应用程序固件应通过在接收 CYU3P_USBEPSS_RESET_EVT 事件时停止端点来执行错误恢复，然后在收到 CLEAR_FEATURE 请求时停止并重新启动 DMA 路径。

注意 SDK 版本 1.3.3 和更高版本在内部管理 DMA 传输，并在发现潜在错误情况时执行端点重置。有关应用固件的更多详细信息，请参阅 SDK 中提供的 [GpiftoUsb](#) 示例。

■修复状态

固件解决方案已得到证实且可靠。

9. 设备将来自 USB 3.0 主机的 Rx 检测序列视为有效的 U1 出口 LFPS 突发。

■问题定义

FX3S 设备中的 USB 3.0 PHY 使用电动怠速探测器来确定是否正在接收 LFPS。接收器未看到电气怠速状态的持续时间是定时的，用于检测各种 LFPS 突发。此实施会导致设备将来自 USB 主机的 Rx 检测序列视为有效的 U1 出口 LFPS 突发。

■受影响的参数

NA

■触发条件

当 USB 主机正在启动 Rx 检测序列，而 FX3S 上的 USB 3.0 链路状态计算机处于 U1 状态时，会触发此情况。由于主机只能在 RX Detect 和 U2 状态下执行 Rx 检测序列，因此只有在 FX3S 上的链接处于 U1 状态时，主机上的 USB 链接已移至 U2 状态时，才会出现错误情况。

■影响范围

FX3S 过早进入恢复，导致恢复失败，然后是热重置和 USB 重新枚举。此序列可能重复多次，导致数据传输失败。

■解决方法

FX3S 可配置为在主机启动前几微秒从 U1 过渡到 U2。这将确保在主机尝试任何 Rx 检测序列之前，链路将位于设备端的 U2 中；从而防止错误检测 U1 出口。

■修复状态

解决方法在 FX3S SDK 库 1.3.4 及更高版本中实施。

10. 400 kHz 时，40/60 占空比出现 I²C 数据有效 (t_{VD} : DAT) 规格违规。

■问题定义

在 400 kHz 时，40/60 工作周期为 1.0625 μ s 的 I²C 数据有效 (t_{VD}:DAT) 参数，超过 0.9 μ s 的 I²C 规格极限。

■受影响的参数

N/A

■触发条件

这种违规行为仅在 400 kHz 时发生，而工作周期为 40/60，为 I²C 时钟。

■影响范围

设置时间 (t_{SUDAT}) 对于 400 kHz 的传输数据具有巨大的边界，因此 t_{vd:DAT} 不会导致任何数据完整性问题。

■解决方法

无需解决方法。

■修复状态

无需修复。

11.FX3S 设备在多个电源循环后未正确响应来自主机的端口功能请求。

■问题定义

在多个电源循环期间，FX3S 设备有时无法正确响应来自 USB 控制器的端口功能请求 (链路数据包)。有鉴于此，FX3S 无法从 USB 控制器获取后续的端口配置请求，从而导致 SS.Disabled 状态。设备无法从该状态恢复，最终导致枚举失败。

■受影响的参数

N/A

■触发条件

当 FX3S 对来自主机的端口功能请求作出错误响应时，就会触发此情况。

■影响范围

多次重试后设备无法枚举。

■解决方法

由于主机未向 FX3S 设备发送端口配置请求，因此会在设备中触发端口配置请求超时中断。此中断在 FX3 SDK 1.3.4 版之后处理，以生成并向应用程序发送 CY_U3P_USB_EVENT_LMP_REW_FAIL 事件信号。此事件应在用户应用程序中处理，以使其执行 USB 接口块重新启动。有关固件变通办法示例项目的详细信息，请参阅知识库文章 ([KBA225778](#))。

■修复状态

建议的固件解决方案经过验证且可靠。

文档修订记录页

文档标题: CYUSB303X, EZ-USB™ FX3S SuperSpeed USB 控制器 文档编号: 001-92465			
修订版	ECN	提交日期	变更说明
**	4376895	06/02/2014	本文档版本号为 Rev.**，译自英文版 001-84160 Rev.*C。
*A	6063145	02/08/2018	本文档版本号为 Rev.*A，译自英文版 001-84160 Rev.*G。
*B	7688065	02/21/2022	本文档版本号为 Rev.*B，译自英文版 001-84160 Rev.*J。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问 [赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC™ 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [代码示例](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

赛普拉斯半导体公司，2012-2022 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的使用或访问赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。