

EZ-USB FX3

5 Gbps 控制器

特性

- 通用串行总线 (USB) 集成
 - 符合 USB 3.2 规范版本 1.0 (TID # 340800007) 的 USB 3.2、Gen 1 和 USB 2.0 外设
 - 符合 USB 3.2 Gen 1 的 5 Gbps 超高速物理层
 - 高速 On-The-Go (HS-OTG) 主机和外设符合 OTG 补充标准 版本 2.0
 - 具有 32 个物理端点
- 通用可编程接口 (GPIF™ II)
 - 可编程的 100 MHz GPIF II 能连接多种类型的外部器件
 - 8、16、24 和 32 位数据总线
 - 最多 16 个可配置的控制信号
- 可完全访问的 32 位 CPU
 - 运行频率为 200 MHz 的 ARM926EJ 内核
 - 大小分别为 512 KB 或 256 KB 的嵌入式 SRAM
- 另外, 还可连接下列外设
 - 频率高达 33 MHz 的 SPI 主设备
 - 支持速度高达 4 Mbps 的 UART
 - 频率为 1 MHz 的 I²C 主控制器
 - 采样频率为 32kHz、44.1 kHz、48 kHz、96 kHz 和 192 kHz 的 I²S 主设备 (仅用于发送器)
- 多种时钟输入频率可供选择
 - 19.2、26、38.4 和 52 MHz
 - 支持 19.2 MHz 的晶振输入
- 内核断电模式下功耗超低
 - 开启 VBATT 时功耗低于 60 µA, 关闭 VBATT 时功耗则低于 20 µA
- 内核和 I/O 各有独立的供电区域
 - 内核的工作电压为 1.2 V
 - I²S、UART 和 SPI 的工作电压为 1.8 到 3.3 V
 - I²C 的工作电压为 1.2 V 到 3.3 V
- 封装选项
 - 121 个球型焊盘、10 mm 10 mm、0.8 mm 间距的无铅球栅阵列 (BGA)
 - 如需详细了解七种可用的 FX3, 请参阅表 24。
- 用于固件和 PC 应用代码开发的 EZ-USB® 软件开发工具 (SDK)
 - 包含 RTOS 框架 (使用 ThreadX 版本 5)
 - 用于所有 I/O 模块的固件示例
 - 使用 C++ 和 C# 的 Visual Studio 主机示例
- 可用于加快原型开发过程的 SuperSpeed Explorer 板
 - 其他可用配件板:
 - 用于开发 Xilinx/Altera FPGA 的适配器电路板
 - 用于视频开发的适配器电路板
 - 用于概念测试和初始开发的 CPLD 板

应用

- 数字视频摄录机

功能描述

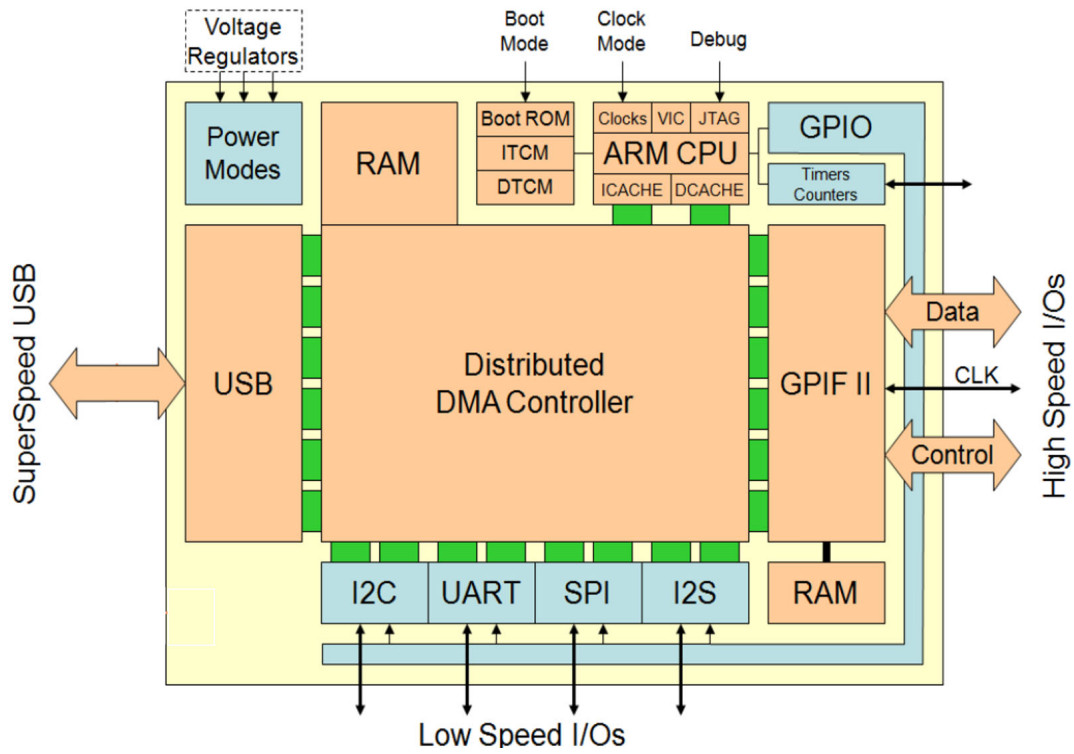
- 数字摄像机
- 打印机
- 扫描仪
- 视频采集卡
- 测试和测量设备
- 监控摄像机
- 个人导航设备
- 医疗成像设备
- 视频 IP 电话
- 便携式媒体播放器
- 工业摄像机
- 数据记录器
- 数据采集
- 高性能人机接口器件（手势识别）

功能描述

要获取相关文档的完整列表，请单击[此处](#)。

勘误表：有关芯片勘误表的信息，请参阅第 70 页的“[勘误表](#)”。具体内容包括触发条件、受影响的器件以及推荐的解决方案。

逻辑框图



1 更多信息

英飞凌的网站 www.infineon.com 有大量数据，为您的设计提供正确的 FX3™/FX3S™ 器件选择指南，帮助您快速有效地在设计中完成器件集成。

- 概述：[USB 组合](#)，[USB 路线图](#)
- USB 3.0 产品选择器：[FX3](#)，[FX3S](#)，[CX3](#)，[HX3](#)，[SX3](#)
- 应用笔记：英飞凌有大量的 USB 应用笔记，涵盖从基本到高级的各种话题。以下是开始使用 FX3 的推荐的应用笔记：
 - [AN75705](#)——EZ-USB™ FX3 入门
 - [AN76405](#)——EZ-USB™ FX3/FX3S 启动选项
 - [AN70707](#)——EZ-USB™ FX3/FX3S/SX3 硬件设计指南和原理图检查表
 - [AN65974](#)——使用 EZ-USB FX3 从设备 FIFO 接口进行设计
 - [AN75779](#)——如何使用 EZ-USB FX3 将图像传感器连接到 USB 视频类别（UVC）框架内
 - [AN86947](#)——使用 EZ-USB FX3 优化 USB 3.0 吞吐量
 - [AN84868](#)——使用赛普拉斯 EZ-USB FX3 通过 USB 配置 Xilinx FPGA
 - [AN68829](#)——EZ-USB FX3 从器件 FIFO 接口：5 位地址模式
 - [AN73609](#)——EZ-USB FX2LP/FX3 在 Linux 上的开发批量循环
 - [AN77960](#)——EZ-USB FX3 高速 USB 主机控制器介绍
 - [AN76348](#)——EZ-USB FX3 和 FX2LP 应用中的差异化设计
 - [AN89661](#)——使用 EZ-USB® FX3S™ 设计 USB RAID 1 磁盘
- 代码示例：
 - [高速 USB](#)
 - [全速 USB](#)
 - [超高速 USB](#)
- 知识库文章（KBA）：
 - [FX3 常见问题——KBA224051](#)
 - [FX3/FX3S/CX3 常见枚举问题的排查指南——KBA222372](#)
 - [EZ-USB™ FX3 Explorer 套件作为配备 sigrok PulseView 的 16 通道 100 MHz 逻辑分析仪——KBA233652](#)
 - [EZ-USB™ 基于 FX3 的 HDMI 转 USB3 Vision 解决方案演示套件——KBA235421](#)
 - [基于开源 KiCad 的 FX3 相机套件原理图和 BOM——KBA236085](#)
- 技术参考手册（TRM）：
 - EZ-USB FX3 [技术参考手册](#)
- 开发套件：
 - [CYUSB3KIT-003, EZ-USB FX3 超高速资源管理工具包](#)
- Models: [IBIS](#)

1.1 EZ-USB FX3 软件开发套件

英飞凌为 FX3 提供完整的软件和固件堆栈，以便将超高速 USB 轻松集成到任何嵌入式应用程序中。[软件开发工具包 \(SDK\)](#) 附带的工具、驱动程序和应用程序示例，有助于加速应用程序的开发。

1.2 GPIF™ II 设计器

[GPIF II 设计器](#) 是一个图形软件，帮助设计人员配置 EZ-USB FX3 USB 3.0 设备控制器的 GPIF II 接口。

英飞凌提供五个接口，用户可通过该工具从中选择一个续行设计，或者从零开始创建自己的 GPIF II 接口。英飞凌提供符合工业标准的接口，如异步和同步从设备 FIFO、异步和同步 SRAM 以及异步 SRAM。对于已在系统中预定义以上接口之一的设计者可以按需选择接口、根据标准参数（如 x8、16、x32 总线宽度端码）进行时钟配置、编译接口。该工具为需要定制界面的用户精简了三步 GPIF 界面开发流程。用户可以先选择他们的引脚配置和标准参数。然后，他们可以使用可配置动作来设计虚拟状态机。最后，用户可以查看输出时钟信号来验证它是否与预期的时钟匹配。一旦三步过程完成，接口就可以编译并与 FX3 集成。

目录

特性	1
应用	1
功能描述	2
逻辑框图	3
1 更多信息	4
1.1 EZ-USB FX3 软件开发套件	5
1.2 GPIF™ II 设计器	5
目录	6
2 功能概述	8
2.1 应用示例	8
3 USB 接口	10
3.1 OTG	10
3.1.1 OTG 连接	10
3.2 复枚举 (ReNumeration)	11
3.3 VBUS 过电压保护	11
3.4 Carkit UART 模式	11
4 GPIF II	12
4.0.1 从器件 FIFO 接口	12
5 CPU	13
6 JTAG 接口	14
7 其他接口	15
7.1 SPI 接口	15
7.2 UART 接口	15
7.3 I2C 接口	15
7.4 I2S 接口	16
8 引导选项	17
9 复位	18
9.1 硬复位	18
9.2 软复位	18
10 时钟	19
10.1 32 kHz 看门狗定时器时钟输入	20
11 电源	21
11.1 功耗模式	21
12 数字 I/O	24
13 通用输入 / 输出 (GPIO) 数目	25
14 系统电平 ESD	26
15 引脚配置	27
16 引脚说明	28
17 电气规范	32
17.1 最大绝对额定值	32
17.2 工作条件	32
17.3 直流规范	33
18 热特性	36
19 交流电时序参数	37
19.1 GPIF II 线路的交流特性为 100 MHz	37
19.2 GPIF II PCLK 抖动特性	37
19.3 GPIF II 时序	38
19.4 从设备 FIFO 接口	41
19.4.1 同步从设备 FIFO 读序列说明	41
19.4.2 同步从设备 FIFO 写序列说明	43
19.4.3 异步从设备 FIFO 读序列说明	46

19.4.4 异步从设备 FIFO 写序列说明.....	47
19.5 主机处理器接口（P 端口）时序	50
19.5.1 异步 SRAM 时序.....	50
19.5.2 用于异步访问的 ADMux 时序	54
19.5.3 同步 ADMux 时序	56
19.6 串行外设时序	59
19.6.1 I2C 时序	59
19.6.2 I2S 时序图	62
19.6.3 SPI 时序规范	63
19.7 复位序列.....	65
20 封装图	66
21 订购信息	67
21.1 订购代码定义	67
22 缩略语	68
23 文档惯例	69
23.1 测量单位.....	69
24 勘误表	70
24.1 资格状况.....	70
24.2 勘误表汇总	70
修订记录.....	75

2 功能概述

英飞凌 EZ-USB FX3 是超高速的外设控制器，提供集成且灵活的功能。

FX3 具有一个完全可配置的并行通用可编程接口 GPIF II，该接口能够与任何处理器、ASIC 或 FPGA 连接。GPIF II 是英飞凌 USB 2.0 旗舰产品 FX2LP™ GPIF 的改进版本，可轻松无缝地连接到多种常用接口，比如异步 SRAM、异步和同步地址数据复用式接口以及并行 ATA。

FX3 集成了 USB 3.2 Gen 1 和 USB 2.0 物理层 (PHY) 以及 32 位 ARM926EJ-S 微处理器，具备强大的数据处理能力，可用于构建自定义应用。FX3 所采用的架构可确保 GPIF II 到 USB 接口的数据传输速度高达 375 MBps。

在集成 USB 2.0 OTG 控制器的应用中，使用 FX3 可实现双重功能。例如，EZ-USB FX3 可以作为 OTG 主机连接 MSC 和 HID 类设备。

FX3 集成了 512 KB 或 256KB 的片上 SRAM（见第 67 页的“[订购信息](#)”），用于存储代码和数据。EZ-USB FX3 还提供可连接至 UART、SPI、I²C 和 I²S 等串行外设的接口。

FX3 的配套应用开发工具。软件开发套件中带有固件和主机应用示例，从而能够加快产品的上市时间。

FX3 符合 USB 3.2 Gen 1.0 规范，并可向下与 USB 2.0 相兼容。它还符合 USB 2.0 OTG 规范 v2.0。

2.1 应用示例

在典型应用中（见[图 1](#)），FX3 作为主处理器使用，运行应用软件，以连接外部硬件和 USB 5 Gbps。FX3 还可作为协处理器使用，通过 GPIF II 接口连接到应用处理器（见[图 2](#)）。在作为子系统运行时，用于为应用处理器提供 SuperSpeed USB 连接。

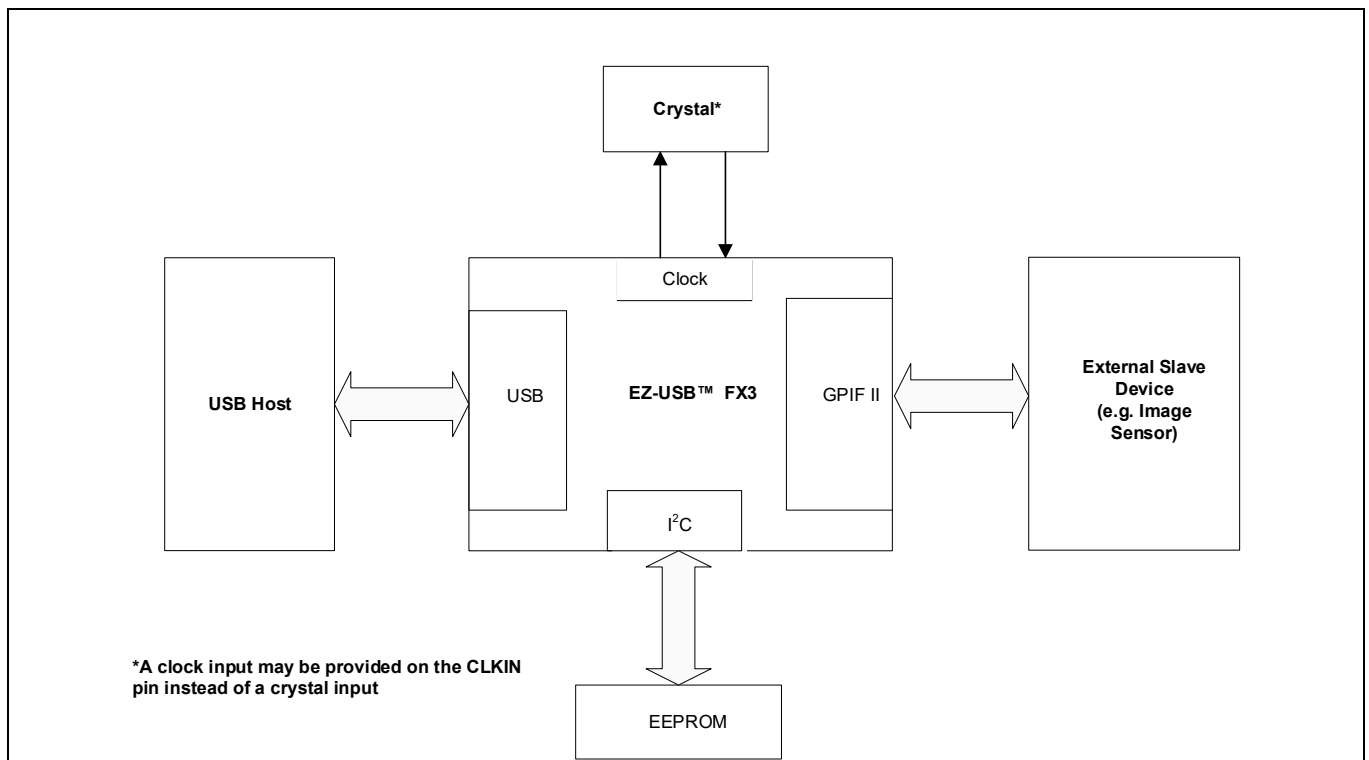


图 1 EZ-USB FX3 主处理器

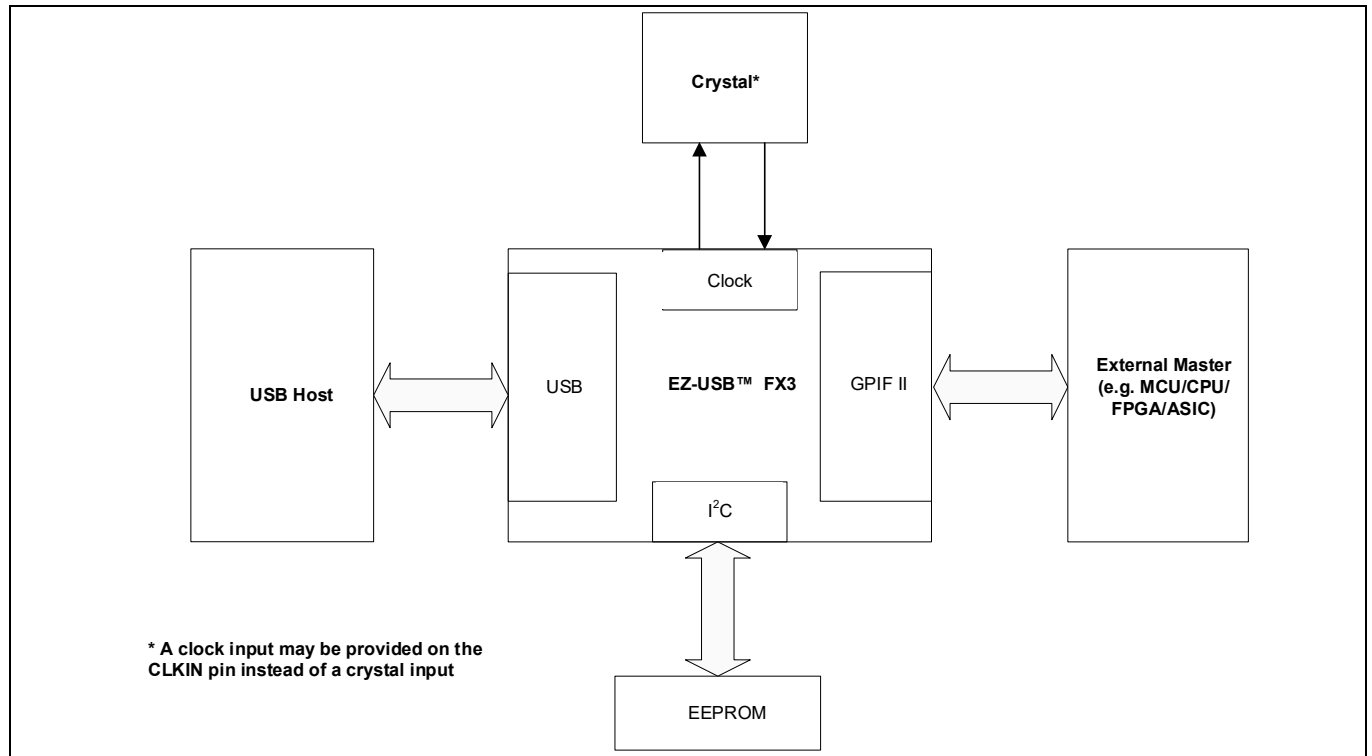


图 2 EZ-USB FX3 协处理器

3 USB 接口

FX3 遵循以下规范以及性能：

- 支持符合 USB 3.2 规范版本 1.0 的 USB 外设功能，并与 USB 2.0 规范向后兼容。
- FX3 超速器件（CYUSB201X）仅支持 USB 2.0。
- 符合 OTG 补充标准版本 2.0。支持高速、全速和低速 OTG 双角色器件功能。FX3 作为外设使用时，能够执行超高速、高速以及全速的数据传输。FX3 作为主机使用时，能够实现高速、全速以及低速传输功能。
- 按照 CEA-936A 规格，在 USB D+/D- 行上支持 Carkit Pass-through UART 功能。
- 支持 16 个输入端点和 16 个输出端点。
- 还支持 USB 连接的 SCSI（UAS）器件类别，能优化大容量存储性能。
- 根据应用示例，FX3 作为 USB 外设使用时，支持 UAS、USB 视频类别（UVC）以及大容量存储类别（MSC）等 USB 外设类别。客户固件可以支持所有其他设备类别；模板示例被提供作为开发点。
- 根据应用示例，FX3 作为 OTG 主机时，支持 MSC 和 HID 器件类别。

注意：当 USB 端口未被占用时，可禁用 PHY 和收发器以降低功耗。

3.1 OTG

FX3 符合 OTG 规范 2.0。在 OTG 模式下，FX3 支持 A 器件模式和 B 器件模式，并支持控制、中断、批量和同步等数据传输。

在 OTG A 器件模式下，FX3 需要外部电荷泵（独立或 PMIC 集成）给 VBUS 供电。

实现 OTG 主机的目标外设类别列表中包括 MSC 和 HID 类器件。

FX3 不支持连接检测协议（ADP）

3.1.1 OTG 连接

在 OTG 模式下，可以将 FX3 配置为支持 A、B 或双角色器件。它可以与下面各项进行连接：

- ACA 器件
- 目标 USB 外设
- 具有 SRP 功能的 USB 外设
- 具有 HNP 功能的 USB 外设
- OTG 主机
- 具有 HNP 功能的主机
- OTG 器件

3.2 复枚举 (ReNumeration)

由于 FX3 采用软配置，因此一个芯片具有多个不同的 USB 器件特征。

首次插入 USB 时，FX3 将自动枚举赛普拉斯供货商 ID (0x04B4)，并通过 USB 接口下载固件和 USB 描述符。下载的固件可执行电力断开和电力连接操作。之后，FX3 会作为下载信息定义的器件再次进行枚举。该两步过程名为 ReNumeration，受到专利保护。ReNumeration 在设备插入时瞬间完成。

3.3 VBUS 过电压保护

FX3 的 VUSB 引脚上的最大输入电压为 6 V。在 VBUS 上，充电器可以提供高达 9 V 的电压。在该情况下，需要使用外部过压保护 (OVP) 设备来保护 FX3 在 VBUS 上免受损坏。图 3 显示了在 VBUS 上连接了 OVP 设备的系统应用程序图。有关 VUSB 和 VBATT 的工作电压范围，请参阅表 8。

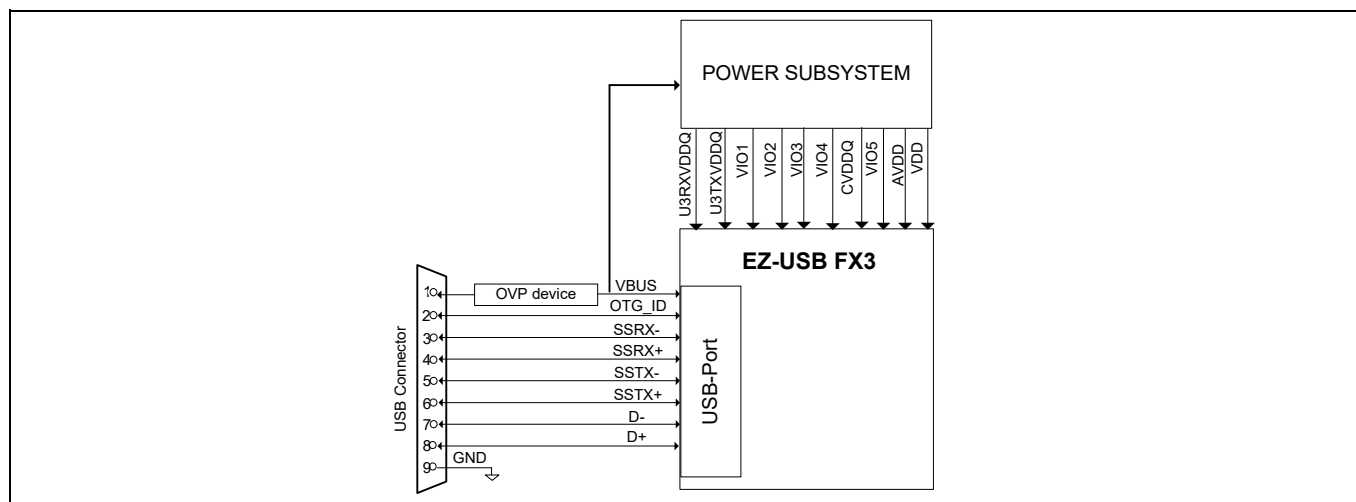


图 3 VBUS 所用 OVP 器件的系统图

3.4 Carkit UART 模式

USB 接口支持 Carkit UART 模式 (D+/D- 上的 UART)，以实现非 USB 串行数据传输。该模式遵循 CEA-936A 规范。

在 Carkit UART 模式下，输出信号电压为 3.3 V。配置为 Carkit UART 模式时，UART 的 TXD (输出) 将映射到 D- 行，UART 的 RXD (输入) 将映射到 D+ 行。

在 Carkit UART 模式下，FX3 将禁用 USB 收发器，而 D+ 和 D- 引脚将作为通过引脚连接至主机处理器的 UART 上。如图 4 所示，Carkit UART 信号可以连接到 GPIF II 接口，或连接到 GPI/O[48] 和 GPI/O[49]。

在该模式下，FX3 支持高达 9600 bps 的数据速率。

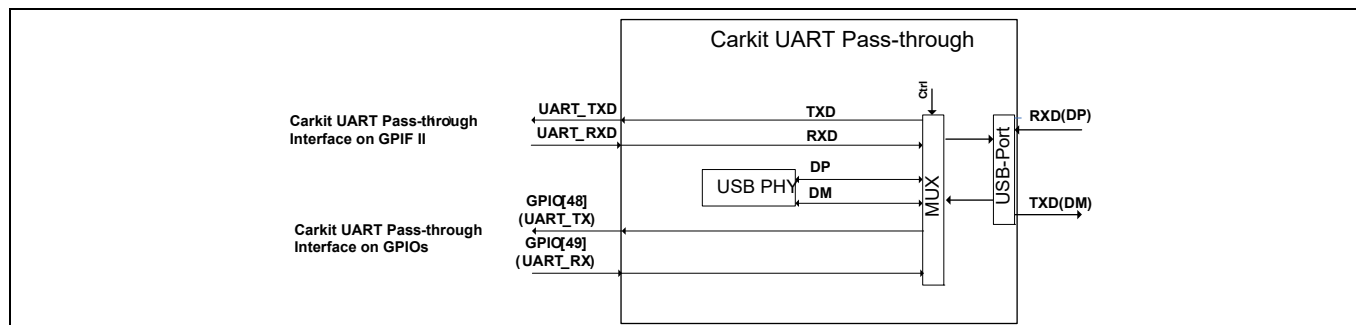


图 4 Carkit UART Pass-through 框图

4 GPIF II

高性能的 GPIF II 接口与 FX2LP 的 GPIF 和从设备 FIFO 接口的功能相似，但其功能更先进。

GPIF II 是一种可编程状态机，其所启用的灵活接口可用作工业标准或专用接口中的主设备或从设备。并行和串行接口均可通过 GPIF II 实现。

以下是 GPIF II 的特性：

- 可作为主设备和从设备使用
- 提供 256 种固件可编程状态
- 支持 8 位、16 位、24 位和 32 位的并行数据总线
- 接口的工作频率可高达 100 MHz
- 使用 32 位数据总线时支持 14 个可配置控制引脚。所有控制引脚可作为输入 / 输出或双向引脚使用。
- 使用一个 16/8 位数据总线时，支持 16 个可配置控制引脚。所有控制引脚可作为输入 / 输出或双向引脚使用。

GPIF II 的状态切换根据控制输入信号发生。控制输出信号是 GPIF II 状态转换所得到的结果。INT# 输出信号可由 GPIF II 控制。请参考 GPIFII Designer 工具的信息。GPIF II 状态机的行为取决于 GPIF II 描述符。设计 GPIF II 描述符，使其符合所需接口的规范。大小为 8 KB 的存储器（独立于 256/512 KB 的嵌入式 SRAM）专用于 GPIF II 波形，其中 GPIF II 描述符以特殊格式被存储。

英飞凌 GPIFII Designer 工具可实现 GPIF II 描述符的快速开发，并且包含了常用接口的示例。

GPIF II 的实现示例为异步和同步从设备 FIFOv 接口。

4.0.1 从器件 FIFO 接口

从设备 FIFO 接口信号如图 5 中所示。该接口允许外部处理器直接访问多达 4 个 FX3 内部缓冲区。有关从设备 FIFO 接口的详细信息，请参阅第 41 页。

注意：本产品也支持通过从设备 FIFO 接口访问所有 32 个缓冲区。如需了解详细信息，请联系英飞凌应用支持。

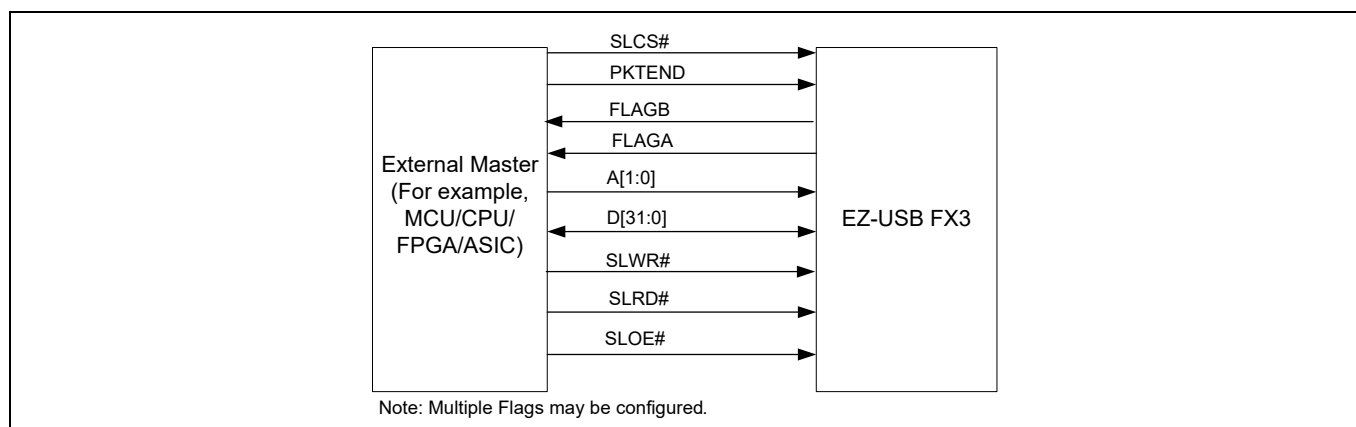


图 5 从器件 FIFO 接口

5 CPU

FX3 配有一个片上 32 位 200 MHz ARM926EJ-S 的内核 CPU。该内核能直接访问 16 KB 的指令紧耦合存储器 (TCM) 和 8 KB 的数据紧耦合存储器。ARM926EJ-S 内核还为固件调试提供了 JTAG 接口。

FX3 具备以下优点：

- 集成了用于存储代码和数据的 256/512 KB 嵌入式 SRAM，以及 8 KB 的指令缓存和数据缓存。
- 能够在多种外设（如 USB、GPIF II、I²S、SPI、UART、I²C）间实现高效灵活的 DMA 连接。固件只需配置外设间的数据访问，而这些访问将由 DMA 结构管理。
- 适用于面向 ARM926EJ-S 的行业标准开发工具，可轻松开发应用。

英飞凌 EZ-USB FX3 开发套件包含 FX3 固件示例。

6 JTAG 接口

FX3 的 JTAG 接口包含一个标准的 5 引脚接口，用于连接 JTAG 调试器。该调试器可通过 CPU 内核的片上调试电路来调试固件。

ARM926EJ-S 内核的这些业界标准调试工具，可用于 FX3 应用开发。

对于执行 ARM JTAG 访问，TCK 频率不应超过 CPU 时钟频率的 1/6。

7 其他接口

FX3 支持以下串行外设：

- SPI
- UART
- I²C
- I²S

SPI、UART 和 I²S 接口可复用到串行外设端口。

有关接口复用方式，请参阅表 7。请注意，配置 GPIF II 以使用 32 位数据总线宽度（CYUSB3012 和 CYUSB3014）时，SPI 接口不可用。

7.1 SPI 接口

FX3 支持串行外设端口上的 SPI 主设备接口。最高的工作频率为 33 MHz。

SPI 控制器支持四种使用启动——停止时钟信号的 SPI 通信模式（有关各种模式的详细信息，请参阅第 63 页的“SPI 时序规范”）。该控制器只能控制一个主设备，并具有自动控制单一 SSN 信号的性能。它支持大小为 4 到 32 位的数据传输。

7.2 UART 接口

FX3 的 UART 接口支持全双工通信。其中包含表 1 中所说明的信号。

表 1 UART 接口信号

信号	说明
TX	输出信号
RX	输入信号
CTS	流量控制
RTS	流量控制

UART 支持各种波特率，从 300 bps 到 4608 Kbps，可通过固件进行选择。如果使能了流控制，那么只有激活 CTS 输入时，FX3 的 UART 才会发送数据。此外，当 FX3 的 UART 就绪接收数据时，将激活 RTS 输出信号。

7.3 I²C 接口

FX3 的 I²C 接口符合 I²C 总线规范修版本 3。该 I²C 接口只能作为 I²C 主设备使用，因此，会使用它与其他 I²C 从设备进行通信。例如，FX3 可从连接至 I²C 接口的 EEPROM 引导，它是可选的引导选项。

FX3 的 I²C 主设备控制器也支持多主控模式功能。

I²C 接口采用 VIO5 供电，该电压独立于其他串行外设。这样，I²C 接口可以灵活地在不相同的电压下工作，这一点不同于其他串行接口。

I²C 控制器所支持的总线频率为 100 kHz、400 kHz 和 1 MHz。当 VIO5 为 1.2 V 时，受支持的最大工作频率为 100 kHz。当 VIO5 为 1.8 V、2.5 V 或 3.3 V 时，受支持的工作频率为 400 kHz 和 1 MHz。I²C 控制器支持时钟扩展能力，使得速度较慢的器件也能实现流控制。

I²C 接口的 SCL 和 SDA 信号都要求外部上拉电阻。上拉电阻必须连接到 VIO5。

7.4 I²S 接口

FX3 具有 I²S 端口，用于支持外部音频解码器件。FX3 可作为 I²S 主设备（仅作为发送器）。I²S 接口包括四种信号：时钟行（I2S_CLK）、串行数据行（I2S_SD）、单字选择行（I2S_WS）和主控系统时钟（I2S_MCLK）。FX3 可在 I2S_MCLK 上生成系统时钟输出，或在 I2S_MCLK 上接受外部系统时钟输入。

I²S 接口支持的采样频率有 8 kHz、16 kHz、32 kHz、44.1 kHz、48 kHz、96 kHz 和 192 kHz。

8 引导选项

FX3 可从多个源加载引导镜像文件，源可通过 PMODE 引脚配置来选择。FX3 提供以下引导选项：

- 从 USB 引导
- 从 I²C 引导
- 从 SPI 引导
 - 支持的英飞凌 SPI 闪存器件包括 S25FS064S（64 Mbit）、S25FS128S（128 Mbit）和 S25LFL064L（64 Mbit）。
 - 也支持 W25Q32FW（32-Mbit）
- 从 GPIF II 同步 ADMux 模式引导

表 2 FX3 引导选项

PMODE[2:0] ^[1]	引导源
F00	同步 ADMux（16 位）
F11	USB 引导
F1F	I ² C，如失败，则使能 USB 引导
1FF	仅使用 I ² C
0F1	SPI，如失败，则使能 USB 引导

9 复位

9.1 硬复位

通过激活 FX3 上的 RESET# 引脚来初始化硬复位。有关复位序列和时序的具体要求，请参阅图 29 和表 23。在硬复位的时间段内，所有的 I/O 均为三态的。请注意，发生硬复位后，片上 Bootloader 将获得控制权，并根据所选择的启动模式对 I/O 信号进行配置。更多详细信息，请参阅《AN76405——EZ-USB® FX3™ 启动选项》。

9.2 软复位

在软复位中，处理器将设置 PP_INIT 控制寄存器中的相应位。软复位有以下两种类型：

- CPU 复位 —— 复位 CPU 程序计数器。CPU 复位后无需重新加载固件。
- 全器件复位 —— 同硬复位。
- 全器件复位后必须重新加载固件。

注释

1. F 表示悬空。

10 时钟

FX3 允许在 XTALIN 和 XTALOUT 引脚之间连接晶振，也允许在 CLKIN 引脚上连接外部时钟。如果 XTALIN、XTALOUT、CLKIN 和 CLKIN_32 引脚未被使用，则可设为无连接状态。

支持的晶振频率为 19.2 MHz，支持的外部时钟频率为 19.2、26、38.4 和 52 MHz。

FX3 有一个使用外部 19.2 MHz (± 100 ppm) 晶振（使用晶振选项时）的片上振荡器电路。如果使用了晶振，则需要一个相应的负载电容。请参阅电容使用规范，以确定相应的负载电容。FSLC[2:0] 引脚必须进行适当配置，以选择晶振或时钟频率选项。有关配置选项，请参阅表 3。

有关向 FX3 进行的时钟输入所必须符合的具体相位噪声和时序抖动要求，请参阅表 4。

输入时钟频率独立于 FX3 内核或任何器件接口的时钟和数据速率。内部 PLL 按照输入频率使用相应的时钟倍频选项。

表 3 晶振 / 时钟频率选择

FSLC[2]	FSLC[1]	FSLC[0]	晶振 / 时钟频率
0	0	0	19.2 MHz 晶振
1	0	0	19.2 MHz 输入时钟
1	0	1	26 MHz 输入
1	1	0	38.4 MHz 输入时钟
1	1	1	52 MHz 输入时钟

表 4 FX3 输入时钟规范

参数	说明	规格		单位
		最小值	最大值	
相位噪声	100 Hz 偏移	–	-75	dB
	1 kHz 偏移	–	-104	
	100 Hz 偏移	–	-120	
	100 kHz 偏移	–	-128	
	1 MHz 偏移	–	-130	
最大频率偏差	–	–	150	ppm
占空比	–	30	70	%
过冲	–	–	3	
下冲	–	–	-3	
上升时间 / 下降时间	–	–	3	ns

10.1 32 kHz 看门狗定时器时钟输入

FX3 包含一个看门狗定时器。看门狗定时器可以用于中断 ARM926EJ-S 内核，自动唤醒待机模式下的 FX3 和复位 ARM926EJ-S 内核。看门狗定时器运行一个 32 kHz 的时钟，该时钟可由专用 FX3 引脚上的一个外部源选择性地提供。

可通过固件禁用看门狗定时器。有关可选的 32 kHz 时钟的输入要求，请参阅表 5。

表 5 32 kHz 时钟输入要求

参数	最小值	最大值	单位
占空比	40	60	%
频率偏差	–	±200	ppm
上升时间 / 下降时间	–	200	ns

11 电源

FX3 具有以下供电区域：

- IO_VDDQ: 用于数字 I/O 的一组独立供电区域。这些电源的电压范围为 1.8 V ~ 3.3 V。FX3 为下列数字 I/O 信号提供了 6 个独立的供电区域（如需了解每个供电区域信号的详情，请参阅表 7）：
 - VIO1: GPIF II I/O
 - VIO2: IO2
 - VIO3: IO3
 - VIO4: UART-/SPI/I²S
 - VIO5: I²C 和 JTAG 供电（支持的电压范围为 1.2 V ~ 3.3 V）
 - CVDDQ: 时钟和复位 I/O 的供电电压。根据 CLKIN 信号的电压，该电压应当为 1.8 V 或 3.3 V。
 - V_{DD}: 这是逻辑内核的供电电压。额定供电电压为 1.2 V。该供电区域为内核逻辑电路供电。下列各项也必须使用同样的供电：
 - AVDD: 这是 PLL、晶体振荡器和其他内核模拟电路的 1.2 V 供电电压。
 - U3TXVDDQ/U3RXVDDQ: 这些是 USB 3.0 接口的 1.2 V 供电电压。
- VBATT/VBUS: 这是 USB I/O 和模拟电路的 3.2 V ~ 6 V 电池供电电压。该供电区域通过 FX3 的内部电压调节器向 USB 收发器供电。将 VBATT 内部调节为 3.3 V。

注意：

FX3 电源域没有特定的开机顺序。最小开机重置时间应达到 1 ms，并且电源域必须稳定，以便于 FX3 操作。

11.1 功耗模式

FX3 支持下列各功耗模式：

- 正常模式：这是全功能的工作模式。在此模式下，内部 CPU 时钟和内部 PLL 都被使能。
 - 正常工作功耗不能超过 I_{CC} 内核最高值和 I_{CC} USB 最高值的总和（有关电流消耗规范，请参阅表 8）。
 - 当相应接口未被使用时，可关闭 I/O 电源 VIO2、VIO3、VIO4 和 VIO5。而在应用程序使用 GPIF II 接口时，始终不能关闭 VIO1。
- 低功耗模式（请参阅表 6）：
 - 启用 USB 3.0 PHY 的暂停模式（L1）
 - 禁用 USB 3.0 PHY 的暂停模式（L2）
 - 待机模式（L3）
 - 内核断电模式（L4）

表 6 低功耗模式的进入和退出方法 (1/2)

低功耗模式	特性	进入方法	退出方法
启用 USB 3.0 PHY 的暂停模式 (L1)	- 此模式下的功耗不会超过 ISB_1 - USB 3.0 PHY 被使能，并处于 U3 模式（为 USB 3.0 规范中所定义的暂停模式之一）。其他时钟均关闭时，该模块可单独使用其内部时钟工作 - 所有 I/O 均维持先前的状态 - 必须保留源和内核的供电用于进行唤醒。所有其他电域都可独立开启 / 关闭 - 必须维持配置寄存器、缓冲存储器以及所有内部 RAM 的状态 - 全部数据操作必须在 FX3 进入暂停模式前完成（未完成的数据操作的状态将不会得到保存） - 由于程序计数器并不会复位，因此固件将恢复暂停前的操作（除非通过 RESET# 激活唤醒）	- ARM926EJ-S 内核上执行的固件可将 FX3 置于暂停模式。例如，在 USB 暂停时，固件可使 FX3 进入暂停模式 - 外部处理器可通过使用邮箱寄存器使 FX3 进入暂停模式	- D+ 切换到低或高 - D- 切换到低或高 - OTG_ID 引脚上更改阻抗 - 恢复 SSRX± 上的状态 - 检测 VBUS - UART_CTS 电平检测（可编程极性） - 激活 CTL[0] 的 GPIF II 接口 - 激活 RESET#
禁用 USB 3.0 PHY 的暂停模式 (L2)	- 此模式下的功耗不会超过 ISB_2 - USB 3.0 PHY 被禁用，USB 接口进入暂停模式 - 时钟均被关闭。PLL 被禁用 - 所有 I/O 均维持先前的状态 - USB 接口维持先前的状态 - 必须保留源和内核的供电用于进行唤醒。所有其他电域都可独立开启 / 关闭 - 必须维持配置寄存器、缓冲存储器以及所有内部 RAM 的状态 - 全部数据操作必须在 FX3 进入暂停模式前完成（未完成的数据操作的状态将不会得到保存） - 由于程序计数器并不会复位，因此固件将恢复暂停前的操作（除非通过 RESET# 激活唤醒）	- ARM926EJ-S 内核上执行的固件可将 FX3 置于暂停模式。例如，在 USB 暂停时，固件可使 FX3 进入暂停模式 - 外部处理器可通过使用邮箱寄存器，使 FX3 进入暂停模式	- D+ 切换到低或高 - D- 切换到低或高 - OTG_ID 引脚上更改阻抗 - 检测 VBUS - UART_CTS 电平检测（可编程极性） - 激活 CTL[0] 的 GPIF II 接口 - 激活 RESET#

电源

表 6 低功耗模式的进入和退出方法 (2/2)

低功耗模式	特性	进入方法	退出方法
待机模式 (L3)	- 该模式下的功耗不会超过 ISB₃ - 所有配置寄存器的设置以及程序 / 数据 RAM 的内容将会保留。但是，无法保证缓冲区和数据路径其他部分中的数据（如存在）。因此，应保证在使 FX3 进入该待机模式前，由外部处理器负责读取所需的数据 - 从待机状态唤醒后，程序计数器将复位 - 通用 GPIO 引脚维持其配置情况 - 关闭晶体振荡器 - 关闭内部 PLL - 关闭 USB 收发器 - 断开供给 ARM926EJ-S 内核的电源。唤醒时，内核重新启动并运行存储在程序 / 数据 RAM 中的程序 - 必须保留源和内核的供电用于进行唤醒。所有其他电域都可独立开启 / 关闭	ARM926EJ-S 内核或外部处理器上所执行的固件将配置相应的寄存器	- 检测 VBUS - UART_CTS 电平检测（可编程极性） - 激活 CTL[0] 的 GPIF II 接口 - 激活 RESET#
内核断电模式 (L4)	- 此模式下的功耗不会超过 ISB₄ - 关闭内核电源 - 所有缓冲存储器、配置寄存器和程序 RAM 的状态将不会维持。退出该模式后，请重载固件 - 在该模式下，所有其他电域都可独立开启 / 关闭	关闭 V_{DD}	- 再次使用 V_{DD} - 激活 RESET#

注意：功耗取决于应用中 FX3 IOS 的使用方式。如需估算不同电源域（VIO1-VIO5）的电流消耗，请参阅 [KBA85505](#)。

12 数字 I/O

FX3 在所有数字 I/O 引脚上提供由固件控制的内部上拉或下拉电阻。50 k Ω 的内部电阻上拉引脚的电平，而 10 k Ω 的电阻下拉引脚的电平，以避免各个引脚进入悬空状态。I/O 引脚可以有下面状态：

- 三态 (High-Z)
 - (内部 50 k Ω 电阻的) 弱上拉
 - (内部 10 k Ω 电阻的) 下拉
 - 低功耗模式下保持 (I/O 值不变)
 - JTAG TDI、TMC 和 TRST# 信号有固定的 50-k Ω 内部上拉电阻，TCK 信号有固定的 10 k Ω 下拉电阻。
- 应通过内部上拉电阻将所有未使用的 I/O 上拉为高电平。应保持所有的未使用输出为浮动状态。所有 I/O 的驱动强度可为全强度、四分之三的力度、半强度或四分之一的强度。为每个接口独立配置这些驱动强度。

13 通用输入 / 输出 (GPIO) 数目

EZ-USB 在 GPIF II 和串行外设接口上均可实现灵活的引脚配置。GPIF II 接口上任何未使用的控制引脚 (CTL[15] 除外) 都可作为通用 I/O 使用。与之类似的是, 串行外设接口上任何未使用的引脚均可配置为通用 I/O。如需了解各引脚配置选项的内容, 请参阅第 27 页的 “[引脚配置](#)”。

所有 GPIF II 和 GPIO 引脚都支持每个引脚 16 pF 的外部负载。

EMI

FX3 符合 FCC 15B (美国) 和 EN55022 (欧洲) 电子消费品规定中的 EMI 要求。FX3 遵循以上规范, 可承受由干扰源造成的 EMI, 并继续按预期工作。

14 系统电平 ESD

FX3 在 USB 接口的 D+、D- 和 GND 引脚上具有内置 ESD 保护。这些端口上的 ESD 保护电平分别为：

- 基于 JESD22-A114 规范的 ± 2.2 KV 人体模型 (HBM)
- 根据 IEC61000-4-2 的 3A 级标准，接触放电为 ± 6 KV，且气隙放电为 ± 8 KV
- 基于 IEC61000-4-2 的 4C 级标准，接触放电为 ± 8 kV，且气隙放电为 ± 15 kV。

这种保护能确保器件在出现最高达到上述电平的 ESD 事件后继续工作。

SSRX+、SSRX-、SSTX+ 和 SSTX- 引脚只有最高为 ± 2.2 KV 的人体模型 (HBM) 内部 ESD 保护。

15 引脚配置

	1	2	3	4	5	6	7	8	9	10	11
A	U3VSSQ	U3RXVDDQ	SSRXM	SSRXP	SSTXP	SSTXM	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	R_USB3	FSLC[1]	U3TXVDDQ	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	NC
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

图 6 FX3 121 Ball BGA 球形焊盘映射图（顶视图）

	1	2	3	4	5	6	7	8	9	10	11
A	VSS	VDD	NC	NC	NC	NC	AVDD	VSS	DP	DM	NC
B	VIO4	FSLC[0]	NC	FSLC[1]	VDD	CVDDQ	AVSS	VSS	VSS	VDD	TRST#
C	GPIO[54]	GPIO[55]	VDD	GPIO[57]	RESET#	XTALIN	XTALOUT	R_USB2	OTG_ID	TDO	VIO5
D	GPIO[50]	GPIO[51]	GPIO[52]	GPIO[53]	GPIO[56]	CLKIN_32	CLKIN	VSS	I2C_GPIO[58]	I2C_GPIO[59]	NC
E	GPIO[47]	VSS	VIO3	GPIO[49]	GPIO[48]	FSLC[2]	TDI	TMS	VDD	VBATT	VBUS
F	VIO2	GPIO[45]	GPIO[44]	GPIO[41]	GPIO[46]	TCK	GPIO[2]	GPIO[5]	GPIO[1]	GPIO[0]	VDD
G	VSS	GPIO[42]	GPIO[43]	GPIO[30]	GPIO[25]	GPIO[22]	GPIO[21]	GPIO[15]	GPIO[4]	GPIO[3]	VSS
H	VDD	GPIO[39]	GPIO[40]	GPIO[31]	GPIO[29]	GPIO[26]	GPIO[20]	GPIO[24]	GPIO[7]	GPIO[6]	VIO1
J	GPIO[38]	GPIO[36]	GPIO[37]	GPIO[34]	GPIO[28]	GPIO[16]	GPIO[19]	GPIO[14]	GPIO[9]	GPIO[8]	VDD
K	GPIO[35]	GPIO[33]	VSS	VSS	GPIO[27]	GPIO[23]	GPIO[18]	GPIO[17]	GPIO[13]	GPIO[12]	GPIO[10]
L	VSS	VSS	VSS	GPIO[32]	VDD	VSS	VDD	INT#	VIO1	GPIO[11]	VSS

图 7 FX3 高速 121 Ball BGA 球形焊盘映射图（顶视图）

注意：无需为 FX3 高速器件连接 A2 和 C3。

16 引脚说明

表 7 CYUSB3011、CYUSB3012、CYUSB3013、CYUSB3014 和 CYUSB2014 引脚列表。

BGA	电源域	I/O	名称	说明	
				GPIF II 接口	从设备 FIFO 接口 [2]
F10	VIO1	I/O	GPIO[0]	DQ[0]	DQ[0]
F9	VIO1	I/O	GPIO[1]	DQ[1]	DQ[1]
F7	VIO1	I/O	GPIO[2]	DQ[2]	DQ[2]
G10	VIO1	I/O	GPIO[3]	DQ[3]	DQ[3]
G9	VIO1	I/O	GPIO[4]	DQ[4]	DQ[4]
F8	VIO1	I/O	GPIO[5]	DQ[5]	DQ[5]
H10	VIO1	I/O	GPIO[6]	DQ[6]	DQ[6]
H9	VIO1	I/O	GPIO[7]	DQ[7]	DQ[7]
J10	VIO1	I/O	GPIO[8]	DQ[8]/A0 ^[3]	DQ[8]/A0 ^[3]
J9	VIO1	I/O	GPIO[9]	DQ[9]/A1 ^[3]	DQ[9]/A1 ^[3]
K11	VIO1	I/O	GPIO[10]	DQ[10]	DQ[10]
L10	VIO1	I/O	GPIO[11]	DQ[11]	DQ[11]
K10	VIO1	I/O	GPIO[12]	DQ[12]	DQ[12]
K9	VIO1	I/O	GPIO[13]	DQ[13]	DQ[13]
J8	VIO1	I/O	GPIO[14]	DQ[14] ^[4]	DQ[14] ^[4]
G8	VIO1	I/O	GPIO[15]	DQ[15] ^[4]	DQ[15] ^[4]
J6	VIO1	I/O	GPIO[16]	PCLK	CLK
K8	VIO1	I/O	GPIO[17]	CTL[0]	SLCS#
K7	VIO1	I/O	GPIO[18]	CTL[1]	SLWR#
J7	VIO1	I/O	GPIO[19]	CTL[2]	SLOE#
H7	VIO1	I/O	GPIO[20]	CTL[3]	SLRD#
G7	VIO1	I/O	GPIO[21]	CTL[4]	FLAGA
G6	VIO1	I/O	GPIO[22]	CTL[5]	FLAGB
K6	VIO1	I/O	GPIO[23]	CTL[6]	GPIO
H8	VIO1	I/O	GPIO[24]	CTL[7]	PKTEND#
G5	VIO1	I/O	GPIO[25]	CTL[8]	GPIO
H6	VIO1	I/O	GPIO[26]	CTL[9]	GPIO
K5	VIO1	I/O	GPIO[27]	CTL[10]	GPIO
J5	VIO1	I/O	GPIO[28]	CTL[11]	A1
H5	VIO1	I/O	GPIO[29]	CTL[12]	A0
G4	VIO1	I/O	GPIO[30]	PMODE[0]	PMODE[0]
H4	VIO1	I/O	GPIO[31]	PMODE[1]	PMODE[1]
L4	VIO1	I/O	GPIO[32]	PMODE[2]	PMODE[2]
L8	VIO1	I/O	INT#	INT#/CTL[15]	CTL[15]

注释

2. 从 FIFO 是 GPIF II 接口的一个示例配置。使用 GPIF-II 设计工具可以修改从 FIFO 控制信号分配。
3. 对于 8 位数据总线配置，GPIO [8] 和 GPIO [9] 充当地址行。
4. GPIF II 也可以配置为串行接口。在这种模式下，DQ[15] 引脚成为串行输出，而 DQ[14] 成为串行输入。

引脚说明

表 7 CYUSB3011、CYUSB3012、CYUSB3013、CYUSB3014 和 CYUSB2014 引脚列表

BGA	电源域	I/O	名称	说明					
				CYUSB3014 和 CYUSB2014	CYUSB3011, CYUSB3012, CYUSB3013, CYUSB3014, 和 CYUSB2014				
				32 位数据总线	16 位数据总线 + UART + SPI + I2S	16 位数据总线 + UART + GPIO	16 位数据总线 + SPI + GPIO	16 位数据总线 + I2S + GPIO	仅用于 GPIO
K2	VIO2	I/O	GPIO[33]	DQ[16]	GPIO	GPIO	GPIO	GPIO	GPIO
J4	VIO2	I/O	GPIO[34]	DQ[17]	GPIO	GPIO	GPIO	GPIO	GPIO
K1	VIO2	I/O	GPIO[35]	DQ[18]	GPIO	GPIO	GPIO	GPIO	GPIO
J2	VIO2	I/O	GPIO[36]	DQ[19]	GPIO	GPIO	GPIO	GPIO	GPIO
J3	VIO2	I/O	GPIO[37]	DQ[20]	GPIO	GPIO	GPIO	GPIO	GPIO
J1	VIO2	I/O	GPIO[38]	DQ[21]	GPIO	GPIO	GPIO	GPIO	GPIO
H2	VIO2	I/O	GPIO[39]	DQ[22]	GPIO	GPIO	GPIO	GPIO	GPIO
H3	VIO2	I/O	GPIO[40]	DQ[23]	GPIO	GPIO	GPIO	GPIO	GPIO
F4	VIO2	I/O	GPIO[41]/A0 _[5]	DQ[24]	GPIO	GPIO	GPIO	GPIO	GPIO
G2	VIO2	I/O	GPIO[42]/A1 _[5]	DQ[25]	GPIO	GPIO	GPIO	GPIO	GPIO
G3	VIO2	I/O	GPIO[43]	DQ[26]	GPIO	GPIO	GPIO	GPIO	GPIO
F3	VIO2	I/O	GPIO[44]	DQ[27]	GPIO	GPIO	GPIO	GPIO	GPIO
F2	VIO2	I/O	GPIO[45]	GPIO	GPIO	GPIO	GPIO	GPIO	GPIO
F5	VIO3	I/O	GPIO[46]	DQ[28]	UART_RT S	GPIO	GPIO	GPIO	GPIO
E1	VIO3	I/O	GPIO[47]	DQ[29]	UART_CT S	GPIO	GPIO	GPIO	GPIO
E5	VIO3	I/O	GPIO[48]	DQ[30]	UART_TX	GPIO	GPIO	GPIO	GPIO
E4	VIO3	I/O	GPIO[49]	DQ[31]	UART_R X	GPIO	GPIO	GPIO	GPIO
D1	VIO3	I/O	GPIO[50]	I2S_CLK	I2S_CLK	GPIO	GPIO	GPIO	GPIO
D2	VIO3	I/O	GPIO[51]	I2S_SD	I2S_SD	GPIO	GPIO	GPIO	GPIO
D3	VIO3	I/O	GPIO[52]	I2S_WS	I2S_WS	GPIO	GPIO	GPIO	GPIO
D4	VIO4	I/O	GPIO[53]	UART_RTS	SPI_SCK	UART_RT S	SPI_SCK	GPIO	GPIO
C1	VIO4	I/O	GPIO[54]	UART_CTS	SPI_SSN	UART_CT S	SPI_SSN	I2S_CLK	GPIO
C2	VIO4	I/O	GPIO[55]	UART_TX	SPI_MIS O	UART_TX	SPI_MISO	I2S_SD	GPIO
D5	VIO4	I/O	GPIO[56]	UART_RX	SPI_MOS I	UART_RX	SPI_MOSI	I2S_WS	GPIO
C4	VIO4	I/O	GPIO[57]	I2S_MCLK	I2S_MCL K	GPIO	GPIO	I2S_MCLK	GPIO
				USB 端口					
				CYUSB301X			CYUSB201X		
A3	U3RXVDDQ	I	SSRXM	SSRX-			NC		
A4	U3RXVDDQ	I	SSRXP	SSRX+			NC		
A6	U3TXVDDQ	O	SSTXM	SSTX-			NC		
A5	U3TXVDDQ	O	SSTXP	SSTX+			NC		
B3	U3TXVDDQ	I/O	R_usb3	针对 USB 3.0 的高精度电阻（在该引脚和 GND 之间连接一个 200 ±1% 的电阻）			NC		
C9	VBUS/VBATT	I	OTG_ID	OTG_ID					
A9	VBUS/VBATT	I/O	DP	D+					
A10	VBUS/VBATT	I/O	DM	D-					

引脚说明

表 7 CYUSB3011、CYUSB3012、CYUSB3013、CYUSB3014 和 CYUSB2014 引脚列表

BGA	电源域	I/O	名称	说明
C8	VBUS/VBATT	I/O	R_usb2	适用于 USB 2.0 的高精度电阻（在该引脚和 GND 之间连接一个 6.04 k $\pm$ 1% 的电阻）

注释

5. 对于 24 位数据总线配置，GPIO[41] 和 GPIO[42] 作为地址行使用。

				时钟和复位
B2	CVDDQ	I	FSLC[0]	FSLC[0]
C6	AVDD	I/O	XTALIN	XTALIN
C7	AVDD	I/O	XTALOUT	XTALOUT
B4	CVDDQ	I	FSLC[1]	FSLC[1]
E6	CVDDQ	I	FSLC[2]	FSLC[2]
D7	CVDDQ	I	CLKIN	CLKIN
D6	CVDDQ	I	CLKIN_32	CLKIN_32
C5	CVDDQ	I	RESET#	RESET#
				I2C 和 JTAG
D9	VIO5	I/O	I2C_GPIO[58]	I ² C_SCL
D10	VIO5	I/O	I2C_GPIO[59]	I ² C_SDA
E7	VIO5	I	TDI	TDI
C10	VIO5	O	TDO	TDO
B11	VIO5	I	TRST#	TRST#
E8	VIO5	I	TMS	TMS
F6	VIO5	I	TCK	TCK
D11	VIO5	O	O[60]	GPIO
				电源
E10		PWR	VBATT	
B10		PWR	VDD	
		PWR	VDD	
A1		PWR	U3VSSQ	
E11		PWR	VBUS	
D8		PWR	VSS	
H11		PWR	VIO1	
E2		PWR	VSS	
L9		PWR	VIO1	
G1		PWR	VSS	
		PWR	VIO1	
		PWR	VSS	
F1		PWR	VIO2	
G11		PWR	VSS	
		PWR	VIO2	
E3		PWR	VIO3	
L1		PWR	VSS	
B1		PWR	VIO4	
L6		PWR	VSS	
		PWR	VSS	
B6		PWR	CVDDQ	
B5		PWR	U3TXVDDQ	

引脚说明

表 7 CYUSB3011、CYUSB3012、CYUSB3013、CYUSB3014 和 CYUSB2014 引脚列表

BGA	电源域	I/O	名称	说明
A2		PWR	U3RXVDDQ	
C11		PWR	VIO5	
L11		PWR	VSS	
A7		PWR	AVDD	
B7		PWR	AVSS	
C3		PWR	VDD	
B8		PWR	VSS	
E9		PWR	VDD	
B9		PWR	VSS	
F11		PWR	VDD	
		PWR	VSS	GND
		PWR	VDD	
		PWR	VSS	GND
		PWR	VSS	GND
H1		PWR	VDD	
L7		PWR	VDD	
J11		PWR	VDD	
L5		PWR	VDD	
K4		PWR	VSS	
L3		PWR	VSS	
K3		PWR	VSS	
L2		PWR	VSS	
A8		PWR	VSS	
			NC	无连接
A11			NC	无连接

17 电气规范

17.1 最大绝对额定值

超过最大额定值可能会缩短器件的使用寿命。

存储温度 -65 °C 到 +150 °C

供电环境温度（工业级） -40 °C 到 +85 °C

供电环境温度（商业级） 0 °C 到 +70 °C

接地电位的供电电压 V_{DD} 、 A_{VDDQ} 1.25 V

V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 V_{IO5} 3.6 V

$U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$ 1.25 V

任何输入引脚的直流输入电压 $V_{CC} + 0.3$ V

高阻态下的输出直流电压 $V_{CC} + 0.3$ V
(V_{CC} 是相应的 I/O 电压)

静电放电电压 ESD 保护电平为：

- 基于 JESD22-A114 的 ± 2.2 KV 人体模型（HBM）
- D+、D-、GND 引脚和串行外设引脚上的附加 ESD 保护电平
- 基于 IEC61000-4-2 的 3A 级标准的 ± 6 KV 接触放电和 ± 8 KV 气隙放电，基于 IEC61000-4-2 的 4C 级标准的 ± 8 KV 接触放电和 ± 15 KV 气隙放电

闩锁电流 180 mA

所有 I/O（累计）的最大输出短路电流 .. -100 mA

每个 I/O（源电流或灌电流）的最大输出电流为 20 mA

17.2 工作条件

T_A （有偏差的环境温度）

工业级 -40 °C 到 +85 °C

商业级 0 °C 到 +70 °C

V_{DD} 、 A_{VDDQ} 、 $U3TX_{VDDQ}$ 、 $U3RX_{VDDQ}$

供电电压 1.15 V 到 1.25 V

V_{BATT} 供电电压 3.2 V 到 6 V

V_{IO1} 、 V_{IO2} 、 V_{IO3} 、 V_{IO4} 、 C_{VDDQ}

供电电压 1.7 V 到 3.6 V

V_{IO5} 供电电压 1.15 V 至 3.6 V

17.3 直流规范

表 8 直流规范 (1/2)

参数	说明	最小值	最大值	单位	注释
V_{DD}	内核供电电压	1.15	1.25	V	典型值 1.2 V
A_{VDD}	模拟供电电压	1.15	1.25	V	典型值 1.2 V
V_{IO1}	GPIO II 的 I/O 供电电压	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{IO2}	IO2 电源域	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{IO3}	IO3 供电电压	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{IO4}	UART/SPI/I2S 电源域	1.7	3.6	V	典型值为 1.8、2.5 和 3.3 V
V_{BATT}	USB 供电电压	3.2	6	V	典型值为 3.7 V
V_{BUS}	USB 供电电压	4.0	6	V	典型值为 5 V
$U3TX_{VDDQ}$	USB 3.0 1.2 V 供电电压	1.15	1.25	V	典型值为 1.2 V。该电源需要安装一个大小为 22 μ F 的旁路电容。CYUSB201X 不需要使用旁路电容。
$U3RX_{VDDQ}$	USB 3.0 1.2 V 供电电压	1.15	1.25	V	典型值为 1.2 V。该电源需要安装一个大小为 22 μ F 的旁路电容。CYUSB201X 不需要使用旁路电容。
C_{VDDQ}	时钟供电电压	1.7	3.6	V	典型值为 1.8 V 和 3.3 V
V_{IO5}	I ² C 和 JTAG 的供电电压	1.15	3.6	V	典型值为 1.2、1.8、2.5 和 3.3 V
V_{IH1}	输入高电压 1	$0.625 \times V_{CC}$	$V_{CC} + 0.3$	V	针对于 $2.0\text{ V} \leq V_{CC} \leq 3.6\text{ V}$ (USB 端口除外)。VCC 是相应的 IO 供电电压。
V_{IH2}	输入高电压 2	$V_{CC} - 0.4$	$V_{CC} + 0.3$	V	针对于 $1.7\text{ V} \leq V_{CC} \leq 2.0\text{ V}$ (USB 端口除外)。VCC 是相应的 IO 供电电压。
V_{IL}	输入低电压	-0.3	$0.25 \times V_{CC}$	V	VCC 是相应的 IO 供电电压。
V_{OH}	输出高电压	$0.9 \times V_{CC}$	-	V	以四分之一驱动强度测试的 I_{OH} (最大值) = -100 μ A。VCC 是相应的 IO 供电电压。有关不同驱动强度和 VCC 条件下的 I_{OH} 值, 请参阅表 9。
V_{OL}	输出低电压	-	$0.1 \times V_{CC}$	V	以四分之一驱动强度测试的 I_{OL} (最小值) = +100 μ A。VCC 是相应的 IO 供电电压。有关不同驱动强度和 VCC 条件下测量的 I_{OL} 值, 请参阅表 9。
I_{IX}	SSTXP/SSXM/SSRXP/SSR XM 除外的所有引脚输入漏电流	-1	1	μ A	(对于连接了上拉或下拉电阻的 I/O, 漏电流的增值为 V_{DDQ}/R_{pu} 或 V_{DDQ}/R_{pd})
I_{OZ}	SSTXP/SSXM/SSRXP/SSR XM 除外的所有引脚输出高祖态漏电流	-1	1	μ A	V_{DDQ} 上保持的所有 I/O 信号
I_{CC} 内核	内核和模拟电压工作电流	-	200	mA	通过 A_{VDD} 和 V_{DD} 的总电流
I_{CC} USB [6]	USB 供电电压工作电流	-	60 [6]	mA	-

表 8 直流规范 (2/2)

参数	说明	最小值	最大值	单位	注释
I_{SB1}	启用 USB 3.0 PHY 的暂停模式期间的总暂停电流 (L1)	–	–	mA	内核电流: 1.5 mA I/O 电流: 20 μ A USB 电流: 2 mA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25°C。)
I_{SB2}	禁用 USB 3.0 PHY 暂停模式期间的总暂停电流 (L2)	–	–	mA	内核电流: 250 μ A I/O 电流: 20 μ A USB 电流: 1.2 mA 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25°C。)
I_{SB3}	待机模式期间的总待机电流 (L3)	–	–	μ A	内核电流: 60 μ A I/O 电流: 20 μ A USB 电流: 40 μ A 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25°C。)
I_{SB4}	内核断电模式期间的总待机电流 (L4)	–	–	μ A	内核电流: 0 μ A I/O 电流: 20 μ A USB 电流: 40 μ A 用于典型 PVT (典型芯片, 所有电源均处于其各自的额定值, 温度为 25°C。)
V_{RAMP}	内核和 I/O 供电的电压斜坡率	0.2	50	V/ms	电压斜坡必须是单调的
V_N	V_{DD} 和 I/O 供电中允许的噪声级别	–	100	mV	A_{VDD} 以外的所有供电中允许的最大峰 - 峰噪声级别
V_{N_AVDD}	A_{VDD} 供电中允许的噪声级别	–	20	mV	A_{VDD} 中允许的最大峰 - 峰噪声级别

注释

6. CYUSB2014 的 I_{CC} USB 电压值通常为 22 mA 到 23 mA。

表 9 不同驱动强度和 V_{DDIO} 值的 I_{OH}/I_{OL} 值

V_{DDIO} (V)	V_{OH} (V)	V_{OL} (V)	驱动强度	$I_{OH\ max}$ (mA)	$I_{OL\ min}$ (mA)
1.7	1.53	0.17	四分之一	1.02	2.21
			二分之一	1.51	3.28
			四分之三	1.83	3.85
			全部	2.28	4.73
2.5	2.25	0.25	四分之一	5.03	3.96
			二分之一	7.38	5.84
			四分之三	8.89	6.89
			全部	11.07	8.61
3.6	3.24	0.36	四分之一	7.80	5.74
			二分之一	11.36	8.64
			四分之三	13.64	10.15
			全部	16.92	12.67

18 热特性

表 10 热特性

参数	说明	数值	单位
$T_{J\ MAX}$	最高结温	125	°C
Θ_{JA}	热阻 (连接到环境)	34.66	°C/W
Θ_{JB}	热阻 (连接到板)	27.03	°C/W
Θ_{JC}	热阻 (连接到外壳)	13.57	°C/W

19 交流电时序参数

19.1 GPIF II 线路的交流特性为 100 MHz

表 11 频率为 100 MHz 的 GPIF II 线交流特性

符号	参数	最小值	典型值	最大值	单位
Tr	上升时间	–	–	2.5	ns
Tf	下降时间	–	–	2.5	ns
Tov	过冲	–	–	3	%
Tun	下冲	–	–	3	%

19.2 GPIF II PCLK 抖动特性

表 12 GPIF II PCLK 抖动特性

时钟频率 (MHz)	期间抖动 (ps)	C-C 最小值 (ps)	C-C 最大值 (ps)
10.08	354.44	-187.92	204.55
25.2	205.97	-153.54	126.53
50.4	144.62	-100.16	85.769
100.8	171.43	-155.13	157.14

注释

7. 时钟抖动是使用内部生成的 PCLK 来测量的。例如 PCLK 被配置为来自 GPIF 的输出。数据在 10,000 个时钟周期内测量。

19.3 GPIF II 时序

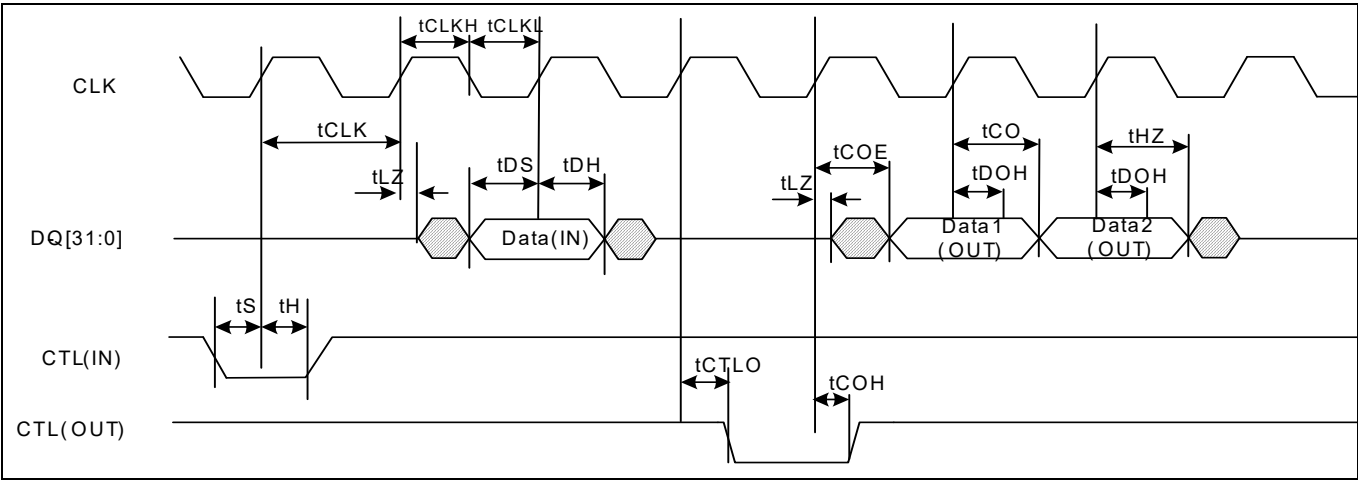


图 8 同步模式中的 GPIF II 时序

表 13 同步模式中 GPIF II 时序参数 [8]

参数	说明	最小值	最大值	单位
频率	接口时钟频率	–	100	MHz
tCLK	接口时钟周期	10	–	ns
tCLKH	时钟为高电平的时间	4	–	ns
tCLKL	时钟为低电平的时间	4	–	ns
tS	从 CTL 输入到时钟上升沿的建立时间	2	–	ns
tH	从 CTL 输入到时钟上升沿的保留时间	0.5	–	ns
tDS	数据输入到时钟上升沿的建立时间	2	–	ns
tDH	数据输入到时钟上升沿的保留时间	0.5	–	ns
tCO	DQ 总线输出时，从时钟到数据输出的传输延迟	–	7	ns
tCOE	DQ 线从三态变更为输出以及 DQ 总线上存在有效数据时，从时钟到数据输出的传输延迟	–	9	ns
tCTLO	时钟到 CTL 输出的传输延迟	–	8	ns
tDOH	从时钟到数据输出的保持时间	2	–	ns
tCOH	从时钟到 CTL 输出的保持时间	0	–	ns
tHZ	从时钟到数据为高阻态的时间	–	8	ns
tLZ	时钟到数据为低阻态的时间	0	–	ns

注释

8. 所有参数均由设计保证，并通过特性化进行验证。

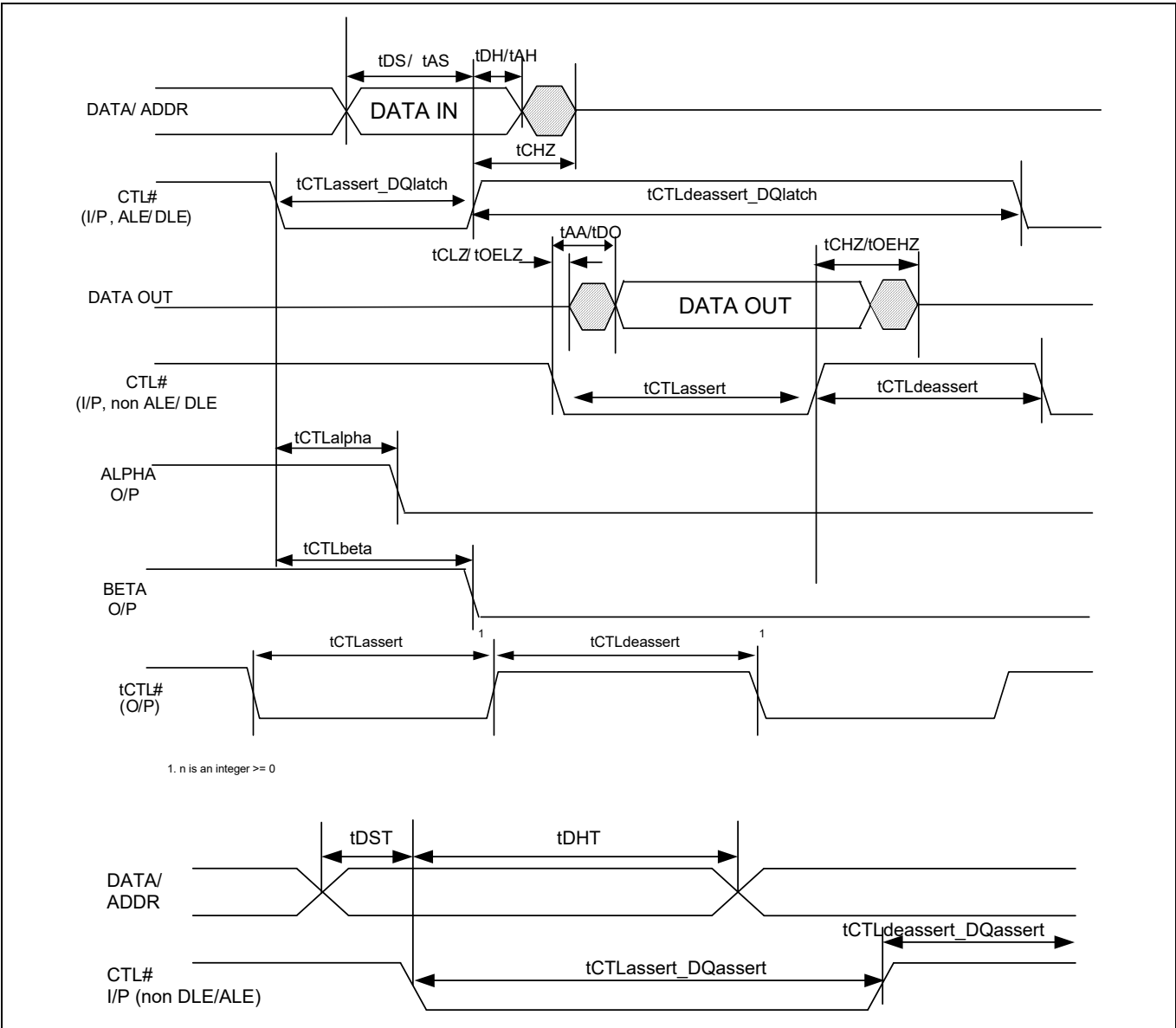


图 9 异步模式中的 GPIF II 时序

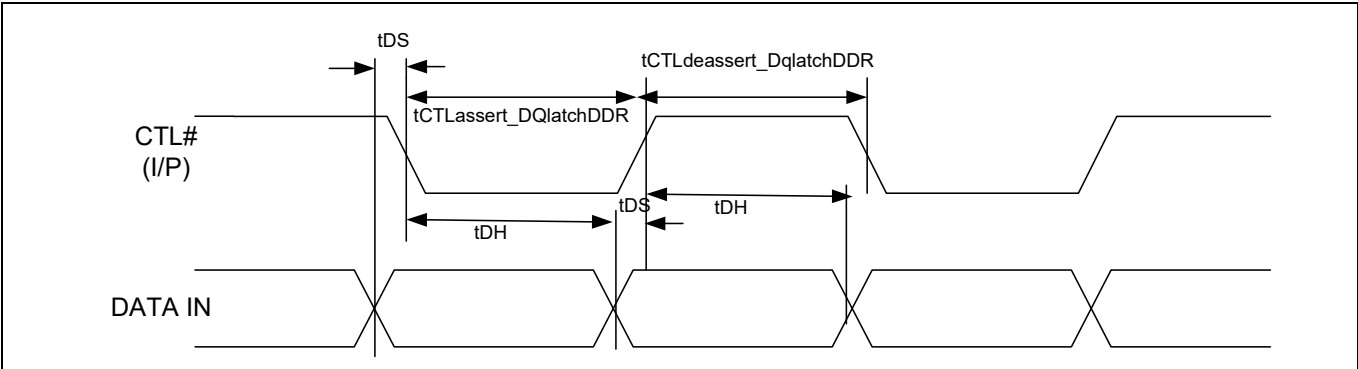


图 10 异步 DDR 模式中的 GPIF II 时序

表 14 异步模式下的 GPIF II 时序 [9、10]

注意：下面各参数均假设了一个状态切换

参数	说明	最小值	最大值	单位
tDS	数据输入到 DLE 的建立时间。该参数在 DDR 异步模式下有效。	2.3	–	ns
tDH	数据输入到 DLE 的保持时间。该参数在 DDR 异步模式下有效。	2	–	ns
tAS	地址输入到 ALE 的建立时间	2.3	–	ns
tAH	地址输入到 ALE 的保持时间	2	–	ns
tCTLassert	用于无 DQ 输入关联性的 CTRL 输入以及输出的 CTL I/O 激活脉冲宽度。	7	–	ns
tCTLdeassert	用于无 DQ 输入关联性的 CTRL 输入以及输出的 CTL I/O 解除激活脉冲宽度。	7	–	ns
tCTLassert_DQassert	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入表明 DQ 输入在激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器（ALE/DLE）。	20	–	ns
tCTLdeassert_DQassert	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入表明 DQ 输入在激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器（ALE/DLE）。	7	–	ns
tCTLassert_DQdeassert	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入表明 DQ 输入在解除激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器（ALE/DLE）。	7	–	ns
tCTLdeassert_DQdeassert	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入表明 DQ 输入在解除激活的边沿有效，但没有为此类 DQ 输入采用内置锁存器（ALE/DLE）。	20	–	ns
tCTLassert_DQlatch	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入采用内置锁存器（ALE/DLE）来锁存 DQ 输入。在该非 DDR 情况下，内置锁存器在解除激活的边沿始终保持关闭状态。	7	–	ns
tCTLdeassert_DQlatch	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入采用内置锁存器（ALE/DLE）来锁存 DQ 输入。在该非 DDR 情况下，内置锁存器在解除激活的边沿始终保持关闭状态。	10	–	ns
tCTLassert_DQlatchDDR	用于 CTL 输入的 CTL 激活脉冲宽度，其中 CTL 输入采用内置锁存器（DLE）以在 DDR 模式中锁存 DQ 输入。	10	–	ns
tCTLdeassert_DQlatchhDDR	用于 CTL 输入的 CTL 解除激活脉冲宽度，其中 CTL 输入采用内置锁存器（DLE）以在 DDR 模式中锁存 Q 输入。	10	–	ns
tAA	当 DQ 变更或 CTL 变更需要进行检测且变更影响输入和输出 DQ 线的内部更新时，DQ/ CTL 输入到 DQ 输出的时间。	–	30	ns
tDO	当 CTL 变更仅能使已建立数据的输出触发器更新时，CTL 到数据输出的时间。	–	25	ns

表 14 异步模式下的 GPIF II 时序 [9、10] (continued)

注意：下面各参数均假设了一个状态切换

参数	说明	最小值	最大值	单位
注释 9. 所有参数均由设计保证，并通过特性化进行验证。 10. “alpha” 输出对应于 “早期输出”，而 “beta” 对应于 “延迟输出”。有关这些输出的使用，请参阅 GPIFII Designer 工具。				
tOELZ	CTL 被指定为 OE 到低阻态的时间外部器件应停止驱动数据的时间。	0	–	ns
tOEHZ	CTL 被指定为 OE 到高阻态的时间	8	8	ns
tCLZ	从 CTL（非 OE）到低阻态的时间。外部器件应停止驱动数据的时间。	0	–	ns
tCHZ	CTL（非 OE）到高阻态的时间	30	30	ns
tCTLalpha	CTL 到 alpha 输出变更的时间	–	25	ns
tCTLbeta	CTL 到 beta 输出变更的时间	–	30	ns
tDST	不使用 DLE/ALE 时，地址 / 数据的建立时间	2	–	ns
tDHT	不使用 DLE/ALE 时，地址 / 数据的保持时间	20	–	ns

19.4 从设备 FIFO 接口

19.4.1 同步从设备 FIFO 读序列说明

- FIFO 地址稳定，且 SLCS 被激活
- FLAG 表示 FIFO 不为空的状态
- SLOE 被激活。SLOE 仅是一个输出使能信号，其唯一功能是驱动数据总线。
- SLRD 被激活

FIFO 指针在 PCLK 的上升沿上更新，同时 SLRD 被激活。这会启动从新寻址位置到数据总线之间的数据传输。经过 tco 传输延迟（从 PCLK 的上升沿测量）后即可提供新的数值。N 是自 FIFO 读取的第一个数值。要在 FIFO 数据总线上保留数据，还必须同时激活 SLOE。

突发读取时将发生相同的事件序列。

FLAG 使用：

通过外部处理器监视 FLAG 信号的流量控制。FLAG 信号是 FX3 的输出，可以配置为显示专用线程或当前正在寻址的线程的空状态，全状态或局部状态。

插座切换延迟（Tssd）

插座切换延迟的测量时间范围是从 EPSWITCH# 被主机置位开始（通过新插座在地址总线上的地址），到 Current_Thread_Ready 被标志为止。对于生产者插座，当 DMA 缓存区准备好接收数据时，该标志会被置位。对于使用者插座，当 DMA 缓冲区准备好将数据从中取出时，这个标志会被置位。对于同步从属 FIFO 接口，切换延迟是由 GPIF 接口的时钟周期数量来测量的；对于异步从属接口，是由 PIB 时钟周期测量的。这一规律仅适用于 5 位从属 FIFO 接口；由于使用了 GPIF II 状态机中的线程切换，FX3 的 2 位从属 FIFO 接口没有插座切换延迟。

注意：对于突发模式，在整个读取过程中持续激活 SLRD# 和 SLOE#。当 SLOE# 被激活时，将（利用来自之前已寻址的 FIFO 的数据）驱动数据总线。当 SLRD# 有效时，于每一个 PCLK 序列的上升沿，FIFO 指针会递增，且下一个数据值会被传输到数据总线上。

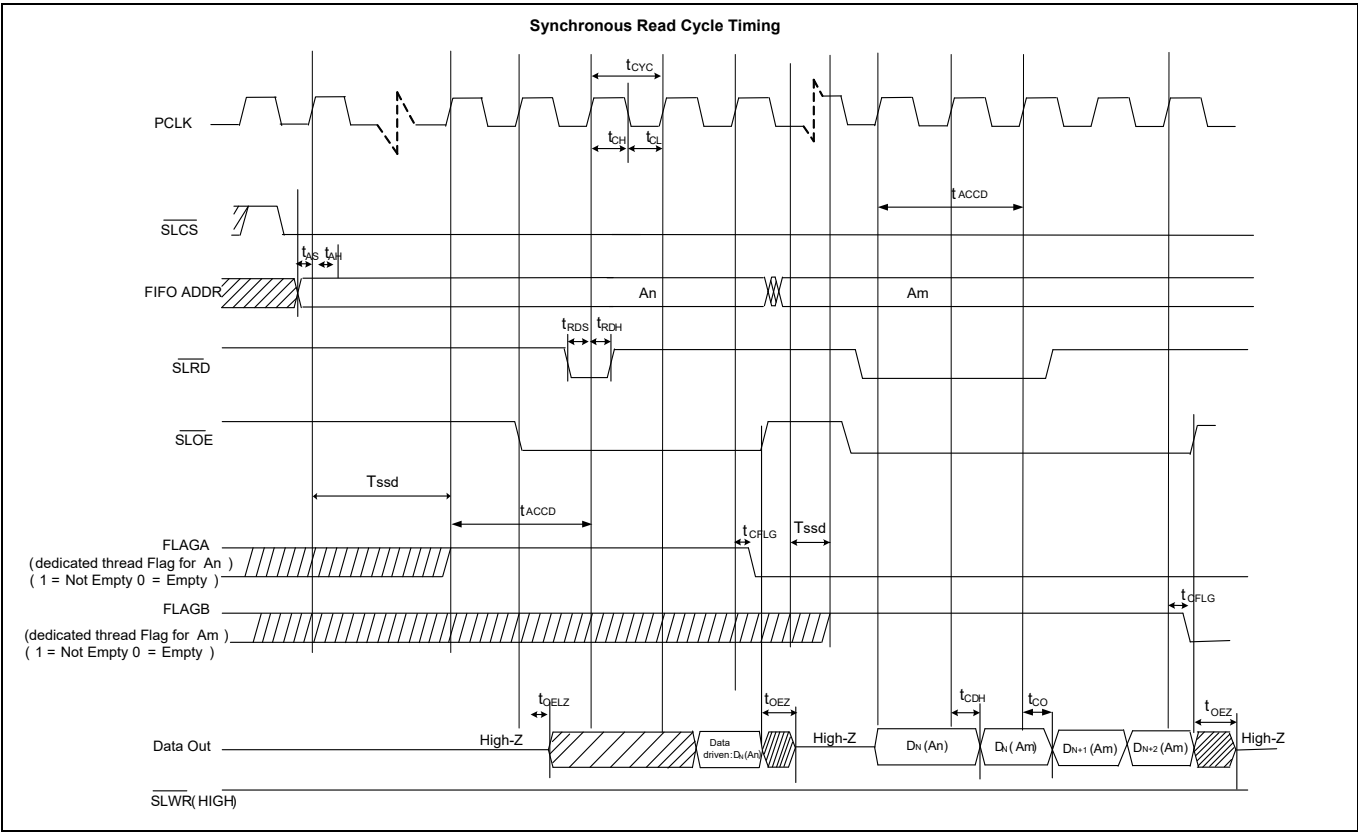


图 11 同步从设备 FIFO 读取模式

19.4.2 同步从设备 FIFO 写序列说明

- FIFO 地址稳定，且 SLCS# 信号被激活
- 外部主控或外设将数据输出到数据总线上。
- SLWR# 被激活
- 当 SLWR# 被激活时，数据会写入到 FIFO 和 PCLK 的上升沿上，FIFO 指针会递增
- 从时钟的上升沿起，经过 t_{WFLG} 的延迟后，FIFO 标志将被更新。

突发写入时还会显示相同的事件序列

注意：对于突发模式，SLWR# 和 SLCS# 在写入所有所需数据值的整个过程中保持激活状态。在突发写入模式下，SLWR# 被激活后，会在 PCLK 的每个上升沿上将 FIFO 数据总线上的数据写入到 FIFO 中。在 PCLK 的每个上升沿上更新 FIFO 指针。

短数据包：PKTEND# 信号可将短数据包发送到 USB 主机。需要设计外部器件或处理器，使之在最后数据字以及与该字相应的 SLWR# 脉冲时同时激活 PKTEND#，必须在激活 PKTEND# 过程中保持 FIFOADDR 不变。必须在激活 PKTEND# 过程中保持 FIFOADDR 不变。

零长度数据包：通过激活 PKTEND#，而没有激活 SLWR#，外部器件或处理器可以轻松地将一个零长度数据包（ZLP）传输到 FX3。必须按照图 12 的内容驱动 SLCS# 和地址。

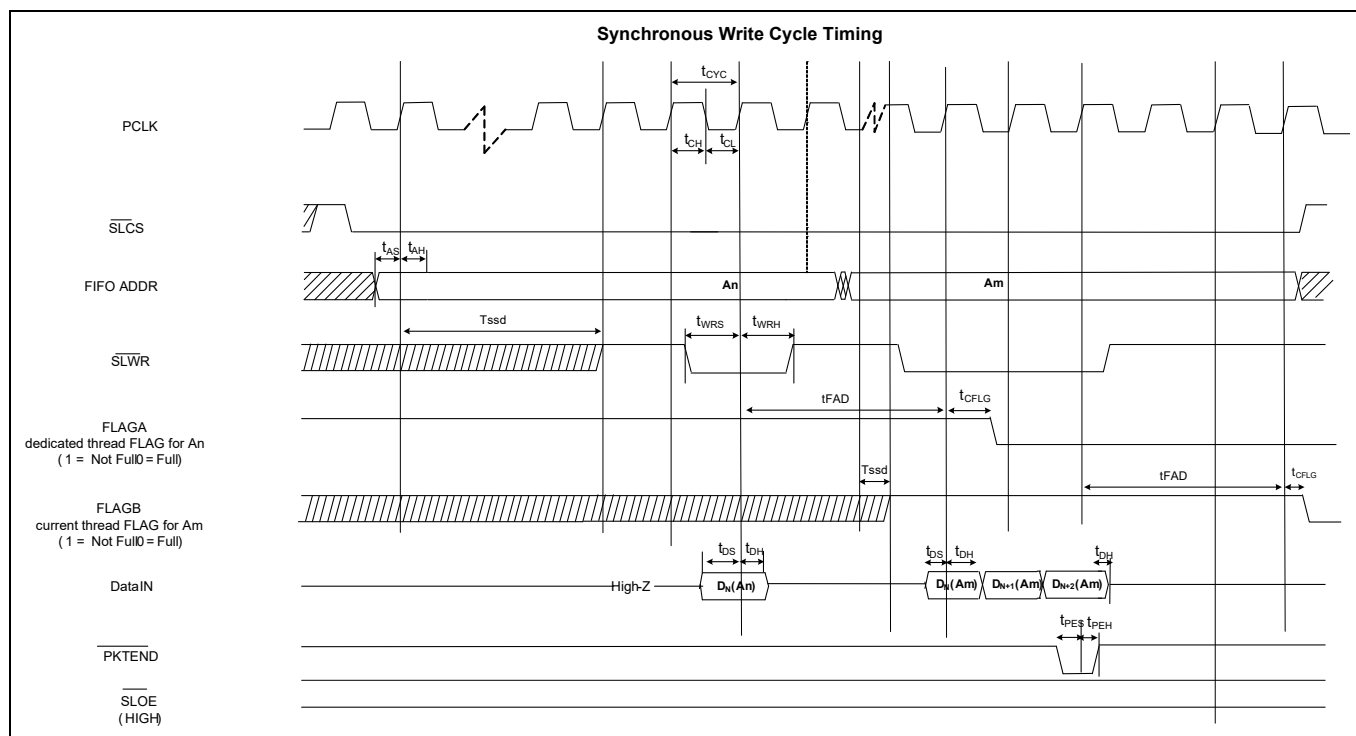


图 12 同步从设备 FIFO 写入模式

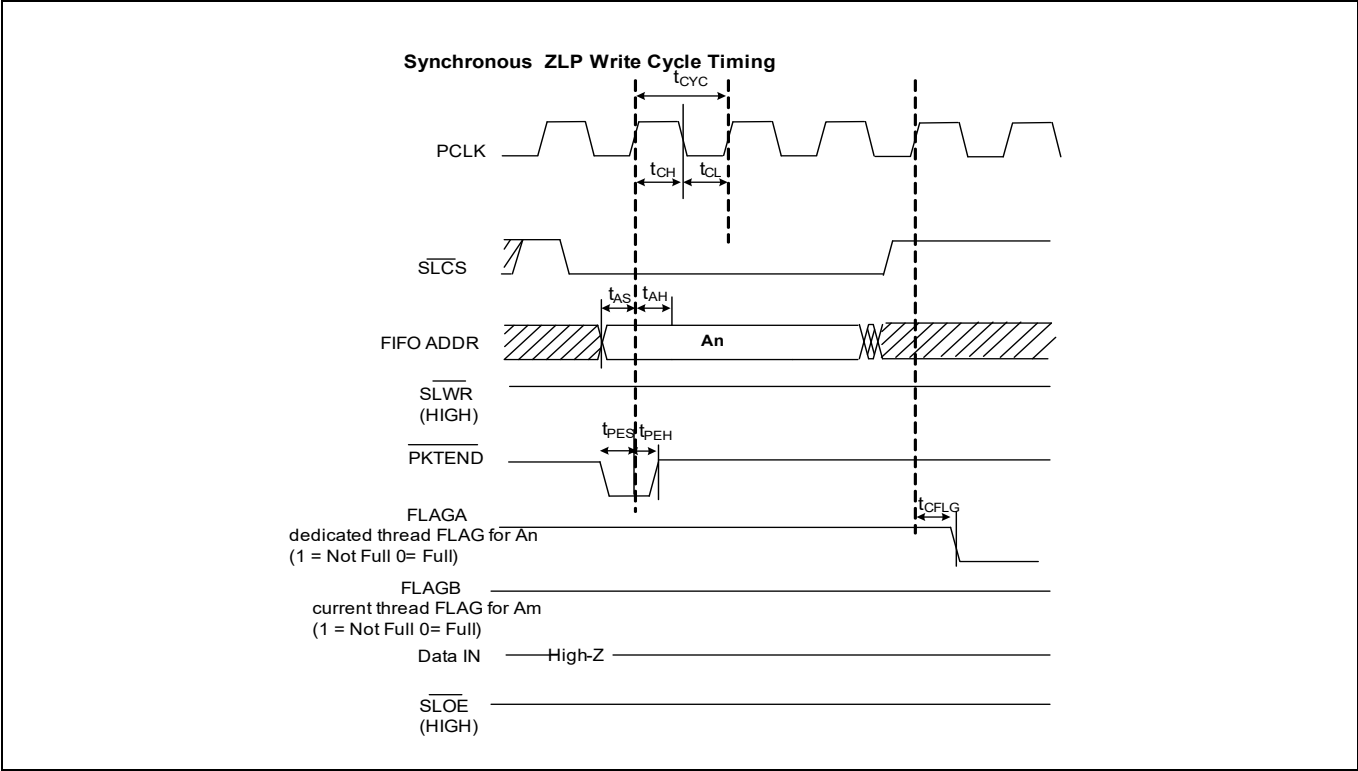


图 13 同步从设备 FIFO ZLP 写周期时序

表 15 同步从设备 FIFO 参数 [11]

参数	说明	最小值	最大值	单位
FREQ	接口时钟频率	–	100	MHz
tCYC	时钟周期	10	–	ns
tCH	时钟高电平时间	4	–	ns
tCL	时钟低电平时间	4	–	ns
tRDS	从 SLRD# 到 CLK 的建立时间	2	–	ns
tRDH	从 SLRD# 到 CLK 的保持时间	0.5	–	ns
tWRS	从 SLWR# 到 CLK 的建立时间	2	–	ns
tWRH	从 SLWR# 到 CLK 的保持时间	0.5	–	ns
tCO	从时钟到数据生效的时间	–	7	ns
tDS	数据输入的建立时间	2	–	ns
tDH	从时钟到数据输入的保持数据时间	0.5	–	ns
tAS	从地址到时钟的地址建立时间	2	–	ns
tAH	从 CLK 到地址的保持时间	0.5	–	ns
tOELZ	从 SLOE# 到数据变为低阻态的时间	0	–	ns
tCFLG	从时钟到标志输出的延迟	–	8	ns
tOEZ	从 SLOE# 解除激活到数据为高阻态的时间	–	8	ns
tPES	从 PKTEND# 到 CLK 的建立时间	2	–	ns
tPEH	从 CLK 到 PKTEND# 的保持时间	0.5	–	ns
tCDH	从 CLK 到数据输出的保持时间	2	–	ns
tSSD	插座切换延迟	2	68	时钟周期
tACCD	从 SLRD# 到 Data 延迟	2	2	时钟周期
tFAD	从 SLWR# 到 FLAG 延迟	3	3	时钟周期

注意：从 ADDR 到 DATA/FLAGS 的三个周期延迟。

注释

11.所有参数均由设计保证，并通过特性化进行验证。

19.4.3 异步从设备 FIFO 读序列说明

- FIFO 地址稳定，且 SLCS# 信号被激活。
- SLOE# 被激活。这使得数据总线被驱动。
- SLRD# 被激活。
- SLRD# 激活后，开始驱动来自 FIFO 的数据。该数据将在从 SLRD# 下降沿的 t_{RDO} 传输延迟后生效。
- FIFO 指针在 SLRD# 的解除激活后递增

如图 14，数据 N 是从 FIFO 读取的第一个有效数据。要想在读周期内使数据在总线上出现，SLOE# 必须处于激活状态。SLRD# 和 SLOE# 也可绑定。

突发读取时还会显示相同的事件序列。

注意：在突发读取模式下，数据总线在 SLOE# 激活期间处于驱动状态（数据从之前已寻址的 FIFO 中启动）。SLRD# 激活后，在数据总线上驱动来 FIFO 的数据（也必须激活 SLOE#）。FIFO 指针在 SLRD# 的解除激活后递增。

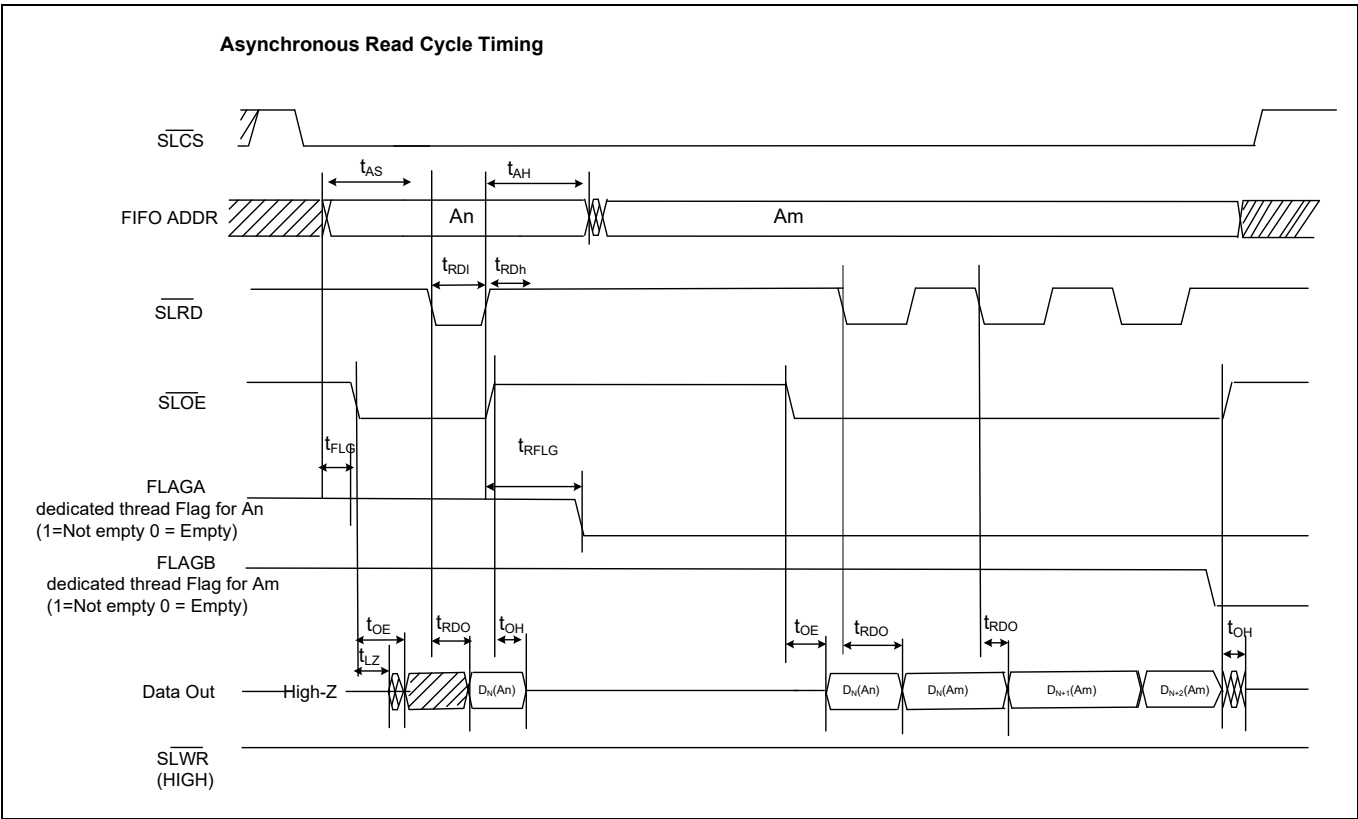


图 14 异步从设备 FIFO 读取模式

19.4.4 异步从设备 FIFO 写序列说明

- FIFO 地址被驱动，且 SLCS# 被激活
- SLWR# 被激活。SLCS# 必须与 SLWR# 同时激活，或先于 SLWR# 激活
- 在 SLWR# 边沿上解除激活前，数据必须显示在总线 tWRS 上
- 解除激活 SLWR# 会导致将数据从数据总线写入到 FIFO 内，然后 FIFO 指针递增
- 在 SLWR 边沿解除激活的 tWFLG 后，将更新 FIFO 标志。

突发写入时显示相同的事件序列。

请注意，在突发写入模式下，SLWR# 解除激活后，会将数据写入 FIFO 内，然后 FIFO 指针递增。

短数据包：通过 PKTEND# 信号可将某个短数据包发送到 USB 主机。需要设计外部器件或处理器，使之在最后数据字以及与该字相应的 SLWR# 脉冲时同时激活 PKTEND#，必须在激活 PKTEND# 过程中保持 FIFOADDR 不变。必须在激活 PKTEND# 过程中保持 FIFOADDR 不变。

零长度数据包：通过激活 PKTEND#，而没有激活 SLWR#，外部器件或处理器可以轻松地将一个零长度数据包（ZLP）传输到 FX3。必须按照图 16 的内容驱动 SLCS# 和地址。

FLAG 用途：外部处理器通过监控 FLAG 信号来实现流量控制。FLAG 信号由 FX3 器件输出。配置该器件，可显示专用地址或当前地址的空、满和局部状态。

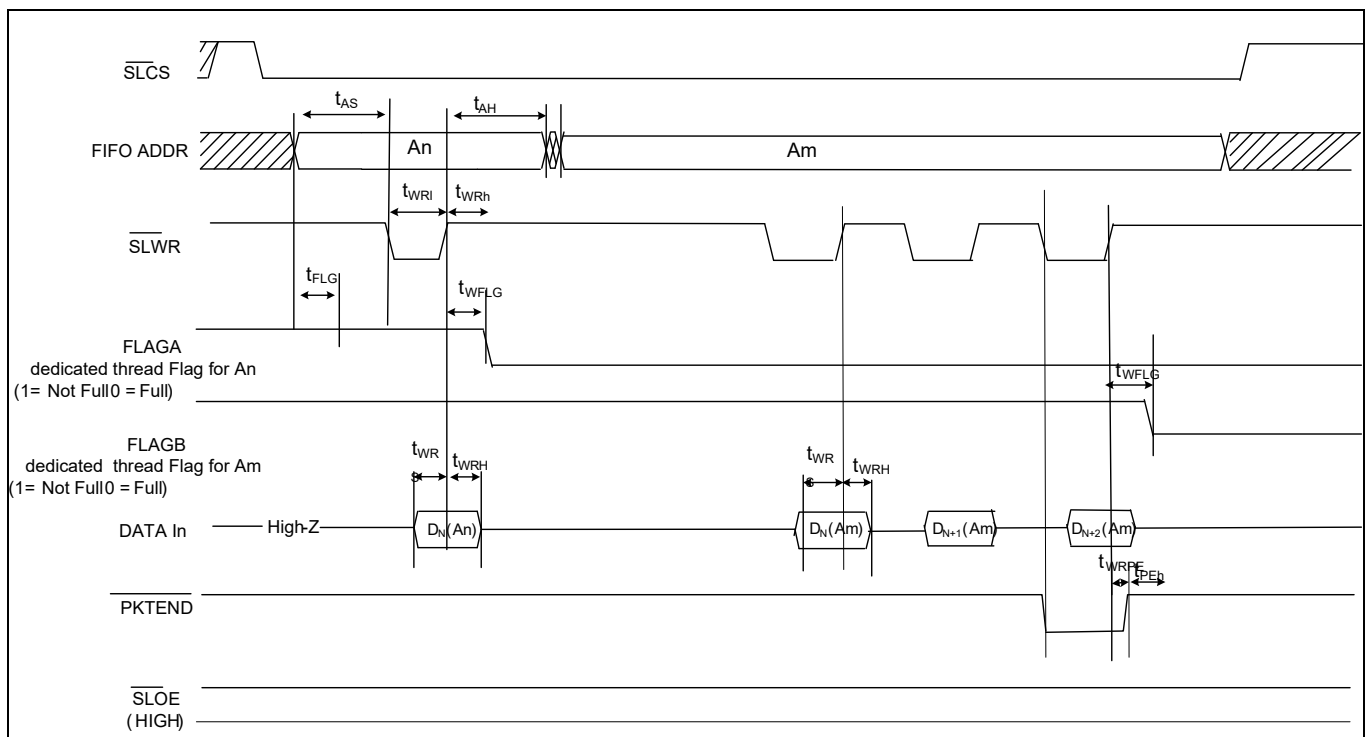


图 15 异步从设备 FIFO 写入模式

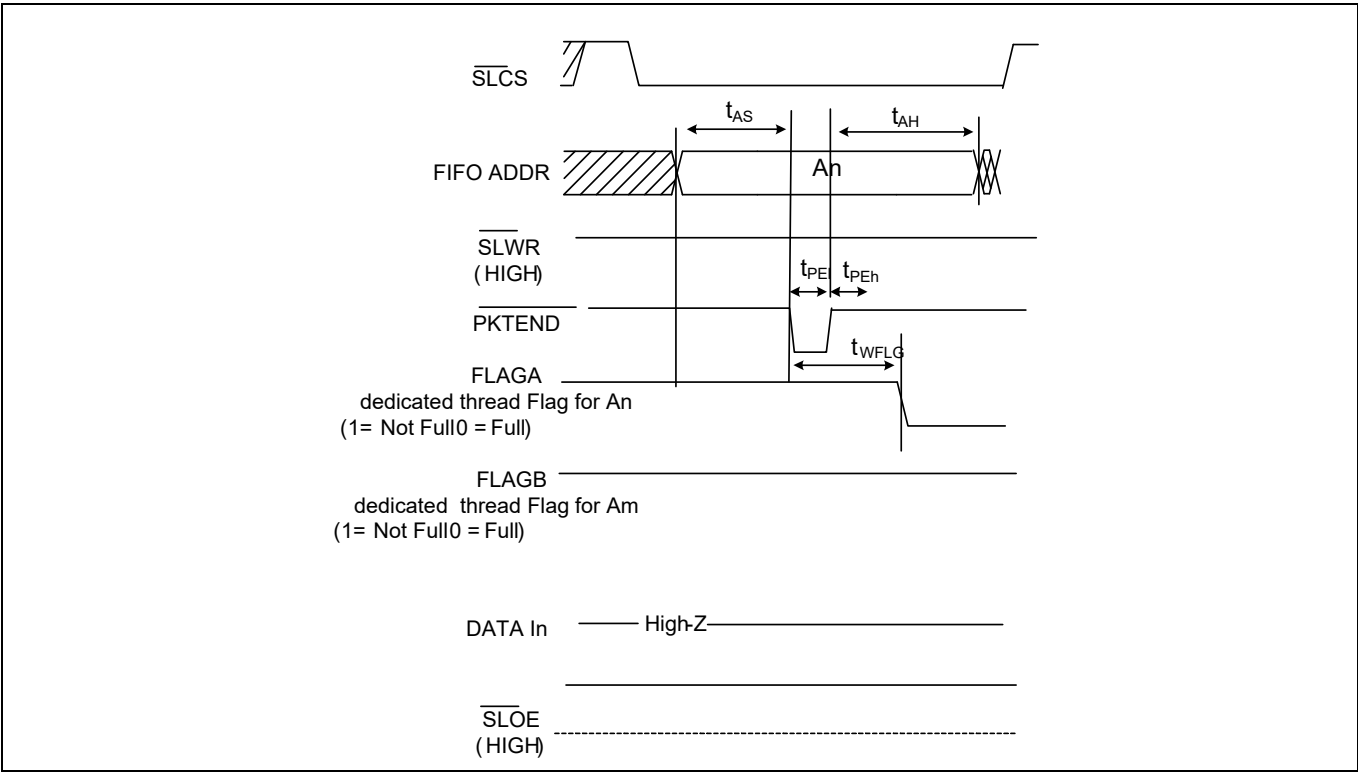


图 16 异步 ZLP 写周期时序

表 16 **异步从设备 FIFO 参数 [12]**

参数	说明	最小值	最大值	单位
tRDI	SLRD# 为低电平的时间	20	–	ns
tRDh	SLRD# 为高电平的时间	10	–	ns
tAS	从地址到 SLRD#/SLWR# 的建立时间	7	–	ns
tAH	从 SLRD#/SLWR#/PKTEND 到地址的保持时间	2	–	ns
tRFLG	从 SLRD# 到 FLAGS 输出的传输延迟	–	35	ns
tFLG	从 ADDR 到 FLAGS 输出的传输延迟	–	22.5	ns
tRDO	从 SLRD# 到数据生效的时间	–	25	ns
tOE	从 OE# 为低电平到数据生效的时间	–	25	ns
tLZ	从 OE# 为低电平到数据为低阻态的时间	0	–	ns
tOH	SLOE# 解除激活数据输出的保持时间	–	22.5	ns
tWRI	SLWR# 低电平	20	–	ns
tWRh	SLWR# 高电平	10	–	ns
tWRS	从数据到 SLWR# 的建立时间	7	–	ns
tWRH	从 SLWR# 到数据的保持时间	2	–	ns
tWFLG	从 SLWR#/PKTEND 到标志输出的传输延迟	–	35	ns
tPEI	PKTEND 为低电平的时间	20	–	ns
tPEh	PKTEND 为高电平的时间	7.5	–	ns
tWRPE	从 SLWR# 解除激活到 PKTEND 解除激活的时间	2	–	ns

注释

12.所有参数均由设计保证，并通过特性化进行验证。

19.5 主机处理器接口（P 端口）时序

19.5.1 异步 SRAM 时序

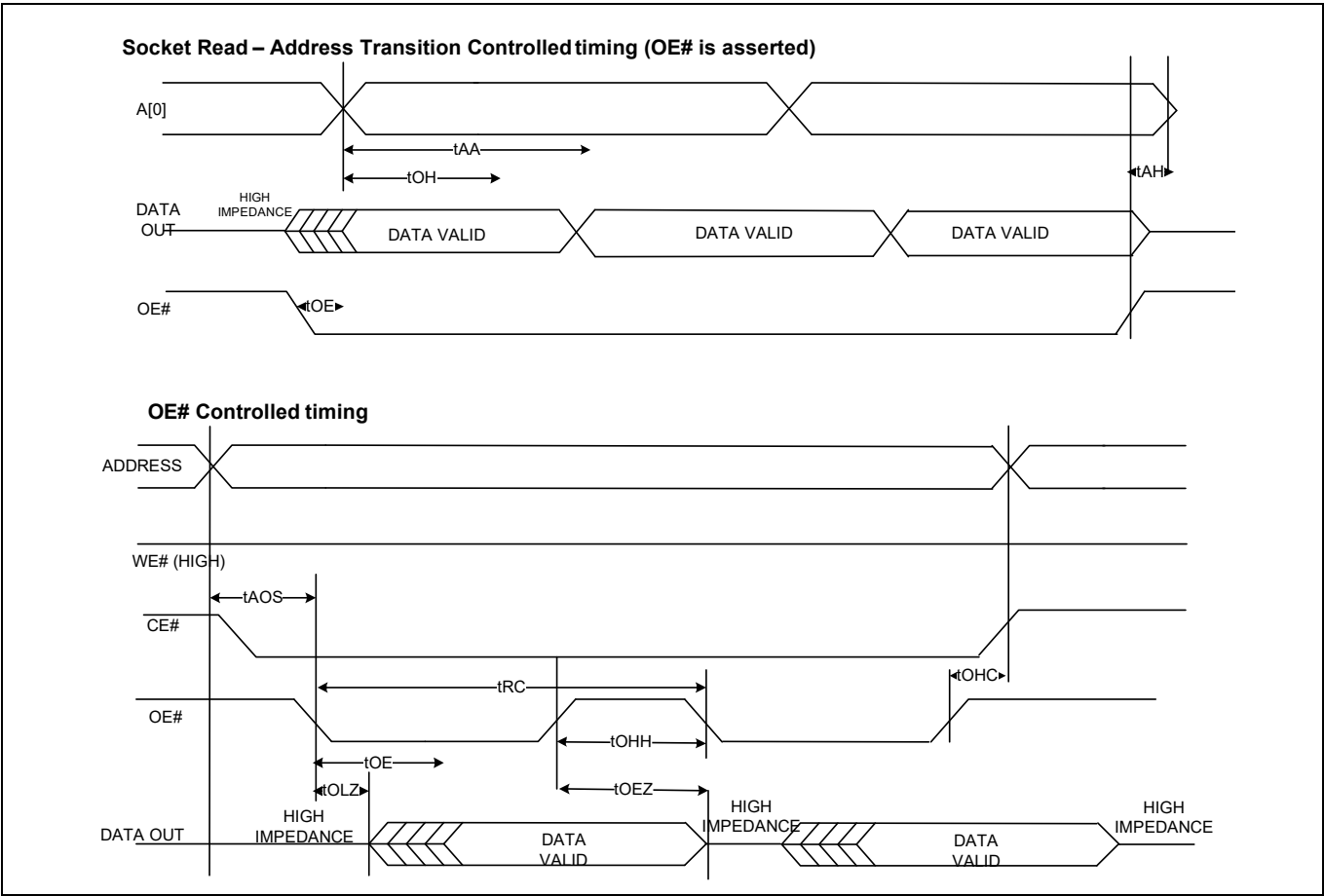


图 17 非复用异步 SRAM 读取时序

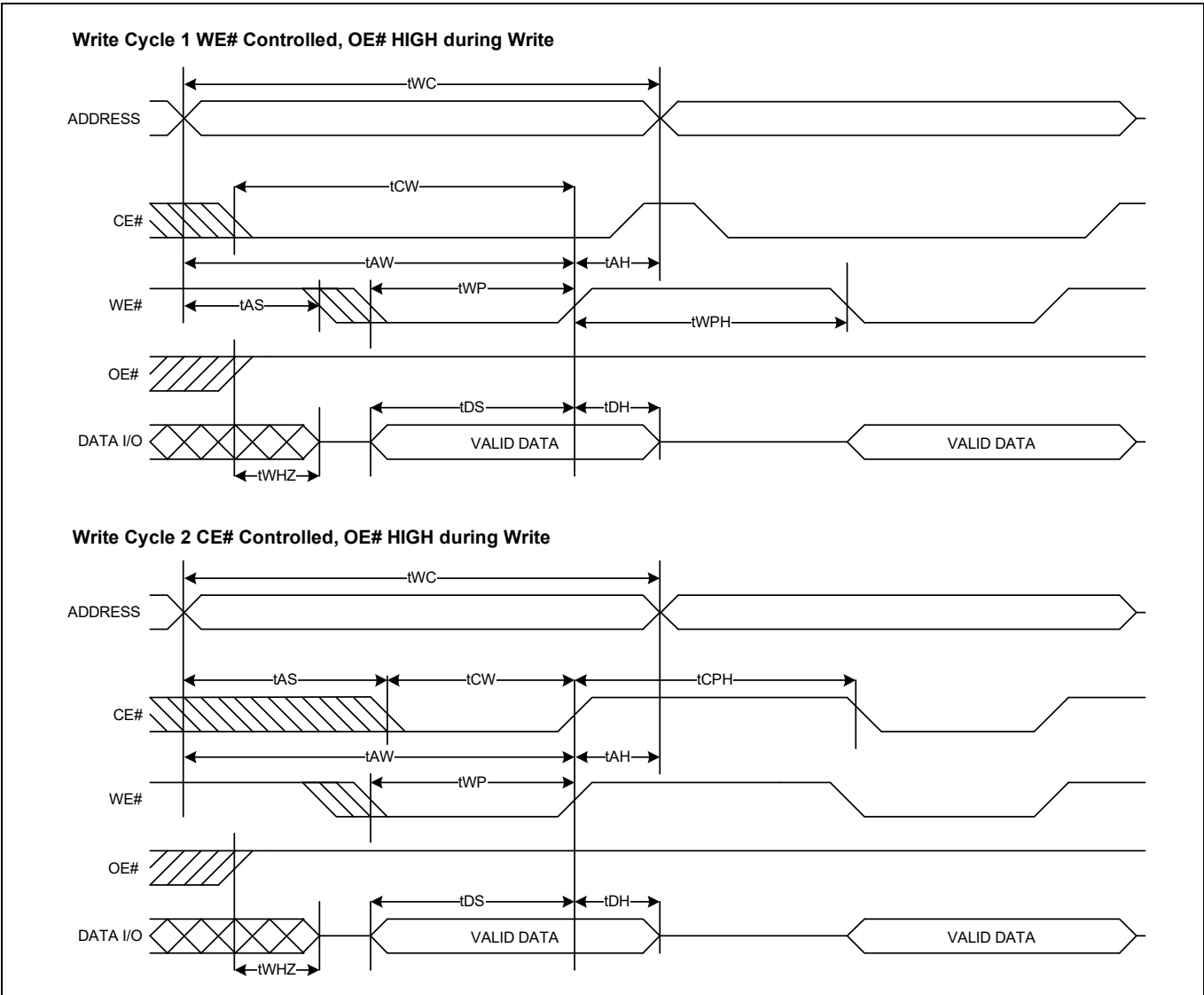


图 18 非复用异步 SRAM 写入时序 (WE# 和 CE# 控制)

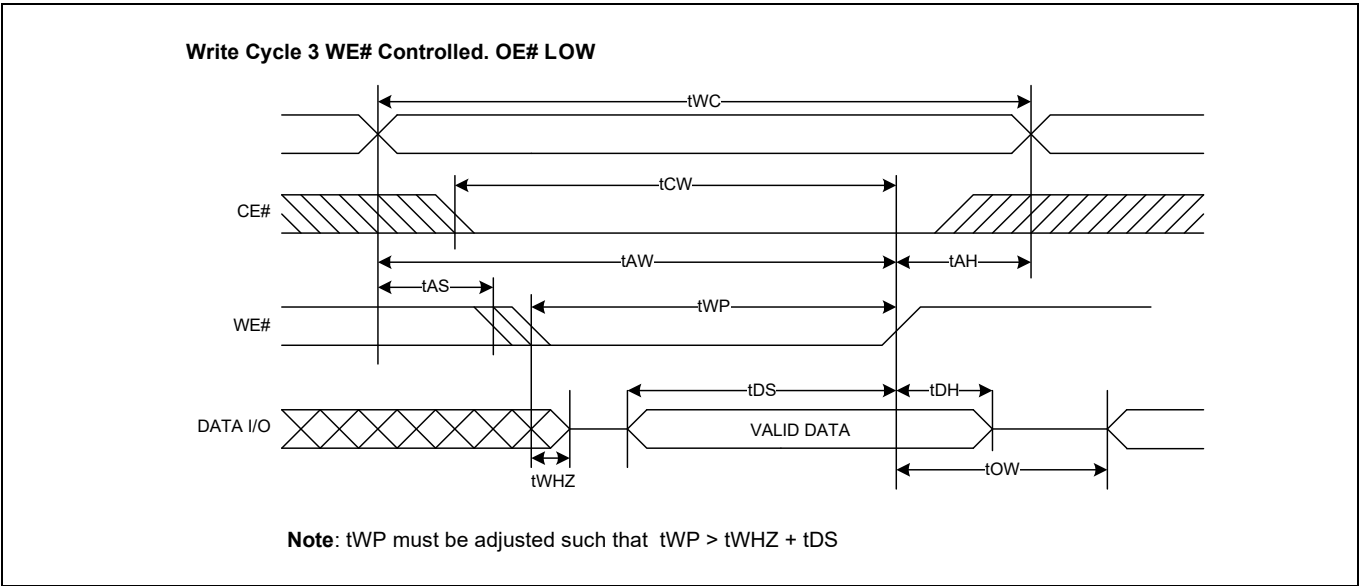


图 19 非复用异步 SRAM 写入时序 (WE# 控制, OE# 为低电平)

表 17 异步 SRAM 时序参数 [13]

参数	说明	最小值	最大值	单位
–	SRAM 接口带宽	–	61.5	Mbps
tRC	读周期的时间	32.5	–	ns
tAA	从地址到数据生效的时间	–	30	ns
tAOS	从地址到 OE# 为低电平的建立时间	7	–	ns
tOH	地址更改后的数据保持时间	3	–	ns
tOHH	OE# 为高电平的保持时间	7.5	–	ns
tOHC	从 OE# 为高电平到 CE# 为高电平的时间	2	–	ns
tOE	从 OE# 为低电平到数据生效的时间	–	25	ns
tOLZ	从 OE# 为低电低电平到数据为低阻态的时间	0	–	ns
tWC	写周期的时间	30	–	ns
tCW	CE# 为低电平到写周期结束的时间	30	–	ns
tAW	从地址生效到写入结束的时间	30	–	ns
tAS	地址建立到写周期开始的时间	7	–	ns
tAH	CE# 或 WE# 的地址保持时间	2	–	ns
tWP	WE# 脉冲宽度	20	–	ns
tWPH	WE# 为高电平的时间	10	–	ns
tCPH	CE# 为高电平的时间	10	–	ns
tDS	从数据建立到写周期结束的时间	7	–	ns
tDH	从数据保持到写入结束的时间	2	–	ns
tWHZ	从 WE# 有效到 DQ 输出为高电平阻态的时间	–	22.5	ns
tOEZ	从 OE# 为高电平到 DQ 输出为高电平阻态的高阻	–	22.5	ns
tOW	从写入结束到输出为低电平阻态的时间	0	–	ns

注释

13.所有参数均由设计保证，并通过特性化进行验证。

19.5.2 用于异步访问的 ADMux 时序

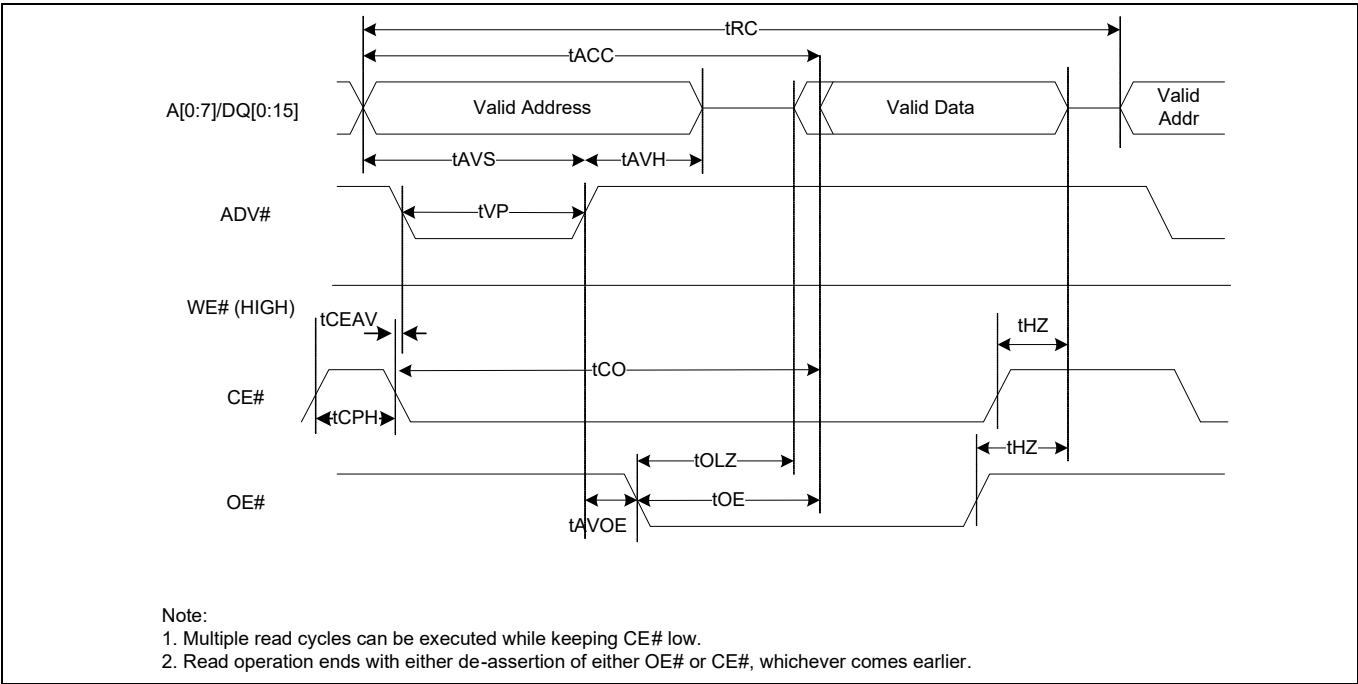


图 20 ADMux 异步随机读取

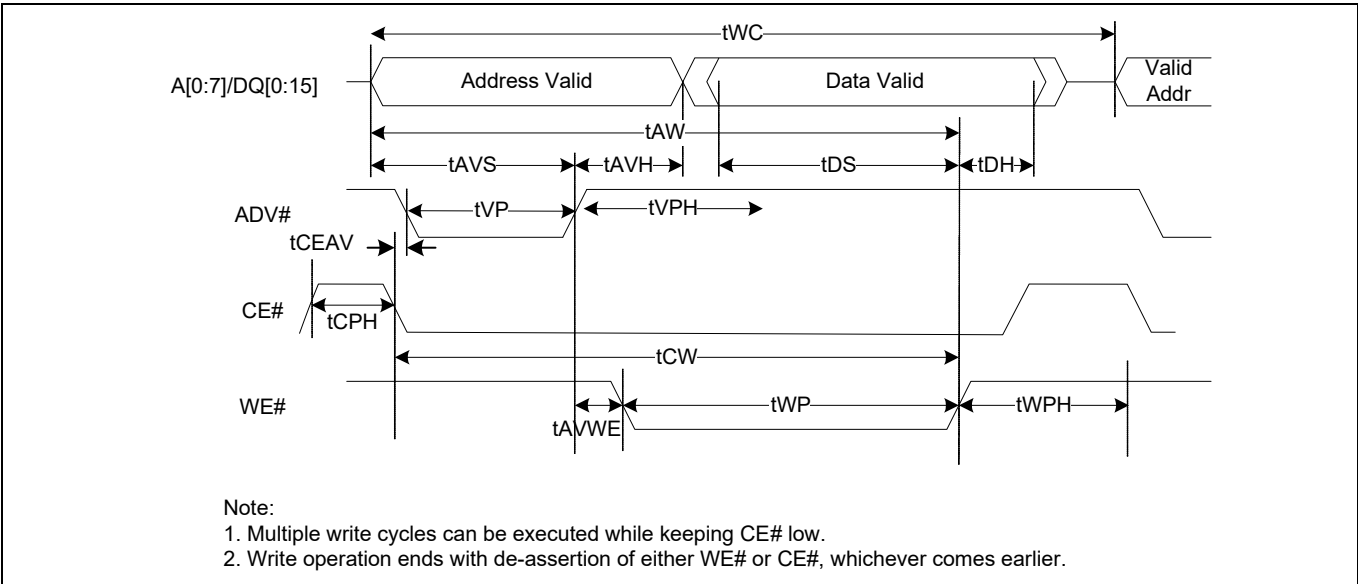


图 21 ADMux 异步随机写入

表 18 异步 ADMux 时序参数^[14]

参数	说明	最小值	最大值	单位	注释
ADMux 异步 READ（读取）访问的时序参数					
tRC	有效地址之间的读周期时间	54.5	–	ns	该参数取决于 P 端口处理器取消激活 OE# 的时间
tACC	从寻址到数据生效的时间	–	32	ns	–
tCO	从 CE# 激活到数据有效的时间	–	34.5	ns	–
tAVOE	从 ADV# 取消激活到 OE# 激活的时间	2	–	ns	–
tOLZ	从 OE# 激活到数据低电平 -Z（低阻态）的时间	0	–	ns	–
tOE	从 OE# 激活到数据有效的时间	–	25	ns	–
tHZ	从读周期结束到数据为高阻 -Z（高阻态）的时间	–	22.5	ns	–
ADMux 异步 WRITE（读取）访问的时序参数					
tWC	有效地址之间的写周期时间	–	52.5	ns	–
tAW	从地址生效到写入结束的时间	30	–	ns	–
tCW	从 CE# 激活到写入结束的时间	30	–	ns	–
tAVWE	从 ADV# 取消激活到 WE# 激活的时间	2	–	ns	–
tWP	WE# 为低脉冲宽度的时间	20	–	ns	–
tWPH	WE# 为高脉冲宽度的时间	10	–	ns	–
tDS	从数据有效设置到 WE# 取消激活的时间	18	–	ns	–
tDH	从 WE# 激活到数据有效的建立时间	2	–	ns	–
ADMux 异步通用 READ/WRITE（读 / 写）访问的时序参数					
tAVS	从地址有效设置到 ADV# 取消激活的时间	5	–	ns	–
tAVH	从 ADV# 取消激活到地址有效的时间	2	–	ns	–
tVP	ADV# 为低脉冲宽度的时间	7.5	–	ns	–
tCPH	CE# 为高脉冲宽度的时间	10	–	ns	–
tVPH	ADV# 为高脉冲宽度的时间	15	–	ns	–
tCEAV	从 CE# 激活到 ADV# 激活的时间	0	–	ns	–

注释

14.所有参数均由设计保证，并通过特性化进行验证。

19.5.3 同步 ADMux 时序

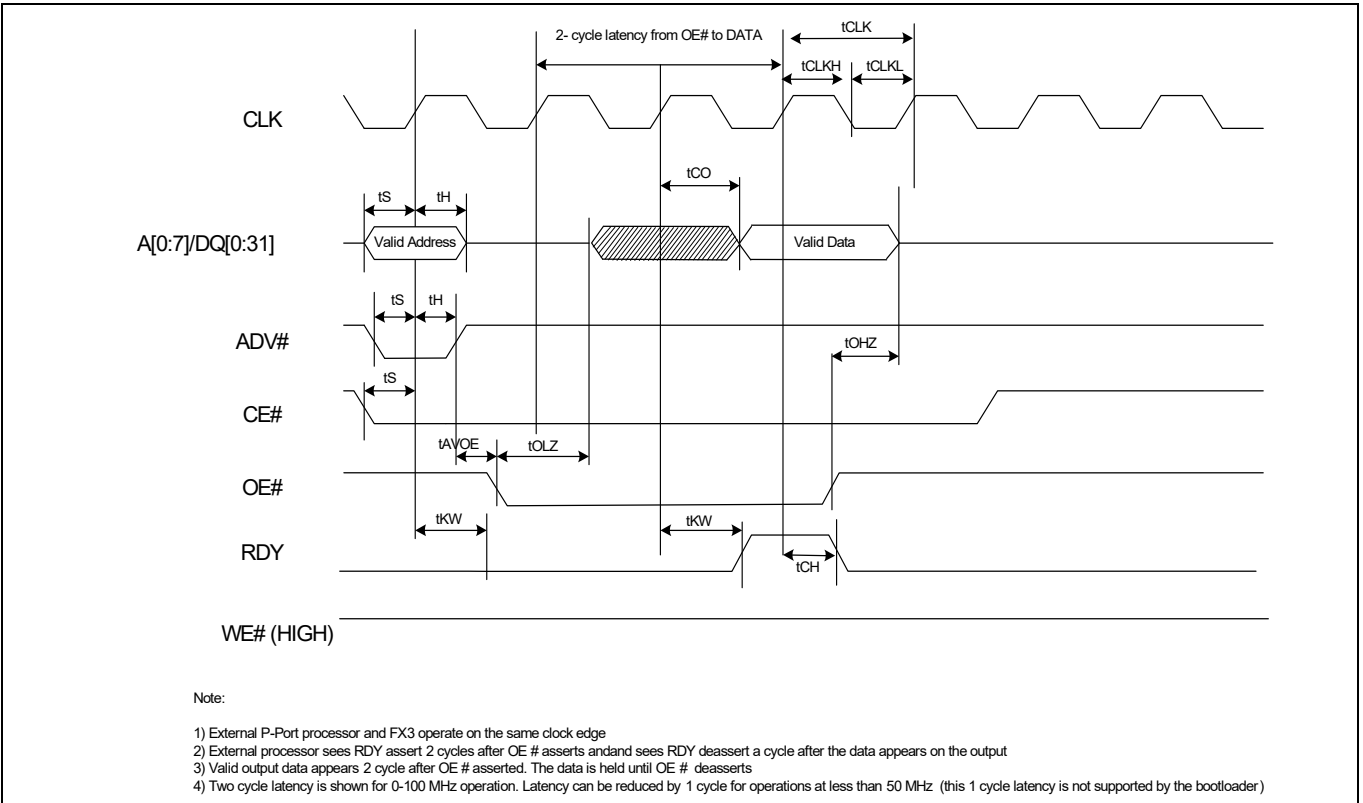


图 22 同步 ADMux 接口 —— 读周期时序

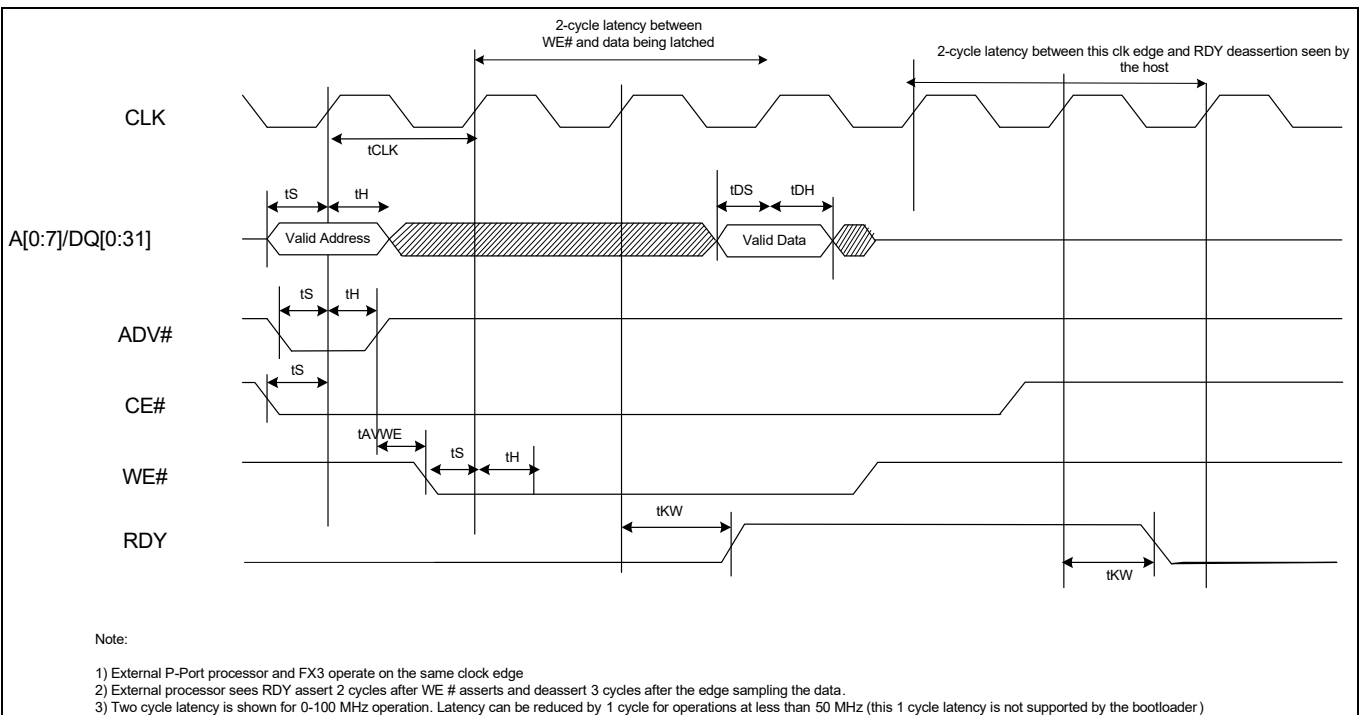


图 23 同步 ADMux 接口 —— 写周期时序

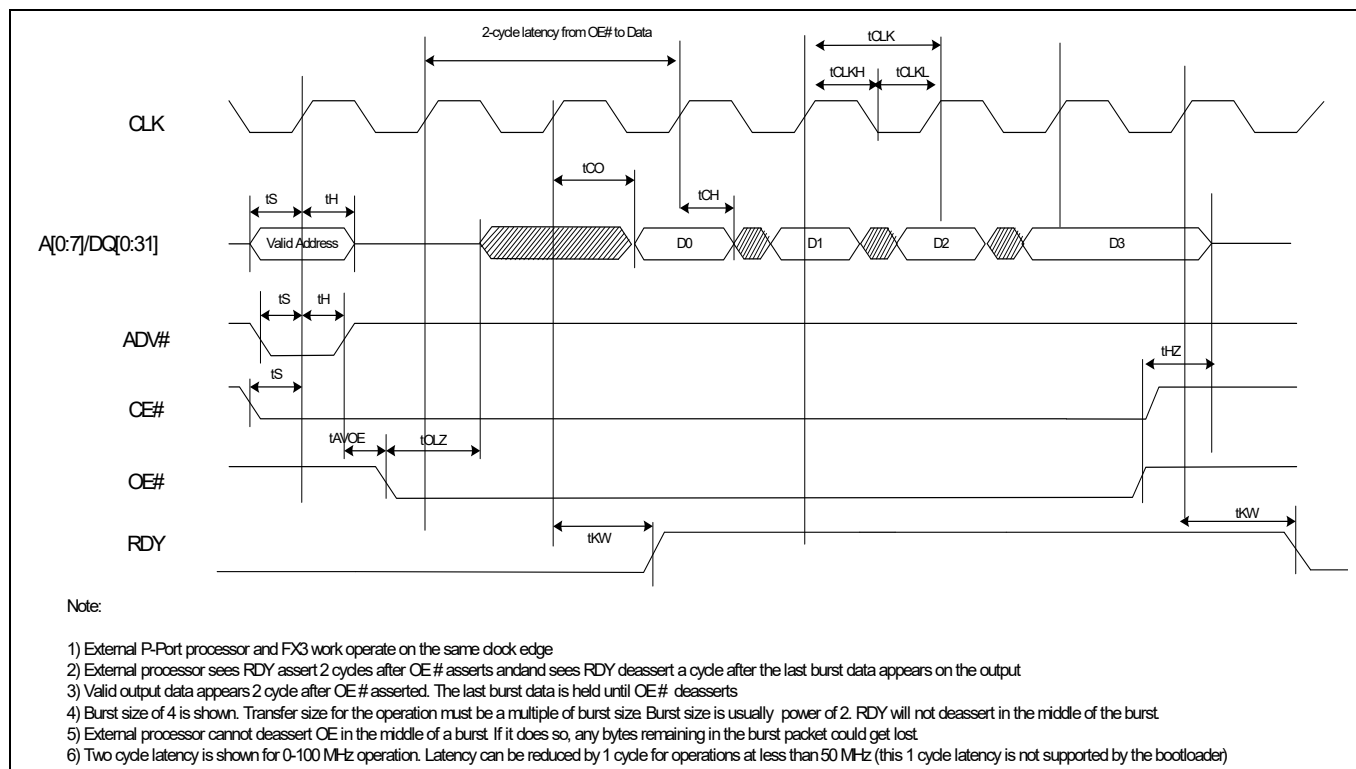


图 24 同步 ADMux 接口 —— 突发读取时序

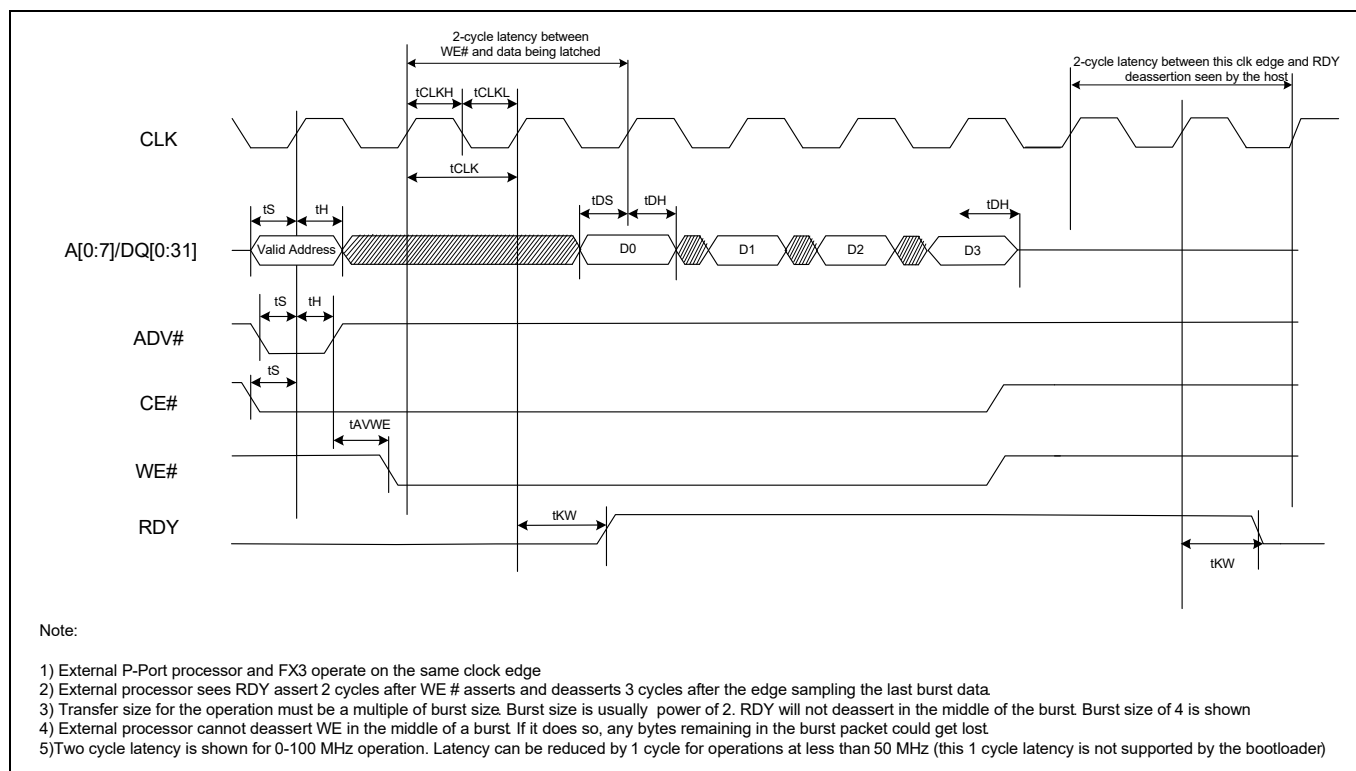


图 25 同步 ADMux 接口 —— 突发写入时序

表 19 同步 ADMux 时序参数 [15]

参数	说明	最小值	最大值	单位
FREQ	接口时钟频率	–	100	MHz
tCLK	时钟周期	10	–	ns
tCLKH	时钟高电平时间	4	–	ns
tCLKL	时钟低电平时间	4	–	ns
tS	CE#/WE#/DQ 的建立时间	2	–	ns
tH	CE#/WE#/DQ 的保持时间	0.5	–	ns
tCH	从时钟到数据的保持时间	0	–	ns
tDS	数据输入的建立时间	2	–	ns
tDH	从时钟到数据输入的保持数据时间	0.5	–	ns
tAVDOE	从 ADV# 为高电平到 OE# 为低电平的时间	0	–	ns
tAVDWE	从 ADV# 为高电平到 WE# 为低电平的时间	0	–	ns
tHZ	从 CE# 为高电 HIGH 到数据为高阻态的时间	–	8	ns
tOHZ	从 OE# 为高电 HIGH 到数据为高阻态的时间	–	8	ns
tOLZ	从 OE# 为低电平到数据为低阻态的低电平	0	–	ns
tKW	从时钟到 RDY 有效的时间	–	8	ns

注释

15.All parameters guaranteed by design and validated through characterization.

19.6 串行外设时序

19.6.1 I²C 时序

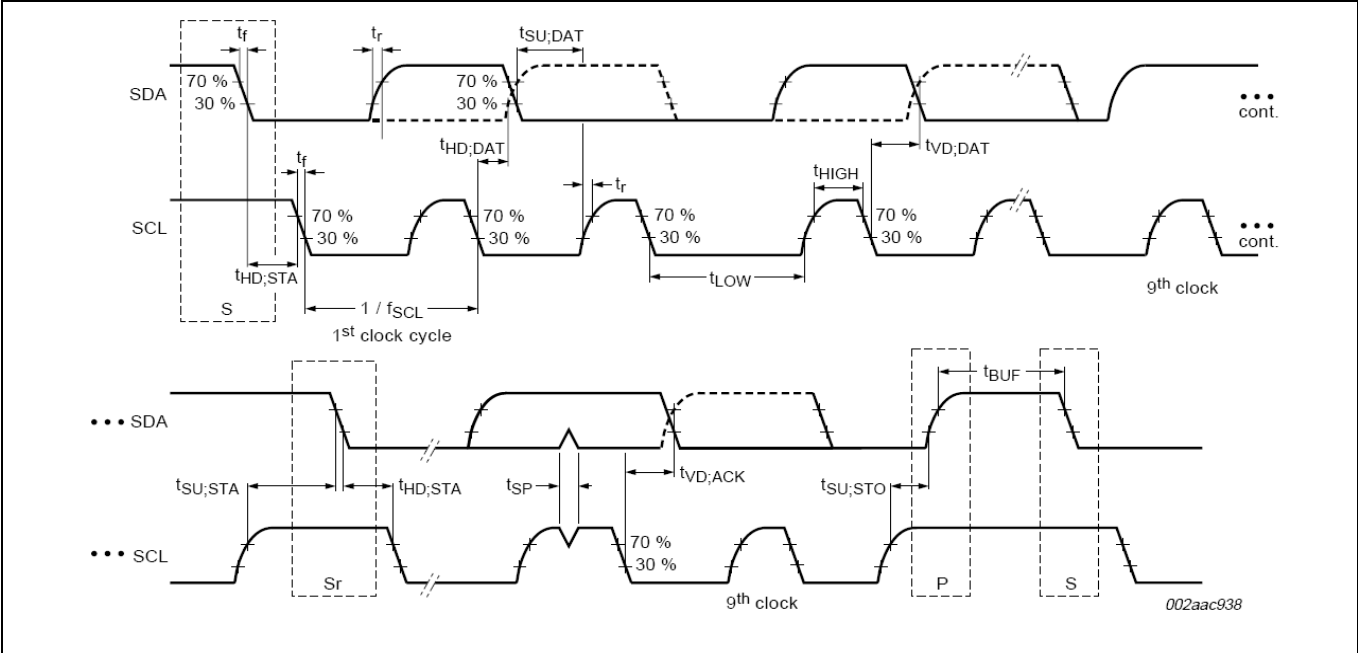


图 26 I²C 时序定义

表 20 I²C 时序参数^[16] (1/2)

参数	说明	最小值	最大值	单位
I ² C 标准模式参数				
fSCL	SCL 时钟频率	0	100	kHz
tHD:STA	启动条件的保持时间	4	–	μs
tLOW	SCL 为低电平的周期	4.7	–	μs
tHIGH	SCL 为高电平的周期	4	–	μs
tSU:STA	重复启动条件的建立时间	4.7	–	μs
tHD:DAT	数据保持时间	0	–	μs
tSU:DAT	数据建立时间	250	–	ns
tr	SDA 和 SCL 信号的上升时间	–	1000	ns
tf	SDA 和 SCL 信号的下降时间	–	300	ns
tSU:STO	停止条件的建立时间	4	–	μs
tBUF	停止和启动条件之间的总线空闲时间	4.7	–	μs
tVD:DAT	数据有效时间	–	3.45	μs
tVD:ACK	数据有效 ACK 时间	–	3.45	μs
tSP	输入滤波器抑制的尖峰脉冲的宽度	不适用	不适用	
I ² C 快速模式的参数				
fSCL	SCL 时钟频率	0	400	kHz
tHD:STA	启动条件的保持时间	0.6	–	μs
tLOW	SCL 为低电平的周期	1.3	–	μs
tHIGH	SCL 为高电平的周期	0.6	–	μs
tSU:STA	重复启动条件的建立时间	0.6	–	μs
tHD:DAT	数据保持时间	0	–	μs
tSU:DAT	数据建立时间	100	–	ns
tr	SDA 和 SCL 信号的上升时间	–	300	ns
tf	SDA 和 SCL 信号的下降时间	–	300	ns
tSU:STO	停止条件的建立时间	0.6	–	μs
tBUF	停止和启动条件之间的总线空闲时间	1.3	–	μs
tVD:DAT	数据有效时间	–	0.9	μs
tVD:ACK	数据有效 ACK 时间	–	0.9	μs
tSP	输入滤波器抑制的尖峰脉冲的宽度	0	50	ns

注释

16.所有参数均由设计保证，并通过特性化进行验证。

表 20 **I²C 时序参数** ^[16] (2/2)

参数	说明	最小值	最大值	单位
I ² C 增强型快速模式的参数 (不适用于 I2C_VDDQ = 1.2 V 的场景)				
fSCL	SCL 时钟频率	0	1000	kHz
tHD:STA	启动条件的保持时间	0.26	–	μs
tLOW	SCL 为低电平的周期	0.5	–	μs
tHIGH	SCL 为高电平的周期	0.26	–	μs
tSU:STA	重复启动条件的建立时间	0.26	–	μs
tHD:DAT	数据保持时间	0	–	μs
tSU:DAT	数据建立时间	50	–	ns
tr	SDA 和 SCL 信号的上升时间	–	120	ns
tf	SDA 和 SCL 信号的下降时间	–	120	ns
tSU:STO	停止条件的建立时间	0.26	–	μs
tBUF	停止和启动条件之间的总线空闲时间	0.5	–	μs
tVD:DAT	数据有效时间	–	0.45	μs
tVD:ACK	数据有效 ACK 时间	–	0.55	μs
tSP	输入滤波器抑制的尖峰脉冲的宽度	0	50	ns

19.6.2 I²S 时序图

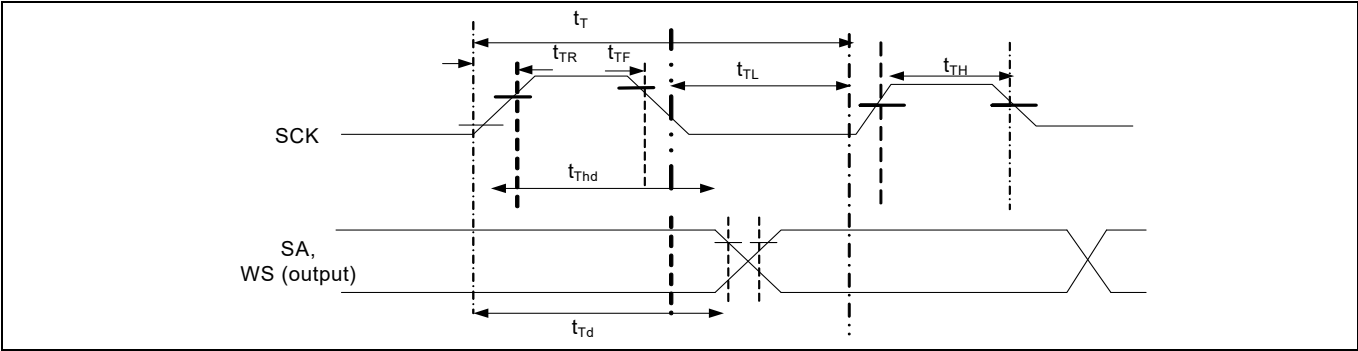


图 27 I²S 发送周期

表 21 I²S 时序参数 [17]

参数	说明	最小值	最大值	单位
t_T	I ² S 发送器的时钟周期	T_{tr}	–	ns
t_{TL}	I ² S 发送器为低电平的周期	$0.35 T_{tr}$	–	ns
t_{TH}	I ² S 发送器为高电平的周期	$0.35 T_{tr}$	–	ns
t_{TR}	I ² S 发送器的上升时间	–	$0.15 T_{tr}$	ns
t_{TF}	I ² S 发送器的下降时间	–	$0.15 T_{tr}$	ns
t_{Thd}	I ² S 发送器的数据保留时间	0	–	ns
t_{Td}	I ² S 发送器的延迟时间	–	$0.8t_T$	ns

注意：通过时钟齿轮可以选择 t_T 。T_{tr} 的最大值是 326 ns（3.072 MHz），此值用于 32 位的 96 kHz 编解码器。

注释

17. 所有参数均由设计保证，并通过特性化进行验证。

19.6.3 SPI 时序规范

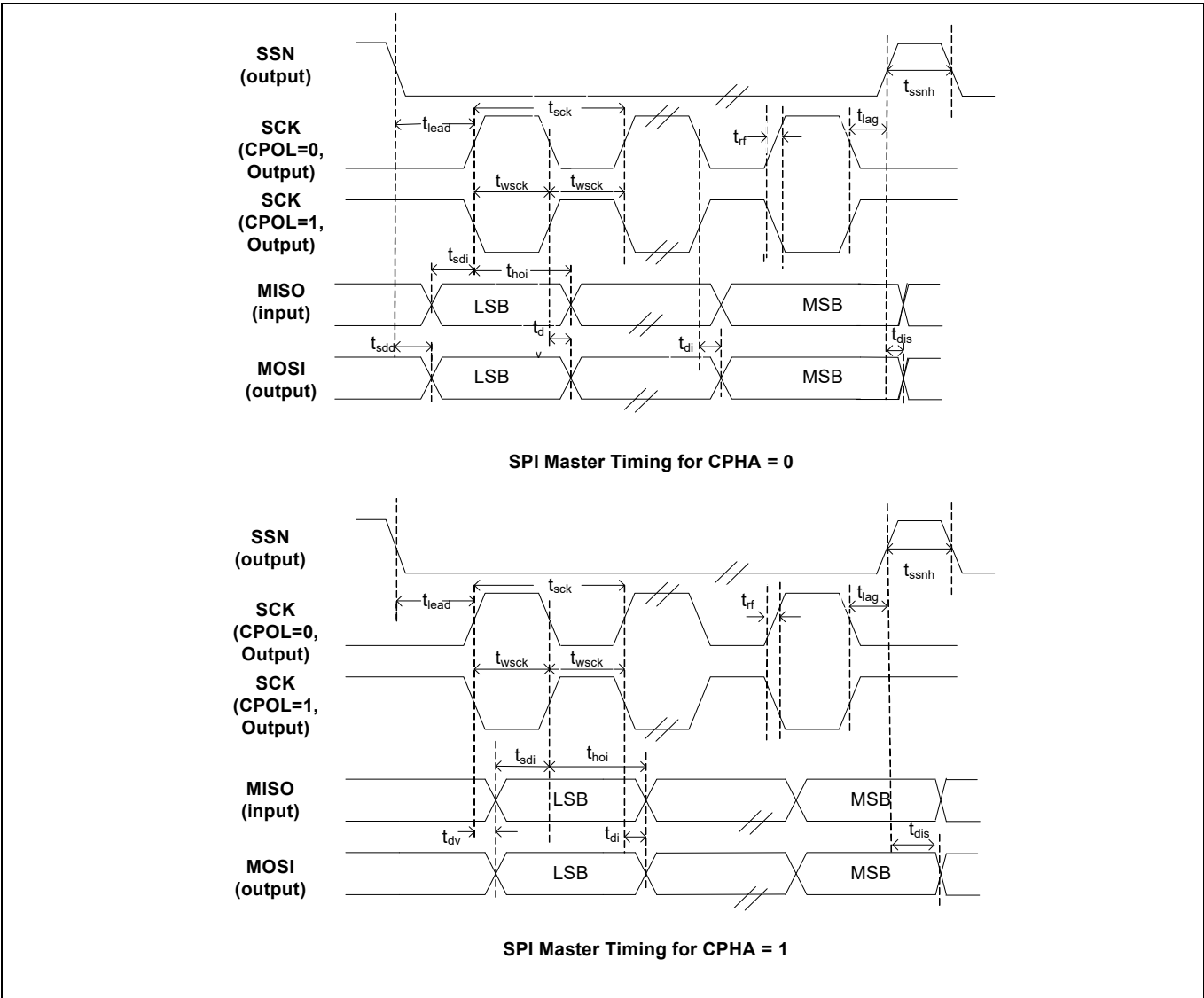


图 28 SPI 时序

表 22 SPI 时序参数^[18]

参数	说明	最小值	最大值	单位
fop	工作频率	0	33	MHz
tsck	周期时间	30	–	ns
twscck	SPI 时钟为高 / 低电平的时间	13.5	–	ns
tlead	SSN-SCK 前置时间	$1/2 \text{ tsck}^{[19]} + 5$	$1.5 \text{ tsck}^{[19]} + 5$	ns
tlag	启动延迟时间	0.5	$1.5 \text{ tsck}^{[19]} + 5$	ns
trf	上升 / 下降时间	–	8	ns
tsdd	输出 SSN 到有效的数据的延迟时间	–	5	ns
tdv	输出数据有效时间	–	5	ns
tdi	输出数据无效时间	0	–	ns
tssnh	SSN 高电平时间的最小值	10	–	ns
tsdi	数据建立时间输入	8	–	ns
thoi	数据输入的保持时间	0	–	ns
tdis	SSN 高电平上禁用数据输出的时间	0	–	ns

注释

- 18.所有参数均由设计保证，并通过特性化进行验证。
19.取决于 SPI_CONFIG 寄存器中的 LAG 和 LEAD 设置。

19.7 复位序列

本节中详细介绍了 FX3 的硬复位序列的要求。

表 23 复位和待机时序参数

参数	定义	条件	最小值 (ms)	最大值 (ms)
tRPW	最小 RESET# 脉冲宽度	时钟输入	1	–
		晶振输入	1	–
tRH	RESET# 为 HIGH 电平的最短时间	–	5	–
tRR	复位恢复时间（在此之后，Bootloader 开始下载固件）	时钟输入	1	–
		晶振输入	5	–
tSBY	进入待机 / 暂停模式的时间（起始时间为 MAIN_CLOCK_EN/MAIN_POWER_EN 位的建立时间）	–	–	1
tWU	从待机模式唤醒的时间	时钟输入	1	–
		晶振输入	5	–
tWH	重新激活待机 / 暂停资源前的最短时间	–	5	–

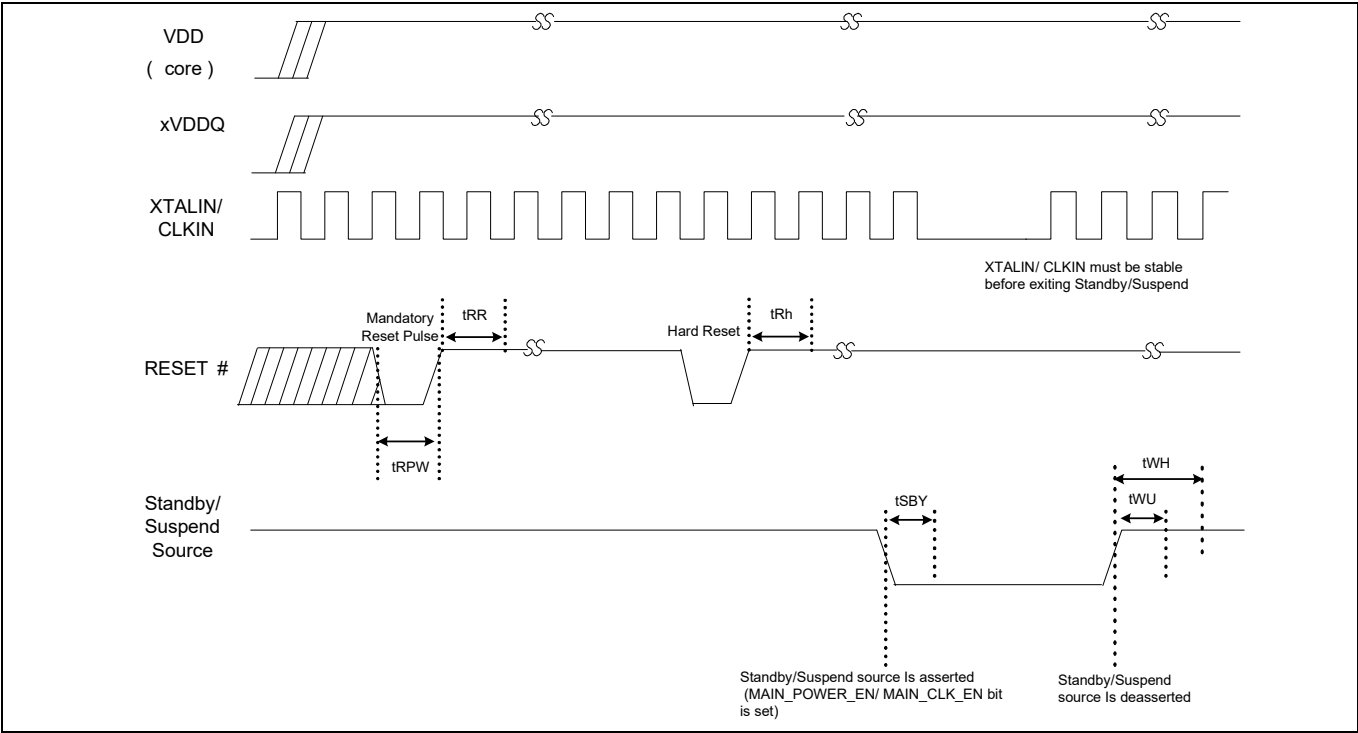
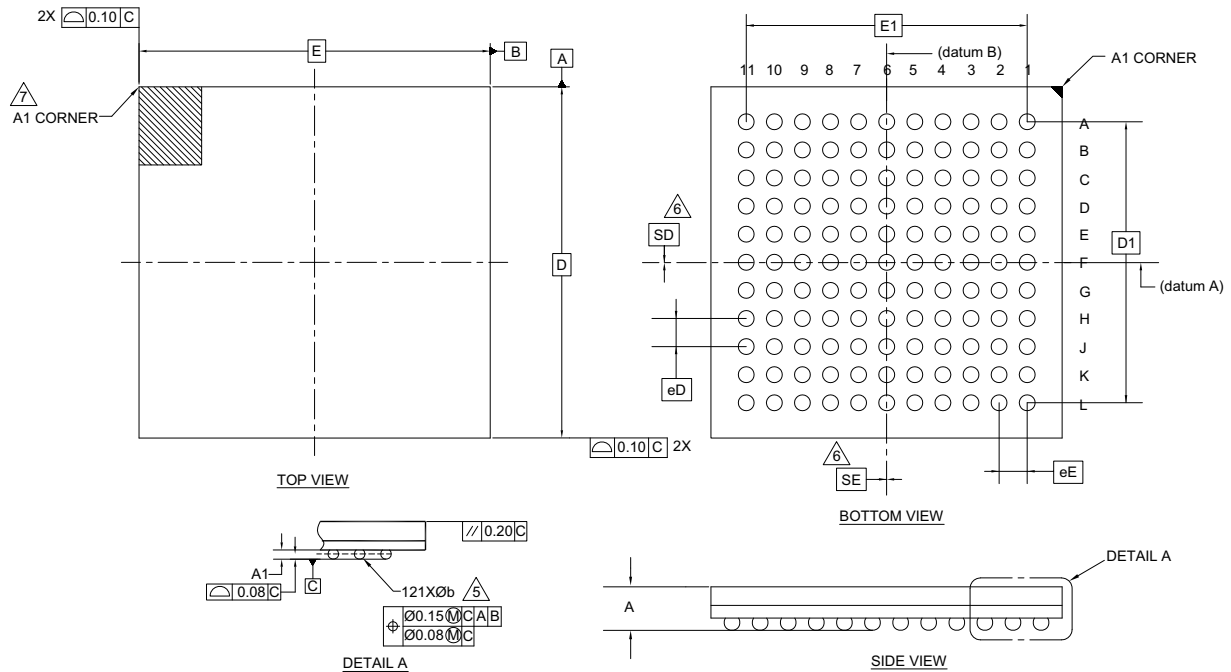


图 29 复位序列

20 封装图



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.20
A1	0.15	-	-
D	10.00 BSC		
E	10.00 BSC		
D1	8.00 BSC		
E1	8.00 BSC		
MD	11		
ME	11		
N	121		
Ø b	0.25	0.30	0.35
eD	0.80 BSC		
eE	0.80 BSC		
SD	0.00		
SE	0.00		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

001-54471 *F

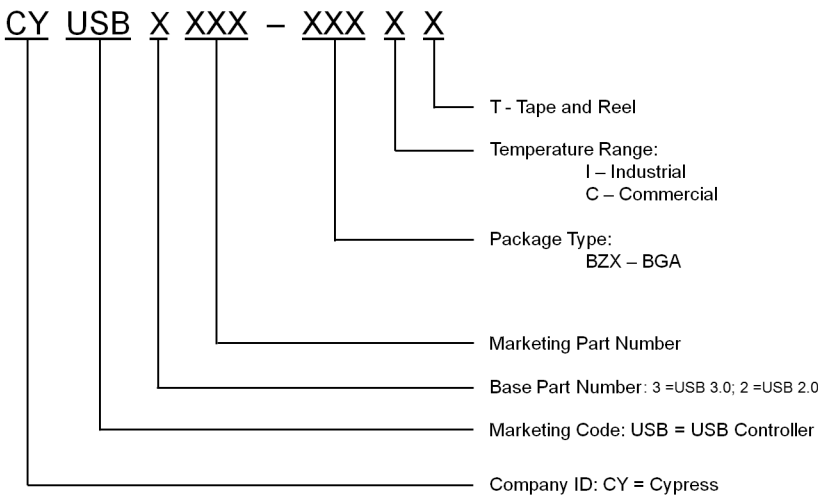
图 30 121 Ball BGA 封装图

21 订购信息

表 24 订购信息

订购代码	USB	SRAM (kB)	GPIF II 数据总线宽度	工作温度	封装类型
CYUSB3011-BZXC	USB 3.0	256	16 位	0 °C 到 +70 °C	121 球形焊盘 BGA
CYUSB3012-BZXC	USB 3.0	256	32 位	0 °C 到 +70 °C	121 球形焊盘 BGA
CYUSB3013-BZXC	USB 3.0	512	16 位	0 °C 到 +70 °C	121 球形焊盘 BGA
CYUSB3014-BZXC	USB 3.0	512	32 位	0 °C 到 +70 °C	121 球形焊盘 BGA
CYUSB3014-BZXI	USB 3.0	512	32 位	-40 到 +85 °C	121 球形焊盘 BGA
CYUSB2014-BZXC	USB 2.0	512	32 位	0 °C 到 +70 °C	121 球形焊盘 BGA
CYUSB2014-BZXI	USB 2.0	512	32 位	-40 ~ +85 °C	121 球形焊盘 BGA

21.1 订购代码定义



22 缩略语

表 25 缩略语

缩略语	说明
DMA	直接存储器访问
FIFO	先入先出
GPIF	通用编程接口
HNP	主机协商协议
I ² C	内部集成电路
I ² S	集成电路内置音频
MISO	主入从出
MOSI	主出从入
MMC	多媒体卡
MSC	大容量存储类
MTP	媒体传输协议
OTG	on-the-go (活动式)
OVP	过压保护
PHY	物理层
PLL	锁相环
PMIC	电源管理 IC
PVT	流程电压温度
RTOS	实时操作系统
SCL	串行时钟线
SCLK	串行时钟
SD	安全数字
SD	安全数字
SDA	串行数据时钟
SDIO	安全数字输入 / 输出
SLC	单层单元
SLCS	从设备选择 (Slave Chip Select)
SLOE	从设备输出使能 (Slave Output Enable)
SLRD	从设备读取 (Slave Read)
SLWR	从设备写入 (Slave Write)
SPI	串行外设接口
SRP	会话请求协议
SSN	SPI 从设备选择 (低电平有效)
UART	通用异步发射器接收器
UVC	USB 视频类别
USB	通用串行总线

23 文档惯例

23.1 测量单位

表 26 测量单位

符号	测量单位
°C	摄氏度
μA	微安
μs	微秒
mA	毫安
Mbps	每秒兆位数
MBps	每秒兆字节
MHz	兆赫兹
ms	毫秒
ns	纳秒
Ω	欧姆
pF	皮法
V	伏特

24 勘误表

本节是 FX3 文档 D、C 和 B 版本的勘误表。详细信息包括勘误的触发条件，影响范围，可用的变通办法和芯片版本适用性。如果您有任何疑问，请与您当地的英飞凌销售代表联系。

受影响的器件编号

产品型号	器件特性
CYUSB301x-xxxx	所有可选项
CYUSB201x-xxxx	所有可选项

24.1 资格状况

产品状态：生产

24.2 勘误表汇总

下表定义了可用于修订版 D EZ-USB FX3 超高速 USB 控制器系列设备的勘误表适用性。

条目	产品型号	芯片版本	修复状态
1. 在正常、暂停和待机模式下关闭 VIO1 时，FX3 将停止工作。	CYUSB301x-xxxx CYUSB201x-xxxx	D、C、B 版本	提供了解决方法
2. FX3 自供电时，USB 启动模式下的 USB 枚举失败。	CYUSB301x-xxxx CYUSB201x-xxxx	D、C、B 版本	提供了解决方法
3. 在 GPIF II 状态下，提交操作会生成额外的 ZLP。	CYUSB301x-xxxx CYUSB201x-xxxx	D、C、B 版本	提供了解决方法
4. USB 2.0 ISOC 数据传输中的 PID 序列无效。	CYUSB301x-xxxx CYUSB201x-xxxx	D、C、B 版本	提供了解决方法
5. 当 ZLP 后面出现同一微帧内的数据包时，会出现 USB 数据传输错误。	CYUSB301x-xxxx CYUSB201x-xxxx	D、C、B 版本	提供了解决方法
6. 当 I2C 块在 I2C 多主配置中用作主控制器时，会出现总线碰撞。	CYUSB301x-xxxx CYUSB201x-xxxx	D、C、B 版本	在单主配置中使用 FX3
7. USB3.0 主机控制器的低功耗 U1 快速退出问题。	CYUSB301x-xxxx	D、C、B 版本	提供了解决方法
8. 在链路质量较差的主机上运行时 USB 数据损坏。	CYUSB301x-xxxx	D、C、B 版本	提供了解决方法
9. 设备将来自 USB 3.0 主机的 Rx 检测序列视为有效的 U1 出口 LFPS 突发。	CYUSB301x-xxxx	D、C、B 版本	提供了解决方法
10. 400 kHz 时，40/60 占空比出现 I2C 数据有效 (tVD : DAT) 规格违规。	CYUSB301x-xxxx CYUSB201x-xxxx	D、C、B 版本	无需解决方法
11. FX3 设备在多个电源循环后未正确响应来自主机的端口功能请求。	CYUSB301x-xxxx	D、C、B 版本	提供了解决方法

勘误表

1. 在正常、暂停和待机模式下关闭 VIO1 时，FX3 将停止工作。	
问题定义	在“正常”，“挂起”和“待机”模式下关闭 VIO1 将导致 FX3 停止工作。
受影响的参数	不适用
触发条件	当在正常，挂起和待机模式下关闭 VIO1 时，会触发此情况。
影响范围	FX3 停止工作。
解决方法	在正常模式，挂起模式和待机模式下，VIO1 必须保持打开状态。
修复状态	没有解决方法。需要解决方法。
2. FX3 自供电时，USB 启动模式下的 USB 枚举失败。	
问题定义	当 FX3 自供电且未连接到 USB 主机时，它将进入低功耗模式，并且在连接到 USB 主机后不会唤醒。这是因为引导加载程序没有检查连接器上的 VBUS 针脚以检测 USB 连接。它预计 USB 总线在启动时会连接到主机。
受影响的参数	不适用
触发条件	当 FX3 在 USB 引导模式下自动供电时，会触发此情况。
影响范围	设备不枚举
解决方法	连接到 USB 主机后重置设备。
修复状态	没有解决方法。需要解决方法。
3. 在 GPIF II 状态下，提交操作会生成额外的 ZLP。	
问题定义	如果在没有 IN_DATA 操作的 GPIF-II 状态下使用提交操作，则会与数据包一起提交额外的零长度数据包（ZLP）。
受影响的参数	不适用
触发条件	当提交操作在没有 IN_DATA 操作的状态下使用时，将触发此条件。
影响范围	生成额外的 ZLP。
解决方法	在相同状态下使用 IN_DATA 操作和提交操作。
修复状态	没有解决方法。需要解决方法。

勘误表

4.USB 2.0 ISOC 数据传输中的 PID 序列无效。	
问题定义	当 FX3 设备作为具有高带宽等时端点的高速 USB 设备运行时，ISO 数据包的 PID 序列仅受等多姆设置控制。在每个微帧中生成 PID 序列时，不考虑数据包的长度。例如，即使在 MULT 设置为 2 的端点上发送了短数据包，使用的 PID 也将是 DATA2
受影响的参数	不适用
触发条件	当使用高带宽 ISOC 传输端点时，会触发此情况。
影响范围	ISOC 数据传输失败。
解决方法	可以通过在发送短数据包之前使用较低的异构设置重新配置端点，然后切换回原始值来解决此问题。
修复状态	没有解决方法。需要解决方法。
5.当 ZLP 后面出现同一微帧内的数据包时，会出现 USB 数据传输错误。	
问题定义	在启用了突发传输的 USB IN 端点上，如果一个零长度数据包后面紧跟着另一个数据包（时间间隔不超过一个微帧或 125 μs），那么可能会出现数据传输错误。
受影响的参数	不适用
触发条件	使用 ZLP 的超高速传输会触发此情况
影响范围	数据故障和较低的数据速度。
解决方法	解决方案是为了确保 ZLP 与端点启用了突发式 USB 的下一个数据包之间有一定的时间间隔。如果数据源无法确保这一点，则可以使用 CyU3PDmaChannelSetSuspend() API 在看到 EOP 情况时挂起相应的 USB DMA 插槽。一旦收到暂停回叫，就可以恢复信道操作。
修复状态	没有解决方法。需要解决方法。
6.当 I ² C 块在 I ² C 多主配置中用作主控制器时，会出现总线碰撞。	
问题定义	当在 I ² C 多主配置中将 FX3 用作主中继器时，可能会偶尔发生总线冲突。
受影响的参数	不适用
触发条件	只有在 FX3 I ² C 块以多主配置运行时，才会触发此情况。
影响范围	当 I ² C 总线未处于空闲状态时，FX3 I ² C 块可以传输数据，从而导致总线冲突。
解决方法	将 FX3 用作单个主机。
修复状态	没有解决方法。

勘误表

7.USB3.0 主机控制器的低功耗 U1 快速退出问题。	
问题定义	当 FX3 设备在进入 U1 状态后 5 μ s 内从低功耗 U1 状态过渡到 U0 状态时，设备有时无法过渡回 U0 状态，从而导致 USB 重置。
受影响的参数	不适用
触发条件	这种情况在低功耗转换模式下触发。
影响范围	数据传输期间意外的 USB 热重置。
解决方法	通过在数据传输期间禁用 LPM (链路电源管理)，可以在固件中解决此问题。
修复状态	固件解决方案已得到证实且可靠。
8.在链路质量较差的主机上运行时 USB 数据损坏。	
问题定义	如果 FX3 在信号质量较差的 USB 3.0 链路上运行，则设备可能会在任何 In 端点上发送损坏的数据 (包括控制端点)。
受影响的参数	不适用
触发条件	当 USB3.0 链路信号质量非常差时，就会触发此情况。
影响范围	任何 In 端点 (包括控制端点) 中的数据损坏。
解决方法	应用程序固件在收到 CYU3P_USBEPS_RESET_EVT 事件后，要阻塞端点进行错误恢复，等到收到 CLEAR_FEATURE 请求再停止和重启 DMA 路径。 注意：SDK 1.3.3 及以上版本实行 DMA 传输的内部管理，并在发现潜在错误情况时执行端点重置。更多关于应用固件的信息请参阅 SDK 附带的 GpiftoUsb 示例。
修复状态	FW 解决方案的可靠性已得到验证。
9.设备将来自 USB 3.0 主机的 Rx 检测序列视为有效的 U1 出口 LFPS 突发。	
问题定义	FX3 设备中的 USB 3.0 PHY 使用电动怠速探测器来确定是否正在接收 LFPS。接收器未看到电气怠速状态的持续时间是定时的，用于检测各种 LFPS 突发。此实施会导致设备将来自 USB 主机的 Rx 检测序列视为有效的 U1 出口 LFPS 突发。
受影响的参数	不适用
触发条件	当 USB 主机正在启动 Rx 检测序列，而 FX3 上的 USB 3.0 链路状态计算机处于 U1 状态时，会触发此情况。由于主机只能在 RX Detect 和 U2 状态下执行 Rx 检测序列，因此只有在 FX3 上的链接处于 U1 状态时，主机上的 USB 链接已移至 U2 状态时，才会出现错误情况。
影响范围	FX3 过早进入恢复，导致恢复失败，然后是热重置和 USB 重新枚举。此序列可能重复多次，导致数据传输失败。
解决方法	FX3 可配置为在主机启动前几微秒从 U1 过渡到 U2。这将确保在主机尝试任何 Rx 检测序列之前，链路将位于设备端的 U2 中；从而防止错误检测 U1 出口。
修复状态	解决方法在 FX3 SDK 库 1.3.4 及更高版本中实施。
10.400 kHz 时，40/60 占空比出现 I ² C 数据有效 (tVD：DAT) 规格违规。	
问题定义	在 400 kHz 时，40/60 工作周期为 1.0625 μ s 的 I ² C 数据有效 (tVD:DAT) 参数，超过 0.9 μ s 的 I ² C 规格极限。
受影响的参数	不适用
触发条件	这种违规行为仅在 400 kHz 时发生，而工作周期为 40/60，为 I ² C 时钟。

勘误表

影响范围	设置时间 (t_{SUDAT}) 对于 400 kHz 的传输数据具有巨大的边界, 因此 $t_{\text{vd:DAT}}$ 不会导致任何数据完整性问题。
解决方法	无需解决方法。
修复状态	无需修复。

11.FX3 设备在多个电源循环后未正确响应来自主机的端口功能请求。

问题定义	在多个电源循环期间, FX3 设备有时无法正确响应来自 USB 控制器的端口功能请求 (链路数据包)。有鉴于此, FX3 无法从 USB 控制器获取后续的端口配置请求, 从而导致 SS.Disabled 状态。设备无法从该状态恢复, 最终导致枚举失败。
受影响的参数	不适用
触发条件	当 FX3 对来自主机的端口功能请求作出错误响应时, 就会触发此情况。
影响范围	多次重试后设备无法枚举。
解决方法	由于主机未向 FX3 设备发送端口配置请求, 因此会在设备中触发端口配置请求超时中断。此中断在 FX3 SDK 1.3.4 版之后处理, 以生成并向应用程序发送 CY_U3P_USB_EVENT_LMP_REW_FAIL 事件信号。此事件应在用户应用程序中处理, 以使其执行 USB 接口块重新启动。有关固件变通办法示例项目的详细信息, 请参阅知识库文章 (KBA225778)。
修复状态	建议的固件解决方案经过验证且可靠。

修订记录

修订记录

版本	提交日期	变更说明
**	2012-05-17	本文档版本号为 **，译自英文版 001-52136 版本 *K。
*A	2012-10-30	第五页标题由 VBUS 所用 OVP 器件的系统图更改为 “Carkit UART 模式”。
*B	2015-06-12	日落复审后无更改的内容。
*C	2019-03-13	本文档版本号为 *C，译自英文版 001-52136 版本 *X。
*D	2024-08-08	本文档版本号为 *D，译自英文版 001-52136 版本 *Z。 英文版 001-52136 版本 *Y 更新内容如下： • 更新文档标题为 “CYUSB301X, CYUSB201X, EZ-USB FX3 USB 5 Gbps 控制器”。 • 在第 2 页添加关于勘误的说明。 • 更新更多信息： • 更新说明。 • 在所需位置添加超链接。 • 更新功能概述： • 更新应用示例： • 更新图 1。 • 更新图 2。 • 更新 USB 接口： • 更新说明。 • 更新引导选项： • 更新说明。 • 更新勘误表： • 更新勘误表汇总： • 在勘误表中的第 7、8、9 和 11 项条目中下，更新 “【零件编号】” 栏中的详细信息。 • 文档套用英飞凌模板。

修订记录

版本	提交日期	变更说明
		英文版 001-52136 版本 *Z 更新内容如下： • 更新特性： • 更新说明。 • 更新更多信息： • 更新说明。 • 更新超链接。 • 更新了功能概述： • 更新说明。 • 更新了 USB 接口： • 更新说明。 • 更新了引导选项： • 更新说明。 • 更新表 2。 • 更新电气规范： • 更新最大绝对额定值： • 更新与 “ 门锁电流 ” 相对应的详细信息。 • 更新引脚说明： • 更新表 7。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-08-08 Published by Infineon Technologies AG 81726 Munich, Germany © 2024 Infineon Technologies AG. All Rights Reserved. Do you have a question about this document? Email: erratum@infineon.com Document reference 001-79276 版本 *D	重要提示 本文档所提供的任何信息绝不应被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文档中所提及的任何事例、提示或者任何特定数值及 / 或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。 此外，本文档所提供的任何信息均取决于客户履行本文档所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。 本文档所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文档中所提供的信息是否充分自行予以评估。	如需产品、技术、交付条款和条件以及价格等进一步信息，请向离您最近的英飞凌科技办公室接洽 (www.infineon.com)。 警告事项 由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。 除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。
--	--	---