

英飞凌 EZ-USB™ FX2G3

USB 2.0 高速外设控制器

概述

EZ-USB™ FX2G3 是 USB 2.0 设备控制器系列，主要针对生物识别、扫描仪、照相机、视频和成像市场中的成熟 USB 2.0 应用。它基于 MXS40-LP 平台，配备 Cortex®-M4 和 M0+ MCU、512 KB 闪存、128 KB SRAM、128 KB ROM、串行通信块 (SCB) 和加密引擎，支持各种安全功能。高带宽数据子系统提供从 LVCMOS 输入到 USB 输出的 DMA 数据传输，速度高达 480 Mbps，适用于基于 USB 高速的主机系统。高带宽数据子系统中包含一个 1024 KB SRAM，为数据提供缓冲。

EZ-USB™ FX2G3 将取代 EZ-USB™ FX2LP USB HS 控制器，集成了其大部分功能并增加了新功能。

特性

- USB接口
 - 480 Mbps 的 USB 2.0 HS 速率
 - 最多 32 个端点，16 个输入和 16 个输出；每个端点配置为批量、异步或中断类型
- 双核 CPU 子系统^[1]
 - 150 MHz Arm® Cortex®-M4F (CM4) CPU，具有单周期乘法、浮点和内存保护单元 (MPU)
 - 100 MHz Arm® Cortex®-M0+ (CM0+) CPU，具有单周期乘法和内存保护单元 (MPU)
- 内存子系统^[1]
 - 内置 512 KB 应用程序闪存，支持边读边写 (RWW)
 - 128 KB SRAM，具有电源和数据保持控制功能
 - 128 KB ROM，用于设备初始化、闪存写入、安全和 eFuse 编程
 - 1 MB SRAM，用于 LVCMOS 至 USB 数据缓冲器
 - 1024 位一次性可编程 (OTP) 电子熔丝阵列
- 通用可编程接口 (GPIF III)
 - LVCMOS 并行数据总线收发器模式
 - 由 16 根数据线、1 根时钟线和 10 根控制信号线组成
 - TX 和 RX 模式下的 100 MHz SDR
- 外设 IO 子系统 - 共 48 个共享 IOs^[1]
 - 四线 SPI (QSPI) 可配置为单线、双线、四线、双四线及八线接口
 - 六个串行通信模块 (SCB) 可配置为 I2C、UART 或 SPI
 - 用于麦克风的脉冲密度调制 (PDM) 至脉冲编码调制 (PCM) 转换器
 - 一个用于虚拟通信 (COM) 功能的 USB 全速 (FS) 设备
 - GPIO：每个外设 IO 都可配置为 GPIO

注释

1. 部分功能仅在特定型号中可用。详情请参见[订购信息](#)章节。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

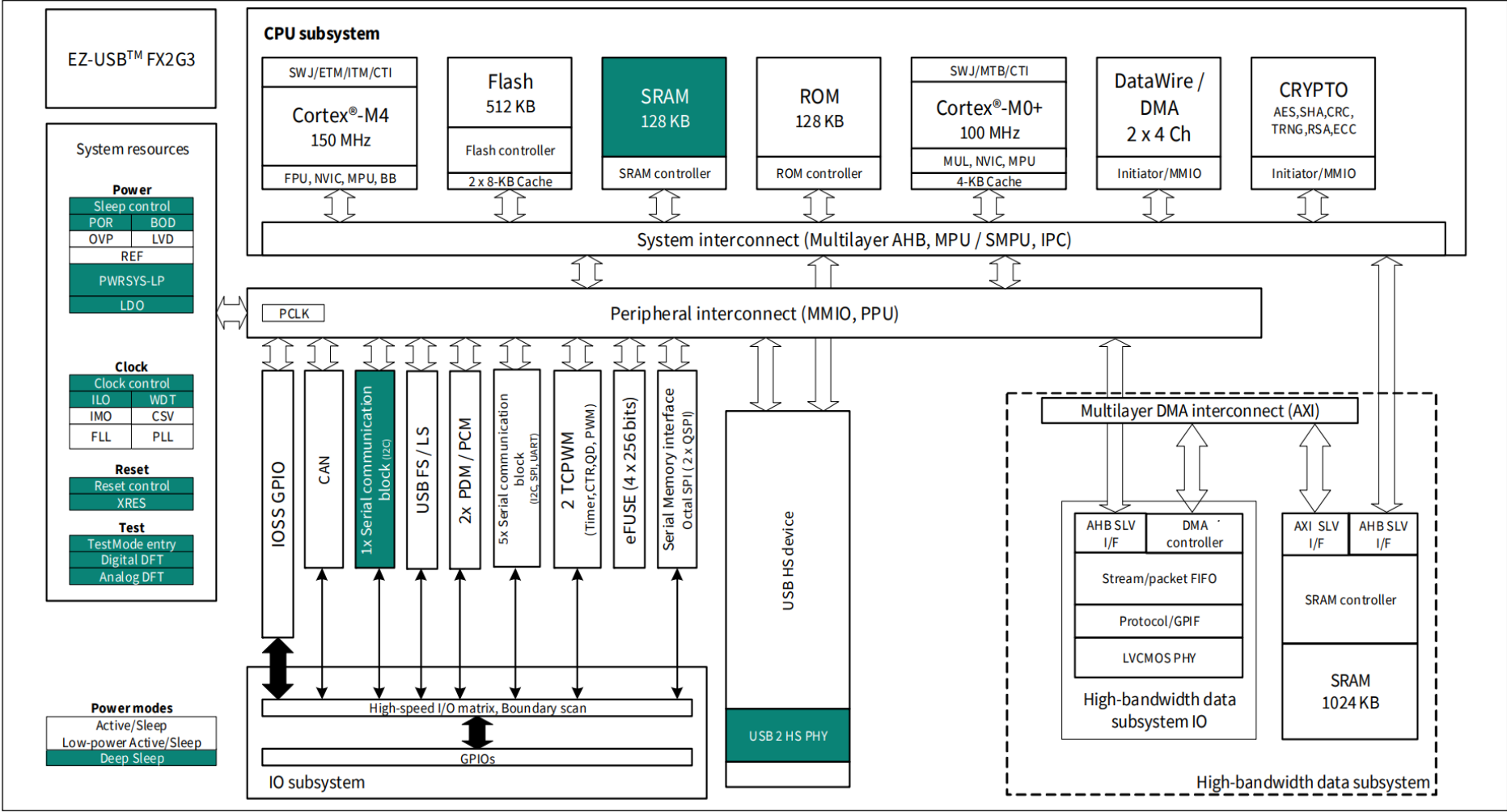
应用

- 具有细粒度电源管理功能的超低功耗 (ULP)
 - 1.7 V 至 3.6 V 工作电压
 - 保留 SRAM 的深度睡眠模式
- 灵活的时钟选项
 - 8 MHz 内部主振荡器，精度为 $\pm 2\%$
 - 低功耗 32 kHz 内部低速振荡器
 - 24 MHz 外部晶体振荡器
 - 24 MHz 外部振荡器
 - 用于倍增时钟频率的锁相环 (PLL)
 - 锁频环 (FLL)，用于倍频 IMO 频率
 - 外设时钟分频器，支持整数和小数
- 安全
 - 通过不间断的“安全启动”实现 ROM-based 的信任根
 - 执行固件镜像的分步验证
 - 受保护例程在只执行模式下安全执行代码
 - 所有调试和测试入口路径都可以禁用
 - 八种保护环境
 - 安全加速器
 - 对称和非对称加密方法和哈希函数的硬件加速
 - 真随机数生成器 (TRNG)
- 封装信息
 - 8 mm $\times$ 8 mm 104-pin LGA
- 开发工具
 - ModusToolbox™ 软件通过强大的工具和软件库实现跨平台代码开发
 - 固件样本，包括 UVC、UAC、HID、CDC 和供应商特定类
 - [英飞凌开发人员社区](#)可每周 7 天、每天 24 小时与世界各地的 USB 开发人员保持联系

应用

- 安全的生物识别设备
- 扫描仪
- 低分辨率摄像机
- 工业自动化
- 医疗器械
- USB 逻辑分析仪
- USB 示波器
- USB 数据采集系统
- USB JTAG 调试器
- 手机 USB 附加配件
- USB 协议分析仪

框图



框图

目录

目录

概述	1
特性	1
应用	2
框图	3
目录	4
1 EZ-USB™ FX2G3 资源	6
2 功能描述	7
2.1 USB 接口	7
2.1.1 USB 2.0 高速设备	7
2.1.2 符合 USB 2.0 直流电阻 ECN 标准	7
2.1.3 重新枚举	8
2.2 高带宽数据子系统	8
2.2.1 LVCMOS 并行接口	8
2.2.2 GPIF III 接口	8
2.2.3 高带宽直接内存访问 (HB-DMA)	8
2.3 CPU 和存储器子系统	9
2.3.1 CPU	9
2.3.2 中断	10
2.3.3 处理器间通信 (IPC)	10
2.3.4 直接内存访问 (DMA) 控制器	11
2.3.5 加密加速器	11
2.3.6 保护单位	11
2.3.7 存储器	12
2.3.8 启动代码	12
2.3.9 内存映射	14
2.4 系统资源	15
2.4.1 电源系统	15
2.4.2 电源模式	15
2.4.3 启动选项	17
2.4.4 时钟系统	18
2.4.5 复位	20
2.5 系统级 ESD	21
2.6 固定功能数字模块	22
2.6.1 定时器 / 计数器 / 脉宽调制器 (TCPWM)	22
2.6.2 串行通信模块 (SCB)	22
2.6.3 USB 全速器件接口	23
2.6.4 四线 SPI/串行存储器接口 (SMIF)	23
2.7 GPIO	23
2.8 特殊功能外设	24
2.8.1 音频子系统	24
3 引脚分布	25
3.1 引脚定义	26
4 从 EZ-USB™ FX2LP 迁移至 EZ-USB™ FX2G3 时的注意事项	34
5 电源设计考虑因素	35
5.1 内核电源域	35
5.2 USB 2.0 PHY 电源	35
5.3 LVCMOS 端口电源	35
6 电气规格	36
6.1 绝对最大额定值	36
6.2 直流规格	37
6.3 电源规格	37

目录

6.4 RESETB 要求	38
6.5 标准 GPIO 直流规格	38
6.6 SWD 和跟踪接口规格（仅适用于 104LGA 部件）	40
6.7 精确的上电复位（POR）规格	40
6.8 XTAL / 时钟规格	41
6.9 单端 LVCMOS 基准时钟规格	41
6.10 USB 2.0 PHY 规格	42
6.11 LVCMOS 规格	44
6.12 QSPI 规格	46
6.13 数字外设规格	47
6.14 音频子系统规格	48
6.15 JTAG 规格	49
6.16 SSRS 规格	49
6.17 Flash 规格	50
7 时序与电气特性图	51
7.1 LVCMOS SDR IO 同步模式 GPIF III 时序	51
7.1.1 LVCMOS SDR IO GPIF III 接口示例	51
7.1.2 LVCMOS SDR IO 同步模式下的 GPIF III 时序	51
7.1.3 从机 FIFO 写入接口示例	51
7.1.4 从机 FIFO 读取接口示例	52
7.1.5 同步 SDR 从机 FIFO 读模式	52
7.1.6 同步 SDR 从机 FIFO 写模式	53
7.1.7 同步 SDR 从机 FIFO ZLP 写模式	53
8 订购信息	56
8.1 订购代码定义	56
9 封装图	57
10 Silicon 修订记录	58
10.1 识别方法	58
11 缩略语	59
12 文档惯例	61
12.1 测量单位	61
修订记录	62

1 EZ-USB™ FX2G3 资源

表 1 EZ-USB™ FX2G3 资源

Resources	Description
Overview	EZ-USB™ FX2G3 portfolio, EZ-USB™ FX2G3 roadmap
Product selectors	EZ-USB™ FX2G3
Application notes (AN)	Application notes cover a broad range of topics, from basic to advanced level, and include the following: • EZ-USB™ FX2G3 hardware design guidelines • Getting started with EZ-USB™ FX2G3 • Developing UVC + UAC based video capture solution using EZ-USB™ FX2G3
Code examples	Code examples demonstrate product features and usage, and are also available on GitHub repositories.
Reference manuals	Reference manuals provide detailed descriptions of the EZ-USB™ FX2G3 architecture and registers: • EZ-USB™ FX2G3 device controller architecture reference manual • EZ-USB™ FX2G3 device controller register reference manual
EZ-USB™ FX2G3 programming specification	EZ-USB™ FX2G3 programming specification provides the information necessary to program the EZ-USB™ FX2G3 memory.
Development tools	ModusToolbox™ software enables cross-platform code development with a robust suite of tools and software libraries.
Development kits and solution demos	• EZ-USB™ FX2G3 104LGA Development Kit • EZ-USB™ FX2G3 CAD libraries provide footprint and schematic symbol support for common tools • BSDL files and IBIS models are also available
Infineon Developer Community	Infineon Developer Community enables connection with fellow EZ-USB™ developers around the world, 24 hours a day, 7 days a week, and hosts a dedicated Infineon Community.
Knowledge base article	EZ-USB™ FX2LP to EZ-USB™ FX2G3 migration guide

功能描述

2 功能描述

以下章节概述了框图中标识的各功能模块的特性、功能与工作原理。详情请参阅以下文档：

- **板级支持包 (BSP) 文档**

BSPs 可获取于 [GitHub](#)。这些与 Infineon 开发套件相匹配，提供文件用于基础器件功能，如硬件配置文件、启动代码和链接器文件。BSP 还包括支持套件所需的其他库。每个 BSP 有独立文档，但通常包括 API 参考，例如此示例。此搜索链接可在 Infineon [GitHub](#) 网站上查找所有当前可用的 BSP。

- **外设驱动程序库 (PDL) 应用程序编程接口 (API) 参考手册**

PDL 将设备头文件和外设驱动程序集成到一个包中，支持所有 EZ-USB™ FX2G3 产品线。驱动程序将硬件功能抽象为一组易于使用的 API。这些 API 在 [PDL API 参考手册](#) 中有完整的文档说明。使用 EZ-USB™ FX2G3 PDL 的示例应用程序可从 GitHub 存储库中自动下载。

- **架构参考手册**

架构参考手册详细描述了器件中的各项资源。如果需要了解 PDL 所提供软件下的硬件操作，这是接下来应该使用的参考资料。它描述了每个资源的架构和功能，并解释了每个资源在所有模式下的操作。它提供了有关使用相关寄存器的具体指导。

- **寄存器参考手册**

寄存器参考手册完整列出了器件中的所有寄存器。它包括所有寄存器字段的细目分类、它们的可能设置、读/写可访问性和默认状态。所有在典型应用中有合理用途的寄存器都具有从 PDL 内部访问它们的功能。请注意，ModusToolbox™ 和 PDL 可能会为某些寄存器提供不同于硬件默认值并覆盖硬件默认值的软件默认条件。

2.1 USB接口

2.1.1 USB 2.0 高速设备

EZ-USB™ FX2G3 通过了 USB-IF TID 认证：13938。

支持以下功能：

- EZ-USB™ FX2G3 预装了引导加载程序，可通过 USB 下载固件。
- 引导加载程序将支持使用 PMODE GPIO 选择引导模式。
- 支持使用 I2C/SPI/QSPI 接口将固件下载到外部闪存中
- 支持 USB 总线供电和自供电模式
- 使用 CC 线路检测 USB-C 连接器方向。CC 线路需要外部 R_d 电阻器

2.1.2 符合 USB 2.0 直流电阻 ECN 标准

ECN 更新了 USB 2.0 规范，以考虑 USB 收发器设备和连接器之间 D+ 和 D- 数据路径上的直流电阻 (DCR)。电阻增加的原因可能是多个横梁开关和/或共模扼流圈等无源元器件。ECN 更新会影响以下高速参数：VHHSOH 发送电压、VHSDSC 断开电平和 VHSSQ 静噪电平。

2.1.2.1 允许发射输出电压 (VHHSOH)

ECN 将允许的 TX 输出电压从 $400\text{ mV} \pm 10\%$ 拓展至 $360\text{ mV} \sim 625\text{ mV}$ 。EZ-USB™ FX2G3 支持默认 400 mV 发送电压，以及 $370\text{ mV} \sim 520\text{ mV}$ 的可编程标称范围。

功能描述**2.1.2.2 断开包络检测器阈值电压 (VHSDSC)**

ECN 将断开包络检测器阈值范围从 525 mV 至 625 mV 变为更宽的范围。设计指南显示最小阈值范围为 550 mV 至 640 mV，最大阈值范围为 ~820 mV 至 ~950 mV。EZ-USB™ FX2G3 支持可编程阈值电平，覆盖从 525 mV 至 625 mV 的原始范围，直至 ~820 mV 至 ~950 mV 的最大范围。

2.1.2.3 静噪阈值电压 (VHSSQ)

ECN 可将静噪阈值从 100 mV 到 150 mV 变为更低的范围，具体取决于 DCR。
EZ-USB™ FX2G3 支持 100 mV 至 150 mV 的原始阈值范围，并可编程至 85 mV 至 135 mV 的较低阈值范围。
EZ-USB™ FX2G3 还支持多种可编程的预加重选项，可用于补偿增加的 DCR 和其他导致信道劣化的元器件。

2.1.3 重新枚举

EZ-USB™ FX2G3 具有软配置功能，一个芯片可以拥有多个不同 USB 设备的身份。首次接入 USB 接口时，EZ-USB™ FX2G3 会使用厂商 ID (0x04B4) 自动枚举，并通过 USB 接口下载固件与 USB 描述符。下载的固件可执行电力断开和电力连接操作。EZ-USB™ FX2G3 会再次进行枚举，此次将作为由下载信息所定义的设备进行枚举。这项获得专利的两步流程称为“重新枚举”，在设备接入时会立即执行。

2.2 高带宽数据子系统

高带宽数据子系统提供从 LVCMOS 子系统到 USB 2 设备的 DMA 数据传输，速度高达 480 Mbps（基于主机系统）。高带宽数据子系统中包含一个 1024 KB SRAM，为数据提供缓冲。数据通过 AXI 3 互连传输，支持 480 Mbps 的运行速度。该子系统与系统互联接口连接，用于向其他低带宽外设传输数据，并与 MMIO 互联接口连接，用于配置。

高带宽数据子系统 IO 是一个 LVCMOS 并行接口。

2.2.1 LVCMOS 并行接口

LVCMOS 并行接口支持 RX 和 TX 接口。它有 16 个 LVCMOS IO 和 10 个控制信号。每个 LVCMOS IO 的最大数据传输速率为：

- 仅在 TX 和 RX 模式下使用 100 MHz SDR
- 控制信号的最高运行频率可达 50 MHz

2.2.2 GPIF III 接口

GPIF III 是一种可编程状态机，其所启用的灵活接口可用作工业标准或专用接口中的主设备或从设备。GPIF III 仅实现了并行接口。

GPIF III 的功能如下：

- 可作为主机和从机使用
- 提供 256 种固件可编程状态
- 支持 8 位和 16 位的并行数据总线

控制输出信号由 GPIF III 的状态转换驱动产生。控制输出信号是 GPIF III 状态转换所得到的结果。更多详情，请参阅架构参考手册。

2.2.3 高带宽直接内存访问 (HB-DMA)

DMA 控制器具有以下功能：

- 支持多个同步流

功能描述

- 支持最大 480 Mbps 吞吐量
- DMA 可由 CPU 配置。配置完成后，DMA 会自动运行，将视频流从 LVCMOS 接口传输到 USB 设备，无需 CPU 干预。
- 无需 CPU 干预，可为每个数据包（有效载荷）添加头部和尾部。
- 可通过控制信号在帧尾对 USB 数据包进行封装，且无需 CPU 干预即可更新包头 / 包尾信息。

2.3 CPU 和存储器子系统

CPU 子系统有以下主要元器件：

- 150 MHz Cortex®-M4 内核
- 100 MHz Cortex®-M0+ 内核
- 512 KB 闪存
- 128 KB SRAM
- 128 KB ROM
- DMA
- 安全加速器

以下是 EZ-USB™ FX2G3 中的多个总线主机（见框图）：

- CPUs
- DMA 控制器
- QSPI
- USB
- 安全加速器

一般来说，通过多层 Arm® AMBA 高性能总线仲裁，所有内存和外设都可以被所有总线主机访问和共享。CPU 之间的访问可通过处理器间通信块实现同步。

2.3.1 CPU

有两个 Arm® Cortex® CPU：

1. Cortex® -M4 具有单周期乘法、浮点单元和内存保护单元。它的主频最高可达 150 MHz。该器件为主 CPU，专为实现短中断响应时间、高代码密度与高吞吐量而设计。
CM4 实现了基于 Thumb-2 技术的 Thumb 指令集版本（定义见 [Arm®v7-M 架构参考手册](#)）。
2. Cortex® -M0+（CM0+）具有单周期乘法和 MPU。它可以运行最高达 100 MHz；然而，当 CM4 的速度超过 100 MHz 时，CM0+ 和总线外设的速度将被限制为 CM4 速度的一半。因此，当 CM4 运行在 150 MHz 时，CM0+ 和外设的速度将被限制为 75 MHz。

CM0+ 是辅助 CPU；它用于实现系统调用和设备级安全和保护功能。Cortex® -M0+ CPU 提供了安全、不可中断的启动功能。这有助于确保在启动后，系统完整性得到检查，并且内存和外设的访问权限得到强制执行。

功能描述

CM0+ 实现了 Arm®v6-M Thumb 指令集（定义见 [Arm®v6-M 架构参考手册](#)）。

在 VDDD = 3.3 V 条件下，CPU 的功耗如下：

表 2 VDDD = 3.3 V 时的工作电流斜率，使用内部 LDO 稳压器

System power consumption	
CPU	LP mode
Cortex®-M0+	28 µA/MHz
Cortex®-M4	40 µA/MHz

可以根据 Arm®的定义选择性地将 CPU 置于睡眠和深度睡眠电源模式。

两个 CPU 都配备了嵌套向量中断控制器，用于快速和确定性的中断响应，以及唤醒中断控制器，用于从深度睡眠电源模式中唤醒 CPU。

CPU 具有广泛的调试支持功能。EZ-USB™ FX2G3 配有调试访问端口（DAP），用作器件编程与调试的接口。外部编程器或调试器（“主机”）通过器件的串行线调试（SWD）或 JTAG 接口引脚与 DAP 通信。主机可通过 DAP（受相关限制约束）访问器件内存、外设以及两个 CPU 中的寄存器。

每个 CPU 都提供以下调试和跟踪功能：

- CM4 支持
 - 六个硬件断点和四个观察点
 - 4 位嵌入式跟踪宏单元
 - 串行线查看器
 - 通过单线输出引脚进行 Printf() 式调试
- CM0+ 支持
 - 四个硬件断点和两个观察点
 - 带 4 KB 专用 RAM 的微型跟踪缓冲器

此外，EZ-USB™ FX2G3 还具有嵌入式交叉触发器，可对两个 CPU 进行同步调试和跟踪。

2.3.2 中断

该产品系列具有 168 个系统和外设中断源，并支持在两个 CPU 上处理中断和系统异常。CM4 有 168 条中断请求线（IRQ），中断源“n”直接连接到 IRQn。CM0+ 有八个中断 IRQ[7:0]，可以将一个或多个中断源配置映射到任意 IRQ[7:0]。CM0+ 还支持八个内部（仅限软件）中断。

每个中断均支持可配置的优先级等级（CM4 为八级，CM0+ 为四级）。每个 CPU 的不可屏蔽中断最多可映射四个系统中断。最多可有 39 个中断源使用 WIC 将设备从深度睡眠电源模式唤醒。更多详情，请参阅 EZ-USB™ FX2G3 架构手册。

2.3.3 处理器间通信（IPC）

除了 Arm® SEV 和 WFE 指令外，还包括一个硬件 IPC 块。它包括 16 个 IPC 通道和 16 个 IPC 中断结构。IPC 通道可用于实现处理器之间的数据通信。每个 IPC 通道还实现了一个锁定方案，可用于管理共享资源。IPC 中断允许一个处理器中断另一个处理器，发出事件信号。这可用于触发以下事件，例如

功能描述

通知并释放相应的 IPC 通道。如表 3 所示，一些 IPC 通道和其他资源被保留。

表 3 **IPC 通道和其他资源的分配**

Resource available	Resources consumed
IPC channels, 16 available	Eight reserved
IPC channels, 16 available	Eight reserved
Other interrupts	One reserved
CM0+ NMI	Reserved
Other resources: clock dividers, DMA channels, and so on	One CM0+ interrupt MUX

2.3.4 直接内存访问 (DMA) 控制器

EZ-USB™ FX2G3 有三个 DMA 控制器，支持独立于 CPU 的内存和外设访问。其中两个各有 29 个通道，第三个有 4 个通道。DMA 通道的描述符可以存在 SRAM 或闪存中。因此，描述符的数量仅受内存大小的限制。每个描述符可在两个嵌套循环中传输数据，且能为源地址和目的地址配置地址增量。每个描述符的数据传输量因 DMA 通道类型而异。更多详情，请参阅 EZ-USB™ FX2G3 架构手册。

2.3.5 加密加速器

该子系统由加密功能和随机数生成器的硬件实现和加速组成。
 加密子系统支持以下功能：

- 加密/解密
 - 数据加密标准 (DES)
 - 三重 DES (3DES)
 - 高级加密标准 (AES) (128 位、192 位、256 位)
 - 椭圆曲线算法 (ECC)
 - RSA 加密算法
- 哈希函数
 - 安全哈希 (hash) 算法
 - SHA-1
 - SHA-224/-256/-384/-512
- 消息认证功能 (MAC)
 - 散列消息认证码 (HMAC)
 - 基于密码的消息认证码 (CMAC)
- 32 位循环冗余码 (CRC) 生成器
- 真随机数生成器
 - 伪随机数生成器 (PRNG)
 - 真随机数生成器 (TRNG)

2.3.6 保护单元

该产品线具有多种类型的保护单元，用于控制对内存和外设寄存器的错误或未经授权的访问。CM4 和 CM0+ 具有 Arm® MPU，用于总线主机级别的保护。其他总线主机使用额外的 MPU。共享内存保护单元有助于实现对多个总线主机之间共享的内存资源的保护。外设保护单元与共享内存保护单元类似，但设计用于保护外设寄存器空间。保护单元支持内存和外设访问属性，包括地址范围、读/写、代码/数据、权限级别、

功能描述

安全/非安全和保护上下文。保护单元在启动时进行配置，以控制总线主机和外设的访问权限和权利。最多八个保护上下文（启动处于保护上下文 0）允许通过总线主机和代码特权级别，由每个保护上下文的启动过程设置内存和系统资源的访问权限。可提供多种保护范围。

2.3.7 存储器

EZ-USB™ FX2G3 包含 Flash、SRAM、ROM 及 eFuse 存储块。

2.3.7.1 Flash

内部应用闪存高达 512 KB。还有两个 32 KB 闪存扇区：

- 辅助闪存（AUXflash），通常用于 EEPROM 模拟。
- 监控闪存（Sflash）。存储在 Sflash 中的数据包括器件微调值、**Flash 启动**代码和加密密钥。设备进入“安全”生命周期阶段后，Sflash 将无法再更改。

闪存具有 128 位宽的访问，以降低功耗。写入操作可以在行级别执行。一行是 512 字节。闪存控制器配备了两个缓存，每个 CPU 各有一个。每个缓存为 8 KB，具有 4 路组相联性。

2.3.7.2 SRAM

提供高达 128 KB 的 SRAM。SRAM 组提供对电源模式的控制以管理功耗。功率控制和保留粒度可在四个 32 KB 区域内配置。对于正常运行，可以启用或禁用存储体以节省功耗。对于深度睡眠模式，还可以配置存储体来保留数据。

2.3.7.3 ROM

128 KB ROM 也称为监督 ROM（SROM），为若干系统功能提供代码（**ROM 启动**）。ROM 包含设备初始化、闪存写入、安全、eFuse 编程和其他功能。

系统级例程。ROM 代码只能由 CM0+ CPU 在保护上下文 0 中执行。系统功能可由 CPU 或 DAP 启动。这会导致 CM0+ 出现 NMI，使 CM0+ 执行系统功能。

2.3.7.4 eFUSE

一次性可编程（OTP）eFuse 阵列由 1024 位组成，其中 648 位保留供系统使用，例如芯片 ID、设备 ID、初始调整设置、设备生命周期和安全设置。其余位可用于存储安全密钥信息、哈希值、唯一 ID 或类似的自定义内容。

每个保险丝都是单独编程的；一旦编程（或“熔断”），其状态就无法更改。熔断保险丝可将其从默认状态“0”转换为“1”。要对 eFuse 进行编程，VDD 的电压必须为 $2.5\text{ V} \pm 5\%$ ，电流必须为 14 mA。

由于熔断电子保险丝是一个不可逆的过程，因此只建议在受控工厂条件下进行批量生产时进行编程。更多信息，请参阅 EZ-USB™ FX2G3 编程规范。

2.3.8 启动代码

两部分代码，ROM 引导程序和 Flash 引导程序被预先编程到设备中并协同工作以提供设备启动和配置、基本安全功能、生命周期阶段管理和其他系统功能。

2.3.8.1 ROM 启动

在设备复位时，ROM 中的启动代码是第一个执行的代码。此代码执行以下操作：

- 闪存启动代码的完整性检查
- 设备调整设置（校准）
- 设置设备保护单元

功能描述

- 为 "安全 "生命周期设置设备访问限制，使 ROM 无法更改，并作为安全系统的信任根

2.3.8.2 闪存启动

闪存启动是存储在 SFlash 中的固件，可确保只有经过验证的应用程序才能在设备上运行。它还确保固件映像没有被修改，例如被恶意的第三方修改。

闪存启动：

- 通过 ROM 启动验证
- 在 ROM 启动之后、用户应用程序之前运行
- 启用系统调用
- 配置 DAP
- 启动用户应用程序

如果无法验证用户应用程序，则闪存启动可确保设备转换到安全状态。

功能描述

2.3.9 内存映射

两个 CPU 均具有固定的地址映射，可共享内存和外设访问权限。32 位（4 GB）地址空间被划分表 4 所示的 Arm® 定义的区域。请注意，代码可以从代码区域和外部 RAM 区域执行。

表 4 CM4 和 CM0+ 的地址映射

Address range	Name	Use
0x0000 0000 to 0x1FFF FFFF	Code	Program code region. Data can also be placed here. It includes the exception vector table, which starts at address 0.
0x2000 0000 to 0x3FFF FFFF	Reserved	Reserved
0x4000 0000 to 0x5FFF FFFF	Peripheral	All peripheral registers. Code cannot be executed from this region. CM4 bit-band in this region is not supported in EZ-USB™ FX2G3.
0x6000 0000 to 0x9FFF FFFF	External RAM	Quad SPI, (see the Quad SPI/serial memory interface (SMIF) section). Code can be executed from this region.
0xA000 0000 to 0xDFFF FFFF	External Device	Not used
0xE000 0000 to 0xE00F FFFF	Private Peripheral Bus	Provides access to peripheral registers within the CPU core
0xE010 0A000 to 0xFFFF FFFF	Device	Device-specific system registers

设备内存映射如表 5 所示，适用于两个 CPU。也就是说，两个 CPU 共享对所有 EZ-USB™ FX2G3 内存和外设寄存器的访问。

表 5 CM4 和 CM0+ 的内部存储器地址映射

Address range	Memory type	Size
0x0000 0000 to 0x0001 FFFF	ROM	128 KB
0x0800 0000 to 0x0801 FFFF	SRAM	128 KB
0x1000 0000 to 0x1007 FFFF	Internal application flash	Up to 512 KB
0x1400 0000 to 0x1400 7FFF	Auxiliary flash, can be used for EEPROM Emulation	32 KB
0x1600 0000 to 0x1600 7FFF	SFlash	32 KB
0x1C00 0000 to 0x1C0F FFFF	High bandwidth DMA buffer SRAM	Up to 1 MB

请注意，EZ-USB™ FX2G3 SRAM 位于两个 CPU 的 Arm® 代码区域（见表 4）。CPU 的 Arm® SRAM 区域中没有物理内存。只有放置在 DMA 缓冲器 SRAM 中的数据才能通过 USB HS 接口传输。该区域可用于数据和易失性代码段。

功能描述**2.4 系统资源****2.4.1 电源系统**

电源系统确保各模式所需的电压水平达到要求，并在必要时延迟模式进入（例如在上电复位时）直到电压水平满足正常功能的需求，或者在电源电压下降到指定水平以下时触发复位（掉电检测）。该设计保证在电源电压下降到指定水平以下（例如低于1.7 V）与复位发生之间，芯片能够安全运行。此外，没有电压时序要求。

VDDD 电源（1.7 V 至 3.6 V）为低压差稳压器供电。系统低功耗的内核工作电压（VCCD）为 1.1 V，具有高性能，对器件配置没有任何限制。

2.4.2 电源模式

EZ-USB™ FX2G3 可工作在 4 种系统电源模式和 3 种 CPU 电源模式下。这些模式旨在最小化应用中的平均功耗^[2]。

EZ-USB™ FX2G3 支持以下电源模式，按功耗递减顺序排列：

- 系统低功耗– 所有外设和 CPU 电源模式均可在最大速度下使用
- CPU 激活 – CPU 正在执行系统 LP 中的代码
- CPU 睡眠 – CPU 代码执行在系统 LP 下暂停
- CPU 深度睡眠 – CPU 代码执行暂停，并在系统 LP 模式下请求系统深度睡眠
- 系统深度睡眠 – 两个 CPU 进入 CPU 深度睡眠模式后，只有低频外设可用
- 正常模式：这是全功能的工作模式。在该模式下，内部CPU时钟和内部PLL都被启用。
 - USB 2.0 运行速度为 480 Mbps
 - LVCMOS SDR 模式下的高带宽数据子系统 IO 端口
- 其他低功耗模式（见表 6）：
 - 挂起模式
 - 深度睡眠模式
 - 内核掉电模式

CPU 激活、睡眠和深度睡眠是 Arm® CPU 指令集架构支持的标准 Arm®定义的电源模式。系统 LP 和深度睡眠模式是 EZ-USB™ FX2G3 支持的额外低功耗模式。

注释

2. 功耗取决于 EZ-USB™ FX2G3 的 IO 在应用中的使用方式。

功能描述

表 6 低功耗模式的进入和退出方法

Low-power mode	Characteristics	Methods of entry	Methods of exit
Suspend mode	- The power consumption in this mode does not exceed 1.8 mW - All I/Os maintain their previous state - The power supply for the wakeup source and core power must be retained. All other power domains can be turned ON/OFF individually. - CPU shall be in Deep Sleep mode - The states of the configuration registers, buffer memory, and all internal RAM are maintained - All transactions must be completed before EZ-USB™ FX2G3 enters Suspend mode (the state of outstanding transactions is not preserved) - The firmware resumes operation from where it was suspended (except when woken up by an XRES assertion) because the program counter does not reset	Firmware executing on the Arm® core can put EZ-USB™ FX2G3 into Suspend mode. For example, on a USB suspend condition, the firmware may decide to put EZ-USB™ FX2G3 into Suspend mode.	- D+ transitioning to LOW or HIGH - D- transitioning to LOW or HIGH - Detection of VBUS - GPIO or I2C activity - GPIF III interface assertion of any LVCMOS CTL pins - Assertion of XRES pins

功能描述

表 6 低功耗模式的进入和退出方法 (续)

Low-power mode	Characteristics	Methods of entry	Methods of exit
Deep Sleep mode	- The power consumption in this mode does not exceed 120 μW - All configuration register settings and program/data RAM contents are preserved - All blocks are powered OFF including the USB PHY - GPIO pins maintain their configuration - Crystal oscillator is turned off - Internal PLL is turned off - USB transceiver is turned off - Arm® core is in the Deep Sleep state. Upon wakeup, the core re-starts and runs the program stored in the program/data RAM. - Power supply for the wakeup source and core power must be retained. All other power domains can be turned on/off individually.	Firmware executing on Arm® core configures the appropriate register	GPIO or I2C activity - GPIF III interface assertion of LVCMOS I/Os - Assertion of XRES pins
Core power-down mode	- The power consumption in this mode does not exceed 15 μW - Core power is turned off along with all other power supplies to EZ-USB™ FX2G3 - All buffer memory, configuration registers and the program RAM do not maintain their state. After exiting this mode, the firmware will be reloaded - In this mode, all other power domains can be turned on/off individually.	Turn off all power domains	Reapply power supplies and assertion of XRES pins

2.4.3 启动选项

EZ-USB™ FX2G3 可从多种来源加载启动镜像，具体由 PMODE 引脚的配置选择。以下是 EZ-USB™ FX2G3 启动选项：

- 从USB启动
- 从内部应用闪存启动

表 7 EZ-USB™ FX2G3 启动选项

PMODE_P13.0	Boot from
LOW	Internal application flash
HIGH	USB

功能描述

2.4.4 时钟系统

时钟系统如图 1 所示，由以下功能组成：

- 内部主振荡器 (IMO)
- 内部低速振荡器(ILO)
- 外部 24 MHz 晶振 (ECO)
- 外部时钟输入 (OSC IN)
- 两个锁相环 (PLL)
- 一个锁频环 (FLL)

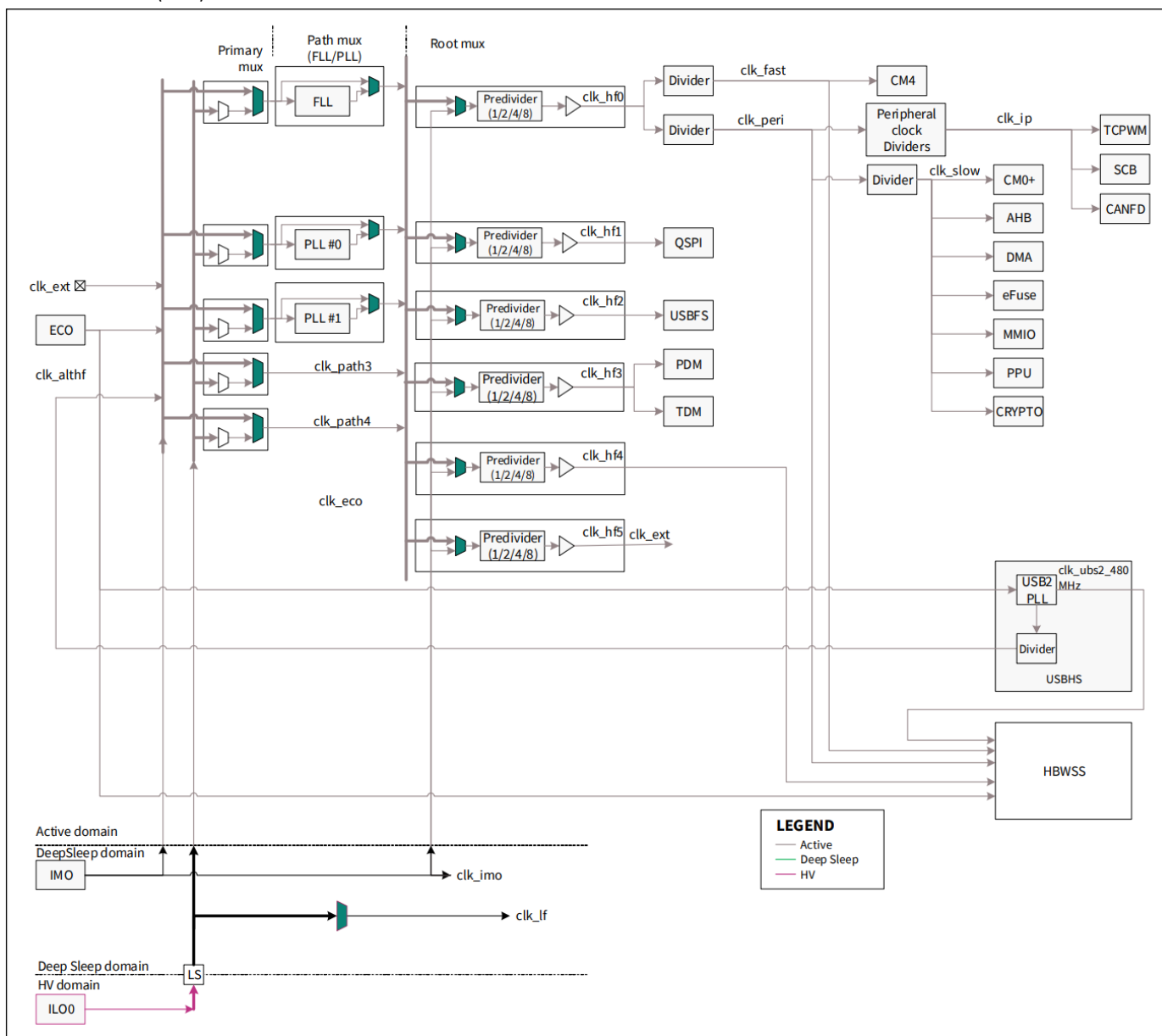


图 1 时钟架构图

2.4.4.1 内部主振荡器 (IMO)

IMO 是内部时钟的主时钟源。它在工厂经过校准以达到规定的精度。IMO 频率为 8 MHz，误差为 $\pm 2\%$ 。

功能描述

2.4.4.2 内部低速振荡器(ILO)

ILO 是一种非常低功耗的振荡器，标称频率为 32 kHz，可在所有功耗模式下运行。可以根据更高精度的时钟校准 ILO，以获得更好的精度。

2.4.4.3 外部晶体振荡器 (ECO)

使用外部晶振时，晶振驱动电路输出时钟的启动时间由以下因素决定：

- 外部晶体振荡器的内在特性
- 晶体驱动器的内部设置
- XIP 和 XOP 引脚上的负载电容

图 2 显示了晶体模型元器件、负载电容、EZ-USB™ FX2G3 的 XIP 和 XOP 引脚以及晶体驱动器电路。该模型包括以下参数：

- 晶体移动电容
- 晶体运动电感
- 等效串联电阻
- 晶振并联电容
- 负载电容器 CL1 和 CL 负载

晶体参数请参阅[时钟系统](#)；负载电容参数请参见晶振数据手册。ECO 需要平衡外部负载电容。

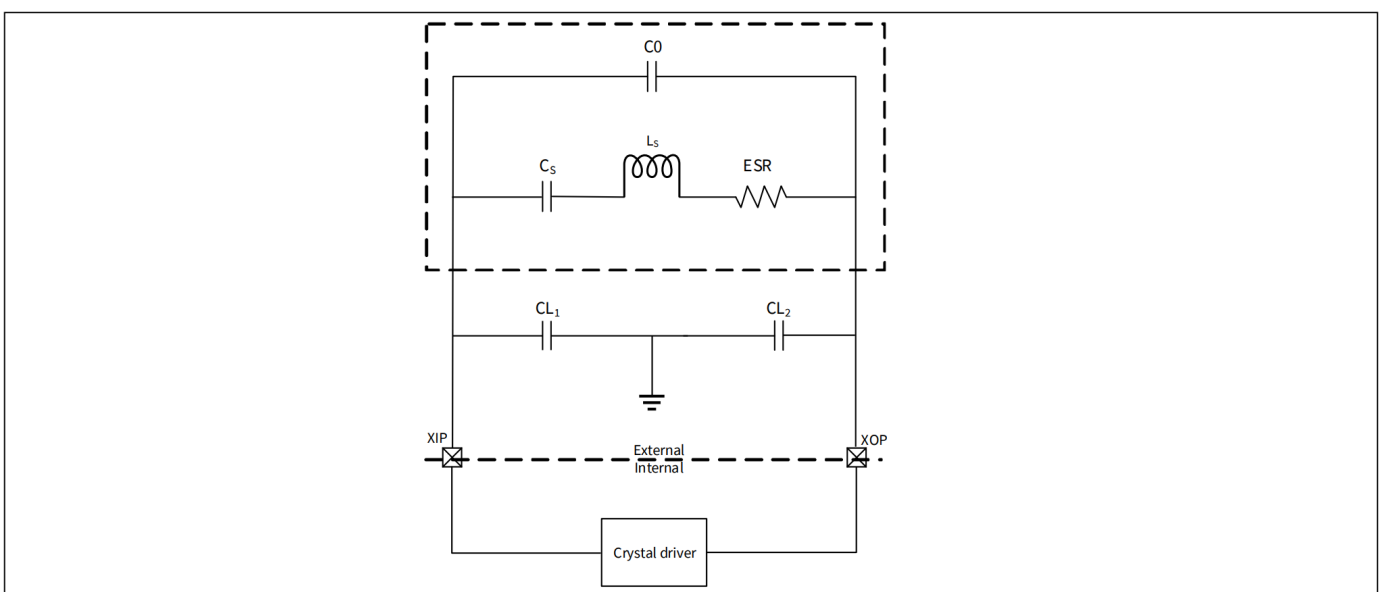


图 2 振荡器电路

功能描述

2.4.4.4 外部时钟输入（OSC IN）

EZ-USB™ FX2G3 支持外部振荡器输入，占空比为 50%。设备上的预编程 USB 引导加载程序要求在 XTALOUT 引脚上连接任何外部振荡器输入，而不能在 XTALIN 引脚上连接振荡器输入时工作。若未使用 USB 启动程序，或应用需要在启动后切换时钟源，可对器件进行配置，使其在 XTALOUT 或 XTALIN 引脚上接收振荡器输入。请注意，VDDOSC 和 VDDIOXTAL 应具有相同的电压电平。若启动后应用无需额外的振荡器输入，XTALIN 引脚可悬空 / 浮空。

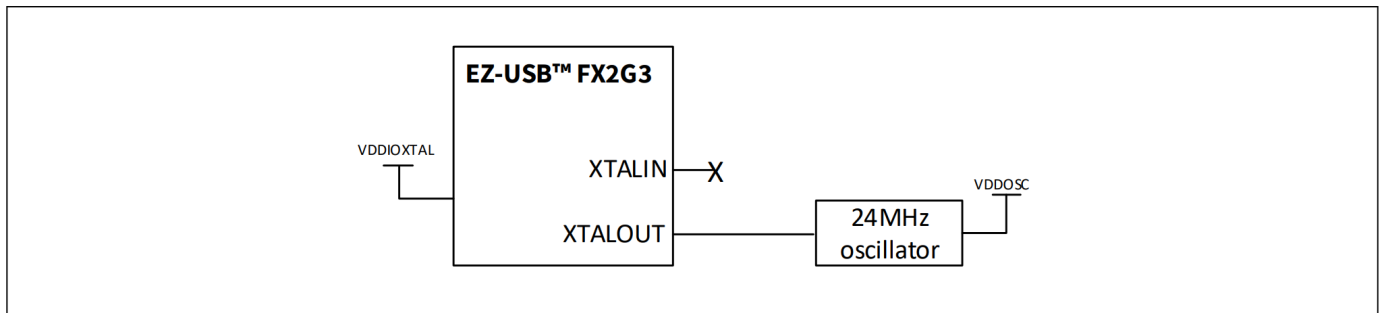


图 3 外部时钟输入（OSC IN）

2.4.4.5 时钟分频器

提供整数和小数时钟分频器用于外设和定时目的。包括：

- 八个 8 位时钟分频器
- 十六个 16 位整数时钟分频器
- 四个 16.5 位小数时钟分频器
- 一个 24.5 位小数时钟分频器

2.4.4.6 触发路由

EZ-USB™ FX2G3 包含一个触发器多路复用器块。这是数字多路复用器和开关的集合，用于在外围设备块之间以及 GPIO 和外围设备块之间路由触发信号。

触发路由有两种类型。触发多路复用器在源和目标中具有可重配置性。还有称为“一对一触发器”的硬连线开关，它将特定的源连接到目的地。用户可以启用或禁用该路线。

2.4.5 复位

EZ-USB™ FX2G3 可从多种来源复位：

- 上电复位（POR）会在电源电压上升至器件正常工作所需电平期间，使器件保持复位状态。上电时 POR 自动激活。
- 掉电检测复位（BOD）用于监测数字电源电压 VDDD，当 VDDD 低于逻辑工作所需最低电压时，将产生复位信号
- 专用外部复位引脚（XRES）可通过外部源对器件进行复位。XRES 引脚为低电平有效，内置 85 kΩ 弱上拉电阻。可选择外接 4.7 kΩ 上拉电阻至 VDDD（如图 4）。

功能描述

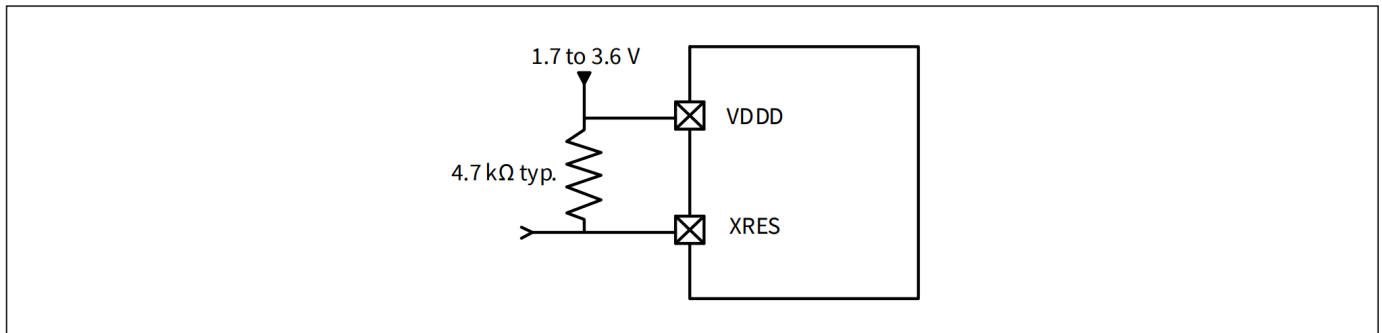


图 4 XRES 连接图

- 软件触发复位，可通过固件按需复位设备
- 如果发生未经授权的操作条件，逻辑保护故障可能会触发中断或复位设备；例如，在执行特权代码时到达调试断点。

复位事件是异步的，并确保器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。RAM 内容不会在整个复位过程中保留。

2.5 系统级ESD

根据 JESD22-A114 规范，EZ-USB™ FX2G3 的所有引脚均支持 ± 2.2 -kV 人体模型（HBM）。必须在系统一级提供 IEC 保护。

功能描述

2.6 固定功能数字模块

2.6.1 定时器/计数器/脉宽调制器 (TCPWM)

- TCPWM 支持以下操作模式：
 - 带比较功能的定时器计数器
 - 带捕获功能的定时器计数器
 - 正交解码器
 - 脉宽调制器 (PWM)
 - 伪随机PWM
 - 带死区时间的PWM
- 向上、向下和向上/向下计数模式
- 时钟预分频（除以 1、2、4、...64、128）
- 比较/捕获和周期值的双缓冲
- 下溢、溢出和捕获/比较输出信号
- 支持中断：
 - 终端计数——取决于模式；通常发生在溢出或下溢时
 - 捕获/比较——计数被捕获到捕获寄存器或计数器值等于比较寄存器中的值
- PWM 的互补输出
- 可为每个 TCPWM 选择启动、重新加载、停止、计数和捕获事件信号；支持上升沿、下降沿、双沿和电平触发。TCPWM 具有 Kill 输入，可强制输出到预定状态。

在该设备中，有 2×32 位 TCPWM。

2.6.2 串行通信模块 (SCB)

EZ-USB™ FX2G3 有六个 SCB（见表 9）。

- **I²C 模式：**SCB 可实现完整的多主从接口（支持多主仲裁）。该模块最高工作速度可达 1 Mbps（增强快速模式）。它还支持 EZI2C，可创建邮箱地址范围，并有效地将 I2C 通信简化为对存储器阵列的读写操作。SCB 支持 256 字节 FIFO 用于接收和发送。
该 I2C 外设兼容 NXP I2C-bus 规范及用户手册（UM1024）中定义的 I2C 标准模式、快速模式及增强快速模式器件。I2C 总线的 I/O 由 GPIO 以开漏模式实现。SCB0、SCB1、SCB4、SCB5 和 SCB6 支持 I2C 模式。
- **UART 模式：**为功能完整的 UART，最高速率可达 8 Mbps。支持汽车单线接口（LIN）、红外接口（IrDA）及智能卡（ISO 7816）协议，这些均为基础 UART 协议的简化变体。此外支持 9 位多处理器模式，可对共用 RX、TX 线路的外设进行寻址。支持奇偶校验错误、断点检测、帧错误等常用 UART 功能。256 字节 FIFO 可容忍更长的 CPU 服务延时。SCB0、SCB1、SCB4、SCB6 支持 UART 模式。
- **SPI 模式：**SPI 模式支持完整的 Motorola SPI、TI 安全简易配对（SSP）协议（本质上增加了用于同步 SPI 编解码器的起始脉冲），以及 National Microwire（SPI 的一种半双工形式）。SPI 模块支持 EZSPI 模式，该模式将数据交互简化为对内存数组的读写操作。SPI 接口最高工作时钟为 25 MHz。SCB2 和 SCB5 支持 SPI 模式。

功能描述

2.6.3 USB全速器件接口

该产品系列具备一个全速 USB 设备接口。该设备最多可以有八个端点。提供512字节SRAM缓冲区，并支持DMA。

请注意，如果不使用 USB-FS 引脚，则将 VDDUSB 接地，不连接 USB2DP2 和 USB2DN2 引脚。

2.6.4 四线 SPI/ 串行存储器接口 (SMIF)

提供串行存储器接口，运行速度高达 80 MHz。它支持单线、双线、四线、双四线和八线 SPI 配置，并支持最多四个外部存储设备。它支持两种操作模式：

- MMIO，一种通过寄存器和 FIFO 提供数据访问的命令模式接口
- 就地执行 (XIP) 模式：在此模式下，AHB 读写操作会直接转换为 SPI 读写传输。XIP 模式下，外部存储器被映射至 EZ-USB™ FX2G3 内部地址空间，支持代码直接从外部存储器执行。为了提高性能，包含一个 4 KB 缓存。XIP 模式还支持 AES-128 即时加密和解密，实现外部存储器中代码和数据的安全存储和访问。

2.7 GPIO

EZ-USB™ FX2G3 有 4 个 GPIO（包括用于低速外设接口的引脚），实现了以下功能：

- 八种驱动模式：
 - 仅限输入
 - 弱上拉和强下拉
 - 强上拉和弱下拉
 - 开漏和强下拉
 - 开漏和强上拉
 - 强上拉和强下拉
 - 弱上拉和弱下拉
 - 在强驱动模式下，IOL 和 IOH 电流驱动有四种可选驱动强度
- 选择输入阈值 (CMOS或LVTTTL)
- 可选的斜率，用于控制dV/dt相关噪声，有助于改善 EMI

引脚被分组为逻辑单元（又称端口），每个端口最多包含 8 个引脚。数据输出寄存器与引脚状态寄存器分别用于存储待输出到引脚的电平值，以及引脚的输入状态。

如果启用，每个引脚都可以产生中断；每个端口都有一个与之关联的中断请求。

端口 10.0 和 10.1 引脚能够进行过压容限 (OVT) 操作，此时输入电压可能高于 VDDD。OVT 引脚通常与 I2C 配合使用，可在关闭芯片电源的同时，保持与工作状态 I2C 总线的物理连接，且不影响总线功能。

GPIO 引脚可以组合起来，用于提供或吸收更高的电流值。GPIO 引脚（包括 OVT 引脚）的上拉电流不得超过绝对最大值；请参阅[电气规格](#)。

功能描述**2.8 特殊功能外设****2.8.1 音频子系统**

该子系统由 PDM 转 PCM 解码器通道组成。

PDM 到 PCM 解码器实现单个硬件 Rx FIFO，将立体声或单声道 1 位 PDM 输入流解码为 PCM 数据输出。支持以下功能：

- 可编程数据输出字长 – 16/18/20/24 位
- 可编程增益放大器用于音量控制，从 -12 dB 到 +10.5 dB，步长为 1.5 dB
- 可配置的 PDM 时钟生成。范围从 384 kHz 到 3.072 MHz。
- 下跌校正和可配置的抽取率用于采样；最高可达 48 ksp/s
- 可编程高通滤波器增益
- 中断屏蔽事件 – 非空、溢出、触发和下溢
- 可配置 FIFO 触发级别，支持 DMA

PDM 到 PCM 解码器通常用于连接数字 PDM 麦克风。最多可将两个麦克风连接到同一条 PDM 数据线。

3

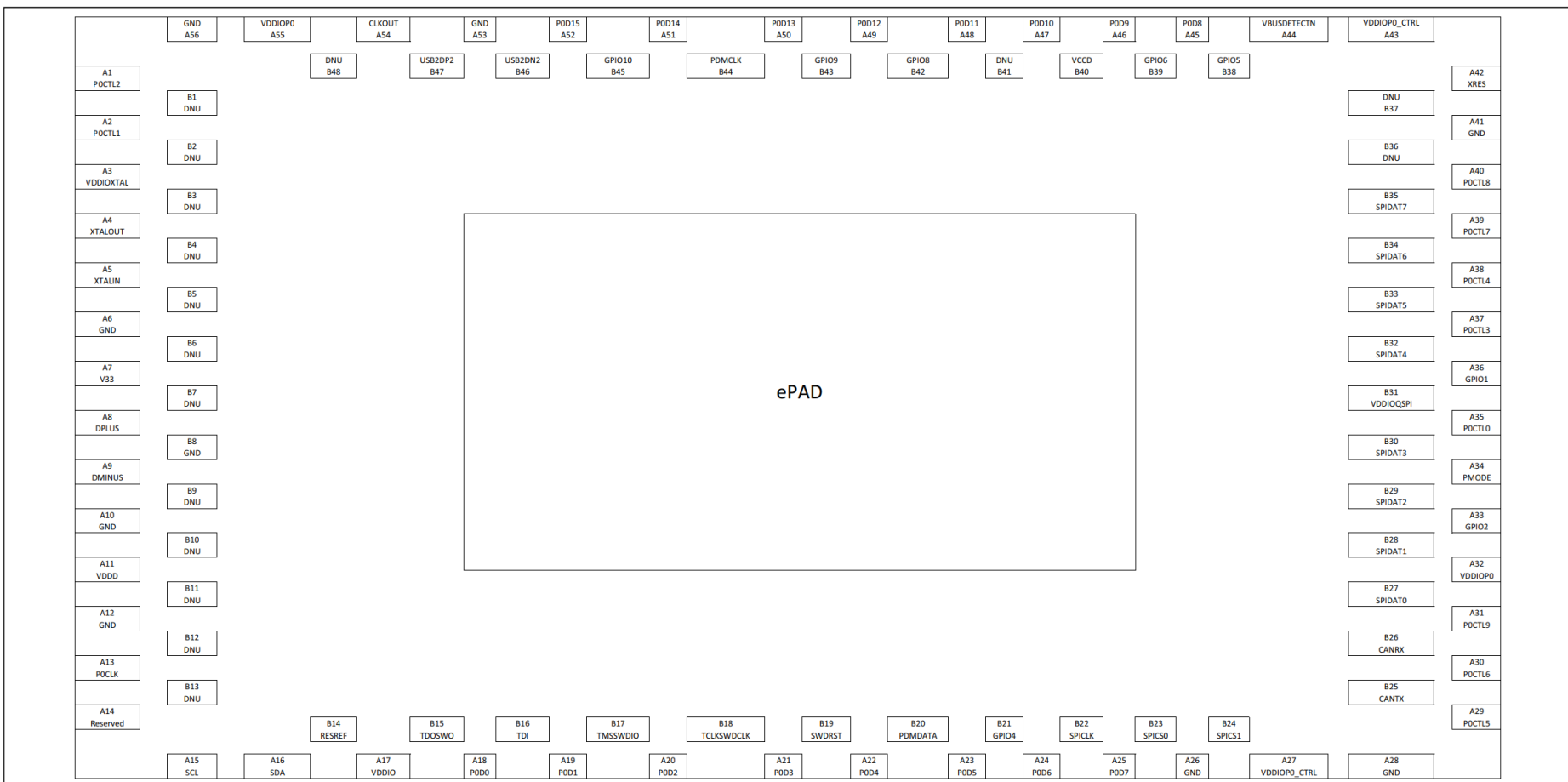


图5 产品球映射图（俯视图）

引脚分布

3.1 引脚定义

表 8 引脚定义

Pin #	CYUSB2315-BF104AXI	CYUSB2316-BF104AXI	CYUSB2317-BF104AXI/ CYUSB2318-BF104AXI	Port/ pin	Type of signal	Associated supply	Description
	Pin name	Pin name	Pin name				
A1	P0CTL2	P0CTL2	P0CTL2	–	LVC MOS Control	VDDIOP0_CTL	–
A2	P0CTL1	P0CTL1	P0CTL1	–	LVC MOS Control	VDDIOP0_CTL	–
A3	VDDIOXTAL	VDDIOXTAL	VDDIOXTAL	–	Crystal Power	VDDIOXTAL	–
A4	XTALOUT	XTALOUT	XTALOUT	–	Crystal Output	VDDIOXTAL	XTALOUT / OSC IN ^[5]
A5	XTALIN	XTALIN	XTALIN	–	Crystal Input	VDDIOXTAL	XTALIN / OSC IN ^[5]
A6	GND	GND	GND	–	Ground	–	–
A7	V33	V33	V33	–	Power	V33	–
A8	DPLUS	DPLUS	DPLUS	–	USB	V33	–
A9	DMINUS	DMINUS	DMINUS	–	USB	V33	–
A10	GND	GND	GND	–	Ground	–	–
A11	VDDD	VDDD	VDDD	–	Power	VDDD	–
A12	GND	GND	GND	–	Ground	–	–
A13	P0CLK ^[3]	P0CLK ^[3]	P0CLK ^[3]	–	LVC MOS Clock	VDDIOP0	–
A14	Reserved	Reserved	Reserved	–	Input	–	Connect to GND or leave floating
A15	SCL	SCL	SCL	P10.0	I2C Clock	VDDIO	–
A16	SDA	SDA	SDA	P10.1	I2C Data	VDDIO	–
A17	VDDIO	VDDIO	VDDIO	–	Power	VDDIO	–
A18	P0D0	P0D0	P0D0	–	LVC MOS Data	VDDIOP0	–

注释

3. 不能用作 GPIO
4. 有关从机 FIFO 专用引脚分配，请参阅表 44
5. 参见外部时钟输入 (OSC IN)

引脚分布

表 8 引脚定义 (续)

Pin #	CYUSB2315-BF104AXI	CYUSB2316-BF104AXI	CYUSB2317-BF104AXI/ CYUSB2318-BF104AXI	Port/ pin	Type of signal	Associated supply	Description
	Pin name	Pin name	Pin name				
A19	P0D1	P0D1	P0D1	–	LVC MOS Data	VDDIOP0	–
A20	P0D2	P0D2	P0D2	–	LVC MOS Data	VDDIOP0	–
A21	P0D3	P0D3	P0D3	–	LVC MOS Data	VDDIOP0	–
A22	P0D4	P0D4	P0D4	–	LVC MOS Data	VDDIOP0	–
A23	P0D5	P0D5	P0D5	–	LVC MOS Data	VDDIOP0	–
A24	P0D6	P0D6	P0D6	–	LVC MOS Data	VDDIOP0	–
A25	P0D7	P0D7	P0D7	–	LVC MOS Data	VDDIOP0	–
A26	GND	GND	GND	–	Ground	–	–
A27	VDDIOP0_CTRL	VDDIOP0_CTRL	VDDIOP0_CTRL	–	Power	VDDIOP0_CTRL	–
A28	GND	GND	GND	–	Ground	–	–
A29	P0CTL5	P0CTL5	P0CTL5	–	LVC MOS Control	VDDIOP0_CTRL	–
A30	P0CTL6	P0CTL6	P0CTL6	–	LVC MOS Control	VDDIOP0_CTRL	–
A31	P0CTL9	P0CTL9	P0CTL9	–	LVC MOS Control	VDDIOP0_CTRL	16-bit bus slave fifo address A0
A32	VDDIOP0	VDDIOP0	VDDIOP0	–	Power	VDDIOP0	–
A33	GPIO2	GPIO2	GPIO2	P4.4	GPIO	VDDIO	Alternate mode: SPI-CS0 (SCB5)
A34	PMODE	PMODE	PMODE	P13.0	GPIO	VDDIO	Alternate mode: SPI-MOSI (SCB5)
A35	P0CTL0	P0CTL0	P0CTL0	–	LVC MOS Control	VDDIOP0_CTRL	–

注释

3. 不能用作 GPIO
4. 有关从机 FIFO 专用引脚分配, 请参见表 44
5. 参见外部时钟输入 (OSC IN)

引脚分布

表 8 引脚定义 (续)

Pin #	CYUSB2315-BF104AXI	CYUSB2316-BF104AXI	CYUSB2317-BF104AXI/ CYUSB2318-BF104AXI	Port/ pin	Type of signal	Associated supply	Description
	Pin name	Pin name	Pin name				
A36	GPIO1	GPIO1	GPIO1	P4.3	GPIO	VDDIO	Alternate mode: SPICLK (SCB5)
A37	P0CTL3	P0CTL3	P0CTL3	–	LVC MOS Control	VDDIOP0_CTRL	–
A38	P0CTL4	P0CTL4	P0CTL4	–	LVC MOS Control	VDDIOP0_CTRL	–
A39	P0CTL7	P0CTL7	P0CTL7	–	LVC MOS Control	VDDIOP0_CTRL	–
A40	P0CTL8 ^[3]	P0CTL8 ^[3]	P0CTL8 ^[3]	–	LVC MOS Control	VDDIOP0_CTRL	16-bit bus slave fifo address A1
A41	GND	GND	GND	–	Ground	–	–
A42	XRES	XRES	XRES	–	GPIO	VDDD	–
A43	VDDIOP0_CTRL	VDDIOP0_CTRL	VDDIOP0_CTRL	–	Power	VDDIOP0_CTRL	–
A44	VBUSDETECTN	VBUSDETECTN	VBUSDETECTN	P4.0	GPIO	VDDIO	–
A45	P0D8	P0D8	P0D8	–	LVC MOS Data	VDDIOP0	8-bit bus slave fifo address A0
A46	P0D9 ^[3]	P0D9 ^[3]	P0D9 ^[3]	–	LVC MOS Data	VDDIOP0	8-bit bus slave fifo address A1
A47	P0D10	P0D10	P0D10	–	LVC MOS Data	VDDIOP0	–
A48	P0D11	P0D11	P0D11	–	LVC MOS Data	VDDIOP0	–
A49	P0D12	P0D12	P0D12	–	LVC MOS Data	VDDIOP0	–
A50	P0D13	P0D13	P0D13	–	LVC MOS Data	VDDIOP0	–
A51	P0D14	P0D14	P0D14	–	LVC MOS Data	VDDIOP0	–
A52	P0D15	P0D15	P0D15	–	LVC MOS Data	VDDIOP0	–
A53	GND	GND	GND	–	Ground	–	–

注释

3. 不能用作 GPIO
4. 有关从机 FIFO 专用引脚分配, 请参见表 44
5. 参见外部时钟输入 (OSC IN)

引脚分布

表 8 引脚定义 (续)

Pin #	CYUSB2315-BF104AXI	CYUSB2316-BF104AXI	CYUSB2317-BF104AXI/ CYUSB2318-BF104AXI	Port/ pin	Type of signal	Associated supply	Description
	Pin name	Pin name	Pin name				
A54	CLKOUT ^[3]	CLKOUT ^[3]	CLKOUT ^[3]	–	CLKOUT	VDDIOP0	–
A55	VDDIOP0	VDDIOP0	VDDIOP0	–	Power	VDDIOP0	–
A56	GND	GND	GND	–	Ground	–	–
ePAD	GND	GND	GND	–	Ground	–	–
B1	DNU	DNU	DNU	–	NA	–	–
B2	DNU	DNU	DNU	–	NA	–	–
B3	DNU	DNU	DNU	–	NA	–	–
B4	DNU	DNU	DNU	–	NA	–	–
B5	DNU	DNU	DNU	–	NA	–	–
B6	DNU	DNU	DNU	–	NA	–	–
B7	DNU	DNU	DNU	–	NA	–	–
B8	DNU	GND	GND	–	Ground	–	–
B9	DNU	DNU	DNU	–	NA	–	–
B10	DNU	DNU	DNU	–	NA	–	–
B11	DNU	DNU	DNU	–	NA	–	–
B12	DNU	DNU	DNU	–	NA	–	–
B13	DNU	DNU	DNU	–	NA	–	–
B14	RESREF	RESREF	RESREF	–	Input	VDDIO	Connect a 6.04 kΩ ± 1% resistor to GND

注释

3. 不能用作 GPIO
4. 有关从机 FIFO 专用引脚分配, 请参见表 44
5. 参见外部时钟输入 (OSC IN)

引脚分布

表 8 引脚定义 (续)

Pin #	CYUSB2315-BF104AXI	CYUSB2316-BF104AXI	CYUSB2317-BF104AXI/ CYUSB2318-BF104AXI	Port/ pin	Type of signal	Associated supply	Description
	Pin name	Pin name	Pin name				
B15	TDOSWO	TDOSWO	TDOSWO	P11.0	GPIO	VDDIO	–
B16	TDI	TDI	TDI	P11.1	GPIO	VDDIO	–
B17	TMSSWDIO	TMSSWDIO	TMSSWDIO	P11.2	GPIO	VDDIO	–
B18	TCLKSWDCLK	TCLKSWDCLK	TCLKSWDCLK	P11.3	GPIO	VDDIO	–
B19	SWDRST	SWDRST	SWDRST	P11.4	GPIO	VDDIO	–
B20	DNU	PDMDATA	PDMDATA	P9.1	GPIO	VDDIO	Alternate mode: TCPWM4_N
B21	DNU	GPIO4	GPIO4	P13.1	GPIO	VDDIO	Alternate mode: SPI-MISO (SCB5)
B22	DNU	DNU	SPICLK	P6.0	GPIO	VDDIOQSPI	–
B23	DNU	DNU	SPICS0	P6.1	GPIO	VDDIOQSPI	–
B24	DNU	DNU	SPICS1	P6.2	GPIO	VDDIOQSPI	–
B25	DNU	CANTX	CANTX	P8.5	GPIO	VDDIOQSPI	Alternate mode: UART-TX TCPWM2_N
B26	DNU	CANRX	CANRX	P8.4	GPIO	VDDIOQSPI	Alternate mode: UART-RX TCPWM2_P
B27	DNU	DNU	SPIDAT0	P7.0	GPIO	VDDIOQSPI	–
B28	DNU	DNU	SPIDAT1	P7.1	GPIO	VDDIOQSPI	–
B29	DNU	DNU	SPIDAT2	P7.2	GPIO	VDDIOQSPI	–
B30	DNU	DNU	SPIDAT3	P7.3	GPIO	VDDIOQSPI	–
B31	DNU	DNU	VDDIOQSPI	–	Power	VDDIOQSPI	–

注释

3. 不能用作 GPIO
4. 有关从机 FIFO 专用引脚分配, 请参见表 44
5. 参见外部时钟输入 (OSC IN)

引脚分布

表 8 引脚定义 (续)

Pin #	CYUSB2315-BF104AXI	CYUSB2316-BF104AXI	CYUSB2317-BF104AXI/ CYUSB2318-BF104AXI	Port/ pin	Type of signal	Associated supply	Description
	Pin name	Pin name	Pin name				
B32	DNU	DNU	SPIDAT4	P7.4	GPIO	VDDIOQSPI	–
B33	DNU	DNU	SPIDAT5	P7.5	GPIO	VDDIOQSPI	–
B34	DNU	DNU	SPIDAT6	P7.6	GPIO	VDDIOQSPI	–
B35	DNU	DNU	SPIDAT7	P7.7	GPIO	VDDIOQSPI	–
B36	DNU	DNU	DNU	P1.0	–	VDDIO	–
B37	DNU	DNU	DNU	P1.1	–	VDDIO	–
B38	DNU	GPIO5	GPIO5	–	GPIO	VDDIOP0	–
B39	DNU	GPIO6	GPIO6	–	GPIO	VDDIOP0	–
B40	VCCD	VCCD	VCCD	–	Power	VCCD	Connect 4.7 μ F $\pm$ 20% from this pin to GND
B41	DNU	DNU	DNU	–	–	VDDIOP0	–
B42	DNU	GPIO8	GPIO8	–	GPIO	VDDIOP0	–
B43	DNU	GPIO9	GPIO9	–	GPIO	VDDIOP0	–
B44	DNU	PDMCLK	PDMCLK	P9.0	GPIO	VDDIO	Alternate mode: TCPWM4_P
B45	DNU	GPIO10	GPIO10	–	GPIO	VDDIOP0	–
B46	DNU	USB2DN2	USB2DN2	–	USB	V33	–
B47	DNU	USB2DP2	USB2DP2	–	USB	V33	–
B48	DNU	DNU	DNU	–	NA	–	–

注释

3. 不能用作 GPIO
4. 有关从机 FIFO 专用引脚分配，请参见表 44
5. 参见外部时钟输入 (OSC IN)

引脚分布

表 9 外设和其他信号

Pin#	Category	Signal name		Type of sig-nal	Signal description	Associated supply
		Function after reset	Alternate functions			
B22	SPI/QSPI/ Octal SPI	P6.0	SPICLK (SMIF) UART-RX1 (SCB6) I2C-SCL1 (SCB6)	GPIO	–	VDDIOQSPI
B23		P6.1	SPICS0 (SMIF) UART-TX1 (SCB6) I2C-SDA1 (SCB6)	GPIO	–	VDDIOQSPI
B24		P6.2	SPICS1 (SMIF)	GPIO	–	VDDIOQSPI
B27		P7.0	SPIDAT0 (SMIF) UART-RX1 (SCB0) I2C-SCL (SCB0) SPICLK (SCB2)	GPIO	–	VDDIOQSPI
B28		P7.1	SPIDAT1 (SMIF) UART-TX1 (SCB0) I2C-SDA (SCB0) SPICS0 (SCB2)	GPIO	–	VDDIOQSPI
B29		P7.2	SPIDAT2 (SMIF) UART-CTS0 (SCB0) SPI-MOSI (SCB2)	GPIO	–	VDDIOQSPI
B30		P7.3	SPIDAT3 (SMIF) UART-RTS0 (SCB0) SPI-MISO (SCB2)	GPIO	–	VDDIOQSPI
B32		P7.4	SPIDAT4 (SMIF) UART-CTS0 (SCB2)	GPIO	–	VDDIOQSPI
B33		P7.5	SPIDAT5 (SMIF)	GPIO	–	VDDIOQSPI
B34		P7.6	SPIDAT6 (SMIF) UART-RX1 (SCB1) I2C-SDA1 (SCB1)	GPIO	–	VDDIOQSPI
B35		P7.7	SPIDAT7 (SMIF) UART-TX1 (SCB1) I2C-SCL1 (SCB1)	GPIO	–	VDDIOQSPI
A36	User GPIOs	P4.3	GPIO1 UART-RX0 I2C-SCL0 (SCB5) SPICLK (SCB5)	GPIO	–	VDDIO
A33		P4.4	GPIO2 UART-TX0 I2C-SDA0 (SCB5) SPI-CS0 (SCB5) CAN1-RX	GPIO	–	VDDIO
A34		P13.0	PMODE SPI-MOSI (SCB5) CAN1-TX	GPIO	–	VDDIO
A44		P13.1	GPIO4 SPI-MISO (SCB5)	GPIO	–	VDDIO
A15	I2C	P10.0	I2C-SCL0 (SCB0) UART-RX0 (SCB0)	OVT GPIO	I2C Clock (SCL)	VDDIO
A16		P10.1	I2C-SDA0 (SCB0) UART-TX0 (SCB0)	OVT GPIO	I2C Data (SDA)	VDDIO

引脚分布

表 9 外设和其他信号 (续)

Pin#	Category	Signal name		Type of sig-nal	Signal description	Associated supply
		Function after reset	Alternate functions			
B19	SWD/JTAG	P11.4	SWDRST	GPIO	–	VDDIO
B18		P11.3	TCLKSWDCLK PDM3-DATA1 UART-CTS1 (SCB4) SPI-MISO (SCB4)	GPIO	–	VDDIO
B17		P11.2	TMSSWDIO PDM3-CLK1 UART-RTS1 (SCB4) SPI-MOSI (SCB4)	GPIO	–	VDDIO
B16		P11.1	TDI PDM3-DATA0 UART-RX1 (SCB4) I2C-SDA1 (SCB4) SPIC0 (SCB4)	GPIO	–	VDDIO
B15		P11.0	TDOSW0 PDM3-CLK0 UART-TX1 (SCB4) I2C-SCL1 (SCB4) SPICLK (SCB4)	GPIO	–	VDDIO
B25	CAN FD	P8.5	CAN0-TX PDM0-DATA1 UART-TX0 (SCB4) I2C-SDA0 (SCB4) TCPWM2_N SPIC0 (SCB4)	GPIO	–	VDDIO
B26		P8.4	CAN0-RX PDM0-CLK1 UART-RX0 (SCB4) I2C-SCL0 (SCB4) TCPWM2_P SPICLK (SCB4)	GPIO	–	VDDIO

4 从 EZ-USB™ FX2LP 迁移到 EZ-USB™ FX2G3 时的注意事项

- EZ-USB™ FX2G3 的 104 个引脚分为两排排列。外圈与 EZ-USB™ FX2LP 的 56 引脚 QFN 封装引脚兼容。但内圈中新增的 RESREF 和 VCCD 两个引脚，需连接外部无源器件，如表 8 所述。
- EZ-USB™ FX2LP 是基于 8051 控制器的架构，而 EZ-USB™ FX2G3 则是基于 Arm® Cortex® M0+、M4 内核的架构。因此，需要为 EZ-USB™ FX2G3 重新编写固件。
- EZ-USB™ FX2G3 的从机 FIFO 信号与 EZ-USB™ FX2LP 不同。EZ-USB™ FX2G3 的从机 FIFO 信号见表 44。因此，来自 Tx（FPGA）的从机 FIFO 信号必须按照 EZ-USB™ FX2G3 的从机 FIFO 信号进行映射，且 GPIF 状态机也需要相应修改。

5 电源设计考虑因素

图 6 显示了电源系统对所有支持封装的电源引脚的要求。

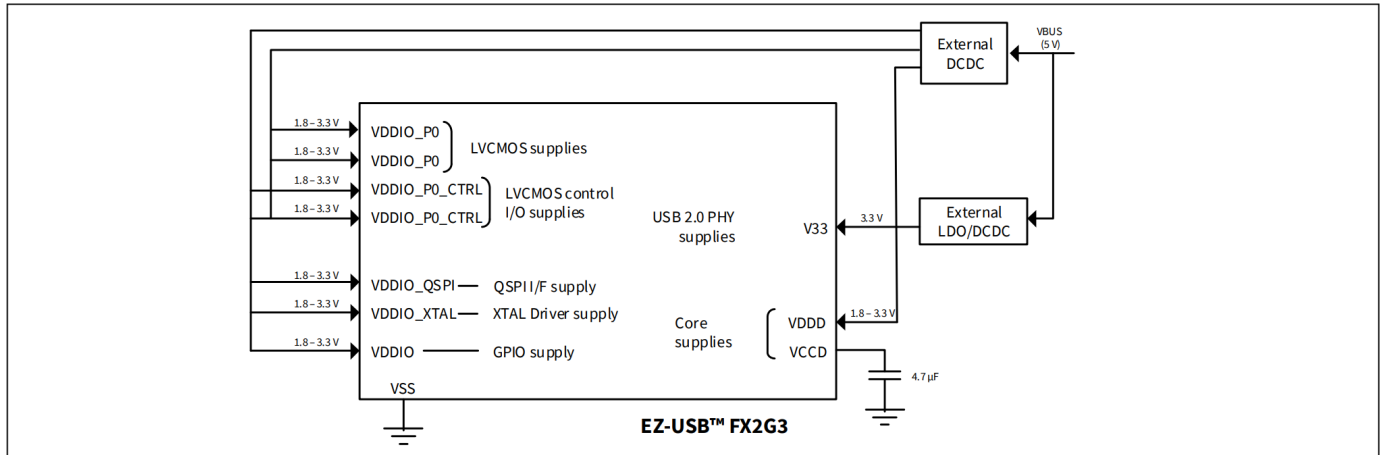


图 6 电源系统需求框图

5.1 内核电源域

- VDDQ 是主数字电源输入端。它为内部调节器提供输入信号
- VCCD 是 104LGA 零件的内部核心逻辑电源，需要从外部去耦
- VDDIO_QSPI 是 QSPI 端口的电源
- VDDIO_XTAL 是晶振的电源
- VDDIO 是 GPIO 电源
- VSS 是整个芯片的主要地线

5.2 USB 2.0 PHY 电源

- V33 是 3.3 V 电源，用于 USB2 HS PHY 和 USB2 FS PHY
- VDDQ 是 USB2 HS PHY TX IO 电路的电源

5.3 LVC MOS 端口电源

- VDDIO_P0 是 LVC MOS IO 的电源
- VDDIO_P0_CTRL 是 LVC MOS 控制 IO 的电源

电气规格

6 电气规格

除非另有说明，所有规范均适用于 $-40^{\circ}\text{C} \leq \text{TA} \leq 85^{\circ}\text{C}$ 和 1.71 V 至 3.6 V。

6.1 绝对最大额定值

表 10 绝对最大额定值

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
VDDD_ABS	Analog or digital supply relative to V_{SS}	-0.3	-	4.02	V	-
V33_ABS	Max voltage on V33 supply pin	-0.3	-	4.02	V	-
VDDD_ABS	Max voltage on VDDD supply pin	-0.3	-	4.02	V	-
VDDIO_ABS	Max voltage on VDDIO, VDDIO_* supply pins	-0.3	-	4.02	V	-
VGPIO_OVT_ABS	OVT GPIO voltage	-0.3	-	4.02	V	-
IGPIO_ABS_DS0	Current per GPIO at DS = 0	-7.5	-	7.5	mA	-
IGPIO_ABS_DS1	Current per GPIO at DS = 1	-5.6	-	5.6	mA	-
IGPIO_ABS_DS2	Current per GPIO at DS = 2	-3.8	-	3.8	mA	-
IGPIO_ABS_DS3	Current per GPIO at DS = 3	-1.9	-	1.9	mA	-
ESD_HBM	Electrostatic discharge human body model (ESD HBM) JEDEC JS-001-2017	2000	-	-	V	-
ESD_CDM	Electrostatic discharge charged device model (ESD CDM) JS-002-2018	500	-	-	V	-
LU	Pin current for latch-up free operation	-100	-	100	mA	-
TJ	Junction temperature	-	-	125	$^{\circ}\text{C}$	-
TSTG	Storage temperature	-65	-	150	$^{\circ}\text{C}$	-
TSIT	Lead temperature (soldering 4 s)	-	-	260	$^{\circ}\text{C}$	-
TA	Ambient temperature	-40	-	85	$^{\circ}\text{C}$	-

表 11 基于引脚的绝对最大额定值

Category	Pin name	Absolute min. (V)	Absolute max. (V)
LVC MOS	P[0][C,D,CLK,CTL]	-0.5	4.0
USB HS	USBHS[DP,DN]	-0.5	4.0
USB FS	USBFS[DP,DN]	-0.5	4.0
CLOCK	XTAL[IN,OUT]	-0.5	4.0
RESET	XRES	-0.5	4.0
SPI / QSPI / Octal SPI	P[6,7]	-0.5	4.0
UART, PDM, GPIO, SWD, JTAG, CAN FD, USB Ctrl	P[1,4,6,7,8,9,11]	-0.5	4.0

电气规格

6.2 直流规格

表 12 直流工作规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
VDDD	Main analog / digital supply voltage	1.62	1.8 or 3.3	3.63	V	–
VDDD_EFUSE	VDDD supply when programming eFuse	2.38	2.5	2.62	V	eFuse programming voltage
V33	Power supply voltage for 3.3 V supply	2.97	3.3	3.63	V	–
VDDIO_1P8	Power supply voltage for IO in the 1.8 V range	1.62	1.8	1.95	V	–
VDDIO_2P5	Power supply voltage for IO in the 2.5 V range	2.25	2.5	2.75	V	–
VDDIO_3P3	Power supply voltage for IO in the 3.3 V range	2.97	3.3	3.63	V	–
VCCD	Core logic supply output	–	1.1	–	V	–
CDEC1	Decoupling capacitor on VCCD	1.88	4.7	6.58	μF	Capacitor must have initial tolerance range of 4.7 μF ±20%

6.3 电源规格

表 13 电源规格

Parameter	Description	Typ (VDDD = 1.8 V, TA = 25 °C)	Typ (VDDD = 3.3 V, TA = 25 °C)	Unit	Details/conditions
IDLE	Device is idle	160	300	μW	USB connected and chip is Idle
Power down	XRES(RESET_N) asserted	80	220	μW	Reset is asserted
FX2G3_ACTIVE	Active power with CM0+ (for MPN: CYUSB2315/CYUSB2316/CYUSB2317/CYUSB2318)	141	274	mW	CM0+ core @ 75MHz, LVCMOS @ 48MHz SDR USB 2.0 parameters (Amplitude setting = 6, Preemphasis setting = 5, Preemphasis duration = 2)
	Active power with CM4 (for MPN: CYUSB2318)	153	294	mW	CM4 core @ 150MHz, LVCMOS @ 48MHz SDR USB 2.0 parameters (Amplitude setting = 6, Pre-emphasis setting = 5, Pre-emphasis duration = 2)
FX2G3_SUSPEND	Suspend power	0.85	0.97	mW	U3 Suspend (Deep Sleep) LVCMOS port shutdown

电气规格

6.4 RESETB 要求

表 14 RESETB 要求

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
Vih_RESETB	Input voltage high threshold on RESETB pin	65	–	–	%	CMOS Input, % of VDDD supply
Vil_RESETB	Input voltage low threshold on RESETB pin	–	–	35	%	CMOS Input, % of VDDD supply
Cin_RESETB	Input capacitance on RESETB pin	–	–	7	pF	–
TRESETB	External reset pulse width	1	–	–	μs	–40°C to +85°C TA, all VDDIO
TRESETB_GF	External reset glitch filter period	–	–	20	ns	–40°C to +85°C TA, all VDDIO
RPD_RESETB	Pull-down resistance of RESETB pin	60	85	110	kΩ	–
RESETB_TREADY	Time from RESETB deassertion to device being ready for USB traffic	–	–	32	ms	CMOS Input, % of VDDD supply

6.5 标准 GPIO 直流规格

表 15 标准 GPIO 直流规格

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
RPU	Pull-up resistor value	3.5	–	8.5	kΩ	–
RPD	Pull-down resistor value	3.5	–	8.5	kΩ	–
IIL	Input leakage current (absolute value)	-1	–	1	μA	–
CPIN	Maximum pin capacitance	–	–	9.5	pF	–
Vih_gpio	Input voltage HIGH level	0.65 * VDDIO	–	–	V	–
Vil_gpio	Input voltage LOW level	–	–	0.35 * VDDIO	V	–
FGPIO_OUT0_v1p8	Output frequency at 1.8 V, drive_sel<1:0>= 00, slow=0	–	–	30	MHz	Load 25 pF, 90%/10%
FGPIO_OUT1_v1p8	Output frequency at 1.8 V, drive_sel<1:0>= 01, slow=0	–	–	15	MHz	Load 25 pF, 90%/10%
FGPIO_OUT2_v1p8	Output frequency at 1.8 V, drive_sel<1:0>= 10, slow=0	–	–	7.5	MHz	Load 25 pF, 90%/10%
FGPIO_OUT3_v1p8	Output frequency at 1.8 V, drive_sel<1:0>= 11, slow=0	–	–	2.5	MHz	Load 25 pF, 90%/10%
FGPIO_OUT0_v2p5	Output frequency at 2.5 V, drive_sel<1:0>= 00, slow=0	–	–	40	MHz	Load 25 pF, 90%/10%
FGPIO_OUT1_v2p5	Output frequency at 2.5 V, drive_sel<1:0>= 01, slow=0	–	–	20	MHz	Load 25 pF, 90%/10%
FGPIO_OUT2_v2p5	Output frequency at 2.5 V, drive_sel<1:0>= 10, slow=0	–	–	12.5	MHz	Load 25 pF, 90%/10%
FGPIO_OUT3_v2p5	Output frequency at 2.5 V, drive_sel<1:0>= 11, slow=0	–	–	5	MHz	Load 25 pF, 90%/10%
FGPIO_OUT0_v3p3	Output frequency at 3.3 V, drive_sel<1:0>= 00, slow=0	–	–	50	MHz	Load 25 pF, 90%/10%

电气规格

表 15 标准 GPIO 直流规格 (续)

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
FGPIO_OUT1_v3p3	Output frequency at 3.3 V, drive_sel<1:0>= 01, slow=0	–	–	25	MHz	Load 25 pF, 90%/10%
FGPIO_OUT2_v3p3	Output frequency at 3.3 V, drive_sel<1:0>= 10, slow=0	–	–	15	MHz	Load 25 pF, 90%/10%
FGPIO_OUT3_v3p3	Output frequency at 3.3 V, drive_sel<1:0>= 11, slow=0	–	–	7.5	MHz	Load 25 pF, 90%/10%
FGPIO_IN	GPIO input operating frequency	–	–	50	MHz	–
IOH_v1p8_0	1.8 V pull-up current, DS=0	–2.12	–4	–5.88	mA	–
IOH_v1p8_1	1.8 V pull-up current, DS=1	–1.06	–2	–2.94	mA	–
IOH_v1p8_2	1.8 V pull-up current, DS=2	–0.8	–1.5	–2.2	mA	–
IOH_v1p8_3	1.8 V pull-up current, DS=3	–0.27	–0.5	–0.73	mA	–
IOH_v2p5_0	2.5 V pull-up current, DS=0	–3.18	–6	–8.82	mA	–
IOH_v2p5_1	2.5 V pull-up current, DS=1	–1.59	–3	–4.41	mA	–
IOH_v2p5_2	2.5 V pull-up current, DS=2	–1.06	–2	–2.94	mA	–
IOH_v2p5_3	2.5 V pull-up current, DS=3	–0.4	–0.75	–1.1	mA	–
IOH_v3p3_0	3.3 V pull-up current, DS=0	–4.24	–8	–11.76	mA	–
IOH_v3p3_1	3.3 V pull-up current, DS=1	–2.12	–4	–5.88	mA	–
IOH_v3p3_2	3.3 V pull-up current, DS=2	–1.59	–3	–4.41	mA	–
IOH_v3p3_3	3.3 V pull-up current, DS=3	–0.53	–1	–1.47	mA	–
IOL_v1p8_0	1.8 V pull-down current, DS=0	2.12	4	5.88	mA	–
IOL_v1p8_1	1.8 V pull-down current, DS=1	1.06	2	2.94	mA	–
IOL_v1p8_2	1.8 V pull-down current, DS=2	0.8	1.5	2.2	mA	–
IOL_v1p8_3	1.8 V pull-down current, DS=3	0.27	0.5	0.73	mA	–
IOL_v2p5_0	2.5 V pull-down current, DS=0	3.18	6	8.82	mA	–
IOL_v2p5_1	2.5 V pull-down current, DS=1	1.59	3	4.41	mA	–
IOL_v2p5_2	2.5 V pull-down current, DS=2	1.06	2	2.94	mA	–
IOL_v2p5_3	2.5 V pull-down current, DS=3	0.4	0.75	1.1	mA	–
IOL_v3p3_0	3.3 V pull-down current, DS=0	4.24	8	11.76	mA	–
IOL_v3p3_1	3.3 V pull-down current, DS=1	2.12	4	5.88	mA	–
IOL_v3p3_2	3.3 V pull-down current, DS=2	1.59	3	4.41	mA	–
IOL_v3p3_3	3.3 V pull-down current, DS=3	0.53	1	1.47	mA	–
TRF_v1p8	Output rise/fall time at 1.8 V, drive_sel<1:0>= 11, slow=0	–	–	50	ns	–
TRF_v3p3	Output rise/fall time at 3.3 V, drive_sel<1:0>= 00, slow=0	–	–	7	ns	–
IIHS	IO pin current when Vpad is ramped up from 0 to 3.63 V and VDDIO = 0, T = 25°C	–	–	1	μA	–

电气规格

6.6 SWD 和跟踪接口规格（仅适用于 104LGA 部件）

表 16 SWD 和跟踪接口规格

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
F_SWCLK	SWD input clock frequency	–	–	25	MHz	1.62 V ≤ VDDIO ≤ 3.63 V
T_SWDI_SETUP	T = 1/f SWCLK	0.25 × T	–	–	ns	–
T_SWDI_HOLD	T = 1/f SWCLK	0.25 × T	–	–	ns	–
T_SWDO_VALID	T = 1/f SWCLK	–	–	0.50 × T	ns	–
T_SWDO_HOLD	T = 1/f SWCLK	1	–	–	ns	–
F_TRCLK_LP1	With trace data setup/hold times of 2/1 ns respectively	–	–	48	MHz	–
F_TRCLK_LP2	With trace data setup/hold times of 3/2 ns respectively	–	–	48	MHz	–
SWD_INPUT_TRANSITION_TIME	SWD input transition time	–	–	5	ns	–
TRACE_CLKL	Trace clock LOW Period	2	–	–	ns	–
TRACE_CLKH	Trace clock HIGH Period	2	–	–	ns	–
TRACE_CLKL	Trace clock minimum pulse-width LOW	8	–	–	ns	–
TRACE_CLKH	Trace clock minimum pulse-width HIGH	8	–	–	ns	–

6.7 精确的上电复位（POR）规格

表 17 直流断电时的 POR 规格

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
VFALLPPOR	BOD trip voltage in Active and Sleep modes VDDD	1.5	–	–	V	BOD reset guaranteed for levels < 1.5 V
VFALLDPSLP	BOD trip voltage in Deep Sleep VDDD	1.5	–	–	V	–
VDDRAMP	Maximum power supply ramp rate (any supply)	–	–	100	mV/μs	Active mode

表 18 交流断电时的 POR 规格

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
VDDRAMP_DS	Maximum power supply ramp rate (any supply) in Deep Sleep	–	–	12.5	mV/μs	BOD operation guaranteed

电气规格

6.8 XTAL / 时钟规格

表 19 XTAL / 时钟规格

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
EXT_CRY_RES_FREQ	External crystal resonator frequency	–	24	–	MHz	Resonator reference clock frequency. Fundamental oscillation mode
EXT_CRY_RES_FREQ_TOL	External crystal resonator frequency tolerance	–30	–	30	ppm	Resonator reference clock accuracy
EXT_CRY_RES_CLOAD	External crystal resonator load capacitance	–	9.5	–	pF	PCB load
EXT_CRY_RES_CSHUNT	External crystal resonator shunt capacitance	–	0.4	1	pF	No ground connection
EXT_CRY_RESCMOTIONAL	External crystal resonator motional capacitance	–	–	3	pF	No ground connection
EXT_CRY_RES_ESR	External crystal resonator ESR	–	–	60	Ω	Equivalent sales resistance
EXT_CRY_RES_PDRIVE	Drive level for external crystal oscillator	–	50	200	μW	Resonator drive level
EXT_CRY_RES_START	External crystal resonator start-up time	–	–	1.6	ms	Maximum start-up time required by resonator to meet the USB 2.0 timing requirements.

6.9 单端 LVCMOS 基准时钟规格

表 20 单端 LVCMOS 基准时钟输入规格

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
LVCMOS_REFCLK_FREQ	LVCMOS reference clock frequency	–	24	–	MHz	–
LVCMOS_REFCLK_FREQ_TOL	LVCMOS reference clock frequency tolerance	–30	–	30	ppm	–
LVCMOS_REFCLK_FREQ_DUTY	LVCMOS reference clock frequency duty cycle	40	–	60	%	–
LVCMOS_REFCLK_VIH	Input voltage HIGH threshold for LVCMOS reference clock	0.65*VDDIO	–	–	V	–
LVCMOS_REFCLK_VIL	Input voltage LOW threshold for LVCMOS reference clock	–	–	0.35*VDDIO	V	–
LVCMOS_REFCLK_CIN	Input capacitance for LVCMOS reference clock	–	–	7	pF	–

表 21 单端 CMOS 基准时钟输入相位噪声要求

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
IN_PH_NOISE_100	Maximum input phase noise @ 100-Hz offset	–	–	–75	dBc/Hz	–
IN_PH_NOISE_1K	Maximum input phase noise @ 1-kHz offset	–	–	–104	dBc/Hz	–
IN_PH_NOISE_10K	Maximum input phase noise @ 10-kHz offset	–	–	–120	dBc/Hz	–

电气规格

表 21 单端 CMOS 基准时钟输入相位噪声要求 (续)

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
IN_PH_NOISE_100K	Maximum input phase noise@ 100-kHz offset	–	–	–128	dBc/Hz	–
IN_PH_NOISE_1M	Maximum input phase noise @ 1-MHz offset	–	–	–130	dBc/Hz	–

6.10 USB 2.0 PHY 规格

表 22 USB 2.0 PHY HS TX 预加重

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
USB_2_PHY_HS_TX_AMP_0011	USB 2.0 PHY HS TX amplitude for register setting = 0011	720	800	880	mV	–
USB_2_PHY_HS_TX_AMP_0101	USB 2.0 PHY HS TX amplitude for register setting = 0101	756	840	924	mV	–
USB_2_PHY_HS_TX_AMP_0111	USB 2.0 PHY HS TX amplitude for register setting = 0111	792	880	968	mV	–
USB_2_PHY_HS_TX_AMP_1011	USB 2.0 PHY HS TX amplitude for register setting = 1011	864	960	1056	mV	–
USB_2_PHY_HS_TX_PREMP_010	USB 2.0 PHY HS TX pre-emphasis for register setting = 010	0.83	1.5	1.78	dB	–
USB_2_PHY_HS_TX_PREMP_100	USB 2.0 PHY HS TX pre-emphasis for register setting = 100	2.28	2.9	3.52	dB	–
USB_2_PHY_HS_TX_PREMP_110	USB 2.0 PHY HS TX pre-emphasis for register setting = 110	3.23	4	4.6	dB	–

表 23 USB 2.0 PHY HS TX 预加重持续时间

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
USB_2_PHY_HS_TX_PREMP_D_00	USB 2.0 PHY HS TX pre-emphasis duration for register setting = 00	–	0	–	UI	0 = Disabled
USB_2_PHY_HS_TX_PREMP_D_01	USB 2.0 PHY HS TX pre-emphasis duration for register setting = 01	0.2	0.25	0.3	UI	–
USB_2_PHY_HS_TX_PREMP_D_10	USB 2.0 PHY HS TX pre-emphasis duration for register setting = 10	0.45	0.5	0.55	UI	–
USB_2_PHY_HS_TX_PREMP_D_11	USB 2.0 PHY HS TX pre-emphasis duration for register setting = 11	0.7	0.75	0.8	UI	–

电气规格

表 24 USB 2.0 PHY HS TX 转换速率

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
USB_2_PHY_HS_TX_SLRA_00	USB 2.0 PHY HS TX slew rate for register setting = 00	100	300	460	ps	Guaranteed by characterization
USB_2_PHY_HS_TX_SLRA_01	USB 2.0 PHY HS TX slew rate for register setting = 01	–	375	560	ps	Guaranteed by characterization
USB_2_PHY_HS_TX_SLRA_10	USB 2.0 PHY HS TX slew rate for register setting = 10	–	450	680	ps	Guaranteed by characterization
USB_2_PHY_HS_TX_SLRA_11	USB 2.0 PHY HS TX slew rate for register setting = 11	–	525	800	ps	Guaranteed by characterization

表 25 USB 2.0 PHY 主机断开阈值

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
USB_2_PHY_DISC_TH_0000	USB 2.0 PHY Host Disconnect Threshold for register setting = 0000	525	575	625	mV	%Δ USB 2.0 spec = 0.0 mV
USB_2_PHY_DISC_TH_0100	USB 2.0 PHY Host Disconnect Threshold for register setting = 0100	605	660	715	mV	%Δ USB 2.0 spec = 85 mV
USB_2_PHY_DISC_TH_1000	USB 2.0 PHY Host Disconnect Threshold for register setting = 1000	685	745	805	mV	%Δ USB 2.0 spec = 170 mV
USB_2_PHY_DISC_TH_1100	USB 2.0 PHY Host Disconnect Threshold for register setting = 1100	765	830	895	mV	%Δ USB 2.0 spec = 255 mV

表 26 USB 2.0 PHY 静噪检测阈值

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
USB_2_PHY_SQ_DET_1	USB 2.0 PHY squelch detection threshold for setting 1, Register = 1011	130	155	195	mV	–
USB_2_PHY_SQ_DET_3	USB 2.0 PHY squelch detection threshold for setting 3, Register = 1001	115	140	172.5	mV	–
USB_2_PHY_SQ_DET_5	USB 2.0 PHY squelch detection threshold for setting 5, Register = 0111	100	125	150	mV	–
USB_2_PHY_SQ_DET_7	USB 2.0 PHY squelch detection threshold for setting 7, Register = 0101	85	110	135	mV	–

表 27 USB 2.0 PHY HS CTLE 均衡

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
USB_2_PHY_HS_CTLE_000	USB 2.0 PHY HS CTLE equalization for register setting = 000	-0.2	0	0.2	dB	Typical value @ 240 MHz. Guaranteed by characterization
USB_2_PHY_HS_CTLE_010	USB 2.0 PHY HS CTLE equalization for register setting = 010	0.7	1.1	1.75	dB	–
USB_2_PHY_HS_CTLE_100	USB 2.0 PHY HS CTLE equalization for register setting = 100	1.6	2.2	2.9	dB	–
USB_2_PHY_HS_CTLE_110	USB 2.0 PHY HS CTLE equalization for register setting = 110	2.8	3.4	4.4	dB	–

6.11 LVCMOS 规格

表 28 LVCMOS 电气参数规格

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
VOH_LVCMOS	Output HIGH voltage	75	–	–	%VDDIO	–
VOL_LVCMOS	Output LOW voltage	–	–	25	%VDDIO	–
IIH_LVCMOS	Input HIGH current	–	–	1	μA	–
IIL_LVCMOS	Input LOW current	–	–	1	μA	–
VIH_LVCMOS	Input HIGH level	65	–	–	%VDDIO	–
VIL_LVCMOS	Input LOW level	–	–	35	%VDDIO	–
RHIGH_Z0	Pull-up resistance	40	–	70	Ω	–
RLOW_Z0	Pull-down resistance	40	–	70	Ω	–
IOH_DS0	Output HIGH current at VOH, lowest drive DS0	1.5	–	7	mA	–
IOL_DS0	Output LOW current at VOL, lowest drive DS0	1.5	–	7	mA	–
IOH_DS1	Output HIGH current at VOH, mid drive DS1	3.4	–	14	mA	–
IOL_DS1	Output LOW current at VOL, mid drive DS1	3.4	–	14	mA	–
IOH_DS2	Output HIGH current at VOH, mid drive DS2	5.2	–	20	mA	–
IOL_DS2	Output LOW current at VOL, mid drive DS2	5.2	–	20	mA	–
IOH_DS3	Output HIGH current at VOH, highest drive DS3	7	–	30	mA	–
IOL_DS3	Output LOW current at VOL, highest drive DS3	7	–	30	mA	–

电气规格

表 29 LVCMOS SDR IO 接口时序规格

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
fLVCMOS_SDR_IO	Clock frequency, when interface is used as I/O	–	–	100	MHz	–
tCLK_SDR_IO	Clock period, when interface is used as I/O	10	–	–	ns	–
tCLKH_SDR_IO	Clock high time, when interface is used as I/O	4	–	–	ns	–
tCLKL_SDR_IO	Clock low time, when interface is used as I/O	4	–	–	ns	–
tS_SDR_IO	CTL Input to clock setup Time, when interface is used as I/O	2	–	–	ns	–
tH_SDR_IO	CTL Input to clock hold Time, when interface is used as I/O	0.5	–	–	ns	–
tDS_SDR_IO	Data in to clock setup time, when interface is used as I/O	2	–	–	ns	–
tDH_SDR_IO	Data in to clock hold time, when interface is used as I/O	0.5	–	–	ns	–
tDO_SDR_IO	Clock to data out propagation delay when DQ bus is already in output direction	–	–	8	ns	–
tCOE_SDR_IO	Clock to data out propagation delay when DQ lines change to output from tristate and valid data is available on the DQ bus	–	–	8	ns	–
tCO_SDR_IO	Clock to CTL out propagation delay	–	–	8	ns	–
tDOH_SDR_IO	Clock to data out hold	2	–	–	ns	–
tCOH_SDR_IO	Clock to CTL out hold	2	–	–	ns	–
tHZ_SDR_IO	Clock to High-Z	–	–	8	ns	–
tLZ_SDR_IO	Clock to Low-Z	0	–	–	ns	–

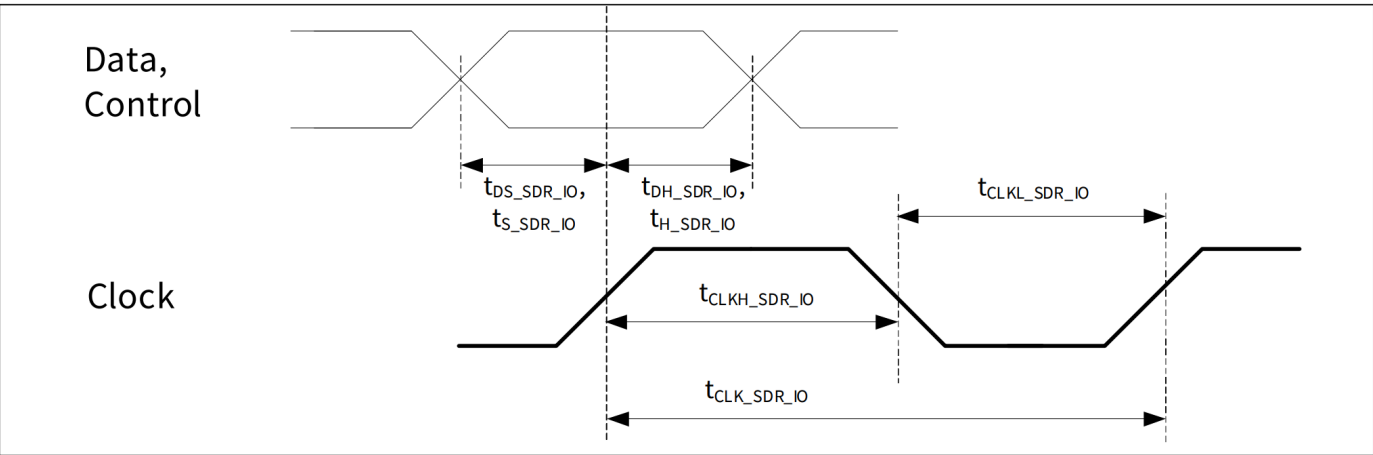


图 7 LVCMOS SDR IO 时钟和数据时序

电气规格

6.12 QSPI 规格

表 30 QSPI 规格

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
Fsmifclk	SMIF QSPI output clock frequency	–	–	80	MHz	–
Tsetup	Input data set-up time with respect to clock capturing edge	4.5	–	–	ns	–
Tdatahold	Input data hold time with respect to clock capturing edge	0	–	–	ns	–
Tdataoutvalid	Output data valid time with respect to clock falling edge	–	–	3.7	ns	–
Tholdtime	Output data hold time with respect to clock rising edge	3	–	–	ns	–
Tseloutvalid	Output select valid time with respect to clock rising edge	–	–	7.5	ns	–
Tselouthold	Output select hold time with respect to clock rising edge	$0.5 \times T_{\text{sclk}}$	–	–	ns	$T_{\text{sclk}} = \text{Fsmifclk cycle time}$
Tckpw	Clock pulse width	45	–	55	%	Related to Fsmifclk

电气规格

6.13 数字外设规格

表 31 TCPWM 规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
TCPWMFREQ	Operating frequency	–	–	100	MHz	F _c max = F _{cpu} . Maximum = 100 MHz
TPWMENEXT	Input trigger pulse width for all trigger events	2/F _c	–	–	ns	Trigger Events can be Stop, Start, Reload, Count, Capture, or Kill depending on which mode of operation is selected
TPWMEXT	Output trigger pulse widths	1.5/F _c	–	–	ns	Minimum possible width of Overflow, Underflow, and CC (Counter equals Compare value) trigger outputs
TCRES	Resolution of counter	1/F _c	–	–	ns	Minimum time between successive counts
PWMRES	PWM resolution	1/F _c	–	–	ns	Minimum pulse width of PWM Output
QRES	Quadrature inputs resolution	2/F _c	–	–	ns	Minimum pulse width between Quadrature phase inputs. Delays from pins should be similar.

表 32 UART 交流规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
FUART2	Bit rate	–	–	8	Mbps	–

表 33 SPI 交流电规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
FSPI	SPI operating frequency master	–	–	25	MHz	–
FSPI_EXT	SPI operating frequency master (F _{scb} is SPI clock)	–	–	F _{scb} /4	MHz	F _{scb} max is 100 MHz
FSPI_IC	SPI slave internally clocked	–	–	15	MHz	–

表 34 SPI 主模式的交流规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
TDMO	MOSI valid after S _{clock} driving edge	–	–	12	ns	–
TDSI	MISO valid before S _{clock} capturing edge	20	–	–	ns	Full clock, late MISO sampling
THMO	MOSI data hold time	0	–	–	ns	Referred to slave capturing edge
TDHI	SPI master: MISO hold time after SCLK capturing edge	0	–	–	ns	–
TSSELMCK1	SSEL valid to first SCK valid edge	18	–	–	ns	Referred to master clock edge
TSSELMCK2	SSEL valid to first SCK valid edge	18	–	–	ns	Referred to master clock edge

电气规格

表 35 SPI 从模式的交流规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
TDMI	MOSI valid before Sclock capturing edge	5	–	–	ns	–
SPI_FREQ	SPI frequency	–	–	25	MHz	–
TDSO_EXT	MISO valid after Sclock driving edge in Ext. Clk. mode	–	–	20	ns	–
TDSO	MISO valid after Sclock driving edge in Internally Clk. mode	–	–	$TDSO_EXT + 3 \times Tscb$	ns	Tscb is serial comm block clock period
TDSO_FILT	MISO valid after Sclock driving edge in Internally Clk. mode with Median filter enabled.	–	–	$TDSO_EXT + 4 \times Tscb$	ns	Tscb is serial comm block clock period
THSO	Previous MISO data hold time	5.5	–	–	ns	–
THIS	SPI MOSI hold from SCLK	–	–	14	ns	–
CSPI	SPI capacitive load	–	10	–	pF	–
TSSELSCK1	SSEL valid to first SCK valid edge	65	–	–	ns	–
TSSELSCK2	SSEL Hold after last SCK valid edge	65	–	–	ns	–

6.14 音频子系统规格

表 36 PDM 规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
Fmax_clk_if_srss	Clock frequency for audio clock reference clk_if_srss	–	48	–	MHz	–
T_SETUP	Receiver setup	–	–	10	ns	–
PDM_HOLD	Data input hold time to PDM_CLK edge	10	–	–	ns	–
CPDM	Load	–	10	–	pF	–
PDM_OUT	Audio sample rate	8	–	48	ksps	–
PDM_WL	Word length	16	–	24	bits	–
PDM_SNR	Signal-to-noise ratio (A-weighted)	–	100	–	dB	PDM input, 20 Hz to 20 kHz BW
PDM_DR	Dynamic Range (A-weighted)	–	100	–	dB	20 Hz to 20 kHz BW, -60 dB FS
PDM_SB	Stop band	–	0.566	–	f	DC to 0.45 f. DC blocking filter OFF
PDM_SBA	Stop band attenuation	–	60	–	dB	–
PDM_GAIN	Adjustable gain	-12	–	10.5	dB	–
PDM_ST	Start-up time	–	48	–	WS cycles	PDM to PCM, 1.5 dB/step

电气规格

6.15 JTAG 规格

表 37 JTAG 规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
TCKLOW	TCK LOW minimum	34	–	–	ns	–
TCKHIGH	TCK HIGH	10	–	–	ns	–
TCKPERIOD	CLK_JTAG_PERIOD, 30 pF load	–	44	–	MHz	–
TCK_TDO	TDO clock-to-out (maximum) from falling TCK	–	–	22	ns	–
TSU_TCK	TDI, TMS setup time before rising TCK	12	–	–	ns	–
TCK_THD	TDI, TMS hold time after rising TCK	10	–	–	ns	–
TCK_TDOV	TCK to TDO data valid (High-Z to active)	22	–	–	ns	–
TCK_TDOZ	TCK to TDO data valid (active to High-Z)	22	–	–	ns	–
JTAG_TDO_HOLD	JTAG TDO hold time	–	–	5	ns	–
JTAG_INPUT_TRANSITION_TIME	JTAG input transition time	–	–	5	ns	–

6.16 SSRS 规格

表 38 IMO 交流规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
FIMOTOL1	Frequency variation centered on 8 MHz	–2	–	2	%	–
TJITR	Cycle-to-cycle and period jitter	–	–	250	ps	–

表 39 ILO 交流规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
TSTARTILO1	ILO start-up time	–	–	7	μs	Start-up time to 95% of final frequency
TLIODUTY	ILO duty cycle	45	50	55	%	–
FILOTRIM1	32 kHz trimmed frequency	–10	–	10	%	28.8 kHz to 35.2 kHz (±10% variation)

电气规格

表 40 锁频环 (FLL) 规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
FLL_RANGE	Input frequency range	0.04	–	96	MHz	Upper limit is for external input
FLL_OUT_DIV2	Output frequency range	24	–	96	MHz	Output range of FLL divided-by-2 output
FLL_DUTY_DIV2	Divided-by-2 output; HIGH or LOW	47	–	53	%	–
FLL_WAKEUP	Time from stable input clock to 1% of final value on Deep Sleep wakeup	–	–	11	µs	With IMO input, for <10°C change in temperature while in Deep Sleep and Fout ≥ 50 MHz
FLL_JITTER	Period jitter (1 sigma) at 96 MHz	–	–	45	ps	–

表 41 外部时钟规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
TSTARTILO1	ILO Start-up time	–	–	7	µs	–
TLIODUTY	ILO Duty cycle	45	50	55	%	–
FILOTRIM1	32 kHz trimmed frequency	–10	–	10	%	–

6.17 Flash 规格

表 42 Flash 规格

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
TROWWRITE	Row write item (erase and program)	–	–	16	ms	–
TROWERASE	Row erase time	–	–	11	ms	–
TROWPROGRAM	Row program time after erase	–	–	5	ms	–
TBULKERASE	Bulk erase time (2048 KB)	–	–	11	ms	–
TSECTORERASE	Sector erase time (256 KB)	–	–	11	ms	–
TSSERIAE	Sub-sector erase time	–	–	11	ms	–
TSSWRITE	Sub-sector erase time; 1 erase plus 8 program times	–	–	51	ms	–
TSWRITE	Total device write time	–	–	2.6	s	–
TDEVPROG	Sub-sector write time; 1 erase plus 512 program times	–	–	30	s	–
FEND	Flash endurance	100K	–	–	cycles	–
FRET1	Flash retention. TA ≤ 25°C, 100K P/E cycles	10	–	–	yrs	–
FRET2	Flash retention. TA ≤ 85°C, 10K P/E cycles	10	–	–	yrs	–
FRET3	Flash retention. TA ≤ 55°C, 20K P/E cycles	20	–	–	yrs	–
TWS100	Number of wait states at 100 MHz	300%	–	–	–	–

7 时序与电气特性图

7.1 LVCMOS SDR IO 同步模式 GPIF III 时序

本节介绍通用从机 FIFO 接口图。

7.1.1 LVCMOS SDR IO GPIF III 接口示例

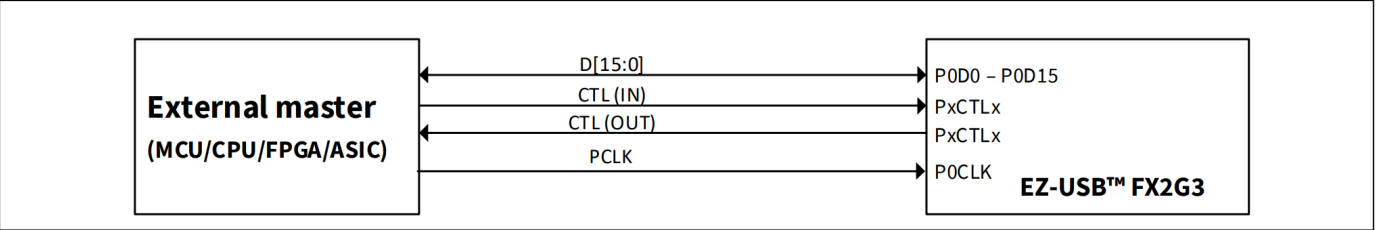


图 8 LVCMOS SDR IO GPIF III 接口示例

7.1.2 LVCMOS SDR IO 同步模式下的 GPIF III 时序

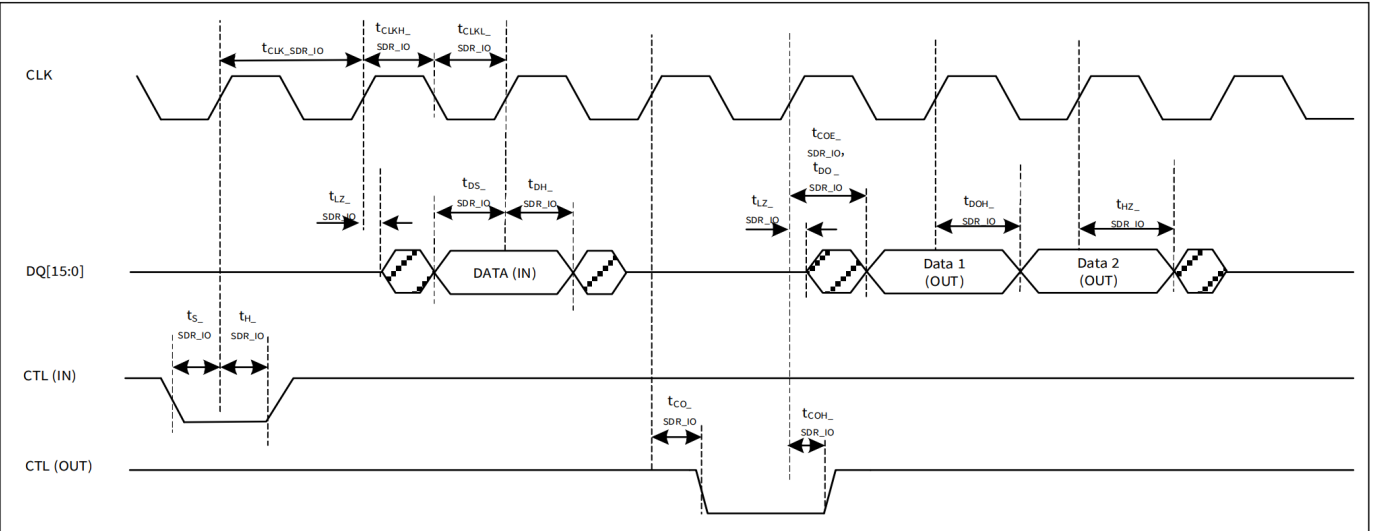


图 9 LVCMOS SDR IO 同步模式下的 GPIF III 时序（见表29）

7.1.3 从机 FIFO 写入接口示例

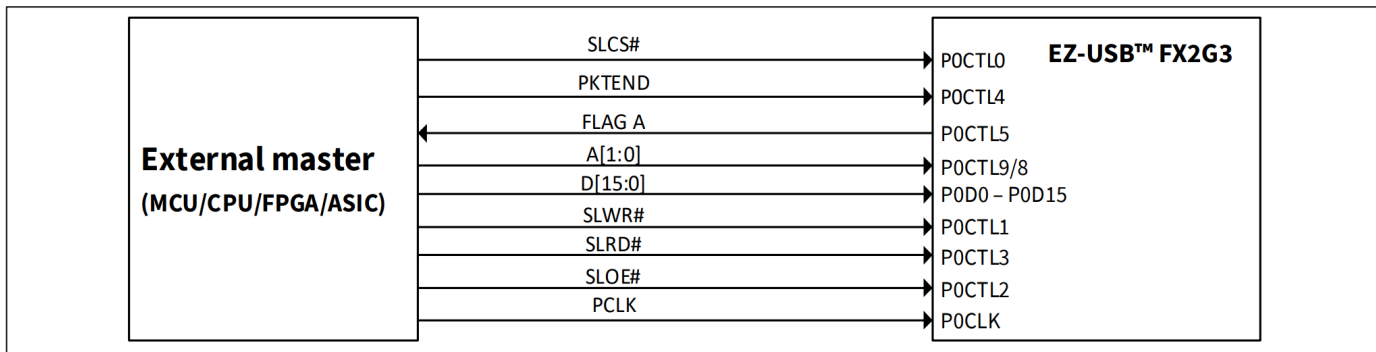


图 10 从机 FIFO 写入接口示例

7.1.4 从机 FIFO 读取接口示例

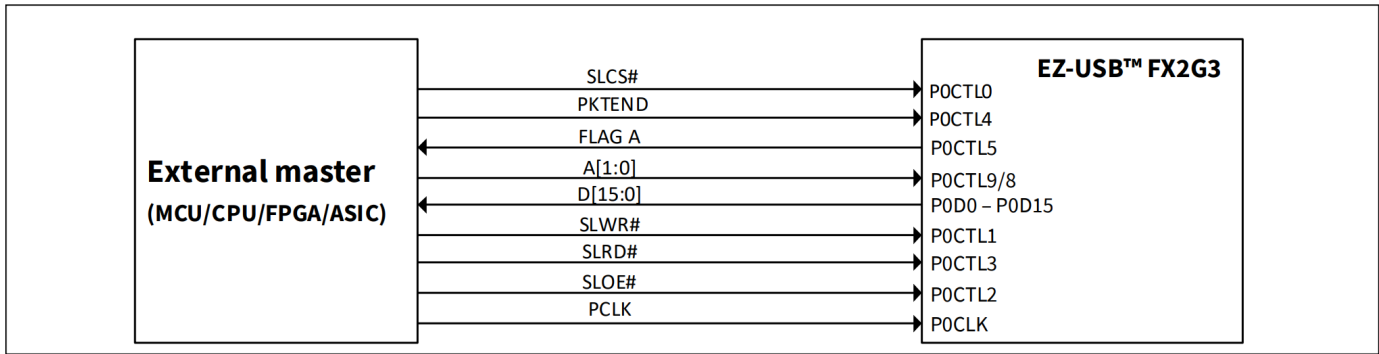


图 11 从机 FIFO 读取接口示例

7.1.5 同步 SDR 从机 FIFO 读模式

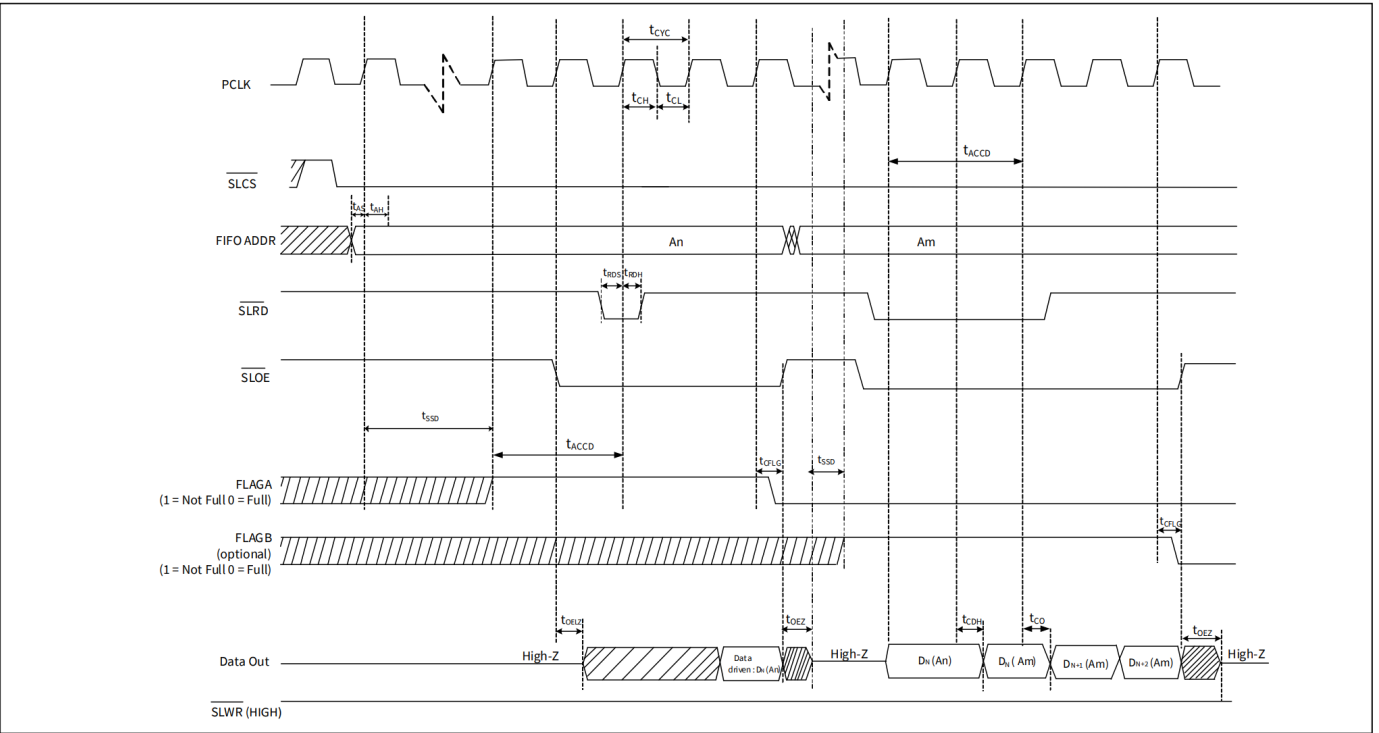


图 12 同步 SDR 从机 FIFO 读取周期时序

7.1.6 同步从机 FIFO 写模式

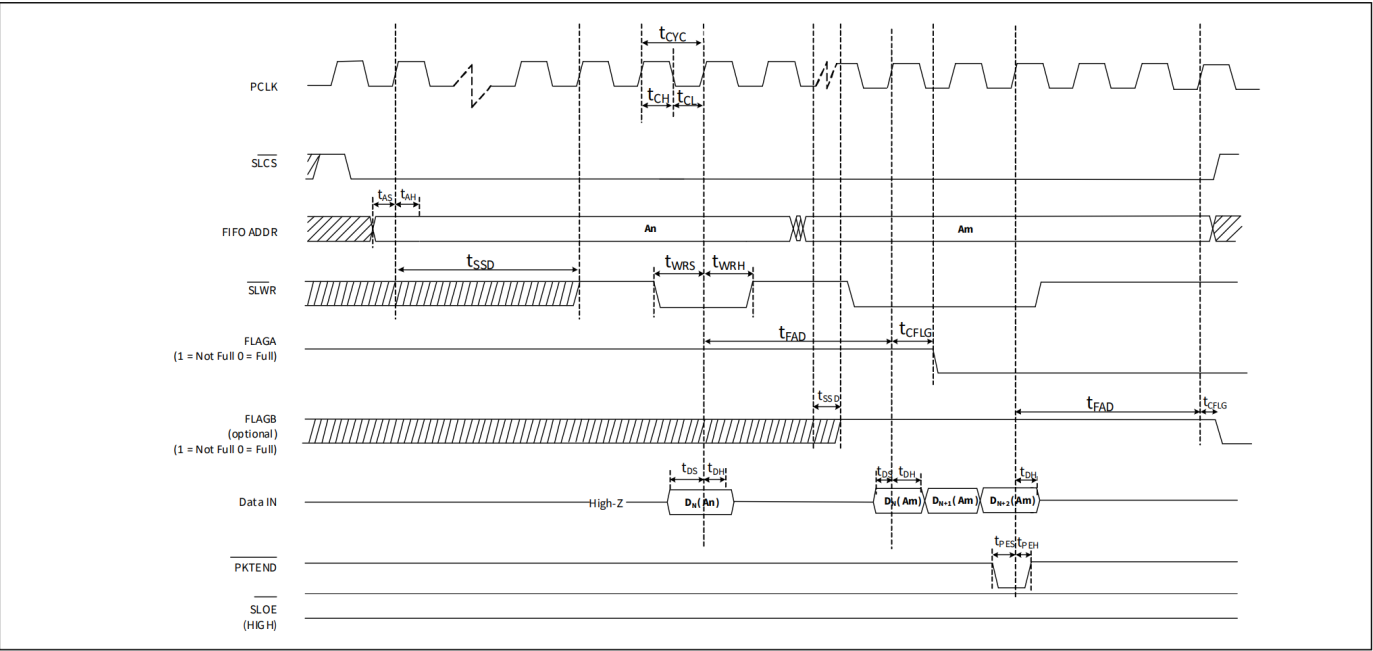


图 13 同步 SDR 从机 FIFO 写入周期时序

7.1.7 同步 SDR 从机 FIFO ZLP 写模式

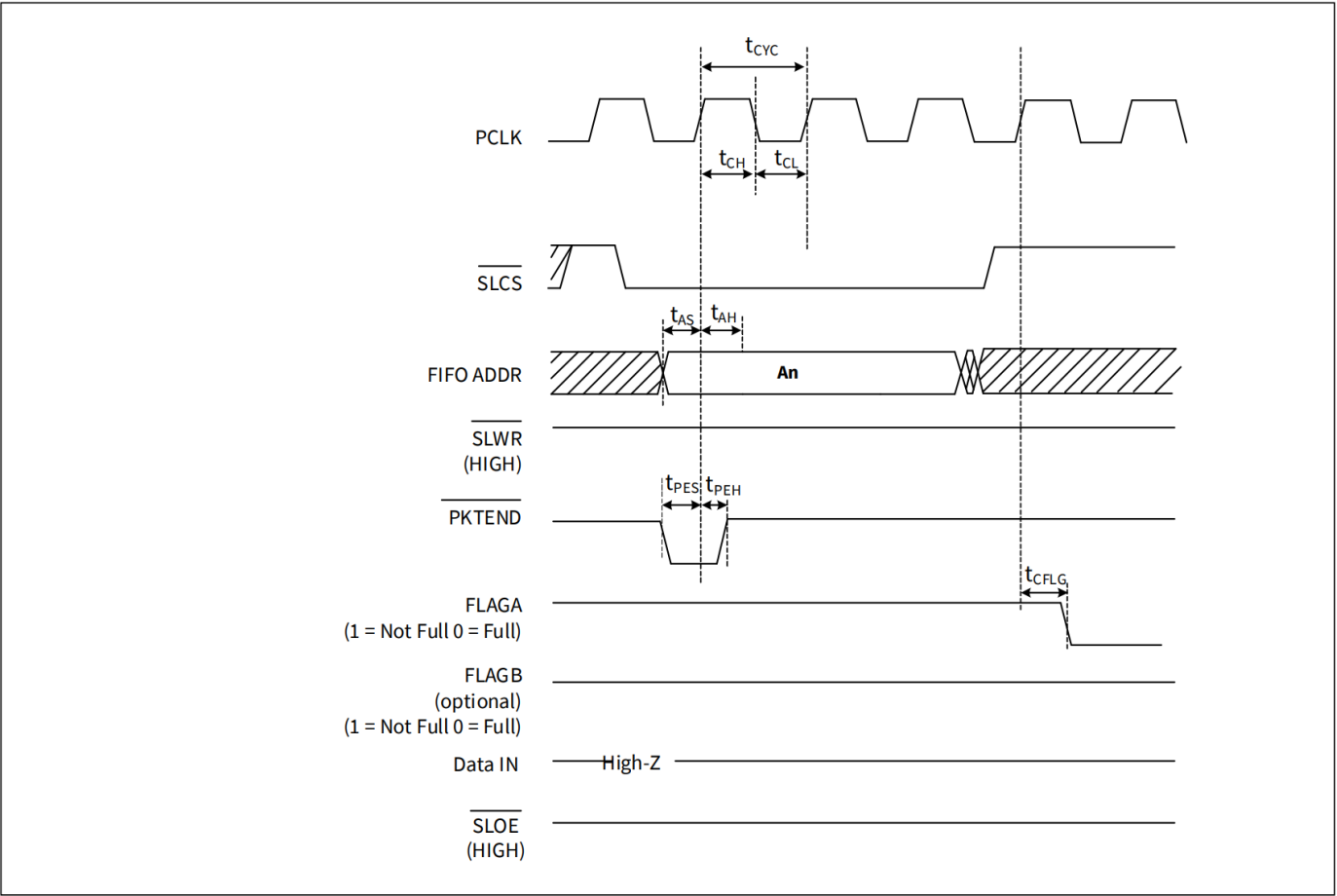


图 14 同步 SDR 从机 FIFO ZLP 写入周期时序

时序与电气特性图

表 43 同步 SDR 从机 FIFO 参数^[6]

Parameter	Description	Reference mapping	Min	Max	Unit
FREQ	Interface clock frequency	fLVC MOS_SDR_IO	–	100	MHz
tCYC	Clock period	tCLK_SDR_IO	10	–	ns
tCH	Clock high time+	tCLKH_SDR_IO	4	–	ns
tCL	Clock low time	tCLKL_SDR_IO	4	–	ns
tRDS	SLRD# to CLK setup time	tS_SDR_IO	2	–	ns
tRDH	SLRD# to CLK hold time	tH_SDR_IO	0.5	–	ns
tWRS	SLWR# to CLK setup time	tS_SDR_IO	2	–	ns
tWRH	SLWR# to CLK hold time	tH_SDR_IO	0.5	–	ns
tCO	Clock to valid data	tDO_SDR_IO	–	8	ns
tDS	Data input setup time	tDS_SDR_IO	2	–	ns
tDH	CLK to data input hold	tDH_SDR_IO	0.5	–	ns
tAS	Address to CLK setup time	tDS_SDR_IO	2	–	ns
tAH	CLK to address hold time	tDH_SDR_IO	0.5	–	ns
tOELZ	SLOE# to data Low-Z	tLZ_SDR_IO	0	–	ns
tCFLG	CLK to flag output propagation delay	tCO_SDR_IO	–	8	ns
tOEZ	SLOE# deassert to Data High-Z	tHZ_SDR_IO	–	8	ns
tPES	PKTEND# to CLK setup	tS_SDR_IO	2	–	ns
tPEH	CLK to PKTEND# hold	tH_SDR_IO	0.5	–	ns
tCDH	CLK to data output hold	tDOH_SDR_IO	2	–	ns
tSSD	Socket switching delay	–	2	68	Clock cycles
tACCD	Latency from SLRD# to Data	–	2	2	Clock cycles
tFAD	Latency from SLWR# to FLAG	–	3	3	Clock cycles

注释：从 ADDR 到 DATA/FLAGS 延迟三个周期

注释

6. 所有参数均由设计保证，并通过特性验证。

表 44 从机 FIFO 引脚映射

Internal signals	Narrow link 0		
	8-bit wide bus		16-bit bus
	2-bit FIFO	5-bit FIFO	2-bit FIFO
CLK	CLK	CLK	CLK
DQ[0]	D0	D0	D0
DQ[1]	D1	D1	D1
DQ[2]	D2	D2	D2
DQ[3]	D3	D3	D3
DQ[4]	D4	D4	D4
DQ[5]	D5	D5	D5
DQ[6]	D6	D6	D6
DQ[7]	D7	D7	D7
DQ[8]	A0	A0	D8
DQ[9]	A1	A1	D9
DQ[10]	SPARE	A2	D10
DQ[11]	SPARE	A3	D11
DQ[12]	SPARE	A4	D12
DQ[13]	SPARE	SPARE	D13
DQ[14]	SPARE	SPARE	D14
DQ[15]	SPARE	SPARE	D15
CTL[9]	SPARE	SPARE	A0
CTL[8]	SPARE	EPSWITCH	A1
CTL[7]	SPARE	SPARE	SPARE
CTL[6]	SPARE	SPARE	SPARE
CTL[5]	FLAG A	FLAG A	FLAG A
CTL[4]	PKTEND	PKTEND	PKTEND
CTL[3]	RD	RD	RD
CTL[2]	OE	OE	OE
CTL[1]	WE	WE	WE
CTL[0]	CE	CE	CE

注释

- 7. RD：读使能
- 8. WE：写使能
- 9. OE：输出使能
- 10. CE：芯片使能
- 11. PKTEND：数据包结束

订购信息

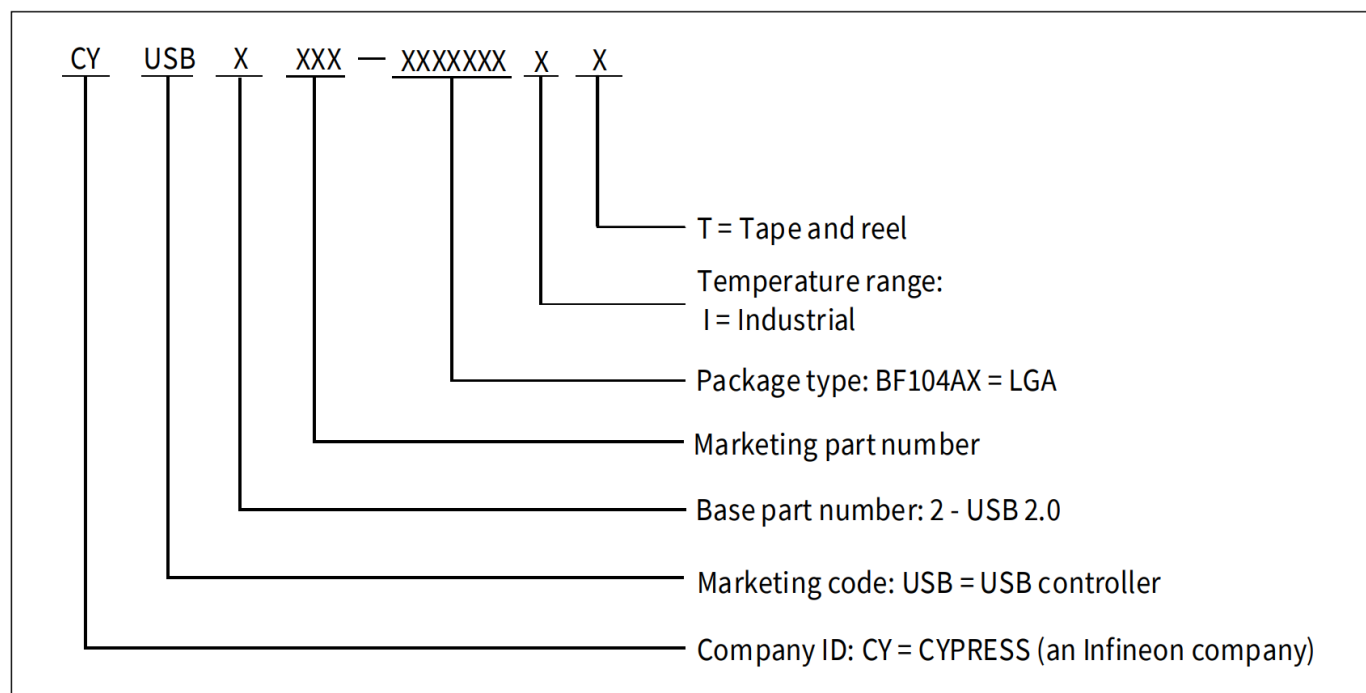
8 订购信息

表 45 列出了 EZ-USB™ FX2G3 的主要封装特性和订购代码。表中仅包含当前可用的部件。如果您没有找到所需的产品，请联系当地销售代表。

表 45 EZ-USB™ FX2G3 主要功能和订购信息

Product	Package	Temp (°C)	GPIO/FIFO	SRAM (KB)	MCU	I2C UART	FLASH (KB)	Crypto	QSPI	CAN	SPI
CYUSB2315-BF104AXI	104 LGA	-45 to 85	16-bit	512	CM0+	Yes	256	–	–	–	–
CYUSB2315-BF104AXIT	104 LGA	-45 to 85	16-bit	512	CM0+	Yes	256	–	–	–	–
CYUSB2316-BF104AXI	104 LGA	-45 to 85	16-bit	512	CM0+	Yes	256	–	–	Yes	Yes
CYUSB2316-BF104AXIT	104 LGA	-45 to 85	16-bit	512	CM0+	Yes	256	–	–	Yes	Yes
CYUSB2317-BF104AXI	104 LGA	-45 to 85	16-bit	512	CM0+	Yes	512	–	Yes	Yes	Yes
CYUSB2317-BF104AXIT	104 LGA	-45 to 85	16-bit	512	CM0+	Yes	512	–	Yes	Yes	Yes
CYUSB2318-BF104AXI	104 LGA	-45 to 85	16-bit	1024	CM4/CM0+	Yes	512	Yes	Yes	Yes	Yes
CYUSB2318-BF104AXIT	104 LGA	-45 to 85	16-bit	1024	CM4/CM0+	Yes	512	Yes	Yes	Yes	Yes

8.1 订购代码定义



9 封装图

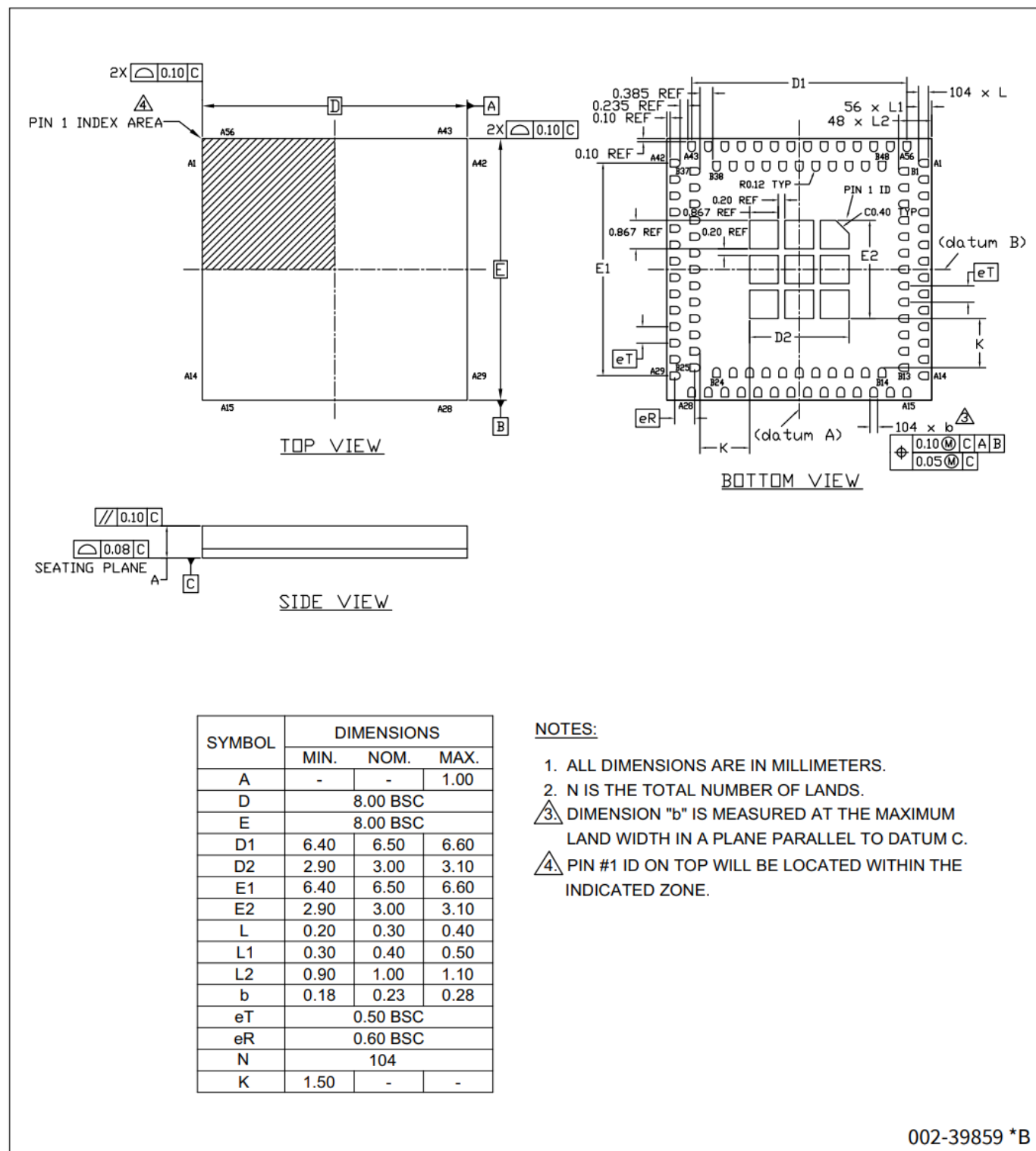


图 15 104 引线 LGA 8.00 × 8.00 × 1.00 毫米 VDB104 封装外形

10 Silicon 修订记录

本数据手册适用于 EZ-USB™ FX2G3 Rev B 和 Rev A Silicon。

以下是 Rev B 和 Rev A Silicon 的区别：

- Rev B silicon 支持 CLKOUT 功能，而 Rev A silicon 不支持该功能。
- 在 Rev B silicon 中，VCCx 引脚（B1、B4、B7 和 B11）应为 DNU，而在 Rev A silicon 中，VCCx 引脚（B1、B4、B7 和 B11）应与 VCCD 引脚（B40）短接

Rev B silicon 是最终的 silicon 版本，也是大规模生产的候选产品。今后将不再支持 Rev A silicon。

10.1 识别方法

如以下示例所示，EZ-USB™ FX2G3 封装第 3 行上的标记区分了 Rev B silicon 和 Rev A silicon。英飞凌通过器件封装上标注的批号，实现产品至晶圆级的全流程可追溯，追溯信息包含晶圆制造产地。

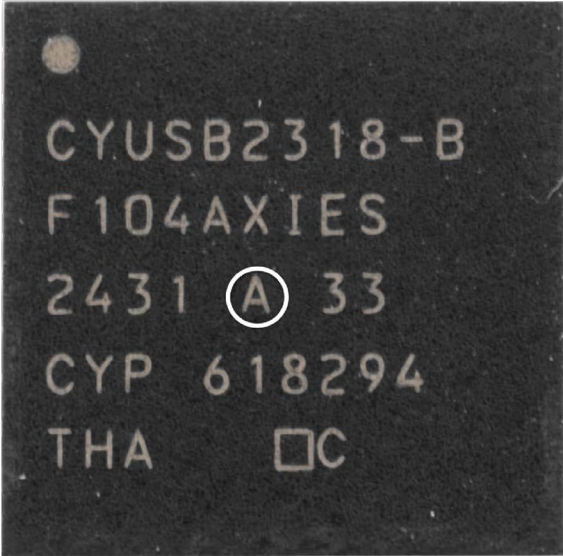
EZ-USB™ FX2G3 Rev A silicon	EZ-USB™ FX2G3 Rev B silicon
 The image shows the marking on a Rev A silicon package. The text is arranged in six lines: 'CYUSB2318-B', 'F104AXIES', '2431 (A) 33', 'CYP 618294', 'THA', and a square symbol followed by 'C'. The letter 'A' in the third line is circled.	 The image shows the marking on a Rev B silicon package. The text is arranged in six lines: 'CYUSB2318-B', 'F104AXIES', '2449 (B) 33', 'CYP 626696', 'THA', and a square symbol followed by 'C'. The letter 'B' in the third line is circled.

图 16 EZ-USB™ FX2G3 Rev A silicon 与 EZ-USB™ FX2G3 Rev B silicon 之间的标识

缩略语

11 缩略语

表46 本文档中使用的缩略语

Acronym	Description
ADC	analog-to-digital converter
AES	advanced encryption standard
AHB	AMBA high-performance bus
AXI	advanced eXtensible interface
BB	bit banding
BOD	brownout detection
BSDL	boundary scan description language
CAN	controller area network
CRC	cyclic redundancy check
CDC	communication device class
CRYPTO	cryptography accelerator
CTI	cross trigger interface
CTR	counter
DDR	double data rate
DFT	design for testability
DMA	direct memory access
DW	data width
ECC	elliptic curve cryptography
ETM	embedded trace macrocell
FBGA	fine ball grid array
FLL	frequency-locked loop
FPU	floating point unit
FS	full-speed
GPIF	general programmable interface
GPIO	general-purpose I/O
HID	human-interface device
HS	Hi-Speed
Hi-SpeedI2C	inter integrated circuit
IBIS	input output buffer information system
ILO	internal low-speed oscillator
IMO	internal main oscillator
IOSS	input output subsystem
IPC	inter-processor communication
ITM	instrumentation trace macrocell
LDO	low dropout regulator
LP	low power
LVD	low-voltage detection
LVC MOS	low voltage complementary metal oxide semiconductor
MCU	microcontroller unit
MPU	memory protection unit
MMIO	memory-mapped IO

缩略语

表 46 本文档中使用的缩略语 (续)

Acronym	Description
MTB	micro trace buffer
NVIC	nested vector interrupt control
OVP	overvoltage protection
PCLK	peripheral clock
PCM	pulse code modulation
PDM	pulse density modulation
PHY	physical layer
PLL	phase-locked loop
POR	power-on reset
PPU	power policy unit
PWM	pulse-width modulation
PWRSYS	power system
QD	quadrature decoder
QSPI	quad SPI
REF	reference voltage
RSA	Rivest–Shamir–Adleman cryptography algorithm
RWW	read-while-write
SCB	serial communication block
SDR	single data rate
SHA	secure hash algorithm
SMPU	system memory protection unit
SPI	serial peripheral interface
SRAM	static random access memory
SWJ	SWD or JTAG debug port
TOF	time-of-flight
TRNG	true random number generation
UAC	USB audio class
UART	universal asynchronous receiver transmitter
USB	Universal Serial Bus
UVC	USB video class
WDT	watchdog timer
XRES	external reset

12 文档惯例

12.1 测量单位

表 47 测量单位

Symbol	Unit of measure
°C	degrees celsius
dB	decibel
fF	femto farad
Gbps	gigabits per second
Hz	hertz
KB	1024 bytes
kbps	kilobits per second
kHz	kilohertz
kΩ	kiloohm
ksps	kilosamples per second
LSB	least significant bit
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
Msps	megasamples per second
μA	microampere
μF	microfarad
μH	microhenry
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
nV	nanovolt
Ω	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second
sqrthz	square root of hertz
V	volt

修订记录

修订记录

Document revision	Date	Description of changes
*G	2025-10-09	Release to web.

商标

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-10-09

Published by

**Infineon Technologies AG
81726 Munich, Germany**

**© 2025 Infineon Technologies
AG. All Rights Reserved.**

**Do you have a question about
this document?**

Email:

erratum@infineon.com

**Document
reference 002-
39966 Rev. *G**

IMPORTANT NOTICE

Products which may also include samples and may be comprised of hardware or software or both ("Product(s)") are sold or provided and delivered by Infineon Technologies AG and its affiliates ("Infineon") subject to the terms and conditions of the frame supply contract or other written agreement(s) executed by a customer and Infineon or, in the absence of the foregoing, the applicable Sales Conditions of Infineon. General terms and conditions of a customer or deviations from applicable Sales Conditions of Infineon shall only be binding for Infineon if and to the extent Infineon has given its express written consent.

For the avoidance of doubt, Infineon disclaims all warranties of non-infringement of third-party rights and implied warranties such as warranties of fitness for a specific use/purpose or merchantability.

Infineon shall not be responsible for any information with respect to samples, the application or customer's specific use of any Product or for any examples or typical values given in this document.

The data contained in this document is exclusively intended for technically qualified and skilled customer representatives. It is the responsibility of the customer to evaluate the suitability of the Product for the intended application and the customer's specific use and to verify all relevant technical data contained in this document in the intended application and the customer's specific use. The customer is responsible for properly designing, programming, and testing the functionality and safety of the intended application, as well as complying with any legal requirements related to its use.

Unless otherwise explicitly approved by Infineon, Products may not be used in any application where a failure of the Products or any consequences of the use thereof can reasonably be expected to result in personal injury. However, the foregoing shall not prevent the customer from using any Product in such fields of use that Infineon has explicitly designed and sold it for, provided that the overall responsibility for the application lies with the customer.

Infineon expressly reserves the right to use its content for commercial text and data mining (TDM) according to applicable laws, e.g. Section 44b of the German Copyright Act (UrhG). If the Product includes security features: Because no computing device can be absolutely secure, and despite security measures implemented in the Product, Infineon does not guarantee that the Product will be free from intrusion, data theft or loss, or other breaches ("Security Breaches"), and Infineon shall have no liability arising out of any Security Breaches.

If this document includes or references software:

The software is owned by Infineon under the intellectual property laws and treaties of the United States, Germany, and other countries worldwide. All rights reserved. Therefore, you may use the software only as provided in the software license agreement accompanying the software. If no software license agreement applies, Infineon hereby grants you a personal, non-exclusive, non-transferable license (without the right to sublicense) under its intellectual property rights in the software (a) for software provided in source code form, to modify and reproduce the software solely for use with Infineon hardware products, only internally within your organization, and (b) to distribute the software in binary code form externally to end users, solely for use on Infineon hardware products. Any other use, reproduction, modification, translation, or compilation of the software is prohibited. For further information on the Product, technology, delivery terms and conditions, and prices, please contact your nearest Infineon office or visit

<https://www.infineon.com>.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-08-27

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。