

EZ-PD™ PMG1-B1 USB Type-C 昇降圧コントローラー

シングルポート

概要

EZ-PD™ PMG1-B1 は、昇降圧コントローラーを内蔵した高集積シングルポート USB Type-C Power Delivery (PD) ソリューションです。最新の USB Type-C および PD の仕様に準拠しています。EZ-PD™ PMG1-B1 は、シンクアプリケーション向けに、消費者パスの VBUS NFET 用ゲートドライバを統合しています。また、VBUS にハードウェア制御による保護機能を搭載しています。EZ-PD™ PMG1-B1 は、搭載された PD ソリューションにおいて、広い入力電圧範囲 (4V ~ 24V、40V 許容) とプログラマブルなスイッチング周波数 (150 ~ 600 kHz) に対応します。

EZ-PD™ PMG1-B1 は、32 ビット Arm® Cortex®-M0 プロセッサ、128KB フラッシュ、16KB RAM、32KB ROM をオンチップで搭載した最もプログラマブルな USB-PD ソリューションで、ほとんどのフラッシュをユーザーアプリケーション用に使用できます。また、ADC、PWM、タイマーなど、さまざまなアナログおよびデジタルペリフェラルを搭載しています。

アプリケーション

- ・コードレスパワーツール充電器
- ・ワイヤレススピーカー
- ・携帯電子機器

特長

USB-PD

- ・ USB-PD1 ポート対応
- ・ 最新の USB-PD 3.1 仕様に対応
- ・ 拡張データ メッセージング

Type-C

- ・ 設定可能な抵抗 R_p と R_D
- ・ VBUS NFET 用ゲートドライバ
- ・ 100mW の VCONN 電源と制御を内蔵

1x 昇降圧コントローラー

- ・ 150 ~ 600 kHz のスイッチング周波数
- ・ 5.5 ~ 24V の入力、40V の耐量
- ・ 3.3 ~ 21.5V 出力
- ・ パルススキップモード (PSM)、強制連続導通モード (FCCM) を選択可能
- ・ ソフトスタートに対応
- ・ 低 EMI を実現するプログラマブルなスペクトラム拡散周波数機能
- ・ 定電流制御のための電流検知に対応

1x レガシー / 専用の充電ブロック

- ・ Apple 充電 2.4 A および USB BC 1.2 に対応

特長

システムレベルの故障保護

- VBUS 過電圧保護 (OVP)、低電圧保護 (UVP)
- VBUS-CC ショート保護
- VOUT UVP, OVP, OCP
- 搭載された ADC 回路と内蔵温度センサーによる過熱保護機能対応
- 外付けサーミスタによるコネクタおよび基板温度測定

32 ビット MCU サブシステム

- 48MHz Arm® Cortex®-M0 CPU
- 128KB フラッシュ
- 16KB SRAM
- 32KB ROM

ペリフェラルと GPIO

- 2 つの過電圧 GPIO を含む最大 21 の GPIO
- 2x 8 ビット ADC
- 8x 16 ビット タイマー / カウンター / PWM (TCPWM)
- 1x 12 ビット ADC

通信インターフェース:

- 3x SCB (I²C/SPI/UART/LIN)

クロックおよび発振器

- 内蔵発振器により外部クロックが不要

電源

- 4 ~ 24 V の入力 (40 V の耐量)
- 3.3 ~ 21.5V 出力
- 5 V、75 mA 対応の LDO を内蔵。
- 3V、10mA のスタンバイレギュレーター

パッケージ

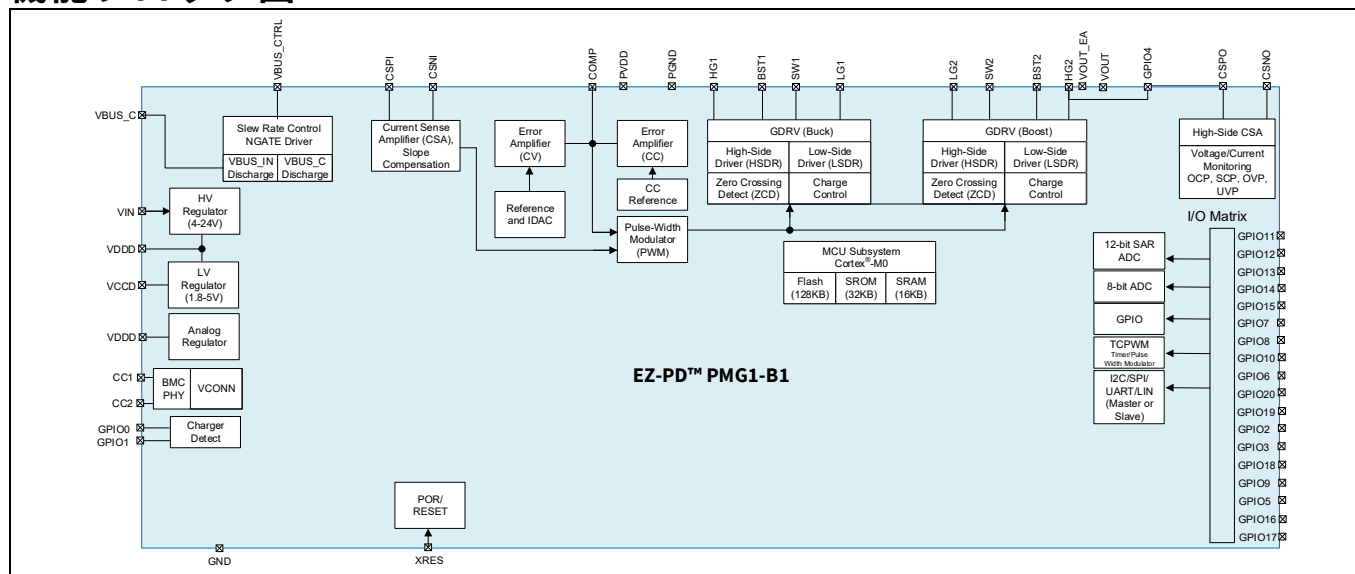
- 48 ピン QFN
- 動作接合部温度 125 °C、周囲温度範囲 (-40 °C ~ +105 °C) 対応

EZ-PD™ PMG1-B1 USB Type-C 昇降圧コントローラー シングルポート



機能ブロック図

機能ブロック図

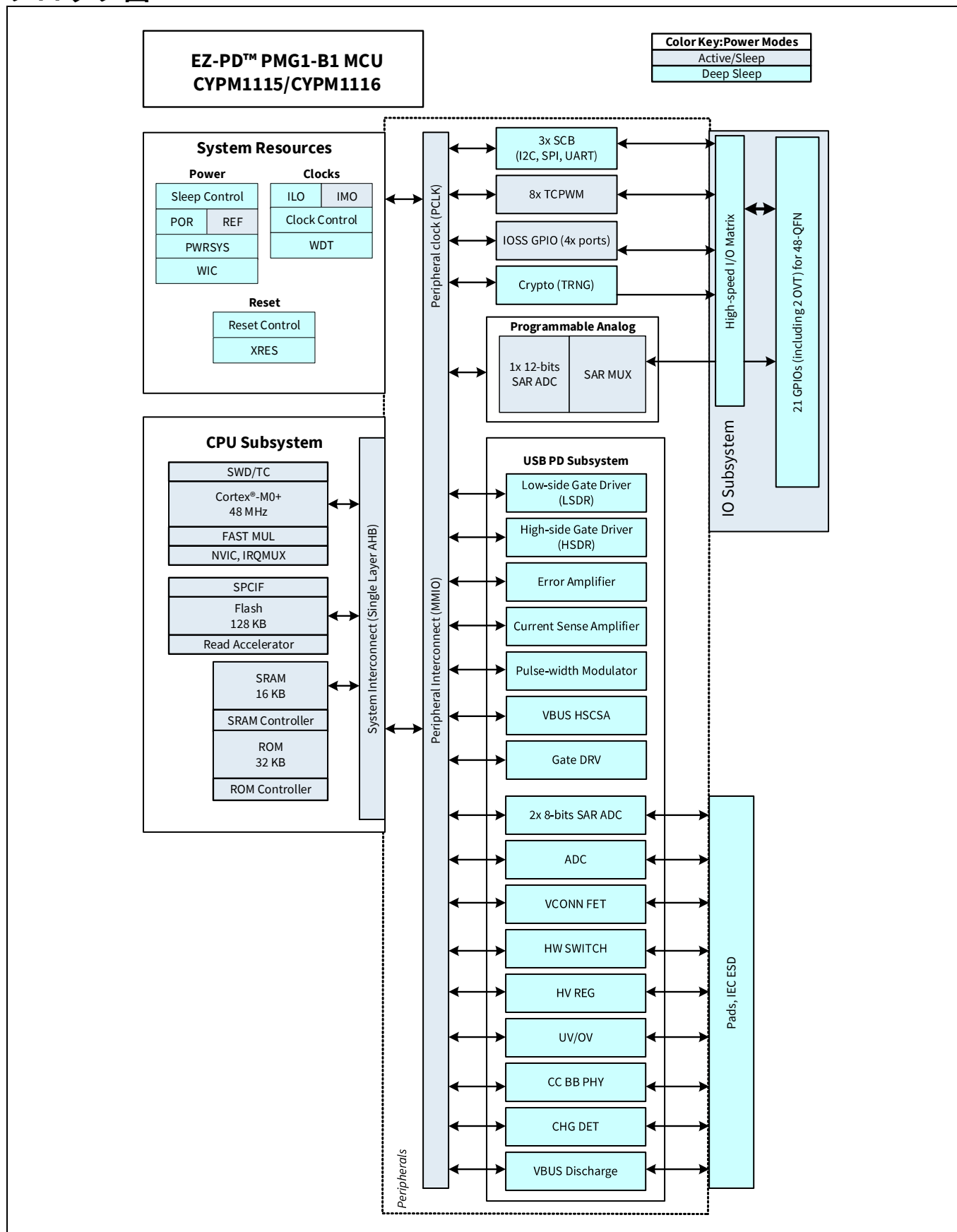


EZ-PD™ PMG1-B1 USB Type-C 昇降圧コントローラー シングルポート



ブロック図

ブロック図



目次

概要	1
アプリケーション	1
特長	1
機能ブロック図.....	3
ブロック図	4
目次	5
1 機能概要	6
1.1 MCU サブシステム	6
1.2 USBPD サブシステム	6
1.3 昇降圧サブシステム	8
1.4 昇降圧コントローラーの動作領域	10
1.5 アナログ ブロック	12
1.6 デジタルブロックの統合	12
1.7 I/O サブシステム	13
1.8 システム リソース	14
2 パワーサブシステム	15
2.1 VIN 低電圧誤動作防止 (UVLO) 機能	16
2.2 外部 VDDD 電源の使用	16
2.3 電力モード	16
3 ピンリスト	17
4 EZ-PD™ PMG1-B1 プログラミング	21
4.1 SWD インターフェースでデバイスのフラッシュをプログラム	21
5 アプリケーション	22
6 電氣的仕様	23
6.1 絶対最大定格	23
6.2 デバイス レベルの仕様	24
6.3 デジタル ペリフェラル	29
6.4 システム リソース	32
7 注文情報	41
7.1 注文コードの定義	41
8 パッケージ	42
8.1 外形図	42
9 略語	43
10 本書の表記法	44
10.1 測定単位	44
改訂履歴	45
免責事項	46

1 機能概要

1.1 MCU サブシステム

1.1.1 CPU

EZ-PD™ PMG1-B1 デバイスの Cortex®-M0 は 32 ビット MCU で、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。主に 16 ビット命令を使用し、Thumb-2 命令セットのサブセットを実行します。また、ハードウェア乗算器を搭載しており、1 サイクルで 32 ビットの結果を得られます。32 の割込み入力を備えたインタラプトコントローラ (NVIC ブロック) と、ディープスリープモードからプロセッサを起動させることができるウェイクアップインタラプトコントローラ (WIC) を搭載しています。

1.1.2 Flash ROM と SRAM

EZ-PD™ PMG1-B1 デバイスは、128 KB のフラッシュと 32 KB の不揮発保存用 ROM を搭載しています。ROM には認証用のライブラリーや I²C、SPI などのデバイスドライバが格納されています。フラッシュは、お客様のあらゆる機能のコードを格納する柔軟性を提供し、最新の USB 電力供給仕様やアプリケーションのニーズに合わせたファームウェアのアップグレードを可能にします。

16KB RAM は、ソフトウェア制御により、システム変数やパラメータの一時的な状態を保存するために使用されます。ブートおよびコンフィギュレーションルーティンを含む監視用 ROM が提供されます。

1.2 USBPD サブシステム

このサブシステムは、Type-C USB ポートのインターフェースを提供します。構成は以下のとおりです。

- USB PD 物理層
- VCONN スイッチと 100mW VCONN ソース
- VBUS の低電圧保護 (UVP)、過電圧保護 (OVP)
- 出力ハイスайд電流検出アンプ (HS CSA)
- VBUS 放電制御
- VBUS コンシューマ NFET 用ゲートドライバー
- レガシー充電のための充電器検出ブロック (例: BC1.2、Apple 充電、など)
- 短絡保護回路 (SCP)
- VBUS から CC SCP

1.2.1 USB PD 物理層

USB PD サブシステムには、USBPD 物理層ブロックとサポート回路が含まれています。USBPD 物理層は、PD 3.1 仕様に基づいて CC チャネル上で BMC エンコードデータを通信するトランスミッタとレシーバーで構成されています。すべての通信は半二重です。物理層または PHY はチャネル上の通信エラーを最小限に抑えるために衝突回避を実行します。USBPD ブロックには、USB Type-C 仕様で要求されるすべての終端抵抗 (R_p および R_d) とそのスイッチが含まれています。 R_p と R_d の抵抗は、接続検出、プラグの方向検出、および USB ソース / シンクの役割の確立に必要です。 R_p 抵抗は電流源として実装されています。

PMG1-B1 デバイスファミリーと付属のファームウェアは、USB Power Delivery 仕様のリビジョン 3.1 に完全に準拠しています。このデバイスは、3.3 ~ 21 V のすべての有効電圧でプログラマブル電源 (PPS) 動作をサポートしています。

EZ-PD™ PMG1-B1 デバイスは、待機電力を最小にするため、非接続状態 (スタンバイ状態) での HW 制御による R_p をサポートしています。

EZ-PD™ PMG1-S1 は、最大 260 バイトのデータを含む USBPD 拡張メッセージをサポートします。拡張メッセージは、USBPD 2.0 ハードウェアで予想されるよりも大きくなります。USBPD プロトコル仕様に基づき、USBPD 3.1 準拠のデバイスはチャンキングメカニズムを実装しており、ソースとシンクの両方

がより長いメッセージ長の互換性を確認し、ネゴシエートしない限り、メッセージはリビジョン 2.0 サイズに制限されます。

1.2.2 VCONN スイッチ

EZ-PD™ PMG1-B1 の内蔵 LDO 電圧レギュレーターは、USB Type-C 仕様で定義された電子マーク付きケーブルアセンブリ (EMCA)、VCONN 搭載デバイス (VPD)、VCONN 搭載アクセサリ (VPA) 向けの 100mW VCONN 電源の供給が可能です。VCONN スイッチや過電流保護などの回路はすべてデバイスに内蔵されています。VCONN 電流が VCONN OCP 制限値を超えた場合、EZ-PD™ PMG1-B1 はユーザーが設定可能な一定回数の再試行の後、Type-C ポートをシャットダウンするよう設定することが可能です。物理的な接続を解除した後にはポートを再有効化できます。

1.2.3 VBUS UVP および OVP

VBUS の低電圧、過電圧の故障は内部抵抗分割で監視します。障害閾値と応答時間は、ユーザーによる設定が可能です。UVP または OVP が発生した場合、EZ-PD™ PMG1-B1 は、ユーザーが設定可能な一定回数の再試行の後、Type-C ポートをシャットダウンするよう設定することが可能です。ポートを物理的に切断し、再接続すると再有効化できます。

1.2.4 VOUT OCP および SCP

VOUT の過電流、短絡故障は内部 CSA で監視されます。OVP、UVP と同様に、OCP、SCP の障害閾値と応答時間も設定可能です。OCP または SCP が発生した場合、PMG1-B1 は昇降圧コントローラーをシャットダウンするように設定できます。

1.2.5 VOUT 用 HS-CSA

EZ-PD™ PMG1-B1 デバイスファミリは、VOUT 経路に直列接続した外部抵抗 (5 mΩ) による VOUT 電流測定と制御をサポートしています。この抵抗にかかる電圧降下を利用して、平均出力電流を測定します。また、同じ抵抗で定電流動作モードの出力電流を検知し、精密に制御します。

1.2.6 VBUS 放電制御

このチップは、高電圧 (21.5 V) の VBUS 放電回路をサポートしています。デバイスの断線、故障、ハードリセットを検出すると、チップは USBPD 仕様で規定された時間内に出力 VBUS ピンを vSafe5V または vSafe0V に放電します。

1.2.7 VBUS コンシューマ NFET 用ゲートドライバー

EZ-PD™ PMG1-B1 デバイスは、VBUS コンシューマパスの外部ハイサイド NFET のゲートを駆動するための高電圧ゲートドライバーを統合しています。ゲートドライバーは、VBUS_C と CSPI 間の接続を制御するロードスイッチを駆動します。VBUS_CTRL はこのゲートドライバーの出力です。外付け NFET をオフにするには、ゲートドライバーは VBUS_CTRL を 0V に駆動し、オンにするには、ゲートを VBUS_C + 8 V に駆動します。オプションとして、出力の大電流スパイクを低減するスローターンオン機能があります。標準的なゲート容量が 3nF の場合、ファームウェアでスローターンオン時間を 2 ~ 10ms に設定できます。

1.2.8 レガシー充電の検出とサポート

EZ-PD™ PMG1-B1 は、USB BC.1.2, レガシー Apple 充電、クアルコム急速充電 2.0/3.0/4.0/5.0 サムスン AFC プロトコルの充電器エミュレーションと検出 (ソースとシンク) を実行します。

1.2.9 VBUS CC 間ショート保護機能

CC ピンは、高電圧の VBUS と VBAT への偶発的なショートからの保護機能を内蔵しています。EZ-PD™ PMG1-B1 デバイスは、CC ピンで 24 V までの外部電圧を損傷することなく扱えます。CC ピンに過電圧が検出された場合、Type-C ポートを完全にシャットダウンするように設定できます。検出された CC 電圧が正常な範囲内であれば、ポートは正常な動作を再開します。

1.3 昇降圧サブシステム

EZ-PD™ PMG1-B1 デバイスの降圧サブシステムは、昇降圧モード、降圧オンリーモード、昇圧オンリーモードで動作するように設定することが可能です。昇降圧モードでは 4 個の外付けスイッチング FET が必要ですが、降圧オンリーモードと昇圧オンリーモードでは 2 個の FET で済みます。Figure 1 は、昇降圧サブシステムの主な外付け部品とその接続を示したものです。

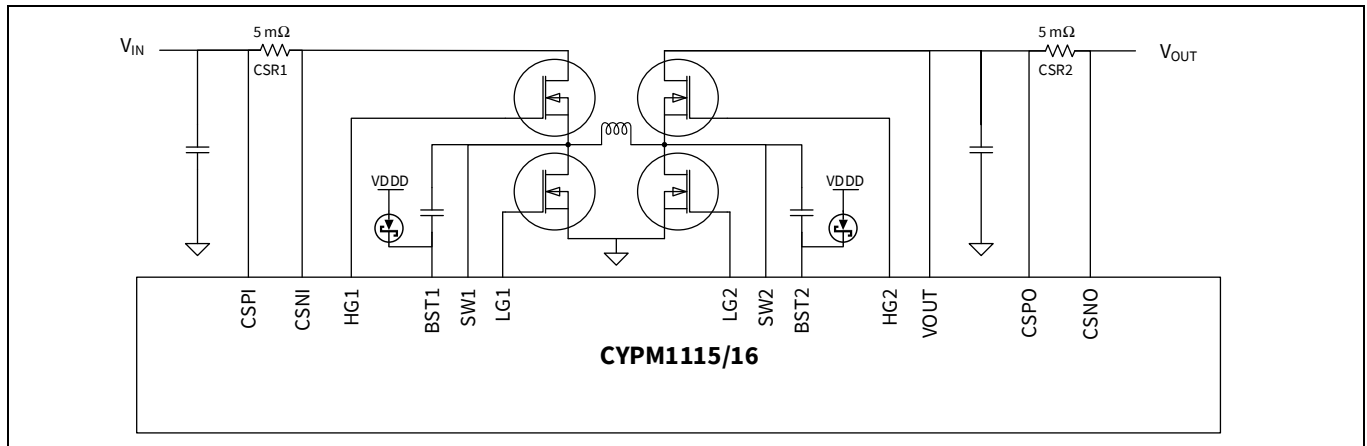


Figure 1 昇降圧回路図 (外付け部品含む)

EZ-PD™ PMG1-B1 デバイスの降圧サブシステムは、以下の主要な機能ブロックを備えています。

- ・ サイクルごとのハイサイド CSA
- ・ ハイサイドおよびローサイドゲートドライバ
- ・ パルス幅変調器 (PWM)
- ・ エラーアンプ (EA)

1.3.1 サイクルごとのハイサイド CSA

EZ-PD™ PMG1-B1 デバイスの昇降圧コントローラーは、昇圧モードと降圧モードの両方においてピーク電流制御を実装しています。ハイサイド CSA は、降圧制御用 FET と直列に配置された外部抵抗 (5 mΩ、Figure 1 「CSR1」 参照) を通じて、ピーク電流を検出するために使用されます。この CSA は高い帯域幅と非常に広い共通モード幅を有しています。この CSR は、Figure 1 に示すように、ピン CSPI と CSNI を介して CSA ブロックに接続されています。内部電流ループのサブハーモニック発振を回避するためのスロープ補正を行うブロックです。ピーク電流検出機能に加えて、電流がプログラム可能な上限閾値に達した場合、昇降圧コンバーターを停止させる電流制限コンパレータを備えています。

1.3.2 ハイサイドゲートドライバー、ローサイドゲートドライバー (HG/LG)

EZ-PD™ PMG1-B1 昇降圧コントローラーは、4つの N チャンネル MOSFET ゲートドライバーを備えています。HG1 および HG2 ピンの 2 つのフローティングハイサイドゲートドライバーと、LG1 および LG2 ピンの 2 つのグランド基準のローサイドドライバーです。ハイサイドゲートドライバーは、5V (公称 VGS) でハイサイドの外付け FET を駆動します。ハイサイドゲートドライバーは、外付け FET を駆動するための駆動強度をプログラムできます。外付けコンデンサとショットキーダイオードがブートストラップネットワークを形成し、ハイサイド FET の駆動に必要な高電圧源 (HG1 は VIN+ ~ 5V、HG2 は VOUT+ ~ 5V) を収集、蓄積します。ローサイドゲートドライバーは、EZ-PD™ PMG1-B1 の内蔵 LDO レギュレーターから供給され、PVDD-PGND 間のコンデンサに蓄積されたエネルギーを用いて、公称 VGS 5V でローサイドの外部 FET を駆動します。ローサイドゲートドライバーは、外付け FET を駆動するための駆動強度をプログラムすることができます。ドライブ強度に加えて、ハイサイドゲートドライバーとローサイドゲートドライバーは、デッドタイム制御とゼロクロスレベルもプログラム可能です。ハイサイドゲートドライバーとローサイドゲートドライバーブロックは、ダイオードエミュレーションによる不連続伝導モード (DCM) を実行するためのゼロクロッシング検出器 (ZCD) を搭載しています。

スイッチング FET のゲートドライバーは、VIN 電圧が 4.5V から 24V の間であれば、公称駆動電圧レベル (5V) で機能します。

1.3.3 エラーアンプ (EA)

EZ-PD™ PMG1-B1 昇降圧コントローラーは、出力電圧と電流を調整するために 2 つの EA を搭載しています。EA はトランスコンダクタンス型アンプで、電圧ループ、電流ループともにグランドへの補償ピン (COMP) を 1 つ備えています。電圧レギュレーションでは、出力電圧と内部基準電圧を比較し、EA の出力が PWM ブロックに供給されます。電流レギュレーションでは、外部抵抗を介して VOUT ハイサイド CSA で平均電流を感知します。VOUT CSA の出力は EA ブロックで内部基準と比較され、EA 出力は PWM ブロックに供給されます。EZ-PD™ PMG1-B1 ファームウェアは、電源から出力される必要な VOUT 電圧を達成するために、プログラマブルな EA 回路を設定し、制御します。

1.3.4 パルス幅変調器 (PWM)

EZ-PD™ PMG1-B1 デバイスファミリの PWM ブロックは、ピーク電流モード制御で外部 FET を駆動するゲートドライバー用の制御信号を生成します。最小 / 最大パルス幅、最小 / 最大周期、周波数、パルススキップレベルなど、プログラム可能なオプションが多数あり、システム設計を最適化することができます。

EZ-PD™ PMG1-B1 デバイスは、ファームウェアで選択可能な 2 つの動作モードがあり、軽負荷条件下で効率を最適化し、損失を低減させます。PSM と FCCM です。

1.3.5 パルススキップモード (PSM)

パルススキップモードでは、コントローラーは、通常の公称周波数でのスイッチングの「バースト」動作を行い、スイッチングを行わない間隔を挟むことで、アクティブスイッチング周波数を下げずにスイッチングパルスの総数を減らすことができます。このため、出力電圧はスイッチングバースト時に上昇し、静止期間中に下降します。このモードでは、出力電圧のリプルが高くなる代わりに、損失は最小限に抑えられます。このモードでは、EZ-PD™ PMG1-B1 デバイスは、降圧または昇圧同期 FET の電圧を監視して、インダクタ電流がゼロになるタイミングを検出します。このとき、EZ-PD™ PMG1-B1 デバイスは、降圧または昇圧同期 FET をオフにして、出力コンデンサからの逆流を防ぎます。(つまり、ダイオードエミュレーションモードです)。このモードのいくつかのパラメータはファームウェアでプログラム可能であり、ユーザーは軽負荷効時の効率と出力リップルのバランスを独自に調整することができます。

1.3.6 強制連続導通モード (FCCM)

FCCM モードでは、公称スイッチング周波数は常に維持され、出力電圧と電流を維持するために必要なスイッチングサイクルの一部において、インダクタ電流がゼロ以下になります (すなわち「逆流」する、または出力から入力になる)。これにより、軽負荷時の効率を犠牲にしながらも、出力電圧のリプルを最小限に抑えます。

1.4 昇降圧コントローラーの動作領域

入力側 CSA の出力と EA の出力を比較し、PWM のパルス幅を決定します。PWM ブロックは、入力電圧と出力電圧を比較して、降圧、昇圧、降圧 - 昇圧の領域を決定します。4 つのゲートドライバー (HG1, LG1, HG2, LG2) のスイッチング時間 / 周期は、ブロックが動作する領域や DCM や FCCM などのモードによって異なります。各領域への遷移のための正確な VIN 対 VOUT 閾値は、ヒステリシスを含めてファームウェアで調整可能です。

1.4.1 降圧領域動作 (VIN >> VOUT)

VIN 電圧が必要な VOUT 電圧より大幅に高い場合、EZ-PD™ PMG1-B1 デバイスは、降圧領域で動作します。この領域では、昇圧側 FET は不活性化され、昇圧制御 FET (LG2 に接続) はオフ、昇圧同期 FET (HG2 に接続) はオンとなります。降圧側 FET は、Figure 2 に示すように、同期整流を行う降圧コンバーターとして制御されます。

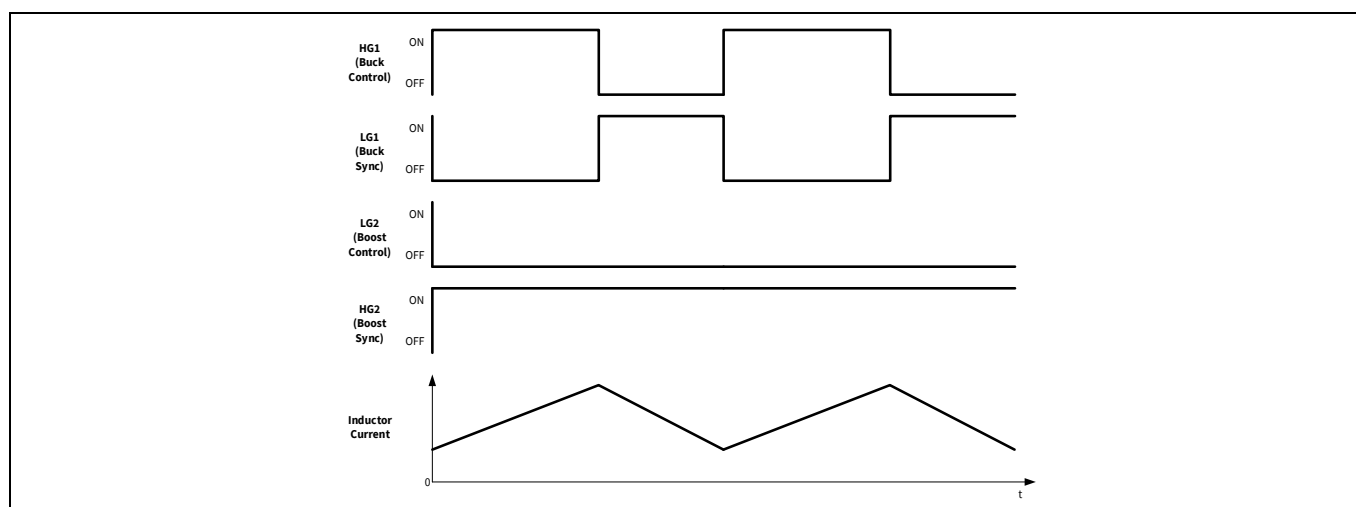


Figure 2 降圧動作の波形

1.4.2 昇圧領域の動作 (VIN << VOUT)

VIN 電圧が必要な VOUT 電圧より大幅に低い場合、EZ-PD™ PMG1-B1 デバイスは昇圧領域で動作します。この領域では、降圧側 FET が不活性化され、同期 FET がオフ、降圧制御 FET がオンとなります。昇圧側 FET は、Figure 3 に示すように、同期整流型昇圧コンバーターとして制御されます。

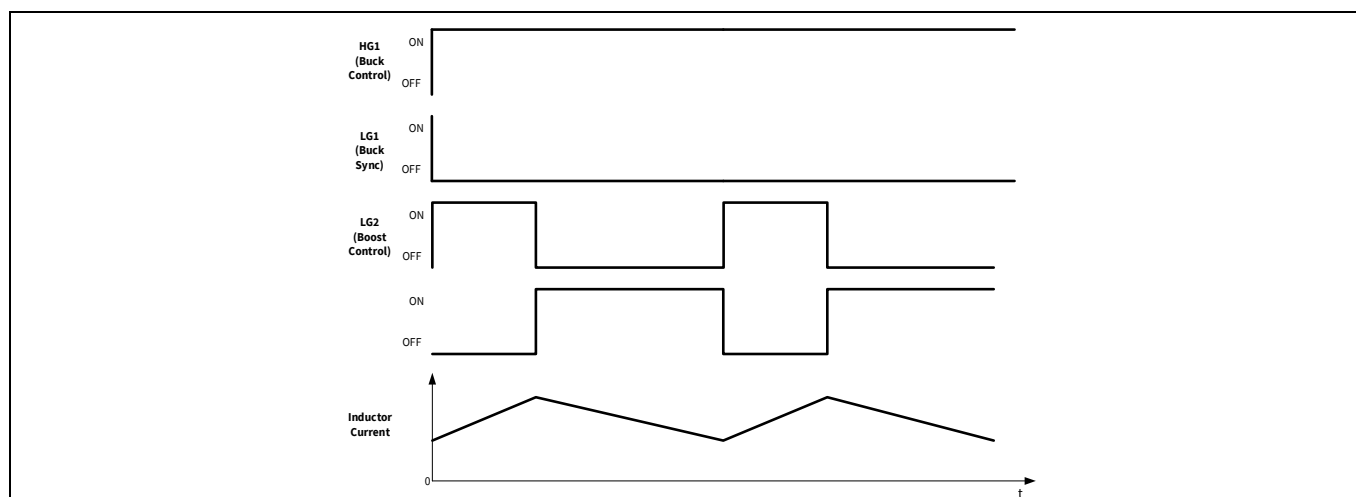


Figure 3 昇圧動作の波形

1.4.3 降圧領域 1 の動作 ($V_{IN} \sim V_{OUT}$)

V_{IN} 電圧が必要な V_{OUT} 電圧よりわずかに高い場合、EZ-PD™ PMG1-B1 デバイスは降圧領域 1 で動作します。この領域では、昇圧側は 20% の固定デューティサイクル (プログラマブル) で動作し、降圧側 (LG1/HG1) のデューティサイクルを変調して出力電圧を制御します。この動作領域では、Figure 4 に示すように、4 つの FET はすべて毎サイクルスイッチングします。

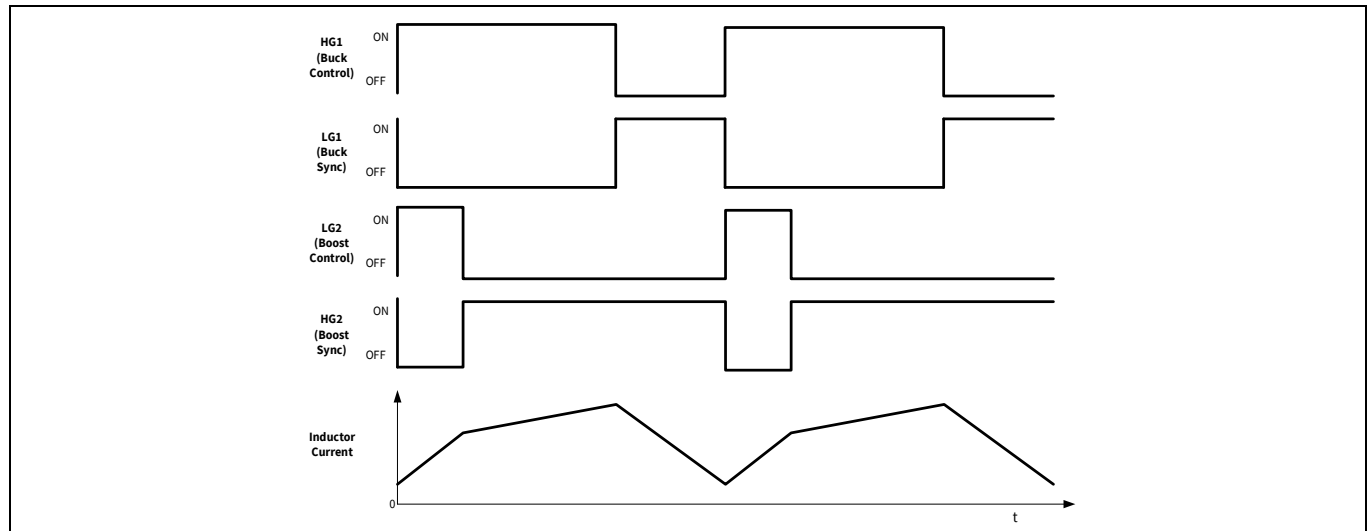


Figure 4 降圧領域 1 ($V_{IN} \sim V_{OUT}$) の動作波形

1.4.4 降圧領域 2 の動作 ($V_{IN} \sim < V_{OUT}$)

V_{IN} 電圧が必要な V_{OUT} 電圧よりわずかに低い場合、EZ-PD™ PMG1-B1 デバイスは昇降圧領域 2 で動作します。この領域では、降圧側が 80% の固定デューティサイクル (プログラマブル) で動作し、昇圧側 (LG2) のデューティサイクルを変調して出力電圧を制御します。この動作領域では、Figure 5 に示すように、4 つの FET はすべて毎サイクルスイッチングしている。

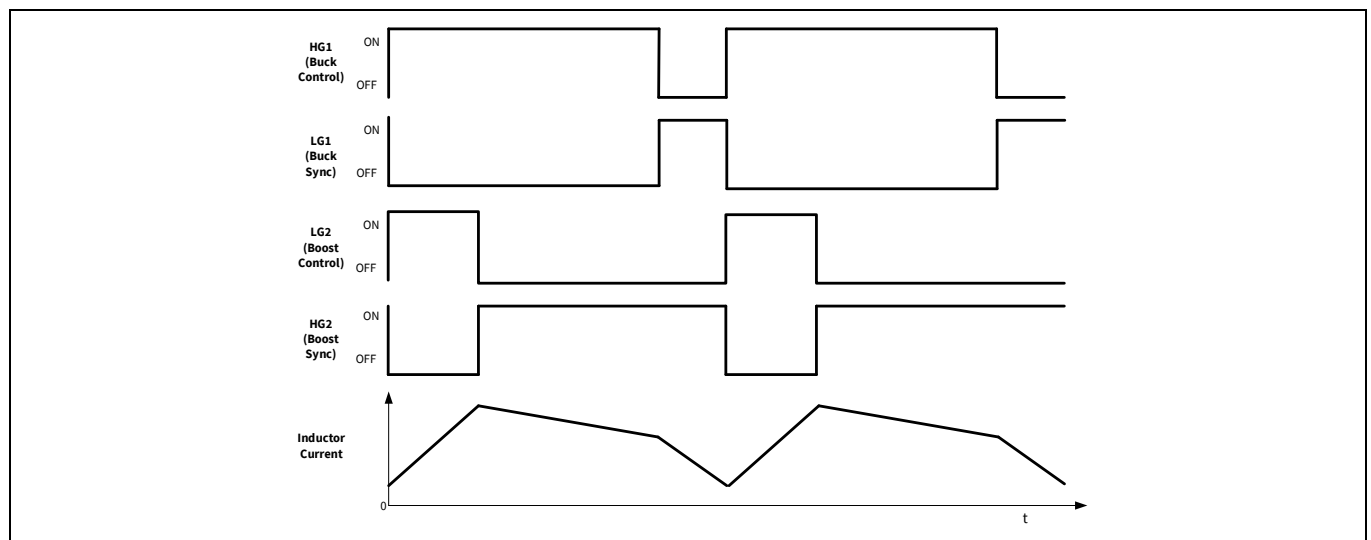


Figure 5 昇圧領域 2 ($V_{IN} \sim < V_{OUT}$) 動作波形

1.4.5 スイッチング周波数とスペクトラム拡散

EZ-PD™ PMG1-B1 デバイスは、150 kHz ~ 600 kHz の間でスイッチング周波数のプログラマブル化を実現しました。コントローラーは、すべての動作モードにおいて、動作周波数範囲内のスペクトラム拡散クロックをサポートしています。スペクトラム拡散は、充電アプリケーションにおいて、スイッチングによって発生するエミッションを固定周波数ではなく広いスペクトラムに拡散し、特定の周波数におけるピークエネルギーを低減することで、EMC/EMI の要件を満たすために不可欠です。スイッチング周波数とスペクトラム拡散スパンの両方がファームウェアでプログラム可能です。

1.5 アナログブロック

1.5.1 ADC

EZ-PD™ PMG1-B1 デバイスは、2つの8ビット SAR ADC と1つの12ビット SAR ADC を搭載しています。8ビット SAR ADC は、チップ内の汎用 A/D 変換アプリケーションに使用されます。12ビット SAR ADC は、バッテリー監視アプリケーションに使用されます。すべての ADC は、オンチップアナログ Mux を通して GPIO からアクセスすることができます。8ビット ADC の詳細な仕様については、Table 25 を参照してください。12ビット ADC の詳細な仕様については、Table 26 および Table 27 を参照してください。

1.6 デジタルブロックの統合

1.6.1 シリアル通信ブロック (SCB)

EZ-PD™ PMG1-B1 デバイスは、I²C、SPI、UART または LIN 用に構成可能な3つの SCB ブロックを搭載しています。これらのブロックは、マルチマスター構成が可能なフルマルチマスターおよびスレーブ I²C インターフェースを実装しています。この I²C 実装は、Philips 社の標準 I²C 仕様 v3.0 に準拠したものです。これらのブロックは最大 1Mbps で動作し、CPU 用の割込みオーバーヘッドと遅延を削減するためのバッファリングオプションを柔軟に選択できます。SCB ブロックは、受信と送信に8バイトの深さの FIFO をサポートしており、CPU がデータを読み込む時間を増やすことで、CPU がデータを読み込むのに間に合わないことによって生じるクロックストレッチの必要性を大幅に軽減しています。SCB0 の I²C ポート I/O は過電圧許容 (OVT) です。SCB1-2 の I²C ポートは、OVT ではありません。

1.6.2 タイマー / カウンター / パルス幅変調器 (TCPWM)

EZ-PD™ PMG1-B1 デバイスの TCPWM ブロックは、8つのタイマーまたはカウンターまたはパルス幅変調器をサポートしています。これらのタイマーは、ファームウェアによる内部タイマーの使用や、GPIO での PWM ベースの機能の提供に利用できます。

1.7 I/O サブシステム

Z-PD™ PMG1-B1 デバイスには、GPIO として使用可能な I²C および SWD ピンを含む 21 個の GPIO があります。GPIO ブロックは以下のものを実装します。

- 8 つの出力駆動モード
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 無効
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS あるいは LVTTTL)
- 入力と出力のディセーブルの個別制御
- 前の状態をラッチするための保持モード (ディープスリープ モードで I/O 状態を維持するため)
- dV/dt 関連のノイズ制御用の選択可能なスルー レート
- 1 組の GPIO に OVT を搭載

電源投入とリセットの間、ブロックは強制的に無効状態にされ、入力を妨害したり、過剰なターンオン電流を発生させたりしないようにします。高速 I/O マトリックス (HSIOM) として知られている多重化ネットワークは、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。USB Type-C ポートなどの固定機能ペリフェラルのピン位置は、内部多重化の複雑さを軽減するために固定されています。データ出力とピンステートレジスタは、それぞれピン上で駆動される値とそれらのピン自体の状態を格納します。

ピンの設定は各デジタル I/O ポート用のソフトウェアを介してレジスタをプログラミングすることによって行えます。各 I/O ピンは有効になった場合に割り込みを生成できます。各 I/O ポートには、割り込み要求 (IRQ) とそれに対応する割り込みサービスルーチン (ISR) のベクタがあります。

I/O ポートはディープスリープモード中にその状態を保持するかオンのままです。リセットで動作が復帰した場合、ピンは High-Z 状態になります。割り込みイベントによって動作が復元されると、ファームウェアがそれを変更するまで、ピンドライバーはその状態を保持します。IO (データバス上) は、パワーダウン時に電流を消費しません。

1.8 システム リソース

1.8.1 ウォッチドッグ タイマー (WDT)

EZ-PD™ PMG1-B1 デバイスは、内部低速発振器 (ILO) から動作する WDT を搭載しています。これにより、ディープスリープ中にウォッチドッグ動作が可能になり、タイムアウトになる前に処理されない場合、ウォッチドッグリセット (WDR) が発生します。WDR はリセット要因レジスタに記録されます。

1.8.2 リセット

EZ-PD™ PMG1-B1 デバイスは、ソフトウェアリセットを含む様々なソースからリセットできます。リセットイベントは非同期であり、既知の状態への復帰を保証しています。リセットの原因はレジスタに記録され、リセット後も保持されるため、アプリケーションファームウェアはリセットの原因を特定できます。XRES ピンは、外部ハードウェアリセットをアサートするための専用ピンです。

1.8.3 クロック システム

EZ-PD™ PMG1-B1 デバイスは、外部水晶振動子を必要としない完全なクロック内蔵型です。EZ-PD™ PMG1-B1 デバイスのクロックシステムは、クロックを必要とするすべてのサブシステム (SCB および PD) にクロックを供給し、異なるクロックソースを切り替える役割を担っています。

HFCLK 信号を図のように分周して、デジタルペリフェラル用の同期クロックを生成できます。クロック分周器は、8 ビット、16 ビット、16 ビットの分数分周機能を備えています。16 ビット的能力により、細かい周波数値を生成でき、非常に柔軟性があります。分周器は、イネーブルドクロック ($N = \text{Divisor}$ の場合、 $1 \text{ in } N$ クロック) または約 50% デューティサイクルクロック (偶数 Divisor の場合は正確に 50%、奇数 Divisor の場合は高低差が 1 クロック) を生成します。

Figure 6 では、PERXYZ_CLK が異なるペリフェラル用のクロックを表しています。

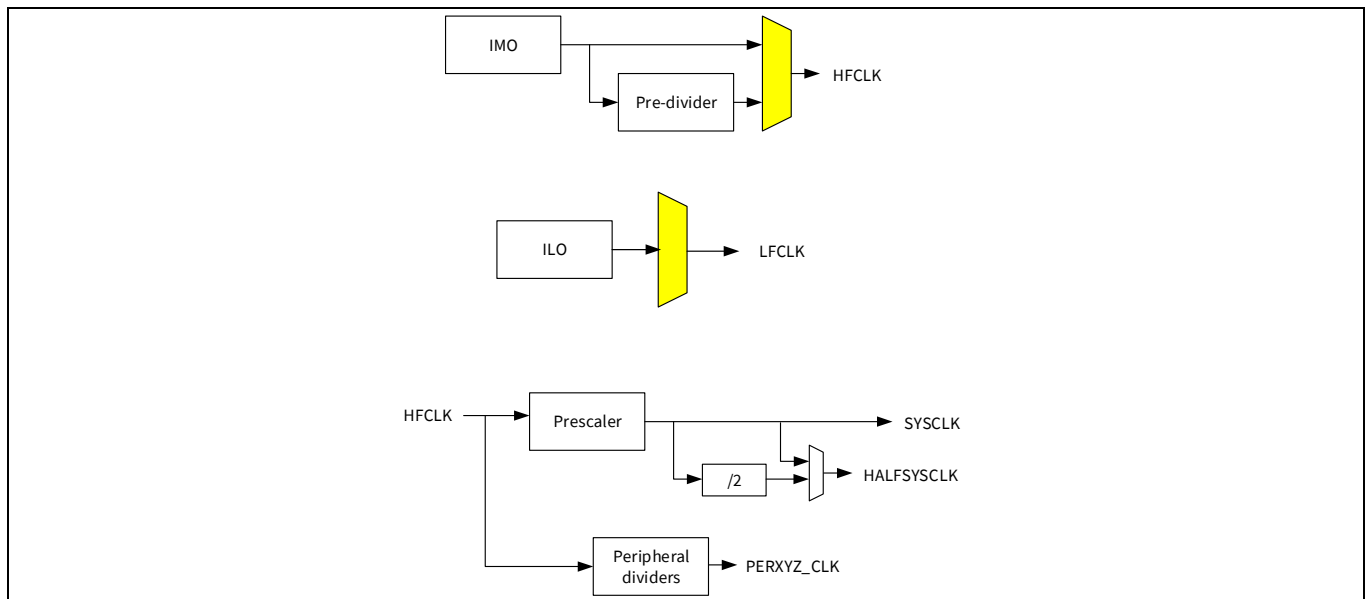


Figure 6 EZ-PD™ PMG1-B1 デバイスのクロッキング構造

1.8.4 内部主発振器 (IMO) クロックソース

IMO は、EZ-PD™ PMG1-B1 デバイスの内部クロックの主要な供給源です。EZ-PD™ PMG1-B1 デバイスの IMO デフォルト周波数は $48 \text{ MHz} \pm 2\%$ です。

1.8.5 ILO クロックソース

ILO は超低消費電力かつ比較的正確な発振器であり、主に USB サスペンド (ディープスリープ) モードでペリフェラルの動作にクロックを生成するために使用されます。

2 パワーサブシステム

Figure 7 に、EZ-PD™ PMG1-B1 デバイスのパワーサブシステム構造の概要を示します。EZ-PD™ PMG1-B1 デバイスの電源サブシステムは、4 ~ 24V の V_{IN} 電源から動作します。 V_{DDD} ピンは、内部 5V LDO の出力で、 V_{IN} 電源から入力されます。CSN0 から IC への入力電源が供給される場合、スタンバイレギュレーター V_{DDD} に 3V を供給します。 V_{DDD} ピンの電流容量は、内部および外部負荷を含めて最大 75 mA です (V_{IN} から供給する場合のみ適用)。EZ-PD™ PMG1-B1 デバイスには、2 種類の電源モードがあります。アクティブスリープとディープスリープです。これらの消費電力モード間の遷移は電源システムによって管理されます。コア (1.8V) レギュレーターの出力である V_{CCD} ピンは、レギュレーターの安定性のみを目的として、0.1 μ F のコンデンサを接続するためだけに引き出されています。本ピンは、外部負荷の電源としてはサポートされません。

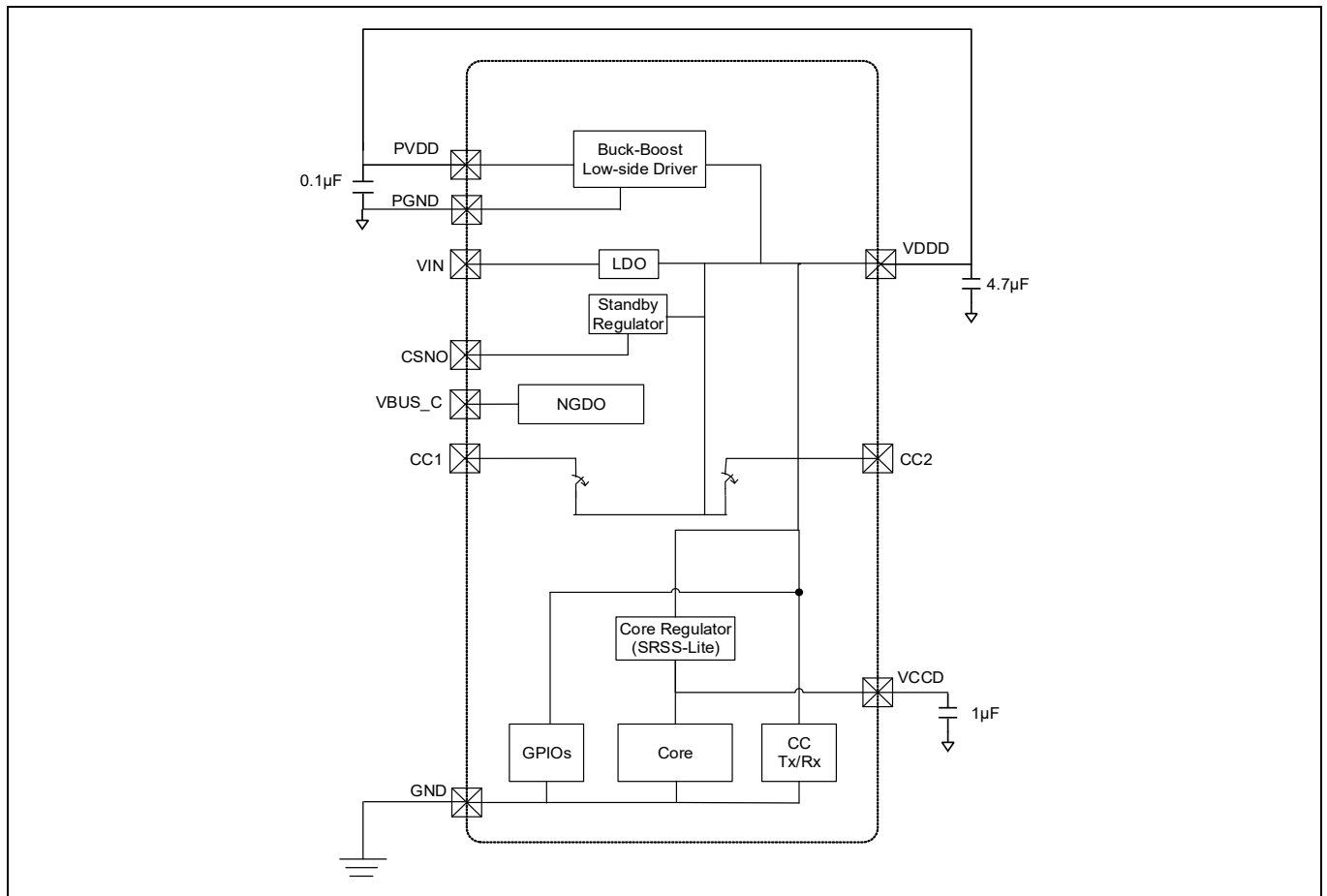


Figure 7 パワーシステムに必要とされるブロック図 [1]

注

- EMI を改善するために、PGND と GND を一緒にレイアウトすることを推奨します。

2.1 VIN 低電圧誤動作防止 (UVLO) 機能

EZ-PD™ PMG1-B1 は、入力電圧が信頼できるレベル以下になったときにデバイスをシャットダウンできるように、UVLO をサポートします。これにより、デバイスが稼働しているときの予測可能な動作が保証されます。

2.2 外部 VDDD 電源の使用

EZ-PD™ PMG1-B1 デバイスでは、デフォルトで外部 VDDD をサポートしていません。ただし、ファームウェアで外部 VDDD 電源の使用を可能にできます。VDDD の外部強制を有効にするためには、VIN を常に VDDD より高く保つことが前提条件です。

2.3 電力モード

ユーザーがアクセスでき、観察可能なデバイスの電源モードは、[Table 1](#) に示します。

Table 1 電力モード

モード	説明
リセット	電源が有効および XRES はアサートされていない。内部リセットソースはアサートされたか、またはスリープコントローラーがシステムをリセット状態から起動している
アクティブ	電源が有効および CPU が命令を実行している
スリープ	電源が有効および CPU が命令を実行していない電力節約のために、動作中でないすべてのロジックはクロックゲートされる
ディープスリープ	メインレギュレータとほとんどのハード IP がオフにされるディープスリープレギュレータがロジックに電源を供給するが、低速クロックのみ利用可能
XRES	電源が有効で XRES がアサートされるコア電源は落ちている

3 ピンリスト

Table 2 48 ピン QFN ピンアウト

ピン #	ピン名	絶対 最小値 (V)	絶対 最大値 (V)	説明
1	BST1	–	PVDD+0.5 ^[2,3]	降圧型ハイサイドゲートドライバーの昇圧電源。ブートストラップコンデンサ ノード。 VDDD から BST1 ヘシヨットキーダイオードを接続します。また、このピンから SW1 にブートストラップコンデンサを接続してください。
2	HG1	-0.5		降圧型ハイサイドゲートドライバー出力。C 降圧 (入力) 側制御 (ハイサイド) FET のゲートに接続します。この接続のインダクタンスを最小にするために、広いトレースを使用してください。絶対最小、最大は SW1 ピンを基準としています。
3	SW1	-0.7	35	降圧型ハイサイドゲートドライバーの負電源レール。 降圧型ローサイドゲートドライバーの ZCD の一方の入力ピンにも接続されています。 降圧側 (入力側) のスイッチノード (インダクタ) に接続します。この接続のインダクタンスと抵抗が最小になるように短くて広いトレースを使用してください。
4	LG1	-0.5	PVDD+0.5 ^[2]	降圧型ローサイドゲートドライバー出力。降圧 (入力) 側同期 (ローサイド) FET ゲートに接続します。この接続のインダクタンスを最小にするために、広いトレースを使用してください。
5	PGND	-0.3	0.3	ローサイドゲートドライバーのグラウンド降圧型ローサイドゲートドライバーの ZCD の一方の入力ピンにも接続されています。ポートの基盤のグラウンドプレーンに直接接続します。
6	PVDD	–	VDDD	ローサイドゲートドライバーの電源 VDDD に接続してください。 1 μ F および 0.1 μ F のバイパスコンデンサは、できるだけ EZ-PD™ PMG1-B1 IC の近くで使用してください。
7	LG2	-0.5	PVDD+0.5 ^[2]	昇圧ローサイドゲートドライバー出力。昇圧 (出力) 側制御 (ローサイド) FET ゲートに接続します。この接続のインダクタンスを最小にするために、幅広いトレースを使用してください。
8	VOUT	-0.3	24	昇降圧型コンバーターの出力。また、昇圧ハイサイドゲートドライバーの逆電流保護用入力ピンの 1 つに接続されています。 昇圧同期 (ハイサイド) FET のドレインに接続します。この接続には、専用 (ケルビン) トレースを使用してください。
9	SW2			昇圧型ハイサイドゲートドライバーの負電源レール。昇圧ハイサイドゲートドライバーの逆電流保護用入力ピンの 1 つに接続されています。 昇圧側 (出力側) のスイッチノード (インダクタ) に接続します。この接続のインダクタンスと抵抗が最小になるように、短くて広いトレースを使用してください。
10	HG2	-0.5	PVDD+0.5 ^[2]	昇圧ハイサイドゲートドライバー出力。昇圧 (出力) 側同期 (ハイサイド) FET ゲートに接続します。この接続のインダクタンスを最小にするために、広いトレースを使用してください。
11	BST2	–		昇圧ハイサイドゲートドライバーの昇圧電源。ブートストラップコンデンサ ノード。V _{DDP} から BST2 ヘシヨットキーダイオードを接続します。また、このピンから SW2 にブートストラップコンデンサを接続してください。
12	VBUS_CTRL	-0.5	32	VBUS NFET ゲートドライバー出力。プロバイダ NFET のゲートに接続します。
13	COMP		PVDD+0.5 ^[2]	EA 出力ピン GND に補償ネットワークを接続します。補償ネットワークの設計については、インフィニオンにお問い合わせください。

注

2. 最大電圧は 6V を超えないようにしてください。
3. GND に対する最大絶対電圧は 40V を超えないようにしてください。

Table 2 48 ピン QFN ピンアウト (続き)

ピン #	ピン名	絶対 最小値 (V)	絶対 最大値 (V)	説明
14	VBUS_C	-0.3	24	Type-C コネクタ VBUS の電圧。Type-C コネクタの VBUS ピンに接続します。
15	VOUT_EA			コンバーター出力からの EA フィードバック電圧の入力
16	CSNO			出力電流検出アンプのマイナス入力。出力電流検出抵抗のマイナスピンに接続します。
17	CSPO			出力 CSA のプラス側入力。出力電流検出抵抗のプラスピンに接続します。
18	CC2	-0.5	24	Type-C コネクタの構成チャンネル 2。ポートの Type-C コネクタの CC2 ピンに直接接続します。また、390pF のコンデンサをグラウンドに接続してください。
19	CC1			Type-C コネクタの構成チャンネル 1。ポートの Type-C コネクタの CC1 ピンに直接接続します。また、390pF のコンデンサをグラウンドに接続してください。
22	VDDD	-	6	5-V LDO の出力。このピンに 1- μ F のセラミックバイパスコンデンサを接続してください。
40	XRES	-0.5	PVDD+0.5 ^[2]	外部リセット - アクティブロー。3.5k Ω ~ 8.5k Ω の内部プルアップを内蔵しています。
43	GND	-	-	チップグラウンド露出パッド (EPAD) に接続する。
44	VDDD		6	5-V LDO の出力。このピンには 10 μ F のバイパスコンデンサを接続してください。
45	VCCD		-	1.8V コア LDO 出力です。0.1 μ F のバイパスコンデンサをグラウンドに接続してください。このピンには他のものを接続しないでください。
46	VIN	-0.3	40	4 ~ 24V の入力電源です。このピンの近くにセラミック製バイパスコンデンサを GND に接続してください。
47	CSPI			入力 CSA のプラス側入力。入力電流検出抵抗のプラスピンに接続します。専用 (ケルビン) 接続をご使用ください。
48	CSNI			入力 CSA のマイナス入力。入力電流検出抵抗のマイナスピンに接続します。専用 (ケルビン) 接続をご使用ください。
-	EPAD	-	-	露出グラウンドパッド。36 ピンと 22 ピンを直接接続してください。

注

- 最大電圧は 6V を超えないようにしてください。
- GND に対する最大絶対電圧は 40V を超えないようにしてください。

Table 3 GPIO ポート、ピンとその機能

48 ピン QFN		SCB 機能			アナログ	TCPWM			故障表示
ピン #	GPIO #	UART	SPI	I2C		ACT#0	ACT#1	ACT#3	
20	DP_GPIO0	-	-	-	-	-	-	-	-
21	DM_GPIO1	-	-	-	-	-	-	-	-
23	GPIO2	-	-	-	-	tcpwm0_line	tcpwm.tr_compare_match[0]:0	tcpwm.tr_in[0]	-
24	GPIO3	-	-	-	-	tcpwm.line[1]:0	tcpwm.tr_compare_match[1]:0	tcpwm.tr_in[1]	-
25	GPIO4	-	-	-	-	tcpwm.line[2]:0	tcpwm.tr_compare_match[2]:0	tcpwm.tr_in[2]	usbpd.fault_gpio0
26	GPIO13	-	-	-	-	tcpwm.line[0]:1	tcpwm.tr_compare_match[0]:1	tcpwm.tr_in[3]	-
27	GPIO14	-	-	-	-	tcpwm.line[1]:1	tcpwm.tr_compare_match[1]:1	tcpwm.tr_in[4]	-
28	GPIO15	-	-	-	-	tcpwm.line[2]:1	tcpwm.tr_compare_match[2]:1	tcpwm.tr_in[5]	-
29	GPIO16	scb[2].uart_cts:0	-	-	-	tcpwm.line[6]:1	tcpwm.tr_compare_match[6]:1	-	-
30	GPIO17	scb[2].uart_rts:0	-	-	sarmux_7	tcpwm.line[5]:1	tcpwm.tr_compare_match[5]:1	-	-
31	GPIO18	scb[2].uart_rx:0	-	-	sarmux_6	tcpwm.line[4]:1	tcpwm.tr_compare_match[4]:1	-	-
32	GPIO19	scb[2].uart_tx:0	-	-	sarmux_5	tcpwm.line[3]:1	tcpwm.tr_compare_match[3]:1	-	-
33	GPIO5	scb[1].uart_rts:0	scb[1].spi_select0:0	-	sarmux_4	tcpwm.line[7]:0	tcpwm.tr_compare_match[7]:0	tcpwm.tr_in[7]	usbpd.fault_gpio1
34	GPIO6	scb[1].uart_rx:0	scb[1].spi_clk:0	scb[1].i2c_scl:0	sarmux_3	tcpwm.line[6]:0	tcpwm.tr_compare_match[6]:0	-	-
35	GPIO7	scb[1].uart_tx:0	scb[1].spi_miso:0	scb[1].i2c_sda:0	sarmux_2	tcpwm.line[5]:0	tcpwm.tr_compare_match[5]:0	-	-
36	GPIO8	scb[0].uart_rts:0	scb[0].spi_select0:0	scb[2].i2c_scl:0	sarmux_1	tcpwm.line[4]:0	tcpwm.tr_compare_match[4]:0	-	-
37	GPIO9	scb[0].uart_cts:0	scb[0].spi_mosi:0	scb[2].i2c_sda:0	sarmux_0	tcpwm.line[3]:0	tcpwm.tr_compare_match[3]:0	-	-
38	GPIO10	scb[1].uart_cts:0	scb[0].spi_miso:0	-	-	-	-	tcpwm.tr_in[6]	-
39	GPIO20	-	-	-	-	tcpwm.line[7]:1	tcpwm.tr_compare_match[7]:1	-	-
41	GPIO11	scb[0].uart_tx:0	scb[1].spi_mosi:0	scb[0].i2c_sda:0	-	-	-	-	-
42	GPIO12	scb[0].uart_rx:0	scb[0].spi_clk:0	scb[0].i2c_scl:0	-	srss.ext_clk:0	-	-	-

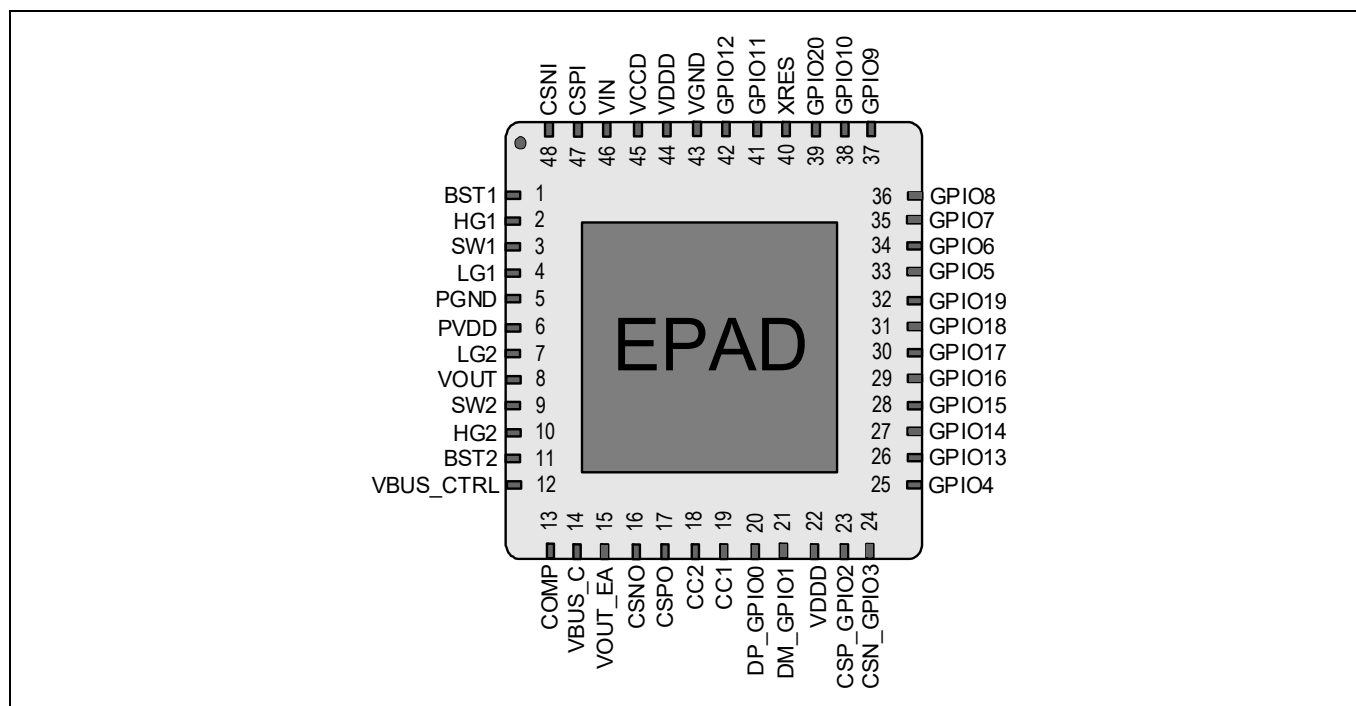


Figure 8 48 ピン QFN ピンアウト

4 EZ-PD™ PMG1-B1 プログラミング

EZ-PD™ PMG1-B1 デバイスのフラッシュを SWD インターフェースでプログラムすることにより、アプリケーションファームウェアを EZ-PD™ PMG1-B1 デバイスに書き込みます。

4.1 SWD インターフェースでデバイスのフラッシュをプログラム

EZ-PD™ PMG1-B1 ファミリーのデバイスは、SWD インターフェースを使用してプログラムできます。インフィニオンは、[CY8CKIT-005 MiniProg4 kit](#) と呼ばれるプログラミングハードウェアを提供しており、これを使用して、ファームウェアのデバッグだけでなく、フラッシュプログラミングを行えます。フラッシュは *hex* ファイルから情報をダウンロードすることでプログラムされます。

Figure 9 のブロック図に示すように、SWD_DAT ピンと SWD_CLK ピンは、それぞれホストプログラマーの SWDIO (データ) ピンと SWDCLK (クロック) ピンに接続されています。SWD プログラミング中は、ホストプログラマーの VTARG (ターゲットデバイスへの電源供給) を EZ-PD™ PMG1-B1 デバイスの VDDD ピンに接続することにより、デバイスへの電源供給が可能です。EZ-PD™ PMG1-B1 デバイスがオンボードの電力で駆動している場合、オプションの「リセットプログラミング」を使用してプログラミングできます。詳しくは、[CCGx \(CYPDxxxx\) プログラミング仕様書](#)を参照してください。

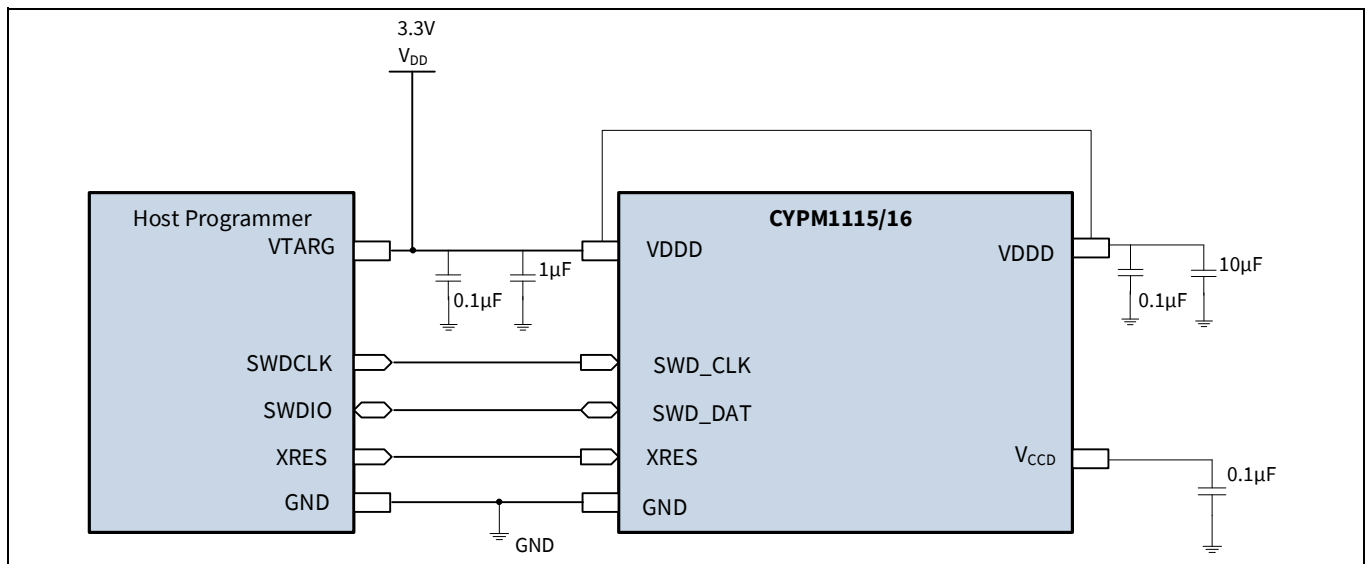


Figure 9 プログラマーと CYPM1115/16 デバイスの接続

EZ-PD™ PMG1-B1 は、外付けの NTC サーミスタを使用してさまざまな温度を測定します。EZ-PD™ PMG1-B1 は、温度に応じて出力を調整し、危険な状況下では出力を遮断します。また、バッテリー電圧を監視し、バッテリー電圧がユーザーの設定した閾値より低い場合は、出力電力を下げます。USB Type-C ポートに負荷が接続されていない場合、EZ-PD™ PMG1-B1 は昇降圧コントローラーのスイッチを入れずにスタンバイモードを維持します。

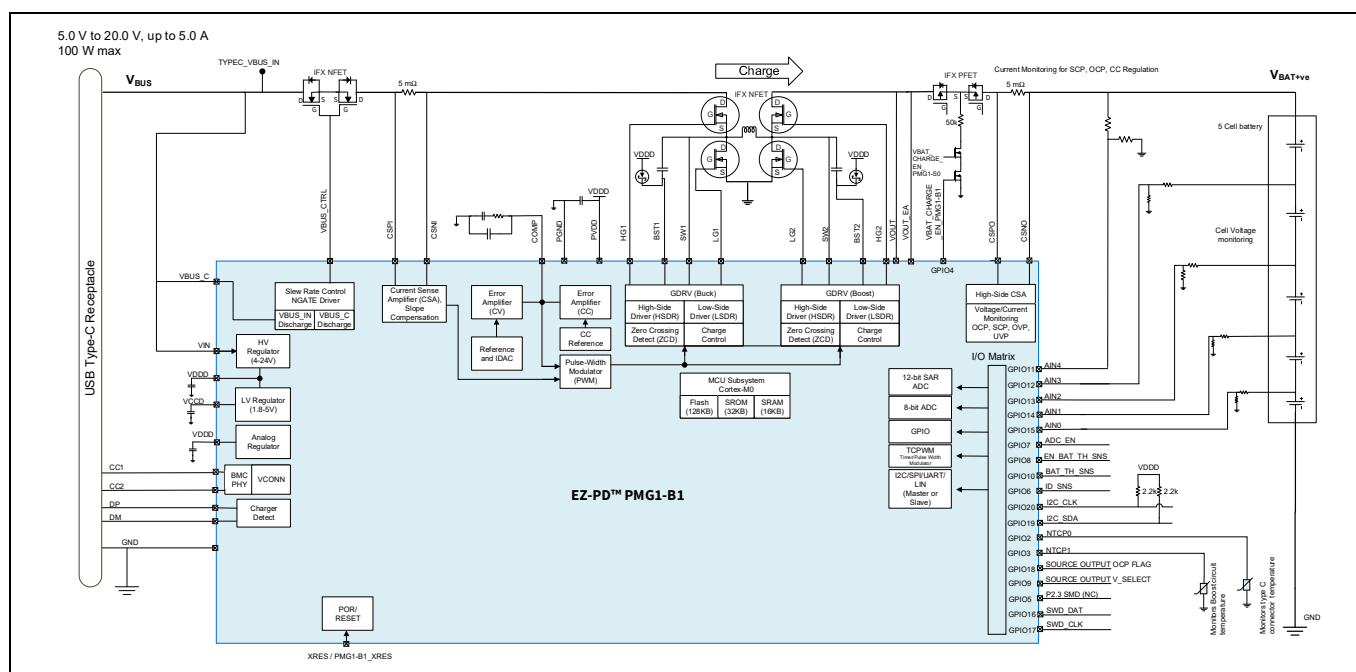


Figure 10 EZ-PD™ PMG1-B1 バッテリーパック充電ソリューション図

6 電氣的仕様

6.1 絶対最大定格

Table 4 絶対最大定格^[5]

記号	説明	Min	Typ	Max	単位	詳細 / 条件
V _{IN_MAX}	最大入力電流	-	-	40	V	-
V _{DDD_MAX}	V _{SS} を基準にした最大電源電圧			6		
V _{5V_MAX}	V _{SS} を基準にした最大電源電圧					
V _{BUS_C_MAX}	V _{SS} を基準にしたる最大 V _{BUS_C} (P0/P1) 電圧			24		
V _{CC_PIN_ABS}	CC1 と CC2 ピンの最大電圧					
V _{GPIO_ABS}	GPIO への入力	-0.5		V _{DDD} + 0.5		
V _{GPIO_OVT_ABS}	OVT GPIO 電圧			6		
I _{GPIO_ABS}	GPIO ごとの最大電流	-25		25	mA	絶対 Max ピンごとの注入され た電流
I _{GPIO_INJECTION}	GPIO 注入電流、V _{IH} > V _{DDD} の場合は Max、V _{IL} < V _{SS} の場合は Min	-0.5		0.5		
ESD_HBM	静電気放電 (人体モデル)	2000			-	V
ESD_CDM	静電気放電 (デバイス帯電モデル)	500		デバイス帯電モデル ESD		
LU	ラッチアップ時のピン電流	-100		100	mA	-
T _J	接合部温度	-40		125	°C	

注

- このデモ用ハードウェアでは、標準コンプライアンスは実行されません。最終的な最終製品のコンプライアンスについては、お客様の責任でお願いします。
- Table 5 に示す絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、高温保存試験」に準拠した 150 °C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様どおりに動作しない可能性があります。

6.2 デバイス レベルの仕様

特記のない限り、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 125^{\circ}\text{C}$ の条件で有効です。仕様は、特に注記した場合を除いて、3.0 ~ 5.5V において有効です。

6.2.1 DC 仕様

Table 5 DC 仕様 (動作条件)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PWR#1	V_{IN}	入力電源電圧	4.0	–	24	V	–
SID.PWR#1A	V_{IN_BB}	降圧動作入力電圧	4.5				
SID.PWR#2	V_{DDD_REG}	での VDDD 出力。 VIN 5.5 ~ 24 V, 最大負荷 = 75 mA	4.6		5.5		
SID.PWR#2A	V_{DDD_BYPASS}	での VDDD 出力。 VDDD 出力、VIN 4.5 ~ 5.5 V, 最大負荷 = 75 mA 時	$V_{IN} - 0.7$				
SID.PWR#3	V_{DDD_MIN}	VDDD 出力 (VIN 4 ~ 4.5 V, 最大負荷 = 20 mA)	$V_{IN} - 0.2$		–		
SID.PWR#20	VBUS	VBUS_C 有効範囲	3.3		21.5		
SID.PWR#5	V_{CCD}	安定化出力電圧 (コアロジック用)	–	1.8	–		
SID.PWR#16	C_{EFC_VCCD}	VCCD の外部レギュレータ 電圧バイパス	80	100	120	nF	X5R セラミック
SID.PWR#17	C_{EXC_VDDD}	V_{DDD} 用電源デカップリン グコンデンサ	–	10	–	μF	
SID.PWR#18	C_{EXV}	ブートストラップ用電源 コンデンサ (BST1, BST2)		0.1			
SID.PWR#24	I_{DD_ACT}	0.4 MHz スイッチング周波 数での消費電流		50			
						mA	$T_A = 25^{\circ}\text{C}$, VIN = 12 V。 CC IO IN 送信 / 受信、 I/O ソース電流なし、 VCONN 負荷電流な し、CPU 速度 24 MHz、PD ポートがア クティブ。昇降圧コ ンバーター オン、 ゲートドライバー容 量 3 nF。

Table 5 DC 仕様 (動作条件) (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
ディープスリープモード:							
SID_DS1	I_{DD_DS1}	$V_{IN} = 12V$ 。CC ウェイクアップがオン、Type-C が未接続、ソースモード。	-	80	-	μA	Type-C は付属しません。ウェイクアップのために CC を有効にします。PD ポートの R_D 接続を有効にします。 $T_A = 25^\circ C$ 。
SID_DS2	I_{DD_DS2}	$V_{IN} = 12V$, GPIO ウェイクアップ		50			USBPD ディセーブル GPIO からのウェイクアップ。 $T_A = 25^\circ C$ 。すべてのフォルトを無効にします。

6.2.2 CPU

Table 6 CPU 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CLK#4	F _{CPU}	CPU 入力周波数	-	-	48	MHz	-40°C ≤ T _A ≤ +105°C, すべての V _{DD}
SID.PWR#19	T _{DEEPSLEEP}	ディープスリープモードからの復帰時間		35	-	μs	
SYS.XRES#5	T _{XRES}	外部リセット パルス幅		5	-		
SYS.FES#1	T _{PWR_RDY}	電源投入から「I ² C/CC コマンドが受信できる」までの時間	-	5	25	ms	

6.2.3 GPIO

Table 7 GPIO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GIO#9	V_{IH_CMOS}	入力電圧 HIGH 閾値	$0.7 \times V_{DD}$	-	-	V	CMOS 入力
SID.GIO#10	V_{IL_CMOS}	入力電圧 LOW 閾値	-		$0.3 \times V_{DD}$		$-40^\circ C \leq T_A \leq +105^\circ C$
SID.GIO#11	V_{IH_TTL}	LVTTL 入力	2.0		-		
SID.GIO#12	V_{IL_TTL}	LVTTL 入力	-		0.8		
SID.GIO#7	V_{OH_3V}	出力電圧 HIGH レベル	$V_{DD} - 0.6$		-		$I_{OH} = -4 mA$, $-40^\circ C \leq T_A \leq +105^\circ C$
SID.GIO#8	V_{OL_3V}	出力電圧 LOW レベル	-		0.6		$I_{OL} = 10 mA$, $-40^\circ C \leq T_A \leq +105^\circ C$
SID.GIO#2	R_{pu}	有効時プルアップ抵抗	3.5	5.6	8.5	$k\Omega$	$-40^\circ C \leq T_A \leq +105^\circ C$
SID.GIO#3	R_{pd}	有効時プルダウン抵抗	3.5	5.6	8.5		

電氣的仕様

Table 7 GPIO の DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GIO#4	I_{IL}	入力リーク電流 (絶対値)	-	-	2	nA	+25°C T_A 、3V V_{DD}
SID.GIO#5	C_{PIN_A}	ピン最大負荷容量			22	pF	-40°C ≤ T_A ≤ +105°C, DP、DM ピンの静電容量
SID.GIO#6	C_{PIN}	ピン最大負荷容量			7		-40°C ≤ T_A ≤ +105°C, すべての V_{DD} 、 その他すべての I/O
SID.GIO#13	V_{HYSTTL}	入力ヒステリシス、 LVTTL、 $V_{DD} \geq 2.7V$	100	-	-	mV	$V_{DD} \geq 2.7V$
SID.GIO#14	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.1 \times V_{DD}$				-

Table 8 GPIO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GIO#16	T _{RISEF}	高速ストロング モードでの立ち上がり時間	2	-	12	ns	C _{load} = 25 pF, -40°C ≤ T _A ≤ +105°C
SID.GIO#17	T _{FALLF}	高速ストロング モードでの立ち下り時間					
SID.GIO#18	T _{RISES}	低速ストロング モードでの立ち上がり時間	10		60		
SID.GIO#19	T _{FALLS}	低速ストロング モードでの立ち下り時間					
SID.GIO#20	F _{GPIO_OUT1}	GPIO F _{OUT} ; 3.0V ≤ V _{DDD} ≤ 5.5V。高速ストロングモード	-		16	MHz	
SID.GIO#21	F _{GPIO_OUT2}	GPIO F _{OUT} ; 3.0V ≤ V _{DDD} ≤ 5.5V。低速ストロングモード			7		
SID.GIO#22	F _{GPIO_IN}	GPIO 入力動作周波数。 3.0V ≤ V _{DDD} ≤ 5.5V			16		-40°C ≤ T _A ≤ +105°C

EZ-PD™ PMG1-B1 USB Type-C 昇降圧コントローラー シングルポート



電氣的仕様

Table 9 GPIO OVT の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GPIO_20VT_GIO#4	GPIO_20VT_I_LU	GPIO_20VT ラッチ アップ電流制限値	-140	-	140	mA	入力または出力、 ピン間、ピンと 電源間を流れる Max/Min 電流
SID.GPIO_20VT_GIO#5	GPIO_20VT_RPU	GPIO_20VT プル アップ抵抗値	3.5		8.5	kΩ	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$ 、すべての V_{DDD}
SID.GPIO_20VT_GIO#6	GPIO_20VT_RPD	GPIO_20VT プルダ ウン抵抗値			8.5		
SID.GPIO_20VT_GIO#16	GPIO_20VT_IIL	GPIO_20VT 入力 リーク電流 (絶対 値)	-		2	nA	$+25^{\circ}\text{C } T_A$ 、 $3V V_{\text{DDD}}$
SID.GPIO_20VT_GIO#17	GPIO_20VT_CPIN	GPIO_20VT ピン 容量			10	pF	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$ 、すべての V_{DDD}
SID.GPIO_20VT_GIO#33	GPIO_20VT_Voh	GPIO_20VT 出力 HIGH 電圧	$V_{\text{DDD}} - 0.6$		-	V	$I_{\text{OH}} = -4 \text{ mA}$
SID.GPIO_20VT_GIO#36	GPIO_20VT_Vol	GPIO_20VT 出力 LOW 電圧	-		0.6		$I_{\text{OL}} = 8 \text{ mA}$
SID.GPIO_20VT_GIO#41	GPIO_20VT_Vih_LVTTL	GPIO_20VT - LVTTL 入力	2		-		$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$ 、すべての V_{DDD}
SID.GPIO_20VT_GIO#42	GPIO_20VT_Vil_LVTTL	GPIO_20VT - LVTTL 入力	-		0.8		
SID.GPIO_20VT_GIO#43	GPIO_20VT_Vhysttl	GPIO_20VT 入力ヒ ステリシス LVTTL	100		-	mV	
SID.GPIO_20VT_GIO#45	GPIO_20VT_ITOT_GPIO	GPIO_20VT の最大 総シンクピン電流 (対地間)。	-		95	mA	$V(\text{GPIO}_20\text{VT pin}) > V_{\text{DDD}}$

Table 10 GPIO/OVT の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GPIO_20VT_70	GPIO_20VT_TriseF	GPIO_20VT 高速ストロングモードでの立ち上り時間	1	-	15	ns	すべての V_{DD} 、 $C_{load} = 25\text{pF}$
SID.GPIO_20VT_71	GPIO_20VT_TfallF	GPIO_20VT 高速ストロングモードでの立ち下り時間					
SID.GPIO_20VT_GPIO#46	GPIO_20VT_TriseS	GPIO_20VT 低速ストロングモードでの立ち上り時間	10		70		
SID.GPIO_20VT_GPIO#47	GPIO_20VT_TfallS	GPIO_20VT 低速ストロングモードでの立ち下り時間					
SID.GPIO_20VT_GPIO#48	GPIO_20VT_FGPIO_OUT1	GPIO_20VT GPIO Fout; 3 $V \leq V_{DD} \leq 5.5\text{V}$ 。高速ストロングモード。	-		33	MHz	
SID.GPIO_20VT_GPIO#50	GPIO_20VT_FGPIO_OUT3	GPIO_20VT GPIO Fout; 3 $V \leq V_{DD} \leq 5.5\text{V}$ 。低速ストロングモード。			7		
SID.GPIO_20VT_GPIO#52	GPIO_20VT_FGPIO_IN	GPIO_20VT GPIO 入力動作周波数; $3\text{V} \leq V_{DD} \leq 5.5\text{V}$			8		すべての V_{DD}

6.2.4 XRES

Table 11 XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.XRES#1	V_{IH_XRES}	XRES ピンの HIGH 入力電圧の閾値	$0.7 \times V_{DD}$	-	-	V	CMOS 入力
SID.XRES#2	V_{IL_XRES}	XRES ピンの LOW 入力電圧の閾値	-		$0.3 \times V_{DD}$		
SID.XRES#3	C_{IN_XRES}	XRES ピンの入力容量			7	pF	-
SID.XRES#4	$V_{HYSXRES}$	XRES ピンの入力電圧ヒステリシス			-	mV	

6.3 デジタル ペリフェラル

次の仕様は、タイマーモードでのタイマー / カウンター / PWM ペリフェラルに適用されます。

6.3.1 GPIO ピン用のパルス幅変調 (PWM)

Table 12 PWM の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.TCPWM.1	TCPWM _{FREQ}	動作周波数	–	–	F _c	MHz	F _c max = CLK_SYS
SID.TCPWM.3	T _{PWMEXT}	出力トリガ パルス幅	2/F _c		–	ns	オーバーフロー、アンダーフローおよび CC (カウンター = 比較値) 出力の最小幅
SID.TCPWM.4	T _{CRES}	カウンターの分解能	1/F _c				逐次カウント同士間の最小時間
SID.TCPWM.5	PWM _{RES}	PWM 分解能					PWM 出力の最小パルス幅

6.3.2 I²C

Table 13 固定 I²C の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID153	F _{I2C1}	ビット レート	–	–	1	Mbps	–

6.3.3 UART

Table 14 固定 UART の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID162	F _{UART}	ビット レート	–	–	1	Mbps	–

6.3.4 SPI

Table 15 固定 SPI の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID166	F_{SPI}	SPI 動作周波数 (マスタ; 6 倍オーバーサンプリング)	–	–	8	MHz	–

Table 16 固定 SPI マスタ モードの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID167	T_{DMO}	Sclock 駆動エッジ後の MOSI 有効期間	–	–	15	ns	–
SID168	T_{DSI}	Sclock 駆動エッジ前の MISO 有効時間	20	–	–	–	フルクロック、MISO の遅いサンプリング
SID169	T_{HMO}	直前の MOSI データ ホールド時間	0	–	–	–	スレーブ取得エッジを基準にする

Table 17 固定 SPI スレーブ モードの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID170	T_{DMI}	Sclock 駆動エッジまでの MOSI 有効期間	40	–	–	ns	–
SID171	T_{DSO}	Sclock 駆動エッジ後の MISO 有効期間	–	–	48 + (3 × T_{CPU})	–	$T_{CPU} = 1/F_{CPU}$
SID171A	T_{DSO_EXT}	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効時間	–	–	48	–	–
SID172	T_{HSO}	直前の MISO データ ホールド時間	0	–	–	–	–
SID172A	$T_{SSELSCK}$	SSEL 有効から最初の SCK 有効エッジまでの時間	100	–	–	–	–

6.3.5 メモリ

Table 18 フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.MEM#2	FLASH_WRITE	行 (ブロック) 書き込み時間 (消去 + プログラム)	-	-	20	ms	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, すべての V_{DD}
SID.MEM#1	FLASH_ERASE	行消去時間			15.5		
SID.MEM#5	FLASH_ROW_PGM	消去後の行プログラム時間			7		
SID178	$T_{\text{BULKERASE}}$	バルク消去時間 (32KB)			35		
SID180	T_{DEVPROG}	総デバイス プログラム時間			7.5	s	-
SID.MEM#6	FLASH_ENPB	フラッシュ書き込み耐性	100k	-	-	サイクル	$25^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$, すべての V_{DD}
SID182	F_{RET1}	フラッシュ データ保持期間、 $T_A \leq 55^{\circ}\text{C}$ 、 10 万回の P/E サイクル	20			年	-
SID182A	F_{RET2}	フラッシュ データ保持期間、 $T_A \leq 85^{\circ}\text{C}$ 、 1 万回の P/E サイクル	10				

6.4 システム リソース

6.4.1 電圧低下時のパワーオンリセット (POR)

Table 19 低精度パワーオンリセット (IPOR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID185	$V_{RISEIPOR}$	パワーオンリセット (POR) 立ち上りトリップ電圧	0.80	–	1.50	V	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$, すべての V_{DD}
SID186	$V_{FALLIPOR}$	POR 立ち下りトリップ電圧	0.70		1.4		

Table 20 高精度 POR

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID190	$V_{FALLPPOR}$	アクティブ / スリープモードでの BOD トリップ電圧	1.48	–	1.62	V	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$, すべての V_{DD}
SID192	$V_{FALLDPSLP}$	ディープスリープモードでの BOD トリップ電圧	1.1		1.5		

6.4.2 SWD インターフェース

Table 21 SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.SWD#1	F_SWCLK1	$3.0\text{V} \leq V_{\text{DDIO}} \leq 5.5\text{V}$	–	–	14	MHz	–
SID.SWD#2	T_SWDI_SETUP	$T = 1/f\text{ SWDCLK}$	$0.25 \times T$		–	ns	–
SID.SWD#3	T_SWDI_HOLD						
SID.SWD#4	T_SWDO_VALID		–		$0.50 \times T$		
SID.SWD#5	T_SWDO_HOLD		1		–		

6.4.3 内部主発振器。

Table 22 IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CLK#13	F_{IMOTOL}	48MHz での周波数誤差 (トリム済み)	–	–	± 2	%	$3.0\text{V} \leq V_{DD} < 5.5\text{V}$, $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$
SID226	$T_{STARTIMO}$	IMO 起動時間			7	μs	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$, すべての V_{DD}
SID.CLK#1	F_{IMO}	IMO 周波数			48	MHz	

6.4.4 内部低速発振器

Table 23 ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID234	$T_{STARTILO1}$	ILO 起動時間	–	–	2	ms	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$, すべての V_{DD}
SID238	$T_{ILODUTY}$	ILO デューティ比	40	50	60	%	
SID.CLK#5	F_{ILO}	ILO 周波数	20	40	80	kHz	–

EZ-PD™ PMG1-B1 USB Type-C 昇降圧コントローラー シングルポート



電氣的仕様

6.4.5 PD

Table 24 PD の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.DC.cc_shvt.1	vSwing	トランスミッタ出力 HIGH 電圧	1.05	-	1.2	V	-
SID.DC.cc_shvt.2	vSwing_low	トランスミッタ出力 LOW 電圧	-		0.075		
SID.DC.cc_shvt.3	zDriver	トランスミッタ出力インピーダンス	33		75	W	
SID.DC.cc_shvt.4	zBmcRx	レシーバ入力インピーダンス	10			MΩ	
SID.DC.cc_shvt.5	Idac_std	USB 標準アダプタイズメントのソース電流	64		96	μA	
SID.DC.cc_shvt.6	Idac_1p5a	5V アダプタイズメント、1.5A でのソース電流	166		194		
SID.DC.cc_shvt.7	Idac_3a	5V アダプタイズメント、3A でのソース電流	304		356		
SID.DC.cc_shvt.8	Rd	プルダウン端子として動作させる場合の抵抗 (アップストリームファイニングポート)	4.59		5.61	kΩ	
SID.DC.cc_shvt.10	zOPEN	無効時のグラウンドへの CC インピーダンス	108				
SID.DC.cc_shvt.11	DFP_default_0p2	DFP 側の CC 電圧 - 標準 USB	0.15		0.25	V	
SID.DC.cc_shvt.12	DFP_1.5A_0p4	DFP 側の CC 電圧 - 1.5A	0.35		0.45		
SID.DC.cc_shvt.13	DFP_3A_0p8	DFP 側の CC 電圧 - 3A	0.75		0.85		
SID.DC.cc_shvt.14	DFP_3A_2p6	DFP 側の CC 電圧 - 3A	2.45		2.75		
SID.DC.cc_shvt.15	UFP_default_0p66	UFP 側の CC 電圧 - 標準 USB	0.61		0.7		
SID.DC.cc_shvt.16	UFP_1.5A_1p23	UFP 側の CC 電圧 - 1.5A	1.16		1.31		
SID.DC.cc_shvt.17	Vattach_ds	ディープスリープのアタッチ閾値	0.3		0.6	%	
SID.DC.cc_shvt.18	Rattach_ds	ディープスリープのプルアップ抵抗	10		50	kΩ	
SID.DC.cc_shvt.19	VTX_step	TX ドライブの電圧ステップ サイズ	80		120	mV	

6.4.6 アナログ - デジタル変換器

Table 25 ADC の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.ADC.1	分解能	ADC 分解能	–	8	–	ビット	–
SID.ADC.2	INL	積分非直線性	-1.5	–	1.5	LSB	バンドギャップから生成されたりファレンス電圧
SID.ADC.3	DNL	微分非直線性	-2.5		2.5		V _{DDD} から生成されたりファレンス電圧
SID.ADC.4	Gain Error	利得誤差	-1.5		1.5		バンドギャップから生成されたりファレンス電圧
SID.ADC.5	VREF_ADC1	ADC のリファレンス電圧	V _{DDDmin}	2.0	V _{DDDmax}	V	V _{DDD} から生成されたりファレンス電圧
SID.ADC.6	VREF_ADC2		1.96		2.04		ディープスリープリファレンスから生成されたりファレンス電圧

Table 26 12 ビット SAR ADC DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.ADC12.DC.2	A_RES_1	分解能	–	–	12	ビット	IMO/HFCLK at 48 MHz
SID.ADC12.DC.3	A_CHNLS_S	チャンネル数－シングルエンド			8		8 フルスピード
SID.ADC12.DC.4	A-CHNKS_D	チャンネル数－差動			4		差動入力に使用隣接 I/O。
SID.ADC12.DC.5	A-MONO	単一性			–		有
SID.ADC12.DC.6	A_GAINERR	利得誤差			±0.1	%	外部リファレンス電圧有り
SID.ADC12.DC.7	A_OFFSET	入力オフセット電圧			2	mV	1 V リファレンス電圧で測定。
SID.ADC12.DC.8	A_ISAR	消費電流			1	mA	–
SID.ADC12.DC.9	A_VINS	入力電圧範囲－シングルエンド	V _{SS}		V _{DDD}	V	
SID.ADC12.DC.10	A_VIND	入力電圧範囲－差動					
SID.ADC12.DC.11	A_INRES	入力抵抗			2.2	kΩ	
SID.ADC12.DC.12	A_INCAP	入力静電容量			10	pF	

EZ-PD™ PMG1-B1 USB Type-C 昇降圧コントローラー シングルポート



電氣的仕様

Table 27 12 ビット SAR ADC AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.ADC12.AC.1	A_PSR	電源電圧変動除去比	70	-	-	dB	-
SID.ADC12.AC.2	A_CMRR	同相信号除去比	66				1 V で測定。
SID.ADC12.AC.3	A_SAMP_1	外部リファレンスバイパス キャップ使用時のサンプル レート	-		1	Msp	-
SID.ADC12.AC.4	A_SAMP_2	バイパス コンデンサが ない場合のサンプル レート。 リファレンス = V _{DD} 。			500	Ksp	
SID.ADC12.AC.5	A_SAMP_3	バイパス コンデンサが ない場合のサンプル レート。 内部参照			100		
SID.ADC12.AC.6	A_SNR	信号対ノイズおよび歪み比 (SINAD)	65		-	dB	Fin = 10 kHz
SID.ADC12.AC.7	A_BW	エイリアシングのない入力 帯域幅	-		A_samp/ 2	kHz	-
SID.ADC12.AC.8	A_INL	積分非直線性 V _{DD} = 1.71 ~ 5.5, 1 Msp	-1.7		2	LSB	Vref = 1 ~ V _{DD}
SID.ADC12.AC.9	A_INL	積分非直線性 V _{DDD} = 1.71 ~ 3.6, 1 Msp	-1.5		1.7		Vref = 1.71 ~ V _{DD}
SID.ADC12.AC.10	A_INL	積分非直線性 V _{DD} = 1.71 ~ 5.5, 500 ksp					Vref = 1 ~ V _{DD}

6.4.7 HS CSA

Table 28 HS CSA DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.HSCSA.1	Csa_Acc1	CSA 精度 5 mV < Vsense < 10 mV	-15	-	15	%	アクティブモード
SID.HSCSA.2	Csa_Acc2	CSA 精度 10 mV < Vsense < 15 mV	-10		10		
SID.HSCSA.3	Csa_Acc3	CSA 精度 15 mV < Vsense < 25 mV	-5		5		
SID.HSCSA.4	Csa_Acc4	CSA 精度 25 mV < Vsense	-3		3		
SID.HSCSA.7	Csa_SCP_Acc1	CSA SCP (6A、5mΩ センス抵抗使用時)	-10		10		
SID.HSCSA.8	Csa_SCP_Acc2	CSA SCP (10A、5mΩ センス抵抗使用時)					
SID.HSCSA.9	Csa_OCP_1A	CSA OCP (1A、5mΩ センス抵抗使用時)	104	130	156		
SID.HSCSA.10	Csa_OCP_5A	CSA OCP 5A 用、5mΩ センス抵抗付き	123		137		

Table 29 HS CSA AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.HSCSA.AC.1	T _{SCP_GATE}	SCP 閾値トリップから外部 NFET パワーゲートオフまでの遅延時間	-	3.5	-	μs	1 nF NFET ゲート
SID.HSCSA.AC.2	T _{SCP_GATE_1}	SCP 閾値トリップから外部 NFET パワーゲートオフまでの遅延時間		8			3 nF NFET ゲート

6.4.8 UV/OV

Table 30 UV/OV 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.UVOV.1	VTHOV1	過電圧閾値精度 4 ~ 11 V	-3	-	3	%	アクティブモード
SID.UVOV.2	VTHOV2	過電圧閾値精度、11 ~ 21.5V	-3.2		3.2		
SID.UVOV.3	VTHUV1	低電圧閾値精度、3 ~ 3.3 V	-4		4		
SID.UVOV.4	VTHUV2	低電圧閾値精度、3.3 ~ 4.0 V	-3.5		3.5		
SID.UVOV.5	VTHUV3	低電圧閾値精度 4.0 ~ 21.5 V	-3		3		

6.4.9 VCONN スイッチ

Table 31 VCONN スイッチの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DC.VCONN.1	VCONN_OUT	VCONN 出力電圧、負荷電流 20mA 時	4.5	-	5.5	V	-
DC.VCONN.2	I_{LEAK}	コネクタ側のピンのリーク電流	-		10	μA	
DC.VCONN.3	I_{OCP}	VCONN 過電流保護閾値	22.5	30	42.5	mA	

Table 32 VCONN スイッチの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
AC.VCONN.1	T_{ON}	VCONN スイッチ ターンオン時間	-	-	600	μs	-
AC.VCONN.2	T_{OFF}	VCONN スイッチ ターンオフ時間			10		

6.4.10 V_{BUS} Table 33 V_{BUS} 放電仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.VBUS.DISC.1	R1	DS = 1 の場合 20V NMOS オン抵抗	500	-	2000	Ω	0.5V で測定されます。
SID.VBUS.DISC.2	R2	DS = 2 の場合 20V NMOS オン抵抗	250		1000		
SID.VBUS.DISC.3	R4	DS = 4 の場合 20V NMOS オン抵抗	125		500		
SID.VBUS.DISC.4	R8	DS = 8 の場合 20V NMOS オン抵抗	62.5		250		
SID.VBUS.DISC.5	R16	DS = 16 の場合 20V NMOS オン抵抗	31.25		125		
SID.VBUS.DISC.6	Vbus_stop_error	最終 VVBUS 値の設定値からの誤差率	-		10	%	VBUS を 5V にディスチャージした場合。

6.4.11 電圧レギュレーション

Table 34 電圧レギュレーション DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.DC.VR.1	VOUT	CSNO 出力電圧範囲	3.3	–	21.5	V	–
SID.DC.VR.2	VR	CSNO 電圧レギュレーション精度	–	±3	±5	%	
SID.DC.VR.3	VIN_UVLO	チップがリセットされる VIN 電源電圧	1.7	–	3.0	V	

Table 35 電圧レギュレーター仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.VREG.1	T _{START}	レギュレーター電源出力の総起動時間	–	–	200	μs	–

6.4.12 VBUS ゲートドライバー

Table 36 VBUS ゲートドライバー DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GD.1	GD_VGS	オン時のゲート - ソース間オーバードライブ電圧	4.5	5	10	V	NFET ドライバーがオン
SID.GD.2	GD_RPD	プルダウン有効時の抵抗値	–	–	2	kΩ	VBUS_CTRL で外付け NFET を OFF にする場合に適用されます。
SID.GD.5	GD_drv	プログラム可能なゲート電流 (標準値)	0.3		9.75	μA	–

Table 37 VBUS ゲートドライバー AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GD.3	T _{ON}	VBUS_CTRL LOW ~ HIGH (1V ~ VBUS + 1 V), 3 nF の外付け容量付き	2	5	10	ms	CSNO = 5V。
SID.GD.4	T _{OFF}	VBUS_CTRL HIGH ~ LOW (90% ~ 10%), 3 nF の外付け容量付き	–	7	–	μs	CSNO = 21.5V。

6.4.13 PWM コントローラ

Table 38 昇降圧型 PWM コントローラー仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
PWM.1	F _{SW}	スイッチング周波数	150	–	600	kHz	–
PWM.2	FSS	スペクトラム拡散周波数ディザリングスパン	–	10	–	%	
PWM.3	Ratio_buck_BB	降圧対降圧比		1.16	V/V		
PWM.4	Ratio_boost_BB	昇圧／降圧比		0.84			

6.4.14 NFET ゲートドライバ

Table 39 降圧型 NFET ゲートドライバ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DR.1	R_HS_PU	トップサイドゲートドライバのオン抵抗 - ゲートプルアップ量	-	2	-	Ω	-
DR.2	R_HS_PD	トップサイドゲートドライバオン抵抗 - ゲートプルダウン		1.5			
DR.3	R_LS_PU	ボトムサイドゲートドライバのオン抵抗 - ゲートプルアップ。		2			
DR.4	R_LS_PD	ボトム側ゲートドライバオン抵抗 - ゲートプルダウン		1.5			
DR.5	Dead_HS	ハイサイドの立ち上がりエッジまでのデッドタイム		30		ns	
DR.6	Dead_LS	ローサイドの立ち上がりエッジまでのデッドタイム		30			
DR.7	Tr_HS	トップサイドゲートドライバの立ち上がり時間		25			
DR.8	Tf_HS	トップサイドゲートドライバ立ち下がり時間		20			
DR.9	Tr_LS	ボトム側ゲートドライバ立ち上がり時間		25			
DR.10	Tf_LS	ボトム側ゲートドライバ立ち下がり時間		20			

6.4.15 LS-SCP

Table 40 LS-SCP DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.LSSCP.DC.1	SCP_6A	短絡電流検出 @ 6A	5.4	6	6.6	A	差動入力 (CSP_GPIO2, CSN_GPIO3) を使用する場合
SID.LSSCP.DC.1A	SCP_6A_SE	短絡電流検出 @ 6A	4.5	6	7.5		シングルエンド入力 (CSP_GPIO2) および内部グランド使用時
SID.LSSCP.DC.2	SCP_10A	短絡電流検出 @ 10A	9	10	11		差動入力 (CSP_GPIO2, CSN_GPIO3) を使用する場合
SID.LSSCP.DC.2A	SCP_10A_SE	短絡電流検出 @ 10A	7.5	10	12.5		シングルエンド入力 (CSP_GPIO2) および内部グランド使用時

6.4.16 熱抵抗

Table 41 熱的仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.OTP.1	OTP	サーマルシャットダウン	120	125	130	°C	-

7 注文情報

Table 42 に EZ-PD™ PMG1-S1 の製品番号と機能を一覧表示します。

Table 42 EZ-PD™ PMG1-S1 注文情報

MPN	終端抵抗	ロール	スイッチング 周波数	パッケージ
CYPM1115-48LQXI	R_P, R_D	シンク電源と DRP 電源に 対応予定	150 ~ 600 kHz	48 ピン QFN
CYPM1116-48LQXI	R_P, R_D, R_{D-DB}			

7.1 注文コードの定義

部品番号は CYPM1ABC-DEFGHIJ の形式であり、フィールドは以下のように定義されています。

Table 43 EZ-PD™ PMG1-B1 注文コードの定義

フィールド	説明	値	意味
CY	サイプレスの接頭辞	CY	会社 ID
PM	マーケティング コード	PM	PM = パワー デリバリー MCU ファミリー
1	MCU ファミリー世代	1	製品ファミリー世代
A	ファミリー	0	S0
		1	S1、B1
		2	S2
		3	S3
B	PD ポート	1	1-PD ポート
		2	2-PD ポート
C	アプリケーション特有	5	R_P, R_D (電池切れサポートなし)
		6	R_P, R_D, R_{D-DB} (電池切れサポートなし)
DE	ピン	XX	パッケージのピン数
FG	パッケージ コード	LQ	QFN
		BZ	BGA
		FN	CSP
H	鉛フリー	X	鉛 : X = 鉛フリー
I	温度範囲	I	産業用
J	T&R のみ	T	テープ & リール

8 パッケージ

Table 44 パッケージ特性

パラメーター	説明	条件	Min	Typ	Max	単位
T_J	動作接合部温度	-	-40	25	125	°C
T_{JA}	パッケージ θ_{JA}		-	-	18.81	°C/W
T_{JC}	パッケージ θ_{JC}				10.1	

8.1 外形図

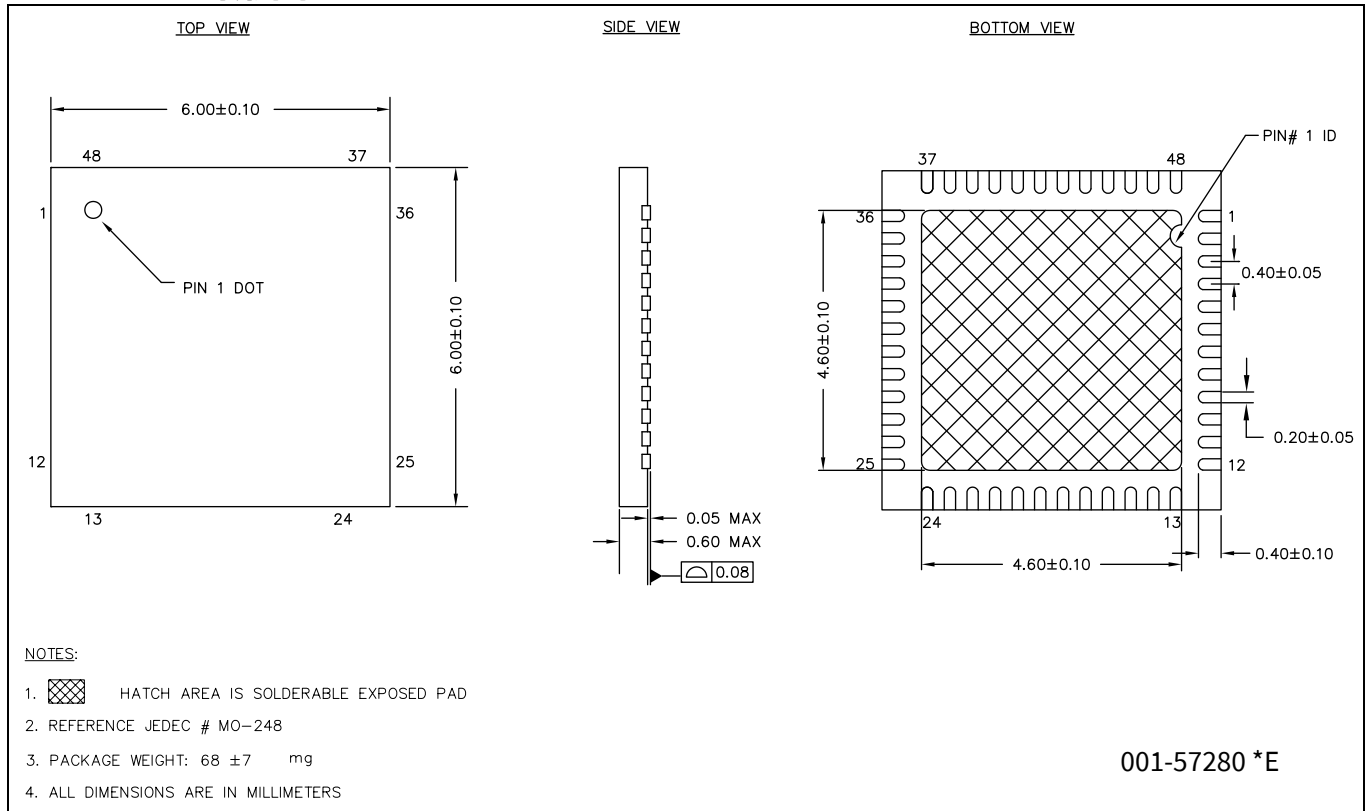


Figure 11 48-QFN パッケージ外形図 (PG-VQFN-48)

9 略語

Table 45 本書で使用される略語

略語	説明
ADC	analog-to-digital converter(アナログ - デジタル変換器)
AFC	Samsung adaptive fast charging (サムスン急速充電規格)
Arm®	advanced RISC machine, CPU アーキテクチャ
CPU	central processing unit (中央演算処理装置)
CSA	current sense amplifier (電流検出アンプ)
DAC	digital-to-analog converter (デジタル - アナログ変換器)
FCCM	forced continuous current/conduction mode (強制連続電流 / 導通モード)
GPIO	general-purpose input/output (汎用入出力)
HSDR	high-side driver (ハイサイドドライバ)
I ² C (別名 : IIC)	inter-integrated circuit, a communications protocol (インター インテグレートッド サーキット): 通信プロトコルの一種
IDAC	current DAC (電流 DAC)
I/O	input/output (入出力)。GPIO を参照してください
LSDR	low-side driver (ローサイドドライバ)
MCU	microcontroller unit (マイクロコントローラー ユニット)
OCP	overcurrent protection (過電流保護)
OVP	overvoltage protection (過電圧保護)
PD	power delivery (パワー デリバリー)
POR	power-on reset (パワーオン リセット)
PSoC™	programmable system-on-chip (プログラム可能なシステムオンチップ)
PSM	pulse skipping mode (パルススキップモード)
PWM	pulse-width modulator (パルス幅変調器)
RAM	Random-Access Memory (ランダムアクセス メモリ)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース): 通信プロトコルの一種
SRAM	static random access memory(スタティック ランダム アクセス メモリ)
TCPWM	タイマー / カウンター / PWM
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供することが可能
UART	Universal Asynchronous Transmitter Receiver (汎用 ? 同期トランスミッタ レシーバ): 通信プロトコルの一種
UFP	upstream facing port (アップストリーム ポート)
UVP	undervoltage protection (低電圧保護)
USB	universal serial bus (ユニバーサル シリアル バス)
UVLO	under-voltage lockout (低電圧ロックアウト)
VPA	VCONN を搭載したアクセサリー
ZCD	zero crossing detector (ゼロクロッシング検出器)

10 本書の表記法

10.1 測定単位

Table 46 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
mΩ	ミリオーム
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル毎秒

改訂履歴

改訂履歴

版数	発行日	変更内容
**	2024-01-24	これは英語版 002-35400 Rev. *D を翻訳した日本語版 002-38365 Rev. ** です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

<p>Edition 2024-01-24</p> <p>Published by</p> <p>Infineon Technologies AG</p> <p>81726 Munich, Germany</p> <p>© 2024 Infineon Technologies AG.</p> <p>All Rights Reserved.</p> <p>Do you have a question about this document?</p> <p>Go to www.infineon.com/support</p> <p>Document reference</p> <p>002-38365 Rev. **</p>	<p>重要事項</p> <p>本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記載された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。</p> <p>さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。</p> <p>本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。</p>	<p>警告事項</p> <p>技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。</p> <p>インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。</p>
---	--	--